User's Manual

32

RH850/F1KH, RH850/F1KM

ユーザーズマニュアル　ハードウェア編

ルネサスマイクロコントローラ
RH850 ファミリ

ルネサス エレクトロニクス
www.renesas.com

Rev.1.30　2021.09

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因しまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1　2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策
   CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。
2. 電源投入時の処置
   電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. 電源オフ時における入力信号
   当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。
4. 未使用入力の処理
   CMOS デバイスの未使用端子の入力レベルは固定してください。未使用端子入力については、CMOS デバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して電源または GND に接続することが有効です。資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。
5. 入力端子の印加波形
   入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、V_{IL}（Max.）から V_{IH}（Min.）までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、V_{IL}（Max.）から V_{IH}（Min.）までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。
6. リザーブアドレス（予約領域）のアクセス禁止
   リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
7. 電源投入切断順序
   内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源投入切断シーケンス」について記載のある製品については、その内容を守ってください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

RH850/F1KH, RH850/F1KM では次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクスのホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様（ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング）と動作説明 ※周辺機能の使用方法はアプリケーションノートを参照してください。	RH850/F1KH, RH850/F1KM ユーザーズマニュアル ハードウェア編	本ユーザーズマニュアル
ユーザーズマニュアル ハードウェア編	フラッシュメモリのプログラミングと消去のハードウェア仕様	RH850/F1KH, RH850/F1KM, RH850/F1K フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編	R01UH0622JJxxxx
ユーザーズマニュアル ハードウェア編	インテリジェント暗号化ユニット／マスターD（ICUMD）のハードウェア仕様	RH850/F1KH, RH850/F1KM ICUMD ユーザーズマニュアル ハードウェア編	R01UH0705JJxxxx
ユーザーズマニュアル ソフトウェア編	CPU 命令セットの説明	RH850G3KH ユーザーズマニュアル ソフトウェア編	R01US0165JJxxxx
アプリケーションノート	周辺機能の使用方法、応用例 参考プログラム アセンブリ言語、C 言語によるプログラムの作成方法	ルネサス エレクトロニクスホームページに掲載されています。	
Renesas Technical Update	製品の仕様、ドキュメント等に関する速報		

読み方　本RH850/F1KH, RH850/F1KMハードウェアユーザーズマニュアルは、Rev.1.30です。

RH850/F1KM-S2についての説明は、Rev.1.00の改訂レベルとなります。

xxA章では、RH850/F1KH-D8の機能について説明します。

xxB章では、RH850/F1KM-S4, RH850/F1KM-S2の機能について説明します。

xxC章では、RH850/F1KM-S1の機能について説明します。

xxAB章では、RH850/F1KH-D8, RH850/F1KM-S4およびRH850/F1KM-S2の機能について説明します。

xxBC章では、RH850/F1KM-S4, RH850/F1KM-S2およびRH850/F1KM-S1の機能について説明します。

xxx章では、関連する全製品の機能について説明します。

凡　例　データ表記の重み：左が上位桁、右が下位桁

アクティブ・ロウの表記：xxx（端子、信号名称に上線）

注：本文中に付けた注の説明

注意：気を付けて読んでいただきたい内容

備考：本文の補足説明

数の表記：　2進数 … xxxx または $xxxx_B$

10進数 … xxxx

16進数 … $xxxx_H$

2のべき数を示す接頭語（アドレス空間、メモリ容量）：

K（キロ）：$2^{10} = 1024$

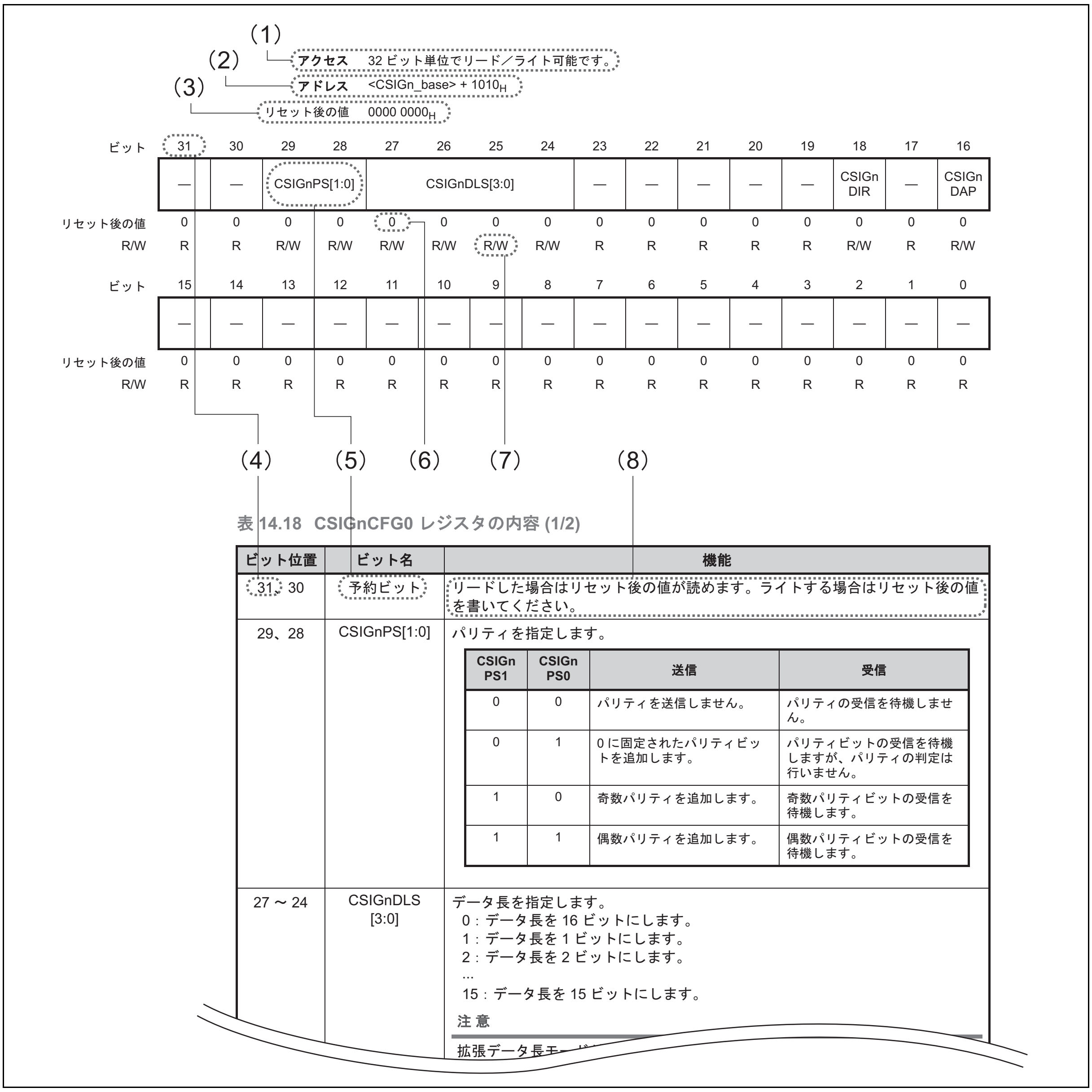
M（メガ）：$2^{20} = 1024^2$

G（ギガ）：$2^{30} = 1024^3$

レジスタの説明

各レジスタの説明には、レジスタのアクセス、アドレス、リセット後の値の説明、ビットの並びを示す図、ビットに設定する内容を説明する表があります。

下記にその例を示します。



(1) アクセス

レジスタのアクセス単位を示します。

(2) アドレス

レジスタのアドレスを示します。
ベースアドレスは各章のベースアドレスを参照してください。

（3）リセット後の値（16 進数表記）

レジスタの各ビットのリセット後の値を示します。
16 進数表記では 0 ～ 9、A ～ F または不定値が含まれる場合 X で表記します。

（4）ビット位置

レジスタのビット番号を示します。
32 ビットレジスタの場合は 31 から 0 の順に、16 ビットレジスタの場合は 15 から 0 の順に、8 ビットレジスタの場合は 7 から 0 の順に示します。

（5）ビット名

レジスタのビット名またはフィールド名を示します。
フィールドでビット桁数を明示する必要があるときは、CSIGnDLS[3:0] のように桁数の表記を追加します。
また、予約ビットの場合は「—」と表記します。

（6）リセット後の値（2 進数表記）

レジスタの各ビットのリセット後の値を示します。

0：リセット後の値は 0 であることを示します。

1：リセット後の値は 1 であることを示します。

—：リセット後の値は不定であることを示します。

（7）R/W

レジスタの各ビットのリード／ライト属性を示します。

R/W：リードおよびライト可能なビットまたはフィールドです。

R：リードが可能なビットまたはフィールドです。
ただし、予約ビットはすべて「R」と表記します。
ライト時は、ビット表で指定された値またはリセット後の値を書いてください。
予約ビットではない R 属性ビットが混在するライト可能なレジスタにライトする場合、
指定がない限り R 属性ビットへの書き込みは無視されます。

W：ライトが可能なビットまたはフィールドです。
リード時の値は不定です。ただし、ビット表に記載がある場合はその値が読み出されます。

（8）機能

レジスタのビット機能について説明しています。

目　次

第1A章　RH850/F1KH-D8 の概要

1A.1　RH850/F1KH 製品の特長

RH850/F1KH の特長を以下に示します。

RH850/F1KH は、G3KH コアを 2 つ搭載し、低消費電力、高い処理能力、豊富な内蔵周辺機能などを特長とする 32 ビットシングルチップマイクロコントローラです。様々な車載システムに対応するために、豊富なメモリ、パッケージを用意しています。多様なアプリケーションにおいて消費電流を低減させるための電力低減方法が利用できます。例えば、アナログとデジタルの入力が CPU コアを経由せず、入力端子への入力信号をポーリングできるロウパワーサンプラ（LPS）や、マイクロコントローラの大部分の回路への電源供給をオフできる DeepSTOP モードも備えています。

応用分野

自動車電装分野における下記製品へ適しています。

- BCM (Body Control Module)
- ゲートウェイ
- オートエアコン
- ライトモジュール、ほか

1A.2 RH850/F1KH の機能

表 1A.1 Overview of Product

Product Name			RH850/F1KH-D8		
			176 Pin	233 Pin	324 Pin
Memory			「**表 1A.2 Product Lineup**」を参照		
External Memory Access Controller (MEMC)			23 bit Address Bus		24 bit Address Bus
Serial Flash Memory I/F (SFMA)		Bus width	4 bit		
		Mode	SDR		
		Max. clock	40 MHz		
Memory Card I/F (MMCA)		Bus width	Not provided		8 bit
		Mode			Backward-compatible
		Max. clock			20 MHz
CPU	CPU System		G3KH (Dual Core)		
	CPU frequency		240 MHz max.		
	FPU		Single-precision		
	Protection Function	Memory Protection Unit (MPU)	Provided		
		Internal Peripheral-device Guard (IPG)	Provided		
		Processor Element Guard (PEG)	Provided		
DMA			64 channels		
Operating clock	Main Oscillator (MainOSC)		8/16/20/24 MHz		
	Low Speed Internal Oscillator (LS IntOSC)		240 kHz (typ.)		
	High Speed Internal Oscillator (HS IntOSC)		8 MHz (typ.)		
	PLL	PLL0 (for CPU, with SSCG)	Provided		
		PLL1 (for CPU/Peripheral)	Provided		
	Sub Oscillator (SubOSC)		32.768 kHz		
I/O port			144	174	246
A/D converter	ADCA0	Physical input channels	Total 34 ch (12 bit resolution: 16 ch + 10 bit resolution: 18 ch)		
		External multiplexer support for channel number extension	Provided		
		Channels with T&H	Provided		
	ADCA1	Physical input channels	Total 24 ch (12 bit resolution: 16 ch + 10 bit resolution: 8 ch)	Total 36 ch (12 bit resolution: 16 ch + 10 bit resolution: 20 ch)	
		External multiplexer support for channel number extension	Not provided		
		Channels with T&H	Not provided		

表 1A.1　Overview of Product

<table>
<tr><th colspan="2" rowspan="2">Product Name</th><th colspan="3">RH850/F1KH-D8</th></tr>
<tr><th>176 Pin</th><th>233 Pin</th><th>324 Pin</th></tr>
<tr><td rowspan="7">Timer</td><td>Timer Array Unit D (TAUD)</td><td colspan="3">1 unit (16 bit resolution timers × 16 channels /unit)</td></tr>
<tr><td>Timer Array Unit B (TAUB)</td><td colspan="3">2 units (16 bit resolution timers × 16 channels /unit)</td></tr>
<tr><td>Timer Array Unit J (TAUJ)</td><td colspan="3">4 units (32 bit resolution timers × 4 channels /unit)</td></tr>
<tr><td>Operating System Timer (OSTM)</td><td colspan="3">10 units</td></tr>
<tr><td>Real-Time Clock (RTCA)</td><td colspan="3">1 unit</td></tr>
<tr><td>Encoder Timer (ENCA)</td><td colspan="3">1 unit</td></tr>
<tr><td>Window Watchdog Timer A (WDTA)</td><td colspan="3">3 units</td></tr>
<tr><td rowspan="11">Serial interfaces</td><td>Clocked Serial Interface G (CSIG)</td><td colspan="3">5 channels</td></tr>
<tr><td>Clocked Serial Interface H (CSIH)</td><td colspan="3">5 channels</td></tr>
<tr><td>CAN Interface (RS-CANFD)</td><td colspan="2">8 channels</td><td>12 channels</td></tr>
<tr><td>LIN/UART Interface (RLIN3)</td><td colspan="3">8 channels</td></tr>
<tr><td>LIN Master Interface (RLIN2)</td><td>10 channels</td><td>12 channels</td><td>16 channels</td></tr>
<tr><td>I²C Interface (RIIC)</td><td colspan="3">2 channels</td></tr>
<tr><td>Clock Extension Peripheral Interface (CXP1)</td><td colspan="3">Not provided</td></tr>
<tr><td>Single Edge Nibble Transmission (RSENT)</td><td colspan="3">2 channels</td></tr>
<tr><td>FlexRay Interface (FLXA)</td><td colspan="3">2 channel (A ch, B ch)</td></tr>
<tr><td>Ethernet AVB (ETNB)</td><td colspan="2">1 channel (MII)</td><td>2 channels (MII)</td></tr>
<tr><td rowspan="2">External Interrupts</td><td>Maskable</td><td colspan="3">24</td></tr>
<tr><td>Non-maskable (NMI)</td><td colspan="3">1</td></tr>
<tr><td rowspan="15">Other functions</td><td>Clock Monitors (CLMA)</td><td colspan="3">For PLL0, PLL1, HS IntOSC, MainOSC</td></tr>
<tr><td>Data CRC (DCRA)</td><td colspan="3">4 channels</td></tr>
<tr><td>Low-Voltage Indicator (LVI)</td><td colspan="3">Provided</td></tr>
<tr><td>Power-On Clear (POC)</td><td colspan="3">Provided</td></tr>
<tr><td>Core Voltage Monitors (CVM)</td><td colspan="3">Provided</td></tr>
<tr><td>Error Correction Coding (ECC)</td><td colspan="2">For Code flash, Data flash, Local RAM, Retention RAM, Global RAM, CSIH, RS-CANFD, FLXA, ETNB</td><td>For Code flash, Data flash, Local RAM, Retention RAM, Global RAM, CSIH, RS-CANFD, FLXA, ETNB, MMCA</td></tr>
<tr><td>Low Power Sampler (LPS)</td><td colspan="3">Provided</td></tr>
<tr><td>PWM Output/Diagnostic (PWM-Diag)</td><td>72 channels</td><td>80 channels</td><td>96 channels</td></tr>
<tr><td>Motor Control</td><td colspan="3">1 unit</td></tr>
<tr><td>Key Return (KR)</td><td colspan="3">8 channels</td></tr>
<tr><td>CLOCK OUTPUT (FOUT)</td><td colspan="3">Provided</td></tr>
<tr><td>RESET OUTPUT ($\overline{\text{RESETOUT}}$)</td><td colspan="3">Provided</td></tr>
<tr><td>Intelligent Cryptographic Unit Master D (ICUMD)</td><td colspan="3">Provided</td></tr>
<tr><td>On-Chip debug (OCD)</td><td colspan="3">Provided</td></tr>
<tr><td>Boundary Scan</td><td colspan="3">Provided</td></tr>
</table>

表 1A.1　Overview of Product

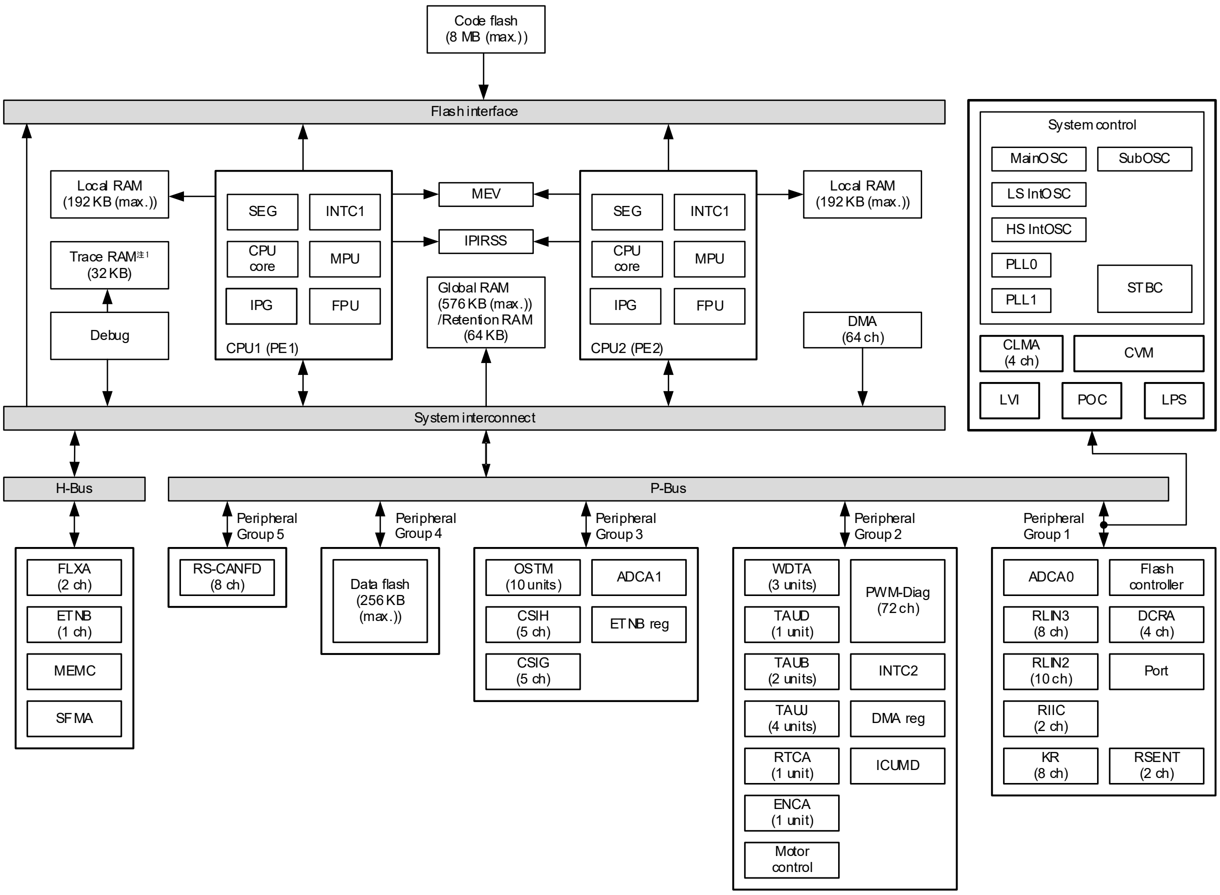
Product Name			RH850/F1KH-D8		
			176 Pin	233 Pin	324 Pin
Voltage supply	Internal supply	REG0VCC (for AWO)	VPOC to 5.5 V		
		REG1VCC (for ISO)	VPOC to 3.6 V		
	Input/output buffer supplies		VPOC to 5.5 V		
	A/D Converter supplies		3.0 to 5.5 V		
Package			176-pin LQFP	233-pin FPBGA	324-pin FPBGA

1A.3 RH850/F1KH 製品ラインナップ

表 1A.2 Product Lineup

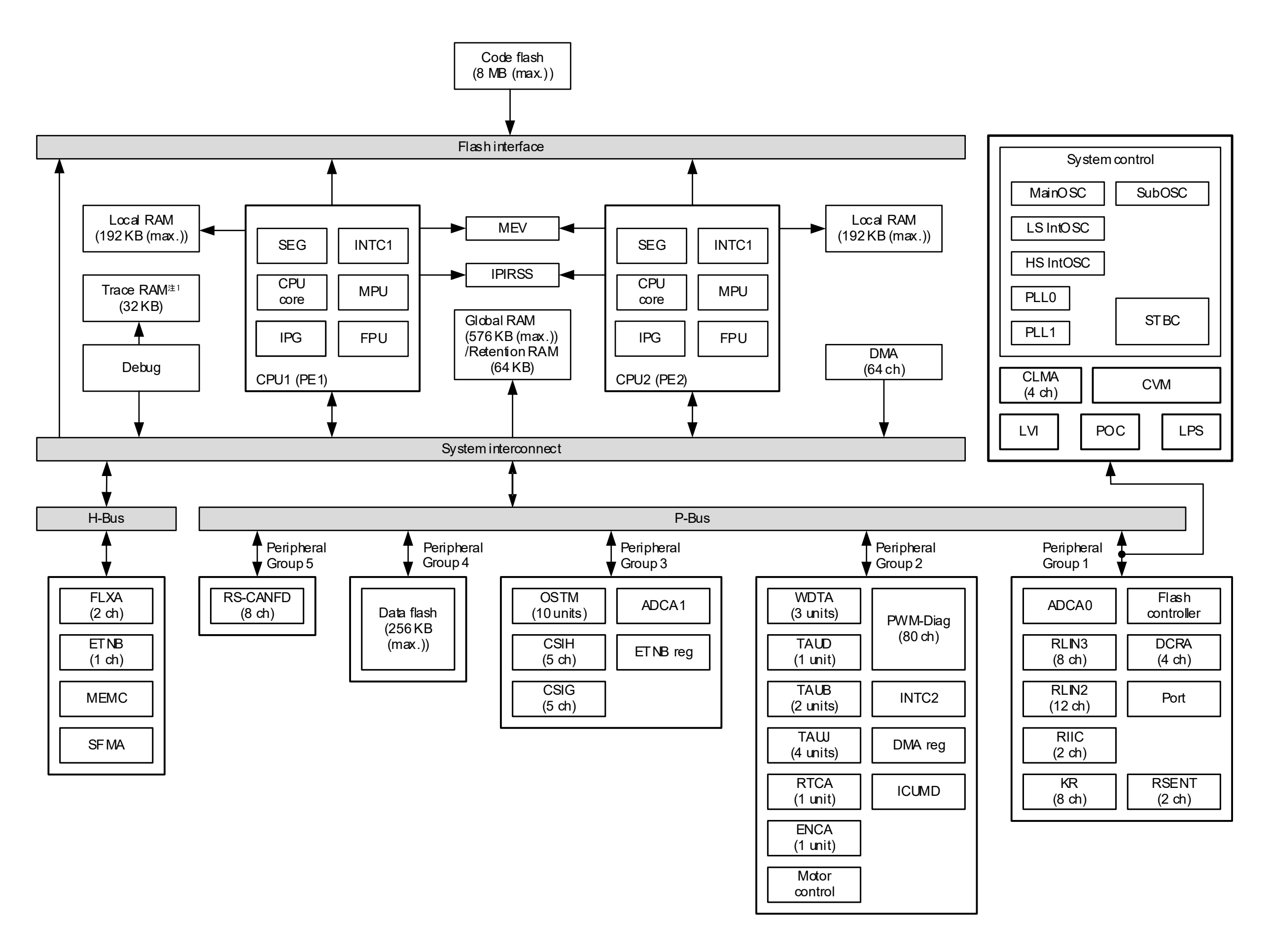
F1KH-D8		Memory							Part Name	
				Local RAM (LRAM)					Operating Temperature (Ta)	
Pin Count	CPU Frequency	Code Flash	Data Flash	CPU1	CPU2	Global RAM (GRAM)	Retention RAM (RRAM)	Trace RAM	–40°C to +105°C Package	–40°C to +125°C Package
176 pin	240 MHz max.	6 MB	256 KB	160 KB	160 KB	512 KB	64 KB	Not available	R7F7017083AFP-C LQFP	—
		8 MB		192 KB	192 KB	576 KB		32 KB	R7F7017093AFP-C LQFP	—
233 pin	240 MHz max.	6 MB	256 KB	160 KB	160 KB	512 KB	64 KB	Not available	R7F7017103ABG-C FPBGA	R7F7017104ABG-C FPBGA
		8 MB		192 KB	192 KB	576 KB		32 KB	R7F7017113ABG-C FPBGA	R7F7017114ABG-C FPBGA
324 pin	240 MHz max.	6 MB	256 KB	160 KB	160 KB	512 KB	64 KB	Not available	R7F7017143ABG-C FPBGA	R7F7017144ABG-C FPBGA
		8 MB		192 KB	192 KB	576 KB		32 KB	R7F7017153ABG-C FPBGA	R7F7017154ABG-C FPBGA

1A.4 RH850/F1KH 製品内部ブロック図



注1. トレース RAM は、コードフラッシュ 8MB 製品のみ対応しています。

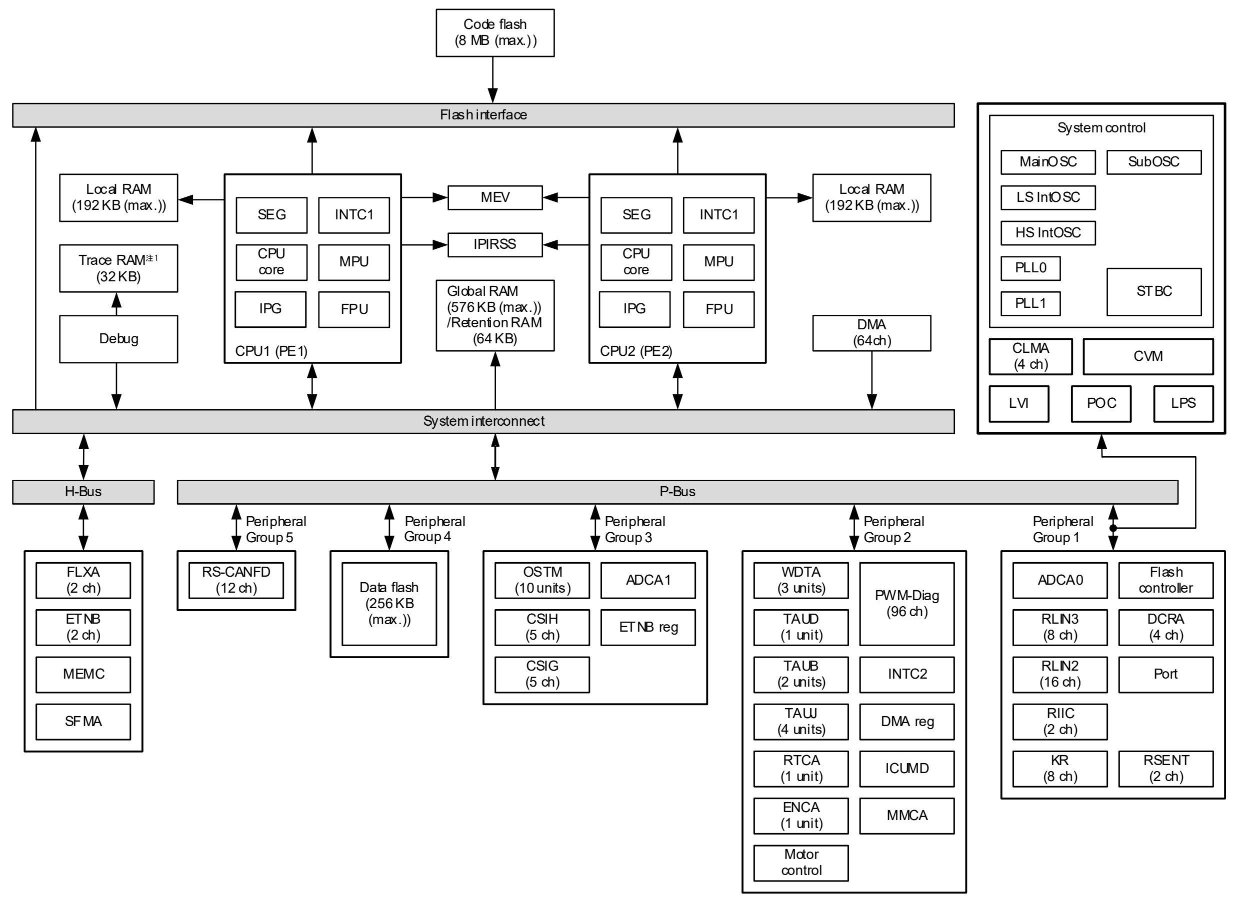
図 1A.1 内部ブロック図（RH850/F1KH-D8 176-Pin Version）



注1.　トレース RAM は、コードフラッシュ 8MB 製品のみ対応しています。

図 1A.2　　内部ブロック図（RH850/F1KH-D8 233-Pin Version）

図 1A.3　　予約



注1.　トレース RAM は、コードフラッシュ 8MB 製品のみ対応しています。

図 1A.4　　内部ブロック図（RH850/F1KH-D8 324-Pin Version）

第1B章　RH850/F1KM-S4, RH850/F1KM-S2 の概要

1B.1　RH850/F1KM 製品の特長

RH850/F1KM の特長を以下に示します。

RH850/F1KM は、G3KH コアを搭載し、低消費電力、高い処理能力、豊富な内蔵周辺機能などを特長とする 32 ビットシングルチップマイクロコントローラです。様々な車載システムに対応するために、豊富なメモリ、パッケージを用意しています。多様なアプリケーションにおいて消費電流を低減させるための電力低減方法が利用できます。例えば、アナログとデジタルの入力が CPU コアを経由せず、入力端子への入力信号をポーリングできるロウパワーサンプラ（LPS）や、マイクロコントローラの大部分の回路への電源供給をオフできる DeepSTOP モードも備えています。

応用分野

自動車電装分野における下記製品へ適しています。

- BCM (Body Control Module)
- ゲートウェイ
- オートエアコン
- ライトモジュール、ほか

1B.2　RH850/F1KM の機能

表 1B.1　　Overview of Product

Product Name			RH850/F1KM-S4				
			100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
Memory			「**表 1B.3 Product Lineup**」を参照				
External Memory Access Controller (MEMC)			Not provided		23 bit Address Bus		24 bit Address Bus
Serial Flash Memory I/F (SFMA)	Bus width		Not provided	4 bit			
	Mode			SDR			
	Max. clock			40 MHz			
CPU	CPU System		G3KH				
	CPU frequency		240 MHz max.				
	FPU		Single-precision				
	Protection Function	Memory Protection Unit (MPU)	Provided				
		Internal Peripheral-device Guard (IPG)	Provided				
		Processor Element Guard (PEG)	Provided				
DMA			32 channels				
Operating clock	Main Oscillator (MainOSC)		8/16/20/24 MHz				
	Low Speed Internal Oscillator (LS IntOSC)		240 kHz (typ.)				
	High Speed Internal Oscillator (HS IntOSC)		8 MHz (typ.)				
	PLL	PLL0 (for CPU, with SSCG)	Provided				
		PLL1 (for CPU/Peripheral)	Provided				
	Sub Oscillator (SubOSC)		Not provided	32.768 kHz			
I/O port			75	114	144	174	214
A/D converter	ADCA0	Physical input channels	Total 32 ch (12 bit resolution: 16 ch + 10 bit resolution: 16 ch)	Total 34 ch (12 bit resolution: 16 ch + 10 bit resolution: 18 ch)			
		External multiplexer support for channel number extension	Provided				
		Channels with T&H	Provided				

表 1B.1　　Overview of Product

Product Name			RH850/F1KM-S4				
			100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
A/D converter	ADCA1	Physical input channels	Not provided	Total 12 ch (12 bit resolution: 8 ch + 10 bit resolution: 4 ch)	Total 24 ch (12 bit resolution: 16 ch + 10 bit resolution: 8 ch)	Total 36 ch (12 bit resolution: 16 ch + 10 bit resolution: 20 ch)	
		External multiplexer support for channel number extension	Not provided				
		Channels with T&H	Not provided				
Timer	Timer Array Unit D (TAUD)		1 unit (16 bit resolution timers × 16 channels /unit)				
	Timer Array Unit B (TAUB)		1 unit (16 bit resolution timers × 16 channels /unit)		2 units (16 bit resolution timers × 16 channels /unit)		
	Timer Array Unit J (TAUJ)		4 units (32 bit resolution timers × 4 channels /unit)				
	Operating System Timer (OSTM)		5 units				
	Real-Time Clock (RTCA)		1 unit				
	Encoder Timer (ENCA)		1 unit				
	Window Watchdog Timer A (WDTA)		2 units				
Serial interfaces	Clocked Serial Interface G (CSIG)		1 channel	2 channels	4 channels		
	Clocked Serial Interface H (CSIH)		4 channels				
	CAN Interface (RS-CANFD)		8 channels				
	LIN/UART Interface (RLIN3)		3 channels	6 channels	8 channels		
	LIN Master Interface (RLIN2)		3 channels	6 channels	10 channels	12 channels	
	I^2C Bus Interface (RIIC)		2 channels				
	Clock Extension Peripheral Interface (CXP1)		Not provided				
	Single Edge Nibble Transmission (RSENT)		1 channel	2 channels			
	FlexRay Interface (FLXA)		2 channel (A ch, B ch)				
	Ethernet AVB (ETNB)		Not provided		1 channel (MII)		
External Interrupts	Maskable		14	24			
	Non-maskable (NMI)		1				
Other functions	Clock Monitors (CLMA)		For PLL0, PLL1, HS IntOSC, MainOSC				
	Data CRC (DCRA)		4 channels				
	Low-Voltage Indicator (LVI)		Provided				
	Power-On Clear (POC)		Provided				
	Core Voltage Monitors (CVM)		Provided				
	Error Correction Coding (ECC)		For Code flash, Data flash, Local RAM, Retention RAM, Global RAM, CSIH, RS-CANFD, FLXA		For Code flash, Data flash, Local RAM, Retention RAM, Global RAM, CSIH, RS-CANFD, FLXA, ETNB		

表 1B.1 Overview of Product

Product Name		RH850/F1KM-S4				
		100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
Other functions	Low Power Sampler (LPS)	Provided				
	PWM Output/Diagnostic (PWM-Diag)	44 channels	64 channels	72 channels	80 channels	96 channels
	Motor Control	1 unit				
	Key Return (KR)	8 channels				
	CLOCK OUTPUT (FOUT)	Provided				
	RESET OUTPUT ($\overline{\text{RESETOUT}}$)	Provided				
	Intelligent Cryptographic Unit Master D (ICUMD)	Provided				
	On-Chip debug (OCD)	Provided				
	Boundary Scan	Provided				
Voltage supply	Internal supply	VPOC to 5.5 V				
	Input/output buffer supplies	VPOC to 5.5 V				
	A/D Converter supplies	3.0 to 5.5 V				
Package		100-pin LQFP	144-pin LQFP	176-pin LQFP	233-pin FPBGA	272-pin FPBGA

表 1B.2 Overview of Product

<table>
<tr><th colspan="3" rowspan="2">Product Name</th><th colspan="3">RH850/F1KM-S2</th></tr>
<tr><th>100 Pins</th><th>144 Pins</th><th>176 Pins</th></tr>
<tr><td colspan="3">Memory</td><td colspan="3">「表 1B.4 Product Lineup」を参照</td></tr>
<tr><td colspan="3">External Memory Access Controller (MEMC)</td><td colspan="3">Not provided</td></tr>
<tr><td colspan="2" rowspan="3">Serial Flash Memory I/F (SFMA)</td><td>Bus width</td><td rowspan="3">Not provided</td><td colspan="2">4 bit</td></tr>
<tr><td>Mode</td><td colspan="2">SDR</td></tr>
<tr><td>Max. clock</td><td colspan="2">40 MHz</td></tr>
<tr><td rowspan="6">CPU</td><td colspan="2">CPU System</td><td colspan="3">G3KH</td></tr>
<tr><td colspan="2">CPU frequency</td><td colspan="3">240 MHz max.</td></tr>
<tr><td colspan="2">FPU</td><td colspan="3">Single-precision</td></tr>
<tr><td rowspan="3">Protection Function</td><td>Memory Protection Unit (MPU)</td><td colspan="3">Provided</td></tr>
<tr><td>Internal Peripheral-device Guard (IPG)</td><td colspan="3">Provided</td></tr>
<tr><td>Processor Element Guard (PEG)</td><td colspan="3">Provided</td></tr>
<tr><td colspan="3">DMA</td><td colspan="3">32 channels</td></tr>
<tr><td rowspan="6">Operating clock</td><td colspan="2">Main Oscillator (MainOSC)</td><td colspan="3">8/16/20/24 MHz</td></tr>
<tr><td colspan="2">Low Speed Internal Oscillator (LS IntOSC)</td><td colspan="3">240 kHz (typ.)</td></tr>
<tr><td colspan="2">High Speed Internal Oscillator (HS IntOSC)</td><td colspan="3">8 MHz (typ.)</td></tr>
<tr><td rowspan="2">PLL</td><td>PLL0 (for CPU, with SSCG)</td><td colspan="3">Provided</td></tr>
<tr><td>PLL1 (for CPU/Peripheral)</td><td colspan="3">Provided</td></tr>
<tr><td colspan="2">Sub Oscillator (SubOSC)</td><td>Not provided</td><td colspan="2">32.768 kHz</td></tr>
<tr><td colspan="3">I/O port</td><td>75</td><td>114</td><td>144</td></tr>
<tr><td rowspan="3">A/D converter</td><td rowspan="3">ADCA0</td><td>Physical input channels</td><td>Total 32 ch
(12 bit resolution:
16 ch + 10 bit resolution:
16 ch)</td><td colspan="2">Total 34 ch
(12 bit resolution: 16 ch + 10 bit resolution: 18 ch)</td></tr>
<tr><td>External multiplexer support for channel number extension</td><td colspan="3">Provided</td></tr>
<tr><td>Channels with T&H</td><td colspan="3">Provided</td></tr>
</table>

表 1B.2 Overview of Product

Product Name			RH850/F1KM-S2		
			100 Pins	144 Pins	176 Pins
A/D converter	ADCA1	Physical input channels	Not provided	Total 12 ch (12 bit resolution: 8 ch + 10 bit resolution: 4 ch)	Total 24 ch (12 bit resolution: 16 ch + 10 bit resolution: 8 ch)
		External multiplexer support for channel number extension	Not provided		
		Channels with T&H	Not provided		
Timer	Timer Array Unit D (TAUD)		1 unit (16 bit resolution timers × 16 channels /unit)		
	Timer Array Unit B (TAUB)		1 unit (16 bit resolution timers × 16 channels /unit)		2 units (16 bit resolution timers × 16 channels /unit)
	Timer Array Unit J (TAUJ)		4 units (32 bit resolution timers × 4 channels /unit)		
	Operating System Timer (OSTM)		5 units		
	Real-Time Clock (RTCA)		1 unit		
	Encoder Timer (ENCA)		1 unit		
	Window Watchdog Timer A (WDTA)		2 units		
Serial interfaces	Clocked Serial Interface G (CSIG)		1 channel	2 channels	4 channels
	Clocked Serial Interface H (CSIH)		4 channels		
	CAN Interface (RS-CANFD)		8 channels		
	LIN/UART Interface (RLIN3)		3 channels	6 channels	8 channels
	LIN Master Interface (RLIN2)		3 channels	6 channels	10 channels
	I^2C Bus Interface (RIIC)		2 channels		
	Clock Extension Peripheral Interface (CXP1)		Not provided		
	Single Edge Nibble Transmission (RSENT)		1 channel	2 channels	
	FlexRay Interface (FLXA)		Not provided		
	Ethernet AVB (ETNB)		Not provided		
External Interrupts	Maskable		14	24	
	Non-maskable (NMI)		1		
Other functions	Clock Monitors (CLMA)		For PLL0, PLL1, HS IntOSC, MainOSC		
	Data CRC (DCRA)		4 channels		
	Low-Voltage Indicator (LVI)		Provided		
	Power-On Clear (POC)		Provided		
	Core Voltage Monitors (CVM)		Provided		
	Error Correction Coding (ECC)		For Code flash, Data flash, Local RAM, Retention RAM, Global RAM, CSIH, RS-CANFD		

表 1B.2 Overview of Product

Product Name		RH850/F1KM-S2		
		100 Pins	144 Pins	176 Pins
Other functions	Low Power Sampler (LPS)	Provided		
	PWM Output/Diagnostic (PWM-Diag)	44 channels	64 channels	72 channels
	Motor Control	1 unit		
	Key Return (KR)	8 channels		
	CLOCK OUTPUT (FOUT)	Provided		
	RESET OUTPUT ($\overline{\text{RESETOUT}}$)	Provided		
	Intelligent Cryptographic Unit Master D (ICUMD)	Provided		
	On-Chip debug (OCD)	Provided		
	Boundary Scan	Provided		
Voltage supply	Internal supply	VPOC to 5.5 V		
	Input/output buffer supplies	VPOC to 5.5 V		
	A/D Converter supplies	3.0 to 5.5 V		
Package		100-pin LQFP	144-pin LQFP	176-pin LQFP

1B.3　RH850/F1KM 製品ラインナップ

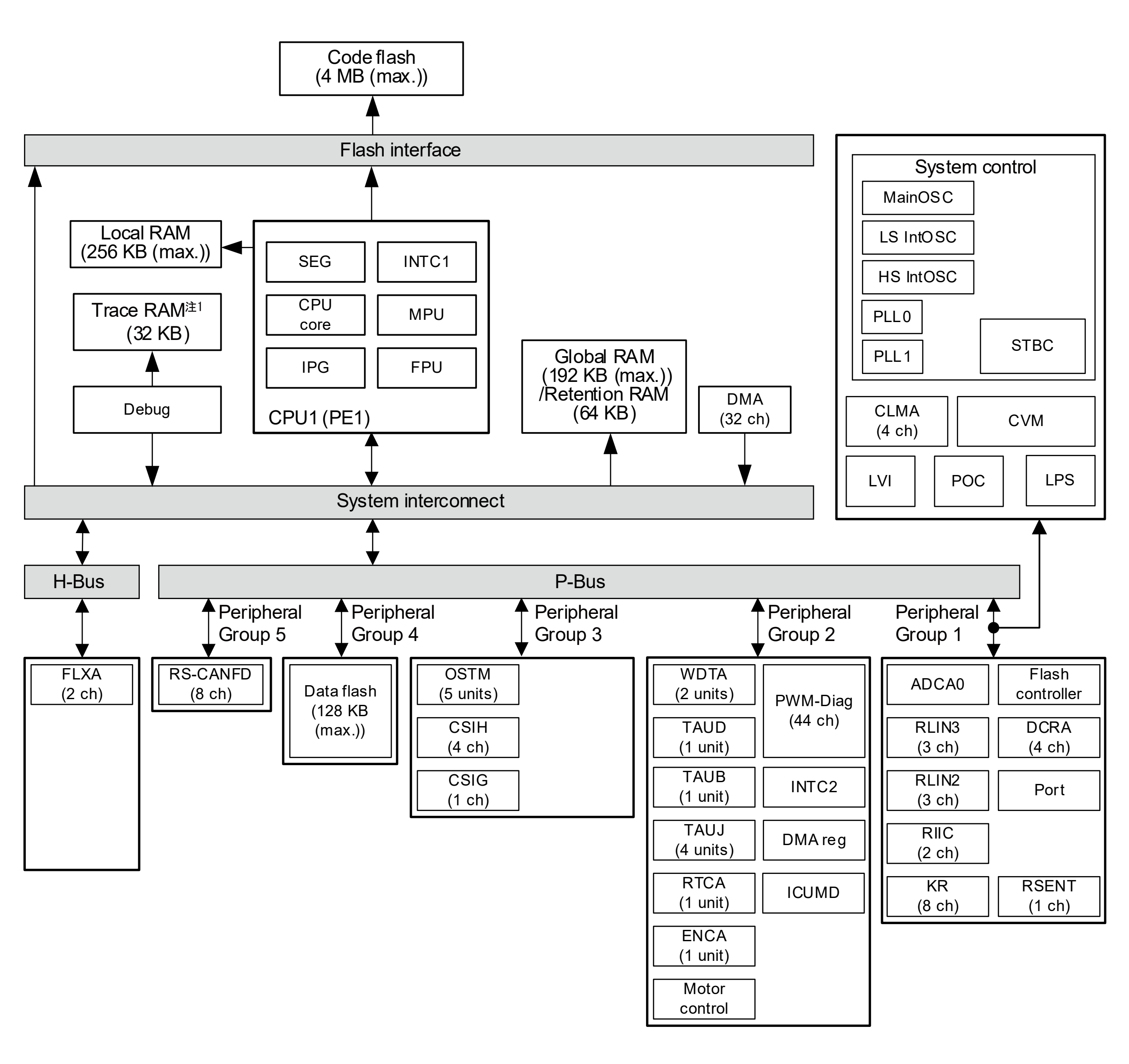
表 1B.3　　Product Lineup

F1KM-S4		Memory						Part Name	
Pin Count	CPU Frequency	Code Flash	Data Flash	Local RAM (LRAM)	Global RAM (GRAM)	Retention RAM (RRAM)	Trace RAM	Operating Temperature (Ta)	
								–40°C to +105°C Package	–40°C to +125°C Package
100 pin	240 MHz max.	3 MB	128 KB	192 KB	128 KB	64 KB	Not available	R7F7016443AFP-C LQFP	—
		4 MB		256 KB	192KB		32 KB	R7F7016453AFP-C LQFP	—
144 pin	240 MHz max.	3 MB	128 KB	192 KB	128 KB	64 KB	Not available	R7F7016463AFP-C LQFP	—
		4 MB		256 KB	192KB		32 KB	R7F7016473AFP-C LQFP	—
176 pin	240 MHz max.	3 MB	128 KB	192 KB	128 KB	64 KB	Not available	R7F7016483AFP-C LQFP	—
		4 MB		256 KB	192KB		32 KB	R7F7016493AFP-C LQFP	—
233 pin	240 MHz max.	3 MB	128 KB	192 KB	128 KB	64 KB	Not available	R7F7016503ABG-C FPBGA	R7F7016504ABG-C FPBGA
		4 MB		256 KB	192KB		32 KB	R7F7016513ABG-C FPBGA	R7F7016514ABG-C FPBGA
272 pin	240 MHz max.	3 MB	128 KB	192 KB	128 KB	64 KB	Not available	R7F7016523ABG-C FPBGA	R7F7016524ABG-C FPBGA
		4 MB		256 KB	192KB		32 KB	R7F7016533ABG-C FPBGA	R7F7016534ABG-C FPBGA

表 1B.4　　Product Lineup

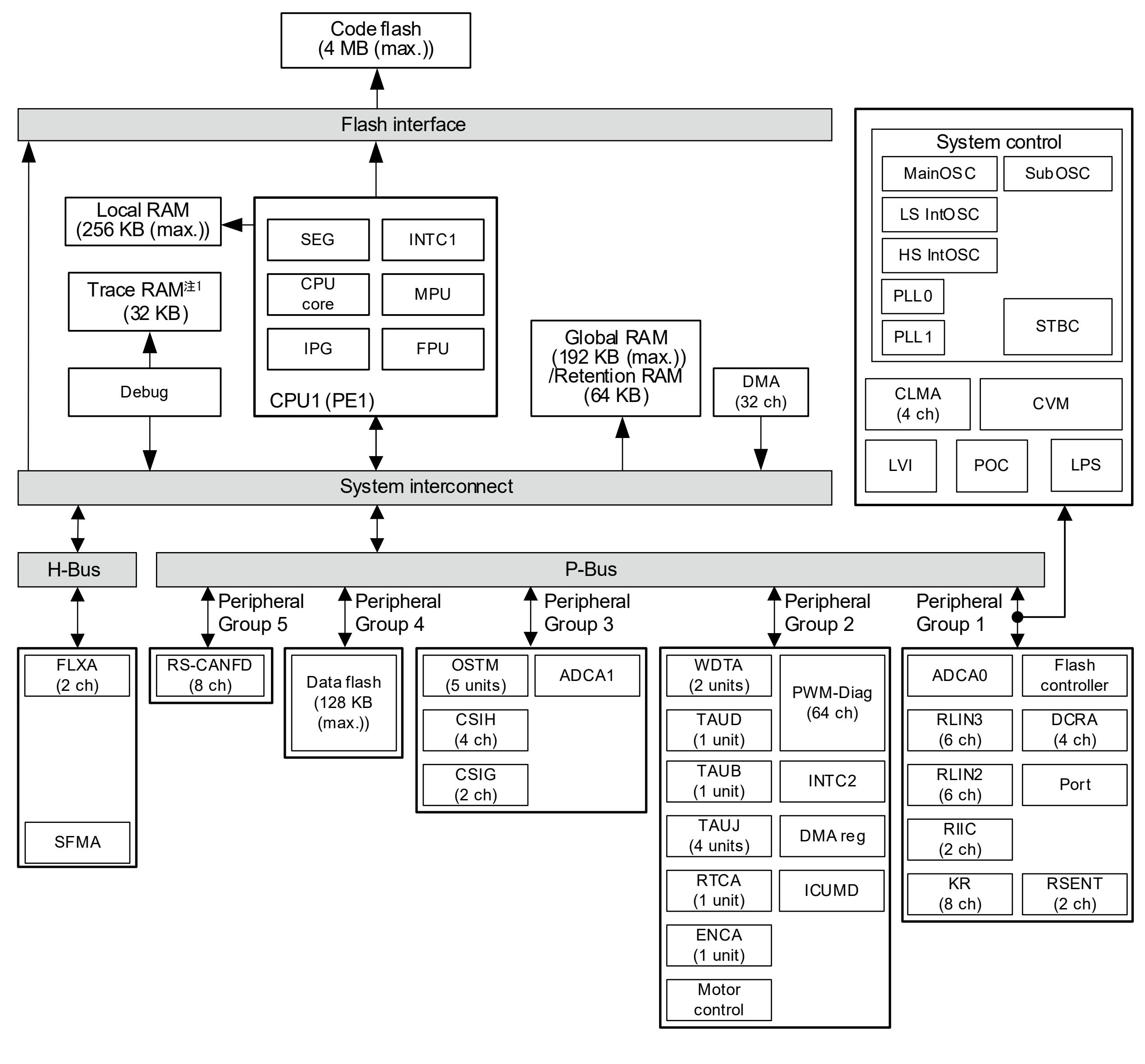
F1KM-S2		Memory						Part Name	
Pin Count	CPU Frequency	Code Flash	Data Flash	Local RAM (LRAM)	Global RAM (GRAM)	Retention RAM (RRAM)	Trace RAM	Operating Temperature (Ta)	
								–40°C to +105°C Package	–40°C to +125°C Package
100 pins	240 MHz max.	2 MB	128 KB	128 KB	96 KB	32 KB	Not available	R7F7017603AFP-C LQFP	—
144 pins	240 MHz max.	2 MB	128 KB	128 KB	96 KB	32 KB	Not available	R7F7017623AFP-C LQFP	—
176 pins	240 MHz max.	2 MB	128 KB	128 KB	96 KB	32 KB	Not available	R7F7017643AFP-C LQFP	—

1B.4 RH850/F1KM 製品内部ブロック図



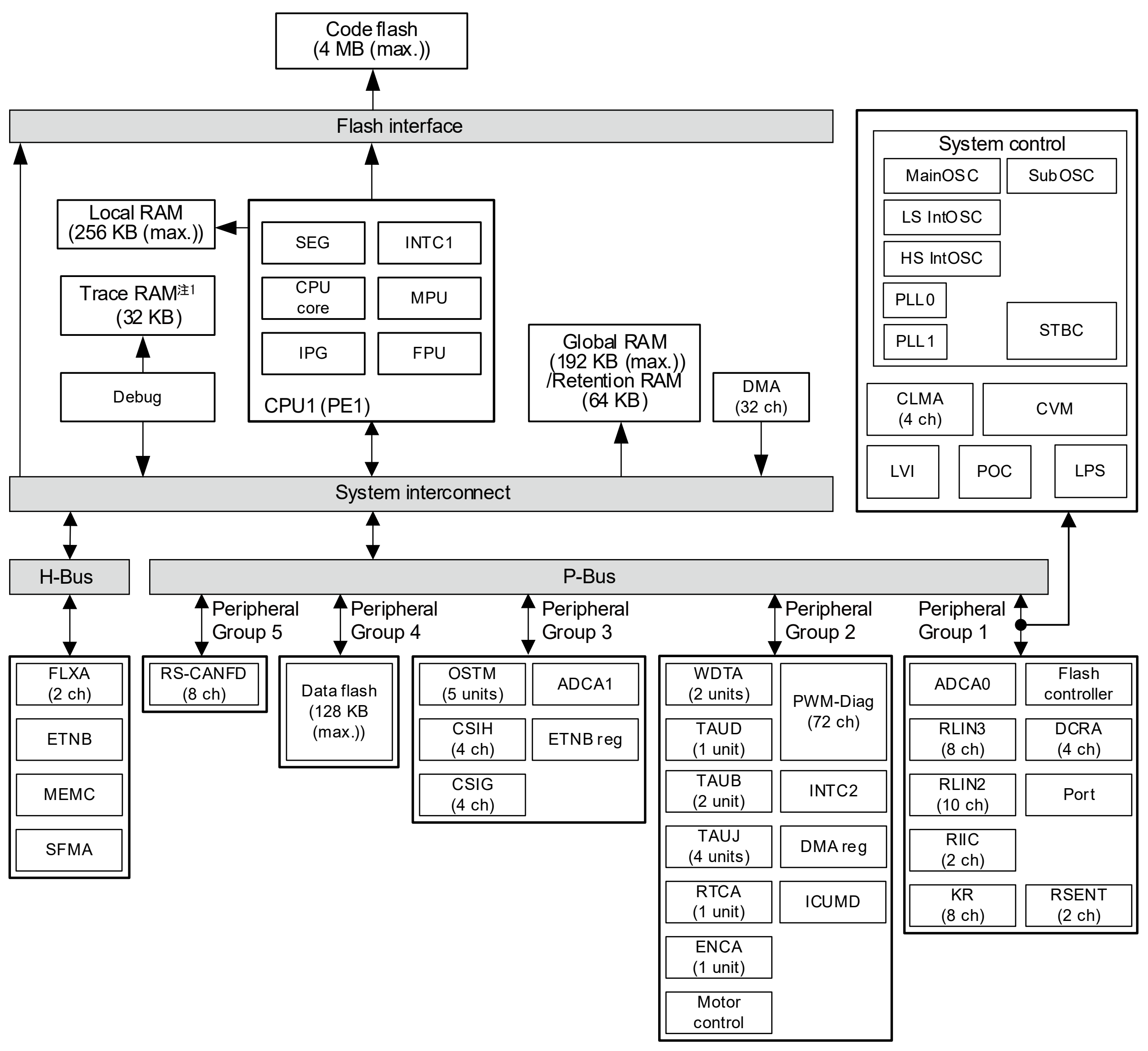
注1.　トレース RAM は、コードフラッシュ 4MB 製品のみ対応しています。

図 1B.1　　内部ブロック図（RH850/F1KM-S4 100-Pin Version）



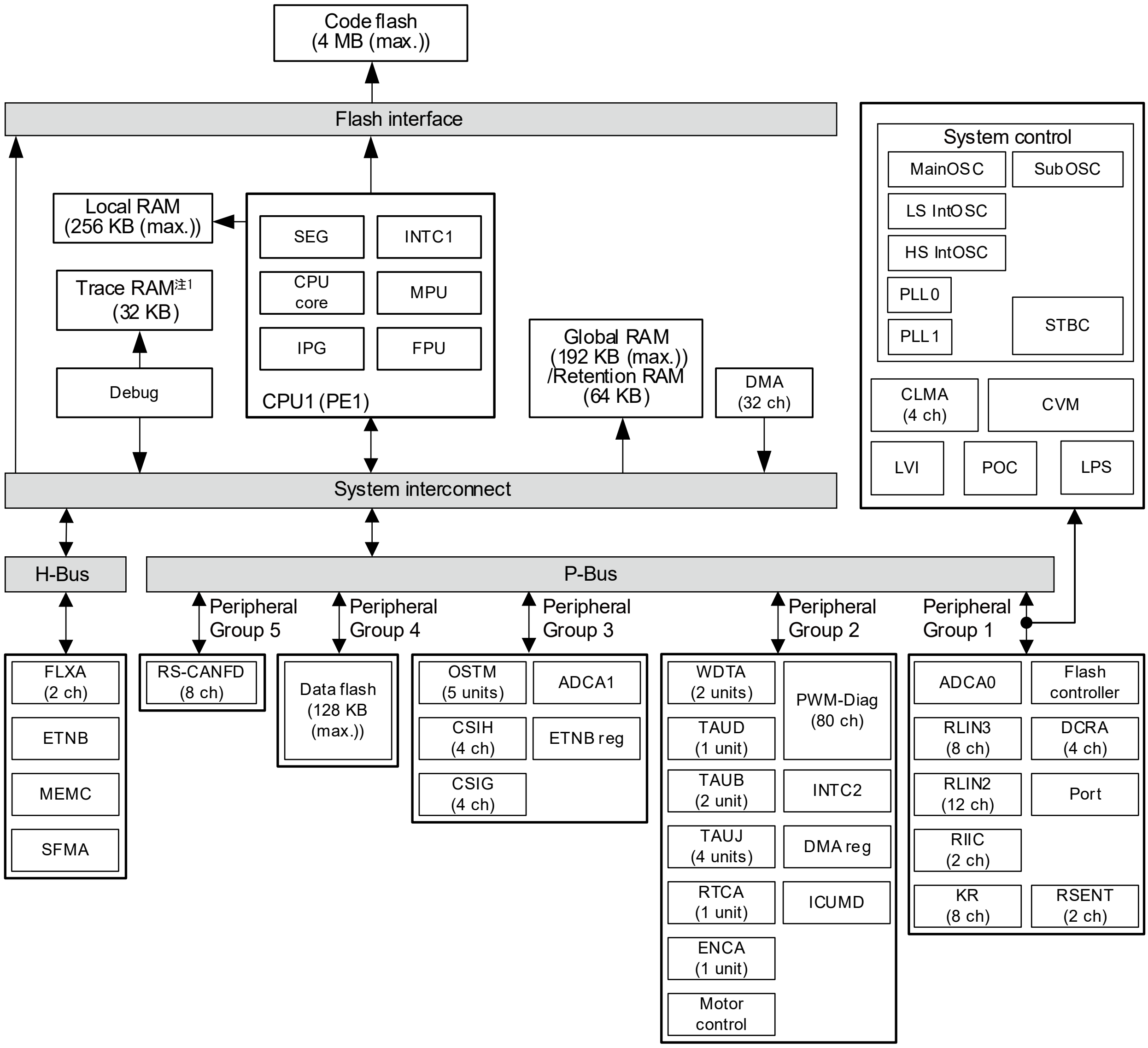
注1.　トレース RAM は、コードフラッシュ 4MB 製品のみ対応しています。

図 1B.2　　内部ブロック図（RH850/F1KM-S4 144-Pin Version）



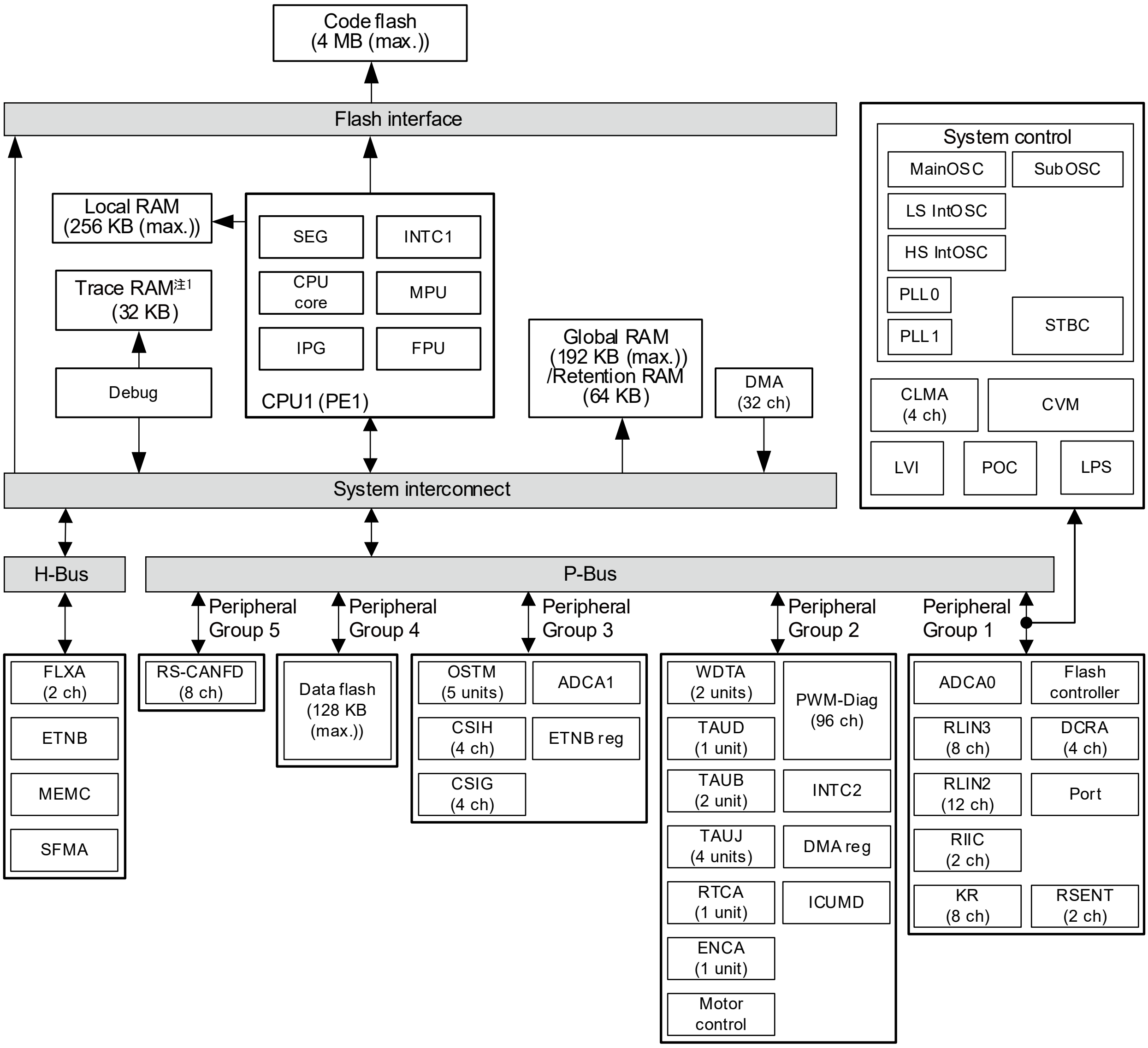
注1. トレース RAM は、コードフラッシュ 4MB 製品のみ対応しています。

図 1B.3 内部ブロック図（RH850/F1KM-S4 176-Pin Version）



注1. トレース RAM は、コードフラッシュ 4MB 製品のみ対応しています。

図 1B.4 内部ブロック図（RH850/F1KM-S4 233-Pin Version）



注1.　トレース RAM は、コードフラッシュ 4MB 製品のみ対応しています。

図 1B.5　　内部ブロック図（RH850/F1KM-S4 272-Pin Version）

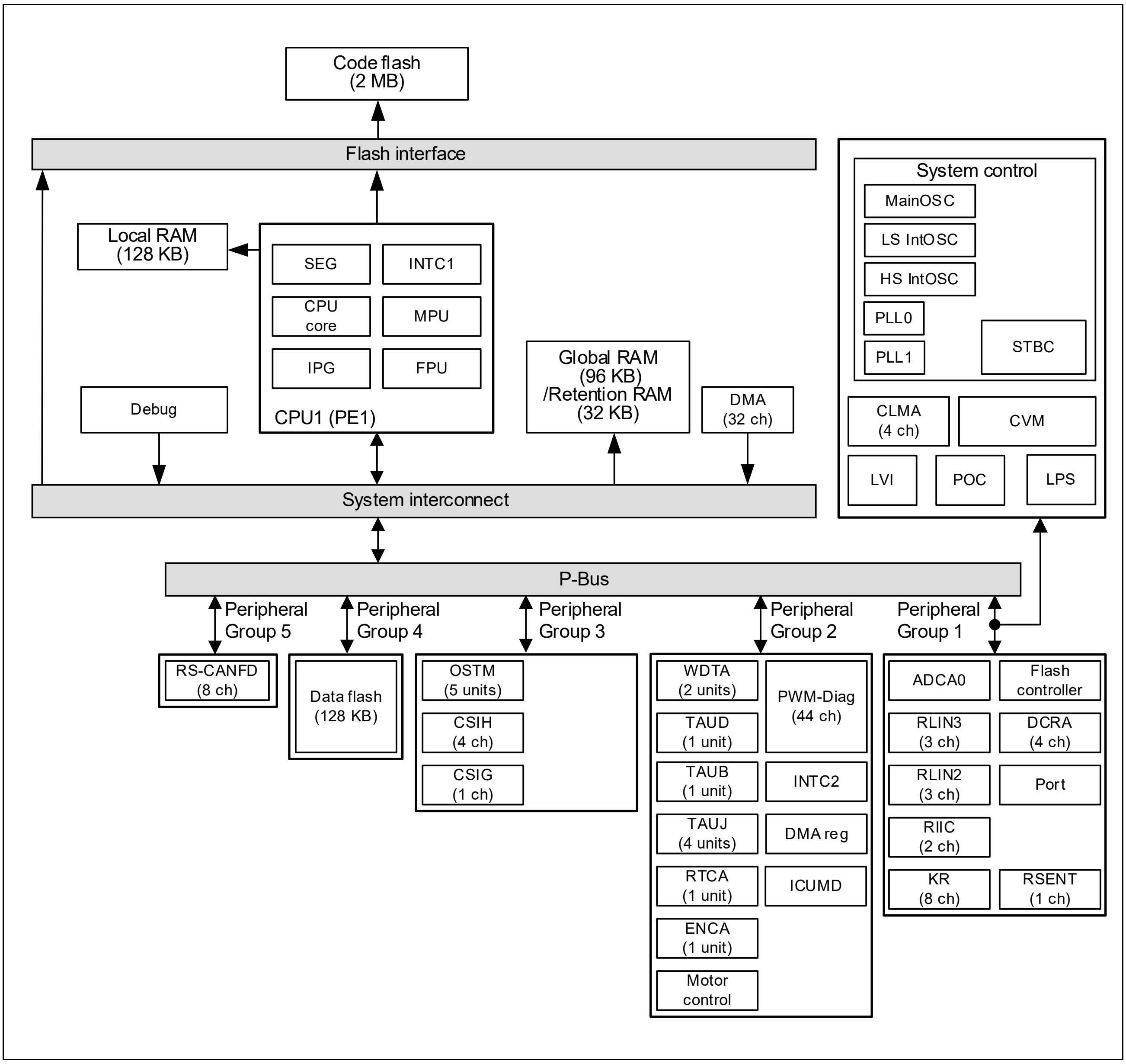


図 1B.6　　内部ブロック図（RH850/F1KM-S2 100-Pin Version）

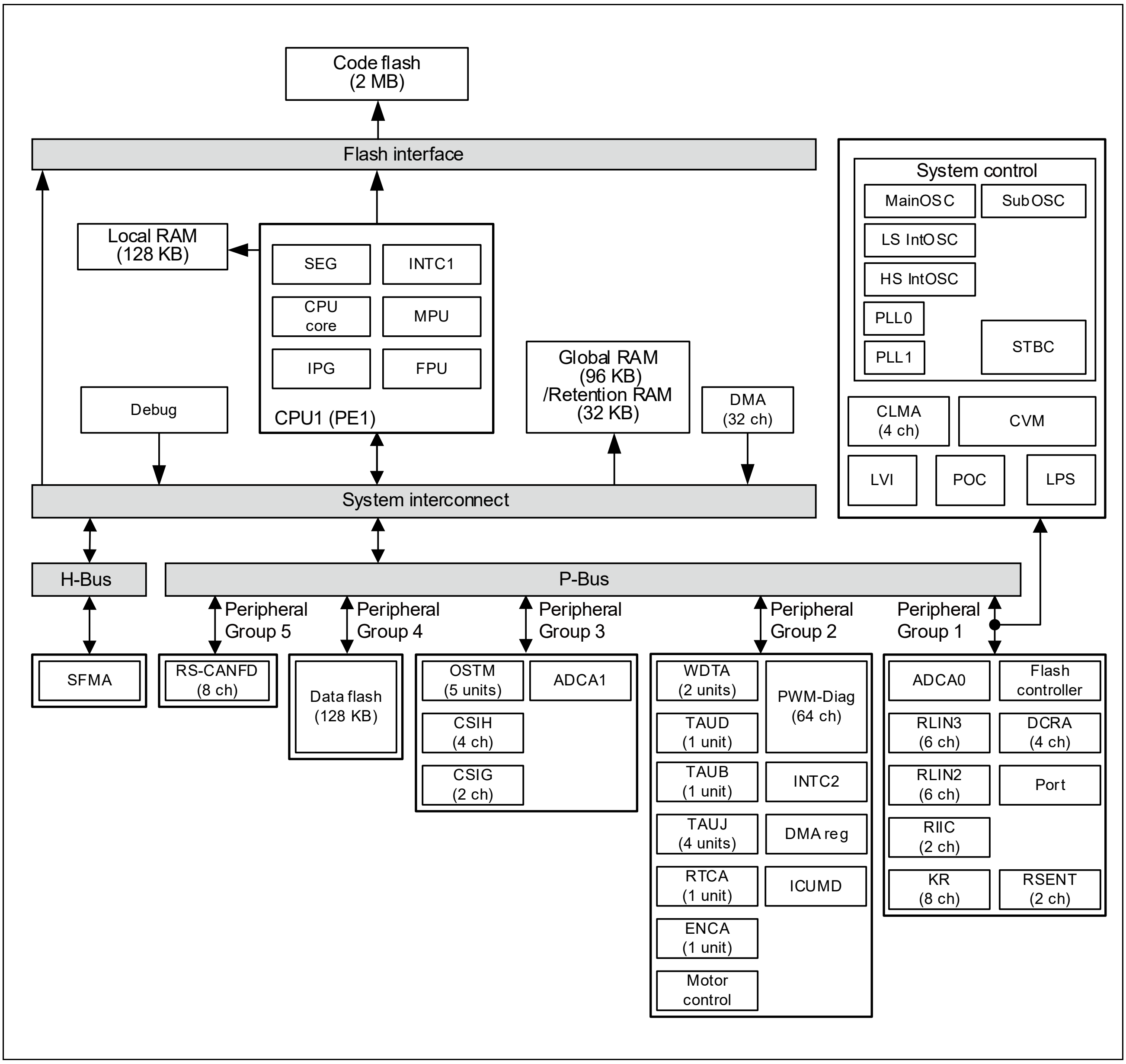


図 1B.7　　内部ブロック図（RH850/F1KM-S2 144-Pin Version）

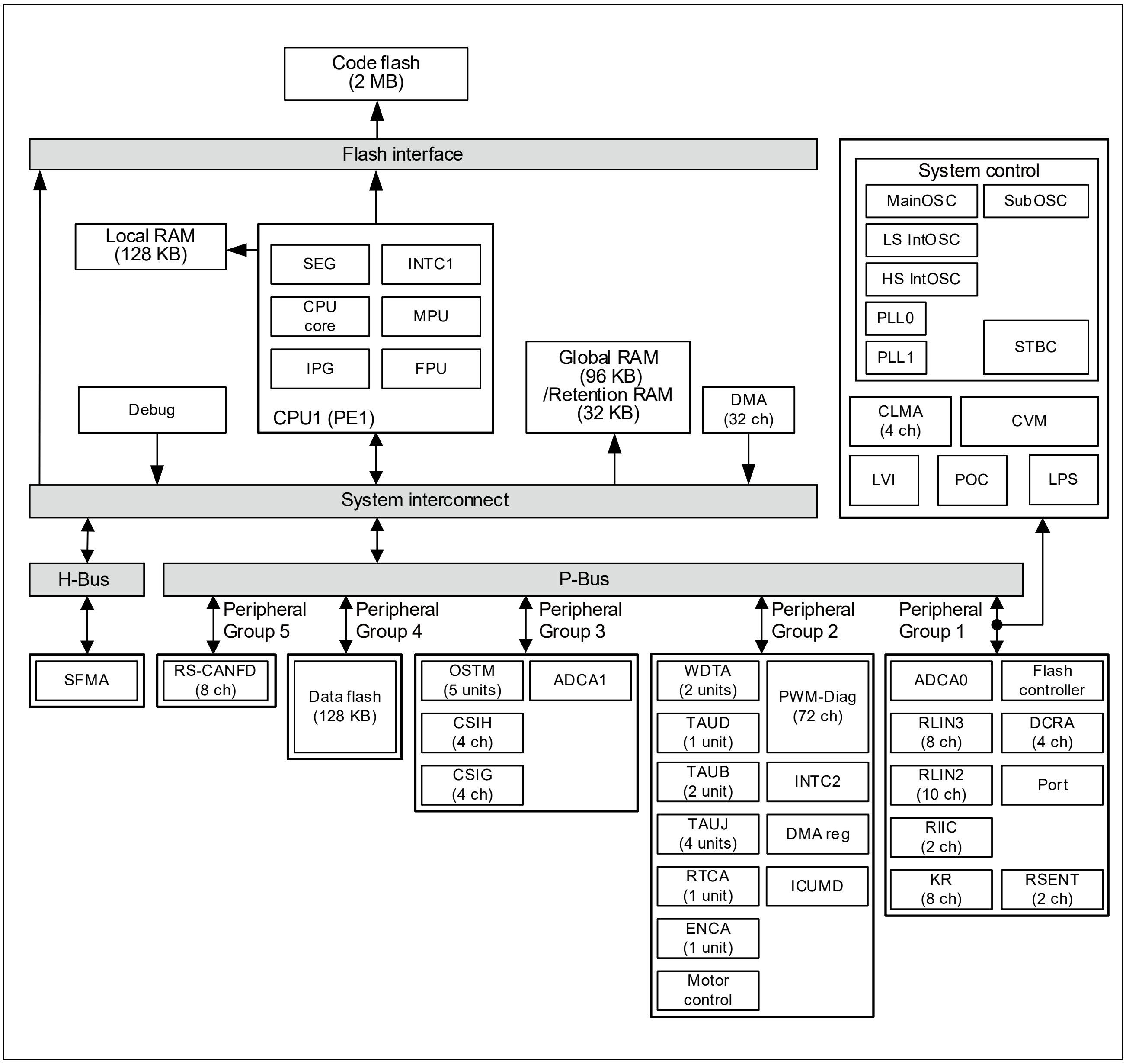


図 1B.8　　内部ブロック図（RH850/F1KM-S2 176-Pin Version）

第1C章　RH850/F1KM-S1 の概要

1C.1　RH850/F1KM 製品の特長

RH850/F1KM の特長を以下に示します。

RH850/F1KM は、G3KH コアを搭載し、低消費電力、高い処理能力、豊富な内蔵周辺機能などを特長とする32 ビットシングルチップマイクロコントローラです。様々な車載システムに対応するために、豊富なメモリ、パッケージを用意しています。多様なアプリケーションにおいて消費電流を低減させるための電力低減方法が利用できます。例えば、アナログとデジタルの入力が CPU コアを経由せず、入力端子への入力信号をポーリングできるロウパワーサンプラ（LPS）や、マイクロコントローラの大部分の回路への電源供給をオフできる DeepSTOP モードも備えています。

応用分野

自動車電装分野における下記製品へ適しています。

- BCM (Body Control Module)
- ゲートウェイ
- オートエアコン
- ライトモジュール、ほか

1C.2　RH850/F1KM の機能

表 1C.1　Overview of Product

Product Name			RH850/F1KM-S1			
			48 Pin	64 Pin	80 Pin	100 Pin
Memory			**「表 1C.2 Product Lineup」** を参照			
External Memory Access Controller (MEMC)			Not provided			
CPU	CPU System		G3KH			
	CPU frequency		120 MHz max			
	FPU		Single-Precision			
	Protection Function	Memory Protection Unit (MPU)	Provided			
		Internal Peripheral Guard (IPG)	Provided			
		Processor Element Guard (PEG)	Provided			
DMA			16 channels			
Operating clock	Main Oscillator (MainOSC)		8/16/20/24 MHz			
	Low Speed Internal Oscillator (LS IntOSC)		240 kHz(typ.)			
	High Speed Internal Oscillator (HS IntOSC)		8 MHz(typ.)			
	PLL	PLL0 (for CPU, with SSCG)	Not provided			
		PLL1 (for CPU/Peripheral)	Provided			
	Sub Oscillator (SubOSC)		Not provided			
I/O port			33	49	65	81
A/D converter	ADCA0	Physical input channels	Total 12 ch	Total 21 ch	Total 25 ch	Total 36 ch
			(12 bit resolution: 8 ch + 10 bit resolution: 4 ch)	(12 bit resolution: 10 ch + 10 bit resolution: 11 ch)	(12 bit resolution: 11 ch + 10 bit resolution: 14 ch)	(12 bit resolution: 16 ch + 10 bit resolution: 20 ch)
		External multiplexer support for channel number extension	Provided			
		Channels with T&H	3			6
	ADCA1	Physical input channels	Not provided			
		External multiplexer support for channel number extension	Not provided			
		Channels with T&H	Not provided			
Timer	Timer Array Unit D (TAUD)		1 unit (16 bit resolution timers × 16 channels /unit)			
	Timer Array Unit B (TAUB)		Not provided		1 unit (16 bit resolution timers × 16 channels /unit)	
	Timer Array Unit J (TAUJ)		4 units (32 bit resolution timers × 4 channels /unit)			
	Operating System Timer (OSTM)		1 unit			
	Real-Time Clock (RTCA)		1 unit			
	Encoder Timer (ENCA)		1 unit			
	Window Watchdog Timer A (WDTA)		2 units			

表 1C.1　　Overview of Product

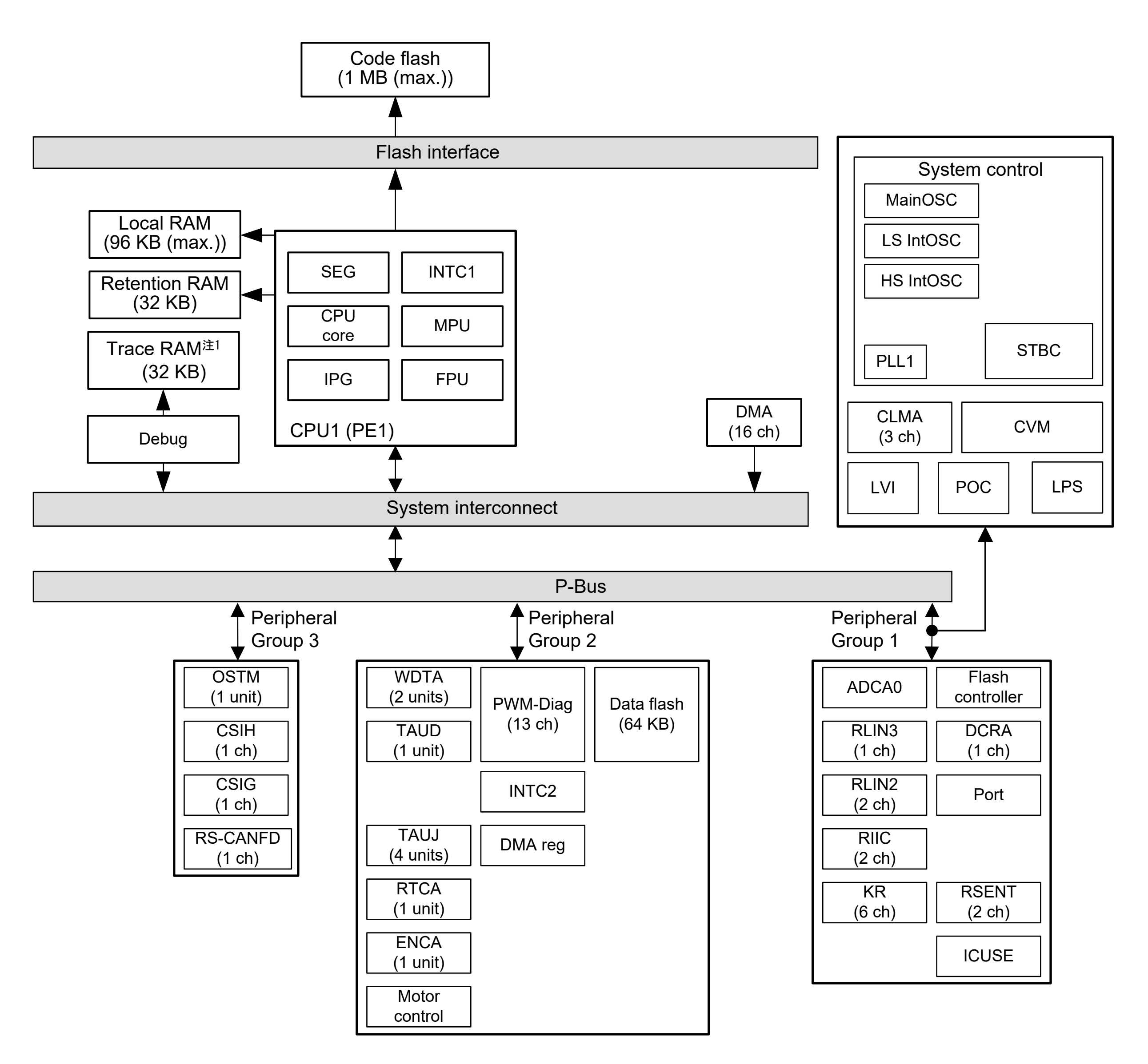
<table>
<tr><th colspan="2" rowspan="2">Product Name</th><th colspan="4">RH850/F1KM-S1</th></tr>
<tr><th>48 Pin</th><th>64 Pin</th><th>80 Pin</th><th>100 Pin</th></tr>
<tr><td rowspan="8">Serial interfaces</td><td>Clocked Serial Interface G (CSIG)</td><td colspan="4">1 channel</td></tr>
<tr><td>Clocked Serial Interface H (CSIH)</td><td colspan="2">1 channel</td><td>3 channels</td><td>4 channels</td></tr>
<tr><td>CAN Interface (RS-CANFD)</td><td>1 channel</td><td colspan="2">3 channels</td><td>6 channels</td></tr>
<tr><td>LIN/UART Interface (RLIN3)</td><td>1 channel</td><td>2 channels</td><td>3 channels</td><td>4 channels</td></tr>
<tr><td>LIN Master Interface (RLIN2)</td><td colspan="3">2 channels</td><td>3 channels</td></tr>
<tr><td>I^2C Bus Interface (RIIC)</td><td colspan="4">2 channels</td></tr>
<tr><td>Clock Extension Peripheral Interface (CXP1)</td><td colspan="4">Not provided</td></tr>
<tr><td>Single Edge Nibble Transmission (RSENT)</td><td colspan="4">2 channels</td></tr>
<tr><td rowspan="2">External Interrupts</td><td>Maskable</td><td colspan="2">8</td><td>12</td><td>13</td></tr>
<tr><td>Non-maskable (NMI)</td><td colspan="4">1</td></tr>
<tr><td rowspan="18">Other functions</td><td>Clock Monitors (CLMA)</td><td colspan="4">For PLL1, HS IntOSC, MainOSC</td></tr>
<tr><td>Data CRC (DCRA)</td><td colspan="2">1 channel</td><td colspan="2">4 channels</td></tr>
<tr><td>Low-Voltage Indicator (LVI)</td><td colspan="4">Provided</td></tr>
<tr><td>Power-On Clear (POC)</td><td colspan="4">Provided</td></tr>
<tr><td>Core Voltage Monitors (CVM)</td><td colspan="4">Provided</td></tr>
<tr><td>Error Correction Coding (ECC)</td><td colspan="4">For Code Flash, Data Flash, Local RAM, Retention RAM, CSIH, RS-CANFD</td></tr>
<tr><td>Low Power Sampler (LPS)</td><td colspan="4">Provided</td></tr>
<tr><td>PWM Output/Diagnostic (PWM-Diag)</td><td>13 channels</td><td colspan="2">24 channels</td><td>48 channels</td></tr>
<tr><td>Motor Control</td><td colspan="4">1 unit</td></tr>
<tr><td>Key Return (KR)</td><td>6 channels</td><td colspan="3">8 channels</td></tr>
<tr><td>CLOCK OUTPUT (FOUT)</td><td colspan="4">Provided</td></tr>
<tr><td>RESET OUTPUT ($\overline{\text{RESETOUT}}$)</td><td>Not Provided</td><td colspan="3">Provided</td></tr>
<tr><td>Intelligent Cryptographic Unit E (ICUSE)</td><td colspan="4">Provided</td></tr>
<tr><td>Secure WDT (SWDT)</td><td colspan="4">Provided</td></tr>
<tr><td>On-Chip debug (OCD)</td><td colspan="4">Provided</td></tr>
<tr><td>Boundary Scan</td><td colspan="4">Provided</td></tr>
<tr><td rowspan="3">Voltage supply</td><td>Internal supply</td><td colspan="4">VPOC to 5.5 V</td></tr>
<tr><td>Input/output buffer supplies</td><td colspan="4">VPOC to 5.5 V</td></tr>
<tr><td>A/D Converter supplies</td><td colspan="4">3.0 V to 5.5 V</td></tr>
<tr><td colspan="2">Package</td><td>48-pin LQFP</td><td>64-pin LQFP</td><td>80-pin LQFP</td><td>100-pin LQFP</td></tr>
</table>

1C.3 RH850/F1KM 製品ラインナップ

表 1C.2 Product Lineup

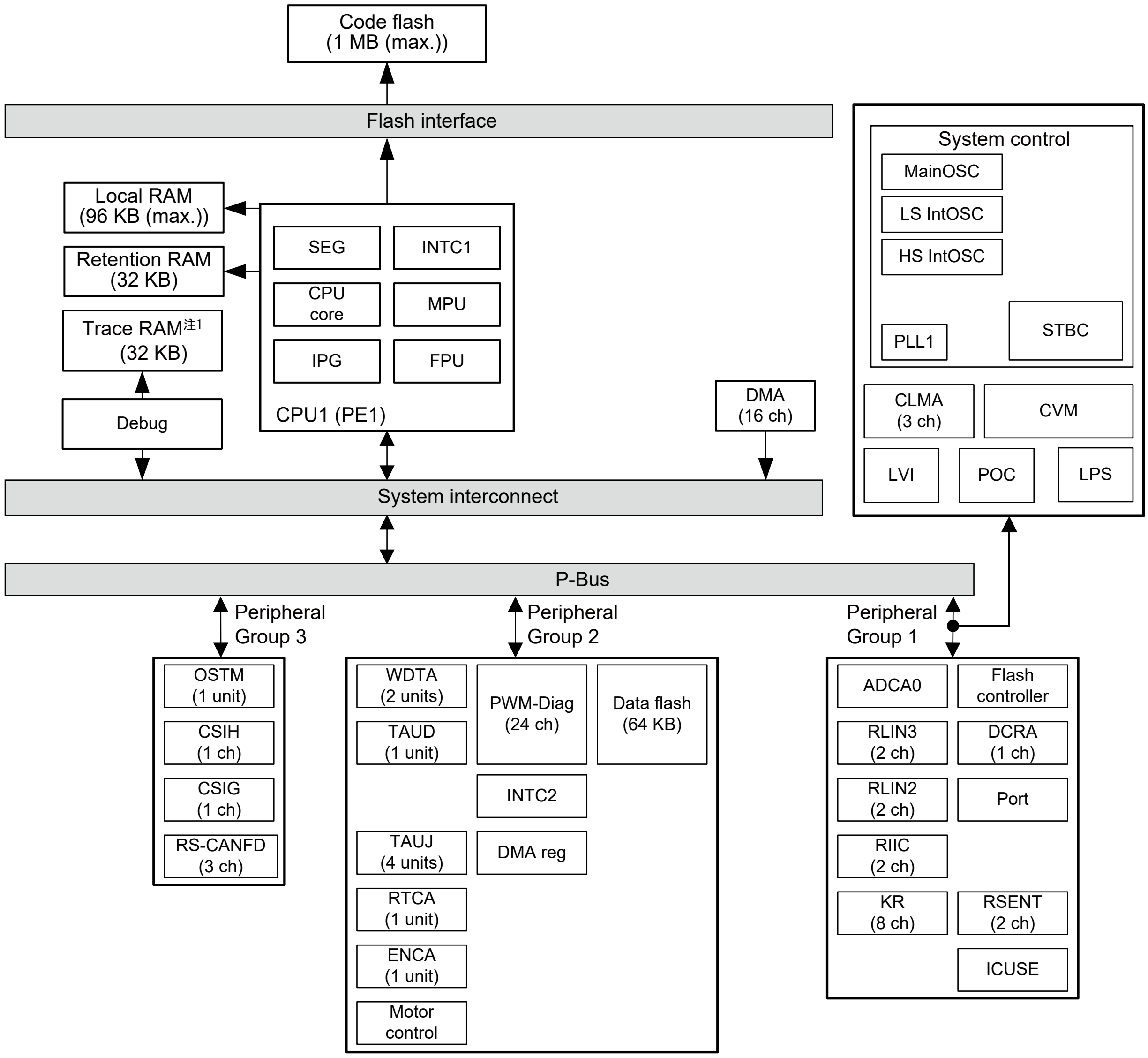
F1KM-S1		Memory					Part Name	
Pin Count	CPU Frequency	Code Flash	Data Flash	Local RAM (LRAM)	Retention RAM (RRAM)	Trace RAM	Operating Temperature (Ta)	
							–40°C to +105°C Package	–40°C to +125°C Package
100 pin	120 MHz max.	1024 KB	64 KB	96 KB	32 KB	32 KB	R7F7016843AFP-C LQFP	R7F7016844AFP-C LQFP
		768 KB		64 KB		Not available	R7F7016853AFP-C LQFP	R7F7016854AFP-C LQFP
		512 KB		32 KB		Not available	R7F7016863AFP-C LQFP	R7F7016864AFP-C LQFP
80 pin	120 MHz max.	1024 KB	64 KB	96 KB	32 KB	32 KB	R7F7016873AFP-C LQFP	R7F7016874AFP-C LQFP
		768 KB		64 KB		Not available	R7F7016883AFP-C LQFP	R7F7016884AFP-C LQFP
		512 KB		32 KB		Not available	R7F7016893AFP-C LQFP	R7F7016894AFP-C LQFP
64 pin	120 MHz max.	1024 KB	64 KB	96 KB	32 KB	32 KB	R7F7016903AFP-C LQFP	R7F7016904AFP-C LQFP
		768 KB		64 KB		Not available	R7F7016913AFP-C LQFP	R7F7016914AFP-C LQFP
		512 KB		32 KB		Not available	R7F7016923AFP-C LQFP	R7F7016924AFP-C LQFP
48 pin	120 MHz max.	1024 KB	64 KB	96 KB	32 KB	32 KB	R7F7016933AFP-C LQFP	R7F7016934AFP-C LQFP
		768 KB		64 KB		Not available	R7F7016943AFP-C LQFP	R7F7016944AFP-C LQFP
		512 KB		32 KB		Not available	R7F7016953AFP-C LQFP	R7F7016954AFP-C LQFP

1C.4　RH850/F1KM 製品内部ブロック図



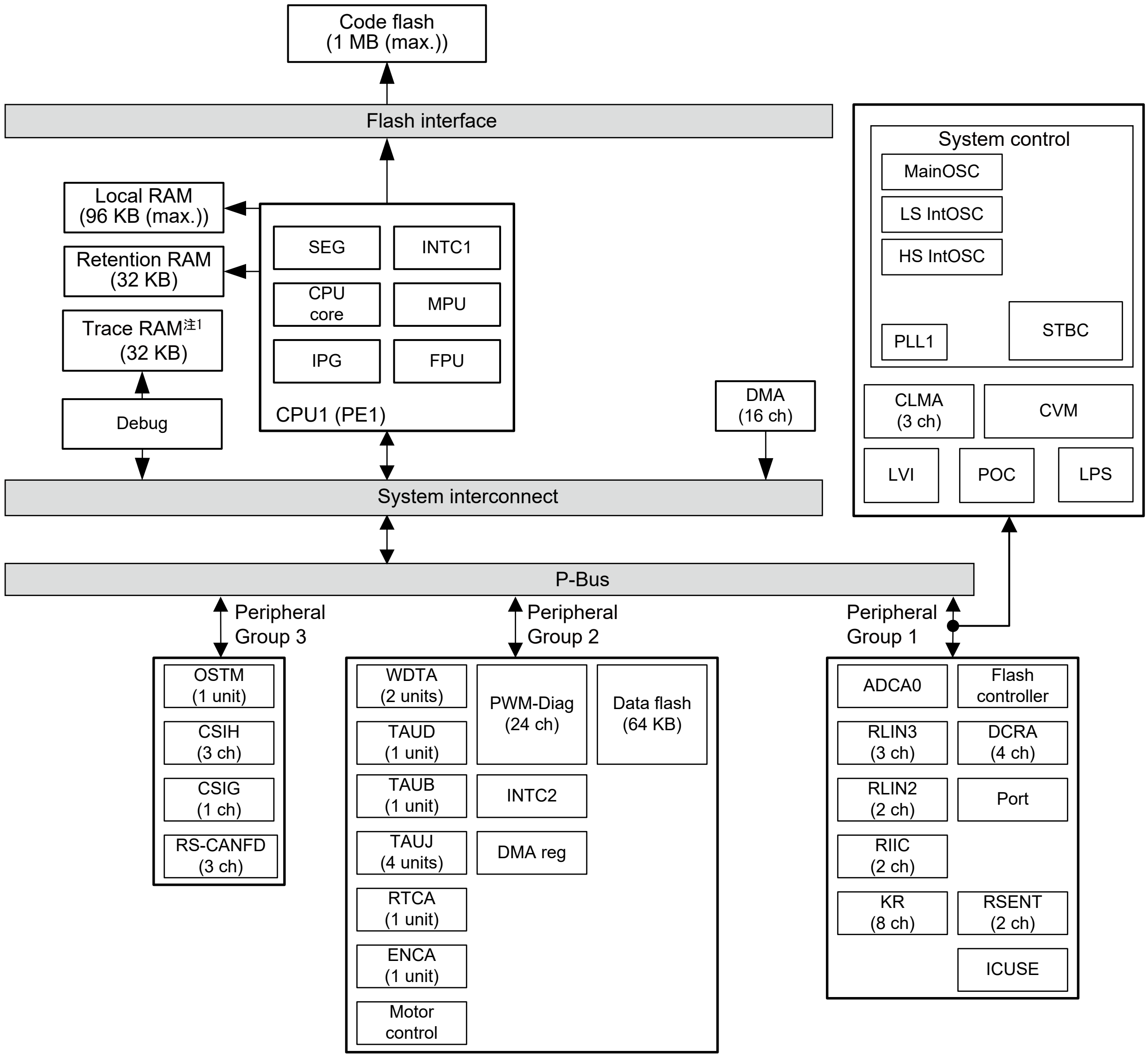
注1.　トレース RAM は、コードフラッシュ 1MB 製品のみ対応しています。

図 1C.1　　内部ブロック図（RH850/F1KM-S1 48-Pin Version）



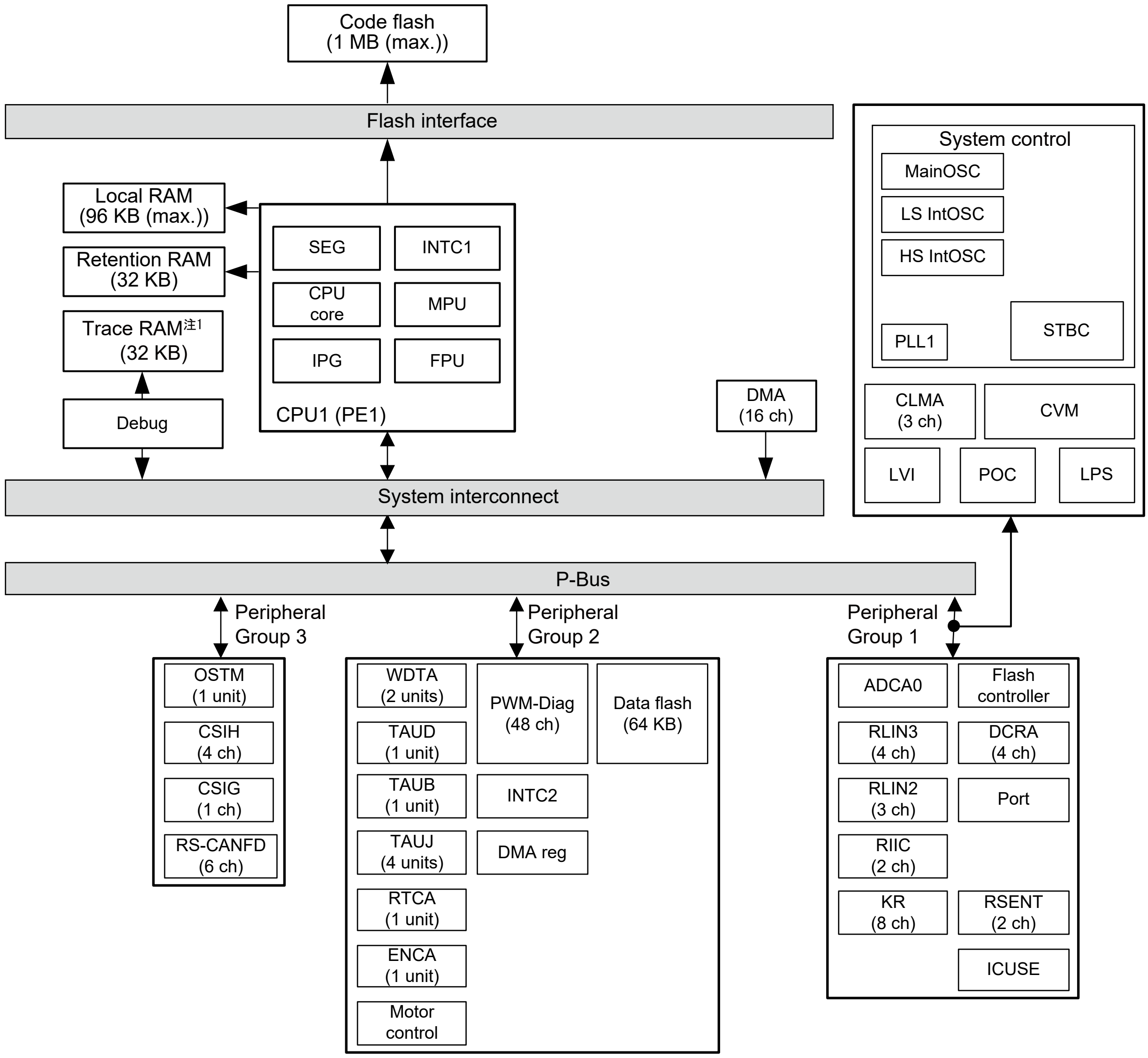
注1.　トレース RAM は、コードフラッシュ 1MB 製品のみ対応しています。

図 1C.2　　内部ブロック図（RH850/F1KM-S1 64-Pin Version）



注1.　トレース RAM は、コードフラッシュ 1MB 製品のみ対応しています。

図 1C.3　　内部ブロック図（RH850/F1KM-S1 80-Pin Version）



注1.　トレース RAM は、コードフラッシュ 1MB 製品のみ対応しています。

図 1C.4　　内部ブロック図（RH850/F1KM-S1 100-Pin Version）

第2A章　RH850/F1KH-D8 の端子

本章では、端子およびポート機能について説明します。

「**2A.1 端子～2A.5 未使用端子の推奨接続**」節では、端子接続図および各端子について説明します。

「**2A.6 RH850/F1KH ポートの特長**」～「**2A.13 ポートノイズフィルタ＆エッジ／レベル検出機能説明**」節では、ポート機能の一般的な内容について説明します。

2A.1　端子

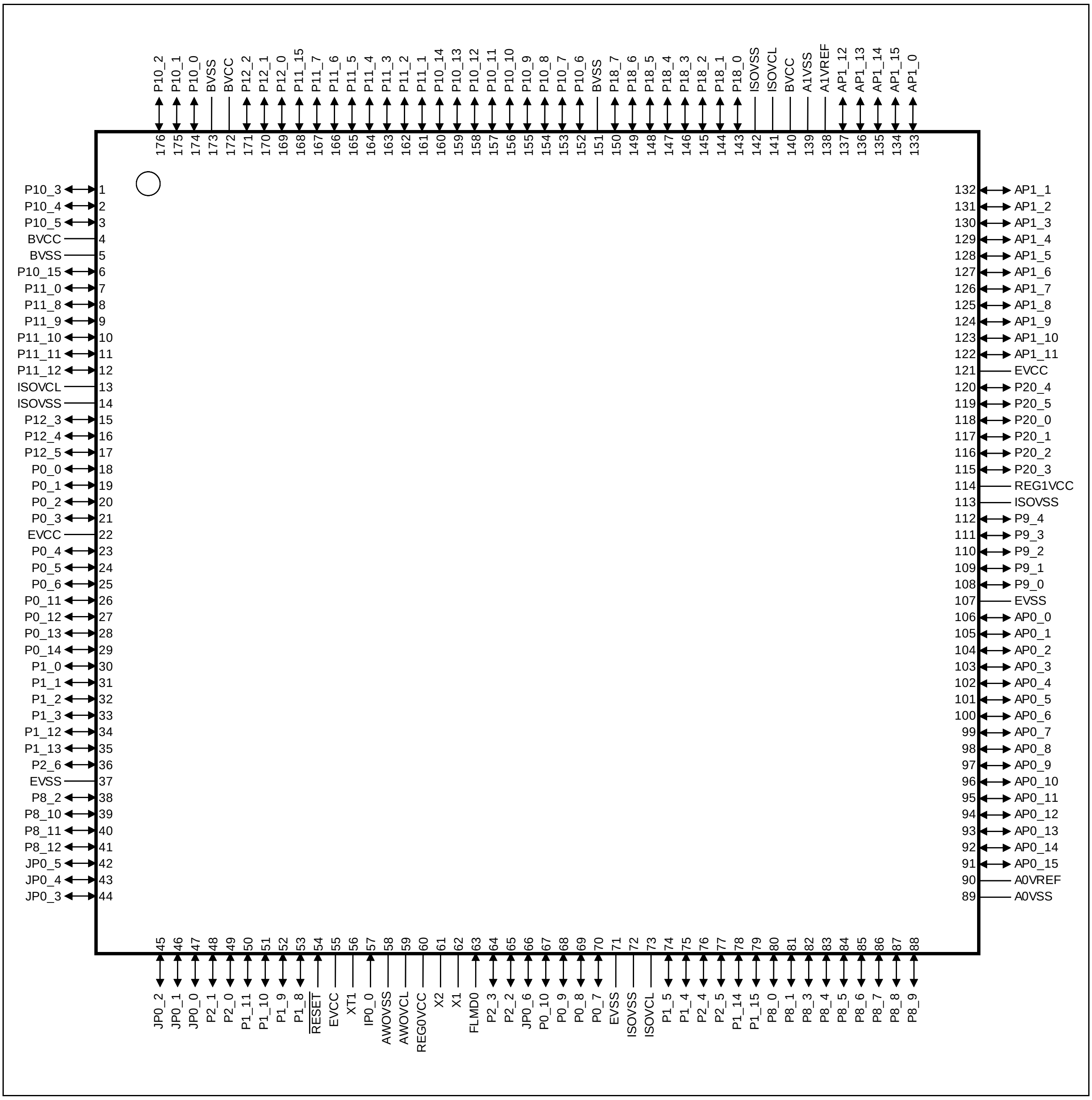


図 2A.1　　端子接続図（176-Pin LQFP）

Top View

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	
A	BVSS	P10_0	P12_2	P11_5	P11_1	P10_13	P10_10	P10_7	P10_6	P19_2	P18_15	P18_13	P18_6	P18_5	P18_10	P18_8	A1VSS	A
B	P10_3	P10_1	P13_1	P12_0	P11_4	P11_3	P10_14	P10_9	P19_3	P19_1	P18_7	P18_11	P18_3	P18_2	P18_1	AP1_12	AP1_14	B
C	P10_15	P10_5	P10_2	P13_0	P12_1	P11_7	P11_2	P10_11	P18_14	P19_0	P18_4	P18_12	P18_9	P18_0	AP1_13	AP1_15	AP1_0	C
D	P11_9	P11_0	P10_4	BVCC	P11_15	P11_6	P10_12	P10_8	BVSS	BVCC	BVCC	ISOVSS	ISOVCL	A1VSS	AP1_1	AP1_2	AP1_3	D
E	P11_12	P11_10	P11_8	BVCC										A1VREF	AP1_5	AP1_6	AP1_8	E
F	P13_3	P13_2	P11_11	BVSS										AP1_4	AP1_7	AP1_9	P20_4	F
G	P12_3	P13_4	P13_5	ISOVCL			BVSS	BVSS	BVSS	BVSS	BVSS			AP1_10	AP1_11	P20_5	P20_0	G
H	P12_4	P13_7	P13_6	ISOVSS			BVSS	BVSS	BVSS	BVSS	EVSS			EVCC	P20_1	P20_2	P20_3	H
J	P0_0	P0_1	P12_5	P0_2			BVSS	BVSS	BVSS	EVSS	EVSS			REG1VCC	P9_3	P9_4	P9_2	J
K	P0_3	P0_5	P0_4	EVCC			EVSS	EVSS	EVSS	EVSS	EVSS			ISOVSS	AP0_0	P9_0	P9_1	K
L	P0_11	P0_12	P0_6	P0_14			EVSS	EVSS	EVSS	EVSS	EVSS			EVSS	AP0_4	AP0_2	AP0_1	L
M	P0_13	P1_0	P2_9	P2_7										A0VREF	AP0_8	AP0_5	AP0_3	M
N	P1_2	P1_1	P1_3	P2_11										A0VSS	AP0_11	AP0_7	AP0_6	N
P	P1_12	P1_13	P8_10	P8_12	JP0_1	P1_11	P2_13	P2_15	EVCC	REG0VCC	ISOVSS	ISOVCL	P8_6	P8_8	AP0_13	AP0_10	AP0_9	P
R	P2_6	P2_10	JP0_4	JP0_3	P2_1	P1_10	P1_9	P3_0	FLMD0	P0_9	P0_7	P2_5	P1_15	P8_4	P8_7	AP0_14	AP0_12	R
T	P2_8	P2_12	P8_11	JP0_2	P2_0	P2_14	IP0_0	AWOVCL	X1	P2_2	P0_10	P0_8	P2_4	P8_1	P8_5	P8_9	AP0_15	T
U	EVSS	P8_2	JP0_5	JP0_0	P1_8	$\overline{\text{RESET}}$	XT1	AWOVSS	X2	P2_3	JP0_6	P1_5	P1_4	P1_14	P8_0	P8_3	A0VSS	U
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	

図 2A.2　　端子接続図（233-Pin FPBGA）

図 2A.3　　予約

Top View

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	
A	BVSS	P24_5	P24_2	P24_3	P22_7	P12_1	P12_0	P22_11	P11_5	P11_4	P22_15	P11_1	P10_12	P10_10	P19_1	P19_0	P18_15	P18_6	P18_3	P18_9	P18_0	A1VSS	A
B	P24_6	P10_4	P24_4	P24_1	P24_0	P13_1	P22_9	P22_12	P11_6	P22_14	P21_1	P10_14	P10_11	P10_8	P19_3	P18_7	P18_13	P18_4	P18_8	P18_1	AP1_13	AP1_15	B
C	P24_7	P22_6	P10_5	P10_3	P10_2	P22_8	P13_0	P22_10	P11_7	P22_13	P11_3	P10_13	P10_9	P10_7	P18_14	P18_12	P18_11	P18_10	P18_2	AP1_12	AP1_0	AP1_1	C
D	P10_15	P22_4	P22_5	BVCC	BVCC	P10_1	P10_0	P12_2	P11_15	BVSS	P11_2	BVCC	BVSS	P10_6	P19_2	P18_5	ISOVSS	ISOVCL	BVCC	AP1_14	AP1_3	AP1_5	D
E	P22_3	P11_8	P11_0	BVCC															A1VSS	AP1_2	AP1_4	AP1_7	E
F	P22_2	P22_1	P11_9	BVCC															A1VREF	AP1_6	AP1_9	AP1_8	F
G	P22_0	P11_11	P11_10	BVSS															AP1_10	AP1_11	P20_6	P20_7	G
H	P21_4	P11_12	P21_0	ISOVCL															EVCC	P20_8	P20_9	P20_4	H
J	P21_5	P21_2	P21_3	ISOVSS					BVSS	BVSS	BVSS	BVSS	BVSS	BVSS					EVSS	P20_0	P20_5	P20_1	J
K	P21_6	P13_5	P13_2	BVSS					BVSS	BVSS	BVSS	BVSS	BVSS	EVSS					EVCC	P20_2	P20_3	P20_10	K
L	P21_7	P21_8	P13_3	P12_3					BVSS	BVSS	BVSS	BVSS	EVSS	EVSS					REG1VCC	P20_11	P20_12	P20_15	L
M	P21_9	P21_10	P13_4	P13_6					BVSS	BVSS	BVSS	EVSS	EVSS	EVSS					ISOVSS	P20_13	P20_14	P23_10	M
N	P21_11	P21_13	P13_7	P12_4					EVSS	EVSS	EVSS	EVSS	EVSS	EVSS					P9_4	P23_7	P23_8	P23_9	N
P	P21_12	P21_14	P0_1	P0_2					EVSS	EVSS	EVSS	EVSS	EVSS	EVSS					P9_3	P23_6	P23_4	P23_5	P
R	P12_5	P0_3	P0_6	P0_4															P9_2	P9_1	P23_2	P23_3	R
T	P0_0	P0_11	P0_13	EVCC															EVSS	P9_0	P23_0	P23_1	T
U	P0_5	P0_12	P0_14	P1_1															A0VREF	AP0_5	AP0_2	AP0_0	U
V	P1_0	P1_12	P1_3	P1_13															A0VSS	AP0_10	AP0_4	AP0_1	V
W	P1_2	P2_7	P2_8	P2_11	JP0_2	JP0_1	P1_9	EVCC	AWOVCL	REG0VCC	P0_9	ISOVSS	ISOVCL	P1_15	EVSS	EVCC	P3_7	P3_10	AP0_14	AP0_8	AP0_6	AP0_3	W
Y	P2_6	P2_12	P2_9	P8_12	JP0_3	P2_1	P2_13	P3_0	FLMD0	JP0_6	P0_8	P0_7	P1_14	P8_1	P8_5	P3_1	P3_3	P3_6	P3_9	AP0_13	AP0_12	AP0_7	Y
AA	P2_10	P8_2	P8_10	JP0_5	P2_0	P1_11	P2_14	IP0_0	P2_15	P2_3	P2_2	P1_5	P1_4	P8_0	P8_4	P8_7	P3_12	P8_8	P3_4	P3_8	AP0_11	AP0_9	AA
AB	EVSS	P8_11	JP0_4	JP0_0	P1_10	P1_8	$\overline{\text{RESET}}$	XT1	AWOVSS	X2	X1	P0_10	P2_4	P2_5	P8_3	P3_2	P3_11	P8_6	P8_9	P3_5	AP0_15	A0VSS	AB
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	

図 2A.4 端子接続図（324-Pin FPBGA）

表 2A.1　端子配置 176-Pin LQFP

端子番号	端子名
1	P10_3 / TAUD0I7 / TAUD0O7 / RIIC0SCL / KR0I1 / PWGA3O / ADCA0TRG1 / TAPA0VN / CSIH1SSI / MEMC0CLK / RLIN37RX / INTP17
2	P10_4 / TAUD0I9 / TAUD0O9 / RLIN21RX / CAN6TX / KR0I2 / ADCA0SEL0 / ADCA0TRG2 / TAPA0WP / CSIG0SSI / PWGA53O / ETNB0RXD2 / MEMC0A22
3	P10_5 / TAUD0I11 / TAUD0O11 / CAN6RX / INTP6 / RLIN21TX / KR0I3 / ADCA0SEL1 / TAPA0WN / CSIG0RYI / CSIG0RYO / ETNB0RXD3 / PWGA54O
4	BVCC
5	BVSS
6	P10_15 / CSIH3RYI / CSIH3RYO / PWGA24O / RLIN22RX / TAUB0I9 / TAUB0O9 / MEMC0RD
7	P11_0 / CSIH2RYI / CSIH2RYO / ADCA1TRG2 / PWGA25O / RLIN22TX / TAUB0I11 / TAUB0O11 / MEMC0WR
8	P11_8 / CSIG1SSI / RLIN35TX / PWGA48O / TAUB1I11 / TAUB1O11 / MEMC0CS0
9	P11_9 / CSIG1SO / RLIN35RX / INTP15 / PWGA49O / TAUB1I13 / TAUB1O13 / MEMC0CS1
10	P11_10 / CSIG1SC / PWGA50O / TAUB1I15 / TAUB1O15 / MEMC0CS2
11	P11_11 / CSIG1SI / RLIN25TX / PWGA51O / TAUB1I0 / TAUB1O0 / MEMC0CS3 / ETNB0RXDV
12	P11_12 / RLIN25RX / PWGA52O / TAUB1I2 / TAUB1O2 / MEMC0WAIT
13	ISOVCL
14	ISOVSS
15	P12_3 / RLIN27RX / PWGA68O / CSIG2SI / MEMC0BEN0 / TAUB1I6 / TAUB1O6
16	P12_4 / RLIN27TX / PWGA69O / CSIG2SC / ETNB0MDIO / MEMC0BEN1
17	P12_5 / PWGA70O / ETNB0MDC / CSIG2SO / TAUB1I4 / TAUB1O4
18	P0_0 / TAUD0I2 / TAUD0O2 / RLIN20RX / CAN0TX / PWGA10O / CSIH0SSI / DPO / TAUJ2I1 / TAUJ2O1
19	P0_1 / TAUD0I4 / TAUD0O4 / CAN0RX / INTP0 / RLIN20TX / PWGA11O / CSIH0SI / APO / TAUJ2I2 / TAUJ2O2
20	P0_2 / TAUD0I6 / TAUD0O6 / CAN1RX / INTP1 / RLIN30TX / PWGA12O / CSIH0SC / DPO / TAUJ2I3 / TAUJ2O3
21	P0_3 / TAUD0I8 / TAUD0O8 / RLIN30RX / INTP10 / CAN1TX / DPIN1 / PWGA13O / CSIH0SO / TAUJ1I0 / TAUJ1O0
22	EVCC
23	P0_4 / RLIN31RX / INTP11 / CAN2TX / PWGA10O / CSIH1SI / SELDP0 / DPIN8 / TAUB0I12 / TAUB0O12
24	P0_5 / CAN2RX / INTP2 / RLIN31TX / DPIN9 / SELDP1 / CSIH1SO / TAUB0I14 / TAUB0O14
25	P0_6 / INTP2 / DPIN10 / SELDP2 / CSIH1SC / PWGA35O
26	P0_11 / RIIC0SDA / DPIN12 / CSIH1CSS2 / TAUB0I8 / TAUB0O8 / RLIN26RX / PWGA34O
27	P0_12 / RIIC0SCL / DPIN13 / PWGA45O / TAUB0I10 / TAUB0O10 / CSIG0SI / RLIN26TX
28	P0_13 / RLIN32RX / INTP12 / PWGA46O / TAUB0I12 / TAUB0O12 / CSIG0SO / CAN5RX / INTP5
29	P0_14 / INTP17 / RLIN32TX / PWGA47O / TAUB0I14 / TAUB0O14 / CSIG0SC / CAN5TX
30	P1_0 / RLIN33RX / INTP13 / TAUJ2I0 / TAUJ2O0 / CSIG4SSI
31	P1_1 / INTP18 / RLIN33TX / CSIG4SC / TAUJ2I1 / TAUJ2O1
32	P1_2 / CAN3RX / INTP3 / DPIN19 / TAUJ2I2 / TAUJ2O2 / CSIG4SI
33	P1_3 / INTP19 / CAN3TX / DPIN23 / CSIG4SO / TAUJ2I3 / TAUJ2O3
34	P1_12 / CAN4RX / INTP4 / RLIN36TX
35	P1_13 / CAN4TX / RLIN36RX / INTP16
36	P2_6 / ADCA0SEL2 / CSIG4RYI / CSIG4RYO
37	EVSS
38	P8_2 / TAUJ0I0 / TAUJ0O0 / DPIN2 / CSIH0CSS0 / INTP6 / PWGA22O / RLIN37TX / ADCA0I4S
39	P8_10 / CSIH3CSS3 / DPIN14 / PWGA42O / RLIN37RX / INTP17 / ADCA0I17S
40	P8_11 / TAUJ1I2 / TAUJ1O2 / DPIN15 / PWGA43O / CSIH1CSS4 / RLIN25RX / ADCA0I18S
41	P8_12 / TAUJ1I3 / TAUJ1O3 / DPIN16 / PWGA44O / CSIH1CSS5 / INTP23 / RLIN25TX / ADCA0I19S
42	JP0_5 / NMI / RTCA0OUT / TAUJ0I3 / TAUJ0O3 / DCURDY / LPDCLKOUT

表 2A.1　　端子配置 176-Pin LQFP

端子番号	端子名
43	JP0_4 / $\overline{\text{DCUTRST}}$
44	JP0_3 / INTP3 / CSCXFOUT / TAUJ0I2 / TAUJ0O2 / DCUTMS
45	JP0_2 / INTP2 / TAUJ0I1 / TAUJ0O1 / FPCK / DCUTCK / LPDCLK
46	JP0_1 / INTP1 / TAUJ0I0 / TAUJ0O0 / FPDT / DCUTDO / LPDO
47	JP0_0 / INTP0 / TAUJ2I0 / TAUJ2O0 / FPDR / FPDT / DCUTDI / LPDI / LPDIO
48	P2_1 / RLIN27TX / CAN6TX
49	P2_0 / RLIN27RX / CAN6RX / INTP6
50	P1_11 / ADCA1TRG2 / RLIN24TX / DPIN22 / INTP14
51	P1_10 / RLIN24RX / DPIN21 / INTP22 / ADCA1TRG1
52	P1_9 / DPIN20 / INTP21
53	P1_8
54	$\overline{\text{RESET}}$
55	EVCC
56	XT1
57	IP0_0 / XT2
58	AWOVSS
59	AWOVCL
60	REG0VCC
61	X2
62	X1
63	FLMD0
64	P2_3 / RLIN28TX / CSIH4CSS1
65	P2_2 / RLIN28RX / CSIH4CSS0
66	JP0_6 / $\overline{\text{EVTO}}$
67	P0_10 / INTP3 / CSIH1CSS1 / DPIN11 / RLIN22TX / TAUB0I6 / TAUB0O6 / CAN4TX
68	P0_9 / INTP12 / CSIH1CSS0 / DPIN7 / RLIN22RX / TAUB0I4 / TAUB0O4 / CAN4RX / INTP4
69	P0_8 / INTP16 / RLIN21TX / DPIN6 / CSIH0CSS6 / $\overline{\text{CSIH1SSI}}$ / TAUB0I2 / TAUB0O2 / CAN3TX
70	P0_7 / RLIN21RX / DPIN5 / CSCXFOUT / CSIH1RYI / CSIH1RYO / TAUB0I0 / TAUB0O0 / CAN3RX / INTP3
71	EVSS
72	ISOVSS
73	ISOVCL
74	P1_5 / ADCA1TRG0 / RLIN35TX / DPIN17 / INTP20 / CSIH4SC
75	P1_4 / RLIN35RX / INTP15 / DPIN18 / CSIH4SI
76	P2_4 / RLIN29RX / ADCA0SEL0 / CSIH4SO
77	P2_5 / RLIN29TX / $\overline{\text{CSIH4SSI}}$ / ADCA0SEL1
78	P1_14 / RLIN23RX / CAN7RX / INTP9 / CSIH4RYI / CSIH4RYO
79	P1_15 / RLIN23TX / CAN7TX
80	P8_0 / TAUJ0I0 / TAUJ0O0 / DPIN2 / PWGA14O / INTP4 / CSIH0CSS0 / CAN6RX / INTP6 / RIIC1SDA / SENT0RX / ADCA0I0S
81	P8_1 / TAPA0ESO / TAUJ0O1 / DPIN0 / PWGA15O / INTP5 / CSIH1CSS3 / CAN6TX / RIIC1SCL / SENT0SPCO / ADCA0I1S
82	P8_3 / TAUJ0I1 / TAUJ0O1 / DPIN3 / CSIH0CSS1 / INTP7 / PWGA23O / CAN7TX / ADCA0I5S
83	P8_4 / TAUJ0I2 / TAUJ0O2 / DPIN4 / CSIH0CSS2 / INTP8 / PWGA36O / CAN7RX / INTP9 / ADCA0I6S
84	P8_5 / TAUJ0I3 / TAUJ0O3 / NMI / CSIH0CSS3 / INTP9 / PWGA37O / ADCA0I7S
85	P8_6 / NMI / CSIH0CSS4 / PWGA38O / RTCA0OUT / ADCA0I8S / $\overline{\text{RESETOUT}}$
86	P8_7 / CSIH3CSS0 / PWGA39O / ADCA0SEL0 / RTCA0OUT / ADCA0I14S

表 2A.1　　端子配置 176-Pin LQFP

端子番号	端子名
87	P8_8 / CSIH3CSS1 / PWGA40O / ADCA0SEL1 / RLIN34RX / INTP14 / ADCA0I15S
88	P8_9 / CSIH3CSS2 / PWGA41O / ADCA0SEL2 / RLIN34TX / ADCA0I16S
89	A0VSS
90	A0VREF
91	AP0_15 / ADCA0I15
92	AP0_14 / ADCA0I14
93	AP0_13 / ADCA0I13
94	AP0_12 / ADCA0I12
95	AP0_11 / ADCA0I11
96	AP0_10 / ADCA0I10
97	AP0_9 / ADCA0I9
98	AP0_8 / ADCA0I8
99	AP0_7 / ADCA0I7
100	AP0_6 / ADCA0I6
101	AP0_5 / ADCA0I5
102	AP0_4 / ADCA0I4
103	AP0_3 / ADCA0I3
104	AP0_2 / ADCA0I2
105	AP0_1 / ADCA0I1
106	AP0_0 / ADCA0I0
107	EVSS
108	P9_0 / NMI / PWGA8O / TAUD0I0 / TAUD0O0 / ADCA0TRG0 / CSIH2CSS0 / KR0I4 / TAUJ1I1 / TAUJ1O1 / SENT1RX / RIIC1SDA / ADCA0I2S
109	P9_1 / INTP11 / PWGA9O / TAUD0I2 / TAUD0O2 / KR0I5 / CSIH2CSS1 / TAUJ1I2 / TAUJ1O2 / SENT1SPCO / RIIC1SCL / ADCA0I3S
110	P9_2 / KR0I6 / PWGA20O / TAPA0ESO / CSIH2CSS2 / ADCA0I9S
111	P9_3 / KR0I7 / PWGA21O / CSIH2CSS3 / TAUJ1I1 / TAUJ1O1 / INTP16 / ADCA0I10S
112	P9_4 / CSIH0CSS5 / PWGA33O / TAUJ1I0 / TAUJ1O0 / INTP17 / ADCA0I11S
113	ISOVSS
114	REG1VCC
115	P20_3 / CAN4TX / PWGA67O / RLIN29TX / CSIG3RYI / CSIG3RYO
116	P20_2 / CAN4RX / INTP4 / PWGA66O / RLIN29RX / CSIG3SC
117	P20_1 / RLIN26TX / PWGA65O / CAN6TX / CSIG3SO
118	P20_0 / RLIN26RX / PWGA64O / CAN6RX / INTP6 / CSIG3SI
119	P20_5 / RLIN23TX / INTP23 / PWGA60O / CAN7TX
120	P20_4 / RLIN23RX / INTP22 / PWGA59O / CAN7RX / INTP9 / $\overline{\text{CSIG3SSI}}$
121	EVCC
122	AP1_11 / ADCA1I11
123	AP1_10 / ADCA1I10
124	AP1_9 / ADCA1I9
125	AP1_8 / ADCA1I8
126	AP1_7 / ADCA1I7
127	AP1_6 / ADCA1I6
128	AP1_5 / ADCA1I5
129	AP1_4 / ADCA1I4
130	AP1_3 / ADCA1I3

表 2A.1　　端子配置 176-Pin LQFP

端子番号	端子名
131	AP1_2 / ADCA1I2
132	AP1_1 / ADCA1I1
133	AP1_0 / ADCA1I0
134	AP1_15 / ADCA1I15
135	AP1_14 / ADCA1I14
136	AP1_13 / ADCA1I13
137	AP1_12 / ADCA1I12
138	A1VREF
139	A1VSS
140	BVCC
141	ISOVCL
142	ISOVSS
143	P18_0 / CSIG1RYI / CSIG1RYO / ETNB0LINK / PWGA61O / TAUJ3I0 / TAUJ3O0 / ADCA1I0S
144	P18_1 / PWGA62O / ETNB0TXD0 / TAUJ3I1 / TAUJ3O1 / ADCA1I1S
145	P18_2 / PWGA63O / ETNB0TXD1 / TAUJ3I2 / TAUJ3O2 / ADCA1I2S
146	P18_3 / PWGA71O / ETNB0TXD2 / TAUJ3I3 / TAUJ3O3 / ADCA1I3S
147	P18_4 / CSIH1CSS4 / ETNB0TXD3 / ADCA1I4S
148	P18_5 / CSIH1CSS5 / ETNB0TXEN / ADCA1I5S
149	P18_6 / ADCA1I6S
150	P18_7 / ETNB0TXCLK / ADCA1I7S
151	BVSS
152	P10_6 / TAUD0I13 / TAUD0O13 / CSIG0SO / ENCA0TIN0 / ADCA0SEL2 / CAN1RX / INTP1 / MEMC0AD0 / RLIN24RX / MODE2
153	P10_7 / TAUD0I15 / TAUD0O15 / CSIG0SC / ENCA0TIN1 / PWGA4O / CAN1TX / MEMC0AD1 / RLIN24TX / TAUJ3I1 / TAUJ3O1
154	P10_8 / TAUD0I10 / TAUD0O10 / CSIG0SI / FLXA0TXDB / ENCA0EC / PWGA5O / MEMC0AD2 / TAUJ3I2 / TAUJ3O2 / FLMD1
155	P10_9 / TAUD0I12 / TAUD0O12 / RLIN30RX / INTP10 / ENCA0E0 / PWGA6O / CSIH0RYI / CSIH0RYO / MEMC0AD3 / FLXA0RXDB
156	P10_10 / TAUD0I14 / TAUD0O14 / RLIN30TX / ENCA0E1 / PWGA7O / CSIH0CSS1 / MEMC0AD4 / TAUJ3I3 / TAUJ3O3
157	P10_11 / PWGA16O / RLIN31RX / INTP11 / FLXA0TXENA / CSIH1CSS0 / TAUB0I1 / TAUB0O1 / MEMC0AD5
158	P10_12 / PWGA17O / FLXA0STPWT / RLIN31TX / CSIH1CSS1 / TAUB0I3 / TAUB0O3 / MEMC0AD6
159	P10_13 / $\overline{\text{CSIH0SSI}}$ / PWGA18O / RLIN32RX / INTP12 / FLXA0TXENB / TAUB0I5 / TAUB0O5 / MEMC0AD7 / CAN7TX
160	P10_14 / ADCA1TRG0 / PWGA19O / FLXA0RXDA / RLIN32TX / $\overline{\text{CSIH3SSI}}$ / TAUB0I7 / TAUB0O7 / MEMC0AD8 / CAN7RX / INTP9
161	P11_1 / $\overline{\text{CSIH2SSI}}$ / FLXA0TXDA / RLIN20RX / CSIH0CSS7 / INTP20 / PWGA26O / TAUB0I13 / TAUB0O13 / MEMC0AD9
162	P11_2 / CSIH2SO / RLIN32RX / INTP12 / RLIN20TX / PWGA27O / TAUB0I15 / TAUB0O15 / MEMC0AD10 / SFMA0IO3
163	P11_3 / CSIH2SC / CAN3RX / INTP3 / PWGA28O / TAUB1I1 / TAUB1O1 / MEMC0AD11 / RLIN32TX / SFMA0IO2
164	P11_4 / CSIH2SI / CAN3TX / INTP21 / PWGA29O / TAUB1I3 / TAUB1O3 / MEMC0AD12 / SFMA0IO1
165	P11_5 / CAN5RX / INTP5 / RLIN33TX / PWGA30O / CSIH3SI / TAUB1I5 / TAUB1O5 / MEMC0AD13 / SFMA0IO0
166	P11_6 / RLIN33RX / INTP13 / CAN5TX / ADCA1TRG1 / PWGA31O / CSIH3SO / TAUB1I7 / TAUB1O7 / MEMC0AD14 / SFMA0SSL

表 2A.1　　端子配置 176-Pin LQFP

端子番号	端子名
167	P11_7 / INTP5 / PWGA32O / CSIH3SC / TAUB1I9 / TAUB1O9 / MEMC0AD15 / SFMA0CLK
168	P11_15 / CAN2RX / INTP2 / CSIH2CSS4 / PWGA55O / TAUB1I8 / TAUB1O8 / $\overline{\mathrm{MEMC0ASTB}}$ / ETNB0RXERR / RLIN36TX
169	P12_0 / CAN2TX / PWGA56O / TAUB1I10 / TAUB1O10 / $\overline{\mathrm{CSIG2SSI}}$ / MEMC0A16 / RLIN36RX / INTP16
170	P12_1 / RLIN34RX / INTP14 / CSIH2CSS5 / PWGA57O / TAUB1I12 / TAUB1O12 / MEMC0A17
171	P12_2 / INTP19 / RLIN34TX / PWGA58O / TAUB1I14 / TAUB1O14 / MEMC0A18 / CSIG2RYI / CSIG2RYO
172	BVCC
173	BVSS
174	P10_0 / TAUD0I1 / TAUD0O1 / CAN0RX / INTP0 / CSCXFOUT / PWGA0O / TAUJ1I3 / TAPA0UP / CSIH1SI / MEMC0A19 / ETNB0RXCLK / TAUJ1O3
175	P10_1 / TAUD0I3 / TAUD0O3 / INTP18 / CAN0TX / PWGA1O / TAUJ3I0 / TAPA0UN / CSIH1SC / ETNB0RXD0 / MEMC0A20 / TAUJ3O0 / MODE0
176	P10_2 / TAUD0I5 / TAUD0O5 / RIIC0SDA / KR0I0 / PWGA2O / ADCA0TRG0 / TAPA0VP / CSIH1SO / ETNB0RXD1 / MEMC0A21 / RLIN37TX / MODE1

表 2A.2　　端子配置 233-Pin FPBGA

端子番号	端子名
A1	BVSS
A2	P10_0 / TAUD0I1 / TAUD0O1 / CAN0RX / INTP0 / CSCXFOUT / PWGA0O / TAUJ1I3 / TAPA0UP / CSIH1SI / MEMC0A19 / ETNB0RXCLK / TAUJ1O3
A3	P12_2 / INTP19 / RLIN34TX / PWGA58O / TAUB1I14 / TAUB1O14 / MEMC0A18 / CSIG2RYI / CSIG2RYO
A4	P11_5 / CAN5RX / INTP5 / RLIN33TX / PWGA30O / CSIH3SI / TAUB1I5 / TAUB1O5 / MEMC0AD13 / SFMA0IO0
A5	P11_1 / $\overline{\text{CSIH2SSI}}$ / FLXA0TXDA / RLIN20RX / CSIH0CSS7 / INTP20 / PWGA26O / TAUB0I13 / TAUB0O13 / MEMC0AD9
A6	P10_13 / $\overline{\text{CSIH0SSI}}$ / PWGA18O / RLIN32RX / INTP12 / FLXA0TXENB / TAUB0I5 / TAUB0O5 / MEMC0AD7 / CAN7TX
A7	P10_10 / TAUD0I14 / TAUD0O14 / RLIN30TX / ENCA0E1 / PWGA7O / CSIH0CSS1 / MEMC0AD4 / TAUJ3I3 / TAUJ3O3
A8	P10_7 / TAUD0I15 / TAUD0O15 / CSIG0SC / ENCA0TIN1 / PWGA4O / CAN1TX / MEMC0AD1 / RLIN24TX / TAUJ3I1 / TAUJ3O1
A9	P10_6 / TAUD0I13 / TAUD0O13 / CSIG0SO / ENCA0TIN0 / ADCA0SEL2 / CAN1RX / INTP1 / MEMC0AD0 / RLIN24RX / MODE2
A10	P19_2 / ADCA1I18S
A11	P18_15 / ADCA1I15S
A12	P18_13 / ADCA1I13S
A13	P18_6 / ADCA1I6S
A14	P18_5 / CSIH1CSS5 / ETNB0TXEN / ADCA1I5S
A15	P18_10 / ADCA1I10S
A16	P18_8 / ADCA1I8S
A17	A1VSS
B1	P10_3 / TAUD0I7 / TAUD0O7 / RIIC0SCL / KR0I1 / PWGA3O / ADCA0TRG1 / TAPA0VN / $\overline{\text{CSIH1SSI}}$ / MEMC0CLK / RLIN37RX / INTP17
B2	P10_1 / TAUD0I3 / TAUD0O3 / INTP18 / CAN0TX / PWGA1O / TAUJ3I0 / TAPA0UN / CSIH1SC / ETNB0RXD0 / MEMC0A20 / TAUJ3O0 / MODE0
B3	P13_1 / MEMC0A20
B4	P12_0 / CAN2TX / PWGA56O / TAUB1I10 / TAUB1O10 / $\overline{\text{CSIG2SSI}}$ / MEMC0A16 / RLIN36RX / INTP16
B5	P11_4 / CSIH2SI / CAN3TX / INTP21 / PWGA29O / TAUB1I3 / TAUB1O3 / MEMC0AD12 / SFMA0IO1
B6	P11_3 / CSIH2SC / CAN3RX / INTP3 / PWGA28O / TAUB1I1 / TAUB1O1 / MEMC0AD11 / RLIN32TX / SFMA0IO2
B7	P10_14 / ADCA1TRG0 / PWGA19O / FLXA0RXDA / RLIN32TX / $\overline{\text{CSIH3SSI}}$ / TAUB0I7 / TAUB0O7 / MEMC0AD8 / CAN7RX / INTP9
B8	P10_9 / TAUD0I12 / TAUD0O12 / RLIN30RX / INTP10 / ENCA0E0 / PWGA6O / CSIH0RYI / CSIH0RYO / MEMC0AD3 / FLXA0RXDB
B9	P19_3 / ADCA1I19S
B10	P19_1 / ADCA1I17S
B11	P18_7 / ETNB0TXCLK / ADCA1I7S
B12	P18_11 / ADCA1I11S
B13	P18_3 / PWGA71O / ETNB0TXD2 / TAUJ3I3 / TAUJ3O3 / ADCA1I3S
B14	P18_2 / PWGA63O / ETNB0TXD1 / TAUJ3I2 / TAUJ3O2 / ADCA1I2S
B15	P18_1 / PWGA62O / ETNB0TXD0 / TAUJ3I1 / TAUJ3O1 / ADCA1I1S
B16	AP1_12 / ADCA1I12
B17	AP1_14 / ADCA1I14
C1	P10_15 / CSIH3RYI / CSIH3RYO / PWGA24O / RLIN22RX / TAUB0I9 / TAUB0O9 / $\overline{\text{MEMC0RD}}$
C2	P10_5 / TAUD0I11 / TAUD0O11 / CAN6RX / INTP6 / RLIN21TX / KR0I3 / ADCA0SEL1 / TAPA0WN / CSIG0RYI / CSIG0RYO / ETNB0RXD3 / PWGA54O

表 2A.2　　端子配置 233-Pin FPBGA

端子番号	端子名
C3	P10_2 / TAUD0I5 / TAUD0O5 / RIIC0SDA / KR0I0 / PWGA2O / ADCA0TRG0 / TAPA0VP / CSIH1SO / ETNB0RXD1 / MEMC0A21 / RLIN37TX / MODE1
C4	P13_0 / MEMC0A19
C5	P12_1 / RLIN34RX / INTP14 / CSIH2CSS5 / PWGA57O / TAUB1I12 / TAUB1O12 / MEMC0A17
C6	P11_7 / INTP5 / PWGA32O / CSIH3SC / TAUB1I9 / TAUB1O9 / MEMC0AD15 / SFMA0CLK
C7	P11_2 / CSIH2SO / RLIN32RX / INTP12 / RLIN20TX / PWGA27O / TAUB0I15 / TAUB0O15 / MEMC0AD10 / SFMA0IO3
C8	P10_11 / PWGA16O / RLIN31RX / INTP11 / FLXA0TXENA / CSIH1CSS0 / TAUB0I1 / TAUB0O1 / MEMC0AD5
C9	P18_14 / ADCA1I14S
C10	P19_0 / ADCA1I16S
C11	P18_4 / CSIH1CSS4 / ETNB0TXD3 / ADCA1I4S
C12	P18_12 / ADCA1I12S
C13	P18_9 / ADCA1I9S
C14	P18_0 / CSIG1RYI / CSIG1RYO / ETNB0LINK / PWGA61O / TAUJ3I0 / TAUJ3O0 / ADCA1I0S
C15	AP1_13 / ADCA1I13
C16	AP1_15 / ADCA1I15
C17	AP1_0 / ADCA1I0
D1	P11_9 / CSIG1SO / RLIN35RX / INTP15 / PWGA49O / TAUB1I13 / TAUB1O13 / $\overline{\text{MEMC0CS1}}$
D2	P11_0 / CSIH2RYI / CSIH2RYO / ADCA1TRG2 / PWGA25O / RLIN22TX / TAUB0I11 / TAUB0O11 / $\overline{\text{MEMC0WR}}$
D3	P10_4 / TAUD0I9 / TAUD0O9 / RLIN21RX / CAN6TX / KR0I2 / ADCA0SEL0 / ADCA0TRG2 / TAPA0WP / $\overline{\text{CSIG0SSI}}$ / PWGA53O / ETNB0RXD2 / MEMC0A22
D4	BVCC
D5	P11_15 / CAN2RX / INTP2 / CSIH2CSS4 / PWGA55O / TAUB1I8 / TAUB1O8 / $\overline{\text{MEMC0ASTB}}$ / ETNB0RXERR / RLIN36TX
D6	P11_6 / RLIN33RX / INTP13 / CAN5TX / ADCA1TRG1 / PWGA31O / CSIH3SO / TAUB1I7 / TAUB1O7 / MEMC0AD14 / SFMA0SSL
D7	P10_12 / PWGA17O / FLXA0STPWT / RLIN31TX / CSIH1CSS1 / TAUB0I3 / TAUB0O3 / MEMC0AD6
D8	P10_8 / TAUD0I10 / TAUD0O10 / CSIG0SI / FLXA0TXDB / ENCA0EC / PWGA5O / MEMC0AD2 / TAUJ3I2 / TAUJ3O2 / FLMD1
D9	BVSS
D10	BVCC
D11	BVCC
D12	ISOVSS
D13	ISOVCL
D14	A1VSS
D15	AP1_1 / ADCA1I1
D16	AP1_2 / ADCA1I2
D17	AP1_3 / ADCA1I3
E1	P11_12 / RLIN25RX / PWGA52O / TAUB1I2 / TAUB1O2 / $\overline{\text{MEMC0WAIT}}$
E2	P11_10 / CSIG1SC / PWGA50O / TAUB1I15 / TAUB1O15 / $\overline{\text{MEMC0CS2}}$
E3	P11_8 / $\overline{\text{CSIG1SSI}}$ / RLIN35TX / PWGA48O / TAUB1I11 / TAUB1O11 / $\overline{\text{MEMC0CS0}}$
E4	BVCC
E14	A1VREF
E15	AP1_5 / ADCA1I5
E16	AP1_6 / ADCA1I6
E17	AP1_8 / ADCA1I8

表 2A.2 端子配置 233-Pin FPBGA

端子番号	端子名
F1	P13_3 / ETNB0RXERR
F2	P13_2 / ETNB0RXDV
F3	P11_11 / CSIG1SI / RLIN25TX / PWGA51O / TAUB1I0 / TAUB1O0 / $\overline{\text{MEMC0CS3}}$ / ETNB0RXDV
F4	BVSS
F14	AP1_4 / ADCA1I4
F15	AP1_7 / ADCA1I7
F16	AP1_9 / ADCA1I9
F17	P20_4 / RLIN23RX / INTP22 / PWGA59O / CAN7RX / INTP9 / $\overline{\text{CSIG3SSI}}$
G1	P12_3 / RLIN27RX / PWGA68O / CSIG2SI / $\overline{\text{MEMC0BEN0}}$ / TAUB1I6 / TAUB1O6
G2	P13_4
G3	P13_5 / MEMC0A21
G4	ISOVCL
G7	BVSS
G8	BVSS
G9	BVSS
G10	BVSS
G11	BVSS
G14	AP1_10 / ADCA1I10
G15	AP1_11 / ADCA1I11
G16	P20_5 / RLIN23TX / INTP23 / PWGA60O / CAN7TX
G17	P20_0 / RLIN26RX / PWGA64O / CAN6RX / INTP6 / CSIG3SI
H1	P12_4 / RLIN27TX / PWGA69O / CSIG2SC / ETNB0MDIO / $\overline{\text{MEMC0BEN1}}$
H2	P13_7 / PWGA73O
H3	P13_6 / MEMC0A22 / PWGA72O
H4	ISOVSS
H7	BVSS
H8	BVSS
H9	BVSS
H10	BVSS
H11	EVSS
H14	EVCC
H15	P20_1 / RLIN26TX / PWGA65O / CAN6TX / CSIG3SO
H16	P20_2 / CAN4RX / INTP4 / PWGA66O / RLIN29RX / CSIG3SC
H17	P20_3 / CAN4TX / PWGA67O / RLIN29TX / CSIG3RYI / CSIG3RYO
J1	P0_0 / TAUD0I2 / TAUD0O2 / RLIN20RX / CAN0TX / PWGA10O / $\overline{\text{CSIH0SSI}}$ / DPO / TAUJ2I1 / TAUJ2O1
J2	P0_1 / TAUD0I4 / TAUD0O4 / CAN0RX / INTP0 / RLIN20TX / PWGA11O / CSIH0SI / APO / TAUJ2I2 / TAUJ2O2
J3	P12_5 / PWGA70O / ETNB0MDC / CSIG2SO / TAUB1I4 / TAUB1O4
J4	P0_2 / TAUD0I6 / TAUD0O6 / CAN1RX / INTP1 / RLIN30TX / PWGA12O / CSIH0SC / DPO / TAUJ2I3 / TAUJ2O3
J7	BVSS
J8	BVSS
J9	BVSS
J10	EVSS
J11	EVSS
J14	REG1VCC
J15	P9_3 / KR0I7 / PWGA21O / CSIH2CSS3 / TAUJ1I1 / TAUJ1O1 / INTP16 / ADCA0I10S

表 2A.2　　端子配置 233-Pin FPBGA

端子番号	端子名
J16	P9_4 / CSIH0CSS5 / PWGA33O / TAUJ1I0 / TAUJ1O0 / INTP17 / ADCA0I11S
J17	P9_2 / KR0I6 / PWGA20O / TAPA0ESO / CSIH2CSS2 / ADCA0I9S
K1	P0_3 / TAUD0I8 / TAUD0O8 / RLIN30RX / INTP10 / CAN1TX / DPIN1 / PWGA13O / CSIH0SO / TAUJ1I0 / TAUJ1O0
K2	P0_5 / CAN2RX / INTP2 / RLIN31TX / DPIN9 / SELDP1 / CSIH1SO / TAUB0I14 / TAUB0O14
K3	P0_4 / RLIN31RX / INTP11 / CAN2TX / PWGA10O / CSIH1SI / SELDP0 / DPIN8 / TAUB0I12 / TAUB0O12
K4	EVCC
K7	EVSS
K8	EVSS
K9	EVSS
K10	EVSS
K11	EVSS
K14	ISOVSS
K15	AP0_0 / ADCA0I0
K16	P9_0 / NMI / PWGA8O / TAUD0I0 / TAUD0O0 / ADCA0TRG0 / CSIH2CSS0 / KR0I4 / TAUJ1I1 / TAUJ1O1 / SENT1RX / RIIC1SDA / ADCA0I2S
K17	P9_1 / INTP11 / PWGA9O / TAUD0I2 / TAUD0O2 / KR0I5 / CSIH2CSS1 / TAUJ1I2 / TAUJ1O2 / SENT1SPCO / RIIC1SCL / ADCA0I3S
L1	P0_11 / RIIC0SDA / DPIN12 / CSIH1CSS2 / TAUB0I8 / TAUB0O8 / RLIN26RX / PWGA34O
L2	P0_12 / RIIC0SCL / DPIN13 / PWGA45O / TAUB0I10 / TAUB0O10 / CSIG0SI / RLIN26TX
L3	P0_6 / INTP2 / DPIN10 / SELDP2 / CSIH1SC / PWGA35O
L4	P0_14 / INTP17 / RLIN32TX / PWGA47O / TAUB0I14 / TAUB0O14 / CSIG0SC / CAN5TX
L7	EVSS
L8	EVSS
L9	EVSS
L10	EVSS
L11	EVSS
L14	EVSS
L15	AP0_4 / ADCA0I4
L16	AP0_2 / ADCA0I2
L17	AP0_1 / ADCA0I1
M1	P0_13 / RLIN32RX / INTP12 / PWGA46O / TAUB0I12 / TAUB0O12 / CSIG0SO / CAN5RX / INTP5
M2	P1_0 / RLIN33RX / INTP13 / TAUJ2I0 / TAUJ2O0 / $\overline{\text{CSIG4SSI}}$
M3	P2_9 / PWGA77O
M4	P2_7 / RLIN210RX
M14	A0VREF
M15	AP0_8 / ADCA0I8
M16	AP0_5 / ADCA0I5
M17	AP0_3 / ADCA0I3
N1	P1_2 / CAN3RX / INTP3 / DPIN19 / TAUJ2I2 / TAUJ2O2 / CSIG4SI
N2	P1_1 / INTP18 / RLIN33TX / CSIG4SC / TAUJ2I1 / TAUJ2O1
N3	P1_3 / INTP19 / CAN3TX / DPIN23 / CSIG4SO / TAUJ2I3 / TAUJ2O3
N4	P2_11 / PWGA79O
N14	A0VSS
N15	AP0_11 / ADCA0I11
N16	AP0_7 / ADCA0I7

表 2A.2　　端子配置 233-Pin FPBGA

端子番号	端子名
N17	AP0_6 / ADCA0I6
P1	P1_12 / CAN4RX / INTP4 / RLIN36TX
P2	P1_13 / CAN4TX / RLIN36RX / INTP16
P3	P8_10 / CSIH3CSS3 / DPIN14 / PWGA42O / RLIN37RX / INTP17 / ADCA0I17S
P4	P8_12 / TAUJ1I3 / TAUJ1O3 / DPIN16 / PWGA44O / CSIH1CSS5 / INTP23 / RLIN25TX / ADCA0I19S
P5	JP0_1 / INTP1 / TAUJ0I0 / TAUJ0O0 / FPDT / DCUTDO / LPDO
P6	P1_11 / ADCA1TRG2 / RLIN24TX / DPIN22 / INTP14
P7	P2_13 / RLIN211TX
P8	P2_15 / PWGA75O
P9	EVCC
P10	REG0VCC
P11	ISOVSS
P12	ISOVCL
P13	P8_6 / NMI / CSIH0CSS4 / PWGA38O / RTCA0OUT / ADCA0I8S / $\overline{\text{RESETOUT}}$
P14	P8_8 / CSIH3CSS1 / PWGA40O / ADCA0SEL1 / RLIN34RX / INTP14 / ADCA0I15S
P15	AP0_13 / ADCA0I13
P16	AP0_10 / ADCA0I10
P17	AP0_9 / ADCA0I9
R1	P2_6 / ADCA0SEL2 / CSIG4RYI / CSIG4RYO
R2	P2_10 / PWGA78O
R3	JP0_4 / $\overline{\text{DCUTRST}}$
R4	JP0_3 / INTP3 / CSCXFOUT / TAUJ0I2 / TAUJ0O2 / DCUTMS
R5	P2_1 / RLIN27TX / CAN6TX
R6	P1_10 / RLIN24RX / DPIN21 / INTP22 / ADCA1TRG1
R7	P1_9 / DPIN20 / INTP21
R8	P3_0 / PWGA76O
R9	FLMD0
R10	P0_9 / INTP12 / CSIH1CSS0 / DPIN7 / RLIN22RX / TAUB0I4 / TAUB0O4 / CAN4RX / INTP4
R11	P0_7 / RLIN21RX / DPIN5 / CSCXFOUT / CSIH1RYI / CSIH1RYO / TAUB0I0 / TAUB0O0 / CAN3RX / INTP3
R12	P2_5 / RLIN29TX / $\overline{\text{CSIH4SSI}}$ / ADCA0SEL1
R13	P1_15 / RLIN23TX / CAN7TX
R14	P8_4 / TAUJ0I2 / TAUJ0O2 / DPIN4 / CSIH0CSS2 / INTP8 / PWGA36O / CAN7RX / INTP9 / ADCA0I6S
R15	P8_7 / CSIH3CSS0 / PWGA39O / ADCA0SEL0 / RTCA0OUT / ADCA0I14S
R16	AP0_14 / ADCA0I14
R17	AP0_12 / ADCA0I12
T1	P2_8 / RLIN210TX
T2	P2_12 / RLIN211RX
T3	P8_11 / TAUJ1I2 / TAUJ1O2 / DPIN15 / PWGA43O / CSIH1CSS4 / RLIN25RX / ADCA0I18S
T4	JP0_2 / INTP2 / TAUJ0I1 / TAUJ0O1 / FPCK / DCUTCK / LPDCLK
T5	P2_0 / RLIN27RX / CAN6RX / INTP6
T6	P2_14 / PWGA74O
T7	IP0_0 / XT2
T8	AWOVCL
T9	X1
T10	P2_2 / RLIN28RX / CSIH4CSS0

表 2A.2　　端子配置 233-Pin FPBGA

端子番号	端子名
T11	P0_10 / INTP3 / CSIH1CSS1 / DPIN11 / RLIN22TX / TAUB0I6 / TAUB0O6 / CAN4TX
T12	P0_8 / INTP16 / RLIN21TX / DPIN6 / CSIH0CSS6 / $\overline{\text{CSIH1SSI}}$ / TAUB0I2 / TAUB0O2 / CAN3TX
T13	P2_4 / RLIN29RX / ADCA0SEL0 / CSIH4SO
T14	P8_1 / TAPA0ESO / TAUJ0O1 / DPIN0 / PWGA15O / INTP5 / CSIH1CSS3 / CAN6TX / RIIC1SCL / SENT0SPCO / ADCA0I1S
T15	P8_5 / TAUJ0I3 / TAUJ0O3 / NMI / CSIH0CSS3 / INTP9 / PWGA37O / ADCA0I7S
T16	P8_9 / CSIH3CSS2 / PWGA41O / ADCA0SEL2 / RLIN34TX / ADCA0I16S
T17	AP0_15 / ADCA0I15
U1	EVSS
U2	P8_2 / TAUJ0I0 / TAUJ0O0 / DPIN2 / CSIH0CSS0 / INTP6 / PWGA22O / RLIN37TX / ADCA0I4S
U3	JP0_5 / NMI / RTCA0OUT / TAUJ0I3 / TAUJ0O3 / $\overline{\text{DCURDY}}$ / LPDCLKOUT
U4	JP0_0 / INTP0 / TAUJ2I0 / TAUJ2O0 / FPDR / FPDT / DCUTDI / LPDI / LPDIO
U5	P1_8
U6	$\overline{\text{RESET}}$
U7	XT1
U8	AWOVSS
U9	X2
U10	P2_3 / RLIN28TX / CSIH4CSS1
U11	JP0_6 / $\overline{\text{EVTO}}$
U12	P1_5 / ADCA1TRG0 / RLIN35TX / DPIN17 / INTP20 / CSIH4SC
U13	P1_4 / RLIN35RX / INTP15 / DPIN18 / CSIH4SI
U14	P1_14 / RLIN23RX / CAN7RX / INTP9 / CSIH4RYI / CSIH4RYO
U15	P8_0 / TAUJ0I0 / TAUJ0O0 / DPIN2 / PWGA14O / INTP4 / CSIH0CSS0 / CAN6RX / INTP6 / RIIC1SDA / SENT0RX / ADCA0I0S
U16	P8_3 / TAUJ0I1 / TAUJ0O1 / DPIN3 / CSIH0CSS1 / INTP7 / PWGA23O / CAN7TX / ADCA0I5S
U17	A0VSS

表 2A.3　　予約

表 2A.4　　端子配置 324-Pin FPBGA

端子番号	端子名
A1	BVSS
A2	P24_5 / CAN10RX / INTP20
A3	P24_2 / CAN9TX
A4	P24_3 / CAN9RX / INTP19
A5	P22_7 / MMCA0CMD
A6	P12_1 / RLIN34RX / INTP14 / CSIH2CSS5 / PWGA57O / TAUB1I12 / TAUB1O12 / MEMC0A17
A7	P12_0 / CAN2TX / PWGA56O / TAUB1I10 / TAUB1O10 / $\overline{\text{CSIG2SSI}}$ / MEMC0A16 / RLIN36RX / INTP16
A8	P22_11 / MMCA0DAT2
A9	P11_5 / CAN5RX / INTP5 / RLIN33TX / PWGA30O / CSIH3SI / TAUB1I5 / TAUB1O5 / MEMC0AD13 / SFMA0IO0
A10	P11_4 / CSIH2SI / CAN3TX / INTP21 / PWGA29O / TAUB1I3 / TAUB1O3 / MEMC0AD12 / SFMA0IO1
A11	P22_15 / MMCA0DAT6
A12	P11_1 / $\overline{\text{CSIH2SSI}}$ / FLXA0TXDA / RLIN20RX / CSIH0CSS7 / INTP20 / PWGA26O / TAUB0I13 / TAUB0O13 / MEMC0AD9
A13	P10_12 / PWGA17O / FLXA0STPWT / RLIN31TX / CSIH1CSS1 / TAUB0I3 / TAUB0O3 / MEMC0AD6
A14	P10_10 / TAUD0I14 / TAUD0O14 / RLIN30TX / ENCA0E1 / PWGA7O / CSIH0CSS1 / MEMC0AD4 / TAUJ3I3 / TAUJ3O3
A15	P19_1 / ADCA1I17S
A16	P19_0 / ADCA1I16S
A17	P18_15 / ADCA1I15S
A18	P18_6 / PWGA95O / ADCA1I6S
A19	P18_3 / PWGA71O / ETNB0TXD2 / TAUJ3I3 / TAUJ3O3 / ADCA1I3S
A20	P18_9 / ADCA1I9S
A21	P18_0 / CSIG1RYI / CSIG1RYO / ETNB0LINK / PWGA61O / TAUJ3I0 / TAUJ3O0 / ADCA1I0S
A22	A1VSS
B1	P24_6 / CAN11TX
B2	P10_4 / TAUD0I9 / TAUD0O9 / RLIN21RX / CAN6TX / KR0I2 / ADCA0SEL0 / ADCA0TRG2 / TAPA0WP / $\overline{\text{CSIG0SSI}}$ / PWGA53O / ETNB0RXD2 / MEMC0A22
B3	P24_4 / CAN10TX
B4	P24_1 / CAN8RX / INTP18
B5	P24_0 / CAN8TX
B6	P13_1 / MEMC0A20
B7	P22_9 / MMCA0DAT0
B8	P22_12 / MMCA0DAT3
B9	P11_6 / RLIN33RX / INTP13 / CAN5TX / ADCA1TRG1 / PWGA31O / CSIH3SO / TAUB1I7 / TAUB1O7 / MEMC0AD14 / SFMA0SSL
B10	P22_14 / MMCA0DAT5
B11	P21_1 / MMCA0DAT7
B12	P10_14 / ADCA1TRG0 / PWGA19O / FLXA0RXDA / RLIN32TX / $\overline{\text{CSIH3SSI}}$ / TAUB0I7 / TAUB0O7 / MEMC0AD8 / CAN7RX / INTP9
B13	P10_11 / PWGA16O / RLIN31RX / INTP11 / FLXA0TXENA / CSIH1CSS0 / TAUB0I1 / TAUB0O1 / MEMC0AD5
B14	P10_8 / TAUD0I10 / TAUD0O10 / CSIG0SI / FLXA0TXDB / ENCA0EC / PWGA5O / MEMC0AD2 / TAUJ3I2 / TAUJ3O2 / FLMD1
B15	P19_3 / ADCA1I19S
B16	P18_7 / ETNB0TXCLK / ADCA1I7S
B17	P18_13 / ADCA1I13S

表 2A.4　　端子配置 324-Pin FPBGA

端子番号	端子名
B18	P18_4 / CSIH1CSS4 / ETNB0TXD3 / ADCA1I4S
B19	P18_8 / ADCA1I8S
B20	P18_1 / PWGA62O / ETNB0TXD0 / TAUJ3I1 / TAUJ3O1 / ADCA1I1S
B21	AP1_13 / ADCA1I13
B22	AP1_15 / ADCA1I15
C1	P24_7 / CAN11RX / INTP21
C2	P22_6 / ETNB1TXCLK
C3	P10_5 / TAUD0I11 / TAUD0O11 / CAN6RX / INTP6 / RLIN21TX / KR0I3 / ADCA0SEL1 / TAPA0WN / CSIG0RYI / CSIG0RYO / ETNB0RXD3 / PWGA54O
C4	P10_3 / TAUD0I7 / TAUD0O7 / RIIC0SCL / KR0I1 / PWGA3O / ADCA0TRG1 / TAPA0VN / $\overline{\text{CSIH1SSI}}$ / MEMC0CLK / RLIN37RX / INTP17
C5	P10_2 / TAUD0I5 / TAUD0O5 / RIIC0SDA / KR0I0 / PWGA2O / ADCA0TRG0 / TAPA0VP / CSIH1SO / ETNB0RXD1 / MEMC0A21 / RLIN37TX / MODE1
C6	P22_8 / MMCA0CLK
C7	P13_0 / MEMC0A19
C8	P22_10 / MMCA0DAT1
C9	P11_7 / INTP5 / PWGA32O / CSIH3SC / TAUB1I9 / TAUB1O9 / MEMC0AD15 / SFMA0CLK
C10	P22_13 / MMCA0DAT4
C11	P11_3 / CSIH2SC / CAN3RX / INTP3 / PWGA28O / TAUB1I1 / TAUB1O1 / MEMC0AD11 / RLIN32TX / SFMA0IO2
C12	P10_13 / $\overline{\text{CSIH0SSI}}$ / PWGA18O / RLIN32RX / INTP12 / FLXA0TXENB / TAUB0I5 / TAUB0O5 / MEMC0AD7 / CAN7TX
C13	P10_9 / TAUD0I12 / TAUD0O12 / RLIN30RX / INTP10 / ENCA0E0 / PWGA6O / CSIH0RYI / CSIH0RYO / MEMC0AD3 / FLXA0RXDB
C14	P10_7 / TAUD0I15 / TAUD0O15 / CSIG0SC / ENCA0TIN1 / PWGA4O / CAN1TX / MEMC0AD1 / RLIN24TX / TAUJ3I1 / TAUJ3O1
C15	P18_14 / ADCA1I14S
C16	P18_12 / ADCA1I12S
C17	P18_11 / ADCA1I11S
C18	P18_10 / ADCA1I10S
C19	P18_2 / PWGA63O / ETNB0TXD1 / TAUJ3I2 / TAUJ3O2 / ADCA1I2S
C20	AP1_12 / ADCA1I12
C21	AP1_0 / ADCA1I0
C22	AP1_1 / ADCA1I1
D1	P10_15 / CSIH3RYI / CSIH3RYO / PWGA24O / RLIN22RX / TAUB0I9 / TAUB0O9 / $\overline{\text{MEMC0RD}}$
D2	P22_4 / ETNB1TXD0
D3	P22_5 / ETNB1TXEN
D4	BVCC
D5	BVCC
D6	P10_1 / TAUD0I3 / TAUD0O3 / INTP18 / CAN0TX / PWGA1O / TAUJ3I0 / TAPA0UN / CSIH1SC / ETNB0RXD0 / MEMC0A20 / TAUJ3O0 / MODE0
D7	P10_0 / TAUD0I1 / TAUD0O1 / CAN0RX / INTP0 / CSCXFOUT / PWGA0O / TAUJ1I3 / TAPA0UP / CSIH1SI / MEMC0A19 / ETNB0RXCLK / TAUJ1O3
D8	P12_2 / INTP19 / RLIN34TX / PWGA58O / TAUB1I14 / TAUB1O14 / MEMC0A18 / CSIG2RYI / CSIG2RYO
D9	P11_15 / CAN2RX / INTP2 / CSIH2CSS4 / PWGA55O / TAUB1I8 / TAUB1O8 / $\overline{\text{MEMC0ASTB}}$ / ETNB0RXERR / RLIN36TX
D10	BVSS
D11	P11_2 / CSIH2SO / RLIN32RX / INTP12 / RLIN20TX / PWGA27O / TAUB0I15 / TAUB0O15 / MEMC0AD10 / SFMA0IO3

表 2A.4 端子配置 324-Pin FPBGA

端子番号	端子名
D12	BVCC
D13	BVSS
D14	P10_6 / TAUD0I13 / TAUD0O13 / CSIG0SO / ENCA0TIN0 / ADCA0SEL2 / CAN1RX / INTP1 / MEMC0AD0 / RLIN24RX / MODE2
D15	P19_2 / ADCA1I18S
D16	P18_5 / CSIH1CSS5 / ETNB0TXEN / ADCA1I5S
D17	ISOVSS
D18	ISOVCL
D19	BVCC
D20	AP1_14 / ADCA1I14
D21	AP1_3 / ADCA1I3
D22	AP1_5 / ADCA1I5
E1	P22_3 / ETNB1TXD1
E2	P11_8 / $\overline{\mathrm{CSIG1SSI}}$ / RLIN35TX / PWGA48O / TAUB1I11 / TAUB1O11 / $\overline{\mathrm{MEMC0CS0}}$
E3	P11_0 / CSIH2RYI / CSIH2RYO / ADCA1TRG2 / PWGA25O / RLIN22TX / TAUB0I11 / TAUB0O11 / $\overline{\mathrm{MEMC0WR}}$
E4	BVCC
E19	A1VSS
E20	AP1_2 / ADCA1I2
E21	AP1_4 / ADCA1I4
E22	AP1_7 / ADCA1I7
F1	P22_2 / ETNB1TXD2
F2	P22_1 / ETNB1TXD3
F3	P11_9 / CSIG1SO / RLIN35RX / INTP15 / PWGA49O / TAUB1I13 / TAUB1O13 / $\overline{\mathrm{MEMC0CS1}}$
F4	BVCC
F19	A1VREF
F20	AP1_6 / ADCA1I6
F21	AP1_9 / ADCA1I9
F22	AP1_8 / ADCA1I8
G1	P22_0 / ETNB1RXCLK
G2	P11_11 / CSIG1SI / RLIN25TX / PWGA51O / TAUB1I0 / TAUB1O0 / $\overline{\mathrm{MEMC0CS3}}$ / ETNB0RXDV
G3	P11_10 / CSIG1SC / PWGA50O / TAUB1I15 / TAUB1O15 / $\overline{\mathrm{MEMC0CS2}}$
G4	BVSS
G19	AP1_10 / ADCA1I10
G20	AP1_11 / ADCA1I11
G21	P20_6 / PWGA88O
G22	P20_7 / PWGA89O
H1	P21_4 / ETNB1RXD0
H2	P11_12 / RLIN25RX / PWGA52O / TAUB1I2 / TAUB1O2 / $\overline{\mathrm{MEMC0WAIT}}$
H3	P21_0 / ETNB1RXDV
H4	ISOVCL
H19	EVCC
H20	P20_8 / PWGA90O
H21	P20_9 / PWGA91O
H22	P20_4 / RLIN23RX / INTP22 / PWGA59O / CAN7RX / INTP9 / $\overline{\mathrm{CSIG3SSI}}$
J1	P21_5 / ETNB1RXD3

表 2A.4　　端子配置 324-Pin FPBGA

端子番号	端子名
J2	P21_2 / ETNB1RXD2
J3	P21_3 / ETNB1RXD1
J4	ISOVSS
J9	BVSS
J10	BVSS
J11	BVSS
J12	BVSS
J13	BVSS
J14	BVSS
J19	EVSS
J20	P20_0 / RLIN26RX / PWGA64O / CAN6RX / INTP6 / CSIG3SI
J21	P20_5 / RLIN23TX / INTP23 / PWGA60O / CAN7TX
J22	P20_1 / RLIN26TX / PWGA65O / CAN6TX / CSIG3SO
K1	P21_6 / ETNB1MDC
K2	P13_5 / MEMC0A21
K3	P13_2 / ETNB0RXDV
K4	BVSS
K9	BVSS
K10	BVSS
K11	BVSS
K12	BVSS
K13	BVSS
K14	EVSS
K19	EVCC
K20	P20_2 / CAN4RX / INTP4 / PWGA66O / RLIN29RX / CSIG3SC
K21	P20_3 / CAN4TX / PWGA67O / RLIN29TX / CSIG3RYI / CSIG3RYO
K22	P20_10 / PWGA92O
L1	P21_7 / ETNB1MDIO
L2	P21_8 / ETNB1RXERR
L3	P13_3 / ETNB0RXERR
L4	P12_3 / RLIN27RX / PWGA68O / CSIG2SI / $\overline{\text{MEMC0BEN0}}$ / TAUB1I6 / TAUB1O6
L9	BVSS
L10	BVSS
L11	BVSS
L12	BVSS
L13	EVSS
L14	EVSS
L19	REG1VCC
L20	P20_11 / PWGA93O
L21	P20_12 / PWGA94O
L22	P20_15 / RLIN214RX
M1	P21_9
M2	P21_10
M3	P13_4 / ETNB1LINK
M4	P13_6 / MEMC0A22 / PWGA72O

表 2A.4　　端子配置 324-Pin FPBGA

端子番号	端子名
M9	BVSS
M10	BVSS
M11	BVSS
M12	EVSS
M13	EVSS
M14	EVSS
M19	ISOVSS
M20	P20_13 / RLIN215RX / PWGA95O
M21	P20_14 / RLIN215TX
M22	P23_10 / RLIN214TX
N1	P21_11 / RLIN213RX
N2	P21_13 / RLIN212RX
N3	P13_7 / MEMC0A23 / PWGA73O
N4	P12_4 / RLIN27TX / PWGA69O / CSIG2SC / ETNB0MDIO / $\overline{\text{MEMC0BEN1}}$
N9	EVSS
N10	EVSS
N11	EVSS
N12	EVSS
N13	EVSS
N14	EVSS
N19	P9_4 / CSIH0CSS5 / PWGA33O / TAUJ1I0 / TAUJ1O0 / INTP17 / ADCA0I11S
N20	P23_7 / CSIG4SI
N21	P23_8 / CSIG4SC
N22	P23_9 / $\overline{\text{CSIG4SSI}}$
P1	P21_12 / RLIN213TX
P2	P21_14 / RLIN212TX
P3	P0_1 / TAUD0I4 / TAUD0O4 / CAN0RX / INTP0 / RLIN20TX / PWGA11O / CSIH0SI / APO / TAUJ2I2 / TAUJ2O2
P4	P0_2 / TAUD0I6 / TAUD0O6 / CAN1RX / INTP1 / RLIN30TX / PWGA12O / CSIH0SC / DPO / TAUJ2I3 / TAUJ2O3
P9	EVSS
P10	EVSS
P11	EVSS
P12	EVSS
P13	EVSS
P14	EVSS
P19	P9_3 / KR0I7 / PWGA21O / CSIH2CSS3 / TAUJ1I1 / TAUJ1O1 / INTP16 / ADCA0I10S
P20	P23_6 / CSIG4SO
P21	P23_4 / CSIH4RYI / CSIH4RYO
P22	P23_5 / CSIG4RYI / CSIG4RYO
R1	P12_5 / PWGA70O / ETNB0MDC / CSIG2SO / TAUB1I4 / TAUB1O4
R2	P0_3 / TAUD0I8 / TAUD0O8 / RLIN30RX / INTP10 / CAN1TX / DPIN1 / PWGA13O / CSIH0SO / TAUJ1I0 / TAUJ1O0
R3	P0_6 / INTP2 / DPIN10 / SELDP2 / CSIH1SC / PWGA35O
R4	P0_4 / RLIN31RX / INTP11 / CAN2TX / PWGA10O / CSIH1SI / SELDP0 / DPIN8 / TAUB0I12 / TAUB0O12
R19	P9_2 / KR0I6 / PWGA20O / TAPA0ESO / CSIH2CSS2 / ADCA0I9S

表 2A.4　　端子配置 324-Pin FPBGA

端子番号	端子名
R20	P9_1 / INTP11 / PWGA9O / TAUD0I2 / TAUD0O2 / KR0I5 / CSIH2CSS1 / TAUJ1I2 / TAUJ1O2 / SENT1SPCO / RIIC1SCL / ADCA0I3S
R21	P23_2 / CSIH4SI
R22	P23_3 / CSIH4SC
T1	P0_0 / TAUD0I2 / TAUD0O2 / RLIN20RX / CAN0TX / PWGA10O / $\overline{\text{CSIH0SSI}}$ / DPO / TAUJ2I1 / TAUJ2O1
T2	P0_11 / RIIC0SDA / DPIN12 / CSIH1CSS2 / TAUB0I8 / TAUB0O8 / RLIN26RX / PWGA34O
T3	P0_13 / RLIN32RX / INTP12 / PWGA46O / TAUB0I12 / TAUB0O12 / CSIG0SO / CAN5RX / INTP5
T4	EVCC
T19	EVSS
T20	P9_0 / NMI / PWGA8O / TAUD0I0 / TAUD0O0 / ADCA0TRG0 / CSIH2CSS0 / KR0I4 / TAUJ1I1 / TAUJ1O1 / SENT1RX / RIIC1SDA / ADCA0I2S
T21	P23_0 / $\overline{\text{CSIH4SSI}}$
T22	P23_1 / CSIH4SO
U1	P0_5 / CAN2RX / INTP2 / RLIN31TX / DPIN9 / SELDP1 / CSIH1SO / TAUB0I14 / TAUB0O14
U2	P0_12 / RIIC0SCL / DPIN13 / PWGA45O / TAUB0I10 / TAUB0O10 / CSIG0SI / RLIN26TX
U3	P0_14 / INTP17 / RLIN32TX / PWGA47O / TAUB0I14 / TAUB0O14 / CSIG0SC / CAN5TX
U4	P1_1 / INTP18 / RLIN33TX / CSIG4SC / TAUJ2I1 / TAUJ2O1
U19	A0VREF
U20	AP0_5 / ADCA0I5
U21	AP0_2 / ADCA0I2
U22	AP0_0 / ADCA0I0
V1	P1_0 / RLIN33RX / INTP13 / TAUJ2I0 / TAUJ2O0 / $\overline{\text{CSIG4SSI}}$
V2	P1_12 / CAN4RX / INTP4 / RLIN36TX
V3	P1_3 / INTP19 / CAN3TX / DPIN23 / CSIG4SO / TAUJ2I3 / TAUJ2O3
V4	P1_13 / CAN4TX / RLIN36RX / INTP16
V19	A0VSS
V20	AP0_10 / ADCA0I10
V21	AP0_4 / ADCA0I4
V22	AP0_1 / ADCA0I1
W1	P1_2 / CAN3RX / INTP3 / DPIN19 / TAUJ2I2 / TAUJ2O2 / CSIG4SI
W2	P2_7 / RLIN210RX
W3	P2_8 / RLIN210TX
W4	P2_11 / PWGA79O
W5	JP0_2 / INTP2 / TAUJ0I1 / TAUJ0O1 / FPCK / DCUTCK / LPDCLK
W6	JP0_1 / INTP1 / TAUJ0I0 / TAUJ0O0 / FPDT / DCUTDO / LPDO
W7	P1_9 / DPIN20 / INTP21
W8	EVCC
W9	AWOVCL
W10	REG0VCC
W11	P0_9 / INTP12 / CSIH1CSS0 / DPIN7 / RLIN22RX / TAUB0I4 / TAUB0O4 / CAN4RX / INTP4
W12	ISOVSS
W13	ISOVCL
W14	P1_15 / RLIN23TX / CAN7TX
W15	EVSS
W16	EVCC
W17	P3_7 / CAN10RX / INTP20 / PWGA86O

表 2A.4　　端子配置 324-Pin FPBGA

端子番号	端子名
W18	P3_10 / CAN11TX
W19	AP0_14 / ADCA0I14
W20	AP0_8 / ADCA0I8
W21	AP0_6 / ADCA0I6
W22	AP0_3 / ADCA0I3
Y1	P2_6 / ADCA0SEL2 / CSIG4RYI / CSIG4RYO
Y2	P2_12 / RLIN211RX
Y3	P2_9 / PWGA77O
Y4	P8_12 / TAUJ1I3 / TAUJ1O3 / DPIN16 / PWGA44O / CSIH1CSS5 / INTP23 / RLIN25TX / ADCA0I19S
Y5	JP0_3 / INTP3 / CSCXFOUT / TAUJ0I2 / TAUJ0O2 / DCUTMS
Y6	P2_1 / RLIN27TX / CAN6TX
Y7	P2_13 / RLIN211TX
Y8	P3_0 / PWGA76O
Y9	FLMD0
Y10	JP0_6 / $\overline{\text{EVTO}}$
Y11	P0_8 / INTP16 / RLIN21TX / DPIN6 / CSIH0CSS6 / $\overline{\text{CSIH1SSI}}$ / TAUB0I2 / TAUB0O2 / CAN3TX
Y12	P0_7 / RLIN21RX / DPIN5 / CSCXFOUT / CSIH1RYI / CSIH1RYO / TAUB0I0 / TAUB0O0 / CAN3RX / INTP3
Y13	P1_14 / RLIN23RX / CAN7RX / INTP9 / CSIH4RYI / CSIH4RYO
Y14	P8_1 / TAPA0ESO / TAUJ0O1 / DPIN0 / PWGA15O / INTP5 / CSIH1CSS3 / CAN6TX / RIIC1SCL / SENT0SPCO / ADCA0I1S
Y15	P8_5 / TAUJ0I3 / TAUJ0O3 / NMI / CSIH0CSS3 / INTP9 / PWGA37O / ADCA0I7S
Y16	P3_1 / PWGA80O
Y17	P3_3 / CAN8RX / INTP18 / PWGA82O
Y18	P3_6 / PWGA85O / CAN9TX
Y19	P3_9 / CAN11RX / INTP21
Y20	AP0_13 / ADCA0I13
Y21	AP0_12 / ADCA0I12
Y22	AP0_7 / ADCA0I7
AA1	P2_10 / PWGA78O
AA2	P8_2 / TAUJ0I0 / TAUJ0O0 / DPIN2 / CSIH0CSS0 / INTP6 / PWGA22O / RLIN37TX / ADCA0I4S
AA3	P8_10 / CSIH3CSS3 / DPIN14 / PWGA42O / RLIN37RX / INTP17 / ADCA0I17S
AA4	JP0_5 / NMI / RTCA0OUT / TAUJ0I3 / TAUJ0O3 / $\overline{\text{DCURDY}}$ / LPDCLKOUT
AA5	P2_0 / RLIN27RX / CAN6RX / INTP6
AA6	P1_11 / ADCA1TRG2 / RLIN24TX / DPIN22 / INTP14
AA7	P2_14 / PWGA74O
AA8	IP0_0 / XT2
AA9	P2_15 / PWGA75O
AA10	P2_3 / RLIN28TX / CSIH4CSS1
AA11	P2_2 / RLIN28RX / CSIH4CSS0
AA12	P1_5 / ADCA1TRG0 / RLIN35TX / DPIN17 / INTP20 / CSIH4SC
AA13	P1_4 / RLIN35RX / INTP15 / DPIN18 / CSIH4SI
AA14	P8_0 / TAUJ0I0 / TAUJ0O0 / DPIN2 / PWGA14O / INTP4 / CSIH0CSS0 / CAN6RX / INTP6 / RIIC1SDA / SENT0RX / ADCA0I0S
AA15	P8_4 / TAUJ0I2 / TAUJ0O2 / DPIN4 / CSIH0CSS2 / INTP8 / PWGA36O / CAN7RX / INTP9 / ADCA0I6S
AA16	P8_7 / CSIH3CSS0 / PWGA39O / ADCA0SEL0 / RTCA0OUT / ADCA0I14S
AA17	P3_12 / CSIH4CSS1

表 2A.4　　端子配置 324-Pin FPBGA

端子番号	端子名
AA18	P8_8 / CSIH3CSS1 / PWGA40O / ADCA0SEL1 / RLIN34RX / INTP14 / ADCA0I15S
AA19	P3_4 / PWGA83O / CAN8TX
AA20	P3_8 / PWGA87O / CAN10TX
AA21	AP0_11 / ADCA0I11
AA22	AP0_9 / ADCA0I9
AB1	EVSS
AB2	P8_11 / TAUJ1I2 / TAUJ1O2 / DPIN15 / PWGA43O / CSIH1CSS4 / RLIN25RX / ADCA0I18S
AB3	JP0_4 / $\overline{\text{DCUTRST}}$
AB4	JP0_0 / INTP0 / TAUJ2I0 / TAUJ2O0 / FPDR / FPDT / DCUTDI / LPDI / LPDIO
AB5	P1_10 / RLIN24RX / DPIN21 / INTP22 / ADCA1TRG1
AB6	P1_8
AB7	$\overline{\text{RESET}}$
AB8	XT1
AB9	AWOVSS
AB10	X2
AB11	X1
AB12	P0_10 / INTP3 / CSIH1CSS1 / DPIN11 / RLIN22TX / TAUB0I6 / TAUB0O6 / CAN4TX
AB13	P2_4 / RLIN29RX / ADCA0SEL0 / CSIH4SO
AB14	P2_5 / RLIN29TX / $\overline{\text{CSIH4SSI}}$ / ADCA0SEL1
AB15	P8_3 / TAUJ0I1 / TAUJ0O1 / DPIN3 / CSIH0CSS1 / INTP7 / PWGA23O / CAN7TX / ADCA0I5S
AB16	P3_2 / PWGA81O
AB17	P3_11 / CSIH4CSS0
AB18	P8_6 / NMI / CSIH0CSS4 / PWGA38O / RTCA0OUT / ADCA0I8S / $\overline{\text{RESETOUT}}$
AB19	P8_9 / CSIH3CSS2 / PWGA41O / ADCA0SEL2 / RLIN34TX / ADCA0I16S
AB20	P3_5 / CAN9RX / INTP19 / PWGA84O
AB21	AP0_15 / ADCA0I15
AB22	A0VSS

2A.2　端子説明

表 2A.5　　端子機能

端子名	端子数				I/O	機能	関連機能
	176 Pin	233 Pin	272 Pin	324 Pin			
AnVREF	○	○	—	○	—	ADCAn 電圧供給と基準電圧	ADCAn
	n=0、1	n=0、1	—	n=0、1			
AnVSS	○	○	—	○	—	ADCAn グランド	
	n=0、1	n=0、1	—	n=0、1			
ADCA0Im	○	○	—	○	I	12 ビット分解能の ADCA0 入力チャネル m	
	m=0～15	m=0～15	—	m=0～15			
ADCA1Im	○	○	—	○	I	12 ビット分解能の ADCA1 入力チャネル m	
	m=0～15	m=0～15	—	m=0～15			
ADCA0ImS	○	○	—	○	I	10 ビット分解能の ADCA0 入力チャネル m	
	m=0～11、14～19	m=0～11、14～19	—	m=0～11、14～19			
ADCA1ImS	○	○	—	○	I	10 ビット分解能の ADCA1 入力チャネル m	
	m=0～7	m=0～19	—	m=0～19			
ADCA0SELy	○	○	—	○	O	ADCA0 入力用、外付け MPX 選択端子 y	
	y=0～2	y=0～2	—	y=0～2			
ADCAnTRGy	○	○	—	○	I	ADCAn 外部トリガ端子 y	
	n=0、1 y=0～2	n=0、1 y=0～2	—	n=0、1 y=0～2			
AP0_m	○	○	—	○	IO	アナログポート 0_m	ポート
	m=0～15	m=0～15	—	m=0～15			
AP1_m	○	○	—	○	IO	アナログポート 1_m	
	m=0～15	m=0～15	—	m=0～15			
APO	○	○	—	○	O	アナログ入力用ポート出力	LPS0
AWOVCL	○	○	—	○	—	Always-On エリア（AWO エリア）電圧レギュレータ用コンデンサ接続	電源
AWOVSS	○	○	—	○	—	Always-On エリア（AWO エリア）内蔵ロジック用グランド	
BVCC	○	○	—	○	—	ポートバッファ電圧供給	
BVSS	○	○	—	○	—	ポートバッファグランド	
CANzRX	○	○	—	○	I	CANz 受信データ入力	RCFDCn
	z=0～7	z=0～7	—	z=0～11			
CANzTX	○	○	—	○	O	CANz 送信データ出力	
	z=0～7	z=0～7	—	z=0～11			
CSCXFOUT	○	○	—	○	O	クロック出力	クロック
CSIGnRYI	○	○	—	○	I	CSIGn レディ（1）／ビジー（0）入力信号	CSIGn
	n=0～4	n=0～4	—	n=0～4			
CSIGnRYO	○	○	—	○	O	CSIGn レディ（1）／ビジー（0）出力信号	
	n=0～4	n=0～4	—	n=0～4			
CSIGnSC	○	○	—	○	IO	CSIGn シリアルクロック信号	
	n=0～4	n=0～4	—	n=0～4			
CSIGnSI	○	○	—	○	I	CSIGn シリアルデータ入力	
	n=0～4	n=0～4	—	n=0～4			
CSIGnSO	○	○	—	○	O	CSIGn シリアルデータ出力	
	n=0～4	n=0～4	—	n=0～4			
$\overline{\text{CSIGnSSI}}$	○	○	—	○	I	CSIGn SS 機能制御入力信号	
	n=0～4	n=0～4	—	n=0～4			
CSIHnCSS0	○	○	—	○	O	CSIHn シリアル周辺チップ選択信号 0	CSIHn
	n=0～4	n=0～4	—	n=0～4			
CSIHnCSS1	○	○	—	○	O	CSIHn シリアル周辺チップ選択信号 1	
	n=0～4	n=0～4	—	n=0～4			

表 2A.5　　端子機能

端子名	端子数				I/O	機能	関連機能
	176 Pin	233 Pin	272 Pin	324 Pin			
CSIHnCSS2	○	○	—	○	O	CSIHn シリアル周辺チップ選択信号 2	CSIHn
	n=0～3	n=0～3	—	n=0～3			
CSIHnCSS3	○	○	—	○	O	CSIHn シリアル周辺チップ選択信号 3	
	n=0～3	n=0～3	—	n=0～3			
CSIHnCSS4	○	○	—	○	O	CSIHn シリアル周辺チップ選択信号 4	
	n=0～2	n=0～2	—	n=0～2			
CSIHnCSS5	○	○	—	○	O	CSIHn シリアル周辺チップ選択信号 5	
	n=0～2	n=0～2	—	n=0～2			
CSIHnCSS6	○	○	—	○	O	CSIHn シリアル周辺チップ選択信号 6	
	n=0	n=0	—	n=0			
CSIHnCSS7	○	○	—	○	O	CSIHn シリアル周辺チップ選択信号 7	
	n=0	n=0	—	n=0			
CSIHnRYI	○	○	—	○	I	CSIHn レディ（1）／ビジー（0）入力信号	
	n=0～4	n=0～4	—	n=0～4			
CSIHnRYO	○	○	—	○	O	CSIHn レディ（1）／ビジー（0）出力信号	
	n=0～4	n=0～4	—	n=0～4			
CSIHnSC	○	○	—	○	IO	CSIHn シリアルクロック信号	
	n=0～4	n=0～4	—	n=0～4			
CSIHnSI	○	○	—	○	I	CSIHn シリアルデータ入力	
	n=0～4	n=0～4	—	n=0～4			
CSIHnSO	○	○	—	○	O	CSIHn シリアルデータ出力	
	n=0～4	n=0～4	—	n=0～4			
$\overline{\text{CSIHnSSI}}$	○	○	—	○	I	CSIHn スレーブ選択入力信号	
	n=0～4	n=0～4	—	n=0～4			
$\overline{\text{DCURDY}}$	○	○	—	○	O	デバッグレディ	OCD
DCUTCK	○	○	—	○	I	デバッグクロック	
DCUTDI	○	○	—	○	I	デバッグデータ入力	
DCUTDO	○	○	—	○	O	デバッグデータ出力	
DCUTMS	○	○	—	○	I	デバッグモード選択	
$\overline{\text{DCUTRST}}$	○	○	—	○	I	デバッグリセット	
DPINm	○	○	—	○	I	デジタルポート入力 m	LPS0
	m=0～23	m=0～23	—	m=0～23			
DPO	○	○	—	○	O	デジタル入力用ポート出力	
ENCA0TINm	○	○	—	○	I	ENCA0 キャプチャトリガ入力 m	ENCAn
	m=0、1	m=0、1	—	m=0、1			
ENCA0E0	○	○	—	○	I	ENCA0 エンコーダ入力 0	
ENCA0E1	○	○	—	○	I	ENCA0 エンコーダ入力 1	
ENCA0EC	○	○	—	○	I	ENCA0 エンコーダクリア入力	
ETNBnLINK	○	○	—	○	I	PHY リンクステータス	ETNBn
	n=0	n=0	—	n=0、1			
ETNBnMDC	○	○	—	○	O	PHY マネジメントクロック	
	n=0	n=0	—	n=0、1			
ETNBnMDIO	○	○	—	○	IO	マネジメント送受信データ信号	
	n=0	n=0	—	n=0、1			
ETNBnRXCLK	○	○	—	○	I	MII 受信クロック	
	n=0	n=0	—	n=0、1			
ETNBnRXD[3:0]	○	○	—	○	I	MII 受信データ入力	
	n=0	n=0	—	n=0、1			
ETNBnRXDV	○	○	—	○	I	MII 受信データ有効	
	n=0	n=0	—	n=0、1			
ETNBnRXERR	○	○	—	○	I	MII 受信エラー	
	n=0	n=0	—	n=0、1			

表 2A.5　　端子機能

端子名	端子数				I/O	機能	関連機能
	176 Pin	233 Pin	272 Pin	324 Pin			
ETNBnTXCLK	○	○	—	○	I	MII 送信クロック	ETNBn
	n=0	n=0	—	n=0、1			
ETNBnTXD[3:0]	○	○	—	○	O	MII 送信データ出力	
	n=0	n=0	—	n=0、1			
ETNBnTXEN	○	○	—	○	O	MII 送信データ許可	
	n=0	n=0	—	n=0、1			
EVCC	○	○	—	○	—	ポートバッファ電圧供給	電源
EVSS	○	○	—	○	—	ポートバッファグランド	
$\overline{\text{EVTO}}$	○	○	—	○	O	イベント出力	TEU_OUT
FLMD0	○	○	—	○	I	動作モード選択端子 0	モード
FLMD1	○	○	—	○	I	動作モード選択端子 1	
FLXA0RXDA	○	○	—	○	I	FLXA0 チャネル A 受信データ入力	FLXAn
FLXA0RXDB	○	○	—	○	I	FLXA0 チャネル B 受信データ入力	
FLXA0STPWT	○	○	—	○	I	FLXA0 ストップウォッチトリガ入力	
FLXA0TXDA	○	○	—	○	O	FLXA0 チャネル A 送信データ出力	
FLXA0TXDB	○	○	—	○	O	FLXA0 チャネル B 送信データ出力	
FLXA0TXENA	○	○	—	○	O	FLXA0 チャネル A 送信データ許可	
FLXA0TXENB	○	○	—	○	O	FLXA0 チャネル B 送信データ許可	
FPDR	○	○	—	○	I	シリアル通信インタフェース RXD	FLASH
FPDT	○	○	—	○	O	シリアル通信インタフェース TXD	
FPCK	○	○	—	○	I	シリアル通信インタフェースクロック	
INTPm	○	○	—	○	I	外部割り込み入力 m	INTC
	m=0～23	m=0～23	—	m=0～23			
IP0_0	○	○	—	○	I	入力ポート 0_0	ポート
ISOVCL	○	○	—	○	—	Isolated エリア（ISO エリア）電圧レギュレータ用コンデンサ接続	電源
ISOVSS	○	○	—	○	—	Isolated エリア（ISO エリア）内蔵ロジック用グランド	
JP0_m	○	○	—	○	IO	JTAG ポート 0_m	JTAG
	m=0～6	m=0～6	—	m=0～6			
KR0Im	○	○	—	○	I	KR0 キー入力信号	KRn
	m=0～7	m=0～7	—	m=0～7			
LPDCLK	○	○	—	○	I	LPD クロック入力（4 pin）	LPD
LPDCLKOUT	○	○	—	○	O	LPD クロック出力（4 pin）	
LPDI	○	○	—	○	I	LPD データ入力（4 pin）	
LPDIO	○	○	—	○	IO	LPD データ入力／出力（1 pin）	
LPDO	○	○	—	○	O	LPD データ出力（4 pin）	
MEMC0Am	○	○	—	○	O	MEMC0 アドレス m	MEMCn
	m=16～22	m=16～22	—	m=16～23			
MEMC0ADm	○	○	—	○	IO	MEMC0 アドレス／データ m	
	m=0～15	m=0～15	—	m=0～15			
$\overline{\text{MEMC0ASTB}}$	○	○	—	○	O	MEMC0 アドレスストローブ	
$\overline{\text{MEMC0BENm}}$	○	○	—	○	O	MEMC0 バイトイネーブル m	
	m=0、1	m=0、1	—	m=0、1			
MEMC0CLK	○	○	—	○	O	MEMC0 クロック出力	
$\overline{\text{MEMC0CSm}}$	○	○	—	○	O	MEMC0 チップ選択 m	
	m=0～3	m=0～3	—	m=0～3			
$\overline{\text{MEMC0RD}}$	○	○	—	○	O	MEMC0 リードストローブ	
$\overline{\text{MEMC0WAIT}}$	○	○	—	○	I	MEMC0 ウェイト入力	
$\overline{\text{MEMC0WR}}$	○	○	—	○	O	MEMC0 ライトストローブ	

表 2A.5　　端子機能

端子名	端子数				I/O	機能	関連機能
	176 Pin	233 Pin	272 Pin	324 Pin			
MMCA0CLK	—	—	—	○	O	MMCA クロック	MMCAn
MMCA0CMD	—	—	—	○	IO	MMCA コマンド／レスポンス	
MMCA0DATm	—	—	—	○	IO	MMCA データ[7:0]	
				m=0~7			
MODEm	○	○	—	○	I	サブ動作モード選択	モード
	m=0~2	m=0~2	—	m=0~2			
NMI	○	○	—	○	I	外部ノンマスカブル割り込み入力	INTC
P0_m	○	○	—	○	IO	ポート 0_m	ポート
	m=0~14	m=0~14	—	m=0~14			
P1_m	○	○	—	○	IO	ポート 1_m	
	m=0~5、8~15	m=0~5、8~15	—	m=0~5、8~15			
P2_m	○	○	—	○	IO	ポート 2_m	
	m=0~6	m=0~15	—	m=0~15			
P3_m	—	○	—	○	IO	ポート 3_m	
		m=0	—	m=0~12			
P8_m	○	○	—	○	IO	ポート 8_m	
	m=0~12	m=0~12	—	m=0~12			
P9_m	○	○	—	○	IO	ポート 9_m	
	m=0~4	m=0~4	—	m=0~4			
P10_m	○	○	—	○	IO	ポート 10_m	
	m=0~15	m=0~15	—	m=0~15			
P11_m	○	○	—	○	IO	ポート 11_m	
	m=0~12、15	m=0~12、15	—	m=0~12、15			
P12_m	○	○	—	○	IO	ポート 12_m	
	m=0~5	m=0~5	—	m=0~5			
P13_m	—	○	—	○	IO	ポート 13_m	
		m=0~7	—	m=0~7			
P18_m	○	○	—	○	IO	ポート 18_m	
	m=0~7	m=0~15	—	m=0~15			
P19_m	—	○	—	○	IO	ポート 19_m	
		m=0~3	—	m=0~3			
P20_m	○	○	—	○	IO	ポート 20_m	
	m=0~5	m=0~5	—	m=0~15			
P21_m	—	—	—	○	IO	ポート 21_m	
			—	m=0~14			
P22_m	—	—	—	○	IO	ポート 22_m	
			—	m=0~15			
P23_m	—	—	—	○	IO	ポート 23_m	
				m=0~10			
P24_m	—	—	—	○	IO	ポート 24_m	
				m=0~7			
PWGAnO	○	○	—	○	O	PWGAn 出力信号	PWGAn
	n=0~71	n=0~79	—	n=0~95			
REGnVCC	○	○	—	○	—	電圧レギュレータ電圧供給	電源
	n=0、1	n=0、1	—	n=0、1	—		
$\overline{\text{RESET}}$	○	○	—	○	I	外部リセット入力	リセット
$\overline{\text{RESETOUT}}$	○	○	—	○	O	リセット出力	

表 2A.5　　端子機能

端子名	端子数				I/O	機能	関連機能
	176 Pin	233 Pin	272 Pin	324 Pin			
RIICnSCL	○	○	—	○	IO	RIICn シリアルクロック	RIICn
	n=0、1	n=0、1	—	n=0、1			
RIICnSDA	○	○	—	○	IO	RIICn シリアルデータ	
	n=0、1	n=0、1	—	n=0、1			
RLIN2mRX	○	○	—	○	I	RLIN2m 受信データ入力	RLIN24n
	m=0～9	m=0～11	—	m=0～15			
RLIN2mTX	○	○	—	○	O	RLIN2m 送信データ出力	
	m=0～9	m=0～11	—	m=0～15			
RLIN3nRX	○	○	—	○	I	RLIN3n 受信データ入力	RLIN3n
	n=0～7	n=0～7	—	n=0～7			
RLIN3nTX	○	○	—	○	O	RLIN3n 送信データ出力	
	n=0～7	n=0～7	—	n=0～7			
RTCA0OUT	○	○	—	○	O	RTCA0 1Hz 出力	RTCAn
SELDPk	○	○	—	○	O	デジタルポート用外部マルチプレクサ選択出力信号 k	LPS0
	k=0～2	k=0～2	—	k=0～2			
SENTnRX	○	○	—	○	I	SENT 受信データ入力	RSENTn
	n=0、1	n=0、1	—	n=0、1			
SENTnSPCO	○	○	—	○	O	SENT SPC 拡張出力	
	n=0、1	n=0、1	—	n=0、1			
SFMA0CLK	○	○	—	○	O	SFMA0 クロック	SFMAn
SFMA0IOm	○	○	—	○	IO	SFMA0 マスタデータ入出力	
	m=0～3	m=0～3	—	m=0～3			
SFMA0SSL	○	○	—	○	O	SFMA0 スレーブ選択	
TAPA0ESO	○	○	—	○	I	Hi-Z 制御	TAPAn
TAPA0UN	○	○	—	○	O	モータ制御出力 U 相（逆相）	
TAPA0UP	○	○	—	○	O	モータ制御出力 U 相（正相）	
TAPA0VN	○	○	—	○	O	モータ制御出力 V 相（逆相）	
TAPA0VP	○	○	—	○	O	モータ制御出力 V 相（正相）	
TAPA0WN	○	○	—	○	O	モータ制御出力 W 相（逆相）	
TAPA0WP	○	○	—	○	O	モータ制御出力 W 相（正相）	
TAUBnIm	○	○	—	○	I	TAUBn チャネル入力 m	TAUBn
	n=0、1 m=0～15	n=0、1 m=0～15	—	n=0、1 m=0～15			
TAUBnOm	○	○	—	○	O	TAUBn チャネル出力 m	
	n=0、1 m=0～15	n=0、1 m=0～15	—	n=0、1 m=0～15			
TAUD0Im	○	○	—	○	I	TAUD0 チャネル入力 m	TAUDn
	m=0～15	m=0～15	—	m=0～15			
TAUD0Om	○	○	—	○	O	TAUD0 チャネル出力 m	
	m=0～15	m=0～15	—	m=0～15			
TAUJnIm	○	○	—	○	I	TAUJn チャネル入力 m	TAUJn
	n=0～3 m=0～3	n=0～3 m=0～3	—	n=0～3 m=0～3			
TAUJnOm	○	○	—	○	O	TAUJn チャネル出力 m	
	n=0～3 m=0～3	n=0～3 m=0～3	—	n=0～3 m=0～3			
X1、X2	○	○	—	○	—	メイン発振子接続	MOSC
XT1、XT2	○	○	—	○	—	サブ発振子接続	SOSC

注　意

周辺機能端子を複数個所に割り当てている場合、同じチャネルグループ端子は、同一ポートグループもしくは近傍のポート端子を使用してください。

- （例）RS-CANFD チャネル 0 を使用する場合

  CAN0TX　P0_0　P10_1
  CAN0RX　P0_1　P10_0

  以下の端子組み合わせのどちらかで使用してください。

  － P0_0、P0_1 の組み合わせ
  － P10_0、P10_1 の組み合わせ

  P0_0、P10_0 の組み合わせおよび P0_1、P10_1 の組み合わせは禁止です。

- （例）CSIH4 を使用する場合

  CSIH4SC　P1_5　P23_3
  CSIH4SO　P2_4　P23_1
  CSIH4SI　P1_4　P23_2

  以下の端子組み合わせのどちらかで使用してください。

  － P1_5、P2_4、P1_4
  － P23_3、23_1、P23_2

  以下の組み合わせは禁止です。

  － P1_5、P2_4、P23_2
  － P1_5、P23_1、P1_4
  － P23_3、P2_4、P23_2
  － P1_5、P23_1、P23_2
  － P23_3、P2_4、P1_4
  － P23_3、P23_1、P1_4

2A.3　リセット期間中／解除後の端子機能

表 2A.6　　リセット期間中／解除後の端子機能

端子	リセット中	リセット後
JP0_0	ハイインピーダンス	JP0_0：ハイインピーダンス シリアルプログラミングモード：FPDR、FPDT（1 wire UART） FPDR（2 wire UART） Nexus I/F：DCUTDI 入力 LPD（4 pin）：LPDI 入力 LPD（1 pin）：LPDIO 入出力
JP0_1	ハイインピーダンス	JP0_1：ハイインピーダンス シリアルプログラミングモード：FPDT Nexus I/F：DCUTDO 出力 LPD（4 pin）：LPDO 出力 LPD（1 pin）：ハイインピーダンス
JP0_2	ハイインピーダンス	JP0_2：ハイインピーダンス シリアルプログラミングモード：FPCK Nexus I/F：DCUTCK 入力 LPD（4 pin）：LPDCLK 入力 LPD（1 pin）：ハイインピーダンス
JP0_3	ハイインピーダンス	JP0_3：ハイインピーダンス シリアルプログラミングモード：ハイインピーダンス Nexus I/F：DCUTMS 入力 LPD（4 pin）：ハイインピーダンス LPD（1 pin）：ハイインピーダンス
JP0_4	入力[注3、注5]	JP0_4：ハイインピーダンス シリアルプログラミングモード：ハイインピーダンス Nexus I/F：$\overline{\text{DCUTRST}}$ 入力[注1] LPD（4 pin）：ハイインピーダンス LPD（1 pin）：ハイインピーダンス
JP0_5	ハイインピーダンス	JP0_5：ハイインピーダンス シリアルプログラミングモード：ハイインピーダンス Nexus I/F：$\overline{\text{DCURDY}}$ 出力 LPD（4 pin）：LPDCLKOUT 出力 LPD（1 pin）：ハイインピーダンス
JP0_6	ハイインピーダンス	JP0_6：ハイインピーダンス シリアルプログラミングモード：ハイインピーダンス Nexus I/F　：$\overline{\text{EVTO}}$ 出力 LPD（4 pin）：ハイインピーダンス LPD（1 pin）：ハイインピーダンス
P8_6	出力[注2、注4]	出力（OPBT0.RESETOUTEN＝1）[注2] ハイインピーダンス（OPBT0.RESETOUTEN＝0）[注2、注4]
P0～P3、P8～P13、P18～P24（P8_6、P10_1、P10_2、P10_6、P10_8 を除く）	ハイインピーダンス	ハイインピーダンス
P10_1	ハイインピーダンス	ハイインピーダンス（FLMD0＝0） ハイインピーダンス（FLMD0＝1、FLMD1＝0） MODE0 入力（FLMD0＝1、FLMD1＝1）
P10_2	ハイインピーダンス	ハイインピーダンス（FLMD0＝0） ハイインピーダンス（FLMD0＝1、FLMD1＝0） MODE1 入力（FLMD0＝1、FLMD1＝1）

表 2A.6　　リセット期間中／解除後の端子機能

端子	リセット中	リセット後
P10_6	ハイインピーダンス	ハイインピーダンス（FLMD0＝0） ハイインピーダンス（FLMD0＝1、FLMD1＝0） ハイインピーダンス（FLMD0＝1、FLMD1＝1、MODE0＝0、MODE1＝0） ハイインピーダンス（FLMD0＝1、FLMD1＝1、MODE0＝0、MODE1＝1） ハイインピーダンス（FLMD0＝1、FLMD1＝1、MODE0＝1、MODE1＝0） MODE2 入力（FLMD0＝1、FLMD1＝1、MODE0＝1、MODE1＝1）
P10_8	ハイインピーダンス	ハイインピーダンス（FLMD0＝0） FLMD1 入力（FLMD0＝1）
FLMD0	入力	入力
$\overline{\text{RESET}}$	入力	入力
AP0、AP1	ハイインピーダンス	ハイインピーダンス

注1.　Nexus を有効にし、かつ外部機器を接続しない場合は、端子レベルを常時ロウレベルに固定にする必要があります。

注2.　$\overline{\text{RESETOUT}}$ となります。詳細は「**2A.11　ポート（特殊 I/O）機能概要**」を参照してください。

注3.　パワーオン時および $\overline{\text{RESET}}$ がロウレベルの時は、JP0_4 端子にロウレベルを入力してください。

注4.　OPBT0.RESETOUTEN が 0 の場合、内部リセット要因によってリセット状態に遷移する瞬間に、P8_6 端子の状態が不安定になる可能性があります。

注5.　$\overline{\text{RESET}}$ がロウレベルのとき、JP0_4 には内蔵プルダウン抵抗が接続されます。

2A.4　スタンバイモード時のポート状態

スタンバイモード時のポート状態は、「**14.1.4 入出力バッファ制御**」を参照してください。

2A.5　未使用端子の推奨接続

端子が未使用の場合、下記のように接続することを推奨します。

表 2A.7　　未使用端子の推奨接続

端子	未使用端子の推奨接続情報
A0VREF、A1VREF	EVCC or BVCC に接続
A0VSS、A1VSS	EVSS or BVSS に接続
$\overline{\text{RESET}}$	抵抗を介して EVCC or BVCC に接続
XT1	抵抗を介して REGnVCC or AWOVSS に接続（IPIBC0 のビット 0＝1）[注2] AWOVSS に接続（IPIBC0 のビット 0＝0）
X1	抵抗を介して AWOVSS に接続
X2	オープン
IP0_0	抵抗を介して REGnVCC or AWOVSS に接続（IPIBC0 のビット 0＝1）[注2] オープン（IPIBC0 のビット 0＝0）
JP0（JP0_4 を除く） P0 P1 P2 P3 P8（P8_6 を除く） P9 P20 P23	入力時：　オープン（PIBCn_m ビット=0 かつ PMCn_m ビット=0 のとき） 抵抗を介して EVCC or EVSS に接続（PIBCn_m ビット＝1 または PMCn_m ビット＝1 のとき） 出力時：　オープン
P8_6	入力時：　オープン（PIBCn_m ビット=0 かつ PMCn_m ビット=0 のとき） 抵抗を介して EVSS に接続（PIBCn_m ビット=1 または PMCn_m ビット=1 のとき） 出力時：　オープン
JP0_4	抵抗を介して EVSS に接続
P10_1、P10_2、P10_6、P10_8	入力時：　オープン（PIBCn_m ビット=0 かつ PMCn_m ビット=0 のとき） 抵抗を介して EVSS に接続（PIBCn_m ビット=1 または PMCn_m ビット=1 のとき） 出力時：　オープン

表 2A.7　　未使用端子の推奨接続

端子	未使用端子の推奨接続情報
P10（P10_1、P10_2、 P10_6、P10_8 を除く） P11 P12 P13 P18 P19 P21 P22 P24	入力時：　オープン（PIBCn_m ビット＝0 かつ PMCn_m ビット＝0 のとき） 抵抗を介して BVCC or BVSS に接続（PIBCn_m ビット＝1 または PMCn_m ビット＝1 のとき） 出力時：　オープン
AP0	入力時：　オープン（PIBCn_m ビット＝0 のとき） 抵抗を介して A0VREF or A0VSS に接続（PIBCn_m ビット＝1 のとき） 出力時：　オープン
AP1	入力時：　オープン（PIBCn_m ビット＝0 のとき） 抵抗を介して A1VREF or A1VSS に接続（PIBCn_m ビット＝1 のとき） 出力時：　オープン
Nexus/LPD I/F（JP0）	DCUTDI/LPDI/LPDIO（JP0_0）：抵抗を介して EVCC に接続 DCUTDO/LPDO（JP0_1）：オープン DCUTCK/LPDCLK（JP0_2）：オープン DCUTMS（JP0_3）：抵抗を介して EVCC に接続 $\overline{\text{DCUTRST}}$ (JP0_4)：抵抗を介して EVSS に接続注 1 $\overline{\text{DCURDY}}$ /LPDCLKOUT（JP0_5）：オープン $\overline{\text{EVTO}}$ (JP0_6)：オープン

注1.　デバッグインタフェースを使用する場合、サードパーティ製開発ツールによっては、抵抗を介して EVCC に接続する必要があります。

注2.　XT1＝IP0_0（XT2）＝REGnVCC or AWOVSS としてください。
XT1 と IP0_0（XT2）は内部抵抗を介して接続されています。そのため、電流経路を作らないために等しい電圧レベル維持する必要があります。

2A.6　RH850/F1KH ポートの特長

2A.6.1　ポートグループ

この製品には下記番号のポートグループがあります。

表 2A.8　RH850/F1KH-D8 のポートグループ

端子数	ポートグループ	RH850/F1KH-D8
176 Pin	数	14
	名称	P0～P2、P8～P12、P18、P20、JP0、AP0、AP1、IP0
233 Pin	数	17
	名称	P0～P3、P8～P13、P18～P20、JP0、AP0、AP1、IP0
324 Pin	数	21
	名称	P0～P3、P8～P13、P18～P24、JP0、AP0、AP1、IP0

2A.6.2　ポートグループインデクス n

本章では、ポートグループを“n”で識別します。たとえば、Pn 端子のポートモードコントロールレジスタは、PMCn（n＝0～3、8～13、18～24）と記述します。

2A.6.3　レジスタベースアドレス

ポートおよび JTAG ポートのベースアドレスを以下の表に示します。

ポートおよび JTAG ポートのレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 2A.9　レジスタベースアドレス

ベースアドレス名	ベースアドレス
<PORTn_base>	FFC1 0000_H
<JPORT0_base>	FFC2 0000_H

2A.6.4　クロック供給

ポートのクロック供給を以下の表に示します。

表 2A.10　クロック供給

ユニット名	ユニットクロック名	供給クロック名
ポート	レジスタアクセスクロック	CPUCLK_UL

2A.7　ポートの機能

この製品は、さまざまな入出力ポートの端子を備えています。ポートはポートグループに編成されています。

この製品は、汎用入出力以外の機能を端子に割り当てる制御レジスタも備えています。

端子、ポート、またはポートグループの用語の説明は、「**2A.7.2 用語**」を参照してください。

2A.7.1　機能概要

- すべてのポートが個別に設定可能
- 各ポートの最大ビット（端子）数は 16
- 任意の端子の出力レベルは、同じポートの他の端子に影響を与えることなく、同時設定が可能
- 入力バッファ許可信号はレジスタ設定によって設定可能
- 端子レベルは専用のポート端子リードレジスタ（PPR）によってリード可能
- ポートは「**2A.9.2 端子機能の設定**」、「**表 2A.39 JTAG ポート 0（JP0）**」、「**表 2A.41 ポート 0（P0）**」、「**表 2A.43 ポート 1（P1）**」、「**表 2A.45 ポート 2（P2）**」、「**表 2A.47 ポート 3（P3）**」、「**表 2A.49 ポート 8（P8）**」、「**表 2A.51 ポート 9（P9）**」、「**表 2A.53 ポート 10（P10）**」、「**表 2A.55 ポート 11（P11）**」、「**表 2A.57 ポート 12（P12）**」、「**表 2A.59 ポート 13（P13）**」、「**表 2A.61 ポート 18（P18）**」、「**表 2A.63 ポート 19（P19）**」、「**表 2A.65 ポート 20（P20）**」、「**表 2A.67 ポート 21（P21）**」、「**表 2A.69 ポート 22（P22）**」、「**表 2A.71 ポート 23（P23）**」、「**表 2A.73 ポート 24（P24）**」、「**表 2A.75 アナログポート 0（AP0）**」、「**表 2A.77 アナログポート 1（AP1）**」、「**表 2A.79 入力ポート 0（IP0）**」に示す機能をサポート

注　意

本デバイスは、入力機能または出力機能を複数のポートに割り当てる兼用機能を持っていますが、アクティブに設定できるのは 1 ポートのみです。複数のポートを同時にアクティブにしないでください。ひとつの兼用機能に複数の周辺機能が割り当てられていて、一方の機能のみ使用する場合も該当します。

例）

INTP0 は、本デバイス上の以下のポートに割り当てられますが、アクティブにできるのは 1 ポートのみです。他のポートはアクティブにしないでください。

- JP0_0（第 1 入力兼用機能）
- P0_1（第 2、第 3 入力兼用機能）
- P10_0（第 2 入力兼用機能）

上記の場合 JP0_0 の第 1 入力兼用機能（INTP0）を選択し、P0_1 を第 2 入力兼用機能（CAN0RX／INTP0）を CAN としてのみ使用する場合でも設定は禁止です。

2A.7.2　用語

本章で使用されている用語について説明します。

端子

物理的な端子を表します。端子ごとに一意の端子番号で表されます。
端子は複数のモードで使用できます。選択したモードによって、端子機能を示す名称が割り当てられます。

ポートグループ

端子のグループを表します。同じポートグループの端子は、同じポートコントロールレジスタで制御されます。

ポートモード／ポート

ポートモードの端子は、汎用入出力端子として機能します。このような場合に端子を「ポート」と呼びます。
対応する名称は Pn_m です。たとえば、P0_7 はポートグループ 0 のポート 7 を示します。これを「ポート P0_7」と表します。

兼用モード

兼用モードでは、端子は内蔵周辺機能の入出力端子などのさまざまな汎用入出力以外の機能として使用されます。
対応する端子名は、選択した機能によって異なります。たとえば、INTP0 端子は外部割り込み入力用の端子を表します。
なお、複数の異なる名称、たとえば P0_0 と INTP0 が物理的に同じ端子を表す可能性があります。それぞれの名称は、端子の機能を示します。

2A.7.2.1　JTAG ポート

JTAG ポートグループは、オンチップデバッグ時にデバッガと接続するために使用されます。

JTAG ポートグループのレジスタとビットの名称には先頭に「J」が付加されています。たとえば、JP0 は JTAG ポートグループ 0、JPM0.JPM0_m は JPM0 ポートモードレジスタの JPM0_m ポートモードビットを意味します。

備　考

本章では、断りがない限り、すべてのポートと、PFCAEn、PIPCn 以外のレジスタの説明は、JTAG ポートも含みます。

2A.7.3　　端子機能概要

端子は、3 つのモードで動作することができます。

- ポートモード（PMCn.PMCn_m ビット＝0）

  ポートモードでは、端子は汎用入出力ポートとして動作します。PMn.PMn_m ビットで入力／出力を選択します。

- S/W I/O 制御兼用モード（PMCn.PMCn_m ビット＝1、PIPCn.PIPCn_m ビット＝0）

  S/W I/O 制御兼用モードでは、端子は兼用機能によって動作します。入力／出力の選択は、PMn.PMn_m コントロールビットの設定によって行われます。

- 直接 I/O 制御兼用モード（PMCn.PMCn_m ビット＝1、PIPCn.PIPCn_m ビット＝1）

  直接 I/O 制御兼用モードでは、端子は兼用機能によって動作します。S/W I/O 制御兼用モードと違い、兼用機能によって入力／出力が直接制御されます。

レジスタ設定の概要は下表に示します。

表 2A.11　　端子機能の設定（概要）

モード	ビット			I/O
	PMCn_m	PMn_m	PIPCn_m	
ポートモード	0	0	X	O
		1 注1		I
S/W I/O 制御兼用モード	1	0	0	O
		1	0	I
直接 I/O 制御兼用モード		X	1	兼用機能による制御

注1.　入力バッファを必ず許可（PIBCn_m ビット＝1）してください。

- S/W I/O 制御兼用機能（PIPCn.PIPCn_m ビット＝0）：
  - 出力（PMn_m ビット＝0）：兼用出力モード 1～兼用出力モード 7
  - 入力（PMn_m ビット＝1）：兼用入力モード 1～兼用入力モード 7
- 直接 I/O 制御兼用機能（PIPCn.PIPCn_m ビット＝1）：
  - 兼用出力モード 1～兼用出力モード 7、兼用入力モード 1～兼用入力モード 7 の入出力は、兼用機能によって直接選択されます。

表 2A.12　　兼用モード選択の概要（PMCn.PMCn_m ビット＝1）

モード	レジスタ					I/O
	PIPC 注1	PM 注1	PFCAE	PFCE	PFC	
兼用出力モード 1（ALT-OUT1）	0	0	0	0	0	O
兼用入力モード 1（ALT-IN1）		1				I
兼用出力モード 2（ALT-OUT2）		0			1	O
兼用入力モード 2（ALT-IN2）		1				I
兼用出力モード 3（ALT-OUT3）		0		1	0	O
兼用入力モード 3（ALT-IN3）		1				I
兼用出力モード 4（ALT-OUT4）		0			1	O
兼用入力モード 4（ALT-IN4）		1				I
兼用出力モード 5（ALT-OUT5）		0	1	0	0	O
兼用入力モード 5（ALT-IN5）		1				I
兼用出力モード 6（ALT-OUT6）		0			1	O
兼用入力モード 6（ALT-IN6）		1				I
兼用出力モード 7（ALT-OUT7）		0		1	0	O
兼用入力モード 7（ALT-IN7）		1				I
上記以外	設定禁止					

注1.　PIPCn.PIPCn_m ビット＝1 の場合は、入出力方向は周辺（兼用）機能によって直接制御され、PM は無視されます。

端子が兼用モード（PMCn.PMCn_m ビット＝1）の場合、最大 7 つの異なる兼用機能の 1 つを PFCn、PFCEn、PFCAEn レジスタによって選択します。

2A.7.4 端子データ入力／出力

データの入力／出力に使用するレジスタについて説明します。

端子モードによって PPRn レジスタを介してリードされる場所が異なります。

2A.7.4.1 出力データ

ポートモード（PMCn.PMCn_m ビット＝0）では Pn.Pn_m ビットの値が Pn_m 端子から出力されます。

2A.7.4.2 入力データ

PPRn レジスタのリード動作では、Pn_m 端子の値、ポートレジスタの関連ビット Pn.Pn_m の値、または兼用機能による出力値のいずれかを読み出します。

PPRn のリード元は、端子モードといくつかの制御ビットの設定に依存します。PPRn リードモードの違いを次の表に示します。

表 2A.13 PPRn_m リード値

<table>
<tr><th>PMC
n_m</th><th>PM
n_m</th><th>PIBC
n_m</th><th>PIPC
n_m</th><th>PODC
n_m</th><th>モード</th><th>PPRn_m リード値</th></tr>
<tr><td rowspan="4">0</td><td rowspan="2">1</td><td>0</td><td rowspan="4">X</td><td>X</td><td>ポート入力、入力バッファ禁止</td><td>Pn.Pn_m ビット</td></tr>
<tr><td>1</td><td>X</td><td>ポート入力、入力バッファ許可</td><td>Pn_m 端子</td></tr>
<tr><td rowspan="2">0</td><td rowspan="2">X</td><td>0</td><td>ポートプッシュプル出力</td><td rowspan="2">Pn.Pn_m ビット注 1</td></tr>
<tr><td>1</td><td>ポートオープンドレイン出力</td></tr>
<tr><td rowspan="5">1</td><td>1</td><td rowspan="5">X</td><td rowspan="3">0</td><td>X</td><td>ソフトウェア I/O 制御兼用入力</td><td>Pn_m 端子</td></tr>
<tr><td rowspan="2">0</td><td>0</td><td>ソフトウェア I/O 制御兼用プッシュプル出力</td><td rowspan="2">兼用機能からの出力信号注 1</td></tr>
<tr><td>1</td><td>ソフトウェア I/O 制御兼用オープンドレイン出力</td></tr>
<tr><td rowspan="2">X</td><td rowspan="2">1</td><td>0</td><td>直接 I/O 制御兼用入力またはプッシュプル出力</td><td rowspan="2">兼用モードでの入出力ポート：
● 入力：Pn_m 端子
● 出力：兼用機能からの出力信号注 1</td></tr>
<tr><td>1</td><td>直接 I/O 制御兼用入力またはオープンドレイン出力</td></tr>
</table>

注1. PBDCn_m＝1 の場合、Pn_m 端子レベルが、PPRn_m ビットでリードされます。

上表に示す各制御レジスタの効果：

- PMCn.PMCn_m ビット

  このビットは、ポートモード（PMCn_m ビット＝0）または兼用モード（PMCn_m ビット＝1）を選択します。

- PMn.PMn_m ビット

  このビットは、ポートモード（PMCn_m ビット＝0）とソフトウェア I/O 制御兼用モード（PMCn_m ビット＝1、PIPCn_m ビット＝0）時に入力（PMn_m ビット＝1）または出力（PMn_m ビット＝0）を選択します。

- PIBCn.PIBCn_m ビット

  このビットは、入力ポートモード（PMCn_m ビット＝0 と PMn_m ビット＝1）時に入力バッファを使用不可（PIBCn_m ビット＝0）または使用許可（PIBCn_m ビット＝1）を選択します。入力バッファが使用不可の場合、PPRn_m は Pn.Pn_m ビットをリードし、使用許可の場合は Pn_m 端子のレベルがリードされます。

- PIPCn.PIPCn_m ビット

  このビットは、ソフトウェア I/O 制御兼用モードまたは直接 I/O 制御兼用モードを選択します。

- PODCn.PODCn_m ビット

  このビットは、プッシュプル（PODCn_m ビット＝0）またはオープンドレイン（PODCn_m ビット＝1）出力を選択します。

- PBDCn.PBDCn_m ビット

  出力モード時、このビットを 1 に設定すると、ポートは双方向モードになります。双方向モード時、PPRn.PPRn_m から Pn_m 端子のレベルを読み出すことができます。

注　意

Pn_m ポートを兼用出力機能（PMCn.PMCn_m ビット＝1、PMn.PMn_m ビット＝0）として使用する場合、双方向モードを許可（PBDCn.PBDCn_m ビット＝1）することにより、PPRn.PPRn_m ビットで Pn_m 端子のレベルをリードすることができます。しかし、その場合、Pn_m 端子のレベルが同じ兼用入力機能に入力されるので注意が必要です。

2A.7.4.3　Pn レジスタへのライト

ポートモード（PMCn.PMCn_m ビット＝0）時に Pn_m ポートから出力されるデータは Pn レジスタに保持されます。

Pn データは 2 つの方法で書き換えることができます。

- Pn レジスタへの直接ライト

  新しいデータは Pn レジスタに直接ライトすることができます。

- 間接的な Pn レジスタへのビット操作（set/reset/not）

  Pn レジスタへのビット操作（set/reset/not）は 2 つのレジスタを使って間接的に可能です。

  - ポートセット／リセットレジスタ PSRn
    PSRn.PSRn_(m＋16)ビット＝1 の場合、PSRn.PSRn_m ビットの値が Pn.Pn_m ビットの値を決めます。つまり、Pn レジスタへ直接ライトせずに Pn_m ビットを set/reset することが可能です。
  - ポートノットレジスタ PNOTn
    PNOTn.PNOTn_m ビット＝1 に設定すると Pn レジスタへ直接ライトせずに Pn.Pn_m ビットを反転することが可能です。

間接的な Pn レジスタへのビット操作（set/reset/not）は、Pn レジスタ内の更新が不要なビットには影響を与えずに、更新が必要なビット（1 ビットとは限りません）を書き換えることができます。

2A.8 ポート概念図

下図は、ポート制御機能の概念図を示します。

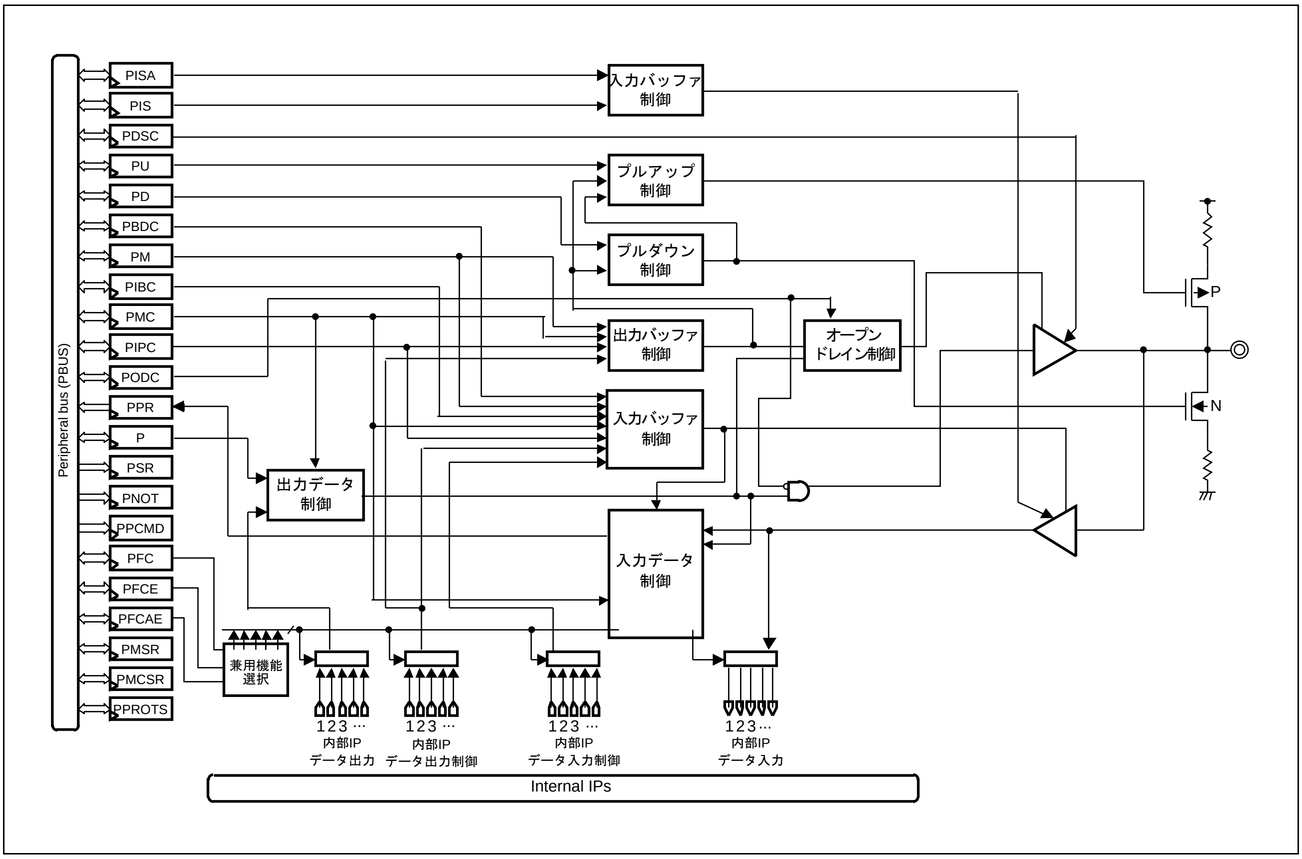


図 2A.5 ポート概念図

注 意

公開されている兼用機能を使用してください。公開されていない兼用機能を選択した場合の動作および性能は保証できません。

2A.9　ポートグループコンフィグレーションレジスタ

この節では、はじめにすべてのコンフィグレーションレジスタの概要を示し、次に各レジスタの詳細を示します。コンフィグレーションレジスタは次のように分類されます。

- 「**2A.9.2 端子機能の設定**」
- 「**2A.9.3 端子データ入力／出力**」
- 「**2A.9.4 電気的特性の設定**」

2A.9.1　概要

次のレジスタは、ポートグループの各端子の設定に使用されます。

<PORTn_base>および<JPORT0_base>は「**2A.6.3 レジスタベースアドレス**」を参照してください。

表 2A.14　ポートグループコンフィグレーションレジスタ

モジュール名	レジスタ名	略号	アドレス
端子機能の設定			
PORT	ポートモードコントロールレジスタ	PMCn	<PORTn_base> + 0400_H + n × 4
JTAG		JPMC0	<JPORT0_base> + 0040_H
PORT	ポートモードコントロールセット／リセットレジスタ	PMCSRn	<PORTn_base> + 0900_H + n × 4
JTAG		JPMCSR0	<JPORT0_base> + 0090_H
PORT	ポート IP コントロールレジスタ	PIPCn	<PORTn_base> + 4200_H + n × 4
PORT	ポートモードレジスタ	PMn	<PORTn_base> + 0300_H + n × 4
		APMn	<PORTn_base> + $03C8_H$ + n × 4
JTAG		JPM0	<JPORT0_base> + 0030_H
PORT	ポートモードセット／リセットレジスタ	PMSRn	<PORTn_base> + 0800_H + n × 4
		APMSRn	<PORTn_base> + $08C8_H$ + n × 4
JTAG		JPMSR0	<JPORT0_base> + 0080_H
PORT	ポート入力バッファコントロールレジスタ	PIBCn	<PORTn_base> + 4000_H + n × 4
		APIBCn	<PORTn_base> + $40C8_H$ + n × 4
JTAG		JPIBC0	<JPORT0_base> + 0400_H
PORT		IPIBC0	<PORTn_base> + $40F0_H$
PORT	ポート機能コントロールレジスタ	PFCn	<PORTn_base> + 0500_H + n × 4
JTAG		JPFC0	<JPORT0_base> + 0050_H
PORT	ポート機能コントロール拡張レジスタ	PFCEn	<PORTn_base> + 0600_H + n × 4
JTAG		JPFCE0	<JPORT0_base> + 0060_H
PORT	ポート機能コントロール追加拡張レジスタ	PFCAEn	<PORTn_base> + $0A00_H$ + n × 4
端子データ入力／出力			
PORT	ポート双方向コントロールレジスタ	PBDCn	<PORTn_base> + 4100_H + n × 4
		APBDCn	<PORTn_base> + $41C8_H$ + n × 4
JTAG		JPBDC0	<JPORT0_base> + 0410_H
PORT	ポート端子リードレジスタ	PPRn	<PORTn_base> + 0200_H + n × 4
		APPRn	<PORTn_base> + $02C8_H$ + n × 4
JTAG		JPPR0	<JPORT0_base> + 0020_H
PORT		IPPR0	<PORTn_base> + $02F0_H$

表 2A.14　　ポートグループコンフィグレーションレジスタ

モジュール名	レジスタ名	略号	アドレス
端子データ入力／出力			
PORT	ポートレジスタ	Pn	<PORTn_base> + 0000$_H$ + n × 4
		APn	<PORTn_base> + 00C8$_H$ + n × 4
JTAG		JP0	<JPORT0_base> + 0000$_H$
PORT	ポートノットレジスタ	PNOTn	<PORTn_base> + 0700$_H$ + n × 4
		APNOTn	<PORTn_base> + 07C8$_H$ + n × 4
JTAG		JPNOT0	<JPORT0_base> + 0070$_H$
PORT	ポートセット／リセットレジスタ	PSRn	<PORTn_base> + 0100$_H$ + n × 4
		APSRn	<PORTn_base> + 01C8$_H$ + n × 4
JTAG		JPSR0	<JPORT0_base> + 0010$_H$
電気的特性の設定			
PORT	プルアップオプションレジスタ	PUn	<PORTn_base> + 4300$_H$ + n × 4
JTAG		JPU0	<JPORT0_base> + 0430$_H$
PORT	プルダウンオプションレジスタ	PDn	<PORTn_base> + 4400$_H$ + n × 4
JTAG		JPD0	<JPORT0_base> + 0440$_H$
PORT	ポートドライブ強度コントロールレジスタ	PDSCn	<PORTn_base> + 4600$_H$ + n × 4
JTAG		JPDSC0	<JPORT0_base> + 0460$_H$
PORT	ポートオープンドレインコントロールレジスタ	PODCn	<PORTn_base> + 4500$_H$ + n × 4
JTAG		JPODC0	<JPORT0_base> + 0450$_H$
PORT	ポート入力バッファ選択レジスタ	PISn	<PORTn_base> + 4700$_H$ + n × 4
JTAG		JPIS0	<JPORT0_base> + 0470$_H$
PORT	ポート入力バッファ選択アドバンストレジスタ	PISAn	<PORTn_base> + 4A00$_H$ + n × 4
JTAG		JPISA0	<JPORT0_base> + 04A0$_H$
ポートレジスタ保護			
PORT	ポート保護コマンドレジスタ	PPCMDn	<PORTn_base> + 4C00$_H$ + n × 4
JTAG		JPPCMD0	<JPORT0_base> + 04C0$_H$
PORT	ポート保護ステータスレジスタ	PPROTSn	<PORTn_base> + 4B00$_H$ + n × 4
JTAG		JPPROTS0	<JPORT0_base> + 04B0$_H$

n の意味

「**表 2A.14 ポートグループコンフィグレーションレジスタ**」では、レジスタの略号の添字「n」は、ポートグループのインデクス "n" に対応します。たとえば、ポートモードコントロールレジスタ PMCn は、ポートグループ n（Pn）に対応しています。n の値の種類は、デバイスの端子数により、「**表 2A.15 デバイスの端子数と対応するポートグループ、レジスタの略号「n」の種類**」のように異なります。

表 2A.15　デバイスの端子数と対応するポートグループ、レジスタの略号「n」の種類

デバイスの端子数	対応するポートグループ	n の種類
176 Pin	P0, P1, P2, P8, P9, P10, P11, P12, P18, P20	0,1,2,8,9,10,11,12,18,20
	AP0, AP1	0, 1
233 Pin	P0, P1, P2, P3, P8, P9, P10, P11, P12, P13, P18, P19, P20	0,1,2,3,8,9,10,11,12,13,18,19,20
	AP0, AP1	0, 1
324 Pin	P0, P1, P2, P3, P8, P9, P10, P11, P12, P13, P18, P19, P20, P21, P22, P23, P24	0,1,2,3,8,9,10,11,12,13,18,19,20,21,22,23,24
	AP0, AP1	0, 1

JTAG ポートレジスタ

以降のレジスタ説明では、JTAG ポートレジスタについて記載していません。
すべての説明（PFCAEn レジスタ、PIPCn レジスタ以外）は JTAG ポートレジスタも適用されますが、JTAG ポートレジスタのベースアドレスは異なります。

リセット後の値

リセット後の値はポートに依存します。リセット後の値については、以降のレジスタ説明を参照してください。

2A.9.2　　端子機能の設定

2A.9.2.1　　PMCn / JPMC0 ― ポートモードコントロールレジスタ

このレジスタは、ポートグループ n の各端子がポートモードか兼用モードかを指定します。

アクセス　PMCn：16 ビット単位でリード／ライト可能です。

JPMC0：8 ビット単位でリード／ライト可能です。

アドレス　PMCn：<PORTn_base> + 0400_H + n × 4（n＝0, 1, 2, 3, 8, 9, 10, 11, 12, 13, 18, 20, 21, 22, 23, 24）

JPMC0：<JPORT0_base> + 0040_H 注 1

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMCn_15	PMCn_14	PMCn_13	PMCn_12	PMCn_11	PMCn_10	PMCn_9	PMCn_8	PMCn_7	PMCn_6	PMCn_5	PMCn_4	PMCn_3	PMCn_2	PMCn_1	PMCn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「2A.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2A.40 制御レジスタ（JP0）」**、**「表 2A.42 制御レジスタ（P0）」**、**「表 2A.44 制御レジスタ（P1）」**、**「表 2A.46 制御レジスタ（P2）」**、**「表 2A.48 制御レジスタ（P3）」**、**「表 2A.50 制御レジスタ（P8）」**、**「表 2A.52 制御レジスタ（P9）」**、**「表 2A.54 制御レジスタ（P10）」**、**「表 2A.56 制御レジスタ（P11）」**、**「表 2A.58 制御レジスタ（P12）」**、**「表 2A.60 制御レジスタ（P13）」**、**「表 2A.62 制御レジスタ（P18）」**、**「表 2A.66 制御レジスタ（P20）」**、**「表 2A.68 制御レジスタ（P21）」**、**「表 2A.70 制御レジスタ（P22）」**、**「表 2A.72 制御レジスタ（P23）」**、**「表 2A.74 制御レジスタ（P24）」**）を参照してください。

表 2A.16　　PMCn レジスタの内容

ビット位置	ビット名	機能
15～0	PMCn_[15:0]	対応する端子の動作モードを指定します。 0：ポートモード 1：兼用モード

注　意

1. 兼用モード（PMCn.PMCn_m ビット＝1）に設定するだけでは入出力制御は行われません。兼用機能が直接入出力制御を行う場合は PIPCn.PIPCn_m ビットにも“1”を設定してください。
2. ポートが兼用モードの入力端子として使用される場合、ノイズフィルタを通過する端子があります。このような端子は、FCLA0CTLm_<*name*>、DNFA<*name*>CTL および DNFA<*name*>EN レジスタの設定が必要になる場合があります。詳細は**「2A.12 ノイズフィルタ＆エッジレベル検出回路」**および**「2A.13 ポートノイズフィルタ＆エッジ／レベル検出機能説明」**を参照してください。

備　考

JTAG ポートモードコントロールレジスタ（JPMC0）の制御ビットは JPMC0_[7:0]になります。

2A.9.2.2　PMCSRn / JPMCSR0 — ポートモードコントロールセット／リセットレジスタ

このレジスタにより、PMCn レジスタにデータをライトするもう 1 つの方法を示します。

PMCSRn の上位 16 ビットは、PMCSRn の下位 16 ビットで指定した PMCn.PMCn_m にデータをライトするかどうかを指定します。

アクセス　PMCSRn：32 ビット単位でリード／ライト可能です。ビット 31～16 は常に 0000_H をリードします。ビット 15～0 は PMCn レジスタの値をリードします。

JPMCSR0：32 ビット単位でリード／ライト可能です。ビット 31～8 は常に 000000_H をリードします。ビット 7～0 は JPMC0 レジスタの値をリードします。

アドレス　PMCSRn：<PORTn_base> + 0900_H + n × 4（n＝0, 1, 2, 3, 8, 9, 10, 11, 12, 13, 18, 20, 21, 22, 23, 24）

JPMCSR0：<JPORT0_base> + 0090_H 注 1

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PMCSRn_31	PMCSRn_30	PMCSRn_29	PMCSRn_28	PMCSRn_27	PMCSRn_26	PMCSRn_25	PMCSRn_24	PMCSRn_23	PMCSRn_22	PMCSRn_21	PMCSRn_20	PMCSRn_19	PMCSRn_18	PMCSRn_17	PMCSRn_16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMCSRn_15	PMCSRn_14	PMCSRn_13	PMCSRn_12	PMCSRn_11	PMCSRn_10	PMCSRn_9	PMCSRn_8	PMCSRn_7	PMCSRn_6	PMCSRn_5	PMCSRn_4	PMCSRn_3	PMCSRn_2	PMCSRn_1	PMCSRn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「2A.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2A.40 制御レジスタ（JP0）」**、**「表 2A.42 制御レジスタ（P0）」**、**「表 2A.44 制御レジスタ（P1）」**、**「表 2A.46 制御レジスタ（P2）」**、**「表 2A.48 制御レジスタ（P3）」**、**「表 2A.50 制御レジスタ（P8）」**、**「表 2A.52 制御レジスタ（P9）」**、**「表 2A.54 制御レジスタ（P10）」**、**「表 2A.56 制御レジスタ（P11）」**、**「表 2A.58 制御レジスタ（P12）」**、**「表 2A.60 制御レジスタ（P13）」**、**「表 2A.62 制御レジスタ（P18）」**、**「表 2A.66 制御レジスタ（P20）」**、**「表 2A.68 制御レジスタ（P21）」**、**「表 2A.70 制御レジスタ（P22）」**、**「表 2A.72 制御レジスタ（P23）」**、**「表 2A.74 制御レジスタ（P24）」**）を参照してください。

表 2A.17　PMCSRn レジスタの内容

ビット位置	ビット名	機能
31～16	PMCSRn_[31:16]	対応する PMCSRn_m の下位ビット（PMCSRn_[15:0]）の値を PMCn_m にライトするかどうかを指定するイネーブルビットです。 0：PMCn_m は PMCSRn_m に依存しません。 1：PMCn_m は PMCSRn_m の値になります。 例） PMCSRn.PMCSRn_31＝1 の場合、PMCSRn.PMCSRn_15 ビットの値を PMCn.PMCn_15 ビットにライトします。
15～0	PMCSRn_[15:0]	対応する上位ビット（PMCSRn_[31:16]）の PMCSRn_m が 1 の場合、PMCn_m の値を指定するデータビットです。 0：PMCn_m＝0 1：PMCn_m＝1

備　考

JTAG ポートモードコントロールセット／リセットレジスタ（JPMCSR0）の制御ビットは JPMCSR0_[31:0]になります。

2A.9.2.3 PIPCn — ポート IP コントロールレジスタ

このレジスタは、Pn_m 端子の入出力方向がポートモードレジスタ PMn.PMn_m と兼用機能のどちらによって制御するかを指定します。

Pn_m 端子が兼用モード（PMCn.PMCn_m＝1）となり、兼用機能が直接 Pn_m の入出力方向を制御する場合、PIPCn.PIPCn_m は 1 に設定する必要があります。これにより兼用機能が入出力制御を行い、PMn.PMn_m の設定が無効となります。

PIPC の設定が必要な兼用機能については「**2A.11 ポート（特殊 I/O）機能概要**」を参照してください。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　PIPCn : <PORTn_base> + 4200_H + n × 4（n＝0, 1, 2, 10, 11, 12, 20, 21, 22, 23）注1

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIPCn_15	PIPCn_14	PIPCn_13	PIPCn_12	PIPCn_11	PIPCn_10	PIPCn_9	PIPCn_8	PIPCn_7	PIPCn_6	PIPCn_5	PIPCn_4	PIPCn_3	PIPCn_2	PIPCn_1	PIPCn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1. 有効ビット位置（m の値）はデバイスの端子数によって変わります。
「**2A.10 ポート（汎用 I/O）機能概要**」のポートグループごとの制御レジスタの表（「**表 2A.42 制御レジスタ（P0）**」、「**表 2A.44 制御レジスタ（P1）**」、「**表 2A.46 制御レジスタ（P2）**」、「**表 2A.54 制御レジスタ（P10）**」、「**表 2A.56 制御レジスタ（P11）**」、「**表 2A.58 制御レジスタ（P12）**」、「**表 2A.66 制御レジスタ（P20）**」、「**表 2A.68 制御レジスタ（P21）**」、「**表 2A.70 制御レジスタ（P22）**」、「**表 2A.72 制御レジスタ（P23）**」）を参照してください。

表 2A.18　PIPCn レジスタの内容

ビット位置	ビット名	機能
15～0	PIPCn_[15:0]	入出力モードを指定します。 0：入出力モードは PMn.PMn_m（S/W 入出力制御）によって選択します。 1：入出力モードは周辺機能（直接入出力制御）によって選択します。

2A.9.2.4　PMn / APMn / JPM0 ― ポートモードレジスタ

このレジスタは、ポートグループ n の各端子が入力モードか出力モードかを指定します。

アクセス　PMn, APMn：16 ビット単位でリード／ライト可能です。
JPM0：8 ビット単位でリード／ライト可能です。

アドレス　PMn：<PORTn_base> + 0300$_H$ + n × 4（n＝0, 1, 2, 3, 8, 9, 10, 11, 12, 13, 18, 19, 20, 21, 22, 23, 24）
APMn：<PORTn_base> + 03C8$_H$ + n × 4（n＝0, 1）
JPM0：<JPORT0_base> + 0030$_H$ 注1

リセット後の値　FFFF$_H$ 注2

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMn_15	PMn_14	PMn_13	PMn_12	PMn_11	PMn_10	PMn_9	PMn_8	PMn_7	PMn_6	PMn_5	PMn_4	PMn_3	PMn_2	PMn_1	PMn_0
リセット後の値	1	1	1	1	1	1	1	1	1	1 注3	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「2A.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2A.40 制御レジスタ（JP0）」**、**「表 2A.42 制御レジスタ（P0）」**、**「表 2A.44 制御レジスタ（P1）」**、**「表 2A.46 制御レジスタ（P2）」**、**「表 2A.48 制御レジスタ（P3）」**、**「表 2A.50 制御レジスタ（P8）」**、**「表 2A.52 制御レジスタ（P9）」**、**「表 2A.54 制御レジスタ（P10）」**、**「表 2A.56 制御レジスタ（P11）」**、**「表 2A.58 制御レジスタ（P12）」**、**「表 2A.60 制御レジスタ（P13）」**、**「表 2A.62 制御レジスタ（P18）」**、**「表 2A.64 制御レジスタ（P19）」**、**「表 2A.66 制御レジスタ（P20）」**、**「表 2A.68 制御レジスタ（P21）」**、**「表 2A.70 制御レジスタ（P22）」**、**「表 2A.72 制御レジスタ（P23）」**、**「表 2A.74 制御レジスタ（P24）」**、**「表 2A.76 制御レジスタ（AP0）」**、**「表 2A.78 制御レジスタ（AP1）」**）を参照してください。
注2.　PM8 レジスタは次のとおりです。
OPBT0.RESETOUTEN＝1 の時、PM8 レジスタは FFBF$_H$。
OPBT0.RESETOUTEN＝0 の時、PM8 レジスタは FFFF$_H$。
注3.　PM8_6 ビットは次のとおりです。
OPBT0.RESETOUTEN＝1 の時、PM8_6 ビットは 0。
OPBT0.RESETOUTEN＝0 の時、PM8_6 ビットは 1。

表 2A.19　PMn レジスタの内容

ビット位置	ビット名	機能
15～0	PMn_[15:0]	対応する端子の入力／出力モードを指定します。 0：出力モード（出力許可） 1：入力モード（出力禁止）

備　考

1. ポートを入力ポートモード（PMCn.PMCn_m＝0 かつ PMn.PMn_m＝1）で使用する場合は、入力バッファを許可する必要があります（PIBCn.PIBCn_m＝1）。
2. リセット後は PIPCn.PIPCn_m＝0（入出力モードは PMn.PMn_m によって制御）ですので、PMn_m はポートモード（PMCn.PMCn_m＝0）と兼用モード（PMCn.PMCn_m＝1）の入出力方向を指定します。
3. アナログポートレジスタ（APMn）の制御ビットは、APMn_[15:0]になります。
4. JTAG ポートモードレジスタ（JPM0）の制御ビットは JPM0_[7:0]になります。

2A.9.2.5 PMSRn / APMSRn / JPMSR0 — ポートモードセット／リセットレジスタ

このレジスタにより、PMn レジスタにデータをライトするもう 1 つの方法を示します。

PMSRn の上位 16 ビットは、PMSRn の下位 16 ビットで指定した PMn.PMn_m にデータをライトするかどうかを指定します。

アクセス PMSRn, APMSRn：32 ビット単位でリード／ライト可能です。ビット 31〜16 は常に 0000_H をリードします。ビット 15〜0 は PMn, APMn レジスタの値をリードします。
JPMSR0：32 ビット単位でリード／ライト可能です。ビット 31〜16 は常に 0000_H をリードします。ビット 15〜8 は FF_H をリードします。ビット 7〜0 は JPM0 レジスタの値をリードします。

アドレス PMSRn：<PORTn_base> + 0800_H + n × 4（n＝0, 1, 2, 3, 8, 9, 10, 11, 12, 13, 18, 19, 20, 21, 22, 23, 24）
APMSRn：<PORTn_base> + $08C8_H$ + n × 4（n＝0, 1）
JPMSR0：<JPORT0_base> + 0080_H 注 1

リセット後の値 0000 $FFFF_H$ 注 2

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PMSRn_31	PMSRn_30	PMSRn_29	PMSRn_28	PMSRn_27	PMSRn_26	PMSRn_25	PMSRn_24	PMSRn_23	PMSRn_22	PMSRn_21	PMSRn_20	PMSRn_19	PMSRn_18	PMSRn_17	PMSRn_16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMSRn_15	PMSRn_14	PMSRn_13	PMSRn_12	PMSRn_11	PMSRn_10	PMSRn_9	PMSRn_8	PMSRn_7	PMSRn_6	PMSRn_5	PMSRn_4	PMSRn_3	PMSRn_2	PMSRn_1	PMSRn_0
リセット後の値	1	1	1	1	1	1	1	1	1	1 注 3	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1. 有効ビット位置（m の値）はデバイスの端子数によって変わります。
「**2A.10 ポート（汎用 I/O）機能概要**」のポートグループごとの制御レジスタの表（「**表 2A.40 制御レジスタ（JP0）**」、「**表 2A.42 制御レジスタ（P0）**」、「**表 2A.44 制御レジスタ（P1）**」、「**表 2A.46 制御レジスタ（P2）**」、「**表 2A.48 制御レジスタ（P3）**」、「**表 2A.50 制御レジスタ（P8）**」、「**表 2A.52 制御レジスタ（P9）**」、「**表 2A.54 制御レジスタ（P10）**」、「**表 2A.56 制御レジスタ（P11）**」、「**表 2A.58 制御レジスタ（P12）**」、「**表 2A.60 制御レジスタ（P13）**」、「**表 2A.62 制御レジスタ（P18）**」、「**表 2A.64 制御レジスタ（P19）**」、「**表 2A.66 制御レジスタ（P20）**」、「**表 2A.68 制御レジスタ（P21）**」、「**表 2A.70 制御レジスタ（P22）**」、「**表 2A.72 制御レジスタ（P23）**」、「**表 2A.74 制御レジスタ（P24）**」、「**表 2A.76 制御レジスタ（AP0）**」、「**表 2A.78 制御レジスタ（AP1）**」）を参照してください。

注2. PMSR8 レジスタは次のとおりです。
OPBT0.RESETOUTEN＝1 の時、PMSR8 レジスタは 0000 $FFBF_H$。
OPBT0.RESETOUTEN＝0 の時、PMSR8 レジスタは 0000 $FFFF_H$。

注3. PMSR8_6 ビットは次のとおりです。
OPBT0.RESETOUTEN＝1 の時、PMSR8_6 ビットは 0。
OPBT0.RESETOUTEN＝0 の時、PMSR8_6 ビットは 1。

表 2A.20 PMSRn レジスタの内容

ビット位置	ビット名	機能
31〜16	PMSRn_[31:16]	対応する PMSRn_m の下位ビット（PMSRn_[15:0]）の値を PMn_m にライトするかどうかを指定するイネーブルビットです。 0：PMn_m は PMSRn_m に依存しません。 1：PMn_m は PMSRn_m の値になります。 例） PMSRn.PMSRn_31＝1 の場合、PMSRn.PMSRn_15 ビットの値を PMn.PMn_15 ビットにライトします。

表 2A.20　　PMSRn レジスタの内容

ビット位置	ビット名	機能
15～0	PMSRn_[15:0]	対応する上位ビット（PMSRn_[31:16]）の PMSRn_m が 1 の場合、PMn_m 値を指定するデータビットです。 0：PMn_m＝0 1：PMn_m＝1

備　考

1. JTAG ポートモードセット／リセットレジスタ（JPMSR0）の制御ビットは JPMSR0_[31:0]になります。
2. アナログポートモードセット／リセットレジスタ（APMSRn）の制御ビットは APMSRn_[31:0]になります。

2A.9.2.6　PIBCn / APIBCn / JPIBC0 / IPIBC0 ― ポート入力バッファコントロールレジスタ

このレジスタは、入力ポートモード（PMCn.PMCn_m＝0 かつ PMn.PMn_m＝1）で、ポート端子の入力バッファを許可します。

アクセス　PIBCn, APIBCn, IPIBC0：16 ビット単位でリード／ライト可能です。
JPIBC0：8 ビット単位でリード／ライト可能です。

アドレス　PIBCn：<PORTn_base> + 4000_H + n × 4（n＝0, 1, 2, 3, 8, 9, 10, 11, 12, 13, 18, 19, 20, 21, 22, 23, 24）
APIBCn：<PORTn_base> + $40C8_H$+ n × 4（n＝0, 1）
JPIBC0：<JPORT0_base> + 0400_H
IPIBC0：<PORTn_base> + $40F0_H$ 注1

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIBCn_15	PIBCn_14	PIBCn_13	PIBCn_12	PIBCn_11	PIBCn_10	PIBCn_9	PIBCn_8	PIBCn_7	PIBCn_6	PIBCn_5	PIBCn_4	PIBCn_3	PIBCn_2	PIBCn_1	PIBCn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「2A.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2A.40 制御レジスタ（JP0）」**、**「表 2A.42 制御レジスタ（P0）」**、**「表 2A.44 制御レジスタ（P1）」**、**「表 2A.46 制御レジスタ（P2）」**、**「表 2A.48 制御レジスタ（P3）」**、**「表 2A.50 制御レジスタ（P8）」**、**「表 2A.52 制御レジスタ（P9）」**、**「表 2A.54 制御レジスタ（P10）」**、**「表 2A.56 制御レジスタ（P11）」**、**「表 2A.58 制御レジスタ（P12）」**、**「表 2A.60 制御レジスタ（P13）」**、**「表 2A.62 制御レジスタ（P18）」**、**「表 2A.64 制御レジスタ（P19）」**、**「表 2A.66 制御レジスタ（P20）」**、**「表 2A.68 制御レジスタ（P21）」**、**「表 2A.70 制御レジスタ（P22）」**、**「表 2A.72 制御レジスタ（P23）」**、**「表 2A.74 制御レジスタ（P24）」**、**「表 2A.76 制御レジスタ（AP0）」**、**「表 2A.78 制御レジスタ（AP1）」**、**「表 2A.80 制御レジスタ（IP0）」**）を参照してください。

表 2A.21　PIBCn レジスタの内容

ビット位置	ビット名	機能
15～0	PIBCn_[15:0]	入力バッファを許可／禁止します。 0：入力バッファ禁止 1：入力バッファ許可

備　考

1. 入力バッファを禁止すると、端子レベルが Hi-Z 状態でも貫通電流が流れません。したがって、外部から端子をハイまたはロウレベルに固定する必要はありません。
2. JTAG ポート入力バッファコントロールレジスタ（JPIBC0）の制御ビットは JPIBC0_[7:0]になります。

注　意

このレジスタの設定は、双方向モード（PBDCn.PBDCn_m＝1）では無効です。

2A.9.2.7　PFCn / JPFC0 ― ポート機能コントロールレジスタ

このレジスタは、PFCEn、PFCAEn レジスタとともに、端子の兼用機能を指定します。

いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCn_m は 1 に設定する必要があり、入出力は周辺機能で指定されます。

ほかの兼用機能では、入出力は PMn.PMn_m によって指定します。

アクセス　PFCn：16 ビット単位でリード／ライト可能です。
JPFC0：8 ビット単位でリード／ライト可能です。

アドレス　PFCn：<PORTn_base> + 0500_H + n × 4（n＝0, 1, 2, 3, 8, 9, 10, 11, 12, 13, 18, 20, 24）
JPFC0：<JPORT0_base> + 0050_H 注1

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFCn_15	PFCn_14	PFCn_13	PFCn_12	PFCn_11	PFCn_10	PFCn_9	PFCn_8	PFCn_7	PFCn_6	PFCn_5	PFCn_4	PFCn_3	PFCn_2	PFCn_1	PFCn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「2A.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2A.40 制御レジスタ（JP0）」**、**「表 2A.42 制御レジスタ（P0）」**、**「表 2A.44 制御レジスタ（P1）」**、**「表 2A.46 制御レジスタ（P2）」**、**「表 2A.48 制御レジスタ（P3）」**、**「表 2A.50 制御レジスタ（P8）」**、**「表 2A.52 制御レジスタ（P9）」**、**「表 2A.54 制御レジスタ（P10）」**、**「表 2A.56 制御レジスタ（P11）」**、**「表 2A.58 制御レジスタ（P12）」**、**「表 2A.60 制御レジスタ（P13）」**、**「表 2A.62 制御レジスタ（P18）」**、**「表 2A.66 制御レジスタ（P20）」**、**「表 2A.74 制御レジスタ（P24）」**）を参照してください。

表 2A.22　　PFCn レジスタの内容

ビット位置	ビット名	機能
15～0	PFCn_[15:0]	端子の兼用機能を指定します。 詳細は**「表 2A.25 兼用機能の設定」**を参照してください。

備　考

JTAG ポート機能コントロールレジスタ（JPFC0）の制御ビットは JPFC0_[7:0]になります。

2A.9.2.8　PFCEn / JPFCE0 — ポート機能コントロール拡張レジスタ

このレジスタは、PFCn、PFCAEn レジスタとともに、端子の兼用機能を指定します。

いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCn_m は 1 に設定する必要があり、入出力は周辺機能で指定されます。

ほかの兼用機能では、入出力は PMn.PMn_m によって指定します。

アクセス　PFCEn：16 ビット単位でリード／ライト可能です。
JPFCE0：8 ビット単位でリード／ライト可能です。

アドレス　PFCEn：<PORTn_base> + 0600_H + n × 4（n＝0, 1, 2, 8, 9, 10, 11, 12, 18, 20）
JPFCE0：<JPORT0_base> + 0060_H 注1

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFCEn_15	PFCEn_14	PFCEn_13	PFCEn_12	PFCEn_11	PFCEn_10	PFCEn_9	PFCEn_8	PFCEn_7	PFCEn_6	PFCEn_5	PFCEn_4	PFCEn_3	PFCEn_2	PFCEn_1	PFCEn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「**2A.10 ポート（汎用 I/O）機能概要**」のポートグループごとの制御レジスタの表（「**表 2A.40 制御レジスタ（JP0）**」、「**表 2A.42 制御レジスタ（P0）**」、「**表 2A.44 制御レジスタ（P1）**」、「**表 2A.46 制御レジスタ（P2）**」、「**表 2A.50 制御レジスタ（P8）**」、「**表 2A.52 制御レジスタ（P9）**」、「**表 2A.54 制御レジスタ（P10）**」、「**表 2A.56 制御レジスタ（P11）**」、「**表 2A.58 制御レジスタ（P12）**」、「**表 2A.62 制御レジスタ（P18）**」、「**表 2A.66 制御レジスタ（P20）**」）を参照してください。

表 2A.23　PFCEn レジスタの内容

ビット位置	ビット名	機能
15～0	PFCEn_[15:0]	端子の兼用機能を指定します。 詳細は「**表 2A.25 兼用機能の設定**」を参照してください。

2A.9.2.9　PFCAEn ― ポート機能コントロール追加拡張レジスタ

このレジスタは、PFCEn、PFCn レジスタとともに、兼用周辺機能を選択します。

いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCn_m は 1 に設定する必要があり、入出力は周辺機能で指定されます。

ほかの兼用機能では、入出力は PMn.PMn_m によって指定します。

アクセス　PFCAEn：16 ビット単位でリード／ライト可能です。

アドレス　PFCAEn：<PORTn_base> + 0A00H + n × 4（n＝0, 1, 2, 8, 9, 10, 11, 12, 20）注 1

リセット後の値　0000H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFCAEn_15	PFCAEn_14	PFCAEn_13	PFCAEn_12	PFCAEn_11	PFCAEn_10	PFCAEn_9	PFCAEn_8	PFCAEn_7	PFCAEn_6	PFCAEn_5	PFCAEn_4	PFCAEn_3	PFCAEn_2	PFCAEn_1	PFCAEn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「2A.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2A.42 制御レジスタ（P0）」**、**「表 2A.44 制御レジスタ（P1）」**、**「表 2A.46 制御レジスタ（P2）」**、**「表 2A.50 制御レジスタ（P8）」**、**「表 2A.52 制御レジスタ（P9）」**、**「表 2A.54 制御レジスタ（P10）」**、**「表 2A.56 制御レジスタ（P11）」**、**「表 2A.58 制御レジスタ（P12）」**、**「表 2A.66 制御レジスタ（P20）」**）を参照してください。

表 2A.24　　PFCAEn レジスタの内容

ビット位置	ビット名	機能
15～0	PFCAEn_[15:0]	端子の兼用機能を指定します。 詳細は「**表 2A.25 兼用機能の設定**」を参照してください。

表 2A.25　　兼用機能の設定

PFCAEn_m	PFCEn_m	PFCn_m	PMn_m	機能
0	0	0	1	兼用入力モード 1
			0	兼用出力モード 1
		1	1	兼用入力モード 2
			0	兼用出力モード 2
	1	0	1	兼用入力モード 3
			0	兼用出力モード 3
		1	1	兼用入力モード 4
			0	兼用出力モード 4
1	0	0	1	兼用入力モード 5
			0	兼用出力モード 5
		1	1	兼用入力モード 6
			0	兼用出力モード 6
	1	0	1	兼用入力モード 7
			0	兼用出力モード 7
		1	X	設定禁止

注　意

- PFCn_m, PFCEn_m, PFCAEn_m ビットで兼用機能を選択後、PMCn_m＝1 に設定してください。
- この製品では、一部機能の入出力を 2 ヵ所で兼用していますが、使用できる端子機能としてはいずれか一方のみになります。2 ヵ所で同じ端子機能を設定することは禁止です。例えば、a/b/c 端子を b として使用する場合、b/d/e 端子は b として使用できません。b 以外の端子機能として設定して使用してください。

備　考

各機能の割り当ての詳細については、「**2A.10.1.2 制御レジスタ**」～「**2A.10.15.2 制御レジスタ**」を参照してください。

2A.9.3　端子データ入力／出力

2A.9.3.1　PBDCn / APBDCn / JPBDC0 ― ポート双方向コントロールレジスタ

このレジスタは、出力モード時、入力バッファを許可し、ポートを双方向モードにします。双方向モード時、PPRn.PPRn_m は Pn_m 端子のレベルを読み出すことができます。

アクセス　PBDCn, APBDCn : 16 ビット単位でリード／ライト可能です。

JPBDC0 : 8 ビット単位でリード／ライト可能です。

アドレス　PBDCn : <PORTn_base> + 4100_H + n × 4（n=0, 1, 2, 3, 8, 9, 10, 11, 12, 13, 18, 19, 20, 21, 22, 23, 24）

APBDCn : <PORTn_base> + $41C8_H$ + n × 4（n=0, 1）

JPBDC0 : <JPORT0_base> + 0410_H 注1

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PBDCn_15	PBDCn_14	PBDCn_13	PBDCn_12	PBDCn_11	PBDCn_10	PBDCn_9	PBDCn_8	PBDCn_7	PBDCn_6	PBDCn_5	PBDCn_4	PBDCn_3	PBDCn_2	PBDCn_1	PBDCn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「2A.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2A.40 制御レジスタ（JP0）」**、**「表 2A.42 制御レジスタ（P0）」**、**「表 2A.44 制御レジスタ（P1）」**、**「表 2A.46 制御レジスタ（P2）」**、**「表 2A.48 制御レジスタ（P3）」**、**「表 2A.50 制御レジスタ（P8）」**、**「表 2A.52 制御レジスタ（P9）」**、**「表 2A.54 制御レジスタ（P10）」**、**「表 2A.56 制御レジスタ（P11）」**、**「表 2A.58 制御レジスタ（P12）」**、**「表 2A.60 制御レジスタ（P13）」**、**「表 2A.62 制御レジスタ（P18）」**、**「表 2A.64 制御レジスタ（P19）」**、**「表 2A.66 制御レジスタ（P20）」**、**「表 2A.68 制御レジスタ（P21）」**、**「表 2A.70 制御レジスタ（P22）」**、**「表 2A.72 制御レジスタ（P23）」**、**「表 2A.74 制御レジスタ（P24）」**、**「表 2A.76 制御レジスタ（AP0）」**、**「表 2A.78 制御レジスタ（AP1）」**）を参照してください。

表 2A.26　PBDCn レジスタの内容

ビット位置	ビット名	機能
15～0	PBDCn[15:0]	対応する端子の双方向モードの許可／禁止を指定します。 0：双方向モードを禁止 1：双方向モードを許可

注　意

- Pn_m ポートを兼用出力機能（PMCn.PMCn_m＝1、PMn.PMn_m＝0）として使用する場合、双方向モードを許可（PBDCn.PBDCn_m＝1）することにより、PPRn.PPRn_m で Pn_m 端子のレベルをリードすることができます。
- しかし、その兼用出力機能の出力は、同端子の兼用入力機能（PFCn.PFCn_m、PFCEn.PFCEn_m および PFCAEn.PFCAEn_m で設定された兼用入力機能）に入力されます。この兼用入力機能を他の端子で使用している場合は、その兼用入力機能の動作は保証できません。

備　考

JTAG ポート双方向コントロールレジスタ（JPBDC0）の制御ビットは JPBDC0_[7:0]になります。

2A.9.3.2　PPRn / APPRn / JPPR0 / IPPR0 — ポート端子リードレジスタ

このレジスタは、実際の Pn_m 端子レベル、Pn.Pn_m ビットの値、または兼用機能の出力レベルを表します。

アクセス　PPRn, APPRn, IPPR0：16 ビット単位でリードのみ可能です。
JPPR0：8 ビット単位でリードのみ可能です。

アドレス　PPRn：<PORTn_base> + 0200_H + n × 4（n＝0, 1, 2, 3, 8, 9, 10, 11, 12, 13, 18, 19, 20, 21, 22, 23, 24）
APPRn：<PORTn_base> + $02C8_H$ + n × 4（n＝0, 1）
JPPR0：<JPORT0_base> + 0020_H
IPPR0：<PORTn_base> + $02F0_H$ [注1]

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PPR n_15	PPR n_14	PPR n_13	PPR n_12	PPR n_11	PPR n_10	PPR n_9	PPR n_8	PPR n_7	PPR n_6	PPR n_5	PPR n_4	PPR n_3	PPR n_2	PPR n_1	PPR n_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「2A.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2A.40 制御レジスタ（JP0）」**、**「表 2A.42 制御レジスタ（P0）」**、**「表 2A.44 制御レジスタ（P1）」**、**「表 2A.46 制御レジスタ（P2）」**、**「表 2A.48 制御レジスタ（P3）」**、**「表 2A.50 制御レジスタ（P8）」**、**「表 2A.52 制御レジスタ（P9）」**、**「表 2A.54 制御レジスタ（P10）」**、**「表 2A.56 制御レジスタ（P11）」**、**「表 2A.58 制御レジスタ（P12）」**、**「表 2A.60 制御レジスタ（P13）」**、**「表 2A.62 制御レジスタ（P18）」**、**「表 2A.64 制御レジスタ（P19）」**、**「表 2A.66 制御レジスタ（P20）」**、**「表 2A.68 制御レジスタ（P21）」**、**「表 2A.70 制御レジスタ（P22）」**、**「表 2A.72 制御レジスタ（P23）」**、**「表 2A.74 制御レジスタ（P24）」**、**「表 2A.76 制御レジスタ（AP0）」**、**「表 2A.78 制御レジスタ（AP1）」**、**「表 2A.80 制御レジスタ（IP0）」**）を参照してください。

表 2A.27　PPRn レジスタの内容

ビット位置	ビット名	機能
15～0	PPRn_[15:0]	Pn_m 端子、Pn.Pn_m の値、または兼用機能の出力

備　考

1.　PPRn レジスタのリード値は、**「2A.7.4 端子データ入力／出力」**を参照してください。
2.　JTAG ポート端子リードレジスタ（JPPR0）の制御ビットは JPPR0_[7:0]になります。

2A.9.3.3　Pn / APn / JP0 — ポートレジスタ

このレジスタは、出力ポートモード時（PMCn.PMCn_m＝0, PMn.PMn_m＝0）に、関連のポート Pn_m から出力される Pn.Pn_m データを保持します。

アクセス　Pn, APn：16 ビット単位でリード／ライト可能です。
JP0：8 ビット単位でリード／ライト可能です。

アドレス　Pn：<PORTn_base> + 0000_H + n × 4（n＝0, 1, 2, 3, 8, 9, 10, 11, 12, 13, 18, 19, 20, 21, 22, 23, 24）
APn：<PORTn_base> + $00C8_H$ + n × 4（n＝0, 1）
JP0：<JPORT0_base> + 0000_H 注1

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Pn_15	Pn_14	Pn_13	Pn_12	Pn_11	Pn_10	Pn_9	Pn_8	Pn_7	Pn_6	Pn_5	Pn_4	Pn_3	Pn_2	Pn_1	Pn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「2A.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2A.40 制御レジスタ（JP0）」**、**「表 2A.42 制御レジスタ（P0）」**、**「表 2A.44 制御レジスタ（P1）」**、**「表 2A.46 制御レジスタ（P2）」**、**「表 2A.48 制御レジスタ（P3）」**、**「表 2A.50 制御レジスタ（P8）」**、**「表 2A.52 制御レジスタ（P9）」**、**「表 2A.54 制御レジスタ（P10）」**、**「表 2A.56 制御レジスタ（P11）」**、**「表 2A.58 制御レジスタ（P12）」**、**「表 2A.60 制御レジスタ（P13）」**、**「表 2A.62 制御レジスタ（P18）」**、**「表 2A.64 制御レジスタ（P19）」**、**「表 2A.66 制御レジスタ（P20）」**、**「表 2A.68 制御レジスタ（P21）」**、**「表 2A.70 制御レジスタ（P22）」**、**「表 2A.72 制御レジスタ（P23）」**、**「表 2A.74 制御レジスタ（P24）」**、**「表 2A.76 制御レジスタ（AP0）」**、**「表 2A.78 制御レジスタ（AP1）」**）を参照してください。

表 2A.28　Pn レジスタの内容

ビット位置	ビット名	機能
15～0	Pn_[15:0]	Pn_m 端子（m＝0～15）の出力レベルを設定します。 0：ロウレベル出力 1：ハイレベル出力

備　考

JTAG ポートレジスタ（JP0）の制御ビットは JP0_[7:0]になります。

2A.9.3.4　PNOTn / APNOTn / JPNOT0 — ポートノットレジスタ

このレジスタは、ポートレジスタ Pn に直接ライトせずに Pn の Pn_m ビットを反転できます。

アクセス　PNOTn, APNOTn：16 ビット単位でライトのみ可能です。常に 0000_H をリードします。

JPNOT0：8 ビット単位でライトのみ可能です。常に 00_H をリードします。

アドレス　PNOTn：<PORTn_base> + 0700_H + n × 4（n＝0, 1, 2, 3, 8, 9, 10, 11, 12, 13, 18, 19, 20, 21, 22, 23, 24）

APNOTn：<PORTn_base> + $07C8_H$ + n × 4（n＝0, 1）

JPNOT0：<JPORT0_base> + 0070_H 注1

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PNOTn_15	PNOTn_14	PNOTn_13	PNOTn_12	PNOTn_11	PNOTn_10	PNOTn_9	PNOTn_8	PNOTn_7	PNOTn_6	PNOTn_5	PNOTn_4	PNOTn_3	PNOTn_2	PNOTn_1	PNOTn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「2A.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2A.40 制御レジスタ（JP0）」**、**「表 2A.42 制御レジスタ（P0）」**、**「表 2A.44 制御レジスタ（P1）」**、**「表 2A.46 制御レジスタ（P2）」**、**「表 2A.48 制御レジスタ（P3）」**、**「表 2A.50 制御レジスタ（P8）」**、**「表 2A.52 制御レジスタ（P9）」**、**「表 2A.54 制御レジスタ（P10）」**、**「表 2A.56 制御レジスタ（P11）」**、**「表 2A.58 制御レジスタ（P12）」**、**「表 2A.60 制御レジスタ（P13）」**、**「表 2A.62 制御レジスタ（P18）」**、**「表 2A.64 制御レジスタ（P19）」**、**「表 2A.66 制御レジスタ（P20）」**、**「表 2A.68 制御レジスタ（P21）」**、**「表 2A.70 制御レジスタ（P22）」**、**「表 2A.72 制御レジスタ（P23）」**、**「表 2A.74 制御レジスタ（P24）」**、**「表 2A.76 制御レジスタ（AP0）」**、**「表 2A.78 制御レジスタ（AP1）」**）を参照してください。

表 2A.29　PNOTn レジスタの内容

ビット位置	ビット名	機能
15～0	PNOTn_[15:0]	Pn.Pn_m を反転するかどうかを指定します。 0：Pn.Pn_m を反転しない（Pn_m → Pn_m） 1：Pn.Pn_m を反転する（$\overline{\text{Pn\_m}}$ → Pn_m）

備　考

JTAG ポートノットレジスタ（JPNOT0）の制御ビットは JPNOT0_[7:0]になります。

2A.9.3.5　PSRn / APSRn / JPSR0 ― ポートセット／リセットレジスタ

このレジスタにより、Pn レジスタにデータをライトするもう 1 つの方法を示します。

PSRn の上位 16 ビットは、PSRn の下位 16 ビットで指定した Pn.Pn_m にデータをライトするかどうかを指定します。

アクセス　PSRn, APSRn：32 ビット単位でリード／ライト可能です。ビット 31～16 は常に 0000H をリードします。ビット 15～0 は Pn, APn レジスタの値をリードします。

JPSR0：32 ビット単位でリード／ライト可能です。ビット 31～8 は常に 000000H をリードします。ビット 7～0 は JP0 レジスタの値をリードします。

アドレス　PSRn：<PORTn_base> + 0100H + n × 4（n＝0, 1, 2, 3, 8, 9, 10, 11, 12, 13, 18, 19, 20, 21, 22, 23, 24）

APSRn：<PORTn_base> + 01C8H + n × 4（n＝0, 1）

JPSR0：<JPORT0_base> + 0010H 注1

リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PSRn_31	PSRn_30	PSRn_29	PSRn_28	PSRn_27	PSRn_26	PSRn_25	PSRn_24	PSRn_23	PSRn_22	PSRn_21	PSRn_20	PSRn_19	PSRn_18	PSRn_17	PSRn_16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PSRn_15	PSRn_14	PSRn_13	PSRn_12	PSRn_11	PSRn_10	PSRn_9	PSRn_8	PSRn_7	PSRn_6	PSRn_5	PSRn_4	PSRn_3	PSRn_2	PSRn_1	PSRn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「2A.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2A.40 制御レジスタ（JP0）」**、**「表 2A.42 制御レジスタ（P0）」**、**「表 2A.44 制御レジスタ（P1）」**、**「表 2A.46 制御レジスタ（P2）」**、**「表 2A.48 制御レジスタ（P3）」**、**「表 2A.50 制御レジスタ（P8）」**、**「表 2A.52 制御レジスタ（P9）」**、**「表 2A.54 制御レジスタ（P10）」**、**「表 2A.56 制御レジスタ（P11）」**、**「表 2A.58 制御レジスタ（P12）」**、**「表 2A.60 制御レジスタ（P13）」**、**「表 2A.62 制御レジスタ（P18）」**、**「表 2A.64 制御レジスタ（P19）」**、**「表 2A.66 制御レジスタ（P20）」**、**「表 2A.68 制御レジスタ（P21）」**、**「表 2A.70 制御レジスタ（P22）」**、**「表 2A.72 制御レジスタ（P23）」**、**「表 2A.74 制御レジスタ（P24）」**、**「表 2A.76 制御レジスタ（AP0）」**、**「表 2A.78 制御レジスタ（AP1）」**）を参照してください。

表 2A.30　PSRn レジスタの内容

ビット位置	ビット名	機能
31～16	PSRn_[31:16]	対応する PSRn_m の下位ビット（PSRn_[15:0]）の値を Pn_m にライトするかどうかを指定するイネーブルビットです。 0：Pn_m は PSRn_m に依存しません。 1：Pn_m は PSRn_m の値になります。 例） PSRn.PSRn_31＝1 の場合, PSRn.PSRn_15 ビットの値を Pn.Pn_15 ビットにライトします。
15～0	PSRn_[15:0]	対応する上位ビット（PSRn_[31:16]）の PSRn_m が 1 の場合、Pn_m 値を指定するデータビットです。 0：Pn_m＝0 1：Pn_m＝1

備　考

JTAG ポートセット／リセットレジスタ（JPSR0）の制御ビットは JPSR0_[31:0]になります。

2A.9.4 電気的特性の設定

2A.9.4.1 PUn / JPU0 — プルアップオプションレジスタ

このレジスタは、内蔵プルアップ抵抗を入力端子に接続するかどうかを指定します。

アクセス　PUn : 16 ビット単位でリード／ライト可能です。

JPU0 : 8 ビット単位でリード／ライト可能です。

アドレス　PUn : <PORTn_base> + 4300_H + n × 4（n＝0, 1, 2, 3, 8, 9, 10, 11,12, 13, 18, 19, 20, 21, 22, 23, 24）

JPU0 : <JPORT0_base> + 0430_H 注1

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PUn_15	PUn_14	PUn_13	PUn_12	PUn_11	PUn_10	PUn_9	PUn_8	PUn_7	PUn_6	PUn_5	PUn_4	PUn_3	PUn_2	PUn_1	PUn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「2A.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2A.40 制御レジスタ（JP0）」**、**「表 2A.42 制御レジスタ（P0）」**、**「表 2A.44 制御レジスタ（P1）」**、**「表 2A.46 制御レジスタ（P2）」**、**「表 2A.48 制御レジスタ（P3）」**、**「表 2A.50 制御レジスタ（P8）」**、**「表 2A.52 制御レジスタ（P9）」**、**「表 2A.54 制御レジスタ（P10）」**、**「表 2A.56 制御レジスタ（P11）」**、**「表 2A.58 制御レジスタ（P12）」**、**「表 2A.60 制御レジスタ（P13）」**、**「表 2A.62 制御レジスタ（P18）」**、**「表 2A.64 制御レジスタ（P19）」**、**「表 2A.66 制御レジスタ（P20）」**、**「表 2A.68 制御レジスタ（P21）」**、**「表 2A.70 制御レジスタ（P22）」**、**「表 2A.72 制御レジスタ（P23）」**、**「表 2A.74 制御レジスタ（P24）」**）を参照してください。

表 2A.31　PUn レジスタの内容

ビット位置	ビット名	機能
15～0	PUn_[15:0]	内蔵プルアップ抵抗を対応する端子に接続するかどうかを指定します。 0 : 内蔵プルアップ抵抗を接続しない 1 : 内蔵プルアップ抵抗を接続する

備　考

1. 1 端子に内蔵プルアップ抵抗（PUn.PUn_m＝1）と内蔵プルダウン抵抗（PDn.PDn_m＝1）の両方を接続するように設定した場合は、自動的に内蔵プルダウン抵抗が選択され、内蔵プルアップ抵抗は接続しません。
2. 端子が出力モードで動作している場合、内蔵プルアップ抵抗は影響しません。
3. JTAG プルアップオプションレジスタ（JPU0）の制御ビットは JPU0_[7:0]になります。

2A.9.4.2　PDn / JPD0 ― プルダウンオプションレジスタ

このレジスタは、内蔵プルダウン抵抗を入力端子に接続するかどうかを指定します。

アクセス　PDn：16 ビット単位でリード／ライト可能です。

JPD0：8 ビット単位でリード／ライト可能です。

アドレス　PDn：<PORTn_base> + 4400_H + n × 4（n＝0, 1, 2, 3, 8, 9, 10, 11, 12, 13, 18, 19, 20, 21, 22, 23, 24）

JPD0：<JPORT0_base> + 0440_H 注1

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PDn_15	PDn_14	PDn_13	PDn_12	PDn_11	PDn_10	PDn_9	PDn_8	PDn_7	PDn_6	PDn_5	PDn_4	PDn_3	PDn_2	PDn_1	PDn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。

「2A.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2A.40 制御レジスタ（JP0）」**、**「表 2A.42 制御レジスタ（P0）」**、**「表 2A.44 制御レジスタ（P1）」**、**「表 2A.46 制御レジスタ（P2）」**、**「表 2A.48 制御レジスタ（P3）」**、**「表 2A.50 制御レジスタ（P8）」**、**「表 2A.52 制御レジスタ（P9）」**、**「表 2A.54 制御レジスタ（P10）」**、**「表 2A.56 制御レジスタ（P11）」**、**「表 2A.58 制御レジスタ（P12）」**、**「表 2A.60 制御レジスタ（P13）」**、**「表 2A.62 制御レジスタ（P18）」**、**「表 2A.64 制御レジスタ（P19）」**、**「表 2A.66 制御レジスタ（P20）」**、**「表 2A.68 制御レジスタ（P21）」**、**「表 2A.70 制御レジスタ（P22）」**、**「表 2A.72 制御レジスタ（P23）」**、**「表 2A.74 制御レジスタ（P24）」**）を参照してください。

表 2A.32　　PDn レジスタの内容

ビット位置	ビット名	機能
15～0	PDn_[15:0]	内蔵プルダウン抵抗を対応する端子に接続するかどうかを指定します。 0：内蔵プルダウン抵抗を接続しない 1：内蔵プルダウン抵抗を接続する

備　考

1. 1 端子に内蔵プルアップ抵抗（PUn.PUn_m＝1）と内蔵プルダウン抵抗（PDn.PDn_m＝1）の両方を接続するように設定した場合は、自動的に内蔵プルダウン抵抗が選択され、内蔵プルアップ抵抗は接続しません。
2. 端子が出力モードで動作している場合、内蔵プルダウン抵抗は影響しません。
3. JTAG プルダウンオプションレジスタ（JPD0）の制御ビットは JPD0_[7:0]になります。

2A.9.4.3　PDSCn / JPDSC0 ― ポートドライブ強度コントロールレジスタ

このレジスタは、ポート端子の出力ドライバ強度を指定します。この機能は、出力バッファの高速モード（ハイドライブ強度）と低速モード（ロウドライブ強度）が選択できます。このレジスタを更新するためには、PPCMDn レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。PDSC レジスタの設定が必要な兼用機能については「**2A.11.3.3 出力バッファ制御（PDSC）**」を参照してください。

アクセス　PDSCn, JPDSC0：32 ビット単位でリード／ライト可能です。

アドレス　PDSCn：<PORTn_base> + 4600_H + n × 4（n＝0, 1, 2, 3, 10, 11, 12, 13, 18, 19, 20, 21, 22, 23, 24）
JPDSC0：<JPORT0_base> + 0460_H 注 1

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PDSCn_15	PDSCn_14	PDSCn_13	PDSCn_12	PDSCn_11	PDSCn_10	PDSCn_9	PDSCn_8	PDSCn_7	PDSCn_6	PDSCn_5	PDSCn_4	PDSCn_3	PDSCn_2	PDSCn_1	PDSCn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「**2A.10 ポート（汎用 I/O）機能概要**」のポートグループごとの制御レジスタの表（「**表 2A.40 制御レジスタ（JP0）**」、「**表 2A.42 制御レジスタ（P0）**」、「**表 2A.44 制御レジスタ（P1）**」、「**表 2A.46 制御レジスタ（P2）**」、「**表 2A.48 制御レジスタ（P3）**」、「**表 2A.54 制御レジスタ（P10）**」、「**表 2A.56 制御レジスタ（P11）**」、「**表 2A.58 制御レジスタ（P12）**」、「**表 2A.60 制御レジスタ（P13）**」、「**表 2A.62 制御レジスタ（P18）**」、「**表 2A.64 制御レジスタ（P19）**」、「**表 2A.66 制御レジスタ（P20）**」、「**表 2A.68 制御レジスタ（P21）**」、「**表 2A.70 制御レジスタ（P22）**」、「**表 2A.72 制御レジスタ（P23）**」、「**表 2A.74 制御レジスタ（P24）**」）を参照してください。

表 2A.33　　PDSCn レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15～0	PDSCn_[15:0]	ポート端子の出力バッファのポートドライブ強度を指定します。 0：ロウドライブ強度（端子から出力する周波数が 10MHz 以下の場合） 1：ハイドライブ強度（端子から出力する周波数が 40MHz 以下の場合）

2A.9.4.4　PODCn / JPODC0 ― ポートオープンドレインコントロールレジスタ

このレジスタは、出力バッファの機能としてプッシュプルまたはオープンドレインを選択します。このレジスタを更新するためには、PPCMDn レジスタ、JPPCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

アクセス　PODCn, JPODC0：32 ビット単位でリード／ライト可能です。

アドレス　PODCn：<PORTn_base> + 4500_H + n × 4（n＝0, 1, 2, 3, 8, 9, 10, 11, 12, 13, 18, 19, 20, 21, 22, 23, 24）

JPODC0：<JPORT0_base> + 0450_H 注1

リセット後の値　$0000\ 0000_H$ 注2

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PODCn_15	PODCn_14	PODCn_13	PODCn_12	PODCn_11	PODCn_10	PODCn_9	PODCn_8	PODCn_7	PODCn_6	PODCn_5	PODCn_4	PODCn_3	PODCn_2	PODCn_1	PODCn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0 注3	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「2A.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2A.40 制御レジスタ（JP0）」**、**「表 2A.42 制御レジスタ（P0）」**、**「表 2A.44 制御レジスタ（P1）」**、**「表 2A.46 制御レジスタ（P2）」**、**「表 2A.48 制御レジスタ（P3）」**、**「表 2A.50 制御レジスタ（P8）」**、**「表 2A.52 制御レジスタ（P9）」**、**「表 2A.54 制御レジスタ（P10）」**、**「表 2A.56 制御レジスタ（P11）」**、**「表 2A.58 制御レジスタ（P12）」**、**「表 2A.60 制御レジスタ（P13）」**、**「表 2A.62 制御レジスタ（P18）」**、**「表 2A.64 制御レジスタ（P19）」**、**「表 2A.66 制御レジスタ（P20）」**、**「表 2A.68 制御レジスタ（P21）」**、**「表 2A.70 制御レジスタ（P22）」**、**「表 2A.72 制御レジスタ（P23）」**、**「表 2A.74 制御レジスタ（P24）」**）を参照してください。

注2.　PODC8 レジスタは次のとおりです。
OPBT0.RESETOUTEN＝1 の時、PODC8 レジスタは $0000\ 0040_H$。
OPBT0.RESETOUTEN＝0 の時、PODC8 レジスタは $0000\ 0000_H$。

注3.　PODC8_6 ビットは次のとおりです。
OPBT0.RESETOUTEN＝1 の時、PODC8_6 ビットは 1。
OPBT0.RESETOUTEN＝0 の時、PODC8_6 ビットは 0。

表 2A.34　PODCn レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15～0	PODCn_[15:0]	出力バッファの機能を指定します。 0：プッシュプル 1：オープンドレイン

備　考

JTAG ポートオープンドレインレジスタ（JPODC0）の制御ビットは JPODC0_[31:0]になります

2A.9.4.5　PISn/JPIS0 ― ポート入力バッファ選択レジスタ

このレジスタは、入力バッファ特性を指定します。

アクセス　PISn：16 ビット単位でリード／ライト可能です。
JPIS0：8 ビット単位でリード／ライト可能です。

アドレス　PISn：<PORTn_base> + 4700_H + n × 4（n=0, 1, 2, 3, 8, 9, 10, 11, 12, 13, 18, 19, 20, 21, 22, 23, 24）
JPIS0：<JPORT0_base> + 0470_H 注1

リセット後の値　$FFFF_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIS n_15	PIS n_14	PIS n_13	PIS n_12	PIS n_11	PIS n_10	PIS n_9	PIS n_8	PIS n_7	PIS n_6	PIS n_5	PIS n_4	PIS n_3	PIS n_2	PIS n_1	PIS n_0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「2A.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2A.40 制御レジスタ（JP0）」**、**「表 2A.42 制御レジスタ（P0）」**、**「表 2A.44 制御レジスタ（P1）」**、**「表 2A.46 制御レジスタ（P2）」**、**「表 2A.48 制御レジスタ（P3）」**、**「表 2A.50 制御レジスタ（P8）」**、**「表 2A.52 制御レジスタ（P9）」**、**「表 2A.54 制御レジスタ（P10）」**、**「表 2A.56 制御レジスタ（P11）」**、**「表 2A.58 制御レジスタ（P12）」**、**「表 2A.60 制御レジスタ（P13）」**、**「表 2A.62 制御レジスタ（P18）」**、**「表 2A.64 制御レジスタ（P19）」**、**「表 2A.66 制御レジスタ（P20）」**、**「表 2A.68 制御レジスタ（P21）」**、**「表 2A.70 制御レジスタ（P22）」**、**「表 2A.72 制御レジスタ（P23）」**、**「表 2A.74 制御レジスタ（P24）」**）を参照してください。

表 2A.35　PISn レジスタの内容

ビット位置	ビット名	機能
15～0	PISn_[15:0]	入力バッファ特性を指定します。 0：タイプ 1（SHMT1） 1：タイプ 2（SHMT4）

備　考

1. タイプ 1 とタイプ 2 の定義は、**「2A.11.3.2 入力バッファ制御（PISn/JPIS0、PISAn/JPISA0」**を参照してください。入力バッファ特性の詳細は、**「第 47A 章 RH850/F1KH-D8 の電気的特性」**も参照してください。
2. JTAG ポート入力バッファ選択レジスタ（JPIS0）の制御ビットは JPIS0_[7:0]になります。

2A.9.4.6 PISAn / JPISA0 ― ポート入力バッファ選択アドバンストレジスタ

このレジスタは、入力バッファ特性を指定します。

アクセス PISAn：16 ビット単位でリード／ライト可能です。

JPISA0：8 ビット単位でリード／ライト可能です。

アドレス PISAn：<PORTn_base> + 4A00H + n × 4（n＝10, 11, 12, 13, 18, 21, 22）

JPISA0：<JPORT0_base> + 04A0H 注 1

リセット後の値 0000H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PISAn_15	PISAn_14	PISAn_13	PISAn_12	PISAn_11	PISAn_10	PISAn_9	PISAn_8	PISAn_7	PISAn_6	PISAn_5	PISAn_4	PISAn_3	PISAn_2	PISAn_1	PISAn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1. 有効ビット位置（m の値）はデバイスの端子数によって変わります。
「**2A.10 ポート（汎用 I/O）機能概要**」のポートグループごとの制御レジスタの表（「**表 2A.40 制御レジスタ（JP0）**」、「**表 2A.42 制御レジスタ（P0）**」、「**表 2A.54 制御レジスタ（P10）**」、「**表 2A.56 制御レジスタ（P11）**」、「**表 2A.58 制御レジスタ（P12）**」、「**表 2A.60 制御レジスタ（P13）**」、「**表 2A.62 制御レジスタ（P18）**」、「**表 2A.68 制御レジスタ（P21）**」、「**表 2A.70 制御レジスタ（P22）**」）を参照してください。

表 2A.36 PISAn レジスタの内容

ビット位置	ビット名	機能
15～0	PISA_[15:0]	入力バッファ特性を指定します。 0：タイプ 2（SHMT4） 1：タイプ 5（TTL）

表 2A.37 ポート入力選択アドバンスレジスタの内容

PISAn	PISn	機能
0	0	タイプ 1 入力バッファを選択（SHMT1）
	1	タイプ 2 入力バッファを選択（SHMT4）
1	X	タイプ 5 入力バッファを選択（TTL）

備 考

タイプ 2 とタイプ 5 の定義は、「**2A.11.3.2 入力バッファ制御（PISn/JPIS0、PISAn/JPISA0）**」を参照してください。入力バッファ特性の詳細は、「**第 47A 章 RH850/F1KH-D8 の電気的特性**」も参照してください。

2A.9.5 ポートレジスタ保護

RH850/F1KH は、ポート保護クラスタレジスタとして、ポート保護コマンドレジスタ（PPCMDn）およびポート保護ステータスレジスタ（PPROTSn）を持ちます。レジスタの詳細については「**第 5 章 書き込み保護レジスタ**」を参照してください。

2A.9.6 ポート設定のフローチャート例

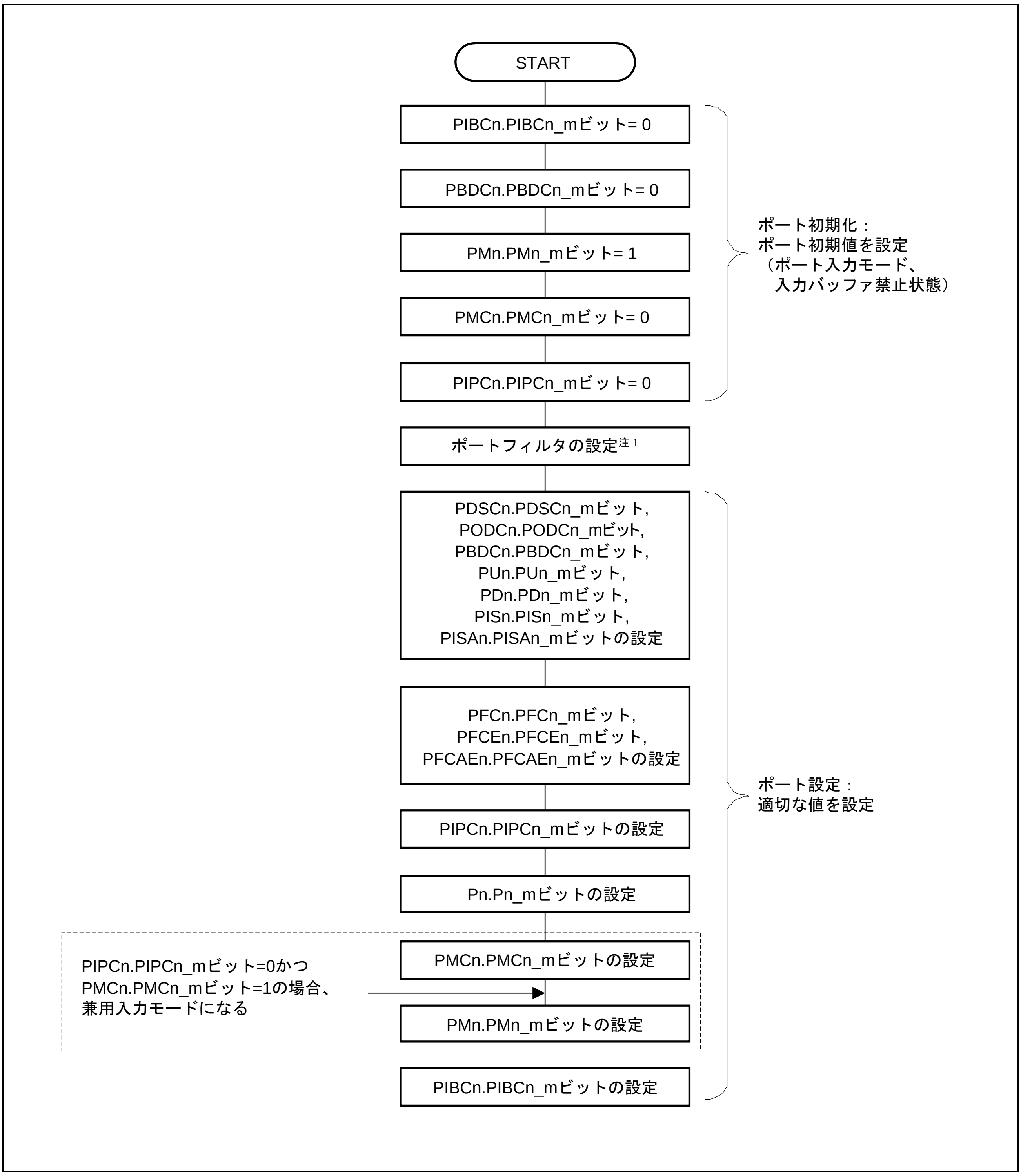
ポート設定のフローチャート例を次に示します。

注　意

ポートを PIPCn.PIPCn_m ビット＝0 かつ兼用出力モードに設定するとき、一時的に兼用入力モードになる場合があります。それは、PMCn.PMCn_m ビット＝1 の設定から PMn.PMn_m ビット＝0 の設定までのタイミングで発生します。ポート兼用機能として割り込み関連信号が設定されている場合、ポート設定中に一時的に兼用入力モードになるため、割り込みが動作しない、または無視されるようにしてください。

2A.9.6.1　一括設定

一括でポートを設定する場合のフローチャート例を次に示します。



注1.　PMC＝0 の時、以下の条件でポートレジスタの設定により割り込み要求が発生します。

NMI, INTP7, 8 :

- ポートフィルタをロウレベル検出に設定した場合
- ポートフィルタを立ち上がりエッジ検出または両エッジ検出に設定し、端子にハイレベルが入力された状態で PMC＝1 とした時

INTP0～6, INTP9～23 :

- ポートフィルタをハイレベル検出に設定した場合
- ポートフィルタを立ち下がりエッジ検出または両エッジ検出に設定し、端子にロウレベルが入力された状態で PMC＝1 とした時

以下の手順によりこの意図しない割り込みの発生を回避することが出来ます。

1. PMC レジスタの設定
2. アナログフィルタによるパルス除去時間（入力ハイ／ロウレベル幅）の経過まで待つ
3. エッジ検出／レベル検出レジスタの設定

図 2A.6　　ポート設定のフローチャート例（一括設定の場合）

2A.9.6.2 個別設定

個別でポートを設定する場合のフローチャート例を次に示します。

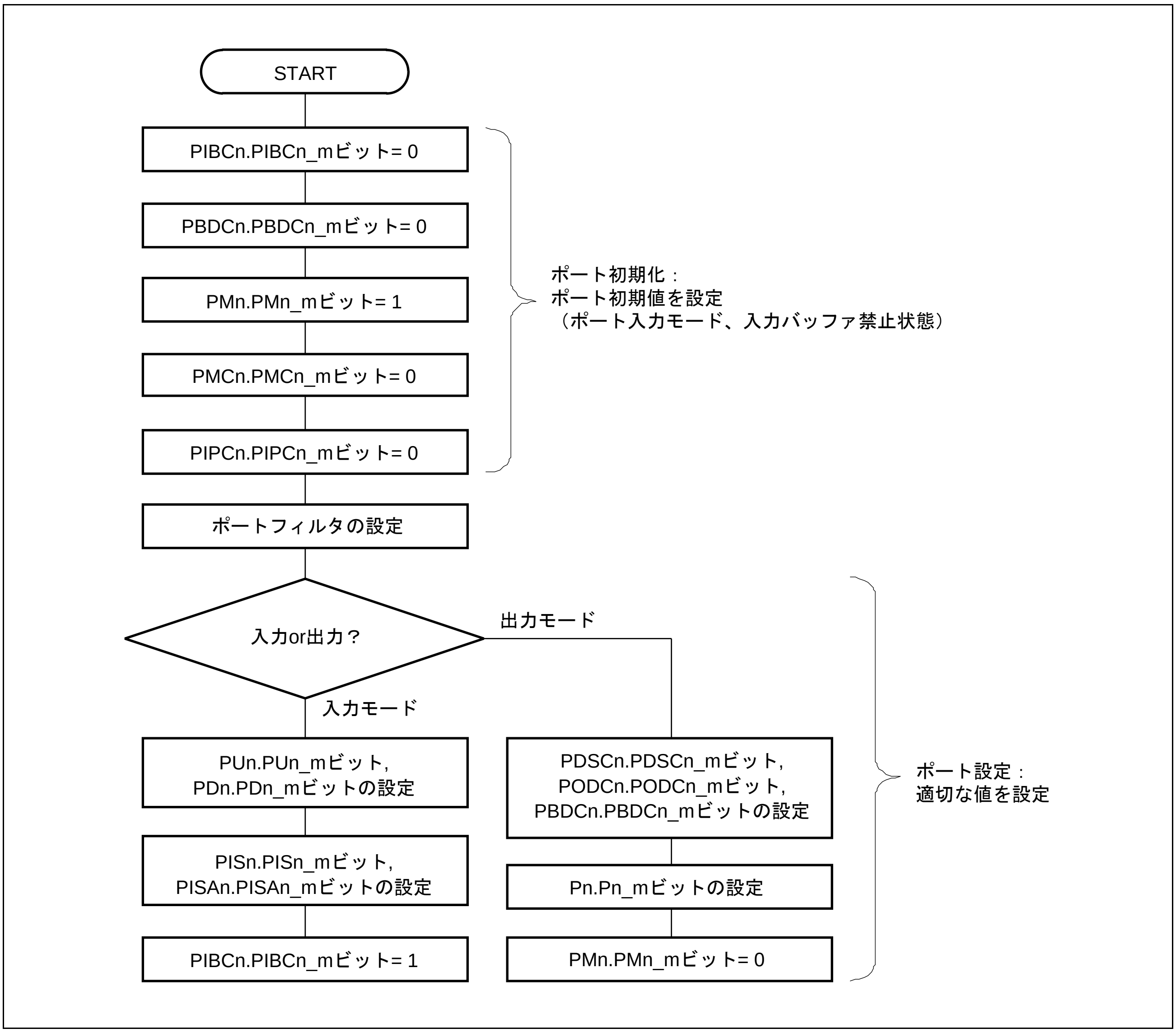


図 2A.7　　ポート設定のフローチャート例（ポートモードの場合）

(1) IP コントロールあり（PIPCn.PIPCn_m ビット＝1）の場合

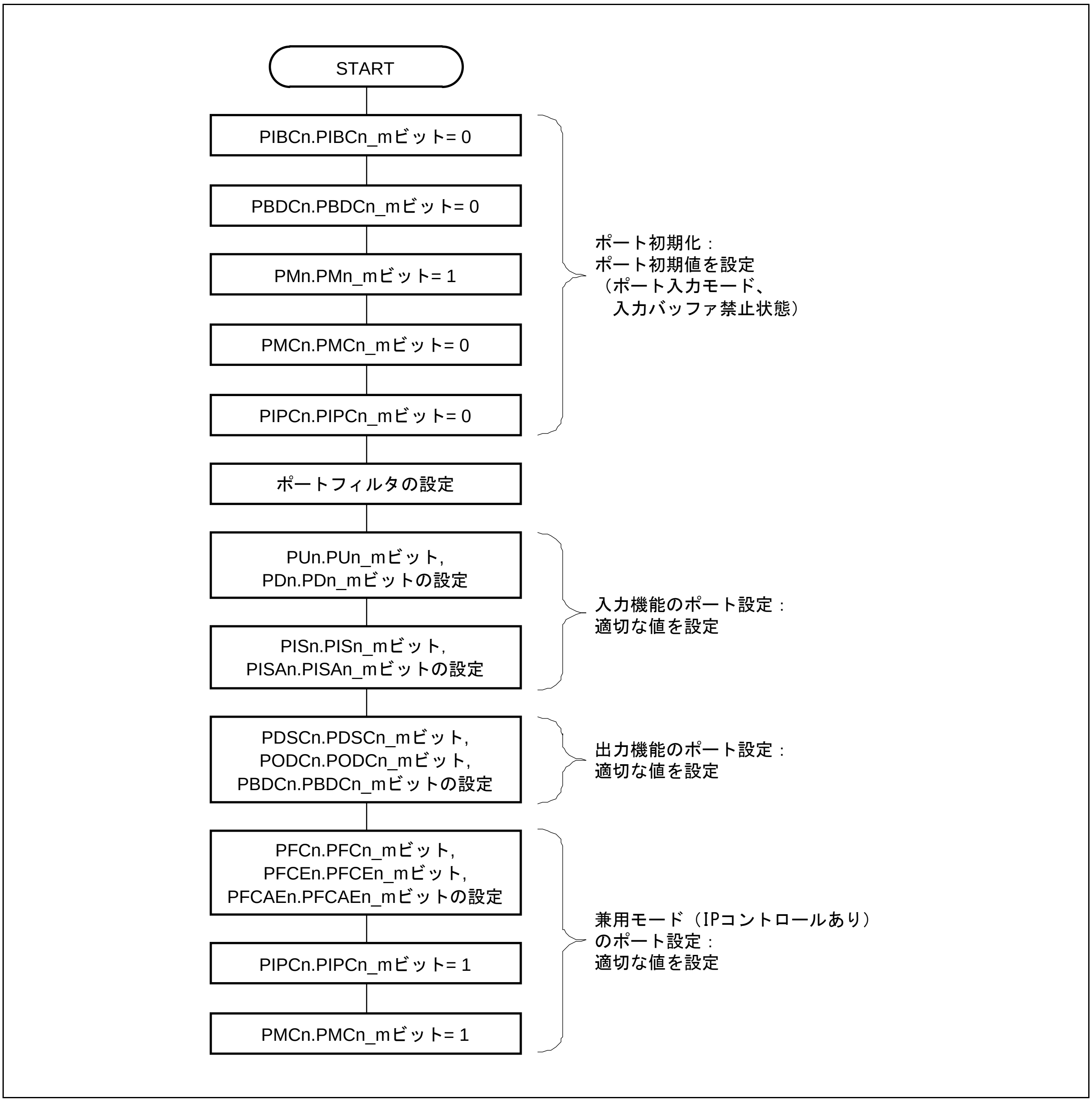
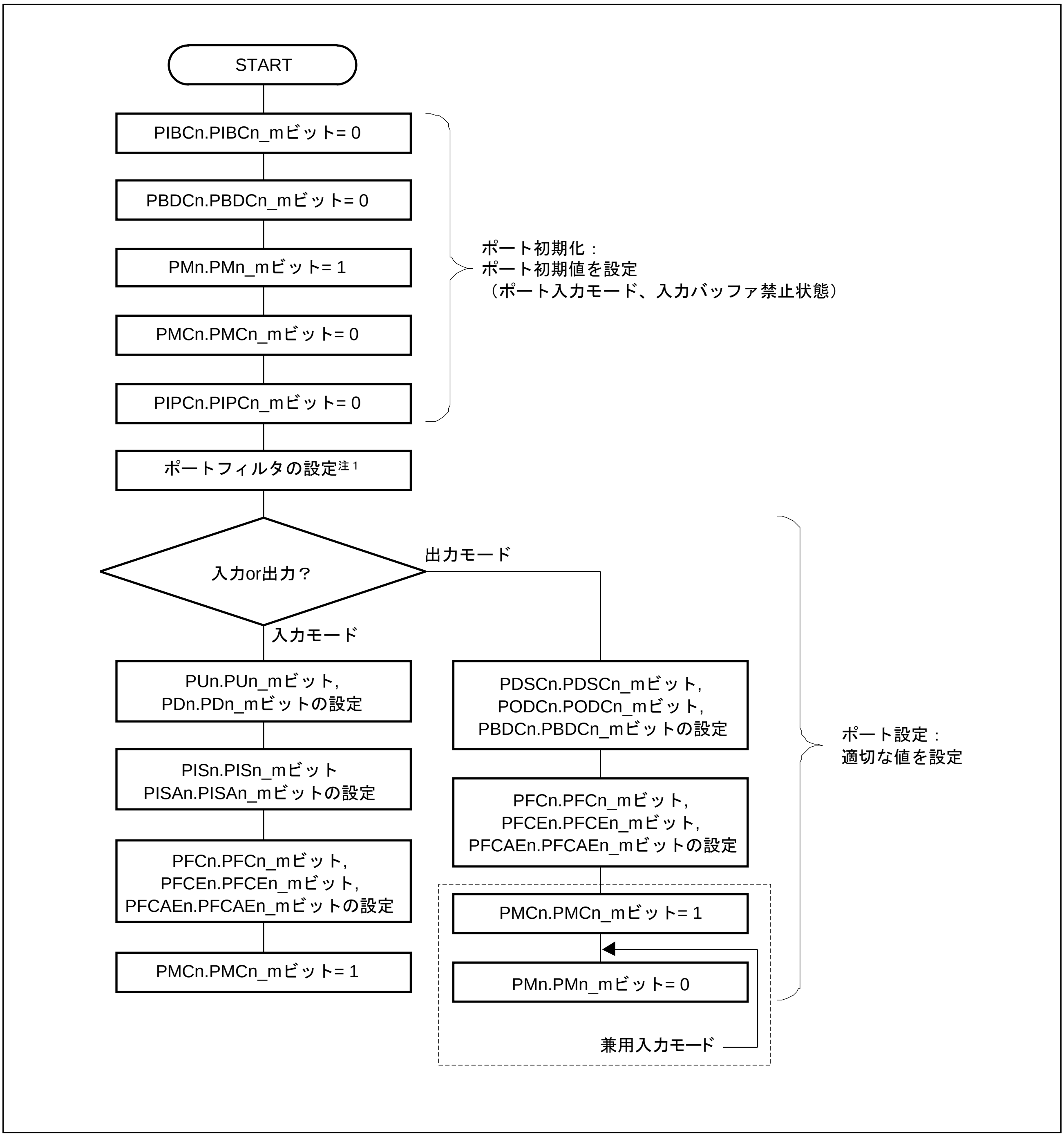


図 2A.8　　ポート設定のフローチャート例（兼用モードの場合）

(2) IP コントロールなし（PIPCn.PIPCn_m ビット＝0）の場合



注1.　PMC＝0 の時、以下の条件でポートレジスタの設定により割り込み要求が発生します。

NMI, INTP7, 8 :

- ポートフィルタをロウレベル検出に設定した場合
- ポートフィルタを立ち上がりエッジ検出または両エッジ検出に設定し、端子にハイレベルが入力された状態で PMC=1 とした時

INTP0～6, INTP9～23 :

- ポートフィルタをハイレベル検出に設定した場合
- ポートフィルタを立ち下がりエッジ検出または両エッジ検出に設定し、端子にロウレベルが入力された状態で PMC=1 とした時

以下の手順によりこの意図しない割り込みの発生を回避することが出来ます。

1. PMC レジスタの設定
2. アナログフィルタによるパルス除去時間（入力ハイ／ロウレベル幅）の経過まで待つ
3. エッジ検出／レベル検出レジスタの設定

図 2A.9　　ポート設定のフローチャート例（兼用モードの場合）

2A.10　ポート（汎用 I/O）機能概要

本章では、ポート（汎用 I/O）の機能とポートに割り当てられているすべての機能について説明します。詳細については次ページ以降を参照してください。

なお、ポートモードか兼用モードかは、PMCn レジスタの設定によって選択できます。PMCn.PMCn_m＝1 に設定した場合、兼用機能は、PFCn、PFCEn、PFCAEn レジスタで選択します。

表 2A.38　　ポート機能

ポート	端子名	サイズ	方向	電力供給領域	専用兼用機能（備考）	デバイス			
						176 Pin	233 Pin	272 Pin	324 Pin
JTAG ポート 0	JP0_0 – 6	7 ビット	入力／出力	AWO	JTAG、LPD	○	○	—	○
ポート 0	P0_0 – 14	15 ビット	入力／出力	AWO		○	○	—	○
ポート 1	P1_0 - 5, 8-15	14 ビット	入力／出力	AWO		○	○	—	○
ポート 2	P2_0 – 6	7 ビット	入力／出力	AWO		○	—	—	—
	P2_0 – 15	16 ビット				—	○	—	○
ポート 3	P3_0	1 ビット	入力／出力	AWO		—	○	—	—
	P3_0 – 10	11 ビット				—	—	—	—
	P3_0 – 12	13 ビット				—	—	—	○
ポート 8	P8_0 - 12	13 ビット	入力／出力	AWO	ADCA0（10 ビット分解能） $\overline{\text{RESETOUT}}$	○	○	—	○
ポート 9	P9_0 - 4	5 ビット	入力／出力	ISO	ADCA0（10 ビット分解能）	○	○	—	○
ポート 10	P10_0 - 15	16 ビット	入力／出力	ISO		○	○	—	○
ポート 11	P11_0 – 12, 15	14 ビット	入力／出力	ISO		○	○	—	○
ポート 12	P12_0 - 5	6 ビット	入力／出力	ISO		○	○	—	○
ポート 13	P13_0 - 7	8 ビット	入力／出力	ISO		—	○	—	○
ポート 18	P18_0 - 7	8 ビット	入力／出力	ISO	ADCA1（10 ビット分解能）	○	—	—	—
	P18_0 - 15	16 ビット				—	○	—	○
ポート 19	P19_0 - 3	4 ビット	入力／出力	ISO	ADCA1（10 ビット分解能）	—	○	—	○
ポート 20	P20_0 - 5	6 ビット	入力／出力	ISO		○	○	—	—
	P20_0 - 14	15 ビット				—	—	—	—
	P20_0 - 15	16 ビット				—	—	—	○
ポート 21	P21_0 – 4	5 ビット	入力／出力	ISO		—	—	—	—
	P21_0 – 14	15 ビット				—	—	—	○
ポート 22	P22_0 - 15	16 ビット	入力／出力	ISO		—	—	—	○
ポート 23	P23_0 - 10	11 ビット	入力／出力	ISO		—	—	—	○
ポート 24	P24_0 - 7	8 ビット	入力／出力	ISO		—	—	—	○
アナログポート 0	AP0_0 - 15	16 ビット	入力／出力	AWO	ADCA0 （12/10 ビット分解能）	○	○	—	○
アナログポート 1	AP1_0 - 15	16 ビット	入力／出力	ISO	ADCA1 （12/10 ビット分解能）	○	○	—	○
入力ポート 0	IP0_0	1 ビット	入力	AWO	SOSC（XT2 端子）	○	○	—	○

2A.10.1 JTAG ポート 0（JP0）

2A.10.1.1 兼用機能

JTAG ポート 0 を汎用 IO に設定すると、以下の兼用機能が使用可能になります。この設定を行うには、OPJTAG[1:0]＝00_B にして適切なフラッシュオプションバイトを設定する必要があります。

表 2A.39 JTAG ポート 0（JP0）

ポートモード（JPMC0_m＝0）	兼用モード（JPMC0_m＝1）										ADC	専用機能	パッケージ No.			
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用				176 Pin	233 Pin	272 Pin	324 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力						
JP0_0 [注1]	INTP0		TAUJ2I0	TAUJ2O0	FPDR	FPDT						DCUTDI/LPDI/LPDIO	47	U4	—	AB4
JP0_1	INTP1		TAUJ0I0	TAUJ0O0		FPDT						DCUTDO/LPDO	46	P5	—	W6
JP0_2	INTP2		TAUJ0I1	TAUJ0O1	FPCK							DCUTCK/LPDCLK	45	T4	—	W5
JP0_3	INTP3	CSCXFOUT	TAUJ0I2	TAUJ0O2								DCUTMS	44	R4	—	Y5
JP0_4												$\overline{\text{DCUTRST}}$	43	R3	—	AB3
JP0_5	NMI	RTCA0OUT	TAUJ0I3	TAUJ0O3								$\overline{\text{DCURDY}}$ /LPDCLKOUT	42	U3	—	AA4
JP0_6												$\overline{\text{EVTO}}$	66	U11	—	Y10

注1. LPD（1 pin）モードでは、JP0_0 出力バッファはオープンドレイン状態になります。

注 意

兼用機能が割り当てられていないレジスタ設定をした場合の動作は保証しません。

2A.10.1.2　制御レジスタ

表 2A.40　制御レジスタ（JP0）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス			
			位置	R/W 注1			176 Pin	233 Pin	272 Pin	324 Pin
JP0	JTAG ポートレジスタ 0	8	6-0	R/W	0000H	00H	○	○	—	○
JPSR0	JTAG ポートセット／リセットレジスタ 0	32	22-16, 6-0	R/W	0010H	0000 0000H	○	○	—	○
JPPR0	JTAG ポート端子リードレジスタ 0	8	6-0	R	0020H	00H	○	○	—	○
JPM0	JTAG ポートモードレジスタ 0	8	6-0	R/W	0030H	FFH	○	○	—	○
JPMC0	JTAG ポートモードコントロールレジスタ 0	8	5, 3-0	R/W	0040H	00H	○	○	—	○
JPFC0	JTAG ポート機能コントロールレジスタ 0	8	5, 3-0	R/W	0050H	00H	○	○	—	○
JPFCE0	JTAG ポート機能コントロール拡張レジスタ 0	8	2-0	R/W	0060H	00H	○	○	—	○
JPNOT0	JTAG ポートノットレジスタ 0	8	6-0	W	0070H	00H	○	○	—	○
JPMSR0	JTAG ポートモードセット／リセットレジスタ 0	32	22-16, 6-0	R/W	0080H	0000 FFFFH	○	○	—	○
JPMCSR0	JTAG ポートモードコントロールセット／リセットレジスタ 0	32	21, 19-16, 5, 3-0	R/W	0090H	0000 0000H	○	○	—	○
JPIBC0	JTAG ポート入力バッファコントロールレジスタ 0	8	6-0	R/W	0400H	00H	○	○	—	○
JPBDC0	JTAG ポート双方向コントロールレジスタ 0	8	6-0	R/W	0410H	00H	○	○	—	○
JPU0	プルアップオプションレジスタ 0	8	6-0	R/W	0430H	00H	○	○	—	○
JPD0	プルダウンオプションレジスタ 0	8	6-0	R/W	0440H	00H	○	○	—	○
JPODC0	JTAG ポートオープンドレインコントロールレジスタ 0	32	6-0	R/W	0450H	0000 0000H	○	○	—	○
JPDSC0	JTAG ポートドライブ強度コントロールレジスタ 0	32	6, 5, 3-1	R/W	0460H	0000 0000H	○	○	—	○
JPIS0	JTAG ポート入力バッファ選択レジスタ 0	8	6, 5, 3-0	R/W	0470H	FFH	○	○	—	○
JPISA0	JTAG ポート入力バッファ選択アドバンストレジスタ 0	8	3, 2, 0	R/W	04A0H	00H	○	○	—	○
JPPROTS0	JTAG ポート保護ステータスレジスタ 0	32	0	R	04B0H	0000 0000H	○	○	—	○
JPPCMD0	JTAG ポート保護コマンドレジスタ 0	32	7-0	W	04C0H	xxxx xx00H	○	○	—	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。
ライトする場合はリセット後の値を書いてください。

2A.10.2 ポート 0（P0）

2A.10.2.1 兼用機能

表 2A.41 ポート 0（P0）

ポートモード（PMC0_m＝0）	兼用モード（PMC0_m＝1）														ADC	専用機能	パッケージ No.			
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				176 Pin	233 Pin	272 Pin	324 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力						
P0_0	TAUD0I2	TAUD0O2	RLIN20RX	CAN0TX		PWGA10O	$\overline{\text{CSIH0SSI}}$	DPO	TAUJ2I1	TAUJ2O1							18	J1	—	T1
P0_1	TAUD0I4	TAUD0O4	CAN0RX/ INTP0	RLIN20TX	INTP0	PWGA11O	CSIH0SI	APO	TAUJ2I2	TAUJ2O2			CAN0RX				19	J2	—	P3
P0_2	TAUD0I6	TAUD0O6	CAN1RX/ INTP1	RLIN30TX		PWGA12O	CSIH0SC		INTP1	DPO	TAUJ2I3	TAUJ2O3	CAN1RX				20	J4	—	P4
P0_3	TAUD0I8	TAUD0O8	RLIN30RX/ INTP10	CAN1TX	DPIN1	PWGA13O		CSIH0SO	INTP10		TAUJ1I0	TAUJ1O0	RLIN30RX				21	K1	—	R2
P0_4	RLIN31RX/ INTP11	CAN2TX	INTP11	PWGA10O	CSIH1SI	SELDP0	DPIN8		TAUB0I12	TAUB0O12			RLIN31RX				23	K3	—	R4
P0_5	CAN2RX/ INTP2	RLIN31TX	DPIN9	SELDP1		CSIH1SO			TAUB0I14	TAUB0O14			CAN2RX				24	K2	—	U1
P0_6	INTP2		DPIN10	SELDP2	CSIH1SC					PWGA35O							25	L3	—	R3
P0_7	RLIN21RX		DPIN5	CSCXFOUT	CSIH1RYI	CSIH1RYO	TAUB0I0	TAUB0O0	CAN3RX/ INTP3				CAN3RX				70	R11	—	Y12
P0_8	INTP16	RLIN21TX	DPIN6	CSIH0CSS6	$\overline{\text{CSIH1SSI}}$		TAUB0I2	TAUB0O2		CAN3TX							69	T12	—	Y11
P0_9	INTP12	CSIH1CSS0	DPIN7		RLIN22RX		TAUB0I4	TAUB0O4	CAN4RX/ INTP4				CAN4RX				68	R10	—	W11
P0_10	INTP3	CSIH1CSS1	DPIN11			RLIN22TX	TAUB0I6	TAUB0O6		CAN4TX							67	T11	—	AB12
P0_11	RIIC0SDA		DPIN12	CSIH1CSS2	TAUB0I8	TAUB0O8	RLIN26RX	PWGA34O									26	L1	—	T2
P0_12	RIIC0SCL		DPIN13	PWGA45O	TAUB0I10	TAUB0O10	CSIG0SI	RLIN26TX									27	L2	—	U2
P0_13	RLIN32RX/ INTP12		INTP12	PWGA46O	TAUB0I12	TAUB0O12		CSIG0SO	CAN5RX/ INTP5		RLIN32RX		CAN5RX				28	M1	—	T3
P0_14	INTP17	RLIN32TX		PWGA47O	TAUB0I14	TAUB0O14	CSIG0SC			CAN5TX							29	L4	—	U3

注 意

公開されていない兼用機能を選択した場合の動作および性能は保証できません。

2A.10.2.2　制御レジスタ

表 2A.42　制御レジスタ（P0）

レジスタ	機能	レジスタサイズ	有効ビット 位置	有効ビット R/W 注1	オフセットアドレス	リセット後の値	デバイス 176 Pin	233 Pin	272 Pin	324 Pin
P0	ポートレジスタ 0	16	14-0	R/W	0000H	0000H	○	○	—	○
PSR0	ポートセット／リセットレジスタ 0	32	30-16, 14-0	R/W	0100H	0000 0000H	○	○	—	○
PPR0	ポート端子リードレジスタ 0	16	14-0	R	0200H	0000H	○	○	—	○
PM0	ポートモードレジスタ 0	16	14-0	R/W	0300H	FFFFH	○	○	—	○
PMC0	ポートモードコントロールレジスタ 0	16	14-0	R/W	0400H	0000H	○	○	—	○
PFC0	ポート機能コントロールレジスタ 0	16	14-0	R/W	0500H	0000H	○	○	—	○
PFCE0	ポート機能コントロール拡張レジスタ 0	16	14-0	R/W	0600H	0000H	○	○	—	○
PNOT0	ポートノットレジスタ 0	16	14-0	W	0700H	0000H	○	○	—	○
PMSR0	ポートモードセット／リセットレジスタ 0	32	30-16, 14-0	R/W	0800H	0000 FFFFH	○	○	—	○
PMCSR0	ポートモードコントロールセット／リセットレジスタ 0	32	30-16, 14-0	R/W	0900H	0000 0000H	○	○	—	○
PFCAE0	ポート機能コントロール追加拡張レジスタ 0	16	14, 13, 10-0	R/W	0A00H	0000H	○	○	—	○
PIBC0	ポート入力バッファコントロールレジスタ 0	16	14-0	R/W	4000H	0000H	○	○	—	○
PBDC0	ポート双方向コントロールレジスタ 0	16	14-0	R/W	4100H	0000H	○	○	—	○
PIPC0	ポート IP コントロールレジスタ 0	16	14, 13, 6, 5, 3, 2	R/W	4200H	0000H	○	○	—	○
PU0	プルアップオプションレジスタ 0	16	14-0	R/W	4300H	0000H	○	○	—	○
PD0	プルダウンオプションレジスタ 0	16	14-0	R/W	4400H	0000H	○	○	—	○
PODC0	ポートオープンドレインコントロールレジスタ 0	32	14-0	R/W	4500H	0000 0000H	○	○	—	○
PDSC0	ポートドライブ強度コントロールレジスタ 0	32	14-0	R/W	4600H	0000 0000H	○	○	—	○
PIS0	ポート入力バッファ選択レジスタ 0	16	14-0	R/W	4700H	FFFFH	○	○	—	○
PPROTS0	ポート保護ステータスレジスタ 0	32	0	R	4B00H	0000 0000H	○	○	—	○
PPCMD0	ポート保護コマンドレジスタ 0	32	7-0	W	4C00H	XXXX XX00H	○	○	—	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。
ライトする場合はリセット後の値を書いてください。

2A.10.3 ポート 1（P1）

2A.10.3.1 兼用機能

表 2A.43 ポート 1（P1）

ポートモード（PMC1_m＝0）	兼用モード（PMC1_m＝1）														ADC	専用機能	パッケージ No.			
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				176 Pin	233 Pin	272 Pin	324 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力						
P1_0	RLIN33RX/ INTP13		INTP13				TAUJ2I0	TAUJ2O0	$\overline{\text{CSIG4SSI}}$				RLIN33RX				30	M2	—	V1
P1_1	INTP18	RLIN33TX			CSIG4SC		TAUJ2I1	TAUJ2O1									31	N2	—	U4
P1_2	CAN3RX/ INTP3		INTP3		DPIN19		TAUJ2I2	TAUJ2O2	CSIG4SI				CAN3RX				32	N1	—	W1
P1_3	INTP19	CAN3TX	DPIN23			CSIG4SO	TAUJ2I3	TAUJ2O3									33	N3	—	V3
P1_4	RLIN35RX/ INTP15		INTP15		DPIN18		CSIH4SI						RLIN35RX				75	U13	—	AA13
P1_5	ADCA1TRG 0	RLIN35TX	DPIN17		INTP20		CSIH4SC										74	U12	—	AA12
P1_8																	53	U5	—	AB6
P1_9			DPIN20		INTP21												52	R7	—	W7
P1_10	RLIN24RX		DPIN21		INTP22		ADCA1TRG 1										51	R6	—	AB5
P1_11	ADCA1TRG 2	RLIN24TX	DPIN22		INTP14												50	P6	—	AA6
P1_12	CAN4RX/ INTP4		INTP4	RLIN36TX									CAN4RX				34	P1	—	V2
P1_13		CAN4TX	RLIN36RX/ INTP16										RLIN36RX				35	P2	—	V4
P1_14	RLIN23RX		CAN7RX/ INTP9		CSIH4RYI	CSIH4RYO							CAN7RX				78	U14	—	Y13
P1_15		RLIN23TX		CAN7TX													79	R13	—	W14

注 意

公開されていない兼用機能を選択した場合の動作および性能は保証できません。

2A.10.3.2　制御レジスタ

表 2A.44　制御レジスタ（P1）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス			
			位置	R/W 注1			176 Pin	233 Pin	272 Pin	324 Pin
P1	ポートレジスタ 1	16	15-8, 5-0	R/W	0004H	0000H	○	○	—	○
PSR1	ポートセット／リセットレジスタ 1	32	31-24, 21-16, 15-8, 5-0	R/W	0104H	0000 0000H	○	○	—	○
PPR1	ポート端子リードレジスタ 1	16	15-8, 5-0	R	0204H	0000H	○	○	—	○
PM1	ポートモードレジスタ 1	16	15-8, 5-0	R/W	0304H	FFFFH	○	○	—	○
PMC1	ポートモードコントロールレジスタ 1	16	15-9, 5-0	R/W	0404H	0000H	○	○	—	○
PFC1	ポート機能コントロールレジスタ 1	16	15-9, 5-0	R/W	0504H	0000H	○	○	—	○
PFCE1	ポート機能コントロール拡張レジスタ 1	16	14-9, 5-0	R/W	0604H	0000H	○	○	—	○
PNOT1	ポートノットレジスタ 1	16	15-8, 5-0	W	0704H	0000H	○	○	—	○
PMSR1	ポートモードセット／リセットレジスタ 1	32	31-24, 21-16, 15-8, 5-0	R/W	0804H	0000 FFFFH	○	○	—	○
PMCSR1	ポートモードコントロールセット／リセットレジスタ 1	32	31-25, 21-16, 15-9, 5-0	R/W	0904H	0000 0000H	○	○	—	○
PFCAE1	ポート機能コントロール追加拡張レジスタ 1	16	14-12, 4, 2, 0	R/W	0A04H	0000H	○	○	—	○
PIBC1	ポート入力バッファコントロールレジスタ 1	16	15-8, 5-0	R/W	4004H	0000H	○	○	—	○
PBDC1	ポート双方向コントロールレジスタ 1	16	15-8, 5-0	R/W	4104H	0000H	○	○	—	○
PIPC1	ポート IP コントロールレジスタ 1	16	5,3,1	R/W	4204H	0000H	○	○	—	○
PU1	プルアップオプションレジスタ 1	16	15-8, 5-0	R/W	4304H	0000H	○	○	—	○
PD1	プルダウンオプションレジスタ 1	16	15-8, 5-0	R/W	4404H	0000H	○	○	—	○
PODC1	ポートオープンドレインコントロールレジスタ 1	32	15-8, 5-0	R/W	4504H	0000 0000H	○	○	—	○
PDSC1	ポートドライブ強度コントロールレジスタ 1	32	15-8, 5-0	R/W	4604H	0000 0000H	○	○	—	○
PIS1	ポート入力バッファ選択レジスタ 1	16	15-8, 5-0	R/W	4704H	FFFFH	○	○	—	○
PPROTS1	ポート保護ステータスレジスタ 1	32	0	R	4B04H	0000 0000H	○	○	—	○
PPCMD1	ポート保護コマンドレジスタ 1	32	7-0	W	4C04H	xxxx xx00H	○	○	—	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。
ライトする場合はリセット後の値を書いてください。

2A.10.4 ポート 2（P2）

2A.10.4.1 兼用機能

表 2A.45 ポート 2（P2）

ポートモード（PMC2_m＝0）	兼用モード（PMC2_m＝1）														ADC	専用機能	パッケージ No.			
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				176 Pin	233 Pin	272 Pin	324 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力						
P2_0	RLIN27RX		CAN6RX/ INTP6										CAN6RX				49	T5	—	AA5
P2_1		RLIN27TX		CAN6TX													48	R5	—	Y6
P2_2	RLIN28RX	CSIH4CSS0															65	T10	—	AA11
P2_3		RLIN28TX		CSIH4CSS1													64	U10	—	AA10
P2_4	RLIN29RX			ADCA0SEL0		CSIH4SO											76	T13	—	AB13
P2_5		RLIN29TX	$\overline{\text{CSIH4SSI}}$	ADCA0SEL1													77	R12	—	AB14
P2_6		ADCA0SEL2	CSIG4RYI	CSIG4RYO													36	R1	—	Y1
P2_7	RLIN210RX																—	M4	—	W2
P2_8		RLIN210TX															—	T1	—	W3
P2_9		PWGA77O															—	M3	—	Y3
P2_10		PWGA78O															—	R2	—	AA1
P2_11		PWGA79O															—	N4	—	W4
P2_12	RLIN211RX																—	T2	—	Y2
P2_13		RLIN211TX															—	P7	—	Y7
P2_14		PWGA74O															—	T6	—	AA7
P2_15		PWGA75O															—	P8	—	AA9

注　意

公開されていない兼用機能を選択した場合の動作および性能は保証できません。

2A.10.4.2　制御レジスタ

表 2A.46　制御レジスタ（P2）

レジスタ	機能	レジスタサイズ	有効ビット 位置	有効ビット R/W 注1	オフセットアドレス	リセット後の値	デバイス 176 Pin	233 Pin	272 Pin	324 Pin
P2	ポートレジスタ 2	16	6-0	R/W	0008$_H$	0000$_H$	○	—	—	—
			15-0				—	○	—	○
PSR2	ポートセット／リセットレジスタ 2	32	22-16, 6-0	R/W	0108$_H$	0000 0000$_H$	○	—	—	—
			31-16, 15-0				—	○	—	○
PPR2	ポート端子リードレジスタ 2	16	6-0	R	0208$_H$	0000$_H$	○	—	—	—
			15-0				—	○	—	○
PM2	ポートモードレジスタ 2	16	6-0	R/W	0308$_H$	FFFF$_H$	○	—	—	—
			15-0				—	○	—	○
PMC2	ポートモードコントロールレジスタ 2	16	6-0	R/W	0408$_H$	0000$_H$	○	—	—	—
			15-0				—	○	—	○
PFC2	ポート機能コントロールレジスタ 2	16	6-3, 1, 0	R/W	0508$_H$	0000$_H$	○	○	—	○
PFCE2	ポート機能コントロール拡張レジスタ 2	16	4, 0	R/W	0608$_H$	0000$_H$	○	○	—	○
PNOT2	ポートノットレジスタ 2	16	6-0	W	0708$_H$	0000$_H$	○	—	—	—
			15-0				—	○	—	○
PMSR2	ポートモードセット／リセットレジスタ 2	32	22-16, 6-0	R/W	0808$_H$	0000 FFFF$_H$	○	—	—	—
			31-16, 15-0				—	○	—	○
PMCSR2	ポートモードコントロールセット／リセットレジスタ 2	32	22-16, 6-0	R/W	0908$_H$	0000 0000$_H$	○	—	—	—
			31-16, 15-0				—	○	—	○
PFCAE2	ポート機能コントロール追加拡張レジスタ 2	16	0	R/W	0A08$_H$	0000$_H$	○	○	—	○
PIBC2	ポート入力バッファコントロールレジスタ 2	16	6-0	R/W	4008$_H$	0000$_H$	○	—	—	—
			15-0				—	○	—	○
PBDC2	ポート双方向コントロールレジスタ 2	16	6-0	R/W	4108$_H$	0000$_H$	○	—	—	—
			15-0				—	○	—	○
PIPC2	ポート IP コントロールレジスタ 2	16	4	R/W	4208$_H$	0000$_H$	○	○	—	○
PU2	プルアップオプションレジスタ 2	16	6-0	R/W	4308$_H$	0000$_H$	○	—	—	—
			15-0				—	○	—	○
PD2	プルダウンオプションレジスタ 2	16	6-0	R/W	4408$_H$	0000$_H$	○	—	—	—
			15-0				—	○	—	○
PODC2	ポートオープンドレインコントロールレジスタ 2	32	6-0	R/W	4508$_H$	0000 0000$_H$	○	—	—	—
			15-0				—	○	—	○
PDSC2	ポートドライブ強度コントロールレジスタ 2	32	6-0	R/W	4608$_H$	0000 0000$_H$	○	—	—	—
			15-0				—	○	—	○
PIS2	ポート入力バッファ選択レジスタ 2	16	6-0	R/W	4708$_H$	FFFF$_H$	○	—	—	—
			15-0				—	○	—	○
PPROTS2	ポート保護ステータスレジスタ 2	32	0	R	4B08$_H$	0000 0000$_H$	○	○	—	○
PPCMD2	ポート保護コマンドレジスタ 2	32	7-0	W	4C08$_H$	xxxx xx00$_H$	○	○	—	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。
ライトする場合はリセット後の値を書いてください。

2A.10.5 ポート 3（P3）

2A.10.5.1 兼用機能

表 2A.47 ポート 3（P3）

ポートモード（PMC3_m＝0）	兼用モード（PMC3_m＝1）														ADC	専用機能	パッケージ No.			
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				176 Pin	233 Pin	272 Pin	324 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力						
P3_0		PWGA76O															—	R8	—	Y8
P3_1		PWGA80O															—	—	—	Y16
P3_2		PWGA81O															—	—	—	AB16
P3_3	CAN8RX/ INTP18	PWGA82O	CAN8RX														—	—	—	Y17
P3_4		PWGA83O		CAN8TX													—	—	—	AA19
P3_5	CAN9RX/ INTP19	PWGA84O	CAN9RX														—	—	—	AB20
P3_6		PWGA85O		CAN9TX													—	—	—	Y18
P3_7	CAN10RX/ INTP20	PWGA86O	CAN10RX														—	—	—	W17
P3_8		PWGA87O		CAN10TX													—	—	—	AA20
P3_9	CAN11RX/ INTP21		CAN11RX														—	—	—	Y19
P3_10		CAN11TX															—	—	—	W18
P3_11		CSIH4CSS0															—	—	—	AB17
P3_12		CSIH4CSS1															—	—	—	AA17

注　意

公開されていない兼用機能を選択した場合の動作および性能は保証できません。

2A.10.5.2　制御レジスタ

表 2A.48　制御レジスタ（P3）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス			
			位置	R/W 注1			176 Pin	233 Pin	272 Pin	324 Pin
P3	ポートレジスタ 3	16	0	R/W	000C$_H$	0000$_H$	—	○	—	—
			10-0				—	—	—	—
			12-0				—	—	—	○
PSR3	ポートセット／リセットレジスタ 3	32	16, 0	R/W	010C$_H$	0000 0000$_H$	—	○	—	—
			26-16, 10-0				—	—	—	—
			28-16, 12-0				—	—	—	○
PPR3	ポート端子リードレジスタ 3	16	0	R	020C$_H$	0000$_H$	—	○	—	—
			10-0				—	—	—	—
			12-0				—	—	—	○
PM3	ポートモードレジスタ 3	16	0	R/W	030C$_H$	FFFF$_H$	—	○	—	—
			10-0				—	—	—	—
			12-0				—	—	—	○
PMC3	ポートモードコントロールレジスタ 3	16	0	R/W	040C$_H$	0000$_H$	—	○	—	—
			10-0				—	—	—	—
			12-0				—	—	—	○
PFC3	ポート機能コントロールレジスタ 3	16	9-3	R/W	050C$_H$	0000$_H$	—	—	—	○
PNOT3	ポートノットレジスタ 3	16	0	W	070C$_H$	0000$_H$	—	○	—	—
			10-0				—	—	—	—
			12-0				—	—	—	○
PMSR3	ポートモードセット／リセットレジスタ 3	32	16, 0	R/W	080C$_H$	0000 FFFF$_H$	—	○	—	—
			26-16, 10-0				—	—	—	—
			28-16, 12-0				—	—	—	○
PMCSR3	ポートモードコントロールセット／リセットレジスタ 3	32	16, 0	R/W	090C$_H$	0000 0000$_H$	—	○	—	—
			26-16, 10-0				—	—	—	—
			28-16, 12-0				—	—	—	○
PIBC3	ポート入力バッファコントロールレジスタ 3	16	0	R/W	400C$_H$	0000$_H$	—	○	—	—
			10-0				—	—	—	—
			12-0				—	—	—	○
PBDC3	ポート双方向コントロールレジスタ 3	16	0	R/W	410C$_H$	0000$_H$	—	○	—	—
			10-0				—	—	—	—
			12-0				—	—	—	○
PU3	プルアップオプションレジスタ 3	16	0	R/W	430C$_H$	0000$_H$	—	○	—	—
			10-0				—	—	—	—
			12-0				—	—	—	○
PD3	プルダウンオプションレジスタ 3	16	0	R/W	440C$_H$	0000$_H$	—	○	—	—
			10-0				—	—	—	—
			12-0				—	—	—	○
PODC3	ポートオープンドレインコントロールレジスタ 3	32	0	R/W	450C$_H$	0000 0000$_H$	—	○	—	—
			10-0				—	—	—	—
			12-0				—	—	—	○
PDSC3	ポートドライブ強度コントロールレジスタ 3	32	0	R/W	460C$_H$	0000 0000$_H$	—	○	—	—
			10-0				—	—	—	—
			12-0				—	—	—	○
PIS3	ポート入力バッファ選択レジスタ 3	16	0	R/W	470C$_H$	FFFF$_H$	—	○	—	—
			10-0				—	—	—	—
			12-0				—	—	—	○
PPROTS3	ポート保護ステータスレジスタ 3	32	0	R	4B0C$_H$	0000 0000$_H$	—	○	—	○
PPCMD3	ポート保護コマンドレジスタ 3	32	7-0	W	4C0C$_H$	0000 0000$_H$	—	○	—	○

注1. 未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。
ライトする場合はリセット後の値を書いてください。

2A.10.6 ポート 8（P8）

2A.10.6.1 兼用機能

表 2A.49 ポート 8（P8）

ポートモード（PMC8_m＝0）	兼用モード（PMC8_m=1）														ADC	専用機能	パッケージ No.			
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				176 Pin	233 Pin	272 Pin	324 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力						
P8_0	TAUJ0I0	TAUJ0O0	DPIN2	PWGA14O	INTP4	CSIH0CSS0	CAN6RX/INTP6		RIIC1SDA		SENT0RX		CAN6RX		ADCA0I0S		80	U15	—	AA14
P8_1	TAPA0ESO	TAUJ0O1	DPIN0	PWGA15O	INTP5	CSIH1CSS3		CAN6TX	RIIC1SCL			SENT0SPCO			ADCA0I1S		81	T14	—	Y14
P8_2	TAUJ0I0	TAUJ0O0	DPIN2	CSIH0CSS0	INTP6	PWGA22O		RLIN37TX							ADCA0I4S		38	U2	—	AA2
P8_3	TAUJ0I1	TAUJ0O1	DPIN3	CSIH0CSS1	INTP7	PWGA23O		CAN7TX							ADCA0I5S		82	U16	—	AB15
P8_4	TAUJ0I2	TAUJ0O2	DPIN4	CSIH0CSS2	INTP8	PWGA36O	CAN7RX/INTP9						CAN7RX		ADCA0I6S		83	R14	—	AA15
P8_5	TAUJ0I3	TAUJ0O3	NMI	CSIH0CSS3	INTP9	PWGA37O									ADCA0I7S		84	T15	—	Y15
P8_6	NMI	CSIH0CSS4		PWGA38O		RTCA0OUT									ADCA0I8S	$\overline{\text{RESETOUT}}$	85	P13	—	AB18
P8_7		CSIH3CSS0		PWGA39O		ADCA0SEL0		RTCA0OUT							ADCA0I14S		86	R15	—	AA16
P8_8		CSIH3CSS1		PWGA40O		ADCA0SEL1	RLIN34RX/INTP14						RLIN34RX		ADCA0I15S		87	P14	—	AA18
P8_9		CSIH3CSS2		PWGA41O		ADCA0SEL2		RLIN34TX							ADCA0I16S		88	T16	—	AB19
P8_10		CSIH3CSS3	DPIN14	PWGA42O			RLIN37RX/INTP17						RLIN37RX		ADCA0I17S		39	P3	—	AA3
P8_11	TAUJ1I2	TAUJ1O2	DPIN15	PWGA43O		CSIH1CSS4	RLIN25RX								ADCA0I18S		40	T3	—	AB2
P8_12	TAUJ1I3	TAUJ1O3	DPIN16	PWGA44O		CSIH1CSS5	INTP23	RLIN25TX							ADCA0I19S		41	P4	—	Y4

注　意

1. 公開されていない兼用機能を選択した場合の動作および性能は保証できません。
2. ADC 機能は初期設定で使用してください。詳細は「**表 2A.50 制御レジスタ（P8）**」を参照してください。
3. リセット中およびリセット解除後、P8_6 端子は $\overline{\text{RESETOUT}}$ 機能としてロウレベルを出力します。
詳細は「**2A.11.1.1 P8_6：$\overline{\text{RESETOUT}}$** 」を参照してください。

2A.10.6.2　制御レジスタ

表 2A.50　制御レジスタ（P8）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス			
			位置	R/W 注1			176 Pin	233 Pin	272 Pin	324 Pin
P8	ポートレジスタ 8	16	12-0	R/W	0020_H	0000_H	○	○	—	○
PSR8	ポートセット／リセットレジスタ 8	32	28-16, 12-0	R/W	0120_H	$0000\ 0000_H$	○	○	—	○
PPR8	ポート端子リードレジスタ 8	16	12-0	R	0220_H	0000_H	○	○	—	○
PM8	ポートモードレジスタ 8	16	12-0	R/W	0320_H	$FFBF_H$	○	○	—	○
PMC8	ポートモードコントロールレジスタ 8	16	12-0	R/W	0420_H	0000_H	○	○	—	○
PFC8	ポート機能コントロールレジスタ 8	16	12-0	R/W	0520_H	0000_H	○	○	—	○
PFCE8	ポート機能コントロール拡張レジスタ 8	16	12-0	R/W	0620_H	0000_H	○	○	—	○
PNOT8	ポートノットレジスタ 8	16	12-0	W	0720_H	0000_H	○	○	—	○
PMSR8	ポートモードセット／リセットレジスタ 8	32	28-16, 12-0	R/W	0820_H	$0000\ FFBF_H$	○	○	—	○
PMCSR8	ポートモードコントロールセット／リセットレジスタ 8	32	28-16, 12-0	R/W	0920_H	$0000\ 0000_H$	○	○	—	○
PFCAE8	ポート機能コントロール追加拡張レジスタ 8	16	10, 8, 4, 1, 0	R/W	$0A20_H$	0000_H	○	○	—	○
PIBC8	ポート入力バッファコントロールレジスタ 8	16	12-0	R/W	4020_H	0000_H	○	○	—	○
PBDC8	ポート双方向コントロールレジスタ 8	16	12-0	R/W	4120_H	0000_H	○	○	—	○
PU8	プルアップオプションレジスタ 8	16	12-0	R/W	4320_H	0000_H	○	○	—	○
PD8	プルダウンオプションレジスタ 8	16	12-0	R/W	4420_H	0000_H	○	○	—	○
PODC8	ポートオープンドレインコントロールレジスタ 8	32	12-0	R/W	4520_H	$0000\ 0040_H$	○	○	—	○
PIS8	ポート入力バッファ選択レジスタ 8	32	12-0	R/W	4720_H	$FFFF_H$	○	○	—	○
PPROTS8	ポート保護ステータスレジスタ 8	32	0	R	$4B20_H$	$0000\ 0000_H$	○	○	—	○
PPCMD8	ポート保護コマンドレジスタ 8	32	7-0	W	$4C20_H$	$xxxx\ xx00_H$	○	○	—	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。
ライトする場合はリセット後の値を書いてください。

注　意

P8_6 はレジスタ操作により設定が変わるまで，どのリセット解除後でもロウレベルを出力します。詳細は「**2A.11.1.1 P8_6： $\overline{\textbf{RESETOUT}}$** 」を参照してください。

2A.10.7　ポート 9（P9）

2A.10.7.1　兼用機能

表 2A.51　ポート 9（P9）

ポートモード（PMC9_m＝0）	兼用モード（PMC9_m＝1）														ADC	専用機能	パッケージ No.			
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				176 Pin	233 Pin	272 Pin	324 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力						
P9_0	NMI	PWGA8O	TAUD0I0	TAUD0O0	ADCA0TRG0	CSIH2CSS0	KR0I4		TAUJ1I1	TAUJ1O1	SENT1RX		RIIC1SDA		ADCA0I2S		108	K16	—	T20
P9_1	INTP11	PWGA9O	TAUD0I2	TAUD0O2	KR0I5	CSIH2CSS1			TAUJ1I2	TAUJ1O2		SENT1SPCO	RIIC1SCL		ADCA0I3S		109	K17	—	R20
P9_2	KR0I6	PWGA20O	TAPA0ESO	CSIH2CSS2											ADCA0I9S		110	J17	—	R19
P9_3	KR0I7	PWGA21O		CSIH2CSS3	TAUJ1I1	TAUJ1O1	INTP16								ADCA0I10S		111	J15	—	P19
P9_4		CSIH0CSS5		PWGA33O	TAUJ1I0	TAUJ1O0	INTP17								ADCA0I11S		112	J16	—	N19

注　意

1.　公開されていない兼用機能を選択した場合の動作および性能は保証できません。
2.　ADC 機能は初期設定で使用してください。詳細は「**表 2A.52　制御レジスタ（P9）**」を参照してください。

2A.10.7.2 制御レジスタ

表 2A.52 制御レジスタ（P9）

レジスタ	機能	レジスタサイズ	有効ビット 位置	有効ビット R/W 注1	オフセットアドレス	リセット後の値	デバイス 176 Pin	233 Pin	272 Pin	324 Pin
P9	ポートレジスタ 9	16	4-0	R/W	0024H	0000H	○	○	—	○
PSR9	ポートセット／リセットレジスタ 9	32	20-16, 4-0	R/W	0124H	0000 0000H	○	○	—	○
PPR9	ポート端子リードレジスタ 9	16	4-0	R	0224H	0000H	○	○	—	○
PM9	ポートモードレジスタ 9	16	4-0	R/W	0324H	FFFFH	○	○	—	○
PMC9	ポートモードコントロールレジスタ 9	16	4-0	R/W	0424H	0000H	○	○	—	○
PFC9	ポート機能コントロールレジスタ 9	16	4-0	R/W	0524H	0000H	○	○	—	○
PFCE9	ポート機能コントロール拡張レジスタ 9	16	4, 3, 1, 0	R/W	0624H	0000H	○	○	—	○
PNOT9	ポートノットレジスタ 9	16	4-0	W	0724H	0000H	○	○	—	○
PMSR9	ポートモードセット／リセットレジスタ 9	32	20-16, 4-0	R/W	0824H	0000 FFFFH	○	○	—	○
PMCSR9	ポートモードコントロールセット／リセットレジスタ 9	32	20-16, 4-0	R/W	0924H	0000 0000H	○	○	—	○
PFCAE9	ポート機能コントロール追加拡張レジスタ 9	16	1, 0	R/W	0A24H	0000H	○	○	—	○
PIBC9	ポート入力バッファコントロールレジスタ 9	16	4-0	R/W	4024H	0000H	○	○	—	○
PBDC9	ポート双方向コントロールレジスタ 9	16	4-0	R/W	4124H	0000H	○	○	—	○
PU9	プルアップオプションレジスタ 9	16	4-0	R/W	4324H	0000H	○	○	—	○
PD9	プルダウンオプションレジスタ 9	16	4-0	R/W	4424H	0000H	○	○	—	○
PODC9	ポートオープンドレインコントロールレジスタ 9	32	4-0	R/W	4524H	0000 0000H	○	○	—	○
PIS9	ポート入力バッファ選択レジスタ 9	16	4-0	R/W	4724H	FFFFH	○	○	—	○
PPROTS9	ポート保護ステータスレジスタ 9	32	0	R	4B24H	0000 0000H	○	○	—	○
PPCMD9	ポート保護コマンドレジスタ 9	32	7-0	W	4C24H	xxxx xx00H	○	○	—	○

注1. 未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。
ライトする場合はリセット後の値を書いてください。

2A.10.8 ポート 10（P10）

2A.10.8.1 兼用機能

表 2A.53 ポート 10（P10）

ポートモード（PMC10_m=0）	兼用モード（PMC10_m=1）														ADC	専用機能	パッケージ No.			
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				176 Pin	233 Pin	272 Pin	324 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力						
P10_0	TAUD0I1	TAUD0O1	CAN0RX/ INTP0	CSCXFOUT		PWGA0O	TAUJ1I3	TAPA0UP	CSIH1SI	MEMC0A19	ETNB0RXCLK	TAUJ1O3	CAN0RX				174	A2	—	D7
P10_1	TAUD0I3	TAUD0O3	INTP18	CAN0TX		PWGA1O	TAUJ3I0	TAPA0UN	CSIH1SC		ETNB0RXD0	MEMC0A20		TAUJ3O0		MODE0	175	B2	—	D6
P10_2	TAUD0I5	TAUD0O5	RIIC0SDA		KR0I0	PWGA2O	ADCA0TRG0	TAPA0VP		CSIH1SO	ETNB0RXD1	MEMC0A21		RLIN37TX		MODE1	176	C3	—	C5
P10_3	TAUD0I7	TAUD0O7	RIIC0SCL		KR0I1	PWGA3O	ADCA0TRG1	TAPA0VN	$\overline{\text{CSIH1SSI}}$	MEMC0CLK	RLIN37RX/ INTP17		RLIN37RX				1	B1	—	C4
P10_4	TAUD0I9	TAUD0O9	RLIN21RX	CAN6TX	KR0I2	ADCA0SEL0	ADCA0TRG2	TAPA0WP	$\overline{\text{CSIG0SSI}}$	PWGA53O	ETNB0RXD2	MEMC0A22					2	D3	—	B2
P10_5	TAUD0I11	TAUD0O11	CAN6RX/ INTP6	RLIN21TX	KR0I3	ADCA0SEL1		TAPA0WN	CSIG0RYI	CSIG0RYO	ETNB0RXD3	PWGA54O	CAN6RX				3	C2	—	C3
P10_6	TAUD0I13	TAUD0O13		CSIG0SO	ENCA0TIN0	ADCA0SEL2	CAN1RX /INTP1		MEMC0AD0		RLIN24RX		CAN1RX			MODE2	152	A9	—	D14
P10_7	TAUD0I15	TAUD0O15	CSIG0SC		ENCA0TIN1	PWGA4O		CAN1TX	MEMC0AD1			RLIN24TX	TAUJ3I1	TAUJ3O1			153	A8	—	C14
P10_8	TAUD0I10	TAUD0O10	CSIG0SI	FLXA0TXDB	ENCA0EC	PWGA5O	MEMC0AD2						TAUJ3I2	TAUJ3O2		FLMD1	154	D8	—	B14
P10_9	TAUD0I12	TAUD0O12	RLIN30RX/ INTP10		ENCA0E0	PWGA6O	CSIH0RYI	CSIH0RYO	MEMC0AD3		FLXA0RXDB		RLIN30RX				155	B8	—	C13
P10_10	TAUD0I14	TAUD0O14		RLIN30TX	ENCA0E1	PWGA7O		CSIH0CSS1	MEMC0AD4				TAUJ3I3	TAUJ3O3			156	A7	—	A14
P10_11		PWGA16O	RLIN31RX/ INTP11	FLXA0TXEN A		CSIH1CSS0	TAUB0I1	TAUB0O1	MEMC0AD5				RLIN31RX				157	C8	—	B13
P10_12		PWGA17O	FLXA0STPW T	RLIN31TX		CSIH1CSS1	TAUB0I3	TAUB0O3	MEMC0AD6								158	D7	—	A13
P10_13	$\overline{\text{CSIH0SSI}}$	PWGA18O	RLIN32RX/ INTP12	FLXA0TXEN B			TAUB0I5	TAUB0O5	MEMC0AD7			CAN7TX	RLIN32RX				159	A6	—	C12
P10_14	ADCA1TRG0	PWGA19O	FLXA0RXDA	RLIN32TX	$\overline{\text{CSIH3SSI}}$		TAUB0I7	TAUB0O7	MEMC0AD8		CAN7RX/ INTP9		CAN7RX				160	B7	—	B12
P10_15	CSIH3RYI	CSIH3RYO		PWGA24O	RLIN22RX		TAUB0I9	TAUB0O9		$\overline{\text{MEMC0RD}}$							6	C1	—	D1

注　意

公開されていない兼用機能を選択した場合の動作および性能は保証できません。

2A.10.8.2　制御レジスタ

表 2A.54　制御レジスタ（P10）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス			
			位置	R/W 注1			176 Pin	233 Pin	272 Pin	324 Pin
P10	ポートレジスタ 10	16	15-0	R/W	0028_H	0000_H	○	○	—	○
PSR10	ポートセット／リセットレジスタ 10	32	31-16, 15-0	R/W	0128_H	$0000\ 0000_H$	○	○	—	○
PPR10	ポート端子リードレジスタ 10	16	15-0	R	0228_H	0000_H	○	○	—	○
PM10	ポートモードレジスタ 10	16	15-0	R/W	0328_H	$FFFF_H$	○	○	—	○
PMC10	ポートモードコントロールレジスタ 10	16	15-0	R/W	0428_H	0000_H	○	○	—	○
PFC10	ポート機能コントロールレジスタ 10	16	15-0	R/W	0528_H	0000_H	○	○	—	○
PFCE10	ポート機能コントロール拡張レジスタ 10	16	15-0	R/W	0628_H	0000_H	○	○	—	○
PNOT10	ポートノットレジスタ 10	16	15-0	W	0728_H	0000_H	○	○	—	○
PMSR10	ポートモードセット／リセットレジスタ 10	32	31-16, 15-0	R/W	0828_H	$0000\ FFFF_H$	○	○	—	○
PMCSR10	ポートモードコントロールセット／リセットレジスタ 10	32	31-16, 15-0	R/W	0928_H	$0000\ 0000_H$	○	○	—	○
PFCAE10	ポート機能コントロール追加拡張レジスタ 10	16	15-0	R/W	$0A28_H$	0000_H	○	○	—	○
PIBC10	ポート入力バッファコントロールレジスタ 10	16	15-0	R/W	4028_H	0000_H	○	○	—	○
PBDC10	ポート双方向コントロールレジスタ 10	16	15-0	R/W	4128_H	0000_H	○	○	—	○
PIPC10	ポート IP コントロールレジスタ 10	16	14-0	R/W	4228_H	0000_H	○	○	—	○
PU10	プルアップオプションレジスタ 10	16	15-0	R/W	4328_H	0000_H	○	○	—	○
PD10	プルダウンオプションレジスタ 10	16	15-0	R/W	4428_H	0000_H	○	○	—	○
PODC10	ポートオープンドレインコントロールレジスタ 10	32	15-0	R/W	4528_H	$0000\ 0000_H$	○	○	—	○
PDSC10	ポートドライブ強度コントロールレジスタ 10	32	15-0	R/W	4628_H	$0000\ 0000_H$	○	○	—	○
PIS10	ポート入力バッファ選択レジスタ 10	16	15-0	R/W	4728_H	$FFFF_H$	○	○	—	○
PISA10	ポート入力バッファ選択アドバンストレジスタ 10	16	5, 4, 2-0	R/W	$4A28_H$	0000_H	○	○	—	○
PPROTS10	ポート保護ステータスレジスタ 10	32	0	R	$4B28_H$	$0000\ 0000_H$	○	○	—	○
PPCMD10	ポート保護コマンドレジスタ 10	32	7-0	W	$4C28_H$	$xxxx\ xx00_H$	○	○	—	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。
　　　ライトする場合はリセット後の値を書いてください。

2A.10.9 ポート 11（P11）

2A.10.9.1 兼用機能

表 2A.55 ポート 11（P11）

ポートモード（PMC11_m＝0）	兼用モード（PMC11_m＝1）														ADC	専用機能	パッケージ No.			
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				176 Pin	233 Pin	272 Pin	324 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力						
P11_0	CSIH2RYI	CSIH2RYO	ADCA1TRG2	PWGA25O		RLIN22TX	TAUB0I11	TAUB0O11		$\overline{\text{MEMC0WR}}$							7	D2	—	E3
P11_1	$\overline{\text{CSIH2SSI}}$	FLXA0TXDA	RLIN20RX	CSIH0CSS7	INTP20	PWGA26O	TAUB0I13	TAUB0O13	MEMC0AD9								161	A5	—	A12
P11_2		CSIH2SO	RLIN32RX/INTP12	RLIN20TX		PWGA27O	TAUB0I15	TAUB0O15	MEMC0AD10		SFMA0IO3		RLIN32RX				162	C7	—	D11
P11_3	CSIH2SC		CAN3RX/INTP3	PWGA28O	TAUB1I1	TAUB1O1	MEMC0AD11			RLIN32TX	SFMA0IO2		CAN3RX				163	B6	—	C11
P11_4	CSIH2SI	CAN3TX	INTP21	PWGA29O	TAUB1I3	TAUB1O3	MEMC0AD12				SFMA0IO1						164	B5	—	A10
P11_5	CAN5RX/INTP5	RLIN33TX		PWGA30O	CSIH3SI		TAUB1I5	TAUB1O5	MEMC0AD13		SFMA0IO0		CAN5RX				165	A4	—	A9
P11_6	RLIN33RX/INTP13	CAN5TX	ADCA1TRG1	PWGA31O		CSIH3SO	TAUB1I7	TAUB1O7	MEMC0AD14			SFMA0SSL	RLIN33RX				166	D6	—	B9
P11_7	INTP5			PWGA32O	CSIH3SC		TAUB1I9	TAUB1O9	MEMC0AD15			SFMA0CLK					167	C6	—	C9
P11_8	$\overline{\text{CSIG1SSI}}$	RLIN35TX		PWGA48O	TAUB1I11	TAUB1O11		$\overline{\text{MEMC0CS0}}$									8	E3	—	E2
P11_9		CSIG1SO	RLIN35RX/INTP15	PWGA49O	TAUB1I13	TAUB1O13		$\overline{\text{MEMC0CS1}}$					RLIN35RX				9	D1	—	F3
P11_10	CSIG1SC			PWGA50O	TAUB1I15	TAUB1O15		$\overline{\text{MEMC0CS2}}$									10	E2	—	G3
P11_11	CSIG1SI	RLIN25TX		PWGA51O	TAUB1I0	TAUB1O0		$\overline{\text{MEMC0CS3}}$	ETNB0RXDV								11	F3	—	G2
P11_12	RLIN25RX			PWGA52O	TAUB1I2	TAUB1O2	$\overline{\text{MEMC0WAIT}}$										12	E1	—	H2
P11_15	CAN2RX/INTP2	CSIH2CSS4		PWGA55O	TAUB1I8	TAUB1O8		$\overline{\text{MEMC0ASTB}}$	ETNB0RXERR	RLIN36TX			CAN2RX				168	D5	—	D9

注 意

公開されていない兼用機能を選択した場合の動作および性能は保証できません。

2A.10.9.2 制御レジスタ

表 2A.56 制御レジスタ（P11）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス			
			位置	R/W 注1			176 Pin	233 Pin	272 Pin	324 Pin
P11	ポートレジスタ 11	16	15, 12-0	R/W	002CH	0000H	○	○	—	○
PSR11	ポートセット／リセットレジスタ 11	32	31, 28-16, 15, 12-0	R/W	012CH	0000 0000H	○	○	—	○
PPR11	ポート端子リードレジスタ 11	16	15, 12-0	R	022CH	0000H	○	○	—	○
PM11	ポートモードレジスタ 11	16	15, 12-0	R/W	032CH	FFFFH	○	○	—	○
PMC11	ポートモードコントロールレジスタ 11	16	15, 12-0	R/W	042CH	0000H	○	○	—	○
PFC11	ポート機能コントロールレジスタ 11	16	15, 12-0	R/W	052CH	0000H	○	○	—	○
PFCE11	ポート機能コントロール拡張レジスタ 11	16	15, 12-0	R/W	062CH	0000H	○	○	—	○
PNOT11	ポートノットレジスタ 11	16	15, 12-0	W	072CH	0000H	○	○	—	○
PMSR11	ポートモードセット／リセットレジスタ 11	32	31, 28-16, 15, 12-0	R/W	082CH	0000 FFFFH	○	○	—	○
PMCSR11	ポートモードコントロールセット／リセットレジスタ 11	32	31, 28-16, 15, 12-0	R/W	092CH	0000 0000H	○	○	—	○
PFCAE11	ポート機能コントロール追加拡張レジスタ 11	16	15, 11, 9, 7-0	R/W	0A2CH	0000H	○	○	—	○
PIBC11	ポート入力バッファコントロールレジスタ 11	16	15, 12-0	R/W	402CH	0000H	○	○	—	○
PBDC11	ポート双方向コントロールレジスタ 11	16	15, 12-0	R/W	412CH	0000H	○	○	—	○
PIPC11	ポート IP コントロールレジスタ 11	16	10, 9, 7-1	R/W	422CH	0000H	○	○	—	○
PU11	プルアップオプションレジスタ 11	16	15, 12-0	R/W	432CH	0000H	○	○	—	○
PD11	プルダウンオプションレジスタ 11	16	15, 12-0	R/W	442CH	0000H	○	○	—	○
PODC11	ポートオープンドレインコントロールレジスタ 11	32	15, 12-0	R/W	452CH	0000 0000H	○	○	—	○
PDSC11	ポートドライブ強度コントロールレジスタ 11	32	15, 12-0	R/W	462CH	0000 0000H	○	○	—	○
PIS11	ポート入力バッファ選択レジスタ 11	16	15, 12-0	R/W	472CH	FFFFH	○	○	—	○
PISA11	ポート入力バッファ選択アドバンストレジスタ 11	16	15, 12-10	R/W	4A2CH	0000H	○	○	—	○
PPROTS11	ポート保護ステータスレジスタ 11	32	0	R	4B2CH	0000 0000H	○	○	—	○
PPCMD11	ポート保護コマンドレジスタ 11	32	7-0	W	4C2CH	xxxx xx00H	○	○	—	○

注1. 未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。
ライトする場合はリセット後の値を書いてください。

2A.10.10　ポート 12（P12）

2A.10.10.1　兼用機能

表 2A.57　　ポート 12（P12）

ポートモード（PMC12_m=0）	兼用モード（PMC12_m=1）														ADC	専用機能	パッケージ No.			
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				176 Pin	233 Pin	272 Pin	324 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力						
P12_0		CAN2TX		PWGA56O	TAUB1I10	TAUB1O10	$\overline{\text{CSIG2SSI}}$	MEMC0A16	RLIN36RX/INTP16				RLIN36RX				169	B4	—	A7
P12_1	RLIN34RX/INTP14	CSIH2CSS5		PWGA57O	TAUB1I12	TAUB1O12		MEMC0A17					RLIN34RX				170	C5	—	A6
P12_2	INTP19	RLIN34TX		PWGA58O	TAUB1I14	TAUB1O14		MEMC0A18	CSIG2RYI	CSIG2RYO							171	A3	—	D8
P12_3	RLIN27RX			PWGA68O	CSIG2SI	$\overline{\text{MEMC0BEN0}}$	TAUB1I6	TAUB1O6									15	G1	—	L4
P12_4		RLIN27TX		PWGA69O	CSIG2SC		ETNB0MDIO			$\overline{\text{MEMC0BEN1}}$							16	H1	—	N4
P12_5		PWGA70O		ETNB0MDC		CSIG2SO	TAUB1I4	TAUB1O4									17	J3	—	R1

注　意

公開されていない兼用機能を選択した場合の動作および性能は保証できません。

2A.10.10.2 制御レジスタ

表 2A.58 制御レジスタ（P12）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス			
			位置	R/W 注1			176 Pin	233 Pin	272 Pin	324 Pin
P12	ポートレジスタ 12	16	5-0	R/W	0030_H	0000_H	○	○	—	○
PSR12	ポートセット／リセットレジスタ 12	32	21-16, 5-0	R/W	0130_H	$0000\ 0000_H$	○	○	—	○
PPR12	ポート端子リードレジスタ 12	16	5-0	R	0230_H	0000_H	○	○	—	○
PM12	ポートモードレジスタ 12	16	5-0	R/W	0330_H	$FFFF_H$	○	○	—	○
PMC12	ポートモードコントロールレジスタ 12	16	5-0	R/W	0430_H	0000_H	○	○	—	○
PFC12	ポート機能コントロールレジスタ 12	16	5-0	R/W	0530_H	0000_H	○	○	—	○
PFCE12	ポート機能コントロール拡張レジスタ 12	16	5-0	R/W	0630_H	0000_H	○	○	—	○
PNOT12	ポートノットレジスタ 12	16	5-0	W	0730_H	0000_H	○	○	—	○
PMSR12	ポートモードセット／リセットレジスタ 12	32	21-16, 5-0	R/W	0830_H	$0000\ FFFF_H$	○	○	—	○
PMCSR12	ポートモードコントロールセット／リセットレジスタ 12	32	21-16, 5-0	R/W	0930_H	$0000\ 0000_H$	○	○	—	○
PFCAE12	ポート機能コントロール追加拡張レジスタ 12	16	4, 2-0	R/W	$0A30_H$	0000_H	○	○	—	○
PIBC12	ポート入力バッファコントロールレジスタ 12	16	5-0	R/W	4030_H	0000_H	○	○	—	○
PBDC12	ポート双方向コントロールレジスタ 12	16	5-0	R/W	4130_H	0000_H	○	○	—	○
PIPC12	ポート IP コントロールレジスタ 12	16	5, 4	R/W	4230_H	0000_H	○	○	—	○
PU12	プルアップオプションレジスタ 12	16	5-0	R/W	4330_H	0000_H	○	○	—	○
PD12	プルダウンオプションレジスタ 12	16	5-0	R/W	4430_H	0000_H	○	○	—	○
PODC12	ポートオープンドレインコントロールレジスタ 12	32	5-0	R/W	4530_H	$0000\ 0000_H$	○	○	—	○
PDSC12	ポートドライブ強度コントロールレジスタ 12	32	5-0	R/W	4630_H	$0000\ 0000_H$	○	○	—	○
PIS12	ポート入力バッファ選択レジスタ 12	16	5-0	R/W	4730_H	$FFFF_H$	○	○	—	○
PISA12	ポート入力バッファ選択アドバンストレジスタ 12	16	4	R/W	$4A30_H$	0000_H	○	○	—	○
PPROTS12	ポート保護ステータスレジスタ 12	32	0	R	$4B30_H$	$0000\ 0000_H$	○	○	—	○
PPCMD12	ポート保護コマンドレジスタ 12	32	7-0	W	$4C30_H$	$xxxx\ xx00_H$	○	○	—	○

注1. 未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。
ライトする場合はリセット後の値を書いてください。

2A.10.11 ポート 13（P13）

2A.10.11.1 兼用機能

表 2A.59 ポート 13（P13）

ポートモード（PMC13_m=0）	兼用モード（PMC13_m=1）														ADC	専用機能	パッケージ No.			
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				176 Pin	233 Pin	272 Pin	324 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力						
P13_0		MEMC0A19															—	C4	—	C7
P13_1		MEMC0A20															—	B3	—	B6
P13_2	ETNB0RXDV																—	F2	—	K3
P13_3	ETNB0RXERR																—	F1	—	L3
P13_4																	—	G2	—	—
	ETNB1LINK																—	—	—	M3
P13_5		MEMC0A21															—	G3	—	K2
P13_6		MEMC0A22		PWGA72O													—	H3	—	M4
P13_7				PWGA73O													—	H2	—	—
		MEMC0A23		PWGA73O													—	—	—	N3

注 意

公開されていない兼用機能を選択した場合の動作および性能は保証できません。

2A.10.11.2　制御レジスタ

表 2A.60　制御レジスタ（P13）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス			
			位置	R/W 注1			176 Pin	233 Pin	272 Pin	324 Pin
P13	ポートレジスタ 13	16	7-0	R/W	0034$_H$	0000$_H$	—	○	—	○
PSR13	ポートセット／リセットレジスタ 13	32	23-16, 7-0	R/W	0134$_H$	0000 0000$_H$	—	○	—	○
PPR13	ポート端子リードレジスタ 13	16	7-0	R	0234$_H$	0000$_H$	—	○	—	○
PM13	ポートモードレジスタ 13	16	7-0	R/W	0334$_H$	FFFF$_H$	—	○	—	○
PMC13	ポートモードコントロールレジスタ 13	16	7-5, 3-0	R/W	0434$_H$	0000$_H$	—	○	—	—
			7-0				—	—	—	○
PFC13	ポート機能コントロールレジスタ 13	16	7, 6	R/W	0534$_H$	0000$_H$	—	○	—	○
PNOT13	ポートノットレジスタ 13	16	7-0	W	0734$_H$	0000$_H$	—	○	—	○
PMSR13	ポートモードセット／リセットレジスタ 13	32	23-16, 7-0	R/W	0834$_H$	0000 FFFF$_H$	—	○	—	○
PMCSR13	ポートモードコントロールセット／リセットレジスタ 13	32	23-21, 19-16, 7-5, 3-0	R/W	0934$_H$	0000 0000$_H$	—	○	—	—
			23-16, 7-0				—	—	—	○
PIBC13	ポート入力バッファコントロールレジスタ 13	16	7-0	R/W	4034$_H$	0000$_H$	—	○	—	○
PBDC13	ポート双方向コントロールレジスタ 13	16	7-0	R/W	4134$_H$	0000$_H$	—	○	—	○
PU13	プルアップオプションレジスタ 13	16	7-0	R/W	4334$_H$	0000$_H$	—	○	—	○
PD13	プルダウンオプションレジスタ 13	16	7-0	R/W	4434$_H$	0000$_H$	—	○	—	○
PODC13	ポートオープンドレインコントロールレジスタ 13	32	7-0	R/W	4534$_H$	0000 0000$_H$	—	○	—	○
PDSC13	ポートドライブ強度コントロールレジスタ 13	32	7-0	R/W	4634$_H$	0000 0000$_H$	—	○	—	○
PIS13	ポート入力バッファ選択レジスタ 13	16	7-0	R/W	4734$_H$	FFFF$_H$	—	○	—	○
PISA13	ポート入力バッファ選択アドバンストレジスタ 13	16	5, 3, 2	R/W	4A34$_H$	0000$_H$	—	○	—	—
			5-2				—	—	—	○
PPROTS13	ポート保護ステータスレジスタ 13	32	0	R	4B34$_H$	0000 0000$_H$	—	○	—	○
PPCMD13	ポート保護コマンドレジスタ 13	32	7-0	W	4C34$_H$	0000 0000$_H$	—	○	—	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。
ライトする場合はリセット後の値を書いてください。

2A.10.12　ポート 18（P18）

2A.10.12.1　兼用機能

表 2A.61　　ポート 18（P18）

ポートモード（PMC18_m＝0）	兼用モード（PMC18_m＝1）										ADC	専用機能	パッケージ No.			
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用				176 Pin	233 Pin	272 Pin	324 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力						
P18_0	CSIG1RYI	CSIG1RYO	ETNB0LINK	PWGA61O			TAUJ3I0	TAUJ3O0			ADCA1I0S		143	C14	—	A21
P18_1		PWGA62O		ETNB0TXD0			TAUJ3I1	TAUJ3O1			ADCA1I1S		144	B15	—	B20
P18_2		PWGA63O		ETNB0TXD1			TAUJ3I2	TAUJ3O2			ADCA1I2S		145	B14	—	C19
P18_3		PWGA71O		ETNB0TXD2			TAUJ3I3	TAUJ3O3			ADCA1I3S		146	B13	—	A19
P18_4		CSIH1CSS4		ETNB0TXD3							ADCA1I4S		147	C11	—	B18
P18_5		CSIH1CSS5		ETNB0TXEN							ADCA1I5S		148	A14	—	D16
P18_6											ADCA1I6S		149	A13	—	—
		PWGA95O									ADCA1I6S		—	—	—	A18
P18_7	ETNB0TXCLK										ADCA1I7S		150	B11	—	B16
P18_8											ADCA1I8S		—	A16	—	B19
P18_9											ADCA1I9S		—	C13	—	A20
P18_10											ADCA1I10S		—	A15	—	C18
P18_11											ADCA1I11S		—	B12	—	C17
P18_12											ADCA1I12S		—	C12	—	C16
P18_13											ADCA1I13S		—	A12	—	B17
P18_14											ADCA1I14S		—	C9	—	C15
P18_15											ADCA1I15S		—	A11	—	A17

注　意

1. 公開されていない兼用機能を選択した場合の動作および性能は保証できません。
2. ADC 機能は初期設定で使用してください。詳細は「**表 2A.62　制御レジスタ（P18）**」を参照してください。

2A.10.12.2　制御レジスタ

表 2A.62　制御レジスタ（P18）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス			
			位置	R/W [注1]			176 Pin	233 Pin	272 Pin	324 Pin
P18	ポートレジスタ 18	16	7-0	R/W	0048$_H$	0000$_H$	○	—	—	—
			15-0				—	○	—	○
PSR18	ポートセット／リセットレジスタ 18	32	23-16, 7-0	R/W	0148$_H$	0000 0000$_H$	○	—	—	—
			31-16, 15-0				—	○	—	○
PPR18	ポート端子リードレジスタ 18	16	7-0	R	0248$_H$	0000$_H$	○	—	—	—
			15-0				—	○	—	○
PM18	ポートモードレジスタ 18	16	7-0	R/W	0348$_H$	FFFF$_H$	○	—	—	—
			15-0				—	○	—	○
PMC18	ポートモードコントロールレジスタ 18	16	7, 5-0	R/W	0448$_H$	0000$_H$	○	○	—	—
			7-0				—	—	—	○
PFC18	ポート機能コントロールレジスタ 18	16	5-0	R/W	0548$_H$	0000$_H$	○	○	—	○
PFCE18	ポート機能コントロール拡張レジスタ 18	16	3-0	R/W	0648$_H$	0000$_H$	○	○	—	○
PNOT18	ポートノットレジスタ 18	16	7-0	W	0748$_H$	0000$_H$	○	—	—	—
			15-0				—	○	—	○
PMSR18	ポートモードセット／リセットレジスタ 18	32	23-16, 7-0	R/W	0848$_H$	0000 FFFF$_H$	○	—	—	—
			31-16, 15-0				—	○	—	○
PMCSR18	ポートモードコントロールセット／リセットレジスタ 18	32	23, 21-16, 7, 5-0	R/W	0948$_H$	0000 0000$_H$	○	○	—	—
			23-16, 7-0				—	—	—	○
PIBC18	ポート入力バッファコントロールレジスタ 18	16	7-0	R/W	4048$_H$	0000$_H$	○	—	—	—
			15-0				—	○	—	○
PBDC18	ポート双方向コントロールレジスタ 18	16	7-0	R/W	4148$_H$	0000$_H$	○	—	—	—
			15-0				—	○	—	○
PU18	プルアップオプションレジスタ 18	16	7-0	R/W	4348$_H$	0000$_H$	○	—	—	—
			15-0				—	○	—	○
PD18	プルダウンオプションレジスタ 18	16	7-0	R/W	4448$_H$	0000$_H$	○	—	—	—
			15-0				—	○	—	○
PODC18	ポートオープンドレインコントロールレジスタ 18	32	7-0	R/W	4548$_H$	0000 0000$_H$	○	—	—	—
			15-0				—	○	—	○
PDSC18	ポートドライブ強度コントロールレジスタ 18	32	7-0	R/W	4648$_H$	0000 0000$_H$	○	—	—	—
			15-0				—	○	—	○
PIS18	ポート入力バッファ選択レジスタ 18	16	7-0	R/W	4748$_H$	FFFF$_H$	○	—	—	—
			15-0				—	○	—	○
PISA18	ポート入力バッファ選択アドバンストレジスタ 18	16	7, 0	R/W	4A48$_H$	0000$_H$	○	—	—	—
			9-7, 0				—	○	—	○
PPROTS18	ポート保護ステータスレジスタ 18	32	0	R	4B48$_H$	0000 0000$_H$	○	○	—	○
PPCMD18	ポート保護コマンドレジスタ 18	32	7-0	W	4C48$_H$	xxxx xx00$_H$	○	○	—	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。
ライトする場合はリセット後の値を書いてください。

2A.10.13　ポート 19（P19）

2A.10.13.1　兼用機能

表 2A.63　ポート 19（P19）

ポート モード	兼用モード														ADC	専用機能	パッケージ No.			
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				176 Pin	233 Pin	272 Pin	324 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力						
P19_0															ADCA1I16S		—	C10	—	A16
P19_1															ADCA1I17S		—	B10	—	A15
P19_2															ADCA1I18S		—	A10	—	D15
P19_3															ADCA1I19S		—	B9	—	B15

注　意

1. 公開されていない兼用機能を選択した場合の動作および性能は保証できません。
2. ADC 機能は初期設定で使用してください。詳細は「**表 2A.64 制御レジスタ（P19）**」を参照してください。

2A.10.13.2　制御レジスタ

表 2A.64　　制御レジスタ（P19）

レジスタ	機能	レジスタサイズ	有効ビット 位置	有効ビット R/W 注1	オフセットアドレス	リセット後の値	デバイス 176 Pin	デバイス 233 Pin	デバイス 272 Pin	デバイス 324 Pin
P19	ポートレジスタ 19	16	3-0	R/W	$004C_H$	0000_H	—	○	—	○
PSR19	ポートセット／リセットレジスタ 19	32	19-16, 3-0	R/W	$014C_H$	$0000\ 0000_H$	—	○	—	○
PPR19	ポート端子リードレジスタ 19	16	3-0	R	$024C_H$	0000_H	—	○	—	○
PM19	ポートモードレジスタ 19	16	3-0	R/W	$034C_H$	$FFFF_H$	—	○	—	○
PNOT19	ポートノットレジスタ 19	16	3-0	W	$074C_H$	0000_H	—	○	—	○
PMSR19	ポートモードセット／リセットレジスタ 19	32	19-16, 3-0	R/W	$084C_H$	$0000\ FFFF_H$	—	○	—	○
PIBC19	ポート入力バッファコントロールレジスタ 19	16	3-0	R/W	$404C_H$	0000_H	—	○	—	○
PBDC19	ポート双方向コントロールレジスタ 19	16	3-0	R/W	$414C_H$	0000_H	—	○	—	○
PU19	プルアップオプションレジスタ 19	16	3-0	R/W	$434C_H$	0000_H	—	○	—	○
PD19	プルダウンオプションレジスタ 19	16	3-0	R/W	$444C_H$	0000_H	—	○	—	○
PODC19	ポートオープンドレインコントロールレジスタ 19	32	3-0	R/W	$454C_H$	$0000\ 0000_H$	—	○	—	○
PDSC19	ポートドライブ強度コントロールレジスタ 19	32	3-0	R/W	$464C_H$	$0000\ 0000_H$	—	○	—	○
PIS19	ポート入力バッファ選択レジスタ 19	16	3-0	R/W	$474C_H$	$FFFF_H$	—	○	—	○
PPROTS19	ポート保護ステータスレジスタ 19	32	0	R	$4B4C_H$	$0000\ 0000_H$	—	○	—	○
PPCMD19	ポート保護コマンドレジスタ 19	32	7-0	W	$4C4C_H$	$0000\ 0000_H$	—	○	—	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。
ライトする場合はリセット後の値を書いてください。

2A.10.14　ポート20（P20）

2A.10.14.1　兼用機能

表2A.65　　ポート20（P20）

ポートモード（PMC20_m＝0）	兼用モード（PMC20_m＝1）														ADC	専用機能	パッケージNo.			
	第1兼用		第2兼用		第3兼用		第4兼用		第5兼用		第6兼用		第7兼用				176 Pin	233 Pin	272 Pin	324 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力						
P20_0	RLIN26RX			PWGA64O	CAN6RX/INTP6		CSIG3SI						CAN6RX				118	G17	—	J20
P20_1		RLIN26TX		PWGA65O		CAN6TX		CSIG3SO									117	H15	—	J22
P20_2	CAN4RX/INTP4			PWGA66O	RLIN29RX		CSIG3SC						CAN4RX				116	H16	—	K20
P20_3		CAN4TX		PWGA67O		RLIN29TX	CSIG3RYI	CSIG3RYO									115	H17	—	K21
P20_4	RLIN23RX		INTP22	PWGA59O	CAN7RX/INTP9		$\overline{\text{CSIG3SSI}}$						CAN7RX				120	F17	—	H22
P20_5		RLIN23TX	INTP23	PWGA60O		CAN7TX											119	G16	—	J21
P20_6		PWGA88O															—	—	—	G21
P20_7		PWGA89O															—	—	—	G22
P20_8		PWGA90O															—	—	—	H20
P20_9		PWGA91O															—	—	—	H21
P20_10		PWGA92O															—	—	—	K22
P20_11		PWGA93O															—	—	—	L20
P20_12		PWGA94O															—	—	—	L21
P20_13		PWGA95O															—	—	—	—
	RLIN215RX	PWGA95O															—	—	—	M20
P20_14																	—	—	—	—
		RLIN215TX															—	—	—	M21
P20_15	RLIN214RX																—	—	—	L22

注　意

公開されていない兼用機能を選択した場合の動作および性能は保証できません。

2A.10.14.2　制御レジスタ

表 2A.66　　制御レジスタ（P20）

レジスタ	機能	レジスタサイズ	有効ビット 位置	有効ビット R/W 注1	オフセットアドレス	リセット後の値	デバイス 176 Pin	233 Pin	272 Pin	324 Pin
P20	ポートレジスタ 20	16	5-0	R/W	0050$_H$	0000$_H$	○	○	—	—
			14-0				—	—	—	—
			15-0				—	—	—	○
PSR20	ポートセット／リセットレジスタ 20	32	21-16, 5-0	R/W	0150$_H$	0000 0000$_H$	○	○	—	—
			30-16, 14-0				—	—	—	—
			31-16, 15-0				—	—	—	○
PPR20	ポート端子リードレジスタ 20	16	5-0	R	0250$_H$	0000$_H$	○	○	—	—
			14-0				—	—	—	—
			15-0				—	—	—	○
PM20	ポートモードレジスタ 20	16	5-0	R/W	0350$_H$	FFFF$_H$	○	○	—	—
			14-0				—	—	—	—
			15-0				—	—	—	○
PMC20	ポートモードコントロールレジスタ 20	16	5-0	R/W	0450$_H$	0000$_H$	○	○	—	—
			13-0				—	—	—	—
			15-0				—	—	—	○
PFC20	ポート機能コントロールレジスタ 20	16	5-0	R/W	0550$_H$	0000$_H$	○	○	—	○
PFCE20	ポート機能コントロール拡張レジスタ 20	16	5-0	R/W	0650$_H$	0000$_H$	○	○	—	○
PNOT20	ポートノットレジスタ 20	16	5-0	W	0750$_H$	0000$_H$	○	○	—	—
			14-0				—	—	—	—
			15-0				—	—	—	○
PMSR20	ポートモードセット／リセットレジスタ 20	32	21-16, 5-0	R/W	0850$_H$	0000 FFFF$_H$	○	○	—	—
			30-16, 14-0				—	—	—	—
			31-16, 15-0				—	—	—	○
PMCSR20	ポートモードコントロールセット／リセットレジスタ 20	32	21-16, 5-0	R/W	0950$_H$	0000 0000$_H$	○	○	—	—
			29-16, 13-0				—	—	—	—
			31-16, 15-0				—	—	—	○
PFCAE20	ポート機能コントロール追加拡張レジスタ 20	16	4, 2, 0	R/W	0A50$_H$	0000$_H$	○	○	—	○
PIBC20	ポート入力バッファコントロールレジスタ 20	16	5-0	R/W	4050$_H$	0000$_H$	○	○	—	—
			14-0				—	—	—	—
			15-0				—	—	—	○
PBDC20	ポート双方向コントロールレジスタ 20	16	5-0	R/W	4150$_H$	0000$_H$	○	○	—	—
			14-0				—	—	—	—
			15-0				—	—	—	○
PIPC20	ポート IP コントロールレジスタ 20	16	2, 1	R/W	4250$_H$	0000$_H$	○	○	—	○
PU20	プルアップオプションレジスタ 20	16	5-0	R/W	4350$_H$	0000$_H$	○	○	—	—
			14-0				—	—	—	—
			15-0				—	—	—	○
PD20	プルダウンオプションレジスタ 20	16	5-0	R/W	4450$_H$	0000$_H$	○	○	—	—
			14-0				—	—	—	—
			15-0				—	—	—	○
PODC20	ポートオープンドレインコントロールレジスタ 20	32	5-0	R/W	4550$_H$	0000 0000$_H$	○	○	—	—
			14-0				—	—	—	—
			15-0				—	—	—	○

表 2A.66　　制御レジスタ（P20）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス			
			位置	R/W 注1			176 Pin	233 Pin	272 Pin	324 Pin
PDSC20	ポートドライブ強度コントロールレジスタ 20	32	5-0	R/W	4650H	0000 0000H	○	○	—	—
			14-0				—	—	—	—
			15-0				—	—	—	○
PIS20	ポート入力バッファ選択レジスタ 20	16	5-0	R/W	4750H	FFFFH	○	○	—	—
			14-0				—	—	—	—
			15-0				—	—	—	○
PPROTS20	ポート保護ステータスレジスタ 20	32	0	R	4B50H	0000 0000H	○	○	—	○
PPCMD20	ポート保護コマンドレジスタ 20	32	7-0	W	4C50H	xxxx xx00H	○	○	—	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。
　　　ライトする場合はリセット後の値を書いてください。

2A.10.15　ポート 21（P21）

2A.10.15.1　兼用機能

表 2A.67　　ポート 21（P21）

ポートモード（PMC21_m＝0）	兼用モード（PMC21_m＝1）														ADC	専用機能	パッケージ No.			
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				176 Pin	233 Pin	272 Pin	324 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力						
P21_0																	—	—	—	—
	ETNB1RXDV																—	—	—	H3
P21_1																	—	—	—	—
	MMCA0DAT7																—	—	—	B11
P21_2																	—	—	—	—
	ETNB1RXD2																—	—	—	J2
P21_3																	—	—	—	—
	ETNB1RXD1																—	—	—	J3
P21_4																	—	—	—	—
	ETNB1RXD0																—	—	—	H1
P21_5	ETNB1RXD3																—	—	—	J1
P21_6		ETNB1MDC															—	—	—	K1
P21_7	ETNB1MDIO																—	—	—	L1
P21_8	ETNB1RXERR																—	—	—	L2
P21_9																	—	—	—	M1
P21_10																	—	—	—	M2
P21_11	RLIN213RX																—	—	—	N1
P21_12		RLIN213TX															—	—	—	P1
P21_13	RLIN212RX																—	—	—	N2
P21_14		RLIN212TX															—	—	—	P2

注　意

公開されていない兼用機能を選択した場合の動作および性能は保証できません。

2A.10.15.2　制御レジスタ

表 2A.68　制御レジスタ（P21）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス			
			位置	R/W [注1]			176 Pin	233 Pin	272 Pin	324 Pin
P21	ポートレジスタ 21	16	4-0	R/W	0054_H	0000_H	—	—	—	—
			14-0				—	—	—	○
PSR21	ポートセット／リセットレジスタ 21	32	20-16, 4-0	R/W	0154_H	$0000\ 0000_H$	—	—	—	—
			30-16, 14-0				—	—	—	○
PPR21	ポート端子リードレジスタ 21	16	4-0	R	0254_H	0000_H	—	—	—	—
			14-0				—	—	—	○
PM21	ポートモードレジスタ 21	16	4-0	R/W	0354_H	$FFFF_H$	—	—	—	—
			14-0				—	—	—	○
PMC21	ポートモードコントロールレジスタ 21	16	14-11, 8-0	R/W	0454_H	0000_H	—	—	—	○
PNOT21	ポートノットレジスタ 21	16	4-0	W	0754_H	0000_H	—	—	—	—
			14-0				—	—	—	○
PMSR21	ポートモードセット／リセットレジスタ 21	32	20-16, 4-0	R/W	0854_H	$0000\ FFFF_H$	—	—	—	—
			30-16, 14-0				—	—	—	○
PMCSR21	ポートモードコントロールセット／リセットレジスタ 21	32	30-27, 24-16, 14-11, 8-0	R/W	0954_H	$0000\ 0000_H$	—	—	—	○
PIBC21	ポート入力バッファコントロールレジスタ 21	16	4-0	R/W	4054_H	0000_H	—	—	—	—
			14-0				—	—	—	○
PBDC21	ポート双方向コントロールレジスタ 21	16	4-0	R/W	4154_H	0000_H	—	—	—	—
			14-0				—	—	—	○
PIPC21	ポート IP コントロールレジスタ 21	16	7, 1	R/W	4254_H	0000_H	—	—	—	○
PU21	プルアップオプションレジスタ 21	16	4-0	R/W	4354_H	0000_H	—	—	—	—
			14-0				—	—	—	○
PD21	プルダウンオプションレジスタ 21	16	4-0	R/W	4454_H	0000_H	—	—	—	—
			14-0				—	—	—	○
PODC21	ポートオープンドレインコントロールレジスタ 21	32	4-0	R/W	4554_H	$0000\ 0000_H$	—	—	—	—
			14-0				—	—	—	○
PDSC21	ポートドライブ強度コントロールレジスタ 21	32	14-0	R/W	4654_H	$0000\ 0000_H$	—	—	—	○
PIS21	ポート入力バッファ選択レジスタ 21	16	4-0	R/W	4754_H	$FFFF_H$	—	—	—	—
			14-0				—	—	—	○
PISA21	ポート入力バッファ選択アドバンストレジスタ 21	16	10-7, 5-2, 0	R/W	$4A54_H$	0000_H	—	—	—	○
PPROTS21	ポート保護ステータスレジスタ 21	32	0	R	$4B54_H$	$0000\ 0000_H$	—	—	—	○
PPCMD21	ポート保護コマンドレジスタ 21	32	7-0	W	$4C54_H$	$0000\ 0000_H$	—	—	—	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。
ライトする場合はリセット後の値を書いてください。

2A.10.16　ポート 22（P22）

2A.10.16.1　兼用機能

表 2A.69　　ポート 22（P22）

ポートモード（PMC22_m＝0）	兼用モード（PMC22_m＝1）														ADC	専用機能	パッケージ No.			
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				176 Pin	233 Pin	272 Pin	324 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力						
P22_0																	—	—	—	—
	ETNB1RXCLK																—	—	—	G1
P22_1																	—	—	—	—
		ETNB1TXD3															—	—	—	F2
P22_2																	—	—	—	—
		ETNB1TXD2															—	—	—	F1
P22_3																	—	—	—	—
		ETNB1TXD1															—	—	—	E1
P22_4																	—	—	—	—
		ETNB1TXD0															—	—	—	D2
P22_5																	—	—	—	—
		ETNB1TXEN															—	—	—	D3
P22_6																	—	—	—	—
	ETNB1TXCLK																—	—	—	C2
P22_7																	—	—	—	—
	MMCA0CMD																—	—	—	A5
P22_8																	—	—	—	—
		MMCA0CLK															—	—	—	C6
P22_9																	—	—	—	—
	MMCA0DAT0																—	—	—	B7
P22_10																	—	—	—	—
	MMCA0DAT1																—	—	—	C8
P22_11																	—	—	—	—
	MMCA0DAT2																—	—	—	A8
P22_12																	—	—	—	—
	MMCA0DAT3																—	—	—	B8
P22_13																	—	—	—	—
	MMCA0DAT4																—	—	—	C10

表 2A.69　　ポート 22（P22）

ポートモード（PMC22_m=0）	兼用モード（PMC22_m=1）														ADC	専用機能	パッケージ No.			
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				176 Pin	233 Pin	272 Pin	324 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力						
P22_14																	—	—	—	—
	MMCA0DAT5																—	—	—	B10
P22_15																	—	—	—	—
	MMCA0DAT6																—	—	—	A11

注　意

公開されていない兼用機能を選択した場合の動作および性能は保証できません。

2A.10.16.2　制御レジスタ

表 2A.70　　制御レジスタ（P22）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス			
			位置	R/W 注1			176 Pin	233 Pin	272 Pin	324 Pin
P22	ポートレジスタ 22	16	15-0	R/W	0058H	0000H	—	—	—	○
PSR22	ポートセット／リセットレジスタ 22	32	31-16, 15-0	R/W	0158H	0000 0000H	—	—	—	○
PPR22	ポート端子リードレジスタ 22	16	15-0	R	0258H	0000H	—	—	—	○
PM22	ポートモードレジスタ 22	16	15-0	R/W	0358H	FFFFH	—	—	—	○
PMC22	ポートモードコントロールレジスタ 22	16	15-0	R/W	0458H	0000H	—	—	—	○
PNOT22	ポートノットレジスタ 22	16	15-0	W	0758H	0000H	—	—	—	○
PMSR22	ポートモードセット／リセットレジスタ 22	32	31-16, 15-0	R/W	0858H	0000 FFFFH	—	—	—	○
PMCSR22	ポートモードコントロールセット／リセットレジスタ 22	32	31-16, 15-0	R/W	0958H	0000 0000H	—	—	—	○
PIBC22	ポート入力バッファコントロールレジスタ 22	16	15-0	R/W	4058H	0000H	—	—	—	○
PBDC22	ポート双方向コントロールレジスタ 22	16	15-0	R/W	4158H	0000H	—	—	—	○
PIPC22	ポート IP コントロールレジスタ 22	16	15-9, 7	R/W	4258H	0000H	—	—	—	○
PU22	プルアップオプションレジスタ 22	16	15-0	R/W	4358H	0000H	—	—	—	○
PD22	プルダウンオプションレジスタ 22	16	15-0	R/W	4458H	0000H	—	—	—	○
PODC22	ポートオープンドレインコントロールレジスタ 22	32	15-0	R/W	4558H	0000 0000H	—	—	—	○
PDSC22	ポートドライブ強度コントロールレジスタ 22	32	15-0	R/W	4658H	0000 0000H	—	—	—	○
PIS22	ポート入力バッファ選択レジスタ 22	16	15-0	R/W	4758H	FFFFH	—	—	—	○
PISA22	ポート入力バッファ選択アドバンストレジスタ 22	16	6, 0	R/W	4A58H	0000H	—	—	—	○
PPROTS22	ポート保護ステータスレジスタ 22	32	0	R	4B58H	0000 0000H	—	—	—	○
PPCMD22	ポート保護コマンドレジスタ 22	32	7-0	W	4C58H	0000 0000H	—	—	—	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。
ライトする場合はリセット後の値を書いてください。

2A.10.17　ポート 23（P23）

2A.10.17.1　兼用機能

表 2A.71　　ポート 23（P23）

ポートモード (PMC23_m=0)	兼用モード（PMC23_m=1）														ADC	専用機能	パッケージ No.			
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				176 Pin	233 Pin	272 Pin	324 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力						
P23_0	$\overline{\text{CSIH4SSI}}$																—	—	—	T21
P23_1		CSIH4SO															—	—	—	T22
P23_2	CSIH4SI																—	—	—	R21
P23_3	CSIH4SC																—	—	—	R22
P23_4	CSIH4RYI	CSIH4RYO															—	—	—	P21
P23_5	CSIG4RYI	CSIG4RYO															—	—	—	P22
P23_6		CSIG4SO															—	—	—	P20
P23_7	CSIG4SI																—	—	—	N20
P23_8	CSIG4SC																—	—	—	N21
P23_9	$\overline{\text{CSIG4SSI}}$																—	—	—	N22
P23_10		RLIN214TX															—	—	—	M22

注　意

公開されていない兼用機能を選択した場合の動作および性能は保証できません。

2A.10.17.2　制御レジスタ

表 2A.72　制御レジスタ（P23）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス			
			位置	R/W 注1			176 Pin	233 Pin	272 Pin	324 Pin
P23	ポートレジスタ 23	16	10-0	R/W	005C$_H$	0000$_H$	—	—	—	○
PSR23	ポートセット／リセットレジスタ 23	32	26-16, 10-0	R/W	015C$_H$	0000 0000$_H$	—	—	—	○
PPR23	ポート端子リードレジスタ 23	16	10-0	R	025C$_H$	0000$_H$	—	—	—	○
PM23	ポートモードレジスタ 23	16	10-0	R/W	035C$_H$	FFFF$_H$	—	—	—	○
PMC23	ポートモードコントロールレジスタ 23	16	10-0	R/W	045C$_H$	0000$_H$	—	—	—	○
PNOT23	ポートノットレジスタ 23	16	10-0	W	075C$_H$	0000$_H$	—	—	—	○
PMSR23	ポートモードセット／リセットレジスタ 23	32	26-16, 10-0	R/W	085C$_H$	0000 FFFF$_H$	—	—	—	○
PMCSR23	ポートモードコントロールセット／リセットレジスタ 23	32	26-16, 10-0	R/W	095C$_H$	0000 0000$_H$	—	—	—	○
PIBC23	ポート入力バッファコントロールレジスタ 23	16	10-0	R/W	405C$_H$	0000$_H$	—	—	—	○
PBDC23	ポート双方向コントロールレジスタ 23	16	10-0	R/W	415C$_H$	0000$_H$	—	—	—	○
PIPC23	ポート IP コントロールレジスタ 23	16	8, 6, 3, 1	R/W	425C$_H$	0000$_H$	—	—	—	○
PU23	プルアップオプションレジスタ 23	16	10-0	R/W	435C$_H$	0000$_H$	—	—	—	○
PD23	プルダウンオプションレジスタ 23	16	10-0	R/W	445C$_H$	0000$_H$	—	—	—	○
PODC23	ポートオープンドレインコントロールレジスタ 23	32	10-0	R/W	455C$_H$	0000 0000$_H$	—	—	—	○
PDSC23	ポートドライブ強度コントロールレジスタ 23	32	10-0	R/W	465C$_H$	0000 0000$_H$	—	—	—	○
PIS23	ポート入力バッファ選択レジスタ 23	16	10-0	R/W	475C$_H$	FFFF$_H$	—	—	—	○
PPROTS23	ポート保護ステータスレジスタ 23	32	0	R	4B5C$_H$	0000 0000$_H$	—	—	—	○
PPCMD23	ポート保護コマンドレジスタ 23	32	7-0	W	4C5C$_H$	0000 0000$_H$	—	—	—	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。
ライトする場合はリセット後の値を書いてください。

2A.10.18 ポート 24（P24）

2A.10.18.1 兼用機能

表 2A.73 ポート 24（P24）

ポートモード（PMC24_m＝0）	兼用モード（PMC24_m＝1）														ADC	専用機能	パッケージ No.			
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				176 Pin	233 Pin	272 Pin	324 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力						
P24_0		CAN8TX															—	—	—	B5
P24_1	CAN8RX/INTP18		CAN8RX														—	—	—	B4
P24_2		CAN9TX															—	—	—	A3
P24_3	CAN9RX/INTP19		CAN9RX														—	—	—	A4
P24_4		CAN10TX															—	—	—	B3
P24_5	CAN10RX/INTP20		CAN10RX														—	—	—	A2
P24_6		CAN11TX															—	—	—	B1
P24_7	CAN11RX/INTP21		CAN11RX														—	—	—	C1

注 意

公開されていない兼用機能を選択した場合の動作および性能は保証できません。

2A.10.18.2　制御レジスタ

表 2A.74　　制御レジスタ（P24）

レジスタ	機能	レジスタサイズ	有効ビット 位置	有効ビット R/W [注1]	オフセットアドレス	リセット後の値	デバイス 176 Pin	デバイス 233 Pin	デバイス 272 Pin	デバイス 324 Pin
P24	ポートレジスタ 24	16	7-0	R/W	0060_H	0000_H	—	—	—	○
PSR24	ポートセット／リセットレジスタ 24	32	23-16, 7-0	R/W	0160_H	$0000\ 0000_H$	—	—	—	○
PPR24	ポート端子リードレジスタ 24	16	7-0	R	0260_H	0000_H	—	—	—	○
PM24	ポートモードレジスタ 24	16	7-0	R/W	0360_H	$FFFF_H$	—	—	—	○
PMC24	ポートモードコントロールレジスタ 24	16	7-0	R/W	0460_H	0000_H	—	—	—	○
PFC24	ポート機能コントロールレジスタ 24	16	7, 5, 3, 1	R/W	0560_H	0000_H	—	—	—	○
PNOT24	ポートノットレジスタ 24	16	7-0	W	0760_H	0000_H	—	—	—	○
PMSR24	ポートモードセット／リセットレジスタ 24	32	23-16, 7-0	R/W	0860_H	$0000\ FFFF_H$	—	—	—	○
PMCSR24	ポートモードコントロールセット／リセットレジスタ 24	32	23-16, 7-0	R/W	0960_H	$0000\ 0000_H$	—	—	—	○
PIBC24	ポート入力バッファコントロールレジスタ 24	16	7-0	R/W	4060_H	0000_H	—	—	—	○
PBDC24	ポート双方向コントロールレジスタ 24	16	7-0	R/W	4160_H	0000_H	—	—	—	○
PU24	プルアップオプションレジスタ 24	16	7-0	R/W	4360_H	0000_H	—	—	—	○
PD24	プルダウンオプションレジスタ 24	16	7-0	R/W	4460_H	0000_H	—	—	—	○
PODC24	ポートオープンドレインコントロールレジスタ 24	32	7-0	R/W	4560_H	$0000\ 0000_H$	—	—	—	○
PDSC24	ポートドライブ強度コントロールレジスタ 24	32	7-0	R/W	4660_H	$0000\ 0000_H$	—	—	—	○
PIS24	ポート入力バッファ選択レジスタ 24	16	7-0	R/W	4760_H	$FFFF_H$	—	—	—	○
PPROTS24	ポート保護ステータスレジスタ 24	32	0	R	$4B60_H$	$0000\ 0000_H$	—	—	—	○
PPCMD24	ポート保護コマンドレジスタ 24	32	7-0	W	$4C60_H$	$0000\ 0000_H$	—	—	—	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。
　　　ライトする場合はリセット後の値を書いてください。

2A.10.19　アナログポート 0（AP0）

2A.10.19.1　兼用機能

表 2A.75　アナログポート 0（AP0）

ポート モード	兼用モード														ADC	専用機能	パッケージ No.			
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				176 Pin	233 Pin	272 Pin	324 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力						
AP0_0															ADCA0I0		106	K15	—	U22
AP0_1															ADCA0I1		105	L17	—	V22
AP0_2															ADCA0I2		104	L16	—	U21
AP0_3															ADCA0I3		103	M17	—	W22
AP0_4															ADCA0I4		102	L15	—	V21
AP0_5															ADCA0I5		101	M16	—	U20
AP0_6															ADCA0I6		100	N17	—	W21
AP0_7															ADCA0I7		99	N16	—	Y22
AP0_8															ADCA0I8		98	M15	—	W20
AP0_9															ADCA0I9		97	P17	—	AA22
AP0_10															ADCA0I10		96	P16	—	V20
AP0_11															ADCA0I11		95	N15	—	AA21
AP0_12															ADCA0I12		94	R17	—	Y21
AP0_13															ADCA0I13		93	P15	—	Y20
AP0_14															ADCA0I14		92	R16	—	W19
AP0_15															ADCA0I15		91	T17	—	AB21

注　意

ADC 機能は初期設定で使用してください。詳細は「**表 2A.76　制御レジスタ（AP0）**」を参照してください。

2A.10.19.2　制御レジスタ

表 2A.76　　制御レジスタ（AP0）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス			
			位置	R/W 注1			176 Pin	233 Pin	272 Pin	324 Pin
AP0	アナログポートレジスタ 0	16	15-0	R/W	$00C8_H$	0000_H	○	○	—	○
APSR0	アナログポートセット／リセットレジスタ 0	32	31-16, 15-0	R/W	$01C8_H$	$0000\ 0000_H$	○	○	—	○
APPR0	アナログポート端子リードレジスタ 0	16	15-0	R	$02C8_H$	0000_H	○	○	—	○
APM0	アナログポートモードレジスタ 0	16	15-0	R/W	$03C8_H$	$FFFF_H$	○	○	—	○
APNOT0	アナログポートノットレジスタ 0	16	15-0	W	$07C8_H$	0000_H	○	○	—	○
APMSR0	アナログポートモードセット／リセットレジスタ 0	32	31-16, 15-0	R/W	$08C8_H$	$0000\ FFFF_H$	○	○	—	○
APIBC0	アナログポート入力バッファコントロールレジスタ 0	16	15-0	R/W	$40C8_H$	0000_H	○	○	—	○
APBDC0	アナログポート双方向コントロールレジスタ 0	16	15-0	R/W	$41C8_H$	0000_H	○	○	—	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。
　　　ライトする場合はリセット後の値を書いてください。

2A.10.20 アナログポート 1（AP1）

2A.10.20.1 兼用機能

表 2A.77 アナログポート 1（AP1）

ポートモード	兼用モード														ADC	専用機能	パッケージ No.			
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				176 Pin	233 Pin	272 Pin	324 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力						
AP1_0															ADCA1I0		133	C17	—	C21
AP1_1															ADCA1I1		132	D15	—	C22
AP1_2															ADCA1I2		131	D16	—	E20
AP1_3															ADCA1I3		130	D17	—	D21
AP1_4															ADCA1I4		129	F14	—	E21
AP1_5															ADCA1I5		128	E15	—	D22
AP1_6															ADCA1I6		127	E16	—	F20
AP1_7															ADCA1I7		126	F15	—	E22
AP1_8															ADCA1I8		125	E17	—	F22
AP1_9															ADCA1I9		124	F16	—	F21
AP1_10															ADCA1I10		123	G14	—	G19
AP1_11															ADCA1I11		122	G15	—	G20
AP1_12															ADCA1I12		137	B16	—	C20
AP1_13															ADCA1I13		136	C15	—	B21
AP1_14															ADCA1I14		135	B17	—	D20
AP1_15															ADCA1I15		134	C16	—	B22

注　意

ADC 機能は初期設定で使用してください。詳細は「**表 2A.78 制御レジスタ（AP1）**」を参照してください。

2A.10.20.2　制御レジスタ

表 2A.78　　制御レジスタ（AP1）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス			
			位置	R/W 注1			176 Pin	233 Pin	272 Pin	324 Pin
AP1	アナログポートレジスタ 1	16	15-0	R/W	00CC$_H$	0000$_H$	○	○	—	○
APSR1	アナログポートセット／リセットレジスタ 1	32	31-16, 15-0	R/W	01CC$_H$	0000 0000$_H$	○	○	—	○
APPR1	アナログポート端子リードレジスタ 1	16	15-0	R	02CC$_H$	0000$_H$	○	○	—	○
APM1	アナログポートモードレジスタ 1	16	15-0	R/W	03CC$_H$	FFFF$_H$	○	○	—	○
APNOT1	アナログポートノットレジスタ 1	16	15-0	W	07CC$_H$	0000$_H$	○	○	—	○
APMSR1	アナログポートモードセット／リセットレジスタ 1	32	31-16, 15-0	R/W	08CC$_H$	0000 FFFF$_H$	○	○	—	○
APIBC1	アナログポート入力バッファコントロールレジスタ 1	16	15-0	R/W	40CC$_H$	0000$_H$	○	○	—	○
APBDC1	アナログポート双方向コントロールレジスタ 1	16	15-0	R/W	41CC$_H$	0000$_H$	○	○	—	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。
ライトする場合はリセット後の値を書いてください。

2A.10.21 入力ポート 0（IP0）

2A.10.21.1 兼用機能

表 2A.79 入力ポート 0（IP0）

ポートモード	兼用モード														ADC	専用機能	パッケージ No.			
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				176 Pin	233 Pin	272 Pin	324 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力						
IP0_0																XT2	57	T7	—	AA8

2A.10.21.2　制御レジスタ

表 2A.80　　制御レジスタ（IP0）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス			
			位置	R/W 注1			176 Pin	233 Pin	272 Pin	324 Pin
IPPR0	入力ポート端子リードレジスタ 0	16	0	R	02F0H	0000H	○	○	—	○
IPIBC0	ポート入力バッファコントロールレジスタ 0	16	0	R/W	40F0H	0000H	○	○	—	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。
ライトする場合はリセット後の値を書いてください。

注　意

IP0_0/XT2 端子を入力ポートとして使用する場合は、IPIBC0.0 ビット＝1 に設定してください。その際、SOSC は動作停止状態にしてください。SOSC 動作設定の詳細は、「**12AB.4.2.7　SOSCE — SubOSC イネーブルレジスタ**」を参照してください。なお、SubOSC（SOSC）として使用し、入力ポートとして使用しない場合は、IPIBC0_0 ビット＝0 に設定してください。

2A.11 ポート（特殊 I/O）機能概要

本節では、ポート（特殊 I/O）の機能について説明します。

2A.11.1 リセット後の特殊 I/O

リセット解除後の特殊な機能のポートについて次に示します。

2A.11.1.1 P8_6： $\overline{\text{RESETOUT}}$

P8_6 端子（ $\overline{\text{RESETOUT}}$ 信号）は、OPBT0.RESETOUTEN ビットの設定により PM8.PM8_6 ビットおよび PODC8.PODC8_6 ビットのリセット後の値が変わります。

P8_6 端子はリセット中にロウレベルを出力し、リセット後の端子状態は異なります。

（ケース 1）：OPBT0.RESETOUTEN＝1

- P8.P8_6＝0：ロウレベル出力
- PM8.PM8_6＝0：出力ポート
- PODC8.PODC8_6＝1：オープンドレイン出力

（ケース 2）：OPBT0.RESETOUTEN＝0

- P8.P8_6＝0：ロウレベル出力
- PM8.PM8_6＝1：入力ポート
- PODC8.PODC8_6＝0：プッシュプル

OPBT0 レジスタについての詳細は、「**44.9.2 OPBT0 — オプションバイト 0**」、および「**9A.1.3 リセット出力（ $\overline{\text{RESETOUT}}$ ）**」を参照してください。

P8_6 端子の設定を変更すると、変更後の設定に従い動作します。

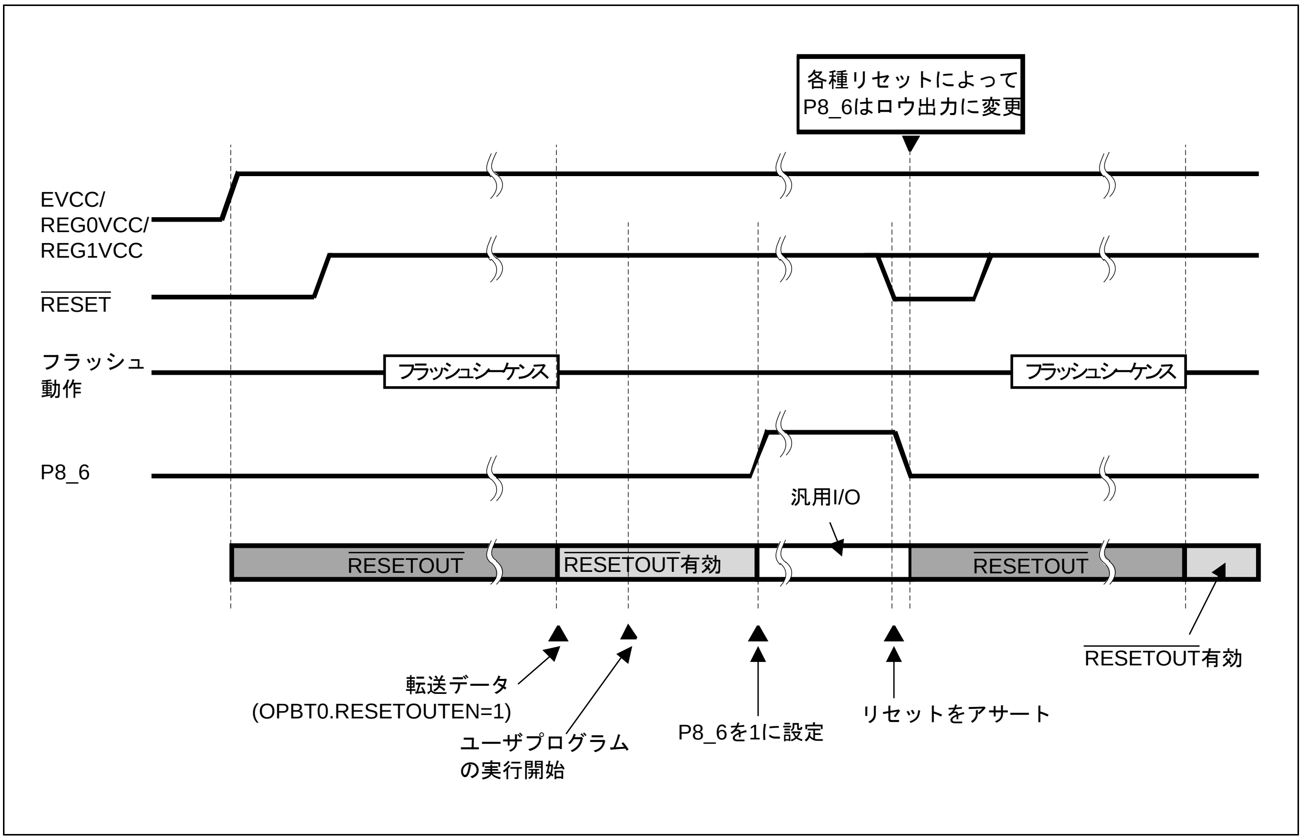
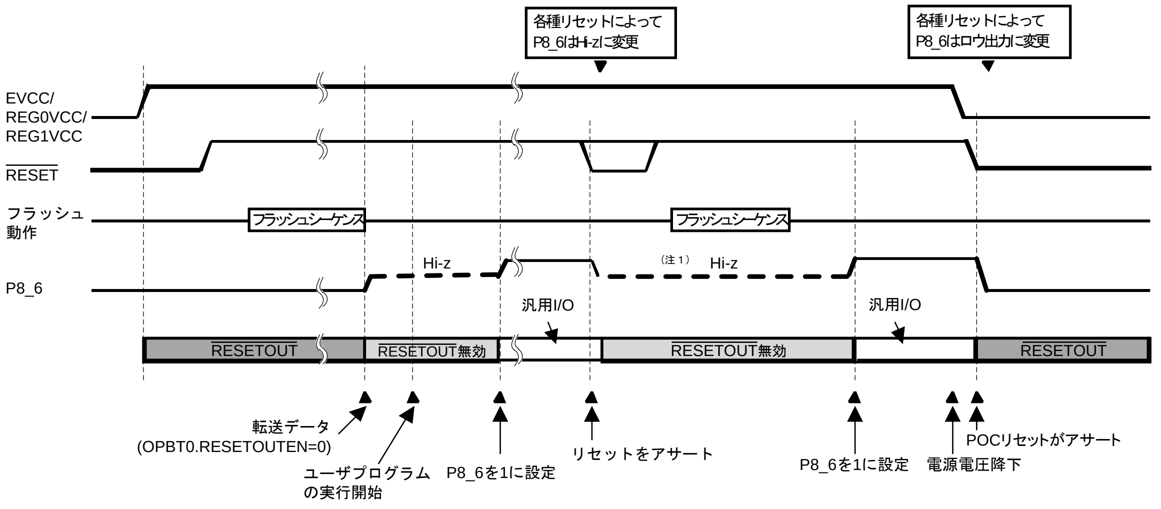


図 2A.10　リセット中およびリセット解除後の P8_6 端子（RESETOUT 信号）動作
：（ケース 1）OPBT0.RESETOUTEN を 1 に設定



注1. RESETOUT が無効（OPBT0.RESETOUTEN＝0）の状態で、リセット（POC リセットを除く）が発生したとき、P8_6 端子（RESETOUT 信号）は、Hi-z になります。

図 2A.11　リセット中およびリセット解除後の P8_6 端子（RESETOUT 信号）動作
：（ケース 2）OPBT0.RESETOUTEN を 0 に設定

2A.11.1.2　JP0_0-JP0_6：デバッグインタフェース

OPJTAG[1:0]の設定が以下の組み合わせの場合、リセット解除後、JTAG ポートグループの端子がデバッグインタフェースとして使用できます。

表 2A.81　デバッグインタフェース

OPJTAG1	OPJTAG0	モード	JP0_0	JP0_1	JP0_2	JP0_3	JP0_4	JP0_5	JP0_6
1	1	Nexus I/F	DCUTDI 入力	DCUTDO 出力	DCUTCK 入力	DCUTMS 入力	$\overline{\text{DCUTRST}}$ 入力	$\overline{\text{DCURDY}}$ 出力	$\overline{\text{EVTO}}$ 出力
0	1	LPD (4 pin)	LPDI 入力	LPDO 出力	LPDCLK 入力	ポート／ 兼用機能	ポート／ 兼用機能	LPDCLK OUT 出力	ポート／ 兼用機能
1	0	LPD (1 pin)	LPDIO 入出力	ポート／ 兼用機能	ポート／ 兼用機能	ポート／ 兼用機能	ポート／ 兼用機能	ポート／ 兼用機能	ポート／ 兼用機能

備　考

OPJTAG[1:0]の設定に関しては、「**44.9.2 OPBT0 — オプションバイト 0**」を参照してください。

2A.11.1.3　FPDR(JP0_0), FPDT(JP0_1), FPCK(JP0_2)：フラッシュプログラマ

これらの端子はフラッシュプログラマと接続する場合に使用します。詳細は、「*フラッシュプログラマのマニュアル*」を参照してください。

2A.11.1.4　モード端子

FLMD0 端子と P10_8：FLMD1 端子を組み合わせてシリアルプログラミングモードに設定できます。

FLMD0 端子と P10_8：FLMD1 端子、P10_2：MODE1 端子、P10_1：MODE0 端子を組み合わせてバウンダリスキャンモードに設定できます。

FLMD0 端子と P10_8：FLMD1 端子、P10_6：MODE2 端子、P10_2：MODE1 端子、P10_1：MODE0 端子を組み合わせてユーザブートモードを選択できます。

モード選択の詳細は、「**第 6 章 動作モード**」を参照してください。

2A.11.1.5　IP0_0：XT2

SubOSC（SOSC）の入力端子です。IPIBC0_0 ビット＝1 に設定すると、IP0_0 / XT2 端子を入力ポートとして使用できます。その際、SOSC は動作停止状態にしてください。

2A.11.2　A/D 入力兼用 I/O

次のポートは A/D の入力に常に接続しています。（ただし、A/D へのアナログ入力は、A/D のモジュールで制御されます。）

表 2A.82　A/D 入力兼用端子

ポート	A/D 入力	デバイス			
		176 Pin	233 Pin	272 Pin	324 Pin
P8_0	ADCA0I0S	○	○	—	○
P8_1	ADCA0I1S	○	○	—	○
P8_2	ADCA0I4S	○	○	—	○
P8_3	ADCA0I5S	○	○	—	○
P8_4	ADCA0I6S	○	○	—	○
P8_5	ADCA0I7S	○	○	—	○
P8_6	ADCA0I8S	○	○	—	○
P8_7	ADCA0I14S	○	○	—	○
P8_8	ADCA0I15S	○	○	—	○
P8_9	ADCA0I16S	○	○	—	○
P8_10	ADCA0I17S	○	○	—	○
P8_11	ADCA0I18S	○	○	—	○
P8_12	ADCA0I19S	○	○	—	○
P9_0	ADCA0I2S	○	○	—	○
P9_1	ADCA0I3S	○	○	—	○
P9_2	ADCA0I9S	○	○	—	○
P9_3	ADCA0I10S	○	○	—	○
P9_4	ADCA0I11S	○	○	—	○
P18_0	ADCA1I0S	○	○	—	○
P18_1	ADCA1I1S	○	○	—	○
P18_2	ADCA1I2S	○	○	—	○
P18_3	ADCA1I3S	○	○	—	○
P18_4	ADCA1I4S	○	○	—	○
P18_5	ADCA1I5S	○	○	—	○
P18_6	ADCA1I6S	○	○	—	○
P18_7	ADCA1I7S	○	○	—	○
P18_8	ADCA1I8S	—	○	—	○
P18_9	ADCA1I9S	—	○	—	○
P18_10	ADCA1I10S	—	○	—	○
P18_11	ADCA1I11S	—	○	—	○
P18_12	ADCA1I12S	—	○	—	○
P18_13	ADCA1I13S	—	○	—	○
P18_14	ADCA1I14S	—	○	—	○
P18_15	ADCA1I15S	—	○	—	○
P19_0	ADCA1I16S	—	○	—	○
P19_1	ADCA1I17S	—	○	—	○
P19_2	ADCA1I18S	—	○	—	○
P19_3	ADCA1I19S	—	○	—	○
AP0_0	ADCA0I0	○	○	—	○
AP0_1	ADCA0I1	○	○	—	○

表 2A.82　　A/D 入力兼用端子

ポート	A/D 入力	デバイス			
		176 Pin	233 Pin	272 Pin	324 Pin
AP0_2	ADCA0I2	〇	〇	—	〇
AP0_3	ADCA0I3	〇	〇	—	〇
AP0_4	ADCA0I4	〇	〇	—	〇
AP0_5	ADCA0I5	〇	〇	—	〇
AP0_6	ADCA0I6	〇	〇	—	〇
AP0_7	ADCA0I7	〇	〇	—	〇
AP0_8	ADCA0I8	〇	〇	—	〇
AP0_9	ADCA0I9	〇	〇	—	〇
AP0_10	ADCA0I10	〇	〇	—	〇
AP0_11	ADCA0I11	〇	〇	—	〇
AP0_12	ADCA0I12	〇	〇	—	〇
AP0_13	ADCA0I13	〇	〇	—	〇
AP0_14	ADCA0I14	〇	〇	—	〇
AP0_15	ADCA0I15	〇	〇	—	〇
AP1_0	ADCA1I0	〇	〇	—	〇
AP1_1	ADCA1I1	〇	〇	—	〇
AP1_2	ADCA1I2	〇	〇	—	〇
AP1_3	ADCA1I3	〇	〇	—	〇
AP1_4	ADCA1I4	〇	〇	—	〇
AP1_5	ADCA1I5	〇	〇	—	〇
AP1_6	ADCA1I6	〇	〇	—	〇
AP1_7	ADCA1I7	〇	〇	—	〇
AP1_8	ADCA1I8	〇	〇	—	〇
AP1_9	ADCA1I9	〇	〇	—	〇
AP1_10	ADCA1I10	〇	〇	—	〇
AP1_11	ADCA1I11	〇	〇	—	〇
AP1_12	ADCA1I12	〇	〇	—	〇
AP1_13	ADCA1I13	〇	〇	—	〇
AP1_14	ADCA1I14	〇	〇	—	〇
AP1_15	ADCA1I15	〇	〇	—	〇

2A.11.3 特殊 I/O 制御

2A.11.3.1 直接 I/O 制御（PIPC）

いくつかの兼用機能ではポートの入力／出力を自動的に制御します。

次に PIPCn.PIPCn_m＝1 とする必要がある兼用機能について示します。

詳細は「**2A.9.2.3 PIPCn ― ポート IP コントロールレジスタ**」を参照してください。

表 2A.83 PIPCn.PIPCn_m＝1 設定が必要な兼用機能

機能	兼用機能名	ポート名	電源領域	制御	参照章
MEMC	MEMC0AD0	P10_6	ISO		**第 16 章**
	MEMC0AD1	P10_7	ISO		
	MEMC0AD2	P10_8	ISO		
	MEMC0AD3	P10_9	ISO		
	MEMC0AD4	P10_10	ISO		
	MEMC0AD5	P10_11	ISO		
	MEMC0AD6	P10_12	ISO		
	MEMC0AD7	P10_13	ISO		
	MEMC0AD8	P10_14	ISO		
	MEMC0AD9	P11_1	ISO		
	MEMC0AD10	P11_2	ISO		
	MEMC0AD11	P11_3	ISO		
	MEMC0AD12	P11_4	ISO		
	MEMC0AD13	P11_5	ISO		
	MEMC0AD14	P11_6	ISO		
	MEMC0AD15	P11_7	ISO		
TAPA	TAPA0UP	P10_0	ISO	U 相 Hi-Z 制御	**第 36 章**
	TAPA0UN	P10_1	ISO		
	TAPA0VP	P10_2	ISO	V 相 Hi-Z 制御	
	TAPA0VN	P10_3	ISO		
	TAPA0WP	P10_4	ISO	W 相 Hi-Z 制御	
	TAPA0WN	P10_5	ISO		
CSIG	CSIG0SO	P0_13	AWO	シリアルデータ出力制御信号	**第 19 章**
		P10_6	ISO		
	CSIG0SC	P0_14	AWO	マスタ（1）／スレーブ（0）モード信号	
		P10_7	ISO		
	CSIG1SO	P11_9	ISO	シリアルデータ出力制御信号	
	CSIG1SC	P11_10	ISO	マスタ（1）／スレーブ（0）モード信号	
	CSIG2SO	P12_5	ISO	シリアルデータ出力制御信号	
	CSIG2SC	P12_4	ISO	マスタ（1）／スレーブ（0）モード信号	
	CSIG3SO	P20_1	ISO	シリアルデータ出力制御信号	
	CSIG3SC	P20_2	ISO	マスタ（1）／スレーブ（0）モード信号	
	CSIG4SO	P1_3	AWO	シリアルデータ出力制御信号	
		P23_6	ISO		
	CSIG4SC	P1_1	AWO	マスタ（1）／スレーブ（0）モード信号	
		P23_8	ISO		

表 2A.83 PIPCn.PIPCn_m＝1 設定が必要な兼用機能

機能	兼用機能名	ポート名	電源領域	制御	参照章
CSIH	CSIH0SO	P0_3	AWO	シリアルデータ出力制御信号	**第 20 章**
	CSIH0SC	P0_2	AWO	マスタ（1）／スレーブ（0）モード信号	
	CSIH1SO	P0_5	AWO	シリアルデータ出力制御信号	
		P10_2	ISO		
	CSIH1SC	P0_6	AWO	マスタ（1）／スレーブ（0）モード信号	
		P10_1	ISO		
	CSIH2SO	P11_2	ISO	シリアルデータ出力制御信号	
	CSIH2SC	P11_3	ISO	マスタ（1）／スレーブ（0）モード信号	
	CSIH3SO	P11_6	ISO	シリアルデータ出力制御信号	
	CSIH3SC	P11_7	ISO	マスタ（1）／スレーブ（0）モード信号	
	CSIH4SO	P2_4	AWO	シリアルデータ出力制御信号	
		P23_1	ISO		
	CSIH4SC	P1_5	AWO	マスタ（1）／スレーブ（0）モード信号	
		P23_3	ISO		
SFMA	SFMA0IO0	P11_5	ISO	SPIch.0 MOSI0_IO00 出力許可	**第 17 章**
	SFMA0IO1	P11_4	ISO	SPIch.0 MOSI0_IO10 出力許可	
	SFMA0IO2	P11_3	ISO	SPIch.0 IO20 出力許可	
	SFMA0IO3	P11_2	ISO	SPIch.0 IO30 出力許可	
ETNB	ETNB0MDIO	P12_4	ISO	MDIO 出力許可	**第 26 章**
	ETNB1MDIO	P21_7	ISO	MDIO 出力許可	
MMCA	MMCA0CMD	P22_7	ISO	MMCA0CMD 出力許可	**第 18 章**
	MMCA0DAT0	P22_9	ISO	MMCA0DAT0 出力許可	
	MMCA0DAT1	P22_10	ISO	MMCA0DAT1 出力許可	
	MMCA0DAT2	P22_11	ISO	MMCA0DAT2 出力許可	
	MMCA0DAT3	P22_12	ISO	MMCA0DAT3 出力許可	
	MMCA0DAT4	P22_13	ISO	MMCA0DAT4 出力許可	
	MMCA0DAT5	P22_14	ISO	MMCA0DAT5 出力許可	
	MMCA0DAT6	P22_15	ISO	MMCA0DAT6 出力許可	
	MMCA0DAT7	P21_1	ISO	MMCA0DAT7 出力許可	

2A.11.3.2 入力バッファ制御（PISn/JPIS0、PISAn/JPISA0）

本デバイスでは、ポートの入力バッファの特性（タイプ 1、タイプ 2）を PISn/PISAn/JPIS0 レジスタで選択することができます。適用可能な端子を「**表 2A.84 ポートの入力バッファ特性の選択**」に示します。

本デバイスでは、JTAG ポートの入力バッファの特性（タイプ 1/2、タイプ 5）を JPISA0 レジスタで選択することができます。適用可能な端子を「**表 2A.85 JTAG ポートの入力バッファ特性の選択**」に示します。

表 2A.84 ポートの入力バッファ特性の選択

ポート名	入力バッファ選択			デバイス			
	タイプ 1（PISn_m＝0 & PISAn_m＝0）	タイプ 2（PISn_m＝1 & PISAn_m＝0）	タイプ 5（PISAn_m＝1）	176 Pin	233 Pin	272 Pin	324 Pin
P0_0	SHMT1	SHMT4	—	○	○	—	○
P0_1	SHMT1	SHMT4	—	○	○	—	○
P0_2	SHMT1	SHMT4	—	○	○	—	○
P0_3	SHMT1	SHMT4	—	○	○	—	○
P0_4	SHMT1	SHMT4	—	○	○	—	○
P0_5	SHMT1	SHMT4	—	○	○	—	○
P0_6	SHMT1	SHMT4	—	○	○	—	○
P0_7	SHMT1	SHMT4	—	○	○	—	○
P0_8	SHMT1	SHMT4	—	○	○	—	○
P0_9	SHMT1	SHMT4	—	○	○	—	○
P0_10	SHMT1	SHMT4	—	○	○	—	○
P0_11	SHMT1	SHMT4	—	○	○	—	○
P0_12	SHMT1	SHMT4	—	○	○	—	○
P0_13	SHMT1	SHMT4	—	○	○	—	○
P0_14	SHMT1	SHMT4	—	○	○	—	○
P1_0	SHMT1	SHMT4	—	○	○	—	○
P1_1	SHMT1	SHMT4	—	○	○	—	○
P1_2	SHMT1	SHMT4	—	○	○	—	○
P1_3	SHMT1	SHMT4	—	○	○	—	○
P1_4	SHMT1	SHMT4	—	○	○	—	○
P1_5	SHMT1	SHMT4	—	○	○	—	○
P1_8	SHMT1	SHMT4	—	○	○	—	○
P1_9	SHMT1	SHMT4	—	○	○	—	○
P1_10	SHMT1	SHMT4	—	○	○	—	○
P1_11	SHMT1	SHMT4	—	○	○	—	○
P1_12	SHMT1	SHMT4	—	○	○	—	○
P1_13	SHMT1	SHMT4	—	○	○	—	○
P1_14	SHMT1	SHMT4	—	○	○	—	○
P1_15	SHMT1	SHMT4	—	○	○	—	○
P2_0	SHMT1	SHMT4	—	○	○	—	○
P2_1	SHMT1	SHMT4	—	○	○	—	○
P2_2	SHMT1	SHMT4	—	○	○	—	○
P2_3	SHMT1	SHMT4	—	○	○	—	○
P2_4	SHMT1	SHMT4	—	○	○	—	○
P2_5	SHMT1	SHMT4	—	○	○	—	○
P2_6	SHMT1	SHMT4	—	○	○	—	○

表 2A.84 ポートの入力バッファ特性の選択

ポート名	入力バッファ選択			デバイス			
	タイプ 1（PISn_m＝0 & PISAn_m＝0）	タイプ 2（PISn_m＝1 & PISAn_m＝0）	タイプ 5（PISAn_m＝1）	176 Pin	233 Pin	272 Pin	324 Pin
P2_7	SHMT1	SHMT4	—	—	○	—	○
P2_8	SHMT1	SHMT4	—	—	○	—	○
P2_9	SHMT1	SHMT4	—	—	○	—	○
P2_10	SHMT1	SHMT4	—	—	○	—	○
P2_11	SHMT1	SHMT4	—	—	○	—	○
P2_12	SHMT1	SHMT4	—	—	○	—	○
P2_13	SHMT1	SHMT4	—	—	○	—	○
P2_14	SHMT1	SHMT4	—	—	○	—	○
P2_15	SHMT1	SHMT4	—	—	○	—	○
P3_0	SHMT1	SHMT4	—	—	○	—	○
P3_1	SHMT1	SHMT4	—	—	—	—	○
P3_2	SHMT1	SHMT4	—	—	—	—	○
P3_3	SHMT1	SHMT4	—	—	—	—	○
P3_4	SHMT1	SHMT4	—	—	—	—	○
P3_5	SHMT1	SHMT4	—	—	—	—	○
P3_6	SHMT1	SHMT4	—	—	—	—	○
P3_7	SHMT1	SHMT4	—	—	—	—	○
P3_8	SHMT1	SHMT4	—	—	—	—	○
P3_9	SHMT1	SHMT4	—	—	—	—	○
P3_10	SHMT1	SHMT4	—	—	—	—	○
P3_11	SHMT1	SHMT4	—	—	—	—	○
P3_12	SHMT1	SHMT4	—	—	—	—	○
P8_0	SHMT1	SHMT4	—	○	○	—	○
P8_1	SHMT1	SHMT4	—	○	○	—	○
P8_2	SHMT1	SHMT4	—	○	○	—	○
P8_3	SHMT1	SHMT4	—	○	○	—	○
P8_4	SHMT1	SHMT4	—	○	○	—	○
P8_5	SHMT1	SHMT4	—	○	○	—	○
P8_6	SHMT1	SHMT4	—	○	○	—	○
P8_7	SHMT1	SHMT4	—	○	○	—	○
P8_8	SHMT1	SHMT4	—	○	○	—	○
P8_9	SHMT1	SHMT4	—	○	○	—	○
P8_10	SHMT1	SHMT4	—	○	○	—	○
P8_11	SHMT1	SHMT4	—	○	○	—	○
P8_12	SHMT1	SHMT4	—	○	○	—	○
P9_0	SHMT1	SHMT4	—	○	○	—	○
P9_1	SHMT1	SHMT4	—	○	○	—	○
P9_2	SHMT1	SHMT4	—	○	○	—	○
P9_3	SHMT1	SHMT4	—	○	○	—	○
P9_4	SHMT1	SHMT4	—	○	○	—	○
P10_0	SHMT1	SHMT4	TTL	○	○	—	○
P10_1	SHMT1	SHMT4	TTL	○	○	—	○

表 2A.84　　ポートの入力バッファ特性の選択

ポート名	入力バッファ選択			デバイス			
	タイプ 1 (PISn_m＝0 & PISAn_m＝0)	タイプ 2 (PISn_m＝1 & PISAn_m＝0)	タイプ 5 (PISAn_m＝1)	176 Pin	233 Pin	272 Pin	324 Pin
P10_2	SHMT1	SHMT4	TTL	○	○	—	○
P10_3	SHMT1	SHMT4	—	○	○	—	○
P10_4	SHMT1	SHMT4	TTL	○	○	—	○
P10_5	SHMT1	SHMT4	TTL	○	○	—	○
P10_6	SHMT1	SHMT4	—	○	○	—	○
P10_7	SHMT1	SHMT4	—	○	○	—	○
P10_8	SHMT1	SHMT4	—	○	○	—	○
P10_9	SHMT1	SHMT4	—	○	○	—	○
P10_10	SHMT1	SHMT4	—	○	○	—	○
P10_11	SHMT1	SHMT4	—	○	○	—	○
P10_12	SHMT1	SHMT4	—	○	○	—	○
P10_13	SHMT1	SHMT4	—	○	○	—	○
P10_14	SHMT1	SHMT4	—	○	○	—	○
P10_15	SHMT1	SHMT4	—	○	○	—	○
P11_0	SHMT1	SHMT4	—	○	○	—	○
P11_1	SHMT1	SHMT4	—	○	○	—	○
P11_2	SHMT1	SHMT4	—	○	○	—	○
P11_3	SHMT1	SHMT4	—	○	○	—	○
P11_4	SHMT1	SHMT4	—	○	○	—	○
P11_5	SHMT1	SHMT4	—	○	○	—	○
P11_6	SHMT1	SHMT4	—	○	○	—	○
P11_7	SHMT1	SHMT4	—	○	○	—	○
P11_8	SHMT1	SHMT4	—	○	○	—	○
P11_9	SHMT1	SHMT4	—	○	○	—	○
P11_10	SHMT1	SHMT4	TTL	○	○	—	○
P11_11	SHMT1	SHMT4	TTL	○	○	—	○
P11_12	SHMT1	SHMT4	TTL	○	○	—	○
P11_15	SHMT1	SHMT4	TTL	○	○	—	○
P12_0	SHMT1	SHMT4	—	○	○	—	○
P12_1	SHMT1	SHMT4	—	○	○	—	○
P12_2	SHMT1	SHMT4	—	○	○	—	○
P12_3	SHMT1	SHMT4	—	○	○	—	○
P12_4	SHMT1	SHMT4	TTL	○	○	—	○
P12_5	SHMT1	SHMT4	—	○	○	—	○
P13_0	SHMT1	SHMT4	—	—	○	—	○
P13_1	SHMT1	SHMT4	—	—	○	—	○
P13_2	SHMT1	SHMT4	TTL	—	○	—	○
P13_3	SHMT1	SHMT4	TTL	—	○	—	○

表 2A.84　　ポートの入力バッファ特性の選択

ポート名	入力バッファ選択			デバイス			
	タイプ 1 (PISn_m＝0 & PISAn_m＝0)	タイプ 2 (PISn_m＝1 & PISAn_m＝0)	タイプ 5 (PISAn_m＝1)	176 Pin	233 Pin	272 Pin	324 Pin
P13_4	SHMT1	SHMT4	—	—	○	—	—
			TTL	—	—	—	○
P13_5	SHMT1	SHMT4	TTL	—	○	—	○
P13_6	SHMT1	SHMT4	—	—	○	—	○
P13_7	SHMT1	SHMT4	—	—	○	—	○
P18_0	SHMT1	SHMT4	TTL	○	○	—	○
P18_1	SHMT1	SHMT4	—	○	○	—	○
P18_2	SHMT1	SHMT4	—	○	○	—	○
P18_3	SHMT1	SHMT4	—	○	○	—	○
P18_4	SHMT1	SHMT4	—	○	○	—	○
P18_5	SHMT1	SHMT4	—	○	○	—	○
P18_6	SHMT1	SHMT4	—	○	○	—	○
P18_7	SHMT1	SHMT4	TTL	○	○	—	○
P18_8	SHMT1	SHMT4	TTL	—	○	—	○
P18_9	SHMT1	SHMT4	TTL	—	○	—	○
P18_10	SHMT1	SHMT4	—	—	○	—	○
P18_11	SHMT1	SHMT4	—	—	○	—	○
P18_12	SHMT1	SHMT4	—	—	○	—	○
P18_13	SHMT1	SHMT4	—	—	○	—	○
P18_14	SHMT1	SHMT4	—	—	○	—	○
P18_15	SHMT1	SHMT4	—	—	○	—	○
P19_0	SHMT1	SHMT4	—	—	○	—	○
P19_1	SHMT1	SHMT4	—	—	○	—	○
P19_2	SHMT1	SHMT4	—	—	○	—	○
P19_3	SHMT1	SHMT4	—	—	○	—	○
P20_0	SHMT1	SHMT4	—	○	○	—	○
P20_1	SHMT1	SHMT4	—	○	○	—	○
P20_2	SHMT1	SHMT4	—	○	○	—	○
P20_3	SHMT1	SHMT4	—	○	○	—	○
P20_4	SHMT1	SHMT4	—	○	○	—	○
P20_5	SHMT1	SHMT4	—	○	○	—	○
P20_6	SHMT1	SHMT4	—	—	—	—	○
P20_7	SHMT1	SHMT4	—	—	—	—	○
P20_8	SHMT1	SHMT4	—	—	—	—	○
P20_9	SHMT1	SHMT4	—	—	—	—	○
P20_10	SHMT1	SHMT4	—	—	—	—	○
P20_11	SHMT1	SHMT4	—	—	—	—	○
P20_12	SHMT1	SHMT4	—	—	—	—	○
P20_13	SHMT1	SHMT4	—	—	—	—	○
P20_14	SHMT1	SHMT4	—	—	—	—	○
P20_15	SHMT1	SHMT4	—	—	—	—	○

表 2A.84　　ポートの入力バッファ特性の選択

ポート名	入力バッファ選択			デバイス			
	タイプ 1（PISn_m＝0 & PISAn_m＝0）	タイプ 2（PISn_m＝1 & PISAn_m＝0）	タイプ 5（PISAn_m＝1）	176 Pin	233 Pin	272 Pin	324 Pin
P21_0	SHMT1	SHMT4	—	—	—	—	—
			TTL	—	—	—	○
P21_1	SHMT1	SHMT4	—	—	—	—	○
P21_2	SHMT1	SHMT4	—	—	—	—	—
			TTL	—	—	—	○
P21_3	SHMT1	SHMT4	—	—	—	—	—
			TTL	—	—	—	○
P21_4	SHMT1	SHMT4	—	—	—	—	—
			TTL	—	—	—	○
P21_5	SHMT1	SHMT4	TTL	—	—	—	○
P21_6	SHMT1	SHMT4	—	—	—	—	○
P21_7	SHMT1	SHMT4	TTL	—	—	—	○
P21_8	SHMT1	SHMT4	TTL	—	—	—	○
P21_9	SHMT1	SHMT4	TTL	—	—	—	○
P21_10	SHMT1	SHMT4	TTL	—	—	—	○
P21_11	SHMT1	SHMT4	—	—	—	—	○
P21_12	SHMT1	SHMT4	—	—	—	—	○
P21_13	SHMT1	SHMT4	—	—	—	—	○
P21_14	SHMT1	SHMT4	—	—	—	—	○
P22_0	SHMT1	SHMT4	—	—	—	—	—
			TTL	—	—	—	○
P22_1	SHMT1	SHMT4	—	—	—	—	○
P22_2	SHMT1	SHMT4	—	—	—	—	○
P22_3	SHMT1	SHMT4	—	—	—	—	○
P22_4	SHMT1	SHMT4	—	—	—	—	○
P22_5	SHMT1	SHMT4	—	—	—	—	○
P22_6	SHMT1	SHMT4	—	—	—	—	—
			TTL	—	—	—	○
P22_7	SHMT1	SHMT4	—	—	—	—	○
P22_8	SHMT1	SHMT4	—	—	—	—	○
P22_9	SHMT1	SHMT4	—	—	—	—	○
P22_10	SHMT1	SHMT4	—	—	—	—	○
P22_11	SHMT1	SHMT4	—	—	—	—	○
P22_12	SHMT1	SHMT4	—	—	—	—	○
P22_13	SHMT1	SHMT4	—	—	—	—	○
P22_14	SHMT1	SHMT4	—	—	—	—	○
P22_15	SHMT1	SHMT4	—	—	—	—	○

表 2A.84　　ポートの入力バッファ特性の選択

ポート名	入力バッファ選択			デバイス			
	タイプ 1（PISn_m＝0 & PISAn_m＝0）	タイプ 2（PISn_m＝1 & PISAn_m＝0）	タイプ 5（PISAn_m＝1）	176 Pin	233 Pin	272 Pin	324 Pin
P23_0	SHMT1	SHMT4	—	—	—	—	○
P23_1	SHMT1	SHMT4	—	—	—	—	○
P23_2	SHMT1	SHMT4	—	—	—	—	○
P23_3	SHMT1	SHMT4	—	—	—	—	○
P23_4	SHMT1	SHMT4	—	—	—	—	○
P23_5	SHMT1	SHMT4	—	—	—	—	○
P23_6	SHMT1	SHMT4	—	—	—	—	○
P23_7	SHMT1	SHMT4	—	—	—	—	○
P23_8	SHMT1	SHMT4	—	—	—	—	○
P23_9	SHMT1	SHMT4	—	—	—	—	○
P23_10	SHMT1	SHMT4	—	—	—	—	○
P24_0	SHMT1	SHMT4	—	—	—	—	○
P24_1	SHMT1	SHMT4	—	—	—	—	○
P24_2	SHMT1	SHMT4	—	—	—	—	○
P24_3	SHMT1	SHMT4	—	—	—	—	○
P24_4	SHMT1	SHMT4	—	—	—	—	○
P24_5	SHMT1	SHMT4	—	—	—	—	○
P24_6	SHMT1	SHMT4	—	—	—	—	○
P24_7	SHMT1	SHMT4	—	—	—	—	○

表 2A.85　　JTAG ポートの入力バッファ特性の選択

ポート名	入力バッファ選択			デバイス			
	タイプ 1（JPIS0_m＝0 & JPISA0_m=0)	タイプ 2（JPIS0_m＝1 & JPISA0_m＝0）	タイプ 5（JPISA0_m＝1）	176 Pin	233 Pin	272 Pin	324 Pin
JP0_0	SHMT1	SHMT4	TTL 注 1、注 2、注 3、注 4	○	○	—	○
JP0_1	SHMT1	SHMT4	—	○	○	—	○
JP0_2	SHMT1	SHMT4	TTL 注 1、注 2、注 3	○	○	—	○
JP0_3	SHMT1	SHMT4	TTL 注 1、注 2	○	○	—	○
JP0_4	—	SHMT4	—注 1、注 2	○	○	—	○
JP0_5	SHMT1	SHMT4	—	○	○	—	○
JP0_6	SHMT1	SHMT4	—	○	○	—	○

注1.　TTL は JPISA0 レジスタ設定なしでバウンダリスキャンモードで選択されます

注2.　TTL は JPISA0 レジスタ設定なしで通常動作モードの Nexus で選択されます。

注3.　TTL は JPISA0 レジスタ設定なしで通常動作モードの LPD（4 pin）で選択されます。

注4.　TTL は JPISA0 レジスタ設定なしで通常動作モードの LPD（1 pin）で選択されます。

備　考

1. SHMT1、SHMT4、TTL の端子特性については、「**第 47A 章　RH850/F1KH-D8 の電気的特性**」を参照してください。
2. リセット後の入力バッファは、タイプ 2（SHMT4）が選択されています。

2A.11.3.3 出力バッファ制御（PDSC）

本デバイスでは、ポートの出力ドライバの強度（低速モード、高速モード）を PDSCn レジスタで選択することができます。適用可能な端子を以下の表に示します。表以外のポートは低速モードのみサポートします。

表 2A.86 出力バッファ特性選択

ポート名	出力ドライバ強度選択		デバイス			
	低速モード（PDSCn_m＝0）	高速モード（PDSCn_m＝1）	176 Pin	233 Pin	272 Pin	324 Pin
JP0_1	10MHz	40MHz	○	○	—	○
JP0_2	10MHz	40MHz	○	○	—	○
JP0_3	10MHz	40MHz	○	○	—	○
JP0_5	10MHz	40MHz	○	○	—	○
JP0_6	10MHz	40MHz	○	○	—	○
P0_0	10MHz	40MHz	○	○	—	○
P0_1	10MHz	40MHz	○	○	—	○
P0_2	10MHz	40MHz 注 1	○	○	—	○
P0_3	10MHz	40MHz 注 1	○	○	—	○
P0_4	10MHz	40MHz	○	○	—	○
P0_5	10MHz	40MHz 注 2	○	○	—	○
P0_6	10MHz	40MHz 注 2	○	○	—	○
P0_7	10MHz	40MHz	○	○	—	○
P0_8	10MHz	40MHz	○	○	—	○
P0_9	10MHz	40MHz	○	○	—	○
P0_10	10MHz	40MHz	○	○	—	○
P0_11	10MHz	40MHz	○	○	—	○
P0_12	10MHz	40MHz	○	○	—	○
P0_13	10MHz	40MHz	○	○	—	○
P0_14	10MHz	40MHz	○	○	—	○
P1_0	10MHz	40MHz	○	○	—	○
P1_1	10MHz	40MHz	○	○	—	○
P1_2	10MHz	40MHz	○	○	—	○
P1_3	10MHz	40MHz	○	○	—	○
P1_4	10MHz	40MHz	○	○	—	○
P1_5	10MHz	40MHz 注 2	○	○	—	○
P1_8	10MHz	40MHz	○	○	—	○
P1_9	10MHz	40MHz	○	○	—	○
P1_10	10MHz	40MHz	○	○	—	○
P1_11	10MHz	40MHz	○	○	—	○
P1_12	10MHz	40MHz	○	○	—	○
P1_13	10MHz	40MHz	○	○	—	○
P1_14	10MHz	40MHz	○	○	—	○
P1_15	10MHz	40MHz	○	○	—	○
P2_0	10MHz	40MHz	○	○	—	○
P2_1	10MHz	40MHz	○	○	—	○
P2_2	10MHz	40MHz	○	○	—	○
P2_3	10MHz	40MHz	○	○	—	○
P2_4	10MHz	40MHz 注 2	○	○	—	○

表 2A.86　出力バッファ特性選択

ポート名	出力ドライバ強度選択		デバイス			
	低速モード（PDSCn_m＝0）	高速モード（PDSCn_m＝1）	176 Pin	233 Pin	272 Pin	324 Pin
P2_5	10MHz	40MHz	○	○	—	○
P2_6	10MHz	40MHz	○	○	—	○
P2_7	10MHz	40MHz	—	○	—	○
P2_8	10MHz	40MHz	—	○	—	○
P2_9	10MHz	40MHz	—	○	—	○
P2_10	10MHz	40MHz	—	○	—	○
P2_11	10MHz	40MHz	—	○	—	○
P2_12	10MHz	40MHz	—	○	—	○
P2_13	10MHz	40MHz	—	○	—	○
P2_14	10MHz	40MHz	—	○	—	○
P2_15	10MHz	40MHz	—	○	—	○
P3_0	10MHz	40MHz	—	○	—	○
P3_1	10MHz	40MHz	—	—	—	○
P3_2	10MHz	40MHz	—	—	—	○
P3_3	10MHz	40MHz	—	—	—	○
P3_4	10MHz	40MHz	—	—	—	○
P3_5	10MHz	40MHz	—	—	—	○
P3_6	10MHz	40MHz	—	—	—	○
P3_7	10MHz	40MHz	—	—	—	○
P3_8	10MHz	40MHz	—	—	—	○
P3_9	10MHz	40MHz	—	—	—	○
P3_10	10MHz	40MHz	—	—	—	○
P3_11	10MHz	40MHz	—	—	—	○
P3_12	10MHz	40MHz	—	—	—	○
P10_0	10MHz	40MHz	○	○	—	○
P10_1	10MHz	40MHz 注2	○	○	—	○
P10_2	10MHz	40MHz 注2	○	○	—	○
P10_3	10MHz	40MHz	○	○	—	○
P10_4	10MHz	40MHz	○	○	—	○
P10_5	10MHz	40MHz	○	○	—	○
P10_6	10MHz	40MHz	○	○	—	○
P10_7	10MHz	40MHz	○	○	—	○
P10_8	10MHz	40MHz	○	○	—	○
P10_9	10MHz	40MHz	○	○	—	○
P10_10	10MHz	40MHz	○	○	—	○
P10_11	10MHz	40MHz	○	○	—	○
P10_12	10MHz	40MHz	○	○	—	○
P10_13	10MHz	40MHz	○	○	—	○
P10_14	10MHz	40MHz	○	○	—	○
P10_15	10MHz	40MHz	○	○	—	○
P11_0	10MHz	40MHz	○	○	—	○
P11_1	10MHz	40MHz	○	○	—	○
P11_2	10MHz	40MHz 注2	○	○	—	○

表 2A.86　　出力バッファ特性選択

ポート名	出力ドライバ強度選択		デバイス			
	低速モード（PDSCn_m＝0）	高速モード（PDSCn_m＝1）	176 Pin	233 Pin	272 Pin	324 Pin
P11_3	10MHz	40MHz 注 2	○	○	—	○
P11_4	10MHz	40MHz	○	○	—	○
P11_5	10MHz	40MHz	○	○	—	○
P11_6	10MHz	40MHz 注 2	○	○	—	○
P11_7	10MHz	40MHz 注 2	○	○	—	○
P11_8	10MHz	40MHz	○	○	—	○
P11_9	10MHz	40MHz	○	○	—	○
P11_10	10MHz	40MHz	○	○	—	○
P11_11	10MHz	40MHz	○	○	—	○
P11_12	10MHz	40MHz	○	○	—	○
P11_15	10MHz	40MHz	○	○	—	○
P12_0	10MHz	40MHz	○	○	—	○
P12_1	10MHz	40MHz	○	○	—	○
P12_2	10MHz	40MHz	○	○	—	○
P12_3	10MHz	40MHz	○	○	—	○
P12_4	10MHz	40MHz	○	○	—	○
P12_5	10MHz	40MHz	○	○	—	○
P13_0	10MHz	40MHz	—	○	—	○
P13_1	10MHz	40MHz	—	○	—	○
P13_2	10MHz	40MHz	—	○	—	○
P13_3	10MHz	40MHz	—	○	—	○
P13_4	10MHz	40MHz	—	○	—	○
P13_5	10MHz	40MHz	—	○	—	○
P13_6	10MHz	40MHz	—	○	—	○
P13_7	10MHz	40MHz	—	○	—	○
P18_0	10MHz	40MHz	○	○	—	○
P18_1	10MHz	40MHz	○	○	—	○
P18_2	10MHz	40MHz	○	○	—	○
P18_3	10MHz	40MHz	○	○	—	○
P18_4	10MHz	40MHz	○	○	—	○
P18_5	10MHz	40MHz	○	○	—	○
P18_6	10MHz	40MHz	○	○	—	○
P18_7	10MHz	40MHz	○	○	—	○
P18_8	10MHz	40MHz	—	○	—	○
P18_9	10MHz	40MHz	—	○	—	○
P18_10	10MHz	40MHz	—	○	—	○
P18_11	10MHz	40MHz	—	○	—	○
P18_12	10MHz	40MHz	—	○	—	○
P18_13	10MHz	40MHz	—	○	—	○
P18_14	10MHz	40MHz	—	○	—	○
P18_15	10MHz	40MHz	—	○	—	○
P19_0	10MHz	40MHz	—	○	—	○
P19_1	10MHz	40MHz	—	○	—	○
P19_2	10MHz	40MHz	—	○	—	○

表 2A.86　　出力バッファ特性選択

ポート名	出力ドライバ強度選択		デバイス			
	低速モード（PDSCn_m＝0）	高速モード（PDSCn_m＝1）	176 Pin	233 Pin	272 Pin	324 Pin
P19_3	10MHz	40MHz	—	○	—	○
P20_0	10MHz	40MHz	○	○	—	○
P20_1	10MHz	40MHz	○	○	—	○
P20_2	10MHz	40MHz	○	○	—	○
P20_3	10MHz	40MHz	○	○	—	○
P20_4	10MHz	40MHz	○	○	—	○
P20_5	10MHz	40MHz	○	○	—	○
P20_6	10MHz	40MHz	—	—	—	○
P20_7	10MHz	40MHz	—	—	—	○
P20_8	10MHz	40MHz	—	—	—	○
P20_9	10MHz	40MHz	—	—	—	○
P20_10	10MHz	40MHz	—	—	—	○
P20_11	10MHz	40MHz	—	—	—	○
P20_12	10MHz	40MHz	—	—	—	○
P20_13	10MHz	40MHz	—	—	—	○
P20_14	10MHz	40MHz	—	—	—	○
P20_15	10MHz	40MHz	—	—	—	○
P21_0	10MHz	40MHz	—	—	—	○
P21_1	10MHz	40MHz	—	—	—	○
P21_2	10MHz	40MHz	—	—	—	○
P21_3	10MHz	40MHz	—	—	—	○
P21_4	10MHz	40MHz	—	—	—	○
P21_5	10MHz	40MHz	—	—	—	○
P21_6	10MHz	40MHz	—	—	—	○
P21_7	10MHz	40MHz	—	—	—	○
P21_8	10MHz	40MHz	—	—	—	○
P21_9	10MHz	40MHz	—	—	—	○
P21_10	10MHz	40MHz	—	—	—	○
P21_11	10MHz	40MHz	—	—	—	○
P21_12	10MHz	40MHz	—	—	—	○
P21_13	10MHz	40MHz	—	—	—	○
P21_14	10MHz	40MHz	—	—	—	○
P22_0	10MHz	40MHz	—	—	—	○
P22_1	10MHz	40MHz	—	—	—	○
P22_2	10MHz	40MHz	—	—	—	○
P22_3	10MHz	40MHz	—	—	—	○
P22_4	10MHz	40MHz	—	—	—	○
P22_5	10MHz	40MHz	—	—	—	○
P22_6	10MHz	40MHz	—	—	—	○
P22_7	10MHz	40MHz	—	—	—	○
P22_8	10MHz	40MHz	—	—	—	○
P22_9	10MHz	40MHz	—	—	—	○
P22_10	10MHz	40MHz	—	—	—	○

表 2A.86　　出力バッファ特性選択

ポート名	出力ドライバ強度選択		デバイス			
	低速モード（PDSCn_m＝0）	高速モード（PDSCn_m＝1）	176 Pin	233 Pin	272 Pin	324 Pin
P22_11	10MHz	40MHz	—	—	—	○
P22_12	10MHz	40MHz	—	—	—	○
P22_13	10MHz	40MHz	—	—	—	○
P22_14	10MHz	40MHz	—	—	—	○
P22_15	10MHz	40MHz	—	—	—	○
P23_0	10MHz	40MHz	—	—	—	○
P23_1	10MHz	40MHz [注 2]	—	—	—	○
P23_2	10MHz	40MHz	—	—	—	○
P23_3	10MHz	40MHz [注 2]	—	—	—	○
P23_4	10MHz	40MHz	—	—	—	○
P23_5	10MHz	40MHz	—	—	—	○
P23_6	10MHz	40MHz	—	—	—	○
P23_7	10MHz	40MHz	—	—	—	○
P23_8	10MHz	40MHz	—	—	—	○
P23_9	10MHz	40MHz	—	—	—	○
P23_10	10MHz	40MHz	—	—	—	○
P24_0	10MHz	40MHz	—	—	—	○
P24_1	10MHz	40MHz	—	—	—	○
P24_2	10MHz	40MHz	—	—	—	○
P24_3	10MHz	40MHz	—	—	—	○
P24_4	10MHz	40MHz	—	—	—	○
P24_5	10MHz	40MHz	—	—	—	○
P24_6	10MHz	40MHz	—	—	—	○
P24_7	10MHz	40MHz	—	—	—	○

注1.　負荷容量 100pF 対応（CSIH0 の負荷容量を 100pF にした場合）

注2.　負荷容量 50pF 対応（CSIH1～CSIH4 の負荷容量を 50pF にした場合）

注3.　一部の機能では、高速モードまたは低速モードが指定されています。詳細は「**47A.5 AC 特性**」を参照してください。

2A.12 ノイズフィルタ＆エッジ／レベル検出回路

端子に入力された信号の中には、ノイズとグリッチを除去するためにフィルタを通過するものがあります。この製品ではアナログフィルタとデジタルフィルタの両方をサポートしています。

また、フィルタ通過後、エッジ検出／レベル検出する機能もサポートしています。

最初の節で、フィルタが割り当てられているポート入力端子とそのフィルタの種類、ノイズフィルタ&エッジ／レベル検出制御レジスタと制御ビット、およびレジスタアドレスなどの概要を説明します。

デジタル／アナログフィルタ機能とノイズフィルタ&エッジ／レベル検出制御レジスタの詳細は「**2A.13 ポートノイズフィルタ＆エッジ／レベル検出機能説明**」を参照してください。

備　考

本節のノイズフィルタ制御レジスタの<*name*>は、フィルタに接続の周辺機能を表します。

2A.12.1 ポートフィルタの割り当て

アナログまたは、デジタルフィルタを内蔵した入力端子の一覧を次に示します。

2A.12.1.1 アナログフィルタタイプ A 付き入力端子

アナログフィルタタイプ A の入力端子は、アナログフィルタおよびエッジ／レベル検出機能を搭載しています。エッジ／レベル検出は次のレジスタによって制御されます。

- フィルタ制御レジスタ FCLA0CTLm_<*name*>（m＝0～7）

  各アナログフィルタ付きポートにはそれぞれの端子に専用の FCLA0CTLm_<*name*>レジスタがあります。

表 2A.87　アナログフィルタタイプ A 付き入力端子

モジュール名	入力端子	FCLA0CTL レジスタ構成		デバイス			
		レジスタ	アドレス	176 Pin	233 Pin	272 Pin	324 Pin
FCLA0	NMI	FCLA0CTL0_NMI	FFC3 4000$_H$	○	○	—	○
	INTP0	FCLA0CTL0_INTPL	FFC3 4020$_H$	○	○	—	○
	INTP1	FCLA0CTL1_INTPL	FFC3 4024$_H$	○	○	—	○
	INTP2	FCLA0CTL2_INTPL	FFC3 4028$_H$	○	○	—	○
	INTP3	FCLA0CTL3_INTPL	FFC3 402C$_H$	○	○	—	○
	INTP4	FCLA0CTL4_INTPL	FFC3 4030$_H$	○	○	—	○
	INTP5	FCLA0CTL5_INTPL	FFC3 4034$_H$	○	○	—	○
	INTP6	FCLA0CTL6_INTPL	FFC3 4038$_H$	○	○	—	○
	INTP7	FCLA0CTL7_INTPL	FFC3 403C$_H$	○	○	—	○
	INTP8	FCLA0CTL0_INTPH	FFC3 4040$_H$	○	○	—	○
	INTP9	FCLA0CTL1_INTPH	FFC3 4044$_H$	○	○	—	○
	INTP10	FCLA0CTL2_INTPH	FFC3 4048$_H$	○	○	—	○
	INTP11	FCLA0CTL3_INTPH	FFC3 404C$_H$	○	○	—	○
	INTP12	FCLA0CTL4_INTPH	FFC3 4050$_H$	○	○	—	○
	INTP13	FCLA0CTL5_INTPH	FFC3 4054$_H$	○	○	—	○
	INTP14	FCLA0CTL6_INTPH	FFC3 4058$_H$	○	○	—	○
	INTP15	FCLA0CTL7_INTPH	FFC3 405C$_H$	○	○	—	○
	INTP16	FCLA0CTL0_INTPU	FFC3 40A0$_H$	○	○	—	○
	INTP17	FCLA0CTL1_INTPU	FFC3 40A4$_H$	○	○	—	○

表 2A.87　アナログフィルタタイプ A 付き入力端子

モジュール名	入力端子	FCLA0CTL レジスタ構成		デバイス			
		レジスタ	アドレス	176 Pin	233 Pin	272 Pin	324 Pin
FCLA0	INTP18	FCLA0CTL2_INTPU	FFC3 40A8$_H$	○	○	—	○
	INTP19	FCLA0CTL3_INTPU	FFC3 40AC$_H$	○	○	—	○
	INTP20	FCLA0CTL4_INTPU	FFC3 40B0$_H$	○	○	—	○
	INTP21	FCLA0CTL5_INTPU	FFC3 40B4$_H$	○	○	—	○
	INTP22	FCLA0CTL6_INTPU	FFC3 40B8$_H$	○	○	—	○
	INTP23	FCLA0CTL7_INTPU	FFC3 40BC$_H$	○	○	—	○

2A.12.1.2　アナログフィルタタイプ B 付き入力端子

アナログフィルタタイプ B の入力端子は、アナログフィルタを搭載しています。エッジ／レベル検出は各周辺機能のレジスタによって制御されます。

表 2A.88　アナログフィルタタイプ B 付き入力端子

入力端子	エッジ／レベル検出	デバイス			
		176 Pin	233 Pin	272 Pin	324 Pin
TAUJ0I0	エッジ検出注 1	○	○	—	○
TAUJ0I1	エッジ検出注 1	○	○	—	○
TAUJ0I2	エッジ検出注 1	○	○	—	○
TAUJ0I3	エッジ検出注 1	○	○	—	○
TAUJ1I0	エッジ検出注 1	○	○	—	○
TAUJ1I1	エッジ検出注 1	○	○	—	○
TAUJ1I2	エッジ検出注 1	○	○	—	○
TAUJ1I3	エッジ検出注 1	○	○	—	○
TAUJ2I0	エッジ検出注 1	○	○	—	○
TAUJ2I1	エッジ検出注 1	○	○	—	○
TAUJ2I2	エッジ検出注 1	○	○	—	○
TAUJ2I3	エッジ検出注 1	○	○	—	○
TAUJ3I0	エッジ検出注 1	○	○	—	○
TAUJ3I1	エッジ検出注 1	○	○	—	○
TAUJ3I2	エッジ検出注 1	○	○	—	○
TAUJ3I3	エッジ検出注 1	○	○	—	○
TAPA0ESO	エッジ検出注 2	○	○	—	○
KR0I0	ロウレベル検出	○	○	—	○
KR0I1	ロウレベル検出	○	○	—	○
KR0I2	ロウレベル検出	○	○	—	○
KR0I3	ロウレベル検出	○	○	—	○
KR0I4	ロウレベル検出	○	○	—	○
KR0I5	ロウレベル検出	○	○	—	○
KR0I6	ロウレベル検出	○	○	—	○
KR0I7	ロウレベル検出	○	○	—	○

注1.　TAUJ のエッジ検出についての詳細は、「**33.3.3.4 TAUJnCMURm — TAUJn チャネルモードユーザレジスタ**」を参照してください。

注2.　TAPA のエッジ検出についての詳細は、「**36.3.2 TAPAnCTL0 — TAPA 制御レジスタ 0**」を参照してください。

2A.12.1.3　アナログフィルタタイプ C 付き入力端子

アナログフィルタタイプ C の入力端子は、アナログフィルタ機能のみ搭載しています。

表 2A.89　アナログフィルタタイプ C 付き入力信号

入力端子
FLMD0
FLMD1
MODE0
MODE1
MODE2
$\overline{\text{RESET}}$
$\overline{\text{DCUTRST}}$

2A.12.1.4 デジタルフィルタタイプ D 付き入力端子

デジタルフィルタタイプ D の入力端子は、デジタルフィルタおよびエッジ検出機能を搭載しています。デジタルフィルタおよびエッジ検出は次のレジスタによって制御されます。

- フィルタ制御レジスタ FCLA0CTLm_<*name*>（m＝0～2）

  各デジタルフィルタ付きポートには専用の FCLA0CTLm_<*name*>レジスタがあります。

- デジタルノイズ除去制御レジスタ DNFA<*name*>CTL

  各 DNFA<*name*>CTL 制御レジスタは、1 グループにつき 3 つの入力信号のデジタルフィルタ処理を制御します。

- デジタルノイズ除去許可レジスタ DNFA<*name*>EN

  DNFA<*name*>EN の DNFA<*name*>ENL[2:0]ビットの設定で、1 グループにつき 3 つの入力信号のデジタルノイズ除去を許可／禁止します。

表 2A.90　　デジタルフィルタタイプ D 付き入力端子

入力端子	デバイス				デジタルノイズ除去制御レジスタ		デジタルノイズ除去許可レジスタ			フィルタ制御レジスタ	
	176 Pin	233 Pin	272 Pin	324 Pin	制御レジスタ	アドレス	制御レジスタ	制御ビット	アドレス	制御レジスタ	アドレス
ADCA0TRG0	○	○	—	○	DNFAADCTL0CTL	FFC3 00A0$_H$	DNFAADCTL0EN (DNFAADCTL0ENL)	DNFAADCTL0ENL0	FFC3 00A4$_H$ (FFC3 00AC$_H$)	FCLA0CTL0 _ADC0	FFC3 4060$_H$
ADCA0TRG1	○	○	—	○				DNFAADCTL0ENL1		FCLA0CTL1 _ADC0	FFC3 4064$_H$
ADCA0TRG2	○	○	—	○				DNFAADCTL0ENL2		FCLA0CTL2 _ADC0	FFC3 4068$_H$
ADCA1TRG0	○	○	—	○	DNFAADCTL1CTL	FFC3 00C0$_H$	DNFAADCTL1EN (DNFAADCTL1ENL)	DNFAADCTL1ENL0	FFC3 00C4$_H$ (FFC3 00CC$_H$)	FCLA0CTL0 _ADC1	FFC3 4080$_H$
ADCA1TRG1	○	○	—	○				DNFAADCTL1ENL1		FCLA0CTL1 _ADC1	FFC3 4084$_H$
ADCA1TRG2	○	○	—	○				DNFAADCTL1ENL2		FCLA0CTL2 _ADC1	FFC3 4088$_H$

2A.12.1.5　デジタルフィルタタイプ E 付き入力端子

デジタルフィルタタイプ E の入力端子は、デジタルフィルタを搭載しています。デジタルフィルタは次のレジスタによって制御されます。エッジ検出は各周辺機能のレジスタによって制御されます。

- デジタルノイズ除去制御レジスタ DNFA<*name*>CTL

  各 DNFA<*name*>CTL 制御レジスタは、1 グループにつき最大で 16 の入力信号のデジタルフィルタ処理を制御します。

- デジタルノイズ除去許可レジスタ DNFA<*name*>EN

  DNFA<*name*>EN の DNFA<*name*>ENL[7:0]ビット、および DNFA<*name*>ENH[7:0]ビットの設定で、1 グループにつき最大で 16 の入力信号のデジタルノイズ除去を許可／禁止します。

表 2A.91　　デジタルフィルタタイプ E 付き入力端子

入力端子	デバイス				デジタルノイズ除去制御レジスタ		デジタルノイズ除去許可レジスタ			エッジ検出
	176 Pin	233 Pin	272 Pin	324 Pin	制御レジスタ	アドレス	制御レジスタ	制御ビット	アドレス	レジスタ名
TAUD0I0	○	○	—	○	DNFATAUD0ICTL	FFC3 0000$_{H}$	DNFATAUD0IEN (DNFATAUD0IENH/ DNFATAUD0IENL)	DNFATAUD0IENL0	FFC3 0004$_{H}$ (FFC3 0008$_{H}$/ FFC3 000C$_{H}$)	注1
TAUD0I1	○	○	—	○				DNFATAUD0IENL1		
TAUD0I2	○	○	—	○				DNFATAUD0IENL2		
TAUD0I3	○	○	—	○				DNFATAUD0IENL3		
TAUD0I4	○	○	—	○				DNFATAUD0IENL4		
TAUD0I5	○	○	—	○				DNFATAUD0IENL5		
TAUD0I6	○	○	—	○				DNFATAUD0IENL6		
TAUD0I7	○	○	—	○				DNFATAUD0IENL7		
TAUD0I8	○	○	—	○				DNFATAUD0IENH0		
TAUD0I9	○	○	—	○				DNFATAUD0IENH1		
TAUD0I10	○	○	—	○				DNFATAUD0IENH2		
TAUD0I11	○	○	—	○				DNFATAUD0IENH3		
TAUD0I12	○	○	—	○				DNFATAUD0IENH4		
TAUD0I13	○	○	—	○				DNFATAUD0IENH5		
TAUD0I14	○	○	—	○				DNFATAUD0IENH6		
TAUD0I15	○	○	—	○				DNFATAUD0IENH7		
TAUB0I0	○	○	—	○	DNFATAUB0ICTL	FFC3 0020$_{H}$	DNFATAUB0IEN (DNFATAUB0IENH/ DNFATAUB0IENL)	DNFATAUB0IENL0	FFC3 0024$_{H}$ (FFC3 0028$_{H}$/ FFC3 002C$_{H}$)	注2
TAUB0I1	○	○	—	○				DNFATAUB0IENL1		
TAUB0I2	○	○	—	○				DNFATAUB0IENL2		
TAUB0I3	○	○	—	○				DNFATAUB0IENL3		
TAUB0I4	○	○	—	○				DNFATAUB0IENL4		
TAUB0I5	○	○	—	○				DNFATAUB0IENL5		
TAUB0I6	○	○	—	○				DNFATAUB0IENL6		
TAUB0I7	○	○	—	○				DNFATAUB0IENL7		
TAUB0I8	○	○	—	○				DNFATAUB0IENH0		
TAUB0I9	○	○	—	○				DNFATAUB0IENH1		
TAUB0I10	○	○	—	○				DNFATAUB0IENH2		
TAUB0I11	○	○	—	○				DNFATAUB0IENH3		
TAUB0I12	○	○	—	○				DNFATAUB0IENH4		
TAUB0I13	○	○	—	○				DNFATAUB0IENH5		
TAUB0I14	○	○	—	○				DNFATAUB0IENH6		
TAUB0I15	○	○	—	○				DNFATAUB0IENH7		

表 2A.91　　デジタルフィルタタイプ E 付き入力端子

入力端子	デバイス				デジタルノイズ除去制御レジスタ		デジタルノイズ除去許可レジスタ			エッジ検出
	176 Pin	233 Pin	272 Pin	324 Pin	制御レジスタ	アドレス	制御レジスタ	制御ビット	アドレス	レジスタ名
TAUB1I0	○	○	—	○	DNFATAUB1ICTL	FFC3 0040H	DNFATAUB1IEN (DNFATAUB1IENH/ DNFATAUB1IENL)	DNFATAUB1IENL0	FFC3 0044H (FFC3 0048H/ FFC3 004CH)	注2
TAUB1I1	○	○	—	○				DNFATAUB1IENL1		
TAUB1I2	○	○	—	○				DNFATAUB1IENL2		
TAUB1I3	○	○	—	○				DNFATAUB1IENL3		
TAUB1I4	○	○	—	○				DNFATAUB1IENL4		
TAUB1I5	○	○	—	○				DNFATAUB1IENL5		
TAUB1I6	○	○	—	○				DNFATAUB1IENL6		
TAUB1I7	○	○	—	○				DNFATAUB1IENL7		
TAUB1I8	○	○	—	○				DNFATAUB1IENH0		
TAUB1I9	○	○	—	○				DNFATAUB1IENH1		
TAUB1I10	○	○	—	○				DNFATAUB1IENH2		
TAUB1I11	○	○	—	○				DNFATAUB1IENH3		
TAUB1I12	○	○	—	○				DNFATAUB1IENH4		
TAUB1I13	○	○	—	○				DNFATAUB1IENH5		
TAUB1I14	○	○	—	○				DNFATAUB1IENH6		
TAUB1I15	○	○	—	○				DNFATAUB1IENH7		
ENCA0TIN0	○	○	—	○	DNFAENCA0ICTL	FFC3 0060H	DNFAENCA0IEN (DNFAENCA0IENL)	DNFAENCA0IENL0	FFC3 0064H (FFC3 006CH)	注3
ENCA0TIN1	○	○	—	○				DNFAENCA0IENL1		
ENCA0E0	○	○	—	○				DNFAENCA0IENL2		
ENCA0E1	○	○	—	○				DNFAENCA0IENL3		
ENCA0EC	○	○	—	○				DNFAENCA0IENL4		
SENT0RX	○	○	—	○	DNFASENTICTL	FFC3 00E0H	DNFASENTIEN (DNFASENTIENL)	DNFASENTIENL0	FFC3 00E4H (FFC3 00ECH)	—注4
SENT1RX	○	○	—	○				DNFASENTIENL1		

注1.　TAUD のエッジ検出設定については、「**32.3.3.4 TAUDnCMURm — TAUDn チャネルモードユーザレジスタ**」を参照してください。

注2.　TAUB のエッジ検出設定については、「**31.3.3.4 TAUBnCMURm — TAUBn チャネルモードユーザレジスタ**」を参照してください。

注3.　ENCA のエッジ検出設定については、「**35.3.3 ENCAnIOC0 — ENCAn I/O 制御レジスタ 0**」を参照してください。

注4.　RSENT はエッジ検出に対応していません。

2A.12.2 ポートフィルタのクロック供給

下記の表に各ポートドメインのフィルタタイプごとのクロック供給を示します。

表 2A.92 ポートフィルタのクロック供給

周辺機能	ポートドメイン注1	フィルタタイプ	フィルタクロック	設定レジスタ	
				ソースクロック選択	クロック選択
ADCA0	Always-On エリア（AWO エリア）	デジタルフィルタタイプ D	DNFATCKI	CKSC_AADCAS_CTL	CKSC_AADCAD_CTL
ADCA1	Isolated エリア（ISO エリア）	デジタルフィルタタイプ D	DNFATCKI	CKSC_IADCAS_CTL	CKSC_IADCAD_CTL
TAUD0	Isolated エリア（ISO エリア）	デジタルフィルタタイプ E	DNFATCKI	CKSC_IPERI1S_CTL	—
TAUB0	Isolated エリア（ISO エリア）	デジタルフィルタタイプ E	DNFATCKI	CKSC_IPERI2S_CTL	—
TAUB1	Isolated エリア（ISO エリア）	デジタルフィルタタイプ E	DNFATCKI	CKSC_IPERI2S_CTL	—
ENCA0	Isolated エリア（ISO エリア）	デジタルフィルタタイプ E	DNFATCKI	CKSC_IPERI1S_CTL	—
SENTn	Isolated エリア（ISO エリア）	デジタルフィルタタイプ E	DNFATCKI	CKSC_IPERI2S_CTL	—

注1. 電源ドメイン

備 考

レジスタの設定については、「**12AB.4.3 クロックセレクタコントロールレジスタ**」を参照してください。

2A.13　ポートノイズフィルタ＆エッジ／レベル検出機能説明

フィルタする外部入力信号の用途に応じて、外部信号は異なるタイプのフィルタを通過します。

備　考

本節のノイズフィルタ制御レジスタの<*name*>は、フィルタに接続の周辺機能を表します。

2A.13.1　概要

2A.13.1.1　アナログフィルタタイプ

アナログフィルタは固定の特性を備えています。

- タイプ A：エッジ検出またはレベル検出をともなうアナログフィルタです。

  外部割り込み信号に使用されています。

- タイプ B：アナログフィルタです。

  エッジ検出は各周辺機能より行われます。タイマ入力信号、Hi-Z 制御非同期入力信号およびキーリターン入力信号に使用されています。

- タイプ C：アナログフィルタのみです。

  外部 $\overline{\text{RESET}}$ 入力およびモード信号に使用されます。

2A.13.1.2　デジタルフィルタタイプ

デジタルフィルタの特性はアプリケーションのニーズに合わせて調整できます。

- タイプ D：エッジ検出をともなうデジタルフィルタです。

  A/D コンバータの外部トリガ端子に使用されています。

- タイプ E：デジタルフィルタです。

  エッジ検出は各周辺機能より行われます。タイマ入力信号およびエンコーダ入力信号に使用されています。

2A.13.2　アナログフィルタ

2A.13.2.1　アナログフィルタ特性

アナログフィルタを内蔵する端子の入力信号は「**第 47A 章　RH850/F1KH-D8 の電気的特性**」の入力条件を参照してください。

2A.13.2.2　アナログフィルタ制御レジスタ

アナログフィルタを備えた入力信号には、それぞれ専用の制御レジスタ FCLA0CTLm_<*name*>または各周辺マクロ内の制御レジスタが用意されています。

制御レジスタと入力信号との対応、および各レジスタのアドレスについては、「**表 2A.87　アナログフィルタタイプ A 付き入力端子**」を参照してください。

2A.13.2.3　スタンバイモードでのアナログフィルタ

DeepSTOP からのウェイクアップ機能に属するアナログフィルタは Always-On エリア（AWO エリア）に配置されています。Always-On エリア（AWO エリア）のアナログフィルタは常に動作しています。

スタンバイモードにおけるアナログフィルタとそのウェイクアップ機能はフィルタタイプに依存します。以下のアナログフィルタタイプの説明を参照して下さい。

(1)　アナログフィルタタイプ A

次にアナログフィルタタイプ A のブロック図を示します。

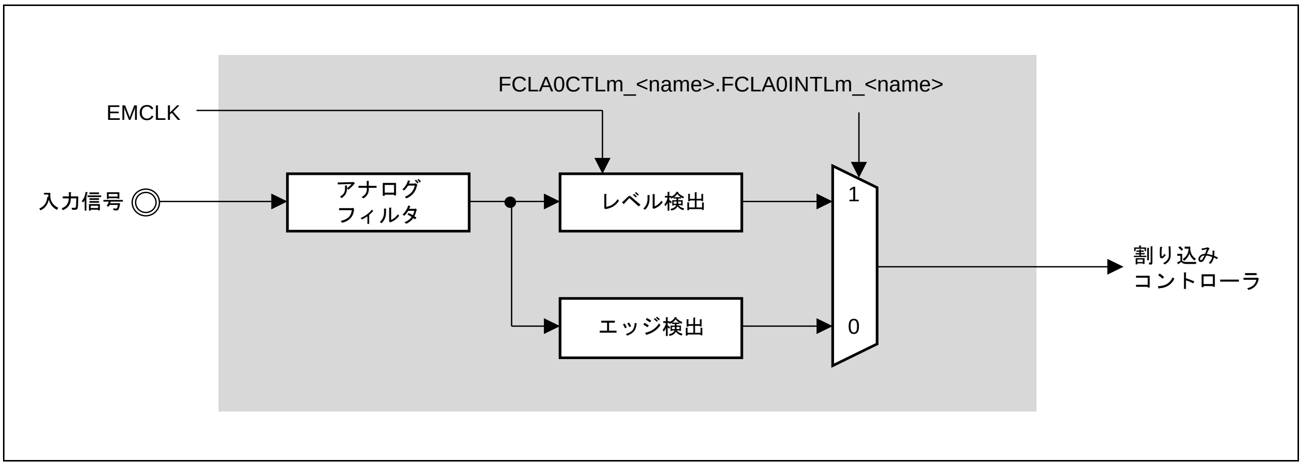


図 2A.12　　アナログフィルタタイプ A のブロック図

外部信号がアナログフィルタを通過してノイズとグリッチを除去したあと、信号のレベルまたはその変化（エッジ）によってイベントを検出すると、それに応じた信号を発生します。

検出モードは制御ビット FCLA0CTLm_<*name*>.FCLA0INTLm_<*name*>で選択します。

- FCLA0INTLm_<*name*>ビット＝0：エッジ検出モード

  FCLA0CTLm_<*name*>.FCLA0INTRm_<*name*>ビットと FCLA0CTLm_<*name*>.FCLA0INTFm_<*name*>ビットの設定に応じて、それぞれ立ち上がりエッジまたは立ち下がりエッジを検出することができます。

- FCLA0INTLm_<*name*>ビット＝1：レベル検出モード

  FCLA0CTLm_<*name*>.FCLA0INTRm_<*name*>ビットの設定に応じて、ハイレベルまたはロウレベルを検出することができます。

アナログフィルタの検出条件を次の表に示します。

表 2A.93　　アナログフィルタイベント検出条件

FCLA0INTLm_<*name*>	FCLA0INTFm_<*name*>	FCLA0INTRm_<*name*>	エッジ検出モード	レベル検出モード
0	0	0	検出しない	無効
	0	1	立ち上がりエッジ	
	1	0	立ち下がりエッジ	
	1	1	両エッジ	
1	X	0	無効	ロウレベル
	X	1		ハイレベル

スタンバイモードのアナログフィルタタイプ A

アナログフィルタタイプ A の出力信号は、常にスタンバイモードウェイクアップ信号として使用できます。

(2) アナログフィルタタイプ B

次にアナログフィルタタイプ B のブロック図を示します。

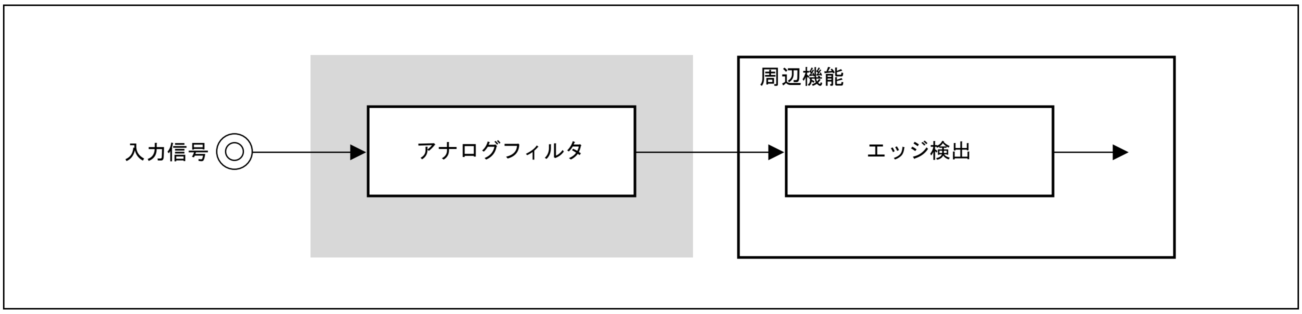


図 2A.13　　アナログフィルタタイプ B のブロック図

スタンバイモードでのアナログフィルタタイプ B

アナログフィルタタイプ B の出力信号は、常にスタンバイモードウェイクアップ信号として使用できます。

(3) アナログフィルタタイプ C

次にアナログフィルタタイプ C のブロック図を示します。

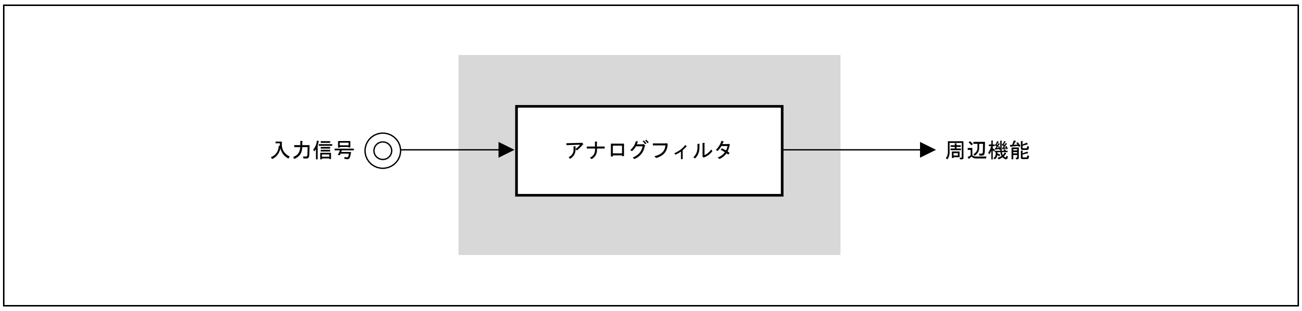


図 2A.14 アナログフィルタタイプ C のブロック図

発生する信号は、常にアナログフィルタを通過した入力信号です。

スタンバイモードでのアナログフィルタタイプ C

本製品のアナログフィルタタイプ C を搭載した端子は、スタンバイモードからのウェイクアップ要因に対応しません。

2A.13.3 デジタルフィルタ

2A.13.3.1 デジタルフィルタ特性

デジタルフィルタは、アプリケーションのニーズに合わせてフィルタ特性を調整できます。

入力信号はサンプリング周波数 f_S でサンプリングされます。

サンプリングしたレベルが指定された数連続して同じレベル（ハイまたはロウ）であったとき、その信号レベルを有効と判断し、それに応じて出力信号を設定します。

指定された数サンプリングしたレベル（同レベルのサンプル）の中で外部信号のレベルが変化した場合、その信号レベルをノイズと判断します。フィルタ出力信号は変化しません。

外部信号をノイズとして判断するときのパルス長は、サンプリング周波数および指定された同レベルのサンプル数によって変わります。

いずれのパラメータも設定可能です。

- DNFA<*name*>CTL.DNFA<*name*>PRS[2:0]を設定することによって、

  $f_S = f_{DNFATCKI} / 2^{DNFA<name>PRS[2:0]}$

  （$f_{DNFATCKI}$ は DNFATCKI クロックの周波数）に基づいてサンプリング周波数を選択することができます。

- DNFA<*name*>CTL.DNFA<*name*>NFSTS[1:0]で同レベルのサンプル数（2～5）を指定します。

  s＝DNFA<*name*>NFSTS[1:0] + 2

以下よりも短い外部信号パルスは常に抑制されます。

$s \times 1/f_S$

以下よりも長い外部信号パルスは常に有効と判断され、フィルタ出力へ送られます。

$(s + 1) \times 1/f_S$

以下の範囲内の外部信号パルスは抑制される場合もあれば、有効と判断される場合もあります。

$s \times 1/f_S$ ～ $(s + 1) \times 1/f_S$

DNFA<*name*>NFSTS[1:0]＝01_B（同レベルのサンプル数：3）としたときのフィルタ動作例を次の図に示します。

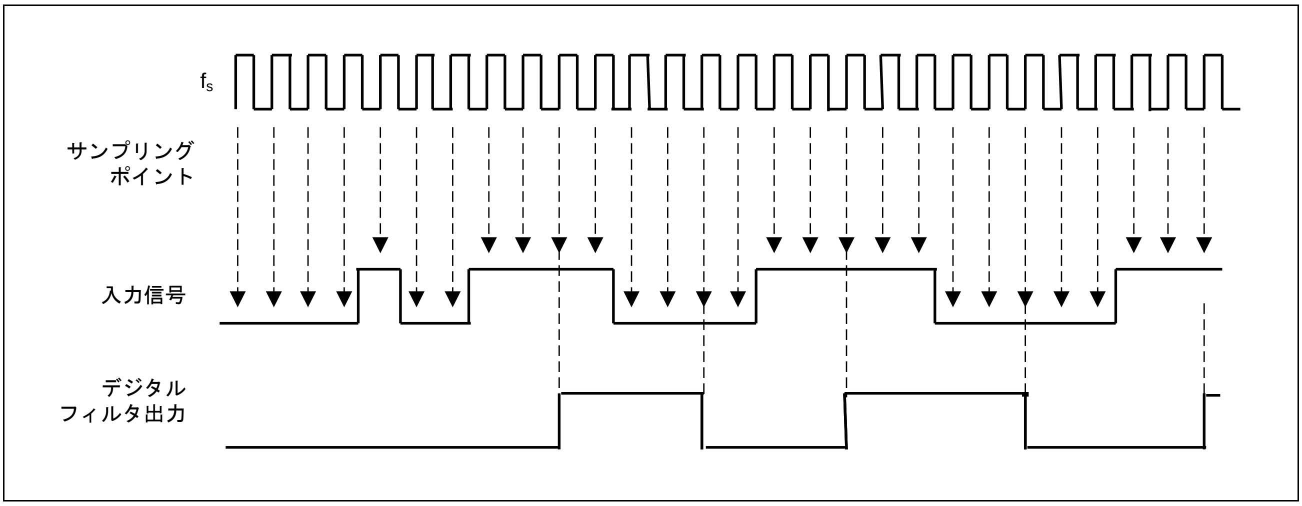


図 2A.15 デジタルフィルタ機能

2A.13.3.2　デジタルフィルタグループ

デジタルフィルタ付き入力信号は、最大 16 信号までを 1 つのグループとした信号グループで構成されています。

デジタルフィルタの特性は、DNFA<*name*>CTL.DNFA<*name*>PRS[2:0]と DNFA<*name*>NFSTS[1:0]で指定し、信号グループ単位で適用されます。

ただし、デジタルフィルタの有効／無効は、DNFA<*name*>EN.DNFA<*name*>ENLm（m＝0～7）および DNFA<*name*>EN.DNFA<*name*>ENHm（m＝0～7）によって信号ごとに設定できます。

注　意

1. デジタルフィルタの出力信号を兼用機能に入力する場合、デジタルフィルタを有効（DNFA<*name*>EN.DNFA<*name*>ENLm（m＝0～7）＝1 および DNFA<*name*>EN.DNFA<*name*>ENHm（m＝0～7）＝1）にし、次の時間を経過した後にポート端子を兼用機能に切り替えてください。
   s＝DNFA<*name*>NFSTS[1:0] + 2
   $s \times 1/f_S + 2 \times 1/f_{DNFATCKI}$
2. デジタルフィルタのイベント出力信号を割り込みとして使用する場合は、割り込み禁止状態でデジタルフィルタを有効（DNFA<*name*>EN.DNFA<*name*>ENLm（m＝0～7）＝1 および DNFA<*name*>EN.DNFA<*name*>ENHm（m＝0～7）＝1）にしてください。また、デジタルフィルタを有効にしてから次の時間を経過した後に割り込み要求フラグをクリアした上で、割り込みを許可してください。
   $s \times 1/ f_S + 3 \times 1/f_{DNFATCKI}$

2A.13.3.3　スタンバイモードのデジタルフィルタ

DeepSTOP からのウェイクアップ機能に属するデジタルフィルタは Always-On エリア（AWO エリア）に配置されています。Always-On エリア（AWO エリア）のデジタルフィルタは常に動作しています。

デジタルノイズ除去を行うには、クロック供給 DNFATCKI が動作している必要があります。
本製品のデジタルフィルタを搭載した端子はスタンバイモードからのウェイクアップ要因に対応しません。

2A.13.3.4　デジタルフィルタ制御レジスタ

最大 16 個のデジタルフィルタで構成される各グループに対して、デジタルノイズ除去制御レジスタ DNFA<*name*>CTL およびデジタルノイズ除去許可レジスタ DNFA<*name*>EN は、同じグループ内（周辺機能グループを<*name*>で表示）の全フィルタに対して設定を行います。

DNFA<*name*>CTL レジスタは、<*name*>のデジタルフィルタに対して、デジタルノイズ除去フィルタの特性を設定します。

DNFA<*name*>EN レジスタは DNFA<*name*>EN.DNFA<*name*>ENLm（m＝0～7）および DNFA<*name*>EN.DNFA<*name*>ENHm（m＝0～7）の個々のビットで各フィルタの有効／無効を設定します。

エッジ検出の設定は、フィルタ専用制御レジスタおよび、各周辺機能のレジスタによって行います。

FCLA0CTLm_ADCn レジスタは、1 つのレジスタグループ表示に 3 つのレジスタで構成されています。レジスタインデクス n の範囲は 0～1 です。

制御レジスタと入力信号との対応、および各レジスタのアドレスについては、「**2A.12.1 ポートフィルタの割り当て**」内の「**表 2A.90 デジタルフィルタタイプ D 付き入力端子**」および「**表 2A.91 デジタルフィルタタイプ E 付き入力端子**」を参照してください。

注　意

DNFA<*name*>EN.DNFA<*name*>ENLm（m＝0～7）＝1 および DNFA<*name*>EN.DNFA<*name*>ENHm（m＝0～7）＝1 で関連するデジタルフィルタを有効にしている間は制御レジスタの設定は変えないでください。変更した場合、予期しないフィルタ出力が発生するおそれがあります。

(1)　デジタルフィルタタイプ D

次にデジタルフィルタタイプ D のブロック図を示します。

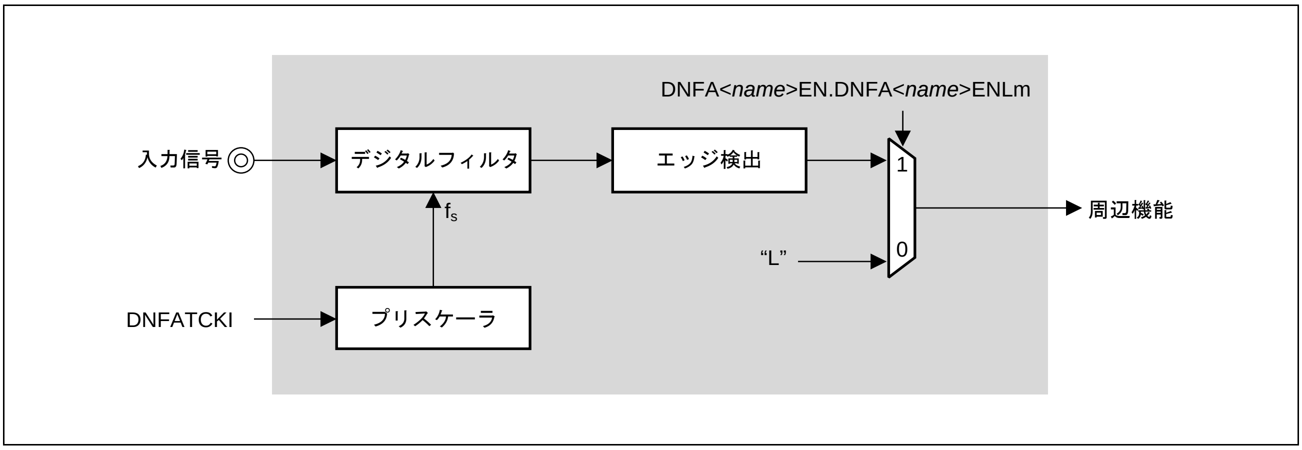


図 2A.16　　デジタルフィルタタイプ D のブロック図

次の表に示すように、デジタルフィルタタイプ D で生成された信号はレジスタ設定に依存します。

表 2A.94　　デジタルフィルタタイプ D の出力オプション

DNFA<*name*>EN.DNFA<*name*>ENLm	各周辺機能への出力信号
0	ロウレベルに固定
1	フィルタを通過した入力信号

(2) デジタルフィルタタイプ E

次にデジタルフィルタタイプ E のブロック図を示します。

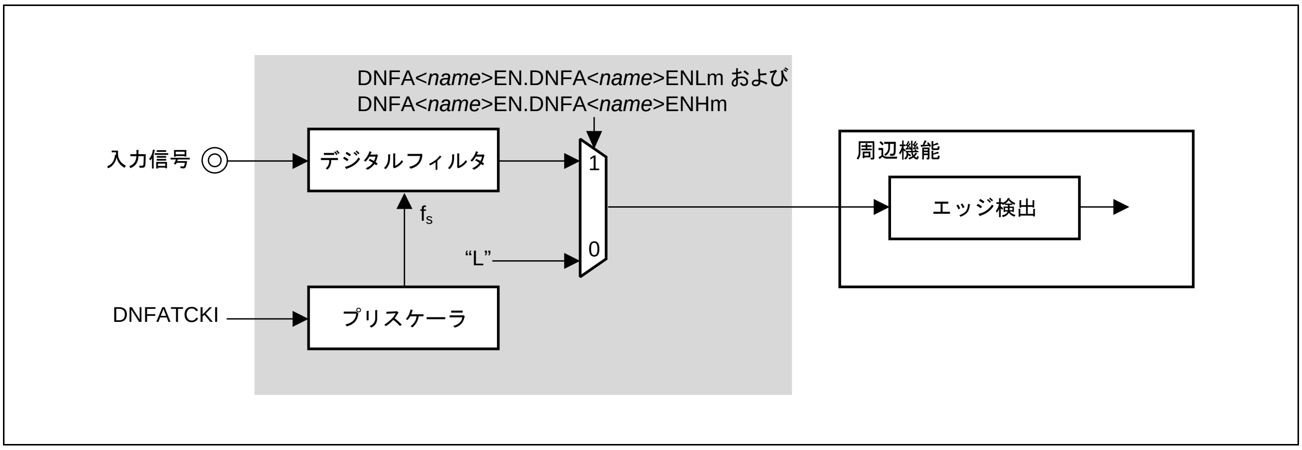


図 2A.17　　デジタルフィルタタイプ E のブロック図

次の表に示すように、デジタルフィルタタイプ E で生成された信号はレジスタ設定に依存します。

表 2A.95　　デジタルフィルタタイプ E の出力オプション

DNFA<*name*>EN.DNFA<*name*>ENLm および DNFA<*name*>EN.DNFA<*name*>ENHm	各周辺機能への出力信号
0	ロウレベルに固定
1	フィルタを通過した入力信号

2A.13.4　フィルタ制御レジスタ

アナログフィルタおよびデジタルフィルタは、次のレジスタによって制御、動作します。

表 2A.96　　フィルタレジスター覧

モジュール名	レジスタ名	略号	アドレス
FCLA0	フィルタ制御レジスタ m	FCLA0CTLm_<*name*>	各レジスタのアドレスについては、「**2A.12.1 ポートフィルタの割り当て**」内の各表を参照してください。
DNF	デジタルノイズ除去制御レジスタ	DNFA<*name*>CTL	
	デジタルノイズ除去許可レジスタ	DNFA<*name*>EN	
	デジタルノイズ除去許可レジスタ H	DNFA<*name*>ENH	
	デジタルノイズ除去許可レジスタ L	DNFA<*name*>ENL	

2A.13.4.1 FCLA0CTLm_<*name*> — フィルタ制御レジスタ

アナログフィルタおよびデジタルフィルタの動作を制御します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FCLA0CTLm_<*name*>レジスタと入力信号の対応、および各レジスタのアドレスについては、「**2A.12.1 ポートフィルタの割り当て**」内の各表を参照してください。

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	FCLA0INTLm_<*name*>	FCLA0INTFm_<*name*>	FCLA0INTRm_<*name*>
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 2A.97 FCLA0CTLm_<*name*>レジスタの内容

ビット位置	ビット名	機能
7～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	FCLA0INTLm_<*name*>	検出モード選択 0：エッジ検出モード 1：レベル検出モード **備考）** このビットはアナログフィルタタイプ A でのみ有効です。
1	FCLA0INTFm_<*name*>	● レベル検出モード（FCLA0INTLm_<*name*>ビット＝1）時：このビットによる影響なし ● エッジ検出モード（FCLA0INTLm_<*name*>ビット＝0）時：立ち下がりエッジ検出制御 0：立ち下がりエッジ検出無効 1：立ち下がりエッジ検出有効 **備考）** このビットはアナログフィルタタイプ A とデジタルフィルタタイプ D でのみ有効です。ただし、デジタルフィルタタイプ D はエッジ検出モードになります。
0	FCLA0INTRm_<*name*>	● レベル検出モード（FCLA0INTLm_<*name*>ビット＝1）時：検出レベル選択 0：ロウレベル検出 1：ハイレベル検出 ● エッジ検出モード（FCLA0INTLm_<*name*>ビット＝0）時：立ち上がりエッジ検出制御 0：立ち上がりエッジ検出無効 1：立ち上がりエッジ検出有効 **備考）** このビットはアナログフィルタタイプ A とデジタルフィルタタイプ D でのみ有効です。ただし、デジタルフィルタタイプ D はエッジ検出モードになります。

注 意

デジタルフィルタタイプ D：ビット 2 には必ず 0 を設定してください。

2A.13.4.2　DNFA<*name*>CTL ― デジタルノイズ除去制御レジスタ

デジタルノイズ除去フィルタの特性を指定します。

備　考

このレジスタはデジタルフィルタタイプ D とデジタルフィルタタイプ E でのみ有効です。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　DNFA<*name*>CTL レジスタと入力信号の対応、および各レジスタのアドレスについては、「**2A.12.1 ポートフィルタの割り当て**」内の「**表 2A.90 デジタルフィルタタイプ D 付き入力端子**」および「**表 2A.91 デジタルフィルタタイプ E 付き入力端子**」を参照してください。

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	DNFA<*name*>NFSTS[1:0]		—	—	DNFA<*name*>PRS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R	R	R/W	R/W	R/W

表 2A.98　DNFA<*name*>CTL レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>7</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>6、5</td><td>DNFA<<i>name</i>>
NFSTS[1:0]</td><td>DNFA<<i>name</i>>NFSTS[1:0]ビットは、外部信号パルスの有効／無効を判断する際のサンプル数を指定します。
<table>
<tr><th>DNFA<<i>name</i>>NFSTS[1:0]</th><th>サンプル数</th></tr>
<tr><td>00_B</td><td>2</td></tr>
<tr><td>01_B</td><td>3</td></tr>
<tr><td>10_B</td><td>4</td></tr>
<tr><td>11_B</td><td>5</td></tr>
</table></td></tr>
<tr><td>4、3</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>2～0</td><td>DNFA<<i>name</i>>
PRS[2:0]</td><td>デジタルフィルタサンプリングクロック選択
<table>
<tr><th>DNFA<<i>name</i>>PRS[2:0]</th><th>サンプリングクロック周波数</th></tr>
<tr><td>000_B</td><td>DNFATCKI/1</td></tr>
<tr><td>001_B</td><td>DNFATCKI/2</td></tr>
<tr><td>010_B</td><td>DNFATCKI/4</td></tr>
<tr><td>011_B</td><td>DNFATCKI/8</td></tr>
<tr><td>100_B</td><td>DNFATCKI/16</td></tr>
<tr><td>101_B</td><td>DNFATCKI/32</td></tr>
<tr><td>110_B</td><td>DNFATCKI/64</td></tr>
<tr><td>111_B</td><td>DNFATCKI/128</td></tr>
</table></td></tr>
</table>

2A.13.4.3 DNFA<*name*>EN — デジタルノイズ除去許可レジスタ

任意の入力信号のデジタルノイズ除去を有効／無効にします。

備　考

このレジスタはデジタルフィルタタイプ D とデジタルフィルタタイプ E でのみ有効です。

アクセス　16 ビット単位でリード／ライト可能です。

上位バイト DNFA<*name*>ENH[7:0]および下位バイト DNFA<name>ENL[7:0]は、DNFA<name>ENH/DNFA<*name*>ENL を設定することによりそれぞれ 8/1 ビット単位でアクセス可能です。

アドレス　DNFA<*name*>EN レジスタと入力信号の対応、および各レジスタのアドレスについては、「**2A.12.1 ポートフィルタの割り当て**」内の「**表 2A.90 デジタルフィルタタイプ D 付き入力端子**」および「**表 2A.91 デジタルフィルタタイプ E 付き入力端子**」を参照してください。

リセット後の値　0000H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DNFA<*name*>ENH7	DNFA<*name*>ENH6	DNFA<*name*>ENH5	DNFA<*name*>ENH4	DNFA<*name*>ENH3	DNFA<*name*>ENH2	DNFA<*name*>ENH1	DNFA<*name*>ENH0	DNFA<*name*>ENL7	DNFA<*name*>ENL6	DNFA<*name*>ENL5	DNFA<*name*>ENL4	DNFA<*name*>ENL3	DNFA<*name*>ENL2	DNFA<*name*>ENL1	DNFA<*name*>ENL0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2A.99　DNFA<*name*>EN レジスタの内容

ビット位置	ビット名	機能
15～0	DNFA<*name*>ENH[7:0] DNFA<*name*>ENL[7:0]	デジタルノイズ除去有効／無効制御 0：ロウレベルに固定 1：フィルタを通過した入力信号

2A.13.4.4　DNFA<*name*>ENH — デジタルノイズ除去許可レジスタ H

このレジスタの設定は、DNFA<*name*>EN レジスタの上位 8 ビットと一致します。

備　考

このレジスタはデジタルフィルタタイプ E でのみ有効です。

アクセス　8/1 ビット単位でリード／ライト可能です。

アドレス　DNFA<*name*>ENH レジスタと入力信号の対応、および各レジスタのアドレスについては、**「2A.12.1 ポートフィルタの割り当て」**内の**「表 2A.91 デジタルフィルタタイプ E 付き入力端子」**を参照してください。

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	DNFA<*name*>ENH7	DNFA<*name*>ENH6	DNFA<*name*>ENH5	DNFA<*name*>ENH4	DNFA<*name*>ENH3	DNFA<*name*>ENH2	DNFA<*name*>ENH1	DNFA<*name*>ENH0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

各ビット機能の詳細については、「**2A.13.4.3 DNFA<name>EN — デジタルノイズ除去許可レジスタ**」を参照してください。

2A.13.4.5　DNFA<*name*>ENL — デジタルノイズ除去許可レジスタ L

このレジスタの設定は、DNFA<*name*>EN レジスタの下位 8 ビットと一致します。

備　考

このレジスタはデジタルフィルタタイプ D とデジタルフィルタタイプ E でのみ有効です。

アクセス　8/1 ビット単位でリード／ライト可能です。

アドレス　DNFA<name>ENL レジスタと入力信号の対応、および各レジスタのアドレスについては、**「2A.12.1 ポートフィルタの割り当て」**内の**「表 2A.90 デジタルフィルタタイプ D 付き入力端子」**および**「表 2A.91 デジタルフィルタタイプ E 付き入力端子」**を参照してください。

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	DNFA<*name*>ENL7	DNFA<*name*>ENL6	DNFA<*name*>ENL5	DNFA<*name*>ENL4	DNFA<*name*>ENL3	DNFA<*name*>ENL2	DNFA<*name*>ENL1	DNFA<*name*>ENL0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

各ビット機能の詳細については、「**2A.13.4.3 DNFA<name>EN — デジタルノイズ除去許可レジスタ**」を参照してください。

第2B章　RH850/F1KM-S4, RH850/F1KM-S2 の端子

本章では、端子およびポート機能について説明します。

「**2B.1 端子**」～「**2B.5 未使用端子の推奨接続**」節では、端子接続図および各端子について説明します。

「**2B.6 RH850/F1KM ポートの特長**」～「**2B.13 ポートノイズフィルタ＆エッジ／レベル検出機能説明**」節では、ポート機能の一般的な内容について説明します。

2B.1　端子

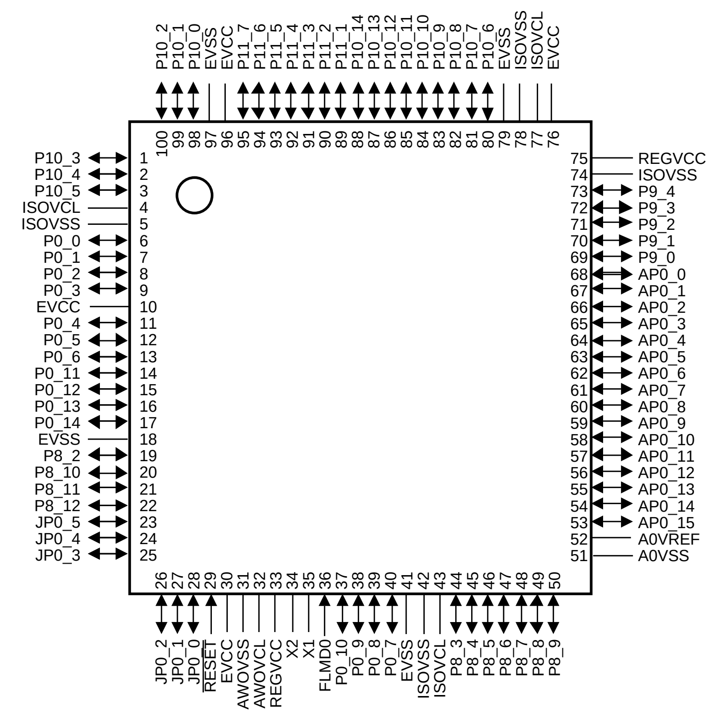


図 2B.1　　RH850/F1KM-S4 および RH850/F1KM-S2（100-Pin LQFP）の端子接続図

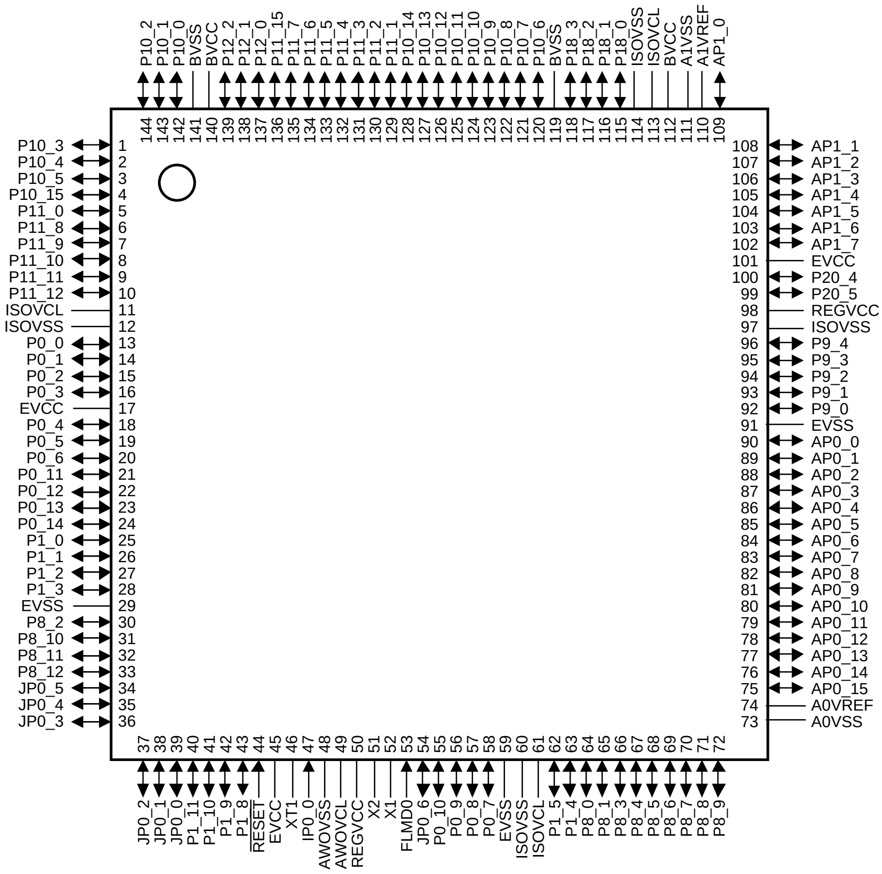


図 2B.2　　RH850/F1KM-S4 および RH850/F1KM-S2（144-Pin LQFP）の端子接続図

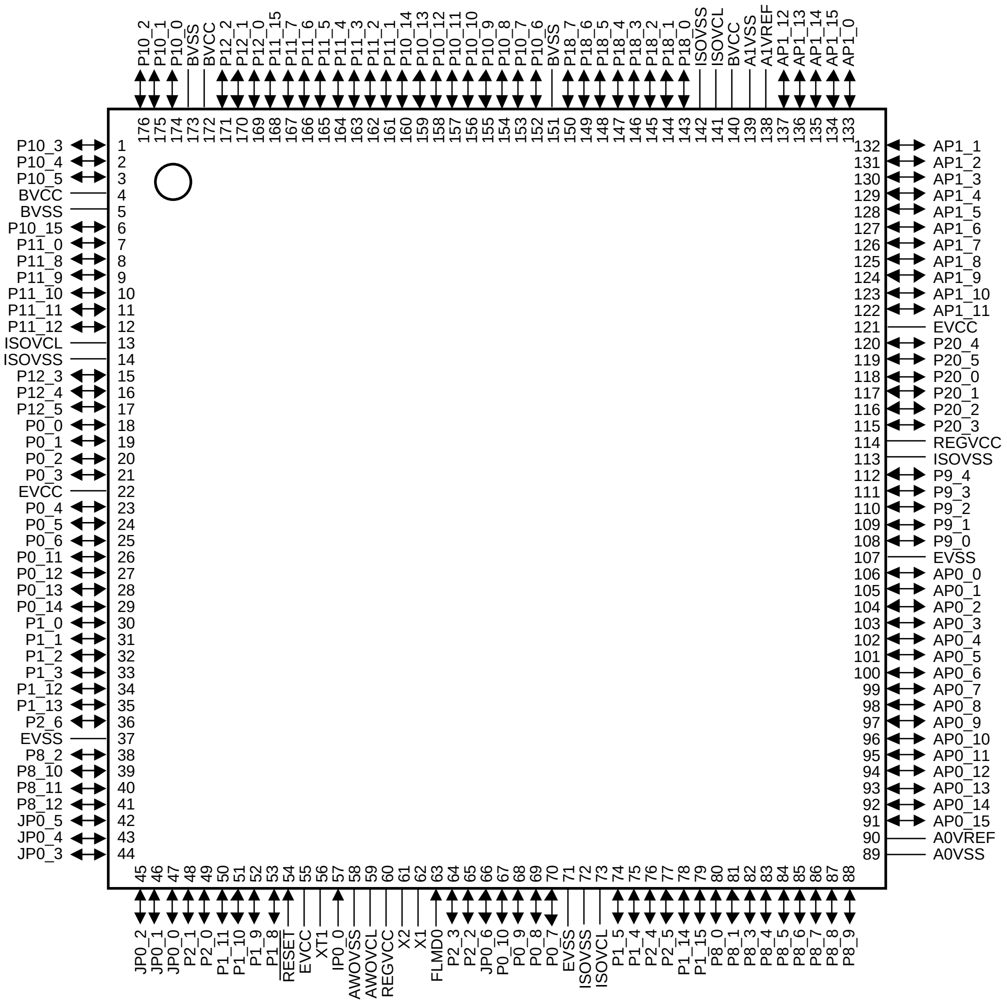


図 2B.3　　RH850/F1KM-S4 および RH850/F1KM-S2（176-Pin LQFP）の端子接続図

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	
A	BVSS	P10_0	P12_2	P11_5	P11_1	P10_13	P10_10	P10_7	P10_6	P19_2	P18_15	P18_13	P18_6	P18_5	P18_10	P18_8	A1VSS	A
B	P10_3	P10_1	P13_1	P12_0	P11_4	P11_3	P10_14	P10_9	P19_3	P19_1	P18_7	P18_11	P18_3	P18_2	P18_1	AP1_12	AP1_14	B
C	P10_15	P10_5	P10_2	P13_0	P12_1	P11_7	P11_2	P10_11	P18_14	P19_0	P18_4	P18_12	P18_9	P18_0	AP1_13	AP1_15	AP1_0	C
D	P11_9	P11_0	P10_4	BVCC	P11_15	P11_6	P10_12	P10_8	BVSS	BVCC	BVCC	ISOVSS	ISOVCL	A1VSS	AP1_1	AP1_2	AP1_3	D
E	P11_12	P11_10	P11_8	BVCC					Top View					A1VREF	AP1_5	AP1_6	AP1_8	E
F	P13_3	P13_2	P11_11	BVSS										AP1_4	AP1_7	AP1_9	P20_4	F
G	P12_3	P13_4	P13_5	ISOVCL			BVSS	BVSS	BVSS	BVSS	BVSS			AP1_10	AP1_11	P20_5	P20_0	G
H	P12_4	P13_7	P13_6	ISOVSS			BVSS	BVSS	BVSS	BVSS	EVSS			EVCC	P20_1	P20_2	P20_3	H
J	P0_0	P0_1	P12_5	P0_2			BVSS	BVSS	BVSS	EVSS	EVSS			REGVCC	P9_3	P9_4	P9_2	J
K	P0_3	P0_5	P0_4	EVCC			EVSS	EVSS	EVSS	EVSS	EVSS			ISOVSS	AP0_0	P9_0	P9_1	K
L	P0_11	P0_12	P0_6	P0_14			EVSS	EVSS	EVSS	EVSS	EVSS			EVSS	AP0_4	AP0_2	AP0_1	L
M	P0_13	P1_0	P2_9	P2_7										A0VREF	AP0_8	AP0_5	AP0_3	M
N	P1_2	P1_1	P1_3	P2_11										A0VSS	AP0_11	AP0_7	AP0_6	N
P	P1_12	P1_13	P8_10	P8_12	JP0_1	P1_11	P2_13	P2_15	EVCC	REGVCC	ISOVSS	ISOVCL	P8_6	P8_8	AP0_13	AP0_10	AP0_9	P
R	P2_6	P2_10	JP0_4	JP0_3	P2_1	P1_10	P1_9	P3_0	FLMD0	P0_9	P0_7	P2_5	P1_15	P8_4	P8_7	AP0_14	AP0_12	R
T	P2_8	P2_12	P8_11	JP0_2	P2_0	P2_14	IP0_0	AWOVCL	X1	P2_2	P0_10	P0_8	P2_4	P8_1	P8_5	P8_9	AP0_15	T
U	EVSS	P8_2	JP0_5	JP0_0	P1_8	$\overline{\text{RESET}}$	XT1	AWOVSS	X2	P2_3	JP0_6	P1_5	P1_4	P1_14	P8_0	P8_3	A0VSS	U
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	

図 2B.4　　RH850/F1KM-S4（233-Pin FPBGA）の端子接続図

Top View

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	
A	BVSS	P22_7	P13_1	P22_9	P11_15	P22_12	P22_13	P22_15	P11_1	P10_12	P10_10	P10_6	P19_3	P19_0	P18_14	P18_6	P18_3	P18_9	P18_0	A1VSS	A
B	P22_6	P10_3	P10_1	P22_8	P12_1	P22_11	P11_5	P11_4	P21_1	P10_14	P10_8	P19_2	P19_1	P18_7	P18_13	P18_4	P18_2	P18_1	AP1_12	AP1_13	B
C	P22_4	P22_5	P10_2	P10_0	P12_2	P22_10	P11_6	P22_14	P11_3	P10_13	P10_7	P10_9	P18_15	P18_12	P18_11	P18_10	P18_8	AP1_14	AP1_15	AP1_0	C
D	P10_15	P22_3	P10_5	BVCC	BVCC	P13_0	P12_0	P11_7	P11_2	BVSS	P10_11	BVCC	BVSS	P18_5	ISOVSS	ISOVCL	BVCC	AP1_1	AP1_2	AP1_3	D
E	P11_0	P11_8	P10_4	BVCC													A1VSS	AP1_4	AP1_5	AP1_6	E
F	P22_2	P22_1	P11_9	BVCC													A1VREF	AP1_7	AP1_9	AP1_10	F
G	P22_0	P11_11	P11_10	BVSS													AP1_8	AP1_11	P20_6	P20_7	G
H	P21_4	P11_12	P21_0	ISOVCL													EVCC	P20_8	P20_9	P20_4	H
J	P13_3	P21_3	P21_2	ISOVSS					BVSS	BVSS	BVSS	BVSS					EVSS	P20_5	P20_0	P20_1	J
K	P13_4	P13_6	P13_2	BVSS					BVSS	BVSS	BVSS	EVSS					EVCC	P20_3	P20_10	P20_2	K
L	P12_3	P12_5	P0_3	P13_5					BVSS	EVSS	EVSS	EVSS					REGVCC	P20_13	P20_12	P20_11	L
M	P0_0	P0_1	P0_6	P13_7					EVSS	EVSS	EVSS	EVSS					ISOVSS	P9_3	P9_4	P20_14	M
N	P0_4	P0_5	P12_4	P0_2													EVSS	P9_0	P9_1	P9_2	N
P	P0_11	P0_12	P0_14	EVCC													AP0_6	AP0_3	AP0_1	AP0_0	P
R	P0_13	P1_1	P2_6	P1_3													A0VREF	AP0_7	AP0_4	AP0_2	R
T	P1_0	P1_12	P2_8	P2_9													A0VSS	AP0_10	AP0_8	AP0_5	T
U	P1_2	P2_7	P2_11	P8_12	JP0_2	P1_9	EVCC	AWOVCL	REGVCC	P0_9	ISOVSS	ISOVCL	P1_15	EVSS	EVCC	P3_7	P3_10	AP0_13	AP0_11	AP0_9	U
V	P1_13	P2_12	P8_10	JP0_3	JP0_0	P1_11	P2_13	P3_0	FLMD0	P0_8	P0_7	P2_5	P8_1	P3_1	P8_7	P3_3	P3_6	P3_9	AP0_14	AP0_12	V
W	P2_10	P8_2	JP0_5	JP0_1	P2_0	P2_14	P2_15	IP0_0	P2_3	P2_2	JP0_6	P1_4	P2_4	P8_0	P8_4	P3_2	P8_8	P3_4	P3_8	AP0_15	W
Y	EVSS	P8_11	JP0_4	P2_1	P1_10	P1_8	$\overline{\text{RESET}}$	XT1	AWOVSS	X2	X1	P0_10	P1_5	P1_14	P8_3	P8_5	P8_6	P8_9	P3_5	A0VSS	Y
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	

図 2B.5　　RH850/F1KM-S4（272-Pin FPBGA）の端子接続図

表 2B.1　　端子配置 100-Pin LQFP (RH850/F1KM-S4)

端子番号	端子名
1	P10_3 / TAUD0I7 / TAUD0O7 / RIIC0SCL / KR0I1 / PWGA3O / ADCA0TRG1 / $\overline{\text{CSIH1SSI}}$ / TAPA0VN
2	P10_4 / TAUD0I9 / TAUD0O9 / RLIN21RX / CAN6TX / KR0I2 / ADCA0TRG2 / $\overline{\text{CSIG0SSI}}$ / ADCA0SEL0 / TAPA0WP
3	P10_5 / TAUD0I11 / TAUD0O11 / CAN6RX / INTP6 / RLIN21TX / KR0I3 / CSIG0RYI / CSIG0RYO / ADCA0SEL1 / TAPA0WN
4	ISOVCL
5	ISOVSS
6	P0_0 / TAUD0I2 / TAUD0O2 / RLIN20RX / CAN0TX / PWGA10O / $\overline{\text{CSIH0SSI}}$ / DPO / TAUJ2I1 / TAUJ2O1
7	P0_1 / TAUD0I4 / TAUD0O4 / CAN0RX / INTP0 / RLIN20TX / PWGA11O / CSIH0SI / APO / TAUJ2I2 / TAUJ2O2
8	P0_2 / TAUD0I6 / TAUD0O6 / CAN1RX / INTP1 / RLIN30TX / PWGA12O / CSIH0SC / DPO / TAUJ2I3 / TAUJ2O3
9	P0_3 / TAUD0I8 / TAUD0O8 / RLIN30RX / INTP10 / CAN1TX / DPIN1 / PWGA13O / CSIH0SO / TAUJ1I0 / TAUJ1O0
10	EVCC
11	P0_4 / RLIN31RX / INTP11 / CAN2TX / PWGA10O / CSIH1SI / SELDP0 / DPIN8 / TAUB0I12 / TAUB0O12
12	P0_5 / CAN2RX / INTP2 / RLIN31TX / DPIN9 / SELDP1 / CSIH1SO / TAUB0I14 / TAUB0O14
13	P0_6 / INTP2 / DPIN10 / SELDP2 / CSIH1SC / PWGA35O
14	P0_11 / RIIC0SDA / DPIN12 / CSIH1CSS2 / TAUB0I8 / TAUB0O8 / PWGA34O
15	P0_12 / RIIC0SCL / DPIN13 / PWGA45O / TAUB0I10 / TAUB0O10 / CSIG0SI
16	P0_13 / INTP12 / PWGA46O / TAUB0I12 / TAUB0O12 / CSIG0SO / CAN5RX / INTP5 / RLIN32RX
17	P0_14 / PWGA47O / TAUB0I14 / TAUB0O14 / CSIG0SC / CAN5TX / RLIN32TX
18	EVSS
19	P8_2 / TAUJ0I0 / TAUJ0O0 / DPIN2 / CSIH0CSS0 / INTP6 / PWGA22O / ADCA0I4S
20	P8_10 / DPIN14 / PWGA42O / ADCA0I17S / CSIH3CSS3
21	P8_11 / TAUJ1I2 / TAUJ1O2 / DPIN15 / PWGA43O / ADCA0I18S / CSIH1CSS4
22	P8_12 / TAUJ1I3 / TAUJ1O3 / DPIN16 / PWGA44O / ADCA0I19S / CSIH1CSS5
23	JP0_5 / NMI / TAUJ0I3 / TAUJ0O3 / $\overline{\text{DCURDY}}$ / LPDCLKOUT / RTCA0OUT
24	JP0_4 / $\overline{\text{DCUTRST}}$
25	JP0_3 / INTP3 / TAUJ0I2 / TAUJ0O2 / DCUTMS / CSCXFOUT
26	JP0_2 / INTP2 / TAUJ0I1 / TAUJ0O1 / FPCK / DCUTCK / LPDCLK
27	JP0_1 / INTP1 / TAUJ0I0 / TAUJ0O0 / FPDT / DCUTDO / LPDO
28	JP0_0 / INTP0 / FPDR / FPDT / DCUTDI / LPDI/ LPDIO / TAUJ2I0 / TAUJ2O0
29	$\overline{\text{RESET}}$
30	EVCC
31	AWOVSS
32	AWOVCL
33	REGVCC
34	X2
35	X1
36	FLMD0
37	P0_10 / INTP3 / CSIH1CSS1 / DPIN11 / RLIN22TX / TAUB0I6 / TAUB0O6 / CAN4TX
38	P0_9 / INTP12 / CSIH1CSS0 / DPIN7 / RLIN22RX / TAUB0I4 / TAUB0O4 / CAN4RX / INTP4
39	P0_8 / RLIN21TX / DPIN6 / $\overline{\text{CSIH1SSI}}$ / TAUB0I2 / TAUB0O2 / CAN3TX / CSIH0CSS6
40	P0_7 / RLIN21RX / DPIN5 / CSCXFOUT / CSIH1RYI / CSIH1RYO / TAUB0I0 / TAUB0O0 / CAN3RX / INTP3
41	EVSS
42	ISOVSS
43	ISOVCL

表 2B.1　端子配置 100-Pin LQFP (RH850/F1KM-S4)

端子番号	端子名
44	P8_3 / TAUJ0I1 / TAUJ0O1 / DPIN3 / CSIH0CSS1 / INTP7 / PWGA23O / CAN7TX / ADCA0I5S
45	P8_4 / TAUJ0I2 / TAUJ0O2 / DPIN4 / CSIH0CSS2 / INTP8 / PWGA36O / CAN7RX / INTP9 / ADCA0I6S
46	P8_5 / TAUJ0I3 / TAUJ0O3 / NMI / CSIH0CSS3 / PWGA37O / ADCA0I7S / INTP9
47	P8_6 / NMI / CSIH0CSS4 / PWGA38O / RTCA0OUT / ADCA0I8S / $\overline{\text{RESETOUT}}$
48	P8_7 / PWGA39O / ADCA0SEL0 / RTCA0OUT / ADCA0I14S / CSIH3CSS0
49	P8_8 / PWGA40O / ADCA0SEL1 / ADCA0I15S / CSIH3CSS1
50	P8_9 / PWGA41O / ADCA0SEL2 / ADCA0I16S / CSIH3CSS2
51	A0VSS
52	A0VREF
53	AP0_15 / ADCA0I15
54	AP0_14 / ADCA0I14
55	AP0_13 / ADCA0I13
56	AP0_12 / ADCA0I12
57	AP0_11 / ADCA0I11
58	AP0_10 / ADCA0I10
59	AP0_9 / ADCA0I9
60	AP0_8 / ADCA0I8
61	AP0_7 / ADCA0I7
62	AP0_6 / ADCA0I6
63	AP0_5 / ADCA0I5
64	AP0_4 / ADCA0I4
65	AP0_3 / ADCA0I3
66	AP0_2 / ADCA0I2
67	AP0_1 / ADCA0I1
68	AP0_0 / ADCA0I0
69	P9_0 / NMI / PWGA8O / TAUD0I0 / TAUD0O0 / ADCA0TRG0 / CSIH2CSS0 / KR0I4 / TAUJ1I1 / TAUJ1O1 / SENT1RX / RIIC1SDA / ADCA0I2S
70	P9_1 / INTP11 / PWGA9O / TAUD0I2 / TAUD0O2 / KR0I5 / CSIH2CSS1 / TAUJ1I2 / TAUJ1O2 / SENT1SPCO / RIIC1SCL / ADCA0I3S
71	P9_2 / KR0I6 / PWGA20O / TAPA0ESO / CSIH2CSS2 / ADCA0I9S
72	P9_3 / KR0I7 / PWGA21O / CSIH2CSS3 / TAUJ1I1 / TAUJ1O1 / ADCA0I10S
73	P9_4 / CSIH0CSS5 / PWGA33O / TAUJ1I0 / TAUJ1O0 / ADCA0I11S
74	ISOVSS
75	REGVCC
76	EVCC
77	ISOVCL
78	ISOVSS
79	EVSS
80	P10_6 / TAUD0I13 / TAUD0O13 / CSIG0SO / ENCA0TIN0 / ADCA0SEL2 / CAN1RX / INTP1 / MODE2
81	P10_7 / TAUD0I15 / TAUD0O15 / CSIG0SC / ENCA0TIN1 / PWGA4O / CAN1TX / TAUJ3I1 / TAUJ3O1
82	P10_8 / TAUD0I10 / TAUD0O10 / CSIG0SI / FLXA0TXDB / ENCA0EC / PWGA5O / TAUJ3I2 / TAUJ3O2 / FLMD1
83	P10_9 / TAUD0I12 / TAUD0O12 / RLIN30RX / INTP10 / ENCA0E0 / PWGA6O / CSIH0RYI / CSIH0RYO / FLXA0RXDB
84	P10_10 / TAUD0I14 / TAUD0O14 / RLIN30TX / ENCA0E1 / PWGA7O / CSIH0CSS1 / TAUJ3I3 / TAUJ3O3
85	P10_11 / PWGA16O / RLIN31RX / INTP11 / FLXA0TXENA / CSIH1CSS0 / TAUB0I1 / TAUB0O1
86	P10_12 / PWGA17O / FLXA0STPWT / RLIN31TX / CSIH1CSS1 / TAUB0I3 / TAUB0O3

表 2B.1 端子配置 100-Pin LQFP (RH850/F1KM-S4)

端子番号	端子名
87	P10_13 / $\overline{\text{CSIH0SSI}}$ / PWGA18O / INTP12 / FLXA0TXENB / TAUB0I5 / TAUB0O5 / CAN7TX / RLIN32RX
88	P10_14 / PWGA19O / FLXA0RXDA / TAUB0I7 / TAUB0O7 / CAN7RX / INTP9 / RLIN32TX / $\overline{\text{CSIH3SSI}}$
89	P11_1 / $\overline{\text{CSIH2SSI}}$ / FLXA0TXDA / RLIN20RX / PWGA26O / TAUB0I13 / TAUB0O13 / CSIH0CSS7
90	P11_2 / CSIH2SO / INTP12 / RLIN20TX / PWGA27O / TAUB0I15 / TAUB0O15 / RLIN32RX
91	P11_3 / CSIH2SC / CAN3RX / INTP3 / PWGA28O / RLIN32TX
92	P11_4 / CSIH2SI / CAN3TX / PWGA29O
93	P11_5 / CAN5RX / INTP5 / PWGA30O / CSIH3SI
94	P11_6 / INTP13 / CAN5TX / PWGA31O / CSIH3SO
95	P11_7 / INTP5 / PWGA32O / CSIH3SC
96	EVCC
97	EVSS
98	P10_0 / TAUD0I1 / TAUD0O1 / CAN0RX / INTP0 / PWGA0O / CSIH1SI / CSCXFOUT / TAUJ1I3 / TAUJ1O3 / TAPA0UP
99	P10_1 / TAUD0I3 / TAUD0O3 / CAN0TX / PWGA1O / CSIH1SC / MODE0 / TAUJ3I0 / TAUJ3O0 / TAPA0UN
100	P10_2 / TAUD0I5 / TAUD0O5 / RIIC0SDA / KR0I0 / PWGA2O / ADCA0TRG0 / CSIH1SO / MODE1 / TAPA0VP

表 2B.2　　端子配置 100-Pin LQFP (RH850/F1KM-S2)

端子番号	端子名
1	P10_3 / TAUD0I7 / TAUD0O7 / RIIC0SCL / KR0I1 / PWGA3O / ADCA0TRG1 / $\overline{\text{CSIH1SSI}}$ / TAPA0VN
2	P10_4 / TAUD0I9 / TAUD0O9 / RLIN21RX / CAN6TX / KR0I2 / ADCA0TRG2 / $\overline{\text{CSIG0SSI}}$ / ADCA0SEL0 / TAPA0WP
3	P10_5 / TAUD0I11 / TAUD0O11 / CAN6RX / INTP6 / RLIN21TX / KR0I3 / CSIG0RYI / CSIG0RYO / ADCA0SEL1 / TAPA0WN
4	ISOVCL
5	ISOVSS
6	P0_0 / TAUD0I2 / TAUD0O2 / RLIN20RX / CAN0TX / PWGA10O / $\overline{\text{CSIH0SSI}}$ / DPO / TAUJ2I1 / TAUJ2O1
7	P0_1 / TAUD0I4 / TAUD0O4 / CAN0RX / INTP0 / RLIN20TX / PWGA11O / CSIH0SI / APO / TAUJ2I2 / TAUJ2O2
8	P0_2 / TAUD0I6 / TAUD0O6 / CAN1RX / INTP1 / RLIN30TX / PWGA12O / CSIH0SC / DPO / TAUJ2I3 / TAUJ2O3
9	P0_3 / TAUD0I8 / TAUD0O8 / RLIN30RX / INTP10 / CAN1TX / DPIN1 / PWGA13O / CSIH0SO / TAUJ1I0 / TAUJ1O0
10	EVCC
11	P0_4 / RLIN31RX / INTP11 / CAN2TX / PWGA10O / CSIH1SI / SELDP0 / DPIN8 / TAUB0I12 / TAUB0O12
12	P0_5 / CAN2RX / INTP2 / RLIN31TX / DPIN9 / SELDP1 / CSIH1SO / TAUB0I14 / TAUB0O14
13	P0_6 / INTP2 / DPIN10 / SELDP2 / CSIH1SC / PWGA35O
14	P0_11 / RIIC0SDA / DPIN12 / CSIH1CSS2 / TAUB0I8 / TAUB0O8 / PWGA34O
15	P0_12 / RIIC0SCL / DPIN13 / PWGA45O / TAUB0I10 / TAUB0O10 / CSIG0SI
16	P0_13 / INTP12 / PWGA46O / TAUB0I12 / TAUB0O12 / CSIG0SO / CAN5RX / INTP5 / RLIN32RX
17	P0_14 / PWGA47O / TAUB0I14 / TAUB0O14 / CSIG0SC / CAN5TX / RLIN32TX
18	EVSS
19	P8_2 / TAUJ0I0 / TAUJ0O0 / DPIN2 / CSIH0CSS0 / INTP6 / PWGA22O / ADCA0I4S
20	P8_10 / DPIN14 / PWGA42O / ADCA0I17S / CSIH3CSS3
21	P8_11 / TAUJ1I2 / TAUJ1O2 / DPIN15 / PWGA43O / ADCA0I18S / CSIH1CSS4
22	P8_12 / TAUJ1I3 / TAUJ1O3 / DPIN16 / PWGA44O / ADCA0I19S / CSIH1CSS5
23	JP0_5 / NMI / TAUJ0I3 / TAUJ0O3 / $\overline{\text{DCURDY}}$ / LPDCLKOUT / RTCA0OUT
24	JP0_4 / $\overline{\text{DCUTRST}}$
25	JP0_3 / INTP3 / TAUJ0I2 / TAUJ0O2 / DCUTMS / CSCXFOUT
26	JP0_2 / INTP2 / TAUJ0I1 / TAUJ0O1 / FPCK / DCUTCK / LPDCLK
27	JP0_1 / INTP1 / TAUJ0I0 / TAUJ0O0 / FPDT / DCUTDO / LPDO
28	JP0_0 / INTP0 / FPDR / FPDT / DCUTDI / LPDI/ LPDIO / TAUJ2I0 / TAUJ2O0
29	$\overline{\text{RESET}}$
30	EVCC
31	AWOVSS
32	AWOVCL
33	REGVCC
34	X2
35	X1
36	FLMD0
37	P0_10 / INTP3 / CSIH1CSS1 / DPIN11 / RLIN22TX / TAUB0I6 / TAUB0O6 / CAN4TX
38	P0_9 / INTP12 / CSIH1CSS0 / DPIN7 / RLIN22RX / TAUB0I4 / TAUB0O4 / CAN4RX / INTP4
39	P0_8 / RLIN21TX / DPIN6 / $\overline{\text{CSIH1SSI}}$ / TAUB0I2 / TAUB0O2 / CAN3TX / CSIH0CSS6
40	P0_7 / RLIN21RX / DPIN5 / CSCXFOUT / CSIH1RYI / CSIH1RYO / TAUB0I0 / TAUB0O0 / CAN3RX / INTP3
41	EVSS
42	ISOVSS
43	ISOVCL

表 2B.2　　端子配置 100-Pin LQFP (RH850/F1KM-S2)

端子番号	端子名
44	P8_3 / TAUJ0I1 / TAUJ0O1 / DPIN3 / CSIH0CSS1 / INTP7 / PWGA23O / CAN7TX / ADCA0I5S
45	P8_4 / TAUJ0I2 / TAUJ0O2 / DPIN4 / CSIH0CSS2 / INTP8 / PWGA36O / CAN7RX / INTP9 / ADCA0I6S
46	P8_5 / TAUJ0I3 / TAUJ0O3 / NMI / CSIH0CSS3 / PWGA37O / ADCA0I7S / INTP9
47	P8_6 / NMI / CSIH0CSS4 / PWGA38O / RTCA0OUT / ADCA0I8S / $\overline{\text{RESETOUT}}$
48	P8_7 / PWGA39O / ADCA0SEL0 / RTCA0OUT / ADCA0I14S / CSIH3CSS0
49	P8_8 / PWGA40O / ADCA0SEL1 / ADCA0I15S / CSIH3CSS1
50	P8_9 / PWGA41O / ADCA0SEL2 / ADCA0I16S / CSIH3CSS2
51	A0VSS
52	A0VREF
53	AP0_15 / ADCA0I15
54	AP0_14 / ADCA0I14
55	AP0_13 / ADCA0I13
56	AP0_12 / ADCA0I12
57	AP0_11 / ADCA0I11
58	AP0_10 / ADCA0I10
59	AP0_9 / ADCA0I9
60	AP0_8 / ADCA0I8
61	AP0_7 / ADCA0I7
62	AP0_6 / ADCA0I6
63	AP0_5 / ADCA0I5
64	AP0_4 / ADCA0I4
65	AP0_3 / ADCA0I3
66	AP0_2 / ADCA0I2
67	AP0_1 / ADCA0I1
68	AP0_0 / ADCA0I0
69	P9_0 / NMI / PWGA8O / TAUD0I0 / TAUD0O0 / ADCA0TRG0 / CSIH2CSS0 / KR0I4 / TAUJ1I1 / TAUJ1O1 / SENT1RX / RIIC1SDA / ADCA0I2S
70	P9_1 / INTP11 / PWGA9O / TAUD0I2 / TAUD0O2 / KR0I5 / CSIH2CSS1 / TAUJ1I2 / TAUJ1O2 / SENT1SPCO / RIIC1SCL / ADCA0I3S
71	P9_2 / KR0I6 / PWGA20O / TAPA0ESO / CSIH2CSS2 / ADCA0I9S
72	P9_3 / KR0I7 / PWGA21O / CSIH2CSS3 / TAUJ1I1 / TAUJ1O1 / ADCA0I10S
73	P9_4 / CSIH0CSS5 / PWGA33O / TAUJ1I0 / TAUJ1O0 / ADCA0I11S
74	ISOVSS
75	REGVCC
76	EVCC
77	ISOVCL
78	ISOVSS
79	EVSS
80	P10_6 / TAUD0I13 / TAUD0O13 / CSIG0SO / ENCA0TIN0 / ADCA0SEL2 / CAN1RX / INTP1 / MODE2
81	P10_7 / TAUD0I15 / TAUD0O15 / CSIG0SC / ENCA0TIN1 / PWGA4O / CAN1TX / TAUJ3I1 / TAUJ3O1
82	P10_8 / TAUD0I10 / TAUD0O10 / CSIG0SI / ENCA0EC / PWGA5O / TAUJ3I2 / TAUJ3O2 / FLMD1
83	P10_9 / TAUD0I12 / TAUD0O12 / RLIN30RX / INTP10 / ENCA0E0 / PWGA6O / CSIH0RYI / CSIH0RYO
84	P10_10 / TAUD0I14 / TAUD0O14 / RLIN30TX / ENCA0E1 / PWGA7O / CSIH0CSS1 / TAUJ3I3 / TAUJ3O3
85	P10_11 / PWGA16O / RLIN31RX / INTP11 / CSIH1CSS0 / TAUB0I1 / TAUB0O1
86	P10_12 / PWGA17O / RLIN31TX / CSIH1CSS1 / TAUB0I3 / TAUB0O3

表 2B.2　　端子配置 100-Pin LQFP (RH850/F1KM-S2)

端子番号	端子名
87	P10_13 / $\overline{\text{CSIH0SSI}}$ / PWGA18O / INTP12 / TAUB0I5 / TAUB0O5 / CAN7TX / RLIN32RX
88	P10_14 / PWGA19O / TAUB0I7 / TAUB0O7 / CAN7RX / INTP9 / RLIN32TX / $\overline{\text{CSIH3SSI}}$
89	P11_1 / $\overline{\text{CSIH2SSI}}$ / RLIN20RX / PWGA26O / TAUB0I13 / TAUB0O13 / CSIH0CSS7
90	P11_2 / CSIH2SO / INTP12 / RLIN20TX / PWGA27O / TAUB0I15 / TAUB0O15 / RLIN32RX
91	P11_3 / CSIH2SC / CAN3RX / INTP3 / PWGA28O / RLIN32TX
92	P11_4 / CSIH2SI / CAN3TX / PWGA29O
93	P11_5 / CAN5RX / INTP5 / PWGA30O / CSIH3SI
94	P11_6 / INTP13 / CAN5TX / PWGA31O / CSIH3SO
95	P11_7 / INTP5 / PWGA32O / CSIH3SC
96	EVCC
97	EVSS
98	P10_0 / TAUD0I1 / TAUD0O1 / CAN0RX / INTP0 / PWGA0O / CSIH1SI / CSCXFOUT / TAUJ1I3 / TAUJ1O3 / TAPA0UP
99	P10_1 / TAUD0I3 / TAUD0O3 / CAN0TX / PWGA1O / CSIH1SC / MODE0 / TAUJ3I0 / TAUJ3O0 / TAPA0UN
100	P10_2 / TAUD0I5 / TAUD0O5 / RIIC0SDA / KR0I0 / PWGA2O / ADCA0TRG0 / CSIH1SO / MODE1 / TAPA0VP

表 2B.3　　端子配置 144-Pin LQFP (RH850/F1KM-S4)

端子番号	端子名
1	P10_3 / TAUD0I7 / TAUD0O7 / RIIC0SCL / KR0I1 / PWGA3O / ADCA0TRG1 / TAPA0VN / $\overline{\text{CSIH1SSI}}$
2	P10_4 / TAUD0I9 / TAUD0O9 / RLIN21RX / CAN6TX / KR0I2 / ADCA0SEL0 / ADCA0TRG2 / TAPA0WP / $\overline{\text{CSIG0SSI}}$ / PWGA53O
3	P10_5 / TAUD0I11 / TAUD0O11 / CAN6RX / INTP6 / RLIN21TX / KR0I3 / ADCA0SEL1 / TAPA0WN / CSIG0RYI / CSIG0RYO / PWGA54O
4	P10_15 / CSIH3RYI / CSIH3RYO / PWGA24O / RLIN22RX / TAUB0I9 / TAUB0O9
5	P11_0 / CSIH2RYI / CSIH2RYO / ADCA1TRG2 / PWGA25O / RLIN22TX / TAUB0I11 / TAUB0O11
6	P11_8 / $\overline{\text{CSIG1SSI}}$ / RLIN35TX / PWGA48O
7	P11_9 / CSIG1SO / RLIN35RX / INTP15 / PWGA49O
8	P11_10 / CSIG1SC / PWGA50O
9	P11_11 / CSIG1SI / RLIN25TX / PWGA51O
10	P11_12 / RLIN25RX / PWGA52O
11	ISOVCL
12	ISOVSS
13	P0_0 / TAUD0I2 / TAUD0O2 / RLIN20RX / CAN0TX / PWGA10O / $\overline{\text{CSIH0SSI}}$ / DPO / TAUJ2I1 / TAUJ2O1
14	P0_1 / TAUD0I4 / TAUD0O4 / CAN0RX / INTP0 / RLIN20TX / PWGA11O / CSIH0SI / APO / TAUJ2I2 / TAUJ2O2
15	P0_2 / TAUD0I6 / TAUD0O6 / CAN1RX / INTP1 / RLIN30TX / PWGA12O / CSIH0SC / DPO / TAUJ2I3 / TAUJ2O3
16	P0_3 / TAUD0I8 / TAUD0O8 / RLIN30RX / INTP10 / CAN1TX / DPIN1 / PWGA13O / CSIH0SO / TAUJ1I0 / TAUJ1O0
17	EVCC
18	P0_4 / RLIN31RX / INTP11 / CAN2TX / PWGA10O / CSIH1SI / SELDP0 /DPIN8 / TAUB0I12 / TAUB0O12
19	P0_5 / CAN2RX / INTP2 / RLIN31TX / DPIN9 / SELDP1 / CSIH1SO / TAUB0I14 / TAUB0O14
20	P0_6 / INTP2 / DPIN10 / SELDP2 / CSIH1SC / PWGA35O
21	P0_11 / RIIC0SDA / DPIN12 / CSIH1CSS2 / TAUB0I8 / TAUB0O8 / PWGA34O
22	P0_12 / RIIC0SCL / DPIN13 / PWGA45O / TAUB0I10 / TAUB0O10 / CSIG0SI
23	P0_13 / RLIN32RX / INTP12 / PWGA46O / TAUB0I12 / TAUB0O12 / CSIG0SO / CAN5RX / INTP5
24	P0_14 / INTP17 / RLIN32TX / PWGA47O / TAUB0I14 / TAUB0O14 / CSIG0SC / CAN5TX
25	P1_0 / RLIN33RX / INTP13 / TAUJ2I0 / TAUJ2O0
26	P1_1 / INTP18 / RLIN33TX / TAUJ2I1 / TAUJ2O1
27	P1_2 / CAN3RX / INTP3 / DPIN19 / TAUJ2I2 / TAUJ2O2
28	P1_3 / INTP19 / CAN3TX / DPIN23 / TAUJ2I3 / TAUJ2O3
29	EVSS
30	P8_2 / TAUJ0I0 / TAUJ0O0 / DPIN2 / CSIH0CSS0 / INTP6 / PWGA22O / ADCA0I4S
31	P8_10 / CSIH3CSS3 / DPIN14 / PWGA42O / ADCA0I17S
32	P8_11 / TAUJ1I2 / TAUJ1O2 / DPIN15 / PWGA43O / CSIH1CSS4 / RLIN25RX / ADCA0I18S
33	P8_12 / TAUJ1I3 / TAUJ1O3 / DPIN16 / PWGA44O / CSIH1CSS5 / INTP23 / RLIN25TX / ADCA0I19S
34	JP0_5 / NMI / RTCA0OUT / TAUJ0I3 / TAUJ0O3 / $\overline{\text{DCURDY}}$ / LPDCLKOUT
35	JP0_4 / $\overline{\text{DCUTRST}}$
36	JP0_3 / INTP3 / CSCXFOUT / TAUJ0I2 / TAUJ0O2 / DCUTMS
37	JP0_2 / INTP2 / TAUJ0I1 / TAUJ0O1 / FPCK / DCUTCK / LPDCLK
38	JP0_1 / INTP1 /TAUJ0I0 / TAUJ0O0 / FPDT / DCUTDO / LPDO
39	JP0_0 / INTP0 / FPDR / FPDT / DCUTDI / LPDI / LPDIO / TAUJ2I0 / TAUJ2O0
40	P1_11 / ADCA1TRG2 / RLIN24TX / DPIN22 / INTP14
41	P1_10 / RLIN24RX / DPIN21 / INTP22 / ADCA1TRG1
42	P1_9 / DPIN20 / INTP21

表 2B.3　　端子配置 144-Pin LQFP (RH850/F1KM-S4)

端子番号	端子名
43	P1_8
44	$\overline{\text{RESET}}$
45	EVCC
46	XT1
47	IP0_0 / XT2
48	AWOVSS
49	AWOVCL
50	REGVCC
51	X2
52	X1
53	FLMD0
54	JP0_6 / $\overline{\text{EVTO}}$
55	P0_10 / INTP3 / CSIH1CSS1 / DPIN11 / RLIN22TX / TAUB0I6 / TAUB0O6 / CAN4TX
56	P0_9 / INTP12 / CSIH1CSS0 / DPIN7 / RLIN22RX / TAUB0I4 / TAUB0O4 / CAN4RX / INTP4
57	P0_8/ INTP16 / RLIN21TX / DPIN6 / CSIH0CSS6 / $\overline{\text{CSIH1SSI}}$ / TAUB0I2 / TAUB0O2 / CAN3TX
58	P0_7 / RLIN21RX / DPIN5 / CSCXFOUT / CSIH1RYI / CSIH1RYO / TAUB0I0 / TAUB0O0 / CAN3RX / INTP3
59	EVSS
60	ISOVSS
61	ISOVCL
62	P1_5 / ADCA1TRG0 / RLIN35TX / DPIN17 / INTP20
63	P1_4 / RLIN35RX / INTP15 / DPIN18
64	P8_0 / TAUJ0I0 / TAUJ0O0 / DPIN2 / PWGA14O / INTP4 / CSIH0CSS0 / CAN6RX / INTP6 / ADCA0I0S / RIIC1SDA / SENT0RX
65	P8_1 / TAPA0ESO / TAUJ0O1 / DPIN0 / PWGA15O / INTP5 / CSIH1CSS3 / CAN6TX / ADCA0I1S / RIIC1SCL / SENT0SPCO
66	P8_3 / TAUJ0I1 / TAUJ0O1 / DPIN3 / CSIH0CSS1 / INTP7 / PWGA23O / CAN7TX / ADCA0I5S
67	P8_4 / TAUJ0I2 / TAUJ0O2 / DPIN4 / CSIH0CSS2 / INTP8 / PWGA36O / CAN7RX / INTP9 / ADCA0I6S
68	P8_5 / TAUJ0I3 / TAUJ0O3 / NMI / CSIH0CSS3 / INTP9 / PWGA37O / ADCA0I7S
69	P8_6 / NMI / CSIH0CSS4 / PWGA38O / RTCA0OUT / ADCA0I8S / $\overline{\text{RESETOUT}}$
70	P8_7 / CSIH3CSS0 / PWGA39O / ADCA0SEL0 / RTCA0OUT / ADCA0I14S
71	P8_8 / CSIH3CSS1 / PWGA40O / ADCA0SEL1 / RLIN34RX / INTP14 / ADCA0I15S
72	P8_9 / CSIH3CSS2 / PWGA41O / ADCA0SEL2 / RLIN34TX / ADCA0I16S
73	A0VSS
74	A0VREF
75	AP0_15 / ADCA0I15
76	AP0_14 / ADCA0I14
77	AP0_13 / ADCA0I13
78	AP0_12 / ADCA0I12
79	AP0_11 / ADCA0I11
80	AP0_10 / ADCA0I10
81	AP0_9 / ADCA0I9
82	AP0_8 / ADCA0I8
83	AP0_7 / ADCA0I7
84	AP0_6 / ADCA0I6
85	AP0_5 / ADCA0I5
86	AP0_4 / ADCA0I4

表 2B.3　　端子配置 144-Pin LQFP (RH850/F1KM-S4)

端子番号	端子名
87	AP0_3 / ADCA0I3
88	AP0_2 / ADCA0I2
89	AP0_1 / ADCA0I1
90	AP0_0 / ADCA0I0
91	EVSS
92	P9_0 / NMI / PWGA8O / TAUD0I0 / TAUD0O0 / ADCA0TRG0 / CSIH2CSS0 / KR0I4 / ADCA0I2S / TAUJ1I1 / TAUJ1O1 / SENT1RX / RIIC1SDA
93	P9_1 / INTP11 / PWGA9O / TAUD0I2 / TAUD0O2 / KR0I5 / CSIH2CSS1 / ADCA0I3S / TAUJ1I2 / TAUJ1O2 / SENT1SPCO / RIIC1SCL
94	P9_2 / KR0I6 / PWGA20O / TAPA0ESO / CSIH2CSS2 / ADCA0I9S
95	P9_3 / KR0I7 / PWGA21O / CSIH2CSS3 / TAUJ1I1 / TAUJ1O1 / INTP16 / ADCA0I10S
96	P9_4 / CSIH0CSS5 / PWGA33O / TAUJ1I0 / TAUJ1O0 / INTP17 / ADCA0I11S
97	ISOVSS
98	REGVCC
99	P20_5 / RLIN23TX / INTP23 / PWGA60O / CAN7TX
100	P20_4 / RLIN23RX / INTP22 / PWGA59O / CAN7RX / INTP9
101	EVCC
102	AP1_7 / ADCA1I7
103	AP1_6 / ADCA1I6
104	AP1_5 / ADCA1I5
105	AP1_4 / ADCA1I4
106	AP1_3 / ADCA1I3
107	AP1_2 / ADCA1I2
108	AP1_1 / ADCA1I1
109	AP1_0 / ADCA1I0
110	A1VREF
111	A1VSS
112	BVCC
113	ISOVCL
114	ISOVSS
115	P18_0 / CSIG1RYI / CSIG1RYO / PWGA61O / ADCA1I0S / TAUJ3I0 / TAUJ3O0
116	P18_1 / PWGA62O / ADCA1I1S / TAUJ3I1 / TAUJ3O1
117	P18_2 / PWGA63O / ADCA1I2S / TAUJ3I2 / TAUJ3O2
118	P18_3 / ADCA1I3S / TAUJ3I3 / TAUJ3O3
119	BVSS
120	P10_6 / TAUD0I13 / TAUD0O13 / CSIG0SO / ENCA0TIN0 / ADCA0SEL2 / CAN1RX /INTP1 / RLIN24RX / MODE2
121	P10_7 / TAUD0I15 / TAUD0O15 / CSIG0SC / ENCA0TIN1 / PWGA4O / CAN1TX / RLIN24TX / TAUJ3I1 / TAUJ3O1
122	P10_8 / TAUD0I10 / TAUD0O10 / CSIG0SI / FLXA0TXDB / ENCA0EC / PWGA5O / FLMD1 / TAUJ3I2 / TAUJ3O2
123	P10_9 / TAUD0I12 / TAUD0O12 / RLIN30RX / INTP10 / ENCA0E0 / PWGA6O / CSIH0RYI / CSIH0RYO / FLXA0RXDB
124	P10_10 / TAUD0I14 / TAUD0O14 / RLIN30TX / ENCA0E1 / PWGA7O / CSIH0CSS1 / TAUJ3I3 / TAUJ3O3
125	P10_11 / PWGA16O / RLIN31RX / INTP11 / FLXA0TXENA / CSIH1CSS0 / TAUB0I1 / TAUB0O1
126	P10_12 / PWGA17O / FLXA0STPWT / RLIN31TX / CSIH1CSS1 / TAUB0I3 / TAUB0O3
127	P10_13 / $\overline{\text{CSIH0SSI}}$ / PWGA18O / RLIN32RX / INTP12 / FLXA0TXENB / TAUB0I5 / TAUB0O5 / CAN7TX
128	P10_14 / ADCA1TRG0 / PWGA19O / FLXA0RXDA / RLIN32TX / $\overline{\text{CSIH3SSI}}$ / TAUB0I7 / TAUB0O7 / CAN7RX / INTP9

表 2B.3　　端子配置 144-Pin LQFP (RH850/F1KM-S4)

端子番号	端子名
129	P11_1 / $\overline{\text{CSIH2SSI}}$ / FLXA0TXDA / RLIN20RX / CSIH0CSS7 / INTP20 / PWGA26O / TAUB0I13 / TAUB0O13
130	P11_2 / CSIH2SO / RLIN32RX / INTP12 / RLIN20TX / PWGA27O / TAUB0I15 / TAUB0O15 / SFMA0IO3
131	P11_3 / CSIH2SC / CAN3RX / INTP3 / PWGA28O / RLIN32TX / SFMA0IO2
132	P11_4 / CSIH2SI / CAN3TX / INTP21 / PWGA29O / SFMA0IO1
133	P11_5 / CAN5RX / INTP5 / RLIN33TX / PWGA30O / CSIH3SI / SFMA0IO0
134	P11_6 / RLIN33RX / INTP13 / CAN5TX / ADCA1TRG1 / PWGA31O / CSIH3SO / SFMA0SSL
135	P11_7 / INTP5 / PWGA32O / CSIH3SC / SFMA0CLK
136	P11_15 / CAN2RX / INTP2 / CSIH2CSS4 / PWGA55O
137	P12_0 / CAN2TX / PWGA56O
138	P12_1 / RLIN34RX / INTP14 / CSIH2CSS5 / PWGA57O
139	P12_2 / INTP19 / RLIN34TX / PWGA58O
140	BVCC
141	BVSS
142	P10_0 / TAUD0I1 / TAUD0O1 / CAN0RX /INTP0 / CSCXFOUT / PWGA0O / TAPA0UP / CSIH1SI / TAUJ1I3 / TAUJ1O3
143	P10_1 / TAUD0I3 / TAUD0O3 / INTP18 / CAN0TX / PWGA1O / TAPA0UN / CSIH1SC / MODE0 / TAUJ3I0 / TAUJ3O0
144	P10_2 / TAUD0I5 / TAUD0O5 / RIIC0SDA / KR0I0 / PWGA2O / ADCA0TRG0 / TAPA0VP / CSIH1SO / MODE1

表 2B.4　　端子配置 144-Pin LQFP (RH850/F1KM-S2)

端子番号	端子名
1	P10_3 / TAUD0I7 / TAUD0O7 / RIIC0SCL / KR0I1 / PWGA3O / ADCA0TRG1 / TAPA0VN / $\overline{\text{CSIH1SSI}}$
2	P10_4 / TAUD0I9 / TAUD0O9 / RLIN21RX / CAN6TX / KR0I2 / ADCA0SEL0 / ADCA0TRG2 / TAPA0WP / $\overline{\text{CSIG0SSI}}$ / PWGA53O
3	P10_5 / TAUD0I11 / TAUD0O11 / CAN6RX / INTP6 / RLIN21TX / KR0I3 / ADCA0SEL1 / TAPA0WN / CSIG0RYI / CSIG0RYO / PWGA54O
4	P10_15 / CSIH3RYI / CSIH3RYO / PWGA24O / RLIN22RX / TAUB0I9 / TAUB0O9
5	P11_0 / CSIH2RYI / CSIH2RYO / ADCA1TRG2 / PWGA25O / RLIN22TX / TAUB0I11 / TAUB0O11
6	P11_8 / $\overline{\text{CSIG1SSI}}$ / RLIN35TX / PWGA48O
7	P11_9 / CSIG1SO / RLIN35RX / INTP15 / PWGA49O
8	P11_10 / CSIG1SC / PWGA50O
9	P11_11 / CSIG1SI / RLIN25TX / PWGA51O
10	P11_12 / RLIN25RX / PWGA52O
11	ISOVCL
12	ISOVSS
13	P0_0 / TAUD0I2 / TAUD0O2 / RLIN20RX / CAN0TX / PWGA10O / $\overline{\text{CSIH0SSI}}$ / DPO / TAUJ2I1 / TAUJ2O1
14	P0_1 / TAUD0I4 / TAUD0O4 / CAN0RX / INTP0 / RLIN20TX / PWGA11O / CSIH0SI / APO / TAUJ2I2 / TAUJ2O2
15	P0_2 / TAUD0I6 / TAUD0O6 / CAN1RX / INTP1 / RLIN30TX / PWGA12O / CSIH0SC / DPO / TAUJ2I3 / TAUJ2O3
16	P0_3 / TAUD0I8 / TAUD0O8 / RLIN30RX / INTP10 / CAN1TX / DPIN1 / PWGA13O / CSIH0SO / TAUJ1I0 / TAUJ1O0
17	EVCC
18	P0_4 / RLIN31RX / INTP11 / CAN2TX / PWGA10O / CSIH1SI / SELDP0 /DPIN8 / TAUB0I12 / TAUB0O12
19	P0_5 / CAN2RX / INTP2 / RLIN31TX / DPIN9 / SELDP1 / CSIH1SO / TAUB0I14 / TAUB0O14
20	P0_6 / INTP2 / DPIN10 / SELDP2 / CSIH1SC / PWGA35O
21	P0_11 / RIIC0SDA / DPIN12 / CSIH1CSS2 / TAUB0I8 / TAUB0O8 / PWGA34O
22	P0_12 / RIIC0SCL / DPIN13 / PWGA45O / TAUB0I10 / TAUB0O10 / CSIG0SI
23	P0_13 / RLIN32RX / INTP12 / PWGA46O / TAUB0I12 / TAUB0O12 / CSIG0SO / CAN5RX / INTP5
24	P0_14 / INTP17 / RLIN32TX / PWGA47O / TAUB0I14 / TAUB0O14 / CSIG0SC / CAN5TX
25	P1_0 / RLIN33RX / INTP13 / TAUJ2I0 / TAUJ2O0
26	P1_1 / INTP18 / RLIN33TX / TAUJ2I1 / TAUJ2O1
27	P1_2 / CAN3RX / INTP3 / DPIN19 / TAUJ2I2 / TAUJ2O2
28	P1_3 / INTP19 / CAN3TX / DPIN23 / TAUJ2I3 / TAUJ2O3
29	EVSS
30	P8_2 / TAUJ0I0 / TAUJ0O0 / DPIN2 / CSIH0CSS0 / INTP6 / PWGA22O / ADCA0I4S
31	P8_10 / CSIH3CSS3 / DPIN14 / PWGA42O / ADCA0I17S
32	P8_11 / TAUJ1I2 / TAUJ1O2 / DPIN15 / PWGA43O / CSIH1CSS4 / RLIN25RX / ADCA0I18S
33	P8_12 / TAUJ1I3 / TAUJ1O3 / DPIN16 / PWGA44O / CSIH1CSS5 / INTP23 / RLIN25TX / ADCA0I19S
34	JP0_5 / NMI / RTCA0OUT / TAUJ0I3 / TAUJ0O3 / $\overline{\text{DCURDY}}$ / LPDCLKOUT
35	JP0_4 / $\overline{\text{DCUTRST}}$
36	JP0_3 / INTP3 / CSCXFOUT / TAUJ0I2 / TAUJ0O2 / DCUTMS
37	JP0_2 / INTP2 / TAUJ0I1 / TAUJ0O1 / FPCK / DCUTCK / LPDCLK
38	JP0_1 / INTP1 /TAUJ0I0 / TAUJ0O0 / FPDT / DCUTDO / LPDO
39	JP0_0 / INTP0 / FPDR / FPDT / DCUTDI / LPDI / LPDIO / TAUJ2I0 / TAUJ2O0
40	P1_11 / ADCA1TRG2 / RLIN24TX / DPIN22 / INTP14
41	P1_10 / RLIN24RX / DPIN21 / INTP22 / ADCA1TRG1
42	P1_9 / DPIN20 / INTP21

表 2B.4　　端子配置 144-Pin LQFP (RH850/F1KM-S2)

端子番号	端子名
43	P1_8
44	RESET
45	EVCC
46	XT1
47	IP0_0 / XT2
48	AWOVSS
49	AWOVCL
50	REGVCC
51	X2
52	X1
53	FLMD0
54	JP0_6 / EVTO
55	P0_10 / INTP3 / CSIH1CSS1 / DPIN11 / RLIN22TX / TAUB0I6 / TAUB0O6 / CAN4TX
56	P0_9 / INTP12 / CSIH1CSS0 / DPIN7 / RLIN22RX / TAUB0I4 / TAUB0O4 / CAN4RX / INTP4
57	P0_8/ INTP16 / RLIN21TX / DPIN6 / CSIH0CSS6 / CSIH1SSI / TAUB0I2 / TAUB0O2 / CAN3TX
58	P0_7 / RLIN21RX / DPIN5 / CSCXFOUT / CSIH1RYI / CSIH1RYO / TAUB0I0 / TAUB0O0 / CAN3RX / INTP3
59	EVSS
60	ISOVSS
61	ISOVCL
62	P1_5 / ADCA1TRG0 / RLIN35TX / DPIN17 / INTP20
63	P1_4 / RLIN35RX / INTP15 / DPIN18
64	P8_0 / TAUJ0I0 / TAUJ0O0 / DPIN2 / PWGA14O / INTP4 / CSIH0CSS0 / CAN6RX / INTP6 / ADCA0I0S / RIIC1SDA / SENT0RX
65	P8_1 / TAPA0ESO / TAUJ0O1 / DPIN0 / PWGA15O / INTP5 / CSIH1CSS3 / CAN6TX / ADCA0I1S / RIIC1SCL / SENT0SPCO
66	P8_3 / TAUJ0I1 / TAUJ0O1 / DPIN3 / CSIH0CSS1 / INTP7 / PWGA23O / CAN7TX / ADCA0I5S
67	P8_4 / TAUJ0I2 / TAUJ0O2 / DPIN4 / CSIH0CSS2 / INTP8 / PWGA36O / CAN7RX / INTP9 / ADCA0I6S
68	P8_5 / TAUJ0I3 / TAUJ0O3 / NMI / CSIH0CSS3 / INTP9 / PWGA37O / ADCA0I7S
69	P8_6 / NMI / CSIH0CSS4 / PWGA38O / RTCA0OUT / ADCA0I8S / RESETOUT
70	P8_7 / CSIH3CSS0 / PWGA39O / ADCA0SEL0 / RTCA0OUT / ADCA0I14S
71	P8_8 / CSIH3CSS1 / PWGA40O / ADCA0SEL1 / RLIN34RX / INTP14 / ADCA0I15S
72	P8_9 / CSIH3CSS2 / PWGA41O / ADCA0SEL2 / RLIN34TX / ADCA0I16S
73	A0VSS
74	A0VREF
75	AP0_15 / ADCA0I15
76	AP0_14 / ADCA0I14
77	AP0_13 / ADCA0I13
78	AP0_12 / ADCA0I12
79	AP0_11 / ADCA0I11
80	AP0_10 / ADCA0I10
81	AP0_9 / ADCA0I9
82	AP0_8 / ADCA0I8
83	AP0_7 / ADCA0I7
84	AP0_6 / ADCA0I6
85	AP0_5 / ADCA0I5
86	AP0_4 / ADCA0I4

表 2B.4　　端子配置 144-Pin LQFP (RH850/F1KM-S2)

端子番号	端子名
87	AP0_3 / ADCA0I3
88	AP0_2 / ADCA0I2
89	AP0_1 / ADCA0I1
90	AP0_0 / ADCA0I0
91	EVSS
92	P9_0 / NMI / PWGA8O / TAUD0I0 / TAUD0O0 / ADCA0TRG0 / CSIH2CSS0 / KR0I4 / ADCA0I2S / TAUJ1I1 / TAUJ1O1 / SENT1RX / RIIC1SDA
93	P9_1 / INTP11 / PWGA9O / TAUD0I2 / TAUD0O2 / KR0I5 / CSIH2CSS1 / ADCA0I3S / TAUJ1I2 / TAUJ1O2 / SENT1SPCO / RIIC1SCL
94	P9_2 / KR0I6 / PWGA20O / TAPA0ESO / CSIH2CSS2 / ADCA0I9S
95	P9_3 / KR0I7 / PWGA21O / CSIH2CSS3 / TAUJ1I1 / TAUJ1O1 / INTP16 / ADCA0I10S
96	P9_4 / CSIH0CSS5 / PWGA33O / TAUJ1I0 / TAUJ1O0 / INTP17 / ADCA0I11S
97	ISOVSS
98	REGVCC
99	P20_5 / RLIN23TX / INTP23 / PWGA60O / CAN7TX
100	P20_4 / RLIN23RX / INTP22 / PWGA59O / CAN7RX / INTP9
101	EVCC
102	AP1_7 / ADCA1I7
103	AP1_6 / ADCA1I6
104	AP1_5 / ADCA1I5
105	AP1_4 / ADCA1I4
106	AP1_3 / ADCA1I3
107	AP1_2 / ADCA1I2
108	AP1_1 / ADCA1I1
109	AP1_0 / ADCA1I0
110	A1VREF
111	A1VSS
112	BVCC
113	ISOVCL
114	ISOVSS
115	P18_0 / CSIG1RYI / CSIG1RYO / PWGA61O / ADCA1I0S / TAUJ3I0 / TAUJ3O0
116	P18_1 / PWGA62O / ADCA1I1S / TAUJ3I1 / TAUJ3O1
117	P18_2 / PWGA63O / ADCA1I2S / TAUJ3I2 / TAUJ3O2
118	P18_3 / ADCA1I3S / TAUJ3I3 / TAUJ3O3
119	BVSS
120	P10_6 / TAUD0I13 / TAUD0O13 / CSIG0SO / ENCA0TIN0 / ADCA0SEL2 / CAN1RX /INTP1 / RLIN24RX / MODE2
121	P10_7 / TAUD0I15 / TAUD0O15 / CSIG0SC / ENCA0TIN1 / PWGA4O / CAN1TX / RLIN24TX / TAUJ3I1 / TAUJ3O1
122	P10_8 / TAUD0I10 / TAUD0O10 / CSIG0SI / ENCA0EC / PWGA5O / FLMD1 / TAUJ3I2 / TAUJ3O2
123	P10_9 / TAUD0I12 / TAUD0O12 / RLIN30RX / INTP10 / ENCA0E0 / PWGA6O / CSIH0RYI / CSIH0RYO
124	P10_10 / TAUD0I14 / TAUD0O14 / RLIN30TX / ENCA0E1 / PWGA7O / CSIH0CSS1 / TAUJ3I3 / TAUJ3O3
125	P10_11 / PWGA16O / RLIN31RX / INTP11 / CSIH1CSS0 / TAUB0I1 / TAUB0O1
126	P10_12 / PWGA17O / RLIN31TX / CSIH1CSS1 / TAUB0I3 / TAUB0O3
127	P10_13 / $\overline{\text{CSIH0SSI}}$ / PWGA18O / RLIN32RX / INTP12 / TAUB0I5 / TAUB0O5 / CAN7TX
128	P10_14 / ADCA1TRG0 / PWGA19O / RLIN32TX / $\overline{\text{CSIH3SSI}}$ / TAUB0I7 / TAUB0O7 / CAN7RX / INTP9

表 2B.4　　端子配置 144-Pin LQFP (RH850/F1KM-S2)

端子番号	端子名
129	P11_1 / $\overline{\text{CSIH2SSI}}$ / RLIN20RX / CSIH0CSS7 / INTP20 / PWGA26O / TAUB0I13 / TAUB0O13
130	P11_2 / CSIH2SO / RLIN32RX / INTP12 / RLIN20TX / PWGA27O / TAUB0I15 / TAUB0O15 / SFMA0IO3
131	P11_3 / CSIH2SC / CAN3RX / INTP3 / PWGA28O / RLIN32TX / SFMA0IO2
132	P11_4 / CSIH2SI / CAN3TX / INTP21 / PWGA29O / SFMA0IO1
133	P11_5 / CAN5RX / INTP5 / RLIN33TX / PWGA30O / CSIH3SI / SFMA0IO0
134	P11_6 / RLIN33RX / INTP13 / CAN5TX / ADCA1TRG1 / PWGA31O / CSIH3SO / SFMA0SSL
135	P11_7 / INTP5 / PWGA32O / CSIH3SC / SFMA0CLK
136	P11_15 / CAN2RX / INTP2 / CSIH2CSS4 / PWGA55O
137	P12_0 / CAN2TX / PWGA56O
138	P12_1 / RLIN34RX / INTP14 / CSIH2CSS5 / PWGA57O
139	P12_2 / INTP19 / RLIN34TX / PWGA58O
140	BVCC
141	BVSS
142	P10_0 / TAUD0I1 / TAUD0O1 / CAN0RX /INTP0 / CSCXFOUT / PWGA0O / TAPA0UP / CSIH1SI / TAUJ1I3 / TAUJ1O3
143	P10_1 / TAUD0I3 / TAUD0O3 / INTP18 / CAN0TX / PWGA1O / TAPA0UN / CSIH1SC / MODE0 / TAUJ3I0 / TAUJ3O0
144	P10_2 / TAUD0I5 / TAUD0O5 / RIIC0SDA / KR0I0 / PWGA2O / ADCA0TRG0 / TAPA0VP / CSIH1SO / MODE1

表 2B.5　端子配置 176-Pin LQFP (RH850/F1KM-S4)

端子番号	端子名
1	P10_3 / TAUD0I7 / TAUD0O7 / RIIC0SCL / KR0I1 / PWGA3O / ADCA0TRG1 / TAPA0VN / $\overline{\text{CSIH1SSI}}$ / MEMC0CLK / RLIN37RX / INTP17
2	P10_4 / TAUD0I9 / TAUD0O9 / RLIN21RX / CAN6TX / KR0I2 / ADCA0SEL0 / ADCA0TRG2 / TAPA0WP / $\overline{\text{CSIG0SSI}}$ / PWGA53O / ETNB0RXD2 / MEMC0A22
3	P10_5 / TAUD0I11 / TAUD0O11 / CAN6RX / INTP6 / RLIN21TX / KR0I3 / ADCA0SEL1 / TAPA0WN / CSIG0RYI / CSIG0RYO / ETNB0RXD3 / PWGA54O
4	BVCC
5	BVSS
6	P10_15 / CSIH3RYI / CSIH3RYO / PWGA24O / RLIN22RX / TAUB0I9 / TAUB0O9 / $\overline{\text{MEMC0RD}}$
7	P11_0 / CSIH2RYI / CSIH2RYO / ADCA1TRG2 / PWGA25O / RLIN22TX / TAUB0I11 / TAUB0O11 / $\overline{\text{MEMC0WR}}$
8	P11_8 / $\overline{\text{CSIG1SSI}}$ / RLIN35TX / PWGA48O / TAUB1I11 / TAUB1O11 / $\overline{\text{MEMC0CS0}}$
9	P11_9 / CSIG1SO / RLIN35RX / INTP15 / PWGA49O / TAUB1I13 / TAUB1O13 / $\overline{\text{MEMC0CS1}}$
10	P11_10 / CSIG1SC / PWGA50O / TAUB1I15 / TAUB1O15 / $\overline{\text{MEMC0CS2}}$
11	P11_11 / CSIG1SI / RLIN25TX / PWGA51O / TAUB1I0 / TAUB1O0 / $\overline{\text{MEMC0CS3}}$ / ETNB0RXDV
12	P11_12 / RLIN25RX / PWGA52O / TAUB1I2 / TAUB1O2 / $\overline{\text{MEMC0WAIT}}$
13	ISOVCL
14	ISOVSS
15	P12_3 / RLIN27RX / PWGA68O / CSIG2SI / $\overline{\text{MEMC0BEN0}}$ / TAUB1I6 / TAUB1O6
16	P12_4 / RLIN27TX / PWGA69O / CSIG2SC / ETNB0MDIO / $\overline{\text{MEMC0BEN1}}$
17	P12_5 / PWGA70O / ETNB0MDC / CSIG2SO / TAUB1I4 / TAUB1O4
18	P0_0 / TAUD0I2 / TAUD0O2 / RLIN20RX / CAN0TX / PWGA10O / $\overline{\text{CSIH0SSI}}$ / DPO / TAUJ2I1 / TAUJ2O1
19	P0_1 / TAUD0I4 / TAUD0O4 / CAN0RX / INTP0 / RLIN20TX / PWGA11O / CSIH0SI / APO / TAUJ2I2 / TAUJ2O2
20	P0_2 / TAUD0I6 / TAUD0O6 / CAN1RX / INTP1 / RLIN30TX / PWGA12O / CSIH0SC / DPO / TAUJ2I3 / TAUJ2O3
21	P0_3 / TAUD0I8 / TAUD0O8 / RLIN30RX / INTP10 / CAN1TX / DPIN1 / PWGA13O / CSIH0SO / TAUJ1I0 / TAUJ1O0
22	EVCC
23	P0_4 / RLIN31RX / INTP11 / CAN2TX / PWGA10O / CSIH1SI / SELDP0 /DPIN8 / TAUB0I12 / TAUB0O12
24	P0_5 / CAN2RX / INTP2 / RLIN31TX / DPIN9 / SELDP1 / CSIH1SO / TAUB0I14 / TAUB0O14
25	P0_6 / INTP2 / DPIN10 / SELDP2 / CSIH1SC / PWGA35O
26	P0_11 / RIIC0SDA / DPIN12 / CSIH1CSS2 / TAUB0I8 / TAUB0O8 / RLIN26RX / PWGA34O
27	P0_12 / RIIC0SCL / DPIN13 / PWGA45O / TAUB0I10 / TAUB0O10 / CSIG0SI / RLIN26TX
28	P0_13 / RLIN32RX / INTP12 / PWGA46O / TAUB0I12 / TAUB0O12 / CSIG0SO / CAN5RX / INTP5
29	P0_14 / INTP17 / RLIN32TX / PWGA47O / TAUB0I14 / TAUB0O14 / CSIG0SC / CAN5TX
30	P1_0 / RLIN33RX / INTP13 / TAUJ2I0 / TAUJ2O0
31	P1_1 / INTP18 / RLIN33TX / TAUJ2I1 / TAUJ2O1
32	P1_2 / CAN3RX / INTP3 / DPIN19 / TAUJ2I2 / TAUJ2O2
33	P1_3 / INTP19 / CAN3TX / DPIN23 / TAUJ2I3 / TAUJ2O3
34	P1_12 / CAN4RX / INTP4 / RLIN36TX
35	P1_13 / CAN4TX / RLIN36RX / INTP16
36	P2_6 / ADCA0SEL2
37	EVSS
38	P8_2 / TAUJ0I0 / TAUJ0O0 / DPIN2 / CSIH0CSS0 / INTP6 / PWGA22O / RLIN37TX / ADCA0I4S
39	P8_10 / CSIH3CSS3 / DPIN14 / PWGA42O / RLIN37RX / INTP17 / ADCA0I17S
40	P8_11 / TAUJ1I2 / TAUJ1O2 / DPIN15 / PWGA43O / CSIH1CSS4 / RLIN25RX / ADCA0I18S
41	P8_12 / TAUJ1I3 / TAUJ1O3 / DPIN16 / PWGA44O / CSIH1CSS5 / INTP23 / RLIN25TX / ADCA0I19S
42	JP0_5 / NMI / RTCA0OUT / TAUJ0I3 / TAUJ0O3 / $\overline{\text{DCURDY}}$ / LPDCLKOUT

表 2B.5　　端子配置 176-Pin LQFP (RH850/F1KM-S4)

端子番号	端子名
43	JP0_4 / $\overline{\text{DCUTRST}}$
44	JP0_3 / INTP3 / CSCXFOUT / TAUJ0I2 / TAUJ0O2 / DCUTMS
45	JP0_2 / INTP2 / TAUJ0I1 / TAUJ0O1 / FPCK / DCUTCK / LPDCLK
46	JP0_1 / INTP1 /TAUJ0I0 / TAUJ0O0 / FPDT / DCUTDO / LPDO
47	JP0_0 / INTP0 / FPDR / FPDT / DCUTDI / LPDI / LPDIO / TAUJ2I0 / TAUJ2O0
48	P2_1 / RLIN27TX / CAN6TX
49	P2_0 / RLIN27RX / INTP6 / CAN6RX
50	P1_11 / ADCA1TRG2 / RLIN24TX / DPIN22 / INTP14
51	P1_10 / RLIN24RX / DPIN21 / INTP22 / ADCA1TRG1
52	P1_9 / DPIN20 / INTP21
53	P1_8
54	$\overline{\text{RESET}}$
55	EVCC
56	XT1
57	IP0_0 / XT2
58	AWOVSS
59	AWOVCL
60	REGVCC
61	X2
62	X1
63	FLMD0
64	P2_3 / RLIN28TX
65	P2_2 / RLIN28RX
66	JP0_6 / $\overline{\text{EVTO}}$
67	P0_10 / INTP3 / CSIH1CSS1 / DPIN11 / RLIN22TX / TAUB0I6 / TAUB0O6 / CAN4TX
68	P0_9 / INTP12 / CSIH1CSS0 / DPIN7 / RLIN22RX / TAUB0I4 / TAUB0O4 / CAN4RX / INTP4
69	P0_8/ INTP16 / RLIN21TX / DPIN6 / CSIH0CSS6 / $\overline{\text{CSIH1SSI}}$ / TAUB0I2 / TAUB0O2 / CAN3TX
70	P0_7 / RLIN21RX / DPIN5 / CSCXFOUT / CSIH1RYI / CSIH1RYO / TAUB0I0 / TAUB0O0 / CAN3RX / INTP3
71	EVSS
72	ISOVSS
73	ISOVCL
74	P1_5 / ADCA1TRG0 / RLIN35TX / DPIN17 / INTP20
75	P1_4 / RLIN35RX / INTP15 / DPIN18
76	P2_4 / RLIN29RX / ADCA0SEL0
77	P2_5 / RLIN29TX / ADCA0SEL1
78	P1_14 / RLIN23RX / CAN7RX / INTP9
79	P1_15 / RLIN23TX / CAN7TX
80	P8_0 / TAUJ0I0 / TAUJ0O0 / DPIN2 / PWGA14O / INTP4 / CSIH0CSS0 / CAN6RX / INTP6 / ADCA0I0S / RIIC1SDA / SENT0RX
81	P8_1 / TAPA0ESO / TAUJ0O1 / DPIN0 / PWGA15O / INTP5 / CSIH1CSS3 / CAN6TX / ADCA0I1S / RIIC1SCL / SENT0SPCO
82	P8_3 / TAUJ0I1 / TAUJ0O1 / DPIN3 / CSIH0CSS1 / INTP7 / PWGA23O / CAN7TX / ADCA0I5S
83	P8_4 / TAUJ0I2 / TAUJ0O2 / DPIN4 / CSIH0CSS2 / INTP8 / PWGA36O / CAN7RX / INTP9 / ADCA0I6S
84	P8_5 / TAUJ0I3 / TAUJ0O3 / NMI / CSIH0CSS3 / INTP9 / PWGA37O / ADCA0I7S
85	P8_6 / NMI / CSIH0CSS4 / PWGA38O / RTCA0OUT / ADCA0I8S / $\overline{\text{RESETOUT}}$
86	P8_7 / CSIH3CSS0 / PWGA39O / ADCA0SEL0 / RTCA0OUT / ADCA0I14S

表 2B.5　　端子配置 176-Pin LQFP (RH850/F1KM-S4)

端子番号	端子名
87	P8_8 / CSIH3CSS1 / PWGA40O / ADCA0SEL1 / RLIN34RX / INTP14 / ADCA0I15S
88	P8_9 / CSIH3CSS2 / PWGA41O / ADCA0SEL2 / RLIN34TX / ADCA0I16S
89	A0VSS
90	A0VREF
91	AP0_15 / ADCA0I15
92	AP0_14 / ADCA0I14
93	AP0_13 / ADCA0I13
94	AP0_12 / ADCA0I12
95	AP0_11 / ADCA0I11
96	AP0_10 / ADCA0I10
97	AP0_9 / ADCA0I9
98	AP0_8 / ADCA0I8
99	AP0_7 / ADCA0I7
100	AP0_6 / ADCA0I6
101	AP0_5 / ADCA0I5
102	AP0_4 / ADCA0I4
103	AP0_3 / ADCA0I3
104	AP0_2 / ADCA0I2
105	AP0_1 / ADCA0I1
106	AP0_0 / ADCA0I0
107	EVSS
108	P9_0 / NMI / PWGA8O / TAUD0I0 / TAUD0O0 / ADCA0TRG0 / CSIH2CSS0 / KR0I4 / ADCA0I2S / TAUJ1I1 / TAUJ1O1 / SENT1RX / RIIC1SDA
109	P9_1 / INTP11 / PWGA9O / TAUD0I2 / TAUD0O2 / KR0I5 / CSIH2CSS1 / ADCA0I3S / TAUJ1I2 / TAUJ1O2 / SENT1SPCO / RIIC1SCL
110	P9_2 / KR0I6 / PWGA20O / TAPA0ESO / CSIH2CSS2 / ADCA0I9S
111	P9_3 / KR0I7 / PWGA21O / CSIH2CSS3 / TAUJ1I1 / TAUJ1O1 / INTP16 / ADCA0I10S
112	P9_4 / CSIH0CSS5 / PWGA33O / TAUJ1I0 / TAUJ1O0 / INTP17 / ADCA0I11S
113	ISOVSS
114	REGVCC
115	P20_3 / CAN4TX / PWGA67O / RLIN29TX / CSIG3RYI / CSIG3RYO
116	P20_2 / CAN4RX / INTP4 / PWGA66O / RLIN29RX / CSIG3SC
117	P20_1 / RLIN26TX / PWGA65O / CAN6TX / CSIG3SO
118	P20_0 / RLIN26RX / PWGA64O / INTP6 / CAN6RX / CSIG3SI
119	P20_5 / RLIN23TX / INTP23 / PWGA60O / CAN7TX
120	P20_4 / RLIN23RX / INTP22 / PWGA59O / CAN7RX / INTP9 / $\overline{\text{CSIG3SSI}}$
121	EVCC
122	AP1_11 / ADCA1I11
123	AP1_10 / ADCA1I10
124	AP1_9 / ADCA1I9
125	AP1_8 / ADCA1I8
126	AP1_7 / ADCA1I7
127	AP1_6 / ADCA1I6
128	AP1_5 / ADCA1I5
129	AP1_4 / ADCA1I4
130	AP1_3 / ADCA1I3

表 2B.5　　端子配置 176-Pin LQFP (RH850/F1KM-S4)

端子番号	端子名
131	AP1_2 / ADCA1I2
132	AP1_1 / ADCA1I1
133	AP1_0 / ADCA1I0
134	AP1_15 / ADCA1I15
135	AP1_14 / ADCA1I14
136	AP1_13 / ADCA1I13
137	AP1_12 / ADCA1I12
138	A1VREF
139	A1VSS
140	BVCC
141	ISOVCL
142	ISOVSS
143	P18_0 / CSIG1RYI / CSIG1RYO / ETNB0LINK / PWGA61O / ADCA1I0S / TAUJ3I0 / TAUJ3O0
144	P18_1 / PWGA62O / ETNB0TXD0 / ADCA1I1S / TAUJ3I1 / TAUJ3O1
145	P18_2 / PWGA63O / ETNB0TXD1 / ADCA1I2S / TAUJ3I2 / TAUJ3O2
146	P18_3 / PWGA71O / ETNB0TXD2 / ADCA1I3S / TAUJ3I3 / TAUJ3O3
147	P18_4 / CSIH1CSS4 / ETNB0TXD3 / ADCA1I4S
148	P18_5 / CSIH1CSS5 / ETNB0TXEN / ADCA1I5S
149	P18_6 / ADCA1I6S
150	P18_7 / ETNB0TXCLK / ADCA1I7S
151	BVSS
152	P10_6 / TAUD0I13 / TAUD0O13 / CSIG0SO / ENCA0TIN0 / ADCA0SEL2 / CAN1RX /INTP1 / MEMC0AD0 / RLIN24RX / MODE2
153	P10_7 / TAUD0I15 / TAUD0O15 / CSIG0SC / ENCA0TIN1 / PWGA4O / CAN1TX / MEMC0AD1 / RLIN24TX / TAUJ3I1 / TAUJ3O1
154	P10_8 / TAUD0I10 / TAUD0O10 / CSIG0SI / FLXA0TXDB / ENCA0EC / PWGA5O / MEMC0AD2 / FLMD1 / TAUJ3I2 / TAUJ3O2
155	P10_9 / TAUD0I12 / TAUD0O12 / RLIN30RX / INTP10 / ENCA0E0 / PWGA6O / CSIH0RYI / CSIH0RYO / MEMC0AD3 / FLXA0RXDB
156	P10_10 / TAUD0I14 / TAUD0O14 / RLIN30TX / ENCA0E1 / PWGA7O / CSIH0CSS1 / MEMC0AD4 / TAUJ3I3 / TAUJ3O3
157	P10_11 / PWGA16O / RLIN31RX / INTP11 / FLXA0TXENA / CSIH1CSS0 / TAUB0I1 / TAUB0O1 / MEMC0AD5
158	P10_12 / PWGA17O / FLXA0STPWT / RLIN31TX / CSIH1CSS1 / TAUB0I3 / TAUB0O3 / MEMC0AD6
159	P10_13 / $\overline{\text{CSIH0SSI}}$ / PWGA18O / RLIN32RX / INTP12 / FLXA0TXENB / TAUB0I5 / TAUB0O5 / MEMC0AD7 / CAN7TX
160	P10_14 / ADCA1TRG0 / PWGA19O / FLXA0RXDA / RLIN32TX / $\overline{\text{CSIH3SSI}}$ / TAUB0I7 / TAUB0O7 / MEMC0AD8 / CAN7RX / INTP9
161	P11_1 / $\overline{\text{CSIH2SSI}}$ / FLXA0TXDA / RLIN20RX / CSIH0CSS7 / INTP20 / PWGA26O / TAUB0I13 / TAUB0O13 / MEMC0AD9
162	P11_2 / CSIH2SO / RLIN32RX / INTP12 / RLIN20TX / PWGA27O / TAUB0I15 / TAUB0O15 / MEMC0AD10 / SFMA0IO3
163	P11_3 / CSIH2SC / CAN3RX / INTP3 / PWGA28O / TAUB1I1 / TAUB1O1 / MEMC0AD11 / RLIN32TX / SFMA0IO2
164	P11_4 / CSIH2SI / CAN3TX / INTP21 / PWGA29O / TAUB1I3 / TAUB1O3 / MEMC0AD12 / SFMA0IO1
165	P11_5 / CAN5RX / INTP5 / RLIN33TX / PWGA30O / CSIH3SI / TAUB1I5 / TAUB1O5 / MEMC0AD13 / SFMA0IO0
166	P11_6 / RLIN33RX / INTP13 / CAN5TX / ADCA1TRG1 / PWGA31O / CSIH3SO / TAUB1I7 / TAUB1O7 / MEMC0AD14 / SFMA0SSL

表 2B.5　　端子配置 176-Pin LQFP (RH850/F1KM-S4)

端子番号	端子名
167	P11_7 / INTP5 / PWGA32O / CSIH3SC / TAUB1I9 / TAUB1O9 / MEMC0AD15 / SFMA0CLK
168	P11_15 / CAN2RX / INTP2 / CSIH2CSS4 / PWGA55O / TAUB1I8 / TAUB1O8 / $\overline{\text{MEMC0ASTB}}$ / ETNB0RXERR / RLIN36TX
169	P12_0 / CAN2TX / PWGA56O / TAUB1I10 / TAUB1O10 / $\overline{\text{CSIG2SSI}}$ / MEMC0A16 / RLIN36RX / INTP16
170	P12_1 / RLIN34RX / INTP14 / CSIH2CSS5 / PWGA57O / TAUB1I12 / TAUB1O12 / MEMC0A17
171	P12_2 / INTP19 / RLIN34TX / PWGA58O / TAUB1I14 / TAUB1O14 / MEMC0A18 / CSIG2RYI / CSIG2RYO
172	BVCC
173	BVSS
174	P10_0 / TAUD0I1 / TAUD0O1 / CAN0RX /INTP0 / CSCXFOUT / PWGA0O / TAPA0UP / CSIH1SI / MEMC0A19 / ETNB0RXCLK / TAUJ1I3 / TAUJ1O3
175	P10_1 / TAUD0I3 / TAUD0O3 / INTP18 / CAN0TX / PWGA1O / TAPA0UN / CSIH1SC / ETNB0RXD0 / MEMC0A20 / MODE0 / TAUJ3I0 / TAUJ3O0
176	P10_2 / TAUD0I5 / TAUD0O5 / RIIC0SDA / KR0I0 / PWGA2O / ADCA0TRG0 / TAPA0VP / CSIH1SO / ETNB0RXD1 / MEMC0A21 / RLIN37TX / MODE1

表 2B.6 端子配置 176-Pin LQFP (RH850/F1KM-S2)

端子番号	端子名
1	P10_3 / TAUD0I7 / TAUD0O7 / RIIC0SCL / KR0I1 / PWGA3O / ADCA0TRG1 / TAPA0VN / $\overline{\text{CSIH1SSI}}$ / RLIN37RX / INTP17
2	P10_4 / TAUD0I9 / TAUD0O9 / RLIN21RX / CAN6TX / KR0I2 / ADCA0SEL0 / ADCA0TRG2 / TAPA0WP / $\overline{\text{CSIG0SSI}}$ / PWGA53O
3	P10_5 / TAUD0I11 / TAUD0O11 / CAN6RX / INTP6 / RLIN21TX / KR0I3 / ADCA0SEL1 / TAPA0WN / CSIG0RYI / CSIG0RYO / PWGA54O
4	BVCC
5	BVSS
6	P10_15 / CSIH3RYI / CSIH3RYO / PWGA24O / RLIN22RX / TAUB0I9 / TAUB0O9
7	P11_0 / CSIH2RYI / CSIH2RYO / ADCA1TRG2 / PWGA25O / RLIN22TX / TAUB0I11 / TAUB0O11
8	P11_8 / $\overline{\text{CSIG1SSI}}$ / RLIN35TX / PWGA48O / TAUB1I11 / TAUB1O11
9	P11_9 / CSIG1SO / RLIN35RX / INTP15 / PWGA49O / TAUB1I13 / TAUB1O13
10	P11_10 / CSIG1SC / PWGA50O / TAUB1I15 / TAUB1O15
11	P11_11 / CSIG1SI / RLIN25TX / PWGA51O / TAUB1I0 / TAUB1O0
12	P11_12 / RLIN25RX / PWGA52O / TAUB1I2 / TAUB1O2
13	ISOVCL
14	ISOVSS
15	P12_3 / RLIN27RX / PWGA68O / CSIG2SI / TAUB1I6 / TAUB1O6
16	P12_4 / RLIN27TX / PWGA69O / CSIG2SC
17	P12_5 / PWGA70O / CSIG2SO / TAUB1I4 / TAUB1O4
18	P0_0 / TAUD0I2 / TAUD0O2 / RLIN20RX / CAN0TX / PWGA10O / $\overline{\text{CSIH0SSI}}$ / DPO / TAUJ2I1 / TAUJ2O1
19	P0_1 / TAUD0I4 / TAUD0O4 / CAN0RX / INTP0 / RLIN20TX / PWGA11O / CSIH0SI / APO / TAUJ2I2 / TAUJ2O2
20	P0_2 / TAUD0I6 / TAUD0O6 / CAN1RX / INTP1 / RLIN30TX / PWGA12O / CSIH0SC / DPO / TAUJ2I3 / TAUJ2O3
21	P0_3 / TAUD0I8 / TAUD0O8 / RLIN30RX / INTP10 / CAN1TX / DPIN1 / PWGA13O / CSIH0SO / TAUJ1I0 / TAUJ1O0
22	EVCC
23	P0_4 / RLIN31RX / INTP11 / CAN2TX / PWGA10O / CSIH1SI / SELDP0 /DPIN8 / TAUB0I12 / TAUB0O12
24	P0_5 / CAN2RX / INTP2 / RLIN31TX / DPIN9 / SELDP1 / CSIH1SO / TAUB0I14 / TAUB0O14
25	P0_6 / INTP2 / DPIN10 / SELDP2 / CSIH1SC / PWGA35O
26	P0_11 / RIIC0SDA / DPIN12 / CSIH1CSS2 / TAUB0I8 / TAUB0O8 / RLIN26RX / PWGA34O
27	P0_12 / RIIC0SCL / DPIN13 / PWGA45O / TAUB0I10 / TAUB0O10 / CSIG0SI / RLIN26TX
28	P0_13 / RLIN32RX / INTP12 / PWGA46O / TAUB0I12 / TAUB0O12 / CSIG0SO / CAN5RX / INTP5
29	P0_14 / INTP17 / RLIN32TX / PWGA47O / TAUB0I14 / TAUB0O14 / CSIG0SC / CAN5TX
30	P1_0 / RLIN33RX / INTP13 / TAUJ2I0 / TAUJ2O0
31	P1_1 / INTP18 / RLIN33TX / TAUJ2I1 / TAUJ2O1
32	P1_2 / CAN3RX / INTP3 / DPIN19 / TAUJ2I2 / TAUJ2O2
33	P1_3 / INTP19 / CAN3TX / DPIN23 / TAUJ2I3 / TAUJ2O3
34	P1_12 / CAN4RX / INTP4 / RLIN36TX
35	P1_13 / CAN4TX / RLIN36RX / INTP16
36	P2_6 / ADCA0SEL2
37	EVSS
38	P8_2 / TAUJ0I0 / TAUJ0O0 / DPIN2 / CSIH0CSS0 / INTP6 / PWGA22O / RLIN37TX / ADCA0I4S
39	P8_10 / CSIH3CSS3 / DPIN14 / PWGA42O / RLIN37RX / INTP17 / ADCA0I17S
40	P8_11 / TAUJ1I2 / TAUJ1O2 / DPIN15 / PWGA43O / CSIH1CSS4 / RLIN25RX / ADCA0I18S
41	P8_12 / TAUJ1I3 / TAUJ1O3 / DPIN16 / PWGA44O / CSIH1CSS5 / INTP23 / RLIN25TX / ADCA0I19S
42	JP0_5 / NMI / RTCA0OUT / TAUJ0I3 / TAUJ0O3 / $\overline{\text{DCURDY}}$ / LPDCLKOUT

表 2B.6 端子配置 176-Pin LQFP (RH850/F1KM-S2)

端子番号	端子名
43	JP0_4 / $\overline{\mathrm{DCUTRST}}$
44	JP0_3 / INTP3 / CSCXFOUT / TAUJ0I2 / TAUJ0O2 / DCUTMS
45	JP0_2 / INTP2 / TAUJ0I1 / TAUJ0O1 / FPCK / DCUTCK / LPDCLK
46	JP0_1 / INTP1 /TAUJ0I0 / TAUJ0O0 / FPDT / DCUTDO / LPDO
47	JP0_0 / INTP0 / FPDR / FPDT / DCUTDI / LPDI / LPDIO / TAUJ2I0 / TAUJ2O0
48	P2_1 / RLIN27TX / CAN6TX
49	P2_0 / RLIN27RX / INTP6 / CAN6RX
50	P1_11 / ADCA1TRG2 / RLIN24TX / DPIN22 / INTP14
51	P1_10 / RLIN24RX / DPIN21 / INTP22 / ADCA1TRG1
52	P1_9 / DPIN20 / INTP21
53	P1_8
54	$\overline{\mathrm{RESET}}$
55	EVCC
56	XT1
57	IP0_0 / XT2
58	AWOVSS
59	AWOVCL
60	REGVCC
61	X2
62	X1
63	FLMD0
64	P2_3 / RLIN28TX
65	P2_2 / RLIN28RX
66	JP0_6 / $\overline{\mathrm{EVTO}}$
67	P0_10 / INTP3 / CSIH1CSS1 / DPIN11 / RLIN22TX / TAUB0I6 / TAUB0O6 / CAN4TX
68	P0_9 / INTP12 / CSIH1CSS0 / DPIN7 / RLIN22RX / TAUB0I4 / TAUB0O4 / CAN4RX / INTP4
69	P0_8/ INTP16 / RLIN21TX / DPIN6 / CSIH0CSS6 / $\overline{\mathrm{CSIH1SSI}}$ / TAUB0I2 / TAUB0O2 / CAN3TX
70	P0_7 / RLIN21RX / DPIN5 / CSCXFOUT / CSIH1RYI / CSIH1RYO / TAUB0I0 / TAUB0O0 / CAN3RX / INTP3
71	EVSS
72	ISOVSS
73	ISOVCL
74	P1_5 / ADCA1TRG0 / RLIN35TX / DPIN17 / INTP20
75	P1_4 / RLIN35RX / INTP15 / DPIN18
76	P2_4 / RLIN29RX / ADCA0SEL0
77	P2_5 / RLIN29TX / ADCA0SEL1
78	P1_14 / RLIN23RX / CAN7RX / INTP9
79	P1_15 / RLIN23TX / CAN7TX
80	P8_0 / TAUJ0I0 / TAUJ0O0 / DPIN2 / PWGA14O / INTP4 / CSIH0CSS0 / CAN6RX / INTP6 / ADCA0I0S / RIIC1SDA / SENT0RX
81	P8_1 / TAPA0ESO / TAUJ0O1 / DPIN0 / PWGA15O / INTP5 / CSIH1CSS3 / CAN6TX / ADCA0I1S / RIIC1SCL / SENT0SPCO
82	P8_3 / TAUJ0I1 / TAUJ0O1 / DPIN3 / CSIH0CSS1 / INTP7 / PWGA23O / CAN7TX / ADCA0I5S
83	P8_4 / TAUJ0I2 / TAUJ0O2 / DPIN4 / CSIH0CSS2 / INTP8 / PWGA36O / CAN7RX / INTP9 / ADCA0I6S
84	P8_5 / TAUJ0I3 / TAUJ0O3 / NMI / CSIH0CSS3 / INTP9 / PWGA37O / ADCA0I7S
85	P8_6 / NMI / CSIH0CSS4 / PWGA38O / RTCA0OUT / ADCA0I8S / $\overline{\mathrm{RESETOUT}}$
86	P8_7 / CSIH3CSS0 / PWGA39O / ADCA0SEL0 / RTCA0OUT / ADCA0I14S

表 2B.6　　端子配置 176-Pin LQFP (RH850/F1KM-S2)

端子番号	端子名
87	P8_8 / CSIH3CSS1 / PWGA40O / ADCA0SEL1 / RLIN34RX / INTP14 / ADCA0I15S
88	P8_9 / CSIH3CSS2 / PWGA41O / ADCA0SEL2 / RLIN34TX / ADCA0I16S
89	A0VSS
90	A0VREF
91	AP0_15 / ADCA0I15
92	AP0_14 / ADCA0I14
93	AP0_13 / ADCA0I13
94	AP0_12 / ADCA0I12
95	AP0_11 / ADCA0I11
96	AP0_10 / ADCA0I10
97	AP0_9 / ADCA0I9
98	AP0_8 / ADCA0I8
99	AP0_7 / ADCA0I7
100	AP0_6 / ADCA0I6
101	AP0_5 / ADCA0I5
102	AP0_4 / ADCA0I4
103	AP0_3 / ADCA0I3
104	AP0_2 / ADCA0I2
105	AP0_1 / ADCA0I1
106	AP0_0 / ADCA0I0
107	EVSS
108	P9_0 / NMI / PWGA8O / TAUD0I0 / TAUD0O0 / ADCA0TRG0 / CSIH2CSS0 / KR0I4 / ADCA0I2S / TAUJ1I1 / TAUJ1O1 / SENT1RX / RIIC1SDA
109	P9_1 / INTP11 / PWGA9O / TAUD0I2 / TAUD0O2 / KR0I5 / CSIH2CSS1 / ADCA0I3S / TAUJ1I2 / TAUJ1O2 / SENT1SPCO / RIIC1SCL
110	P9_2 / KR0I6 / PWGA20O / TAPA0ESO / CSIH2CSS2 / ADCA0I9S
111	P9_3 / KR0I7 / PWGA21O / CSIH2CSS3 / TAUJ1I1 / TAUJ1O1 / INTP16 / ADCA0I10S
112	P9_4 / CSIH0CSS5 / PWGA33O / TAUJ1I0 / TAUJ1O0 / INTP17 / ADCA0I11S
113	ISOVSS
114	REGVCC
115	P20_3 / CAN4TX / PWGA67O / RLIN29TX / CSIG3RYI / CSIG3RYO
116	P20_2 / CAN4RX / INTP4 / PWGA66O / RLIN29RX / CSIG3SC
117	P20_1 / RLIN26TX / PWGA65O / CAN6TX / CSIG3SO
118	P20_0 / RLIN26RX / PWGA64O / INTP6 / CAN6RX / CSIG3SI
119	P20_5 / RLIN23TX / INTP23 / PWGA60O / CAN7TX
120	P20_4 / RLIN23RX / INTP22 / PWGA59O / CAN7RX / INTP9 / $\overline{\text{CSIG3SSI}}$
121	EVCC
122	AP1_11 / ADCA1I11
123	AP1_10 / ADCA1I10
124	AP1_9 / ADCA1I9
125	AP1_8 / ADCA1I8
126	AP1_7 / ADCA1I7
127	AP1_6 / ADCA1I6
128	AP1_5 / ADCA1I5
129	AP1_4 / ADCA1I4
130	AP1_3 / ADCA1I3

表 2B.6　　端子配置 176-Pin LQFP (RH850/F1KM-S2)

端子番号	端子名
131	AP1_2 / ADCA1I2
132	AP1_1 / ADCA1I1
133	AP1_0 / ADCA1I0
134	AP1_15 / ADCA1I15
135	AP1_14 / ADCA1I14
136	AP1_13 / ADCA1I13
137	AP1_12 / ADCA1I12
138	A1VREF
139	A1VSS
140	BVCC
141	ISOVCL
142	ISOVSS
143	P18_0 / CSIG1RYI / CSIG1RYO / PWGA61O / ADCA1I0S / TAUJ3I0 / TAUJ3O0
144	P18_1 / PWGA62O / ADCA1I1S / TAUJ3I1 / TAUJ3O1
145	P18_2 / PWGA63O / ADCA1I2S / TAUJ3I2 / TAUJ3O2
146	P18_3 / PWGA71O / ADCA1I3S / TAUJ3I3 / TAUJ3O3
147	P18_4 / CSIH1CSS4 / ADCA1I4S
148	P18_5 / CSIH1CSS5 / ADCA1I5S
149	P18_6 / ADCA1I6S
150	P18_7 / ADCA1I7S
151	BVSS
152	P10_6 / TAUD0I13 / TAUD0O13 / CSIG0SO / ENCA0TIN0 / ADCA0SEL2 / CAN1RX /INTP1 / RLIN24RX / MODE2
153	P10_7 / TAUD0I15 / TAUD0O15 / CSIG0SC / ENCA0TIN1 / PWGA4O / CAN1TX / RLIN24TX / TAUJ3I1 / TAUJ3O1
154	P10_8 / TAUD0I10 / TAUD0O10 / CSIG0SI / ENCA0EC / PWGA5O / FLMD1 / TAUJ3I2 / TAUJ3O2
155	P10_9 / TAUD0I12 / TAUD0O12 / RLIN30RX / INTP10 / ENCA0E0 / PWGA6O / CSIH0RYI / CSIH0RYO
156	P10_10 / TAUD0I14 / TAUD0O14 / RLIN30TX / ENCA0E1 / PWGA7O / CSIH0CSS1 / TAUJ3I3 / TAUJ3O3
157	P10_11 / PWGA16O / RLIN31RX / INTP11 / CSIH1CSS0 / TAUB0I1 / TAUB0O1
158	P10_12 / PWGA17O / RLIN31TX / CSIH1CSS1 / TAUB0I3 / TAUB0O3
159	P10_13 / $\overline{\text{CSIH0SSI}}$ / PWGA18O / RLIN32RX / INTP12 / TAUB0I5 / TAUB0O5 / CAN7TX
160	P10_14 / ADCA1TRG0 / PWGA19O / RLIN32TX / $\overline{\text{CSIH3SSI}}$ / TAUB0I7 / TAUB0O7 / CAN7RX / INTP9
161	P11_1 / $\overline{\text{CSIH2SSI}}$ / RLIN20RX / CSIH0CSS7 / INTP20 / PWGA26O / TAUB0I13 / TAUB0O13
162	P11_2 / CSIH2SO / RLIN32RX / INTP12 / RLIN20TX / PWGA27O / TAUB0I15 / TAUB0O15 / SFMA0IO3
163	P11_3 / CSIH2SC / CAN3RX / INTP3 / PWGA28O / TAUB1I1 / TAUB1O1 / RLIN32TX / SFMA0IO2
164	P11_4 / CSIH2SI / CAN3TX / INTP21 / PWGA29O / TAUB1I3 / TAUB1O3 / SFMA0IO1
165	P11_5 / CAN5RX / INTP5 / RLIN33TX / PWGA30O / CSIH3SI / TAUB1I5 / TAUB1O5 / SFMA0IO0
166	P11_6 / RLIN33RX / INTP13 / CAN5TX / ADCA1TRG1 / PWGA31O / CSIH3SO / TAUB1I7 / TAUB1O7 / SFMA0SSL

表 2B.6　　端子配置 176-Pin LQFP (RH850/F1KM-S2)

端子番号	端子名
167	P11_7 / INTP5 / PWGA32O / CSIH3SC / TAUB1I9 / TAUB1O9 / SFMA0CLK
168	P11_15 / CAN2RX / INTP2 / CSIH2CSS4 / PWGA55O / TAUB1I8 / TAUB1O8 / RLIN36TX
169	P12_0 / CAN2TX / PWGA56O / TAUB1I10 / TAUB1O10 / $\overline{\text{CSIG2SSI}}$ / RLIN36RX / INTP16
170	P12_1 / RLIN34RX / INTP14 / CSIH2CSS5 / PWGA57O / TAUB1I12 / TAUB1O12
171	P12_2 / INTP19 / RLIN34TX / PWGA58O / TAUB1I14 / TAUB1O14 / CSIG2RYI / CSIG2RYO
172	BVCC
173	BVSS
174	P10_0 / TAUD0I1 / TAUD0O1 / CAN0RX /INTP0 / CSCXFOUT / PWGA0O / TAPA0UP / CSIH1SI / TAUJ1I3 / TAUJ1O3
175	P10_1 / TAUD0I3 / TAUD0O3 / INTP18 / CAN0TX / PWGA1O / TAPA0UN / CSIH1SC / MODE0 / TAUJ3I0 / TAUJ3O0
176	P10_2 / TAUD0I5 / TAUD0O5 / RIIC0SDA / KR0I0 / PWGA2O / ADCA0TRG0 / TAPA0VP / CSIH1SO / RLIN37TX / MODE1

表 2B.7　　端子配置 233-Pin FPBGA (RH850/F1KM-S4)

端子番号	端子名
A1	BVSS
A2	P10_0 / TAUD0I1 / TAUD0O1 / CAN0RX / INTP0 / CSCXFOUT / PWGA0O / TAPA0UP / CSIH1SI / MEMC0A19 / ETNB0RXCLK / TAUJ1I3 / TAUJ1O3
A3	P12_2 / INTP19 / RLIN34TX / PWGA58O / TAUB1I14 / TAUB1O14 / MEMC0A18 / CSIG2RYI / CSIG2RYO
A4	P11_5 / CAN5RX / INTP5 / RLIN33TX / PWGA30O / CSIH3SI / TAUB1I5 / TAUB1O5 / MEMC0AD13 / SFMA0IO0
A5	P11_1 / $\overline{\text{CSIH2SSI}}$ / FLXA0TXDA / RLIN20RX / CSIH0CSS7 / INTP20 / PWGA26O / TAUB0I13 / TAUB0O13 / MEMC0AD9
A6	P10_13 / $\overline{\text{CSIH0SSI}}$ / PWGA18O / RLIN32RX / INTP12 / FLXA0TXENB / TAUB0I5 / TAUB0O5 / MEMC0AD7 / CAN7TX
A7	P10_10 / TAUD0I14 / TAUD0O14 / RLIN30TX / ENCA0E1 / PWGA7O / CSIH0CSS1 / MEMC0AD4 / TAUJ3I3 / TAUJ3O3
A8	P10_7 / TAUD0I15 / TAUD0O15 / CSIG0SC / ENCA0TIN1 / PWGA4O / CAN1TX / MEMC0AD1 / RLIN24TX / TAUJ3I1 / TAUJ3O1
A9	P10_6 / TAUD0I13 / TAUD0O13 / CSIG0SO / ENCA0TIN0 / ADCA0SEL2 / CAN1RX / INTP1 / MEMC0AD0 / RLIN24RX / MODE2
A10	P19_2 / ADCA1I18S
A11	P18_15 / ADCA1I15S
A12	P18_13 / ADCA1I13S
A13	P18_6 / ADCA1I6S
A14	P18_5 / CSIH1CSS5 / ETNB0TXEN / ADCA1I5S
A15	P18_10 / ADCA1I10S
A16	P18_8 / ADCA1I8S
A17	A1VSS
B1	P10_3 / TAUD0I7 / TAUD0O7 / RIIC0SCL / KR0I1 / PWGA3O / ADCA0TRG1 / TAPA0VN / $\overline{\text{CSIH1SSI}}$ / MEMC0CLK / RLIN37RX / INTP17
B2	P10_1 / TAUD0I3 / TAUD0O3 / INTP18 / CAN0TX / PWGA1O / TAPA0UN / CSIH1SC / ETNB0RXD0 / MEMC0A20 / MODE0 / TAUJ3I0 / TAUJ3O0
B3	P13_1 / MEMC0A20
B4	P12_0 / CAN2TX / PWGA56O / TAUB1I10 / TAUB1O10 / $\overline{\text{CSIG2SSI}}$ / MEMC0A16 / RLIN36RX / INTP16
B5	P11_4 / CSIH2SI / CAN3TX / INTP21 / PWGA29O / TAUB1I3 / TAUB1O3 / MEMC0AD12 / SFMA0IO1
B6	P11_3 / CSIH2SC / CAN3RX / INTP3 / PWGA28O / TAUB1I1 / TAUB1O1 / MEMC0AD11 / RLIN32TX / SFMA0IO2
B7	P10_14 / ADCA1TRG0 / PWGA19O / FLXA0RXDA / RLIN32TX / $\overline{\text{CSIH3SSI}}$ / TAUB0I7 / TAUB0O7 / MEMC0AD8 / CAN7RX / INTP9
B8	P10_9 / TAUD0I12 / TAUD0O12 / RLIN30RX / INTP10 / ENCA0E0 / PWGA6O / CSIH0RYI / CSIH0RYO / MEMC0AD3 / FLXA0RXDB
B9	P19_3 / ADCA1I19S
B10	P19_1 / ADCA1I17S
B11	P18_7 / ETNB0TXCLK / ADCA1I7S
B12	P18_11 / ADCA1I11S
B13	P18_3 / PWGA71O / ETNB0TXD2 / ADCA1I3S / TAUJ3I3 / TAUJ3O3
B14	P18_2 / PWGA63O / ETNB0TXD1 / ADCA1I2S / TAUJ3I2 / TAUJ3O2
B15	P18_1 / PWGA62O / ETNB0TXD0 / ADCA1I1S / TAUJ3I1 / TAUJ3O1
B16	AP1_12 / ADCA1I12
B17	AP1_14 / ADCA1I14
C1	P10_15 / CSIH3RYI / CSIH3RYO / PWGA24O / RLIN22RX / TAUB0I9 / TAUB0O9 / $\overline{\text{MEMC0RD}}$
C2	P10_5 / TAUD0I11 / TAUD0O11 / CAN6RX / INTP6 / RLIN21TX / KR0I3 / ADCA0SEL1 / TAPA0WN / CSIG0RYI / CSIG0RYO / ETNB0RXD3 / PWGA54O

表 2B.7　　端子配置 233-Pin FPBGA (RH850/F1KM-S4)

端子番号	端子名
C3	P10_2 / TAUD0I5 / TAUD0O5 / RIIC0SDA / KR0I0 / PWGA2O / ADCA0TRG0 / TAPA0VP / CSIH1SO / ETNB0RXD1 / MEMC0A21 / RLIN37TX / MODE1
C4	P13_0 / MEMC0A19
C5	P12_1 / RLIN34RX / INTP14 / CSIH2CSS5 / PWGA57O / TAUB1I12 / TAUB1O12 / MEMC0A17
C6	P11_7 / INTP5 / PWGA32O / CSIH3SC / TAUB1I9 / TAUB1O9 / MEMC0AD15 / SFMA0CLK
C7	P11_2 / CSIH2SO / RLIN32RX / INTP12 / RLIN20TX / PWGA27O / TAUB0I15 / TAUB0O15 / MEMC0AD10 / SFMA0IO3
C8	P10_11 / PWGA16O / RLIN31RX / INTP11 / FLXA0TXENA / CSIH1CSS0 / TAUB0I1 / TAUB0O1 / MEMC0AD5
C9	P18_14 / ADCA1I14S
C10	P19_0 / ADCA1I16S
C11	P18_4 / CSIH1CSS4 / ETNB0TXD3 / ADCA1I4S
C12	P18_12 / ADCA1I12S
C13	P18_9 / ADCA1I9S
C14	P18_0 / CSIG1RYI / CSIG1RYO / ETNB0LINK / PWGA61O / ADCA1I0S / TAUJ3I0 / TAUJ3O0
C15	AP1_13 / ADCA1I13
C16	AP1_15 / ADCA1I15
C17	AP1_0 / ADCA1I0
D1	P11_9 / CSIG1SO / RLIN35RX / INTP15 / PWGA49O / TAUB1I13 / TAUB1O13 / $\overline{\text{MEMC0CS1}}$
D2	P11_0 / CSIH2RYI / CSIH2RYO / ADCA1TRG2 / PWGA25O / RLIN22TX / TAUB0I11 / TAUB0O11 / $\overline{\text{MEMC0WR}}$
D3	P10_4 / TAUD0I9 / TAUD0O9 / RLIN21RX / CAN6TX / KR0I2 / ADCA0SEL0 / ADCA0TRG2 / TAPA0WP / $\overline{\text{CSIG0SSI}}$ / PWGA53O / ETNB0RXD2 / MEMC0A22
D4	BVCC
D5	P11_15 / CAN2RX / INTP2 / CSIH2CSS4 / PWGA55O / TAUB1I8 / TAUB1O8 / $\overline{\text{MEMC0ASTB}}$ / ETNB0RXERR / RLIN36TX
D6	P11_6 / RLIN33RX / INTP13 / CAN5TX / ADCA1TRG1 / PWGA31O / CSIH3SO / TAUB1I7 / TAUB1O7 / MEMC0AD14 / SFMA0SSL
D7	P10_12 / PWGA17O / FLXA0STPWT / RLIN31TX / CSIH1CSS1 / TAUB0I3 / TAUB0O3 / MEMC0AD6
D8	P10_8 / TAUD0I10 / TAUD0O10 / CSIG0SI / FLXA0TXDB / ENCA0EC / PWGA5O / MEMC0AD2 / FLMD1 / TAUJ3I2 / TAUJ3O2
D9	BVSS
D10	BVCC
D11	BVCC
D12	ISOVSS
D13	ISOVCL
D14	A1VSS
D15	AP1_1 / ADCA1I1
D16	AP1_2 / ADCA1I2
D17	AP1_3 / ADCA1I3
E1	P11_12 / RLIN25RX / PWGA52O / TAUB1I2 / TAUB1O2 / $\overline{\text{MEMC0WAIT}}$
E2	P11_10 / CSIG1SC / PWGA50O / TAUB1I15 / TAUB1O15 / $\overline{\text{MEMC0CS2}}$
E3	P11_8 / $\overline{\text{CSIG1SSI}}$ / RLIN35TX / PWGA48O / TAUB1I11 / TAUB1O11 / $\overline{\text{MEMC0CS0}}$
E4	BVCC
E14	A1VREF
E15	AP1_5 / ADCA1I5
E16	AP1_6 / ADCA1I6
E17	AP1_8 / ADCA1I8

表 2B.7　　端子配置 233-Pin FPBGA (RH850/F1KM-S4)

端子番号	端子名
F1	P13_3 / ETNB0RXERR
F2	P13_2 / ETNB0RXDV
F3	P11_11 / CSIG1SI / RLIN25TX / PWGA51O / TAUB1I0 / TAUB1O0 / $\overline{\text{MEMC0CS3}}$ / ETNB0RXDV
F4	BVSS
F14	AP1_4 / ADCA1I4
F15	AP1_7 / ADCA1I7
F16	AP1_9 / ADCA1I9
F17	P20_4 / RLIN23RX / INTP22 / PWGA59O / CAN7RX / INTP9 / $\overline{\text{CSIG3SSI}}$
G1	P12_3 / RLIN27RX / PWGA68O / CSIG2SI / $\overline{\text{MEMC0BEN0}}$ / TAUB1I6 / TAUB1O6
G2	P13_4
G3	P13_5 / MEMC0A21
G4	ISOVCL
G7	BVSS
G8	BVSS
G9	BVSS
G10	BVSS
G11	BVSS
G14	AP1_10 / ADCA1I10
G15	AP1_11 / ADCA1I11
G16	P20_5 / RLIN23TX / INTP23 / PWGA60O / CAN7TX
G17	P20_0 / RLIN26RX / PWGA64O / CAN6RX / INTP6 / CSIG3SI
H1	P12_4 / RLIN27TX / PWGA69O / CSIG2SC / ETNB0MDIO / $\overline{\text{MEMC0BEN1}}$
H2	P13_7 / PWGA73O
H3	P13_6 / MEMC0A22 / PWGA72O
H4	ISOVSS
H7	BVSS
H8	BVSS
H9	BVSS
H10	BVSS
H11	EVSS
H14	EVCC
H15	P20_1 / RLIN26TX / PWGA65O / CAN6TX / CSIG3SO
H16	P20_2 / CAN4RX / INTP4 / PWGA66O / RLIN29RX / CSIG3SC
H17	P20_3 / CAN4TX / PWGA67O / RLIN29TX / CSIG3RYI / CSIG3RYO
J1	P0_0 / TAUD0I2 / TAUD0O2 / RLIN20RX / CAN0TX / PWGA10O / $\overline{\text{CSIH0SSI}}$ / DPO / TAUJ2I1 / TAUJ2O1
J2	P0_1 / TAUD0I4 / TAUD0O4 / CAN0RX / INTP0 / RLIN20TX / PWGA11O / CSIH0SI / APO / TAUJ2I2 / TAUJ2O2
J3	P12_5 / PWGA70O / ETNB0MDC / CSIG2SO / TAUB1I4 / TAUB1O4
J4	P0_2 / TAUD0I6 / TAUD0O6 / CAN1RX / INTP1 / RLIN30TX / PWGA12O / CSIH0SC / DPO / TAUJ2I3 / TAUJ2O3
J7	BVSS
J8	BVSS
J9	BVSS
J10	EVSS
J11	EVSS
J14	REGVCC
J15	P9_3 / KR0I7 / PWGA21O / CSIH2CSS3 / TAUJ1I1 / TAUJ1O1 / INTP16 / ADCA0I10S

表 2B.7　　端子配置 233-Pin FPBGA (RH850/F1KM-S4)

端子番号	端子名
J16	P9_4 / CSIH0CSS5 / PWGA33O / TAUJ1I0 / TAUJ1O0 / INTP17 / ADCA0I11S
J17	P9_2 / KR0I6 / PWGA20O / TAPA0ESO / CSIH2CSS2 / ADCA0I9S
K1	P0_3 / TAUD0I8 / TAUD0O8 / RLIN30RX / INTP10 / CAN1TX / DPIN1 / PWGA13O / CSIH0SO / TAUJ1I0 / TAUJ1O0
K2	P0_5 / CAN2RX / INTP2 / RLIN31TX / DPIN9 / SELDP1 / CSIH1SO / TAUB0I14 / TAUB0O14
K3	P0_4 / RLIN31RX / INTP11 / CAN2TX / PWGA10O / CSIH1SI / SELDP0 / DPIN8 / TAUB0I12 / TAUB0O12
K4	EVCC
K7	EVSS
K8	EVSS
K9	EVSS
K10	EVSS
K11	EVSS
K14	ISOVSS
K15	AP0_0 / ADCA0I0
K16	P9_0 / NMI / PWGA8O / TAUD0I0 / TAUD0O0 / ADCA0TRG0 / CSIH2CSS0 / KR0I4 / ADCA0I2S / TAUJ1I1 / TAUJ1O1 / SENT1RX / RIIC1SDA
K17	P9_1 / INTP11 / PWGA9O / TAUD0I2 / TAUD0O2 / KR0I5 / CSIH2CSS1 / ADCA0I3S / TAUJ1I2 / TAUJ1O2 / SENT1SPCO / RIIC1SCL
L1	P0_11 / RIIC0SDA / DPIN12 / CSIH1CSS2 / TAUB0I8 / TAUB0O8 / RLIN26RX / PWGA34O
L2	P0_12 / RIIC0SCL / DPIN13 / PWGA45O / TAUB0I10 / TAUB0O10 / CSIG0SI / RLIN26TX
L3	P0_6 / INTP2 / DPIN10 / SELDP2 / CSIH1SC / PWGA35O
L4	P0_14 / INTP17 / RLIN32TX / PWGA47O / TAUB0I14 / TAUB0O14 / CSIG0SC / CAN5TX
L7	EVSS
L8	EVSS
L9	EVSS
L10	EVSS
L11	EVSS
L14	EVSS
L15	AP0_4 / ADCA0I4
L16	AP0_2 / ADCA0I2
L17	AP0_1 / ADCA0I1
M1	P0_13 / RLIN32RX / INTP12 / PWGA46O / TAUB0I12 / TAUB0O12 / CSIG0SO / CAN5RX / INTP5
M2	P1_0 / RLIN33RX / INTP13 / TAUJ2I0 / TAUJ2O0
M3	P2_9 / PWGA77O
M4	P2_7 / RLIN210RX
M14	A0VREF
M15	AP0_8 / ADCA0I8
M16	AP0_5 / ADCA0I5
M17	AP0_3 / ADCA0I3
N1	P1_2 / CAN3RX / INTP3 / DPIN19 / TAUJ2I2 / TAUJ2O2
N2	P1_1 / INTP18 / RLIN33TX / TAUJ2I1 / TAUJ2O1
N3	P1_3 / INTP19 / CAN3TX / DPIN23 / TAUJ2I3 / TAUJ2O3
N4	P2_11 / PWGA79O
N14	A0VSS
N15	AP0_11 / ADCA0I11
N16	AP0_7 / ADCA0I7

表 2B.7　　端子配置 233-Pin FPBGA (RH850/F1KM-S4)

端子番号	端子名
N17	AP0_6 / ADCA0I6
P1	P1_12 / CAN4RX / INTP4 / RLIN36TX
P2	P1_13 / CAN4TX / RLIN36RX / INTP16
P3	P8_10 / CSIH3CSS3 / DPIN14 / PWGA42O / RLIN37RX / INTP17 / ADCA0I17S
P4	P8_12 / TAUJ1I3 / TAUJ1O3 / DPIN16 / PWGA44O / CSIH1CSS5 / INTP23 / RLIN25TX / ADCA0I19S
P5	JP0_1 / INTP1 / TAUJ0I0 / TAUJ0O0 / FPDT / DCUTDO / LPDO
P6	P1_11 / ADCA1TRG2 / RLIN24TX / DPIN22 / INTP14
P7	P2_13 / RLIN211TX
P8	P2_15 / PWGA75O
P9	EVCC
P10	REGVCC
P11	ISOVSS
P12	ISOVCL
P13	P8_6 / NMI / CSIH0CSS4 / PWGA38O / RTCA0OUT / ADCA0I8S / $\overline{\text{RESETOUT}}$
P14	P8_8 / CSIH3CSS1 / PWGA40O / ADCA0SEL1 / RLIN34RX / INTP14 / ADCA0I15S
P15	AP0_13 / ADCA0I13
P16	AP0_10 / ADCA0I10
P17	AP0_9 / ADCA0I9
R1	P2_6 / ADCA0SEL2
R2	P2_10 / PWGA78O
R3	JP0_4 / $\overline{\text{DCUTRST}}$
R4	JP0_3 / INTP3 / CSCXFOUT / TAUJ0I2 / TAUJ0O2 / DCUTMS
R5	P2_1 / RLIN27TX / CAN6TX
R6	P1_10 / RLIN24RX / DPIN21 / INTP22 / ADCA1TRG1
R7	P1_9 / DPIN20 / INTP21
R8	P3_0 / PWGA76O
R9	FLMD0
R10	P0_9 / INTP12 / CSIH1CSS0 / DPIN7 / RLIN22RX / TAUB0I4 / TAUB0O4 / CAN4RX / INTP4
R11	P0_7 / RLIN21RX / DPIN5 / CSCXFOUT / CSIH1RYI / CSIH1RYO / TAUB0I0 / TAUB0O0 / CAN3RX / INTP3
R12	P2_5 / RLIN29TX / ADCA0SEL1
R13	P1_15 / RLIN23TX / CAN7TX
R14	P8_4 / TAUJ0I2 / TAUJ0O2 / DPIN4 / CSIH0CSS2 / INTP8 / PWGA36O / CAN7RX / INTP9 / ADCA0I6S
R15	P8_7 / CSIH3CSS0 / PWGA39O / ADCA0SEL0 / RTCA0OUT / ADCA0I14S
R16	AP0_14 / ADCA0I14
R17	AP0_12 / ADCA0I12
T1	P2_8 / RLIN210TX
T2	P2_12 / RLIN211RX
T3	P8_11 / TAUJ1I2 / TAUJ1O2 / DPIN15 / PWGA43O / CSIH1CSS4 / RLIN25RX / ADCA0I18S
T4	JP0_2 / INTP2 / TAUJ0I1 / TAUJ0O1 / FPCK / DCUTCK / LPDCLK
T5	P2_0 / RLIN27RX / CAN6RX / INTP6
T6	P2_14 / PWGA74O
T7	IP0_0 / XT2
T8	AWOVCL
T9	X1
T10	P2_2 / RLIN28RX

表 2B.7　　端子配置 233-Pin FPBGA (RH850/F1KM-S4)

端子番号	端子名
T11	P0_10 / INTP3 / CSIH1CSS1 / DPIN11 / RLIN22TX / TAUB0I6 / TAUB0O6 / CAN4TX
T12	P0_8 / INTP16 / RLIN21TX / DPIN6 / CSIH0CSS6 / $\overline{\text{CSIH1SSI}}$ / TAUB0I2 / TAUB0O2 / CAN3TX
T13	P2_4 / RLIN29RX / ADCA0SEL0
T14	P8_1 / TAPA0ESO / TAUJ0O1 / DPIN0 / PWGA15O / INTP5 / CSIH1CSS3 / CAN6TX / ADCA0I1S / RIIC1SCL / SENT0SPCO
T15	P8_5 / TAUJ0I3 / TAUJ0O3 / NMI / CSIH0CSS3 / INTP9 / PWGA37O / ADCA0I7S
T16	P8_9 / CSIH3CSS2 / PWGA41O / ADCA0SEL2 / RLIN34TX / ADCA0I16S
T17	AP0_15 / ADCA0I15
U1	EVSS
U2	P8_2 / TAUJ0I0 / TAUJ0O0 / DPIN2 / CSIH0CSS0 / INTP6 / PWGA22O / RLIN37TX / ADCA0I4S
U3	JP0_5 / NMI / RTCA0OUT / TAUJ0I3 / TAUJ0O3 / $\overline{\text{DCURDY}}$ / LPDCLKOUT
U4	JP0_0 / INTP0 / FPDR / FPDT / DCUTDI / LPDI / LPDIO / TAUJ2I0 / TAUJ2O0
U5	P1_8
U6	$\overline{\text{RESET}}$
U7	XT1
U8	AWOVSS
U9	X2
U10	P2_3 / RLIN28TX
U11	JP0_6 / $\overline{\text{EVTO}}$
U12	P1_5 / ADCA1TRG0 / RLIN35TX / DPIN17 / INTP20
U13	P1_4 / RLIN35RX / INTP15 / DPIN18
U14	P1_14 / RLIN23RX / CAN7RX / INTP9
U15	P8_0 / TAUJ0I0 / TAUJ0O0 / DPIN2 / PWGA14O / INTP4 / CSIH0CSS0 / CAN6RX / INTP6 / ADCA0I0S / RIIC1SDA / SENT0RX
U16	P8_3 / TAUJ0I1 / TAUJ0O1 / DPIN3 /CSIH0CSS1 / INTP7/ PWGA23O / CAN7TX / ADCA0I5S
U17	A0VSS

表 2B.8 端子配置 272-Pin FPBGA (RH850/F1KM-S4)

端子番号	端子名
A1	BVSS
A2	P22_7
A3	P13_1 / MEMC0A20
A4	P22_9
A5	P11_15 / CAN2RX / INTP2 / CSIH2CSS4 / PWGA55O / TAUB1I8 / TAUB1O8 / $\overline{\text{MEMC0ASTB}}$ / ETNB0RXERR / RLIN36TX
A6	P22_12
A7	P22_13
A8	P22_15
A9	P11_1 / $\overline{\text{CSIH2SSI}}$ / FLXA0TXDA / RLIN20RX / CSIH0CSS7 / INTP20 / PWGA26O / TAUB0I13 / TAUB0O13 / MEMC0AD9
A10	P10_12 / PWGA17O / FLXA0STPWT / RLIN31TX / CSIH1CSS1 / TAUB0I3 / TAUB0O3 / MEMC0AD6
A11	P10_10 / TAUD0I14 / TAUD0O14 / RLIN30TX / ENCA0E1 / PWGA7O / CSIH0CSS1 / MEMC0AD4 / TAUJ3I3 / TAUJ3O3
A12	P10_6 / TAUD0I13 / TAUD0O13 / CSIG0SO / ENCA0TIN0 / ADCA0SEL2 / CAN1RX / INTP1 / MEMC0AD0 / RLIN24RX / MODE2
A13	P19_3 / ADCA1I19S
A14	P19_0 / ADCA1I16S
A15	P18_14 / ADCA1I14S
A16	P18_6 / ADCA1I6S
A17	P18_3 / PWGA71O / ETNB0TXD2 / ADCA1I3S / TAUJ3I3 / TAUJ3O3
A18	P18_9 / ADCA1I9S
A19	P18_0 / CSIG1RYI / CSIG1RYO / ETNB0LINK / PWGA61O / ADCA1I0S / TAUJ3I0 / TAUJ3O0
A20	A1VSS
B1	P22_6
B2	P10_3 / TAUD0I7 / TAUD0O7 / RIIC0SCL / KR0I1 / PWGA3O / ADCA0TRG1 / TAPA0VN / $\overline{\text{CSIH1SSI}}$ / MEMC0CLK / RLIN37RX / INTP17
B3	P10_1 / TAUD0I3 / TAUD0O3 / INTP18 / CAN0TX / PWGA1O / TAPA0UN / CSIH1SC / ETNB0RXD0 / MEMC0A20 / MODE0 / TAUJ3I0 / TAUJ3O0
B4	P22_8
B5	P12_1 / RLIN34RX / INTP14 / CSIH2CSS5 / PWGA57O / TAUB1I12 / TAUB1O12 / MEMC0A17
B6	P22_11
B7	P11_5 / CAN5RX / INTP5 / RLIN33TX / PWGA30O / CSIH3SI / TAUB1I5 / TAUB1O5 / MEMC0AD13 / SFMA0IO0
B8	P11_4 / CSIH2SI / CAN3TX / INTP21 / PWGA29O / TAUB1I3 / TAUB1O3 / MEMC0AD12 / SFMA0IO1
B9	P21_1
B10	P10_14 / ADCA1TRG0 / PWGA19O / FLXA0RXDA / RLIN32TX / $\overline{\text{CSIH3SSI}}$ / TAUB0I7 / TAUB0O7 / MEMC0AD8 / CAN7RX / INTP9
B11	P10_8 / TAUD0I10 / TAUD0O10 / CSIG0SI / FLXA0TXDB / ENCA0EC / PWGA5O / MEMC0AD2 / FLMD1 / TAUJ3I2 / TAUJ3O2
B12	P19_2 / ADCA1I18S
B13	P19_1 / ADCA1I17S
B14	P18_7 / ETNB0TXCLK / ADCA1I7S
B15	P18_13 / ADCA1I13S
B16	P18_4 / CSIH1CSS4 / ETNB0TXD3 / ADCA1I4S
B17	P18_2 / PWGA63O / ETNB0TXD1 / ADCA1I2S / TAUJ3I2 / TAUJ3O2
B18	P18_1 / PWGA62O / ETNB0TXD0 / ADCA1I1S / TAUJ3I1 / TAUJ3O1
B19	AP1_12 / ADCA1I12

表 2B.8　　端子配置 272-Pin FPBGA (RH850/F1KM-S4)

端子番号	端子名
B20	AP1_13 / ADCA1I13
C1	P22_4
C2	P22_5
C3	P10_2 / TAUD0I5 / TAUD0O5 / RIIC0SDA / KR0I0 / PWGA2O / ADCA0TRG0 / TAPA0VP / CSIH1SO / ETNB0RXD1 / MEMC0A21 / RLIN37TX / MODE1
C4	P10_0 / TAUD0I1 / TAUD0O1 / CAN0RX / INTP0 / CSCXFOUT / PWGA0O / TAPA0UP / CSIH1SI / MEMC0A19 / ETNB0RXCLK / TAUJ1I3 / TAUJ1O3
C5	P12_2 / INTP19 / RLIN34TX / PWGA58O / TAUB1I14 / TAUB1O14 / MEMC0A18 / CSIG2RYI / CSIG2RYO
C6	P22_10
C7	P11_6 / RLIN33RX / INTP13 / CAN5TX / ADCA1TRG1 / PWGA31O / CSIH3SO / TAUB1I7 / TAUB1O7 / MEMC0AD14 / SFMA0SSL
C8	P22_14
C9	P11_3 / CSIH2SC / CAN3RX / INTP3 / PWGA28O / TAUB1I1 / TAUB1O1 / MEMC0AD11 / RLIN32TX / SFMA0IO2
C10	P10_13 / $\overline{\text{CSIH0SSI}}$ / PWGA18O / RLIN32RX / INTP12 / FLXA0TXENB / TAUB0I5 / TAUB0O5 / MEMC0AD7 / CAN7TX
C11	P10_7 / TAUD0I15 / TAUD0O15 / CSIG0SC / ENCA0TIN1 / PWGA4O / CAN1TX / MEMC0AD1 / RLIN24TX / TAUJ3I1 / TAUJ3O1
C12	P10_9 / TAUD0I12 / TAUD0O12 / RLIN30RX / INTP10 / ENCA0E0 / PWGA6O / CSIH0RYI / CSIH0RYO / MEMC0AD3 / FLXA0RXDB
C13	P18_15 / ADCA1I15S
C14	P18_12 / ADCA1I12S
C15	P18_11 / ADCA1I11S
C16	P18_10 / ADCA1I10S
C17	P18_8 / ADCA1I8S
C18	AP1_14 / ADCA1I14
C19	AP1_15 / ADCA1I15
C20	AP1_0 / ADCA1I0
D1	P10_15 / CSIH3RYI / CSIH3RYO / PWGA24O / RLIN22RX / TAUB0I9 / TAUB0O9 / $\overline{\text{MEMC0RD}}$
D2	P22_3
D3	P10_5 / TAUD0I11 / TAUD0O11 / CAN6RX / INTP6 / RLIN21TX / KR0I3 / ADCA0SEL1 / TAPA0WN / CSIG0RYI / CSIG0RYO / ETNB0RXD3 / PWGA54O
D4	BVCC
D5	BVCC
D6	P13_0 / MEMC0A19
D7	P12_0 / CAN2TX / PWGA56O / TAUB1I10 / TAUB1O10 / $\overline{\text{CSIG2SSI}}$ / MEMC0A16 / RLIN36RX / INTP16
D8	P11_7 / INTP5 / PWGA32O / CSIH3SC / TAUB1I9 / TAUB1O9 / MEMC0AD15 / SFMA0CLK
D9	P11_2 / CSIH2SO / RLIN32RX / INTP12 / RLIN20TX / PWGA27O / TAUB0I15 / TAUB0O15 / MEMC0AD10 / SFMA0IO3
D10	BVSS
D11	P10_11 / PWGA16O / RLIN31RX / INTP11 / FLXA0TXENA / CSIH1CSS0 / TAUB0I1 / TAUB0O1 / MEMC0AD5
D12	BVCC
D13	BVSS
D14	P18_5 / CSIH1CSS5 / ETNB0TXEN / ADCA1I5S
D15	ISOVSS
D16	ISOVCL
D17	BVCC

表 2B.8　　端子配置 272-Pin FPBGA (RH850/F1KM-S4)

端子番号	端子名
D18	AP1_1 / ADCA1I1
D19	AP1_2 / ADCA1I2
D20	AP1_3 / ADCA1I3
E1	P11_0 / CSIH2RYI / CSIH2RYO / ADCA1TRG2 / PWGA25O / RLIN22TX / TAUB0I11 / TAUB0O11 / MEMC0WR
E2	P11_8 / CSIG1SSI / RLIN35TX / PWGA48O / TAUB1I11 / TAUB1O11 / MEMC0CS0
E3	P10_4 / TAUD0I9 / TAUD0O9 / RLIN21RX / CAN6TX / KR0I2 / ADCA0SEL0 / ADCA0TRG2 / TAPA0WP / CSIG0SSI / PWGA53O / ETNB0RXD2 / MEMC0A22
E4	BVCC
E17	A1VSS
E18	AP1_4 / ADCA1I4
E19	AP1_5 / ADCA1I5
E20	AP1_6 / ADCA1I6
F1	P22_2
F2	P22_1
F3	P11_9 / CSIG1SO / RLIN35RX / INTP15 / PWGA49O / TAUB1I13 / TAUB1O13 / MEMC0CS1
F4	BVCC
F17	A1VREF
F18	AP1_7 / ADCA1I7
F19	AP1_9 / ADCA1I9
F20	AP1_10 / ADCA1I10
G1	P22_0
G2	P11_11 / CSIG1SI / RLIN25TX / PWGA51O / TAUB1I0 / TAUB1O0 / MEMC0CS3 / ETNB0RXDV
G3	P11_10 / CSIG1SC / PWGA50O / TAUB1I15 / TAUB1O15 / MEMC0CS2
G4	BVSS
G17	AP1_8 / ADCA1I8
G18	AP1_11 / ADCA1I11
G19	P20_6 / PWGA88O
G20	P20_7 / PWGA89O
H1	P21_4
H2	P11_12 / RLIN25RX / PWGA52O / TAUB1I2 / TAUB1O2 / MEMC0WAIT
H3	P21_0
H4	ISOVCL
H17	EVCC
H18	P20_8 / PWGA90O
H19	P20_9 / PWGA91O
H20	P20_4 / RLIN23RX / INTP22 / PWGA59O / CAN7RX / INTP9 / CSIG3SSI
J1	P13_3 / ETNB0RXERR
J2	P21_3
J3	P21_2
J4	ISOVSS
J9	BVSS
J10	BVSS
J11	BVSS
J12	BVSS
J17	EVSS
J18	P20_5 / RLIN23TX / INTP23 / PWGA60O / CAN7TX

表 2B.8 端子配置 272-Pin FPBGA (RH850/F1KM-S4)

端子番号	端子名
J19	P20_0 / RLIN26RX / PWGA64O / CAN6RX / INTP6 / CSIG3SI
J20	P20_1 / RLIN26TX / PWGA65O / CAN6TX / CSIG3SO
K1	P13_4
K2	P13_6 / MEMC0A22 / PWGA72O
K3	P13_2 / ETNB0RXDV
K4	BVSS
K9	BVSS
K10	BVSS
K11	BVSS
K12	EVSS
K17	EVCC
K18	P20_3 / CAN4TX / PWGA67O / RLIN29TX / CSIG3RYI / CSIG3RYO
K19	P20_10 / PWGA92O
K20	P20_2 / CAN4RX / INTP4 / PWGA66O / RLIN29RX / CSIG3SC
L1	P12_3 / RLIN27RX / PWGA68O / CSIG2SI / $\overline{\mathrm{MEMC0BEN0}}$ / TAUB1I6 / TAUB1O6
L2	P12_5 / PWGA70O / ETNB0MDC / CSIG2SO / TAUB1I4 / TAUB1O4
L3	P0_3 / TAUD0I8 / TAUD0O8 / RLIN30RX / INTP10 / CAN1TX / DPIN1 / PWGA13O / CSIH0SO / TAUJ1I0 / TAUJ1O0
L4	P13_5 / MEMC0A21
L9	BVSS
L10	EVSS
L11	EVSS
L12	EVSS
L17	REGVCC
L18	P20_13 / PWGA95O
L19	P20_12 / PWGA94O
L20	P20_11 / PWGA93O
M1	P0_0 / TAUD0I2 / TAUD0O2 / RLIN20RX / CAN0TX / PWGA10O / $\overline{\mathrm{CSIH0SSI}}$ / DPO / TAUJ2I1 / TAUJ2O1
M2	P0_1 / TAUD0I4 / TAUD0O4 / CAN0RX / INTP0 / RLIN20TX / PWGA11O / CSIH0SI / APO / TAUJ2I2 / TAUJ2O2
M3	P0_6 / INTP2 / DPIN10 / SELDP2 / CSIH1SC / PWGA35O
M4	P13_7 / MEMC0A23 / PWGA73O
M9	EVSS
M10	EVSS
M11	EVSS
M12	EVSS
M17	ISOVSS
M18	P9_3 / KR0I7 / PWGA21O / CSIH2CSS3 / TAUJ1I1 / TAUJ1O1 / INTP16 / ADCA0I10S
M19	P9_4 / CSIH0CSS5 / PWGA33O / TAUJ1I0 / TAUJ1O0 / INTP17 / ADCA0I11S
M20	P20_14
N1	P0_4 / RLIN31RX / INTP11 / CAN2TX / PWGA10O / CSIH1SI / SELDP0 / DPIN8 / TAUB0I12 / TAUB0O12
N2	P0_5 / CAN2RX / INTP2 / RLIN31TX / DPIN9 / SELDP1 / CSIH1SO / TAUB0I14 / TAUB0O14
N3	P12_4 / RLIN27TX / PWGA69O / CSIG2SC / ETNB0MDIO / $\overline{\mathrm{MEMC0BEN1}}$
N4	P0_2 / TAUD0I6 / TAUD0O6 / CAN1RX / INTP1 / RLIN30TX / PWGA12O / CSIH0SC / DPO / TAUJ2I3 / TAUJ2O3
N17	EVSS

表 2B.8　　端子配置 272-Pin FPBGA (RH850/F1KM-S4)

端子番号	端子名
N18	P9_0 / NMI / PWGA8O / TAUD0I0 / TAUD0O0 / ADCA0TRG0 / CSIH2CSS0 / KR0I4 / ADCA0I2S / TAUJ1I1 / TAUJ1O1 / SENT1RX / RIIC1SDA
N19	P9_1 / INTP11 / PWGA9O / TAUD0I2 / TAUD0O2 / KR0I5 / CSIH2CSS1 / ADCA0I3S / TAUJ1I2 / TAUJ1O2 / SENT1SPCO / RIIC1SCL
N20	P9_2 / KR0I6 / PWGA20O / TAPA0ESO / CSIH2CSS2 / ADCA0I9S
P1	P0_11 / RIIC0SDA / DPIN12 / CSIH1CSS2 / TAUB0I8 / TAUB0O8 / RLIN26RX / PWGA34O
P2	P0_12 / RIIC0SCL / DPIN13 / PWGA45O / TAUB0I10 / TAUB0O10 / CSIG0SI / RLIN26TX
P3	P0_14 / INTP17 / RLIN32TX / PWGA47O / TAUB0I14 / TAUB0O14 / CSIG0SC / CAN5TX
P4	EVCC
P17	AP0_6 / ADCA0I6
P18	AP0_3 / ADCA0I3
P19	AP0_1 / ADCA0I1
P20	AP0_0 / ADCA0I0
R1	P0_13 / RLIN32RX / INTP12 / PWGA46O / TAUB0I12 / TAUB0O12 / CSIG0SO / CAN5RX / INTP5
R2	P1_1 / INTP18 / RLIN33TX / TAUJ2I1 / TAUJ2O1
R3	P2_6 / ADCA0SEL2
R4	P1_3 / INTP19 / CAN3TX / DPIN23 / TAUJ2I3 / TAUJ2O3
R17	A0VREF
R18	AP0_7 / ADCA0I7
R19	AP0_4 / ADCA0I4
R20	AP0_2 / ADCA0I2
T1	P1_0 / RLIN33RX / INTP13 / TAUJ2I0 / TAUJ2O0
T2	P1_12 / CAN4RX / INTP4 / RLIN36TX
T3	P2_8 / RLIN210TX
T4	P2_9 / PWGA77O
T17	A0VSS
T18	AP0_10 / ADCA0I10
T19	AP0_8 / ADCA0I8
T20	AP0_5 / ADCA0I5
U1	P1_2 / CAN3RX / INTP3 / DPIN19 / TAUJ2I2 / TAUJ2O2
U2	P2_7 / RLIN210RX
U3	P2_11 / PWGA79O
U4	P8_12 / TAUJ1I3 / TAUJ1O3 / DPIN16 / PWGA44O / CSIH1CSS5 / INTP23 / RLIN25TX / ADCA0I19S
U5	JP0_2 / INTP2 / TAUJ0I1 / TAUJ0O1 / FPCK / DCUTCK / LPDCLK
U6	P1_9 / DPIN20 / INTP21
U7	EVCC
U8	AWOVCL
U9	REGVCC
U10	P0_9 / INTP12 / CSIH1CSS0 / DPIN7 / RLIN22RX / TAUB0I4 / TAUB0O4 / CAN4RX / INTP4
U11	ISOVSS
U12	ISOVCL
U13	P1_15 / RLIN23TX / CAN7TX
U14	EVSS
U15	EVCC
U16	P3_7 / PWGA86O
U17	P3_10

表 2B.8　　端子配置 272-Pin FPBGA (RH850/F1KM-S4)

端子番号	端子名
U18	AP0_13 / ADCA0I13
U19	AP0_11 / ADCA0I11
U20	AP0_9 / ADCA0I9
V1	P1_13 / CAN4TX / RLIN36RX / INTP16
V2	P2_12 / RLIN211RX
V3	P8_10 / CSIH3CSS3 / DPIN14 / PWGA42O / RLIN37RX / INTP17 / ADCA0I17S
V4	JP0_3 / INTP3 / CSCXFOUT / TAUJ0I2 / TAUJ0O2 / DCUTMS
V5	JP0_0 / INTP0 / FPDR / FPDT / DCUTDI / LPDI / LPDIO / TAUJ2I0 / TAUJ2O0
V6	P1_11 / ADCA1TRG2 / RLIN24TX / DPIN22 / INTP14
V7	P2_13 / RLIN211TX
V8	P3_0 / PWGA76O
V9	FLMD0
V10	P0_8 / INTP16 / RLIN21TX / DPIN6 / CSIH0CSS6 / $\overline{\text{CSIH1SSI}}$ / TAUB0I2 / TAUB0O2 / CAN3TX
V11	P0_7 / RLIN21RX / DPIN5 / CSCXFOUT / CSIH1RYI / CSIH1RYO / TAUB0I0 / TAUB0O0 / CAN3RX / INTP3
V12	P2_5 / RLIN29TX / ADCA0SEL1
V13	P8_1 / TAPA0ESO / TAUJ0O1 / DPIN0 / PWGA15O / INTP5 / CSIH1CSS3 / CAN6TX / ADCA0I1S / RIIC1SCL / SENT0SPCO
V14	P3_1 / PWGA80O
V15	P8_7 / CSIH3CSS0 / PWGA39O / ADCA0SEL0 / RTCA0OUT / ADCA0I14S
V16	P3_3 / PWGA82O
V17	P3_6 / PWGA85O
V18	P3_9
V19	AP0_14 / ADCA0I14
V20	AP0_12 / ADCA0I12
W1	P2_10 / PWGA78O
W2	P8_2 / TAUJ0I0 / TAUJ0O0 / DPIN2 / CSIH0CSS0 / INTP6 / PWGA22O / RLIN37TX / ADCA0I4S
W3	JP0_5 / NMI / RTCA0OUT / TAUJ0I3 / TAUJ0O3 / $\overline{\text{DCURDY}}$ / LPDCLKOUT
W4	JP0_1 / INTP1 / TAUJ0I0 / TAUJ0O0 / FPDT / DCUTDO / LPDO
W5	P2_0 / RLIN27RX / CAN6RX / INTP6
W6	P2_14 / PWGA74O
W7	P2_15 / PWGA75O
W8	IP0_0 / XT2
W9	P2_3 / RLIN28TX
W10	P2_2 / RLIN28RX
W11	JP0_6 / $\overline{\text{EVTO}}$
W12	P1_4 / RLIN35RX / INTP15 / DPIN18
W13	P2_4 / RLIN29RX / ADCA0SEL0
W14	P8_0 / TAUJ0I0 / TAUJ0O0 / DPIN2 / PWGA14O / INTP4 / CSIH0CSS0 / CAN6RX / INTP6 / ADCA0I0S / RIIC1SDA / SENT0RX
W15	P8_4 / TAUJ0I2 / TAUJ0O2 / DPIN4 / CSIH0CSS2 / INTP8 / PWGA36O / CAN7RX / INTP9 / ADCA0I6S
W16	P3_2 / PWGA81O
W17	P8_8 / CSIH3CSS1 / PWGA40O / ADCA0SEL1 / RLIN34RX / INTP14 / ADCA0I15S
W18	P3_4 / PWGA83O
W19	P3_8 / PWGA87O
W20	AP0_15 / ADCA0I15
Y1	EVSS

表 2B.8　　端子配置 272-Pin FPBGA (RH850/F1KM-S4)

端子番号	端子名
Y2	P8_11 / TAUJ1I2 / TAUJ1O2 / DPIN15 / PWGA43O / CSIH1CSS4 / RLIN25RX / ADCA0I18S
Y3	JP0_4 / $\overline{\text{DCUTRST}}$
Y4	P2_1 / RLIN27TX / CAN6TX
Y5	P1_10 / RLIN24RX / DPIN21 / INTP22 / ADCA1TRG1
Y6	P1_8
Y7	$\overline{\text{RESET}}$
Y8	XT1
Y9	AWOVSS
Y10	X2
Y11	X1
Y12	P0_10 / INTP3 / CSIH1CSS1 / DPIN11 / RLIN22TX / TAUB0I6 / TAUB0O6 / CAN4TX
Y13	P1_5 / ADCA1TRG0 / RLIN35TX / DPIN17 / INTP20
Y14	P1_14 / RLIN23RX / CAN7RX / INTP9
Y15	P8_3 / TAUJ0I1 / TAUJ0O1 / DPIN3 / CSIH0CSS1 / INTP7 / PWGA23O / CAN7TX / ADCA0I5S
Y16	P8_5 / TAUJ0I3 / TAUJ0O3 / NMI / CSIH0CSS3 / INTP9 / PWGA37O / ADCA0I7S
Y17	P8_6 / NMI / CSIH0CSS4 / PWGA38O / RTCA0OUT / ADCA0I8S / $\overline{\text{RESETOUT}}$
Y18	P8_9 / CSIH3CSS2 / PWGA41O / ADCA0SEL2 / RLIN34TX / ADCA0I16S
Y19	P3_5 / PWGA84O
Y20	A0VSS

2B.2　端子説明

表 2B.9　　端子機能 (RH850/F1KM-S4, RH850/F1KM-S2)

端子名	端子数					I/O	機能	関連機能
	100 Pin	144 Pin	176 Pin	233 Pin 注 1	272 Pin 注 1			
AnVREF	○ n=0	○ n=0、1	○ n=0、1	○ n=0、1	○ n=0、1	—	ADCAn 電圧供給と基準電圧	ADCAn
AnVSS	○ n=0	○ n=0、1	○ n=0、1	○ n=0、1	○ n=0、1	—	ADCAn グランド	
ADCA0Im	○ m=0～15	○ m=0～15	○ m=0～15	○ m=0～15	○ m=0～15	I	12 ビット分解能の ADCA0 入力チャネル m	
ADCA1Im	—	○ m=0～7	○ m=0～15	○ m=0～15	○ m=0～15	I	12 ビット分解能の ADCA1 入力チャネル m	
ADCA0ImS	○ m=2～11、 14～19	○ m=0～11、 14～19	○ m=0～11、 14～19	○ m=0～11、 14～19	○ m=0～11、 14～19	I	10 ビット分解能の ADCA0 入力チャネル m	
ADCA1ImS	—	○ m=0～3	○ m=0～7	○ m=0～19	○ m=0～19	I	10 ビット分解能の ADCA1 入力チャネル m	
ADCA0SELy	○ y=0～2	○ y=0～2	○ y=0～2	○ y=0～2	○ y=0～2	O	ADCA0 入力用、外付け MPX 選択端子 y	
ADCAnTRGy	○ n=0、 y=0～2	○ n=0、1、 y=0～2	○ n=0、1、 y=0～2	○ n=0、1、 y=0～2	○ n=0、1、 y=0～2	I	ADCAn 外部トリガ端子 y	
AP0_m	○ m=0～15	○ m=0～15	○ m=0～15	○ m=0～15	○ m=0～15	IO	アナログポート 0_m	ポート
AP1_m	—	○ m=0～7	○ m=0～15	○ m=0～15	○ m=0～15	IO	アナログポート 1_m	
APO	○	○	○	○	○	O	アナログ入力用ポート出力	LPS0
AWOVCL	○	○	○	○	○	—	Always-On エリア（AWO エリア）電圧レギュレータ用コンデンサ接続	電源
AWOVSS	○	○	○	○	○	—	Always-On エリア（AWO エリア）内蔵ロジック用グランド	
BVCC	—	○	○	○	○	—	ポートバッファ電圧供給	
BVSS	—	○	○	○	○	—	ポートバッファグランド	
CANzRX	○ z=0～7	○ z=0～7	○ z=0～7	○ z=0～7	○ z=0～7	I	CANz 受信データ入力	RCFDCn
CANzTX	○ z=0～7	○ z=0～7	○ z=0～7	○ z=0～7	○ z=0～7	O	CANz 送信データ出力	
CSCXFOUT	○	○	○	○	○	O	クロック出力	クロック
CSIGnRYI	○ n=0	○ n=0、1	○ n=0～3	○ n=0～3	○ n=0～3	I	CSIGn レディ（1）／ビジー（0）入力信号	CSIGn
CSIGnRYO	○ n=0	○ n=0、1	○ n=0～3	○ n=0～3	○ n=0～3	O	CSIGn レディ（1）／ビジー（0）出力信号	
CSIGnSC	○ n=0	○ n=0、1	○ n=0～3	○ n=0～3	○ n=0～3	IO	CSIGn シリアルクロック信号	
CSIGnSI	○ n=0	○ n=0、1	○ n=0～3	○ n=0～3	○ n=0～3	I	CSIGn シリアルデータ入力	
CSIGnSO	○ n=0	○ n=0、1	○ n=0～3	○ n=0～3	○ n=0～3	O	CSIGn シリアルデータ出力	
$\overline{\text{CSIGnSSI}}$	○ n=0	○ n=0、1	○ n=0～3	○ n=0～3	○ n=0～3	I	CSIGn SS 機能制御入力信号	

表 2B.9　　端子機能（RH850/F1KM-S4, RH850/F1KM-S2）

端子名	端子数					I/O	機能	関連機能
	100 Pin	144 Pin	176 Pin	233 Pin 注1	272 Pin 注1			
CSIHnCSS0	○	○	○	○	○	O	CSIHn シリアル周辺チップ選択信号 0	CSIHn
	n=0~3	n=0~3	n=0~3	n=0~3	n=0~3			
CSIHnCSS1	○	○	○	○	○	O	CSIHn シリアル周辺チップ選択信号 1	
	n=0~3	n=0~3	n=0~3	n=0~3	n=0~3			
CSIHnCSS2	○	○	○	○	○	O	CSIHn シリアル周辺チップ選択信号 2	
	n=0~3	n=0~3	n=0~3	n=0~3	n=0~3			
CSIHnCSS3	○	○	○	○	○	O	CSIHn シリアル周辺チップ選択信号 3	
	n=0、2、3	n=0~3	n=0~3	n=0~3	n=0~3			
CSIHnCSS4	○	○	○	○	○	O	CSIHn シリアル周辺チップ選択信号 4	
	n=0、1	n=0~2	n=0~2	n=0~2	n=0~2			
CSIHnCSS5	○	○	○	○	○	O	CSIHn シリアル周辺チップ選択信号 5	
	n=0、1	n=0~2	n=0~2	n=0~2	n=0~2			
CSIHnCSS6	○	○	○	○	○	O	CSIHn シリアル周辺チップ選択信号 6	
	n=0	n=0	n=0	n=0	n=0			
CSIHnCSS7	○	○	○	○	○	O	CSIHn シリアル周辺チップ選択信号 7	
	n=0	n=0	n=0	n=0	n=0			
CSIHnRYI	○	○	○	○	○	I	CSIHn レディ（1）／ビジー（0）入力信号	
	n=0、1	n=0~3	n=0~3	n=0~3	n=0~3			
CSIHnRYO	○	○	○	○	○	O	CSIHn レディ（1）／ビジー（0）出力信号	
	n=0、1	n=0~3	n=0~3	n=0~3	n=0~3			
CSIHnSC	○	○	○	○	○	IO	CSIHn シリアルクロック信号	
	n=0~3	n=0~3	n=0~3	n=0~3	n=0~3			
CSIHnSI	○	○	○	○	○	I	CSIHn シリアルデータ入力	
	n=0~3	n=0~3	n=0~3	n=0~3	n=0~3			
CSIHnSO	○	○	○	○	○	O	CSIHn シリアルデータ出力	
	n=0~3	n=0~3	n=0~3	n=0~3	n=0~3			
$\overline{\text{CSIHnSSI}}$	○	○	○	○	○	I	CSIHn スレーブ選択入力信号	
	n=0~3	n=0~3	n=0~3	n=0~3	n=0~3			
$\overline{\text{DCURDY}}$	○	○	○	○	○	O	デバッグレディ	OCD
DCUTCK	○	○	○	○	○	I	デバッグクロック	
DCUTDI	○	○	○	○	○	I	デバッグデータ入力	
DCUTDO	○	○	○	○	○	O	デバッグデータ出力	
DCUTMS	○	○	○	○	○	I	デバッグモード選択	
$\overline{\text{DCUTRST}}$	○	○	○	○	○	I	デバッグリセット	
DPINm	○	○	○	○	○	I	デジタルポート入力 m	LPS0
	m=1~16	m=0~23	m=0~23	m=0~23	m=0~23			
DPO	○	○	○	○	○	O	デジタル入力用ポート出力	
ENCA0TINm	○	○	○	○	○	I	ENCA0 キャプチャトリガ入力 m	ENCAn
	m=0、1	m=0、1	m=0、1	m=0、1	m=0、1			
ENCA0E0	○	○	○	○	○	I	ENCA0 エンコーダ入力 0	
ENCA0E1	○	○	○	○	○	I	ENCA0 エンコーダ入力 1	
ENCA0EC	○	○	○	○	○	I	ENCA0 エンコーダクリア入力	
ETNB0LINK 注1	—	—	○	○	○	I	PHY リンクステータス	ETNBn
ETNB0MDC 注1	—	—	○	○	○	O	PHY マネジメントクロック	
ETNB0MDIO 注1	—	—	○	○	○	IO	マネジメント送受信データ信号	
ETNB0RXCLK 注1	—	—	○	○	○	I	MII 受信クロック	
ETNB0RXD[3:0] 注1	—	—	○	○	○	I	MII 受信データ入力	
ETNB0RXDV 注1	—	—	○	○	○	I	MII 受信データ有効	
ETNB0RXERR 注1	—	—	○	○	○	I	MII 受信エラー	
ETNB0TXCLK 注1	—	—	○	○	○	I	MII 送信クロック	

表 2B.9 端子機能 (RH850/F1KM-S4, RH850/F1KM-S2)

端子名	端子数					I/O	機能	関連機能
	100 Pin	144 Pin	176 Pin	233 Pin 注1	272 Pin 注1			
ETNB0TXD[3:0] 注1	—	—	○	○	○	O	MII 送信データ出力	ETNBn
ETNB0TXEN 注1	—	—	○	○	○	O	MII 送信データ許可	
EVCC	○	○	○	○	○	—	ポートバッファ電圧供給	電源
EVSS	○	○	○	○	○	—	ポートバッファグランド	
EVTO	—	○	○	○	○	O	イベント出力	TEU_OUT
FLMD0	○	○	○	○	○	I	動作モード選択端子 0	モード
FLMD1	○	○	○	○	○	I	動作モード選択端子 1	
FLXA0RXDA 注1	○	○	○	○	○	I	FLXA0 チャネル A 受信データ入力	FLXAn
FLXA0RXDB 注1	○	○	○	○	○	I	FLXA0 チャネル B 受信データ入力	
FLXA0STPWT 注1	○	○	○	○	○	I	FLXA0 ストップウォッチトリガ入力	
FLXA0TXDA 注1	○	○	○	○	○	O	FLXA0 チャネル A 送信データ出力	
FLXA0TXDB 注1	○	○	○	○	○	O	FLXA0 チャネル B 送信データ出力	
FLXA0TXENA 注1	○	○	○	○	○	O	FLXA0 チャネル A 送信データ許可	
FLXA0TXENB 注1	○	○	○	○	○	O	FLXA0 チャネル B 送信データ許可	
FPDR	○	○	○	○	○	I	シリアル通信インタフェース RXD	FLASH
FPDT	○	○	○	○	○	O	シリアル通信インタフェース TXD	
FPCK	○	○	○	○	○	I	シリアル通信インタフェースクロック	
INTPm	○	○	○	○	○	I	外部割り込み入力 m	INTC
	m=0～13	m=0～23	m=0～23	m=0～23	m=0～23			
IP0_0	—	○	○	○	○	I	入力ポート 0_0	ポート
ISOVCL	○	○	○	○	○	—	Isolated エリア（ISO エリア）電圧レギュレータ用コンデンサ接続	電源
ISOVSS	○	○	○	○	○	—	Isolated エリア（ISO エリア）内蔵ロジック用グランド	
JP0_m	○	○	○	○	○	IO	JTAG ポート 0_m	JTAG
	m=0～5	m=0～6	m=0～6	m=0～6	m=0～6			
KR0Im	○	○	○	○	○	I	KR0 キー入力信号	KRn
	m=0～7	m=0～7	m=0～7	m=0～7	m=0～7			
LPDCLK	○	○	○	○	○	I	LPD クロック入力（4 pin）	LPD
LPDCLKOUT	○	○	○	○	○	O	LPD クロック出力（4 pin）	
LPDI	○	○	○	○	○	I	LPD データ入力（4 pin）	
LPDIO	○	○	○	○	○	IO	LPD データ入力／出力（1 pin）	
LPDO	○	○	○	○	○	O	LPD データ出力（4 pin）	
MEMC0Am 注1	—	—	○	○	○	O	MEMC0 アドレス m	MEMCn
			m=16～22	m=16～22	m=16～23			
MEMC0ADm 注1	—	—	○	○	○	IO	MEMC0 アドレス／データ m	
			m=0～15	m=0～15	m=0～15			
MEMC0ASTB 注1	—	—	○	○	○	O	MEMC0 アドレスストローブ	
MEMC0BENm 注1	—	—	○	○	○	O	MEMC0 バイトイネーブル m	
			m=0、1	m=0、1	m=0、1			
MEMC0CLK 注1	—	—	○	○	○	O	MEMC0 クロック出力	
MEMC0CSm 注1	—	—	○	○	○	O	MEMC0 チップ選択 m	
			m=0～3	m=0～3	m=0～3			
MEMC0RD 注1	—	—	○	○	○	O	MEMC0 リードストローブ	
MEMC0WAIT 注1	—	—	○	○	○	I	MEMC0 ウェイト入力	
MEMC0WR 注1	—	—	○	○	○	O	MEMC0 ライトストローブ	
MODEm	○	○	○	○	○	I	サブ動作モード選択	モード
	m=0～2	m=0～2	m=0～2	m=0～2	m=0～2			
NMI	○	○	○	○	○	I	外部ノンマスカブル割り込み入力	INTC

表 2B.9　　端子機能（RH850/F1KM-S4, RH850/F1KM-S2）

端子名	端子数					I/O	機能	関連機能
	100 Pin	144 Pin	176 Pin	233 Pin [注1]	272 Pin [注1]			
P0_m	○ m=0～14	○ m=0～14	○ m=0～14	○ m=0～14	○ m=0～14	IO	ポート 0_m	ポート
P1_m	—	○ m=0～5、8～11	○ m=0～5、8～15	○ m=0～5、8～15	○ m=0～5、8～15	IO	ポート 1_m	
P2_m	—	—	○ m=0～6	○ m=0～15	○ m=0～15	IO	ポート 2_m	
P3_m [注1]	—	—	—	○ m=0	○ m=0～10	IO	ポート 3_m	
P8_m	○ m=2～12	○ m=0～12	○ m=0～12	○ m=0～12	○ m=0～12	IO	ポート 8_m	
P9_m	○ m=0～4	○ m=0～4	○ m=0～4	○ m=0～4	○ m=0～4	IO	ポート 9_m	
P10_m	○ m=0～14	○ m=0～15	○ m=0～15	○ m=0～15	○ m=0～15	IO	ポート 10_m	
P11_m	○ m=1～7	○ m=0～12、15	○ m=0～12、15	○ m=0～12、15	○ m=0～12、15	IO	ポート 11_m	
P12_m	—	○ m=0～2	○ m=0～5	○ m=0～5	○ m=0～5	IO	ポート 12_m	
P13_m [注1]	—	—	—	○ m=0～7	○ m=0～7	IO	ポート 13_m	
P18_m	—	○ m=0～3	○ m=0～7	○ m=0～15	○ m=0～15	IO	ポート 18_m	
P19_m [注1]	—	—	—	○ m=0～3	○ m=0～3	IO	ポート 19_m	
P20_m	—	○ m=4、5	○ m=0～5	○ m=0～5	○ m=0～14	IO	ポート 20_m	
P21_m [注1]	—	—	—	—	○ m=0～4	IO	ポート 21_m	
P22_m [注1]	—	—	—	—	○ m=0～15	IO	ポート 22_m	
PWGAnO	○ n=0～13、16～23、26～47	○ n=0～63	○ n=0～71	○ n=0～79	○ n=0～95	O	PWGAn 出力信号	PWGAn
REGVCC	○	○	○	○	○	—	電圧レギュレータ電圧供給	電源
$\overline{\text{RESET}}$	○	○	○	○	○	I	外部リセット入力	リセット
$\overline{\text{RESETOUT}}$	○	○	○	○	○	O	リセット出力	
RIICnSCL	○ n=0、1	○ n=0、1	○ n=0、1	○ n=0、1	○ n=0、1	IO	RIICn シリアルクロック	RIICn
RIICnSDA	○ n=0、1	○ n=0、1	○ n=0、1	○ n=0、1	○ n=0、1	IO	RIICn シリアルデータ	
RLIN2mRX	○ m=0～2	○ m=0～5	○ m=0～9	○ m=0～11	○ m=0～11	I	RLIN2m 受信データ入力	RLIN24n
RLIN2mTX	○ m=0～2	○ m=0～5	○ m=0～9	○ m=0～11	○ m=0～11	O	RLIN2m 送信データ出力	
RLIN3nRX	○ n=0～2	○ n=0～5	○ n=0～7	○ n=0～7	○ n=0～7	I	RLIN3n 受信データ入力	RLIN3n
RLIN3nTX	○ n=0～2	○ n=0～5	○ n=0～7	○ n=0～7	○ n=0～7	O	RLIN3n 送信データ出力	
RTCA0OUT	○	○	○	○	○	O	RTCA0 1Hz 出力	RTCAn
SELDPk	○ k=0～2	○ k=0～2	○ k=0～2	○ k=0～2	○ k=0～2	O	デジタルポート用外部マルチプレクサ選択出力信号 k	LPS0

表 2B.9　　端子機能 (RH850/F1KM-S4, RH850/F1KM-S2)

端子名	端子数					I/O	機能	関連機能
	100 Pin	144 Pin	176 Pin	233 Pin 注1	272 Pin 注1			
SENTnRX	○	○	○	○	○	I	SENT 受信データ入力	RSENTn
	n=1	n=0～1	n=0～1	n=0～1	n=0～1			
SENTnSPCO	○	○	○	○	○	O	SENT SPC 拡張出力	
	n=1	n=0～1	n=0～1	n=0～1	n=0～1			
SFMA0CLK	—	○	○	○	○	O	SFMA0 クロック	SFMAn
SFMA0IOm	—	○	○	○	○	IO	SFMA0 マスタデータ入出力	
		m=0～3	m=0～3	m=0～3	m=0～3			
SFMA0SSL	—	○	○	○	○	O	SFMA0 スレーブ選択	
TAPA0ESO	○	○	○	○	○	I	Hi-Z 制御	TAPAn
TAPA0UN	○	○	○	○	○	O	モータ制御出力 U 相（逆相）	
TAPA0UP	○	○	○	○	○	O	モータ制御出力 U 相（正相）	
TAPA0VN	○	○	○	○	○	O	モータ制御出力 V 相（逆相）	
TAPA0VP	○	○	○	○	○	O	モータ制御出力 V 相（正相）	
TAPA0WN	○	○	○	○	○	O	モータ制御出力 W 相（逆相）	
TAPA0WP	○	○	○	○	○	O	モータ制御出力 W 相（正相）	
TAUBnIm	○	○	○	○	○	I	TAUBn チャネル入力 m	TAUBn
	n=0、m=0～8、10、12～15	n=0、m=0～15	n=0、1、m=0～15	n=0、1、m=0～15	n=0、1、m=0～15			
TAUBnOm	○	○	○	○	○	O	TAUBn チャネル出力 m	
	n=0, m=0～8、10、12～15	n=0、m=0～15	n=0、1、m=0～15	n=0、1、m=0～15	n=0、1、m=0～15			
TAUD0Im	○	○	○	○	○	I	TAUD0 チャネル入力 m	TAUDn
	m=0～15	m=0～15	m=0～15	m=0～15	m=0～15			
TAUD0Om	○	○	○	○	○	O	TAUD0 チャネル出力 m	
	m=0～15	m=0～15	m=0～15	m=0～15	m=0～15			
TAUJnIm	○	○	○	○	○	I	TAUJn チャネル入力 m	TAUJn
	n=0～3、m=0～3	n=0～3、m=0～3	n=0～3、m=0～3	n=0～3、m=0～3	n=0～3、m=0～3			
TAUJnOm	○	○	○	○	○	O	TAUJn チャネル出力 m	
	n=0～3、m=0～3	n=0～3、m=0～3	n=0～3、m=0～3	n=0～3、m=0～3	n=0～3、m=0～3			
X1、X2	○	○	○	○	○	—	メイン発振子接続	MOSC
XT1、XT2	—	○	○	○	○	—	サブ発振子接続	SOSC

注1.　RH850/F1KM-S4 のみ対応

注　意

周辺機能端子を複数個所に割り当てている場合、同じチャネルグループ端子は、同一ポートグループもしくは近傍のポート端子を使用してください。

- （例）RS-CANFD チャネル 0 を使用する場合

  CAN0TX　P0_0　P10_1

  CAN0RX　P0_1　P10_0

  以下の端子組み合わせのどちらかで使用してください。

  － P0_0, P0_1

  － P10_0, P10_1

  P0_0, P10_0 の組み合わせおよび P0_1, P10_1 の組み合わせは禁止です。

2B.3　リセット期間中／解除後の端子機能

表 2B.10　リセット期間中／解除後の端子機能

端子	リセット中	リセット後
JP0_0	ハイインピーダンス	JP0_0：ハイインピーダンス シリアルプログラミングモード：FPDR, FPDT（1 wire UART）， FPDR（2 wire UART） Nexus I/F：DCUTDI 入力 LPD（4 pin）：LPDI 入力 LPD（1 pin）：LPDIO 入出力
JP0_1	ハイインピーダンス	JP0_1：ハイインピーダンス シリアルプログラミングモード：FPDT Nexus I/F：DCUTDO 出力 LPD（4 pin）：LPDO 出力 LPD（1 pin）：ハイインピーダンス
JP0_2	ハイインピーダンス	JP0_2：ハイインピーダンス シリアルプログラミングモード：FPCK Nexus I/F：DCUTCK 入力 LPD（4 pin）：LPDCLK 入力 LPD（1 pin）：ハイインピーダンス
JP0_3	ハイインピーダンス	JP0_3：ハイインピーダンス シリアルプログラミングモード：ハイインピーダンス Nexus I/F：DCUTMS 入力 LPD（4 pin）：ハイインピーダンス LPD（1 pin）：ハイインピーダンス
JP0_4	入力[注2、注5]	JP0_4：ハイインピーダンス シリアルプログラミングモード：ハイインピーダンス Nexus I/F：$\overline{\text{DCUTRST}}$ 入力[注1] LPD（4 pin）：ハイインピーダンス LPD（1 pin）：ハイインピーダンス
JP0_5	ハイインピーダンス	JP0_5：ハイインピーダンス シリアルプログラミングモード：ハイインピーダンス Nexus I/F：$\overline{\text{DCURDY}}$ 出力 LPD（4 pin）：LPDCLKOUT 出力 LPD（1 pin）：ハイインピーダンス
JP0_6	ハイインピーダンス	JP0_6：ハイインピーダンス シリアルプログラミングモード：ハイインピーダンス Nexus I/F：$\overline{\text{EVTO}}$ 出力 LPD（4 pin）：ハイインピーダンス LPD（1 pin）：ハイインピーダンス
P8_6	出力[注2、注4]	出力（OPBT0.RESETOUTEN＝1）[注2] ハイインピーダンス（OPBT0.RESETOUTEN＝0）[注2、注4]
P0～P3、P8～P13、P18～P22（P8_6、P10_1、P10_2、P10_6、P10_8 を除く）	ハイインピーダンス	ハイインピーダンス
P10_1	ハイインピーダンス	ハイインピーダンス（FLMD0＝0） ハイインピーダンス（FLMD0＝1, FLMD1＝0） MODE0 入力（FLMD0＝1, FLMD1＝1）
P10_2	ハイインピーダンス	ハイインピーダンス（FLMD0＝0） ハイインピーダンス（FLMD0＝1, FLMD1＝0） MODE1 入力（FLMD0＝1, FLMD1＝1）

表 2B.10　　リセット期間中／解除後の端子機能

端子	リセット中	リセット後
P10_6	ハイインピーダンス	ハイインピーダンス（FLMD0＝0） ハイインピーダンス（FLMD0＝1, FLMD1＝0） ハイインピーダンス（FLMD0＝1, FLMD1＝1, MODE0＝0, MODE1＝0） ハイインピーダンス（FLMD0＝1, FLMD1＝1, MODE0＝0, MODE1＝1） ハイインピーダンス（FLMD0＝1, FLMD1＝1, MODE0＝1, MODE1＝0） MODE2 入力（FLMD0＝1, FLMD1＝1, MODE0＝1, MODE1＝1）
P10_8	ハイインピーダンス	ハイインピーダンス（FLMD0＝0） FLMD1 入力（FLMD0＝1）
FLMD0	入力	入力
$\overline{\text{RESET}}$	入力	入力
AP0、AP1	ハイインピーダンス	ハイインピーダンス

注1.　Nexus を有効にし、かつ外部機器を接続しない場合は、端子レベルを常時ロウレベルに固定にする必要があります。

注2.　$\overline{\text{RESETOUT}}$ となります。詳細は「**2B.11　ポート（特殊 I/O）機能概要**」を参照してください。

注3.　パワーオン時および $\overline{\text{RESET}}$ がロウレベルの時は、JP0_4 端子にロウレベルを入力してください。

注4.　OPBT0.RESETOUTEN が 0 の場合、内部リセット要因によってリセット状態に遷移する瞬間に、P8_6 端子の状態が不安定になる可能性があります。

注5.　$\overline{\text{RESET}}$ がロウレベルのとき、JP0_4 には内蔵プルダウン抵抗が接続されます。

2B.4　スタンバイモード時のポート状態

スタンバイモード時のポート状態は、「**14.1.4 入出力バッファ制御**」を参照してください。

2B.5　未使用端子の推奨接続

端子が未使用の場合、下記のように接続することを推奨します。

表 2B.11　未使用端子の推奨接続 (RH850/F1KM-S4, RH850/F1KM-S2)

端子	未使用端子の推奨接続情報
A0VREF、A1VREF 注1	**[100-Pin LQFP を除く]** EVCC or BVCC に接続 **[100-Pin LQFP]** EVCC に接続
A0VSS、A1VSS 注1	**[100-Pin LQFP を除く]** EVSS or BVSS に接続 **[100-Pin LQFP]** EVSS に接続
$\overline{\text{RESET}}$	**[100-Pin LQFP を除く]** 抵抗を介して EVCC or BVCC に接続 **[100-Pin LQFP]** 抵抗を介して EVCC に接続
XT1	抵抗を介して REGVCC or AWOVSS に接続（IPIBC0 のビット 0＝1）注3 AWOVSS に接続（IPIBC0 のビット 0＝0）
X1	抵抗を介して AWOVSS に接続
X2	オープン
IP0_0	抵抗を介して REGVCC or AWOVSS に接続（IPIBC0 のビット 0＝1）注3 オープン（IPIBC0 のビット 0＝0）
JP0（JP0_4 を除く） P0 P1 P2 P3 注4 P8（P8_6 を除く） P9 P20	入力時：　オープン（PIBCn_m ビット＝0 かつ PMCn_m ビット＝0 のとき） 抵抗を介して EVCC or EVSS に接続（PIBCn_m ビット＝1 または PMCn_m ビット＝1 のとき） 出力時：　オープン
P8_6	入力時：　オープン（PIBCn_m ビット＝0 かつ PMCn_m ビット＝0 のとき） 抵抗を介して EVSS に接続（PIBCn_m ビット＝1 または PMCn_m ビット＝1 のとき） 出力時：　オープン
JP0_4	抵抗を介して EVSS に接続
P10_1, P10_2, P10_6, P10_8	入力時：　オープン（PIBCn_m ビット＝0 かつ PMCn_m ビット＝0 のとき） 抵抗を介して EVSS に接続（PIBCn_m ビット＝1 または PMCn_m ビット＝1 のとき） 出力時：　オープン

表 2B.11　未使用端子の推奨接続 (RH850/F1KM-S4, RH850/F1KM-S2)

端子	未使用端子の推奨接続情報
P10（P10_1, P10_2, P10_6, P10_8 を除く） P11 P12 P13[注4] P18 P19[注4] P21[注4] P22[注4]	**[100-Pin LQFP を除く]** 入力時：　オープン（PIBCn_m ビット＝0 かつ PMCn_m ビット＝0 のとき） 抵抗を介して BVCC or BVSS に接続（PIBCn_m ビット＝1 または PMCn_m ビット＝1 のとき） 出力時：　オープン **[100-Pin LQFP]** 入力時：　オープン（PIBCn_m ビット＝0 かつ PMCn_m ビット＝0 のとき） 抵抗を介して EVCC or EVSS に接続（PIBCn_m ビット＝1 または PMCn_m ビット＝1 のとき） 出力時：　オープン
AP0	入力時：　オープン（PIBCn_m ビット＝0 のとき） 抵抗を介して A0VREF or A0VSS に接続（PIBCn_m ビット＝1 のとき） 出力時：　オープン
AP1	入力時：　オープン（PIBCn_m ビット＝0 のとき） 抵抗を介して A1VREF or A1VSS に接続（PIBCn_m ビット＝1 のとき） 出力時：　オープン
Nexus/LPD I/F (JP0)	DCUTDI/LPDI/LPDIO (JP0_0)：抵抗を介して EVCC に接続 DCUTDO/LPDO (JP0_1)：オープン DCUTCK/LPDCLK (JP0_2)：オープン DCUTMS (JP0_3)：抵抗を介して EVCC に接続 $\overline{\text{DCUTRST}}$ (JP0_4)：抵抗を介して EVSS に接続[注2] $\overline{\text{DCURDY}}$ /LPDCLKOUT (JP0_5)：オープン $\overline{\text{EVTO}}$ (JP0_6)：オープン[注1]

注1.　272-pin、233-pin、176-pin、144-pin 製品のみ対応

注2.　デバッグインタフェースを使用する場合、サードパーティ製開発ツールによっては、抵抗を介して EVCC に接続する必要があります。

注3.　XT1＝IP0_0（XT2）＝REGVCC or AWOVSS としてください。
XT1 と IP0_0（XT2）は内部抵抗を介して接続されています。そのため、電流経路を作らないために等しい電圧レベル維持する必要があります。

注4.　RH850/F1KM-S4 のみ対応

2B.6　RH850/F1KM ポートの特長

2B.6.1　ポートグループ

この製品には下記番号のポートグループがあります。

表 2B.12　RH850/F1KM-S4, RH850/F1KM-S2 のポートグループ

端子数	ポートグループ	RH850/F1KM-S4
100 Pin	数	7
	名称	P0、P8～P11、JP0、AP0
144 Pin	数	13
	名称	P0、P1、P8～P12、P18、P20、JP0、AP0、AP1、IP0
176 Pin	数	14
	名称	P0～P2、P8～P12、P18、P20、JP0、AP0、AP1、IP0
233 Pin 注1	数	17
	名称	P0～P3、P8～P13、P18～P20、JP0、AP0、AP1、IP0
272 Pin 注1	数	19
	名称	P0～P3、P8～P13、P18～P22、JP0、AP0、AP1、IP0

注1.　RH850/F1KM-S4 のみ対応

2B.6.2　ポートグループインデクス n

本章では、ポートグループを “n” により識別します。たとえば、Pn 端子のポートモードコントロールレジスタは、PMCn（n＝0～3、8～13、18～22）と記述します。

2B.6.3　レジスタベースアドレス

ポートおよび JTAG ポートのベースアドレスを以下の表に示します。

ポートおよび JTAG ポートのレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 2B.13　レジスタベースアドレス

ベースアドレス名	ベースアドレス
<PORTn_base>	FFC1 0000_H
<JPORT0_base>	FFC2 0000_H

2B.6.4　クロック供給

ポートのクロック供給を以下の表に示します。

表 2B.14　クロック供給

ユニット名	ユニットクロック名	供給クロック名
ポート	レジスタアクセスクロック	CPUCLK_UL

2B.7　ポートの機能

この製品は、さまざまな入出力ポートの端子を備えています。ポートはポートグループに編成されています。

この製品は、汎用入出力以外の機能を端子に割り当てる制御レジスタも備えています。

端子、ポート、またはポートグループの用語の説明は、「**2B.7.2 用語**」を参照してください。

2B.7.1　機能概要

- すべてのポートが個別に設定可能
- 各ポートの最大ビット（端子）数は 16
- 任意の端子の出力レベルは、同じポートの他の端子に影響を与えることなく、同時設定が可能
- 入力バッファ許可信号はレジスタ設定によって設定可能
- 端子レベルは専用のポート端子リードレジスタ（PPR）によってリード可能
- ポートは「**2B.9.2 端子機能の設定**」、「**表 2B.43 JTAG ポート 0（JP0）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.45 ポート 0（P0）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.47 ポート 1（P1）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.49 ポート 2（P2）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.51 ポート 3（P3）(RH850/F1KM-S4)**」、「**表 2B.53 ポート 8（P8）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.55 ポート 9（P9）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.57 ポート 10（P10）(RH850/F1KM-S4)**」、「**表 2B.58 ポート 10（P10）(RH850/F1KM-S2)**」、「**表 2B.61 ポート 11（P11）(RH850/F1KM-S4)**」、「**表 2B.62 ポート 11（P11）(RH850/F1KM-S2)**」、「**表 2B.65 ポート 12（P12）(RH850/F1KM-S4)**」、「**表 2B.66 ポート 12（P12）(RH850/F1KM-S2)**」、「**表 2B.69 ポート 13（P13）(RH850/F1KM-S4)**」、「**表 2B.71 ポート 18（P18）(RH850/F1KM-S4)**」、「**表 2B.72 ポート 18（P18）(RH850/F1KM-S2)**」、「**表 2B.75 ポート 19（P19）(RH850/F1KM-S4)**」、「**表 2B.77 ポート 20（P20）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.79 ポート 21（P21）(RH850/F1KM-S4)**」、「**表 2B.81 ポート 22（P22）(RH850/F1KM-S4)**」、「**表 2B.83 アナログポート 0（AP0）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.85 アナログポート 1（AP1）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.87 入力ポート 0（IP0）(RH850/F1KM-S4, RH850/F1KM-S2)**」に示す機能をサポート

注　意

本デバイスは、入力機能または出力機能を複数のポートに割り当てる兼用機能を持っていますが、アクティブに設定できるのは 1 ポートのみです。複数のポートを同時にアクティブにしないでください。ひとつの兼用機能に複数の周辺機能が割り当てられていて、一方の機能のみ使用する場合も該当します。

例）

INTP0 は、本デバイス上の以下のポートに割り当てられますが、アクティブにできるのは 1 ポートのみです。他のポートはアクティブにしないでください。

- JP0_0（第 1 入力兼用機能）
- P0_1（第 2、第 3 入力兼用機能）
- P10_0（第 2 入力兼用機能）

上記の場合 JP0_0 の第 1 入力兼用機能（INTP0）を選択し、P0_1 を第 2 入力兼用機能（CAN0RX／INTP0）を CAN としてのみ使用する場合でも設定は禁止です。

2B.7.2　用語

本章で使用されている用語について説明します。

端子

物理的な端子を表します。端子ごとに一意の端子番号で表されます。
端子は複数のモードで使用できます。選択したモードによって、端子機能を示す名称が割り当てられます。

ポートグループ

端子のグループを表します。同じポートグループの端子は、同じポートコントロールレジスタで制御されます。

ポートモード／ポート

ポートモードの端子は、汎用入出力端子として機能します。このような場合に端子を「ポート」と呼びます。
対応する名称は Pn_m です。たとえば、P0_7 はポートグループ 0 のポート 7 を示します。これを「ポート P0_7」と表します。

兼用モード

兼用モードでは、端子は内蔵周辺機能の入出力端子などのさまざまな汎用入出力以外の機能として使用されます。
対応する端子名は、選択した機能によって異なります。たとえば、INTP0 端子は外部割り込み入力用の端子を表します。
なお、複数の異なる名称、たとえば P0_0 と INTP0 が物理的に同じ端子を表す可能性があります。それぞれの名称は、端子の機能を示します。

2B.7.2.1　JTAG ポート

JTAG ポートグループは、オンチップデバッグ時にデバッガと接続するために使用されます。

JTAG ポートグループのレジスタとビットの名称には先頭に「J」が付加されています。たとえば、JP0 は JTAG ポートグループ 0、JPM0.JPM0_m は JPM0 ポートモードレジスタの JPM0_m ポートモードビットを意味します。

備　考

本章では、断りがない限り、すべてのポートと、PFCAEn、PIPCn 以外のレジスタの説明は、JTAG ポートも含みます。

2B.7.3　端子機能概要

端子は、3 つのモードで動作することができます。

- ポートモード（PMCn.PMCn_m ビット＝0）

  ポートモードでは、端子は汎用入出力ポートとして動作します。PMn.PMn_m ビットで入力／出力を選択します。

- S/W I/O 制御兼用モード（PMCn.PMCn_m ビット＝1、PIPCn.PIPCn_m ビット＝0）

  S/W I/O 制御兼用モードでは、端子は兼用機能によって動作します。入力／出力の選択は、PMn.PMn_m コントロールビットの設定によって行われます。

- 直接 I/O 制御兼用モード（PMCn.PMCn_m ビット＝1、PIPCn.PIPCn_m ビット＝1）

  直接 I/O 制御兼用モードでは、端子は兼用機能によって動作します。S/W I/O 制御兼用モードと違い、兼用機能によって入力／出力が直接制御されます。

レジスタ設定の概要は下表に示します。

表 2B.15　端子機能の設定（概要）

モード	ビット			I/O
	PMCn_m	PMn_m	PIPCn_m	
ポートモード	0	0	X	O
		1 注1		I
S/W I/O 制御兼用モード	1	0	0	O
		1	0	I
直接 I/O 制御兼用モード		X	1	兼用機能による制御

注1.　入力バッファを必ず許可（PIBCn_m ビット＝1）してください。

- S/W I/O 制御兼用機能（PIPCn.PIPCn_m ビット＝0）：
  - 出力（PMn_m ビット＝0）：兼用出力モード 1～兼用出力モード 7
  - 入力（PMn_m ビット＝1）：兼用入力モード 1～兼用入力モード 7
- 直接 I/O 制御兼用機能（PIPCn.PIPCn_m ビット＝1）：
  - 兼用出力モード 1～兼用出力モード 7、兼用入力モード 1～兼用入力モード 7 の入出力は、兼用機能によって直接選択されます。

表 2B.16　兼用モード選択の概要（PMCn.PMCn_m ビット＝1）

モード	レジスタ					I/O
	PIPC 注 1	PM 注 1	PFCAE	PFCE	PFC	
兼用出力モード 1（ALT-OUT1）	0	0	0	0	0	O
兼用入力モード 1（ALT-IN1）		1				I
兼用出力モード 2（ALT-OUT2）		0			1	O
兼用入力モード 2（ALT-IN2）		1				I
兼用出力モード 3（ALT-OUT3）		0		1	0	O
兼用入力モード 3（ALT-IN3）		1				I
兼用出力モード 4（ALT-OUT4）		0			1	O
兼用入力モード 4（ALT-IN4）		1				I
兼用出力モード 5（ALT-OUT5）		0	1	0	0	O
兼用入力モード 5（ALT-IN5）		1				I
兼用出力モード 6（ALT-OUT6）		0			1	O
兼用入力モード 6（ALT-IN6）		1				I
兼用出力モード 7（ALT-OUT7）		0		1	0	O
兼用入力モード 7（ALT-IN7）		1				I
上記以外	設定禁止					

注1.　PIPCn.PIPCn_m ビット＝1 の場合は、入出力方向は周辺（兼用）機能によって直接制御され、PM は無視されます。

端子が兼用モード（PMCn.PMCn_m ビット＝1）の場合、最大 7 つの異なる兼用機能の 1 つを PFCn、PFCEn、PFCAEn レジスタによって選択します。

2B.7.4　端子データ入力／出力

データの入力／出力に使用するレジスタについて説明します。

端子モードによって PPRn レジスタを介してリードされる場所が異なります。

2B.7.4.1　出力データ

ポートモード（PMCn.PMCn_m ビット＝0）では Pn.Pn_m ビットの値が Pn_m 端子から出力されます。

2B.7.4.2　入力データ

PPRn レジスタのリード動作では、Pn_m 端子の値、ポートレジスタの関連ビット Pn.Pn_m の値、または兼用機能による出力値のいずれかを読み出します。

PPRn のリード元は、端子モードといくつかの制御ビットの設定に依存します。PPRn リードモードの違いを次の表に示します。

表 2B.17　PPRn_m リード値

<table>
<tr><th>PMC
n_m</th><th>PM
n_m</th><th>PIBC
n_m</th><th>PIPC
n_m</th><th>PODC
n_m</th><th>モード</th><th>PPRn_m リード値</th></tr>
<tr><td rowspan="4">0</td><td rowspan="2">1</td><td>0</td><td rowspan="4">X</td><td>X</td><td>ポート入力、入力バッファ禁止</td><td>Pn.Pn_m ビット</td></tr>
<tr><td>1</td><td>X</td><td>ポート入力、入力バッファ許可</td><td>Pn_m 端子</td></tr>
<tr><td rowspan="2">0</td><td rowspan="2">X</td><td>0</td><td>ポートプッシュプル出力</td><td rowspan="2">Pn.Pn_m ビット[注1]</td></tr>
<tr><td>1</td><td>ポートオープンドレイン出力</td></tr>
<tr><td rowspan="5">1</td><td>1</td><td rowspan="5">X</td><td rowspan="3">0</td><td>X</td><td>ソフトウェア I/O 制御兼用入力</td><td>Pn_m 端子</td></tr>
<tr><td rowspan="2">0</td><td>0</td><td>ソフトウェア I/O 制御兼用プッシュプル出力</td><td rowspan="2">兼用機能からの出力信号[注1]</td></tr>
<tr><td>1</td><td>ソフトウェア I/O 制御兼用オープンドレイン出力</td></tr>
<tr><td rowspan="2">X</td><td rowspan="2">1</td><td>0</td><td>直接 I/O 制御兼用入力またはプッシュプル出力</td><td rowspan="2">兼用モードでの入出力ポート：
● 入力：Pn_m 端子
● 出力：兼用機能からの出力信号[注1]</td></tr>
<tr><td>1</td><td>直接 I/O 制御兼用入力またはオープンドレイン出力</td></tr>
</table>

注1.　PBDCn_m＝1 の場合、Pn_m 端子レベルが、PPRn_m ビットでリードされます。

上表に示す各制御レジスタの効果：

- PMCn.PMCn_m ビット

  このビットは、ポートモード（PMCn_m ビット＝0）または兼用モード（PMCn_m ビット＝1）を選択します。

- PMn.PMn_m ビット

  このビットは、ポートモード（PMCn_m ビット＝0）とソフトウェア I/O 制御兼用モード（PMCn_m ビット＝1、PIPCn_m ビット＝0）時に入力（PMn_m ビット＝1）または出力（PMn_m ビット＝0）を選択します。

- PIBCn.PIBCn_m ビット

  このビットは、入力ポートモード（PMCn_m ビット＝0 と PMn_m ビット＝1）時に入力バッファを使用不可（PIBCn_m ビット＝0）または使用許可（PIBCn_m ビット＝1）を選択します。入力バッファが使用不可の場合、PPRn_m は Pn.Pn_m ビットをリードし、使用許可の場合は Pn_m 端子のレベルがリードされます。

- PIPCn.PIPCn_m ビット

  このビットは、ソフトウェア I/O 制御兼用モードまたは直接 I/O 制御兼用モードを選択します。

- PODCn.PODCn_m ビット

  このビットは、プッシュプル（PODCn_m ビット＝0）またはオープンドレイン（PODCn_m ビット＝1）出力を選択します。

- PBDCn.PBDCn_m ビット

  出力モード時、このビットを 1 に設定すると、ポートは双方向モードになります。双方向モード時、PPRn.PPRn_m から Pn_m 端子のレベルを読み出すことができます。

注　意

Pn_m ポートを兼用出力機能（PMCn.PMCn_m ビット＝1、PMn.PMn_m ビット＝0）として使用する場合、双方向モードを許可（PBDCn.PBDCn_m ビット＝1）することにより、PPRn.PPRn_m ビットで Pn_m 端子のレベルをリードすることができます。しかし、その場合、Pn_m 端子のレベルが同じ兼用入力機能に入力されるので注意が必要です。

2B.7.4.3　Pn レジスタへのライト

ポートモード（PMCn.PMCn_m ビット＝0）時に Pn_m ポートから出力されるデータは Pn レジスタに保持されます。
Pn データは 2 つの方法で書き換えることができます。

- Pn レジスタへの直接ライト

  新しいデータは Pn レジスタに直接ライトすることができます。

- 間接的な Pn レジスタへのビット操作（set/reset/not）

  Pn レジスタへのビット操作（set/reset/not）は 2 つのレジスタを使って間接的に可能です。

  - ポートセット／リセットレジスタ PSRn
    PSRn.PSRn_(m＋16)ビット＝1 の場合、PSRn.PSRn_m ビットの値が Pn.Pn_m ビットの値を決めます。つまり、Pn レジスタへ直接ライトせずに Pn_m ビットを set/reset することが可能です。
  - ポートノットレジスタ PNOTn
    PNOTn.PNOTn_m ビット＝1 に設定すると Pn レジスタへ直接ライトせずに Pn.Pn_m ビットを反転することが可能です。

間接的な Pn レジスタへのビット操作（set/reset/not）は、Pn レジスタ内の更新が不要なビットには影響を与えずに、更新が必要なビット（1 ビットとは限りません）を書き換えることができます。

2B.8　ポート概念図

下図は、ポート制御機能の概念図を示します。

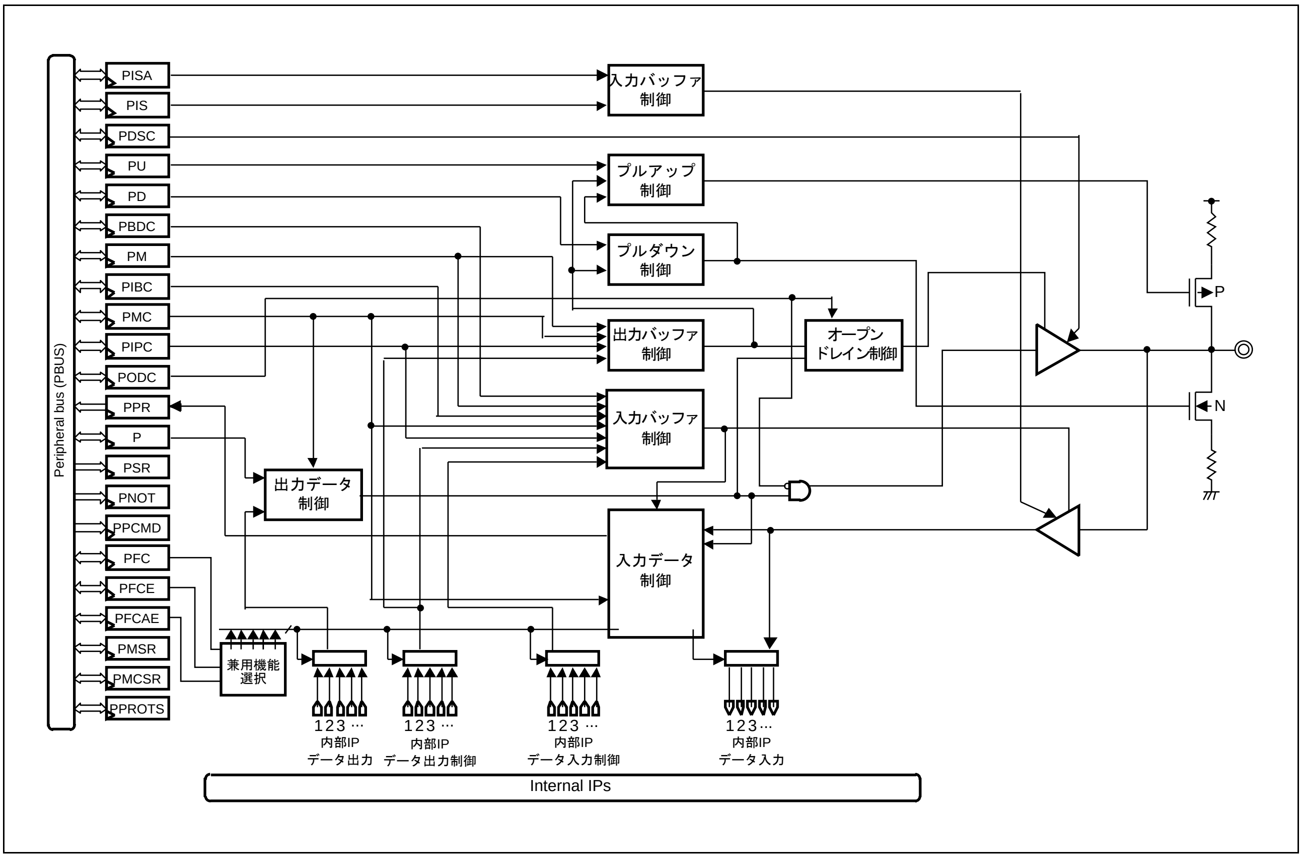


図 2B.6　　ポート概念図

注　意

公開されている兼用機能を使用してください。公開されていない兼用機能を選択した場合の動作および性能は保証できません。

2B.9　ポートグループコンフィグレーションレジスタ

この節では、はじめにすべてのコンフィグレーションレジスタの概要を示し、次に各レジスタの詳細を示します。コンフィグレーションレジスタは次のように分類されます。

- 「**2B.9.2 端子機能の設定**」
- 「**2B.9.3 端子データ入力／出力**」
- 「**2B.9.4 電気的特性の設定**」

2B.9.1　概要

次のレジスタは、ポートグループの各端子の設定に使用されます。

<PORTn_base>および<JPORT0_base>は「**2B.6.3 レジスタベースアドレス**」を参照してください。

表 2B.18　ポートグループコンフィグレーションレジスタ

モジュール名	レジスタ名	略号	アドレス
端子機能の設定			
PORT	ポートモードコントロールレジスタ	PMCn	<PORTn_base> + 0400_H + n × 4
JTAG		JPMC0	<JPORT0_base> + 0040_H
PORT	ポートモードコントロールセット／リセットレジスタ	PMCSRn	<PORTn_base> + 0900_H + n × 4
JTAG		JPMCSR0	<JPORT0_base> + 0090_H
PORT	ポート IP コントロールレジスタ	PIPCn	<PORTn_base> + 4200_H + n × 4
PORT	ポートモードレジスタ	PMn	<PORTn_base> + 0300_H + n × 4
		APMn	<PORTn_base> + $03C8_H$ + n × 4
JTAG		JPM0	<JPORT0_base> + 0030_H
PORT	ポートモードセット／リセットレジスタ	PMSRn	<PORTn_base> + 0800_H + n × 4
		APMSRn	<PORTn_base> + $08C8_H$ + n × 4
JTAG		JPMSR0	<JPORT0_base> + 0080_H
PORT	ポート入力バッファコントロールレジスタ	PIBCn	<PORTn_base> + 4000_H + n × 4
		APIBCn	<PORTn_base> + $40C8_H$ + n × 4
JTAG		JPIBC0	<JPORT0_base> + 0400_H
PORT		IPIBC0	<PORTn_base> + $40F0_H$
PORT	ポート機能コントロールレジスタ	PFCn	<PORTn_base> + 0500_H + n × 4
JTAG		JPFC0	<JPORT0_base> + 0050_H
PORT	ポート機能コントロール拡張レジスタ	PFCEn	<PORTn_base> + 0600_H + n × 4
JTAG		JPFCE0	<JPORT0_base> + 0060_H
PORT	ポート機能コントロール追加拡張レジスタ	PFCAEn	<PORTn_base> + $0A00_H$ + n × 4
端子データ入力／出力			
PORT	ポート双方向コントロールレジスタ	PBDCn	<PORTn_base> + 4100_H + n × 4
		APBDCn	<PORTn_base> + $41C8_H$ + n × 4
JTAG		JPBDC0	<JPORT0_base> + 0410_H
PORT	ポート端子リードレジスタ	PPRn	<PORTn_base> + 0200_H + n × 4
		APPRn	<PORTn_base> + $02C8_H$ + n × 4
JTAG		JPPR0	<JPORT0_base> + 0020_H
PORT		IPPR0	<PORTn_base> + $02F0_H$

表 2B.18　　ポートグループコンフィグレーションレジスタ

モジュール名	レジスタ名	略号	アドレス
端子データ入力／出力			
PORT	ポートレジスタ	Pn	<PORTn_base> + 0000$_{H}$ + n × 4
		APn	<PORTn_base> + 00C8$_{H}$ + n × 4
JTAG		JP0	<JPORT0_base> + 0000$_{H}$
PORT	ポートノットレジスタ	PNOTn	<PORTn_base> + 0700$_{H}$ + n × 4
		APNOTn	<PORTn_base> + 07C8$_{H}$ + n × 4
JTAG		JPNOT0	<JPORT0_base> + 0070$_{H}$
PORT	ポートセット／リセットレジスタ	PSRn	<PORTn_base> + 0100$_{H}$ + n × 4
		APSRn	<PORTn_base> + 01C8$_{H}$ + n × 4
JTAG		JPSR0	<JPORT0_base> + 0010$_{H}$
電気的特性の設定			
PORT	プルアップオプションレジスタ	PUn	<PORTn_base> + 4300$_{H}$ + n × 4
JTAG		JPU0	<JPORT0_base> + 0430$_{H}$
PORT	プルダウンオプションレジスタ	PDn	<PORTn_base> + 4400$_{H}$ + n × 4
JTAG		JPD0	<JPORT0_base> + 0440$_{H}$
PORT	ポートドライブ強度コントロールレジスタ	PDSCn	<PORTn_base> + 4600$_{H}$ + n × 4
JTAG		JPDSC0	<JPORT0_base> + 0460$_{H}$
PORT	ポートオープンドレインコントロール レジスタ	PODCn	<PORTn_base> + 4500$_{H}$ + n × 4
JTAG		JPODC0	<JPORT0_base> + 0450$_{H}$
PORT	ポート入力バッファ選択レジスタ	PISn	<PORTn_base> + 4700$_{H}$ + n × 4
JTAG		JPIS0	<JPORT0_base> + 0470$_{H}$
PORT	ポート入力バッファ選択アドバンストレジスタ	PISAn	<PORTn_base> + 4A00$_{H}$ + n × 4
JTAG		JPISA0	<JPORT0_base> + 04A0$_{H}$
ポートレジスタ保護			
PORT	ポート保護コマンドレジスタ	PPCMDn	<PORTn_base> + 4C00$_{H}$ + n × 4
JTAG		JPPCMD0	<JPORT0_base> + 04C0$_{H}$
PORT	ポート保護ステータスレジスタ	PPROTSn	<PORTn_base> + 4B00$_{H}$ + n × 4
JTAG		JPPROTS0	<JPORT0_base> + 04B0$_{H}$

n の意味

「**表 2B.18　ポートグループコンフィグレーションレジスタ**」では、レジスタの略号の添字「n」は、ポートグループのインデクス“n”に対応します。たとえば、ポートモードコントロールレジスタ PMCn は、ポートグループ n（Pn）に対応しています。n の値の種類は、デバイスの端子数により、「**表 2B.19　デバイスの端子数と対応するポートグループ、レジスタの略号「n」の種類 (RH850/F1KM-S4, RH850/F1KM-S2)**」のように異なります。

表 2B.19　　デバイスの端子数と対応するポートグループ、レジスタの略号「n」の種類 (RH850/F1KM-S4, RH850/F1KM-S2)

デバイスの端子数	対応するポートグループ	n の種類
100 Pin	P0, P8, P9, P10, P11	0, 8, 9, 10, 11
	AP0	0
144 Pin	P0, P1, P8, P9, P10, P11, P12, P18, P20	0, 1, 8, 9, 10, 11, 12, 18, 20
	AP0, AP1	0, 1
176 Pin	P0, P1, P2, P8, P9, P10, P11, P12, P18, P20	0, 1, 2, 8, 9, 10, 11, 12, 18, 20
	AP0, AP1	0, 1
233 Pin 注1	P0, P1, P2, P3, P8, P9, P10, P11, P12, P13, P18, P19, P20	0, 1, 2, 3, 8, 9, 10, 11, 12, 13, 18, 19, 20
	AP0, AP1	0, 1
272 Pin 注1	P0, P1, P2, P3, P8, P9, P10, P11, P12, P13, P18, P19, P20, P21, P22	0, 1, 2, 3, 8, 9, 10, 11, 12, 13, 18, 19, 20, 21, 22
	AP0, AP1	0, 1

注1.　RH850/F1KM-S4 のみ対応

JTAG ポートレジスタ

以降のレジスタ説明では、JTAG ポートレジスタについて記載していません。
すべての説明（PFCAEn レジスタ、PIPCn レジスタ以外）は JTAG ポートレジスタも適用されますが、JTAG ポートレジスタのベースアドレスは異なります。

リセット後の値

リセット後の値はポートに依存します。リセット後の値については、以降のレジスタ説明を参照してください。

2B.9.2 端子機能の設定

2B.9.2.1 PMCn / JPMC0 — ポートモードコントロールレジスタ

このレジスタは、ポートグループ n の各端子がポートモードか兼用モードかを指定します。

アクセス　PMCn：16 ビット単位でリード／ライト可能です。
JPMC0：8 ビット単位でリード／ライト可能です。

アドレス　PMCn：<PORTn_base> + 0400_H + n × 4（n＝0, 1, 2, 3 注2, 8, 9, 10, 11, 12, 13 注2, 18, 20）
JPMC0：<JPORT0_base> + 0040_H 注1

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMCn_15	PMCn_14	PMCn_13	PMCn_12	PMCn_11	PMCn_10	PMCn_9	PMCn_8	PMCn_7	PMCn_6	PMCn_5	PMCn_4	PMCn_3	PMCn_2	PMCn_1	PMCn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「2B.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2B.44 制御レジスタ（JP0）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.46 制御レジスタ（P0）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.48 制御レジスタ（P1）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.50 制御レジスタ（P2）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.52 制御レジスタ（P3）(RH850/F1KM-S4)」**、**「表 2B.54 制御レジスタ（P8）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.56 制御レジスタ（P9）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.59 制御レジスタ（P10）(RH850/F1KM-S4)」**、**「表 2B.60 制御レジスタ（P10）(RH850/F1KM-S2)」**、**「表 2B.63 制御レジスタ（P11）(RH850/F1KM-S4)」**、**「表 2B.64 制御レジスタ（P11）(RH850/F1KM-S2)」**、**「表 2B.67 制御レジスタ（P12）(RH850/F1KM-S4)」**、**「表 2B.68 制御レジスタ（P12）(RH850/F1KM-S2)」**、**「表 2B.70 制御レジスタ（P13）(RH850/F1KM-S4)」**、**「表 2B.73 制御レジスタ（P18）(RH850/F1KM-S4)」**、**「表 2B.74 制御レジスタ（P18）(RH850/F1KM-S2)」**、**「表 2B.78 制御レジスタ（P20）(RH850/F1KM-S4, RH850/F1KM-S2)」**）を参照してください。

注2.　RH850/F1KM-S4 のみ対応

表 2B.20　PMCn レジスタの内容

ビット位置	ビット名	機能
15～0	PMCn_[15:0]	対応する端子の動作モードを指定します。 0：ポートモード 1：兼用モード

注　意

1. 兼用モード（PMCn.PMCn_m ビット＝1）に設定するだけでは入出力制御は行われません。兼用機能が直接入出力制御を行う場合は PIPCn.PIPCn_m ビットにも“1”を設定してください。
2. ポートが兼用モードの入力端子として使用される場合、ノイズフィルタを通過する端子があります。このような端子は、FCLA0CTLm_<*name*>、DNFA<*name*>CTL および DNFA<*name*>EN レジスタの設定が必要になる場合があります。詳細は**「2B.12 ノイズフィルタ＆エッジレベル検出回路」**および**「2B.13 ポートノイズフィルタ＆エッジ／レベル検出機能説明」**を参照してください。

備　考

JTAG ポートモードコントロールレジスタ（JPMC0）の制御ビットは JPMC0_[7:0]になります。

2B.9.2.2 PMCSRn / JPMCSR0 — ポートモードコントロールセット／リセットレジスタ

このレジスタにより、PMCn レジスタにデータをライトするもう 1 つの方法を示します。

PMCSRn の上位 16 ビットは、PMCSRn の下位 16 ビットで指定した PMCn.PMCn_m にデータをライトするかどうかを指定します。

アクセス　PMCSRn : 32 ビット単位でリード／ライト可能です。ビット 31〜16 は常に 0000H をリードします。ビット 15〜0 は PMCn レジスタの値をリードします。

JPMCSR0 : 32 ビット単位でリード／ライト可能です。ビット 31〜8 は常に 000000H をリードします。ビット 7〜0 は JPMC0 レジスタの値をリードします。

アドレス　PMCSRn : <PORTn_base> + 0900H + n × 4（n＝0, 1, 2, 3 注2, 8, 9, 10, 11, 12, 13 注2, 18, 20）

JPMCSR0 : <JPORT0_base> + 0090H 注1

リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PMC SRn_31	PMC SRn_30	PMC SRn_29	PMC SRn_28	PMC SRn_27	PMC SRn_26	PMC SRn_25	PMC SRn_24	PMC SRn_23	PMC SRn_22	PMC SRn_21	PMC SRn_20	PMC SRn_19	PMC SRn_18	PMC SRn_17	PMC SRn_16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMC SRn_15	PMC SRn_14	PMC SRn_13	PMC SRn_12	PMC SRn_11	PMC SRn_10	PMC SRn_9	PMC SRn_8	PMC SRn_7	PMC SRn_6	PMC SRn_5	PMC SRn_4	PMC SRn_3	PMC SRn_2	PMC SRn_1	PMC SRn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「2B.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2B.44 制御レジスタ（JP0）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.46 制御レジスタ（P0）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.48 制御レジスタ（P1）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.50 制御レジスタ（P2）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.52 制御レジスタ（P3）(RH850/F1KM-S4)」**、**「表 2B.54 制御レジスタ（P8）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.56 制御レジスタ（P9）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.59 制御レジスタ（P10）(RH850/F1KM-S4)」**、**「表 2B.60 制御レジスタ（P10）(RH850/F1KM-S2)」**、**「表 2B.63 制御レジスタ（P11）(RH850/F1KM-S4)」**、**「表 2B.64 制御レジスタ（P11）(RH850/F1KM-S2)」**、**「表 2B.67 制御レジスタ（P12）(RH850/F1KM-S4)」**、**「表 2B.68 制御レジスタ（P12）(RH850/F1KM-S2)」**、**「表 2B.70 制御レジスタ（P13）(RH850/F1KM-S4)」**、**「表 2B.73 制御レジスタ（P18）(RH850/F1KM-S4)」**、**「表 2B.74 制御レジスタ（P18）(RH850/F1KM-S2)」**、**「表 2B.78 制御レジスタ（P20）(RH850/F1KM-S4, RH850/F1KM-S2)」**）を参照してください。

注2.　RH850/F1KM-S4 のみ対応

表 2B.21　PMCSRn レジスタの内容

ビット位置	ビット名	機能
31〜16	PMCSRn_[31:16]	対応する PMCSRn_m の下位ビット（PMCSRn_[15:0]）の値を PMCn_m にライトするかどうかを指定するイネーブルビットです。 0 : PMCn_m は PMCSRn_m に依存しません。 1 : PMCn_m は PMCSRn_m の値になります。 例） PMCSRn.PMCSRn_31＝1 の場合、PMCSRn.PMCSRn_15 ビットの値を PMCn.PMCn_15 ビットにライトします。
15〜0	PMCSRn_[15:0]	対応する上位ビット（PMCSRn_[31:16]）の PMCSRn_m が 1 の場合、PMCn_m の値を指定するデータビットです。 0 : PMCn_m＝0 1 : PMCn_m＝1

備　考
JTAG ポートモードコントロールセット／リセットレジスタ（JPMCSR0）の制御ビットは JPMCSR0_[31:0]になります。

2B.9.2.3　　PIPCn ― ポート IP コントロールレジスタ

このレジスタは、Pn_m 端子の入出力方向がポートモードレジスタ PMn.PMn_m と兼用機能のどちらによって制御するかを指定します。

Pn_m 端子が兼用モード（PMCn.PMCn_m＝1）となり、兼用機能が直接 Pn_m の入出力方向を制御する場合、PIPCn.PIPCn_m は 1 に設定する必要があります。これにより兼用機能が入出力制御を行い、PMn.PMn_m の設定が無効となります。

PIPC の設定が必要な兼用機能については「**2B.11 ポート（特殊 I/O）機能概要**」を参照してください。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　PIPCn：<PORTn_base> + 4200$_H$ + n × 4（n＝0, 10, 11, 12, 20）注1

リセット後の値　0000$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIPCn_15	PIPCn_14	PIPCn_13	PIPCn_12	PIPCn_11	PIPCn_10	PIPCn_9	PIPCn_8	PIPCn_7	PIPCn_6	PIPCn_5	PIPCn_4	PIPCn_3	PIPCn_2	PIPCn_1	PIPCn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「**2B.10 ポート（汎用 I/O）機能概要**」のポートグループごとの制御レジスタの表（「**表 2B.46 制御レジスタ（P0）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.59 制御レジスタ（P10）(RH850/F1KM-S4)**」、「**表 2B.60 制御レジスタ（P10）(RH850/F1KM-S2)**」、「**表 2B.63 制御レジスタ（P11）(RH850/F1KM-S4)**」、「**表 2B.64 制御レジスタ（P11）(RH850/F1KM-S2)**」、「**表 2B.67 制御レジスタ（P12）(RH850/F1KM-S4)**」、「**表 2B.68 制御レジスタ（P12）(RH850/F1KM-S2)**」、「**表 2B.78 制御レジスタ（P20）(RH850/F1KM-S4, RH850/F1KM-S2)**」）を参照してください。

表 2B.22　　PIPCn レジスタの内容

ビット位置	ビット名	機能
15～0	PIPCn_[15:0]	入出力モードを指定します。 0：入出力モードは PMn.PMn_m（S/W 入出力制御）によって選択します。 1：入出力モードは周辺機能（直接入出力制御）によって選択します。

2B.9.2.4　**PMn / APMn / JPM0 ― ポートモードレジスタ**

このレジスタは、ポートグループ n の各端子が入力モードか出力モードかを指定します。

アクセス　PMn, APMn : 16 ビット単位でリード／ライト可能です。

JPM0 : 8 ビット単位でリード／ライト可能です。

アドレス　PMn : <PORTn_base> + 0300$_H$ + n × 4（n＝0, 1, 2, 3 注4, 8, 9, 10, 11, 12, 13 注4, 18, 19 注4, 20, 21 注4, 22 注4）

APMn : <PORTn_base> + 03C8$_H$ + n × 4（n＝0, 1）

JPM0 : <JPORT0_base> + 0030$_H$ 注1

リセット後の値　FFFF$_H$ 注2

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMn_15	PMn_14	PMn_13	PMn_12	PMn_11	PMn_10	PMn_9	PMn_8	PMn_7	PMn_6	PMn_5	PMn_4	PMn_3	PMn_2	PMn_1	PMn_0
リセット後の値	1	1	1	1	1	1	1	1	1	1 注3	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。

「2B.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2B.44 制御レジスタ（JP0）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.46 制御レジスタ（P0）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.48 制御レジスタ（P1）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.50 制御レジスタ（P2）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.52 制御レジスタ（P3）(RH850/F1KM-S4)」**、**「表 2B.54 制御レジスタ（P8）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.56 制御レジスタ（P9）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.59 制御レジスタ（P10）(RH850/F1KM-S4)」**、**「表 2B.60 制御レジスタ（P10）(RH850/F1KM-S2)」**、**「表 2B.63 制御レジスタ（P11）(RH850/F1KM-S4)」**、**「表 2B.64 制御レジスタ（P11）(RH850/F1KM-S2)」**、**「表 2B.67 制御レジスタ（P12）(RH850/F1KM-S4)」**、**「表 2B.68 制御レジスタ（P12）(RH850/F1KM-S2)」**、**「表 2B.70 制御レジスタ（P13）(RH850/F1KM-S4)」**、**「表 2B.73 制御レジスタ（P18）(RH850/F1KM-S4)」**、**「表 2B.74 制御レジスタ（P18）(RH850/F1KM-S2)」**、**「表 2B.76 制御レジスタ（P19）(RH850/F1KM-S4)」**、**「表 2B.78 制御レジスタ（P20）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.80 制御レジスタ（P21）(RH850/F1KM-S4)」**、**「表 2B.82 制御レジスタ（P22）(RH850/F1KM-S4)」**、**「表 2B.84 制御レジスタ（AP0）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.86 制御レジスタ（AP1）(RH850/F1KM-S4, RH850/F1KM-S2)」**）を参照してください。

注2.　PM8 レジスタは次のとおりです。

OPBT0.RESETOUTEN＝1 の時、PM8 レジスタは FFBF$_H$。

OPBT0.RESETOUTEN＝0 の時、PM8 レジスタは FFFF$_H$。

注3.　PM8_6 ビットは次のとおりです。

OPBT0.RESETOUTEN＝1 の時、PM8_6 ビットは 0。

OPBT0.RESETOUTEN＝0 の時、PM8_6 ビットは 1。

注4.　RH850/F1KM-S4 のみ対応

表 2B.23　　PMn レジスタの内容

ビット位置	ビット名	機能
15～0	PMn_[15:0]	対応する端子の入力／出力モードを指定します。 0 : 出力モード（出力許可） 1 : 入力モード（出力禁止）

備　考

1. ポートを入力ポートモード（PMCn.PMCn_m＝0 かつ PMn.PMn_m＝1）で使用する場合は、入力バッファを許可する必要があります（PIBCn.PIBCn_m＝1）。
2. リセット後は PIPCn.PIPCn_m＝0（入出力モードは PMn.PMn_m によって制御）ですので、PMn_m はポートモード（PMCn.PMCn_m＝0）と兼用モード（PMCn.PMCn_m＝1）の入出力方向を指定します。
3. アナログポートレジスタ（APMn）の制御ビットは、APMn_[15:0]になります。
4. JTAG ポートモードレジスタ（JPM0）の制御ビットは JPM0_[7:0]になります。

2B.9.2.5　PMSRn / APMSRn / JPMSR0 ― ポートモードセット／リセットレジスタ

このレジスタにより、PMn レジスタにデータをライトするもう 1 つの方法を示します。

PMSRn の上位 16 ビットは、PMSRn の下位 16 ビットで指定した PMn.PMn_m にデータをライトするかどうかを指定します。

アクセス　PMSRn, APMSRn：32 ビット単位でリード／ライト可能です。ビット 31〜16 は常に 0000$_H$ をリードします。ビット 15〜0 は PMn, APMn レジスタの値をリードします

JPMSR0：32 ビット単位でリード／ライト可能です。ビット 31〜16 は常に 0000$_H$ をリードします。ビット 15〜8 は FF$_H$ をリードします。ビット 7〜0 は JPM0 レジスタの値をリードします。

アドレス　PMSRn：<PORTn_base> + 0800$_H$ + n × 4（n=0, 1, 2, 3 注4, 8, 9, 10, 11, 12, 13 注4, 18, 19 注4, 20, 21 注4, 22 注4）

APMSRn：<PORTn_base> + 08C8$_H$ + n × 4（n=0, 1）

JPMSR0：<JPORT0_base> + 0080$_H$ 注1

リセット後の値　0000 FFFF$_H$ 注2

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PMSRn_31	PMSRn_30	PMSRn_29	PMSRn_28	PMSRn_27	PMSRn_26	PMSRn_25	PMSRn_24	PMSRn_23	PMSRn_22	PMSRn_21	PMSRn_20	PMSRn_19	PMSRn_18	PMSRn_17	PMSRn_16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMSRn_15	PMSRn_14	PMSRn_13	PMSRn_12	PMSRn_11	PMSRn_10	PMSRn_9	PMSRn_8	PMSRn_7	PMSRn_6	PMSRn_5	PMSRn_4	PMSRn_3	PMSRn_2	PMSRn_1	PMSRn_0
リセット後の値	1	1	1	1	1	1	1	1	1	1 注3	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「**2B.10 ポート（汎用 I/O）機能概要**」のポートグループごとの制御レジスタの表（「**表 2B.44 制御レジスタ（JP0）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.46 制御レジスタ（P0）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.48 制御レジスタ（P1）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.50 制御レジスタ（P2）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.52 制御レジスタ（P3）(RH850/F1KM-S4)**」、「**表 2B.54 制御レジスタ（P8）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.56 制御レジスタ（P9）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.59 制御レジスタ（P10）(RH850/F1KM-S4)**」、「**表 2B.60 制御レジスタ（P10）(RH850/F1KM-S2)**」、「**表 2B.63 制御レジスタ（P11）(RH850/F1KM-S4)**」、「**表 2B.64 制御レジスタ（P11）(RH850/F1KM-S2)**」、「**表 2B.67 制御レジスタ（P12）(RH850/F1KM-S4)**」、「**表 2B.68 制御レジスタ（P12）(RH850/F1KM-S2)**」、「**表 2B.70 制御レジスタ（P13）(RH850/F1KM-S4)**」、「**表 2B.73 制御レジスタ（P18）(RH850/F1KM-S4)**」、「**表 2B.74 制御レジスタ（P18）(RH850/F1KM-S2)**」、「**表 2B.76 制御レジスタ（P19）(RH850/F1KM-S4)**」、「**表 2B.78 制御レジスタ（P20）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.80 制御レジスタ（P21）(RH850/F1KM-S4)**」、「**表 2B.82 制御レジスタ（P22）(RH850/F1KM-S4)**」、「**表 2B.84 制御レジスタ（AP0）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.86 制御レジスタ（AP1）(RH850/F1KM-S4, RH850/F1KM-S2)**」）を参照してください。

注2.　PMSR8 レジスタは次のとおりです。
OPBT0.RESETOUTEN＝1 の時、PMSR8 レジスタは 0000 FFBF$_H$。
OPBT0.RESETOUTEN＝0 の時、PMSR8 レジスタは 0000 FFFF$_H$。

注3.　PMSR8_6 ビットは次のとおりです。
OPBT0.RESETOUTEN＝1 の時、PMSR8_6 ビットは 0。
OPBT0.RESETOUTEN＝0 の時、PMSR8_6 ビットは 1。

注4.　RH850/F1KM-S4 のみ対応

表 2B.24　　PMSRn レジスタの内容

ビット位置	ビット名	機能
31～16	PMSRn_[31:16]	対応する PMSRn_m の下位ビット（PMSRn_[15:0]）の値を PMn_m にライトするかどうかを指定するイネーブルビットです。 0：PMn_m は PMSRn_m に依存しません。 1：PMn_m は PMSRn_m の値になります。 例） PMSRn.PMSRn_31＝1 の場合、PMSRn.PMSRn_15 ビットの値を PMn.PMn_15 ビットにライトします。
15～0	PMSRn_[15:0]	対応する上位ビット（PMSRn_[31:16]）の PMSRn_m が 1 の場合、PMn_m 値を指定するデータビットです。 0：PMn_m＝0 1：PMn_m＝1

備　考

1. JTAG ポートモードセット／リセットレジスタ（JPMSR0）の制御ビットは JPMSR0_[31:0]になります。
2. アナログポートモードセット／リセットレジスタ（APMSRn）の制御ビットは APMSRn_[31:0]になります。

2B.9.2.6　PIBCn / APIBCn / JPIBC0 / IPIBC0 ― ポート入力バッファコントロールレジスタ

このレジスタは、入力ポートモード（PMCn.PMCn_m＝0 かつ PMn.PMn_m＝1）で、ポート端子の入力バッファを許可します。

アクセス　PIBCn, APIBCn, IPIBC0：16 ビット単位でリード／ライト可能です。
JPIBC0：8 ビット単位でリード／ライト可能です。

アドレス　PIBCn：<PORTn_base> + 4000$_H$ + n × 4（n＝0, 1, 2, 3 注2, 8, 9, 10, 11, 12, 13 注2, 18, 19 注2, 20, 21 注2, 22 注2）
APIBCn：<PORTn_base> + 40C8$_H$+ n × 4（n＝0, 1）
JPIBC0：<JPORT0_base> + 0400$_H$
IPIBC0：<PORTn_base> + 40F0$_H$ 注1

リセット後の値　0000$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIBCn_15	PIBCn_14	PIBCn_13	PIBCn_12	PIBCn_11	PIBCn_10	PIBCn_9	PIBCn_8	PIBCn_7	PIBCn_6	PIBCn_5	PIBCn_4	PIBCn_3	PIBCn_2	PIBCn_1	PIBCn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「2B.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2B.44 制御レジスタ（JP0）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.46 制御レジスタ（P0）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.48 制御レジスタ（P1）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.50 制御レジスタ（P2）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.52 制御レジスタ（P3）(RH850/F1KM-S4)」**、**「表 2B.54 制御レジスタ（P8）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.56 制御レジスタ（P9）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.59 制御レジスタ（P10）(RH850/F1KM-S4)」**、**「表 2B.60 制御レジスタ（P10）(RH850/F1KM-S2)」**、**「表 2B.63 制御レジスタ（P11）(RH850/F1KM-S4)」**、**「表 2B.64 制御レジスタ（P11）(RH850/F1KM-S2)」**、**「表 2B.67 制御レジスタ（P12）(RH850/F1KM-S4)」**、**「表 2B.68 制御レジスタ（P12）(RH850/F1KM-S2)」**、**「表 2B.70 制御レジスタ（P13）(RH850/F1KM-S4)」**、**「表 2B.73 制御レジスタ（P18）(RH850/F1KM-S4)」**、**「表 2B.74 制御レジスタ（P18）(RH850/F1KM-S2)」**、**「表 2B.76 制御レジスタ（P19）(RH850/F1KM-S4)」**、**「表 2B.78 制御レジスタ（P20）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.80 制御レジスタ（P21）(RH850/F1KM-S4)」**、**「表 2B.82 制御レジスタ（P22）(RH850/F1KM-S4)」**、**「表 2B.84 制御レジスタ（AP0）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.86 制御レジスタ（AP1）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.88 制御レジスタ（IP0）(RH850/F1KM-S4, RH850/F1KM-S2)」**）を参照してください。

注2.　RH850/F1KM-S4 のみ対応

表 2B.25　PIBCn レジスタの内容

ビット位置	ビット名	機能
15～0	PIBCn_[15:0]	入力バッファを許可／禁止します。 0：入力バッファ禁止 1：入力バッファ許可

備　考

1. 入力バッファを禁止すると、端子レベルが Hi-Z 状態でも貫通電流が流れません。したがって、外部から端子をハイまたはロウレベルに固定する必要はありません。
2. JTAG ポート入力バッファコントロールレジスタ（JPIBC0）の制御ビットは JPIBC0_[7:0]になります。

注　意

このレジスタの設定は、双方向モード（PBDCn.PBDCn_m＝1）では無効です。

2B.9.2.7 PFCn / JPFC0 ― ポート機能コントロールレジスタ

このレジスタは、PFCEn、PFCAEn レジスタとともに、端子の兼用機能を指定します。

いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCn_m は 1 に設定する必要があり、入出力は周辺機能で指定されます。

ほかの兼用機能では、入出力は PMn.PMn_m によって指定します。

アクセス　PFCn：16 ビット単位でリード／ライト可能です。
JPFC0：8 ビット単位でリード／ライト可能です。

アドレス　PFCn：<PORTn_base> + 0500_H + n × 4（n=0, 1, 2, 8, 9, 10, 11, 12, 13 注2, 18, 20）
JPFC0：<JPORT0_base> + 0050_H 注1

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFCn_15	PFCn_14	PFCn_13	PFCn_12	PFCn_11	PFCn_10	PFCn_9	PFCn_8	PFCn_7	PFCn_6	PFCn_5	PFCn_4	PFCn_3	PFCn_2	PFCn_1	PFCn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「2B.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2B.44 制御レジスタ（JP0）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.46 制御レジスタ（P0）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.48 制御レジスタ（P1）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.50 制御レジスタ（P2）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.54 制御レジスタ（P8）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.56 制御レジスタ（P9）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.59 制御レジスタ（P10）(RH850/F1KM-S4)」**、**「表 2B.60 制御レジスタ（P10）(RH850/F1KM-S2)」**、**「表 2B.63 制御レジスタ（P11）(RH850/F1KM-S4)」**、**「表 2B.64 制御レジスタ（P11）(RH850/F1KM-S2)」**、**「表 2B.67 制御レジスタ（P12）(RH850/F1KM-S4)」**、**「表 2B.68 制御レジスタ（P12）(RH850/F1KM-S2)」**、**「表 2B.70 制御レジスタ（P13）(RH850/F1KM-S4)」**、**「表 2B.73 制御レジスタ（P18）(RH850/F1KM-S4)」**、**「表 2B.74 制御レジスタ（P18）(RH850/F1KM-S2)」**、**「表 2B.78 制御レジスタ（P20）(RH850/F1KM-S4, RH850/F1KM-S2)」**）を参照してください。

注2.　RH850/F1KM-S4 のみ対応

表 2B.26　PFCn レジスタの内容

ビット位置	ビット名	機能
15～0	PFCn_[15:0]	端子の兼用機能を指定します。 詳細は**「表 2B.29 兼用機能の設定」**を参照してください。

備　考

JTAG ポート機能コントロールレジスタ（JPFC0）の制御ビットは JPFC0_[7:0]になります。

2B.9.2.8　PFCEn / JPFCE0 ― ポート機能コントロール拡張レジスタ

このレジスタは、PFCn、PFCAEn レジスタとともに、端子の兼用機能を指定します。

いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCn_m は 1 に設定する必要があり、入出力は周辺機能で指定されます。

ほかの兼用機能では、入出力は PMn.PMn_m によって指定します。

アクセス　PFCEn：16 ビット単位でリード／ライト可能です。
JPFCE0：8 ビット単位でリード／ライト可能です。

アドレス　PFCEn：<PORTn_base> + 0600_H + n × 4（n＝0, 1, 2, 8, 9, 10, 11, 12, 18, 20）
JPFCE0：<JPORT0_base> + 0060_H 注1

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFCEn_15	PFCEn_14	PFCEn_13	PFCEn_12	PFCEn_11	PFCEn_10	PFCEn_9	PFCEn_8	PFCEn_7	PFCEn_6	PFCEn_5	PFCEn_4	PFCEn_3	PFCEn_2	PFCEn_1	PFCEn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「**2B.10 ポート（汎用 I/O）機能概要**」のポートグループごとの制御レジスタの表（「**表 2B.44 制御レジスタ（JP0）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.46 制御レジスタ（P0）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.48 制御レジスタ（P1）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.50 制御レジスタ（P2）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.54 制御レジスタ（P8）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.56 制御レジスタ（P9）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.59 制御レジスタ（P10）(RH850/F1KM-S4)**」、「**表 2B.60 制御レジスタ（P10）(RH850/F1KM-S2)**」、「**表 2B.63 制御レジスタ（P11）(RH850/F1KM-S4)**」、「**表 2B.64 制御レジスタ（P11）(RH850/F1KM-S2)**」、「**表 2B.67 制御レジスタ（P12）(RH850/F1KM-S4)**」、「**表 2B.68 制御レジスタ（P12）(RH850/F1KM-S2)**」、「**表 2B.73 制御レジスタ（P18）(RH850/F1KM-S4)**」、「**表 2B.74 制御レジスタ（P18）(RH850/F1KM-S2)**」、「**表 2B.78 制御レジスタ（P20）(RH850/F1KM-S4, RH850/F1KM-S2)**」）を参照してください。

表 2B.27　PFCEn レジスタの内容

ビット位置	ビット名	機能
15～0	PFCEn_[15:0]	端子の兼用機能を指定します。 詳細は「**表 2B.29 兼用機能の設定**」を参照してください。

2B.9.2.9　PFCAEn ― ポート機能コントロール追加拡張レジスタ

このレジスタは、PFCEn、PFCn レジスタとともに、兼用周辺機能を選択します。

いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCn_m は 1 に設定する必要があり、入出力は周辺機能で指定されます。

ほかの兼用機能では、入出力は PMn.PMn_m によって指定します。

アクセス　PFCAEn：16 ビット単位でリード／ライト可能です。

アドレス　PFCAEn：<PORTn_base> + $0A00_H$ + n × 4（n＝0, 1, 2, 8, 9, 10, 11, 12, 20）注1

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFCAEn_15	PFCAEn_14	PFCAEn_13	PFCAEn_12	PFCAEn_11	PFCAEn_10	PFCAEn_9	PFCAEn_8	PFCAEn_7	PFCAEn_6	PFCAEn_5	PFCAEn_4	PFCAEn_3	PFCAEn_2	PFCAEn_1	PFCAEn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「**2B.10 ポート（汎用 I/O）機能概要**」のポートグループごとの制御レジスタの表（「**表 2B.46 制御レジスタ（P0）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.48 制御レジスタ（P1）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.50 制御レジスタ（P2）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.54 制御レジスタ（P8）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.56 制御レジスタ（P9）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.59 制御レジスタ（P10）(RH850/F1KM-S4)**」、「**表 2B.60 制御レジスタ（P10）(RH850/F1KM-S2)**」、「**表 2B.63 制御レジスタ（P11）(RH850/F1KM-S4)**」、「**表 2B.64 制御レジスタ（P11）(RH850/F1KM-S2)**」、「**表 2B.67 制御レジスタ（P12）(RH850/F1KM-S4)**」、「**表 2B.68 制御レジスタ（P12）(RH850/F1KM-S2)**」、「**表 2B.78 制御レジスタ（P20）(RH850/F1KM-S4, RH850/F1KM-S2)**」）を参照してください。

表 2B.28　　PFCAEn レジスタの内容

ビット位置	ビット名	機能
15～0	PFCAEn_[15:0]	端子の兼用機能を指定します。 詳細は「**表 2B.29 兼用機能の設定**」を参照してください。

表 2B.29　　兼用機能の設定

PFCAEn_m	PFCEn_m	PFCn_m	PMn_m	機能
0	0	0	1	兼用入力モード 1
			0	兼用出力モード 1
		1	1	兼用入力モード 2
			0	兼用出力モード 2
	1	0	1	兼用入力モード 3
			0	兼用出力モード 3
		1	1	兼用入力モード 4
			0	兼用出力モード 4
1	0	0	1	兼用入力モード 5
			0	兼用出力モード 5
		1	1	兼用入力モード 6
			0	兼用出力モード 6
	1	0	1	兼用入力モード 7
			0	兼用出力モード 7
		1	X	設定禁止

注　意

- PFCn_m, PFCEn_m, PFCAEn_m ビットで兼用機能を選択後、PMCn_m＝1 に設定してください。
- この製品では、一部機能の入出力を 2 ヵ所で兼用していますが、使用できる端子機能としてはいずれか一方のみになります。2 ヵ所で同じ端子機能を設定することは禁止です。例えば、a/b/c 端子を b として使用する場合、b/d/e 端子は b として使用できません。b 以外の端子機能として設定して使用してください。

備　考

各機能の割り当ての詳細については、「**2B.10.1.2　制御レジスタ**」～「**2B.10.15.2　制御レジスタ**」を参照してください。

2B.9.3　端子データ入力／出力

2B.9.3.1　PBDCn / APBDCn / JPBDC0 — ポート双方向コントロールレジスタ

このレジスタは、出力モード時、入力バッファを許可し、ポートを双方向モードにします。双方向モード時、PPRn.PPRn_m は Pn_m 端子のレベルを読み出すことができます。

アクセス　PBDCn, APBDCn：16 ビット単位でリード／ライト可能です。
JPBDC0：8 ビット単位でリード／ライト可能です。

アドレス　PBDCn：<PORTn_base> + 4100$_H$ + n × 4（n＝0, 1, 2, 3 注2, 8, 9, 10, 11, 12, 13 注2, 18, 19 注2, 20, 21 注2, 22 注2）
APBDCn：<PORTn_base> + 41C8$_H$ + n × 4（n＝0, 1）
JPBDC0：<JPORT0_base> + 0410$_H$ 注1

リセット後の値　0000$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PBDCn_15	PBDCn_14	PBDCn_13	PBDCn_12	PBDCn_11	PBDCn_10	PBDCn_9	PBDCn_8	PBDCn_7	PBDCn_6	PBDCn_5	PBDCn_4	PBDCn_3	PBDCn_2	PBDCn_1	PBDCn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「2B.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2B.44 制御レジスタ（JP0）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.46 制御レジスタ（P0）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.48 制御レジスタ（P1）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.50 制御レジスタ（P2）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.52 制御レジスタ（P3）(RH850/F1KM-S4)」**、**「表 2B.54 制御レジスタ（P8）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.56 制御レジスタ（P9）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.59 制御レジスタ（P10）(RH850/F1KM-S4)」**、**「表 2B.60 制御レジスタ（P10）(RH850/F1KM-S2)」**、**「表 2B.63 制御レジスタ（P11）(RH850/F1KM-S4)」**、**「表 2B.64 制御レジスタ（P11）(RH850/F1KM-S2)」**、**「表 2B.67 制御レジスタ（P12）(RH850/F1KM-S4)」**、**「表 2B.68 制御レジスタ（P12）(RH850/F1KM-S2)」**、**「表 2B.70 制御レジスタ（P13）(RH850/F1KM-S4)」**、**「表 2B.73 制御レジスタ（P18）(RH850/F1KM-S4)」**、**「表 2B.74 制御レジスタ（P18）(RH850/F1KM-S2)」**、**「表 2B.76 制御レジスタ（P19）(RH850/F1KM-S4)」**、**「表 2B.78 制御レジスタ（P20）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.80 制御レジスタ（P21）(RH850/F1KM-S4)」**、**「表 2B.82 制御レジスタ（P22）(RH850/F1KM-S4)」**、**「表 2B.84 制御レジスタ（AP0）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.86 制御レジスタ（AP1）(RH850/F1KM-S4, RH850/F1KM-S2)」**）を参照してください。
注2.　RH850/F1KM-S4 のみ対応

表 2B.30　PBDCn レジスタの内容

ビット位置	ビット名	機能
15～0	PBDCn[15:0]	対応する端子の双方向モードの許可／禁止を指定します。 0：双方向モードを禁止 1：双方向モードを許可

注　意

- Pn_m ポートを兼用出力機能（PMCn.PMCn_m＝1、PMn.PMn_m＝0）として使用する場合、双方向モードを許可（PBDCn.PBDCn_m＝1）することにより、PPRn.PPRn_m で Pn_m 端子のレベルをリードすることができます。
- しかし、その兼用出力機能の出力は、同端子の兼用入力機能（PFCn.PFCn_m、PFCEn.PFCEn_m および PFCAEn.PFCAEn_m で設定された兼用入力機能）に入力されます。この兼用入力機能を他の端子で使用している場合は、その兼用入力機能の動作は保証できません。

備　考

JTAG ポート双方向コントロールレジスタ（JPBDC0）の制御ビットは JPBDC0_[7:0]になります。

2B.9.3.2　PPRn / APPRn / JPPR0 / IPPR0 ― ポート端子リードレジスタ

このレジスタは、実際の Pn_m 端子レベル、Pn.Pn_m ビットの値、または兼用機能の出力レベルを表します。

アクセス　PPRn, APPRn, IPPR0：16 ビット単位でリードのみ可能です。

JPPR0：8 ビット単位でリードのみ可能です。

アドレス　PPRn：<PORTn_base> + 0200_H + n × 4（n＝0, 1, 2, 3 注 2, 8, 9, 10, 11, 12, 13 注 2, 18, 19 注 2, 20, 21 注 2, 22 注 2）

APPRn：<PORTn_base> + $02C8_H$ + n × 4（n＝0, 1）

JPPR0：<JPORT0_base> + 0020_H

IPPR0：<PORTn_base> + $02F0_H$ 注 1

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PPRn_15	PPRn_14	PPRn_13	PPRn_12	PPRn_11	PPRn_10	PPRn_9	PPRn_8	PPRn_7	PPRn_6	PPRn_5	PPRn_4	PPRn_3	PPRn_2	PPRn_1	PPRn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。

「2B.10　ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2B.44　制御レジスタ（JP0）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.46　制御レジスタ（P0）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.48　制御レジスタ（P1）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.50　制御レジスタ（P2）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.52　制御レジスタ（P3）(RH850/F1KM-S4)」**、**「表 2B.54　制御レジスタ（P8）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.56　制御レジスタ（P9）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.59　制御レジスタ（P10）(RH850/F1KM-S4)」**、**「表 2B.60　制御レジスタ（P10）(RH850/F1KM-S2)」**、**「表 2B.63　制御レジスタ（P11）(RH850/F1KM-S4)」**、**「表 2B.64　制御レジスタ（P11）(RH850/F1KM-S2)」**、**「表 2B.67　制御レジスタ（P12）(RH850/F1KM-S4)」**、**「表 2B.68　制御レジスタ（P12）(RH850/F1KM-S2)」**、**「表 2B.70　制御レジスタ（P13）(RH850/F1KM-S4)」**、**「表 2B.73　制御レジスタ（P18）(RH850/F1KM-S4)」**、**「表 2B.74　制御レジスタ（P18）(RH850/F1KM-S2)」**、**「表 2B.76　制御レジスタ（P19）(RH850/F1KM-S4)」**、**「表 2B.78　制御レジスタ（P20）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.80　制御レジスタ（P21）(RH850/F1KM-S4)」**、**「表 2B.82　制御レジスタ（P22）(RH850/F1KM-S4)」**、**「表 2B.84　制御レジスタ（AP0）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.86　制御レジスタ（AP1）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.88　制御レジスタ（IP0）(RH850/F1KM-S4, RH850/F1KM-S2)」**）を参照してください。

注2.　RH850/F1KM-S4 のみ対応

表 2B.31　　PPRn レジスタの内容

ビット位置	ビット名	機能
15～0	PPRn_[15:0]	Pn_m 端子、Pn.Pn_m の値、または兼用機能の出力

備　考

1.　PPRn レジスタのリード値は、**「2B.7.4　端子データ入力／出力」**を参照してください。
2.　JTAG ポート端子リードレジスタ（JPPR0）の制御ビットは JPPR0_[7:0]になります。

2B.9.3.3　Pn / APn / JP0 — ポートレジスタ

このレジスタは、出力ポートモード時（PMCn.PMCn_m＝0, PMn.PMn_m＝0）に、関連のポート Pn_m から出力される Pn.Pn_m データを保持します。

アクセス　Pn, APn : 16 ビット単位でリード／ライト可能です。

JP0 : 8 ビット単位でリード／ライト可能です。

アドレス　Pn : <PORTn_base> + 0000_H + n × 4（n＝0, 1, 2, 3 注2, 8, 9, 10, 11, 12, 13 注2, 18, 19 注2, 20, 21 注2, 22 注2）

APn : <PORTn_base> + $00C8_H$ + n × 4（n＝0, 1）

JP0 : <JPORT0_base> + 0000_H 注1

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Pn_15	Pn_14	Pn_13	Pn_12	Pn_11	Pn_10	Pn_9	Pn_8	Pn_7	Pn_6	Pn_5	Pn_4	Pn_3	Pn_2	Pn_1	Pn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。

「**2B.10 ポート（汎用 I/O）機能概要**」のポートグループごとの制御レジスタの表（「**表 2B.44 制御レジスタ（JP0）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.46 制御レジスタ（P0）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.48 制御レジスタ（P1）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.50 制御レジスタ（P2）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.52 制御レジスタ（P3）(RH850/F1KM-S4)**」、「**表 2B.54 制御レジスタ（P8）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.56 制御レジスタ（P9）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.59 制御レジスタ（P10）(RH850/F1KM-S4)**」、「**表 2B.60 制御レジスタ（P10）(RH850/F1KM-S2)**」、「**表 2B.63 制御レジスタ（P11）(RH850/F1KM-S4)**」、「**表 2B.64 制御レジスタ（P11）(RH850/F1KM-S2)**」、「**表 2B.67 制御レジスタ（P12）(RH850/F1KM-S4)**」、「**表 2B.68 制御レジスタ（P12）(RH850/F1KM-S2)**」、「**表 2B.70 制御レジスタ（P13）(RH850/F1KM-S4)**」、「**表 2B.73 制御レジスタ（P18）(RH850/F1KM-S4)**」、「**表 2B.74 制御レジスタ（P18）(RH850/F1KM-S2)**」、「**表 2B.76 制御レジスタ（P19）(RH850/F1KM-S4)**」、「**表 2B.78 制御レジスタ（P20）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.80 制御レジスタ（P21）(RH850/F1KM-S4)**」、「**表 2B.82 制御レジスタ（P22）(RH850/F1KM-S4)**」、「**表 2B.84 制御レジスタ（AP0）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.86 制御レジスタ（AP1）(RH850/F1KM-S4, RH850/F1KM-S2)**」）を参照してください。

注2.　RH850/F1KM-S4 のみ対応

表 2B.32　Pn レジスタの内容

ビット位置	ビット名	機能
15～0	Pn_[15:0]	Pn_m 端子（m＝0～15）の出力レベルを設定します。 0 : ロウレベル出力 1 : ハイレベル出力

備　考

JTAG ポートレジスタ（JP0）の制御ビットは JP0_[7:0]になります。

2B.9.3.4 PNOTn / APNOTn / JPNOT0 — ポートノットレジスタ

このレジスタは、ポートレジスタ Pn に直接ライトせずに Pn の Pn_m ビットを反転できます。

アクセス PNOTn, APNOTn：16 ビット単位でライトのみ可能です。常に 0000_H をリードします。

JPNOT0：8 ビット単位でライトのみ可能です。常に 00_H をリードします。

アドレス PNOTn：<PORTn_base> + 0700_H + n × 4（n＝0, 1, 2, 3 [注2], 8, 9, 10, 11, 12, 13 [注2], 18, 19 [注2], 20, 21 [注2], 22 [注2]）

APNOTn：<PORTn_base> + $07C8_H$ + n × 4（n＝0, 1）

JPNOT0：<JPORT0_base> + 0070_H [注1]

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PNOTn_15	PNOTn_14	PNOTn_13	PNOTn_12	PNOTn_11	PNOTn_10	PNOTn_9	PNOTn_8	PNOTn_7	PNOTn_6	PNOTn_5	PNOTn_4	PNOTn_3	PNOTn_2	PNOTn_1	PNOTn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

注1. 有効ビット位置（m の値）はデバイスの端子数によって変わります。
「**2B.10 ポート（汎用 I/O）機能概要**」のポートグループごとの制御レジスタの表（「**表 2B.44 制御レジスタ（JP0）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.46 制御レジスタ（P0）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.48 制御レジスタ（P1）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.50 制御レジスタ（P2）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.52 制御レジスタ（P3）(RH850/F1KM-S4)**」、「**表 2B.54 制御レジスタ（P8）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.56 制御レジスタ（P9）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.59 制御レジスタ（P10）(RH850/F1KM-S4)**」、「**表 2B.60 制御レジスタ（P10）(RH850/F1KM-S2)**」、「**表 2B.63 制御レジスタ（P11）(RH850/F1KM-S4)**」、「**表 2B.64 制御レジスタ（P11）(RH850/F1KM-S2)**」、「**表 2B.67 制御レジスタ（P12）(RH850/F1KM-S4)**」、「**表 2B.68 制御レジスタ（P12）(RH850/F1KM-S2)**」、「**表 2B.70 制御レジスタ（P13）(RH850/F1KM-S4)**」、「**表 2B.73 制御レジスタ（P18）(RH850/F1KM-S4)**」、「**表 2B.74 制御レジスタ（P18）(RH850/F1KM-S2)**」、「**表 2B.76 制御レジスタ（P19）(RH850/F1KM-S4)**」、「**表 2B.78 制御レジスタ（P20）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.80 制御レジスタ（P21）(RH850/F1KM-S4)**」、「**表 2B.82 制御レジスタ（P22）(RH850/F1KM-S4)**」、「**表 2B.84 制御レジスタ（AP0）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.86 制御レジスタ（AP1）(RH850/F1KM-S4, RH850/F1KM-S2)**」）を参照してください。

注2. RH850/F1KM-S4 のみ対応

表 2B.33　PNOTn レジスタの内容

ビット位置	ビット名	機能
15～0	PNOTn_[15:0]	Pn.Pn_m を反転するかどうかを指定します。 0：Pn.Pn_m を反転しない（Pn_m → Pn_m） 1：Pn.Pn_m を反転する（$\overline{\text{Pn\_m}}$ → Pn_m）

備　考

JTAG ポートノットレジスタ（JPNOT0）の制御ビットは JPNOT0_[7:0]になります。

2B.9.3.5 PSRn / APSRn / JPSR0 — ポートセット／リセットレジスタ

このレジスタにより、Pn レジスタにデータをライトするもう 1 つの方法を示します。

PSRn の上位 16 ビットは、PSRn の下位 16 ビットで指定した Pn.Pn_m にデータをライトするかどうかを指定します。

アクセス　PSRn, APSRn：32 ビット単位でリード／ライト可能です。ビット 31～16 は常に 0000_H をリードします。ビット 15～0 は Pn, APn レジスタの値をリードします。

JPSR0：32 ビット単位でリード／ライト可能です。ビット 31～8 は常に 000000_H をリードします。ビット 7～0 は JP0 レジスタの値をリードします。

アドレス　PSRn：<PORTn_base> + 0100_H + n × 4（n＝0, 1, 2, 3 [注2], 8, 9, 10, 11, 12, 13 [注2], 18, 19 [注2], 20, 21 [注2], 22 [注2]）

APSRn：<PORTn_base> + $01C8_H$ + n × 4（n＝0, 1）

JPSR0：<JPORT0_base> + 0010_H [注1]

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PSRn_31	PSRn_30	PSRn_29	PSRn_28	PSRn_27	PSRn_26	PSRn_25	PSRn_24	PSRn_23	PSRn_22	PSRn_21	PSRn_20	PSRn_19	PSRn_18	PSRn_17	PSRn_16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PSRn_15	PSRn_14	PSRn_13	PSRn_12	PSRn_11	PSRn_10	PSRn_9	PSRn_8	PSRn_7	PSRn_6	PSRn_5	PSRn_4	PSRn_3	PSRn_2	PSRn_1	PSRn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。

「2B.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2B.44 制御レジスタ（JP0）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.46 制御レジスタ（P0）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.48 制御レジスタ（P1）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.50 制御レジスタ（P2）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.52 制御レジスタ（P3）(RH850/F1KM-S4)」**、**「表 2B.54 制御レジスタ（P8）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.56 制御レジスタ（P9）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.59 制御レジスタ（P10）(RH850/F1KM-S4)」**、**「表 2B.60 制御レジスタ（P10）(RH850/F1KM-S2)」**、**「表 2B.63 制御レジスタ（P11）(RH850/F1KM-S4)」**、**「表 2B.64 制御レジスタ（P11）(RH850/F1KM-S2)」**、**「表 2B.67 制御レジスタ（P12）(RH850/F1KM-S4)」**、**「表 2B.68 制御レジスタ（P12）(RH850/F1KM-S2)」**、**「表 2B.70 制御レジスタ（P13）(RH850/F1KM-S4)」**、**「表 2B.73 制御レジスタ（P18）(RH850/F1KM-S4)」**、**「表 2B.74 制御レジスタ（P18）(RH850/F1KM-S2)」**、**「表 2B.76 制御レジスタ（P19）(RH850/F1KM-S4)」**、**「表 2B.78 制御レジスタ（P20）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.80 制御レジスタ（P21）(RH850/F1KM-S4)」**、**「表 2B.82 制御レジスタ（P22）(RH850/F1KM-S4)」**、**「表 2B.84 制御レジスタ（AP0）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.86 制御レジスタ（AP1）(RH850/F1KM-S4, RH850/F1KM-S2)」**）を参照してください。

注2.　RH850/F1KM-S4 のみ対応

表 2B.34　　PSRn レジスタの内容

ビット位置	ビット名	機能
31～16	PSRn_[31:16]	対応する PSRn_m の下位ビット（PSRn_[15:0]）の値を Pn_m にライトするかどうかを指定するイネーブルビットです。 0：Pn_m は PSRn_m に依存しません。 1：Pn_m は PSRn_m の値になります。 例） PSRn.PSRn_31＝1 の場合, PSRn.PSRn_15 ビットの値を Pn.Pn_15 ビットにライトします。
15～0	PSRn_[15:0]	対応する上位ビット（PSRn_[31:16]）の PSRn_m が 1 の場合、Pn_m 値を指定するデータビットです。 0：Pn_m＝0 1：Pn_m＝1

備　考

JTAG ポートセット／リセットレジスタ（JPSR0）の制御ビットは JPSR0_[31:0]になります。

2B.9.4　電気的特性の設定

2B.9.4.1　PUn / JPU0 ―プルアップオプションレジスタ

このレジスタは、内蔵プルアップ抵抗を入力端子に接続するかどうかを指定します。

アクセス　PUn：16 ビット単位でリード／ライト可能です。
JPU0：8 ビット単位でリード／ライト可能です。

アドレス　PUn：<PORTn_base> + 4300_H + n × 4（n＝0, 1, 2, 3 注2, 8, 9, 10, 11,12, 13 注2, 18, 19 注2, 20, 21 注2, 22 注2）
JPU0：<JPORT0_base> + 0430_H 注1

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PUn_15	PUn_14	PUn_13	PUn_12	PUn_11	PUn_10	PUn_9	PUn_8	PUn_7	PUn_6	PUn_5	PUn_4	PUn_3	PUn_2	PUn_1	PUn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「2B.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2B.44 制御レジスタ（JP0）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.46 制御レジスタ（P0）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.48 制御レジスタ（P1）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.50 制御レジスタ（P2）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.52 制御レジスタ（P3）(RH850/F1KM-S4)」**、**「表 2B.54 制御レジスタ（P8）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.56 制御レジスタ（P9）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.59 制御レジスタ（P10）(RH850/F1KM-S4)」**、**「表 2B.60 制御レジスタ（P10）(RH850/F1KM-S2)」**、**「表 2B.63 制御レジスタ（P11）(RH850/F1KM-S4)」**、**「表 2B.64 制御レジスタ（P11）(RH850/F1KM-S2)」**、**「表 2B.67 制御レジスタ（P12）(RH850/F1KM-S4)」**、**「表 2B.68 制御レジスタ（P12）(RH850/F1KM-S2)」**、**「表 2B.70 制御レジスタ（P13）(RH850/F1KM-S4)」**、**「表 2B.73 制御レジスタ（P18）(RH850/F1KM-S4)」**、**「表 2B.74 制御レジスタ（P18）(RH850/F1KM-S2)」**、**「表 2B.76 制御レジスタ（P19）(RH850/F1KM-S4)」**、**「表 2B.78 制御レジスタ（P20）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.80 制御レジスタ（P21）(RH850/F1KM-S4)」**、**「表 2B.82 制御レジスタ（P22）(RH850/F1KM-S4)」**）を参照してください。
注2.　RH850/F1KM-S4 のみ対応

表 2B.35　PUn レジスタの内容

ビット位置	ビット名	機能
15～0	PUn_[15:0]	内蔵プルアップ抵抗を対応する端子に接続するかどうかを指定します。 0：内蔵プルアップ抵抗を接続しない 1：内蔵プルアップ抵抗を接続する

備　考

1. 1 端子に内蔵プルアップ抵抗（PUn.PUn_m＝1）と内蔵プルダウン抵抗（PDn.PDn_m＝1）の両方を接続するように設定した場合は、自動的に内蔵プルダウン抵抗が選択され、内蔵プルアップ抵抗は接続しません。
2. 端子が出力モードで動作している場合、内蔵プルアップ抵抗は影響しません。
3. JTAG プルアップオプションレジスタ（JPU0）の制御ビットは JPU0_[7:0]になります。

2B.9.4.2 PDn / JPD0 ―プルダウンオプションレジスタ

このレジスタは、内蔵プルダウン抵抗を入力端子に接続するかどうかを指定します。

アクセス　PDn：16 ビット単位でリード／ライト可能です。
　　　　　　JPD0：8 ビット単位でリード／ライト可能です。

アドレス　PDn：<PORTn_base> + 4400H + n × 4（n＝0, 1, 2, 3 注2, 8, 9, 10, 11, 12, 13 注2, 18, 19 注2, 20, 21 注2, 22 注2）
　　　　　　JPD0：<JPORT0_base> + 0440H 注1

リセット後の値　0000H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PDn_15	PDn_14	PDn_13	PDn_12	PDn_11	PDn_10	PDn_9	PDn_8	PDn_7	PDn_6	PDn_5	PDn_4	PDn_3	PDn_2	PDn_1	PDn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「2B.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2B.44 制御レジスタ（JP0）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.46 制御レジスタ（P0）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.48 制御レジスタ（P1）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.50 制御レジスタ（P2）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.52 制御レジスタ（P3）(RH850/F1KM-S4)」**、**「表 2B.54 制御レジスタ（P8）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.56 制御レジスタ（P9）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.59 制御レジスタ（P10）(RH850/F1KM-S4)」**、**「表 2B.60 制御レジスタ（P10）(RH850/F1KM-S2)」**、**「表 2B.63 制御レジスタ（P11）(RH850/F1KM-S4)」**、**「表 2B.64 制御レジスタ（P11）(RH850/F1KM-S2)」**、**「表 2B.67 制御レジスタ（P12）(RH850/F1KM-S4)」**、**「表 2B.68 制御レジスタ（P12）(RH850/F1KM-S2)」**、**「表 2B.70 制御レジスタ（P13）(RH850/F1KM-S4)」**、**「表 2B.73 制御レジスタ（P18）(RH850/F1KM-S4)」**、**「表 2B.74 制御レジスタ（P18）(RH850/F1KM-S2)」**、**「表 2B.76 制御レジスタ（P19）(RH850/F1KM-S4)」**、**「表 2B.78 制御レジスタ（P20）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.80 制御レジスタ（P21）(RH850/F1KM-S4)」**、**「表 2B.82 制御レジスタ（P22）(RH850/F1KM-S4)」**）を参照してください。

注2.　RH850/F1KM-S4 のみ対応

表 2B.36　　PDn レジスタの内容

ビット位置	ビット名	機能
15～0	PDn_[15:0]	内蔵プルダウン抵抗を対応する端子に接続するかどうかを指定します。 0：内蔵プルダウン抵抗を接続しない 1：内蔵プルダウン抵抗を接続する

備　考

1. 1 端子に内蔵プルアップ抵抗（PUn.PUn_m＝1）と内蔵プルダウン抵抗（PDn.PDn_m＝1）の両方を接続するように設定した場合は、自動的に内蔵プルダウン抵抗が選択され、内蔵プルアップ抵抗は接続しません。
2. 端子が出力モードで動作している場合、内蔵プルダウン抵抗は影響しません。
3. JTAG プルダウンオプションレジスタ（JPD0）の制御ビットは JPD0_[7:0]になります。

2B.9.4.3　PDSCn / JPDSC0 ― ポートドライブ強度コントロールレジスタ

このレジスタは、ポート端子の出力ドライバ強度を指定します。この機能は、出力バッファの高速モード（ハイドライブ強度）と低速モード（ロウドライブ強度）が選択できます。このレジスタを更新するためには、PPCMDn レジスタ、JPPCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。PDSC レジスタの設定が必要な兼用機能については「**2B.11.3.3 出力バッファ制御（PDSC）**」を参照してください。

アクセス　PDSCn, JPDSC0：32 ビット単位でリード／ライト可能です。

アドレス　PDSCn：<PORTn_base> + 4600_H + n × 4（n＝0, 1, 2, 3 注2, 10, 11, 12, 13 注2, 18, 19 注2, 20）

JPDSC0：<JPORT0_base> + 0460_H 注1

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PDSCn_15	PDSCn_14	PDSCn_13	PDSCn_12	PDSCn_11	PDSCn_10	PDSCn_9	PDSCn_8	PDSCn_7	PDSCn_6	PDSCn_5	PDSCn_4	PDSCn_3	PDSCn_2	PDSCn_1	PDSCn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「2B.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2B.44 制御レジスタ（JP0）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.46 制御レジスタ（P0）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.48 制御レジスタ（P1）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.50 制御レジスタ（P2）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.52 制御レジスタ（P3）(RH850/F1KM-S4)」**、**「表 2B.54 制御レジスタ（P8）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.56 制御レジスタ（P9）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.59 制御レジスタ（P10）(RH850/F1KM-S4)」**、**「表 2B.60 制御レジスタ（P10）(RH850/F1KM-S2)」**、**「表 2B.63 制御レジスタ（P11）(RH850/F1KM-S4)」**、**「表 2B.64 制御レジスタ（P11）(RH850/F1KM-S2)」**、**「表 2B.67 制御レジスタ（P12）(RH850/F1KM-S4)」**、**「表 2B.68 制御レジスタ（P12）(RH850/F1KM-S2)」**、**「表 2B.70 制御レジスタ（P13）(RH850/F1KM-S4)」**、**「表 2B.73 制御レジスタ（P18）(RH850/F1KM-S4)」**、**「表 2B.74 制御レジスタ（P18）(RH850/F1KM-S2)」**、**「表 2B.76 制御レジスタ（P19）(RH850/F1KM-S4)」**、**「表 2B.78 制御レジスタ（P20）(RH850/F1KM-S4, RH850/F1KM-S2)」**）を参照してください。

注2.　RH850/F1KM-S4 のみ対応

表 2B.37　　PDSCn レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15～0	PDSCn_[15:0]	ポート端子の出力バッファのポートドライブ強度を指定します。 0：ロウドライブ強度（端子から出力する周波数が 10MHz 以下の場合） 1：ハイドライブ強度（端子から出力する周波数が 40MHz 以下の場合）

2B.9.4.4　PODCn / JPODC0 ― ポートオープンドレインコントロールレジスタ

このレジスタは、出力バッファの機能としてプッシュプルまたはオープンドレインを選択します。このレジスタを更新するためには、PPCMDn レジスタ、JPPCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

アクセス　PODCn, JPODC0：32 ビット単位でリード／ライト可能です。

アドレス　PODCn：<PORTn_base> + 4500_H + n × 4（n＝0, 1, 2, 3 注4, 8, 9, 10, 11, 12, 13 注4, 18, 19 注4, 20, 21 注4, 22 注4）

JPODC0：<JPORT0_base> + 0450_H 注1

リセット後の値　0000 0000_H 注2

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PODCn_15	PODCn_14	PODCn_13	PODCn_12	PODCn_11	PODCn_10	PODCn_9	PODCn_8	PODCn_7	PODCn_6	PODCn_5	PODCn_4	PODCn_3	PODCn_2	PODCn_1	PODCn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0 注3	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「**2B.10 ポート（汎用 I/O）機能概要**」のポートグループごとの制御レジスタの表（「**表 2B.44 制御レジスタ（JP0）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.46 制御レジスタ（P0）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.48 制御レジスタ（P1）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.50 制御レジスタ（P2）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.52 制御レジスタ（P3）(RH850/F1KM-S4)**」、「**表 2B.54 制御レジスタ（P8）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.56 制御レジスタ（P9）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.59 制御レジスタ（P10）(RH850/F1KM-S4)**」、「**表 2B.60 制御レジスタ（P10）(RH850/F1KM-S2)**」、「**表 2B.63 制御レジスタ（P11）(RH850/F1KM-S4)**」、「**表 2B.64 制御レジスタ（P11）(RH850/F1KM-S2)**」、「**表 2B.67 制御レジスタ（P12）(RH850/F1KM-S4)**」、「**表 2B.68 制御レジスタ（P12）(RH850/F1KM-S2)**」、「**表 2B.70 制御レジスタ（P13）(RH850/F1KM-S4)**」、「**表 2B.73 制御レジスタ（P18）(RH850/F1KM-S4)**」、「**表 2B.74 制御レジスタ（P18）(RH850/F1KM-S2)**」、「**表 2B.76 制御レジスタ（P19）(RH850/F1KM-S4)**」、「**表 2B.78 制御レジスタ（P20）(RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 2B.80 制御レジスタ（P21）(RH850/F1KM-S4)**」、「**表 2B.82 制御レジスタ（P22）(RH850/F1KM-S4)**」）を参照してください。

注2.　PODC8 レジスタは次のとおりです。
OPBT0.RESETOUTEN＝1 の時、PODC8 レジスタは 0000 0040_H。
OPBT0.RESETOUTEN＝0 の時、PODC8 レジスタは 0000 0000_H。

注3.　PODC8_6 ビットは次のとおりです。
OPBT0.RESETOUTEN＝1 の時、PODC8_6 ビットは 1。
OPBT0.RESETOUTEN＝0 の時、PODC8_6 ビットは 0。

注4.　RH850/F1KM-S4 のみ対応

表 2B.38　PODCn レジスタの内容

ビット位置	ビット名	機能
31〜16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15〜0	PODCn_[15:0]	出力バッファの機能を指定します。 0：プッシュプル 1：オープンドレイン

備　考

JTAG ポートオープンドレインレジスタ（JPODC0）の制御ビットは JPODC0_[31:0]になります

2B.9.4.5　PISn / JPIS0 ― ポート入力バッファ選択レジスタ

このレジスタは、入力バッファ特性を指定します。

アクセス　PISn : 16 ビット単位でリード／ライト可能です。

JPIS0 : 8 ビット単位でリード／ライト可能です。

アドレス　PISn : <PORTn_base> + 4700$_H$ + n × 4（n＝0, 1, 2, 3 注 2, 8, 9, 10, 11, 12, 13 注 2, 18, 19 注 2, 20, 21 注 2, 22 注 2）

JPIS0 : <JPORT0_base> + 0470$_H$ 注 1

リセット後の値　FFFF$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIS n_15	PIS n_14	PIS n_13	PIS n_12	PIS n_11	PIS n_10	PIS n_9	PIS n_8	PIS n_7	PIS n_6	PIS n_5	PIS n_4	PIS n_3	PIS n_2	PIS n_1	PIS n_0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「2B.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2B.44 制御レジスタ（JP0）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.46 制御レジスタ（P0）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.48 制御レジスタ（P1）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.50 制御レジスタ（P2）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.52 制御レジスタ（P3）(RH850/F1KM-S4)」**、**「表 2B.54 制御レジスタ（P8）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.56 制御レジスタ（P9）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.59 制御レジスタ（P10）(RH850/F1KM-S4)」**、**「表 2B.60 制御レジスタ（P10）(RH850/F1KM-S2)」**、**「表 2B.63 制御レジスタ（P11）(RH850/F1KM-S4)」**、**「表 2B.64 制御レジスタ（P11）(RH850/F1KM-S2)」**、**「表 2B.67 制御レジスタ（P12）(RH850/F1KM-S4)」**、**「表 2B.68 制御レジスタ（P12）(RH850/F1KM-S2)」**、**「表 2B.70 制御レジスタ（P13）(RH850/F1KM-S4)」**、**「表 2B.73 制御レジスタ（P18）(RH850/F1KM-S4)」**、**「表 2B.74 制御レジスタ（P18）(RH850/F1KM-S2)」**、**「表 2B.76 制御レジスタ（P19）(RH850/F1KM-S4)」**、**「表 2B.78 制御レジスタ（P20）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.80 制御レジスタ（P21）(RH850/F1KM-S4)」**、**「表 2B.82 制御レジスタ（P22）(RH850/F1KM-S4)」**）を参照してください。

注2.　RH850/F1KM-S4 のみ対応

表 2B.39　　PISn レジスタの内容

ビット位置	ビット名	機能
15～0	PISn_[15:0]	入力バッファ特性を指定します。 0 : タイプ 1（SHMT1） 1 : タイプ 2（SHMT4）

備　考

1. タイプ 1 とタイプ 2 の定義は、**「2B.11.3.2 入力バッファ制御（PISn/JPIS0、PISAn/JPISA0）」**を参照してください。入力バッファ特性の詳細は、**「第 47B 章 RH850/F1KM-S4, RH850/F1KM-S2 の電気的特性」**も参照してください。
2. JTAG ポート入力バッファ選択レジスタ（JPIS0）の制御ビットは JPIS0_[7:0]になります。

2B.9.4.6 PISAn / JPISA0 — ポート入力バッファ選択アドバンストレジスタ

このレジスタは、入力バッファ特性を指定します。

アクセス　PISAn：16 ビット単位でリード／ライト可能です。
JPISA0：8 ビット単位でリード／ライト可能です。

アドレス　PISAn：<PORTn_base> + 4A00$_H$ + n × 4（n＝10, 11, 12, 13, 18）注2
JPISA0：<JPORT0_base> + 04A0$_H$ 注1

リセット後の値　0000$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PISA n_15	PISA n_14	PISA n_13	PISA n_12	PISA n_11	PISA n_10	PISA n_9	PISA n_8	PISA n_7	PISA n_6	PISA n_5	PISA n_4	PISA n_3	PISA n_2	PISA n_1	PISA n_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「2B.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2B.44 制御レジスタ（JP0）(RH850/F1KM-S4, RH850/F1KM-S2)」**、**「表 2B.59 制御レジスタ（P10）(RH850/F1KM-S4)」**、**「表 2B.63 制御レジスタ（P11）(RH850/F1KM-S4)」**、**「表 2B.67 制御レジスタ（P12）(RH850/F1KM-S4)」**、**「表 2B.70 制御レジスタ（P13）(RH850/F1KM-S4)」**、**「表 2B.73 制御レジスタ（P18）(RH850/F1KM-S4)」**）を参照してください。

注2.　RH850/F1KM-S4 のみ対応

表 2B.40　　PISAn レジスタの内容

ビット位置	ビット名	機能
15～0	PISA_[15:0]	入力バッファ特性を指定します。 0：タイプ 2（SHMT4） 1：タイプ 5（TTL）

表 2B.41　　ポート入力選択アドバンスレジスタの内容

PISAn	PISn	機能
0	0	タイプ 1 入力バッファを選択（SHMT1）
	1	タイプ 2 入力バッファを選択（SHMT4）
1	X	タイプ 5 入力バッファを選択（TTL）

備　考

タイプ 2 とタイプ 5 の定義は、**「2B.11.3.2 入力バッファ制御（PISn/JPIS0、PISAn/JPISA0）」**を参照してください。入力バッファ特性の詳細は、**「第 47B 章 RH850/F1KM-S4, RH850/F1KM-S2 の電気的特性」**も参照してください。

2B.9.5　ポートレジスタ保護

RH850/F1KM は、ポート保護クラスタレジスタとして、ポート保護コマンドレジスタ（PPCMDn）およびポート保護ステータスレジスタ（PPROTSn）を持ちます。レジスタの詳細については「**第 5 章 書き込み保護レジスタ**」を参照してください。

2B.9.6　ポート設定のフローチャート例

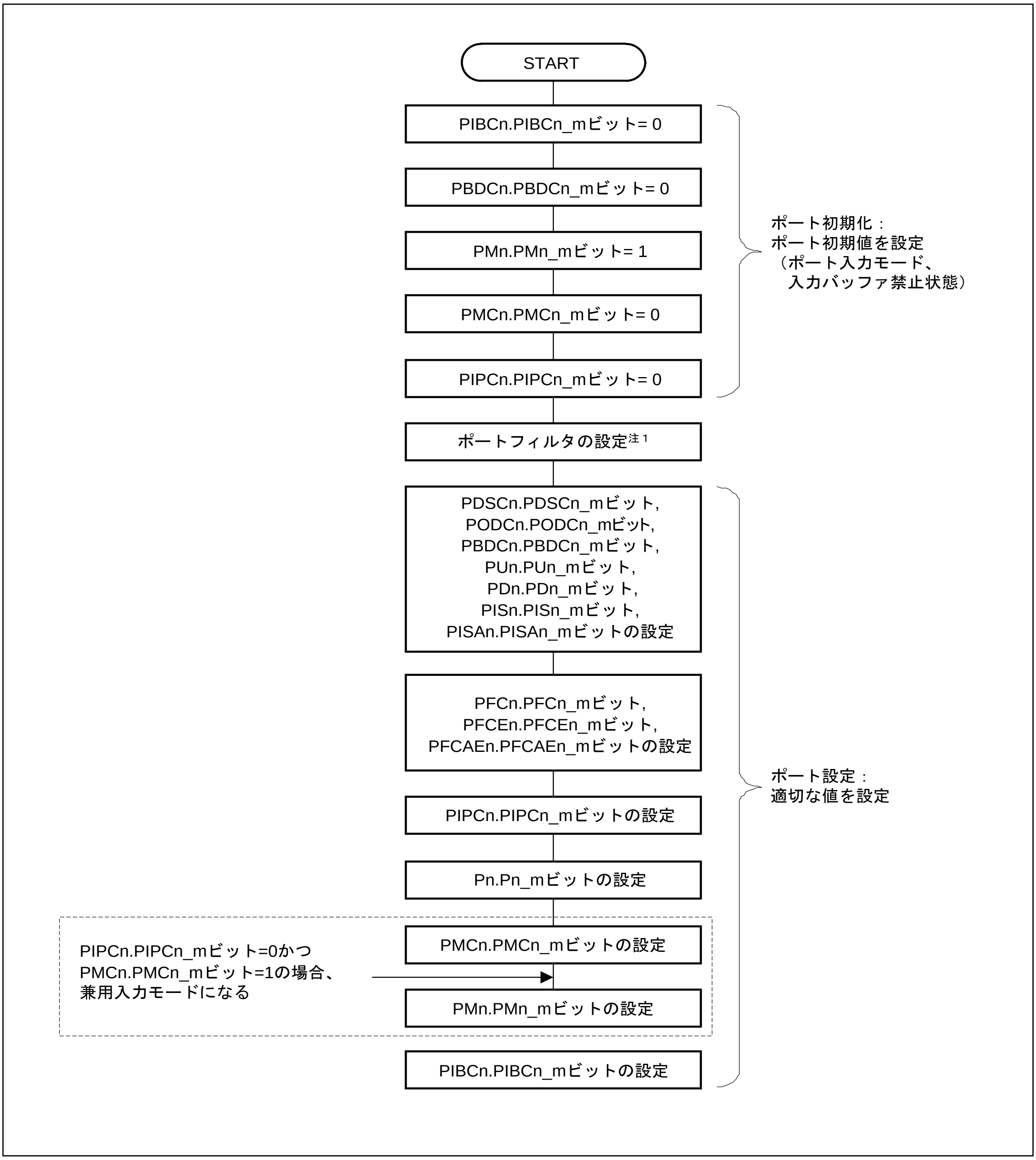
ポート設定のフローチャート例を次に示します。

注　意

ポートを PIPCn.PIPCn_m ビット＝0 かつ兼用出力モードに設定するとき、一時的に兼用入力モードになる場合があります。それは、PMCn.PMCn_m ビット＝1 の設定から PMn.PMn_m ビット＝0 の設定までのタイミングで発生します。ポート兼用機能として割り込み関連信号が設定されている場合、ポート設定中に一時的に兼用入力モードになるため、割り込みが動作しない、または無視されるようにしてください。

2B.9.6.1 一括設定

一括でポートを設定する場合のフローチャート例を次に示します。



注1.　PMC＝0 の時、以下の条件でポートレジスタの設定により割り込み要求が発生します。
NMI, INTP7, 8 :
- ポートフィルタをロウレベル検出に設定した場合
- ポートフィルタを立ち上がりエッジ検出または両エッジ検出に設定し、端子にハイレベルが入力された状態でPMC=1 とした時

INTP0～6, INTP9～23 :
- ポートフィルタをハイレベル検出に設定した場合
- ポートフィルタを立ち下がりエッジ検出または両エッジ検出に設定し、端子にロウレベルが入力された状態でPMC＝1 とした時

以下の手順によりこの意図しない割り込みの発生を回避することが出来ます。
1. PMC レジスタの設定
2. アナログフィルタによるパルス除去時間（入力ハイ／ロウレベル幅）の経過まで待つ
3. エッジ検出／レベル検出レジスタの設定

図 2B.7　　ポート設定のフローチャート例（一括設定の場合）

2B.9.6.2　個別設定

個別でポートを設定する場合のフローチャート例を次に示します。

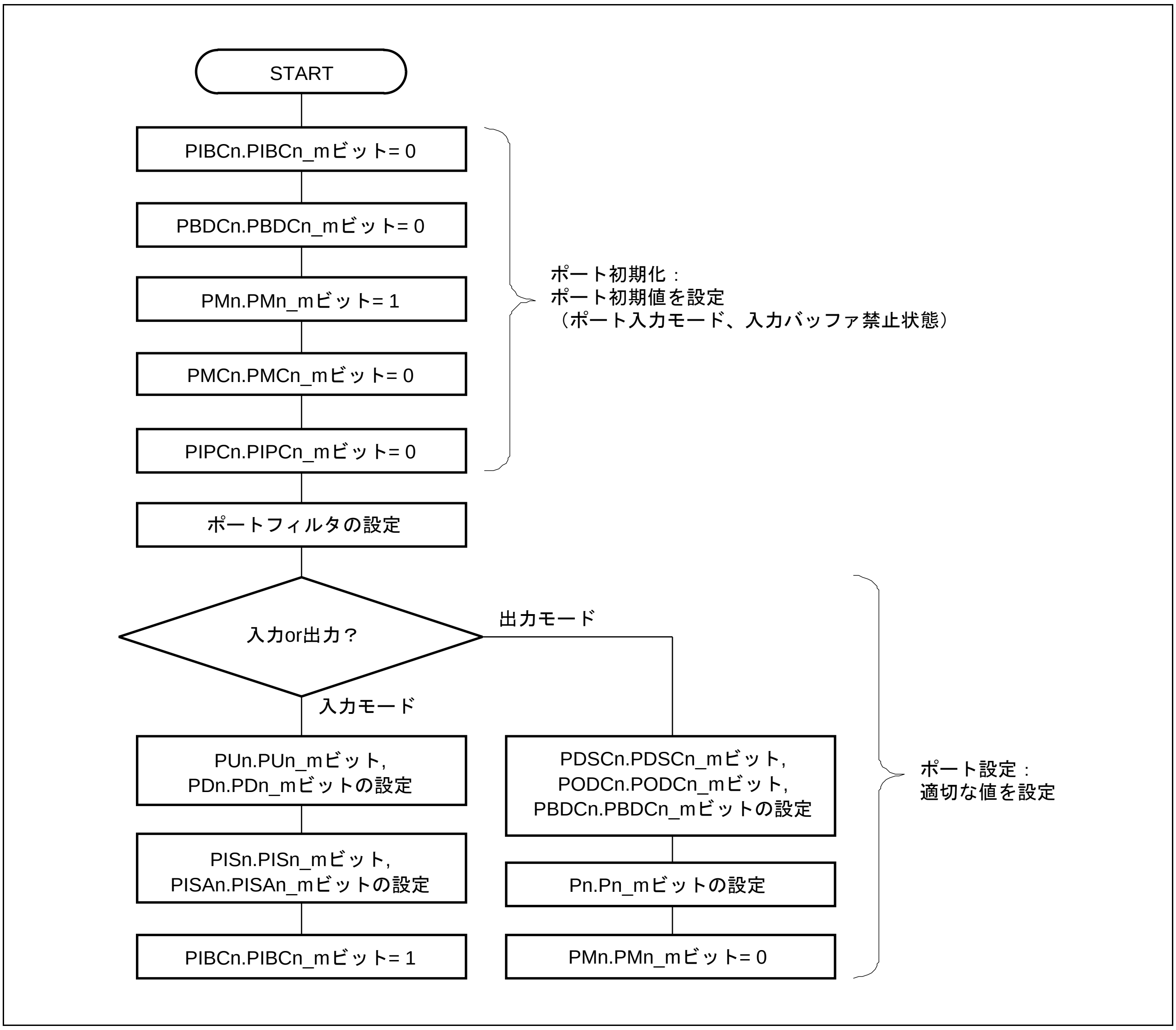


図 2B.8　　ポート設定のフローチャート例（ポートモードの場合）

(1) IP コントロールあり（PIPCn.PIPCn_m ビット＝1）の場合

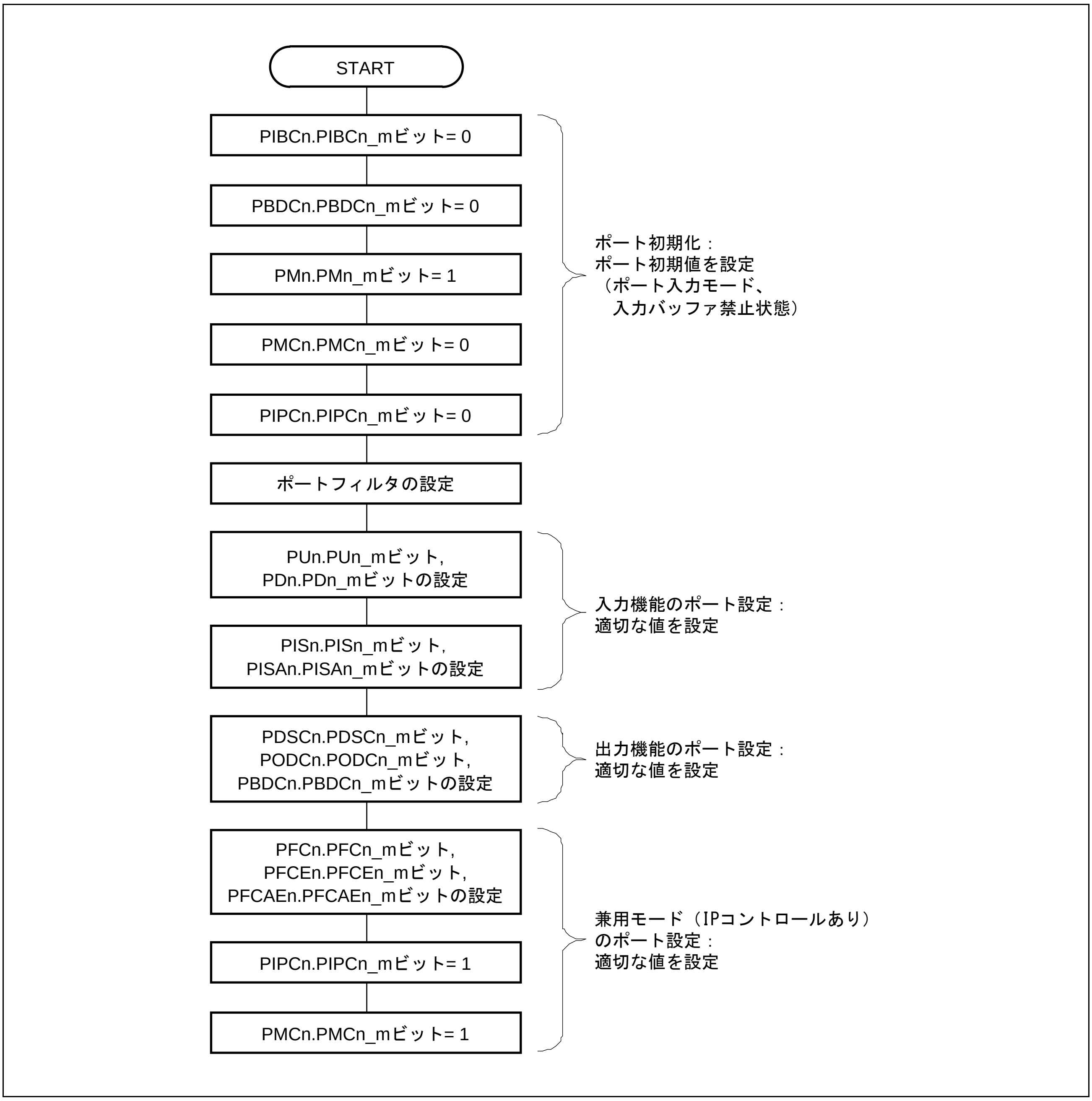
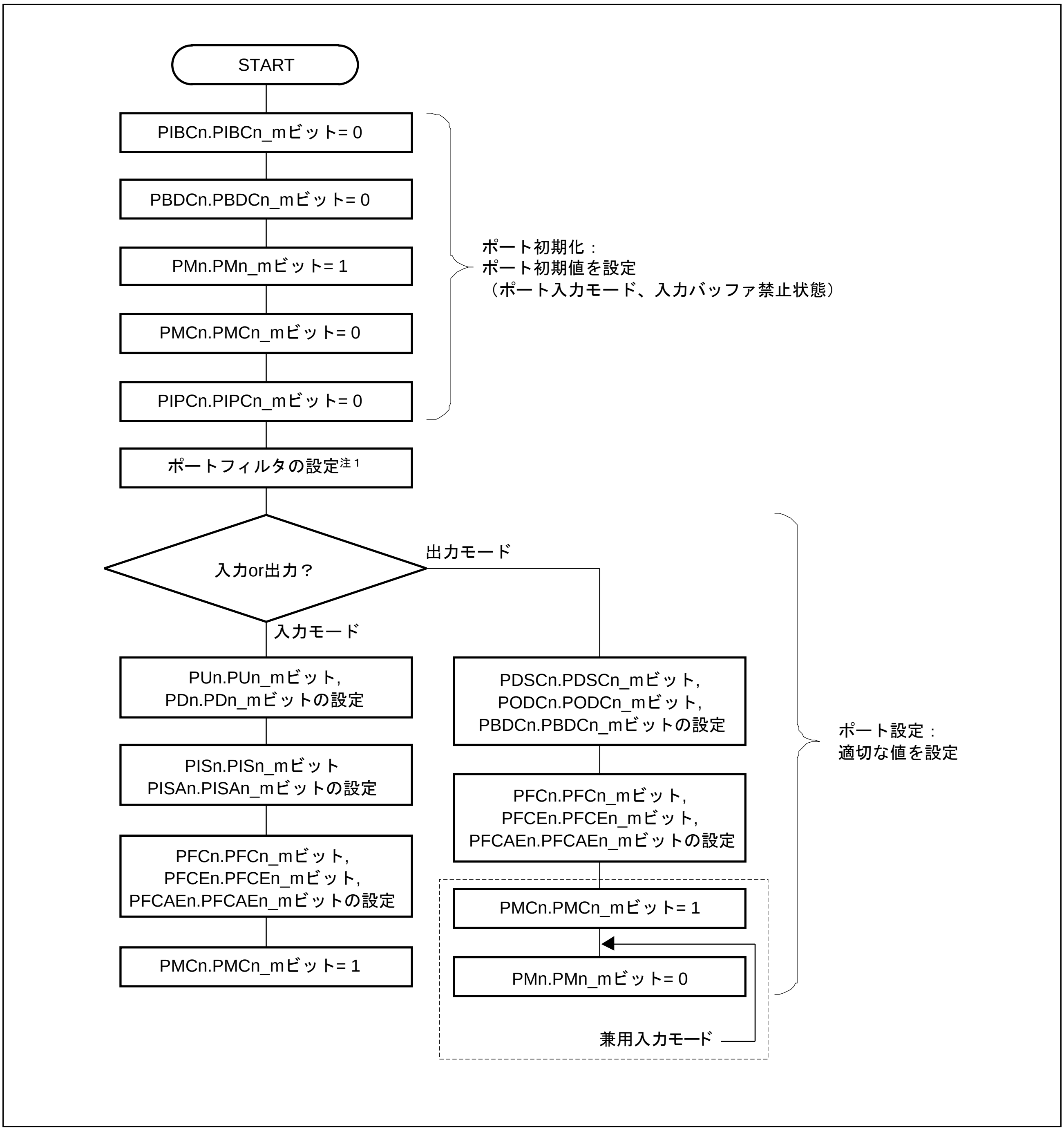


図 2B.9　　ポート設定のフローチャート例（兼用モードの場合）

(2) IP コントロールなし（PIPCn.PIPCn_m ビット＝0）の場合



注1. PMC＝0 の時、以下の条件でポートレジスタの設定により割り込み要求が発生します。

NMI, INTP7, 8 :

- ポートフィルタをロウレベル検出に設定した場合
- ポートフィルタを立ち上がりエッジ検出または両エッジ検出に設定し、端子にハイレベルが入力された状態でPMC＝1 とした時

INTP0～6, INTP9～23 :

- ポートフィルタをハイレベル検出に設定した場合
- ポートフィルタを立ち下がりエッジ検出または両エッジ検出に設定し、端子にロウレベルが入力された状態でPMC＝1 とした時

以下の手順によりこの意図しない割り込みの発生を回避することが出来ます。

1. PMC レジスタの設定
2. アナログフィルタによるパルス除去時間（入力ハイ／ロウレベル幅）の経過まで待つ
3. エッジ検出／レベル検出レジスタの設定

図 2B.10　　ポート設定のフローチャート例（兼用モードの場合）

2B.10　ポート（汎用 I/O）機能概要

本章では、ポート（汎用 I/O）の機能とポートに割り当てられているすべての機能について説明します。詳細については次ページ以降を参照してください。

なお、ポートモードか兼用モードかは、PMCn レジスタの設定によって選択できます。PMCn.PMCn_m＝1 に設定した場合、兼用機能は、PFCn、PFCEn、PFCAEn レジスタで選択します。

表 2B.42　　ポート機能 (RH850/F1KM-S4, RH850/F1KM-S2)

ポート	端子名	サイズ	方向	電力供給領域	専用兼用機能（備考）	デバイス				
						100 Pin	144 Pin	176 Pin	233 Pin 注1	272 Pin 注1
JTAG ポート 0	JP0_0 - 5	6 ビット	入力／出力	AWO	JTAG, LPD	○	—	—	—	—
	JP0_0 - 6	7 ビット				—	○	○	○	○
ポート 0	P0_0 - 14	15 ビット	入力／出力	AWO		○	○	○	○	○
ポート 1	P1_0 - 5, 8-11	10 ビット	入力／出力	AWO		—	○	—	—	—
	P1_0 - 5, 8-15	14 ビット				—	—	○	○	○
ポート 2	P2_0 - 6	7 ビット	入力／出力	AWO		—	—	○	—	—
	P2_0 - 15	16 ビット				—	—	—	○	○
ポート 3	P3_0	1 ビット	入力／出力	AWO		—	—	—	○	—
	P3_0 - 10	11 ビット				—	—	—	—	○
ポート 8	P8_2 - 12	11 ビット	入力／出力	AWO	ADCA0（10 ビット分解能）	○	—	—	—	—
	P8_0 - 12	13 ビット			$\overline{\text{RESETOUT}}$	—	○	○	○	○
ポート 9	P9_0 - 4	5 ビット	入力／出力	ISO	ADCA0（10 ビット分解能）	○	○	○	○	○
ポート 10	P10_0 - 14	15 ビット	入力／出力	ISO		○	—	—	—	—
	P10_0 - 15	16 ビット				—	○	○	○	○
ポート 11	P11_1 - 7	7 ビット	入力／出力	ISO		○	—	—	—	—
	P11_0 - 12, 15	14 ビット				—	○	○	○	○
ポート 12	P12_0 - 2	3 ビット	入力／出力	ISO		—	○	—	—	—
	P12_0 - 5	6 ビット				—	—	○	○	○
ポート 13	P13_0 - 7	8 ビット	入力／出力	ISO		—	—	—	○	○
ポート 18	P18_0 - 3	4 ビット	入力／出力	ISO	ADCA1（10 ビット分解能）	—	○	—	—	—
	P18_0 - 7	8 ビット				—	—	○	—	—
	P18_0 - 15	16 ビット				—	—	—	○	○
ポート 19	P19_0 - 3	4 ビット	入力／出力	ISO	ADCA1（10 ビット分解能）	—	—	—	○	○
ポート 20	P20_4 - 5	2 ビット	入力／出力	ISO		—	○	—	—	—
	P20_0 - 5	6 ビット				—	—	○	○	—
	P20_0 - 14	15 ビット				—	—	—	—	○
ポート 21	P21_0 - 4	5 ビット	入力／出力	ISO		—	—	—	—	○
ポート 22	P22_0 - 15	16 ビット	入力／出力	ISO		—	—	—	—	○
アナログポート 0	AP0_0 - 15	16 ビット	入力／出力	AWO	ADCA0（12/10 ビット分解能）	○	○	○	○	○
アナログポート 1	AP1_0 - 7	8 ビット	入力／出力	ISO	ADCA1（12/10 ビット分解能）	—	○	—	—	—
	AP1_0 - 15	16 ビット			ADCA1（12/10 ビット分解能）	—	—	○	○	○
入力ポート 0	IP0_0	1 ビット	入力	AWO	SOSC（XT2 端子）	—	○	○	○	○

注1.　RH850/F1KM-S4 のみ対応

2B.10.1　JTAG ポート 0（JP0）

2B.10.1.1　兼用機能

JTAG ポート 0 を汎用 IO に設定すると、以下の兼用機能が使用可能になります。この設定を行うには、OPJTAG[1:0]＝00_B にして適切なフラッシュオプションバイトを設定する必要があります。

表 2B.43　JTAG ポート 0（JP0）(RH850/F1KM-S4, RH850/F1KM-S2)

ポートモード（JPMC0_m＝0）	兼用モード（JPMC0_m＝1）										ADC	専用機能	パッケージ No.				
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用				100 Pin	144 Pin	176 Pin	233 Pin 注 2	272 Pin 注 2
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力							
JP0_0 注1	INTP0		TAUJ2I0	TAUJ2O0	FPDR	FPDT						DCUTDI/LPDI/LPDIO	28	39	47	U4	V5
JP0_1	INTP1		TAUJ0I0	TAUJ0O0		FPDT						DCUTDO/LPDO	27	38	46	P5	W4
JP0_2	INTP2		TAUJ0I1	TAUJ0O1	FPCK							DCUTCK/LPDCLK	26	37	45	T4	U5
JP0_3	INTP3	CSCXFOUT	TAUJ0I2	TAUJ0O2								DCUTMS	25	36	44	R4	V4
JP0_4												$\overline{\text{DCUTRST}}$	24	35	43	R3	Y3
JP0_5	NMI	RTCA0OUT	TAUJ0I3	TAUJ0O3								$\overline{\text{DCURDY}}$ /LPDCLKOUT	23	34	42	U3	W3
JP0_6												$\overline{\text{EVTO}}$	—	54	66	U11	W11

注1.　LPD（1 pin）モードでは、JP0_0 出力バッファはオープンドレイン状態になります。

注2.　RH850/F1KM-S4 のみ対応

注　意

兼用機能が割り当てられていないレジスタ設定をした場合の動作は保証しません。

2B.10.1.2　制御レジスタ

表 2B.44　制御レジスタ（JP0）(RH850/F1KM-S4, RH850/F1KM-S2)

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス				
			位置	R/W 注1			100 Pin	144 Pin	176 Pin	233 Pin 注2	272 Pin 注2
JP0	JTAG ポートレジスタ 0	8	5-0	R/W	0000$_H$	00$_H$	○	—	—	—	—
			6-0				—	○	○	○	○
JPSR0	JTAG ポートセット／リセットレジスタ 0	32	21-16, 5-0	R/W	0010$_H$	0000 0000$_H$	○	—	—	—	—
			22-16, 6-0				—	○	○	○	○
JPPR0	JTAG ポート端子リードレジスタ 0	8	5-0	R	0020$_H$	00$_H$	○	—	—	—	—
			6-0				—	○	○	○	○
JPM0	JTAG ポートモードレジスタ 0	8	5-0	R/W	0030$_H$	FF$_H$	○	—	—	—	—
			6-0				—	○	○	○	○
JPMC0	JTAG ポートモードコントロールレジスタ 0	8	5, 3-0	R/W	0040$_H$	00$_H$	○	○	○	○	○
JPFC0	JTAG ポート機能コントロールレジスタ 0	8	5, 3-0	R/W	0050$_H$	00$_H$	○	○	○	○	○
JPFCE0	JTAG ポート機能コントロール拡張レジスタ 0	8	2-0	R/W	0060$_H$	00$_H$	○	○	○	○	○
JPNOT0	JTAG ポートノットレジスタ 0	8	5-0	W	0070$_H$	00$_H$	○	—	—	—	—
			6-0				—	○	○	○	○
JPMSR0	JTAG ポートモードセット／リセットレジスタ 0	32	21-16, 5-0	R/W	0080$_H$	0000 FFFF$_H$	○	—	—	—	—
			22-16, 6-0				—	○	○	○	○
JPMCSR0	JTAG ポートモードコントロールセット／リセットレジスタ 0	32	21, 19-16, 5, 3-0	R/W	0090$_H$	0000 0000$_H$	○	○	○	○	○
JPIBC0	JTAG ポート入力バッファコントロールレジスタ 0	8	5-0	R/W	0400$_H$	00$_H$	○	—	—	—	—
			6-0				—	○	○	○	○
JPBDC0	JTAG ポート双方向コントロールレジスタ 0	8	5-0	R/W	0410$_H$	00$_H$	○	—	—	—	—
			6-0				—	○	○	○	○
JPU0	プルアップオプションレジスタ 0	8	5-0	R/W	0430$_H$	00$_H$	○	—	—	—	—
			6-0				—	○	○	○	○
JPD0	プルダウンオプションレジスタ 0	8	5-0	R/W	0440$_H$	00$_H$	○	—	—	—	—
			6-0				—	○	○	○	○
JPODC0	JTAG ポートオープンドレインコントロールレジスタ 0	32	5-0	R/W	0450$_H$	0000 0000$_H$	○	—	—	—	—
			6-0				—	○	○	○	○
JPDSC0	JTAG ポートドライブ強度コントロールレジスタ 0	32	5, 3-1	R/W	0460$_H$	0000 0000$_H$	○	—	—	—	—
			6, 5, 3-1				—	○	○	○	○
JPIS0	JTAG ポート入力バッファ選択レジスタ 0	8	5, 3-0	R/W	0470$_H$	FF$_H$	○	—	—	—	—
			6, 5, 3-0				—	○	○	○	○
JPISA0	JTAG ポート入力バッファ選択アドバンストレジスタ 0	8	3, 2, 0	R/W	04A0$_H$	00$_H$	○	○	○	○	○
JPPROTS0	JTAG ポート保護ステータスレジスタ 0	32	0	R	04B0$_H$	0000 0000$_H$	○	○	○	○	○
JPPCMD0	JTAG ポート保護コマンドレジスタ 0	32	7-0	W	04C0$_H$	xxxx xx00$_H$	○	○	○	○	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注2.　RH850/F1KM-S4 のみ対応

2B.10.2　ポート 0（P0）

2B.10.2.1　兼用機能

表 2B.45　ポート 0（P0）(RH850/F1KM-S4, RH850/F1KM-S2)

ポートモード（PMC0_m＝0）	兼用モード（PMC0_m＝1）														ADC	専用機能	パッケージ No.				
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				100 Pin	144 Pin	176 Pin	233 Pin 注1	272 Pin 注1
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力							
P0_0	TAUD0I2	TAUD0O2	RLIN20RX	CAN0TX		PWGA10O	$\overline{\text{CSIH0SSI}}$	DPO	TAUJ2I1	TAUJ2O1							6	13	18	J1	M1
P0_1	TAUD0I4	TAUD0O4	CAN0RX/INTP0	RLIN20TX	INTP0	PWGA11O	CSIH0SI	APO	TAUJ2I2	TAUJ2O2			CAN0RX				7	14	19	J2	M2
P0_2	TAUD0I6	TAUD0O6	CAN1RX/INTP1	RLIN30TX		PWGA12O	CSIH0SC		INTP1	DPO	TAUJ2I3	TAUJ2O3	CAN1RX				8	15	20	J4	N4
P0_3	TAUD0I8	TAUD0O8	RLIN30RX/INTP10	CAN1TX	DPIN1	PWGA13O		CSIH0SO	INTP10		TAUJ1I0	TAUJ1O0	RLIN30RX				9	16	21	K1	L3
P0_4	RLIN31RX/INTP11	CAN2TX	INTP11	PWGA10O	CSIH1SI	SELDP0	DPIN8		TAUB0I12	TAUB0O12			RLIN31RX				11	18	23	K3	N1
P0_5	CAN2RX/INTP2	RLIN31TX	DPIN9	SELDP1		CSIH1SO			TAUB0I14	TAUB0O14			CAN2RX				12	19	24	K2	N2
P0_6	INTP2		DPIN10	SELDP2	CSIH1SC					PWGA35O							13	20	25	L3	M3
P0_7	RLIN21RX		DPIN5	CSCXFOUT	CSIH1RYI	CSIH1RYO	TAUB0I0	TAUB0O0	CAN3RX/INTP3				CAN3RX				40	58	70	R11	V11
P0_8	INTP16	RLIN21TX	DPIN6	CSIH0CSS6	$\overline{\text{CSIH1SSI}}$		TAUB0I2	TAUB0O2		CAN3TX							—	57	69	T12	V10
		RLIN21TX	DPIN6	CSIH0CSS6	$\overline{\text{CSIH1SSI}}$		TAUB0I2	TAUB0O2		CAN3TX							39	—	—	—	—
P0_9	INTP12	CSIH1CSS0	DPIN7		RLIN22RX		TAUB0I4	TAUB0O4	CAN4RX/INTP4				CAN4RX				38	56	68	R10	U10
P0_10	INTP3	CSIH1CSS1	DPIN11			RLIN22TX	TAUB0I6	TAUB0O6		CAN4TX							37	55	67	T11	Y12
P0_11	RIIC0SDA		DPIN12	CSIH1CSS2	TAUB0I8	TAUB0O8	RLIN26RX	PWGA34O									—	—	26	L1	P1
	RIIC0SDA		DPIN12	CSIH1CSS2	TAUB0I8	TAUB0O8		PWGA34O									14	21	—	—	—
P0_12	RIIC0SCL		DPIN13	PWGA45O	TAUB0I10	TAUB0O10	CSIG0SI	RLIN26TX									—	—	27	L2	P2
	RIIC0SCL		DPIN13	PWGA45O	TAUB0I10	TAUB0O10	CSIG0SI										15	22	—	—	—
P0_13	RLIN32RX/INTP12		INTP12	PWGA46O	TAUB0I12	TAUB0O12		CSIG0SO	CAN5RX/INTP5		RLIN32RX		CAN5RX				16	23	28	M1	R1
P0_14	INTP17	RLIN32TX		PWGA47O	TAUB0I14	TAUB0O14	CSIG0SC			CAN5TX							—	24	29	L4	P3
		RLIN32TX		PWGA47O	TAUB0I14	TAUB0O14	CSIG0SC			CAN5TX							17	—	—	—	—

注1.　RH850/F1KM-S4 のみ対応

注　意

公開されていない兼用機能を選択した場合の動作および性能は保証できません。

2B.10.2.2　制御レジスタ

表 2B.46　制御レジスタ（P0）(RH850/F1KM-S4, RH850/F1KM-S2)

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス				
			位置	R/W 注1			100 Pin	144 Pin	176 Pin	233 Pin 注2	272 Pin 注2
P0	ポートレジスタ 0	16	14-0	R/W	0000_H	0000_H	○	○	○	○	○
PSR0	ポートセット／リセットレジスタ 0	32	30-16, 14-0	R/W	0100_H	$0000\ 0000_H$	○	○	○	○	○
PPR0	ポート端子リードレジスタ 0	16	14-0	R	0200_H	0000_H	○	○	○	○	○
PM0	ポートモードレジスタ 0	16	14-0	R/W	0300_H	$FFFF_H$	○	○	○	○	○
PMC0	ポートモードコントロールレジスタ 0	16	14-0	R/W	0400_H	0000_H	○	○	○	○	○
PFC0	ポート機能コントロールレジスタ 0	16	14-0	R/W	0500_H	0000_H	○	○	○	○	○
PFCE0	ポート機能コントロール拡張レジスタ 0	16	14-0	R/W	0600_H	0000_H	○	○	○	○	○
PNOT0	ポートノットレジスタ 0	16	14-0	W	0700_H	0000_H	○	○	○	○	○
PMSR0	ポートモードセット／リセットレジスタ 0	32	30-16, 14-0	R/W	0800_H	$0000\ FFFF_H$	○	○	○	○	○
PMCSR0	ポートモードコントロールセット／リセットレジスタ 0	32	30-16, 14-0	R/W	0900_H	$0000\ 0000_H$	○	○	○	○	○
PFCAE0	ポート機能コントロール追加拡張レジスタ 0	16	14, 13, 10-0	R/W	$0A00_H$	0000_H	○	○	○	○	○
PIBC0	ポート入力バッファコントロールレジスタ 0	16	14-0	R/W	4000_H	0000_H	○	○	○	○	○
PBDC0	ポート双方向コントロールレジスタ 0	16	14-0	R/W	4100_H	0000_H	○	○	○	○	○
PIPC0	ポート IP コントロールレジスタ 0	16	14, 13, 6, 5, 3, 2	R/W	4200_H	0000_H	○	○	○	○	○
PU0	プルアップオプションレジスタ 0	16	14-0	R/W	4300_H	0000_H	○	○	○	○	○
PD0	プルダウンオプションレジスタ 0	16	14-0	R/W	4400_H	0000_H	○	○	○	○	○
PODC0	ポートオープンドレインコントロールレジスタ 0	32	14-0	R/W	4500_H	$0000\ 0000_H$	○	○	○	○	○
PDSC0	ポートドライブ強度コントロールレジスタ 0	32	14-0	R/W	4600_H	$0000\ 0000_H$	○	○	○	○	○
PIS0	ポート入力バッファ選択レジスタ 0	16	14-0	R/W	4700_H	$FFFF_H$	○	○	○	○	○
PPROTS0	ポート保護ステータスレジスタ 0	32	0	R	$4B00_H$	$0000\ 0000_H$	○	○	○	○	○
PPCMD0	ポート保護コマンドレジスタ 0	32	7-0	W	$4C00_H$	$xxxx\ xx00_H$	○	○	○	○	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注2.　RH850/F1KM-S4 のみ対応

2B.10.3　ポート 1（P1）

2B.10.3.1　兼用機能

表 2B.47　ポート 1（P1）(RH850/F1KM-S4, RH850/F1KM-S2)

ポートモード（PMC1_m＝0）	兼用モード（PMC1_m＝1）														ADC	専用機能	パッケージ No.				
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				100 Pin	144 Pin	176 Pin	233 Pin 注 1	272 Pin 注 1
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力							
P1_0	RLIN33RX/ INTP13		INTP13				TAUJ2I0	TAUJ2O0					RLIN33RX				—	25	30	M2	T1
P1_1	INTP18	RLIN33TX					TAUJ2I1	TAUJ2O1									—	26	31	N2	R2
P1_2	CAN3RX/ INTP3		INTP3		DPIN19		TAUJ2I2	TAUJ2O2					CAN3RX				—	27	32	N1	U1
P1_3	INTP19	CAN3TX	DPIN23				TAUJ2I3	TAUJ2O3									—	28	33	N3	R4
P1_4	RLIN35RX/ INTP15		INTP15		DPIN18								RLIN35RX				—	63	75	U13	W12
P1_5	ADCA1TRG0	RLIN35TX	DPIN17		INTP20												—	62	74	U12	Y13
P1_8																	—	43	53	U5	Y6
P1_9			DPIN20		INTP21												—	42	52	R7	U6
P1_10	RLIN24RX		DPIN21		INTP22		ADCA1TRG1										—	41	51	R6	Y5
P1_11	ADCA1TRG2	RLIN24TX	DPIN22		INTP14												—	40	50	P6	V6
P1_12	CAN4RX/ INTP4		INTP4	RLIN36TX									CAN4RX				—	—	34	P1	T2
P1_13		CAN4TX	RLIN36RX /INTP16										RLIN36RX				—	—	35	P2	V1
P1_14	RLIN23RX		CAN7RX /INTP9										CAN7RX				—	—	78	U14	Y14
P1_15		RLIN23TX		CAN7TX													—	—	79	R13	U13

注1.　RH850/F1KM-S4 のみ対応

注　意

公開されていない兼用機能を選択した場合の動作および性能は保証できません。

2B.10.3.2　制御レジスタ

表 2B.48　制御レジスタ（P1）(RH850/F1KM-S4, RH850/F1KM-S2)

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス				
			位置	R/W 注1			100 Pin	144 Pin	176 Pin	233 Pin 注2	272 Pin 注2
P1	ポートレジスタ 1	16	11-8, 5-0	R/W	0004$_H$	0000$_H$	—	○	—	—	—
			15-8, 5-0				—	—	○	○	○
PSR1	ポートセット／リセットレジスタ 1	32	27-24, 21-16, 11-8, 5-0	R/W	0104$_H$	0000 0000$_H$	—	○	—	—	—
			31-24, 21-16, 15-8, 5-0				—	—	○	○	○
PPR1	ポート端子リードレジスタ 1	16	11-8, 5-0	R	0204$_H$	0000$_H$	—	○	—	—	—
			15-8, 5-0				—	—	○	○	○
PM1	ポートモードレジスタ 1	16	11-8, 5-0	R/W	0304$_H$	FFFF$_H$	—	○	—	—	—
			15-8, 5-0				—	—	○	○	○
PMC1	ポートモードコントロールレジスタ 1	16	11-9, 5-0	R/W	0404$_H$	0000$_H$	—	○	—	—	—
			15-9, 5-0				—	—	○	○	○
PFC1	ポート機能コントロールレジスタ 1	16	11-9, 5-0	R/W	0504$_H$	0000$_H$	—	○	—	—	—
			15-9, 5-0				—	—	○	○	○
PFCE1	ポート機能コントロール拡張レジスタ 1	16	11-9, 5-0	R/W	0604$_H$	0000$_H$	—	○	—	—	—
			14-9, 5-0				—	—	○	○	○
PNOT1	ポートノットレジスタ 1	16	11-8, 5-0	W	0704$_H$	0000$_H$	—	○	—	—	—
			15-8, 5-0				—	—	○	○	○
PMSR1	ポートモードセット／リセットレジスタ 1	32	27-24, 21-16, 11-8, 5-0	R/W	0804$_H$	0000 FFFF$_H$	—	○	—	—	—
			31-24, 21-16, 15-8, 5-0				—	—	○	○	○
PMCSR1	ポートモードコントロールセット／リセットレジスタ 1	32	27-25, 21-16, 11-9, 5-0	R/W	0904$_H$	0000 0000$_H$	—	○	—	—	—
			31-25, 21-16, 15-9, 5-0				—	—	○	○	○
PFCAE1	ポート機能コントロール追加拡張レジスタ 1	16	4, 2, 0	R/W	0A04$_H$	0000$_H$	—	○	—	—	—
			14-12, 4, 2, 0				—	—	○	○	○
PIBC1	ポート入力バッファコントロールレジスタ 1	16	11-8, 5-0	R/W	4004$_H$	0000$_H$	—	○	—	—	—
			15-8, 5-0				—	—	○	○	○
PBDC1	ポート双方向コントロールレジスタ 1	16	11-8, 5-0	R/W	4104$_H$	0000$_H$	—	○	—	—	—
			15-8, 5-0				—	—	○	○	○
PU1	プルアップオプションレジスタ 1	16	11-8, 5-0	R/W	4304$_H$	0000$_H$	—	○	—	—	—
			15-8, 5-0				—	—	○	○	○
PD1	プルダウンオプションレジスタ 1	16	11-8, 5-0	R/W	4404$_H$	0000$_H$	—	○	—	—	—
			15-8, 5-0				—	—	○	○	○
PODC1	ポートオープンドレインコントロールレジスタ 1	32	11-8, 5-0	R/W	4504$_H$	0000 0000$_H$	—	○	—	—	—
			15-8, 5-0				—	—	○	○	○
PDSC1	ポートドライブ強度コントロールレジスタ 1	32	11-8, 5-0	R/W	4604$_H$	0000 0000$_H$	—	○	—	—	—
			15-8, 5-0				—	—	○	○	○
PIS1	ポート入力バッファ選択レジスタ 1	16	11-8, 5-0	R/W	4704$_H$	FFFF$_H$	—	○	—	—	—
			15-8, 5-0				—	—	○	○	○
PPROTS1	ポート保護ステータスレジスタ 1	32	0	R	4B04$_H$	0000 0000$_H$	—	○	○	○	○
PPCMD1	ポート保護コマンドレジスタ 1	32	7-0	W	4C04$_H$	xxxx xx00$_H$	—	○	○	○	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注2.　RH850/F1KM-S4 のみ対応

2B.10.4　ポート 2（P2）

2B.10.4.1　兼用機能

表 2B.49　ポート 2（P2）(RH850/F1KM-S4, RH850/F1KM-S2)

ポートモード（PMC2_m＝0）	兼用モード（PMC2_m=1）														ADC	専用機能	パッケージ No.				
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				100 Pin	144 Pin	176 Pin	233 Pin 注1	272 Pin 注1
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力							
P2_0	RLIN27RX		CAN6RX/ INTP6										CAN6RX				—	—	49	T5	W5
P2_1		RLIN27TX		CAN6TX													—	—	48	R5	Y4
P2_2	RLIN28RX																—	—	65	T10	W10
P2_3		RLIN28TX															—	—	64	U10	W9
P2_4	RLIN29RX			ADCA0SEL0													—	—	76	T13	W13
P2_5		RLIN29TX		ADCA0SEL1													—	—	77	R12	V12
P2_6		ADCA0SEL2															—	—	36	R1	R3
P2_7	RLIN210RX																—	—	—	M4	U2
P2_8		RLIN210TX															—	—	—	T1	T3
P2_9		PWGA77O															—	—	—	M3	T4
P2_10		PWGA78O															—	—	—	R2	W1
P2_11		PWGA79O															—	—	—	N4	U3
P2_12	RLIN211RX																—	—	—	T2	V2
P2_13		RLIN211TX															—	—	—	P7	V7
P2_14		PWGA74O															—	—	—	T6	W6
P2_15		PWGA75O															—	—	—	P8	W7

注1.　RH850/F1KM-S4 のみ対応

注　意

公開されていない兼用機能を選択した場合の動作および性能は保証できません。

2B.10.4.2　　制御レジスタ

表 2B.50　　制御レジスタ（P2）(RH850/F1KM-S4, RH850/F1KM-S2)

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス				
			位置	R/W 注1			100 Pin	144 Pin	176 Pin	233 Pin 注2	272 Pin 注2
P2	ポートレジスタ 2	16	6-0	R/W	0008$_H$	0000$_H$	—	—	○	—	—
			15-0				—	—	—	○	○
PSR2	ポートセット／リセットレジスタ 2	32	22-16, 6-0	R/W	0108$_H$	0000 0000$_H$	—	—	○	—	—
			31-16, 15-0				—	—	—	○	○
PPR2	ポート端子リードレジスタ 2	16	6-0	R	0208$_H$	0000$_H$	—	—	○	—	—
			15-0				—	—	—	○	○
PM2	ポートモードレジスタ 2	16	6-0	R/W	0308$_H$	FFFF$_H$	—	—	○	—	—
			15-0				—	—	—	○	○
PMC2	ポートモードコントロールレジスタ 2	16	6-0	R/W	0408$_H$	0000$_H$	—	—	○	—	—
			15-0				—	—	—	○	○
PFC2	ポート機能コントロールレジスタ 2	16	5, 4, 1, 0	R/W	0508$_H$	0000$_H$	—	—	○	○	○
PFCE2	ポート機能コントロール拡張レジスタ 2	16	0	R/W	0608$_H$	0000$_H$	—	—	○	○	○
PNOT2	ポートノットレジスタ 2	16	6-0	W	0708$_H$	0000$_H$	—	—	○	—	—
			15-0				—	—	—	○	○
PMSR2	ポートモードセット／リセットレジスタ 2	32	22-16, 6-0	R/W	0808$_H$	0000 FFFF$_H$	—	—	○	—	—
			31-16, 15-0				—	—	—	○	○
PMCSR2	ポートモードコントロールセット／リセットレジスタ 2	32	22-16, 6-0	R/W	0908$_H$	0000 0000$_H$	—	—	○	—	—
			31-16, 15-0				—	—	—	○	○
PFCAE2	ポート機能コントロール追加拡張レジスタ 2	16	0	R/W	0A08$_H$	0000$_H$	—	—	○	○	○
PIBC2	ポート入力バッファコントロールレジスタ 2	16	6-0	R/W	4008$_H$	0000$_H$	—	—	○	—	—
			15-0				—	—	—	○	○
PBDC2	ポート双方向コントロールレジスタ 2	16	6-0	R/W	4108$_H$	0000$_H$	—	—	○	—	—
			15-0				—	—	—	○	○
PU2	プルアップオプションレジスタ 2	16	6-0	R/W	4308$_H$	0000$_H$	—	—	○	—	—
			15-0				—	—	—	○	○
PD2	プルダウンオプションレジスタ 2	16	6-0	R/W	4408$_H$	0000$_H$	—	—	○	—	—
			15-0				—	—	—	○	○
PODC2	ポートオープンドレインコントロールレジスタ 2	32	6-0	R/W	4508$_H$	0000 0000$_H$	—	—	○	—	—
			15-0				—	—	—	○	○
PDSC2	ポートドライブ強度コントロールレジスタ 2	32	6-0	R/W	4608$_H$	0000 0000$_H$	—	—	○	—	—
			15-0				—	—	—	○	○
PIS2	ポート入力バッファ選択レジスタ 2	16	6-0	R/W	4708$_H$	FFFF$_H$	—	—	○	—	—
			15-0				—	—	—	○	○
PPROTS2	ポート保護ステータスレジスタ 2	32	0	R	4B08$_H$	0000 0000$_H$	—	—	○	○	○
PPCMD2	ポート保護コマンドレジスタ 2	32	7-0	W	4C08$_H$	xxxx xx00$_H$	—	—	○	○	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注2.　RH850/F1KM-S4 のみ対応

2B.10.5 ポート 3（P3）

2B.10.5.1 兼用機能

表 2B.51　ポート 3（P3）(RH850/F1KM-S4)

ポートモード（PMC3_m＝0）	兼用モード（PMC3_m＝1）														ADC	専用機能	パッケージ No.				
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力							
P3_0		PWGA76O															—	—	—	R8	V8
P3_1		PWGA80O															—	—	—	—	V14
P3_2		PWGA81O															—	—	—	—	W16
P3_3		PWGA82O															—	—	—	—	V16
P3_4		PWGA83O															—	—	—	—	W18
P3_5		PWGA84O															—	—	—	—	Y19
P3_6		PWGA85O															—	—	—	—	V17
P3_7		PWGA86O															—	—	—	—	U16
P3_8		PWGA87O															—	—	—	—	W19
P3_9																	—	—	—	—	V18
P3_10																	—	—	—	—	U17

注　意

公開されていない兼用機能を選択した場合の動作および性能は保証できません。

2B.10.5.2　　制御レジスタ

表 2B.52　　制御レジスタ（P3）(RH850/F1KM-S4)

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス				
			位置	R/W 注1			100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
P3	ポートレジスタ 3	16	0	R/W	000C$_H$	0000$_H$	—	—	—	○	—
			10-0				—	—	—	—	○
PSR3	ポートセット／リセットレジスタ 3	32	16, 0	R/W	010C$_H$	0000 0000$_H$	—	—	—	○	—
			26-16, 10-0				—	—	—	—	○
PPR3	ポート端子リードレジスタ 3	16	0	R	020C$_H$	0000$_H$	—	—	—	○	—
			10-0				—	—	—	—	○
PM3	ポートモードレジスタ 3	16	0	R/W	030C$_H$	FFFF$_H$	—	—	—	○	—
			10-0				—	—	—	—	○
PMC3	ポートモードコントロールレジスタ 3	16	0	R/W	040C$_H$	0000$_H$	—	—	—	○	—
			8-0				—	—	—	—	○
PNOT3	ポートノットレジスタ 3	16	0	W	070C$_H$	0000$_H$	—	—	—	○	—
			10-0				—	—	—	—	○
PMSR3	ポートモードセット／リセットレジスタ 3	32	16, 0	R/W	080C$_H$	0000 FFFF$_H$	—	—	—	○	—
			26-16, 10-0				—	—	—	—	○
PMCSR3	ポートモードコントロールセット／リセットレジスタ 3	32	16, 0	R/W	090C$_H$	0000 0000$_H$	—	—	—	○	—
			24-16, 8-0				—	—	—	—	○
PIBC3	ポート入力バッファコントロールレジスタ 3	16	0	R/W	400C$_H$	0000$_H$	—	—	—	○	—
			10-0				—	—	—	—	○
PBDC3	ポート双方向コントロールレジスタ 3	16	0	R/W	410C$_H$	0000$_H$	—	—	—	○	—
			10-0				—	—	—	—	○
PU3	プルアップオプションレジスタ 3	16	0	R/W	430C$_H$	0000$_H$	—	—	—	○	—
			10-0				—	—	—	—	○
PD3	プルダウンオプションレジスタ 3	16	0	R/W	440C$_H$	0000$_H$	—	—	—	○	—
			10-0				—	—	—	—	○
PODC3	ポートオープンドレインコントロールレジスタ 3	32	0	R/W	450C$_H$	0000 0000$_H$	—	—	—	○	—
			10-0				—	—	—	—	○
PDSC3	ポートドライブ強度コントロールレジスタ 3	32	0	R/W	460C$_H$	0000 0000$_H$	—	—	—	○	—
			10-0				—	—	—	—	○
PIS3	ポート入力バッファ選択レジスタ 3	16	0	R/W	470C$_H$	FFFF$_H$	—	—	—	○	—
			10-0				—	—	—	—	○
PPROTS3	ポート保護ステータスレジスタ 3	32	0	R	4B0C$_H$	0000 0000$_H$	—	—	—	○	○
PPCMD3	ポート保護コマンドレジスタ 3	32	7-0	W	4C0C$_H$	0000 0000$_H$	—	—	—	○	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2B.10.6　ポート 8（P8）

2B.10.6.1　兼用機能

表 2B.53　ポート 8（P8）(RH850/F1KM-S4, RH850/F1KM-S2)

ポートモード（PMC8_m＝0）	兼用モード（PMC8_m＝1）														ADC	専用機能	パッケージ No.				
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				100 Pin	144 Pin	176 Pin	233 Pin 注1	272 Pin 注1
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力							
P8_0	TAUJ0I0	TAUJ0O0	DPIN2	PWGA14O	INTP4	CSIH0CSS0	CAN6RX/INTP6		RIIC1SDA		SENT0RX		CAN6RX		ADCA0I0S		—	64	80	U15	W14
P8_1	TAPA0ESO	TAUJ0O1	DPIN0	PWGA15O	INTP5	CSIH1CSS3		CAN6TX	RIIC1SCL			SENT0SPCO			ADCA0I1S		—	65	81	T14	V13
P8_2	TAUJ0I0	TAUJ0O0	DPIN2	CSIH0CSS0	INTP6	PWGA22O		RLIN37TX							ADCA0I4S		—	—	38	U2	W2
	TAUJ0I0	TAUJ0O0	DPIN2	CSIH0CSS0	INTP6	PWGA22O									ADCA0I4S		19	30	—	—	—
P8_3	TAUJ0I1	TAUJ0O1	DPIN3	CSIH0CSS1	INTP7	PWGA23O		CAN7TX							ADCA0I5S		44	66	82	U16	Y15
P8_4	TAUJ0I2	TAUJ0O2	DPIN4	CSIH0CSS2	INTP8	PWGA36O	CAN7RX/INTP9						CAN7RX		ADCA0I6S		45	67	83	R14	W15
P8_5	TAUJ0I3	TAUJ0O3	NMI	CSIH0CSS3	INTP9	PWGA37O									ADCA0I7S		46	68	84	T15	Y16
P8_6	NMI	CSIH0CSS4		PWGA38O		RTCA0OUT									ADCA0I8S	$\overline{\text{RESETOUT}}$	47	69	85	P13	Y17
P8_7		CSIH3CSS0		PWGA39O		ADCA0SEL0		RTCA0OUT							ADCA0I14S		48	70	86	R15	V15
P8_8		CSIH3CSS1		PWGA40O		ADCA0SEL1	RLIN34RX/INTP14						RLIN34RX		ADCA0I15S		—	71	87	P14	W17
		CSIH3CSS1		PWGA40O		ADCA0SEL1									ADCA0I15S		49	—	—	—	—
P8_9		CSIH3CSS2		PWGA41O		ADCA0SEL2		RLIN34TX							ADCA0I16S		—	72	88	T16	Y18
		CSIH3CSS2		PWGA41O		ADCA0SEL2									ADCA0I16S		50	—	—	—	—
P8_10		CSIH3CSS3	DPIN14	PWGA42O			RLIN37RX/INTP17						RLIN37RX		ADCA0I17S		—	—	39	P3	V3
		CSIH3CSS3	DPIN14	PWGA42O											ADCA0I17S		20	31	—	—	—
P8_11	TAUJ1I2	TAUJ1O2	DPIN15	PWGA43O		CSIH1CSS4	RLIN25RX								ADCA0I18S		—	32	40	T3	Y2
	TAUJ1I2	TAUJ1O2	DPIN15	PWGA43O		CSIH1CSS4									ADCA0I18S		21	—	—	—	—
P8_12	TAUJ1I3	TAUJ1O3	DPIN16	PWGA44O		CSIH1CSS5	INTP23	RLIN25TX							ADCA0I19S		—	33	41	P4	U4
	TAUJ1I3	TAUJ1O3	DPIN16	PWGA44O		CSIH1CSS5									ADCA0I19S		22	—	—	—	—

注1.　RH850/F1KM-S4 のみ対応

注　意

1.　公開されていない兼用機能を選択した場合の動作および性能は保証できません。
2.　A/D 機能は初期設定で使用してください。詳細は「**表 2B.54　制御レジスタ（P8）**(RH850/F1KM-S4, RH850/F1KM-S2)」を参照してください。
3.　リセット中およびリセット解除後、P8_6 端子は $\overline{\text{RESETOUT}}$ 機能としてロウレベルを出力します。詳細は「**2B.11.1.1　P8_6: $\overline{\text{RESETOUT}}$**」を参照してください。

2B.10.6.2　制御レジスタ

表 2B.54　制御レジスタ（P8）(RH850/F1KM-S4, RH850/F1KM-S2)

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス				
			位置	R/W 注1			100 Pin	144 Pin	176 Pin	233 Pin 注2	272 Pin 注2
P8	ポートレジスタ 8	16	12-2	R/W	0020$_H$	0000$_H$	○	—	—	—	—
			12-0				—	○	○	○	○
PSR8	ポートセット／リセットレジスタ 8	32	28-18, 12-2	R/W	0120$_H$	0000 0000$_H$	○	—	—	—	—
			28-16, 12-0				—	○	○	○	○
PPR8	ポート端子リードレジスタ 8	16	12-2	R	0220$_H$	0000$_H$	○	—	—	—	—
			12-0		0220$_H$		—	○	○	○	○
PM8	ポートモードレジスタ 8	16	12-2	R/W	0320$_H$	FFBF$_H$	○	—	—	—	—
			12-0	R/W			—	○	○	○	○
PMC8	ポートモードコントロールレジスタ 8	16	12-2	R/W	0420$_H$	0000$_H$	○	—	—	—	—
			12-0				—	○	○	○	○
PFC8	ポート機能コントロールレジスタ 8	16	12-2	R/W	0520$_H$	0000$_H$	○	—	—	—	—
			12-0				—	○	○	○	○
PFCE8	ポート機能コントロール拡張レジスタ 8	16	12, 11, 9-2	R/W	0620$_H$	0000$_H$	○	—	—	—	—
			12, 11, 9-0				—	○	—	—	—
			12-0				—	—	○	○	○
PNOT8	ポートノットレジスタ 8	16	12-2	W	0720$_H$	0000$_H$	○	—	—	—	—
			12-0				—	○	○	○	○
PMSR8	ポートモードセット／リセットレジスタ 8	32	28-18, 12-2	R/W	0820$_H$	0000 FFBF$_H$	○	—	—	—	—
			28-16, 12-0				—	○	○	○	○
PMCSR8	ポートモードコントロールセット／リセットレジスタ 8	32	28-18, 12-2	R/W	0920$_H$	0000 0000$_H$	○	—	—	—	—
			28-16, 12-0				—	○	○	○	○
PFCAE8	ポート機能コントロール追加拡張レジスタ 8	16	4	R/W	0A20$_H$	0000$_H$	○	—	—	—	—
			8, 4, 1, 0				—	○	—	—	—
			10, 8, 4, 1, 0				—	—	○	○	○
PIBC8	ポート入力バッファコントロールレジスタ 8	16	12-2	R/W	4020$_H$	0000$_H$	○	—	—	—	—
			12-0				—	○	○	○	○
PBDC8	ポート双方向コントロールレジスタ 8	16	12-2	R/W	4120$_H$	0000$_H$	○	—	—	—	—
			12-0				—	○	○	○	○
PU8	プルアップオプションレジスタ 8	16	12-2	R/W	4320$_H$	0000$_H$	○	—	—	—	—
			12-0				—	○	○	○	○
PD8	プルダウンオプションレジスタ 8	16	12-2	R/W	4420$_H$	0000$_H$	○	—	—	—	—
			12-0				—	○	○	○	○
PODC8	ポートオープンドレインコントロールレジスタ 8	32	12-2	R/W	4520$_H$	0000 0040$_H$	○	—	—	—	—
			12-0				—	○	○	○	○
PIS8	ポート入力バッファ選択レジスタ 8	16	12-2	R/W	4720$_H$	FFFF$_H$	○	—	—	—	—
			12-0				—	○	○	○	○
PPROTS8	ポート保護ステータスレジスタ 8	32	0	R	4B20$_H$	0000 0000$_H$	○	○	○	○	○
PPCMD8	ポート保護コマンドレジスタ 8	32	7-0	W	4C20$_H$	xxxx xx00$_H$	○	○	○	○	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注2.　RH850/F1KM-S4 のみ対応

注　意

P8_6 はレジスタ操作により設定が変わるまで，どのリセット解除後でもロウレベルを出力します。詳細は「**2B.11.1.1 P8_6: RESETOUT** 」を参照してください。

2B.10.7 ポート 9（P9）

2B.10.7.1 兼用機能

表 2B.55 ポート 9（P9）(RH850/F1KM-S4, RH850/F1KM-S2)

ポートモード（PMC9_m=0）	兼用モード（PMC9_m=1）														ADC	専用機能	パッケージ No.				
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				100 Pin	144 Pin	176 Pin	233 Pin 注1	272 Pin 注1
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力							
P9_0	NMI	PWGA8O	TAUD0I0	TAUD0O0	ADCA0TRG0	CSIH2CSS0	KR0I4		TAUJ1I1	TAUJ1O1	SENT1RX		RIIC1SDA		ADCA0I2S		69	92	108	K16	N18
P9_1	INTP11	PWGA9O	TAUD0I2	TAUD0O2	KR0I5	CSIH2CSS1			TAUJ1I2	TAUJ1O2		SENT1SPCO	RIIC1SCL		ADCA0I3S		70	93	109	K17	N19
P9_2	KR0I6	PWGA20O	TAPA0ESO	CSIH2CSS2											ADCA0I9S		71	94	110	J17	N20
P9_3	KR0I7	PWGA21O		CSIH2CSS3	TAUJ1I1	TAUJ1O1	INTP16								ADCA0I10S		—	95	111	J15	M18
	KR0I7	PWGA21O		CSIH2CSS3	TAUJ1I1	TAUJ1O1									ADCA0I10S		72	—	—	—	—
P9_4		CSIH0CSS5		PWGA33O	TAUJ1I0	TAUJ1O0	INTP17								ADCA0I11S		—	96	112	J16	M19
		CSIH0CSS5		PWGA33O	TAUJ1I0	TAUJ1O0									ADCA0I11S		73	—	—	—	—

注1. RH850/F1KM-S4 のみ対応

注 意

1. 公開されていない兼用機能を選択した場合の動作および性能は保証できません。
2. A/D 機能は初期設定で使用してください。詳細は「**表 2B.56 制御レジスタ（P9）**(RH850/F1KM-S4, RH850/F1KM-S2)」を参照してください。

2B.10.7.2　制御レジスタ

表 2B.56　制御レジスタ（P9）(RH850/F1KM-S4, RH850/F1KM-S2)

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス				
			位置	R/W 注1			100 Pin	144 Pin	176 Pin	233 Pin 注2	272 Pin 注2
P9	ポートレジスタ 9	16	4-0	R/W	0024_H	0000_H	○	○	○	○	○
PSR9	ポートセット／リセットレジスタ 9	32	20-16, 4-0	R/W	0124_H	$0000\ 0000_H$	○	○	○	○	○
PPR9	ポート端子リードレジスタ 9	16	4-0	R	0224_H	0000_H	○	○	○	○	○
PM9	ポートモードレジスタ 9	16	4-0	R/W	0324_H	$FFFF_H$	○	○	○	○	○
PMC9	ポートモードコントロールレジスタ 9	16	4-0	R/W	0424_H	0000_H	○	○	○	○	○
PFC9	ポート機能コントロールレジスタ 9	16	4-0	R/W	0524_H	0000_H	○	○	○	○	○
PFCE9	ポート機能コントロール拡張レジスタ 9	16	4, 3, 1, 0	R/W	0624_H	0000_H	○	○	○	○	○
PNOT9	ポートノットレジスタ 9	16	4-0	W	0724_H	0000_H	○	○	○	○	○
PMSR9	ポートモードセット／リセットレジスタ 9	32	20-16, 4-0	R/W	0824_H	$0000\ FFFF_H$	○	○	○	○	○
PMCSR9	ポートモードコントロールセット／リセットレジスタ 9	32	20-16, 4-0	R/W	0924_H	$0000\ 0000_H$	○	○	○	○	○
PFCAE9	ポート機能コントロール追加拡張レジスタ 9	16	1, 0	R/W	$0A24_H$	0000_H	○	○	○	○	○
PIBC9	ポート入力バッファコントロールレジスタ 9	16	4-0	R/W	4024_H	0000_H	○	○	○	○	○
PBDC9	ポート双方向コントロールレジスタ 9	16	4-0	R/W	4124_H	0000_H	○	○	○	○	○
PU9	プルアップオプションレジスタ 9	16	4-0	R/W	4324_H	0000_H	○	○	○	○	○
PD9	プルダウンオプションレジスタ 9	16	4-0	R/W	4424_H	0000_H	○	○	○	○	○
PODC9	ポートオープンドレインコントロールレジスタ 9	32	4-0	R/W	4524_H	$0000\ 0000_H$	○	○	○	○	○
PIS9	ポート入力バッファ選択レジスタ 9	16	4-0	R/W	4724_H	$FFFF_H$	○	○	○	○	○
PPROTS9	ポート保護ステータスレジスタ 9	32	0	R	$4B24_H$	$0000\ 0000_H$	○	○	○	○	○
PPCMD9	ポート保護コマンドレジスタ 9	32	7-0	W	$4C24_H$	$xxxx\ xx00_H$	○	○	○	○	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注2.　RH850/F1KM-S4 のみ対応

2B.10.8　ポート 10（P10）

2B.10.8.1　兼用機能

表 2B.57　ポート 10（P10）(RH850/F1KM-S4)

ポートモード（PMC10_m＝0）	兼用モード（PMC10_m＝1）														ADC	専用機能	パッケージ No.				
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力							
P10_0	TAUD0I1	TAUD0O1	CAN0RX/INTP0	CSCXFOUT		PWGA0O	TAUJ1I3	TAPA0UP	CSIH1SI	MEMC0A19	ETNB0RXCLK	TAUJ1O3	CAN0RX				—	—	174	A2	C4
	TAUD0I1	TAUD0O1	CAN0RX/INTP0	CSCXFOUT		PWGA0O	TAUJ1I3	TAPA0UP	CSIH1SI			TAUJ1O3	CAN0RX				98	142	—	—	—
P10_1	TAUD0I3	TAUD0O3	INTP18	CAN0TX		PWGA1O	TAUJ3I0	TAPA0UN	CSIH1SC		ETNB0RXD0	MEMC0A20		TAUJ3O0		MODE0	—	—	175	B2	B3
	TAUD0I3	TAUD0O3	INTP18	CAN0TX		PWGA1O	TAUJ3I0	TAPA0UN	CSIH1SC					TAUJ3O0		MODE0	—	143	—	—	—
	TAUD0I3	TAUD0O3		CAN0TX		PWGA1O	TAUJ3I0	TAPA0UN	CSIH1SC					TAUJ3O0		MODE0	99	—	—	—	—
P10_2	TAUD0I5	TAUD0O5	RIIC0SDA		KR0I0	PWGA2O	ADCA0TRG0	TAPA0VP		CSIH1SO	ETNB0RXD1	MEMC0A21		RLIN37TX		MODE1	—	—	176	C3	C3
	TAUD0I5	TAUD0O5	RIIC0SDA		KR0I0	PWGA2O	ADCA0TRG0	TAPA0VP		CSIH1SO						MODE1	100	144	—	—	—
P10_3	TAUD0I7	TAUD0O7	RIIC0SCL		KR0I1	PWGA3O	ADCA0TRG1	TAPA0VN	$\overline{\mathrm{CSIH1SSI}}$	MEMC0CLK	RLIN37RX/INTP17		RLIN37RX				—	—	1	B1	B2
	TAUD0I7	TAUD0O7	RIIC0SCL		KR0I1	PWGA3O	ADCA0TRG1	TAPA0VN	$\overline{\mathrm{CSIH1SSI}}$								1	1	—	—	—
P10_4	TAUD0I9	TAUD0O9	RLIN21RX	CAN6TX	KR0I2	ADCA0SEL0	ADCA0TRG2	TAPA0WP	$\overline{\mathrm{CSIG0SSI}}$	PWGA53O	ETNB0RXD2	MEMC0A22					—	—	2	D3	E3
	TAUD0I9	TAUD0O9	RLIN21RX	CAN6TX	KR0I2	ADCA0SEL0	ADCA0TRG2	TAPA0WP	$\overline{\mathrm{CSIG0SSI}}$	PWGA53O							—	2	—	—	—
	TAUD0I9	TAUD0O9	RLIN21RX	CAN6TX	KR0I2	ADCA0SEL0	ADCA0TRG2	TAPA0WP	$\overline{\mathrm{CSIG0SSI}}$								2	—	—	—	—
P10_5	TAUD0I11	TAUD0O11	CAN6RX/INTP6	RLIN21TX	KR0I3	ADCA0SEL1		TAPA0WN	CSIG0RYI	CSIG0RYO	ETNB0RXD3	PWGA54O	CAN6RX				—	—	3	C2	D3
	TAUD0I11	TAUD0O11	CAN6RX/INTP6	RLIN21TX	KR0I3	ADCA0SEL1		TAPA0WN	CSIG0RYI	CSIG0RYO		PWGA54O	CAN6RX				—	3	—	—	—
	TAUD0I11	TAUD0O11	CAN6RX/INTP6	RLIN21TX	KR0I3	ADCA0SEL1		TAPA0WN	CSIG0RYI	CSIG0RYO			CAN6RX				3	—	—	—	—
P10_6	TAUD0I13	TAUD0O13		CSIG0SO	ENCA0TIN0	ADCA0SEL2	CAN1RX/INTP1		MEMC0AD0		RLIN24RX		CAN1RX			MODE2	—	—	152	A9	A12
	TAUD0I13	TAUD0O13		CSIG0SO	ENCA0TIN0	ADCA0SEL2	CAN1RX/INTP1				RLIN24RX		CAN1RX			MODE2	—	120	—	—	—
	TAUD0I13	TAUD0O13		CSIG0SO	ENCA0TIN0	ADCA0SEL2	CAN1RX/INTP1						CAN1RX			MODE2	80	—	—	—	—

表 2B.57　　ポート 10（P10）(RH850/F1KM-S4)

ポートモード（PMC10_m＝0）	兼用モード（PMC10_m＝1）														ADC	専用機能	パッケージ No.				
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力							
P10_7	TAUD0I15	TAUD0O15	CSIG0SC		ENCA0TIN1	PWGA4O		CAN1TX	MEMC0AD1			RLIN24TX	TAUJ3I1	TAUJ3O1			—	—	153	A8	C11
	TAUD0I15	TAUD0O15	CSIG0SC		ENCA0TIN1	PWGA4O		CAN1TX				RLIN24TX	TAUJ3I1	TAUJ3O1			—	121	—	—	—
	TAUD0I15	TAUD0O15	CSIG0SC		ENCA0TIN1	PWGA4O		CAN1TX					TAUJ3I1	TAUJ3O1			81	—	—	—	—
P10_8	TAUD0I10	TAUD0O10	CSIG0SI	FLXA0TXDB	ENCA0EC	PWGA5O	MEMC0AD2						TAUJ3I2	TAUJ3O2		FLMD1	—	—	154	D8	B11
	TAUD0I10	TAUD0O10	CSIG0SI	FLXA0TXDB	ENCA0EC	PWGA5O							TAUJ3I2	TAUJ3O2		FLMD1	82	122	—	—	—
P10_9	TAUD0I12	TAUD0O12	RLIN30RX /INTP10		ENCA0E0	PWGA6O	CSIH0RYI	CSIH0RYO	MEMC0AD3		FLXA0RXDB		RLIN30RX				—	—	155	B8	C12
	TAUD0I12	TAUD0O12	RLIN30RX /INTP10		ENCA0E0	PWGA6O	CSIH0RYI	CSIH0RYO			FLXA0RXDB		RLIN30RX				83	123	—	—	—
P10_10	TAUD0I14	TAUD0O14		RLIN30TX	ENCA0E1	PWGA7O		CSIH0CSS1	MEMC0AD4				TAUJ3I3	TAUJ3O3			—	—	156	A7	A11
	TAUD0I14	TAUD0O14		RLIN30TX	ENCA0E1	PWGA7O		CSIH0CSS1					TAUJ3I3	TAUJ3O3			84	124	—	—	—
P10_11		PWGA16O	RLIN31RX /INTP11	FLXA0TXENA		CSIH1CSS0	TAUB0I1	TAUB0O1	MEMC0AD5				RLIN31RX				—	—	157	C8	D11
		PWGA16O	RLIN31RX /INTP11	FLXA0TXENA		CSIH1CSS0	TAUB0I1	TAUB0O1					RLIN31RX				85	125	—	—	—
P10_12		PWGA17O	FLXA0STPWT	RLIN31TX		CSIH1CSS1	TAUB0I3	TAUB0O3	MEMC0AD6								—	—	158	D7	A10
		PWGA17O	FLXA0STPWT	RLIN31TX		CSIH1CSS1	TAUB0I3	TAUB0O3									86	126	—	—	—
P10_13	$\overline{\text{CSIH0SSI}}$	PWGA18O	RLIN32RX /INTP12	FLXA0TXENB			TAUB0I5	TAUB0O5	MEMC0AD7			CAN7TX	RLIN32RX				—	—	159	A6	C10
	$\overline{\text{CSIH0SSI}}$	PWGA18O	RLIN32RX /INTP12	FLXA0TXENB			TAUB0I5	TAUB0O5				CAN7TX	RLIN32RX				87	127	—	—	—

表 2B.57　　ポート 10（P10）(RH850/F1KM-S4)

ポートモード（PMC10_m＝0）	兼用モード（PMC10_m＝1）														ADC	専用機能	パッケージ No.				
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力							
P10_14	ADCA1TRG0	PWGA19O	FLXA0RXDA	RLIN32TX	$\overline{\text{CSIH3SSI}}$		TAUB0I7	TAUB0O7	MEMC0AD8		CAN7RX/INTP9		CAN7RX				—	—	160	B7	B10
	ADCA1TRG0	PWGA19O	FLXA0RXDA	RLIN32TX	$\overline{\text{CSIH3SSI}}$		TAUB0I7	TAUB0O7			CAN7RX/INTP9		CAN7RX				—	128	—	—	—
		PWGA19O	FLXA0RXDA	RLIN32TX	$\overline{\text{CSIH3SSI}}$		TAUB0I7	TAUB0O7			CAN7RX/INTP9		CAN7RX				88	—	—	—	—
P10_15	CSIH3RYI	CSIH3RYO		PWGA24O	RLIN22RX		TAUB0I9	TAUB0O9		$\overline{\text{MEMC0RD}}$							—	—	6	C1	D1
	CSIH3RYI	CSIH3RYO		PWGA24O	RLIN22RX		TAUB0I9	TAUB0O9									—	4	—	—	—

注　意

公開されていない兼用機能を選択した場合の動作および性能は保証できません。

表 2B.58　　ポート 10（P10）(RH850/F1KM-S2)

ポートモード（PMC10_m＝0）	兼用モード（PMC10_m＝1）														ADC	専用機能	パッケージ No.		
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				100 Pin	144 Pin	176 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力					
P10_0	TAUD0I1	TAUD0O1	CAN0RX/ INTP0	CSCXFOUT		PWGA0O	TAUJ1I3	TAPA0UP	CSIH1SI			TAUJ1O3	CAN0RX				98	142	174
P10_1	TAUD0I3	TAUD0O3	INTP18	CAN0TX		PWGA1O	TAUJ3I0	TAPA0UN	CSIH1SC					TAUJ3O0		MODE0	—	143	175
	TAUD0I3	TAUD0O3		CAN0TX		PWGA1O	TAUJ3I0	TAPA0UN	CSIH1SC					TAUJ3O0		MODE0	99	—	—
P10_2	TAUD0I5	TAUD0O5	RIIC0SDA		KR0I0	PWGA2O	ADCA0TRG0	TAPA0VP		CSIH1SO				RLIN37TX		MODE1	—	—	176
	TAUD0I5	TAUD0O5	RIIC0SDA		KR0I0	PWGA2O	ADCA0TRG0	TAPA0VP		CSIH1SO						MODE1	100	144	—
P10_3	TAUD0I7	TAUD0O7	RIIC0SCL		KR0I1	PWGA3O	ADCA0TRG1	TAPA0VN	$\overline{\text{CSIH1SSI}}$		RLIN37RX/ INTP17		RLIN37RX				—	—	1
	TAUD0I7	TAUD0O7	RIIC0SCL		KR0I1	PWGA3O	ADCA0TRG1	TAPA0VN	$\overline{\text{CSIH1SSI}}$								1	1	—
P10_4	TAUD0I9	TAUD0O9	RLIN21RX	CAN6TX	KR0I2	ADCA0SEL0	ADCA0TRG2	TAPA0WP	$\overline{\text{CSIG0SSI}}$	PWGA53O							—	2	2
	TAUD0I9	TAUD0O9	RLIN21RX	CAN6TX	KR0I2	ADCA0SEL0	ADCA0TRG2	TAPA0WP	$\overline{\text{CSIG0SSI}}$								2	—	—
P10_5	TAUD0I11	TAUD0O11	CAN6RX/ INTP6	RLIN21TX	KR0I3	ADCA0SEL1		TAPA0WN	CSIG0RYI	CSIG0RYO		PWGA54O	CAN6RX				—	3	3
	TAUD0I11	TAUD0O11	CAN6RX/ INTP6	RLIN21TX	KR0I3	ADCA0SEL1		TAPA0WN	CSIG0RYI	CSIG0RYO			CAN6RX				3	—	—
P10_6	TAUD0I13	TAUD0O13		CSIG0SO	ENCA0TIN0	ADCA0SEL2	CAN1RX /INTP1				RLIN24RX		CAN1RX			MODE2	—	120	152
	TAUD0I13	TAUD0O13		CSIG0SO	ENCA0TIN0	ADCA0SEL2	CAN1RX /INTP1						CAN1RX			MODE2	80	—	—

表 2B.58　　ポート 10（P10）(RH850/F1KM-S2)

ポートモード（PMC10_m＝0）	兼用モード（PMC10_m＝1）														ADC	専用機能	パッケージ No.		
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				100 Pin	144 Pin	176 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力					
P10_7	TAUD0I15	TAUD0O15	CSIG0SC		ENCA0TIN1	PWGA4O		CAN1TX				RLIN24TX	TAUJ3I1	TAUJ3O1			—	121	153
	TAUD0I15	TAUD0O15	CSIG0SC		ENCA0TIN1	PWGA4O		CAN1TX					TAUJ3I1	TAUJ3O1			81	—	—
P10_8	TAUD0I10	TAUD0O10	CSIG0SI		ENCA0EC	PWGA5O							TAUJ3I2	TAUJ3O2		FLMD1	82	122	154
P10_9	TAUD0I12	TAUD0O12	RLIN30RX /INTP10		ENCA0E0	PWGA6O	CSIH0RYI	CSIH0RYO					RLIN30RX				83	123	155
P10_10	TAUD0I14	TAUD0O14		RLIN30TX	ENCA0E1	PWGA7O		CSIH0CSS1					TAUJ3I3	TAUJ3O3			84	124	156
P10_11		PWGA16O	RLIN31RX /INTP11			CSIH1CSS0	TAUB0I1	TAUB0O1					RLIN31RX				85	125	157
P10_12		PWGA17O		RLIN31TX		CSIH1CSS1	TAUB0I3	TAUB0O3									86	126	158
P10_13	$\overline{\text{CSIH0SSI}}$	PWGA18O	RLIN32RX /INTP12				TAUB0I5	TAUB0O5				CAN7TX	RLIN32RX				87	127	159
P10_14	ADCA1TRG0	PWGA19O		RLIN32TX	$\overline{\text{CSIH3SSI}}$		TAUB0I7	TAUB0O7			CAN7RX/ INTP9		CAN7RX				—	128	160
		PWGA19O		RLIN32TX	$\overline{\text{CSIH3SSI}}$		TAUB0I7	TAUB0O7			CAN7RX/ INTP9		CAN7RX				88	—	—
P10_15	CSIH3RYI	CSIH3RYO		PWGA24O	RLIN22RX		TAUB0I9	TAUB0O9									—	4	6

注　意

公開されていない兼用機能を選択した場合の動作および性能は保証できません。

2B.10.8.2　制御レジスタ

表 2B.59　制御レジスタ（P10）(RH850/F1KM-S4)

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス				
			位置	R/W 注1			100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
P10	ポートレジスタ 10	16	14-0	R/W	0028$_H$	0000$_H$	○	—	—	—	—
			15-0	R/W	0028$_H$	0000$_H$	—	○	○	○	○
PSR10	ポートセット／リセットレジスタ 10	32	30-16, 14-0	R/W	0128$_H$	0000 0000$_H$	○	—	—	—	—
			31-16, 15-0	R/W	0128$_H$	0000 0000$_H$	—	○	○	○	○
PPR10	ポート端子リードレジスタ 10	16	14-0	R	0228$_H$	0000$_H$	○	—	—	—	—
			15-0	R	0228$_H$	0000$_H$	—	○	○	○	○
PM10	ポートモードレジスタ 10	16	14-0	R/W	0328$_H$	FFFF$_H$	○	—	—	—	—
			15-0	R/W	0328$_H$	FFFF$_H$	—	○	○	○	○
PMC10	ポートモードコントロールレジスタ 10	16	14-0	R/W	0428$_H$	0000$_H$	○	—	—	—	—
			15-0	R/W	0428$_H$	0000$_H$	—	○	○	○	○
PFC10	ポート機能コントロールレジスタ 10	16	14-0	R/W	0528$_H$	0000$_H$	○	—	—	—	—
			15-0	R/W	0528$_H$	0000$_H$	—	○	○	○	○
PFCE10	ポート機能コントロール拡張レジスタ 10	16	14-0	R/W	0628$_H$	0000$_H$	○	—	—	—	—
			15-0	R/W	0628$_H$	0000$_H$	—	○	○	○	○
PNOT10	ポートノットレジスタ 10	16	14-0	W	0728$_H$	0000$_H$	○	—	—	—	—
			15-0	W	0728$_H$	0000$_H$	—	○	○	○	○
PMSR10	ポートモードセット／リセットレジスタ 10	32	30-16, 14-0	R/W	0828$_H$	0000 FFFF$_H$	○	—	—	—	—
			31-16, 15-0	R/W	0828$_H$	0000 FFFF$_H$	—	○	○	○	○
PMCSR10	ポートモードコントロールセット／リセットレジスタ 10	32	30-16, 14-0	R/W	0928$_H$	0000 0000$_H$	○	—	—	—	—
			31-16, 15-0	R/W	0928$_H$	0000 0000$_H$	—	○	○	○	○
PFCAE10	ポート機能コントロール追加拡張レジスタ 10	16	14-0	R/W	0A28$_H$	0000$_H$	○	○	—	—	—
			15-0				—	—	○	○	○
PIBC10	ポート入力バッファコントロールレジスタ 10	16	14-0	R/W	4028$_H$	0000$_H$	○	—	—	—	—
			15-0	R/W	4028$_H$	0000$_H$	—	○	○	○	○
PBDC10	ポート双方向コントロールレジスタ 10	16	14-0	R/W	4128$_H$	0000$_H$	○	—	—	—	—
			15-0	R/W	4128$_H$	0000$_H$	—	○	○	○	○
PIPC10	ポート IP コントロールレジスタ 10	16	7-0	R/W	4228$_H$	0000$_H$	○	○	—	—	—
			14-0				—	—	○	○	○
PU10	プルアップオプションレジスタ 10	16	14-0	R/W	4328$_H$	0000$_H$	○	—	—	—	—
			15-0	R/W	4328$_H$	0000$_H$	—	○	○	○	○
PD10	プルダウンオプションレジスタ 10	16	14-0	R/W	4428$_H$	0000$_H$	○	—	—	—	—
			15-0	R/W	4428$_H$	0000$_H$	—	○	○	○	○
PODC10	ポートオープンドレインコントロールレジスタ 10	32	14-0	R/W	4528$_H$	0000 0000$_H$	○	—	—	—	—
			15-0	R/W	4528$_H$	0000 0000$_H$	—	○	○	○	○
PDSC10	ポートドライブ強度コントロールレジスタ 10	32	14-0	R/W	4628$_H$	0000 0000$_H$	○	—	—	—	—
			15-0	R/W	4628$_H$	0000 0000$_H$	—	○	○	○	○
PIS10	ポート入力バッファ選択レジスタ 10	16	14-0	R/W	4728$_H$	FFFF$_H$	○	—	—	—	—
			15-0	R/W	4728$_H$	FFFF$_H$	—	○	○	○	○
PISA10	ポート入力バッファ選択アドバンストレジスタ 10	16	5, 4, 2-0	R/W	4A28$_H$	0000$_H$	—	—	○	○	○
PPROTS10	ポート保護ステータスレジスタ 10	32	0	R	4B28$_H$	0000 0000$_H$	○	○	○	○	○
PPCMD10	ポート保護コマンドレジスタ 10	32	7-0	W	4C28$_H$	xxxx xx00$_H$	○	○	○	○	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 2B.60　制御レジスタ（P10）(RH850/F1KM-S2)

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス		
			位置	R/W 注1			100 Pin	144 Pin	176 Pin
P10	ポートレジスタ 10	16	14-0	R/W	0028_H	0000_H	○	—	—
			15-0	R/W	0028_H	0000_H	—	○	○
PSR10	ポートセット／リセットレジスタ 10	32	30-16, 14-0	R/W	0128_H	$0000\ 0000_H$	○	—	—
			31-16, 15-0	R/W	0128_H	$0000\ 0000_H$	—	○	○
PPR10	ポート端子リードレジスタ 10	16	14-0	R	0228_H	0000_H	○	—	—
			15-0	R	0228_H	0000_H	—	○	○
PM10	ポートモードレジスタ 10	16	14-0	R/W	0328_H	$FFFF_H$	○	—	—
			15-0	R/W	0328_H	$FFFF_H$	—	○	○
PMC10	ポートモードコントロールレジスタ 10	16	14-0	R/W	0428_H	0000_H	○	—	—
			15-0	R/W	0428_H	0000_H	—	○	○
PFC10	ポート機能コントロールレジスタ 10	16	14-0	R/W	0528_H	0000_H	○	—	—
			15-0	R/W	0528_H	0000_H	—	○	○
PFCE10	ポート機能コントロール拡張レジスタ 10	16	14-0	R/W	0628_H	0000_H	○	—	—
			15-0	R/W	0628_H	0000_H	—	○	○
PNOT10	ポートノットレジスタ 10	16	14-0	W	0728_H	0000_H	○	—	—
			15-0	W	0728_H	0000_H	—	○	○
PMSR10	ポートモードセット／リセットレジスタ 10	32	30-16, 14-0	R/W	0828_H	$0000\ FFFF_H$	○	—	—
			31-16, 15-0	R/W	0828_H	$0000\ FFFF_H$	—	○	○
PMCSR10	ポートモードコントロールセット／リセットレジスタ 10	32	30-16, 14-0	R/W	0928_H	$0000\ 0000_H$	○	—	—
			31-16, 15-0	R/W	0928_H	$0000\ 0000_H$	—	○	○
PFCAE10	ポート機能コントロール追加拡張レジスタ 10	16	14, 13, 11-0	R/W	$0A28_H$	0000_H	○	○	○
PIBC10	ポート入力バッファコントロールレジスタ 10	16	14-0	R/W	4028_H	0000_H	○	—	—
			15-0	R/W	4028_H	0000_H	—	○	○
PBDC10	ポート双方向コントロールレジスタ 10	16	14-0	R/W	4128_H	0000_H	○	—	—
			15-0	R/W	4128_H	0000_H	—	○	○
PIPC10	ポート IP コントロールレジスタ 10	16	7-0	R/W	4228_H	0000_H	○	○	○
PU10	プルアップオプションレジスタ 10	16	14-0	R/W	4328_H	0000_H	○	—	—
			15-0	R/W	4328_H	0000_H	—	○	○
PD10	プルダウンオプションレジスタ 10	16	14-0	R/W	4428_H	0000_H	○	—	—
			15-0	R/W	4428_H	0000_H	—	○	○
PODC10	ポートオープンドレインコントロールレジスタ 10	32	14-0	R/W	4528_H	$0000\ 0000_H$	○	—	—
			15-0	R/W	4528_H	$0000\ 0000_H$	—	○	○
PDSC10	ポートドライブ強度コントロールレジスタ 10	32	14-0	R/W	4628_H	$0000\ 0000_H$	○	—	—
			15-0	R/W	4628_H	$0000\ 0000_H$	—	○	○
PIS10	ポート入力バッファ選択レジスタ 10	16	14-0	R/W	4728_H	$FFFF_H$	○	—	—
			15-0	R/W	4728_H	$FFFF_H$	—	○	○
PPROTS10	ポート保護ステータスレジスタ 10	32	0	R	$4B28_H$	$0000\ 0000_H$	○	○	○
PPCMD10	ポート保護コマンドレジスタ 10	32	7-0	W	$4C28_H$	$xxxx\ xx00_H$	○	○	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。
ライトする場合はリセット後の値を書いてください。

2B.10.9　ポート 11（P11）

2B.10.9.1　兼用機能

表 2B.61　ポート 11（P11）(RH850/F1KM-S4)

ポートモード（PMC11_m＝0）	兼用モード（PMC11_m＝1）														ADC	専用機能	パッケージ No.				
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力							
P11_0	CSIH2RYI	CSIH2RYO	ADCA1TRG2	PWGA25O		RLIN22TX	TAUB0I11	TAUB0O11		$\overline{\text{MEMC0WR}}$							—	—	7	D2	E1
	CSIH2RYI	CSIH2RYO	ADCA1TRG2	PWGA25O		RLIN22TX	TAUB0I11	TAUB0O11									—	5	—	—	—
P11_1	$\overline{\text{CSIH2SSI}}$	FLXA0TXDA	RLIN20RX	CSIH0CSS7	INTP20	PWGA26O	TAUB0I13	TAUB0O13	MEMC0AD9								—	—	161	A5	A9
	$\overline{\text{CSIH2SSI}}$	FLXA0TXDA	RLIN20RX	CSIH0CSS7	INTP20	PWGA26O	TAUB0I13	TAUB0O13									—	129	—	—	—
	$\overline{\text{CSIH2SSI}}$	FLXA0TXDA	RLIN20RX	CSIH0CSS7		PWGA26O	TAUB0I13	TAUB0O13									89	—	—	—	—
P11_2		CSIH2SO	RLIN32RX/INTP12	RLIN20TX		PWGA27O	TAUB0I15	TAUB0O15	MEMC0AD10		SFMA0IO3		RLIN32RX				—	—	162	C7	D9
		CSIH2SO	RLIN32RX/INTP12	RLIN20TX		PWGA27O	TAUB0I15	TAUB0O15			SFMA0IO3		RLIN32RX				—	130	—	—	—
		CSIH2SO	RLIN32RX/INTP12	RLIN20TX		PWGA27O	TAUB0I15	TAUB0O15					RLIN32RX				90	—	—	—	—
P11_3	CSIH2SC		CAN3RX/INTP3	PWGA28O	TAUB1I1	TAUB1O1	MEMC0AD11			RLIN32TX	SFMA0IO2		CAN3RX				—	—	163	B6	C9
	CSIH2SC		CAN3RX/INTP3	PWGA28O						RLIN32TX	SFMA0IO2		CAN3RX				—	131	—	—	—
	CSIH2SC		CAN3RX/INTP3	PWGA28O						RLIN32TX			CAN3RX				91	—	—	—	—
P11_4	CSIH2SI	CAN3TX	INTP21	PWGA29O	TAUB1I3	TAUB1O3	MEMC0AD12				SFMA0IO1						—	—	164	B5	B8
	CSIH2SI	CAN3TX	INTP21	PWGA29O							SFMA0IO1						—	132	—	—	—
	CSIH2SI	CAN3TX		PWGA29O													92	—	—	—	—
P11_5	CAN5RX/INTP5	RLIN33TX		PWGA30O	CSIH3SI		TAUB1I5	TAUB1O5	MEMC0AD13		SFMA0IO0		CAN5RX				—	—	165	A4	B7
	CAN5RX/INTP5	RLIN33TX		PWGA30O	CSIH3SI						SFMA0IO0		CAN5RX				—	133	—	—	—
	CAN5RX/INTP5			PWGA30O	CSIH3SI								CAN5RX				93	—	—	—	—

表 2B.61　　ポート 11（P11）(RH850/F1KM-S4)

ポートモード（PMC11_m=0）	兼用モード（PMC11_m=1） 第 1 兼用 入力	第 1 兼用 出力	第 2 兼用 入力	第 2 兼用 出力	第 3 兼用 入力	第 3 兼用 出力	第 4 兼用 入力	第 4 兼用 出力	第 5 兼用 入力	第 5 兼用 出力	第 6 兼用 入力	第 6 兼用 出力	第 7 兼用 入力	第 7 兼用 出力	ADC	専用機能	パッケージ No. 100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
P11_6	RLIN33RX /INTP13	CAN5TX	ADCA1TRG1	PWGA31O		CSIH3SO	TAUB1I7	TAUB1O7	MEMC0AD14			SFMA0SSL	RLIN33RX				—	—	166	D6	C7
	RLIN33RX /INTP13	CAN5TX	ADCA1TRG1	PWGA31O		CSIH3SO						SFMA0SSL	RLIN33RX				—	134	—	—	—
	INTP13	CAN5TX		PWGA31O		CSIH3SO											94	—	—	—	—
P11_7	INTP5			PWGA32O	CSIH3SC		TAUB1I9	TAUB1O9	MEMC0AD15			SFMA0CLK					—	—	167	C6	D8
	INTP5			PWGA32O	CSIH3SC							SFMA0CLK					—	135	—	—	—
	INTP5			PWGA32O	CSIH3SC												95	—	—	—	—
P11_8	$\overline{\mathrm{CSIG1SSI}}$	RLIN35TX		PWGA48O	TAUB1I11	TAUB1O11		$\overline{\mathrm{MEMC0CS0}}$									—	—	8	E3	E2
	$\overline{\mathrm{CSIG1SSI}}$	RLIN35TX		PWGA48O													—	6	—	—	—
P11_9		CSIG1SO	RLIN35RX /INTP15	PWGA49O	TAUB1I13	TAUB1O13		$\overline{\mathrm{MEMC0CS1}}$					RLIN35RX				—	—	9	D1	F3
		CSIG1SO	RLIN35RX /INTP15	PWGA49O									RLIN35RX				—	7	—	—	—
P11_10	CSIG1SC			PWGA50O	TAUB1I15	TAUB1O15		$\overline{\mathrm{MEMC0CS2}}$									—	—	10	E2	G3
	CSIG1SC			PWGA50O													—	8	—	—	—
P11_11	CSIG1SI	RLIN25TX		PWGA51O	TAUB1I0	TAUB1O0		$\overline{\mathrm{MEMC0CS3}}$	ETNB0RXDV								—	—	11	F3	G2
	CSIG1SI	RLIN25TX		PWGA51O													—	9	—	—	—
P11_12	RLIN25RX			PWGA52O	TAUB1I2	TAUB1O2	$\overline{\mathrm{MEMC0WAIT}}$										—	—	12	E1	H2
	RLIN25RX			PWGA52O													—	10	—	—	—
P11_15	CAN2RX /INTP2	CSIH2CSS4		PWGA55O	TAUB1I8	TAUB1O8		$\overline{\mathrm{MEMC0ASTB}}$	ETNB0RXERR	RLIN36TX			CAN2RX				—	—	168	D5	A5
	CAN2RX /INTP2	CSIH2CSS4		PWGA55O									CAN2RX				—	136	—	—	—

注　意

公開されていない兼用機能を選択した場合の動作および性能は保証できません。

表 2B.62　　ポート 11（P11）(RH850/F1KM-S2)

ポートモード（PMC11_m＝0）	兼用モード（PMC11_m=1）														ADC	専用機能	パッケージ No.		
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				100 Pin	144 Pin	176 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力					
P11_0	CSIH2RYI	CSIH2RYO	ADCA1TRG2	PWGA25O		RLIN22TX	TAUB0I11	TAUB0O11									—	5	7
P11_1	$\overline{\text{CSIH2SSI}}$		RLIN20RX	CSIH0CSS7	INTP20	PWGA26O	TAUB0I13	TAUB0O13									—	129	161
	$\overline{\text{CSIH2SSI}}$		RLIN20RX	CSIH0CSS7		PWGA26O	TAUB0I13	TAUB0O13									89	—	—
P11_2		CSIH2SO	RLIN32RX/INTP12	RLIN20TX		PWGA27O	TAUB0I15	TAUB0O15			SFMA0IO3		RLIN32RX				—	130	162
		CSIH2SO	RLIN32RX/INTP12	RLIN20TX		PWGA27O	TAUB0I15	TAUB0O15					RLIN32RX				90	—	—
P11_3	CSIH2SC		CAN3RX/INTP3	PWGA28O	TAUB1I1	TAUB1O1				RLIN32TX	SFMA0IO2		CAN3RX				—	—	163
	CSIH2SC		CAN3RX/INTP3	PWGA28O						RLIN32TX	SFMA0IO2		CAN3RX				—	131	—
	CSIH2SC		CAN3RX/INTP3	PWGA28O						RLIN32TX			CAN3RX				91	—	—
P11_4	CSIH2SI	CAN3TX	INTP21	PWGA29O	TAUB1I3	TAUB1O3					SFMA0IO1						—	—	164
	CSIH2SI	CAN3TX	INTP21	PWGA29O							SFMA0IO1						—	132	—
	CSIH2SI	CAN3TX		PWGA29O													92	—	—
P11_5	CAN5RX/INTP5	RLIN33TX		PWGA30O	CSIH3SI		TAUB1I5	TAUB1O5			SFMA0IO0		CAN5RX				—	—	165
	CAN5RX/INTP5	RLIN33TX		PWGA30O	CSIH3SI						SFMA0IO0		CAN5RX				—	133	—
	CAN5RX/INTP5			PWGA30O	CSIH3SI								CAN5RX				93	—	—

表 2B.62　　ポート 11（P11）(RH850/F1KM-S2)

ポートモード（PMC11_m＝0）	兼用モード（PMC11_m＝1）														ADC	専用機能	パッケージ No.		
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				100 Pin	144 Pin	176 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力					
P11_6	RLIN33RX /INTP13	CAN5TX	ADCA1TRG1	PWGA31O		CSIH3SO	TAUB1I7	TAUB1O7				SFMA0SSL	RLIN33RX				—	—	166
	RLIN33RX /INTP13	CAN5TX	ADCA1TRG1	PWGA31O		CSIH3SO						SFMA0SSL	RLIN33RX				—	134	—
	INTP13	CAN5TX		PWGA31O		CSIH3SO											94	—	—
P11_7	INTP5			PWGA32O	CSIH3SC		TAUB1I9	TAUB1O9				SFMA0CLK					—	—	167
	INTP5			PWGA32O	CSIH3SC							SFMA0CLK					—	135	—
	INTP5			PWGA32O	CSIH3SC												95	—	—
P11_8	$\overline{\text{CSIG1SSI}}$	RLIN35TX		PWGA48O	TAUB1I11	TAUB1O11											—	—	8
	$\overline{\text{CSIG1SSI}}$	RLIN35TX		PWGA48O													—	6	—
P11_9		CSIG1SO	RLIN35RX /INTP15	PWGA49O	TAUB1I13	TAUB1O13							RLIN35RX				—	—	9
		CSIG1SO	RLIN35RX /INTP15	PWGA49O									RLIN35RX				—	7	—
P11_10	CSIG1SC			PWGA50O	TAUB1I15	TAUB1O15											—	—	10
	CSIG1SC			PWGA50O													—	8	—
P11_11	CSIG1SI	RLIN25TX		PWGA51O	TAUB1I0	TAUB1O0											—	—	11
	CSIG1SI	RLIN25TX		PWGA51O													—	9	—
P11_12	RLIN25RX			PWGA52O	TAUB1I2	TAUB1O2											—	—	12
	RLIN25RX			PWGA52O													—	10	—
P11_15	CAN2RX /INTP2	CSIH2CSS4		PWGA55O	TAUB1I8	TAUB1O8				RLIN36TX			CAN2RX				—	—	168
	CAN2RX /INTP2	CSIH2CSS4		PWGA55O									CAN2RX				—	136	—

注　意

公開されていない兼用機能を選択した場合の動作および性能は保証できません。

2B.10.9.2　制御レジスタ

表 2B.63　制御レジスタ（P11）(RH850/F1KM-S4)

レジスタ	機能	レジスタサイズ	有効ビット 位置	有効ビット R/W 注1	オフセットアドレス	リセット後の値	デバイス 100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
P11	ポートレジスタ 11	16	7-1	R/W	002C$_H$	0000$_H$	○	—	—	—	—
			15, 12-0				—	○	○	○	○
PSR11	ポートセット／リセットレジスタ 11	32	23-17, 7-1	R/W	012C$_H$	0000 0000$_H$	○	—	—	—	—
			31, 28-16, 15, 12-0				—	○	○	○	○
PPR11	ポート端子リードレジスタ 11	16	7-1	R	022C$_H$	0000$_H$	○	—	—	—	—
			15, 12-0				—	○	○	○	○
PM11	ポートモードレジスタ 11	16	7-1	R/W	032C$_H$	FFFF$_H$	○	—	—	—	—
			15, 12-0				—	○	○	○	○
PMC11	ポートモードコントロールレジスタ 11	16	7-1	R/W	042C$_H$	0000$_H$	○	—	—	—	—
			15, 12-0				—	○	○	○	○
PFC11	ポート機能コントロールレジスタ 11	16	7-1	R/W	052C$_H$	0000$_H$	○	—	—	—	—
			15, 12-0				—	○	○	○	○
PFCE11	ポート機能コントロール拡張レジスタ 11	16	7-5, 3-1	R/W	062C$_H$	0000$_H$	○	—	—	—	—
			15, 9, 7-5, 3-0				—	○	—	—	—
			15, 12-0				—	—	○	○	○
PNOT11	ポートノットレジスタ 11	16	7-1	W	072C$_H$	0000$_H$	○	—	—	—	—
			15, 12-0				—	○	○	○	○
PMSR11	ポートモードセット／リセットレジスタ 11	32	23-17, 7-1	R/W	082C$_H$	0000 FFFF$_H$	○	—	—	—	—
			31, 28-16, 15, 12-0				—	○	○	○	○
PMCSR11	ポートモードコントロールセット／リセットレジスタ 11	32	23-17, 7-1	R/W	092C$_H$	0000 0000$_H$	○	—	—	—	—
			31, 28-16, 15, 12-0				—	○	○	○	○
PFCAE11	ポート機能コントロール追加拡張レジスタ 11	16	5, 3, 2	R/W	0A2C$_H$	0000$_H$	○	—	—	—	—
			15, 9, 7-2				—	○	—	—	—
			15, 11, 9, 7-0				—	—	○	○	○
PIBC11	ポート入力バッファコントロールレジスタ 11	16	7-1	R/W	402C$_H$	0000$_H$	○	—	—	—	—
			15, 12-0				—	○	○	○	○
PBDC11	ポート双方向コントロールレジスタ 11	16	7-1	R/W	412C$_H$	0000$_H$	○	—	—	—	—
			15, 12-0				—	○	○	○	○
PIPC11	ポート IP コントロールレジスタ 11	16	7, 6, 3, 2	R/W	422C$_H$	0000$_H$	○	—	—	—	—
			10, 9, 7-2				—	○	—	—	—
			10, 9, 7-1				—	—	○	○	○
PU11	プルアップオプションレジスタ 11	16	7-1	R/W	432C$_H$	0000$_H$	○	—	—	—	—
			15, 12-0				—	○	○	○	○
PD11	プルダウンオプションレジスタ 11	16	7-1	R/W	442C$_H$	0000$_H$	○	—	—	—	—
			15, 12-0				—	○	○	○	○
PODC11	ポートオープンドレインコントロールレジスタ 11	32	7-1	R/W	452C$_H$	0000 0000$_H$	○	—	—	—	—
			15, 12-0				—	○	○	○	○
PDSC11	ポートドライブ強度コントロールレジスタ 11	32	7-1	R/W	462C$_H$	0000 0000$_H$	○	—	—	—	—
			15, 12-0				—	○	○	○	○
PIS11	ポート入力バッファ選択レジスタ 11	16	7-1	R/W	472C$_H$	FFFF$_H$	○	—	—	—	—
			15, 12-0				—	○	○	○	○
PISA11	ポート入力バッファ選択アドバンストレジスタ 11	16	15, 12-10	R/W	4A2C$_H$	0000$_H$	—	—	○	○	○
PPROTS11	ポート保護ステータスレジスタ 11	32	0	R	4B2C$_H$	0000 0000$_H$	○	○	○	○	○
PPCMD11	ポート保護コマンドレジスタ 11	32	7-0	W	4C2C$_H$	xxxx xx00$_H$	○	○	○	○	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 2B.64　制御レジスタ（P11）(RH850/F1KM-S2)

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス		
			位置	R/W 注1			100 Pin	144 Pin	176 Pin
P11	ポートレジスタ 11	16	7-1	R/W	002C$_H$	0000$_H$	○	—	—
			15, 12-0				—	○	○
PSR11	ポートセット／リセットレジスタ 11	32	23-17, 7-1	R/W	012C$_H$	0000 0000$_H$	○	—	—
			31, 28-16, 15, 12-0				—	○	○
PPR11	ポート端子リードレジスタ 11	16	7-1	R	022C$_H$	0000$_H$	○	—	—
			15, 12-0				—	○	○
PM11	ポートモードレジスタ 11	16	7-1	R/W	032C$_H$	FFFF$_H$	○	—	—
			15, 12-0				—	○	○
PMC11	ポートモードコントロールレジスタ 11	16	7-1	R/W	042C$_H$	0000$_H$	○	—	—
			15, 12-0				—	○	○
PFC11	ポート機能コントロールレジスタ 11	16	7-1	R/W	052C$_H$	0000$_H$	○	—	—
			15, 12-0				—	○	○
PFCE11	ポート機能コントロール拡張レジスタ 11	16	7-5, 3-1	R/W	062C$_H$	0000$_H$	○	—	—
			15, 9, 7-5, 3-0				—	○	—
			15, 12-0				—	—	○
PNOT11	ポートノットレジスタ 11	16	7-1	W	072C$_H$	0000$_H$	○	—	—
			15, 12-0				—	○	○
PMSR11	ポートモードセット／リセットレジスタ 11	32	23-17, 7-1	R/W	082C$_H$	0000 FFFF$_H$	○	—	—
			31, 28-16, 15, 12-0				—	○	○
PMCSR11	ポートモードコントロールセット／リセットレジスタ 11	32	23-17, 7-1	R/W	092C$_H$	0000 0000$_H$	○	—	—
			31, 28-16, 15, 12-0				—	○	○
PFCAE11	ポート機能コントロール追加拡張レジスタ 11	16	5, 3, 2	R/W	0A2C$_H$	0000$_H$	○	—	—
			15, 9, 7-2				—	○	○
PIBC11	ポート入力バッファコントロールレジスタ 11	16	7-1	R/W	402C$_H$	0000$_H$	○	—	—
			15, 12-0				—	○	○
PBDC11	ポート双方向コントロールレジスタ 11	16	7-1	R/W	412C$_H$	0000$_H$	○	—	—
			15, 12-0				—	○	○
PIPC11	ポート IP コントロールレジスタ 11	16	7, 6, 3, 2	R/W	422C$_H$	0000$_H$	○	—	—
			10, 9, 7-2				—	○	○
PU11	プルアップオプションレジスタ 11	16	7-1	R/W	432C$_H$	0000$_H$	○	—	—
			15, 12-0				—	○	○
PD11	プルダウンオプションレジスタ 11	16	7-1	R/W	442C$_H$	0000$_H$	○	—	—
			15, 12-0				—	○	○
PODC11	ポートオープンドレインコントロールレジスタ 11	32	7-1	R/W	452C$_H$	0000 0000$_H$	○	—	—
			15, 12-0				—	○	○
PDSC11	ポートドライブ強度コントロールレジスタ 11	32	7-1	R/W	462C$_H$	0000 0000$_H$	○	—	—
			15, 12-0				—	○	○
PIS11	ポート入力バッファ選択レジスタ 11	16	7-1	R/W	472C$_H$	FFFF$_H$	○	—	—
			15, 12-0				—	○	○
PPROTS11	ポート保護ステータスレジスタ 11	32	0	R	4B2C$_H$	0000 0000$_H$	○	○	○
PPCMD11	ポート保護コマンドレジスタ 11	32	7-0	W	4C2C$_H$	xxxx xx00$_H$	○	○	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。
　　　ライトする場合はリセット後の値を書いてください。

2B.10.10　ポート 12（P12）

2B.10.10.1　兼用機能

表 2B.65　　ポート 12（P12）(RH850/F1KM-S4)

ポートモード（PMC12_m =0）	兼用モード（PMC12_m=1）														ADC	専用機能	パッケージ No.				
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力							
P12_0		CAN2TX		PWGA56O	TAUB1I10	TAUB1O10	$\overline{\text{CSIG2SSI}}$	MEMC0A16	RLIN36RX/INTP16				RLIN36RX				—	—	169	B4	D7
		CAN2TX		PWGA56O													—	137	—	—	—
P12_1	RLIN34RX / INTP14	CSIH2CSS5		PWGA57O	TAUB1I12	TAUB1O12		MEMC0A17					RLIN34RX				—	—	170	C5	B5
	RLIN34RX / INTP14	CSIH2CSS5		PWGA57O									RLIN34RX				—	138	—	—	—
P12_2	INTP19	RLIN34TX		PWGA58O	TAUB1I14	TAUB1O14		MEMC0A18	CSIG2RYI	CSIG2RYO							—	—	171	A3	C5
	INTP19	RLIN34TX		PWGA58O													—	139	—	—	—
P12_3	RLIN27RX			PWGA68O	CSIG2SI	$\overline{\text{MEMC0BEN0}}$	TAUB1I6	TAUB1O6									—	—	15	G1	L1
P12_4		RLIN27TX		PWGA69O	CSIG2SC		ETNB0MDIO			$\overline{\text{MEMC0BEN1}}$							—	—	16	H1	N3
P12_5		PWGA70O		ETNB0MDC		CSIG2SO	TAUB1I4	TAUB1O4									—	—	17	J3	L2

注　意

公開されていない兼用機能を選択した場合の動作および性能は保証できません。

表 2B.66　　ポート 12（P12）(RH850/F1KM-S2)

ポートモード（PMC12_m =0）	兼用モード（PMC12_m=1）														ADC	専用機能	パッケージ No.		
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				100 Pin	144 Pin	176 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力					
P12_0		CAN2TX		PWGA56O	TAUB1I10	TAUB1O10	$\overline{\text{CSIG2SSI}}$		RLIN36RX/INTP16				RLIN36RX				—	—	169
		CAN2TX		PWGA56O													—	137	—
P12_1	RLIN34RX/ INTP14	CSIH2CSS5		PWGA57O	TAUB1I12	TAUB1O12							RLIN34RX				—	—	170
	RLIN34RX/ INTP14	CSIH2CSS5		PWGA57O									RLIN34RX				—	138	—
P12_2	INTP19	RLIN34TX		PWGA58O	TAUB1I14	TAUB1O14			CSIG2RYI	CSIG2RYO							—	—	171
	INTP19	RLIN34TX		PWGA58O													—	139	—
P12_3	RLIN27RX			PWGA68O	CSIG2SI		TAUB1I6	TAUB1O6									—	—	15
P12_4		RLIN27TX		PWGA69O	CSIG2SC												—	—	—
P12_5		PWGA70O				CSIG2SO	TAUB1I4	TAUB1O4									—	—	17

注　意

公開されていない兼用機能を選択した場合の動作および性能は保証できません。

2B.10.10.2　制御レジスタ

表 2B.67　　制御レジスタ（P12）(RH850/F1KM-S4)

レジスタ	機能	レジスタサイズ	有効ビット 位置	有効ビット R/W 注1	オフセットアドレス	リセット後の値	デバイス 100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
P12	ポートレジスタ 12	16	2-0	R/W	0030$_H$	0000$_H$	—	○	—	—	—
			5-0				—	—	○	○	○
PSR12	ポートセット／リセットレジスタ 12	32	18-16, 2-0	R/W	0130$_H$	0000 0000$_H$	—	○	—	—	—
			21-16, 5-0				—	—	○	○	○
PPR12	ポート端子リードレジスタ 12	16	2-0	R	0230$_H$	0000$_H$	—	○	—	—	—
			5-0				—	—	○	○	○
PM12	ポートモードレジスタ 12	16	2-0	R/W	0330$_H$	FFFF$_H$	—	○	—	—	—
			5-0				—	—	○	○	○
PMC12	ポートモードコントロールレジスタ 12	16	2-0	R/W	0430$_H$	0000$_H$	—	○	—	—	—
			5-0				—	—	○	○	○
PFC12	ポート機能コントロールレジスタ 12	16	2-0	R/W	0530$_H$	0000$_H$	—	○	—	—	—
			5-0				—	—	○	○	○
PFCE12	ポート機能コントロール拡張レジスタ 12	16	1	R/W	0630$_H$	0000$_H$	—	○	—	—	—
			5-0				—	—	○	○	○
PNOT12	ポートノットレジスタ 12	16	2-0	W	0730$_H$	0000$_H$	—	○	—	—	—
			5-0				—	—	○	○	○
PMSR12	ポートモードセット／リセットレジスタ 12	32	18-16, 2-0	R/W	0830$_H$	0000 FFFF$_H$	—	○	—	—	—
			21-16, 5-0				—	—	○	○	○
PMCSR12	ポートモードコントロールセット／リセットレジスタ 12	32	18-16, 2-0	R/W	0930$_H$	0000 0000$_H$	—	○	—	—	—
			21-16, 5-0				—	—	○	○	○
PFCAE12	ポート機能コントロール追加拡張レジスタ 12	16	1	R/W	0A30$_H$	0000$_H$	—	○	—	—	—
			4, 2-0				—	—	○	○	○
PIBC12	ポート入力バッファコントロールレジスタ 12	16	2-0	R/W	4030$_H$	0000$_H$	—	○	—	—	—
			5-0				—	—	○	○	○
PBDC12	ポート双方向コントロールレジスタ 12	16	2-0	R/W	4130$_H$	0000$_H$	—	○	—	—	—
			5-0				—	—	○	○	○
PIPC12	ポート IP コントロールレジスタ 12	16	5, 4	R/W	4230$_H$	0000$_H$	—	—	○	○	○
PU12	プルアップオプションレジスタ 12	16	2-0	R/W	4330$_H$	0000$_H$	—	○	—	—	—
			5-0				—	—	○	○	○
PD12	プルダウンオプションレジスタ 12	16	2-0	R/W	4430$_H$	0000$_H$	—	○	—	—	—
			5-0				—	—	○	○	○
PODC12	ポートオープンドレインコントロールレジスタ 12	32	2-0	R/W	4530$_H$	0000 0000$_H$	—	○	—	—	—
			5-0				—	—	○	○	○
PDSC12	ポートドライブ強度コントロールレジスタ 12	32	2-0	R/W	4630$_H$	0000 0000$_H$	—	○	—	—	—
			5-0				—	—	○	○	○
PIS12	ポート入力バッファ選択レジスタ 12	16	2-0	R/W	4730$_H$	FFFF$_H$	—	○	—	—	—
			5-0				—	—	○	○	○
PISA12	ポート入力バッファ選択アドバンストレジスタ 12	16	4	R/W	4A30$_H$	0000$_H$	—	—	○	○	○
PPROTS12	ポート保護ステータスレジスタ 12	32	0	R	4B30$_H$	0000 0000$_H$	—	○	○	○	○
PPCMD12	ポート保護コマンドレジスタ 12	32	7-0	W	4C30$_H$	xxxx xx00$_H$	—	○	○	○	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 2B.68　　制御レジスタ（P12）(RH850/F1KM-S2)

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス		
			位置	R/W 注1			100 Pin	144 Pin	176 Pin
P12	ポートレジスタ 12	16	2-0	R/W	0030$_H$	0000$_H$	—	○	—
			5-0				—	—	○
PSR12	ポートセット／リセットレジスタ 12	32	18-16, 2-0	R/W	0130$_H$	0000 0000$_H$	—	○	—
			21-16, 5-0				—	—	○
PPR12	ポート端子リードレジスタ 12	16	2-0	R	0230$_H$	0000$_H$	—	○	—
			5-0				—	—	○
PM12	ポートモードレジスタ 12	16	2-0	R/W	0330$_H$	FFFF$_H$	—	○	—
			5-0				—	—	○
PMC12	ポートモードコントロールレジスタ 12	16	2-0	R/W	0430$_H$	0000$_H$	—	○	—
			5-0				—	—	○
PFC12	ポート機能コントロールレジスタ 12	16	2-0	R/W	0530$_H$	0000$_H$	—	○	—
			5-0				—	—	○
PFCE12	ポート機能コントロール拡張レジスタ 12	16	1	R/W	0630$_H$	0000$_H$	—	○	—
			5-0				—	—	○
PNOT12	ポートノットレジスタ 12	16	2-0	W	0730$_H$	0000$_H$	—	○	—
			5-0				—	—	○
PMSR12	ポートモードセット／リセットレジスタ 12	32	18-16, 2-0	R/W	0830$_H$	0000 FFFF$_H$	—	○	—
			21-16, 5-0				—	—	○
PMCSR12	ポートモードコントロールセット／リセットレジスタ 12	32	18-16, 2-0	R/W	0930$_H$	0000 0000$_H$	—	○	—
			21-16, 5-0				—	—	○
PFCAE12	ポート機能コントロール追加拡張レジスタ 12	16	1	R/W	0A30$_H$	0000$_H$	—	○	—
			2-0				—	—	○
PIBC12	ポート入力バッファコントロールレジスタ 12	16	2-0	R/W	4030$_H$	0000$_H$	—	○	—
			5-0				—	—	○
PBDC12	ポート双方向コントロールレジスタ 12	16	2-0	R/W	4130$_H$	0000$_H$	—	○	—
			5-0				—	—	○
PIPC12	ポート IP コントロールレジスタ 12	16	5, 4	R/W	4230$_H$	0000$_H$	—	—	○
PU12	プルアップオプションレジスタ 12	16	2-0	R/W	4330$_H$	0000$_H$	—	○	—
			5-0				—	—	○
PD12	プルダウンオプションレジスタ 12	16	2-0	R/W	4430$_H$	0000$_H$	—	○	—
			5-0				—	—	○
PODC12	ポートオープンドレインコントロールレジスタ 12	32	2-0	R/W	4530$_H$	0000 0000$_H$	—	○	—
			5-0				—	—	○
PDSC12	ポートドライブ強度コントロールレジスタ 12	32	2-0	R/W	4630$_H$	0000 0000$_H$	—	○	—
			5-0				—	—	○
PIS12	ポート入力バッファ選択レジスタ 12	16	2-0	R/W	4730$_H$	FFFF$_H$	—	○	—
			5-0				—	—	○
PPROTS12	ポート保護ステータスレジスタ 12	32	0	R	4B30$_H$	0000 0000$_H$	—	○	○
PPCMD12	ポート保護コマンドレジスタ 12	32	7-0	W	4C30$_H$	xxxx xx00$_H$	—	○	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。
ライトする場合はリセット後の値を書いてください。

2B.10.11　ポート 13（P13）

2B.10.11.1　兼用機能

表 2B.69　　ポート 13（P13）(RH850/F1KM-S4)

ポートモード（PMC13_m ＝0）	兼用モード（PMC13_m＝1）														ADC	専用機能	パッケージ No.				
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力							
P13_0		MEMC0A19															—	—	—	C4	D6
P13_1		MEMC0A20															—	—	—	B3	A3
P13_2	ETNB0RXDV																—	—	—	F2	K3
P13_3	ETNB0RXERR																—	—	—	F1	J1
P13_4																	—	—	—	G2	K1
P13_5		MEMC0A21															—	—	—	G3	L4
P13_6		MEMC0A22		PWGA72O													—	—	—	H3	K2
P13_7		MEMC0A23		PWGA73O													—	—	—	—	M4
				PWGA73O													—	—	—	H2	—

注　意

公開されていない兼用機能を選択した場合の動作および性能は保証できません。

2B.10.11.2　制御レジスタ

表 2B.70　　制御レジスタ（P13）(RH850/F1KM-S4)

レジスタ	機能	レジスタサイズ	有効ビット 位置	有効ビット R/W 注1	オフセットアドレス	リセット後の値	デバイス 100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
P13	ポートレジスタ 13	16	7-0	R/W	0034H	0000H	—	—	—	○	○
PSR13	ポートセット／リセットレジスタ 13	32	23-16, 7-0	R/W	0134H	0000 0000H	—	—	—	○	○
PPR13	ポート端子リードレジスタ 13	16	7-0	R	0234H	0000H	—	—	—	○	○
PM13	ポートモードレジスタ 13	16	7-0	R/W	0334H	FFFFH	—	—	—	○	○
PMC13	ポートモードコントロールレジスタ 13	16	7-5, 3-0	R/W	0434H	0000H	—	—	—	○	○
PFC13	ポート機能コントロールレジスタ 13	16	7, 6	R/W	0534H	0000H	—	—	—	○	○
PNOT13	ポートノットレジスタ 13	16	7-0	W	0734H	0000H	—	—	—	○	○
PMSR13	ポートモードセット／リセットレジスタ 13	32	23-16, 7-0	R/W	0834H	0000 FFFFH	—	—	—	○	○
PMCSR13	ポートモードコントロールセット／リセットレジスタ 13	32	23-21, 19-16, 7-5, 3-0	R/W	0934H	0000 0000H	—	—	—	○	○
PIBC13	ポート入力バッファコントロールレジスタ 13	16	7-0	R/W	4034H	0000H	—	—	—	○	○
PBDC13	ポート双方向コントロールレジスタ 13	16	7-0	R/W	4134H	0000H	—	—	—	○	○
PU13	プルアップオプションレジスタ 13	16	7-0	R/W	4334H	0000H	—	—	—	○	○
PD13	プルダウンオプションレジスタ 13	16	7-0	R/W	4434H	0000H	—	—	—	○	○
PODC13	ポートオープンドレインコントロールレジスタ 13	32	7-0	R/W	4534H	0000 0000H	—	—	—	○	○
PDSC13	ポートドライブ強度コントロールレジスタ 13	32	7-0	R/W	4634H	0000 0000H	—	—	—	○	○
PIS13	ポート入力バッファ選択レジスタ 13	16	7-0	R/W	4734H	FFFFH	—	—	—	○	○
PISA13	ポート入力バッファ選択アドバンストレジスタ 13	16	5, 3, 2	R/W	4A34H	0000H	—	—	—	○	○
PPROTS13	ポート保護ステータスレジスタ 13	32	0	R	4B34H	0000 0000H	—	—	—	○	○
PPCMD13	ポート保護コマンドレジスタ 13	32	7-0	W	4C34H	0000 0000H	—	—	—	○	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2B.10.12　ポート 18（P18）

2B.10.12.1　兼用機能

表 2B.71　　ポート 18（P18）(RH850/F1KM-S4)

ポートモード（PMC18_m=0）	兼用モード（PMC18_m=1）														ADC	専用機能	パッケージ No.				
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力							
P18_0	CSIG1RYI	CSIG1RYO	ETNB0LINK	PWGA61O			TAUJ3I0	TAUJ3O0							ADCA1I0S		—	—	143	C14	A19
	CSIG1RYI	CSIG1RYO		PWGA61O			TAUJ3I0	TAUJ3O0							ADCA1I0S		—	115	—	—	—
P18_1		PWGA62O		ETNB0TXD0			TAUJ3I1	TAUJ3O1							ADCA1I1S		—	—	144	B15	B18
		PWGA62O					TAUJ3I1	TAUJ3O1							ADCA1I1S		—	116	—	—	—
P18_2		PWGA63O		ETNB0TXD1			TAUJ3I2	TAUJ3O2							ADCA1I2S		—	—	145	B14	B17
		PWGA63O					TAUJ3I2	TAUJ3O2							ADCA1I2S		—	117	—	—	—
P18_3		PWGA71O		ETNB0TXD2			TAUJ3I3	TAUJ3O3							ADCA1I3S		—	—	146	B13	A17
							TAUJ3I3	TAUJ3O3							ADCA1I3S		—	118	—	—	—
P18_4		CSIH1CSS4		ETNB0TXD3											ADCA1I4S		—	—	147	C11	B16
P18_5		CSIH1CSS5		ETNB0TXEN											ADCA1I5S		—	—	148	A14	D14
P18_6															ADCA1I6S		—	—	149	A13	A16
P18_7	ETNB0TXCLK														ADCA1I7S		—	—	150	B11	B14
P18_8															ADCA1I8S		—	—	—	A16	C17
P18_9															ADCA1I9S		—	—	—	C13	A18
P18_10															ADCA1I10S		—	—	—	A15	C16
P18_11															ADCA1I11S		—	—	—	B12	C15
P18_12															ADCA1I12S		—	—	—	C12	C14
P18_13															ADCA1I13S		—	—	—	A12	B15
P18_14															ADCA1I14S		—	—	—	C9	A15
P18_15															ADCA1I15S		—	—	—	A11	C13

注　意

1.　公開されていない兼用機能を選択した場合の動作および性能は保証できません。
2.　A/D 機能は初期設定で使用してください。詳細は「**表 2B.73　制御レジスタ（P18）**(RH850/F1KM-S4)」を参照してください。

表 2B.72　　ポート 18（P18）(RH850/F1KM-S2)

ポートモード（PMC18_m＝0）	兼用モード（PMC18_m＝1）														ADC	専用機能	パッケージ No.		
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				100 Pin	144 Pin	176 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力					
P18_0	CSIG1RYI	CSIG1RYO		PWGA61O			TAUJ3I0	TAUJ3O0							ADCA1I0S		—	115	143
P18_1		PWGA62O					TAUJ3I1	TAUJ3O1							ADCA1I1S		—	116	144
P18_2		PWGA63O					TAUJ3I2	TAUJ3O2							ADCA1I2S		—	117	145
P18_3		PWGA71O					TAUJ3I3	TAUJ3O3							ADCA1I3S		—	—	146
							TAUJ3I3	TAUJ3O3							ADCA1I3S		—	118	—
P18_4		CSIH1CSS4													ADCA1I4S		—	—	147
P18_5		CSIH1CSS5													ADCA1I5S		—	—	148
P18_6															ADCA1I6S		—	—	149
P18_7															ADCA1I7S		—	—	150

注　意

1. 公開されていない兼用機能を選択した場合の動作および性能は保証できません。
2. A/D 機能は初期設定で使用してください。詳細は「**表 2B.74　制御レジスタ（P18）(RH850/F1KM-S2)**」を参照してください。

2B.10.12.2　制御レジスタ

表 2B.73　　制御レジスタ（P18）(RH850/F1KM-S4)

レジスタ	機能	レジスタサイズ	有効ビット 位置	有効ビット R/W[注1]	オフセットアドレス	リセット後の値	デバイス 100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
P18	ポートレジスタ 18	16	3-0	R/W	0048$_H$	0000$_H$	—	○	—	—	—
			7-0				—	—	○	—	—
			15-0				—	—	—	○	○
PSR18	ポートセット／リセットレジスタ 18	32	19-16, 3-0	R/W	0148$_H$	0000 0000$_H$	—	○	—	—	—
			23-16, 7-0				—	—	○	—	—
			31-16, 15-0				—	—	—	○	○
PPR18	ポート端子リードレジスタ 18	16	3-0	R	0248$_H$	0000$_H$	—	○	—	—	—
			7-0				—	—	○	—	—
			15-0				—	—	—	○	○
PM18	ポートモードレジスタ 18	16	3-0	R/W	0348$_H$	FFFF$_H$	—	○	—	—	—
			7-0				—	—	○	—	—
			15-0				—	—	—	○	○
PMC18	ポートモードコントロールレジスタ 18	16	3-0	R/W	0448$_H$	0000$_H$	—	○	—	—	—
			7, 5-0				—	—	○	○	○
PFC18	ポート機能コントロールレジスタ 18	16	3-0	R/W	0548$_H$	0000$_H$	—	○	—	—	—
			5-0				—	—	○	○	○
PFCE18	ポート機能コントロール拡張レジスタ 18	16	3-0	R/W	0648$_H$	0000$_H$	—	○	○	○	○
PNOT18	ポートノットレジスタ 18	16	3-0	W	0748$_H$	0000$_H$	—	○	—	—	—
			7-0				—	—	○	—	—
			15-0				—	—	—	○	○
PMSR18	ポートモードセット／リセットレジスタ 18	32	19-16, 3-0	R/W	0848$_H$	0000 FFFF$_H$	—	○	—	—	—
			23-16, 7-0				—	—	○	—	—
			31-16, 15-0				—	—	—	○	○
PMCSR18	ポートモードコントロールセット／リセットレジスタ 18	32	19-16, 3-0	R/W	0948$_H$	0000 0000$_H$	—	○	—	—	—
			23, 21-16, 7, 5-0				—	—	○	○	○
PIBC18	ポート入力バッファコントロールレジスタ 18	16	3-0	R/W	4048$_H$	0000$_H$	—	○	—	—	—
			7-0				—	—	○	—	—
			15-0				—	—	—	○	○
PBDC18	ポート双方向コントロールレジスタ 18	16	3-0	R/W	4148$_H$	0000$_H$	—	○	—	—	—
			7-0				—	—	○	—	—
			15-0				—	—	—	○	○
PU18	プルアップオプションレジスタ 18	16	3-0	R/W	4348$_H$	0000$_H$	—	○	—	—	—
			7-0				—	—	○	—	—
			15-0				—	—	—	○	○
PD18	プルダウンオプションレジスタ 18	16	3-0	R/W	4448$_H$	0000$_H$	—	○	—	—	—
			7-0				—	—	○	—	—
			15-0				—	—	—	○	○
PODC18	ポートオープンドレインコントロールレジスタ 18	32	3-0	R/W	4548$_H$	0000 0000$_H$	—	○	—	—	—
			7-0				—	—	○	—	—
			15-0				—	—	—	○	○
PDSC18	ポートドライブ強度コントロールレジスタ 18	32	3-0	R/W	4648$_H$	0000 0000$_H$	—	○	—	—	—
			7-0				—	—	○	—	—
			15-0				—	—	—	○	○
PIS18	ポート入力バッファ選択レジスタ 18	16	3-0	R/W	4748$_H$	FFFF$_H$	—	○	—	—	—
			7-0				—	—	○	—	—
			15-0				—	—	—	○	○

表 2B.73　　制御レジスタ（P18）(RH850/F1KM-S4)

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス				
			位置	R/W 注1			100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
PISA18	ポート入力バッファ選択アドバンストレジスタ 18	16	7, 0	R/W	4A48H	0000H	—	—	○	—	—
			9-7, 0				—	—	—	○	○
PPROTS18	ポート保護ステータスレジスタ 18	32	0	R	4B48H	0000 0000H	—	○	○	○	○
PPCMD18	ポート保護コマンドレジスタ 18	32	7-0	W	4C48H	xxxx xx00H	—	○	○	○	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 2B.74　制御レジスタ（P18）(RH850/F1KM-S2)

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス		
			位置	R/W[注1]			100 Pin	144 Pin	176 Pin
P18	ポートレジスタ 18	16	3-0	R/W	0048$_H$	0000$_H$	—	○	—
			7-0				—	—	○
PSR18	ポートセット／リセットレジスタ 18	32	19-16, 3-0	R/W	0148$_H$	0000 0000$_H$	—	○	—
			23-16, 7-0				—	—	○
PPR18	ポート端子リードレジスタ 18	16	3-0	R	0248$_H$	0000$_H$	—	○	—
			7-0				—	—	○
PM18	ポートモードレジスタ 18	16	3-0	R/W	0348$_H$	FFFF$_H$	—	○	—
			7-0				—	—	○
PMC18	ポートモードコントロールレジスタ 18	16	3-0	R/W	0448$_H$	0000$_H$	—	○	—
			5-0				—	—	○
PFC18	ポート機能コントロールレジスタ 18	16	3-0	R/W	0548$_H$	0000$_H$	—	○	○
PFCE18	ポート機能コントロール拡張レジスタ 18	16	3-0	R/W	0648$_H$	0000$_H$	—	○	○
PNOT18	ポートノットレジスタ 18	16	3-0	W	0748$_H$	0000$_H$	—	○	—
			7-0				—	—	○
PMSR18	ポートモードセット／リセットレジスタ 18	32	19-16, 3-0	R/W	0848$_H$	0000 FFFF$_H$	—	○	—
			23-16, 7-0				—	—	○
PMCSR18	ポートモードコントロールセット／リセットレジスタ 18	32	19-16, 3-0	R/W	0948$_H$	0000 0000$_H$	—	○	—
			21-16, 5-0				—	—	○
PIBC18	ポート入力バッファコントロールレジスタ 18	16	3-0	R/W	4048$_H$	0000$_H$	—	○	—
			7-0				—	—	○
PBDC18	ポート双方向コントロールレジスタ 18	16	3-0	R/W	4148$_H$	0000$_H$	—	○	—
			7-0				—	—	○
PU18	プルアップオプションレジスタ 18	16	3-0	R/W	4348$_H$	0000$_H$	—	○	—
			7-0				—	—	○
PD18	プルダウンオプションレジスタ 18	16	3-0	R/W	4448$_H$	0000$_H$	—	○	—
			7-0				—	—	○
PODC18	ポートオープンドレインコントロールレジスタ 18	32	3-0	R/W	4548$_H$	0000 0000$_H$	—	○	—
			7-0				—	—	○
PDSC18	ポートドライブ強度コントロールレジスタ 18	32	3-0	R/W	4648$_H$	0000 0000$_H$	—	○	—
			7-0				—	—	○
PIS18	ポート入力バッファ選択レジスタ 18	16	3-0	R/W	4748$_H$	FFFF$_H$	—	○	—
			7-0				—	—	○
PPROTS18	ポート保護ステータスレジスタ 18	32	0	R	4B48$_H$	0000 0000$_H$	—	○	○
PPCMD18	ポート保護コマンドレジスタ 18	32	7-0	W	4C48$_H$	xxxx xx00$_H$	—	○	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。
　　　ライトする場合はリセット後の値を書いてください。

2B.10.13　ポート 19（P19）

2B.10.13.1　兼用機能

表 2B.75　　ポート 19（P19）(RH850/F1KM-S4)

ポートモード（PMC19_m＝0）	兼用モード（PMC19_m＝1）														ADC	専用機能	パッケージ No.				
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力							
P19_0															ADCA1I16S		—	—	—	C10	A14
P19_1															ADCA1I17S		—	—	—	B10	B13
P19_2															ADCA1I18S		—	—	—	A10	B12
P19_3															ADCA1I19S		—	—	—	B9	A13

注　意

1.　公開されていない兼用機能を選択した場合の動作および性能は保証できません。
2.　A/D 機能は初期設定で使用してください。詳細は「**表 2B.76　制御レジスタ（P19）(RH850/F1KM-S4)**」を参照してください。

2B.10.13.2　制御レジスタ

表 2B.76　　制御レジスタ（P19）(RH850/F1KM-S4)

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス				
			位置	R/W 注1			100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
P19	ポートレジスタ 19	16	3-0	R/W	004C$_H$	0000$_H$	—	—	—	○	○
PSR19	ポートセット／リセットレジスタ 19	32	19-16, 3-0	R/W	014C$_H$	0000 0000$_H$	—	—	—	○	○
PPR19	ポート端子リードレジスタ 19	16	3-0	R	024C$_H$	0000$_H$	—	—	—	○	○
PM19	ポートモードレジスタ 19	16	3-0	R/W	034C$_H$	FFFF$_H$	—	—	—	○	○
PNOT19	ポートノットレジスタ 19	16	3-0	W	074C$_H$	0000$_H$	—	—	—	○	○
PMSR19	ポートモードセット／リセットレジスタ 19	32	19-16, 3-0	R/W	084C$_H$	0000 FFFF$_H$	—	—	—	○	○
PIBC19	ポート入力バッファコントロールレジスタ 19	16	3-0	R/W	404C$_H$	0000$_H$	—	—	—	○	○
PBDC19	ポート双方向コントロールレジスタ 19	16	3-0	R/W	414C$_H$	0000$_H$	—	—	—	○	○
PU19	プルアップオプションレジスタ 19	16	3-0	R/W	434C$_H$	0000$_H$	—	—	—	○	○
PD19	プルダウンオプションレジスタ 19	16	3-0	R/W	444C$_H$	0000$_H$	—	—	—	○	○
PODC19	ポートオープンドレインコントロールレジスタ 19	32	3-0	R/W	454C$_H$	0000 0000$_H$	—	—	—	○	○
PDSC19	ポートドライブ強度コントロールレジスタ 19	32	3-0	R/W	464C$_H$	0000 0000$_H$	—	—	—	○	○
PIS19	ポート入力バッファ選択レジスタ 19	16	3-0	R/W	474C$_H$	FFFF$_H$	—	—	—	○	○
PPROTS19	ポート保護ステータスレジスタ 19	32	0	R	4B4C$_H$	0000 0000$_H$	—	—	—	○	○
PPCMD19	ポート保護コマンドレジスタ 19	32	7-0	W	4C4C$_H$	0000 0000$_H$	—	—	—	○	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2B.10.14　ポート 20（P20）

2B.10.14.1　兼用機能

表 2B.77　　ポート 20（P20）(RH850/F1KM-S4, RH850/F1KM-S2)

ポートモード（PMC20_m＝0）	兼用モード（PMC20_m＝1） 第 1 兼用 入力	第 1 兼用 出力	第 2 兼用 入力	第 2 兼用 出力	第 3 兼用 入力	第 3 兼用 出力	第 4 兼用 入力	第 4 兼用 出力	第 5 兼用 入力	第 5 兼用 出力	第 6 兼用 入力	第 6 兼用 出力	第 7 兼用 入力	第 7 兼用 出力	ADC	専用機能	パッケージ No. 100 Pin	144 Pin	176 Pin	233 Pin 注1	272 Pin 注1
P20_0	RLIN26RX			PWGA64O	CAN6RX/ INTP6		CSIG3SI						CAN6RX				—	—	118	G17	J19
P20_1		RLIN26TX		PWGA65O		CAN6TX		CSIG3SO									—	—	117	H15	J20
P20_2	CAN4RX/ INTP4			PWGA66O	RLIN29RX		CSIG3SC						CAN4RX				—	—	116	H16	K20
P20_3		CAN4TX		PWGA67O		RLIN29TX	CSIG3RYI	CSIG3RYO									—	—	115	H17	K18
P20_4	RLIN23RX		INTP22	PWGA59O	CAN7RX/ INTP9		$\overline{\text{CSIG3SSI}}$						CAN7RX				—	—	120	F17	H20
	RLIN23RX		INTP22	PWGA59O	CAN7RX/ INTP9								CAN7RX				—	100	—	—	—
P20_5		RLIN23TX	INTP23	PWGA60O		CAN7TX											—	99	119	G16	J18
P20_6		PWGA88O															—	—	—	—	G19
P20_7		PWGA89O															—	—	—	—	G20
P20_8		PWGA90O															—	—	—	—	H18
P20_9		PWGA91O															—	—	—	—	H19
P20_10		PWGA92O															—	—	—	—	K19
P20_11		PWGA93O															—	—	—	—	L20
P20_12		PWGA94O															—	—	—	—	L19
P20_13		PWGA95O															—	—	—	—	L18
P20_14																	—	—	—	—	M20

注1.　RH850/F1KM-S4 のみ対応

注　意

公開されていない兼用機能を選択した場合の動作および性能は保証できません。

2B.10.14.2　制御レジスタ

表 2B.78　制御レジスタ（P20）(RH850/F1KM-S4, RH850/F1KM-S2)

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス				
			位置	R/W 注1			100 Pin	144 Pin	176 Pin	233 Pin 注2	272 Pin 注2
P20	ポートレジスタ 20	16	5, 4	R/W	0050$_H$	0000$_H$	—	○	—	—	—
			5-0				—	—	○	○	—
			14-0				—	—	—	—	○
PSR20	ポートセット／リセットレジスタ 20	32	21-20, 5, 4	R/W	0150$_H$	0000 0000$_H$	—	○	—	—	—
			21-16, 5-0				—	—	○	○	—
			30-16, 14-0				—	—	—	—	○
PPR20	ポート端子リードレジスタ 20	16	5, 4	R	0250$_H$	0000$_H$	—	○	—	—	—
			5-0				—	—	○	○	—
			14-0				—	—	—	—	○
PM20	ポートモードレジスタ 20	16	5, 4	R/W	0350$_H$	FFFF$_H$	—	○	—	—	—
			5-0				—	—	○	○	—
			14-0				—	—	—	—	○
PMC20	ポートモードコントロールレジスタ 20	16	5, 4	R/W	0450$_H$	0000$_H$	—	○	—	—	—
			5-0				—	—	○	○	—
			13-0				—	—	—	—	○
PFC20	ポート機能コントロールレジスタ 20	16	5, 4	R/W	0550$_H$	0000$_H$	—	○	—	—	—
			5-0				—	—	○	○	○
PFCE20	ポート機能コントロール拡張レジスタ 20	16	5, 4	R/W	0650$_H$	0000$_H$	—	○	—	—	—
			5-0				—	—	○	○	○
PNOT20	ポートノットレジスタ 20	16	5, 4	W	0750$_H$	0000$_H$	—	○	—	—	—
			5-0				—	—	○	○	—
			14-0				—	—	—	—	○
PMSR20	ポートモードセット／リセットレジスタ 20	32	21, 20, 5, 4	R/W	0850$_H$	0000 FFFF$_H$	—	○	—	—	—
			21-16, 5-0				—	—	○	○	—
			30-16, 14-0				—	—	—	—	○
PMCSR20	ポートモードコントロールセット／リセットレジスタ 20	32	21, 20, 5, 4	R/W	0950$_H$	0000 0000$_H$	—	○	—	—	—
			21-16, 5-0				—	—	○	○	—
			29-16, 13-0				—	—	—	—	○
PFCAE20	ポート機能コントロール追加拡張レジスタ 20	16	4	R/W	0A50$_H$	0000$_H$	—	○	—	—	—
			4, 2, 0				—	—	○	○	○
PIBC20	ポート入力バッファコントロールレジスタ 20	16	5, 4	R/W	4050$_H$	0000$_H$	—	○	—	—	—
			5-0				—	—	○	○	—
			14-0				—	—	—	—	○
PBDC20	ポート双方向コントロールレジスタ 20	16	5, 4	R/W	4150$_H$	0000$_H$	—	○	—	—	—
			5-0				—	—	○	○	—
			14-0				—	—	—	—	○
PIPC20	ポート IP コントロールレジスタ 20	16	2, 1	R/W	4250$_H$	0000$_H$	—	—	○	○	○
PU20	プルアップオプションレジスタ 20	16	5, 4	R/W	4350$_H$	0000$_H$	—	○	—	—	—
			5-0				—	—	○	○	—
			14-0				—	—	—	—	○
PD20	プルダウンオプションレジスタ 20	16	5, 4	R/W	4450$_H$	0000$_H$	—	○	—	—	—
			5-0				—	—	○	○	—
			14-0				—	—	—	—	○
PODC20	ポートオープンドレインコントロールレジスタ 20	32	5, 4	R/W	4550$_H$	0000 0000$_H$	—	○	—	—	—
			5-0				—	—	○	○	—
			14-0				—	—	—	—	○

表 2B.78　　制御レジスタ（P20）(RH850/F1KM-S4, RH850/F1KM-S2)

<table>
<tr><th rowspan="2">レジスタ</th><th rowspan="2">機能</th><th rowspan="2">レジスタサイズ</th><th colspan="2">有効ビット</th><th rowspan="2">オフセットアドレス</th><th rowspan="2">リセット後の値</th><th colspan="5">デバイス</th></tr>
<tr><th>位置</th><th>R/W 注1</th><th>100 Pin</th><th>144 Pin</th><th>176 Pin</th><th>233 Pin 注2</th><th>272 Pin 注2</th></tr>
<tr><td rowspan="3">PDSC20</td><td rowspan="3">ポートドライブ強度コントロールレジスタ 20</td><td rowspan="3">32</td><td>5, 4</td><td rowspan="3">R/W</td><td rowspan="3">4650H</td><td rowspan="3">0000 0000H</td><td>—</td><td>○</td><td>—</td><td>—</td><td>—</td></tr>
<tr><td>5-0</td><td>—</td><td>—</td><td>○</td><td>○</td><td>—</td></tr>
<tr><td>14-0</td><td>—</td><td>—</td><td>—</td><td>—</td><td>○</td></tr>
<tr><td rowspan="3">PIS20</td><td rowspan="3">ポート入力バッファ選択レジスタ 20</td><td rowspan="3">16</td><td>5, 4</td><td rowspan="3">R/W</td><td rowspan="3">4750H</td><td rowspan="3">FFFFH</td><td>—</td><td>○</td><td>—</td><td>—</td><td>—</td></tr>
<tr><td>5-0</td><td>—</td><td>—</td><td>○</td><td>○</td><td>—</td></tr>
<tr><td>14-0</td><td>—</td><td>—</td><td>—</td><td>—</td><td>○</td></tr>
<tr><td>PPROTS20</td><td>ポート保護ステータスレジスタ 20</td><td>32</td><td>0</td><td>R</td><td>4B50H</td><td>0000 0000H</td><td>—</td><td>○</td><td>○</td><td>○</td><td>○</td></tr>
<tr><td>PPCMD20</td><td>ポート保護コマンドレジスタ 20</td><td>32</td><td>7-0</td><td>W</td><td>4C50H</td><td>xxxx xx00H</td><td>—</td><td>○</td><td>○</td><td>○</td><td>○</td></tr>
</table>

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注2.　RH850/F1KM-S4 のみ対応

2B.10.15 ポート 21（P21）

2B.10.15.1 兼用機能

表 2B.79 ポート 21（P21）(RH850/F1KM-S4)

ポートモード（PMC21_m＝0）	兼用モード（PMC21_m＝1）														ADC	専用機能	パッケージ No.				
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力							
P21_0																	—	—	—	—	H3
P21_1																	—	—	—	—	B9
P21_2																	—	—	—	—	J3
P21_3																	—	—	—	—	J2
P21_4																	—	—	—	—	H1

注　意

公開されていない兼用機能を選択した場合の動作および性能は保証できません。

2B.10.15.2　制御レジスタ

表 2B.80　　制御レジスタ（P21）(RH850/F1KM-S4)

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス				
			位置	R/W 注1			100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
P21	ポートレジスタ 21	16	4-0	R/W	0054H	0000H	—	—	—	—	○
PSR21	ポートセット／リセットレジスタ 21	32	20-16, 4-0	R/W	0154H	0000 0000H	—	—	—	—	○
PPR21	ポート端子リードレジスタ 21	16	4-0	R	0254H	0000H	—	—	—	—	○
PM21	ポートモードレジスタ 21	16	4-0	R/W	0354H	FFFFH	—	—	—	—	○
PNOT21	ポートノットレジスタ 21	16	4-0	W	0754H	0000H	—	—	—	—	○
PMSR21	ポートモードセット／リセットレジスタ 21	32	20-16, 4-0	R/W	0854H	0000 FFFFH	—	—	—	—	○
PIBC21	ポート入力バッファコントロールレジスタ 21	16	4-0	R/W	4054H	0000H	—	—	—	—	○
PBDC21	ポート双方向コントロールレジスタ 21	16	4-0	R/W	4154H	0000H	—	—	—	—	○
PU21	プルアップオプションレジスタ 21	16	4-0	R/W	4354H	0000H	—	—	—	—	○
PD21	プルダウンオプションレジスタ 21	16	4-0	R/W	4454H	0000H	—	—	—	—	○
PODC21	ポートオープンドレインコントロールレジスタ 21	32	4-0	R/W	4554H	0000 0000H	—	—	—	—	○
PIS21	ポート入力バッファ選択レジスタ 21	16	4-0	R/W	4754H	FFFFH	—	—	—	—	○
PPROTS21	ポート保護ステータスレジスタ 21	32	0	R	4B54H	0000 0000H	—	—	—	—	○
PPCMD21	ポート保護コマンドレジスタ 21	32	7-0	W	4C54H	0000 0000H	—	—	—	—	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2B.10.16　ポート 22（P22）

2B.10.16.1　兼用機能

表 2B.81　　ポート 22（P22）(RH850/F1KM-S4)

ポートモード（PMC22_m＝0）	兼用モード（PMC22_m＝1）														ADC	専用機能	パッケージ No.				
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力							
P22_0																	—	—	—	—	G1
P22_1																	—	—	—	—	F2
P22_2																	—	—	—	—	F1
P22_3																	—	—	—	—	D2
P22_4																	—	—	—	—	C1
P22_5																	—	—	—	—	C2
P22_6																	—	—	—	—	B1
P22_7																	—	—	—	—	A2
P22_8																	—	—	—	—	B4
P22_9																	—	—	—	—	A4
P22_10																	—	—	—	—	C6
P22_11																	—	—	—	—	B6
P22_12																	—	—	—	—	A6
P22_13																	—	—	—	—	A7
P22_14																	—	—	—	—	C8
P22_15																	—	—	—	—	A8

注　意

公開されていない兼用機能を選択した場合の動作および性能は保証できません。

2B.10.16.2　制御レジスタ

表 2B.82　　制御レジスタ（P22）(RH850/F1KM-S4)

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス				
			位置	R/W 注1			100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
P22	ポートレジスタ 22	16	15-0	R/W	0058_H	0000_H	—	—	—	—	○
PSR22	ポートセット／リセットレジスタ 22	32	31-16, 15-0	R/W	0158_H	$0000\ 0000_H$	—	—	—	—	○
PPR22	ポート端子リードレジスタ 22	16	15-0	R	0258_H	0000_H	—	—	—	—	○
PM22	ポートモードレジスタ 22	16	15-0	R/W	0358_H	$FFFF_H$	—	—	—	—	○
PNOT22	ポートノットレジスタ 22	16	15-0	W	0758_H	0000_H	—	—	—	—	○
PMSR22	ポートモードセット／リセットレジスタ 22	32	31-16, 15-0	R/W	0858_H	$0000\ FFFF_H$	—	—	—	—	○
PIBC22	ポート入力バッファコントロールレジスタ 22	16	15-0	R/W	4058_H	0000_H	—	—	—	—	○
PBDC22	ポート双方向コントロールレジスタ 22	16	15-0	R/W	4158_H	0000_H	—	—	—	—	○
PU22	プルアップオプションレジスタ 22	16	15-0	R/W	4358_H	0000_H	—	—	—	—	○
PD22	プルダウンオプションレジスタ 22	16	15-0	R/W	4458_H	0000_H	—	—	—	—	○
PODC22	ポートオープンドレインコントロールレジスタ 22	32	15-0	R/W	4558_H	$0000\ 0000_H$	—	—	—	—	○
PIS22	ポート入力バッファ選択レジスタ 22	16	15-0	R/W	4758_H	$FFFF_H$	—	—	—	—	○
PPROTS22	ポート保護ステータスレジスタ 22	32	0	R	$4B58_H$	$0000\ 0000_H$	—	—	—	—	○
PPCMD22	ポート保護コマンドレジスタ 22	32	7-0	W	$4C58_H$	$0000\ 0000_H$	—	—	—	—	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2B.10.17 アナログポート 0（AP0）

2B.10.17.1 兼用機能

表 2B.83 アナログポート 0（AP0）(RH850/F1KM-S4, RH850/F1KM-S2)

ポートモード	兼用モード														ADC	専用機能	パッケージ No.				
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				100 Pin	144 Pin	176 Pin	233 Pin 注 1	272 Pin 注 1
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力							
AP0_0															ADCA0I0		68	90	106	K15	P20
AP0_1															ADCA0I1		67	89	105	L17	P19
AP0_2															ADCA0I2		66	88	104	L16	R20
AP0_3															ADCA0I3		65	87	103	M17	P18
AP0_4															ADCA0I4		64	86	102	L15	R19
AP0_5															ADCA0I5		63	85	101	M16	T20
AP0_6															ADCA0I6		62	84	100	N17	P17
AP0_7															ADCA0I7		61	83	99	N16	R18
AP0_8															ADCA0I8		60	82	98	M15	T19
AP0_9															ADCA0I9		59	81	97	P17	U20
AP0_10															ADCA0I10		58	80	96	P16	T18
AP0_11															ADCA0I11		57	79	95	N15	U19
AP0_12															ADCA0I12		56	78	94	R17	V20
AP0_13															ADCA0I13		55	77	93	P15	U18
AP0_14															ADCA0I14		54	76	92	R16	V19
AP0_15															ADCA0I15		53	75	91	T17	W20

注1. RH850/F1KM-S4 のみ対応

注　意

A/D 機能は初期設定で使用してください。詳細は「**表 2B.84 制御レジスタ（AP0）**(RH850/F1KM-S4, RH850/F1KM-S2)」を参照してください。

2B.10.17.2　制御レジスタ

表 2B.84　　制御レジスタ（AP0）(RH850/F1KM-S4, RH850/F1KM-S2)

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス				
			位置	R/W 注1			100 Pin	144 Pin	176 Pin	233 Pin 注2	272 Pin 注2
AP0	アナログポートレジスタ 0	16	15-0	R/W	00C8H	0000H	○	○	○	○	○
APSR0	アナログポートセット／リセットレジスタ 0	32	31-16, 15-0	R/W	01C8H	0000 0000H	○	○	○	○	○
APPR0	アナログポート端子リードレジスタ 0	16	15-0	R	02C8H	0000H	○	○	○	○	○
APM0	アナログポートモードレジスタ 0	16	15-0	R/W	03C8H	FFFFH	○	○	○	○	○
APNOT0	アナログポートノットレジスタ 0	16	15-0	W	07C8H	0000H	○	○	○	○	○
APMSR0	アナログポートモードセット／リセットレジスタ 0	32	31-16, 15-0	R/W	08C8H	0000 FFFFH	○	○	○	○	○
APIBC0	アナログポート入力バッファコントロールレジスタ 0	16	15-0	R/W	40C8H	0000H	○	○	○	○	○
APBDC0	アナログポート双方向コントロールレジスタ 0	16	15-0	R/W	41C8H	0000H	○	○	○	○	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注2.　RH850/F1KM-S4 のみ対応

2B.10.18 アナログポート 1（AP1）

2B.10.18.1 兼用機能

表 2B.85 アナログポート 1（AP1）(RH850/F1KM-S4, RH850/F1KM-S2)

ポートモード	兼用モード														ADC	専用機能	パッケージ No.				
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				100 Pin	144 Pin	176 Pin	233 Pin 注1	272 Pin 注1
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力							
AP1_0															ADCA1I0		—	109	133	C17	C20
AP1_1															ADCA1I1		—	108	132	D15	D18
AP1_2															ADCA1I2		—	107	131	D16	D19
AP1_3															ADCA1I3		—	106	130	D17	D20
AP1_4															ADCA1I4		—	105	129	F14	E18
AP1_5															ADCA1I5		—	104	128	E15	E19
AP1_6															ADCA1I6		—	103	127	E16	E20
AP1_7															ADCA1I7		—	102	126	F15	F18
AP1_8															ADCA1I8		—	—	125	E17	G17
AP1_9															ADCA1I9		—	—	124	F16	F19
AP1_10															ADCA1I10		—	—	123	G14	F20
AP1_11															ADCA1I11		—	—	122	G15	G18
AP1_12															ADCA1I12		—	—	137	B16	B19
AP1_13															ADCA1I13		—	—	136	C15	B20
AP1_14															ADCA1I14		—	—	135	B17	C18
AP1_15															ADCA1I15		—	—	134	C16	C19

注1. RH850/F1KM-S4 のみ対応

注 意

A/D 機能は初期設定で使用してください。詳細は「**表 2B.86 制御レジスタ（AP1）(RH850/F1KM-S4, RH850/F1KM-S2)**」を参照してください。

2B.10.18.2　制御レジスタ

表 2B.86　制御レジスタ（AP1）(RH850/F1KM-S4, RH850/F1KM-S2)

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス				
			位置	R/W 注1			100 Pin	144 Pin	176 Pin	233 Pin 注2	272 Pin 注2
AP1	アナログポートレジスタ 1	16	7-0	R/W	00CCH	0000H	—	○	—	—	—
			15-0				—	—	○	○	○
APSR1	アナログポートセット／リセットレジスタ 1	32	23-16, 7-0	R/W	01CCH	0000 0000H	—	○	—	—	—
			31-16, 15-0				—	—	○	○	○
APPR1	アナログポート端子リードレジスタ 1	16	7-0	R	02CCH	0000H	—	○	—	—	—
			15-0				—	—	○	○	○
APM1	アナログポートモードレジスタ 1	16	7-0	R/W	03CCH	FFFFH	—	○	—	—	—
			15-0				—	—	○	○	○
APNOT1	アナログポートノットレジスタ 1	16	7-0	W	07CCH	0000H	—	○	—	—	—
			15-0				—	—	○	○	○
APMSR1	アナログポートモードセット／リセットレジスタ 1	32	23-16, 7-0	R/W	08CCH	0000 FFFFH	—	○	—	—	—
			31-16, 15-0				—	—	○	○	○
APIBC1	アナログポート入力バッファコントロールレジスタ 1	16	7-0	R/W	40CCH	0000H	—	○	—	—	—
			15-0				—	—	○	○	○
APBDC1	アナログポート双方向コントロールレジスタ 1	16	7-0	R/W	41CCH	0000H	—	○	—	—	—
			15-0				—	—	○	○	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注2.　RH850/F1KM-S4 のみ対応

2B.10.19 入力ポート 0（IP0）

2B.10.19.1 兼用機能

表 2B.87 入力ポート 0（IP0）(RH850/F1KM-S4, RH850/F1KM-S2)

ポートモード	兼用モード														専用機能	パッケージ No.				
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用			100 Pin	144 Pin	176 Pin	233 Pin 注1	272 Pin 注1
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力						
IP0_0															XT2	—	47	57	T7	W8

注1. RH850/F1KM-S4 のみ対応

2B.10.19.2　制御レジスタ

表 2B.88　制御レジスタ（IP0）(RH850/F1KM-S4, RH850/F1KM-S2)

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス				
			位置	R/W 注1			100 Pin	144 Pin	176 Pin	233 Pin 注2	272 Pin 注2
IPPR0	入力ポート端子リードレジスタ 0	16	0	R	02F0H	0000H	—	○	○	○	○
IPIBC0	ポート入力バッファコントロールレジスタ 0	16	0	R/W	40F0H	0000H	—	○	○	○	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注2.　RH850/F1KM-S4 のみ対応

注　意

IP0_0/XT2 端子を入力ポートとして使用する場合は、IPIBC0.0 ビット＝1 に設定してください。その際、SOSC は動作停止状態にしてください。SOSC 動作設定の詳細は、「**12AB.4.2.7 SOSCE — SubOSC イネーブルレジスタ**」を参照してください。なお、SubOSC（SOSC）として使用し、入力ポートとして使用しない場合は、IPIBC0_0 ビット＝0 に設定してください。

2B.11　ポート（特殊 I/O）機能概要

本節では、ポート（特殊 I/O）の機能について説明します。

2B.11.1　リセット後の特殊 I/O

リセット解除後の特殊な機能のポートについて次に示します。

2B.11.1.1　P8_6： $\overline{\text{RESETOUT}}$

P8_6 端子（ $\overline{\text{RESETOUT}}$ 信号）は、OPBT0.RESETOUTEN ビットの設定により PM8.PM8_6 ビットおよび PODC8.PODC8_6 ビットのリセット後の値が変わります。

P8_6 端子はリセット中にロウレベルを出力し、リセット後の端子状態は異なります。

（ケース 1）：OPBT0.RESETOUTEN＝1

- P8.P8_6＝0：ロウレベル出力
- PM8.PM8_6＝0：出力ポート
- PODC8.PODC8_6＝1：オープンドレイン出力

（ケース 2）：OPBT0.RESETOUTEN＝0

- P8.P8_6＝0：ロウレベル出力
- PM8.PM8_6＝1：入力ポート
- PODC8.PODC8_6＝0：プッシュプル

OPBT0 レジスタについての詳細は、「**44.9.2 OPBT0 — オプションバイト 0**」、および「**9BC.1.3 リセット出力（ $\overline{\text{RESETOUT}}$ ）**」を参照してください。

P8_6 端子の設定を変更すると、変更後の設定に従い動作します。

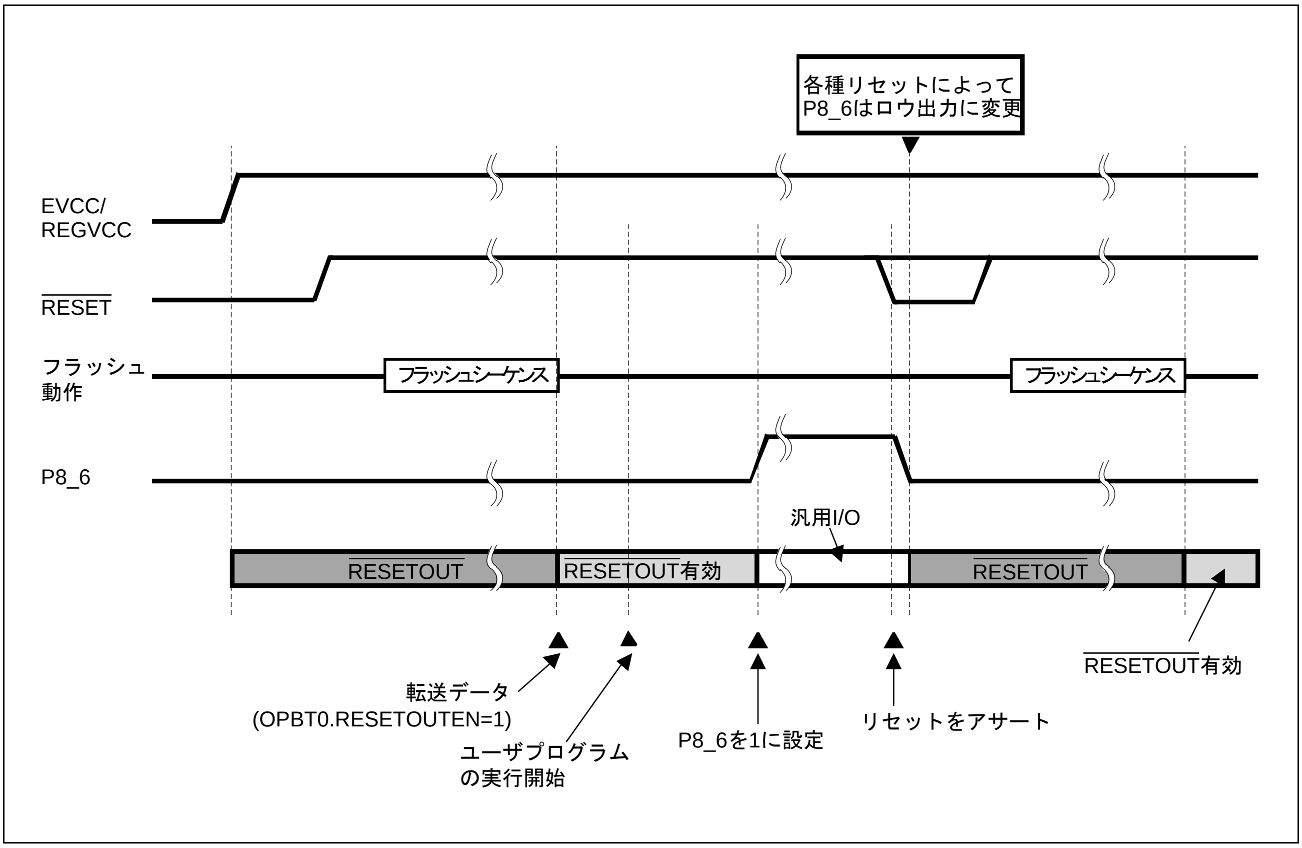
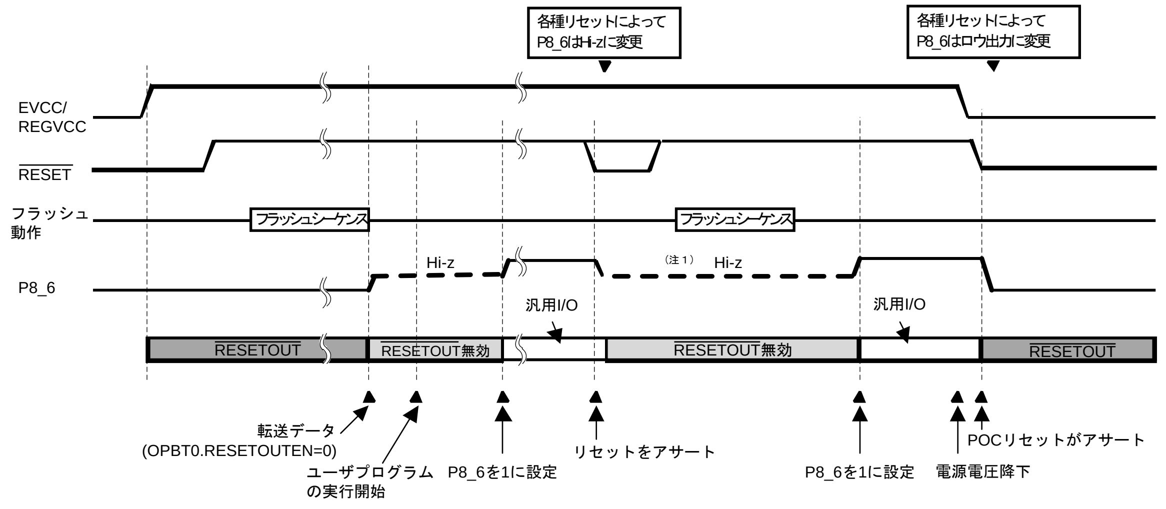


図 2B.11　リセット中およびリセット解除後の P8_6 端子（$\overline{\text{RESETOUT}}$ 信号）動作
：（ケース 1）OPBT0.RESETOUTEN を 1 に設定



注1.　RESETOUT が無効（OPBT0.RESETOUTEN＝0）の状態で、リセット（POC リセットを除く）が発生したとき、P8_6 端子（RESETOUT 信号）は、Hi-z になります。

図 2B.12　　リセット中およびリセット解除後の P8_6 端子（RESETOUT 信号）動作
：（ケース 2）OPBT0.RESETOUTEN を 0 に設定

2B.11.1.2　JP0_0-JP0_6：デバッグインタフェース

OPJTAG[1:0]の設定が以下の組み合わせの場合、リセット解除後、JTAG ポートグループの端子がデバッグインタフェースとして使用できます。

表 2B.89　デバッグインタフェース

OPJTAG1	OPJTAG0	モード	JP0_0	JP0_1	JP0_2	JP0_3	JP0_4	JP0_5	JP0_6
1	1	Nexus I/F	DCUTDI 入力	DCUTDO 出力	DCUTCK 入力	DCUTMS 入力	$\overline{\text{DCUTRST}}$ 入力	$\overline{\text{DCURDY}}$ 出力	$\overline{\text{EVTO}}$ 出力
0	1	LPD (4 pin)	LPDI 入力	LPDO 出力	LPDCLK 入力	ポート／ 兼用機能	ポート／ 兼用機能	LPDCLK OUT 出力	ポート／ 兼用機能
1	0	LPD (1 pin)	LPDIO 入出力	ポート／ 兼用機能	ポート／ 兼用機能	ポート／ 兼用機能	ポート／ 兼用機能	ポート／ 兼用機能	ポート／ 兼用機能

備　考

OPJTAG[1:0]の設定に関しては、「**44.9.2 OPBT0 — オプションバイト 0**」を参照してください。

2B.11.1.3　FPDR(JP0_0), FPDT(JP0_1), FPCK(JP0_2)：フラッシュプログラマ

これらの端子はフラッシュプログラマと接続する場合に使用します。詳細は、「*フラッシュプログラマのマニュアル*」を参照してください。

2B.11.1.4　モード端子

FLMD0 端子と P10_8：FLMD1 端子を組み合わせてシリアルプログラミングモードに設定できます。

FLMD0 端子と P10_8：FLMD1 端子、P10_2：MODE1 端子、P10_1：MODE0 端子を組み合わせてバウンダリスキャンモードに設定できます。

FLMD0 端子と P10_8：FLMD1 端子、P10_6：MODE2 端子、P10_2：MODE1 端子、P10_1：MODE0 端子を組み合わせてユーザブートモードを選択できます。

モード選択の詳細は、「**第 6 章　動作モード**」を参照してください。

2B.11.1.5　IP0_0：XT2

SubOSC（SOSC）の入力端子です。IPIBC0_0 ビット＝1 に設定すると、IP0_0 / XT2 端子を入力ポートとして使用できます。その際、SOSC は動作停止状態にしてください。

2B.11.2　A/D 入力兼用 I/O

次のポートは A/D の入力に常に接続しています。（ただし、A/D へのアナログ入力は、A/D のモジュールで制御されます。）

表 2B.90　A/D 入力兼用端子 (RH850/F1KM-S4, RH850/F1KM-S2)

ポート	A/D 入力	デバイス				
		100 Pin	144 Pin	176 Pin	233 Pin 注 1	272 Pin 注 1
P8_0	ADCA0I0S	—	○	○	○	○
P8_1	ADCA0I1S	—	○	○	○	○
P8_2	ADCA0I4S	○	○	○	○	○
P8_3	ADCA0I5S	○	○	○	○	○
P8_4	ADCA0I6S	○	○	○	○	○
P8_5	ADCA0I7S	○	○	○	○	○
P8_6	ADCA0I8S	○	○	○	○	○
P8_7	ADCA0I14S	○	○	○	○	○
P8_8	ADCA0I15S	○	○	○	○	○
P8_9	ADCA0I16S	○	○	○	○	○
P8_10	ADCA0I17S	○	○	○	○	○
P8_11	ADCA0I18S	○	○	○	○	○
P8_12	ADCA0I19S	○	○	○	○	○
P9_0	ADCA0I2S	○	○	○	○	○
P9_1	ADCA0I3S	○	○	○	○	○
P9_2	ADCA0I9S	○	○	○	○	○
P9_3	ADCA0I10S	○	○	○	○	○
P9_4	ADCA0I11S	○	○	○	○	○
P18_0	ADCA1I0S	—	○	○	○	○
P18_1	ADCA1I1S	—	○	○	○	○
P18_2	ADCA1I2S	—	○	○	○	○
P18_3	ADCA1I3S	—	○	○	○	○
P18_4	ADCA1I4S	—	—	○	○	○
P18_5	ADCA1I5S	—	—	○	○	○
P18_6	ADCA1I6S	—	—	○	○	○
P18_7	ADCA1I7S	—	—	○	○	○
P18_8	ADCA1I8S	—	—	—	○	○
P18_9	ADCA1I9S	—	—	—	○	○
P18_10	ADCA1I10S	—	—	—	○	○
P18_11	ADCA1I11S	—	—	—	○	○
P18_12	ADCA1I12S	—	—	—	○	○
P18_13	ADCA1I13S	—	—	—	○	○
P18_14	ADCA1I14S	—	—	—	○	○
P18_15	ADCA1I15S	—	—	—	○	○
P19_0	ADCA1I16S	—	—	—	○	○
P19_1	ADCA1I17S	—	—	—	○	○
P19_2	ADCA1I18S	—	—	—	○	○
P19_3	ADCA1I19S	—	—	—	○	○

表 2B.90　　A/D 入力兼用端子 (RH850/F1KM-S4, RH850/F1KM-S2)

ポート	A/D 入力	デバイス				
		100 Pin	144 Pin	176 Pin	233 Pin 注 1	272 Pin 注 1
AP0_0	ADCA0I0	○	○	○	○	○
AP0_1	ADCA0I1	○	○	○	○	○
AP0_2	ADCA0I2	○	○	○	○	○
AP0_3	ADCA0I3	○	○	○	○	○
AP0_4	ADCA0I4	○	○	○	○	○
AP0_5	ADCA0I5	○	○	○	○	○
AP0_6	ADCA0I6	○	○	○	○	○
AP0_7	ADCA0I7	○	○	○	○	○
AP0_8	ADCA0I8	○	○	○	○	○
AP0_9	ADCA0I9	○	○	○	○	○
AP0_10	ADCA0I10	○	○	○	○	○
AP0_11	ADCA0I11	○	○	○	○	○
AP0_12	ADCA0I12	○	○	○	○	○
AP0_13	ADCA0I13	○	○	○	○	○
AP0_14	ADCA0I14	○	○	○	○	○
AP0_15	ADCA0I15	○	○	○	○	○
AP1_0	ADCA1I0	—	○	○	○	○
AP1_1	ADCA1I1	—	○	○	○	○
AP1_2	ADCA1I2	—	○	○	○	○
AP1_3	ADCA1I3	—	○	○	○	○
AP1_4	ADCA1I4	—	○	○	○	○
AP1_5	ADCA1I5	—	○	○	○	○
AP1_6	ADCA1I6	—	○	○	○	○
AP1_7	ADCA1I7	—	○	○	○	○
AP1_8	ADCA1I8	—	—	○	○	○
AP1_9	ADCA1I9	—	—	○	○	○
AP1_10	ADCA1I10	—	—	○	○	○
AP1_11	ADCA1I11	—	—	○	○	○
AP1_12	ADCA1I12	—	—	○	○	○
AP1_13	ADCA1I13	—	—	○	○	○
AP1_14	ADCA1I14	—	—	○	○	○
AP1_15	ADCA1I15	—	—	○	○	○

注1.　RH850/F1KM-S4 のみ対応

2B.11.3　特殊 I/O 制御

2B.11.3.1　直接 I/O 制御（PIPC）

いくつかの兼用機能ではポートの入力／出力を自動的に制御します。

次に PIPCn.PIPCn_m＝1 とする必要がある兼用機能について示します。

詳細は「**2B.9.2.3 PIPCn ― ポート IP コントロールレジスタ**」を参照してください。

表 2B.91　PIPCn.PIPCn_m＝1 設定が必要な兼用機能 (RH850/F1KM-S4, RH850/F1KM-S2)

機能	兼用機能名	ポート名	電源領域	制御	参照章
MEMC 注 1	MEMC0AD0	P10_6	ISO		**第 16 章**
	MEMC0AD1	P10_7	ISO		
	MEMC0AD2	P10_8	ISO		
	MEMC0AD3	P10_9	ISO		
	MEMC0AD4	P10_10	ISO		
	MEMC0AD5	P10_11	ISO		
	MEMC0AD6	P10_12	ISO		
	MEMC0AD7	P10_13	ISO		
	MEMC0AD8	P10_14	ISO		
	MEMC0AD9	P11_1	ISO		
	MEMC0AD10	P11_2	ISO		
	MEMC0AD11	P11_3	ISO		
	MEMC0AD12	P11_4	ISO		
	MEMC0AD13	P11_5	ISO		
	MEMC0AD14	P11_6	ISO		
	MEMC0AD15	P11_7	ISO		
TAPA	TAPA0UP	P10_0	ISO	U 相 Hi-Z 制御	**第 36 章**
	TAPA0UN	P10_1	ISO		
	TAPA0VP	P10_2	ISO	V 相 Hi-Z 制御	
	TAPA0VN	P10_3	ISO		
	TAPA0WP	P10_4	ISO	W 相 Hi-Z 制御	
	TAPA0WN	P10_5	ISO		
CSIG	CSIG0SO	P0_13	AWO	シリアルデータ出力制御信号	**第 19 章**
		P10_6	ISO		
	CSIG0SC	P0_14	AWO	マスタ（1）／スレーブ（0）モード信号	
		P10_7	ISO		
	CSIG1SO	P11_9	ISO	シリアルデータ出力制御信号	
	CSIG1SC	P11_10	ISO	マスタ（1）／スレーブ（0）モード信号	
	CSIG2SO	P12_5	ISO	シリアルデータ出力制御信号	
	CSIG2SC	P12_4	ISO	マスタ（1）／スレーブ（0）モード信号	
	CSIG3SO	P20_1	ISO	シリアルデータ出力制御信号	
	CSIG3SC	P20_2	ISO	マスタ（1）／スレーブ（0）モード信号	

表 2B.91　　PIPCn.PIPCn_m＝1 設定が必要な兼用機能 (RH850/F1KM-S4, RH850/F1KM-S2)

機能	兼用機能名	ポート名	電源領域	制御	参照章
CSIH	CSIH0SO	P0_3	AWO	シリアルデータ出力制御信号	**第 20 章**
	CSIH0SC	P0_2	AWO	マスタ（1）／スレーブ（0）モード信号	
	CSIH1SO	P0_5	AWO	シリアルデータ出力制御信号	
		P10_2	ISO		
	CSIH1SC	P0_6	AWO	マスタ（1）／スレーブ（0）モード信号	
		P10_1	ISO		
	CSIH2SO	P11_2	ISO	シリアルデータ出力制御信号	
	CSIH2SC	P11_3	ISO	マスタ（1）／スレーブ（0）モード信号	
	CSIH3SO	P11_6	ISO	シリアルデータ出力制御信号	
	CSIH3SC	P11_7	ISO	マスタ（1）／スレーブ（0）モード信号	
SFMA	SFMA0IO0	P11_5	ISO	SPIch.0 MOSI0_IO00 出力許可	**第 17 章**
	SFMA0IO1	P11_4	ISO	SPIch.0 MOSI0_IO10 出力許可	
	SFMA0IO2	P11_3	ISO	SPIch.0 IO20 出力許可	
	SFMA0IO3	P11_2	ISO	SPIch.0 IO30 出力許可	
ETNB 注 1	ETNB0MDIO	P12_4	ISO	MDIO 出力許可	**第 26 章**

注1.　RH850/F1KM-S4 のみ対応

2B.11.3.2　入力バッファ制御（PISn/JPIS0、PISAn/JPISA0）

本デバイスでは、ポートの入力バッファの特性（タイプ 1、タイプ 2）を PISn/PISAn/JPIS0 レジスタで選択することができます。適用可能な端子を「**表 2B.92 ポートの入力バッファ特性の選択** (RH850/F1KM-S4)」に示します。

本デバイスでは、JTAG ポートの入力バッファの特性（タイプ 1/2、タイプ 5）を JPISA0 レジスタで選択することができます。適用可能な端子を「**表 2B.94 JTAG ポートの入力バッファ特性の選択 (RH850/F1KM-S4, RH850/F1KM-S2)**」に示します。

表 2B.92　ポートの入力バッファ特性の選択 (RH850/F1KM-S4)

ポート名	入力バッファ選択			デバイス				
	タイプ 1（PISn_m＝0 & PISAn_m＝0）	タイプ 2（PISn_m＝1 & PISAn_m＝0）	タイプ 5（PISAn_m＝1）	100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
P0_0	SHMT1	SHMT4	—	○	○	○	○	○
P0_1	SHMT1	SHMT4	—	○	○	○	○	○
P0_2	SHMT1	SHMT4	—	○	○	○	○	○
P0_3	SHMT1	SHMT4	—	○	○	○	○	○
P0_4	SHMT1	SHMT4	—	○	○	○	○	○
P0_5	SHMT1	SHMT4	—	○	○	○	○	○
P0_6	SHMT1	SHMT4	—	○	○	○	○	○
P0_7	SHMT1	SHMT4	—	○	○	○	○	○
P0_8	SHMT1	SHMT4	—	○	○	○	○	○
P0_9	SHMT1	SHMT4	—	○	○	○	○	○
P0_10	SHMT1	SHMT4	—	○	○	○	○	○
P0_11	SHMT1	SHMT4	—	○	○	○	○	○
P0_12	SHMT1	SHMT4	—	○	○	○	○	○
P0_13	SHMT1	SHMT4	—	○	○	○	○	○
P0_14	SHMT1	SHMT4	—	○	○	○	○	○
P1_0	SHMT1	SHMT4	—	—	○	○	○	○
P1_1	SHMT1	SHMT4	—	—	○	○	○	○
P1_2	SHMT1	SHMT4	—	—	○	○	○	○
P1_3	SHMT1	SHMT4	—	—	○	○	○	○
P1_4	SHMT1	SHMT4	—	—	○	○	○	○
P1_5	SHMT1	SHMT4	—	—	○	○	○	○
P1_8	SHMT1	SHMT4	—	—	○	○	○	○
P1_9	SHMT1	SHMT4	—	—	○	○	○	○
P1_10	SHMT1	SHMT4	—	—	○	○	○	○
P1_11	SHMT1	SHMT4	—	—	○	○	○	○
P1_12	SHMT1	SHMT4	—	—	—	○	○	○
P1_13	SHMT1	SHMT4	—	—	—	○	○	○
P1_14	SHMT1	SHMT4	—	—	—	○	○	○
P1_15	SHMT1	SHMT4	—	—	—	○	○	○
P2_0	SHMT1	SHMT4	—	—	—	○	○	○
P2_1	SHMT1	SHMT4	—	—	—	○	○	○
P2_2	SHMT1	SHMT4	—	—	—	○	○	○
P2_3	SHMT1	SHMT4	—	—	—	○	○	○
P2_4	SHMT1	SHMT4	—	—	—	○	○	○
P2_5	SHMT1	SHMT4	—	—	—	○	○	○

表 2B.92　　ポートの入力バッファ特性の選択（RH850/F1KM-S4）

ポート名	入力バッファ選択			デバイス				
	タイプ 1（PISn_m＝0 & PISAn_m＝0）	タイプ 2（PISn_m＝1 & PISAn_m＝0）	タイプ 5（PISAn_m＝1）	100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
P2_6	SHMT1	SHMT4	—	—	—	○	○	○
P2_7	SHMT1	SHMT4	—	—	—	—	○	○
P2_8	SHMT1	SHMT4	—	—	—	—	○	○
P2_9	SHMT1	SHMT4	—	—	—	—	○	○
P2_10	SHMT1	SHMT4	—	—	—	—	○	○
P2_11	SHMT1	SHMT4	—	—	—	—	○	○
P2_12	SHMT1	SHMT4	—	—	—	—	○	○
P2_13	SHMT1	SHMT4	—	—	—	—	○	○
P2_14	SHMT1	SHMT4	—	—	—	—	○	○
P2_15	SHMT1	SHMT4	—	—	—	—	○	○
P3_0	SHMT1	SHMT4	—	—	—	—	○	○
P3_1	SHMT1	SHMT4	—	—	—	—	—	○
P3_2	SHMT1	SHMT4	—	—	—	—	—	○
P3_3	SHMT1	SHMT4	—	—	—	—	—	○
P3_4	SHMT1	SHMT4	—	—	—	—	—	○
P3_5	SHMT1	SHMT4	—	—	—	—	—	○
P3_6	SHMT1	SHMT4	—	—	—	—	—	○
P3_7	SHMT1	SHMT4	—	—	—	—	—	○
P3_8	SHMT1	SHMT4	—	—	—	—	—	○
P3_9	SHMT1	SHMT4	—	—	—	—	—	○
P3_10	SHMT1	SHMT4	—	—	—	—	—	○
P8_0	SHMT1	SHMT4	—	—	○	○	○	○
P8_1	SHMT1	SHMT4	—	—	○	○	○	○
P8_2	SHMT1	SHMT4	—	○	○	○	○	○
P8_3	SHMT1	SHMT4	—	○	○	○	○	○
P8_4	SHMT1	SHMT4	—	○	○	○	○	○
P8_5	SHMT1	SHMT4	—	○	○	○	○	○
P8_6	SHMT1	SHMT4	—	○	○	○	○	○
P8_7	SHMT1	SHMT4	—	○	○	○	○	○
P8_8	SHMT1	SHMT4	—	○	○	○	○	○
P8_9	SHMT1	SHMT4	—	○	○	○	○	○
P8_10	SHMT1	SHMT4	—	○	○	○	○	○
P8_11	SHMT1	SHMT4	—	○	○	○	○	○
P8_12	SHMT1	SHMT4	—	○	○	○	○	○
P9_0	SHMT1	SHMT4	—	○	○	○	○	○
P9_1	SHMT1	SHMT4	—	○	○	○	○	○
P9_2	SHMT1	SHMT4	—	○	○	○	○	○
P9_3	SHMT1	SHMT4	—	○	○	○	○	○
P9_4	SHMT1	SHMT4	—	○	○	○	○	○
P10_0	SHMT1	SHMT4	—	○	○	—	—	—
	SHMT1	SHMT4	TTL	—	—	○	○	○
P10_1	SHMT1	SHMT4	—	○	○	—	—	—
	SHMT1	SHMT4	TTL	—	—	○	○	○

表 2B.92　　ポートの入力バッファ特性の選択　(RH850/F1KM-S4)

ポート名	入力バッファ選択			デバイス				
	タイプ 1（PISn_m＝0 & PISAn_m＝0）	タイプ 2（PISn_m＝1 & PISAn_m＝0）	タイプ 5（PISAn_m＝1）	100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
P10_2	SHMT1	SHMT4	—	○	○	—	—	—
	SHMT1	SHMT4	TTL	—	—	○	○	○
P10_3	SHMT1	SHMT4	—	○	○	○	○	○
P10_4	SHMT1	SHMT4	—	○	○	—	—	—
	SHMT1	SHMT4	TTL	—	—	○	○	○
P10_5	SHMT1	SHMT4	—	○	○	—	—	—
	SHMT1	SHMT4	TTL	—	—	○	○	○
P10_6	SHMT1	SHMT4	—	○	○	○	○	○
P10_7	SHMT1	SHMT4	—	○	○	○	○	○
P10_8	SHMT1	SHMT4	—	○	○	○	○	○
P10_9	SHMT1	SHMT4	—	○	○	○	○	○
P10_10	SHMT1	SHMT4	—	○	○	○	○	○
P10_11	SHMT1	SHMT4	—	○	○	○	○	○
P10_12	SHMT1	SHMT4	—	○	○	○	○	○
P10_13	SHMT1	SHMT4	—	○	○	○	○	○
P10_14	SHMT1	SHMT4	—	○	○	○	○	○
P10_15	SHMT1	SHMT4	—	—	○	○	○	○
P11_0	SHMT1	SHMT4	—	—	○	○	○	○
P11_1	SHMT1	SHMT4	—	○	○	○	○	○
P11_2	SHMT1	SHMT4	—	○	○	○	○	○
P11_3	SHMT1	SHMT4	—	○	○	○	○	○
P11_4	SHMT1	SHMT4	—	○	○	○	○	○
P11_5	SHMT1	SHMT4	—	○	○	○	○	○
P11_6	SHMT1	SHMT4	—	○	○	○	○	○
P11_7	SHMT1	SHMT4	—	○	○	○	○	○
P11_8	SHMT1	SHMT4	—	—	○	○	○	○
P11_9	SHMT1	SHMT4	—	—	○	○	○	○
P11_10	SHMT1	SHMT4	—	—	○	—	—	—
	SHMT1	SHMT4	TTL	—	—	○	○	○
P11_11	SHMT1	SHMT4	—	—	○	—	—	—
	SHMT1	SHMT4	TTL	—	—	○	○	○
P11_12	SHMT1	SHMT4	—	—	○	—	—	—
	SHMT1	SHMT4	TTL	—	—	○	○	○
P11_15	SHMT1	SHMT4	—	—	○	—	—	—
	SHMT1	SHMT4	TTL	—	—	○	○	○
P12_0	SHMT1	SHMT4	—	—	○	○	○	○
P12_1	SHMT1	SHMT4	—	—	○	○	○	○
P12_2	SHMT1	SHMT4	—	—	○	○	○	○
P12_3	SHMT1	SHMT4	—	—	—	○	○	○
P12_4	SHMT1	SHMT4	TTL	—	—	○	○	○
P12_5	SHMT1	SHMT4	—	—	—	○	○	○
P13_0	SHMT1	SHMT4	—	—	—	—	○	○
P13_1	SHMT1	SHMT4	—	—	—	—	○	○

表 2B.92　　ポートの入力バッファ特性の選択 (RH850/F1KM-S4)

ポート名	入力バッファ選択			デバイス				
	タイプ 1（PISn_m=0 & PISAn_m=0）	タイプ 2（PISn_m=1 & PISAn_m=0）	タイプ 5（PISAn_m=1）	100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
P13_2	SHMT1	SHMT4	TTL	—	—	—	○	○
P13_3	SHMT1	SHMT4	TTL	—	—	—	○	○
P13_4	SHMT1	SHMT4	—	—	—	—	○	○
P13_5	SHMT1	SHMT4	TTL	—	—	—	○	○
P13_6	SHMT1	SHMT4	—	—	—	—	○	○
P13_7	SHMT1	SHMT4	—	—	—	—	○	○
P18_0	SHMT1	SHMT4	—	—	○	—	—	—
	SHMT1	SHMT4	TTL	—	—	○	○	○
P18_1	SHMT1	SHMT4	—	—	○	○	○	○
P18_2	SHMT1	SHMT4	—	—	○	○	○	○
P18_3	SHMT1	SHMT4	—	—	○	○	○	○
P18_4	SHMT1	SHMT4	—	—	—	○	○	○
P18_5	SHMT1	SHMT4	—	—	—	○	○	○
P18_6	SHMT1	SHMT4	—	—	—	○	○	○
P18_7	SHMT1	SHMT4	TTL	—	—	○	○	○
P18_8	SHMT1	SHMT4	TTL	—	—	—	○	○
P18_9	SHMT1	SHMT4	TTL	—	—	—	○	○
P18_10	SHMT1	SHMT4	—	—	—	—	○	○
P18_11	SHMT1	SHMT4	—	—	—	—	○	○
P18_12	SHMT1	SHMT4	—	—	—	—	○	○
P18_13	SHMT1	SHMT4	—	—	—	—	○	○
P18_14	SHMT1	SHMT4	—	—	—	—	○	○
P18_15	SHMT1	SHMT4	—	—	—	—	○	○
P19_0	SHMT1	SHMT4	—	—	—	—	○	○
P19_1	SHMT1	SHMT4	—	—	—	—	○	○
P19_2	SHMT1	SHMT4	—	—	—	—	○	○
P19_3	SHMT1	SHMT4	—	—	—	—	○	○
P20_0	SHMT1	SHMT4	—	—	—	○	○	○
P20_1	SHMT1	SHMT4	—	—	—	○	○	○
P20_2	SHMT1	SHMT4	—	—	—	○	○	○
P20_3	SHMT1	SHMT4	—	—	—	○	○	○
P20_4	SHMT1	SHMT4	—	—	○	○	○	○
P20_5	SHMT1	SHMT4	—	—	○	○	○	○
P20_6	SHMT1	SHMT4	—	—	—	—	—	○
P20_7	SHMT1	SHMT4	—	—	—	—	—	○
P20_8	SHMT1	SHMT4	—	—	—	—	—	○
P20_9	SHMT1	SHMT4	—	—	—	—	—	○
P20_10	SHMT1	SHMT4	—	—	—	—	—	○
P20_11	SHMT1	SHMT4	—	—	—	—	—	○
P20_12	SHMT1	SHMT4	—	—	—	—	—	○
P20_13	SHMT1	SHMT4	—	—	—	—	—	○
P20_14	SHMT1	SHMT4	—	—	—	—	—	○
P21_0	SHMT1	SHMT4	—	—	—	—	—	○

表 2B.92　　ポートの入力バッファ特性の選択 (RH850/F1KM-S4)

ポート名	入力バッファ選択			デバイス				
	タイプ 1（PISn_m＝0 & PISAn_m＝0）	タイプ 2（PISn_m＝1 & PISAn_m＝0）	タイプ 5（PISAn_m＝1）	100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
P21_1	SHMT1	SHMT4	—	—	—	—	—	○
P21_2	SHMT1	SHMT4	—	—	—	—	—	○
P21_3	SHMT1	SHMT4	—	—	—	—	—	○
P21_4	SHMT1	SHMT4	—	—	—	—	—	○
P22_0	SHMT1	SHMT4	—	—	—	—	—	○
P22_1	SHMT1	SHMT4	—	—	—	—	—	○
P22_2	SHMT1	SHMT4	—	—	—	—	—	○
P22_3	SHMT1	SHMT4	—	—	—	—	—	○
P22_4	SHMT1	SHMT4	—	—	—	—	—	○
P22_5	SHMT1	SHMT4	—	—	—	—	—	○
P22_6	SHMT1	SHMT4	—	—	—	—	—	○
P22_7	SHMT1	SHMT4	—	—	—	—	—	○
P22_8	SHMT1	SHMT4	—	—	—	—	—	○
P22_9	SHMT1	SHMT4	—	—	—	—	—	○
P22_10	SHMT1	SHMT4	—	—	—	—	—	○
P22_11	SHMT1	SHMT4	—	—	—	—	—	○
P22_12	SHMT1	SHMT4	—	—	—	—	—	○
P22_13	SHMT1	SHMT4	—	—	—	—	—	○
P22_14	SHMT1	SHMT4	—	—	—	—	—	○
P22_15	SHMT1	SHMT4	—	—	—	—	—	○

表 2B.93　ポートの入力バッファ特性の選択 (RH850/F1KM-S2)

ポート名	入力バッファ選択		デバイス		
	タイプ 1（PISn_m＝0）	タイプ 2（PISn_m＝1）	100 Pin	144 Pin	176 Pin
P0_0	SHMT1	SHMT4	○	○	○
P0_1	SHMT1	SHMT4	○	○	○
P0_2	SHMT1	SHMT4	○	○	○
P0_3	SHMT1	SHMT4	○	○	○
P0_4	SHMT1	SHMT4	○	○	○
P0_5	SHMT1	SHMT4	○	○	○
P0_6	SHMT1	SHMT4	○	○	○
P0_7	SHMT1	SHMT4	○	○	○
P0_8	SHMT1	SHMT4	○	○	○
P0_9	SHMT1	SHMT4	○	○	○
P0_10	SHMT1	SHMT4	○	○	○
P0_11	SHMT1	SHMT4	○	○	○
P0_12	SHMT1	SHMT4	○	○	○
P0_13	SHMT1	SHMT4	○	○	○
P0_14	SHMT1	SHMT4	○	○	○
P1_0	SHMT1	SHMT4	—	○	○
P1_1	SHMT1	SHMT4	—	○	○
P1_2	SHMT1	SHMT4	—	○	○
P1_3	SHMT1	SHMT4	—	○	○
P1_4	SHMT1	SHMT4	—	○	○
P1_5	SHMT1	SHMT4	—	○	○
P1_8	SHMT1	SHMT4	—	○	○
P1_9	SHMT1	SHMT4	—	○	○
P1_10	SHMT1	SHMT4	—	○	○
P1_11	SHMT1	SHMT4	—	○	○
P1_12	SHMT1	SHMT4	—	—	○
P1_13	SHMT1	SHMT4	—	—	○
P1_14	SHMT1	SHMT4	—	—	○
P1_15	SHMT1	SHMT4	—	—	○
P2_0	SHMT1	SHMT4	—	—	○
P2_1	SHMT1	SHMT4	—	—	○
P2_2	SHMT1	SHMT4	—	—	○
P2_3	SHMT1	SHMT4	—	—	○
P2_4	SHMT1	SHMT4	—	—	○
P2_5	SHMT1	SHMT4	—	—	○
P2_6	SHMT1	SHMT4	—	—	○
P8_0	SHMT1	SHMT4	—	○	○
P8_1	SHMT1	SHMT4	—	○	○
P8_2	SHMT1	SHMT4	○	○	○
P8_3	SHMT1	SHMT4	○	○	○
P8_4	SHMT1	SHMT4	○	○	○
P8_5	SHMT1	SHMT4	○	○	○
P8_6	SHMT1	SHMT4	○	○	○
P8_7	SHMT1	SHMT4	○	○	○

表 2B.93　　ポートの入力バッファ特性の選択 (RH850/F1KM-S2)

ポート名	入力バッファ選択		デバイス		
	タイプ 1（PISn_m＝0）	タイプ 2（PISn_m＝1）	100 Pin	144 Pin	176 Pin
P8_8	SHMT1	SHMT4	○	○	○
P8_9	SHMT1	SHMT4	○	○	○
P8_10	SHMT1	SHMT4	○	○	○
P8_11	SHMT1	SHMT4	○	○	○
P8_12	SHMT1	SHMT4	○	○	○
P9_0	SHMT1	SHMT4	○	○	○
P9_1	SHMT1	SHMT4	○	○	○
P9_2	SHMT1	SHMT4	○	○	○
P9_3	SHMT1	SHMT4	○	○	○
P9_4	SHMT1	SHMT4	○	○	○
P10_0	SHMT1	SHMT4	○	○	○
P10_1	SHMT1	SHMT4	○	○	○
P10_2	SHMT1	SHMT4	○	○	○
P10_3	SHMT1	SHMT4	○	○	○
P10_4	SHMT1	SHMT4	○	○	○
P10_5	SHMT1	SHMT4	○	○	○
P10_6	SHMT1	SHMT4	○	○	○
P10_7	SHMT1	SHMT4	○	○	○
P10_8	SHMT1	SHMT4	○	○	○
P10_9	SHMT1	SHMT4	○	○	○
P10_10	SHMT1	SHMT4	○	○	○
P10_11	SHMT1	SHMT4	○	○	○
P10_12	SHMT1	SHMT4	○	○	○
P10_13	SHMT1	SHMT4	○	○	○
P10_14	SHMT1	SHMT4	○	○	○
P10_15	SHMT1	SHMT4	—	○	○
P11_0	SHMT1	SHMT4	—	○	○
P11_1	SHMT1	SHMT4	○	○	○
P11_2	SHMT1	SHMT4	○	○	○
P11_3	SHMT1	SHMT4	○	○	○
P11_4	SHMT1	SHMT4	○	○	○
P11_5	SHMT1	SHMT4	○	○	○
P11_6	SHMT1	SHMT4	○	○	○
P11_7	SHMT1	SHMT4	○	○	○
P11_8	SHMT1	SHMT4	—	○	○
P11_9	SHMT1	SHMT4	—	○	○
P11_10	SHMT1	SHMT4	—	○	○
P11_11	SHMT1	SHMT4	—	○	○
P11_12	SHMT1	SHMT4	—	○	○
P11_15	SHMT1	SHMT4	—	○	○
P12_0	SHMT1	SHMT4	—	○	○
P12_1	SHMT1	SHMT4	—	○	○
P12_2	SHMT1	SHMT4	—	○	○
P12_3	SHMT1	SHMT4	—	—	○

表 2B.93　　ポートの入力バッファ特性の選択 (RH850/F1KM-S2)

ポート名	入力バッファ選択		デバイス		
	タイプ 1 (PISn_m＝0)	タイプ 2 (PISn_m＝1)	100 Pin	144 Pin	176 Pin
P12_4	SHMT1	SHMT4	—	—	○
P12_5	SHMT1	SHMT4	—	—	○
P18_0	SHMT1	SHMT4	—	○	○
P18_1	SHMT1	SHMT4	—	○	○
P18_2	SHMT1	SHMT4	—	○	○
P18_3	SHMT1	SHMT4	—	○	○
P18_4	SHMT1	SHMT4	—	—	○
P18_5	SHMT1	SHMT4	—	—	○
P18_6	SHMT1	SHMT4	—	—	○
P18_7	SHMT1	SHMT4	—	—	○
P20_0	SHMT1	SHMT4	—	—	○
P20_1	SHMT1	SHMT4	—	—	○
P20_2	SHMT1	SHMT4	—	—	○
P20_3	SHMT1	SHMT4	—	—	○
P20_4	SHMT1	SHMT4	—	○	○
P20_5	SHMT1	SHMT4	—	○	○

表 2B.94　　JTAG ポートの入力バッファ特性の選択 (RH850/F1KM-S4, RH850/F1KM-S2)

ポート名	入力バッファ選択			デバイス				
	タイプ 1 (JPIS0_m＝0 & JPISA0_m＝0)	タイプ 2 (JPIS0_m＝1 & JPISA0_m＝0)	タイプ 5 (JPISA0_m＝1)	100 Pin	144 Pin	176 Pin	233 Pin 注 5	272 Pin 注 5
JP0_0	SHMT1	SHMT4	TTL 注 1、注 2、注 3、注 4	○	○	○	○	○
JP0_1	SHMT1	SHMT4	—	○	○	○	○	○
JP0_2	SHMT1	SHMT4	TTL 注 1、注 2、注 3	○	○	○	○	○
JP0_3	SHMT1	SHMT4	TTL 注 1、注 2	○	○	○	○	○
JP0_4	—	SHMT4	— 注 1、注 2	○	○	○	○	○
JP0_5	SHMT1	SHMT4	—	○	○	○	○	○
JP0_6	SHMT1	SHMT4	—	—	○	○	○	○

注1.　TTL は JPISA0 レジスタ設定なしでバウンダリスキャンモードで選択されます。
注2.　TTL は JPISA0 レジスタ設定なしで通常動作モードの Nexus で選択されます。
注3.　TTL は JPISA0 レジスタ設定なしで通常動作モードの LPD（4 pin）で選択されます。
注4.　TTL は JPISA0 レジスタ設定なしで通常動作モードの LPD（1 pin）で選択されます。
注5.　RH850/F1KM-S4 のみ対応

備　考

1. SHMT1、SHMT4、TTL の端子特性については「**第 47B 章　RH850/F1KM-S4, RH850/F1KM-S2 の電気的特性**」を参照してください。
2. リセット後の入力バッファは、タイプ 2（SHMT4）が選択されています。

2B.11.3.3　出力バッファ制御（PDSC）

本デバイスでは、ポートの出力ドライバの強度（低速モード、高速モード）を PDSCn レジスタで選択することができます。適用可能な端子を以下の表に示します。表以外のポートは低速モードのみサポートします。

表 2B.95　出力バッファ特性選択 (RH850/F1KM-S4, RH850/F1KM-S2)

ポート名	出力ドライバ強度選択		デバイス				
	低速モード（PDSCn_m＝0）	高速モード（PDSCn_m＝1）	100 Pin	144 Pin	176 Pin	233 Pin 注 4	272 Pin 注 4
JP0_1	10MHz	40MHz	○	○	○	○	○
JP0_2	10MHz	40MHz	○	○	○	○	○
JP0_3	10MHz	40MHz	○	○	○	○	○
JP0_5	10MHz	40MHz	○	○	○	○	○
JP0_6	10MHz	40MHz	—	○	○	○	○
P0_0	10MHz	40MHz	○	○	○	○	○
P0_1	10MHz	40MHz	○	○	○	○	○
P0_2	10MHz	40MHz 注 1	○	○	○	○	○
P0_3	10MHz	40MHz 注 1	○	○	○	○	○
P0_4	10MHz	40MHz	○	○	○	○	○
P0_5	10MHz	40MHz 注 2	○	○	○	○	○
P0_6	10MHz	40MHz 注 2	○	○	○	○	○
P0_7	10MHz	40MHz	○	○	○	○	○
P0_8	10MHz	40MHz	○	○	○	○	○
P0_9	10MHz	40MHz	○	○	○	○	○
P0_10	10MHz	40MHz	○	○	○	○	○
P0_11	10MHz	40MHz	○	○	○	○	○
P0_12	10MHz	40MHz	○	○	○	○	○
P0_13	10MHz	40MHz	○	○	○	○	○
P0_14	10MHz	40MHz	○	○	○	○	○
P1_0	10MHz	40MHz	—	○	○	○	○
P1_1	10MHz	40MHz	—	○	○	○	○
P1_2	10MHz	40MHz	—	○	○	○	○
P1_3	10MHz	40MHz	—	○	○	○	○
P1_4	10MHz	40MHz	—	○	○	○	○
P1_5	10MHz	40MHz	—	○	○	○	○
P1_8	10MHz	40MHz	—	○	○	○	○
P1_9	10MHz	40MHz	—	○	○	○	○
P1_10	10MHz	40MHz	—	○	○	○	○
P1_11	10MHz	40MHz	—	○	○	○	○
P1_12	10MHz	40MHz	—	—	○	○	○
P1_13	10MHz	40MHz	—	—	○	○	○
P1_14	10MHz	40MHz	—	—	○	○	○
P1_15	10MHz	40MHz	—	—	○	○	○
P2_0	10MHz	40MHz	—	—	○	○	○
P2_1	10MHz	40MHz	—	—	○	○	○
P2_2	10MHz	40MHz	—	—	○	○	○
P2_3	10MHz	40MHz	—	—	○	○	○

表 2B.95　出力バッファ特性選択 (RH850/F1KM-S4, RH850/F1KM-S2)

ポート名	出力ドライバ強度選択		デバイス				
	低速モード（PDSCn_m＝0）	高速モード（PDSCn_m＝1）	100 Pin	144 Pin	176 Pin	233 Pin 注 4	272 Pin 注 4
P2_4	10MHz	40MHz	—	—	○	○	○
P2_5	10MHz	40MHz	—	—	○	○	○
P2_6	10MHz	40MHz	—	—	○	○	○
P2_7	10MHz	40MHz	—	—	—	○	○
P2_8	10MHz	40MHz	—	—	—	○	○
P2_9	10MHz	40MHz	—	—	—	○	○
P2_10	10MHz	40MHz	—	—	—	○	○
P2_11	10MHz	40MHz	—	—	—	○	○
P2_12	10MHz	40MHz	—	—	—	○	○
P2_13	10MHz	40MHz	—	—	—	○	○
P2_14	10MHz	40MHz	—	—	—	○	○
P2_15	10MHz	40MHz	—	—	—	○	○
P3_0	10MHz	40MHz	—	—	—	○	○
P3_1	10MHz	40MHz	—	—	—	—	○
P3_2	10MHz	40MHz	—	—	—	—	○
P3_3	10MHz	40MHz	—	—	—	—	○
P3_4	10MHz	40MHz	—	—	—	—	○
P3_5	10MHz	40MHz	—	—	—	—	○
P3_6	10MHz	40MHz	—	—	—	—	○
P3_7	10MHz	40MHz	—	—	—	—	○
P3_8	10MHz	40MHz	—	—	—	—	○
P3_9	10MHz	40MHz	—	—	—	—	○
P3_10	10MHz	40MHz	—	—	—	—	○
P10_0	10MHz	40MHz	○	○	○	○	○
P10_1	10MHz	40MHz 注 2	○	○	○	○	○
P10_2	10MHz	40MHz 注 2	○	○	○	○	○
P10_3	10MHz	40MHz	○	○	○	○	○
P10_4	10MHz	40MHz	○	○	○	○	○
P10_5	10MHz	40MHz	○	○	○	○	○
P10_6	10MHz	40MHz	○	○	○	○	○
P10_7	10MHz	40MHz	○	○	○	○	○
P10_8	10MHz	40MHz	○	○	○	○	○
P10_9	10MHz	40MHz	○	○	○	○	○
P10_10	10MHz	40MHz	○	○	○	○	○
P10_11	10MHz	40MHz	○	○	○	○	○
P10_12	10MHz	40MHz	○	○	○	○	○
P10_13	10MHz	40MHz	○	○	○	○	○
P10_14	10MHz	40MHz	○	○	○	○	○
P10_15	10MHz	40MHz	—	○	○	○	○
P11_0	10MHz	40MHz	—	○	○	○	○
P11_1	10MHz	40MHz	○	○	○	○	○
P11_2	10MHz	40MHz 注 2	○	○	○	○	○
P11_3	10MHz	40MHz 注 2	○	○	○	○	○

表 2B.95 出力バッファ特性選択 (RH850/F1KM-S4, RH850/F1KM-S2)

ポート名	出力ドライバ強度選択		デバイス				
	低速モード（PDSCn_m＝0）	高速モード（PDSCn_m＝1）	100 Pin	144 Pin	176 Pin	233 Pin 注 4	272 Pin 注 4
P11_4	10MHz	40MHz	○	○	○	○	○
P11_5	10MHz	40MHz	○	○	○	○	○
P11_6	10MHz	40MHz 注 2	○	○	○	○	○
P11_7	10MHz	40MHz 注 2	○	○	○	○	○
P11_8	10MHz	40MHz	—	○	○	○	○
P11_9	10MHz	40MHz	—	○	○	○	○
P11_10	10MHz	40MHz	—	○	○	○	○
P11_11	10MHz	40MHz	—	○	○	○	○
P11_12	10MHz	40MHz	—	○	○	○	○
P11_15	10MHz	40MHz	—	○	○	○	○
P12_0	10MHz	40MHz	—	○	○	○	○
P12_1	10MHz	40MHz	—	○	○	○	○
P12_2	10MHz	40MHz	—	○	○	○	○
P12_3	10MHz	40MHz	—	—	○	○	○
P12_4	10MHz	40MHz	—	—	○	○	○
P12_5	10MHz	40MHz	—	—	○	○	○
P13_0	10MHz	40MHz	—	—	—	○	○
P13_1	10MHz	40MHz	—	—	—	○	○
P13_2	10MHz	40MHz	—	—	—	○	○
P13_3	10MHz	40MHz	—	—	—	○	○
P13_4	10MHz	40MHz	—	—	—	○	○
P13_5	10MHz	40MHz	—	—	—	○	○
P13_6	10MHz	40MHz	—	—	—	○	○
P13_7	10MHz	40MHz	—	—	—	○	○
P18_0	10MHz	40MHz	—	○	○	○	○
P18_1	10MHz	40MHz	—	○	○	○	○
P18_2	10MHz	40MHz	—	○	○	○	○
P18_3	10MHz	40MHz	—	○	○	○	○
P18_4	10MHz	40MHz	—	—	○	○	○
P18_5	10MHz	40MHz	—	—	○	○	○
P18_6	10MHz	40MHz	—	—	○	○	○
P18_7	10MHz	40MHz	—	—	○	○	○
P18_8	10MHz	40MHz	—	—	—	○	○
P18_9	10MHz	40MHz	—	—	—	○	○
P18_10	10MHz	40MHz	—	—	—	○	○
P18_11	10MHz	40MHz	—	—	—	○	○
P18_12	10MHz	40MHz	—	—	—	○	○
P18_13	10MHz	40MHz	—	—	—	○	○
P18_14	10MHz	40MHz	—	—	—	○	○
P18_15	10MHz	40MHz	—	—	—	○	○
P19_0	10MHz	40MHz	—	—	—	○	○
P19_1	10MHz	40MHz	—	—	—	○	○
P19_2	10MHz	40MHz	—	—	—	○	○
P19_3	10MHz	40MHz	—	—	—	○	○

表 2B.95　　出力バッファ特性選択 (RH850/F1KM-S4, RH850/F1KM-S2)

ポート名	出力ドライバ強度選択		デバイス				
	低速モード（PDSCn_m＝0）	高速モード（PDSCn_m＝1）	100 Pin	144 Pin	176 Pin	233 Pin 注4	272 Pin 注4
P20_0	10MHz	40MHz	—	—	○	○	○
P20_1	10MHz	40MHz	—	—	○	○	○
P20_2	10MHz	40MHz	—	—	○	○	○
P20_3	10MHz	40MHz	—	—	○	○	○
P20_4	10MHz	40MHz	—	○	○	○	○
P20_5	10MHz	40MHz	—	○	○	○	○
P20_6	10MHz	40MHz	—	—	—	—	○
P20_7	10MHz	40MHz	—	—	—	—	○
P20_8	10MHz	40MHz	—	—	—	—	○
P20_9	10MHz	40MHz	—	—	—	—	○
P20_10	10MHz	40MHz	—	—	—	—	○
P20_11	10MHz	40MHz	—	—	—	—	○
P20_12	10MHz	40MHz	—	—	—	—	○
P20_13	10MHz	40MHz	—	—	—	—	○
P20_14	10MHz	40MHz	—	—	—	—	○

注1.　負荷容量 100pF 対応（CSIH0 の負荷容量を 100pF にした場合）

注2.　負荷容量 50pF 対応（CSIH1～CSIH3 の負荷容量を 50pF にした場合）

注3.　一部の機能では、高速モードまたは低速モードが指定されています。詳細は「**47B.5 AC 特性**」を参照してください。

注4.　RH850/F1KM-S4 のみ対応

2B.12　ノイズフィルタ＆エッジ／レベル検出回路

端子に入力された信号の中には、ノイズとグリッチを除去するためにフィルタを通過するものがあります。この製品ではアナログフィルタとデジタルフィルタの両方をサポートしています。

また、フィルタ通過後、エッジ検出／レベル検出する機能もサポートしています。

最初の節で、フィルタが割り当てられているポート入力端子とそのフィルタの種類、ノイズフィルタ＆エッジ／レベル検出制御レジスタと制御ビット、およびレジスタアドレスなどの概要を説明します。

デジタル／アナログフィルタ機能とノイズフィルタ＆エッジ／レベル検出制御レジスタの詳細は「**2B.13 ポートノイズフィルタ＆エッジ／レベル検出機能説明**」を参照してください。

備　考

本節のノイズフィルタ制御レジスタの<*name*>は、フィルタに接続の周辺機能を表します。

2B.12.1　ポートフィルタの割り当て

アナログまたは、デジタルフィルタを内蔵した入力端子の一覧を次に示します。

2B.12.1.1　アナログフィルタタイプ A 付き入力端子

アナログフィルタタイプ A の入力端子は、アナログフィルタおよびエッジ／レベル検出機能を搭載しています。エッジ／レベル検出は次のレジスタによって制御されます。

- フィルタ制御レジスタ FCLA0CTLm_<*name*>（m＝0～7）

  各アナログフィルタ付きポートにはそれぞれの端子に専用の FCLA0CTLm_<*name*>レジスタがあります。

表 2B.96　アナログフィルタタイプ A 付き入力端子 (RH850/F1KM-S4, RH850/F1KM-S2)

モジュール名	入力端子	FCLA0CTL レジスタ構成		デバイス				
		レジスタ	アドレス	100 Pin	144 Pin	176 Pin	233 Pin 注 1	272 Pin 注 1
FCLA0	NMI	FCLA0CTL0_NMI	FFC3 4000_H	○	○	○	○	○
	INTP0	FCLA0CTL0_INTPL	FFC3 4020_H	○	○	○	○	○
	INTP1	FCLA0CTL1_INTPL	FFC3 4024_H	○	○	○	○	○
	INTP2	FCLA0CTL2_INTPL	FFC3 4028_H	○	○	○	○	○
	INTP3	FCLA0CTL3_INTPL	FFC3 $402C_H$	○	○	○	○	○
	INTP4	FCLA0CTL4_INTPL	FFC3 4030_H	○	○	○	○	○
	INTP5	FCLA0CTL5_INTPL	FFC3 4034_H	○	○	○	○	○
	INTP6	FCLA0CTL6_INTPL	FFC3 4038_H	○	○	○	○	○
	INTP7	FCLA0CTL7_INTPL	FFC3 $403C_H$	○	○	○	○	○
	INTP8	FCLA0CTL0_INTPH	FFC3 4040_H	○	○	○	○	○
	INTP9	FCLA0CTL1_INTPH	FFC3 4044_H	○	○	○	○	○
	INTP10	FCLA0CTL2_INTPH	FFC3 4048_H	○	○	○	○	○
	INTP11	FCLA0CTL3_INTPH	FFC3 $404C_H$	○	○	○	○	○
	INTP12	FCLA0CTL4_INTPH	FFC3 4050_H	○	○	○	○	○
	INTP13	FCLA0CTL5_INTPH	FFC3 4054_H	○	○	○	○	○
	INTP14	FCLA0CTL6_INTPH	FFC3 4058_H	—	○	○	○	○
	INTP15	FCLA0CTL7_INTPH	FFC3 $405C_H$	—	○	○	○	○
	INTP16	FCLA0CTL0_INTPU	FFC3 $40A0_H$	—	○	○	○	○
	INTP17	FCLA0CTL1_INTPU	FFC3 $40A4_H$	—	○	○	○	○
	INTP18	FCLA0CTL2_INTPU	FFC3 $40A8_H$	—	○	○	○	○
	INTP19	FCLA0CTL3_INTPU	FFC3 $40AC_H$	—	○	○	○	○
FCLA0	INTP20	FCLA0CTL4_INTPU	FFC3 $40B0_H$	—	○	○	○	○
	INTP21	FCLA0CTL5_INTPU	FFC3 $40B4_H$	—	○	○	○	○
	INTP22	FCLA0CTL6_INTPU	FFC3 $40B8_H$	—	○	○	○	○
	INTP23	FCLA0CTL7_INTPU	FFC3 $40BC_H$	—	○	○	○	○

注1.　RH850/F1KM-S4 のみ対応

2B.12.1.2 アナログフィルタタイプ B 付き入力端子

アナログフィルタタイプ B の入力端子は、アナログフィルタを搭載しています。エッジ／レベル検出は各周辺機能のレジスタによって制御されます。

表 2B.97 アナログフィルタタイプ B 付き入力端子 (RH850/F1KM-S4, RH850/F1KM-S2)

入力端子	エッジ／レベル検出	デバイス				
		100 Pin	144 Pin	176 Pin	233 Pin 注3	272 Pin 注3
TAUJ0I0	エッジ検出注1	○	○	○	○	○
TAUJ0I1	エッジ検出注1	○	○	○	○	○
TAUJ0I2	エッジ検出注1	○	○	○	○	○
TAUJ0I3	エッジ検出注1	○	○	○	○	○
TAUJ1I0	エッジ検出注1	○	○	○	○	○
TAUJ1I1	エッジ検出注1	○	○	○	○	○
TAUJ1I2	エッジ検出注1	○	○	○	○	○
TAUJ1I3	エッジ検出注1	○	○	○	○	○
TAUJ2I0	エッジ検出注1	○	○	○	○	○
TAUJ2I1	エッジ検出注1	○	○	○	○	○
TAUJ2I2	エッジ検出注1	○	○	○	○	○
TAUJ2I3	エッジ検出注1	○	○	○	○	○
TAUJ3I0	エッジ検出注1	○	○	○	○	○
TAUJ3I1	エッジ検出注1	○	○	○	○	○
TAUJ3I2	エッジ検出注1	○	○	○	○	○
TAUJ3I3	エッジ検出注1	○	○	○	○	○
TAPA0ESO	エッジ検出注2	—	○	○	○	○
KR0I0	ロウレベル検出	○	○	○	○	○
KR0I1	ロウレベル検出	○	○	○	○	○
KR0I2	ロウレベル検出	○	○	○	○	○
KR0I3	ロウレベル検出	○	○	○	○	○
KR0I4	ロウレベル検出	○	○	○	○	○
KR0I5	ロウレベル検出	○	○	○	○	○
KR0I6	ロウレベル検出	○	○	○	○	○
KR0I7	ロウレベル検出	○	○	○	○	○

注1. TAUJ のエッジ検出についての詳細は、**「33.3.3.4 TAUJnCMURm — TAUJn チャネルモードユーザレジスタ」**を参照してください。

注2. TAPA のエッジ検出についての詳細は、**「36.3.2 TAPAnCTL0 — TAPA 制御レジスタ 0」**を参照してください。

注3. RH850/F1KM-S4 のみ対応

2B.12.1.3　アナログフィルタタイプ C 付き入力端子

アナログフィルタタイプ C の入力端子は、アナログフィルタ機能のみ搭載しています。

表 2B.98　アナログフィルタタイプ C 付き入力信号

入力端子
FLMD0
FLMD1
MODE0
MODE1
MODE2
$\overline{\text{RESET}}$
$\overline{\text{DCUTRST}}$

2B.12.1.4　デジタルフィルタタイプ D 付き入力端子

デジタルフィルタタイプ D の入力端子は、デジタルフィルタおよびエッジ検出機能を搭載しています。デジタルフィルタおよびエッジ検出は次のレジスタによって制御されます。

- フィルタ制御レジスタ FCLA0CTLm_<*name*>（m＝0～2）

  各デジタルフィルタ付きポートには専用の FCLA0CTLm_<*name*>レジスタがあります。
- デジタルノイズ除去制御レジスタ DNFA<*name*>CTL

  各 DNFA<*name*>CTL 制御レジスタは、1 グループにつき 3 つの入力信号のデジタルフィルタ処理を制御します。
- デジタルノイズ除去許可レジスタ DNFA<*name*>EN

  DNFA<*name*>EN の DNFA<*name*>ENL[2:0]ビットの設定で、1 グループにつき 3 つの入力信号のデジタルノイズ除去を許可／禁止します。

表 2B.99　　デジタルフィルタタイプ D 付き入力端子 (RH850/F1KM-S4, RH850/F1KM-S2)

入力端子	デバイス					デジタルノイズ除去制御レジスタ		デジタルノイズ除去許可レジスタ			フィルタ制御レジスタ	
	100 Pin	144 Pin	176 Pin	233 Pin 注 1	272 Pin 注 1	制御レジスタ	アドレス	制御レジスタ	制御ビット	アドレス	制御レジスタ	アドレス
ADCA0TRG0	○	○	○	○	○	DNFAADCTL0CTL	FFC3 00A0$_{H}$	DNFA ADCTL0EN （DNFA ADCTL0ENL）	DNFAADCTL0ENL0	FFC3 00A4$_{H}$ （FFC3 00AC$_{H}$）	FCLA0CTL0 _ADC0	FFC3 4060$_{H}$
ADCA0TRG1	○	○	○	○	○				DNFAADCTL0ENL1		FCLA0CTL1 _ADC0	FFC3 4064$_{H}$
ADCA0TRG2	○	○	○	○	○				DNFAADCTL0ENL2		FCLA0CTL2 _ADC0	FFC3 4068$_{H}$
ADCA1TRG0	—	○	○	○	○	DNFAADCTL1CTL	FFC3 00C0$_{H}$	DNFA ADCTL1EN （DNFA ADCTL1ENL）	DNFAADCTL1ENL0	FFC3 00C4$_{H}$ （FFC3 00CC$_{H}$）	FCLA0CTL0 _ADC1	FFC3 4080$_{H}$
ADCA1TRG1	—	○	○	○	○				DNFAADCTL1ENL1		FCLA0CTL1 _ADC1	FFC3 4084$_{H}$
ADCA1TRG2	—	○	○	○	○				DNFAADCTL1ENL2		FCLA0CTL2 _ADC1	FFC3 4088$_{H}$

注1.　RH850/F1KM-S4 のみ対応

2B.12.1.5　デジタルフィルタタイプ E 付き入力端子

デジタルフィルタタイプ E の入力端子は、デジタルフィルタを搭載しています。デジタルフィルタは次のレジスタによって制御されます。エッジ検出は各周辺機能のレジスタによって制御されます。

- デジタルノイズ除去制御レジスタ DNFA<*name*>CTL

  各 DNFA<*name*>CTL 制御レジスタは、1 グループにつき最大で 16 の入力信号のデジタルフィルタ処理を制御します。

- デジタルノイズ除去許可レジスタ DNFA<*name*>EN

  DNFA<*name*>EN の DNFA<*name*>ENL[7:0]ビット、および DNFA<*name*>ENH[7:0]ビットの設定で、1 グループにつき最大で 16 の入力信号のデジタルノイズ除去を許可／禁止します。

表 2B.100　デジタルフィルタタイプ E 付き入力端子 (RH850/F1KM-S4, RH850/F1KM-S2)

入力端子	デバイス					デジタルノイズ除去制御レジスタ		デジタルノイズ除去許可レジスタ			エッジ検出
	100 Pin	144 Pin	176 Pin	233 Pin 注5	272 Pin 注5	制御レジスタ	アドレス	制御レジスタ	制御ビット	アドレス	レジスタ名
TAUD0I0	○	○	○	○	○	DNFA TAUD0ICTL	FFC3 0000H	DNFA TAUD0IEN（DNFA TAUD0IENH/ DNFA TAUD0IENL）	DNFATAUD0IENL0	FFC3 0004H（FFC3 0008H/ FFC3 000CH）	注1
TAUD0I1	○	○	○	○	○				DNFATAUD0IENL1		
TAUD0I2	○	○	○	○	○				DNFATAUD0IENL2		
TAUD0I3	○	○	○	○	○				DNFATAUD0IENL3		
TAUD0I4	○	○	○	○	○				DNFATAUD0IENL4		
TAUD0I5	○	○	○	○	○				DNFATAUD0IENL5		
TAUD0I6	○	○	○	○	○				DNFATAUD0IENL6		
TAUD0I7	○	○	○	○	○				DNFATAUD0IENL7		
TAUD0I8	○	○	○	○	○				DNFATAUD0IENH0		
TAUD0I9	○	○	○	○	○				DNFATAUD0IENH1		
TAUD0I10	○	○	○	○	○				DNFATAUD0IENH2		
TAUD0I11	○	○	○	○	○				DNFATAUD0IENH3		
TAUD0I12	○	○	○	○	○				DNFATAUD0IENH4		
TAUD0I13	○	○	○	○	○				DNFATAUD0IENH5		
TAUD0I14	○	○	○	○	○				DNFATAUD0IENH6		
TAUD0I15	○	○	○	○	○				DNFATAUD0IENH7		
TAUB0I0	○	○	○	○	○	DNFA TAUB0ICTL	FFC3 0020H	DNFA TAUB0IEN（DNFA TAUB0IENH/ DNFA TAUB0IENL）	DNFATAUB0IENL0	FFC3 0024H（FFC3 0028H/ FFC3 002CH）	注2
TAUB0I1	○	○	○	○	○				DNFATAUB0IENL1		
TAUB0I2	○	○	○	○	○				DNFATAUB0IENL2		
TAUB0I3	○	○	○	○	○				DNFATAUB0IENL3		
TAUB0I4	○	○	○	○	○				DNFATAUB0IENL4		
TAUB0I5	○	○	○	○	○				DNFATAUB0IENL5		
TAUB0I6	○	○	○	○	○				DNFATAUB0IENL6		
TAUB0I7	○	○	○	○	○				DNFATAUB0IENL7		
TAUB0I8	○	○	○	○	○				DNFATAUB0IENH0		
TAUB0I9	—	○	○	○	○				DNFATAUB0IENH1		
TAUB0I10	○	○	○	○	○				DNFATAUB0IENH2		
TAUB0I11	—	○	○	○	○				DNFATAUB0IENH3		
TAUB0I12	○	○	○	○	○				DNFATAUB0IENH4		
TAUB0I13	○	○	○	○	○				DNFATAUB0IENH5		
TAUB0I14	○	○	○	○	○				DNFATAUB0IENH6		
TAUB0I15	○	○	○	○	○				DNFATAUB0IENH7		

表 2B.100　デジタルフィルタタイプ E 付き入力端子 (RH850/F1KM-S4, RH850/F1KM-S2)

入力端子	デバイス					デジタルノイズ除去制御レジスタ		デジタルノイズ除去許可レジスタ			エッジ検出
	100 Pin	144 Pin	176 Pin	233 Pin 注5	272 Pin 注5	制御レジスタ	アドレス	制御レジスタ	制御ビット	アドレス	レジスタ名
TAUB1I0	—	—	○	○	○	DNFA TAUB1ICTL	FFC3 0040H	DNFA TAUB1IEN（DNFA TAUB1IENH/ DNFA TAUB1IENL）	DNFATAUB1IENL0	FFC3 0044H（FFC3 0048H/ FFC3 004CH）	注2
TAUB1I1	—	—	○	○	○				DNFATAUB1IENL1		
TAUB1I2	—	—	○	○	○				DNFATAUB1IENL2		
TAUB1I3	—	—	○	○	○				DNFATAUB1IENL3		
TAUB1I4	—	—	○	○	○				DNFATAUB1IENL4		
TAUB1I5	—	—	○	○	○				DNFATAUB1IENL5		
TAUB1I6	—	—	○	○	○				DNFATAUB1IENL6		
TAUB1I7	—	—	○	○	○				DNFATAUB1IENL7		
TAUB1I8	—	—	○	○	○				DNFATAUB1IENH0		
TAUB1I9	—	—	○	○	○				DNFATAUB1IENH1		
TAUB1I10	—	—	○	○	○				DNFATAUB1IENH2		
TAUB1I11	—	—	○	○	○				DNFATAUB1IENH3		
TAUB1I12	—	—	○	○	○				DNFATAUB1IENH4		
TAUB1I13	—	—	○	○	○				DNFATAUB1IENH5		
TAUB1I14	—	—	○	○	○				DNFATAUB1IENH6		
TAUB1I15	—	—	○	○	○				DNFATAUB1IENH7		
ENCA0TIN0	○	○	○	○	○	DNFA ENCA0ICTL	FFC3 0060H	DNFA ENCA0IEN（DNFA ENCA0IENL）	DNFAENCA0IENL0	FFC3 0064H（FFC3 006CH）	注3
ENCA0TIN1	○	○	○	○	○				DNFAENCA0IENL1		
ENCA0E0	○	○	○	○	○				DNFAENCA0IENL2		
ENCA0E1	○	○	○	○	○				DNFAENCA0IENL3		
ENCA0EC	○	○	○	○	○				DNFAENCA0IENL4		
SENT0RX	—	○	○	○	○	DNFA SENTICTL	FFC3 00E0H	DNFA SENTIEN（DNFA SENTIENL）	DNFASENTIENL0	FFC3 00E4H（FFC3 00ECH）	—注4
SENT1RX	○	○	○	○	○				DNFASENTIENL1		

注1.　TAUD のエッジ検出設定については、「**32.3.3.4　TAUDnCMURm — TAUDn チャネルモードユーザレジスタ**」を参照してください。

注2.　TAUB のエッジ検出設定については、「**31.3.3.4　TAUBnCMURm — TAUBn チャネルモードユーザレジスタ**」を参照してください。

注3.　ENCA のエッジ検出設定については、「**35.3.3　ENCAnIOC0 — ENCAn I/O 制御レジスタ 0**」を参照してください。

注4.　RSENT はエッジ検出に対応していません。

注5.　RH850/F1KM-S4 のみ対応

2B.12.2 ポートフィルタのクロック供給

下記の表に各ポートドメインのフィルタタイプごとのクロック供給を示します。

表 2B.101 ポートフィルタのクロック供給

周辺機能	ポートドメイン注1	フィルタタイプ	フィルタクロック	設定レジスタ	
				ソースクロック選択	クロック選択
ADCA0	Always-On エリア（AWO エリア）	デジタルフィルタタイプ D	DNFATCKI	CKSC_AADCAS_CTL	CKSC_AADCAD_CTL
ADCA1	Isolated エリア（ISO エリア）	デジタルフィルタタイプ D	DNFATCKI	CKSC_IADCAS_CTL	CKSC_IADCAD_CTL
TAUD0	Isolated エリア（ISO エリア）	デジタルフィルタタイプ E	DNFATCKI	CKSC_IPERI1S_CTL	—
TAUB0	Isolated エリア（ISO エリア）	デジタルフィルタタイプ E	DNFATCKI	CKSC_IPERI2S_CTL	—
TAUB1	Isolated エリア（ISO エリア）	デジタルフィルタタイプ E	DNFATCKI	CKSC_IPERI2S_CTL	—
ENCA0	Isolated エリア（ISO エリア）	デジタルフィルタタイプ E	DNFATCKI	CKSC_IPERI1S_CTL	—
RSENTn	Isolated エリア（ISO エリア）	デジタルフィルタタイプ E	DNFATCKI	CKSC_IPERI2S_CTL	—

注1. 電源ドメイン

備 考

レジスタの設定については、「**12AB.4.3 クロックセレクタコントロールレジスタ**」を参照してください。

2B.13　ポートノイズフィルタ＆エッジ／レベル検出機能説明

フィルタする外部入力信号の用途に応じて、外部信号は異なるタイプのフィルタを通過します。

備　考

本節のノイズフィルタ制御レジスタの<*name*>は、フィルタに接続の周辺機能を表します。

2B.13.1　概要

2B.13.1.1　アナログフィルタタイプ

アナログフィルタは固定の特性を備えています。

- タイプ A：エッジ検出またはレベル検出をともなうアナログフィルタです。

  外部割り込み信号に使用されています。
- タイプ B：アナログフィルタです。

  エッジ検出は各周辺機能より行われます。タイマ入力信号、Hi-Z 制御非同期入力信号およびキーリターン入力信号に使用されています。
- タイプ C：アナログフィルタのみです。

  外部 $\overline{\text{RESET}}$ 入力およびモード信号に使用されます。

2B.13.1.2　デジタルフィルタタイプ

デジタルフィルタの特性はアプリケーションのニーズに合わせて調整できます。

- タイプ D：エッジ検出をともなうデジタルフィルタです。

  コンバータの外部トリガ端子に使用されています。
- タイプ E：デジタルフィルタです。

  エッジ検出は各周辺機能より行われます。タイマ入力信号およびエンコーダ入力信号に使用されています。

2B.13.2　アナログフィルタ

2B.13.2.1　アナログフィルタ特性

アナログフィルタを内蔵する端子の入力信号は「**第 47B 章　RH850/F1KM-S4, RH850/F1KM-S2 の電気的特性**」の入力条件を参照してください。

2B.13.2.2　アナログフィルタ制御レジスタ

アナログフィルタを備えた入力信号には、それぞれ専用の制御レジスタ FCLA0CTLm_<*name*>または各周辺マクロ内の制御レジスタが用意されています。

制御レジスタと入力信号との対応、および各レジスタのアドレスについては、「**表 2B.96　アナログフィルタタイプ A 付き入力端子 (RH850/F1KM-S4, RH850/F1KM-S2)**」を参照してください。

2B.13.2.3　スタンバイモードでのアナログフィルタ

DeepSTOP からのウェイクアップ機能に属するアナログフィルタは Always-On エリア（AWO エリア）に配置されています。Always-On エリア（AWO エリア）のアナログフィルタは常に動作しています。

スタンバイモードにおけるアナログフィルタとそのウェイクアップ機能はフィルタタイプに依存します。以下のアナログフィルタタイプの説明を参照して下さい。

(1)　アナログフィルタタイプ A

次にアナログフィルタタイプ A のブロック図を示します。

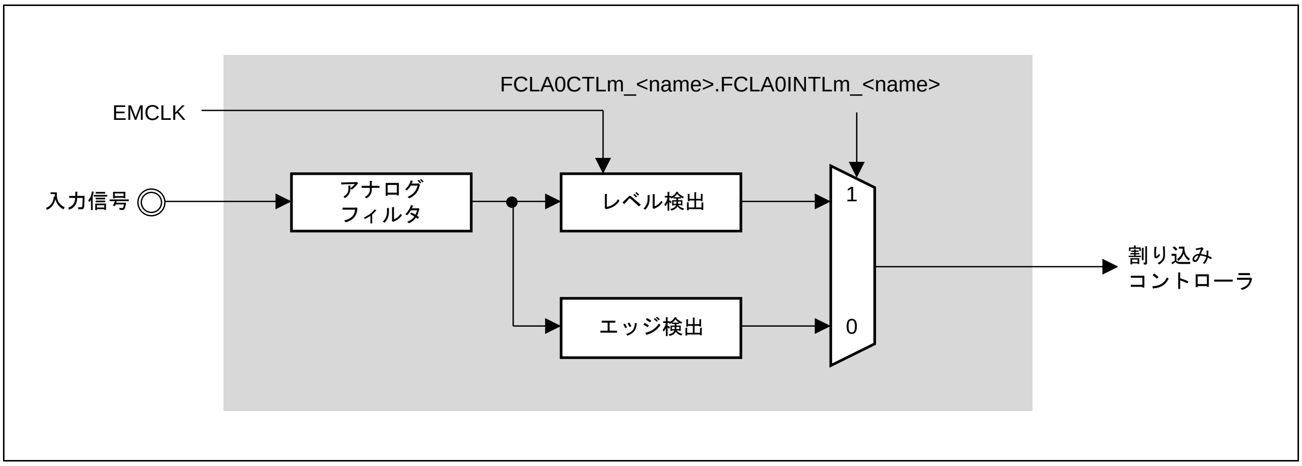


図 2B.13　　アナログフィルタタイプ A のブロック図

外部信号がアナログフィルタを通過してノイズとグリッチを除去したあと、信号のレベルまたはその変化（エッジ）によってイベントを検出すると、それに応じた信号を発生します。

検出モードは制御ビット FCLA0CTLm_<*name*>.FCLA0INTLm_<*name*>で選択します。

- FCLA0INTLm_<*name*>ビット＝0：エッジ検出モード

  FCLA0CTLm_<*name*>.FCLA0INTRm_<*name*>ビットと FCLA0CTLm_<*name*>.FCLA0INTFm_<*name*>ビットの設定に応じて、それぞれ立ち上がりエッジまたは立ち下がりエッジを検出することができます。

- FCLA0INTLm_<*name*>ビット＝1：レベル検出モード

  FCLA0CTLm_<*name*>.FCLA0INTRm_<*name*>ビットの設定に応じて、ハイレベルまたはロウレベルを検出することができます。

アナログフィルタの検出条件を次の表に示します。

表 2B.102　アナログフィルタイベント検出条件

FCLA0INTLm_<*name*>	FCLA0INTFm_<*name*>	FCLA0INTRm_<*name*>	エッジ検出モード	レベル検出モード
0	0	0	検出しない	無効
	0	1	立ち上がりエッジ	
	1	0	立ち下がりエッジ	
	1	1	両エッジ	
1	X	0	無効	ロウレベル
	X	1		ハイレベル

スタンバイモードのアナログフィルタタイプ A

アナログフィルタタイプ A の出力信号は、常にスタンバイモードウェイクアップ信号として使用できます。

(2) アナログフィルタタイプ B

次にアナログフィルタタイプ B のブロック図を示します。

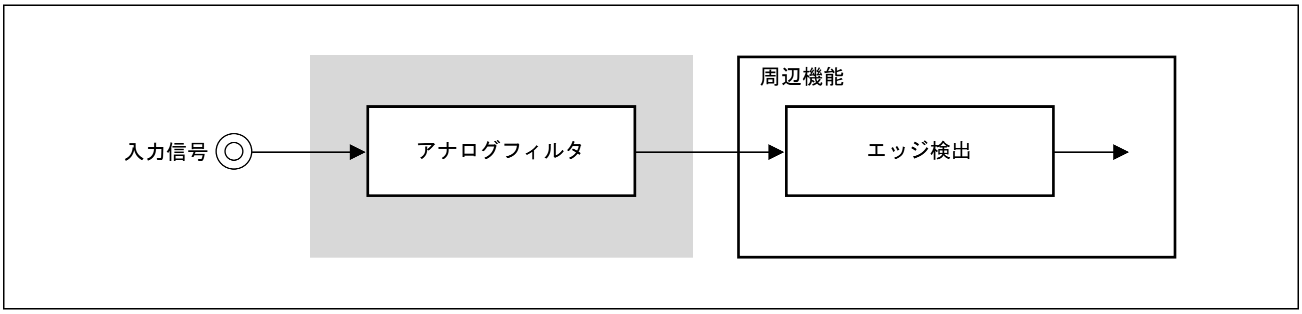


図 2B.14　アナログフィルタタイプ B のブロック図

スタンバイモードでのアナログフィルタタイプ B

アナログフィルタタイプ B の出力信号は、常にスタンバイモードウェイクアップ信号として使用できます。

(3) アナログフィルタタイプ C

次にアナログフィルタタイプ C のブロック図を示します。

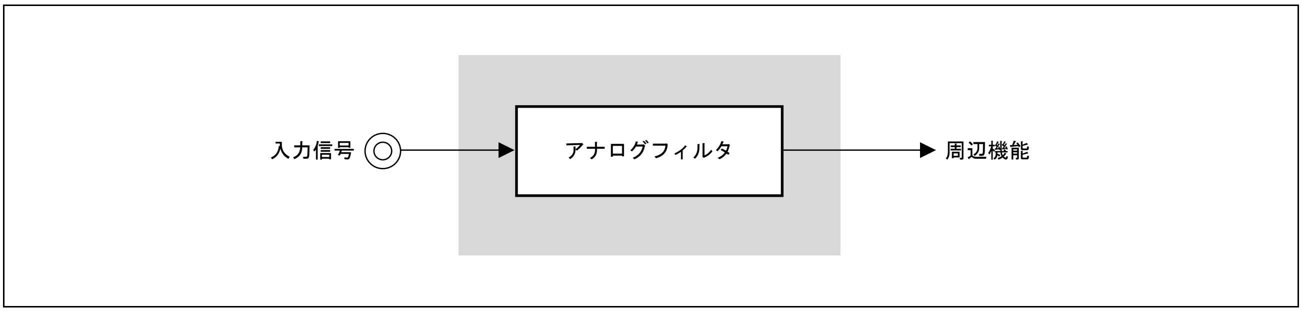


図 2B.15　　アナログフィルタタイプ C のブロック図

発生する信号は、常にアナログフィルタを通過した入力信号です。

スタンバイモードでのアナログフィルタタイプ C

本製品のアナログフィルタタイプ C を搭載した端子は、スタンバイモードからのウェイクアップ要因に対応しません。

2B.13.3　デジタルフィルタ

2B.13.3.1　デジタルフィルタ特性

デジタルフィルタは、アプリケーションのニーズに合わせてフィルタ特性を調整できます。

入力信号はサンプリング周波数 f_S でサンプリングされます。

サンプリングしたレベルが指定された数連続して同じレベル（ハイまたはロウ）であったとき、その信号レベルを有効と判断し、それに応じて出力信号を設定します。

指定された数サンプリングしたレベル（同レベルのサンプル）の中で外部信号のレベルが変化した場合、その信号レベルをノイズと判断します。フィルタ出力信号は変化しません。

外部信号をノイズとして判断するときのパルス長は、サンプリング周波数および指定された同レベルのサンプル数によって変わります。

いずれのパラメータも設定可能です。

- DNFA<*name*>CTL.DNFA<*name*>PRS[2:0]を設定することによって、

  $f_S = f_{DNFATCKI} / 2^{DNFA<name>PRS[2:0]}$

  （$f_{DNFATCKI}$ は DNFATCKI クロックの周波数）に基づいてサンプリング周波数を選択することができます。

- DNFA<*name*>CTL.DNFA<*name*>NFSTS[1:0]で同レベルのサンプル数（2～5）を指定します。

  s＝DNFA<*name*>NFSTS[1:0] + 2

以下よりも短い外部信号パルスは常に抑制されます。

$s \times 1/f_S$

以下よりも長い外部信号パルスは常に有効と判断され、フィルタ出力へ送られます。

$(s + 1) \times 1/f_S$

以下の範囲内の外部信号パルスは抑制される場合もあれば、有効と判断される場合もあります。

$s \times 1/f_S$～$(s + 1) \times 1/f_S$

DNFA<*name*>NFSTS[1:0]＝01_B（同レベルのサンプル数：3）としたときのフィルタ動作例を次の図に示します。

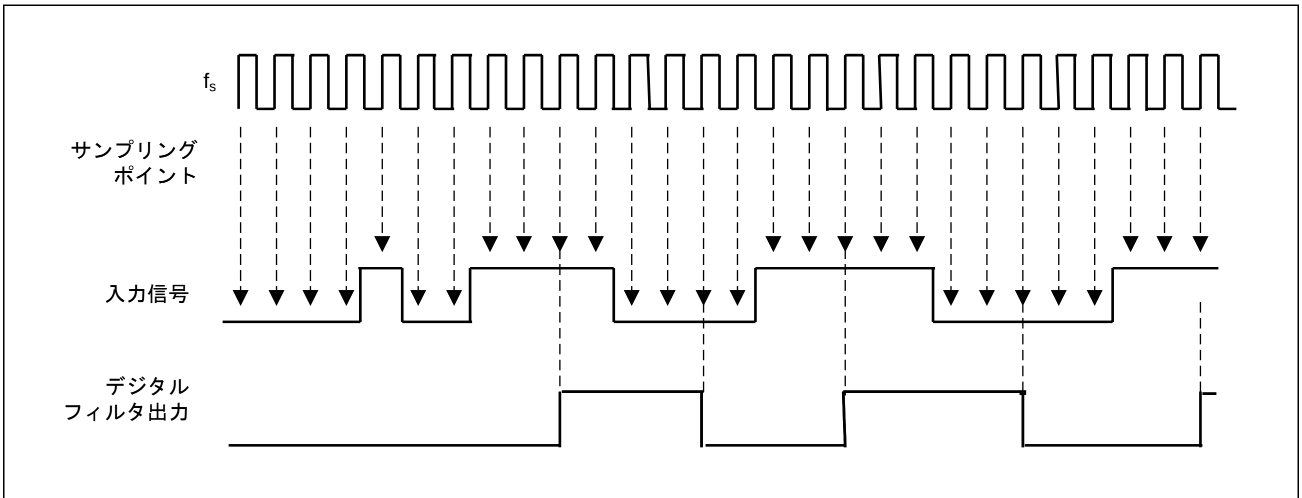


図 2B.16　デジタルフィルタ機能

2B.13.3.2　デジタルフィルタグループ

デジタルフィルタ付き入力信号は、最大 16 信号までを 1 つのグループとした信号グループで構成されています。

デジタルフィルタの特性は、DNFA<*name*>CTL.DNFA<*name*>PRS[2:0]と DNFA<*name*>NFSTS[1:0]で指定し、信号グループ単位で適用されます。

ただし、デジタルフィルタの有効／無効は、DNFA<*name*>EN.DNFA<*name*>ENLm（m＝0～7）および DNFA<*name*>EN.DNFA<*name*>ENHm（m＝0～7）によって信号ごとに設定できます。

注　意

1. デジタルフィルタの出力信号を兼用機能に入力する場合、デジタルフィルタを有効（DNFA<*name*>EN.DNFA<*name*>ENLm（m＝0～7）＝1 および DNFA<*name*>EN.DNFA<*name*>ENHm（m＝0～7）＝1）にし、次の時間を経過した後にポート端子を兼用機能に切り替えてください。
   s＝DNFA<*name*>NFSTS[1:0] + 2
   $s \times 1/f_S + 2 \times 1/f_{DNFATCKI}$
2. デジタルフィルタのイベント出力信号を割り込みとして使用する場合は、割り込み禁止状態でデジタルフィルタを有効（DNFA<*name*>EN.DNFA<*name*>ENLm（m＝0～7）＝1 および DNFA<*name*>EN.DNFA<*name*>ENHm（m＝0～7）＝1）にしてください。また、デジタルフィルタを有効にしてから次の時間を経過した後に割り込み要求フラグをクリアした上で、割り込みを許可してください。
   $s \times 1/f_S + 3 \times 1/f_{DNFATCKI}$

2B.13.3.3　スタンバイモードのデジタルフィルタ

DeepSTOP からのウェイクアップ機能に属するデジタルフィルタは Always-On エリア（AWO エリア）に配置されています。Always-On エリア（AWO エリア）のデジタルフィルタは常に動作しています。

デジタルノイズ除去を行うには、クロック供給 DNFATCKI が動作している必要があります。

本製品のデジタルフィルタを搭載した端子はスタンバイモードからのウェイクアップ要因に対応しません。

2B.13.3.4　デジタルフィルタ制御レジスタ

最大 16 個のデジタルフィルタで構成される各グループに対して、デジタルノイズ除去制御レジスタ DNFA<*name*>CTL およびデジタルノイズ除去許可レジスタ DNFA<*name*>EN は、同じグループ内（周辺機能グループを<*name*>で表示）の全フィルタに対して設定を行います。

DNFA<*name*>CTL レジスタは、<*name*>のデジタルフィルタに対して、デジタルノイズ除去フィルタの特性を設定します。

DNFA<*name*>EN レジスタは DNFA<*name*>EN.DNFA<*name*>ENLm（m＝0～7）および DNFA<*name*>EN.DNFA<*name*>ENHm（m＝0～7）の個々のビットで各フィルタの有効／無効を設定します。

エッジ検出の設定は、フィルタ専用制御レジスタおよび、各周辺機能のレジスタによって行います。

FCLA0CTLm_ADCn レジスタは、1 つのレジスタグループ表示に 3 つのレジスタで構成されています。レジスタインデクス n の範囲は 0～1 です。

制御レジスタと入力信号との対応、および各レジスタのアドレスについては、「**2B.12.1 ポートフィルタの割り当て**」内の「**表 2B.99 デジタルフィルタタイプ D 付き入力端子 (RH850/F1KM-S4, RH850/F1KM-S2)**」および「**表 2B.100 デジタルフィルタタイプ E 付き入力端子 (RH850/F1KM-S4, RH850/F1KM-S2)**」を参照してください。

注　意

DNFA<*name*>EN.DNFA<*name*>ENLm（m＝0～7）＝1 および DNFA<*name*>EN.DNFA<*name*>ENHm（m＝0～7）＝1 で関連するデジタルフィルタを有効にしている間は制御レジスタの設定は変えないでください。変更した場合、予期しないフィルタ出力が発生するおそれがあります。

(1) デジタルフィルタタイプ D

次にデジタルフィルタタイプ D のブロック図を示します。

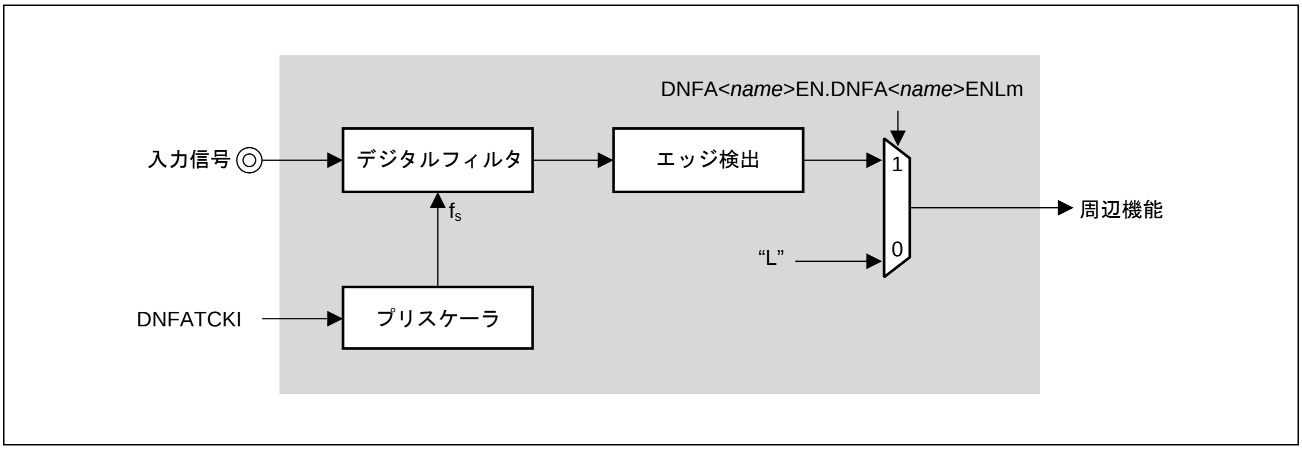


図 2B.17　　デジタルフィルタタイプ D のブロック図

次の表に示すように、デジタルフィルタタイプ D で生成された信号はレジスタ設定に依存します。

表 2B.103　デジタルフィルタタイプ D の出力オプション

DNFA<*name*>EN.DNFA<*name*>ENLm	各周辺機能への出力信号
0	ロウレベルに固定
1	フィルタを通過した入力信号

(2) デジタルフィルタタイプ E

次にデジタルフィルタタイプ E のブロック図を示します。

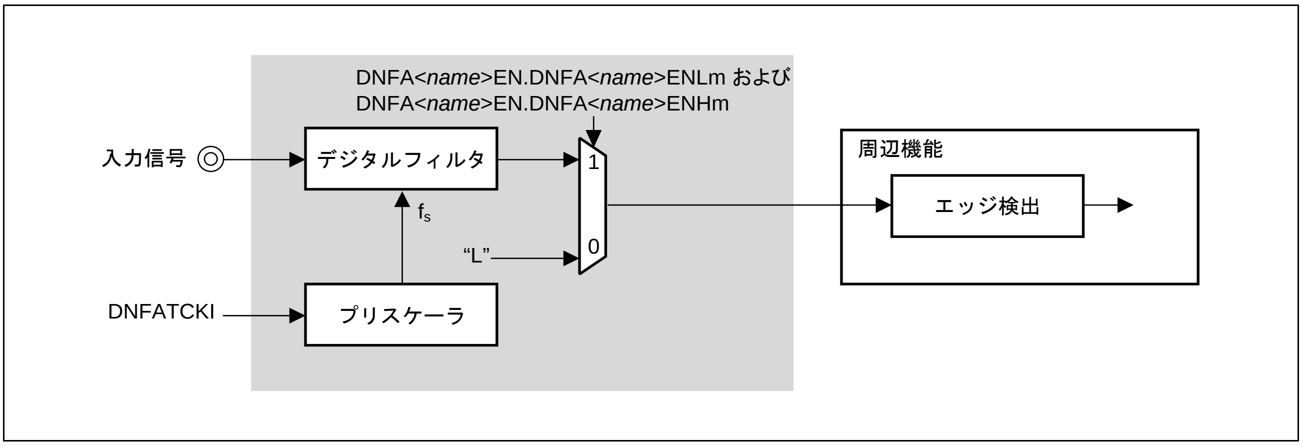


図 2B.18　　デジタルフィルタタイプ E のブロック図

次の表に示すように、デジタルフィルタタイプ E で生成された信号はレジスタ設定に依存します。

表 2B.104　デジタルフィルタタイプ E の出力オプション

DNFA<*name*>EN.DNFA<*name*>ENLm および DNFA<*name*>EN.DNFA<*name*>ENHm	各周辺機能への出力信号
0	ロウレベルに固定
1	フィルタを通過した入力信号

2B.13.4　フィルタ制御レジスタ

アナログフィルタおよびデジタルフィルタは、次のレジスタによって制御、動作します。

表 2B.105　フィルタレジスタ一覧

モジュール名	レジスタ名	略号	アドレス
FCLA0	フィルタ制御レジスタ m	FCLA0CTLm_<*name*>	各レジスタのアドレスについては、**「2B.12.1 ポートフィルタの割り当て」**内の各表を参照してください。
DNF	デジタルノイズ除去制御レジスタ	DNFA<*name*>CTL	
	デジタルノイズ除去許可レジスタ	DNFA<*name*>EN	
	デジタルノイズ除去許可レジスタ H	DNFA<*name*>ENH	
	デジタルノイズ除去許可レジスタ L	DNFA<*name*>ENL	

2B.13.4.1　FCLA0CTLm_<*name*> — フィルタ制御レジスタ

アナログフィルタおよびデジタルフィルタの動作を制御します

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　FCLA0CTLm_<*name*>レジスタと入力信号の対応、および各レジスタのアドレスについては、「**2B.12.1 ポートフィルタの割り当て**」内の各表を参照してください。

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	FCLA0INTLm_<*name*>	FCLA0INTFm_<*name*>	FCLA0INTRm_<*name*>
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 2B.106　FCLA0CTLm_<*name*>レジスタの内容

ビット位置	ビット名	機能
7～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	FCLA0INTLm_<*name*>	検出モード選択 0：エッジ検出モード 1：レベル検出モード **備考）** このビットはアナログフィルタタイプ A でのみ有効です。
1	FCLA0INTFm_<*name*>	● レベル検出モード（FCLA0INTLm_<*name*>ビット＝1）時：このビットによる影響なし ● エッジ検出モード（FCLA0INTLm_<*name*>ビット＝0）時：立ち下がりエッジ検出制御 0：立ち下がりエッジ検出無効 1：立ち下がりエッジ検出有効 **備考）** このビットはアナログフィルタタイプ A とデジタルフィルタタイプ D でのみ有効です。ただし、デジタルフィルタタイプ D はエッジ検出モードになります。
0	FCLA0INTRm_<*name*>	● レベル検出モード（FCLA0INTLm_<*name*>ビット＝1）時：検出レベル選択 0：ロウレベル検出 1：ハイレベル検出 ● エッジ検出モード（FCLA0INTLm_<*name*>ビット＝0）時：立ち上がりエッジ検出制御 0：立ち上がりエッジ検出無効 1：立ち上がりエッジ検出有効 **備考）** このビットはアナログフィルタタイプ A とデジタルフィルタタイプ D でのみ有効です。ただし、デジタルフィルタタイプ D はエッジ検出モードになります。

注　意

デジタルフィルタタイプ D：ビット 2 には必ず 0 を設定してください。

2B.13.4.2　DNFA<*name*>CTL — デジタルノイズ除去制御レジスタ

デジタルノイズ除去フィルタの特性を指定します。

備　考

このレジスタはデジタルフィルタタイプ D とデジタルフィルタタイプ E でのみ有効です。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　DNFA<*name*>CTL レジスタと入力信号の対応、および各レジスタのアドレスについては、「**2B.12.1 ポートフィルタの割り当て**」内の「**表 2B.99 デジタルフィルタタイプ D 付き入力端子 (RH850/F1KM-S4, RH850/F1KM-S2)**」および「**表 2B.100 デジタルフィルタタイプ E 付き入力端子 (RH850/F1KM-S4, RH850/F1KM-S2)**」を参照してください。

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	DNFA<*name*>NFSTS[1:0]		—	—	DNFA<*name*>PRS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R	R	R/W	R/W	R/W

表 2B.107　DNFA<*name*>CTL レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>7</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>6、5</td><td>DNFA<<i>name</i>>
NFSTS[1:0]</td><td>DNFA<<i>name</i>>NFSTS[1:0]ビットは、外部信号パルスの有効／無効を判断する際のサンプル数を指定します。
<table>
<tr><th>DNFA<<i>name</i>>NFSTS[1:0]</th><th>サンプル数</th></tr>
<tr><td>00_B</td><td>2</td></tr>
<tr><td>01_B</td><td>3</td></tr>
<tr><td>10_B</td><td>4</td></tr>
<tr><td>11_B</td><td>5</td></tr>
</table></td></tr>
<tr><td>4、3</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>2～0</td><td>DNFA<<i>name</i>>
PRS[2:0]</td><td>デジタルフィルタサンプリングクロック選択
<table>
<tr><th>DNFA<<i>name</i>>PRS[2:0]</th><th>サンプリングクロック周波数</th></tr>
<tr><td>000_B</td><td>DNFATCKI/1</td></tr>
<tr><td>001_B</td><td>DNFATCKI/2</td></tr>
<tr><td>010_B</td><td>DNFATCKI/4</td></tr>
<tr><td>011_B</td><td>DNFATCKI/8</td></tr>
<tr><td>100_B</td><td>DNFATCKI/16</td></tr>
<tr><td>101_B</td><td>DNFATCKI/32</td></tr>
<tr><td>110_B</td><td>DNFATCKI/64</td></tr>
<tr><td>111_B</td><td>DNFATCKI/128</td></tr>
</table></td></tr>
</table>

2B.13.4.3　DNFA<*name*>EN — デジタルノイズ除去許可レジスタ

任意の入力信号のデジタルノイズ除去を有効／無効にします。

備　考

このレジスタはデジタルフィルタタイプ D とデジタルフィルタタイプ E でのみ有効です。

アクセス　16 ビット単位でリード／ライト可能です。

上位バイト DNFA<*name*>ENH[7:0]および下位バイト DNFA<*name*>ENL[7:0]は、DNFA<*name*>ENH/DNFA<*name*>ENL を設定することによりそれぞれ 8/1 ビット単位でアクセス可能です。

アドレス　DNFA<*name*>EN レジスタと入力信号の対応、および各レジスタのアドレスについては、「**2B.12.1 ポートフィルタの割り当て**」内の「**表 2B.99 デジタルフィルタタイプ D 付き入力端子 (RH850/F1KM-S4, RH850/F1KM-S2)**」および「**表 2B.100 デジタルフィルタタイプ E 付き入力端子 (RH850/F1KM-S4, RH850/F1KM-S2)**」を参照してください。

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DNFA<*name*>ENH7	DNFA<*name*>ENH6	DNFA<*name*>ENH5	DNFA<*name*>ENH4	DNFA<*name*>ENH3	DNFA<*name*>ENH2	DNFA<*name*>ENH1	DNFA<*name*>ENH0	DNFA<*name*>ENL7	DNFA<*name*>ENL6	DNFA<*name*>ENL5	DNFA<*name*>ENL4	DNFA<*name*>ENL3	DNFA<*name*>ENL2	DNFA<*name*>ENL1	DNFA<*name*>ENL0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2B.108　DNFA<*name*>EN レジスタの内容

ビット位置	ビット名	機能
15～0	DNFA<*name*>ENH[7:0] DNFA<*name*>ENL[7:0]	デジタルノイズ除去有効／無効制御 0：ロウレベルに固定 1：フィルタを通過した入力信号

2B.13.4.4 DNFA<*name*>ENH — デジタルノイズ除去許可レジスタ H

このレジスタの設定は、DNFA<*name*>EN レジスタの上位 8 ビットと一致します。

備　考

このレジスタはデジタルフィルタタイプ E でのみ有効です。

アクセス　8/1 ビット単位でリード／ライト可能です。

アドレス　DNFA<*name*>ENH レジスタと入力信号の対応、および各レジスタのアドレスについては、「**2B.12.1 ポートフィルタの割り当て**」内の「**表 2B.100 デジタルフィルタタイプ E 付き入力端子 (RH850/F1KM-S4, RH850/F1KM-S2)**」を参照してください。

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	DNFA<*name*> ENH7	DNFA<*name*> ENH6	DNFA<*name*> ENH5	DNFA<*name*> ENH4	DNFA<*name*> ENH3	DNFA<*name*> ENH2	DNFA<*name*> ENH1	DNFA<*name*> ENH0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

各ビット機能の詳細については、「**2B.13.4.3 DNFA<name>EN — デジタルノイズ除去許可レジスタ**」を参照してください。

2B.13.4.5 DNFA<*name*>ENL — デジタルノイズ除去許可レジスタ L

このレジスタの設定は、DNFA<*name*>EN レジスタの下位 8 ビットと一致します。

備　考

このレジスタはデジタルフィルタタイプ D とデジタルフィルタタイプ E でのみ有効です。

アクセス　8/1 ビット単位でリード／ライト可能です。

アドレス　DNFA<*name*>ENL レジスタと入力信号の対応、および各レジスタのアドレスについては、「**2B.12.1 ポートフィルタの割り当て**」内の「**表 2B.99 デジタルフィルタタイプ D 付き入力端子 (RH850/F1KM-S4, RH850/F1KM-S2)**」および「**表 2B.100 デジタルフィルタタイプ E 付き入力端子 (RH850/F1KM-S4, RH850/F1KM-S2)**」を参照してください。

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	DNFA<*name*> ENL7	DNFA<*name*> ENL6	DNFA<*name*> ENL5	DNFA<*name*> ENL4	DNFA<*name*> ENL3	DNFA<*name*> ENL2	DNFA<*name*> ENL1	DNFA<*name*> ENL0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

各ビット機能の詳細については、「**2B.13.4.3 DNFA<name>EN — デジタルノイズ除去許可レジスタ**」を参照してください。

第2C章　RH850/F1KM-S1 の端子

本章では、端子およびポート機能について説明します。

「**2C.1 端子**」～「**2C.5 未使用端子の推奨接続**」節では、端子接続図および各端子について説明します。

「**2C.6 RH850/F1KM ポートの特長**」～「**2C.13 ポートノイズフィルタ＆エッジ／レベル検出機能説明**」節では、ポート機能の一般的な内容について説明します。

2C.1　端子

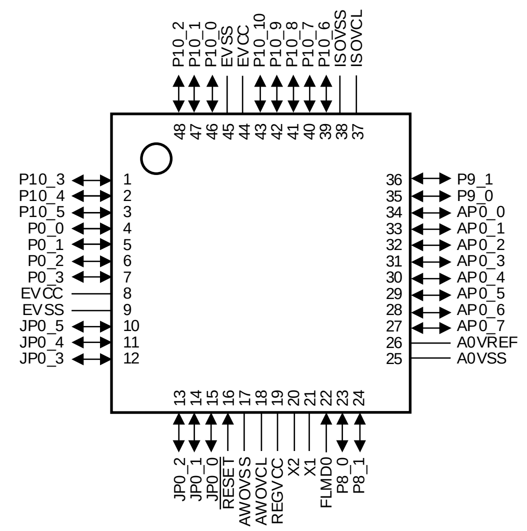


図 2C.1　　端子接続図（48-Pin LQFP）

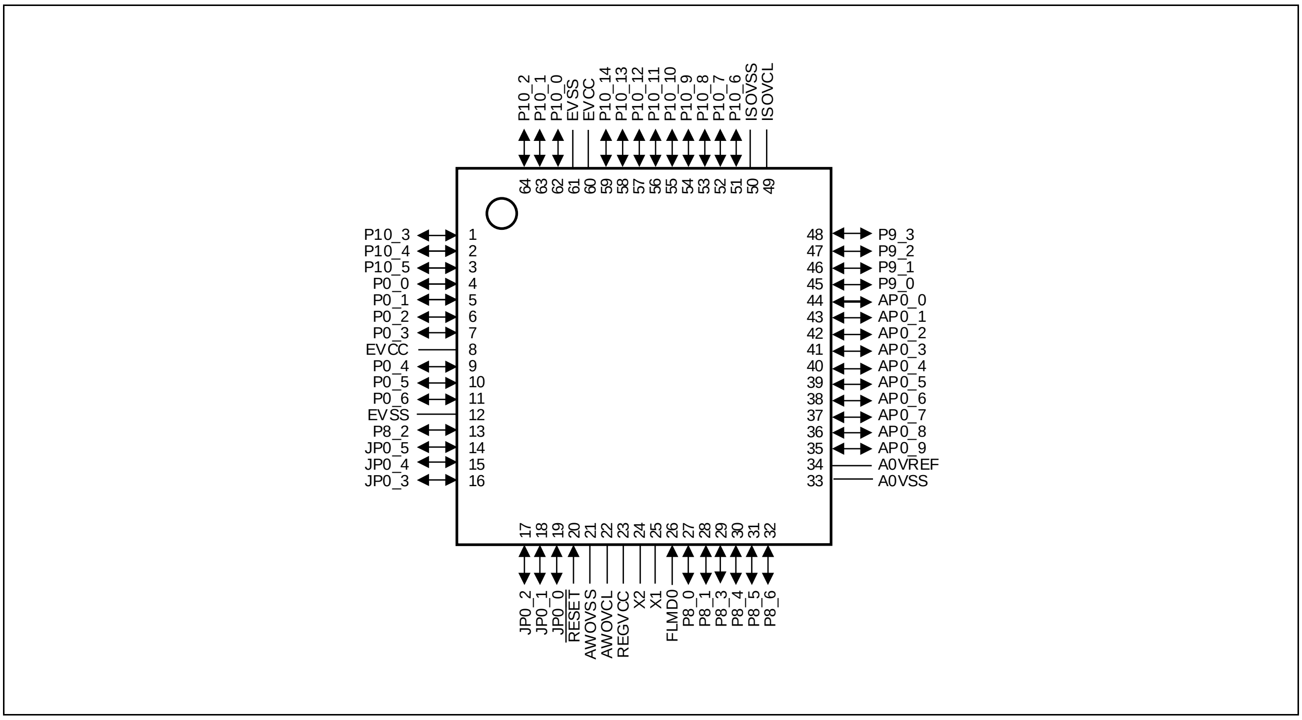


図 2C.2 端子接続図（64-Pin LQFP）

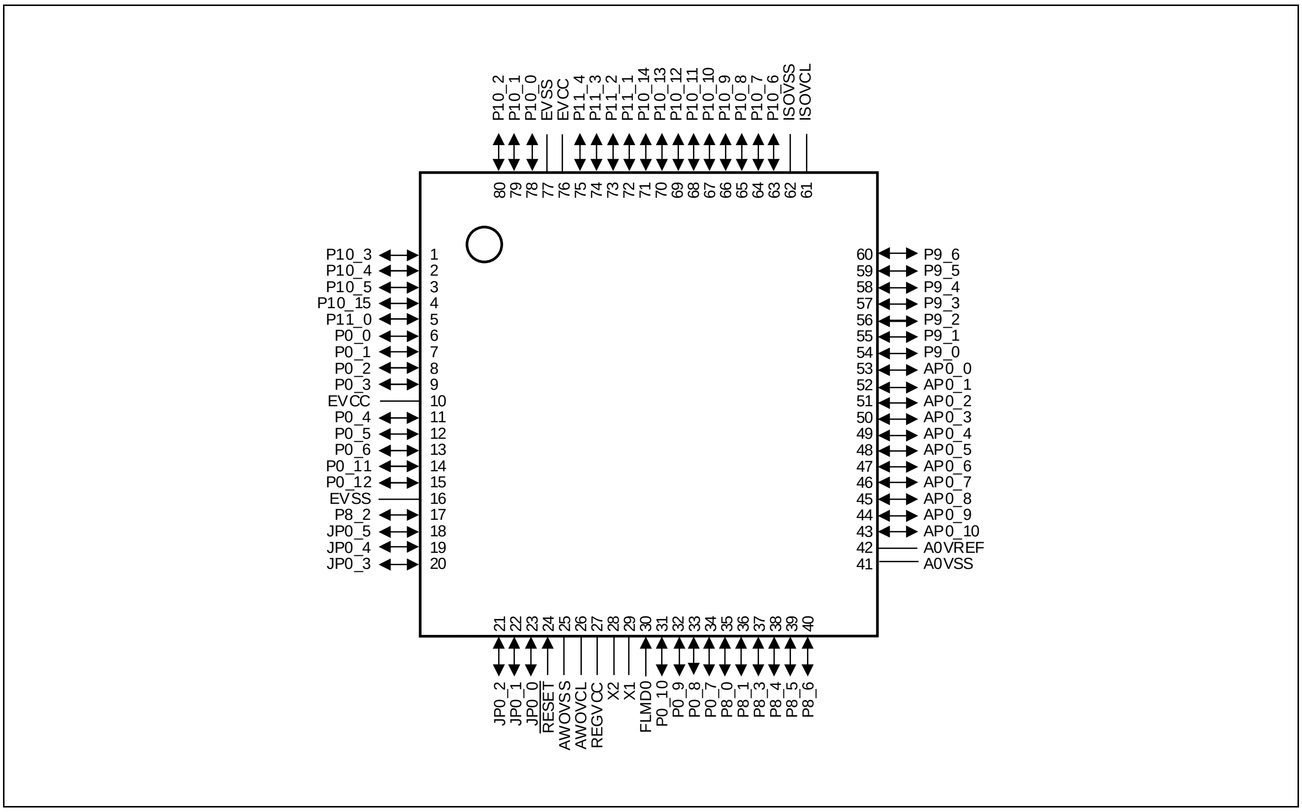


図 2C.3 端子接続図（80-Pin LQFP）

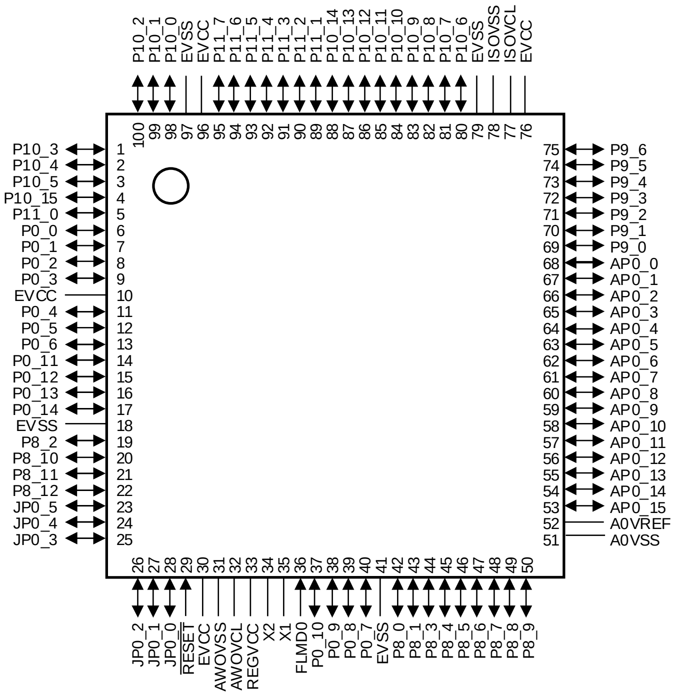


図 2C.4　　端子接続図（100-Pin LQFP）

表 2C.1　　端子配置 48-Pin LQFP

端子番号	端子名
1	P10_3 / TAUD0I7 / TAUD0O7 / RIIC0SCL / KR0I1 / PWGA3O / ADCA0TRG1 / TAPA0VN
2	P10_4 / TAUD0I9 / TAUD0O9 / RLIN21RX / KR0I2 / ADCA0SEL0 / ADCA0TRG2 / TAPA0WP / $\overline{\text{CSIG0SSI}}$
3	P10_5 / TAUD0I11 / TAUD0O11 / RLIN21TX / KR0I3 / ADCA0SEL1 / TAPA0WN / CSIG0RYI / CSIG0RYO
4	P0_0 / TAUD0I2 / TAUD0O2 / RLIN20RX / CAN0TX / PWGA10O / $\overline{\text{CSIH0SSI}}$ / DPO / TAUJ2I1 / TAUJ2O1
5	P0_1 / TAUD0I4 / TAUD0O4 / CAN0RX / INTP0 / RLIN20TX / PWGA11O / CSIH0SI / APO / TAUJ2I2 / TAUJ2O2
6	P0_2 / TAUD0I6 / TAUD0O6 / INTP1 / RLIN30TX / PWGA12O / CSIH0SC / DPO / TAUJ2I3 / TAUJ2O3
7	P0_3 / TAUD0I8 / TAUD0O8 / RLIN30RX / INTP10 / DPIN1 / CSIH0SO / TAUJ1I0 / TAUJ1O0
8	EVCC
9	EVSS
10	JP0_5 / NMI / RTCA0OUT / TAUJ0I3 / TAUJ0O3 / $\overline{\text{DCURDY}}$ / LPDCLKOUT
11	JP0_4 / $\overline{\text{DCUTRST}}$
12	JP0_3 / INTP3 / CSCXFOUT / TAUJ0I2 / TAUJ0O2 / DCUTMS
13	JP0_2 / INTP2 / TAUJ0I1 / TAUJ0O1 / FPCK / DCUTCK / LPDCLK
14	JP0_1 / INTP1 / TAUJ0I0 / TAUJ0O0 / FPDT / DCUTDO / LPDO
15	JP0_0 / INTP0 / FPDR / FPDT / TAUJ2I0 / TAUJ2O0 / DCUTDI / LPDI/ LPDIO
16	$\overline{\text{RESET}}$
17	AWOVSS
18	AWOVCL
19	REGVCC
20	X2
21	X1
22	FLMD0
23	P8_0 / TAUJ0I0 / TAUJ0O0 / DPIN2 / INTP4 / CSIH0CSS0 / SENT0RX / ADCA0I0S / RIIC1SDA
24	P8_1 / TAPA0ESO / TAUJ0O1 / DPIN0 / INTP5 / SENT0SPCO / ADCA0I1S / RIIC1SCL
25	A0VSS
26	A0VREF
27	AP0_7 / ADCA0I7
28	AP0_6 / ADCA0I6
29	AP0_5 / ADCA0I5
30	AP0_4 / ADCA0I4
31	AP0_3 / ADCA0I3
32	AP0_2 / ADCA0I2
33	AP0_1 / ADCA0I1
34	AP0_0 / ADCA0I0
35	P9_0 / NMI / PWGA8O / TAUD0I0 / TAUD0O0 / ADCA0TRG0 / KR0I4 / TAUJ1I1 / TAUJ1O1 / SENT1RX / ADCA0I2S / RIIC1SDA
36	P9_1 / INTP11 / PWGA9O / TAUD0I2 / TAUD0O2 / KR0I5 / TAUJ1I2 / TAUJ1O2 / SENT1SPCO / ADCA0I3S / RIIC1SCL
37	ISOVCL
38	ISOVSS
39	P10_6 / TAUD0I13 / TAUD0O13 / CSIG0SO / ENCA0TIN0 / ADCA0SEL2 / MODE2
40	P10_7 / TAUD0I15 / TAUD0O15 / CSIG0SC / ENCA0TIN1 / PWGA4O / TAUJ3I1 / TAUJ3O1
41	P10_8 / TAUD0I10 / TAUD0O10 / CSIG0SI / ENCA0EC / PWGA5O / TAUJ3I2 / TAUJ3O2 / FLMD1
42	P10_9 / TAUD0I12 / TAUD0O12 / RLIN30RX / INTP10 / ENCA0E0 / PWGA6O / CSIH0RYI / CSIH0RYO
43	P10_10 / TAUD0I14 / TAUD0O14 / RLIN30TX / ENCA0E1 / PWGA7O / CSIH0CSS1 / TAUJ3I3 / TAUJ3O3
44	EVCC

表 2C.1　　端子配置 48-Pin LQFP

端子番号	端子名
45	EVSS
46	P10_0 / TAUD0I1 / TAUD0O1 / CAN0RX / INTP0 / CSCXFOUT / PWGA0O / TAUJ1I3 / TAPA0UP / TAUJ1O3
47	P10_1 / TAUD0I3 / TAUD0O3 / CAN0TX / PWGA1O / TAUJ3I0 / TAPA0UN / TAUJ3O0 / MODE0
48	P10_2 / TAUD0I5 / TAUD0O5 / RIIC0SDA / KR0I0 / PWGA2O / ADCA0TRG0 / TAPA0VP /MODE1

表 2C.2　　端子配置 64-Pin LQFP

端子番号	端子名
1	P10_3 / TAUD0I7 / TAUD0O7 / RIIC0SCL / KR0I1 / PWGA3O / ADCA0TRG1 / TAPA0VN
2	P10_4 / TAUD0I9 / TAUD0O9 / RLIN21RX / KR0I2 / ADCA0SEL0 / ADCA0TRG2 / TAPA0WP / $\overline{\text{CSIG0SSI}}$
3	P10_5 / TAUD0I11 / TAUD0O11 / RLIN21TX / KR0I3 / ADCA0SEL1 / TAPA0WN / CSIG0RYI / CSIG0RYO
4	P0_0 / TAUD0I2 / TAUD0O2 / RLIN20RX / CAN0TX / PWGA10O / $\overline{\text{CSIH0SSI}}$ / DPO / TAUJ2I1 / TAUJ2O1
5	P0_1 / TAUD0I4 / TAUD0O4 / CAN0RX / INTP0 / RLIN20TX / PWGA11O / CSIH0SI / APO / TAUJ2I2 / TAUJ2O2
6	P0_2 / TAUD0I6 / TAUD0O6 / CAN1RX / INTP1 / RLIN30TX / PWGA12O / CSIH0SC / DPO / TAUJ2I3 / TAUJ2O3
7	P0_3 / TAUD0I8 / TAUD0O8 / RLIN30RX / INTP10 / CAN1TX / DPIN1 / PWGA13O / CSIH0SO / TAUJ1I0 / TAUJ1O0
8	EVCC
9	P0_4 / RLIN31RX / INTP11 / CAN2TX / PWGA10O / SELDP0 / DPIN8
10	P0_5 / CAN2RX / INTP2 / RLIN31TX / DPIN9 / SELDP1
11	P0_6 / INTP2 / DPIN10 / SELDP2
12	EVSS
13	P8_2 / TAUJ0I0 / TAUJ0O0 / DPIN2 / CSIH0CSS0 / PWGA22O / ADCA0I4S
14	JP0_5 / NMI / RTCA0OUT / TAUJ0I3 / TAUJ0O3 / $\overline{\text{DCURDY}}$ / LPDCLKOUT
15	JP0_4 / $\overline{\text{DCUTRST}}$
16	JP0_3 / INTP3 / CSCXFOUT / TAUJ0I2 / TAUJ0O2 / DCUTMS
17	JP0_2 / INTP2 / TAUJ0I1 / TAUJ0O1 / FPCK / DCUTCK / LPDCLK
18	JP0_1 / INTP1 / TAUJ0I0 / TAUJ0O0 / FPDT / DCUTDO / LPDO
19	JP0_0 / INTP0 / FPDR / FPDT / TAUJ2I0 / TAUJ2O0 / DCUTDI / LPDI/ LPDIO
20	$\overline{\text{RESET}}$
21	AWOVSS
22	AWOVCL
23	REGVCC
24	X2
25	X1
26	FLMD0
27	P8_0 / TAUJ0I0 / TAUJ0O0 / DPIN2 / PWGA14O / INTP4 / CSIH0CSS0 / SENT0RX / ADCA0I0S / RIIC1SDA
28	P8_1 / TAPA0ESO / TAUJ0O1 / DPIN0 / PWGA15O / INTP5 / SENT0SPCO / ADCA0I1S / RIIC1SCL
29	P8_3 / TAUJ0I1 / TAUJ0O1 / DPIN3 / CSIH0CSS1 / PWGA23O / ADCA0I5S
30	P8_4 / TAUJ0I2 / TAUJ0O2 / DPIN4 / CSIH0CSS2 / ADCA0I6S
31	P8_5 / TAUJ0I3 / TAUJ0O3 / NMI / CSIH0CSS3 / ADCA0I7S
32	P8_6 / NMI / RTCA0OUT / ADCA0I8S / $\overline{\text{RESETOUT}}$
33	A0VSS
34	A0VREF
35	AP0_9 / ADCA0I9
36	AP0_8 / ADCA0I8
37	AP0_7 / ADCA0I7
38	AP0_6 / ADCA0I6
39	AP0_5 / ADCA0I5
40	AP0_4 / ADCA0I4
41	AP0_3 / ADCA0I3
42	AP0_2 / ADCA0I2
43	AP0_1 / ADCA0I1
44	AP0_0 / ADCA0I0

表 2C.2 端子配置 64-Pin LQFP

端子番号	端子名
45	P9_0 / NMI / PWGA8O / TAUD0I0 / TAUD0O0 / ADCA0TRG0 / KR0I4 / TAUJ1I1 / TAUJ1O1 / SENT1RX / ADCA0I2S / RIIC1SDA
46	P9_1 / INTP11 / PWGA9O / TAUD0I2 / TAUD0O2 / KR0I5 / TAUJ1I2 / TAUJ1O2 / SENT1SPCO / ADCA0I3S / RIIC1SCL
47	P9_2 / KR0I6 / PWGA20O / TAPA0ESO / ADCA0I9S
48	P9_3 / KR0I7 / PWGA21O / TAUJ1I1 / TAUJ1O1 / ADCA0I10S
49	ISOVCL
50	ISOVSS
51	P10_6 / TAUD0I13 / TAUD0O13 / CSIG0SO / ENCA0TIN0 / ADCA0SEL2 / CAN1RX / INTP1 / MODE2
52	P10_7 / TAUD0I15 / TAUD0O15 / CSIG0SC / ENCA0TIN1 / PWGA4O / CAN1TX / TAUJ3I1 / TAUJ3O1
53	P10_8 / TAUD0I10 / TAUD0O10 / CSIG0SI / ENCA0EC / PWGA5O / TAUJ3I2 / TAUJ3O2 / FLMD1
54	P10_9 / TAUD0I12 / TAUD0O12 / RLIN30RX / INTP10 / ENCA0E0 / PWGA6O / CSIH0RYI / CSIH0RYO
55	P10_10 / TAUD0I14 / TAUD0O14 / RLIN30TX / ENCA0E1 / PWGA7O / CSIH0CSS1 / TAUJ3I3 / TAUJ3O3
56	P10_11 / PWGA16O / RLIN31RX / INTP11
57	P10_12 / PWGA17O / RLIN31TX
58	P10_13 / $\overline{\text{CSIH0SSI}}$ / PWGA18O
59	P10_14 / PWGA19O
60	EVCC
61	EVSS
62	P10_0 / TAUD0I1 / TAUD0O1 / CAN0RX / INTP0 / CSCXFOUT / PWGA0O / TAUJ1I3 / TAPA0UP / TAUJ1O3
63	P10_1 / TAUD0I3 / TAUD0O3 / CAN0TX / PWGA1O / TAUJ3I0 / TAPA0UN / TAUJ3O0 / MODE0
64	P10_2 / TAUD0I5 / TAUD0O5 / RIIC0SDA / KR0I0 / PWGA2O / ADCA0TRG0 / TAPA0VP /MODE1

表 2C.3　　端子配置 80-Pin LQFP

端子番号	端子名
1	P10_3 / TAUD0I7 / TAUD0O7 / RIIC0SCL / KR0I1 / PWGA3O / ADCA0TRG1 / TAPA0VN / CSIH1SSI
2	P10_4 / TAUD0I9 / TAUD0O9 / RLIN21RX / KR0I2 / ADCA0SEL0 / ADCA0TRG2 / TAPA0WP / CSIG0SSI
3	P10_5 / TAUD0I11 / TAUD0O11 / RLIN21TX / KR0I3 / ADCA0SEL1 / TAPA0WN / CSIG0RYI / CSIG0RYO
4	P10_15 / TAUB0I9 / TAUB0O9
5	P11_0 / CSIH2RYI / CSIH2RYO / TAUB0I11 / TAUB0O11
6	P0_0 / TAUD0I2 / TAUD0O2 / RLIN20RX / CAN0TX / PWGA10O / CSIH0SSI / DPO / TAUJ2I1 / TAUJ2O1
7	P0_1 / TAUD0I4 / TAUD0O4 / CAN0RX / INTP0 / RLIN20TX / PWGA11O / CSIH0SI / APO / TAUJ2I2 / TAUJ2O2
8	P0_2 / TAUD0I6 / TAUD0O6 / CAN1RX / INTP1 / RLIN30TX / PWGA12O / CSIH0SC / DPO / TAUJ2I3 / TAUJ2O3
9	P0_3 / TAUD0I8 / TAUD0O8 / RLIN30RX / INTP10 / CAN1TX / DPIN1 / PWGA13O / CSIH0SO / TAUJ1I0 / TAUJ1O0
10	EVCC
11	P0_4 / RLIN31RX / INTP11 / CAN2TX / PWGA10O / CSIH1SI / SELDP0 / DPIN8 / TAUB0I12 / TAUB0O12
12	P0_5 / CAN2RX / INTP2 / RLIN31TX / DPIN9 / SELDP1 / CSIH1SO / TAUB0I14 / TAUB0O14
13	P0_6 / INTP2 / DPIN10 / SELDP2 / CSIH1SC
14	P0_11 / RIIC0SDA / CSIH1CSS2 / TAUB0I8 / TAUB0O8
15	P0_12 / RIIC0SCL / TAUB0I10 / TAUB0O10 / CSIG0SI
16	EVSS
17	P8_2 / TAUJ0I0 / TAUJ0O0 / DPIN2 / CSIH0CSS0 / INTP6 / PWGA22O / ADCA0I4S
18	JP0_5 / NMI / RTCA0OUT / TAUJ0I3 / TAUJ0O3 / DCURDY / LPDCLKOUT
19	JP0_4 / DCUTRST
20	JP0_3 / INTP3 / CSCXFOUT / TAUJ0I2 / TAUJ0O2 / DCUTMS
21	JP0_2 / INTP2 / TAUJ0I1 / TAUJ0O1 / FPCK / DCUTCK / LPDCLK
22	JP0_1 / INTP1 / TAUJ0I0 / TAUJ0O0 / FPDT / DCUTDO / LPDO
23	JP0_0 / INTP0 / FPDR / FPDT / TAUJ2I0 / TAUJ2O0 / DCUTDI / LPDI/ LPDIO
24	RESET
25	AWOVSS
26	AWOVCL
27	REGVCC
28	X2
29	X1
30	FLMD0
31	P0_10 / INTP3 / CSIH1CSS1 / DPIN11 / TAUB0I6 / TAUB0O6
32	P0_9 / INTP12 / CSIH1CSS0 / DPIN7 / TAUB0I4 / TAUB0O4
33	P0_8 / RLIN21TX / DPIN6 / CSIH0CSS6 / CSIH1SSI / TAUB0I2 / TAUB0O2
34	P0_7 / RLIN21RX / DPIN5 / CSCXFOUT / CSIH1RYI / CSIH1RYO / TAUB0I0 / TAUB0O0
35	P8_0 / TAUJ0I0 / TAUJ0O0 / DPIN2 / PWGA14O / INTP4 / CSIH0CSS0 / SENT0RX / ADCA0I0S / RIIC1SDA
36	P8_1 / TAPA0ESO / TAUJ0O1 / DPIN0 / PWGA15O / INTP5 / CSIH1CSS3 / SENT0SPCO / ADCA0I1S / RIIC1SCL
37	P8_3 / TAUJ0I1 / TAUJ0O1 / DPIN3 / CSIH0CSS1 / INTP7 / PWGA23O / ADCA0I5S
38	P8_4 / TAUJ0I2 / TAUJ0O2 / DPIN4 / CSIH0CSS2 / INTP8 / ADCA0I6S
39	P8_5 / TAUJ0I3 / TAUJ0O3 / NMI / CSIH0CSS3 / ADCA0I7S
40	P8_6 / NMI / CSIH0CSS4 / RTCA0OUT / ADCA0I8S / RESETOUT
41	A0VSS
42	A0VREF
43	AP0_10 / ADCA0I10
44	AP0_9 / ADCA0I9

表 2C.3　　端子配置 80-Pin LQFP

端子番号	端子名
45	AP0_8 / ADCA0I8
46	AP0_7 / ADCA0I7
47	AP0_6 / ADCA0I6
48	AP0_5 / ADCA0I5
49	AP0_4 / ADCA0I4
50	AP0_3 / ADCA0I3
51	AP0_2 / ADCA0I2
52	AP0_1 / ADCA0I1
53	AP0_0 / ADCA0I0
54	P9_0 / NMI / PWGA8O / TAUD0I0 / TAUD0O0 / ADCA0TRG0 / CSIH2CSS0 / KR0I4 / TAUJ1I1 / TAUJ1O1 / SENT1RX / ADCA0I2S / RIIC1SDA
55	P9_1 / INTP11 / PWGA9O / TAUD0I2 / TAUD0O2 / KR0I5 / CSIH2CSS1 / TAUJ1I2 / TAUJ1O2 / SENT1SPCO / ADCA0I3S / RIIC1SCL
56	P9_2 / KR0I6 / PWGA20O / TAPA0ESO / CSIH2CSS2 / ADCA0I9S
57	P9_3 / KR0I7 / PWGA21O / CSIH2CSS3 / TAUJ1I1 / TAUJ1O1 / ADCA0I10S
58	P9_4 / CSIH0CSS5 / TAUJ1I0 / TAUJ1O0 / ADCA0I11S
59	P9_5 / CSIH0CSS6 / TAUJ1I1 / TAUJ1O1 / ADCA0I12S
60	P9_6 / CSIH0CSS7 / ADCA0I13S
61	ISOVCL
62	ISOVSS
63	P10_6 / TAUD0I13 / TAUD0O13 / CSIG0SO / ENCA0TIN0 / ADCA0SEL2 / CAN1RX / INTP1 / MODE2
64	P10_7 / TAUD0I15 / TAUD0O15 / CSIG0SC / ENCA0TIN1 / PWGA4O / CAN1TX / TAUJ3I1 / TAUJ3O1
65	P10_8 / TAUD0I10 / TAUD0O10 / CSIG0SI / ENCA0EC / PWGA5O / TAUJ3I2 / TAUJ3O2 / FLMD1
66	P10_9 / TAUD0I12 / TAUD0O12 / RLIN30RX / INTP10 / ENCA0E0 / PWGA6O / CSIH0RYI / CSIH0RYO
67	P10_10 / TAUD0I14 / TAUD0O14 / RLIN30TX / ENCA0E1 / PWGA7O / CSIH0CSS1 / TAUJ3I3 / TAUJ3O3
68	P10_11 / PWGA16O / RLIN31RX / INTP11 / CSIH1CSS0 / TAUB0I1 / TAUB0O1
69	P10_12 / PWGA17O / RLIN31TX / CSIH1CSS1 / TAUB0I3 / TAUB0O3
70	P10_13 / $\overline{\text{CSIH0SSI}}$ / PWGA18O / RLIN32RX / INTP12 / TAUB0I5 / TAUB0O5
71	P10_14 / PWGA19O / RLIN32TX / TAUB0I7 / TAUB0O7
72	P11_1 / $\overline{\text{CSIH2SSI}}$ / RLIN20RX / CSIH0CSS7 / TAUB0I13 / TAUB0O13
73	P11_2 / CSIH2SO / RLIN32RX / INTP12 / RLIN20TX / TAUB0I15 / TAUB0O15
74	P11_3 / CSIH2SC / RLIN32TX
75	P11_4 / CSIH2SI
76	EVCC
77	EVSS
78	P10_0 / TAUD0I1 / TAUD0O1 / CAN0RX / INTP0 / CSCXFOUT / PWGA0O / TAUJ1I3 / TAPA0UP / CSIH1SI / TAUJ1O3
79	P10_1 / TAUD0I3 / TAUD0O3 / CAN0TX / PWGA1O / TAUJ3I0 / TAPA0UN / CSIH1SC / TAUJ3O0 / MODE0
80	P10_2 / TAUD0I5 / TAUD0O5 / RIIC0SDA / KR0I0 / PWGA2O / ADCA0TRG0 / TAPA0VP / CSIH1SO / MODE1

表 2C.4　　端子配置 100-Pin LQFP

端子番号	端子名
1	P10_3 / TAUD0I7 / TAUD0O7 / RIIC0SCL / KR0I1 / PWGA3O / ADCA0TRG1 / TAPA0VN / $\overline{\text{CSIH1SSI}}$
2	P10_4 / TAUD0I9 / TAUD0O9 / RLIN21RX / KR0I2 / ADCA0SEL0 / ADCA0TRG2 / TAPA0WP / $\overline{\text{CSIG0SSI}}$
3	P10_5 / TAUD0I11 / TAUD0O11 / RLIN21TX / KR0I3 / ADCA0SEL1 / TAPA0WN / CSIG0RYI / CSIG0RYO
4	P10_15 / CSIH3RYI / CSIH3RYO / PWGA24O / RLIN22RX / TAUB0I9 / TAUB0O9
5	P11_0 / CSIH2RYI / CSIH2RYO / PWGA25O / RLIN22TX / TAUB0I11 / TAUB0O11
6	P0_0 / TAUD0I2 / TAUD0O2 / RLIN20RX / CAN0TX / PWGA10O / $\overline{\text{CSIH0SSI}}$ / DPO / TAUJ2I1 / TAUJ2O1
7	P0_1 / TAUD0I4 / TAUD0O4 / CAN0RX / INTP0 / RLIN20TX / PWGA11O / CSIH0SI / APO / TAUJ2I2 / TAUJ2O2
8	P0_2 / TAUD0I6 / TAUD0O6 / CAN1RX / INTP1 / RLIN30TX / PWGA12O / CSIH0SC / DPO / TAUJ2I3 / TAUJ2O3
9	P0_3 / TAUD0I8 / TAUD0O8 / RLIN30RX / INTP10 / CAN1TX / DPIN1 / PWGA13O / CSIH0SO / TAUJ1I0 / TAUJ1O0
10	EVCC
11	P0_4 / RLIN31RX / INTP11 / CAN2TX / PWGA10O / CSIH1SI / SELDP0 / DPIN8 / TAUB0I12 / TAUB0O12
12	P0_5 / CAN2RX / INTP2 / RLIN31TX / DPIN9 / SELDP1 / CSIH1SO / TAUB0I14 / TAUB0O14
13	P0_6 / INTP2 / DPIN10 / SELDP2 / CSIH1SC / PWGA35O
14	P0_11 / RIIC0SDA / DPIN12 / CSIH1CSS2 / TAUB0I8 / TAUB0O8 / PWGA34O
15	P0_12 / RIIC0SCL / DPIN13 / PWGA45O / TAUB0I10 / TAUB0O10 / CSIG0SI
16	P0_13 / RLIN32RX / INTP12 / PWGA46O / TAUB0I12 / TAUB0O12 / CSIG0SO / CAN5RX / INTP5
17	P0_14 / RLIN32TX / PWGA47O / TAUB0I14 / TAUB0O14 / CSIG0SC / CAN5TX
18	EVSS
19	P8_2 / TAUJ0I0 / TAUJ0O0 / DPIN2 / CSIH0CSS0 / INTP6 / PWGA22O / ADCA0I4S
20	P8_10 / CSIH3CSS3 / DPIN14 / PWGA42O / ADCA0I17S
21	P8_11 / TAUJ1I2 / TAUJ1O2 / DPIN15 / PWGA43O / CSIH1CSS4 / ADCA0I18S
22	P8_12 / TAUJ1I3 / TAUJ1O3 / DPIN16 / PWGA44O / CSIH1CSS5 / ADCA0I19S
23	JP0_5 / NMI / RTCA0OUT / TAUJ0I3 / TAUJ0O3 / $\overline{\text{DCURDY}}$ / LPDCLKOUT
24	JP0_4 / $\overline{\text{DCUTRST}}$
25	JP0_3 / INTP3 / CSCXFOUT / TAUJ0I2 / TAUJ0O2 / DCUTMS
26	JP0_2 / INTP2 / TAUJ0I1 / TAUJ0O1 / FPCK / DCUTCK / LPDCLK
27	JP0_1 / INTP1 / TAUJ0I0 / TAUJ0O0 / FPDT / DCUTDO / LPDO
28	JP0_0 / INTP0 / FPDR / FPDT / TAUJ2I0 / TAUJ2O0 / DCUTDI / LPDI/ LPDIO
29	$\overline{\text{RESET}}$
30	EVCC
31	AWOVSS
32	AWOVCL
33	REGVCC
34	X2
35	X1
36	FLMD0
37	P0_10 / INTP3 / CSIH1CSS1 / DPIN11 / RLIN22TX / TAUB0I6 / TAUB0O6 / CAN4TX
38	P0_9 / INTP12 / CSIH1CSS0 / DPIN7 / RLIN22RX / TAUB0I4 / TAUB0O4 / CAN4RX / INTP4
39	P0_8 / RLIN21TX / DPIN6 / CSIH0CSS6 / $\overline{\text{CSIH1SSI}}$ / TAUB0I2 / TAUB0O2 / CAN3TX
40	P0_7 / RLIN21RX / DPIN5 / CSCXFOUT / CSIH1RYI / CSIH1RYO / TAUB0I0 / TAUB0O0 / CAN3RX / INTP3
41	EVSS
42	P8_0 / TAUJ0I0 / TAUJ0O0 / DPIN2 / PWGA14O / INTP4 / CSIH0CSS0 / SENT0RX / ADCA0I0S / RIIC1SDA
43	P8_1 / TAPA0ESO / TAUJ0O1 / DPIN0 / PWGA15O / INTP5 / CSIH1CSS3 / SENT0SPCO / ADCA0I1S / RIIC1SCL
44	P8_3 / TAUJ0I1 / TAUJ0O1 / DPIN3 / CSIH0CSS1 / INTP7 / PWGA23O / ADCA0I5S

表 2C.4　　端子配置 100-Pin LQFP

端子番号	端子名
45	P8_4 / TAUJ0I2 / TAUJ0O2 / DPIN4 / CSIH0CSS2 / INTP8 / PWGA36O / ADCA0I6S
46	P8_5 / TAUJ0I3 / TAUJ0O3 / NMI / CSIH0CSS3 / PWGA37O / ADCA0I7S
47	P8_6 / NMI / CSIH0CSS4 / PWGA38O / RTCA0OUT / ADCA0I8S / $\overline{\text{RESETOUT}}$
48	P8_7 / CSIH3CSS0 / PWGA39O / ADCA0SEL0 / RTCA0OUT / ADCA0I14S
49	P8_8 / CSIH3CSS1 / PWGA40O / ADCA0SEL1 / ADCA0I15S
50	P8_9 / CSIH3CSS2 / PWGA41O / ADCA0SEL2 / ADCA0I16S
51	A0VSS
52	A0VREF
53	AP0_15 / ADCA0I15
54	AP0_14 / ADCA0I14
55	AP0_13 / ADCA0I13
56	AP0_12 / ADCA0I12
57	AP0_11 / ADCA0I11
58	AP0_10 / ADCA0I10
59	AP0_9 / ADCA0I9
60	AP0_8 / ADCA0I8
61	AP0_7 / ADCA0I7
62	AP0_6 / ADCA0I6
63	AP0_5 / ADCA0I5
64	AP0_4 / ADCA0I4
65	AP0_3 / ADCA0I3
66	AP0_2 / ADCA0I2
67	AP0_1 / ADCA0I1
68	AP0_0 / ADCA0I0
69	P9_0 / NMI / PWGA8O / TAUD0I0 / TAUD0O0 / ADCA0TRG0 / CSIH2CSS0 / KR0I4 / TAUJ1I1 / TAUJ1O1 / SENT1RX / ADCA0I2S / RIIC1SDA
70	P9_1 / INTP11 / PWGA9O / TAUD0I2 / TAUD0O2 / KR0I5 / CSIH2CSS1 / TAUJ1I2 / TAUJ1O2 / SENT1SPCO / ADCA0I3S / RIIC1SCL
71	P9_2 / KR0I6 / PWGA20O / TAPA0ESO / CSIH2CSS2 / ADCA0I9S
72	P9_3 / KR0I7 / PWGA21O / CSIH2CSS3 / TAUJ1I1 / TAUJ1O1 / ADCA0I10S
73	P9_4 / CSIH0CSS5 / PWGA33O / TAUJ1I0 / TAUJ1O0 / ADCA0I11S
74	P9_5 / CSIH0CSS6 / PWGA34O / TAUJ1I1 / TAUJ1O1 / ADCA0I12S
75	P9_6 / CSIH0CSS7 / PWGA35O / ADCA0I13S
76	EVCC
77	ISOVCL
78	ISOVSS
79	EVSS
80	P10_6 / TAUD0I13 / TAUD0O13 / CSIG0SO / ENCA0TIN0 / ADCA0SEL2 / CAN1RX / INTP1 / MODE2
81	P10_7 / TAUD0I15 / TAUD0O15 / CSIG0SC / ENCA0TIN1 / PWGA4O / CAN1TX / TAUJ3I1 / TAUJ3O1
82	P10_8 / TAUD0I10 / TAUD0O10 / CSIG0SI / ENCA0EC / PWGA5O / TAUJ3I2 / TAUJ3O2 / FLMD1
83	P10_9 / TAUD0I12 / TAUD0O12 / RLIN30RX / INTP10 / ENCA0E0 / PWGA6O / CSIH0RYI / CSIH0RYO
84	P10_10 / TAUD0I14 / TAUD0O14 / RLIN30TX / ENCA0E1 / PWGA7O / CSIH0CSS1 / TAUJ3I3 / TAUJ3O3
85	P10_11 / PWGA16O / RLIN31RX / INTP11 / CSIH1CSS0 / TAUB0I1 / TAUB0O1
86	P10_12 / PWGA17O / RLIN31TX / CSIH1CSS1 / TAUB0I3 / TAUB0O3
87	P10_13 / $\overline{\text{CSIH0SSI}}$ / PWGA18O / RLIN32RX / INTP12 / TAUB0I5 / TAUB0O5
88	P10_14 / PWGA19O / RLIN32TX / $\overline{\text{CSIH3SSI}}$ / TAUB0I7 / TAUB0O7

表 2C.4　　端子配置 100-Pin LQFP

端子番号	端子名
89	P11_1 / $\overline{\text{CSIH2SSI}}$ / RLIN20RX / CSIH0CSS7 / PWGA26O / TAUB0I13 / TAUB0O13
90	P11_2 / CSIH2SO / RLIN32RX / INTP12 / RLIN20TX / PWGA27O / TAUB0I15 / TAUB0O15
91	P11_3 / CSIH2SC / CAN3RX / INTP3 / PWGA28O / RLIN32TX
92	P11_4 / CSIH2SI / CAN3TX / PWGA29O
93	P11_5 / CAN5RX / INTP5 / RLIN33TX / PWGA30O / CSIH3SI
94	P11_6 / RLIN33RX / INTP13 / CAN5TX / PWGA31O / CSIH3SO
95	P11_7 / INTP5 / PWGA32O / CSIH3SC
96	EVCC
97	EVSS
98	P10_0 / TAUD0I1 / TAUD0O1 / CAN0RX / INTP0 / CSCXFOUT / PWGA0O / TAUJ1I3 / TAPA0UP / CSIH1SI / TAUJ1O3
99	P10_1 / TAUD0I3 / TAUD0O3 / CAN0TX / PWGA1O / TAUJ3I0 / TAPA0UN / CSIH1SC / TAUJ3O0 / MODE0
100	P10_2 / TAUD0I5 / TAUD0O5 / RIIC0SDA / KR0I0 / PWGA2O / ADCA0TRG0 / TAPA0VP / CSIH1SO / MODE1

2C.2　端子説明

表 2C.5　端子機能

端子名	端子数				I/O	機能	関連機能
	48 Pin	64 Pin	80 Pin	100 Pin			
A0VREF	○	○	○	○	—	ADCAn 電圧供給と基準電圧	ADCAn
A0VSS	○	○	○	○	—	ADCAn グランド	
ADCA0Im	○	○	○	○	I	12 ビット分解能の ADCA0 入力チャネル m	
	m=0〜7	m=0〜9	m=0〜10	m=0〜15			
ADCA0ImS	○	○	○	○	I	10 ビット分解能の ADCA0 入力チャネル m	
	m=0〜3	m=0〜10	m=0〜13	m=0〜19			
ADCA0SELy	○	○	○	○	O	ADCA0 入力用、外付け MPX 選択端子 y	
	y=0〜2	y=0〜2	y=0〜2	y=0〜2			
ADCA0TRGy	○	○	○	○	I	ADCA0 外部トリガ端子 y	
	y=0〜2	y=0〜2	y=0〜2	y=0〜2			
AP0_m	○	○	○	○	IO	アナログポート 0_m	ポート
	m=0〜7	m=0〜9	m=0〜10	m=0〜15			
APO	○	○	○	○	O	アナログ入力用ポート出力	LPS0
AWOVCL	○	○	○	○	—	Always-On エリア（AWO エリア）電圧レギュレータ用コンデンサ接続	電源
AWOVSS	○	○	○	○	—	Always-On エリア（AWO エリア）内蔵ロジック用グランド	
CANzRX	○	○	○	○	I	CANz 受信データ入力	RCFDCn
	z=0	z=0〜2	z=0〜2	z=0〜5			
CANzTX	○	○	○	○	O	CANz 送信データ出力	
	z=0	z=0〜2	z=0〜2	z=0〜5			
CSCXFOUT	○	○	○	○	O	クロック出力	クロック
CSIG0RYI	○	○	○	○	I	CSIGn レディ（1）／ビジー（0）入力信号	CSIGn
CSIG0RYO	○	○	○	○	O	CSIGn レディ（1）／ビジー（0）出力信号	
CSIG0SC	○	○	○	○	IO	CSIGn シリアルクロック信号	
CSIG0SI	○	○	○	○	I	CSIGn シリアルデータ入力	
CSIG0SO	○	○	○	○	O	CSIGn シリアルデータ出力	
$\overline{\text{CSIG0SSI}}$	○	○	○	○	I	CSIGn SS 機能制御入力信号	
CSIHnCSS0	○	○	○	○	O	CSIHn シリアル周辺チップ選択信号 0	CSIHn
	n=0	n=0	n=0〜2	n=0〜3			
CSIHnCSS1	○	○	○	○	O	CSIHn シリアル周辺チップ選択信号 1	
	n=0	n=0	n=0〜2	n=0〜3			
CSIHnCSS2	—	○	○	○	O	CSIHn シリアル周辺チップ選択信号 2	
		n=0	n=0〜2	n=0〜3			
CSIHnCSS3	—	○	○	○	O	CSIHn シリアル周辺チップ選択信号 3	
		n=0	n=0〜2	n=0〜3			
CSIHnCSS4	—	—	○	○	O	CSIHn シリアル周辺チップ選択信号 4	
			n=0	n=0、1			
CSIHnCSS5	—	—	○	○	O	CSIHn シリアル周辺チップ選択信号 5	
			n=0	n=0、1			
CSIHnCSS6	—	—	○	○	O	CSIHn シリアル周辺チップ選択信号 6	
			n=0	n=0			
CSIHnCSS7	—	—	○	○	O	CSIHn シリアル周辺チップ選択信号 7	
			n=0	n=0			
CSIHnRYI	○	○	○	○	I	CSIHn レディ（1）／ビジー（0）入力信号	
	n=0	n=0	n=0〜2	n=0〜3			
CSIHnRYO	○	○	○	○	O	CSIHn レディ（1）／ビジー（0）出力信号	
	n=0	n=0	n=0〜2	n=0〜3			
CSIHnSC	○	○	○	○	IO	CSIHn シリアルクロック信号	
	n=0	n=0	n=0〜2	n=0〜3			

表 2C.5　　端子機能

端子名	端子数				I/O	機能	関連機能
	48 Pin	64 Pin	80 Pin	100 Pin			
CSIHnSI	○	○	○	○	I	CSIHn シリアルデータ入力	CSIHn
	n=0	n=0	n=0～2	n=0～3			
CSIHnSO	○	○	○	○	O	CSIHn シリアルデータ出力	
	n=0	n=0	n=0～2	n=0～3			
$\overline{\text{CSIHnSSI}}$	○	○	○	○	I	CSIHn スレーブ選択入力信号	
	n=0	n=0	n=0～2	n=0～3			
$\overline{\text{DCURDY}}$	○	○	○	○	O	デバッグレディ	OCD
DCUTCK	○	○	○	○	I	デバッグクロック	
DCUTDI	○	○	○	○	I	デバッグデータ入力	
DCUTDO	○	○	○	○	O	デバッグデータ出力	
DCUTMS	○	○	○	○	I	デバッグモード選択	
$\overline{\text{DCUTRST}}$	○	○	○	○	I	デバッグリセット	
DPINm	○	○	○	○	I	デジタルポート入力 m	LPS0
	m=0～2	m=0～4, 8～10	m=0～11	m=0～16			
DPO	○	○	○	○	O	デジタル入力用ポート出力	
ENCA0TINm	○	○	○	○	I	ENCA0 キャプチャトリガ入力 m	ENCAn
	m=0、1	m=0、1	m=0、1	m=0、1			
ENCA0EC	○	○	○	○	I	ENCA0 エンコーダクリア入力	
ENCA0E0	○	○	○	○	I	ENCA0 エンコーダ入力 0	
ENCA0E1	○	○	○	○	I	ENCA0 エンコーダ入力 1	
EVCC	○	○	○	○	—	ポートバッファ電圧供給	電源
EVSS	○	○	○	○	—	ポートバッファグランド	
FLMD0	○	○	○	○	I	動作モード選択端子 0	モード
FLMD1	○	○	○	○	I	動作モード選択端子 1	
FPDR	○	○	○	○	I	シリアル通信インタフェース RXD	FLASH
FPDT	○	○	○	○	O	シリアル通信インタフェース TXD	
FPCK	○	○	○	○	I	シリアル通信インタフェースクロック	
INTPm	○	○	○	○	I	外部割り込み入力 m	INTC
	m=0～5、10、11	m=0～5、10、11	m=0～8、10～12	m=0～8、10～13			
ISOVCL	○	○	○	○	—	Isolated エリア（ISO エリア）電圧レギュレータ用コンデンサ接続	電源
ISOVSS	○	○	○	○	—	Isolated エリア（ISO エリア）内蔵ロジック用グランド	
JP0_m	○	○	○	○	IO	JTAG ポート 0_m	JTAG
	m=0～5	m=0～5	m=0～5	m=0～5			
KR0Im	○	○	○	○	I	KR0 キー入力信号	KRn
	m=0～5	m=0～7	m=0～7	m=0～7			
LPDCLK	○	○	○	○	I	LPD クロック入力（4 pin）	LPD
LPDCLKOUT	○	○	○	○	O	LPD クロック出力（4 pin）	
LPDI	○	○	○	○	I	LPD データ入力（4 pin）	
LPDIO	○	○	○	○	IO	LPD データ入力／出力（1 pin）	
LPDO	○	○	○	○	O	LPD データ出力（4 pin）	
MODEm	○	○	○	○	I	サブ動作モード選択（バウンダリスキャン）	モード
	m=0～2	m=0～2	m=0～2	m=0～2			
NMI	○	○	○	○	I	外部ノンマスカブル割り込み入力	INTC
P0_m	○	○	○	○	IO	ポート 0_m	ポート
	m=0～3	m=0～6	m=0～12	m=0～14			
P8_m	○	○	○	○	IO	ポート 8_m	
	m=0～1	m=0～6	m=0～6	m=0～12			
P9_m	○	○	○	○	IO	ポート 9_m	
	m=0～1	m=0～3	m=0～6	m=0～6			

表 2C.5　　端子機能

端子名	端子数				I/O	機能	関連機能
	48 Pin	64 Pin	80 Pin	100 Pin			
P10_m	○	○	○	○	IO	ポート 10_m	ポート
	m=0～10	m=0～14	m=0～15	m=0～15			
P11_m	—	—	○	○	IO	ポート 11_m	
			m=0～4	m=0～7			
PWGAnO	○	○	○	○	O	PWGAn 出力信号	PWGAn
	n=0～12	n=0～23	m=0～23	n=0～47			
REGVCC	○	○	○	○	—	電圧レギュレータ電圧供給	電源
$\overline{\text{RESET}}$	○	○	○	○	I	外部リセット入力	リセット
$\overline{\text{RESETOUT}}$	—	○	○	○	O	リセット出力	
RIICnSCL	○	○	○	○	IO	RIICn シリアルクロック	RIICn
	n=0～1	n=0～1	n=0～1	n=0～1			
RIICnSDA	○	○	○	○	IO	RIICn シリアルデータ	
	n=0～1	n=0～1	n=0～1	n=0～1			
RLIN2mRX	○	○	○	○	I	RLIN2m 受信データ入力	RLIN24n
	m=0～1	m=0～1	m=0～1	m=0～2			
RLIN2mTX	○	○	○	○	O	RLIN2m 送信データ出力	
	m=0～1	m=0～1	m=0～1	m=0～2			
RLIN3nRX	○	○	○	○	I	RLIN3n 受信データ入力	RLIN3n
	n=0	n=0～1	n=0～2	n=0～3			
RLIN3nTX	○	○	○	○	O	RLIN3n 送信データ出力	
	n=0	n=0～1	n=0～2	n=0～3			
SENTnRX	○	○	○	○	I	SENT データ入力	RSENTn
	n=0～1	n=0～1	n=0～1	n=0～1			
SENTnSPCO	○	○	○	○	O	SENT SPC 拡張出力	
	n=0～1	n=0～1	n=0～1	n=0～1			
RTCA0OUT	○	○	○	○	O	RTCA0 1Hz 出力	RTCAn
SELDPk	—	○	○	○	O	デジタルポート用外部マルチプレクサ選択出力信号 k	LPS0
		k=0～2	k=0～2	k=0～2			
TAPA0ESO	○	○	○	○	I	Hi-Z 制御	TAPAn
TAPA0UN	○	○	○	○	O	モータ制御出力 U 相（逆相）	
TAPA0UP	○	○	○	○	O	モータ制御出力 U 相（正相）	
TAPA0VN	○	○	○	○	O	モータ制御出力 V 相（逆相）	
TAPA0VP	○	○	○	○	O	モータ制御出力 V 相（正相）	
TAPA0WN	○	○	○	○	O	モータ制御出力 W 相（逆相）	
TAPA0WP	○	○	○	○	O	モータ制御出力 W 相（正相）	
TAUD0Im	○	○	○	○	I	TAUD0 チャネル入力 m	TAUDn
	m=0～15	m=0～15	m=0～15	m=0～15			
TAUD0Om	○	○	○	○	O	TAUD0 チャネル出力 m	
	m=0～15	m=0～15	m=0～15	m=0～15			
TAUB0Im	—	—	○	○	I	TAUBn チャネル入力 m	TAUBn
			m=0～15	m=0～15			
TAUB0Om	—	—	○	○	O	TAUBn チャネル出力 m	
			m=0～15	m=0～15			

表 2C.5　　端子機能

端子名	端子数				I/O	機能	関連機能
	48 Pin	64 Pin	80 Pin	100 Pin			
TAUJnIm	○	○	○	○	I	TAUJn チャネル入力 m	TAUJn
	n=0～3 m=0～3	n=0～3 m=0～3	n=0～3 m=0～3	n=0～3 m=0～3			
TAUJnOm	○	○	○	○	O	TAUJn チャネル出力 m	
	n=0～3 m=0～3	n=0～3 m=0～3	n=0～3 m=0～3	n=0～3 m=0～3			
X1、X2	○	○	○	○	—	メイン発振子接続	MOSC

注　意

周辺機能端子を複数個所に割り当てている場合、同じチャネルグループ端子は、同一ポートグループもしくは近傍のポート端子を使用してください。

- （例）RS-CANFD チャネル 0 を使用する場合

  CAN0TX　P0_0　P10_1

  CAN0RX　P0_1　P10_0

  以下の端子組み合わせのどちらかで使用してください。

  － P0_0, P0_1

  － P10_0, P10_1

  P0_0, P10_0 の組み合わせおよび P0_1, P10_1 の組み合わせは禁止です。

2C.3　リセット期間中／解除後の端子機能

表 2C.6　リセット期間中／解除後の端子機能

端子	リセット中	リセット後
JP0_0	ハイインピーダンス	JP0_0：ハイインピーダンス シリアルプログラミングモード：FPDR, FPDT（1 wire UART）， FPDR（2 wire UART） Nexus I/F：DCUTDI 入力 LPD（4 pin）：LPDI 入力 LPD（1 pin）：LPDIO 入出力
JP0_1	ハイインピーダンス	JP0_1：ハイインピーダンス シリアルプログラミングモード：FPDT Nexus I/F：DCUTDO 出力 LPD（4 pin）：LPDO 出力 LPD（1 pin）：ハイインピーダンス
JP0_2	ハイインピーダンス	JP0_2：ハイインピーダンス シリアルプログラミングモード：FPCK Nexus I/F：DCUTCK 入力 LPD（4 pin）：LPDCLK 入力 LPD（1 pin）：ハイインピーダンス
JP0_3	ハイインピーダンス	JP0_3：ハイインピーダンス シリアルプログラミングモード：ハイインピーダンス Nexus I/F：DCUTMS 入力 LPD（4 pin）：ハイインピーダンス LPD（1 pin）：ハイインピーダンス
JP0_4	入力[注 3、注 5]	JP0_4：ハイインピーダンス シリアルプログラミングモード：ハイインピーダンス Nexus I/F：$\overline{\text{DCUTRST}}$ 入力[注 1] LPD（4 pin）：ハイインピーダンス LPD（1 pin）：ハイインピーダンス
JP0_5	ハイインピーダンス	JP0_5：ハイインピーダンス シリアルプログラミングモード：ハイインピーダンス Nexus I/F：$\overline{\text{DCURDY}}$ 出力 LPD（4 pin）：LPDCLKOUT 出力 LPD（1 pin）：ハイインピーダンス
P8_6	出力[注 2、注 4]	出力（OPBT0.RESETOUTEN＝1）[注 2] ハイインピーダンス（OPBT0.RESETOUTEN＝0）[注 2、注 4]
P0、P8～11 (P8_6、P10_1、P10_2、 P10_6、P10_8 除く)	ハイインピーダンス	ハイインピーダンス
P10_1	ハイインピーダンス	ハイインピーダンス（FLMD0=0） ハイインピーダンス（FLMD0=1, FLMD1=0） MODE0 入力（FLMD0=1, FLMD1=1）
P10_2	ハイインピーダンス	ハイインピーダンス（FLMD0=0） ハイインピーダンス（FLMD0=1, FLMD1=0） MODE1 入力（FLMD0=1, FLMD1=1）
P10_6	ハイインピーダンス	ハイインピーダンス（FLMD0=0） ハイインピーダンス（FLMD0=1, FLMD1=0） ハイインピーダンス（FLMD0=1, FLMD1=1, MODE0=0, MODE1=0） ハイインピーダンス（FLMD0=1, FLMD1=1, MODE0=0, MODE1=1） ハイインピーダンス（FLMD0=1, FLMD1=1, MODE0=1, MODE1=0） MODE2 入力（FLMD0=1, FLMD1=1, MODE0=1, MODE1=1）
P10_8	ハイインピーダンス	ハイインピーダンス（FLMD0=0） FLMD1 入力（FLMD0=1）
FLMD0	入力	入力
$\overline{\text{RESET}}$	入力	入力
AP0	ハイインピーダンス	ハイインピーダンス

注1.　Nexus を有効にし、かつ外部機器を接続しない場合は、端子レベルを常時ロウレベルに固定にする必要があります。

注2.　$\overline{\text{RESETOUT}}$ となります。詳細は「**2C.11 ポート（特殊 I/O）機能概要**」を参照してください。

注3.　パワーオン時および $\overline{\text{RESET}}$ がロウレベルの時は、JP0_4 端子にロウレベルを入力してください。

注4.　OPBT0.RESETOUTEN が 0 の場合、内部リセット要因によってリセット状態に遷移する瞬間に、P8_6 端子の状態が不安定になる可能性があります。

注5.　$\overline{\text{RESET}}$ がロウレベルのとき、JP0_4 には内蔵プルダウン抵抗が接続されます。

2C.4　スタンバイモード時のポート状態

スタンバイモード時のポート状態は、「**14.1.4 入出力バッファ制御**」を参照してください。

2C.5　未使用端子の推奨接続

端子が未使用の場合、下記のように接続することを推奨します。

表 2C.7　　未使用端子の推奨接続

端子	未使用端子の推奨接続情報
A0VREF	EVCC に接続
A0VSS	EVSS に接続
$\overline{\text{RESET}}$	抵抗を介して EVCC に接続
X1	抵抗を介して AWOVSS に接続
X2	オープン
JP0（JP0_4 を除く） P0 P8（P8_6 を除く） P9	入力時：　オープン（PIBCn_m ビット=0 かつ PMCn_m ビット=0 のとき） 抵抗を介して EVCC or EVSS に接続（PIBCn_m ビット=1 または PMCn_m ビット=1 のとき） 出力時：　オープン
P8_6	入力時：　オープン（PIBCn_m ビット=0 かつ PMCn_m ビット=0 のとき） 抵抗を介して EVSS に接続（PIBCn_m ビット=1 または PMCn_m ビット=1 のとき） 出力時：　オープン
JP0_4	抵抗を介して EVSS に接続
P10（P10_1, P10_2, P10_6, P10_8 を除く） P11	入力時：　オープン（PIBCn_m ビット=0 かつ PMCn_m ビット=0 のとき） 抵抗を介して EVCC or EVSS に接続（PIBCn_m ビット=1 または PMCn_m ビット=1 のとき） 出力時：　オープン
P10_1, P10_2, P10_6, P10_8	入力時：　オープン（PIBCn_m ビット=0 かつ PMCn_m ビット=0 のとき） 抵抗を介して EVSS に接続（PIBCn_m ビット=1 または PMCn_m ビット=1 のとき） 出力時：　オープン
AP0	入力時：　オープン（PIBCn_m ビット=0 のとき） 抵抗を介して A0VREF or A0VSS に接続（PIBCn_m ビット=1 のとき） 出力時：　オープン
Nexus/LPD I/F (JP0)	DCUTDI/LPDI/LPDIO (JP0_0)：抵抗を介して EVCC に接続 DCUTDO/LPDO (JP0_1)：オープン DCUTCK/LPDCLK (JP0_2)：オープン DCUTMS (JP0_3)：抵抗を介して EVCC に接続 $\overline{\text{DCUTRST}}$ (JP0_4)：抵抗を介して EVSS に接続注 1 $\overline{\text{DCURDY}}$ /LPDCLKOUT (JP0_5)：オープン

注1.　デバッグインタフェースを使用する場合、サードパーティ製開発ツールによっては、抵抗を介して EVCC に接続する必要があります。

2C.6 RH850/F1KM ポートの特長

2C.6.1 ポートグループ

この製品には下記番号のポートグループがあります。

表 2C.8　RH850/F1KM-S1 のポートグループ

端子数	ポートグループ	RH850/F1KM-S1
48 Pin	数	6
	名称	P0、P8～P10、JP0、AP0
64 Pin	数	6
	名称	P0、P8～P10、JP0、AP0
80 Pin	数	7
	名称	P0、P8～P11、JP0、AP0
100 Pin	数	7
	名称	P0、P8～P11、JP0、AP0

2C.6.2 ポートグループインデクス n

本章では、ポートグループを“n”で識別します。たとえば、Pn 端子のポートモードコントロールレジスタは、PMCn（n＝0、8～11）と記述します。

2C.6.3 レジスタベースアドレス

ポートおよび JTAG ポートのベースアドレスを以下の表に示します。

ポートおよび JTAG ポートのレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 2C.9　レジスタベースアドレス

ベースアドレス名	ベースアドレス
<PORTn_base>	FFC1 0000_H
<JPORT0_base>	FFC2 0000_H

2C.6.4 クロック供給

ポートのクロック供給を以下の表に示します。

表 2C.10　クロック供給

ユニット名	ユニットクロック名	供給クロック名
ポート	レジスタアクセスクロック	CPUCLK_UL

2C.7　ポートの機能

この製品は、さまざまな入出力ポートの端子を備えています。ポートはポートグループに編成されています。

この製品は、汎用入出力以外の機能を端子に割り当てる制御レジスタも備えています。

端子、ポート、またはポートグループの用語の説明は、「**2C.7.2 用語**」を参照してください。

2C.7.1　機能概要

- すべてのポートが個別に設定可能
- 各ポートの最大ビット（端子）数は 16
- 任意の端子の出力レベルは、同じポートの他の端子に影響を与えることなく、同時設定が可能
- 入力バッファ許可信号はレジスタ設定によって設定可能
- 端子レベルは専用のポート端子リードレジスタ（PPR）によってリード可能
- ポートは「**2C.9.2 端子機能の設定**」、「**表 2C.39 JTAG ポート 0（JP0）**」、「**表 2C.41 ポート 0（P0）**」、「**表 2C.43 ポート 8（P8）**」、「**表 2C.45 ポート 9（P9）**」、「**表 2C.47 ポート 10（P10）**」、「**表 2C.49 ポート 11（P11）**」、「**表 2C.51 アナログポート 0（AP0）**」に示す機能をサポート

注　意

本デバイスは、入力機能または出力機能を複数のポートに割り当てる兼用機能を持っていますが、アクティブに設定できるのは 1 ポートのみです。複数のポートを同時にアクティブにしないでください。ひとつの兼用機能に複数の周辺機能が割り当てられていて、一方の機能のみ使用する場合も該当します。

例）

INTP0 は、本デバイス上の以下のポートに割り当てられますが、アクティブにできるのは 1 ポートのみです。他のポートはアクティブにしないでください。

- JP0_0（第 1 入力兼用機能）
- P0_1（第 2、第 3 入力兼用機能）
- P10_0（第 2 入力兼用機能）

上記の場合 JP0_0 の第 1 入力兼用機能（INTP0）を選択し、P0_1 を第 2 入力兼用機能（CAN0RX／INTP0）を CAN としてのみ使用する場合でも設定は禁止です。

2C.7.2　用語

本章で使用されている用語について説明します。

端子

物理的な端子を表します。端子ごとに一意の端子番号で表されます。
端子は複数のモードで使用できます。選択したモードによって、端子機能を示す名称が割り当てられます。

ポートグループ

端子のグループを表します。同じポートグループの端子は、同じポートコントロールレジスタで制御されます。

ポートモード／ポート

ポートモードの端子は、汎用入出力端子として機能します。このような場合に端子を「ポート」と呼びます。
対応する名称は Pn_m です。たとえば、P0_7 はポートグループ 0 のポート 7 を示します。これを「ポート P0_7」と表します。

兼用モード

兼用モードでは、端子は内蔵周辺機能の入出力端子などのさまざまな汎用入出力以外の機能として使用されます。
対応する端子名は、選択した機能によって異なります。たとえば、INTP0 端子は外部割り込み入力用の端子を表します。
なお、複数の異なる名称、たとえば P0_0 と INTP0 が物理的に同じ端子を表す可能性があります。それぞれの名称は、端子の機能を示します。

2C.7.2.1　JTAG ポート

JTAG ポートグループは、オンチップデバッグ時にデバッガと接続するために使用されます。

JTAG ポートグループのレジスタとビットの名称には先頭に「J」が付加されています。たとえば、JP0 は JTAG ポートグループ 0、JPM0.JPM0_m は JPM0 ポートモードレジスタの JPM0_m ポートモードビットを意味します。

備　考

本章では、断りがない限り、すべてのポートと、PFCAEn、PIPCn 以外のレジスタの説明は、JTAG ポートも含みます。

2C.7.3　端子機能概要

端子は、3 つのモードで動作することができます。

- ポートモード（PMCn.PMCn_m ビット＝0）

  ポートモードでは、端子は汎用入出力ポートとして動作します。PMn.PMn_m ビットで入力／出力を選択します。

- S/W I/O 制御兼用モード（PMCn.PMCn_m ビット＝1、PIPCn.PIPCn_m ビット＝0）

  S/W I/O 制御兼用モードでは、端子は兼用機能によって動作します。入力／出力の選択は、PMn.PMn_m コントロールビットの設定によって行われます。

- 直接 I/O 制御兼用モード（PMCn.PMCn_m ビット＝1、PIPCn.PIPCn_m ビット＝1）

  直接 I/O 制御兼用モードでは、端子は兼用機能によって動作します。S/W I/O 制御兼用モードと違い、兼用機能によって入力／出力が直接制御されます。

レジスタ設定の概要は下表に示します。

表 2C.11　端子機能の設定（概要）

モード	ビット			I/O
	PMCn_m	PMn_m	PIPCn_m	
ポートモード	0	0	X	O
		1 注1		I
S/W I/O 制御兼用モード	1	0	0	O
		1	0	I
直接 I/O 制御兼用モード		X	1	兼用機能による制御

注1.　入力バッファを必ず許可（PIBCn_m ビット＝1）してください。

- S/W I/O 制御兼用機能（PIPCn.PIPCn_m ビット＝0）：
  - 出力（PMn_m ビット＝0）：兼用出力モード 1～兼用出力モード 7
  - 入力（PMn_m ビット＝1）：兼用入力モード 1～兼用入力モード 7
- 直接 I/O 制御兼用機能（PIPCn.PIPCn_m ビット＝1）：
  - 兼用出力モード 1～兼用出力モード 7、兼用入力モード 1～兼用入力モード 7 の入出力は、兼用機能によって直接選択されます。

表 2C.12　兼用モード選択の概要（PMCn.PMCn_m ビット＝1）

モード	レジスタ					I/O
	PIPC 注 1	PM 注 1	PFCAE	PFCE	PFC	
兼用出力モード 1（ALT-OUT1）	0	0	0	0	0	O
兼用入力モード 1（ALT-IN1）		1				I
兼用出力モード 2（ALT-OUT2）		0			1	O
兼用入力モード 2（ALT-IN2）		1				I
兼用出力モード 3（ALT-OUT3）		0		1	0	O
兼用入力モード 3（ALT-IN3）		1				I
兼用出力モード 4（ALT-OUT4）		0			1	O
兼用入力モード 4（ALT-IN4）		1				I
兼用出力モード 5（ALT-OUT5）		0	1	0	0	O
兼用入力モード 5（ALT-IN5）		1				I
兼用出力モード 6（ALT-OUT6）		0			1	O
兼用入力モード 6（ALT-IN6）		1				I
兼用出力モード 7（ALT-OUT7）		0		1	0	O
兼用入力モード 7（ALT-IN7）		1				I
上記以外	設定禁止					

注1.　PIPCn.PIPCn_m ビット＝1 の場合は、入出力方向は周辺（兼用）機能によって直接制御され、PM は無視されます。

端子が兼用モード（PMCn.PMCn_m ビット＝1）の場合、最大 7 つの異なる兼用機能の 1 つを PFCn、PFCEn、PFCAEn レジスタによって選択します。

2C.7.4　端子データ入力／出力

データの入力／出力に使用するレジスタについて説明します。

端子モードによって PPRn レジスタを介してリードされる場所が異なります。

2C.7.4.1　出力データ

ポートモード（PMCn.PMCn_m ビット＝0）では Pn.Pn_m ビットの値が Pn_m 端子から出力されます。

2C.7.4.2　入力データ

PPRn レジスタのリード動作では、Pn_m 端子の値、ポートレジスタの関連ビット Pn.Pn_m の値、または兼用機能による出力値のいずれかを読み出します。

PPRn のリード元は、端子モードといくつかの制御ビットの設定に依存します。PPRn リードモードの違いを次の表に示します。

表 2C.13　PPRn_m リード値

<table>
<tr><th>PMC
n_m</th><th>PM
n_m</th><th>PIBC
n_m</th><th>PIPC
n_m</th><th>PODC
n_m</th><th>モード</th><th>PPRn_m リード値</th></tr>
<tr><td rowspan="4">0</td><td rowspan="2">1</td><td>0</td><td rowspan="4">X</td><td>X</td><td>ポート入力、入力バッファ禁止</td><td>Pn.Pn_m ビット</td></tr>
<tr><td>1</td><td>X</td><td>ポート入力、入力バッファ許可</td><td>Pn_m 端子</td></tr>
<tr><td rowspan="2">0</td><td rowspan="2">X</td><td>0</td><td>ポートプッシュプル出力</td><td rowspan="2">Pn.Pn_m ビット[注1]</td></tr>
<tr><td>1</td><td>ポートオープンドレイン出力</td></tr>
<tr><td rowspan="5">1</td><td>1</td><td rowspan="5">X</td><td rowspan="3">0</td><td>X</td><td>ソフトウェア I/O 制御兼用入力</td><td>Pn_m 端子</td></tr>
<tr><td rowspan="2">0</td><td>0</td><td>ソフトウェア I/O 制御兼用プッシュプル出力</td><td rowspan="2">兼用機能からの出力信号[注1]</td></tr>
<tr><td>1</td><td>ソフトウェア I/O 制御兼用オープンドレイン出力</td></tr>
<tr><td rowspan="2">X</td><td rowspan="2">1</td><td>0</td><td>直接 I/O 制御兼用入力またはプッシュプル出力</td><td rowspan="2">兼用モードでの入出力ポート：
● 入力：Pn_m 端子
● 出力：兼用機能からの出力信号[注1]</td></tr>
<tr><td>1</td><td>直接 I/O 制御兼用入力またはオープンドレイン出力</td></tr>
</table>

注1.　PBDCn_m＝1 の場合、Pn_m 端子レベルが、PPRn_m ビットでリードされます。

上表に示す各制御レジスタの効果：

- PMCn.PMCn_m ビット

  このビットは、ポートモード（PMCn_m ビット＝0）または兼用モード（PMCn_m ビット＝1）を選択します。

- PMn.PMn_m ビット

  このビットは、ポートモード（PMCn_m ビット＝0）とソフトウェア I/O 制御兼用モード（PMCn_m ビット＝1、PIPCn_m ビット＝0）時に入力（PMn_m ビット＝1）または出力（PMn_m ビット＝0）を選択します。

- PIBCn.PIBCn_m ビット

  このビットは、入力ポートモード（PMCn_m ビット＝0 と PMn_m ビット＝1）時に入力バッファを使用不可（PIBCn_m ビット＝0）または使用許可（PIBCn_m ビット＝1）を選択します。入力バッファが使用不可の場合、PPRn_m は Pn.Pn_m ビットをリードし、使用許可の場合は Pn_m 端子のレベルがリードされます。

- PIPCn.PIPCn_m ビット

  このビットは、ソフトウェア I/O 制御兼用モードまたは直接 I/O 制御兼用モードを選択します。

- PODCn.PODCn_m ビット

  このビットは、プッシュプル（PODCn_m ビット＝0）またはオープンドレイン（PODCn_m ビット＝1）出力を選択します。

- PBDCn.PBDCn_m ビット

  出力モード時、このビットを 1 に設定すると、ポートは双方向モードになります。双方向モード時、PPRn.PPRn_m から Pn_m 端子のレベルを読み出すことができます。

注　意

Pn_m ポートを兼用出力機能（PMCn.PMCn_m ビット＝1、PMn.PMn_m ビット＝0）として使用する場合、双方向モードを許可（PBDCn.PBDCn_m ビット＝1）することにより、PPRn.PPRn_m ビットで Pn_m 端子のレベルをリードすることができます。しかし、その場合、Pn_m 端子のレベルが同じ兼用入力機能に入力されるので注意が必要です。

2C.7.4.3　　Pn レジスタへのライト

ポートモード（PMCn.PMCn_m ビット＝0）時に Pn_m ポートから出力されるデータは Pn レジスタに保持されます。

Pn データは 2 つの方法で書き換えることができます。

- Pn レジスタへの直接ライト

  新しいデータは Pn レジスタに直接ライトすることができます。

- 間接的な Pn レジスタへのビット操作（set/reset/not）

  Pn レジスタへのビット操作（set/reset/not）は 2 つのレジスタを使って間接的に可能です。

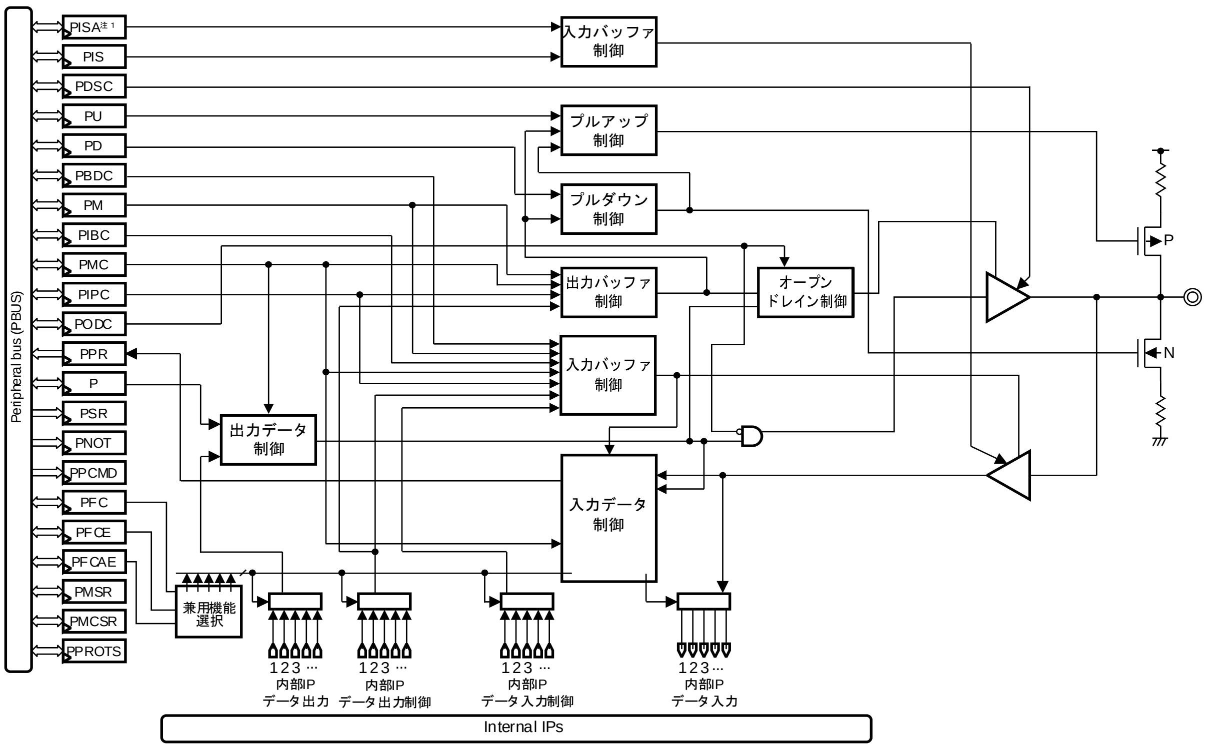
  – ポートセット／リセットレジスタ PSRn
    PSRn.PSRn_(m＋16)ビット＝1 の場合、PSRn.PSRn_m ビットの値が Pn.Pn_m ビットの値を決めます。つまり、Pn レジスタへ直接ライトせずに Pn_m ビットを set/reset することが可能です。

  – ポートノットレジスタ PNOTn
    PNOTn.PNOTn_m ビット＝1 に設定すると Pn レジスタへ直接ライトせずに Pn.Pn_m ビットを反転することが可能です。

間接的な Pn レジスタへのビット操作（set/reset/not）は、Pn レジスタ内の更新が不要なビットには影響を与えずに、更新が必要なビット（1 ビットとは限りません）を書き換えることができます。

2C.8　ポート概念図

下図は、ポート制御機能の概念図を示します。



注1.　PISAn レジスタは、RH850/F1KM-S1 にはありません。

図 2C.5　　ポート概念図

注　意

公開されている兼用機能を使用してください。公開されていない兼用機能を選択した場合の動作および性能は保証できません。

2C.9　ポートグループコンフィグレーションレジスタ

この節では、はじめにすべてのコンフィグレーションレジスタの概要を示し、次に各レジスタの詳細を示します。コンフィグレーションレジスタは次のように分類されます。

- 「**2C.9.2 端子機能の設定**」
- 「**2C.9.3 端子データ入力／出力**」
- 「**2C.9.4 電気的特性の設定**」

2C.9.1　概要

次のレジスタは、ポートグループの各端子の設定に使用されます。

<PORTn_base>および<JPORT0_base>は「**2C.6.3 レジスタベースアドレス**」を参照してください。

表 2C.14　ポートグループコンフィグレーションレジスタ

モジュール名	レジスタ名	略号	アドレス
端子機能の設定			
PORT	ポートモードコントロールレジスタ	PMCn	<PORTn_base> + 0400_H + n × 4
JTAG		JPMC0	<JPORT0_base> + 0040_H
PORT	ポートモードコントロールセット／リセットレジスタ	PMCSRn	<PORTn_base> + 0900_H + n × 4
JTAG		JPMCSR0	<JPORT0_base> + 0090_H
PORT	ポート IP コントロールレジスタ	PIPCn	<PORTn_base> + 4200_H + n × 4
PORT	ポートモードレジスタ	PMn	<PORTn_base> + 0300_H + n × 4
		APMn	<PORTn_base> + $03C8_H$ + n × 4
JTAG		JPM0	<JPORT0_base> + 0030_H
PORT	ポートモードセット／リセットレジスタ	PMSRn	<PORTn_base> + 0800_H + n × 4
		APMSRn	<PORTn_base> + $08C8_H$ + n × 4
JTAG		JPMSR0	<JPORT0_base> + 0080_H
PORT	ポート入力バッファコントロールレジスタ	PIBCn	<PORTn_base> + 4000_H + n × 4
		APIBCn	<PORTn_base> + $40C8_H$ + n × 4
JTAG		JPIBC0	<JPORT0_base> + 0400_H
PORT	ポート機能コントロールレジスタ	PFCn	<PORTn_base> + 0500_H + n × 4
JTAG		JPFC0	<JPORT0_base> + 0050_H
PORT	ポート機能コントロール拡張レジスタ	PFCEn	<PORTn_base> + 0600_H + n × 4
JTAG		JPFCE0	<JPORT0_base> + 0060_H
PORT	ポート機能コントロール追加拡張レジスタ	PFCAEn	<PORTn_base> + $0A00_H$ + n × 4
端子データ入力／出力			
PORT	ポート双方向コントロールレジスタ	PBDCn	<PORTn_base> + 4100_H + n × 4
		APBDCn	<PORTn_base> + $41C8_H$ + n × 4
JTAG		JPBDC0	<JPORT0_base> + 0410_H
PORT	ポート端子リードレジスタ	PPRn	<PORTn_base> + 0200_H + n × 4
		APPRn	<PORTn_base> + $02C8_H$ + n × 4
JTAG		JPPR0	<JPORT0_base> + 0020_H
PORT	ポートレジスタ	Pn	<PORTn_base> + 0000_H + n × 4
		APn	<PORTn_base> + $00C8_H$ + n × 4
JTAG		JP0	<JPORT0_base> + 0000_H

表 2C.14　　ポートグループコンフィグレーションレジスタ

モジュール名	レジスタ名	略号	アドレス
端子データ入力／出力			
PORT	ポートノットレジスタ	PNOTn	<PORTn_base> + 0700$_{H}$ + n × 4
		APNOTn	<PORTn_base> + 07C8$_{H}$ + n × 4
JTAG		JPNOT0	<JPORT0_base> + 0070$_{H}$
PORT	ポートセット／リセットレジスタ	PSRn	<PORTn_base> + 0100$_{H}$ + n × 4
		APSRn	<PORTn_base> + 01C8$_{H}$ + n × 4
JTAG		JPSR0	<JPORT0_base> + 0010$_{H}$
電気的特性の設定			
PORT	プルアップオプションレジスタ	PUn	<PORTn_base> + 4300$_{H}$ + n × 4
JTAG		JPU0	<JPORT0_base> + 0430$_{H}$
PORT	プルダウンオプションレジスタ	PDn	<PORTn_base> + 4400$_{H}$ + n × 4
JTAG		JPD0	<JPORT0_base> + 0440$_{H}$
PORT	ポートドライブ強度コントロールレジスタ	PDSCn	<PORTn_base> + 4600$_{H}$ + n × 4
JTAG		JPDSC0	<JPORT0_base> + 0460$_{H}$
PORT	ポートオープンドレインコントロールレジスタ	PODCn	<PORTn_base> + 4500$_{H}$ + n × 4
JTAG		JPODC0	<JPORT0_base> + 0450$_{H}$
PORT	ポート入力バッファ選択レジスタ	PISn	<PORTn_base> + 4700$_{H}$ + n × 4
JTAG		JPIS0	<JPORT0_base> + 0470$_{H}$
JTAG	ポート入力バッファ選択アドバンストレジスタ	JPISA0	<JPORT0_base> + 04A0$_{H}$
ポートレジスタ保護			
PORT	ポート保護コマンドレジスタ	PPCMDn	<PORTn_base> + 4C00$_{H}$ + n × 4
JTAG		JPPCMD0	<JPORT0_base> + 04C0$_{H}$
PORT	ポート保護ステータスレジスタ	PPROTSn	<PORTn_base> + 4B00$_{H}$ + n × 4
JTAG		JPPROTS0	<JPORT0_base> + 04B0$_{H}$

n の意味

「**表 2C.14 ポートグループコンフィグレーションレジスタ**」では、レジスタの略号の添字「n」は、ポートグループのインデクス “n” に対応します。たとえば、ポートモードコントロールレジスタ PMCn は、ポートグループ n（Pn）に対応しています。n の値の種類は、デバイスの端子数により、「**表 2C.15 デバイスの端子数と対応するポートグループ、レジスタの略号「n」の種類**」のように異なります。

表 2C.15　　デバイスの端子数と対応するポートグループ、レジスタの略号「n」の種類

デバイスの端子数	対応するポートグループ	n の種類
48 Pin	P0, P8, P9, P10	0, 8, 9, 10
	AP0	0
64 Pin	P0, P8, P9, P10	0, 8, 9, 10
	AP0	0
80 Pin	P0, P8, P9, P10, P11	0, 8, 9, 10, 11
	AP0	0
100 Pin	P0, P8, P9, P10, P11	0, 8, 9, 10, 11
	AP0	0

JTAG ポートレジスタ

以降のレジスタ説明では、JTAG ポートレジスタについて記載していません。
すべての説明（PFCAEn レジスタ、PIPCn レジスタ以外）は JTAG ポートレジスタも適用されますが、JTAG ポートレジスタのベースアドレスは異なります。

リセット後の値

リセット後の値はポートに依存します。リセット後の値については、以降のレジスタ説明を参照してください。

2C.9.2 端子機能の設定

2C.9.2.1 PMCn / JPMC0 — ポートモードコントロールレジスタ

このレジスタは、ポートグループ n の各端子がポートモードか兼用モードかを指定します。

アクセス PMCn：16 ビット単位でリード／ライト可能です。
JPMC0：8 ビット単位でリード／ライト可能です。

アドレス PMCn：<PORTn_base> + 0400_H + n × 4（n＝0, 8, 9, 10, 11）
JPMC0：<JPORT0_base> + 0040_H 注1

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMCn_15	PMCn_14	PMCn_13	PMCn_12	PMCn_11	PMCn_10	PMCn_9	PMCn_8	PMCn_7	PMCn_6	PMCn_5	PMCn_4	PMCn_3	PMCn_2	PMCn_1	PMCn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1. 有効ビット位置（m の値）はデバイスの端子数によって変わります。
「**2C.10 ポート（汎用 I/O）機能概要**」のポートグループごとの制御レジスタの表（「**表 2C.40 制御レジスタ（JP0）**」、「**表 2C.42 制御レジスタ（P0）**」、「**表 2C.44 制御レジスタ（P8）**」、「**表 2C.46 制御レジスタ（P9）**」、「**表 2C.48 制御レジスタ（P10）**」、「**表 2C.50 制御レジスタ（P11）**」）を参照してください。

表 2C.16 PMCn レジスタの内容

ビット位置	ビット名	機能
15～0	PMCn_[15:0]	対応する端子の動作モードを指定します。 0：ポートモード 1：兼用モード

注 意

1. 兼用モード（PMCn.PMCn_m ビット＝1）に設定するだけでは入出力制御は行われません。兼用機能が直接入出力制御を行う場合は PIPCn.PIPCn_m ビットにも“1”を設定してください。
2. ポートが兼用モードの入力端子として使用される場合、ノイズフィルタを通過する端子があります。このような端子は、FCLA0CTLm_<*name*>、DNFA<*name*>CTL および DNFA<*name*>EN レジスタの設定が必要になる場合があります。詳細は「**2C.12 ノイズフィルタ＆エッジレベル検出回路**」および「**2C.13 ポートノイズフィルタ＆エッジ／レベル検出機能説明**」を参照してください。

備 考

JTAG ポートモードコントロールレジスタ（JPMC0）の制御ビットは JPMC0_[7:0]になります。

2C.9.2.2　PMCSRn / JPMCSR0 ― ポートモードコントロールセット／リセットレジスタ

このレジスタにより、PMCn レジスタにデータをライトするもう 1 つの方法を示します。

PMCSRn の上位 16 ビットは、PMCSRn の下位 16 ビットで指定した PMCn.PMCn_m にデータをライトするかどうかを指定します。

アクセス	PMCSRn：32 ビット単位でリード／ライト可能です。ビット 31～16 は常に 0000_H をリードします。ビット 15～0 は PMCn レジスタの値をリードします。 JPMCSR0：32 ビット単位でリード／ライト可能です。ビット 31～8 は常に 000000_H をリードします。ビット 7～0 は JPMC0 レジスタの値をリードします。
アドレス	PMCSRn：<PORTn_base> + 0900_H + n × 4（n＝0, 8, 9, 10, 11） JPMCSR0：<JPORT0_base> + 0090_H [注1]
リセット後の値	$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PMCSRn_31	PMCSRn_30	PMCSRn_29	PMCSRn_28	PMCSRn_27	PMCSRn_26	PMCSRn_25	PMCSRn_24	PMCSRn_23	PMCSRn_22	PMCSRn_21	PMCSRn_20	PMCSRn_19	PMCSRn_18	PMCSRn_17	PMCSRn_16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMCSRn_15	PMCSRn_14	PMCSRn_13	PMCSRn_12	PMCSRn_11	PMCSRn_10	PMCSRn_9	PMCSRn_8	PMCSRn_7	PMCSRn_6	PMCSRn_5	PMCSRn_4	PMCSRn_3	PMCSRn_2	PMCSRn_1	PMCSRn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「2C.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2C.40 制御レジスタ（JP0）」**、**「表 2C.42 制御レジスタ（P0）」**、**「表 2C.44 制御レジスタ（P8）」**、**「表 2C.46 制御レジスタ（P9）」**、**「表 2C.48 制御レジスタ（P10）」**、**「表 2C.50 制御レジスタ（P11）」**）を参照してください。

表 2C.17　PMCSRn レジスタの内容

ビット位置	ビット名	機能
31～16	PMCSRn_[31:16]	対応する PMCSRn_m の下位ビット（PMCSRn_[15:0]）の値を PMCn_m にライトするかどうかを指定するイネーブルビットです。 0：PMCn_m は PMCSRn_m に依存しません。 1：PMCn_m は PMCSRn_m の値になります。 例） PMCSRn.PMCSRn_31＝1 の場合、PMCSRn.PMCSRn_15 ビットの値を PMCn.PMCn_15 ビットにライトします。
15～0	PMCSRn_[15:0]	対応する上位ビット（PMCSRn_[31:16]）の PMCSRn_m が 1 の場合、PMCn_m の値を指定するデータビットです。 0：PMCn_m＝0 1：PMCn_m＝1

備　考

JTAG ポートモードコントロールセット／リセットレジスタ（JPMCSR0）の制御ビットは JPMCSR0_[31:0]になります。

2C.9.2.3　PIPCn — ポート IP コントロールレジスタ

このレジスタは、Pn_m 端子の入出力方向がポートモードレジスタ PMn.PMn_m と兼用機能のどちらによって制御するかを指定します。

Pn_m 端子が兼用モード（PMCn.PMCn_m＝1）となり、兼用機能が直接 Pn_m の入出力方向を制御する場合、PIPCn.PIPCn_m は 1 に設定する必要があります。これにより兼用機能が入出力制御を行い、PMn.PMn_m の設定が無効となります。

PIPC の設定が必要な兼用機能については「**2C.11 ポート（特殊 I/O）機能概要**」を参照してください。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　PIPCn：<PORTn_base> + 4200H + n × 4（n=0, 10, 11）注 1

リセット後の値　0000H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIPCn_15	PIPCn_14	PIPCn_13	PIPCn_12	PIPCn_11	PIPCn_10	PIPCn_9	PIPCn_8	PIPCn_7	PIPCn_6	PIPCn_5	PIPCn_4	PIPCn_3	PIPCn_2	PIPCn_1	PIPCn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「2C.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2C.42 制御レジスタ（P0）」**、**「表 2C.48 制御レジスタ（P10）」**、**「表 2C.50 制御レジスタ（P11）」**）を参照してください。

表 2C.18　PIPCn レジスタの内容

ビット位置	ビット名	機能
15～0	PIPCn_[15:0]	入出力モードを指定します。 0：入出力モードは PMn.PMn_m（S/W 入出力制御）によって選択します。 1：入出力モードは周辺機能（直接入出力制御）によって選択します。

2C.9.2.4　PMn / APMn / JPM0 — ポートモードレジスタ

このレジスタは、ポートグループ n の各端子が入力モードか出力モードかを指定します。

アクセス	PMn, APMn：16 ビット単位でリード／ライト可能です。 JPM0：8 ビット単位でリード／ライト可能です。
アドレス	PMn：<PORTn_base> + 0300_H + n × 4（n＝0, 8, 9, 10, 11） APMn：<PORTn_base> + $03C8_H$（n＝0） JPM0：<JPORT0_base> + 0030_H 注1
リセット後の値	$FFFF_H$ 注2

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMn_15	PMn_14	PMn_13	PMn_12	PMn_11	PMn_10	PMn_9	PMn_8	PMn_7	PMn_6	PMn_5	PMn_4	PMn_3	PMn_2	PMn_1	PMn_0
リセット後の値	1	1	1	1	1	1	1	1	1	1 注3	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「**2C.10 ポート（汎用 I/O）機能概要**」のポートグループごとの制御レジスタの表（「**表 2C.40 制御レジスタ（JP0）**」、「**表 2C.42 制御レジスタ（P0）**」、「**表 2C.44 制御レジスタ（P8）**」、「**表 2C.46 制御レジスタ（P9）**」、「**表 2C.48 制御レジスタ（P10）**」、「**表 2C.50 制御レジスタ（P11）**」、「**表 2C.52 制御レジスタ（AP0）**」）を参照してください。

注2.　PM8 レジスタは次のとおりです。
OPBT0.RESETOUTEN＝1 の時、PM8 レジスタは $FFBF_H$。
OPBT0.RESETOUTEN＝0 の時、PM8 レジスタは $FFFF_H$。

注3.　PM8_6 ビットは次のとおりです。
OPBT0.RESETOUTEN＝1 の時、PM8_6 ビットは 0。
OPBT0.RESETOUTEN＝0 の時、PM8_6 ビットは 1。

表 2C.19　　PMn レジスタの内容

ビット位置	ビット名	機能
15～0	PMn_[15:0]	対応する端子の入力／出力モードを指定します。 0：出力モード（出力許可） 1：入力モード（出力禁止）

備　考

1. ポートを入力ポートモード（PMCn.PMCn_m＝0 かつ PMn.PMn_m＝1）で使用する場合は、入力バッファを許可する必要があります（PIBCn.PIBCn_m＝1）。
2. リセット後は PIPCn.PIPCn_m＝0（入出力モードは PMn.PMn_m によって制御）ですので、PMn_m はポートモード（PMCn.PMCn_m＝0）と兼用モード（PMCn.PMCn_m＝1）の入出力方向を指定します。
3. アナログポートレジスタ（APMn）の制御ビットは、APMn_[15:0]になります。
4. JTAG ポートモードレジスタ（JPM0）の制御ビットは JPM0_[7:0]になります。

2C.9.2.5　PMSRn / APMSRn / JPMSR0 — ポートモードセット／リセットレジスタ

このレジスタにより、PMn レジスタにデータをライトするもう 1 つの方法を示します。

PMSRn の上位 16 ビットは、PMSRn の下位 16 ビットで指定した PMn.PMn_m にデータをライトするかどうかを指定します。

アクセス　PMSRn, APMSRn：32 ビット単位でリード／ライト可能です。ビット 31～16 は常に 0000$_H$ をリードします。ビット 15～0 は PMn, APMn レジスタの値をリードします。

JPMSR0：32 ビット単位でリード／ライト可能です。ビット 31～16 は常に 0000$_H$ をリードします。ビット 15～8 は FF$_H$ をリードします。ビット 7～0 は JPM0 レジスタの値をリードします。

アドレス　PMSRn：<PORTn_base> + 0800$_H$ + n × 4（n＝0, 8, 9, 10, 11）

APMSRn：<PORTn_base> + 08C8$_H$（n＝0）

JPMSR0：<JPORT0_base> + 0080$_H$ [注1]

リセット後の値　0000 FFFF$_H$ [注2]

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PMSRn_31	PMSRn_30	PMSRn_29	PMSRn_28	PMSRn_27	PMSRn_26	PMSRn_25	PMSRn_24	PMSRn_23	PMSRn_22	PMSRn_21	PMSRn_20	PMSRn_19	PMSRn_18	PMSRn_17	PMSRn_16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMSRn_15	PMSRn_14	PMSRn_13	PMSRn_12	PMSRn_11	PMSRn_10	PMSRn_9	PMSRn_8	PMSRn_7	PMSRn_6	PMSRn_5	PMSRn_4	PMSRn_3	PMSRn_2	PMSRn_1	PMSRn_0
リセット後の値	1	1	1	1	1	1	1	1	1	1 [注3]	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「2C.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2C.40 制御レジスタ（JP0）」**、**「表 2C.42 制御レジスタ（P0）」**、**「表 2C.44 制御レジスタ（P8）」**、**「表 2C.46 制御レジスタ（P9）」**、**「表 2C.48 制御レジスタ（P10）」**、**「表 2C.50 制御レジスタ（P11）」**、**「表 2C.52 制御レジスタ（AP0）」**）を参照してください。

注2.　PMSR8 レジスタは次のとおりです。
OPBT0.RESETOUTEN＝1 の時、PMSR8 レジスタは 0000 FFBF$_H$。
OPBT0.RESETOUTEN＝0 の時、PMSR8 レジスタは 0000 FFFF$_H$。

注3.　PMSR8_6 ビットは次のとおりです。
OPBT0.RESETOUTEN＝1 の時、PMSR8_6 ビットは 0。
OPBT0.RESETOUTEN＝0 の時、PMSR8_6 ビットは 1。

表 2C.20　PMSRn レジスタの内容

ビット位置	ビット名	機能
31～16	PMSRn_[31:16]	対応する PMSRn_m の下位ビット（PMSRn_[15:0]）の値を PMn_m にライトするかどうかを指定するイネーブルビットです。 0：PMn_m は PMSRn_m に依存しません。 1：PMn_m は PMSRn_m の値になります。 例） PMSRn.PMSRn_31＝1 の場合、PMSRn.PMSRn_15 ビットの値を PMn.PMn_15 ビットにライトします。
15～0	PMSRn_[15:0]	対応する上位ビット（PMSRn_[31:16]）の PMSRn_m が 1 の場合、PMn_m 値を指定するデータビットです。 0：PMn_m＝0 1：PMn_m＝1

備　考

1. JTAG ポートモードセット／リセットレジスタ（JPMSR0）の制御ビットは JPMSR0_[31:0]になります。
2. アナログポートモードセット／リセットレジスタ（APMSRn）の制御ビットは APMSRn_[31:0]になります。

2C.9.2.6　PIBCn / APIBCn / JPIBC0 ― ポート入力バッファコントロールレジスタ

このレジスタは、入力ポートモード（PMCn.PMCn_m＝0 かつ PMn.PMn_m＝1）で、ポート端子の入力バッファを許可します。

アクセス　PIBCn, APIBCn：16 ビット単位でリード／ライト可能です。
JPIBC0：8 ビット単位でリード／ライト可能です。

アドレス　PIBCn：<PORTn_base> + 4000_{H} + n × 4（n＝0, 8, 9, 10, 11）
APIBCn：<PORTn_base> + $40C8_{H}$（n＝0）
JPIBC0：<JPORT0_base> + 0400_{H} [注1]

リセット後の値　0000_{H}

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIBCn_15	PIBCn_14	PIBCn_13	PIBCn_12	PIBCn_11	PIBCn_10	PIBCn_9	PIBCn_8	PIBCn_7	PIBCn_6	PIBCn_5	PIBCn_4	PIBCn_3	PIBCn_2	PIBCn_1	PIBCn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「2C.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2C.40 制御レジスタ（JP0）」**、**「表 2C.42 制御レジスタ（P0）」**、**「表 2C.44 制御レジスタ（P8）」**、**「表 2C.46 制御レジスタ（P9）」**、**「表 2C.48 制御レジスタ（P10）」**、**「表 2C.50 制御レジスタ（P11）」**、**「表 2C.52 制御レジスタ（AP0）」**）を参照してください。

表 2C.21　PIBCn レジスタの内容

ビット位置	ビット名	機能
15～0	PIBCn_[15:0]	入力バッファを許可／禁止します。 0：入力バッファ禁止 1：入力バッファ許可

備　考

1. 入力バッファを禁止すると、端子レベルが Hi-Z 状態でも貫通電流が流れません。したがって、外部から端子をハイまたはロウレベルに固定する必要はありません。
2. JTAG ポート入力バッファコントロールレジスタ（JPIBC0）の制御ビットは JPIBC0_[7:0]になります。

注　意

このレジスタの設定は、双方向モード（PBDCn.PBDCn_m＝1）では無効です。

2C.9.2.7 **PFCn / JPFC0 — ポート機能コントロールレジスタ**

このレジスタは、PFCEn、PFCAEn レジスタとともに、端子の兼用機能を指定します。

いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCn_m は 1 に設定する必要があり、入出力は周辺機能で指定されます。

ほかの兼用機能では、入出力は PMn.PMn_m によって指定します。

アクセス	PFCn：16 ビット単位でリード／ライト可能です。
	JPFC0：8 ビット単位でリード／ライト可能です。
アドレス	PFCn：<PORTn_base> + 0500_H + n × 4（n＝0, 8, 9, 10, 11）
	JPFC0：<JPORT0_base> + 0050_H 注1
リセット後の値	0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFCn_15	PFCn_14	PFCn_13	PFCn_12	PFCn_11	PFCn_10	PFCn_9	PFCn_8	PFCn_7	PFCn_6	PFCn_5	PFCn_4	PFCn_3	PFCn_2	PFCn_1	PFCn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「2C.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2C.40 制御レジスタ（JP0）」**、**「表 2C.42 制御レジスタ（P0）」**、**「表 2C.44 制御レジスタ（P8）」**、**「表 2C.46 制御レジスタ（P9）」**、**「表 2C.48 制御レジスタ（P10）」**、**「表 2C.50 制御レジスタ（P11）」**）を参照してください。

表 2C.22　　PFCn レジスタの内容

ビット位置	ビット名	機能
15〜0	PFCn_[15:0]	端子の兼用機能を指定します。 詳細は**「表 2C.25 兼用機能の設定」**を参照してください。

備　考

JTAG ポート機能コントロールレジスタ（JPFC0）の制御ビットは JPFC0_[7:0]になります。

2C.9.2.8 PFCEn / JPFCE0 — ポート機能コントロール拡張レジスタ

このレジスタは、PFCn、PFCAEn レジスタとともに、端子の兼用機能を指定します。

いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCn_m は 1 に設定する必要があり、入出力は周辺機能で指定されます。

ほかの兼用機能では、入出力は PMn.PMn_m によって指定します。

アクセス　PFCEn：16 ビット単位でリード／ライト可能です。
JPFCE0：8 ビット単位でリード／ライト可能です。

アドレス　PFCEn：<PORTn_base> + 0600_H + n × 4（n＝0, 8, 9, 10, 11）
JPFCE0：<JPORT0_base> + 0060_H 注 1

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFCEn_15	PFCEn_14	PFCEn_13	PFCEn_12	PFCEn_11	PFCEn_10	PFCEn_9	PFCEn_8	PFCEn_7	PFCEn_6	PFCEn_5	PFCEn_4	PFCEn_3	PFCEn_2	PFCEn_1	PFCEn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「**2C.10 ポート（汎用 I/O）機能概要**」のポートグループごとの制御レジスタの表（「**表 2C.40 制御レジスタ（JP0）**」、「**表 2C.42 制御レジスタ（P0）**」、「**表 2C.44 制御レジスタ（P8）**」、「**表 2C.46 制御レジスタ（P9）**」、「**表 2C.48 制御レジスタ（P10）**」、「**表 2C.50 制御レジスタ（P11）**」）を参照してください。

表 2C.23　PFCEn レジスタの内容

ビット位置	ビット名	機能
15〜0	PFCEn_[15:0]	端子の兼用機能を指定します。 詳細は「**表 2C.25 兼用機能の設定**」を参照してください。

備　考

JTAG ポート機能コントロール拡張レジスタ（JPFCE0）の制御ビットは JPFCE0_[7:0]になります。

2C.9.2.9　PFCAEn — ポート機能コントロール追加拡張レジスタ

このレジスタは、PFCEn、PFCn レジスタとともに、兼用周辺機能を選択します。

いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCn_m は 1 に設定する必要があり、入出力は周辺機能で指定されます。

ほかの兼用機能では、入出力は PMn.PMn_m によって指定します。

アクセス　PFCAEn：16 ビット単位でリード／ライト可能です。

アドレス　PFCAEn：<PORTn_base> + 0A00H + n × 4（n＝0, 8, 9, 10, 11）注1

リセット後の値　0000H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFCAEn_15	PFCAEn_14	PFCAEn_13	PFCAEn_12	PFCAEn_11	PFCAEn_10	PFCAEn_9	PFCAEn_8	PFCAEn_7	PFCAEn_6	PFCAEn_5	PFCAEn_4	PFCAEn_3	PFCAEn_2	PFCAEn_1	PFCAEn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「2C.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2C.42 制御レジスタ（P0）」**、**「表 2C.44 制御レジスタ（P8）」**、**「表 2C.46 制御レジスタ（P9）」**、**「表 2C.48 制御レジスタ（P10）」**、**「表 2C.50 制御レジスタ（P11）」**）を参照してください。

表 2C.24　　PFCAEn レジスタの内容

ビット位置	ビット名	機能
15～0	PFCAEn_[15:0]	端子の兼用機能を指定します。 詳細は**「表 2C.25 兼用機能の設定」**を参照してください。

表 2C.25　　兼用機能の設定

PFCAEn_m	PFCEn_m	PFCn_m	PMn_m	機能
0	0	0	1	兼用入力モード 1
			0	兼用出力モード 1
		1	1	兼用入力モード 2
			0	兼用出力モード 2
	1	0	1	兼用入力モード 3
			0	兼用出力モード 3
		1	1	兼用入力モード 4
			0	兼用出力モード 4
1	0	0	1	兼用入力モード 5
			0	兼用出力モード 5
		1	1	兼用入力モード 6
			0	兼用出力モード 6
	1	0	1	兼用入力モード 7
			0	兼用出力モード 7
		1	X	設定禁止

注　意

- PFCn_m, PFCEn_m, PFCAEn_m ビットで兼用機能を選択後、PMCn_m＝1 に設定してください。
- この製品では、一部機能の入出力を 2 ヵ所で兼用していますが、使用できる端子機能としてはいずれか一方のみになります。2 ヵ所で同じ端子機能を設定することは禁止です。
  例えば、a/b/c 端子を b として使用する場合、b/d/e 端子は b として使用できません。b 以外の端子機能として設定して使用してください。

備　考

各機能の割り当ての詳細については、「**2C.10.1　JTAG ポート 0（JP0）**」～「**2C.10.7　アナログポート 0（AP0）**」章を参照してください。

2C.9.3　　端子データ入力／出力

2C.9.3.1　　PBDCn / APBDCn / JPBDC0 — ポート双方向コントロールレジスタ

このレジスタは、出力モード時、入力バッファを許可し、ポートを双方向モードにします。双方向モード時、PPRn.PPRn_m は Pn_m 端子のレベルを読み出すことができます。

アクセス　PBDCn, APBDCn : 16 ビット単位でリード／ライト可能です。
JPBDC0 : 8 ビット単位でリード／ライト可能です。

アドレス　PBDCn : <PORTn_base> + 4100_H + n × 4（n＝0, 8, 9, 10, 11）
APBDCn : <PORTn_base> + $41C8_H$（n＝0）
JPBDC0 : <JPORT0_base> + 0410_H 注1

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PBDCn_15	PBDCn_14	PBDCn_13	PBDCn_12	PBDCn_11	PBDCn_10	PBDCn_9	PBDCn_8	PBDCn_7	PBDCn_6	PBDCn_5	PBDCn_4	PBDCn_3	PBDCn_2	PBDCn_1	PBDCn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「2C.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2C.40 制御レジスタ（JP0）」**、**「表 2C.42 制御レジスタ（P0）」**、**「表 2C.44 制御レジスタ（P8）」**、**「表 2C.46 制御レジスタ（P9）」**、**「表 2C.48 制御レジスタ（P10）」**、**「表 2C.50 制御レジスタ（P11）」**、**「表 2C.52 制御レジスタ（AP0）」**）を参照してください。

表 2C.26　　PBDCn レジスタの内容

ビット位置	ビット名	機能
15～0	PBDCn[15:0]	対応する端子の双方向モードの許可／禁止を指定します。 0 : 双方向モードを禁止 1 : 双方向モードを許可

注　意

Pn_m ポートを兼用出力機能（PMCn.PMCn_m＝1、PMn.PMn_m＝0）として使用する場合、双方向モードを許可（PBDCn.PBDCn_m＝1）することにより、PPRn.PPRn_m で Pn_m 端子のレベルをリードすることができます。

しかし、その兼用出力機能の出力は、同端子の兼用入力機能（PFCn.PFCn_m、PFCEn.PFCEn_m および PFCAEn.PFCAEn_m で設定された兼用入力機能）に入力されます。この兼用入力機能を他の端子で使用している場合は、その兼用入力機能の動作は保証できません。

備　考

JTAG ポート双方向コントロールレジスタ（JPBDC0）の制御ビットは JPBDC0_[7:0]になります。

2C.9.3.2 PPRn / APPRn / JPPR0 — ポート端子リードレジスタ

このレジスタは、実際の Pn_m 端子レベル、Pn.Pn_m ビットの値、または兼用機能の出力レベルを表します。

アクセス PPRn, APPRn：16 ビット単位でリードのみ可能です。
JPPR0：8 ビット単位でリードのみ可能です。

アドレス PPRn：<PORTn_base> + 0200_H + n × 4（n＝0, 8, 9, 10, 11）
APPRn：<PORTn_base> + $02C8_H$（n＝0）
JPPR0：<JPORT0_base> + 0020_H 注1

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PPRn_15	PPRn_14	PPRn_13	PPRn_12	PPRn_11	PPRn_10	PPRn_9	PPRn_8	PPRn_7	PPRn_6	PPRn_5	PPRn_4	PPRn_3	PPRn_2	PPRn_1	PPRn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注1. 有効ビット位置（m の値）はデバイスの端子数によって変わります。
「2C.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2C.40 制御レジスタ（JP0）」**、**「表 2C.42 制御レジスタ（P0）」**、**「表 2C.44 制御レジスタ（P8）」**、**「表 2C.46 制御レジスタ（P9）」**、**「表 2C.48 制御レジスタ（P10）」**、**「表 2C.50 制御レジスタ（P11）」**、**「表 2C.52 制御レジスタ（AP0）」**）を参照してください。

表 2C.27 PPRn レジスタの内容

ビット位置	ビット名	機能
15～0	PPRn_[15:0]	Pn_m 端子、Pn.Pn_m の値、または兼用機能の出力

備　考

1. PPRn レジスタのリード値は、**「2C.7.4 端子データ入力／出力」**を参照してください。
2. JTAG ポート端子リードレジスタ（JPPR0）の制御ビットは JPPR0_[7:0]になります。

2C.9.3.3 Pn / APn / JP0 — ポートレジスタ

このレジスタは、出力ポートモード時（PMCn.PMCn_m＝0, PMn.PMn_m＝0）に、関連のポート Pn_m から出力される Pn.Pn_m データを保持します。

アクセス Pn, APn：16 ビット単位でリード／ライト可能です。

JP0：8 ビット単位でリード／ライト可能です。

アドレス Pn：<PORTn_base> + 0000_H + n × 4（n＝0, 8, 9, 10, 11）

APn：<PORTn_base> + $00C8_H$（n＝0）

JP0：<JPORT0_base> + 0000_H 注1

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Pn_15	Pn_14	Pn_13	Pn_12	Pn_11	Pn_10	Pn_9	Pn_8	Pn_7	Pn_6	Pn_5	Pn_4	Pn_3	Pn_2	Pn_1	Pn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1. 有効ビット位置（m の値）はデバイスの端子数によって変わります。
「2C.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2C.40 制御レジスタ（JP0）」**、**「表 2C.42 制御レジスタ（P0）」**、**「表 2C.44 制御レジスタ（P8）」**、**「表 2C.46 制御レジスタ（P9）」**、**「表 2C.48 制御レジスタ（P10）」**、**「表 2C.50 制御レジスタ（P11）」**、**「表 2C.52 制御レジスタ（AP0）」**）を参照してください。

表 2C.28 Pn レジスタの内容

ビット位置	ビット名	機能
15～0	Pn_[15:0]	Pn_m 端子（m＝0～15）の出力レベルを設定します。 0：ロウレベル出力 1：ハイレベル出力

備　考

JTAG ポートレジスタ（JP0）の制御ビットは JP0_[7:0]になります。

2C.9.3.4 PNOTn / APNOTn / JPNOT0 — ポートノットレジスタ

このレジスタは、ポートレジスタ Pn に直接ライトせずに Pn の Pn_m ビットを反転できます。

アクセス PNOTn, APNOTn：16 ビット単位でライトのみ可能です。常に 0000_H をリードします。
JPNOT0：8 ビット単位でライトのみ可能です。常に 00_H をリードします。

アドレス PNOTn：<PORTn_base> + 0700_H + n × 4（n＝0,8, 9, 10, 11）
APNOTn：<PORTn_base> + $07C8_H$（n＝0）
JPNOT0：<JPORT0_base> + 0070_H 注1

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PNOTn_15	PNOTn_14	PNOTn_13	PNOTn_12	PNOTn_11	PNOTn_10	PNOTn_9	PNOTn_8	PNOTn_7	PNOTn_6	PNOTn_5	PNOTn_4	PNOTn_3	PNOTn_2	PNOTn_1	PNOTn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

注1. 有効ビット位置（m の値）はデバイスの端子数によって変わります。
「2C.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2C.40 制御レジスタ（JP0）」**、**「表 2C.42 制御レジスタ（P0）」**、**「表 2C.44 制御レジスタ（P8）」**、**「表 2C.46 制御レジスタ（P9）」**、**「表 2C.48 制御レジスタ（P10）」**、**「表 2C.50 制御レジスタ（P11）」**、**「表 2C.52 制御レジスタ（AP0）」**）を参照してください。

表 2C.29 PNOTn レジスタの内容

ビット位置	ビット名	機能
15～0	PNOTn_[15:0]	Pn.Pn_m を反転するかどうかを指定します。 0：Pn.Pn_m を反転しない（Pn_m → Pn_m） 1：Pn.Pn_m を反転する（$\overline{\text{Pn\_m}}$ → Pn_m）

備 考

JTAG ポートノットレジスタ（JPNOT0）の制御ビットは JPNOT0_[7:0]になります。

2C.9.3.5　PSRn / APSRn / JPSR0 ― ポートセット／リセットレジスタ

このレジスタにより、Pn レジスタにデータをライトするもう 1 つの方法を示します。

PSRn の上位 16 ビットは、PSRn の下位 16 ビットで指定した Pn.Pn_m にデータをライトするかどうかを指定します。

アクセス　PSRn, APSRn：32 ビット単位でリード／ライト可能です。ビット 31～16 は常に 0000H をリードします。ビット 15～0 は Pn, APn レジスタの値をリードします。

JPSR0：32 ビット単位でリード／ライト可能です。ビット 31～8 は常に 000000H をリードします。ビット 7～0 は JP0 レジスタの値をリードします。

アドレス　PSRn：<PORTn_base> + 0100H + n × 4（n＝0, 8, 9, 10, 11）

APSRn：<PORTn_base> + 01C8H（n＝0）

JPSR0：<JPORT0_base> + 0010H 注 1

リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PSRn_31	PSRn_30	PSRn_29	PSRn_28	PSRn_27	PSRn_26	PSRn_25	PSRn_24	PSRn_23	PSRn_22	PSRn_21	PSRn_20	PSRn_19	PSRn_18	PSRn_17	PSRn_16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PSRn_15	PSRn_14	PSRn_13	PSRn_12	PSRn_11	PSRn_10	PSRn_9	PSRn_8	PSRn_7	PSRn_6	PSRn_5	PSRn_4	PSRn_3	PSRn_2	PSRn_1	PSRn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。

「2C.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2C.40 制御レジスタ（JP0）」**、**「表 2C.42 制御レジスタ（P0）」**、**「表 2C.44 制御レジスタ（P8）」**、**「表 2C.46 制御レジスタ（P9）」**、**「表 2C.48 制御レジスタ（P10）」**、**「表 2C.50 制御レジスタ（P11）」**、**「表 2C.52 制御レジスタ（AP0）」**）を参照してください。

表 2C.30　PSRn レジスタの内容

ビット位置	ビット名	機能
31～16	PSRn_[31:16]	対応する PSRn_m の下位ビット（PSRn_[15:0]）の値を Pn_m にライトするかどうかを指定するイネーブルビットです。 0：Pn_m は PSRn_m に依存しません。 1：Pn_m は PSRn_m の値になります。 例） PSRn.PSRn_31＝1 の場合、PSRn.PSRn_15 ビットの値を Pn.Pn_15 ビットにライトします。
15～0	PSRn_[15:0]	対応する上位ビット（PSRn_[31:16]）の PSRn_m が 1 の場合、Pn_m 値を指定するデータビットです。 0：Pn_m＝0 1：Pn_m＝1

備　考

JTAG ポートセット／リセットレジスタ（JPSR0）の制御ビットは JPSR0_[31:0]になります。

2C.9.4　電気的特性の設定

2C.9.4.1　PUn / JPU0 —プルアップオプションレジスタ

このレジスタは、内蔵プルアップ抵抗を入力端子に接続するかどうかを指定します。

アクセス　PUn : 16 ビット単位でリード／ライト可能です。
JPU0 : 8 ビット単位でリード／ライト可能です。

アドレス　PUn : <PORTn_base> + 4300_H + n × 4（n＝0, 8, 9, 10, 11）
JPU0 : <JPORT0_base> + 0430_H [注1]

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PUn_15	PUn_14	PUn_13	PUn_12	PUn_11	PUn_10	PUn_9	PUn_8	PUn_7	PUn_6	PUn_5	PUn_4	PUn_3	PUn_2	PUn_1	PUn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「**2C.10 ポート（汎用 I/O）機能概要**」のポートグループごとの制御レジスタの表（「**表 2C.40 制御レジスタ（JP0）**」、「**表 2C.42 制御レジスタ（P0）**」、「**表 2C.44 制御レジスタ（P8）**」、「**表 2C.46 制御レジスタ（P9）**」、「**表 2C.48 制御レジスタ（P10）**」、「**表 2C.50 制御レジスタ（P11）**」）を参照してください。

表 2C.31　PUn レジスタの内容

ビット位置	ビット名	機能
15～0	PUn_[15:0]	内蔵プルアップ抵抗を対応する端子に接続するかどうかを指定します。 0 : 内蔵プルアップ抵抗を接続しない 1 : 内蔵プルアップ抵抗を接続する

備　考

1. 1 端子に内蔵プルアップ抵抗（PUn.PUn_m＝1）と内蔵プルダウン抵抗（PDn.PDn_m＝1）の両方を接続するように設定した場合は、自動的に内蔵プルダウン抵抗が選択され、内蔵プルアップ抵抗は接続しません。
2. 端子が出力モードで動作している場合、内蔵プルアップ抵抗は影響しません。
3. JTAG プルアップオプションレジスタ（JPU0）の制御ビットは JPU0_[7:0]になります。

2C.9.4.2　PDn / JPD0 ―プルダウンオプションレジスタ

このレジスタは、内蔵プルダウン抵抗を入力端子に接続するかどうかを指定します。

アクセス　PDn：16 ビット単位でリード／ライト可能です。
JPD0：8 ビット単位でリード／ライト可能です。

アドレス　PDn：<PORTn_base> + 4400_H + n × 4（n＝0, 8, 9, 10, 11）
JPD0：<JPORT0_base> + 0440_H 注1

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PDn_15	PDn_14	PDn_13	PDn_12	PDn_11	PDn_10	PDn_9	PDn_8	PDn_7	PDn_6	PDn_5	PDn_4	PDn_3	PDn_2	PDn_1	PDn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「**2C.10 ポート（汎用 I/O）機能概要**」のポートグループごとの制御レジスタの表（「**表 2C.40 制御レジスタ（JP0）**」、「**表 2C.42 制御レジスタ（P0）**」、「**表 2C.44 制御レジスタ（P8）**」、「**表 2C.46 制御レジスタ（P9）**」、「**表 2C.48 制御レジスタ（P10）**」、「**表 2C.50 制御レジスタ（P11）**」）を参照してください。

表 2C.32　　PDn レジスタの内容

ビット位置	ビット名	機能
15～0	PDn_[15:0]	内蔵プルダウン抵抗を対応する端子に接続するかどうかを指定します。 0：内蔵プルダウン抵抗を接続しない 1：内蔵プルダウン抵抗を接続する

備　考

1. 1 端子に内蔵プルアップ抵抗（PUn.PUn_m＝1）と内蔵プルダウン抵抗（PDn.PDn_m＝1）の両方を接続するように設定した場合は、自動的に内蔵プルダウン抵抗が選択され、内蔵プルアップ抵抗は接続しません。
2. 端子が出力モードで動作している場合、内蔵プルダウン抵抗は影響しません。
3. JTAG プルダウンオプションレジスタ（JPD0）の制御ビットは JPD0_[7:0]になります。

2C.9.4.3　PDSCn / JPDSC0 ― ポートドライブ強度コントロールレジスタ

このレジスタは、ポート端子の出力ドライバ強度を指定します。この機能は、出力バッファの高速モード（ハイドライブ強度）と低速モード（ロウドライブ強度）が選択できます。このレジスタを更新するためには、PPCMDn レジスタ、JPPCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。PDSC レジスタの設定が必要な兼用機能については「**2C.11.3.3 出力バッファ制御（PDSC）**」を参照してください。

アクセス　PDSCn, JPDSC0：32 ビット単位でリード／ライト可能です。

アドレス　PDSCn：<PORTn_base> + 4600_H + n × 4（n＝0, 10, 11）

JPDSC0：<JPORT0_base> + 0460_H 注1

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PDSCn_15	PDSCn_14	PDSCn_13	PDSCn_12	PDSCn_11	PDSCn_10	PDSCn_9	PDSCn_8	PDSCn_7	PDSCn_6	PDSCn_5	PDSCn_4	PDSCn_3	PDSCn_2	PDSCn_1	PDSCn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「**2C.10 ポート（汎用 I/O）機能概要**」のポートグループごとの制御レジスタの表（「**表 2C.40 制御レジスタ（JP0）**」、「**表 2C.42 制御レジスタ（P0）**」、「**表 2C.48 制御レジスタ（P10）**」、「**表 2C.50 制御レジスタ（P11）**」）を参照してください。

表 2C.33　PDSCn レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15～0	PDSCn_[15:0]	ポート端子の出力バッファのポートドライブ強度を指定します。 0：ロウドライブ強度（端子から出力する周波数が 10MHz 以下の場合） 1：ハイドライブ強度（端子から出力する周波数が 40MHz 以下の場合）

備　考

JTAG ポートドライブ強度コントロールレジスタ（JPDSC0）の制御ビットは JPDSC0_[31:0]になります。

2C.9.4.4　PODCn / JPODC0 ― ポートオープンドレインコントロールレジスタ

このレジスタは、出力バッファの機能としてプッシュプルまたはオープンドレインを選択します。このレジスタを更新するためには、PPCMDn レジスタ、JPPCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章　書き込み保護レジスタ**」を参照してください。

アクセス　PODCn, JPODC0：32 ビット単位でリード／ライト可能です。

アドレス　PODCn：<PORTn_base> + 4500$_H$ + n × 4（n＝0, 8, 9, 10, 11）

JPODC0：<JPORT0_base> + 0450$_H$ [注1]

リセット後の値　0000 0000$_H$ [注2]

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PODCn_15	PODCn_14	PODCn_13	PODCn_12	PODCn_11	PODCn_10	PODCn_9	PODCn_8	PODCn_7	PODCn_6	PODCn_5	PODCn_4	PODCn_3	PODCn_2	PODCn_1	PODCn_0
リセット後の値	0	0	0	0	0	0	0	0	0	0 [注3]	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「**2C.10　ポート（汎用 I/O）機能概要**」のポートグループごとの制御レジスタの表（**表 2C.40　制御レジスタ（JP0）**」、「**表 2C.42　制御レジスタ（P0）**」、「**表 2C.44　制御レジスタ（P8）**」、「**表 2C.46　制御レジスタ（P9）**」、「**表 2C.48　制御レジスタ（P10）**」、「**表 2C.50　制御レジスタ（P11）**」）を参照してください。

注2.　PODC8 レジスタは次のとおりです。
OPBT0.RESETOUTEN＝1 の時、PODC8 レジスタは 0000 0040$_H$。
OPBT0.RESETOUTEN＝0 の時、PODC8 レジスタは 0000 0000$_H$。

注3.　PODC8_6 ビットは次のとおりです。
OPBT0.RESETOUTEN＝1 の時、PODC8_6 ビットは 1。
OPBT0.RESETOUTEN＝0 の時、PODC8_6 ビットは 0。

表 2C.34　　PODCn レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15～0	PODCn_[15:0]	出力バッファの機能を指定します。 0：プッシュプル 1：オープンドレイン

備　考

JTAG ポートオープンドレインレジスタ（JPODC0）の制御ビットは JPODC0_[31:0]になります

2C.9.4.5　**PISn / JPIS0 ― ポート入力バッファ選択レジスタ**

このレジスタは、入力バッファ特性を指定します。

アクセス　PISn : 16 ビット単位でリード／ライト可能です。
JPIS0 : 8 ビット単位でリード／ライト可能です。

アドレス　PISn : <PORTn_base> + 4700_H + n × 4（n＝0, 8, 9, 10, 11）
JPIS0 : <JPORT0_base> + 0470_H [注 1]

リセット後の値　$FFFF_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIS n_15	PIS n_14	PIS n_13	PIS n_12	PIS n_11	PIS n_10	PISn_9	PISn_8	PISn_7	PISn_6	PISn_5	PISn_4	PISn_3	PISn_2	PISn_1	PISn_0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　有効ビット位置（m の値）はデバイスの端子数によって変わります。
「2C.10 ポート（汎用 I/O）機能概要」のポートグループごとの制御レジスタの表（**「表 2C.40 制御レジスタ（JP0）」**、**「表 2C.42 制御レジスタ（P0）」**、**「表 2C.44 制御レジスタ（P8）」**、**「表 2C.46 制御レジスタ（P9）」**、**「表 2C.48 制御レジスタ（P10）」**、**「表 2C.50 制御レジスタ（P11）」**）を参照してください。

表 2C.35　　PISn レジスタの内容

ビット位置	ビット名	機能
15～0	PISn_[15:0]	入力バッファ特性を指定します。 0 : タイプ 1（SHMT1） 1 : タイプ 2（SHMT4）

備　考

1. タイプ 1 とタイプ 2 の定義は、**「2C.11.3.2 入力バッファ制御（PISn/JPIS0、JPISA0）」**を参照してください。
入力バッファ特性の詳細は、**「第 47C 章 RH850/F1KM-S1 の電気的特性」**も参照してください。
2. JTAG ポート入力バッファ選択レジスタ（JPIS0）の制御ビットは JPIS0_[7:0]になります。

2C.9.4.6 JPISA0 — ポート入力バッファ選択アドバンストレジスタ

このレジスタは、入力バッファ特性を指定します。

アクセス JPISA0：8 ビット単位でリード／ライト可能です。

アドレス JPISA0：<JPORT0_base> + 04A0H[注1]

リセット後の値 00H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	JPISA0_3	JPISA0_2	—	JPISA0_0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R	R/W

注1. 有効ビット位置（m の値）はデバイスの端子数によって変わります。
「**2C.10 ポート（汎用 I/O）機能概要**」のポートグループごとの制御レジスタの表（「**表 2C.40 制御レジスタ（JP0）**」）を参照してください。

表 2C.36 JPISA0 レジスタの内容

ビット位置	ビット名	機能
7〜4、1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3、2、0	JPISA0_[3, 2, 0]	入力バッファ特性を指定します。 0：タイプ 2（SHMT4） 1：タイプ 5（TTL）

表 2C.37 JTAG ポート入力選択アドバンスレジスタの内容

JPISA0	JPIS0	機能
0	0	タイプ 1 入力バッファを選択（SHMT1）
	1	タイプ 2 入力バッファを選択（SHMT4）
1	X	タイプ 5 入力バッファを選択（TTL）

備 考

タイプ 2 とタイプ 5 の定義は、「**2C.11.3.2 入力バッファ制御（PISn/JPIS0、JPISA0）**」を参照してください。入力バッファ特性の詳細は、「**第 47C 章 RH850/F1KM-S1 の電気的特性**」も参照してください。

2C.9.5　ポートレジスタ保護

RH850/F1KM は、ポート保護クラスタレジスタとして、ポート保護コマンドレジスタ（PPCMDn）およびポート保護ステータスレジスタ（PPROTSn）を持ちます。レジスタの詳細については「**第 5 章 書き込み保護レジスタ**」を参照してください。

2C.9.6　ポート設定のフローチャート例

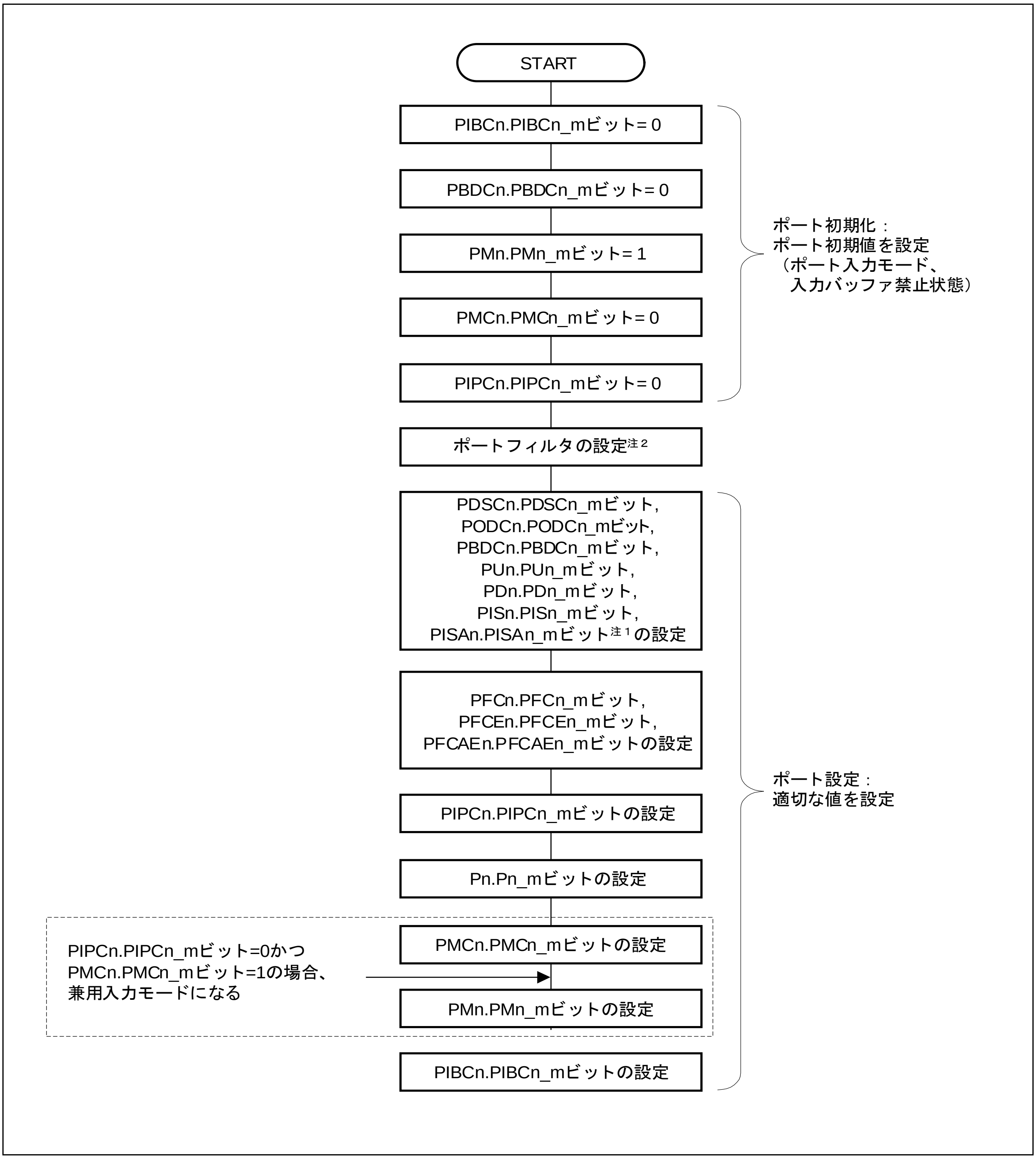
ポート設定のフローチャート例を次に示します。

注　意

ポートを PIPCn.PIPCn_m ビット＝0 かつ兼用出力モードに設定するとき、一時的に兼用入力モードになる場合があります。それは、PMCn.PMCn_m ビット＝1 の設定から PMn.PMn_m ビット＝0 の設定までのタイミングで発生します。ポート兼用機能として割り込み関連信号が設定されている場合、ポート設定中に一時的に兼用入力モードになるため、割り込みが動作しない、または無視されるようにしてください。

2C.9.6.1 一括設定

一括でポートを設定する場合のフローチャート例を次に示します。



注1.　PISAn.PISAn_m ビットは、RH850/F1KM-S1 にはありません。

注2.　PMC＝0 の時、以下の条件でポートレジスタの設定により割り込み要求が発生します。

NMI, INTP7, 8：

- ポートフィルタをロウレベル検出に設定した場合
- ポートフィルタを立ち上がりエッジ検出または両エッジ検出に設定し、端子にハイレベルが入力された状態で PMC=1 とした時

INTP0〜5, INTP10〜12：

- ポートフィルタをハイレベル検出に設定した場合
- ポートフィルタを立ち下がりエッジ検出または両エッジ検出に設定し、端子にロウレベルが入力された状態で PMC=1 とした時

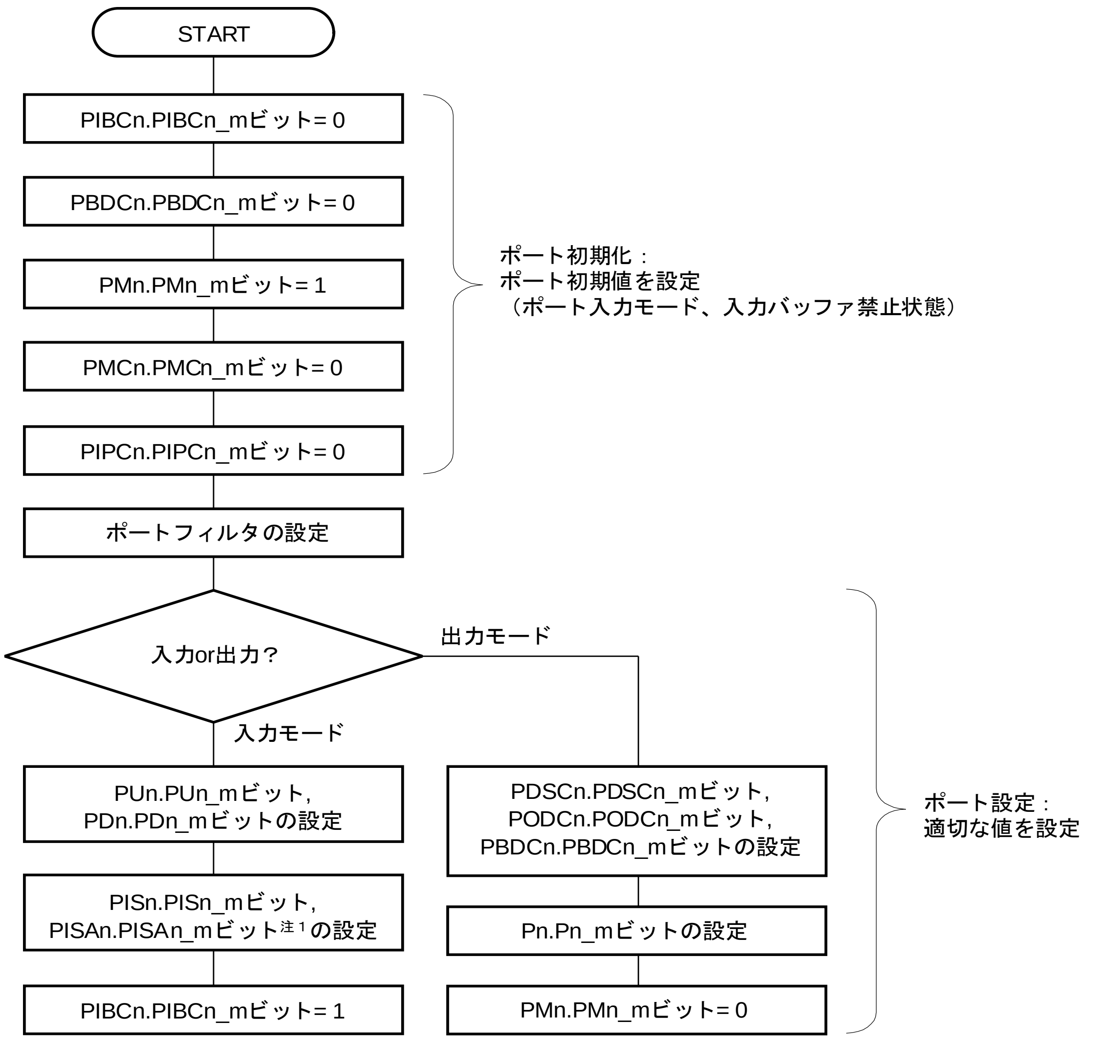
以下の手順によりこの意図しない割り込みの発生を回避することが出来ます。

1. PMC レジスタの設定
2. アナログフィルタによるパルス除去時間（入力ハイ／ロウレベル幅）の経過まで待つ
3. エッジ検出／レベル検出レジスタの設定

図 2C.6　　ポート設定のフローチャート例（一括設定の場合）

2C.9.6.2　　個別設定

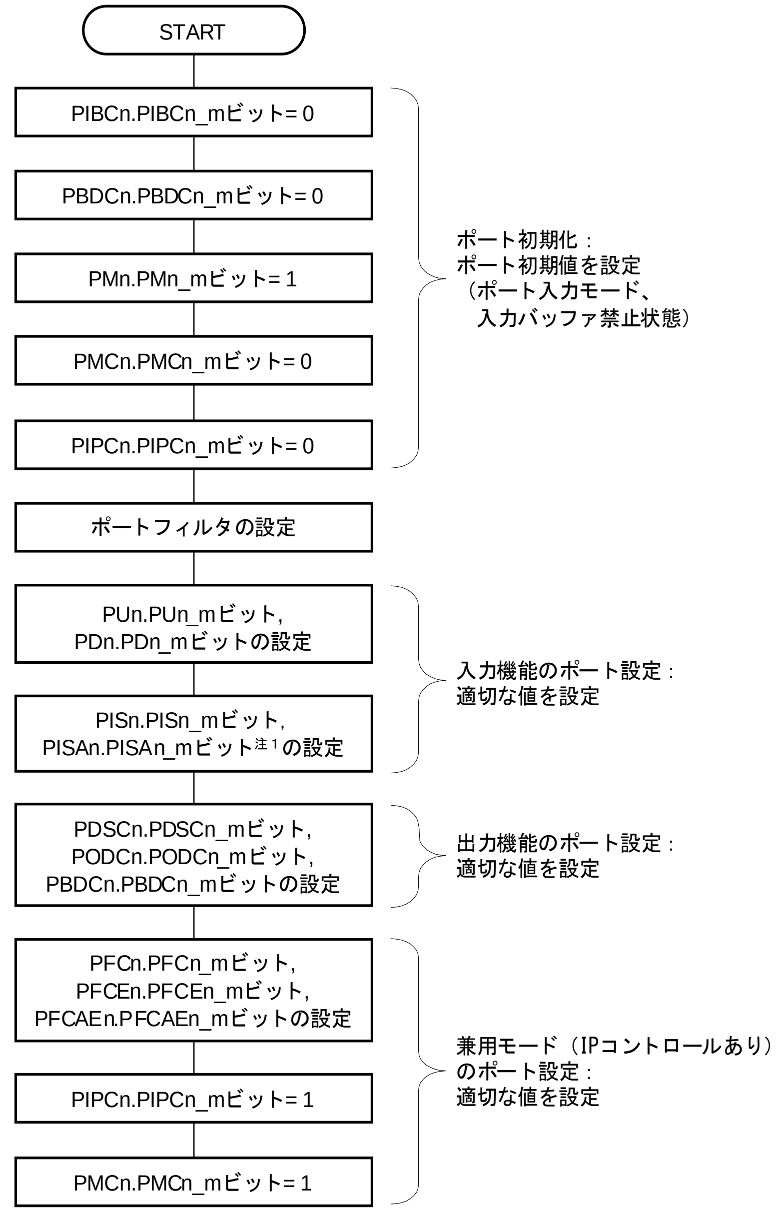
個別でポートを設定する場合のフローチャート例を次に示します。



注1.　PISAn.PISAn_m ビットは、RH850/F1KM-S1 にはありません。

図 2C.7　　ポート設定のフローチャート例（ポートモードの場合）

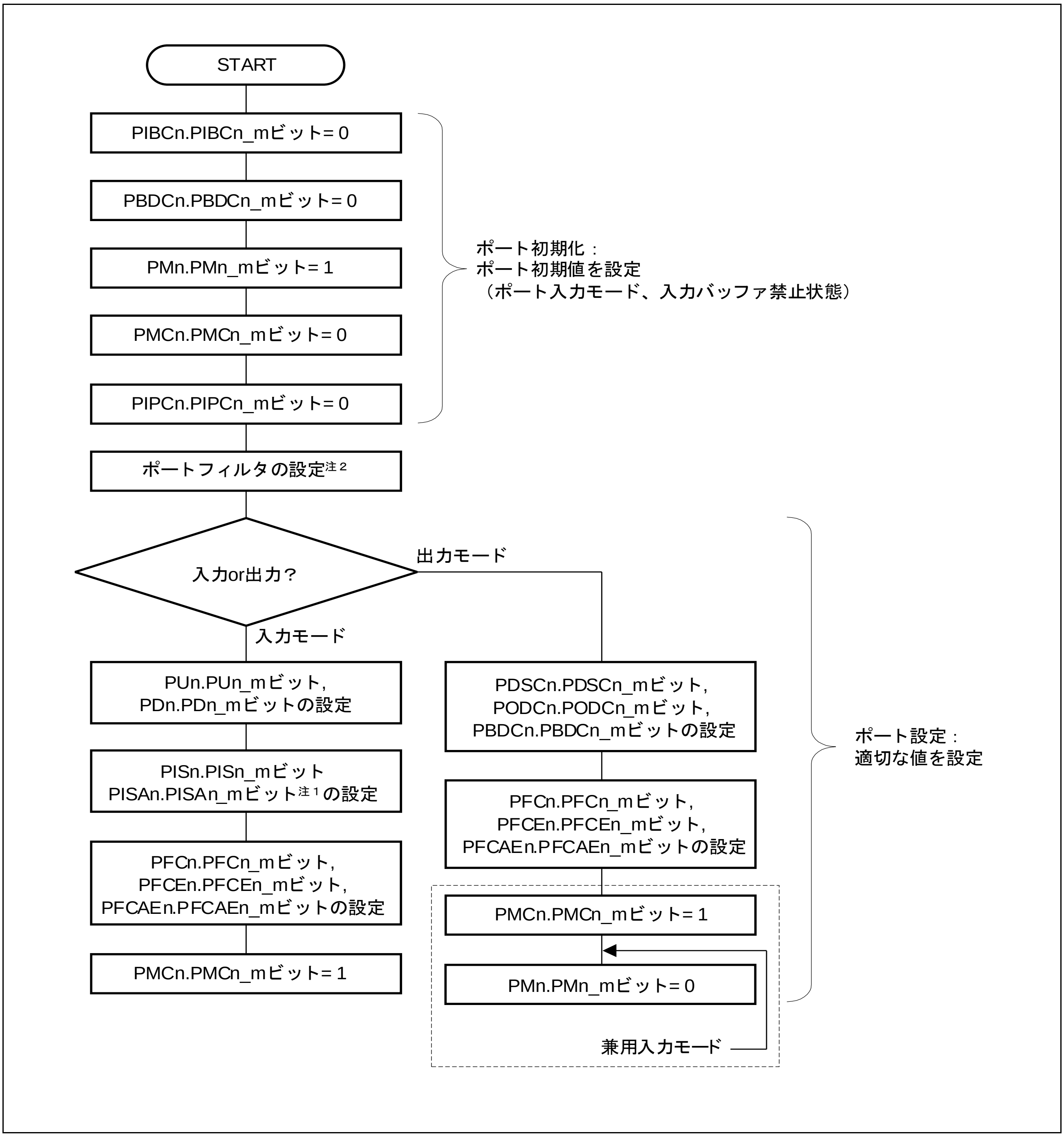
(1) IP コントロールあり（PIPCn.PIPCn_m ビット＝1）の場合



注1.　PISAn.PISAn_m ビットは、RH850/F1KM-S1 にはありません。

図 2C.8　　ポート設定のフローチャート例（兼用モードの場合）

(2) IP コントロールなし（PIPCn.PIPCn_m ビット＝0）の場合



注1.　PISAn.PISAn_m ビットは、RH850/F1KM-S1 にはありません。

注2.　PMC＝0 の時、以下の条件でポートレジスタの設定により割り込み要求が発生します。

NMI, INTP7, 8：

- ポートフィルタをロウレベル検出に設定した場合
- ポートフィルタを立ち上がりエッジ検出または両エッジ検出に設定し、端子にハイレベルが入力された状態で PMC＝1 とした時

INTP0〜5, INTP10〜12：

- ポートフィルタをハイレベル検出に設定した場合
- ポートフィルタを立ち下がりエッジ検出または両エッジ検出に設定し、端子にロウレベルが入力された状態で PMC＝1 とした時

以下の手順によりこの意図しない割り込みの発生を回避することが出来ます。

1. PMC レジスタの設定
2. アナログフィルタによるパルス除去時間（入力ハイ／ロウレベル幅）の経過まで待つ
3. エッジ検出／レベル検出レジスタの設定

図 2C.9　　ポート設定のフローチャート例（兼用モードの場合）

2C.10　ポート（汎用 I/O）機能概要

本章では、ポート（汎用 I/O）の機能とポートに割り当てられているすべての機能について説明します。詳細については次ページ以降を参照してください。

なお、ポートモードが兼用モードかは、PMCn レジスタの設定によって選択できます。PMCn.PMCn_m＝1 に設定した場合、兼用機能は、PFCn、PFCEn、PFCAEn レジスタで選択します。

表 2C.38　　ポート機能

ポート	端子名	サイズ	方向	電力供給領域	専用兼用機能（備考）	デバイス			
						48 Pin	64 Pin	80 Pin	100 Pin
JTAG ポート 0	JP0_0 - 5	6 ビット	入力／出力	AWO	JTAG, LPD	○	○	○	○
ポート 0	P0_0 - 3	4 ビット	入力／出力	AWO		○	—	—	—
	P0_0 - 6	7 ビット				—	○	—	—
	P0_0 - 12	13 ビット				—	—	○	—
	P0_0 - 14	15 ビット				—	—	—	○
ポート 8	P8_0 - 1	2 ビット	入力／出力	AWO	ADCA0（10 ビット分解能）	○	—	—	—
	P8_0 - 6	7 ビット				—	○	○	—
	P8_0 - 12	13 ビット				—	—	—	○
	P8_6	1 ビット	入力／出力	AWO	$\overline{\text{RESETOUT}}$	—	○	○	○
ポート 9	P9_0 - 1	2 ビット	入力／出力	ISO	ADCA0（10 ビット分解能）	○	—	—	—
	P9_0 - 3	4 ビット				—	○	—	—
	P9_0 - 6	7 ビット				—	—	○	○
ポート 10	P10_0 - 10	11 ビット	入力／出力	ISO		○	—	—	—
	P10_0 - 14	15 ビット				—	○	—	—
	P10_0 - 15	16 ビット				—	—	○	○
ポート 11	P11_0 - 4	5 ビット	入力／出力	ISO		—	—	○	—
	P11_0 - 7	8 ビット				—	—	—	○
アナログポート 0	AP0_0 - 7	8 ビット	入力／出力	AWO	ADCA0（12/10 ビット分解能）	○	—	—	—
	AP0_0 – 9	10 ビット				—	○	—	—
	AP0_0 – 10	11 ビット				—	—	○	—
	AP0_0 - 15	16 ビット				—	—	—	○

2C.10.1 JTAG ポート 0（JP0）

2C.10.1.1 兼用機能

JTAG ポート 0 を汎用 IO に設定すると、以下の兼用機能が使用可能になります。この設定を行うには、OPJTAG[1:0]＝00_B にして適切なフラッシュオプションバイトを設定する必要があります。

表 2C.39　JTAG ポート 0（JP0）

ポートモード（JPMC0_m=0）	兼用モード（JPMC0_m=1）														ADC	専用機能	パッケージ No.			
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				48 Pin	64 Pin	80 Pin	100 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力						
JP0_0 注1	INTP0		TAUJ2I0	TAUJ2O0	FPDR	FPDT										DCUTDI/ LPDI/ LPDIO	15	19	23	28
JP0_1	INTP1		TAUJ0I0	TAUJ0O0		FPDT										DCUTDO/ LPDO	14	18	22	27
JP0_2	INTP2		TAUJ0I1	TAUJ0O1	FPCK											DCUTCK/ LPDCLK	13	17	21	26
JP0_3	INTP3	CSCXFOUT	TAUJ0I2	TAUJ0O2												DCUTMS	12	16	20	25
JP0_4																$\overline{\text{DCUTRST}}$	11	15	19	24
JP0_5	NMI	RTCA0OUT	TAUJ0I3	TAUJ0O3												$\overline{\text{DCURDY}}$ / LPDCLKOUT	10	14	18	23

注1.　LPD（1 pin）モードでは、JP0_0 出力バッファはオープンドレイン状態になります。

注　意

兼用機能が割り当てられていないレジスタ設定をした場合の動作は保証しません。

2C.10.1.2　制御レジスタ

表 2C.40　制御レジスタ（JP0）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス			
			位置	R/W 注1			48 Pin	64 Pin	80 Pin	100 Pin
JP0	JTAG ポートレジスタ 0	8	5-0	R/W	0000$_H$	00$_H$	○	○	○	○
JPSR0	JTAG ポートセット／リセットレジスタ 0	32	21-16, 5-0	R/W	0010$_H$	0000 0000$_H$	○	○	○	○
JPPR0	JTAG ポート端子リードレジスタ 0	8	5-0	R	0020$_H$	00$_H$	○	○	○	○
JPM0	JTAG ポートモードレジスタ 0	8	5-0	R/W	0030$_H$	FF$_H$	○	○	○	○
JPMC0	JTAG ポートモードコントロールレジスタ 0	8	5, 3-0	R/W	0040$_H$	00$_H$	○	○	○	○
JPFC0	JTAG ポート機能コントロールレジスタ 0	8	5, 3-0	R/W	0050$_H$	00$_H$	○	○	○	○
JPFCE0	JTAG ポート機能コントロール拡張レジスタ 0	8	2-0	R/W	0060$_H$	00$_H$	○	○	○	○
JPNOT0	JTAG ポートノットレジスタ 0	8	5-0	W	0070$_H$	00$_H$	○	○	○	○
JPMSR0	JTAG ポートモードセット／リセットレジスタ 0	32	21-16, 5-0	R/W	0080$_H$	0000 FFFF$_H$	○	○	○	○
JPMCSR0	JTAG ポートモードコントロールセット／リセットレジスタ 0	32	21, 19-16, 5, 3-0	R/W	0090$_H$	0000 0000$_H$	○	○	○	○
JPIBC0	JTAG ポート入力バッファコントロールレジスタ 0	8	5-0	R/W	0400$_H$	00$_H$	○	○	○	○
JPBDC0	JTAG ポート双方向コントロールレジスタ 0	8	5-0	R/W	0410$_H$	00$_H$	○	○	○	○
JPU0	プルアップオプションレジスタ 0	8	5-0	R/W	0430$_H$	00$_H$	○	○	○	○
JPD0	プルダウンオプションレジスタ 0	8	5-0	R/W	0440$_H$	00$_H$	○	○	○	○
JPODC0	JTAG ポートオープンドレインコントロールレジスタ 0	32	5-0	R/W	0450$_H$	0000 0000$_H$	○	○	○	○
JPDSC0	JTAG ポートドライブ強度コントロールレジスタ 0	32	5, 3-1	R/W	0460$_H$	0000 0000$_H$	○	○	○	○
JPIS0	JTAG ポート入力バッファ選択レジスタ 0	8	5, 3-0	R/W	0470$_H$	FF$_H$	○	○	○	○
JPISA0	JTAG ポート入力バッファ選択アドバンストレジスタ 0	8	3, 2, 0	R/W	04A0$_H$	00$_H$	○	○	○	○
JPPROTS0	JTAG ポート保護ステータスレジスタ 0	32	0	R	04B0$_H$	0000 0000$_H$	○	○	○	○
JPPCMD0	JTAG ポート保護コマンドレジスタ 0	32	7-0	W	04C0$_H$	xxxx xx00$_H$	○	○	○	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2C.10.2 ポート 0（P0）

2C.10.2.1 兼用機能

表 2C.41 ポート 0（P0）

ポートモード（PMC0_m=0）	兼用モード（PMC0_m=1） 第 1 兼用 入力	第 1 兼用 出力	第 2 兼用 入力	第 2 兼用 出力	第 3 兼用 入力	第 3 兼用 出力	第 4 兼用 入力	第 4 兼用 出力	第 5 兼用 入力	第 5 兼用 出力	第 6 兼用 入力	第 6 兼用 出力	第 7 兼用 入力	第 7 兼用 出力	ADC	専用機能	パッケージ No. 48 Pin	64 Pin	80 Pin	100 Pin
P0_0	TAUD0I2	TAUD0O2	RLIN20RX	CAN0TX		PWGA10O	$\overline{\text{CSIH0SSI}}$	DPO	TAUJ2I1	TAUJ2O1							4	4	6	6
P0_1	TAUD0I4	TAUD0O4	CAN0RX/ INTP0	RLIN20TX	INTP0	PWGA11O	CSIH0SI	APO	TAUJ2I2	TAUJ2O2			CAN0RX				5	5	7	7
P0_2	TAUD0I6	TAUD0O6		RLIN30TX		PWGA12O	CSIH0SC		INTP1	DPO	TAUJ2I3	TAUJ2O3					6	—	—	—
	TAUD0I6	TAUD0O6	CAN1RX/ INTP1	RLIN30TX		PWGA12O	CSIH0SC		INTP1	DPO	TAUJ2I3	TAUJ2O3	CAN1RX				—	6	8	8
P0_3	TAUD0I8	TAUD0O8	RLIN30RX/ INTP10		DPIN1			CSIH0SO	INTP10		TAUJ1I0	TAUJ1O0	RLIN30RX				7	—	—	—
	TAUD0I8	TAUD0O8	RLIN30RX/ INTP10	CAN1TX	DPIN1	PWGA13O		CSIH0SO	INTP10		TAUJ1I0	TAUJ1O0	RLIN30RX				—	7	9	9
P0_4	RLIN31RX/ INTP11	CAN2TX	INTP11	PWGA10O		SELDP0	DPIN8						RLIN31RX				—	9	—	—
	RLIN31RX/ INTP11	CAN2TX	INTP11	PWGA10O	CSIH1SI	SELDP0	DPIN8		TAUB0I12	TAUB0O12			RLIN31RX				—	—	11	11
P0_5	CAN2RX/ INTP2	RLIN31TX	DPIN9	SELDP1									CAN2RX				—	10	—	—
	CAN2RX/ INTP2	RLIN31TX	DPIN9	SELDP1		CSIH1SO			TAUB0I14	TAUB0O14			CAN2RX				—	—	12	12
P0_6	INTP2		DPIN10	SELDP2													—	11	—	—
	INTP2		DPIN10	SELDP2	CSIH1SC												—	—	13	—
	INTP2		DPIN10	SELDP2	CSIH1SC					PWGA35O							—	—	—	13
P0_7	RLIN21RX		DPIN5	CSCXFOUT	CSIH1RYI	CSIH1RYO	TAUB0I0	TAUB0O0									—	—	34	—
	RLIN21RX		DPIN5	CSCXFOUT	CSIH1RYI	CSIH1RYO	TAUB0I0	TAUB0O0	CAN3RX/ INTP3				CAN3RX				—	—	—	40
P0_8		RLIN21TX	DPIN6	CSIH0CSS6	$\overline{\text{CSIH1SSI}}$		TAUB0I2	TAUB0O2									—	—	33	—
		RLIN21TX	DPIN6	CSIH0CSS6	$\overline{\text{CSIH1SSI}}$		TAUB0I2	TAUB0O2		CAN3TX							—	—	—	39

表 2C.41　　ポート 0（P0）

ポートモード（PMC0_m=0）	兼用モード（PMC0_m=1）														ADC	専用機能	パッケージ No.			
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				48 Pin	64 Pin	80 Pin	100 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力						
P0_9	INTP12	CSIH1CSS0	DPIN7				TAUB0I4	TAUB0O4									—	—	32	—
	INTP12	CSIH1CSS0	DPIN7		RLIN22RX		TAUB0I4	TAUB0O4	CAN4RX/ INTP4				CAN4RX				—	—	—	38
P0_10	INTP3	CSIH1CSS1	DPIN11				TAUB0I6	TAUB0O6									—	—	31	—
	INTP3	CSIH1CSS1	DPIN11			RLIN22TX	TAUB0I6	TAUB0O6		CAN4TX							—	—	—	37
P0_11	RIIC0SDA			CSIH1CSS2	TAUB0I8	TAUB0O8											—	—	14	—
	RIIC0SDA		DPIN12	CSIH1CSS2	TAUB0I8	TAUB0O8		PWGA34O									—	—	—	14
P0_12	RIIC0SCL				TAUB0I10	TAUB0O10	CSIG0SI										—	—	15	—
	RIIC0SCL		DPIN13	PWGA45O	TAUB0I10	TAUB0O10	CSIG0SI										—	—	—	15
P0_13	RLIN32RX/ INTP12		INTP12	PWGA46O	TAUB0I12	TAUB0O12		CSIG0SO	CAN5RX/ INTP5		RLIN32RX		CAN5RX				—	—	—	16
P0_14		RLIN32TX		PWGA47O	TAUB0I14	TAUB0O14	CSIG0SC			CAN5TX							—	—	—	17

注　意

兼用機能が割り当てられていないレジスタ設定をした場合の動作は保証しません。

2C.10.2.2　制御レジスタ

表 2C.42　制御レジスタ（P0）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス			
			位置	R/W 注1			48 Pin	64 Pin	80 Pin	100 Pin
P0	ポートレジスタ 0	16	3-0	R/W	0000_H	0000_H	○	—	—	—
			6-0				—	○	—	—
			12-0				—	—	○	—
			14-0				—	—	—	○
PSR0	ポートセット／リセットレジスタ 0	32	19-16, 3-0	R/W	0100_H	$0000\ 0000_H$	○	—	—	—
			22-16, 6-0				—	○	—	—
			28-16, 12-0				—	—	○	—
			30-16, 14-0				—	—	—	○
PPR0	ポート端子リードレジスタ 0	16	3-0	R	0200_H	0000_H	○	—	—	—
			6-0				—	○	—	—
			12-0				—	—	○	—
			14-0				—	—	—	○
PM0	ポートモードレジスタ 0	16	3-0	R/W	0300_H	$FFFF_H$	○	—	—	—
			6-0				—	○	—	—
			12-0				—	—	○	—
			14-0				—	—	—	○
PMC0	ポートモードコントロールレジスタ 0	16	3-0	R/W	0400_H	0000_H	○	—	—	—
			6-0				—	○	—	—
			12-0				—	—	○	—
			14-0				—	—	—	○
PFC0	ポート機能コントロールレジスタ 0	16	3-0	R/W	0500_H	0000_H	○	—	—	—
			6-0				—	○	—	—
			12-0				—	—	○	—
			14-0				—	—	—	○
PFCE0	ポート機能コントロール拡張レジスタ 0	16	3-0	R/W	0600_H	0000_H	○	—	—	—
			5-0				—	○	—	—
			12-0				—	—	○	—
			14-0				—	—	—	○
PNOT0	ポートノットレジスタ 0	16	3-0	W	0700_H	0000_H	○	—	—	—
			6-0				—	○	—	—
			12-0				—	—	○	—
			14-0				—	—	—	○
PMSR0	ポートモードセット／リセットレジスタ 0	32	19-16, 3-0	R/W	0800_H	$0000\ FFFF_H$	○	—	—	—
			22-16, 6-0				—	○	—	—
			28-16, 12-0				—	—	○	—
			30-16, 14-0				—	—	—	○
PMCSR0	ポートモードコントロールセット／リセットレジスタ 0	32	19-16, 3-0	R/W	0900_H	$0000\ 0000_H$	○	—	—	—
			22-16, 6-0				—	○	—	—
			28-16, 12-0				—	—	○	—
			30-16, 14-0				—	—	—	○
PFCAE0	ポート機能コントロール追加拡張レジスタ 0	16	3-0	R/W	$0A00_H$	0000_H	○	—	—	—
			5-0				—	○	○	—
			14, 13, 10-0				—	—	—	○
PIBC0	ポート入力バッファコントロールレジスタ 0	16	3-0	R/W	4000_H	0000_H	○	—	—	—
			6-0				—	○	—	—
			12-0				—	—	○	—
			14-0				—	—	—	○

表 2C.42　　制御レジスタ（P0）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス			
			位置	R/W 注1			48 Pin	64 Pin	80 Pin	100 Pin
PBDC0	ポート双方向コントロールレジスタ 0	16	3-0	R/W	4100$_H$	0000$_H$	○	—	—	—
			6-0				—	○	—	—
			12-0				—	—	○	—
			14-0				—	—	—	○
PIPC0	ポート IP コントロールレジスタ 0	16	3, 2	R/W	4200$_H$	0000$_H$	○	—	—	—
			6, 5, 3, 2				—	○	○	—
			14, 13, 6, 5, 3, 2				—	—	—	○
PU0	プルアップオプションレジスタ 0	16	3-0	R/W	4300$_H$	0000$_H$	○	—	—	—
			6-0				—	○	—	—
			12-0				—	—	○	—
			14-0				—	—	—	○
PD0	プルダウンオプションレジスタ 0	16	3-0	R/W	4400$_H$	0000$_H$	○	—	—	—
			6-0				—	○	—	—
			12-0				—	—	○	—
			14-0				—	—	—	○
PODC0	ポートオープンドレインコントロールレジスタ 0	32	3-0	R/W	4500$_H$	0000 0000$_H$	○	—	—	—
			6-0				—	○	—	—
			12-0				—	—	○	—
			14-0				—	—	—	○
PDSC0	ポートドライブ強度コントロールレジスタ 0	32	3-0	R/W	4600$_H$	0000 0000$_H$	○	—	—	—
			6-0				—	○	—	—
			12-0				—	—	○	—
			14-0				—	—	—	○
PIS0	ポート入力バッファ選択レジスタ 0	16	3-0	R/W	4700$_H$	FFFF$_H$	○	—	—	—
			6-0				—	○	—	—
			12-0				—	—	○	—
			14-0				—	—	—	○
PPROTS0	ポート保護ステータスレジスタ 0	32	0	R	4B00$_H$	0000 0000$_H$	○	○	○	○
PPCMD0	ポート保護コマンドレジスタ 0	32	7-0	W	4C00$_H$	XXXX XX00$_H$	○	○	○	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2C.10.3　ポート 8（P8）

2C.10.3.1　兼用機能

表 2C.43　ポート 8（P8）

ポートモード（PMC8_m＝0）	兼用モード（PMC8_m＝1）														ADC	専用機能	パッケージ No.			
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				48 Pin	64 Pin	80 Pin	100 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力						
P8_0	TAUJ0I0	TAUJ0O0	DPIN2		INTP4	CSIH0CSS0			RIIC1SDA		SENT0RX				ADCA0I0S		23	—	—	—
	TAUJ0I0	TAUJ0O0	DPIN2	PWGA14O	INTP4	CSIH0CSS0			RIIC1SDA		SENT0RX				ADCA0I0S		—	27	35	42
P8_1	TAPA0ESO	TAUJ0O1	DPIN0		INTP5				RIIC1SCL			SENT0SPCO			ADCA0I1S		24	—	—	—
	TAPA0ESO	TAUJ0O1	DPIN0	PWGA15O	INTP5				RIIC1SCL			SENT0SPCO			ADCA0I1S		—	28	—	—
	TAPA0ESO	TAUJ0O1	DPIN0	PWGA15O	INTP5	CSIH1CSS3			RIIC1SCL			SENT0SPCO			ADCA0I1S		—	—	36	43
P8_2	TAUJ0I0	TAUJ0O0	DPIN2	CSIH0CSS0		PWGA22O									ADCA0I4S		—	13	—	—
	TAUJ0I0	TAUJ0O0	DPIN2	CSIH0CSS0	INTP6	PWGA22O									ADCA0I4S		—	—	17	19
P8_3	TAUJ0I1	TAUJ0O1	DPIN3	CSIH0CSS1		PWGA23O									ADCA0I5S		—	29	—	—
	TAUJ0I1	TAUJ0O1	DPIN3	CSIH0CSS1	INTP7	PWGA23O									ADCA0I5S		—	—	37	44
P8_4	TAUJ0I2	TAUJ0O2	DPIN4	CSIH0CSS2											ADCA0I6S		—	30	—	—
	TAUJ0I2	TAUJ0O2	DPIN4	CSIH0CSS2	INTP8										ADCA0I6S		—	—	38	—
	TAUJ0I2	TAUJ0O2	DPIN4	CSIH0CSS2	INTP8	PWGA36O									ADCA0I6S		—	—	—	45
P8_5	TAUJ0I3	TAUJ0O3	NMI	CSIH0CSS3											ADCA0I7S		—	31	39	—
	TAUJ0I3	TAUJ0O3	NMI	CSIH0CSS3		PWGA37O									ADCA0I7S		—	—	—	46
P8_6	NMI					RTCA0OUT									ADCA0I8S	$\overline{RESETOUT}$	—	32	—	—
	NMI	CSIH0CSS4				RTCA0OUT									ADCA0I8S	$\overline{RESETOUT}$	—	—	40	—
	NMI	CSIH0CSS4		PWGA38O		RTCA0OUT									ADCA0I8S	$\overline{RESETOUT}$	—	—	—	47
P8_7		CSIH3CSS0		PWGA39O		ADCA0SEL0		RTCA0OUT							ADCA0I14S		—	—	—	48
P8_8		CSIH3CSS1		PWGA40O		ADCA0SEL1									ADCA0I15S		—	—	—	49
P8_9		CSIH3CSS2		PWGA41O		ADCA0SEL2									ADCA0I16S		—	—	—	50
P8_10		CSIH3CSS3	DPIN14	PWGA42O											ADCA0I17S		—	—	—	20
P8_11	TAUJ1I2	TAUJ1O2	DPIN15	PWGA43O		CSIH1CSS4									ADCA0I18S		—	—	—	21
P8_12	TAUJ1I3	TAUJ1O3	DPIN16	PWGA44O		CSIH1CSS5									ADCA0I19S		—	—	—	22

注　意

1. 兼用機能が割り当てられていないレジスタ設定をした場合の動作は保証しません。
2. ADC 機能は初期設定で使用してください。詳細は「**表 2C.44　制御レジスタ（P8）**」を参照してください。
3. P8_6 端子はリセット中に $\overline{\text{RESETOUT}}$ 信号としてロウレベルを出力し、リセット解除後もロウレベルを出力し続けます。詳細は「**2C.11.1.1　P8_6：$\overline{\text{RESETOUT}}$**」を参照してください。

2C.10.3.2　　制御レジスタ

表 2C.44　　制御レジスタ（P8）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス			
			位置	R/W 注1			48 Pin	64 Pin	80 Pin	100 Pin
P8	ポートレジスタ 8	16	1,0	R/W	0020H	0000H	○	—	—	—
			6-0				—	○	○	—
			12-0				—	—	—	○
PSR8	ポートセット／リセットレジスタ 8	32	17,16,1,0	R/W	0120H	0000 0000H	○	—	—	—
			22-16, 6-0				—	○	○	—
			28-16,12-0				—	—	—	○
PPR8	ポート端子リードレジスタ 8	16	1,0	R	0220H	0000H	○	—	—	—
			6-0				—	○	○	—
			12-0				—	—	—	○
PM8	ポートモードレジスタ 8	16	1,0	R/W	0320H	FFBFH	○	—	—	—
			6-0				—	○	○	—
			12-0				—	—	—	○
PMC8	ポートモードコントロールレジスタ 8	16	1,0	R/W	0420H	0000H	○	—	—	—
			6-0				—	○	○	—
			12-0				—	—	—	○
PFC8	ポート機能コントロールレジスタ 8	16	1,0	R/W	0520H	0000H	○	—	—	—
			5-0				—	○	○	—
			12-0				—	—	—	○
PFCE8	ポート機能コントロール拡張レジスタ 8	16	1,0	R/W	0620H	0000H	○	—	—	—
			6,3-0				—	○	—	—
			6,4-0				—	—	○	—
			12, 11, 9-0				—	—	—	○
PNOT8	ポートノットレジスタ 8	16	1,0	W	0720H	0000H	○	—	—	—
			6-0				—	○	○	—
			12-0				—	—	—	○
PMSR8	ポートモードセット／リセットレジスタ 8	32	17,16,1,0	R/W	0820H	0000 FFBFH	○	—	—	—
			22-16, 6-0				—	○	○	—
			28-16,12-0				—	—	—	○
PMCSR8	ポートモードコントロールセット／リセットレジスタ 8	32	17,16,1,0	R/W	0920H	0000 0000H	○	—	—	—
			22-16, 6-0				—	○	○	—
			28-16,12-0				—	—	—	○
PFCAE8	ポート機能コントロール追加拡張レジスタ 8	16	1,0	R/W	0A20H	0000H	○	○	○	○
PIBC8	ポート入力バッファコントロールレジスタ 8	16	1,0	R/W	4020H	0000H	○	—	—	—
			6-0				—	○	○	—
			12-0				—	—	—	○
PBDC8	ポート双方向コントロールレジスタ 8	16	1,0	R/W	4120H	0000H	○	—	—	—
			6-0				—	○	○	—
			12-0				—	—	—	○
PU8	プルアップオプションレジスタ 8	16	1,0	R/W	4320H	0000H	○	—	—	—
			6-0				—	○	○	—
			12-0				—	—	—	○
PD8	プルダウンオプションレジスタ 8	16	1,0	R/W	4420H	0000H	○	—	—	—
			6-0				—	○	○	—
			12-0				—	—	—	○
PODC8	ポートオープンドレインコントロールレジスタ 8	32	1,0	R/W	4520H	0000 0040H	○	—	—	—
			6-0				—	○	○	—
			12-0				—	—	—	○

表 2C.44　　制御レジスタ（P8）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス			
			位置	R/W 注1			48 Pin	64 Pin	80 Pin	100 Pin
PIS8	ポート入力バッファ選択レジスタ 8	16	1,0	R/W	4720H	FFFFH	○	—	—	—
			6-0				—	○	○	—
			12-0				—	—	—	○
PPROTS8	ポート保護ステータスレジスタ 8	32	0	R	4B20H	0000 0000H	○	○	○	○
PPCMD8	ポート保護コマンドレジスタ 8	32	7-0	W	4C20H	xxxx xx00H	○	○	○	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注　意

P8_6 はレジスタ操作により設定が変わるまで、どのリセット解除後でもロウレベルを出力します。詳細は「**2C.11.1.1 P8_6：$\overline{\text{RESETOUT}}$**」を参照してください。

2C.10.4 ポート 9（P9）

2C.10.4.1 兼用機能

表 2C.45 ポート 9（P9）

ポートモード（PMC9_m=0）	兼用モード（PMC9_m=1）														ADC	専用機能	パッケージ No.			
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				48 Pin	64 Pin	80 Pin	100 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力						
P9_0	NMI	PWGA8O	TAUD0I0	TAUD0O0	ADCA0TRG0		KR0I4		TAUJ1I1	TAUJ1O1	SENT1RX		RIIC1SDA		ADCA0I2S		35	45	—	—
	NMI	PWGA8O	TAUD0I0	TAUD0O0	ADCA0TRG0	CSIH2CSS0	KR0I4		TAUJ1I1	TAUJ1O1	SENT1RX		RIIC1SDA		ADCA0I2S		—	—	54	69
P9_1	INTP11	PWGA9O	TAUD0I2	TAUD0O2	KR0I5				TAUJ1I2	TAUJ1O2		SENT1SPCO	RIIC1SCL		ADCA0I3S		36	46	—	—
	INTP11	PWGA9O	TAUD0I2	TAUD0O2	KR0I5	CSIH2CSS1			TAUJ1I2	TAUJ1O2		SENT1SPCO	RIIC1SCL		ADCA0I3S		—	—	55	70
P9_2	KR0I6	PWGA20O	TAPA0ESO												ADCA0I9S		—	47	—	—
	KR0I6	PWGA20O	TAPA0ESO	CSIH2CSS2											ADCA0I9S		—	—	56	71
P9_3	KR0I7	PWGA21O			TAUJ1I1	TAUJ1O1									ADCA0I10S		—	48	—	—
	KR0I7	PWGA21O		CSIH2CSS3	TAUJ1I1	TAUJ1O1									ADCA0I10S		—	—	57	72
P9_4		CSIH0CSS5			TAUJ1I0	TAUJ1O0									ADCA0I11S		—	—	58	—
		CSIH0CSS5		PWGA33O	TAUJ1I0	TAUJ1O0									ADCA0I11S		—	—	—	73
P9_5		CSIH0CSS6			TAUJ1I1	TAUJ1O1									ADCA0I12S		—	—	59	—
		CSIH0CSS6		PWGA34O	TAUJ1I1	TAUJ1O1									ADCA0I12S		—	—	—	74
P9_6		CSIH0CSS7													ADCA0I13S		—	—	60	—
		CSIH0CSS7		PWGA35O											ADCA0I13S		—	—	—	75

注 意

1. 兼用機能が割り当てられていないレジスタ設定をした場合の動作は保証しません。
2. ADC 機能は初期設定で使用してください。詳細は「**表 2C.46 制御レジスタ（P9）**」を参照してください。

2C.10.4.2　制御レジスタ

表 2C.46　制御レジスタ（P9）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス			
			位置	R/W 注1			48 Pin	64 Pin	80 Pin	100 Pin
P9	ポートレジスタ 9	16	1, 0	R/W	0024$_H$	0000$_H$	○	—	—	—
			3-0				—	○	—	—
			6-0				—	—	○	○
PSR9	ポートセット／リセットレジスタ 9	32	17, 16, 1, 0	R/W	0124$_H$	0000 0000$_H$	○	—	—	—
			19-16, 3-0				—	○	—	—
			22-16, 6-0				—	—	○	○
PPR9	ポート端子リードレジスタ 9	16	1, 0	R	0224$_H$	0000$_H$	○	—	—	—
			3-0				—	○	—	—
			6-0				—	—	○	○
PM9	ポートモードレジスタ 9	16	1, 0	R/W	0324$_H$	FFFF$_H$	○	—	—	—
			3-0				—	○	—	—
			6-0				—	—	○	○
PMC9	ポートモードコントロールレジスタ 9	16	1, 0	R/W	0424$_H$	0000$_H$	○	—	—	—
			3-0				—	○	—	—
			6-0				—	—	○	○
PFC9	ポート機能コントロールレジスタ 9	16	1, 0	R/W	0524$_H$	0000$_H$	○	—	—	—
			2-0				—	○	—	—
			3-0				—	—	○	—
			6-0				—	—	—	○
PFCE9	ポート機能コントロール拡張レジスタ 9	16	1, 0	R/W	0624$_H$	0000$_H$	○	—	—	—
			3, 1, 0				—	○	—	—
			5-3, 1, 0				—	—	○	○
PNOT9	ポートノットレジスタ 9	16	1, 0	W	0724$_H$	0000$_H$	○	—	—	—
			3-0				—	○	—	—
			6-0				—	—	○	○
PMSR9	ポートモードセット／リセットレジスタ 9	32	17, 16, 1, 0	R/W	0824$_H$	0000 FFFF$_H$	○	—	—	—
			19-16, 3-0				—	○	—	—
			22-16, 6-0				—	—	○	○
PMCSR9	ポートモードコントロールセット／リセットレジスタ 9	32	17, 16, 1, 0	R/W	0924$_H$	0000 0000$_H$	○	—	—	—
			19-16, 3-0				—	○	—	—
			22-16, 6-0				—	—	○	○
PFCAE9	ポート機能コントロール追加拡張レジスタ 9	16	1, 0	R/W	0A24$_H$	0000$_H$	○	○	○	○
PIBC9	ポート入力バッファコントロールレジスタ 9	16	1, 0	R/W	4024$_H$	0000$_H$	○	—	—	—
			3-0				—	○	—	—
			6-0				—	—	○	○
PBDC9	ポート双方向コントロールレジスタ 9	16	1, 0	R/W	4124$_H$	0000$_H$	○	—	—	—
			3-0				—	○	—	—
			6-0				—	—	○	○
PU9	プルアップオプションレジスタ 9	16	1, 0	R/W	4324$_H$	0000$_H$	○	—	—	—
			3-0				—	○	—	—
			6-0				—	—	○	○
PD9	プルダウンオプションレジスタ 9	16	1, 0	R/W	4424$_H$	0000$_H$	○	—	—	—
			3-0				—	○	—	—
			6-0				—	—	○	○
PODC9	ポートオープンドレインコントロールレジスタ 9	32	1, 0	R/W	4524$_H$	0000 0000$_H$	○	—	—	—
			3-0				—	○	—	—
			6-0				—	—	○	○

表 2C.46　制御レジスタ（P9）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス			
			位置	R/W 注1			48 Pin	64 Pin	80 Pin	100 Pin
PIS9	ポート入力バッファ選択レジスタ 9	16	1, 0	R/W	4724_H	$FFFF_H$	○	—	—	—
			3-0				—	○	—	—
			6-0				—	—	○	○
PPROTS9	ポート保護ステータスレジスタ 9	32	0	R	$4B24_H$	$0000\ 0000_H$	○	○	○	○
PPCMD9	ポート保護コマンドレジスタ 9	32	7-0	W	$4C24_H$	$xxxx\ xx00_H$	○	○	○	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2C.10.5　ポート 10（P10）

2C.10.5.1　兼用機能

表 2C.47　ポート 10（P10）

ポートモード（PMC10_m=0）	兼用モード（PMC10_m=1）														ADC	専用機能	パッケージ No.			
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				48 Pin	64 Pin	80 Pin	100 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力						
P10_0	TAUD0I1	TAUD0O1	CAN0RX/ INTP0	CSCXFOUT		PWGA0O	TAUJ1I3	TAPA0UP				TAUJ1O3	CAN0RX				46	62	—	—
	TAUD0I1	TAUD0O1	CAN0RX/ INTP0	CSCXFOUT		PWGA0O	TAUJ1I3	TAPA0UP	CSIH1SI			TAUJ1O3	CAN0RX				—	—	78	98
P10_1	TAUD0I3	TAUD0O3		CAN0TX		PWGA1O	TAUJ3I0	TAPA0UN						TAUJ3O0		MODE0	47	63	—	—
	TAUD0I3	TAUD0O3		CAN0TX		PWGA1O	TAUJ3I0	TAPA0UN	CSIH1SC					TAUJ3O0		MODE0	—	—	79	99
P10_2	TAUD0I5	TAUD0O5	RIIC0SDA		KR0I0	PWGA2O	ADCA0TRG0	TAPA0VP								MODE1	48	64	—	—
	TAUD0I5	TAUD0O5	RIIC0SDA		KR0I0	PWGA2O	ADCA0TRG0	TAPA0VP		CSIH1SO						MODE1	—	—	80	100
P10_3	TAUD0I7	TAUD0O7	RIIC0SCL		KR0I1	PWGA3O	ADCA0TRG1	TAPA0VN									1	1	—	—
	TAUD0I7	TAUD0O7	RIIC0SCL		KR0I1	PWGA3O	ADCA0TRG1	TAPA0VN	$\overline{\text{CSIH1SSI}}$								—	—	1	1
P10_4	TAUD0I9	TAUD0O9	RLIN21RX		KR0I2	ADCA0SEL0	ADCA0TRG2	TAPA0WP	$\overline{\text{CSIG0SSI}}$								2	2	2	2
P10_5	TAUD0I11	TAUD0O11		RLIN21TX	KR0I3	ADCA0SEL1		TAPA0WN	CSIG0RYI	CSIG0RYO							3	3	3	3
P10_6	TAUD0I13	TAUD0O13		CSIG0SO	ENCA0TIN0	ADCA0SEL2										MODE2	39	—	—	—
	TAUD0I13	TAUD0O13		CSIG0SO	ENCA0TIN0	ADCA0SEL2	CAN1RX/ INTP1						CAN1RX			MODE2	—	51	63	80
P10_7	TAUD0I15	TAUD0O15	CSIG0SC		ENCA0TIN1	PWGA4O							TAUJ3I1	TAUJ3O1			40	—	—	—
	TAUD0I15	TAUD0O15	CSIG0SC		ENCA0TIN1	PWGA4O		CAN1TX					TAUJ3I1	TAUJ3O1			—	52	64	81
P10_8	TAUD0I10	TAUD0O10	CSIG0SI		ENCA0EC	PWGA5O							TAUJ3I2	TAUJ3O2		FLMD1	41	53	65	82
P10_9	TAUD0I12	TAUD0O12	RLIN30RX/ INTP10		ENCA0E0	PWGA6O	CSIH0RYI	CSIH0RYO					RLIN30RX				42	54	66	83
P10_10	TAUD0I14	TAUD0O14		RLIN30TX	ENCA0E1	PWGA7O		CSIH0CSS1					TAUJ3I3	TAUJ3O3			43	55	67	84
P10_11		PWGA16O	RLIN31RX/ INTP11										RLIN31RX				—	56	—	—
		PWGA16O	RLIN31RX/ INTP11			CSIH1CSS0	TAUB0I1	TAUB0O1					RLIN31RX				—	—	68	85

表 2C.47　ポート 10（P10）

ポートモード（PMC10_m=0）	兼用モード（PMC10_m=1）														ADC	専用機能	パッケージ No.			
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				48 Pin	64 Pin	80 Pin	100 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力						
P10_12		PWGA17O		RLIN31TX													—	57	—	—
		PWGA17O		RLIN31TX		CSIH1CSS1	TAUB0I3	TAUB0O3									—	—	69	86
P10_13	$\overline{\text{CSIH0SSI}}$	PWGA18O															—	58	—	—
	$\overline{\text{CSIH0SSI}}$	PWGA18O	RLIN32RX/INTP12				TAUB0I5	TAUB0O5					RLIN32RX				—	—	70	87
P10_14		PWGA19O															—	59	—	—
		PWGA19O		RLIN32TX			TAUB0I7	TAUB0O7									—	—	71	—
		PWGA19O		RLIN32TX	$\overline{\text{CSIH3SSI}}$		TAUB0I7	TAUB0O7									—	—	—	88
P10_15							TAUB0I9	TAUB0O9									—	—	4	—
	CSIH3RYI	CSIH3RYO		PWGA24O	RLIN22RX		TAUB0I9	TAUB0O9									—	—	—	4

注　意

兼用機能が割り当てられていないレジスタ設定をした場合の動作は保証しません。

2C.10.5.2 制御レジスタ

表 2C.48 制御レジスタ（P10）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス			
			位置	R/W 注1			48 Pin	64 Pin	80 Pin	176 Pin
P10	ポートレジスタ 10	16	10-0	R/W	0028$_H$	0000$_H$	○	—	—	—
			14-0				—	○	—	—
			15-0				—	—	○	○
PSR10	ポートセット／リセットレジスタ 10	32	26-16, 10-0	R/W	0128$_H$	0000 0000$_H$	○	—	—	—
			30-16, 14-0				—	○	—	—
			31-16, 15-0				—	—	○	○
PPR10	ポート端子リードレジスタ 10	16	10-0	R	0228$_H$	0000$_H$	○	—	—	—
			14-0				—	○	—	—
			15-0				—	—	○	○
PM10	ポートモードレジスタ 10	16	10-0	R/W	0328$_H$	FFFF$_H$	○	—	—	—
			14-0				—	○	—	—
			15-0				—	—	○	○
PMC10	ポートモードコントロールレジスタ 10	16	10-0	R/W	0428$_H$	0000$_H$	○	—	—	—
			14-0				—	○	—	—
			15-0				—	—	○	○
PFC10	ポート機能コントロールレジスタ 10	16	10-0	R/W	0528$_H$	0000$_H$	○	—	—	—
			12-0				—	○	—	—
			15-0				—	—	○	○
PFCE10	ポート機能コントロール拡張レジスタ 10	16	10-0	R/W	0628$_H$	0000$_H$	○	—	—	—
			11-0				—	○	—	—
			15-0				—	—	○	○
PNOT10	ポートノットレジスタ 10	16	10-0	W	0728$_H$	0000$_H$	○	—	—	—
			14-0				—	○	—	—
			15-0				—	—	○	○
PMSR10	ポートモードセット／リセットレジスタ 10	32	26-16, 10-0	R/W	0828$_H$	0000 FFFF$_H$	○	—	—	—
			30-16, 14-0				—	○	—	—
			31-16, 15-0				—	—	○	○
PMCSR10	ポートモードコントロールセット／リセットレジスタ 10	32	26-16, 10-0	R/W	0928$_H$	0000 0000$_H$	○	—	—	—
			30-16, 14-0				—	○	—	—
			31-16, 15-0				—	—	○	○
PFCAE10	ポート機能コントロール追加拡張レジスタ 10	16	10-7, 5, 4, 1, 0	R/W	0A28$_H$	0000$_H$	○	—	—	—
			11-4, 1, 0				—	○	—	—
			13, 11-0				—	—	○	○
PIBC10	ポート入力バッファコントロールレジスタ 10	16	10-0	R/W	4028$_H$	0000$_H$	○	—	—	—
			14-0				—	○	—	—
			15-0				—	—	○	○
PBDC10	ポート双方向コントロールレジスタ 10	16	10-0	R/W	4128$_H$	0000$_H$	○	—	—	—
			14-0				—	○	—	—
			15-0				—	—	○	○
PIPC10	ポート IP コントロールレジスタ 10	16	7-0	R/W	4228$_H$	0000$_H$	○	○	○	○
PU10	プルアップオプションレジスタ 10	16	10-0	R/W	4328$_H$	0000$_H$	○	—	—	—
			14-0				—	○	—	—
			15-0				—	—	○	○
PD10	プルダウンオプションレジスタ 10	16	10-0	R/W	4428$_H$	0000$_H$	○	—	—	—
			14-0				—	○	—	—
			15-0				—	—	○	○
PODC10	ポートオープンドレインコントロールレジスタ 10	32	10-0	R/W	4528$_H$	0000 0000$_H$	○	—	—	—
			14-0				—	○	—	—
			15-0				—	—	○	○

表 2C.48 制御レジスタ（P10）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス			
			位置	R/W 注1			48 Pin	64 Pin	80 Pin	176 Pin
PDSC10	ポートドライブ強度コントロールレジスタ 10	32	10-0	R/W	4628$_H$	0000 0000$_H$	○	—	—	—
			14-0				—	○	—	—
			15-0				—	—	○	○
PIS10	ポート入力バッファ選択レジスタ 10	16	10-0	R/W	4728$_H$	FFFF$_H$	○	—	—	—
			14-0				—	○	—	—
			15-0				—	—	○	○
PPROTS10	ポート保護ステータスレジスタ 10	32	0	R	4B28$_H$	0000 0000$_H$	○	○	○	○
PPCMD10	ポート保護コマンドレジスタ 10	32	7-0	W	4C28$_H$	xxxx xx00$_H$	○	○	○	○

注1. 未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2C.10.6　ポート 11（P11）

2C.10.6.1　兼用機能

表 2C.49　ポート 11（P11）

ポートモード（PMC11_m=0）	兼用モード（PMC11_m=1）														ADC	専用機能	パッケージ No.			
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				48 Pin	64 Pin	80 Pin	100 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力						
P11_0	CSIH2RYI	CSIH2RYO					TAUB0I11	TAUB0O11									—	—	5	—
	CSIH2RYI	CSIH2RYO		PWGA25O		RLIN22TX	TAUB0I11	TAUB0O11									—	—	—	5
P11_1	$\overline{\text{CSIH2SSI}}$		RLIN20RX	CSIH0CSS7			TAUB0I13	TAUB0O13									—	—	72	—
	$\overline{\text{CSIH2SSI}}$		RLIN20RX	CSIH0CSS7		PWGA26O	TAUB0I13	TAUB0O13									—	—	—	89
P11_2		CSIH2SO	RLIN32RX/ INTP12	RLIN20TX			TAUB0I15	TAUB0O15					RLIN32RX				—	—	73	—
		CSIH2SO	RLIN32RX/ INTP12	RLIN20TX		PWGA27O	TAUB0I15	TAUB0O15					RLIN32RX				—	—	—	90
P11_3	CSIH2SC									RLIN32TX							—	—	74	—
	CSIH2SC		CAN3RX/ INTP3	PWGA28O						RLIN32TX			CAN3RX				—	—	—	91
P11_4	CSIH2SI																—	—	75	—
	CSIH2SI	CAN3TX		PWGA29O													—	—	—	92
P11_5	CAN5RX/ INTP5	RLIN33TX		PWGA30O	CSIH3SI								CAN5RX				—	—	—	93
P11_6	RLIN33RX/ INTP13	CAN5TX		PWGA31O		CSIH3SO							RLIN33RX				—	—	—	94
P11_7	INTP5			PWGA32O	CSIH3SC												—	—	—	95

注　意

兼用機能が割り当てられていないレジスタ設定をした場合の動作は保証しません。

2C.10.6.2　　制御レジスタ

表 2C.50　　制御レジスタ（P11）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス			
			位置	R/W 注1			48 Pin	64 Pin	80 Pin	100 Pin
P11	ポートレジスタ 11	16	4-0	R/W	002CH	0000H	—	—	○	—
			7-0				—	—	—	○
PSR11	ポートセット／リセットレジスタ 11	32	20-16, 4-0	R/W	012CH	0000 0000H	—	—	○	—
			23-16, 7-0				—	—	—	○
PPR11	ポート端子リードレジスタ 11	16	4-0	R	022CH	0000H	—	—	○	—
			7-0				—	—	—	○
PM11	ポートモードレジスタ 11	16	4-0	R/W	032CH	FFFFH	—	—	○	—
			7-0				—	—	—	○
PMC11	ポートモードコントロールレジスタ 11	16	4-0	R/W	042CH	0000H	—	—	○	—
			7-0				—	—	—	○
PFC11	ポート機能コントロールレジスタ 11	16	2-0	R/W	052CH	0000H	—	—	○	—
			7-0				—	—	—	○
PFCE11	ポート機能コントロール拡張レジスタ 11	16	3-0	R/W	062CH	0000H	—	—	○	—
			7-5, 3-0				—	—	—	○
PNOT11	ポートノットレジスタ 11	16	4-0	W	072CH	0000H	—	—	○	—
			7-0				—	—	—	○
PMSR11	ポートモードセット／リセットレジスタ 11	32	20-16, 4-0	R/W	082CH	0000 FFFFH	—	—	○	—
			23-16, 7-0				—	—	—	○
PMCSR11	ポートモードコントロールセット／リセットレジスタ 11	32	20-16, 4-0	R/W	092CH	0000 0000H	—	—	○	—
			23-16, 7-0				—	—	—	○
PFCAE11	ポート機能コントロール追加拡張レジスタ 11	16	3, 2	R/W	0A2CH	0000H	—	—	○	—
			6, 5, 3, 2				—	—	—	○
PIBC11	ポート入力バッファコントロールレジスタ 11	16	4-0	R/W	402CH	0000H	—	—	○	—
			7-0				—	—	—	○
PBDC11	ポート双方向コントロールレジスタ 11	16	4-0	R/W	412CH	0000H	—	—	○	—
			7-0				—	—	—	○
PIPC11	ポート IP コントロールレジスタ 11	16	3, 2	R/W	422CH	0000H	—	—	○	—
			7, 6, 3, 2				—	—	—	○
PU11	プルアップオプションレジスタ 11	16	4-0	R/W	432CH	0000H	—	—	○	—
			7-0				—	—	—	○
PD11	プルダウンオプションレジスタ 11	16	4-0	R/W	442CH	0000H	—	—	○	—
			7-0				—	—	—	○
PODC11	ポートオープンドレインコントロールレジスタ 11	32	4-0	R/W	452CH	0000 0000H	—	—	○	—
			7-0				—	—	—	○
PDSC11	ポートドライブ強度コントロールレジスタ 11	32	4-0	R/W	462CH	0000 0000H	—	—	○	—
			7-0				—	—	—	○
PIS11	ポート入力バッファ選択レジスタ 11	16	4-0	R/W	472CH	FFFFH	—	—	○	—
			7-0				—	—	—	○
PPROTS11	ポート保護ステータスレジスタ 11	32	0	R	4B2CH	0000 0000H	—	—	○	○
PPCMD11	ポート保護コマンドレジスタ 11	32	7-0	W	4C2CH	xxxx xx00H	—	—	○	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2C.10.7 アナログポート 0（AP0）

2C.10.7.1 兼用機能

表 2C.51 アナログポート 0（AP0）

ポートモード	兼用モード														ADC	専用機能	パッケージ No.			
	第 1 兼用		第 2 兼用		第 3 兼用		第 4 兼用		第 5 兼用		第 6 兼用		第 7 兼用				48 Pin	64 Pin	80 Pin	100 Pin
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力						
AP0_0															ADCA0I0		34	44	53	68
AP0_1															ADCA0I1		33	43	52	67
AP0_2															ADCA0I2		32	42	51	66
AP0_3															ADCA0I3		31	41	50	65
AP0_4															ADCA0I4		30	40	49	64
AP0_5															ADCA0I5		29	39	48	63
AP0_6															ADCA0I6		28	38	47	62
AP0_7															ADCA0I7		27	37	46	61
AP0_8															ADCA0I8		—	36	45	60
AP0_9															ADCA0I9		—	35	44	59
AP0_10															ADCA0I10		—	—	43	58
AP0_11															ADCA0I11		—	—	—	57
AP0_12															ADCA0I12		—	—	—	56
AP0_13															ADCA0I13		—	—	—	55
AP0_14															ADCA0I14		—	—	—	54
AP0_15															ADCA0I15		—	—	—	53

注　意

ADC 機能は初期設定で使用してください。詳細は「**表 2C.52 制御レジスタ（AP0）**」を参照してください。

2C.10.7.2　制御レジスタ

表 2C.52　制御レジスタ（AP0）

レジスタ	機能	レジスタサイズ	有効ビット		オフセットアドレス	リセット後の値	デバイス			
			位置	R/W 注1			48 Pin	64 Pin	80 Pin	100 Pin
AP0	アナログポートレジスタ 0	16	7-0	R/W	00C8H	0000H	○	—	—	—
			9-0				—	○	—	—
			10-0				—	—	○	—
			15-0				—	—	—	○
APSR0	アナログポートセット／リセットレジスタ 0	32	23-16, 7-0	R/W	01C8H	0000 0000H	○	—	—	—
			25-16, 9-0				—	○	—	—
			26-16, 10-0				—	—	○	—
			31-16, 15-0				—	—	—	○
APPR0	アナログポート端子リードレジスタ 0	16	7-0	R	02C8H	0000H	○	—	—	—
			9-0				—	○	—	—
			10-0				—	—	○	—
			15-0				—	—	—	○
APM0	アナログポートモードレジスタ 0	16	7-0	R/W	03C8H	FFFFH	○	—	—	—
			9-0				—	○	—	—
			10-0				—	—	○	—
			15-0				—	—	—	○
APNOT0	アナログポートノットレジスタ 0	16	7-0	W	07C8H	0000H	○	—	—	—
			9-0				—	○	—	—
			10-0				—	—	○	—
			15-0				—	—	—	○
APMSR0	アナログポートモードセット／リセットレジスタ 0	32	23-16, 7-0	R/W	08C8H	0000 FFFFH	○	—	—	—
			25-16, 9-0				—	○	—	—
			26-16, 10-0				—	—	○	—
			31-16, 15-0				—	—	—	○
APIBC0	アナログポート入力バッファコントロールレジスタ 0	16	7-0	R/W	40C8H	0000H	○	—	—	—
			9-0				—	○	—	—
			10-0				—	—	○	—
			15-0				—	—	—	○
APBDC0	アナログポート双方向コントロールレジスタ 0	16	7-0	R/W	41C8H	0000H	○	—	—	—
			9-0				—	○	—	—
			10-0				—	—	○	—
			15-0				—	—	—	○

注1.　未使用ビットは、R（読み出し専用）です。リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

2C.11　ポート（特殊 I/O）機能概要

本節では、ポート（特殊 I/O）の機能について説明します。

2C.11.1　リセット後の特殊 I/O

リセット解除後の特殊な機能のポートについて次に示します。

2C.11.1.1　P8_6： $\overline{\text{RESETOUT}}$

P8_6 端子（ $\overline{\text{RESETOUT}}$ 信号）は、OPBT0.RESETOUTEN ビットの設定により PM8.PM8_6 ビットおよび PODC8.PODC8_6 ビットのリセット後の値が変わります。

P8_6 端子はリセット中にロウレベルを出力し、リセット後の端子状態は異なります。

（ケース 1）：OPBT0.RESETOUTEN＝1

- P8.P8_6＝0：ロウレベル出力
- PM8.PM8_6＝0：出力ポート
- PODC8.PODC8_6＝1：オープンドレイン出力

（ケース 2）：OPBT0.RESETOUTEN＝0

- P8.P8_6＝0：ロウレベル出力
- PM8.PM8_6＝1：入力ポート
- PODC8.PODC8_6＝0：プッシュプル

OPBT0 レジスタについての詳細は、「**44.9.2 OPBT0 ― オプションバイト 0**」、および「**9BC.1.3 リセット出力（ $\overline{\text{RESETOUT}}$ ）**」を参照してください。

P8_6 端子の設定を変更すると、変更後の設定に従い動作します。

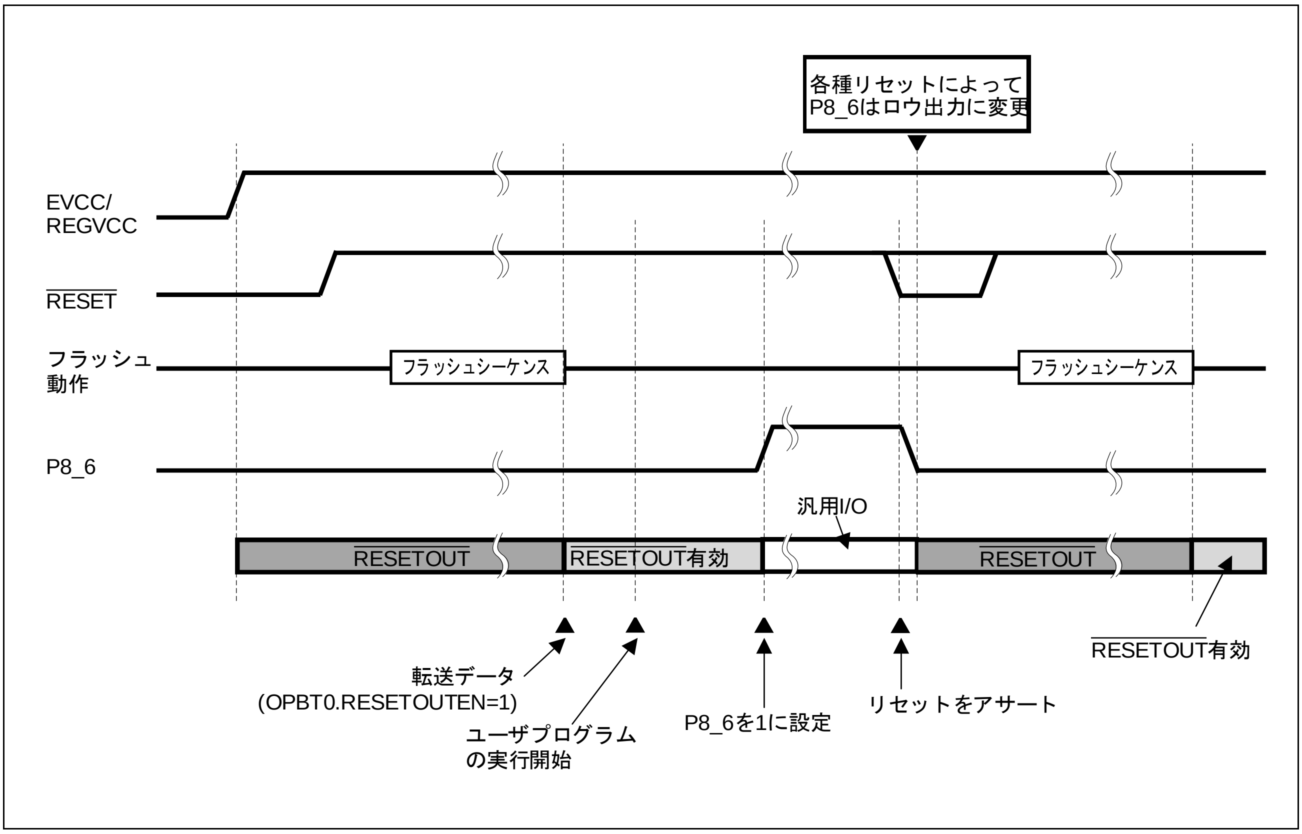
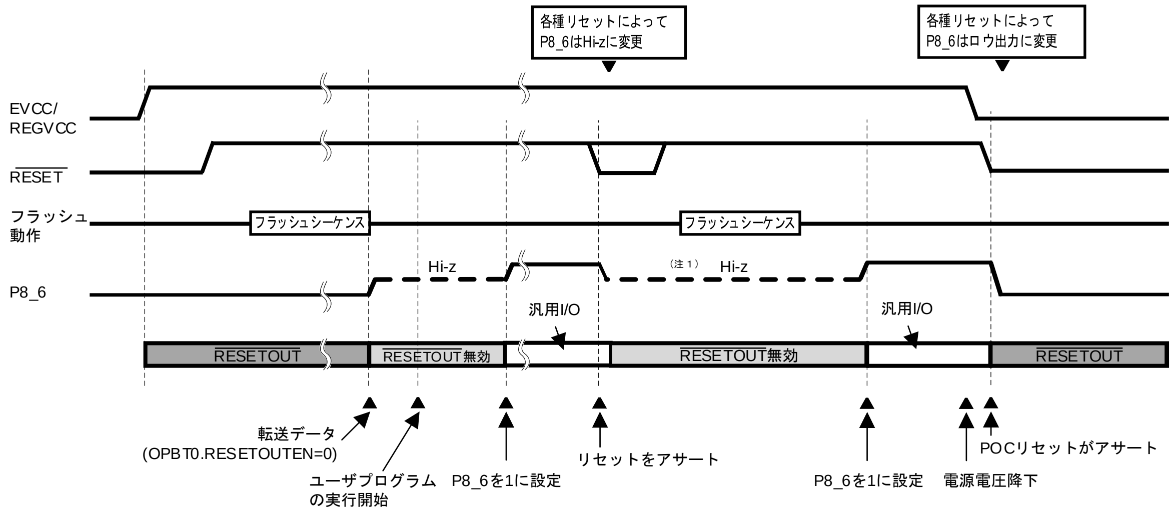


図 2C.10　リセット中およびリセット解除後の P8_6 端子（RESETOUT 信号）動作
：（ケース 1）OPBT0.RESETOUTEN を 1 に設定



注1.　RESETOUT が無効（OPBT0.RESETOUTEN＝0）の状態で、リセット（POC リセットを除く）が発生したとき、P8_6 端子（ RESETOUT 信号）は、Hi-z になります。

図 2C.11　　リセット中およびリセット解除後の P8_6 端子（ RESETOUT 信号）動作
：（ケース 2）OPBT0.RESETOUTEN を 0 に設定

2C.11.1.2　**JP0_0-JP0_5：デバッグインタフェース**

OPJTAG[1:0]の設定が以下の組み合わせの場合、リセット解除後、JTAG ポートグループの端子がデバッグインタフェースとして使用できます。

表 2C.53　デバッグインタフェース

OPJTAG1	OPJTAG0	モード	JP0_0	JP0_1	JP0_2	JP0_3	JP0_4	JP0_5
1	1	Nexus I/F	DCUTDI 入力	DCUTDO 出力	DCUTCK 入力	DCUTMS 入力	$\overline{\mathrm{DCUTRST}}$ 入力	$\overline{\mathrm{DCURDY}}$ 出力
0	1	LPD (4 pin)	LPDI 入力	LPDO 出力	LPDCLK 入力	ポート／ 兼用機能	ポート／ 兼用機能	LPDCLK OUT 出力
1	0	LPD (1 pin)	LPDIO 入出力	ポート／ 兼用機能	ポート／ 兼用機能	ポート／ 兼用機能	ポート／ 兼用機能	ポート／ 兼用機能

備　考

OPJTAG[1:0]の設定に関しては、「**44.9.2 OPBT0 — オプションバイト 0**」を参照してください。

2C.11.1.3　**FPDR(JP0_0), FPDT(JP0_1), FPCK(JP0_2)：フラッシュプログラマ**

これらの端子はフラッシュプログラマと接続する場合に使用します。詳細は、「*フラッシュプログラマのマニュアル*」を参照してください。

2C.11.1.4　**モード端子**

FLMD0 端子と P10_8：FLMD1 端子を組み合わせてシリアルプログラミングモードに設定できます。

FLMD0 端子と P10_8：FLMD1 端子、P10_2：MODE1 端子、P10_1：MODE0 端子を組み合わせてバウンダリスキャンモードに設定できます。

FLMD0 端子と P10_8：FLMD1 端子、P10_6：MODE2 端子、P10_2：MODE1 端子、P10_1：MODE0 端子を組み合わせてユーザブートモードを選択できます。

モード選択の詳細は、「**第 6 章　動作モード**」を参照してください。

2C.11.2　A/D 入力兼用 I/O

次のポートは A/D の入力に常に接続しています。（ただし、A/D へのアナログ入力は、A/D のモジュールで制御されます。）

表 2C.54　A/D 入力兼用端子

ポート	A/D 入力	デバイス			
		48 Pin	64 Pin	80 Pin	100 Pin
P8_0	ADCA0I0S	○	○	○	○
P8_1	ADCA0I1S	○	○	○	○
P8_2	ADCA0I4S	—	○	○	○
P8_3	ADCA0I5S	—	○	○	○
P8_4	ADCA0I6S	—	○	○	○
P8_5	ADCA0I7S	—	○	○	○
P8_6	ADCA0I8S	—	○	○	○
P8_7	ADCA0I14S	—	—	—	○
P8_8	ADCA0I15S	—	—	—	○
P8_9	ADCA0I16S	—	—	—	○
P8_10	ADCA0I17S	—	—	—	○
P8_11	ADCA0I18S	—	—	—	○
P8_12	ADCA0I19S	—	—	—	○
P9_0	ADCA0I2S	○	○	○	○
P9_1	ADCA0I3S	○	○	○	○
P9_2	ADCA0I9S	—	○	○	○
P9_3	ADCA0I10S	—	○	○	○
P9_4	ADCA0I11S	—	—	○	○
P9_5	ADCA0I12S	—	—	○	○
P9_6	ADCA0I13S	—	—	○	○
AP0_0	ADCA0I0	○	○	○	○
AP0_1	ADCA0I1	○	○	○	○
AP0_2	ADCA0I2	○	○	○	○
AP0_3	ADCA0I3	○	○	○	○
AP0_4	ADCA0I4	○	○	○	○
AP0_5	ADCA0I5	○	○	○	○
AP0_6	ADCA0I6	○	○	○	○
AP0_7	ADCA0I7	○	○	○	○
AP0_8	ADCA0I8	—	○	○	○
AP0_9	ADCA0I9	—	○	○	○
AP0_10	ADCA0I10	—	—	○	○
AP0_11	ADCA0I11	—	—	—	○
AP0_12	ADCA0I12	—	—	—	○
AP0_13	ADCA0I13	—	—	—	○
AP0_14	ADCA0I14	—	—	—	○
AP0_15	ADCA0I15	—	—	—	○

2C.11.3　特殊 I/O 制御

2C.11.3.1　直接 I/O 制御（PIPC）

いくつかの兼用機能ではポートの入力／出力を自動的に制御します。

次に PIPCn.PIPCn_m＝1 とする必要がある兼用機能について示します。

詳細は「**2C.9.2.3 PIPCn ― ポート IP コントロールレジスタ**」を参照してください。

表 2C.55　PIPCn.PIPCn_m＝1 設定が必要な兼用機能

機能	兼用機能名	ポート名	電源領域	制御	参照章
TAPA	TAPA0UP	P10_0	ISO	U 相 Hi-Z 制御	**第 36 章**
	TAPA0UN	P10_1	ISO		
	TAPA0VP	P10_2	ISO	V 相 Hi-Z 制御	
	TAPA0VN	P10_3	ISO		
	TAPA0WP	P10_4	ISO	W 相 Hi-Z 制御	
	TAPA0WN	P10_5	ISO		
CSIG	CSIG0SO	P0_13	AWO	シリアルデータ出力制御信号	**第 19 章**
		P10_6	ISO		
	CSIG0SC	P0_14	AWO	マスタ（1）／スレーブ（0）モード信号	
		P10_7	ISO		
CSIH	CSIH0SO	P0_3	AWO	シリアルデータ出力制御信号	**第 20 章**
	CSIH0SC	P0_2	AWO	マスタ（1）／スレーブ（0）モード信号	
	CSIH1SO	P0_5	AWO	シリアルデータ出力制御信号	
		P10_2	ISO		
	CSIH1SC	P0_6	AWO	マスタ（1）／スレーブ（0）モード信号	
		P10_1	ISO		
	CSIH2SO	P11_2	ISO	シリアルデータ出力制御信号	
	CSIH2SC	P11_3	ISO	マスタ（1）／スレーブ（0）モード信号	
	CSIH3SO	P11_6	ISO	シリアルデータ出力制御信号	
	CSIH3SC	P11_7	ISO	マスタ（1）／スレーブ（0）モード信号	

2C.11.3.2　入力バッファ制御（PISn/JPIS0、JPISA0）

本デバイスでは、ポートの入力バッファの特性（タイプ 1、タイプ 2）を PISn/JPIS0 レジスタで選択することができます。適用可能な端子を「**表 2C.56 ポートの入力バッファ特性の選択**」に示します。

本デバイスでは、JTAG ポートの入力バッファの特性（タイプ 1/2、タイプ 5）を JPISA0 レジスタで選択することができます。適用可能な端子を「**表 2C.57 JTAG ポートの入力バッファ特性の選択**」に示します。

表 2C.56　ポートの入力バッファ特性の選択

ポート名	入力バッファ選択		デバイス			
	タイプ 1（PISn_m＝0）	タイプ 2（PISn_m＝1）	48 Pin	64 Pin	80 Pin	100 Pin
P0_0	SHMT1	SHMT4	○	○	○	○
P0_1	SHMT1	SHMT4	○	○	○	○
P0_2	SHMT1	SHMT4	○	○	○	○
P0_3	SHMT1	SHMT4	○	○	○	○
P0_4	SHMT1	SHMT4	—	○	○	○
P0_5	SHMT1	SHMT4	—	○	○	○
P0_6	SHMT1	SHMT4	—	○	○	○
P0_7	SHMT1	SHMT4	—	—	○	○
P0_8	SHMT1	SHMT4	—	—	○	○
P0_9	SHMT1	SHMT4	—	—	○	○
P0_10	SHMT1	SHMT4	—	—	○	○
P0_11	SHMT1	SHMT4	—	—	○	○
P0_12	SHMT1	SHMT4	—	—	○	○
P0_13	SHMT1	SHMT4	—	—	—	○
P0_14	SHMT1	SHMT4	—	—	—	○
P8_0	SHMT1	SHMT4	○	○	○	○
P8_1	SHMT1	SHMT4	○	○	○	○
P8_2	SHMT1	SHMT4	—	○	○	○
P8_3	SHMT1	SHMT4	—	○	○	○
P8_4	SHMT1	SHMT4	—	○	○	○
P8_5	SHMT1	SHMT4	—	○	○	○
P8_6	SHMT1	SHMT4	—	○	○	○
P8_7	SHMT1	SHMT4	—	—	—	○
P8_8	SHMT1	SHMT4	—	—	—	○
P8_9	SHMT1	SHMT4	—	—	—	○
P8_10	SHMT1	SHMT4	—	—	—	○
P8_11	SHMT1	SHMT4	—	—	—	○
P8_12	SHMT1	SHMT4	—	—	—	○
P9_0	SHMT1	SHMT4	○	○	○	○
P9_1	SHMT1	SHMT4	○	○	○	○
P9_2	SHMT1	SHMT4	—	○	○	○
P9_3	SHMT1	SHMT4	—	○	○	○
P9_4	SHMT1	SHMT4	—	—	○	○
P9_5	SHMT1	SHMT4	—	—	○	○
P9_6	SHMT1	SHMT4	—	—	○	○
P10_0	SHMT1	SHMT4	○	○	○	○
P10_1	SHMT1	SHMT4	○	○	○	○

表 2C.56 ポートの入力バッファ特性の選択

ポート名	入力バッファ選択		デバイス			
	タイプ 1（PISn_m=0）	タイプ 2（PISn_m=1）	48 Pin	64 Pin	80 Pin	100 Pin
P10_2	SHMT1	SHMT4	○	○	○	○
P10_3	SHMT1	SHMT4	○	○	○	○
P10_4	SHMT1	SHMT4	○	○	○	○
P10_5	SHMT1	SHMT4	○	○	○	○
P10_6	SHMT1	SHMT4	○	○	○	○
P10_7	SHMT1	SHMT4	○	○	○	○
P10_8	SHMT1	SHMT4	○	○	○	○
P10_9	SHMT1	SHMT4	○	○	○	○
P10_10	SHMT1	SHMT4	○	○	○	○
P10_11	SHMT1	SHMT4	—	○	○	○
P10_12	SHMT1	SHMT4	—	○	○	○
P10_13	SHMT1	SHMT4	—	○	○	○
P10_14	SHMT1	SHMT4	—	○	○	○
P10_15	SHMT1	SHMT4	—	—	○	○
P11_0	SHMT1	SHMT4	—	—	○	○
P11_1	SHMT1	SHMT4	—	—	○	○
P11_2	SHMT1	SHMT4	—	—	○	○
P11_3	SHMT1	SHMT4	—	—	○	○
P11_4	SHMT1	SHMT4	—	—	○	○
P11_5	SHMT1	SHMT4	—	—	—	○
P11_6	SHMT1	SHMT4	—	—	—	○
P11_7	SHMT1	SHMT4	—	—	—	○

表 2C.57 JTAG ポートの入力バッファ特性の選択

ポート名	入力バッファ選択			デバイス			
	タイプ 1（JPIS0_m=0 & JPISA0_m=0）	タイプ 2（JPIS0_m=1 & JPISA0_m=0）	タイプ 5（JPISA0_m=1）	48 Pin	64 Pin	80 Pin	100 Pin
JP0_0	SHMT1	SHMT4	TTL 注 1、注 2、注 3、注 4	○	○	○	○
JP0_1	SHMT1	SHMT4	—	○	○	○	○
JP0_2	SHMT1	SHMT4	TTL 注 1、注 2、注 3	○	○	○	○
JP0_3	SHMT1	SHMT4	TTL 注 1、注 2	○	○	○	○
JP0_4	—	SHMT4	— 注 1、注 2	○	○	○	○
JP0_5	SHMT1	SHMT4	—	○	○	○	○

注1. TTL は JPISA0 レジスタ設定なしでバウンダリスキャンモードで選択されます。

注2. TTL は JPISA0 レジスタ設定なしで通常動作モードの Nexus で選択されます。

注3. TTL は JPISA0 レジスタ設定なしで通常動作モードの LPD（4 pin）で選択されます。

注4. TTL は JPISA0 レジスタ設定なしで通常動作モードの LPD（1 pin）で選択されます。

備 考

1. SHMT1、SHMT4、TTL の端子特性については「**第 47C 章 RH850/F1KM-S1 の電気的特性**」を参照してください。
2. リセット後の入力バッファは、タイプ 2（SHMT4）が選択されています。

2C.11.3.3　出力バッファ制御（PDSC）

本デバイスでは、ポートの出力ドライバの強度（低速モード、高速モード）を PDSCn レジスタで選択することができます。適用可能な端子を以下の表に示します。表以外のポートは低速モードのみサポートします。

表 2C.58　出力バッファ特性選択

ポート名	出力ドライバ強度選択		デバイス			
	低速モード（PDSCn_m＝0）	高速モード（PDSCn_m＝1）	48 Pin	64 Pin	80 Pin	100 Pin
JP0_1	10MHz	40MHz	○	○	○	○
JP0_2	10MHz	40MHz	○	○	○	○
JP0_3	10MHz	40MHz	○	○	○	○
JP0_5	10MHz	40MHz	○	○	○	○
P0_0	10MHz	40MHz	○	○	○	○
P0_1	10MHz	40MHz	○	○	○	○
P0_2	10MHz	40MHz 注 1	○	○	○	○
P0_3	10MHz	40MHz 注 1	○	○	○	○
P0_4	10MHz	40MHz	—	○	○	○
P0_5	10MHz	40MHz 注 2	—	○	○	○
P0_6	10MHz	40MHz 注 2	—	○	○	○
P0_7	10MHz	40MHz	—	—	○	○
P0_8	10MHz	40MHz	—	—	○	○
P0_9	10MHz	40MHz	—	—	○	○
P0_10	10MHz	40MHz	—	—	○	○
P0_11	10MHz	40MHz	—	—	○	○
P0_12	10MHz	40MHz	—	—	○	○
P0_13	10MHz	40MHz	—	—	—	○
P0_14	10MHz	40MHz	—	—	—	○
P10_0	10MHz	40MHz	○	○	○	○
P10_1	10MHz	40MHz 注 2	○	○	○	○
P10_2	10MHz	40MHz 注 2	○	○	○	○
P10_3	10MHz	40MHz	○	○	○	○
P10_4	10MHz	40MHz	○	○	○	○
P10_5	10MHz	40MHz	○	○	○	○
P10_6	10MHz	40MHz	○	○	○	○
P10_7	10MHz	40MHz	○	○	○	○
P10_8	10MHz	40MHz	○	○	○	○
P10_9	10MHz	40MHz	○	○	○	○
P10_10	10MHz	40MHz	○	○	○	○
P10_11	10MHz	40MHz	—	○	○	○
P10_12	10MHz	40MHz	—	○	○	○
P10_13	10MHz	40MHz	—	○	○	○
P10_14	10MHz	40MHz	—	○	○	○
P10_15	10MHz	40MHz	—	—	○	○
P11_0	10MHz	40MHz	—	—	○	○
P11_1	10MHz	40MHz	—	—	○	○
P11_2	10MHz	40MHz 注 2	—	—	○	○

表 2C.58　　出力バッファ特性選択

ポート名	出力ドライバ強度選択		デバイス			
	低速モード（PDSCn_m＝0）	高速モード（PDSCn_m＝1）	48 Pin	64 Pin	80 Pin	100 Pin
P11_3	10MHz	40MHz 注2	—	—	○	○
P11_4	10MHz	40MHz	—	—	○	○
P11_5	10MHz	40MHz	—	—	—	○
P11_6	10MHz	40MHz 注2	—	—	—	○
P11_7	10MHz	40MHz 注2	—	—	—	○

注1.　負荷容量 100pF 対応（CSIH0 の負荷容量を 100pF にした場合）

注2.　負荷容量 50pF 対応（CSIH1～CSIH3 の負荷容量を 50pF にした場合）

注3.　一部の機能では、高速モードまたは低速モードが指定されています。詳細は「**47C.5 AC 特性**」を参照してください。

2C.12　ノイズフィルタ＆エッジ／レベル検出回路

端子に入力された信号の中には、ノイズとグリッチを除去するためにフィルタを通過するものがあります。この製品ではアナログフィルタとデジタルフィルタの両方をサポートしています。

また、フィルタ通過後、エッジ検出／レベル検出する機能もサポートしています。

最初の節で、フィルタが割り当てられているポート入力端子とそのフィルタの種類、ノイズフィルタ＆エッジ／レベル検出制御レジスタと制御ビット、およびレジスタアドレスなどの概要を説明します。

デジタル／アナログフィルタ機能とノイズフィルタ＆エッジ／レベル検出制御レジスタの詳細は「**2C.13 ポートノイズフィルタ＆エッジ／レベル検出機能説明**」を参照してください。

備　考

本節のノイズフィルタ制御レジスタの<*name*>は、フィルタに接続の周辺機能を表します。

2C.12.1　ポートフィルタの割り当て

アナログまたは、デジタルフィルタを内蔵した入力端子の一覧を次に示します。

2C.12.1.1　アナログフィルタタイプ A 付き入力端子

アナログフィルタタイプ A の入力端子は、アナログフィルタおよびエッジ／レベル検出機能を搭載しています。エッジ／レベル検出は次のレジスタによって制御されます。

- フィルタ制御レジスタ FCLA0CTLm_<*name*>（m＝0～7）

  各アナログフィルタ付きポートにはそれぞれの端子に専用の FCLA0CTLm_<*name*>レジスタがあります。

表 2C.59　アナログフィルタタイプ A 付き入力端子

モジュール名	入力端子	FCLA0CTL レジスタ構成		デバイス			
		レジスタ	アドレス	48 Pin	64 Pin	80 Pin	100 Pin
FCLA0	NMI	FCLA0CTL0_NMI	FFC3 4000_H	○	○	○	○
	INTP0	FCLA0CTL0_INTPL	FFC3 4020_H	○	○	○	○
	INTP1	FCLA0CTL1_INTPL	FFC3 4024_H	○	○	○	○
	INTP2	FCLA0CTL2_INTPL	FFC3 4028_H	○	○	○	○
	INTP3	FCLA0CTL3_INTPL	FFC3 $402C_H$	○	○	○	○
	INTP4	FCLA0CTL4_INTPL	FFC3 4030_H	○	○	○	○
	INTP5	FCLA0CTL5_INTPL	FFC3 4034_H	○	○	○	○
	INTP6	FCLA0CTL6_INTPL	FFC3 4038_H	—	—	○	○
	INTP7	FCLA0CTL7_INTPL	FFC3 $403C_H$	—	—	○	○
	INTP8	FCLA0CTL0_INTPH	FFC3 4040_H	—	—	○	○
	INTP10	FCLA0CTL2_INTPH	FFC3 4048_H	○	○	○	○
	INTP11	FCLA0CTL3_INTPH	FFC3 $404C_H$	○	○	○	○
	INTP12	FCLA0CTL4_INTPH	FFC3 4050_H	—	—	○	○
	INTP13	FCLA0CTL5_INTPH	FFC3 4054_H	—	—	—	○

2C.12.1.2 アナログフィルタタイプ B 付き入力端子

アナログフィルタタイプ B の入力端子は、アナログフィルタを搭載しています。エッジ／レベル検出は各周辺機能のレジスタによって制御されます。

表 2C.60 アナログフィルタタイプ B 付き入力端子

入力端子	エッジ／レベル検出	デバイス			
		48 Pin	64 Pin	80 Pin	100 Pin
TAUJ0I0	エッジ検出注1	○	○	○	○
TAUJ0I1	エッジ検出注1	○	○	○	○
TAUJ0I2	エッジ検出注1	○	○	○	○
TAUJ0I3	エッジ検出注1	○	○	○	○
TAUJ1I0	エッジ検出注1	○	○	○	○
TAUJ1I1	エッジ検出注1	○	○	○	○
TAUJ1I2	エッジ検出注1	○	○	○	○
TAUJ1I3	エッジ検出注1	○	○	○	○
TAUJ2I0	エッジ検出注1	○	○	○	○
TAUJ2I1	エッジ検出注1	○	○	○	○
TAUJ2I2	エッジ検出注1	○	○	○	○
TAUJ2I3	エッジ検出注1	○	○	○	○
TAUJ3I0	エッジ検出注1	○	○	○	○
TAUJ3I1	エッジ検出注1	○	○	○	○
TAUJ3I2	エッジ検出注1	○	○	○	○
TAUJ3I3	エッジ検出注1	○	○	○	○
TAPA0ESO	エッジ検出注2	○	○	○	○
KR0I0	ロウレベル検出	○	○	○	○
KR0I1	ロウレベル検出	○	○	○	○
KR0I2	ロウレベル検出	○	○	○	○
KR0I3	ロウレベル検出	○	○	○	○
KR0I4	ロウレベル検出	○	○	○	○
KR0I5	ロウレベル検出	○	○	○	○
KR0I6	ロウレベル検出	—	○	○	○
KR0I7	ロウレベル検出	—	○	○	○

注1. TAUJ のエッジ検出についての詳細は、**「33.3.3.4 TAUJnCMURm — TAUJn チャネルモードユーザレジスタ」**を参照してください。

注2. TAPA のエッジ検出についての詳細は、**「36.3.2 TAPAnCTL0 — TAPA 制御レジスタ 0」**を参照してください。

2C.12.1.3　アナログフィルタタイプ C 付き入力端子

アナログフィルタタイプ C の入力端子は、アナログフィルタ機能のみ搭載しています。

表 2C.61　アナログフィルタタイプ C 付き入力信号

入力端子
FLMD0
FLMD1
MODE0
MODE1
MODE2
$\overline{\text{RESET}}$
$\overline{\text{DCUTRST}}$

2C.12.1.4　デジタルフィルタタイプ D 付き入力端子

デジタルフィルタタイプ D の入力端子は、デジタルフィルタおよびエッジ検出機能を搭載しています。デジタルフィルタおよびエッジ検出は次のレジスタによって制御されます。

- フィルタ制御レジスタ FCLA0CTLm_<*name*>（m＝0～2）

  各デジタルフィルタ付きポートには専用の FCLA0CTLm_<*name*>レジスタがあります。

- デジタルノイズ除去制御レジスタ DNFA<*name*>CTL

  各 DNFA<*name*>CTL 制御レジスタは、1 グループにつき 3 つの入力信号のデジタルフィルタ処理を制御します。

- デジタルノイズ除去許可レジスタ DNFA<*name*>EN

  DNFA<*name*>EN の DNFA<*name*>ENL[2:0]ビットの設定で、1 グループにつき 3 つの入力信号のデジタルノイズ除去を許可／禁止します。

表 2C.62　デジタルフィルタタイプ D 付き入力端子

入力端子	デバイス				デジタルノイズ除去制御レジスタ		デジタルノイズ除去許可レジスタ			フィルタ制御レジスタ	
	48 Pin	64 Pin	80 Pin	100 Pin	制御レジスタ	アドレス	制御レジスタ	制御ビット	アドレス	制御レジスタ	アドレス
ADCA0TRG0	○	○	○	○	DNFA ADCTL0CTL	FFC3 00A0$_H$	DNFA ADCTL0EN（DNFA ADCTL0ENL）	DNFA ADCTL0ENL0	FFC3 00A4$_H$（FFC3 00AC$_H$）	FCLA0CTL0 _ADC0	FFC3 4060$_H$
ADCA0TRG1	○	○	○	○				DNFA ADCTL0ENL1		FCLA0CTL1 _ADC0	FFC3 4064$_H$
ADCA0TRG2	○	○	○	○				DNFA ADCTL0ENL2		FCLA0CTL2 _ADC0	FFC3 4068$_H$

2C.12.1.5　　デジタルフィルタタイプ E 付き入力端子

デジタルフィルタタイプ E の入力端子は、デジタルフィルタを搭載しています。デジタルフィルタは次のレジスタによって制御されます。エッジ検出は各周辺機能のレジスタによって制御されます。

- デジタルノイズ除去制御レジスタ DNFA<*name*>CTL

  各 DNFA<*name*>CTL 制御レジスタは、1 グループにつき最大で 16 の入力信号のデジタルフィルタ処理を制御します。

- デジタルノイズ除去許可レジスタ DNFA<*name*>EN

  DNFA<*name*>EN の DNFA<*name*>ENL[7:0]ビット、および DNFA<*name*>ENH[7:0]ビットの設定で、1 グループにつき最大で 16 の入力信号のデジタルノイズ除去を許可／禁止します。

表 2C.63　　デジタルフィルタタイプ E 付き入力端子

入力端子	デバイス				デジタルノイズ除去制御レジスタ		デジタルノイズ除去許可レジスタ			エッジ検出
	48 Pin	64 Pin	80 Pin	100 Pin	制御レジスタ	アドレス	制御レジスタ	制御ビット	アドレス	レジスタ名
TAUD0I0	○	○	○	○	DNFA TAUD0ICTL	FFC3 0000H	DNFATAUD0IEN（DNFA TAUD0IENH/ DNFA TAUD0IENL）	DNFATAUD0IENL0	FFC3 0004H（FFC3 0008H/ FFC3 000CH）	注1
TAUD0I1	○	○	○	○				DNFATAUD0IENL1		
TAUD0I2	○	○	○	○				DNFATAUD0IENL2		
TAUD0I3	○	○	○	○				DNFATAUD0IENL3		
TAUD0I4	○	○	○	○				DNFATAUD0IENL4		
TAUD0I5	○	○	○	○				DNFATAUD0IENL5		
TAUD0I6	○	○	○	○				DNFATAUD0IENL6		
TAUD0I7	○	○	○	○				DNFATAUD0IENL7		
TAUD0I8	○	○	○	○				DNFATAUD0IENH0		
TAUD0I9	○	○	○	○				DNFATAUD0IENH1		
TAUD0I10	○	○	○	○				DNFATAUD0IENH2		
TAUD0I11	○	○	○	○				DNFATAUD0IENH3		
TAUD0I12	○	○	○	○				DNFATAUD0IENH4		
TAUD0I13	○	○	○	○				DNFATAUD0IENH5		
TAUD0I14	○	○	○	○				DNFATAUD0IENH6		
TAUD0I15	○	○	○	○				DNFATAUD0IENH7		
TAUB0I0	—	—	○	○	DNFA TAUB0ICTL	FFC3 0020H	DNFATAUB0IEN（DNFA TAUB0IENH/ DNFA TAUB0IENL）	DNFATAUB0IENL0	FFC3 0024H（FFC3 0028H/ FFC3 002CH）	注2
TAUB0I1	—	—	○	○				DNFATAUB0IENL1		
TAUB0I2	—	—	○	○				DNFATAUB0IENL2		
TAUB0I3	—	—	○	○				DNFATAUB0IENL3		
TAUB0I4	—	—	○	○				DNFATAUB0IENL4		
TAUB0I5	—	—	○	○				DNFATAUB0IENL5		
TAUB0I6	—	—	○	○				DNFATAUB0IENL6		
TAUB0I7	—	—	○	○				DNFATAUB0IENL7		
TAUB0I8	—	—	○	○				DNFATAUB0IENH0		
TAUB0I9	—	—	○	○				DNFATAUB0IENH1		
TAUB0I10	—	—	○	○				DNFATAUB0IENH2		
TAUB0I11	—	—	○	○				DNFATAUB0IENH3		
TAUB0I12	—	—	○	○				DNFATAUB0IENH4		
TAUB0I13	—	—	○	○				DNFATAUB0IENH5		
TAUB0I14	—	—	○	○				DNFATAUB0IENH6		
TAUB0I15	—	—	○	○				DNFATAUB0IENH7		
ENCA0TIN0	○	○	○	○	DNFA ENCA0ICTL	FFC3 0060H	DNFAENCA0IEN（DNFA ENCA0IENL）	DNFAENCA0IENL0	FFC3 0064H（FFC3 006CH）	注3
ENCA0TIN1	○	○	○	○				DNFAENCA0IENL1		
ENCA0E0	○	○	○	○				DNFAENCA0IENL2		
ENCA0E1	○	○	○	○				DNFAENCA0IENL3		
ENCA0EC	○	○	○	○				DNFAENCA0IENL4		

表 2C.63　デジタルフィルタタイプ E 付き入力端子

入力端子	デバイス				デジタルノイズ除去制御レジスタ		デジタルノイズ除去許可レジスタ			エッジ検出
	48 Pin	64 Pin	80 Pin	100 Pin	制御レジスタ	アドレス	制御レジスタ	制御ビット	アドレス	レジスタ名
SENT0RX	○	○	○	○	DNFA SENTICTL	FFC3 00E0H	DNFASENTIEN（DNFA SENTIENL）	DNFASENTIENL0	FFC3 00E4H（FFC3 00ECH）	—注4
SENT1RX	○	○	○	○				DNFASENTIENL1		

注1.　TAUD のエッジ検出設定については、「**32.3.3.4 TAUDnCMURm — TAUDn チャネルモードユーザレジスタ**」を参照してください。

注2.　TAUB のエッジ検出設定については、「**31.3.3.4 TAUBnCMURm — TAUBn チャネルモードユーザレジスタ**」を参照してください。

注3.　ENCA のエッジ検出設定については、「**35.3.3 ENCAnIOC0 — ENCAn I/O 制御レジスタ 0**」を参照してください。

注4.　RSENT はエッジ検出に対応していません。

2C.12.2 ポートフィルタのクロック供給

下記の表に各ポートドメインのフィルタタイプごとのクロック供給を示します。

表 2C.64 ポートフィルタのクロック供給

周辺機能	ポートドメイン注1	フィルタタイプ	フィルタクロック	設定レジスタ	
				ソースクロック選択	クロック選択
ADCA0	Always-On エリア（AWO エリア）	デジタルフィルタタイプ D	DNFATCKI	CKSC_AADCAS_CTL	CKSC_AADCAD_CTL
TAUD0	Isolated エリア（ISO エリア）	デジタルフィルタタイプ E	DNFATCKI	CKSC_IPERI1S_CTL	—
TAUB0	Isolated エリア（ISO エリア）	デジタルフィルタタイプ E	DNFATCKI	CKSC_IPERI2S_CTL	—
ENCA0	Isolated エリア（ISO エリア）	デジタルフィルタタイプ E	DNFATCKI	CKSC_IPERI1S_CTL	—
RSENTn	Isolated エリア（ISO エリア）	デジタルフィルタタイプ E	DNFATCKI	CKSC_IPERI2S_CTL	—

注1. 電源ドメイン

備 考

レジスタの設定については、「**12C.4.3 クロックセレクタコントロールレジスタ**」を参照してください。

2C.13　ポートノイズフィルタ＆エッジ／レベル検出機能説明

フィルタする外部入力信号の用途に応じて、外部信号は異なるタイプのフィルタを通過します。

備　考

本節のノイズフィルタ制御レジスタの<*name*>は、フィルタに接続の周辺機能を表します。

2C.13.1　概要

2C.13.1.1　アナログフィルタタイプ

アナログフィルタは固定の特性を備えています。

- タイプ A：エッジ検出またはレベル検出をともなうアナログフィルタです。
  外部割り込み信号に使用されています。
- タイプ B：アナログフィルタです。
  エッジ検出は各周辺機能より行われます。タイマ入力信号、Hi-Z 制御非同期入力信号およびキーリターン入力信号に使用されています。
- タイプ C：アナログフィルタのみです。
  外部 $\overline{\text{RESET}}$ 入力およびモード信号に使用されます。

2C.13.1.2　デジタルフィルタタイプ

デジタルフィルタの特性はアプリケーションのニーズに合わせて調整できます。

- タイプ D：エッジ検出をともなうデジタルフィルタです。
  コンバータの外部トリガ端子に使用されています。
- タイプ E：デジタルフィルタです。
  エッジ検出は各周辺機能より行われます。タイマ入力信号およびエンコーダ入力信号に使用されています。

2C.13.2　アナログフィルタ

2C.13.2.1　アナログフィルタ特性

アナログフィルタを内蔵する端子の入力信号は「**第 47C 章 RH850/F1KM-S1 の電気的特性**」の入力条件を参照してください。

2C.13.2.2　アナログフィルタ制御レジスタ

アナログフィルタを備えた入力信号には、それぞれ専用の制御レジスタ FCLA0CTLm_<*name*>または各周辺マクロ内の制御レジスタが用意されています。

制御レジスタと入力信号との対応、および各レジスタのアドレスについては、「**表 2C.59 アナログフィルタタイプ A 付き入力端子**」を参照してください。

2C.13.2.3　スタンバイモードでのアナログフィルタ

DeepSTOP からのウェイクアップ機能に属するアナログフィルタは Always-On エリア（AWO エリア）に配置されています。Always-On エリア（AWO エリア）のアナログフィルタは常に動作しています。

スタンバイモードにおけるアナログフィルタとそのウェイクアップ機能はフィルタタイプに依存します。以下のアナログフィルタタイプの説明を参照して下さい。

(1) アナログフィルタタイプ A

次にアナログフィルタタイプ A のブロック図を示します。

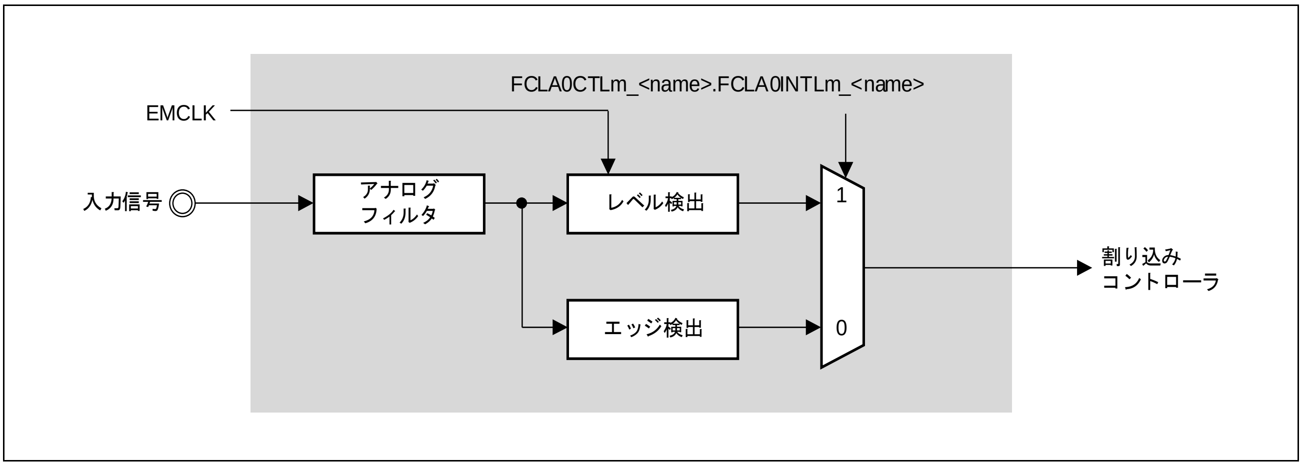


図 2C.12　アナログフィルタタイプ A のブロック図

外部信号がアナログフィルタを通過してノイズとグリッチを除去したあと、信号のレベルまたはその変化（エッジ）によってイベントを検出すると、それに応じた信号を発生します。

検出モードは制御ビット FCLA0CTLm_<*name*>.FCLA0INTLm_<*name*>で選択します。

- FCLA0INTLm_<*name*>ビット＝0：エッジ検出モード

  FCLA0CTLm_<*name*>.FCLA0INTRm_<*name*>ビットと FCLA0CTLm_<*name*>.FCLA0INTFm_<*name*>ビットの設定に応じて、それぞれ立ち上がりエッジまたは立ち下がりエッジを検出することができます。

- FCLA0INTLm_<*name*>ビット＝1：レベル検出モード

  FCLA0CTLm_<*name*>.FCLA0INTRm_<*name*>ビットの設定に応じて、ハイレベルまたはロウレベルを検出することができます。

アナログフィルタの検出条件を次の表に示します。

表 2C.65 アナログフィルタイベント検出条件

FCLA0INTLm_<*name*>	FCLA0INTFm_<*name*>	FCLA0INTRm_<*name*>	エッジ検出モード	レベル検出モード
0	0	0	検出しない	無効
	0	1	立ち上がりエッジ	
	1	0	立ち下がりエッジ	
	1	1	両エッジ	
1	X	0	無効	ロウレベル
	X	1		ハイレベル

スタンバイモードのアナログフィルタタイプ A

アナログフィルタタイプ A の出力信号は、常にスタンバイモードウェイクアップ信号として使用できます。

(2) アナログフィルタタイプ B

次にアナログフィルタタイプ B のブロック図を示します。

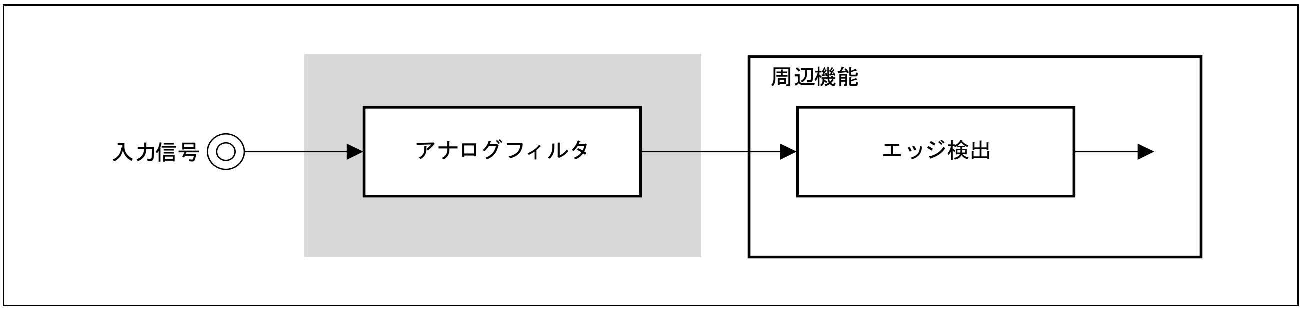


図 2C.13 アナログフィルタタイプ B のブロック図

スタンバイモードでのアナログフィルタタイプ B

アナログフィルタタイプ B の出力信号は、常にスタンバイモードウェイクアップ信号として使用できます。

(3) アナログフィルタタイプ C

次にアナログフィルタタイプ C のブロック図を示します。

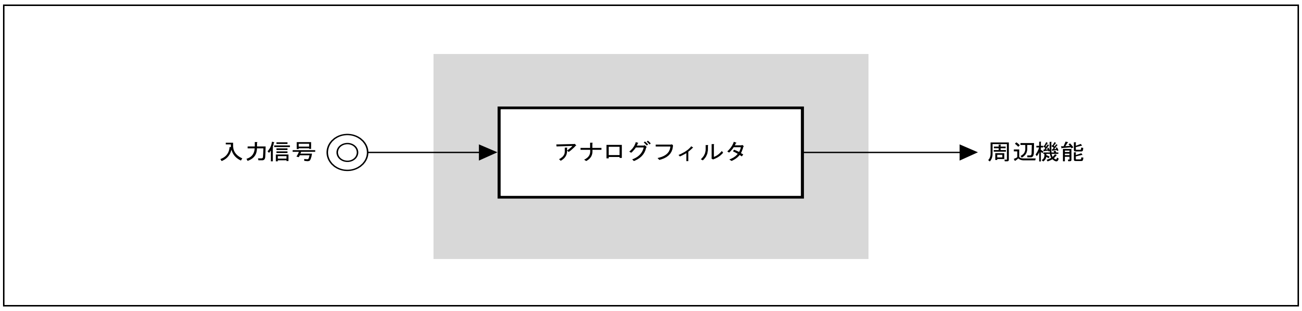


図 2C.14　　アナログフィルタタイプ C のブロック図

発生する信号は、常にアナログフィルタを通過した入力信号です。

スタンバイモードでのアナログフィルタタイプ C

本製品のアナログフィルタタイプ C を搭載した端子は、スタンバイモードからのウェイクアップ要因に対応しません。

2C.13.3　デジタルフィルタ

2C.13.3.1　デジタルフィルタ特性

デジタルフィルタは、アプリケーションのニーズに合わせてフィルタ特性を調整できます。

入力信号はサンプリング周波数 f_S でサンプリングされます。

サンプリングしたレベルが指定された数連続して同じレベル（ハイまたはロウ）であったとき、その信号レベルを有効と判断し、それに応じて出力信号を設定します。

指定された数サンプリングしたレベル（同レベルのサンプル）の中で外部信号のレベルが変化した場合、その信号レベルをノイズと判断します。フィルタ出力信号は変化しません。

外部信号をノイズとして判断するときのパルス長は、サンプリング周波数および指定された同レベルのサンプル数によって変わります。

いずれのパラメータも設定可能です。

- DNFA<*name*>CTL.DNFA<*name*>PRS[2:0]を設定することによって、

  $f_S = f_{DNFATCKI} / 2^{DNFA<name>PRS[2:0]}$

  （$f_{DNFATCKI}$ は DNFATCKI クロックの周波数）に基づいてサンプリング周波数を選択することができます。

- DNFA<*name*>CTL.DNFA<*name*>NFSTS[1:0]で同レベルのサンプル数（2～5）を指定します。

  s＝DNFA<*name*>NFSTS[1:0] + 2

以下よりも短い外部信号パルスは常に抑制されます。

$s \times 1/f_S$

以下よりも長い外部信号パルスは常に有効と判断され、フィルタ出力へ送られます。

$(s + 1) \times 1/f_S$

以下の範囲内の外部信号パルスは抑制される場合もあれば、有効と判断される場合もあります。

$s \times 1/f_S$～$(s + 1) \times 1/f_S$

DNFA<*name*>NFSTS[1:0]＝01_B（同レベルのサンプル数：3）としたときのフィルタ動作例を次の図に示します。

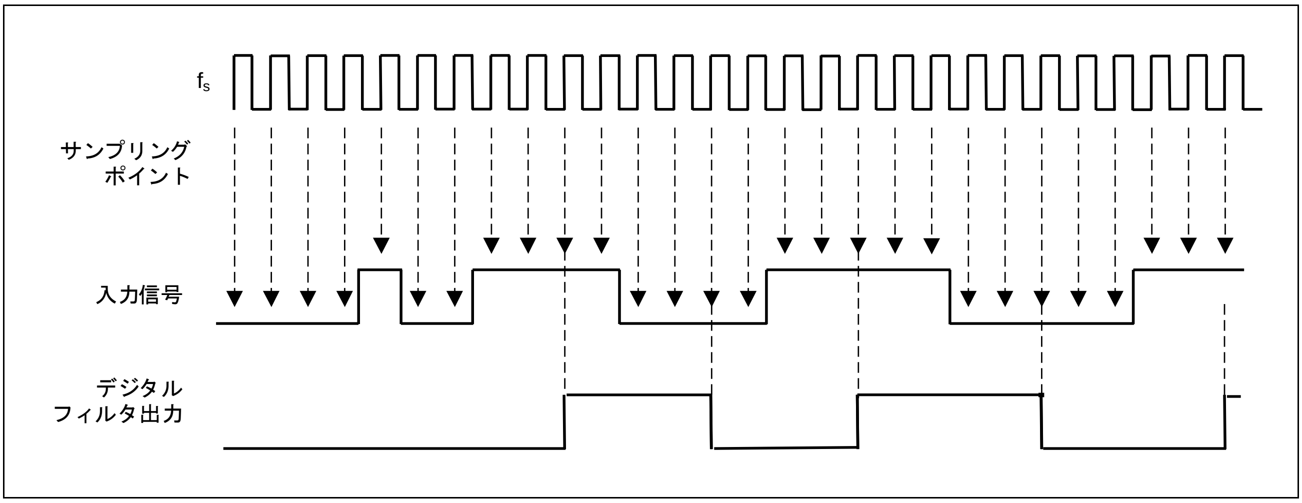


図 2C.15　デジタルフィルタ機能

2C.13.3.2　デジタルフィルタグループ

デジタルフィルタ付き入力信号は、最大 16 信号までを 1 つのグループとした信号グループで構成されています。

デジタルフィルタの特性は、DNFA<*name*>CTL.DNFA<*name*>PRS[2:0]と DNFA<*name*>NFSTS[1:0]で指定し、信号グループ単位で適用されます。

ただし、デジタルフィルタの有効／無効は、DNFA<*name*>EN.DNFA<*name*>ENLm（m＝0～7）および DNFA<*name*>EN.DNFA<*name*>ENHm（m＝0～7）によって信号ごとに設定できます。

注　意

1. デジタルフィルタの出力信号を兼用機能に入力する場合、デジタルフィルタを有効（DNFA<*name*>EN.DNFA<*name*>ENLm（m＝0～7）＝1 および DNFA<*name*>EN.DNFA<*name*>ENHm（m＝0～7）＝1）にし、次の時間を経過した後にポート端子を兼用機能に切り替えてください。
   s＝DNFA<*name*>NFSTS[1:0] + 2
   $s \times 1/f_S + 2 \times 1/f_{DNFATCKI}$
2. デジタルフィルタのイベント出力信号を割り込みとして使用する場合は、割り込み禁止状態でデジタルフィルタを有効（DNFA<*name*>EN.DNFA<*name*>ENLm（m＝0～7）＝1 および DNFA<*name*>EN.DNFA<*name*>ENHm（m＝0～7）＝1）にしてください。また、デジタルフィルタを有効にしてから次の時間を経過した後に割り込み要求フラグをクリアした上で、割り込みを許可してください。
   $s \times 1/f_S + 3 \times 1/f_{DNFATCKI}$

2C.13.3.3　スタンバイモードのデジタルフィルタ

DeepSTOP からのウェイクアップ機能に属するデジタルフィルタは Always-On エリア（AWO エリア）に配置されています。Always-On エリア（AWO エリア）のデジタルフィルタは常に動作しています。

デジタルノイズ除去を行うには、クロック供給 DNFATCKI が動作している必要があります。

本製品のデジタルフィルタを搭載した端子はスタンバイモードからのウェイクアップ要因に対応しません。

2C.13.3.4 デジタルフィルタ制御レジスタ

最大 16 個のデジタルフィルタで構成される各グループに対して、デジタルノイズ除去制御レジスタ DNFA<*name*>CTL およびデジタルノイズ除去許可レジスタ DNFA<*name*>EN は、同じグループ内（周辺機能グループを<*name*>で表示）の全フィルタに対して設定を行います。

DNFA<*name*>CTL レジスタは、<*name*>のデジタルフィルタに対して、デジタルノイズ除去フィルタの特性を設定します。

DNFA<*name*>EN レジスタは DNFA<*name*>EN.DNFA<*name*>ENLm（m＝0〜7）および DNFA<*name*>EN.DNFA<*name*>ENHm（m＝0〜7）の個々のビットで各フィルタの有効／無効を設定します。

エッジ検出の設定は、フィルタ専用制御レジスタおよび、各周辺機能のレジスタによって行います。

FCLA0CTLm_ADCn レジスタは、1 つのレジスタグループ表示に 3 つのレジスタで構成されています。レジスタインデクス n の範囲は 0〜1 です。

制御レジスタと入力信号との対応、および各レジスタのアドレスについては、「**2C.12.1 ポートフィルタの割り当て**」内の「**表 2C.62 デジタルフィルタタイプ D 付き入力端子**」および「**表 2C.63 デジタルフィルタタイプ E 付き入力端子**」を参照してください。

注　意

DNFA<*name*>EN.DNFA<*name*>ENLm（m＝0〜7）＝1 および DNFA<*name*>EN.DNFA<*name*>ENHm（m＝0〜7）＝1 で関連するデジタルフィルタを有効にしている間は制御レジスタの設定は変えないでください。変更した場合、予期しないフィルタ出力が発生するおそれがあります。

(1) デジタルフィルタタイプ D

次にデジタルフィルタタイプ D のブロック図を示します。

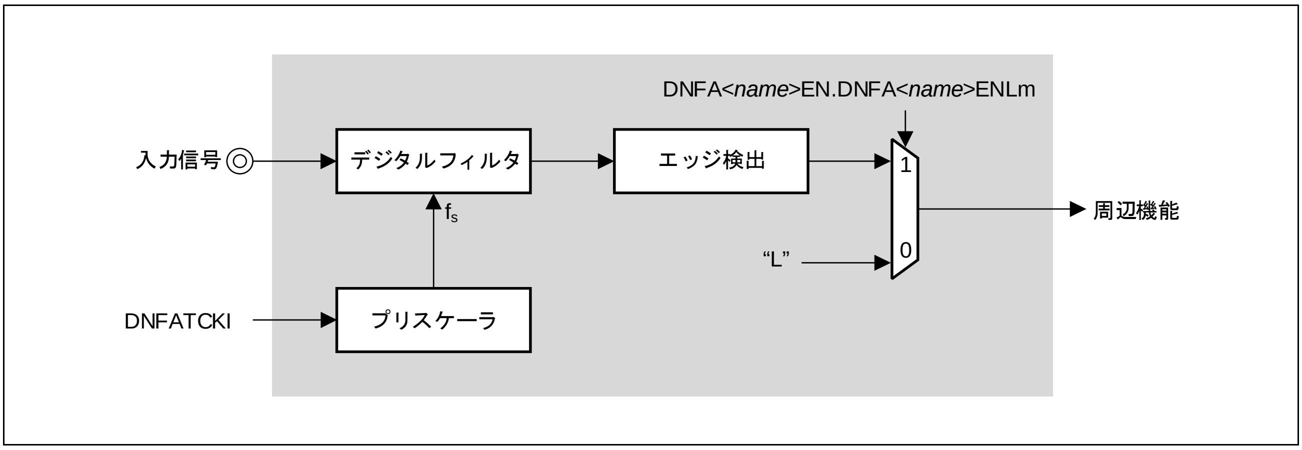


図 2C.16　デジタルフィルタタイプ D のブロック図

次の表に示すように、デジタルフィルタタイプ D で生成された信号はレジスタ設定に依存します。

表 2C.66　デジタルフィルタタイプ D の出力オプション

DNFA<*name*>EN.DNFA<*name*>ENLm	各周辺機能への出力信号
0	ロウレベルに固定
1	フィルタを通過した入力信号

(2) デジタルフィルタタイプ E

次にデジタルフィルタタイプ E のブロック図を示します。

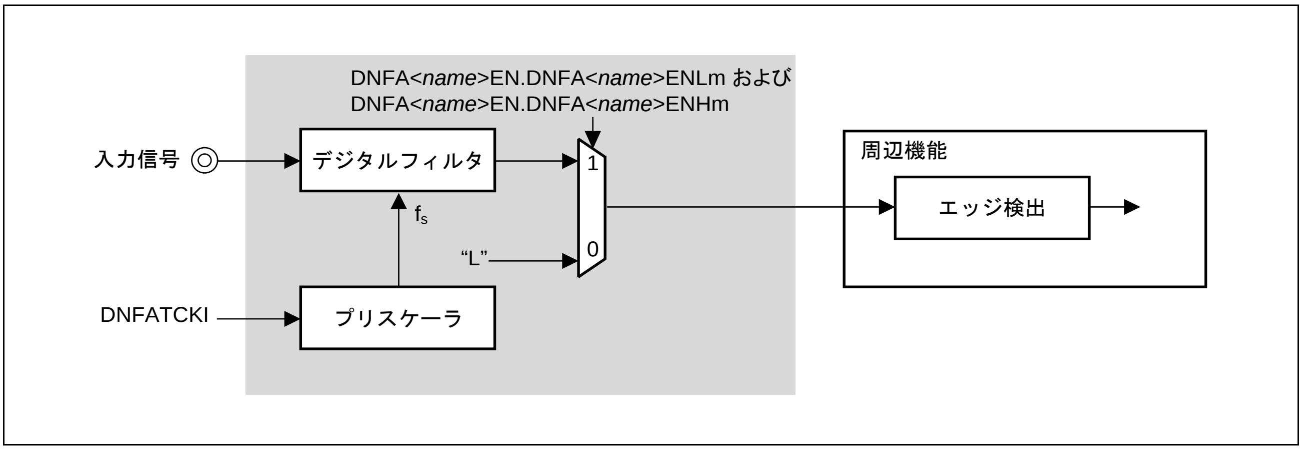


図 2C.17 デジタルフィルタタイプ E のブロック図

次の表に示すように、デジタルフィルタタイプ E で生成された信号はレジスタ設定に依存します。

表 2C.67 デジタルフィルタタイプ E の出力オプション

DNFA<*name*>EN.DNFA<*name*>ENLm および DNFA<*name*>EN.DNFA<*name*>ENHm	各周辺機能への出力信号
0	ロウレベルに固定
1	フィルタを通過した入力信号

2C.13.4 フィルタ制御レジスタ

アナログフィルタおよびデジタルフィルタは、次のレジスタによって制御、動作します。

表 2C.68 フィルタレジスタ一覧

モジュール名	レジスタ名	略号	アドレス
FCLA0	フィルタ制御レジスタ m	FCLA0CTLm_<*name*>	各レジスタのアドレスについては、「**2C.12.1 ポートフィルタの割り当て**」内の各表を参照してください。
DNF	デジタルノイズ除去制御レジスタ	DNFA<*name*>CTL	
	デジタルノイズ除去許可レジスタ	DNFA<*name*>EN	
	デジタルノイズ除去許可レジスタ H	DNFA<*name*>ENH	
	デジタルノイズ除去許可レジスタ L	DNFA<*name*>ENL	

2C.13.4.1 FCLA0CTLm_<*name*> — フィルタ制御レジスタ

アナログフィルタおよびデジタルフィルタの動作を制御します

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　FCLA0CTLm_<*name*>レジスタと入力信号の対応、および各レジスタのアドレスについては、「**2C.12.1 ポートフィルタの割り当て**」内の各表を参照してください。

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	FCLA0INTLm_<*name*>	FCLA0INTFm_<*name*>	FCLA0INTRm_<*name*>
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 2C.69　FCLA0CTLm_<*name*>レジスタの内容

ビット位置	ビット名	機能
7～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	FCLA0INTLm_<*name*>	検出モード選択 0：エッジ検出モード 1：レベル検出モード **備考）** このビットはアナログフィルタタイプ A でのみ有効です。
1	FCLA0INTFm_<*name*>	● レベル検出モード（FCLA0INTLm_<*name*>ビット＝1）時：このビットによる影響なし ● エッジ検出モード（FCLA0INTLm_<*name*>ビット＝0）時：立ち下がりエッジ検出制御 0：立ち下がりエッジ検出無効 1：立ち下がりエッジ検出有効 **備考）** このビットはアナログフィルタタイプ A とデジタルフィルタタイプ D でのみ有効です。ただし、デジタルフィルタタイプ D はエッジ検出モードになります。
0	FCLA0INTRm_<*name*>	● レベル検出モード（FCLA0INTLm_<*name*>ビット＝1）時：検出レベル選択 0：ロウレベル検出 1：ハイレベル検出 ● エッジ検出モード（FCLA0INTLm_<*name*>ビット＝0）時：立ち上がりエッジ検出制御 0：立ち上がりエッジ検出無効 1：立ち上がりエッジ検出有効 **備考）** このビットはアナログフィルタタイプ A とデジタルフィルタタイプ D でのみ有効です。ただし、デジタルフィルタタイプ D はエッジ検出モードになります。

注　意

デジタルフィルタタイプ D：ビット 2 には必ず 0 を設定してください。

2C.13.4.2 DNFA<*name*>CTL — デジタルノイズ除去制御レジスタ

デジタルノイズ除去フィルタの特性を指定します。

備　考

このレジスタはデジタルフィルタタイプ D とデジタルフィルタタイプ E でのみ有効です。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　DNFA<*name*>CTL レジスタと入力信号の対応、および各レジスタのアドレスについては、「**2C.12.1 ポートフィルタの割り当て**」内の「**表 2C.62 デジタルフィルタタイプ D 付き入力端子**」および「**表 2C.63 デジタルフィルタタイプ E 付き入力端子**」を参照してください。

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	DNFA<*name*>NFSTS[1:0]		—	—	DNFA<*name*>PRS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R	R	R/W	R/W	R/W

表 2C.70　DNFA<*name*>CTL レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6、5	DNFA<*name*> NFSTS[1:0]	DNFA<*name*>NFSTS[1:0]ビットは、外部信号パルスの有効／無効を判断する際のサンプル数を指定します。 DNFA<*name*>NFSTS[1:0] / サンプル数 00_B / 2 01_B / 3 10_B / 4 11_B / 5
4、3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2〜0	DNFA<*name*> PRS[2:0]	デジタルフィルタサンプリングクロック選択 DNFA<*name*>PRS[2:0] / サンプリングクロック周波数 000_B / DNFATCKI/1 001_B / DNFATCKI/2 010_B / DNFATCKI/4 011_B / DNFATCKI/8 100_B / DNFATCKI/16 101_B / DNFATCKI/32 110_B / DNFATCKI/64 111_B / DNFATCKI/128

2C.13.4.3　DNFA<*name*>EN — デジタルノイズ除去許可レジスタ

任意の入力信号のデジタルノイズ除去を有効／無効にします。

備　考

このレジスタはデジタルフィルタタイプ D とデジタルフィルタタイプ E でのみ有効です。

アクセス　16 ビット単位でリード／ライト可能です。

上位バイト DNFA<*name*>ENH[7:0]および下位バイト DNFA<*name*>ENL[7:0]は、DNFA<*name*>ENH/DNFA<*name*>ENL を設定することによりそれぞれ 8/1 ビット単位でアクセス可能です。

アドレス　DNFA<*name*>EN レジスタと入力信号の対応、および各レジスタのアドレスについては、「**2C.12.1 ポートフィルタの割り当て**」内の「**表 2C.62 デジタルフィルタタイプ D 付き入力端子**」および「**表 2C.63 デジタルフィルタタイプ E 付き入力端子**」を参照してください。

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DNFA<*name*>ENH7	DNFA<*name*>ENH6	DNFA<*name*>ENH5	DNFA<*name*>ENH4	DNFA<*name*>ENH3	DNFA<*name*>ENH2	DNFA<*name*>ENH1	DNFA<*name*>ENH0	DNFA<*name*>ENL7	DNFA<*name*>ENL6	DNFA<*name*>ENL5	DNFA<*name*>ENL4	DNFA<*name*>ENL3	DNFA<*name*>ENL2	DNFA<*name*>ENL1	DNFA<*name*>ENL0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 2C.71　DNFA<*name*>EN レジスタの内容

ビット位置	ビット名	機能
15～0	DNFA<*name*>ENH[7:0] DNFA<*name*>ENL[7:0]	デジタルノイズ除去有効／無効制御 0：ロウレベルに固定 1：フィルタを通過した入力信号

2C.13.4.4 DNFA<*name*>ENH — デジタルノイズ除去許可レジスタ H

このレジスタの設定は、DNFA<*name*>EN レジスタの上位 8 ビットと一致します。

備 考

このレジスタはデジタルフィルタタイプ E でのみ有効です。

アクセス 8/1 ビット単位でリード／ライト可能です。

アドレス DNFA<name>ENH レジスタと入力信号の対応、および各レジスタのアドレスについては、「**2C.12.1 ポートフィルタの割り当て**」内の「**表 2C.63 デジタルフィルタタイプ E 付き入力端子**」を参照してください。

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	DNFA<*name*>ENH7	DNFA<*name*>ENH6	DNFA<*name*>ENH5	DNFA<*name*>ENH4	DNFA<*name*>ENH3	DNFA<*name*>ENH2	DNFA<*name*>ENH1	DNFA<*name*>ENH0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

各ビット機能の詳細については、「**2C.13.4.3 DNFA<name>EN — デジタルノイズ除去許可レジスタ**」を参照してください。

2C.13.4.5 DNFA<*name*>ENL — デジタルノイズ除去許可レジスタ L

このレジスタの設定は、DNFA<*name*>EN レジスタの下位 8 ビットと一致します。

備 考

このレジスタはデジタルフィルタタイプ D とデジタルフィルタタイプ E でのみ有効です。

アクセス 8/1 ビット単位でリード／ライト可能です。

アドレス DNFA<*name*>ENL レジスタと入力信号の対応、および各レジスタのアドレスについては、「**2C.12.1 ポートフィルタの割り当て**」内の「**表 2C.62 デジタルフィルタタイプ D 付き入力端子**」および「**表 2C.63 デジタルフィルタタイプ E 付き入力端子**」を参照してください。

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	DNFA<*name*>ENL7	DNFA<*name*>ENL6	DNFA<*name*>ENL5	DNFA<*name*>ENL4	DNFA<*name*>ENL3	DNFA<*name*>ENL2	DNFA<*name*>ENL1	DNFA<*name*>ENL0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

各ビット機能の詳細については、「**2C.13.4.3 DNFA<name>EN — デジタルノイズ除去許可レジスタ**」を参照してください。

第3A章　RH850/F1KH-D8 の CPU システム

3A.1　概要

3A.1.1　ブロック構成

RH850/F1KH のブロック構成を「**図 3A.1 RH850/F1KH-D8 ブロック構成**」に示します。

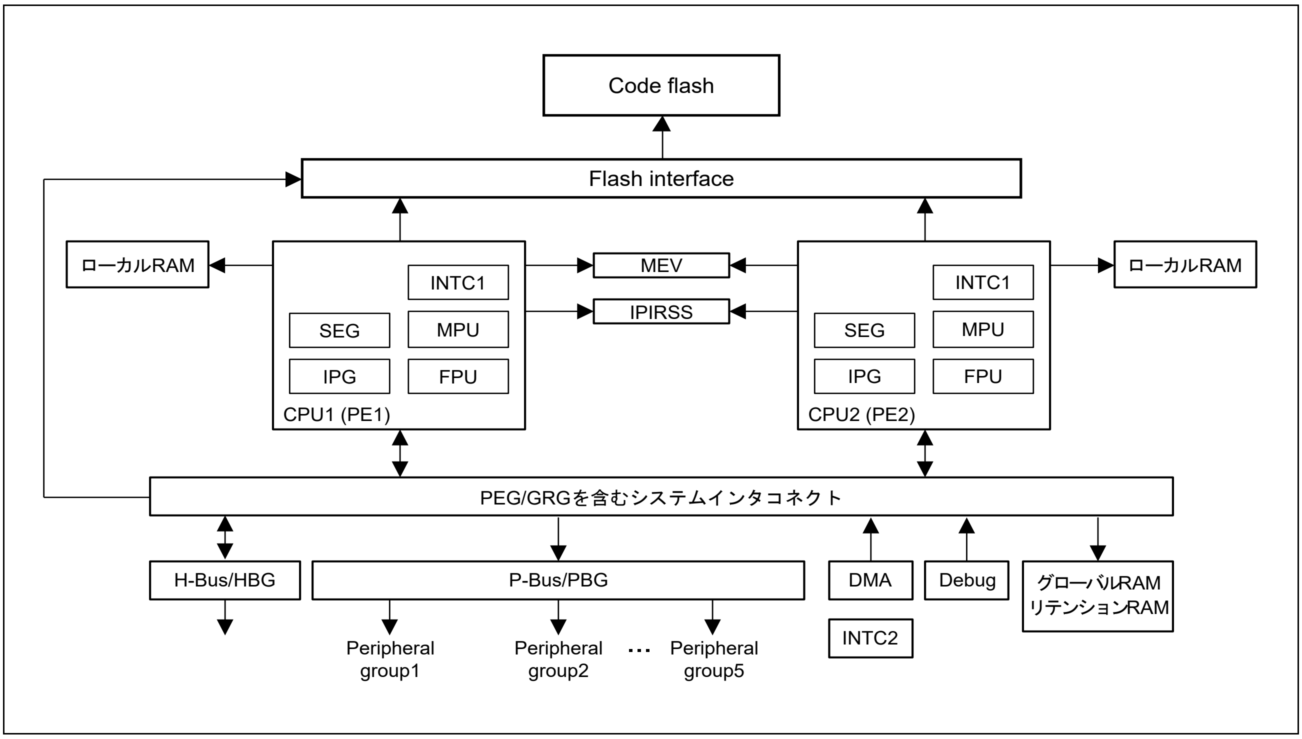


図 3A.1　RH850/F1KH-D8 ブロック構成

CPU1（PE1）

メイン CPU として、RH850G3KH2.0 コアを搭載します。

CPU2（PE2）

高性能 CPU として、RH850G3KH2.0 コアを搭載します。

ローカル RAM（Local RAM）

CPU ごとに、高速アクセス可能な RAM を持ちます。

グローバル RAM（Global RAM）

グローバル RAM は、CPU および DMA 間のデータ共有に使用される、大容量 RAM です。

リテンション RAM（Retention RAM）

DeepSTOP モードで値を保持します。グローバル RAM 領域とリテンション RAM 領域は連続して割り当てられているため、DMA とのデータ共有を目的としたグローバル RAM としてリテンション RAM を使用することも可能です。

コードフラッシュ（Code Flash）

プログラム格納用に、Code Flash を搭載しています。CPU1 および CPU2 に Flash Interface を介して接続します。

データフラッシュ（Data Flash）

CPU から書き換え可能な Flash メモリです。コードフラッシュと比較して大きな書き換え回数を持つフラッシュメモリです。

P-Bus、H-Bus

周辺 IP を接続するバスです。P-Bus は、Peripheral Group 1～5 に分かれています。

INTC1、INTC2

割り込みコントローラは INTC1 と INTC2 に分かれています。INTC1 は CPU ごとに固有の割り込みコントローラです。INTC2 は CPU1、CPU2 共有の割り込みコントローラで、割り込み要求のバインド先 PE をレジスタで設定できます。

DMA

DMA 転送モジュール（PDMA）を搭載します。

Slave Guard

特定のバスマスタからの不正アクセスを防止するシステムです。次の Guard 機構で構成されます。

(1) PE ガード（PEG）
外部マスタから PE 内資源（ローカル RAM）への不正なアクセスを防止するシステムです。リセット解除後は自 PE 以外からのアクセスは禁止状態になっています。

(2) 内部周辺ガード（IPG）
システム相互接続を備えた PE は、無効なアクセスから周辺装置レジスタを保護する「内部周辺ガード」（IPG）をサポートしています。

(3) グローバル RAM ガード（GRG）
外部マスタからグローバル RAM、リテンション RAM への不正なアクセスを防止する機構です。リセット解除後、グローバル RAM は保護されていない状態（すべてのバスマスタからアクセス可能）になります。詳細は、「**40A 章 RH850/F1KH-D8 のファンクショナルセーフティ**」を参照してください。

(4) 周辺ガード（PBG / HBG）
周辺ガードは周辺機能への不正なアクセスを防止する機構です。周辺回路内のコントロールレジスタは不正なアクセスから保護されます。詳細は、「**40A 章 RH850/F1KH-D8 のファンクショナルセーフティ**」を参照してください。

3A.2 CPU

3A.2.1 コア機能

3A.2.1.1 特長

RH850G3KH2.0 コアの特長を「**表 3A.1 RH850G3KH2.0 コアの特長**」に示します。

表 3A.1　RH850G3KH2.0 コアの特長

項目	特長
CPU	● 組み込み制御用高性能 32 ビットアーキテクチャ ● 32 ビット内部データバス ● 32 本の 32 ビット汎用レジスタ ● RISC タイプ命令セット – ロング／ショート形式を持つロード／ストア命令 – 3 オペランド命令 – C 言語に基づく命令セット ● CPU 動作モード – ユーザモード、スーパバイザモード ● アドレス空間：データ／命令ともに 4G バイトリニア
コプロセッサ	● 浮動小数点演算コプロセッサ（FPU） – 単精度（32 ビット）をサポート – IEEE754 に準拠したデータタイプおよび例外をサポート – 丸めモード：近傍、0 方向、＋∞方向、－∞方向 – 非正規化数の扱い：0 への切り捨て、または IEEE754 準拠のための例外通知
例外／割り込み	● チャネルごとに設定可能な 16 レベルの割り込み優先度 ● 性能要求／メモリ消費量によって選択可能なベクタ選択方式 – 直接分岐方式の例外ベクタ – アドレステーブル参照の間接分岐方式の例外ベクタ ● 専用命令（PUSHSP、POPSP）による割り込み時のコンテキスト高速退避／復帰処理の支援
メモリ管理	● メモリ保護機能搭載（MPU）：16 領域設定可能
キャッシュ	● キャッシュメモリ非搭載

3A.2.1.2　レジスタセット

この項では、CPU 内蔵のプログラムレジスタおよびシステムレジスタについて説明します。

(1) プログラムレジスタ

プログラムレジスタには、汎用レジスタ（r0～r31）とプログラムカウンタ（PC）があります。

表 3A.2　プログラムレジスタ一覧

プログラムレジスタ	名称	機能	説明
汎用レジスタ	r0	ゼロレジスタ	常に 0 を保持
	r1	アセンブラ予約レジスタ	アドレス生成用のワーキングレジスタとして使用
	r2	アドレス／データ変数用レジスタ（使用するリアルタイム OS がこのレジスタを使用していない場合）	
	r3	スタックポインタ（SP）	関数コール時のスタックフレーム生成時に使用
	r4	グローバルポインタ（GP）	データ領域のグローバル変数をアクセスするときに使用
	r5	テキストポインタ（TP）	テキスト領域（プログラムコードを配置する領域）の先頭を示すレジスタとして使用
	r6～r29	アドレス／データ変数用レジスタ	
	r30	エレメントポインタ（EP）	メモリをアクセスするときのアドレス生成用ベースポインタとして使用
	r31	リンクポインタ（LP）	コンパイラが関数コールをするときに使用
プログラムカウンタ	PC	プログラム実行中の命令アドレスを保持	

備　考

アセンブラや C コンパイラで使用される r1、r3～r5、r31 の詳細な説明は、それぞれのソフトウェア開発環境のドキュメントを参照してください。

(a)　汎用レジスタ

汎用レジスタとして、r0～r31 の 32 本が用意されています。これらのレジスタは、すべてデータ変数用またはアドレス変数用として利用できます。汎用レジスタのうち、r0～r5、r30、r31 は、ソフトウェア開発環境において特殊な用途に用いられることを想定しているため、使用する際には次のような注意が必要です。

1. r0、r3、r30

   命令により暗黙的に使用されます。

   r0 は常に 0 を保持しているレジスタであり、0 を使用する演算やベースアドレスが 0 のアドレシングで使用されます。

   r3 は PREPARE 命令、DISPOSE 命令、PUSHSP 命令、POPSP 命令により、暗黙的に使用されます。

   r30 は SLD 命令と SST 命令により、メモリをアクセスするときのベースポインタとして使用されます。

r1、r4、r5、r31

   アセンブラと C コンパイラにより暗黙的に使用されます。

   これらのレジスタを使用する際には、レジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。

r2

   リアルタイム OS が使用する場合があります。使用するリアルタイム OS が r2 を使用していない場合は、アドレス変数用またはデータ変数用レジスタとして利用できます。

(b)　PC — プログラムカウンタ

プログラム実行中の命令アドレスを保持しています。また、ビット 0 は 0 に固定されており、奇数番地への分岐はできません。

31　　　　　　　　　　　　　　　　　　　　0

PC　PC31-PC0　　リセット後の値 注 1

表 3A.3　　PC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～1	PC31-PC1	実行中の命令アドレスです。	R/W	注 1
0	PC0	常に 0 を示します。奇数番地への分岐はできません。	R/W	0

注1.　リセット後の値はリセットベクタの設定値によって異なります。詳細は「**3A.2.1.2(2)(q) RBASE — リセットベクタベースアドレス**」を参照してください。

(2) 基本システムレジスタ

基本システムレジスタは、CPU の状態制御、例外情報保持などを行います。

システムレジスタへのリード／ライトは、LDSR 命令、STSR 命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。

表 3A.4 基本システムレジスタ一覧

レジスタ番号（regID, selID）	名称	機能	アクセス権限
SR0, 0	EIPC	EI レベル例外受け付け時の状態退避レジスタ	SV
SR1, 0	EIPSW	EI レベル例外受け付け時の状態退避レジスタ	SV
SR2, 0	FEPC	FE レベル例外受け付け時の状態退避レジスタ	SV
SR3, 0	FEPSW	FE レベル例外受け付け時の状態退避レジスタ	SV
SR5, 0	PSW	プログラムステータスワード	注 1
SR6, 0	FPSR	（FPU 機能レジスタ参照）	CU かつ SV
SR7, 0	FPEPC	（FPU 機能レジスタ参照）	CU かつ SV
SR8, 0	FPST	（FPU 機能レジスタ参照）	CU
SR9, 0	FPCC	（FPU 機能レジスタ参照）	CU
SR10, 0	FPCFG	（FPU 機能レジスタ参照）	CU
SR11, 0	FPEC	（FPU 機能レジスタ参照）	CU かつ SV
SR13, 0	EIIC	EI レベル例外要因レジスタ	SV
SR14, 0	FEIC	FE レベル例外要因レジスタ	SV
SR16, 0	CTPC	CALLT 実行時の状態退避レジスタ	UM
SR17, 0	CTPSW	CALLT 実行時の状態退避レジスタ	UM
SR20, 0	CTBP	CALLT ベースポインタレジスタ	UM
SR28, 0	EIWR	EI レベル例外用作業レジスタ	SV
SR29, 0	FEWR	FE レベル例外用作業レジスタ	SV
SR0, 1	MCFG0	マシンコンフィグレーションレジスタ	SV
SR2, 1	RBASE	リセットベクタベースアドレスレジスタ	SV
SR3, 1	EBASE	例外ハンドラベクタアドレスレジスタ	SV
SR4, 1	INTBP	割り込みハンドラアドレステーブルのベースアドレスレジスタ	SV
SR5, 1	MCTL	CPU の制御	SV
SR6, 1	PID	プロセッサ識別子レジスタ	SV
SR11, 1	SCCFG	SYSCALL の動作設定レジスタ	SV
SR12, 1	SCBP	SYSCALL ベースポインタレジスタ	SV
SR0, 2	HTCFG0	スレッドコンフィグレーションレジスタ	SV
SR6, 2	MEA	メモリエラーアドレスレジスタ	SV
SR7, 2	ASID	アドレス空間識別子レジスタ	SV
SR8, 2	MEI	メモリエラー情報レジスタ	SV

注1. ビットによってアクセス権限が異なります。

(a) EIPC — EI レベル例外受け付け時の状態退避レジスタ

EI レベル例外を受け付けた場合、EI レベル例外が発生したときに実行していた命令、あるいはその次の命令のアドレスが退避されます（「*RH850G3K ユーザーズマニュアル ソフトウェア編*」の「*4.1.3 例外の実行形態*」を参照してください）。

EI レベル例外時状態退避レジスタは、1 組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

EIPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

	31 … 0	リセット後の値
EIPC	EIPC31-EIPC0	不定

表 3A.5　　EIPC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～1	EIPC31-EIPC1	EI レベル例外受け付け時の復帰 PC を示します。	R/W	不定
0	EIPC0	EI レベル例外受け付け時の復帰 PC を示します。 常に 0 を設定してください。1 を設定した場合でも、EIRET 命令の実行により PC に転送される値は、0 となります。	R/W	不定

(b) EIPSW — EI レベル例外受け付け時の状態退避レジスタ

EI レベル例外を受け付けた場合、そのときの PSW の内容が退避されます。

EI レベル例外時状態退避レジスタは、1 組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

	31	30	29												17	16	15	14						8	7	6	5	4	3	2	1	0	リセット後の値
EIPSW	0	UM	0	0	0	0	0	0	0	0	0	0	0	0	0	CU	EBV	0	0	0	0	0	0	0	NP	EP	ID	SAT	CY	OV	S	Z	0000 0020H

表 3A.6　　EIPSW レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
30	UM	EI レベル例外受け付け時の PSW.UM ビットを退避します。	R/W	0
29～17	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
16	CU	EI レベル例外受け付け時の PSW.CU フィールドを退避します。	R/W	0
15	EBV	EI レベル例外受け付け時の PSW.EBV ビットを退避します。	R/W	0
14～8	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
7	NP	EI レベル例外受け付け時の PSW.NP ビットを退避します。	R/W	0
6	EP	EI レベル例外受け付け時の PSW.EP ビットを退避します。	R/W	0
5	ID	EI レベル例外受け付け時の PSW.ID ビットを退避します。	R/W	1
4	SAT	EI レベル例外受け付け時の PSW.SAT ビットを退避します。	R/W	0
3	CY	EI レベル例外受け付け時の PSW.CY ビットを退避します。	R/W	0
2	OV	EI レベル例外受け付け時の PSW.OV ビットを退避します。	R/W	0
1	S	EI レベル例外受け付け時の PSW.S ビットを退避します。	R/W	0
0	Z	EI レベル例外受け付け時の PSW.Z ビットを退避します。	R/W	0

(c) FEPC — FE レベル例外受け付け時の状態退避レジスタ

FE レベル例外を受け付けた場合、FE レベル例外が発生したときに実行していた命令、あるいはその次の命令のアドレスが退避されます（「*RH850G3K ユーザーズマニュアル ソフトウェア編*」の「*4.1.3 例外の実行形態*」を参照してください）。

FE レベル例外時状態退避レジスタは、1 組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

FEPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

	31 … 0	リセット後の値
FEPC	FEPC31-FEPC0	不定

表 3A.7　　FEPC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～1	FEPC31-FEPC1	FE レベル例外受け付け時の復帰 PC を示します	R/W	不定
0	FEPC0	FE レベル例外受け付け時の復帰 PC を示します。 常に 0 を設定してください。1 を設定した場合でも、FERET 命令の実行により PC に転送される値は、0 となります。	R/W	不定

(d) FEPSW — FE レベル例外受け付け時の状態退避レジスタ

FE レベル例外を受け付けた場合、そのときの PSW の内容が退避されます。

FE レベル例外時状態退避レジスタは、1 組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

	31	30	29												17	16	15	14						8	7	6	5	4	3	2	1	0	リセット後の値
FEPSW	0	UM	0	0	0	0	0	0	0	0	0	0	0	0	0	CU	EBV	0	0	0	0	0	0	0	NP	EP	ID	SAT	CY	OV	S	Z	0000 0020H

表 3A.8　　FEPSW レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
30	UM	FE レベル例外受け付け時の PSW.UM ビットを退避します。	R/W	0
29～17	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
16	CU	FE レベル例外受け付け時の PSW.CU フィールドを退避します。	R/W	0
15	EBV	FE レベル例外受け付け時の PSW.EBV ビットを退避します。	R/W	0
14～8	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
7	NP	FE レベル例外受け付け時の PSW.NP ビットを退避します。	R/W	0
6	EP	FE レベル例外受け付け時の PSW.EP ビットを退避します。	R/W	0
5	ID	FE レベル例外受け付け時の PSW.ID ビットを退避します。	R/W	1
4	SAT	FE レベル例外受け付け時の PSW.SAT ビットを退避します。	R/W	0
3	CY	FE レベル例外受け付け時の PSW.CY ビットを退避します。	R/W	0
2	OV	FE レベル例外受け付け時の PSW.OV ビットを退避します。	R/W	0
1	S	FE レベル例外受け付け時の PSW.S ビットを退避します。	R/W	0
0	Z	FE レベル例外受け付け時の PSW.Z ビットを退避します。	R/W	0

(e) PSW — プログラムステータスワード

PSW（プログラムステータスワード）は、プログラムの状態（命令実行の結果）を示すフラグや CPU の動作状態を示すビットの集合です（フラグとは条件命令（Bcond や CMOV など）によって参照される PSW 上のビットを示します）。

注　意

1. LDSR 命令を使用して、このレジスタのビット 7～0 の内容を変更した場合は、LDSR 命令実行終了直後から変更内容が有効となります。それ以外のビットの内容を変更した場合は、「*RH850G3KH ユーザーズマニュアル ソフトウェア編*」の「*付録 A システム・レジスタのハザード解消手続き*」を参照してください。
2. PSW レジスタは、ビットごとにアクセス権限が違います。すべてのビットは読み出しは常に行えますが、書き込みは特定の条件でのみ書き込み可能なものが存在します。各ビットのアクセス権限は、「**表 3A.9 PSW レジスタビットのアクセス権限**」を参照してください。

表 3A.9　　PSW レジスタビットのアクセス権限

ビット		読み出し時アクセス権限	書き込み時アクセス権限
30	UM	UM	SV 注 1
16	CU	UM	SV 注 1
15	EBV	UM	SV 注 1
7	NP	UM	SV 注 1
6	EP	UM	SV 注 1
5	ID	UM	SV 注 1
4	SAT	UM	UM
3	CY	UM	UM
2	OV	UM	UM
1	S	UM	UM
0	Z	UM	UM

注1.　PSW レジスタ全体はアクセス権限が UM であるため、PSW.UM＝1 のとき LDSR で書き込みを行っても PIE 例外は起きません。書き込みが無視されます。

	31	30	29												17	16	15	14						8	7	6	5	4	3	2	1	0	リセット後の値
PSW	0	UM	0	0	0	0	0	0	0	0	0	0	0	0	0	CU	EBV	0	0	0	0	0	0	0	NP	EP	ID	SAT	CY	OV	S	Z	$0000\ 0020_H$

表 3A.10　　PSW レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
30	UM	CPU がユーザモード（UM モード）にあることを示します。 0：スーパバイザモード 1：ユーザモード	R/W	0
29～17	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
16	CU	コプロセッサ使用権を示します。コプロセッサに対応するビットが 0 のとき、そのコプロセッサ命令の実行、コプロセッサリソース（システムレジスタ）へのアクセスで、コプロセッサ使用不可例外を発生します。 CU ビット 16：FPU	R/W	0
15	EBV	リセットベクタ、例外ベクタの動作を示します。詳細は、「**3A.2.1.2(2)(q) RBASE — リセットベクタベースアドレス**」の RBASE レジスタ、「**3A.2.1.2(2)(r) EBASE — 例外ハンドラベクタアドレス**」の EBASE レジスタを参照してください。	R/W	0
14～8	—	（将来のための予約です。必ず 0 を設定してください。）	R	0

表 3A.10　　PSW レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
7	NP	FE レベル例外受け付けを使用不可にします。FE レベル例外が受け付けられるとセット（1）され、EI レベルおよび FE レベルの例外受け付けを使用不可にします。NP ビットが受け付けを使用不可にする例外の場合は、「**表 7A.1 例外要因一覧**」を参照してください。 0：FE レベル例外の受け付けを許可する 1：FE レベル例外の受け付けを禁止する	R/W	0
6	EP	割り込みコントローラで制御される割り込み以外の例外処理中であることを示します。該当する例外の発生でセット（1）されます。なお、このビットはセット（1）されても例外要求の受け付けには影響しません。 0：割り込み以外の例外処理中ではない 1：割り込み以外の例外処理中である	R/W	0
5	ID	EI レベル例外受け付けを使用不可にします。EI レベルまたは FE レベルの例外が受け付けられるとセット（1）され、EI レベル例外受け付けを使用不可にします。ID ビットが受け付けを使用不可にする例外の場合は、「**表 7A.1 例外要因一覧**」を参照してください。 また、通常のプログラムや、割り込み処理中にクリティカルセクションとして、EI レベル例外の受け付けを禁止する場合にも使用されます。DI 命令の実行によってセット（1）し、EI 命令の実行によってクリア（0）します。EI 命令、DI 命令による ID ビットの変更は、次の命令から有効となります。 0：EI レベル例外処理中またはクリティカルセクションではない（EI 命令実行後） 1：EI レベル例外処理中またはクリティカルセクションである（DI 命令実行後）	R/W	1
4	SAT 注 1	飽和演算命令の演算結果がオーバフローし、演算結果が飽和していることを示します。累積フラグのため、飽和演算命令で演算結果が飽和するとセット（1）され、以降の命令の演算結果が飽和しなくてもクリア（0）されません。クリア（0）する場合は、LDSR 命令により行います。なお、算術演算命令の実行では、セット（1）もクリア（0）も行いません。 0：飽和していない 1：飽和している	R/W	0
3	CY	演算結果にキャリー、またはボローがあったかどうかを示します。 0：キャリー、およびボローが発生していない 1：キャリー、またはボローが発生した	R/W	0
2	OV 注 1	演算中にオーバフローが発生したかどうかを示します。 0：オーバフローが発生していない 1：オーバフローが発生した	R/W	0
1	S 注 1	演算の結果が負かどうかを示します。 0：演算の結果は、正または 0 であった 1：演算の結果は負であった	R/W	0
0	Z	演算の結果が 0 かどうかを示します。 0：演算の結果は 0 でなかった 1：演算の結果は 0 であった	R/W	0

注1.　飽和演算時の OV フラグと S フラグの内容で飽和処理した演算結果が決まります。また、飽和演算時に OV フラグがセット（1）された場合だけ、SAT フラグはセット（1）されます。

<table>
<tr><th rowspan="2">演算結果の状態</th><th colspan="3">フラグの状態</th><th rowspan="2">飽和処理をした演算</th></tr>
<tr><th>SAT</th><th>OV</th><th>S</th></tr>
<tr><td>正の最大値を超えた</td><td>1</td><td>1</td><td>0</td><td>7FFF FFFF$_H$</td></tr>
<tr><td>負の最大値を超えた</td><td>1</td><td>1</td><td>1</td><td>8000 0000$_H$</td></tr>
<tr><td>正（最大値を超えない）</td><td rowspan="2">演算前の値を保持</td><td rowspan="2">0</td><td>0</td><td rowspan="2">演算結果そのもの</td></tr>
<tr><td>負（最大値を超えない）</td><td>1</td></tr>
</table>

(f) EIIC ― EI レベル例外要因

EIIC レジスタは、EI レベルの例外が発生した場合に、その要因を保持するレジスタです。

EIIC レジスタが保持する値は、例外要因ごとにコード化された例外要因コードです。

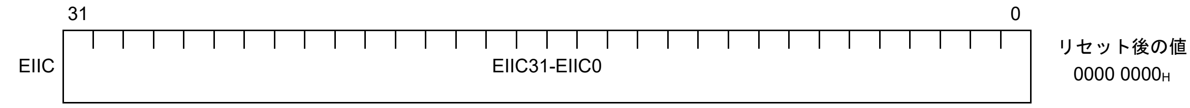


表 3A.11　EIIC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～0	EIIC31-EIIC0	EI レベル例外受け付け時に、例外要因コードが格納されます。 EIIC15-EIIC0 は、例外要因コードの下位 16 ビットが格納されます。 EIIC31-EIIC16 は、例外ごとに定義された詳細な例外要因コードが格納されます。 例外に関わる機能で特に定義がない場合は、0 が設定されます。	R/W	0

(g) FEIC ― FE レベル例外要因

FEIC レジスタは、FE レベルの例外が発生した場合に、その要因を保持するレジスタです。

FEIC レジスタが保持する値は、例外要因ごとにコード化された例外要因コードです。

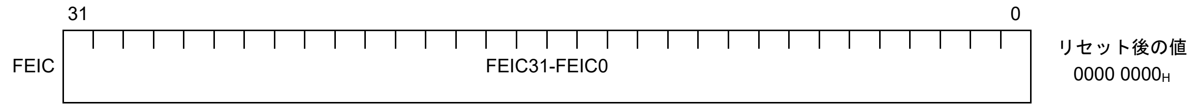


表 3A.12　FEIC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～0	FEIC31-FEIC0	FE レベル例外受け付け時に、例外要因コードが格納されます。 FEIC15-FEIC0 は、例外要因コードの下位 16 ビットが格納されます。 FEIC31-FEIC16 は、例外ごとに定義された詳細な例外要因コードが格納されます。 例外にかかわる機能で特に定義がない場合は、0 が設定されます。	R/W	0

(h) CTPC ― CALLT 実行時の状態退避レジスタ

CALLT 命令が実行されると、CALLT 命令の次の命令のアドレスが CTPC に退避されます。

CTPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

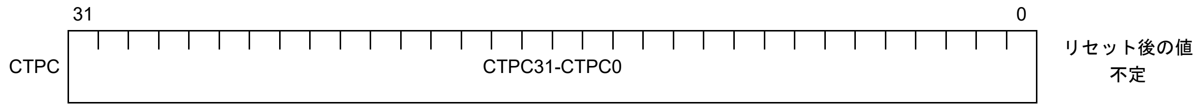


表 3A.13　CTPC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～1	CTPC31-CTPC1	CALLT 命令の次の命令の PC を示します。	R/W	不定
0	CTPC0	CALLT 命令の次の命令の PC を示します。 常に 0 を設定してください。1 を設定した場合でも、CTRET 命令の実行により PC に転送される値は、0 となります。	R/W	不定

(i) CTPSW — CALLT 実行時の状態退避レジスタ

CALLT 命令が実行されると、PSW（プログラムステータスワード）の一部が CTPSW に退避されます。

	31–5	4	3	2	1	0	リセット後の値
CTPSW	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	SAT	CY	OV	S	Z	0000 0000H

表 3A.14 CTPSW レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31〜5	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
4	SAT	CALLT 命令実行時の PSW.SAT ビットを退避します。	R/W	0
3	CY	CALLT 命令実行時の PSW.CY ビットを退避します。	R/W	0
2	OV	CALLT 命令実行時の PSW.OV ビットを退避します。	R/W	0
1	S	CALLT 命令実行時の PSW.S ビットを退避します。	R/W	0
0	Z	CALLT 命令実行時の PSW.Z ビットを退避します。	R/W	0

(j) CTBP — CALLT ベースポインタ

CTBP レジスタは、CALLT 命令のテーブルアドレスの指定、ターゲットアドレスの生成に使用されます。

CTBP レジスタには必ずハーフワードアドレスを設定してください。

	31–0	リセット後の値
CTBP	CTBP31-CTBP0	不定

表 3A.15 CTBP レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31〜1	CTBP31-CTBP1	CALLT 命令のベースポインタアドレスです。 CALLT 命令で利用するテーブルの先頭アドレスを示します。	R/W	不定
0	CTBP0	CALLT 命令のベースポインタアドレスです。 CALLT 命令で利用するテーブルの先頭アドレスを示します。 常に 0 を設定してください。	R	0

(k) ASID — アドレス空間識別子

アドレス空間識別子です。メモリ管理機能で提供されるアドレス空間の識別のために使用します。

	31–10	9–0	リセット後の値
ASID	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	ASID	不定

表 3A.16 ASID レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31〜10	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
9〜0	ASID	アドレス空間識別子です。	R/W	不定

(l) EIWR — EI レベル例外用作業レジスタ

EIWR レジスタは、EI レベルの例外が発生したときの作業用レジスタです。

	31 … 0	リセット後の値
EIWR	EIWR31-EIWR0	不定

表 3A.17 EIWR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～0	EIWR31-EIWR0	EI レベル例外中に任意に利用可能な作業用レジスタです。汎用レジスタの値の保存などに利用してください。	R/W	不定

(m) FEWR — FE レベル例外用作業レジスタ

FEWR レジスタは、FE レベルの例外が発生したときの作業用レジスタです。

	31 … 0	リセット後の値
FEWR	FEWR31-FEWR0	不定

表 3A.18 FEWR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～0	FEWR31-FEWR0	FE レベル例外中に任意に利用可能な作業用レジスタです。汎用レジスタの値の保存などに利用してください。	R/W	不定

(n) HTCFG0 — スレッドコンフィグレーション

	31												19	18 17 16	15	14														0	リセット後の値
HTCFG0	0	0	0	0	0	0	0	0	0	0	0	0	0	PEID	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	注1

表 3A.19 HTCFG0 レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～19	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
18～16	PEID	プロセッサエレメント番号を示します。	R	注2
15	—	（将来のための予約です。必ず 1 を設定してください。）	R	1
14～0	—	（将来のための予約です。必ず 0 を設定してください。）	R	0

注1. CPU1（PE1）では 0001 8000_H、CPU2（PE2）では 0002 8000_H です。

注2. CPU1（PE1）では 001_B、CPU2（PE2）では 010_B です。

(o) MEA — メモリエラーアドレスレジスタ

	31 … 0	リセット後の値
MEA	MEA	不定

表 3A.20 MEA レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～0	MEA	MAE（ミスアライン）／MPU 発生時の違反アドレスを保存します。	R/W	不定

(p) MEI — メモリエラー情報

ミスアライン例外（MAE）、メモリ保護例外（MDP）発生時に、エミュレーションを行う場合のヒント情報として、例外を引き起こした命令の情報を格納します。

	31	30	29	28	27	26	25	24	23	22	21	20～16	15	14	13	12	11	10～9	8	7	6	5～1	0	
MEI	0	0	0	0	0	0	0	0	0	0	0	REG	0	0	0	0	0	DS	U	0	0	ITYPE	RW	リセット後の値 不定

表 3A.21　　MEI レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～21	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
20～16	REG	例外を引き起こした命令のソースレジスタ番号、またはディスティネーションレジスタ番号を示します。詳細は、**「表 3A.22 例外を引き起こした命令と MEI レジスタの値」**を参照してください。	R/W	不定
15～11	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
10、9	DS	例外を引き起こした命令のデータタイプを示します。注 1 0：バイト（8 ビット） 1：ハーフワード（16 ビット） 2：ワード（32 ビット） 3：ダブルワード（64 ビット） 詳細は、**「表 3A.22 例外を引き起こした命令と MEI レジスタの値」**を参照してください。	R/W	不定
8	U	例外を引き起こした命令の符号拡張方式を示します。 0：Signed 1：Unsigned 詳細は、**「表 3A.22 例外を引き起こした命令と MEI レジスタの値」**を参照してください。	R/W	不定
7、6	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
5～1	ITYPE	例外を引き起こした命令を示します。 詳細は、**「表 3A.22 例外を引き起こした命令と MEI レジスタの値」**を参照してください。	R/W	不定
0	RW	例外を引き起こした命令のオペレーションが、リード（Load-memory）だったのか、ライト（Store-memory）だったのかを示します。 0：リード（Load-memory） 1：ライト（Store-memory） 詳細は、**「表 3A.22 例外を引き起こした命令と MEI レジスタの値」**を参照してください。	R/W	不定

注1.　ハードウェアによってアクセスが分割されるような場合においても、命令の示すデータタイプが格納されます。

表 3A.22　　例外を引き起こした命令と MEI レジスタの値

命令	REG	DS	U	RW	ITYPE
SLD.B	dst	0 (byte)	0 (signed)	0 (read)	00000_B
SLD.BU	dst	0 (byte)	1 (unsigned)	0 (read)	00000_B
SLD.H	dst	1 (halfword)	0 (signed)	0 (read)	00000_B
SLD.HU	dst	1 (halfword)	1 (unsigned)	0 (read)	00000_B
SLD.W	dst	2 (word)	0 (signed)	0 (read)	00000_B
SST.B	src	0 (byte)	0 (signed)	1 (write)	00000_B
SST.H	src	1 (halfword)	0 (signed)	1 (write)	00000_B
SST.W	src	2 (word)	0 (signed)	1 (write)	00000_B
LD.B (disp16)	dst	0 (byte)	0 (signed)	0 (read)	00001_B
LD.BU (disp16)	dst	0 (byte)	1 (unsigned)	0 (read)	00001_B

表 3A.22　　例外を引き起こした命令と MEI レジスタの値

命令	REG	DS	U	RW	ITYPE
LD.H (disp16)	dst	1 (halfword)	0 (signed)	0 (read)	00001_B
LD.HU (disp16)	dst	1 (halfword)	1 (unsigned)	0 (read)	00001_B
LD.W (disp16)	dst	2 (word)	0 (signed)	0 (read)	00001_B
ST.B (disp16)	src	0 (byte)	0 (signed)	1 (write)	00001_B
ST.H (disp16)	src	1 (halfword)	0 (signed)	1 (write)	00001_B
ST.W (disp16)	src	2 (word)	0 (signed)	1 (write)	00001_B
LD.B (disp23)	dst	0 (byte)	0 (signed)	0 (read)	00010_B
LD.BU (disp23)	dst	0 (byte)	1 (unsigned)	0 (read)	00010_B
LD.H (disp23)	dst	1 (halfword)	0 (signed)	0 (read)	00010_B
LD.HU (disp23)	dst	1 (halfword)	1 (unsigned)	0 (read)	00010_B
LD.W (disp23)	dst	2 (word)	0 (signed)	0 (read)	00010_B
ST.B (disp23)	src	0 (byte)	0 (signed)	1 (write)	00010_B
ST.H (disp23)	src	1 (halfword)	0 (signed)	1 (write)	00010_B
ST.W (disp23)	src	2 (word)	0 (signed)	1 (write)	00010_B
LD.DW (disp23)	dst	3 (double-word)	0 (signed)	0 (read)	00010_B
ST.DW (disp23)	src	3 (double-word)	0 (signed)	1 (write)	00010_B
LDL.W	dst	2 (word)	0 (signed)	0 (read)	00111_B
STC.W	src	2 (word)	0 (signed)	1 (write)	00111_B
CAXI	dst	2 (word)	0 (signed)	0 (read)/1 (write)	01000_B
SET1	—	0 (byte)	0 (signed)	0 (read)/1 (write)	01001_B
CLR1	—	0 (byte)	0 (signed)	0 (read)/1 (write)	01001_B
NOT1	—	0 (byte)	0 (signed)	0 (read)/1 (write)	01001_B
TST1	—	0 (byte)	0 (signed)	0 (read)	01001_B
PREPARE	—	2 (word)	0 (signed)	1 (write)	01100_B
DISPOSE	—	2 (word)	0 (signed)	0 (read)	01100_B
PUSHSP	—	2 (word)	0 (signed)	1 (write)	01101_B
POPSP	—	2 (word)	0 (signed)	0 (read)	01101_B
SWITCH	—	1 (halfword)	0 (signed)	0 (read)	10000_B
CALLT	—	1 (halfword)	1 (unsigned)	0 (read)	10001_B
SYSCALL	—	2 (word)	0 (signed)	0 (read)	10010_B
CACHE	—	—	—	—	—
割り込み（テーブル参照）注1	—	2 (word)	0 (signed)	0 (read)	10101_B

注1.　テーブル参照方式の割り込みベクタ読み込み時

備　考

dst：ディスティネーションレジスタ番号、src：ソースレジスタ番号

(q) RBASE — リセットベクタベースアドレス

リセット時のリセットベクタアドレスを示すレジスタです。PSW.EBV ビットがクリア（0）されている場合、このベクタアドレスは例外ベクタアドレスとしても使用されます。

	31 … 9	8	7	6	5	4	3	2	1	0	
RBASE	RBASE31-RBASE9	0	0	0	0	0	0	0	0	RINT	リセット後の値 注1

表 3A.23 RBASE レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～9	RBASE31-RBASE9	リセット時のリセットベクタを示します。このアドレスは PSW.EBV＝0 のとき、例外ベクタとしても使用されます。 RBASE8～RBASE0 は、暗黙的に 0 が利用されます。	R	CPU1： 0000 0000 0000 0000 0000 000_B CPU2： 0000 0000 1000 0000 0000 000_B 注 1
8～1	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
0	RINT	RINT ビットがセットされている場合、割り込み処理の例外ハンドラアドレスが縮小されます。「**7A.10.1 直接ベクタ方式**」を参照してください。このビットは PSW.EBV＝0 のときに有効です。	R	0

注1. リセットベクタの値によります。製品出荷時の値は、表中の値になりますが、リセットベクタを変更した場合は、変更したアドレスになります。

(r) EBASE — 例外ハンドラベクタアドレス

例外ハンドラのベクタアドレスを示すレジスタです。PSW.EBV ビットがセット（1）されている場合に有効です。

	31 … 9	8	7	6	5	4	3	2	1	0	
EBASE	EBASE31-EBASE9	0	0	0	0	0	0	0	0	RINT	リセット後の値 不定

表 3A.24 EBASE レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～9	EBASE31-EBASE9	例外ハンドラルーチンのアドレスがこのレジスタで指定されたベースアドレスに、各例外のオフセットアドレスを加えたアドレスに変更されます。 EBASE8～EBASE0 は、暗黙的に 0 が利用されます。	R/W	不定
8～1	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
0	RINT	RINT ビットがセットされている場合、割り込み処理の例外ハンドラアドレスが縮小されます。「**7A.10.1 直接ベクタ方式**」を参照してください。	R/W	不定

(s) INTBP — 割り込みハンドラアドレステーブルのベースアドレス

割り込みハンドラアドレスの選択方式として、アドレステーブル参照方式を選択したときの、アドレステーブルのベースアドレスを示すレジスタです。

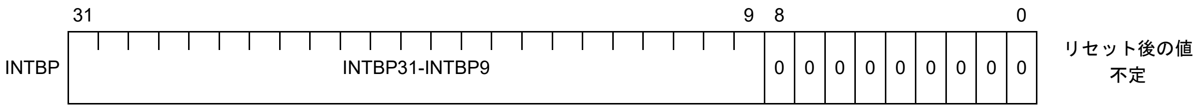


表 3A.25　INTBP レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31〜9	INTBP31-INTBP9	テーブル参照方式を使用した時の割り込みのベースポインタアドレスです。テーブル参照方式に指定された割り込み（EIINT0〜511）受け付け時の例外ハンドラ決定時のテーブルアドレスの先頭を示します。 INTBP8〜INTBP0 は、暗黙的に 0 が利用されます。	R/W	不定
8〜0	—	（将来のための予約です。必ず 0 を設定してください。）	R	0

(t) PID — プロセッサ識別子

PID レジスタは、CPU 固有のプロセッサ識別子を保持します。PID レジスタはリードのみ可能です。

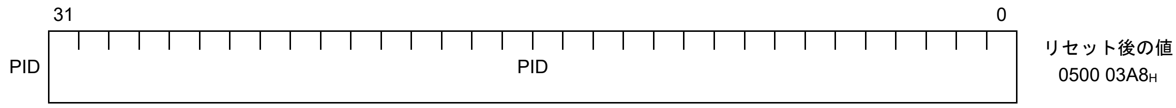


表 3A.26　PID レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31〜24	PID	アーキテクチャ識別子 プロセッサの属するアーキテクチャを示す識別子です。	R	05_H
23〜8		機能識別子 プロセッサの持つ機能を示す識別子です。 ビットごとに定義された機能の搭載／非搭載を示します（1：搭載、0：非搭載）。 　ビット 23〜11：予約 　ビット 10：倍精度浮動小数点演算機能 　ビット 9：単精度浮動小数点演算機能 　ビット 8：メモリ保護機能（MPU）	R	0003_H
7〜0		バージョン識別子 プロセッサのバージョンを示す識別子です。	R	$A8_H$

(u) SCCFG ― SYSCALL の動作設定

SYSCALL 命令に関する動作設定を行います。SYSCALL 命令の使用前に必ず適切な値を設定してください。

	31																							8	7 ～ 0	
SCCFG	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SIZE	リセット後の値 不定

表 3A.27 SCCFG レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～8	―	（将来のための予約です。必ず 0 を設定してください。）	R	0
7～0	SIZE	SYSCALL 命令が参照するテーブルの最大エントリ数を指定します。SYSCALL 命令が参照する最大エントリ数は、SIZE が 0 の場合は 1 エントリ、255 の場合は 256 エントリです。SYSCALL 命令で分岐する関数の数に合わせて、最大エントリ数を適切に設定することで、メモリ領域を有効に活用できます。 最大エントリ数を超えるベクタが SYSCALL 命令で指定された場合には、先頭のエントリが選択されます。先頭のエントリには、エラー処理ルーチンを配置してください。	R/W	不定

(v) SCBP ― SYSCALL ベースポインタ

SCBP レジスタは、SYSCALL 命令のテーブルアドレスの指定、ターゲットアドレスの生成に使用されます。SYSCALL 命令の使用前に、必ず適切な値を設定してください。

SCBP レジスタには必ずワードアドレスを設定してください。

	31 ～ 0	
SCBP	SCBP31-SCBP0	リセット後の値 不定

表 3A.28 SCBP レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～2	SCBP31-SCBP2	SYSCALL 命令のベースポインタアドレスです。 SYSCALL 命令で利用するテーブルの先頭アドレスを示します。	R/W	不定
1、0	SCBP1、CBP0	SYSCALL 命令のベースポインタアドレスです。 SYSCALL 命令で利用するテーブルの先頭アドレスを示します。 常に 0 を設定してください。	R	0

(w) MCFG0 — マシンコンフィグレーション

CPU のコンフィグレーションを表すレジスタです。

	31													18	17 16	15												3	2	1	0	
MCFG0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SPID	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	リセット後の値 注1

表 3A.29　　MCFG0 レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～18	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
17、16	SPID	システムプロテクション番号を示します。	R/W	注2
15～3	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
2	—	（将来のための予約です。必ず 1 を設定してください。）	R	1
1、0	—	（将来のための予約です。必ず 0 を設定してください。）	R	0

注1.　CPU1（PE1）では 0001 0004_H、CPU2（PE2）では 0002 0004_H です。

注2.　CPU1（PE1）では 01_B、CPU2（PE2）では 10_B です。

(x) MCTL — マシンの制御

CPU の制御を行うレジスタです。

	31																													2	1	0	
MCTL	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	MA	UIC	リセット後の値 8000 0002_H

表 3A.30　　MCTL レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31	—	（将来のための予約です。必ず 1 を設定してください。）	R	1
30～2	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
1	MA	ミスアラインアクセスを制御するビットです。 0：ミスアラインアクセス時、例外が常に発生[注1] 1：ハードウェアで正しい動作を行う[注2]	R/W	1
0	UIC	ユーザモードでの割り込み許可禁止操作を制御するビットです。このビットをセット（1）するとユーザモードでの EI/DI 命令の実行が可能になります。	R/W	0

注1.　ワード境界割り付けの LD.DW および ST.DW を除く

注2.　LD.DW および ST.DW のワード境界以外へのミスアラインアクセスでは例外が発生

(3) 割り込み機能レジスタ

表 3A.31　割り込み機能システムレジスター覧

レジスタ番号（regID, selID）	名称	機能	アクセス権限
SR7, 1	FPIPR	FPI 例外割り込み優先度設定レジスタ	SV
SR10, 2	ISPR	受け付け中割り込み優先度レジスタ	SV
SR11, 2	PMR	割り込み優先度マスクレジスタ	SV
SR12, 2	ICSR	割り込み制御ステータスレジスタ	SV
SR13, 2	INTCFG	割り込み機能の設定レジスタ	SV

(a) FPIPR ― FPI 例外割り込み優先度設定

FPI 例外の割り込み優先度を設定するレジスタです。

	31																										5	4　　0	
FPIPR	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	FPIPR	リセット後の値 0000 0000H

表 3A.32　　FPIPR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～5	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
4～0	FPIPR	浮動小数点演算例外（インプレサイス）（FPI）の割り込み優先度を指定します。0～16 までの値を設定します。17 以上の値は設定禁止です。 FPI 例外は、指定された割り込み優先度として扱われます。同一優先度の割り込みと同時に発生した場合は、FPI 例外が優先されます。 **備考）** 16 以上の値を設定した場合、16 と同様に扱われます。	R/W	0

(b) ISPR ― 受け付け中割り込み優先度

CPU で処理中の EIINTn の割り込み優先度を、優先度ごとに保持し、多重割り込み時の優先度によるプライオリティシーリングを行います。

	31															16	15 ～ 0	リセット後の値
ISPR	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ISP15-ISP0	0000 0000H

表 3A.33　　ISPR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～16	―	（将来のための予約です。必ず 0 を設定してください。）	R	0
15～0	ISP15-ISP0	ビット位置に対応した優先度の割り込み（*EIINTn*）の受け付け状況を示します。 0：ビット位置に対応する割り込み優先度の割り込み要求を受け付けていない 1：ビット位置に対応する割り込み優先度の割り込み要求を CPU コアで処理中 各ビット位置が、次のように各優先度に対応しています。 ビット ／ 優先度 0 ／ 優先度 0（最高優先度） 1 ／ 優先度 1 : 14 ／ 優先度 14 15 ／ 優先度 15（最低優先度） 割り込み（*EIINTn*）要求を受け付けた場合、受け付けた割り込み（*EIINTn*）要求に対応するビットが自動的にセット（1）されます。 また、EIRET 命令実行時に PSW.EP＝0 の場合、ISP15～ISP0 でセット（1）されているビットのうち、最も高優先度（0 が高優先度側）のビットがクリア（0）されます[注 1] このビットがセット（1）されている間、その優先度以下の割り込み（*EIINTn*）と FPI 例外[注 2]がマスクされ、例外の受け付け判定時に優先順位判定されず、受け付けられることがありません。 PMR レジスタを利用してソフトウェアによる優先度管理を行う場合は、INTCFG.ISPC ビットの機能によってクリアしてください。	R [注 3]	0

注1.　INTCFG.ISPC ビットの設定によって、割り込み受け付け、また EIRET 命令による自動更新が行われなくなります。通常は、自動更新を行う方法での利用を推奨します。

注2.　FPI 例外は、EIINTn 割り込みと同一の優先レベルであるため、割り込みと同様に ISPR の影響を受けます。FPI 例外の優先度は、FPIPR レジスタによって設定されます。

注3.　INTCFG.ISPC ビットの設定によって、R または R/W となります。通常は R として利用する方法を推奨します。

(c)　PMR — 割り込み優先度マスク

指定した割り込み優先度のマスクを行うレジスタです。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15～0	
PMR	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	PM15-PM0	リセット後の値 0000 0000H

表 3A.34　　PMR レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th><th>R/W</th><th>リセット後の値</th></tr>
<tr><td>31～16</td><td>—</td><td>（将来のための予約です。必ず 0 を設定してください。）</td><td>R</td><td>0</td></tr>
<tr><td>15～0</td><td>PM15-PM0</td><td>ビット位置に対応した割り込み要求をマスクします。
0：ビット位置に対応する優先度の割り込み処理を許可
1：ビット位置に対応する優先度の割り込み処理を禁止

各ビット位置が、次のように各優先度に対応しています。
<table>
<tr><th>ビット</th><th>優先度</th></tr>
<tr><td>0</td><td>優先度 0（最高優先度）</td></tr>
<tr><td>1</td><td>優先度 1</td></tr>
<tr><td colspan="2">:</td></tr>
<tr><td>14</td><td>優先度 14</td></tr>
<tr><td>15</td><td>優先度 15 および優先度 16（最低優先度）</td></tr>
</table>
このビットがセット（1）されている間、その優先度の割り込み（EIINTn）と FPI 例外注 1 がマスクされ、例外の受け付け判定時に優先順位判定されず、受け付けられることがありません。注 2</td><td>R/W</td><td>0</td></tr>
</table>

注1.　FPI 例外は、EIINTn 割り込みと同一の優先レベルであるため、割り込みと同様に PMR の影響を受けます。FPI 例外の優先度は、FPIPR レジスタによって設定されます。

注2.　マスクは低優先側から、連続して 1 を設定してください。例えば FF00$_H$ のような設定は可能ですが、F0F0$_H$ や 00FF$_H$ のような設定は禁止します。

(d)　ICSR — 割り込み制御ステータス

CPU 内部の割り込み制御の状況を示すレジスタです。

	31～2	1	0	
ICSR	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	PMFP	PMEI	リセット後の値 0000 0000H

表 3A.35　　ICSR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～2	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
1	PMFP	PMR の設定でマスクされている優先度の FPI 例外が存在することを示します。	R	0
0	PMEI	PMR の設定でマスクされている優先度の割り込み（*EIINTn*）が存在することを示します。	R	0

(e) INTCFG — 割り込み機能の設定

CPU 内部の割り込み機能に関する設定を行うレジスタです。

	31																														1	0	
INTCFG	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ISPC	リセット後の値 0000 0000$_H$

表 3A.36　　INTCFG レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～1	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
0	ISPC	ISPR レジスタの書き込み変更方法を設定するビットです。 0 : ISPR を自動的に更新します。プログラムによる更新（LDSR）を無視します。 1 : ISPR を自動的に更新しません。プログラムによる更新（LDSR）が行えます。 このビットがクリア（0）されている場合、ISPR レジスタの各ビットは割り込み（EIINTn）の受け付けにより自動的にセット（1）、EIRET 命令の実行によって自動的にクリア（0）が行われます。この状態ではプログラムによる LDSR を使った更新を無視します。このビットがセット（1）されている場合、ISPR レジスタの各ビットは割り込み（EIINTn）の受け付けや、EIRET 命令の実行によっては、更新を行いません。この状態ではプログラムによる LDSR を使った更新が可能となります。 通常 ISPC ビットはクリア（0）した状態で利用してください。ソフトウェアによる割り込み優先度を管理する場合に、このビットをセット（1）し、PMR レジスタによる優先度管理を行ってください。	R/W	0

(4) FPU 機能レジスタ

FPU は CPU の汎用レジスタ（r0～r31）を使用します。浮動小数点演算専用のレジスタファイルはありません。RH850/F1KH は単精度浮動小数点命令をサポートし、32 個の 32 ビットレジスタを指定できます。

これは汎用レジスタの r0～r31 に相当します。FPU では浮動小数点演算制御のために、以下のシステムレジスタを使用できます。

表 3A.37　FPU 機能レジスター覧

レジスタ番号（regID, selID）	名称	機能	アクセス権限
SR6, 0	FPSR	浮動小数点演算の設定／ステータスレジスタ	CU かつ SV
SR7, 0	FPEPC	浮動小数点例外プログラムカウンタレジスタ	CU かつ SV
SR8, 0	FPST	浮動小数点演算のステータスレジスタ	CU
SR9, 0	FPCC	浮動小数点演算の比較結果レジスタ	CU
SR10, 0	FPCFG	浮動小数点演算コンフィグレーションレジスタ	CU
SR11, 0	FPEC	浮動小数点例外の制御レジスタ	CU かつ SV

(a) FPSR — 浮動小数点演算の設定／ステータス

このレジスタは、浮動小数点演算の実行状態や例外の発生を示します。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
FPSR	CC7	CC6	CC5	CC4	CC3	CC2	CC1	CC0	FN	IF	PEM	0	RM		FS	0	E	V	Z	O	U	I	V	Z	O	U	I	V	Z	O	U	I	リセット後の値 下記参照
																	注 1						注 2					注 3					

注1.　原因ビット（XC）

注2.　許可ビット（XE）

注3.　保存ビット（XP）

表 3A.38　　FPSR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～24	CC[7:0]	これらは CC（コンディション）ビットです。浮動小数点比較命令の結果を格納します。CC7～CC0 ビットは、比較命令および LDSR 命令以外の命令の影響を受けません。 0：比較結果は偽 1：比較結果は真	R/W	不定
23	FN	近傍へのフラッシュを有効にするビットです。このビットがセット（1）されている場合、丸めモードが RN かつ演算結果がサブノーマル数の時に近傍の値にフラッシュを行います。	R/W	0
22	IF	オペランド入力のフラッシュ発生を蓄積、表示します。	R/W	0
21	PEM	例外をプレサイス例外として扱うべきかどうかを指定します。PEM ビットが 1 の場合、浮動小数点演算命令の実行により発生した例外は、プレサイス例外として扱います。	R/W	0
20	—	（将来のための予約です。必ず 0 を設定してください。）	R	0

表 3A.38　FPSR レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th><th>R/W</th><th>リセット後の値</th></tr>
<tr><td>19、18</td><td>RM</td><td>丸めモード制御ビットです。RM ビットは、FPU がすべての浮動小数点演算命令で使用する丸めモードを規定します。
<table>
<tr><th colspan="2">RM ビット</th><th rowspan="2">ニモニック</th><th rowspan="2">説明</th></tr>
<tr><th>19</th><th>18</th></tr>
<tr><td>0</td><td>0</td><td>RN</td><td>表現可能な最も近い値に結果を丸めます。2 つの表現可能な値の中間である場合は、最下位ビットが 0 の方に結果を丸めます。</td></tr>
<tr><td>0</td><td>1</td><td>RZ</td><td>0 の方へ結果を丸めます。無限精度の正確な結果を絶対値で超えない、最も近い値になります。</td></tr>
<tr><td>1</td><td>0</td><td>RP</td><td>＋∞の方へ結果を丸めます。無限精度の正確な結果以上で最も近い値になります。</td></tr>
<tr><td>1</td><td>1</td><td>RM</td><td>－∞の方へ結果を丸めます。無限精度の正確な結果以上で最も近い値になります。</td></tr>
</table></td><td>R/W</td><td>00</td></tr>
<tr><td>17</td><td>FS</td><td>正規化できない値（サブノーマル数）のフラッシュを許可するビットです。FS ビットがセットされているとき、サブノーマル数のオペランド入力および演算結果は未実装演算例外（E）を起こさず、フラッシュされます。オペランド入力のサブノーマル数は同符号の 0 にフラッシュされます。演算結果のサブノーマル数は丸めモードによって 0 になるか最小正規化値になるかが規定されています。
<table>
<tr><th rowspan="2">サブノーマル数の演算結果</th><th colspan="4">丸めモードとフラッシュ後の値</th></tr>
<tr><th>RN 注1</th><th>RZ</th><th>RP</th><th>RM</th></tr>
<tr><td>正</td><td>+0</td><td>+0</td><td>$+2^{Emin}$</td><td>+0</td></tr>
<tr><td>負</td><td>−0</td><td>−0</td><td>−0</td><td>-2^{Emin}</td></tr>
</table>
注1.　丸めモードが RN かつ FPSR.FN ビットがセット（1）されている時にはより精度の高い方向へフラッシュされます。</td><td>R/W</td><td>1</td></tr>
<tr><td>16</td><td>—</td><td>（将来のための予約です。必ず 0 を設定してください。）</td><td>R</td><td>0</td></tr>
<tr><td>15～10</td><td>XC（E, V, Z, O, U, I）</td><td>原因ビットです。</td><td>R/W</td><td>不定</td></tr>
<tr><td>9～5</td><td>XE（V, Z, O, U, I）</td><td>許可ビットです。</td><td>R/W</td><td>0</td></tr>
<tr><td>4～0</td><td>XP（V, Z, O, U, I）</td><td>保存ビットです。</td><td>R/W</td><td>不定</td></tr>
</table>

(b) FPEPC — 浮動小数点演算例外プログラムカウンタ

許可ビットによって許可されている例外が発生した場合、例外が発生した命令のプログラムカウンタ（PC）が格納されます。

	31 … 0	
FPEPC	FPEPC31-FPEPC0	リセット後の値 不定

表 3A.39　FPEPC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～1	FPEPC31-FPEPC1	許可ビットによって、許可された浮動小数点演算例外が発生した場合に、例外を発生させた浮動小数点演算命令の PC が格納されます。	R/W	不定
0	FPEPC0	許可ビットによって、許可された浮動小数点演算例外が発生した場合に、例外を発生させた浮動小数点演算命令の PC が格納されます。 常に 0 を設定してください。	R	0

(c) FPST — 浮動小数点演算のステータス

このレジスタは FPSR レジスタのなかで演算ステータスにかかわるビットと同一の内容を示します。

	31																	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
FPST	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	E	V	Z	O	U	I	0	0	IF	V	Z	O	U	I	リセット後の値 不定
																			注 1									注 2					

注1. 原因ビット（XC）

注2. 保存ビット（XP）

表 3A.40 FPST レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～14	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
13～8	XC（E, V, Z, O, U, I）	原因ビットです。これらのビットに書き込まれた値は、FPSR.XC ビットへ反映されます。	R/W	不定
7、6	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
5	IF	加算され、入力オペランドのフラッシュに関する情報を示します。	R/W	0
4～0	XP（V, Z, O, U, I）	保存ビットです。これらのビットに書き込まれた値は、FPSR.XP ビットへ反映されます。	R/W	不定

(d) FPCC — 浮動小数点演算の比較結果

このレジスタは FPSR.CC[7:0]ビットと同一の内容を示します。

	31																							8	7	6	5	4	3	2	1	0	
FPCC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	CC7	CC6	CC5	CC4	CC3	CC2	CC1	CC0	リセット後の値 不定

表 3A.41 FPCC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～8	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
7～0	CC[7:0]	CC（コンディション）ビットです。浮動小数点比較命令の結果を格納します。CC[7:0]ビットは、比較命令および LDSR 命令以外の命令の影響を受けません。これらのビットに書き込まれた値は、FPSR.CC[7:0]ビットへ反映されます。 0：比較結果は偽 1：比較結果は真	R/W	不定

(e) FPCFG — 浮動小数点演算の設定

このレジスタは、演算設定に関連する FPSR レジスタビットと同一の内容を示します。

	31																					10	9 8	7		5	4	3	2	1	0	
FPCFG	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	RM	0	0	0	V	Z	O 注1	U	I	リセット後の値 0000 0000H

注1.　許可ビット（XE）

表 3A.42　　FPCFG レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31〜10	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
9、8	RM	丸めモード制御ビットです。RM ビットは、FPU がすべての浮動小数点演算命令で使用する丸めモードを規定します。このビットへの書き込みは FPSR.RM ビットへ反映されます。 RM ビット 9 / 8 ／ ニモニック ／ 説明 0 / 0 ／ RN ／ 表現可能な最も近い値に結果を丸めます。2 つの表現可能な値の中間である場合は、最下位ビットが 0 の方に結果を丸めます。 0 / 1 ／ RZ ／ 0 の方へ結果を丸めます。無限精度の正確な結果を絶対値で超えない、最も近い値になります。 1 / 0 ／ RP ／ ＋∞の方へ結果を丸めます。無限精度の正確な結果以上で最も近い値になります。 1 / 1 ／ RM ／ －∞の方へ結果を丸めます。無限精度の正確な結果以上で最も近い値になります。	R/W	0
7〜5	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
4〜0	XE (V, Z, O, U, I)	許可ビットです。	R/W	0

RM ビットの設定（上表 9、8 の内訳）:

RM ビット 9	RM ビット 8	ニモニック	説明
0	0	RN	表現可能な最も近い値に結果を丸めます。2 つの表現可能な値の中間である場合は、最下位ビットが 0 の方に結果を丸めます。
0	1	RZ	0 の方へ結果を丸めます。無限精度の正確な結果を絶対値で超えない、最も近い値になります。
1	0	RP	＋∞の方へ結果を丸めます。無限精度の正確な結果以上で最も近い値になります。
1	1	RM	－∞の方へ結果を丸めます。無限精度の正確な結果以上で最も近い値になります。

(f) FPEC — 浮動小数点演算例外の制御

浮動小数点演算例外に関する制御を行うレジスタです。

	31																														1	0	
FPEC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	FPIVD	リセット後の値 0000 0000H

表 3A.43　　FPEC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31〜1	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
0	FPIVD 注1	FPI 例外の通知状況を示します。 このビットがセット（1）されている場合、CPU に対して FPI 例外を通知していて、かつ FPI 例外が受け付けられていない状態を示します。CPU が FPI 例外を受け付けた時点で、このビットは自動的にクリア（0）されます。 また、このビットがセット（1）されている間は、すべての浮動小数点演算命令を無効化します。このビットがセット（1）されている状態から、LDSR 命令によってクリア（0）することで、FPI 例外の通知を取り下げることができます。FPI 例外の通知を取り下げると、CPU が FPI 例外を受け付けることはありません。 0：FPI 例外非通知状態 1：FPI 例外通知状態	R/W	0

注1.　FPIVD ビットに対する LDSR 命令による書き込み操作は、クリア（0）のみ可能です。セット（1）は行えません。

(5) MPU 機能レジスタ

表 3A.44　　MPU 機能システムレジスター覧

レジスタ番号（regID, selID）	名称	機能	アクセス権限
SR0, 5	MPM	メモリ保護動作モードの設定	SV
SR1, 5	MPRC	MPU リージョン制御	SV
SR4, 5	MPBRGN	MPU ベースリージョン番号	SV
SR5, 5	MPTRGN	MPU 終端リージョン番号	SV
SR8, 5	MCA	メモリ保護設定チェックアドレス	SV
SR9, 5	MCS	メモリ保護設定チェックサイズ	SV
SR10, 5	MCC	メモリ保護設定チェックコマンド	SV
SR11, 5	MCR	メモリ保護設定チェック結果	SV
SR0, 6	MPLA0	保護領域の下限アドレス	SV
SR1, 6	MPUA0	保護領域の上限アドレス	SV
SR2, 6	MPAT0	保護領域の属性	SV
SR4, 6	MPLA1	保護領域の下限アドレス	SV
SR5, 6	MPUA1	保護領域の上限アドレス	SV
SR6, 6	MPAT1	保護領域の属性	SV
SR8, 6	MPLA2	保護領域の下限アドレス	SV
SR9, 6	MPUA2	保護領域の上限アドレス	SV
SR10, 6	MPAT2	保護領域の属性	SV
SR12, 6	MPLA3	保護領域の下限アドレス	SV
SR13, 6	MPUA3	保護領域の上限アドレス	SV
SR14, 6	MPAT3	保護領域の属性	SV
SR16, 6	MPLA4	保護領域の下限アドレス	SV
SR17, 6	MPUA4	保護領域の上限アドレス	SV
SR18, 6	MPAT4	保護領域の属性	SV
SR20, 6	MPLA5	保護領域の下限アドレス	SV
SR21, 6	MPUA5	保護領域の上限アドレス	SV
SR22, 6	MPAT5	保護領域の属性	SV
SR24, 6	MPLA6	保護領域の下限アドレス	SV
SR25, 6	MPUA6	保護領域の上限アドレス	SV
SR26, 6	MPAT6	保護領域の属性	SV
SR28, 6	MPLA7	保護領域の下限アドレス	SV
SR29, 6	MPUA7	保護領域の上限アドレス	SV
SR30, 6	MPAT7	保護領域の属性	SV
SR0, 7	MPLA8	保護領域の下限アドレス	SV
SR1, 7	MPUA8	保護領域の上限アドレス	SV
SR2, 7	MPAT8	保護領域の属性	SV
SR4, 7	MPLA9	保護領域の下限アドレス	SV
SR5, 7	MPUA9	保護領域の上限アドレス	SV
SR6, 7	MPAT9	保護領域の属性	SV
SR8, 7	MPLA10	保護領域の下限アドレス	SV
SR9, 7	MPUA10	保護領域の上限アドレス	SV
SR10, 7	MPAT10	保護領域の属性	SV
SR12, 7	MPLA11	保護領域の下限アドレス	SV
SR13, 7	MPUA11	保護領域の上限アドレス	SV

表 3A.44　MPU 機能システムレジスター覧

レジスタ番号（regID, selID）	名称	機能	アクセス権限
SR14, 7	MPAT11	保護領域の属性	SV
SR16, 7	MPLA12	保護領域の下限アドレス	SV
SR17, 7	MPUA12	保護領域の上限アドレス	SV
SR18, 7	MPAT12	保護領域の属性	SV
SR20, 7	MPLA13	保護領域の下限アドレス	SV
SR21, 7	MPUA13	保護領域の上限アドレス	SV
SR22, 7	MPAT13	保護領域の属性	SV
SR24, 7	MPLA14	保護領域の下限アドレス	SV
SR25, 7	MPUA14	保護領域の上限アドレス	SV
SR26, 7	MPAT14	保護領域の属性	SV
SR28, 7	MPLA15	保護領域の下限アドレス	SV
SR29, 7	MPUA15	保護領域の上限アドレス	SV
SR30, 7	MPAT15	保護領域の属性	SV

(a) MPM — メモリ保護動作モード

メモリ保護モードレジスタはメモリ保護機能の基本的な動作状態を決定します。

	31																													2	1	0	
MPM	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SVP	MPE	リセット後の値 0000 0000H

表 3A.45　　MPM レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～2	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
1	SVP	SV モード（PSW.UM＝0）時に、各保護領域ごとに MPAT レジスタの SX、SW、SR にしたがってアクセス制限を行うかどうかを指定します。[注1] 0：従来どおり、SV モードでは、暗黙的にすべてのアクセスは許可とします。 1：SV モードであっても、SX、SW、SR ビットにしたがってアクセス制限を行います。[注2]	R/W	0
0	MPE	MPU 機能の有効／無効を指定します。 0：無効 1：有効	R/W	0

注1.　SVP ビットをセット（1）した場合、一定のクロックサイクル後に SV モードであってもアクセス制限が課されるようになります。このため、SVP ビットをセットするプログラム自身がアクセス制限されることがないように、あらかじめ保護領域の設定を行ってください。

注2.　SV モードでアクセス制限をする場合、設定によっては MDP 例外、MIP 例外処理自身が実行できなくなる場合があります。あらかじめ例外ハンドラ、例外処理に必要なメモリ領域は、アクセスを許可するように注意して設定を行ってください。

(b) MPRC — MPU リージョン制御

	31															16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
MPRC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	E15	E14	E13	E12	E11	E10	E9	E8	E7	E6	E5	E4	E3	E2	E1	E0	リセット後の値 0000 0000H

表 3A.46　　MPRC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～16	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
15～0	E15-E0	各保護領域の Enable ビットです。En ビットが MPATn.E ビットの写像です（n＝15～0）。	R/W	0

(c) MPBRGN — MPU ベースリージョン

利用可能な MPU 領域の最小番号を示します。

	31																										5	4 … 0	
MPBRGN	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	MPBRGN	リセット後の値 0000 0000H

表 3A.47　　MPBRGN レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～5	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
4～0	MPBRGN	MPU 領域の一番小さい番号を示します。 常に 0 を示します。	R	0

(d) MPTRGN — MPU 終端リージョン

利用可能な MPU 領域の最大番号＋1 を示します。

	31																									5	4 … 0	
MPTRGN	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	MPTRGN	リセット後の値 0000 0010H

表 3A.48　　MPTRGN レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～5	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
4～0	MPTRGN	MPU 領域の一番大きい番号＋1 を示します。 ハードウェアが搭載する MPU 領域の最大数を示します。	R	10000_B

(e) MCA ― メモリ保護設定チェックアドレス

メモリ保護設定のチェックを行う領域のベースアドレスを指定します。

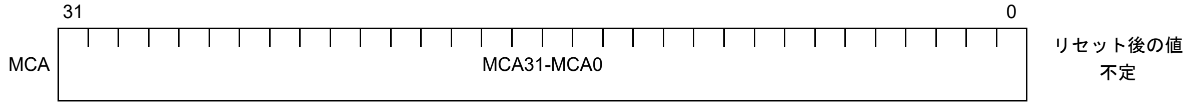


表 3A.49　MCA レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～0	MCA31-MCA0	メモリ保護設定のチェックを行う対象のメモリ領域の先頭アドレスをバイト単位で指定します。	R/W	不定

(f) MCS ― メモリ保護設定チェックサイズ

メモリ保護設定のチェックを行う領域のサイズを指定します。

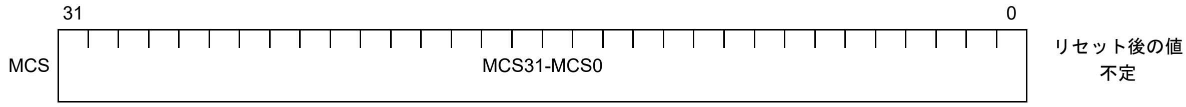


表 3A.50　MCS レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～0	MCS31-MCS0	メモリ保護設定のチェックを行う対象のメモリ領域のサイズを指定する、対象領域のサイズをバイト単位で指定します。指定されたサイズは符号なしの整数として扱うため、MCA レジスタの値からアドレス値が減少する方向へ領域のチェックを行うことができません。 MCS レジスタには 0000 0000$_H$ を設定しないでください。	R/W	不定

(g) MCC ― メモリ保護設定チェックコマンド

メモリ保護設定のチェックを開始するためのコマンド・レジスタです。

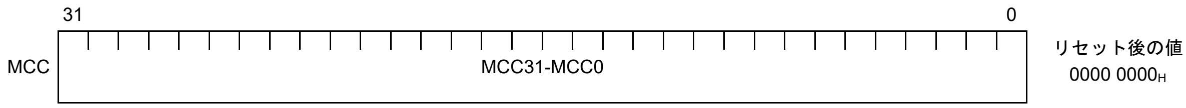


表 3A.51　MCC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～0	MCC31-MCC0	MCC レジスタへの任意の値を書き込むと、メモリ保護設定のチェックが開始されます。事前に MCA/MCS レジスタを設定し、このレジスタへの書き込み操作を行うことで、MCR に結果が格納されます。 任意の書き込み値で、チェックを開始するため、r0 をソースレジスタとして、余分なレジスタを使用することなく、チェックを開始できます。また、チェックは、PSW.UM ビットの状態にかかわらず、各領域設定にしたがった結果を反映します。 MCC レジスタからの読み出し値は、常に 0000 0000$_H$ となります。	R/W	0

(h) MCR — メモリ保護設定チェック結果

メモリ保護設定のチェックの結果を格納するレジスタです。

ビット 31～9、7、6 には、必ず 0 を設定してください。

	31																						9	8	7	6	5	4	3	2	1	0	
MCR	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OV	0	0	SXE	SWE	SRE	UXE	UWE	URE	リセット後の値
																																	不定

表 3A.52　MCR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～9	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
8	OV	指定された領域が 0000 0000$_H$ または、7FFF FFFF$_H$ をまたがる場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定
7、6	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
5	SXE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がスーパバイザ実行許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定
4	SWE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がスーパバイザライト許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定
3	SRE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がスーパバイザリード許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定
2	UXE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がユーザモード実行許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定
1	UWE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がユーザモードライト許可であった場合に、1 が格納されます。それ以外の場合は 0 が格納されます。	R/W	不定
0	URE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がユーザモードリード許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定

(i) MPLAn — 保護領域の下限アドレス

領域 n の下限アドレスを示すレジスタです（n＝0～15）。

	31–2	1	0	
MPLAn	MPLA31-MPLA2	0	0	リセット後の値 不定

表 3A.53 MPLAn レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～2	MPLA31-MPLA2	領域 n の下限アドレスを示します。 MPLA1、MPLA0 は暗黙的に 0 を使用します。	R/W	不定
1、0	—	（将来のための予約です。必ず 0 を設定してください。）	R	0

(j) MPUAn — 保護領域の上限アドレス

領域 n の上限アドレスを示すレジスタです（n＝0～15）。

	31–2	1	0	
MPUAn	MPUA31-MPUA2	0	0	リセット後の値 不定

表 3A.54 MPUAn レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～2	MPUA31-MPUA2	領域 n の上限アドレスを示します。 MPUA1、MPUA0 は暗黙的に 1 を使用します。	R/W	不定
1、0	—	（将来のための予約です。必ず 0 を設定してください。）	R	0

(k) MPATn — 保護領域の属性

領域 n の属性を示すレジスタです（n＝0～15）。

	31–26	25–16	15–8	7	6	5	4	3	2	1	0	リセット後の値
MPATn	0 0 0 0 0 0	ASID	0 0 0 0 0 0 0 0	E	G	SX	SW	SR	UX	UW	UR	不定

表 3A.55 MPATn レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～26	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
25～16	ASID	領域一致の条件として利用する ASID の値を示します	R/W	不定
15～8	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
7	E	領域 n の有効／無効を示します。 0：領域 n を無効とする 1：領域 n を有効とする	R/W	0
6	G	0：ASID 一致を条件とする 1：ASID 一致を条件としない このビットが 0 の場合は、MPATn.ASID＝ASID.ASID であることが領域一致の条件となります。このビットが 1 の場合は、MPATn.ASID と ASID.ASID の値を領域一致の条件としません。	R/W	不定
5	SX	スーパバイザモードでの実行権を示します。注 1 0：実行禁止 1：実行許可	R/W	不定
4	SW	スーパバイザモードでの書き込み許可を示します。注 1 0：書き込み禁止 1：書き込み許可	R/W	不定
3	SR	スーパバイザモードでの読み出し許可を示します。注 1 0：読み出し禁止 1：読み出し許可	R/W	不定
2	UX	ユーザモードでの実行権を示します。 0：実行禁止 1：実行許可	R/W	不定
1	UW	ユーザモードでの書き込み許可を示します。 0：書き込み禁止 1：書き込み許可	R/W	不定
0	UR	ユーザモードでの読み出し許可を示します。 0：読み出し禁止 1：読み出し許可	R/W	不定

注1. SV モードでアクセス制限をする場合、設定によっては MDP 例外、MIP 例外処理自身が実行できなくなる場合があります。あらかじめ例外ハンドラ、例外処理に必要なメモリ領域は、アクセスを許可するように注意して設定を行ってください。

(6) キャッシュ操作機能レジスタ

キャッシュ操作機能を搭載しないため、すべてのレジスタは常に 0 を読み出し、書き込みは無視されます。

表 3A.56 キャッシュ操作機能レジスター覧

レジスタ番号（regID, selID）	名称	機能	アクセス権限
SR12, 4	BWERRL	搭載していません。常に 0 を読み出し、書き込みは無視されます。	SV
SR13, 4	BWERRH		SV
SR14, 4	BRERRL		SV
SR15, 4	BRERRH		SV
SR16, 4	ICTAGL		SV
SR17, 4	ICTAGH		SV
SR18, 4	ICDATL		SV
SR19, 4	ICDATH		SV
SR20, 4	DCTAGL		SV
SR21, 4	DCTAGH		SV
SR22, 4	DCDATL		SV
SR23, 4	DCDATH		SV
SR24, 4	ICCTRL		SV
SR25, 4	DCCTRL		SV
SR26, 4	ICCFG		SV
SR27, 4	DCCFG		SV
SR28, 4	ICERR		SV
SR29, 4	DCERR		SV

3A.2.1.3 命令

「ユーザーズマニュアル ソフトウェア編」の「命令」を参照してください。

snooze 命令は 32 クロックで CPU1/2 コアの動作を停止させます。

3A.2.2　Code Flash 用バッファ

3A.2.2.1　特長

Code flash には 2 つのパスでアクセスします。命令フェッチアクセスは直接 Flash インタフェースにアクセスし、データアクセスはシステムインタコネクトを介してアクセスします。これらのパスはどちらもバッファを備えており、ソフトウェアによりクリアできます。これらのパスの ECC デコーダについては、「**図 40A.1　Code Flash の ECC ブロック図**」を参照してください。

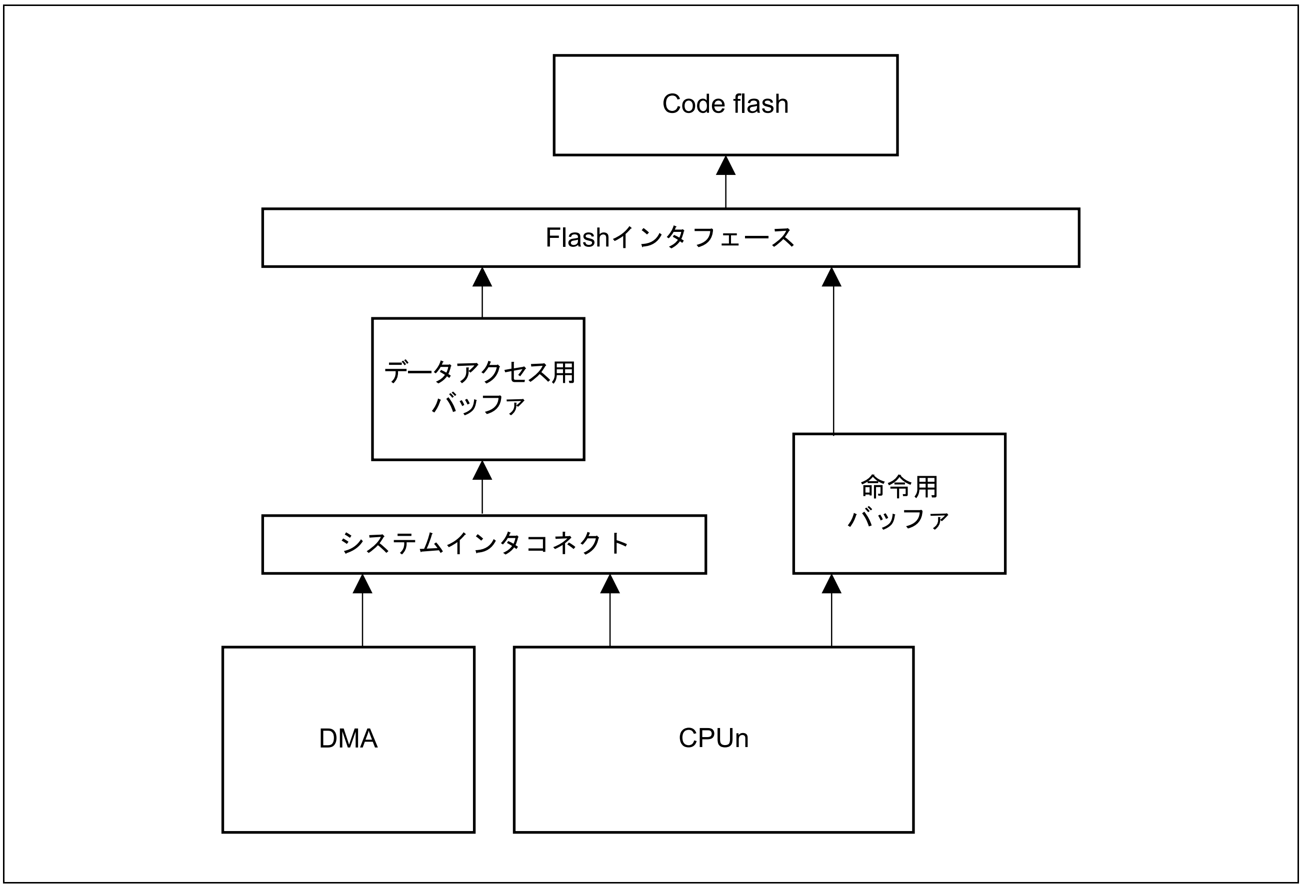


図 3A.2　Code Flash 用バッファ

3A.2.2.2　バッファの機能

Code flash に対する命令フェッチ用に、128 ビットの 1 ラインバッファを搭載しています。次回以降、同一アドレスにアクセスした場合、データはバッファから読み出されるため、128 ビット位置内では Code flash へのアクセスは発生しません。

データバッファとして、128 ビットの 2 ラインバッファを搭載しています。このバッファは CPU だけでなく、システムインタコネクトを介して DMA によっても使用されます。次回のアクセスが同じ 128 ビット境界内であれば、データはバッファから読み出されます。

分岐ペナルティを減少するために、16 エントリの分岐履歴バッファを搭載しています。FBUFCCTL というバッファ制御レジスタを搭載しています。FBUFCCTL レジスタを使用して、ソフトウェアによりこれらの 3 つのバッファをクリアできます。

3A.2.2.3 バッファ制御レジスタ

(1) バッファ制御レジスタ一覧

表 3A.57 バッファ制御レジスタ（ベースアドレス：FFC5 B000$_{H}$）

モジュール名	アドレスオフセット	サイズ（バイト）	レジスタ名称	略称	権限	R/W	操作可能ビット				リセット後の値
							1	8	16	32	
FBUF_CTRL	+000$_{H}$	4	フラッシュバッファクリア制御レジスタ	FBUFCCTL	—	R/W	—	○	○	○	0000 0000$_{H}$

(2) レジスタセット

アクセス FBUFCCTL レジスタは、32 ビット単位でリード／ライト可能です。
FBUFCCTLL レジスタは、16 ビット単位でリード／ライト可能です。
FBUFCCTLLL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FBUFCCTL: FFC5 B000$_{H}$
FBUFCCTLL: FFC5 B000$_{H}$
FBUFCCTLLL: FFC5 B000$_{H}$

	31																														1	0	
FBUFCCTL	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	FBUFCLR	リセット後の値 0000 0000$_{H}$

表 3A.58 FBUFCCTL レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
0	FBUFCLR	バッファクリアビット バッファをクリアするには、このビットに 1 を書き込んでから 0 を書き込みます。 0：バッファは有効 1：バッファは無効（クリア）	R/W	0

バッファをクリアするには、以下の手順を実行してください。

ステップ 1：FBUFCCTL.FBUFCLR に 0 を書き込む。

ステップ 2：FBUFCCTL.FBUFCLR に 1 を書き込む。

ステップ 3：FBUFCCTL.FBUFCLR に 0 を書き込む。

ステップ 4：FBUFCCTL レジスタを読み出す（ダミーリード）

ステップ 5：SYNCP 命令を実行する。

ステップ 6：SYNCI 命令を実行する。

ステップ 2 の後にステップ 3 を実行しないと、FBUFCCTL.FBUFCLR＝1 である間はバッファは無効な状態になります。

3A.2.3　プロセッサ間割り込み

CPU（PE）間で割り込み通信を行うためのレジスタ（IPIR_CHn）を 4CH 分持っています。

IPIR_CH0～3 はユーザ割り込み（EIINT）の CH0～3 にアサインされます。各 PE に対応したビットを操作することで特定の PE（自身を含む）に対して割り込みを要求することが可能です。

3A.2.3.1　プロセッサ間割り込み制御レジスタ

本レジスタは、CPU Peripheral に配置されています。

表 3A.59　レジスタ一覧

モジュール名	アドレス	レジスタ名称	名称	R/W	アクセスサイズ				リセット後の値
					1	8	16	32	
IPIRSS	FFFE EC80$_H$	PE 間割り込みレジスタ 0	IPIR_CH0	R/W	—	○	○	○	0000 0000$_H$
	FFFE EC84$_H$	PE 間割り込みレジスタ 1	IPIR_CH1	R/W	—	○	○	○	0000 0000$_H$
	FFFE EC88$_H$	PE 間割り込みレジスタ 2	IPIR_CH2	R/W	—	○	○	○	0000 0000$_H$
	FFFE EC8C$_H$	PE 間割り込みレジスタ 3	IPIR_CH3	R/W	—	○	○	○	0000 0000$_H$

(1) IPIR_CHn — PE 間割り込みレジスタ n（n＝0～3）

アクセス　IPIR_CHn レジスタは、32 ビット単位でリード／ライト可能です。
IPIR_CHnL レジスタは、16 ビット単位でリード／ライト可能です。
IPIR_CHnLL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　IPIR_CHn：FFFE $EC80_H$ + n × 4_H
IPIR_CHnL：FFFE $EC80_H$ + n × 4_H
IPIR_CHnLL：FFFE $EC80_H$ + n × 4_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PE2	PE1
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 3A.60　　IPIR_CHn レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	PE2	PE2 宛て PE 間割り込み要求 本ビットに 1 を書き込むことで、PE2 に割り込みを要求することができます。割り込み要求の通知を完了したら自動的に 0 にクリアされます。 0：PE 間割り込み要求出力を指示しない、または割り込み要求出力中でない 1：割り込み要求出力を指示する、または割り込み要求出力中
0	PE1	PE1 宛て PE 間割り込み要求 本ビットに 1 を書き込むことで、PE1 に割り込みを要求することができます。割り込み要求の通知を完了したら自動的に 0 にクリアされます。 0：PE 間割り込み要求出力を指示しない、または割り込み要求出力中でない 1：割り込み要求出力を指示する、または割り込み要求出力中

3A.2.4　信頼性機能

3A.2.4.1　PE ガード機能（PEG）

(1) PEG 機能概要

PEG は Slave Guard の構成要素であり、外部マスタから CPU（PE）内資源への不正なアクセスを防止します。PE 内部のローカル RAM へのアクセスが対象です。リセット初期状態では、自 PE 以外のマスタからのアクセスを全てガードします。「**3A.2.4.1(3) PEG 保護設定レジスタ一覧**」のレジスタを設定することで、自 PE 以外のマスタからのアクセスを許可します。

(1) PE ガード違反の検出
PE ガードを設定した PE 内の資源領域に対して、PE 外部のマスタが不正なアクセスを行うと「PE ガード違反」として検出します。

(2) 不正アクセスの阻止
PE ガード違反を検出した場合、PE 資源の内容が不正に書き換えられてしまうことを防ぐために、PE 内部への不正アクセスを阻止します。

(3) 違反発生の通知
不正アクセスに対するエラー応答が外部マスタの要求元に送られます。DMA コントローラが不正なアクセスを行った場合、その間は DMA 転送エラーが検知されます。PE ガード違反は、FEINT 要因である INTGUARD 割り込み要求として通知されます。

(2) SPID による保護

- PEG 保護設定
  - 自 PE のローカル RAM アドレスによって 4 領域まで設定できます。
  - 領域の範囲指定は「ベースアドレス」と「マスクビット」により行います（最小 4KB～最大 4GB）。
  - 各領域に対して「リード許可」、「ライト許可」をそれぞれ設定できます。
  - 各領域に対して「システム保護識別子（SPID）」ごとに許可／禁止を選択できます。
- 「システム保護識別子（SPID）」によるアクセス許可

1. アクセス対象が「ローカル RAM 領域」なら 2 へ。
2. アクセス対象が「有効な領域 0～3」のどれかの範囲内であれば 3 へ。さもなければ「エラー応答」を返します。
3. 該当領域に対して以下の条件すべてを満たせばアクセスを許可。
   - 「システム保護識別子（SPID）」が許可
   - 「要求されている操作（リード、ライト）」が許可
     さもなければ「エラー応答」を返します。

(3) PEG 保護設定レジスタ一覧

外部マスタによる不正アクセスから PE 内資源を保護するには、以下のレジスタに必要な設定を行います。

- PE 内部のローカル RAM へのアクセスを検出対象として許可を与えます。

表 3A.61　　PEG レジスタ（ベースアドレス：FFFE E600H）

モジュール名	アドレスオフセット	サイズ（バイト）	レジスタ名称	略称	権限	R/W	操作可能ビット				リセット後の値
							1	8	16	32	
PEG	+00CH	4	PEG SPID 制御レジスタ	PEGSP	—	R/W	—	○	○	○	0000 0000H
	+080H	4	PEG 領域 0 マスク設定レジスタ	PEGG0MK	—	R/W	—	○	○	○	0000 0000H
	+084H	4	PEG 領域 0 ベース設定レジスタ	PEGG0BA	—	R/W	—	○	○	○	0000 0000H
	+090H	4	PEG 領域 1 マスク設定レジスタ	PEGG1MK	—	R/W	—	○	○	○	0000 0000H
	+094H	4	PEG 領域 1 ベース設定レジスタ	PEGG1BA	—	R/W	—	○	○	○	0000 0000H
	+0A0H	4	PEG 領域 2 マスク設定レジスタ	PEGG2MK	—	R/W	—	○	○	○	0000 0000H
	+0A4H	4	PEG 領域 2 ベース設定レジスタ	PEGG2BA	—	R/W	—	○	○	○	0000 0000H
	+0B0H	4	PEG 領域 3 マスク設定レジスタ	PEGG3MK	—	R/W	—	○	○	○	0000 0000H
	+0B4H	4	PEG 領域 3 ベース設定レジスタ	PEGG3BA	—	R/W	—	○	○	○	0000 0000H

(4) レジスタセット

(a) PEGSP ― PEG SPID 制御レジスタ

アクセス　PEGSP レジスタは、32 ビット単位でリード／ライト可能です。
PEGSPL レジスタは、16 ビット単位でリード／ライト可能です。
PEGSPLL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　PEGSP：FFFE E60C$_H$
PEGSPL：FFFE E60C$_H$
PEGSPLL：FFFE E60C$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SPEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 3A.62　　PEGSP レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	SPEN	SPID を持つ外部マスタによるアクセス許可 0：許可しない 1：許可する

(b) PEGGnMK — PEG 領域 n マスク設定レジスタ（n＝0～3）

PEGGnMK レジスタは、アクセスアドレスと比較する PEGGnBA.GnBASE ビットを定義します。ビット PEGGnMK.GnMASK[m]がクリアされた場合、アクセスアドレスのビット m はビット PEGGnBA.GnBASE[m]と比較を行います。

アクセス　PEGGnMK レジスタは、32 ビット単位でリード／ライト可能です。

PEGGnMKL, PEGGnMKH レジスタは、16 ビット単位でリード／ライト可能です。

PEGGnMKLH, PEGGnMKHL, PEGGnMKHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　PEGGnMK：FFFE $E680_H$ + (10_H × n)

PEGGnMKL：FFFE $E680_H$ + (10_H × n),
PEGGnMKH：FFFE $E682_H$ + (10_H × n)

PEGGnMKLH：FFFE $E681_H$ + (10_H × n),
PEGGnMKHL：FFFE $E682_H$ + (10_H × n),
PEGGnMKHH：FFFE $E683_H$ + (10_H × n)

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GnMASK															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GnMASK				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

表 3A.63　　PEGGnMK レジスタの内容

ビット位置	ビット名	機能
31～12	GnMASK	0：対象となるビットは、PE ガード領域判定時の比較対象 1：対象となるビットは、PE ガード領域判定時の比較対象外
11～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

備　考

PEGGnMK レジスタに対して書き込みを行う場合、対応する PEGGnBA レジスタの GnEN ビットが自動的にクリアされます。

(c) PEGGnBA — PEG 領域 n ベース設定レジスタ（n＝0〜3）

PE ガード保護領域 n の範囲を PEGGnMK レジスタとの組み合わせで指定するレジスタです。GnEN ビットに 1 をセットすると、本レジスタと PEGGnMK レジスタで設定したアクセス許可条件が有効になります。

アクセス　PEGGnBA レジスタは、32 ビット単位でリード／ライト可能です。
PEGGnBAL, PEGGnBAH レジスタは、16 ビット単位でリード／ライト可能です。
PEGGnBALL, PEGGnBALH, PEGGnBAHL, PEGGnBAHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　PEGGnBA : FFFE E684$_H$ + (10$_H$ × n)
PEGGnBAL : FFFE E684$_H$ + (10$_H$ × n),
PEGGnBAH : FFFE E686$_H$ + (10$_H$ × n)
PEGGnBALL : FFFE E684$_H$ + (10$_H$ × n),
PEGGnBALH : FFFE E685$_H$ + (10$_H$ × n),
PEGGnBAHL : FFFE E686$_H$ + (10$_H$ × n),
PEGGnBAHH : FFFE E687$_H$ + (10$_H$ × n)

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GnBASE															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GnBASE				—	—	—	—	GnSP3	GnSP2	GnSP1	GnSP0	—	GnWR	GnRD	GnEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

表 3A.64　PEGGnBA レジスタの内容

ビット位置	ビット名	機能
31〜12	GnBASE	PE ガード保護領域 n の範囲を指定するベースアドレスを設定します。
11〜8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	GnSP3	PE ガード保護領域 n に対する SPID＝3 の外部マスタによるアクセス許可を設定します。注 1 0：許可しない 1：許可する
6	GnSP2	PE ガード保護領域 n に対する SPID＝2（CPU2）の外部マスタによるアクセス許可を設定します。注 1 0：許可しない 1：許可する
5	GnSP1	PE ガード保護領域 n に対する SPID＝1（CPU1）の外部マスタによるアクセス許可を設定します。注 1 0：許可しない 1：許可する
4	GnSP0	PE ガード保護領域 n に対する SPID＝0（H-BUS に接続される周辺装置）の外部マスタによるアクセス許可を設定します。注 1 0：許可しない 1：許可する
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 3A.64　　PEGGnBA レジスタの内容

ビット位置	ビット名	機能
2	GnWR	PE ガード保護領域 n に対するライト許可を設定します。 0：ライトアクセスを許可しない 1：ライトアクセスを許可
1	GnRD	PE ガード保護領域 n に対するリード許可を設定します。 0：リードアクセスを許可しない 1：リードアクセスを許可
0	GnEN	PE ガード保護領域 n に対するアクセス許可条件の設定を有効にします。 0：アクセス許可条件の設定無効 1：アクセス許可条件の設定有効

注1.　SPID については、「**表 40A.69　スレーブガードの識別子**」を参照してください。

備　考

PEGGnMK レジスタに対して書き込みを行う場合、対応する PEGGnBA レジスタの GnEN ビットが自動的にクリアされます。

3A.2.4.2　PE 内部周辺装置保護機能（IPG）

(1) IPG 機能の概要

IPG は、IPG を搭載した CPU コアから周辺デバイスへの不正アクセスを防止する機能です。IPG は、以下に記載される機能を実現しています。IPG は、SEG、PEG、IPIR、MEV、INTC1 および P-Bus へのアクセスをカバーしています。

(a) 周辺装置保護違反検出

周辺装置保護を設定した領域（周辺装置）に対して、CPU が不正なアクセスを行うと「周辺装置保護違反」として検出します。

(b) 不正アクセス情報の保存

周辺装置保護違反を検出した場合、不正アクセス情報を IPG 内部のレジスタに保存します。

(c) 不正アクセスの阻止

周辺装置保護違反を検出した場合、周辺装置の内容が不正に書き換えられてしまうことを防ぐために、周辺装置への不正アクセスを阻止します。

(d) 違反発生の通知

周辺装置保護違反が検出した場合、例外発生が要求され、処理を中断するよう CPU に要求します。

備　考

上記(d)違反発生の通知で直ちに「CPU に対して例外発生を要求」しても、CPU が違反発生を知らず（IPG からの要求を受け付ける前）に発行してしまった後発アクセスが周辺装置の内容を不正に書き換えてしまう場合があります（違反発生後のアクセスは結果的に不正になります）。

(2) IPG 機能

- この機能は、アクセスの属性（アドレス、転送種別、アクセス権限）に基づいてアクセスを無効化します。
- アクセス権限違反を検出したのち、エラーフラグ（後述）が、ソフトウェアの書き込みによってクリアされるまで、後続アクセスを無効化します。ただし、無効化動作は、CPU のアクセスに対してのみ作用します。CPU コア外部からのアクセスに対しては行われません。また、無効化動作は、アドレスとは無関係に行われます。
- ミスアラインダブルワード等のアクセスにより、同時に異なる周辺装置に対してアクセスを行うリクエストに対しては、当該アクセス対象すべてのアクセスが許可されている場合にアクセスが実行されます。

(3) 不正ユーザ用の IPG 保護設定レジスタ

ユーザモードのプログラムによる不正アクセスから周辺装置を保護するには、以下のレジスタを設定する必要があります。

- ユーザモードでのアクセスが検出されます。

表 3A.65　IPG レジスタ（ベースアドレス：FFFE $E000_H$）

モジュール名	アドレスオフセット	サイズ（バイト）	レジスタ名称	略称	権限 注1	R/W	操作可能ビット				リセット後の値
							1	8	16	32	
IPG	$+002_H$	2	周辺装置保護違反アクセス情報保存レジスタ	IPGECRUM	SV	R/W	—	○	○	—	不定（保持）
	$+008_H$	4	周辺装置保護違反アクセスアドレス保存レジスタ	IPGADRUM	SV	R/W	—	○	○	○	不定（保持）
	$+00D_H$	1	周辺装置保護イネーブルレジスタ	IPGENUM	SV	R/W	—	○	—	—	00_H
	$+020_H$	1	周辺装置保護設定レジスタ 0	IPGPMTUM0	SV	R/W	—	○	—	—	00_H
	$+022_H$	1	周辺装置保護設定レジスタ 2	IPGPMTUM2	SV	R/W	—	○	—	—	00_H
	$+023_H$	1	周辺装置保護設定レジスタ 3	IPGPMTUM3	SV	R/W	—	○	—	—	00_H
	$+024_H$	1	周辺装置保護設定レジスタ 4	IPGPMTUM4	SV	R/W	—	○	—	—	00_H

注1.　「SV」と記載されたレジスタは、SV 権限（UM＝0）で、アクセスすることができます。

(4) レジスタセット

(a) IPGECRUM — 周辺装置保護違反アクセス情報保存レジスタ

アクセス　IPGECRUM レジスタは、16 ビット単位でリード／ライト可能です。

IPGECRUML レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　IPGECRUM：FFFE E002H

IPGECRUML：FFFE E002H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	WD	HW	BY	EX	WR	RD	VD
リセット後の値	0	0	0	0	0	0	0	0	0	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 3A.66　　IPGECRUM レジスタの内容

ビット位置	ビット名	機能
15～7	予約ビット	本ビットのリード値は常に 0 です。ライトする場合は“0”を書いてください。
6	WD	このビットは、違反を起こしたアクセスが読み出しワード、命令フェッチリードアクセス、書き込みワード、CAXI、LDL、または STC であった場合にセット（1）されます。それ以外の場合はクリア（0）されます。
5	HW	このビットは、違反を起こしたアクセスが読み出しハーフワードまたは書き込みハーフワードであった場合にセット（1）されます。それ以外の場合はクリア（0）されます。
4	BY	このビットは、違反を起こしたアクセスが読み出しバイト、書き込みバイトまたはビット操作であった場合にセット（1）されます。それ以外の場合はクリア（0）されます。
3	EX	このビットは、違反を起こしたアクセスが命令フェッチリードアクセスであった場合にセット（1）されます。それ以外の場合はクリア（0）されます。
2	WR	このビットは、違反を起こしたアクセスがライトアクセス、ビット操作、または CAXI 命令の実行であった場合にセット（1）されます。それ以外の場合はこのビットはクリア（0）されます。
1	RD	このビットは、違反を起こしたアクセスが読み出しアクセス、ビット操作、または CAXI 命令の実行であった場合にセット（1）されます。それ以外の場合はこのビットはクリア（0）されます。
0	VD	このビットは、該当する権限によるプログラムによる周辺装置保護違反を検出するとセット（1）されます。セットされている場合、新たに周辺装置保護違反を検出しても、本レジスタ IPGECRUM、および IPGADRUM レジスタを更新せず保持します。

備　考

後述する IPGENUM レジスタの IRE ビットの値が 0 であり、ユーザモードで動作するプログラムによる周辺装置保護違反が命令フェッチリードアクセスである場合には、本レジスタのすべてのビットが更新されません。

(b) IPGADRUM — 周辺装置保護違反アクセスアドレス保存レジスタ

アクセス　IPGADRUM レジスタは、32 ビット単位でリード／ライト可能です。

IPGADRUML, IPGADRUMH レジスタは、16 ビット単位でリード／ライト可能です。

IPGADRUMLL, IPGADRUMLH, IPGADRUMHL, IPGADRUMHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　IPGADRUM：FFFE $E008_H$

IPGADRUML：FFFE $E008_H$,
IPGADRUMH：FFFE $E00A_H$

IPGADRUMLL：FFFE $E008_H$,
IPGADRUMLH：FFFE $E009_H$,
IPGADRUMHL：FFFE $E00A_H$,
IPGADRUMHH：FFFE $E00B_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	EADR[31:16]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EADR[15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 3A.67　　IPGADRUM レジスタの内容

ビット位置	ビット名	機能
31～0	EADR	これらのビットは、違反を起こしたアクセスアドレスを格納します。

備　考

後述する IPGENUM レジスタの IRE ビットの値が 0 であり、ユーザモードで動作するプログラムによる周辺装置保護違反が命令フェッチリードアクセスである場合には、本レジスタのすべてのビットが更新されません。

(c) IPGENUM — 周辺装置保護イネーブルレジスタ

アクセス IPGENUM レジスタは、8 ビット単位でリード／ライト可能です。

アドレス IPGENUM：FFFE E00D$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	IRE	E
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 3A.68 IPGENUM レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	本ビットのリード値は常に 0 です。ライトする場合は “0” を書いてください。
1	IRE	このビットは、周辺装置保護違反を起こしたアクセスが命令フェッチアクセスである場合、そのアクセスの情報を周辺装置保護違反アクセスアドレス保存レジスタと周辺装置保護違反アクセス情報保存レジスタに保存するか否かを設定します。 0：命令フェッチアクセスのアクセス情報を保存しません。（リセット後の値） 1：命令フェッチアクセスのアクセス情報を保存します。 **注意）** 投機的な命令フェッチ（命令を実行しない場合がある）に対する検出を望まない場合に本ビットを 0 にクリアしてください。
0	E	このビットは、当する権限によるアクセスに対して、周辺装置周辺装置保護機能の有効／無効を設定します。 0：周辺装置保護機能は無効です。（リセット後の値） 1：周辺装置保護機能は有効です。

(d) IPGPMTUM0 — 周辺装置保護設定レジスタ 0

アクセス　IPGPMTUM0 レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　IPGPMTUM0：FFFE E020$_H$

ビット	7	6	5	4	3	2	1	0
	—	X1	W1	R1	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R	R	R	R

表 3A.69　IPGPMTUM0 レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	本ビットのリード値は常に 0 です。ライトする場合は“0”を書いてください。
6	X1	このビットは、P-Bus への命令フェッチリードアクセスを許可するかどうかを設定します。 0：P-Bus への命令フェッチリードアクセスを違反とします。（リセット後の値） 1：P-Bus への命令フェッチリードアクセスを制限しません。
5	W1	このビットは、P-Bus へのライトアクセスを許可するかどうかを設定します。 0：P-Bus へのライトアクセスを違反とします。（リセット後の値） 1：P-Bus へのライトアクセスを制限しません。
4	R1	このビットは、P-Bus へのリードアクセスを許可するかどうかを設定します。 0：P-Bus へのリードアクセスを違反とします。（リセット後の値） 1：P-Bus へのリードアクセスを制限しません。
3～0	予約ビット	本ビットのリード値は常に 0 です。ライトする場合は“0”を書いてください。

(e) IPGPMTUM2 — 周辺装置保護設定レジスタ 2

アクセス　IPGPMTUM2 レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　IPGPMTUM2：FFFE E022H

ビット	7	6	5	4	3	2	1	0
	—	—	W1	R1	—	—	W0	R0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R/W	R/W

表 3A.70　IPGPMTUM2 レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	本ビットのリード値は常に 0 です。ライトする場合は“0”を書いてください。
5	W1	このビットは、G0MEVm/IPIR_CHn へのライトアクセスを許可するかどうかを設定します。 0：G0MEVm/IPIR_CHn へのライトアクセスを違反とします。（リセット後の値） 1：G0MEVm/IPIR_CHn へのライトアクセスを制限しません。
4	R1	このビットは、G0MEVm/IPIR_CHn へのリードアクセスを許可するかどうかを設定します。 0：G0MEVm/IPIR_CHn へのリードアクセスを違反とします。（リセット後の値） 1：G0MEVm/IPIR_CHn へのリードアクセスを制限しません。
3、2	予約ビット	本ビットのリード値は常に 0 です。ライトする場合は“0”を書いてください。
1	W0	このビットは、INTC1 へのライトアクセスを許可するかどうかを設定します。 0：INTC1 へのライトアクセスを違反とします。（リセット後の値） 1：INTC1 へのライトアクセスを制限しません。
0	R0	このビットは、INTC1 へのリードアクセスを許可するかどうかを設定します。 0：INTC1 へのリードアクセスを違反とします。（リセット後の値） 1：INTC1 へのリードアクセスを制限しません。

(f) IPGPMTUM3 — 周辺装置保護設定レジスタ 3

アクセス　IPGPMTUM3 レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　IPGPMTUM3：FFFE E023H

ビット	7	6	5	4	3	2	1	0
	—	—	W1	R1	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R	R

表 3A.71　IPGPMTUM3 レジスタの内容

ビット位置	ビット名	機能
7～6	予約ビット	本ビットのリード値は常に 0 です。ライトする場合は “0” を書いてください。
5	W1	このビットは、SysErrGen へのライトアクセスを許可するかどうかを設定します。 0：SysErrGen へのライトアクセスを違反とします。（リセット後の値） 1：SysErrGen へのライトアクセスを制限しません。
4	R1	このビットは、SysErrGen へのリードアクセスを許可するかどうかを設定します。 0：SysErrGen へのリードアクセスを違反とします。（リセット後の値） 1：SysErrGen へのリードアクセスを制限しません。
3～0	予約ビット	本ビットのリード値は常に 0 です。ライトする場合は “0” を書いてください。

(g) IPGPMTUM4 — 周辺装置保護設定レジスタ 4

アクセス　IPGPMTUM4 レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　IPGPMTUM4：FFFE E024H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	W0	R0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 3A.72　IPGPMTUM4 レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	本ビットのリード値は常に 0 です。ライトする場合は “0” を書いてください。
1	W0	このビットは、自 PEG へのライトアクセスを許可するかどうかを設定します。 0：自 PEG へのライトアクセスを違反とします。（リセット後の値） 1：自 PEG へのライトアクセスを制限しません。
0	R0	このビットは、自 PEG へのリードアクセスを許可するかどうかを設定します。 0：自 PEG へのリードアクセスを違反とします。（リセット後の値） 1：自 PEG へのリードアクセスを制限しません。

3A.2.4.3　システムエラー通知制御機能（SEG）

SEG（SysErrGen）は、データアクセスによるシステムエラーの発生にともなう割り込み通知／記録を制御します。

複数のエラー発生入力はエラー要因ごとに区別され、優先すべきエラー要因から順に処理し、FE レベルの例外（SYSERR）を発生させます。

SEGFLAG レジスタでのビット位置がエラー要因の優先順位となり、上位ビットより下位ビットのエラー要因を優先します。

エラーアドレス情報はエラー発生回数によらず、一度だけ記録されます。

エラーが同時に発生した場合はエラー要因の優先順位が最高位のものが有効です。記録されたエラーアドレス情報はその後のエラーによって上書きされることはありません。

(1) SEG 機能制御レジスタ一覧

表 3A.73　SEG レジスタ（ベースアドレス：FFFE E980H）

モジュール名	アドレスオフセット	サイズ（バイト）	レジスタ名称	略称	権限 注 1	R/W	操作可能ビット				リセット後の値
							1	8	16	32	
SEG	+00H	2	SEG エラー制御レジスタ	SEGCONT	SV	R/W	—	—	○	—	0000H
	+02H	2	SEG エラー発生保持レジスタ	SEGFLAG	SV	R/W	—	—	○	—	0000H
	+08H	4	SEG エラーアドレス情報レジスタ	SEGADDR	SV	R/W	—	—	—	○	不定（保持）

注1.　「SV」と記載されたレジスタは、SV 権限（UM＝0）で書き込みが可能です。この条件を満たさない書き込みに対しては SYSERR 例外が発生し VCIF フラグがセットされます。読み出しアクセスには制限はありません。

(2) レジスタセット

(a) SEGCONT — SEG エラー制御レジスタ

エラーの発生状態を要因ごとに保存するエラー発生フラグに対して、SysErr 要求の通知許可（＝1）／不許可（＝0）を設定します。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	VCSE	APIE	IPGE	—	TCME	—	VCIE	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R	R/W	R	R	R	R

表 3A.74　　SEGCONT レジスタの内容

ビット位置	ビット名	機能
15～11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	VCSE	システムインタコネクト内で検出されたエラーレスポンスの通知を許可します。 ● ライトアクセスでの外部マスタからのエラーレスポンス ● 任意のマスタからローカル RAM、周辺装置、フラッシュへアクセス時の、不正なレスポンス（CPU からの命令フェッチを除く）。外部 AHB マスタから任意のスレーブへアクセス時の、不正なレスポンス
9	APIE	周辺装置からのエラーレスポンスの通知を許可します。以下のエラーが含まれます。 ● ライトアクセスでの周辺装置からのエラーレスポンス ● ライトアクセスでの PBG エラー
8	IPGE	このビットは、IPG の不正アクセス検出の通知を許可します。
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	TCME	PE マスタから自ローカル RAM へのデータアクセス時のエラーの通知を許可します。 以下のエラーが含まれます。 ● 訂正できない ECC エラーの発生（DED or SED & SECDIS＝1） ● RAM 未実装領域へのアクセスを検出
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	VCIE	PE から CPU Peripheral、P-Bus（リードアクセス）、グローバル RAM、リテンション RAM、他 PE のローカル RAM、H-Bus、コードフラッシュへのアクセス時のエラーレスポンスの通知を許可します。 以下のエラーが含まれます。 ● CPU Peripheral、P-Bus からの IPG エラー ● H-Bus の周辺装置からのエラーレスポンス ● P-Bus、H-Bus からの PBG エラー／HBG エラー ● グローバル RAM、リテンション RAM からの GRG エラー ● 他 PE のローカル RAM からの PEG エラー ● コードフラッシュ、グローバル RAM、リテンション RAM、他 PE のローカル RAM からの訂正できない ECC のエラー（DED＝1 or SED、SECDIS＝1） アドレスマップ内のアクセス禁止領域のうちの一部領域へのアクセス時のエラーレスポンスの通知を許可します。
3～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

(b) SEGFLAG — SEG エラー発生保持レジスタ

エラーの発生状態を要因ごとに保存するエラー発生フラグです。エラー発生入力でセット（=1）されます。自動クリア（=0）はありません。

レジスタへの書き込みであれば、セット／クリアの両方が可能です。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	VCSF	APIF	IPGF	—	TCMF	—	VCIF	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R	R/W	R	R	R	R

表 3A.75　　SEGFLAG レジスタの内容

ビット位置	ビット名	機能
15～11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	VCSF	SEGCONT レジスタのビット 10 に対応したフラグ
9	APIF	SEGCONT レジスタのビット 9 に対応したフラグ
8	IPGF	SEGCONT レジスタのビット 8 に対応したフラグ
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	TCMF	SEGCONT レジスタのビット 6 に対応したフラグ
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	VCIF	SEGCONT レジスタのビット 4 に対応したフラグ
3～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

備　考

1 つのエラーにより、SEG 内の複数のエラーフラグが設定されることがあります。例えば、周辺レジスタの読み出しで IPG エラーが発生した場合、SEGFLAG の IPGF ビットと VCIF ビットの両方がセットされます。

(c) SEGADDR — エラーアドレス情報レジスタ

エラー発生が通知されたアドレス情報（1 履歴）がこのレジスタに格納されます。SEGFLAG レジスタの 1 つ以上のビットがセットされている場合は、このレジスタは更新されません。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Address[31:16]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Address[15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 3A.76　　SEGADDR レジスタの内容

ビット位置	ビット名	機能
31～0	Address	エラーアドレスを格納します。

注　意

1. SEGADDR は、SEGFLAG レジスタの VCIF ビットまたは TCMF ビットに関連したエラーが発生した場合にエラーアドレス情報を格納します。SEGFLAG レジスタの VCSF ビット、APIF ビット、または IPGF ビットに関連したエラーの発生時には、SEGADDR レジスタに "0" が格納されます。
2. SEGFLAG レジスタの TCMF ビットに関連したエラーの発生時には、エラーアドレスのビット[18:0]が SEGADDR[18:0]に格納され、SEGADDR[31:19]には 0 が挿入されます。

(3) SEG 機能

(a) SEG 機能：エラー発生フラグによる SysErr 要求の通知

- 各エラー発生フラグはセット優先
  - 同時のクリア操作は無視します。
- エラー要因の優先順位
  - SEGCONT レジスタでエラー通知が許可された SEGFLAG レジスタの各フラグのビット位置がエラー要因の優先順位となり、上位ビットより下位ビットのエラー要因を優先します。エラー要因のうち優先順位の高いものから通知します。
  - エラー要因のビット位置を「SysErr 要因コード」として通知します。
- SysErr 要求の通知開始条件
  - SEGCONT レジスタでエラー通知が禁止されているフラグをセットしても通知しません。
  - SEGCONT レジスタでエラー通知が許可されているフラグをセットした直後に通知します。
  - フラグのクリア操作後は、SEGCONT レジスタでエラー通知が許可されたその他のフラグがセットされると通知します。
- SysErr 要求応答で通知を終了
  - 通知を終了しても、フラグを自動クリアしません。
  - 新たなフラグのセットまたはフラグのクリアがあるまで通知しません。
  - 要求応答までにエラー要因よりも優先するエラー発生フラグがセットされると通知内容がより上位の SysErr 要因コードに挿し替わることがあります。

(b) SEG 機能：エラー要因のアドレス情報記録

- SEGCONT レジスタで許可されているエラー通知のエラー発生時に、そのエラーアドレスを SEGADDR レジスタに保持します。
  - SEGFLAG レジスタのエラーフラグのセット／クリア操作では情報の保持は行われません。
  - 同時に複数のエラー発生入力があるとき、優先するエラー要因以外の情報は保持されません。
- SEGCONT レジスタで許可されているエラー通知のフラグがセットされている状態では SEGADDR レジスタに対する上書きを抑制します。
  - エラー発生入力が連続した場合には、後発のエラー要因の情報は保持されません。
  - レジスタ上書き抑制を解除するには、SEGCONT レジスタ／SEGFLAG レジスタのいずれか（または両方）をクリアしてください。

(c) SYSERR 例外に関する補足事項

- SYSERR 例外が発生しても PSW.EBV ビットの値は保持され、例外ハンドラのベースアドレスは切り替わりません。

3A.3　CPU 間機能

3A.3.1　プロセッサエレメント識別子

各プロセッサのプロセッサエレメント番号 PEID は、HTCFG0 レジスタの PEID フィールドより読み出せます。PEID を参照することで、プログラム自身がいずれの CPU コアで実行されているのかを知ることができます。本製品の PEID は以下のとおりです。

CPU コア	PEID
CPU1 (PE1)	001_B
CPU2 (PE2)	010_B

3A.3.2　プロセッサ間割り込み機能

CPU は各々CPU Peripheral 機能として、IPIR レジスタを持っています。IPIR レジスタを設定することで、ある PE から他の PE に EI レベル割り込みを要求することができます。詳細は、「**3A.2.3 プロセッサ間割り込み**」を参照してください。

3A.3.3　排他制御

ローカル RAM、グローバル RAM、リテンション RAM、排他制御レジスタ（G0MEVm：m＝0～31）を、排他制御用のリソースとして利用可能です。アトミック操作命令として、ローカル RAM、グローバル RAM、リテンション RAM に対しては、LDL/STC、CAXI、SET1、CLR1、NOT1 命令を、排他制御レジスタ（G0MEVm）に対しては CAXI、SET1、CLR1、NOT1 命令を実行可能です。なお、LD、ST 命令でもアクセス可能ですが、アトミック操作にはなりません。

3A.3.3.1　排他制御レジスタ（G0MEVm：m＝0～31）

PE 間で共有される変数（共有リソース）に対しての排他制御を支援するためのレジスタです。（MEV：Mutual Exclusion Variable Register）

- 32 本の G0MEVm（32 ビットレジスタ）を搭載しています。
- 各 G0MEVm は 32/16/8 ビットアクセスが可能です。
- CPU1（PE1）および CPU2（PE2）からアクセス可能です。
- アトミック操作命令は、CAXI、SET1、CLR1、NOT1 を実行可能です。

G0MEVm に対し、CPU1（PE1）と CPU2（PE2）はそれぞれ独立したアクセス経路を持ちます。このことから、CPU1（PE1）と CPU2（PE2）が異なる G0MEVm レジスタにアクセスする場合、待ち合わせすることなくアクセス可能です。同じ G0MEVm レジスタにアクセスする場合は、待ち合わせが発生します。

表 3A.77　レジスタ一覧

モジュール名	アドレス 注1	レジスタ名称	略称	R/W	アクセスサイズ				リセット後の値
					1	8	16	32	
MEV	$+00_H$	排他制御レジスタ 0	G0MEV0	R/W	—	○	○	○	$0000\ 0000_H$
	$+04_H$	排他制御レジスタ 1	G0MEV1	R/W	—	○	○	○	$0000\ 0000_H$
	$+08_H$	排他制御レジスタ 2	G0MEV2	R/W	—	○	○	○	$0000\ 0000_H$
	:	:	:	:	:	:	:	:	:
	$+7C_H$	排他制御レジスタ 31	G0MEV31	R/W	—	○	○	○	$0000\ 0000_H$

注1.　ベースアドレス：$FFFE\ EC00_H$

(1) G0MEVm — 排他制御レジスタ m（m＝0～31）

アクセス G0MEVm レジスタは、32 ビット単位でリード／ライト可能です。

G0MEVmL、G0MEVmH レジスタは、16 ビット単位でリード／ライト可能です。

G0MEVmLL、G0MEVmLH、G0MEVmHL、G0MEVmHH レジスタは、は 8 ビット単位でリード／ライト可能です。

アドレス G0MEVm：FFFE $EC00_H$ + m × 4_H,

G0MEVmL：FFFE $EC00_H$ + m × 4_H,

G0MEVmH：FFFE $EC00_H$ + m × 4_H + 2_H,

G0MEVmLL：FFFE $EC00_H$ + m × 4_H,

G0MEVmLH：FFFE $EC00_H$ + m × 4_H + 1_H,

G0MEVmHL：FFFE $EC00_H$ + m × 4_H + 2_H,

G0MEVmHH：FFFE $EC00_H$ + m × 4_H + 3_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	G0MEVm[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	G0MEVm[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 3A.78 WDTAnWDTE レジスタの内容

ビット位置	ビット名	機能
31～0	G0MEVm[31:0]	排他制御用の値を設定します。

3A.3.3.2　LDL.W/STC.W 命令の動作

LDL.W 命令と STC.W 命令を使い、アトミックな Read-Modify-Write を実現し、これによってマルチコアシステムでのメモリ更新を正確に処理できます。LDL.W 命令と STC.W 命令の動作は以下のとおりです。

- リンクの生成：CPU では、ローカル RAM とグローバル RAM（リテンション RAM も含む）のそれぞれに対してリンクを生成できます。操作対象に、LDL.W 命令を実行してリードすると、リンクフラグをセットしてリンクを生成します。リンクフラグは、以下の 2 系統が用意されています。

  （1）自ローカル RAM 用

  （2）グローバル RAM 用（リテンション RAM も含む）

- ストアの成功：リンクが生成された状態で、生成されたリンクに対応した STC.W 命令を実行した場合にだけストア処理を実行します。
- ストアの失敗：リンクが消失した状態では、STC.W 命令を実行してもストア処理は実行されません。また、リンクに対応していない STC.W 命令の実行でもストア処理は実行されません。
- ストア成功の条件：以下の条件を満たす場合に、その STC.W 命令はリンクに対応していると判断されます。
  - リンクを生成した LDL.W 命令とアドレスが一致する
- リンクの消失：以下のいずれかが起こるとリンクフラグはクリアされ、リンクが消失します。
  - リンクを生成した CPU に以下の事象が発生した場合：
    - STC.W 命令の実行。ストアの成功／失敗に関わらず対応するリンク（上記（1）または（2））は消失します。
    - 各種例外の発生や、例外からの復帰命令（FERET、EIRET）の実行。2 系統とリンクフラグはすべてクリアされます。
    - 同系統のリンクフラグに対して複数の LDL.W 命令を連続して実行。先行する LDL.W 命令で生成したリンクが消失します。このような処理は実行しないでください。
    - リンクを生成しているアドレスに対して、STC.W 以外のストア動作を実行。このような処理は実行しないでください。
  - 他のバスマスタによって以下のアクセスが実行された場合：
リンクを生成しているアドレスに対して、STC.W 命令実行を含むストア動作を実行。
対応するリンクは消失します。

STC.W 命令が成功した場合は、LDL.W 命令と STS.W 命令によってアトミックな Read-Modify-Write が実現されたことになります。

3A.4　CPU2 ブート動作

リセット解除後、CPU1 が命令フェッチを開始します。CPU2 の初期状態は、オプションバイトの設定に依存します。CPU2 のブート状態は、BOOTCTRL レジスタで設定・確認ができます。

(1) レジスタ一覧

表 3A.79　BOOTCTRL レジスタ（ベースアドレス：FFC5 8000H）

モジュール名	アドレスオフセット	サイズ（バイト）	レジスタ名称	略称	権限	R/W	操作可能ビット				リセット後の値
							1	8	16	32	
—	+00H	4	BOOTCTRL レジスタ	BOOTCTRL	—	R/W	—	—	—	○	0000 0006H または 0000 0002H

(2) BOOTCTRL — ブート制御レジスタ

本レジスタは、CPU2 の起動制御を行います。“1”に設定すると、CPU2 がパイプライン処理を開始します。本レジスタは、CPU2EN の値が“1”のとき、リセット以外でクリアすることができません。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFC5 8000H

リセット後の値　オプションバイトの設定に依存します。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CPU2EN	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1 注1	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R

注1.　オプションバイト OPBT0.PE2BOOTEN の設定が反映されます。オプションバイトについては、**「44.9 オプションバイト」**を参照してください。

表 3A.80　BOOTCTRL レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	CPU2EN	CPU2 動作設定 0：CPU2 の起動は無効 1：CPU2 の起動は有効。PE2EN（オプションバイト）の値が“0”のときは、“1”への書き換えはできません。
1、0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

3A.5　注意事項

3A.5.1　ストア命令の完了と後続命令の同期化

ストア命令によって各制御レジスタを更新する場合、CPU によるストア命令の実行から実際に制御レジスタが更新されるまでには時間差があります。このため、ストア命令に続く命令に対して、ストア命令による制御レジスタの更新内容を反映したい場合は、適切な同期化処理が必要になります。以下に同期化処理の実行方法を示します。

LDSR 命令によるシステムレジスタの更新と後続命令の同期化に関する手続きについては、「*RH850G3KH ユーザーズマニュアル ソフトウェア編*」の「*付録 A　システム・レジスタのハザード解消手続き*」をご参照ください。

制御レジスタの更新結果を、後続命令の実行に反映させる場合

【例 1】 INTC2 や周辺回路の制御レジスタアクセスによって割り込み要求をクリアしてから、EI 命令を実行して割り込みを許可する場合が考えられます。この場合は以下の処理を実行してください。

(1) 制御レジスタを更新するストア命令（ST.W など）

(2) 上記制御レジスタのダミーリード（LD.W など）

(3) SYNCP

(4) 後続の命令（EI）

RH850/F1KH の場合、SYNCM 命令により、上記の（2）および（3）と同じ操作が実行されます。
（RCFDCn、RCFDCn ECC レジスタアクセスを除きます。）

【例 2】 ある制御レジスタ A の確実な更新を待ってから、ほかの制御レジスタ B にアクセスする必要がある場合も、同様の処理を実行してください。例えば、異なる周辺機能を連携動作させる場合や、周辺機能を設定してから INTC の割り込みマスクを解除する場合などが考えられます。ただし、制御レジスタ A と B が同じ周辺グループであれば、この処理は不要です。

(1) 制御レジスタ A を更新するストア命令（ST.W など）

(2) 上記制御レジスタのダミーリード（LD.W など）

(3) SYNCP

(4) 制御レジスタ B にアクセスするストア命令（ST.W、LD.W など）

RH850/F1KH の場合、SYNCM 命令により、上記の（2）および（3）と同じ操作が実行されます。
（RCFDCn、RCFDCn ECC レジスタアクセスを除きます。）

なお、各種メモリ保護や ECC などのセーフティ機能の設定完了を待ってから、保護対象の制御レジスタやメモリへのアクセスを開始する場合も、同様の処理が必要です。

制御レジスタやメモリの更新結果を、後続命令の命令フェッチに反映させる場合

(a) RAM に命令を書き込んでから、その RAM に分岐して書き込んだ命令を実行したい場合は、以下の処理を実行してください。

(1) メモリを更新するストア命令（ST.W など）

(2) 上記メモリのダミーリード（LD.W など）

(3) SYNCP

(4) SYNCI

(5) 後続の命令（分岐命令など）

(b) メモリ保護機能および ECC の制御レジスタの更新完了を待ってから対象のメモリに分岐する場合は、以下の処理を実行してください。

(1) 制御レジスタを更新するストア命令（ST.W など）

(2) 制御レジスタのダミーリード（LD.W など）

(3) SYNCP

(4) SYNCI

(5) 後続の命令（分岐命令など）

Code Flash の領域を切り替える場合

この場合は、「*RH850/F1KH, F1KM, F1K フラッシュメモリユーザーズマニュアル ハードウェアインタフェース編*」の「*第 10 章 使用上の注意点 (7) BFASELR レジスタの更新*」をご参照ください。

3A.5.2　コードフラッシュ書き換え後のコヒーレンシ確保

「**3A.2.2 Code Flash 用バッファ**」に示したように、CPU1 はコードフラッシュ領域に対するバッファを搭載しています。このため、セルフプログラミングでコードフラッシュを書き換えた後は、コヒーレンシ確保のためにバッファをクリアしてください。

3A.5.3　ビット操作命令でのレジスタアクセス

ビット操作命令によるライトは、8 ビット単位のリードモディファイライト処理です。このため、8 ビット単位のリードアクセスとライトアクセスを許可しているレジスタであれば、基本的にビット操作命令でのアクセスが可能です。しかし、複数のフラグビットを共有しているレジスタには、リードモディファイライトによりクリア対象外のフラグもクリアしてしまうものもあるのでご注意ください。

3A.5.4　プリフェッチに関する注意

メモリの読み出しが、命令コードが存在しない領域からのプリフェッチにより発生する可能性があります。命令コードが格納されている領域の後ろに、40 バイト以上の初期化領域を確保してください。

3A.5.5　複数の例外受け付け時の、コンテキスト上書き

例外要因の種類によっては、PSW レジスタの ID、NP ビットの状態にかかわらず例外が受け付けられます。多重例外が発生した場合はコンテキスト情報を格納しているシステムレジスタの内容は上書きされます。例外要因ごとの受け付け条件と復帰／回復の可否については、「*RH850G3KH ユーザーズマニュアル ソフトウェア編*」の「*4.1.1 例外要因一覧*」を参照してください。

第3BC章　RH850/F1KM の CPU システム

3BC.1　概要

3BC.1.1　ブロック構成

RH850/F1KM-S4, RH850/F1KM-S2 のブロック構成を「**図 3BC.1 RH850/F1KM-S4, RH850/F1KM-S2 のブロック構成図**」に示します。

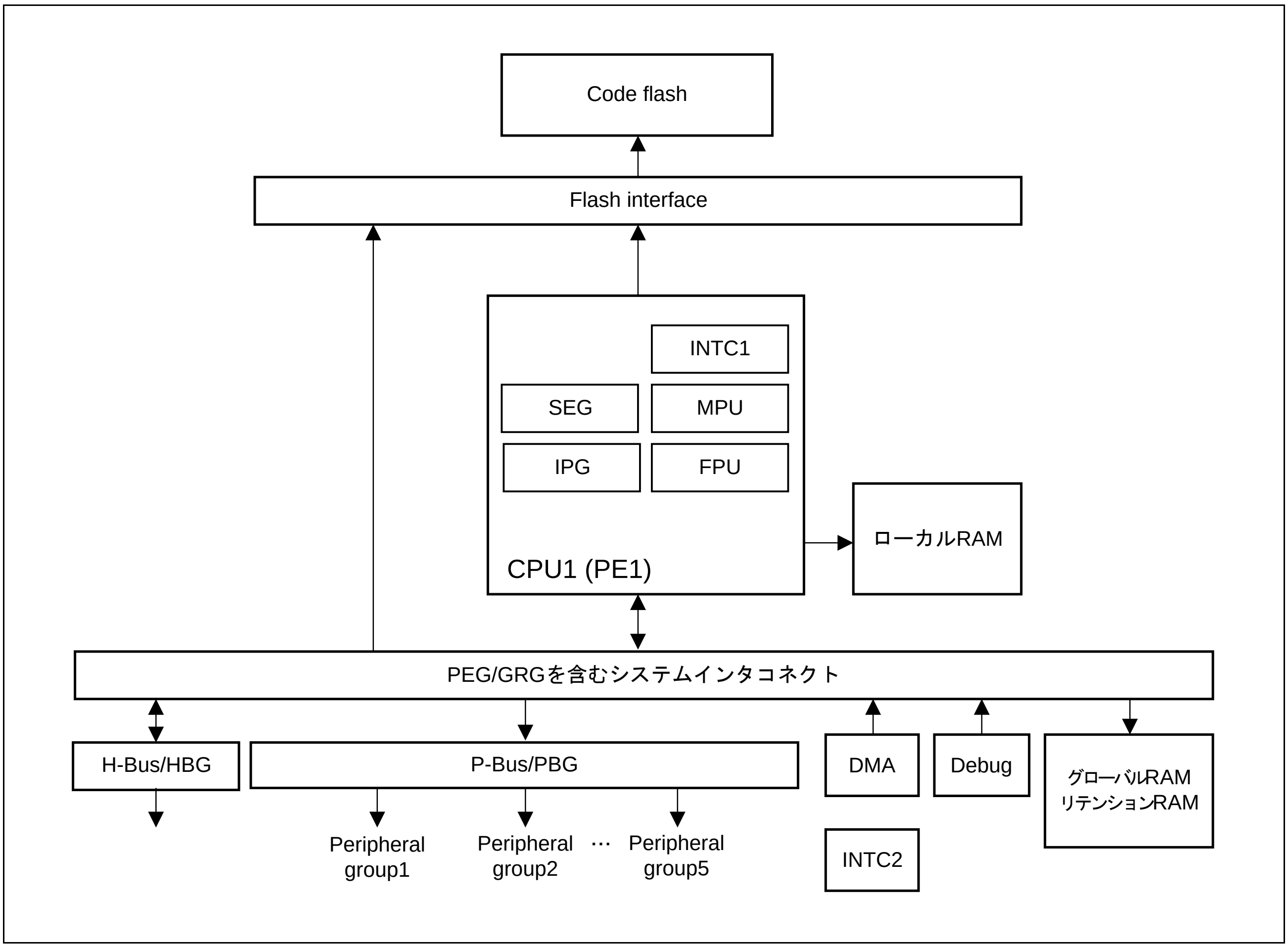


図 3BC.1　RH850/F1KM-S4, RH850/F1KM-S2 のブロック構成図

RH850/F1KM-S1 のブロック構成を「**図 3BC.2 RH850/F1KM-S1 ブロック構成図**」に示します。

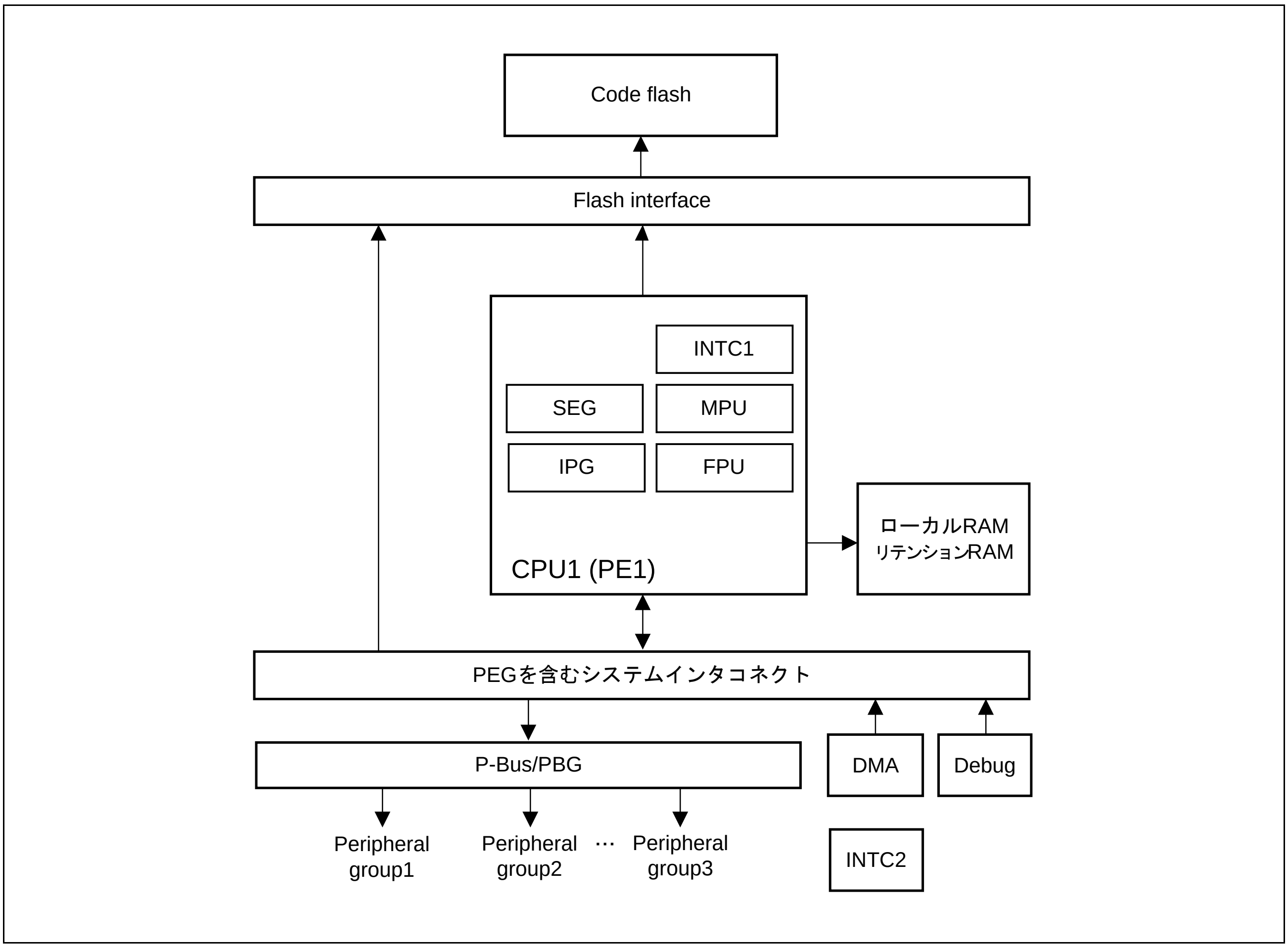


図 3BC.2　　RH850/F1KM-S1 ブロック構成図

CPU1（PE1）

メイン CPU として、RH850G3KH2.0 コアを搭載します。

ローカル RAM（Local RAM）

高速アクセス可能な RAM です。

グローバル RAM（Global RAM）

グローバル RAM は、CPU および DMA 間のデータ共有に使用される、大容量 RAM です。

RH850/F1KM-S1 では、グローバル RAM は、サポートされていません。

リテンション RAM（Retention RAM）

RH850/F1KM-S4, RH850/F1KM-S2：
DeepSTOP モードで値を保持します。グローバル RAM 領域とリテンション RAM 領域は連続して割り当てられているため、DMA とのデータ共有を目的としたグローバル RAM としてリテンション RAM を使用することも可能です。

RH850/F1KM-S1：
DeepSTOP モードで値を保持します。ローカル RAM 領域とリテンション RAM 領域は連続して割り当てら

れているため、DMA とのデータ共有を目的としたローカル RAM としてリテンション RAM を使用することも可能です。

コードフラッシュ（Code Flash）

プログラム格納用に、Code Flash を搭載しています。CPU1 と Flash Interface を介して接続します。

データフラッシュ（Data Flash）

CPU1 から書き換え可能な Flash メモリです。コードフラッシュと比較して大きな書き換え回数を持つフラッシュメモリです。

P-Bus、H-Bus (RH850/F1KM-S4, RH850/F1KM-S2)

周辺 IP を接続するバスです。P-Bus は、Peripheral Group 1～5 に分かれています。

P-Bus (RH850/F1KM-S1)

周辺 IP を接続するバスです。P-Bus は、Peripheral Group 1～3 に分かれています。

INTC1、INTC2

割り込みコントローラは INTC1 と INTC2 に分かれています。

DMA

DMA 転送モジュール（PDMA）を搭載します。

Slave Guard

特定のバスマスタからの不正アクセスを防止するシステムです。次の Guard 機構で構成されます。

(1) PE ガード（PEG）
外部マスタから PE 内資源（ローカル RAM）への不正なアクセスを防止するシステムです。リセット解除後は自 PE 以外からのアクセスは禁止状態になっています。

(2) 内部周辺ガード（IPG）
システム相互接続を備えた PE は、無効なアクセスから周辺装置レジスタを保護する「内部周辺ガード」（IPG）をサポートしています。

(3) グローバル RAM ガード（GRG）(RH850/F1KM-S4, RH850/F1KM-S2)
外部マスタからグローバル RAM、リテンション RAM への不正なアクセスを防止する機構です。リセット解除後、グローバル RAM は保護されていない状態（すべてのバスマスタからアクセス可能）になります。詳細は、「**40B 章　RH850/F1KM-S4, RH850/F1KM-S2 のファンクショナルセーフティ**」を参照してください。

(4) 周辺ガード（PBG/HBG (RH850/F1KM-S4, RH850/F1KM-S2)）
周辺ガードは周辺機能への不正なアクセスを防止する機構です。周辺回路内のコントロールレジスタは不正なアクセスから保護されます。
詳細は、「**40B 章　RH850/F1KM-S4, RH850/F1KM-S2 のファンクショナルセーフティ**」、「**40C 章　RH850/F1KM-S1 のファンクショナルセーフティ**」を参照してください。

3BC.2 CPU

3BC.2.1 コア機能

3BC.2.1.1 特長

RH850G3KH2.0 コアの特長を「**表 3BC.1 RH850G3KH2.0 コアの特長**」に示します。

表 3BC.1 RH850G3KH2.0 コアの特長

項目	特長
CPU	● 組み込み制御用高性能 32 ビットアーキテクチャ ● 32 ビット内部データバス ● 32 本の 32 ビット汎用レジスタ ● RISC タイプ命令セット – ロング／ショート形式を持つロード／ストア命令 – 3 オペランド命令 – C 言語に基づく命令セット ● CPU 動作モード – ユーザモード、スーパバイザモード ● アドレス空間：データ／命令ともに 4G バイトリニア
コプロセッサ	● 浮動小数点演算コプロセッサ（FPU） – 単精度（32 ビット）をサポート – IEEE754 に準拠したデータタイプおよび例外をサポート – 丸めモード：近傍、0 方向、＋∞方向、－∞方向 – 非正規化数の扱い：0 への切り捨て、または IEEE754 準拠のための例外通知
例外／割り込み	● チャネルごとに設定可能な 16 レベルの割り込み優先度 ● 性能要求／メモリ消費量によって選択可能なベクタ選択方式 – 直接分岐方式の例外ベクタ – アドレステーブル参照の間接分岐方式の例外ベクタ ● 専用命令（PUSHSP、POPSP）による割り込み時のコンテキスト高速退避／復帰処理の支援
メモリ管理	● メモリ保護機能搭載（MPU）：16 領域設定可能
キャッシュ	● キャッシュメモリ非搭載

3BC.2.1.2　レジスタセット

この項では、CPU 内蔵のプログラムレジスタおよびシステムレジスタについて説明します。

(1) プログラムレジスタ

プログラムレジスタには、汎用レジスタ（r0～r31）とプログラムカウンタ（PC）があります。

表 3BC.2　プログラムレジスター覧

プログラムレジスタ	名称	機能	説明
汎用レジスタ	r0	ゼロレジスタ	常に 0 を保持
	r1	アセンブラ予約レジスタ	アドレス生成用のワーキングレジスタとして使用
	r2	アドレス／データ変数用レジスタ（使用するリアルタイム OS がこのレジスタを使用していない場合）	
	r3	スタックポインタ（SP）	関数コール時のスタックフレーム生成時に使用
	r4	グローバルポインタ（GP）	データ領域のグローバル変数をアクセスするときに使用
	r5	テキストポインタ（TP）	テキスト領域（プログラムコードを配置する領域）の先頭を示すレジスタとして使用
	r6～r29	アドレス／データ変数用レジスタ	
	r30	エレメントポインタ（EP）	メモリをアクセスするときのアドレス生成用ベースポインタとして使用
	r31	リンクポインタ（LP）	コンパイラが関数コールをするときに使用
プログラムカウンタ	PC	プログラム実行中の命令アドレスを保持	

備　考

アセンブラや C コンパイラで使用される r1、r3～r5、r31 の詳細な説明は、それぞれのソフトウェア開発環境のドキュメントを参照してください。

(a)　汎用レジスタ

汎用レジスタとして、r0～r31 の 32 本が用意されています。これらのレジスタは、すべてデータ変数用またはアドレス変数用として利用できます。汎用レジスタのうち、r0～r5、r30、r31 は、ソフトウェア開発環境において特殊な用途に用いられることを想定しているため、使用する際には次のような注意が必要です。

1. r0、r3、r30
   命令により暗黙的に使用されます。
   r0 は常に 0 を保持しているレジスタであり、0 を使用する演算やベースアドレスが 0 のアドレシングで使用されます。
   r3 は PREPARE 命令、DISPOSE 命令、PUSHSP 命令、POPSP 命令により、暗黙的に使用されます。
   r30 は SLD 命令と SST 命令により、メモリをアクセスするときのベースポインタとして使用されます。
2. r1、r4、r5、r31
   アセンブラと C コンパイラにより暗黙的に使用されます。
   これらのレジスタを使用する際には、レジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。
3. r2
   リアルタイム OS が使用する場合があります。使用するリアルタイム OS が r2 を使用していない場合は、アドレス変数用またはデータ変数用レジスタとして利用できます。

(b)　PC — プログラムカウンタ

プログラム実行中の命令アドレスを保持しています。また、ビット 0 は 0 に固定されており、奇数番地への分岐はできません。

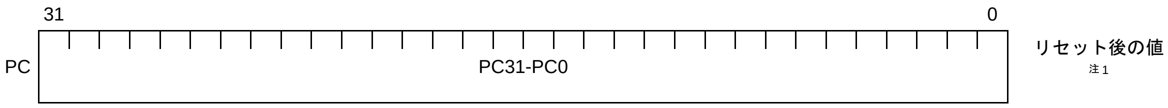


表 3BC.3　　PC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～1	PC31-PC1	実行中の命令アドレスです。	R/W	注 1
0	PC0	常に 0 を示します。奇数番地への分岐はできません。	R/W	0

注1.　リセット後の値はリセットベクタの設定値によって異なります。詳細は「**3BC.2.1.2(2)(q)　RBASE — リセットベクタベースアドレス**」を参照してください。

(2) 基本システムレジスタ

基本システムレジスタは、CPU の状態制御、例外情報保持などを行います。

システムレジスタへのリード／ライトは、LDSR 命令、STSR 命令により、レジスタ番号と選択識別子からなる、システムレジスタ番号を指定することで行います。

表 3BC.4　基本システムレジスタ一覧

レジスタ番号（regID, selID）	名称	機能	アクセス権限
SR0, 0	EIPC	EI レベル例外受け付け時の状態退避レジスタ	SV
SR1, 0	EIPSW	EI レベル例外受け付け時の状態退避レジスタ	SV
SR2, 0	FEPC	FE レベル例外受け付け時の状態退避レジスタ	SV
SR3, 0	FEPSW	FE レベル例外受け付け時の状態退避レジスタ	SV
SR5, 0	PSW	プログラムステータスワード	注 1
SR6, 0	FPSR	（FPU 機能レジスタ参照）	CU かつ SV
SR7, 0	FPEPC	（FPU 機能レジスタ参照）	CU かつ SV
SR8, 0	FPST	（FPU 機能レジスタ参照）	CU
SR9, 0	FPCC	（FPU 機能レジスタ参照）	CU
SR10, 0	FPCFG	（FPU 機能レジスタ参照）	CU
SR11, 0	FPEC	（FPU 機能レジスタ参照）	CU かつ SV
SR13, 0	EIIC	EI レベル例外要因レジスタ	SV
SR14, 0	FEIC	FE レベル例外要因レジスタ	SV
SR16, 0	CTPC	CALLT 実行時の状態退避レジスタ	UM
SR17, 0	CTPSW	CALLT 実行時の状態退避レジスタ	UM
SR20, 0	CTBP	CALLT ベースポインタレジスタ	UM
SR28, 0	EIWR	EI レベル例外用作業レジスタ	SV
SR29, 0	FEWR	FE レベル例外用作業レジスタ	SV
SR0, 1	MCFG0	マシンコンフィグレーションレジスタ	SV
SR2, 1	RBASE	リセットベクタベースアドレスレジスタ	SV
SR3, 1	EBASE	例外ハンドラベクタアドレスレジスタ	SV
SR4, 1	INTBP	割り込みハンドラアドレステーブルのベースアドレスレジスタ	SV
SR5, 1	MCTL	CPU の制御	SV
SR6, 1	PID	プロセッサ識別子レジスタ	SV
SR11, 1	SCCFG	SYSCALL の動作設定レジスタ	SV
SR12, 1	SCBP	SYSCALL ベースポインタレジスタ	SV
SR0, 2	HTCFG0	スレッドコンフィグレーションレジスタ	SV
SR6, 2	MEA	メモリエラーアドレスレジスタ	SV
SR7, 2	ASID	アドレス空間識別子レジスタ	SV
SR8, 2	MEI	メモリエラー情報レジスタ	SV

注1.　ビットによってアクセス権限が異なります。

(a)　EIPC — EI レベル例外受け付け時の状態退避レジスタ

EI レベル例外を受け付けた場合、EI レベル例外が発生したときに実行していた命令、あるいはその次の命令のアドレスが退避されます（「*RH850G3K ユーザーズマニュアル ソフトウェア編*」の「*4.1.3 例外の実行形態*」を参照してください）。

EI レベル例外時状態退避レジスタは、1 組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

EIPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

	31 … 0	リセット後の値
EIPC	EIPC31-EIPC0	不定

表 3BC.5　　EIPC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～1	EIPC31-EIPC1	EI レベル例外受け付け時の復帰 PC を示します。	R/W	不定
0	EIPC0	EI レベル例外受け付け時の復帰 PC を示します。 常に 0 を設定してください。1 を設定した場合でも、EIRET 命令の実行により PC に転送される値は、0 となります。	R/W	不定

(b)　EIPSW — EI レベル例外受け付け時の状態退避レジスタ

EI レベル例外を受け付けた場合、そのときの PSW の内容が退避されます。

EI レベル例外時状態退避レジスタは、1 組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

	31	30	29												17	16	15	14						8	7	6	5	4	3	2	1	0	リセット後の値
EIPSW	0	UM	0	0	0	0	0	0	0	0	0	0	0	0	0	CU	EBV	0	0	0	0	0	0	0	NP	EP	ID	SAT	CY	OV	S	Z	0000 0020H

表 3BC.6　　EIPSW レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
30	UM	EI レベル例外受け付け時の PSW.UM ビットを退避します。	R/W	0
29～17	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
16	CU	EI レベル例外受け付け時の PSW.CU フィールドを退避します。	R/W	0
15	EBV	EI レベル例外受け付け時の PSW.EBV ビットを退避します。	R/W	0
14～8	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
7	NP	EI レベル例外受け付け時の PSW.NP ビットを退避します。	R/W	0
6	EP	EI レベル例外受け付け時の PSW.EP ビットを退避します。	R/W	0
5	ID	EI レベル例外受け付け時の PSW.ID ビットを退避します。	R/W	1
4	SAT	EI レベル例外受け付け時の PSW.SAT ビットを退避します。	R/W	0
3	CY	EI レベル例外受け付け時の PSW.CY ビットを退避します。	R/W	0
2	OV	EI レベル例外受け付け時の PSW.OV ビットを退避します。	R/W	0
1	S	EI レベル例外受け付け時の PSW.S ビットを退避します。	R/W	0
0	Z	EI レベル例外受け付け時の PSW.Z ビットを退避します。	R/W	0

(c) FEPC ― FE レベル例外受け付け時の状態退避レジスタ

FE レベル例外を受け付けた場合、FE レベル例外が発生したときに実行していた命令、あるいはその次の命令のアドレスが退避されます（「*RH850G3K ユーザーズマニュアル ソフトウェア編*」の「*4.1.3 例外の実行形態*」を参照してください）。

FE レベル例外時状態退避レジスタは、1 組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

FEPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

	31 … 0	リセット後の値
FEPC	FEPC31-FEPC0	不定

表 3BC.7　FEPC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～1	FEPC31-FEPC1	FE レベル例外受け付け時の復帰 PC を示します	R/W	不定
0	FEPC0	FE レベル例外受け付け時の復帰 PC を示します。 常に 0 を設定してください。1 を設定した場合でも、FERET 命令の実行により PC に転送される値は、0 となります。	R/W	不定

(d) FEPSW ― FE レベル例外受け付け時の状態退避レジスタ

FE レベル例外を受け付けた場合、そのときの PSW の内容が退避されます。

FE レベル例外時状態退避レジスタは、1 組であるため、多重例外処理を行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

	31	30	29												17	16	15	14						8	7	6	5	4	3	2	1	0	リセット後の値
FEPSW	0	UM	0	0	0	0	0	0	0	0	0	0	0	0	0	CU	EBV	0	0	0	0	0	0	0	NP	EP	ID	SAT	CY	OV	S	Z	0000 0020H

表 3BC.8　FEPSW レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
30	UM	FE レベル例外受け付け時の PSW.UM ビットを退避します。	R/W	0
29～17	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
16	CU	FE レベル例外受け付け時の PSW.CU フィールドを退避します。	R/W	0
15	EBV	FE レベル例外受け付け時の PSW.EBV ビットを退避します。	R/W	0
14～8	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
7	NP	FE レベル例外受け付け時の PSW.NP ビットを退避します。	R/W	0
6	EP	FE レベル例外受け付け時の PSW.EP ビットを退避します。	R/W	0
5	ID	FE レベル例外受け付け時の PSW.ID ビットを退避します。	R/W	1
4	SAT	FE レベル例外受け付け時の PSW.SAT ビットを退避します。	R/W	0
3	CY	FE レベル例外受け付け時の PSW.CY ビットを退避します。	R/W	0
2	OV	FE レベル例外受け付け時の PSW.OV ビットを退避します。	R/W	0
1	S	FE レベル例外受け付け時の PSW.S ビットを退避します。	R/W	0
0	Z	FE レベル例外受け付け時の PSW.Z ビットを退避します。	R/W	0

(e) PSW ― プログラムステータスワード

PSW（プログラムステータスワード）は、プログラムの状態（命令実行の結果）を示すフラグや CPU の動作状態を示すビットの集合です（フラグとは条件命令（Bcond や CMOV など）によって参照される PSW 上のビットを示します）。

注　意

1. LDSR 命令を使用して、このレジスタのビット 7～0 の内容を変更した場合は、LDSR 命令実行終了直後から変更内容が有効となります。それ以外のビットの内容を変更した場合は、「*RH850G3KH ユーザーズマニュアル ソフトウェア編*」の「*付録 A システム・レジスタのハザード解消手続き*」を参照してください。
2. PSW レジスタは、ビットごとにアクセス権限が違います。すべてのビットは読み出しは常に行えますが、書き込みは特定の条件でのみ書き込み可能なものが存在します。各ビットのアクセス権限は、「**表 3BC.9 PSW レジスタビットのアクセス権限**」を参照してください。

表 3BC.9　PSW レジスタビットのアクセス権限

ビット		読み出し時アクセス権限	書き込み時アクセス権限
30	UM	UM	SV 注 1
16	CU	UM	SV 注 1
15	EBV	UM	SV 注 1
7	NP	UM	SV 注 1
6	EP	UM	SV 注 1
5	ID	UM	SV 注 1
4	SAT	UM	UM
3	CY	UM	UM
2	OV	UM	UM
1	S	UM	UM
0	Z	UM	UM

注1.　PSW レジスタ全体はアクセス権限が UM であるため、PSW.UM＝1 のとき LDSR で書き込みを行っても PIE 例外は起きません。書き込みが無視されます。

	31	30	29												17	16	15	14						8	7	6	5	4	3	2	1	0	
PSW	0	UM	0	0	0	0	0	0	0	0	0	0	0	0	0	CU	EBV	0	0	0	0	0	0	0	NP	EP	ID	SAT	CY	OV	S	Z	リセット後の値 0000 0020H

表 3BC.10　PSW レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31	―	（将来のための予約です。必ず 0 を設定してください。）	R	0
30	UM	CPU がユーザモード（UM モード）にあることを示します。 0：スーパバイザモード 1：ユーザモード	R/W	0
29～17	―	（将来のための予約です。必ず 0 を設定してください。）	R	0
16	CU	コプロセッサ使用権を示します。コプロセッサに対応するビットが 0 のとき、そのコプロセッサ命令の実行、コプロセッサリソース（システムレジスタ）へのアクセスで、コプロセッサ使用不可例外を発生します。 CU ビット 16：FPU	R/W	0
15	EBV	リセットベクタ、例外ベクタの動作を示します。詳細は、「**3BC.2.1.2(2)(q) RBASE ― リセットベクタベースアドレス**」の RBASE レジスタ、「**3BC.2.1.2(2)(r) EBASE ― 例外ハンドラベクタアドレス**」の EBASE レジスタを参照してください。	R/W	0
14～8	―	（将来のための予約です。必ず 0 を設定してください。）	R	0

表 3BC.10　PSW レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
7	NP	FE レベル例外受け付けを使用不可にします。FE レベル例外が受け付けられるとセット（1）され、EI レベルおよび FE レベルの例外受け付けを使用不可にします。NP ビットが受け付けを使用不可にする例外の場合は、「**表 7BC.1 例外要因一覧**」を参照してください。 0：FE レベル例外の受け付けを許可する 1：FE レベル例外の受け付けを禁止する	R/W	0
6	EP	割り込みコントローラで制御される割り込み以外の例外処理中であることを示します。該当する例外の発生でセット（1）されます。なお、このビットはセット（1）されても例外要求の受け付けには影響しません。 0：割り込み以外の例外処理中ではない 1：割り込み以外の例外処理中である	R/W	0
5	ID	EI レベル例外受け付けを使用不可にします。EI レベルまたは FE レベルの例外が受け付けられるとセット（1）され、EI レベル例外受け付けを使用不可にします。ID ビットが受け付けを使用不可にする例外の場合は、「**表 7BC.1 例外要因一覧**」を参照してください。 また、通常のプログラムや、割り込み処理中にクリティカルセクションとして、EI レベル例外の受け付けを禁止する場合にも使用されます。DI 命令の実行によってセット（1）し、EI 命令の実行によってクリア（0）します。EI 命令、DI 命令による ID ビットの変更は、次の命令から有効となります。 0：EI レベル例外処理中またはクリティカルセクションではない（EI 命令実行後） 1：EI レベル例外処理中またはクリティカルセクションである（DI 命令実行後）	R/W	1
4	SAT [注1]	飽和演算命令の演算結果がオーバフローし、演算結果が飽和していることを示します。累積フラグのため、飽和演算命令で演算結果が飽和するとセット（1）され、以降の命令の演算結果が飽和しなくてもクリア（0）されません。クリア（0）する場合は、LDSR 命令により行います。なお、算術演算命令の実行では、セット（1）もクリア（0）も行いません。 0：飽和していない 1：飽和している	R/W	0
3	CY	演算結果にキャリー、またはボローがあったかどうかを示します。 0：キャリー、およびボローが発生していない 1：キャリー、またはボローが発生した	R/W	0
2	OV [注1]	演算中にオーバフローが発生したかどうかを示します。 0：オーバフローが発生していない 1：オーバフローが発生した	R/W	0
1	S [注1]	演算の結果が負かどうかを示します。 0：演算の結果は、正または 0 であった 1：演算の結果は負であった	R/W	0
0	Z	演算の結果が 0 かどうかを示します。 0：演算の結果は 0 でなかった 1：演算の結果は 0 であった	R/W	0

注1.　飽和演算時の OV フラグと S フラグの内容で飽和処理した演算結果が決まります。また、飽和演算時に OV フラグがセット（1）された場合だけ、SAT フラグはセット（1）されます。

演算結果の状態	フラグの状態			飽和処理をした演算
	SAT	OV	S	
正の最大値を超えた	1	1	0	$7FFF\ FFFF_H$
負の最大値を超えた	1	1	1	$8000\ 0000_H$
正（最大値を超えない）	演算前の値を保持	0	0	演算結果そのもの
負（最大値を超えない）			1	

(f) EIIC — EI レベル例外要因

EIIC レジスタは、EI レベルの例外が発生した場合に、その要因を保持するレジスタです。

EIIC レジスタが保持する値は、例外要因ごとにコード化された例外要因コードです。

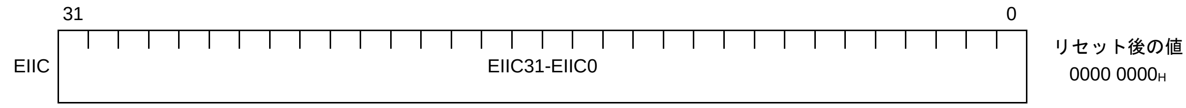


表 3BC.11 EIIC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～0	EIIC31-EIIC0	EI レベル例外受け付け時に、例外要因コードが格納されます。 EIIC15-EIIC0 は、例外要因コードの下位 16 ビットが格納されます。 EIIC31-EIIC16 は、例外ごとに定義された詳細な例外要因コードが格納されます。 例外に関わる機能で特に定義がない場合は、0 が設定されます。	R/W	0

(g) FEIC — FE レベル例外要因

FEIC レジスタは、FE レベルの例外が発生した場合に、その要因を保持するレジスタです。

FEIC レジスタが保持する値は、例外要因ごとにコード化された例外要因コードです。

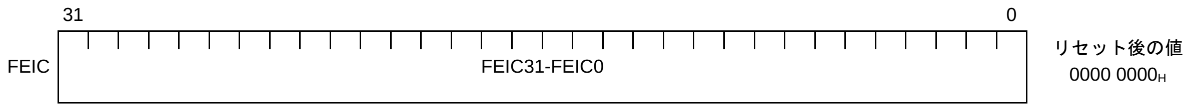


表 3BC.12 FEIC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～0	FEIC31-FEIC0	FE レベル例外受け付け時に、例外要因コードが格納されます。 FEIC15-FEIC0 は、例外要因コードの下位 16 ビットが格納されます。 FEIC31-FEIC16 は、例外ごとに定義された詳細な例外要因コードが格納されます。 例外にかかわる機能で特に定義がない場合は、0 が設定されます。	R/W	0

(h) CTPC — CALLT 実行時の状態退避レジスタ

CALLT 命令が実行されると、CALLT 命令の次の命令のアドレスが CTPC に退避されます。

CTPC レジスタには必ず偶数番地を設定してください。奇数番地の指定はできません。

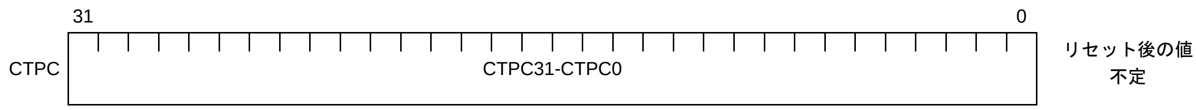


表 3BC.13 CTPC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～1	CTPC31-CTPC1	CALLT 命令の次の命令の PC を示します。	R/W	不定
0	CTPC0	CALLT 命令の次の命令の PC を示します。 常に 0 を設定してください。1 を設定した場合でも、CTRET 命令の実行により PC に転送される値は、0 となります。	R/W	不定

(i)　CTPSW ― CALLT 実行時の状態退避レジスタ

CALLT 命令が実行されると、PSW（プログラムステータスワード）の一部が CTPSW に退避されます。

	31 … 5	4	3	2	1	0	リセット後の値
CTPSW	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	SAT	CY	OV	S	Z	0000 0000H

表 3BC.14　CTPSW レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～5	―	（将来のための予約です。必ず 0 を設定してください。）	R	0
4	SAT	CALLT 命令実行時の PSW.SAT ビットを退避します。	R/W	0
3	CY	CALLT 命令実行時の PSW.CY ビットを退避します。	R/W	0
2	OV	CALLT 命令実行時の PSW.OV ビットを退避します。	R/W	0
1	S	CALLT 命令実行時の PSW.S ビットを退避します。	R/W	0
0	Z	CALLT 命令実行時の PSW.Z ビットを退避します。	R/W	0

(j)　CTBP ― CALLT ベースポインタ

CTBP レジスタは、CALLT 命令のテーブルアドレスの指定、ターゲットアドレスの生成に使用されます。

CTBP レジスタには必ずハーフワードアドレスを設定してください。

	31 … 0	リセット後の値
CTBP	CTBP31-CTBP0	不定

表 3BC.15　CTBP レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～1	CTBP31-CTBP1	CALLT 命令のベースポインタアドレスです。 CALLT 命令で利用するテーブルの先頭アドレスを示します。	R/W	不定
0	CTBP0	CALLT 命令のベースポインタアドレスです。 CALLT 命令で利用するテーブルの先頭アドレスを示します。 常に 0 を設定してください。	R	0

(k)　ASID ― アドレス空間識別子

アドレス空間識別子です。メモリ管理機能で提供されるアドレス空間の識別のために使用します。

	31 … 10	9 … 0	リセット後の値
ASID	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	ASID	不定

表 3BC.16　ASID レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～10	―	（将来のための予約です。必ず 0 を設定してください。）	R	0
9～0	ASID	アドレス空間識別子です。	R/W	不定

(l)　EIWR — EI レベル例外用作業レジスタ

EIWR レジスタは、EI レベルの例外が発生したときの作業用レジスタです。

	31 … 0	
EIWR	EIWR31-EIWR0	リセット後の値 不定

表 3BC.17　EIWR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31〜0	EIWR31-EIWR0	EI レベル例外中に任意に利用可能な作業用レジスタです。汎用レジスタの値の保存などに利用してください。	R/W	不定

(m)　FEWR — FE レベル例外用作業レジスタ

FEWR レジスタは、FE レベルの例外が発生したときの作業用レジスタです。

	31 … 0	
FEWR	FEWR31-FEWR0	リセット後の値 不定

表 3BC.18　FEWR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31〜0	FEWR31-FEWR0	FE レベル例外中に任意に利用可能な作業用レジスタです。汎用レジスタの値の保存などに利用してください。	R/W	不定

(n)　HTCFG0 — スレッドコンフィグレーション

	31												19	18 17 16	15	14														0	
HTCFG0	0	0	0	0	0	0	0	0	0	0	0	0	0	PEID	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	リセット後の値 0001 8000H

表 3BC.19　HTCFG0 レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31〜19	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
18〜16	PEID	プロセッサエレメント番号を示します。	R	001B
15	—	（将来のための予約です。必ず 1 を設定してください。）	R	1
14〜0	—	（将来のための予約です。必ず 0 を設定してください。）	R	0

(o)　MEA — メモリエラーアドレスレジスタ

	31 … 0	
MEA	MEA	リセット後の値 不定

表 3BC.20　MEA レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31〜0	MEA	MAE（ミスアライン）／MPU 発生時の違反アドレスを保存します。	R/W	不定

(p) MEI — メモリエラー情報

ミスアライン例外（MAE）、メモリ保護例外（MDP）発生時に、エミュレーションを行う場合のヒント情報として、例外を引き起こした命令の情報を格納します。

	31	30	29	28	27	26	25	24	23	22	21	20–16	15	14	13	12	11	10–9	8	7	6	5–1	0	リセット後の値
MEI	0	0	0	0	0	0	0	0	0	0	0	REG	0	0	0	0	0	DS	U	0	0	ITYPE	RW	不定

表 3BC.21　MEI レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～21	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
20～16	REG	例外を引き起こした命令のソースレジスタ番号、またはディスティネーションレジスタ番号を示します。詳細は、**「表 3BC.22 例外を引き起こした命令と MEI レジスタの値」**を参照してください。	R/W	不定
15～11	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
10、9	DS	例外を引き起こした命令のデータタイプを示します。注 1 0：バイト（8 ビット） 1：ハーフワード（16 ビット） 2：ワード（32 ビット） 3：ダブルワード（64 ビット） 詳細は、**「表 3BC.22 例外を引き起こした命令と MEI レジスタの値」**を参照してください。	R/W	不定
8	U	例外を引き起こした命令の符号拡張方式を示します。 0：Signed 1：Unsigned 詳細は、**「表 3BC.22 例外を引き起こした命令と MEI レジスタの値」**を参照してください。	R/W	不定
7、6	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
5～1	ITYPE	例外を引き起こした命令を示します。 詳細は、**「表 3BC.22 例外を引き起こした命令と MEI レジスタの値」**を参照してください。	R/W	不定
0	RW	例外を引き起こした命令のオペレーションが、リード（Load-memory）だったのか、ライト（Store-memory）だったのかを示します。 0：リード（Load-memory） 1：ライト（Store-memory） 詳細は、**「表 3BC.22 例外を引き起こした命令と MEI レジスタの値」**を参照してください。	R/W	不定

注1.　ハードウェアによってアクセスが分割されるような場合においても、命令の示すデータタイプが格納されます。

表 3BC.22　例外を引き起こした命令と MEI レジスタの値

命令	REG	DS	U	RW	ITYPE
SLD.B	dst	0 (byte)	0 (signed)	0 (read)	00000_B
SLD.BU	dst	0 (byte)	1 (unsigned)	0 (read)	00000_B
SLD.H	dst	1 (halfword)	0 (signed)	0 (read)	00000_B
SLD.HU	dst	1 (halfword)	1 (unsigned)	0 (read)	00000_B
SLD.W	dst	2 (word)	0 (signed)	0 (read)	00000_B
SST.B	src	0 (byte)	0 (signed)	1 (write)	00000_B
SST.H	src	1 (halfword)	0 (signed)	1 (write)	00000_B
SST.W	src	2 (word)	0 (signed)	1 (write)	00000_B
LD.B (disp16)	dst	0 (byte)	0 (signed)	0 (read)	00001_B
LD.BU (disp16)	dst	0 (byte)	1 (unsigned)	0 (read)	00001_B

表 3BC.22　例外を引き起こした命令と MEI レジスタの値

命令	REG	DS	U	RW	ITYPE
LD.H (disp16)	dst	1 (halfword)	0 (signed)	0 (read)	00001_B
LD.HU (disp16)	dst	1 (halfword)	1 (unsigned)	0 (read)	00001_B
LD.W (disp16)	dst	2 (word)	0 (signed)	0 (read)	00001_B
ST.B (disp16)	src	0 (byte)	0 (signed)	1 (write)	00001_B
ST.H (disp16)	src	1 (halfword)	0 (signed)	1 (write)	00001_B
ST.W (disp16)	src	2 (word)	0 (signed)	1 (write)	00001_B
LD.B (disp23)	dst	0 (byte)	0 (signed)	0 (read)	00010_B
LD.BU (disp23)	dst	0 (byte)	1 (unsigned)	0 (read)	00010_B
LD.H (disp23)	dst	1 (halfword)	0 (signed)	0 (read)	00010_B
LD.HU (disp23)	dst	1 (halfword)	1 (unsigned)	0 (read)	00010_B
LD.W (disp23)	dst	2 (word)	0 (signed)	0 (read)	00010_B
ST.B (disp23)	src	0 (byte)	0 (signed)	1 (write)	00010_B
ST.H (disp23)	src	1 (halfword)	0 (signed)	1 (write)	00010_B
ST.W (disp23)	src	2 (word)	0 (signed)	1 (write)	00010_B
LD.DW (disp23)	dst	3 (double-word)	0 (signed)	0 (read)	00010_B
ST.DW (disp23)	src	3 (double-word)	0 (signed)	1 (write)	00010_B
LDL.W	dst	2 (word)	0 (signed)	0 (read)	00111_B
STC.W	src	2 (word)	0 (signed)	1 (write)	00111_B
CAXI	dst	2 (word)	0 (signed)	0 (read)/1 (write)	01000_B
SET1	—	0 (byte)	0 (signed)	0 (read)/1 (write)	01001_B
CLR1	—	0 (byte)	0 (signed)	0 (read)/1 (write)	01001_B
NOT1	—	0 (byte)	0 (signed)	0 (read)/1 (write)	01001_B
TST1	—	0 (byte)	0 (signed)	0 (read)	01001_B
PREPARE	—	2 (word)	0 (signed)	1 (write)	01100_B
DISPOSE	—	2 (word)	0 (signed)	0 (read)	01100_B
PUSHSP	—	2 (word)	0 (signed)	1 (write)	01101_B
POPSP	—	2 (word)	0 (signed)	0 (read)	01101_B
SWITCH	—	1 (halfword)	0 (signed)	0 (read)	10000_B
CALLT	—	1 (halfword)	1 (unsigned)	0 (read)	10001_B
SYSCALL	—	2 (word)	0 (signed)	0 (read)	10010_B
CACHE	—	—	—	—	—
割り込み（テーブル参照）注 1	—	2 (word)	0 (signed)	0 (read)	10101_B

注1.　テーブル参照方式の割り込みベクタ読み込み時

備　考

dst：ディスティネーションレジスタ番号、src：ソースレジスタ番号

(q) RBASE — リセットベクタベースアドレス

リセット時のリセットベクタアドレスを示すレジスタです。PSW.EBV ビットがクリア（0）されている場合、このベクタアドレスは例外ベクタアドレスとしても使用されます。

	31–9	8	7	6	5	4	3	2	1	0	
RBASE	RBASE31-RBASE9	0	0	0	0	0	0	0	0	RINT	リセット後の値 注1

表 3BC.23　RBASE レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～9	RBASE31-RBASE9	リセット時のリセットベクタを示します。このアドレスは PSW.EBV＝0 のとき、例外ベクタとしても使用されます。 RBASE8～RBASE0 は、暗黙的に 0 が利用されます。	R	0000 0000 0000 0000 0000 000$_B$ 注1
8～1	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
0	RINT	RINT ビットがセットされている場合、割り込み処理の例外ハンドラアドレスが縮小されます。「**7BC.10.1 直接ベクタ方式**」を参照してください。このビットは PSW.EBV＝0 のときに有効です。	R	0

注1.　リセットベクタの値によります。製品出荷時の値は、表中の値になりますが、リセットベクタを変更した場合は、変更したアドレスになります。

(r) EBASE — 例外ハンドラベクタアドレス

例外ハンドラのベクタアドレスを示すレジスタです。PSW.EBV ビットがセット（1）されている場合に有効です。

	31–9	8	7	6	5	4	3	2	1	0	
EBASE	EBASE31-EBASE9	0	0	0	0	0	0	0	0	RINT	リセット後の値 不定

表 3BC.24　EBASE レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～9	EBASE31-EBASE9	例外ハンドラルーチンのアドレスがこのレジスタで指定されたベースアドレスに、各例外のオフセットアドレスを加えたアドレスに変更されます。 EBASE8～EBASE0 は、暗黙的に 0 が利用されます。	R/W	不定
8～1	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
0	RINT	RINT ビットがセットされている場合、割り込み処理の例外ハンドラアドレスが縮小されます。「**7BC.10.1 直接ベクタ方式**」を参照してください。	R/W	不定

(s)　INTBP — 割り込みハンドラアドレステーブルのベースアドレス

割り込みハンドラアドレスの選択方式として、アドレステーブル参照方式を選択したときの、アドレステーブルのベースアドレスを示すレジスタです。

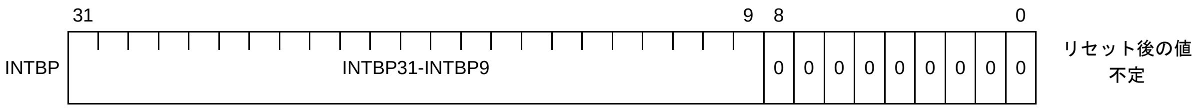


表 3BC.25　INTBP レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～9	INTBP31-INTBP9	テーブル参照方式を使用した時の割り込みのベースポインタアドレスです。テーブル参照方式に指定された割り込み（EIINT0～511）受け付け時の例外ハンドラ決定時のテーブルアドレスの先頭を示します。 INTBP8～INTBP0 は、暗黙的に 0 が利用されます。	R/W	不定
8～0	—	（将来のための予約です。必ず 0 を設定してください。）	R	0

(t)　PID — プロセッサ識別子

PID レジスタは、CPU 固有のプロセッサ識別子を保持します。PID レジスタはリードのみ可能です。

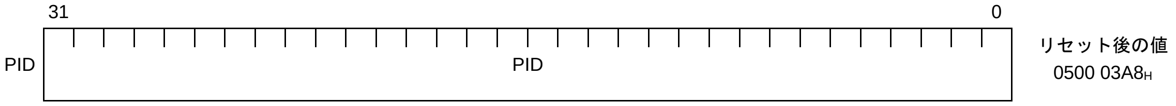


表 3BC.26　PID レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～24	PID	アーキテクチャ識別子 プロセッサの属するアーキテクチャを示す識別子です。	R	05_H
23～8		機能識別子 プロセッサの持つ機能を示す識別子です。 ビットごとに定義された機能の搭載／非搭載を示します（1：搭載、0：非搭載）。 ビット 23～11：予約 ビット 10：倍精度浮動小数点演算機能 ビット 9：単精度浮動小数点演算機能 ビット 8：メモリ保護機能（MPU）	R	0003_H
7～0		バージョン識別子 プロセッサのバージョンを示す識別子です。	R	$A8_H$

(u) SCCFG — SYSCALL の動作設定

SYSCALL 命令に関する動作設定を行います。SYSCALL 命令の使用前に必ず適切な値を設定してください。

	31																							8	7 … 0	
SCCFG	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SIZE	リセット後の値 不定

表 3BC.27　SCCFG レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31〜8	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
7〜0	SIZE	SYSCALL 命令が参照するテーブルの最大エントリ数を指定します。SYSCALL 命令が参照する最大エントリ数は、SIZE が 0 の場合は 1 エントリ、255 の場合は 256 エントリです。SYSCALL 命令で分岐する関数の数に合わせて、最大エントリ数を適切に設定することで、メモリ領域を有効に活用できます。 最大エントリ数を超えるベクタが SYSCALL 命令で指定された場合には、先頭のエントリが選択されます。先頭のエントリには、エラー処理ルーチンを配置してください。	R/W	不定

(v) SCBP — SYSCALL ベースポインタ

SCBP レジスタは、SYSCALL 命令のテーブルアドレスの指定、ターゲットアドレスの生成に使用されます。SYSCALL 命令の使用前に、必ず適切な値を設定してください。

SCBP レジスタには必ずワードアドレスを設定してください。

	31 … 0	
SCBP	SCBP31-SCBP0	リセット後の値 不定

表 3BC.28　SCBP レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31〜2	SCBP31-SCBP2	SYSCALL 命令のベースポインタアドレスです。 SYSCALL 命令で利用するテーブルの先頭アドレスを示します。	R/W	不定
1、0	SCBP1、CBP0	SYSCALL 命令のベースポインタアドレスです。 SYSCALL 命令で利用するテーブルの先頭アドレスを示します。 常に 0 を設定してください。	R	0

(w) MCFG0 — マシンコンフィグレーション

CPU のコンフィグレーションを表すレジスタです。

	31														18 17 16	15												3	2	1	0	
MCFG0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SPID	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	リセット後の値 0001 0004H

表 3BC.29　MCFG0 レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～18	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
17、16	SPID	システムプロテクション番号を示します。	R/W	01B
15～3	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
2	—	（将来のための予約です。必ず 1 を設定してください。）	R	1
1、0	—	（将来のための予約です。必ず 0 を設定してください。）	R	0

(x) MCTL — マシンの制御

CPU の制御を行うレジスタです。

	31																													2	1	0	
MCTL	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	MA	UIC	リセット後の値 8000 0002H

表 3BC.30　MCTL レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31	—	（将来のための予約です。必ず 1 を設定してください。）	R	1
30～2	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
1	MA	ミスアラインアクセスを制御するビットです。 0：ミスアラインアクセス時、例外が常に発生注1 1：ハードウェアで正しい動作を行う注2	R/W	1
0	UIC	ユーザモードでの割り込み許可禁止操作を制御するビットです。このビットをセット（1）するとユーザモードでの EI/DI 命令の実行が可能になります。	R/W	0

注1.　ワード境界割り付けの LD.DW および ST.DW を除く

注2.　LD.DW および ST.DW のワード境界以外へのミスアラインアクセスでは例外が発生

(3) 割り込み機能レジスタ

表 3BC.31　割り込み機能システムレジスター覧

レジスタ番号（regID, selID）	名称	機能	アクセス権限
SR7, 1	FPIPR	FPI 例外割り込み優先度設定レジスタ	SV
SR10, 2	ISPR	受け付け中割り込み優先度レジスタ	SV
SR11, 2	PMR	割り込み優先度マスクレジスタ	SV
SR12, 2	ICSR	割り込み制御ステータスレジスタ	SV
SR13, 2	INTCFG	割り込み機能の設定レジスタ	SV

(a) FPIPR ― FPI 例外割り込み優先度設定

FPI 例外の割り込み優先度を設定するレジスタです。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4 … 0	リセット後の値
FPIPR	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	FPIPR	0000 0000H

表 3BC.32　FPIPR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～5	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
4～0	FPIPR	浮動小数点演算例外（インプレサイス）（FPI）の割り込み優先度を指定します。0～16 までの値を設定します。17 以上の値は設定禁止です。 FPI 例外は、指定された割り込み優先度として扱われます。同一優先度の割り込みと同時に発生した場合は、FPI 例外が優先されます。 **備考）** 16 以上の値を設定した場合、16 と同様に扱われます。	R/W	0

(b)　ISPR ― 受け付け中割り込み優先度

CPU で処理中の EIINTn の割り込み優先度を、優先度ごとに保持し、多重割り込み時の優先度によるプライオリティシーリングを行います。

	31															16	15 … 0	
ISPR	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ISP15-ISP0	リセット後の値 0000 0000$_H$

表 3BC.33　ISPR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～16	―	（将来のための予約です。必ず 0 を設定してください。）	R	0
15～0	ISP15-ISP0	ビット位置に対応した優先度の割り込み（*EIINTn*）の受け付け状況を示します。 0：ビット位置に対応する割り込み優先度の割り込み要求を受け付けていない 1：ビット位置に対応する割り込み優先度の割り込み要求を CPU コアで処理中 各ビット位置が、次のように各優先度に対応しています。 ビット ／ 優先度 0 ／ 優先度 0（最高優先度） 1 ／ 優先度 1 : 14 ／ 優先度 14 15 ／ 優先度 15（最低優先度） 割り込み（*EIINTn*）要求を受け付けた場合、受け付けた割り込み（*EIINTn*）要求に対応するビットが自動的にセット（1）されます。 また、EIRET 命令実行時に PSW.EP＝0 の場合、ISP15～ISP0 でセット（1）されているビットのうち、最も高優先度（0 が高優先度側）のビットがクリア（0）されます注 1 このビットがセット（1）されている間、その優先度以下の割り込み（*EIINTn*）と FPI 例外注 2 がマスクされ、例外の受け付け判定時に優先順位判定されず、受け付けられることがありません。 PMR レジスタを利用してソフトウェアによる優先度管理を行う場合は、INTCFG.ISPC ビットの機能によってクリアしてください。	R 注 3	0

注1.　INTCFG.ISPC ビットの設定によって、割り込み受け付け、また EIRET 命令による自動更新が行われなくなります。通常は、自動更新を行う方法での利用を推奨します。

注2.　FPI 例外は、EIINTn 割り込みと同一の優先レベルであるため、割り込みと同様に ISPR の影響を受けます。FPI 例外の優先度は、FPIPR レジスタによって設定されます。

注3.　INTCFG.ISPC ビットの設定によって、R または R/W となります。通常は R として利用する方法を推奨します。

(c) PMR — 割り込み優先度マスク

指定した割り込み優先度のマスクを行うレジスタです。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15-0	
PMR	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	PM15-PM0	リセット後の値 0000 0000H

表 3BC.34　PMR レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th><th>R/W</th><th>リセット後の値</th></tr>
<tr><td>31～16</td><td>—</td><td>（将来のための予約です。必ず 0 を設定してください。）</td><td>R</td><td>0</td></tr>
<tr><td>15～0</td><td>PM15-PM0</td><td>ビット位置に対応した割り込み要求をマスクします。
0：ビット位置に対応する優先度の割り込み処理を許可
1：ビット位置に対応する優先度の割り込み処理を禁止

各ビット位置が、次のように各優先度に対応しています。
<table>
<tr><th>ビット</th><th>優先度</th></tr>
<tr><td>0</td><td>優先度 0（最高優先度）</td></tr>
<tr><td>1</td><td>優先度 1</td></tr>
<tr><td colspan="2">:</td></tr>
<tr><td>14</td><td>優先度 14</td></tr>
<tr><td>15</td><td>優先度 15 および優先度 16（最低優先度）</td></tr>
</table>
このビットがセット（1）されている間、その優先度の割り込み（EIINTn）と FPI 例外注 1 がマスクされ、例外の受け付け判定時に優先順位判定されず、受け付けられることがありません。注 2</td><td>R/W</td><td>0</td></tr>
</table>

注1.　FPI 例外は、EIINTn 割り込みと同一の優先レベルであるため、割り込みと同様に PMR の影響を受けます。FPI 例外の優先度は、FPIPR レジスタによって設定されます。

注2.　マスクは低優先側から、連続して 1 を設定してください。例えば FF00H のような設定は可能ですが、F0F0H や 00FFH のような設定は禁止します。

(d) ICSR — 割り込み制御ステータス

CPU 内部の割り込み制御の状況を示すレジスタです。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
ICSR	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	PMFP	PMEI	リセット後の値 0000 0000H

表 3BC.35　ICSR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～2	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
1	PMFP	PMR の設定でマスクされている優先度の FPI 例外が存在することを示します。	R	0
0	PMEI	PMR の設定でマスクされている優先度の割り込み（*EIINTn*）が存在することを示します。	R	0

(e) INTCFG — 割り込み機能の設定

CPU 内部の割り込み機能に関する設定を行うレジスタです。

	31																														1	0	
INTCFG	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ISPC	リセット後の値 0000 0000$_H$

表 3BC.36　INTCFG レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～1	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
0	ISPC	ISPR レジスタの書き込み変更方法を設定するビットです。 0：ISPR を自動的に更新します。プログラムによる更新（LDSR）を無視します。 1：ISPR を自動的に更新しません。プログラムによる更新（LDSR）が行えます。 このビットがクリア（0）されている場合、ISPR レジスタの各ビットは割り込み（EIINTn）の受け付けにより自動的にセット（1）、EIRET 命令の実行によって自動的にクリア（0）が行われます。この状態ではプログラムによる LDSR を使った更新を無視します。このビットがセット（1）されている場合、ISPR レジスタの各ビットは割り込み（EIINTn）の受け付けや、EIRET 命令の実行によっては、更新を行いません。この状態ではプログラムによる LDSR を使った更新が可能となります。 通常 ISPC ビットはクリア（0）した状態で利用してください。ソフトウェアによる割り込み優先度を管理する場合に、このビットをセット（1）し、PMR レジスタによる優先度管理を行ってください。	R/W	0

(4) FPU 機能レジスタ

FPU は CPU の汎用レジスタ（r0～r31）を使用します。浮動小数点演算専用のレジスタファイルはありません。RH850/F1KM は単精度浮動小数点命令をサポートし、32 個の 32 ビットレジスタを指定できます。

これは汎用レジスタの r0～r31 に相当します。FPU では浮動小数点演算制御のために、以下のシステムレジスタを使用できます。

表 3BC.37　FPU 機能レジスタ一覧

レジスタ番号（regID, selID）	名称	機能	アクセス権限
SR6, 0	FPSR	浮動小数点演算の設定／ステータスレジスタ	CU かつ SV
SR7, 0	FPEPC	浮動小数点例外プログラムカウンタレジスタ	CU かつ SV
SR8, 0	FPST	浮動小数点演算のステータスレジスタ	CU
SR9, 0	FPCC	浮動小数点演算の比較結果レジスタ	CU
SR10, 0	FPCFG	浮動小数点演算コンフィグレーションレジスタ	CU
SR11, 0	FPEC	浮動小数点例外の制御レジスタ	CU かつ SV

(a) FPSR ― 浮動小数点演算の設定／ステータス

このレジスタは、浮動小数点演算の実行状態や例外の発生を示します。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
FPSR	CC7	CC6	CC5	CC4	CC3	CC2	CC1	CC0	FN	IF	PEM	0	RM		FS	0	E	V	Z	O	U	I	V	Z	O	U	I	V	Z	O	U	I	リセット後の値 下記参照
																	注1						注2					注3					

注1.　原因ビット（XC）

注2.　許可ビット（XE）

注3.　保存ビット（XP）

表 3BC.38　FPSR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～24	CC[7:0]	これらは CC（コンディション）ビットです。浮動小数点比較命令の結果を格納します。CC7～CC0 ビットは、比較命令および LDSR 命令以外の命令の影響を受けません。 0：比較結果は偽 1：比較結果は真	R/W	不定
23	FN	近傍へのフラッシュを有効にするビットです。このビットがセット（1）されている場合、丸めモードが RN かつ演算結果がサブノーマル数の時に近傍の値にフラッシュを行います。	R/W	0
22	IF	オペランド入力のフラッシュ発生を蓄積、表示します。	R/W	0
21	PEM	例外をプレサイス例外として扱うべきかどうかを指定します。PEM ビットが 1 の場合、浮動小数点演算命令の実行により発生した例外は、プレサイス例外として扱います。	R/W	0
20	―	（将来のための予約です。必ず 0 を設定してください。）	R	0

表 3BC.38　FPSR レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th><th>R/W</th><th>リセット後の値</th></tr>
<tr><td>19、18</td><td>RM</td><td>丸めモード制御ビットです。RM ビットは、FPU がすべての浮動小数点演算命令で使用する丸めモードを規定します。
<table>
<tr><th colspan="2">RM ビット</th><th rowspan="2">ニモニック</th><th rowspan="2">説明</th></tr>
<tr><th>19</th><th>18</th></tr>
<tr><td>0</td><td>0</td><td>RN</td><td>表現可能な最も近い値に結果を丸めます。2 つの表現可能な値の中間である場合は、最下位ビットが 0 の方に結果を丸めます。</td></tr>
<tr><td>0</td><td>1</td><td>RZ</td><td>0 の方へ結果を丸めます。無限精度の正確な結果を絶対値で超えない、最も近い値になります。</td></tr>
<tr><td>1</td><td>0</td><td>RP</td><td>＋∞の方へ結果を丸めます。無限精度の正確な結果以上で最も近い値になります。</td></tr>
<tr><td>1</td><td>1</td><td>RM</td><td>－∞の方へ結果を丸めます。無限精度の正確な結果以上で最も近い値になります。</td></tr>
</table></td><td>R/W</td><td>00</td></tr>
<tr><td>17</td><td>FS</td><td>正規化できない値（サブノーマル数）のフラッシュを許可するビットです。FS ビットがセットされているとき、サブノーマル数のオペランド入力および演算結果は未実装演算例外（E）を起こさず、フラッシュされます。オペランド入力のサブノーマル数は同符号の 0 にフラッシュされます。演算結果のサブノーマル数は丸めモードによって 0 になるか最小正規化値になるかが規定されています。
<table>
<tr><th rowspan="2">サブノーマル数の演算結果</th><th colspan="4">丸めモードとフラッシュ後の値</th></tr>
<tr><th>RN 注1</th><th>RZ</th><th>RP</th><th>RM</th></tr>
<tr><td>正</td><td>+0</td><td>+0</td><td>$+2^{Emin}$</td><td>+0</td></tr>
<tr><td>負</td><td>−0</td><td>−0</td><td>−0</td><td>-2^{Emin}</td></tr>
</table>
注1.　丸めモードが RN かつ FPSR.FN ビットがセット（1）されている時にはより精度の高い方向へフラッシュされます。</td><td>R/W</td><td>1</td></tr>
<tr><td>16</td><td>—</td><td>（将来のための予約です。必ず 0 を設定してください。）</td><td>R</td><td>0</td></tr>
<tr><td>15～10</td><td>XC（E, V, Z, O, U, I）</td><td>原因ビットです。</td><td>R/W</td><td>不定</td></tr>
<tr><td>9～5</td><td>XE（V, Z, O, U, I）</td><td>許可ビットです。</td><td>R/W</td><td>0</td></tr>
<tr><td>4～0</td><td>XP（V, Z, O, U, I）</td><td>保存ビットです。</td><td>R/W</td><td>不定</td></tr>
</table>

(b)　FPEPC — 浮動小数点演算例外プログラムカウンタ

許可ビットによって許可されている例外が発生した場合、例外が発生した命令のプログラムカウンタ（PC）が格納されます。

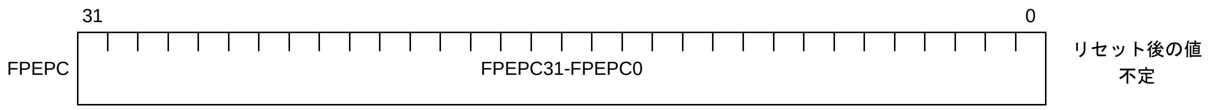


表 3BC.39　FPEPC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～1	FPEPC31-FPEPC1	許可ビットによって、許可された浮動小数点演算例外が発生した場合に、例外を発生させた浮動小数点演算命令の PC が格納されます。	R/W	不定
0	FPEPC0	許可ビットによって、許可された浮動小数点演算例外が発生した場合に、例外を発生させた浮動小数点演算命令の PC が格納されます。 常に 0 を設定してください。	R	0

(c) FPST — 浮動小数点演算のステータス

このレジスタは FPSR レジスタのなかで演算ステータスにかかわるビットと同一の内容を示します。

	31〜14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
FPST	0	E	V	Z	O	U	I	0	0	IF	V	Z	O	U	I	リセット後の値 不定
		注1									注2					

注1.　原因ビット（XC）

注2.　保存ビット（XP）

表 3BC.40　FPST レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31〜14	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
13〜8	XC（E, V, Z, O, U, I）	原因ビットです。これらのビットに書き込まれた値は、FPSR.XC ビットへ反映されます。	R/W	不定
7、6	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
5	IF	加算され、入力オペランドのフラッシュに関する情報を示します。	R/W	0
4〜0	XP（V, Z, O, U, I）	保存ビットです。これらのビットに書き込まれた値は、FPSR.XP ビットへ反映されます。	R/W	不定

(d) FPCC — 浮動小数点演算の比較結果

このレジスタは FPSR.CC[7:0]ビットと同一の内容を示します。

	31〜8	7	6	5	4	3	2	1	0	
FPCC	0	CC7	CC6	CC5	CC4	CC3	CC2	CC1	CC0	リセット後の値 不定

表 3BC.41　FPCC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31〜8	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
7〜0	CC[7:0]	CC（コンディション）ビットです。浮動小数点比較命令の結果を格納します。CC[7:0]ビットは、比較命令および LDSR 命令以外の命令の影響を受けません。これらのビットに書き込まれた値は、FPSR.CC[7:0]ビットへ反映されます。 0：比較結果は偽 1：比較結果は真	R/W	不定

(e) FPCFG — 浮動小数点演算の設定

このレジスタは、演算設定に関連する FPSR レジスタビットと同一の内容を示します。

	31 ～ 10	9	8	7	6	5	4	3	2	1	0	リセット後の値
FPCFG	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	RM		0	0	0	V	Z	O 注1	U	I	0000 0000H

注1.　許可ビット（XE）

表 3BC.42　FPCFG レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th><th>R/W</th><th>リセット後の値</th></tr>
<tr><td>31～10</td><td>—</td><td>（将来のための予約です。必ず 0 を設定してください。）</td><td>R</td><td>0</td></tr>
<tr><td>9、8</td><td>RM</td><td>丸めモード制御ビットです。RM ビットは、FPU がすべての浮動小数点演算命令で使用する丸めモードを規定します。このビットへの書き込みは FPSR.RM ビットへ反映されます。
<table>
<tr><th colspan="2">RM ビット</th><th rowspan="2">ニモニック</th><th rowspan="2">説明</th></tr>
<tr><th>9</th><th>8</th></tr>
<tr><td>0</td><td>0</td><td>RN</td><td>表現可能な最も近い値に結果を丸めます。2 つの表現可能な値の中間である場合は、最下位ビットが 0 の方に結果を丸めます。</td></tr>
<tr><td>0</td><td>1</td><td>RZ</td><td>0 の方へ結果を丸めます。無限精度の正確な結果を絶対値で超えない、最も近い値になります。</td></tr>
<tr><td>1</td><td>0</td><td>RP</td><td>＋∞の方へ結果を丸めます。無限精度の正確な結果以上で最も近い値になります。</td></tr>
<tr><td>1</td><td>1</td><td>RM</td><td>－∞の方へ結果を丸めます。無限精度の正確な結果以上で最も近い値になります。</td></tr>
</table></td><td>R/W</td><td>0</td></tr>
<tr><td>7～5</td><td>—</td><td>（将来のための予約です。必ず 0 を設定してください。）</td><td>R</td><td>0</td></tr>
<tr><td>4～0</td><td>XE (V, Z, O, U, I)</td><td>許可ビットです。</td><td>R/W</td><td>0</td></tr>
</table>

(f) FPEC — 浮動小数点演算例外の制御

浮動小数点演算例外に関する制御を行うレジスタです。

	31 ～ 1	0	リセット後の値
FPEC	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	FPIVD	0000 0000H

表 3BC.43　FPEC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～1	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
0	FPIVD 注1	FPI 例外の通知状況を示します。 このビットがセット（1）されている場合、CPU に対して FPI 例外を通知していて、かつ FPI 例外が受け付けられていない状態を示します。CPU が FPI 例外を受け付けた時点で、このビットは自動的にクリア（0）されます。 また、このビットがセット（1）されている間は、すべての浮動小数点演算命令を無効化します。このビットがセット（1）されている状態から、LDSR 命令によってクリア（0）することで、FPI 例外の通知を取り下げることができます。FPI 例外の通知を取り下げると、CPU が FPI 例外を受け付けることはありません。 0：FPI 例外非通知状態 1：FPI 例外通知状態	R/W	0

注1.　FPIVD ビットに対する LDSR 命令による書き込み操作は、クリア（0）のみ可能です。セット（1）は行えません。

(5) MPU 機能レジスタ

表 3BC.44　MPU 機能システムレジスタ一覧

レジスタ番号（regID, selID）	名称	機能	アクセス権限
SR0, 5	MPM	メモリ保護動作モードの設定	SV
SR1, 5	MPRC	MPU リージョン制御	SV
SR4, 5	MPBRGN	MPU ベースリージョン番号	SV
SR5, 5	MPTRGN	MPU 終端リージョン番号	SV
SR8, 5	MCA	メモリ保護設定チェックアドレス	SV
SR9, 5	MCS	メモリ保護設定チェックサイズ	SV
SR10, 5	MCC	メモリ保護設定チェックコマンド	SV
SR11, 5	MCR	メモリ保護設定チェック結果	SV
SR0, 6	MPLA0	保護領域の下限アドレス	SV
SR1, 6	MPUA0	保護領域の上限アドレス	SV
SR2, 6	MPAT0	保護領域の属性	SV
SR4, 6	MPLA1	保護領域の下限アドレス	SV
SR5, 6	MPUA1	保護領域の上限アドレス	SV
SR6, 6	MPAT1	保護領域の属性	SV
SR8, 6	MPLA2	保護領域の下限アドレス	SV
SR9, 6	MPUA2	保護領域の上限アドレス	SV
SR10, 6	MPAT2	保護領域の属性	SV
SR12, 6	MPLA3	保護領域の下限アドレス	SV
SR13, 6	MPUA3	保護領域の上限アドレス	SV
SR14, 6	MPAT3	保護領域の属性	SV
SR16, 6	MPLA4	保護領域の下限アドレス	SV
SR17, 6	MPUA4	保護領域の上限アドレス	SV
SR18, 6	MPAT4	保護領域の属性	SV
SR20, 6	MPLA5	保護領域の下限アドレス	SV
SR21, 6	MPUA5	保護領域の上限アドレス	SV
SR22, 6	MPAT5	保護領域の属性	SV
SR24, 6	MPLA6	保護領域の下限アドレス	SV
SR25, 6	MPUA6	保護領域の上限アドレス	SV
SR26, 6	MPAT6	保護領域の属性	SV
SR28, 6	MPLA7	保護領域の下限アドレス	SV
SR29, 6	MPUA7	保護領域の上限アドレス	SV
SR30, 6	MPAT7	保護領域の属性	SV
SR0, 7	MPLA8	保護領域の下限アドレス	SV
SR1, 7	MPUA8	保護領域の上限アドレス	SV
SR2, 7	MPAT8	保護領域の属性	SV
SR4, 7	MPLA9	保護領域の下限アドレス	SV
SR5, 7	MPUA9	保護領域の上限アドレス	SV
SR6, 7	MPAT9	保護領域の属性	SV
SR8, 7	MPLA10	保護領域の下限アドレス	SV
SR9, 7	MPUA10	保護領域の上限アドレス	SV
SR10, 7	MPAT10	保護領域の属性	SV
SR12, 7	MPLA11	保護領域の下限アドレス	SV
SR13, 7	MPUA11	保護領域の上限アドレス	SV

表 3BC.44　MPU 機能システムレジスター覧

レジスタ番号（regID, selID）	名称	機能	アクセス権限
SR14, 7	MPAT11	保護領域の属性	SV
SR16, 7	MPLA12	保護領域の下限アドレス	SV
SR17, 7	MPUA12	保護領域の上限アドレス	SV
SR18, 7	MPAT12	保護領域の属性	SV
SR20, 7	MPLA13	保護領域の下限アドレス	SV
SR21, 7	MPUA13	保護領域の上限アドレス	SV
SR22, 7	MPAT13	保護領域の属性	SV
SR24, 7	MPLA14	保護領域の下限アドレス	SV
SR25, 7	MPUA14	保護領域の上限アドレス	SV
SR26, 7	MPAT14	保護領域の属性	SV
SR28, 7	MPLA15	保護領域の下限アドレス	SV
SR29, 7	MPUA15	保護領域の上限アドレス	SV
SR30, 7	MPAT15	保護領域の属性	SV

(a) MPM ― メモリ保護動作モード

メモリ保護モードレジスタはメモリ保護機能の基本的な動作状態を決定します。

	31																												2	1	0	
MPM	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SVP	MPE	リセット後の値 0000 0000H

表 3BC.45　MPM レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～2	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
1	SVP	SV モード（PSW.UM＝0）時に、各保護領域ごとに MPAT レジスタの SX、SW、SR にしたがってアクセス制限を行うかどうかを指定します。注 1 0：従来どおり、SV モードでは、暗黙的にすべてのアクセスは許可とします。 1：SV モードであっても、SX、SW、SR ビットにしたがってアクセス制限を行います。注 2	R/W	0
0	MPE	MPU 機能の有効／無効を指定します。 0：無効 1：有効	R/W	0

注1.　SVP ビットをセット（1）した場合、一定のクロックサイクル後に SV モードであってもアクセス制限が課されるようになります。このため、SVP ビットをセットするプログラム自身がアクセス制限されることがないように、あらかじめ保護領域の設定を行ってください。

注2.　SV モードでアクセス制限をする場合、設定によっては MDP 例外、MIP 例外処理自身が実行できなくなる場合があります。あらかじめ例外ハンドラ、例外処理に必要なメモリ領域は、アクセスを許可するように注意して設定を行ってください。

(b) MPRC — MPU リージョン制御

	31															16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
MPRC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	E15	E14	E13	E12	E11	E10	E9	E8	E7	E6	E5	E4	E3	E2	E1	E0	リセット後の値 0000 0000H

表 3BC.46　MPRC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31〜16	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
15〜0	E15-E0	各保護領域の Enable ビットです。En ビットが MPATn.E ビットの写像です（n＝15〜0）。	R/W	0

(c) MPBRGN — MPU ベースリージョン

利用可能な MPU 領域の最小番号を示します。

	31																										5	4–0	
MPBRGN	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	MPBRGN	リセット後の値 0000 0000H

表 3BC.47　MPBRGN レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31〜5	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
4〜0	MPBRGN	MPU 領域の一番小さい番号を示します。 常に 0 を示します。	R	0

(d) MPTRGN — MPU 終端リージョン

利用可能な MPU 領域の最大番号＋1 を示します。

	31																										5	4–0	
MPTRGN	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	MPTRGN	リセット後の値 0000 0010H

表 3BC.48　MPTRGN レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31〜5	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
4〜0	MPTRGN	MPU 領域の一番大きい番号＋1 を示します。 ハードウェアが搭載する MPU 領域の最大数を示します。	R	10000_B

(e) MCA — メモリ保護設定チェックアドレス

メモリ保護設定のチェックを行う領域のベースアドレスを指定します。

	31 … 0	
MCA	MCA31-MCA0	リセット後の値 不定

表 3BC.49 MCA レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～0	MCA31-MCA0	メモリ保護設定のチェックを行う対象のメモリ領域の先頭アドレスをバイト単位で指定します。	R/W	不定

(f) MCS — メモリ保護設定チェックサイズ

メモリ保護設定のチェックを行う領域のサイズを指定します。

	31 … 0	
MCS	MCS31-MCS0	リセット後の値 不定

表 3BC.50 MCS レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～0	MCS31-MCS0	メモリ保護設定のチェックを行う対象のメモリ領域のサイズを指定する、対象領域のサイズをバイト単位で指定します。指定されたサイズは符号なしの整数として扱うため、MCA レジスタの値からアドレス値が減少する方向へ領域のチェックを行うことができません。 MCS レジスタには 0000 0000_H を設定しないでください。	R/W	不定

(g) MCC — メモリ保護設定チェックコマンド

メモリ保護設定のチェックを開始するためのコマンド・レジスタです。

	31 … 0	
MCC	MCC31-MCC0	リセット後の値 0000 0000_H

表 3BC.51 MCC レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～0	MCC31-MCC0	MCC レジスタへの任意の値を書き込むと、メモリ保護設定のチェックが開始されます。事前に MCA/MCS レジスタを設定し、このレジスタへの書き込み操作を行うことで、MCR に結果が格納されます。 任意の書き込み値で、チェックを開始するため、r0 をソースレジスタとして、余分なレジスタを使用することなく、チェックを開始できます。また、チェックは、PSW.UM ビットの状態にかかわらず、各領域設定にしたがった結果を反映します。 MCC レジスタからの読み出し値は、常に 0000 0000_H となります。	R/W	0

(h) MCR — メモリ保護設定チェック結果

メモリ保護設定のチェックの結果を格納するレジスタです。

ビット 31～9、7、6 には、必ず 0 を設定してください。

	31																						9	8	7	6	5	4	3	2	1	0	
MCR	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OV	0	0	SXE	SWE	SRE	UXE	UWE	URE	リセット後の値 不定

表 3BC.52　MCR レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～9	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
8	OV	指定された領域が 0000 0000$_H$ または、7FFF FFFF$_H$ をまたがる場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定
7、6	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
5	SXE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がスーパバイザ実行許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定
4	SWE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がスーパバイザライト許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定
3	SRE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がスーパバイザリード許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定
2	UXE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がユーザモード実行許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定
1	UWE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がユーザモードライト許可であった場合に、1 が格納されます。それ以外の場合は 0 が格納されます。	R/W	不定
0	URE	指定された領域が、いずれか 1 つの保護領域の中に収まっており、かつその保護領域がユーザモードリード許可であった場合に、1 が格納されます。それ以外の場合は、0 が格納されます。	R/W	不定

(i)　MPLAn — 保護領域の下限アドレス

領域 n の下限アドレスを示すレジスタです（n＝0～15）。

	31 … 2	1	0	
MPLAn	MPLA31-MPLA2	0	0	リセット後の値 不定

表 3BC.53　MPLAn レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～2	MPLA31-MPLA2	領域 n の下限アドレスを示します。 MPLA1、MPLA0 は暗黙的に 0 を使用します。	R/W	不定
1、0	—	（将来のための予約です。必ず 0 を設定してください。）	R	0

(j)　MPUAn — 保護領域の上限アドレス

領域 n の上限アドレスを示すレジスタです（n＝0～15）。

	31 … 2	1	0	
MPUAn	MPUA31-MPUA2	0	0	リセット後の値 不定

表 3BC.54　MPUAn レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31～2	MPUA31-MPUA2	領域 n の上限アドレスを示します。 MPUA1、MPUA0 は暗黙的に 1 を使用します。	R/W	不定
1、0	—	（将来のための予約です。必ず 0 を設定してください。）	R	0

(k) MPATn — 保護領域の属性

領域 n の属性を示すレジスタです（n＝0〜15）。

	31					26	25　16	15							8	7	6	5	4	3	2	1	0	
MPATn	0	0	0	0	0	0	ASID	0	0	0	0	0	0	0	0	E	G	SX	SW	SR	UX	UW	UR	リセット後の値 不定

表 3BC.55　MPATn レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31〜26	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
25〜16	ASID	領域一致の条件として利用する ASID の値を示します	R/W	不定
15〜8	—	（将来のための予約です。必ず 0 を設定してください。）	R	0
7	E	領域 n の有効／無効を示します。 0：領域 n を無効とする 1：領域 n を有効とする	R/W	0
6	G	0：ASID 一致を条件とする 1：ASID 一致を条件としない このビットが 0 の場合は、MPATn.ASID＝ASID.ASID であることが領域一致の条件となります。このビットが 1 の場合は、MPATn.ASID と ASID.ASID の値を領域一致の条件としません。	R/W	不定
5	SX	スーパバイザモードでの実行権を示します。注 1 0：実行禁止 1：実行許可	R/W	不定
4	SW	スーパバイザモードでの書き込み許可を示します。注 1 0：書き込み禁止 1：書き込み許可	R/W	不定
3	SR	スーパバイザモードでの読み出し許可を示します。注 1 0：読み出し禁止 1：読み出し許可	R/W	不定
2	UX	ユーザモードでの実行権を示します。 0：実行禁止 1：実行許可	R/W	不定
1	UW	ユーザモードでの書き込み許可を示します。 0：書き込み禁止 1：書き込み許可	R/W	不定
0	UR	ユーザモードでの読み出し許可を示します。 0：読み出し禁止 1：読み出し許可	R/W	不定

注1.　SV モードでアクセス制限をする場合、設定によっては MDP 例外、MIP 例外処理自身が実行できなくなる場合があります。あらかじめ例外ハンドラ、例外処理に必要なメモリ領域は、アクセスを許可するように注意して設定を行ってください。

(6) キャッシュ操作機能レジスタ

キャッシュ操作機能を搭載しないため、すべてのレジスタは常に 0 を読み出し、書き込みは無視されます。

表 3BC.56　キャッシュ操作機能レジスター覧

レジスタ番号（regID, selID）	名称	機能	アクセス権限
SR12, 4	BWERRL	搭載していません。常に 0 を読み出し、書き込みは無視されます。	SV
SR13, 4	BWERRH		SV
SR14, 4	BRERRL		SV
SR15, 4	BRERRH		SV
SR16, 4	ICTAGL		SV
SR17, 4	ICTAGH		SV
SR18, 4	ICDATL		SV
SR19, 4	ICDATH		SV
SR20, 4	DCTAGL		SV
SR21, 4	DCTAGH		SV
SR22, 4	DCDATL		SV
SR23, 4	DCDATH		SV
SR24, 4	ICCTRL		SV
SR25, 4	DCCTRL		SV
SR26, 4	ICCFG		SV
SR27, 4	DCCFG		SV
SR28, 4	ICERR		SV
SR29, 4	DCERR		SV

3BC.2.1.3　命令

「*ユーザーズマニュアル ソフトウェア編*」の「*命令*」を参照してください。

snooze 命令は 32 クロックで CPU コアの動作を停止させます。

3BC.2.2　Code Flash 用バッファ

3BC.2.2.1　特長

Code flash には 2 つのパスでアクセスします。命令フェッチアクセスは直接 Flash インタフェースにアクセスし、データアクセスはシステムインタコネクトを介してアクセスします。これらのパスはどちらもバッファを備えており、ソフトウェアによりクリアできます。これらのパスの ECC デコーダについては、「**図 40B.1　Code Flash の ECC ブロック図**」、「**図 40C.1　Code Flash の ECC ブロック図**」を参照してください。

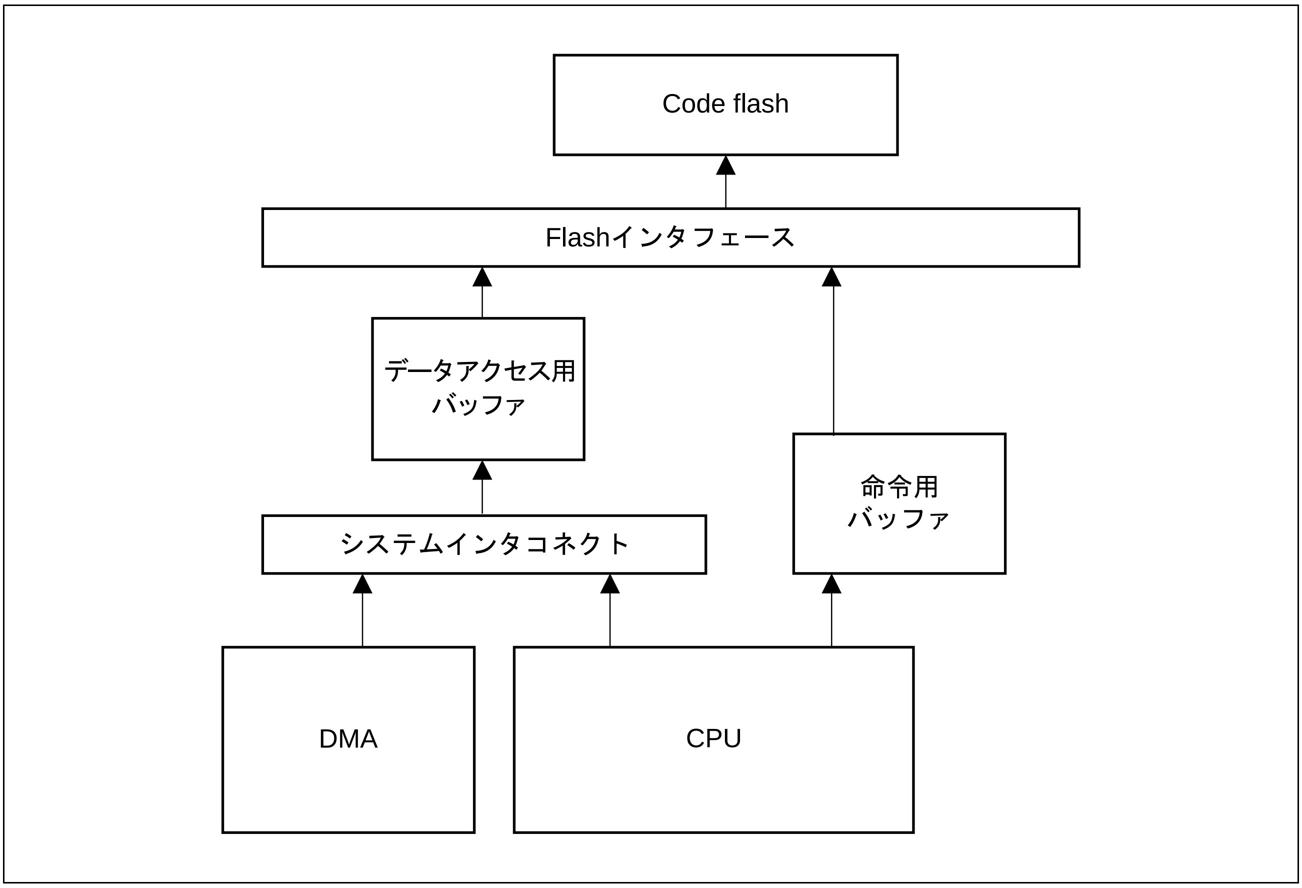


図 3BC.3　Code Flash 用バッファ

3BC.2.2.2　バッファの機能

Code flash に対する命令フェッチ用に、128 ビットの 1 ラインバッファを搭載しています。次回以降、同一アドレスにアクセスした場合、データはバッファから読み出されるため、128 ビット位置内では Code flash へのアクセスは発生しません。

データバッファとして、128 ビットの 1 ラインバッファを搭載しています。このバッファは CPU だけでなく、システムインタコネクトを介して DMA によっても使用されます。次回のアクセスが同じ 128 ビット境界内であれば、データはバッファから読み出されます。

RH850/F1KM-S4, RH850/F1KM-S2：
分岐ペナルティを減少するために、16 エントリの分岐履歴バッファを搭載しています。

FBUFCCTL というバッファ制御レジスタを搭載しています。FBUFCCTL レジスタを使用して、ソフトウェアによりこれらの 3 つのバッファをクリアできます。

RH850/F1KM-S1：
FBUFCCTL というバッファ制御レジスタを搭載しています。FBUFCCTL レジスタを使用して、ソフトウェアによりこれらの 2 つのバッファをクリアできます。

3BC.2.2.3　　バッファ制御レジスタ

(1) バッファ制御レジスタ一覧

表 3BC.57　バッファ制御レジスタ（ベースアドレス：FFC5 B000$_H$）

モジュール名	アドレスオフセット	サイズ（バイト）	レジスタ名称	略称	権限	R/W	操作可能ビット				リセット後の値
							1	8	16	32	
FBUF_CTRL	+000$_H$	4	フラッシュバッファクリア制御レジスタ	FBUFCCTL	—	R/W	—	○	○	○	0000 0000$_H$

(2) レジスタセット

アクセス　FBUFCCTL レジスタは、32 ビット単位でリード／ライト可能です。
FBUFCCTLL レジスタは、16 ビット単位でリード／ライト可能です。
FBUFCCTLLL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　FBUFCCTL：FFC5 B000$_H$
FBUFCCTLL：FFC5 B000$_H$
FBUFCCTLLL：FFC5 B000$_H$

	31																														1	0
FBUFCCTL	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	FBUFCLR

リセット後の値
0000 0000$_H$

表 3BC.58　FBUFCCTL レジスタの内容

ビット位置	ビット名	機能	R/W	リセット後の値
31〜1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。	R	0
0	FBUFCLR	バッファクリアビット バッファをクリアするには、このビットに 1 を書き込んでから 0 を書き込みます。 0：バッファは有効 1：バッファは無効（クリア）	R/W	0

バッファをクリアするには、以下の手順を実行してください。

ステップ 1：FBUFCCTL.FBUFCLR に 0 を書き込む。

ステップ 2：FBUFCCTL.FBUFCLR に 1 を書き込む。

ステップ 3：FBUFCCTL.FBUFCLR に 0 を書き込む。

ステップ 4：FBUFCCTL レジスタを読み出す（ダミーリード）

ステップ 5：SYNCP 命令を実行する。

ステップ 6：SYNCI 命令を実行する。

ステップ 2 の後にステップ 3 を実行しないと、FBUFCCTL.FBUFCLR＝1 である間はバッファは無効な状態になります。

3BC.2.3 信頼性機能

3BC.2.3.1 PE ガード機能（PEG）

(1) PEG 機能概要

PEG は Slave Guard の構成要素であり、外部マスタから CPU（PE）内資源への不正なアクセスを防止します。PE 内部のローカル RAM [注1] へのアクセスが対象です。リセット初期状態では、自 PE 以外のマスタからのアクセスを全てガードします。「**3BC.2.3.1(3) PEG 保護設定レジスタ一覧**」のレジスタを設定することで、自 PE 以外のマスタからのアクセスを許可します。

注1. RH850/F1KM-S1 では、ローカル RAM とリテンション RAM です。

(1) PE ガード違反の検出
PE ガードを設定した PE 内の資源領域に対して、PE 外部のマスタが不正なアクセスを行うと「PE ガード違反」として検出します。

(2) 不正アクセスの阻止
PE ガード違反を検出した場合、PE 資源の内容が不正に書き換えられてしまうことを防ぐために、PE 内部への不正アクセスを阻止します。

(3) 違反発生の通知
不正アクセスに対するエラー応答が外部マスタの要求元に送られます。DMA コントローラが不正なアクセスを行った場合、その間は DMA 転送エラーが検知されます。PE ガード違反は、FEINT 要因である INTGUARD 割り込み要求として通知されます。

(2) SPID による保護

- PEG 保護設定
  - 自 PE のローカル RAM アドレス[注1]によって 4 領域まで設定できます。
  - 領域の範囲指定は「ベースアドレス」と「マスクビット」により行います（最小 4KB～最大 4GB）。
  - 各領域に対して「リード許可」、「ライト許可」をそれぞれ設定できます。
  - 各領域に対して「システム保護識別子（SPID）」ごとに許可／禁止を選択できます。

注1. RH850/F1KM-S1 では、ローカル RAM アドレスとリテンション RAM アドレスです。

- 「システム保護識別子（SPID）」によるアクセス許可

1. アクセス対象が「ローカル RAM 領域[注1]」なら 2 へ。
2. アクセス対象が「有効な領域 0～3」のどれかの範囲内であれば 3 へ。さもなければ「エラー応答」を返します。
3. 該当領域に対して以下の条件すべてを満たせばアクセスを許可。
   - 「システム保護識別子（SPID）」が許可
   - 「要求されている操作（リード、ライト）」が許可
   さもなければ「エラー応答」を返します。

注1. RH850/F1KM-S1 では、ローカル RAM 領域とリテンション RAM 領域です。

(3) PEG 保護設定レジスタ一覧

外部マスタによる不正アクセスから PE 内資源を保護するには、以下のレジスタに必要な設定を行います。

- PE 内部のローカル RAM 注1 へのアクセスを検出対象として許可を与えます。

注1. RH850/F1KM-S1 では、ローカル RAM とリテンション RAM です。

表 3BC.59　PEG レジスタ（ベースアドレス：FFFE E600H）

モジュール名	アドレスオフセット	サイズ（バイト）	レジスタ名称	略称	権限	R/W	操作可能ビット				リセット後の値
							1	8	16	32	
PEG	+00CH	4	PEG SPID 制御レジスタ	PEGSP	—	R/W	—	○	○	○	0000 0000H
	+080H	4	PEG 領域 0 マスク設定レジスタ	PEGG0MK	—	R/W	—	○	○	○	0000 0000H
	+084H	4	PEG 領域 0 ベース設定レジスタ	PEGG0BA	—	R/W	—	○	○	○	0000 0000H
	+090H	4	PEG 領域 1 マスク設定レジスタ	PEGG1MK	—	R/W	—	○	○	○	0000 0000H
	+094H	4	PEG 領域 1 ベース設定レジスタ	PEGG1BA	—	R/W	—	○	○	○	0000 0000H
	+0A0H	4	PEG 領域 2 マスク設定レジスタ	PEGG2MK	—	R/W	—	○	○	○	0000 0000H
	+0A4H	4	PEG 領域 2 ベース設定レジスタ	PEGG2BA	—	R/W	—	○	○	○	0000 0000H
	+0B0H	4	PEG 領域 3 マスク設定レジスタ	PEGG3MK	—	R/W	—	○	○	○	0000 0000H
	+0B4H	4	PEG 領域 3 ベース設定レジスタ	PEGG3BA	—	R/W	—	○	○	○	0000 0000H

(4) レジスタセット

(a) PEGSP — PEG SPID 制御レジスタ

アクセス　PEGSP レジスタは、32 ビット単位でリード／ライト可能です。
PEGSPL レジスタは、16 ビット単位でリード／ライト可能です。
PEGSPLL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　PEGSP：FFFE E60C$_H$
PEGSPL：FFFE E60C$_H$
PEGSPLL：FFFE E60C$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SPEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 3BC.60　PEGSP レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	SPEN	SPID を持つ外部マスタによるアクセス許可 0：許可しない 1：許可する

(b) PEGGnMK — PEG 領域 n マスク設定レジスタ（n＝0～3）

PEGGnMK レジスタは、アクセスアドレスと比較する PEGGnBA.GnBASE ビットを定義します。ビット PEGGnMK.GnMASK[m]がクリアされた場合、アクセスアドレスのビット m はビット PEGGnBA.GnBASE[m]と比較を行います。

アクセス　PEGGnMK レジスタは、32 ビット単位でリード／ライト可能です。

PEGGnMKL, PEGGnMKH レジスタは、16 ビット単位でリード／ライト可能です。

PEGGnMKLH, PEGGnMKHL, PEGGnMKHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　PEGGnMK：FFFE $E680_H$ + (10_H × n)

PEGGnMKL：FFFE $E680_H$ + (10_H × n),
PEGGnMKH：FFFE $E682_H$ + (10_H × n)

PEGGnMKLH：FFFE $E681_H$ + (10_H × n),
PEGGnMKHL：FFFE $E682_H$ + (10_H × n),
PEGGnMKHH：FFFE $E683_H$ + (10_H × n)

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GnMASK															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GnMASK				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

表 3BC.61　PEGGnMK レジスタの内容

ビット位置	ビット名	機能
31～12	GnMASK	0：対象となるビットは、PE ガード領域判定時の比較対象 1：対象となるビットは、PE ガード領域判定時の比較対象外
11～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

備　考

PEGGnMK レジスタに対して書き込みを行う場合、対応する PEGGnBA レジスタの GnEN ビットが自動的にクリアされます。

(c)　PEGGnBA　―　PEG 領域 n ベース設定レジスタ（n＝0～3）

PE ガード保護領域 n の範囲を PEGGnMK レジスタとの組み合わせで指定するレジスタです。GnEN ビットに 1 をセットすると、本レジスタと PEGGnMK レジスタで設定したアクセス許可条件が有効になります。

アクセス　PEGGnBA レジスタは、32 ビット単位でリード／ライト可能です。

PEGGnBAL, PEGGnBAH レジスタは、16 ビット単位でリード／ライト可能です。

PEGGnBALL, PEGGnBALH, PEGGnBAHL, PEGGnBAHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　PEGGnBA：FFFE E684$_H$ + (10$_H$ × n)

PEGGnBAL：FFFE E684$_H$ + (10$_H$ × n),
PEGGnBAH：FFFE E686$_H$ + (10$_H$ × n)

PEGGnBALL：FFFE E684$_H$ + (10$_H$ × n),
PEGGnBALH：FFFE E685$_H$ + (10$_H$ × n),
PEGGnBAHL：FFFE E686$_H$ + (10$_H$ × n),
PEGGnBAHH：FFFE E687$_H$ + (10$_H$ × n)

<table>
<tr><td>ビット</td><td>31</td><td>30</td><td>29</td><td>28</td><td>27</td><td>26</td><td>25</td><td>24</td><td>23</td><td>22</td><td>21</td><td>20</td><td>19</td><td>18</td><td>17</td><td>16</td></tr>
<tr><td></td><td colspan="16">GnBASE</td></tr>
<tr><td>リセット後の値</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr>
<tr><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td></tr>
</table>

<table>
<tr><td>ビット</td><td>15</td><td>14</td><td>13</td><td>12</td><td>11</td><td>10</td><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr>
<tr><td></td><td colspan="4">GnBASE</td><td>—</td><td>—</td><td>—</td><td>—</td><td>GnSP3</td><td>GnSP2</td><td>GnSP1</td><td>GnSP0</td><td>—</td><td>GnWR</td><td>GnRD</td><td>GnEN</td></tr>
<tr><td>リセット後の値</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr>
<tr><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R</td><td>R/W</td><td>R/W</td><td>R/W</td></tr>
</table>

表 3BC.62　PEGGnBA レジスタの内容

ビット位置	ビット名	機能
31～12	GnBASE	PE ガード保護領域 n の範囲を指定するベースアドレスを設定します。
11～8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	GnSP3	PE ガード保護領域 n に対する SPID=3 の外部マスタによるアクセス許可を設定します。[注1] 0：許可しない 1：許可する
6	GnSP2	PE ガード保護領域 n に対する SPID=2 の外部マスタによるアクセス許可を設定します。[注1] 0：許可しない 1：許可する
5	GnSP1	PE ガード保護領域 n に対する SPID=1（CPU1）の外部マスタによるアクセス許可を設定します。[注1] 0：許可しない 1：許可する
4	GnSP0	PE ガード保護領域 n に対する SPID=0 の外部マスタによるアクセス許可を設定します。[注1] 0：許可しない 1：許可する
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 3BC.62　PEGGnBA レジスタの内容

ビット位置	ビット名	機能
2	GnWR	PE ガード保護領域 n に対するライト許可を設定します。 0：ライトアクセスを許可しない 1：ライトアクセスを許可
1	GnRD	PE ガード保護領域 n に対するリード許可を設定します。 0：リードアクセスを許可しない 1：リードアクセスを許可
0	GnEN	PE ガード保護領域 n に対するアクセス許可条件の設定を有効にします。 0：アクセス許可条件の設定無効 1：アクセス許可条件の設定有効

注1.　SPID については、「**表 40B.69　スレーブガードの識別子**」、「**表 40C.53　スレーブガードの識別子**」を参照してください。

備　考

PEGGnMK レジスタに対して書き込みを行う場合、対応する PEGGnBA レジスタの GnEN ビットが自動的にクリアされます。

3BC.2.3.2　PE 内部周辺装置保護機能（IPG）

(1) IPG 機能の概要

IPG は、IPG を搭載した CPU コアから周辺デバイスへの不正アクセスを防止する機能です。IPG は、以下に記載される機能を実現しています。IPG は、SEG、PEG、INTC1 および P-Bus へのアクセスをカバーしています。

(a) 周辺装置保護違反検出

周辺装置保護を設定した領域（周辺装置）に対して、CPU が不正なアクセスを行うと「周辺装置保護違反」として検出します。

(b) 不正アクセス情報の保存

周辺装置保護違反を検出した場合、不正アクセス情報を IPG 内部のレジスタに保存します。

(c) 不正アクセスの阻止

周辺装置保護違反を検出した場合、周辺装置の内容が不正に書き換えられてしまうことを防ぐために、周辺装置への不正アクセスを阻止します。

(d) 違反発生の通知

周辺装置保護違反が検出した場合、例外発生が要求され、処理を中断するよう CPU に要求します。

備　考

上記(d)違反発生の通知で直ちに「CPU に対して例外発生を要求」しても、CPU が違反発生を知らず（IPG からの要求を受け付ける前）に発行してしまった後発アクセスが周辺装置の内容を不正に書き換えてしまう場合があります（違反発生後のアクセスは結果的に不正になります）。

(2) IPG 機能

- この機能は、アクセスの属性（アドレス、転送種別、アクセス権限）に基づいてアクセスを無効化します。
- アクセス権限違反を検出したのち、エラーフラグ（後述）が、ソフトウェアの書き込みによってクリアされるまで、後続アクセスを無効化します。ただし、無効化動作は、CPU のアクセスに対してのみ作用します。CPU コア外部からのアクセスに対しては行われません。また、無効化動作は、アドレスとは無関係に行われます。
- ミスアラインダブルワード等のアクセスにより、同時に異なる周辺装置に対してアクセスを行うリクエストに対しては、当該アクセス対象すべてのアクセスが許可されている場合にアクセスが実行されます。

(3) 不正ユーザ用の IPG 保護設定レジスタ

ユーザモードのプログラムによる不正アクセスから周辺装置を保護するには、以下のレジスタを設定する必要があります。

- ユーザモードでのアクセスが検出されます。

表 3BC.63　IPG レジスタ（ベースアドレス：FFFE E000H）

モジュール名	アドレスオフセット	サイズ（バイト）	レジスタ名称	略称	権限 注1	R/W	操作可能ビット				リセット後の値
							1	8	16	32	
IPG	+002H	2	周辺装置保護違反アクセス情報保存レジスタ	IPGECRUM	SV	R/W	—	○	○	—	不定（保持）
	+008H	4	周辺装置保護違反アクセスアドレス保存レジスタ	IPGADRUM	SV	R/W	—	○	○	○	不定（保持）
	+00DH	1	周辺装置保護イネーブルレジスタ	IPGENUM	SV	R/W	—	○	—	—	00H
	+020H	1	周辺装置保護設定レジスタ 0	IPGPMTUM0	SV	R/W	—	○	—	—	00H
	+022H	1	周辺装置保護設定レジスタ 2	IPGPMTUM2	SV	R/W	—	○	—	—	00H
	+023H	1	周辺装置保護設定レジスタ 3	IPGPMTUM3	SV	R/W	—	○	—	—	00H
	+024H	1	周辺装置保護設定レジスタ 4	IPGPMTUM4	SV	R/W	—	○	—	—	00H

注1.　「SV」と記載されたレジスタは、SV 権限（UM＝0）で、アクセスすることができます。

(4) レジスタセット

(a) IPGECRUM — 周辺装置保護違反アクセス情報保存レジスタ

アクセス IPGECRUM レジスタは、16 ビット単位でリード／ライト可能です。

IPGECRUML レジスタは、8 ビット単位でリード／ライト可能です。

アドレス IPGECRUM：FFFE $E002_H$

IPGECRUML：FFFE $E002_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	WD	HW	BY	EX	WR	RD	VD
リセット後の値	0	0	0	0	0	0	0	0	0	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 3BC.64 IPGECRUM レジスタの内容

ビット位置	ビット名	機能
15～7	予約ビット	本ビットのリード値は常に 0 です。ライトする場合は“0”を書いてください。
6	WD	このビットは、違反を起こしたアクセスが読み出しワード、命令フェッチリードアクセス、書き込みワード、CAXI、LDL、または STC であった場合にセット（1）されます。それ以外の場合はクリア（0）されます。
5	HW	このビットは、違反を起こしたアクセスが読み出しハーフワードまたは書き込みハーフワードであった場合にセット（1）されます。それ以外の場合はクリア（0）されます。
4	BY	このビットは、違反を起こしたアクセスが読み出しバイト、書き込みバイトまたはビット操作であった場合にセット（1）されます。それ以外の場合はクリア（0）されます。
3	EX	このビットは、違反を起こしたアクセスが命令フェッチリードアクセスであった場合にセット（1）されます。それ以外の場合はクリア（0）されます。
2	WR	このビットは、違反を起こしたアクセスがライトアクセス、ビット操作、または CAXI 命令の実行であった場合にセット（1）されます。それ以外の場合はこのビットはクリア（0）されます。
1	RD	このビットは、違反を起こしたアクセスが読み出しアクセス、ビット操作、または CAXI 命令の実行であった場合にセット（1）されます。それ以外の場合はこのビットはクリア（0）されます。
0	VD	このビットは、該当する権限によるプログラムによる周辺装置保護違反を検出するとセット（1）されます。セットされている場合、新たに周辺装置保護違反を検出しても、本レジスタ IPGECRUM、および IPGADRUM レジスタを更新せず保持します。

備 考

後述する IPGENUM レジスタの IRE ビットの値が 0 であり、ユーザモードで動作するプログラムによる周辺装置保護違反が命令フェッチリードアクセスである場合には、本レジスタのすべてのビットが更新されません。

(b) IPGADRUM ― 周辺装置保護違反アクセスアドレス保存レジスタ

アクセス　IPGADRUM レジスタは、32 ビット単位でリード／ライト可能です。

IPGADRUML, IPGADRUMH レジスタは、16 ビット単位でリード／ライト可能です。

IPGADRUMLL, IPGADRUMLH, IPGADRUMHL, IPGADRUMHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　IPGADRUM：FFFE E008$_H$

IPGADRUML：FFFE E008$_H$,
IPGADRUMH：FFFE E00A$_H$

IPGADRUMLL：FFFE E008$_H$,
IPGADRUMLH：FFFE E009$_H$,
IPGADRUMHL：FFFE E00A$_H$,
IPGADRUMHH：FFFE E00B$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	EADR[31:16]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EADR[15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 3BC.65　IPGADRUM レジスタの内容

ビット位置	ビット名	機能
31～0	EADR	これらのビットは、違反を起こしたアクセスアドレスを格納します。

備　考

後述する IPGENUM レジスタの IRE ビットの値が 0 であり、ユーザモードで動作するプログラムによる周辺装置保護違反が命令フェッチリードアクセスである場合には、本レジスタのすべてのビットが更新されません。

(c) IPGENUM ― 周辺装置保護イネーブルレジスタ

アクセス　IPGENUM レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　IPGENUM：FFFE E00D$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	IRE	E
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 3BC.66　IPGENUM レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	本ビットのリード値は常に 0 です。ライトする場合は “0” を書いてください。
1	IRE	このビットは、周辺装置保護違反を起こしたアクセスが命令フェッチアクセスである場合、そのアクセスの情報を周辺装置保護違反アクセスアドレス保存レジスタと周辺装置保護違反アクセス情報保存レジスタに保存するか否かを設定します。 0：命令フェッチアクセスのアクセス情報を保存しません。（リセット後の値） 1：命令フェッチアクセスのアクセス情報を保存します。 **注意）** 投機的な命令フェッチ（命令を実行しない場合がある）に対する検出を望まない場合に本ビットを 0 にクリアしてください。
0	E	このビットは、当する権限によるアクセスに対して、周辺装置周辺装置保護機能の有効／無効を設定します。 0：周辺装置保護機能は無効です。（リセット後の値） 1：周辺装置保護機能は有効です。

(d) IPGPMTUM0 — 周辺装置保護設定レジスタ 0

アクセス　IPGPMTUM0 レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　IPGPMTUM0：FFFE E020H

ビット	7	6	5	4	3	2	1	0
	—	X1	W1	R1	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R	R	R	R

表 3BC.67　IPGPMTUM0 レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	本ビットのリード値は常に 0 です。ライトする場合は “0” を書いてください。
6	X1	このビットは、P-Bus への命令フェッチリードアクセスを許可するかどうかを設定します。 0：P-Bus への命令フェッチリードアクセスを違反とします。（リセット後の値） 1：P-Bus への命令フェッチリードアクセスを制限しません。
5	W1	このビットは、P-Bus へのライトアクセスを許可するかどうかを設定します。 0：P-Bus へのライトアクセスを違反とします。（リセット後の値） 1：P-Bus へのライトアクセスを制限しません。
4	R1	このビットは、P-Bus へのリードアクセスを許可するかどうかを設定します。 0：P-Bus へのリードアクセスを違反とします。（リセット後の値） 1：P-Bus へのリードアクセスを制限しません。
3～0	予約ビット	本ビットのリード値は常に 0 です。ライトする場合は “0” を書いてください。

(e) IPGPMTUM2 — 周辺装置保護設定レジスタ 2

アクセス　IPGPMTUM2 レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　IPGPMTUM2：FFFE E022H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	W0	R0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 3BC.68　IPGPMTUM2 レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	本ビットのリード値は常に 0 です。ライトする場合は “0” を書いてください。
1	W0	このビットは、INTC1 へのライトアクセスを許可するかどうかを設定します。 0：INTC1 へのライトアクセスを違反とします。（リセット後の値） 1：INTC1 へのライトアクセスを制限しません。
0	R0	このビットは、INTC1 へのリードアクセスを許可するかどうかを設定します。 0：INTC1 へのリードアクセスを違反とします。（リセット後の値） 1：INTC1 へのリードアクセスを制限しません。

(f)　IPGPMTUM3 ― 周辺装置保護設定レジスタ 3

アクセス　IPGPMTUM3 レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　IPGPMTUM3：FFFE E023H

ビット	7	6	5	4	3	2	1	0
	—	—	W1	R1	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R	R

表 3BC.69　IPGPMTUM3 レジスタの内容

ビット位置	ビット名	機能
7～6	予約ビット	本ビットのリード値は常に 0 です。ライトする場合は “0” を書いてください。
5	W1	このビットは、SysErrGen へのライトアクセスを許可するかどうかを設定します。 0：SysErrGen へのライトアクセスを違反とします。（リセット後の値） 1：SysErrGen へのライトアクセスを制限しません。
4	R1	このビットは、SysErrGen へのリードアクセスを許可するかどうかを設定します。 0：SysErrGen へのリードアクセスを違反とします。（リセット後の値） 1：SysErrGen へのリードアクセスを制限しません。
3～0	予約ビット	本ビットのリード値は常に 0 です。ライトする場合は “0” を書いてください。

(g)　IPGPMTUM4 ― 周辺装置保護設定レジスタ 4

アクセス　IPGPMTUM4 レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　IPGPMTUM4：FFFE E024H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	W0	R0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 3BC.70　IPGPMTUM4 レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	本ビットのリード値は常に 0 です。ライトする場合は “0” を書いてください。
1	W0	このビットは、自 PEG へのライトアクセスを許可するかどうかを設定します。 0：自 PEG へのライトアクセスを違反とします。（リセット後の値） 1：自 PEG へのライトアクセスを制限しません。
0	R0	このビットは、自 PEG へのリードアクセスを許可するかどうかを設定します。 0：自 PEG へのリードアクセスを違反とします。（リセット後の値） 1：自 PEG へのリードアクセスを制限しません。

3BC.2.3.3　システムエラー通知制御機能（SEG）

SEG（SysErrGen）は、データアクセスによるシステムエラーの発生にともなう割り込み通知／記録を制御します。

複数のエラー発生入力はエラー要因ごとに区別され、優先すべきエラー要因から順に処理し、FE レベルの例外（SYSERR）を発生させます。

SEGFLAG レジスタでのビット位置がエラー要因の優先順位となり、上位ビットより下位ビットのエラー要因を優先します。

エラーアドレス情報はエラー発生回数によらず、一度だけ記録されます。

エラーが同時に発生した場合はエラー要因の優先順位が最高位のものが有効です。記録されたエラーアドレス情報はその後のエラーによって上書きされることはありません。

(1) SEG 機能制御レジスタ一覧

表 3BC.71　SEG レジスタ（ベースアドレス：FFFE E980H）

モジュール名	アドレスオフセット	サイズ（バイト）	レジスタ名称	略称	権限 注1	R/W	操作可能ビット 1	8	16	32	リセット後の値
SEG	+00H	2	SEG エラー制御レジスタ	SEGCONT	SV	R/W	—	—	○	—	0000H
	+02H	2	SEG エラー発生保持レジスタ	SEGFLAG	SV	R/W	—	—	○	—	0000H
	+08H	4	SEG エラーアドレス情報レジスタ	SEGADDR	SV	R/W	—	—	—	○	不定（保持）

注1.　「SV」と記載されたレジスタは、SV 権限（UM＝0）で書き込みが可能です。この条件を満たさない書き込みに対しては SYSERR 例外が発生し VCIF フラグがセットされます。読み出しアクセスには制限はありません。

(2) レジスタセット

(a) SEGCONT — SEG エラー制御レジスタ

エラーの発生状態を要因ごとに保存するエラー発生フラグに対して、SysErr 要求の通知許可（=1）／不許可（=0）を設定します。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	VCSE	APIE	IPGE	—	TCME	—	VCIE	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R	R/W	R	R	R	R

表 3BC.72　SEGCONT レジスタの内容

ビット位置	ビット名	機能
15～11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	VCSE	システムインタコネクト内で検出されたエラーレスポンスの通知を許可します。 ● ライトアクセスでの外部マスタからのエラーレスポンス ● 任意のマスタからローカル RAM、周辺装置、フラッシュへアクセス時の、不正なレスポンス（CPU からの命令フェッチを除く）。外部 AHB マスタから任意のスレーブへアクセス時の、不正なレスポンス
9	APIE	周辺装置からのエラーレスポンスの通知を許可します。以下のエラーが含まれます。 ● ライトアクセスでの周辺装置からのエラーレスポンス ● ライトアクセスでの PBG エラー
8	IPGE	このビットは、IPG の不正アクセス検出の通知を許可します。
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	TCME	PE マスタから自ローカル RAM 注 1 へのデータアクセス時のエラーの通知を許可します。 以下のエラーが含まれます。 ● 訂正できない ECC エラーの発生（DED or SED & SECDIS=1） ● RAM 未実装領域へのアクセスを検出
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	VCIE	RH850/F1KM-S4, RH850/F1KM-S2： PE から CPU Peripheral、P-Bus（リードアクセス）、グローバル RAM、リテンション RAM、H-Bus、コードフラッシュへのアクセス時のエラーレスポンスの通知を許可します。 以下のエラーが含まれます。 ● CPU Peripheral、P-Bus からの IPG エラー ● H-Bus の周辺装置からのエラーレスポンス ● P-Bus、H-Bus からの PBG エラー／HBG エラー ● グローバル RAM、リテンション RAM からの GRG エラー ● コードフラッシュ、グローバル RAM、リテンション RAM からの訂正できない ECC のエラー（DED=1 or SED、SECDIS=1） アドレスマップ内のアクセス禁止領域のうちの一部領域へのアクセス時のエラーレスポンスの通知を許可します。 RH850/F1KM-S1： PE から CPU Peripheral、P-Bus（リードアクセス）、グローバル RAM、コードフラッシュへのアクセス時のエラーレスポンスの通知を許可します。 以下のエラーが含まれます。 ● CPU Peripheral、P-Bus からの IPG エラー ● P-Bus からの PBG エラー ● コードフラッシュからの訂正できない ECC のエラー（DED=1 or SED、SECDIS=1） アドレスマップ内のアクセス禁止領域のうちの一部領域へのアクセス時のエラーレスポンスの通知を許可します。
3～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注1.　RH850/F1KM-S1 では、ローカル RAM とリテンション RAM です。

(b) SEGFLAG — SEG エラー発生保持レジスタ

エラーの発生状態を要因ごとに保存するエラー発生フラグです。エラー発生入力でセット（=1）されます。自動クリア（=0）はありません。

レジスタへの書き込みであれば、セット／クリアの両方が可能です。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	VCSF	APIF	IPGF	—	TCMF	—	VCIF	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R	R/W	R	R	R	R

表 3BC.73　SEGFLAG レジスタの内容

ビット位置	ビット名	機能
15～11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	VCSF	SEGCONT レジスタのビット 10 に対応したフラグ
9	APIF	SEGCONT レジスタのビット 9 に対応したフラグ
8	IPGF	SEGCONT レジスタのビット 8 に対応したフラグ
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	TCMF	SEGCONT レジスタのビット 6 に対応したフラグ
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	VCIF	SEGCONT レジスタのビット 4 に対応したフラグ
3～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

備　考

1 つのエラーにより、SEG 内の複数のエラーフラグが設定されることがあります。例えば、周辺レジスタの読み出しで IPG エラーが発生した場合、SEGFLAG の IPGF ビットと VCIF ビットの両方がセットされます。

(c) SEGADDR — エラーアドレス情報レジスタ

エラー発生が通知されたアドレス情報（1 履歴）がこのレジスタに格納されます。SEGFLAG レジスタの 1 つ以上のビットがセットされている場合は、このレジスタは更新されません。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Address[31:16]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Address[15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 3BC.74　SEGADDR レジスタの内容

ビット位置	ビット名	機能
31～0	Address	エラーアドレスを格納します。

注　意

1. SEGADDR は、SEGFLAG レジスタの VCIF ビットまたは TCMF ビットに関連したエラーが発生した場合にエラーアドレス情報を格納します。SEGFLAG レジスタの VCSF ビット、APIF ビット、または IPGF ビットに関連したエラーの発生時には、SEGADDR レジスタに“0”が格納されます。
2. SEGFLAG レジスタの TCMF ビットに関連したエラーの発生時には、エラーアドレスのビット[18:0]が SEGADDR[18:0]に格納され、SEGADDR[31:19]には 0 が挿入されます。

(3) SEG 機能

(a) SEG 機能：エラー発生フラグによる SysErr 要求の通知

- 各エラー発生フラグはセット優先
  - 同時のクリア操作は無視します。
- エラー要因の優先順位
  - SEGCONT レジスタでエラー通知が許可された SEGFLAG レジスタの各フラグのビット位置がエラー要因の優先順位となり、上位ビットより下位ビットのエラー要因を優先します。エラー要因のうち優先順位の高いものから通知します。
  - エラー要因のビット位置を「SysErr 要因コード」として通知します。
- SysErr 要求の通知開始条件
  - SEGCONT レジスタでエラー通知が禁止されているフラグをセットしても通知しません。
  - SEGCONT レジスタでエラー通知が許可されているフラグをセットした直後に通知します。
  - フラグのクリア操作後は、SEGCONT レジスタでエラー通知が許可されたその他のフラグがセットされると通知します。
- SysErr 要求応答で通知を終了
  - 通知を終了しても、フラグを自動クリアしません。
  - 新たなフラグのセットまたはフラグのクリアがあるまで通知しません。
  - 要求応答までにエラー要因よりも優先するエラー発生フラグがセットされると通知内容がより上位の SysErr 要因コードに挿し替わることがあります。

(b) SEG 機能：エラー要因のアドレス情報記録

- SEGCONT レジスタで許可されているエラー通知のエラー発生時に、そのエラーアドレスを SEGADDR レジスタに保持します。
  - SEGFLAG レジスタのエラーフラグのセット／クリア操作では情報の保持は行われません。
  - 同時に複数のエラー発生入力があるとき、優先するエラー要因以外の情報は保持されません。
- SEGCONT レジスタで許可されているエラー通知のフラグがセットされている状態では SEGADDR レジスタに対する上書きを抑制します。
  - エラー発生入力が連続した場合には、後発のエラー要因の情報は保持されません。
  - レジスタ上書き抑制を解除するには、SEGCONT レジスタ／SEGFLAG レジスタのいずれか（または両方）をクリアしてください。

(c) SYSERR 例外に関する補足事項

- SYSERR 例外が発生しても PSW.EBV ビットの値は保持され、例外ハンドラのベースアドレスは切り替わりません。

3BC.3 注意事項

3BC.3.1 ストア命令の完了と後続命令の同期化

ストア命令によって各制御レジスタを更新する場合、CPU によるストア命令の実行から実際に制御レジスタが更新されるまでには時間差があります。このため、ストア命令に続く命令に対して、ストア命令による制御レジスタの更新内容を反映したい場合は、適切な同期化処理が必要になります。以下に同期化処理の実行方法を示します。

LDSR 命令によるシステムレジスタの更新と後続命令の同期化に関する手続きについては、「*RH850G3KH ユーザーズマニュアル ソフトウェア編*」の「*付録 A システム・レジスタのハザード解消手続き*」をご参照ください。

制御レジスタの更新結果を、後続命令の実行に反映させる場合

【例 1】INTC2 や周辺回路の制御レジスタアクセスによって割り込み要求をクリアしてから、EI 命令を実行して割り込みを許可する場合が考えられます。この場合は以下の処理を実行してください。

(1) 制御レジスタを更新するストア命令（ST.W など）

(2) 上記制御レジスタのダミーリード（LD.W など）

(3) SYNCP

(4) 後続の命令（EI）

RH850/F1KM の場合、SYNCM 命令により、上記の（2）および（3）と同じ操作が実行されます。
（RCFDCn、RCFDCn ECC レジスタアクセスを除きます。）

【例 2】ある制御レジスタ A の確実な更新を待ってから、ほかの制御レジスタ B にアクセスする必要がある場合も、同様の処理を実行してください。例えば、異なる周辺機能を連携動作させる場合や、周辺機能を設定してから INTC の割り込みマスクを解除する場合などが考えられます。ただし、制御レジスタ A と B が同じ周辺グループであれば、この処理は不要です。

(1) 制御レジスタ A を更新するストア命令（ST.W など）

(2) 上記制御レジスタのダミーリード（LD.W など）

(3) SYNCP

(4) 制御レジスタ B にアクセスするストア命令（ST.W、LD.W など）

RH850/F1KM の場合、SYNCM 命令により、上記の（2）および（3）と同じ操作が実行されます。
（RCFDCn、RCFDCn ECC レジスタアクセスを除きます。）

なお、各種メモリ保護や ECC などのセーフティ機能の設定完了を待ってから、保護対象の制御レジスタやメモリへのアクセスを開始する場合も、同様の処理が必要です。

制御レジスタやメモリの更新結果を、後続命令の命令フェッチに反映させる場合

(a) RAM に命令を書き込んでから、その RAM に分岐して書き込んだ命令を実行したい場合は、以下の処理を実行してください。

(1) メモリを更新するストア命令（ST.W など）

(2) 上記メモリのダミーリード（LD.W など）

(3) SYNCP

(4) SYNCI

(5) 後続の命令（分岐命令など）

(b) メモリ保護機能および ECC の制御レジスタの更新完了を待ってから対象のメモリに分岐する場合は、以下の処理を実行してください。

(1) 制御レジスタを更新するストア命令（ST.W など）

(2) 制御レジスタのダミーリード（LD.W など）

(3) SYNCP

(4) SYNCI

(5) 後続の命令（分岐命令など）

Code Flash の領域を切り替える場合

この場合は、「*RH850/F1KH, F1KM, F1K フラッシュメモリユーザーズマニュアル ハードウェアインタフェース編*」の「*第 10 章 使用上の注意点 (7) BFASELR レジスタの更新*」をご参照ください。

3BC.3.2　コードフラッシュ書き換え後のコヒーレンシ確保

「**3BC.2.2 Code Flash 用バッファ**」に示したように、CPU1 はコードフラッシュ領域に対するバッファを搭載しています。このため、セルフプログラミングでコードフラッシュを書き換えた後は、コヒーレンシ確保のためにバッファをクリアしてください。

3BC.3.3　ビット操作命令でのレジスタアクセス

ビット操作命令によるライトは、8 ビット単位のリードモディファイライト処理です。このため、8 ビット単位のリードアクセスとライトアクセスを許可しているレジスタであれば、基本的にビット操作命令でのアクセスが可能です。しかし、複数のフラグビットを共有しているレジスタには、リードモディファイライトによりクリア対象外のフラグもクリアしてしまうものもあるのでご注意ください。

3BC.3.4　プリフェッチに関する注意

メモリの読み出しが、命令コードが存在しない領域からのプリフェッチにより発生する可能性があります。命令コードが格納されている領域の後ろに、40 バイト以上の初期化領域を確保してください。

3BC.3.5　複数の例外受け付け時の、コンテキスト上書き

例外要因の種類によっては、PSW レジスタの ID、NP ビットの状態にかかわらず例外が受け付けられます。多重例外が発生した場合はコンテキスト情報を格納しているシステムレジスタの内容は上書きされます。例外要因ごとの受け付け条件と復帰／回復の可否については、「*RH850G3KH ユーザーズマニュアル ソフトウェア編*」の「*4.1.1 例外要因一覧*」を参照してください。

第4A章　RH850/F1KH-D8 のアドレス空間

4A.1　アドレス空間

「**表 4A.1 アドレス空間（8MB 176/233/324-Pin 製品）**」～「**表 4A.2 アドレス空間（6MB 176/233/324-Pin 製品）**」に RH850/F1KH のアドレス空間を示します。

注　意

内蔵 I/O レジスタ空間において、レジスタがないアドレスにアクセスしないでください。また、「**表 4A.1 アドレス空間（8MB 176/233/324-Pin 製品）**」～「**表 4A.2 アドレス空間（6MB 176/233/324-Pin 製品）**」に示すアクセス禁止領域に対してもアクセスしないでください。アクセスした場合は、動作の保証はできません。

備　考

ローカル RAM は、アドレス空間において、以下の 3 つのアドレス領域でアクセス可能です。
CPU1 領域：CPU1/CPU2/DMA/FlexRay/ETNB からアクセス可能なアドレス領域
CPU2 領域：CPU1/CPU2/DMA/FlexRay/ETNB からアクセス可能なアドレス領域
セルフ領域：CPU 自身のリソースを参照するための、CPU（CPU1、CPU2）からのみアクセス可能なミラーアドレス領域

表 4A.1　　アドレス空間（8MB 176/233/324-Pin 製品）

アドレス	アドレス空間の種類	サイズ
0000 0000$_H$～003F FFFF$_H$	コードフラッシュ（バンク A）	4MB
0040 0000$_H$～007F FFFF$_H$	アクセス禁止領域	
0080 0000$_H$～00BF FFFF$_H$	コードフラッシュ（バンク B）	4MB
00C0 0000$_H$～00FF FFFF$_H$	アクセス禁止領域	
0100 0000$_H$～0100 7FFF$_H$	コードフラッシュ（拡張ユーザ領域）	32KB
0100 8000$_H$～1001 FFFF$_H$	アクセス禁止領域	
1002 0000$_H$～1002 1FFF$_H$	FlexRay インタフェース（FLXA）	8KB
1002 2000$_H$～1002 FFFF$_H$	アクセス禁止領域	
1003 0000$_H$～1003 03FF$_H$	外部メモリアクセスコントローラ（MEMC）	1KB
1003 0400$_H$～1003 FFFF$_H$	アクセス禁止領域	
1004 0000$_H$～1004 0FFF$_H$	シリアルフラッシュメモリインタフェース（SFMA）	4KB
1004 1000$_H$～1FFF FFFF$_H$	アクセス禁止領域	
2000 0000$_H$～20FF FFFF$_H$	外部メモリ領域（CS0）	16MB 注4
2100 0000$_H$～21FF FFFF$_H$	アクセス禁止領域	
2200 0000$_H$～22FF FFFF$_H$	外部メモリ領域（CS1）	16MB 注4
2300 0000$_H$～23FF FFFF$_H$	アクセス禁止領域	
2400 0000$_H$～24FF FFFF$_H$	外部メモリ領域（CS2）	16MB 注4
2500 0000$_H$～27FF FFFF$_H$	アクセス禁止領域	
2800 0000$_H$～28FF FFFF$_H$	外部メモリ領域（CS3）	16MB 注4
2900 0000$_H$～2FFF FFFF$_H$	アクセス禁止領域	
3000 0000$_H$～33FF FFFF$_H$	外部シリアルフラッシュメモリ領域	64MB
3400 0000$_H$～FE9C FFFF$_H$	アクセス禁止領域	
FE9D 0000$_H$～FE9F FFFF$_H$	ローカル RAM（CPU2 領域）	192KB 注1
FEA0 0000$_H$～FEBC FFFF$_H$	アクセス禁止領域	

表 4A.1 アドレス空間（8MB 176/233/324-Pin 製品）

アドレス	アドレス空間の種類	サイズ
FEBD 0000$_H$～FEBF FFFF$_H$	ローカル RAM（CPU1 領域）	192KB 注1
FEC0 0000$_H$～FEDC FFFF$_H$	アクセス禁止領域	
FEDD 0000$_H$～FEDF FFFF$_H$	ローカル RAM（セルフ領域）	192KB 注1
FEE0 0000$_H$～FEEB 7FFF$_H$	アクセス禁止領域	
FEEB 8000$_H$～FEEF FFFF$_H$	グローバル RAM A	288KB 注2
FEF0 0000$_H$～FEF0 FFFF$_H$	リテンション RAM	64KB
FEF1 0000$_H$～FEFB 7FFF$_H$	アクセス禁止領域	
FEFB 8000$_H$～FEFF FFFF$_H$	グローバル RAM B	288KB 注2
FF00 0000$_H$～FF1F FFFF$_H$	アクセス禁止領域	
FF20 0000$_H$～FF23 FFFF$_H$	データフラッシュ	256KB 注3
FF24 0000$_H$～FF9F FFFF$_H$	アクセス禁止領域	
FFA0 0000$_H$～FFFD FFFF$_H$	内蔵周辺 I/O 領域	6MB - 128KB
FFFE 0000$_H$～FFFE DFFF$_H$	アクセス禁止領域	
FFFE E000$_H$～FFFE FFFF$_H$	内蔵周辺 I/O 領域（セルフ領域）	8KB
FFFF 0000$_H$～FFFF 4FFF$_H$	アクセス禁止領域	
FFFF 5000$_H$～FFFF FFFF$_H$	内蔵周辺 I/O 領域	44KB

注1. CPU の最大周波数が 160MHz の製品では、160KB になります。詳細は、「**第 45 章 RAM**」を参照してください。

注2. CPU の最大周波数が 160MHz の製品では、256KB になります。詳細は、「**第 45 章 RAM**」を参照してください。

注3. CPU の最大周波数が 160MHz の製品では、96K になります。詳細は、「**第 44 章 フラッシュメモリ**」を参照してください。

注4. 176/233-pin 製品では、8MB になります。詳細は、「**第 16 章 外部メモリアクセスコントローラ（MEMC）**」を参照してください。

表 4A.2　　アドレス空間（6MB 176/233/324-Pin 製品）

アドレス	アドレス空間の種類	サイズ
0000 0000H～002F FFFFH	コードフラッシュ（バンク A）	3MB
0030 0000H～007F FFFFH	アクセス禁止領域	
0080 0000H～00AF FFFFH	コードフラッシュ（バンク B）	3MB
00B0 0000H～00FF FFFFH	アクセス禁止領域	
0100 0000H～0100 7FFFH	コードフラッシュ（拡張ユーザ領域）	32KB
0100 8000H～1001 FFFFH	アクセス禁止領域	
1002 0000H～1002 1FFFH	FlexRay インタフェース（FLXA）	8KB
1002 2000H～1002 FFFFH	アクセス禁止領域	
1003 0000H～1003 03FFH	外部メモリアクセスコントローラ（MEMC）	1KB
1003 0400H～1003 FFFFH	アクセス禁止領域	
1004 0000H～1004 0FFFH	シリアルフラッシュメモリインタフェース（SFMA）	4KB
1004 1000H～1FFF FFFFH	アクセス禁止領域	
2000 0000H～20FF FFFFH	外部メモリ領域（CS0）	16MB 注 4
2100 0000H～21FF FFFFH	アクセス禁止領域	
2200 0000H～22FF FFFFH	外部メモリ領域（CS1）	16MB 注 4
2300 0000H～23FF FFFFH	アクセス禁止領域	
2400 0000H～24FF FFFFH	外部メモリ領域（CS2）	16MB 注 4
2500 0000H～27FF FFFFH	アクセス禁止領域	
2800 0000H～28FF FFFFH	外部メモリ領域（CS3）	16MB 注 4
2900 0000H～2FFF FFFFH	アクセス禁止領域	
3000 0000H～33FF FFFFH	外部シリアルフラッシュメモリ領域	64MB
3400 0000H～FE9D 7FFFH	アクセス禁止領域	
FE9D 8000H～FE9F FFFFH	ローカル RAM（CPU2 領域）	160KB 注 1
FEA0 0000H～FEBD 7FFFH	アクセス禁止領域	
FEBD 8000H～FEBF FFFFH	ローカル RAM（CPU1 領域）	160KB 注 1
FEC0 0000H～FEDD 7FFFH	アクセス禁止領域	
FEDD 8000H～FEDF FFFFH	ローカル RAM（セルフ領域）	160KB 注 1
FEE0 0000H～FEEB FFFFH	アクセス禁止領域	
FEEC 0000H～FEEF FFFFH	グローバル RAM A	256KB 注 2
FEF0 0000H～FEF0 FFFFH	リテンション RAM	64KB
FEF1 0000H～FEFB FFFFH	アクセス禁止領域	
FEFC 0000H～FEFF FFFFH	グローバル RAM B	256KB 注 2
FF00 0000H～FF1F FFFFH	アクセス禁止領域	
FF20 0000H～FF23 FFFFH	データフラッシュ	256KB 注 3
FF24 0000H～FF9F FFFFH	アクセス禁止領域	
FFA0 0000H～FFFD FFFFH	内蔵周辺 I/O 領域	6MB - 128KB
FFFE 0000H～FFFE DFFFH	アクセス禁止領域	
FFFE E000H～FFFE FFFFH	内蔵周辺 I/O 領域（セルフ領域）	8KB
FFFF 0000H～FFFF 4FFFH	アクセス禁止領域	
FFFF 5000H～FFFF FFFFH	内蔵周辺 I/O 領域	44KB

注1.　CPU の最大周波数が 160MHz の製品では、160KB になります。詳細は、「**第 45 章　RAM**」を参照してください。

注2.　CPU の最大周波数が 160MHz の製品では、48KB になります。詳細は、「**第 45 章　RAM**」を参照してください。

注3.　CPU の最大周波数が 160MHz の製品では、96K になります。詳細は、「**第 44 章　フラッシュメモリ**」を参照してください。

注4.　176/233-pin 製品では、8MB になります。詳細は、「**第 16 章　外部メモリアクセスコントローラ（MEMC）**」を参照してください。

4A.2 各バスマスタから見たアドレス空間

各バスマスタから見たアドレス空間を「**表 4A.3 各バスマスタから見たアドレス空間（8MB 品の場合）**」に示します。

4A.2.1 命令フェッチ可能空間

CPU は、コードフラッシュ、ローカル RAM、グローバル RAM およびリテンション RAM から命令フェッチ可能です。

4A.2.2 CPU1 によるデータアクセス可能空間

CPU1 からアクセス可能な空間について、「**表 4A.3 各バスマスタから見たアドレス空間（8MB 品の場合）**」を参照してください。

4A.2.3 CPU2 によるデータアクセス可能空間

CPU1 からアクセス可能な空間について、「**表 4A.3 各バスマスタから見たアドレス空間（8MB 品の場合）**」を参照してください。

4A.2.4 DMA によるデータアクセス可能空間

DMA からアクセス可能な空間について、「**表 4A.3 各バスマスタから見たアドレス空間（8MB 品の場合）**」を参照してください。

4A.2.5 FlexRay によるデータアクセス可能空間

FlexRay からアクセス可能な空間について、「**表 4A.3 各バスマスタから見たアドレス空間（8MB 品の場合）**」を参照してください。

4A.2.6 ETNB によるデータアクセス可能空間

ETNB からアクセス可能な空間について、「**表 4A.3 各バスマスタから見たアドレス空間（8MB 品の場合）**」を参照してください。

4A.2.7　　各バスマスタがアクセス可能なデータ空間

各バスマスタからアクセス可能な空間については、「**表 4A.3 各バスマスタから見たアドレス空間（8MB 品の場合）**」を参照してください。

表 4A.3　　各バスマスタから見たアドレス空間（8MB 品の場合）

アドレス	アドレス空間の種類	CPU1 から のアクセス	CPU2 から のアクセス	DMA から のアクセス	FlexRay からの アクセス	ENTB から のアクセス
0000 0000$_H$～003F FFFF$_H$	コードフラッシュ（バンク A）	○	○	○		
0040 0000$_H$～007F FFFF$_H$	アクセス禁止領域					
0080 0000$_H$～00BF FFFF$_H$	コードフラッシュ（バンク B）	○	○	○		
00C0 0000$_H$～00FF FFFF$_H$	アクセス禁止領域					
0100 0000$_H$～0100 7FFF$_H$	コードフラッシュ（拡張ユーザ領域）	○	○	○		
0100 8000$_H$～1001 FFFF$_H$	アクセス禁止領域					
1002 0000$_H$～1002 1FFF$_H$	FlexRay インタフェース（FLXA）	○	○	○		
1002 2000$_H$～1002 FFFF$_H$	アクセス禁止領域					
1003 0000$_H$～1003 03FF$_H$	外部メモリアクセスコントローラ（MEMC）	○	○	○		
1003 0400$_H$～1003 FFFF$_H$	アクセス禁止領域					
1004 0000$_H$～1004 0FFF$_H$	シリアルフラッシュメモリインタフェース（SFMA）	○	○	○		
1004 1000$_H$～1FFF FFFF$_H$	アクセス禁止領域					
2000 0000$_H$～20FF FFFF$_H$	外部メモリ領域（CS0）	○	○	○		
2100 0000$_H$～21FF FFFF$_H$	アクセス禁止領域					
2200 0000$_H$～22FF FFFF$_H$	外部メモリ領域（CS1）	○	○	○		
2300 0000$_H$～23FF FFFF$_H$	アクセス禁止領域					
2400 0000$_H$～24FF FFFF$_H$	外部メモリ領域（CS2）	○	○	○		
2500 0000$_H$～27FF FFFF$_H$	アクセス禁止領域					
2800 0000$_H$～28FF FFFF$_H$	外部メモリ領域（CS3）	○	○	○		
2900 0000$_H$～2FFF FFFF$_H$	アクセス禁止領域					
3000 0000$_H$～33FF FFFF$_H$	外部シリアルフラッシュメモリ領域	○	○	○		
3400 0000$_H$～FE9C FFFF$_H$	アクセス禁止領域					
FE9D 0000$_H$～FE9F FFFF$_H$	ローカル RAM（CPU2 領域）	○	○	○	○	○
FEA0 0000$_H$～FEBC FFFF$_H$	アクセス禁止領域					
FEBD 0000$_H$～FEBF FFFF$_H$	ローカル RAM（CPU1 領域）	○	○	○	○	○
FEC0 0000$_H$～FEDC FFFF$_H$	アクセス禁止領域					
FEDD 0000$_H$～FEDF FFFF$_H$	ローカル RAM（セルフ領域）	○	○			
FEE0 0000$_H$～FEEB 7FFF$_H$	アクセス禁止領域					
FEEB 8000$_H$～FEEF FFFF$_H$	グローバル RAM A	○	○	○	○	○
FEF0 0000$_H$～FEF0 FFFF$_H$	リテンション RAM	○	○	○	○	○
FEF1 0000$_H$～FEFB 7FFF$_H$	アクセス禁止領域					
FEFB 8000$_H$～FEFF FFFF$_H$	グローバル RAM B	○	○	○	○	○
FF00 0000$_H$～FF1F FFFF$_H$	アクセス禁止領域					
FF20 0000$_H$～FF23 FFFF$_H$	データフラッシュ	○	○	○		
FF24 0000$_H$～FF9F FFFF$_H$	アクセス禁止領域					
FFA0 0000$_H$～FFFD FFFF$_H$	内蔵周辺 I/O 領域	○	○	○		
FFFE 0000$_H$～FFFE DFFF$_H$	アクセス禁止領域					
FFFE E000$_H$～FFFE FFFF$_H$	内蔵周辺 I/O 領域（セルフ領域）	○	○			
FFFF 0000$_H$～FFFF 4FFF$_H$	アクセス禁止領域					
FFFF 5000$_H$～FFFF FFFF$_H$	内蔵周辺 I/O 領域	○	○	○		

備考　上記マップ中の色は以下の区別を行っています。

フェッチおよびデータアクセス可能
データアクセス可能
アクセス禁止

4A.3 周辺 I/O アドレスマップ

「**表 4A.4 周辺 I/O アドレスマップ**」に周辺 I/O アドレスマップを示します。

表 4A.4 周辺 I/O アドレスマップ

アドレス	周辺グループ	周辺 I/O
FF00 0000$_H$～FF1F FFFF$_H$	—	アクセス禁止領域
FF20 0000$_H$～FF23 FFFF$_H$	4	データフラッシュ
FF24 0000$_H$～FF9F FFFF$_H$	—	アクセス禁止領域
FFA0 0000$_H$～FFA0 001F$_H$	1	FLMD
FFA0 0020$_H$～FFA0 0FFF$_H$	—	アクセス禁止領域
FFA0 1000$_H$～FFA0 103F$_H$	—	アクセス禁止領域
FFA0 1040$_H$～FFA0 1FFF$_H$	—	アクセス禁止領域
FFA0 2000$_H$～FFA0 201F$_H$	—	アクセス禁止領域
FFA0 2020$_H$～FFA0 7FFF$_H$	—	アクセス禁止領域
FFA0 8000$_H$～FFA0 801F$_H$	—	アクセス禁止領域
FFA0 8020$_H$～FFA0 FFFF$_H$	—	アクセス禁止領域
FFA1 0000$_H$～FFA1 1FFF$_H$	1	FPSYS（レジスタ）
FFA1 2000$_H$～FFA1 FFFF$_H$	—	アクセス禁止領域
FFA2 0000$_H$～FFA2 FFFF$_H$	1	FACI 命令発行領域
FFA3 0000$_H$～FFBF FFFF$_H$	—	アクセス禁止領域
FFC0 0000$_H$～FFC0 000F$_H$	1	FENMI（ECON_NMI）
FFC0 0010$_H$～FFC0 00FF$_H$	—	アクセス禁止領域
FFC0 0100$_H$～FFC0 010F$_H$	1	FEINT（ECON_FEINT）
FFC0 0110$_H$～FFC0 0FFF$_H$	—	アクセス禁止領域
FFC0 1000$_H$～FFC0 1003$_H$	1	SELB_INTC（SL_INTC）
FFC0 1004$_H$～FFC0 1FFF$_H$	—	アクセス禁止領域
FFC0 2000$_H$～FFC0 200F$_H$	1	SELB_DMAC（SL_DMAC）
FFC0 2010$_H$～FFC0 2FFF$_H$	—	アクセス禁止領域
FFC0 3000$_H$～FFC0 300F$_H$	1	GRZF
FFC0 3010$_H$～FFC0 FFFF$_H$	—	アクセス禁止領域
FFC1 0000$_H$～FFC1 FFFF$_H$	1	PORTn
FFC2 0000$_H$～FFC2 FFFF$_H$	1	PORT（JTAG）
FFC3 0000$_H$～FFC3 000F$_H$	1	DNFA_TAUD0（DNF）
FFC3 0010$_H$～FFC3 001F$_H$	—	アクセス禁止領域
FFC3 0020$_H$～FFC3 002F$_H$	1	DNFA_TAUB0（DNF）
FFC3 0030$_H$～FFC3 003F$_H$	—	アクセス禁止領域
FFC3 0040$_H$～FFC3 004F$_H$	1	DNFA_TAUB1（DNF）
FFC3 0050$_H$～FFC3 005F$_H$	—	アクセス禁止領域
FFC3 0060$_H$～FFC3 006F$_H$	1	DNFA_ENCA0（DNF）
FFC3 0070$_H$～FFC3 009F$_H$	—	アクセス禁止領域
FFC3 00A0$_H$～FFC3 00AF$_H$	1	DNFA_ADCA0（DNF）
FFC3 00B0$_H$～FFC3 00BF$_H$	—	アクセス禁止領域
FFC3 00C0$_H$～FFC3 00CF$_H$	1	DNFA_ADCA1（DNF）
FFC3 00D0$_H$～FFC3 00DF$_H$	—	アクセス禁止領域
FFC3 00E0$_H$～FFC3 00EF$_H$	1	DNFA_SENT（DNF）
FFC3 00F0$_H$～FFC3 00FF$_H$	—	アクセス禁止領域

表 4A.4　　周辺 I/O アドレスマップ

アドレス	周辺グループ	周辺 I/O
FFC3 0100_H～FFC3 $010F_H$	—	アクセス禁止領域
FFC3 0110_H～FFC3 $3FFF_H$	—	アクセス禁止領域
FFC3 4000_H～FFC3 $401F_H$	1	FCLA_NMI（FCLA0）
FFC3 4020_H～FFC3 $403F_H$	1	FCLA_INTPL（FCLA0）
FFC3 4040_H～FFC3 $405F_H$	1	FCLA_INTPH（FCLA0）
FFC3 4060_H～FFC3 $407F_H$	1	FCLA_ADCA0（FCLA0）
FFC3 4080_H～FFC3 $409F_H$	1	FCLA_ADCA1（FCLA0）
FFC3 $40A0_H$～FFC3 $40BF_H$	1	FCLA_INTPU（FCLA0）
FFC3 $40C0_H$～FFC3 $FFFF_H$	—	アクセス禁止領域
FFC4 0000_H～FFC4 $004F_H$	1	P-Bus ガード（PBG10）
FFC4 0050_H～FFC4 $00FF_H$	—	アクセス禁止領域
FFC4 0100_H～FFC4 $014F_H$	1	P-Bus ガード（PBG11）
FFC4 0150_H～FFC4 $03FF_H$	—	アクセス禁止領域
FFC4 0400_H～FFC4 $044F_H$	1	P-Bus ガード（PBG12）
FFC4 0450_H～FFC4 $04FF_H$	—	アクセス禁止領域
FFC4 0500_H～FFC4 $054F_H$	1	P-Bus ガード（PBG13）
FFC4 0550_H～FFC4 $05FF_H$	—	アクセス禁止領域
FFC4 0600_H～FFC4 $064F_H$	1	P-Bus ガード（PBG14）
FFC4 0650_H～FFC4 $8FFF_H$	—	アクセス禁止領域
FFC4 9000_H～FFC4 $907F_H$	2	グローバル RAM ガードバンク A（MGDGR）
FFC4 9080_H～FFC4 $91FF_H$	—	アクセス禁止領域
FFC4 9200_H～FFC4 $927F_H$	2	グローバル RAM ガードバンク B（MGDGR）
FFC4 9280_H～FFC4 $BFFF_H$	—	アクセス禁止領域
FFC4 $C000_H$～FFC4 $C00F_H$	2	P-Bus ガード（PBGC0）
FFC4 $C010_H$～FFC4 $C10F_H$	—	アクセス禁止領域
FFC4 $C110_H$～FFC4 $C13F_H$	2	P-Bus ガード（PBGC1）
FFC4 $C140_H$～FFC4 $C7FF_H$	—	アクセス禁止領域
FFC4 $C800_H$～FFC4 $C80F_H$	2	ERRSLV（PBGC0）
FFC4 $C810_H$～FFC4 $C8FF_H$	—	アクセス禁止領域
FFC4 $C900_H$～FFC4 $C90F_H$	2	ERRSLV（PBGC1）
FFC4 $C910_H$～FFC5 $7FFF_H$	—	アクセス禁止領域
FFC5 8000_H～FFC5 $803F_H$	2	BOOTCTRL
FFC5 8040_H～FFC5 $97FF_H$	—	アクセス禁止領域
FFC5 9800_H～FFC5 $981F_H$	4	EEPRDCYCL（DCIB）
FFC5 9820_H～FFC5 $9BFF_H$	—	アクセス禁止領域
FFC5 $9C00_H$～FFC5 $9C4F_H$	4	P-Bus ガード（PBG40）
FFC5 $9C50_H$～FFC5 $AFFF_H$	—	アクセス禁止領域
FFC5 $B000_H$～FFC5 $B003_H$	2	FBUFCCTL（FBUF_CTRL）
FFC5 $B004_H$～FFC6 $21FF_H$	—	アクセス禁止領域
FFC6 2200_H～FFC6 $23FF_H$	2	コードフラッシュ ECC（CFECC_VCI）
FFC6 2400_H～FFC6 $25FF_H$	2	コードフラッシュ ECC（CFECC_CPU1）
FFC6 2600_H～FFC6 $29FF_H$	—	アクセス禁止領域
FFC6 $2A00_H$～FFC6 $2A3F_H$	4	データフラッシュ ECC（DFECC）
FFC6 $2A40_H$～FFC6 $3FFF_H$	—	アクセス禁止領域

表 4A.4　周辺 I/O アドレスマップ

アドレス	周辺グループ	周辺 I/O
FFC6 4000_H～FFC6 $403F_H$	2	グローバル RAM ECC バンク A（GRECC）
FFC6 4040_H～FFC6 $41FF_H$	—	アクセス禁止領域
FFC6 4200_H～FFC6 $423F_H$	2	グローバル RAM ECC バンク B（GRECC）
FFC6 4240_H～FFC6 $4FFF_H$	—	アクセス禁止領域
FFC6 5000_H～FFC6 $501F_H$	2	ローカル RAM ECC テスト PE1（LRTST）
FFC6 5020_H～FFC6 $53FF_H$	—	アクセス禁止領域
FFC6 5400_H～FFC6 $547F_H$	2	ローカル RAM ECC PE1（LRECC）
FFC6 5480_H～FFC6 $55FF_H$	—	アクセス禁止領域
FFC6 5600_H～FFC6 $567F_H$	2	ローカル RAM ECC PE2（LRECC）
FFC6 5680_H～FFC7 $00FF_H$	—	アクセス禁止領域
FFC7 0100_H～FFC7 $011F_H$	3	ECCCSIH0
FFC7 0120_H～FFC7 $01FF_H$	—	アクセス禁止領域
FFC7 0200_H～FFC7 $021F_H$	3	ECCCSIH1
FFC7 0220_H～FFC7 $02FF_H$	—	アクセス禁止領域
FFC7 0300_H～FFC7 $031F_H$	3	ECCCSIH2
FFC7 0320_H～FFC7 $03FF_H$	—	アクセス禁止領域
FFC7 0400_H～FFC7 $041F_H$	3	ECCCSIH3
FFC7 0420_H～FFC7 $04FF_H$	—	アクセス禁止領域
FFC7 0500_H～FFC7 $051F_H$	3	ECCCSIH4
FFC7 0520_H～FFC7 $12FF_H$	—	アクセス禁止領域
FFC7 1300_H～FFC7 $131F_H$	5	ECCCFD0MB
FFC7 1320_H～FFC7 $13FF_H$	—	アクセス禁止領域
FFC7 1400_H～FFC7 $141F_H$	5	ECCCFD0AFL0
FFC7 1420_H～FFC7 $14FF_H$	—	アクセス禁止領域
FFC7 1500_H～FFC7 $151F_H$	5	ECCCFD0AFL1
FFC7 1520_H～FFC7 $17FF_H$	—	アクセス禁止領域
FFC7 1800_H～FFC7 $184F_H$	5	P-Bus ガード（PBG60）
FFC7 1850_H～FFC7 $18FF_H$	—	アクセス禁止領域
FFC7 1900_H～FFC7 $194F_H$	5	P-Bus ガード（PBG61）
FFC7 1950_H～FFC7 $19FF_H$	—	アクセス禁止領域
FFC7 $1A00_H$～FFC7 $1A1F_H$	5	ECCCFD1MB
FFC7 $1A20_H$～FFC7 $1AFF_H$	—	アクセス禁止領域
FFC7 $1B00_H$～FFC7 $1B1F_H$	5	ECCCFD1AFL0
FFC7 $1B20_H$～FFC7 $1BFF_H$	—	アクセス禁止領域
FFC7 $1C00_H$～FFC7 $1C1F_H$	5	ECCCFD1AFL1
FFC7 $1C20_H$～FFC7 $30FF_H$	—	アクセス禁止領域
FFC7 3100_H～FFC7 $311F_H$	3	ECCFLXA0
FFC7 3120_H～FFC7 $31FF_H$	—	アクセス禁止領域
FFC7 3200_H～FFC7 $321F_H$	3	ECCFLXA0T0
FFC7 3220_H～FFC7 $32FF_H$	—	アクセス禁止領域
FFC7 3300_H～FFC7 $331F_H$	3	ECCFLXA0T1
FFC7 3320_H～FFC7 $40FF_H$	—	アクセス禁止領域
FFC7 4100_H～FFC7 $411F_H$	3	ECCETNB0TX
FFC7 4120_H～FFC7 $41FF_H$	—	アクセス禁止領域

表 4A.4　　周辺 I/O アドレスマップ

アドレス	周辺グループ	周辺 I/O
FFC7 4200$_H$～FFC7 421F$_H$	3	ECCETNB0RX
FFC7 4220$_H$～FFC7 42FF$_H$	—	アクセス禁止領域
FFC7 4300$_H$～FFC7 431F$_H$	3	ECCETNB1TX
FFC7 4320$_H$～FFC7 43FF$_H$	—	アクセス禁止領域
FFC7 4400$_H$～FFC7 441F$_H$	3	ECCETNB1RX
FFC7 4420$_H$～FFC7 7FFF$_H$	—	アクセス禁止領域
FFC7 8000$_H$～FFC7 8003$_H$	1	SELB リードテスト（SL_READTEST）
FFC7 8004$_H$～FFC9 FFFF$_H$	—	アクセス禁止領域
FFCA 0000$_H$～FFCA 007F$_H$	1	RIIC0
FFCA 0080$_H$～FFCA 00FF$_H$	1	RIIC1
FFCA 0100$_H$～FFCC FFFF$_H$	—	アクセス禁止領域
FFCD 0000$_H$～FFCD 01FF$_H$	1	PRDNAME/CHIPID（SCDS）
FFCD 0200$_H$～FFCD FFFF$_H$	—	アクセス禁止領域
FFCE 0000$_H$～FFCE 007F$_H$	1	RLN240
FFCE 0080$_H$～FFCE 00FF$_H$	1	RLN241
FFCE 0100$_H$～FFCE 017F$_H$	1	RLN242
FFCE 0180$_H$～FFCE 01FF$_H$	1	RLN243
FFCE 0200$_H$～FFCE 1FFF$_H$	—	アクセス禁止領域
FFCE 2000$_H$～FFCE 203F$_H$	1	RLN30
FFCE 2040$_H$～FFCE 207F$_H$	1	RLN31
FFCE 2080$_H$～FFCE 20BF$_H$	1	RLN32
FFCE 20C0$_H$～FFCE 20FF$_H$	1	RLN33
FFCE 2100$_H$～FFCE 213F$_H$	1	RLN34
FFCE 2140$_H$～FFCE 217F$_H$	1	RLN35
FFCE 2180$_H$～FFCE 21BF$_H$	1	RLN36
FFCE 21C0$_H$～FFCE 21FF$_H$	1	RLN37
FFCE 2200$_H$～FFCE FFFF$_H$	—	アクセス禁止領域
FFCF 0000$_H$～FFCF 007F$_H$	1	RSENT0
FFCF 0080$_H$～FFCF 00FF$_H$	—	アクセス禁止領域
FFCF 0100$_H$～FFCF 017F$_H$	1	RSENT1
FFCF 0180$_H$～FFCF FFFF$_H$	—	アクセス禁止領域
FFD0 0000$_H$～FFD1 FFFF$_H$	5	RCFDC0
FFD2 0000$_H$～FFD3 FFFF$_H$	5	RCFDC1
FFD4 0000$_H$～FFD6 CFFF$_H$	—	アクセス禁止領域
FFD6 D000$_H$～FFD6 D7FF$_H$	3	ADCA1
FFD6 D800$_H$～FFD6 DFFF$_H$	—	アクセス禁止領域
FFD6 E000$_H$～FFD6 E7FF$_H$	3	ETNB0
FFD6 E800$_H$～FFD6 EFFF$_H$	3	ETNB1
FFD6 F000$_H$～FFD6 FFFF$_H$	—	アクセス禁止領域
FFD7 0000$_H$～FFD7 003F$_H$	3	OSTM0
FFD7 0040$_H$～FFD7 00FF$_H$	—	アクセス禁止領域
FFD7 0100$_H$～FFD7 013F$_H$	3	OSTM1
FFD7 0140$_H$～FFD7 01FF$_H$	—	アクセス禁止領域
FFD7 0200$_H$～FFD7 023F$_H$	3	OSTM2
FFD7 0240$_H$～FFD7 02FF$_H$	—	アクセス禁止領域

表 4A.4　　周辺 I/O アドレスマップ

アドレス	周辺グループ	周辺 I/O
FFD7 0300$_H$～FFD7 033F$_H$	3	OSTM3
FFD7 0340$_H$～FFD7 03FF$_H$	—	アクセス禁止領域
FFD7 0400$_H$～FFD7 043F$_H$	3	OSTM4
FFD7 0440$_H$～FFD7 0FFF$_H$	—	アクセス禁止領域
FFD7 1000$_H$～FFD7 103F$_H$	3	OSTM5
FFD7 1040$_H$～FFD7 10FF$_H$	—	アクセス禁止領域
FFD7 1100$_H$～FFD7 113F$_H$	3	OSTM6
FFD7 1140$_H$～FFD7 11FF$_H$	—	アクセス禁止領域
FFD7 1200$_H$～FFD7 123F$_H$	3	OSTM7
FFD7 1240$_H$～FFD7 12FF$_H$	—	アクセス禁止領域
FFD7 1300$_H$～FFD7 133F$_H$	3	OSTM8
FFD7 1340$_H$～FFD7 13FF$_H$	—	アクセス禁止領域
FFD7 1400$_H$～FFD7 143F$_H$	3	OSTM9
FFD7 1440$_H$～FFD7 FFFF$_H$	—	アクセス禁止領域
FFD8 0000$_H$～FFD8 001F$_H$	3	CSIH0（CSIH0CTL0-2, CSIH0STR0, CSIH0STCR0, CSIH0EMU）
FFD8 0020$_H$～FFD8 0FFF$_H$	—	アクセス禁止領域
FFD8 1000$_H$～FFD8 107F$_H$	3	CSIH0（上記以外の CSIH0 レジスタ）
FFD8 1080$_H$～FFD8 1FFF$_H$	—	アクセス禁止領域
FFD8 2000$_H$～FFD8 201F$_H$	3	CSIH1（CSIH1CTL0-2, CSIH1STR0, CSIH1STCR0, CSIH1EMU）
FFD8 2020$_H$～FFD8 2FFF$_H$	—	アクセス禁止領域
FFD8 3000$_H$～FFD8 307F$_H$	3	CSIH1（上記以外の CSIH1 レジスタ）
FFD8 3080$_H$～FFD8 3FFF$_H$	—	アクセス禁止領域
FFD8 4000$_H$～FFD8 401F$_H$	3	CSIH2（CSIH2CTL0-2, CSIH2STR0, CSIH2STCR0, CSIH2EMU）
FFD8 4020$_H$～FFD8 4FFF$_H$	—	アクセス禁止領域
FFD8 5000$_H$～FFD8 507F$_H$	3	CSIH2（上記以外の CSIH2 レジスタ）
FFD8 5080$_H$～FFD8 5FFF$_H$	—	アクセス禁止領域
FFD8 6000$_H$～FFD8 601F$_H$	3	CSIH3（CSIH3CTL0-2, CSIH3STR0, CSIH3STCR0, CSIH3EMU）
FFD8 6020$_H$～FFD8 6FFF$_H$	—	アクセス禁止領域
FFD8 7000$_H$～FFD8 707F$_H$	3	CSIH3（上記以外の CSIH3 レジスタ）
FFD8 7080$_H$～FFD8 7FFF$_H$	—	アクセス禁止領域
FFD8 8000$_H$～FFD8 801F$_H$	3	CSIG0（CSIG0CTL0-2, CSIG0STR0, CSIG0STCR0, CSIG0EMU）
FFD8 8020$_H$～FFD8 8FFF$_H$	—	アクセス禁止領域
FFD8 9000$_H$～FFD8 901F$_H$	3	CSIG0（上記以外の CSIG0 レジスタ）
FFD8 9020$_H$～FFD8 9FFF$_H$	—	アクセス禁止領域
FFD8 A000$_H$～FFD8 A01F$_H$	3	CSIG1（CSIG1CTL0-2, CSIG1STR0, CSIG1STCR0, CSIG1EMU）
FFD8 A020$_H$～FFD8 AFFF$_H$	—	アクセス禁止領域
FFD8 B000$_H$～FFD8 B01F$_H$	3	CSIG1（上記以外の CSIG1 レジスタ）
FFD8 B020$_H$～FFD8 BFFF$_H$	—	アクセス禁止領域
FFD8 C000$_H$～FFD8 C01F$_H$	3	CSIG2（CSIG2CTL0-2, CSIG2STR0, CSIG2STCR0, CSIG2EMU）
FFD8 C020$_H$～FFD8 CFFF$_H$	—	アクセス禁止領域
FFD8 D000$_H$～FFD8 D01F$_H$	3	CSIG2（上記以外の CSIG2 レジスタ）
FFD8 D020$_H$～FFD8 DFFF$_H$	—	アクセス禁止領域
FFD8 E000$_H$～FFD8 E01F$_H$	3	CSIG3（CSIG3CTL0-2, CSIG3STR0, CSIG3STCR0, CSIG3EMU）
FFD8 E020$_H$～FFD8 EFFF$_H$	—	アクセス禁止領域
FFD8 F000$_H$～FFD8 F01F$_H$	3	CSIG3（上記以外の CSIG3 レジスタ）

表 4A.4　　周辺 I/O アドレスマップ

アドレス	周辺グループ	周辺 I/O
FFD8 $F020_H$～FFD8 $FFFF_H$	—	アクセス禁止領域
FFD9 0000_H～FFD9 $001F_H$	3	CSIH4（CSIH4CTL0-2, CSIH4STR0, CSIH4STCR0, CSIH4EMU）
FFD9 0020_H～FFD9 $0FFF_H$	—	アクセス禁止領域
FFD9 1000_H～FFD9 $107F_H$	3	CSIH4（上記以外の CSIH4 レジスタ）
FFD9 1080_H～FFD9 $1FFF_H$	—	アクセス禁止領域
FFD9 2000_H～FFD9 $201F_H$	3	CSIG4（CSIG4CTL0-2, CSIG4STR0, CSIG4STCR0, CSIG4EMU）
FFD9 2020_H～FFD9 $2FFF_H$	—	アクセス禁止領域
FFD9 3000_H～FFD9 $301F_H$	3	CSIG4（上記以外の CSIG4 レジスタ）
FFD9 3020_H～FFDC $FFFF_H$	—	アクセス禁止領域
FFDD 0000_H～FFDD $00FF_H$	2	PIC0
FFDD 0100_H～FFDD $CFFF_H$	—	アクセス禁止領域
FFDD $D000_H$～FFDD $D04F_H$	2	P-Bus ガード（PBG20）
FFDD $D050_H$～FFDD $D0FF_H$	—	アクセス禁止領域
FFDD $D100_H$～FFDD $D14F_H$	2	P-Bus ガード（PBG21）
FFDD $D150_H$～FFE1 $FFFF_H$	—	アクセス禁止領域
FFE2 0000_H～FFE2 $03FF_H$	2	TAUD0
FFE2 0400_H～FFE2 $3FFF_H$	—	アクセス禁止領域
FFE2 4000_H～FFE2 4003_H	2	SELB_TAUD0（SL_TAUD0）
FFE2 4004_H～FFE2 $FFFF_H$	—	アクセス禁止領域
FFE3 0000_H～FFE3 $03FF_H$	2	TAUB0
FFE3 0400_H～FFE3 $0FFF_H$	—	アクセス禁止領域
FFE3 1000_H～FFE3 $13FF_H$	2	TAUB1
FFE3 1400_H～FFE3 $1FFF_H$	—	アクセス禁止領域
FFE3 2000_H～FFE3 2003_H	2	SELB_TAUB0（SL_TAUB0）
FFE3 2004_H～FFE3 $2FFF_H$	—	アクセス禁止領域
FFE3 3000_H～FFE3 3003_H	2	SELB_TAUB1（SL_TAUB1）
FFE3 3004_H～FFE4 $FFFF_H$	—	アクセス禁止領域
FFE5 0000_H～FFE5 $00FF_H$	2	TAUJ0
FFE5 0100_H～FFE5 $01FF_H$	2	TAUJ2
FFE5 0200_H～FFE5 $0FFF_H$	—	アクセス禁止領域
FFE5 1000_H～FFE5 $10FF_H$	2	TAUJ1
FFE5 1100_H～FFE5 $11FF_H$	2	TAUJ3
FFE5 1200_H～FFE5 $3FFF_H$	—	アクセス禁止領域
FFE5 4000_H～FFE5 4003_H	2	SELB_TAUJ0（SL_TAUJ0）
FFE5 4004_H～FFE5 4007_H	2	SELB_TAUJ2（SL_TAUJ2）
FFE5 4008_H～FFE6 $FFFF_H$	—	アクセス禁止領域
FFE7 0000_H～FFE7 $03FF_H$	2	PWSA0
FFE7 0400_H～FFE7 $0FFF_H$	—	アクセス禁止領域
FFE7 1000_H～FFE7 $27FF_H$	2	PWGAn
FFE7 2800_H～FFE7 $281F_H$	2	PWBA0
FFE7 2820_H～FFE7 $2FFF_H$	—	アクセス禁止領域
FFE7 3000_H～FFE7 $301F_H$	2	SLPWG
FFE7 3020_H～FFE7 $30FF_H$	—	アクセス禁止領域
FFE7 3100_H～FFE7 $315F_H$	2	PWGA_INTF
FFE7 3160_H～FFE7 $7FFF_H$	—	アクセス禁止領域

表 4A.4　　周辺 I/O アドレスマップ

アドレス	周辺グループ	周辺 I/O
FFE7 8000$_H$～FFE7 807F$_H$	2	RTCA0
FFE7 8080$_H$～FFE7 FFFF$_H$	—	アクセス禁止領域
FFE8 0000$_H$～FFE8 007F$_H$	2	ENCA0
FFE8 0080$_H$～FFE8 FFFF$_H$	—	アクセス禁止領域
FFE9 0000$_H$～FFE9 003F$_H$	2	TAPA0
FFE9 0040$_H$～FFEC FFFF$_H$	—	アクセス禁止領域
FFED 0000$_H$～FFED 000F$_H$	2	WDTA0
FFED 0010$_H$～FFED 0FFF$_H$	—	アクセス禁止領域
FFED 1000$_H$～FFED 100F$_H$	2	WDTA1
FFED 1010$_H$～FFED 1FFF$_H$	—	アクセス禁止領域
FFED 2000$_H$～FFED 200F$_H$	2	WDTA2
FFED 2010$_H$～FFED 8FFF$_H$	—	アクセス禁止領域
FFED 9000$_H$～FFED 907F$_H$	2	MMCA0
FFED 9080$_H$～FFED 9FFF$_H$	—	アクセス禁止領域
FFED A000$_H$～FFED A01F$_H$	2	ECCMMCA0A
FFED A020$_H$～FFED A0FF$_H$	—	アクセス禁止領域
FFED A100$_H$～FFED A11F$_H$	2	ECCMMCA0B
FFED A120$_H$～FFF1 FFFF$_H$	—	アクセス禁止領域
FFF2 0000$_H$～FFF2 07FF$_H$	1	ADCA0
FFF2 0800$_H$～FFF6 FFFF$_H$	—	アクセス禁止領域
FFF7 0000$_H$～FFF7 003F$_H$	1	DCRA0
FFF7 0040$_H$～FFF7 0FFF$_H$	—	アクセス禁止領域
FFF7 1000$_H$～FFF7 103F$_H$	1	DCRA1
FFF7 1040$_H$～FFF7 1FFF$_H$	—	アクセス禁止領域
FFF7 2000$_H$～FFF7 203F$_H$	1	DCRA2
FFF7 2040$_H$～FFF7 2FFF$_H$	—	アクセス禁止領域
FFF7 3000$_H$～FFF7 303F$_H$	1	DCRA3
FFF7 3040$_H$～FFF7 7FFF$_H$	—	アクセス禁止領域
FFF7 8000$_H$～FFF7 8003$_H$	1	KR0
FFF7 8004$_H$～FFF7 FFFF$_H$	—	アクセス禁止領域
FFF8 0000$_H$～FFF8 000F$_H$	1	書き込み保護レジスタ（WPROTR）
FFF8 0010$_H$～FFF8 00FF$_H$	—	アクセス禁止領域
FFF8 0100$_H$～FFF8 011F$_H$	1	STBC0
FFF8 0120$_H$～FFF8 03FF$_H$	—	アクセス禁止領域
FFF8 0400$_H$～FFF8 040F$_H$	1	STBC_WUF0
FFF8 0410$_H$～FFF8 041F$_H$	1	STBC_WUF1
FFF8 0420$_H$～FFF8 051F$_H$	—	アクセス禁止領域
FFF8 0520$_H$～FFF8 052F$_H$	1	STBC_WUF20
FFF8 0530$_H$～FFF8 075F$_H$	—	アクセス禁止領域
FFF8 0760$_H$～FFF8 0AFF$_H$	1	リセットコントローラ／電源電圧モニタ（LVI, VLVI）
FFF8 0B00$_H$～FFF8 0FFF$_H$	1	STBC_IOHOLD
FFF8 1000$_H$～FFF8 2FFF$_H$	1	クロックコントローラ（CLKCTL）
FFF8 3000$_H$～FFF8 307F$_H$	1	LPS0
FFF8 3080$_H$～FFF8 30FF$_H$	—	アクセス禁止領域
FFF8 3100$_H$～FFF8 3207$_H$	1	CVM（SVM）

表 4A.4　　周辺 I/O アドレスマップ

アドレス	周辺グループ	周辺 I/O
FFF8 3208$_H$～FFF8 3603$_H$	—	アクセス禁止領域
FFF8 3604$_H$～FFF8 7FFF$_H$	—	アクセス禁止領域
FFF8 8000$_H$～FFF8 800F$_H$	1	書き込み保護レジスタ（WPROTR）
FFF8 8010$_H$～FFF8 810F$_H$	—	アクセス禁止領域
FFF8 8110$_H$～FFF8 811F$_H$	1	STBC_WUFISO
FFF8 8120$_H$～FFF8 BFFF$_H$	1	クロックコントローラ（CLKCTL）
FFF8 C000$_H$～FFF8 CFFF$_H$	1	CLMA0, CLMA
FFF8 D000$_H$～FFF8 DFFF$_H$	1	CLMA1
FFF8 E000$_H$～FFF8 EFFF$_H$	1	CLMA2
FFF8 F000$_H$～FFF8 FFFF$_H$	1	CLMA3
FFF9 0000$_H$～FFF9 004F$_H$	1	P-Bus ガード（PBG50）
FFF9 0050$_H$～FFF9 3FFF$_H$	—	アクセス禁止領域
FFF9 4000$_H$～FFF9 404F$_H$	3	P-Bus ガード（PBG30）
FFF9 4050$_H$～FFF9 40FF$_H$	—	アクセス禁止領域
FFF9 4100$_H$～FFF9 414F$_H$	3	P-Bus ガード（PBG31）
FFF9 4150$_H$～FFF9 41FF$_H$	—	アクセス禁止領域
FFF9 4200$_H$～FFF9 424F$_H$	3	P-Bus ガード（PBG32）
FFF9 4250$_H$～FFF9 42FF$_H$	—	アクセス禁止領域
FFF9 4300$_H$～FFF9 434F$_H$	3	P-Bus ガード（PBG33）
FFF9 4350$_H$～FFF9 BFFF$_H$	—	アクセス禁止領域
FFF9 C000$_H$～FFF9 C04F$_H$	3	H-Bus ガード（HBG00）
FFF9 C050$_H$～FFF9 C0FF$_H$	—	アクセス禁止領域
FFF9 C100$_H$～FFF9 C14F$_H$	3	H-Bus ガード（HBG01）
FFF9 C150$_H$～FFF9 C1FF$_H$	—	アクセス禁止領域
FFF9 C200$_H$～FFF9 C24F$_H$	3	H-Bus ガード（HBG02）
FFF9 C250$_H$～FFFE DFFF$_H$	—	アクセス禁止領域
FFFE E000$_H$～FFFE E03F$_H$	CPU ローカル周辺	IPG
FFFE E040$_H$～FFFE E5FF$_H$		アクセス禁止領域
FFFE E600$_H$～FFFE E6FF$_H$		PEG
FFFE E700$_H$～FFFE E97F$_H$		アクセス禁止領域
FFFE E980$_H$～FFFE E98F$_H$		SEG
FFFE E990$_H$～FFFE E9FF$_H$		アクセス禁止領域
FFFE EA00$_H$～FFFE EBFF$_H$		INTC1
FFFE EC00$_H$～FFFE EC7F$_H$		MEV
FFFE EC80$_H$～FFFE EC8F$_H$		IPIRSS
FFFE EC90$_H$～FFFF 7FFF$_H$	—	アクセス禁止領域
FFFF 8000$_H$～FFFF 8FFF$_H$	2	PDMA0
FFFF 9000$_H$～FFFF 9FFF$_H$	2	PDMA1
FFFF A000$_H$～FFFF AFFF$_H$	—	アクセス禁止領域
FFFF B000$_H$～FFFF BFFF$_H$	2	INTC2
FFFF C000$_H$～FFFF FFFF$_H$	—	アクセス禁止領域

第4B章　RH850/F1KM-S4, RH850/F1KM-S2 のアドレス空間

4B.1　アドレス空間

「**表 4B.1 アドレス空間（RH850/F1KM-S4 4MB 176/233/272-Pin 製品）**」～「**表 4B.8 アドレス空間（RH850/F1KM-S2 2MB 100-Pin 製品）**」に RH850/F1KM のアドレス空間を示します。

注　意

内蔵 I/O レジスタ空間において、レジスタがないアドレスにアクセスしないでください。また、「**表 4B.1 アドレス空間（RH850/F1KM-S4 4MB 176/233/272-Pin 製品）**」～「**表 4B.8 アドレス空間（RH850/F1KM-S2 2MB 100-Pin 製品）**」に示すアクセス禁止領域に対してもアクセスしないでください。アクセスした場合は、動作の保証はできません。

備　考

ローカル RAM は、アドレス空間において、以下の 2 つのアドレス領域でアクセス可能です。
CPU1 領域：CPU/DMA/FlexRay/ETNB からアクセス可能なアドレス領域
セルフ領域：CPU 自身のリソースを参照するための、CPU からのみアクセス可能なミラーアドレス領域

表 4B.1　　アドレス空間（RH850/F1KM-S4 4MB 176/233/272-Pin 製品）

アドレス	アドレス空間の種類	サイズ
0000 0000$_H$～003F FFFF$_H$	コードフラッシュ	4MB
0040 0000$_H$～00FF FFFF$_H$	アクセス禁止領域	
0100 0000$_H$～0100 7FFF$_H$	コードフラッシュ（拡張ユーザ領域）	32KB
0100 8000$_H$～1001 FFFF$_H$	アクセス禁止領域	
1002 0000$_H$～1002 1FFF$_H$	FlexRay インタフェース（FLXA）	8KB
1002 2000$_H$～1002 FFFF$_H$	アクセス禁止領域	
1003 0000$_H$～1003 03FF$_H$	外部メモリアクセスコントローラ（MEMC）	1KB
1003 0400$_H$～1003 FFFF$_H$	アクセス禁止領域	
1004 0000$_H$～1004 0FFF$_H$	シリアルフラッシュメモリインタフェース（SFMA）	4KB
1004 1000$_H$～1FFF FFFF$_H$	アクセス禁止領域	
2000 0000$_H$～20FF FFFF$_H$	外部メモリ領域（CS0）	16MB 注4
2100 0000$_H$～21FF FFFF$_H$	アクセス禁止領域	
2200 0000$_H$～22FF FFFF$_H$	外部メモリ領域（CS1）	16MB 注4
2300 0000$_H$～23FF FFFF$_H$	アクセス禁止領域	
2400 0000$_H$～24FF FFFF$_H$	外部メモリ領域（CS2）	16MB 注4
2500 0000$_H$～27FF FFFF$_H$	アクセス禁止領域	
2800 0000$_H$～28FF FFFF$_H$	外部メモリ領域（CS3）	16MB 注4
2900 0000$_H$～2FFF FFFF$_H$	アクセス禁止領域	
3000 0000$_H$～33FF FFFF$_H$	外部シリアルフラッシュメモリ領域	64MB
3400 0000$_H$～FEBB FFFF$_H$	アクセス禁止領域	
FEBC 0000$_H$～FEBF FFFF$_H$	ローカル RAM（CPU1 領域）	256KB 注1
FEC0 0000$_H$～FEDB FFFF$_H$	アクセス禁止領域	
FEDC 0000$_H$～FEDF FFFF$_H$	ローカル RAM（セルフ領域）	256KB 注1
FEE0 0000$_H$～FEEE 7FFF$_H$	アクセス禁止領域	
FEEE 8000$_H$～FEEF FFFF$_H$	グローバル RAM A	96KB 注2
FEF0 0000$_H$～FEF0 FFFF$_H$	リテンション RAM	64KB

表 4B.1　アドレス空間（RH850/F1KM-S4 4MB 176/233/272-Pin 製品）

アドレス	アドレス空間の種類	サイズ
FEF1 0000_H～FEFE $7FFF_H$	アクセス禁止領域	
FEFE 8000_H～FEFF $FFFF_H$	グローバル RAM B	96KB 注 2
FF00 0000_H～FF1F $FFFF_H$	アクセス禁止領域	
FF20 0000_H～FF21 $FFFF_H$	データフラッシュ	128KB 注 3
FF22 0000_H～FF9F $FFFF_H$	アクセス禁止領域	
FFA0 0000_H～FFFD $FFFF_H$	内蔵周辺 I/O 領域	6MB - 128KB
FFFE 0000_H～FFFE $DFFF_H$	アクセス禁止領域	
FFFE $E000_H$～FFFE $FFFF_H$	内蔵周辺 I/O 領域（セルフ領域）	8KB
FFFF 0000_H～FFFF $4FFF_H$	アクセス禁止領域	
FFFF 5000_H～FFFF $FFFF_H$	内蔵周辺 I/O 領域	44KB

注1.　CPU の最大周波数が 160MHz の製品では、192KB になります。詳細は、「**第 45 章　RAM**」を参照してください。

注2.　CPU の最大周波数が 160MHz の製品では、64KB になります。詳細は、「**第 45 章　RAM**」を参照してください。

注3.　CPU の最大周波数が 160MHz の製品では、96K になります。詳細は、「**第 44 章　フラッシュメモリ**」を参照してください。

注4.　176/233-pin 製品では、8MB になります。詳細は、「**第 16 章　外部メモリアクセスコントローラ（MEMC）**」を参照してください。

表 4B.2　　アドレス空間（RH850/F1KM-S4 4MB 144-Pin 製品）

アドレス	アドレス空間の種類	サイズ
0000 0000H～003F FFFFH	コードフラッシュ	4MB
0040 0000H～00FF FFFFH	アクセス禁止領域	
0100 0000H～0100 7FFFH	コードフラッシュ（拡張ユーザ領域）	32KB
0100 8000H～1001 FFFFH	アクセス禁止領域	
1002 0000H～1002 1FFFH	FlexRay インタフェース（FLXA）	8KB
1002 2000H～1003 FFFFH	アクセス禁止領域	
1004 0000H～1004 0FFFH	シリアルフラッシュメモリインタフェース（SFMA）	4KB
1004 1000H～2FFF FFFFH	アクセス禁止領域	
3000 0000H～33FF FFFFH	外部シリアルフラッシュメモリ領域	64MB
3400 0000H～FEBB FFFFH	アクセス禁止領域	
FEBC 0000H～FEBF FFFFH	ローカル RAM（CPU1 領域）	256KB 注1
FEC0 0000H～FEDB FFFFH	アクセス禁止領域	
FEDC 0000H～FEDF FFFFH	ローカル RAM（セルフ領域）	256KB 注1
FEE0 0000H～FEEE 7FFFH	アクセス禁止領域	
FEEE 8000H～FEEF FFFFH	グローバル RAM A	96KB 注2
FEF0 0000H～FEF0 FFFFH	リテンション RAM	64KB
FEF1 0000H～FEFE 7FFFH	アクセス禁止領域	
FEFE 8000H～FEFF FFFFH	グローバル RAM B	96KB 注2
FF00 0000H～FF1F FFFFH	アクセス禁止領域	
FF20 0000H～FF21 FFFFH	データフラッシュ	128KB 注3
FF22 0000H～FF9F FFFFH	アクセス禁止領域	
FFA0 0000H～FFFD FFFFH	内蔵周辺 I/O 領域	6MB - 128KB
FFFE 0000H～FFFE DFFFH	アクセス禁止領域	
FFFE E000H～FFFE FFFFH	内蔵周辺 I/O 領域（セルフ領域）	8KB
FFFF 0000H～FFFF 4FFFH	アクセス禁止領域	
FFFF 5000H～FFFF FFFFH	内蔵周辺 I/O 領域	44KB

注1.　CPU の最大周波数が 160MHz の製品では、192KB になります。詳細は、「**第 45 章　RAM**」を参照してください。

注2.　CPU の最大周波数が 160MHz の製品では、64KB になります。詳細は、「**第 45 章　RAM**」を参照してください。

注3.　CPU の最大周波数が 160MHz の製品では、96K になります。詳細は、「**第 44 章　フラッシュメモリ**」を参照してください。

表 4B.3　　アドレス空間（RH850/F1KM-S4 4MB 100-Pin 製品）

アドレス	アドレス空間の種類	サイズ
0000 0000_H～003F $FFFF_H$	コードフラッシュ	4MB
0040 0000_H～00FF $FFFF_H$	アクセス禁止領域	
0100 0000_H～0100 $7FFF_H$	コードフラッシュ（拡張ユーザ領域）	32KB
0100 8000_H～1001 $FFFF_H$	アクセス禁止領域	
1002 0000_H～1002 $1FFF_H$	FlexRay インタフェース（FLXA）	8KB
1002 2000_H～FEBB $FFFF_H$	アクセス禁止領域	
FEBC 0000_H～FEBF $FFFF_H$	ローカル RAM（CPU1 領域）	256KB 注1
FEC0 0000_H～FEDB $FFFF_H$	アクセス禁止領域	
FEDC 0000_H～FEDF $FFFF_H$	ローカル RAM（セルフ領域）	256KB 注1
FEE0 0000_H～FEEE $7FFF_H$	アクセス禁止領域	
FEEE 8000_H～FEEF $FFFF_H$	グローバル RAM A	96KB 注2
FEF0 0000_H～FEF0 $FFFF_H$	リテンション RAM	64KB
FEF1 0000_H～FEFE $7FFF_H$	アクセス禁止領域	
FEFE 8000_H～FEFF $FFFF_H$	グローバル RAM B	96KB 注2
FF00 0000_H～FF1F $FFFF_H$	アクセス禁止領域	
FF20 0000_H～FF21 $FFFF_H$	データフラッシュ	128KB 注3
FF22 0000_H～FF9F $FFFF_H$	アクセス禁止領域	
FFA0 0000_H～FFFD $FFFF_H$	内蔵周辺 I/O 領域	6MB - 128KB
FFFE 0000_H～FFFE $DFFF_H$	アクセス禁止領域	
FFFE $E000_H$～FFFE $FFFF_H$	内蔵周辺 I/O 領域（セルフ領域）	8KB
FFFF 0000_H～FFFF $4FFF_H$	アクセス禁止領域	
FFFF 5000_H～FFFF $FFFF_H$	内蔵周辺 I/O 領域	44KB

注1.　CPU の最大周波数が 160MHz の製品では、192KB になります。詳細は、「**第 45 章　RAM**」を参照してください。

注2.　CPU の最大周波数が 160MHz の製品では、64KB になります。詳細は、「**第 45 章　RAM**」を参照してください。

注3.　CPU の最大周波数が 160MHz の製品では、96K になります。詳細は、「**第 44 章　フラッシュメモリ**」を参照してください。

表 4B.4　　アドレス空間（RH850/F1KM-S4 3MB 176/233/272-Pin 製品）

アドレス	アドレス空間の種類	サイズ
0000 0000$_H$～002F FFFF$_H$	コードフラッシュ	3MB
0030 0000$_H$～00FF FFFF$_H$	アクセス禁止領域	
0100 0000$_H$～0100 7FFF$_H$	コードフラッシュ（拡張ユーザ領域）	32KB
0100 8000$_H$～1001 FFFF$_H$	アクセス禁止領域	
1002 0000$_H$～1002 1FFF$_H$	FlexRay インタフェース（FLXA）	8KB
1002 2000$_H$～1002 FFFF$_H$	アクセス禁止領域	
1003 0000$_H$～1003 03FF$_H$	外部メモリアクセスコントローラ（MEMC）	1KB
1003 0400$_H$～1003 FFFF$_H$	アクセス禁止領域	
1004 0000$_H$～1004 0FFF$_H$	シリアルフラッシュメモリインタフェース（SFMA）	4KB
1004 1000$_H$～1FFF FFFF$_H$	アクセス禁止領域	
2000 0000$_H$～20FF FFFF$_H$	外部メモリ領域（CS0）	16MB 注 4
2100 0000$_H$～21FF FFFF$_H$	アクセス禁止領域	
2200 0000$_H$～22FF FFFF$_H$	外部メモリ領域（CS1）	16MB 注 4
2300 0000$_H$～23FF FFFF$_H$	アクセス禁止領域	
2400 0000$_H$～24FF FFFF$_H$	外部メモリ領域（CS2）	16MB 注 4
2500 0000$_H$～27FF FFFF$_H$	アクセス禁止領域	
2800 0000$_H$～28FF FFFF$_H$	外部メモリ領域（CS3）	16MB 注 4
2900 0000$_H$～2FFF FFFF$_H$	アクセス禁止領域	
3000 0000$_H$～33FF FFFF$_H$	外部シリアルフラッシュメモリ領域	64MB
3400 0000$_H$～FEBC FFFF$_H$	アクセス禁止領域	
FEBD 0000$_H$～FEBF FFFF$_H$	ローカル RAM（CPU1 領域）	192KB 注 1
FEC0 0000$_H$～FEDC FFFF$_H$	アクセス禁止領域	
FEDD 0000$_H$～FEDF FFFF$_H$	ローカル RAM（セルフ領域）	192KB 注 1
FEE0 0000$_H$～FEEE FFFF$_H$	アクセス禁止領域	
FEEF 0000$_H$～FEEF FFFF$_H$	グローバル RAM A	64KB 注 2
FEF0 0000$_H$～FEF0 FFFF$_H$	リテンション RAM	64KB
FEF1 0000$_H$～FEFE FFFF$_H$	アクセス禁止領域	
FEFF 0000$_H$～FEFF FFFF$_H$	グローバル RAM B	64KB 注 2
FF00 0000$_H$～FF1F FFFF$_H$	アクセス禁止領域	
FF20 0000$_H$～FF21 FFFF$_H$	データフラッシュ	128KB 注 3
FF22 0000$_H$～FF9F FFFF$_H$	アクセス禁止領域	
FFA0 0000$_H$～FFFD FFFF$_H$	内蔵周辺 I/O 領域	6MB - 128KB
FFFE 0000$_H$～FFFE DFFF$_H$	アクセス禁止領域	
FFFE E000$_H$～FFFE FFFF$_H$	内蔵周辺 I/O 領域（セルフ領域）	8KB
FFFF 0000$_H$～FFFF 4FFF$_H$	アクセス禁止領域	
FFFF 5000$_H$～FFFF FFFF$_H$	内蔵周辺 I/O 領域	44KB

注1.　CPU の最大周波数が 160MHz の製品では、160KB になります。詳細は、「**第 45 章　RAM**」を参照してください。

注2.　CPU の最大周波数が 160MHz の製品では、48KB になります。詳細は、「**第 45 章　RAM**」を参照してください。

注3.　CPU の最大周波数が 160MHz の製品では、96K になります。詳細は、「**第 44 章　フラッシュメモリ**」を参照してください。

注4.　176/233-pin 製品では、8MB になります。詳細は、「**第 16 章　外部メモリアクセスコントローラ（MEMC）**」を参照してください。

表 4B.5　アドレス空間（RH850/F1KM-S4 3MB 144-Pin 製品）

アドレス	アドレス空間の種類	サイズ
0000 0000H～002F FFFFH	コードフラッシュ	3MB
0030 0000H～00FF FFFFH	アクセス禁止領域	
0100 0000H～0100 7FFFH	コードフラッシュ（拡張ユーザ領域）	32KB
0100 8000H～1001 FFFFH	アクセス禁止領域	
1002 0000H～1002 1FFFH	FlexRay インタフェース（FLXA）	8KB
1002 2000H～1003 FFFFH	アクセス禁止領域	
1004 0000H～1004 0FFFH	シリアルフラッシュメモリインタフェース（SFMA）	4KB
1004 1000H～2FFF FFFFH	アクセス禁止領域	
3000 0000H～33FF FFFFH	外部シリアルフラッシュメモリ領域	64MB
3400 0000H～FEBC FFFFH	アクセス禁止領域	
FEBD 0000H～FEBF FFFFH	ローカル RAM（CPU1 領域）	192KB 注 1
FEC0 0000H～FEDC FFFFH	アクセス禁止領域	
FEDD 0000H～FEDF FFFFH	ローカル RAM（セルフ領域）	192KB 注 1
FEE0 0000H～FEEE FFFFH	アクセス禁止領域	
FEEF 0000H～FEEF FFFFH	グローバル RAM A	64KB 注 2
FEF0 0000H～FEF0 FFFFH	リテンション RAM	64KB
FEF1 0000H～FEFE FFFFH	アクセス禁止領域	
FEFF 0000H～FEFF FFFFH	グローバル RAM B	64KB 注 2
FF00 0000H～FF1F FFFFH	アクセス禁止領域	
FF20 0000H～FF21 FFFFH	データフラッシュ	128KB 注 3
FF22 0000H～FF9F FFFFH	アクセス禁止領域	
FFA0 0000H～FFFD FFFFH	内蔵周辺 I/O 領域	6MB - 128KB
FFFE 0000H～FFFE DFFFH	アクセス禁止領域	
FFFE E000H～FFFE FFFFH	内蔵周辺 I/O 領域（セルフ領域）	8KB
FFFF 0000H～FFFF 4FFFH	アクセス禁止領域	
FFFF 5000H～FFFF FFFFH	内蔵周辺 I/O 領域	44KB

注1.　CPU の最大周波数が 160MHz の製品では、160KB になります。詳細は、「**第 45 章　RAM**」を参照してください。

注2.　CPU の最大周波数が 160MHz の製品では、48KB になります。詳細は、「**第 45 章　RAM**」を参照してください。

注3.　CPU の最大周波数が 160MHz の製品では、96K になります。詳細は、「**第 44 章　フラッシュメモリ**」を参照してください。

表 4B.6 アドレス空間（RH850/F1KM-S4 3MB 100-Pin 製品）

アドレス	アドレス空間の種類	サイズ
0000 0000_H～002F $FFFF_H$	コードフラッシュ	3MB
0030 0000_H～00FF $FFFF_H$	アクセス禁止領域	
0100 0000_H～0100 $7FFF_H$	コードフラッシュ（拡張ユーザ領域）	32KB
0100 8000_H～1001 $FFFF_H$	アクセス禁止領域	
1002 0000_H～1002 $1FFF_H$	FlexRay インタフェース（FLXA）	8KB
1002 2000_H～FEBC $FFFF_H$	アクセス禁止領域	
FEBD 0000_H～FEBF $FFFF_H$	ローカル RAM（CPU1 領域）	192KB 注 1
FEC0 0000_H～FEDC $FFFF_H$	アクセス禁止領域	
FEDD 0000_H～FEDF $FFFF_H$	ローカル RAM（セルフ領域）	192KB 注 1
FEE0 0000_H～FEEE $FFFF_H$	アクセス禁止領域	
FEEF 0000_H～FEEF $FFFF_H$	グローバル RAM A	64KB 注 2
FEF0 0000_H～FEF0 $FFFF_H$	リテンション RAM	64KB
FEF1 0000_H～FEFE $FFFF_H$	アクセス禁止領域	
FEFF 0000_H～FEFF $FFFF_H$	グローバル RAM B	64KB 注 2
FF00 0000_H～FF1F $FFFF_H$	アクセス禁止領域	
FF20 0000_H～FF21 $FFFF_H$	データフラッシュ	128KB 注 3
FF22 0000_H～FF9F $FFFF_H$	アクセス禁止領域	
FFA0 0000_H～FFFD $FFFF_H$	内蔵周辺 I/O 領域	6MB - 128KB
FFFE 0000_H～FFFE $DFFF_H$	アクセス禁止領域	
FFFE $E000_H$～FFFE $FFFF_H$	内蔵周辺 I/O 領域（セルフ領域）	8KB
FFFF 0000_H～FFFF $4FFF_H$	アクセス禁止領域	
FFFF 5000_H～FFFF $FFFF_H$	内蔵周辺 I/O 領域	44KB

注1. CPU の最大周波数が 160MHz の製品では、160KB になります。詳細は、「**第 45 章 RAM**」を参照してください。

注2. CPU の最大周波数が 160MHz の製品では、48KB になります。詳細は、「**第 45 章 RAM**」を参照してください。

注3. CPU の最大周波数が 160MHz の製品では、96K になります。詳細は、「**第 44 章 フラッシュメモリ**」を参照してください。

表 4B.7　　アドレス空間（RH850/F1KM-S2 2MB 144/176-Pin 製品）

アドレス	アドレス空間の種類	サイズ
0000 0000$_H$～001F FFFF$_H$	コードフラッシュ	2MB
0020 0000$_H$～00FF FFFF$_H$	アクセス禁止領域	
0100 0000$_H$～0100 7FFF$_H$	コードフラッシュ（拡張ユーザ領域）	32KB
0100 8000$_H$～1003 FFFF$_H$	アクセス禁止領域	
1004 0000$_H$～1004 0FFF$_H$	シリアルフラッシュメモリインタフェース（SFMA）	4KB
1004 1000$_H$～2FFF FFFF$_H$	アクセス禁止領域	
3000 0000$_H$～33FF FFFF$_H$	外部シリアルフラッシュメモリ領域	64MB
3400 0000$_H$～FEBD FFFF$_H$	アクセス禁止領域	
FEBE 0000$_H$～FEBF FFFF$_H$	ローカル RAM（CPU1 領域）	128KB
FEC0 0000$_H$～FEDD FFFF$_H$	アクセス禁止領域	
FEDE 0000$_H$～FEDF FFFF$_H$	ローカル RAM（セルフ領域）	128KB
FEE0 0000$_H$～FEEF 3FFF$_H$	アクセス禁止領域	
FEEF 4000$_H$～FEEF FFFF$_H$	グローバル RAM A	48KB
FEF0 0000$_H$～FEF0 7FFF$_H$	リテンション RAM	32KB
FEF0 8000$_H$～FEFF 3FFF$_H$	アクセス禁止領域	
FEFF 4000$_H$～FEFF FFFF$_H$	グローバル RAM B	48KB
FF00 0000$_H$～FF1F FFFF$_H$	アクセス禁止領域	
FF20 0000$_H$～FF21 FFFF$_H$	データフラッシュ	128KB
FF22 0000$_H$～FF9F FFFF$_H$	アクセス禁止領域	
FFA0 0000$_H$～FFFD FFFF$_H$	内蔵周辺 I/O 領域	6MB - 128KB
FFFE 0000$_H$～FFFE DFFF$_H$	アクセス禁止領域	
FFFE E000$_H$～FFFE FFFF$_H$	内蔵周辺 I/O 領域（セルフ領域）	8KB
FFFF 0000$_H$～FFFF 4FFF$_H$	アクセス禁止領域	
FFFF 5000$_H$～FFFF FFFF$_H$	内蔵周辺 I/O 領域	44KB

表 4B.8　　アドレス空間（RH850/F1KM-S2 2MB 100-Pin 製品）

アドレス	アドレス空間の種類	サイズ
0000 0000$_H$～001F FFFF$_H$	コードフラッシュ	2MB
0020 0000$_H$～00FF FFFF$_H$	アクセス禁止領域	
0100 0000$_H$～0100 7FFF$_H$	コードフラッシュ（拡張ユーザ領域）	32KB
0100 8000$_H$～FEBD FFFF$_H$	アクセス禁止領域	
FEBE 0000$_H$～FEBF FFFF$_H$	ローカル RAM（CPU1 領域）	128KB
FEC0 0000$_H$～FEDD FFFF$_H$	アクセス禁止領域	
FEDE 0000$_H$～FEDF FFFF$_H$	ローカル RAM（セルフ領域）	128KB
FEE0 0000$_H$～FEEF 3FFF$_H$	アクセス禁止領域	
FEEF 4000$_H$～FEEF FFFF$_H$	グローバル RAM A	48KB
FEF0 0000$_H$～FEF0 7FFF$_H$	リテンション RAM	32KB
FEF0 8000$_H$～FEFF 3FFF$_H$	アクセス禁止領域	
FEFF 4000$_H$～FEFF FFFF$_H$	グローバル RAM B	48KB
FF00 0000$_H$～FF1F FFFF$_H$	アクセス禁止領域	
FF20 0000$_H$～FF21 FFFF$_H$	データフラッシュ	128KB
FF22 0000$_H$～FF9F FFFF$_H$	アクセス禁止領域	
FFA0 0000$_H$～FFFD FFFF$_H$	内蔵周辺 I/O 領域	6MB - 128KB
FFFE 0000$_H$～FFFE DFFF$_H$	アクセス禁止領域	
FFFE E000$_H$～FFFE FFFF$_H$	内蔵周辺 I/O 領域（セルフ領域）	8KB
FFFF 0000$_H$～FFFF 4FFF$_H$	アクセス禁止領域	
FFFF 5000$_H$～FFFF FFFF$_H$	内蔵周辺 I/O 領域	44KB

4B.2 各バスマスタから見たアドレス空間

各バスマスタから見たアドレス空間を「**表 4B.9 各バスマスタから見たアドレス空間（RH850/F1KM-S4 4MB 品の場合）**」および「**表 4B.10 各バスマスタから見たアドレス空間（RH850/F1KM-S2 2MB 品の場合）**」に示します。

4B.2.1 命令フェッチ可能空間

CPU は、コードフラッシュ、ローカル RAM、グローバル RAM、リテンション RAM から命令フェッチ可能です。

4B.2.2 CPU によるデータアクセス可能空間

CPU からアクセス可能な空間について、「**表 4B.9 各バスマスタから見たアドレス空間（RH850/F1KM-S4 4MB 品の場合）**」および「**表 4B.10 各バスマスタから見たアドレス空間（RH850/F1KM-S2 2MB 品の場合）**」を参照してください。

4B.2.3 DMA によるデータアクセス可能空間

DMA からアクセス可能な空間について、「**表 4B.9 各バスマスタから見たアドレス空間（RH850/F1KM-S4 4MB 品の場合）**」および「**表 4B.10 各バスマスタから見たアドレス空間（RH850/F1KM-S2 2MB 品の場合）**」を参照してください。

4B.2.4 FlexRay によるデータアクセス可能空間

FlexRay からアクセス可能な空間について、「**表 4B.9 各バスマスタから見たアドレス空間（RH850/F1KM-S4 4MB 品の場合）**」を参照してください。

4B.2.5 ETNB によるデータアクセス可能空間

ETNB からアクセス可能な空間について、「**表 4B.9 各バスマスタから見たアドレス空間（RH850/F1KM-S4 4MB 品の場合）**」を参照してください。

4B.2.6　各バスマスタがアクセス可能なデータ空間

各バスマスタからアクセス可能な空間については、「**表 4B.9 各バスマスタから見たアドレス空間（RH850/F1KM-S4 4MB 品の場合）**」および「**表 4B.10 各バスマスタから見たアドレス空間（RH850/F1KM-S2 2MB 品の場合）**」を参照してください。

表 4B.9　各バスマスタから見たアドレス空間（RH850/F1KM-S4 4MB 品の場合）

アドレス	アドレス空間の種類	CPU からのアクセス	DMA からのアクセス	FlexRay からのアクセス	ETNB からのアクセス
0000 0000$_H$～003F FFFF$_H$	コードフラッシュ	○	○		
0040 0000$_H$～00FF FFFF$_H$	アクセス禁止領域				
0100 0000$_H$～0100 7FFF$_H$	コードフラッシュ（拡張ユーザ領域）	○	○		
0100 8000$_H$～1001 FFFF$_H$	アクセス禁止領域				
1002 0000$_H$～1002 1FFF$_H$	FlexRay インタフェース（FLXA）	○	○		
1002 2000$_H$～1002 FFFF$_H$	アクセス禁止領域				
1003 0000$_H$～1003 03FF$_H$	外部メモリアクセスコントローラ（MEMC）	○	○		
1003 0400$_H$～1003 FFFF$_H$	アクセス禁止領域				
1004 0000$_H$～1004 0FFF$_H$	シリアルフラッシュメモリインタフェース（SFMA）	○	○		
1004 1000$_H$～1FFF FFFF$_H$	アクセス禁止領域				
2000 0000$_H$～20FF FFFF$_H$	外部メモリ領域（CS0）	○	○		
2100 0000$_H$～21FF FFFF$_H$	アクセス禁止領域				
2200 0000$_H$～22FF FFFF$_H$	外部メモリ領域（CS1）	○	○		
2300 0000$_H$～23FF FFFF$_H$	アクセス禁止領域				
2400 0000$_H$～24FF FFFF$_H$	外部メモリ領域（CS2）	○	○		
2500 0000$_H$～27FF FFFF$_H$	アクセス禁止領域				
2800 0000$_H$～28FF FFFF$_H$	外部メモリ領域（CS3）	○	○		
2900 0000$_H$～2FFF FFFF$_H$	アクセス禁止領域				
3000 0000$_H$～33FF FFFF$_H$	外部シリアルフラッシュメモリ領域	○	○		
3400 0000$_H$～FEBB FFFF$_H$	アクセス禁止領域				
FEBC 0000$_H$～FEBF FFFF$_H$	ローカル RAM（CPU1 領域）	○	○	○	○
FEC0 0000$_H$～FEDB FFFF$_H$	アクセス禁止領域				
FEDC 0000$_H$～FEDF FFFF$_H$	ローカル RAM（セルフ領域）	○			
FEE0 0000$_H$～FEEE 7FFF$_H$	アクセス禁止領域				
FEEE 8000$_H$～FEEF FFFF$_H$	グローバル RAM A	○	○	○	○
FEF0 0000$_H$～FEF0 FFFF$_H$	リテンション RAM	○	○	○	○
FEF1 0000$_H$～FEFE 7FFF$_H$	アクセス禁止領域				
FEFE 8000$_H$～FEFF FFFF$_H$	グローバル RAM B	○	○	○	○
FF00 0000$_H$～FF1F FFFF$_H$	アクセス禁止領域				
FF20 0000$_H$～FF21 FFFF$_H$	データフラッシュ	○	○		
FF22 0000$_H$～FF9F FFFF$_H$	アクセス禁止領域				
FFA0 0000$_H$～FFFD FFFF$_H$	内蔵周辺 I/O 領域	○	○		
FFFE 0000$_H$～FFFE DFFF$_H$	アクセス禁止領域				
FFFE E000$_H$～FFFE FFFF$_H$	内蔵周辺 I/O 領域（セルフ領域）	○			
FFFF 0000$_H$～FFFF 4FFF$_H$	アクセス禁止領域				
FFFF 5000$_H$～FFFF FFFF$_H$	内蔵周辺 I/O 領域	○	○		

備考　上記マップ中の色は以下の区別を行っています。

フェッチおよびデータアクセス可能
データアクセス可能
アクセス禁止

表 4B.10　　各バスマスタから見たアドレス空間（RH850/F1KM-S2 2MB 品の場合）

アドレス	アドレス空間の種類	CPU からのアクセス	DMA からのアクセス
0000 0000$_H$～001 FFFF$_H$	コードフラッシュ	○	○
0020 0000$_H$～00FF FFFF$_H$	アクセス禁止領域		
0100 0000$_H$～0100 7FFF$_H$	コードフラッシュ（拡張ユーザ領域）	○	○
0100 8000$_H$～1003 FFFF$_H$	アクセス禁止領域		
1004 0000$_H$～1004 0FFF$_H$	シリアルフラッシュメモリインタフェース（SFMA）	○	○
1004 1000$_H$～2FFF FFFF$_H$	アクセス禁止領域		
3000 0000$_H$～33FF FFFF$_H$	外部シリアルフラッシュメモリ領域	○	○
3400 0000$_H$～FEBD FFFF$_H$	アクセス禁止領域		
FEBE 0000$_H$～FEBF FFFF$_H$	ローカル RAM（CPU1 領域）	○	○
FEC0 0000$_H$～FEDD FFFF$_H$	アクセス禁止領域		
FEDE 0000$_H$～FEDF FFFF$_H$	ローカル RAM（セルフ領域）	○	
FEE0 0000$_H$～FEEF 3FFF$_H$	アクセス禁止領域		
FEEF 4000$_H$～FEEF FFFF$_H$	グローバル RAM A	○	○
FEF0 0000$_H$～FEF0 7FFF$_H$	リテンション RAM	○	○
FEF0 8000$_H$～FEFF 3FFF$_H$	アクセス禁止領域		
FEFF 4000$_H$～FEFF FFFF$_H$	グローバル RAM B	○	○
FF00 0000$_H$～FF1F FFFF$_H$	アクセス禁止領域		
FF20 0000$_H$～FF21 FFFF$_H$	データフラッシュ	○	○
FF22 0000$_H$～FF9F FFFF$_H$	アクセス禁止領域		
FFA0 0000$_H$～FFFD FFFF$_H$	内蔵周辺 I/O 領域	○	○
FFFE 0000$_H$～FFFE DFFF$_H$	アクセス禁止領域		
FFFE E000$_H$～FFFE FFFF$_H$	内蔵周辺 I/O 領域（セルフ領域）	○	
FFFF 0000$_H$～FFFF 4FFF$_H$	アクセス禁止領域		
FFFF 5000$_H$～FFFF FFFF$_H$	内蔵周辺 I/O 領域	○	○

備考　上記マップ中の色は以下の区別を行っています。

フェッチおよびデータアクセス可能
データアクセス可能
アクセス禁止

4B.3　周辺 I/O アドレスマップ

「**表 4B.11 周辺 I/O アドレスマップ (RH850/F1KM-S4)**」および「**表 4B.12 周辺 I/O アドレスマップ (RH850/F1KM-S2)**」に周辺 I/O アドレスマップを示します。

表 4B.11　周辺 I/O アドレスマップ (RH850/F1KM-S4)

アドレス	周辺グループ	周辺 I/O
FF00 0000$_H$～FF1F FFFF$_H$	—	アクセス禁止領域
FF20 0000$_H$～FF21 FFFF$_H$	4	データフラッシュ
FF22 0000$_H$～FF9F FFFF$_H$	—	アクセス禁止領域
FFA0 0000$_H$～FFA0 001F$_H$	1	FLMD
FFA0 0020$_H$～FFA0 0FFF$_H$	—	アクセス禁止領域
FFA0 1000$_H$～FFA0 103F$_H$	—	アクセス禁止領域
FFA0 1040$_H$～FFA0 1FFF$_H$	—	アクセス禁止領域
FFA0 2000$_H$～FFA0 201F$_H$	—	アクセス禁止領域
FFA0 2020$_H$～FFA0 FFFF$_H$	—	アクセス禁止領域
FFA1 0000$_H$～FFA1 1FFF$_H$	1	フラッシュコントローラ
FFA1 2000$_H$～FFA1 FFFF$_H$	—	アクセス禁止領域
FFA2 0000$_H$～FFA2 FFFF$_H$	1	FACI 命令発行領域
FFA3 0000$_H$～FFBF FFFF$_H$	—	アクセス禁止領域
FFC0 0000$_H$～FFC0 000F$_H$	1	FENMI（ECON_NMI）
FFC0 0010$_H$～FFC0 00FF$_H$	—	アクセス禁止領域
FFC0 0100$_H$～FFC0 010F$_H$	1	FEINT（ECON_FEINT）
FFC0 0110$_H$～FFC0 0FFF$_H$	—	アクセス禁止領域
FFC0 1000$_H$～FFC0 1003$_H$	1	SELB_INTC（SL_INTC）
FFC0 1004$_H$～FFC0 1FFF$_H$	—	アクセス禁止領域
FFC0 2000$_H$～FFC0 200F$_H$	1	SELB_DMAC（SL_DMAC）
FFC0 2010$_H$～FFC0 2FFF$_H$	—	アクセス禁止領域
FFC0 3000$_H$～FFC0 300F$_H$	1	GRZF
FFC0 3010$_H$～FFC0 FFFF$_H$	—	アクセス禁止領域
FFC1 0000$_H$～FFC1 4CCF$_H$	1	PORT
FFC1 4CD0$_H$～FFC1 FFFF$_H$	—	アクセス禁止領域
FFC2 0000$_H$～FFC2 04CF$_H$	1	PORT（JTAG）
FFC2 04D0$_H$～FFC2 FFFF$_H$	—	アクセス禁止領域
FFC3 0000$_H$～FFC3 000F$_H$	1	DNFA_TAUD0（DNF）
FFC3 0010$_H$～FFC3 001F$_H$	—	アクセス禁止領域
FFC3 0020$_H$～FFC3 002F$_H$	1	DNFA_TAUB0（DNF）
FFC3 0030$_H$～FFC3 003F$_H$	—	アクセス禁止領域
FFC3 0040$_H$～FFC3 004F$_H$	1	DNFA_TAUB1（DNF）
FFC3 0050$_H$～FFC3 005F$_H$	—	アクセス禁止領域
FFC3 0060$_H$～FFC3 006F$_H$	1	DNFA_ENCA0（DNF）
FFC3 0070$_H$～FFC3 009F$_H$	—	アクセス禁止領域
FFC3 00A0$_H$～FFC3 00AF$_H$	1	DNFA_ADCA0（DNF）
FFC3 00B0$_H$～FFC3 00BF$_H$	—	アクセス禁止領域
FFC3 00C0$_H$～FFC3 00CF$_H$	1	DNFA_ADCA1（DNF）
FFC3 00D0$_H$～FFC3 00DF$_H$	—	アクセス禁止領域

表 4B.11　　周辺 I/O アドレスマップ (RH850/F1KM-S4)

アドレス	周辺グループ	周辺 I/O
FFC3 00E0$_H$～FFC3 00EF$_H$	1	DNFA_SENT（DNF）
FFC3 00F0$_H$～FFC3 00FF$_H$	—	アクセス禁止領域
FFC3 0100$_H$～FFC3 010F$_H$	—	アクセス禁止領域
FFC3 0110$_H$～FFC3 3FFF$_H$	—	アクセス禁止領域
FFC3 4000$_H$～FFC3 401F$_H$	1	FCLA_NMI（FCLA0）
FFC3 4020$_H$～FFC3 403F$_H$	1	FCLA_INTPL（FCLA0）
FFC3 4040$_H$～FFC3 405F$_H$	1	FCLA_INTPH（FCLA0）
FFC3 4060$_H$～FFC3 407F$_H$	1	FCLA_ADCA0（FCLA0）
FFC3 4080$_H$～FFC3 409F$_H$	1	FCLA_ADCA1（FCLA0）
FFC3 40A0$_H$～FFC3 40BF$_H$	1	FCLA_INTPU（FCLA0）
FFC3 40C0$_H$～FFC3 FFFF$_H$	—	アクセス禁止領域
FFC4 0000$_H$～FFC4 004F$_H$	1	P-Bus ガード（PBG10）
FFC4 0050$_H$～FFC4 00FF$_H$	—	アクセス禁止領域
FFC4 0100$_H$～FFC4 014F$_H$	1	P-Bus ガード（PBG11）
FFC4 0150$_H$～FFC4 03FF$_H$	—	アクセス禁止領域
FFC4 0400$_H$～FFC4 044F$_H$	1	P-Bus ガード（PBG12）
FFC4 0450$_H$～FFC4 04FF$_H$	—	アクセス禁止領域
FFC4 0500$_H$～FFC4 054F$_H$	1	P-Bus ガード（PBG13）
FFC4 0550$_H$～FFC4 8FFF$_H$	—	アクセス禁止領域
FFC4 9000$_H$～FFC4 907F$_H$	2	グローバル RAM ガードバンク A（MGDGR）
FFC4 9080$_H$～FFC4 91FF$_H$	—	アクセス禁止領域
FFC4 9200$_H$～FFC4 927F$_H$	2	グローバル RAM ガードバンク B（MGDGR）
FFC4 9280$_H$～FFC4 BFFF$_H$	—	アクセス禁止領域
FFC4 C000$_H$～FFC4 C00F$_H$	2	P-Bus ガード（PBGC0）
FFC4 C010$_H$～FFC4 C10F$_H$	—	アクセス禁止領域
FFC4 C110$_H$～FFC4 C13F$_H$	2	P-Bus ガード（PBGC1）
FFC4 C140$_H$～FFC4 C7FF$_H$	—	アクセス禁止領域
FFC4 C800$_H$～FFC4 C80F$_H$	2	ERRSLV（PBGC0）
FFC4 C810$_H$～FFC4 C8FF$_H$	—	アクセス禁止領域
FFC4 C900$_H$～FFC4 C90F$_H$	2	ERRSLV（PBGC1）
FFC4 C910$_H$～FFC5 97FF$_H$	—	アクセス禁止領域
FFC5 9800$_H$～FFC5 981F$_H$	4	EEPRDCYCL（DCIB）
FFC5 9820$_H$～FFC5 9BFF$_H$	—	アクセス禁止領域
FFC5 9C00$_H$～FFC5 9C4F$_H$	4	P-Bus ガード（PBG40）
FFC5 9C50$_H$～FFC5 AFFF$_H$	—	アクセス禁止領域
FFC5 B000$_H$～FFC5 B003$_H$	2	FBUFCCTL（FBUF_CTRL）
FFC5 B004$_H$～FFC6 21FF$_H$	—	アクセス禁止領域
FFC6 2200$_H$～FFC6 23FF$_H$	2	コードフラッシュ ECC（CFECC_VCI）
FFC6 2400$_H$～FFC6 25FF$_H$	2	コードフラッシュ ECC（CFECC_CPU1）
FFC6 2600$_H$～FFC6 29FF$_H$	—	アクセス禁止領域
FFC6 2A00$_H$～FFC6 2A3F$_H$	4	データフラッシュ ECC（DFECC）

表 4B.11　周辺 I/O アドレスマップ (RH850/F1KM-S4)

アドレス	周辺グループ	周辺 I/O
FFC6 2A40H～FFC6 3FFFH	—	アクセス禁止領域
FFC6 4000H～FFC6 403FH	2	グローバル RAM ECC バンク A（GRECC）
FFC6 4040H～FFC6 41FFH	—	アクセス禁止領域
FFC6 4200H～FFC6 423FH	2	グローバル RAM ECC バンク B（GRECC）
FFC6 4240H～FFC6 4FFFH	—	アクセス禁止領域
FFC6 5000H～FFC6 501FH	2	ローカル RAM ECC テスト PE1（LRTST）
FFC6 5020H～FFC6 53FFH	—	アクセス禁止領域
FFC6 5400H～FFC6 547FH	2	ローカル RAM ECC PE1（LRECC）
FFC6 5480H～FFC7 00FFH	—	アクセス禁止領域
FFC7 0100H～FFC7 011FH	3	ECCCSIH0
FFC7 0120H～FFC7 01FFH	—	アクセス禁止領域
FFC7 0200H～FFC7 021FH	3	ECCCSIH1
FFC7 0220H～FFC7 02FFH	—	アクセス禁止領域
FFC7 0300H～FFC7 031FH	3	ECCCSIH2
FFC7 0320H～FFC7 03FFH	—	アクセス禁止領域
FFC7 0400H～FFC7 041FH	3	ECCCSIH3
FFC7 0420H～FFC7 12FFH	—	アクセス禁止領域
FFC7 1300H～FFC7 131FH	5	ECCCFD0MB
FFC7 1320H～FFC7 13FFH	—	アクセス禁止領域
FFC7 1400H～FFC7 141FH	5	ECCCFD0AFL0
FFC7 1420H～FFC7 14FFH	—	アクセス禁止領域
FFC7 1500H～FFC7 151FH	5	ECCCFD0AFL1
FFC7 1520H～FFC7 17FFH	—	アクセス禁止領域
FFC7 1800H～FFC7 184FH	5	P-Bus ガード（PBG60）
FFC7 1850H～FFC7 30FFH	—	アクセス禁止領域
FFC7 3100H～FFC7 311FH	3	ECCFLXA0
FFC7 3120H～FFC7 31FFH	—	アクセス禁止領域
FFC7 3200H～FFC7 321FH	3	ECCFLXA0T0
FFC7 3220H～FFC7 32FFH	—	アクセス禁止領域
FFC7 3300H～FFC7 331FH	3	ECCFLXA0T1
FFC7 3320H～FFC7 40FFH	—	アクセス禁止領域
FFC7 4100H～FFC7 411FH	3	ECCETNB0TX
FFC7 4120H～FFC7 41FFH	—	アクセス禁止領域
FFC7 4200H～FFC7 421FH	3	ECCETNB0RX
FFC7 4220H～FFC7 7FFFH	—	アクセス禁止領域
FFC7 8000H～FFC7 8003H	1	SELB リードテスト（SL_READTEST）
FFC7 8004H～FFC9 FFFFH	—	アクセス禁止領域
FFCA 0000H～FFCA 007FH	1	RIIC0
FFCA 0080H～FFCA 00FFH	1	RIIC1
FFCA 0100H～FFCC FFFFH	—	アクセス禁止領域
FFCD 0000H～FFCD 01FFH	1	PRDNAME/CHIPID（SCDS）
FFCD 0200H～FFCD FFFFH	—	アクセス禁止領域
FFCE 0000H～FFCE 007FH	1	RLN240
FFCE 0080H～FFCE 00FFH	1	RLN241
FFCE 0100H～FFCE 017FH	1	RLN242

表 4B.11　　周辺 I/O アドレスマップ (RH850/F1KM-S4)

アドレス	周辺グループ	周辺 I/O
FFCE 0180_H～FFCE $1FFF_H$	—	アクセス禁止領域
FFCE 2000_H～FFCE $203F_H$	1	RLN30
FFCE 2040_H～FFCE $207F_H$	1	RLN31
FFCE 2080_H～FFCE $20BF_H$	1	RLN32
FFCE $20C0_H$～FFCE $20FF_H$	1	RLN33
FFCE 2100_H～FFCE $213F_H$	1	RLN34
FFCE 2140_H～FFCE $217F_H$	1	RLN35
FFCE 2180_H～FFCE $21BF_H$	1	RLN36
FFCE $21C0_H$～FFCE $21FF_H$	1	RLN37
FFCE 2200_H～FFCE $FFFF_H$	—	アクセス禁止領域
FFCF 0000_H～FFCF $007F_H$	1	RSENT0
FFCF 0080_H～FFCF $00FF_H$	—	アクセス禁止領域
FFCF 0100_H～FFCF $017F_H$	1	RSENT1
FFCF 0180_H～FFCF $FFFF_H$	—	アクセス禁止領域
FFD0 0000_H～FFD1 $FFFF_H$	5	RCFDC0
FFD2 0000_H～FFD6 $CFFF_H$	—	アクセス禁止領域
FFD6 $D000_H$～FFD6 $D7FF_H$	3	ADCA1
FFD6 $D800_H$～FFD6 $DFFF_H$	—	アクセス禁止領域
FFD6 $E000_H$～FFD6 $E7FF_H$	3	ETNB0
FFD6 $E800_H$～FFD6 $FFFF_H$	—	アクセス禁止領域
FFD7 0000_H～FFD7 $003F_H$	3	OSTM0
FFD7 0040_H～FFD7 $00FF_H$	—	アクセス禁止領域
FFD7 0100_H～FFD7 $013F_H$	3	OSTM1
FFD7 0140_H～FFD7 $01FF_H$	—	アクセス禁止領域
FFD7 0200_H～FFD7 $023F_H$	3	OSTM2
FFD7 0240_H～FFD7 $02FF_H$	—	アクセス禁止領域
FFD7 0300_H～FFD7 $033F_H$	3	OSTM3
FFD7 0340_H～FFD7 $03FF_H$	—	アクセス禁止領域
FFD7 0400_H～FFD7 $043F_H$	3	OSTM4
FFD7 0440_H～FFD7 $FFFF_H$	—	アクセス禁止領域
FFD8 0000_H～FFD8 $001F_H$	3	CSIH0（CSIH0CTL0-2, CSIH0STR0, CSIH0STCR0, CSIH0EMU）
FFD8 0020_H～FFD8 $0FFF_H$	—	アクセス禁止領域
FFD8 1000_H～FFD8 $107F_H$	3	CSIH0（上記以外の CSIH0 レジスタ）
FFD8 1080_H～FFD8 $1FFF_H$	—	アクセス禁止領域
FFD8 2000_H～FFD8 $201F_H$	3	CSIH1（CSIH1CTL0-2, CSIH1STR0, CSIH1STCR0, CSIH1EMU）
FFD8 2020_H～FFD8 $2FFF_H$	—	アクセス禁止領域
FFD8 3000_H～FFD8 $307F_H$	3	CSIH1（上記以外の CSIH1 レジスタ）
FFD8 3080_H～FFD8 $3FFF_H$	—	アクセス禁止領域
FFD8 4000_H～FFD8 $401F_H$	3	CSIH2（CSIH2CTL0-2, CSIH2STR0, CSIH2STCR0, CSIH2EMU）
FFD8 4020_H～FFD8 $4FFF_H$	—	アクセス禁止領域
FFD8 5000_H～FFD8 $507F_H$	3	CSIH2（上記以外の CSIH2 レジスタ）
FFD8 5080_H～FFD8 $5FFF_H$	—	アクセス禁止領域
FFD8 6000_H～FFD8 $601F_H$	3	CSIH3（CSIH3CTL0-2, CSIH3STR0, CSIH3STCR0, CSIH3EMU）
FFD8 6020_H～FFD8 $6FFF_H$	—	アクセス禁止領域
FFD8 7000_H～FFD8 $707F_H$	3	CSIH3（上記以外の CSIH3 レジスタ）

表 4B.11　　周辺 I/O アドレスマップ (RH850/F1KM-S4)

アドレス	周辺グループ	周辺 I/O
FFD8 7080$_H$～FFD8 7FFF$_H$	—	アクセス禁止領域
FFD8 8000$_H$～FFD8 801F$_H$	3	CSIG0（CSIG0CTL0-2, CSIG0STR0, CSIG0STCR0, CSIG0EMU）
FFD8 8020$_H$～FFD8 8FFF$_H$	—	アクセス禁止領域
FFD8 9000$_H$～FFD8 901F$_H$	3	CSIG0（上記以外の CSIG0 レジスタ）
FFD8 9020$_H$～FFD8 9FFF$_H$	—	アクセス禁止領域
FFD8 A000$_H$～FFD8 A01F$_H$	3	CSIG1（CSIG1CTL0-2, CSIG1STR0, CSIG1STCR0, CSIG1EMU）
FFD8 A020$_H$～FFD8 AFFF$_H$	—	アクセス禁止領域
FFD8 B000$_H$～FFD8 B01F$_H$	3	CSIG1（上記以外の CSIG1 レジスタ）
FFD8 B020$_H$～FFD8 BFFF$_H$	—	アクセス禁止領域
FFD8 C000$_H$～FFD8 C01F$_H$	3	CSIG2（CSIG2CTL0-2, CSIG2STR0, CSIG2STCR0, CSIG2EMU）
FFD8 C020$_H$～FFD8 CFFF$_H$	—	アクセス禁止領域
FFD8 D000$_H$～FFD8 D01F$_H$	3	CSIG2（上記以外の CSIG2 レジスタ）
FFD8 D020$_H$～FFD8 DFFF$_H$	—	アクセス禁止領域
FFD8 E000$_H$～FFD8 E01F$_H$	3	CSIG3（CSIG3CTL0-2, CSIG3STR0, CSIG3STCR0, CSIG3EMU）
FFD8 E020$_H$～FFD8 EFFF$_H$	—	アクセス禁止領域
FFD8 F000$_H$～FFD8 F01F$_H$	3	CSIG3（上記以外の CSIG3 レジスタ）
FFD8 F020$_H$～FFDC FFFF$_H$	—	アクセス禁止領域
FFDD 0000$_H$～FFDD 00FF$_H$	2	PIC0
FFDD 0100$_H$～FFDD CFFF$_H$	—	アクセス禁止領域
FFDD D000$_H$～FFDD D04F$_H$	2	P-Bus ガード（PBG20）
FFDD D050$_H$～FFDD D0FF$_H$	—	アクセス禁止領域
FFDD D100$_H$～FFDD D14F$_H$	2	P-Bus ガード（PBG21）
FFDD D150$_H$～FFE1 FFFF$_H$	—	アクセス禁止領域
FFE2 0000$_H$～FFE2 03FF$_H$	2	TAUD0
FFE2 0400$_H$～FFE2 3FFF$_H$	—	アクセス禁止領域
FFE2 4000$_H$～FFE2 4003$_H$	2	SELB_TAUD0（SL_TAUD0）
FFE2 4004$_H$～FFE2 FFFF$_H$	—	アクセス禁止領域
FFE3 0000$_H$～FFE3 03FF$_H$	2	TAUB0
FFE3 0400$_H$～FFE3 0FFF$_H$	—	アクセス禁止領域
FFE3 1000$_H$～FFE3 13FF$_H$	2	TAUB1
FFE3 1400$_H$～FFE3 1FFF$_H$	—	アクセス禁止領域
FFE3 2000$_H$～FFE3 2003$_H$	2	SELB_TAUB0（SL_TAUB0）
FFE3 2004$_H$～FFE3 2FFF$_H$	—	アクセス禁止領域
FFE3 3000$_H$～FFE3 3003$_H$	2	SELB_TAUB1（SL_TAUB1）
FFE3 3004$_H$～FFE4 FFFF$_H$	—	アクセス禁止領域
FFE5 0000$_H$～FFE5 00FF$_H$	2	TAUJ0
FFE5 0100$_H$～FFE5 01FF$_H$	2	TAUJ2
FFE5 0200$_H$～FFE5 0FFF$_H$	—	アクセス禁止領域
FFE5 1000$_H$～FFE5 10FF$_H$	2	TAUJ1
FFE5 1100$_H$～FFE5 11FF$_H$	2	TAUJ3
FFE5 1200$_H$～FFE5 3FFF$_H$	—	アクセス禁止領域
FFE5 4000$_H$～FFE5 4003$_H$	2	SELB_TAUJ0（SL_TAUJ0）
FFE5 4004$_H$～FFE5 4007$_H$	2	SELB_TAUJ2（SL_TAUJ2）
FFE5 4008$_H$～FFE6 FFFF$_H$	—	アクセス禁止領域
FFE7 0000$_H$～FFE7 03FF$_H$	2	PWSA0

表 4B.11　　周辺 I/O アドレスマップ (RH850/F1KM-S4)

アドレス	周辺グループ	周辺 I/O
FFE7 0400_H～FFE7 $0FFF_H$	—	アクセス禁止領域
FFE7 1000_H～FFE7 $27FF_H$	2	PWGAn
FFE7 2800_H～FFE7 $281F_H$	2	PWBA0
FFE7 2820_H～FFE7 $2FFF_H$	—	アクセス禁止領域
FFE7 3000_H～FFE7 $301F_H$	2	SLPWG
FFE7 3020_H～FFE7 $30FF_H$	—	アクセス禁止領域
FFE7 3100_H～FFE7 $315F_H$	2	PWGA_INTF
FFE7 3160_H～FFE7 $7FFF_H$	—	アクセス禁止領域
FFE7 8000_H～FFE7 $807F_H$	2	RTCA0
FFE7 8080_H～FFE7 $FFFF_H$	—	アクセス禁止領域
FFE8 0000_H～FFE8 $007F_H$	2	ENCA0
FFE8 0080_H～FFE8 $FFFF_H$	—	アクセス禁止領域
FFE9 0000_H～FFE9 $003F_H$	2	TAPA0
FFE9 0040_H～FFEC $FFFF_H$	—	アクセス禁止領域
FFED 0000_H～FFED $000F_H$	2	WDTA0
FFED 0010_H～FFED $0FFF_H$	—	アクセス禁止領域
FFED 1000_H～FFED $100F_H$	2	WDTA1
FFED 1010_H～FFF1 $FFFF_H$	—	アクセス禁止領域
FFF2 0000_H～FFF2 $07FF_H$	1	ADCA0
FFF2 0800_H～FFF6 $FFFF_H$	—	アクセス禁止領域
FFF7 0000_H～FFF7 $003F_H$	1	DCRA0
FFF7 0040_H～FFF7 $0FFF_H$	—	アクセス禁止領域
FFF7 1000_H～FFF7 $103F_H$	1	DCRA1
FFF7 1040_H～FFF7 $1FFF_H$	—	アクセス禁止領域
FFF7 2000_H～FFF7 $203F_H$	1	DCRA2
FFF7 2040_H～FFF7 $2FFF_H$	—	アクセス禁止領域
FFF7 3000_H～FFF7 $303F_H$	1	DCRA3
FFF7 3040_H～FFF7 $7FFF_H$	—	アクセス禁止領域
FFF7 8000_H～FFF7 8003_H	1	KR0
FFF7 8004_H～FFF7 $FFFF_H$	—	アクセス禁止領域
FFF8 0000_H～FFF8 $000F_H$	1	書き込み保護レジスタ（WPROTR）
FFF8 0010_H～FFF8 $00FF_H$	—	アクセス禁止領域
FFF8 0100_H～FFF8 $011F_H$	1	STBC0
FFF8 0120_H～FFF8 $03FF_H$	—	アクセス禁止領域
FFF8 0400_H～FFF8 $040F_H$	1	STBC_WUF0
FFF8 0410_H～FFF8 $041F_H$	1	STBC_WUF1
FFF8 0420_H～FFF8 $051F_H$	—	アクセス禁止領域
FFF8 0520_H～FFF8 $052F_H$	1	STBC_WUF20
FFF8 0530_H～FFF8 $075F_H$	—	アクセス禁止領域
FFF8 0760_H～FFF8 $0AFF_H$	1	リセットコントローラ／電源電圧モニタ（LVI, VLVI）
FFF8 $0B00_H$～FFF8 $0FFF_H$	1	STBC_IOHOLD
FFF8 1000_H～FFF8 $2FFF_H$	1	クロックコントローラ（CLKCTL）
FFF8 3000_H～FFF8 $307F_H$	1	LPS0
FFF8 3080_H～FFF8 $30FF_H$	—	アクセス禁止領域
FFF8 3100_H～FFF8 3207_H	1	CVM（SVM）

表 4B.11　　周辺 I/O アドレスマップ (RH850/F1KM-S4)

アドレス	周辺グループ	周辺 I/O
FFF8 3208$_H$～FFF8 3603$_H$	—	アクセス禁止領域
FFF8 3604$_H$～FFF8 7FFF$_H$	—	アクセス禁止領域
FFF8 8000$_H$～FFF8 800F$_H$	1	書き込み保護レジスタ（WPROTR）
FFF8 8010$_H$～FFF8 810F$_H$	—	アクセス禁止領域
FFF8 8110$_H$～FFF8 811F$_H$	1	STBC_WUFISO
FFF8 8120$_H$～FFF8 BFFF$_H$	1	クロックコントローラ（CLKCTL）
FFF8 C000$_H$～FFF8 CFFF$_H$	1	CLMA0, CLMA
FFF8 D000$_H$～FFF8 DFFF$_H$	1	CLMA1
FFF8 E000$_H$～FFF8 EFFF$_H$	1	CLMA2
FFF8 F000$_H$～FFF8 FFFF$_H$	1	CLMA3
FFF9 0000$_H$～FFF9 004F$_H$	1	P-Bus ガード（PBG50）
FFF9 0050$_H$～FFF9 3FFF$_H$	—	アクセス禁止領域
FFF9 4000$_H$～FFF9 404F$_H$	3	P-Bus ガード（PBG30）
FFF9 4050$_H$～FFF9 40FF$_H$	—	アクセス禁止領域
FFF9 4100$_H$～FFF9 414F$_H$	3	P-Bus ガード（PBG31）
FFF9 4150$_H$～FFF9 41FF$_H$	—	アクセス禁止領域
FFF9 4200$_H$～FFF9 424F$_H$	3	P-Bus ガード（PBG32）
FFF9 4250$_H$～FFF9 BFFF$_H$	—	アクセス禁止領域
FFF9 C000$_H$～FFF9 C04F$_H$	3	H-Bus ガード（HBG00）
FFF9 C050$_H$～FFF9 C0FF$_H$	—	アクセス禁止領域
FFF9 C100$_H$～FFF9 C14F$_H$	3	H-Bus ガード（HBG01）
FFF9 C150$_H$～FFF9 C1FF$_H$	—	アクセス禁止領域
FFF9 C200$_H$～FFF9 C24F$_H$	3	H-Bus ガード（HBG02）
FFF9 C250$_H$～FFFE DFFF$_H$	—	アクセス禁止領域
FFFE E000$_H$～FFFE E03F$_H$	CPU ローカル周辺	IPG
FFFE E040$_H$～FFFE E5FF$_H$		アクセス禁止領域
FFFE E600$_H$～FFFE E6FF$_H$		PEG
FFFE E700$_H$～FFFE E97F$_H$		アクセス禁止領域
FFFE E980$_H$～FFFE E98F$_H$		SEG
FFFE E990$_H$～FFFE E9FF$_H$		アクセス禁止領域
FFFE EA00$_H$～FFFE EBFF$_H$		INTC1
FFFE EC00$_H$～FFFF 4FFF$_H$		アクセス禁止領域
FFFF 5000$_H$～FFFF 7FFF$_H$	—	アクセス禁止領域
FFFF 8000$_H$～FFFF 8FFF$_H$	2	PDMA0
FFFF 9000$_H$～FFFF AFFF$_H$	—	アクセス禁止領域
FFFF B000$_H$～FFFF BFFF$_H$	2	INTC2
FFFF C000$_H$～FFFF FFFF$_H$	—	アクセス禁止領域

表 4B.12 周辺 I/O アドレスマップ (RH850/F1KM-S2)

アドレス	周辺グループ	周辺 I/O
FF00 0000_H～FF1F $FFFF_H$	—	アクセス禁止領域
FF20 0000_H～FF21 $FFFF_H$	4	データフラッシュ
FF22 0000_H～FF9F $FFFF_H$	—	アクセス禁止領域
FFA0 0000_H～FFA0 $001F_H$	1	FLMD
FFA0 0020_H～FFA0 $0FFF_H$	—	アクセス禁止領域
FFA0 1000_H～FFA0 $103F_H$	—	アクセス禁止領域
FFA0 1040_H～FFA0 $1FFF_H$	—	アクセス禁止領域
FFA0 2000_H～FFA0 $201F_H$	—	アクセス禁止領域
FFA0 2020_H～FFA0 $FFFF_H$	—	アクセス禁止領域
FFA1 0000_H～FFA1 $1FFF_H$	1	フラッシュコントローラ
FFA1 2000_H～FFA1 $FFFF_H$	—	アクセス禁止領域
FFA2 0000_H～FFA2 $FFFF_H$	1	FACI 命令発行領域
FFA3 0000_H～FFBF $FFFF_H$	—	アクセス禁止領域
FFC0 0000_H～FFC0 $000F_H$	1	FENMI（ECON_NMI）
FFC0 0010_H～FFC0 $00FF_H$	—	アクセス禁止領域
FFC0 0100_H～FFC0 $010F_H$	1	FEINT（ECON_FEINT）
FFC0 0110_H～FFC0 $0FFF_H$	—	アクセス禁止領域
FFC0 1000_H～FFC0 1003_H	1	SELB_INTC（SL_INTC）
FFC0 1004_H～FFC0 $1FFF_H$	—	アクセス禁止領域
FFC0 2000_H～FFC0 $200F_H$	1	SELB_DMAC（SL_DMAC）
FFC0 2010_H～FFC0 $2FFF_H$	—	アクセス禁止領域
FFC0 3000_H～FFC0 $300F_H$	1	GRZF
FFC0 3010_H～FFC0 $FFFF_H$	—	アクセス禁止領域
FFC1 0000_H～FFC1 $4CCF_H$	1	PORT
FFC1 $4CD0_H$～FFC1 $FFFF_H$	—	アクセス禁止領域
FFC2 0000_H～FFC2 $04CF_H$	1	PORT（JTAG）
FFC2 $04D0_H$～FFC2 $FFFF_H$	—	アクセス禁止領域
FFC3 0000_H～FFC3 $000F_H$	1	DNFA_TAUD0（DNF）
FFC3 0010_H～FFC3 $001F_H$	—	アクセス禁止領域
FFC3 0020_H～FFC3 $002F_H$	1	DNFA_TAUB0（DNF）
FFC3 0030_H～FFC3 $003F_H$	—	アクセス禁止領域
FFC3 0040_H～FFC3 $004F_H$	1	DNFA_TAUB1（DNF）
FFC3 0050_H～FFC3 $005F_H$	—	アクセス禁止領域
FFC3 0060_H～FFC3 $006F_H$	1	DNFA_ENCA0（DNF）
FFC3 0070_H～FFC3 $009F_H$	—	アクセス禁止領域
FFC3 $00A0_H$～FFC3 $00AF_H$	1	DNFA_ADCA0（DNF）
FFC3 $00B0_H$～FFC3 $00BF_H$	—	アクセス禁止領域
FFC3 $00C0_H$～FFC3 $00CF_H$	1	DNFA_ADCA1（DNF）
FFC3 $00D0_H$～FFC3 $00DF_H$	—	アクセス禁止領域

表 4B.12　　周辺 I/O アドレスマップ (RH850/F1KM-S2)

アドレス	周辺グループ	周辺 I/O
FFC3 00E0$_H$～FFC3 00EF$_H$	1	DNFA_SENT（DNF）
FFC3 00F0$_H$～FFC3 00FF$_H$	—	アクセス禁止領域
FFC3 0100$_H$～FFC3 010F$_H$	—	アクセス禁止領域
FFC3 0110$_H$～FFC3 3FFF$_H$	—	アクセス禁止領域
FFC3 4000$_H$～FFC3 401F$_H$	1	FCLA_NMI（FCLA0）
FFC3 4020$_H$～FFC3 403F$_H$	1	FCLA_INTPL（FCLA0）
FFC3 4040$_H$～FFC3 405F$_H$	1	FCLA_INTPH（FCLA0）
FFC3 4060$_H$～FFC3 407F$_H$	1	FCLA_ADCA0（FCLA0）
FFC3 4080$_H$～FFC3 409F$_H$	1	FCLA_ADCA1（FCLA0）
FFC3 40A0$_H$～FFC3 40BF$_H$	1	FCLA_INTPU（FCLA0）
FFC3 40C0$_H$～FFC3 FFFF$_H$	—	アクセス禁止領域
FFC4 0000$_H$～FFC4 004F$_H$	1	P-Bus ガード（PBG10）
FFC4 0050$_H$～FFC4 00FF$_H$	—	アクセス禁止領域
FFC4 0100$_H$～FFC4 014F$_H$	1	P-Bus ガード（PBG11）
FFC4 0150$_H$～FFC4 03FF$_H$	—	アクセス禁止領域
FFC4 0400$_H$～FFC4 044F$_H$	1	P-Bus ガード（PBG12）
FFC4 0450$_H$～FFC4 04FF$_H$	—	アクセス禁止領域
FFC4 0500$_H$～FFC4 054F$_H$	1	P-Bus ガード（PBG13）
FFC4 0550$_H$～FFC4 8FFF$_H$	—	アクセス禁止領域
FFC4 9000$_H$～FFC4 907F$_H$	2	グローバル RAM ガードバンク A（MGDGR）
FFC4 9080$_H$～FFC4 91FF$_H$	—	アクセス禁止領域
FFC4 9200$_H$～FFC4 927F$_H$	2	グローバル RAM ガードバンク B（MGDGR）
FFC4 9280$_H$～FFC4 BFFF$_H$	—	アクセス禁止領域
FFC4 C000$_H$～FFC4 C00F$_H$	2	P-Bus ガード（PBGC0）
FFC4 C010$_H$～FFC4 C10F$_H$	—	アクセス禁止領域
FFC4 C110$_H$～FFC4 C13F$_H$	2	P-Bus ガード（PBGC1）
FFC4 C140$_H$～FFC4 C7FF$_H$	—	アクセス禁止領域
FFC4 C800$_H$～FFC4 C80F$_H$	2	ERRSLV（PBGC0）
FFC4 C810$_H$～FFC4 C8FF$_H$	—	アクセス禁止領域
FFC4 C900$_H$～FFC4 C90F$_H$	2	ERRSLV（PBGC1）
FFC4 C910$_H$～FFC5 97FF$_H$	—	アクセス禁止領域
FFC5 9800$_H$～FFC5 981F$_H$	4	EEPRDCYCL（DCIB）
FFC5 9820$_H$～FFC5 9BFF$_H$	—	アクセス禁止領域
FFC5 9C00$_H$～FFC5 9C4F$_H$	4	P-Bus ガード（PBG40）
FFC5 9C50$_H$～FFC5 AFFF$_H$	—	アクセス禁止領域
FFC5 B000$_H$～FFC5 B003$_H$	2	FBUFCCTL（FBUF_CTRL）
FFC5 B004$_H$～FFC6 21FF$_H$	—	アクセス禁止領域
FFC6 2200$_H$～FFC6 23FF$_H$	2	コードフラッシュ ECC（CFECC_VCI）
FFC6 2400$_H$～FFC6 25FF$_H$	2	コードフラッシュ ECC（CFECC_CPU1）
FFC6 2600$_H$～FFC6 29FF$_H$	—	アクセス禁止領域
FFC6 2A00$_H$～FFC6 2A3F$_H$	4	データフラッシュ ECC（DFECC）

表 4B.12　周辺 I/O アドレスマップ (RH850/F1KM-S2)

アドレス	周辺グループ	周辺 I/O
FFC6 2A40H～FFC6 3FFFH	—	アクセス禁止領域
FFC6 4000H～FFC6 403FH	2	グローバル RAM ECC バンク A（GRECC）
FFC6 4040H～FFC6 41FFH	—	アクセス禁止領域
FFC6 4200H～FFC6 423FH	2	グローバル RAM ECC バンク B（GRECC）
FFC6 4240H～FFC6 4FFFH	—	アクセス禁止領域
FFC6 5000H～FFC6 501FH	2	ローカル RAM ECC テスト PE1（LRTST）
FFC6 5020H～FFC6 53FFH	—	アクセス禁止領域
FFC6 5400H～FFC6 547FH	2	ローカル RAM ECC PE1（LRECC）
FFC6 5480H～FFC7 00FFH	—	アクセス禁止領域
FFC7 0100H～FFC7 011FH	3	ECCCSIH0
FFC7 0120H～FFC7 01FFH	—	アクセス禁止領域
FFC7 0200H～FFC7 021FH	3	ECCCSIH1
FFC7 0220H～FFC7 02FFH	—	アクセス禁止領域
FFC7 0300H～FFC7 031FH	3	ECCCSIH2
FFC7 0320H～FFC7 03FFH	—	アクセス禁止領域
FFC7 0400H～FFC7 041FH	3	ECCCSIH3
FFC7 0420H～FFC7 12FFH	—	アクセス禁止領域
FFC7 1300H～FFC7 131FH	5	ECCCFD0MB
FFC7 1320H～FFC7 13FFH	—	アクセス禁止領域
FFC7 1400H～FFC7 141FH	5	ECCCFD0AFL0
FFC7 1420H～FFC7 14FFH	—	アクセス禁止領域
FFC7 1500H～FFC7 151FH	5	ECCCFD0AFL1
FFC7 1520H～FFC7 17FFH	—	アクセス禁止領域
FFC7 1800H～FFC7 184FH	5	P-Bus ガード（PBG60）
FFC7 1850H～FFC7 30FFH	—	アクセス禁止領域
FFC7 3100H～FFC7 311FH	—	アクセス禁止領域
FFC7 3120H～FFC7 31FFH	—	アクセス禁止領域
FFC7 3200H～FFC7 321FH	—	アクセス禁止領域
FFC7 3220H～FFC7 32FFH	—	アクセス禁止領域
FFC7 3300H～FFC7 331FH	—	アクセス禁止領域
FFC7 3320H～FFC7 40FFH	—	アクセス禁止領域
FFC7 4100H～FFC7 411FH	—	アクセス禁止領域
FFC7 4120H～FFC7 41FFH	—	アクセス禁止領域
FFC7 4200H～FFC7 421FH	—	アクセス禁止領域
FFC7 4220H～FFC7 7FFFH	—	アクセス禁止領域
FFC7 8000H～FFC7 8003H	1	SELB リードテスト（SL_READTEST）
FFC7 8004H～FFC9 FFFFH	—	アクセス禁止領域
FFCA 0000H～FFCA 007FH	1	RIIC0
FFCA 0080H～FFCA 00FFH	1	RIIC1
FFCA 0100H～FFCC FFFFH	—	アクセス禁止領域
FFCD 0000H～FFCD 01FFH	1	PRDNAME/CHIPID（SCDS）
FFCD 0200H～FFCD FFFFH	—	アクセス禁止領域
FFCE 0000H～FFCE 007FH	1	RLN240
FFCE 0080H～FFCE 00FFH	1	RLN241
FFCE 0100H～FFCE 013FH	1	RLN242

表 4B.12　周辺 I/O アドレスマップ (RH850/F1KM-S2)

アドレス	周辺グループ	周辺 I/O
FFCE 0140H～FFCE 1FFFH	—	アクセス禁止領域
FFCE 2000H～FFCE 203FH	1	RLN30
FFCE 2040H～FFCE 207FH	1	RLN31
FFCE 2080H～FFCE 20BFH	1	RLN32
FFCE 20C0H～FFCE 20FFH	1	RLN33
FFCE 2100H～FFCE 213FH	1	RLN34
FFCE 2140H～FFCE 217FH	1	RLN35
FFCE 2180H～FFCE 21BFH	1	RLN36
FFCE 21C0H～FFCE 21FFH	1	RLN37
FFCE 2200H～FFCE FFFFH	—	アクセス禁止領域
FFCF 0000H～FFCF 007FH	1	RSENT0
FFCF 0080H～FFCF 00FFH	—	アクセス禁止領域
FFCF 0100H～FFCF 017FH	1	RSENT1
FFCF 0180H～FFCF FFFFH	—	アクセス禁止領域
FFD0 0000H～FFD1 FFFFH	5	RCFDC0
FFD2 0000H～FFD6 CFFFH	—	アクセス禁止領域
FFD6 D000H～FFD6 D7FFH	3	ADCA1
FFD6 D800H～FFD6 DFFFH	—	アクセス禁止領域
FFD6 E000H～FFD6 E7FFH	—	アクセス禁止領域
FFD6 E800H～FFD6 FFFFH	—	アクセス禁止領域
FFD7 0000H～FFD7 003FH	3	OSTM0
FFD7 0040H～FFD7 00FFH	—	アクセス禁止領域
FFD7 0100H～FFD7 013FH	3	OSTM1
FFD7 0140H～FFD7 01FFH	—	アクセス禁止領域
FFD7 0200H～FFD7 023FH	3	OSTM2
FFD7 0240H～FFD7 02FFH	—	アクセス禁止領域
FFD7 0300H～FFD7 033FH	3	OSTM3
FFD7 0340H～FFD7 03FFH	—	アクセス禁止領域
FFD7 0400H～FFD7 043FH	3	OSTM4
FFD7 0440H～FFD7 FFFFH	—	アクセス禁止領域
FFD8 0000H～FFD8 001FH	3	CSIH0（CSIH0CTL0-2, CSIH0STR0, CSIH0STCR0, CSIH0EMU）
FFD8 0020H～FFD8 0FFFH	—	アクセス禁止領域
FFD8 1000H～FFD8 107FH	3	CSIH0（上記以外の CSIH0 レジスタ）
FFD8 1080H～FFD8 1FFFH	—	アクセス禁止領域
FFD8 2000H～FFD8 201FH	3	CSIH1（CSIH1CTL0-2, CSIH1STR0, CSIH1STCR0, CSIH1EMU）
FFD8 2020H～FFD8 2FFFH	—	アクセス禁止領域
FFD8 3000H～FFD8 307FH	3	CSIH1（上記以外の CSIH1 レジスタ）
FFD8 3080H～FFD8 3FFFH	—	アクセス禁止領域
FFD8 4000H～FFD8 401FH	3	CSIH2（CSIH2CTL0-2, CSIH2STR0, CSIH2STCR0, CSIH2EMU）
FFD8 4020H～FFD8 4FFFH	—	アクセス禁止領域
FFD8 5000H～FFD8 507FH	3	CSIH2（上記以外の CSIH2 レジスタ）
FFD8 5080H～FFD8 5FFFH	—	アクセス禁止領域
FFD8 6000H～FFD8 601FH	3	CSIH3（CSIH3CTL0-2, CSIH3STR0, CSIH3STCR0, CSIH3EMU）
FFD8 6020H～FFD8 6FFFH	—	アクセス禁止領域
FFD8 7000H～FFD8 707FH	3	CSIH3（上記以外の CSIH3 レジスタ）

表 4B.12　　周辺 I/O アドレスマップ (RH850/F1KM-S2)

アドレス	周辺グループ	周辺 I/O
FFD8 7080$_H$～FFD8 7FFF$_H$	—	アクセス禁止領域
FFD8 8000$_H$～FFD8 801F$_H$	3	CSIG0（CSIG0CTL0-2, CSIG0STR0, CSIG0STCR0, CSIG0EMU）
FFD8 8020$_H$～FFD8 8FFF$_H$	—	アクセス禁止領域
FFD8 9000$_H$～FFD8 901F$_H$	3	CSIG0（上記以外の CSIG0 レジスタ）
FFD8 9020$_H$～FFD8 9FFF$_H$	—	アクセス禁止領域
FFD8 A000$_H$～FFD8 A01F$_H$	3	CSIG1（CSIG1CTL0-2, CSIG1STR0, CSIG1STCR0, CSIG1EMU）
FFD8 A020$_H$～FFD8 AFFF$_H$	—	アクセス禁止領域
FFD8 B000$_H$～FFD8 B01F$_H$	3	CSIG1（上記以外の CSIG1 レジスタ）
FFD8 B020$_H$～FFD8 BFFF$_H$	—	アクセス禁止領域
FFD8 C000$_H$～FFD8 C01F$_H$	3	CSIG2（CSIG2CTL0-2, CSIG2STR0, CSIG2STCR0, CSIG2EMU）
FFD8 C020$_H$～FFD8 CFFF$_H$	—	アクセス禁止領域
FFD8 D000$_H$～FFD8 D01F$_H$	3	CSIG2（上記以外の CSIG2 レジスタ）
FFD8 D020$_H$～FFD8 DFFF$_H$	—	アクセス禁止領域
FFD8 E000$_H$～FFD8 E01F$_H$	3	CSIG3（CSIG3CTL0-2, CSIG3STR0, CSIG3STCR0, CSIG3EMU）
FFD8 E020$_H$～FFD8 EFFF$_H$	—	アクセス禁止領域
FFD8 F000$_H$～FFD8 F01F$_H$	3	CSIG3（上記以外の CSIG3 レジスタ）
FFD8 F020$_H$～FFDC FFFF$_H$	—	アクセス禁止領域
FFDD 0000$_H$～FFDD 00FF$_H$	2	PIC0
FFDD 0100$_H$～FFDD CFFF$_H$	—	アクセス禁止領域
FFDD D000$_H$～FFDD D04F$_H$	2	P-Bus ガード（PBG20）
FFDD D050$_H$～FFDD D0FF$_H$	—	アクセス禁止領域
FFDD D100$_H$～FFDD D14F$_H$	2	P-Bus ガード（PBG21）
FFDD D150$_H$～FFE1 FFFF$_H$	—	アクセス禁止領域
FFE2 0000$_H$～FFE2 03FF$_H$	2	TAUD0
FFE2 0400$_H$～FFE2 3FFF$_H$	—	アクセス禁止領域
FFE2 4000$_H$～FFE2 4003$_H$	2	SELB_TAUD0（SL_TAUD0）
FFE2 4004$_H$～FFE2 FFFF$_H$	—	アクセス禁止領域
FFE3 0000$_H$～FFE3 03FF$_H$	2	TAUB0
FFE3 0400$_H$～FFE3 0FFF$_H$	—	アクセス禁止領域
FFE3 1000$_H$～FFE3 13FF$_H$	2	TAUB1
FFE3 1400$_H$～FFE3 1FFF$_H$	—	アクセス禁止領域
FFE3 2000$_H$～FFE3 2003$_H$	2	SELB_TAUB0（SL_TAUB0）
FFE3 2004$_H$～FFE3 2FFF$_H$	—	アクセス禁止領域
FFE3 3000$_H$～FFE3 3003$_H$	2	SELB_TAUB1（SL_TAUB1）
FFE3 3004$_H$～FFE4 FFFF$_H$	—	アクセス禁止領域
FFE5 0000$_H$～FFE5 00FF$_H$	2	TAUJ0
FFE5 0100$_H$～FFE5 01FF$_H$	2	TAUJ2
FFE5 0200$_H$～FFE5 0FFF$_H$	—	アクセス禁止領域
FFE5 1000$_H$～FFE5 10FF$_H$	2	TAUJ1
FFE5 1100$_H$～FFE5 11FF$_H$	2	TAUJ3
FFE5 1200$_H$～FFE5 3FFF$_H$	—	アクセス禁止領域
FFE5 4000$_H$～FFE5 4003$_H$	2	SELB_TAUJ0（SL_TAUJ0）
FFE5 4004$_H$～FFE5 4007$_H$	2	SELB_TAUJ2（SL_TAUJ2）
FFE5 4008$_H$～FFE6 FFFF$_H$	—	アクセス禁止領域
FFE7 0000$_H$～FFE7 03FF$_H$	2	PWSA0

表 4B.12　　周辺 I/O アドレスマップ（RH850/F1KM-S2）

アドレス	周辺グループ	周辺 I/O
FFE7 0400$_H$～FFE7 0FFF$_H$	—	アクセス禁止領域
FFE7 1000$_H$～FFE7 21FF$_H$	2	PWGAn
FFE7 2200$_H$～FFE7 27FF$_H$	—	アクセス禁止領域
FFE7 2800$_H$～FFE7 281F$_H$	2	PWBA0
FFE7 2820$_H$～FFE7 2FFF$_H$	—	アクセス禁止領域
FFE7 3000$_H$～FFE7 301F$_H$	2	SLPWG
FFE7 3020$_H$～FFE7 30FF$_H$	—	アクセス禁止領域
FFE7 3100$_H$～FFE7 315F$_H$	2	PWGA_INTF
FFE7 3160$_H$～FFE7 7FFF$_H$	—	アクセス禁止領域
FFE7 8000$_H$～FFE7 807F$_H$	2	RTCA0
FFE7 8080$_H$～FFE7 FFFF$_H$	—	アクセス禁止領域
FFE8 0000$_H$～FFE8 007F$_H$	2	ENCA0
FFE8 0080$_H$～FFE8 FFFF$_H$	—	アクセス禁止領域
FFE9 0000$_H$～FFE9 003F$_H$	2	TAPA0
FFE9 0040$_H$～FFEC FFFF$_H$	—	アクセス禁止領域
FFED 0000$_H$～FFED 000F$_H$	2	WDTA0
FFED 0010$_H$～FFED 0FFF$_H$	—	アクセス禁止領域
FFED 1000$_H$～FFED 100F$_H$	2	WDTA1
FFED 1010$_H$～FFF1 FFFF$_H$	—	アクセス禁止領域
FFF2 0000$_H$～FFF2 07FF$_H$	1	ADCA0
FFF2 0800$_H$～FFF6 FFFF$_H$	—	アクセス禁止領域
FFF7 0000$_H$～FFF7 003F$_H$	1	DCRA0
FFF7 0040$_H$～FFF7 0FFF$_H$	—	アクセス禁止領域
FFF7 1000$_H$～FFF7 103F$_H$	1	DCRA1
FFF7 1040$_H$～FFF7 1FFF$_H$	—	アクセス禁止領域
FFF7 2000$_H$～FFF7 203F$_H$	1	DCRA2
FFF7 2040$_H$～FFF7 2FFF$_H$	—	アクセス禁止領域
FFF7 3000$_H$～FFF7 303F$_H$	1	DCRA3
FFF7 3040$_H$～FFF7 7FFF$_H$	—	アクセス禁止領域
FFF7 8000$_H$～FFF7 8003$_H$	1	KR0
FFF7 8004$_H$～FFF7 FFFF$_H$	—	アクセス禁止領域
FFF8 0000$_H$～FFF8 000F$_H$	1	書き込み保護レジスタ（WPROTR）
FFF8 0010$_H$～FFF8 00FF$_H$	—	アクセス禁止領域
FFF8 0100$_H$～FFF8 011F$_H$	1	STBC0
FFF8 0120$_H$～FFF8 03FF$_H$	—	アクセス禁止領域
FFF8 0400$_H$～FFF8 040F$_H$	1	STBC_WUF0
FFF8 0410$_H$～FFF8 041F$_H$	1	STBC_WUF1
FFF8 0420$_H$～FFF8 051F$_H$	—	アクセス禁止領域
FFF8 0520$_H$～FFF8 052F$_H$	1	STBC_WUF20
FFF8 0530$_H$～FFF8 075F$_H$	—	アクセス禁止領域
FFF8 0760$_H$～FFF8 0AFF$_H$	1	リセットコントローラ／電源電圧モニタ（LVI, VLVI）
FFF8 0B00$_H$～FFF8 0FFF$_H$	1	STBC_IOHOLD
FFF8 1000$_H$～FFF8 2FFF$_H$	1	クロックコントローラ（CLKCTL）
FFF8 3000$_H$～FFF8 307F$_H$	1	LPS0
FFF8 3080$_H$～FFF8 30FF$_H$	—	アクセス禁止領域

表 4B.12　　周辺 I/O アドレスマップ (RH850/F1KM-S2)

アドレス	周辺グループ	周辺 I/O
FFF8 3100H～FFF8 3207H	1	CVM（SVM）
FFF8 3208H～FFF8 3603H	—	アクセス禁止領域
FFF8 3604H～FFF8 7FFFH	—	アクセス禁止領域
FFF8 8000H～FFF8 800FH	1	書き込み保護レジスタ（WPROTR）
FFF8 8010H～FFF8 810FH	—	アクセス禁止領域
FFF8 8110H～FFF8 811FH	1	STBC_WUFISO
FFF8 8120H～FFF8 BFFFH	1	クロックコントローラ（CLKCTL）
FFF8 C000H～FFF8 CFFFH	1	CLMA0, CLMA
FFF8 D000H～FFF8 DFFFH	1	CLMA1
FFF8 E000H～FFF8 EFFFH	1	CLMA2
FFF8 F000H～FFF8 FFFFH	1	CLMA3
FFF9 0000H～FFF9 004FH	1	P-Bus ガード（PBG50）
FFF9 0050H～FFF9 3FFFH	—	アクセス禁止領域
FFF9 4000H～FFF9 404FH	3	P-Bus ガード（PBG30）
FFF9 4050H～FFF9 40FFH	—	アクセス禁止領域
FFF9 4100H～FFF9 414FH	3	P-Bus ガード（PBG31）
FFF9 4150H～FFF9 41FFH	—	アクセス禁止領域
FFF9 4200H～FFF9 424FH	3	P-Bus ガード（PBG32）
FFF9 4250H～FFF9 BFFFH	—	アクセス禁止領域
FFF9 C000H～FFF9 C04FH	—	アクセス禁止領域
FFF9 C050H～FFF9 C0FFH	—	アクセス禁止領域
FFF9 C100H～FFF9 C14FH	3	H-Bus ガード（HBG01）
FFF9 C150H～FFF9 C1FFH	—	アクセス禁止領域
FFF9 C200H～FFF9 C24FH	—	アクセス禁止領域
FFF9 C250H～FFFE DFFFH	—	アクセス禁止領域
FFFE E000H～FFFE E03FH	CPU ローカル周辺	IPG
FFFE E040H～FFFE E5FFH		アクセス禁止領域
FFFE E600H～FFFE E6FFH		PEG
FFFE E700H～FFFE E97FH		アクセス禁止領域
FFFE E980H～FFFE E98FH		SEG
FFFE E990H～FFFE E9FFH		アクセス禁止領域
FFFE EA00H～FFFE EBFFH		INTC1
FFFE EC00H～FFFF 4FFFH		アクセス禁止領域
FFFF 5000H～FFFF 7FFFH	—	アクセス禁止領域
FFFF 8000H～FFFF 8FFFH	2	PDMA0
FFFF 9000H～FFFF AFFFH	—	アクセス禁止領域
FFFF B000H～FFFF BFFFH	2	INTC2
FFFF C000H～FFFF FFFFH	—	アクセス禁止領域

第4C章　RH850/F1KM-S1 のアドレス空間

4C.1　アドレス空間

「**表 4C.1 アドレス空間（1MB 48/64/80/100-Pin 製品）**」～「**表 4C.3 アドレス空間（512KB 48/64/80/100-Pin 製品）**」に RH850/F1KM のアドレス空間を示します。

注　意

内蔵 I/O レジスタ空間において、レジスタがないアドレスにアクセスしないでください。また、「**表 4C.1 アドレス空間（1MB 48/64/80/100-Pin 製品）**」～「**表 4C.3 アドレス空間（512KB 48/64/80/100-Pin 製品）**」に示すアクセス禁止領域に対してもアクセスしないでください。アクセスした場合は、動作の保証はできません。

備　考

ローカル RAM は、アドレス空間において、以下の 2 つのアドレス領域でアクセス可能です。
CPU1 領域：CPU/DMA からアクセス可能なアドレス領域
セルフ領域：CPU 自身のリソースを参照するための、CPU からのみアクセス可能なミラーアドレス領域

表 4C.1　　アドレス空間（1MB 48/64/80/100-Pin 製品）

アドレス	アドレス空間の種類	サイズ
0000 0000$_H$～000F FFFF$_H$	コードフラッシュ	1MB
0010 0000$_H$～00FF FFFF$_H$	アクセス禁止領域	
0100 0000$_H$～0100 7FFF$_H$	コードフラッシュ（拡張ユーザ領域）	32KB
0100 8000$_H$～FEBD FFFF$_H$	アクセス禁止領域	
FEBE 0000$_H$～FEBF 7FFF$_H$	ローカル RAM（CPU1 領域）	96KB
FEBF 8000$_H$～FEBF FFFF$_H$	リテンション RAM（CPU1 領域）	32KB
FEC0 0000$_H$～FEDD FFFF$_H$	アクセス禁止領域	
FEDE 0000$_H$～FEDF 7FFF$_H$	ローカル RAM（セルフ領域）	96KB
FEDF 8000$_H$～FEDF FFFF$_H$	リテンション RAM（セルフ領域）	32KB
FEE0 0000$_H$～FF1F FFFF$_H$	アクセス禁止領域	
FF20 0000$_H$～FF20 FFFF$_H$	データフラッシュ	64KB
FF21 0000$_H$～FF9F FFFF$_H$	アクセス禁止領域	
FFA0 0000$_H$～FFFD FFFF$_H$	内蔵周辺 I/O 領域	6MB - 128KB
FFFE 0000$_H$～FFFE DFFF$_H$	アクセス禁止領域	
FFFE E000$_H$～FFFE FFFF$_H$	内蔵周辺 I/O 領域（セルフ領域）	8KB
FFFF 0000$_H$～FFFF 4FFF$_H$	アクセス禁止領域	
FFFF 5000$_H$～FFFF FFFF$_H$	内蔵周辺 I/O 領域	44KB

表 4C.2　アドレス空間（768KB 48/64/80/100-Pin 製品）

アドレス	アドレス空間の種類	サイズ
0000 0000$_H$～000B FFFF$_H$	コードフラッシュ	768KB
000C 0000$_H$～00FF FFFF$_H$	アクセス禁止領域	
0100 0000$_H$～0100 7FFF$_H$	コードフラッシュ（拡張ユーザ領域）	32KB
0100 8000$_H$～FEBE 7FFF$_H$	アクセス禁止領域	
FEBE 8000$_H$～FEBF 7FFF$_H$	ローカル RAM（CPU1 領域）	64KB
FEBF 8000$_H$～FEBF FFFF$_H$	リテンション RAM（CPU1 領域）	32KB
FEC0 0000$_H$～FEDE 7FFF$_H$	アクセス禁止領域	
FEDE 8000$_H$～FEDF 7FFF$_H$	ローカル RAM（セルフ領域）	64KB
FEDF 8000$_H$～FEDF FFFF$_H$	リテンション RAM（セルフ領域）	32KB
FEE0 0000$_H$～FF1F FFFF$_H$	アクセス禁止領域	
FF20 0000$_H$～FF20 FFFF$_H$	データフラッシュ	64KB
FF21 0000$_H$～FF9F FFFF$_H$	アクセス禁止領域	
FFA0 0000$_H$～FFFD FFFF$_H$	内蔵周辺 I/O 領域	6MB - 128KB
FFFE 0000$_H$～FFFE DFFF$_H$	アクセス禁止領域	
FFFE E000$_H$～FFFE FFFF$_H$	内蔵周辺 I/O 領域（セルフ領域）	8KB
FFFF 0000$_H$～FFFF 4FFF$_H$	アクセス禁止領域	
FFFF 5000$_H$～FFFF FFFF$_H$	内蔵周辺 I/O 領域	44KB

表 4C.3　アドレス空間（512KB 48/64/80/100-Pin 製品）

アドレス	アドレス空間の種類	サイズ
0000 0000$_H$～0007 FFFF$_H$	コードフラッシュ	512KB
0008 0000$_H$～00FF FFFF$_H$	アクセス禁止領域	
0100 0000$_H$～0100 7FFF$_H$	コードフラッシュ（拡張ユーザ領域）	32KB
0100 8000$_H$～FEBE FFFF$_H$	アクセス禁止領域	
FEBF 0000$_H$～FEBF 7FFF$_H$	ローカル RAM（CPU1 領域）	32KB
FEBF 8000$_H$～FEBF FFFF$_H$	リテンション RAM（CPU1 領域）	32KB
FEC0 0000$_H$～FEDE FFFF$_H$	アクセス禁止領域	
FEDF 0000$_H$～FEDF 7FFF$_H$	ローカル RAM（セルフ領域）	32KB
FEDF 8000$_H$～FEDF FFFF$_H$	リテンション RAM（セルフ領域）	32KB
FEE0 0000$_H$～FF1F FFFF$_H$	アクセス禁止領域	
FF20 0000$_H$～FF20 FFFF$_H$	データフラッシュ	64KB
FF21 0000$_H$～FF9F FFFF$_H$	アクセス禁止領域	
FFA0 0000$_H$～FFFD FFFF$_H$	内蔵周辺 I/O 領域	6MB - 128KB
FFFE 0000$_H$～FFFE DFFF$_H$	アクセス禁止領域	
FFFE E000$_H$～FFFE FFFF$_H$	内蔵周辺 I/O 領域（セルフ領域）	8KB
FFFF 0000$_H$～FFFF 4FFF$_H$	アクセス禁止領域	
FFFF 5000$_H$～FFFF FFFF$_H$	内蔵周辺 I/O 領域	44KB

4C.2　各バスマスタから見たアドレス空間

各バスマスタから見たアドレス空間を「**表 4C.4 各バスマスタから見たアドレス空間（1MB 品の場合）**」に示します。

4C.2.1　命令フェッチ可能空間

CPU は、コードフラッシュ、ローカル RAM、リテンション RAM から命令フェッチ可能です。

4C.2.2　CPU によるデータアクセス可能空間

CPU からアクセス可能な空間について、「**表 4C.4 各バスマスタから見たアドレス空間（1MB 品の場合）**」を参照してください。

4C.2.3　各バスマスタがアクセス可能なデータ空間

各バスマスタからアクセス可能な空間については、「**表 4C.4 各バスマスタから見たアドレス空間（1MB 品の場合）**」を参照してください。

表 4C.4　各バスマスタから見たアドレス空間（1MB 品の場合）

アドレス	アドレス空間の種類	CPU からのアクセス	DMA からのアクセス
0000 0000_H～000F $FFFF_H$	コードフラッシュ	○	○
0010 0000_H～00FF $FFFF_H$	アクセス禁止領域		
0100 0000_H～0100 $7FFF_H$	コードフラッシュ（拡張ユーザ領域）	○	○
0100 8000_H～FEBD $FFFF_H$	アクセス禁止領域		
FEBE 0000_H～FEBF $7FFF_H$	ローカル RAM（CPU1 領域）	○	○
FEBF 8000_H～FEBF $FFFF_H$	リテンション RAM（CPU1 領域）	○	○
FEC0 0000_H～FEDD $FFFF_H$	アクセス禁止領域		
FEDE 0000_H～FEDF $7FFF_H$	ローカル RAM（セルフ領域）	○	
FEDF 8000_H～FEDF $FFFF_H$	リテンション RAM（セルフ領域）	○	
FEE0 0000_H～FF1F $FFFF_H$	アクセス禁止領域		
FF20 0000_H～FF20 $FFFF_H$	データフラッシュ	○	○
FF21 0000_H～FF9F $FFFF_H$	アクセス禁止領域		
FFA0 0000_H～FFFD $FFFF_H$	内蔵周辺 I/O 領域	○	○
FFFE 0000_H～FFFE $DFFF_H$	アクセス禁止領域		
FFFE $E000_H$～FFFE $FFFF_H$	内蔵周辺 I/O 領域（セルフ領域）	○	
FFFF 0000_H～FFFF $4FFF_H$	アクセス禁止領域		
FFFF 5000_H～FFFF $FFFF_H$	内蔵周辺 I/O 領域	○	○

備考　上記マップ中の色は以下の区別を行っています。

フェッチおよびデータアクセス可能
データアクセス可能
アクセス禁止

4C.3　周辺 I/O アドレスマップ

「**表 4C.5 周辺 I/O アドレスマップ**」に周辺 I/O アドレスマップを示します。

表 4C.5　　周辺 I/O アドレスマップ

アドレス	周辺グループ	周辺 I/O
FF00 0000$_H$～FF1F FFFF$_H$	—	アクセス禁止領域
FF20 0000$_H$～FF20 FFFF$_H$	2	データフラッシュ
FF21 0000$_H$～FF9F FFFF$_H$	—	アクセス禁止領域
FFA0 0000$_H$～FFA0 001F$_H$	1	FLMD
FFA0 0020$_H$～FFA0 0FFF$_H$	—	アクセス禁止領域
FFA0 1000$_H$～FFA0 103F$_H$	—	アクセス禁止領域
FFA0 1040$_H$～FFA0 1FFF$_H$	—	アクセス禁止領域
FFA0 2000$_H$～FFA0 201F$_H$	—	アクセス禁止領域
FFA0 2020$_H$～FFA0 FFFF$_H$	—	アクセス禁止領域
FFA1 0000$_H$～FFA1 1FFF$_H$	1	フラッシュコントローラ
FFA1 2000$_H$～FFA1 FFFF$_H$	—	アクセス禁止領域
FFA2 0000$_H$～FFA2 FFFF$_H$	1	FACI 命令発行領域
FFA3 0000$_H$～FFBF FFFF$_H$	—	アクセス禁止領域
FFC0 0000$_H$～FFC0 000F$_H$	1	FENMI（ECON_NMI）
FFC0 0010$_H$～FFC0 00FF$_H$	—	アクセス禁止領域
FFC0 0100$_H$～FFC0 010F$_H$	1	FEINT（ECON_FEINT）
FFC0 0110$_H$～FFC0 0FFF$_H$	—	アクセス禁止領域
FFC0 1000$_H$～FFC0 1003$_H$	1	SELB_INTC（SL_INTC）
FFC0 1004$_H$～FFC0 1FFF$_H$	—	アクセス禁止領域
FFC0 2000$_H$～FFC0 2007$_H$	1	SELB_DMAC（SL_DMAC）
FFC0 2008$_H$～FFC0 FFFF$_H$	—	アクセス禁止領域
FFC1 0000$_H$～FFC1 4CCF$_H$	1	PORT
FFC1 4CD0$_H$～FFC1 FFFF$_H$	—	アクセス禁止領域
FFC2 0000$_H$～FFC2 04CF$_H$	1	PORT（JTAG）
FFC2 04D0$_H$～FFC2 FFFF$_H$	—	アクセス禁止領域
FFC3 0000$_H$～FFC3 000F$_H$	1	DNFA_TAUD0（DNF）
FFC3 0010$_H$～FFC3 001F$_H$	—	アクセス禁止領域
FFC3 0020$_H$～FFC3 002F$_H$	1	DNFA_TAUB0（DNF）
FFC3 0030$_H$～FFC3 003F$_H$	—	アクセス禁止領域
FFC3 0040$_H$～FFC3 004F$_H$	—	アクセス禁止領域
FFC3 0050$_H$～FFC3 005F$_H$	—	アクセス禁止領域
FFC3 0060$_H$～FFC3 006F$_H$	1	DNFA_ENCA0（DNF）
FFC3 0070$_H$～FFC3 009F$_H$	—	アクセス禁止領域
FFC3 00A0$_H$～FFC3 00AF$_H$	1	DNFA_ADCA0（DNF）
FFC3 00B0$_H$～FFC3 00BF$_H$	—	アクセス禁止領域
FFC3 00C0$_H$～FFC3 00CF$_H$	—	アクセス禁止領域
FFC3 00D0$_H$～FFC3 00DF$_H$	—	アクセス禁止領域
FFC3 00E0$_H$～FFC3 00EF$_H$	1	DNFA_SENT（DNF）
FFC3 00F0$_H$～FFC3 00FF$_H$	—	アクセス禁止領域
FFC3 0100$_H$～FFC3 010F$_H$	—	アクセス禁止領域
FFC3 0110$_H$～FFC3 3FFF$_H$	—	アクセス禁止領域
FFC3 4000$_H$～FFC3 401F$_H$	1	FCLA_NMI（FCLA0）

表 4C.5 周辺 I/O アドレスマップ

アドレス	周辺グループ	周辺 I/O
FFC3 4020$_H$～FFC3 403F$_H$	1	FCLA_INTPL（FCLA0）
FFC3 4040$_H$～FFC3 405F$_H$	1	FCLA_INTPH（FCLA0）
FFC3 4060$_H$～FFC3 407F$_H$	1	FCLA_ADCA0（FCLA0）
FFC3 4080$_H$～FFC3 FFFF$_H$	—	アクセス禁止領域
FFC4 0000$_H$～FFC4 004F$_H$	1	P-Bus ガード（PBG10）
FFC4 0050$_H$～FFC4 00FF$_H$	—	アクセス禁止領域
FFC4 0100$_H$～FFC4 014F$_H$	1	P-Bus ガード（PBG11）
FFC4 0150$_H$～FFC4 03FF$_H$	—	アクセス禁止領域
FFC4 0400$_H$～FFC4 044F$_H$	1	P-Bus ガード（PBG12）
FFC4 0450$_H$～FFC4 04FF$_H$	—	アクセス禁止領域
FFC4 0500$_H$～FFC4 054F$_H$	1	P-Bus ガード（PBG13）
FFC4 0550$_H$～FFC4 BFFF$_H$	—	アクセス禁止領域
FFC4 C000$_H$～FFC4 C00F$_H$	2	P-Bus ガード（PBGC0）
FFC4 C010$_H$～FFC4 C0FF$_H$	—	アクセス禁止領域
FFC4 C100$_H$～FFC4 C13F$_H$	2	P-Bus ガード（PBGC1）
FFC4 C140$_H$～FFC4 C7FF$_H$	—	アクセス禁止領域
FFC4 C800$_H$～FFC4 C80F$_H$	2	ERRSLV（PBGC0）
FFC4 C810$_H$～FFC4 C8FF$_H$	—	アクセス禁止領域
FFC4 C900$_H$～FFC4 C90F$_H$	2	ERRSLV（PBGC1）
FFC4 C910$_H$～FFC5 97FF$_H$	—	アクセス禁止領域
FFC5 9800$_H$～FFC5 981F$_H$	2	EEPRDCYCL（DCIB）
FFC5 9820$_H$～FFC5 AFFF$_H$	—	アクセス禁止領域
FFC5 B000$_H$～FFC5 B003$_H$	2	FBUFCCTL（FBUF_CTRL）
FFC5 B004$_H$～FFC6 21FF$_H$	—	アクセス禁止領域
FFC6 2200$_H$～FFC6 23FF$_H$	2	コードフラッシュ ECC（CFECC_VCI）
FFC6 2400$_H$～FFC6 25FF$_H$	2	コードフラッシュ ECC（CFECC_CPU1）
FFC6 2600$_H$～FFC6 29FF$_H$	—	アクセス禁止領域
FFC6 2A00$_H$～FFC6 2A3F$_H$	2	データフラッシュ ECC（DFECC）
FFC6 2A40$_H$～FFC6 4FFF$_H$	—	アクセス禁止領域
FFC6 5000$_H$～FFC6 501F$_H$	2	ローカル RAM ECC テスト PE1（LRTST）
FFC6 5020$_H$～FFC6 53FF$_H$	—	アクセス禁止領域
FFC6 5400$_H$～FFC6 547F$_H$	2	ローカル RAM ECC PE1（LRECC）
FFC6 5480$_H$～FFC7 00FF$_H$	—	アクセス禁止領域
FFC7 0100$_H$～FFC7 011F$_H$	3	ECCCSIH0
FFC7 0120$_H$～FFC7 01FF$_H$	—	アクセス禁止領域
FFC7 0200$_H$～FFC7 021F$_H$	3	ECCCSIH1
FFC7 0220$_H$～FFC7 02FF$_H$	—	アクセス禁止領域
FFC7 0300$_H$～FFC7 031F$_H$	3	ECCCSIH2
FFC7 0320$_H$～FFC7 03FF$_H$	—	アクセス禁止領域
FFC7 0400$_H$～FFC7 041F$_H$	3	ECCCSIH3
FFC7 0420$_H$～FFC7 12FF$_H$	—	アクセス禁止領域
FFC7 1300$_H$～FFC7 131F$_H$	3	ECCCFD0MB
FFC7 1320$_H$～FFC7 13FF$_H$	—	アクセス禁止領域
FFC7 1400$_H$～FFC7 141F$_H$	3	ECCCFD0AFL0
FFC7 1420$_H$～FFC7 14FF$_H$	—	アクセス禁止領域

表 4C.5　　周辺 I/O アドレスマップ

アドレス	周辺グループ	周辺 I/O
FFC7 1500$_H$～FFC7 151F$_H$	3	ECCCFD0AFL1
FFC7 1520$_H$～FFC7 7FFF$_H$	—	アクセス禁止領域
FFC7 8000$_H$～FFC7 8003$_H$	1	SELB リードテスト（SL_READTEST）
FFC7 8004$_H$～FFC9 FFFF$_H$	—	アクセス禁止領域
FFCA 0000$_H$～FFCA 007F$_H$	1	RIIC0
FFCA 0080$_H$～FFCA 00FF$_H$	1	RIIC1
FFCA 0100$_H$～FFCC FFFF$_H$	—	アクセス禁止領域
FFCD 0000$_H$～FFCD 01FF$_H$	1	PRDNAME/CHIPID（SCDS）
FFCD 0200$_H$～FFCD FFFF$_H$	—	アクセス禁止領域
FFCE 0000$_H$～FFCE 007F$_H$	1	RLN240
FFCE 0080$_H$～FFCE 1FFF$_H$	—	アクセス禁止領域
FFCE 2000$_H$～FFCE 203F$_H$	1	RLN30
FFCE 2040$_H$～FFCE 207F$_H$	1	RLN31
FFCE 2080$_H$～FFCE 20BF$_H$	1	RLN32
FFCE 20C0$_H$～FFCE 20FF$_H$	1	RLN33
FFCE 2100$_H$～FFCE FFFF$_H$	—	アクセス禁止領域
FFCF 0000$_H$～FFCF 007F$_H$	1	RSENT0
FFCF 0080$_H$～FFCF 00FF$_H$	—	アクセス禁止領域
FFCF 0100$_H$～FFCF 017F$_H$	1	RSENT1
FFCF 0180$_H$～FFCF FFFF$_H$	—	アクセス禁止領域
FFD0 0000$_H$～FFD1 FFFF$_H$	3	RCFDC0
FFD2 0000$_H$～FFD6 CFFF$_H$	—	アクセス禁止領域
FFD6 D000$_H$～FFD6 D7FF$_H$	—	アクセス禁止領域
FFD6 D800$_H$～FFD6 FFFF$_H$	—	アクセス禁止領域
FFD7 0000$_H$～FFD7 003F$_H$	3	OSTM0
FFD7 0040$_H$～FFD7 FFFF$_H$	—	アクセス禁止領域
FFD8 0000$_H$～FFD8 001F$_H$	3	CSIH0（CSIH0CTL0-2, CSIH0STR0, CSIH0STCR0, CSIH0EMU）
FFD8 0020$_H$～FFD8 0FFF$_H$	—	アクセス禁止領域
FFD8 1000$_H$～FFD8 107F$_H$	3	CSIH0（上記以外の CSIH0 レジスタ）
FFD8 1080$_H$～FFD8 1FFF$_H$	—	アクセス禁止領域
FFD8 2000$_H$～FFD8 201F$_H$	3	CSIH1（CSIH1CTL0-2, CSIH1STR0, CSIH1STCR0, CSIH1EMU）
FFD8 2020$_H$～FFD8 2FFF$_H$	—	アクセス禁止領域
FFD8 3000$_H$～FFD8 307F$_H$	3	CSIH1（上記以外の CSIH1 レジスタ）
FFD8 3080$_H$～FFD8 3FFF$_H$	—	アクセス禁止領域
FFD8 4000$_H$～FFD8 401F$_H$	3	CSIH2（CSIH2CTL0-2, CSIH2STR0, CSIH2STCR0, CSIH2EMU）
FFD8 4020$_H$～FFD8 4FFF$_H$	—	アクセス禁止領域
FFD8 5000$_H$～FFD8 507F$_H$	3	CSIH2（上記以外の CSIH2 レジスタ）
FFD8 5080$_H$～FFD8 5FFF$_H$	—	アクセス禁止領域
FFD8 6000$_H$～FFD8 601F$_H$	3	CSIH3（CSIH3CTL0-2, CSIH3STR0, CSIH3STCR0, CSIH3EMU）
FFD8 6020$_H$～FFD8 6FFF$_H$	—	アクセス禁止領域
FFD8 7000$_H$～FFD8 707F$_H$	3	CSIH3（上記以外の CSIH3 レジスタ）
FFD8 7080$_H$～FFD8 7FFF$_H$	—	アクセス禁止領域

表 4C.5　　周辺 I/O アドレスマップ

アドレス	周辺グループ	周辺 I/O
FFD8 8000$_H$～FFD8 801F$_H$	3	CSIG0（CSIG0CTL0-2, CSIG0STR0, CSIG0STCR0, CSIG0EMU）
FFD8 8020$_H$～FFD8 8FFF$_H$	—	アクセス禁止領域
FFD8 9000$_H$～FFD8 901F$_H$	3	CSIG0（上記以外の CSIG0 レジスタ）
FFD8 9020$_H$～FFDC FFFF$_H$	—	アクセス禁止領域
FFDD 0000$_H$～FFDD 00FF$_H$	2	PIC0
FFDD 0100$_H$～FFDD CFFF$_H$	—	アクセス禁止領域
FFDD D000$_H$～FFDD D04F$_H$	2	P-Bus ガード（PBG20）
FFDD D050$_H$～FFDD D0FF$_H$	—	アクセス禁止領域
FFDD D100$_H$～FFDD D14F$_H$	2	P-Bus ガード（PBG21）
FFDD D150$_H$～FFE1 FFFF$_H$	—	アクセス禁止領域
FFE2 0000$_H$～FFE2 03FF$_H$	2	TAUD0
FFE2 0400$_H$～FFE2 3FFF$_H$	—	アクセス禁止領域
FFE2 4000$_H$～FFE2 4003$_H$	2	SELB_TAUD0（SL_TAUD0）
FFE2 4004$_H$～FFE2 FFFF$_H$	—	アクセス禁止領域
FFE3 0000$_H$～FFE3 03FF$_H$	2	TAUB0
FFE3 0400$_H$～FFE3 1FFF$_H$	—	アクセス禁止領域
FFE3 2000$_H$～FFE3 2003$_H$	2	SELB_TAUB0（SL_TAUB0）
FFE3 2004$_H$～FFE4 FFFF$_H$	—	アクセス禁止領域
FFE5 0000$_H$～FFE5 00FF$_H$	2	TAUJ0
FFE5 0100$_H$～FFE5 01FF$_H$	2	TAUJ2
FFE5 0200$_H$～FFE5 0FFF$_H$	—	アクセス禁止領域
FFE5 1000$_H$～FFE5 10FF$_H$	2	TAUJ1
FFE5 1100$_H$～FFE5 11FF$_H$	2	TAUJ3
FFE5 1200$_H$～FFE5 3FFF$_H$	—	アクセス禁止領域
FFE5 4000$_H$～FFE5 4003$_H$	2	SELB_TAUJ0（SL_TAUJ0）
FFE5 4004$_H$～FFE5 4007$_H$	2	SELB_TAUJ2（SL_TAUJ2）
FFE5 4008$_H$～FFE6 FFFF$_H$	—	アクセス禁止領域
FFE7 0000$_H$～FFE7 02FF$_H$	2	PWSA0
FFE7 0300$_H$～FFE7 0FFF$_H$	—	アクセス禁止領域
FFE7 1000$_H$～FFE7 1BFF$_H$	2	PWGAn
FFE7 1C00$_H$～FFE7 27FF$_H$	—	アクセス禁止領域
FFE7 2800$_H$～FFE7 281F$_H$	2	PWBA0
FFE7 2820$_H$～FFE7 2FFF$_H$	—	アクセス禁止領域
FFE7 3000$_H$～FFE7 301F$_H$	2	SLPWG
FFE7 3020$_H$～FFE7 30FF$_H$	—	アクセス禁止領域
FFE7 3100$_H$～FFE7 312F$_H$	2	PWGA_INTF
FFE7 3130$_H$～FFE7 7FFF$_H$	—	アクセス禁止領域
FFE7 8000$_H$～FFE7 807F$_H$	2	RTCA0
FFE7 8080$_H$～FFE7 FFFF$_H$	—	アクセス禁止領域
FFE8 0000$_H$～FFE8 007F$_H$	2	ENCA0
FFE8 0080$_H$～FFE8 FFFF$_H$	—	アクセス禁止領域
FFE9 0000$_H$～FFE9 003F$_H$	2	TAPA0
FFE9 0040$_H$～FFEC FFFF$_H$	—	アクセス禁止領域

表 4C.5　　周辺 I/O アドレスマップ

アドレス	周辺グループ	周辺 I/O
FFED 0000_H～FFED $000F_H$	2	WDTA0
FFED 0010_H～FFED $0FFF_H$	—	アクセス禁止領域
FFED 1000_H～FFED $100F_H$	2	WDTA1
FFED 1010_H～FFF1 $FFFF_H$	—	アクセス禁止領域
FFF2 0000_H～FFF2 $07FF_H$	1	ADCA0
FFF2 0800_H～FFF6 $FFFF_H$	—	アクセス禁止領域
FFF7 0000_H～FFF7 $003F_H$	1	DCRA0
FFF7 0040_H～FFF7 $0FFF_H$	—	アクセス禁止領域
FFF7 1000_H～FFF7 $103F_H$	1	DCRA1
FFF7 1040_H～FFF7 $1FFF_H$	—	アクセス禁止領域
FFF7 2000_H～FFF7 $203F_H$	1	DCRA2
FFF7 2040_H～FFF7 $2FFF_H$	—	アクセス禁止領域
FFF7 3000_H～FFF7 $303F_H$	1	DCRA3
FFF7 3040_H～FFF7 $7FFF_H$	—	アクセス禁止領域
FFF7 8000_H～FFF7 8003_H	1	KR0
FFF7 8004_H～FFF7 $FFFF_H$	—	アクセス禁止領域
FFF8 0000_H～FFF8 $000F_H$	1	書き込み保護レジスタ（WPROTR）
FFF8 0010_H～FFF8 $00FF_H$	—	アクセス禁止領域
FFF8 0100_H～FFF8 $011F_H$	1	STBC0
FFF8 0120_H～FFF8 $03FF_H$	—	アクセス禁止領域
FFF8 0400_H～FFF8 $040F_H$	1	STBC_WUF0
FFF8 0410_H～FFF8 $041F_H$	1	STBC_WUF1
FFF8 0420_H～FFF8 $051F_H$	—	アクセス禁止領域
FFF8 0520_H～FFF8 $052F_H$	1	STBC_WUF20
FFF8 0530_H～FFF8 $075F_H$	—	アクセス禁止領域
FFF8 0760_H～FFF8 $0AFF_H$	1	リセットコントローラ／電源電圧モニタ（LVI, VLVI）
FFF8 $0B00_H$～FFF8 $0FFF_H$	1	STBC_IOHOLD
FFF8 1000_H～FFF8 $2FFF_H$	1	クロックコントローラ（CLKCTL）
FFF8 3000_H～FFF8 $307F_H$	1	LPS0
FFF8 3080_H～FFF8 $30FF_H$	—	アクセス禁止領域
FFF8 3100_H～FFF8 3207_H	1	CVM（SVM）
FFF8 3208_H～FFF8 $35FF_H$	—	アクセス禁止領域
FFF8 3600_H～FFF8 3603_H	1	リセットコントローラ CYCRBASE（RESCTL）
FFF8 3604_H～FFF8 $7FFF_H$	—	アクセス禁止領域
FFF8 8000_H～FFF8 $800F_H$	1	書き込み保護レジスタ（WPROTR）
FFF8 8010_H～FFF8 $810F_H$	—	アクセス禁止領域
FFF8 8110_H～FFF8 $811F_H$	1	STBC_WUFISO
FFF8 8120_H～FFF8 $BFFF_H$	1	クロックコントローラ（CLKCTL）
FFF8 $C000_H$～FFF8 $CFFF_H$	1	CLMA0, CLMA
FFF8 $D000_H$～FFF8 $DFFF_H$	1	CLMA1
FFF8 $E000_H$～FFF8 $EFFF_H$	1	CLMA3
FFF8 $F000_H$～FFF8 $FFFF_H$	—	アクセス禁止領域
FFF9 0000_H～FFF9 $004F_H$	1	P-Bus ガード（PBG50）
FFF9 0050_H～FFF9 $3FFF_H$	—	アクセス禁止領域
FFF9 4000_H～FFF9 $404F_H$	3	P-Bus ガード（PBG30）

表 4C.5　周辺 I/O アドレスマップ

アドレス	周辺グループ	周辺 I/O
FFF9 4050_H～FFF9 $40FF_H$	—	アクセス禁止領域
FFF9 4100_H～FFF9 $414F_H$	3	P-Bus ガード（PBG31）
FFF9 4150_H～FFF9 $41FF_H$	—	アクセス禁止領域
FFF9 4200_H～FFF9 $424F_H$	3	P-Bus ガード（PBG32）
FFF9 4250_H～FFFE $DFFF_H$	—	アクセス禁止領域
FFFE $E000_H$～FFFE $E03F_H$	CPU ローカル周辺	IPG
FFFE $E040_H$～FFFE $E5FF_H$		アクセス禁止領域
FFFE $E600_H$～FFFE $E6FF_H$		PEG
FFFE $E700_H$～FFFE $E97F_H$		アクセス禁止領域
FFFE $E980_H$～FFFE $E98F_H$		SEG
FFFE $E990_H$～FFFE $E9FF_H$		アクセス禁止領域
FFFE $EA00_H$～FFFE $EBFF_H$		INTC1
FFFE $EC00_H$～FFFF $4FFF_H$		アクセス禁止領域
FFFF 5000_H～FFFF $7FFF_H$	—	アクセス禁止領域
FFFF 8000_H～FFFF $8FFF_H$	2	PDMA0
FFFF 9000_H～FFFF $AFFF_H$	—	アクセス禁止領域
FFFF $B000_H$～FFFF $BFFF_H$	2	INTC2
FFFF $C000_H$～FFFF $FFFF_H$	—	アクセス禁止領域

第5章　　書き込み保護レジスタ

本章では、書き込み保護レジスタ全般について説明します。

最初の節では書き込み保護レジスタの機能について説明し、それ以降の節でレジスタについて説明します。

5.1　　概要

5.1.1　　機能概要

RH850/F1KH, RH850/F1KM では、クロックやリセット、ポート関連レジスタ等、システムに影響する重要なレジスタの設定では、書き込み保護レジスタによる特別な手順が必要です。保護対象となるレジスタの設定は特別な手順を必要とすることにより、プログラムの不正動作による書き込みから保護されます。保護対象のレジスタは、「**5.1.5 書き込み保護対象レジスタ**」を参照してください。書き込み保護レジスタは保護対象レジスタを、レジスタ保護クラスタと呼ばれる単位で管理します。

5.1.2　　書き込み保護されたレジスタへの書き込み手順

書き込み保護されたレジスタへの書き込みは、以下の保護解除手順を用いることによって可能となります。

1. 保護コマンドレジスタに固定値 0000 $00A5_H$ を書き込む。
2. 保護されているレジスタに任意の値を書き込む。
3. 保護されているレジスタに任意の値のビット反転値を書き込む。
4. 保護されているレジスタに任意の値を書き込む。
5. 保護レジスタに任意の値が書き込まれたことを確認する。

保護ステータスレジスタ内のエラーモニタビットが“0”であることを確認することによって、保護されているレジスタに対する任意の値の書き込みが成功したことを確認します。書き込みが成功しなかった場合、すなわちエラーモニタビットが“1”であった場合、シーケンス全体をステップ 1 から繰り返す必要があります。

上記の書き込み保護レジスタ（第一レジスタ）の書き込みシーケンスのステップ 1 からステップ 4 までの間に別のレジスタ（第二レジスタ）へのアクセスが行われた場合、保護メカニズムは以下のように働きます。

- 第二レジスタが同じクラスタに属している場合、保護されているレジスタへの書き込みは失敗します（エラーモニタビットが“1”にセットされます）。シーケンス全体をステップ 1 から繰り返す必要があります。
- 第二レジスタが同じクラスタに属していない場合、保護解除のシーケンスは中断されず、第一のレジスタへの書き込みは成功し、完了します。

5.1.3　書き込み保護解除中の割り込み

保護解除シーケンス中に割り込みが発生した場合、保護メカニズムは以下のように働きます。

(1) 保護解除シーケンス中に割り込みが受け付けられ、同じクラスタのレジスタにライトアクセスした場合

保護解除シーケンスは中断されるため、割り込みサービスルーチンから復帰後、保護されているレジスタへの書き込みを完了することができません。「**図 5.1 レジスタ保護解除手順の中断例**」に実行例を示します。

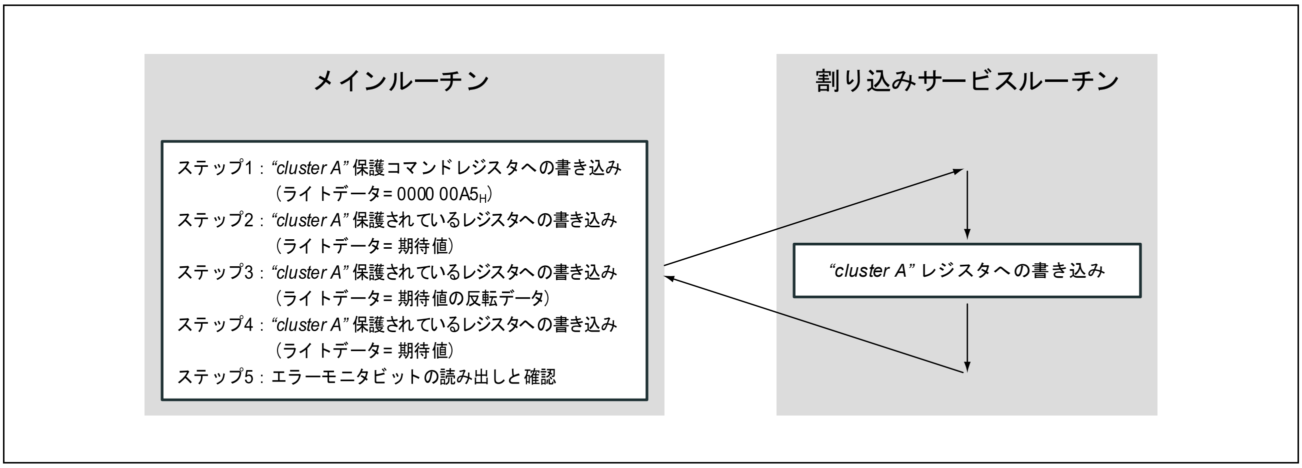


図 5.1　レジスタ保護解除手順の中断例

(2) 保護解除シーケンス中に割り込みが受け付けられ、別のクラスタのレジスタにライトアクセスした場合

保護解除シーケンスは中断されず、割り込みサービスルーチンから復帰後、保護されているレジスタへの書き込みを完了することができます。「**図 5.2 保護解除手順の成功例**」に実行例を示します。

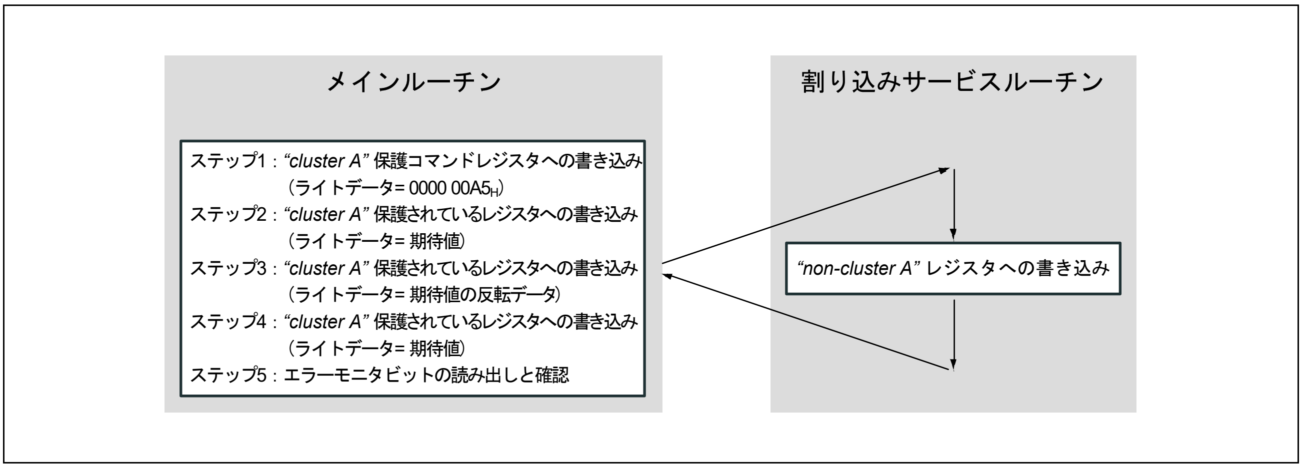


図 5.2　保護解除手順の成功例

RH850/F1KH, RH850/F1KM のレジスタ保護クラスタのレジスタについては、「**5.1.5 書き込み保護対象レジスタ**」を参照してください。

5.1.4　書き込み保護解除中のエミュレーションブレーク

保護解除シーケンス中にエミュレーションブレークが発生した場合（たとえば、ブレークポイントヒットのために）レジスタ保護は正常動作が再開されるまで中断されます。

同じクラスタの任意のレジスタがブレーク中にアクセスされたとしても、保護解除シーケンスは中断されず、エラーモニタビットは“1”にセットされません。

5.1.5　書き込み保護対象レジスタ

書き込み保護制御レジスタにより保護されるレジスタを以下に示します。

表 5.1　書き込み保護対象レジスタ (RH850/F1KH-D8)

保護対象	保護対象レジスタ	保護制御レジスタ		保護クラスタ
		コマンドレジスタ	ステータスレジスタ	
クロックコントローラ	MOSCE	PROTCMD0	PROTS0	コントロール保護クラスタ 0
	ROSCE			
	SOSCE			
	CKSC_AWDTAD_CTL			
	CKSC_ATAUJS_CTL			
	CKSC_ATAUJD_CTL			
	CKSC_ARTCAS_CTL			
	CKSC_ARTCAD_CTL			
	CKSC_AADCAS_CTL			
	CKSC_AADCAD_CTL			
	CKSC_AFOUTS_CTL			
	ROSCUT			
スタンバイ機能	STBC0PSC			
	STBC0STPT			
	IOHOLD			
リセット機能	LVICNT			
	SWRESA			
クロックコントローラ	PLL0E	PROTCMD1	PROTS1	コントロール保護クラスタ 1
	PLL1E			
	CKSC_CPUCLKS_CTL			
	CKSC_CPUCLKD_CTL			
	CKSC_IPERI1S_CTL			
	CKSC_IPERI2S_CTL			
	CKSC_ILINS_CTL			
	CKSC_IADCAS_CTL			
	CKSC_IADCAD_CTL			
	CKSC_ILIND_CTL			
	CKSC_ICANS_CTL			
	CKSC_ICANOSCD_CTL			
	CKSC_ICSIS_CTL			
	CKSC_IIICS_CTL			
	CKSC_PPLLCLKS_CTL			
	CKSC_PLL0IS_CTL			
	CKSC_PLL1IS_CTL			

表 5.1　　書き込み保護対象レジスタ（RH850/F1KH-D8）

保護対象	保護対象レジスタ	保護制御レジスタ		保護クラスタ
		コマンドレジスタ	ステータスレジスタ	
クロックモニタ	CLMA0CTL0	CLMA0PCMD	CLMA0PS	クロックモニタコントロール保護クラスタ 0
	CLMA1CTL0	CLMA1PCMD	CLMA1PS	クロックモニタコントロール保護クラスタ 1
	CLMA2CTL0	CLMA2PCMD	CLMA2PS	クロックモニタコントロール保護クラスタ 2
	CLMA3CTL0	CLMA3PCMD	CLMA3PS	クロックモニタコントロール保護クラスタ 3
	CLMATEST	PROTCMDCLMA	PROTSCLMA	クロックモニタテスト保護クラスタ
ポート[注 1]	JPODC0	JPPCMD0	JPPROTS0	ポート保護クラスタ 0
	PODC0	PPCMD0	PPROTS0	
	PODC1	PPCMD1	PPROTS1	
	PODC2	PPCMD2	PPROTS2	
	PODC3	PPCMD3	PPROTS3	
	PODC8	PPCMD8	PPROTS8	
	JPDSC0	JPPCMD0	JPPROTS0	
	PDSC0	PPCMD0	PPROTS0	
	PDSC1	PPCMD1	PPROTS1	
	PDSC2	PPCMD2	PPROTS2	
	PDSC3	PPCMD3	PPROTS3	
	PODC9	PPCMD9	PPROTS9	ポート保護クラスタ 1
	PODC10	PPCMD10	PPROTS10	
	PODC11	PPCMD11	PPROTS11	
	PODC12	PPCMD12	PPROTS12	
	PODC13	PPCMD13	PPROTS13	
	PODC18	PPCMD18	PPROTS18	
	PODC19	PPCMD19	PPROTS19	
	PODC20	PPCMD20	PPROTS20	
	PODC21	PPCMD21	PPROTS21	
	PODC22	PPCMD22	PPROTS22	
	PODC23	PPCMD23	PPROTS23	
	PODC24	PPCMD24	PPROTS24	
	PDSC10	PPCMD10	PPROTS10	
	PDSC11	PPCMD11	PPROTS11	
	PDSC12	PPCMD12	PPROTS12	
	PDSC13	PPCMD13	PPROTS13	
	PDSC18	PPCMD18	PPROTS18	
	PDSC19	PPCMD19	PPROTS19	
	PDSC20	PPCMD20	PPROTS20	
	PDSC21	PPCMD21	PPROTS21	
	PDSC22	PPCMD22	PPROTS22	
	PDSC23	PPCMD23	PPROTS23	
	PDSC24	PPCMD24	PPROTS24	
コア電圧モニタ	CVMF	PROTCMDCVM	PROTSCVM	コア電圧モニタ保護クラスタ
	CVMDIAG			

表 5.1　　書き込み保護対象レジスタ (RH850/F1KH-D8)

保護対象	保護対象レジスタ	保護制御レジスタ		保護クラスタ
		コマンドレジスタ	ステータスレジスタ	
セルフプログラミング機能	FLMDCNT	FLMDPCMD	FLMDPS	セルフプログラミング保護クラスタ

注1.　各ポートグループはそれぞれ独自の保護コマンドレジスタとステータスレジスタを持っています。詳細については、「**5.1.5(1) ポート保護クラスタ**」を参照してください。

注　意

RH850/F1KH は、デュアルコア製品であり、CPU を 2 つ（CPU1／CPU2）を持っています。
CPU1／CPU2 が別々のレジスタにアクセスする場合にでも、同じ PROT レジスタに対して書き込みが競合する可能性があります。この場合、保護解除手順が崩れ、エラーモニタビットに“1”が設定されます。
これを回避するために、保護クラスタが同じレジスタ（**表 5.1 書き込み保護対象レジスタ (RH850/F1KH-D8)**を参照）の設定を行う場合、別々の CPU コアで設定することを推奨しません。例えば、コントロール保護クラスタ 0 の STBC0PSC レジスタを CPU1、LVICNT レジスタを CPU2 で設定しないようにしてください。

表 5.2　　書き込み保護対象レジスタ（RH850/F1KM-S4）

保護対象	保護対象レジスタ	保護制御レジスタ		保護クラスタ
		コマンドレジスタ	ステータスレジスタ	
クロックコントローラ	MOSCE	PROTCMD0	PROTS0	コントロール保護クラスタ 0
	ROSCE			
	SOSCE			
	CKSC_AWDTAD_CTL			
	CKSC_ATAUJS_CTL			
	CKSC_ATAUJD_CTL			
	CKSC_ARTCAS_CTL			
	CKSC_ARTCAD_CTL			
	CKSC_AADCAS_CTL			
	CKSC_AADCAD_CTL			
	CKSC_AFOUTS_CTL			
	ROSCUT			
スタンバイ機能	STBC0PSC			
	STBC0STPT			
	IOHOLD			
リセット機能	LVICNT			
	SWRESA			
クロックコントローラ	PLL0E	PROTCMD1	PROTS1	コントロール保護クラスタ 1
	PLL1E			
	CKSC_CPUCLKS_CTL			
	CKSC_CPUCLKD_CTL			
	CKSC_IPERI1S_CTL			
	CKSC_IPERI2S_CTL			
	CKSC_ILINS_CTL			
	CKSC_IADCAS_CTL			
	CKSC_IADCAD_CTL			
	CKSC_ILIND_CTL			
	CKSC_ICANS_CTL			
	CKSC_ICANOSCD_CTL			
	CKSC_ICSIS_CTL			
	CKSC_IIICS_CTL			
	CKSC_PPLLCLKS_CTL			
	CKSC_PLL0IS_CTL			
	CKSC_PLL1IS_CTL			

表 5.2　　書き込み保護対象レジスタ（RH850/F1KM-S4）

<table>
<tr><th rowspan="2">保護対象</th><th rowspan="2">保護対象レジスタ</th><th colspan="2">保護制御レジスタ</th><th rowspan="2">保護クラスタ</th></tr>
<tr><th>コマンドレジスタ</th><th>ステータスレジスタ</th></tr>
<tr><td rowspan="5">クロックモニタ</td><td>CLMA0CTL0</td><td>CLMA0PCMD</td><td>CLMA0PS</td><td>クロックモニタコントロール保護クラスタ 0</td></tr>
<tr><td>CLMA1CTL0</td><td>CLMA1PCMD</td><td>CLMA1PS</td><td>クロックモニタコントロール保護クラスタ 1</td></tr>
<tr><td>CLMA2CTL0</td><td>CLMA2PCMD</td><td>CLMA2PS</td><td>クロックモニタコントロール保護クラスタ 2</td></tr>
<tr><td>CLMA3CTL0</td><td>CLMA3PCMD</td><td>CLMA3PS</td><td>クロックモニタコントロール保護クラスタ 3</td></tr>
<tr><td>CLMATEST</td><td>PROTCMDCLMA</td><td>PROTSCLMA</td><td>クロックモニタテスト保護クラスタ</td></tr>
<tr><td rowspan="28">ポート[注1]</td><td>JPODC0</td><td>JPPCMD0</td><td>JPPROTS0</td><td rowspan="11">ポート保護クラスタ 0</td></tr>
<tr><td>PODC0</td><td>PPCMD0</td><td>PPROTS0</td></tr>
<tr><td>PODC1</td><td>PPCMD1</td><td>PPROTS1</td></tr>
<tr><td>PODC2</td><td>PPCMD2</td><td>PPROTS2</td></tr>
<tr><td>PODC3</td><td>PPCMD3</td><td>PPROTS3</td></tr>
<tr><td>PODC8</td><td>PPCMD8</td><td>PPROTS8</td></tr>
<tr><td>JPDSC0</td><td>JPPCMD0</td><td>JPPROTS0</td></tr>
<tr><td>PDSC0</td><td>PPCMD0</td><td>PPROTS0</td></tr>
<tr><td>PDSC1</td><td>PPCMD1</td><td>PPROTS1</td></tr>
<tr><td>PDSC2</td><td>PPCMD2</td><td>PPROTS2</td></tr>
<tr><td>PDSC3</td><td>PPCMD3</td><td>PPROTS3</td></tr>
<tr><td>PODC9</td><td>PPCMD9</td><td>PPROTS9</td><td rowspan="17">ポート保護クラスタ 1</td></tr>
<tr><td>PODC10</td><td>PPCMD10</td><td>PPROTS10</td></tr>
<tr><td>PODC11</td><td>PPCMD11</td><td>PPROTS11</td></tr>
<tr><td>PODC12</td><td>PPCMD12</td><td>PPROTS12</td></tr>
<tr><td>PODC13</td><td>PPCMD13</td><td>PPROTS13</td></tr>
<tr><td>PODC18</td><td>PPCMD18</td><td>PPROTS18</td></tr>
<tr><td>PODC19</td><td>PPCMD19</td><td>PPROTS19</td></tr>
<tr><td>PODC20</td><td>PPCMD20</td><td>PPROTS20</td></tr>
<tr><td>PODC21</td><td>PPCMD21</td><td>PPROTS21</td></tr>
<tr><td>PODC22</td><td>PPCMD22</td><td>PPROTS22</td></tr>
<tr><td>PDSC10</td><td>PPCMD10</td><td>PPROTS10</td></tr>
<tr><td>PDSC11</td><td>PPCMD11</td><td>PPROTS11</td></tr>
<tr><td>PDSC12</td><td>PPCMD12</td><td>PPROTS12</td></tr>
<tr><td>PDSC13</td><td>PPCMD13</td><td>PPROTS13</td></tr>
<tr><td>PDSC18</td><td>PPCMD18</td><td>PPROTS18</td></tr>
<tr><td>PDSC19</td><td>PPCMD19</td><td>PPROTS19</td></tr>
<tr><td>PDSC20</td><td>PPCMD20</td><td>PPROTS20</td></tr>
<tr><td rowspan="2">コア電圧モニタ</td><td>CVMF</td><td rowspan="2">PROTCMDCVM</td><td rowspan="2">PROTSCVM</td><td rowspan="2">コア電圧モニタ保護クラスタ</td></tr>
<tr><td>CVMDIAG</td></tr>
<tr><td>セルフプログラミング機能</td><td>FLMDCNT</td><td>FLMDPCMD</td><td>FLMDPS</td><td>セルフプログラミング保護クラスタ</td></tr>
</table>

注1.　各ポートグループはそれぞれ独自の保護コマンドレジスタとステータスレジスタを持っています。詳細については、「**5.1.5(1) ポート保護クラスタ**」を参照してください。

表 5.3　書き込み保護対象レジスタ（RH850/F1KM-S2）

保護対象	保護対象レジスタ	保護制御レジスタ		保護クラスタ
		コマンドレジスタ	ステータスレジスタ	
クロックコントローラ	MOSCE	PROTCMD0	PROTS0	コントロール保護クラスタ 0
	ROSCE			
	SOSCE			
	CKSC_AWDTAD_CTL			
	CKSC_ATAUJS_CTL			
	CKSC_ATAUJD_CTL			
	CKSC_ARTCAS_CTL			
	CKSC_ARTCAD_CTL			
	CKSC_AADCAS_CTL			
	CKSC_AADCAD_CTL			
	CKSC_AFOUTS_CTL			
	ROSCUT			
スタンバイ機能	STBC0PSC			
	STBC0STPT			
	IOHOLD			
リセット機能	LVICNT			
	SWRESA			
クロックコントローラ	PLL0E	PROTCMD1	PROTS1	コントロール保護クラスタ 1
	PLL1E			
	CKSC_CPUCLKS_CTL			
	CKSC_CPUCLKD_CTL			
	CKSC_IPERI1S_CTL			
	CKSC_IPERI2S_CTL			
	CKSC_ILINS_CTL			
	CKSC_IADCAS_CTL			
	CKSC_IADCAD_CTL			
	CKSC_ILIND_CTL			
	CKSC_ICANS_CTL			
	CKSC_ICANOSCD_CTL			
	CKSC_ICSIS_CTL			
	CKSC_IIICS_CTL			
	CKSC_PPLLCLKS_CTL			
	CKSC_PLL0IS_CTL			
	CKSC_PLL1IS_CTL			

表 5.3　書き込み保護対象レジスタ (RH850/F1KM-S2)

保護対象	保護対象レジスタ	保護制御レジスタ		保護クラスタ
		コマンドレジスタ	ステータスレジスタ	
クロックモニタ	CLMA0CTL0	CLMA0PCMD	CLMA0PS	クロックモニタコントロール保護クラスタ 0
	CLMA1CTL0	CLMA1PCMD	CLMA1PS	クロックモニタコントロール保護クラスタ 1
	CLMA2CTL0	CLMA2PCMD	CLMA2PS	クロックモニタコントロール保護クラスタ 2
	CLMA3CTL0	CLMA3PCMD	CLMA3PS	クロックモニタコントロール保護クラスタ 3
	CLMATEST	PROTCMDCLMA	PROTSCLMA	クロックモニタテスト保護クラスタ
ポート注 1	JPODC0	JPPCMD0	JPPROTS0	ポート保護クラスタ 0
	PODC0	PPCMD0	PPROTS0	
	PODC1	PPCMD1	PPROTS1	
	PODC2	PPCMD2	PPROTS2	
	PODC8	PPCMD8	PPROTS8	
	JPDSC0	JPPCMD0	JPPROTS0	
	PDSC0	PPCMD0	PPROTS0	
	PDSC1	PPCMD1	PPROTS1	
	PDSC2	PPCMD2	PPROTS2	
	PODC9	PPCMD9	PPROTS9	ポート保護クラスタ 1
	PODC10	PPCMD10	PPROTS10	
	PODC11	PPCMD11	PPROTS11	
	PODC12	PPCMD12	PPROTS12	
	PODC18	PPCMD18	PPROTS18	
	PODC20	PPCMD20	PPROTS20	
	PDSC10	PPCMD10	PPROTS10	
	PDSC11	PPCMD11	PPROTS11	
	PDSC12	PPCMD12	PPROTS12	
	PDSC18	PPCMD18	PPROTS18	
	PDSC20	PPCMD20	PPROTS20	
コア電圧モニタ	CVMF	PROTCMDCVM	PROTSCVM	コア電圧モニタ保護クラスタ
	CVMDIAG			
セルフプログラミング機能	FLMDCNT	FLMDPCMD	FLMDPS	セルフプログラミング保護クラスタ

注1.　各ポートグループはそれぞれ独自の保護コマンドレジスタとステータスレジスタを持っています。詳細については、「**5.1.5(1) ポート保護クラスタ**」を参照してください。

表 5.4　書き込み保護対象レジスタ（RH850/F1KM-S1）

保護対象	保護対象レジスタ	保護制御レジスタ		保護クラスタ
		コマンドレジスタ	ステータスレジスタ	
クロックコントローラ	MOSCE	PROTCMD0	PROTS0	コントロール保護クラスタ 0
	ROSCE			
	CKSC_AWDTAD_CTL			
	CKSC_ATAUJS_CTL			
	CKSC_ATAUJD_CTL			
	CKSC_ARTCAS_CTL			
	CKSC_ARTCAD_CTL			
	CKSC_AADCAS_CTL			
	CKSC_AADCAD_CTL			
	CKSC_AFOUTS_CTL			
	ROSCUT			
スタンバイ機能	STBC0PSC			
	STBC0STPT			
	IOHOLD			
リセット機能	LVICNT			
	SWRESA			
	CYCRBASE			
クロックコントローラ	PLL1E	PROTCMD1	PROTS1	コントロール保護クラスタ 1
	CKSC_CPUCLKS_CTL			
	CKSC_CPUCLKD_CTL			
	CKSC_IPERI1S_CTL			
	CKSC_IPERI2S_CTL			
	CKSC_ILINS_CTL			
	CKSC_ILIND_CTL			
	CKSC_ICANS_CTL			
	CKSC_ICANOSCD_CTL			
	CKSC_ICSIS_CTL			
	CKSC_IIICS_CTL			
	CKSC_PPLLCLKS_CTL			
	CKSC_PLL1IS_CTL			
クロックモニタ	CLMA0CTL0	CLMA0PCMD	CLMA0PS	クロックモニタコントロール保護クラスタ 0
	CLMA1CTL0	CLMA1PCMD	CLMA1PS	クロックモニタコントロール保護クラスタ 1
	CLMA3CTL0	CLMA3PCMD	CLMA3PS	クロックモニタコントロール保護クラスタ 3
	CLMATEST	PROTCMDCLMA	PROTSCLMA	クロックモニタテスト保護クラスタ

表 5.4 書き込み保護対象レジスタ（RH850/F1KM-S1）

保護対象	保護対象レジスタ	保護制御レジスタ		保護対象
		コマンドレジスタ	ステータスレジスタ	
ポート注1	JPODC0	JPPCMD0	JPPROTS0	ポート保護クラスタ 0
	PODC0	PPCMD0	PPROTS0	
	PODC8	PPCMD8	PPROTS8	
	JPDSC0	JPPCMD0	JPPROTS0	
	PDSC0	PPCMD0	PPROTS0	
	PODC9	PPCMD9	PPROTS9	ポート保護クラスタ 1
	PODC10	PPCMD10	PPROTS10	
	PODC11	PPCMD11	PPROTS11	
	PDSC10	PPCMD10	PPROTS10	
	PDSC11	PPCMD11	PPROTS11	
コア電圧モニタ	CVMF	PROTCMDCVM	PROTSCVM	コア電圧モニタ保護クラスタ
	CVMDIAG			
セルフプログラミング機能	FLMDCNT	FLMDPCMD	FLMDPS	セルフプログラミング保護クラスタ

注1. 各ポートグループはそれぞれ独自の保護コマンドレジスタとステータスレジスタを持っています。詳細については、「**5.1.5(1) ポート保護クラスタ**」を参照してください。

(1) ポート保護クラスタ

以下のポートコントロールレジスタは書き込み保護機能を持っています。

- ポートオープンドレインコントロールレジスタ（PODCn、JPODC0）
- ポートドライブコントロールレジスタ（PDSCn、JPDSC0）

書き込み保護されたポートレジスタは以下の表に示されるように 2 つのポート保護クラスタに分割されます。

表 5.5 ポート保護クラスタ (RH850/F1KH-D8)

ポート保護クラスタ	ポートグループ
0	JP0, P0, P1, P2, P3, P8
1	P9, P10, P11, P12, P13, P18, P19, P20, P21, P22, P23, P24

表 5.6 ポート保護クラスタ (RH850/F1KM-S4)

ポート保護クラスタ	ポートグループ
0	JP0, P0, P1, P2, P3, P8
1	P9, P10, P11, P12, P13, P18, P19, P20, P21, P22

表 5.7 ポート保護クラスタ (RH850/F1KM-S2)

ポート保護クラスタ	ポートグループ
0	JP0, P0, P1, P2, P8
1	P9, P10, P11, P12, P18, P20

表 5.8 ポート保護クラスタ (RH850/F1KM-S1)

ポート保護クラスタ	ポートグループ
0	JP0, P0, P8
1	P9, P10, P11

備　考
各ポートグループ n は、それぞれ固有のポート保護コマンドレジスタ PPCMDn とポート保護ステータスレジスタ PPROTSn を持っています。 しかし、同じポート保護クラスタの任意のポート保護コマンドレジスタを、保護解除シーケンスの中で使用することができます。例えば、PPCMD0 は PODC8 の保護を解除するのに使用できます。

5.2　　レジスタ

5.2.1　　レジスター覧

書き込み保護制御レジスタのレジスター覧を以下にします。

表 5.9　　レジスター覧 (RH850/F1KH-D8)

モジュール名	レジスタ名	略号	アドレス
コントロール保護クラスタ：			
WPROTR	保護コマンドレジスタ 0	PROTCMD0	FFF8 0000$_H$
	保護コマンドレジスタ 1	PROTCMD1	FFF8 8000$_H$
	保護ステータスレジスタ 0	PROTS0	FFF8 0004$_H$
	保護ステータスレジスタ 1	PROTS1	FFF8 8004$_H$
クロックモニタコントロールおよびテスト保護クラスタ：			
CLMA0	CLMA 保護コマンドレジスタ 0	CLMA0PCMD	FFF8 C010$_H$
CLMA1	CLMA 保護コマンドレジスタ 1	CLMA1PCMD	FFF8 D010$_H$
CLMA2	CLMA 保護コマンドレジスタ 2	CLMA2PCMD	FFF8 E010$_H$
CLMA3	CLMA 保護コマンドレジスタ 3	CLMA3PCMD	FFF8 F010$_H$
CLMA0	CLMA 保護ステータスレジスタ 0	CLMA0PS	FFF8 C014$_H$
CLMA1	CLMA 保護ステータスレジスタ 1	CLMA1PS	FFF8 D014$_H$
CLMA2	CLMA 保護ステータスレジスタ 2	CLMA2PS	FFF8 E014$_H$
CLMA3	CLMA 保護ステータスレジスタ 3	CLMA3PS	FFF8 F014$_H$
CLMA	クロックモニタテスト保護コマンドレジスタ	PROTCMDCLMA	FFF8 C200$_H$
	クロックモニタテスト保護ステータスレジスタ	PROTSCLMA	FFF8 C204$_H$
ポート保護クラスタ 0：			
JTAG	ポート保護コマンドレジスタ	JPPCMD0	FFC2 04C0$_H$
PORT		PPCMD0	FFC1 4C00$_H$
		PPCMD1	FFC1 4C04$_H$
		PPCMD2	FFC1 4C08$_H$
		PPCMD3	FFC1 4C0C$_H$
		PPCMD8	FFC1 4C20$_H$
JTAG	ポート保護ステータスレジスタ	JPPROTS0	FFC2 04B0$_H$
PORT		PPROTS0	FFC1 4B00$_H$
		PPROTS1	FFC1 4B04$_H$
		PPROTS2	FFC1 4B08$_H$
		PPROTS3	FFC1 4B0C$_H$
		PPROTS8	FFC1 4B20$_H$

表 5.9　　レジスター覧 (RH850/F1KH-D8)

モジュール名	レジスタ名	略号	アドレス
ポート保護クラスタ 1：			
PORT	ポート保護コマンドレジスタ	PPCMD9	FFC1 $4C24_H$
		PPCMD10	FFC1 $4C28_H$
		PPCMD11	FFC1 $4C2C_H$
		PPCMD12	FFC1 $4C30_H$
		PPCMD13	FFC1 $4C34_H$
		PPCMD18	FFC1 $4C48_H$
		PPCMD19	FFC1 $4C4C_H$
		PPCMD20	FFC1 $4C50_H$
		PPCMD21	FFC1 $4C54_H$
		PPCMD22	FFC1 $4C58_H$
		PPCMD23	FFC1 $4C5C_H$
		PPCMD24	FFC1 $4C60_H$
	ポート保護ステータスレジスタ	PPROTS9	FFC1 $4B24_H$
		PPROTS10	FFC1 $4B28_H$
		PPROTS11	FFC1 $4B2C_H$
		PPROTS12	FFC1 $4B30_H$
		PPROTS13	FFC1 $4B34_H$
		PPROTS18	FFC1 $4B48_H$
		PPROTS19	FFC1 $4B4C_H$
		PPROTS20	FFC1 $4B50_H$
		PPROTS21	FFC1 $4B54_H$
		PPROTS22	FFC1 $4B58_H$
		PPROTS23	FFC1 $4B5C_H$
		PPROTS24	FFC1 $4B60_H$
コア電圧モニタ保護クラスタ：			
SVM	コア電圧モニタ保護コマンドレジスタ	PROTCMDCVM	FFF8 3200_H
	コア電圧モニタ保護ステータスレジスタ	PROTSCVM	FFF8 3204_H
セルフプログラミング保護クラスタ：			
FLMD	FLMD 保護コマンドレジスタ	FLMDPCMD	FFA0 0004_H
	FLMD 保護エラーステータスレジスタ	FLMDPS	FFA0 0008_H

表 5.10　レジスター覧 (RH850/F1KM-S4)

モジュール名	レジスタ名	略号	アドレス
コントロール保護クラスタ：			
WPROTR	保護コマンドレジスタ 0	PROTCMD0	FFF8 0000$_H$
	保護コマンドレジスタ 1	PROTCMD1	FFF8 8000$_H$
	保護ステータスレジスタ 0	PROTS0	FFF8 0004$_H$
	保護ステータスレジスタ 1	PROTS1	FFF8 8004$_H$
クロックモニタコントロールおよびテスト保護クラスタ：			
CLMA0	CLMA 保護コマンドレジスタ 0	CLMA0PCMD	FFF8 C010$_H$
CLMA1	CLMA 保護コマンドレジスタ 1	CLMA1PCMD	FFF8 D010$_H$
CLMA2	CLMA 保護コマンドレジスタ 2	CLMA2PCMD	FFF8 E010$_H$
CLMA3	CLMA 保護コマンドレジスタ 3	CLMA3PCMD	FFF8 F010$_H$
CLMA0	CLMA 保護ステータスレジスタ 0	CLMA0PS	FFF8 C014$_H$
CLMA1	CLMA 保護ステータスレジスタ 1	CLMA1PS	FFF8 D014$_H$
CLMA2	CLMA 保護ステータスレジスタ 2	CLMA2PS	FFF8 E014$_H$
CLMA3	CLMA 保護ステータスレジスタ 3	CLMA3PS	FFF8 F014$_H$
CLMA	クロックモニタテスト保護コマンドレジスタ	PROTCMDCLMA	FFF8 C200$_H$
	クロックモニタテスト保護ステータスレジスタ	PROTSCLMA	FFF8 C204$_H$
ポート保護クラスタ 0：			
JTAG	ポート保護コマンドレジスタ	JPPCMD0	FFC2 04C0$_H$
PORT		PPCMD0	FFC1 4C00$_H$
		PPCMD1	FFC1 4C04$_H$
		PPCMD2	FFC1 4C08$_H$
		PPCMD3	FFC1 4C0C$_H$
		PPCMD8	FFC1 4C20$_H$
JTAG	ポート保護ステータスレジスタ	JPPROTS0	FFC2 04B0$_H$
PORT		PPROTS0	FFC1 4B00$_H$
		PPROTS1	FFC1 4B04$_H$
		PPROTS2	FFC1 4B08$_H$
		PPROTS3	FFC1 4B0C$_H$
		PPROTS8	FFC1 4B20$_H$

表 5.10　　レジスター覧 (RH850/F1KM-S4)

モジュール名	レジスタ名	略号	アドレス
ポート保護クラスタ 1：			
PORT	ポート保護コマンドレジスタ	PPCMD9	FFC1 4C24$_H$
		PPCMD10	FFC1 4C28$_H$
		PPCMD11	FFC1 4C2C$_H$
		PPCMD12	FFC1 4C30$_H$
		PPCMD13	FFC1 4C34$_H$
		PPCMD18	FFC1 4C48$_H$
		PPCMD19	FFC1 4C4C$_H$
		PPCMD20	FFC1 4C50$_H$
		PPCMD21	FFC1 4C54$_H$
		PPCMD22	FFC1 4C58$_H$
	ポート保護ステータスレジスタ	PPROTS9	FFC1 4B24$_H$
		PPROTS10	FFC1 4B28$_H$
		PPROTS11	FFC1 4B2C$_H$
		PPROTS12	FFC1 4B30$_H$
		PPROTS13	FFC1 4B34$_H$
		PPROTS18	FFC1 4B48$_H$
		PPROTS19	FFC1 4B4C$_H$
		PPROTS20	FFC1 4B50$_H$
		PPROTS21	FFC1 4B54$_H$
		PPROTS22	FFC1 4B58$_H$
コア電圧モニタ保護クラスタ：			
SVM	コア電圧モニタ保護コマンドレジスタ	PROTCMDCVM	FFF8 3200$_H$
	コア電圧モニタ保護ステータスレジスタ	PROTSCVM	FFF8 3204$_H$
セルフプログラミング保護クラスタ：			
FLMD	FLMD 保護コマンドレジスタ	FLMDPCMD	FFA0 0004$_H$
	FLMD 保護エラーステータスレジスタ	FLMDPS	FFA0 0008$_H$

表 5.11　　レジスター覧 (RH850/F1KM-S2)

モジュール名	レジスタ名	略号	アドレス
コントロール保護クラスタ：			
WPROTR	保護コマンドレジスタ 0	PROTCMD0	FFF8 0000$_H$
	保護コマンドレジスタ 1	PROTCMD1	FFF8 8000$_H$
	保護ステータスレジスタ 0	PROTS0	FFF8 0004$_H$
	保護ステータスレジスタ 1	PROTS1	FFF8 8004$_H$
クロックモニタコントロールおよびテスト保護クラスタ：			
CLMA0	CLMA 保護コマンドレジスタ 0	CLMA0PCMD	FFF8 C010$_H$
CLMA1	CLMA 保護コマンドレジスタ 1	CLMA1PCMD	FFF8 D010$_H$
CLMA2	CLMA 保護コマンドレジスタ 2	CLMA2PCMD	FFF8 E010$_H$
CLMA3	CLMA 保護コマンドレジスタ 3	CLMA3PCMD	FFF8 F010$_H$
CLMA0	CLMA 保護ステータスレジスタ 0	CLMA0PS	FFF8 C014$_H$
CLMA1	CLMA 保護ステータスレジスタ 1	CLMA1PS	FFF8 D014$_H$
CLMA2	CLMA 保護ステータスレジスタ 2	CLMA2PS	FFF8 E014$_H$
CLMA3	CLMA 保護ステータスレジスタ 3	CLMA3PS	FFF8 F014$_H$
CLMA	クロックモニタテスト保護コマンドレジスタ	PROTCMDCLMA	FFF8 C200$_H$
	クロックモニタテスト保護ステータスレジスタ	PROTSCLMA	FFF8 C204$_H$
ポート保護クラスタ 0：			
JTAG	ポート保護コマンドレジスタ	JPPCMD0	FFC2 04C0$_H$
PORT		PPCMD0	FFC1 4C00$_H$
		PPCMD1	FFC1 4C04$_H$
		PPCMD2	FFC1 4C08$_H$
		PPCMD8	FFC1 4C20$_H$
JTAG	ポート保護ステータスレジスタ	JPPROTS0	FFC2 04B0$_H$
PORT		PPROTS0	FFC1 4B00$_H$
		PPROTS1	FFC1 4B04$_H$
		PPROTS2	FFC1 4B08$_H$
		PPROTS8	FFC1 4B20$_H$
ポート保護クラスタ 1：			
PORT	ポート保護コマンドレジスタ	PPCMD9	FFC1 4C24$_H$
		PPCMD10	FFC1 4C28$_H$
		PPCMD11	FFC1 4C2C$_H$
		PPCMD12	FFC1 4C30$_H$
		PPCMD18	FFC1 4C48$_H$
		PPCMD20	FFC1 4C50$_H$
	ポート保護ステータスレジスタ	PPROTS9	FFC1 4B24$_H$
		PPROTS10	FFC1 4B28$_H$
		PPROTS11	FFC1 4B2C$_H$
		PPROTS12	FFC1 4B30$_H$
		PPROTS18	FFC1 4B48$_H$
		PPROTS20	FFC1 4B50$_H$

表 5.11　　レジスタ一覧 (RH850/F1KM-S2)

モジュール名	レジスタ名	略号	アドレス
コア電圧モニタ保護クラスタ：			
SVM	コア電圧モニタ保護コマンドレジスタ	PROTCMDCVM	FFF8 3200$_H$
	コア電圧モニタ保護ステータスレジスタ	PROTSCVM	FFF8 3204$_H$
セルフプログラミング保護クラスタ：			
FLMD	FLMD 保護コマンドレジスタ	FLMDPCMD	FFA0 0004$_H$
	FLMD 保護エラーステータスレジスタ	FLMDPS	FFA0 0008$_H$

表 5.12　　レジスタ一覧 (RH850/F1KM-S1)

モジュール名	レジスタ名	略号	アドレス
コントロール保護クラスタ：			
WPROTR	保護コマンドレジスタ 0	PROTCMD0	FFF8 0000_H
	保護コマンドレジスタ 1	PROTCMD1	FFF8 8000_H
	保護ステータスレジスタ 0	PROTS0	FFF8 0004_H
	保護ステータスレジスタ 1	PROTS1	FFF8 8004_H
クロックモニタコントロールおよびテスト保護クラスタ：			
CLMA0	CLMA 保護コマンドレジスタ 0	CLMA0PCMD	FFF8 $C010_H$
CLMA1	CLMA 保護コマンドレジスタ 1	CLMA1PCMD	FFF8 $D010_H$
CLMA3	CLMA 保護コマンドレジスタ 3	CLMA3PCMD	FFF8 $E010_H$
CLMA0	CLMA 保護ステータスレジスタ 0	CLMA0PS	FFF8 $C014_H$
CLMA1	CLMA 保護ステータスレジスタ 1	CLMA1PS	FFF8 $D014_H$
CLMA3	CLMA 保護ステータスレジスタ 3	CLMA3PS	FFF8 $E014_H$
CLMA	クロックモニタテスト保護コマンドレジスタ	PROTCMDCLMA	FFF8 $C200_H$
	クロックモニタテスト保護ステータスレジスタ	PROTSCLMA	FFF8 $C204_H$
ポート保護クラスタ 0：			
JTAG	ポート保護コマンドレジスタ	JPPCMD0	FFC2 $04C0_H$
PORT		PPCMD0	FFC1 $4C00_H$
		PPCMD8	FFC1 $4C20_H$
JTAG	ポート保護ステータスレジスタ	JPPROTS0	FFC2 $04B0_H$
PORT		PPROTS0	FFC1 $4B00_H$
		PPROTS8	FFC1 $4B20_H$
ポート保護クラスタ 1：			
PORT	ポート保護コマンドレジスタ	PPCMD9	FFC1 $4C24_H$
		PPCMD10	FFC1 $4C28_H$
		PPCMD11	FFC1 $4C2C_H$
	ポート保護ステータスレジスタ	PPROTS9	FFC1 $4B24_H$
		PPROTS10	FFC1 $4B28_H$
		PPROTS11	FFC1 $4B2C_H$
コア電圧モニタ保護クラスタ：			
SVM	コア電圧モニタ保護コマンドレジスタ	PROTCMDCVM	FFF8 3200_H
	コア電圧モニタ保護ステータスレジスタ	PROTSCVM	FFF8 3204_H
セルフプログラミング保護クラスタ：			
FLMD	FLMD 保護コマンドレジスタ	FLMDPCMD	FFA0 0004_H
	FLMD 保護エラーステータスレジスタ	FLMDPS	FFA0 0008_H

5.2.2　コントロール保護クラスタレジスタの詳細

5.2.2.1　PROTCMDn — 保護コマンドレジスタ

このレジスタは書き込み保護されたレジスタに対して書き込み保護解除シーケンスを開始するために使用されます。

インデックス n

インデックス“n”は保護コマンドレジスタの番号を示します。詳細は「**表 5.1 書き込み保護対象レジスタ (RH850/F1KH-D8)**」、「**表 5.2 書き込み保護対象レジスタ (RH850/F1KM-S4)**」、「**表 5.3 書き込み保護対象レジスタ (RH850/F1KM-S2)**」および「**表 5.4 書き込み保護対象レジスタ (RH850/F1KM-S1)**」を参照してください。

アクセス　32 ビット単位でライトのみ可能です。

アドレス　「**表 5.9 レジスタ一覧 (RH850/F1KH-D8)**」、「**表 5.10 レジスタ一覧 (RH850/F1KM-S4)**」、「**表 5.11 レジスタ一覧 (RH850/F1KM-S2)**」および「**表 5.12 レジスタ一覧 (RH850/F1KM-S1)**」を参照してください。

リセット後の値　XXXX XX00$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PCMDn[7:0]							
リセット後の値	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 5.13　PROTCMDn レジスタの内容

ビット位置	ビット名	機能
31～8	予約ビット	ライトする場合は“0”を書いてください。
7～0	PCMDn[7:0]	コントロール保護クラスタの保護レジスタへの書き込みを可能にするための保護コマンドレジスタビット

5.2.2.2 PROTSn — 保護ステータスレジスタ

このレジスタは PROTCMDn によって実行される保護解除シーケンスの状態を表示します。

インデックス n

インデックス "n" は保護コマンドレジスタの番号を示します。詳細は「**表 5.1 書き込み保護対象レジスタ (RH850/F1KH-D8)**」、「**表 5.2 書き込み保護対象レジスタ (RH850/F1KM-S4)**」、「**表 5.3 書き込み保護対象レジスタ (RH850/F1KM-S2)**」および「**表 5.4 書き込み保護対象レジスタ (RH850/F1KM-S1)**」を参照してください。

アクセス 32 ビット単位でリードのみ可能です。

アドレス 「**表 5.9 レジスタ一覧 (RH850/F1KH-D8)**」、「**表 5.10 レジスタ一覧 (RH850/F1KM-S4)**」、「**表 5.11 レジスタ一覧 (RH850/F1KM-S2)**」および「**表 5.12 レジスタ一覧 (RH850/F1KM-S1)**」を参照してください。

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PROTSnERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 5.14 PROTSn レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。
0	PROTSnERR	書き込み保護シーケンスエラーモニタ 0：保護エラー発生なし 1：保護エラー発生あり

5.2.3 クロックモニタコントロールおよびテスト保護クラスタレジスタの詳細

5.2.3.1 CLMAnPCMD — CLMAn 保護コマンドレジスタ

このレジスタは CLMAnCTL0 レジスタに対する保護コマンドレジスタです。

インデックス n

インデックス“n”は保護コマンドレジスタの番号を示します。詳細は「**表 5.1 書き込み保護対象レジスタ (RH850/F1KH-D8)**」、「**表 5.2 書き込み保護対象レジスタ (RH850/F1KM-S4)**」、「**表 5.3 書き込み保護対象レジスタ (RH850/F1KM-S2)**」および「**表 5.4 書き込み保護対象レジスタ (RH850/F1KM-S1)**」を参照してください。

アクセス 8 ビット単位でライトのみ可能です。

アドレス 「**表 5.9 レジスター覧 (RH850/F1KH-D8)**」、「**表 5.10 レジスター覧 (RH850/F1KM-S4)**」、「**表 5.11 レジスター覧 (RH850/F1KM-S2)**」および「**表 5.12 レジスター覧 (RH850/F1KM-S1)**」を参照してください。

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	CLMAnREG[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

表 5.15 CLMAnPCMD レジスタの内容

ビット位置	ビット名	機能
7～0	CLMAnREG[7:0]	CLMAnCTL0 レジスタへの書き込みを可能にするための保護コマンドレジスタビット

5.2.3.2　CLMAnPS — CLMAn 保護ステータスレジスタ

このレジスタは、書き込み保護されたレジスタ（CLMAnCTL0）が書き込みに成功したかどうかを確認するために用いられます。

インデックス n

インデックス "n" は保護コマンドレジスタの番号を示します。詳細は「**表 5.1 書き込み保護対象レジスタ (RH850/F1KH-D8)**」、「**表 5.2 書き込み保護対象レジスタ (RH850/F1KM-S4)**」、「**表 5.3 書き込み保護対象レジスタ (RH850/F1KM-S2)**」および「**表 5.4 書き込み保護対象レジスタ (RH850/F1KM-S1)**」を参照してください。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　「**表 5.9 レジスタ一覧 (RH850/F1KH-D8)**」、「**表 5.10 レジスタ一覧 (RH850/F1KM-S4)**」、「**表 5.11 レジスタ一覧 (RH850/F1KM-S2)**」および「**表 5.12 レジスタ一覧 (RH850/F1KM-S1)**」を参照してください。

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CLMAnPRERR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 5.16　CLMAnPS レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	リードした場合はリセット後の値が読めます。
0	CLMAnPRERR	書き込み保護シーケンスエラーモニタ 0：保護エラー発生なし 1：保護エラー発生あり

5.2.3.3 PROTCMDCLMA — クロックモニタテスト保護コマンドレジスタ

このレジスタは CLMATEST レジスタに対する保護コマンドレジスタです。

アクセス 32 ビット単位でライトのみ可能です。

アドレス 「**表 5.9 レジスタ一覧 (RH850/F1KH-D8)**」、「**表 5.10 レジスタ一覧 (RH850/F1KM-S4)**」、「**表 5.11 レジスタ一覧 (RH850/F1KM-S2)**」および「**表 5.12 レジスタ一覧 (RH850/F1KM-S1)**」を参照してください。

リセット後の値 XXXX $XX00_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CLMATREG[7:0]							
リセット後の値	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 5.17 PROTCMDCLMA レジスタの内容

ビット位置	ビット名	機能
31～8	予約ビット	ライトする場合は“0”を書いてください。
7～0	CLMATREG[7:0]	CLMATEST レジスタへの書き込みを可能にするための保護コマンドレジスタビット

5.2.3.4 PROTSCLMA — クロックモニタテスト保護ステータスレジスタ

このレジスタは、書き込み保護されたレジスタ（CLMATEST）が書き込みに成功したかどうかを確認するために用いられます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス 「**表 5.9 レジスター覧 (RH850/F1KH-D8)**」、「**表 5.10 レジスター覧 (RH850/F1KM-S4)**」、「**表 5.11 レジスター覧 (RH850/F1KM-S2)**」および「**表 5.12 レジスター覧 (RH850/F1KM-S1)**」を参照してください。

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLMATPRERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 5.18 PROTSCLMA レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。
0	CLMATPRERR	書き込み保護シーケンスエラーモニタ 0：保護エラー発生なし 1：保護エラー発生あり

5.2.4 コア電圧モニタ保護クラスタレジスタの詳細

5.2.4.1 PROTCMDCVM — コア電圧モニタ保護コマンドレジスタ

このレジスタは CVMF、CVMDIAG レジスタに対する保護コマンドレジスタです。

アクセス　32 ビット単位でライトのみ可能です。

アドレス　「**表 5.9 レジスター覧 (RH850/F1KH-D8)**」、「**表 5.10 レジスター覧 (RH850/F1KM-S4)**」、「**表 5.11 レジスター覧 (RH850/F1KM-S2)**」および「**表 5.12 レジスター覧 (RH850/F1KM-S1)**」を参照してください。

リセット後の値　XXXX XX00$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CVMFREG[7:0]							
リセット後の値	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 5.19　PROTCMDCVM レジスタの内容

ビット位置	ビット名	機能
31～8	予約ビット	ライトする場合は“0”を書いてください。
7～0	CVMFREG[7:0]	CVMF、CVMDIAG レジスタへの書き込みを可能にするための保護コマンドレジスタビット

5.2.4.2 PROTSCVM ― コア電圧モニタ保護ステータスレジスタ

このレジスタは、書き込み保護されたレジスタ（CVMF、CVMDIAG）が書き込みに成功したかどうかを確認するために用いられます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス 「**表 5.9 レジスター覧 (RH850/F1KH-D8)**」、「**表 5.10 レジスター覧 (RH850/F1KM-S4)**」、「**表 5.11 レジスター覧 (RH850/F1KM-S2)**」および「**表 5.12 レジスター覧 (RH850/F1KM-S1)**」を参照してください。

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CVMFPRERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 5.20 PROTSCVM レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。
0	CVMFPRERR	書き込み保護シーケンスエラーモニタ 0：保護エラー発生なし 1：保護エラー発生あり

5.2.5 ポート保護クラスタレジスタの詳細

5.2.5.1 PPCMDn — ポート保護コマンドレジスタ

PPCMDn はポートグループ n に対する保護コマンドレジスタです。

インデックス n

インデックス "n" は保護コマンドレジスタの番号を示します。詳細は「**表 5.1 書き込み保護対象レジスタ (RH850/F1KH-D8)**」、「**表 5.2 書き込み保護対象レジスタ (RH850/F1KM-S4)**」、「**表 5.3 書き込み保護対象レジスタ (RH850/F1KM-S2)**」および「**表 5.4 書き込み保護対象レジスタ (RH850/F1KM-S1)**」を参照してください。

アクセス　32 ビット単位でライトのみ可能です。

アドレス　「**表 5.9 レジスター覧 (RH850/F1KH-D8)**」、「**表 5.10 レジスター覧 (RH850/F1KM-S4)**」、「**表 5.11 レジスター覧 (RH850/F1KM-S2)**」および「**表 5.12 レジスター覧 (RH850/F1KM-S1)**」を参照してください。

リセット後の値:　XXXX XX00$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PPCMDn[7:0]							
リセット後の値	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 5.21　PPCMDn レジスタの内容

ビット位置	ビット名	機能
31～8	予約ビット	ライトする場合は "0" を書いてください。
7～0	PPCMDn[7:0]	ポート保護クラスタレジスタへの書き込みを可能にする保護コマンドレジスタビット

備　考

ポートグループ JP0 の保護コマンドレジスタは JPPCMD0 であり、そのビットは JPPCMD0[7:0]です。

5.2.5.2　PPROTSn — ポート保護ステータスレジスタ

PPROTSn はポートグループ n の書き込み保護されたレジスタの保護ステータスレジスタです。PPCMDn によって開始された保護シーケンスの状態を表示します。

インデックス n

インデックス "n" は保護コマンドレジスタの番号を示します。詳細は「**表 5.1 書き込み保護対象レジスタ (RH850/F1KH-D8)**」、「**表 5.2 書き込み保護対象レジスタ (RH850/F1KM-S4)**」、「**表 5.3 書き込み保護対象レジスタ (RH850/F1KM-S2)**」および「**表 5.4 書き込み保護対象レジスタ (RH850/F1KM-S1)**」を参照してください。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　「**表 5.9 レジスタ一覧 (RH850/F1KH-D8)**」、「**表 5.10 レジスタ一覧 (RH850/F1KM-S4)**」、「**表 5.11 レジスタ一覧 (RH850/F1KM-S2)**」および「**表 5.12 レジスタ一覧 (RH850/F1KM-S1)**」を参照してください。

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PPROTSnPRERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 5.22　PPROTSn レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。
0	PPROTSnPRERR	書き込み保護シーケンスエラーモニタ 0：保護エラー発生なし 1：保護エラー発生あり

備　考

ポートグループ JP0 の保護ステータスレジスタは JPPROTS0 であり、そのビットが JPPROTS0PRERR です。

5.2.6　セルフプログラミング保護クラスタレジスタの詳細

5.2.6.1　FLMDPCMD — FLMD 保護コマンドレジスタ

FLMDPCMD は FLMDCNT レジスタの保護コマンドレジスタです。

アクセス　32 ビット単位でライトのみ可能です。

アドレス　「**表 5.9　レジスタ一覧（RH850/F1KH-D8）**」、「**表 5.10　レジスタ一覧（RH850/F1KM-S4）**」、「**表 5.11　レジスタ一覧（RH850/F1KM-S2）**」および「**表 5.12　レジスタ一覧（RH850/F1KM-S1）**」を参照してください。

リセット後の値　XXXX XX00H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	FLMDPC[7:0]							
リセット後の値	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 5.23　FLMDPCMD レジスタの内容

ビット位置	ビット名	機能
31～8	予約ビット	ライトする場合は“0”を書いてください。
7～0	FLMDPC[7:0]	FLMDCNT レジスタへの書き込みを可能にする保護コマンドレジスタビット

5.2.6.2　FLMDPS — FLMD 保護エラーステータスレジスタ

このレジスタは、書き込み保護されたレジスタ（FLMDCNT）が書き込みに成功したかどうかを確認するために用いられます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　**「表 5.9 レジスタ一覧 (RH850/F1KH-D8)」**、**「表 5.10 レジスタ一覧 (RH850/F1KM-S4)」**、**「表 5.11 レジスタ一覧 (RH850/F1KM-S2)」**および**「表 5.12 レジスタ一覧 (RH850/F1KM-S1)」**を参照してください。

リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FLMDPRERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 5.24　FLMDPS レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。
0	FLMDPRERR	書き込み保護シーケンスエラーモニタ 0：保護エラー発生なし 1：保護エラー発生あり

第6章　　動作モード

RH850/F1KH, RH850/F1KM の動作モードとモードの選択方法について説明します。

RH850/F1KH, RH850/F1KM には、次の動作モードがあります。

- 通常動作モード

  ユーザプログラム実行用のモードです。オンチップデバッグ機能を使用する場合も、このモードになります。本動作モード中に、FLMD0 をハイにプルアップすることによって、セルフプログラミングによるコードフラッシュメモリへの書き換えも可能です。

  RH850/F1KH-D8：

  リセット解除時の CPU2（PE2）の起動制御は、オプションバイトの設定によって異なります。オプションバイトの詳細については、「**44.9.2 OPBT0 — オプションバイト 0**」を参照してください。

- シリアルプログラミングモード

  専用フラッシュメモリプログラマによりフラッシュメモリへの消去／書き込み操作が可能になります。

- バウンダリスキャンモード

  IEEE Standard 1149.1 にしたがってバウンダリスキャンテストを行います。

- ユーザブートモード

  リセットベクタアドレスが 0100 0000_H で固定されていることを除き通常動作モードと同じです。

  スタンバイモードへの移行はサポートしていません。

  RH850/F1KH-D8：

  このモードでは、オプションバイトの設定に関係なく、CPU2（PE2）は無効です。

外部リセットおよびパワーオンクリアリセット発生時の FLMD0、FLMD1、MODE0、MODE1、MODE2 端子の状態により、リセット解除後の動作モードを決定します。動作モードはこれらのリセット要因の解除により固定されます。各端子状態と動作モードの関係を、「**表 6.1 動作モードの選択**」に示します。

表 6.1　　動作モードの選択

端子					動作モード
FLMD0	FLMD1 (P10_8)	MODE0 (P10_1)	MODE1 (P10_2)	MODE2 (P10_6)	
0	x	x	x	x	通常動作モード
1	0	x	x	x	シリアルプログラミングモード
1	1	0	1	x	バウンダリスキャンモード
1	1	1	1	1	ユーザブートモード
上記以外					設定禁止

注　意

動作モードを変更するには、パワーオンクリアリセットから再起動してください（電源を一度切り、再度入れてください）。外部リセットによる場合は、一部の機能はモード遷移後に初期化されません。外部リセットでの初期化できない機能については、「**9A.1.1 リセット要因**」、「**9BC.1.1 リセット要因**」を参照してください。

第7A章　RH850/F1KH-D8 の例外／割り込み

7A.1　RH850/F1KH 例外／割り込みの特長

実行中のプログラムから別のプログラムへの分岐動作を発生するイベントを例外と呼びます。このマイクロコントローラでは次の例外をサポートしています。

例外についての詳細は、「*RH850G3KH ユーザーズマニュアル ソフトウェア編*」を参照してください。

表 7A.1　　例外要因一覧

名称	略号	発生要因	優先レベル	退避先
リセット	RESET	リセット入力	高	—
FE レベルノンマスカブル割り込み[注1]	FENMI	FENMI 入力		FE
システムエラー例外	SYSERR	SYSERR 入力		FE
FE レベルマスカブル割り込み[注1]	FEINT	FEINT 入力		FE
浮動小数点演算例外（インプレサイス）	FPI	FPU 命令の実行		EI
EI レベルマスカブル割り込み[注1]	EIINT	割り込みコントローラ		EI
メモリ保護例外（実行権）	MIP	メモリ保護違反		FE
システムエラー例外	SYSERR	命令フェッチ時のエラー入力		FE
予約命令例外	RIE	予約命令の実行		FE
コプロセッサ使用不可例外	UCPOP	コプロセッサ命令の実行／アクセス権限違反		FE
特権命令例外	PIE	特権命令の実行		FE
ミスアライン例外	MAE	ミスアラインアクセスの発生		FE
メモリ保護例外（アクセス権）	MDP	メモリ保護違反		FE
浮動小数点演算例外（プレサイス）	FPP	FPU 命令の実行		EI
システムコール	SYSCALL	SYSCALL 命令の実行		EI
FE レベルトラップ	FETRAP	FETRAP 命令の実行		FE
EI レベルトラップ 0	TRAP0	TRAP 命令の実行		EI
EI レベルトラップ 1	TRAP1	TRAP 命令の実行	低	EI

注1.　これらの割り込み例外の説明は本章でします。

(1) 割り込み

「**表 7A.1 例外要因一覧**」のうち、次の 3 種の例外を割り込みと呼び、本章ではこれらについて説明します。

- FE レベルノンマスカブル割り込み（FENMI）

  FENMI 割り込みは、ほかの FE レベルの割り込み（FEINT）が発生していても受け付け可能な割り込みです。

  - CPU システムレジスタ PSW.NP＝1 の場合でも、FENMI 割り込みは受け付け可能です。
  - FENMI 割り込みからの復帰はできません。回復もできません。

- FE レベルマスカブル割り込み（FEINT）

  - FEINT 割り込みは、CPU システムレジスタ PSW.NP＝0 の場合、受け付け可能です。PSW.NP＝1 の場合、FEINT 割り込みはマスクされます。
  - FEINT 割り込みからの復帰／回復可能

- EI レベルマスカブル割り込み（EIINT）

  EIINT 割り込みは、FE レベルの割り込み（FENMI, FEINT）が発生していなければ受け付け可能な割り込みです。

  - EIINT 割り込みは、CPU システムレジスタ PSW.NP＝0 の場合、受け付け可能です。
PSW.NP＝1 の場合、優先度の高い EIINT 割り込みが処理されている場合、または、PSW.ID＝1 の場合、EIINT 割り込みはマスクされます。
  - EIINT 割り込みからの復帰／回復可能
  - 各割り込みチャネルごとに割り込みマスクを指定可能
  - 各割り込みチャネルごとに 16 レベルの割り込み優先度を指定可能
  - 本章では割り込みチャネル n に対応する EIINT を“INTn”と表記し、割り込み要因 xxx に対応する EIINT を“INTxxx”と表記します。

PSW レジスタについては「**表 3A.10 PSW レジスタの内容**」、または「*RH850G3KH ユーザーズマニュアル ソフトウェア編*」を参照してください。

備　考

復帰	：元のプログラムの中断した位置から再実行再開が可能／不可能であることを示します。
回復	：元のプログラムを中断した時点のプロセッサ状態（汎用レジスタ、システムレジスタなどのプロセッサ資源の状態）への回復が可能／不可能であることを示します。

これらの割り込み要因については、「**7A.2 割り込み要因**」で説明します。

(2) 割り込みの概要

- 割り込み要因の複数コアへの同時分配対応
  - 1 つの割り込み要因を複数の CPU コアに分配可能
    （分配するコア：CPU1/CPU2）
  - 対象割り込み要因：ノンマスカブル割り込み 1 要因、
    FE レベル割り込み 1 要因、
    EI レベル割り込み 29 要因
- 割り込み優先順位を設定可能

  割り込み制御レジスタにより、マスカブル割り込みの優先順位を要求別に 16 レベルで設定できます。
- 外部割り込み（TNMI/INTPm）のセンス方法

  外部割り込み（TNMI と INTPm）は、立ち上がり、立ち下がり、両エッジ、ロウレベル、ハイレベルの 5 種類から選択できます。
- 2 種類の割り込みハンドラアドレス指定

  レジスタ設定により、直接分岐方式とテーブル参照方式から選択できます。
- プロセッサ間割り込み

  高速なプロセッサ間割り込みが可能です。

7A.2　割り込み要因

7A.2.1　割り込み要因

7A.2.1.1　FE レベルノンマスカブル割り込み

(1) 優先順位

「**表 7A.1 例外要因一覧**」を参照してください。

(2) 復帰 PC

FE ノンマスカブル割り込みは、復帰も回復もできません。

(3) ステータスレジスタ

「**7A.4.5 FNC — FE レベル NMI ステータスレジスタ**」を参照してください。

(4) 復帰命令

なし

表 7A.2　　FE レベルノンマスカブル割り込み要求

割り込み			割り込み要求		発生ユニット	優先順位	例外要因コード	ハンドラアドレス 00000...
略号	制御レジスタ 名称	制御レジスタ アドレス	名称	発生要因				
FENMI	FNC	FFFE EA78H	TNMI	NMI 端子	端子	注 1	0E0H	0E0H
			WDTA0NMI	WDTA0 FENMI 割り込み	WDTA0			
			WDTA1NMI	WDTA1 FENMI 割り込み	WDTA1			
			WDTA2NMI	WDTA2 FENMI 割り込み	WDTA2			

注1.　「**表 7A.1 例外要因一覧**」を参照してください。

FENMI 割り込みの発生要因は、専用のフラグレジスタで調べることができます。詳細は「**7A.2.2 FE レベルノンマスカブル割り込み要因**」を参照してください。

7A.2.1.2　FE レベルマスカブル割り込み

(1) 優先順位

「**表 7A.1 例外要因一覧**」を参照してください。

(2) 復帰 PC

FERET 命令による割り込み処理ルーチンからの復帰 PC は、中断された PC（カレント PC）となります。

(3) ステータスレジスタ

「**7A.4.6 FIC — FE レベルマスカブル割り込みステータスレジスタ**」を参照してください。

(4) 復帰命令

FERET

表 7A.3　FE レベルマスカブル割り込み要求 (RH850/F1KH-D8)

割り込み			割り込み要求									
	制御レジスタ				発生ユニット	176 Pin	233 Pin	272 Pin	324 Pin	優先順位	例外要因コード	ハンドラアドレス 00000...
略号	名称	アドレス	名称	発生要因								
FEINT	FIC	FFFE EA7AH	INTLVIL	LVI 電圧検出（立ち下がり）	LVI	○	○	—	○	注1	0F0H	0F0H
			INTECCEEP0	データフラッシュ ECC1 ビットエラー／ECC2 ビットエラー割り込み	Data flash	○	○	—	○			
			INTECCFLRAM	FLXA0 ECC1 ビットエラー／ECC2 ビットエラー割り込み	FLXA0	○	○	—	○			
			INTECCCNFDRAM0	RCFDC0 ECC1 ビットエラー／ECC2 ビットエラー割り込み	RCFDC0	○	○	—	○			
			INTECCCSIH0	CSIH0 ECC1 ビットエラー／ECC2 ビットエラー割り込み	CSIH0	○	○	—	○			
			INTECCCSIH1	CSIH1 ECC1 ビットエラー／ECC2 ビットエラー割り込み	CSIH1	○	○	—	○			
			INTECCCSIH2	CSIH2 ECC1 ビットエラー／ECC2 ビットエラー割り込み	CSIH2	○	○	—	○			
			INTECCCSIH3	CSIH3 ECC1 ビットエラー／ECC2 ビットエラー割り込み	CSIH3	○	○	—	○			
			INTECCCSIH4	CSIH4 ECC1 ビットエラー／ECC2 ビットエラー割り込み	CSIH4	○	○	—	○			
			INTECCFLI0	コードフラッシュ ECC1 ビットエラー／ECC2 ビットエラー割り込み	Code flash	○	○	—	○			
			INTECCRAM	RAM ECC1 ビットエラー／ECC2 ビットエラー割り込み	RAM	○	○	—	○			
			INTOSTM0_FE 注2	OSTM0 割り込み	OSTM0	○	○	—	○			
			INTLVIH	LVI 電圧検出（立ち上がり）	LVI	○	○	—	○			
			INTGUARD	PE ガード（PEG）エラー／グローバル RAM ガード（GRG）エラー／周辺ガード（PBG/HBG/PBGC）	PEG, GRG, PBG/HBG/PBGC	○	○	—	○			
			INTOSTM1_FE	OSTM1 割り込み	OSTM1	○	○	—	○			
			INTOSTM2_FE	OSTM2 割り込み	OSTM2	○	○	—	○			
			INTOSTM3_FE	OSTM3 割り込み	OSTM3	○	○	—	○			
			INTOSTM4_FE	OSTM4 割り込み	OSTM4	○	○	—	○			
			INTECCCNFDRAM1	RCFDC1 ECC1 ビットエラー／ECC2 ビットエラー割り込み	RCFDC1	—	—	—	○			
			INTECCETH0	ETNB0 ECC1 ビットエラー／ECC2 ビットエラー割り込み	ETNB0	○	○	—	○			
			INTOSTM5_FE 注3	OSTM5 割り込み	OSTM5	○	○	—	○			
			INTOSTM6_FE	OSTM6 割り込み	OSTM6	○	○	—	○			
			INTOSTM7_FE	OSTM7 割り込み	OSTM7	○	○	—	○			
			INTOSTM8_FE	OSTM8 割り込み	OSTM8	○	○	—	○			
			INTOSTM9_FE	OSTM9 割り込み	OSTM9	○	○	—	○			
			INTECCETH1	ETNB1 ECC1 ビットエラー／ECC2 ビットエラー割り込み	ETNB1	—	—	—	○			
			INTECCMMCA0RAM	MMCA0 ECC1 ビットエラー／ECC2 ビットエラー割り込み	MMCA0	—	—	—	○			
			INTDMAERR	DMA 転送エラー割り込み	PDMAn	○	○	—	○			

注1.　**「表 7A.1 例外要因一覧」**を参照してください。

注2.　INTOSTM0 は、EIINT と FEINT にアサインされており、同時に使用することは禁止です。
INTOSTM0 を FEINT で使用した場合、OSTM0 で TSU（Timing Supervision Unit）機能として実現できます。

注3.　INTOSTM5 は、EIINT と FEINT にアサインされており、同時に使用することは禁止です。
INTOSTM5 を FEINT で使用した場合、OSTM5 で TSU（Timing Supervision Unit）機能として実現できます。

-タイミング監視（TSU）
信頼済みでないプログラムの不当な CPU 時間占有を防ぐことや、資産管理、割り込み禁止の時間の管理を行えます。

7A.2.1.3　EI レベルマスカブル割り込み

(1) 割り込み名称規則

割り込み要求名、割り込み要求を制御する制御レジスタおよびビットは次のような規則になっています。

以下、特定の割り込み要求名前を<*name*>で表します。

IC<*name*>用の名称の詳細に関しては、「**表 7A.4 EI レベルマスカブル割り込み要因**」を参照してください。

- 割り込み要求名：**INT**<*name*>

  接頭語“**INT**”は、<*name*>の前に付きます。

- 割り込み制御レジスタ：**IC**<*name*>

  接頭語“**IC**”は、<*name*>の前に付きます。
  16 ビットの **IC**<*name*>レジスタは、バイト単位でアクセスすることもできます。

  - **IC**<*name*>レジスタの下位バイト（ビット[7:0]）：**IC**<*name*>**L**
    接尾語“**L**”は、レジスタ名 **IC**<*name*>の後に追加されます。
  - **IC**<*name*>レジスタの上位バイト（ビット[15:8]）：**IC**<*name*>**H**
    接尾語“**H**”は、レジスタ名 **IC**<*name*>の後に追加されます。

- 割り込み制御レジスタのビット名：**CT**<*name*>, **RF**<*name*>, **MK**<*name*>, **TB**<*name*>, **P3**<*name*>, **P2**<*name*>, **P1**<*name*>, **P0**<*name*>

  ビット接頭辞“**CT**”,“**RF**”,“**MK**”,“**TB**”,“**P3**”,“**P2**”,“**P1**”,“**P0**”は、割り込み<*name*>の前に追加されます。

例

TAUD0 のチャネル 2 の割り込み要求（<*name*>＝*TAUD0I2*）の場合次のような名前になります。

INT*TAUD0I2*

関係する割り込み制御レジスタの名前は次のようになります。

IC*TAUD0I2*, **IC***TAUD0I2***L**, **IC***TAUD0I2***H**

制御レジスタのビット名は次のようになります

CT*TAUD0I2*, **RF***TAUD0I2*, **MK***TAUD0I2*, **TB***TAUD0I2*, **P3***TAUD0I2*, **P2***TAUD0I2*, **P1***TAUD0I2*, **P0***TAUD0I2*

(2) 優先順位

「**表 7A.1 例外要因一覧**」を参照してください。

(3) 復帰 PC

EIRET 命令による割り込み処理ルーチンからの復帰 PC は、中断された PC（カレント PC）となります。

(4) 制御レジスタ

EI レベルマスカブル割り込み制御レジスタ

「**7A.4.2 ICxxx — EI レベル割り込み制御レジスタ**」を参照してください。

(5) 復帰命令

EIRET 命令

(6) 構成

EI レベルマスカブル割り込みは、INTC1 と INTC2 の 2 つのコントローラで制御されます。
INTC1 と INTC2 のカスケード接続で合計 382ch をサポートしています。

- INTC1

  CPU1 と CPU2 は、それぞれ個別の割り込みコントローラを持っています。

  各 CPU は、その CPU に対応する INTC1 レジスタにアクセスします。

  INTC1 は高速割り込みを制御し、以下のような機能を備えています。

  - 優先度設定
  - 割り込みマスク設定

- INTC2

  INTC2 は、CPU1 と CPU2 の共用割り込みコントローラです。

  INTC2 は低速割り込みを制御し、以下のような機能を備えています。

  - 優先度設定
  - 割り込みマスク設定
  - バインディング設定

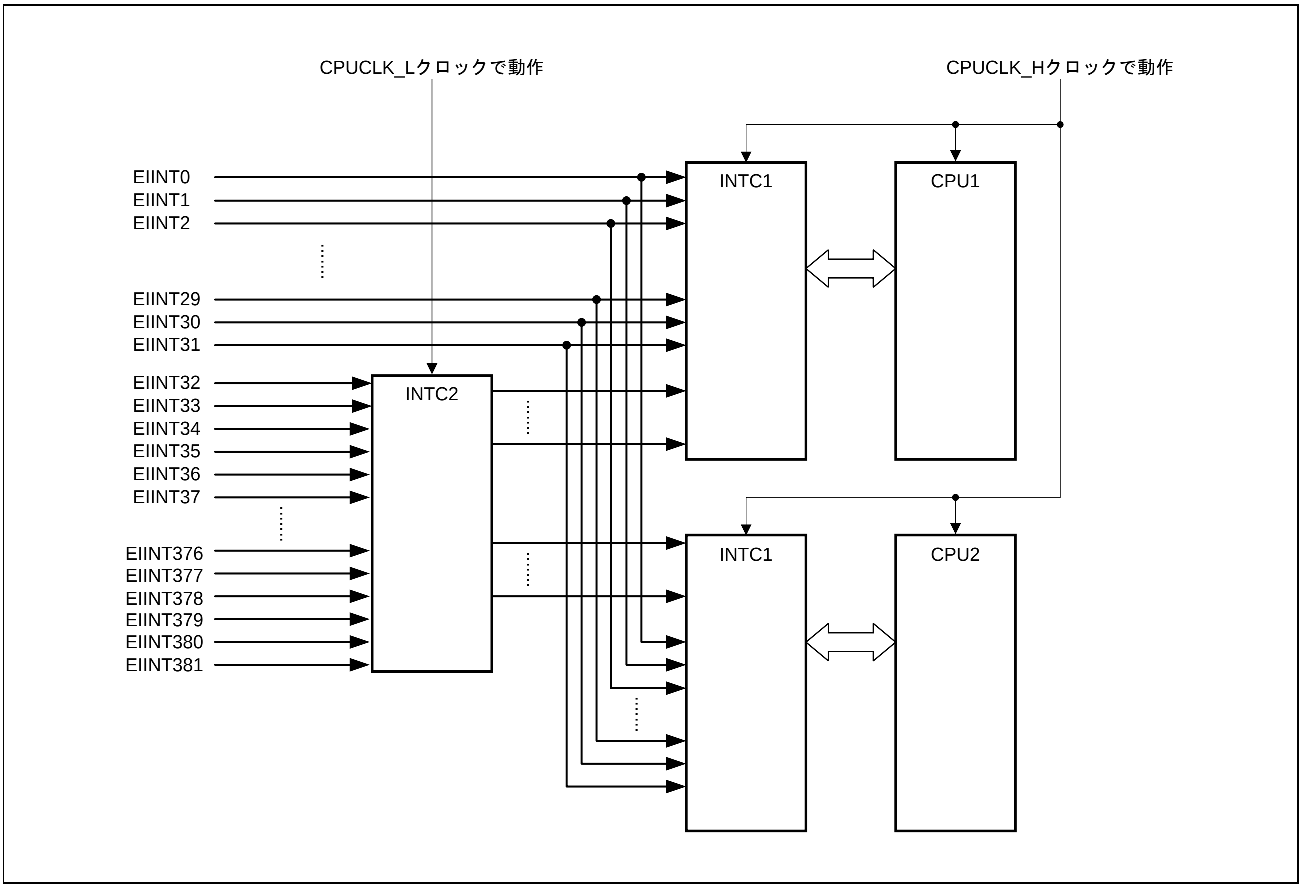


図 7A.1　　EI レベルマスカブル割り込みの構成図

注　意

INTC2 は CPUCLK_L で動作しているため、INTC2 に接続されている EIINT32 から EIINT381 は INTC1 の割り込みより遅延が発生します。

EI レベルマスカブル割り込みの一覧を「**表 7A.4 EI レベルマスカブル割り込み要因**」に示します。

表 7A.4　　EI レベルマスカブル割り込み要因

割り込み			割り込み要求				例外要因コード	176 Pin	233 Pin	272 Pin	324 Pin	ハンドラアドレス（オフセット）[注8]		
チャネル番号[注1]	制御レジスタ		名称	発生要因	ユニット	検出タイプ[注2]						直接分岐方式		テーブル参照方式[注5]
	名称	アドレス										RINT=0	RINT=1	
0	ICIPIR0	FFFE EA00$_H$	INTIPIR0	内部プロセッサ割り込み 0	IPIRSS	エッジ	1000$_H$	○	○	—	○	注3	注4	+000$_H$
1	ICIPIR1	FFFE EA02$_H$	INTIPIR1	内部プロセッサ割り込み 1	IPIRSS	エッジ	1001$_H$	○	○	—	○			+004$_H$
2	ICIPIR2	FFFE EA04$_H$	INTIPIR2	内部プロセッサ割り込み 2	IPIRSS	エッジ	1002$_H$	○	○	—	○			+008$_H$
3	ICIPIR3	FFFE EA06$_H$	INTIPIR3	内部プロセッサ割り込み 3	IPIRSS	エッジ	1003$_H$	○	○	—	○			+00C$_H$
4	ICBN0	FFFE EA08$_H$	INTBN0	ブロードキャスト検出割り込み 0	INTC2	エッジ	1004$_H$	○	○	—	○			+010$_H$
5	ICBN1	FFFE EA0A$_H$	INTBN1	ブロードキャスト検出割り込み 1	INTC2	エッジ	1005$_H$	○	○	—	○			+014$_H$
6	リザーブ	FFFE EA0C$_H$					1006$_H$	—	—	—	—			+018$_H$
7	リザーブ	FFFE EA0E$_H$					1007$_H$	—	—	—	—			+01C$_H$
8	ICTAUD0I0	FFFE EA10$_H$	INTTAUD0I0[注6]	TAUD0 の CH0 割り込み	TAUD0	エッジ	1008$_H$	○	○	—	○			+020$_H$
	ICCSIH2IC_1		INTCSIH2IC_1[注6]	CSIH2 通信ステータス割り込み	CSIH2	エッジ		○	○	—	○			
9	ICTAUD0I2	FFFE EA12$_H$	INTTAUD0I2[注6]	TAUD0 の CH2 割り込み	TAUD0	エッジ	1009$_H$	○	○	—	○			+024$_H$
	ICCSIH3IC_1		INTCSIH3IC_1[注6]	CSIH3 通信ステータス割り込み	CSIH3	エッジ		○	○	—	○			
10	ICTAUD0I4	FFFE EA14$_H$	INTTAUD0I4[注6]	TAUD0 の CH4 割り込み	TAUD0	エッジ	100A$_H$	○	○	—	○			+028$_H$
	ICCSIH2IR_1		INTCSIH2IR_1[注6]	CSIH2 受信ステータス割り込み	CSIH2	エッジ		○	○	—	○			
11	ICTAUD0I6	FFFE EA16$_H$	INTTAUD0I6[注6]	TAUD0 の CH6 割り込み	TAUD0	エッジ	100B$_H$	○	○	—	○			+02C$_H$
	ICCSIH2IRE_1		INTCSIH2IRE_1[注6]	CSIH2 通信エラー割り込み	CSIH2	エッジ		○	○	—	○			
12	ICTAUD0I8	FFFE EA18$_H$	INTTAUD0I8[注6]	TAUD0 の CH8 割り込み	TAUD0	エッジ	100C$_H$	○	○	—	○			+030$_H$
	ICCSIH2IJC_1		INTCSIH2IJC_1[注6]	CSIH2 ジョブ完了割り込み	CSIH2	エッジ		○	○	—	○			
13	ICTAUD0I10	FFFE EA1A$_H$	INTTAUD0I10[注6]	TAUD0 の CH10 割り込み	TAUD0	エッジ	100D$_H$	○	○	—	○			+034$_H$
	ICCSIH3IR_1		INTCSIH3IR_1[注6]	CSIH3 受信ステータス割り込み	CSIH3	エッジ		○	○	—	○			
14	ICTAUD0I12	FFFE EA1C$_H$	INTTAUD0I12[注6]	TAUD0 の CH12 割り込み	TAUD0	エッジ	100E$_H$	○	○	—	○			+038$_H$
	ICCSIH3IRE_1		INTCSIH3IRE_1[注6]	CSIH3 通信エラー割り込み	CSIH3	エッジ		○	○	—	○			
15	ICTAUD0I14	FFFE EA1E$_H$	INTTAUD0I14[注6]	TAUD0 の CH14 割り込み	TAUD0	エッジ	100F$_H$	○	○	—	○			+03C$_H$
	ICCSIH3IJC_1		INTCSIH3IJC_1[注6]	CSIH3 ジョブ完了割り込み	CSIH3	エッジ		○	○	—	○			
16	ICTAPA0IPEK0	FFFE EA20$_H$	INTTAPA0IPEK0[注6]	TAPA0 山割り込み 0	TAPA0	エッジ	1010$_H$	○	○	—	○			+040$_H$
	ICCSIH1IC_1		INTCSIH1IC_1[注6]	CSIH1 通信ステータス割り込み	CSIH1	エッジ		○	○	—	○			
17	ICTAPA0IVLY0	FFFE EA22$_H$	INTTAPA0IVLY0[注6]	TAPA0 谷割り込み 0	TAPA0	エッジ	1011$_H$	○	○	—	○			+044$_H$
	ICCSIH1IR_1		INTCSIH1IR_1[注6]	CSIH1 受信ステータス割り込み	CSIH1	エッジ		○	○	—	○			
18	ICADCA0I0	FFFE EA24$_H$	INTADCA0I0	ADCA0 スキャングループ 1（SG1）終了割り込み	ADCA0	エッジ	1012$_H$	○	○	—	○			+048$_H$
19	ICADCA0I1	FFFE EA26$_H$	INTADCA0I1	ADCA0 スキャングループ 2（SG2）終了割り込み	ADCA0	エッジ	1013$_H$	○	○	—	○			+04C$_H$
20	ICADCA0I2	FFFE EA28$_H$	INTADCA0I2[注6]	ADCA0 スキャングループ 3（SG3）終了割り込み	ADCA0	エッジ	1014$_H$	○	○	—	○			+050$_H$
	ICCSIH0IJC_1		INTCSIH0IJC_1[注6]	CSIH0 ジョブ完了割り込み	CSIH0	エッジ		○	○	—	○			
21	ICDCUTDI	FFFE EA2A$_H$	INTDCUTDI	オンチップデバッグ機能専用割り込み	Port	エッジ	1015$_H$	○	○	—	○			+054$_H$
22	ICRCANGERR0	FFFE EA2C$_H$	INTRCANGERR0	CAN グローバルエラー割り込み	RCFDC0	レベル	1016$_H$	○	○	—	○			+058$_H$
23	ICRCANGRECC0	FFFE EA2E$_H$	INTRCANGRECC0	CAN 受信 FIFO 割り込み	RCFDC0	レベル	1017$_H$	○	○	—	○			+05C$_H$
24	ICRCAN0ERR	FFFE EA30$_H$	INTRCAN0ERR	CAN0 エラー割り込み	RCFDC0	レベル	1018$_H$	○	○	—	○			+060$_H$
25	ICRCAN0REC	FFFE EA32$_H$	INTRCAN0REC	CAN0 送受信 FIFO 受信完了割り込み	RCFDC0	レベル	1019$_H$	○	○	—	○			+064$_H$
26	ICRCAN0TRX	FFFE EA34$_H$	INTRCAN0TRX	CAN0 送信割り込み	RCFDC0	レベル	101A$_H$	○	○	—	○			+068$_H$
27	ICCSIG0IC	FFFE EA36$_H$	INTCSIG0IC[注6]	CSIG0 通信ステータス割り込み	CSIG0	エッジ	101B$_H$	○	○	—	○			+06C$_H$
	ICCSIH1IRE_1		INTCSIH1IRE_1[注6]	CSIH1 通信エラー割り込み	CSIH1	エッジ		○	○	—	○			
28	ICCSIG0IR	FFFE EA38$_H$	INTCSIG0IR[注6]	CSIG0 受信ステータス割り込み	CSIG0	エッジ	101C$_H$	○	○	—	○			+070$_H$
	ICCSIH1IJC_1		INTCSIH1IJC_1[注6]	CSIH1 ジョブ完了割り込み	CSIH1	エッジ		○	○	—	○			
29	ICCSIH0IC	FFFE EA3A$_H$	INTCSIH0IC	CSIH0 通信ステータス割り込み	CSIH0	エッジ	101D$_H$	○	○	—	○			+074$_H$
30	ICCSIH0IR	FFFE EA3C$_H$	INTCSIH0IR	CSIH0 受信ステータス割り込み	CSIH0	エッジ	101E$_H$	○	○	—	○			+078$_H$
31	ICCSIH0IRE	FFFE EA3E$_H$	INTCSIH0IRE	CSIH0 通信エラー割り込み	CSIH0	エッジ	101F$_H$	○	○	—	○			+07C$_H$

表 7A.4　　EI レベルマスカブル割り込み要因

割り込み			割り込み要求				例外要因コード	176 Pin	233 Pin	272 Pin	324 Pin	ハンドラアドレス（オフセット）注8		
チャネル番号注1	制御レジスタ											直接分岐方式		テーブル参照方式注5
	名称	アドレス	名称	発生要因	ユニット	検出タイプ注2						RINT=0	RINT=1	
32	ICCSIH0IJC	FFFF B040$_H$	INTCSIH0IJC 注6	CSIH0 ジョブ完了割り込み	CSIH0	エッジ	1020$_H$	○	○	—	○	注3	注4	+080$_H$
	ICADCA0I2_2		INTADCA0I2_2 注6	ADCA0 スキャングループ 3（SG3）終了割り込み	ADCA0	エッジ		○	○	—	○			
33	ICRLIN30	FFFF B042$_H$	INTRLIN30	RLIN30 割り込み	RLIN30	エッジ	1021$_H$	○	○	—	○			+084$_H$
34	ICRLIN30UR0	FFFF B044$_H$	INTRLIN30UR0	RLIN30 送信割り込み	RLIN30	エッジ	1022$_H$	○	○	—	○			+088$_H$
35	ICRLIN30UR1	FFFF B046$_H$	INTRLIN30UR1	RLIN30 受信完了割り込み	RLIN30	エッジ	1023$_H$	○	○	—	○			+08C$_H$
36	ICRLIN30UR2	FFFF B048$_H$	INTRLIN30UR2	RLIN30 ステータス割り込み	RLIN30	エッジ	1024$_H$	○	○	—	○			+090$_H$
37	ICP0	FFFF B04A$_H$	INTP0	外部割り込み	Port	エッジ	1025$_H$	○	○	—	○			+094$_H$
38	ICP1	FFFF B04C$_H$	INTP1	外部割り込み	Port	エッジ	1026$_H$	○	○	—	○			+098$_H$
39	ICP2	FFFF B04E$_H$	INTP2	外部割り込み	Port	エッジ	1027$_H$	○	○	—	○			+09C$_H$
40	ICWDTA0	FFFF B050$_H$	INTWDTA0	WDTA0 75%割り込み	WDTA0	エッジ	1028$_H$	○	○	—	○			+0A0$_H$
41	ICWDTA1	FFFF B052$_H$	INTWDTA1	WDTA1 75%割り込み	WDTA1	エッジ	1029$_H$	○	○	—	○			+0A4$_H$
42	ICWDTA2	FFFF B054$_H$	INTWDTA2	WDTA2 75%割り込み	WDTA2	エッジ	102A$_H$	○	○	—	○			+0A8$_H$
43	ICP3	FFFF B056$_H$	INTP3	外部割り込み	Port	エッジ	102B$_H$	○	○	—	○			+0AC$_H$
44	ICP4	FFFF B058$_H$	INTP4	外部割り込み	Port	エッジ	102C$_H$	○	○	—	○			+0B0$_H$
45	ICP5	FFFF B05A$_H$	INTP5	外部割り込み	Port	エッジ	102D$_H$	○	○	—	○			+0B4$_H$
46	ICP10	FFFF B05C$_H$	INTP10	外部割り込み	Port	エッジ	102E$_H$	○	○	—	○			+0B8$_H$
47	ICP11	FFFF B05E$_H$	INTP11	外部割り込み	Port	エッジ	102F$_H$	○	○	—	○			+0BC$_H$
48	ICTAUD0I1	FFFF B060$_H$	INTTAUD0I1	TAUD0 チャネル 1 割り込み	TAUD0	エッジ	1030$_H$	○	○	—	○			+0C0$_H$
49	ICTAUD0I3	FFFF B062$_H$	INTTAUD0I3	TAUD0 チャネル 3 割り込み	TAUD0	エッジ	1031$_H$	○	○	—	○			+0C4$_H$
50	ICTAUD0I5	FFFF B064$_H$	INTTAUD0I5	TAUD0 チャネル 5 割り込み	TAUD0	エッジ	1032$_H$	○	○	—	○			+0C8$_H$
51	ICTAUD0I7	FFFF B066$_H$	INTTAUD0I7	TAUD0 チャネル 7 割り込み	TAUD0	エッジ	1033$_H$	○	○	—	○			+0CC$_H$
52	ICTAUD0I9	FFFF B068$_H$	INTTAUD0I9	TAUD0 チャネル 9 割り込み	TAUD0	エッジ	1034$_H$	○	○	—	○			+0D0$_H$
53	ICTAUD0I11	FFFF B06A$_H$	INTTAUD0I11	TAUD0 チャネル 11 割り込み	TAUD0	エッジ	1035$_H$	○	○	—	○			+0D4$_H$
54	ICTAUD0I13	FFFF B06C$_H$	INTTAUD0I13	TAUD0 チャネル 13 割り込み	TAUD0	エッジ	1036$_H$	○	○	—	○			+0D8$_H$
55	ICTAUD0I15	FFFF B06E$_H$	INTTAUD0I15	TAUD0 チャネル 15 割り込み	TAUD0	エッジ	1037$_H$	○	○	—	○			+0DC$_H$
56	ICADCA0ERR	FFFF B070$_H$	INTADCA0ERR	ADCA0 エラー割り込み	ADCA0	エッジ	1038$_H$	○	○	—	○			+0E0$_H$
57	ICCSIG0IRE	FFFF B072$_H$	INTCSIG0IRE	CSIG0 通信エラー割り込み	CSIG0	エッジ	1039$_H$	○	○	—	○			+0E4$_H$
58	ICRLIN20	FFFF B074$_H$	INTRLIN20	RLIN20 割り込み	RLIN240	エッジ	103A$_H$	○	○	—	○			+0E8$_H$
59	ICRLIN21	FFFF B076$_H$	INTRLIN21	RLIN21 割り込み	RLIN240	エッジ	103B$_H$	○	○	—	○			+0EC$_H$
60	ICDMA0	FFFF B078$_H$	INTDMA0	DMA00 転送完了	PDMA0	エッジ	103C$_H$	○	○	—	○			+0F0$_H$
61	ICDMA1	FFFF B07A$_H$	INTDMA1	DMA01 転送完了	PDMA0	エッジ	103D$_H$	○	○	—	○			+0F4$_H$
62	ICDMA2	FFFF B07C$_H$	INTDMA2	DMA02 転送完了	PDMA0	エッジ	103E$_H$	○	○	—	○			+0F8$_H$
63	ICDMA3	FFFF B07E$_H$	INTDMA3	DMA03 転送完了	PDMA0	エッジ	103F$_H$	○	○	—	○			+0FC$_H$
64	ICDMA4	FFFF B080$_H$	INTDMA4	DMA04 転送完了	PDMA0	エッジ	1040$_H$	○	○	—	○			+100$_H$
65	ICDMA5	FFFF B082$_H$	INTDMA5	DMA05 転送完了	PDMA0	エッジ	1041$_H$	○	○	—	○			+104$_H$
66	ICDMA6	FFFF B084$_H$	INTDMA6	DMA06 転送完了	PDMA0	エッジ	1042$_H$	○	○	—	○			+108$_H$
67	ICDMA7	FFFF B086$_H$	INTDMA7	DMA07 転送完了	PDMA0	エッジ	1043$_H$	○	○	—	○			+10C$_H$
68	ICDMA8	FFFF B088$_H$	INTDMA8	DMA10 転送完了	PDMA0	エッジ	1044$_H$	○	○	—	○			+110$_H$
69	ICDMA9	FFFF B08A$_H$	INTDMA9	DMA11 転送完了	PDMA0	エッジ	1045$_H$	○	○	—	○			+114$_H$
70	ICDMA10	FFFF B08C$_H$	INTDMA10	DMA12 転送完了	PDMA0	エッジ	1046$_H$	○	○	—	○			+118$_H$
71	ICDMA11	FFFF B08E$_H$	INTDMA11	DMA13 転送完了	PDMA0	エッジ	1047$_H$	○	○	—	○			+11C$_H$
72	ICDMA12	FFFF B090$_H$	INTDMA12	DMA14 転送完了	PDMA0	エッジ	1048$_H$	○	○	—	○			+120$_H$
73	ICDMA13	FFFF B092$_H$	INTDMA13	DMA15 転送完了	PDMA0	エッジ	1049$_H$	○	○	—	○			+124$_H$
74	ICDMA14	FFFF B094$_H$	INTDMA14	DMA16 転送完了	PDMA0	エッジ	104A$_H$	○	○	—	○			+128$_H$
75	ICDMA15	FFFF B096$_H$	INTDMA15	DMA17 転送完了	PDMA0	エッジ	104B$_H$	○	○	—	○			+12C$_H$
76	ICRIIC0TI	FFFF B098$_H$	INTRIIC0TI	RIIC0 送信データエンプティ割り込み	RIIC0	エッジ	104C$_H$	○	○	—	○			+130$_H$
77	ICRIIC0EE	FFFF B09A$_H$	INTRIIC0EE	RIIC0 受信エラー／イベント割り込み	RIIC0	レベル	104D$_H$	○	○	—	○			+134$_H$
78	ICRIIC0RI	FFFF B09C$_H$	INTRIIC0RI	RIIC0 受信完了割り込み	RIIC0	エッジ	104E$_H$	○	○	—	○			+138$_H$

表 7A.4　　EI レベルマスカブル割り込み要因

割り込み			割り込み要求				例外要因コード	176 Pin	233 Pin	272 Pin	324 Pin	ハンドラアドレス（オフセット）注8		
チャネル番号注1	制御レジスタ 名称	制御レジスタ アドレス	名称	発生要因	ユニット	検出タイプ注2						直接分岐方式 RINT＝0	直接分岐方式 RINT＝1	テーブル参照方式注5
79	ICRIIC0TEI	FFFF B09E$_H$	INTRIIC0TEI	RIIC0 送信完了割り込み	RIIC0	レベル	104F$_H$	○	○	—	○	注3	注4	+13C$_H$
80	ICTAUJ0I0	FFFF B0A0$_H$	INTTAUJ0I0	TAUJ0 チャネル 0 割り込み	TAUJ0	エッジ	1050$_H$	○	○	—	○			+140$_H$
81	ICTAUJ0I1	FFFF B0A2$_H$	INTTAUJ0I1	TAUJ0 チャネル 1 割り込み	TAUJ0	エッジ	1051$_H$	○	○	—	○			+144$_H$
82	ICTAUJ0I2	FFFF B0A4$_H$	INTTAUJ0I2	TAUJ0 チャネル 2 割り込み	TAUJ0	エッジ	1052$_H$	○	○	—	○			+148$_H$
83	ICTAUJ0I3	FFFF B0A6$_H$	INTTAUJ0I3	TAUJ0 チャネル 3 割り込み	TAUJ0	エッジ	1053$_H$	○	○	—	○			+14C$_H$
84	ICOSTM0	FFFF B0A8$_H$	INTOSTM0 注9	OSTM0 割り込み	OSTM0	エッジ	1054$_H$	○	○	—	○			+150$_H$
85	ICENCA0IOV	FFFF B0AA$_H$	INTENCA0IOV	ENCA0 オーバフロー割り込み	ENCA0	エッジ	1055$_H$	○	○	—	○			+154$_H$
86	ICENCA0IUD	FFFF B0AC$_H$	INTENCA0IUD	ENCA0 アンダフロー割り込み	ENCA0	エッジ	1056$_H$	○	○	—	○			+158$_H$
87	ICENCA0I0	FFFF B0AE$_H$	INTENCA0I0	ENCA0 一致／キャプチャ割り込み 0	ENCA0	エッジ	1057$_H$	○	○	—	○			+15C$_H$
88	ICENCA0I1	FFFF B0B0$_H$	INTENCA0I1	ENCA0 一致／キャプチャ割り込み 1	ENCA0	エッジ	1058$_H$	○	○	—	○			+160$_H$
89	ICENCA0IEC	FFFF B0B2$_H$	INTENCA0IEC	ENCA0 エンコーダクリア割り込み	ENCA0	エッジ	1059$_H$	○	○	—	○			+164$_H$
90	ICKR0	FFFF B0B4$_H$	INTKR0	KR0 キー割り込み	KR0	エッジ	105A$_H$	○	○	—	○			+168$_H$
91	ICQFULL	FFFF B0B6$_H$	INTQFULL	PWSA0 キューフル割り込み	PWSA0	エッジ	105B$_H$	○	○	—	○			+16C$_H$
92	ICPWGAG00	FFFF B0B8$_H$	INTPWGAG00 注7	PWGA 割り込みグループ 00（PWGA0～PWGA31）	PWGA0-31	レベル	105C$_H$	○	○	—	○			+170$_H$
93	ICPWGAG01	FFFF B0BA$_H$	INTPWGAG01 注7	PWGA 割り込みグループ 01（PWGA32～PWGA63）	PWGA32-63	レベル	105D$_H$	○	○	—	○			+174$_H$
94	ICPWGAG02	FFFF B0BC$_H$	INTPWGAG02 注7	PWGA 割り込みグループ 02（PWGA64～PWGA95）	PWGA64-95	レベル	105E$_H$	○	○	—	○			+178$_H$
95	ICPWGAG10	FFFF B0BE$_H$	INTPWGAG10 注7	PWGA 割り込みグループ 10（PWGA0～PWGA31）	PWGA0-31	レベル	105F$_H$	○	○	—	○			+17C$_H$
96	ICPWGAG11	FFFF B0C0$_H$	INTPWGAG11 注7	PWGA 割り込みグループ 11（PWGA32～PWGA63）	PWGA32-63	レベル	1060$_H$	○	○	—	○			+180$_H$
97	ICPWGAG12	FFFF B0C2$_H$	INTPWGAG12 注7	PWGA 割り込みグループ 12（PWGA64～PWGA95）	PWGA64-95	レベル	1061$_H$	○	○	—	○			+184$_H$
98	ICCSIG4IC	FFFF B0C4$_H$	INTCSIG4IC	CSIG4 通信ステータス割り込み	CSIG4	エッジ	1062$_H$	○	○	—	○			+188$_H$
99	ICCSIG4IR	FFFF B0C6$_H$	INTCSIG4IR	CSIG4 受信ステータス割り込み	CSIG4	エッジ	1063$_H$	○	○	—	○			+18C$_H$
100	ICCSIG4IRE	FFFF B0C8$_H$	INTCSIG4IRE	CSIG4 通信エラー割り込み	CSIG4	エッジ	1064$_H$	○	○	—	○			+190$_H$
101	ICDMA32	FFFF B0CA$_H$	INTDMA32	DMA00 転送完了	PDMA1	エッジ	1065$_H$	○	○	—	○			+194$_H$
102	ICDMA33	FFFF B0CC$_H$	INTDMA33	DMA01 転送完了	PDMA1	エッジ	1066$_H$	○	○	—	○			+198$_H$
103	ICDMA34	FFFF B0CE$_H$	INTDMA34	DMA02 転送完了	PDMA1	エッジ	1067$_H$	○	○	—	○			+19C$_H$
104	リザーブ	FFFF B0D0$_H$					1068$_H$	—	—	—	—			+1A0$_H$
105	リザーブ	FFFF B0D2$_H$					1069$_H$	—	—	—	—			+1A4$_H$
106	ICDMA35	FFFF B0D4$_H$	INTDMA35	DMA03 転送完了	PDMA1	エッジ	106A$_H$	○	○	—	○			+1A8$_H$
107	リザーブ	FFFF B0D6$_H$					106B$_H$	—	—	—	—			+1AC$_H$
108	リザーブ	FFFF B0D8$_H$					106C$_H$	—	—	—	—			+1B0$_H$
109	リザーブ	FFFF B0DA$_H$					106D$_H$	—	—	—	—			+1B4$_H$
110	ICFLERR	FFFF B0DC$_H$	INTFLERR 注11	フラッシュシーケンサ終了エラー割り込み	FACI	レベル	106E$_H$	○	○	—	○			+1B8$_H$
111	ICFLENDNM	FFFF B0DE$_H$	INTFLENDNM 注11	フラッシュシーケンサ終了割り込み	FACI	エッジ	106F$_H$	○	○	—	○			+1BC$_H$
112	ICCWEND	FFFF B0E0$_H$	INTCWEND	LPS0 ポートポーリング終了割り込み	LPS0	エッジ	1070$_H$	○	○	—	○			+1C0$_H$
113	ICRCAN1ERR	FFFF B0E2$_H$	INTRCAN1ERR	CAN1 エラー割り込み	RCFDC0	レベル	1071$_H$	○	○	—	○			+1C4$_H$
114	ICRCAN1REC	FFFF B0E4$_H$	INTRCAN1REC	CAN1 送受信 FIFO 受信完了割り込み	RCFDC0	レベル	1072$_H$	○	○	—	○			+1C8$_H$
115	ICRCAN1TRX	FFFF B0E6$_H$	INTRCAN1TRX	CAN1 送信割り込み	RCFDC0	レベル	1073$_H$	○	○	—	○			+1CC$_H$
116	ICCSIH1IC	FFFF B0E8$_H$	INTCSIH1IC 注6	CSIH1 通信ステータス割り込み	CSIH1	エッジ	1074$_H$	○	○	—	○			+1D0$_H$
	ICTAPA0IPEK0_2		INTTAPA0IPEK0_2 注6	TAPA0 山割り込み 0	TAPA0	エッジ		○	○	—	○			
117	ICCSIH1IR	FFFF B0EA$_H$	INTCSIH1IR 注6	CSIH1 受信ステータス割り込み	CSIH1	エッジ	1075$_H$	○	○	—	○			+1D4$_H$
	ICTAPA0IVLY0_2		INTTAPA0IVLY0_2 注6	TAPA0 谷割り込み 0	TAPA0	エッジ		○	○	—	○			
118	ICCSIH1IRE	FFFF B0EC$_H$	INTCSIH1IRE 注6	CSIH1 通信エラー割り込み	CSIH1	エッジ	1076$_H$	○	○	—	○			+1D8$_H$
	ICCSIG0IC_2		INTCSIG0IC_2 注6	CSIG0 通信ステータス割り込み	CSIG0	エッジ		○	○	—	○			

表 7A.4　　EI レベルマスカブル割り込み要因

割り込み			割り込み要求				例外要因コード	176 Pin	233 Pin	272 Pin	324 Pin	ハンドラアドレス（オフセット）[注8]		
チャネル番号[注1]	制御レジスタ											直接分岐方式		テーブル参照方式[注5]
	名称	アドレス	名称	発生要因	ユニット	検出タイプ[注2]						RINT=0	RINT=1	
119	ICCSIH1IJC	FFFF B0EE$_H$	INTCSIH1IJC [注6]	CSIH1 ジョブ完了割り込み	CSIH1	エッジ	1077$_H$	○	○	—	○	[注3]	[注4]	+1DC$_H$
	ICCSIG0IR_2		INTCSIG0IR_2 [注6]	CSIG0 受信ステータス割り込み	CSIG0	エッジ		○	○	—	○			
120	ICRLIN31	FFFF B0F0$_H$	INTRLIN31	RLIN31 割り込み	RLIN31	エッジ	1078$_H$	○	○	—	○			+1E0$_H$
121	ICRLIN31UR0	FFFF B0F2$_H$	INTRLIN31UR0	RLIN31 送信割り込み	RLIN31	エッジ	1079$_H$	○	○	—	○			+1E4$_H$
122	ICRLIN31UR1	FFFF B0F4$_H$	INTRLIN31UR1	RLIN31 受信完了割り込み	RLIN31	エッジ	107A$_H$	○	○	—	○			+1E8$_H$
123	ICRLIN31UR2	FFFF B0F6$_H$	INTRLIN31UR2	RLIN31 ステータス割り込み	RLIN31	エッジ	107B$_H$	○	○	—	○			+1EC$_H$
124	ICCSIH4IC	FFFF B0F8$_H$	INTCSIH4IC	CSIH4 通信ステータス割り込み	CSIH4	エッジ	107C$_H$	○	○	—	○			+1F0$_H$
125	ICCSIH4IR	FFFF B0FA$_H$	INTCSIH4IR	CSIH4 受信ステータス割り込み	CSIH4	エッジ	107D$_H$	○	○	—	○			+1F4$_H$
126	ICCSIH4IRE	FFFF B0FC$_H$	INTCSIH4IRE	CSIH4 通信エラー割り込み	CSIH4	エッジ	107E$_H$	○	○	—	○			+1F8$_H$
127	ICCSIH4IJC	FFFF B0FE$_H$	INTCSIH4IJC	CSIH4 ジョブ完了割り込み	CSIH4	エッジ	107F$_H$	○	○	—	○			+1FC$_H$
128	ICP6	FFFF B100$_H$	INTP6	外部割り込み	Port	エッジ	1080$_H$	○	○	—	○			+200$_H$
129	ICP7	FFFF B102$_H$	INTP7	外部割り込み	Port	エッジ	1081$_H$	○	○	—	○			+204$_H$
130	ICP8	FFFF B104$_H$	INTP8	外部割り込み	Port	エッジ	1082$_H$	○	○	—	○			+208$_H$
131	ICP12	FFFF B106$_H$	INTP12	外部割り込み	Port	エッジ	1083$_H$	○	○	—	○			+20C$_H$
132	ICCSIH2IC	FFFF B108$_H$	INTCSIH2IC [注6]	CSIH2 通信ステータス割り込み	CSIH2	エッジ	1084$_H$	○	○	—	○			+210$_H$
	ICTAUD0I0_2		INTTAUD0I0_2 [注6]	TAUD0 チャネル 0 割り込み	TAUD0	エッジ		○	○	—	○			
133	ICCSIH2IR	FFFF B10A$_H$	INTCSIH2IR [注6]	CSIH2 受信ステータス割り込み	CSIH2	エッジ	1085$_H$	○	○	—	○			+214$_H$
	ICTAUD0I4_2		INTTAUD0I4_2 [注6]	TAUD0 チャネル 4 割り込み	TAUD0	エッジ		○	○	—	○			
134	ICCSIH2IRE	FFFF B10C$_H$	INTCSIH2IRE [注6]	CSIH2 通信エラー割り込み	CSIH2	エッジ	1086$_H$	○	○	—	○			+218$_H$
	ICTAUD0I6_2		INTTAUD0I6_2 [注6]	TAUD0 チャネル 6 割り込み	TAUD0	エッジ		○	○	—	○			
135	ICCSIH2IJC	FFFF B10E$_H$	INTCSIH2IJC [注6]	CSIH2 ジョブ完了割り込み	CSIH2	エッジ	1087$_H$	○	○	—	○			+21C$_H$
	ICTAUD0I8_2		INTTAUD0I8_2 [注6]	TAUD0 チャネル 8 割り込み	TAUD0	エッジ		○	○	—	○			
136	リザーブ	FFFF B110$_H$					1088$_H$	—	—	—	—			+220$_H$
137	リザーブ	FFFF B112$_H$					1089$_H$	—	—	—	—			+224$_H$
138	リザーブ	FFFF B114$_H$					108A$_H$	—	—	—	—			+228$_H$
139	リザーブ	FFFF B116$_H$					108B$_H$	—	—	—	—			+22C$_H$
140	リザーブ	FFFF B118$_H$					108C$_H$	—	—	—	—			+230$_H$
141	リザーブ	FFFF B11A$_H$					108D$_H$	—	—	—	—			+234$_H$
142	ICTAUB0I0	FFFF B11C$_H$	INTTAUB0I0	TAUB0 チャネル 0 割り込み	TAUB0	エッジ	108E$_H$	○	○	—	○			+238$_H$
143	ICTAUB0I1	FFFF B11E$_H$	INTTAUB0I1	TAUB0 チャネル 1 割り込み	TAUB0	エッジ	108F$_H$	○	○	—	○			+23C$_H$
144	ICTAUB0I2	FFFF B120$_H$	INTTAUB0I2	TAUB0 チャネル 2 割り込み	TAUB0	エッジ	1090$_H$	○	○	—	○			+240$_H$
145	ICTAUB0I3	FFFF B122$_H$	INTTAUB0I3	TAUB0 チャネル 3 割り込み	TAUB0	エッジ	1091$_H$	○	○	—	○			+244$_H$
146	ICTAUB0I4	FFFF B124$_H$	INTTAUB0I4	TAUB0 チャネル 4 割り込み	TAUB0	エッジ	1092$_H$	○	○	—	○			+248$_H$
147	ICTAUB0I5	FFFF B126$_H$	INTTAUB0I5	TAUB0 チャネル 5 割り込み	TAUB0	エッジ	1093$_H$	○	○	—	○			+24C$_H$
148	ICTAUB0I6	FFFF B128$_H$	INTTAUB0I6	TAUB0 チャネル 6 割り込み	TAUB0	エッジ	1094$_H$	○	○	—	○			+250$_H$
149	ICTAUB0I7	FFFF B12A$_H$	INTTAUB0I7	TAUB0 チャネル 7 割り込み	TAUB0	エッジ	1095$_H$	○	○	—	○			+254$_H$
150	ICTAUB0I8	FFFF B12C$_H$	INTTAUB0I8	TAUB0 チャネル 8 割り込み	TAUB0	エッジ	1096$_H$	○	○	—	○			+258$_H$
151	ICTAUB0I9	FFFF B12E$_H$	INTTAUB0I9	TAUB0 チャネル 9 割り込み	TAUB0	エッジ	1097$_H$	○	○	—	○			+25C$_H$
152	ICTAUB0I10	FFFF B130$_H$	INTTAUB0I10	TAUB0 チャネル 10 割り込み	TAUB0	エッジ	1098$_H$	○	○	—	○			+260$_H$
153	ICTAUB0I11	FFFF B132$_H$	INTTAUB0I11	TAUB0 チャネル 11 割り込み	TAUB0	エッジ	1099$_H$	○	○	—	○			+264$_H$
154	ICTAUB0I12	FFFF B134$_H$	INTTAUB0I12	TAUB0 チャネル 12 割り込み	TAUB0	エッジ	109A$_H$	○	○	—	○			+268$_H$
155	ICTAUB0I13	FFFF B136$_H$	INTTAUB0I13	TAUB0 チャネル 13 割り込み	TAUB0	エッジ	109B$_H$	○	○	—	○			+26C$_H$
156	ICTAUB0I14	FFFF B138$_H$	INTTAUB0I14	TAUB0 チャネル 14 割り込み	TAUB0	エッジ	109C$_H$	○	○	—	○			+270$_H$
157	ICTAUB0I15	FFFF B13A$_H$	INTTAUB0I15	TAUB0 チャネル 15 割り込み	TAUB0	エッジ	109D$_H$	○	○	—	○			+274$_H$
158	ICCSIH3IC	FFFF B13C$_H$	INTCSIH3IC [注6]	CSIH3 通信ステータス割り込み	CSIH3	エッジ	109E$_H$	○	○	—	○			+278$_H$
	ICTAUD0I2_2		INTTAUD0I2_2 [注6]	TAUD0 チャネル 2 割り込み	TAUD0	エッジ		○	○	—	○			
159	ICCSIH3IR	FFFF B13E$_H$	INTCSIH3IR [注6]	CSIH3 受信ステータス割り込み	CSIH3	エッジ	109F$_H$	○	○	—	○			+27C$_H$
	ICTAUD0I10_2		INTTAUD0I10_2 [注6]	TAUD0 チャネル 10 割り込み	TAUD0	エッジ		○	○	—	○			

表 7A.4　　EI レベルマスカブル割り込み要因

割り込み			割り込み要求				例外要因コード	176 Pin	233 Pin	272 Pin	324 Pin	ハンドラアドレス（オフセット）注8		
チャネル番号注1	制御レジスタ		名称	発生要因	ユニット	検出タイプ注2						直接分岐方式		テーブル参照方式注5
	名称	アドレス										RINT=0	RINT=1	
160	ICCSIH3IRE	FFFF B140$_H$	INTCSIH3IRE 注6	CSIH3 通信エラー割り込み	CSIH3	エッジ	10A0$_H$	○	○	—	○	注3	注4	+280$_H$
	ICTAUD0I12_2		INTTAUD0I12_2 注6	TAUD0 チャネル 12 割り込み	TAUD0	エッジ		○	○	—	○			
161	ICCSIH3IJC	FFFF B142$_H$	INTCSIH3IJC 注6	CSIH3 ジョブ完了割り込み	CSIH3	エッジ	10A1$_H$	○	○	—	○			+284$_H$
	ICTAUD0I14_2		INTTAUD0I14_2 注6	TAUD0 チャネル 14 割り込み	TAUD0	エッジ		○	○	—	○			
162	ICRLIN22	FFFF B144$_H$	INTRLIN22	RLIN22 割り込み	RLIN240	エッジ	10A2$_H$	○	○	—	○			+288$_H$
163	ICRLIN23	FFFF B146$_H$	INTRLIN23	RLIN23 割り込み	RLIN240	エッジ	10A3$_H$	○	○	—	○			+28C$_H$
164	ICRLIN32	FFFF B148$_H$	INTRLIN32	RLIN32 割り込み	RLIN32	エッジ	10A4$_H$	○	○	—	○			+290$_H$
165	ICRLIN32UR0	FFFF B14A$_H$	INTRLIN32UR0	RLIN32 送信割り込み	RLIN32	エッジ	10A5$_H$	○	○	—	○			+294$_H$
166	ICRLIN32UR1	FFFF B14C$_H$	INTRLIN32UR1	RLIN32 受信完了割り込み	RLIN32	エッジ	10A6$_H$	○	○	—	○			+298$_H$
167	ICRLIN32UR2	FFFF B14E$_H$	INTRLIN32UR2	RLIN32 ステータス割り込み	RLIN32	エッジ	10A7$_H$	○	○	—	○			+29C$_H$
168	ICTAUJ1I0	FFFF B150$_H$	INTTAUJ1I0	TAUJ1 チャネル 0 割り込み	TAUJ1	エッジ	10A8$_H$	○	○	—	○			+2A0$_H$
169	ICTAUJ1I1	FFFF B152$_H$	INTTAUJ1I1	TAUJ1 チャネル 1 割り込み	TAUJ1	エッジ	10A9$_H$	○	○	—	○			+2A4$_H$
170	ICTAUJ1I2	FFFF B154$_H$	INTTAUJ1I2	TAUJ1 チャネル 2 割り込み	TAUJ1	エッジ	10AA$_H$	○	○	—	○			+2A8$_H$
171	ICTAUJ1I3	FFFF B156$_H$	INTTAUJ1I3	TAUJ1 チャネル 3 割り込み	TAUJ1	エッジ	10AB$_H$	○	○	—	○			+2AC$_H$
172	リザーブ	FFFF B158$_H$					10AC$_H$	—	—	—	—			+2B0$_H$
173	ICFLXA0FDA	FFFF B15A$_H$	INTFLXA0FDA	FIFO 転送割り込み	FLXA0	レベル	10AD$_H$	○	○	—	○			+2B4$_H$
174	ICFLXA0FW	FFFF B15C$_H$	INTFLXA0FW	FIFO 転送警告割り込み	FLXA0	レベル	10AE$_H$	○	○	—	○			+2B8$_H$
175	ICFLXA0IQE	FFFF B15E$_H$	INTFLXA0IQE	入力キューエンプティ割り込み	FLXA0	レベル	10AF$_H$	○	○	—	○			+2BC$_H$
176	ICFLXA0IQF	FFFF B160$_H$	INTFLXA0IQF	入力キューフル割り込み	FLXA0	レベル	10B0$_H$	○	○	—	○			+2C0$_H$
177	ICFLXA0OT	FFFF B162$_H$	INTFLXA0OT	出力転送終了割り込み	FLXA0	レベル	10B1$_H$	○	○	—	○			+2C4$_H$
178	ICFLXA0OW	FFFF B164$_H$	INTFLXA0OW	出力転送警告割り込み	FLXA0	レベル	10B2$_H$	○	○	—	○			+2C8$_H$
179	ICFLXA0LINE0	FFFF B166$_H$	INTFLXA0LINE0	FlexRay0 割り込み	FLXA0	レベル	10B3$_H$	○	○	—	○			+2CC$_H$
180	ICFLXA0LINE1	FFFF B168$_H$	INTFLXA0LINE1	FlexRay1 割り込み	FLXA0	レベル	10B4$_H$	○	○	—	○			+2D0$_H$
181	ICFLXA0TIM0	FFFF B16A$_H$	INTFLXA0TIM0	タイマ 0 割り込み	FLXA0	レベル	10B5$_H$	○	○	—	○			+2D4$_H$
182	ICFLXA0TIM1	FFFF B16C$_H$	INTFLXA0TIM1	タイマ 1 割り込み	FLXA0	レベル	10B6$_H$	○	○	—	○			+2D8$_H$
183	ICFLXA0TIM2	FFFF B16E$_H$	INTFLXA0TIM2	タイマ 2 割り込み	FLXA0	レベル	10B7$_H$	○	○	—	○			+2DC$_H$
184	ICRLIN212	FFFF B170$_H$	INTRLIN212	RLIN212 割り込み	RLIN243	エッジ	10B8$_H$	—	—	—	○			+2E0$_H$
185	ICRLIN213	FFFF B172$_H$	INTRLIN213	RLIN213 割り込み	RLIN243	エッジ	10B9$_H$	—	—	—	○			+2E4$_H$
186	ICRLIN214	FFFF B174$_H$	INTRLIN214	RLIN214 割り込み	RLIN243	エッジ	10BA$_H$	—	—	—	○			+2E8$_H$
187	ICRLIN215	FFFF B176$_H$	INTRLIN215	RLIN215 割り込み	RLIN243	エッジ	10BB$_H$	—	—	—	○			+2EC$_H$
188	ICDMA36	FFFF B178$_H$	INTDMA36	DMA04 転送完了	PDMA1	エッジ	10BC$_H$	○	○	—	○			+2F0$_H$
189	ICDMA37	FFFF B17A$_H$	INTDMA37	DMA05 転送完了	PDMA1	エッジ	10BD$_H$	○	○	—	○			+2F4$_H$
190	ICDMA38	FFFF B17C$_H$	INTDMA38	DMA06 転送完了	PDMA1	エッジ	10BE$_H$	○	○	—	○			+2F8$_H$
191	ICDMA39	FFFF B17E$_H$	INTDMA39	DMA07 転送完了	PDMA1	エッジ	10BF$_H$	○	○	—	○			+2FC$_H$
192	ICDMA40	FFFF B180$_H$	INTDMA40	DMA10 転送完了	PDMA1	エッジ	10C0$_H$	○	○	—	○			+300$_H$
193	ICDMA41	FFFF B182$_H$	INTDMA41	DMA11 転送完了	PDMA1	エッジ	10C1$_H$	○	○	—	○			+304$_H$
194	ICDMA42	FFFF B184$_H$	INTDMA42	DMA12 転送完了	PDMA1	エッジ	10C2$_H$	○	○	—	○			+308$_H$
195	ICDMA43	FFFF B186$_H$	INTDMA43	DMA13 転送完了	PDMA1	エッジ	10C3$_H$	○	○	—	○			+30C$_H$
196	ICDMA44	FFFF B188$_H$	INTDMA44	DMA14 転送完了	PDMA1	エッジ	10C4$_H$	○	○	—	○			+310$_H$
197	ICDMA45	FFFF B18A$_H$	INTDMA45	DMA15 転送完了	PDMA1	エッジ	10C5$_H$	○	○	—	○			+314$_H$
198	ICDMA46	FFFF B18C$_H$	INTDMA46	DMA16 転送完了	PDMA1	エッジ	10C6$_H$	○	○	—	○			+318$_H$
199	ICDMA47	FFFF B18E$_H$	INTDMA47	DMA17 転送完了	PDMA1	エッジ	10C7$_H$	○	○	—	○			+31C$_H$
200	ICDMA48	FFFF B190$_H$	INTDMA48	DMA20 転送完了	PDMA1	エッジ	10C8$_H$	○	○	—	○			+320$_H$
201	ICDMA49	FFFF B192$_H$	INTDMA49	DMA21 転送完了	PDMA1	エッジ	10C9$_H$	○	○	—	○			+324$_H$
202	ICDMA50	FFFF B194$_H$	INTDMA50	DMA22 転送完了	PDMA1	エッジ	10CA$_H$	○	○	—	○			+328$_H$
203	ICDMA51	FFFF B196$_H$	INTDMA51	DMA23 転送完了	PDMA1	エッジ	10CB$_H$	○	○	—	○			+32C$_H$
204	ICDMA52	FFFF B198$_H$	INTDMA52	DMA24 転送完了	PDMA1	エッジ	10CC$_H$	○	○	—	○			+330$_H$
205	ICP9	FFFF B19A$_H$	INTP9	外部割り込み	Port	エッジ	10CD$_H$	○	○	—	○			+334$_H$

表 7A.4　　EI レベルマスカブル割り込み要因

割り込み			割り込み要求				例外要因コード	176 Pin	233 Pin	272 Pin	324 Pin	ハンドラアドレス（オフセット）注8		
チャネル番号注1	制御レジスタ		名称	発生要因	ユニット	検出タイプ注2						直接分岐方式		テーブル参照方式注5
	名称	アドレス										RINT=0	RINT=1	
206	ICP13	FFFF B19C$_H$	INTP13	外部割り込み	Port	エッジ	10CE$_H$	○	○	—	○	注3	注4	+338$_H$
207	ICP14	FFFF B19E$_H$	INTP14	外部割り込み	Port	エッジ	10CF$_H$	○	○	—	○			+33C$_H$
208	ICP15	FFFF B1A0$_H$	INTP15	外部割り込み	Port	エッジ	10D0$_H$	○	○	—	○			+340$_H$
209	ICRTCA01S	FFFF B1A2$_H$	INTRTCA01S	RTCA0 1 秒インターバル割り込み	RTCA0	エッジ	10D1$_H$	○	○	—	○			+344$_H$
210	ICRTCA0AL	FFFF B1A4$_H$	INTRTCA0AL	RTCA0 アラーム割り込み	RTCA0	エッジ	10D2$_H$	○	○	—	○			+348$_H$
211	ICRTCA0R	FFFF B1A6$_H$	INTRTCA0R	RTCA0 定周期割り込み	RTCA0	エッジ	10D3$_H$	○	○	—	○			+34C$_H$
212	ICADCA1ERR	FFFF B1A8$_H$	INTADCA1ERR	ADCA1 エラー割り込み	ADCA1	エッジ	10D4$_H$	○	○	—	○			+350$_H$
213	ICADCA1I0	FFFF B1AA$_H$	INTADCA1I0	ADCA1 スキャングループ 1（SG1）終了割り込み	ADCA1	エッジ	10D5$_H$	○	○	—	○			+354$_H$
214	ICADCA1I1	FFFF B1AC$_H$	INTADCA1I1	ADCA1 スキャングループ 2（SG2）終了割り込み	ADCA1	エッジ	10D6$_H$	○	○	—	○			+358$_H$
215	ICADCA1I2	FFFF B1AE$_H$	INTADCA1I2	ADCA1 スキャングループ 3（SG3）終了割り込み	ADCA1	エッジ	10D7$_H$	○	○	—	○			+35C$_H$
216	ICDMA53	FFFF B1B0$_H$	INTDMA53	DMA25 転送完了	PDMA1	エッジ	10D8$_H$	○	○	—	○			+360$_H$
217	ICRCAN2ERR	FFFF B1B2$_H$	INTRCAN2ERR	CAN2 エラー割り込み	RCFDC0	レベル	10D9$_H$	○	○	—	○			+364$_H$
218	ICRCAN2REC	FFFF B1B4$_H$	INTRCAN2REC	CAN2 送受信 FIFO 受信完了割り込み	RCFDC0	レベル	10DA$_H$	○	○	—	○			+368$_H$
219	ICRCAN2TRX	FFFF B1B6$_H$	INTRCAN2TRX	CAN2 送信割り込み	RCFDC0	レベル	10DB$_H$	○	○	—	○			+36C$_H$
220	ICRCAN3ERR	FFFF B1B8$_H$	INTRCAN3ERR	CAN3 エラー割り込み	RCFDC0	レベル	10DC$_H$	○	○	—	○			+370$_H$
221	ICRCAN3REC	FFFF B1BA$_H$	INTRCAN3REC	CAN3 送受信 FIFO 受信完了割り込み	RCFDC0	レベル	10DD$_H$	○	○	—	○			+374$_H$
222	ICRCAN3TRX	FFFF B1BC$_H$	INTRCAN3TRX	CAN3 送信割り込み	RCFDC0	レベル	10DE$_H$	○	○	—	○			+378$_H$
223	ICCSIG1IC	FFFF B1BE$_H$	INTCSIG1IC	CSIG1 通信ステータス割り込み	CSIG1	エッジ	10DF$_H$	○	○	—	○			+37C$_H$
224	ICCSIG1IR	FFFF B1C0$_H$	INTCSIG1IR	CSIG1 受信ステータス割り込み	CSIG1	エッジ	10E0$_H$	○	○	—	○			+380$_H$
225	ICCSIG1IRE	FFFF B1C2$_H$	INTCSIG1IRE	CSIG1 通信エラー割り込み	CSIG1	エッジ	10E1$_H$	○	○	—	○			+384$_H$
226	ICRLIN24	FFFF B1C4$_H$	INTRLIN24	RLIN24 割り込み	RLIN241	エッジ	10E2$_H$	○	○	—	○			+388$_H$
227	ICRLIN25	FFFF B1C6$_H$	INTRLIN25	RLIN25 割り込み	RLIN241	エッジ	10E3$_H$	○	○	—	○			+38C$_H$
228	ICRLIN33	FFFF B1C8$_H$	INTRLIN33	RLIN33 割り込み	RLIN33	エッジ	10E4$_H$	○	○	—	○			+390$_H$
229	ICRLIN33UR0	FFFF B1CA$_H$	INTRLIN33UR0	RLIN33 送信割り込み	RLIN33	エッジ	10E5$_H$	○	○	—	○			+394$_H$
230	ICRLIN33UR1	FFFF B1CC$_H$	INTRLIN33UR1	RLIN33 受信完了割り込み	RLIN33	エッジ	10E6$_H$	○	○	—	○			+398$_H$
231	ICRLIN33UR2	FFFF B1CE$_H$	INTRLIN33UR2	RLIN33 ステータス割り込み	RLIN33	エッジ	10E7$_H$	○	○	—	○			+39C$_H$
232	ICRLIN34	FFFF B1D0$_H$	INTRLIN34	RLIN34 割り込み	RLIN34	エッジ	10E8$_H$	○	○	—	○			+3A0$_H$
233	ICRLIN34UR0	FFFF B1D2$_H$	INTRLIN34UR0	RLIN34 送信割り込み	RLIN34	エッジ	10E9$_H$	○	○	—	○			+3A4$_H$
234	ICRLIN34UR1	FFFF B1D4$_H$	INTRLIN34UR1	RLIN34 受信完了割り込み	RLIN34	エッジ	10EA$_H$	○	○	—	○			+3A8$_H$
235	ICRLIN34UR2	FFFF B1D6$_H$	INTRLIN34UR2	RLIN34 ステータス割り込み	RLIN34	エッジ	10EB$_H$	○	○	—	○			+3AC$_H$
236	ICRLIN35	FFFF B1D8$_H$	INTRLIN35	RLIN35 割り込み	RLIN35	エッジ	10EC$_H$	○	○	—	○			+3B0$_H$
237	ICRLIN35UR0	FFFF B1DA$_H$	INTRLIN35UR0	RLIN35 送信割り込み	RLIN35	エッジ	10ED$_H$	○	○	—	○			+3B4$_H$
238	ICRLIN35UR1	FFFF B1DC$_H$	INTRLIN35UR1	RLIN35 受信完了割り込み	RLIN35	エッジ	10EE$_H$	○	○	—	○			+3B8$_H$
239	ICRLIN35UR2	FFFF B1DE$_H$	INTRLIN35UR2	RLIN35 ステータス割り込み	RLIN35	エッジ	10EF$_H$	○	○	—	○			+3BC$_H$
240	ICRIIC1TI	FFFF B1E0$_H$	INTRIIC1TI	RIIC1 送信データエンプティ割り込み	RIIC1	エッジ	10F0$_H$	○	○	—	○			+3C0$_H$
241	ICRIIC1EE	FFFF B1E2$_H$	INTRIIC1EE	RIIC1 受信エラー／イベント割り込み	RIIC1	レベル	10F1$_H$	○	○	—	○			+3C4$_H$
242	ICRIIC1RI	FFFF B1E4$_H$	INTRIIC1RI	RIIC1 受信完了割り込み	RIIC1	エッジ	10F2$_H$	○	○	—	○			+3C8$_H$
243	ICRIIC1TEI	FFFF B1E6$_H$	INTRIIC1TEI	RIIC1 送信完了割り込み	RIIC1	レベル	10F3$_H$	○	○	—	○			+3CC$_H$
244	ICRCAN8ERR	FFFF B1E8$_H$	INTRCAN8ERR	CAN8 エラー割り込み	RCFDC1	レベル	10F4$_H$	—	—	—	○			+3D0$_H$
245	ICRCAN8REC	FFFF B1EA$_H$	INTRCAN8REC	CAN8 送受信 FIFO 受信完了割り込み	RCFDC1	レベル	10F5$_H$	—	—	—	○			+3D4$_H$
246	ICRCAN8TRX	FFFF B1EC$_H$	INTRCAN8TRX	CAN8 送信割り込み	RCFDC1	レベル	10F6$_H$	—	—	—	○			+3D8$_H$
247	ICRCAN9ERR	FFFF B1EE$_H$	INTRCAN9ERR	CAN9 エラー割り込み	RCFDC1	レベル	10F7$_H$	—	—	—	○			+3DC$_H$
248	ICRCAN9REC	FFFF B1F0$_H$	INTRCAN9REC	CAN9 送受信 FIFO 受信完了割り込み	RCFDC1	レベル	10F8$_H$	—	—	—	○			+3E0$_H$
249	ICRCAN9TRX	FFFF B1F2$_H$	INTRCAN9TRX	CAN9 送信割り込み	RCFDC1	レベル	10F9$_H$	—	—	—	○			+3E4$_H$
250	ICRCAN10ERR	FFFF B1F4$_H$	INTRCAN10ERR	CAN10 エラー割り込み	RCFDC1	レベル	10FA$_H$	—	—	—	○			+3E8$_H$

表 7A.4　　EI レベルマスカブル割り込み要因

割り込み			割り込み要求										ハンドラアドレス（オフセット）注8		
チャネル番号注1	制御レジスタ 名称	制御レジスタ アドレス	名称	発生要因	ユニット	検出タイプ注2	例外要因コード	176 Pin	233 Pin	272 Pin	324 Pin	直接分岐方式 RINT=0	直接分岐方式 RINT=1	テーブル参照方式注5
251	ICRCAN10REC	FFFF B1F6$_H$	INTRCAN10REC	CAN10 送受信 FIFO 受信完了割り込み	RCFDC1	レベル	10FB$_H$	—	—	—	○	注3	注4	+3EC$_H$
252	ICRCAN10TRX	FFFF B1F8$_H$	INTRCAN10TRX	CAN10 送信割り込み	RCFDC1	レベル	10FC$_H$	—	—	—	○			+3F0$_H$
253	ICRCAN11ERR	FFFF B1FA$_H$	INTRCAN11ERR	CAN11 エラー割り込み	RCFDC1	レベル	10FD$_H$	—	—	—	○			+3F4$_H$
254	ICRCAN11REC	FFFF B1FC$_H$	INTRCAN11REC	CAN11 送受信 FIFO 受信完了割り込み	RCFDC1	レベル	10FE$_H$	—	—	—	○			+3F8$_H$
255	ICRCAN11TRX	FFFF B1FE$_H$	INTRCAN11TRX	CAN11 送信割り込み	RCFDC1	レベル	10FF$_H$	—	—	—	○			+3FC$_H$
256	ICTAUB1I0	FFFF B200$_H$	INTTAUB1I0	TAUB1 チャネル 0 割り込み	TAUB1	エッジ	1100$_H$	○	○	—	○			+400$_H$
257	ICTAUB1I1	FFFF B202$_H$	INTTAUB1I1	TAUB1 チャネル 1 割り込み	TAUB1	エッジ	1101$_H$	○	○	—	○			+404$_H$
258	ICTAUB1I2	FFFF B204$_H$	INTTAUB1I2	TAUB1 チャネル 2 割り込み	TAUB1	エッジ	1102$_H$	○	○	—	○			+408$_H$
259	ICTAUB1I3	FFFF B206$_H$	INTTAUB1I3	TAUB1 チャネル 3 割り込み	TAUB1	エッジ	1103$_H$	○	○	—	○			+40C$_H$
260	ICTAUB1I4	FFFF B208$_H$	INTTAUB1I4	TAUB1 チャネル 4 割り込み	TAUB1	エッジ	1104$_H$	○	○	—	○			+410$_H$
261	ICTAUB1I5	FFFF B20A$_H$	INTTAUB1I5	TAUB1 チャネル 5 割り込み	TAUB1	エッジ	1105$_H$	○	○	—	○			+414$_H$
262	ICTAUB1I6	FFFF B20C$_H$	INTTAUB1I6	TAUB1 チャネル 6 割り込み	TAUB1	エッジ	1106$_H$	○	○	—	○			+418$_H$
263	ICTAUB1I7	FFFF B20E$_H$	INTTAUB1I7	TAUB1 チャネル 7 割り込み	TAUB1	エッジ	1107$_H$	○	○	—	○			+41C$_H$
264	ICTAUB1I8	FFFF B210$_H$	INTTAUB1I8	TAUB1 チャネル 8 割り込み	TAUB1	エッジ	1108$_H$	○	○	—	○			+420$_H$
265	ICTAUB1I9	FFFF B212$_H$	INTTAUB1I9	TAUB1 チャネル 9 割り込み	TAUB1	エッジ	1109$_H$	○	○	—	○			+424$_H$
266	ICTAUB1I10	FFFF B214$_H$	INTTAUB1I10	TAUB1 チャネル 10 割り込み	TAUB1	エッジ	110A$_H$	○	○	—	○			+428$_H$
267	ICTAUB1I11	FFFF B216$_H$	INTTAUB1I11	TAUB1 チャネル 11 割り込み	TAUB1	エッジ	110B$_H$	○	○	—	○			+42C$_H$
268	ICTAUB1I12	FFFF B218$_H$	INTTAUB1I12	TAUB1 チャネル 12 割り込み	TAUB1	エッジ	110C$_H$	○	○	—	○			+430$_H$
269	ICTAUB1I13	FFFF B21A$_H$	INTTAUB1I13	TAUB1 チャネル 13 割り込み	TAUB1	エッジ	110D$_H$	○	○	—	○			+434$_H$
270	ICTAUB1I14	FFFF B21C$_H$	INTTAUB1I14	TAUB1 チャネル 14 割り込み	TAUB1	エッジ	110E$_H$	○	○	—	○			+438$_H$
271	ICTAUB1I15	FFFF B21E$_H$	INTTAUB1I15	TAUB1 チャネル 15 割り込み	TAUB1	エッジ	110F$_H$	○	○	—	○			+43C$_H$
272	ICRCAN4ERR	FFFF B220$_H$	INTRCAN4ERR	CAN4 エラー割り込み	RCFDC0	レベル	1110$_H$	○	○	—	○			+440$_H$
273	ICRCAN4REC	FFFF B222$_H$	INTRCAN4REC	CAN4 送受信 FIFO 受信完了割り込み	RCFDC0	レベル	1111$_H$	○	○	—	○			+444$_H$
274	ICRCAN4TRX	FFFF B224$_H$	INTRCAN4TRX	CAN4 送信割り込み	RCFDC0	レベル	1112$_H$	○	○	—	○			+448$_H$
275	ICRLIN26	FFFF B226$_H$	INTRLIN26	RLIN26 割り込み	RLIN241	エッジ	1113$_H$	○	○	—	○			+44C$_H$
276	ICRLIN27	FFFF B228$_H$	INTRLIN27	RLIN27 割り込み	RLIN241	エッジ	1114$_H$	○	○	—	○			+450$_H$
277	ICTAUJ2I0	FFFF B22A$_H$	INTTAUJ2I0	TAUJ2 チャネル 0 割り込み	TAUJ2	エッジ	1115$_H$	○	○	—	○			+454$_H$
278	ICTAUJ2I1	FFFF B22C$_H$	INTTAUJ2I1	TAUJ2 チャネル 1 割り込み	TAUJ2	エッジ	1116$_H$	○	○	—	○			+458$_H$
279	ICTAUJ2I2	FFFF B22E$_H$	INTTAUJ2I2	TAUJ2 チャネル 2 割り込み	TAUJ2	エッジ	1117$_H$	○	○	—	○			+45C$_H$
280	ICTAUJ2I3	FFFF B230$_H$	INTTAUJ2I3	TAUJ2 チャネル 3 割り込み	TAUJ2	エッジ	1118$_H$	○	○	—	○			+460$_H$
281	ICTAUJ3I0	FFFF B232$_H$	INTTAUJ3I0	TAUJ3 チャネル 0 割り込み	TAUJ3	エッジ	1119$_H$	○	○	—	○			+464$_H$
282	ICTAUJ3I1	FFFF B234$_H$	INTTAUJ3I1	TAUJ3 チャネル 1 割り込み	TAUJ3	エッジ	111A$_H$	○	○	—	○			+468$_H$
283	ICTAUJ3I2	FFFF B236$_H$	INTTAUJ3I2	TAUJ3 チャネル 2 割り込み	TAUJ3	エッジ	111B$_H$	○	○	—	○			+46C$_H$
284	ICTAUJ3I3	FFFF B238$_H$	INTTAUJ3I3	TAUJ3 チャネル 3 割り込み	TAUJ3	エッジ	111C$_H$	○	○	—	○			+470$_H$
285	ICRLIN28	FFFF B23A$_H$	INTRLIN28	RLIN28 割り込み	RLIN242	エッジ	111D$_H$	○	○	—	○			+474$_H$
286	ICRLIN29	FFFF B23C$_H$	INTRLIN29	RLIN29 割り込み	RLIN242	エッジ	111E$_H$	○	○	—	○			+478$_H$
287	ICRCAN5ERR	FFFF B23E$_H$	INTRCAN5ERR	CAN5 エラー割り込み	RCFDC0	レベル	111F$_H$	○	○	—	○			+47C$_H$
288	ICRCAN5REC	FFFF B240$_H$	INTRCAN5REC	CAN5 送受信 FIFO 受信完了割り込み	RCFDC0	レベル	1120$_H$	○	○	—	○			+480$_H$
289	ICRCAN5TRX	FFFF B242$_H$	INTRCAN5TRX	CAN5 送信割り込み	RCFDC0	レベル	1121$_H$	○	○	—	○			+484$_H$
290	ICDMA54	FFFF B244$_H$	INTDMA54	DMA26 転送完了	PDMA1	エッジ	1122$_H$	○	○	—	○			+488$_H$
291	ICDMA55	FFFF B246$_H$	INTDMA55	DMA27 転送完了	PDMA1	エッジ	1123$_H$	○	○	—	○			+48C$_H$
292	ICDMA56	FFFF B248$_H$	INTDMA56	DMA30 転送完了	PDMA1	エッジ	1124$_H$	○	○	—	○			+490$_H$
293	ICDMA57	FFFF B24A$_H$	INTDMA57	DMA31 転送完了	PDMA1	エッジ	1125$_H$	○	○	—	○			+494$_H$
294	ICDMA58	FFFF B24C$_H$	INTDMA58	DMA32 転送完了	PDMA1	エッジ	1126$_H$	○	○	—	○			+498$_H$
295	ICDMA59	FFFF B24E$_H$	INTDMA59	DMA33 転送完了	PDMA1	エッジ	1127$_H$	○	○	—	○			+49C$_H$
296	ICDMA60	FFFF B250$_H$	INTDMA60	DMA34 転送完了	PDMA1	エッジ	1128$_H$	○	○	—	○			+4A0$_H$

表 7A.4　　EI レベルマスカブル割り込み要因

割り込み			割り込み要求				例外要因コード	176 Pin	233 Pin	272 Pin	324 Pin	ハンドラアドレス（オフセット）注8		
チャネル番号注1	制御レジスタ		名称	発生要因	ユニット	検出タイプ注2						直接分岐方式		テーブル参照方式注5
	名称	アドレス										RINT=0	RINT=1	
297	ICDMA61	FFFF B252$_H$	INTDMA61	DMA35 転送完了	PDMA1	エッジ	1129$_H$	○	○	—	○	注3	注4	+4A4$_H$
298	ICDMA16	FFFF B254$_H$	INTDMA16	DMA20 転送完了	PDMA0	エッジ	112A$_H$	○	○	—	○			+4A8$_H$
299	ICDMA17	FFFF B256$_H$	INTDMA17	DMA21 転送完了	PDMA0	エッジ	112B$_H$	○	○	—	○			+4AC$_H$
300	ICDMA18	FFFF B258$_H$	INTDMA18	DMA22 転送完了	PDMA0	エッジ	112C$_H$	○	○	—	○			+4B0$_H$
301	ICDMA19	FFFF B25A$_H$	INTDMA19	DMA23 転送完了	PDMA0	エッジ	112D$_H$	○	○	—	○			+4B4$_H$
302	ICDMA20	FFFF B25C$_H$	INTDMA20	DMA24 転送完了	PDMA0	エッジ	112E$_H$	○	○	—	○			+4B8$_H$
303	ICDMA21	FFFF B25E$_H$	INTDMA21	DMA25 転送完了	PDMA0	エッジ	112F$_H$	○	○	—	○			+4BC$_H$
304	ICDMA22	FFFF B260$_H$	INTDMA22	DMA26 転送完了	PDMA0	エッジ	1130$_H$	○	○	—	○			+4C0$_H$
305	ICDMA23	FFFF B262$_H$	INTDMA23	DMA27 転送完了	PDMA0	エッジ	1131$_H$	○	○	—	○			+4C4$_H$
306	ICDMA24	FFFF B264$_H$	INTDMA24	DMA30 転送完了	PDMA0	エッジ	1132$_H$	○	○	—	○			+4C8$_H$
307	ICDMA25	FFFF B266$_H$	INTDMA25	DMA31 転送完了	PDMA0	エッジ	1133$_H$	○	○	—	○			+4CC$_H$
308	ICDMA26	FFFF B268$_H$	INTDMA26	DMA32 転送完了	PDMA0	エッジ	1134$_H$	○	○	—	○			+4D0$_H$
309	ICDMA27	FFFF B26A$_H$	INTDMA27	DMA33 転送完了	PDMA0	エッジ	1135$_H$	○	○	—	○			+4D4$_H$
310	ICDMA28	FFFF B26C$_H$	INTDMA28	DMA34 転送完了	PDMA0	エッジ	1136$_H$	○	○	—	○			+4D8$_H$
311	ICDMA29	FFFF B26E$_H$	INTDMA29	DMA35 転送完了	PDMA0	エッジ	1137$_H$	○	○	—	○			+4DC$_H$
312	ICDMA30	FFFF B270$_H$	INTDMA30	DMA36 転送完了	PDMA0	エッジ	1138$_H$	○	○	—	○			+4E0$_H$
313	ICDMA31	FFFF B272$_H$	INTDMA31	DMA37 転送完了	PDMA0	エッジ	1139$_H$	○	○	—	○			+4E4$_H$
314	ICOSTM5	FFFF B274$_H$	INTOSTM5 注10	OSTM5 割り込み	OSTM5	エッジ	113A$_H$	○	○	—	○			+4E8$_H$
315	ICETNB0DATA	FFFF B276$_H$	INTETNB0DATA	データ関連割り込み	ETNB0	レベル	113B$_H$	○	○	—	○			+4EC$_H$
316	ICETNB0ERR	FFFF B278$_H$	INTETNB0ERR	エラー関連割り込み	ETNB0	レベル	113C$_H$	○	○	—	○			+4F0$_H$
317	ICETNB0MNG	FFFF B27A$_H$	INTETNB0MNG	マネジメント関連割り込み	ETNB0	レベル	113D$_H$	○	○	—	○			+4F4$_H$
318	ICETNB0MAC	FFFF B27C$_H$	INTETNB0MAC	MAC 割り込み	ETNB0	レベル	113E$_H$	○	○	—	○			+4F8$_H$
319	ICRCANGERR1	FFFF B27E$_H$	INTRCANGERR1	CAN グローバルエラー割り込み	RCFDC1	レベル	113F$_H$	—	—	—	○			+4FC$_H$
320	ICRCANGRECC1	FFFF B280$_H$	INTRCANGRECC1	CAN 受信 FIFO 割り込み	RCFDC1	レベル	1140$_H$	—	—	—	○			+500$_H$
321	ICRCAN6ERR	FFFF B282$_H$	INTRCAN6ERR	CAN6 エラー割り込み	RCFDC0	レベル	1141$_H$	○	○	—	○			+504$_H$
322	ICRCAN6REC	FFFF B284$_H$	INTRCAN6REC	CAN6 送受信 FIFO 受信完了割り込み	RCFDC0	レベル	1142$_H$	○	○	—	○			+508$_H$
323	ICRCAN6TRX	FFFF B286$_H$	INTRCAN6TRX	CAN6 送信割り込み	RCFDC0	レベル	1143$_H$	○	○	—	○			+50C$_H$
324	ICRLIN210	FFFF B288$_H$	INTRLIN210	RLIN210 割り込み	RLIN242	エッジ	1144$_H$	—	○	—	○			+510$_H$
325	ICRLIN211	FFFF B28A$_H$	INTRLIN211	RLIN211 割り込み	RLIN242	エッジ	1145$_H$	—	○	—	○			+514$_H$
326	ICCSIG2IC	FFFF B28C$_H$	INTCSIG2IC	CSIG2 通信ステータス割り込み	CSIG2	エッジ	1146$_H$	○	○	—	○			+518$_H$
327	ICCSIG2IR	FFFF B28E$_H$	INTCSIG2IR	CSIG2 受信ステータス割り込み	CSIG2	エッジ	1147$_H$	○	○	—	○			+51C$_H$
328	ICCSIG2IRE	FFFF B290$_H$	INTCSIG2IRE	CSIG2 通信エラー割り込み	CSIG2	エッジ	1148$_H$	○	○	—	○			+520$_H$
329	ICCSIG3IC	FFFF B292$_H$	INTCSIG3IC	CSIG3 通信ステータス割り込み	CSIG3	エッジ	1149$_H$	○	○	—	○			+524$_H$
330	ICCSIG3IR	FFFF B294$_H$	INTCSIG3IR	CSIG3 受信ステータス割り込み	CSIG3	エッジ	114A$_H$	○	○	—	○			+528$_H$
331	ICCSIG3IRE	FFFF B296$_H$	INTCSIG3IRE	CSIG3 通信エラー割り込み	CSIG3	エッジ	114B$_H$	○	○	—	○			+52C$_H$
332	ICRCAN7ERR	FFFF B298$_H$	INTRCAN7ERR	CAN7 エラー割り込み	RCFDC0	レベル	114C$_H$	○	○	—	○			+530$_H$
333	ICRCAN7REC	FFFF B29A$_H$	INTRCAN7REC	CAN7 送受信 FIFO 受信完了割り込み	RCFDC0	レベル	114D$_H$	○	○	—	○			+534$_H$
334	ICRCAN7TRX	FFFF B29C$_H$	INTRCAN7TRX	CAN7 送信割り込み	RCFDC0	レベル	114E$_H$	○	○	—	○			+538$_H$
335	リザーブ	FFFF B29E$_H$					114F$_H$	—	—	—	—			+53C$_H$
336	リザーブ	FFFF B2A0$_H$					1150$_H$	—	—	—	—			+540$_H$
337	リザーブ	FFFF B2A2$_H$					1151$_H$	—	—	—	—			+544$_H$
338	リザーブ	FFFF B2A4$_H$					1152$_H$	—	—	—	—			+548$_H$
339	リザーブ	FFFF B2A6$_H$					1153$_H$	—	—	—	—			+54C$_H$
340	リザーブ	FFFF B2A8$_H$					1154$_H$	—	—	—	—			+550$_H$
341	リザーブ	FFFF B2AA$_H$					1155$_H$	—	—	—	—			+554$_H$
342	リザーブ	FFFF B2AC$_H$					1156$_H$	—	—	—	—			+558$_H$
343	リザーブ	FFFF B2AE$_H$					1157$_H$	—	—	—	—			+55C$_H$

表 7A.4　　EI レベルマスカブル割り込み要因

割り込み			割り込み要求				例外要因コード	176 Pin	233 Pin	272 Pin	324 Pin	ハンドラアドレス（オフセット）注8		
チャネル番号注1	制御レジスタ 名称	制御レジスタ アドレス	名称	発生要因	ユニット	検出タイプ注2						直接分岐方式 RINT＝0	直接分岐方式 RINT＝1	テーブル参照方式注5
344	リザーブ	FFFF B2B0$_H$					1158$_H$	—	—	—	—	注3	注4	+560$_H$
345	リザーブ	FFFF B2B2$_H$					1159$_H$	—	—	—	—			+564$_H$
346	リザーブ	FFFF B2B4$_H$					115A$_H$	—	—	—	—			+568$_H$
347	ICSENT0SI	FFFF B2B6$_H$	INTSENT0SI	RSENT0 ステータス割り込み	RSENT0	レベル	115B$_H$	○	○	—	○			+56C$_H$
348	ICSENT0RI	FFFF B2B8$_H$	INTSENT0RI	RSENT0 受信割り込み	RSENT0	エッジ	115C$_H$	○	○	—	○			+570$_H$
349	ICSENT1SI	FFFF B2BA$_H$	INTSENT1SI	RSENT1 ステータス割り込み	RSENT1	レベル	115D$_H$	○	○	—	○			+574$_H$
350	ICSENT1RI	FFFF B2BC$_H$	INTSENT1RI	RSENT1 受信割り込み	RSENT1	エッジ	115E$_H$	○	○	—	○			+578$_H$
351	リザーブ	FFFF B2BE$_H$					115F$_H$	—	—	—	—			+57C$_H$
352	リザーブ	FFFF B2C0$_H$					1160$_H$	—	—	—	—			+580$_H$
353	リザーブ	FFFF B2C2$_H$					1161$_H$	—	—	—	—			+584$_H$
354	ICMMCA0	FFFF B2C4$_H$	INTMMCA0	MMCA0 割り込み	MMCA0	レベル	1162$_H$	—	—	—	○			+588$_H$
355	ICDMA62	FFFF B2C6$_H$	INTDMA62	DMA36 転送完了	PDMA1	エッジ	1163$_H$	○	○	—	○			+58C$_H$
356	ICDPE	FFFF B2C8$_H$	INTDPE	LPS0 デジタルポートエラー割り込み	LPS0	レベル	1164$_H$	○	○	—	○			+590$_H$
357	ICAPE	FFFF B2CA$_H$	INTAPE	LPS0 アナログポートエラー割り込み	LPS0	レベル	1165$_H$	○	○	—	○			+594$_H$
358	リザーブ	FFFF B2CC$_H$					1166$_H$	—	—	—	—			+598$_H$
359	リザーブ	FFFF B2CE$_H$					1167$_H$	—	—	—	—			+59C$_H$
360	ICRLIN36	FFFF B2D0$_H$	INTRLIN36	RLIN36 割り込み	RLIN36	エッジ	1168$_H$	○	○	—	○			+5A0$_H$
361	ICRLIN36UR0	FFFF B2D2$_H$	INTRLIN36UR0	RLIN36 送信割り込み	RLIN36	エッジ	1169$_H$	○	○	—	○			+5A4$_H$
362	ICRLIN36UR1	FFFF B2D4$_H$	INTRLIN36UR1	RLIN36 受信完了割り込み	RLIN36	エッジ	116A$_H$	○	○	—	○			+5A8$_H$
363	ICRLIN36UR2	FFFF B2D6$_H$	INTRLIN36UR2	RLIN36 ステータス割り込み	RLIN36	エッジ	116B$_H$	○	○	—	○			+5AC$_H$
364	ICRLIN37	FFFF B2D8$_H$	INTRLIN37	RLIN37 割り込み	RLIN37	エッジ	116C$_H$	○	○	—	○			+5B0$_H$
365	ICRLIN37UR0	FFFF B2DA$_H$	INTRLIN37UR0	RLIN37 送信割り込み	RLIN37	エッジ	116D$_H$	○	○	—	○			+5B4$_H$
366	ICRLIN37UR1	FFFF B2DC$_H$	INTRLIN37UR1	RLIN37 受信完了割り込み	RLIN37	エッジ	116E$_H$	○	○	—	○			+5B8$_H$
367	ICRLIN37UR2	FFFF B2DE$_H$	INTRLIN37UR2	RLIN37 ステータス割り込み	RLIN37	エッジ	116F$_H$	○	○	—	○			+5BC$_H$
368	ICP16	FFFF B2E0$_H$	INTP16	外部割り込み	Port	エッジ	1170$_H$	○	○	—	○			+5C0$_H$
369	ICP17	FFFF B2E2$_H$	INTP17	外部割り込み	Port	エッジ	1171$_H$	○	○	—	○			+5C4$_H$
370	ICP18	FFFF B2E4$_H$	INTP18	外部割り込み	Port	エッジ	1172$_H$	○	○	—	○			+5C8$_H$
371	ICP19	FFFF B2E6$_H$	INTP19	外部割り込み	Port	エッジ	1173$_H$	○	○	—	○			+5CC$_H$
372	ICP20	FFFF B2E8$_H$	INTP20	外部割り込み	Port	エッジ	1174$_H$	○	○	—	○			+5D0$_H$
373	ICP21	FFFF B2EA$_H$	INTP21	外部割り込み	Port	エッジ	1175$_H$	○	○	—	○			+5D4$_H$
374	ICP22	FFFF B2EC$_H$	INTP22	外部割り込み	Port	エッジ	1176$_H$	○	○	—	○			+5D8$_H$
375	ICP23	FFFF B2EE$_H$	INTP23	外部割り込み	Port	エッジ	1177$_H$	○	○	—	○			+5DC$_H$
376	ICGRZF	FFFF B2F0$_H$	INTGRZF	GRZF 割り込み	GRZF	エッジ	1178$_H$	○	○	—	○			+5E0$_H$
377	ICETNB1DATA	FFFF B2F2$_H$	INTETNB1DATA	データ関連割り込み	ETNB1	レベル	1179$_H$	—	—	—	○			+5E4$_H$
378	ICETNB1ERR	FFFF B2F4$_H$	INTETNB1ERR	エラー関連割り込み	ETNB1	レベル	117A$_H$	—	—	—	○			+5E8$_H$
379	ICETNB1MNG	FFFF B2F6$_H$	INTETNB1MNG	マネジメント関連割り込み	ETNB1	レベル	117B$_H$	—	—	—	○			+5EC$_H$
380	ICETNB1MAC	FFFF B2F8$_H$	INTETNB1MAC	MAC 割り込み	ETNB1	レベル	117C$_H$	—	—	—	○			+5F0$_H$
381	ICDMA63	FFFF B2FA$_H$	INTDMA63	DMA37 転送完了	PDMA1	エッジ	117D$_H$	○	○	—	○			+5F4$_H$

注1.　各割り込みは、INTC1 のチャネル 0～31 および INTC2 のチャネル 32～381 に接続されています。

注2.　各割り込み要因がレベルで検出しているのか、エッジで検出しているのかを示します。EI レベル割り込み制御レジスタのリセット後の値にも影響します。詳細は「**7A.4.2 ICxxx — EI レベル割り込み制御レジスタ**」を参照してください。レベルで検出している場合は、割り込み要因を保持しているレジスタにアクセスすることにより割り込み要因をクリアします。後続の命令に対して、レジスタの更新内容を反映したい場合の手順は、「**3A.5.1 ストア命令の完了と後続命令の同期化**」を参照してください。

注3.　割り込みチャネルに関係なく、オフセットアドレスは、優先度（0～15）によって+100$_H$～+1F0$_H$の範囲で決定されます。

注4.　優先度に無関係に、オフセットアドレスは、一律+100$_H$となります。

注5.　テーブル参照方式は、割り込みチャネルごとに例外ハンドラアドレスを読み出すテーブルを持ち、そのテーブルを参照してハンドラアドレスを抽出します。テーブル参照位置の計算は、下記の計算式で求まります。
例外ハンドラアドレス読み出し位置＝INTBP レジスタ＋チャネル番号×4 バイト

注6.　同じ割り込み要因が異なる割り込みチャネルに割り当てられています。詳細は「**7A.5.2 SELB_INTC1 ― INTC1 割り込み選択レジスタ**」を参照してください。

注7.　同じ割り込みチャネルに 32 の割り込み要因が割り当てられています。詳細は「**第 37 章 PWM 出力／診断（PWM-Diag）**」を参照してください。

注8.　詳細については、「**7A.10 例外ハンドラアドレス**」を参照してください。

注9.　INTOSTM0 は、EIINT と FEINT にアサインされており、同時に使用することは禁止です。OSTM0 を TSU（Timing Supervision Unit）機能として使用する場合は FEINT を使用してください。また、OSTM0 を TSU 機能以外として使用する場合は EIINT を使用してください。

注10.　INTOSTM5 は、EIINT と FEINT にアサインされており、同時に使用することは禁止です。OSTM5 を TSU（Timing Supervision Unit）機能として使用する場合は FEINT を使用してください。また、OSTM5 を TSU 機能以外として使用する場合は EIINT を使用してください。

注11.　割り込み発生要因の詳細については、「*RH850/F1KH, F1KM, F1K フラッシュメモリ ユーザーズマニュアル ハードウェアインタフェース編*」を参照してください。

7A.2.2　FE レベルノンマスカブル割り込み要因

7A.2.2.1　レジスター覧

FE レベルノンマスカブル割り込みのソースレジスタを、以下の表に示します。

表 7A.5　レジスター覧

モジュール名	レジスタ名	略号	アドレス
ECON_NMI	FENMI 要因レジスタ	WDTNMIF	FFC0 0000$_H$
	WDTNMI 要因クリアレジスタ	WDTNMIFC	FFC0 0008$_H$

7A.2.2.2　WDTNMIF — FENMI 要因レジスタ

このレジスタは、FE レベルノンマスカブル割り込み（FENMI）がどの要因で発生したかを示します。また、DeepSTOP モード遷移時を除くすべてのリセット要因によって初期化されます（AWORES）。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFC0 0000$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	WDTA2 NMIF	WDTA1 NMIF	WDTA0 NMIF	TNMIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7A.6　WDTNMIF レジスタの内容

ビット位置	ビット名	機能
31～4	予約ビット	リードした場合はリセット後の値が読めます。
3	WDTA2NMIF	WDTA2NMI フラグ 0：WDTA2NMI が発生していない 1：WDTA2NMI が発生した
2	WDTA1NMIF	WDTA1NMI フラグ 0：WDTA1NMI が発生していない 1：WDTA1NMI が発生した
1	WDTA0NMIF	WDTA0NMI フラグ 0：WDTA0NMI が発生していない 1：WDTA0NMI が発生した
0	TNMIF	NMI 端子からの入力信号フラグ 0：TNMI が発生していない 1：TNMI が発生した

7A.2.2.3　WDTNMIFC — WDTNMI 要因クリアレジスタ

このレジスタは WDTNMIF レジスタの FE レベルノンマスカブル割り込みフラグをクリアするレジスタです。

アクセス　32 ビット単位でライトのみ可能です。

アドレス　FFC0 0008H

リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	WDTA2NMIFC	WDTA1NMIFC	WDTA0NMIFC	TNMIFC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	W	W	W	W

表 7A.7　　WDTNMIFC レジスタの内容

ビット位置	ビット名	機能
31～4	予約ビット	ライトする場合はリセット後の値を書いてください。
3	WDTA2NMIFC	WDTA2NMIF フラグのクリア 0：— 1：クリアする
2	WDTA1NMIFC	WDTA1NMIF フラグのクリア 0：— 1：クリアする
1	WDTA0NMIFC	WDTA0NMIF フラグのクリア 0：— 1：クリアする
0	TNMIFC	TNMIF フラグのクリア 0：— 1：クリアする

7A.2.3　　FE レベルマスカブル割り込み要因

7A.2.3.1　　レジスタ一覧

FE レベルマスカブル割り込みのソースレジスタを、以下の表に示します。

表 7A.8　　レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
ECON_FEINT	FEINT 要因レジスタ	FEINTF	FFC0 0100$_{H}$
	FEINT 要因マスクレジスタ	FEINTFMSK	FFC0 0104$_{H}$
	FEINT 要因クリアレジスタ	FEINTFC	FFC0 0108$_{H}$

7A.2.3.2　　FEINTF — FEINT 要因レジスタ

このレジスタは、FE レベルマスカブル割り込み（FEINT）がどの要因で発生したかを示します。また、DeepSTOP モード遷移時を除くすべてのリセット要因によって初期化されます（AWORES）。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFC0 0100$_{H}$

リセット後の値　0000 0000$_{H}$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DMAFEIF	ECCMMCRAMA0FEIF	ECCETH1FEIF	OSTM9FEIF	OSTM8FEIF	OSTM7FEIF	OSTM6FEIF	OSTM5FEIF	ECCETH0FEIF	ECCCNFDRAM1FEIF	OSTM4FEIF	OSTM3FEIF	OSTM2FEIF	OSTM1FEIF	GUARDFEIF	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LVIHFEIF	OSTM0FEIF	ECCRAMFEIF	ECCFLI0FEIF	ECCCSIH4FEIF	ECCCSIH3FEIF	ECCCSIH2FEIF	ECCCSIH1FEIF	ECCCSIH0FEIF	ECCCNFDRAM0FEIF	ECCFLRAMFEIF	ECCEEP0FEIF	—	—	—	LVILFEIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7A.9　　FEINTF レジスタの内容

ビット位置	ビット名	機能
31	DMAFEIF	INTDMAERR 割り込みの発生 0：発生していない 1：発生した
30	ECCMMCA0RAMFEIF 注 1	INTECCMMCA0RAM 割り込みの発生 0：発生していない 1：発生した
29	ECCETH1FEIF 注 1	INTECCETH1 割り込みの発生 0：発生していない 1：発生した
28	OSTM9FEIF	INTOSTM9_FE 割り込みの発生 0：発生していない 1：発生した
27	OSTM8FEIF	INTOSTM8_FE 割り込みの発生 0：発生していない 1：発生した

表 7A.9　　FEINTF レジスタの内容

ビット位置	ビット名	機能
26	OSTM7FEIF	INTOSTM7_FE 割り込みの発生 0：発生していない 1：発生した
25	OSTM6FEIF	INTOSTM6_FE 割り込みの発生 0：発生していない 1：発生した
24	OSTM5FEIF	INTOSTM5_FE 割り込みの発生 0：発生していない 1：発生した
23	ECCETH0FEIF	INTECCETH0 割り込みの発生 0：発生していない 1：発生した
22	ECCCNFDRAM1FEIF 注 1	INTECCCNFDRAM1 割り込みの発生 0：発生していない 1：発生した
21	OSTM4FEIF	INTOSTM4_FE 割り込みの発生 0：発生していない 1：発生した
20	OSTM3FEIF	INTOSTM3_FE 割り込みの発生 0：発生していない 1：発生した
19	OSTM2FEIF	INTOSTM2_FE 割り込みの発生 0：発生していない 1：発生した
18	OSTM1FEIF	INTOSTM1_FE 割り込みの発生 0：発生していない 1：発生した
17	GUARDFEIF	INTGUARD 割り込みの発生 0：発生していない 1：発生した
16	予約ビット	リードした場合はリセット後の値が読めます。
15	LVIHFEIF	INTLVIH 割り込みの発生 0：発生していない 1：発生した
14	OSTM0FEIF	INTOSTM0_FE 割り込みの発生 0：発生していない 1：発生した
13	ECCRAMFEIF	INTECCRAM 割り込みの発生 0：発生していない 1：発生した
12	ECCFLI0FEIF	INTECCFLI0 割り込みの発生 0：発生していない 1：発生した
11	ECCCSIH4FEIF	INTECCCSIH4 割り込みの発生 0：発生していない 1：発生した
10	ECCCSIH3FEIF	INTECCCSIH3 割り込みの発生 0：発生していない 1：発生した

表 7A.9　　FEINTF レジスタの内容

ビット位置	ビット名	機能
9	ECCCSIH2FEIF	INTECCCSIH2 割り込みの発生 0：発生していない 1：発生した
8	ECCCSIH1FEIF	INTECCCSIH1 割り込みの発生 0：発生していない 1：発生した
7	ECCCSIH0FEIF	INTECCCSIH0 割り込みの発生 0：発生していない 1：発生した
6	ECCCNFDRAM0 FEIF	INTECCCNFDRAM0 割り込みの発生 0：発生していない 1：発生した
5	ECCFLRAMFEIF 注 1	INTECCFLRAM 割り込みの発生 0：発生していない 1：発生した
4	ECCEEP0FEIF	INTECCEEP0 割り込みの発生 0：発生していない 1：発生した
3～1	予約ビット	リードした場合はリセット後の値が読めます。
0	LVILFEIF	INTLVIL 割り込みの発生 0：発生していない 1：発生した

注1.　対応製品は、「**表 7A.3 FE レベルマスカブル割り込み要求 (RH850/F1KH-D8)**」を参照してください。

7A.2.3.3　FEINTFMSK — FEINT 要因マスクレジスタ

このレジスタは、FE レベルマスカブル割り込み（FEINT）をマスクするレジスタです。また、DeepSTOP モード遷移時を除くすべてのリセット要因によって初期化されます（AWORES）。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	FFC0 0104$_H$
リセット後の値	FFFF FFFF$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DMAFEIFMSK	ECCMMCA0RAMFEIFMSK	ECCETH1FEIFMSK	OSTM9FEIFMSK	OSTM8FEIFMSK	OSTM7FEIFMSK	OSTM6FEIFMSK	OSTM5FEIFMSK	ECCETH0FEIFMSK	ECCCNFDRAM1FEIFMSK	OSTM4FEIFMSK	OSTM3FEIFMSK	OSTM2FEIFMSK	OSTM1FEIFMSK	GUARDFEIFMSK	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LVIHFEIFMSK	OSTM0FEIFMSK	ECCRAMFEIFMSK	ECCFLI0FEIFMSK	ECCCSIH4FEIFMSK	ECCCSIH3FEIFMSK	ECCCSIH2FEIFMSK	ECCCSIH1FEIFMSK	ECCCSIH0FEIFMSK	ECCCNFDRAM0FEIFMSK	ECCFLRAMFEIFMSK	ECCEEP0FEIFMSK	—	—	—	LVILFEIFMSK
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W

表 7A.10　FEINTFMSK レジスタの内容

ビット位置	ビット名	機能
31	DMAFEIFMSK	INTDMAERR 割り込みのマスク 0：マスクしない 1：マスクする
30	ECCMMCA0RAMFEIFMSK 注1	INTECCMMCA0RAM 割り込みのマスク 0：マスクしない 1：マスクする
29	ECCETH1FEIFMSK 注1	INTECCETH1 割り込みのマスク 0：マスクしない 1：マスクする
28	OSTM9FEIFMSK	INTOSTM9_FE 割り込みのマスク 0：マスクしない 1：マスクする
27	OSTM8FEIFMSK	INTOSTM8_FE 割り込みのマスク 0：マスクしない 1：マスクする
26	OSTM7FEIFMSK	INTOSTM7_FE 割り込みのマスク 0：マスクしない 1：マスクする
25	OSTM6FEIFMSK	INTOSTM6_FE 割り込みのマスク 0：マスクしない 1：マスクする
24	OSTM5FEIFMSK	INTOSTM5_FE 割り込みのマスク 0：マスクしない 1：マスクする
23	ECCETH0FEIFMSK	INTECCETH0 割り込みのマスク 0：マスクしない 1：マスクする

表 7A.10　　FEINTFMSK レジスタの内容

ビット位置	ビット名	機能
22	ECCCNFDRAM1 FEIFMSK 注 1	INTECCCNFDRAM1 割り込みのマスク 0：マスクしない 1：マスクする
21	OSTM4FEIFMSK	INTOSTM4_FE 割り込みのマスク 0：マスクしない 1：マスクする
20	OSTM3FEIFMSK	INTOSTM3_FE 割り込みのマスク 0：マスクしない 1：マスクする
19	OSTM2FEIFMSK	INTOSTM2_FE 割り込みのマスク 0：マスクしない 1：マスクする
18	OSTM1FEIFMSK	INTOSTM1_FE 割り込みのマスク 0：マスクしない 1：マスクする
17	GUARDFEIFMSK	INTGUARD 割り込みのマスク 0：マスクしない 1：マスクする
16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	LVIHFEIFMSK	INTLVIH 割り込みのマスク 0：マスクしない 1：マスクする
14	OSTM0FEIFMSK	INTOSTM0_FE 割り込みのマスク 0：マスクしない 1：マスクする
13	ECCRAMFEIFMSK	INTECCRAM 割り込みのマスク 0：マスクしない 1：マスクする
12	ECCFLI0FEIFMSK	INTECCFLI0 割り込みのマスク 0：マスクしない 1：マスクする
11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	ECCCSIH3FEIF MSK	INTECCCSIH3 割り込みのマスク 0：マスクしない 1：マスクする
9	ECCCSIH2FEIF MSK	INTECCCSIH2 割り込みのマスク 0：マスクしない 1：マスクする
8	ECCCSIH1FEIF MSK	INTECCCSIH1 割り込みのマスク 0：マスクしない 1：マスクする
7	ECCCSIH0FEIF MSK	INTECCCSIH0 割り込みのマスク 0：マスクしない 1：マスクする
6	ECCCNFDRAM0 FEIFMSK	INTECCCNFDRAM0 割り込みのマスク 0：マスクしない 1：マスクする

表 7A.10　　FEINTFMSK レジスタの内容

ビット位置	ビット名	機能
5	ECCFLRAMFEIF MSK	INTECCFLRAM 割り込みのマスク 0：マスクしない 1：マスクする
4	ECCEEP0FEIF MSK	INTECCEEP0 割り込みのマスク 0：マスクしない 1：マスクする
3～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	LVILFEIFMSK	INTLVIL 割り込みのマスク 0：マスクしない 1：マスクする

注1.　対応製品は、「**表 7A.3　FE レベルマスカブル割り込み要求 (RH850/F1KH-D8)**」を参照してください。

7A.2.3.4 FEINTFC ― FEINT 要因クリアレジスタ

このレジスタは、FEINT 要因レジスタ（FEINTF）の各ビットをクリアするレジスタです。

注　意

CPU1 または CPU2 の FEINT 割り込みハンドラによる処理が完了した後は、それぞれのハンドラによる処理が完了したことを確認してから、FEINT 要因クリアレジスタ（FEINTFC）を使用して、該当の FEINT 割り込みのフラグをクリアしてください。例えば、CPU1 の処理時間が CPU2 の処理時間より短い場合には、先に完了する CPU1 の処理だけを確認しても、まだ割り込み処理が繰り返されている場合があります。

アクセス　32 ビット単位でライトのみ可能です。

アドレス　FFC0 0108$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DMAFEIFC	ECCMMCA0RAMFEIFC	ECCETH1FEIFC	OSTM9FEIFC	OSTM8FEIFC	OSTM7FEIFC	OSTM6FEIFC	OSTM5FEIFC	ECCETH0FEIFC	ECCCNFDRAM1FEIFC	OSTM4FEIFC	OSTM3FEIFC	OSTM2FEIFC	OSTM1FEIFC	GUARDFEIFC	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LVIHFEIFC	OSTM0FEIFC	ECCRAMFEIFC	ECCFLI0FEIFC	ECCCSIH4FEIFC	ECCCSIH3FEIFC	ECCCSIH2FEIFC	ECCCSIH1FEIFC	ECCCSIH0FEIFC	ECCCNFDRAMFEIFC	ECCFLRAMFEIFC	ECCEEP0FEIFC	—	—	—	LVILFEIFC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	R	R	R	W

表 7A.11　FEINTFC レジスタの内容

ビット位置	ビット名	機能
31	DMAFEIFC	DMAFEIF フラグのクリア 0：— 1：クリアする
30	ECCMMCA0RAMFEIFC 注 1	ECCMMCA0RAMFEIF フラグのクリア 0：— 1：クリアする
29	ECCETH1FEIFC 注 1	ECCETH1FEIF フラグのクリア 0：— 1：クリアする
28	OSTM9FEIFC	OSTM9FEIF フラグのクリア 0：— 1：クリアする
27	OSTM8FEIFC	OSTM8FEIF フラグのクリア 0：— 1：クリアする
26	OSTM7FEIFC	OSTM7FEIF フラグのクリア 0：— 1：クリアする
25	OSTM6FEIFC	OSTM6FEIF フラグのクリア 0：— 1：クリアする

表 7A.11　FEINTFC レジスタの内容

ビット位置	ビット名	機能
24	OSTM5FEIFC	OSTM5FEIF フラグのクリア 0：— 1：クリアする
23	ECCETH0FEIFC	ECCETH0FEIF フラグのクリア 0：— 1：クリアする
22	ECCCNFDRAM1FEIFC 注 1	ECCCNFDRAM1FEIF フラグのクリア 0：— 1：クリアする
21	OSTM4FEIFC	OSTM4FEIF フラグのクリア 0：— 1：クリアする
20	OSTM3FEIFC	OSTM3FEIF フラグのクリア 0：— 1：クリアする
19	OSTM2FEIFC	OSTM2FEIF フラグのクリア 0：— 1：クリアする
18	OSTM1FEIFC	OSTM1FEIF フラグのクリア 0：— 1：クリアする
17	GUARDFEIFC	GUARDFEIF フラグのクリア 0：— 1：クリアする
16	予約ビット	ライトする場合はリセット後の値を書いてください。
15	LVIHFEIFC	LVIHFEIF フラグのクリア 0：— 1：クリアする
14	OSTM0FEIFC	OSTM0FEIF フラグのクリア 0：— 1：クリアする
13	ECCRAMFEIFC	ECCRAMFEIF フラグのクリア 0：— 1：クリアする
12	ECCFLI0FEIFC	ECCFLI0FEIF フラグのクリア 0：— 1：クリアする
11	ECCCSIH4FEIFC	ECCCSIH4FEIF フラグのクリア 0：— 1：クリアする
10	ECCCSIH3FEIFC	ECCCSIH3FEIF フラグのクリア 0：— 1：クリアする
9	ECCCSIH2FEIFC	ECCCSIH2FEIF フラグのクリア 0：— 1：クリアする
8	ECCCSIH1FEIFC	ECCCSIH1FEIF フラグのクリア 0：— 1：クリアする

表 7A.11　FEINTFC レジスタの内容

ビット位置	ビット名	機能
7	ECCCSIH0FEIFC	ECCCSIH0FEIF フラグのクリア 0：— 1：クリアする
6	ECCCNFDRAM0FEIFC	ECCCNFDRAM0FEIF フラグのクリア 0：— 1：クリアする
5	ECCFLRAMFEIFC	ECCFLRAMFEIF フラグのクリア 0：— 1：クリアする
4	ECCEEP0FEIFC	ECCEEP0FEIF フラグのクリア 0：— 1：クリアする
3～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	LVILFEIFC	LVILFEIF フラグのクリア 0：— 1：クリアする

注1.　対応製品は、「**表 7A.3 FE レベルマスカブル割り込み要求 (**RH850/F1KH-D8)」を参照してください。

7A.3　エッジ／レベル検出機能

外部割り込み（TNMI と INTPm）は外部端子の立ち上がり／立ち下がり／両エッジ／ロウまたはハイレベルを検出することにより割り込みを要求できます。

各割り込みのエッジ／レベルを指定するレジスタを次に示します。

表 7A.12　外部割り込みエッジ／レベル検出レジスタ (RH850/F1KH-D8)

割り込み	レジスタ
TNMI	FCLA0CTL0_NMI
INTP0	FCLA0CTL0_INTPL
INTP1	FCLA0CTL1_INTPL
INTP2	FCLA0CTL2_INTPL
INTP3	FCLA0CTL3_INTPL
INTP4	FCLA0CTL4_INTPL
INTP5	FCLA0CTL5_INTPL
INTP6	FCLA0CTL6_INTPL
INTP7	FCLA0CTL7_INTPL
INTP8	FCLA0CTL0_INTPH
INTP9	FCLA0CTL1_INTPH
INTP10	FCLA0CTL2_INTPH
INTP11	FCLA0CTL3_INTPH
INTP12	FCLA0CTL4_INTPH
INTP13	FCLA0CTL5_INTPH
INTP14 注1	FCLA0CTL6_INTPH
INTP15 注1	FCLA0CTL7_INTPH
INTP16 注1	FCLA0CTL0_INTPU
INTP17 注1	FCLA0CTL1_INTPU
INTP18 注1	FCLA0CTL2_INTPU
INTP19 注1	FCLA0CTL3_INTPU
INTP20 注1	FCLA0CTL4_INTPU
INTP21 注1	FCLA0CTL5_INTPU
INTP22 注1	FCLA0CTL6_INTPU
INTP23 注1	FCLA0CTL7_INTPU

注1.　対応製品は、「**表 7A.4 EI レベルマスカブル割り込み要因**」を参照してください。

レジスタの詳細に関しては、「**第 2A 章　RH850/F1KH-D8 の端子**」を参照してください。

7A.4　割り込みコントローラ制御レジスタ

ICxxx、IMRm（m＝0～11）、IBDxxx、FNC、FIC レジスタへの書き込みは、スーパバイザモード（PSW.UM＝0）時のみ実行可能です。

7A.4.1　レジスター覧

割り込みコントローラ制御レジスタを、以下の表に示します。

表 7A.13　レジスター覧

モジュール名	レジスタ名	略号	アドレス
INTC1	EI レベル割り込み制御レジスタ	ICxxx 注1	**「表 7A.4 EI レベルマスカブル割り込み要因」**参照
	EI レベル割り込みマスクレジスタ	IMR0	FFFE EAF0$_H$
	EI レベル割込みバインディングレジスタ	IBDxxx 注1	**「表 7A.17 IBDxxx レジスター覧」**参照
INTC2	EI レベル割り込み制御レジスタ	ICxxx 注2	**「表 7A.4 EI レベルマスカブル割り込み要因」**参照
	EI レベル割り込みマスクレジスタ	IMRm	FFFF B400$_H$ + (04$_H$ × m)
	EI レベル割込みバインディングレジスタ	IBDxxx 注2	**「表 7A.17 IBDxxx レジスター覧」**参照
INTC1	FE レベル NMI ステータスレジスタ	FNC	FFFE EA78$_H$
	FE レベルマスカブル割り込みステータスレジスタ	FIC	FFFE EA7A$_H$

注1.　チャネル番号 0～31

注2.　チャネル番号 32 以上

「**表 7A.16 IBDxxx レジスタの内容**」に示すレジスタのうち、割り込みチャネル番号 0～31 に対応する、ICxxx、IMR0、IBDxxx は、各 CPU に含まれる CPU 周辺フィールドの INTC1 に配置されます。これらの各レジスタは、それを含む CPU1 または CPU2 からのみアクセスできます。

書き込みは、スーパバイザモード（PSW.UM＝0）のときのみ可能です。

「**表 7A.16 IBDxxx レジスタの内容**」に示すレジスタのうち、割り込みチャネル番号 32～381 に対応する、ICxxx、IMR1～IMR11、IBDxxx は、周辺グループ 0 の INTC2 に配置されます。これらのレジスタへの書き込みは、IBDxxx によってバインドされた PE のスーパバイザモード（UM＝0）、または CPU1 のスーパバイザモード（UM＝0）のみが実行可能です。

IMR1～IMR11 に書き込む場合、上記の条件に対応するビットのみが上書きされます。他のビットは更新されません。

「**表 7A.16 IBDxxx レジスタの内容**」に示すレジスタのうち、「**表 7A.4 EI レベルマスカブル割り込み要因**」の所定のチャネル番号用に予約されているレジスタの値は、リセット後もその値を保持しなければなりません。

7A.4.2　ICxxx — EI レベル割り込み制御レジスタ

EI レベルマスカブル割り込み（EIINT）のチャネルごとに設けられ、各チャネルの制御条件を設定します。このレジスタは、どのリセット要因でも初期化されます。それぞれの要因は「**表 7A.4 EI レベルマスカブル割り込み要因**」を参照してください。

注　意

エッジ検出で、周辺モジュールからの割り込み要求の直後（CPU によって割り込みが受け付けられる前）に、RFxxx ビットに“0”を書き込んだ場合は、要求が失われる場合があります。

また、CPU によって割り込みが受け付けられた直後に、RFxxx ビットに“1”を書き込んだ場合は要求が再セットされる場合があります。

レジスタへの書き込みにはビット操作命令（set1、clr1、not1）を含みます。

ビット操作命令については、「**3A.5.3 ビット操作命令でのレジスタアクセス**」も参照してください。

MKxxx ビットを含む下位バイトへのビット操作命令実行時には、RFxxx ビットは影響を受けません。

アクセス	ICxxx は 16 ビット単位でリード／ライト可能です。 ICxxxH、ICxxxL は 8/1 ビット単位でリード／ライト可能です。 ただし、ビット 14、13、11〜8、5、4 への SET1、CLR1、NOT1 命令によるビットアクセスは禁止です。
アドレス	「**表 7A.4 EI レベルマスカブル割り込み要因**」を参照してください。
リセット後の値	008F$_H$（エッジ検出）、808F$_H$（レベル検出）注 1

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CTxxx	—	—	RFxxx	—	—	—	—	MKxxx	TBxxx	—	—	P3xxx	P2xxx	P1xxx	P0xxx
リセット後の値	0/1 注 1	0	0	0	0	0	0	0	1	0	0	0	1	1	1	1
R/W	R	R	R	R/W	R	R	R	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W

注1.　リセット後の値は各割り込みの検出タイプ（エッジ検出：0、レベル検出：1）で異なります。詳細は「**表 7A.4 EI レベルマスカブル割り込み要因**」を参照してください。

表 7A.14　　ICxxx レジスタの内容

ビット位置	ビット名	機能
15	CTxxx	割り込み検出タイプビットです。リードのみ可能です。 0：エッジ検出 1：レベル検出 8/16 ビットでライトする場合は、リセット後の値を書いてください。
14、13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	RFxxx	割り込み要求フラグです。 RFxxx ビットはプログラムから書き込み可能です。RFxxx ビットをセット（1）すると、割り込み要求を受け付けた場合と同じように、EI レベルマスカブル割り込み n（INTn）を発生します。 0：割り込み要求なし 1：割り込み要求あり <table><tr><th>入力インタフェース</th><th>動作</th></tr><tr><td>エッジ検出（CTxxx=0）</td><td>CPU コアに割り込み要求が受けつけられると、自動的にクリアされます。ソフトウェアによるビットのセットクリアが可能です。</td></tr><tr><td>レベル検出（CTxxx=1）</td><td>ソフトウェアによるビットのセットクリアはできません。リードのみ可能です。 CPU コアに割り込み要求が受け付けられてもクリアされません。</td></tr></table>

表 7A.14　　ICxxx レジスタの内容

ビット位置	ビット名	機能
11～8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	MKxxx	割り込み要求マスクビットです。 MKxxx ビットがセットされている場合、チャネルからの割り込み要求はマスクされ、そのチャネルから CPU コアへの割り込み要求は行われません。チャネルがマスクされている ICSR.PMEI ビットには、割り込み中断状態は反映されません。 MKxxx＝1 でチャネルからの割り込み要求がマスクされている場合でも、RFxxx はチャネルへの割り込み要求を反映しており、ソフトウェアでポーリングすることができます。MKxxx ビットがクリアされると、チャネルからの割り込み要求は CPU コアに発行されます。MKxxx ビットの状態は、対応する IMRm のレジスタに反映されます。 0：割り込み処理を許可 1：割り込み処理を禁止
6	TBxxx	割り込みベクタ方式選択ビットです。 0：優先度に基づいた直接分岐方式 1：テーブル参照方式 割り込みベクタ方式についての詳細は、「*RH850G3KH ユーザーズマニュアル ソフトウェア編*」を参照してください。
5、4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3～0	P3xxx～P0xxx	16 レベルの割り込み優先度を指定します。0 が最高優先度、15 が最低優先度になります。 複数の EI レベル割り込み要求が同時に発生した場合、本ビットで指定される優先度の高い要因が選択されて CPU コアへ最初の処理として通知されます。 P3xxx～P0xxx ビットで同じ優先度を指定した割り込み要求が同時に発生すると、チャネル番号が小さい要因が選択されます。

注　意

1. 「**表 7A.4 EI レベルマスカブル割り込み要因**」に「リザーブ」と記載されたチャネル、および製品に搭載されていないチャネルの ICxxx レジスタにはアクセスしないでください。
2. チャネル n がブロードキャスト割り込み（IBDxxx.CST＝1）と定義されている場合、チャネルの初期設定後にチャネルの ICxxx レジスタの MKxxx ビットおよび RFxxx ビットを 0 に設定する必要があります。EIINTn 割り込みが許可されている期間は、チャネルの割り込み処理をマスク（MKxxx＝1）することはできません。ブロードキャスト割り込みをマスクする必要がある場合、各 PE の INTC1 の ICBN0 レジスタの MKBN0 を使用して、対応するブロードキャスト割り込みをマスクすることができます。

7A.4.3 IMRm ― EI レベル割り込みマスクレジスタ（m＝0～11）

ICxxx レジスタの MKxxx ビットの集合レジスタです。IMRm レジスタの各ビットは対応する MKxxx ビットの設定が反映されます。また IMRm レジスタへの設定は対応する MKxxx ビットへ反映されます。このレジスタは、どのリセット要因でも初期化されます。

アクセス　IMRm は 32 ビット単位でリード／ライト可能です。
IMRmH、IMRmL は 16 ビット単位でリード／ライト可能です。
IMRmHH、IMRmHL、IMRmLH、IMRmLL は 8/1 ビット単位でリード／ライト可能です。

アドレス　IMR0：FFFE EAF0$_H$
IMR0L：FFFE EAF0$_H$,
IMR0H：FFFE EAF2$_H$
IMR0LH：FFFE EAF1$_H$,
IMR0HL：FFFE EAF2$_H$,
IMR0HH：FFFE EAF3$_H$
IMRm (m＝1～11)：FFFF B400$_H$ + (04$_H$ × m)
IMRmL (m＝1～11)：FFFF B400$_H$ + (04$_H$ × m)
IMRmH (m＝1～11)：FFFF B400$_H$ + (04$_H$ × m) + 2$_H$,
IMRmLL (m＝1～11)：FFFF B400$_H$ + (04$_H$ × m)
IMRmLH (m＝1～11)：FFFF B400$_H$ + (04$_H$ × m) + 1$_H$,
IMRmHL (m＝1～11)：FFFF B400$_H$ + (04$_H$ × m) + 2$_H$,
IMRmHH (m＝1～11)：FFFF B400$_H$ + (04$_H$ × m) + 3$_H$

リセット後の値　FFFF FFFF$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IMRm EIMK (m × 32 + 31)	IMRm EIMK (m × 32 + 30)	IMRm EIMK (m × 32 + 29)	IMRm EIMK (m × 32 + 28)	IMRm EIMK (m × 32 + 27)	IMRm EIMK (m × 32 + 26)	IMRm EIMK (m × 32 + 25)	IMRm EIMK (m × 32 + 24)	IMRm EIMK (m × 32 + 23)	IMRm EIMK (m × 32 + 22)	IMRm EIMK (m × 32 + 21)	IMRm EIMK (m × 32 + 20)	IMRm EIMK (m × 32 + 19)	IMRm EIMK (m × 32 + 18)	IMRm EIMK (m × 32 + 17)	IMRm EIMK (m × 32 + 16)
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IMRm EIMK (m × 32 + 15)	IMRm EIMK (m × 32 + 14)	IMRm EIMK (m × 32 + 13)	IMRm EIMK (m × 32 + 12)	IMRm EIMK (m × 32 + 11)	IMRm EIMK (m × 32 + 10)	IMRm EIMK (m × 32 + 9)	IMRm EIMK (m × 32 + 8)	IMRm EIMK (m × 32 + 7)	IMRm EIMK (m × 32 + 6)	IMRm EIMK (m × 32 + 5)	IMRm EIMK (m × 32 + 4)	IMRm EIMK (m × 32 + 3)	IMRm EIMK (m × 32 + 2)	IMRm EIMK (m × 32 + 1)	IMRm EIMK (m × 32 + 0)
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7A.15　　IMRm レジスタの内容

ビット位置	ビット名	機能
31～0	IMRmEIMK（m × 32 + 31）～ IMRmEIMK（m × 32 + 0）	EI レベルマスカブル割り込み（EIINT）のチャネル 0～381 の割り込みマスクビットです。 0：割り込み処理を許可 1：割り込み処理を禁止

注　意

1. **「表 7A.4 EI レベルマスカブル割り込み要因」**に「リザーブ」と記載されたチャネル、および製品に搭載されていないチャネルに対応する MKxxx ビットには、必ず“1”を設定してください。
2. チャネルをブロードキャスト割り込みとして使用（IBDxxx.CST＝1）する場合、チャネルに対応する IMRmEIMKn ビットには、必ず“0”を設定してください。

7A.4.4　IBDxxx — EI レベル割込みバインディングレジスタ

これらのレジスタは、EI レベルマスカブル割り込み（EIINT）用で、割り込み制御の条件を設定します。レジスタは、どのリセット要因でも初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　「**表 7A.17 IBDxxx レジスタ一覧**」を参照してください。

リセット後の値　注 1

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CST	—	—	—	—	—	—	BCP0	—	—	—	—	—	—	GPID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	PEID[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0		注 1	
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

注1.　CPU1（PE1）の IBDxxx レジスタ（割り込み番号 0～31）：PEID[2:0]＝001$_B$
CPU2（PE2）の IBDxxx レジスタ（割り込み番号 0～31）：PEID[2:0]＝010$_B$
IBDxxx レジスタ（割り込み番号 32 以降）：PEID[2:0]＝001$_B$

表 7A.16　IBDxxx レジスタの内容

ビット位置	ビット名	機能
31	CST	このビットは、対応する割り込みチャネルへの割り込み入力が、複数の転送先（ブロードキャスト）に伝達されるかどうかを指定します。 INTC2 でのみ設定可能です。割り込み番号 0～31（INTC1）の IBDxxx のビットは固定値 0 です。 0：割り込みは、通常割り込みとして処理されます（デフォルト値）。 1：割り込みは、複数の転送先に伝達されます。
30～25	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
24	BCP0	これらのビットは、CST ビットが 1 のときに出力するブロードキャストポートの番号を指定します。CST ビットが 0 の場合、これらのビットの設定は無視されます。 割り込み番号 0～31（INTC1）の IBDxxx のビットは固定値 0 です。 0：ブロードキャストポート 0 へ出力 1：ブロードキャストポート 1 へ出力
23～18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
17、16	GPID[1:0]	これらのビットは、IBDxxx レジスタ（割り込み番号 32 以降）でのみ実行されます。PEID 設定に従って設定するには、以下のいずれかを選択してください。 00：PEID で、バインディング先として CPU1 が選択された場合 01：PEID で、バインディング先として CPU2 が選択された場合 上記以外：設定禁止 これらのビットは、割り込み番号 0～31 の IBDxxx レジスタでは、予約されています。ライトする場合は“0”を書いてください。本ビットのリード値は常に 0 です。
15～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 7A.16 IBDxxx レジスタの内容

ビット位置	ビット名	機能
2～0	PEID[2:0]	割り込みのバインド（要求）先を指定します。 ただし、各 CPU（PE）で多重化された IBDxxx レジスタ（割り込み番号 0～31）の PEID ビットは、各 CPU（PE）番号に固定されており、変更することはできません。 001：割り込みは、CPU1 にバインドされています。 010：割り込みは、CPU2 にバインドされています。 要因に対応する割り込みが発生した場合は、上記のいずれかの設定を選択してください。

注 意

1. EIINT の要求が処理されている間は、対応する IBDxxx レジスタ値を変更しないでください。
2. 本製品では、INTBN0 および INTBN1 のみが、ブロードキャスト割り込みをサポートしています。CST＝1 を 2 つの IBDxxx レジスタで設定することができます。
3. ブロードキャスト通信入力にバインドできる INTC2 のチャネルは、エッジ検出タイプのみです。

表 7A.17 IBDxxx レジスター覧

割り込み番号	レジスタ名	アドレス	176 Pin	233 Pin	272 Pin	324 Pin
0	IBDIPIR0	FFFE EB00H	○	○	—	○
1	IBDIPIR1	FFFE EB04H	○	○	—	○
2	IBDIPIR2	FFFE EB08H	○	○	—	○
3	IBDIPIR3	FFFE EB0CH	○	○	—	○
4	IBDBN0	FFFE EB10H	○	○	—	○
5	IBDBN1	FFFE EB14H	○	○	—	○
6	—	—	—	—	—	—
7	—	—	—	—	—	—
8	IBDTAUD0I0 IBDCSIH2IC_1	FFFE EB20H	○	○	—	○
9	IBDTAUD0I2 IBDCSIH3IC_1	FFFE EB24H	○	○	—	○
10	IBDTAUD0I4 IBDCSIH2IR_1	FFFE EB28H	○	○	—	○
11	IBDTAUD0I6 IBDCSIH2IRE_1	FFFE EB2CH	○	○	—	○
12	IBDTAUD0I8 IBDCSIH2IJC_1	FFFE EB30H	○	○	—	○
13	IBDTAUD0I10 IBDCSIH3IR_1	FFFE EB34H	○	○	—	○
14	IBDTAUD0I12 IBDCSIH3IRE_1	FFFE EB38H	○	○	—	○
15	IBDTAUD0I14 IBDCSIH3IJC_1	FFFE EB3CH	○	○	—	○
16	IBDTAPA0IPEK0 IBDCSIH1IC_1	FFFE EB40H	○	○	—	○
17	IBDTAPA0IVLY0 IBDCSIH1IR_1	FFFE EB44H	○	○	—	○
18	IBDADCA0I0	FFFE EB48H	○	○	—	○
19	IBDADCA0I1	FFFE EB4CH	○	○	—	○
20	IBDADCA0I2 IBDCSIH0IJC_1	FFFE EB50H	○	○	—	○
21	IBDDCUTDI	FFFE EB54H	○	○	—	○
22	IBDRCANGERR0	FFFE EB58H	○	○	—	○
23	IBDRCANGRECC0	FFFE EB5CH	○	○	—	○

表 7A.17　　IBDxxx レジスタ一覧

割り込み番号	レジスタ名	アドレス	176 Pin	233 Pin	272 Pin	324 Pin
24	IBDRCAN0ERR	FFFE EB60H	○	○	—	○
25	IBDRCAN0REC	FFFE EB64H	○	○	—	○
26	IBDRCAN0TRX	FFFE EB68H	○	○	—	○
27	IBDCSIG0IC	FFFE EB6CH	○	○	—	○
	IBDCSIH1IRE_1					
28	IBDCSIG0IR	FFFE EB70H	○	○	—	○
	IBDCSIH1IJC_1					
29	IBDCSIH0IC	FFFE EB74H	○	○	—	○
30	IBDCSIH0IR	FFFE EB78H	○	○	—	○
31	IBDCSIH0IRE	FFFE EB7CH	○	○	—	○
32	IBDCSIH0IJC	FFFF B880H	○	○	—	○
	IBDADCA0I2_2					
33	IBDRLIN30	FFFF B884H	○	○	—	○
34	IBDRLIN30UR0	FFFF B888H	○	○	—	○
35	IBDRLIN30UR1	FFFF B88CH	○	○	—	○
36	IBDRLIN30UR2	FFFF B890H	○	○	—	○
37	IBDP0	FFFF B894H	○	○	—	○
38	IBDP1	FFFF B898H	○	○	—	○
39	IBDP2	FFFF B89CH	○	○	—	○
40	IBDWDTA0	FFFF B8A0H	○	○	—	○
41	IBDWDTA1	FFFF B8A4H	○	○	—	○
42	IBDWDTA2	FFFF B8A8H	○	○	—	○
43	IBDP3	FFFF B8ACH	○	○	—	○
44	IBDP4	FFFF B8B0H	○	○	—	○
45	IBDP5	FFFF B8B4H	○	○	—	○
46	IBDP10	FFFF B8B8H	○	○	—	○
47	IBDP11	FFFF B8BCH	○	○	—	○
48	IBDTAUD0I1	FFFF B8C0H	○	○	—	○
49	IBDTAUD0I3	FFFF B8C4H	○	○	—	○
50	IBDTAUD0I5	FFFF B8C8H	○	○	—	○
51	IBDTAUD0I7	FFFF B8CCH	○	○	—	○
52	IBDTAUD0I9	FFFF B8D0H	○	○	—	○
53	IBDTAUD0I11	FFFF B8D4H	○	○	—	○
54	IBDTAUD0I13	FFFF B8D8H	○	○	—	○
55	IBDTAUD0I15	FFFF B8DCH	○	○	—	○
56	IBDADCA0ERR	FFFF B8E0H	○	○	—	○
57	IBDCSIG0IRE	FFFF B8E4H	○	○	—	○
58	IBDRLIN20	FFFF B8E8H	○	○	—	○
59	IBDRLIN21	FFFF B8ECH	○	○	—	○
60	IBDDMA0	FFFF B8F0H	○	○	—	○
61	IBDDMA1	FFFF B8F4H	○	○	—	○
62	IBDDMA2	FFFF B8F8H	○	○	—	○
63	IBDDMA3	FFFF B8FCH	○	○	—	○
64	IBDDMA4	FFFF B900H	○	○	—	○
65	IBDDMA5	FFFF B904H	○	○	—	○
66	IBDDMA6	FFFF B908H	○	○	—	○
67	IBDDMA7	FFFF B90CH	○	○	—	○
68	IBDDMA8	FFFF B910H	○	○	—	○
69	IBDDMA9	FFFF B914H	○	○	—	○
70	IBDDMA10	FFFF B918H	○	○	—	○
71	IBDDMA11	FFFF B91CH	○	○	—	○
72	IBDDMA12	FFFF B920H	○	○	—	○

表 7A.17　　IBDxxx レジスター覧

割り込み番号	レジスタ名	アドレス	176 Pin	233 Pin	272 Pin	324 Pin
73	IBDDMA13	FFFF B924$_H$	○	○	—	○
74	IBDDMA14	FFFF B928$_H$	○	○	—	○
75	IBDDMA15	FFFF B92C$_H$	○	○	—	○
76	IBDRIIC0TI	FFFF B930$_H$	○	○	—	○
77	IBDRIIC0EE	FFFF B934$_H$	○	○	—	○
78	IBDRIIC0RI	FFFF B938$_H$	○	○	—	○
79	IBDRIIC0TEI	FFFF B93C$_H$	○	○	—	○
80	IBDTAUJ0I0	FFFF B940$_H$	○	○	—	○
81	IBDTAUJ0I1	FFFF B944$_H$	○	○	—	○
82	IBDTAUJ0I2	FFFF B948$_H$	○	○	—	○
83	IBDTAUJ0I3	FFFF B94C$_H$	○	○	—	○
84	IBDOSTM0	FFFF B950$_H$	○	○	—	○
85	IBDENCA0IOV	FFFF B954$_H$	○	○	—	○
86	IBDENCA0IUD	FFFF B958$_H$	○	○	—	○
87	IBDENCA0I0	FFFF B95C$_H$	○	○	—	○
88	IBDENCA0I1	FFFF B960$_H$	○	○	—	○
89	IBDENCA0IEC	FFFF B964$_H$	○	○	—	○
90	IBDKR0	FFFF B968$_H$	○	○	—	○
91	IBDQFULL	FFFF B96C$_H$	○	○	—	○
92	IBDPWGAG00	FFFF B970$_H$	○	○	—	○
93	IBDPWGAG01	FFFF B974$_H$	○	○	—	○
94	IBDPWGAG02	FFFF B978$_H$	○	○	—	○
95	IBDPWGAG10	FFFF B97C$_H$	○	○	—	○
96	IBDPWGAG11	FFFF B980$_H$	○	○	—	○
97	IBDPWGAG12	FFFF B984$_H$	○	○	—	○
98	IBDCSIG4IC	FFFF B988$_H$	○	○	—	○
99	IBDCSIG4IR	FFFF B98C$_H$	○	○	—	○
100	IBDCSIG4IRE	FFFF B990$_H$	○	○	—	○
101	IBDDMA32	FFFF B994$_H$	○	○	—	○
102	IBDDMA33	FFFF B998$_H$	○	○	—	○
103	IBDDMA34	FFFF B99C$_H$	○	○	—	○
104	—	—	—	—	—	—
105	—	—	—	—	—	—
106	IBDDMA35	FFFF B9A8$_H$	○	○	—	○
107	—	—	—	—	—	—
108	—	—	—	—	—	—
109	—	—	—	—	—	—
110	IBDFLERR	FFFF B9B8$_H$	○	○	—	○
111	IBDFLENDNM	FFFF B9BC$_H$	○	○	—	○
112	IBDCWEND	FFFF B9C0$_H$	○	○	—	○
113	IBDRCAN1ERR	FFFF B9C4$_H$	○	○	—	○
114	IBDRCAN1REC	FFFF B9C8$_H$	○	○	—	○
115	IBDRCAN1TRX	FFFF B9CC$_H$	○	○	—	○
116	IBDCSIH1IC	FFFF B9D0$_H$	○	○	—	○
	IBDTAPA0IPEK0_2					
117	IBDCSIH1IR	FFFF B9D4$_H$	○	○	—	○
	IBDTAPA0IVLY0_2					
118	IBDCSIH1IRE	FFFF B9D8$_H$	○	○	—	○
	IBDCSIG0IC_2					
119	IBDCSIH1IJC	FFFF B9DC$_H$	○	○	—	○
	IBDCSIG0IR_2					
120	IBDRLIN31	FFFF B9E0$_H$	○	○	—	○

表 7A.17　　IBDxxx レジスター覧

割り込み番号	レジスタ名	アドレス	176 Pin	233 Pin	272 Pin	324 Pin
121	IBDRLIN31UR0	FFFF B9E4$_H$	○	○	—	○
122	IBDRLIN31UR1	FFFF B9E8$_H$	○	○	—	○
123	IBDRLIN31UR2	FFFF B9EC$_H$	○	○	—	○
124	IBDCSIH4IC	FFFF B9F0$_H$	○	○	—	○
125	IBDCSIH4IR	FFFF B9F4$_H$	○	○	—	○
126	IBDCSIH4IRE	FFFF B9F8$_H$	○	○	—	○
127	IBDCSIH4IJC	FFFF B9FC$_H$	○	○	—	○
128	IBDP6	FFFF BA00$_H$	○	○	—	○
129	IBDP7	FFFF BA04$_H$	○	○	—	○
130	IBDP8	FFFF BA08$_H$	○	○	—	○
131	IBDP12	FFFF BA0C$_H$	○	○	—	○
132	IBDCSIH2IC IBDTAUD0I0_2	FFFF BA10$_H$	○	○	—	○
133	IBDCSIH2IR IBDTAUD0I4_2	FFFF BA14$_H$	○	○	—	○
134	IBDCSIH2IRE IBDTAUD0I6_2	FFFF BA18$_H$	○	○	—	○
135	IBDCSIH2IJC IBDTAUD0I8_2	FFFF BA1C$_H$	○	○	—	○
136	—	—	—	—	—	—
137	—	—	—	—	—	—
138	—	—	—	—	—	—
139	—	—	—	—	—	—
140	—	—	—	—	—	—
141	—	—	—	—	—	—
142	IBDTAUB0I0	FFFF BA38$_H$	○	○	—	○
143	IBDTAUB0I1	FFFF BA3C$_H$	○	○	—	○
144	IBDTAUB0I2	FFFF BA40$_H$	○	○	—	○
145	IBDTAUB0I3	FFFF BA44$_H$	○	○	—	○
146	IBDTAUB0I4	FFFF BA48$_H$	○	○	—	○
147	IBDTAUB0I5	FFFF BA4C$_H$	○	○	—	○
148	IBDTAUB0I6	FFFF BA50$_H$	○	○	—	○
149	IBDTAUB0I7	FFFF BA54$_H$	○	○	—	○
150	IBDTAUB0I8	FFFF BA58$_H$	○	○	—	○
151	IBDTAUB0I9	FFFF BA5C$_H$	○	○	—	○
152	IBDTAUB0I10	FFFF BA60$_H$	○	○	—	○
153	IBDTAUB0I11	FFFF BA64$_H$	○	○	—	○
154	IBDTAUB0I12	FFFF BA68$_H$	○	○	—	○
155	IBDTAUB0I13	FFFF BA6C$_H$	○	○	—	○
156	IBDTAUB0I14	FFFF BA70$_H$	○	○	—	○
157	IBDTAUB0I15	FFFF BA74$_H$	○	○	—	○
158	IBDCSIH3IC IBDTAUD0I2_2	FFFF BA78$_H$	○	○	—	○
159	IBDCSIH3IR IBDTAUD0I10_2	FFFF BA7C$_H$	○	○	—	○
160	IBDCSIH3IRE IBDTAUD0I12_2	FFFF BA80$_H$	○	○	—	○
161	IBDCSIH3IJC IBDTAUD0I14_2	FFFF BA84$_H$	○	○	—	○
162	IBDRLIN22	FFFF BA88$_H$	○	○	—	○
163	IBDRLIN23	FFFF BA8C$_H$	○	○	—	○
164	IBDRLIN32	FFFF BA90$_H$	○	○	—	○

表 7A.17 IBDxxx レジスター覧

割り込み番号	レジスタ名	アドレス	176 Pin	233 Pin	272 Pin	324 Pin
165	IBDRLIN32UR0	FFFF BA94$_H$	○	○	—	○
166	IBDRLIN32UR1	FFFF BA98$_H$	○	○	—	○
167	IBDRLIN32UR2	FFFF BA9C$_H$	○	○	—	○
168	IBDTAUJ1I0	FFFF BAA0$_H$	○	○	—	○
169	IBDTAUJ1I1	FFFF BAA4$_H$	○	○	—	○
170	IBDTAUJ1I2	FFFF BAA8$_H$	○	○	—	○
171	IBDTAUJ1I3	FFFF BAAC$_H$	○	○	—	○
172	—	—	—	—	—	—
173	IBDFLXA0FDA	FFFF BAB4$_H$	○	○	—	○
174	IBDFLXA0FW	FFFF BAB8$_H$	○	○	—	○
175	IBDFLXA0IQE	FFFF BABC$_H$	○	○	—	○
176	IBDFLXA0IQF	FFFF BAC0$_H$	○	○	—	○
177	IBDFLXA0OT	FFFF BAC4$_H$	○	○	—	○
178	IBDFLXA0OW	FFFF BAC8$_H$	○	○	—	○
179	IBDFLXA0LINE0	FFFF BACC$_H$	○	○	—	○
180	IBDFLXA0LINE1	FFFF BAD0$_H$	○	○	—	○
181	IBDFLXA0TIM0	FFFF BAD4$_H$	○	○	—	○
182	IBDFLXA0TIM1	FFFF BAD8$_H$	○	○	—	○
183	IBDFLXA0TIM2	FFFF BADC$_H$	○	○	—	○
184	IBDRLIN212	FFFF BAE0$_H$	—	—	—	○
185	IBDRLIN213	FFFF BAE4$_H$	—	—	—	○
186	IBDRLIN214	FFFF BAE8$_H$	—	—	—	○
187	IBDRLIN215	FFFF BAEC$_H$	—	—	—	○
188	IBDDMA36	FFFF BAF0$_H$	○	○	—	○
189	IBDDMA37	FFFF BAF4$_H$	○	○	—	○
190	IBDDMA38	FFFF BAF8$_H$	○	○	—	○
191	IBDDMA39	FFFF BAFC$_H$	○	○	—	○
192	IBDDMA40	FFFF BB00$_H$	○	○	—	○
193	IBDDMA41	FFFF BB04$_H$	○	○	—	○
194	IBDDMA42	FFFF BB08$_H$	○	○	—	○
195	IBDDMA43	FFFF BB0C$_H$	○	○	—	○
196	IBDDMA44	FFFF BB10$_H$	○	○	—	○
197	IBDDMA45	FFFF BB14$_H$	○	○	—	○
198	IBDDMA46	FFFF BB18$_H$	○	○	—	○
199	IBDDMA47	FFFF BB1C$_H$	○	○	—	○
200	IBDDMA48	FFFF BB20$_H$	○	○	—	○
201	IBDDMA49	FFFF BB24$_H$	○	○	—	○
202	IBDDMA50	FFFF BB28$_H$	○	○	—	○
203	IBDDMA51	FFFF BB2C$_H$	○	○	—	○
204	IBDDMA52	FFFF BB30$_H$	○	○	—	○
205	IBDP9	FFFF BB34$_H$	○	○	—	○
206	IBDP13	FFFF BB38$_H$	○	○	—	○
207	IBDP14	FFFF BB3C$_H$	○	○	—	○
208	IBDP15	FFFF BB40$_H$	○	○	—	○
209	IBDRTCA01S	FFFF BB44$_H$	○	○	—	○
210	IBDRTCA0AL	FFFF BB48$_H$	○	○	—	○
211	IBDRTCA0R	FFFF BB4C$_H$	○	○	—	○
212	IBDADCA1ERR	FFFF BB50$_H$	○	○	—	○
213	IBDADCA1I0	FFFF BB54$_H$	○	○	—	○
214	IBDADCA1I1	FFFF BB58$_H$	○	○	—	○
215	IBDADCA1I2	FFFF BB5C$_H$	○	○	—	○
216	IBDDMA53	FFFF BB60$_H$	○	○	—	○

表 7A.17　　IBDxxx レジスター覧

割り込み番号	レジスタ名	アドレス	176 Pin	233 Pin	272 Pin	324 Pin
217	IBDRCAN2ERR	FFFF BB64$_H$	○	○	—	○
218	IBDRCAN2REC	FFFF BB68$_H$	○	○	—	○
219	IBDRCAN2TRX	FFFF BB6C$_H$	○	○	—	○
220	IBDRCAN3ERR	FFFF BB70$_H$	○	○	—	○
221	IBDRCAN3REC	FFFF BB74$_H$	○	○	—	○
222	IBDRCAN3TRX	FFFF BB78$_H$	○	○	—	○
223	IBDCSIG1IC	FFFF BB7C$_H$	○	○	—	○
224	IBDCSIG1IR	FFFF BB80$_H$	○	○	—	○
225	IBDCSIG1IRE	FFFF BB84$_H$	○	○	—	○
226	IBDRLIN24	FFFF BB88$_H$	○	○	—	○
227	IBDRLIN25	FFFF BB8C$_H$	○	○	—	○
228	IBDRLIN33	FFFF BB90$_H$	○	○	—	○
229	IBDRLIN33UR0	FFFF BB94$_H$	○	○	—	○
230	IBDRLIN33UR1	FFFF BB98$_H$	○	○	—	○
231	IBDRLIN33UR2	FFFF BB9C$_H$	○	○	—	○
232	IBDRLIN34	FFFF BBA0$_H$	○	○	—	○
233	IBDRLIN34UR0	FFFF BBA4$_H$	○	○	—	○
234	IBDRLIN34UR1	FFFF BBA8$_H$	○	○	—	○
235	IBDRLIN34UR2	FFFF BBAC$_H$	○	○	—	○
236	IBDRLIN35	FFFF BBB0$_H$	○	○	—	○
237	IBDRLIN35UR0	FFFF BBB4$_H$	○	○	—	○
238	IBDRLIN35UR1	FFFF BBB8$_H$	○	○	—	○
239	IBDRLIN35UR2	FFFF BBBC$_H$	○	○	—	○
240	IBDRIIC1TI	FFFF BBC0$_H$	○	○	—	○
241	IBDRIIC1EE	FFFF BBC4$_H$	○	○	—	○
242	IBDRIIC1RI	FFFF BBC8$_H$	○	○	—	○
243	IBDRIIC1TEI	FFFF BBCC$_H$	○	○	—	○
244	IBDRCAN8ERR	FFFF BBD0$_H$	—	—	—	○
245	IBDRCAN8REC	FFFF BBD4$_H$	—	—	—	○
246	IBDRCAN8TRX	FFFF BBD8$_H$	—	—	—	○
247	IBDRCAN9ERR	FFFF BBDC$_H$	—	—	—	○
248	IBDRCAN9REC	FFFF BBE0$_H$	—	—	—	○
249	IBDRCAN9TRX	FFFF BBE4$_H$	—	—	—	○
250	IBDRCAN10ERR	FFFF BBE8$_H$	—	—	—	○
251	IBDRCAN10REC	FFFF BBEC$_H$	—	—	—	○
252	IBDRCAN10TRX	FFFF BBF0$_H$	—	—	—	○
253	IBDRCAN11ERR	FFFF BBF4$_H$	—	—	—	○
254	IBDRCAN11REC	FFFF BBF8$_H$	—	—	—	○
255	IBDRCAN11TRX	FFFF BBFC$_H$	—	—	—	○
256	IBDTAUB1I0	FFFF BC00$_H$	○	○	—	○
257	IBDTAUB1I1	FFFF BC04$_H$	○	○	—	○
258	IBDTAUB1I2	FFFF BC08$_H$	○	○	—	○
259	IBDTAUB1I3	FFFF BC0C$_H$	○	○	—	○
260	IBDTAUB1I4	FFFF BC10$_H$	○	○	—	○
261	IBDTAUB1I5	FFFF BC14$_H$	○	○	—	○
262	IBDTAUB1I6	FFFF BC18$_H$	○	○	—	○
263	IBDTAUB1I7	FFFF BC1C$_H$	○	○	—	○
264	IBDTAUB1I8	FFFF BC20$_H$	○	○	—	○
265	IBDTAUB1I9	FFFF BC24$_H$	○	○	—	○
266	IBDTAUB1I10	FFFF BC28$_H$	○	○	—	○
267	IBDTAUB1I11	FFFF BC2C$_H$	○	○	—	○
268	IBDTAUB1I12	FFFF BC30$_H$	○	○	—	○

表 7A.17　IBDxxx レジスター覧

割り込み番号	レジスタ名	アドレス	176 Pin	233 Pin	272 Pin	324 Pin
269	IBDTAUB1I13	FFFF BC34H	○	○	—	○
270	IBDTAUB1I14	FFFF BC38H	○	○	—	○
271	IBDTAUB1I15	FFFF BC3CH	○	○	—	○
272	IBDRCAN4ERR	FFFF BC40H	○	○	—	○
273	IBDRCAN4REC	FFFF BC44H	○	○	—	○
274	IBDRCAN4TRX	FFFF BC48H	○	○	—	○
275	IBDRLIN26	FFFF BC4CH	○	○	—	○
276	IBDRLIN27	FFFF BC50H	○	○	—	○
277	IBDTAUJ2I0	FFFF BC54H	○	○	—	○
278	IBDTAUJ2I1	FFFF BC58H	○	○	—	○
279	IBDTAUJ2I2	FFFF BC5CH	○	○	—	○
280	IBDTAUJ2I3	FFFF BC60H	○	○	—	○
281	IBDTAUJ3I0	FFFF BC64H	○	○	—	○
282	IBDTAUJ3I1	FFFF BC68H	○	○	—	○
283	IBDTAUJ3I2	FFFF BC6CH	○	○	—	○
284	IBDTAUJ3I3	FFFF BC70H	○	○	—	○
285	IBDRLIN28	FFFF BC74H	○	○	—	○
286	IBDRLIN29	FFFF BC78H	○	○	—	○
287	IBDRCAN5ERR	FFFF BC7CH	○	○	—	○
288	IBDRCAN5REC	FFFF BC80H	○	○	—	○
289	IBDRCAN5TRX	FFFF BC84H	○	○	—	○
290	IBDDMA54	FFFF BC88H	○	○	—	○
291	IBDDMA55	FFFF BC8CH	○	○	—	○
292	IBDDMA56	FFFF BC90H	○	○	—	○
293	IBDDMA57	FFFF BC94H	○	○	—	○
294	IBDDMA58	FFFF BC98H	○	○	—	○
295	IBDDMA59	FFFF BC9CH	○	○	—	○
296	IBDDMA60	FFFF BCA0H	○	○	—	○
297	IBDDMA61	FFFF BCA4H	○	○	—	○
298	IBDDMA16	FFFF BCA8H	○	○	—	○
299	IBDDMA17	FFFF BCACH	○	○	—	○
300	IBDDMA18	FFFF BCB0H	○	○	—	○
301	IBDDMA19	FFFF BCB4H	○	○	—	○
302	IBDDMA20	FFFF BCB8H	○	○	—	○
303	IBDDMA21	FFFF BCBCH	○	○	—	○
304	IBDDMA22	FFFF BCC0H	○	○	—	○
305	IBDDMA23	FFFF BCC4H	○	○	—	○
306	IBDDMA24	FFFF BCC8H	○	○	—	○
307	IBDDMA25	FFFF BCCCH	○	○	—	○
308	IBDDMA26	FFFF BCD0H	○	○	—	○
309	IBDDMA27	FFFF BCD4H	○	○	—	○
310	IBDDMA28	FFFF BCD8H	○	○	—	○
311	IBDDMA29	FFFF BCDCH	○	○	—	○
312	IBDDMA30	FFFF BCE0H	○	○	—	○
313	IBDDMA31	FFFF BCE4H	○	○	—	○
314	IBDOSTM5	FFFF BCE8H	○	○	—	○
315	IBDETNB0DATA	FFFF BCECH	○	○	—	○
316	IBDETNB0ERR	FFFF BCF0H	○	○	—	○
317	IBDETNB0MNG	FFFF BCF4H	○	○	—	○
318	IBDETNB0MAC	FFFF BCF8H	○	○	—	○
319	IBDRCANGERR1	FFFF BCFCH	—	—	—	○
320	IBDRCANGRECC1	FFFF BD00H	—	—	—	○

表 7A.17　　IBDxxx レジスタ一覧

割り込み番号	レジスタ名	アドレス	176 Pin	233 Pin	272 Pin	324 Pin
321	IBDRCAN6ERR	FFFF BD04H	○	○	—	○
322	IBDRCAN6REC	FFFF BD08H	○	○	—	○
323	IBDRCAN6TRX	FFFF BD0CH	○	○	—	○
324	IBDRLIN210	FFFF BD10H	—	○	—	○
325	IBDRLIN211	FFFF BD14H	—	○	—	○
326	IBDCSIG2IC	FFFF BD18H	○	○	—	○
327	IBDCSIG2IR	FFFF BD1CH	○	○	—	○
328	IBDCSIG2IRE	FFFF BD20H	○	○	—	○
329	IBDCSIG3IC	FFFF BD24H	○	○	—	○
330	IBDCSIG3IR	FFFF BD28H	○	○	—	○
331	IBDCSIG3IRE	FFFF BD2CH	○	○	—	○
332	IBDRCAN7ERR	FFFF BD30H	○	○	—	○
333	IBDRCAN7REC	FFFF BD34H	○	○	—	○
334	IBDRCAN7TRX	FFFF BD38H	○	○	—	○
335	—	—	—	—	—	—
336	—	—	—	—	—	—
337	—	—	—	—	—	—
338	—	—	—	—	—	—
339	—	—	—	—	—	—
340	—	—	—	—	—	—
341	—	—	—	—	—	—
342	—	—	—	—	—	—
343	—	—	—	—	—	—
344	—	—	—	—	—	—
345	—	—	—	—	—	—
346	—	—	—	—	—	—
347	IBDSENT0SI	FFFF BD6CH	○	○	—	○
348	IBDSENT0RI	FFFF BD70H	○	○	—	○
349	IBDSENT1SI	FFFF BD74H	○	○	—	○
350	IBDSENT1RI	FFFF BD78H	○	○	—	○
351	—	—	—	—	—	—
352	—	—	—	—	—	—
353	—	—	—	—	—	—
354	IBDMMCA0	FFFF BD88H	—	—	—	○
355	IBDDMA62	FFFF BD8CH	○	○	—	○
356	IBDDPE	FFFF BD90H	○	○	—	○
357	IBDAPE	FFFF BD94H	○	○	—	○
358	—	—	—	—	—	—
359	—	—	—	—	—	—
360	IBDRLIN36	FFFF BDA0H	○	○	—	○
361	IBDRLIN36UR0	FFFF BDA4H	○	○	—	○
362	IBDRLIN36UR1	FFFF BDA8H	○	○	—	○
363	IBDRLIN36UR2	FFFF BDACH	○	○	—	○
364	IBDRLIN37	FFFF BDB0H	○	○	—	○
365	IBDRLIN37UR0	FFFF BDB4H	○	○	—	○
366	IBDRLIN37UR1	FFFF BDB8H	○	○	—	○
367	IBDRLIN37UR2	FFFF BDBCH	○	○	—	○
368	IBDP16	FFFF BDC0H	○	○	—	○
369	IBDP17	FFFF BDC4H	○	○	—	○
370	IBDP18	FFFF BDC8H	○	○	—	○
371	IBDP19	FFFF BDCCH	○	○	—	○
372	IBDP20	FFFF BDD0H	○	○	—	○

表 7A.17　　IBDxxx レジスター覧

割り込み番号	レジスタ名	アドレス	176 Pin	233 Pin	272 Pin	324 Pin
373	IBDP21	FFFF BDD4$_H$	○	○	—	○
374	IBDP22	FFFF BDD8$_H$	○	○	—	○
375	IBDP23	FFFF BDDC$_H$	○	○	—	○
376	IBDGRZF	FFFF BDE0$_H$	○	○	—	○
377	IBDETNB1DATA	FFFF BDE4$_H$	—	—	—	○
378	IBDETNB1ERR	FFFF BDE8$_H$	—	—	—	○
379	IBDETNB1MNG	FFFF BDEC$_H$	—	—	—	○
380	IBDETNB1MAC	FFFF BDF0$_H$	—	—	—	○
381	IBDDMA63	FFFF BDF4$_H$	○	○	—	○

7A.4.5 FNC — FE レベル NMI ステータスレジスタ

FE レベルノンマスカブル割り込み（FENMI）の状態を示すレジスタです。

このレジスタは、どのリセット要因でも初期化されます。

アクセス　FNC は 16 ビット単位でリードのみ可能です。
FNCH は 8/1 ビット単位でリードのみ可能です。

アドレス　FNC：FFFE EA78H
FNCH：FFFE EA79H

リセット後の値　0000H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	FNRF	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7A.18　FNC レジスタの内容

ビット位置	ビット名	機能
15～13	予約ビット	リードした場合はリセット後の値が読めます。
12	FNRF	割り込み要求フラグです。 0：割り込み要求なし 1：割り込み要求あり CPU コアに FE レベル NMI の割り込み要求が受け付けられると、自動的にクリアされます。
11～0	予約ビット	リードした場合はリセット後の値が読めます。

7A.4.6　FIC — FE レベルマスカブル割り込みステータスレジスタ

FE レベルマスカブル割り込み（FEINT）の状態を示すレジスタです。

このレジスタは、どのリセット要因でも初期化されます。

アクセス　FIC は 16 ビット単位でリードのみ可能です。
FICH は 8/1 ビット単位でリードのみ可能です。

アドレス　FIC：FFFE EA7A$_H$
FICH：FFFE EA7B$_H$

リセット後の値　8000$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	FIRF	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7A.19　FIC レジスタの内容

ビット位置	ビット名	機能
15～13	予約ビット	リードした場合はリセット後の値が読めます。
12	FIRF	割り込み要求フラグです。 0：割り込み要求なし 1：割り込み要求あり ソフトウェアによるビットのセットクリアはできません。読み出しのみ可能です。
11～0	予約ビット	リードした場合はリセット後の値が読めます。

7A.5　EI レベルマスカブル割り込みの選択レジスタ

EI レベルマスカブル割り込みは次のレジスタにて選択できます。

7A.5.1　レジスター覧

EI レベルマスカブル割り込みの選択レジスタを、以下の表に示します。

表 7A.20　レジスター覧

モジュール名	レジスタ名	略号	アドレス
SL_INTC	INTC1 割り込み選択レジスタ	SELB_INTC1	FFC0 1000_H

7A.5.2 SELB_INTC1 ― INTC1 割り込み選択レジスタ

1 つの割り込みチャネルに 2 つの割り込み要因が割り当てられているチャネルにおいて、どちらの割り込み要因を有効にするか選択します。このレジスタは、どのリセット要因でも初期化されます。

備　考

各ビットの設定に記載されているチャネルとは割り込みのチャネルを示し、優先順位でもあります。チャネルについては「**表 7A.4 EI レベルマスカブル割り込み要因**」を参照してください。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　FFC0 1000_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SELB_INTC1_12	SELB_INTC1_11	SELB_INTC1_10	SELB_INTC1_9	SELB_INTC1_8	SELB_INTC1_7	SELB_INTC1_6	SELB_INTC1_5	SELB_INTC1_4	SELB_INTC1_3	SELB_INTC1_2	SELB_INTC1_1	SELB_INTC1_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7A.21　SELB_INTC1 レジスタの内容

ビット位置	ビット名	機能
15～13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	SELB_INTC1_12	割り込みチャネルの選択 0：INTADCA0I2（チャネル 20） INTCSIH0IJC（チャネル 32） 1：INTCSIH0IJC_1（チャネル 20） INTADCA0I2_2（チャネル 32）
11	SELB_INTC1_11	割り込みチャネルの選択 0：INTTAUD0I14（チャネル 15） INTCSIH3IJC（チャネル 161） 1：INTCSIH3IJC_1（チャネル 15） INTTAUD0I14_2（チャネル 161）
10	SELB_INTC1_10	割り込みチャネルの選択 0：INTTAUD0I12（チャネル 14） INTCSIH3IRE（チャネル 160） 1：INTCSIH3IRE_1（チャネル 14） INTTAUD0I12_2（チャネル 160）
9	SELB_INTC1_9	割り込みチャネルの選択 0：INTTAUD0I10（チャネル 13） INTCSIH3IR（チャネル 159） 1：INTCSIH3IR_1（チャネル 13） INTTAUD0I10_2（チャネル 159）
8	SELB_INTC1_8	割り込みチャネルの選択 0：INTTAUD0I2（チャネル 9） INTCSIH3IC（チャネル 158） 1：INTCSIH3IC_1（チャネル 9） INTTAUD0I2_2（チャネル 158）

表 7A.21　　SELB_INTC1 レジスタの内容

ビット位置	ビット名	機能
7	SELB_INTC1_7	割り込みチャネルの選択 0：INTTAUD0I8（チャネル 12） INTCSIH2IJC（チャネル 135） 1：INTCSIH2IJC_1（チャネル 12） INTTAUD0I8_2（チャネル 135）
6	SELB_INTC1_6	割り込みチャネルの選択 0：INTTAUD0I6（チャネル 11） INTCSIH2IRE（チャネル 134） 1：INTCSIH2IRE_1（チャネル 11） INTTAUD0I6_2（チャネル 134）
5	SELB_INTC1_5	割り込みチャネルの選択 0：INTTAUD0I4（チャネル 10） INTCSIH2IR（チャネル 133） 1：INTCSIH2IR_1（チャネル 10） INTTAUD0I4_2（チャネル 133）
4	SELB_INTC1_4	割り込みチャネルの選択 0：INTTAUD0I0（チャネル 8） INTCSIH2IC（チャネル 132） 1：INTCSIH2IC_1（チャネル 8） INTTAUD0I0_2（チャネル 132）
3	SELB_INTC1_3	割り込みチャネルの選択 0：INTCSIG0IR（チャネル 28） INTCSIH1IJC（チャネル 119） 1：INTCSIH1IJC_1（チャネル 28） INTCSIG0IR_2（チャネル 119）
2	SELB_INTC1_2	割り込みチャネルの選択 0：INTCSIG0IC（チャネル 27） INTCSIH1IRE（チャネル 118） 1：INTCSIH1IRE_1（チャネル 27） INTCSIG0IC_2（チャネル 118）
1	SELB_INTC1_1	割り込みチャネルの選択 0：INTTAPA0IVLY0（チャネル 17） INTCSIH1IR（チャネル 117） 1：INTCSIH1IR_1（チャネル 17） INTTAPA0IVLY0_2（チャネル 117）
0	SELB_INTC1_0	割り込みチャネルの選択 0：INTTAPA0IPEK0（チャネル 16） INTCSIH1IC（チャネル 116） 1：INTCSIH1IC_1（チャネル 16） INTTAPA0IPEK0_2（チャネル 116）

備　考

対応製品は、「**表 7A.4 EI レベルマスカブル割り込み要因**」を参照にしてください。

注　意

SELB_INTC1 で各割り込み要因を設定してから、対応する各周辺機能の動作を許可してください。

7A.6　割り込み機能システムレジスタ

「**表 3A.31 割り込み機能システムレジスタ一覧**」を参照してください。

7A.6.1　FPIPR ― FPI 例外割り込み優先度

「**表 3A.32 FPIPR レジスタの内容**」を参照してください。

7A.6.2　ISPR ― 受付中割り込み優先度

「**表 3A.33 ISPR レジスタの内容**」を参照してください。

7A.6.3　PMR ― 割り込み優先度マスク

「**表 3A.34 PMR レジスタの内容**」を参照してください。

7A.6.4　ICSR ― 割り込み制御ステータス

「**表 3A.35 ICSR レジスタの内容**」を参照してください。

7A.6.5　INTCFG ― 割り込み機能の設定

「**表 3A.36 INTCFG レジスタの内容**」を参照してください。

7A.7　割り込み受け付け時の動作

命令の実行時点で通知されている割り込みを、優先順位にしたがって、ひとつひとつ割り込み受け付けを行うかどうかを確認していきます。割り込みごとの受け付け動作の手順は次の通りです。

(1) 受け付け条件を満たしているか、また優先順位にしたがって受け付けを行うかどうかを確認する。

(2) 現在の PSW の値に従って、例外ハンドラアドレスを計算する。注 1

(3) FE レベルノンマスカブル割り込み／FE レベルマスカブル割り込みの場合、それぞれ次の処理を行う。

- PC を FEPC に退避
- PSW を FEPSW に退避
- FEIC に例外要因コードを格納
- PSW を更新する注 2
- PC に（2）で計算した例外ハンドラアドレスを格納し、例外ハンドラへ制御を移す

(4) EI レベル例外の場合、それぞれ次の処理を行う。

- PC を EIPC に退避
- PSW を EIPSW に退避
- EIIC に例外要因コードを格納
- PSW を更新する注 2
- PC に（2）で計算した例外ハンドラアドレスを格納し、例外ハンドラへ制御を移す

注1. 詳細は、「**7A.10 例外ハンドラアドレス**」を参照してください。

注2. 更新する値は、「*RH850G3KH ユーザーズマニュアル ソフトウェア編*」の「*表 4.1 例外要因一覧*」を参照してください。

（1）から（4）の手順を次の図で示します。

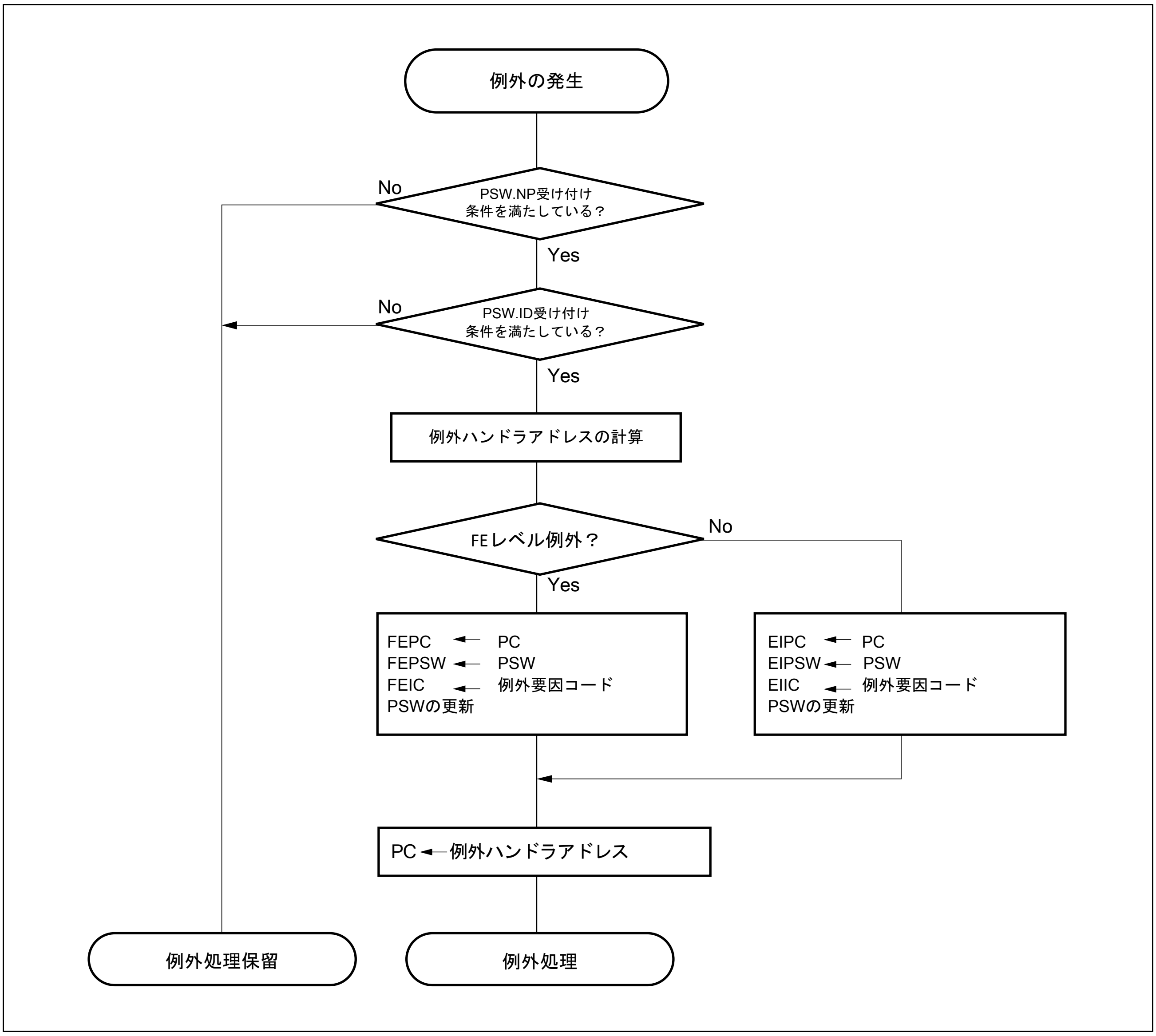


図 7A.2　　割り込み受け付け時の動作

7A.7.1 SYSERR 例外発生時の例外要因コード

SYSERR 例外発生時の例外要因コードを以下の表に示します。

表 7A.22　SYSERR 例外発生時の例外要因コード

例外要因コード	SYSERR 発生要因
11_H	● コードフラッシュメモリ領域内の命令フェッチ時にエラー検出
13_H	● ローカル RAM、グローバル RAM、またはリテンション RAM 領域内の命令フェッチ時にエラー検出
14_H	● コードフラッシュ領域内のデータにアクセス時にエラー検出 ● システムインタコネクトまたは PBUS 経由でモジュールへのリードアクセス時にエラー検出 例外要因コードにより、SEGFLAG レジスタの VCIF ビット関連システムエラー要因の発生が報告されます[注 1]。
16_H	● ローカル RAM 領域内のデータにアクセス時にエラー検出 例外要因コードにより、SEGFLAG レジスタの TCMF ビット関連システムエラー要因の発生が報告されます[注 1]。
18_H	● IPG エラー検出 例外要因コードにより、SEGFLAG レジスタの VCIF、IPGF ビット関連システムエラー要因の発生が報告されます[注 1]。
19_H	● PBUS 経由でモジュールへのライトアクセス時にエラー検出 例外要因コードにより、SEGFLAG レジスタの APIF ビット関連システムエラー要因の発生が報告されます[注 1]。
$1A_H$	● システムインタコネクト内でエラー検出 例外要因コードにより、SEGFLAG レジスタの VCSF ビット関連システムエラー要因の発生が報告されます[注 1]。

注1.　詳細は「**3A.2.4.3 システムエラー通知制御機能（SEG）**」を参照してください。

7A.8 割り込みからの復帰

割り込み処理からの復帰には、それぞれの割り込みレベルに対応した復帰命令（EIRET、FERET）の実行によって行います。

スタックなどにコンテキストを退避している場合は、復帰命令の実行前にコンテキストの復帰を必ず行ってください。

EI レベルマスカブル割り込み処理からの復帰は、EIRET 命令、FE レベルマスカブル割り込み処理からの復帰は FERET 命令により行われます。

EIRET 命令、FERET 命令の実行により、CPU は次の処理を行い復帰 PC のアドレスへ制御を移します。

(1) EI レベル例外からの復帰時は、EIPC, EIPSW レジスタから復帰 PC, PSW を取り出します。
FE レベル例外からの復帰時は、FEPC, FEPSW レジスタから復帰 PC, PSW を取り出します。

(2) 取り出した復帰 PC, PSW のアドレスに制御を移します。

(3) EP＝0 で、INTCFG.ISPC＝0 の場合、ISPR レジスタを更新します。

EIRET 命令、FERET 命令を使った例外処理からの復帰フローを次に示します。

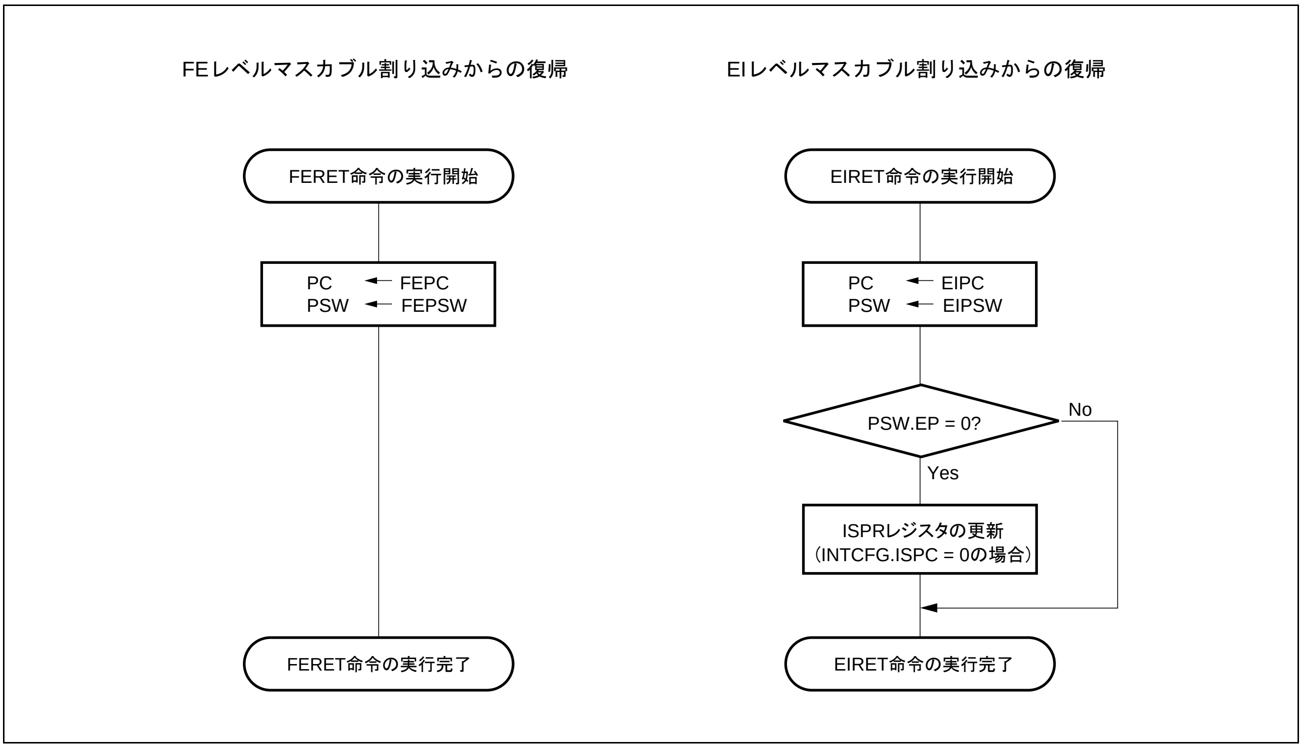


図 7A.3 割り込みからの復帰

7A.9　割り込み動作

7A.9.1　EI レベルマスカブル割り込み（EIINT）の割り込みマスク機能

EIINT は、それぞれの割り込みチャネルごとに割り込みのマスクを指定可能です。割り込みのマスクは、次のレジスタを設定することにより行います。

表 7A.23　MKxxx ビットの動作

ICxxx.MKxxx	動作
1	割り込みをマスクします。
0	割り込みを許可します。

ICxxx.MKxxx ビットは、IMRm レジスタの対応する IMRmEIMKn ビットからもリード／ライト可能です。割り込みマスク状態は、ICxxx レジスタと IMRm レジスタの両方に反映されています。

【動作例】

(1) IMRm.IMRmEIMKn ビットに 1 を書き込むと、対応するチャネルの割り込みは禁止されます。

(2) 対応する ICxxx.MKxxx ビットをリードすると 1 が読み出されます。

注　意

割り込み要求が保留されている（RFxxx＝1）場合、MKxxx ビットが 0 に設定されると、割り込みサービスルーチンは、その時点（割り込み優先順位の規則にしたがう）で実行されます。RFxxx ビットに 1 を設定することで、割り込み要求がソフトウェアで発行されても、割り込みが MKxxx＝1 でマスクされている間は、割り込みは発生しません。保留されている割り込み要求を削除するには、対応する RFxxx ビットをソフトウェアでクリアしてください。

7A.9.2　割り込み優先度判断

FE レベルノンマスカブル割り込み（FENMI）、FE レベルマスカブル割り込み（FEINT）、EI レベルマスカブル割り込み（EIINT）が入力されると、その他の例外も含めて優先度を判断し、最も高い優先度の例外（割り込み含む）が要求されます。同時に要求された例外（割り込み含む）は、あらかじめ割り付けてある優先順位（デフォルト優先順位）で処理されます。割り込み FENMI、FEINT、EIINT の優先順位は次のとおりです。

FENMI＞FEINT＞EIINT

その他の例外については、「*RH850G3KH ユーザーズマニュアル ソフトウェア編*」を参照してください。

EIINT（INTn）割り込みは、各割り込み要因ごとに割り込み優先度を設定可能です。割り込み優先度は、P3xxx～P0xxx ビットで指定します。割り込み優先度は、0～15 までが設定可能です。0 が最高優先度、15 が最低優先度です。同じ優先度を持つ EIINT（INTn）割り込み間では、割り込みチャネル番号の最も小さい割り込みが優先されます。

表 7A.24　EIINT（INTn）の割り込み優先度設定と動作の優先順位の例

EIINT (INTn)	ICxxx.P[3:0]xxx 設定	動作時の優先順位
INT0	3	10
INT1	4	11
INT2	0	1
INT3	0	2
INT4	1	3
INT5	2	6
INT6	2	7
INT7	1	4
INT8	1	5
INT9	2	8
INT10	2	9

割り込みコントローラは、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。同時に複数の EIINT（INTn）割り込みが要求されている場合、次の手順で受け付ける割り込みが決定されます。

7A.9.2.1　現在処理中の割り込み優先度との比較

現在処理中の割り込み優先度と同じ、または低い割り込みの受け付けは保留されます。

現在処理中の割り込み優先度は、ISPR レジスタに保持されています。

現在処理中の割り込み優先度より高い割り込みは、次の優先度判断に移ります。

7A.9.2.2　プライオリティマスクレジスタ（PMR）によるマスク

PMR レジスタにより許可されている割り込みのみ、次の優先度判断に移ります。PMR レジスタに関しては、「**表 3A.34 PMR レジスタの内容**」または、「*RH850G3KH ユーザーズマニュアル ソフトウェア編*」を参照してください。

7A.9.2.3　要求されている割り込み要因のうち、最も高い優先度が設定されている割り込み要因を選択

複数の割り込みが同時に発生した場合、ICxxx.P[3:0]xxx ビットで最も高い優先度を設定した割り込み要因が優先されます。

最高優先度（ICxxx.P[3:0]xxx ビット＝0）の割り込み要因が複数ある場合、割り込みチャネル番号の最も小さいものが選択されます。

7A.9.2.4　CPU による割り込みの保留

PSW レジスタの NP ビット、ID ビットの状態によって、割り込みの受け付けが保留されます。このとき、EIINT 割り込み内の優先度判断、EIINT 割り込み、FEINT 割り込み、FENMI 割り込み間の優先度判断は、割り込み受け付けが保留されている間も行われ、受け付け条件が成立した時点で、もっとも優先度の高い割り込みが選択されます。

例

優先度 5 の EIINT 割り込みがすでに要求されており、PSW.ID ビットが 1 のため割り込み発生が保留されているときに、後から優先度 3 の EIINT 割り込みが要求された。その後、PSW.ID ビットがクリア（0）された場合、優先度 3 の EIINT 割り込みが発生する。

割り込み処理中に、さらに別の割り込みを受け付ける多重割り込みの処理例を「**図 7A.4 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例（1）**」に示します。

割り込み要求信号を受け付けると PSW.ID フラグが自動的にセット（1）されるので、多重割り込みを使用する場合は、割り込み処理プログラム中で EI 命令を実行するなどして ID フラグをクリア（0）し、割り込み許可状態にしてください。

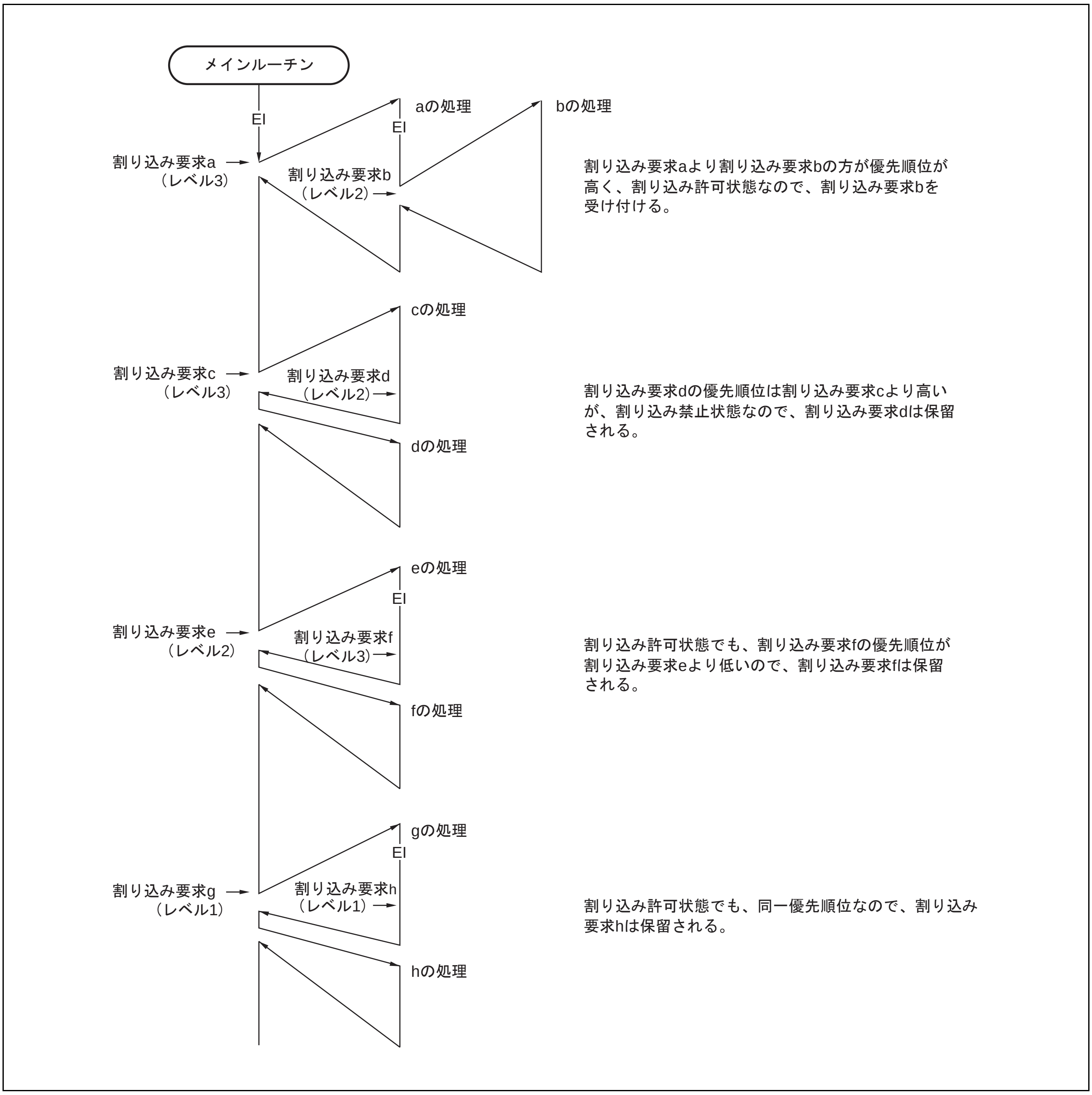
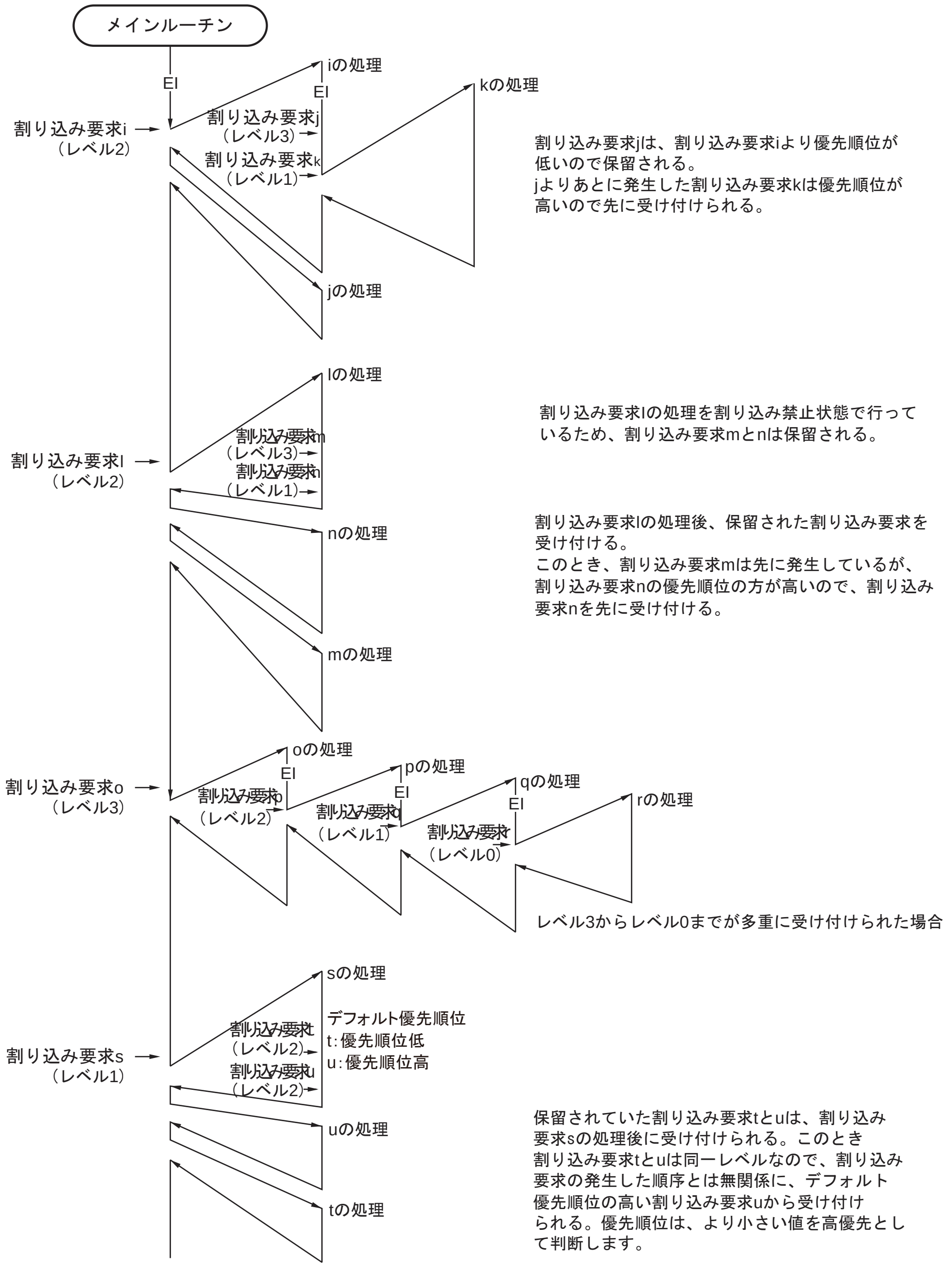


図 7A.4　　割り込み処理中にほかの割り込み要求信号が発生した場合の処理例（1）



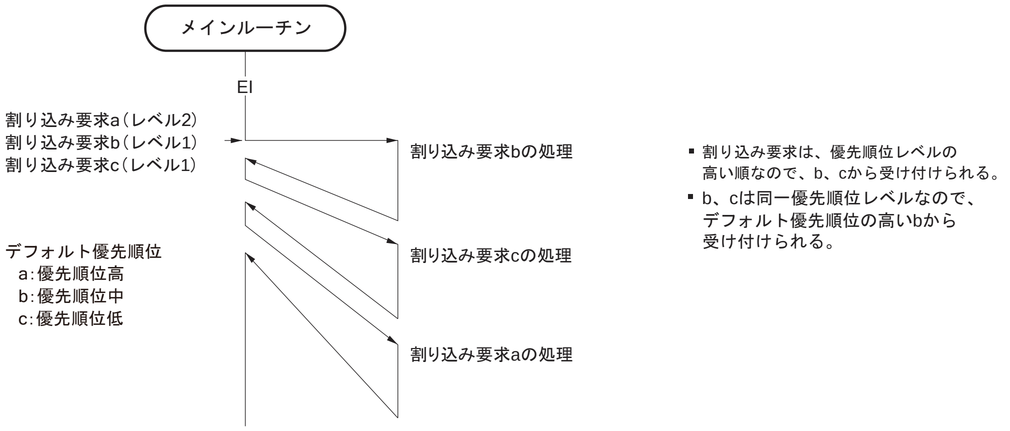
備考1.　図中の a～u は、各割り込み要求信号を区別するために付けた仮の名称です。

備考2.　図中のデフォルト優先順位の高い／低いは、2 つの割り込み要求信号間の相対的な優先順位の高さを示します。

図 7A.5　　割り込み処理中にほかの割り込み要求信号が発生した場合の処理例（2）

注　意

多重割り込みを行うときは EI 命令を実行する前に、EIPC, EIPSW の内容を退避する必要があります。また、多重割り込みから復帰する際は、DI 命令を実行したあとに、EIPC, EIPSW の内容を復帰してください。



備考1.　図中の a～c は、各割り込み要求信号を区別するために付けた仮の名称です。

備考2.　図中のデフォルト優先順位の高い／低いは、2 つの割り込み要求信号間の相対的な優先順位の高さを示します。

図 7A.6　同時発生した割り込み要求信号の処理例

7A.9.3　割り込み要求の受け付け条件と優先順位

「*RH850G3KH ユーザーズマニュアル ソフトウェア編*」を参照してください。

7A.9.4　割り込みの例外優先度と優先度マスク

「*RH850G3KH ユーザーズマニュアル ソフトウェア編*」を参照してください。

7A.9.5　割り込み優先度マスク

「*RH850G3KH ユーザーズマニュアル ソフトウェア編*」を参照してください。

7A.9.6　優先度マスク機能

優先度マスク機能は、指定した割り込み優先度が設定されている EIINT 割り込みを一括で禁止します。

PMR レジスタの設定により、マスクしたい割り込み優先度を指定します。それぞれの優先度ごとにマスク受け付け可の設定が可能です。

優先度マスク機能には次の操作ができます。

- 一時的にある割り込み優先度以下の割り込みを禁止とする
- 一時的にある割り込み優先度を持つ割り込みを禁止とする

表 7A.25　PMR.PMm ビットの動作

PMR.PMm	動作
0	優先度 m の割り込み要因からの要求を受け付けます。
1	優先度 m の割り込み要因からの要求をマスクします。

備考　m＝0～15

この機能により保留されている EIINT 割り込みの有無は、「**7A.9.7 例外の管理**」で確認が可能です。

PMR レジスタについては「**表 3A.34 PMR レジスタの内容**」または、「*RH850G3KH ユーザーズマニュアル ソフトウェア編*」を参照してください。

7A.9.7　例外の管理

RH850/F1KH は保留されている割り込みの有無を確認をすることができます。詳細は「*RH850G3KH ユーザーズマニュアル ソフトウェア編*」を参照してください。

7A.9.8　プロセッサ間割り込み

PE 間で割り込みを伝達するため、4 つのレジスタ（IPIR_CHn）が用意されています。

IPIR_CH0～3 はユーザ割り込み（EIINT）の CH0～3 にアサインされます。各 PE に対応したビットを操作することで特定の PE（自身を含む）に対して割り込みを要求することが可能です。

割込み優先レベルは、割込み制御レジスタの各要因ごとに、CPU1 および CPU2 用に、16 のレベルを設定できます。

7A.9.9　ブロードキャスト機能（ブロードキャスト通信機能）

割り込みはすべて、割り込みレジスタと割り込みバインディングレジスタを持っています。

IBDxxx.CST を 0（リセット後の値）に設定し、IBDxxx.PEID[2:0]を所定の値に設定することで、各 PE に任意の割り込みを割り当てることができます。

エッジ検出タイプの割り込みは、ブロードキャスト機能（IBDxxx.CST を 1 に設定）を使用して、両方の PE に伝達することができます。各割込みの検出タイプについては、「**表 7A.4 EI レベルマスカブル割り込み要因**」を参照してください。

本製品では、2 つのブロードキャスト割り込みのみ可能です。したがって、1 に設定できる IBDxxx.CST ビットは 2 つまでで、BCP0 ビットを設定して、ブロードキャスト先（INTBN0 または INTBN1）を選択することができます。

割り込み番号 4 または 5 を持つ INTC1 のすべての割り込みは、ブロードキャスト割り込み INTBN0 または INTBN1 に割り当てられます。

- 複数の割り込みチャネルをブロードキャスト割り込みに割り付けることはできません。
- ICxxx.P[3：0]ビットで設定した、ブロードキャスト割り込みとして割り付けられる INTxxx の割り込み優先レベルは、無視されます。
- INTC1 の ICBN0.MKBN0、ICBN1.MKBN1 割り込みマスクビットを使用して、PE のブロードキャスト割り込みをマスクすることができます。
- INTC1（INTBN0、INTBN1）のブロードキャスト割り込み用の割り込みベクタは、両方の PE で同じです。

7A.9.9.1　動作機能の設定例

- INTC2 の割り込み番号 84 に割り付けられている、INTOSTM0 割り込みの例を示します。
- 複数伝達（ブロードキャスト）ポート 0 を使用します（INTBN0 を使用）。
- ブロードキャスト割込み（INTBN0）は、割込み番号 4 として INTC1 に接続します。
- IBDOSTM0.CST ビットを 1_B（ブロードキャストを有効にする）に設定します。
- IBDOSTM0.BCP0 ビットを 0_B（ブロードキャストポート 0 を選択）に設定します。
- これらの設定により、INTOSTM0 割り込みが PE1 と PE2 の割り込み番号 4 に割り当てられます。
- ICBN0.P[3:0]BN0 ビットは、本割り込みの優先順位を定義します。
- 割り当てられたマスクビットは ICBN0.MKBN0 で、ICBN0.RFBN0 は割り込み要求フラグです（したがって、INTBN0 は各 INTC1 内の PE ごとに、個別に有効または無効に設定できます）。

  INTOSTM0 が発生すると、この割込み要求は、ブロードキャスト割込みで、INTC2 から INTC1 に伝達されます。

  したがって、INT1 の ICBN0.RFBN0 ビットは PE1 と PE2 の両方で、1_B に設定されます。

  両方の PE が対応する割り込みルーチンを実行し、各 ICBN0.RFBN0 が自動的にクリアされます。

  すべてのレジスタの設定を、以下の表に示します。

表 7A.26　　レジスタ設定（INTC2）

レジスタ名	ビット名	設定値	説明
ICOSTM0	CTOSTM0	0	ユーザは、値の読み出しのみ可能です。
	RFOSTM0	—	ブロードキャスト割り込みが設定されている場合は、機能しません。
	MKOSTM0	1/0	ユーザは、値の設定ができます。
	TBOSTM0	—	ブロードキャスト割り込みが設定されている場合は、機能しません。
	P[3:0]OSTM0	—	ブロードキャスト割り込みが設定されている場合は、機能しません。
IBDOSTM0	CST	1	割り込み入力は、複数の転送先（ブロードキャスト）に伝達されます。
	BCP0	0	ブロードキャストポート 0 へ出力
	PEID[2:0]	—	ブロードキャスト割り込みが設定されている場合は、機能しません。

表 7A.27　　レジスタ設定（INTC1）

レジスタ名	ビット名	設定値	説明
ICBN0	CTBN0	0	ユーザは、値の読み出しのみ可能です。
	RFBN0	1/0	ブロードキャスト割り込みの割り込みフラグ
	MKBN0	1/0	ブロードキャスト割り込みのマスクフラグ
	TBBN0	1/0	ユーザは、値の設定ができます。
	P[3:0]BN0	0～15	ユーザは、値の設定ができます。
IBDBN0	CST	0	0 固定
	BCP0	0	0 固定
	PEID[2:0]	001 (PE1) 010 (PE2)	固定

7A.9.9.2 プロセッサ間割り込みの流れ

「**図 7A.7 プロセッサ間割り込み処理フロー例**」は、プロセッサ間割り込み処理のフロー例を示します。

- プロセッサ間割込みレジスタ（IPIR_CHn（n＝0～3））で割込みが要求された、PE の該当ビットに 1 を書き込むと、プロセッサ間割込みが、割込み要求を発生します。
- 割り込み要求の通知後、PE 間割り込みレジスタ（IPIR_CHn（n＝0～3））の割り込み要求の設定は、自動的に 0 にクリアされます。

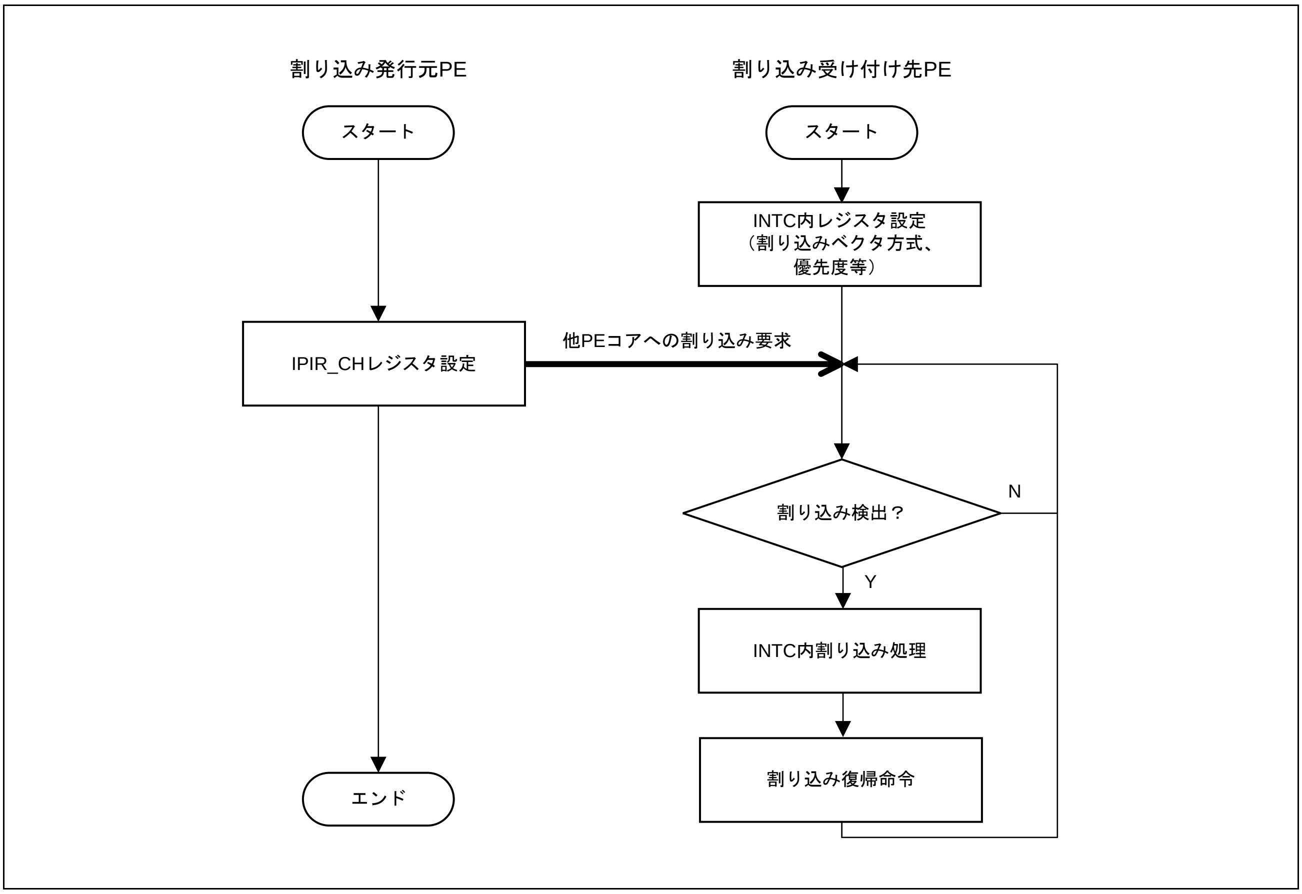


図 7A.7 プロセッサ間割り込み処理フロー例

7A.10　例外ハンドラアドレス

RH850/F1KH では、リセット入力時や、例外受付時、割り込み受付時などに実行する例外ハンドラアドレスを、設定に応じて変更が可能です。

リセットと例外（割り込み含む）は、PSW.EBV ビットと、RBASE レジスタ、EBASE レジスタによって例外ハンドラアドレスの基準位置が変更できる直接ベクタ方式によって例外ハンドラアドレスを決定します。さらに割り込みは、チャネルごとに直接ベクタ方式とテーブル参照方式の選択が可能であり、テーブル参照方式を指定した場合は、メモリ上に配置した例外ハンドラテーブルの示すアドレスへ分岐することが可能です。

注　意

直接ベクタ方式において、EIINT（INTn）の例外ハンドラアドレスが、V850E2 コア製品とは異なります。V850E2 コア製品では、割り込みチャネル（EIINT（INTn））ごとに異なる例外ハンドラアドレスが割り当てられていましたが、RH850/F1KH では割り込み優先度ごとに 1 つの例外ハンドラアドレスが割り当てられています。このため、同一の割り込み優先度に指定した割り込みは、すべて同じ例外ハンドラへ分岐します。

7A.10.1　直接ベクタ方式

CPU は、RBASE レジスタ、または EBASE レジスタで示されるベースアドレスに「**表 7A.28 ベースレジスタ／オフセットアドレスの選択**」のオフセットを加算した値を、例外ハンドラアドレスとして利用します。

RBASE レジスタ、EBASE レジスタのいずれをベースアドレスとして利用するかは、PSW.EBV ビットによって選択します注1。PSW.EBV ビットがセット（1）されている場合は、EBASE レジスタの値をベースアドレスとして利用します。クリア（0）されている場合は、RBASE レジスタの値をベースアドレスとして利用します。ただし、リセット入力は、常に RBASE レジスタを参照します。

また、ユーザ割り込みは、それぞれのベースレジスタの RINT ビットを参照し、その状態によってオフセットアドレスの縮小を行います。RBASE.RINT ビット、あるいは EBASE.RINT ビットがセット（1）されている場合は、全てのユーザ割り込みは、オフセット 100_H として扱われます。クリア（0）されている場合は、それぞれ「**表 7A.28 ベースレジスタ／オフセットアドレスの選択**」にしたがって、オフセットアドレスが決定されます。

注1.　例外受け付け自身で、PSW.EBV ビットの状態を更新する場合があります。その場合は、更新後の値を基準に、ベースレジスタを選択します。

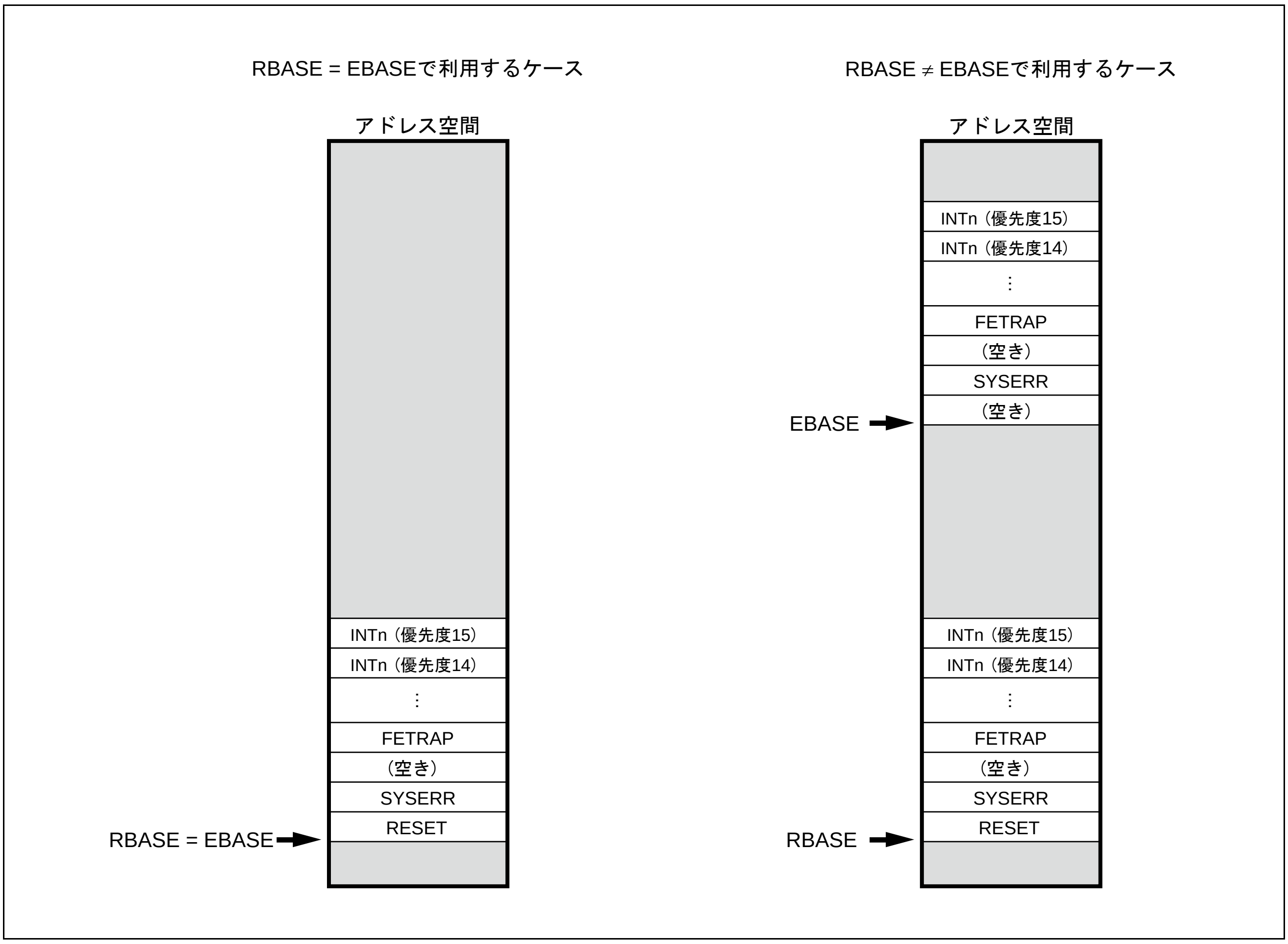


図 7A.8　　直接ベクタ方式

次の表に、例外ハンドラアドレス決定のためのベースレジスタ選択と、オフセットアドレスの縮小が、各例外に対してどのように機能するかを示します。PSW のビットの値は、例外の受け付けによる更新後の値を基準に例外ハンドラアドレスを決定します。

表 7A.28　　ベースレジスタ／オフセットアドレスの選択

例外／割り込み	PSW.EBV＝0	PSW.EBV＝1	RINT＝0	RINT＝1
	ベースレジスタ		オフセットアドレス	
RESET	RBASE	なし	000_H	000_H
SYSERR		EBASE	010_H	010_H
予約			020_H	020_H
FETRAP			030_H	030_H
TRAP0			040_H	040_H
TRAP1			050_H	050_H
RIE			060_H	060_H
FPP/FPI			070_H	070_H
UCPOP			080_H	080_H
MIP/MDP			090_H	090_H
PIE			$0A0_H$	$0A0_H$
MAE			$0C0_H$	$0C0_H$
予約			$0D0_H$	$0D0_H$
FENMI			$0E0_H$	$0E0_H$
FEINT			$0F0_H$	$0F0_H$
INTn（優先度 0）			100_H	100_H
INTn（優先度 1）			110_H	
INTn（優先度 2）			120_H	
INTn（優先度 3）			130_H	
INTn（優先度 4）			140_H	
INTn（優先度 5）			150_H	
INTn（優先度 6）			160_H	
INTn（優先度 7）			170_H	
INTn（優先度 8）			180_H	
INTn（優先度 9）			190_H	
INTn（優先度 10）			$1A0_H$	
INTn（優先度 11）			$1B0_H$	
INTn（優先度 12）			$1C0_H$	
INTn（優先度 13）			$1D0_H$	
INTn（優先度 14）			$1E0_H$	
INTn（優先度 15）			$1F0_H$	

ベースレジスタの選択は、リセットと一部のハードウエアエラーの例外処理を、RAM やキャッシュ領域などのソフトウエアエラーの影響を受けやすい領域ではなく、ROM などの比較的信頼性の高いプログラムで動作させるための仕組みです。ユーザ割り込みのオフセットアドレスの縮小は、システム中の特定の動作モードにおいて、例外ハンドラのメモリ占有サイズを小さく保つための機能です。主にシステムのメンテナンスや診断など、最低限の機能のみが動作するモードなどにおいて、メモリ領域の消費を最小限に抑えます。

7A.10.2　テーブル参照方式

直接ベクタ方式では、ユーザ割り込みの例外ハンドラは、それぞれの割り込み優先度ごとに 1 つであり、複数の同一優先度を示す割り込みチャネルは、同じ割り込みハンドラへ分岐しますが、ユーザによっては、割り込みハンドラごとに開始時点からことなるコード領域を利用したい場合などがあります。

RH850/F1KH では、このような使用方法を想定した割り込みに関するテーブル参照方式を定義しています。テーブル参照方式においては、割り込みコントローラなどにおいて、割り込みチャネルのベクタ選択方式を「テーブル参照方式」に設定すると、その割り込みチャネルに対応する割り込み要求を受け付けた場合の例外ハンドラアドレスの決定方法が次のように変わります。

<1> 次のいずれかの場合は、直接ベクタ方式に従い例外ハンドラアドレスを決定します。

- PSW.EBV＝0 かつ RBASE.RINT＝1 の場合
- PSW.EBV＝1 かつ EBASE.RINT＝1 の場合
- 割り込みチャネルの設定が「テーブル参照方式」でない場合

<2> <1>以外の場合、テーブルの参照位置を計算します。
例外ハンドラアドレス読み出し位置＝INTBP レジスタの値＋チャネル番号×4 バイト

<3> <2>で計算した割り込みハンドラアドレス読み出し位置から、ワードデータを読み出します。

<4> <3>で読み出した、ワードデータを例外ハンドラアドレスとして利用します。

「**表 7A.29 例外ハンドラアドレスの拡張**」に、各割り込みチャネルに対応する例外ハンドラアドレス読み出し位置を示します。

また、「**図 7A.9 テーブル参照方式**」に、メモリ上の配置イメージを示します。

表 7A.29　　例外ハンドラアドレスの拡張

割り込みの種類	例外ハンドラアドレス読み出し位置
EI レベルマスカブル割り込みチャネル 0	INTBP レジスタの値＋0×4
EI レベルマスカブル割り込みチャネル 1	INTBP レジスタの値＋1×4
EI レベルマスカブル割り込みチャネル 2	INTBP レジスタの値＋2×4
:	:
EI レベルマスカブル割り込みチャネル 380	INTBP レジスタの値＋380×4
EI レベルマスカブル割り込みチャネル 381	INTBP レジスタの値＋381×4

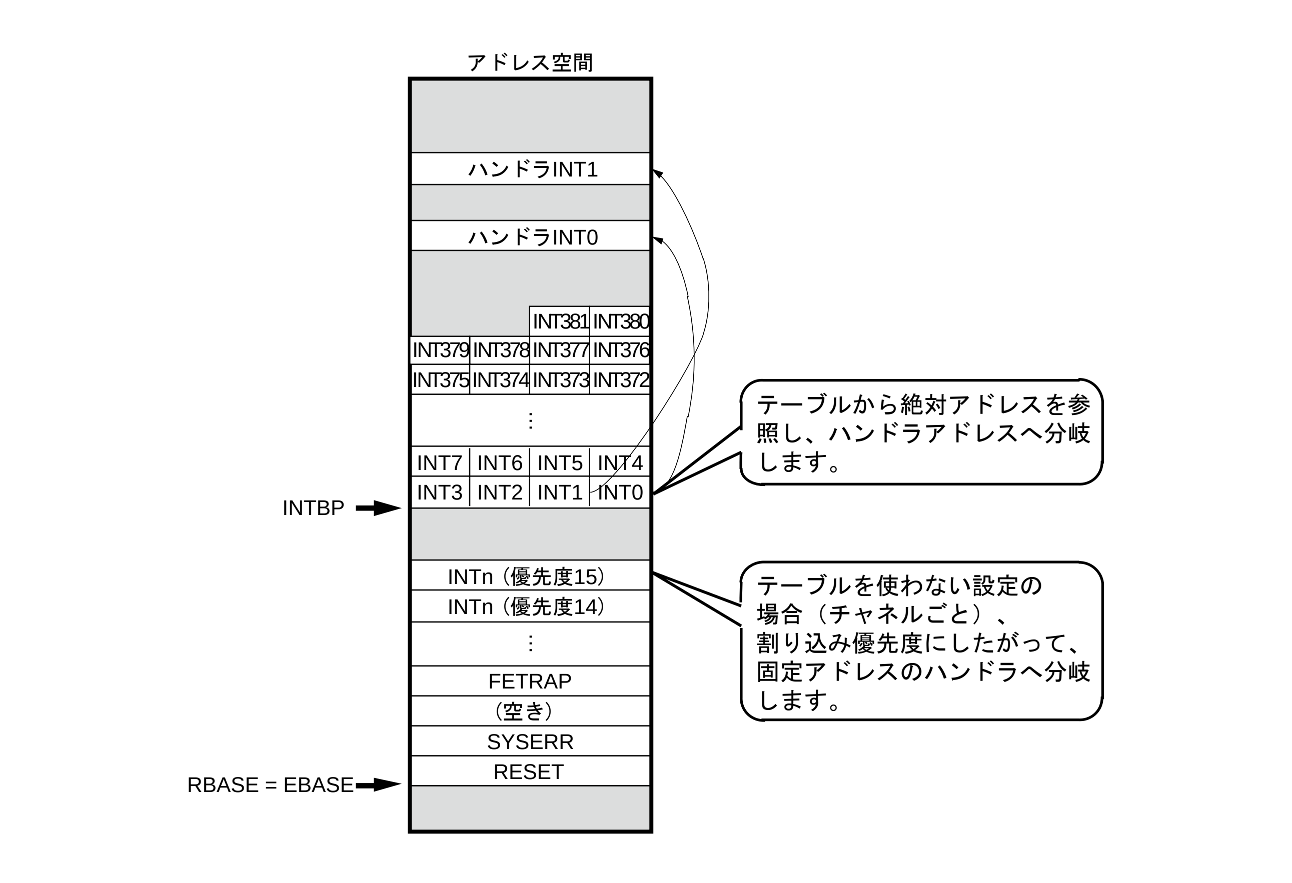


図 7A.9　　テーブル参照方式

第7BC章　RH850/F1KM の例外／割り込み

7BC.1　RH850/F1KM 例外／割り込みの特長

実行中のプログラムから別のプログラムへの分岐動作を発生するイベントを例外と呼びます。このマイクロコントローラでは次の例外をサポートしています。

例外についての詳細は、「*RH850G3KH ユーザーズマニュアル ソフトウェア編*」を参照してください。

表 7BC.1　例外要因一覧

名称	略号	発生要因	優先レベル	退避先
リセット	RESET	リセット入力	高	—
FE レベルノンマスカブル割り込み注1	FENMI	FENMI 入力	↑	FE
システムエラー例外	SYSERR	SYSERR 入力		FE
FE レベルマスカブル割り込み注1	FEINT	FEINT 入力		FE
浮動小数点演算例外（インプレサイス）	FPI	FPU 命令の実行		EI
EI レベルマスカブル割り込み注1	EIINT	割り込みコントローラ		EI
メモリ保護例外（実行権）	MIP	メモリ保護違反		FE
システムエラー例外	SYSERR	命令フェッチ時のエラー入力		FE
予約命令例外	RIE	予約命令の実行		FE
コプロセッサ使用不可例外	UCPOP	コプロセッサ命令の実行／アクセス権限違反		FE
特権命令例外	PIE	特権命令の実行		FE
ミスアライン例外	MAE	ミスアラインアクセスの発生		FE
メモリ保護例外（アクセス権）	MDP	メモリ保護違反		FE
浮動小数点演算例外（プレサイス）	FPP	FPU 命令の実行		EI
システムコール	SYSCALL	SYSCALL 命令の実行		EI
FE レベルトラップ	FETRAP	FETRAP 命令の実行		FE
EI レベルトラップ 0	TRAP0	TRAP 命令の実行	↓	EI
EI レベルトラップ 1	TRAP1	TRAP 命令の実行	低	EI

注1.　これらの割り込み例外の説明は本章でします。

(1)　割り込み

「**表 7BC.1　例外要因一覧**」のうち、次の 3 種の例外を割り込みと呼び、本章ではこれらについて説明します。

- FE レベルノンマスカブル割り込み（FENMI）

  FENMI 割り込みは、ほかの FE レベルの割り込み（FEINT）が発生していても受け付け可能な割り込みです。

  - CPU システムレジスタ PSW.NP＝1 の場合でも、FENMI 割り込みは受け付け可能です。
  - FENMI 割り込みからの復帰はできません。回復もできません。

- FE レベルマスカブル割り込み（FEINT）

  - FEINT 割り込みは、CPU システムレジスタ PSW.NP＝0 の場合、受け付け可能です。PSW.NP＝1 の場合、FEINT 割り込みはマスクされます。
  - FEINT 割り込みからの復帰／回復可能

- EI レベルマスカブル割り込み（EIINT）

  EIINT 割り込みは、FE レベルの割り込み（FENMI, FEINT）が発生していなければ受け付け可能な割り込みです。

  - EIINT 割り込みは、CPU システムレジスタ PSW.NP＝0 の場合、受け付け可能です。
PSW.NP＝1 の場合、優先度の高い EIINT 割り込みが処理されている場合、または、PSW.ID＝1 の場合、EIINT 割り込みはマスクされます。
  - EIINT 割り込みからの復帰／回復可能
  - 各割り込みチャネルごとに割り込みマスクを指定可能
  - 各割り込みチャネルごとに 16 レベルの割り込み優先度を指定可能
  - 本章では割り込みチャネル n に対応する EIINT を“INTn”と表記し、割り込み要因 xxx に対応する EIINT を“INTxxx”と表記します。

PSW レジスタについては「**表 3BC.10　PSW レジスタの内容**」、または「*RH850G3KH　ユーザーズマニュアル　ソフトウェア編*」を参照してください。

備　考

復帰　：元のプログラムの中断した位置から再実行再開が可能／不可能であることを示します。

回復　：元のプログラムを中断した時点のプロセッサ状態（汎用レジスタ、システムレジスタなどのプロセッサ資源の状態）への回復が可能／不可能であることを示します。

これらの割り込み要因については、「**7BC.2　割り込み要因**」で説明します。

(2) 割り込みの概要

- 割り込み優先順位を設定可能

  割り込み制御レジスタにより、マスカブル割り込みの優先順位を要求別に 16 レベルで設定できます。

- 外部割り込み（TNMI/INTPm）のセンス方法

  外部割り込み（TNMI と INTPm）は、立ち上がり、立ち下がり、両エッジ、ロウレベル、ハイレベルの 5 種類から選択できます。

- 2 種類の割り込みハンドラアドレス指定

  レジスタ設定により、直接分岐方式とテーブル参照方式から選択できます。

7BC.2　割り込み要因

7BC.2.1　割り込み要因

7BC.2.1.1　FE レベルノンマスカブル割り込み

(1)　優先順位

「**表 7BC.1　例外要因一覧**」を参照してください。

(2)　復帰 PC

FE ノンマスカブル割り込みは、復帰も回復もできません。

(3)　ステータスレジスタ

「**7BC.4.4　FNC — FE レベル NMI ステータスレジスタ**」を参照してください。

(4)　復帰命令

なし

表 7BC.2　FE レベルノンマスカブル割り込み要求

割り込み			割り込み要求		発生ユニット	優先順位	例外要因コード	ハンドラアドレス 00000...
略号	制御レジスタ		名称	発生要因				
	名称	アドレス						
FENMI	FNC	FFFE EA78$_H$	TNMI	NMI 端子	端子	注 1	0E0$_H$	0E0$_H$
			WDTA0NMI	WDTA0 FENMI 割り込み	WDTA0			
			WDTA1NMI	WDTA1 FENMI 割り込み	WDTA1			

注1.　「**表 7BC.1　例外要因一覧**」を参照してください。

FENMI 割り込みの発生要因は、専用のフラグレジスタで調べることができます。詳細は「**7BC.2.2　FE レベルノンマスカブル割り込み要因**」を参照してください。

7BC.2.1.2　FE レベルマスカブル割り込み

(1)　優先順位

「**表 7BC.1　例外要因一覧**」を参照してください。

(2)　復帰 PC

FERET 命令による割り込み処理ルーチンからの復帰 PC は、中断された PC（カレント PC）となります。

(3)　ステータスレジスタ

「**7BC.4.5　FIC — FE レベルマスカブル割り込みステータスレジスタ**」を参照してください。

(4)　復帰命令

FERET

表 7BC.3　FE レベルマスカブル割り込み要求 (RH850/F1KM-S4)

割り込み			割り込み要求		発生ユニット	100 Pin	144 Pin	176 Pin	233 Pin	272 Pin	優先順位	例外要因コード	ハンドラアドレス 00000...
略号	制御レジスタ 名称	制御レジスタ アドレス	名称	発生要因									
FEINT	FIC	FFFE EA7AH	INTLVIL	LVI 電圧検出（立ち下がり）	LVI	○	○	○	○	○	注1	0F0H	0F0H
			INTECCEEP0	データフラッシュ ECC 1 ビットエラー／ECC 2 ビットエラー割り込み	Data flash	○	○	○	○	○			
			INTECCFLRAM	FLXA0 ECC 1 ビットエラー／ECC 2 ビットエラー割り込み	FLXA0	○	○	○	○	○			
			INTECCCNFDRAM	RCFDC0 ECC 1 ビットエラー／ECC 2 ビットエラー割り込み	RCFDC0	○	○	○	○	○			
			INTECCCSIH0	CSIH0 ECC 1 ビットエラー／ECC 2 ビットエラー割り込み	CSIH0	○	○	○	○	○			
			INTECCCSIH1	CSIH1 ECC 1 ビットエラー／ECC 2 ビットエラー割り込み	CSIH1	○	○	○	○	○			
			INTECCCSIH2	CSIH2 ECC 1 ビットエラー／ECC 2 ビットエラー割り込み	CSIH2	○	○	○	○	○			
			INTECCCSIH3	CSIH3 ECC 1 ビットエラー／ECC 2 ビットエラー割り込み	CSIH3	○	○	○	○	○			
			INTECCFLI0	コードフラッシュ ECC 1 ビットエラー／ECC 2 ビットエラー割り込み	Code flash	○	○	○	○	○			
			INTECCRAM	RAM ECC 1 ビットエラー／ECC 2 ビットエラー割り込み	RAM	○	○	○	○	○			
			INTOSTM0_FE 注2	OSTM0 割り込み	OSTM0	○	○	○	○	○			
			INTLVIH	LVI 電圧検出（立ち上がり）	LVI	○	○	○	○	○			
			INTGUARD	PE ガード（PEG）エラー／グローバル RAM ガード（GRG）エラー／周辺ガード（PBG/HBG/PBGC）	PEG, GRG, PBG/HBG/PBGC	○	○	○	○	○			
			INTOSTM1_FE	OSTM1 割り込み	OSTM1	○	○	○	○	○			
			INTOSTM2_FE	OSTM2 割り込み	OSTM2	○	○	○	○	○			
			INTOSTM3_FE	OSTM3 割り込み	OSTM3	○	○	○	○	○			
			INTOSTM4_FE	OSTM4 割り込み	OSTM4	○	○	○	○	○			
			INTECCETH	ETNB0 ECC 1 ビットエラー／ECC 2 ビットエラー割り込み	ETNB0	—	—	○	○	○			
			INTDMAERR	DMA 転送エラー割り込み	PDMA0	○	○	○	○	○			

注1.　「**表 7BC.1 例外要因一覧**」を参照してください。

注2.　INTOSTM0 は、EIINT と FEINT にアサインされており、同時に使用することは禁止です。
INTOSTM0 を FEINT で使用した場合、OSTM0 で TSU（Timing Supervision Unit）機能として実現できます。

- タイミング監視（TSU）
信頼済みでないプログラムの不当な CPU 時間占有を防ぐことや、資産管理、割り込み禁止の時間の管理を行えます。

表 7BC.4　FE レベルマスカブル割り込み要求 (RH850/F1KM-S2)

割り込み			割り込み要求		発生ユニット	100 Pin	144 Pin	176 Pin	優先順位	例外要因コード	ハンドラアドレス 00000...
略号	制御レジスタ		名称	発生要因							
	名称	アドレス									
FEINT	FIC	FFFE EA7A$_H$	INTLVIL	LVI 電圧検出（立ち下がり）	LVI	○	○	○	注1	0F0$_H$	0F0$_H$
			INTECCEEP0	データフラッシュ ECC 1 ビットエラー／ECC 2 ビットエラー割り込み	Data flash	○	○	○			
			INTECCCNFDRAM	RCFDC0 ECC 1 ビットエラー／ECC 2 ビットエラー割り込み	RCFDC0	○	○	○			
			INTECCCSIH0	CSIH0 ECC 1 ビットエラー／ECC 2 ビットエラー割り込み	CSIH0	○	○	○			
			INTECCCSIH1	CSIH1 ECC 1 ビットエラー／ECC 2 ビットエラー割り込み	CSIH1	○	○	○			
			INTECCCSIH2	CSIH2 ECC 1 ビットエラー／ECC 2 ビットエラー割り込み	CSIH2	○	○	○			
			INTECCCSIH3	CSIH3 ECC 1 ビットエラー／ECC 2 ビットエラー割り込み	CSIH3	○	○	○			
			INTECCFLI0	コードフラッシュ ECC 1 ビットエラー／ECC 2 ビットエラー割り込み	Code flash	○	○	○			
			INTECCRAM	RAM ECC 1 ビットエラー／ECC 2 ビットエラー割り込み	RAM	○	○	○			
			INTOSTM0_FE 注2	OSTM0 割り込み	OSTM0	○	○	○			
			INTLVIH	LVI 電圧検出（立ち上がり）	LVI	○	○	○			
			INTGUARD	PE ガード（PEG）エラー／グローバル RAM ガード（GRG）エラー／周辺ガード（PBG/HBG/PBGC）	PEG, GRG, PBG/HBG/PBGC	○	○	○			
			INTOSTM1_FE	OSTM1 割り込み	OSTM1	○	○	○			
			INTOSTM2_FE	OSTM2 割り込み	OSTM2	○	○	○			
			INTOSTM3_FE	OSTM3 割り込み	OSTM3	○	○	○			
			INTOSTM4_FE	OSTM4 割り込み	OSTM4	○	○	○			
			INTDMAERR	DMA 転送エラー割り込み	PDMA0	○	○	○			

注1.　「**表 7BC.1　例外要因一覧**」を参照してください。

注2.　INTOSTM0 は、EIINT と FEINT にアサインされており、同時に使用することは禁止です。
INTOSTM0 を FEINT で使用した場合、OSTM0 で TSU（Timing Supervision Unit）機能として実現できます。

- タイミング監視（TSU）
信頼済みでないプログラムの不当な CPU 時間占有を防ぐことや、資産管理、割り込み禁止の時間の管理を行えます。

表 7BC.5　　FE レベルマスカブル割り込み要求 (RH850/F1KM-S1)

割り込み			割り込み要求		発生ユニット	48 Pin	64 Pin	80 Pin	100 Pin	優先順位	例外要因コード	ハンドラアドレス 00000...
略号	制御レジスタ 名称	制御レジスタ アドレス	名称	発生要因								
FEINT	FIC	FFFE EA7A$_H$	INTLVIL	LVI 電圧検出（立ち下がり）	LVI	○	○	○	○	注1	0F0$_H$	0F0$_H$
			INTECCEEP0	データフラッシュ ECC 1 ビットエラー／ECC 2 ビットエラー割り込み	Data flash	○	○	○	○			
			INTECCCNFDRAM	RCFDC0 ECC 1 ビットエラー／ECC 2 ビットエラー割り込み	RCFDC0	○	○	○	○			
			INTECCCSIH0	CSIH0 ECC 1 ビットエラー／ECC 2 ビットエラー割り込み	CSIH0	○	○	○	○			
			INTECCCSIH1	CSIH1 ECC 1 ビットエラー／ECC 2 ビットエラー割り込み	CSIH1	—	—	○	○			
			INTECCCSIH2	CSIH2 ECC 1 ビットエラー／ECC 2 ビットエラー割り込み	CSIH2	—	—	○	○			
			INTECCCSIH3	CSIH3 ECC 1 ビットエラー／ECC 2 ビットエラー割り込み	CSIH3	—	—	—	○			
			INTECCFLI0	コードフラッシュ ECC 1 ビットエラー／ECC 2 ビットエラー割り込み	Code flash	○	○	○	○			
			INTECCRAM	RAM ECC 1 ビットエラー／ECC 2 ビットエラー割り込み	RAM	○	○	○	○			
			INTOSTM0_FE 注2	OSTM0 割り込み	OSTM0	○	○	○	○			
			INTLVIH	LVI 電圧検出（立ち上がり）	LVI	○	○	○	○			
			INTGUARD	PE ガード（PEG）エラー／周辺ガード（PBG/PBGC）	PEG, PBG/PBGC	○	○	○	○			
			INTDMAERR	DMA 転送エラー割り込み	PDMA0	○	○	○	○			

注1.　「**表 7BC.1 例外要因一覧**」を参照してください。

注2.　INTOSTM0 は、EIINT と FEINT にアサインされており、同時に使用することは禁止です。
INTOSTM0 を FEINT で使用した場合、OSTM0 で TSU（Timing Supervision Unit）機能として実現できます。

- タイミング監視（TSU）
信頼済みでないプログラムの不当な CPU 時間占有を防ぐことや、資産管理、割り込み禁止の時間の管理を行えます。

7BC.2.1.3　EI レベルマスカブル割り込み

(1) 割り込み名称規則

割り込み要求名、割り込み要求を制御する制御レジスタおよびビットは次のような規則になっています。

以下、特定の割り込み要求名前を<*name*>で表します。

- **IC**<*name*>用の名称の詳細に関しては、「**表 7BC.6 EI レベルマスカブル割り込み要因 (RH850/F1KM-S4)**」、「**表 7BC.7 EI レベルマスカブル割り込み要因 (RH850/F1KM-S2)**」、「**表 7BC.8 EI レベルマスカブル割り込み要因 (RH850/F1KM-S1)**」を参照してください。
- 割り込み要求名：**INT**<*name*>

  接頭語“**INT**”は、<*name*>の前に付きます。
- 割り込み制御レジスタ：**IC**<*name*>

  接頭語“**IC**”は、<*name*>の前に付きます。
  16 ビットの **IC**<*name*>レジスタは、バイト単位でアクセスすることもできます。

  - **IC**<*name*>レジスタの下位バイト(ビット[7:0])：**IC**<*name*>**L**
    接尾語“**L**”は、レジスタ名 **IC**<*name*>の後に追加されます。
  - **IC**<*name*>レジスタの上位バイト(ビット[15:8])：**IC**<*name*>**H**
    接尾語“**H**”は、レジスタ名 **IC**<*name*>の後に追加されます。
- 割り込み制御レジスタのビット名：**CT**<*name*>, **RF**<*name*>, **MK**<*name*>, **TB**<*name*>, **P3**<*name*>, **P2**<*name*>, **P1**<*name*>, **P0**<*name*>

  ビット接頭辞“**CT**”,“**RF**”,“**MK**”,“**TB**”,“**P3**”,“**P2**”,“**P1**”,“**P0**”は、割り込み<*name*>の前に追加されます。

例

TAUD0 のチャネル 2 の割り込み要求（<*name*>＝*TAUD0I2*）の場合次のような名前になります。

INT*TAUD0I2*

関係する割り込み制御レジスタの名前は次のようになります。

IC*TAUD0I2*, **IC***TAUD0I2***L**, **IC***TAUD0I2***H**

制御レジスタのビット名は次のようになります

CT*TAUD0I2*, **RF***TAUD0I2*, **MK***TAUD0I2*, **TB***TAUD0I2*, **P3***TAUD0I2*, **P2***TAUD0I2*, **P1***TAUD0I2*, **P0***TAUD0I2*

(2) 優先順位

「**表 7BC.1 例外要因一覧**」を参照してください。

(3) 復帰 PC

EIRET 命令による割り込み処理ルーチンからの復帰 PC は、中断された PC（カレント PC）となります。

(4) 制御レジスタ

EI レベルマスカブル割り込み制御レジスタ

「**7BC.4.2 ICxxx — EI レベル割り込み制御レジスタ**」を参照してください。

(5) 復帰命令

EIRET 命令

(6) 構成

EI レベルマスカブル割り込みは、INTC1 と INTC2 の 2 つのコントローラで制御されます。

INTC1 と INTC2 のカスケード接続で合計 377ch をサポートしています。

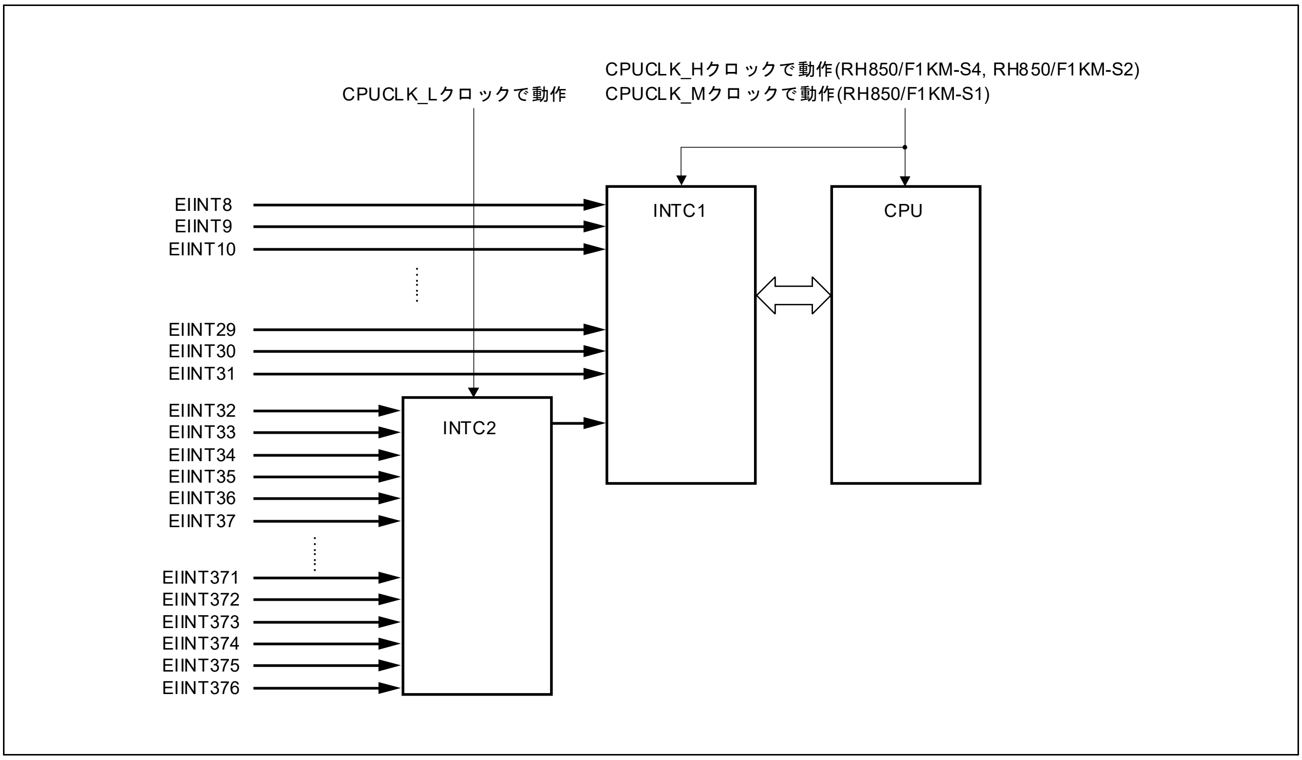


図 7BC.1　EI レベルマスカブル割り込みの構成図

注　意

INTC2 は CPUCLK_L で動作しているため、INTC2 に接続されている EIINT32 から EIINT376 は INTC1 の割り込みより遅延が発生します。

EI レベルマスカブル割り込みの一覧を「**表 7BC.6 EI レベルマスカブル割り込み要因 (RH850/F1KM-S4)**」、「**表 7BC.7 EI レベルマスカブル割り込み要因 (RH850/F1KM-S2)**」、「**表 7BC.8 EI レベルマスカブル割り込み要因 (RH850/F1KM-S1)**」に示します。

表 7BC.6　EI レベルマスカブル割り込み要因 (RH850/F1KM-S4)

割り込み			割り込み要求				例外要因コード	100 Pin	144 Pin	176 Pin	233 Pin	272 Pin	ハンドラアドレス（オフセット）[注8]		
チャネル番号[注1]	制御レジスタ 名称	制御レジスタ アドレス	名称	発生要因	ユニット	検出タイプ[注2]							直接分岐方式 RINT =0	直接分岐方式 RINT =1	テーブル参照方式[注5]
0	リザーブ	FFFE EA00$_H$					1000$_H$	—	—	—	—	—	注3	注4	+000$_H$
1	リザーブ	FFFE EA02$_H$					1001$_H$	—	—	—	—	—			+004$_H$
2	リザーブ	FFFE EA04$_H$					1002$_H$	—	—	—	—	—			+008$_H$
3	リザーブ	FFFE EA06$_H$					1003$_H$	—	—	—	—	—			+00C$_H$
4	リザーブ	FFFE EA08$_H$					1004$_H$	—	—	—	—	—			+010$_H$
5	リザーブ	FFFE EA0A$_H$					1005$_H$	—	—	—	—	—			+014$_H$
6	リザーブ	FFFE EA0C$_H$					1006$_H$	—	—	—	—	—			+018$_H$
7	リザーブ	FFFE EA0E$_H$					1007$_H$	—	—	—	—	—			+01C$_H$
8	ICTAUD0I0	FFFE EA10$_H$	INTTAUD0I0[注6]	TAUD0 の CH0 割り込み	TAUD0	エッジ	1008$_H$	○	○	○	○	○			+020$_H$
	ICCSIH2IC_1		INTCSIH2IC_1[注6]	CSIH2 通信ステータス割り込み	CSIH2	エッジ									
9	ICTAUD0I2	FFFE EA12$_H$	INTTAUD0I2[注6]	TAUD0 の CH2 割り込み	TAUD0	エッジ	1009$_H$	○	○	○	○	○			+024$_H$
	ICCSIH3IC_1		INTCSIH3IC_1[注6]	CSIH3 通信ステータス割り込み	CSIH3	エッジ									
10	ICTAUD0I4	FFFE EA14$_H$	INTTAUD0I4[注6]	TAUD0 の CH4 割り込み	TAUD0	エッジ	100A$_H$	○	○	○	○	○			+028$_H$
	ICCSIH2IR_1		INTCSIH2IR_1[注6]	CSIH2 受信ステータス割り込み	CSIH2	エッジ									
11	ICTAUD0I6	FFFE EA16$_H$	INTTAUD0I6[注6]	TAUD0 の CH6 割り込み	TAUD0	エッジ	100B$_H$	○	○	○	○	○			+02C$_H$
	ICCSIH2IRE_1		INTCSIH2IRE_1[注6]	CSIH2 通信エラー割り込み	CSIH2	エッジ									
12	ICTAUD0I8	FFFE EA18$_H$	INTTAUD0I8[注6]	TAUD0 の CH8 割り込み	TAUD0	エッジ	100C$_H$	○	○	○	○	○			+030$_H$
	ICCSIH2IJC_1		INTCSIH2IJC_1[注6]	CSIH2 ジョブ完了割り込み	CSIH2	エッジ									
13	ICTAUD0I10	FFFE EA1A$_H$	INTTAUD0I10[注6]	TAUD0 の CH10 割り込み	TAUD0	エッジ	100D$_H$	○	○	○	○	○			+034$_H$
	ICCSIH3IR_1		INTCSIH3IR_1[注6]	CSIH3 受信ステータス割り込み	CSIH3	エッジ									
14	ICTAUD0I12	FFFE EA1C$_H$	INTTAUD0I12[注6]	TAUD0 の CH12 割り込み	TAUD0	エッジ	100E$_H$	○	○	○	○	○			+038$_H$
	ICCSIH3IRE_1		INTCSIH3IRE_1[注6]	CSIH3 通信エラー割り込み	CSIH3	エッジ									
15	ICTAUD0I14	FFFE EA1E$_H$	INTTAUD0I14[注6]	TAUD0 の CH14 割り込み	TAUD0	エッジ	100F$_H$	○	○	○	○	○			+03C$_H$
	ICCSIH3IJC_1		INTCSIH3IJC_1[注6]	CSIH3 ジョブ完了割り込み	CSIH3	エッジ									
16	ICTAPA0IPEK0	FFFE EA20$_H$	INTTAPA0IPEK0[注6]	TAPA0 山割り込み 0	TAPA0	エッジ	1010$_H$	○	○	○	○	○			+040$_H$
	ICCSIH1IC_1		INTCSIH1IC_1[注6]	CSIH1 通信ステータス割り込み	CSIH1	エッジ									
17	ICTAPA0IVLY0	FFFE EA22$_H$	INTTAPA0IVLY0[注6]	TAPA0 谷割り込み 0	TAPA0	エッジ	1011$_H$	○	○	○	○	○			+044$_H$
	ICCSIH1IR_1		INTCSIH1IR_1[注6]	CSIH1 受信ステータス割り込み	CSIH1	エッジ									
18	ICADCA0I0	FFFE EA24$_H$	INTADCA0I0	ADCA0 スキャングループ 1（SG1）終了割り込み	ADCA0	エッジ	1012$_H$	○	○	○	○	○			+048$_H$
19	ICADCA0I1	FFFE EA26$_H$	INTADCA0I1	ADCA0 スキャングループ 2（SG2）終了割り込み	ADCA0	エッジ	1013$_H$	○	○	○	○	○			+04C$_H$
20	ICADCA0I2	FFFE EA28$_H$	INTADCA0I2[注6]	ADCA0 スキャングループ 3（SG3）終了割り込み	ADCA0	エッジ	1014$_H$	○	○	○	○	○			+050$_H$
	ICCSIH0IJC_1		INTCSIH0IJC_1[注6]	CSIH0 ジョブ完了割り込み	CSIH0	エッジ									
21	ICDCUTDI	FFFE EA2A$_H$	INTDCUTDI	オンチップデバッグ機能専用割り込み	Port	エッジ	1015$_H$	○	○	○	○	○			+054$_H$
22	ICRCANGERR0	FFFE EA2C$_H$	INTRCANGERR0	CAN グローバルエラー割り込み	RCFDC0	レベル	1016$_H$	○	○	○	○	○			+058$_H$
23	ICRCANGRECC0	FFFE EA2E$_H$	INTRCANGRECC0	CAN 受信 FIFO 割り込み	RCFDC0	レベル	1017$_H$	○	○	○	○	○			+05C$_H$
24	ICRCAN0ERR	FFFE EA30$_H$	INTRCAN0ERR	CAN0 エラー割り込み	RCFDC0	レベル	1018$_H$	○	○	○	○	○			+060$_H$
25	ICRCAN0REC	FFFE EA32$_H$	INTRCAN0REC	CAN0 送受信 FIFO 受信完了割り込み	RCFDC0	レベル	1019$_H$	○	○	○	○	○			+064$_H$
26	ICRCAN0TRX	FFFE EA34$_H$	INTRCAN0TRX	CAN0 送信割り込み	RCFDC0	レベル	101A$_H$	○	○	○	○	○			+068$_H$
27	ICCSIG0IC	FFFE EA36$_H$	INTCSIG0IC[注6]	CSIG0 通信ステータス割り込み	CSIG0	エッジ	101B$_H$	○	○	○	○	○			+06C$_H$
	ICCSIH1IRE_1		INTCSIH1IRE_1[注6]	CSIH1 通信エラー割り込み	CSIH1	エッジ									

表 7BC.6　EI レベルマスカブル割り込み要因（RH850/F1KM-S4）

割り込み			割り込み要求				例外要因コード	100 Pin	144 Pin	176 Pin	233 Pin	272 Pin	ハンドラアドレス（オフセット）[注8]		
チャネル番号[注1]	制御レジスタ												直接分岐方式		テーブル参照方式[注5]
	名称	アドレス	名称	発生要因	ユニット	検出タイプ[注2]							RINT＝0	RINT＝1	
28	ICCSIG0IR	FFFE EA38$_H$	INTCSIG0IR [注6]	CSIG0 受信ステータス割り込み	CSIG0	エッジ	101C$_H$	○	○	○	○	○	[注3]	[注4]	+070$_H$
	ICCSIH1IJC_1		INTCSIH1IJC_1 [注6]	CSIH1 ジョブ完了割り込み	CSIH1	エッジ									
29	ICCSIH0IC	FFFE EA3A$_H$	INTCSIH0IC	CSIH0 通信ステータス割り込み	CSIH0	エッジ	101D$_H$	○	○	○	○	○			+074$_H$
30	ICCSIH0IR	FFFE EA3C$_H$	INTCSIH0IR	CSIH0 受信ステータス割り込み	CSIH0	エッジ	101E$_H$	○	○	○	○	○			+078$_H$
31	ICCSIH0IRE	FFFE EA3E$_H$	INTCSIH0IRE	CSIH0 通信エラー割り込み	CSIH0	エッジ	101F$_H$	○	○	○	○	○			+07C$_H$
32	ICCSIH0IJC	FFFF B040$_H$	INTCSIH0IJC [注6]	CSIH0 ジョブ完了割り込み	CSIH0	エッジ	1020$_H$	○	○	○	○	○			+080$_H$
	ICADCA0I2_2		INTADCA0I2_2 [注6]	ADCA0 スキャングループ 3（SG3）終了割り込み	ADCA0	エッジ									
33	ICRLIN30	FFFF B042$_H$	INTRLIN30	RLIN30 割り込み	RLIN30	エッジ	1021$_H$	○	○	○	○	○			+084$_H$
34	ICRLIN30UR0	FFFF B044$_H$	INTRLIN30UR0	RLIN30 送信割り込み	RLIN30	エッジ	1022$_H$	○	○	○	○	○			+088$_H$
35	ICRLIN30UR1	FFFF B046$_H$	INTRLIN30UR1	RLIN30 受信完了割り込み	RLIN30	エッジ	1023$_H$	○	○	○	○	○			+08C$_H$
36	ICRLIN30UR2	FFFF B048$_H$	INTRLIN30UR2	RLIN30 ステータス割り込み	RLIN30	エッジ	1024$_H$	○	○	○	○	○			+090$_H$
37	ICP0	FFFF B04A$_H$	INTP0	外部割り込み	Port	エッジ	1025$_H$	○	○	○	○	○			+094$_H$
38	ICP1	FFFF B04C$_H$	INTP1	外部割り込み	Port	エッジ	1026$_H$	○	○	○	○	○			+098$_H$
39	ICP2	FFFF B04E$_H$	INTP2	外部割り込み	Port	エッジ	1027$_H$	○	○	○	○	○			+09C$_H$
40	ICWDTA0	FFFF B050$_H$	INTWDTA0	WDTA0 75%割り込み	WDTA0	エッジ	1028$_H$	○	○	○	○	○			+0A0$_H$
41	ICWDTA1	FFFF B052$_H$	INTWDTA1	WDTA1 75%割り込み	WDTA1	エッジ	1029$_H$	○	○	○	○	○			+0A4$_H$
42	リザーブ	FFFF B054$_H$					102A$_H$	—	—	—	—	—			+0A8$_H$
43	ICP3	FFFF B056$_H$	INTP3	外部割り込み	Port	エッジ	102B$_H$	○	○	○	○	○			+0AC$_H$
44	ICP4	FFFF B058$_H$	INTP4	外部割り込み	Port	エッジ	102C$_H$	○	○	○	○	○			+0B0$_H$
45	ICP5	FFFF B05A$_H$	INTP5	外部割り込み	Port	エッジ	102D$_H$	○	○	○	○	○			+0B4$_H$
46	ICP10	FFFF B05C$_H$	INTP10	外部割り込み	Port	エッジ	102E$_H$	○	○	○	○	○			+0B8$_H$
47	ICP11	FFFF B05E$_H$	INTP11	外部割り込み	Port	エッジ	102F$_H$	○	○	○	○	○			+0BC$_H$
48	ICTAUD0I1	FFFF B060$_H$	INTTAUD0I1	TAUD0 チャネル 1 割り込み	TAUD0	エッジ	1030$_H$	○	○	○	○	○			+0C0$_H$
49	ICTAUD0I3	FFFF B062$_H$	INTTAUD0I3	TAUD0 チャネル 3 割り込み	TAUD0	エッジ	1031$_H$	○	○	○	○	○			+0C4$_H$
50	ICTAUD0I5	FFFF B064$_H$	INTTAUD0I5	TAUD0 チャネル 5 割り込み	TAUD0	エッジ	1032$_H$	○	○	○	○	○			+0C8$_H$
51	ICTAUD0I7	FFFF B066$_H$	INTTAUD0I7	TAUD0 チャネル 7 割り込み	TAUD0	エッジ	1033$_H$	○	○	○	○	○			+0CC$_H$
52	ICTAUD0I9	FFFF B068$_H$	INTTAUD0I9	TAUD0 チャネル 9 割り込み	TAUD0	エッジ	1034$_H$	○	○	○	○	○			+0D0$_H$
53	ICTAUD0I11	FFFF B06A$_H$	INTTAUD0I11	TAUD0 チャネル 11 割り込み	TAUD0	エッジ	1035$_H$	○	○	○	○	○			+0D4$_H$
54	ICTAUD0I13	FFFF B06C$_H$	INTTAUD0I13	TAUD0 チャネル 13 割り込み	TAUD0	エッジ	1036$_H$	○	○	○	○	○			+0D8$_H$
55	ICTAUD0I15	FFFF B06E$_H$	INTTAUD0I15	TAUD0 チャネル 15 割り込み	TAUD0	エッジ	1037$_H$	○	○	○	○	○			+0DC$_H$
56	ICADCA0ERR	FFFF B070$_H$	INTADCA0ERR	ADCA0 エラー割り込み	ADCA0	エッジ	1038$_H$	○	○	○	○	○			+0E0$_H$
57	ICCSIG0IRE	FFFF B072$_H$	INTCSIG0IRE	CSIG0 通信エラー割り込み	CSIG0	エッジ	1039$_H$	○	○	○	○	○			+0E4$_H$
58	ICRLIN20	FFFF B074$_H$	INTRLIN20	RLIN20 割り込み	RLIN240	エッジ	103A$_H$	○	○	○	○	○			+0E8$_H$
59	ICRLIN21	FFFF B076$_H$	INTRLIN21	RLIN21 割り込み	RLIN240	エッジ	103B$_H$	○	○	○	○	○			+0EC$_H$
60	ICDMA0	FFFF B078$_H$	INTDMA0	DMA00 転送完了	PDMA0	エッジ	103C$_H$	○	○	○	○	○			+0F0$_H$
61	ICDMA1	FFFF B07A$_H$	INTDMA1	DMA01 転送完了	PDMA0	エッジ	103D$_H$	○	○	○	○	○			+0F4$_H$
62	ICDMA2	FFFF B07C$_H$	INTDMA2	DMA02 転送完了	PDMA0	エッジ	103E$_H$	○	○	○	○	○			+0F8$_H$
63	ICDMA3	FFFF B07E$_H$	INTDMA3	DMA03 転送完了	PDMA0	エッジ	103F$_H$	○	○	○	○	○			+0FC$_H$
64	ICDMA4	FFFF B080$_H$	INTDMA4	DMA04 転送完了	PDMA0	エッジ	1040$_H$	○	○	○	○	○			+100$_H$
65	ICDMA5	FFFF B082$_H$	INTDMA5	DMA05 転送完了	PDMA0	エッジ	1041$_H$	○	○	○	○	○			+104$_H$
66	ICDMA6	FFFF B084$_H$	INTDMA6	DMA06 転送完了	PDMA0	エッジ	1042$_H$	○	○	○	○	○			+108$_H$
67	ICDMA7	FFFF B086$_H$	INTDMA7	DMA07 転送完了	PDMA0	エッジ	1043$_H$	○	○	○	○	○			+10C$_H$
68	ICDMA8	FFFF B088$_H$	INTDMA8	DMA10 転送完了	PDMA0	エッジ	1044$_H$	○	○	○	○	○			+110$_H$
69	ICDMA9	FFFF B08A$_H$	INTDMA9	DMA11 転送完了	PDMA0	エッジ	1045$_H$	○	○	○	○	○			+114$_H$

表 7BC.6　　EI レベルマスカブル割り込み要因 (RH850/F1KM-S4)

割り込み			割り込み要求				例外要因コード	100 Pin	144 Pin	176 Pin	233 Pin	272 Pin	ハンドラアドレス（オフセット）[注8]		
チャネル番号[注1]	制御レジスタ		名称	発生要因	ユニット	検出タイプ[注2]							直接分岐方式		テーブル参照方式[注5]
	名称	アドレス											RINT＝0	RINT＝1	
70	ICDMA10	FFFF B08C$_H$	INTDMA10	DMA12 転送完了	PDMA0	エッジ	1046$_H$	○	○	○	○	○	注3	注4	+118$_H$
71	ICDMA11	FFFF B08E$_H$	INTDMA11	DMA13 転送完了	PDMA0	エッジ	1047$_H$	○	○	○	○	○			+11C$_H$
72	ICDMA12	FFFF B090$_H$	INTDMA12	DMA14 転送完了	PDMA0	エッジ	1048$_H$	○	○	○	○	○			+120$_H$
73	ICDMA13	FFFF B092$_H$	INTDMA13	DMA15 転送完了	PDMA0	エッジ	1049$_H$	○	○	○	○	○			+124$_H$
74	ICDMA14	FFFF B094$_H$	INTDMA14	DMA16 転送完了	PDMA0	エッジ	104A$_H$	○	○	○	○	○			+128$_H$
75	ICDMA15	FFFF B096$_H$	INTDMA15	DMA17 転送完了	PDMA0	エッジ	104B$_H$	○	○	○	○	○			+12C$_H$
76	ICRIIC0TI	FFFF B098$_H$	INTRIIC0TI	RIIC0 送信データエンプティ割り込み	RIIC0	エッジ	104C$_H$	○	○	○	○	○			+130$_H$
77	ICRIIC0EE	FFFF B09A$_H$	INTRIIC0EE	RIIC0 受信エラー／イベント割り込み	RIIC0	レベル	104D$_H$	○	○	○	○	○			+134$_H$
78	ICRIIC0RI	FFFF B09C$_H$	INTRIIC0RI	RIIC0 受信完了割り込み	RIIC0	エッジ	104E$_H$	○	○	○	○	○			+138$_H$
79	ICRIIC0TEI	FFFF B09E$_H$	INTRIIC0TEI	RIIC0 送信完了割り込み	RIIC0	レベル	104F$_H$	○	○	○	○	○			+13C$_H$
80	ICTAUJ0I0	FFFF B0A0$_H$	INTTAUJ0I0	TAUJ0 チャネル 0 割り込み	TAUJ0	エッジ	1050$_H$	○	○	○	○	○			+140$_H$
81	ICTAUJ0I1	FFFF B0A2$_H$	INTTAUJ0I1	TAUJ0 チャネル 1 割り込み	TAUJ0	エッジ	1051$_H$	○	○	○	○	○			+144$_H$
82	ICTAUJ0I2	FFFF B0A4$_H$	INTTAUJ0I2	TAUJ0 チャネル 2 割り込み	TAUJ0	エッジ	1052$_H$	○	○	○	○	○			+148$_H$
83	ICTAUJ0I3	FFFF B0A6$_H$	INTTAUJ0I3	TAUJ0 チャネル 3 割り込み	TAUJ0	エッジ	1053$_H$	○	○	○	○	○			+14C$_H$
84	ICOSTM0	FFFF B0A8$_H$	INTOSTM0 [注9]	OSTM0 割り込み	OSTM0	エッジ	1054$_H$	○	○	○	○	○			+150$_H$
85	ICENCA0IOV	FFFF B0AA$_H$	INTENCA0IOV	ENCA0 オーバフロー割り込み	ENCA0	エッジ	1055$_H$	○	○	○	○	○			+154$_H$
86	ICENCA0IUD	FFFF B0AC$_H$	INTENCA0IUD	ENCA0 アンダフロー割り込み	ENCA0	エッジ	1056$_H$	○	○	○	○	○			+158$_H$
87	ICENCA0I0	FFFF B0AE$_H$	INTENCA0I0	ENCA0 一致／キャプチャ割り込み 0	ENCA0	エッジ	1057$_H$	○	○	○	○	○			+15C$_H$
88	ICENCA0I1	FFFF B0B0$_H$	INTENCA0I1	ENCA0 一致／キャプチャ割り込み 1	ENCA0	エッジ	1058$_H$	○	○	○	○	○			+160$_H$
89	ICENCA0IEC	FFFF B0B2$_H$	INTENCA0IEC	ENCA0 エンコーダクリア割り込み	ENCA0	エッジ	1059$_H$	○	○	○	○	○			+164$_H$
90	ICKR0	FFFF B0B4$_H$	INTKR0	KR0 キー割り込み	KR0	エッジ	105A$_H$	○	○	○	○	○			+168$_H$
91	ICQFULL	FFFF B0B6$_H$	INTQFULL	PWSA0 キューフル割り込み	PWSA0	エッジ	105B$_H$	○	○	○	○	○			+16C$_H$
92	ICPWGAG00	FFFF B0B8$_H$	INTPWGAG00 [注7]	PWGA 割り込みグループ 00（PWGA0～PWGA31）	PWGA0-31	レベル	105C$_H$	○	○	○	○	○			+170$_H$
93	ICPWGAG01	FFFF B0BA$_H$	INTPWGAG01 [注7]	PWGA 割り込みグループ 01（PWGA32～PWGA63）	PWGA32-63	レベル	105D$_H$	○	○	○	○	○			+174$_H$
94	ICPWGAG02	FFFF B0BC$_H$	INTPWGAG02 [注7]	PWGA 割り込みグループ 02（PWGA64～PWGA95）	PWGA64-95	レベル	105E$_H$	—	—	○	○	○			+178$_H$
95	リザーブ	FFFF B0BE$_H$					105F$_H$	—	—	—	—	—			+17C$_H$
96	リザーブ	FFFF B0C0$_H$					1060$_H$	—	—	—	—	—			+180$_H$
97	リザーブ	FFFF B0C2$_H$					1061$_H$	—	—	—	—	—			+184$_H$
98	リザーブ	FFFF B0C4$_H$					1062$_H$	—	—	—	—	—			+188$_H$
99	リザーブ	FFFF B0C6$_H$					1063$_H$	—	—	—	—	—			+18C$_H$
100	リザーブ	FFFF B0C8$_H$					1064$_H$	—	—	—	—	—			+190$_H$
101	リザーブ	FFFF B0CA$_H$					1065$_H$	—	—	—	—	—			+194$_H$
102	リザーブ	FFFF B0CC$_H$					1066$_H$	—	—	—	—	—			+198$_H$
103	リザーブ	FFFF B0CE$_H$					1067$_H$	—	—	—	—	—			+19C$_H$
104	リザーブ	FFFF B0D0$_H$					1068$_H$	—	—	—	—	—			+1A0$_H$
105	リザーブ	FFFF B0D2$_H$					1069$_H$	—	—	—	—	—			+1A4$_H$
106	リザーブ	FFFF B0D4$_H$					106A$_H$	—	—	—	—	—			+1A8$_H$
107	リザーブ	FFFF B0D6$_H$					106B$_H$	—	—	—	—	—			+1AC$_H$
108	リザーブ	FFFF B0D8$_H$					106C$_H$	—	—	—	—	—			+1B0$_H$
109	リザーブ	FFFF B0DA$_H$					106D$_H$	—	—	—	—	—			+1B4$_H$

表 7BC.6　EI レベルマスカブル割り込み要因 (RH850/F1KM-S4)

割り込み			割り込み要求				例外要因コード	100 Pin	144 Pin	176 Pin	233 Pin	272 Pin	ハンドラアドレス（オフセット）注8		
チャネル番号注1	制御レジスタ		名称	発生要因	ユニット	検出タイプ注2							直接分岐方式		テーブル参照方式注5
	名称	アドレス											RINT =0	RINT =1	
110	ICFLERR	FFFF B0DC$_H$	INTFLERR 注10	フラッシュシーケンサ終了エラー割り込み	FACI	レベル	106E$_H$	○	○	○	○	○	注3	注4	+1B8$_H$
111	ICFLENDNM	FFFF B0DE$_H$	INTFLENDNM 注10	フラッシュシーケンサ終了割り込み	FACI	エッジ	106F$_H$	○	○	○	○	○			+1BC$_H$
112	ICCWEND	FFFF B0E0$_H$	INTCWEND	LPS0 ポートポーリング終了割り込み	LPS0	エッジ	1070$_H$	○	○	○	○	○			+1C0$_H$
113	ICRCAN1ERR	FFFF B0E2$_H$	INTRCAN1ERR	CAN1 エラー割り込み	RCFDC0	レベル	1071$_H$	○	○	○	○	○			+1C4$_H$
114	ICRCAN1REC	FFFF B0E4$_H$	INTRCAN1REC	CAN1 送受信 FIFO 受信完了割り込み	RCFDC0	レベル	1072$_H$	○	○	○	○	○			+1C8$_H$
115	ICRCAN1TRX	FFFF B0E6$_H$	INTRCAN1TRX	CAN1 送信割り込み	RCFDC0	レベル	1073$_H$	○	○	○	○	○			+1CC$_H$
116	ICCSIH1IC	FFFF B0E8$_H$	INTCSIH1IC 注6	CSIH1 通信ステータス割り込み	CSIH1	エッジ	1074$_H$	○	○	○	○	○			+1D0$_H$
	ICTAPA0IPEK0_2		INTTAPA0IPEK0_2 注6	TAPA0 山割り込み 0	TAPA0	エッジ									
117	ICCSIH1IR	FFFF B0EA$_H$	INTCSIH1IR 注6	CSIH1 受信ステータス割り込み	CSIH1	エッジ	1075$_H$	○	○	○	○	○			+1D4$_H$
	ICTAPA0IVLY0_2		INTTAPA0IVLY0_2 注6	TAPA0 谷割り込み 0	TAPA0	エッジ									
118	ICCSIH1IRE	FFFF B0EC$_H$	INTCSIH1IRE 注6	CSIH1 通信エラー割り込み	CSIH1	エッジ	1076$_H$	○	○	○	○	○			+1D8$_H$
	ICCSIG0IC_2		INTCSIG0IC_2 注6	CSIG0 通信ステータス割り込み	CSIG0	エッジ									
119	ICCSIH1IJC	FFFF B0EE$_H$	INTCSIH1IJC 注6	CSIH1 ジョブ完了割り込み	CSIH1	エッジ	1077$_H$	○	○	○	○	○			+1DC$_H$
	ICCSIG0IR_2		INTCSIG0IR_2 注6	CSIG0 受信ステータス割り込み	CSIG0	エッジ									
120	ICRLIN31	FFFF B0F0$_H$	INTRLIN31	RLIN31 割り込み	RLIN31	エッジ	1078$_H$	○	○	○	○	○			+1E0$_H$
121	ICRLIN31UR0	FFFF B0F2$_H$	INTRLIN31UR0	RLIN31 送信割り込み	RLIN31	エッジ	1079$_H$	○	○	○	○	○			+1E4$_H$
122	ICRLIN31UR1	FFFF B0F4$_H$	INTRLIN31UR1	RLIN31 受信完了割り込み	RLIN31	エッジ	107A$_H$	○	○	○	○	○			+1E8$_H$
123	ICRLIN31UR2	FFFF B0F6$_H$	INTRLIN31UR2	RLIN31 ステータス割り込み	RLIN31	エッジ	107B$_H$	○	○	○	○	○			+1EC$_H$
124	リザーブ	FFFF B0F8$_H$					107C$_H$	—	—	—	—	—			+1F0$_H$
125	リザーブ	FFFF B0FA$_H$					107D$_H$	—	—	—	—	—			+1F4$_H$
126	リザーブ	FFFF B0FC$_H$					107E$_H$	—	—	—	—	—			+1F8$_H$
127	リザーブ	FFFF B0FE$_H$					107F$_H$	—	—	—	—	—			+1FC$_H$
128	ICP6	FFFF B100$_H$	INTP6	外部割り込み	Port	エッジ	1080$_H$	○	○	○	○	○			+200$_H$
129	ICP7	FFFF B102$_H$	INTP7	外部割り込み	Port	エッジ	1081$_H$	○	○	○	○	○			+204$_H$
130	ICP8	FFFF B104$_H$	INTP8	外部割り込み	Port	エッジ	1082$_H$	○	○	○	○	○			+208$_H$
131	ICP12	FFFF B106$_H$	INTP12	外部割り込み	Port	エッジ	1083$_H$	○	○	○	○	○			+20C$_H$
132	ICCSIH2IC	FFFF B108$_H$	INTCSIH2IC 注6	CSIH2 通信ステータス割り込み	CSIH2	エッジ	1084$_H$	○	○	○	○	○			+210$_H$
	ICTAUD0I0_2		INTTAUD0I0_2 注6	TAUD0 チャネル 0 割り込み	TAUD0	エッジ									
133	ICCSIH2IR	FFFF B10A$_H$	INTCSIH2IR 注6	CSIH2 受信ステータス割り込み	CSIH2	エッジ	1085$_H$	○	○	○	○	○			+214$_H$
	ICTAUD0I4_2		INTTAUD0I4_2 注6	TAUD0 チャネル 4 割り込み	TAUD0	エッジ									
134	ICCSIH2IRE	FFFF B10C$_H$	INTCSIH2IRE 注6	CSIH2 通信エラー割り込み	CSIH2	エッジ	1086$_H$	○	○	○	○	○			+218$_H$
	ICTAUD0I6_2		INTTAUD0I6_2 注6	TAUD0 チャネル 6 割り込み	TAUD0	エッジ									
135	ICCSIH2IJC	FFFF B10E$_H$	INTCSIH2IJC 注6	CSIH2 ジョブ完了割り込み	CSIH2	エッジ	1087$_H$	○	○	○	○	○			+21C$_H$
	ICTAUD0I8_2		INTTAUD0I8_2 注6	TAUD0 チャネル 8 割り込み	TAUD0	エッジ									
136	リザーブ	FFFF B110$_H$					1088$_H$	—	—	—	—	—			+220$_H$
137	リザーブ	FFFF B112$_H$					1089$_H$	—	—	—	—	—			+224$_H$
138	リザーブ	FFFF B114$_H$					108A$_H$	—	—	—	—	—			+228$_H$
139	リザーブ	FFFF B116$_H$					108B$_H$	—	—	—	—	—			+22C$_H$
140	リザーブ	FFFF B118$_H$					108C$_H$	—	—	—	—	—			+230$_H$
141	リザーブ	FFFF B11A$_H$					108D$_H$	—	—	—	—	—			+234$_H$
142	ICTAUB0I0	FFFF B11C$_H$	INTTAUB0I0	TAUB0 チャネル 0 割り込み	TAUB0	エッジ	108E$_H$	○	○	○	○	○			+238$_H$
143	ICTAUB0I1	FFFF B11E$_H$	INTTAUB0I1	TAUB0 チャネル 1 割り込み	TAUB0	エッジ	108F$_H$	○	○	○	○	○			+23C$_H$
144	ICTAUB0I2	FFFF B120$_H$	INTTAUB0I2	TAUB0 チャネル 2 割り込み	TAUB0	エッジ	1090$_H$	○	○	○	○	○			+240$_H$

表 7BC.6　EI レベルマスカブル割り込み要因（RH850/F1KM-S4）

割り込み			割り込み要求				例外要因コード	100 Pin	144 Pin	176 Pin	233 Pin	272 Pin	ハンドラアドレス（オフセット）注8		
チャネル番号注1	制御レジスタ		名称	発生要因	ユニット	検出タイプ注2							直接分岐方式		テーブル参照方式注5
	名称	アドレス											RINT＝0	RINT＝1	
145	ICTAUB0I3	FFFF B122$_H$	INTTAUB0I3	TAUB0 チャネル 3 割り込み	TAUB0	エッジ	1091$_H$	○	○	○	○	○	注3	注4	+244$_H$
146	ICTAUB0I4	FFFF B124$_H$	INTTAUB0I4	TAUB0 チャネル 4 割り込み	TAUB0	エッジ	1092$_H$	○	○	○	○	○			+248$_H$
147	ICTAUB0I5	FFFF B126$_H$	INTTAUB0I5	TAUB0 チャネル 5 割り込み	TAUB0	エッジ	1093$_H$	○	○	○	○	○			+24C$_H$
148	ICTAUB0I6	FFFF B128$_H$	INTTAUB0I6	TAUB0 チャネル 6 割り込み	TAUB0	エッジ	1094$_H$	○	○	○	○	○			+250$_H$
149	ICTAUB0I7	FFFF B12A$_H$	INTTAUB0I7	TAUB0 チャネル 7 割り込み	TAUB0	エッジ	1095$_H$	○	○	○	○	○			+254$_H$
150	ICTAUB0I8	FFFF B12C$_H$	INTTAUB0I8	TAUB0 チャネル 8 割り込み	TAUB0	エッジ	1096$_H$	○	○	○	○	○			+258$_H$
151	ICTAUB0I9	FFFF B12E$_H$	INTTAUB0I9	TAUB0 チャネル 9 割り込み	TAUB0	エッジ	1097$_H$	○	○	○	○	○			+25C$_H$
152	ICTAUB0I10	FFFF B130$_H$	INTTAUB0I10	TAUB0 チャネル 10 割り込み	TAUB0	エッジ	1098$_H$	○	○	○	○	○			+260$_H$
153	ICTAUB0I11	FFFF B132$_H$	INTTAUB0I11	TAUB0 チャネル 11 割り込み	TAUB0	エッジ	1099$_H$	○	○	○	○	○			+264$_H$
154	ICTAUB0I12	FFFF B134$_H$	INTTAUB0I12	TAUB0 チャネル 12 割り込み	TAUB0	エッジ	109A$_H$	○	○	○	○	○			+268$_H$
155	ICTAUB0I13	FFFF B136$_H$	INTTAUB0I13	TAUB0 チャネル 13 割り込み	TAUB0	エッジ	109B$_H$	○	○	○	○	○			+26C$_H$
156	ICTAUB0I14	FFFF B138$_H$	INTTAUB0I14	TAUB0 チャネル 14 割り込み	TAUB0	エッジ	109C$_H$	○	○	○	○	○			+270$_H$
157	ICTAUB0I15	FFFF B13A$_H$	INTTAUB0I15	TAUB0 チャネル 15 割り込み	TAUB0	エッジ	109D$_H$	○	○	○	○	○			+274$_H$
158	ICCSIH3IC	FFFF B13C$_H$	INTCSIH3IC 注6	CSIH3 通信ステータス割り込み	CSIH3	エッジ	109E$_H$	○	○	○	○	○			+278$_H$
	ICTAUD0I2_2		INTTAUD0I2_2 注6	TAUD0 チャネル 2 割り込み	TAUD0	エッジ									
159	ICCSIH3IR	FFFF B13E$_H$	INTCSIH3IR 注6	CSIH3 受信ステータス割り込み	CSIH3	エッジ	109F$_H$	○	○	○	○	○			+27C$_H$
	ICTAUD0I10_2		INTTAUD0I10_2 注6	TAUD0 チャネル 10 割り込み	TAUD0	エッジ									
160	ICCSIH3IRE	FFFF B140$_H$	INTCSIH3IRE 注6	CSIH3 通信エラー割り込み	CSIH3	エッジ	10A0$_H$	○	○	○	○	○			+280$_H$
	ICTAUD0I12_2		INTTAUD0I12_2 注6	TAUD0 チャネル 12 割り込み	TAUD0	エッジ									
161	ICCSIH3IJC	FFFF B142$_H$	INTCSIH3IJC 注6	CSIH3 ジョブ完了割り込み	CSIH3	エッジ	10A1$_H$	○	○	○	○	○			+284$_H$
	ICTAUD0I14_2		INTTAUD0I14_2 注6	TAUD0 チャネル 14 割り込み	TAUD0	エッジ									
162	ICRLIN22	FFFF B144$_H$	INTRLIN22	RLIN22 割り込み	RLIN240	エッジ	10A2$_H$	○	○	○	○	○			+288$_H$
163	ICRLIN23	FFFF B146$_H$	INTRLIN23	RLIN23 割り込み	RLIN240	エッジ	10A3$_H$	—	○	○	○	○			+28C$_H$
164	ICRLIN32	FFFF B148$_H$	INTRLIN32	RLIN32 割り込み	RLIN32	エッジ	10A4$_H$	○	○	○	○	○			+290$_H$
165	ICRLIN32UR0	FFFF B14A$_H$	INTRLIN32UR0	RLIN32 送信割り込み	RLIN32	エッジ	10A5$_H$	○	○	○	○	○			+294$_H$
166	ICRLIN32UR1	FFFF B14C$_H$	INTRLIN32UR1	RLIN32 受信完了割り込み	RLIN32	エッジ	10A6$_H$	○	○	○	○	○			+298$_H$
167	ICRLIN32UR2	FFFF B14E$_H$	INTRLIN32UR2	RLIN32 ステータス割り込み	RLIN32	エッジ	10A7$_H$	○	○	○	○	○			+29C$_H$
168	ICTAUJ1I0	FFFF B150$_H$	INTTAUJ1I0	TAUJ1 チャネル 0 割り込み	TAUJ1	エッジ	10A8$_H$	○	○	○	○	○			+2A0$_H$
169	ICTAUJ1I1	FFFF B152$_H$	INTTAUJ1I1	TAUJ1 チャネル 1 割り込み	TAUJ1	エッジ	10A9$_H$	○	○	○	○	○			+2A4$_H$
170	ICTAUJ1I2	FFFF B154$_H$	INTTAUJ1I2	TAUJ1 チャネル 2 割り込み	TAUJ1	エッジ	10AA$_H$	○	○	○	○	○			+2A8$_H$
171	ICTAUJ1I3	FFFF B156$_H$	INTTAUJ1I3	TAUJ1 チャネル 3 割り込み	TAUJ1	エッジ	10AB$_H$	○	○	○	○	○			+2AC$_H$
172	リザーブ	FFFF B158$_H$					10AC$_H$	—	—	—	—	—			+2B0$_H$
173	ICFLXA0FDA	FFFF B15A$_H$	INTFLXA0FDA	FIFO 転送割り込み	FLXA0	レベル	10AD$_H$	○	○	○	○	○			+2B4$_H$
174	ICFLXA0FW	FFFF B15C$_H$	INTFLXA0FW	FIFO 転送警告割り込み	FLXA0	レベル	10AE$_H$	○	○	○	○	○			+2B8$_H$
175	ICFLXA0IQE	FFFF B15E$_H$	INTFLXA0IQE	入力キューエンプティ割り込み	FLXA0	レベル	10AF$_H$	○	○	○	○	○			+2BC$_H$
176	ICFLXA0IQF	FFFF B160$_H$	INTFLXA0IQF	入力キューフル割り込み	FLXA0	レベル	10B0$_H$	○	○	○	○	○			+2C0$_H$
177	ICFLXA0OT	FFFF B162$_H$	INTFLXA0OT	出力転送終了割り込み	FLXA0	レベル	10B1$_H$	○	○	○	○	○			+2C4$_H$

表 7BC.6　EI レベルマスカブル割り込み要因 (RH850/F1KM-S4)

割り込み			割り込み要求				例外要因コード	100 Pin	144 Pin	176 Pin	233 Pin	272 Pin	ハンドラアドレス（オフセット）注8		
チャネル番号注1	制御レジスタ		名称	発生要因	ユニット	検出タイプ注2							直接分岐方式		テーブル参照方式注5
	名称	アドレス											RINT＝0	RINT＝1	
178	ICFLXA0OW	FFFF B164$_H$	INTFLXA0OW	出力転送警告割り込み	FLXA0	レベル	10B2$_H$	○	○	○	○	○	注3	注4	+2C8$_H$
179	ICFLXA0LINE0	FFFF B166$_H$	INTFLXA0LINE0	FlexRay0 割り込み	FLXA0	レベル	10B3$_H$	○	○	○	○	○			+2CC$_H$
180	ICFLXA0LINE1	FFFF B168$_H$	INTFLXA0LINE1	FlexRay1 割り込み	FLXA0	レベル	10B4$_H$	○	○	○	○	○			+2D0$_H$
181	ICFLXA0TIM0	FFFF B16A$_H$	INTFLXA0TIM0	タイマ 0 割り込み	FLXA0	レベル	10B5$_H$	○	○	○	○	○			+2D4$_H$
182	ICFLXA0TIM1	FFFF B16C$_H$	INTFLXA0TIM1	タイマ 1 割り込み	FLXA0	レベル	10B6$_H$	○	○	○	○	○			+2D8$_H$
183	ICFLXA0TIM2	FFFF B16E$_H$	INTFLXA0TIM2	タイマ 2 割り込み	FLXA0	レベル	10B7$_H$	○	○	○	○	○			+2DC$_H$
184	リザーブ	FFFF B170$_H$					10B8$_H$	—	—	—	—	—			+2E0$_H$
185	リザーブ	FFFF B172$_H$					10B9$_H$	—	—	—	—	—			+2E4$_H$
186	リザーブ	FFFF B174$_H$					10BA$_H$	—	—	—	—	—			+2E8$_H$
187	リザーブ	FFFF B176$_H$					10BB$_H$	—	—	—	—	—			+2EC$_H$
188	リザーブ	FFFF B178$_H$					10BC$_H$	—	—	—	—	—			+2F0$_H$
189	リザーブ	FFFF B17A$_H$					10BD$_H$	—	—	—	—	—			+2F4$_H$
190	リザーブ	FFFF B17C$_H$					10BE$_H$	—	—	—	—	—			+2F8$_H$
191	リザーブ	FFFF B17E$_H$					10BF$_H$	—	—	—	—	—			+2FC$_H$
192	リザーブ	FFFF B180$_H$					10C0$_H$	—	—	—	—	—			+300$_H$
193	リザーブ	FFFF B182$_H$					10C1$_H$	—	—	—	—	—			+304$_H$
194	リザーブ	FFFF B184$_H$					10C2$_H$	—	—	—	—	—			+308$_H$
195	リザーブ	FFFF B186$_H$					10C3$_H$	—	—	—	—	—			+30C$_H$
196	リザーブ	FFFF B188$_H$					10C4$_H$	—	—	—	—	—			+310$_H$
197	リザーブ	FFFF B18A$_H$					10C5$_H$	—	—	—	—	—			+314$_H$
198	リザーブ	FFFF B18C$_H$					10C6$_H$	—	—	—	—	—			+318$_H$
199	リザーブ	FFFF B18E$_H$					10C7$_H$	—	—	—	—	—			+31C$_H$
200	リザーブ	FFFF B190$_H$					10C8$_H$	—	—	—	—	—			+320$_H$
201	リザーブ	FFFF B192$_H$					10C9$_H$	—	—	—	—	—			+324$_H$
202	リザーブ	FFFF B194$_H$					10CA$_H$	—	—	—	—	—			+328$_H$
203	リザーブ	FFFF B196$_H$					10CB$_H$	—	—	—	—	—			+32C$_H$
204	リザーブ	FFFF B198$_H$					10CC$_H$	—	—	—	—	—			+330$_H$
205	ICP9	FFFF B19A$_H$	INTP9	外部割り込み	Port	エッジ	10CD$_H$	○	○	○	○	○			+334$_H$
206	ICP13	FFFF B19C$_H$	INTP13	外部割り込み	Port	エッジ	10CE$_H$	○	○	○	○	○			+338$_H$
207	ICP14	FFFF B19E$_H$	INTP14	外部割り込み	Port	エッジ	10CF$_H$	—	○	○	○	○			+33C$_H$
208	ICP15	FFFF B1A0$_H$	INTP15	外部割り込み	Port	エッジ	10D0$_H$	—	○	○	○	○			+340$_H$
209	ICRTCA01S	FFFF B1A2$_H$	INTRTCA01S	RTCA0 1 秒インターバル割り込み	RTCA0	エッジ	10D1$_H$	○	○	○	○	○			+344$_H$
210	ICRTCA0AL	FFFF B1A4$_H$	INTRTCA0AL	RTCA0 アラーム割り込み	RTCA0	エッジ	10D2$_H$	○	○	○	○	○			+348$_H$
211	ICRTCA0R	FFFF B1A6$_H$	INTRTCA0R	RTCA0 定周期割り込み	RTCA0	エッジ	10D3$_H$	○	○	○	○	○			+34C$_H$
212	ICADCA1ERR	FFFF B1A8$_H$	INTADCA1ERR	ADCA1 エラー割り込み	ADCA1	エッジ	10D4$_H$	—	○	○	○	○			+350$_H$
213	ICADCA1I0	FFFF B1AA$_H$	INTADCA1I0	ADCA1 スキャングループ 1（SG1）終了割り込み	ADCA1	エッジ	10D5$_H$	—	○	○	○	○			+354$_H$
214	ICADCA1I1	FFFF B1AC$_H$	INTADCA1I1	ADCA1 スキャングループ 2（SG2）終了割り込み	ADCA1	エッジ	10D6$_H$	—	○	○	○	○			+358$_H$
215	ICADCA1I2	FFFF B1AE$_H$	INTADCA1I2	ADCA1 スキャングループ 3（SG3）終了割り込み	ADCA1	エッジ	10D7$_H$	—	○	○	○	○			+35C$_H$
216	リザーブ	FFFF B1B0$_H$					10D8$_H$	—	—	—	—	—			+360$_H$
217	ICRCAN2ERR	FFFF B1B2$_H$	INTRCAN2ERR	CAN2 エラー割り込み	RCFDC0	レベル	10D9$_H$	○	○	○	○	○			+364$_H$
218	ICRCAN2REC	FFFF B1B4$_H$	INTRCAN2REC	CAN2 送受信 FIFO 受信完了割り込み	RCFDC0	レベル	10DA$_H$	○	○	○	○	○			+368$_H$

表 7BC.6　EI レベルマスカブル割り込み要因 (RH850/F1KM-S4)

割り込み			割り込み要求				例外要因コード	100 Pin	144 Pin	176 Pin	233 Pin	272 Pin	ハンドラアドレス（オフセット）注8		
チャネル番号注1	制御レジスタ 名称	制御レジスタ アドレス	名称	発生要因	ユニット	検出タイプ注2							直接分岐方式 RINT＝0	直接分岐方式 RINT＝1	テーブル参照方式注5
219	ICRCAN2TRX	FFFF B1B6H	INTRCAN2TRX	CAN2 送信割り込み	RCFDC0	レベル	10DBH	○	○	○	○	○	注3	注4	+36CH
220	ICRCAN3ERR	FFFF B1B8H	INTRCAN3ERR	CAN3 エラー割り込み	RCFDC0	レベル	10DCH	○	○	○	○	○			+370H
221	ICRCAN3REC	FFFF B1BAH	INTRCAN3REC	CAN3 送受信 FIFO 受信完了割り込み	RCFDC0	レベル	10DDH	○	○	○	○	○			+374H
222	ICRCAN3TRX	FFFF B1BCH	INTRCAN3TRX	CAN3 送信割り込み	RCFDC0	レベル	10DEH	○	○	○	○	○			+378H
223	ICCSIG1IC	FFFF B1BEH	INTCSIG1IC	CSIG1 通信ステータス割り込み	CSIG1	エッジ	10DFH	—	○	○	○	○			+37CH
224	ICCSIG1IR	FFFF B1C0H	INTCSIG1IR	CSIG1 受信ステータス割り込み	CSIG1	エッジ	10E0H	—	○	○	○	○			+380H
225	ICCSIG1IRE	FFFF B1C2H	INTCSIG1IRE	CSIG1 通信エラー割り込み	CSIG1	エッジ	10E1H	—	○	○	○	○			+384H
226	ICRLIN24	FFFF B1C4H	INTRLIN24	RLIN24 割り込み	RLIN241	エッジ	10E2H	—	○	○	○	○			+388H
227	ICRLIN25	FFFF B1C6H	INTRLIN25	RLIN25 割り込み	RLIN241	エッジ	10E3H	—	○	○	○	○			+38CH
228	ICRLIN33	FFFF B1C8H	INTRLIN33	RLIN33 割り込み	RLIN33	エッジ	10E4H	—	○	○	○	○			+390H
229	ICRLIN33UR0	FFFF B1CAH	INTRLIN33UR0	RLIN33 送信割り込み	RLIN33	エッジ	10E5H	—	○	○	○	○			+394H
230	ICRLIN33UR1	FFFF B1CCH	INTRLIN33UR1	RLIN33 受信完了割り込み	RLIN33	エッジ	10E6H	—	○	○	○	○			+398H
231	ICRLIN33UR2	FFFF B1CEH	INTRLIN33UR2	RLIN33 ステータス割り込み	RLIN33	エッジ	10E7H	—	○	○	○	○			+39CH
232	ICRLIN34	FFFF B1D0H	INTRLIN34	RLIN34 割り込み	RLIN34	エッジ	10E8H	—	○	○	○	○			+3A0H
233	ICRLIN34UR0	FFFF B1D2H	INTRLIN34UR0	RLIN34 送信割り込み	RLIN34	エッジ	10E9H	—	○	○	○	○			+3A4H
234	ICRLIN34UR1	FFFF B1D4H	INTRLIN34UR1	RLIN34 受信完了割り込み	RLIN34	エッジ	10EAH	—	○	○	○	○			+3A8H
235	ICRLIN34UR2	FFFF B1D6H	INTRLIN34UR2	RLIN34 ステータス割り込み	RLIN34	エッジ	10EBH	—	○	○	○	○			+3ACH
236	ICRLIN35	FFFF B1D8H	INTRLIN35	RLIN35 割り込み	RLIN35	エッジ	10ECH	—	○	○	○	○			+3B0H
237	ICRLIN35UR0	FFFF B1DAH	INTRLIN35UR0	RLIN35 送信割り込み	RLIN35	エッジ	10EDH	—	○	○	○	○			+3B4H
238	ICRLIN35UR1	FFFF B1DCH	INTRLIN35UR1	RLIN35 受信完了割り込み	RLIN35	エッジ	10EEH	—	○	○	○	○			+3B8H
239	ICRLIN35UR2	FFFF B1DEH	INTRLIN35UR2	RLIN35 ステータス割り込み	RLIN35	エッジ	10EFH	—	○	○	○	○			+3BCH
240	ICRIIC1TI	FFFF B1E0H	INTRIIC1TI	RIIC1 送信データエンプティ割り込み	RIIC1	エッジ	10F0H	○	○	○	○	○			+3C0H
241	ICRIIC1EE	FFFF B1E2H	INTRIIC1EE	RIIC1 受信エラー／イベント割り込み	RIIC1	レベル	10F1H	○	○	○	○	○			+3C4H
242	ICRIIC1RI	FFFF B1E4H	INTRIIC1RI	RIIC1 受信完了割り込み	RIIC1	エッジ	10F2H	○	○	○	○	○			+3C8H
243	ICRIIC1TEI	FFFF B1E6H	INTRIIC1TEI	RIIC1 送信完了割り込み	RIIC1	レベル	10F3H	○	○	○	○	○			+3CCH
244	リザーブ	FFFF B1E8H					10F4H	—	—	—	—	—			+3D0H
245	リザーブ	FFFF B1EAH					10F5H	—	—	—	—	—			+3D4H
246	リザーブ	FFFF B1ECH					10F6H	—	—	—	—	—			+3D8H
247	リザーブ	FFFF B1EEH					10F7H	—	—	—	—	—			+3DCH
248	リザーブ	FFFF B1F0H					10F8H	—	—	—	—	—			+3E0H
249	リザーブ	FFFF B1F2H					10F9H	—	—	—	—	—			+3E4H
250	リザーブ	FFFF B1F4H					10FAH	—	—	—	—	—			+3E8H
251	リザーブ	FFFF B1F6H					10FBH	—	—	—	—	—			+3ECH
252	リザーブ	FFFF B1F8H					10FCH	—	—	—	—	—			+3F0H
253	リザーブ	FFFF B1FAH					10FDH	—	—	—	—	—			+3F4H
254	リザーブ	FFFF B1FCH					10FEH	—	—	—	—	—			+3F8H
255	リザーブ	FFFF B1FEH					10FFH	—	—	—	—	—			+3FCH
256	ICTAUB1I0	FFFF B200H	INTTAUB1I0	TAUB1 チャネル 0 割り込み	TAUB1	エッジ	1100H	—	—	○	○	○			+400H
257	ICTAUB1I1	FFFF B202H	INTTAUB1I1	TAUB1 チャネル 1 割り込み	TAUB1	エッジ	1101H	—	—	○	○	○			+404H
258	ICTAUB1I2	FFFF B204H	INTTAUB1I2	TAUB1 チャネル 2 割り込み	TAUB1	エッジ	1102H	—	—	○	○	○			+408H
259	ICTAUB1I3	FFFF B206H	INTTAUB1I3	TAUB1 チャネル 3 割り込み	TAUB1	エッジ	1103H	—	—	○	○	○			+40CH
260	ICTAUB1I4	FFFF B208H	INTTAUB1I4	TAUB1 チャネル 4 割り込み	TAUB1	エッジ	1104H	—	—	○	○	○			+410H
261	ICTAUB1I5	FFFF B20AH	INTTAUB1I5	TAUB1 チャネル 5 割り込み	TAUB1	エッジ	1105H	—	—	○	○	○			+414H

表 7BC.6　EI レベルマスカブル割り込み要因（RH850/F1KM-S4）

割り込み			割り込み要求				例外要因コード	100 Pin	144 Pin	176 Pin	233 Pin	272 Pin	ハンドラアドレス（オフセット）注8		
チャネル番号注1	制御レジスタ		名称	発生要因	ユニット	検出タイプ注2							直接分岐方式		テーブル参照方式注5
	名称	アドレス											RINT=0	RINT=1	
262	ICTAUB1I6	FFFF B20C$_H$	INTTAUB1I6	TAUB1 チャネル 6 割り込み	TAUB1	エッジ	1106$_H$	—	—	○	○	○	注3	注4	+418$_H$
263	ICTAUB1I7	FFFF B20E$_H$	INTTAUB1I7	TAUB1 チャネル 7 割り込み	TAUB1	エッジ	1107$_H$	—	—	○	○	○			+41C$_H$
264	ICTAUB1I8	FFFF B210$_H$	INTTAUB1I8	TAUB1 チャネル 8 割り込み	TAUB1	エッジ	1108$_H$	—	—	○	○	○			+420$_H$
265	ICTAUB1I9	FFFF B212$_H$	INTTAUB1I9	TAUB1 チャネル 9 割り込み	TAUB1	エッジ	1109$_H$	—	—	○	○	○			+424$_H$
266	ICTAUB1I10	FFFF B214$_H$	INTTAUB1I10	TAUB1 チャネル 10 割り込み	TAUB1	エッジ	110A$_H$	—	—	○	○	○			+428$_H$
267	ICTAUB1I11	FFFF B216$_H$	INTTAUB1I11	TAUB1 チャネル 11 割り込み	TAUB1	エッジ	110B$_H$	—	—	○	○	○			+42C$_H$
268	ICTAUB1I12	FFFF B218$_H$	INTTAUB1I12	TAUB1 チャネル 12 割り込み	TAUB1	エッジ	110C$_H$	—	—	○	○	○			+430$_H$
269	ICTAUB1I13	FFFF B21A$_H$	INTTAUB1I13	TAUB1 チャネル 13 割り込み	TAUB1	エッジ	110D$_H$	—	—	○	○	○			+434$_H$
270	ICTAUB1I14	FFFF B21C$_H$	INTTAUB1I14	TAUB1 チャネル 14 割り込み	TAUB1	エッジ	110E$_H$	—	—	○	○	○			+438$_H$
271	ICTAUB1I15	FFFF B21E$_H$	INTTAUB1I15	TAUB1 チャネル 15 割り込み	TAUB1	エッジ	110F$_H$	—	—	○	○	○			+43C$_H$
272	ICRCAN4ERR	FFFF B220$_H$	INTRCAN4ERR	CAN4 エラー割り込み	RCFDC0	レベル	1110$_H$	○	○	○	○	○			+440$_H$
273	ICRCAN4REC	FFFF B222$_H$	INTRCAN4REC	CAN4 送受信 FIFO 受信完了割り込み	RCFDC0	レベル	1111$_H$	○	○	○	○	○			+444$_H$
274	ICRCAN4TRX	FFFF B224$_H$	INTRCAN4TRX	CAN4 送信割り込み	RCFDC0	レベル	1112$_H$	○	○	○	○	○			+448$_H$
275	ICRLIN26	FFFF B226$_H$	INTRLIN26	RLIN26 割り込み	RLIN241	エッジ	1113$_H$	—	—	○	○	○			+44C$_H$
276	ICRLIN27	FFFF B228$_H$	INTRLIN27	RLIN27 割り込み	RLIN241	エッジ	1114$_H$	—	—	○	○	○			+450$_H$
277	ICTAUJ2I0	FFFF B22A$_H$	INTTAUJ2I0	TAUJ2 チャネル 0 割り込み	TAUJ2	エッジ	1115$_H$	○	○	○	○	○			+454$_H$
278	ICTAUJ2I1	FFFF B22C$_H$	INTTAUJ2I1	TAUJ2 チャネル 1 割り込み	TAUJ2	エッジ	1116$_H$	○	○	○	○	○			+458$_H$
279	ICTAUJ2I2	FFFF B22E$_H$	INTTAUJ2I2	TAUJ2 チャネル 2 割り込み	TAUJ2	エッジ	1117$_H$	○	○	○	○	○			+45C$_H$
280	ICTAUJ2I3	FFFF B230$_H$	INTTAUJ2I3	TAUJ2 チャネル 3 割り込み	TAUJ2	エッジ	1118$_H$	○	○	○	○	○			+460$_H$
281	ICTAUJ3I0	FFFF B232$_H$	INTTAUJ3I0	TAUJ3 チャネル 0 割り込み	TAUJ3	エッジ	1119$_H$	○	○	○	○	○			+464$_H$
282	ICTAUJ3I1	FFFF B234$_H$	INTTAUJ3I1	TAUJ3 チャネル 1 割り込み	TAUJ3	エッジ	111A$_H$	○	○	○	○	○			+468$_H$
283	ICTAUJ3I2	FFFF B236$_H$	INTTAUJ3I2	TAUJ3 チャネル 2 割り込み	TAUJ3	エッジ	111B$_H$	○	○	○	○	○			+46C$_H$
284	ICTAUJ3I3	FFFF B238$_H$	INTTAUJ3I3	TAUJ3 チャネル 3 割り込み	TAUJ3	エッジ	111C$_H$	○	○	○	○	○			+470$_H$
285	ICRLIN28	FFFF B23A$_H$	INTRLIN28	RLIN28 割り込み	RLIN242	エッジ	111D$_H$	—	—	○	○	○			+474$_H$
286	ICRLIN29	FFFF B23C$_H$	INTRLIN29	RLIN29 割り込み	RLIN242	エッジ	111E$_H$	—	—	○	○	○			+478$_H$
287	ICRCAN5ERR	FFFF B23E$_H$	INTRCAN5ERR	CAN5 エラー割り込み	RCFDC0	レベル	111F$_H$	○	○	○	○	○			+47C$_H$
288	ICRCAN5REC	FFFF B240$_H$	INTRCAN5REC	CAN5 送受信 FIFO 受信完了割り込み	RCFDC0	レベル	1120$_H$	○	○	○	○	○			+480$_H$
289	ICRCAN5TRX	FFFF B242$_H$	INTRCAN5TRX	CAN5 送信割り込み	RCFDC0	レベル	1121$_H$	○	○	○	○	○			+484$_H$
290	リザーブ	FFFF B244$_H$					1122$_H$	—	—	—	—	—			+488$_H$
291	リザーブ	FFFF B246$_H$					1123$_H$	—	—	—	—	—			+48C$_H$
292	リザーブ	FFFF B248$_H$					1124$_H$	—	—	—	—	—			+490$_H$
293	リザーブ	FFFF B24A$_H$					1125$_H$	—	—	—	—	—			+494$_H$
294	リザーブ	FFFF B24C$_H$					1126$_H$	—	—	—	—	—			+498$_H$
295	リザーブ	FFFF B24E$_H$					1127$_H$	—	—	—	—	—			+49C$_H$
296	リザーブ	FFFF B250$_H$					1128$_H$	—	—	—	—	—			+4A0$_H$
297	リザーブ	FFFF B252$_H$					1129$_H$	—	—	—	—	—			+4A4$_H$
298	ICDMA16	FFFF B254$_H$	INTDMA16	DMA20 転送完了	PDMA0	エッジ	112A$_H$	○	○	○	○	○			+4A8$_H$
299	ICDMA17	FFFF B256$_H$	INTDMA17	DMA21 転送完了	PDMA0	エッジ	112B$_H$	○	○	○	○	○			+4AC$_H$
300	ICDMA18	FFFF B258$_H$	INTDMA18	DMA22 転送完了	PDMA0	エッジ	112C$_H$	○	○	○	○	○			+4B0$_H$
301	ICDMA19	FFFF B25A$_H$	INTDMA19	DMA23 転送完了	PDMA0	エッジ	112D$_H$	○	○	○	○	○			+4B4$_H$
302	ICDMA20	FFFF B25C$_H$	INTDMA20	DMA24 転送完了	PDMA0	エッジ	112E$_H$	○	○	○	○	○			+4B8$_H$
303	ICDMA21	FFFF B25E$_H$	INTDMA21	DMA25 転送完了	PDMA0	エッジ	112F$_H$	○	○	○	○	○			+4BC$_H$
304	ICDMA22	FFFF B260$_H$	INTDMA22	DMA26 転送完了	PDMA0	エッジ	1130$_H$	○	○	○	○	○			+4C0$_H$

表 7BC.6　EI レベルマスカブル割り込み要因 (RH850/F1KM-S4)

割り込み			割り込み要求				例外要因コード	100 Pin	144 Pin	176 Pin	233 Pin	272 Pin	ハンドラアドレス（オフセット）[注8]		
チャネル番号[注1]	制御レジスタ 名称	制御レジスタ アドレス	名称	発生要因	ユニット	検出タイプ[注2]							直接分岐方式 RINT＝0	直接分岐方式 RINT＝1	テーブル参照方式[注5]
305	ICDMA23	FFFF B262$_H$	INTDMA23	DMA27 転送完了	PDMA0	エッジ	1131$_H$	○	○	○	○	○	注3	注4	+4C4$_H$
306	ICDMA24	FFFF B264$_H$	INTDMA24	DMA30 転送完了	PDMA0	エッジ	1132$_H$	○	○	○	○	○			+4C8$_H$
307	ICDMA25	FFFF B266$_H$	INTDMA25	DMA31 転送完了	PDMA0	エッジ	1133$_H$	○	○	○	○	○			+4CC$_H$
308	ICDMA26	FFFF B268$_H$	INTDMA26	DMA32 転送完了	PDMA0	エッジ	1134$_H$	○	○	○	○	○			+4D0$_H$
309	ICDMA27	FFFF B26A$_H$	INTDMA27	DMA33 転送完了	PDMA0	エッジ	1135$_H$	○	○	○	○	○			+4D4$_H$
310	ICDMA28	FFFF B26C$_H$	INTDMA28	DMA34 転送完了	PDMA0	エッジ	1136$_H$	○	○	○	○	○			+4D8$_H$
311	ICDMA29	FFFF B26E$_H$	INTDMA29	DMA35 転送完了	PDMA0	エッジ	1137$_H$	○	○	○	○	○			+4DC$_H$
312	ICDMA30	FFFF B270$_H$	INTDMA30	DMA36 転送完了	PDMA0	エッジ	1138$_H$	○	○	○	○	○			+4E0$_H$
313	ICDMA31	FFFF B272$_H$	INTDMA31	DMA37 転送完了	PDMA0	エッジ	1139$_H$	○	○	○	○	○			+4E4$_H$
314	リザーブ	FFFF B274$_H$					113A$_H$	—	—	—	—	—			+4E8$_H$
315	ICETNB0DATA	FFFF B276$_H$	INTETNB0DATA	データ関連割り込み	ETNB0	レベル	113B$_H$	—	—	○	○	○			+4EC$_H$
316	ICETNB0ERR	FFFF B278$_H$	INTETNB0ERR	エラー関連割り込み	ETNB0	レベル	113C$_H$	—	—	○	○	○			+4F0$_H$
317	ICETNB0MNG	FFFF B27A$_H$	INTETNB0MNG	マネジメント関連割り込み	ETNB0	レベル	113D$_H$	—	—	○	○	○			+4F4$_H$
318	ICETNB0MAC	FFFF B27C$_H$	INTETNB0MAC	MAC 割り込み	ETNB0	レベル	113E$_H$	—	—	○	○	○			+4F8$_H$
319	リザーブ	FFFF B27E$_H$					113F$_H$	—	—	—	—	—			+4FC$_H$
320	リザーブ	FFFF B280$_H$					1140$_H$	—	—	—	—	—			+500$_H$
321	ICRCAN6ERR	FFFF B282$_H$	INTRCAN6ERR	CAN6 エラー割り込み	RCFDC0	レベル	1141$_H$	○	○	○	○	○			+504$_H$
322	ICRCAN6REC	FFFF B284$_H$	INTRCAN6REC	CAN6 送受信 FIFO 受信完了割り込み	RCFDC0	レベル	1142$_H$	○	○	○	○	○			+508$_H$
323	ICRCAN6TRX	FFFF B286$_H$	INTRCAN6TRX	CAN6 送信割り込み	RCFDC0	レベル	1143$_H$	○	○	○	○	○			+50C$_H$
324	ICRLIN210	FFFF B288$_H$	INTRLIN210	RLIN210 割り込み	RLIN242	エッジ	1144$_H$	—	—	—	○	○			+510$_H$
325	ICRLIN211	FFFF B28A$_H$	INTRLIN211	RLIN211 割り込み	RLIN242	エッジ	1145$_H$	—	—	—	○	○			+514$_H$
326	ICCSIG2IC	FFFF B28C$_H$	INTCSIG2IC	CSIG2 通信ステータス割り込み	CSIG2	エッジ	1146$_H$	—	—	○	○	○			+518$_H$
327	ICCSIG2IR	FFFF B28E$_H$	INTCSIG2IR	CSIG2 受信ステータス割り込み	CSIG2	エッジ	1147$_H$	—	—	○	○	○			+51C$_H$
328	ICCSIG2IRE	FFFF B290$_H$	INTCSIG2IRE	CSIG2 通信エラー割り込み	CSIG2	エッジ	1148$_H$	—	—	○	○	○			+520$_H$
329	ICCSIG3IC	FFFF B292$_H$	INTCSIG3IC	CSIG3 通信ステータス割り込み	CSIG3	エッジ	1149$_H$	—	—	○	○	○			+524$_H$
330	ICCSIG3IR	FFFF B294$_H$	INTCSIG3IR	CSIG3 受信ステータス割り込み	CSIG3	エッジ	114A$_H$	—	—	○	○	○			+528$_H$
331	ICCSIG3IRE	FFFF B296$_H$	INTCSIG3IRE	CSIG3 通信エラー割り込み	CSIG3	エッジ	114B$_H$	—	—	○	○	○			+52C$_H$
332	ICRCAN7ERR	FFFF B298$_H$	INTRCAN7ERR	CAN7 エラー割り込み	RCFDC0	レベル	114C$_H$	○	○	○	○	○			+530$_H$
333	ICRCAN7REC	FFFF B29A$_H$	INTRCAN7REC	CAN7 送受信 FIFO 受信完了割り込み	RCFDC0	レベル	114D$_H$	○	○	○	○	○			+534$_H$
334	ICRCAN7TRX	FFFF B29C$_H$	INTRCAN7TRX	CAN7 送信割り込み	RCFDC0	レベル	114E$_H$	○	○	○	○	○			+538$_H$
335	リザーブ	FFFF B29E$_H$					114F$_H$	—	—	—	—	—			+53C$_H$
336	リザーブ	FFFF B2A0$_H$					1150$_H$	—	—	—	—	—			+540$_H$
337	リザーブ	FFFF B2A2$_H$					1151$_H$	—	—	—	—	—			+544$_H$
338	リザーブ	FFFF B2A4$_H$					1152$_H$	—	—	—	—	—			+548$_H$
339	リザーブ	FFFF B2A6$_H$					1153$_H$	—	—	—	—	—			+54C$_H$
340	リザーブ	FFFF B2A8$_H$					1154$_H$	—	—	—	—	—			+550$_H$
341	リザーブ	FFFF B2AA$_H$					1155$_H$	—	—	—	—	—			+554$_H$
342	リザーブ	FFFF B2AC$_H$					1156$_H$	—	—	—	—	—			+558$_H$
343	リザーブ	FFFF B2AE$_H$					1157$_H$	—	—	—	—	—			+55C$_H$
344	リザーブ	FFFF B2B0$_H$					1158$_H$	—	—	—	—	—			+560$_H$
345	リザーブ	FFFF B2B2$_H$					1159$_H$	—	—	—	—	—			+564$_H$
346	リザーブ	FFFF B2B4$_H$					115A$_H$	—	—	—	—	—			+568$_H$
347	ICSENT0SI	FFFF B2B6$_H$	INTSENT0SI	RSENT0 ステータス割り込み	RSENT0	レベル	115B$_H$	—	○	○	○	○			+56C$_H$
348	ICSENT0RI	FFFF B2B8$_H$	INTSENT0RI	RSENT0 受信割り込み	RSENT0	エッジ	115C$_H$	—	○	○	○	○			+570$_H$
349	ICSENT1SI	FFFF B2BA$_H$	INTSENT1SI	RSENT1 ステータス割り込み	RSENT1	レベル	115D$_H$	○	○	○	○	○			+574$_H$
350	ICSENT1RI	FFFF B2BC$_H$	INTSENT1RI	RSENT1 受信割り込み	RSENT1	エッジ	115E$_H$	○	○	○	○	○			+578$_H$

表 7BC.6　EI レベルマスカブル割り込み要因 (RH850/F1KM-S4)

割り込み			割り込み要求				例外要因コード	100 Pin	144 Pin	176 Pin	233 Pin	272 Pin	ハンドラアドレス（オフセット）注8		
チャネル番号注1	制御レジスタ		名称	発生要因	ユニット	検出タイプ注2							直接分岐方式		テーブル参照方式注5
	名称	アドレス											RINT =0	RINT =1	
351	リザーブ	FFFF B2BE$_H$					115F$_H$	—	—	—	—	—	注3	注4	+57C$_H$
352	リザーブ	FFFF B2C0$_H$					1160$_H$	—	—	—	—	—			+580$_H$
353	リザーブ	FFFF B2C2$_H$					1161$_H$	—	—	—	—	—			+584$_H$
354	リザーブ	FFFF B2C4$_H$					1162$_H$	—	—	—	—	—			+588$_H$
355	リザーブ	FFFF B2C6$_H$					1163$_H$	—	—	—	—	—			+58C$_H$
356	ICDPE	FFFF B2C8$_H$	INTDPE	LPS0 デジタルポートエラー割り込み	LPS0	レベル	1164$_H$	○	○	○	○	○			+590$_H$
357	ICAPE	FFFF B2CA$_H$	INTAPE	LPS0 アナログポートエラー割り込み	LPS0	レベル	1165$_H$	○	○	○	○	○			+594$_H$
358	リザーブ	FFFF B2CC$_H$					1166$_H$	—	—	—	—	—			+598$_H$
359	リザーブ	FFFF B2CE$_H$					1167$_H$	—	—	—	—	—			+59C$_H$
360	ICRLIN36	FFFF B2D0$_H$	INTRLIN36	RLIN36 割り込み	RLIN36	エッジ	1168$_H$	—	—	○	○	○			+5A0$_H$
361	ICRLIN36UR0	FFFF B2D2$_H$	INTRLIN36UR0	RLIN36 送信割り込み	RLIN36	エッジ	1169$_H$	—	—	○	○	○			+5A4$_H$
362	ICRLIN36UR1	FFFF B2D4$_H$	INTRLIN36UR1	RLIN36 受信完了割り込み	RLIN36	エッジ	116A$_H$	—	—	○	○	○			+5A8$_H$
363	ICRLIN36UR2	FFFF B2D6$_H$	INTRLIN36UR2	RLIN36 ステータス割り込み	RLIN36	エッジ	116B$_H$	—	—	○	○	○			+5AC$_H$
364	ICRLIN37	FFFF B2D8$_H$	INTRLIN37	RLIN37 割り込み	RLIN37	エッジ	116C$_H$	—	—	○	○	○			+5B0$_H$
365	ICRLIN37UR0	FFFF B2DA$_H$	INTRLIN37UR0	RLIN37 送信割り込み	RLIN37	エッジ	116D$_H$	—	—	○	○	○			+5B4$_H$
366	ICRLIN37UR1	FFFF B2DC$_H$	INTRLIN37UR1	RLIN37 受信完了割り込み	RLIN37	エッジ	116E$_H$	—	—	○	○	○			+5B8$_H$
367	ICRLIN37UR2	FFFF B2DE$_H$	INTRLIN37UR2	RLIN37 ステータス割り込み	RLIN37	エッジ	116F$_H$	—	—	○	○	○			+5BC$_H$
368	ICP16	FFFF B2E0$_H$	INTP16	外部割り込み	Port	エッジ	1170$_H$	—	○	○	○	○			+5C0$_H$
369	ICP17	FFFF B2E2$_H$	INTP17	外部割り込み	Port	エッジ	1171$_H$	—	○	○	○	○			+5C4$_H$
370	ICP18	FFFF B2E4$_H$	INTP18	外部割り込み	Port	エッジ	1172$_H$	—	○	○	○	○			+5C8$_H$
371	ICP19	FFFF B2E6$_H$	INTP19	外部割り込み	Port	エッジ	1173$_H$	—	○	○	○	○			+5CC$_H$
372	ICP20	FFFF B2E8$_H$	INTP20	外部割り込み	Port	エッジ	1174$_H$	—	○	○	○	○			+5D0$_H$
373	ICP21	FFFF B2EA$_H$	INTP21	外部割り込み	Port	エッジ	1175$_H$	—	○	○	○	○			+5D4$_H$
374	ICP22	FFFF B2EC$_H$	INTP22	外部割り込み	Port	エッジ	1176$_H$	—	○	○	○	○			+5D8$_H$
375	ICP23	FFFF B2EE$_H$	INTP23	外部割り込み	Port	エッジ	1177$_H$	—	○	○	○	○			+5DC$_H$
376	ICGRZF	FFFF B2F0$_H$	INTGRZF	GRZF 割り込み	GRZF	エッジ	1178$_H$	○	○	○	○	○			+5E0$_H$

注1.　各割り込みは、INTC1 のチャネル 8～31 および INTC2 のチャネル 32～376 に接続されています。

注2.　各割り込み要因がレベルで検出しているのか、エッジで検出しているのかを示します。EI レベル割り込み制御レジスタのリセット後の値にも影響します。詳細は「**7BC.4.2 ICxxx — EI レベル割り込み制御レジスタ**」を参照してください。レベルで検出している場合は、割り込み要因を保持しているレジスタにアクセスすることにより割り込み要因をクリアします。後続の命令に対して、レジスタの更新内容を反映したい場合の手順は、「**3BC.3.1 ストア命令の完了と後続命令の同期化**」を参照してください。

注3.　割り込みチャネルに関係なく、オフセットアドレスは、優先度（0～15）によって+100$_H$～+1F0$_H$の範囲で決定されます。

注4.　優先度に無関係に、オフセットアドレスは、一律+100$_H$となります。

注5.　テーブル参照方式は、割り込みチャネルごとに例外ハンドラアドレスを読み出すテーブルを持ち、そのテーブルを参照してハンドラアドレスを抽出します。テーブル参照位置の計算は、下記の計算式で求まります。
例外ハンドラアドレス読み出し位置＝INTBP レジスタ＋チャネル番号×4 バイト

注6.　同じ割り込み要因が異なる割り込みチャネルに割り当てられています。詳細は「**7BC.5.2 SELB_INTC1 — INTC1 割り込み選択レジスタ**」を参照してください。

注7.　同じ割り込みチャネルに 32 の割り込み要因が割り当てられています。詳細は「**第 37 章 PWM 出力／診断（PWM-Diag）**」を参照してください。

注8.　詳細については、「**7BC.10 例外ハンドラアドレス**」を参照してください。

注9.　INTOSTM0 は、EIINT と FEINT にアサインされており、同時に使用することは禁止です。OSTM0 を TSU（Timing Supervision Unit）機能として使用する場合は FEINT を使用してください。また、OSTM0 を TSU 機能以外として使用する場合は EIINT を使用してください。

注10.　割り込み発生要因の詳細については、「*RH850/F1KH, F1KM, F1K フラッシュメモリ ユーザーズマニュアル ハードウェアインタフェース編*」を参照してください。

表 7BC.7　EI レベルマスカブル割り込み要因（RH850/F1KM-S2）

割り込み			割り込み要求				例外要因コード	100 Pin	144 Pin	176 Pin	ハンドラアドレス（オフセット）[注8]		
チャネル番号[注1]	制御レジスタ										直接分岐方式		テーブル参照方式[注5]
	名称	アドレス	名称	発生要因	ユニット	検出タイプ[注2]					RINT＝0	RINT＝1	
0	リザーブ	FFFE EA00$_H$					1000$_H$	—	—	—	[注3]	[注4]	+000$_H$
1	リザーブ	FFFE EA02$_H$					1001$_H$	—	—	—			+004$_H$
2	リザーブ	FFFE EA04$_H$					1002$_H$	—	—	—			+008$_H$
3	リザーブ	FFFE EA06$_H$					1003$_H$	—	—	—			+00C$_H$
4	リザーブ	FFFE EA08$_H$					1004$_H$	—	—	—			+010$_H$
5	リザーブ	FFFE EA0A$_H$					1005$_H$	—	—	—			+014$_H$
6	リザーブ	FFFE EA0C$_H$					1006$_H$	—	—	—			+018$_H$
7	リザーブ	FFFE EA0E$_H$					1007$_H$	—	—	—			+01C$_H$
8	ICTAUD0I0	FFFE EA10$_H$	INTTAUD0I0 [注6]	TAUD0 の CH0 割り込み	TAUD0	エッジ	1008$_H$	○	○	○			+020$_H$
	ICCSIH2IC_1		INTCSIH2IC_1 [注6]	CSIH2 通信ステータス割り込み	CSIH2	エッジ							
9	ICTAUD0I2	FFFE EA12$_H$	INTTAUD0I2 [注6]	TAUD0 の CH2 割り込み	TAUD0	エッジ	1009$_H$	○	○	○			+024$_H$
	ICCSIH3IC_1		INTCSIH3IC_1 [注6]	CSIH3 通信ステータス割り込み	CSIH3	エッジ							
10	ICTAUD0I4	FFFE EA14$_H$	INTTAUD0I4 [注6]	TAUD0 の CH4 割り込み	TAUD0	エッジ	100A$_H$	○	○	○			+028$_H$
	ICCSIH2IR_1		INTCSIH2IR_1 [注6]	CSIH2 受信ステータス割り込み	CSIH2	エッジ							
11	ICTAUD0I6	FFFE EA16$_H$	INTTAUD0I6 [注6]	TAUD0 の CH6 割り込み	TAUD0	エッジ	100B$_H$	○	○	○			+02C$_H$
	ICCSIH2IRE_1		INTCSIH2IRE_1 [注6]	CSIH2 通信エラー割り込み	CSIH2	エッジ							
12	ICTAUD0I8	FFFE EA18$_H$	INTTAUD0I8 [注6]	TAUD0 の CH8 割り込み	TAUD0	エッジ	100C$_H$	○	○	○			+030$_H$
	ICCSIH2IJC_1		INTCSIH2IJC_1 [注6]	CSIH2 ジョブ完了割り込み	CSIH2	エッジ							
13	ICTAUD0I10	FFFE EA1A$_H$	INTTAUD0I10 [注6]	TAUD0 の CH10 割り込み	TAUD0	エッジ	100D$_H$	○	○	○			+034$_H$
	ICCSIH3IR_1		INTCSIH3IR_1 [注6]	CSIH3 受信ステータス割り込み	CSIH3	エッジ							
14	ICTAUD0I12	FFFE EA1C$_H$	INTTAUD0I12 [注6]	TAUD0 の CH12 割り込み	TAUD0	エッジ	100E$_H$	○	○	○			+038$_H$
	ICCSIH3IRE_1		INTCSIH3IRE_1 [注6]	CSIH3 通信エラー割り込み	CSIH3	エッジ							
15	ICTAUD0I14	FFFE EA1E$_H$	INTTAUD0I14 [注6]	TAUD0 の CH14 割り込み	TAUD0	エッジ	100F$_H$	○	○	○			+03C$_H$
	ICCSIH3IJC_1		INTCSIH3IJC_1 [注6]	CSIH3 ジョブ完了割り込み	CSIH3	エッジ							
16	ICTAPA0IPEK0	FFFE EA20$_H$	INTTAPA0IPEK0 [注6]	TAPA0 山割り込み 0	TAPA0	エッジ	1010$_H$	○	○	○			+040$_H$
	ICCSIH1IC_1		INTCSIH1IC_1 [注6]	CSIH1 通信ステータス割り込み	CSIH1	エッジ							
17	ICTAPA0IVLY0	FFFE EA22$_H$	INTTAPA0IVLY0 [注6]	TAPA0 谷割り込み 0	TAPA0	エッジ	1011$_H$	○	○	○			+044$_H$
	ICCSIH1IR_1		INTCSIH1IR_1 [注6]	CSIH1 受信ステータス割り込み	CSIH1	エッジ							
18	ICADCA0I0	FFFE EA24$_H$	INTADCA0I0	ADCA0 スキャングループ 1（SG1）終了割り込み	ADCA0	エッジ	1012$_H$	○	○	○			+048$_H$
19	ICADCA0I1	FFFE EA26$_H$	INTADCA0I1	ADCA0 スキャングループ 2（SG2）終了割り込み	ADCA0	エッジ	1013$_H$	○	○	○			+04C$_H$
20	ICADCA0I2	FFFE EA28$_H$	INTADCA0I2 [注6]	ADCA0 スキャングループ 3（SG3）終了割り込み	ADCA0	エッジ	1014$_H$	○	○	○			+050$_H$
	ICCSIH0IJC_1		INTCSIH0IJC_1 [注6]	CSIH0 ジョブ完了割り込み	CSIH0	エッジ							
21	ICDCUTDI	FFFE EA2A$_H$	INTDCUTDI	オンチップデバッグ機能専用割り込み	Port	エッジ	1015$_H$	○	○	○			+054$_H$
22	ICRCANGERR0	FFFE EA2C$_H$	INTRCANGERR0	CAN グローバルエラー割り込み	RCFDC0	レベル	1016$_H$	○	○	○			+058$_H$
23	ICRCANGRECC0	FFFE EA2E$_H$	INTRCANGRECC0	CAN 受信 FIFO 割り込み	RCFDC0	レベル	1017$_H$	○	○	○			+05C$_H$
24	ICRCAN0ERR	FFFE EA30$_H$	INTRCAN0ERR	CAN0 エラー割り込み	RCFDC0	レベル	1018$_H$	○	○	○			+060$_H$
25	ICRCAN0REC	FFFE EA32$_H$	INTRCAN0REC	CAN0 送受信 FIFO 受信完了割り込み	RCFDC0	レベル	1019$_H$	○	○	○			+064$_H$
26	ICRCAN0TRX	FFFE EA34$_H$	INTRCAN0TRX	CAN0 送信割り込み	RCFDC0	レベル	101A$_H$	○	○	○			+068$_H$
27	ICCSIG0IC	FFFE EA36$_H$	INTCSIG0IC [注6]	CSIG0 通信ステータス割り込み	CSIG0	エッジ	101B$_H$	○	○	○			+06C$_H$
	ICCSIH1IRE_1		INTCSIH1IRE_1 [注6]	CSIH1 通信エラー割り込み	CSIH1	エッジ							

表 7BC.7　　EI レベルマスカブル割り込み要因 (RH850/F1KM-S2)

割り込み			割り込み要求				例外要因コード	100 Pin	144 Pin	176 Pin	ハンドラアドレス（オフセット）注8		
チャネル番号注1	制御レジスタ		名称	発生要因	ユニット	検出タイプ注2					直接分岐方式		テーブル参照方式注5
	名称	アドレス									RINT =0	RINT =1	
28	ICCSIG0IR	FFFE EA38$_H$	INTCSIG0IR 注6	CSIG0 受信ステータス割り込み	CSIG0	エッジ	101C$_H$	○	○	○	注3	注4	+070$_H$
	ICCSIH1IJC_1		INTCSIH1IJC_1 注6	CSIH1 ジョブ完了割り込み	CSIH1	エッジ							
29	ICCSIH0IC	FFFE EA3A$_H$	INTCSIH0IC	CSIH0 通信ステータス割り込み	CSIH0	エッジ	101D$_H$	○	○	○			+074$_H$
30	ICCSIH0IR	FFFE EA3C$_H$	INTCSIH0IR	CSIH0 受信ステータス割り込み	CSIH0	エッジ	101E$_H$	○	○	○			+078$_H$
31	ICCSIH0IRE	FFFE EA3E$_H$	INTCSIH0IRE	CSIH0 通信エラー割り込み	CSIH0	エッジ	101F$_H$	○	○	○			+07C$_H$
32	ICCSIH0IJC	FFFF B040$_H$	INTCSIH0IJC 注6	CSIH0 ジョブ完了割り込み	CSIH0	エッジ	1020$_H$	○	○	○			+080$_H$
	ICADCA0I2_2		INTADCA0I2_2 注6	ADCA0 スキャングループ 3（SG3）終了割り込み	ADCA0	エッジ							
33	ICRLIN30	FFFF B042$_H$	INTRLIN30	RLIN30 割り込み	RLIN30	エッジ	1021$_H$	○	○	○			+084$_H$
34	ICRLIN30UR0	FFFF B044$_H$	INTRLIN30UR0	RLIN30 送信割り込み	RLIN30	エッジ	1022$_H$	○	○	○			+088$_H$
35	ICRLIN30UR1	FFFF B046$_H$	INTRLIN30UR1	RLIN30 受信完了割り込み	RLIN30	エッジ	1023$_H$	○	○	○			+08C$_H$
36	ICRLIN30UR2	FFFF B048$_H$	INTRLIN30UR2	RLIN30 ステータス割り込み	RLIN30	エッジ	1024$_H$	○	○	○			+090$_H$
37	ICP0	FFFF B04A$_H$	INTP0	外部割り込み	Port	エッジ	1025$_H$	○	○	○			+094$_H$
38	ICP1	FFFF B04C$_H$	INTP1	外部割り込み	Port	エッジ	1026$_H$	○	○	○			+098$_H$
39	ICP2	FFFF B04E$_H$	INTP2	外部割り込み	Port	エッジ	1027$_H$	○	○	○			+09C$_H$
40	ICWDTA0	FFFF B050$_H$	INTWDTA0	WDTA0 75%割り込み	WDTA0	エッジ	1028$_H$	○	○	○			+0A0$_H$
41	ICWDTA1	FFFF B052$_H$	INTWDTA1	WDTA1 75%割り込み	WDTA1	エッジ	1029$_H$	○	○	○			+0A4$_H$
42	リザーブ	FFFF B054$_H$					102A$_H$	—	—	—			+0A8$_H$
43	ICP3	FFFF B056$_H$	INTP3	外部割り込み	Port	エッジ	102B$_H$	○	○	○			+0AC$_H$
44	ICP4	FFFF B058$_H$	INTP4	外部割り込み	Port	エッジ	102C$_H$	○	○	○			+0B0$_H$
45	ICP5	FFFF B05A$_H$	INTP5	外部割り込み	Port	エッジ	102D$_H$	○	○	○			+0B4$_H$
46	ICP10	FFFF B05C$_H$	INTP10	外部割り込み	Port	エッジ	102E$_H$	○	○	○			+0B8$_H$
47	ICP11	FFFF B05E$_H$	INTP11	外部割り込み	Port	エッジ	102F$_H$	○	○	○			+0BC$_H$
48	ICTAUD0I1	FFFF B060$_H$	INTTAUD0I1	TAUD0 チャネル 1 割り込み	TAUD0	エッジ	1030$_H$	○	○	○			+0C0$_H$
49	ICTAUD0I3	FFFF B062$_H$	INTTAUD0I3	TAUD0 チャネル 3 割り込み	TAUD0	エッジ	1031$_H$	○	○	○			+0C4$_H$
50	ICTAUD0I5	FFFF B064$_H$	INTTAUD0I5	TAUD0 チャネル 5 割り込み	TAUD0	エッジ	1032$_H$	○	○	○			+0C8$_H$
51	ICTAUD0I7	FFFF B066$_H$	INTTAUD0I7	TAUD0 チャネル 7 割り込み	TAUD0	エッジ	1033$_H$	○	○	○			+0CC$_H$
52	ICTAUD0I9	FFFF B068$_H$	INTTAUD0I9	TAUD0 チャネル 9 割り込み	TAUD0	エッジ	1034$_H$	○	○	○			+0D0$_H$
53	ICTAUD0I11	FFFF B06A$_H$	INTTAUD0I11	TAUD0 チャネル 11 割り込み	TAUD0	エッジ	1035$_H$	○	○	○			+0D4$_H$
54	ICTAUD0I13	FFFF B06C$_H$	INTTAUD0I13	TAUD0 チャネル 13 割り込み	TAUD0	エッジ	1036$_H$	○	○	○			+0D8$_H$
55	ICTAUD0I15	FFFF B06E$_H$	INTTAUD0I15	TAUD0 チャネル 15 割り込み	TAUD0	エッジ	1037$_H$	○	○	○			+0DC$_H$
56	ICADCA0ERR	FFFF B070$_H$	INTADCA0ERR	ADCA0 エラー割り込み	ADCA0	エッジ	1038$_H$	○	○	○			+0E0$_H$
57	ICCSIG0IRE	FFFF B072$_H$	INTCSIG0IRE	CSIG0 通信エラー割り込み	CSIG0	エッジ	1039$_H$	○	○	○			+0E4$_H$
58	ICRLIN20	FFFF B074$_H$	INTRLIN20	RLIN20 割り込み	RLIN240	エッジ	103A$_H$	○	○	○			+0E8$_H$
59	ICRLIN21	FFFF B076$_H$	INTRLIN21	RLIN21 割り込み	RLIN240	エッジ	103B$_H$	○	○	○			+0EC$_H$
60	ICDMA0	FFFF B078$_H$	INTDMA0	DMA00 転送完了	PDMA0	エッジ	103C$_H$	○	○	○			+0F0$_H$
61	ICDMA1	FFFF B07A$_H$	INTDMA1	DMA01 転送完了	PDMA0	エッジ	103D$_H$	○	○	○			+0F4$_H$
62	ICDMA2	FFFF B07C$_H$	INTDMA2	DMA02 転送完了	PDMA0	エッジ	103E$_H$	○	○	○			+0F8$_H$
63	ICDMA3	FFFF B07E$_H$	INTDMA3	DMA03 転送完了	PDMA0	エッジ	103F$_H$	○	○	○			+0FC$_H$
64	ICDMA4	FFFF B080$_H$	INTDMA4	DMA04 転送完了	PDMA0	エッジ	1040$_H$	○	○	○			+100$_H$
65	ICDMA5	FFFF B082$_H$	INTDMA5	DMA05 転送完了	PDMA0	エッジ	1041$_H$	○	○	○			+104$_H$
66	ICDMA6	FFFF B084$_H$	INTDMA6	DMA06 転送完了	PDMA0	エッジ	1042$_H$	○	○	○			+108$_H$
67	ICDMA7	FFFF B086$_H$	INTDMA7	DMA07 転送完了	PDMA0	エッジ	1043$_H$	○	○	○			+10C$_H$
68	ICDMA8	FFFF B088$_H$	INTDMA8	DMA10 転送完了	PDMA0	エッジ	1044$_H$	○	○	○			+110$_H$
69	ICDMA9	FFFF B08A$_H$	INTDMA9	DMA11 転送完了	PDMA0	エッジ	1045$_H$	○	○	○			+114$_H$

表 7BC.7　EI レベルマスカブル割り込み要因 (RH850/F1KM-S2)

割り込み			割り込み要求								ハンドラアドレス（オフセット）[注8]		
チャネル番号[注1]	制御レジスタ 名称	制御レジスタ アドレス	名称	発生要因	ユニット	検出タイプ[注2]	例外要因コード	100 Pin	144 Pin	176 Pin	直接分岐方式 RINT＝0	直接分岐方式 RINT＝1	テーブル参照方式[注5]
70	ICDMA10	FFFF B08C$_H$	INTDMA10	DMA12 転送完了	PDMA0	エッジ	1046$_H$	○	○	○	[注3]	[注4]	+118$_H$
71	ICDMA11	FFFF B08E$_H$	INTDMA11	DMA13 転送完了	PDMA0	エッジ	1047$_H$	○	○	○			+11C$_H$
72	ICDMA12	FFFF B090$_H$	INTDMA12	DMA14 転送完了	PDMA0	エッジ	1048$_H$	○	○	○			+120$_H$
73	ICDMA13	FFFF B092$_H$	INTDMA13	DMA15 転送完了	PDMA0	エッジ	1049$_H$	○	○	○			+124$_H$
74	ICDMA14	FFFF B094$_H$	INTDMA14	DMA16 転送完了	PDMA0	エッジ	104A$_H$	○	○	○			+128$_H$
75	ICDMA15	FFFF B096$_H$	INTDMA15	DMA17 転送完了	PDMA0	エッジ	104B$_H$	○	○	○			+12C$_H$
76	ICRIIC0TI	FFFF B098$_H$	INTRIIC0TI	RIIC0 送信データエンプティ割り込み	RIIC0	エッジ	104C$_H$	○	○	○			+130$_H$
77	ICRIIC0EE	FFFF B09A$_H$	INTRIIC0EE	RIIC0 受信エラー／イベント割り込み	RIIC0	レベル	104D$_H$	○	○	○			+134$_H$
78	ICRIIC0RI	FFFF B09C$_H$	INTRIIC0RI	RIIC0 受信完了割り込み	RIIC0	エッジ	104E$_H$	○	○	○			+138$_H$
79	ICRIIC0TEI	FFFF B09E$_H$	INTRIIC0TEI	RIIC0 送信完了割り込み	RIIC0	レベル	104F$_H$	○	○	○			+13C$_H$
80	ICTAUJ0I0	FFFF B0A0$_H$	INTTAUJ0I0	TAUJ0 チャネル 0 割り込み	TAUJ0	エッジ	1050$_H$	○	○	○			+140$_H$
81	ICTAUJ0I1	FFFF B0A2$_H$	INTTAUJ0I1	TAUJ0 チャネル 1 割り込み	TAUJ0	エッジ	1051$_H$	○	○	○			+144$_H$
82	ICTAUJ0I2	FFFF B0A4$_H$	INTTAUJ0I2	TAUJ0 チャネル 2 割り込み	TAUJ0	エッジ	1052$_H$	○	○	○			+148$_H$
83	ICTAUJ0I3	FFFF B0A6$_H$	INTTAUJ0I3	TAUJ0 チャネル 3 割り込み	TAUJ0	エッジ	1053$_H$	○	○	○			+14C$_H$
84	ICOSTM0	FFFF B0A8$_H$	INTOSTM0 [注9]	OSTM0 割り込み	OSTM0	エッジ	1054$_H$	○	○	○			+150$_H$
85	ICENCA0IOV	FFFF B0AA$_H$	INTENCA0IOV	ENCA0 オーバフロー割り込み	ENCA0	エッジ	1055$_H$	○	○	○			+154$_H$
86	ICENCA0IUD	FFFF B0AC$_H$	INTENCA0IUD	ENCA0 アンダフロー割り込み	ENCA0	エッジ	1056$_H$	○	○	○			+158$_H$
87	ICENCA0I0	FFFF B0AE$_H$	INTENCA0I0	ENCA0 一致／キャプチャ割り込み 0	ENCA0	エッジ	1057$_H$	○	○	○			+15C$_H$
88	ICENCA0I1	FFFF B0B0$_H$	INTENCA0I1	ENCA0 一致／キャプチャ割り込み 1	ENCA0	エッジ	1058$_H$	○	○	○			+160$_H$
89	ICENCA0IEC	FFFF B0B2$_H$	INTENCA0IEC	ENCA0 エンコーダクリア割り込み	ENCA0	エッジ	1059$_H$	○	○	○			+164$_H$
90	ICKR0	FFFF B0B4$_H$	INTKR0	KR0 キー割り込み	KR0	エッジ	105A$_H$	○	○	○			+168$_H$
91	ICQFULL	FFFF B0B6$_H$	INTQFULL	PWSA0 キューフル割り込み	PWSA0	エッジ	105B$_H$	○	○	○			+16C$_H$
92	ICPWGAG00	FFFF B0B8$_H$	INTPWGAG00 [注7]	PWGA 割り込みグループ 00（PWGA0～PWGA31）	PWGA0-31	レベル	105C$_H$	○	○	○			+170$_H$
93	ICPWGAG01	FFFF B0BA$_H$	INTPWGAG01 [注7]	PWGA 割り込みグループ 01（PWGA32～PWGA63）	PWGA32-63	レベル	105D$_H$	○	○	○			+174$_H$
94	ICPWGAG02	FFFF B0BC$_H$	INTPWGAG02 [注7]	PWGA 割り込みグループ 02（PWGA64～PWGA71）	PWGA64-71	レベル	105E$_H$	—	—	○			+178$_H$
95	リザーブ	FFFF B0BE$_H$					105F$_H$	—	—	—			+17C$_H$
96	リザーブ	FFFF B0C0$_H$					1060$_H$	—	—	—			+180$_H$
97	リザーブ	FFFF B0C2$_H$					1061$_H$	—	—	—			+184$_H$
98	リザーブ	FFFF B0C4$_H$					1062$_H$	—	—	—			+188$_H$
99	リザーブ	FFFF B0C6$_H$					1063$_H$	—	—	—			+18C$_H$
100	リザーブ	FFFF B0C8$_H$					1064$_H$	—	—	—			+190$_H$
101	リザーブ	FFFF B0CA$_H$					1065$_H$	—	—	—			+194$_H$
102	リザーブ	FFFF B0CC$_H$					1066$_H$	—	—	—			+198$_H$
103	リザーブ	FFFF B0CE$_H$					1067$_H$	—	—	—			+19C$_H$
104	リザーブ	FFFF B0D0$_H$					1068$_H$	—	—	—			+1A0$_H$
105	リザーブ	FFFF B0D2$_H$					1069$_H$	—	—	—			+1A4$_H$
106	リザーブ	FFFF B0D4$_H$					106A$_H$	—	—	—			+1A8$_H$
107	リザーブ	FFFF B0D6$_H$					106B$_H$	—	—	—			+1AC$_H$
108	リザーブ	FFFF B0D8$_H$					106C$_H$	—	—	—			+1B0$_H$
109	リザーブ	FFFF B0DA$_H$					106D$_H$	—	—	—			+1B4$_H$

表 7BC.7　EI レベルマスカブル割り込み要因 (RH850/F1KM-S2)

割り込み			割り込み要求				例外要因コード	100 Pin	144 Pin	176 Pin	ハンドラアドレス（オフセット）[注8]		
チャネル番号[注1]	制御レジスタ		名称	発生要因	ユニット	検出タイプ[注2]					直接分岐方式		テーブル参照方式[注5]
	名称	アドレス									RINT =0	RINT =1	
110	ICFLERR	FFFF B0DC$_H$	INTFLERR [注10]	フラッシュシーケンサ終了エラー割り込み	FACI	レベル	106E$_H$	○	○	○	注3	注4	+1B8$_H$
111	ICFLENDNM	FFFF B0DE$_H$	INTFLENDNM [注10]	フラッシュシーケンサ終了割り込み	FACI	エッジ	106F$_H$	○	○	○			+1BC$_H$
112	ICCWEND	FFFF B0E0$_H$	INTCWEND	LPS0 ポートポーリング終了割り込み	LPS0	エッジ	1070$_H$	○	○	○			+1C0$_H$
113	ICRCAN1ERR	FFFF B0E2$_H$	INTRCAN1ERR	CAN1 エラー割り込み	RCFDC0	レベル	1071$_H$	○	○	○			+1C4$_H$
114	ICRCAN1REC	FFFF B0E4$_H$	INTRCAN1REC	CAN1 送受信 FIFO 受信完了割り込み	RCFDC0	レベル	1072$_H$	○	○	○			+1C8$_H$
115	ICRCAN1TRX	FFFF B0E6$_H$	INTRCAN1TRX	CAN1 送信割り込み	RCFDC0	レベル	1073$_H$	○	○	○			+1CC$_H$
116	ICCSIH1IC	FFFF B0E8$_H$	INTCSIH1IC [注6]	CSIH1 通信ステータス割り込み	CSIH1	エッジ	1074$_H$	○	○	○			+1D0$_H$
	ICTAPA0IPEK0_2		INTTAPA0IPEK0_2 [注6]	TAPA0 山割り込み 0	TAPA0	エッジ							
117	ICCSIH1IR	FFFF B0EA$_H$	INTCSIH1IR [注6]	CSIH1 受信ステータス割り込み	CSIH1	エッジ	1075$_H$	○	○	○			+1D4$_H$
	ICTAPA0IVLY0_2		INTTAPA0IVLY0_2 [注6]	TAPA0 谷割り込み 0	TAPA0	エッジ							
118	ICCSIH1IRE	FFFF B0EC$_H$	INTCSIH1IRE [注6]	CSIH1 通信エラー割り込み	CSIH1	エッジ	1076$_H$	○	○	○			+1D8$_H$
	ICCSIG0IC_2		INTCSIG0IC_2 [注6]	CSIG0 通信ステータス割り込み	CSIG0	エッジ							
119	ICCSIH1IJC	FFFF B0EE$_H$	INTCSIH1IJC [注6]	CSIH1 ジョブ完了割り込み	CSIH1	エッジ	1077$_H$	○	○	○			+1DC$_H$
	ICCSIG0IR_2		INTCSIG0IR_2 [注6]	CSIG0 受信ステータス割り込み	CSIG0	エッジ							
120	ICRLIN31	FFFF B0F0$_H$	INTRLIN31	RLIN31 割り込み	RLIN31	エッジ	1078$_H$	○	○	○			+1E0$_H$
121	ICRLIN31UR0	FFFF B0F2$_H$	INTRLIN31UR0	RLIN31 送信割り込み	RLIN31	エッジ	1079$_H$	○	○	○			+1E4$_H$
122	ICRLIN31UR1	FFFF B0F4$_H$	INTRLIN31UR1	RLIN31 受信完了割り込み	RLIN31	エッジ	107A$_H$	○	○	○			+1E8$_H$
123	ICRLIN31UR2	FFFF B0F6$_H$	INTRLIN31UR2	RLIN31 ステータス割り込み	RLIN31	エッジ	107B$_H$	○	○	○			+1EC$_H$
124	リザーブ	FFFF B0F8$_H$					107C$_H$	—	—	—			+1F0$_H$
125	リザーブ	FFFF B0FA$_H$					107D$_H$	—	—	—			+1F4$_H$
126	リザーブ	FFFF B0FC$_H$					107E$_H$	—	—	—			+1F8$_H$
127	リザーブ	FFFF B0FE$_H$					107F$_H$	—	—	—			+1FC$_H$
128	ICP6	FFFF B100$_H$	INTP6	外部割り込み	Port	エッジ	1080$_H$	○	○	○			+200$_H$
129	ICP7	FFFF B102$_H$	INTP7	外部割り込み	Port	エッジ	1081$_H$	○	○	○			+204$_H$
130	ICP8	FFFF B104$_H$	INTP8	外部割り込み	Port	エッジ	1082$_H$	○	○	○			+208$_H$
131	ICP12	FFFF B106$_H$	INTP12	外部割り込み	Port	エッジ	1083$_H$	○	○	○			+20C$_H$
132	ICCSIH2IC	FFFF B108$_H$	INTCSIH2IC [注6]	CSIH2 通信ステータス割り込み	CSIH2	エッジ	1084$_H$	○	○	○			+210$_H$
	ICTAUD0I0_2		INTTAUD0I0_2 [注6]	TAUD0 チャネル 0 割り込み	TAUD0	エッジ							
133	ICCSIH2IR	FFFF B10A$_H$	INTCSIH2IR [注6]	CSIH2 受信ステータス割り込み	CSIH2	エッジ	1085$_H$	○	○	○			+214$_H$
	ICTAUD0I4_2		INTTAUD0I4_2 [注6]	TAUD0 チャネル 4 割り込み	TAUD0	エッジ							
134	ICCSIH2IRE	FFFF B10C$_H$	INTCSIH2IRE [注6]	CSIH2 通信エラー割り込み	CSIH2	エッジ	1086$_H$	○	○	○			+218$_H$
	ICTAUD0I6_2		INTTAUD0I6_2 [注6]	TAUD0 チャネル 6 割り込み	TAUD0	エッジ							
135	ICCSIH2IJC	FFFF B10E$_H$	INTCSIH2IJC [注6]	CSIH2 ジョブ完了割り込み	CSIH2	エッジ	1087$_H$	○	○	○			+21C$_H$
	ICTAUD0I8_2		INTTAUD0I8_2 [注6]	TAUD0 チャネル 8 割り込み	TAUD0	エッジ							
136	リザーブ	FFFF B110$_H$					1088$_H$	—	—	—			+220$_H$
137	リザーブ	FFFF B112$_H$					1089$_H$	—	—	—			+224$_H$
138	リザーブ	FFFF B114$_H$					108A$_H$	—	—	—			+228$_H$
139	リザーブ	FFFF B116$_H$					108B$_H$	—	—	—			+22C$_H$
140	リザーブ	FFFF B118$_H$					108C$_H$	—	—	—			+230$_H$
141	リザーブ	FFFF B11A$_H$					108D$_H$	—	—	—			+234$_H$
142	ICTAUB0I0	FFFF B11C$_H$	INTTAUB0I0	TAUB0 チャネル 0 割り込み	TAUB0	エッジ	108E$_H$	○	○	○			+238$_H$
143	ICTAUB0I1	FFFF B11E$_H$	INTTAUB0I1	TAUB0 チャネル 1 割り込み	TAUB0	エッジ	108F$_H$	○	○	○			+23C$_H$
144	ICTAUB0I2	FFFF B120$_H$	INTTAUB0I2	TAUB0 チャネル 2 割り込み	TAUB0	エッジ	1090$_H$	○	○	○			+240$_H$

表 7BC.7　EI レベルマスカブル割り込み要因 (RH850/F1KM-S2)

割り込み			割り込み要求				例外要因コード	100 Pin	144 Pin	176 Pin	ハンドラアドレス（オフセット）注8		
チャネル番号注1	制御レジスタ										直接分岐方式		テーブル参照方式注5
	名称	アドレス	名称	発生要因	ユニット	検出タイプ注2					RINT＝0	RINT＝1	
145	ICTAUB0I3	FFFF B122$_H$	INTTAUB0I3	TAUB0 チャネル 3 割り込み	TAUB0	エッジ	1091$_H$	○	○	○	注3	注4	+244$_H$
146	ICTAUB0I4	FFFF B124$_H$	INTTAUB0I4	TAUB0 チャネル 4 割り込み	TAUB0	エッジ	1092$_H$	○	○	○			+248$_H$
147	ICTAUB0I5	FFFF B126$_H$	INTTAUB0I5	TAUB0 チャネル 5 割り込み	TAUB0	エッジ	1093$_H$	○	○	○			+24C$_H$
148	ICTAUB0I6	FFFF B128$_H$	INTTAUB0I6	TAUB0 チャネル 6 割り込み	TAUB0	エッジ	1094$_H$	○	○	○			+250$_H$
149	ICTAUB0I7	FFFF B12A$_H$	INTTAUB0I7	TAUB0 チャネル 7 割り込み	TAUB0	エッジ	1095$_H$	○	○	○			+254$_H$
150	ICTAUB0I8	FFFF B12C$_H$	INTTAUB0I8	TAUB0 チャネル 8 割り込み	TAUB0	エッジ	1096$_H$	○	○	○			+258$_H$
151	ICTAUB0I9	FFFF B12E$_H$	INTTAUB0I9	TAUB0 チャネル 9 割り込み	TAUB0	エッジ	1097$_H$	○	○	○			+25C$_H$
152	ICTAUB0I10	FFFF B130$_H$	INTTAUB0I10	TAUB0 チャネル 10 割り込み	TAUB0	エッジ	1098$_H$	○	○	○			+260$_H$
153	ICTAUB0I11	FFFF B132$_H$	INTTAUB0I11	TAUB0 チャネル 11 割り込み	TAUB0	エッジ	1099$_H$	○	○	○			+264$_H$
154	ICTAUB0I12	FFFF B134$_H$	INTTAUB0I12	TAUB0 チャネル 12 割り込み	TAUB0	エッジ	109A$_H$	○	○	○			+268$_H$
155	ICTAUB0I13	FFFF B136$_H$	INTTAUB0I13	TAUB0 チャネル 13 割り込み	TAUB0	エッジ	109B$_H$	○	○	○			+26C$_H$
156	ICTAUB0I14	FFFF B138$_H$	INTTAUB0I14	TAUB0 チャネル 14 割り込み	TAUB0	エッジ	109C$_H$	○	○	○			+270$_H$
157	ICTAUB0I15	FFFF B13A$_H$	INTTAUB0I15	TAUB0 チャネル 15 割り込み	TAUB0	エッジ	109D$_H$	○	○	○			+274$_H$
158	ICCSIH3IC	FFFF B13C$_H$	INTCSIH3IC 注6	CSIH3 通信ステータス割り込み	CSIH3	エッジ	109E$_H$	○	○	○			+278$_H$
	ICTAUD0I2_2		INTTAUD0I2_2 注6	TAUD0 チャネル 2 割り込み	TAUD0	エッジ							
159	ICCSIH3IR	FFFF B13E$_H$	INTCSIH3IR 注6	CSIH3 受信ステータス割り込み	CSIH3	エッジ	109F$_H$	○	○	○			+27C$_H$
	ICTAUD0I10_2		INTTAUD0I10_2 注6	TAUD0 チャネル 10 割り込み	TAUD0	エッジ							
160	ICCSIH3IRE	FFFF B140$_H$	INTCSIH3IRE 注6	CSIH3 通信エラー割り込み	CSIH3	エッジ	10A0$_H$	○	○	○			+280$_H$
	ICTAUD0I12_2		INTTAUD0I12_2 注6	TAUD0 チャネル 12 割り込み	TAUD0	エッジ							
161	ICCSIH3IJC	FFFF B142$_H$	INTCSIH3IJC 注6	CSIH3 ジョブ完了割り込み	CSIH3	エッジ	10A1$_H$	○	○	○			+284$_H$
	ICTAUD0I14_2		INTTAUD0I14_2 注6	TAUD0 チャネル 14 割り込み	TAUD0	エッジ							
162	ICRLIN22	FFFF B144$_H$	INTRLIN22	RLIN22 割り込み	RLIN240	エッジ	10A2$_H$	○	○	○			+288$_H$
163	ICRLIN23	FFFF B146$_H$	INTRLIN23	RLIN23 割り込み	RLIN240	エッジ	10A3$_H$	—	○	○			+28C$_H$
164	ICRLIN32	FFFF B148$_H$	INTRLIN32	RLIN32 割り込み	RLIN32	エッジ	10A4$_H$	○	○	○			+290$_H$
165	ICRLIN32UR0	FFFF B14A$_H$	INTRLIN32UR0	RLIN32 送信割り込み	RLIN32	エッジ	10A5$_H$	○	○	○			+294$_H$
166	ICRLIN32UR1	FFFF B14C$_H$	INTRLIN32UR1	RLIN32 受信完了割り込み	RLIN32	エッジ	10A6$_H$	○	○	○			+298$_H$
167	ICRLIN32UR2	FFFF B14E$_H$	INTRLIN32UR2	RLIN32 ステータス割り込み	RLIN32	エッジ	10A7$_H$	○	○	○			+29C$_H$
168	ICTAUJ1I0	FFFF B150$_H$	INTTAUJ1I0	TAUJ1 チャネル 0 割り込み	TAUJ1	エッジ	10A8$_H$	○	○	○			+2A0$_H$
169	ICTAUJ1I1	FFFF B152$_H$	INTTAUJ1I1	TAUJ1 チャネル 1 割り込み	TAUJ1	エッジ	10A9$_H$	○	○	○			+2A4$_H$
170	ICTAUJ1I2	FFFF B154$_H$	INTTAUJ1I2	TAUJ1 チャネル 2 割り込み	TAUJ1	エッジ	10AA$_H$	○	○	○			+2A8$_H$
171	ICTAUJ1I3	FFFF B156$_H$	INTTAUJ1I3	TAUJ1 チャネル 3 割り込み	TAUJ1	エッジ	10AB$_H$	○	○	○			+2AC$_H$
172	リザーブ	FFFF B158$_H$					10AC$_H$	—	—	—			+2B0$_H$
173	リザーブ	FFFF B15A$_H$					10AD$_H$	—	—	—			+2B4$_H$
174	リザーブ	FFFF B15C$_H$					10AE$_H$	—	—	—			+2B8$_H$
175	リザーブ	FFFF B15E$_H$					10AF$_H$	—	—	—			+2BC$_H$
176	リザーブ	FFFF B160$_H$					10B0$_H$	—	—	—			+2C0$_H$
177	リザーブ	FFFF B162$_H$					10B1$_H$	—	—	—			+2C4$_H$

表 7BC.7　EI レベルマスカブル割り込み要因（RH850/F1KM-S2）

割り込み			割り込み要求				例外要因コード	100 Pin	144 Pin	176 Pin	ハンドラアドレス（オフセット）注8		
チャネル番号注1	制御レジスタ 名称	制御レジスタ アドレス	名称	発生要因	ユニット	検出タイプ注2					直接分岐方式 RINT＝0	直接分岐方式 RINT＝1	テーブル参照方式注5
178	リザーブ	FFFF B164$_H$					10B2$_H$	—	—	—	注3	注4	+2C8$_H$
179	リザーブ	FFFF B166$_H$					10B3$_H$	—	—	—			+2CC$_H$
180	リザーブ	FFFF B168$_H$					10B4$_H$	—	—	—			+2D0$_H$
181	リザーブ	FFFF B16A$_H$					10B5$_H$	—	—	—			+2D4$_H$
182	リザーブ	FFFF B16C$_H$					10B6$_H$	—	—	—			+2D8$_H$
183	リザーブ	FFFF B16E$_H$					10B7$_H$	—	—	—			+2DC$_H$
184	リザーブ	FFFF B170$_H$					10B8$_H$	—	—	—			+2E0$_H$
185	リザーブ	FFFF B172$_H$					10B9$_H$	—	—	—			+2E4$_H$
186	リザーブ	FFFF B174$_H$					10BA$_H$	—	—	—			+2E8$_H$
187	リザーブ	FFFF B176$_H$					10BB$_H$	—	—	—			+2EC$_H$
188	リザーブ	FFFF B178$_H$					10BC$_H$	—	—	—			+2F0$_H$
189	リザーブ	FFFF B17A$_H$					10BD$_H$	—	—	—			+2F4$_H$
190	リザーブ	FFFF B17C$_H$					10BE$_H$	—	—	—			+2F8$_H$
191	リザーブ	FFFF B17E$_H$					10BF$_H$	—	—	—			+2FC$_H$
192	リザーブ	FFFF B180$_H$					10C0$_H$	—	—	—			+300$_H$
193	リザーブ	FFFF B182$_H$					10C1$_H$	—	—	—			+304$_H$
194	リザーブ	FFFF B184$_H$					10C2$_H$	—	—	—			+308$_H$
195	リザーブ	FFFF B186$_H$					10C3$_H$	—	—	—			+30C$_H$
196	リザーブ	FFFF B188$_H$					10C4$_H$	—	—	—			+310$_H$
197	リザーブ	FFFF B18A$_H$					10C5$_H$	—	—	—			+314$_H$
198	リザーブ	FFFF B18C$_H$					10C6$_H$	—	—	—			+318$_H$
199	リザーブ	FFFF B18E$_H$					10C7$_H$	—	—	—			+31C$_H$
200	リザーブ	FFFF B190$_H$					10C8$_H$	—	—	—			+320$_H$
201	リザーブ	FFFF B192$_H$					10C9$_H$	—	—	—			+324$_H$
202	リザーブ	FFFF B194$_H$					10CA$_H$	—	—	—			+328$_H$
203	リザーブ	FFFF B196$_H$					10CB$_H$	—	—	—			+32C$_H$
204	リザーブ	FFFF B198$_H$					10CC$_H$	—	—	—			+330$_H$
205	ICP9	FFFF B19A$_H$	INTP9	外部割り込み	Port	エッジ	10CD$_H$	○	○	○			+334$_H$
206	ICP13	FFFF B19C$_H$	INTP13	外部割り込み	Port	エッジ	10CE$_H$	○	○	○			+338$_H$
207	ICP14	FFFF B19E$_H$	INTP14	外部割り込み	Port	エッジ	10CF$_H$	—	○	○			+33C$_H$
208	ICP15	FFFF B1A0$_H$	INTP15	外部割り込み	Port	エッジ	10D0$_H$	—	○	○			+340$_H$
209	ICRTCA01S	FFFF B1A2$_H$	INTRTCA01S	RTCA0 1 秒インターバル割り込み	RTCA0	エッジ	10D1$_H$	○	○	○			+344$_H$
210	ICRTCA0AL	FFFF B1A4$_H$	INTRTCA0AL	RTCA0 アラーム割り込み	RTCA0	エッジ	10D2$_H$	○	○	○			+348$_H$
211	ICRTCA0R	FFFF B1A6$_H$	INTRTCA0R	RTCA0 定周期割り込み	RTCA0	エッジ	10D3$_H$	○	○	○			+34C$_H$
212	ICADCA1ERR	FFFF B1A8$_H$	INTADCA1ERR	ADCA1 エラー割り込み	ADCA1	エッジ	10D4$_H$	—	○	○			+350$_H$
213	ICADCA1I0	FFFF B1AA$_H$	INTADCA1I0	ADCA1 スキャングループ 1（SG1）終了割り込み	ADCA1	エッジ	10D5$_H$	—	○	○			+354$_H$
214	ICADCA1I1	FFFF B1AC$_H$	INTADCA1I1	ADCA1 スキャングループ 2（SG2）終了割り込み	ADCA1	エッジ	10D6$_H$	—	○	○			+358$_H$
215	ICADCA1I2	FFFF B1AE$_H$	INTADCA1I2	ADCA1 スキャングループ 3（SG3）終了割り込み	ADCA1	エッジ	10D7$_H$	—	○	○			+35C$_H$
216	リザーブ	FFFF B1B0$_H$					10D8$_H$	—	—	—			+360$_H$
217	ICRCAN2ERR	FFFF B1B2$_H$	INTRCAN2ERR	CAN2 エラー割り込み	RCFDC0	レベル	10D9$_H$	○	○	○			+364$_H$
218	ICRCAN2REC	FFFF B1B4$_H$	INTRCAN2REC	CAN2 送受信 FIFO 受信完了割り込み	RCFDC0	レベル	10DA$_H$	○	○	○			+368$_H$

表 7BC.7 EI レベルマスカブル割り込み要因 (RH850/F1KM-S2)

割り込み			割り込み要求				例外要因コード	100 Pin	144 Pin	176 Pin	ハンドラアドレス（オフセット）注8		
チャネル番号注1	制御レジスタ		名称	発生要因	ユニット	検出タイプ注2					直接分岐方式		テーブル参照方式注5
	名称	アドレス									RINT =0	RINT =1	
219	ICRCAN2TRX	FFFF B1B6$_H$	INTRCAN2TRX	CAN2 送信割り込み	RCFDC0	レベル	10DB$_H$	○	○	○	注3	注4	+36C$_H$
220	ICRCAN3ERR	FFFF B1B8$_H$	INTRCAN3ERR	CAN3 エラー割り込み	RCFDC0	レベル	10DC$_H$	○	○	○			+370$_H$
221	ICRCAN3REC	FFFF B1BA$_H$	INTRCAN3REC	CAN3 送受信 FIFO 受信完了割り込み	RCFDC0	レベル	10DD$_H$	○	○	○			+374$_H$
222	ICRCAN3TRX	FFFF B1BC$_H$	INTRCAN3TRX	CAN3 送信割り込み	RCFDC0	レベル	10DE$_H$	○	○	○			+378$_H$
223	ICCSIG1IC	FFFF B1BE$_H$	INTCSIG1IC	CSIG1 通信ステータス割り込み	CSIG1	エッジ	10DF$_H$	—	○	○			+37C$_H$
224	ICCSIG1IR	FFFF B1C0$_H$	INTCSIG1IR	CSIG1 受信ステータス割り込み	CSIG1	エッジ	10E0$_H$	—	○	○			+380$_H$
225	ICCSIG1IRE	FFFF B1C2$_H$	INTCSIG1IRE	CSIG1 通信エラー割り込み	CSIG1	エッジ	10E1$_H$	—	○	○			+384$_H$
226	ICRLIN24	FFFF B1C4$_H$	INTRLIN24	RLIN24 割り込み	RLIN241	エッジ	10E2$_H$	—	○	○			+388$_H$
227	ICRLIN25	FFFF B1C6$_H$	INTRLIN25	RLIN25 割り込み	RLIN241	エッジ	10E3$_H$	—	○	○			+38C$_H$
228	ICRLIN33	FFFF B1C8$_H$	INTRLIN33	RLIN33 割り込み	RLIN33	エッジ	10E4$_H$	—	○	○			+390$_H$
229	ICRLIN33UR0	FFFF B1CA$_H$	INTRLIN33UR0	RLIN33 送信割り込み	RLIN33	エッジ	10E5$_H$	—	○	○			+394$_H$
230	ICRLIN33UR1	FFFF B1CC$_H$	INTRLIN33UR1	RLIN33 受信完了割り込み	RLIN33	エッジ	10E6$_H$	—	○	○			+398$_H$
231	ICRLIN33UR2	FFFF B1CE$_H$	INTRLIN33UR2	RLIN33 ステータス割り込み	RLIN33	エッジ	10E7$_H$	—	○	○			+39C$_H$
232	ICRLIN34	FFFF B1D0$_H$	INTRLIN34	RLIN34 割り込み	RLIN34	エッジ	10E8$_H$	—	○	○			+3A0$_H$
233	ICRLIN34UR0	FFFF B1D2$_H$	INTRLIN34UR0	RLIN34 送信割り込み	RLIN34	エッジ	10E9$_H$	—	○	○			+3A4$_H$
234	ICRLIN34UR1	FFFF B1D4$_H$	INTRLIN34UR1	RLIN34 受信完了割り込み	RLIN34	エッジ	10EA$_H$	—	○	○			+3A8$_H$
235	ICRLIN34UR2	FFFF B1D6$_H$	INTRLIN34UR2	RLIN34 ステータス割り込み	RLIN34	エッジ	10EB$_H$	—	○	○			+3AC$_H$
236	ICRLIN35	FFFF B1D8$_H$	INTRLIN35	RLIN35 割り込み	RLIN35	エッジ	10EC$_H$	—	○	○			+3B0$_H$
237	ICRLIN35UR0	FFFF B1DA$_H$	INTRLIN35UR0	RLIN35 送信割り込み	RLIN35	エッジ	10ED$_H$	—	○	○			+3B4$_H$
238	ICRLIN35UR1	FFFF B1DC$_H$	INTRLIN35UR1	RLIN35 受信完了割り込み	RLIN35	エッジ	10EE$_H$	—	○	○			+3B8$_H$
239	ICRLIN35UR2	FFFF B1DE$_H$	INTRLIN35UR2	RLIN35 ステータス割り込み	RLIN35	エッジ	10EF$_H$	—	○	○			+3BC$_H$
240	ICRIIC1TI	FFFF B1E0$_H$	INTRIIC1TI	RIIC1 送信データエンプティ割り込み	RIIC1	エッジ	10F0$_H$	○	○	○			+3C0$_H$
241	ICRIIC1EE	FFFF B1E2$_H$	INTRIIC1EE	RIIC1 受信エラー／イベント割り込み	RIIC1	レベル	10F1$_H$	○	○	○			+3C4$_H$
242	ICRIIC1RI	FFFF B1E4$_H$	INTRIIC1RI	RIIC1 受信完了割り込み	RIIC1	エッジ	10F2$_H$	○	○	○			+3C8$_H$
243	ICRIIC1TEI	FFFF B1E6$_H$	INTRIIC1TEI	RIIC1 送信完了割り込み	RIIC1	レベル	10F3$_H$	○	○	○			+3CC$_H$
244	リザーブ	FFFF B1E8$_H$					10F4$_H$	—	—	—			+3D0$_H$
245	リザーブ	FFFF B1EA$_H$					10F5$_H$	—	—	—			+3D4$_H$
246	リザーブ	FFFF B1EC$_H$					10F6$_H$	—	—	—			+3D8$_H$
247	リザーブ	FFFF B1EE$_H$					10F7$_H$	—	—	—			+3DC$_H$
248	リザーブ	FFFF B1F0$_H$					10F8$_H$	—	—	—			+3E0$_H$
249	リザーブ	FFFF B1F2$_H$					10F9$_H$	—	—	—			+3E4$_H$
250	リザーブ	FFFF B1F4$_H$					10FA$_H$	—	—	—			+3E8$_H$
251	リザーブ	FFFF B1F6$_H$					10FB$_H$	—	—	—			+3EC$_H$
252	リザーブ	FFFF B1F8$_H$					10FC$_H$	—	—	—			+3F0$_H$
253	リザーブ	FFFF B1FA$_H$					10FD$_H$	—	—	—			+3F4$_H$
254	リザーブ	FFFF B1FC$_H$					10FE$_H$	—	—	—			+3F8$_H$
255	リザーブ	FFFF B1FE$_H$					10FF$_H$	—	—	—			+3FC$_H$
256	ICTAUB1I0	FFFF B200$_H$	INTTAUB1I0	TAUB1 チャネル 0 割り込み	TAUB1	エッジ	1100$_H$	—	—	○			+400$_H$
257	ICTAUB1I1	FFFF B202$_H$	INTTAUB1I1	TAUB1 チャネル 1 割り込み	TAUB1	エッジ	1101$_H$	—	—	○			+404$_H$
258	ICTAUB1I2	FFFF B204$_H$	INTTAUB1I2	TAUB1 チャネル 2 割り込み	TAUB1	エッジ	1102$_H$	—	—	○			+408$_H$
259	ICTAUB1I3	FFFF B206$_H$	INTTAUB1I3	TAUB1 チャネル 3 割り込み	TAUB1	エッジ	1103$_H$	—	—	○			+40C$_H$
260	ICTAUB1I4	FFFF B208$_H$	INTTAUB1I4	TAUB1 チャネル 4 割り込み	TAUB1	エッジ	1104$_H$	—	—	○			+410$_H$
261	ICTAUB1I5	FFFF B20A$_H$	INTTAUB1I5	TAUB1 チャネル 5 割り込み	TAUB1	エッジ	1105$_H$	—	—	○			+414$_H$

表 7BC.7　EI レベルマスカブル割り込み要因 (RH850/F1KM-S2)

割り込み			割り込み要求				例外要因コード	100 Pin	144 Pin	176 Pin	ハンドラアドレス（オフセット）注8		
チャネル番号注1	制御レジスタ 名称	制御レジスタ アドレス	名称	発生要因	ユニット	検出タイプ注2					直接分岐方式 RINT=0	直接分岐方式 RINT=1	テーブル参照方式注5
262	ICTAUB1I6	FFFF B20C$_H$	INTTAUB1I6	TAUB1 チャネル 6 割り込み	TAUB1	エッジ	1106$_H$	—	—	○	注3	注4	+418$_H$
263	ICTAUB1I7	FFFF B20E$_H$	INTTAUB1I7	TAUB1 チャネル 7 割り込み	TAUB1	エッジ	1107$_H$	—	—	○			+41C$_H$
264	ICTAUB1I8	FFFF B210$_H$	INTTAUB1I8	TAUB1 チャネル 8 割り込み	TAUB1	エッジ	1108$_H$	—	—	○			+420$_H$
265	ICTAUB1I9	FFFF B212$_H$	INTTAUB1I9	TAUB1 チャネル 9 割り込み	TAUB1	エッジ	1109$_H$	—	—	○			+424$_H$
266	ICTAUB1I10	FFFF B214$_H$	INTTAUB1I10	TAUB1 チャネル 10 割り込み	TAUB1	エッジ	110A$_H$	—	—	○			+428$_H$
267	ICTAUB1I11	FFFF B216$_H$	INTTAUB1I11	TAUB1 チャネル 11 割り込み	TAUB1	エッジ	110B$_H$	—	—	○			+42C$_H$
268	ICTAUB1I12	FFFF B218$_H$	INTTAUB1I12	TAUB1 チャネル 12 割り込み	TAUB1	エッジ	110C$_H$	—	—	○			+430$_H$
269	ICTAUB1I13	FFFF B21A$_H$	INTTAUB1I13	TAUB1 チャネル 13 割り込み	TAUB1	エッジ	110D$_H$	—	—	○			+434$_H$
270	ICTAUB1I14	FFFF B21C$_H$	INTTAUB1I14	TAUB1 チャネル 14 割り込み	TAUB1	エッジ	110E$_H$	—	—	○			+438$_H$
271	ICTAUB1I15	FFFF B21E$_H$	INTTAUB1I15	TAUB1 チャネル 15 割り込み	TAUB1	エッジ	110F$_H$	—	—	○			+43C$_H$
272	ICRCAN4ERR	FFFF B220$_H$	INTRCAN4ERR	CAN4 エラー割り込み	RCFDC0	レベル	1110$_H$	○	○	○			+440$_H$
273	ICRCAN4REC	FFFF B222$_H$	INTRCAN4REC	CAN4 送受信 FIFO 受信完了割り込み	RCFDC0	レベル	1111$_H$	○	○	○			+444$_H$
274	ICRCAN4TRX	FFFF B224$_H$	INTRCAN4TRX	CAN4 送信割り込み	RCFDC0	レベル	1112$_H$	○	○	○			+448$_H$
275	ICRLIN26	FFFF B226$_H$	INTRLIN26	RLIN26 割り込み	RLIN241	エッジ	1113$_H$	—	—	○			+44C$_H$
276	ICRLIN27	FFFF B228$_H$	INTRLIN27	RLIN27 割り込み	RLIN241	エッジ	1114$_H$	—	—	○			+450$_H$
277	ICTAUJ2I0	FFFF B22A$_H$	INTTAUJ2I0	TAUJ2 チャネル 0 割り込み	TAUJ2	エッジ	1115$_H$	○	○	○			+454$_H$
278	ICTAUJ2I1	FFFF B22C$_H$	INTTAUJ2I1	TAUJ2 チャネル 1 割り込み	TAUJ2	エッジ	1116$_H$	○	○	○			+458$_H$
279	ICTAUJ2I2	FFFF B22E$_H$	INTTAUJ2I2	TAUJ2 チャネル 2 割り込み	TAUJ2	エッジ	1117$_H$	○	○	○			+45C$_H$
280	ICTAUJ2I3	FFFF B230$_H$	INTTAUJ2I3	TAUJ2 チャネル 3 割り込み	TAUJ2	エッジ	1118$_H$	○	○	○			+460$_H$
281	ICTAUJ3I0	FFFF B232$_H$	INTTAUJ3I0	TAUJ3 チャネル 0 割り込み	TAUJ3	エッジ	1119$_H$	○	○	○			+464$_H$
282	ICTAUJ3I1	FFFF B234$_H$	INTTAUJ3I1	TAUJ3 チャネル 1 割り込み	TAUJ3	エッジ	111A$_H$	○	○	○			+468$_H$
283	ICTAUJ3I2	FFFF B236$_H$	INTTAUJ3I2	TAUJ3 チャネル 2 割り込み	TAUJ3	エッジ	111B$_H$	○	○	○			+46C$_H$
284	ICTAUJ3I3	FFFF B238$_H$	INTTAUJ3I3	TAUJ3 チャネル 3 割り込み	TAUJ3	エッジ	111C$_H$	○	○	○			+470$_H$
285	ICRLIN28	FFFF B23A$_H$	INTRLIN28	RLIN28 割り込み	RLIN242	エッジ	111D$_H$	—	—	○			+474$_H$
286	ICRLIN29	FFFF B23C$_H$	INTRLIN29	RLIN29 割り込み	RLIN242	エッジ	111E$_H$	—	—	○			+478$_H$
287	ICRCAN5ERR	FFFF B23E$_H$	INTRCAN5ERR	CAN5 エラー割り込み	RCFDC0	レベル	111F$_H$	○	○	○			+47C$_H$
288	ICRCAN5REC	FFFF B240$_H$	INTRCAN5REC	CAN5 送受信 FIFO 受信完了割り込み	RCFDC0	レベル	1120$_H$	○	○	○			+480$_H$
289	ICRCAN5TRX	FFFF B242$_H$	INTRCAN5TRX	CAN5 送信割り込み	RCFDC0	レベル	1121$_H$	○	○	○			+484$_H$
290	リザーブ	FFFF B244$_H$					1122$_H$	—	—	—			+488$_H$
291	リザーブ	FFFF B246$_H$					1123$_H$	—	—	—			+48C$_H$
292	リザーブ	FFFF B248$_H$					1124$_H$	—	—	—			+490$_H$
293	リザーブ	FFFF B24A$_H$					1125$_H$	—	—	—			+494$_H$
294	リザーブ	FFFF B24C$_H$					1126$_H$	—	—	—			+498$_H$
295	リザーブ	FFFF B24E$_H$					1127$_H$	—	—	—			+49C$_H$
296	リザーブ	FFFF B250$_H$					1128$_H$	—	—	—			+4A0$_H$
297	リザーブ	FFFF B252$_H$					1129$_H$	—	—	—			+4A4$_H$
298	ICDMA16	FFFF B254$_H$	INTDMA16	DMA20 転送完了	PDMA0	エッジ	112A$_H$	○	○	○			+4A8$_H$
299	ICDMA17	FFFF B256$_H$	INTDMA17	DMA21 転送完了	PDMA0	エッジ	112B$_H$	○	○	○			+4AC$_H$
300	ICDMA18	FFFF B258$_H$	INTDMA18	DMA22 転送完了	PDMA0	エッジ	112C$_H$	○	○	○			+4B0$_H$
301	ICDMA19	FFFF B25A$_H$	INTDMA19	DMA23 転送完了	PDMA0	エッジ	112D$_H$	○	○	○			+4B4$_H$
302	ICDMA20	FFFF B25C$_H$	INTDMA20	DMA24 転送完了	PDMA0	エッジ	112E$_H$	○	○	○			+4B8$_H$
303	ICDMA21	FFFF B25E$_H$	INTDMA21	DMA25 転送完了	PDMA0	エッジ	112F$_H$	○	○	○			+4BC$_H$
304	ICDMA22	FFFF B260$_H$	INTDMA22	DMA26 転送完了	PDMA0	エッジ	1130$_H$	○	○	○			+4C0$_H$

表 7BC.7　EI レベルマスカブル割り込み要因 (RH850/F1KM-S2)

割り込み			割り込み要求				例外要因コード	100 Pin	144 Pin	176 Pin	ハンドラアドレス（オフセット）注8		
チャネル番号注1	制御レジスタ 名称	制御レジスタ アドレス	名称	発生要因	ユニット	検出タイプ注2					直接分岐方式 RINT＝0	直接分岐方式 RINT＝1	テーブル参照方式注5
305	ICDMA23	FFFF B262$_H$	INTDMA23	DMA27 転送完了	PDMA0	エッジ	1131$_H$	○	○	○	注3	注4	+4C4$_H$
306	ICDMA24	FFFF B264$_H$	INTDMA24	DMA30 転送完了	PDMA0	エッジ	1132$_H$	○	○	○			+4C8$_H$
307	ICDMA25	FFFF B266$_H$	INTDMA25	DMA31 転送完了	PDMA0	エッジ	1133$_H$	○	○	○			+4CC$_H$
308	ICDMA26	FFFF B268$_H$	INTDMA26	DMA32 転送完了	PDMA0	エッジ	1134$_H$	○	○	○			+4D0$_H$
309	ICDMA27	FFFF B26A$_H$	INTDMA27	DMA33 転送完了	PDMA0	エッジ	1135$_H$	○	○	○			+4D4$_H$
310	ICDMA28	FFFF B26C$_H$	INTDMA28	DMA34 転送完了	PDMA0	エッジ	1136$_H$	○	○	○			+4D8$_H$
311	ICDMA29	FFFF B26E$_H$	INTDMA29	DMA35 転送完了	PDMA0	エッジ	1137$_H$	○	○	○			+4DC$_H$
312	ICDMA30	FFFF B270$_H$	INTDMA30	DMA36 転送完了	PDMA0	エッジ	1138$_H$	○	○	○			+4E0$_H$
313	ICDMA31	FFFF B272$_H$	INTDMA31	DMA37 転送完了	PDMA0	エッジ	1139$_H$	○	○	○			+4E4$_H$
314	リザーブ	FFFF B274$_H$					113A$_H$	—	—	—			+4E8$_H$
315	リザーブ	FFFF B276$_H$					113B$_H$	—	—	—			+4EC$_H$
316	リザーブ	FFFF B278$_H$					113C$_H$	—	—	—			+4F0$_H$
317	リザーブ	FFFF B27A$_H$					113D$_H$	—	—	—			+4F4$_H$
318	リザーブ	FFFF B27C$_H$					113E$_H$	—	—	—			+4F8$_H$
319	リザーブ	FFFF B27E$_H$					113F$_H$	—	—	—			+4FC$_H$
320	リザーブ	FFFF B280$_H$					1140$_H$	—	—	—			+500$_H$
321	ICRCAN6ERR	FFFF B282$_H$	INTRCAN6ERR	CAN6 エラー割り込み	RCFDC0	レベル	1141$_H$	○	○	○			+504$_H$
322	ICRCAN6REC	FFFF B284$_H$	INTRCAN6REC	CAN6 送受信 FIFO 受信完了割り込み	RCFDC0	レベル	1142$_H$	○	○	○			+508$_H$
323	ICRCAN6TRX	FFFF B286$_H$	INTRCAN6TRX	CAN6 送信割り込み	RCFDC0	レベル	1143$_H$	○	○	○			+50C$_H$
324	リザーブ	FFFF B288$_H$					1144$_H$	—	—	—			+510$_H$
325	リザーブ	FFFF B28A$_H$					1145$_H$	—	—	—			+514$_H$
326	ICCSIG2IC	FFFF B28C$_H$	INTCSIG2IC	CSIG2 通信ステータス割り込み	CSIG2	エッジ	1146$_H$	—	—	○			+518$_H$
327	ICCSIG2IR	FFFF B28E$_H$	INTCSIG2IR	CSIG2 受信ステータス割り込み	CSIG2	エッジ	1147$_H$	—	—	○			+51C$_H$
328	ICCSIG2IRE	FFFF B290$_H$	INTCSIG2IRE	CSIG2 通信エラー割り込み	CSIG2	エッジ	1148$_H$	—	—	○			+520$_H$
329	ICCSIG3IC	FFFF B292$_H$	INTCSIG3IC	CSIG3 通信ステータス割り込み	CSIG3	エッジ	1149$_H$	—	—	○			+524$_H$
330	ICCSIG3IR	FFFF B294$_H$	INTCSIG3IR	CSIG3 受信ステータス割り込み	CSIG3	エッジ	114A$_H$	—	—	○			+528$_H$
331	ICCSIG3IRE	FFFF B296$_H$	INTCSIG3IRE	CSIG3 通信エラー割り込み	CSIG3	エッジ	114B$_H$	—	—	○			+52C$_H$
332	ICRCAN7ERR	FFFF B298$_H$	INTRCAN7ERR	CAN7 エラー割り込み	RCFDC0	レベル	114C$_H$	○	○	○			+530$_H$
333	ICRCAN7REC	FFFF B29A$_H$	INTRCAN7REC	CAN7 送受信 FIFO 受信完了割り込み	RCFDC0	レベル	114D$_H$	○	○	○			+534$_H$
334	ICRCAN7TRX	FFFF B29C$_H$	INTRCAN7TRX	CAN7 送信割り込み	RCFDC0	レベル	114E$_H$	○	○	○			+538$_H$
335	リザーブ	FFFF B29E$_H$					114F$_H$	—	—	—			+53C$_H$
336	リザーブ	FFFF B2A0$_H$					1150$_H$	—	—	—			+540$_H$
337	リザーブ	FFFF B2A2$_H$					1151$_H$	—	—	—			+544$_H$
338	リザーブ	FFFF B2A4$_H$					1152$_H$	—	—	—			+548$_H$
339	リザーブ	FFFF B2A6$_H$					1153$_H$	—	—	—			+54C$_H$
340	リザーブ	FFFF B2A8$_H$					1154$_H$	—	—	—			+550$_H$
341	リザーブ	FFFF B2AA$_H$					1155$_H$	—	—	—			+554$_H$
342	リザーブ	FFFF B2AC$_H$					1156$_H$	—	—	—			+558$_H$
343	リザーブ	FFFF B2AE$_H$					1157$_H$	—	—	—			+55C$_H$
344	リザーブ	FFFF B2B0$_H$					1158$_H$	—	—	—			+560$_H$
345	リザーブ	FFFF B2B2$_H$					1159$_H$	—	—	—			+564$_H$
346	リザーブ	FFFF B2B4$_H$					115A$_H$	—	—	—			+568$_H$
347	ICSENT0SI	FFFF B2B6$_H$	INTSENT0SI	RSENT0 ステータス割り込み	RSENT0	レベル	115B$_H$	—	○	○			+56C$_H$
348	ICSENT0RI	FFFF B2B8$_H$	INTSENT0RI	RSENT0 受信割り込み	RSENT0	エッジ	115C$_H$	—	○	○			+570$_H$
349	ICSENT1SI	FFFF B2BA$_H$	INTSENT1SI	RSENT1 ステータス割り込み	RSENT1	レベル	115D$_H$	○	○	○			+574$_H$
350	ICSENT1RI	FFFF B2BC$_H$	INTSENT1RI	RSENT1 受信割り込み	RSENT1	エッジ	115E$_H$	○	○	○			+578$_H$

表 7BC.7　EI レベルマスカブル割り込み要因 (RH850/F1KM-S2)

割り込み			割り込み要求				例外要因コード	100 Pin	144 Pin	176 Pin	ハンドラアドレス（オフセット）[注8]		
チャネル番号[注1]	制御レジスタ		名称	発生要因	ユニット	検出タイプ[注2]					直接分岐方式		テーブル参照方式[注5]
	名称	アドレス									RINT =0	RINT =1	
351	リザーブ	FFFF B2BE$_H$					115F$_H$	—	—	—	注3	注4	+57C$_H$
352	リザーブ	FFFF B2C0$_H$					1160$_H$	—	—	—			+580$_H$
353	リザーブ	FFFF B2C2$_H$					1161$_H$	—	—	—			+584$_H$
354	リザーブ	FFFF B2C4$_H$					1162$_H$	—	—	—			+588$_H$
355	リザーブ	FFFF B2C6$_H$					1163$_H$	—	—	—			+58C$_H$
356	ICDPE	FFFF B2C8$_H$	INTDPE	LPS0 デジタルポートエラー割り込み	LPS0	レベル	1164$_H$	○	○	○			+590$_H$
357	ICAPE	FFFF B2CA$_H$	INTAPE	LPS0 アナログポートエラー割り込み	LPS0	レベル	1165$_H$	○	○	○			+594$_H$
358	リザーブ	FFFF B2CC$_H$					1166$_H$	—	—	—			+598$_H$
359	リザーブ	FFFF B2CE$_H$					1167$_H$	—	—	—			+59C$_H$
360	ICRLIN36	FFFF B2D0$_H$	INTRLIN36	RLIN36 割り込み	RLIN36	エッジ	1168$_H$	—	—	○			+5A0$_H$
361	ICRLIN36UR0	FFFF B2D2$_H$	INTRLIN36UR0	RLIN36 送信割り込み	RLIN36	エッジ	1169$_H$	—	—	○			+5A4$_H$
362	ICRLIN36UR1	FFFF B2D4$_H$	INTRLIN36UR1	RLIN36 受信完了割り込み	RLIN36	エッジ	116A$_H$	—	—	○			+5A8$_H$
363	ICRLIN36UR2	FFFF B2D6$_H$	INTRLIN36UR2	RLIN36 ステータス割り込み	RLIN36	エッジ	116B$_H$	—	—	○			+5AC$_H$
364	ICRLIN37	FFFF B2D8$_H$	INTRLIN37	RLIN37 割り込み	RLIN37	エッジ	116C$_H$	—	—	○			+5B0$_H$
365	ICRLIN37UR0	FFFF B2DA$_H$	INTRLIN37UR0	RLIN37 送信割り込み	RLIN37	エッジ	116D$_H$	—	—	○			+5B4$_H$
366	ICRLIN37UR1	FFFF B2DC$_H$	INTRLIN37UR1	RLIN37 受信完了割り込み	RLIN37	エッジ	116E$_H$	—	—	○			+5B8$_H$
367	ICRLIN37UR2	FFFF B2DE$_H$	INTRLIN37UR2	RLIN37 ステータス割り込み	RLIN37	エッジ	116F$_H$	—	—	○			+5BC$_H$
368	ICP16	FFFF B2E0$_H$	INTP16	外部割り込み	Port	エッジ	1170$_H$	—	○	○			+5C0$_H$
369	ICP17	FFFF B2E2$_H$	INTP17	外部割り込み	Port	エッジ	1171$_H$	—	○	○			+5C4$_H$
370	ICP18	FFFF B2E4$_H$	INTP18	外部割り込み	Port	エッジ	1172$_H$	—	○	○			+5C8$_H$
371	ICP19	FFFF B2E6$_H$	INTP19	外部割り込み	Port	エッジ	1173$_H$	—	○	○			+5CC$_H$
372	ICP20	FFFF B2E8$_H$	INTP20	外部割り込み	Port	エッジ	1174$_H$	—	○	○			+5D0$_H$
373	ICP21	FFFF B2EA$_H$	INTP21	外部割り込み	Port	エッジ	1175$_H$	—	○	○			+5D4$_H$
374	ICP22	FFFF B2EC$_H$	INTP22	外部割り込み	Port	エッジ	1176$_H$	—	○	○			+5D8$_H$
375	ICP23	FFFF B2EE$_H$	INTP23	外部割り込み	Port	エッジ	1177$_H$	—	○	○			+5DC$_H$
376	ICGRZF	FFFF B2F0$_H$	INTGRZF	GRZF 割り込み	GRZF	エッジ	1178$_H$	○	○	○			+5E0$_H$

注1.　各割り込みは、INTC1 のチャネル 8～31 および INTC2 のチャネル 32～376 に接続されています。

注2.　各割り込み要因がレベルで検出しているのか、エッジで検出しているのかを示します。EI レベル割り込み制御レジスタのリセット後の値にも影響します。詳細は「**7BC.4.2 ICxxx — EI レベル割り込み制御レジスタ**」を参照してください。レベルで検出している場合は、割り込み要因を保持しているレジスタにアクセスすることにより割り込み要因をクリアします。後続の命令に対して、レジスタの更新内容を反映したい場合の手順は、「**3BC.3.1 ストア命令の完了と後続命令の同期化**」を参照してください。

注3.　割り込みチャネルに関係なく、オフセットアドレスは、優先度（0～15）によって+100$_H$～+1F0$_H$の範囲で決定されます。

注4.　優先度に無関係に、オフセットアドレスは、一律+100$_H$となります。

注5.　テーブル参照方式は、割り込みチャネルごとに例外ハンドラアドレスを読み出すテーブルを持ち、そのテーブルを参照してハンドラアドレスを抽出します。テーブル参照位置の計算は、下記の計算式で求まります。
例外ハンドラアドレス読み出し位置＝INTBP レジスタ＋チャネル番号×4 バイト

注6.　同じ割り込み要因が異なる割り込みチャネルに割り当てられています。詳細は「**7BC.5.2 SELB_INTC1 — INTC1 割り込み選択レジスタ**」を参照してください。

注7.　同じ割り込みチャネルに 32 の割り込み要因が割り当てられています。詳細は「**第 37 章 PWM 出力／診断（PWM-Diag）**」を参照してください。

注8.　詳細については、「**7BC.10 例外ハンドラアドレス**」を参照してください。

注9.　INTOSTM0 は、EIINT と FEINT にアサインされており、同時に使用することは禁止です。OSTM0 を TSU（Timing Supervision Unit）機能として使用する場合は FEINT を使用してください。また、OSTM0 を TSU 機能以外として使用する場合は EIINT を使用してください。

注10.　割り込み発生要因の詳細については、「*RH850/F1KH, F1KM, F1K フラッシュメモリ ユーザーズマニュアル ハードウェアインタフェース編*」を参照してください。

表 7BC.8　　EI レベルマスカブル割り込み要因 (RH850/F1KM-S1)

割り込み			割り込み要求				例外要因コード	48 Pin	64 Pin	80 Pin	100 Pin	ハンドラアドレス（オフセット）[注8]		
チャネル番号[注1]	制御レジスタ		名称	発生要因	ユニット	検出タイプ[注2]						直接分岐方式		テーブル参照方式[注5]
	名称	アドレス										RINT =0	RINT =1	
0	リザーブ	FFFE EA00$_H$					1000$_H$	—	—	—	—	[注3]	[注4]	+000$_H$
1	リザーブ	FFFE EA02$_H$					1001$_H$	—	—	—	—			+004$_H$
2	リザーブ	FFFE EA04$_H$					1002$_H$	—	—	—	—			+008$_H$
3	リザーブ	FFFE EA06$_H$					1003$_H$	—	—	—	—			+00C$_H$
4	リザーブ	FFFE EA08$_H$					1004$_H$	—	—	—	—			+010$_H$
5	リザーブ	FFFE EA0A$_H$					1005$_H$	—	—	—	—			+014$_H$
6	リザーブ	FFFE EA0C$_H$					1006$_H$	—	—	—	—			+018$_H$
7	リザーブ	FFFE EA0E$_H$					1007$_H$	—	—	—	—			+01C$_H$
8	ICTAUD0I0	FFFE EA10$_H$	INTTAUD0I0 [注6]	TAUD0 の CH0 割り込み	TAUD0	エッジ	1008$_H$	○	○	○	○			+020$_H$
	ICCSIH2IC_1		INTCSIH2IC_1 [注6]	CSIH2 通信ステータス割り込み	CSIH2	エッジ		—	—	○	○			
9	ICTAUD0I2	FFFE EA12$_H$	INTTAUD0I2 [注6]	TAUD0 の CH2 割り込み	TAUD0	エッジ	1009$_H$	○	○	○	○			+024$_H$
	ICCSIH3IC_1		INTCSIH3IC_1 [注6]	CSIH3 通信ステータス割り込み	CSIH3	エッジ		—	—	—	○			
10	ICTAUD0I4	FFFE EA14$_H$	INTTAUD0I4 [注6]	TAUD0 の CH4 割り込み	TAUD0	エッジ	100A$_H$	○	○	○	○			+028$_H$
	ICCSIH2IR_1		INTCSIH2IR_1 [注6]	CSIH2 受信ステータス割り込み	CSIH2	エッジ		—	—	○	○			
11	ICTAUD0I6	FFFE EA16$_H$	INTTAUD0I6 [注6]	TAUD0 の CH6 割り込み	TAUD0	エッジ	100B$_H$	○	○	○	○			+02C$_H$
	ICCSIH2IRE_1		INTCSIH2IRE_1 [注6]	CSIH2 通信エラー割り込み	CSIH2	エッジ		—	—	○	○			
12	ICTAUD0I8	FFFE EA18$_H$	INTTAUD0I8 [注6]	TAUD0 の CH8 割り込み	TAUD0	エッジ	100C$_H$	○	○	○	○			+030$_H$
	ICCSIH2IJC_1		INTCSIH2IJC_1 [注6]	CSIH2 ジョブ完了割り込み	CSIH2	エッジ		—	—	○	○			
13	ICTAUD0I10	FFFE EA1A$_H$	INTTAUD0I10 [注6]	TAUD0 の CH10 割り込み	TAUD0	エッジ	100D$_H$	○	○	○	○			+034$_H$
	ICCSIH3IR_1		INTCSIH3IR_1 [注6]	CSIH3 受信ステータス割り込み	CSIH3	エッジ		—	—	—	○			
14	ICTAUD0I12	FFFE EA1C$_H$	INTTAUD0I12 [注6]	TAUD0 の CH12 割り込み	TAUD0	エッジ	100E$_H$	○	○	○	○			+038$_H$
	ICCSIH3IRE_1		INTCSIH3IRE_1 [注6]	CSIH3 通信エラー割り込み	CSIH3	エッジ		—	—	—	○			
15	ICTAUD0I14	FFFE EA1E$_H$	INTTAUD0I14 [注6]	TAUD0 の CH14 割り込み	TAUD0	エッジ	100F$_H$	○	○	○	○			+03C$_H$
	ICCSIH3IJC_1		INTCSIH3IJC_1 [注6]	CSIH3 ジョブ完了割り込み	CSIH3	エッジ		—	—	—	○			
16	ICTAPA0IPEK0	FFFE EA20$_H$	INTTAPA0IPEK0 [注6]	TAPA0 山割り込み 0	TAPA0	エッジ	1010$_H$	○	○	○	○			+040$_H$
	ICCSIH1IC_1		INTCSIH1IC_1 [注6]	CSIH1 通信ステータス割り込み	CSIH1	エッジ		—	—	○	○			
17	ICTAPA0IVLY0	FFFE EA22$_H$	INTTAPA0IVLY0 [注6]	TAPA0 谷割り込み 0	TAPA0	エッジ	1011$_H$	○	○	○	○			+044$_H$
	ICCSIH1IR_1		INTCSIH1IR_1 [注6]	CSIH1 受信ステータス割り込み	CSIH1	エッジ		—	—	○	○			
18	ICADCA0I0	FFFE EA24$_H$	INTADCA0I0	ADCA0 SG1 終了割り込み	ADCA0	エッジ	1012$_H$	○	○	○	○			+048$_H$
19	ICADCA0I1	FFFE EA26$_H$	INTADCA0I1	ADCA0 SG2 終了割り込み	ADCA0	エッジ	1013$_H$	○	○	○	○			+04C$_H$
20	ICADCA0I2	FFFE EA28$_H$	INTADCA0I2 [注6]	ADCA0 SG3 終了割り込み	ADCA0	エッジ	1014$_H$	○	○	○	○			+050$_H$
	ICCSIH0IJC_1		INTCSIH0IJC_1 [注6]	CSIH0 ジョブ完了割り込み	CSIH0	エッジ		○	○	○	○			
21	ICDCUTDI	FFFE EA2A$_H$	INTDCUTDI	オンチップデバッグ機能専用割り込み	Port	エッジ	1015$_H$	○	○	○	○			+054$_H$
22	ICRCANGERR0	FFFE EA2C$_H$	INTRCANGERR0	CAN グローバルエラー割り込み	RCFDC0	レベル	1016$_H$	○	○	○	○			+058$_H$
23	ICRCANGRECC0	FFFE EA2E$_H$	INTRCANGRECC0	CAN 受信 FIFO 割り込み	RCFDC0	レベル	1017$_H$	○	○	○	○			+05C$_H$
24	ICRCAN0ERR	FFFE EA30$_H$	INTRCAN0ERR	CAN0 エラー割り込み	RCFDC0	レベル	1018$_H$	○	○	○	○			+060$_H$
25	ICRCAN0REC	FFFE EA32$_H$	INTRCAN0REC	CAN0 送受信 FIFO 受信完了割り込み	RCFDC0	レベル	1019$_H$	○	○	○	○			+064$_H$
26	ICRCAN0TRX	FFFE EA34$_H$	INTRCAN0TRX	CAN0 送信割り込み	RCFDC0	レベル	101A$_H$	○	○	○	○			+068$_H$
27	ICCSIG0IC	FFFE EA36$_H$	INTCSIG0IC [注6]	CSIG0 通信ステータス割り込み	CSIG0	エッジ	101B$_H$	○	○	○	○			+06C$_H$
	ICCSIH1IRE_1		INTCSIH1IRE_1 [注6]	CSIH1 通信エラー割り込み	CSIH1	エッジ		—	—	○	○			
28	ICCSIG0IR	FFFE EA38$_H$	INTCSIG0IR [注6]	CSIG0 受信ステータス割り込み	CSIG0	エッジ	101C$_H$	○	○	○	○			+070$_H$
	ICCSIH1IJC_1		INTCSIH1IJC_1 [注6]	CSIH1 ジョブ完了割り込み	CSIH1	エッジ		—	—	○	○			
29	ICCSIH0IC	FFFE EA3A$_H$	INTCSIH0IC	CSIH0 通信ステータス割り込み	CSIH0	エッジ	101D$_H$	○	○	○	○			+074$_H$
30	ICCSIH0IR	FFFE EA3C$_H$	INTCSIH0IR	CSIH0 受信ステータス割り込み	CSIH0	エッジ	101E$_H$	○	○	○	○			+078$_H$
31	ICCSIH0IRE	FFFE EA3E$_H$	INTCSIH0IRE	CSIH0 通信エラー割り込み	CSIH0	エッジ	101F$_H$	○	○	○	○			+07C$_H$

表 7BC.8　EI レベルマスカブル割り込み要因（RH850/F1KM-S1）

割り込み			割り込み要求				例外要因コード	48 Pin	64 Pin	80 Pin	100 Pin	ハンドラアドレス（オフセット）注8		
チャネル番号注1	制御レジスタ 名称	制御レジスタ アドレス	名称	発生要因	ユニット	検出タイプ注2						直接分岐方式 RINT=0	直接分岐方式 RINT=1	テーブル参照方式注5
32	ICCSIH0IJC	FFFF B040$_H$	INTCSIH0IJC 注6	CSIH0 ジョブ完了割り込み	CSIH0	エッジ	1020$_H$	○	○	○	○	注3	注4	+080$_H$
	ICADCA0I2_2		INTADCA0I2_2 注6	ADCA0 SG3 終了割り込み	ADCA0	エッジ		○	○	○	○			
33	ICRLIN30	FFFF B042$_H$	INTRLIN30	RLIN30 割り込み	RLIN30	エッジ	1021$_H$	○	○	○	○			+084$_H$
34	ICRLIN30UR0	FFFF B044$_H$	INTRLIN30UR0	RLIN30 送信割り込み	RLIN30	エッジ	1022$_H$	○	○	○	○			+088$_H$
35	ICRLIN30UR1	FFFF B046$_H$	INTRLIN30UR1	RLIN30 受信完了割り込み	RLIN30	エッジ	1023$_H$	○	○	○	○			+08C$_H$
36	ICRLIN30UR2	FFFF B048$_H$	INTRLIN30UR2	RLIN30 ステータス割り込み	RLIN30	エッジ	1024$_H$	○	○	○	○			+090$_H$
37	ICP0	FFFF B04A$_H$	INTP0	外部割り込み	Port	エッジ	1025$_H$	○	○	○	○			+094$_H$
38	ICP1	FFFF B04C$_H$	INTP1	外部割り込み	Port	エッジ	1026$_H$	○	○	○	○			+098$_H$
39	ICP2	FFFF B04E$_H$	INTP2	外部割り込み	Port	エッジ	1027$_H$	○	○	○	○			+09C$_H$
40	ICWDTA0	FFFF B050$_H$	INTWDTA0	WDTA0 75%割り込み	WDTA0	エッジ	1028$_H$	○	○	○	○			+0A0$_H$
41	ICWDTA1	FFFF B052$_H$	INTWDTA1	WDTA1 75%割り込み	WDTA1	エッジ	1029$_H$	○	○	○	○			+0A4$_H$
42	リザーブ	FFFF B054$_H$					102A$_H$	—	—	—	—			+0A8$_H$
43	ICP3	FFFF B056$_H$	INTP3	外部割り込み	Port	エッジ	102B$_H$	○	○	○	○			+0AC$_H$
44	ICP4	FFFF B058$_H$	INTP4	外部割り込み	Port	エッジ	102C$_H$	○	○	○	○			+0B0$_H$
45	ICP5	FFFF B05A$_H$	INTP5	外部割り込み	Port	エッジ	102D$_H$	○	○	○	○			+0B4$_H$
46	ICP10	FFFF B05C$_H$	INTP10	外部割り込み	Port	エッジ	102E$_H$	○	○	○	○			+0B8$_H$
47	ICP11	FFFF B05E$_H$	INTP11	外部割り込み	Port	エッジ	102F$_H$	○	○	○	○			+0BC$_H$
48	ICTAUD0I1	FFFF B060$_H$	INTTAUD0I1	TAUD0 チャネル 1 割り込み	TAUD0	エッジ	1030$_H$	○	○	○	○			+0C0$_H$
49	ICTAUD0I3	FFFF B062$_H$	INTTAUD0I3	TAUD0 チャネル 3 割り込み	TAUD0	エッジ	1031$_H$	○	○	○	○			+0C4$_H$
50	ICTAUD0I5	FFFF B064$_H$	INTTAUD0I5	TAUD0 チャネル 5 割り込み	TAUD0	エッジ	1032$_H$	○	○	○	○			+0C8$_H$
51	ICTAUD0I7	FFFF B066$_H$	INTTAUD0I7	TAUD0 チャネル 7 割り込み	TAUD0	エッジ	1033$_H$	○	○	○	○			+0CC$_H$
52	ICTAUD0I9	FFFF B068$_H$	INTTAUD0I9	TAUD0 チャネル 9 割り込み	TAUD0	エッジ	1034$_H$	○	○	○	○			+0D0$_H$
53	ICTAUD0I11	FFFF B06A$_H$	INTTAUD0I11	TAUD0 チャネル 11 割り込み	TAUD0	エッジ	1035$_H$	○	○	○	○			+0D4$_H$
54	ICTAUD0I13	FFFF B06C$_H$	INTTAUD0I13	TAUD0 チャネル 13 割り込み	TAUD0	エッジ	1036$_H$	○	○	○	○			+0D8$_H$
55	ICTAUD0I15	FFFF B06E$_H$	INTTAUD0I15	TAUD0 チャネル 15 割り込み	TAUD0	エッジ	1037$_H$	○	○	○	○			+0DC$_H$
56	ICADCA0ERR	FFFF B070$_H$	INTADCA0ERR	ADCA0 エラー割り込み	ADCA0	エッジ	1038$_H$	○	○	○	○			+0E0$_H$
57	ICCSIG0IRE	FFFF B072$_H$	INTCSIG0IRE	CSIG0 通信エラー割り込み	CSIG0	エッジ	1039$_H$	○	○	○	○			+0E4$_H$
58	ICRLIN20	FFFF B074$_H$	INTRLIN20	RLIN20 割り込み	RLIN240	エッジ	103A$_H$	○	○	○	○			+0E8$_H$
59	ICRLIN21	FFFF B076$_H$	INTRLIN21	RLIN21 割り込み	RLIN240	エッジ	103B$_H$	○	○	○	○			+0EC$_H$
60	ICDMA0	FFFF B078$_H$	INTDMA0	DMA00 転送完了	PDMA0	エッジ	103C$_H$	○	○	○	○			+0F0$_H$
61	ICDMA1	FFFF B07A$_H$	INTDMA1	DMA01 転送完了	PDMA0	エッジ	103D$_H$	○	○	○	○			+0F4$_H$
62	ICDMA2	FFFF B07C$_H$	INTDMA2	DMA02 転送完了	PDMA0	エッジ	103E$_H$	○	○	○	○			+0F8$_H$
63	ICDMA3	FFFF B07E$_H$	INTDMA3	DMA03 転送完了	PDMA0	エッジ	103F$_H$	○	○	○	○			+0FC$_H$
64	ICDMA4	FFFF B080$_H$	INTDMA4	DMA04 転送完了	PDMA0	エッジ	1040$_H$	○	○	○	○			+100$_H$
65	ICDMA5	FFFF B082$_H$	INTDMA5	DMA05 転送完了	PDMA0	エッジ	1041$_H$	○	○	○	○			+104$_H$
66	ICDMA6	FFFF B084$_H$	INTDMA6	DMA06 転送完了	PDMA0	エッジ	1042$_H$	○	○	○	○			+108$_H$
67	ICDMA7	FFFF B086$_H$	INTDMA7	DMA07 転送完了	PDMA0	エッジ	1043$_H$	○	○	○	○			+10C$_H$
68	ICDMA8	FFFF B088$_H$	INTDMA8	DMA10 転送完了	PDMA0	エッジ	1044$_H$	○	○	○	○			+110$_H$
69	ICDMA9	FFFF B08A$_H$	INTDMA9	DMA11 転送完了	PDMA0	エッジ	1045$_H$	○	○	○	○			+114$_H$
70	ICDMA10	FFFF B08C$_H$	INTDMA10	DMA12 転送完了	PDMA0	エッジ	1046$_H$	○	○	○	○			+118$_H$
71	ICDMA11	FFFF B08E$_H$	INTDMA11	DMA13 転送完了	PDMA0	エッジ	1047$_H$	○	○	○	○			+11C$_H$
72	ICDMA12	FFFF B090$_H$	INTDMA12	DMA14 転送完了	PDMA0	エッジ	1048$_H$	○	○	○	○			+120$_H$
73	ICDMA13	FFFF B092$_H$	INTDMA13	DMA15 転送完了	PDMA0	エッジ	1049$_H$	○	○	○	○			+124$_H$
74	ICDMA14	FFFF B094$_H$	INTDMA14	DMA16 転送完了	PDMA0	エッジ	104A$_H$	○	○	○	○			+128$_H$
75	ICDMA15	FFFF B096$_H$	INTDMA15	DMA17 転送完了	PDMA0	エッジ	104B$_H$	○	○	○	○			+12C$_H$
76	ICRIIC0TI	FFFF B098$_H$	INTRIIC0TI	RIIC0 送信データエンプティ割り込み	RIIC0	エッジ	104C$_H$	○	○	○	○			+130$_H$
77	ICRIIC0EE	FFFF B09A$_H$	INTRIIC0EE	RIIC0 受信エラー／イベント割り込み	RIIC0	レベル	104D$_H$	○	○	○	○			+134$_H$
78	ICRIIC0RI	FFFF B09C$_H$	INTRIIC0RI	RIIC0 受信完了割り込み	RIIC0	エッジ	104E$_H$	○	○	○	○			+138$_H$

表 7BC.8　EI レベルマスカブル割り込み要因 (RH850/F1KM-S1)

割り込み			割り込み要求				例外要因コード	48 Pin	64 Pin	80 Pin	100 Pin	ハンドラアドレス（オフセット）[注8]		
チャネル番号[注1]	制御レジスタ		名称	発生要因	ユニット	検出タイプ[注2]						直接分岐方式		テーブル参照方式[注5]
	名称	アドレス										RINT =0	RINT =1	
79	ICRIIC0TEI	FFFF B09E$_H$	INTRIIC0TEI	RIIC0 送信完了割り込み	RIIC0	レベル	104F$_H$	○	○	○	○	[注3]	[注4]	+13C$_H$
80	ICTAUJ0I0	FFFF B0A0$_H$	INTTAUJ0I0	TAUJ0 チャネル 0 割り込み	TAUJ0	エッジ	1050$_H$	○	○	○	○			+140$_H$
81	ICTAUJ0I1	FFFF B0A2$_H$	INTTAUJ0I1	TAUJ0 チャネル 1 割り込み	TAUJ0	エッジ	1051$_H$	○	○	○	○			+144$_H$
82	ICTAUJ0I2	FFFF B0A4$_H$	INTTAUJ0I2	TAUJ0 チャネル 2 割り込み	TAUJ0	エッジ	1052$_H$	○	○	○	○			+148$_H$
83	ICTAUJ0I3	FFFF B0A6$_H$	INTTAUJ0I3	TAUJ0 チャネル 3 割り込み	TAUJ0	エッジ	1053$_H$	○	○	○	○			+14C$_H$
84	ICOSTM0	FFFF B0A8$_H$	INTOSTM0 [注9]	OSTM0 割り込み	OSTM0	エッジ	1054$_H$	○	○	○	○			+150$_H$
85	ICENCA0IOV	FFFF B0AA$_H$	INTENCA0IOV	ENCA0 オーバフロー割り込み	ENCA0	エッジ	1055$_H$	○	○	○	○			+154$_H$
86	ICENCA0IUD	FFFF B0AC$_H$	INTENCA0IUD	ENCA0 アンダフロー割り込み	ENCA0	エッジ	1056$_H$	○	○	○	○			+158$_H$
87	ICENCA0I0	FFFF B0AE$_H$	INTENCA0I0	ENCA0 一致／キャプチャ割り込み 0	ENCA0	エッジ	1057$_H$	○	○	○	○			+15C$_H$
88	ICENCA0I1	FFFF B0B0$_H$	INTENCA0I1	ENCA0 一致／キャプチャ割り込み 1	ENCA0	エッジ	1058$_H$	○	○	○	○			+160$_H$
89	ICENCA0IEC	FFFF B0B2$_H$	INTENCA0IEC	ENCA0 エンコーダクリア割り込み	ENCA0	エッジ	1059$_H$	○	○	○	○			+164$_H$
90	ICKR0	FFFF B0B4$_H$	INTKR0	KR0 キー割り込み	KR0	エッジ	105A$_H$	○	○	○	○			+168$_H$
91	ICQFULL	FFFF B0B6$_H$	INTQFULL	PWSA0 キューフル割り込み	PWSA0	エッジ	105B$_H$	○	○	○	○			+16C$_H$
92	ICPWGAG00	FFFF B0B8$_H$	INTPWGAG00 [注7]	PWGA 割り込みグループ 00（PWGA0～PWGA31）	PWGA0-31	レベル	105C$_H$	○	○	○	○			+170$_H$
93	ICPWGAG01	FFFF B0BA$_H$	INTPWGAG01 [注7]	PWGA 割り込みグループ 01（PWGA32～PWGA63）	PWGA32-63	レベル	105D$_H$	—	—	—	○			+174$_H$
94	リザーブ	FFFF B0BC$_H$					105E$_H$	—	—	—	—			+178$_H$
95	リザーブ	FFFF B0BE$_H$					105F$_H$	—	—	—	—			+17C$_H$
96	リザーブ	FFFF B0C0$_H$					1060$_H$	—	—	—	—			+180$_H$
97	リザーブ	FFFF B0C2$_H$					1061$_H$	—	—	—	—			+184$_H$
98	リザーブ	FFFF B0C4$_H$					1062$_H$	—	—	—	—			+188$_H$
99	リザーブ	FFFF B0C6$_H$					1063$_H$	—	—	—	—			+18C$_H$
100	リザーブ	FFFF B0C8$_H$					1064$_H$	—	—	—	—			+190$_H$
101	リザーブ	FFFF B0CA$_H$					1065$_H$	—	—	—	—			+194$_H$
102	リザーブ	FFFF B0CC$_H$					1066$_H$	—	—	—	—			+198$_H$
103	リザーブ	FFFF B0CE$_H$					1067$_H$	—	—	—	—			+19C$_H$
104	リザーブ	FFFF B0D0$_H$					1068$_H$	—	—	—	—			+1A0$_H$
105	リザーブ	FFFF B0D2$_H$					1069$_H$	—	—	—	—			+1A4$_H$
106	リザーブ	FFFF B0D4$_H$					106A$_H$	—	—	—	—			+1A8$_H$
107	リザーブ	FFFF B0D6$_H$					106B$_H$	—	—	—	—			+1AC$_H$
108	リザーブ	FFFF B0D8$_H$					106C$_H$	—	—	—	—			+1B0$_H$
109	リザーブ	FFFF B0DA$_H$					106D$_H$	—	—	—	—			+1B4$_H$
110	ICFLERR	FFFF B0DC$_H$	INTFLERR [注10]	フラッシュシーケンサ終了エラー割り込み	FACI	レベル	106E$_H$	○	○	○	○			+1B8$_H$
111	ICFLENDNM	FFFF B0DE$_H$	INTFLENDNM [注10]	フラッシュシーケンサ終了割り込み	FACI	エッジ	106F$_H$	○	○	○	○			+1BC$_H$
112	ICCWEND	FFFF B0E0$_H$	INTCWEND	LPS0 ポートポーリング終了割り込み	LPS0	エッジ	1070$_H$	○	○	○	○			+1C0$_H$
113	ICRCAN1ERR	FFFF B0E2$_H$	INTRCAN1ERR	CAN1 エラー割り込み	RCFDC0	レベル	1071$_H$	—	○	○	○			+1C4$_H$
114	ICRCAN1REC	FFFF B0E4$_H$	INTRCAN1REC	CAN1 送受信 FIFO 受信完了割り込み	RCFDC0	レベル	1072$_H$	—	○	○	○			+1C8$_H$
115	ICRCAN1TRX	FFFF B0E6$_H$	INTRCAN1TRX	CAN1 送信割り込み	RCFDC0	レベル	1073$_H$	—	○	○	○			+1CC$_H$
116	ICCSIH1IC	FFFF B0E8$_H$	INTCSIH1IC [注6]	CSIH1 通信ステータス割り込み	CSIH1	エッジ	1074$_H$	—	—	○	○			+1D0$_H$
	ICTAPA0IPEK0_2		INTTAPA0IPEK0_2 [注6]	TAPA0 山割り込み 0	TAPA0	エッジ		○	○	○	○			
117	ICCSIH1IR	FFFF B0EA$_H$	INTCSIH1IR [注6]	CSIH1 受信ステータス割り込み	CSIH1	エッジ	1075$_H$	—	—	○	○			+1D4$_H$
	ICTAPA0IVLY0_2		INTTAPA0IVLY0_2 [注6]	TAPA0 谷割り込み 0	TAPA0	エッジ		○	○	○	○			
118	ICCSIH1IRE	FFFF B0EC$_H$	INTCSIH1IRE [注6]	CSIH1 通信エラー割り込み	CSIH1	エッジ	1076$_H$	—	—	○	○			+1D8$_H$
	ICCSIG0IC_2		INTCSIG0IC_2 [注6]	CSIG0 通信ステータス割り込み	CSIG0	エッジ		○	○	○	○			
119	ICCSIH1IJC	FFFF B0EE$_H$	INTCSIH1IJC [注6]	CSIH1 ジョブ完了割り込み	CSIH1	エッジ	1077$_H$	—	—	○	○			+1DC$_H$
	ICCSIG0IR_2		INTCSIG0IR_2 [注6]	CSIG0 受信ステータス割り込み	CSIG0	エッジ		○	○	○	○			
120	ICRLIN31	FFFF B0F0$_H$	INTRLIN31	RLIN31 割り込み	RLIN31	エッジ	1078$_H$	—	○	○	○			+1E0$_H$

表 7BC.8　EI レベルマスカブル割り込み要因 (RH850/F1KM-S1)

割り込み			割り込み要求				例外要因コード	48 Pin	64 Pin	80 Pin	100 Pin	ハンドラアドレス（オフセット）[注8]		
チャネル番号[注1]	制御レジスタ		名称	発生要因	ユニット	検出タイプ[注2]						直接分岐方式		テーブル参照方式[注5]
	名称	アドレス										RINT =0	RINT =1	
121	ICRLIN31UR0	FFFF B0F2$_{H}$	INTRLIN31UR0	RLIN31 送信割り込み	RLIN31	エッジ	1079$_{H}$	—	○	○	○	注3	注4	+1E4$_{H}$
122	ICRLIN31UR1	FFFF B0F4$_{H}$	INTRLIN31UR1	RLIN31 受信完了割り込み	RLIN31	エッジ	107A$_{H}$	—	○	○	○			+1E8$_{H}$
123	ICRLIN31UR2	FFFF B0F6$_{H}$	INTRLIN31UR2	RLIN31 ステータス割り込み	RLIN31	エッジ	107B$_{H}$	—	○	○	○			+1EC$_{H}$
124	リザーブ	FFFF B0F8$_{H}$					107C$_{H}$	—	—	—	—			+1F0$_{H}$
125	リザーブ	FFFF B0FA$_{H}$					107D$_{H}$	—	—	—	—			+1F4$_{H}$
126	リザーブ	FFFF B0FC$_{H}$					107E$_{H}$	—	—	—	—			+1F8$_{H}$
127	リザーブ	FFFF B0FE$_{H}$					107F$_{H}$	—	—	—	—			+1FC$_{H}$
128	ICP6	FFFF B100$_{H}$	INTP6	外部割り込み	Port	エッジ	1080$_{H}$	—	—	○	○			+200$_{H}$
129	ICP7	FFFF B102$_{H}$	INTP7	外部割り込み	Port	エッジ	1081$_{H}$	—	—	○	○			+204$_{H}$
130	ICP8	FFFF B104$_{H}$	INTP8	外部割り込み	Port	エッジ	1082$_{H}$	—	—	○	○			+208$_{H}$
131	ICP12	FFFF B106$_{H}$	INTP12	外部割り込み	Port	エッジ	1083$_{H}$	—	—	○	○			+20C$_{H}$
132	ICCSIH2IC	FFFF B108$_{H}$	INTCSIH2IC[注6]	CSIH2 通信ステータス割り込み	CSIH2	エッジ	1084$_{H}$	—	—	○	○			+210$_{H}$
	ICTAUD0I0_2		INTTAUD0I0_2[注6]	TAUD0 チャネル 0 割り込み	TAUD0	エッジ		○	○	○	○			
133	ICCSIH2IR	FFFF B10A$_{H}$	INTCSIH2IR[注6]	CSIH2 受信ステータス割り込み	CSIH2	エッジ	1085$_{H}$	—	—	○	○			+214$_{H}$
	ICTAUD0I4_2		INTTAUD0I4_2[注6]	TAUD0 チャネル 4 割り込み	TAUD0	エッジ		○	○	○	○			
134	ICCSIH2IRE	FFFF B10C$_{H}$	INTCSIH2IRE[注6]	CSIH2 通信エラー割り込み	CSIH2	エッジ	1086$_{H}$	—	—	○	○			+218$_{H}$
	ICTAUD0I6_2		INTTAUD0I6_2[注6]	TAUD0 チャネル 6 割り込み	TAUD0	エッジ		○	○	○	○			
135	ICCSIH2IJC	FFFF B10E$_{H}$	INTCSIH2IJC[注6]	CSIH2 ジョブ完了割り込み	CSIH2	エッジ	1087$_{H}$	—	—	○	○			+21C$_{H}$
	ICTAUD0I8_2		INTTAUD0I8_2[注6]	TAUD0 チャネル 8 割り込み	TAUD0	エッジ		○	○	○	○			
136	リザーブ	FFFF B110$_{H}$					1088$_{H}$	—	—	—	—			+220$_{H}$
137	リザーブ	FFFF B112$_{H}$					1089$_{H}$	—	—	—	—			+224$_{H}$
138	リザーブ	FFFF B114$_{H}$					108A$_{H}$	—	—	—	—			+228$_{H}$
139	リザーブ	FFFF B116$_{H}$					108B$_{H}$	—	—	—	—			+22C$_{H}$
140	リザーブ	FFFF B118$_{H}$					108C$_{H}$	—	—	—	—			+230$_{H}$
141	リザーブ	FFFF B11A$_{H}$					108D$_{H}$	—	—	—	—			+234$_{H}$
142	ICTAUB0I0	FFFF B11C$_{H}$	INTTAUB0I0	TAUB0 チャネル 0 割り込み	TAUB0	エッジ	108E$_{H}$	—	—	○	○			+238$_{H}$
143	ICTAUB0I1	FFFF B11E$_{H}$	INTTAUB0I1	TAUB0 チャネル 1 割り込み	TAUB0	エッジ	108F$_{H}$	—	—	○	○			+23C$_{H}$
144	ICTAUB0I2	FFFF B120$_{H}$	INTTAUB0I2	TAUB0 チャネル 2 割り込み	TAUB0	エッジ	1090$_{H}$	—	—	○	○			+240$_{H}$
145	ICTAUB0I3	FFFF B122$_{H}$	INTTAUB0I3	TAUB0 チャネル 3 割り込み	TAUB0	エッジ	1091$_{H}$	—	—	○	○			+244$_{H}$
146	ICTAUB0I4	FFFF B124$_{H}$	INTTAUB0I4	TAUB0 チャネル 4 割り込み	TAUB0	エッジ	1092$_{H}$	—	—	○	○			+248$_{H}$
147	ICTAUB0I5	FFFF B126$_{H}$	INTTAUB0I5	TAUB0 チャネル 5 割り込み	TAUB0	エッジ	1093$_{H}$	—	—	○	○			+24C$_{H}$
148	ICTAUB0I6	FFFF B128$_{H}$	INTTAUB0I6	TAUB0 チャネル 6 割り込み	TAUB0	エッジ	1094$_{H}$	—	—	○	○			+250$_{H}$
149	ICTAUB0I7	FFFF B12A$_{H}$	INTTAUB0I7	TAUB0 チャネル 7 割り込み	TAUB0	エッジ	1095$_{H}$	—	—	○	○			+254$_{H}$
150	ICTAUB0I8	FFFF B12C$_{H}$	INTTAUB0I8	TAUB0 チャネル 8 割り込み	TAUB0	エッジ	1096$_{H}$	—	—	○	○			+258$_{H}$
151	ICTAUB0I9	FFFF B12E$_{H}$	INTTAUB0I9	TAUB0 チャネル 9 割り込み	TAUB0	エッジ	1097$_{H}$	—	—	○	○			+25C$_{H}$
152	ICTAUB0I10	FFFF B130$_{H}$	INTTAUB0I10	TAUB0 チャネル 10 割り込み	TAUB0	エッジ	1098$_{H}$	—	—	○	○			+260$_{H}$
153	ICTAUB0I11	FFFF B132$_{H}$	INTTAUB0I11	TAUB0 チャネル 11 割り込み	TAUB0	エッジ	1099$_{H}$	—	—	○	○			+264$_{H}$
154	ICTAUB0I12	FFFF B134$_{H}$	INTTAUB0I12	TAUB0 チャネル 12 割り込み	TAUB0	エッジ	109A$_{H}$	—	—	○	○			+268$_{H}$
155	ICTAUB0I13	FFFF B136$_{H}$	INTTAUB0I13	TAUB0 チャネル 13 割り込み	TAUB0	エッジ	109B$_{H}$	—	—	○	○			+26C$_{H}$
156	ICTAUB0I14	FFFF B138$_{H}$	INTTAUB0I14	TAUB0 チャネル 14 割り込み	TAUB0	エッジ	109C$_{H}$	—	—	○	○			+270$_{H}$
157	ICTAUB0I15	FFFF B13A$_{H}$	INTTAUB0I15	TAUB0 チャネル 15 割り込み	TAUB0	エッジ	109D$_{H}$	—	—	○	○			+274$_{H}$
158	ICCSIH3IC	FFFF B13C$_{H}$	INTCSIH3IC[注6]	CSIH3 通信ステータス割り込み	CSIH3	エッジ	109E$_{H}$	—	—	—	○			+278$_{H}$
	ICTAUD0I2_2		INTTAUD0I2_2[注6]	TAUD0 チャネル 2 割り込み	TAUD0	エッジ		○	○	○	○			
159	ICCSIH3IR	FFFF B13E$_{H}$	INTCSIH3IR[注6]	CSIH3 受信ステータス割り込み	CSIH3	エッジ	109F$_{H}$	—	—	—	○			+27C$_{H}$
	ICTAUD0I10_2		INTTAUD0I10_2[注6]	TAUD0 チャネル 10 割り込み	TAUD0	エッジ		○	○	○	○			
160	ICCSIH3IRE	FFFF B140$_{H}$	INTCSIH3IRE[注6]	CSIH3 通信エラー割り込み	CSIH3	エッジ	10A0$_{H}$	—	—	—	○			+280$_{H}$
	ICTAUD0I12_2		INTTAUD0I12_2[注6]	TAUD0 チャネル 12 割り込み	TAUD0	エッジ		○	○	○	○			

表 7BC.8　EI レベルマスカブル割り込み要因 (RH850/F1KM-S1)

割り込み			割り込み要求				例外要因コード	48 Pin	64 Pin	80 Pin	100 Pin	ハンドラアドレス（オフセット）注8		
チャネル番号注1	制御レジスタ		名称	発生要因	ユニット	検出タイプ注2						直接分岐方式		テーブル参照方式注5
	名称	アドレス										RINT=0	RINT=1	
161	ICCSIH3IJC	FFFF B142$_H$	INTCSIH3IJC 注6	CSIH3 ジョブ完了割り込み	CSIH3	エッジ	10A1$_H$	—	—	—	○	注3	注4	+284$_H$
	ICTAUD0I14_2		INTTAUD0I14_2 注6	TAUD0 チャネル 14 割り込み	TAUD0	エッジ		○	○	○	○			
162	ICRLIN22	FFFF B144$_H$	INTRLIN22	RLIN22 割り込み	RLIN240	エッジ	10A2$_H$	—	—	—	○			+288$_H$
163	リザーブ	FFFF B146$_H$					10A3$_H$	—	—	—	—			+28C$_H$
164	ICRLIN32	FFFF B148$_H$	INTRLIN32	RLIN32 割り込み	RLIN32	エッジ	10A4$_H$	—	—	○	○			+290$_H$
165	ICRLIN32UR0	FFFF B14A$_H$	INTRLIN32UR0	RLIN32 送信割り込み	RLIN32	エッジ	10A5$_H$	—	—	○	○			+294$_H$
166	ICRLIN32UR1	FFFF B14C$_H$	INTRLIN32UR1	RLIN32 受信完了割り込み	RLIN32	エッジ	10A6$_H$	—	—	○	○			+298$_H$
167	ICRLIN32UR2	FFFF B14E$_H$	INTRLIN32UR2	RLIN32 ステータス割り込み	RLIN32	エッジ	10A7$_H$	—	—	○	○			+29C$_H$
168	ICTAUJ1I0	FFFF B150$_H$	INTTAUJ1I0	TAUJ1 チャネル 0 割り込み	TAUJ1	エッジ	10A8$_H$	○	○	○	○			+2A0$_H$
169	ICTAUJ1I1	FFFF B152$_H$	INTTAUJ1I1	TAUJ1 チャネル 1 割り込み	TAUJ1	エッジ	10A9$_H$	○	○	○	○			+2A4$_H$
170	ICTAUJ1I2	FFFF B154$_H$	INTTAUJ1I2	TAUJ1 チャネル 2 割り込み	TAUJ1	エッジ	10AA$_H$	○	○	○	○			+2A8$_H$
171	ICTAUJ1I3	FFFF B156$_H$	INTTAUJ1I3	TAUJ1 チャネル 3 割り込み	TAUJ1	エッジ	10AB$_H$	○	○	○	○			+2AC$_H$
172	リザーブ	FFFF B158$_H$					10AC$_H$	—	—	—	—			+2B0$_H$
173	リザーブ	FFFF B15A$_H$					10AD$_H$	—	—	—	—			+2B4$_H$
174	リザーブ	FFFF B15C$_H$					10AE$_H$	—	—	—	—			+2B8$_H$
175	リザーブ	FFFF B15E$_H$					10AF$_H$	—	—	—	—			+2BC$_H$
176	リザーブ	FFFF B160$_H$					10B0$_H$	—	—	—	—			+2C0$_H$
177	リザーブ	FFFF B162$_H$					10B1$_H$	—	—	—	—			+2C4$_H$
178	リザーブ	FFFF B164$_H$					10B2$_H$	—	—	—	—			+2C8$_H$
179	リザーブ	FFFF B166$_H$					10B3$_H$	—	—	—	—			+2CC$_H$
180	リザーブ	FFFF B168$_H$					10B4$_H$	—	—	—	—			+2D0$_H$
181	リザーブ	FFFF B16A$_H$					10B5$_H$	—	—	—	—			+2D4$_H$
182	リザーブ	FFFF B16C$_H$					10B6$_H$	—	—	—	—			+2D8$_H$
183	リザーブ	FFFF B16E$_H$					10B7$_H$	—	—	—	—			+2DC$_H$
184	リザーブ	FFFF B170$_H$					10B8$_H$	—	—	—	—			+2E0$_H$
185	リザーブ	FFFF B172$_H$					10B9$_H$	—	—	—	—			+2E4$_H$
186	リザーブ	FFFF B174$_H$					10BA$_H$	—	—	—	—			+2E8$_H$
187	リザーブ	FFFF B176$_H$					10BB$_H$	—	—	—	—			+2EC$_H$
188	リザーブ	FFFF B178$_H$					10BC$_H$	—	—	—	—			+2F0$_H$
189	リザーブ	FFFF B17A$_H$					10BD$_H$	—	—	—	—			+2F4$_H$
190	リザーブ	FFFF B17C$_H$					10BE$_H$	—	—	—	—			+2F8$_H$
191	リザーブ	FFFF B17E$_H$					10BF$_H$	—	—	—	—			+2FC$_H$
192	リザーブ	FFFF B180$_H$					10C0$_H$	—	—	—	—			+300$_H$
193	リザーブ	FFFF B182$_H$					10C1$_H$	—	—	—	—			+304$_H$
194	リザーブ	FFFF B184$_H$					10C2$_H$	—	—	—	—			+308$_H$
195	リザーブ	FFFF B186$_H$					10C3$_H$	—	—	—	—			+30C$_H$
196	リザーブ	FFFF B188$_H$					10C4$_H$	—	—	—	—			+310$_H$
197	リザーブ	FFFF B18A$_H$					10C5$_H$	—	—	—	—			+314$_H$
198	リザーブ	FFFF B18C$_H$					10C6$_H$	—	—	—	—			+318$_H$
199	リザーブ	FFFF B18E$_H$					10C7$_H$	—	—	—	—			+31C$_H$
200	リザーブ	FFFF B190$_H$					10C8$_H$	—	—	—	—			+320$_H$
201	リザーブ	FFFF B192$_H$					10C9$_H$	—	—	—	—			+324$_H$
202	リザーブ	FFFF B194$_H$					10CA$_H$	—	—	—	—			+328$_H$
203	リザーブ	FFFF B196$_H$					10CB$_H$	—	—	—	—			+32C$_H$
204	リザーブ	FFFF B198$_H$					10CC$_H$	—	—	—	—			+330$_H$
205	リザーブ	FFFF B19A$_H$					10CD$_H$	—	—	—	—			+334$_H$
206	ICP13	FFFF B19C$_H$	INTP13	外部割り込み	Port	エッジ	10CE$_H$	—	—	—	○			+338$_H$
207	リザーブ	FFFF B19E$_H$					10CF$_H$	—	—	—	—			+33C$_H$

表 7BC.8　EI レベルマスカブル割り込み要因（RH850/F1KM-S1）

割り込み			割り込み要求				例外要因コード	48 Pin	64 Pin	80 Pin	100 Pin	ハンドラアドレス（オフセット）注8		
チャネル番号注1	制御レジスタ		名称	発生要因	ユニット	検出タイプ注2						直接分岐方式		テーブル参照方式注5
	名称	アドレス										RINT =0	RINT =1	
208	リザーブ	FFFF B1A0$_H$					10D0$_H$	—	—	—	—	注3	注4	+340$_H$
209	ICRTCA01S	FFFF B1A2$_H$	INTRTCA01S	RTCA0 1 秒インターバル割り込み	RTCA0	エッジ	10D1$_H$	○	○	○	○			+344$_H$
210	ICRTCA0AL	FFFF B1A4$_H$	INTRTCA0AL	RTCA0 アラーム割り込み	RTCA0	エッジ	10D2$_H$	○	○	○	○			+348$_H$
211	ICRTCA0R	FFFF B1A6$_H$	INTRTCA0R	RTCA0 定周期割り込み	RTCA0	エッジ	10D3$_H$	○	○	○	○			+34C$_H$
212	リザーブ	FFFF B1A8$_H$					10D4$_H$	—	—	—	—			+350$_H$
213	リザーブ	FFFF B1AA$_H$					10D5$_H$	—	—	—	—			+354$_H$
214	リザーブ	FFFF B1AC$_H$					10D6$_H$	—	—	—	—			+358$_H$
215	リザーブ	FFFF B1AE$_H$					10D7$_H$	—	—	—	—			+35C$_H$
216	リザーブ	FFFF B1B0$_H$					10D8$_H$	—	—	—	—			+360$_H$
217	ICRCAN2ERR	FFFF B1B2$_H$	INTRCAN2ERR	CAN2 エラー割り込み	RCFDC0	レベル	10D9$_H$	—	○	○	○			+364$_H$
218	ICRCAN2REC	FFFF B1B4$_H$	INTRCAN2REC	CAN2 送受信 FIFO 受信完了割り込み	RCFDC0	レベル	10DA$_H$	—	○	○	○			+368$_H$
219	ICRCAN2TRX	FFFF B1B6$_H$	INTRCAN2TRX	CAN2 送信割り込み	RCFDC0	レベル	10DB$_H$	—	○	○	○			+36C$_H$
220	ICRCAN3ERR	FFFF B1B8$_H$	INTRCAN3ERR	CAN3 エラー割り込み	RCFDC0	レベル	10DC$_H$	—	—	—	○			+370$_H$
221	ICRCAN3REC	FFFF B1BA$_H$	INTRCAN3REC	CAN3 送受信 FIFO 受信完了割り込み	RCFDC0	レベル	10DD$_H$	—	—	—	○			+374$_H$
222	ICRCAN3TRX	FFFF B1BC$_H$	INTRCAN3TRX	CAN3 送信割り込み	RCFDC0	レベル	10DE$_H$	—	—	—	○			+378$_H$
223	リザーブ	FFFF B1BE$_H$					10DF$_H$	—	—	—	—			+37C$_H$
224	リザーブ	FFFF B1C0$_H$					10E0$_H$	—	—	—	—			+380$_H$
225	リザーブ	FFFF B1C2$_H$					10E1$_H$	—	—	—	—			+384$_H$
226	リザーブ	FFFF B1C4$_H$					10E2$_H$	—	—	—	—			+388$_H$
227	リザーブ	FFFF B1C6$_H$					10E3$_H$	—	—	—	—			+38C$_H$
228	ICRLIN33	FFFF B1C8$_H$	INTRLIN33	RLIN33 割り込み	RLIN33	エッジ	10E4$_H$	—	—	—	○			+390$_H$
229	ICRLIN33UR0	FFFF B1CA$_H$	INTRLIN33UR0	RLIN33 送信割り込み	RLIN33	エッジ	10E5$_H$	—	—	—	○			+394$_H$
230	ICRLIN33UR1	FFFF B1CC$_H$	INTRLIN33UR1	RLIN33 受信完了割り込み	RLIN33	エッジ	10E6$_H$	—	—	—	○			+398$_H$
231	ICRLIN33UR2	FFFF B1CE$_H$	INTRLIN33UR2	RLIN33 ステータス割り込み	RLIN33	エッジ	10E7$_H$	—	—	—	○			+39C$_H$
232	リザーブ	FFFF B1D0$_H$					10E8$_H$	—	—	—	—			+3A0$_H$
233	リザーブ	FFFF B1D2$_H$					10E9$_H$	—	—	—	—			+3A4$_H$
234	リザーブ	FFFF B1D4$_H$					10EA$_H$	—	—	—	—			+3A8$_H$
235	リザーブ	FFFF B1D6$_H$					10EB$_H$	—	—	—	—			+3AC$_H$
236	リザーブ	FFFF B1D8$_H$					10EC$_H$	—	—	—	—			+3B0$_H$
237	リザーブ	FFFF B1DA$_H$					10ED$_H$	—	—	—	—			+3B4$_H$
238	リザーブ	FFFF B1DC$_H$					10EE$_H$	—	—	—	—			+3B8$_H$
239	リザーブ	FFFF B1DE$_H$					10EF$_H$	—	—	—	—			+3BC$_H$
240	ICRIIC1TI	FFFF B1E0$_H$	INTRIIC1TI	RIIC1 送信データエンプティ割り込み	RIIC1	エッジ	10F0$_H$	○	○	○	○			+3C0$_H$
241	ICRIIC1EE	FFFF B1E2$_H$	INTRIIC1EE	RIIC1 受信エラー／イベント割り込み	RIIC1	レベル	10F1$_H$	○	○	○	○			+3C4$_H$
242	ICRIIC1RI	FFFF B1E4$_H$	INTRIIC1RI	RIIC1 受信完了割り込み	RIIC1	エッジ	10F2$_H$	○	○	○	○			+3C8$_H$
243	ICRIIC1TEI	FFFF B1E6$_H$	INTRIIC1TEI	RIIC1 送信完了割り込み	RIIC1	レベル	10F3$_H$	○	○	○	○			+3CC$_H$
244	リザーブ	FFFF B1E8$_H$					10F4$_H$	—	—	—	—			+3D0$_H$
245	リザーブ	FFFF B1EA$_H$					10F5$_H$	—	—	—	—			+3D4$_H$
246	リザーブ	FFFF B1EC$_H$					10F6$_H$	—	—	—	—			+3D8$_H$
247	リザーブ	FFFF B1EE$_H$					10F7$_H$	—	—	—	—			+3DC$_H$
248	リザーブ	FFFF B1F0$_H$					10F8$_H$	—	—	—	—			+3E0$_H$
249	リザーブ	FFFF B1F2$_H$					10F9$_H$	—	—	—	—			+3E4$_H$
250	リザーブ	FFFF B1F4$_H$					10FA$_H$	—	—	—	—			+3E8$_H$
251	リザーブ	FFFF B1F6$_H$					10FB$_H$	—	—	—	—			+3EC$_H$
252	リザーブ	FFFF B1F8$_H$					10FC$_H$	—	—	—	—			+3F0$_H$
253	リザーブ	FFFF B1FA$_H$					10FD$_H$	—	—	—	—			+3F4$_H$
254	リザーブ	FFFF B1FC$_H$					10FE$_H$	—	—	—	—			+3F8$_H$

表 7BC.8　　EI レベルマスカブル割り込み要因 (RH850/F1KM-S1)

割り込み			割り込み要求				例外要因コード	48 Pin	64 Pin	80 Pin	100 Pin	ハンドラアドレス（オフセット）注8		
チャネル番号注1	制御レジスタ		名称	発生要因	ユニット	検出タイプ注2						直接分岐方式		テーブル参照方式注5
	名称	アドレス										RINT=0	RINT=1	
255	リザーブ	FFFF B1FE$_H$					10FF$_H$	—	—	—	—	注3	注4	+3FC$_H$
256	リザーブ	FFFF B200$_H$					1100$_H$	—	—	—	—			+400$_H$
257	リザーブ	FFFF B202$_H$					1101$_H$	—	—	—	—			+404$_H$
258	リザーブ	FFFF B204$_H$					1102$_H$	—	—	—	—			+408$_H$
259	リザーブ	FFFF B206$_H$					1103$_H$	—	—	—	—			+40C$_H$
260	リザーブ	FFFF B208$_H$					1104$_H$	—	—	—	—			+410$_H$
261	リザーブ	FFFF B20A$_H$					1105$_H$	—	—	—	—			+414$_H$
262	リザーブ	FFFF B20C$_H$					1106$_H$	—	—	—	—			+418$_H$
263	リザーブ	FFFF B20E$_H$					1107$_H$	—	—	—	—			+41C$_H$
264	リザーブ	FFFF B210$_H$					1108$_H$	—	—	—	—			+420$_H$
265	リザーブ	FFFF B212$_H$					1109$_H$	—	—	—	—			+424$_H$
266	リザーブ	FFFF B214$_H$					110A$_H$	—	—	—	—			+428$_H$
267	リザーブ	FFFF B216$_H$					110B$_H$	—	—	—	—			+42C$_H$
268	リザーブ	FFFF B218$_H$					110C$_H$	—	—	—	—			+430$_H$
269	リザーブ	FFFF B21A$_H$					110D$_H$	—	—	—	—			+434$_H$
270	リザーブ	FFFF B21C$_H$					110E$_H$	—	—	—	—			+438$_H$
271	リザーブ	FFFF B21E$_H$					110F$_H$	—	—	—	—			+43C$_H$
272	ICRCAN4ERR	FFFF B220$_H$	INTRCAN4ERR	CAN4 エラー割り込み	RCFDC0	レベル	1110$_H$	—	—	—	○			+440$_H$
273	ICRCAN4REC	FFFF B222$_H$	INTRCAN4REC	CAN4 送受信 FIFO 受信完了割り込み	RCFDC0	レベル	1111$_H$	—	—	—	○			+444$_H$
274	ICRCAN4TRX	FFFF B224$_H$	INTRCAN4TRX	CAN4 送信割り込み	RCFDC0	レベル	1112$_H$	—	—	—	○			+448$_H$
275	リザーブ	FFFF B226$_H$					1113$_H$	—	—	—	—			+44C$_H$
276	リザーブ	FFFF B228$_H$					1114$_H$	—	—	—	—			+450$_H$
277	ICTAUJ2I0	FFFF B22A$_H$	INTTAUJ2I0	TAUJ2 チャネル 0 割り込み	TAUJ2	エッジ	1115$_H$	○	○	○	○			+454$_H$
278	ICTAUJ2I1	FFFF B22C$_H$	INTTAUJ2I1	TAUJ2 チャネル 1 割り込み	TAUJ2	エッジ	1116$_H$	○	○	○	○			+458$_H$
279	ICTAUJ2I2	FFFF B22E$_H$	INTTAUJ2I2	TAUJ2 チャネル 2 割り込み	TAUJ2	エッジ	1117$_H$	○	○	○	○			+45C$_H$
280	ICTAUJ2I3	FFFF B230$_H$	INTTAUJ2I3	TAUJ2 チャネル 3 割り込み	TAUJ2	エッジ	1118$_H$	○	○	○	○			+460$_H$
281	ICTAUJ3I0	FFFF B232$_H$	INTTAUJ3I0	TAUJ3 チャネル 0 割り込み	TAUJ3	エッジ	1119$_H$	○	○	○	○			+464$_H$
282	ICTAUJ3I1	FFFF B234$_H$	INTTAUJ3I1	TAUJ3 チャネル 1 割り込み	TAUJ3	エッジ	111A$_H$	○	○	○	○			+468$_H$
283	ICTAUJ3I2	FFFF B236$_H$	INTTAUJ3I2	TAUJ3 チャネル 2 割り込み	TAUJ3	エッジ	111B$_H$	○	○	○	○			+46C$_H$
284	ICTAUJ3I3	FFFF B238$_H$	INTTAUJ3I3	TAUJ3 チャネル 3 割り込み	TAUJ3	エッジ	111C$_H$	○	○	○	○			+470$_H$
285	リザーブ	FFFF B23A$_H$					111D$_H$	—	—	—	—			+474$_H$
286	リザーブ	FFFF B23C$_H$					111E$_H$	—	—	—	—			+478$_H$
287	ICRCAN5ERR	FFFF B23E$_H$	INTRCAN5ERR	CAN5 エラー割り込み	RCFDC0	レベル	111F$_H$	—	—	—	○			+47C$_H$
288	ICRCAN5REC	FFFF B240$_H$	INTRCAN5REC	CAN5 送受信 FIFO 受信完了割り込み	RCFDC0	レベル	1120$_H$	—	—	—	○			+480$_H$
289	ICRCAN5TRX	FFFF B242$_H$	INTRCAN5TRX	CAN5 送信割り込み	RCFDC0	レベル	1121$_H$	—	—	—	○			+484$_H$
290	リザーブ	FFFF B244$_H$					1122$_H$	—	—	—	—			+488$_H$
291	リザーブ	FFFF B246$_H$					1123$_H$	—	—	—	—			+48C$_H$
292	リザーブ	FFFF B248$_H$					1124$_H$	—	—	—	—			+490$_H$
293	リザーブ	FFFF B24A$_H$					1125$_H$	—	—	—	—			+494$_H$
294	リザーブ	FFFF B24C$_H$					1126$_H$	—	—	—	—			+498$_H$
295	リザーブ	FFFF B24E$_H$					1127$_H$	—	—	—	—			+49C$_H$
296	リザーブ	FFFF B250$_H$					1128$_H$	—	—	—	—			+4A0$_H$
297	リザーブ	FFFF B252$_H$					1129$_H$	—	—	—	—			+4A4$_H$
298	リザーブ	FFFF B254$_H$					112A$_H$	—	—	—	—			+4A8$_H$
299	リザーブ	FFFF B256$_H$					112B$_H$	—	—	—	—			+4AC$_H$
300	リザーブ	FFFF B258$_H$					112C$_H$	—	—	—	—			+4B0$_H$

表 7BC.8 EI レベルマスカブル割り込み要因 (RH850/F1KM-S1)

割り込み			割り込み要求									ハンドラアドレス（オフセット）注8		
チャネル番号注1	制御レジスタ		名称	発生要因	ユニット	検出タイプ注2	例外要因コード	48 Pin	64 Pin	80 Pin	100 Pin	直接分岐方式		テーブル参照方式注5
	名称	アドレス										RINT =0	RINT =1	
301	リザーブ	FFFF B25A$_H$					112D$_H$	—	—	—	—	注3	注4	+4B4$_H$
302	リザーブ	FFFF B25C$_H$					112E$_H$	—	—	—	—			+4B8$_H$
303	リザーブ	FFFF B25E$_H$					112F$_H$	—	—	—	—			+4BC$_H$
304	リザーブ	FFFF B260$_H$					1130$_H$	—	—	—	—			+4C0$_H$
305	リザーブ	FFFF B262$_H$					1131$_H$	—	—	—	—			+4C4$_H$
306	リザーブ	FFFF B264$_H$					1132$_H$	—	—	—	—			+4C8$_H$
307	リザーブ	FFFF B266$_H$					1133$_H$	—	—	—	—			+4CC$_H$
308	リザーブ	FFFF B268$_H$					1134$_H$	—	—	—	—			+4D0$_H$
309	リザーブ	FFFF B26A$_H$					1135$_H$	—	—	—	—			+4D4$_H$
310	リザーブ	FFFF B26C$_H$					1136$_H$	—	—	—	—			+4D8$_H$
311	リザーブ	FFFF B26E$_H$					1137$_H$	—	—	—	—			+4DC$_H$
312	リザーブ	FFFF B270$_H$					1138$_H$	—	—	—	—			+4E0$_H$
313	リザーブ	FFFF B272$_H$					1139$_H$	—	—	—	—			+4E4$_H$
314	リザーブ	FFFF B274$_H$					113A$_H$	—	—	—	—			+4E8$_H$
315	リザーブ	FFFF B276$_H$					113B$_H$	—	—	—	—			+4EC$_H$
316	リザーブ	FFFF B278$_H$					113C$_H$	—	—	—	—			+4F0$_H$
317	リザーブ	FFFF B27A$_H$					113D$_H$	—	—	—	—			+4F4$_H$
318	リザーブ	FFFF B27C$_H$					113E$_H$	—	—	—	—			+4F8$_H$
319	リザーブ	FFFF B27E$_H$					113F$_H$	—	—	—	—			+4FC$_H$
320	リザーブ	FFFF B280$_H$					1140$_H$	—	—	—	—			+500$_H$
321	リザーブ	FFFF B282$_H$					1141$_H$	—	—	—	—			+504$_H$
322	リザーブ	FFFF B284$_H$					1142$_H$	—	—	—	—			+508$_H$
323	リザーブ	FFFF B286$_H$					1143$_H$	—	—	—	—			+50C$_H$
324	リザーブ	FFFF B288$_H$					1144$_H$	—	—	—	—			+510$_H$
325	リザーブ	FFFF B28A$_H$					1145$_H$	—	—	—	—			+514$_H$
326	リザーブ	FFFF B28C$_H$					1146$_H$	—	—	—	—			+518$_H$
327	リザーブ	FFFF B28E$_H$					1147$_H$	—	—	—	—			+51C$_H$
328	リザーブ	FFFF B290$_H$					1148$_H$	—	—	—	—			+520$_H$
329	リザーブ	FFFF B292$_H$					1149$_H$	—	—	—	—			+524$_H$
330	リザーブ	FFFF B294$_H$					114A$_H$	—	—	—	—			+528$_H$
331	リザーブ	FFFF B296$_H$					114B$_H$	—	—	—	—			+52C$_H$
332	リザーブ	FFFF B298$_H$					114C$_H$	—	—	—	—			+530$_H$
333	リザーブ	FFFF B29A$_H$					114D$_H$	—	—	—	—			+534$_H$
334	リザーブ	FFFF B29C$_H$					114E$_H$	—	—	—	—			+538$_H$
335	リザーブ	FFFF B29E$_H$					114F$_H$	—	—	—	—			+53C$_H$
336	リザーブ	FFFF B2A0$_H$					1150$_H$	—	—	—	—			+540$_H$
337	リザーブ	FFFF B2A2$_H$					1151$_H$	—	—	—	—			+544$_H$
338	リザーブ	FFFF B2A4$_H$					1152$_H$	—	—	—	—			+548$_H$
339	リザーブ	FFFF B2A6$_H$					1153$_H$	—	—	—	—			+54C$_H$
340	リザーブ	FFFF B2A8$_H$					1154$_H$	—	—	—	—			+550$_H$
341	リザーブ	FFFF B2AA$_H$					1155$_H$	—	—	—	—			+554$_H$
342	リザーブ	FFFF B2AC$_H$					1156$_H$	—	—	—	—			+558$_H$
343	リザーブ	FFFF B2AE$_H$					1157$_H$	—	—	—	—			+55C$_H$
344	リザーブ	FFFF B2B0$_H$					1158$_H$	—	—	—	—			+560$_H$
345	リザーブ	FFFF B2B2$_H$					1159$_H$	—	—	—	—			+564$_H$
346	リザーブ	FFFF B2B4$_H$					115A$_H$	—	—	—	—			+568$_H$
347	ICSENT0SI	FFFF B2B6$_H$	INTSENT0SI	RSENT0 ステータス割り込み	RSENT0	レベル	115B$_H$	○	○	○	○			+56C$_H$
348	ICSENT0RI	FFFF B2B8$_H$	INTSENT0RI	RSENT0 受信割り込み	RSENT0	エッジ	115C$_H$	○	○	○	○			+570$_H$

表 7BC.8　EI レベルマスカブル割り込み要因 (RH850/F1KM-S1)

割り込み			割り込み要求				例外要因コード	48 Pin	64 Pin	80 Pin	100 Pin	ハンドラアドレス（オフセット）注8		
チャネル番号注1	制御レジスタ		名称	発生要因	ユニット	検出タイプ注2						直接分岐方式		テーブル参照方式注5
	名称	アドレス										RINT =0	RINT =1	
349	ICSENT1SI	FFFF B2BA$_H$	INTSENT1SI	RSENT1 ステータス割り込み	RSENT1	レベル	115D$_H$	○	○	○	○	注3	注4	+574$_H$
350	ICSENT1RI	FFFF B2BC$_H$	INTSENT1RI	RSENT1 受信割り込み	RSENT1	エッジ	115E$_H$	○	○	○	○			+578$_H$
351	リザーブ	FFFF B2BE$_H$					115F$_H$	—	—	—	—			+57C$_H$
352	リザーブ	FFFF B2C0$_H$					1160$_H$	—	—	—	—			+580$_H$
353	リザーブ	FFFF B2C2$_H$					1161$_H$	—	—	—	—			+584$_H$
354	リザーブ	FFFF B2C4$_H$					1162$_H$	—	—	—	—			+588$_H$
355	リザーブ	FFFF B2C6$_H$					1163$_H$	—	—	—	—			+58C$_H$
356	ICDPE	FFFF B2C8$_H$	INTDPE	LPS0 デジタルポートエラー割り込み	LPS0	レベル	1164$_H$	○	○	○	○			+590$_H$
357	ICAPE	FFFF B2CA$_H$	INTAPE	LPS0 アナログポートエラー割り込み	LPS0	レベル	1165$_H$	○	○	○	○			+594$_H$

注1.　各割り込みは、INTC1 のチャネル 8～31 および INTC2 のチャネル 32～357 に接続されています。

注2.　各割り込み要因がレベルで検出しているのか、エッジで検出しているのかを示します。EI レベル割り込み制御レジスタのリセット後の値にも影響します。詳細は「**7BC.4.2 ICxxx — EI レベル割り込み制御レジスタ**」を参照してください。レベルで検出している場合は、割り込み要因を保持しているレジスタにアクセスすることにより割り込み要因をクリアします。後続の命令に対して、レジスタの更新内容を反映したい場合の手順は、「**3BC.3.1 ストア命令の完了と後続命令の同期化**」を参照してください。

注3.　割り込みチャネルに関係なく、オフセットアドレスは、優先度（0～15）によって+100$_H$～+1F0$_H$の範囲で決定されます。

注4.　優先度に無関係に、オフセットアドレスは、一律+100$_H$となります。

注5.　テーブル参照方式は、割り込みチャネルごとに例外ハンドラアドレスを読み出すテーブルを持ち、そのテーブルを参照してハンドラアドレスを抽出します。テーブル参照位置の計算は、下記の計算式で求まります。
例外ハンドラアドレス読み出し位置＝INTBP レジスタ＋チャネル番号×4 バイト

注6.　同じ割り込み要因が異なる割り込みチャネルに割り当てられています。詳細は「**7BC.5.2 SELB_INTC1 — INTC1 割り込み選択レジスタ**」を参照してください。

注7.　同じ割り込みチャネルに 32 の割り込み要因が割り当てられています。詳細は「**第 37 章 PWM 出力／診断（PWM-Diag）**」を参照してください。

注8.　詳細については、「**7BC.10 例外ハンドラアドレス**」を参照してください。

注9.　INTOSTM0 は、EIINT と FEINT にアサインされており、同時に使用することは禁止です。OSTM0 を TSU（Timing Supervision Unit）機能として使用する場合は FEINT を使用してください。また、OSTM0 を TSU 機能以外として使用する場合は EIINT を使用してください。

注10.　割り込み発生要因の詳細については、「*RH850/F1KH, F1KM, F1K フラッシュメモリ ユーザーズマニュアル ハードウェアインタフェース編*」を参照してください。

7BC.2.2 FE レベルノンマスカブル割り込み要因

7BC.2.2.1 レジスター覧

FE レベルノンマスカブル割り込みのソースレジスタを、以下の表に示します。

表 7BC.9 レジスター覧

モジュール名	レジスタ名	略号	アドレス
ECON_NMI	FENMI 要因レジスタ	WDTNMIF	FFC0 0000_H
	WDTNMI 要因クリアレジスタ	WDTNMIFC	FFC0 0008_H

7BC.2.2.2 WDTNMIF — FENMI 要因レジスタ

このレジスタは、FE レベルノンマスカブル割り込み（FENMI）がどの要因で発生したかを示します。また、DeepSTOP モード遷移時を除くすべてのリセット要因によって初期化されます（AWORES）。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFC0 0000_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	WDTA1NMIF	WDTA0NMIF	TNMIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7BC.10 WDTNMIF レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。
2	WDTA1NMIF	WDTA1NMI フラグ 0：WDTA1NMI が発生していない 1：WDTA1NMI が発生した
1	WDTA0NMIF	WDTA0NMI フラグ 0：WDTA0NMI が発生していない 1：WDTA0NMI が発生した
0	TNMIF	NMI 端子からの入力信号フラグ 0：TNMI が発生していない 1：TNMI が発生した

7BC.2.2.3　WDTNMIFC — WDTNMI 要因クリアレジスタ

このレジスタは WDTNMIF レジスタの FE レベルノンマスカブル割り込みフラグをクリアするレジスタです。

アクセス　32 ビット単位でライトのみ可能です。

アドレス　FFC0 0008H

リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	WDTA1NMIFC	WDTA0NMIFC	TNMIFC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W	W

表 7BC.11　WDTNMIFC レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	ライトする場合はリセット後の値を書いてください。
2	WDTA1NMIFC	WDTA1NMIF フラグのクリア 0 : — 1 : クリアする
1	WDTA0NMIFC	WDTA0NMIF フラグのクリア 0 : — 1 : クリアする
0	TNMIFC	TNMIF フラグのクリア 0 : — 1 : クリアする

7BC.2.3　FE レベルマスカブル割り込み要因

7BC.2.3.1　レジスタ一覧

FE レベルマスカブル割り込みのソースレジスタを、以下の表に示します。

表 7BC.12　レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
ECON_FEINT	FEINT 要因レジスタ	FEINTF	FFC0 0100_H
	FEINT 要因マスクレジスタ	FEINTFMSK	FFC0 0104_H
	FEINT 要因クリアレジスタ	FEINTFC	FFC0 0108_H

7BC.2.3.2　FEINTF — FEINT 要因レジスタ

このレジスタは、FE レベルマスカブル割り込み（FEINT）がどの要因で発生したかを示します。また、DeepSTOP モード遷移時を除くすべてのリセット要因によって初期化されます（AWORES）。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFC0 0100H

リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DMAFEIF	—	—	—	—	—	—	—	ECCETHFEIF	—	OSTM4FEIF	OSTM3FEIF	OSTM2FEIF	OSTM1FEIF	GUARDFEIF	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LVIHFEIF	OSTM0FEIF	ECCRAMFEIF	ECCFLI0FEIF	—	ECCCSIH3FEIF	ECCCSIH2FEIF	ECCCSIH1FEIF	ECCCSIH0FEIF	ECCCNFDRAMFEIF	ECCFLRAMFEIF	ECCEEP0FEIF	—	—	—	LVILFEIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7BC.13　FEINTF レジスタの内容

ビット位置	ビット名	機能
31	DMAFEIF	INTDMAERR 割り込みの発生 　0：発生していない 　1：発生した
30～24	予約ビット	リードした場合はリセット後の値が読めます。
23	ECCETHFEIF 注 1	RH850/F1KM-S4： INTECCETH 割り込みの発生 　0：発生していない 　1：発生した RH850/F1KM-S2, RH850/F1KM-S1： リードした場合はリセット後の値が読めます。
22	予約ビット	リードした場合はリセット後の値が読めます。
21	OSTM4FEIF	RH850/F1KM-S4, RH850/F1KM-S2： INTOSTM4_FE 割り込みの発生 　0：発生していない 　1：発生した RH850/F1KM-S1： リードした場合はリセット後の値が読めます。
20	OSTM3FEIF	RH850/F1KM-S4, RH850/F1KM-S2： INTOSTM3_FE 割り込みの発生 　0：発生していない 　1：発生した RH850/F1KM-S1： リードした場合はリセット後の値が読めます。

表 7BC.13　FEINTF レジスタの内容

ビット位置	ビット名	機能
19	OSTM2FEIF	RH850/F1KM-S4, RH850/F1KM-S2： INTOSTM2_FE 割り込みの発生 0：発生していない 1：発生した RH850/F1KM-S1： リードした場合はリセット後の値が読めます。
18	OSTM1FEIF	RH850/F1KM-S4, RH850/F1KM-S2： INTOSTM1_FE 割り込みの発生 0：発生していない 1：発生した RH850/F1KM-S1： リードした場合はリセット後の値が読めます。
17	GUARDFEIF	INTGUARD 割り込みの発生 0：発生していない 1：発生した
16	予約ビット	リードした場合はリセット後の値が読めます。
15	LVIHFEIF	INTLVIH 割り込みの発生 0：発生していない 1：発生した
14	OSTM0FEIF	INTOSTM0_FE 割り込みの発生 0：発生していない 1：発生した
13	ECCRAMFEIF	INTECCRAM 割り込みの発生 0：発生していない 1：発生した
12	ECCFLI0FEIF	INTECCFLI0 割り込みの発生 0：発生していない 1：発生した
11	予約ビット	リードした場合はリセット後の値が読めます。
10	ECCCSIH3FEIF [注 2]	INTECCCSIH3 割り込みの発生 0：発生していない 1：発生した
9	ECCCSIH2FEIF [注 2]	INTECCCSIH2 割り込みの発生 0：発生していない 1：発生した
8	ECCCSIH1FEIF [注 2]	INTECCCSIH1 割り込みの発生 0：発生していない 1：発生した
7	ECCCSIH0FEIF	INTECCCSIH0 割り込みの発生 0：発生していない 1：発生した
6	ECCCNFDRAMFEIF	INTECCCNFDRAM 割り込みの発生 0：発生していない 1：発生した

表 7BC.13　FEINTF レジスタの内容

ビット位置	ビット名	機能
5	ECCFLRAMFEIF	RH850/F1KM-S4： INTECCFLRAM 割り込みの発生 0：発生していない 1：発生した RH850/F1KM-S2, RH850/F1KM-S1： リードした場合はリセット後の値が読めます。
4	ECCEEP0FEIF	INTECCEEP0 割り込みの発生 0：発生していない 1：発生した
3～1	予約ビット	リードした場合はリセット後の値が読めます。
0	LVILFEIF	INTLVIL 割り込みの発生 0：発生していない 1：発生した

注1.　対応製品は、「**表 7BC.3 FE レベルマスカブル割り込み要求 (RH850/F1KM-S4)**」を参照してください。

注2.　対応製品は、「**表 7BC.5 FE レベルマスカブル割り込み要求 (RH850/F1KM-S1)**」を参照してください。

7BC.2.3.3　FEINTFMSK — FEINT 要因マスクレジスタ

このレジスタは、FE レベルマスカブル割り込み（FEINT）をマスクするレジスタです。また、DeepSTOP モード遷移時を除くすべてのリセット要因によって初期化されます（AWORES）。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFC0 0104H

リセット後の値　FFFF FFFFH

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DMAFEIFMSK	—	—	—	—	—	—	—	ECCETHFEIFMSK	—	OSTM4FEIFMSK	OSTM3FEIFMSK	OSTM2FEIFMSK	OSTM1FEIFMSK	GUARDFEIFMSK	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LVIHFEIFMSK	OSTM0FEIFMSK	ECCRAMFEIFMSK	ECCFLI0FEIFMSK	—	ECCCSIH3FEIFMSK	ECCCSIH2FEIFMSK	ECCCSIH1FEIFMSK	ECCCSIH0FEIFMSK	ECCCNFDRAMFEIFMSK	ECCFLRAMFEIFMSK	ECCEEP0FEIFMSK	—	—	—	LVILFEIFMSK
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W

表 7BC.14　FEINTFMSK レジスタの内容

ビット位置	ビット名	機能
31	DMAFEIFMSK	INTDMAERR 割り込みのマスク 0：マスクしない 1：マスクする
30〜24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
23	ECCETHFEIFMSK 注 1	RH850/F1KM-S4： INTECCETH 割り込みのマスク 0：マスクしない 1：マスクする RH850/F1KM-S2, RH850/F1KM-S1： リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
21	OSTM4FEIFMSK	RH850/F1KM-S4, RH850/F1KM-S2： INTOSTM4_FE 割り込みのマスク 0：マスクしない 1：マスクする RH850/F1KM-S1： リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
20	OSTM3FEIFMSK	RH850/F1KM-S4, RH850/F1KM-S2： INTOSTM3_FE 割り込みのマスク 0：マスクしない 1：マスクする RH850/F1KM-S1： リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 7BC.14 FEINTFMSK レジスタの内容

ビット位置	ビット名	機能
19	OSTM2FEIFMSK	RH850/F1KM-S4, RH850/F1KM-S2： INTOSTM2_FE 割り込みのマスク 0：マスクしない 1：マスクする RH850/F1KM-S1： リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
18	OSTM1FEIFMSK	RH850/F1KM-S4, RH850/F1KM-S2： INTOSTM1_FE 割り込みのマスク 0：マスクしない 1：マスクする RH850/F1KM-S1： リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
17	GUARDFEIFMSK	INTGUARD 割り込みのマスク 0：マスクしない 1：マスクする
16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	LVIHFEIFMSK	INTLVIH 割り込みのマスク 0：マスクしない 1：マスクする
14	OSTM0FEIFMSK	INTOSTM0_FE 割り込みのマスク 0：マスクしない 1：マスクする
13	ECCRAMFEIFMSK	INTECCRAM 割り込みのマスク 0：マスクしない 1：マスクする
12	ECCFLI0FEIFMSK	INTECCFLI0 割り込みのマスク 0：マスクしない 1：マスクする
11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	ECCCSIH3 FEIFMSK 注 2	INTECCCSIH3 割り込みのマスク 0：マスクしない 1：マスクする
9	ECCCSIH2 FEIFMSK 注 2	INTECCCSIH2 割り込みのマスク 0：マスクしない 1：マスクする
8	ECCCSIH1 FEIFMSK 注 2	INTECCCSIH1 割り込みのマスク 0：マスクしない 1：マスクする
7	ECCCSIH0 FEIFMSK	INTECCCSIH0 割り込みのマスク 0：マスクしない 1：マスクする
6	ECCCNFDRAM FEIFMSK	INTECCCNFDRAM 割り込みのマスク 0：マスクしない 1：マスクする

表 7BC.14　FEINTFMSK レジスタの内容

ビット位置	ビット名	機能
5	ECCFLRAM FEIFMSK	RH850/F1KM-S4： INTECCFLRAM 割り込みのマスク 0：マスクしない 1：マスクする RH850/F1KM-S2, RH850/F1KM-S1： リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	ECCEEP0 FEIFMSK	INTECCEEP0 割り込みのマスク 0：マスクしない 1：マスクする
3～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	LVILFEIFMSK	INTLVIL 割り込みのマスク 0：マスクしない 1：マスクする

注1.　対応製品は、「**表 7BC.3　FE レベルマスカブル割り込み要求（RH850/F1KM-S4）**」を参照してください。

注2.　対応製品は、「**表 7BC.5　FE レベルマスカブル割り込み要求（RH850/F1KM-S1）**」を参照してください。

7BC.2.3.4　FEINTFC — FEINT 要因クリアレジスタ

このレジスタは、FEINT 要因レジスタ（FEINTF）の各ビットをクリアするレジスタです。

アクセス　32 ビット単位でライトのみ可能です。.

アドレス　FFC0 0108H

リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DMAFEIFC	—	—	—	—	—	—	—	ECCETHFEIFC	—	OSTM4FEIFC	OSTM3FEIFC	OSTM2FEIFC	OSTM1FEIFC	GUARDFEIFC	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	R	R	R	R	R	R	R	W	R	W	W	W	W	W	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LVIHFEIFC	OSTM0FEIFC	ECCRAMFEIFC	ECCFLI0FEIFC	—	ECCCSIH3FEIFC	ECCCSIH2FEIFC	ECCCSIH1FEIFC	ECCCSIH0FEIFC	ECCCNFDRAMFEIFC	ECCFLRAMFEIFC	ECCEEP0FEIFC	—	—	—	LVILFEIFC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	R	W	W	W	W	W	W	W	R	R	R	W

表 7BC.15　FEINTFC レジスタの内容

ビット位置	ビット名	機能
31	DMAFEIFC	DMAFEIF フラグのクリア 0：— 1：クリアする
30～24	予約ビット	ライトする場合はリセット後の値を書いてください。
23	ECCETHFEIFC 注 1	RH850/F1KM-S4： ECCETHFEIF フラグのクリア 0：— 1：クリアする RH850/F1KM-S2, RH850/F1KM-S1： ライトする場合はリセット後の値を書いてください。
22	予約ビット	ライトする場合はリセット後の値を書いてください。
21	OSTM4FEIFC	RH850/F1KM-S4, RH850/F1KM-S2： OSTM4FEIF フラグのクリア 0：— 1：クリアする RH850/F1KM-S1： ライトする場合はリセット後の値を書いてください。
20	OSTM3FEIFC	RH850/F1KM-S4, RH850/F1KM-S2： OSTM3FEIF フラグのクリア 0：— 1：クリアする RH850/F1KM-S1： ライトする場合はリセット後の値を書いてください。
19	OSTM2FEIFC	RH850/F1KM-S4, RH850/F1KM-S2： OSTM2FEIF フラグのクリア 0：— 1：クリアする RH850/F1KM-S1： ライトする場合はリセット後の値を書いてください。

表 7BC.15　FEINTFC レジスタの内容

ビット位置	ビット名	機能
18	OSTM1FEIFC	RH850/F1KM-S4, RH850/F1KM-S2 : OSTM1FEIF フラグのクリア 0 : — 1 : クリアする RH850/F1KM-S1 : ライトする場合はリセット後の値を書いてください。
17	GUARDFEIFC	GUARDFEIF フラグのクリア 0 : — 1 : クリアする
16	予約ビット	ライトする場合はリセット後の値を書いてください。
15	LVIHFEIFC	LVIHFEIF フラグのクリア 0 : — 1 : クリアする
14	OSTM0FEIFC	OSTM0FEIF フラグのクリア 0 : — 1 : クリアする
13	ECCRAMFEIFC	ECCRAMFEIF フラグのクリア 0 : — 1 : クリアする
12	ECCFLI0FEIFC	ECCFLI0FEIF フラグのクリア 0 : — 1 : クリアする
11	予約ビット	ライトする場合はリセット後の値を書いてください。
10	ECCCSIH3FEIFC 注 2	ECCCSIH3FEIF フラグのクリア 0 : — 1 : クリアする
9	ECCCSIH2FEIFC 注 2	ECCCSIH2FEIF フラグのクリア 0 : — 1 : クリアする
8	ECCCSIH1FEIFC 注 2	ECCCSIH1FEIF フラグのクリア 0 : — 1 : クリアする
7	ECCCSIH0FEIFC	ECCCSIH0FEIF フラグのクリア 0 : — 1 : クリアする
6	ECCCNFDRAM FEIFC	ECCCNFDRAMFEIF フラグのクリア 0 : — 1 : クリアする
5	ECCFLRAMFEIFC	RH850/F1KM-S4 : ECCFLRAMFEIF フラグのクリア 0 : — 1 : クリアする RH850/F1KM-S2, RH850/F1KM-S1 : ライトする場合はリセット後の値を書いてください。
4	ECCEEP0FEIFC	ECCEEP0FEIF フラグのクリア 0 : — 1 : クリアする

表 7BC.15　FEINTFC レジスタの内容

ビット位置	ビット名	機能
3〜1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	LVILFEIFC	LVILFEIF フラグのクリア 0：— 1：クリアする

注1.　対応製品は、「**表 7BC.3 FE レベルマスカブル割り込み要求 (RH850/F1KM-S4)**」を参照してください。

注2.　対応製品は、「**表 7BC.5 FE レベルマスカブル割り込み要求 (RH850/F1KM-S1)**」を参照してください。

7BC.3　エッジ／レベル検出機能

外部割り込み（TNMI と INTPm）は外部端子の立ち上がり／立ち下がり／両エッジ／ロウまたはハイレベルを検出することにより割り込みを要求できます。

各割り込みのエッジ／レベルを指定するレジスタを次に示します。

表 7BC.16　外部割り込みエッジ／レベル検出レジスタ（RH850/F1KM-S4, RH850/F1KM-S2）

割り込み	レジスタ
TNMI	FCLA0CTL0_NMI
INTP0	FCLA0CTL0_INTPL
INTP1	FCLA0CTL1_INTPL
INTP2	FCLA0CTL2_INTPL
INTP3	FCLA0CTL3_INTPL
INTP4	FCLA0CTL4_INTPL
INTP5	FCLA0CTL5_INTPL
INTP6	FCLA0CTL6_INTPL
INTP7	FCLA0CTL7_INTPL
INTP8	FCLA0CTL0_INTPH
INTP9	FCLA0CTL1_INTPH
INTP10	FCLA0CTL2_INTPH
INTP11	FCLA0CTL3_INTPH
INTP12	FCLA0CTL4_INTPH
INTP13	FCLA0CTL5_INTPH
INTP14 [注1、注2]	FCLA0CTL6_INTPH
INTP15 [注1、注2]	FCLA0CTL7_INTPH
INTP16 [注1、注2]	FCLA0CTL0_INTPU
INTP17 [注1、注2]	FCLA0CTL1_INTPU
INTP18 [注1、注2]	FCLA0CTL2_INTPU
INTP19 [注1、注2]	FCLA0CTL3_INTPU
INTP20 [注1、注2]	FCLA0CTL4_INTPU
INTP21 [注1、注2]	FCLA0CTL5_INTPU
INTP22 [注1、注2]	FCLA0CTL6_INTPU
INTP23 [注1、注2]	FCLA0CTL7_INTPU

注1.　対応製品は、「**表 7BC.6　EI レベルマスカブル割り込み要因（RH850/F1KM-S4）**」を参照してください。

注2.　対応製品は、「**表 7BC.7　EI レベルマスカブル割り込み要因（RH850/F1KM-S2）**」を参照してください。

レジスタの詳細に関しては、「**第 2B 章　RH850/F1KM-S4, RH850/F1KM-S2 の端子**」を参照してください。

表 7BC.17 外部割り込みエッジ／レベル検出レジスタ (RH850/F1KM-S1)

割り込み	レジスタ
TNMI	FCLA0CTL0_NMI
INTP0	FCLA0CTL0_INTPL
INTP1	FCLA0CTL1_INTPL
INTP2	FCLA0CTL2_INTPL
INTP3	FCLA0CTL3_INTPL
INTP4	FCLA0CTL4_INTPL
INTP5	FCLA0CTL5_INTPL
INTP6 注 1	FCLA0CTL6_INTPL
INTP7 注 1	FCLA0CTL7_INTPL
INTP8 注 1	FCLA0CTL0_INTPH
INTP10	FCLA0CTL2_INTPH
INTP11	FCLA0CTL3_INTPH
INTP12 注 1	FCLA0CTL4_INTPH
INTP13 注 1	FCLA0CTL5_INTPH

注1. 対応製品は、「**表 7BC.8 EI レベルマスカブル割り込み要因 (RH850/F1KM-S1)**」を参照してください。

レジスタの詳細に関しては、「**第 2C 章 RH850/F1KM-S1 の端子**」を参照してください。

7BC.4 割り込みコントローラ制御レジスタ

ICxxx、IMRm（m＝0～11）、FNC、FIC レジスタへの書き込みは、スーパバイザモード（PSW.UM＝0）時のみ実行可能です。

7BC.4.1 レジスター覧

割り込みコントローラ制御レジスタを、以下の表に示します。

表 7BC.18　レジスター覧

モジュール名	レジスタ名	略号	アドレス
INTC1	EI レベル割り込み制御レジスタ	ICxxx 注 1	**「表 7BC.6 EI レベルマスカブル割り込み要因 (RH850/F1KM-S4)」、「表 7BC.7 EI レベルマスカブル割り込み要因 (RH850/F1KM-S2)」、「表 7BC.8 EI レベルマスカブル割り込み要因 (RH850/F1KM-S1)」参照**
	EI レベル割り込みマスクレジスタ	IMR0	FFFE EAF0$_H$
INTC2	EI レベル割り込み制御レジスタ	ICxxx 注 2	**「表 7BC.6 EI レベルマスカブル割り込み要因 (RH850/F1KM-S4)」、「表 7BC.7 EI レベルマスカブル割り込み要因 (RH850/F1KM-S2)」、「表 7BC.8 EI レベルマスカブル割り込み要因 (RH850/F1KM-S1)」参照**
	EI レベル割り込みマスクレジスタ	IMRm	FFFF B400$_H$ + (04$_H$ × m)
INTC1	FE レベル NMI ステータスレジスタ	FNC	FFFE EA78$_H$
	FE レベルマスカブル割り込みステータスレジスタ	FIC	FFFE EA7A$_H$

注1.　チャネル番号 0～31

注2.　チャネル番号 32 以上

7BC.4.2　ICxxx ― EI レベル割り込み制御レジスタ

EI レベルマスカブル割り込み（INT）のチャネルごとに設けられ、各チャネルの制御条件を設定します。このレジスタは、どのリセット要因でも初期化されます。それぞれの要因は「**表 7BC.6 EI レベルマスカブル割り込み要因 (RH850/F1KM-S4)**」、「**表 7BC.7 EI レベルマスカブル割り込み要因 (RH850/F1KM-S2)**」、「**表 7BC.8 EI レベルマスカブル割り込み要因 (RH850/F1KM-S1)**」を参照してください。

注　意

エッジ検出で、周辺モジュールからの割り込み要求の直後（CPU によって割り込みが受け付けられる前）に、RFxxx ビットに“0”を書き込んだ場合は、要求が失われる場合があります。
また、CPU によって割り込みが受け付けられた直後に、RFxxx ビットに“1”を書き込んだ場合は要求が再セットされる場合があります。
レジスタへの書き込みにはビット操作命令（set1、clr1、not1）を含みます。
ビット操作命令については、「**3BC.3.3 ビット操作命令でのレジスタアクセス**」も参照してください。
MKxxx ビットを含む下位バイトへのビット操作命令実行時には、RFxxx ビットは影響を受けません。

アクセス　ICxxx は 16 ビット単位でリード／ライト可能です。
ICxxxH、ICxxxL は 8/1 ビット単位でリード／ライト可能です。
ただし、ビット 14、13、11～8、5、4 への SET1、CLR1、NOT1 命令によるビットアクセスは禁止です。

アドレス　「**表 7BC.6 EI レベルマスカブル割り込み要因 (RH850/F1KM-S4)**」、「**表 7BC.7 EI レベルマスカブル割り込み要因 (RH850/F1KM-S2)**」、「**表 7BC.8 EI レベルマスカブル割り込み要因 (RH850/F1KM-S1)**」を参照してください。

リセット後の値　008F$_H$（エッジ検出）、808F$_H$（レベル検出）注 1

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CTxxx	—	—	RFxxx	—	—	—	—	MKxxx	TBxxx	—	—	P3xxx	P2xxx	P1xxx	P0xxx
リセット後の値	0/1 注 1	0	0	0	0	0	0	0	1	0	0	0	1	1	1	1
R/W	R	R	R	R/W	R	R	R	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W

注1.　リセット後の値は各割り込みの検出タイプ（エッジ検出：0、レベル検出：1）で異なります。詳細は「**表 7BC.6 EI レベルマスカブル割り込み要因 (RH850/F1KM-S4)**」、「**表 7BC.7 EI レベルマスカブル割り込み要因 (RH850/F1KM-S2)**」、「**表 7BC.8 EI レベルマスカブル割り込み要因 (RH850/F1KM-S1)**」を参照してください。

表 7BC.19　ICxxx レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>15</td><td>CTxxx</td><td>割り込み検出タイプビットです。リードのみ可能です。
0：エッジ検出
1：レベル検出
8/16 ビットでライトする場合は、リセット後の値を書いてください。</td></tr>
<tr><td>14、13</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>12</td><td>RFxxx</td><td>割り込み要求フラグです。
RFxxx ビットはプログラムから書き込み可能です。RFxxx ビットをセット（1）すると、割り込み要求を受け付けた場合と同じように、EI レベルマスカブル割り込み n（INTn）を発生します。
0：割り込み要求なし
1：割り込み要求あり
<table><tr><th>入力インタフェース</th><th>動作</th></tr><tr><td>エッジ検出（CTxxx=0）</td><td>CPU コアに割り込み要求が受けつけられると、自動的にクリアされます。ソフトウェアによるビットのセットクリアが可能です。</td></tr><tr><td>レベル検出（CTxxx=1）</td><td>ソフトウェアによるビットのセットクリアはできません。リードのみ可能です。
CPU コアに割り込み要求が受け付けられてもクリアされません。</td></tr></table></td></tr>
</table>

表 7BC.19　ICxxx レジスタの内容

ビット位置	ビット名	機能
11～8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	MKxxx	割り込み要求マスクビットです。 MKxxx ビットがセットされている場合、チャネルからの割り込み要求はマスクされ、そのチャネルから CPU コアへの割り込み要求は行われません。チャネルがマスクされている ICSR.PMEI ビットには、割り込み中断状態は反映されません。 MKxxx＝1 でチャネルからの割り込み要求がマスクされている場合でも、RFxxx はチャネルへの割り込み要求を反映しており、ソフトウェアでポーリングすることができます。MKxxx ビットがクリアされると、チャネルからの割り込み要求は CPU コアに発行されます。MKxxx ビットの状態は、対応する IMRm のレジスタに反映されます。 0：割り込み処理を許可 1：割り込み処理を禁止
6	TBxxx	割り込みベクタ方式選択ビットです。 0：優先度に基づいた直接分岐方式 1：テーブル参照方式 割り込みベクタ方式についての詳細は、「*RH850G3KH ユーザーズマニュアル ソフトウェア編*」を参照してください。
5、4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3～0	P3xxx～P0xxx	16 レベルの割り込み優先度を指定します。0 が最高優先度、15 が最低優先度になります。 複数の EI レベル割り込み要求が同時に発生した場合、本ビットで指定される優先度の高い要因が選択されて CPU コアへ最初の処理として通知されます。 P3xxx～P0xxx ビットで同じ優先度を指定した割り込み要求が同時に発生すると、チャネル番号が小さい要因が選択されます。

注　意

「**表 7BC.6 EI レベルマスカブル割り込み要因 (RH850/F1KM-S4)**」、「**表 7BC.7 EI レベルマスカブル割り込み要因 (RH850/F1KM-S2)**」、「**表 7BC.8 EI レベルマスカブル割り込み要因 (RH850/F1KM-S1)**」に「リザーブ」と記載されたチャネル、および製品に搭載されていないチャネルの ICxxx レジスタにはアクセスしないでください。

7BC.4.3　IMRm — EI レベル割り込みマスクレジスタ（m＝0～11）

ICxxx レジスタの MKxxx ビットの集合レジスタです。IMRm レジスタの各ビットは対応する MKxxx ビットの設定が反映されます。また IMRm レジスタへの設定は対応する MKxxx ビットへ反映されます。このレジスタは、どのリセット要因でも初期化されます。

アクセス　IMRm は 32 ビット単位でリード／ライト可能です。
IMRmH、IMRmL は 16 ビット単位でリード／ライト可能です。
IMRmHH、IMRmHL、IMRmLH、IMRmLL は 8/1 ビット単位でリード／ライト可能です。

アドレス　IMR0：FFFE EAF0$_H$
IMR0L：FFFE EAF0$_H$,
IMR0H：FFFE EAF2$_H$
IMR0LH：FFFE EAF1$_H$.
IMR0HL：FFFE EAF2$_H$.
IMR0HH：FFFE EAF3$_H$
IMRm (m＝1～11)：FFFF B400$_H$ + (04$_H$ × m)
IMRmL (m＝1～11)：FFFF B400$_H$ + (04$_H$ × m)
IMRmH (m＝1～11)：FFFF B400$_H$ + (04$_H$ × m) + 2$_H$,
IMRmLL (m＝1～11)：FFFF B400$_H$ + (04$_H$ × m)
IMRmLH (m＝1～11)：FFFF B400$_H$ + (04$_H$ × m) + 1$_H$,
IMRmHL (m＝1～11)：FFFF B400$_H$ + (04$_H$ × m) + 2$_H$,
IMRmHH (m＝1～11)：FFFF B400$_H$ + (04$_H$ × m) + 3$_H$

リセット後の値　FFFF FFFF$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IMRmEIMK(m × 32 + 31)	IMRmEIMK(m × 32 + 30)	IMRmEIMK(m × 32 + 29)	IMRmEIMK(m × 32 + 28)	IMRmEIMK(m × 32 + 27)	IMRmEIMK(m × 32 + 26)	IMRmEIMK(m × 32 + 25)	IMRmEIMK(m × 32 + 24)	IMRmEIMK(m × 32 + 23)	IMRmEIMK(m × 32 + 22)	IMRmEIMK(m × 32 + 21)	IMRmEIMK(m × 32 + 20)	IMRmEIMK(m × 32 + 19)	IMRmEIMK(m × 32 + 18)	IMRmEIMK(m × 32 + 17)	IMRmEIMK(m × 32 + 16)
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IMRmEIMK(m × 32 + 15)	IMRmEIMK(m × 32 + 14)	IMRmEIMK(m × 32 + 13)	IMRmEIMK(m × 32 + 12)	IMRmEIMK(m × 32 + 11)	IMRmEIMK(m × 32 + 10)	IMRmEIMK(m × 32 + 9)	IMRmEIMK(m × 32 + 8)	IMRmEIMK(m × 32 + 7)	IMRmEIMK(m × 32 + 6)	IMRmEIMK(m × 32 + 5)	IMRmEIMK(m × 32 + 4)	IMRmEIMK(m × 32 + 3)	IMRmEIMK(m × 32 + 2)	IMRmEIMK(m × 32 + 1)	IMRmEIMK(m × 32 + 0)
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7BC.20　IMRm レジスタの内容

ビット位置	ビット名	機能
31～0	IMRmEIMK (m × 32 + 31) ～ IMRmEIMK (m × 32 + 0)	EI レベルマスカブル割り込み（EIINT）のチャネル 0～376 の割り込みマスクビットです。 0：割り込み処理を許可 1：割り込み処理を禁止

注　意

「表 7BC.6 EI レベルマスカブル割り込み要因 (RH850/F1KM-S4)」、「表 7BC.7 EI レベルマスカブル割り込み要因 (RH850/F1KM-S2)」、「表 7BC.8 EI レベルマスカブル割り込み要因 (RH850/F1KM-S1)」に「リザーブ」と記載されたチャネル、および製品に搭載されていないチャネルに対応する MKxxx ビットには、必ず“1”を設定してください。

7BC.4.4　FNC — FE レベル NMI ステータスレジスタ

FE レベルノンマスカブル割り込み（FENMI）の状態を示すレジスタです。

このレジスタは、どのリセット要因でも初期化されます。

アクセス　FNC は 16 ビット単位でリードのみ可能です。
FNCH は 8/1 ビット単位でリードのみ可能です。

アドレス　FNC：FFFE EA78$_H$
FNCH：FFFE EA79$_H$

リセット後の値　0000$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	FNRF	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7BC.21　FNC レジスタの内容

ビット位置	ビット名	機能
15～13	予約ビット	リードした場合はリセット後の値が読めます。
12	FNRF	割り込み要求フラグです。 0：割り込み要求なし 1：割り込み要求あり CPU コアに FE レベル NMI の割り込み要求が受け付けられると、自動的にクリアされます。
11～0	予約ビット	リードした場合はリセット後の値が読めます。

7BC.4.5　FIC ― FE レベルマスカブル割り込みステータスレジスタ

FE レベルマスカブル割り込み（FEINT）の状態を示すレジスタです。

このレジスタは、どのリセット要因でも初期化されます。

アクセス　FIC は 16 ビット単位でリードのみ可能です。
FICH は 8/1 ビット単位でリードのみ可能です。

アドレス　FIC：FFFE $EA7A_H$
FICH：FFFE $EA7B_H$

リセット後の値　8000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	FIRF	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 7BC.22　FIC レジスタの内容

ビット位置	ビット名	機能
15～13	予約ビット	リードした場合はリセット後の値が読めます。
12	FIRF	割り込み要求フラグです。 0：割り込み要求なし 1：割り込み要求あり ソフトウェアによるビットのセットクリアはできません。読み出しのみ可能です。
11～0	予約ビット	リードした場合はリセット後の値が読めます。

7BC.5 EI レベルマスカブル割り込みの選択レジスタ

EI レベルマスカブル割り込みは次のレジスタにて選択できます。

7BC.5.1 レジスター覧

EI レベルマスカブル割り込みの選択レジスタを、以下の表に示します。

表 7BC.23　レジスター覧

モジュール名	レジスタ名	略号	アドレス
SL_INTC	INTC1 割り込み選択レジスタ	SELB_INTC1	FFC0 1000_H

7BC.5.2　SELB_INTC1 — INTC1 割り込み選択レジスタ

1 つの割り込みチャネルに 2 つの割り込み要因が割り当てられているチャネルにおいて、どちらの割り込み要因を有効にするか選択します。このレジスタは、どのリセット要因でも初期化されます。

備　考

各ビットの設定に記載されているチャネルとは割り込みのチャネルを示し、優先順位でもあります。チャネルについては「**表 7BC.6 EI レベルマスカブル割り込み要因 (RH850/F1KM-S4)**」、「**表 7BC.7 EI レベルマスカブル割り込み要因 (RH850/F1KM-S2)**」、「**表 7BC.8 EI レベルマスカブル割り込み要因 (RH850/F1KM-S1)**」を参照してください。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　FFC0 1000$_H$

リセット後の値　0000$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SELB_INTC1_12	SELB_INTC1_11	SELB_INTC1_10	SELB_INTC1_9	SELB_INTC1_8	SELB_INTC1_7	SELB_INTC1_6	SELB_INTC1_5	SELB_INTC1_4	SELB_INTC1_3	SELB_INTC1_2	SELB_INTC1_1	SELB_INTC1_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 7BC.24　SELB_INTC1 レジスタの内容

ビット位置	ビット名	機能
15～13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	SELB_INTC1_12	割り込みチャネルの選択 0：INTADCA0I2（チャネル 20） INTCSIH0IJC（チャネル 32） 1：INTCSIH0IJC_1（チャネル 20） INTADCA0I2_2（チャネル 32）
11	SELB_INTC1_11	割り込みチャネルの選択 0：INTTAUD0I14（チャネル 15） INTCSIH3IJC（チャネル 161） 1：INTCSIH3IJC_1（チャネル 15） INTTAUD0I14_2（チャネル 161）
10	SELB_INTC1_10	割り込みチャネルの選択 0：INTTAUD0I12（チャネル 14） INTCSIH3IRE（チャネル 160） 1：INTCSIH3IRE_1（チャネル 14） INTTAUD0I12_2（チャネル 160）
9	SELB_INTC1_9	割り込みチャネルの選択 0：INTTAUD0I10（チャネル 13） INTCSIH3IR（チャネル 159） 1：INTCSIH3IR_1（チャネル 13） INTTAUD0I10_2（チャネル 159）
8	SELB_INTC1_8	割り込みチャネルの選択 0：INTTAUD0I2（チャネル 9） INTCSIH3IC（チャネル 158） 1：INTCSIH3IC_1（チャネル 9） INTTAUD0I2_2（チャネル 158）

表 7BC.24　SELB_INTC1 レジスタの内容

ビット位置	ビット名	機能
7	SELB_INTC1_7	割り込みチャネルの選択 0：INTTAUD0I8（チャネル 12） INTCSIH2IJC（チャネル 135） 1：INTCSIH2IJC_1（チャネル 12） INTTAUD0I8_2（チャネル 135）
6	SELB_INTC1_6	割り込みチャネルの選択 0：INTTAUD0I6（チャネル 11） INTCSIH2IRE（チャネル 134） 1：INTCSIH2IRE_1（チャネル 11） INTTAUD0I6_2（チャネル 134）
5	SELB_INTC1_5	割り込みチャネルの選択 0：INTTAUD0I4（チャネル 10） INTCSIH2IR（チャネル 133） 1：INTCSIH2IR_1（チャネル 10） INTTAUD0I4_2（チャネル 133）
4	SELB_INTC1_4	割り込みチャネルの選択 0：INTTAUD0I0（チャネル 8） INTCSIH2IC（チャネル 132） 1：INTCSIH2IC_1（チャネル 8） INTTAUD0I0_2（チャネル 132）
3	SELB_INTC1_3	割り込みチャネルの選択 0：INTCSIG0IR（チャネル 28） INTCSIH1IJC（チャネル 119） 1：INTCSIH1IJC_1（チャネル 28） INTCSIG0IR_2（チャネル 119）
2	SELB_INTC1_2	割り込みチャネルの選択 0：INTCSIG0IC（チャネル 27） INTCSIH1IRE（チャネル 118） 1：INTCSIH1IRE_1（チャネル 27） INTCSIG0IC_2（チャネル 118）
1	SELB_INTC1_1	割り込みチャネルの選択 0：INTTAPA0IVLY0（チャネル 17） INTCSIH1IR（チャネル 117） 1：INTCSIH1IR_1（チャネル 17） INTTAPA0IVLY0_2（チャネル 117）
0	SELB_INTC1_0	割り込みチャネルの選択 0：INTTAPA0IPEK0（チャネル 16） INTCSIH1IC（チャネル 116） 1：INTCSIH1IC_1（チャネル 16） INTTAPA0IPEK0_2（チャネル 116）

備　考

対応製品は、**「表 7BC.6 EI レベルマスカブル割り込み要因 (RH850/F1KM-S4)」**、**「表 7BC.7 EI レベルマスカブル割り込み要因 (RH850/F1KM-S2)」**、**「表 7BC.8 EI レベルマスカブル割り込み要因 (RH850/F1KM-S1)」**を参照してください。

注　意

SELB_INTC1 で各割り込み要因を設定してから、対応する各周辺機能の動作を許可してください。

7BC.6 割り込み機能システムレジスタ

「**表 3BC.31 割り込み機能システムレジスタ一覧**」を参照してください。

7BC.6.1 FPIPR — FPI 例外割り込み優先度

「**表 3BC.32 FPIPR レジスタの内容**」を参照してください。

7BC.6.2 ISPR — 受付中割り込み優先度

「**表 3BC.33 ISPR レジスタの内容**」を参照してください。

7BC.6.3 PMR — 割り込み優先度マスク

「**表 3BC.34 PMR レジスタの内容**」を参照してください。

7BC.6.4 ICSR — 割り込み制御ステータス

「**表 3BC.35 ICSR レジスタの内容**」を参照してください。

7BC.6.5 INTCFG — 割り込み機能の設定

「**表 3BC.36 INTCFG レジスタの内容**」を参照してください。

7BC.7 割り込み受け付け時の動作

命令の実行時点で通知されている割り込みを、優先順位にしたがって、ひとつひとつ割り込み受け付けを行うかどうかを確認していきます。割り込みごとの受け付け動作の手順は次の通りです。

(1) 受け付け条件を満たしているか、また優先順位にしたがって受け付けを行うかどうかを確認する。

(2) 現在の PSW の値に従って、例外ハンドラアドレスを計算する。[注 1]

(3) FE レベルノンマスカブル割り込み／FE レベルマスカブル割り込みの場合、それぞれ次の処理を行う。

- PC を FEPC に退避
- PSW を FEPSW に退避
- FEIC に例外要因コードを格納
- PSW を更新する[注 2]
- PC に(2)で計算した例外ハンドラアドレスを格納し、例外ハンドラへ制御を移す

(4) EI レベル例外の場合、それぞれ次の処理を行う。

- PC を EIPC に退避
- PSW を EIPSW に退避
- EIIC に例外要因コードを格納
- PSW を更新する[注 2]
- PC に(2)で計算した例外ハンドラアドレスを格納し、例外ハンドラへ制御を移す

注1. 詳細は、**「7BC.10 例外ハンドラアドレス」**を参照してください。

注2. 更新する値は、「*RH850G3KH ユーザーズマニュアル ソフトウェア編*」の「*表 4.1 例外要因一覧*」を参照してください。

（1）から（4）の手順を次の図で示します。

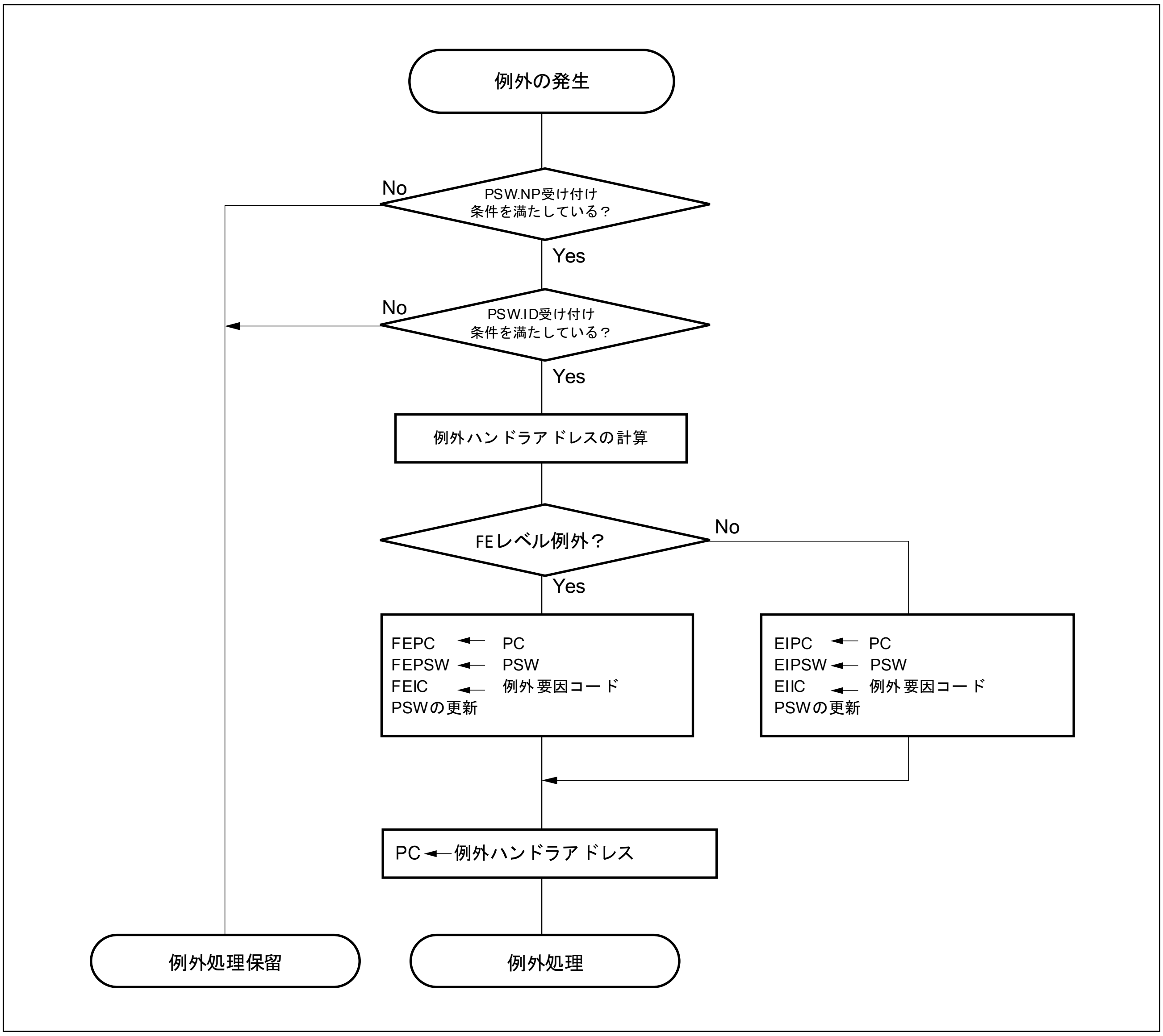


図 7BC.2　割り込み受け付け時の動作

7BC.7.1 SYSERR 例外発生時の例外要因コード

SYSERR 例外発生時の例外要因コードを以下の表に示します。

表 7BC.25 SYSERR 例外発生時の例外要因コード

例外要因コード	SYSERR 発生要因
11_H	● コードフラッシュメモリ領域内の命令フェッチ時にエラー検出
13_H	● ローカル RAM、グローバル RAM、またはリテンション RAM 領域内の命令フェッチ時にエラー検出
14_H	● コードフラッシュ領域内のデータにアクセス時にエラー検出 ● システムインタコネクトまたは PBUS 経由でモジュールへのリードアクセス時にエラー検出 例外要因コードにより、SEGFLAG レジスタの VCIF ビット関連システムエラー要因の発生が報告されます注 1。
16_H	● ローカル RAM 領域内のデータにアクセス時にエラー検出 例外要因コードにより、SEGFLAG レジスタの TCMF ビット関連システムエラー要因の発生が報告されます注 1。
18_H	● IPG エラー検出 例外要因コードにより、SEGFLAG レジスタの VCIF、IPGF ビット関連システムエラー要因の発生が報告されます注 1。
19_H	● PBUS 経由でモジュールへのライトアクセス時にエラー検出 例外要因コードにより、SEGFLAG レジスタの APIF ビット関連システムエラー要因の発生が報告されます注 1。
$1A_H$	● システムインタコネクト内でエラー検出 例外要因コードにより、SEGFLAG レジスタの VCSF ビット関連システムエラー要因の発生が報告されます注 1。

注1. 詳細は「**3BC.2.3.3 システムエラー通知制御機能（SEG）**」を参照してください。

7BC.8 割り込みからの復帰

割り込み処理からの復帰には、それぞれの割り込みレベルに対応した復帰命令（EIRET, FERET）の実行によって行います。

スタックなどにコンテキストを退避している場合は、復帰命令の実行前にコンテキストの復帰を必ず行ってください。

EI レベルマスカブル割り込み処理からの復帰は、EIRET 命令、FE レベルマスカブル割り込み処理からの復帰は FERET 命令により行われます。

EIRET 命令、FERET 命令の実行により、CPU は次の処理を行い復帰 PC のアドレスへ制御を移します。

(1) EI レベル例外からの復帰時は、EIPC, EIPSW レジスタから復帰 PC, PSW を取り出します。
FE レベル例外からの復帰時は、FEPC, FEPSW レジスタから復帰 PC, PSW を取り出します。

(2) 取り出した復帰 PC, PSW のアドレスに制御を移します。

(3) EP＝0 で、INTCFG.ISPC＝0 の場合、ISPR レジスタを更新します。

EIRET 命令、FERET 命令を使った例外処理からの復帰フローを次に示します。

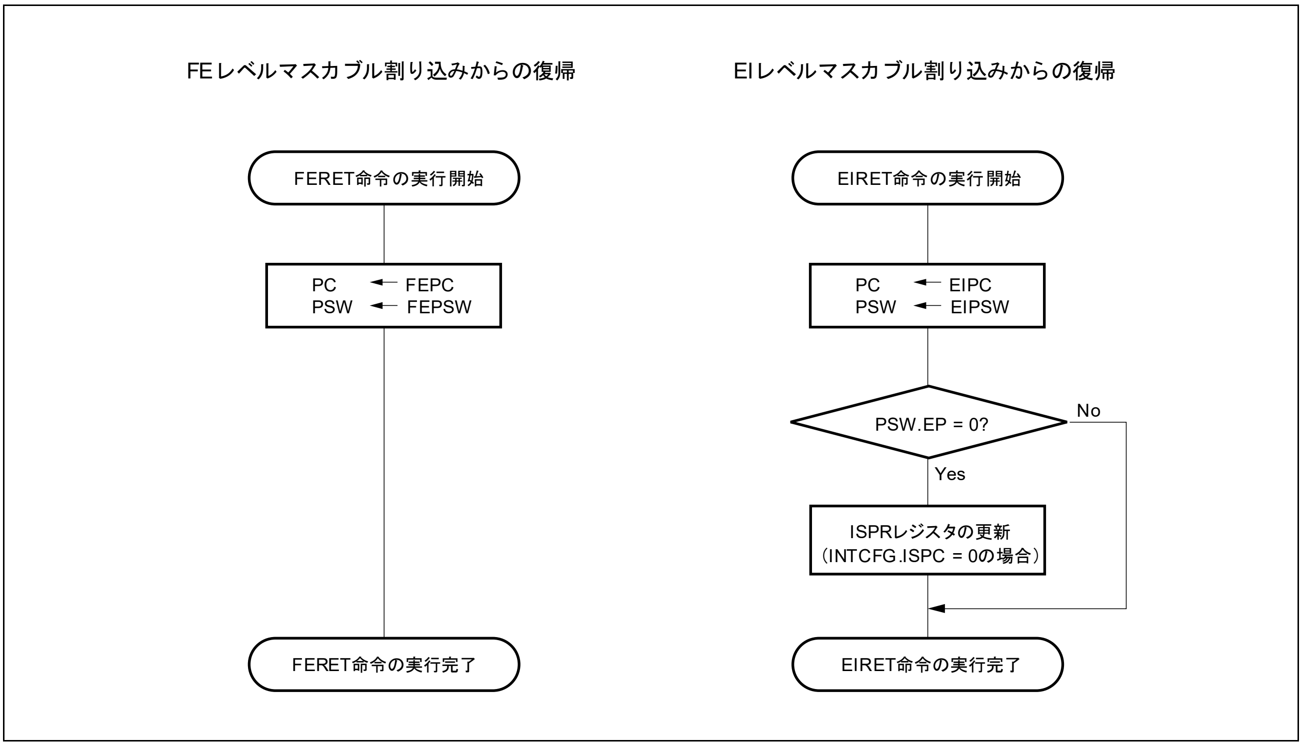


図 7BC.3 割り込みからの復帰

7BC.9 割り込み動作

7BC.9.1 EI レベルマスカブル割り込み（EIINT）の割り込みマスク機能

EIINT は、それぞれの割り込みチャネルごとに割り込みのマスクを指定可能です。割り込みのマスクは、次のレジスタを設定することにより行います。

表 7BC.26　MKxxx ビットの動作

ICxxx.MKxxx	動作
1	割り込みをマスクします。
0	割り込みを許可します。

ICxxx.MKxxx ビットは、IMRm レジスタの対応する IMRmEIMKn ビットからもリード／ライト可能です。割り込みマスク状態は、ICxxx レジスタと IMRm レジスタの両方に反映されています。

[動作例]

(1) IMRm.IMRmEIMKn ビットに 1 を書き込むと、対応するチャネルの割り込みは禁止されます。

(2) 対応する ICxxx.MKxxx ビットをリードすると 1 が読み出されます。

注　意

割り込み要求が保留されている（RFxxx＝1）場合、MKxxx ビットが 0 に設定されると、割り込みサービスルーチンは、その時点（割り込み優先順位の規則にしたがう）で実行されます。RFxxx ビットに 1 を設定することで、割り込み要求がソフトウェアで発行されても、割り込みが MKxxx＝1 でマスクされている間は、割り込みは発生しません。保留されている割り込み要求を削除するには、対応する RFxxx ビットをソフトウェアでクリアしてください。

7BC.9.2 割り込み優先度判断

FE レベルノンマスカブル割り込み（FENMI）、FE レベルマスカブル割り込み（FEINT）、EI レベルマスカブル割り込み（EIINT）が入力されると、その他の例外も含めて優先度を判断し、最も高い優先度の例外（割り込み含む）が要求されます。同時に要求された例外（割り込み含む）は、あらかじめ割り付けてある優先順位（デフォルト優先順位）で処理されます。割り込み FENMI、FEINT、EIINT の優先順位は次のとおりです。

FENMI＞FEINT＞EIINT

その他の例外については、「*RH850G3KH ユーザーズマニュアル ソフトウェア編*」を参照してください。

EIINT（INTn）割り込みは、各割り込み要因ごとに割り込み優先度を設定可能です。割り込み優先度は、P3xxx～P0xxx ビットで指定します。割り込み優先度は、0～15 までが設定可能です。0 が最高優先度、15 が最低優先度です。同じ優先度を持つ EIINT（INTn）割り込み間では、割り込みチャネル番号の最も小さい割り込みが優先されます。

表 7BC.27 EIINT（INTn）の割り込み優先度設定と動作の優先順位の例

EIINT（INTn）	ICxxx.P[3:0]xxx 設定	動作時の優先順位
INT0	3	10
INT1	4	11
INT2	0	1
INT3	0	2
INT4	1	3
INT5	2	6
INT6	2	7
INT7	1	4
INT8	1	5
INT9	2	8
INT10	2	9

割り込みコントローラは、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。同時に複数の EIINT（INTn）割り込みが要求されている場合、次の手順で受け付ける割り込みが決定されます。

7BC.9.2.1 現在処理中の割り込み優先度との比較

現在処理中の割り込み優先度と同じ、または低い割り込みの受け付けは保留されます。

現在処理中の割り込み優先度は、ISPR レジスタに保持されています。

現在処理中の割り込み優先度より高い割り込みは、次の優先度判断に移ります。

7BC.9.2.2 プライオリティマスクレジスタ（PMR）によるマスク

PMR レジスタにより許可されている割り込みのみ、次の優先度判断に移ります。PMR レジスタに関しては、「**表 3BC.34 PMR レジスタの内容**」または、「*RH850G3KH ユーザーズマニュアル ソフトウェア編*」を参照してください。

7BC.9.2.3 要求されている割り込み要因のうち、最も高い優先度が設定されている割り込み要因を選択

複数の割り込みが同時に発生した場合、ICxxx.P[3:0]xxx ビットで最も高い優先度を設定した割り込み要因が優先されます。

最高優先度（ICxxx.P[3:0]xxx ビット＝0）の割り込み要因が複数ある場合、割り込みチャネル番号の最も小さいものが選択されます。

7BC.9.2.4 CPU による割り込みの保留

PSW レジスタの NP ビット、ID ビットの状態によって、割り込みの受け付けが保留されます。このとき、EIINT 割り込み内の優先度判断、EIINT 割り込み、FEINT 割り込み、FENMI 割り込み間の優先度判断は、割り込み受け付けが保留されている間も行われ、受け付け条件が成立した時点で、もっとも優先度の高い割り込みが選択されます。

例

優先度 5 の EIINT 割り込みがすでに要求されており、PSW.ID ビットが 1 のため割り込み発生が保留されているときに、後から優先度 3 の EIINT 割り込みが要求された。その後、PSW.ID ビットがクリア（0）された場合、優先度 3 の EIINT 割り込みが発生する。

割り込み処理中に、さらに別の割り込みを受け付ける多重割り込みの処理例を「**図 7BC.4 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例（1）**」に示します。

割り込み要求信号を受け付けると PSW.ID フラグが自動的にセット（1）されるので、多重割り込みを使用する場合は、割り込み処理プログラム中で EI 命令を実行するなどして ID フラグをクリア（0）し、割り込み許可状態にしてください。

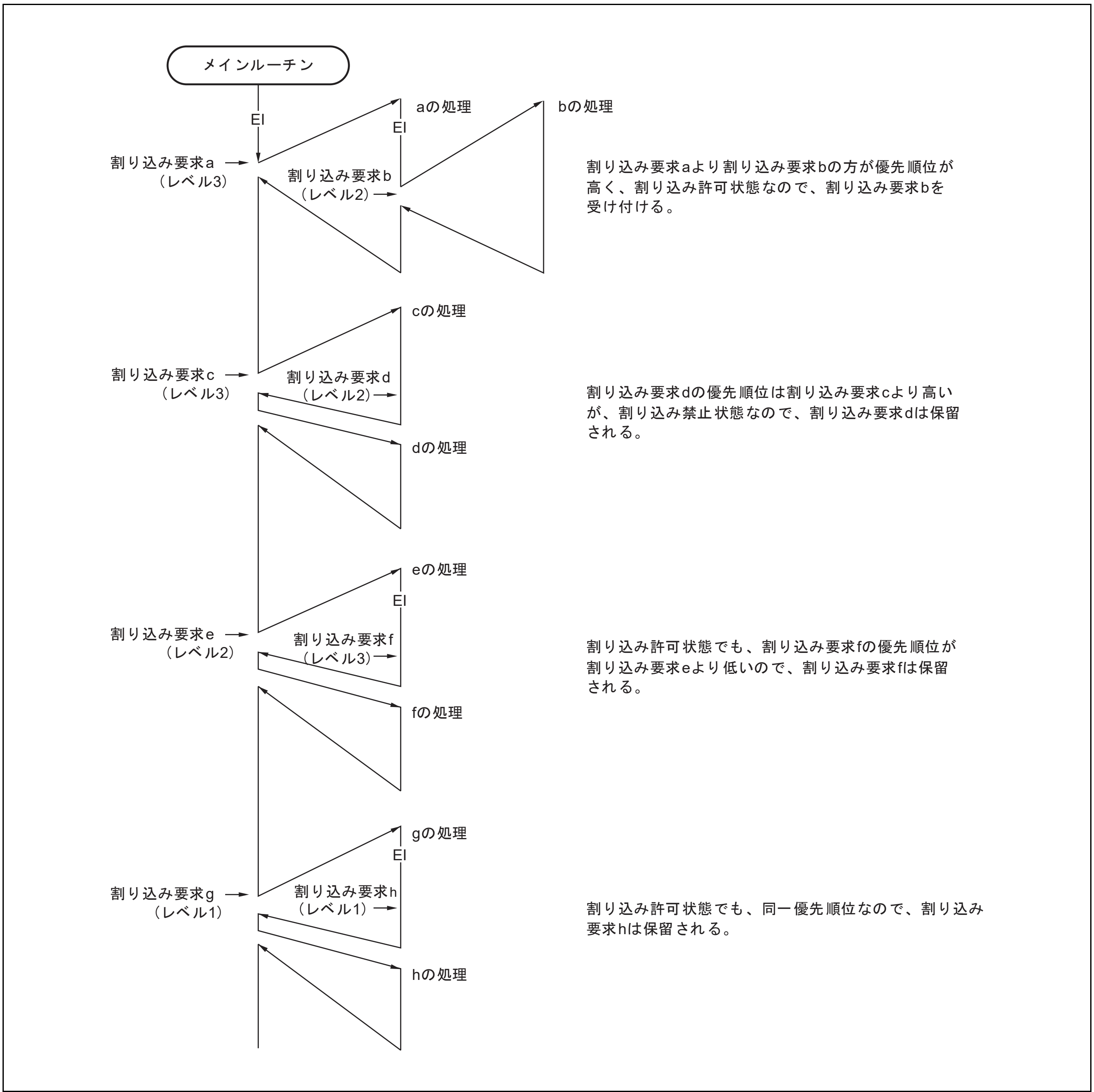
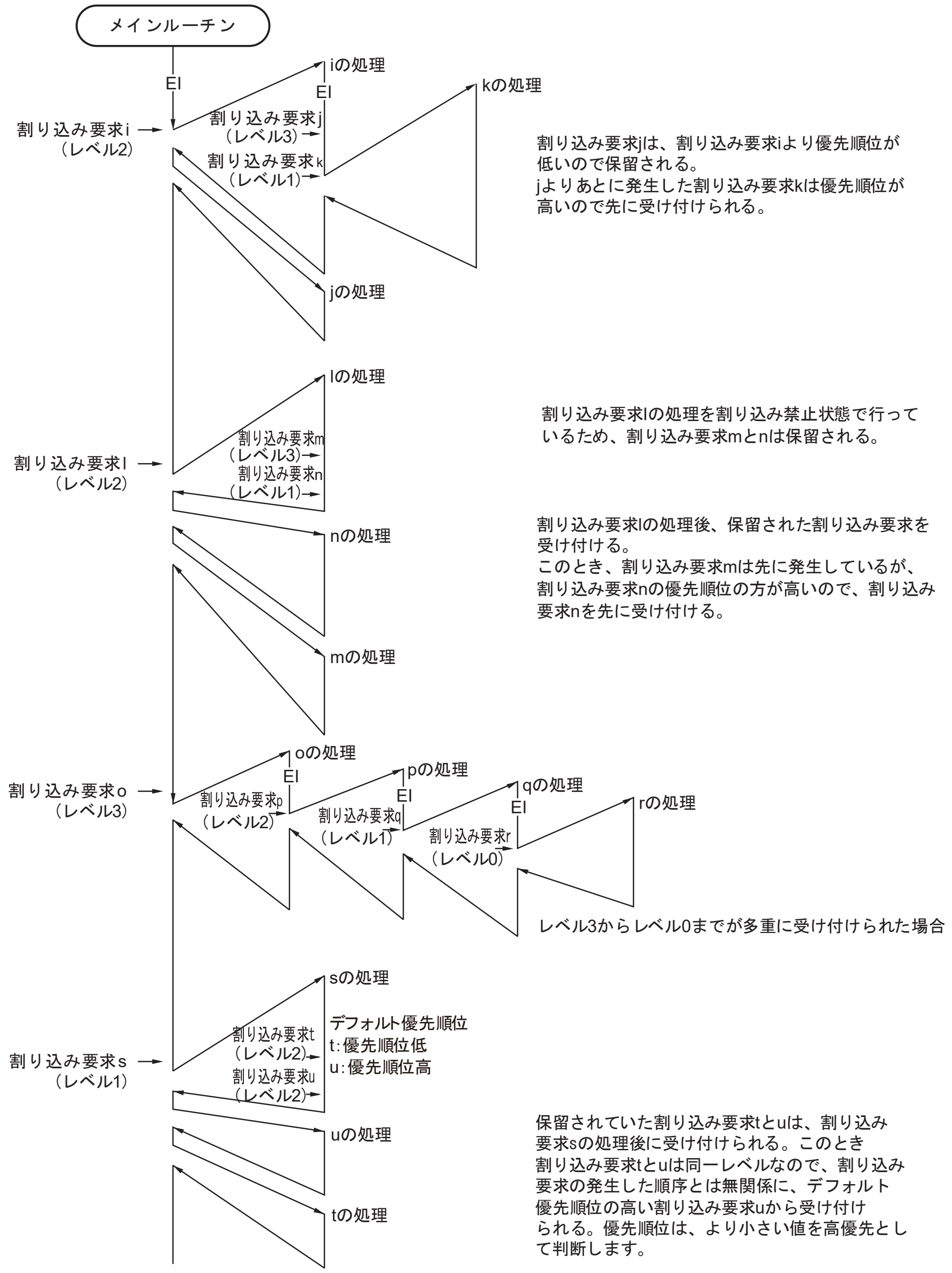


図 7BC.4　　割り込み処理中にほかの割り込み要求信号が発生した場合の処理例（1）



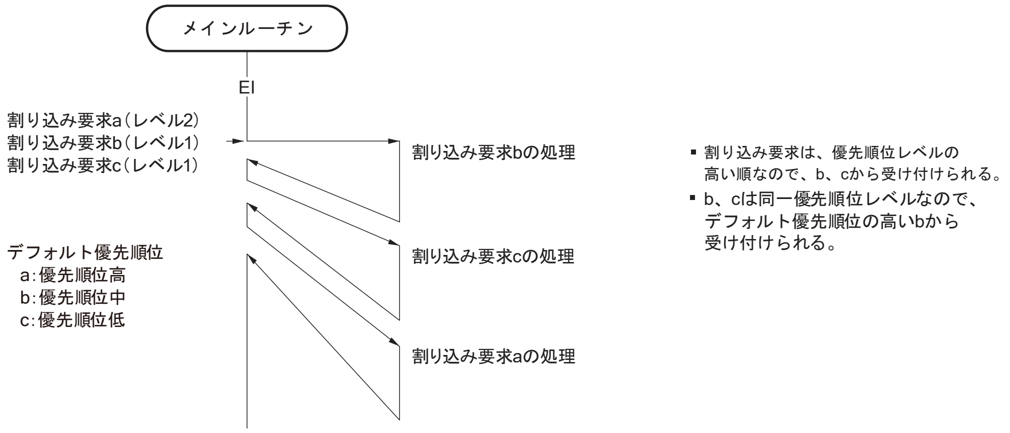
備考1.　図中の a～u は、各割り込み要求信号を区別するために付けた仮の名称です。

備考2.　図中のデフォルト優先順位の高い／低いは、2 つの割り込み要求信号間の相対的な優先順位の高さを示します。

図 7BC.4　　割り込み処理中にほかの割り込み要求信号が発生した場合の処理例（2）

注　意

多重割り込みを行うときは EI 命令を実行する前に、EIPC, EIPSW の内容を退避する必要があります。また、多重割り込みから復帰する際は、DI 命令を実行したあとに、EIPC, EIPSW の内容を復帰してください。



備考1.　図中の a～c は、各割り込み要求信号を区別するために付けた仮の名称です。

備考2.　図中のデフォルト優先順位の高い／低いは、2 つの割り込み要求信号間の相対的な優先順位の高さを示します。

図 7BC.5　同時発生した割り込み要求信号の処理例

7BC.9.3　割り込み要求の受け付け条件と優先順位

「*RH850G3KH ユーザーズマニュアル ソフトウェア編*」を参照してください。

7BC.9.4　割り込みの例外優先度と優先度マスク

「*RH850G3KH ユーザーズマニュアル ソフトウェア編*」を参照してください。

7BC.9.5　割り込み優先度マスク

「*RH850G3KH ユーザーズマニュアル ソフトウェア編*」を参照してください。

7BC.9.6　優先度マスク機能

優先度マスク機能は、指定した割り込み優先度が設定されている EIINT 割り込みを一括で禁止します。

PMR レジスタの設定により、マスクしたい割り込み優先度を指定します。それぞれの優先度ごとにマスク受け付け可の設定が可能です。

優先度マスク機能には次の操作ができます。

- 一時的にある割り込み優先度以下の割り込みを禁止とする
- 一時的にある割り込み優先度を持つ割り込みを禁止とする

表 7BC.28　PMR.PMm ビットの動作

PMR.PMm	動作
0	優先度 m の割り込み要因からの要求を受け付けます。
1	優先度 m の割り込み要因からの要求をマスクします。

備考　m＝0～15

この機能により保留されている EIINT 割り込みの有無は、「**7BC.9.7 例外の管理**」で確認が可能です。

PMR レジスタについては「**表 3BC.34 PMR レジスタの内容**」または、「*RH850G3KH ユーザーズマニュアル ソフトウェア編*」を参照してください。

7BC.9.7　例外の管理

RH850/F1KM は保留されている割り込みの有無を確認をすることができます。詳細は「*RH850G3KH ユーザーズマニュアル ソフトウェア編*」を参照してください。

7BC.10 例外ハンドラアドレス

RH850/F1KM では、リセット入力時や、例外受付時、割り込み受付時などに実行する例外ハンドラアドレスを、設定に応じて変更が可能です。

リセットと例外（割り込み含む）は、PSW.EBV ビットと、RBASE レジスタ、EBASE レジスタによって例外ハンドラアドレスの基準位置が変更できる直接ベクタ方式によって例外ハンドラアドレスを決定します。さらに割り込みは、チャネルごとに直接ベクタ方式とテーブル参照方式の選択が可能であり、テーブル参照方式を指定した場合は、メモリ上に配置した例外ハンドラテーブルの示すアドレスへ分岐することが可能です。

注　意

直接ベクタ方式において、EIINT（INTn）の例外ハンドラアドレスが、V850E2 コア製品とは異なります。V850E2 コア製品では、割り込みチャネル（EIINT（INTn））ごとに異なる例外ハンドラアドレスが割り当てられていましたが、RH850/F1KM では割り込み優先度ごとに 1 つの例外ハンドラアドレスが割り当てられています。このため、同一の割り込み優先度に指定した割り込みは、すべて同じ例外ハンドラへ分岐します。

7BC.10.1　直接ベクタ方式

CPU は、RBASE レジスタ、または EBASE レジスタで示されるベースアドレスに「**表 7BC.29　ベースレジスタ／オフセットアドレスの選択**」のオフセットを加算した値を、例外ハンドラアドレスとして利用します。

RBASE レジスタ、EBASE レジスタのいずれをベースアドレスとして利用するかは、PSW.EBV ビットによって選択します[注1]。PSW.EBV ビットがセット（1）されている場合は、EBASE レジスタの値をベースアドレスとして利用します。クリア（0）されている場合は、RBASE レジスタの値をベースアドレスとして利用します。ただし、リセット入力は、常に RBASE レジスタを参照します。

また、ユーザ割り込みは、それぞれのベースレジスタの RINT ビットを参照し、その状態によってオフセットアドレスの縮小を行います。RBASE.RINT ビット、あるいは EBASE.RINT ビットがセット（1）されている場合は、全てのユーザ割り込みは、オフセット 100_H として扱われます。クリア（0）されている場合は、それぞれ「**表 7BC.29　ベースレジスタ／オフセットアドレスの選択**」にしたがって、オフセットアドレスが決定されます。

注1. 例外受け付け自身で、PSW.EBV ビットの状態を更新する場合があります。その場合は、更新後の値を基準に、ベースレジスタを選択します。

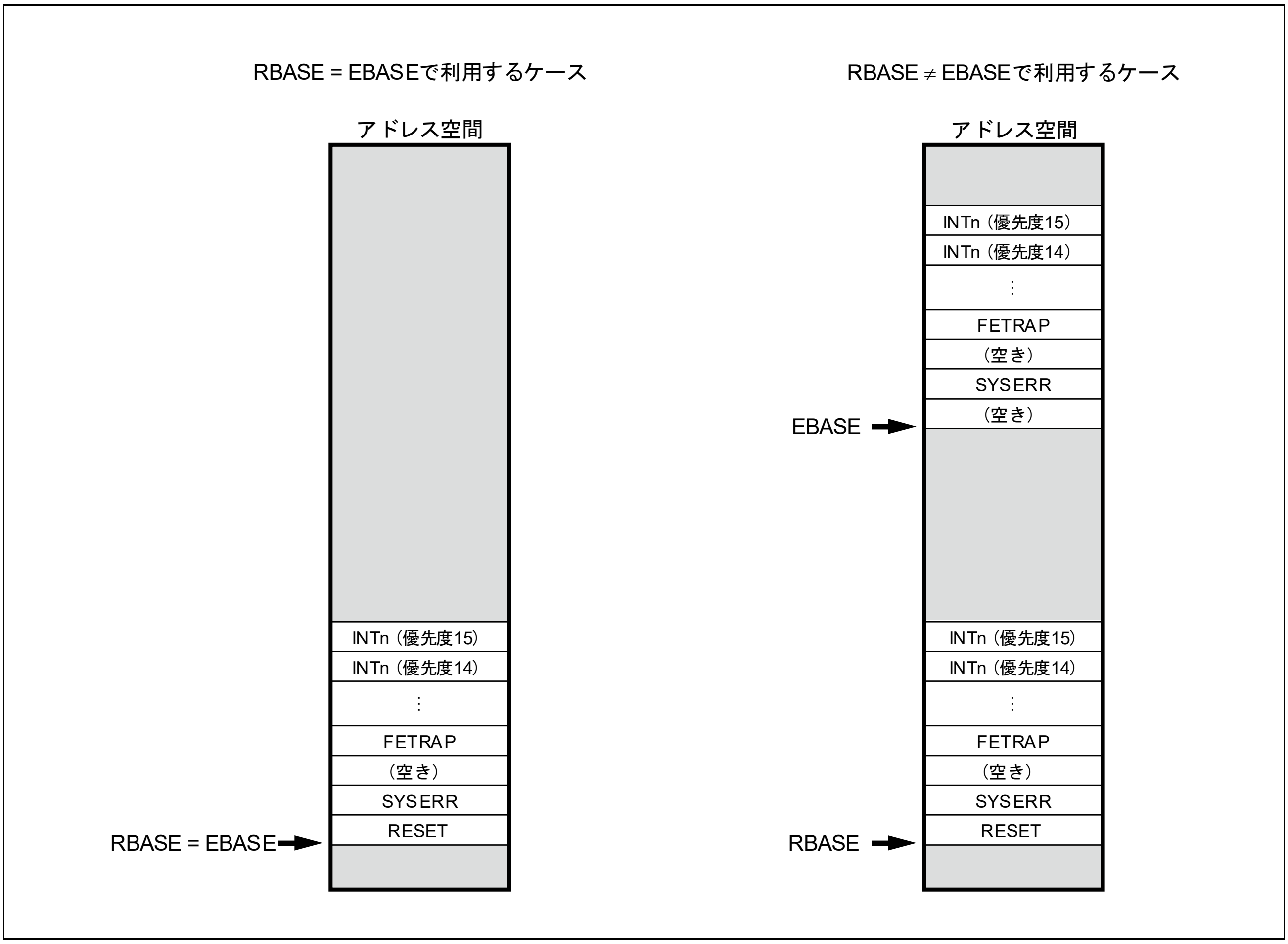


図 7BC.6　　直接ベクタ方式

次の表に、例外ハンドラアドレス決定のためのベースレジスタ選択と、オフセットアドレスの縮小が、各例外に対してどのように機能するかを示します。PSW のビットの値は、例外の受け付けによる更新後の値を基準に例外ハンドラアドレスを決定します。

表 7BC.29　ベースレジスタ／オフセットアドレスの選択

例外／割り込み	PSW.EBV＝0	PSW.EBV＝1	RINT＝0	RINT＝1
	ベースレジスタ		オフセットアドレス	
RESET	RBASE	なし	000_H	000_H
SYSERR		EBASE	010_H	010_H
予約			020_H	020_H
FETRAP			030_H	030_H
TRAP0			040_H	040_H
TRAP1			050_H	050_H
RIE			060_H	060_H
FPP/FPI			070_H	070_H
UCPOP			080_H	080_H
MIP/MDP			090_H	090_H
PIE			$0A0_H$	$0A0_H$
MAE			$0C0_H$	$0C0_H$
予約			$0D0_H$	$0D0_H$
FENMI			$0E0_H$	$0E0_H$
FEINT			$0F0_H$	$0F0_H$
INTn（優先度 0）			100_H	100_H
INTn（優先度 1）			110_H	
INTn（優先度 2）			120_H	
INTn（優先度 3）			130_H	
INTn（優先度 4）			140_H	
INTn（優先度 5）			150_H	
INTn（優先度 6）			160_H	
INTn（優先度 7）			170_H	
INTn（優先度 8）			180_H	
INTn（優先度 9）			190_H	
INTn（優先度 10）			$1A0_H$	
INTn（優先度 11）			$1B0_H$	
INTn（優先度 12）			$1C0_H$	
INTn（優先度 13）			$1D0_H$	
INTn（優先度 14）			$1E0_H$	
INTn（優先度 15）			$1F0_H$	

ベースレジスタの選択は、リセットと一部のハードウエアエラーの例外処理を、RAM やキャッシュ領域などのソフトウエアエラーの影響を受けやすい領域ではなく、ROM などの比較的信頼性の高いプログラムで動作させるための仕組みです。ユーザ割り込みのオフセットアドレスの縮小は、システム中の特定の動作モードにおいて、例外ハンドラのメモリ占有サイズを小さく保つための機能です。主にシステムのメンテナンスや診断など、最低限の機能のみが動作するモードなどにおいて、メモリ領域の消費を最小限に抑えます。

7BC.10.2 テーブル参照方式

直接ベクタ方式では、ユーザ割り込みの例外ハンドラは、それぞれの割り込み優先度ごとに 1 つであり、複数の同一優先度を示す割り込みチャネルは、同じ割り込みハンドラへ分岐しますが、ユーザによっては、割り込みハンドラごとに開始時点からことなるコード領域を利用したい場合などがあります。

RH850/F1KM では、このような使用方法を想定した割り込みに関するテーブル参照方式を定義しています。

テーブル参照方式においては、割り込みコントローラなどにおいて、割り込みチャネルのベクタ選択方式を「テーブル参照方式」に設定すると、その割り込みチャネルに対応する割り込み要求を受け付けた場合の例外ハンドラアドレスの決定方法が次のように変わります。

<1> 次のいずれかの場合は、直接ベクタ方式に従い例外ハンドラアドレスを決定します。

- PSW.EBV＝0 かつ RBASE.RINT＝1 の場合
- PSW.EBV＝1 かつ EBASE.RINT＝1 の場合
- 割り込みチャネルの設定が「テーブル参照方式」でない場合

<2> <1>以外の場合、テーブルの参照位置を計算します。
例外ハンドラアドレス読み出し位置＝INTBP レジスタの値＋チャネル番号×4 バイト

<3> <2>で計算した割り込みハンドラアドレス読み出し位置から、ワードデータを読み出します。

<4> <3>で読み出した、ワードデータを例外ハンドラアドレスとして利用します。

「**表 7BC.30 例外ハンドラアドレスの拡張**」に、各割り込みチャネルに対応する例外ハンドラアドレス読み出し位置を示します。

また、「**図 7BC.7 テーブル参照方式**」に、メモリ上の配置イメージを示します。

表 7BC.30 例外ハンドラアドレスの拡張

割り込みの種類	例外ハンドラアドレス読み出し位置
EI レベルマスカブル割り込みチャネル 0	INTBP レジスタの値＋0×4
EI レベルマスカブル割り込みチャネル 1	INTBP レジスタの値＋1×4
EI レベルマスカブル割り込みチャネル 2	INTBP レジスタの値＋2×4
:	:
EI レベルマスカブル割り込みチャネル 375	INTBP レジスタの値＋375×4
EI レベルマスカブル割り込みチャネル 376	INTBP レジスタの値＋376×4

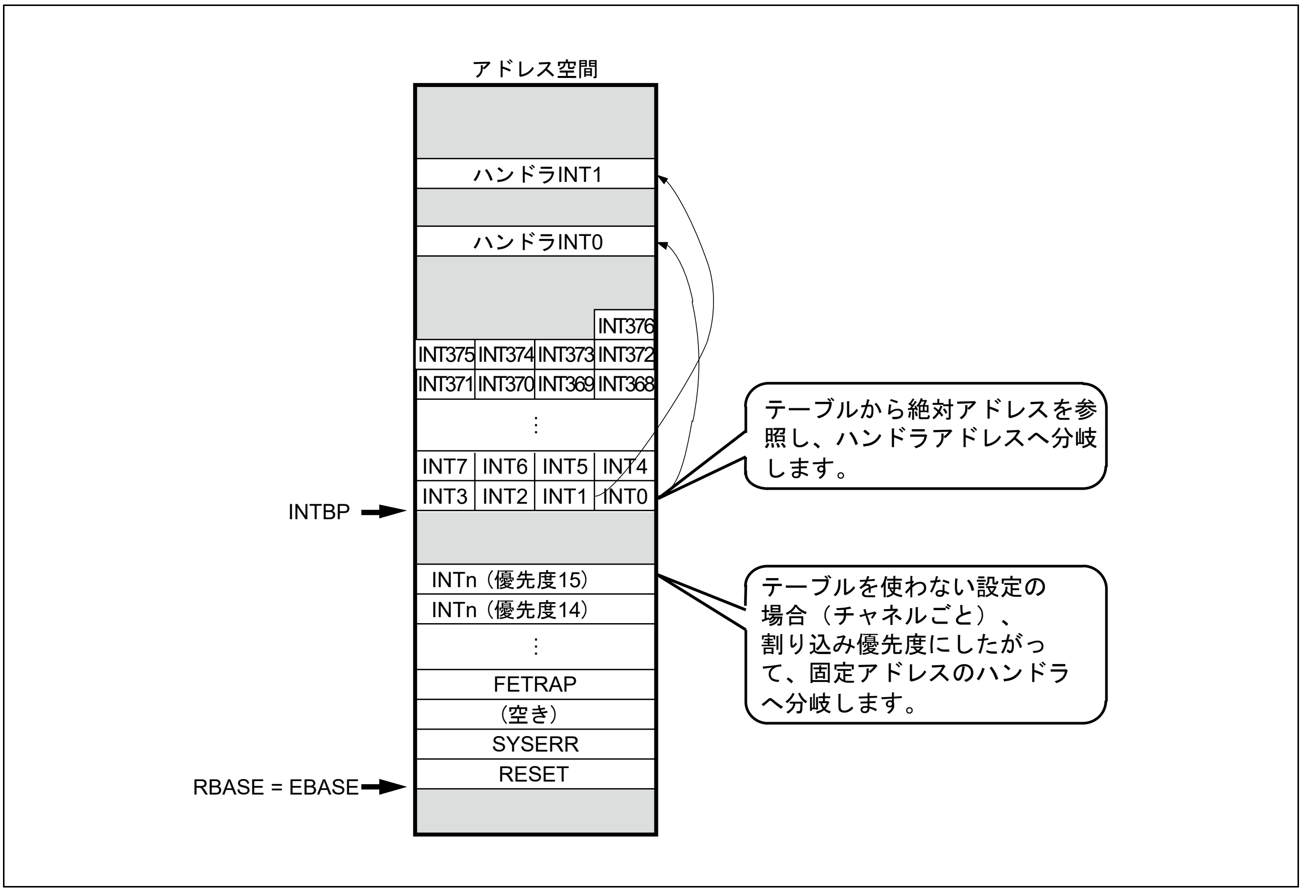


図 7BC.7 テーブル参照方式

第8章　DMA コントローラ

本章では、DMA コントローラ（DMA）全般について説明します。

最初の節では、チャネル数、レジスタベースアドレスなど、RH850/F1KH, RH850/F1KM に固有の特長について説明します。

それ以降の節では、DMA の機能、レジスタについて説明します。

8.1　RH850/F1KH, RH850/F1KM DMA コントローラの特長

8.1.1　チャネル数

本製品は、以下に示すチャネル数の DMA を搭載しています。

表 8.1　チャネル数 (RH850/F1KH-D8)

製品名	RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 324 Pin
チャネル数	64ch (8ch × 4 × 2)	64ch (8ch × 4 × 2)	64ch (8ch × 4 × 2)

表 8.2　チャネル数 (RH850/F1KM-S4)

製品名	RH850/F1KM-S4 100 Pin	RH850/F1KM-S4 144 Pin	RH850/F1KM-S4 176 Pin	RH850/F1KM-S4 233 Pin	RH850/F1KM-S4 272 Pin
チャネル数	32ch (8ch × 4)	32ch (8ch × 4)	32ch (8ch × 4)	32ch (8ch × 4)	32ch (8ch × 4)

表 8.3　チャネル数 (RH850/F1KM-S2)

製品名	RH850/F1KM-S2 100 Pin	RH850/F1KM-S2 144 Pin	RH850/F1KM-S2 176 Pin
チャネル数	32ch (8ch × 4)	32ch (8ch × 4)	32ch (8ch × 4)

表 8.4　チャネル数 (RH850/F1KM-S1)

製品名	RH850/F1KM-S1 48 Pin	RH850/F1KM-S1 64 Pin	RH850/F1KM-S1 80 Pin	RH850/F1KM-S1 100 Pin
チャネル数	16ch (8ch × 2)	16ch (8ch × 2)	16ch (8ch × 2)	16ch (8ch × 2)

表 8.5　添字 (RH850/F1KH-D8)

添字	説明
n	本章では、DMA のユニットを「n」で識別します。たとえば、PDMAn（n＝0、1）と記述します。
y	本章では、DMA のグループを「y」で識別します。たとえば、DMACy（y＝0～3）と記述します。
m	本章では、DMA のチャネルを「m」で識別します。たとえば、DMA ソースアドレスレジスタは、PDMAnDSAm（m＝0～31）と記述します。
i	本章では、DMAC のチャネルを「i」で識別します。たとえば、DMAC チャネルマスタ設定は、PDMAnDMyiCM（i＝0～7）と記述します。

表 8.6　添字 (RH850/F1KM-S4, RH850/F1KM-S2)

添字	説明
n	本章では、DMA のユニットを「n」で識別します。たとえば、PDMAn（n＝0）と記述します。
y	本章では、DMA のグループを「y」で識別します。たとえば、DMACy（y＝0～3）と記述します。
m	本章では、DMA のチャネルを「m」で識別します。たとえば、DMA ソースアドレスレジスタは、PDMAnDSAm（m＝0～31）と記述します。
i	本章では、DMAC のチャネルを「i」で識別します。たとえば、DMAC チャネルマスタ設定は、PDMAnDMyiCM（i＝0～7）と記述します。

表 8.7　　添字 (RH850/F1KM-S1)

添字	説明
n	本章では、DMA のユニットを「n」で識別します。たとえば、PDMAn（n=0）と記述します。
y	本章では、DMA のグループを「y」で識別します。たとえば、DMACy（y=0、1）と記述します。
m	本章では、DMA のチャネルを「m」で識別します。たとえば、DMA ソースアドレスレジスタは、PDMAnDSAm（m=0～15）と記述します。
i	本章では、DMAC のチャネルを「i」で識別します。たとえば、DMAC チャネルマスタ設定は、PDMAnDMyiCM（i=0～7）と記述します。

8.1.2　　レジスタベースアドレス

DMA のベースアドレスを以下の表に示します。

DMA のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 8.8　　レジスタベースアドレス (RH850/F1KH-D8)

ベースアドレス名	ベースアドレス
<DMA0_base>	FFFF 8000_H
<DMA1_base>	FFFF 9000_H

表 8.9　　レジスタベースアドレス (RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ベースアドレス名	ベースアドレス
<DMA0_base>	FFFF 8000_H

8.1.3　割り込み要求

DMA の割り込み要求を以下の表に示します。

表 8.10　割り込み要求 (RH850/F1KH-D8)

ユニット割り込み信号	説明	割り込み番号
PDMA0		
INTDMA0	PDMA0 DMA00 転送完了	60
INTDMA1	PDMA0 DMA01 転送完了	61
INTDMA2	PDMA0 DMA02 転送完了	62
INTDMA3	PDMA0 DMA03 転送完了	63
INTDMA4	PDMA0 DMA04 転送完了	64
INTDMA5	PDMA0 DMA05 転送完了	65
INTDMA6	PDMA0 DMA06 転送完了	66
INTDMA7	PDMA0 DMA07 転送完了	67
INTDMA8	PDMA0 DMA10 転送完了	68
INTDMA9	PDMA0 DMA11 転送完了	69
INTDMA10	PDMA0 DMA12 転送完了	70
INTDMA11	PDMA0 DMA13 転送完了	71
INTDMA12	PDMA0 DMA14 転送完了	72
INTDMA13	PDMA0 DMA15 転送完了	73
INTDMA14	PDMA0 DMA16 転送完了	74
INTDMA15	PDMA0 DMA17 転送完了	75
INTDMA16	PDMA0 DMA20 転送完了	298
INTDMA17	PDMA0 DMA21 転送完了	299
INTDMA18	PDMA0 DMA22 転送完了	300
INTDMA19	PDMA0 DMA23 転送完了	301
INTDMA20	PDMA0 DMA24 転送完了	302
INTDMA21	PDMA0 DMA25 転送完了	303
INTDMA22	PDMA0 DMA26 転送完了	304
INTDMA23	PDMA0 DMA27 転送完了	305
INTDMA24	PDMA0 DMA30 転送完了	306
INTDMA25	PDMA0 DMA31 転送完了	307
INTDMA26	PDMA0 DMA32 転送完了	308
INTDMA27	PDMA0 DMA33 転送完了	309
INTDMA28	PDMA0 DMA34 転送完了	310
INTDMA29	PDMA0 DMA35 転送完了	311
INTDMA30	PDMA0 DMA36 転送完了	312
INTDMA31	PDMA0 DMA37 転送完了	313

表 8.10　割り込み要求 (RH850/F1KH-D8)

ユニット割り込み信号	説明	割り込み番号
PDMA1		
INTDMA32	PDMA1 DMA00 転送完了	101
INTDMA33	PDMA1 DMA01 転送完了	102
INTDMA34	PDMA1 DMA02 転送完了	103
INTDMA35	PDMA1 DMA03 転送完了	106
INTDMA36	PDMA1 DMA04 転送完了	188
INTDMA37	PDMA1 DMA05 転送完了	189
INTDMA38	PDMA1 DMA06 転送完了	190
INTDMA39	PDMA1 DMA07 転送完了	191
INTDMA40	PDMA1 DMA10 転送完了	192
INTDMA41	PDMA1 DMA11 転送完了	193
INTDMA42	PDMA1 DMA12 転送完了	194
INTDMA43	PDMA1 DMA13 転送完了	195
INTDMA44	PDMA1 DMA14 転送完了	196
INTDMA45	PDMA1 DMA15 転送完了	197
INTDMA46	PDMA1 DMA16 転送完了	198
INTDMA47	PDMA1 DMA17 転送完了	199
INTDMA48	PDMA1 DMA20 転送完了	200
INTDMA49	PDMA1 DMA21 転送完了	201
INTDMA50	PDMA1 DMA22 転送完了	202
INTDMA51	PDMA1 DMA23 転送完了	203
INTDMA52	PDMA1 DMA24 転送完了	204
INTDMA53	PDMA1 DMA25 転送完了	216
INTDMA54	PDMA1 DMA26 転送完了	290
INTDMA55	PDMA1 DMA27 転送完了	291
INTDMA56	PDMA1 DMA30 転送完了	292
INTDMA57	PDMA1 DMA31 転送完了	293
INTDMA58	PDMA1 DMA32 転送完了	294
INTDMA59	PDMA1 DMA33 転送完了	295
INTDMA60	PDMA1 DMA34 転送完了	296
INTDMA61	PDMA1 DMA35 転送完了	297
INTDMA62	PDMA1 DMA36 転送完了	355
INTDMA63	PDMA1 DMA37 転送完了	381

表 8.11　割り込み要求 (RH850/F1KM-S4, RH850/F1KM-S2)

ユニット割り込み信号	説明	割り込み番号
PDMA0		
INTDMA0	PDMA0 DMA00 転送完了	60
INTDMA1	PDMA0 DMA01 転送完了	61
INTDMA2	PDMA0 DMA02 転送完了	62
INTDMA3	PDMA0 DMA03 転送完了	63
INTDMA4	PDMA0 DMA04 転送完了	64
INTDMA5	PDMA0 DMA05 転送完了	65
INTDMA6	PDMA0 DMA06 転送完了	66
INTDMA7	PDMA0 DMA07 転送完了	67
INTDMA8	PDMA0 DMA10 転送完了	68
INTDMA9	PDMA0 DMA11 転送完了	69
INTDMA10	PDMA0 DMA12 転送完了	70
INTDMA11	PDMA0 DMA13 転送完了	71
INTDMA12	PDMA0 DMA14 転送完了	72
INTDMA13	PDMA0 DMA15 転送完了	73
INTDMA14	PDMA0 DMA16 転送完了	74
INTDMA15	PDMA0 DMA17 転送完了	75
INTDMA16	PDMA0 DMA20 転送完了	298
INTDMA17	PDMA0 DMA21 転送完了	299
INTDMA18	PDMA0 DMA22 転送完了	300
INTDMA19	PDMA0 DMA23 転送完了	301
INTDMA20	PDMA0 DMA24 転送完了	302
INTDMA21	PDMA0 DMA25 転送完了	303
INTDMA22	PDMA0 DMA26 転送完了	304
INTDMA23	PDMA0 DMA27 転送完了	305
INTDMA24	PDMA0 DMA30 転送完了	306
INTDMA25	PDMA0 DMA31 転送完了	307
INTDMA26	PDMA0 DMA32 転送完了	308
INTDMA27	PDMA0 DMA33 転送完了	309
INTDMA28	PDMA0 DMA34 転送完了	310
INTDMA29	PDMA0 DMA35 転送完了	311
INTDMA30	PDMA0 DMA36 転送完了	312
INTDMA31	PDMA0 DMA37 転送完了	313

表 8.12　割り込み要求 (RH850/F1KM-S1)

ユニット割り込み信号	説明	割り込み番号
PDMA0		
INTDMA0	PDMA0 DMA00 転送完了	60
INTDMA1	PDMA0 DMA01 転送完了	61
INTDMA2	PDMA0 DMA02 転送完了	62
INTDMA3	PDMA0 DMA03 転送完了	63
INTDMA4	PDMA0 DMA04 転送完了	64
INTDMA5	PDMA0 DMA05 転送完了	65
INTDMA6	PDMA0 DMA06 転送完了	66
INTDMA7	PDMA0 DMA07 転送完了	67
INTDMA8	PDMA0 DMA10 転送完了	68
INTDMA9	PDMA0 DMA11 転送完了	69
INTDMA10	PDMA0 DMA12 転送完了	70
INTDMA11	PDMA0 DMA13 転送完了	71
INTDMA12	PDMA0 DMA14 転送完了	72
INTDMA13	PDMA0 DMA15 転送完了	73
INTDMA14	PDMA0 DMA16 転送完了	74
INTDMA15	PDMA0 DMA17 転送完了	75

表 8.13　割り込み要求（FE レベルマスカブル割り込み要求）(RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット割り込み信号	説明	名称
INTDMAERR	DMA 転送エラー割り込み	INTDMAERR

8.1.4　DMA トリガ要因

DMA トリガ要因は、PDMAnDTFRm.REQSEL[6:0]ビットの設定により選択できます。

以下の表に PDMAnDTFRm レジスタで選択できるトリガ要因の一覧を示します。

表 8.14　DMA トリガ要因 (RH850/F1KH-D8)

DMA トリガ番号 PDMAnDTFRm.REQSEL[6:0]	DMA トリガ要因	F1KH-D8 176 Pin	F1KH-D8 233 Pin	F1KH-D8 272 Pin	F1KH-D8 324 Pin
DMACTRG[0]	TAUD0REQSEL0 注1	○	○	—	○
DMACTRG[1]	TAUD0REQSEL1 注1	○	○	—	○
DMACTRG[2]	TAUD0REQSEL2 注1	○	○	—	○
DMACTRG[3]	TAUD0REQSEL3 注1	○	○	—	○
DMACTRG[4]	INTADCA0I0	○	○	—	○
DMACTRG[5]	INTADCA0I1	○	○	—	○
DMACTRG[6]	INTADCA0I2	○	○	—	○
DMACTRG[7]	ADC_CONV_END0	○	○	—	○
DMACTRG[8]	INTCSIG0IC	○	○	—	○
DMACTRG[9]	INTCSIG0IR	○	○	—	○
DMACTRG[10]	INTRLIN30UR0	○	○	—	○
DMACTRG[11]	INTRLIN30UR1	○	○	—	○
DMACTRG[12]	INTP0	○	○	—	○
DMACTRG[13]	INTP2	○	○	—	○
DMACTRG[14]	INTP4	○	○	—	○
DMACTRG[15]	RSCANFDRF12	○	○	—	○
DMACTRG[16]	INTRLIN37UR0	○	○	—	○
DMACTRG[17]	TAUD0REQSEL4 注1	○	○	—	○
DMACTRG[18]	TAUD0REQSEL5 注1	○	○	—	○
DMACTRG[19]	INTRIIC0TI	○	○	—	○
DMACTRG[20]	INTRIIC0RI	○	○	—	○
DMACTRG[21]	INTTAUJ0I0	○	○	—	○
DMACTRG[22]	INTTAUJ0I3	○	○	—	○
DMACTRG[23]	RSCANFDCF0	○	○	—	○
DMACTRG[24]	RSCANFDCF1	○	○	—	○
DMACTRG[25]	RSCANFDRF13	○	○	—	○
DMACTRG[26]	RSCANFDCF2	○	○	—	○
DMACTRG[27]	RSCANFDCF3	○	○	—	○
DMACTRG[28]	INTCSIH1IC	○	○	—	○
DMACTRG[29]	INTCSIH1IR	○	○	—	○
DMACTRG[30]	INTCSIH1IJC	○	○	—	○
DMACTRG[31]	INTP6	○	○	—	○
DMACTRG[32]	INTP8	○	○	—	○
DMACTRG[33]	TAUB0REQSEL0 注1	○	○	—	○
DMACTRG[34]	TAUB0REQSEL1 注1	○	○	—	○
DMACTRG[35]	TAUB0REQSEL2 注1	○	○	—	○
DMACTRG[36]	TAUB0REQSEL3 注1	○	○	—	○
DMACTRG[37]	TAUB0REQSEL4 注1	○	○	—	○
DMACTRG[38]	TAUB0REQSEL5 注1	○	○	—	○
DMACTRG[39]	INTCSIG4IC	○	○	—	○

表 8.14　DMA トリガ要因 (RH850/F1KH-D8)

DMA トリガ番号 PDMAnDTFRm.REQSEL[6:0]	DMA トリガ要因	F1KH-D8 176 Pin	F1KH-D8 233 Pin	F1KH-D8 272 Pin	F1KH-D8 324 Pin
DMACTRG[40]	INTCSIG4IR	○	○	—	○
DMACTRG[41]	INTCSIH3IC	○	○	—	○
DMACTRG[42]	INTCSIH3IR	○	○	—	○
DMACTRG[43]	INTCSIH3IJC	○	○	—	○
DMACTRG[44]	INTRLIN32UR0	○	○	—	○
DMACTRG[45]	INTRLIN32UR1	○	○	—	○
DMACTRG[46]	INTTAUJ1I0	○	○	—	○
DMACTRG[47]	INTTAUJ1I2	○	○	—	○
DMACTRG[48]	RSCANFDCF4	○	○	—	○
DMACTRG[49]	RSCANFDCF5	○	○	—	○
DMACTRG[50]	INTRLIN34UR0	○	○	—	○
DMACTRG[51]	INTRLIN34UR1	○	○	—	○
DMACTRG[52]	TAUB1REQSEL0 注1	○	○	—	○
DMACTRG[53]	TAUB1REQSEL1 注1	○	○	—	○
DMACTRG[54]	TAUB1REQSEL2 注1	○	○	—	○
DMACTRG[55]	TAUB1REQSEL3 注1	○	○	—	○
DMACTRG[56]	TAUB1REQSEL4 注1	○	○	—	○
DMACTRG[57]	TAUB1REQSEL5 注1 RSCANFDRF15 注1	○	○	—	○
DMACTRG[58]	INTCSIH4IC	○	○	—	○
DMACTRG[59]	INTCSIH4IR	○	○	—	○
DMACTRG[60]	RSCANFDRF0	○	○	—	○
DMACTRG[61]	RSCANFDRF1	○	○	—	○
DMACTRG[62]	RSCANFDRF2	○	○	—	○
DMACTRG[63]	RSCANFDRF3	○	○	—	○
DMACTRG[64]	RSCANFDCF6	○	○	—	○
DMACTRG[65]	RSCANFDCF7	○	○	—	○
DMACTRG[66]	INTCSIG1IC	○	○	—	○
DMACTRG[67]	INTCSIG1IR	○	○	—	○
DMACTRG[68]	RSCANFDRF4	○	○	—	○
DMACTRG[69]	RSCANFDRF5	○	○	—	○
DMACTRG[70]	INTCSIH0IC	○	○	—	○
DMACTRG[71]	INTCSIH0IR	○	○	—	○
DMACTRG[72]	INTCSIH0IJC	○	○	—	○
DMACTRG[73]	INTP1	○	○	—	○
DMACTRG[74]	INTP3	○	○	—	○
DMACTRG[75]	INTP5	○	○	—	○
DMACTRG[76]	INTCSIH4IJC	○	○	—	○
DMACTRG[77]	INTRLIN37UR1	○	○	—	○
DMACTRG[78]	INTCSIG2IC	○	○	—	○
DMACTRG[79]	INTCSIG2IR	○	○	—	○
DMACTRG[80]	INTTAUJ0I1	○	○	—	○
DMACTRG[81]	INTTAUJ0I2	○	○	—	○
DMACTRG[82]	RSCANFDRF6	○	○	—	○
DMACTRG[83]	RSCANFDRF7	○	○	—	○

表 8.14 DMA トリガ要因 (RH850/F1KH-D8)

DMA トリガ番号 PDMAnDTFRm.REQSEL[6:0]	DMA トリガ要因	F1KH-D8 176 Pin	F1KH-D8 233 Pin	F1KH-D8 272 Pin	F1KH-D8 324 Pin
DMACTRG[84]	RSCANFDRF14	○	○	—	○
DMACTRG[85]	INTDMAFL 注2	○	○	—	○
DMACTRG[86]	INTRLIN31UR0	○	○	—	○
DMACTRG[87]	INTRLIN31UR1	○	○	—	○
DMACTRG[88]	INTP7	○	○	—	○
DMACTRG[89]	INTCSIH2IC	○	○	—	○
DMACTRG[90]	INTCSIH2IR	○	○	—	○
DMACTRG[91]	INTCSIH2IJC	○	○	—	○
DMACTRG[92]	RSCANFDCF8	—	—	—	○
DMACTRG[93]	RSCANFDCF9	—	—	—	○
DMACTRG[94]	RSCANFDCF10	—	—	—	○
DMACTRG[95]	RSCANFDCF11	—	—	—	○
DMACTRG[96]	RSCANFDRF8	○	○	—	○
DMACTRG[97]	RSCANFDRF9	○	○	—	○
DMACTRG[98]	RSCANFDRF10	○	○	—	○
DMACTRG[99]	RSCANFDRF11	○	○	—	○
DMACTRG[100]	INTTAUJ1I1	○	○	—	○
DMACTRG[101]	INTTAUJ1I3	○	○	—	○
DMACTRG[102]	INTP9	○	○	—	○
DMACTRG[103]	INTTAUJ2I0	○	○	—	○
DMACTRG[104]	INTTAUJ2I1	○	○	—	○
DMACTRG[105]	INTTAUJ2I2	○	○	—	○
DMACTRG[106]	INTTAUJ2I3	○	○	—	○
DMACTRG[107]	INTTAUJ3I0	○	○	—	○
DMACTRG[108]	INTTAUJ3I1	○	○	—	○
DMACTRG[109]	INTTAUJ3I2	○	○	—	○
DMACTRG[110]	INTTAUJ3I3	○	○	—	○
DMACTRG[111]	INTRLIN33UR0	○	○	—	○
DMACTRG[112]	INTRLIN33UR1	○	○	—	○
DMACTRG[113]	INTRIIC1TI	○	○	—	○
DMACTRG[114]	INTRIIC1RI	○	○	—	○
DMACTRG[115]	INTADCA1I0	○	○	—	○
DMACTRG[116]	INTADCA1I1	○	○	—	○
DMACTRG[117]	INTADCA1I2	○	○	—	○
DMACTRG[118]	ADC_CONV_END1	○	○	—	○
DMACTRG[119]	INTRLIN36UR0	○	○	—	○
DMACTRG[120]	INTRLIN36UR1	○	○	—	○
DMACTRG[121]	INTRLIN35UR0	○	○	—	○
DMACTRG[122]	INTRLIN35UR1	○	○	—	○
DMACTRG[123]	INTSENT0RI	○	○	—	○
DMACTRG[124]	INTSENT1RI	○	○	—	○
DMACTRG[125]	INTCSIG3IC	○	○	—	○
DMACTRG[126]	INTCSIG3IR	○	○	—	○
DMACTRG[127]	DMAMMCA0	—	—	—	○

注1.　詳細は、「**8.10.2 DTFSEL_TAUD0/DTFSEL_TAUB0/DTFSEL_TAUB1 ― DMA トリガ要因選択レジスタ**」を参照してください。

注2.　INTDMAFL の詳細については、「*RH850/F1KH, F1KM, F1K フラッシュメモリ ユーザーズマニュアル ハードウェアインタフェース編*」を参照してください。

表 8.15　　DMA トリガ要因 (RH850/F1KM-S4)

DMA トリガ番号 PDMAnDTFRm.REQSEL[6:0]	DMA トリガ要因	F1KM-S4 100 Pin	F1KM-S4 144 Pin	F1KM-S4 176 Pin	F1KM-S4 233 Pin	F1KM-S4 272 Pin
DMACTRG[0]	TAUD0REQSEL0 [注1]	○	○	○	○	○
DMACTRG[1]	TAUD0REQSEL1 [注1]	○	○	○	○	○
DMACTRG[2]	TAUD0REQSEL2 [注1]	○	○	○	○	○
DMACTRG[3]	TAUD0REQSEL3 [注1]	○	○	○	○	○
DMACTRG[4]	INTADCA0I0	○	○	○	○	○
DMACTRG[5]	INTADCA0I1	○	○	○	○	○
DMACTRG[6]	INTADCA0I2	○	○	○	○	○
DMACTRG[7]	ADC_CONV_END0	○	○	○	○	○
DMACTRG[8]	INTCSIG0IC	○	○	○	○	○
DMACTRG[9]	INTCSIG0IR	○	○	○	○	○
DMACTRG[10]	INTRLIN30UR0	○	○	○	○	○
DMACTRG[11]	INTRLIN30UR1	○	○	○	○	○
DMACTRG[12]	INTP0	○	○	○	○	○
DMACTRG[13]	INTP2	○	○	○	○	○
DMACTRG[14]	INTP4	○	○	○	○	○
DMACTRG[15]	設定禁止	—	—	—	—	—
DMACTRG[16]	INTRLIN37UR0	—	—	○	○	○
DMACTRG[17]	TAUD0REQSEL4 [注1]	○	○	○	○	○
DMACTRG[18]	TAUD0REQSEL5 [注1]	○	○	○	○	○
DMACTRG[19]	INTRIIC0TI	○	○	○	○	○
DMACTRG[20]	INTRIIC0RI	○	○	○	○	○
DMACTRG[21]	INTTAUJ0I0	○	○	○	○	○
DMACTRG[22]	INTTAUJ0I3	○	○	○	○	○
DMACTRG[23]	RSCANFDCF0	○	○	○	○	○
DMACTRG[24]	RSCANFDCF1	○	○	○	○	○
DMACTRG[25]	設定禁止	—	—	—	—	—
DMACTRG[26]	RSCANFDCF2	○	○	○	○	○
DMACTRG[27]	RSCANFDCF3	○	○	○	○	○
DMACTRG[28]	INTCSIH1IC	○	○	○	○	○
DMACTRG[29]	INTCSIH1IR	○	○	○	○	○
DMACTRG[30]	INTCSIH1IJC	○	○	○	○	○
DMACTRG[31]	INTP6	○	○	○	○	○
DMACTRG[32]	INTP8	○	○	○	○	○
DMACTRG[33]	TAUB0REQSEL0 [注1]	○	○	○	○	○
DMACTRG[34]	TAUB0REQSEL1 [注1]	○	○	○	○	○
DMACTRG[35]	TAUB0REQSEL2 [注1]	○	○	○	○	○
DMACTRG[36]	TAUB0REQSEL3 [注1]	○	○	○	○	○
DMACTRG[37]	TAUB0REQSEL4 [注1]	○	○	○	○	○
DMACTRG[38]	TAUB0REQSEL5 [注1]	○	○	○	○	○
DMACTRG[39]	設定禁止	—	—	—	—	—
DMACTRG[40]	設定禁止	—	—	—	—	—
DMACTRG[41]	INTCSIH3IC	○	○	○	○	○
DMACTRG[42]	INTCSIH3IR	○	○	○	○	○

表 8.15 DMA トリガ要因 (RH850/F1KM-S4)

DMA トリガ番号 PDMAnDTFRm.REQSEL[6:0]	DMA トリガ要因	F1KM-S4 100 Pin	F1KM-S4 144 Pin	F1KM-S4 176 Pin	F1KM-S4 233 Pin	F1KM-S4 272 Pin
DMACTRG[43]	INTCSIH3IJC	○	○	○	○	○
DMACTRG[44]	INTRLIN32UR0	○	○	○	○	○
DMACTRG[45]	INTRLIN32UR1	○	○	○	○	○
DMACTRG[46]	INTTAUJ1I0	○	○	○	○	○
DMACTRG[47]	INTTAUJ1I2	○	○	○	○	○
DMACTRG[48]	RSCANFDCF4	○	○	○	○	○
DMACTRG[49]	RSCANFDCF5	○	○	○	○	○
DMACTRG[50]	INTRLIN34UR0	—	○	○	○	○
DMACTRG[51]	INTRLIN34UR1	—	○	○	○	○
DMACTRG[52]	TAUB1REQSEL0 注1	—	—	○	○	○
DMACTRG[53]	TAUB1REQSEL1 注1	—	—	○	○	○
DMACTRG[54]	TAUB1REQSEL2 注1	—	—	○	○	○
DMACTRG[55]	TAUB1REQSEL3 注1	—	—	○	○	○
DMACTRG[56]	TAUB1REQSEL4 注1	—	—	○	○	○
DMACTRG[57]	TAUB1REQSEL5 注1	—	—	○	○	○
DMACTRG[58]	設定禁止	—	—	—	—	—
DMACTRG[59]	設定禁止	—	—	—	—	—
DMACTRG[60]	RSCANFDRF0	○	○	○	○	○
DMACTRG[61]	RSCANFDRF1	○	○	○	○	○
DMACTRG[62]	RSCANFDRF2	○	○	○	○	○
DMACTRG[63]	RSCANFDRF3	○	○	○	○	○
DMACTRG[64]	RSCANFDCF6	○	○	○	○	○
DMACTRG[65]	RSCANFDCF7	○	○	○	○	○
DMACTRG[66]	INTCSIG1IC	—	○	○	○	○
DMACTRG[67]	INTCSIG1IR	—	○	○	○	○
DMACTRG[68]	RSCANFDRF4	○	○	○	○	○
DMACTRG[69]	RSCANFDRF5	○	○	○	○	○
DMACTRG[70]	INTCSIH0IC	○	○	○	○	○
DMACTRG[71]	INTCSIH0IR	○	○	○	○	○
DMACTRG[72]	INTCSIH0IJC	○	○	○	○	○
DMACTRG[73]	INTP1	○	○	○	○	○
DMACTRG[74]	INTP3	○	○	○	○	○
DMACTRG[75]	INTP5	○	○	○	○	○
DMACTRG[76]	設定禁止	—	—	—	—	—
DMACTRG[77]	INTRLIN37UR1	—	—	○	○	○
DMACTRG[78]	INTCSIG2IC	—	—	○	○	○
DMACTRG[79]	INTCSIG2IR	—	—	○	○	○
DMACTRG[80]	INTTAUJ0I1	○	○	○	○	○
DMACTRG[81]	INTTAUJ0I2	○	○	○	○	○
DMACTRG[82]	RSCANFDRF6	○	○	○	○	○
DMACTRG[83]	RSCANFDRF7	○	○	○	○	○
DMACTRG[84]	設定禁止	—	—	—	—	—
DMACTRG[85]	INTDMAFL 注2	○	○	○	○	○
DMACTRG[86]	INTRLIN31UR0	○	○	○	○	○

表 8.15 DMA トリガ要因 (RH850/F1KM-S4)

DMA トリガ番号 PDMAnDTFRm.REQSEL[6:0]	DMA トリガ要因	F1KM-S4 100 Pin	F1KM-S4 144 Pin	F1KM-S4 176 Pin	F1KM-S4 233 Pin	F1KM-S4 272 Pin
DMACTRG[87]	INTRLIN31UR1	○	○	○	○	○
DMACTRG[88]	INTP7	○	○	○	○	○
DMACTRG[89]	INTCSIH2IC	○	○	○	○	○
DMACTRG[90]	INTCSIH2IR	○	○	○	○	○
DMACTRG[91]	INTCSIH2IJC	○	○	○	○	○
DMACTRG[92]	設定禁止	—	—	—	—	—
DMACTRG[93]	設定禁止	—	—	—	—	—
DMACTRG[94]	設定禁止	—	—	—	—	—
DMACTRG[95]	設定禁止	—	—	—	—	—
DMACTRG[96]	設定禁止	—	—	—	—	—
DMACTRG[97]	設定禁止	—	—	—	—	—
DMACTRG[98]	設定禁止	—	—	—	—	—
DMACTRG[99]	設定禁止	—	—	—	—	—
DMACTRG[100]	INTTAUJ1I1	○	○	○	○	○
DMACTRG[101]	INTTAUJ1I3	○	○	○	○	○
DMACTRG[102]	INTP9	○	○	○	○	○
DMACTRG[103]	INTTAUJ2I0	○	○	○	○	○
DMACTRG[104]	INTTAUJ2I1	○	○	○	○	○
DMACTRG[105]	INTTAUJ2I2	○	○	○	○	○
DMACTRG[106]	INTTAUJ2I3	○	○	○	○	○
DMACTRG[107]	INTTAUJ3I0	○	○	○	○	○
DMACTRG[108]	INTTAUJ3I1	○	○	○	○	○
DMACTRG[109]	INTTAUJ3I2	○	○	○	○	○
DMACTRG[110]	INTTAUJ3I3	○	○	○	○	○
DMACTRG[111]	INTRLIN33UR0	—	○	○	○	○
DMACTRG[112]	INTRLIN33UR1	—	○	○	○	○
DMACTRG[113]	INTRIIC1TI	○	○	○	○	○
DMACTRG[114]	INTRIIC1RI	○	○	○	○	○
DMACTRG[115]	INTADCA1I0	—	○	○	○	○
DMACTRG[116]	INTADCA1I1	—	○	○	○	○
DMACTRG[117]	INTADCA1I2	—	○	○	○	○
DMACTRG[118]	ADC_CONV_END1	—	○	○	○	○
DMACTRG[119]	INTRLIN36UR0	—	—	○	○	○
DMACTRG[120]	INTRLIN36UR1	—	—	○	○	○
DMACTRG[121]	INTRLIN35UR0	—	○	○	○	○
DMACTRG[122]	INTRLIN35UR1	—	○	○	○	○
DMACTRG[123]	INTSENT0RI	—	○	○	○	○
DMACTRG[124]	INTSENT1RI	○	○	○	○	○
DMACTRG[125]	INTCSIG3IC	—	—	○	○	○
DMACTRG[126]	INTCSIG3IR	—	—	○	○	○
DMACTRG[127]	設定禁止	—	—	—	—	—

注1. 詳細は、「**8.10.2 DTFSEL_TAUD0/DTFSEL_TAUB0/DTFSEL_TAUB1 — DMA トリガ要因選択レジスタ**」を参照してください。

注2. INTDMAFL の詳細については、「*RH850/F1KH, F1KM, F1K フラッシュメモリ ユーザーズマニュアル ハードウェアインタフェース編*」を参照してください。

表 8.16　DMA トリガ要因 (RH850/F1KM-S2)

DMA トリガ番号 PDMAnDTFRm.REQSEL[6:0]	DMA トリガ要因	F1KM-S2 100 Pin	F1KM-S2 144 Pin	F1KM-S2 176 Pin
DMACTRG[0]	TAUD0REQSEL0 注 1	○	○	○
DMACTRG[1]	TAUD0REQSEL1 注 1	○	○	○
DMACTRG[2]	TAUD0REQSEL2 注 1	○	○	○
DMACTRG[3]	TAUD0REQSEL3 注 1	○	○	○
DMACTRG[4]	INTADCA0I0	○	○	○
DMACTRG[5]	INTADCA0I1	○	○	○
DMACTRG[6]	INTADCA0I2	○	○	○
DMACTRG[7]	ADC_CONV_END0	○	○	○
DMACTRG[8]	INTCSIG0IC	○	○	○
DMACTRG[9]	INTCSIG0IR	○	○	○
DMACTRG[10]	INTRLIN30UR0	○	○	○
DMACTRG[11]	INTRLIN30UR1	○	○	○
DMACTRG[12]	INTP0	○	○	○
DMACTRG[13]	INTP2	○	○	○
DMACTRG[14]	INTP4	○	○	○
DMACTRG[15]	設定禁止	—	—	—
DMACTRG[16]	INTRLIN37UR0	—	—	○
DMACTRG[17]	TAUD0REQSEL4 注 1	○	○	○
DMACTRG[18]	TAUD0REQSEL5 注 1	○	○	○
DMACTRG[19]	INTRIIC0TI	○	○	○
DMACTRG[20]	INTRIIC0RI	○	○	○
DMACTRG[21]	INTTAUJ0I0	○	○	○
DMACTRG[22]	INTTAUJ0I3	○	○	○
DMACTRG[23]	RSCANFDCF0	○	○	○
DMACTRG[24]	RSCANFDCF1	○	○	○
DMACTRG[25]	設定禁止	—	—	—
DMACTRG[26]	RSCANFDCF2	○	○	○
DMACTRG[27]	RSCANFDCF3	○	○	○
DMACTRG[28]	INTCSIH1IC	○	○	○
DMACTRG[29]	INTCSIH1IR	○	○	○
DMACTRG[30]	INTCSIH1IJC	○	○	○
DMACTRG[31]	INTP6	○	○	○
DMACTRG[32]	INTP8	○	○	○
DMACTRG[33]	TAUB0REQSEL0 注 1	○	○	○
DMACTRG[34]	TAUB0REQSEL1 注 1	○	○	○
DMACTRG[35]	TAUB0REQSEL2 注 1	○	○	○
DMACTRG[36]	TAUB0REQSEL3 注 1	○	○	○
DMACTRG[37]	TAUB0REQSEL4 注 1	○	○	○
DMACTRG[38]	TAUB0REQSEL5 注 1	○	○	○
DMACTRG[39]	設定禁止	—	—	—
DMACTRG[40]	設定禁止	—	—	—
DMACTRG[41]	INTCSIH3IC	○	○	○
DMACTRG[42]	INTCSIH3IR	○	○	○

表 8.16　DMA トリガ要因 (RH850/F1KM-S2)

DMA トリガ番号 PDMAnDTFRm.REQSEL[6:0]	DMA トリガ要因	F1KM-S2 100 Pin	F1KM-S2 144 Pin	F1KM-S2 176 Pin
DMACTRG[43]	INTCSIH3IJC	○	○	○
DMACTRG[44]	INTRLIN32UR0	○	○	○
DMACTRG[45]	INTRLIN32UR1	○	○	○
DMACTRG[46]	INTTAUJ1I0	○	○	○
DMACTRG[47]	INTTAUJ1I2	○	○	○
DMACTRG[48]	RSCANFDCF4	○	○	○
DMACTRG[49]	RSCANFDCF5	○	○	○
DMACTRG[50]	INTRLIN34UR0	—	○	○
DMACTRG[51]	INTRLIN34UR1	—	○	○
DMACTRG[52]	TAUB1REQSEL0 注 1	—	—	○
DMACTRG[53]	TAUB1REQSEL1 注 1	—	—	○
DMACTRG[54]	TAUB1REQSEL2 注 1	—	—	○
DMACTRG[55]	TAUB1REQSEL3 注 1	—	—	○
DMACTRG[56]	TAUB1REQSEL4 注 1	—	—	○
DMACTRG[57]	TAUB1REQSEL5 注 1	—	—	○
DMACTRG[58]	設定禁止	—	—	—
DMACTRG[59]	設定禁止	—	—	—
DMACTRG[60]	RSCANFDRF0	○	○	○
DMACTRG[61]	RSCANFDRF1	○	○	○
DMACTRG[62]	RSCANFDRF2	○	○	○
DMACTRG[63]	RSCANFDRF3	○	○	○
DMACTRG[64]	RSCANFDCF6	○	○	○
DMACTRG[65]	RSCANFDCF7	○	○	○
DMACTRG[66]	INTCSIG1IC	—	○	○
DMACTRG[67]	INTCSIG1IR	—	○	○
DMACTRG[68]	RSCANFDRF4	○	○	○
DMACTRG[69]	RSCANFDRF5	○	○	○
DMACTRG[70]	INTCSIH0IC	○	○	○
DMACTRG[71]	INTCSIH0IR	○	○	○
DMACTRG[72]	INTCSIH0IJC	○	○	○
DMACTRG[73]	INTP1	○	○	○
DMACTRG[74]	INTP3	○	○	○
DMACTRG[75]	INTP5	○	○	○
DMACTRG[76]	設定禁止	—	—	—
DMACTRG[77]	INTRLIN37UR1	—	—	○
DMACTRG[78]	INTCSIG2IC	—	—	○
DMACTRG[79]	INTCSIG2IR	—	—	○
DMACTRG[80]	INTTAUJ0I1	○	○	○
DMACTRG[81]	INTTAUJ0I2	○	○	○
DMACTRG[82]	RSCANFDRF6	○	○	○
DMACTRG[83]	RSCANFDRF7	○	○	○
DMACTRG[84]	設定禁止	—	—	—
DMACTRG[85]	INTDMAFL 注 2	○	○	○
DMACTRG[86]	INTRLIN31UR0	○	○	○

表 8.16　DMA トリガ要因 (RH850/F1KM-S2)

DMA トリガ番号 PDMAnDTFRm.REQSEL[6:0]	DMA トリガ要因	F1KM-S2 100 Pin	F1KM-S2 144 Pin	F1KM-S2 176 Pin
DMACTRG[87]	INTRLIN31UR1	○	○	○
DMACTRG[88]	INTP7	○	○	○
DMACTRG[89]	INTCSIH2IC	○	○	○
DMACTRG[90]	INTCSIH2IR	○	○	○
DMACTRG[91]	INTCSIH2IJC	○	○	○
DMACTRG[92]	設定禁止	—	—	—
DMACTRG[93]	設定禁止	—	—	—
DMACTRG[94]	設定禁止	—	—	—
DMACTRG[95]	設定禁止	—	—	—
DMACTRG[96]	設定禁止	—	—	—
DMACTRG[97]	設定禁止	—	—	—
DMACTRG[98]	設定禁止	—	—	—
DMACTRG[99]	設定禁止	—	—	—
DMACTRG[100]	INTTAUJ1I1	○	○	○
DMACTRG[101]	INTTAUJ1I3	○	○	○
DMACTRG[102]	INTP9	○	○	○
DMACTRG[103]	INTTAUJ2I0	○	○	○
DMACTRG[104]	INTTAUJ2I1	○	○	○
DMACTRG[105]	INTTAUJ2I2	○	○	○
DMACTRG[106]	INTTAUJ2I3	○	○	○
DMACTRG[107]	INTTAUJ3I0	○	○	○
DMACTRG[108]	INTTAUJ3I1	○	○	○
DMACTRG[109]	INTTAUJ3I2	○	○	○
DMACTRG[110]	INTTAUJ3I3	○	○	○
DMACTRG[111]	INTRLIN33UR0	—	○	○
DMACTRG[112]	INTRLIN33UR1	—	○	○
DMACTRG[113]	INTRIIC1TI	○	○	○
DMACTRG[114]	INTRIIC1RI	○	○	○
DMACTRG[115]	INTADCA1I0	—	○	○
DMACTRG[116]	INTADCA1I1	—	○	○
DMACTRG[117]	INTADCA1I2	—	○	○
DMACTRG[118]	ADC_CONV_END1	—	○	○
DMACTRG[119]	INTRLIN36UR0	—	—	○
DMACTRG[120]	INTRLIN36UR1	—	—	○
DMACTRG[121]	INTRLIN35UR0	—	○	○
DMACTRG[122]	INTRLIN35UR1	—	○	○
DMACTRG[123]	INTSENT0RI	—	○	○
DMACTRG[124]	INTSENT1RI	○	○	○
DMACTRG[125]	INTCSIG3IC	—	—	○
DMACTRG[126]	INTCSIG3IR	—	—	○
DMACTRG[127]	設定禁止	—	—	—

注1.　詳細は、「**8.10.2 DTFSEL_TAUD0/DTFSEL_TAUB0/DTFSEL_TAUB1 ― DMA トリガ要因選択レジスタ**」を参照してください。

注2.　INTDMAFL の詳細については、「*RH850/F1KH, F1KM, F1K フラッシュメモリ ユーザーズマニュアル ハードウェアインタフェース編*」を参照してください。

表 8.17　DMA トリガ要因 (RH850/F1KM-S1)

DMA トリガ番号 PDMAnDTFRm.REQSEL[6:0]	DMA トリガ要因	F1KM-S1 48 Pin	F1KM-S1 64 Pin	F1KM-S1 80 Pin	F1KM-S1 100 Pin
DMACTRG[0]	TAUD0REQSEL0 注 1	○	○	○	○
DMACTRG[1]	TAUD0REQSEL1 注 1	○	○	○	○
DMACTRG[2]	TAUD0REQSEL2 注 1	○	○	○	○
DMACTRG[3]	TAUD0REQSEL3 注 1	○	○	○	○
DMACTRG[4]	INTADCA0I0	○	○	○	○
DMACTRG[5]	INTADCA0I1	○	○	○	○
DMACTRG[6]	INTADCA0I2	○	○	○	○
DMACTRG[7]	ADC_CONV_END0	○	○	○	○
DMACTRG[8]	INTCSIG0IC	○	○	○	○
DMACTRG[9]	INTCSIG0IR	○	○	○	○
DMACTRG[10]	INTRLIN30UR0	○	○	○	○
DMACTRG[11]	INTRLIN30UR1	○	○	○	○
DMACTRG[12]	INTP0	○	○	○	○
DMACTRG[13]	INTP2	○	○	○	○
DMACTRG[14]	INTP4	○	○	○	○
DMACTRG[15]	設定禁止	—	—	—	—
DMACTRG[16]	設定禁止	—	—	—	—
DMACTRG[17]	TAUD0REQSEL4 注 1	○	○	○	○
DMACTRG[18]	TAUD0REQSEL5 注 1	○	○	○	○
DMACTRG[19]	INTRIIC0TI	○	○	○	○
DMACTRG[20]	INTRIIC0RI	○	○	○	○
DMACTRG[21]	INTTAUJ0I0	○	○	○	○
DMACTRG[22]	INTTAUJ0I3	○	○	○	○
DMACTRG[23]	RSCANFDCF0	○	○	○	○
DMACTRG[24]	RSCANFDCF1	—	○	○	○
DMACTRG[25]	設定禁止	—	—	—	—
DMACTRG[26]	RSCANFDCF2	—	○	○	○
DMACTRG[27]	RSCANFDCF3	—	—	—	○
DMACTRG[28]	INTCSIH1IC	—	—	○	○
DMACTRG[29]	INTCSIH1IR	—	—	○	○
DMACTRG[30]	INTCSIH1IJC	—	—	○	○
DMACTRG[31]	INTP6	—	—	○	○
DMACTRG[32]	INTP8	—	—	○	○
DMACTRG[33]	TAUB0REQSEL0 注 1	—	—	○	○
DMACTRG[34]	TAUB0REQSEL1 注 1	—	—	○	○
DMACTRG[35]	TAUB0REQSEL2 注 1	—	—	○	○
DMACTRG[36]	TAUB0REQSEL3 注 1	—	—	○	○
DMACTRG[37]	TAUB0REQSEL4 注 1	—	—	○	○
DMACTRG[38]	TAUB0REQSEL5 注 1	—	—	○	○
DMACTRG[39]	設定禁止	—	—	—	—
DMACTRG[40]	設定禁止	—	—	—	—
DMACTRG[41]	INTCSIH3IC	—	—	—	○
DMACTRG[42]	INTCSIH3IR	—	—	—	○
DMACTRG[43]	INTCSIH3IJC	—	—	—	○
DMACTRG[44]	INTRLIN32UR0	—	—	○	○

表 8.17　DMA トリガ要因 (RH850/F1KM-S1)

DMA トリガ番号 PDMAnDTFRm.REQSEL[6:0]	DMA トリガ要因	F1KM-S1 48 Pin	F1KM-S1 64 Pin	F1KM-S1 80 Pin	F1KM-S1 100 Pin
DMACTRG[45]	INTRLIN32UR1	—	—	○	○
DMACTRG[46]	INTTAUJ1I0	○	○	○	○
DMACTRG[47]	INTTAUJ1I2	○	○	○	○
DMACTRG[48]	RSCANFDCF4	—	—	—	○
DMACTRG[49]	RSCANFDCF5	—	—	—	○
DMACTRG[50]	設定禁止	—	—	—	—
DMACTRG[51]	設定禁止	—	—	—	—
DMACTRG[52]	設定禁止	—	—	—	—
DMACTRG[53]	設定禁止	—	—	—	—
DMACTRG[54]	設定禁止	—	—	—	—
DMACTRG[55]	設定禁止	—	—	—	—
DMACTRG[56]	設定禁止	—	—	—	—
DMACTRG[57]	設定禁止	—	—	—	—
DMACTRG[58]	設定禁止	—	—	—	—
DMACTRG[59]	設定禁止	—	—	—	—
DMACTRG[60]	RSCANFDRF0	○	○	○	○
DMACTRG[61]	RSCANFDRF1	—	○	○	○
DMACTRG[62]	RSCANFDRF2	—	○	○	○
DMACTRG[63]	RSCANFDRF3	—	—	—	○
DMACTRG[64]	設定禁止	—	—	—	—
DMACTRG[65]	設定禁止	—	—	—	—
DMACTRG[66]	設定禁止	—	—	—	—
DMACTRG[67]	設定禁止	—	—	—	—
DMACTRG[68]	RSCANFDRF4	—	—	—	○
DMACTRG[69]	RSCANFDRF5	—	—	—	○
DMACTRG[70]	INTCSIH0IC	○	○	○	○
DMACTRG[71]	INTCSIH0IR	○	○	○	○
DMACTRG[72]	INTCSIH0IJC	○	○	○	○
DMACTRG[73]	INTP1	○	○	○	○
DMACTRG[74]	INTP3	○	○	○	○
DMACTRG[75]	INTP5	○	○	○	○
DMACTRG[76]	設定禁止	—	—	—	—
DMACTRG[77]	設定禁止	—	—	—	—
DMACTRG[78]	設定禁止	—	—	—	—
DMACTRG[79]	設定禁止	—	—	—	—
DMACTRG[80]	INTTAUJ0I1	○	○	○	○
DMACTRG[81]	INTTAUJ0I2	○	○	○	○
DMACTRG[82]	設定禁止	—	—	—	—
DMACTRG[83]	設定禁止	—	—	—	—
DMACTRG[84]	設定禁止	—	—	—	—
DMACTRG[85]	INTDMAFL 注 2	○	○	○	○
DMACTRG[86]	INTRLIN31UR0	—	○	○	○
DMACTRG[87]	INTRLIN31UR1	—	○	○	○
DMACTRG[88]	INTP7	—	—	○	○
DMACTRG[89]	INTCSIH2IC	—	—	○	○

表 8.17 DMA トリガ要因 (RH850/F1KM-S1)

DMA トリガ番号 PDMAnDTFRm.REQSEL[6:0]	DMA トリガ要因	F1KM-S1 48 Pin	F1KM-S1 64 Pin	F1KM-S1 80 Pin	F1KM-S1 100 Pin
DMACTRG[90]	INTCSIH2IR	—	—	○	○
DMACTRG[91]	INTCSIH2IJC	—	—	○	○
DMACTRG[92]	設定禁止	—	—	—	—
DMACTRG[93]	設定禁止	—	—	—	—
DMACTRG[94]	設定禁止	—	—	—	—
DMACTRG[95]	設定禁止	—	—	—	—
DMACTRG[96]	設定禁止	—	—	—	—
DMACTRG[97]	設定禁止	—	—	—	—
DMACTRG[98]	設定禁止	—	—	—	—
DMACTRG[99]	設定禁止	—	—	—	—
DMACTRG[100]	INTTAUJ1I1	○	○	○	○
DMACTRG[101]	INTTAUJ1I3	○	○	○	○
DMACTRG[102]	設定禁止	—	—	—	—
DMACTRG[103]	INTTAUJ2I0	○	○	○	○
DMACTRG[104]	INTTAUJ2I1	○	○	○	○
DMACTRG[105]	INTTAUJ2I2	○	○	○	○
DMACTRG[106]	INTTAUJ2I3	○	○	○	○
DMACTRG[107]	INTTAUJ3I0	○	○	○	○
DMACTRG[108]	INTTAUJ3I1	○	○	○	○
DMACTRG[109]	INTTAUJ3I2	○	○	○	○
DMACTRG[110]	INTTAUJ3I3	○	○	○	○
DMACTRG[111]	INTRLIN33UR0	—	—	—	○
DMACTRG[112]	INTRLIN33UR1	—	—	—	○
DMACTRG[113]	INTRIIC1TI	○	○	○	○
DMACTRG[114]	INTRIIC1RI	○	○	○	○
DMACTRG[115]	設定禁止	—	—	—	—
DMACTRG[116]	設定禁止	—	—	—	—
DMACTRG[117]	設定禁止	—	—	—	—
DMACTRG[118]	設定禁止	—	—	—	—
DMACTRG[119]	設定禁止	—	—	—	—
DMACTRG[120]	設定禁止	—	—	—	—
DMACTRG[121]	設定禁止	—	—	—	—
DMACTRG[122]	設定禁止	—	—	—	—
DMACTRG[123]	INTSENT0RI	○	○	○	○
DMACTRG[124]	INTSENT1RI	○	○	○	○
DMACTRG[125]	設定禁止	—	—	—	—
DMACTRG[126]	設定禁止	—	—	—	—
DMACTRG[127]	設定禁止	—	—	—	—

注1. 詳細は、「**8.10.2 DTFSEL_TAUD0/DTFSEL_TAUB0/DTFSEL_TAUB1 — DMA トリガ要因選択レジスタ**」を参照してください。

注2. INTDMAFL の詳細については、「*RH850/F1KH, F1KM, F1K フラッシュメモリ ユーザーズマニュアル ハードウェアインタフェース編*」を参照してください。

8.2 概要

8.2.1 概要

DMA（Direct Memory Access）とは、CPU を介さずにデータをアクセスする機能です。

DMA は、DMAC という方式の DMA 転送モジュールを含んでいます。DMAC は転送情報をレジスタに持ちます。

- RH850/F1KH-D8

  DMA は 8 チャネル、4 グループの DMAC モジュールを 2 つ搭載しています。2 つの DMAC モジュールはそれぞれ別のマスタとして動作します。本章では、DMAC の機能について説明します。

- RH850/F1KM-S4, RH850/F1KM-S2

  DMA は 8 チャネル、4 グループの DMAC モジュールを 1 つ搭載しています。

- RH850/F1KM-S1

  DMA は 8 チャネル、2 グループの DMAC モジュールを 1 つ搭載しています。

また本マニュアルでは、DMAC のハードウェア DMA 転送要因を選択して DMA 転送要求を保持する機能を DTFR と称しています。DTFR は 128 種類のハードウェア DMA 転送要因を扱うことができます。

DMA が DMA 転送の対象として指定可能なアドレス空間は、32 ビットアドレスで表現される 4GB のアドレス空間です。4GB のアドレス空間のどの領域にどのようなリソースが割り当てられるかや、DMA に対してどの領域へのアクセスを許可するかは、「**第 4A 章 RH850/F1KH-D8 のアドレス空間**」、「**第 4B 章 RH850/F1KM-S4, RH850/F1KM-S2 のアドレス空間**」、「**第 4C 章 RH850/F1KM-S1 のアドレス空間**」を参照してください。

注 意

DMA は PEG でアクセス許可を設定後に使用できます。

- RH850/F1KH-D8：
  DMA から PE 内部のローカル RAM へのアクセスを行うためには、PEGSP レジスタ、PEGGnMK レジスタ（n＝0～3）、PEGGnBA レジスタ（n＝0～3）、および PDMAnDMyiCM レジスタ（yi＝00～07, 10～17, 20～27, 30～37）を設定する必要があります。

- RH850/F1KM-S4, RH850/F1KM-S2：
  DMA から PE 内部のローカル RAM へのアクセスを行うためには、PEGSP レジスタ、PEGGnMK レジスタ（n＝0～3）、PEGGnBA レジスタ（n＝0～3）、および PDMAnDMyiCM レジスタ（yi＝00～07, 10～17, 20～27, 30～37）を設定する必要があります。

- RH850/F1KM-S1：
  DMA から PE 内部のローカル RAM およびリテンション RAM へのアクセスを行うためには、PEGSP レジスタ、PEGGnMK レジスタ（n＝0～3）、PEGGnBA レジスタ（n＝0～3）、および PDMAnDMyiCM レジスタ（yi＝00～07, 10～17）を設定する必要があります。

8.2.2 語句の定義

本章で使用する語句を「**表 8.18 語句の定義一覧**」に示します。

表 8.18　語句の定義一覧

語句	説明
DMA 転送	DMA が行うデータ転送の総称
DMA サイクル	転送サイズで指定した量（8/16/32/64/128 ビット）のデータを、ソースアドレスで指定したアドレスからリードして、ディスティネーションアドレスで指定したアドレスへライトする動作。なお、DMA サイクルの前半のリード動作をリードサイクル、後半のライト動作をライトサイクルと呼ぶ
ハードウェア DMA 転送要因	内蔵周辺回路から与えられる DMA 転送要求のトリガ
ハードウェア DMA 転送要求	ハードウェア DMA 転送要因により発生する DMA 転送要求
ソフトウェア DMA 転送要求	ソフトウェアがレジスタを操作することで発生する DMA 転送要求
DMA 転送要求	DMAC で DMA 転送を開始するトリガ
転送情報	ソースアドレス、ディスティネーションアドレス、転送データサイズ、転送回数といった DMA 転送に必要な情報
シングル転送	一回の DMA 転送要求で、一回の DMA サイクルを実行する DMA 転送動作
ブロック転送 1	一回の DMA 転送要求で、転送情報の転送回数で指定した回数の DMA サイクルを実行する DMA 転送動作
ブロック転送 2	一回の DMA 転送要求で、転送情報のアドレスリロードカウントで指定した回数の DMA サイクルを実行する DMA 転送動作
ブロック転送	ブロック転送 1 とブロック転送 2 の総称
最終転送	転送情報の転送回数が残り 1 回の状態で実行する DMA サイクル
アドレスリロード転送	リロード機能 2 を使用中に、転送情報のアドレスリロードカウントが残り 1 回の状態で実行する DMA サイクル
一時中断	ブロック転送の途中で DMA 転送を中断する動作、再開が可能
再開	一時中断を解除して、DMA 転送を継続する動作
転送中止	DMA 転送を途中で中止する動作、再開は不可能

8.3 DMA 機能

8.3.1 DMA 転送基本動作

8.3.1.1 転送モード

DMA には 3 種類の転送モードがあります。

シングル転送

DMA 転送要求を受け付けると、DMA サイクルを 1 回実行します。

ブロック転送 1

DMA 転送要求を受け付けると、転送回数レジスタで指定した回数の DMA サイクルを実行します。

ブロック転送 2

DMA 転送要求を受け付けると、アドレスリロードカウントで指定した回数の DMA サイクルを実行します。アドレスリロードカウントで指定した回数が転送回数レジスタで指定した回数よりも大きい場合には、転送回数レジスタで指定した回数の DMA サイクルを実行します。

8.3.1.2 DMA サイクルの実行

DMA は必ずリードサイクルが完了した後で、ライトサイクルを実行します。

たとえば、転送データサイズが 128 ビットの場合は、128 ビット分のデータのリードサイクルが完了した後で、ライトサイクルを実行します。リードサイクルの途中でライトサイクルの実行を開始することはありません。

8.3.1.3 転送情報の更新

DMA サイクルを実行すると、DMA は次の転送情報を更新します。

ソースアドレスディスティネーションアドレス

転送制御レジスタのソースアドレスカウント方向、ディスティネーションアドレスカウント方向および転送データサイズの設定にしたがって、「**表 8.19 ソースアドレスディスティネーションアドレスの更新**」のように更新します。

表 8.19　ソースアドレスディスティネーションアドレスの更新

カウント方向	転送データサイズ	更新後のアドレス
インクリメント	8 ビット	（更新前のアドレス）＋0000 0001H
	16 ビット	（更新前のアドレス）＋0000 0002H
	32 ビット	（更新前のアドレス）＋0000 0004H
	64 ビット	（更新前のアドレス）＋0000 0008H
	128 ビット	（更新前のアドレス）＋0000 0010H
デクリメント	8 ビット	（更新前のアドレス）－0000 0001H
	16 ビット	（更新前のアドレス）－0000 0002H
	32 ビット	（更新前のアドレス）－0000 0004H
	64 ビット	（更新前のアドレス）－0000 0008H
	128 ビット	（更新前のアドレス）－0000 0010H
固定	—	更新前のアドレスと同じ

リロード機能を使用する場合は、「**表 8.19 ソースアドレスディスティネーションアドレスの更新**」とは別に最終転送およびアドレスリロード転送の際に特殊な更新を行います。詳細は、「**8.3.3 リロード機能**」を参照してください。

転送回数アドレスリロードカウント

転送回数は、DMA サイクルを実行するごとに常に 1 ずつ減算して更新されます。

アドレスリロードカウントは、リロード機能 2 またはブロック転送 2 を使用する場合は DMA サイクルを実行するごとに常に 1 ずつ減算して更新されます。リロード機能 2 またはブロック転送 2 を使用しない場合には更新されません。

リロード機能を使用する場合は、最終転送およびアドレスリロード転送の際に特殊な更新を行います。詳細は、「**8.3.3 リロード機能**」を参照してください。

その他の転送情報

DMA サイクルの実行では、更新されません。

8.3.1.4 最終転送とアドレスリロード転送

最終転送とは、転送回数レジスタが示す残り転送回数が 1 回の状態で実行される DMA サイクルを指します。最終転送では、最終転送でない DMA サイクルの実行時と比較して次の動作が異なります。

- 最終転送が完了すると転送完了フラグ（PDMAnDCSTm.TC）がセットされます。最終転送が完了するとチャネル動作有効（PDMAnDCENm.DTE）ビットがクリアされます（連続転送機能が無効の場合）。
- 転送完了割り込み出力イネーブルがセットされている場合、最終転送が完了すると転送完了割り込みが出力されます。
- リロード機能 1 が有効の場合は、最終転送でリロード機能 1 の動作が実行されます。詳細は、「**8.3.3 リロード機能**」を参照してください。

アドレスリロード転送とは、リロード機能 2 が有効で、かつアドレスリロードカウントが 1 回の状態で実行される DMA サイクルを指します。アドレスリロード転送では、リロード機能 2 の動作が実行されます。詳細は、「**8.3.3 リロード機能**」を参照してください。

8.3.1.5 転送完了割り込み出力

DMA は、外部に対して転送完了割り込みを出力する機能を持ちます。

転送完了割り込み出力

DMAC は、転送制御レジスタで転送完了割り込みイネーブル（PDMAnDTCTm.TCE）がセットされている場合、最終転送が完了すると転送完了割り込みを要求します。

「**図 8.1 転送完了割り込み**」に転送完了割り込みの動作を示します。

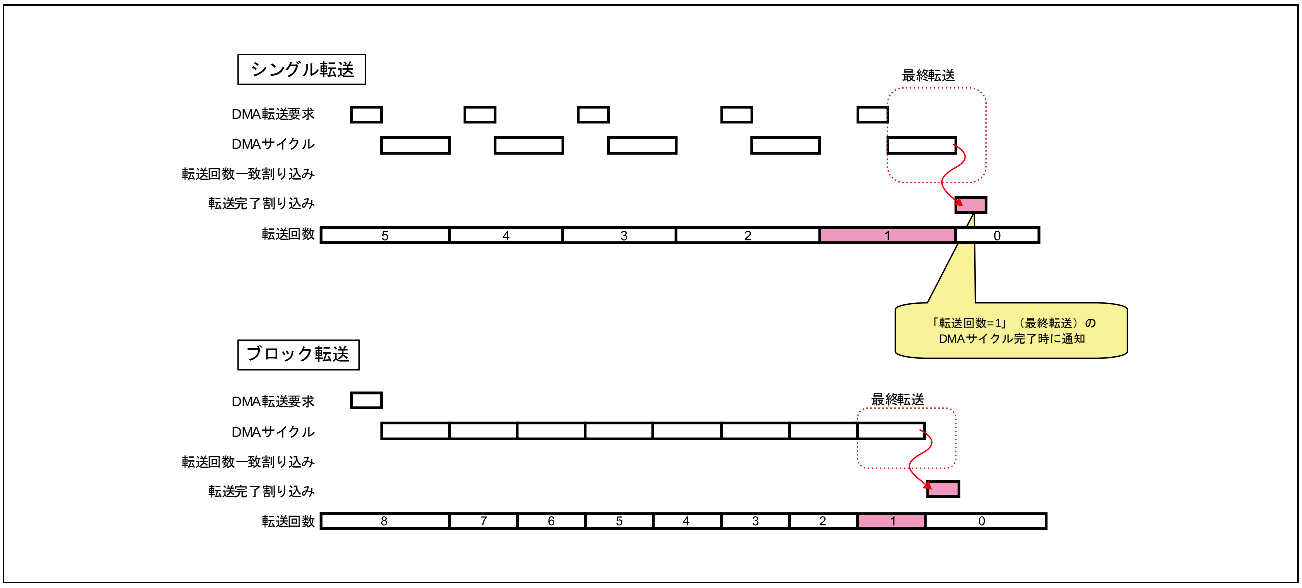


図 8.1　　転送完了割り込み

8.3.1.6　　連続転送

DMAC では、連続転送機能を利用しない場合は、最終転送が完了すると転送完了フラグ（PDMAnDCSTm.TC）がセットされ、チャネル動作有効（PDMAnDCENm.DTE）ビットがクリアされます。このため、最終転送の完了後に DMA 転送要求が発生しても DMA 転送要求を受け付けません。

連続転送機能を利用すると、最終転送が完了してもチャネル動作有効（PDMAnDCENm.DTE）ビットがクリアされず、また転送完了フラグがセットされた状態でも DMA 転送要求を受け付けることができます。指定した回数の DMA 転送を繰り返し実行するような用途では、連続転送機能を利用することで、最終転送完了後の転送完了フラグのクリアやチャネル動作有効ビットのセットのためのソフトウェア処理のオーバヘッドを減らすことができます。

連続転送機能は、DMAC 転送制御レジスタの連続転送イネーブル（PDMAnDTCTm.MLE）をセットすることで有効になります。

連続転送機能はリロード機能 1 と一緒に利用することを想定しています。連続転送機能には、ソースアドレスレジスタ、ディスティネーションアドレスレジスタおよび転送回数レジスタの値を変更する機能はありません。最終転送の完了後にソースアドレスレジスタ、ディスティネーションアドレスレジスタおよび転送回数レジスタを DMA 転送開始前の状態に戻す動作は、リロードソースアドレスレジスタ、リロードディスティネーションアドレスレジスタおよびリロード転送回数レジスタに DMA 転送開始前のソースアドレスレジスタ、ディスティネーションアドレスレジスタおよび転送回数レジスタの値を設定しておき、リロード機能 1 を利用することで実現できます。

「**図 8.2 DMAC の連続転送の動作イメージ**」に DMAC の連続転送の動作イメージを示します。

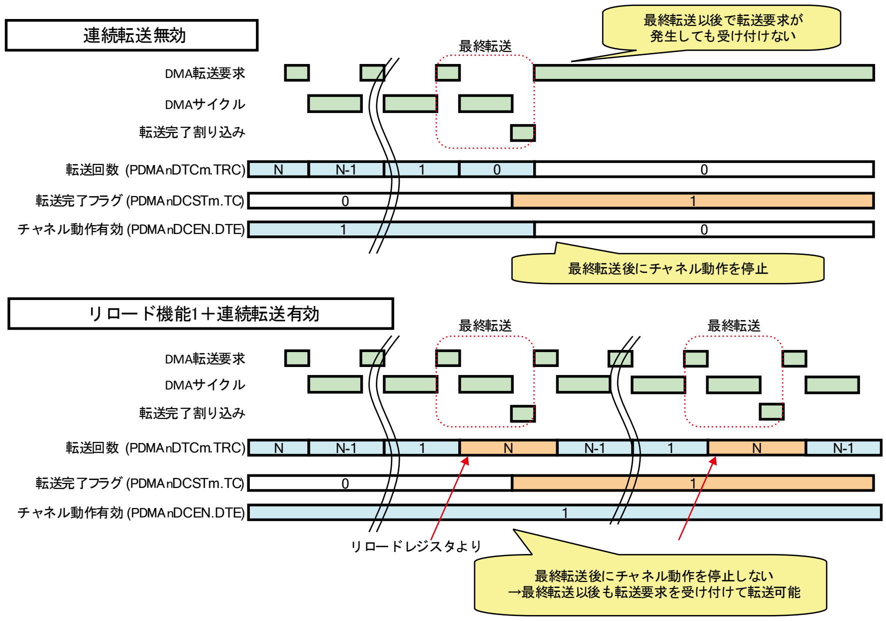


図 8.2　　DMAC の連続転送の動作イメージ

8.3.2　　チャネルの優先順位

DMA の複数のチャネル間のアービトレーションについて説明します。

8.3.2.1　　DMAC チャネルアービトレーション

DMAC では 8 チャネルから 1 チャネルを選択するアービトレーションを行います。

アービトレーションは固定優先順位で、DMAC0 では「チャネル 0＞チャネル 1＞チャネル 2＞チャネル 3＞チャネル 4＞チャネル 5＞チャネル 6＞チャネル 7」、DMAC1 では「チャネル 8＞チャネル 9＞チャネル 10＞チャネル 11＞チャネル 12＞チャネル 13＞チャネル 14＞チャネル 15」、DMAC2 では「チャネル 16＞チャネル 17＞チャネル 18＞チャネル 19＞チャネル 20＞チャネル 21＞チャネル 22＞チャネル 23」、DMAC3 では「チャネル 24＞チャネル 25＞チャネル 26＞チャネル 27＞チャネル 28＞チャネル 29＞チャネル 30＞チャネル 31」です。

アービトレーションは DMA サイクルごとに行われます。DMA サイクルのリードとライトの間ではアービトレーションは発生しません。

あるチャネルのブロック転送の途中の DMA サイクルが終了した時点で、優先順位の高いチャネルの DMA 転送要求があった場合には、アービトレーションの結果優先順位の高いチャネルの DMA サイクルが実行されます。

DMAC がブロック転送 1 またはブロック転送 2 を実行する場合は、1 回の DMA サイクルごとに DMAC チャネルアービトレーションを行うため、他の優先順位の高い DMAC チャネルの DMA サイクルが割り込むことがあります。

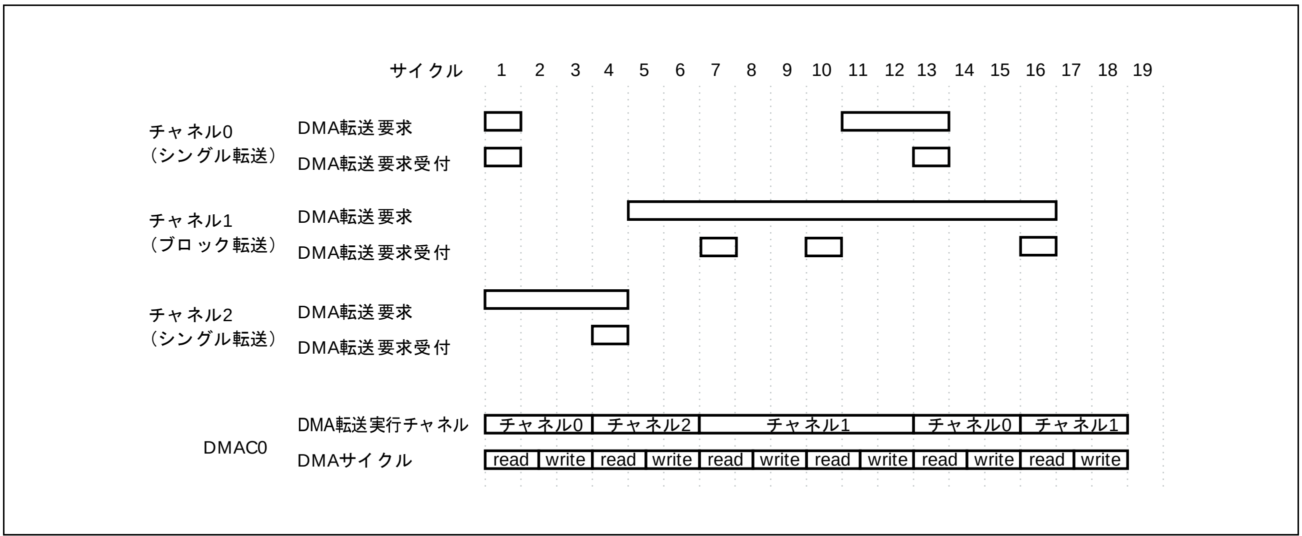


図 8.3　　DMAC チャネルアービトレーション

「**図 8.3 DMAC チャネルアービトレーション**」のサイクル番号は説明のためのもので、実際の DMA 転送実行にかかるサイクル数を示すものではありません。

「**図 8.3 DMAC チャネルアービトレーション**」において、サイクル 1 でチャネル 0 とチャネル 2 の DMA 転送要求があり、アービトレーションの結果、優先度の高いチャネル 0 の DMA サイクルの実行を開始します。サイクル 4 ではチャネル 2 の DMA サイクルの実行を開始します。サイクル 5 でチャネル 1 の DMA 転送要求が発生しますが、チャネル 2 の DMA サイクルを実行中であるためアービトレーションは行われません。サイクル 7 でチャネル 1 の DMA サイクルを実行します。チャネル 1 はブロック転送なので、他のチャネルの DMA 転送要求のないサイクル 10 では DMA サイクルを継続して実行します。サイクル 11 でチャネル 0 の DMA 転送要求が発生しますが、チャネル 1 の DMA サイクルを実行中であるためアービトレーションは行われません。サイクル 12 でチャネル 1 の DMA サイクルが完了し、サイクル 13 では DMA チャネル

0 とチャネル 1 のアービトレーションの結果チャネル 0 の DMA サイクルの実行を開始します。サイクル 13 では既にブロック転送を実行中のチャネル 1 よりも優先度の高いチャネル 0 の DMA サイクルを実行していることに注意してください。サイクル 15 でチャネル 0 の DMA サイクルが完了し、サイクル 16 で再びチャネル 1 の DMA サイクルの実行を開始します。サイクル 18 でチャネル 1 のブロック転送の最後の DMA サイクルが完了しています。

8.3.2.2　　インタフェースアービトレーション

DMAC0、DMAC1、DMAC2、DMAC3 はそれぞれ独立して動作し、DMA 転送を実行します。

8.3.3　　リロード機能

8.3.3.1　　リロード機能の概要

リロード機能は、DMA 転送中に、転送情報のうちソースアドレス、ディスティネーションアドレス、転送回数およびアドレスリロード回数をあらかじめ指定した値で更新する機能です。

リロード機能はリロード機能 1 とリロード機能 2 の 2 つの機能があります。

8.3.3.2　　リロード機能 1 の動作

リロード機能 1 が有効の場合、最終転送の実行時にリロード機能 1 設定にしたがって「**表 8.20　リロード機能 1 動作**」の動作を行います。

表 8.20　　リロード機能 1 動作

リロード機能 1 設定	レジスタ	最終転送時の動作
00 （リロード機能 1 無効）	ソースアドレス	リロードしない
	ディスティネーションアドレス	リロードしない
	転送回数	リロードしない
	アドレスリロードカウント	リロードしない
01 （リロード機能 1 有効、ソースアドレスと転送回数をリロード）	ソースアドレス	リロードソースアドレスの値をコピー
	ディスティネーションアドレス	リロードしない
	転送回数	リロード転送回数の値をコピー
	アドレスリロードカウント	● リロード機能 2 が無効の場合、リロードしない ● リロード機能 2 が有効の場合、リロードアドレスリロードカウントの値をコピー
10 （リロード機能 1 有効、ディスティネーションアドレスと転送回数をリロード）	ソースアドレス	リロードしない
	ディスティネーションアドレス	リロードディスティネーションアドレスの値をコピー
	転送回数	リロード転送回数の値をコピー
	アドレスリロードカウント	● リロード機能 2 が無効の場合、リロードしない. ● リロード機能 2 が有効の場合、リロードアドレスリロードカウントの値をコピー
11 （リロード機能 1 有効、ソースアドレスとディスティネーションアドレスと転送回数をリロード）	ソースアドレス	リロードソースアドレスの値をコピー
	ディスティネーションアドレス	リロードディスティネーションアドレスの値をコピー
	転送回数	リロード転送回数の値をコピー
	アドレスリロードカウント	● リロード機能 2 が無効の場合、リロードしない ● リロード機能 2 が有効の場合、リロードアドレスリロードカウントの値をコピー

「**図 8.4　リロード機能 1 動作イメージ**」にリロード機能 1 の動作イメージを示します。

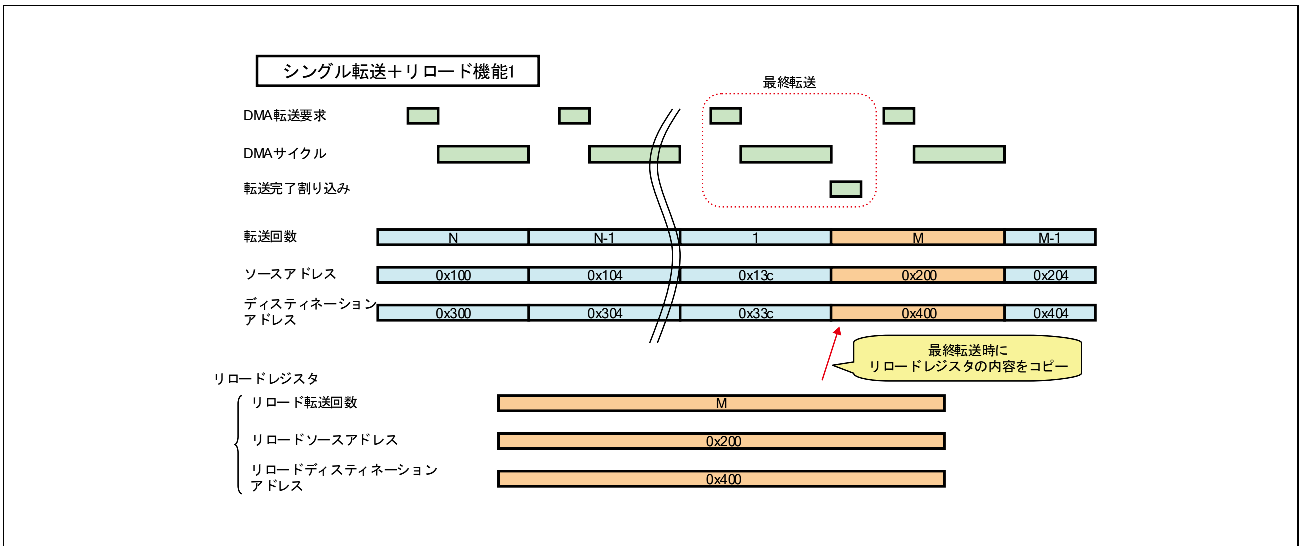


図 8.4　　リロード機能 1 動作イメージ

8.3.3.3 リロード機能 2

リロード機能 2 が有効の場合、アドレスリロード転送の実行時にリロード機能 2 の設定にしたがって「**表 8.21 リロード機能 2 動作**」の動作を行います。

表 8.21 リロード機能 2 動作

リロード機能 2 設定	レジスタ	アドレスリロード転送時の動作
00 （リロード機能 2 無効）	ソースアドレス	リロードしない
	ディスティネーションアドレス	リロードしない
	アドレスリロードカウント	リロードしない
01 （リロード機能 2 有効、ソースアドレスとアドレスリロードカウントをリロード）	ソースアドレス	リロードソースアドレスの値をコピー
	ディスティネーションアドレス	リロードしない
	アドレスリロードカウント	リロードアドレスリロードカウントの値をコピー
10 （リロード機能 2 有効、ディスティネーションアドレスとアドレスリロードカウントをリロード）	ソースアドレス	リロードしない
	ディスティネーションアドレス	リロードディスティネーションアドレスの値をコピー
	アドレスリロードカウント	リロードアドレスリロードカウントの値をコピー
11 （リロード機能 2 有効、ソースアドレス、ディスティネーションアドレスとアドレスリロードカウントをリロード）	ソースアドレス	リロードソースアドレスの値をコピー
	ディスティネーションアドレス	リロードディスティネーションアドレスの値をコピー
	アドレスリロードカウント	リロードアドレスリロードカウントの値をコピー

「**図 8.5 リロード機能 2 動作イメージ**」にリロード機能 2 の動作イメージを示します。

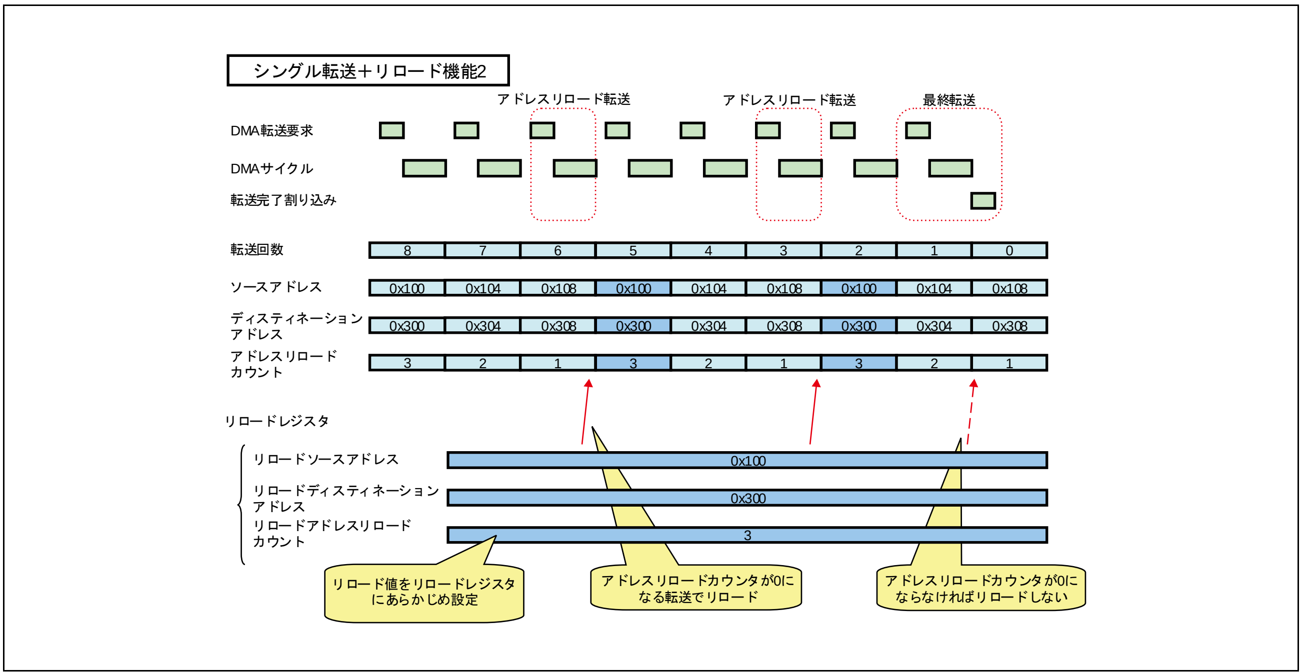


図 8.5 リロード機能 2 動作イメージ

「**図 8.6　リロード機能 1＋リロード機能 2 動作イメージ**」にリロード機能 1 とリロード機能 2 を同時に使用する場合の動作イメージを示します。

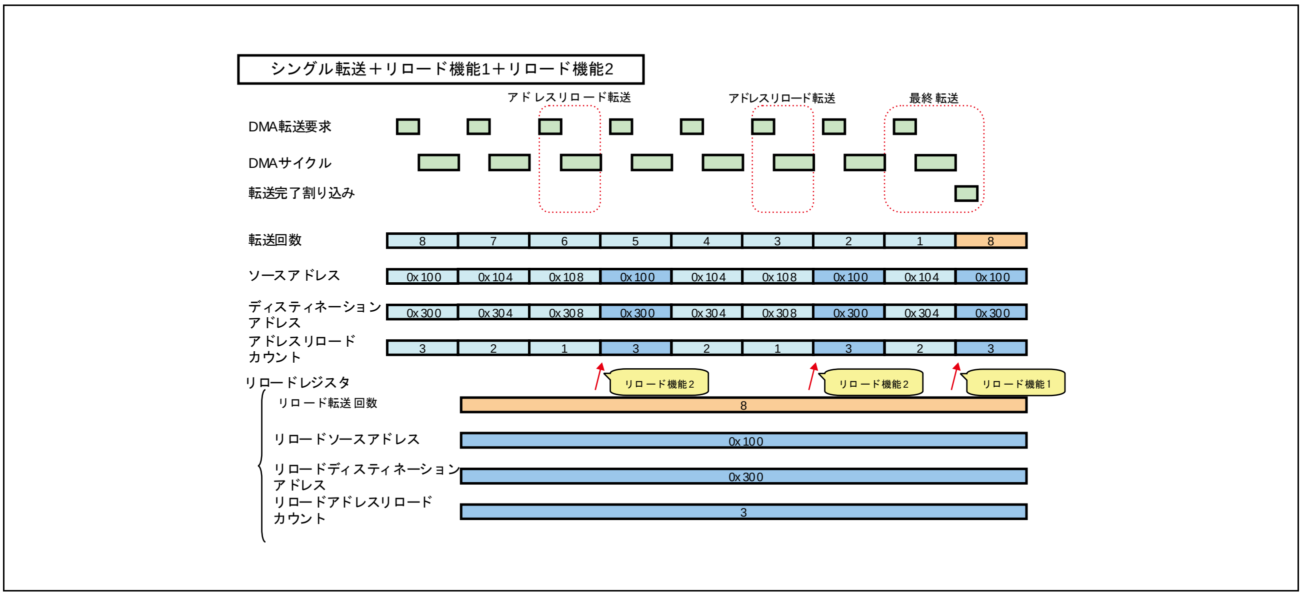


図 8.6　　リロード機能 1＋リロード機能 2 動作イメージ

8.3.3.4　　DMAC のリロードレジスタ設定タイミング

リロードソースアドレスレジスタ、リロードディスティネーションアドレスレジスタ、リロード転送回数レジスタはいつでも（DMA 転送中でも）設定が可能です。ただし、DMA 転送中にリロードソースアドレスレジスタ、リロードディスティネーションアドレスレジスタ、リロード転送回数レジスタの内容を書き換えた場合には、最終転送またはアドレスリロード転送時のリロード動作とユーザによるリロードレジスタの書き換えが競合する可能性があります。この競合を避けるため、リロードレジスタの設定は最終転送またはアドレスリロード転送が始まる前に完了するようにしてください。

8.3.4 チェイン機能

8.3.4.1 概要

DMA は、あるチャネルの DMA サイクルの完了または最終転送の完了をトリガにして、別のチャネルの DMA 転送要求を行うチェイン機能を提供します。

チェイン機能による別のチャネルへの DMA 転送要求をチェイン要求と呼びます。

チェイン要求の条件として選択できるのは次の 2 つです。

- 常にチェイン：DMA サイクルの完了ごとにチェイン要求を行います。
- 最終転送でチェイン：最終転送の完了の際にチェイン要求を行います。

「**図 8.7 常にチェインの動作イメージ**」に常にチェインの動作イメージを示します。

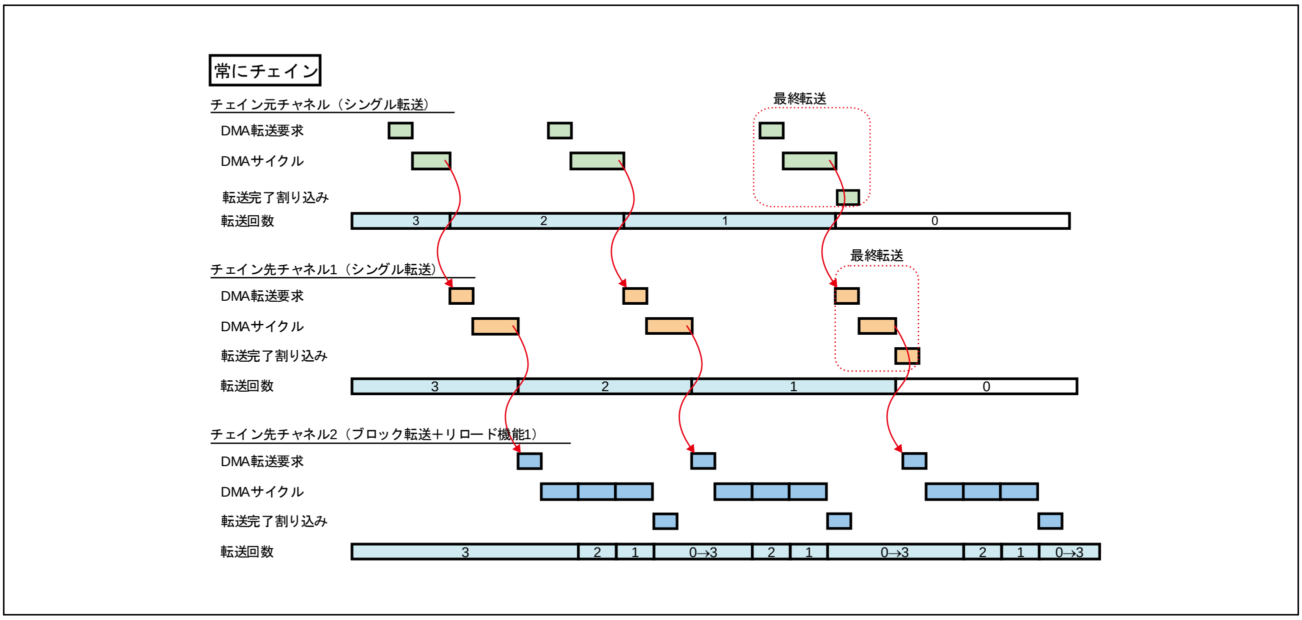


図 8.7 常にチェインの動作イメージ

「**図 8.8 最終転送でチェインの動作イメージ**」に最終転送でチェインの動作イメージを示します。

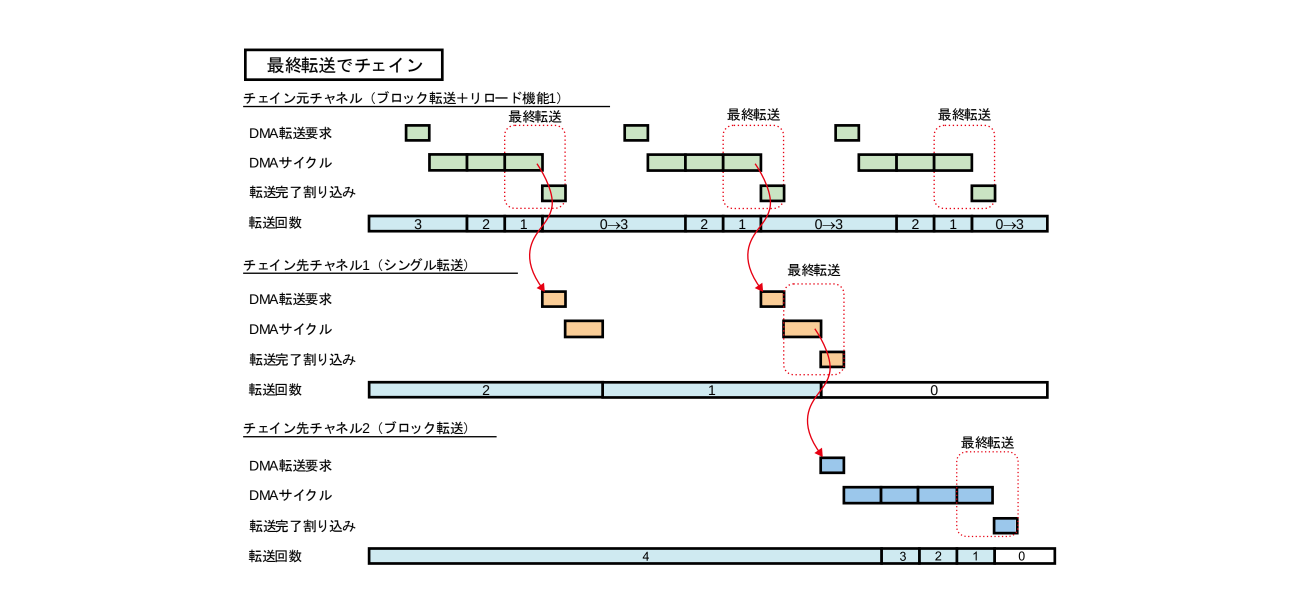


図 8.8　　最終転送でチェインの動作イメージ

8.3.4.2　　チェイン動作の設定方法

DMAC の場合は、DMAC 転送制御レジスタのチェインイネーブル（PDMAnDTCTm.CHNE）およびチェイン先選択（PDMAnDTCTm.CHNSEL）に、チェイン動作の種類およびチェイン先のチャネル番号を設定します。

8.3.4.3　　チェイン機能使用時の注意

チェイン動作は、チェイン先のチャネルのソフトウェア DMA 転送要求フラグをセットすることで実現しています。したがって、チェイン先となるチャネルでは、ソフトウェア DMA 転送要求を使用する場合と同様のチャネル設定を実施してください。ハードウェア DMA 転送要求を使用する設定を行ったチャネルをチェイン先に指定した場合には、チェイン動作を行うことができません。

チェイン先のチャネルは、チェイン元のチャネルと同一のグループ内（DMAC0、DMAC1、DMAC2、DMAC3）のチャネルに限られます。異なるグループのチャネルをチェイン先として指定することはできません。

8.3.5 DMAC 動作

8.3.5.1 DMA 転送要求の種類と割り当て

DMAC はハードウェア DMA 転送要求またはソフトウェア DMA 転送要求を受け付けることで DMA 転送を実行します。ハードウェア DMA 転送要求とソフトウェア DMA 転送要求のどちらを使用するかは、DMAC 転送制御レジスタ（PDMAnDTCTm）の DMA 転送要求選択割り付け（PDMAnDTCTm.DRS）ビットで指定します。

DMAC のハードウェア DMA 転送要求は、DTFR で 128 種類のハードウェア DMA 転送要因から DMAC の各チャネルにそれぞれ 1 つずつ選択して割り当てます。この割り当ては DTFR 設定レジスタで行います。

8.3.5.2 ソフトウェア DMA 転送要求の発生と受け付け

DMAC 転送ステータスセットレジスタ（PDMAnDCSTSm）を使用して DMAC 転送ステータスレジスタ（PDMAnDCSTm）のソフトウェア DMA 転送要求フラグ（PDMAnDCSTm.SR）をセットすると、ソフトウェア DMA 転送要求を発生させることができます。

ソフトウェア DMA 転送要求フラグは、DMAC が DMA 転送要求を実行すると自動的にクリアされます。ソフトウェア DMA 転送要求フラグが自動的にクリアされるタイミングは、実行する DMA 転送の転送モードによって異なります。

- シングル転送の場合は、ソフトウェア DMA 転送要求を受け付ける度に、ソフトウェア DMA 転送要求フラグをクリアします。
- ブロック転送 1 の場合は、最終転送を実行する際に、ソフトウェア DMA 転送要求フラグをクリアします。
- ブロック転送 2 の場合は、最終転送またはアドレスリロード転送を実行する際に、ソフトウェア DMA 転送要求フラグをクリアします。

ソフトウェア DMA 転送要求フラグは DMAC 転送ステータスクリアレジスタ（PDMAnDCSTCm）を利用してソフトウェアでクリアすることも可能です。DMAC チャネルの DMA 転送中止の操作を行う際は、ソフトウェア DMA 転送要求フラグをクリアしてください。

8.3.5.3 DMA 転送の実行

DMAC は、DMA 転送要求を受け付けたチャネルの DMA 転送を実行します。

複数のチャネルからの DMA 転送要求が存在する場合には、DMAC チャネルアービトレーションを行って DMA 転送要求を受け付けるチャネルを決定します。

8.4　一時中断・再開、転送中止および DMA 転送要求のクリア

8.4.1　ソフトウェア制御による DMA 一時中断・再開

DMA 制御レジスタ（PDMAnDMACTL）により、全チャネルの DMA 転送一時中断機能を提供します。

DMA 制御レジスタの DMA 一時中断ビット（PDMAnDMACTL.DMASPD）がセットされると、DMA は全チャネル一時中断状態に移行します。全チャネル一時中断状態で、DMA 制御レジスタの DMA 一時中断ビットがクリアされると、DMA は全チャネル一時中断状態から通常状態に復帰し、一時中断状態だったチャネルの DMA 転送は再開されます。

全チャネル一時中断状態では、DMAC の各チャネルの PDMAnDCENm.DTE ビットの状態は変わりませんが、すべてのチャネルの DMA 転送は一時中断された状態になります

8.4.2　DMAC チャネルの一時中断・再開および転送中止

DMAC チャネル動作有効設定レジスタのチャネル動作有効ビット（PDMAnDCENm.DTE）をクリアすることで、その DMAC チャネルの DMA 転送を一時中断することができます。DMA サイクルを実行中の場合、実行中の DMA サイクルの終了後にそのチャネルの DMA 転送を一時中断します。一時中断の状態で PDMAnDCENm.DTE ビットを再びセットすると、そのチャネルの DMA 転送を再開します。

DMAC チャネルで実行中の DMA 転送を中止したい場合、同様に DMAC チャネル動作有効設定レジスタのチャネル動作有効ビット（PDMAnDCENm.DTE）をクリアした後で、ハードウェア DMA 転送要求であれば DTFR のハードウェア DMA 転送要求をクリアし、ソフトウェア DMA 転送要求であれば DMAC 転送ステータスクリアレジスタのソフトウェア DMA 転送要求フラグクリアビット（PDMAnDCSTCm.SRC）を利用してソフトウェア DMA 転送要求フラグ（PDMAnDCSTm.SR）をクリアしてください。

連続転送許可ビット（PDMAnDTCTm.MLE）が設定されている場合では、チャネル動作有効ビット（PDMAnDCENm.DTE）がセットされ続けます。DMA の最終転送中にチャネル動作有効ビット（PDMAnDCENm.DTE）がソフトウェアによってクリアされても、連続転送イネーブルビット（PDMAnDTCTm.MLE）が優先され、チャネル動作有効ビット（PDMAnDCENm.DTE）は最終転送が完了した後にセットされます。

連続転送機能が有効になっているときに DMAC チャネルの継続的な DMA 転送を中止したい場合は、まず連続転送有効ビット（PDMAnDTCTm.MLE）をクリアしてください。そのあと DMAC チャネルの DMA 転送を中止するためにチャネル動作有効ビット（PDMAnDCENm.DTE）をクリアしてください。この操作を行う場合に限り、DMAC 転送制御レジスタ（PDMAnDTCTm）はチャネル動作有効ビットが 1（PDMAnDCENm.DTE＝1）の時においても書き込みが可能です。

「**図 8.9 DMAC チャネルの一時中断・再開・転送中止の動作例**」に DMAC チャネルの一時中断・再開・転送中止の動作例を示します。

「**図 8.9 DMAC チャネルの一時中断・再開・転送中止の動作例**」では、チャネル 0 とチャネル 1 はいずれもブロック転送を実行します。時間 1 でチャネル 1 が DMA 転送を開始します。時間 2 でチャネル 0 の DMA 転送要求が受け付けられ、DMAC チャネルアービトレーションにより、チャネル 1 よりも優先度の高いチャネル 0 の DMA 転送を開始します。時間 3 でチャネル 0 の最終転送が完了し、チャネル 1 のブロック転送の残りの DMA 転送を開始します。時間 4 でチャネル 1 の最終転送が完了します。時間 5 以降は同様にチャネル 0 とチャネル 1 の DMA 転送を実行しますが、時間 7 でチャネル 0 の DMA 転送が一時中断され、DMAC チャネルアービトレーションによりチャネル 1 の DMA 転送を開始します。時間 8 でチャネル 1 の最終転送が完了した後、時間 9 でチャネル 0 の DMA 転送を再開しています。時間 10 で再びチャネル 0 の DMA 転送を一時中断し、時間 11 でチャネル 0 の DMA 転送を中止しています。時間 12 でチャネル 0 の一時中断状態を解除していますが、時間 11 で DMA 転送が中止されているためチャネル 0 の DMA 転送は実行されません。

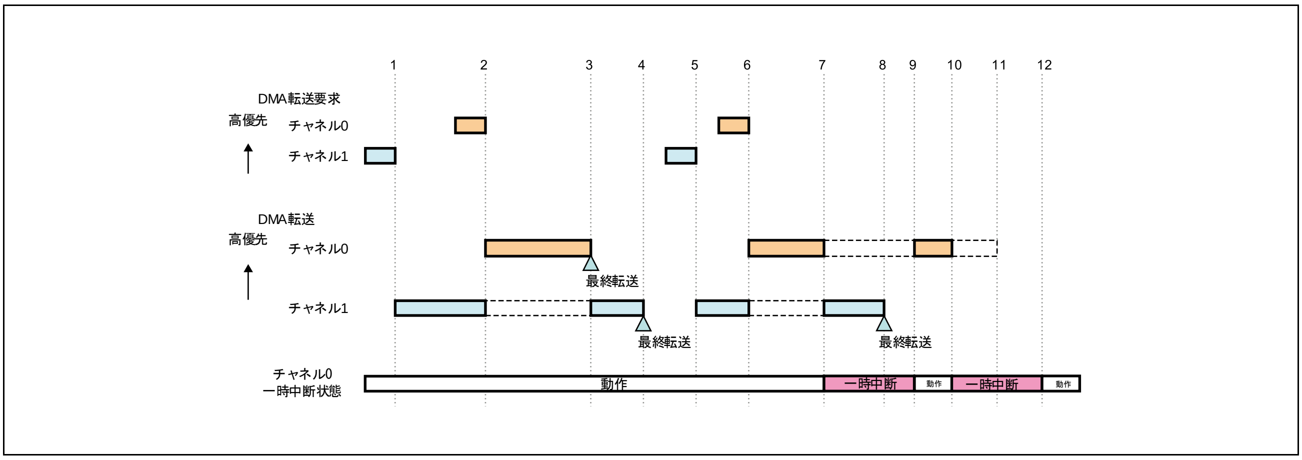


図 8.9　　DMAC チャネルの一時中断・再開・転送中止の動作例

8.4.3 DTFR のハードウェア DMA 転送要求マスクおよびクリア

DMAC でハードウェア DMA 転送要求を使用している場合、DTFR 設定レジスタのハードウェア DMA 転送要因選択有効ビット（PDMAnDTFRm.REQEN）をクリアすることで、一時的に DTFR から DMAC に対するハードウェア DMA 転送要求出力を無効化（マスク）することができます。

また、ハードウェア DMA 転送要因を利用する場合には、DTFR 転送要求クリアレジスタのハードウェア DMA 転送要求クリア（PDMAnDTFRRQCm.DRQC）ビットを使用して、DTFR で保持しているハードウェア DMA 転送要求をクリアすることができます。

DMAC チャネルに対して DMA 転送の一時中断や転送中止の操作を行った場合でも、DTFR のハードウェア DMA 転送要求選択・保持回路は動作したままですので、DMAC チャネルの一時中断の期間または転送中止の期間中に DTFR に入力されたハードウェア DMA 転送要求を DTFR は保持している場合があります。
DMAC チャネルで DMA 転送を再開または開始する場合には、必要に応じて、DTFR で保持しているハードウェア DMA 転送要求をクリアする操作を行ってください。

DMAC をハードウェア転送要求かつブロック転送（1 または 2）の設定で使用する場合、DMAC がブロック転送を実行中に、ソフトウェアで DTFR のハードウェア転送要因選択ビットを無効（PDMAnDTFRm.REQEN＝0）に設定した場合、実行中のブロック転送が中断します。

8.4.4 一時中断・再開・転送中止機能一覧

表 8.22　一時中断・再開・転送中止機能一覧

機能	操作方法	動作	DMA 転送中止の可否	操作可能なマスタ（「**8.6 信頼性機能**」参照）
DMA 一時中断・再開	PDMAnDMACTL.DMASPD をセット・クリア	全チャネルが一時中断状態	不可[注1]	特殊マスタ
DMAC チャネル一時中断・再開	各チャネルレジスタの PDMAnDCENm.DTE をクリア・セット[注2]	チャネルの DMA 転送を一時中断	可能（一時中断状態で DMA 転送要求フラグをクリア）	特殊マスタ、チャネルに割り当てられた一般マスタ

注1.　DMA 転送を中止するためには、DMAC チャネルの転送中止の操作を行う必要があります。

注2.　連続転送許可ビット（PDMAnDTCTm.MLE）がセットされている場合、まず最初にチャネルを中断するために PDMAnDCENm.DTE ビットをクリアする前に、連続転送許可ビット（PDMAnDTCTm.MLE）をクリアしてください。そして、チャネルを再開するために PDMAnDCENm.DTE ビットをセットする前に、連続転送許可ビット（PDMAnDTCTm.MLE）をセットしてください。

8.5　エラー制御

8.5.1　エラーの種類

DMA で発生するエラーは次の種類があります。

- DMA 転送エラー

  DMA サイクルのリードサイクルまたはライトサイクルで、エラーが検出された場合に発生します。

  DMAC のすべてのチャネルで、DMA 転送の実行時に発生する可能性があります。

  DMA 転送エラーは、FEINT のソースである INTDMAERR 割り込み要求信号を発生させます。

8.5.2　DMA 転送エラー

8.5.2.1　DMAC の DMA 転送エラー発生時の動作

DMAC で DMA 転送エラーが発生すると、DMA 転送エラーが発生したチャネルの DMAC 転送ステータスレジスタの転送エラーフラグ（PDMAnDCSTm.ER）がセットされます。DMAC エラーレジスタ（PDMAnDMACER）で DMAC の 32 チャネルすべての転送エラーフラグの状態を確認することができます。

転送エラーフラグがセットされたチャネルでは、転送エラー時 DMA 転送禁止設定（PDMAnDTCTm.ESE）ビットがセットされている場合は、新たな DMA サイクルは実行されませんが、転送エラー時 DMA 転送禁止設定（PDMAnDTCTm.ESE）ビットがクリアされている場合は、転送エラーフラグの状態に関係なく DMA サイクルが実行されます。

DMA 転送エラーが発生したチャネルの DMA 転送を中止する場合は、DMAC チャネルの DMA 転送中止の操作を実行してください。

DMA サイクルのリードサイクルで DMA 転送エラーが発生した場合は、ライトサイクルは実行されません。DMA サイクルのライトサイクルで DMA 転送エラーが発生した場合は、ライト動作の結果の正常性は保証しません。

DMA 転送エラーの発生が DMA サイクルのリードサイクルおよびライトサイクルのいずれの場合でも、ソースアドレス、ディスティネーションアドレス、転送回数およびアドレスリロードカウントの各レジスタは更新されます。

8.6　信頼性機能

8.6.1　概要

本製品では、DMA は以下の信頼性機能を提供します。

- レジスタアクセス保護機能
- マスタ情報継承機能

8.6.2　レジスタアクセス保護機能

- RH850/F1KH-D8

  本製品では、DMA の各チャネルは CPU1 や CPU2 に割り当てて利用することを想定しています。

- RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1

  本製品では、DMA のチャネルは CPU1 に割り当てて利用することを想定しています。

レジスタアクセス保護機能は、DMA の各チャネルの転送情報に対して、チャネルに割り当てたマスタからのみライトアクセスを許可し、他のマスタからのライトアクセスを禁止する機能です。

レジスタアクセス保護機能により、たとえば、チャネルに割り当てたマスタ以外の無関係のマスタによってチャネルの設定内容が変更されることを防ぐことができます。

8.6.2.1　アクセス元マスタの識別

DMA は、アクセス元のプロセッサエレメント ID 番号（PEID）、CPU へのアクセスにより設定されたシステム保護 ID（SPID）、CPU がスーパバイザモード（PSW.UM＝0）かユーザモード（PSW.UM＝1）かによってマスタを識別します。

8.6.2.2　マスタアクセス

DMA は、スーパバイザモード（PSW.UM＝0）の CPU からのアクセスを特殊マスタアクセスとして扱います。特殊マスタは、すべての DMA レジスタの読み出しと書き込みが許可されます。

DMA は、特殊マスタ以外のマスタは一般マスタとして扱います。一般マスタは、すべての DMA レジスタの読み出しを行うことができますが、書き込みについては以下の特定のレジスタのみしか行うことはできません。

- チャネル割り当て（「**8.6.2.3 チャネル割り当て**」参照）によって割り当てられたチャネルのチャネルレジスタ

上記以外のレジスタに対しては、一般マスタのライトアクセスは許可されません。

8.6.2.3　チャネル割り当て

DMA では、各チャネル単位で、そのチャネルを利用するマスタを割り当てることができます。チャネル割り当てはスーパバイザモード（PSW.UM＝0）の CPU がチャネルマスタ設定レジスタ（PDMAnDMyiCM）を設定することで行います。

一般マスタアクセスでは、チャネル割り当てによって割り当てられたマスタは、そのチャネルのチャネルレジスタに書き込むことが許可されます。チャネル割り当てによって割り当てられたマスタ以外がチャネルレジスタに書き込んだ場合は、違反アクセスとなります。違反アクセスについては「**8.6.2.4 違反アクセス**」で説明します。

8.6.2.4　違反アクセス

DMA は次のアクセスを違反アクセスとして扱います

(1) グローバルレジスタに対する一般マスタからのライトアクセス

(2) チャネルに割り当てられていない一般マスタからのチャネルレジスタに対するライトアクセス

DMA はどのマスタからのリードアクセスも違反アクセスとして扱いません。

DMA は違反アクセスに対して次の動作を行います。

(1)、(2)の場合ともに

- ライトアクセスは無視します。

また、(2)の場合のみ

- レジスタアクセス保護違反レジスタに、違反アクセスの際の情報を保存します。
- レジスタアクセス保護違反レジスタは DMAC0、DMAC1、DMAC2、DMAC3 で分かれています（PDMAnDM0CMV、PDMAnDM1CMV、PDMAnDM2CMV、PDMAnDM3CMV）。

レジスタアクセス保護違反レジスタにアクセス可能なのは特殊マスタのみです。特殊マスタはレジスタアクセス保護違反レジスタを定期的に確認することで、違反アクセスの発生状態を確認することができます。

また、DMA を利用するマスタは、チャネルレジスタに転送情報を設定する際に、違反アクセスが発生せずに設定が正しく行われていることをリードバックなどにより確認することを推奨します。

8.6.3　マスタ情報継承機能

本製品では、DMA は DMA チャネルを割り当てたマスタと同等のマスタ情報を継承します。

DMA が出力するマスタ情報は「**表 8.23 DMA が出力するマスタ情報**」のとおりです。

表 8.23　DMA が出力するマスタ情報

意味	DMA から出力する値
UM	チャネルマスタ設定レジスタの UM ビットの値
SPID	チャネルマスタ設定レジスタの SPID ビットの値
PEID	チャネルマスタ設定レジスタの PEID ビットの値
DMA	1

8.6.4 その他の信頼性機能

8.6.4.1 チェイン先の制限

信頼性機能により、チェイン先として指定可能なチャネルが制限されます。

チェイン機能を使用する際は、チェイン元チャネルのチャネルマスタ設定とチェイン先チャネルのチャネルマスタ設定は同じ内容を設定してください。

チェイン機能の使用時は、チェイン元のチャネルとチェイン先のチャネルは同一のマスタの管理下で使用することを想定しています。

DMA は、異なるマスタを割り当てたチャネルへのチェインは意図外の動作であると判断し、チェイン動作を制限します。具体的には、DMA はチェイン実行時にチェイン元チャネルのチャネルマスタ設定とチェイン先チャネルのチャネルマスタ設定の内容をチェックして、チャネルマスタ設定の PEID、UM がすべて同一の場合はチェインを許可し、チェイン先チャネルにチェイン要求を行います。チャネルマスタ設定の PEID、UM のいずれかが異なる場合は、チェイン要求を行いません。

8.7　DMA 転送の設定手順

8.7.1　DMA 設定手順概要

表 8.24　DMA 設定手順概要

No.	設定元マスタ	内容	レジスタ		操作の必要条件
1	特殊マスタ（CPU1/2 のスーパバイザモード(UM＝0)）	DMA 全体動作の設定	PDMAnDM00CM～PDMAnDM37CM	DMAC チャネルマスタ設定	必須
2		ステータスのクリア	PDMAnCMVC	チャネル保護違反クリアレジスタ	推奨
3	DMAC チャネルに割り当てられたマスタ	チャネルの設定	PDMAnDSAm	DMAC ソースアドレス	必須
4			PDMAnDDAm	DMAC ディスティネーションアドレス	必須
5			PDMAnDTCm	DMAC 転送回数	必須
6			PDMAnDTCTm	DMAC 転送制御	必須
7			PDMAnDRSAm	DMAC リロードソースアドレス	リロード機能を使用する場合必須
8			PDMAnDRDAm	DMAC リロードディスティネーションアドレス	リロード機能を使用する場合必須
9			PDMAnDRTCm	DMAC リロード転送回数	リロード機能を使用する場合必須
10			PDMAnDTFRm	DTFR 設定レジスタ	必須
11		ステータスのクリア	PDMAnDCSTCm	DMAC 転送ステータスクリア	必須
12			PDMAnDTFRRQCm	DTFR 転送要求クリア	推奨
13		チャネル動作有効	PDMAnDCENm	DMAC チャネル動作有効設定	必須

8.7.2　DMA 全体動作設定手順

DMA を利用を開始する前に、DMA 全体動作設定を行う必要があります。

DMA 全体動作設定は、特殊マスタである CPU1/2 のスーパバイザモード（UM＝0）がグローバルレジスタを設定することで実施します。グローバルレジスタの設定は特殊マスタアクセスのみ許可されます。詳細は「**8.6　信頼性機能**」を参照してください。

DMA 全体動作設定で設定が必要なレジスタは以下のとおりです。

- DMAC チャネルマスタ設定レジスタ（PDMAnDMyiCM）

チャネル割り当てを行います（詳細は「**8.6　信頼性機能**」を参照）。

DMAC チャネルマスタ設定レジスタの設定を正しく行わない場合、DMA チャネル設定および DMA 転送が正しく実行できません。

また、DMA 全体動作設定の際に次のレジスタでエラーを検出している場合には、エラーをクリアすることを推奨します。

- DMAC0 レジスタアクセス保護違反レジスタ（PDMAnDM0CMV）
- DMAC1 レジスタアクセス保護違反レジスタ（PDMAnDM1CMV）
- DMAC2 レジスタアクセス保護違反レジスタ（PDMAnDM2CMV）
- DMAC3 レジスタアクセス保護違反レジスタ（PDMAnDM3CMV）

8.7.3　　DMA チャネル設定手順

DMA チャネル設定では、DMAC の各チャネルの転送情報や転送要因の選択を行います。DMA チャネル設定は、チャネル割り当てによって割り当てられた各チャネルのマスタがチャネルレジスタを設定することで実施します。

8.7.3.1　　DMAC チャネル設定手順

DMAC を利用する場合の DMAC チャネル設定は以下の手順で行います。

(1)　チャネル動作無効設定

DMAC チャネル動作有効設定レジスタ（PDMAnDCENm）でチャネル動作有効（PDMAnDCENm.DTE）がセットされている場合は、PDMAnDCENm.DTE ビットをクリアしてチャネル動作を無効の状態に変更します。

(2)　転送情報の設定

DMAC の転送情報の設定では、次のレジスタを設定します。

- DMAC ソースアドレスレジスタ（PDMAnDSAm）
- DMAC ディスティネーションアドレスレジスタ（PDMAnDDAm）
- DMAC 転送回数レジスタ（PDMAnDTCm）
- DMAC 転送制御レジスタ（PDMAnDTCTm）
- DMAC リロードソースアドレスレジスタ（PDMAnDRSAm）
- DMAC リロードディスティネーションアドレスレジスタ（PDMAnDRDAm）
- DMAC リロード転送回数レジスタ（PDMAnDRTCm）

(3)　DMA 転送要求の設定

転送情報の設定で、DMAC 転送制御レジスタ（PDMAnDTCTm）の DMA 転送要求選択割り付け（PDMAnDTCTm.DRS）ビットにハードウェア DMA 転送要求とソフトウェア DMA 転送要求のどちらを使用するかを設定します。

1 つのチャネルでハードウェア DMA 転送要求とソフトウェア DMA 転送要求の両方を同時に使用することはできません。

ハードウェア DMA 転送要求を使用する場合は、DTFR 設定レジスタのハードウェア DMA 転送要因選択（PDMAnDTFRm.REQSEL）で 128 種類のハードウェア DMA 転送要因からハードウェア DMA 転送要求として使用する要因を選択して設定します。また同じレジスタのハードウェア DMA 転送要因選択（PDMAnDTFRm.REQEN）を有効に設定します。

DTFR には、ハードウェア DMA 転送要因を選択する前の状態でハードウェア DMA 転送要求が保持されている場合があるので、必要に応じて、DTFR 転送要求クリアレジスタ（PDMAnDTFRRQCm）を利用して DTFR で保持しているハードウェア DMA 転送要求（PDMAnDTFRRQm.DRQ）をクリアしてください。

ソフトウェア DMA 転送要求を使用する場合は、DTFR 設定レジスタのハードウェア DMA 転送要因選択（PDMAnDTFRm.REQEN）を無効に設定します。

(4)　転送ステータスのクリア

DMAC 転送ステータスレジスタ（PDMAnDCSTm）に、以前の DMA 転送結果が保持されている場合があるので、DMAC 転送ステータスクリアレジスタ（PDMAnDCSTCm）を利用して DMAC 転送ステータスレジスタの各フラグをクリアします。

(5) チャネル動作有効設定

DMAC チャネル動作有効設定レジスタのチャネル動作有効（PDMAnDCENm.DTE）ビットをセットして、チャネル動作を有効します。

チャネル動作有効設定を行った後は、DMAC は DMA 転送要求を受け付けて DMA 転送を実行可能な状態になります。

8.8　　グローバルレジスタ

8.8.1　　グローバルレジスタアドレス一覧

DMA のグローバルレジスタ一覧を以下の表に示します。

<DMAn_base>は、「**8.1.2　レジスタベースアドレス**」を参照してください。

表 8.25　　グローバルレジスタアドレス一覧 (RH850/F1KH-D8)

ユニット名	レジスタ名	略号	アドレス	アクセス許可	
				特殊マスタ	一般マスタ
PDMAn	DMA 制御レジスタ	PDMAnDMACTL	<DMAn_base> + 0000$_H$	○	—注1
	DMAC エラーレジスタ	PDMAnDMACER	<DMAn_base> + 0020$_H$	○	○
	DMAC0 レジスタアクセス保護違反レジスタ	PDMAnDM0CMV	<DMAn_base> + 0030$_H$	○	○
	DMAC1 レジスタアクセス保護違反レジスタ	PDMAnDM1CMV	<DMAn_base> + 0034$_H$	○	○
	レジスタアクセス保護違反クリアレジスタ	PDMAnCMVC	<DMAn_base> + 003C$_H$	○	—注1
	DMAC2 レジスタアクセス保護違反レジスタ	PDMAnDM2CMV	<DMAn_base> + 0040$_H$	○	○
	DMAC3 レジスタアクセス保護違反レジスタ	PDMAnDM3CMV	<DMAn_base> + 0044$_H$	○	○
	DMAC0 チャネル 0 チャネルマスタ設定	PDMAnDM00CM	<DMAn_base> + 0100$_H$	○	—注1
	DMAC0 チャネル 1 チャネルマスタ設定	PDMAnDM01CM	<DMAn_base> + 0104$_H$	○	—注1
	DMAC0 チャネル 2 チャネルマスタ設定	PDMAnDM02CM	<DMAn_base> + 0108$_H$	○	—注1
	DMAC0 チャネル 3 チャネルマスタ設定	PDMAnDM03CM	<DMAn_base> + 010C$_H$	○	—注1
	DMAC0 チャネル 4 チャネルマスタ設定	PDMAnDM04CM	<DMAn_base> + 0110$_H$	○	—注1
	DMAC0 チャネル 5 チャネルマスタ設定	PDMAnDM05CM	<DMAn_base> + 0114$_H$	○	—注1
	DMAC0 チャネル 6 チャネルマスタ設定	PDMAnDM06CM	<DMAn_base> + 0118$_H$	○	—注1
	DMAC0 チャネル 7 チャネルマスタ設定	PDMAnDM07CM	<DMAn_base> + 011C$_H$	○	—注1
	DMAC1 チャネル 0 チャネルマスタ設定	PDMAnDM10CM	<DMAn_base> + 0120$_H$	○	—注1
	DMAC1 チャネル 1 チャネルマスタ設定	PDMAnDM11CM	<DMAn_base> + 0124$_H$	○	—注1
	DMAC1 チャネル 2 チャネルマスタ設定	PDMAnDM12CM	<DMAn_base> + 0128$_H$	○	—注1
	DMAC1 チャネル 3 チャネルマスタ設定	PDMAnDM13CM	<DMAn_base> + 012C$_H$	○	—注1
	DMAC1 チャネル 4 チャネルマスタ設定	PDMAnDM14CM	<DMAn_base> + 0130$_H$	○	—注1
	DMAC1 チャネル 5 チャネルマスタ設定	PDMAnDM15CM	<DMAn_base> + 0134$_H$	○	—注1
	DMAC1 チャネル 6 チャネルマスタ設定	PDMAnDM16CM	<DMAn_base> + 0138$_H$	○	—注1
	DMAC1 チャネル 7 チャネルマスタ設定	PDMAnDM17CM	<DMAn_base> + 013C$_H$	○	—注1
	DMAC2 チャネル 0 チャネルマスタ設定	PDMAnDM20CM	<DMAn_base> + 0140$_H$	○	—注1
	DMAC2 チャネル 1 チャネルマスタ設定	PDMAnDM21CM	<DMAn_base> + 0144$_H$	○	—注1
	DMAC2 チャネル 2 チャネルマスタ設定	PDMAnDM22CM	<DMAn_base> + 0148$_H$	○	—注1
	DMAC2 チャネル 3 チャネルマスタ設定	PDMAnDM23CM	<DMAn_base> + 014C$_H$	○	—注1
	DMAC2 チャネル 4 チャネルマスタ設定	PDMAnDM24CM	<DMAn_base> + 0150$_H$	○	—注1
	DMAC2 チャネル 5 チャネルマスタ設定	PDMAnDM25CM	<DMAn_base> + 0154$_H$	○	—注1
	DMAC2 チャネル 6 チャネルマスタ設定	PDMAnDM26CM	<DMAn_base> + 0158$_H$	○	—注1
	DMAC2 チャネル 7 チャネルマスタ設定	PDMAnDM27CM	<DMAn_base> + 015C$_H$	○	—注1
	DMAC3 チャネル 0 チャネルマスタ設定	PDMAnDM30CM	<DMAn_base> + 0160$_H$	○	—注1
	DMAC3 チャネル 1 チャネルマスタ設定	PDMAnDM31CM	<DMAn_base> + 0164$_H$	○	—注1
	DMAC3 チャネル 2 チャネルマスタ設定	PDMAnDM32CM	<DMAn_base> + 0168$_H$	○	—注1
	DMAC3 チャネル 3 チャネルマスタ設定	PDMAnDM33CM	<DMAn_base> + 016C$_H$	○	—注1
	DMAC3 チャネル 4 チャネルマスタ設定	PDMAnDM34CM	<DMAn_base> + 0170$_H$	○	—注1
	DMAC3 チャネル 5 チャネルマスタ設定	PDMAnDM35CM	<DMAn_base> + 0174$_H$	○	—注1
	DMAC3 チャネル 6 チャネルマスタ設定	PDMAnDM36CM	<DMAn_base> + 0178$_H$	○	—注1
	DMAC3 チャネル 7 チャネルマスタ設定	PDMAnDM37CM	<DMAn_base> + 017C$_H$	○	—注1

注1.　一般マスタはリードのみ可能です。

表 8.26 グローバルレジスタアドレス一覧 (RH850/F1KM-S4, RH850/F1KM-S2)

ユニット名	レジスタ名	略号	アドレス	アクセス許可	
				特殊マスタ	一般マスタ
PDMAn	DMA 制御レジスタ	PDMAnDMACTL	<DMAn_base> + 0000$_H$	○	—[注1]
	DMAC エラーレジスタ	PDMAnDMACER	<DMAn_base> + 0020$_H$	○	○
	DMAC0 レジスタアクセス保護違反レジスタ	PDMAnDM0CMV	<DMAn_base> + 0030$_H$	○	○
	DMAC1 レジスタアクセス保護違反レジスタ	PDMAnDM1CMV	<DMAn_base> + 0034$_H$	○	○
	レジスタアクセス保護違反クリアレジスタ	PDMAnCMVC	<DMAn_base> + 003C$_H$	○	—[注1]
	DMAC2 レジスタアクセス保護違反レジスタ	PDMAnDM2CMV	<DMAn_base> + 0040$_H$	○	○
	DMAC3 レジスタアクセス保護違反レジスタ	PDMAnDM3CMV	<DMAn_base> + 0044$_H$	○	○
	DMAC0 チャネル 0 チャネルマスタ設定	PDMAnDM00CM	<DMAn_base> + 0100$_H$	○	—[注1]
	DMAC0 チャネル 1 チャネルマスタ設定	PDMAnDM01CM	<DMAn_base> + 0104$_H$	○	—[注1]
	DMAC0 チャネル 2 チャネルマスタ設定	PDMAnDM02CM	<DMAn_base> + 0108$_H$	○	—[注1]
	DMAC0 チャネル 3 チャネルマスタ設定	PDMAnDM03CM	<DMAn_base> + 010C$_H$	○	—[注1]
	DMAC0 チャネル 4 チャネルマスタ設定	PDMAnDM04CM	<DMAn_base> + 0110$_H$	○	—[注1]
	DMAC0 チャネル 5 チャネルマスタ設定	PDMAnDM05CM	<DMAn_base> + 0114$_H$	○	—[注1]
	DMAC0 チャネル 6 チャネルマスタ設定	PDMAnDM06CM	<DMAn_base> + 0118$_H$	○	—[注1]
	DMAC0 チャネル 7 チャネルマスタ設定	PDMAnDM07CM	<DMAn_base> + 011C$_H$	○	—[注1]
	DMAC1 チャネル 0 チャネルマスタ設定	PDMAnDM10CM	<DMAn_base> + 0120$_H$	○	—[注1]
	DMAC1 チャネル 1 チャネルマスタ設定	PDMAnDM11CM	<DMAn_base> + 0124$_H$	○	—[注1]
	DMAC1 チャネル 2 チャネルマスタ設定	PDMAnDM12CM	<DMAn_base> + 0128$_H$	○	—[注1]
	DMAC1 チャネル 3 チャネルマスタ設定	PDMAnDM13CM	<DMAn_base> + 012C$_H$	○	—[注1]
	DMAC1 チャネル 4 チャネルマスタ設定	PDMAnDM14CM	<DMAn_base> + 0130$_H$	○	—[注1]
	DMAC1 チャネル 5 チャネルマスタ設定	PDMAnDM15CM	<DMAn_base> + 0134$_H$	○	—[注1]
	DMAC1 チャネル 6 チャネルマスタ設定	PDMAnDM16CM	<DMAn_base> + 0138$_H$	○	—[注1]
	DMAC1 チャネル 7 チャネルマスタ設定	PDMAnDM17CM	<DMAn_base> + 013C$_H$	○	—[注1]
	DMAC2 チャネル 0 チャネルマスタ設定	PDMAnDM20CM	<DMAn_base> + 0140$_H$	○	—[注1]
	DMAC2 チャネル 1 チャネルマスタ設定	PDMAnDM21CM	<DMAn_base> + 0144$_H$	○	—[注1]
	DMAC2 チャネル 2 チャネルマスタ設定	PDMAnDM22CM	<DMAn_base> + 0148$_H$	○	—[注1]
	DMAC2 チャネル 3 チャネルマスタ設定	PDMAnDM23CM	<DMAn_base> + 014C$_H$	○	—[注1]
	DMAC2 チャネル 4 チャネルマスタ設定	PDMAnDM24CM	<DMAn_base> + 0150$_H$	○	—[注1]
	DMAC2 チャネル 5 チャネルマスタ設定	PDMAnDM25CM	<DMAn_base> + 0154$_H$	○	—[注1]
	DMAC2 チャネル 6 チャネルマスタ設定	PDMAnDM26CM	<DMAn_base> + 0158$_H$	○	—[注1]
	DMAC2 チャネル 7 チャネルマスタ設定	PDMAnDM27CM	<DMAn_base> + 015C$_H$	○	—[注1]
	DMAC3 チャネル 0 チャネルマスタ設定	PDMAnDM30CM	<DMAn_base> + 0160$_H$	○	—[注1]
	DMAC3 チャネル 1 チャネルマスタ設定	PDMAnDM31CM	<DMAn_base> + 0164$_H$	○	—[注1]
	DMAC3 チャネル 2 チャネルマスタ設定	PDMAnDM32CM	<DMAn_base> + 0168$_H$	○	—[注1]
	DMAC3 チャネル 3 チャネルマスタ設定	PDMAnDM33CM	<DMAn_base> + 016C$_H$	○	—[注1]
	DMAC3 チャネル 4 チャネルマスタ設定	PDMAnDM34CM	<DMAn_base> + 0170$_H$	○	—[注1]
	DMAC3 チャネル 5 チャネルマスタ設定	PDMAnDM35CM	<DMAn_base> + 0174$_H$	○	—[注1]
	DMAC3 チャネル 6 チャネルマスタ設定	PDMAnDM36CM	<DMAn_base> + 0178$_H$	○	—[注1]
	DMAC3 チャネル 7 チャネルマスタ設定	PDMAnDM37CM	<DMAn_base> + 017C$_H$	○	—[注1]

注1. 一般マスタはリードのみ可能です。

表 8.27 グローバルレジスタアドレス一覧 (RH850/F1KM-S1)

ユニット名	レジスタ名	略号	アドレス	アクセス許可	
				特殊マスタ	一般マスタ
PDMAn	DMA 制御レジスタ	PDMAnDMACTL	<DMAn_base> + 0000H	○	—注1
	DMAC エラーレジスタ	PDMAnDMACER	<DMAn_base> + 0020H	○	○
	DMAC0 レジスタアクセス保護違反レジスタ	PDMAnDM0CMV	<DMAn_base> + 0030H	○	○
	DMAC1 レジスタアクセス保護違反レジスタ	PDMAnDM1CMV	<DMAn_base> + 0034H	○	○
	レジスタアクセス保護違反クリアレジスタ	PDMAnCMVC	<DMAn_base> + 003CH	○	—注1
	DMAC0 チャネル 0 チャネルマスタ設定	PDMAnDM00CM	<DMAn_base> + 0100H	○	—注1
	DMAC0 チャネル 1 チャネルマスタ設定	PDMAnDM01CM	<DMAn_base> + 0104H	○	—注1
	DMAC0 チャネル 2 チャネルマスタ設定	PDMAnDM02CM	<DMAn_base> + 0108H	○	—注1
	DMAC0 チャネル 3 チャネルマスタ設定	PDMAnDM03CM	<DMAn_base> + 010CH	○	—注1
	DMAC0 チャネル 4 チャネルマスタ設定	PDMAnDM04CM	<DMAn_base> + 0110H	○	—注1
	DMAC0 チャネル 5 チャネルマスタ設定	PDMAnDM05CM	<DMAn_base> + 0114H	○	—注1
	DMAC0 チャネル 6 チャネルマスタ設定	PDMAnDM06CM	<DMAn_base> + 0118H	○	—注1
	DMAC0 チャネル 7 チャネルマスタ設定	PDMAnDM07CM	<DMAn_base> + 011CH	○	—注1
	DMAC1 チャネル 0 チャネルマスタ設定	PDMAnDM10CM	<DMAn_base> + 0120H	○	—注1
	DMAC1 チャネル 1 チャネルマスタ設定	PDMAnDM11CM	<DMAn_base> + 0124H	○	—注1
	DMAC1 チャネル 2 チャネルマスタ設定	PDMAnDM12CM	<DMAn_base> + 0128H	○	—注1
	DMAC1 チャネル 3 チャネルマスタ設定	PDMAnDM13CM	<DMAn_base> + 012CH	○	—注1
	DMAC1 チャネル 4 チャネルマスタ設定	PDMAnDM14CM	<DMAn_base> + 0130H	○	—注1
	DMAC1 チャネル 5 チャネルマスタ設定	PDMAnDM15CM	<DMAn_base> + 0134H	○	—注1
	DMAC1 チャネル 6 チャネルマスタ設定	PDMAnDM16CM	<DMAn_base> + 0138H	○	—注1
	DMAC1 チャネル 7 チャネルマスタ設定	PDMAnDM17CM	<DMAn_base> + 013CH	○	—注1

注1. 一般マスタはリードのみ可能です。

8.8.2 グローバルレジスタ詳細

8.8.2.1 PDMAnDMACTL — DMA 制御レジスタ

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<DMAn_base> + 0000$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMA SPD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 8.28　PDMAnDMACTL レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	DMASPD	DMA 一時中断 すべてのチャネルの DMA 転送を一時中断していることを示します。ユーザが 1 を書き込むことで、すべてのチャネルの DMA 転送を一時中断状態することができます。また、ユーザが 0 を書き込むことで、すべてのチャネルの DMA 転送の一時中断状態を解除することができます。 本ビットで制御する一時中断は、DMAC の各チャネルの転送有効ビット（PDMAnDCENm.DTE）で制御する一時中断とは無関係に行われます。つまり、DMAC の各チャネルの PDMAnDCENm.DTE ビットがいかなる状態でも、本ビットを 1 にセットした場合はすべての DMA 転送が一時中断されます。 本ビットを操作しても、DMAC の各チャネルの PDMAnDCENm.DTE ビットの状態は変わりません。 0：DMA 一時中断状態解除 1：DMA 一時中断要求・DMA 一時中断状態

8.8.2.2　PDMAnDMACER — DMAC エラーレジスタ

アクセス　32 ビット単位でリードのみ可能です。

アドレス　<DMAn_base> + 0020H

リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DM3ER7	DM3ER6	DM3ER5	DM3ER4	DM3ER3	DM3ER2	DM3ER1	DM3ER0	DM2ER7	DM2ER6	DM2ER5	DM2ER4	DM2ER3	DM2ER2	DM2ER1	DM2ER0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM1ER7	DM1ER6	DM1ER5	DM1ER4	DM1ER3	DM1ER2	DM1ER1	DM1ER0	DM0ER7	DM0ER6	DM0ER5	DM0ER4	DM0ER3	DM0ER2	DM0ER1	DM0ER0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 8.29　PDMAnDMACER レジスタの内容

ビット位置	ビット名	機能
31～24	DM3ER[7:0]	RH850F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2 DMAC3 DMA 転送エラー状態 DMAC3 のチャネル 0～7 の DMA 転送エラー状態を示します。 それぞれのビットは DMAC3 の各チャネルの PDMAnDCSTm.ER ビットの写像で、リードオンリーです。 0：DMA 転送エラー非発生 1：DMA 転送エラー発生 RH850/F1KM-S1： リードした場合はリセット後の値が読めます。
23～16	DM2ER[7:0]	RH850F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2 DMAC2 DMA 転送エラー状態 DMAC2 のチャネル 0～7 の DMA 転送エラー状態を示します。 それぞれのビットは DMAC2 の各チャネルの PDMAnDCSTm.ER ビットの写像で、リードオンリーです。 0：DMA 転送エラー非発生 1：DMA 転送エラー発生 RH850/F1KM-S1： リードした場合はリセット後の値が読めます。
15～8	DM1ER[7:0]	DMAC1 DMA 転送エラー状態 DMAC1 のチャネル 0～7 の DMA 転送エラー状態を示します。 それぞれのビットは DMAC1 の各チャネルの PDMAnDCSTm.ER ビットの写像で、リードオンリーです。 0：DMA 転送エラー非発生 1：DMA 転送エラー発生
7～0	DM0ER[7:0]	DMAC0 DMA 転送エラー状態 DMAC0 のチャネル 0～7 の DMA 転送エラー状態を示します。 それぞれのビットは DMAC0 の各チャネルの PDMAnDCSTm.ER ビットの写像で、リードオンリーです。 0：DMA 転送エラー非発生 1：DMA 転送エラー発生

8.8.2.3　PDMAnDM0CMV — DMAC0 レジスタアクセス保護違反レジスタ

アクセス　32 ビット単位でリードのみ可能です。

アドレス　<DMAn_base> + 0030_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	PEID2	PEID1	PEID0	SPID1	SPID0	UM	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	VCH2	VCH1	VCH0	—	—	—	VF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 8.30　PDMAnDM0CMV レジスタの内容

ビット位置	ビット名	機能
31～23	予約ビット	リードした場合はリセット後の値が読めます。
22～17	PEID[2:0] SPID[1:0] UM	違反アクセスマスタ情報 PDMAnDM0CMV.VF ビットが 0 の状態で最初に発生した違反アクセスのアクセス元マスタ情報を保持します。PDMAnDM0CMV.VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。 本ビットはリードオンリーで、クリアできません。
16～7	予約ビット	リードした場合はリセット後の値が読めます。
6～4	VCH[2:0]	違反アクセス発生チャネル PDMAnDM0CMV.VF ビットが 0 の状態で最初に違反アクセスが発生したチャネル番号（0～7）を保持します。 PDMAnDM0CMV.VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。 本ビットはリードオンリーで、クリアできません。
3～1	予約ビット	リードした場合はリセット後の値が読めます。
0	VF	違反アクセス発生フラグ DMAC0 で違反アクセスが発生したかどうかを示します。 　0：DMAC0 で違反アクセスが発生していない 　1：DMAC0 で違反アクセスが発生している 本ビットが 0 の状態で DMAC0 で違反アクセスが発生すると、本ビットがセットされるとともに PDMAnDM0CMV.PEID[2:0]、PDMAnDM0CMV.SPID[1:0]、PDMAnDM0CMV.UM、PDMAnDM0CMV.VCH[2:0]ビットに情報が保存されます。 本ビットが 1 の状態で DMAC0 で違反アクセスが発生すると、本ビットはセットされたままで、PDMAnDM0CMV.PEID[2:0]、PDMAnDM0CMV.SPID[1:0]、PDMAnDM0CMV.UM、PDMAnDM0CMV.VCH[2:0]ビットの内容は変化しません。 本ビットは PDMAnCMVC レジスタの操作でクリアが可能です。

8.8.2.4 PDMAnDM1CMV — DMAC1 レジスタアクセス保護違反レジスタ

アクセス 32 ビット単位でリードのみ可能です。

アドレス <DMAn_base> + 0034_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	PEID2	PEID1	PEID0	SPID1	SPID0	UM	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	VCH2	VCH1	VCH0	—	—	—	VF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 8.31 PDMAnDM1CMV レジスタの内容

ビット位置	ビット名	機能
31～23	予約ビット	リードした場合はリセット後の値が読めます。
22～17	PEID[2:0] SPID[1:0] UM	違反アクセスマスタ情報 PDMAnDM1CMV.VF ビットが 0 の状態で最初に発生した違反アクセスのアクセス元マスタ情報を保持します。 PDMAnDM1CMV.VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。 本ビットはリードオンリーで、クリアできません。
16～7	予約ビット	リードした場合はリセット後の値が読めます。
6～4	VCH[2:0]	違反アクセス発生チャネル PDMAnDM1CMV.VF ビットが 0 の状態で最初に違反アクセスが発生したチャネル番号（0～7）を保持します。 PDMAnDM1CMV.VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。 本ビットはリードオンリーで、クリアできません。
3～1	予約ビット	リードした場合はリセット後の値が読めます。
0	VF	違反アクセス発生フラグ DMAC1 で違反アクセスが発生したかどうかを示します。 0：DMAC1 で違反アクセスが発生していない 1：DMAC1 で違反アクセスが発生している 本ビットが 0 の状態で DMAC1 で違反アクセスが発生すると、本ビットがセットされるとともに PDMAnDM1CMV.PEID[2:0], PDMAnDM1CMV.SPID[1:0], PDMAnDM1CMV.UM, PDMAnDM1CMV.VCH[2:0]ビットに情報が保存されます。 本ビットが 1 の状態で DMAC1 で違反アクセスが発生すると、本ビットはセットされたままで、PDMAnDM1CMV.PEID[2:0], PDMAnDM1CMV.SPID[1:0], PDMAnDM1CMV.UM, PDMAnDM1CMV.VCH[2:0]ビットの内容は変化しません。 本ビットは PDMAnCMVC レジスタの操作でクリアが可能です。

8.8.2.5　PDMAnDM2CMV ― DMAC2 レジスタアクセス保護違反レジスタ

アクセス　32 ビット単位でリードのみ可能です。

アドレス　<DMAn_base> + 0040_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	PEID2	PEID1	PEID0	SPID1	SPID0	UM	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	VCH2	VCH1	VCH0	—	—	—	VF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 8.32　PDMAnDM2CMV レジスタの内容

ビット位置	ビット名	機能
31～23	予約ビット	リードした場合はリセット後の値が読めます。
22～17	PEID[2:0] SPID[1:0] UM	違反アクセスマスタ情報 PDMAnDM2CMV.VF ビットが 0 の状態で最初に発生した違反アクセスのアクセス元マスタ情報を保持します。 PDMAnDM2CMV.VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。 本ビットはリードオンリーで、クリアできません。
16～7	予約ビット	リードした場合はリセット後の値が読めます。
6～4	VCH[2:0]	違反アクセス発生チャネル PDMAnDM2CMV.VF ビットが 0 の状態で最初に違反アクセスが発生したチャネル番号（0～7）を保持します。 PDMAnDM2CMV.VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。 本ビットはリードオンリーで、クリアできません。
3～1	予約ビット	リードした場合はリセット後の値が読めます。
0	VF	違反アクセス発生フラグ DMAC2 で違反アクセスが発生したかどうかを示します。 0：DMAC2 で違反アクセスが発生していない 1：DMAC2 で違反アクセスが発生している 本ビットが 0 の状態で DMAC2 で違反アクセスが発生すると、本ビットがセットされるとともに PDMAnDM2CMV.PEID[2:0], PDMAnDM2CMV.SPID[1:0], PDMAnDM2CMV.UM, PDMAnDM2CMV.VCH[2:0]ビットに情報が保存されます。 本ビットが 1 の状態で DMAC2 で違反アクセスが発生すると、本ビットはセットされたままで、PDMAnDM2CMV.PEID[2:0], PDMAnDM2CMV.SPID[1:0], PDMAnDM2CMV.UM, PDMAnDM2CMV.VCH[2:0]ビットの内容は変化しません。 本ビットは PDMAnCMVC レジスタの操作でクリアが可能です。

8.8.2.6 PDMAnDM3CMV — DMAC3 レジスタアクセス保護違反レジスタ

アクセス 32 ビット単位でリードのみ可能です。

アドレス <DMAn_base> + 0044_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	PEID2	PEID1	PEID0	SPID1	SPID0	UM	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	VCH2	VCH1	VCH0	—	—	—	VF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 8.33 PDMAnDM3CMV レジスタの内容

ビット位置	ビット名	機能
31～23	予約ビット	リードした場合はリセット後の値が読めます。
22～17	PEID[2:0] SPID[1:0] UM	違反アクセスマスタ情報 PDMAnDM3CMV.VF ビットが 0 の状態で最初に発生した違反アクセスのアクセス元マスタ情報を保持します。 PDMAnDM3CMV.VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。 本ビットはリードオンリーで、クリアできません。
16～7	予約ビット	リードした場合はリセット後の値が読めます。
6～4	VCH[2:0]	違反アクセス発生チャネル PDMAnDM3CMV.VF ビットが 0 の状態で最初に違反アクセスが発生したチャネル番号（0～7）を保持します。 PDMAnDM3CMV.VF ビットが 1 の状態で違反アクセスが発生した場合には、本ビットの状態は変化しません。 本ビットはリードオンリーで、クリアできません。
3～1	予約ビット	リードした場合はリセット後の値が読めます。
0	VF	違反アクセス発生フラグ DMAC3 で違反アクセスが発生したかどうかを示します。 0：DMAC3 で違反アクセスが発生していない 1：DMAC3 で違反アクセスが発生している 本ビットが 0 の状態で DMAC3 で違反アクセスが発生すると、本ビットがセットされるとともに PDMAnDM3CMV.PEID[2:0], PDMAnDM3CMV.SPID[1:0], PDMAnDM3CMV.UM, PDMAnDM3CMV.VCH[2:0]ビットに情報が保存されます。 本ビットが 1 の状態で DMAC3 で違反アクセスが発生すると、本ビットはセットされたままで、PDMAnDM3CMV.PEID[2:0], PDMAnDM3CMV.SPID[1:0], PDMAnDM3CMV.UM, PDMAnDM3CMV.VCH[2:0]ビットの内容は変化しません。 本ビットは PDMAnCMVC レジスタの操作でクリアが可能です。

8.8.2.7　PDMAnCMVC — レジスタアクセス保護違反クリアレジスタ

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<DMAn_base> + 003C$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	DM3VC	DM2VC	—	—	DM1VC	DM0VC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

表 8.34　PDMAnCMVC レジスタの内容

ビット位置	ビット名	機能
31〜6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	DM3VC	RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2： DMAC3 違反アクセス発生フラグクリア 本ビットに 1 を書き込むことで DMAC3 の違反アクセス発生フラグ（PDMAnDM3CMV.VF）をクリアすることができます。本ビットのリード値は常に 0 です。 RH850/F1KM-S1： リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	DM2VC	RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2： DMAC2 違反アクセス発生フラグクリア 本ビットに 1 を書き込むことで DMAC2 の違反アクセス発生フラグ（PDMAnDM2CMV.VF）をクリアすることができます。本ビットのリード値は常に 0 です。 RH850/F1KM-S1： リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3、2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	DM1VC	DMAC1 違反アクセス発生フラグクリア 本ビットに 1 を書き込むことで DMAC1 の違反アクセス発生フラグ（PDMAnDM1CMV.VF）をクリアすることができます。本ビットのリード値は常に 0 です。
0	DM0VC	DMAC0 違反アクセス発生フラグクリア 本ビットに 1 を書き込むことで DMAC0 の違反アクセス発生フラグ（PDMAnDM0CMV.VF）をクリアすることができます。本ビットのリード値は常に 0 です。

8.8.2.8　PDMAnDMyiCM ― DMAC チャネルマスタ設定（yi＝00～07, 10～17, 20～27, 30～37 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2)、yi＝00～07, 10～17 (RH850/F1KM-S1)）

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　PDMAnDM0iCM : <DMAn_base> + 0100_H + 4_H × チャネル番号. i (i＝0～7)
PDMAnDM1iCM : <DMAn_base> + 0120_H + 4_H × チャネル番号. i (i＝0～7)
PDMAnDM2iCM : <DMAn_base> + 0140_H + 4_H × チャネル番号. i (i＝0～7)
PDMAnDM3iCM : <DMAn_base> + 0160_H + 4_H × チャネル番号. i (i＝0～7)

リセット後の値　0000 0010_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	PEID2	PEID1	PEID0	SPID1	SPID0	UM	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R

表 8.35　PDMAnDMyiCM レジスタの内容

ビット位置	ビット名	機能
31～7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6～4	PEID[2:0]	チャネルマスタ PEID 設定 チャネルに割り当てるマスタの PEID 情報を設定します。 本レジスタを構成する PE の PEID 値を設定します。
3、2	SPID[1:0]	チャネルマスタ SPID 設定 チャネルに割り当てるマスタが利用する SPID 情報を設定します。
1	UM	チャネルマスタ UM 設定 0 : スーパバイザモードでのアクセスを許可 1 : ユーザモードおよびスーパバイザモードでのアクセスを許可
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注　意

PDMAnDM00CM～PDMAnDM07CM は DMAC0 チャネル 0～7 のチャネルマスタ情報を設定
PDMAnDM10CM～PDMAnDM17CM は DMAC1 チャネル 0～7 のチャネルマスタ情報を設定
PDMAnDM20CM～PDMAnDM27CM は DMAC2 チャネル 0～7 のチャネルマスタ情報を設定
PDMAnDM30CM～PDMAnDM37CM は DMAC3 チャネル 0～7 のチャネルマスタ情報を設定

本レジスタにより提供される機能の説明は「**8.6 信頼性機能**」を参照してください。

8.9　DMAC チャネルレジスタ

8.9.1　DMAC チャネルレジスタアドレス

DMAC のチャネルレジスタ一覧を以下の表に示します。

<DMAn_base>は、「**8.1.2 レジスタベースアドレス**」を参照してください。

表 8.36　DMAC チャネルレジスタアドレス

モジュール名	レジスタ名	略号	アドレス	アクセス許可	
				特殊マスタ	一般マスタ
PDMAn	DMAC ソースアドレスレジスタ	PDMAnDSAm	<DMAn_base> + 0400_H + 40_H × [チャネル番号]	○	○
	DMAC ディスティネーションアドレスレジスタ	PDMAnDDAm	<DMAn_base> + 0404_H + 40_H × [チャネル番号]	○	○
	DMAC 転送回数レジスタ	PDMAnDTCm	<DMAn_base> + 0408_H + 40_H × [チャネル番号]	○	○
	DMAC 転送制御レジスタ	PDMAnDTCTm	<DMAn_base> + $040C_H$ + 40_H × [チャネル番号]	○	○
	DMAC リロードソースアドレスレジスタ	PDMAnDRSAm	<DMAn_base> + 0410_H + 40_H × [チャネル番号]	○	○
	DMAC リロードディスティネーションアドレスレジスタ	PDMAnDRDAm	<DMAn_base> + 0414_H + 40_H × [チャネル番号]	○	○
	DMAC リロード転送回数レジスタ	PDMAnDRTCm	<DMAn_base> + 0418_H + 40_H × [チャネル番号]	○	○
	DMAC チャネル動作有効設定レジスタ	PDMAnDCENm	<DMAn_base> + 0420_H + 40_H × [チャネル番号]	○	○
	DMAC 転送ステータスレジスタ	PDMAnDCSTm	<DMAn_base> + 0424_H + 40_H × [チャネル番号]	○	○
	DMAC 転送ステータスセットレジスタ	PDMAnDCSTSm	<DMAn_base> + 0428_H + 40_H × [チャネル番号]	○	○
	DMAC 転送ステータスクリアレジスタ	PDMAnDCSTCm	<DMAn_base> + $042C_H$ + 40_H × [チャネル番号]	○	○
	DTFR 設定レジスタ	PDMAnDTFRm	<DMAn_base> + 0430_H + 40_H × [チャネル番号]	○	○
	DTFR 転送要求ステータスレジスタ	PDMAnDTFRRQm	<DMAn_base> + 0434_H + 40_H × [チャネル番号]	○	○
	DTFR 転送要求クリアレジスタ	PDMAnDTFRRQCm	<DMAn_base> + 0438_H + 40_H × [チャネル番号]	○	○

備考　オフセットアドレスの[チャネル番号]およびレジスタ略称の m は、RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2 では 0～31 で、RH850/F1KM-S1 では 0～15 で、対応は以下のとおりです。

チャネル番号 m	チャネル
0	DMAC0 チャネル 0
1	DMAC0 チャネル 1
2	DMAC0 チャネル 2
3	DMAC0 チャネル 3
4	DMAC0 チャネル 4
5	DMAC0 チャネル 5
6	DMAC0 チャネル 6
7	DMAC0 チャネル 7
8	DMAC1 チャネル 0
9	DMAC1 チャネル 1
10	DMAC1 チャネル 2
11	DMAC1 チャネル 3
12	DMAC1 チャネル 4
13	DMAC1 チャネル 5
14	DMAC1 チャネル 6
15	DMAC1 チャネル 7

チャネル番号 m	チャネル
16	DMAC2 チャネル 0
17	DMAC2 チャネル 1
18	DMAC2 チャネル 2
19	DMAC2 チャネル 3
20	DMAC2 チャネル 4
21	DMAC2 チャネル 5
22	DMAC2 チャネル 6
23	DMAC2 チャネル 7
24	DMAC3 チャネル 0
25	DMAC3 チャネル 1
26	DMAC3 チャネル 2
27	DMAC3 チャネル 3
28	DMAC3 チャネル 4
29	DMAC3 チャネル 5
30	DMAC3 チャネル 6
31	DMAC3 チャネル 7

8.9.2　DMAC チャネルレジスタの詳細

8.9.2.1　PDMAnDSAm — DMAC ソースアドレスレジスタ

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<DMAn_base> + 0400_H + 40_H × チャネル番号 m

（m＝0～31 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2)、m＝0～15 (RH850/F1KM-S1)）

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SA31	SA30	SA29	SA28	SA27	SA26	SA25	SA24	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8	SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8.37　PDMAnDSAm レジスタの内容

ビット位置	ビット名	機能
31～0	SA[31:0]	ソースアドレス DMA 転送元アドレスを設定します。DMA サイクルを実行するごとに更新され、リードすると次の DMA サイクルを実行する際の転送元アドレスが読み出せます。

注　意

1. チャネル動作有効状態（PDMAnDCENm.DTE ビット＝1）での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. DMA 転送のリードサイクルで転送エラーが発生すると、ライトサイクルは実行しませんが、ソースアドレスは更新します。
3. ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです（×は任意の 1 ビットを表します）。
   下記以外の設定を行った場合の動作は保証しません。

データサイズ	SA3	SA2	SA1	SA0
8 ビット	×	×	×	×
16 ビット	×	×	×	0
32 ビット	×	×	0	0
64 ビット	×	0	0	0
128 ビット	0	0	0	0

8.9.2.2 PDMAnDDAm — DMAC ディスティネーションアドレスレジスタ

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <DMAn_base> + 0404H + 40H × チャネル番号 m

（m＝0～31 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2)、m＝0～15 (RH850/F1KM-S1)）

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DA31	DA30	DA29	DA28	DA27	DA26	DA25	DA24	DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8.38 PDMAnDDAm レジスタの内容

ビット位置	ビット名	機能
31～0	DA[31:0]	ディスティネーションアドレス DMA 転送先アドレスを設定します。DMA サイクルを実行するごとに更新され、リードすると次の DMA サイクルを実行する際の転送先アドレスが読み出せます。

注 意

1. チャネル動作有効状態（PDMAnDCENm.DTE ビット＝1）での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. 転送のリードサイクルで転送エラーが発生すると、ライトサイクルは実行しませんが、ディスティネーションアドレスは更新します。
3. ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです（×は任意の 1 ビットを表します）。
   下記以外の設定を行った場合の動作は保証しません。

データサイズ	DA3	DA2	DA1	DA0
8 ビット	×	×	×	×
16 ビット	×	×	×	0
32 ビット	×	×	0	0
64 ビット	×	0	0	0
128 ビット	0	0	0	0

8.9.2.3　PDMAnDTCm ― DMAC 転送回数レジスタ

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<DMAn_base> + 0408H + 40H × チャネル番号 m

（m＝0～31 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2)、m＝0～15 (RH850/F1KM-S1)）

リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ARC15	ARC14	ARC13	ARC12	ARC11	ARC10	ARC9	ARC8	ARC7	ARC6	ARC5	ARC4	ARC3	ARC2	ARC1	ARC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRC15	TRC14	TRC13	TRC12	TRC11	TRC10	TRC9	TRC8	TRC7	TRC6	TRC5	TRC4	TRC3	TRC2	TRC1	TRC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8.39　PDMAnDTCm レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>31～16</td><td>ARC[15:0]</td><td>アドレスリロードカウント
リロード機能 2 を使用する場合のアドレスリロードまでの転送回数およびブロック転送 2 を使用する場合の転送回数を設定します。DMA 転送中に参照すると、次の DMA サイクルを実行する際のアドレスリロードカウントが読み出せます。リロード機能 2 またはブロック転送 2 を使用する場合、本ビットは DMA サイクル毎に 1 ずつ減算されて更新されます。リロード機能 2 またはブロック転送 2 を使用しない場合、本ビットは更新されません。
0000H はリロード機能 2 を使用する場合のアドレスリロードまでの転送回数およびブロック転送 2 を使用する場合の転送回数が 65536 回であることを示します。</td></tr>
<tr><td>15～0</td><td>TRC[15:0]</td><td>転送回数
転送回数を設定します。PDMAnDTCm.TRC[15:0]ビットは、DMA サイクルを実行するごとに 1 ずつ減らされて更新され、リードすると次の DMA サイクルを実行する際の残り転送回数が読み出せます。リロード機能を使用しない場合、最終転送が完了すると、完了時の値（0000H）を保持します。
<table>
<tr><th>TRC15-0</th><th>動作</th></tr>
<tr><td>0000H</td><td>65536 回転送、または転送完了</td></tr>
<tr><td>0001H</td><td>1 回転送、または残り転送回数 1 回</td></tr>
<tr><td>:</td><td>:</td></tr>
<tr><td>FFFFH</td><td>65535 回転送、または残り転送回数 65535 回</td></tr>
</table></td></tr>
</table>

注　意

1. チャネル動作有効状態（PDMAnDCENm.DTE ビット= 1）での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. DMA 転送のリードサイクルで転送対象にエラーが発生すると、ライトサイクルは実行しませんが、転送回数、アドレスリロードカウントは更新します。

8.9.2.4　PDMAnDTCTm ― DMAC 転送制御レジスタ

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<DMAn_base> + 040C$_H$ + 40$_H$ × チャネル番号 m

（m＝0～31 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2)、m＝0～15 (RH850/F1KM-S1)）

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	ESE	DRS	—	—	—	—	—	CHNSEL2	CHNSEL1	CHNSEL0	CHNE1	CHNE0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	TCE	MLE	RLD2M1	RLD2M0	RLD1M1	RLD1M0	DACM1	DACM0	SACM1	SACM0	DS2	DS1	DS0	TRM1	TRM0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8.40　PDMAnDTCTm レジスタの内容

ビット位置	ビット名	機能
31～28	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
27	ESE	転送エラー時 DMA 転送禁止設定 DMA 転送エラーが発生して PDMAnDCSTm.ER ビットがセットされた状態で、DMA サイクルを実行するかどうかを設定します。 本ビットが 0 にセットされている場合は、DMA 転送エラーが発生して PDMAnDCSTm.ER ビットがセットされた状態でも、後続の DMA サイクルを実行することができます。本ビットが 1 にセットされている場合は、DMA 転送エラーが発生して PDMAnDCSTm.ER ビットがセットされた状態で、後続の DMA サイクルを実行しません。 0：PDMAnDCSTm.ER ビットがセットされた状態で、DMA サイクルを実行する 1：PDMAnDCSTm.ER ビットがセットされた状態で、DMA サイクルを実行しない
26	DRS	DMA 転送要求選択割り付け 受け付ける DMA 転送要求の種類を選択します。 0：ソフトウェア DMA 転送要求 1：ハードウェア DMA 転送要求
25～21	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
20～18	CHNSEL[2:0]	チェイン先選択 チェイン先のチャネルを指定します。 チェイン先は同一 DMAC 内の別のチャネルを指定してください。異なる DMAC チャネルへのチェインは指定できません。チェイン先のチャネルをチェイン元のチャネルと同一に指定することは禁止です（設定した場合の動作を保証しません）。
17、16	CHNE[1:0]	チェインイネーブル チェイン機能を設定します。 00：無効 01：最終転送でチェイン 残り転送回数が 1 回の DMA サイクルが完了した際にチェインします 10：設定禁止（設定した場合の動作を保証しません） 11：常にチェイン DMA サイクルが完了するたびにチェインします
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14	TCE	転送完了割り込みイネーブル このビットをセットすると、最終転送が完了した際に転送完了割り込みを発生します。

表 8.40　PDMAnDTCTm レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>13</td><td>MLE</td><td>連続転送イネーブル
このビットをセットすると、DMA 転送完了時に PDMAnDCENm.DTE ビットをクリアしません。また、PDMAnDCSTm.TC ビットをクリアしなくても、DMA 転送要求があれば DMA 転送を行います。
0：DMA 転送完了時に PDMAnDCENm.DTE ビットをクリアします。また、PDMAnDCSTm.TC ビットをクリアしてからでないと、次の DMA 転送を開始しません
1：DMA 転送完了時に PDMAnDCENm.DTE ビットをクリアしません。また、PDMAnDCSTm.TC ビットをクリアしなくても、DMA 転送要求があれば DMA 転送を行います</td></tr>
<tr><td>12、11</td><td>RLD2M[1:0]</td><td>リロード機能 2 設定
リロード機能 2 の設定をします。
00：リロード機能 2 無効
01：リロード機能 2 有効
アドレスリロードカウントが 1 の DMA サイクル完了時に、ソースアドレスとアドレスリロードカウントをリロード
10：リロード機能 2 有効
アドレスリロードカウントが 1 の DMA サイクル完了時に、ディスティネーションアドレスとアドレスリロードカウントをリロード
11：リロード機能 2 有効
アドレスリロードカウントが 1 の DMA サイクル完了時に、ソースアドレスとディスティネーションアドレスとアドレスリロードカウントをリロード</td></tr>
<tr><td>10、9</td><td>RLD1M[1:0]</td><td>リロード機能 1 設定
リロード機能 1 の設定をします。
00：リロード機能 1 無効
01：リロード機能 1 有効
転送回数が残り 1 回の DMA サイクル完了時に、ソースアドレスと転送回数をリロード（リロード機能 2 が有効の場合、アドレスリロードカウントもリロード）
10：リロード機能 1 有効
転送回数が残り 1 回の DMA サイクル完了時に、ディスティネーションアドレスと転送回数をリロード（リロード機能 2 が有効の場合、アドレスリロードカウントもリロード）
11：リロード機能 1 有効
転送回数が残り 1 回の DMA サイクル完了時に、ソースアドレスとディスティネーションアドレスと転送回数をリロード（リロード機能 2 が有効の場合、アドレスリロードカウントもリロード）</td></tr>
<tr><td>8、7</td><td>DACM[1:0]</td><td>ディスティネーションアドレスカウント方向
ディスティネーションアドレスのカウント方向を設定します。
<table>
<tr><th>DACM1</th><th>DACM0</th><th>カウント方向</th></tr>
<tr><td>0</td><td>0</td><td>インクリメント</td></tr>
<tr><td>0</td><td>1</td><td>デクリメント</td></tr>
<tr><td>1</td><td>0</td><td>固定</td></tr>
<tr><td>1</td><td>1</td><td>設定禁止（設定した場合の動作を保証しません）</td></tr>
</table></td></tr>
<tr><td>6、5</td><td>SACM[1:0]</td><td>ソースアドレスカウント方向
ソースアドレスのカウント方向を設定します。
<table>
<tr><th>SACM1</th><th>SACM0</th><th>カウント方向</th></tr>
<tr><td>0</td><td>0</td><td>インクリメント</td></tr>
<tr><td>0</td><td>1</td><td>デクリメント</td></tr>
<tr><td>1</td><td>0</td><td>固定</td></tr>
<tr><td>1</td><td>1</td><td>設定禁止（設定した場合の動作を保証しません）</td></tr>
</table></td></tr>
</table>

表 8.40　　PDMAnDTCTm レジスタの内容

ビット位置	ビット名	機能
4～2	DS[2:0]	転送データサイズ 転送データサイズを設定します。 <table><tr><th>DS2</th><th>DS1</th><th>DS0</th><th>転送データサイズ</th></tr><tr><td>0</td><td>0</td><td>0</td><td>8 ビット</td></tr><tr><td>0</td><td>0</td><td>1</td><td>16 ビット</td></tr><tr><td>0</td><td>1</td><td>0</td><td>32 ビット</td></tr><tr><td>0</td><td>1</td><td>1</td><td>64 ビット</td></tr><tr><td>1</td><td>0</td><td>0</td><td>128 ビット</td></tr><tr><td colspan="3">上記以外</td><td>設定禁止（設定した場合の動作を保証しません）</td></tr></table>
1、0	TRM[1:0]	転送モード DMA 転送モードを設定します。 00：シングル転送 01：ブロック転送 1（転送回数で指定した回数分を転送） 10：ブロック転送 2（アドレスリロードカウントで指定した回数分を転送） 11：設定禁止（設定した場合の動作を保証しません）

注　意

1. PDMAnDTCTm.MLE ビットをクリアする場合を除き、チャネル動作が許可状態（PDMAnDCENm.DTE ビット=1）での書き込みは禁止です。書き込んだ場合の動作は保証しません。
2. 各ビットを設定禁止の状態に設定した場合の動作は保証しません。

8.9.2.5　　PDMAnDRSAm — DMAC リロードソースアドレスレジスタ

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<DMAn_base> + 0410$_H$ + 40$_H$ × チャネル番号 m

（m＝0～31 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2)、m＝0～15 (RH850/F1KM-S1)）

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RSA31	RSA30	RSA29	RSA28	RSA27	RSA26	RSA25	RSA24	RSA23	RSA22	RSA21	RSA20	RSA19	RSA18	RSA17	RSA16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RSA15	RSA14	RSA13	RSA12	RSA11	RSA10	RSA9	RSA8	RSA7	RSA6	RSA5	RSA4	RSA3	RSA2	RSA1	RSA0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8.41　　PDMAnDRSAm レジスタの内容

ビット位置	ビット名	機能
31～0	RSA[31:0]	リロードソースアドレス リロード機能 1 およびリロード機能 2 使用時に DMA ソースアドレスレジスタにリロードするソースアドレスを設定します。

注　意

ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです（×は任意の 1 ビットを表します）。

下記以外の設定を行った場合の動作は保証しません。

データサイズ	RSA3	RSA2	RSA1	RSA0
8 ビット	×	×	×	×
16 ビット	×	×	×	0
32 ビット	×	×	0	0
64 ビット	×	0	0	0
128 ビット	0	0	0	0

8.9.2.6 PDMAnDRDAm — DMAC リロードディスティネーションアドレスレジスタ

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <DMAn_base> + 0414$_H$ + 40$_H$ × チャネル番号 m

（m＝0～31 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2)、m＝0～15 (RH850/F1KM-S1)）

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDA31	RDA30	RDA29	RDA28	RDA27	RDA26	RDA25	RDA24	RDA23	RDA22	RDA21	RDA20	RDA19	RDA18	RDA17	RDA16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDA15	RDA14	RDA13	RDA12	RDA11	RDA10	RDA9	RDA8	RDA7	RDA6	RDA5	RDA4	RDA3	RDA2	RDA1	RDA0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8.42 PDMAnDRDAm レジスタの内容

ビット位置	ビット名	機能
31～0	RDA[31:0]	リロードディスティネーションアドレス リロード機能 1 およびリロード機能 2 使用時に DMA ディスティネーションアドレスレジスタにリロードするディスティネーションアドレスを設定します。

注　意

ミスアラインデータの DMA 転送はサポートしていません。転送データサイズに対応するアドレスの下位 4 ビットは以下のとおりです（×は任意の 1 ビットを表します）。

下記以外の設定を行った場合の動作は保証しません。

データサイズ	RDA3	RDA2	RDA1	RDA0
8 ビット	×	×	×	×
16 ビット	×	×	×	0
32 ビット	×	×	0	0
64 ビット	×	0	0	0
128 ビット	0	0	0	0

8.9.2.7　PDMAnDRTCm — DMAC リロード転送回数レジスタ

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<DMAn_base> + 0418$_H$ + 40$_H$ × チャネル番号 m

（m＝0～31 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2)、m＝0～15 (RH850/F1KM-S1)）

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RARC15	RARC14	RARC13	RARC12	RARC11	RARC10	RARC9	RARC8	RARC7	RARC6	RARC5	RARC4	RARC3	RARC2	RARC1	RARC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RTRC15	RTRC14	RTRC13	RTRC12	RTRC11	RTRC10	RTRC9	RTRC8	RTRC7	RTRC6	RTRC5	RTRC4	RTRC3	RTRC2	RTRC1	RTRC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8.43　PDMAnDRTCm レジスタの内容

ビット位置	ビット名	機能
31～16	RARC[15:0]	リロードアドレスリロードカウント リロード機能 2 を使用する場合に、リロード動作時に転送回数レジスタのアドレスリロードカウントにリロードする値を設定します。
15～0	RTRC[15:0]	リロード転送回数 リロード機能 1 を使用する場合に、リロード動作時に転送回数レジスタの転送回数にリロードする値を設定します。

8.9.2.8 PDMAnDCENm — DMAC チャネル動作有効設定レジスタ

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <DMAn_base> + 0420_H + 40_H × チャネル番号 m

（m＝0～31 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2)、m＝0～15 (RH850/F1KM-S1)）

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DTE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 8.44　PDMAnDCENm レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	DTE	チャネル動作有効 チャネルの転送動作の有効、無効を設定します。PDMAnDCENm.DTE ビットが 1 の状態で、DMA 転送要求があった場合に DMA 転送を行います。DMA 転送完了時に PDMAnDTCTm.MLE ビットが 0 の場合、自動的にクリアします。また、DMA 転送中に PDMAnDCENm.DTE ビットに 0 を書き込むと、DMA 転送を一時中断します。一時中断した状態で PDMAnDCENm.DTE ビットに 1 を書き込むと、一時中断を解除して DMA 転送を再開します。 0：チャネル動作無効・チャネル一時中断 1：チャネル動作有効・チャネル一時中断解除

8.9.2.9　PDMAnDCSTm — DMAC 転送ステータスレジスタ

アクセス　32 ビット単位でリードのみ可能です。

アドレス　<DMAn_base> + 0424$_H$ + 40$_H$ × チャネル番号 m

（m＝0～31 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2)、m＝0～15 (RH850/F1KM-S1)）

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	ERWR	—	—	CY	ER	—	—	TC	—	—	DR	SR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 8.45　PDMAnDCSTm レジスタの内容

ビット位置	ビット名	機能
31～12	予約ビット	リードした場合はリセット後の値が読めます。
11	ERWR	DMA 転送エラー発生サイクル DMA 転送エラーフラグ（PDMAnDCSTm.ER）がセットされると同時に更新され、DMA 転送エラーがリードサイクルかライトサイクルのどちらで発生したかを示します。既に PDMAnDCSTm.ER ビットがセットされている状態で新たに DMA 転送エラーが発生した場合には本ビットは更新されません。 PDMAnDCSTm.ER ビットがクリアされると本ビットも 0 にクリアされます。 0：DMA 転送エラーがリードサイクルで発生した 1：DMA 転送エラーがライトサイクルで発生した
10、9	予約ビット	リードした場合はリセット後の値が読めます。
8	CY	DMA　サイクル実行状態 このチャネルで DMA サイクルを実行中かどうかを示します。 0：DMA サイクルを実行中でない 1：DMA サイクルを実行中
7	ER	転送エラーフラグ DMA 転送エラーが発生した際にセットされます。本ビットが 1 かつ PDMAnDTCTm.ESE ビットがセットされている場合は、DMA 転送要求が発生しても DMA サイクルを実行しません。 0：DMA 転送エラーなし 1：DMA 転送エラーあり
6、5	予約ビット	リードした場合はリセット後の値が読めます。
4	TC	転送完了フラグ 最終転送が完了した際にセットされ、DMA 転送が完了したことを示します。 PDMAnDTCTm.MLE ビットが 0 で本ビットが 1 の場合は、DMA 転送要求が発生しても DMA サイクルを実行しません。 0：DMA 転送未完了 1：DMA 転送完了
3、2	予約ビット	リードした場合はリセット後の値が読めます。

表 8.45　PDMAnDCSTm レジスタの内容

ビット位置	ビット名	機能
1	DR	ハードウェア DMA 転送要求状態 DTFR からのハードウェア DMA 転送要求（PDMAnDMARQ）があることを示します。本ビットは DTFR からのハードウェア DMA 転送要求があると、PDMAnDCENm.DTE ビットの状態に関わらず変化します。DMAC 転送制御レジスタの転送要求選択ビット（PDMAnDTCTm.DRS）でソフトウェア DMA 転送要求を選択している場合は、DTFR からハードウェア DMA 転送要求が入力されても本ビットはセットされません。 0：ハードウェア DMA 転送要求なし 1：ハードウェア DMA 転送要求あり
0	SR	ソフトウェア DMA 転送要求フラグ ソフトウェア DMA 転送要求があることを示します。DMA 転送を実行すると自動的にクリアされます。ユーザは DMAC 転送ステータスセットレジスタ（PDMAnDCSTSm）の PDMAnDCSTSm.SRS ビットに 1 を書き込むことで本ビットをセットすることができます。また DMAC 転送ステータスクリアレジスタ（PDMAnDCSTCm）の PDMAnDCSTCm.SRC ビットに 1 を書き込むことで本ビットをクリアすることができますが、その際に実行中の DMA 転送は中止され、再開することはできません。 0：ソフトウェア DMA 転送要求なし 1：ソフトウェア DMA 転送要求あり

8.9.2.10　PDMAnDCSTSm — DMAC 転送ステータスセットレジスタ

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<DMAn_base> + 0428$_H$ + 40$_H$ × チャネル番号 m

（m＝0～31 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2)、m＝0～15 (RH850/F1KM-S1)）

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SRS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 8.46　PDMAnDCSTSm レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	SRS	ソフトウェア DMA 転送要求セット ユーザは本ビットに 1 を書き込むことでソフトウェア DMA 転送要求フラグ（PDMAnDCSTm.SR）をセットすることができます。読み出すと常に 0 が読み出されます。

8.9.2.11　PDMAnDCSTCm ― DMAC 転送ステータスクリアレジスタ

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<DMAn_base> + 042C$_H$ + 40$_H$ × チャネル番号 m

（m＝0～31 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2)、m＝0～15 (RH850/F1KM-S1)）

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ERC	—	—	TCC	—	—	—	SRC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R	R	R	R/W

表 8.47　PDMAnDCSTCm レジスタの内容

ビット位置	ビット名	機能
31～8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	ERC	転送エラーフラグクリア 本ビットに 1 を書き込むことで DMA 転送エラーフラグ（PDMAnDCSTm.ER）をクリアすることができます。読み出すと常に 0 が読み出されます。
6、5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	TCC	転送完了フラグクリア 本ビットに 1 を書き込むことで転送完了フラグ（PDMAnDCSTm.TC）をクリアすることができます。読み出すと常に 0 が読み出されます。
3～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	SRC	ソフトウェア DMA 転送要求フラグクリア 本ビットに 1 を書き込むことでソフトウェア DMA 転送要求フラグ（PDMAnDCSTm.SR）をクリアすることができます。読み出すと常に 0 が読み出されます。

8.9.2.12　PDMAnDTFRm — DTFR 設定レジスタ

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<DMAn_base> + 0430$_H$ + 40$_H$ × チャネル番号 m

（m＝0～31 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2)、m＝0～15 (RH850/F1KM-S1)）

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	REQSEL6	REQSEL5	REQSEL4	REQSEL3	REQSEL2	REQSEL1	REQSEL0	REQEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8.48　PDMAnDTFRm レジスタの内容

ビット位置	ビット名	機能
31～8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7～1	REQSEL[6:0]	ハードウェア DMA 転送要因選択 128 種類のハードウェア DMA 転送要因の中から 1 つをハードウェア DMA 転送要求として選択します。 000_0000：DMACTRG[0]入力を選択 : 111_1111：DMACTRG[127]入力を選択
0	REQEN	ハードウェア DMA 転送要因選択有効 ハードウェア DMA 転送要因選択を有効にします。 0：ハードウェア DMA 転送要因選択無効 1：ハードウェア DMA 転送要因選択有効 本ビットが 0 の場合、PDMAnDTFRm.REQSEL[6:0]ビットで選択したハードウェア DMA 転送要因がアクティブになってもハードウェア DMA 転送要求として認識せずハードウェア DMA 転送要求は発生しません。

8.9.2.13 PDMAnDTFRRQm ― DTFR 転送要求ステータスレジスタ

アクセス 32 ビット単位でリードのみ可能です。

アドレス <DMAn_base> + 0434_H + 40_H × チャネル番号 m

（m＝0〜31 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2)、m＝0〜15 (RH850/F1KM-S1)）

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DRQ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 8.49 PDMAnDTFRRQm レジスタの内容

ビット位置	ビット名	機能
31〜1	予約ビット	リードした場合はリセット後の値が読めます。
0	DRQ	ハードウェア DMA 転送要求状態 ハードウェア DMA 転送要求がある、または保持していることを示します。 ● ハードウェア DMA 転送要求を保持しているかどうかを示します。DMAC から DMA 転送要求受け付け信号がアサートされると自動的にクリアされます。ユーザは PDMAnDTFRRQCm.DRQC ビットに 1 を書き込むことで本ビットをクリアすることができます。 本ビットは外部からのハードウェア DMA 転送要求があると、PDMAnDTFRm.REQEN ビットの状態に関わらず変化します。 0：ハードウェア DMA 転送要求なし 1：ハードウェア DMA 転送要求あり

8.9.2.14　PDMAnDTFRRQCm — DTFR 転送要求クリアレジスタ

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<DMAn_base> + 0438H + 40H × チャネル番号 m

（m＝0～31 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2)、m＝0～15 (RH850/F1KM-S1)）

リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DRQC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 8.50　PDMAnDTFRRQCm レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	DRQC	ハードウェア DMA 転送要求クリア ユーザは本ビットに 1 を書き込むことで PDMAnDTFRRQm.DRQ ビットをクリアすることができます。読み出すと常に 0 が読み出されます。

8.10　DMA トリガ要因選択レジスタ

下記レジスタは、DMA トリガ要因を選択するレジスタです。

8.10.1　DMA トリガ要因選択レジスタアドレス一覧

DMA トリガ要因選択レジスタのアドレスを以下の表に示します。

表 8.51　DMA トリガ要因選択レジスター覧 (RH850/F1KH-D8)

モジュール名	レジスタ名	略号	アドレス
SL_DMAC	TAUD0 DMA トリガ要因選択レジスタ	DTFSEL_TAUD0	FFC0 2000_H
	TAUB0 DMA トリガ要因選択レジスタ	DTFSEL_TAUB0	FFC0 2004_H
	TAUB1 DMA トリガ要因選択レジスタ	DTFSEL_TAUB1	FFC0 2008_H

表 8.52　DMA トリガ要因選択レジスター覧 (RH850/F1KM-S4, RH850/F1KM-S2)

モジュール名	レジスタ名	略号	アドレス
SL_DMAC	TAUD0 DMA トリガ要因選択レジスタ	DTFSEL_TAUD0	FFC0 2000_H
	TAUB0 DMA トリガ要因選択レジスタ	DTFSEL_TAUB0	FFC0 2004_H
	TAUB1 DMA トリガ要因選択レジスタ	DTFSEL_TAUB1	FFC0 2008_H

備考　DTFSEL_TAUB1 は、100/144 pin ではサポートしていません。

表 8.53　DMA トリガ要因選択レジスター覧 (RH850/F1KM-S1)

モジュール名	レジスタ名	略号	アドレス
SL_DMAC	TAUD0 DMA トリガ要因選択レジスタ	DTFSEL_TAUD0	FFC0 2000_H
	TAUB0 DMA トリガ要因選択レジスタ	DTFSEL_TAUB0	FFC0 2004_H

8.10.2 DTFSEL_TAUD0/DTFSEL_TAUB0/DTFSEL_TAUB1 ― DMA トリガ要因選択レジスタ

1 つの DMA トリガ番号に 16～17 個の DMA トリガ要因が割り当てられている場合に、どの DMA トリガ要因を有効にするか選択します。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス DTFSEL_TAUD0：FFC0 2000H

DTFSEL_TAUB0：FFC0 2004H

DTFSEL_TAUB1：FFC0 2008H

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	REQSEL6 注2	REQSEL5[3:0]				REQSEL4[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	REQSEL3[3:0]				REQSEL2[3:0]				REQSEL1[3:0]				REQSEL0[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8.54 DTFSEL_TAUD0/DTFSEL_TAUB0/DTFSEL_TAUB1 レジスタの内容

ビット位置	ビット名	機能
31～25	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
24	REQSEL6 注2	RH850/F1KH-D8： DMA トリガ要因選択 0：TAUB1REQSEL5 1：RSCANFDRF15 RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1： リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
23～20	REQSEL5[3:0]	TAUD0REQSEL5/TAUB0REQSEL5/TAUB1REQSEL5 の DMA トリガ要因選択注1
19～16	REQSEL4[3:0]	TAUD0REQSEL4/TAUB0REQSEL4/TAUB1REQSEL4 の DMA トリガ要因選択注1
15～12	REQSEL3[3:0]	TAUD0REQSEL3/TAUB0REQSEL3/TAUB1REQSEL3 の DMA トリガ要因選択注1
11～8	REQSEL2[3:0]	TAUD0REQSEL2/TAUB0REQSEL2/TAUB1REQSEL2 の DMA トリガ要因選択注1
7～4	REQSEL1[3:0]	TAUD0REQSEL1/TAUB0REQSEL1/TAUB1REQSEL1 の DMA トリガ要因選択注1
3～0	REQSEL0[3:0]	TAUD0REQSEL0/TAUB0REQSEL0/TAUB1REQSEL0 の DMA トリガ要因選択注1

注1. 詳細は、「**表 8.55 TAUD0REQSELj/TAUB0REQSELj/TAUB1REQSELj の DMA トリガ要因選択 (RH850/F1KH-D8)**」、「**表 8.56 TAUD0REQSELj/TAUB0REQSELj/TAUB1REQSELj の DMA トリガ要因選択 (RH850/F1KM-S4, RH850/F1KM-S2)**」、「**表 8.57 TAUD0REQSELj/TAUB0REQSELj の DMA トリガ要因選択 (RH850/F1KM-S1)**」を参照してください。

注2. 本ビットは DTFSEL_TAUB1 のみ対応しています。DTFSEL_TAUD0、DTFSEL_TAUB0 において、書き込む際の値はリセット後の値を書いてください。

備 考

DMA トリガ要因の詳細については、「**8.1.4 DMA トリガ要因**」を参照してください。

表 8.55 TAUD0REQSELj/TAUB0REQSELj/TAUB1REQSELj の DMA トリガ要因選択 (RH850/F1KH-D8)

REQSELj[3:0]	TAUD0REQSELj	TAUB0REQSELj	TAUB1REQSELj
0000_B	INTTAUD0I0	INTTAUB0I0	INTTAUB1I0
0001_B	INTTAUD0I1	INTTAUB0I1	INTTAUB1I1
0010_B	INTTAUD0I2	INTTAUB0I2	INTTAUB1I2
:			
1110_B	INTTAUD0I14	INTTAUB0I14	INTTAUB1I14
1111_B	INTTAUD0I15	INTTAUB0I15	INTTAUB1I15

備考 j=5~0

表 8.56 TAUD0REQSELj/TAUB0REQSELj/TAUB1REQSELj の DMA トリガ要因選択 (RH850/F1KM-S4, RH850/F1KM-S2)

REQSELj[3:0]	TAUD0REQSELj	TAUB0REQSELj	TAUB1REQSELj
0000_B	INTTAUD0I0	INTTAUB0I0	INTTAUB1I0
0001_B	INTTAUD0I1	INTTAUB0I1	INTTAUB1I1
0010_B	INTTAUD0I2	INTTAUB0I2	INTTAUB1I2
:			
1110_B	INTTAUD0I14	INTTAUB0I14	INTTAUB1I14
1111_B	INTTAUD0I15	INTTAUB0I15	INTTAUB1I15

備考 j=5~0

表 8.57 TAUD0REQSELj/TAUB0REQSELj の DMA トリガ要因選択 (RH850/F1KM-S1)

REQSELj[3:0]	TAUD0REQSELj	TAUB0REQSELj
0000_B	INTTAUD0I0	INTTAUB0I0
0001_B	INTTAUD0I1	INTTAUB0I1
0010_B	INTTAUD0I2	INTTAUB0I2
:		
1110_B	INTTAUD0I14	INTTAUB0I14
1111_B	INTTAUD0I15	INTTAUB0I15

備考 j=5~0

注 意

DTFSEL_TAUD0/DTFSEL_TAUB0/DTFSEL_TAUB1 で各割り込み要因を設定してから、対応する各周辺機能の動作を許可してください。

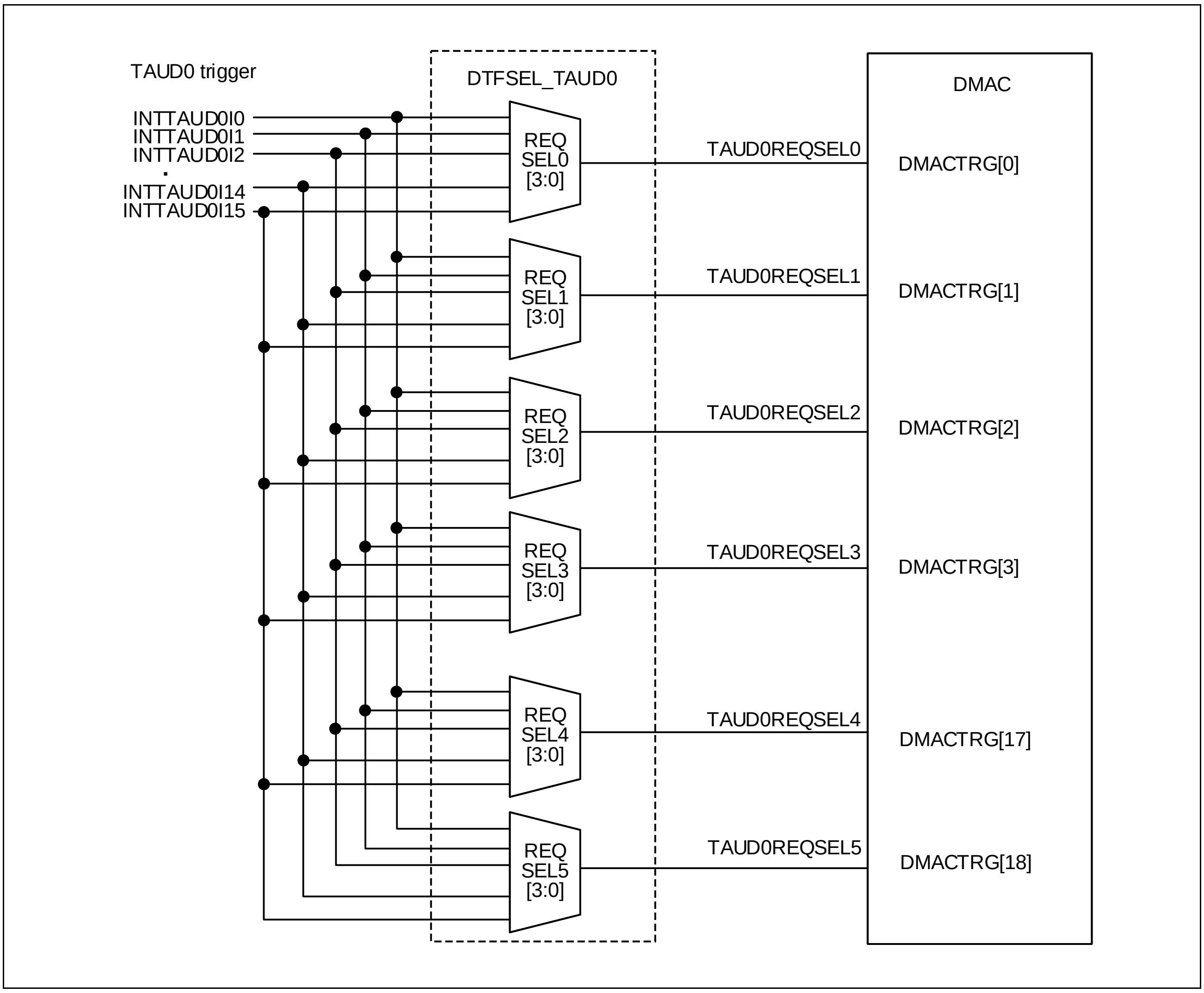


図 8.10　DTFSEL_TAUD0 の構成図

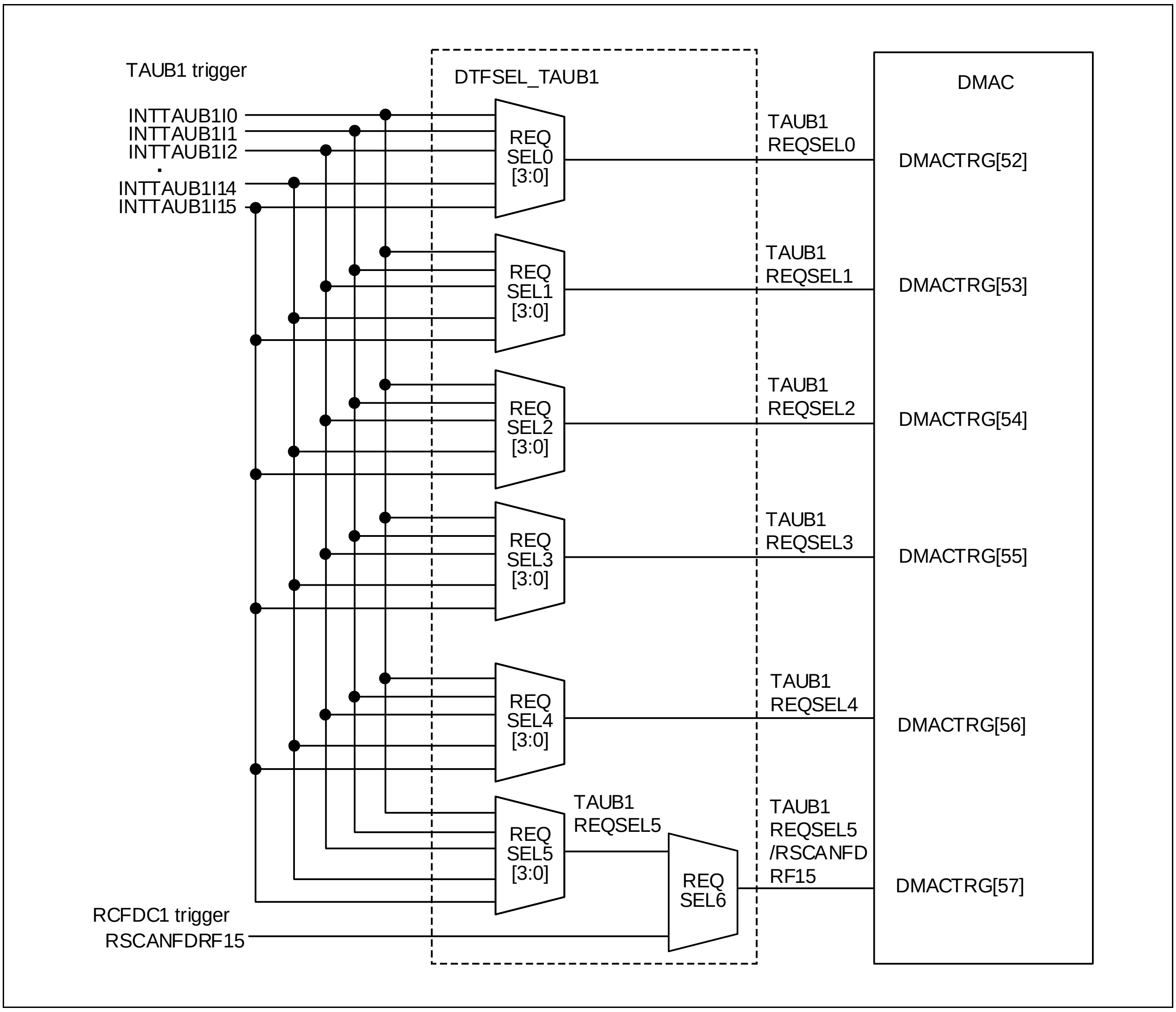


図 8.11　DTFSEL_TAUB1 の構成図 (RH850/F1KH-D8)

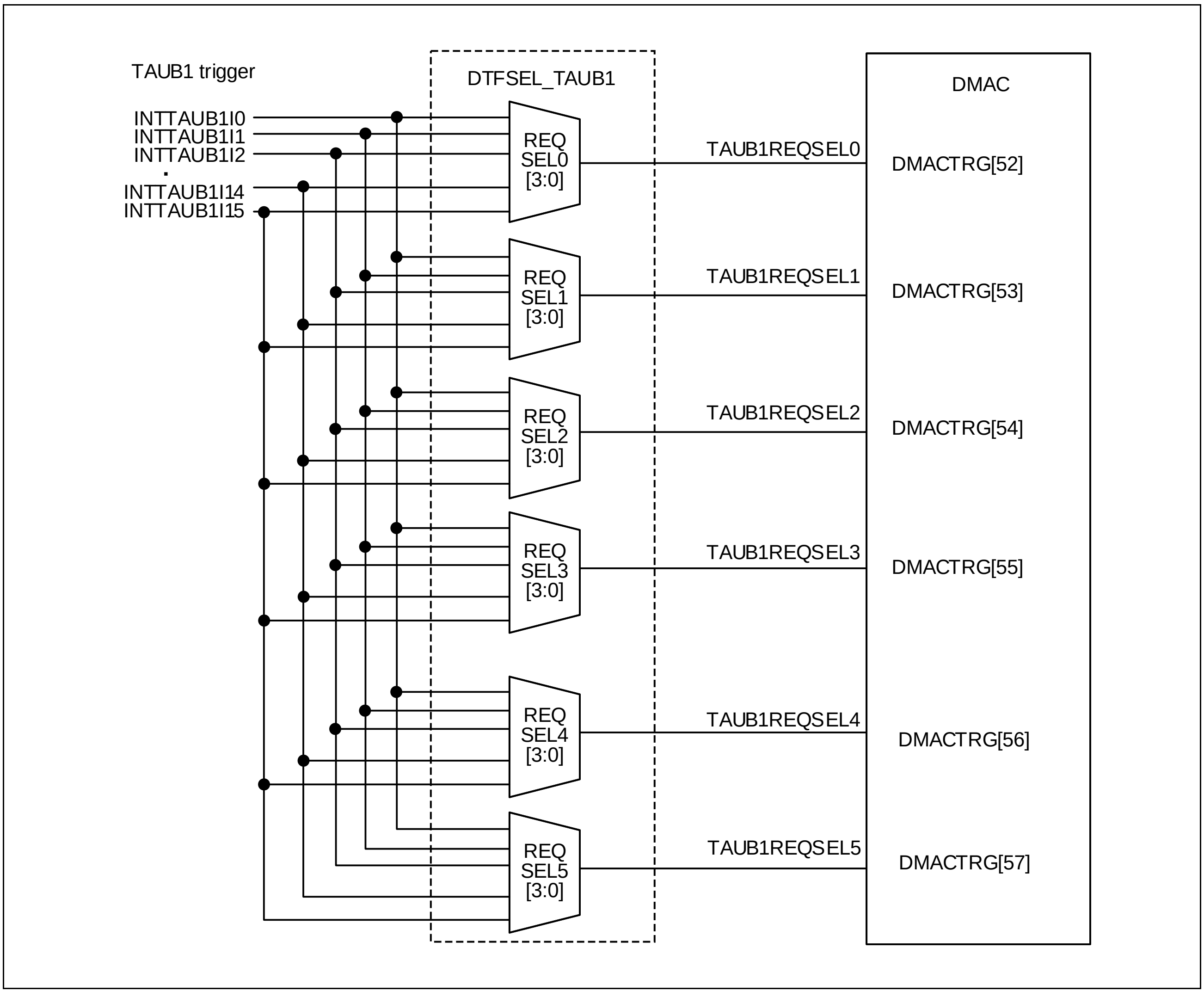


図 8.12　DTFSEL_TAUB1 の構成図 (RH850/F1KM-S4, RH850/F1KM-S2)

第9A章　RH850/F1KH-D8 のリセット

9A.1　概要

CPU コアや周辺機能およびそれに付随するレジスタを初期化するため、複数のシステムリセット機能が用意されています。

次の要因によってリセットが起こります。

表 9A.1　　リセット要因およびリセット対象

リセット要因	略号	RH850/F1KH-D8
外部リセット	$\overline{\text{RESET}}$	○
パワーオンクリア	POCRES	○
ウォッチドッグタイマリセット	WDTA0RES	○
	WDTA1RES	○
	WDTA2RES	○
クロックモニタリセット	$\overline{\text{CLMA0RES}}$	○
	$\overline{\text{CLMA1RES}}$	○
	$\overline{\text{CLMA2RES}}$	○
	$\overline{\text{CLMA3RES}}$	○
低電圧検出リセット	$\overline{\text{LVIRES}}$	○
ソフトウェアリセット	SWRES	○
デバッガリセット	$\overline{\text{DBRES}}$	○
コアボルテージモニタリセット	$\overline{\text{CVMRES}}$	○
DeepSTOP モードによるリセット		○

9A.1.1 リセット要因

リセットレベルとリセット要因を次に示します。

異なる階層のリセットレベルに各種リセット要因が割り当てられています。

表 9A.2 リセット要因およびリセット対象

リセットレベル	リセット要因	クロックジェネレータ（PLL を除く）／リアルタイムクロック／CVM／LVI	Always-On エリア（AWO エリア）モジュール[注1]	Isolated エリア（ISO エリア）モジュール[注2]
1	パワーオンクリア（POCRES） デバッガリセット（ $\overline{\text{DBRES}}$ ）	リセット	リセット	リセット
2	外部リセット（ $\overline{\text{RESET}}$ ） ウォッチドッグタイマリセット（WDTA0RES, WDTA1RES, WDTA2RES） クロックモニタリセット（ $\overline{\text{CLMA0RES}}$, $\overline{\text{CLMA1RES}}$, $\overline{\text{CLMA2RES}}$, $\overline{\text{CLMA3RES}}$ ） コアボルテージモニタリセット（ $\overline{\text{CVMRES}}$ ） 低電圧検出リセット（ $\overline{\text{LVIRES}}$ ） ソフトウェアリセット（SWRES）	リセット非対象[注3]	リセット	リセット
3	DeepSTOP モードによるリセット	リセット非対象	リセット非対象	リセット

注1. クロックジェネレータ／リアルタイムクロック／CVM／LVI を除きます。

注2. PLL を含みます。

注3. クロックモニタリセットでは、クロックモニタ対象の発振回路関連レジスタが初期化されます。

リセットレベル 1 :マイクロコントローラ全体を初期化します。

リセットレベル 2 :発振器の発振安定時間をなくしたノーマル動作モードへの迅速な復帰のために、クロックジェネレータ、リアルタイムクロックを除いたマイクロコントローラ全領域を初期化します。

リセットレベル 3 :DeepSTOP モードにより、全 Isolated エリア（ISO エリア）を初期化します。

各リセットが発生すると、ローカル RAM データとグローバル RAM データの保持は保証されません。

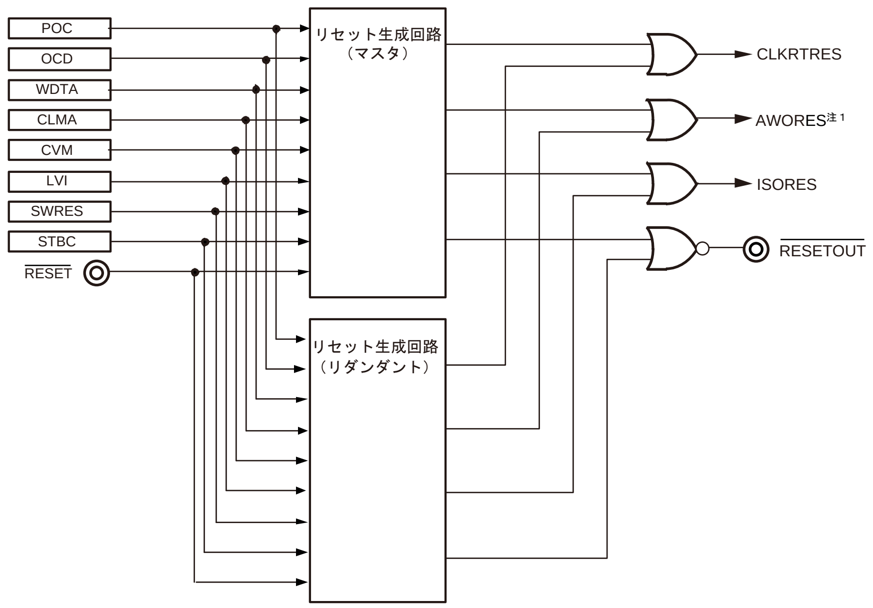
各リセットが発生すると、電源電圧（REG0VCC）が RAM 保持電圧（VVLVI）を下回らない限り、リテンション RAM データは保持することができます。

リテンション RAM アドレスに書き込み中に、リセットが発生すると、リテンション RAM のデータ値は、書き込み前または書き込み後の値になります。

9A.1.2 リセットコントローラの冗長性

本マイクロコントローラのリセットコントローラは冗長構成をとっており、二重化されたリセット生成回路を搭載しています。これにより、片方のリセット生成回路が故障してもリセット対象領域の初期化を確実に実行できます。

リセットコントローラの構成図について次に示します。



注1. リアルタイムクロック除く

図 9A.1　　リセットコントローラの冗長性

各リセット要因発生時、2 つのリセット生成回路に同一のリセット要因信号が入力されます。

2 つのリセット生成回路は各要因に応じて、Always-On エリア（AWO エリア）リセット信号（AWORES）、Isolated エリア（ISO エリア）リセット信号（ISORES）、クロックジェネレータ／リアルタイムクロックリセット信号（CLKRTRES）および $\overline{\text{RESETOUT}}$ 信号を出力します。

2 つのリセット生成回路から出力された信号を論理和（OR）をとり、AWORES 信号、ISORES 信号、CLKRTRES 信号および $\overline{\text{RESETOUT}}$ 信号を生成することにより、片方のリセット生成回路が故障した場合でも正常にリセット信号を発生します。

各リセット生成回路のリセット要因レジスタを読み出し、データを比較することにより、リセット生成回路が正常に動作しているかを確認することが可能です。

9A.1.3　リセット出力（$\overline{\text{RESETOUT}}$）

リセットレベル 1 または 2 のリセット要因が発生した場合、リセット出力（$\overline{\text{RESETOUT}}$）が外部に出力されます。リセット出力は、マイクロコントローラ内部のリセット生成と同時に外部デバイスをリセットするために使用できます。

詳しくは、「**2A.11.1.1　P8_6：$\overline{\text{RESETOUT}}$**」を参照してください。

9A.1.4　リセットフラグ

リセット要因を識別するため、リセット要因ごとのフラグを持つレジスタが 2 つ用意されています。リセットコントローラの主な構成要素を「**図 9A.2　リセットコントローラのブロック図**」に示します。

9A.1.5　クロック供給

リセットコントローラのクロック供給を以下の表に示します。

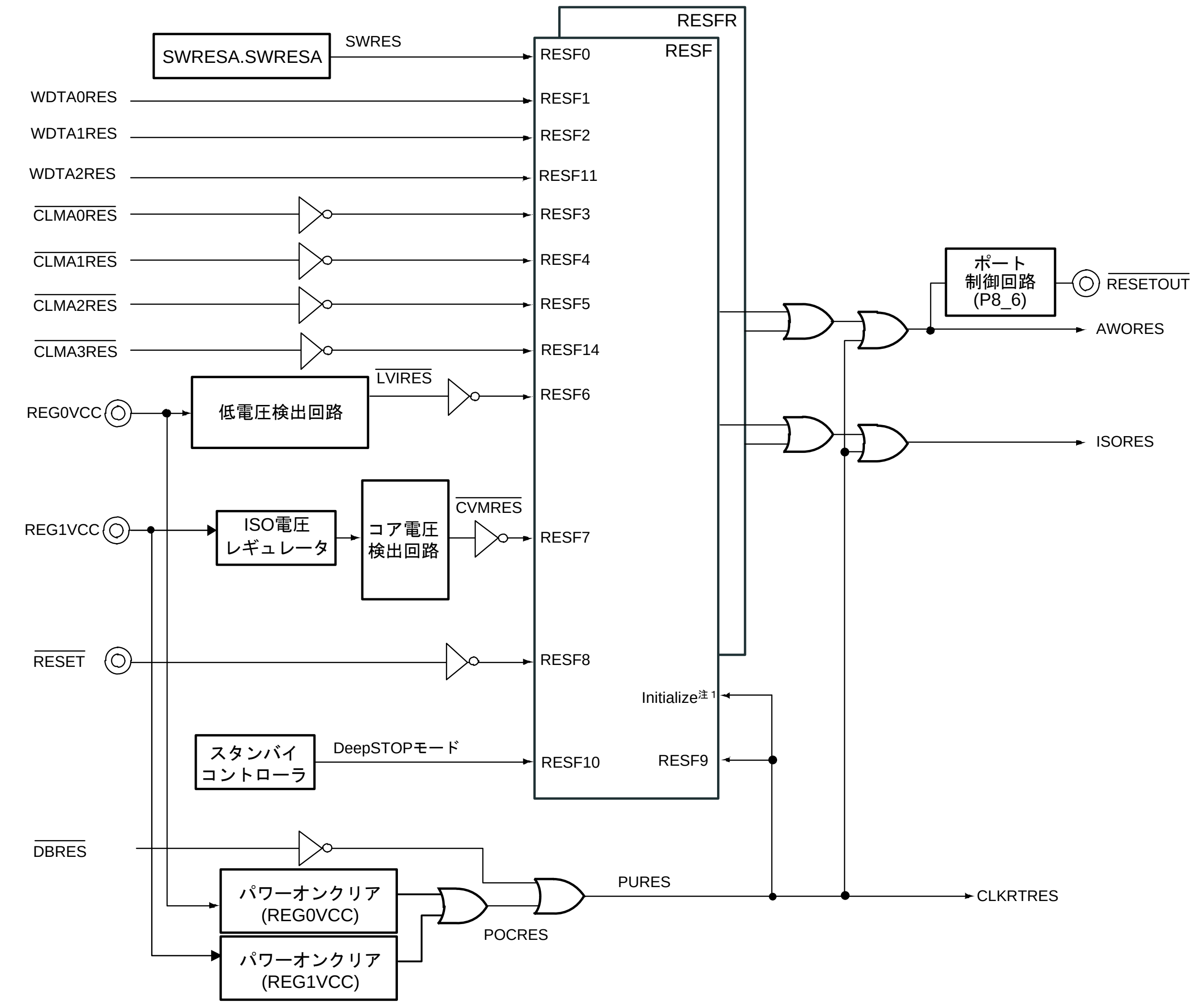
表 9A.3　クロック供給

ユニット名	ユニットクロック名	供給クロック名
リセット	レジスタアクセスクロック	CPUCLK_UL

9A.2　構成

9A.2.1　ブロック図

リセットコントローラのブロック図を次に示します。



注1.　RESF, RESFR レジスタは PURES によって初期化されます。
　　　初期化後、RESF9, RESFR9 ビットはセット“1”されます。

図 9A.2　　リセットコントローラのブロック図

(1) リセット信号

リセットコントローラは、各種リセット要因からのリセット信号に対して、次の 3 種類のリセット信号の発生を制御します。

- Always-On エリア（AWO エリア）リセット（AWORES）

  AWORES は DeepSTOP モード遷移時を除くすべてのリセット要因によって発生します。
  AWORES はクロック発生回路、リアルタイムクロック、コアボルテージモニタおよび低電圧検出回路を除く AWO エリアのモジュールすべてをリセットします。

- Isolated エリア（ISO エリア）リセット（ISORES）

  ISORES はすべてのリセット要因によって発生します。
  ISORES は Isolated エリア（ISO エリア）のモジュールすべてをリセットします（PLL を含む）。

- CLKRTRES

  CLKRTRES はパワーオンクリアおよびデバッガリセット要因によって発生します。
  CLKRTRES はクロック発生回路（PLL を除く）およびリアルタイムクロックをリセットします。

パワーアップリセット（PURES）は、パワーオンクリアおよびデバッガリセット要因によって発生します。

AWORES 発生時はそれまでに動作していた PLL を除くクロック発生回路（LS IntOSC、HS IntOSC、MainOSC、SubOSC）は、動作を継続します。また、 $\overline{\text{CLMA0RES}}$ 発生時は CLMA0 監視対象の HS IntOSC がリセットされ、 $\overline{\text{CLMA1RES}}$ 発生時は CLMA1 監視対象の MainOSC がリセットされます。

PURES によりクロック発生回路は初期化されます。リセットから復帰した後にクロック発生回路を再起動してください。

CPU サブシステムに対する Isolated エリア（ISO エリア）リセット（ISORES）を CPU リセットとします。

(2) リセットフラグ

リセット要因レジスタ（RESF）、リダンダントリセット要因レジスタ（RESFR）は各リセット要因のフラグを保持します。あるリセット要因がアクティブになると、対応するフラグがセットされます。

リセットフラグは、RESF9, RESFR9 を除いてパワーアップリセット（PURES）で初期化されます（RESF9, RESFR9 ビットは、初期化後セット“1”されます）。また、ソフトウェアによって全ビットをクリアできます。

詳細は「**9A.1.4 リセットフラグ**」を参照してください。

(3) 内蔵モジュールリセット

(a) ウォッチドッグタイマリセット

ウォッチドッグタイマは WDTA0RES, WDTA1RES, WDTA2RES の 3 つのリセットを発生させることができます。

詳細は「**9A.4.6 ウォッチドッグタイマ（WDTA）リセット**」を参照してください。

(b) クロックモニタリセット

クロックモニタは $\overline{\text{CLMA0RES}}$, $\overline{\text{CLMA1RES}}$, $\overline{\text{CLMA2RES}}$, $\overline{\text{CLMA3RES}}$ の 4 種類のリセットを発生させることができます。

詳細は「**9A.4.8 クロックモニタ（CLMA）リセット**」を参照してください。

(c) デバッガリセット

デバッガからのコマンドによりリセットが発生します。このリセット発生にともない、パワーアップリセット PURES が発生します。詳細は、「**9A.4.9 デバッガリセット**」を参照してください。

(4) ソフトウェアコントロールリセット（SWRES）

SWRES ソフトウェアリセットはソフトウェアリセットレジスタ SWRESA を設定して発生させることができます。

詳細は「**9A.4.7 ソフトウェアリセット**」を参照してください。

(5) リセット出力信号

リセット中およびリセット解除後、P8_6 端子は $\overline{\mathrm{RESETOUT}}$ 機能としてロウレベルを出力します。詳細は「**2A.11.1.1 P8_6： $\overline{\mathrm{RESETOUT}}$** 」を参照してください。

(6) 電源監視

以下の電源検出によって外部電源 REG0VCC, REG1VCC とコア電圧のレベルを監視します。

(a) 低電圧検出

低電圧検出回路 LVI は、REG0VCC の電圧レベルがある特定のレベルを下回った場合、 $\overline{\mathrm{LVIRES}}$ リセットを発生させます。電圧レベルは調整可能で、また $\overline{\mathrm{LVIRES}}$ はマスクすることができます。

詳細は「**9A.4.3 低電圧検出回路（LVI）リセット**」を参照してください。

(b) パワーオンクリア

パワーオンクリア回路（POC）は電源電圧 REG0VCC, REG1VCC と内蔵基準電圧を常に比較しています。これにより、電源電圧が特定のレベル以下の場合にリセットを発生させます。

詳細は「**9A.4.2 パワーオンクリア（POC）リセット**」を参照してください。

(c) コア電圧検出

CVM がコア電圧の異常を検出した時にリセットを発生することができます（オプションバイトで出力／未出力を設定できます）。

詳細は「**9A.4.4 コアボルテージモニタ（CVM）リセット**」を参照してください。

(7) デバッグモード時のリセット要因のマスク

デバッグ中は以下のリセット要因をマスクすることが可能です。

表 9A.4　　デバッグ中のマスク可能なリセット要因

リセット要因	マスクの可／不可
パワーオンクリア（POCRES）	×
デバッガリセット（ $\overline{\mathrm{DBRES}}$ ）	×
外部リセット（ $\overline{\mathrm{RESET}}$ ）	○
低電圧検出リセット（ $\overline{\mathrm{LVIRES}}$ ）	○
クロックモニタリセット（ $\overline{\mathrm{CLMA0RES}}$, $\overline{\mathrm{CLMA1RES}}$, $\overline{\mathrm{CLMA2RES}}$, $\overline{\mathrm{CLMA3RES}}$ ）	○
ウォッチドッグタイマリセット（WDTA0RES, WDTA1RES, WDTA2RES）	○
コアボルテージモニタリセット（ $\overline{\mathrm{CVMRES}}$ ）	○
ソフトウェアリセット（SWRES）	○
DeepSTOP モードによるリセット	×

9A.3　レジスタ

この節では、リセットコントローラのすべてのレジスタについて説明します。

9A.3.1　リセットコントローラレジスタ概要

リセットコントローラは、次のレジスタで制御、動作します。

表 9A.5　リセットコントローラレジスタ概要

モジュール名	レジスタ名	略号	アドレス
RESCTL	リセットフラグレジスタ		
	リセット要因レジスタ	RESF	FFF8 0760$_H$
	リセット要因クリアレジスタ	RESFC	FFF8 0768$_H$
	リダンダントリセット要因レジスタ	RESFR	FFF8 0860$_H$
	リダンダントリセット要因クリアレジスタ	RESFCR	FFF8 0868$_H$
	ソフトウェアリセット制御レジスタ		
	ソフトウェアリセットレジスタ	SWRESA	FFF8 0A04$_H$

備　考

1. LVI 関連、RAM 保持関連、CVM 関連レジスタについては「**第 11A 章　電源電圧モニタ (RH850/F1KH-D8)**」を参照してください。
2. 保護レジスタについては「**第 5 章　書き込み保護レジスタ**」を参照してください。

9A.3.2　リセットフラグレジスタの詳細

9A.3.2.1　RESF ― リセット要因レジスタ

前回のパワーオンクリアリセット後に発生したリセットの種類を保持しています。また、このレジスタはパワーアップリセット PURES によって初期化されます。

各リセット条件に応じて、このレジスタ内の対応するフラグがセットされます。

たとえば、ウォッチドッグタイマリセット WDTA0RES が発生したのちにクロックモニタリセット CLMA0RES が発生した場合、このレジスタの読み出し値は 0000 $000A_H$ になります。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 0760_H

リセット後の値　0000 0200_H / 0000 0300_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	RESF 14	—	—	RESF 11	RESF 10	RESF9	RESF8	RESF7	RESF6	RESF5	RESF4	RESF3	RESF2	RESF1	RESF0
リセット後の値	0	0	0	0	0	0	1	1/0 注1	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注1.　詳細は「**図 9A.4 Flash シーケンス完了前に $\overline{\text{RESET}}$ が解除された場合**」を参照してください。

表 9A.6　　RESF レジスタの内容

ビット位置	ビット名	機能
31～15	予約ビット	リードした場合はリセット後の値が読めます。
14	RESF14	CLMA3 リセットフラグ 0：リセットが発生していない 1：リセットが発生した
13、12	予約ビット	リードした場合はリセット後の値が読めます。
11	RESF11	WDTA2 リセットフラグ 0：リセットが発生していない 1：リセットが発生した
10	RESF10	DeepSTOP モードによるリセットフラグ 0：リセットが発生していない 1：リセットが発生した
9	RESF9	パワーアップリセットフラグ 0：リセットが発生していない 1：リセットが発生した
8	RESF8	外部リセットフラグ 0：リセットが発生していない 1：リセットが発生した
7	RESF7	CVM リセットフラグ 0：リセットが発生していない 1：リセットが発生した

表 9A.6　　RESF レジスタの内容

ビット位置	ビット名	機能
6	RESF6	LVI リセットフラグ 0：リセットが発生していない 1：リセットが発生した
5	RESF5	CLMA2 リセットフラグ 0：リセットが発生していない 1：リセットが発生した
4	RESF4	CLMA1 リセットフラグ 0：リセットが発生していない 1：リセットが発生した
3	RESF3	CLMA0 リセットフラグ 0：リセットが発生していない 1：リセットが発生した
2	RESF2	WDTA1 リセットフラグ 0：リセットが発生していない 1：リセットが発生した
1	RESF1	WDTA0 リセットフラグ 0：リセットが発生していない 1：リセットが発生した
0	RESF0	ソフトウェアリセットフラグ 0：リセットが発生していない 1：リセットが発生した

9A.3.2.2　RESFC ― リセット要因クリアレジスタ

RESF レジスタのリセットフラグをクリアします。

アクセス　32 ビット単位でライトのみ可能です。

アドレス　FFF8 0768_H

リセット後の値　不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	RESFC 14	—	—	—	RESFC 10	RESFC 9	RESFC 8	RESFC 7	RESFC 6	RESFC 5	RESFC 4	RESFC 3	RESFC 2	RESFC 1	RESFC 0
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	W	R	R	R	W	W	W	W	W	W	W	W	W	W	W

表 9A.7　　RESFC レジスタの内容

ビット位置	ビット名	機能
31～15	予約ビット	ライトする場合は“0”を書いてください。
14	RESFC14	CLMA3 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
13～11	予約ビット	ライトする場合は“0”を書いてください。
10	RESFC10	DeepSTOP モードによるリセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
9	RESFC9	パワーアップリセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
8	RESFC8	外部リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
7	RESFC7	CVM リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
6	RESFC6	LVI リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
5	RESFC5	CLMA2 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
4	RESFC4	CLMA1 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする

表 9A.7　　RESFC レジスタの内容

ビット位置	ビット名	機能
3	RESFC3	CLMA0 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
2	RESFC2	WDTA1 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
1	RESFC1	WDTA0 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
0	RESFC0	ソフトウェアリセットフラグクリア 0：フラグクリアしない 1：フラグクリアする

9A.3.2.3　RESFR — リダンダントリセット要因レジスタ

リセット要因レジスタを 2 重化したものです。このレジスタはパワーアップリセット PURES によって初期化されます。

リセット要因レジスタの各ビットのセット条件に応じて同じビットがセットされます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 0860_H

リセット後の値　0000 0200_H / 0000 0300_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	RESFR 14	—	—	—	RESFR 10	RESFR 9	RESFR 8	RESFR 7	RESFR 6	RESFR 5	RESFR 4	RESFR 3	RESFR 2	RESFR 1	RESFR 0
リセット後の値	0	0	0	0	0	0	1	1/0 注1	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注1.　**詳細は「図 9A.4 Flash シーケンス完了前に $\overline{\text{RESET}}$ が解除された場合」**を参照してください。

表 9A.8　　RESFR レジスタの内容

ビット位置	ビット名	機能
31～15	予約ビット	リードした場合はリセット後の値が読めます。
14	RESFR14	CLMA3 リセットフラグ 0：リセットが発生していない 1：リセットが発生した
13～11	予約ビット	リードした場合はリセット後の値が読めます。
10	RESFR10	DeepSTOP モードによるリセットフラグ 0：リセットが発生していない 1：リセットが発生した
9	RESFR9	パワーアップリセットフラグ 0：リセットが発生していない 1：リセットが発生した
8	RESFR8	外部リセットフラグ 0：リセットが発生していない 1：リセットが発生した
7	RESFR7	CVM リセットフラグ 0：リセットが発生していない 1：リセットが発生した
6	RESFR6	LVI リセットフラグ 0：リセットが発生していない 1：リセットが発生した

表 9A.8　　RESFR レジスタの内容

ビット位置	ビット名	機能
5	RESFR5	CLMA2 リセットフラグ 0：リセットが発生していない 1：リセットが発生した
4	RESFR4	CLMA1 リセットフラグ 0：リセットが発生していない 1：リセットが発生した
3	RESFR3	CLMA0 リセットフラグ 0：リセットが発生していない 1：リセットが発生した
2	RESFR2	WDTA1 リセットフラグ 0：リセットが発生していない 1：リセットが発生した
1	RESFR1	WDTA0 リセットフラグ 0：リセットが発生していない 1：リセットが発生した
0	RESFR0	ソフトウェアリセットフラグ 0：リセットが発生していない 1：リセットが発生した

9A.3.2.4 RESFCR ― リダンダントリセット要因クリアレジスタ

RESFR レジスタのリセットフラグをクリアします。

アクセス　32 ビット単位でライトのみ可能です。

アドレス　FFF8 0868H

リセット後の値　不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	RESFCR14	—	—	—	RESFCR10	RESFCR9	RESFCR8	RESFCR7	RESFCR6	RESFCR5	RESFCR4	RESFCR3	RESFCR2	RESFCR1	RESFCR0
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	W	R	R	R	W	W	W	W	W	W	W	W	W	W	W

表 9A.9　RESFCR レジスタの内容

ビット位置	ビット名	機能
31～15	予約ビット	ライトする場合は “0” を書いてください。
14	RESFCR14	CLMA3 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
13～11	予約ビット	ライトする場合は “0” を書いてください。
10	RESFCR10	DeepSTOP モードによるリセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
9	RESFCR9	パワーアップリセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
8	RESFCR8	外部リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
7	RESFCR7	CVM リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
6	RESFCR6	LVI リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
5	RESFCR5	CLMA2 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする

表 9A.9　　RESFCR レジスタの内容

ビット位置	ビット名	機能
4	RESFCR4	CLMA1 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
3	RESFCR3	CLMA0 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
2	RESFCR2	WDTA1 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
1	RESFCR1	WDTA0 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
0	RESFCR0	ソフトウェアリセットフラグクリア 0：フラグクリアしない 1：フラグクリアする

9A.3.3　ソフトウェアリセット制御レジスタの詳細

9A.3.3.1　SWRESA — ソフトウェアリセットレジスタ

ソフトウェアリセット SWRES を発生させます。このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。

詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

アクセス	32 ビット単位でライトのみ可能です。
アドレス	FFF8 0A04$_H$
リセット後の値	不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SWRESA
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 9A.10　SWRESA レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	ライトする場合は “0” を書いてください。
0	SWRESA	ソフトウェアリセットトリガ 0：発生しない 1：発生する

9A.4 機能説明

9A.4.1 リセットフラグ

リセット要因レジスタ（RESF）、リダンダントリセット要因レジスタ（RESFR）は、各リセット要因に対するリセットフラグを提供します。

リセットが発生すると、対応するフラグがセットされます。これにより、リセット要因を判断することができます。

RESF, RESFR は、パワーアップリセット PURES（POCRES または $\overline{\text{DBRES}}$ ）によって初期化されます（RESF9, RESFR9 ビットは初期化後セット“1”されます）。また、RESF, RESFR 内の各フラグはリセット要因クリアレジスタ（RESFC）、リダンダントリセット要因クリアレジスタ（RESFCR）を用いてクリアすることができます。

各リセット要因は、ほかのリセット要因とは独立して、対応するフラグのみをセットします。

9A.4.2 パワーオンクリア（POC）リセット

パワーオンクリア回路（POC）は、電源電圧 REG0VCC, REG1VCC と内蔵基準電圧 VPOC を常に比較しています。これにより、電源電圧が特定のレベルを超えている場合にかぎって、マイクロコントローラが動作するようにしています。

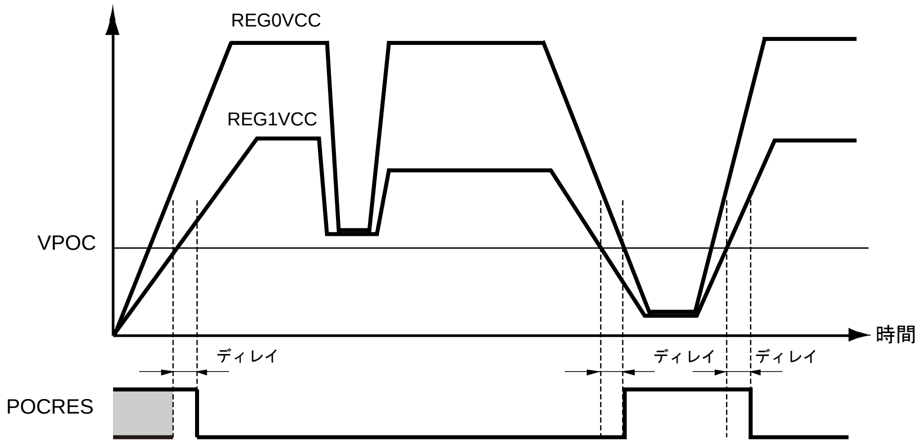
REG0VCC または REG1VCC が内蔵基準電圧を下回った場合（REG0VCC＜VPOC または REG1VCC＜VPOC）、内蔵リセット信号 POCRES およびパワーアップリセット PURES が発生します。

内蔵基準電圧レベル VPOC の仕様についての詳細は、「**第 47A 章 RH850/F1KH-D8 の電気的特性**」を参照してください。

パワーオンクリアリセットによって、リセット要因レジスタ（RESF）、リダンダントリセット要因レジスタ（RESFR）がクリアされます。RESF9, RESFR9 は初期化後セット“1”されます。

パワーオンクリア機能は、電源電圧がしきい値レベル VPOC を超えないかぎり、マイクロコントローラのリセット状態を保持します。

POCRES のタイミングを次の図に示します。

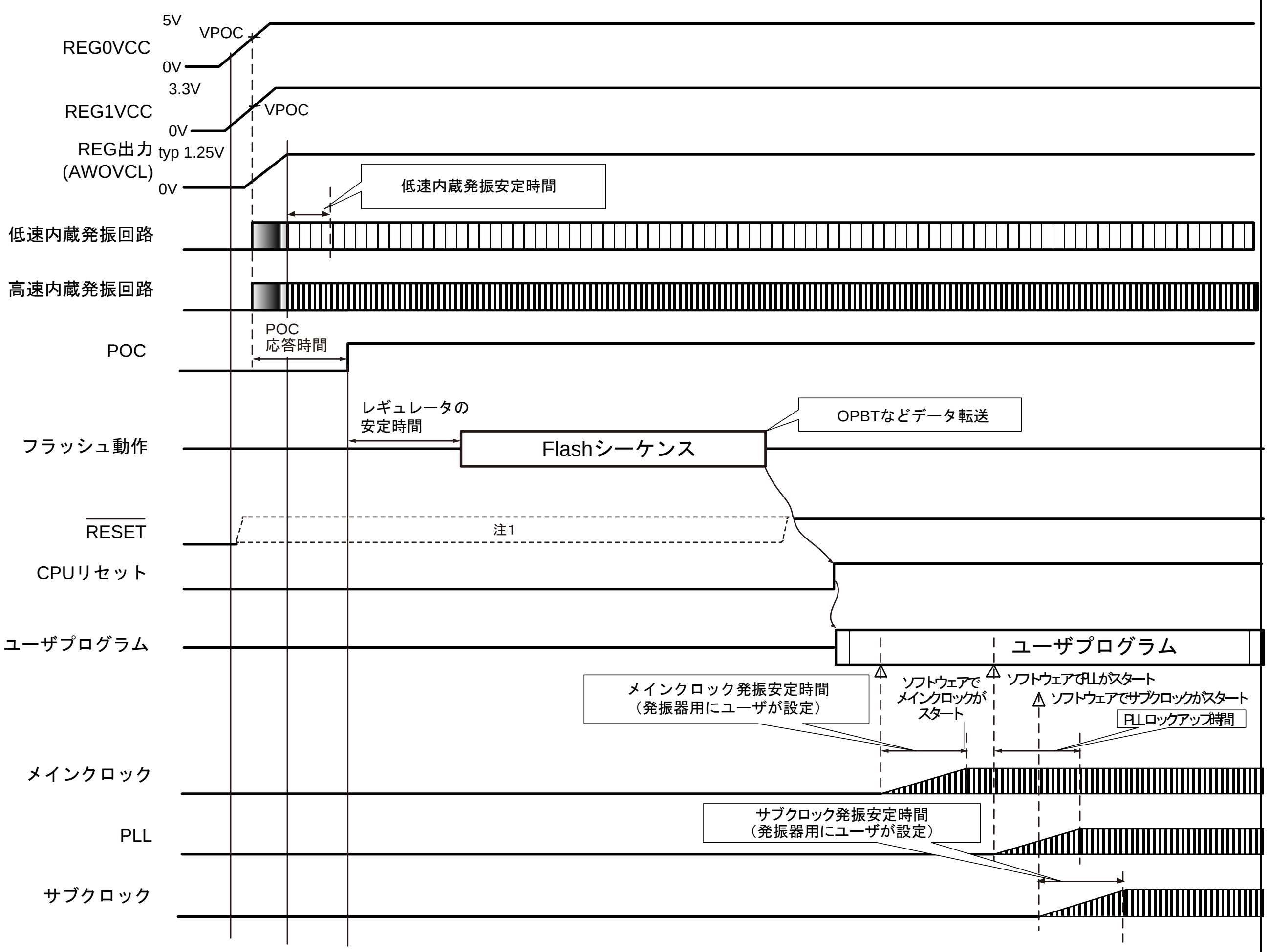


備考　ディレイ：

REG0VCC および REG1VCC が VPOC を上回った時、遅延時間の後に POCRES が解除されます。REG0VCC および REG1VCC が VPOC を下回った時、遅延時間の後に POCRES が発生します。
遅延時間については、「**第 47A 章　RH850/F1KH-D8 の電気的特性**」を参照してください。

図 9A.3　　POC リセットタイミング

(1) パワーオンクリア後の CPU システム起動概略



注1.　RESET 端子解除のタイミングはマイコンの外部回路によります。

RESET 端子がロウレベルの場合、RESF.RESF8／RESFR.RESFR8 ビット双方のリセット後の値は 1 になります。ハイレベルの場合、RESF.RESF8／RESFR.RESFR8 ビット双方のリセット後の値は 0 になります。

図 9A.4　　Flash シーケンス完了前に RESET が解除された場合

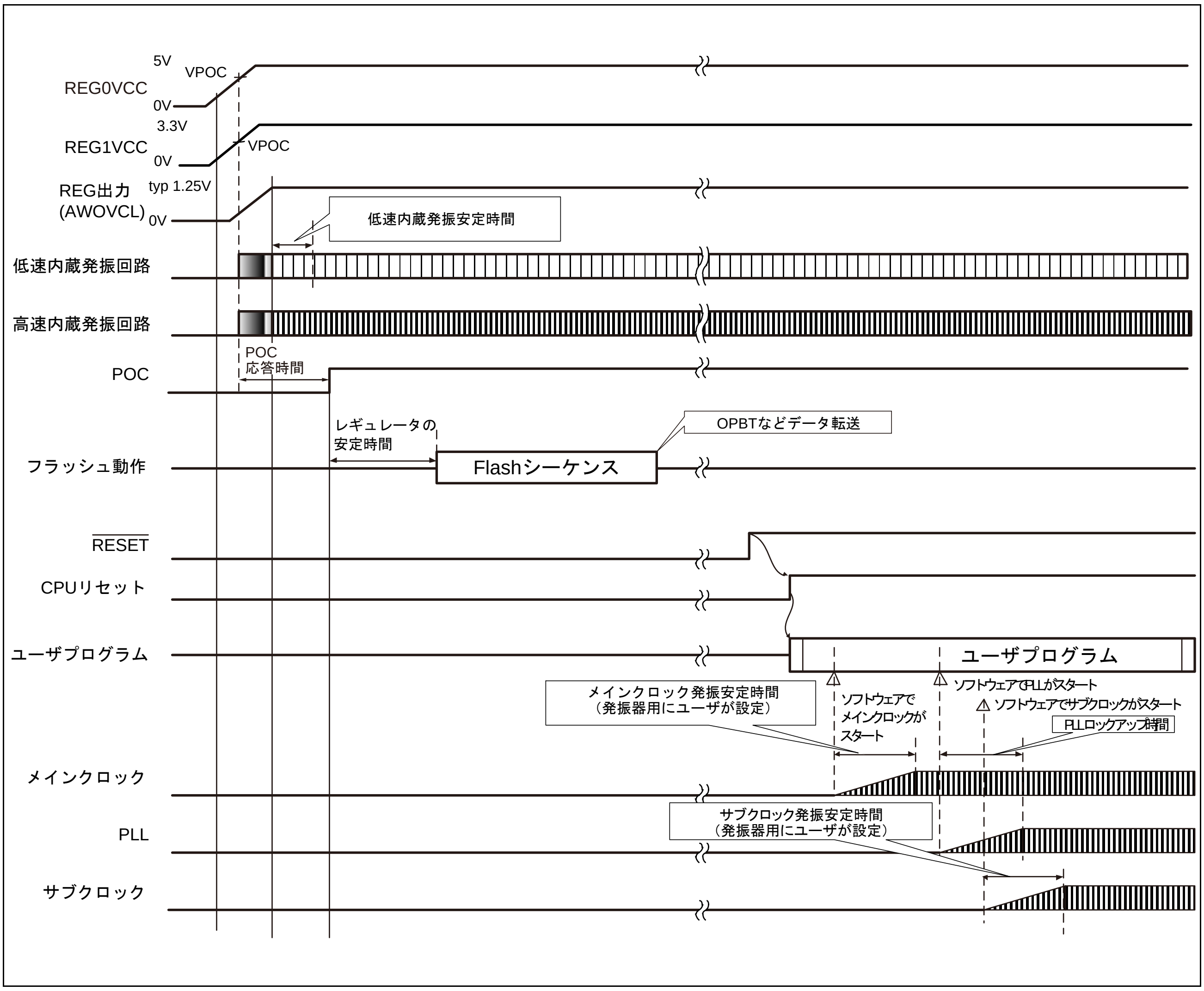


図 9A.5　　Flash シーケンス完了後に RESET が解除された場合

9A.4.3　低電圧検出回路（LVI）リセット

低電圧検出回路（LVI）は、電源電圧 REG0VCC と LVI 内蔵基準電圧 VLVIn を常に比較しています。

LVI の検出電圧設定および LVIRESMK を解除した時に REG0VCC が内蔵基準電圧を下回った場合（REG0VCC＜VLVIn）、内蔵リセット信号 $\overline{\text{LVIRES}}$ が発生します。

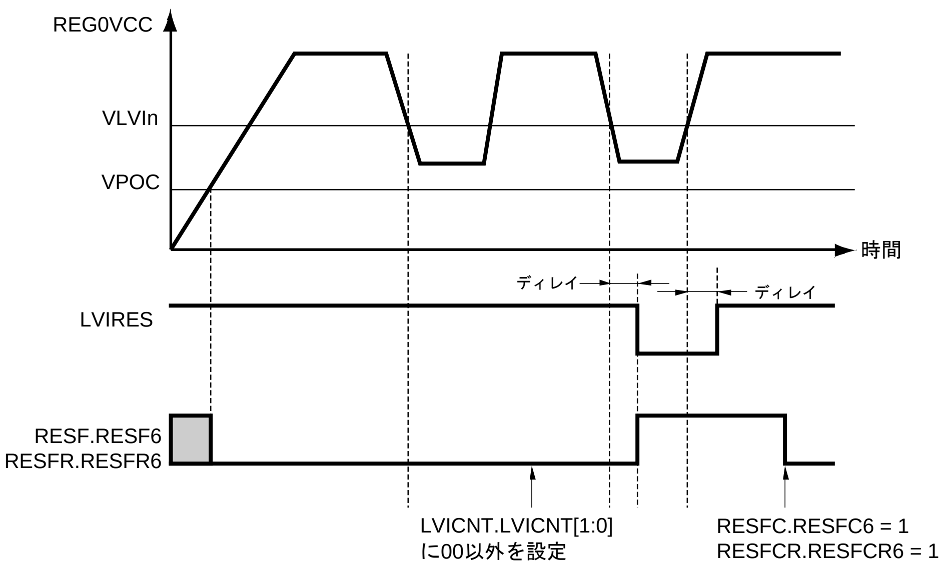
さらに、$\overline{\text{LVIRES}}$ フラグ（RESF.RESF6, RESFR.RESFR6 ビット）がセットされます。

その後、REG0VCC が VLVIn を上回っても RESF.RESF6, RESFR.RESFR6 ビットは自動的にクリアされません。RESF.RESF6, RESFR.RESFR6 ビットは以下によってクリアされます。

- RESFC.RESFC6 ビットを 1 に設定することにより、RESF.RESF6 ビットをクリア
  RESFCR.RESFCR6 ビットを 1 に設定することにより、RESFR.RESFR6 ビットをクリア
- パワーアップリセット PURES（POCRES または $\overline{\text{DBRES}}$）

LVI 機能の詳細については「**第 11A 章　電源電圧モニタ（RH850/F1KH-D8)**」を参照してください。

$\overline{\text{LVIRES}}$ と RESF.RESF6, RESFR.RESFR6 ビットのタイミングを次の図に示します。



備考　ディレイ：
REG0VCC が VLVIn レベルを下回ったとき、遅延時間後に $\overline{\text{LVIRES}}$ が発生し、VLVIn リセットフラグ（RESF.RESF6, RESFR.RESFR6）がセットされます。その後、REG0VCC が VLVIn レベルを上回ったときに、遅延時間後に $\overline{\text{LVIRES}}$ が解除されます。
遅延時間については、「**第 47A 章　RH850/F1KH-D8 の電気的特性**」を参照してください。

図 9A.6　　LVI リセットタイミング

9A.4.4 コアボルテージモニタ（CVM）リセット

コアボルテージモニタは、マイクロコントローラ内のコア電圧を監視するために使用されます。

CVM 許可時にコア電圧が規定の電圧範囲外になるとリセット $\overline{\text{CVMRES}}$ が発生します。また、 $\overline{\text{CVMRES}}$ フラグ（RESF.RESF7, RESFR.RESFR7）がセットされます。

その後、コア電圧が規定の電圧範囲に戻っても RESF.RESF7, RESFR.RESFR7 ビットは自動的にクリアされません。RESF.RESF7, RESFR.RESFR7 ビットは以下によってクリアされます。

- RESFC.RESFC7 ビットを 1 に設定することにより、RESF.RESF7 ビットをクリア
  RESFCR.RESFCR7 ビットを 1 に設定することにより、RESFR.RESFR7 ビットをクリア
- パワーアップリセット PURES（POCRES または DBRES）

CVM が異常な高電圧を検出したとき、Isolated エリア（ISO エリア）の電源供給を停止します。一旦高電圧検出の $\overline{\text{CVMRES}}$ が発生したら、マイクロコントローラはリセット状態に留まります。この状態を解除するためには、外部リセット（ $\overline{\text{RESET}}$ ）の入力が必要です。電圧レベルが高電圧検出電圧以下になった後で外部リセット（ $\overline{\text{RESET}}$ ）を解除してください。

CVM 機能の詳細については「**第 11A 章 電源電圧モニタ (RH850/F1KH-D8)**」を参照してください。

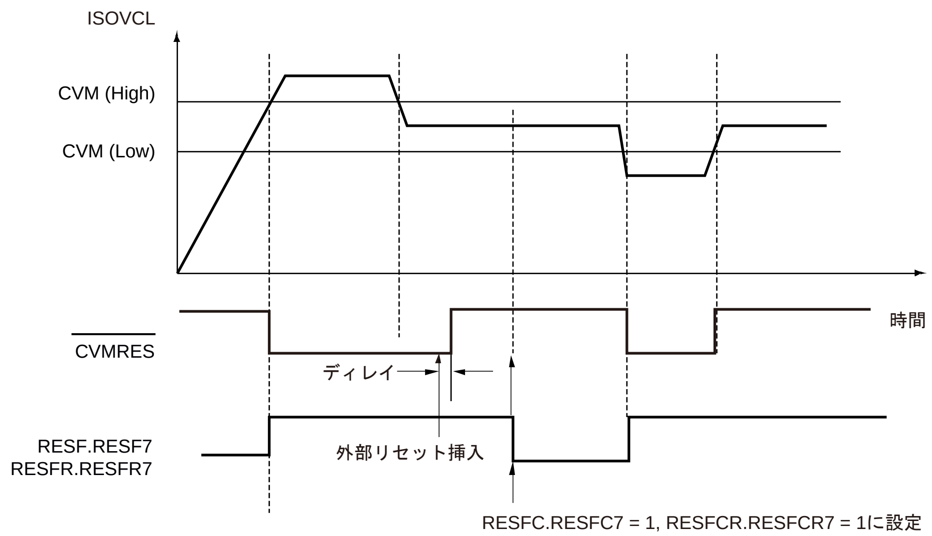


図 9A.7 CVM リセットタイミング

9A.4.5　外部リセット（ RESET ）

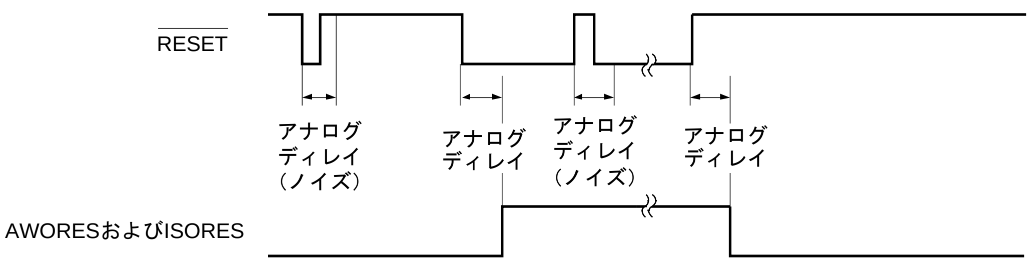
RESET 端子にロウレベル入力が印加されると、リセット処理が行われ、RESF.RESF8, RESFR.RESFR8 ビットがセットされます。

その後 RESET 端子へのロウレベル入力を解除しても RESF.RESF8, RESFR.RESFR8 ビットは自動的にクリアされません。RESF.RESF8, RESFR.RESFR8 ビットは以下によってクリアされます。

- RESFC.RESFC8 ビットを 1 に設定することにより、RESF.RESF8 ビットをクリア
  RESFCR.RESFCR8 ビットを 1 に設定することにより、RESFR.RESFR8 ビットをクリア
- パワーアップリセット PURES（POCRES または DBRES ）

RESET 端子は、ノイズによる不正リセットの発生を防ぐためにアナログノイズフィルタを内蔵しています。

外部リセットにより AWORES および ISORES が発生するタイミングを次の図に示します。この図では、ノイズフィルタの効果も示しています。



備考　アナログフィルタによってアナログディレイが発生します。フィルタはある一定の幅までのパルスをノイズとみなし、抑制します。
最小 RESET パルス幅については、「**第 47A 章　RH850/F1KH-D8 の電気的特性**」を参照してください。

図 9A.8　外部リセット（ RESET ）

9A.4.6 ウォッチドッグタイマ（WDTA）リセット

ウォッチドッグタイマは、オーバフロー時間を越えたときにリセットを発生するように設定することができます。ウォッチドッグタイマリセットが発生すると、ウォッチドッグタイマリセットフラグ（WDTA0RES に対しては RESF.RESF1, RESFR.RESFR1 ビット、WDTA1RES に対しては RESF.RESF2, RESFR.RESFR2 ビット、WDTA2RES に対しては RESF.RESF11, RESFR.RESFR11 ビット）がそれぞれセットされます。

その後、WDTA0RES（WDTA1RES、または WDTA2RES）が解除されても RESF.RESF1, RESFR.RESFR1 ビット（RESF.RESF2, RESFR.RESFR2 ビット、RESF.RESF11, RESFR.RESFR11 ビット）は自動的にクリアされません。

RESF.RESF1, RESFR.RESFR1 ビット、RESF.RESF2, RESFR.RESFR2 ビット、RESF.RESF11, RESFR.RESFR11 ビットは以下によってクリアされます。

- WDTA0RES について

  RESFC.RESFC1 ビットを 1 に設定することにより、RESF.RESF1 ビットをクリア
  RESFCR.RESFCR1 ビットを 1 に設定することにより、RESFR.RESFR1 ビットをクリア

- WDTA1RES について

  RESFC.RESFC2 ビットを 1 に設定することにより、RESF.RESF2 ビットをクリア
  RESFCR.RESFCR2 ビットを 1 に設定することにより、RESFR.RESFR2 ビットをクリア

- WDTA2RES について

  RESFC.RESFC11 ビットを 1 に設定することにより、RESF.RESF11 ビットをクリア
  RESFCR.RESFCR11 ビットを 1 に設定することにより、RESFR.RESFR11 ビットをクリア

- パワーアップリセット PURES（POCRES または $\overline{\text{DBRES}}$）

9A.4.7 ソフトウェアリセット

SWRESA.SWRESA に 1 を設定することでソフトウェアリセット SWRES を発生させることができます。

SWRES によってリセットフラグ RESF.RESF0、RESFR.RESFR0 ビットがセットされます。

RESF.RESF0, RESFR.RESFR0 ビットは自動的にクリアされません。RESF.RESF0, RESFR.RESFR0 ビットは以下によってクリアされます。

- RESFC.RESFC0 ビットを 1 に設定することにより、RESF.RESF0 ビットをクリア

  RESFCR.RESFCR0 ビットを 1 に設定することにより、RESFR.RESFR0 ビットをクリア

- パワーアップリセット PURES（POCRES または $\overline{\text{DBRES}}$）

9A.4.8　クロックモニタ（CLMA）リセット

クロックモニタは以下のリセット信号を発生させることができます。

- HS IntOSC の周波数異常検出： $\overline{\text{CLMA0RES}}$
- MainOSC の周波数異常検出： $\overline{\text{CLMA1RES}}$
- PLL0 の周波数異常検出： $\overline{\text{CLMA2RES}}$
- PLL1 の周波数異常検出： $\overline{\text{CLMA3RES}}$

クロックモニタが各クロックの周波数異常を検出した時にリセット $\overline{\text{CLMA0RES}}$, $\overline{\text{CLMA1RES}}$, $\overline{\text{CLMA2RES}}$, $\overline{\text{CLMA3RES}}$ が発生します。

さらに、 $\overline{\text{CLMA0RES}}$, $\overline{\text{CLMA1RES}}$, $\overline{\text{CLMA2RES}}$, $\overline{\text{CLMA3RES}}$ フラグ（RESF.RESF3, RESFR.RESFR3, RESF.RESF4, RESFR.RESFR4, RESF.RESF5, RESFR.RESFR5, RESF.RESF14, RESFR.RESFR14）がセットされます。

これらのフラグは自動的にクリアされません。各リセットフラグは以下によってクリアされます。

- $\overline{\text{CLMA0RES}}$

  RESFC.RESFC3 ビットを 1 に設定すると、RESF.RESF3 ビットをクリア
  RESFCR.RESFCR3 ビットを 1 に設定すると、RESFR.RESFR3 ビットをクリア
- $\overline{\text{CLMA1RES}}$

  RESFC.RESFC4 ビットを 1 に設定すると、RESF.RESF4 ビットをクリア
  RESFCR.RESFCR4 ビットを 1 に設定すると、RESFR.RESFR4 ビットをクリア
- $\overline{\text{CLMA2RES}}$

  RESFC.RESFC5 ビットを 1 に設定すると、RESF.RESF5 ビットをクリア
  RESFCR.RESFCR5 ビットを 1 に設定すると、RESFR.RESFR5 ビットをクリア
- $\overline{\text{CLMA3RES}}$

  RESFC.RESFC14 ビットを 1 に設定すると、RESF.RESF14 ビットをクリア
  RESFCR.RESFCR14 ビットを 1 に設定すると、RESFR.RESFR14 ビットをクリア
- パワーアップリセット PURES（POCRES または $\overline{\text{DBRES}}$ ）

9A.4.9　デバッガリセット

デバッガのコマンド経由で、デバッガリセット（ $\overline{\text{DBRES}}$ ）が発生します。 $\overline{\text{DBRES}}$ は PURES をアクティブにし、パワーオンクリアリセット POCRES と同様に、次のように動作します。

- クロック発生回路がリセットされ、停止します。クロック発生回路の停止後、クロック発生回路を再起動してください。
- リセット要因レジスタ RESF、リダンダントリセット要因レジスタ RESFR をクリアします（RESF9, RESFR9 ビットは、初期化後セット“1”されます）。

第9BC章 RH850/F1KM のリセット

9BC.1 概要

CPU コアや周辺機能およびそれに付随するレジスタを初期化するため、複数のシステムリセット機能が用意されています。

次の要因によってリセットが起こります。

表 9BC.1 リセット要因およびリセット対象 (RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

リセット要因	略号	RH850/F1KM-S4, RH850/F1KM-S2	RH850/F1KM-S1
外部リセット	RESET	○	○
パワーオンクリア	POCRES	○	○
ウォッチドッグタイマリセット	WDTA0RES	○	○
	WDTA1RES	○	○
クロックモニタリセット	CLMA0RES	○	○
	CLMA1RES	○	○
	CLMA2RES	○	×
	CLMA3RES	○	○
低電圧検出リセット	LVIRES	○	○
ソフトウェアリセット	SWRES	○	○
デバッガリセット	DBRES	○	○
コアボルテージモニタリセット	CVMRES	○	○
DeepSTOP モードによるリセット		○	○

9BC.1.1　リセット要因

リセットレベルとリセット要因を次に示します。

異なる階層のリセットレベルに各種リセット要因が割り当てられています。

表 9BC.2　リセット要因およびリセット対象

リセットレベル	リセット要因	クロックジェネレータ（PLL を除く）／リアルタイムクロック／CVM／LVI	Always-On エリア（AWO エリア）モジュール[注1]	Isolated エリア（ISO エリア）モジュール[注2]
1	パワーオンクリア（POCRES） デバッガリセット（$\overline{\text{DBRES}}$）	リセット	リセット	リセット
2	外部リセット（$\overline{\text{RESET}}$） ウォッチドッグタイマリセット（WDTA0RES, WDTA1RES） クロックモニタリセット（$\overline{\text{CLMA0RES}}$，$\overline{\text{CLMA1RES}}$，$\overline{\text{CLMA2RES}}$，$\overline{\text{CLMA3RES}}$） コアボルテージモニタリセット（$\overline{\text{CVMRES}}$） 低電圧検出リセット（$\overline{\text{LVIRES}}$） ソフトウェアリセット（SWRES）	リセット非対象[注3]	リセット	リセット
3	DeepSTOP モードによるリセット	リセット非対象	リセット非対象	リセット

注1.　クロックジェネレータ／リアルタイムクロック／CVM／LVI を除きます。

注2.　PLL を含みます。

注3.　クロックモニタリセットでは、クロックモニタ対象の発振回路関連レジスタが初期化されます。

リセットレベル 1　:マイクロコントローラ全体を初期化します。

リセットレベル 2　:発振器の発振安定時間をなくしたノーマル動作モードへの迅速な復帰のために、クロックジェネレータ、リアルタイムクロックを除いたマイクロコントローラ全領域を初期化します。

リセットレベル 3　:DeepSTOP モードにより、全 Isolated エリア（ISO エリア）を初期化します。

各リセットが発生すると、ローカル RAM データとグローバル RAM データ[注1]の保持は保証されません。

各リセットが発生すると、電源電圧（REGVCC）が RAM 保持電圧（VVLVI）を下回らない限り、リテンション RAM データは保持することができます。

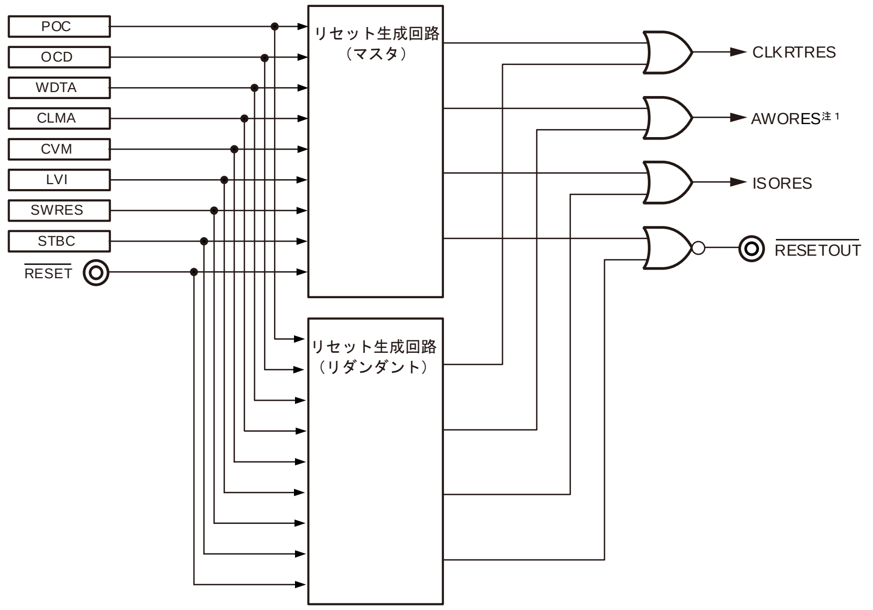
リテンション RAM アドレスに書き込み中に、リセットが発生すると、リテンション RAM のデータ値は、書き込み前または書き込み後の値になります。

注1. RH850/F1KM-S1 は、グローバル RAM をサポートしていません。

9BC.1.2　リセットコントローラの冗長性

本マイクロコントローラのリセットコントローラは冗長構成をとっており、二重化されたリセット生成回路を搭載しています。これにより、片方のリセット生成回路が故障してもリセット対象領域の初期化を確実に実行できます。

リセットコントローラの構成図について次に示します。



注1.　リアルタイムクロック除く

図 9BC.1　　リセットコントローラの冗長性

各リセット要因発生時、2 つのリセット生成回路に同一のリセット要因信号が入力されます。

2 つのリセット生成回路は各要因に応じて、Always-On エリア（AWO エリア）リセット信号（AWORES）、Isolated エリア（ISO エリア）リセット信号（ISORES）、クロックジェネレータ／リアルタイムクロックリセット信号（CLKRTRES）および $\overline{\text{RESETOUT}}$ 信号を出力します。

2 つのリセット生成回路から出力された信号を論理和（OR）をとり、AWORES 信号、ISORES 信号、CLKRTRES 信号および $\overline{\text{RESETOUT}}$ 信号を生成することにより、片方のリセット生成回路が故障した場合でも正常にリセット信号を発生します。

各リセット生成回路のリセット要因レジスタを読み出し、データを比較することにより、リセット生成回路が正常に動作しているかを確認することが可能です。

9BC.1.3　リセット出力（$\overline{\text{RESETOUT}}$）

リセットレベル 1 または 2 のリセット要因が発生した場合、リセット出力（$\overline{\text{RESETOUT}}$）が外部に出力されます。リセット出力は、マイクロコントローラ内部のリセット生成と同時に外部デバイスをリセットするために使用できます。

詳しくは、「**2B.11.1.1 P8_6 : $\overline{\text{RESETOUT}}$**」と「**2C.11.1.1 P8_6 : $\overline{\text{RESETOUT}}$**」を参照してください。

9BC.1.4　リセットフラグ

リセット要因を識別するため、リセット要因ごとのフラグを持つレジスタが 2 つ用意されています。リセットコントローラの主な構成要素を「**図 9BC.2 リセットコントローラのブロック図 (RH850/F1KM-S4, RH850/F1KM-S2)**」および「**図 9BC.3 リセットコントローラのブロック図 (RH850/F1KM-S1)**」に示します。

9BC.1.5　クロック供給

リセットコントローラのクロック供給を以下の表に示します。

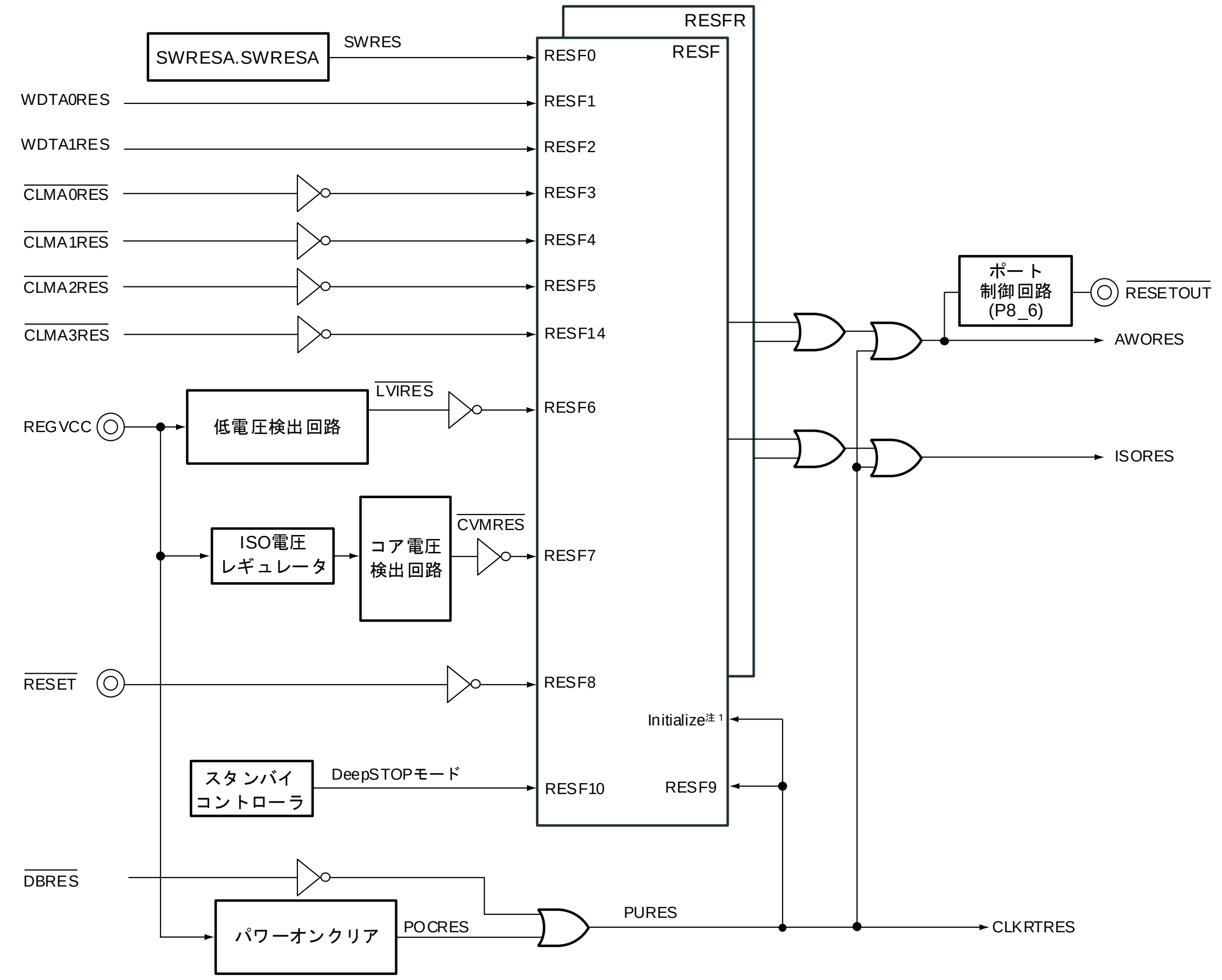
表 9BC.3　クロック供給 (RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	ユニットクロック名	供給クロック名
リセット	レジスタアクセスクロック	CPUCLK_UL

9BC.2 構成

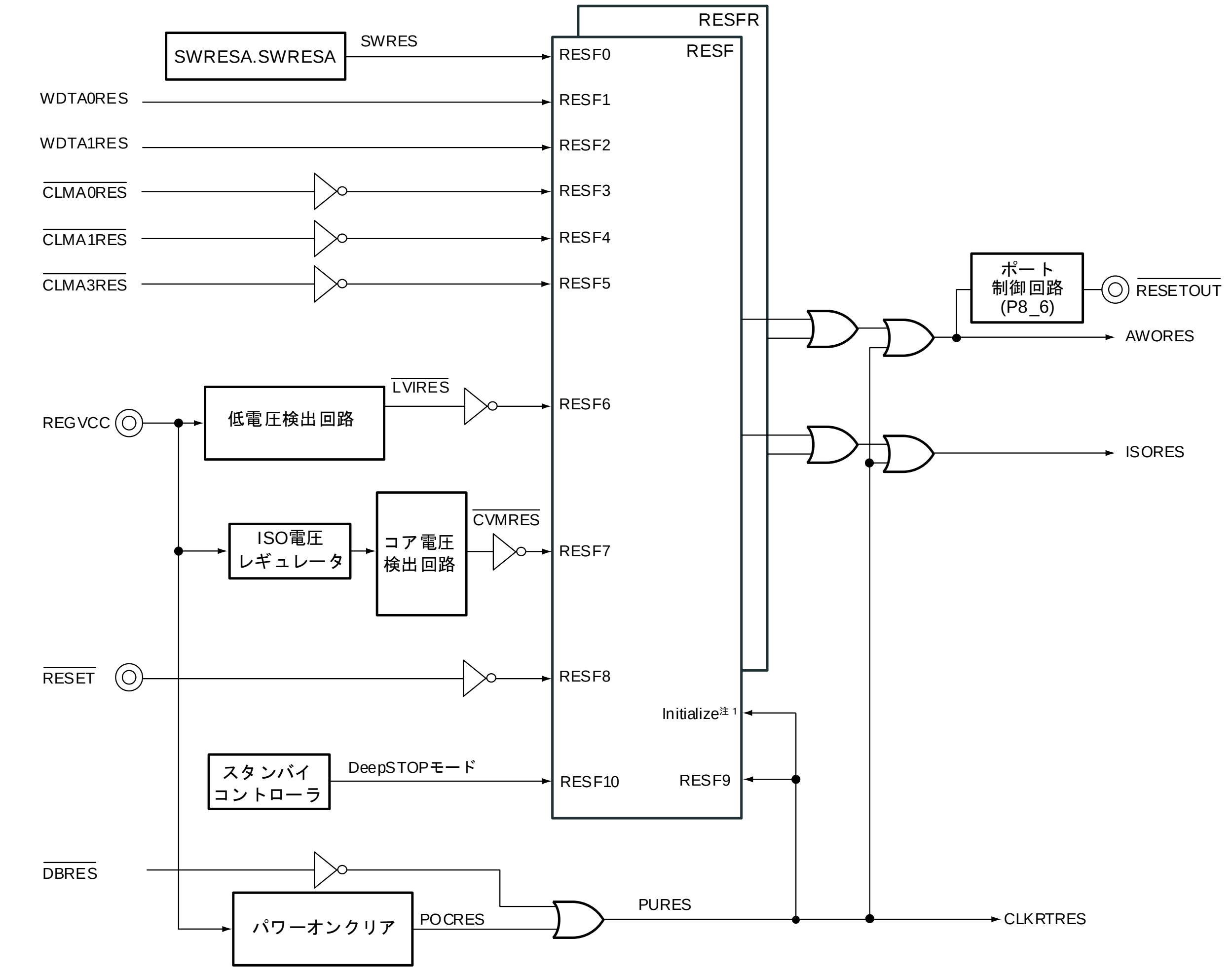
9BC.2.1 ブロック図

リセットコントローラのブロック図を次に示します。



注1.　RESF, RESFR レジスタは PURES によって初期化されます。
初期化後、RESF9, RESFR9 ビットはセット“1”されます。

図 9BC.2　リセットコントローラのブロック図 (RH850/F1KM-S4, RH850/F1KM-S2)



注1. RESF, RESFR レジスタは PURES によって初期化されます。
初期化後、RESF9, RESFR9 ビットはセット“1”されます。

図 9BC.3　リセットコントローラのブロック図 (RH850/F1KM-S1)

(1) リセット信号

リセットコントローラは、各種リセット要因からのリセット信号に対して、次の 3 種類のリセット信号の発生を制御します。

- Always-On エリア（AWO エリア）リセット（AWORES）

  AWORES は DeepSTOP モード遷移時を除くすべてのリセット要因によって発生します。
  AWORES はクロック発生回路、リアルタイムクロック、コアボルテージモニタおよび低電圧検出回路を除く AWO エリアのモジュールすべてをリセットします。

- Isolated エリア（ISO エリア）リセット（ISORES）

  ISORES はすべてのリセット要因によって発生します。
  ISORES は Isolated エリア（ISO エリア）のモジュールすべてをリセットします（PLL を含む）。

- CLKRTRES

  CLKRTRES はパワーオンクリアおよびデバッガリセット要因によって発生します。
  CLKRTRES はクロック発生回路（PLL を除く）およびリアルタイムクロックをリセットします。

パワーアップリセット（PURES）は、パワーオンクリアおよびデバッガリセット要因によって発生します。

AWORES 発生時はそれまでに動作していた PLL を除くクロック発生回路（LS IntOSC、HS IntOSC、MainOSC、SubOSC）は、動作を継続します。また、 $\overline{\text{CLMA0RES}}$ 発生時は CLMA0 監視対象の HS IntOSC がリセットされ、 $\overline{\text{CLMA1RES}}$ 発生時は CLMA1 監視対象の MainOSC がリセットされます。

PURES によりクロック発生回路は初期化されます。リセットから復帰した後にクロック発生回路を再起動してください。

CPU サブシステムに対する Isolated エリア（ISO エリア）リセット（ISORES）を CPU リセットとします。

(2) リセットフラグ

リセット要因レジスタ（RESF）、リダンダントリセット要因レジスタ（RESFR）は各リセット要因のフラグを保持します。あるリセット要因がアクティブになると、対応するフラグがセットされます。

リセットフラグは、RESF9, RESFR9 を除いてパワーアップリセット（PURES）で初期化されます（RESF9, RESFR9 ビットは、初期化後セット“1”されます）。また、ソフトウェアによって全ビットをクリアできます。

詳細は「**9BC.1.4 リセットフラグ**」を参照してください。

(3) 内蔵モジュールリセット

(a) ウォッチドッグタイマリセット

ウォッチドッグタイマは WDTA0RES, WDTA1RES の 2 つのリセットを発生させることができます。

詳細は「**9BC.4.6 ウォッチドッグタイマ（WDTA）リセット**」を参照してください。

(b) クロックモニタリセット

クロックモニタは $\overline{\text{CLMA0RES}}$, $\overline{\text{CLMA1RES}}$, $\overline{\text{CLMA2RES}}$, $\overline{\text{CLMA3RES}}$ の 4 種類のリセットを発生させることができます。

詳細は「**9BC.4.8 クロックモニタ（CLMA）リセット**」を参照してください。

(c) デバッガリセット

デバッガからのコマンドによりリセットが発生します。このリセット発生にともない、パワーアップリセット PURES が発生します。詳細は、「**9BC.4.9 デバッガリセット**」を参照してください。

(4) ソフトウェアコントロールリセット（SWRES）

SWRES ソフトウェアリセットはソフトウェアリセットレジスタ SWRESA を設定して発生させることができます。

詳細は「**9BC.4.7 ソフトウェアリセット**」を参照してください。

(5) リセット出力信号

リセット中およびリセット解除後、P8_6 端子は $\overline{\text{RESETOUT}}$ 機能としてロウレベルを出力します。詳細は「**2B.11.1.1 P8_6 : $\overline{\text{RESETOUT}}$**」、「**2C.11.1.1 P8_6 : $\overline{\text{RESETOUT}}$**」を参照してください。

(6) 電源監視

以下の電源検出によって外部電源 REGVCC とコア電圧のレベルを監視します。

(a) 低電圧検出

低電圧検出回路 LVI は、REGVCC の電圧レベルがある特定のレベルを下回った場合、$\overline{\text{LVIRES}}$ リセットを発生させます。電圧レベルは調整可能で、また $\overline{\text{LVIRES}}$ はマスクすることができます。

詳細は「**9BC.4.3 低電圧検出回路（LVI）リセット**」を参照してください。

(b) パワーオンクリア

パワーオンクリア回路（POC）は電源電圧 REGVCC と内蔵基準電圧を常に比較しています。これにより、電源電圧が特定のレベル以下の場合にリセットを発生させます。

詳細は「**9BC.4.2 パワーオンクリア（POC）リセット**」を参照してください。

(c) コア電圧検出

CVM がコア電圧の異常を検出した時にリセットを発生することができます（オプションバイトで出力／未出力を設定できます）。

詳細は「**9BC.4.4 コアボルテージモニタ（CVM）リセット**」を参照してください。

(7) デバッグモード時のリセット要因のマスク

デバッグ中は以下のリセット要因をマスクすることが可能です。

表 9BC.4　　デバッグ中のマスク可能なリセット要因

リセット要因	マスクの可／不可
パワーオンクリア（POCRES）	×
デバッガリセット（$\overline{\text{DBRES}}$）	×
外部リセット（$\overline{\text{RESET}}$）	○
低電圧検出リセット（$\overline{\text{LVIRES}}$）	○
クロックモニタリセット（$\overline{\text{CLMA0RES}}$, $\overline{\text{CLMA1RES}}$, $\overline{\text{CLMA2RES}}$, $\overline{\text{CLMA3RES}}$）	○
ウォッチドッグタイマリセット（WDTA0RES, WDTA1RES）	○
コアボルテージモニタリセット（$\overline{\text{CVMRES}}$）	○
ソフトウェアリセット（SWRES）	○
DeepSTOP モードによるリセット	×

9BC.3 レジスタ

この節では、リセットコントローラのすべてのレジスタについて説明します。

9BC.3.1 リセットコントローラレジスタ概要

リセットコントローラは、次のレジスタで制御、動作します。

表 9BC.5 リセットコントローラレジスタ概要 (RH850/F1KM-S4, RH850/F1KM-S2)

モジュール名	レジスタ名	略号	アドレス
RESCTL	リセットフラグレジスタ		
	リセット要因レジスタ	RESF	FFF8 0760_H
	リセット要因クリアレジスタ	RESFC	FFF8 0768_H
	リダンダントリセット要因レジスタ	RESFR	FFF8 0860_H
	リダンダントリセット要因クリアレジスタ	RESFCR	FFF8 0868_H
	ソフトウェアリセット制御レジスタ		
	ソフトウェアリセットレジスタ	SWRESA	FFF8 $0A04_H$

表 9BC.6 リセットコントローラレジスタ概要 (RH850/F1KM-S1)

モジュール名	レジスタ名	略号	アドレス
RESCTL	リセットフラグレジスタ		
	リセット要因レジスタ	RESF	FFF8 0760_H
	リセット要因クリアレジスタ	RESFC	FFF8 0768_H
	リダンダントリセット要因レジスタ	RESFR	FFF8 0860_H
	リダンダントリセット要因クリアレジスタ	RESFCR	FFF8 0868_H
	ソフトウェアリセット制御レジスタ		
	ソフトウェアリセットレジスタ	SWRESA	FFF8 $0A04_H$
	Cyclic RUN モードリセットベクタアドレスレジスタ		
	Cyclic RUN モード RBASE レジスタ	CYCRBASE	FFF8 3600_H

備 考

1. LVI 関連、RAM 保持関連、CVM 関連レジスタについては「**第 11BC 章 電源電圧モニタ (RH850/F1KM)**」を参照してください。
2. 保護レジスタについては「**第 5 章 書き込み保護レジスタ**」を参照してください。

9BC.3.2　リセットフラグレジスタの詳細

9BC.3.2.1　RESF — リセット要因レジスタ

前回のパワーオンクリアリセット後に発生したリセットの種類を保持しています。また、このレジスタはパワーアップリセット PURES によって初期化されます。

各リセット条件に応じて、このレジスタ内の対応するフラグがセットされます。

たとえば、ウォッチドッグタイマリセット WDTA0RES が発生したのちにクロックモニタリセット CLMA0RES が発生した場合、このレジスタの読み出し値は 0000 000A$_H$ になります。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 0760$_H$

リセット後の値　0000 0200$_H$ / 0000 0300$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	RESF 14	—	—	—	RESF 10	RESF9	RESF8	RESF7	RESF6	RESF5	RESF4	RESF3	RESF2	RESF1	RESF0
リセット後の値	0	0	0	0	0	0	1	1/0 注1	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注1.　詳細は「**図 9BC.5 Flash シーケンス完了前に $\overline{\text{RESET}}$ が解除された場合**」を参照してください。

表 9BC.7　RESF レジスタの内容

ビット位置	ビット名	機能
31～15	予約ビット	リードした場合はリセット後の値が読めます。
14	RESF14	RH850/F1KM-S4, RH850/F1KM-S2： CLMA3 リセットフラグ 0：リセットが発生していない 1：リセットが発生した RH850/F1KM-S1： リードした場合はリセット後の値が読めます。
13～11	予約ビット	リードした場合はリセット後の値が読めます。
10	RESF10	DeepSTOP モードによるリセットフラグ 0：リセットが発生していない 1：リセットが発生した
9	RESF9	パワーアップリセットフラグ 0：リセットが発生していない 1：リセットが発生した
8	RESF8	外部リセットフラグ 0：リセットが発生していない 1：リセットが発生した
7	RESF7	CVM リセットフラグ 0：リセットが発生していない 1：リセットが発生した

表 9BC.7　RESF レジスタの内容

ビット位置	ビット名	機能
6	RESF6	LVI リセットフラグ 0：リセットが発生していない 1：リセットが発生した
5	RESF5	RH850/F1KM-S4, RH850/F1KM-S2： CLMA2 リセットフラグ 0：リセットが発生していない 1：リセットが発生した RH850/F1KM-S1： CLMA3 リセットフラグ 0：リセットが発生していない 1：リセットが発生した
4	RESF4	CLMA1 リセットフラグ 0：リセットが発生していない 1：リセットが発生した
3	RESF3	CLMA0 リセットフラグ 0：リセットが発生していない 1：リセットが発生した
2	RESF2	WDTA1 リセットフラグ 0：リセットが発生していない 1：リセットが発生した
1	RESF1	WDTA0 リセットフラグ 0：リセットが発生していない 1：リセットが発生した
0	RESF0	ソフトウェアリセットフラグ 0：リセットが発生していない 1：リセットが発生した

9BC.3.2.2 RESFC — リセット要因クリアレジスタ

RESF レジスタのリセットフラグをクリアします。

アクセス 32 ビット単位でライトのみ可能です。

アドレス FFF8 0768_H

リセット後の値 不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	RESFC 14	—	—	—	RESFC 10	RESFC 9	RESFC 8	RESFC 7	RESFC 6	RESFC 5	RESFC 4	RESFC 3	RESFC 2	RESFC 1	RESFC 0
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	W	R	R	R	W	W	W	W	W	W	W	W	W	W	W

表 9BC.8　RESFC レジスタの内容

ビット位置	ビット名	機能
31～15	予約ビット	ライトする場合は“0”を書いてください。
14	RESFC14	RH850/F1KM-S4, RH850/F1KM-S2： CLMA3 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする RH850/F1KM-S1： ライトする場合は“0”を書いてください。
13～11	予約ビット	ライトする場合は“0”を書いてください。
10	RESFC10	DeepSTOP モードによるリセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
9	RESFC9	パワーアップリセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
8	RESFC8	外部リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
7	RESFC7	CVM リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
6	RESFC6	LVI リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
5	RESFC5	RH850/F1KM-S4, RH850/F1KM-S2： CLMA2 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする RH850/F1KM-S1： CLMA3 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする

表 9BC.8　　RESFC レジスタの内容

ビット位置	ビット名	機能
4	RESFC4	CLMA1 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
3	RESFC3	CLMA0 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
2	RESFC2	WDTA1 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
1	RESFC1	WDTA0 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
0	RESFC0	ソフトウェアリセットフラグクリア 0：フラグクリアしない 1：フラグクリアする

9BC.3.2.3　RESFR — リダンダントリセット要因レジスタ

リセット要因レジスタを 2 重化したものです。このレジスタはパワーアップリセット PURES によって初期化されます。

リセット要因レジスタの各ビットのセット条件に応じて同じビットがセットされます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 0860_H

リセット後の値　0000 0200_H / 0000 0300_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	RESFR 14	—	—	—	RESFR 10	RESFR 9	RESFR 8	RESFR 7	RESFR 6	RESFR 5	RESFR 4	RESFR 3	RESFR 2	RESFR 1	RESFR 0
リセット後の値	0	0	0	0	0	0	1	1/0 注1	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注1.　詳細は「**図 9BC.5 Flash シーケンス完了前に $\overline{\text{RESET}}$ が解除された場合**」を参照してください。

表 9BC.9　RESFR レジスタの内容

ビット位置	ビット名	機能
31～15	予約ビット	リードした場合はリセット後の値が読めます。
14	RESFR14	RH850/F1KM-S4, RH850/F1KM-S2： CLMA3 リセットフラグ 0：リセットが発生していない 1：リセットが発生した RH850/F1KM-S1： リードした場合はリセット後の値が読めます。
13～11	予約ビット	リードした場合はリセット後の値が読めます。
10	RESFR10	DeepSTOP モードによるリセットフラグ 0：リセットが発生していない 1：リセットが発生した
9	RESFR9	パワーアップリセットフラグ 0：リセットが発生していない 1：リセットが発生した
8	RESFR8	外部リセットフラグ 0：リセットが発生していない 1：リセットが発生した
7	RESFR7	CVM リセットフラグ 0：リセットが発生していない 1：リセットが発生した
6	RESFR6	LVI リセットフラグ 0：リセットが発生していない 1：リセットが発生した

表 9BC.9　　RESFR レジスタの内容

ビット位置	ビット名	機能
5	RESFR5	RH850/F1KM-S4, RH850/F1KM-S2： CLMA2 リセットフラグ 0：リセットが発生していない 1：リセットが発生した RH850/F1KM-S1： CLMA3 リセットフラグ 0：リセットが発生していない 1：リセットが発生した
4	RESFR4	CLMA1 リセットフラグ 0：リセットが発生していない 1：リセットが発生した
3	RESFR3	CLMA0 リセットフラグ 0：リセットが発生していない 1：リセットが発生した
2	RESFR2	WDTA1 リセットフラグ 0：リセットが発生していない 1：リセットが発生した
1	RESFR1	WDTA0 リセットフラグ 0：リセットが発生していない 1：リセットが発生した
0	RESFR0	ソフトウェアリセットフラグ 0：リセットが発生していない 1：リセットが発生した

9BC.3.2.4　RESFCR ― リダンダントリセット要因クリアレジスタ

RESFR レジスタのリセットフラグをクリアします。

アクセス　32 ビット単位でライトのみ可能です。

アドレス　FFF8 0868_H

リセット後の値　不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	RESFCR14	—	—	—	RESFCR10	RESFCR9	RESFCR8	RESFCR7	RESFCR6	RESFCR5	RESFCR4	RESFCR3	RESFCR2	RESFCR1	RESFCR0
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	W	R	R	R	W	W	W	W	W	W	W	W	W	W	W

表 9BC.10　RESFCR レジスタの内容

ビット位置	ビット名	機能
31～15	予約ビット	ライトする場合は“0”を書いてください。
14	RESFCR14	RH850/F1KM-S4, RH850/F1KM-S2： CLMA3 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする RH850/F1KM-S1： ライトする場合は“0”を書いてください。
13～11	予約ビット	ライトする場合は“0”を書いてください。
10	RESFCR10	DeepSTOP モードによるリセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
9	RESFCR9	パワーアップリセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
8	RESFCR8	外部リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
7	RESFCR7	CVM リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
6	RESFCR6	LVI リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
5	RESFCR5	RH850/F1KM-S4, RH850/F1KM-S2： CLMA2 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする RH850/F1KM-S1： CLMA3 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする

表 9BC.10　RESFCR レジスタの内容

ビット位置	ビット名	機能
4	RESFCR4	CLMA1 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
3	RESFCR3	CLMA0 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
2	RESFCR2	WDTA1 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
1	RESFCR1	WDTA0 リセットフラグクリア 0：フラグクリアしない 1：フラグクリアする
0	RESFCR0	ソフトウェアリセットフラグクリア 0：フラグクリアしない 1：フラグクリアする

9BC.3.3　ソフトウェアリセット制御レジスタの詳細

9BC.3.3.1　SWRESA — ソフトウェアリセットレジスタ

ソフトウェアリセット SWRES を発生させます。このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。

詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

アクセス	32 ビット単位でライトのみ可能です。
アドレス	FFF8 0A04$_H$
リセット後の値	不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SWRESA
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 9BC.11　SWRESA レジスタの内容

ビット位置	ビット名	機能
31〜1	予約ビット	ライトする場合は“0”を書いてください。
0	SWRESA	ソフトウェアリセットトリガ 0：発生しない 1：発生する

9BC.3.4　Cyclic RUN モードリセットベクタアドレスレジスタの詳細

CYCRBASE レジスタは、RH850/F1KM-S1 でサポートされています。

9BC.3.4.1　CYCRBASE ― Cyclic RUN モード RBASE レジスタ

CPU が DeepSTOP モードから Cyclic RUN モードに復帰する際の、CPU のリセットベクタアドレス（RBASE）を指定します。このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。

詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタは、マイクロコントローラが RUN モードのときだけ更新できます。Cyclic RUN モードでは値を変更しないでください。

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）によって初期化されます。

アクセス　32 ビット単位でリード／ライトのみ可能です。

アドレス　FFF8 3600_H

リセット後の値　FEBF 8000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CYCRBASE[31:16]															
リセット後の値	1	1	1	1	1	1	1	0	1	0	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CYCRBASE[15:9]							—	—	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R

表 9BC.12　CYCRBASE レジスタの内容

ビット位置	ビット名	機能
31～9	CYCRBASE	Cyclic RUN モードのリセットベクタベースアドレス（RBASE） Cyclic RUN モードの RBASE 値を指定します。 デフォルト値はリテンション RAM の開始アドレスに設定されています。
8～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

9BC.4　機能説明

9BC.4.1　リセットフラグ

リセット要因レジスタ（RESF）、リダンダントリセット要因レジスタ（RESFR）は、各リセット要因に対するリセットフラグを提供します。

リセットが発生すると、対応するフラグがセットされます。これにより、リセット要因を判断することができます。

RESF, RESFR は、パワーアップリセット PURES（POCRES または $\overline{\text{DBRES}}$）によって初期化されます（RESF9, RESFR9 ビットは初期化後セット“1”されます）。また、RESF, RESFR 内の各フラグはリセット要因クリアレジスタ（RESFC）、リダンダントリセット要因クリアレジスタ（RESFCR）を用いてクリアすることができます。

各リセット要因は、ほかのリセット要因とは独立して、対応するフラグのみをセットします。

9BC.4.2　パワーオンクリア（POC）リセット

パワーオンクリア回路（POC）は、電源電圧 REGVCC と内蔵基準電圧 VPOC を常に比較しています。これにより、電源電圧が特定のレベルを超えている場合にかぎって、マイクロコントローラが動作するようにしています。

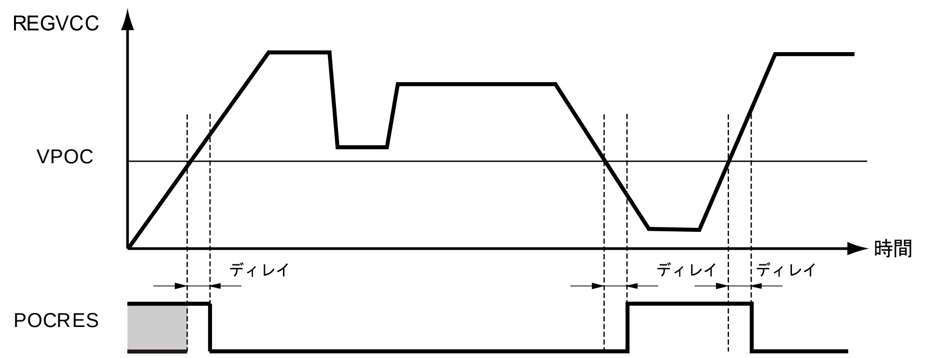
REGVCC が内蔵基準電圧を下回った場合（REGVCC＜VPOC）、内蔵リセット信号 POCRES およびパワーアップリセット PURES が発生します。

内蔵基準電圧レベル VPOC の仕様についての詳細は、「**第 47B 章　RH850/F1KM-S4, RH850/F1KM-S2 の電気的特性**」、「**第 47C 章　RH850/F1KM-S1 の電気的特性**」を参照してください。

パワーオンクリアリセットによって、リセット要因レジスタ（RESF）、リダンダントリセット要因レジスタ（RESFR）がクリアされます。RESF9, RESFR9 は初期化後セット“1”されます。

パワーオンクリア機能は、電源電圧がしきい値レベル VPOC を超えないかぎり、マイクロコントローラのリセット状態を保持します。

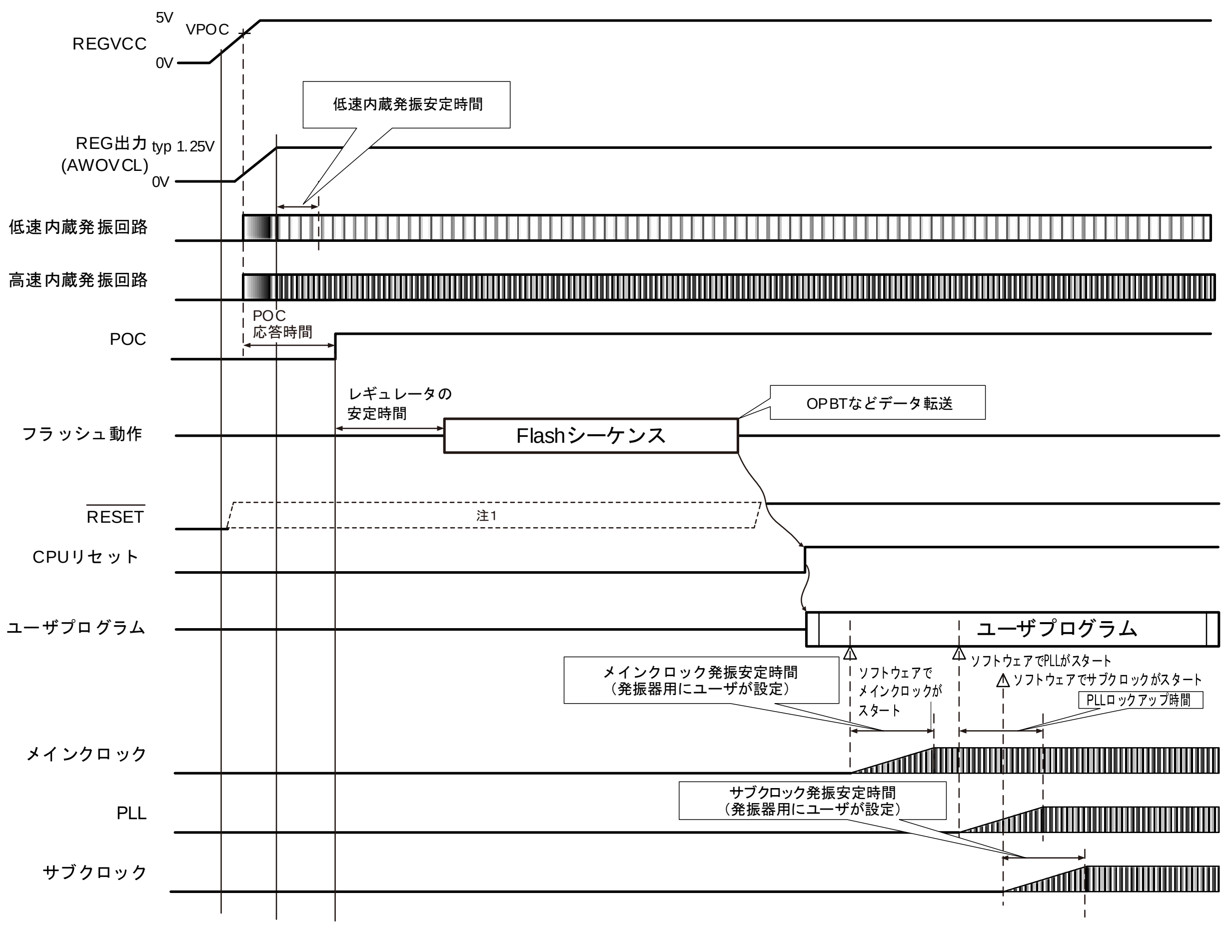
POCRES のタイミングを次の図に示します。



備考　ディレイ：
REGVCC が VPOC を上回った時、遅延時間の後に POCRES が解除されます。REGVCC が VPOC を下回った時、遅延時間の後に POCRES が発生します。
遅延時間については、「**第 47B 章　RH850/F1KM-S4, RH850/F1KM-S2 の電気的特性**」、「**第 47C 章　RH850/F1KM-S1 の電気的特性**」を参照してください。

図 9BC.4　POC リセットタイミング

(1) パワーオンクリア後の CPU システム起動概略



注1. $\overline{\text{RESET}}$ 端子解除のタイミングはマイコンの外部回路によります。

$\overline{\text{RESET}}$ 端子がロウレベルの場合、RESF.RESF8／RESFR.RESFR8 ビット双方のリセット後の値は 1 になります。ハイレベルの場合、RESF.RESF8／RESFR.RESFR8 ビット双方のリセット後の値は 0 になります。

図 9BC.5 Flash シーケンス完了前に $\overline{\text{RESET}}$ が解除された場合

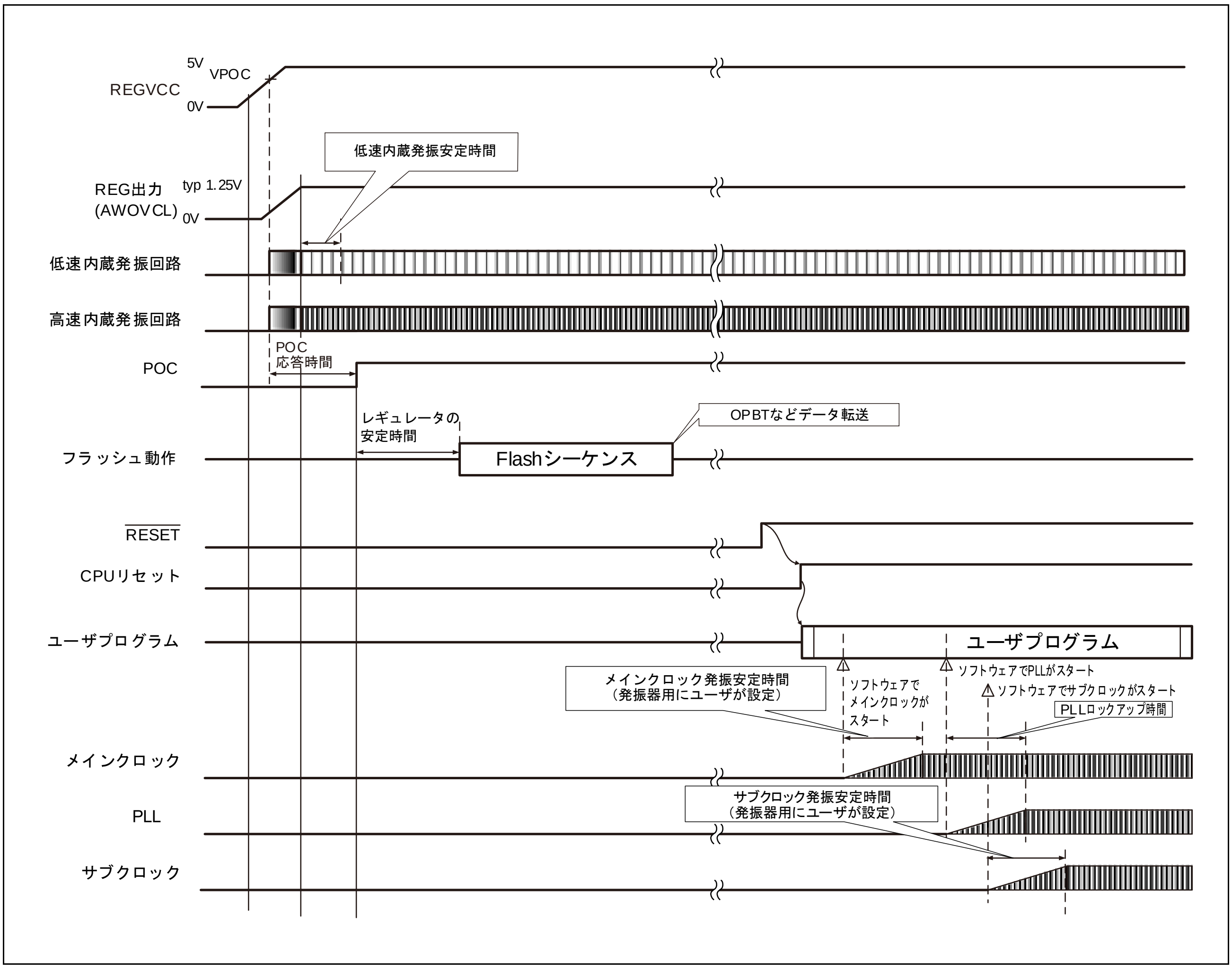


図 9BC.6 Flash シーケンス完了後に RESET が解除された場合

9BC.4.3　低電圧検出回路（LVI）リセット

低電圧検出回路（LVI）は、電源電圧 REGVCC と LVI 内蔵基準電圧 VLVIn を常に比較しています。

LVI の検出電圧設定および LVIRESMK を解除した時に REGVCC が内蔵基準電圧を下回った場合（REGVCC＜VLVIn）、内蔵リセット信号 $\overline{\text{LVIRES}}$ が発生します。

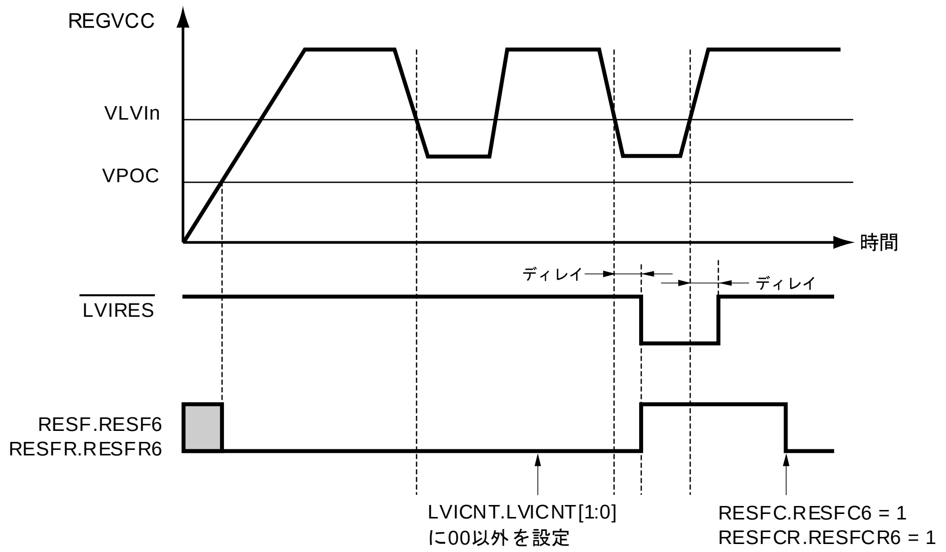
さらに、$\overline{\text{LVIRES}}$ フラグ（RESF.RESF6, RESFR.RESFR6 ビット）がセットされます。

その後、REGVCC が VLVIn を上回っても RESF.RESF6, RESFR.RESFR6 ビットは自動的にクリアされません。RESF.RESF6, RESFR.RESFR6 ビットは以下によってクリアされます。

- RESFC.RESFC6 ビットを 1 に設定することにより、RESF.RESF6 ビットをクリア
  RESFCR.RESFCR6 ビットを 1 に設定することにより、RESFR.RESFR6 ビットをクリア
- パワーアップリセット PURES（POCRES または $\overline{\text{DBRES}}$）

LVI 機能の詳細については「**第 11BC 章　電源電圧モニタ（RH850/F1KM)**」を参照してください。

$\overline{\text{LVIRES}}$ と RESF.RESF6, RESFR.RESFR6 ビットのタイミングを次の図に示します。



備考　ディレイ：

REGVCC が VLVIn レベルを下回ったとき、遅延時間後に $\overline{\text{LVIRES}}$ が発生し、VLVIn リセットフラグ（RESF.RESF6, RESFR.RESFR6）がセットされます。その後、REGVCC が VLVIn レベルを上回ったときに、遅延時間後に $\overline{\text{LVIRES}}$ が解除されます。

遅延時間については、「**第 47B 章　RH850/F1KM-S4, RH850/F1KM-S2 の電気的特性**」、「**第 47C 章　RH850/F1KM-S1 の電気的特性**」を参照してください。

図 9BC.7　LVI リセットタイミング

9BC.4.4　コアボルテージモニタ（CVM）リセット

コアボルテージモニタは、マイクロコントローラ内のコア電圧を監視するために使用されます。

CVM 許可時にコア電圧が規定の電圧範囲外になるとリセット $\overline{\text{CVMRES}}$ が発生します。また、$\overline{\text{CVMRES}}$ フラグ（RESF.RESF7, RESFR.RESFR7）がセットされます。

その後、コア電圧が規定の電圧範囲に戻っても RESF.RESF7, RESFR.RESFR7 ビットは自動的にクリアされません。RESF.RESF7, RESFR.RESFR7 ビットは以下によってクリアされます。

- RESFC.RESFC7 ビットを 1 に設定することにより、RESF.RESF7 ビットをクリア
  RESFCR.RESFCR7 ビットを 1 に設定することにより、RESFR.RESFR7 ビットをクリア
- パワーアップリセット PURES（POCRES または DBRES）

CVM が異常な高電圧を検出したとき、Isolated エリア（ISO エリア）の電源供給を停止します。一旦高電圧検出の $\overline{\text{CVMRES}}$ が発生したら、マイクロコントローラはリセット状態に留まります。この状態を解除するためには、外部リセット（$\overline{\text{RESET}}$）の入力が必要です。電圧レベルが高電圧検出電圧以下になった後で外部リセット（$\overline{\text{RESET}}$）を解除してください。

CVM 機能の詳細については「**第 11BC 章　電源電圧モニタ (RH850/F1KM)**」を参照してください。

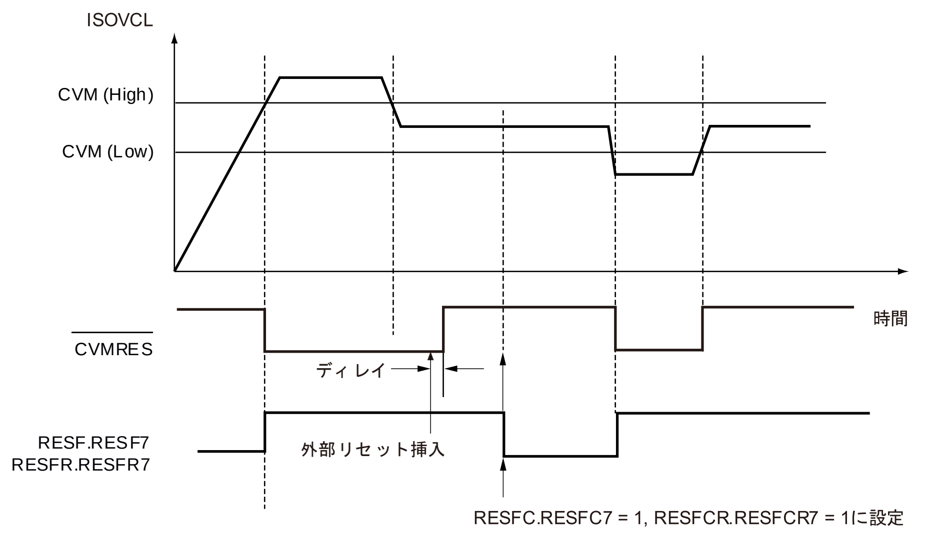


図 9BC.8　　CVM リセットタイミング

9BC.4.5　外部リセット（$\overline{\text{RESET}}$）

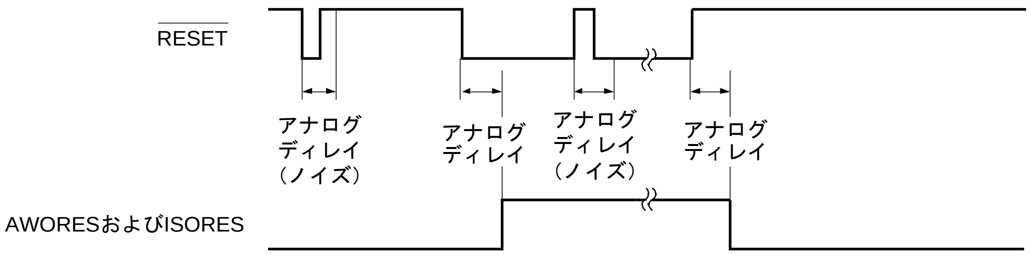
$\overline{\text{RESET}}$ 端子にロウレベル入力が印加されると、リセット処理が行われ、RESF.RESF8, RESFR.RESFR8 ビットがセットされます。

その後 $\overline{\text{RESET}}$ 端子へのロウレベル入力を解除しても RESF.RESF8, RESFR.RESFR8 ビットは自動的にクリアされません。RESF.RESF8, RESFR.RESFR8 ビットは以下によってクリアされます。

- RESFC.RESFC8 ビットを 1 に設定することにより、RESF.RESF8 ビットをクリア
  RESFCR.RESFCR8 ビットを 1 に設定することにより、RESFR.RESFR8 ビットをクリア
- パワーアップリセット PURES（POCRES または $\overline{\text{DBRES}}$）

$\overline{\text{RESET}}$ 端子は、ノイズによる不正リセットの発生を防ぐためにアナログノイズフィルタを内蔵しています。

外部リセットにより AWORES および ISORES が発生するタイミングを次の図に示します。この図では、ノイズフィルタの効果も示しています。



備考　アナログフィルタによってアナログディレイが発生します。フィルタはある一定の幅までのパルスをノイズとみなし、抑制します。
最小 $\overline{\text{RESET}}$ パルス幅については、**「第 47B 章　RH850/F1KM-S4, RH850/F1KM-S2 の電気的特性」**、**「第 47C 章　RH850/F1KM-S1 の電気的特性」**を参照してください。

図 9BC.9　外部リセット（$\overline{\text{RESET}}$）

9BC.4.6　ウォッチドッグタイマ（WDTA）リセット

ウォッチドッグタイマは、オーバフロー時間を越えたときにリセットを発生するように設定することができます。ウォッチドッグタイマリセットが発生すると、ウォッチドッグタイマリセットフラグ（WDTA0RES に対しては RESF.RESF1, RESFR.RESFR1 ビット、WDTA1RES に対しては RESF.RESF2, RESFR.RESFR2 ビット）がそれぞれセットされます。

その後、WDTA0RES（WDTA1RES）が解除されても RESF.RESF1, RESFR.RESFR1 ビット（RESF.RESF2, RESFR.RESFR2 ビット）は自動的にクリアされません。

RESF.RESF1, RESFR.RESFR1 ビット、RESF.RESF2, RESFR.RESFR2 ビットは以下によってクリアされます。

- WDTA0RES について

  RESFC.RESFC1 ビットを 1 に設定することにより、RESF.RESF1 ビットをクリア
  RESFCR.RESFCR1 ビットを 1 に設定することにより、RESFR.RESFR1 ビットをクリア

- WDTA1RES について

  RESFC.RESFC2 ビットを 1 に設定することにより、RESF.RESF2 ビットをクリア
  RESFCR.RESFCR2 ビットを 1 に設定することにより、RESFR.RESFR2 ビットをクリア

- パワーアップリセット PURES（POCRES または $\overline{\text{DBRES}}$）

9BC.4.7　ソフトウェアリセット

SWRESA.SWRESA に 1 を設定することでソフトウェアリセット SWRES を発生させることができます。

SWRES によってリセットフラグ RESF.RESF0, RESFR.RESFR0 ビットがセットされます。

RESF.RESF0, RESFR.RESFR0 ビットは自動的にクリアされません。RESF.RESF0, RESFR.RESFR0 ビットは以下によってクリアされます。

- RESFC.RESFC0 ビットを 1 に設定することにより、RESF.RESF0 ビットをクリア

  RESFCR.RESFCR0 ビットを 1 に設定することにより、RESFR.RESFR0 ビットをクリア

- パワーアップリセット PURES（POCRES または $\overline{\text{DBRES}}$）

9BC.4.8　クロックモニタ（CLMA）リセット

クロックモニタは以下のリセット信号を発生させることができます。

- HS IntOSC の周波数異常検出： $\overline{\text{CLMA0RES}}$
- MainOSC の周波数異常検出： $\overline{\text{CLMA1RES}}$
- PLL0 の周波数異常検出： $\overline{\text{CLMA2RES}}$
- PLL1 の周波数異常検出： $\overline{\text{CLMA3RES}}$

クロックモニタが各クロックの周波数異常を検出した時にリセット
$\overline{\text{CLMA0RES}}$, $\overline{\text{CLMA1RES}}$, $\overline{\text{CLMA2RES}}$, $\overline{\text{CLMA3RES}}$ が発生します。

さらに、 $\overline{\text{CLMA0RES}}$, $\overline{\text{CLMA1RES}}$, $\overline{\text{CLMA2RES}}$, $\overline{\text{CLMA3RES}}$ フラグ（RESF.RESF3, RESFR.RESFR3, RESF.RESF4, RESFR.RESFR4, RESF.RESF5, RESFR.RESFR5, RESF.RESF14, RESFR.RESFR14）がセットされます。

これらのフラグは自動的にクリアされません。各リセットフラグは以下によってクリアされます。

- $\overline{\text{CLMA0RES}}$

  RESFC.RESFC3 ビットを 1 に設定すると、RESF.RESF3 ビットをクリア
  RESFCR.RESFCR3 ビットを 1 に設定すると、RESFR.RESFR3 ビットをクリア

- $\overline{\text{CLMA1RES}}$

  RESFC.RESFC4 ビットを 1 に設定すると、RESF.RESF4 ビットをクリア
  RESFCR.RESFCR4 ビットを 1 に設定すると、RESFR.RESFR4 ビットをクリア

- $\overline{\text{CLMA2RES}}$

  [RH850/F1KM-S4, RH850/F1KM-S2]
  RESFC.RESFC5 ビットを 1 に設定すると、RESF.RESF5 ビットをクリア
  RESFCR.RESFCR5 ビットを 1 に設定すると、RESFR.RESFR5 ビットをクリア
  [RH850/F1KM-S1]
  この製品では対応していません

- $\overline{\text{CLMA3RES}}$

  [RH850/F1KM-S4, RH850/F1KM-S2]
  RESFC.RESFC14 ビットを 1 に設定すると、RESF.RESF14 ビットをクリア
  RESFCR.RESFCR14 ビットを 1 に設定すると、RESFR.RESFR14 ビットをクリア
  [RH850/F1KM-S1]
  RESFC.RESFC5 ビットを 1 に設定すると、RESF.RESF5 ビットをクリア
  RESFCR.RESFCR5 ビットを 1 に設定すると、RESFR.RESFR5 ビットをクリア

- パワーアップリセット PURES（POCRES または $\overline{\text{DBRES}}$ ）

9BC.4.9　デバッガリセット

デバッガのコマンド経由で、デバッガリセット（ $\overline{\text{DBRES}}$ ）が発生します。 $\overline{\text{DBRES}}$ は PURES をアクティブにし、パワーオンクリアリセット POCRES と同様に、次のように動作します。

- クロック発生回路がリセットされ、停止します。クロック発生回路の停止後、クロック発生回路を再起動してください。
- リセット要因レジスタ RESF、リダンダントリセット要因レジスタ RESFR をクリアします
（RESF9, RESFR9 ビットは、初期化後セット“1”されます）。

9BC.4.10 CPU のリセットベクタアドレス

この機能は、RH850/F1KM-S1 でサポートされています。

CPU のリセットベクタベースアドレス（RBASE）のデフォルト値は、製品出荷時に 0000 0000_H に設定されています。Cyclic RUN モードでは自動的に、リセットベクタベースアドレスが CYCRBASE レジスタによって指定されたアドレスに切り替わります。RUN モードに復帰すると、リセットベクタベースアドレスは自動的にデフォルト値に戻ります。

RBASE レジスタの詳細については、「**第 3BC 章 RH850/F1KM の CPU システム**」を参照してください。

第10A章　電源とパワードメイン (RH850/F1KH-D8)

本章では、RH850/F1KH-D8 の電源とパワードメインについて説明します。

10A.1　機能

内部回路は、Always-On エリア（AWO エリア）と Isolated エリア（ISO エリア）の 2 つの独立したパワードメインに分割されています。

Always-On エリア（AWO エリア）の電源は、すべての動作モードおよびスタンバイモードで常時電源が供給されています。

Isolated エリア（ISO エリア）の電源は、全体の消費電力を低減するためにスタンバイモードの種類に応じて切断することができます。

各々のパワードメインに対して、専用のオンチップ電圧レギュレータが内部供給電圧を生成します。

デバイスの動作には以下の電圧が必要です。

- オンチップ電圧レギュレータ用電源電圧 REG0VCC, REG1VCC。電圧レギュレータの出力電圧は、各々のパワードメイン内のデジタル回路に供給されます。
- I/O ポート用電源電圧 EVCC および BVCC。
- A/D コンバータおよび専用の I/O ポート用電源電圧 A0VREF および A1VREF。

10A.1.1　電源端子

下の表はすべての電源端子およびその用途を示します。

表 10A.1　電源端子

電源	電源端子	電圧供給先
内部回路用電源	REG0VCC	● Always-On エリア（AWO エリア）のオンチップ電圧レギュレータ ● ポートグループ IP0 ● MainOSC ● SubOSC ● POC（REG0VCC 電圧検出） ● POC（REG1VCC 電圧検出） ● LVI
	AWOVCL 注1	
	AWOVSS	
	REG1VCC	● Isolated エリア（ISO エリア）のオンチップ電圧レギュレータ
	ISOVCL 注1	
	ISOVSS	
I/O ポート用電源	EVCC	● $\overline{\text{RESET}}$ ● FLMD0 （324-pin 製品） ● ポートグループ JP0、P0、P1、P2、P3、P8、P9、P20、P23 （233-pin 製品） ● ポートグループ JP0、P0、P1、P2、P3、P8、P9、P20 （176-pin 製品） ● ポートグループ JP0、P0、P1、P2、P8、P9、P20
	EVSS	
	BVCC	（324-pin 製品） ● ポートグループ P10、P11、P12、P13、P18、P19、P21、P22、P24 （233-pin 製品） ● ポートグループ P10、P11、P12、P13、P18、P19 （176-pin 製品） ● ポートグループ P10、P11、P12、P18
	BVSS	
A/D コンバータ用電源	A0VREF	● ADCA0 のアナログ回路、ポートグループ AP0
	A0VSS	
	A1VREF	● ADCA1 のアナログ回路、ポートグループ AP1
	A1VSS	

備考　各電源の電圧範囲については、「**第 47A 章　RH850/F1KH-D8 の電気的特性**」を参照してください。

注1.　内蔵電圧レギュレータ用安定化容量の接続端子

10A.1.2　パワードメインのブロック図

下の図は電源回路の概要を示します。

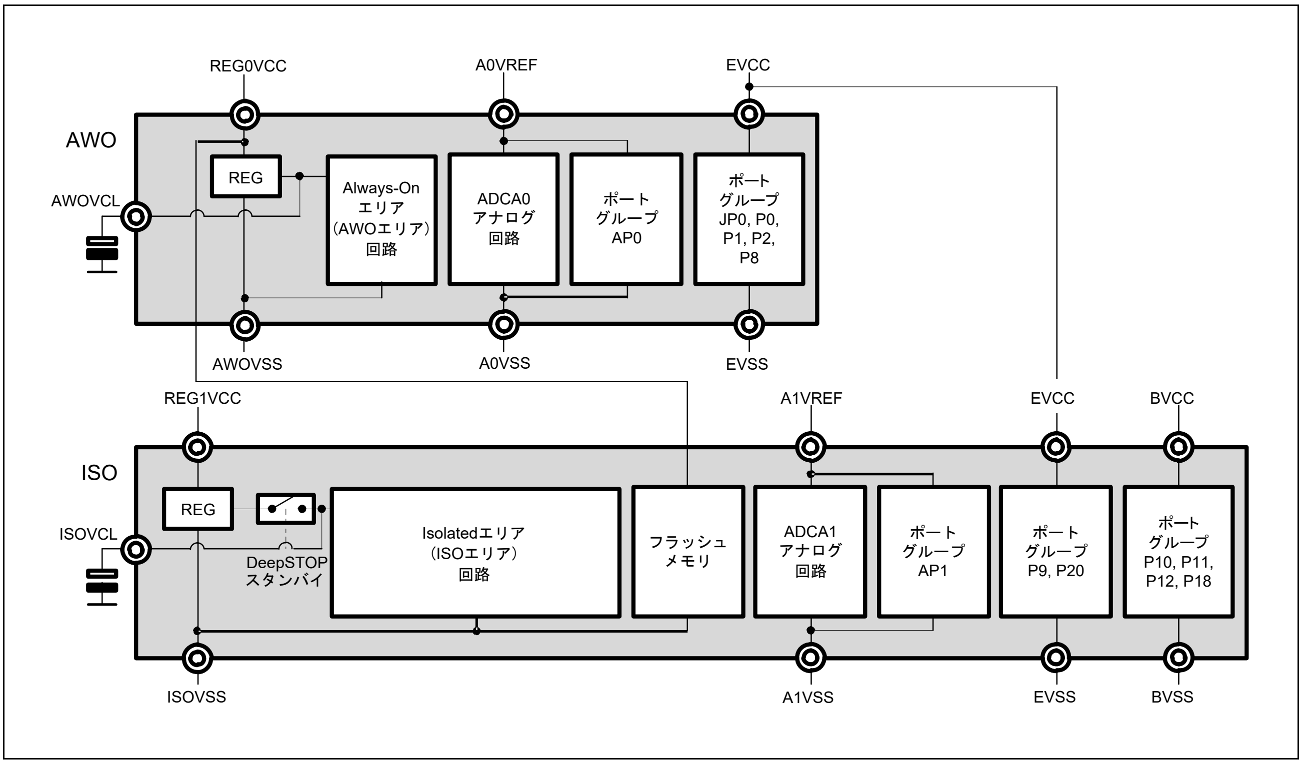


図 10A.1　　電源回路の概要（176 Pin）

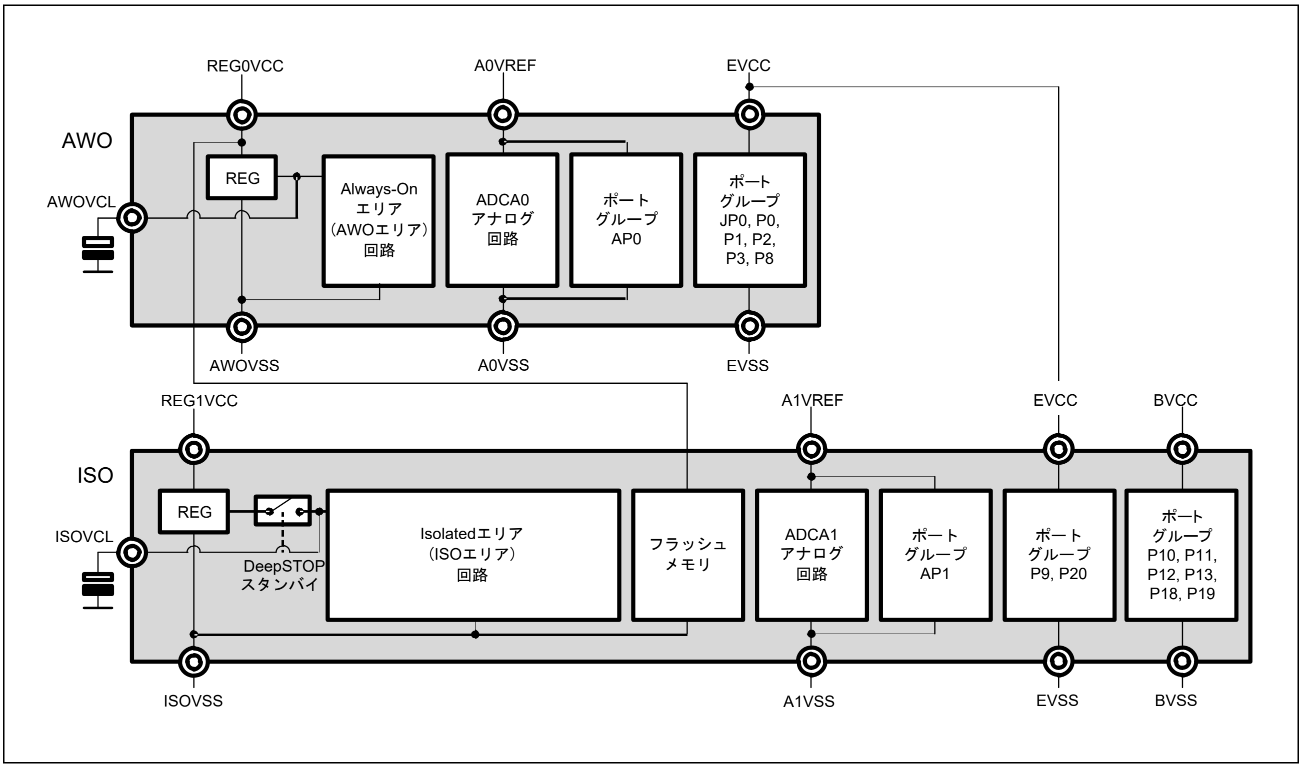


図 10A.2　　電源回路の概要（233 Pin）

図 10A.3　　予約

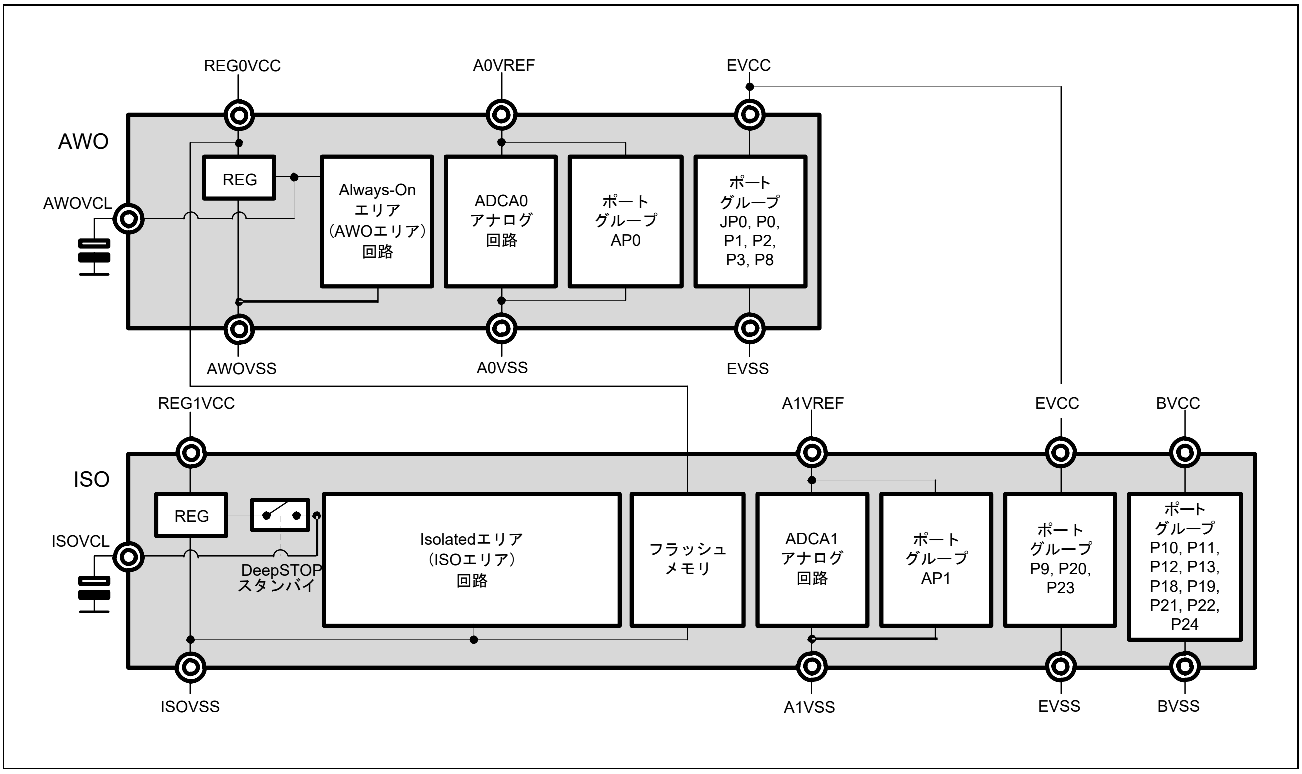


図 10A.4　　電源回路の概要（324 Pin）

10A.1.3　パワードメインの配置

下の表は、パワードメインで分類されたマイクロコントローラの機能モジュールを示します。

表 10A.2　機能モジュールとパワードメイン

パワードメイン	機能
Always-On エリア（AWO エリア）	● STBC、リセットコントローラ ● リテンション RAM ● MainOSC、SubOSC、LS IntOSC、HS IntOSC、CLMA0、CLMA1 ● WDTA0、RTCAn、TAUJ0、TAUJ2、ADCA0、LPS0 ● ポートグループ JP0、P0、P1、P2、P3、P8、AP0、IP0
Isolated エリア（ISO エリア）	● CPU サブシステム ● コードフラッシュ、データフラッシュ、ローカル RAM、グローバル RAM ● PLL0、PLL1、CLMA2、CLMA3 ● WDTA1、WDTA2、DCRAn、TAUDn、TAUBn、TAUJ1、TAUJ3、OSTMn、PWM-Diag、CSIGn、CSIHn、RCFDCn、RLIN24n、RLIN3n、RIICn、ADCA1、モータ制御、ENCAn、KRn、MEMCn、SFMAn、FLXAn、ETNBn、RSENTn、MMCAn ● ポートグループ P9、P10、P11、P12、P13、P18、P19、P20、P21、P22、P23、P24、AP1

第10B章　電源とパワードメイン (RH850/F1KM-S4, RH850/F1KM-S2)

本章では、RH850/F1KM-S4 の電源とパワードメインについて説明します。

10B.1　機能

内部回路は、Always-On エリア（AWO エリア）と Isolated エリア（ISO エリア）の 2 つの独立したパワードメインに分割されています。

Always-On エリア（AWO エリア）の電源は、すべての動作モードおよびスタンバイモードで常時電源が供給されています。

Isolated エリア（ISO エリア）の電源は、全体の消費電力を低減するためにスタンバイモードの種類に応じて切断することができます。

各々のパワードメインに対して、専用のオンチップ電圧レギュレータが内部供給電圧を生成します。

デバイスの動作には以下の電圧が必要です。

- オンチップ電圧レギュレータ用電源電圧 REGVCC。電圧レギュレータの出力電圧は、各々のパワードメイン内のデジタル回路に供給されます。
- I/O ポート用電源電圧 EVCC および BVCC [注1]。
- A/D コンバータおよび専用の I/O ポート用電源電圧 A0VREF および A1VREF [注1]。

注1. 100-pin 製品は非対応

10B.1.1　電源端子

下の表はすべての電源端子およびその用途を示します。

表 10B.1　電源端子

<table>
<tr><th>電源</th><th>電源端子</th><th>電圧供給先</th></tr>
<tr><td rowspan="5">内部回路用電源</td><td>REGVCC</td><td rowspan="5">● Always-On エリア（AWO エリア）および Isolated エリア（ISO エリア）のオンチップ電圧レギュレータ
● ポートグループ IP0 [注2]
● MainOSC
● SubOSC [注2]
● POC / LVI</td></tr>
<tr><td>AWOVCL [注1]</td></tr>
<tr><td>AWOVSS</td></tr>
<tr><td>ISOVCL [注1]</td></tr>
<tr><td>ISOVSS</td></tr>
<tr><td rowspan="4">I/O ポート用電源</td><td>EVCC</td><td rowspan="2">● $\overline{\text{RESET}}$
● FLMD0
（272-pin 製品）(RH850F1KM-S4)
● ポートグループ JP0、P0、P1、P2、P3、P8、P9、P20
（233-pin 製品）(RH850F1KM-S4)
● ポートグループ JP0、P0、P1、P2、P3、P8、P9、P20
（176-pin 製品）
● ポートグループ JP0、P0、P1、P2、P8、P9、P20
（144-pin 製品）
● ポートグループ JP0、P0、P1、P8、P9、P20
（100-pin 製品）
● ポートグループ JP0、P0、P8、P9、P10、P11</td></tr>
<tr><td>EVSS</td></tr>
<tr><td>BVCC</td><td rowspan="2">（272-pin 製品）(RH850F1KM-S4)
● ポートグループ P10、P11、P12、P13、P18、P19、P21、P22
（233-pin 製品）(RH850F1KM-S4)
● ポートグループ P10、P11、P12、P13、P18、P19
（176-pin 製品）
● ポートグループ P10、P11、P12、P18
（144-pin 製品）
● ポートグループ P10、P11、P12、P18</td></tr>
<tr><td>BVSS</td></tr>
<tr><td rowspan="4">A/D コンバータ用電源</td><td>A0VREF</td><td rowspan="2">● ADCA0 のアナログ回路、ポートグループ AP0</td></tr>
<tr><td>A0VSS</td></tr>
<tr><td>A1VREF</td><td rowspan="2">● ADCA1 のアナログ回路、ポートグループ AP1 [注2]</td></tr>
<tr><td>A1VSS</td></tr>
</table>

備考　各電源の電圧範囲については、「**第 47B 章　RH850/F1KM-S4, RH850/F1KM-S2 の電気的特性**」を参照してください。

注1.　内蔵電圧レギュレータ用安定化容量の接続端子

注2.　100-pin 製品は非対応

10B.1.2 パワードメインのブロック図

下の図は電源回路の概要を示します。

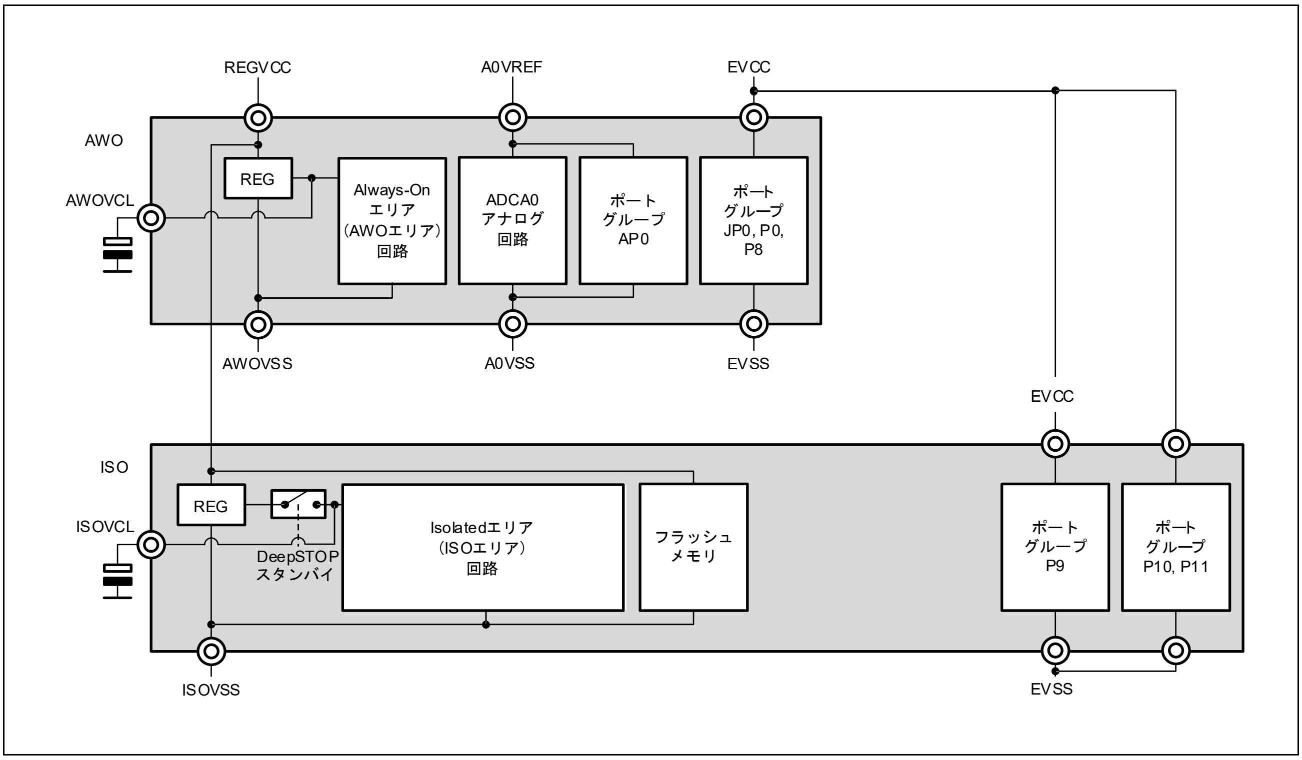


図 10B.1　　電源回路の概要（100 Pin）(RH850/F1KM-S4, RH850/F1KM-S2)

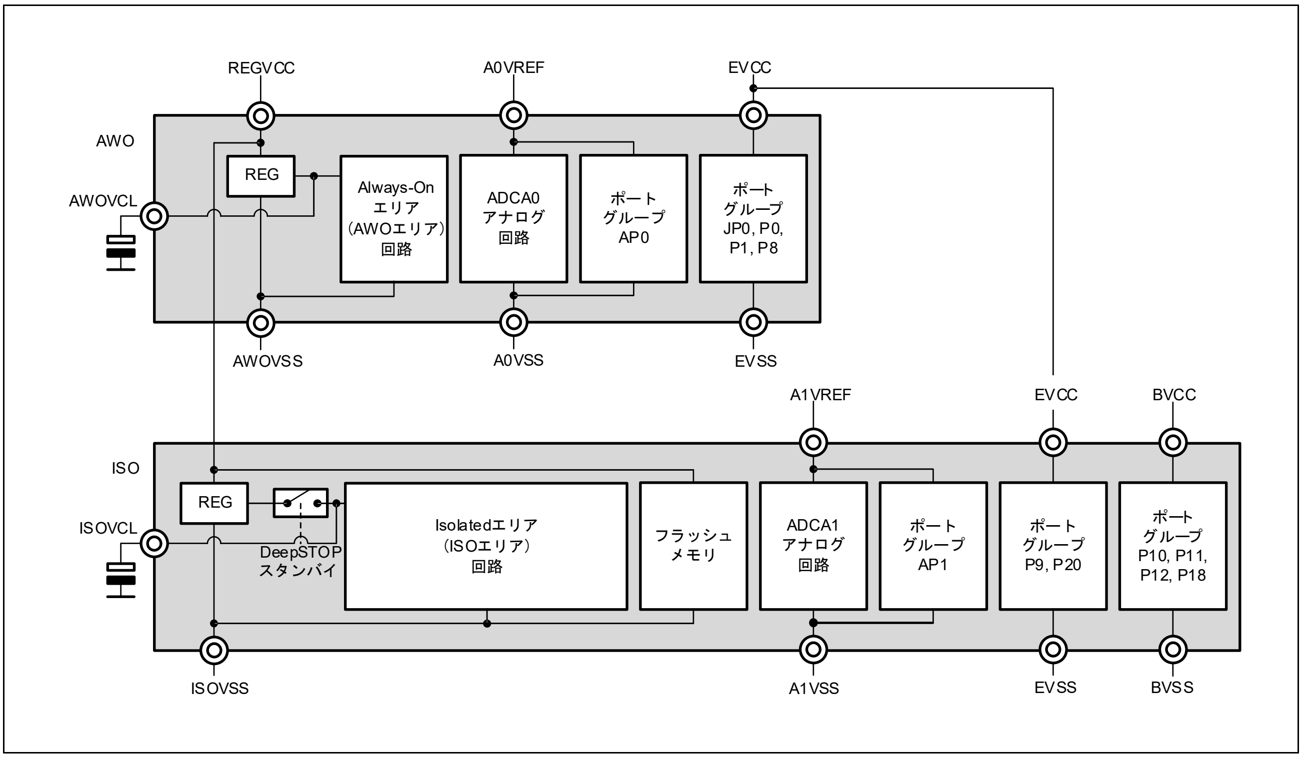


図 10B.2　　電源回路の概要（144 Pin）(RH850/F1KM-S4, RH850/F1KM-S2)

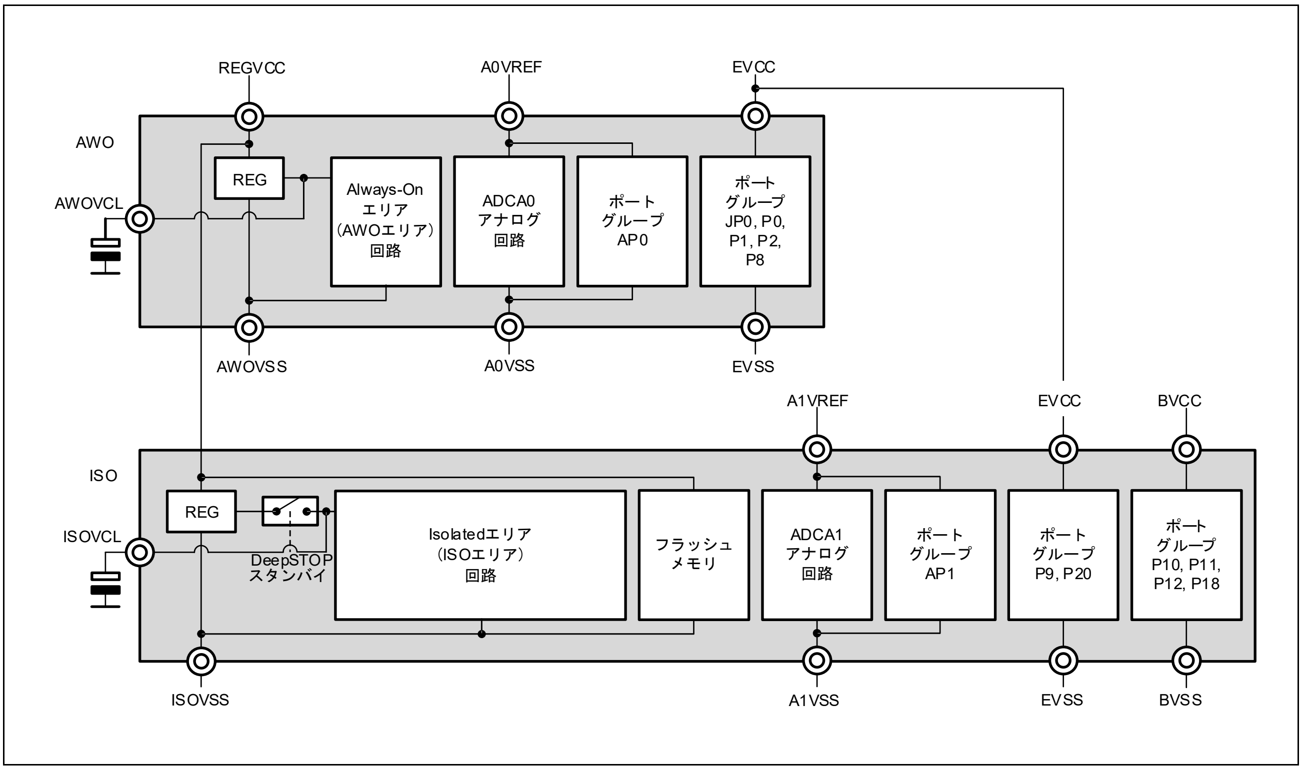


図 10B.3　　電源回路の概要（176 Pin）(RH850/F1KM-S4, RH850/F1KM-S2)

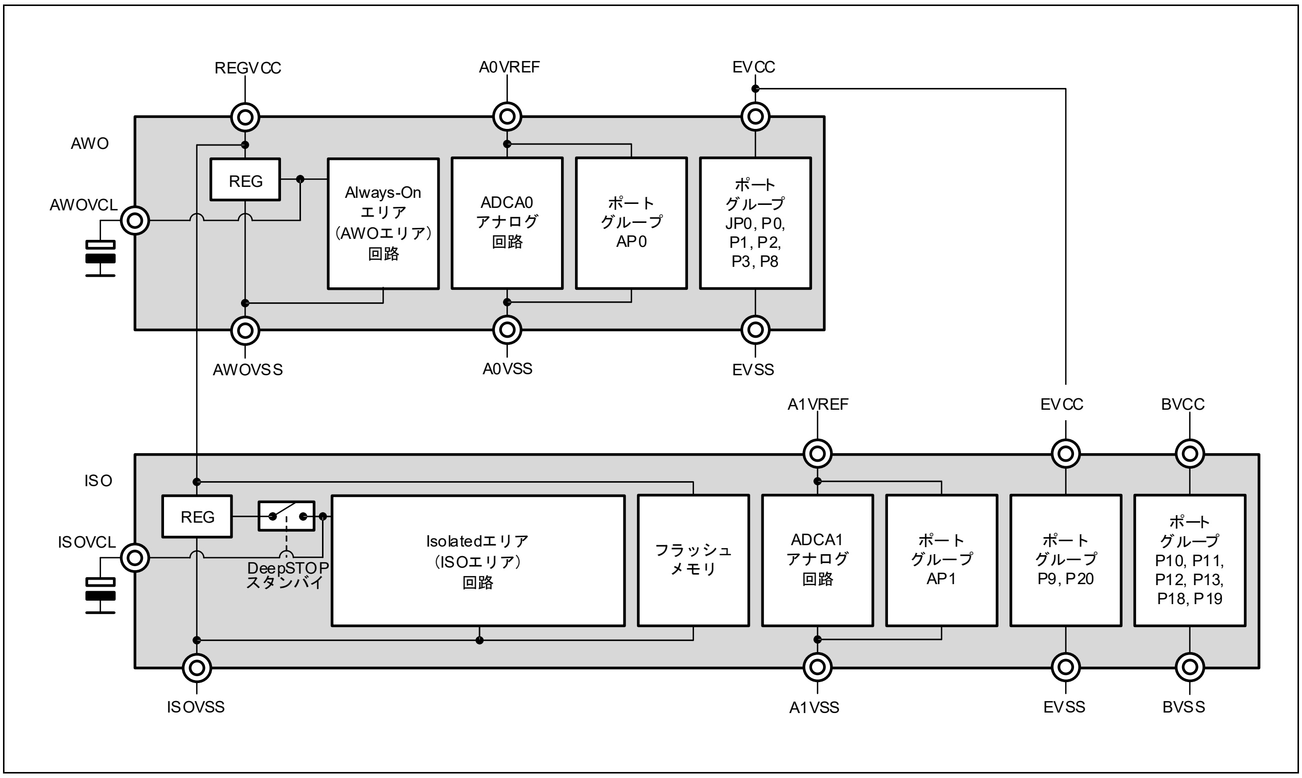


図 10B.4　　電源回路の概要（233 Pin）(RH850/F1KM-S4)

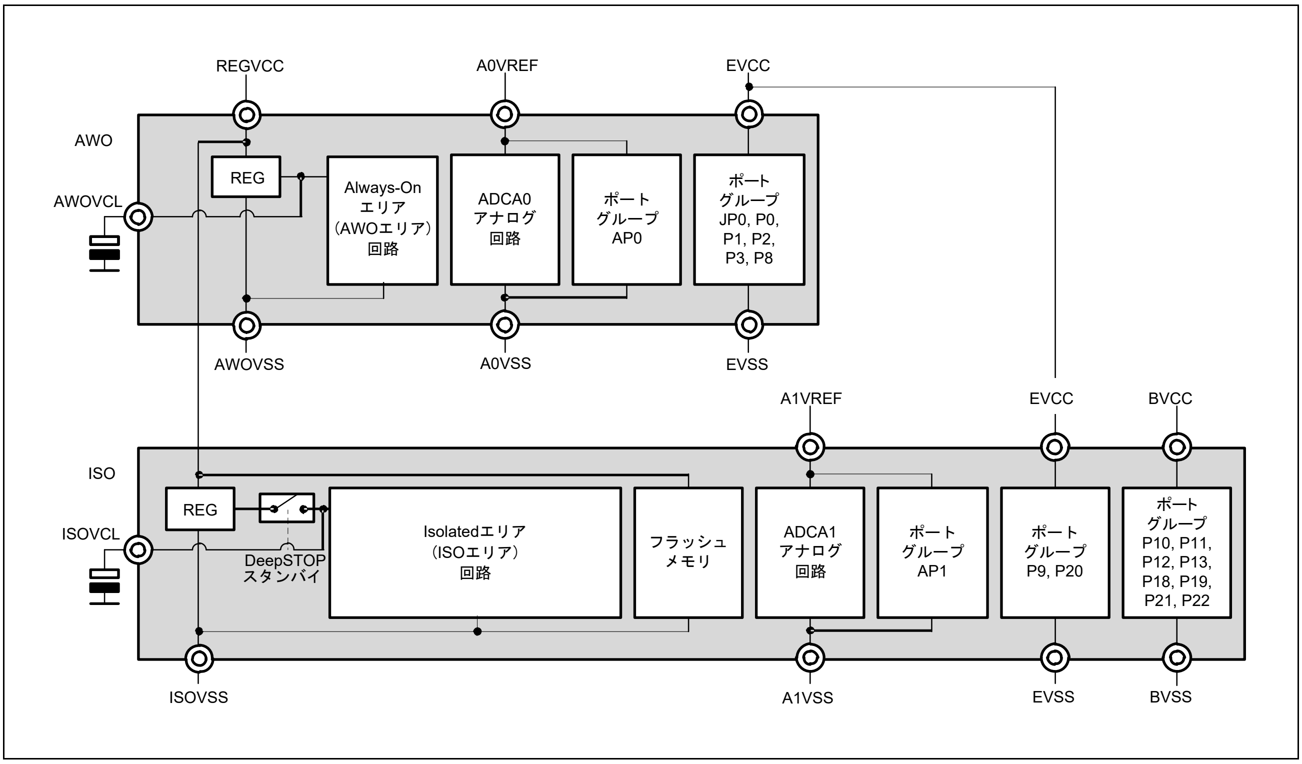


図 10B.5　　電源回路の概要（272 Pin）(RH850/F1KM-S4)

10B.1.3　パワードメインの配置

下の表は、パワードメインで分類されたマイクロコントローラの機能モジュールを示します。

表 10B.2　機能モジュールとパワードメイン (RH850/F1KM-S4)

パワードメイン	機能
Always-On エリア（AWO エリア）	● STBC、リセットコントローラ ● リテンション RAM ● MainOSC、SubOSC、LS IntOSC、HS IntOSC、CLMA0、CLMA1 ● WDTA0、RTCAn、TAUJ0、TAUJ2、ADCA0、LPS0 ● ポートグループ JP0、P0、P1、P2、P3、P8、AP0、IP0
Isolated エリア（ISO エリア）	● CPU サブシステム ● コードフラッシュ、データフラッシュ、ローカル RAM、グローバル RAM ● PLL0、PLL1、CLMA2、CLMA3 ● WDTA1、DCRAn、TAUDn、TAUBn、TAUJ1、TAUJ3、OSTMn、PWM-Diag、CSIGn、CSIHn、RCFDCn、RLIN24n、RLIN3n、RIICn、ADCA1、モータ制御、ENCAn、KRn、MEMCn、SFMAn、FLXAn、ETNBn、RSENTn ● ポートグループ P9、P10、P11、P12、P13、P18、P19、P20、P21、P22、AP1

表 10B.3　機能モジュールとパワードメイン (RH850/F1KM-S2)

パワードメイン	機能
Always-On エリア（AWO エリア）	● STBC、リセットコントローラ ● リテンション RAM ● MainOSC、SubOSC、LS IntOSC、HS IntOSC、CLMA0、CLMA1 ● WDTA0、RTCAn、TAUJ0、TAUJ2、ADCA0、LPS0 ● ポートグループ JP0、P0、P1、P2、P8、AP0、IP0
Isolated エリア（ISO エリア）	● CPU サブシステム ● コードフラッシュ、データフラッシュ、ローカル RAM、グローバル RAM ● PLL0、PLL1、CLMA2、CLMA3 ● WDTA1、DCRAn、TAUDn、TAUBn、TAUJ1、TAUJ3、OSTMn、PWM-Diag、CSIGn、CSIHn、RCFDCn、RLIN24n、RLIN3n、RIICn、ADCA1、モータ制御、ENCAn、KRn、SFMAn、RSENTn ● ポートグループ P9、P10、P11、P12、P18、P20、AP1

第10C章 電源とパワードメイン (RH850/F1KM-S1)

本章では、RH850/F1KM-S1 の電源とパワードメインについて説明します。

10C.1 機能

内部回路は、Always-On エリア（AWO エリア）と Isolated エリア（ISO エリア）の 2 つの独立したパワードメインに分割されています。

Always-On エリア（AWO エリア）の電源は、すべての動作モードおよびスタンバイモードで常時電源が供給されています。

Isolated エリア（ISO エリア）の電源は、全体の消費電力を低減するためにスタンバイモードの種類に応じて切断することができます。

各々のパワードメインに対して、専用のオンチップ電圧レギュレータが内部供給電圧を生成します。

デバイスの動作には以下の電圧が必要です。

- オンチップ電圧レギュレータ用電源電圧 REGVCC。電圧レギュレータの出力電圧は、各々のパワードメイン内のデジタル回路に供給されます。
- I/O ポート用電源電圧 EVCC。
- A/D コンバータおよび専用の I/O ポート用電源電圧 A0VREF。

10C.1.1　電源端子

下の表はすべての電源端子およびその用途を示します。

表 10C.1　電源端子

電源	電源端子	電圧供給先
内部回路用電源	REGVCC	● Always-On エリア（AWO エリア）および Isolated エリア（ISO エリア）のオンチップ電圧レギュレータ ● MainOSC ● POC / LVI
	AWOVCL 注1	
	AWOVSS	
	ISOVCL 注1	
	ISOVSS	
I/O ポート用電源	EVCC	● $\overline{\text{RESET}}$ ● FLMD0 （100/80-pin 製品） ● ポートグループ JP0、P0、P8、P9、P10、P11 （64/48-pin 製品） ● ポートグループ JP0、P0、P8、P9、P10
	EVSS	
A/D コンバータ用電源	A0VREF	● ADCA0 のアナログ回路、ポートグループ AP0
	A0VSS	

備考　各電源の電圧範囲については、「**第 47C 章 RH850/F1KM-S1 の電気的特性**」を参照してください。

注1.　内蔵電圧レギュレータ用安定化容量の接続端子

10C.1.2　パワードメインのブロック図

下の図は電源回路の概要を示します。

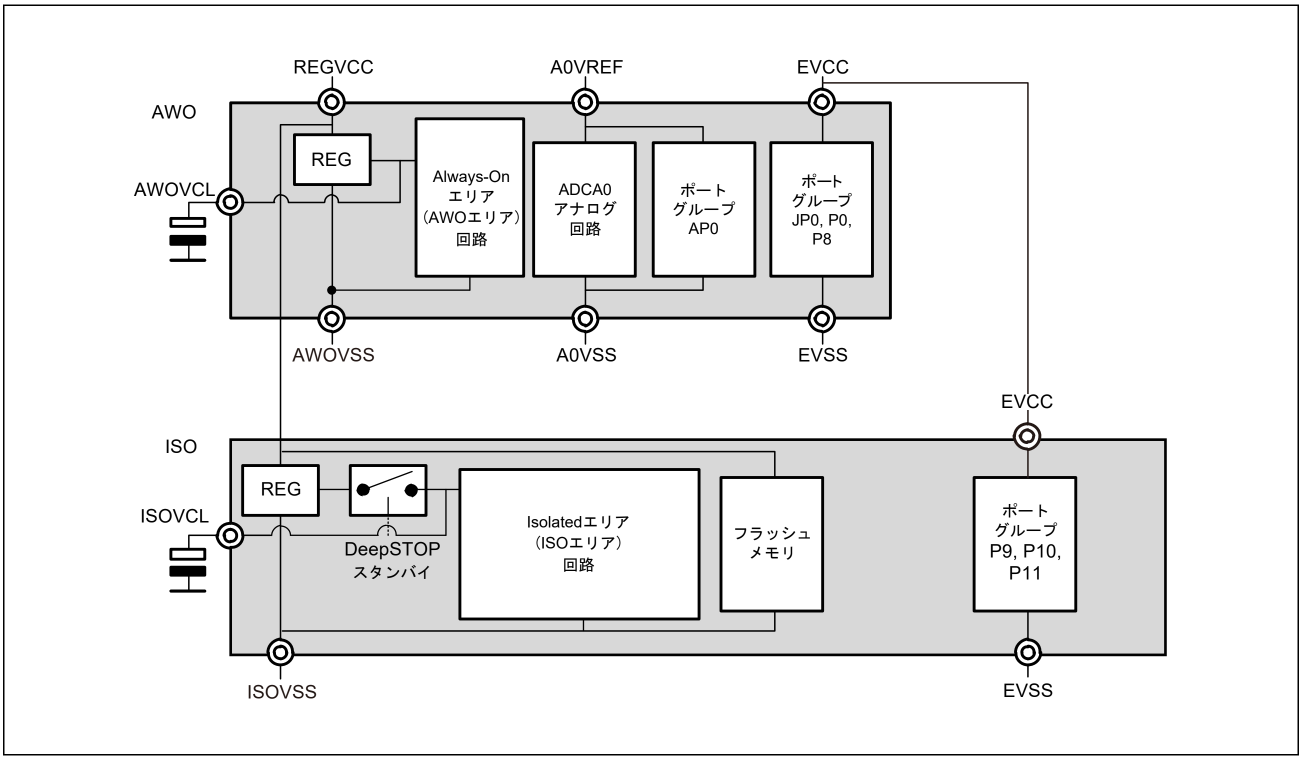


図 10C.1　電源回路の概要（100/80 Pin）

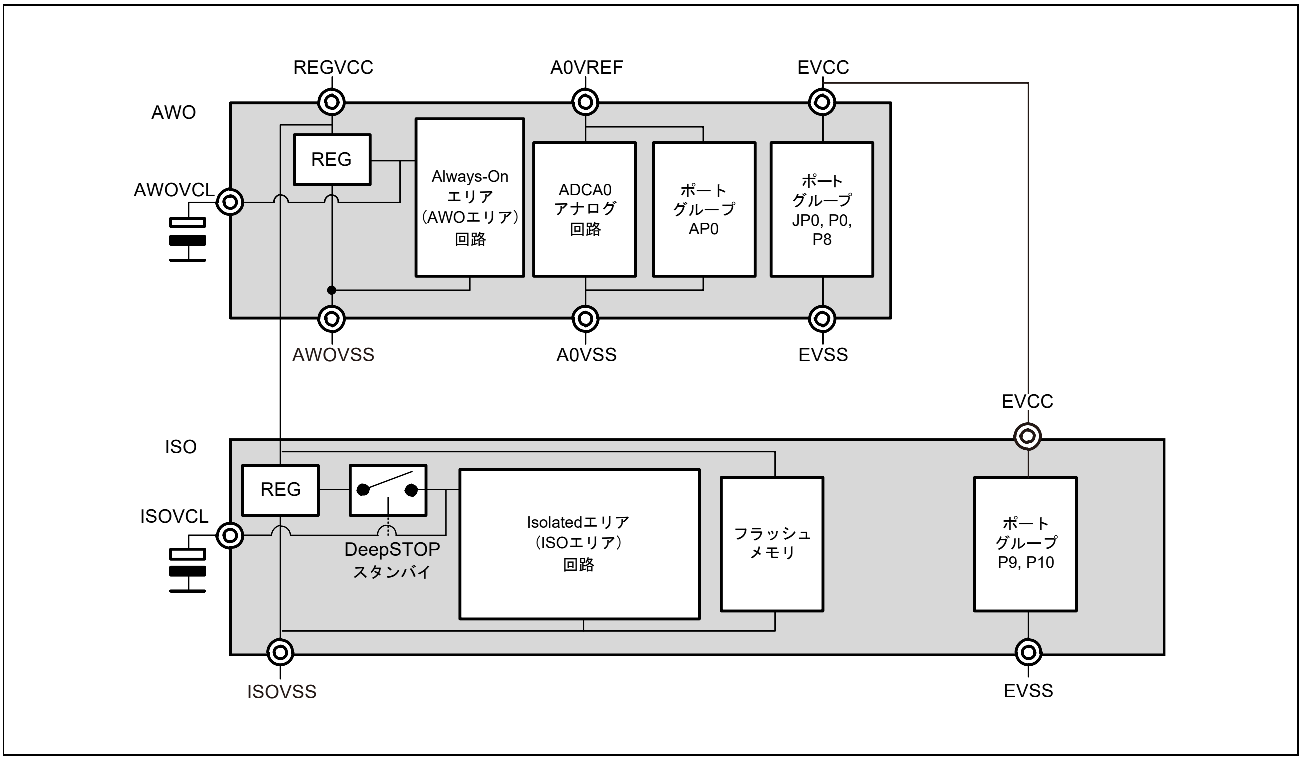


図 10C.2　電源回路の概要（64/48 Pin）

10C.1.3　パワードメインの配置

下の表は、パワードメインで分類されたマイクロコントローラの機能モジュールを示します。

表 10C.2　機能モジュールとパワードメイン

パワードメイン	機能
Always-On エリア（AWO エリア）	● STBC、リセットコントローラ ● リテンション RAM ● MainOSC、LS IntOSC、HS IntOSC、CLMA0、CLMA1 ● WDTA0、RTCAn、TAUJ0、TAUJ2、ADCA0、LPS0 ● ポートグループ JP0、P0、P8、AP0
Isolated エリア（ISO エリア）	● CPU サブシステム ● コードフラッシュ、データフラッシュ、ローカル RAM ● PLL1、CLMA3 ● WDTA1、DCRAn、TAUDn、TAUBn、TAUJ1、TAUJ3、OSTMn、PWM-Diag、CSIGn、CSIHn、RCFDCn、RLIN24n、RLIN3n、RIICn、モータ制御、ENCAn、KRn、RSENTn ● ポートグループ P9、P10、P11

第11A章　電源電圧モニタ (RH850/F1KH-D8)

本章では、電源電圧モニタ全般について説明します。

最初の節では電源電圧モニタの機能について説明し、それ以降の節でレジスタについて説明します。

本電源電圧モニタは、電源電圧異常を早期に検知・対処することが可能です。しかしながら、すべての異常を検知・対処できるものではありません。

したがって、安全に異常検知・対処を行うには、外部デバイスで以下に示す端子の電圧を監視してください。

- REG0VCC
- REG1VCC
- EVCC
- BVCC
- A0VREF
- A1VREF
- AWOVCL
- ISOVCL

外部デバイスでの電源電圧監視に必要な仕様は、「**47A.4.5　電源特性**」に記載されています。

11A.1　概要

11A.1.1　機能概要

電源電圧モニタは、デバイスが規定の電源電圧範囲内で動作することを保証するため、複数の外部および内部電源電圧を継続的にモニタします。基準電圧や比較電圧を下回った場合、割り込み要求信号や内部リセット信号を発生します。電源電圧モニタ機能の一覧を以下の表に示します。

表 11A.1　　電源電圧モニタ機能

機能名	モニタ電圧	電圧を下回ったときに発生する信号
パワーオンクリア（POC）	REG0VCC REG1VCC	内部リセット信号
低電圧検出回路（LVI）	REG0VCC	内部リセット信号、割り込み要求信号
コアボルテージモニタ（CVM）	Isolated エリア（ISO エリア）の電圧	内部リセット信号
RAM 保持電圧インジケータ（VLVI）	REG0VCC	—

備　考

1. RAM 保持電圧インジケータは RAM 保持電圧を下回ったとき、超低電圧検出フラグ（VLVF）をセットします。
2. 内部のコア電圧モニタ（CVM）が機能的安全手段として顧客のシステムに使われる場合は、外部の電圧モニタにより Always-On エリア（AWO エリア）の電圧の監視が必要となります。

11A.1.2　パワーオンクリア（POC）

POC は外部電源電圧 REG0VCC、REG1VCC を継続的にモニタします。これにより、マイクロコントローラはパワーオンクリア検出電圧（VPOC）以上の電源電圧でのみ動作することを保証しています。

REG0VCC、REG1VCC がパワーオンクリア検出電圧を下回ると（REG0VCC＜VPOC, REG1VCC＜VPOC）、内部リセット信号（POCRES）が発生します。

詳しくは、「**9A.4.2 パワーオンクリア（POC）リセット**」を参照してください。

11A.1.3　低電圧検出回路（LVI）

LVI は、継続的に外部電源電圧 REG0VCC を LVI 基準電圧 VLVIn と比較します。REG0VCC が基準電圧を下回ると（REG0VCC＜VLVIn）、内部リセット信号または割り込み要求信号のどちらかが生成されます。

11A.1.3.1　LVI 基準電圧

LVI 基準電圧 VLVIn は、LVICNT.LVICNT[1:0]ビットを設定することによって 3 種類のレベルから選択できます。

LVICNT.LVICNT[1:0]ビットが 00_B に設定されている場合、LVI は無効です。

基準電圧レベル VLVIn の仕様については、「**11A.2.2.1 LVICNT — LVI 制御レジスタ**」を参照してください。

11A.1.3.2　LVI リセット（$\overline{\text{LVIRES}}$）

LVI の検出電圧が設定され、LVIRESMK が解除された後、REG0VCC が基準電圧を下回った場合（REG0VCC＜VLVIn）、内部リセット信号 $\overline{\text{LVIRES}}$ が発生します。

$\overline{\text{LVIRES}}$ 発生時の仕様については「**9A.4.3 低電圧検出回路（LVI）リセット**」を参照ください。

11A.1.3.3　LVI 割り込み（INTLVIL / INTLVIH）

LVI の検出電圧が LVICNT.LVICNT[1:0]に設定され LVICNT.LVIRESMK が 1 にセットされた後、REG0VCC が基準電圧を下回った場合（REG0VCC (MIN)＜VLVIn）、LVI 割り込み INTLVIL が発生します。

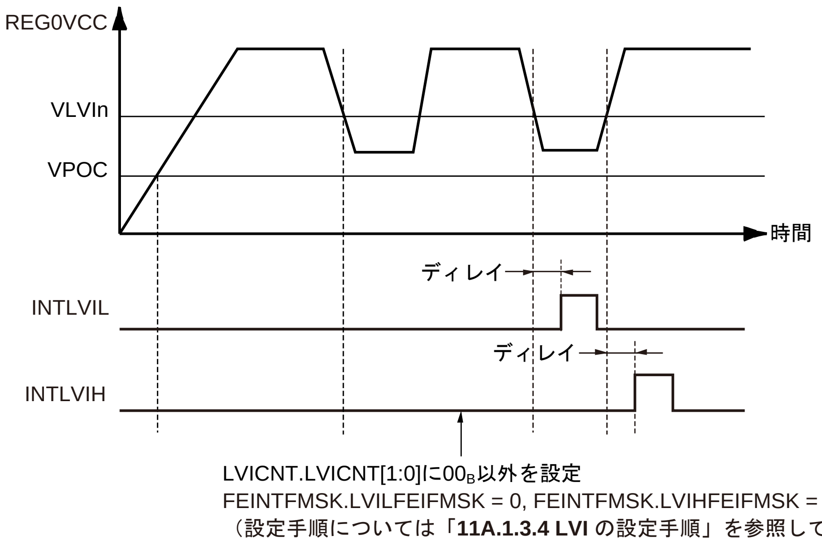
LVI を割り込み要因として使用する場合は INTLVIL 割り込みのマスク解除する必要があります。

INTLVIL 割り込みは、すべてのスタンバイモードからのウェイクアップ要因として使用できます。詳細は「**第 14 章 スタンバイコントローラ（STBC）**」を参照ください。

LVI の検出電圧が LVICNT.LVICNT[1:0]に設定され LVICNT.LVIRESMK が 1 にセットされた後、REG0VCC が基準電圧を上回った場合（REG0VCC (MIN)＞VLVIn）、LVI 割り込み INTLVIH が発生します。

LVI を割り込み要因として使用する場合は INTLVIH 割り込みのマスク解除する必要があります。

INTLVIL / INTLVIH のタイミング図を次に示します。



備考　ディレイ：
REG0VCC が VLVIn 以下となったとき、遅延時間経過後、INTLVIL が発生します。その後、REG0VCC が VLVIn を超えたとき、遅延時間経過後、INTLVIH が発生します。
遅延時間については、「**第 47A 章 RH850/F1KH-D8 の電気的特性**」を参照してください。

図 11A.1　INTLVIL / INTLVIH 発生タイミング

11A.1.3.4 LVI の設定手順

以下に LVI の設定手順を示します。

(1) LVI をリセット要因とする場合

a. LVI のリセットをマスクします。（LVICNT.LVIRESMK＝1）注 1

b. LVI の割り込みをマスクします。（FEINTFMSK.LVILFEIFMSK＝1, FEINTFMSK.LVIHFEIFMSK＝1）

c. 検出電圧を設定／動作許可します。（LVICNT.LVICNT[1: 0]設定）注 1

d. ソフトウェアにて十分なウェイト時間を挿入します（「**第 47A 章 RH850/F1KH-D8 の電気的特性**」参照）。

e. LVI のリセットをマスク解除します。（LVICNT.LVIRESMK＝0）注 1

(2) LVI を割り込み要因（FEINT）とする場合

a. LVI のリセットをマスクします。（LVICNT.LVIRESMK＝1）注 1

b. LVI の割り込みをマスクします。（FEINTFMSK.LVILFEIFMSK＝1, FEINTFMSK.LVIHFEIFMSK＝1）

c. 検出電圧を設定／動作許可します。（LVICNT.LVICNT[1: 0]設定）注 1

d. ソフトウェアにて十分なウェイト時間を挿入します（「**第 47A 章 RH850/F1KH-D8 の電気的特性**」参照）。

e. LVI の割り込みをマスク解除します。（FEINTFMSK.LVILFEIFMSK＝0, FEINTFMSK.LVIHFEIFMSK＝0）

注1. LVICNT レジスタはライト保護レジスタのため、レジスタ保護シーケンスにそって設定を行ってください。（「**第 5 章 書き込み保護レジスタ**」参照）

注 意

REG0VCC が LVI 検出レベル（VLVIn）近傍で揺れている場合、INTLVIH または INTLVIL 割り込み処理の判断を誤る可能性があります。

例として、INTLVIL 割り込み処理中に、REG0VCC が揺れることで INTLVIH と INTLVIL 割り込みが複数回ずつ発生すると、最後に発生した割り込みがどちらかを検出することができません。

これにより、REG0VCC (MIN)＞VLVIn になっているにもかかわらず、最後に INTLVIL 割り込み処理が行われると、ソフトウェアは REG0VCC (MIN)＜VLVIn と誤判断してしまいます。

LVI 検出割り込み処理は、次の LVI 検出が発生する前に完了するようにしてください。また、REG0VCC の制御等も考慮してください。

11A.1.3.5 LVI へのクロック供給

LVI のクロック供給を以下の表に示します。

表 11A.2 LVI へのクロック供給 (RH850/F1KH-D8)

ユニット名	ユニットクロック名	供給クロック名
LVI	レジスタアクセスクロック	CPUCLK_UL

11A.1.4 コアボルテージモニタ（CVM）

コアボルテージモニタ（Core Voltage Monitor。以降、CVM と称す）は、マイコン内の Isolated エリア（ISO エリア）の電圧（以降、コア電圧）を監視するために使われます。

レギュレータ出力電圧が規定の範囲外になると、内部リセット信号（ $\overline{\text{CVMRES}}$ ）が生成されます。

高電圧異常検知時は、リセットの発生に加えて、Isolated エリア（ISO エリア）の電源遮断をします。

診断モード（DIAG モード）によって、CVM はコア電圧異常検出状態となります。診断モードによって、意図的にコア電圧異常検出状態を作り出すことができ、CVM の異常電圧検出フラグの故障を確認することができます。

注　意

内蔵電圧レギュレータと Isolated エリア（ISO エリア）への供給電圧に対するレギュレータの特性や使用条件で発生する電圧ドリフトや電圧の揺れは、検出電圧範囲内の場合、CVM で検出できません。

11A.1.4.1 CVM リセット（ $\overline{\text{CVMRES}}$ ）

高電圧監視（CVMDE.H_D_E＝1）時、コア電圧が規定の電圧を上回ると $\overline{\text{CVMRES}}$ を発生し、Isolated エリア（ISO エリア）への電源供給も停止します。

低電圧監視（CVMDE.L_D_E＝1）時、コア電圧が規定の電圧を下回ると $\overline{\text{CVMRES}}$ を発生します。

$\overline{\text{CVMRES}}$ 発生時の仕様については「**9A.4.4 コアボルテージモニタ（CVM）リセット**」を参照ください。

11A.1.4.2 CVM の設定

オプションバイトで高電圧監視、および低電圧監視の許可を設定してください。詳細は「**44.9 オプションバイト**」を参照ください。

11A.1.4.3　診断（DIAG）モード

本製品は診断モードをサポートしています。

診断（DIAG）モードにより、CVM の異常電圧検出フラグがセット“1”されることを確認できます。

診断モード時、$\overline{\text{CVMRES}}$ は出力されません。

診断モードの設定は、以下の様に行ってください。

本手順以外でレジスタを設定した場合、動作は保証されません。

(1) CVMDIAG.CVM_DIAG_MASK をセットする。[注 1]

(2) CVMDIAG.CVM_DIAG をセットする。[注 1]

(3) 12μs ウェイト[注 2]

(4) CVMF レジスタをリードし、H_V_F ビットおよび L_V_F ビットが“1”であることを確認（“0”の場合、CVM は正常動作してないため、エラー処置が必要になります。）

(5) CVMDIAG.CVM_DIAG をクリアする。[注 1]

(6) CVMF レジスタをクリア[注 1]

(7) CVMF レジスタをリードし、H_V_F ビットおよび L_V_F ビットが“0”であることを確認（“1”の場合は再度（5）へ）

(8) CVMDIAG.CVM_DIAG_MASK をクリアする。[注 1]

注1. CVMF および CVMDIAG レジスタはライト保護レジスタのため、レジスタ保護シーケンスにそって設定を行ってください。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

注2. 以下の条件から（4）開始までに 50μs 経過している必要があります。

- HALT 状態解除時
- STOP モード解除時
- RUN モード時（HALT 状態を含む）に CVM 以外のリセットが発生した場合のリセット解除時
- CPU クロック切り替え時
- MainOSC 動作開始および停止時
- PLL 動作開始および停止時

11A.1.4.4　CVM へのクロック供給

CVM のクロック供給を以下の表に示します。

表 11A.3　CVM へのクロック供給 (RH850/F1KH-D8)

ユニット名	ユニットクロック名	供給クロック名
CVM	レジスタアクセスクロック	CPUCLK_UL

11A.1.5　RAM 保持電圧インジケータ（超低電圧検出回路：VLVI）

超低電圧検出回路（VLVI）は、RAM 保持電圧を検出する回路であり、電源電圧 REG0VCC と RAM 保持電圧 VVLVI を常に比較しています。

RAM 保持電圧レベル VVLVI の仕様については、「**第 47A 章 RH850/F1KH-D8 の電気的特性**」を参照してください。

11A.1.5.1　VLVI へのクロック供給

VLVI のクロック供給を以下の表に示します。

表 11A.4　VLVI へのクロック供給 (RH850/F1KH-D8)

ユニット名	ユニットクロック名	供給クロック名
VLVI	レジスタアクセスクロック	CPUCLK_UL

11A.1.5.2　リテンション RAM 内容の保持

電源電圧 REG0VCC が VVLVI を下回らないかぎり、リテンション RAM（RRAM）の内容は保持されます。リセット時の保持状態については、「**9A.1.1 リセット要因**」を参照してください。

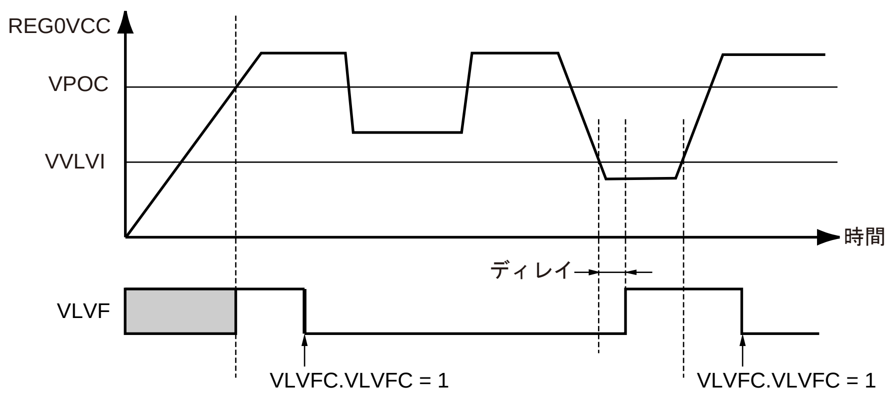
REG0VCC が VVLVI を下回った場合、RRAM の内容は保証できません。したがって、動作を継続する前に RRAM 全体を書き戻しする必要があります。

REG0VCC が RAM 保持電圧を下回った場合（REG0VCC＜VVLVI）、VLVF.VLVF ビットがセットされます。

その後、REG0VCC が VVLVI を上回っても VLVF.VLVF ビットは自動的にクリアされません。VLVF ビットは以下によってクリアされます。

- VLVFC.VLVFC ビットを 1 に設定

VLVF のタイミング図を以下に示します。



備考　ディレイ：
REG0VCC が VVLVI 以下となったとき、遅延時間経過後、VLVF ビットが 1 にセットされます。遅延時間については、「**第 47A 章 RH850/F1KH-D8 の電気的特性**」を参照してください。

図 11A.2　VLVF 動作タイミング

11A.1.6　　ブロック図

電源電圧モニタのブロック図を以下に示します。

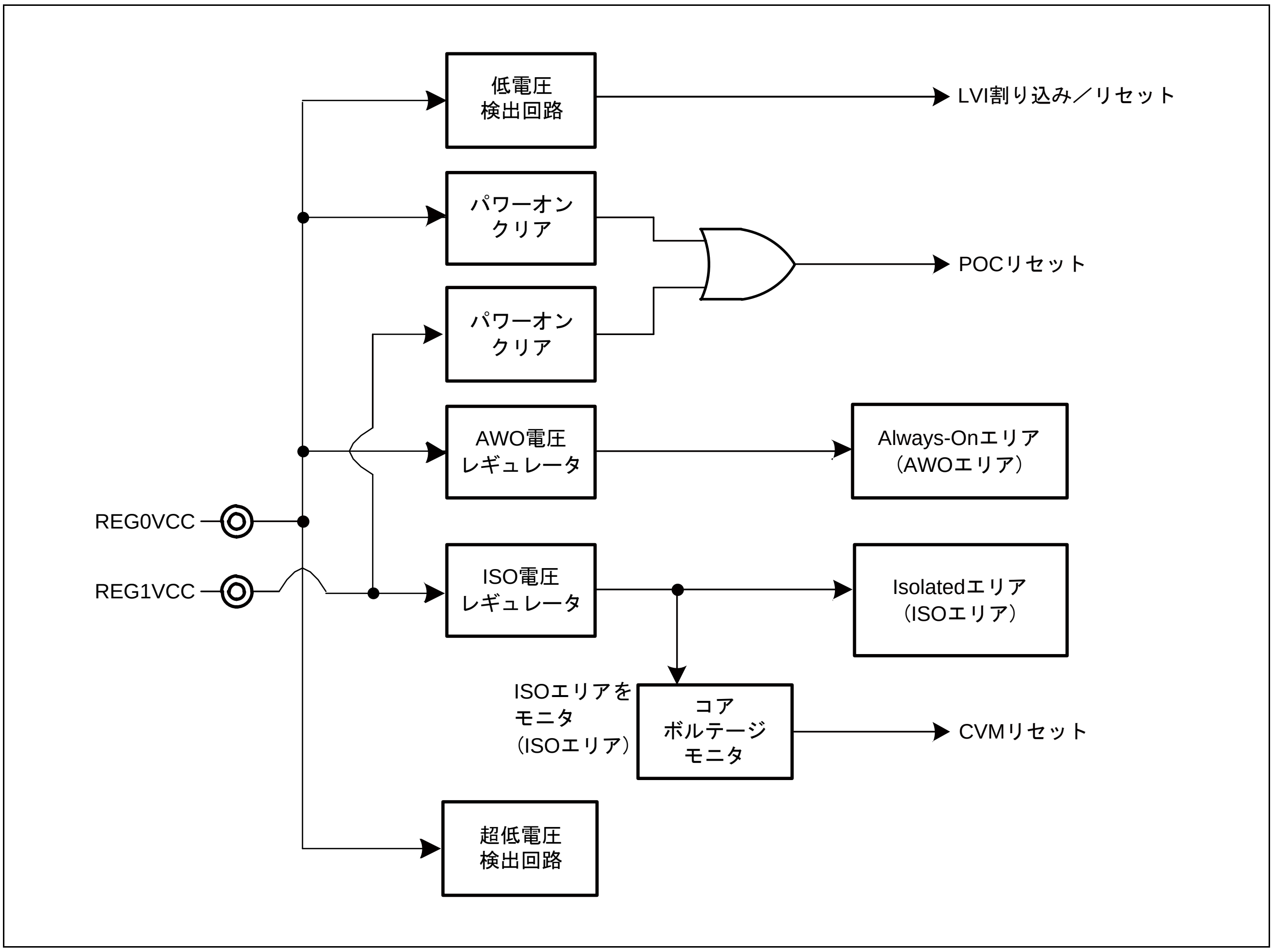


図 11A.3　　電源電圧モニタ（RH850/F1KH-D8）

11A.2　レジスタ

11A.2.1　レジスター覧

電源電圧モニタのレジスタ一覧を以下の表に示します。

表 11A.5　　レジスター覧

モジュール名	レジスタ名	略号	アドレス
SVM	低電圧検出リセット制御レジスタ		
	LVI 制御レジスタ	LVICNT	FFF8 0A00$_H$
	コアボルテージモニタ制御レジスタ		
	CVM 要因レジスタ	CVMF	FFF8 3100$_H$
	CVM 検出許可レジスタ	CVMDE	FFF8 3104$_H$
	CVM 診断モード設定レジスタ	CVMDIAG	FFF8 3114$_H$
	超低電圧検出制御レジスタ		
	超低電圧検出レジスタ	VLVF	FFF8 0980$_H$
	超低電圧検出クリアレジスタ	VLVFC	FFF8 0988$_H$

11A.2.2　低電圧検出リセット制御レジスタ

11A.2.2.1　LVICNT — LVI 制御レジスタ

低電圧検出の制御と、LVI 検出レベルの選択を行います。

このレジスタは、パワーアップリセット PURES により初期化されます。

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。

詳細は、「**第 5 章 書き込み保護レジスタ**」を参照してください。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 0A00H

リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	LVIRESMK	LVICNT[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 11A.6　LVICNT レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	LVIRESMK	LVI リセットのマスク 0：LVI リセットがマスクされない 1：LVI リセットがマスクされる
1、0	LVICNT[1:0]	検出レベル 0 0：LVI 無効 0 1：VLVI0＝4.0±0.1V（下降）、4.0±0.13V（上昇） 1 0：VLVI1＝3.7±0.1V（下降）、3.7±0.13V（上昇） 1 1：VLVI2＝3.5±0.1V（下降）、3.5±0.13V（上昇）

備　考

LVI 割り込みを使用する場合は、LVIRESMK にて LVI リセットをマスク（LVIRESMK＝1）する必要があります。

11A.2.3　コアボルテージモニタ制御レジスタ

11A.2.3.1　CVMF — CVM 要因レジスタ

最後のパワーオンクリア POCRES 後に発生したコア電圧異常の情報を記憶するレジスタです。

CVM がコア電圧の異常を検出すると、ハードウェアにより L_V_F ビットまたは H_V_F ビットが “1” にセットされます。

L_V_F ビット、または H_V_F ビットのいずれかに “1” がセットされると、パワーオンクリア POCRES、または各ビット（CVMF.L_V_F, CVMF.H_V_F）への “0” 書き込みで初期化するまで値を保持します。ただし、診断モード時は、常にコア電圧監視回路からのエラー信号をモニタします。

このレジスタを更新するためには、PROTCMDCVM レジスタを使った正しい書き込みシーケンスが必要です。

詳細は、「**第 5 章 書き込み保護レジスタ**」を参照してください。

アクセス　32 ビット単位でリード／ライト可能です。
アドレス　FFF8 3100H
リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	H_V_F	L_V_F
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 11A.7　CVMF レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	H_V_F	CVM によるコア電圧の高電圧異常検出ビット リードアクセス 　0：高電圧異常なし 　1：高電圧異常あり ライトアクセス 　0：H_V_F ビットをクリア 　1：無効
0	L_V_F	CVM によるコア電圧の低電圧異常検出ビット リードアクセス 　0：低電圧異常なし 　1：低電圧異常あり ライトアクセス 　0：L_V_F ビットをクリア 　1：無効

11A.2.3.2 CVMDE — CVM 検出許可レジスタ

電圧検出許可、禁止の状態を表示するレジスタです。

このレジスタは、パワーアップリセット PURES でのみ初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 3104H

リセット後の値 オプションバイトの設定に依存します。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	H_D_E	L_D_E
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1 注1	0/1 注2
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注1. オプションバイト OPBT0.CVM_HD_EN の設定が反映されます。

注2. オプションバイト OPBT0.CVM_LD_EN の設定が反映されます。

オプションバイトの詳細は、「**44.9 オプションバイト**」を参照してください。

表 11A.8 CVMDE レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1	H_D_E	高電圧監視許可ビット 0：高電圧検出を禁止 1：高電圧検出を許可
0	L_D_E	低電圧監視許可ビット 0：低電圧検出を禁止 1：低電圧検出を許可

11A.2.3.3　CVMDIAG — CVM 診断モード設定レジスタ

CVM の診断モードを設定するレジスタです。

このレジスタは、パワーアップリセット PURES でのみ初期化されます。

診断モード時のレジスタ設定の詳細は、「**11A.1.4.3 診断（DIAG）モード**」を参照してください。

このレジスタを更新するためには、PROTCMDCVM レジスタを使った正しい書き込みシーケンスが必要です。

詳細は、「**第 5 章 書き込み保護レジスタ**」を参照してください。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	FFF8 3114_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CVM_DIAG_MASK	CVM_DIAG
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 11A.9　　CVMDIAG レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	CVM_DIAG_MASK	$\overline{\text{CVMRES}}$ マスク制御ビット 0：マスクしない 1：マスクする
0	CVM_DIAG	CVM 診断モード設定ビット 0：通常モード 1：診断モード

11A.2.4 超低電圧検出制御レジスタ

11A.2.4.1 VLVF — 超低電圧検出レジスタ

超低電圧検出レジスタ（VLVF）は RAM 保持電圧の検出状態を示します。

RAM 保持（VVLVI）以下の電圧を検出した時にセットされます。

VLVF がセットされた場合、リテンション RAM の値は保証できません。

アクセス	32 ビット単位でリードのみ可能です。
アドレス	FFF8 0980H
電源投入後の値	0000 0001H このレジスタは、すべてのリセット要因で初期化されません。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	VLVF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11A.10　VLVF レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。
0	VLVF	超低電圧検出フラグ 0：超低電圧を未検出 1：超低電圧を検出 **備考）** 超低電圧は、REG0VCC が REG0VCC＜RAM 保持電圧（VVLVI）となる電圧の状態です。詳細は、「**11A.1.5.2 リテンション RAM 内容の保持**」を参照してください。

11A.2.4.2 VLVFC — 超低電圧検出クリアレジスタ

VLVF.VLVF ビットをクリアします。

アクセス　32 ビット単位でライトのみ可能です。

アドレス　FFF8 0988H

リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	VLVFC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 11A.11　VLVFC レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	VLVFC	VLVF.VLVF ビットのクリア 0：クリアしない 1：クリアする

第11BC章　電源電圧モニタ (RH850/F1KM)

本章では、電源電圧モニタ全般について説明します。

最初の節では電源電圧モニタの機能について説明し、それ以降の節でレジスタについて説明します。

本電源電圧モニタは、電源電圧異常を早期に検知・対処することが可能です。しかしながら、すべての異常を検知・対処できるものではありません。

したがって、安全に異常検知・対処を行うには、外部デバイスで以下に示す端子の電圧を監視してください。

- REGVCC
- EVCC
- BVCC 注1
- A0VREF
- A1VREF 注1
- AWOVCL
- ISOVCL

注1. 本機能は、RH850/F1KM-S4、RH850/F1KM-S2 および RH850/F1KM-S1 の 100-pin 製品ではサポートされていません。

外部デバイスでの電源電圧監視に必要な仕様は、「**47B.4.5　電源特性**」、「**47C.4.5　電源特性**」に記載されています。

11BC.1 概要

11BC.1.1　機能概要

電源電圧モニタは、デバイスが規定の電源電圧範囲内で動作することを保証するため、複数の外部および内部電源電圧を継続的にモニタします。基準電圧や比較電圧を下回った場合、割り込み要求信号や内部リセット信号を発生します。電源電圧モニタ機能の一覧を以下の表に示します。

表 11BC.1　電源電圧モニタ機能

機能名	モニタ電圧	電圧を下回ったときに発生する信号
パワーオンクリア（POC）	REGVCC	内部リセット信号
低電圧検出回路（LVI）	REGVCC	内部リセット信号、割り込み要求信号
コアボルテージモニタ（CVM）	Isolated エリア（ISO エリア）の電圧	内部リセット信号
RAM 保持電圧インジケータ（VLVI）	REGVCC	—

備　考

1. RAM 保持電圧インジケータは RAM 保持電圧を下回ったとき、超低電圧検出フラグ（VLVF）をセットします。
2. 内部のコア電圧モニタ（CVM）が機能的安全手段として顧客のシステムに使われる場合は、外部の電圧モニタにより Always-On エリア（AWO エリア）の電圧の監視が必要となります。

11BC.1.2　パワーオンクリア（POC）

POC は外部電源電圧 REGVCC を継続的にモニタします。これにより、マイクロコントローラはパワーオンクリア検出電圧（VPOC）以上の電源電圧でのみ動作することを保証しています。

REGVCC がパワーオンクリア検出電圧を下回ると（REGVCC＜VPOC）、内部リセット信号（POCRES）が発生します。

詳しくは、「**9BC.4.2 パワーオンクリア（POC）リセット**」を参照してください。

11BC.1.3　低電圧検出回路（LVI）

LVI は、継続的に外部電源電圧 REGVCC を LVI 基準電圧 VLVIn と比較します。REGVCC が基準電圧を下回ると（REGVCC＜VLVIn）、内部リセット信号または割り込み要求信号のどちらかが生成されます。

11BC.1.3.1　LVI 基準電圧

LVI 基準電圧 VLVIn は、LVICNT.LVICNT[1:0]ビットを設定することによって 3 種類のレベルから選択できます。

LVICNT.LVICNT[1:0]ビットが 00_B に設定されている場合、LVI は無効です。

基準電圧レベル VLVIn の仕様については、「**11BC.2.2.1 LVICNT — LVI 制御レジスタ**」を参照してください。

11BC.1.3.2　LVI リセット（$\overline{\text{LVIRES}}$）

LVI の検出電圧が設定され、LVIRESMK が解除された後、REGVCC が基準電圧を下回った場合（REGVCC＜VLVIn）、内部リセット信号 $\overline{\text{LVIRES}}$ が発生します。

$\overline{\text{LVIRES}}$ 発生時の仕様については「**9BC.4.3 低電圧検出回路（LVI）リセット**」を参照ください。

11BC.1.3.3　LVI 割り込み（INTLVIL / INTLVIH）

LVI の検出電圧が LVICNT.LVICNT[1:0]に設定され LVICNT.LVIRESMK が 1 にセットされた後、REGVCC が基準電圧を下回った場合（REGVCC (MIN)＜VLVIn）、LVI 割り込み INTLVIL が発生します。

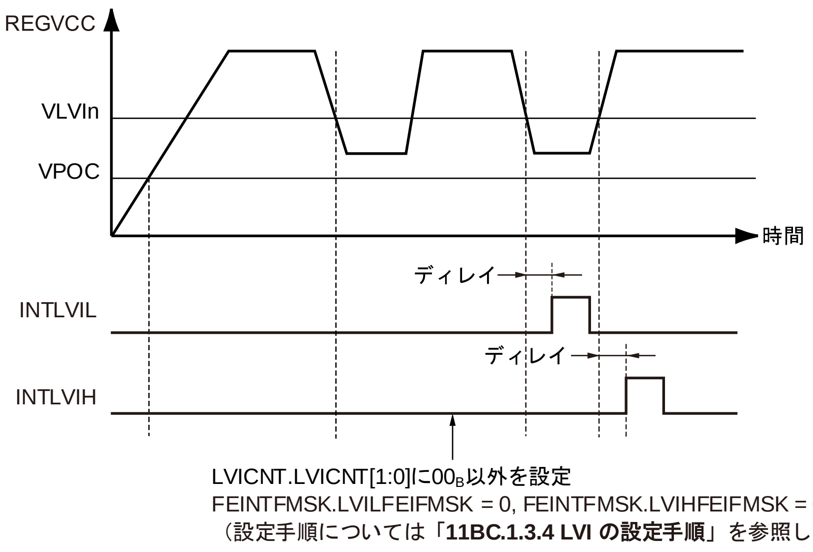
LVI を割り込み要因として使用する場合は INTLVIL 割り込みのマスク解除する必要があります。

INTLVIL 割り込みは、すべてのスタンバイモードからのウェイクアップ要因として使用できます。詳細は「**第 14 章 スタンバイコントローラ（STBC）**」を参照ください。

LVI の検出電圧が LVICNT.LVICNT[1:0]に設定され LVICNT.LVIRESMK が 1 にセットされた後、REGVCC が基準電圧を上回った場合（REGVCC (MIN)＞VLVIn）、LVI 割り込み INTLVIH が発生します。

LVI を割り込み要因として使用する場合は INTLVIH 割り込みのマスク解除する必要があります。

INTLVIL / INTLVIH のタイミング図を次に示します。



備考　ディレイ：
REGVCC が VLVIn 以下となったとき、遅延時間経過後、INTLVIL が発生します。その後、REGVCC が VLVIn を超えたとき、遅延時間経過後、INTLVIH が発生します。
遅延時間については、「**第 47B 章 RH850/F1KM-S4, RH850/F1KM-S2 の電気的特性**」、「**第 47C 章 RH850/F1KM-S1 の電気的特性**」を参照してください。

図 11BC.1　INTLVIL / INTLVIH 発生タイミング

11BC.1.3.4　LVI の設定手順

以下に LVI の設定手順を示します。

(1) LVI をリセット要因とする場合

a. LVI のリセットをマスクします。（LVICNT.LVIRESMK＝1）注 1

b. LVI の割り込みをマスクします。（FEINTFMSK.LVILFEIFMSK＝1, FEINTFMSK.LVIHFEIFMSK＝1）

c. 検出電圧を設定／動作許可します。（LVICNT.LVICNT[1: 0]設定）注 1

d. ソフトウェアにて十分なウェイト時間を挿入します（「**第 47B 章 RH850/F1KM-S4, RH850/F1KM-S2 の電気的特性**」、「**第 47C 章 RH850/F1KM-S1 の電気的特性**」参照）。

e. LVI のリセットをマスク解除します。（LVICNT.LVIRESMK＝0）注 1

(2) LVI を割り込み要因（FEINT）とする場合

a. LVI のリセットをマスクします。（LVICNT.LVIRESMK＝1）注 1

b. LVI の割り込みをマスクします。（FEINTFMSK.LVILFEIFMSK＝1, FEINTFMSK.LVIHFEIFMSK＝1）

c. 検出電圧を設定／動作許可します。（LVICNT.LVICNT[1: 0]設定）注 1

d. ソフトウェアにて十分なウェイト時間を挿入します（「**第 47B 章 RH850/F1KM-S4, RH850/F1KM-S2 の電気的特性**」、「**第 47C 章 RH850/F1KM-S1 の電気的特性**」参照）。

e. LVI の割り込みをマスク解除します。（FEINTFMSK.LVILFEIFMSK＝0, FEINTFMSK.LVIHFEIFMSK＝0）

注1.　LVICNT レジスタはライト保護レジスタのため、レジスタ保護シーケンスにそって設定を行ってください。（「**第 5 章 書き込み保護レジスタ**」参照）

注　意

REGVCC が LVI 検出レベル（VLVIn）近傍で揺れている場合、INTLVIH または INTLVIL 割り込み処理の判断を誤る可能性があります。

例として、INTLVIL 割り込み処理中に、REGVCC が揺れることで INTLVIH と INTLVIL 割り込みが複数回ずつ発生すると、最後に発生した割り込みがどちらかを検出することができません。

これにより、REGVCC (MIN)＞VLVIn になっているにもかかわらず、最後に INTLVIL 割り込み処理が行われると、ソフトウェアは REGVCC (MIN)＜VLVIn と誤判断してしまいます。

LVI 検出割り込み処理は、次の LVI 検出が発生する前に完了するようにしてください。また、REGVCC の制御等も考慮してください。

11BC.1.3.5　LVI へのクロック供給

LVI のクロック供給を以下の表に示します。

表 11BC.2　LVI へのクロック供給 (RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	ユニットクロック名	供給クロック名
LVI	レジスタアクセスクロック	CPUCLK_UL

11BC.1.4　コアボルテージモニタ（CVM）

コアボルテージモニタ（Core Voltage Monitor。以降、CVM と称す）は、マイコン内の Isolated エリア（ISO エリア）の電圧（以降、コア電圧）を監視するために使われます。

レギュレータ出力電圧が規定の範囲外になると、内部リセット信号（ $\overline{\text{CVMRES}}$ ）が生成されます。

高電圧異常検知時は、リセットの発生に加えて、Isolated エリア（ISO エリア）の電源遮断をします。

診断モード（DIAG モード）によって、CVM はコア電圧異常検出状態となります。診断モードによって、意図的にコア電圧異常検出状態を作り出すことができ、CVM の異常電圧検出フラグの故障を確認することができます。

注　意

内蔵電圧レギュレータと Isolated エリア（ISO エリア）への供給電圧に対するレギュレータの特性や使用条件で発生する電圧ドリフトや電圧の揺れは、検出電圧範囲内の場合、CVM で検出できません。

11BC.1.4.1　CVM リセット（ $\overline{\text{CVMRES}}$ ）

高電圧監視（CVMDE.H_D_E＝1）時、コア電圧が規定の電圧を上回ると $\overline{\text{CVMRES}}$ を発生し、Isolated エリア（ISO エリア）への電源供給も停止します。

低電圧監視（CVMDE.L_D_E＝1）時、コア電圧が規定の電圧を下回ると $\overline{\text{CVMRES}}$ を発生します。

$\overline{\text{CVMRES}}$ 発生時の仕様については「**9BC.4.4 コアボルテージモニタ（CVM）リセット**」を参照ください。

11BC.1.4.2　CVM の設定

オプションバイトで高電圧監視、および低電圧監視の許可を設定してください。詳細は「**44.9 オプションバイト**」を参照ください。

11BC.1.4.3 診断（DIAG）モード

本製品は診断モードをサポートしています。

診断（DIAG）モードにより、CVM の異常電圧検出フラグがセット“1”されることを確認できます。

診断モード時、$\overline{\text{CVMRES}}$ は出力されません。

診断モードの設定は、以下の様に行ってください。

本手順以外でレジスタを設定した場合、動作は保証されません。

(1) CVMDIAG.CVM_DIAG_MASK をセットする。注 1

(2) CVMDIAG.CVM_DIAG をセットする。注 1

(3) 12µs ウェイト注 2

(4) CVMF レジスタをリードし、H_V_F ビットおよび L_V_F ビットが“1”であることを確認（“0”の場合、CVM は正常動作してないため、エラー処置が必要になります。）

(5) CVMDIAG.CVM_DIAG をクリアする。注 1

(6) CVMF レジスタをクリア注 1

(7) CVMF レジスタをリードし、H_V_F ビットおよび L_V_F ビットが“0”であることを確認（“1”の場合は再度（5）へ）

(8) CVMDIAG.CVM_DIAG_MASK をクリアする。注 1

注1. CVMF および CVMDIAG レジスタはライト保護レジスタのため、レジスタ保護シーケンスにそって設定を行ってください。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

注2. 以下の条件から（4）開始までに 50µs 経過している必要があります。

- HALT 状態解除時
- STOP モード解除時
- RUN モード時（HALT 状態を含む）に CVM 以外のリセットが発生した場合のリセット解除時
- CPU クロック切り替え時
- MainOSC 動作開始および停止時
- PLL 動作開始および停止時

11BC.1.4.4 CVM へのクロック供給

CVM のクロック供給を以下の表に示します。

表 11BC.3 CVM へのクロック供給 (RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	ユニットクロック名	供給クロック名
CVM	レジスタアクセスクロック	CPUCLK_UL

11BC.1.5　RAM 保持電圧インジケータ（超低電圧検出回路：VLVI）

超低電圧検出回路（VLVI）は、RAM 保持電圧を検出する回路であり、電源電圧 REGVCC と RAM 保持電圧 VVLVI を常に比較しています。

RAM 保持電圧レベル VVLVI の仕様については、「**第 47B 章 RH850/F1KM-S4, RH850/F1KM-S2 の電気的特性**」、「**第 47C 章 RH850/F1KM-S1 の電気的特性**」を参照してください。

11BC.1.5.1　VLVI へのクロック供給

VLVI のクロック供給を以下の表に示します。

表 11BC.4　VLVI へのクロック供給 (RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	ユニットクロック名	供給クロック名
VLVI	レジスタアクセスクロック	CPUCLK_UL

11BC.1.5.2　リテンション RAM 内容の保持

電源電圧 REGVCC が VVLVI を下回らないかぎり、リテンション RAM（RRAM）の内容は保持されます。リセット時の保持状態については、「**9BC.1.1 リセット要因**」を参照してください。

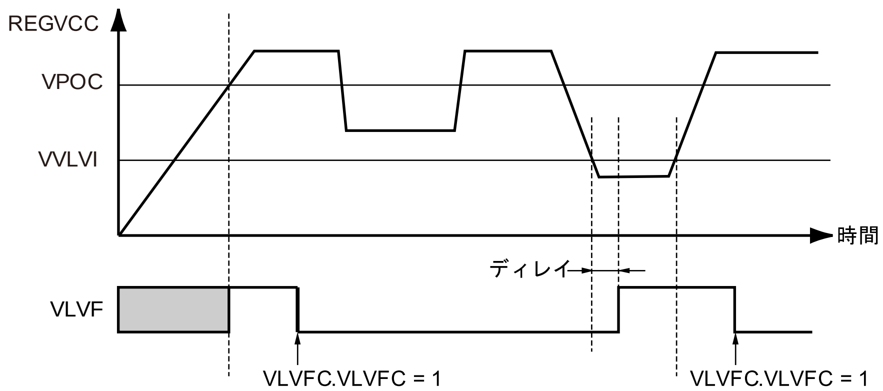
REGVCC が VVLVI を下回った場合、RRAM の内容は保証できません。したがって、動作を継続する前に RRAM 全体を書き戻しする必要があります。

REGVCC が RAM 保持電圧を下回った場合（REGVCC＜VVLVI）、VLVF.VLVF ビットがセットされます。

その後、REGVCC が VVLVI を上回っても VLVF.VLVF ビットは自動的にクリアされません。VLVF ビットは以下によってクリアされます。

- VLVFC.VLVFC ビットを 1 に設定

VLVF のタイミング図を以下に示します。



備考　ディレイ：
REGVCC が VVLVI 以下となったとき、遅延時間経過後、VLVF ビットが 1 にセットされます。遅延時間については、「**第 47B 章 RH850/F1KM-S4, RH850/F1KM-S2 の電気的特性**」、「**第 47C 章 RH850/F1KM-S1 の電気的特性**」を参照してください。

図 11BC.2　VLVF 動作タイミング

11BC.1.6 ブロック図

電源電圧モニタのブロック図を以下に示します。

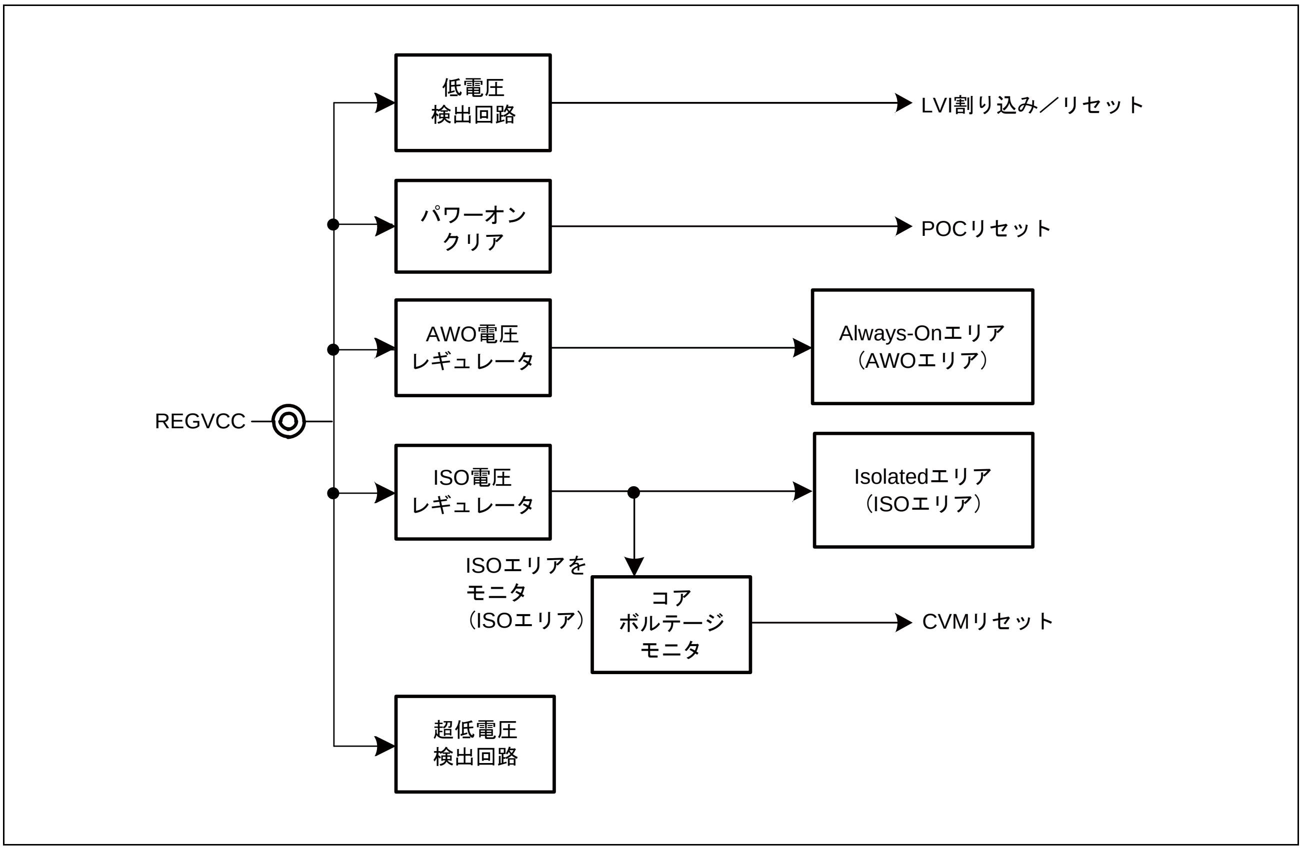


図 11BC.3 電源電圧モニタ (RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

11BC.2 レジスタ

11BC.2.1 レジスタ一覧

電源電圧モニタのレジスタ一覧を以下の表に示します。

表 11BC.5 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
SVM	低電圧検出リセット制御レジスタ		
	LVI 制御レジスタ	LVICNT	FFF8 0A00$_H$
	コアボルテージモニタ制御レジスタ		
	CVM 要因レジスタ	CVMF	FFF8 3100$_H$
	CVM 検出許可レジスタ	CVMDE	FFF8 3104$_H$
	CVM 診断モード設定レジスタ	CVMDIAG	FFF8 3114$_H$
	超低電圧検出制御レジスタ		
	超低電圧検出レジスタ	VLVF	FFF8 0980$_H$
	超低電圧検出クリアレジスタ	VLVFC	FFF8 0988$_H$

11BC.2.2　低電圧検出リセット制御レジスタ

11BC.2.2.1　LVICNT — LVI 制御レジスタ

低電圧検出の制御と、LVI 検出レベルの選択を行います。

このレジスタは、パワーアップリセット PURES により初期化されます。

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は、「**第 5 章 書き込み保護レジスタ**」を参照してください。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 0A00H

リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	LVIRESMK	LVICNT[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 11BC.6　LVICNT レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	LVIRESMK	LVI リセットのマスク 0：LVI リセットがマスクされない 1：LVI リセットがマスクされる
1、0	LVICNT[1:0]	検出レベル 0 0：LVI 無効 0 1：VLVI0＝4.0±0.1V（下降）、4.0±0.13V（上昇） 1 0：VLVI1＝3.7±0.1V（下降）、3.7±0.13V（上昇） 1 1：VLVI2＝3.5±0.1V（下降）、3.5±0.13V（上昇）

備　考

LVI 割り込みを使用する場合は、LVIRESMK にて LVI リセットをマスク（LVIRESMK＝1）する必要があります。

11BC.2.3　コアボルテージモニタ制御レジスタ

11BC.2.3.1　CVMF — CVM 要因レジスタ

最後のパワーオンクリア POCRES 後に発生したコア電圧異常の情報を記憶するレジスタです。

CVM がコア電圧の異常を検出すると、ハードウェアにより L_V_F ビットまたは H_V_F ビットが“1”にセットされます。

L_V_F ビット、または H_V_F ビットのいずれかに“1”がセットされると、パワーオンクリア POCRES、または各ビット（CVMF.L_V_F, CVMF.H_V_F）への“0”書き込みで初期化するまで値を保持します。ただし、診断モード時は、常にコア電圧監視回路からのエラー信号をモニタします。

このレジスタを更新するためには、PROTCMDCVM レジスタを使った正しい書き込みシーケンスが必要です。

詳細は、「**第 5 章　書き込み保護レジスタ**」を参照してください。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 3100_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	H_V_F	L_V_F
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 11BC.7　CVMF レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	H_V_F	CVM によるコア電圧の高電圧異常検出ビット リードアクセス 0：高電圧異常なし 1：高電圧異常あり ライトアクセス 0：H_V_F ビットをクリア 1：無効
0	L_V_F	CVM によるコア電圧の低電圧異常検出ビット リードアクセス 0：低電圧異常なし 1：低電圧異常あり ライトアクセス 0：L_V_F ビットをクリア 1：無効

11BC.2.3.2　CVMDE — CVM 検出許可レジスタ

電圧検出許可、禁止の状態を表示するレジスタです。

このレジスタは、パワーアップリセット PURES でのみ初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 3104_H

リセット後の値　オプションバイトの設定に依存します。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	H_D_E	L_D_E
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1 注1	0/1 注2
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注1.　オプションバイト OPBT0.CVM_HD_EN の設定が反映されます。

注2.　オプションバイト OPBT0.CVM_LD_EN の設定が反映されます。

　　　オプションバイトの詳細は、「**44.9 オプションバイト**」を参照してください。

表 11BC.8　CVMDE レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1	H_D_E	高電圧監視許可ビット 0：高電圧検出を禁止 1：高電圧検出を許可
0	L_D_E	低電圧監視許可ビット 0：低電圧検出を禁止 1：低電圧検出を許可

11BC.2.3.3　CVMDIAG — CVM 診断モード設定レジスタ

CVM の診断モードを設定するレジスタです。

このレジスタは、パワーアップリセット PURES でのみ初期化されます。

診断モード時のレジスタ設定の詳細は、「**11BC.1.4.3 診断（DIAG）モード**」を参照してください。

このレジスタを更新するためには、PROTCMDCVM レジスタを使った正しい書き込みシーケンスが必要です。

詳細は、「**第 5 章 書き込み保護レジスタ**」を参照してください。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 3114_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CVM_DIAG_MASK	CVM_DIAG
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 11BC.9　CVMDIAG レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	CVM_DIAG_MASK	$\overline{\text{CVMRES}}$ マスク制御ビット 0：マスクしない 1：マスクする
0	CVM_DIAG	CVM 診断モード設定ビット 0：通常モード 1：診断モード

11BC.2.4 超低電圧検出制御レジスタ

11BC.2.4.1 VLVF — 超低電圧検出レジスタ

超低電圧検出レジスタ（VLVF）は RAM 保持電圧の検出状態を示します。

RAM 保持（VVLVI）以下の電圧を検出した時にセットされます。

VLVF がセットされた場合、リテンション RAM の値は保証できません。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 0980H

電源投入後の値　0000 0001H

このレジスタは、すべてのリセット要因で初期化されません。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	VLVF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11BC.10 VLVF レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。
0	VLVF	超低電圧検出フラグ 0：超低電圧を未検出 1：超低電圧を検出 **備考）** 超低電圧は、REGVCC が REGVCC＜RAM 保持電圧（VVLVI）となる電圧の状態です。 詳細は、「**11BC.1.5.2 リテンション RAM 内容の保持**」を参照してください。

11BC.2.4.2　VLVFC ― 超低電圧検出クリアレジスタ

VLVF.VLVF ビットをクリアします。

アクセス　32 ビット単位でライトのみ可能です。

アドレス　FFF8 0988H

リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	VLVFC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 11BC.11 VLVFC レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	VLVFC	VLVF.VLVF ビットのクリア 0：クリアしない 1：クリアする

第12AB章　クロックコントローラ (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2)

本章では、クロックコントローラ全般について説明します。

最初の節では、RH850/F1KH, RH850/F1KM のクロックコントローラ固有の特長について説明します。

それ以降の節では、クロックコントローラを構成するクロック発振回路、クロックセレクタやクロック出力機能について説明します。

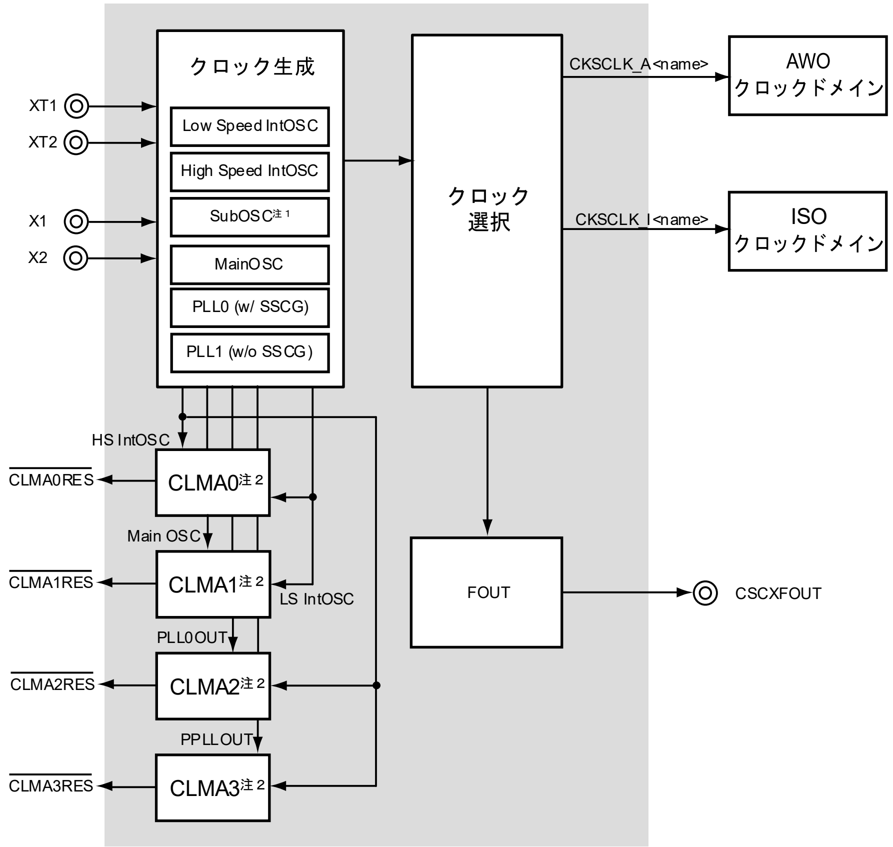
12AB.1 RH850/F1KH, RH850/F1KM のクロックコントローラの特長

RH850/F1KH, RH850/F1KM のクロックコントローラは以下の特長があります。

- 6 種類のクロック発振回路を内蔵
  - メイン発振回路（MainOSC）、発振周波数 8, 16, 20, 24MHz
  - サブ発振回路（SubOSC）、発振周波数 32.768kHz 注1
  - 高速内蔵発振回路（HS IntOSC）、周波数 8MHz（Typ.）
  - 低速内蔵発振回路（LS IntOSC）、周波数 240kHz（Typ.）
  - PLL（SSCG 動作モードあり）（PLL0）
  - PLL（SSCG 動作モードなし）（PLL1）
- クロックドメインによる周辺モジュールへの細かな供給クロック管理
- クロックモニタを内蔵し、メイン発振、高速内蔵発振、PLL 使用時のクロック異常を検出（「**第 13 章 クロックモニタ（CLMA）**」を参照してください）
- クロック出力（FOUT）

注1. 100-pin 製品は、非対応

クロックコントローラの概略図を「**図 12AB.1 クロックコントローラの概要**」に示します。



注1.　100-pin 製品は、非対応

注2.　クロックモニタの詳細は「**第 13 章　クロックモニタ（CLMA）**」を参照してください。

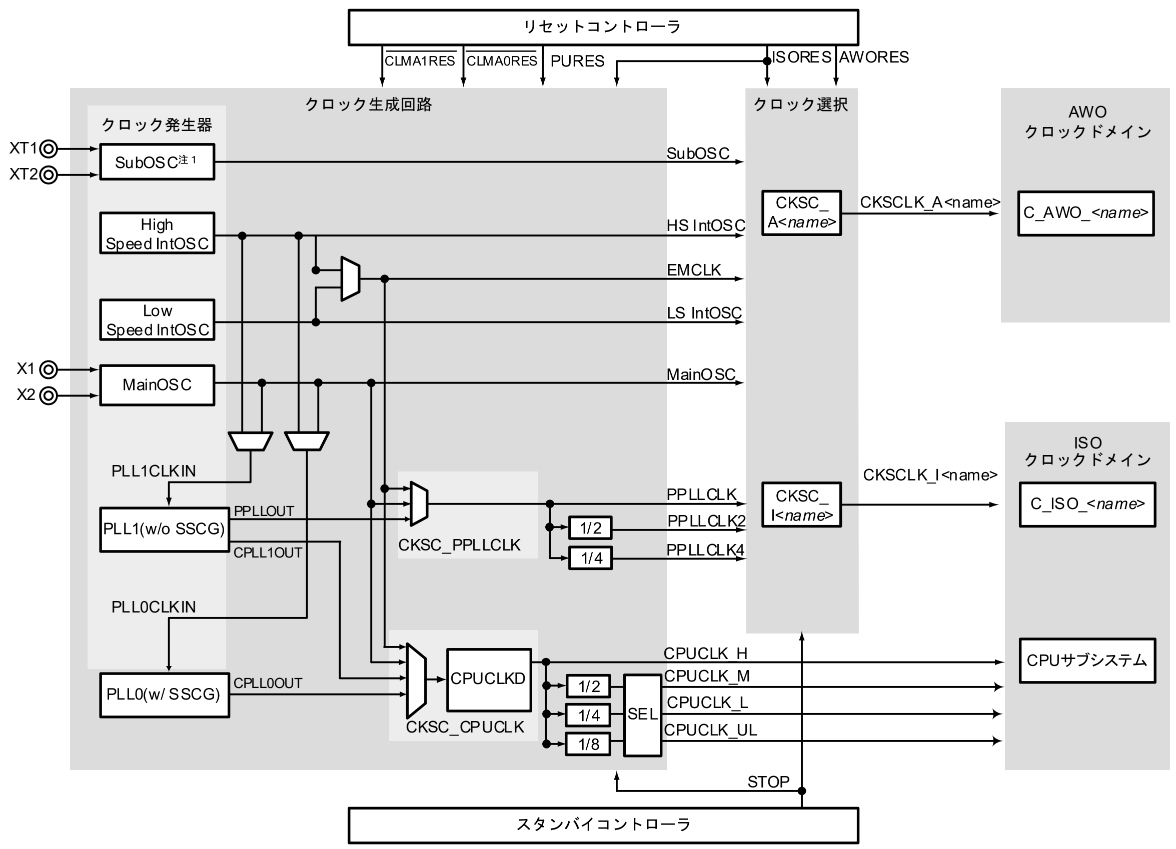
図 12AB.1　クロックコントローラの概要

12AB.2 クロックコントローラの構成

本節では、クロックコントローラの構成について説明します。

クロックコントローラは、クロック発振回路と CPU および周辺モジュール用クロックを生成するクロック生成回路、最適クロックを選択するクロックセレクタ、CPU や各周辺モジュールの各クロックドメインで構成します。

クロックコントローラの構成を「**図 12AB.2 クロックコントローラの構成**」に示します。



注1. 100-pin 製品は、非対応

図 12AB.2 クロックコントローラの構成

備　考

クロックドメインとクロック制御レジスタの命名規約

本章のクロック信号とそれらの制御レジスタ等の名前は、電源やクロックの適用範囲（ドメイン）を反映するよう、以下命名規約にしたがってつけられています。また、プレースホルダー“<*name*>”により、クロックドメイン内の対象モジュールを示します。

- クロックドメイン名
  - C_AWO_<*name*>：Always-On エリア（AWO エリア）注1のクロックドメイン
  - C_ISO_<*name*>：Isolated エリア（ISO エリア）注1のクロックドメイン
- ドメインクロック名
  - CKSCLK_A<*name*>：Always-On エリア（AWO エリア）のドメインクロック
  - CKSCLK_I<*name*>：Isolated エリア（ISO エリア）のドメインクロック
- クロックセレクタ名
  - CKSC_A<*name*>：Always-On エリア（AWO エリア）用クロックセレクタ
  - CKSC_I<*name*>：Isolated エリア（ISO エリア）用クロックセレクタ
- クロックセレクタレジスタ名
  - CKSC_A<*name*>S_CTL：Always-On エリア（AWO エリア）のソースクロック選択レジスタ
  - CKSC_A<*name*>D_CTL：Always-On エリア（AWO エリア）のソースクロック分周レジスタ
  - CKSC_I<*name*>S_CTL：Isolated エリア（ISO エリア）のソースクロック選択レジスタ
  - CKSC_I<*name*>D_CTL：Isolated エリア（ISO エリア）のソースクロック分周レジスタ

例

クロック信号 CKSCLK_AADCA（プレースホルダー<*name*>＝ADCA）は Always-On エリア（AWO エリア）内のクロックドメイン C_AWO_ADCA に供給されるクロックです。このクロックはクロック選択レジスタ CKSC_AADCAS_CTL によって選択されます。

注1. Always-On エリア（AWO エリア）、Isolated エリア（ISO エリア）は電源ドメインを表します。Always-On エリア（AWO エリア）は常時オンの電源、Isolated エリア（ISO エリア）は、動作モードによりオン・オフされる電源です。
詳細は、「**第 10A 章　電源とパワードメイン(RH850/F1KH-D8)**」、「**第 10B 章　電源とパワードメイン (RH850/F1KM-S4, RH850/F1KM-S2)**」を参照してください。

12AB.2.1　クロック生成回路

6 つのクロック発振回路があります。

4 つのクロック発振回路が Always-On エリア（AWO エリア）にあり、2 つの PLL（PLL0 と PLL1）は Isolated エリア（ISO エリア）にあります。

メイン発振回路（MainOSC）

MainOSC はメインクロック X を生成します。
メインクロック X を生成するためには、X1 および X2 端子に外付け発振子を接続する必要があります。
クロック X は PLL のリファレンスクロックとして使用されます。

サブ発振回路（SubOSC）

SubOSC は周波数 32.768kHz（Typ.）のサブクロック XT を生成します。サブクロック XT を生成するためには、XT1 および XT2 端子に外付け発振子を接続する必要があります。
このクロックは主にリアルタイムクロックアプリケーションで使用されます。

高速内蔵発振回路（HS IntOSC）

HS IntOSC は周波数 8MHz（Typ.）のクロック RH を生成します。

低速内蔵発振回路（LS IntOSC）

LS IntOSC は周波数 240kHz（Typ.）のクロック RL を生成します。この発振回路は電源投入と同時にスタートし、その後は常時動作するため停止させることはできません。

PLL

PLL 回路はマイクロコントローラの通常動作に必要な高速クロック CPLL0OUT、CPLL1OUT および PPLLOUT を生成します。

クロック生成回路では、クロック発振回路の生成クロック（X, XT, RH, RL, CPLL0OUT, CPLL1OUT, PPLLOUT）、およびそのクロック分周（CPUCLK_H, CPUCLK_M, CPUCLK_L, CPUCLK_UL, PPLLCLK, PPLLCLK2, PPLLCLK4）を生成します。

12AB.2.2　クロック選択

クロック発振回路で生成されたクロックはクロックセレクタ CKSC_A<*name*> / CKSC_I<*name*>に入力されます。

各ドメイン CKSCLK_A<*name*> / CKSCLK_I<*name*>には、個別のクロックセレクタに加えて一部にクロック分周回路が備えられています。

- CKSC_I<*name*>S_CTL / CKSC_I<*name*>D_CTL レジスタは Isolated エリア（ISO エリア）のクロックドメインに対するクロックを決定します。
- CKSC_A<*name*>S_CTL / CKSC_A<*name*>D_CTL レジスタは Always-On エリア（AWO エリア）のクロックドメインに対するクロックを決定します。

備　考

クロック発振回路から生成される利用可能なすべてのクロックが各クロックセレクタに入力されるとは限りません。

また、以下のクロックはクロック生成回路より CPU や関連モジュールに供給されます。

Emergency クロック EMCLK

Emergency クロック EMCLK は以下の回路から供給されます。

- HS IntOSC がアクティブのとき：HS IntOSC
- HS IntOSC がインアクティブのとき：LS IntOSC

選択は CLMA0 リセット発生後に自動的に行われるため、なんらかの理由で HS IntOSC が停止した場合でも、LS IntOSC は停止しないのでマイクロコントローラの重要モジュールは動作を続けることができます。

CPU サブシステムクロック CPUCLK

CPU サブシステムクロック CPUCLK は PLL0 クロック CPLL0OUT、PLL1 クロック CPLL1OUT、MainOSC、EMCLK から供給されます。CPU クロックセレクタ CKSC_CPUCLK は、セレクタ CPUCLKS とその後段のクロック分周回路 CPUCLKD から構成されています。

また、CPUCLK の分周回路から、CPUCLK のクロック分周 CPUCLK_H, CPUCLK_M, CPUCLK_L, CPUCLK_UL が供給されます。CPUCLK の設定については、「**表 12AB.1 CPUCLK の分周**」を参照してください。

表 12AB.1　CPUCLK の分周

	CPU 周波数		
	最大周波数が 240MHz の製品		最大周波数が 160MHz の製品
CKDIVMD 注1	1	0 注2	1 注3
CPUCLK_H	CPUCLK	CPUCLK	CPUCLK
CPUCLK_M	CPUCLK × 1/2	CPUCLK	CPUCLK × 1/2
CPUCLK_L	CPUCLK × 1/4	CPUCLK × 1/2	CPUCLK × 1/4
CPUCLK_UL	CPUCLK × 1/8	CPUCLK × 1/4	CPUCLK × 1/8

注1.　詳細は、「**第 44 章 フラッシュメモリ、44.9.2 OPBT0 ― オプションバイト 0**」を参照してください。

注2.　0 を設定する場合、CPUCLK は、120MHz 以下になるようにしてください。

注3.　CPU の最大周波数が 160MHz の製品は、1 に設定してください。

12AB.2.3　クロックドメイン

クロックコントローラでは CPU や周辺モジュール毎にクロックの選択が可能です。このクロックの制御範囲をクロックドメインと言います。CPU および周辺モジュールとクロックドメインの対応は、「**12AB.5.3 クロックドメイン設定**」を参照してください。

12AB.2.4　クロック発振回路のリセット

Always-On エリア（AWO エリア）内のクロック発振回路は PURES 信号によってリセットされます。

また、$\overline{\text{CLMA0RES}}$ 発生時、HS IntOSC、$\overline{\text{CLMA1RES}}$ 発生時、MainOSC はリセットされます。

Isolated エリア（ISO エリア）内のクロック発振回路は ISORES 信号によってリセットされます。

クロック発振回路の詳細については、「**12AB.3 クロック発振回路**」を参照してください。

注　意

周波数特性、許容範囲、クロック生成回路のパラメータなどついては、「**第 47A 章 RH850/F1KH-D8 の電気的特性**」、「**第 47B 章 RH850/F1KM-S4, RH850/F1KM-S2 の電気的特性**」を参照してください。

12AB.3 クロック発振回路

12AB.3.1　メイン発振回路（MainOSC）

メイン発振回路はクロック X を生成します。X は PLL0, PLL1 への入力クロック PLL0CLKIN, PLL1CLKIN としても使用されます。

「**図 12AB.3 メイン発振回路（MainOSC）**」は MainOSC の基本構成と信号を示します。

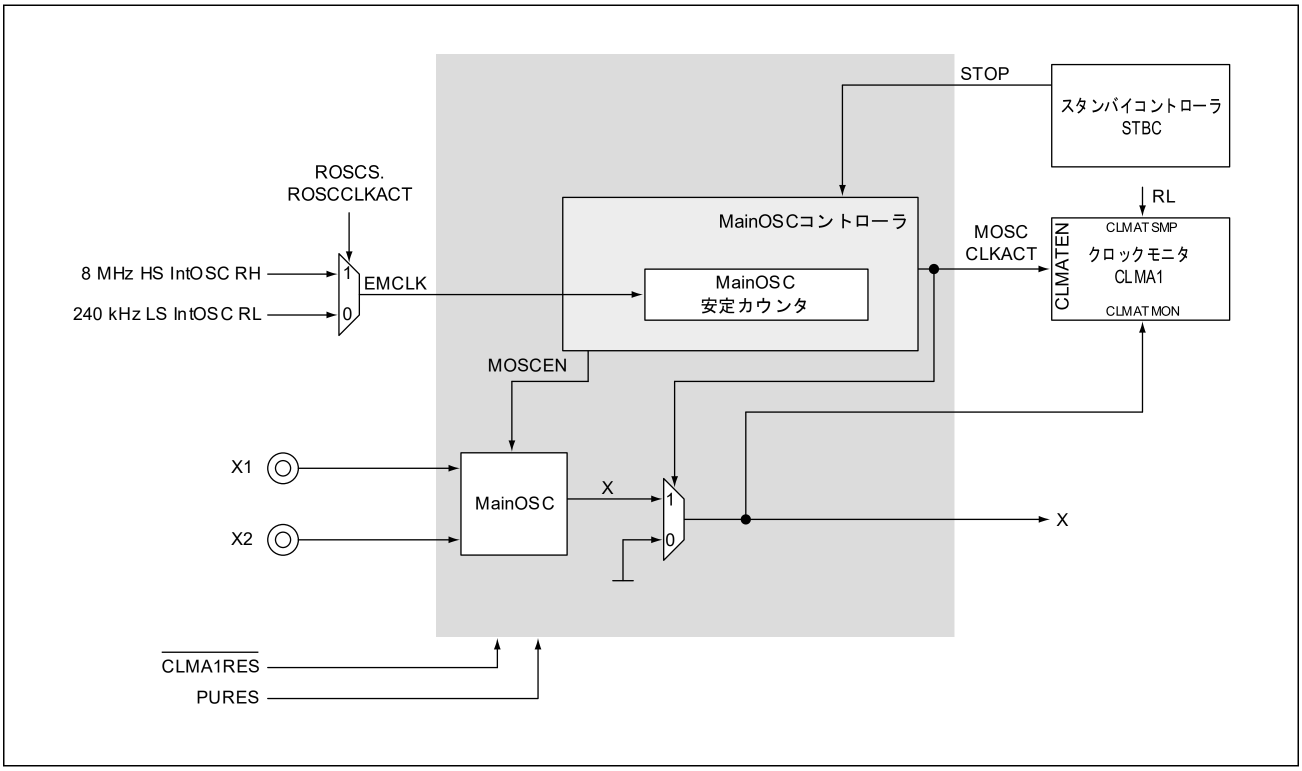


図 12AB.3　メイン発振回路（MainOSC）

MainOSC

MainOSC はリセット解除後、動作を停止しています。MainOSC 使用時は MainOSC イネーブルトリガビット MOSCE.MOSCENTRG＝1 にセットし、MainOSC を起動してください。

MainOSC の安定

MainOSC の発振安定時間を MOSCST.MOSCCLKST[16:0]に設定します。
MainOSC 安定カウンタは EMCLK をカウントソースとして発振安定時間をカウントします。
設定範囲は EMCLK 周期の 2^{17}～1 までです。
MainOSC が不安定状態にある限り、MOSCCLKACT 信号によって X 出力が禁止されます。
MainOSC 安定カウンタが MOSCST.MOSCCLKST[16:0]で規定された値に到達した場合、X は安定したと判断し、MainOSC から波形が出力されたときに MOSCCLKACT が 0 から 1 に変化して X を出力します。
X クロックが安定でアクティブであることは、MOSCS.MOSCCLKACT＝1 であることによって表示されます。

MainOSC の増幅

外付け発振子によって決定される MainOSC の入力周波数は、MOSCC.MOSCAMPSEL[1:0]を用いることによって 8MHz、16MHz、20MHz、24MHz から選択することができます。

スタンバイモードにおける MainOSC の STOP 要求

スタンバイコントローラからの STOP 信号は、MainOSC コントローラがスタンバイモード（STOP モード、DeepSTOP モード、Cyclic STOP モード）で X クロックをスイッチオフすることを要求します。
停止要求マスクビット MOSCSTPM.MOSCSTPMSK は、MainOSC がスタンバイ時に動作を停止するか、継続するかを制御します。

- MOSCSTPM.MOSCSTPMSK＝0：

  STOP 要求信号はマスクされないため、MainOSC はスタンバイ時に動作が停止されます。
  MainOSC がスタンバイの前に動作していた場合、スタンバイ状態から回復した後自動的に再起動され、MainOSC 安定カウンタが、発振安定時間をカウントします。
  MOSCSTPM.MOSCSTPMSK＝0 であったとしても、STOP 要求は以下の条件でマスクされます。そのため MainOSC は、スタンバイモード中でも動作を継続します。

  – MainOSC が選択されたクロックドメインの STOP マスクがセットされた場合（CKSC_xxxx_STPM＝$0000\ 0003_H$）

- MOSCSTPM.MOSCSTPMSK＝1：

  STOP 要求信号はマスクされるため、MainOSC はスタンバイ時に動作を継続します。

クロックモニタコントロール

MainOSC アクティビティ信号 MOSCCLKACT はクロックモニタ CLMA1 による監視機能を有効または無効にします。MainOSC がアクティブでない状態（MOSCCLKACT＝0）では、CLMA1 による出力クロック X の監視も無効になります。

MainOSC イネーブル／ディセーブルトリガ

MainOSC はイネーブルおよびディセーブルトリガコントロールビットによってイネーブル（有効化）およびディセーブル（無効化）することができます。

- イネーブルトリガ MOSCE.MOSCENTRG＝1 は MainOSC を起動させます。

  イネーブルトリガの設定は、MainOSC がアクティブ状態でない場合、つまり MOSCS.MOSCCLKACT＝0 のときのみ有効です。

- ディセーブルトリガ MOSCE.MOSCDISTRG＝1 は MainOSC を停止させます。

  ディセーブルトリガの設定は、MainOSC がアクティブ状態にある場合、（MOSCCLKACT＝1）で、加えて MainOSC 停止要求マスクされない（MOSCSTPM.MOSCSTPMSK＝0）とき有効です。

X1 への直接クロック入力（EXCLK Mode）

外部クロックソースからのクロック波形は、X1 端子に供給可能です。この場合、X1 端子にクロック入力が供給される前に MOSCM レジスタの MOSCM ビットを 1 に設定します。

12AB.3.2　サブ発振回路（SubOSC）

サブ発振回路はサブクロック XT を生成します。XT は通常 32.768kHz の周波数で、リアルタイムクロックのために使用されます。

「**図 12AB.4 サブ発振回路（SubOSC）**」は SubOSC 回路の基本構成と信号を示します。

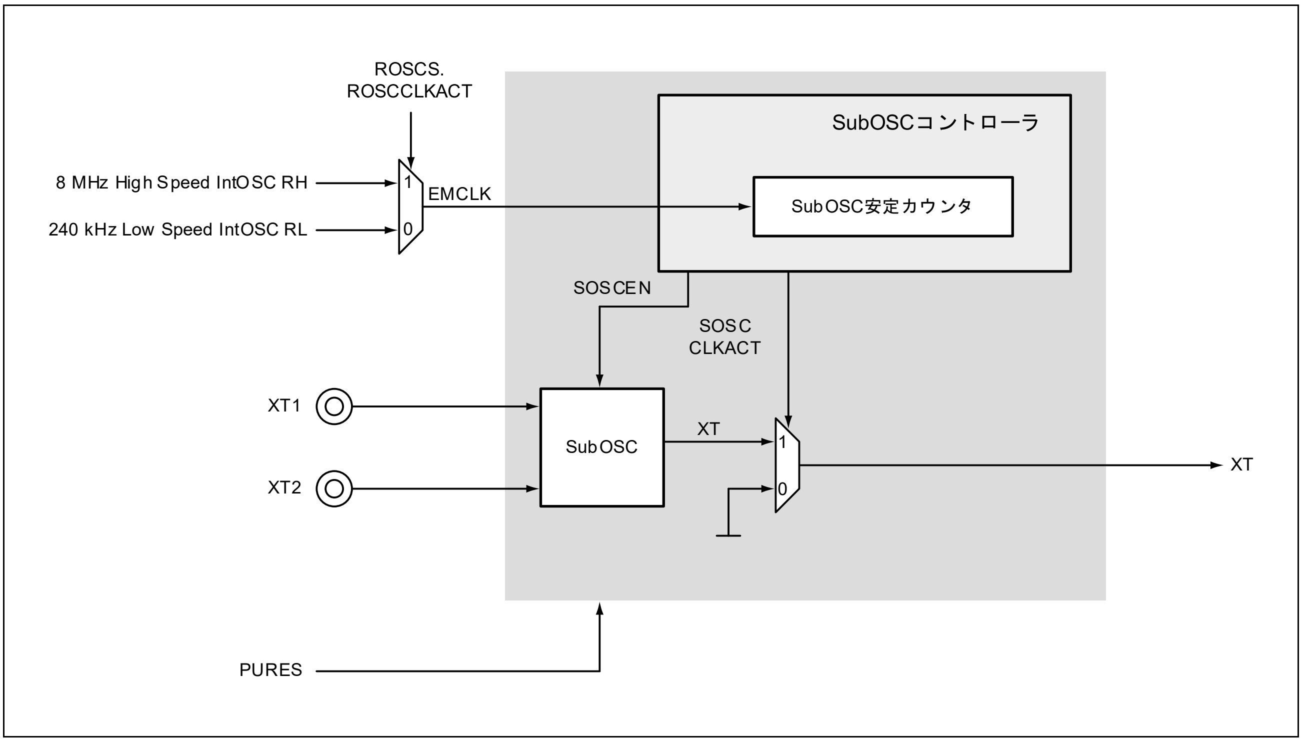


図 12AB.4　サブ発振回路（SubOSC）

SubOSC イネーブル

SubOSC はリセット解除後、動作を停止しています。SubOSC 使用時は SubOSC イネーブルトリガビット SOSCE.SOSCENTRG＝1 にセットし、SubOSC を起動してください。

SubOSC の安定

SubOSC の発振安定時間を SOSCST.SOSCCLKST[29:0]に設定します。SubOSC 安定カウンタは EMCLK をカウントソースとして発振安定時間をカウントします。
SubOSC が不安定状態にある限り、SOSCCLKACT 信号によって XT 出力が禁止されます。
SubOSC 安定カウンタが SOSCST.SOSCCLKST[29:0]で規定された値に到達した場合、XT は安定したと判断し、SOSCCLKACT が 0 から 1 に変化して XT を出力します。
安定時間には 2 秒以上を設定してください。
XT クロックが安定でアクティブであることは、SOSCS.SOSCCLKACT＝1 であることによって表示されます。

SubOSC の入力周波数

SubOSC の入力周波数は 32.768kHz（Typ.）です。

SubOSC イネーブルトリガ／ディセーブルトリガ

SubOSC はイネーブルおよびディセーブルトリガコントロールビットによってイネーブル（有効化）およびディセーブル（無効化）することができます。

- イネーブルトリガ SOSCE.SOSCENTRG＝1 によって SubOSC が起動されます。

  イネーブルトリガは、SubOSC がアクティブ状態でない場合、つまり SOSCS.SOSCCLKACT＝0 のときのみ有効です。

- ディセーブルトリガ SOSCE.SOSCDISTRG＝1 は SubOSC を停止させます。

  ディセーブルトリガの設定は、SubOSC がアクティブ状態にある場合、つまり SOSCS.SOSCCLKACT＝1 のときのみ有効です。

12AB.3.3　高速内蔵発振回路（HS IntOSC）

高速内蔵発振回路はクロック RH を生成します。RH は周波数 8MHz です。

「**図 12AB.5　高速内蔵発振回路（HS IntOSC）**」は HS IntOSC の基本構成と信号を示します。

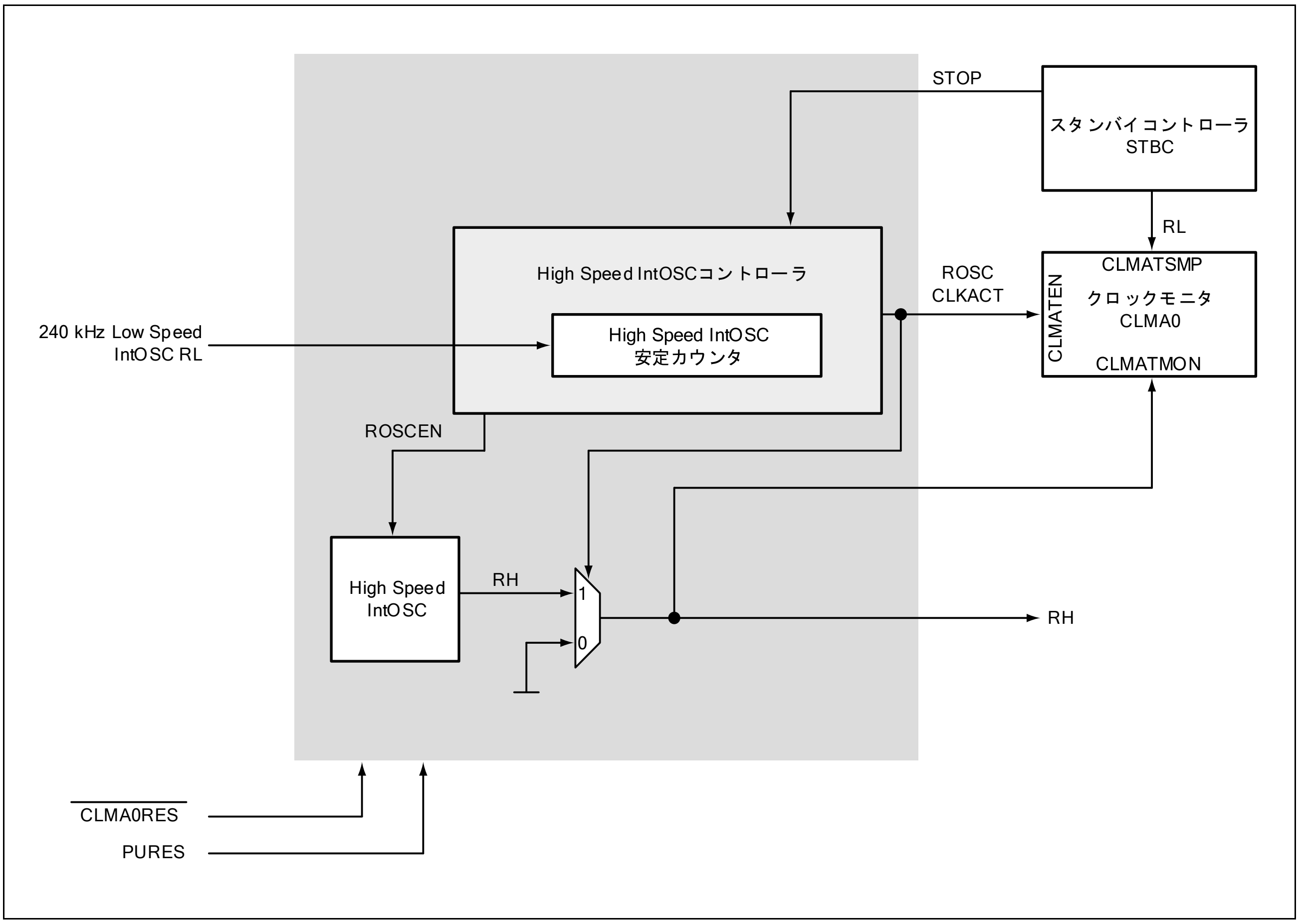


図 12AB.5　高速内蔵発振回路（HS IntOSC）

リセットの解除後、HS IntOSC が動作を開始します。

備　考

HS IntOSC は、ソフトウェアでは停止も起動も行うことができません。スタンバイモード時にのみ停止させることができます。ただし、CLMA0 がリセット時には、ソフトウェアで停止することができます。

HS IntOSC の安定

HS IntOSC が安定した場合、RH を出力します。
RH クロックが安定でアクティブであることは、ROSCS.ROSCCLKACT＝1 であることによって表示されます。

スタンバイモード時の HS IntOSC STOP リクエスト

スタンバイコントローラからの STOP 信号は、HS IntOSC コントローラがスタンバイモード（STOP モード、DeepSTOP モード、Cyclic STOP モード）時に RH クロックを停止させることを要求します。
停止要求マスクビット ROSCSTPM.ROSCSTPMSK は、HS IntOSC がスタンバイモード時に停止するか、動作を継続するかを制御します。

- ROSCSTPM.ROSCSTPMSK＝0：

  STOP 要求信号はマスクされません。そのため、HS IntOSC はスタンバイ時に停止され、スタンバイから回復した後は自動的に再起動されます。
  ただし、以下の場合、ROSCSTPM.ROSCSTPMSK＝0 でも STOP 要求はマスクされます。そのため、HS IntOSC はスタンバイ時にも動作を継続します。

  – 停止マスクを設定（CKSC_xxxx_STPM＝0000_0003$_H$）したクロックドメインが HS IntOSC を選択している場合

  – ロウパワーサンプラ（LPS）の動作がアクティブになっている場合

- ROSCSTPM.ROSCSTPMSK＝1：

  STOP 要求信号はマスクされます。そのため、HS IntOSC はスタンバイ時にも動作を継続します。

クロックモニタコントロール

HS IntOSC アクティビティ信号 ROSCCLKACT はクロックモニタ CLMA0 による監視動作を許可または禁止します。HS IntOSC がアクティブ状態でない場合（ROSCCLKACT＝0）、CLMA0 によるその出力クロックの監視も無効化されます。
HS IntOSC のクロック RH は、クロックモニタ CLMA2 と CLMA3 のサンプリングクロックとして使用されます。

HS IntOSC ディセーブルトリガ

ディセーブルトリガ ROSCE.ROSCDISTRG＝1 は HS IntOSC を停止させます。
ディセーブルトリガの設定は、HS IntOSC がアクティブ状態の場合（ROSCS.ROSCCLKACT＝1）で、加えて HS IntOSC 停止要求マスクされない（ROSCSTPM.ROSCSTPMSK＝0）とき有効です。

HS IntOSC ユーザキャリブレーション機能

HS IntOSC ユーザトリミングレジスタ（ROSCUT）では HS IntOSC 周波数を調整できます。ROSCUT のリセット後の値はあらかじめ設定した HS IntOSC トリミングデータの値です。HS IntOSC 周波数が対象周波数範囲になるまで、“リード値＋1”または“リード値－1”でこの値を書き換えます。

12AB.3.4　低速内蔵発振回路（LS IntOSC）

低速内蔵発振回路はクロック RL を生成します。RL の周波数は 240kHz です。

「**図 12AB.6 低速内蔵発振回路（LS IntOSC）**」は LS IntOSC の基本構成と信号を示します。

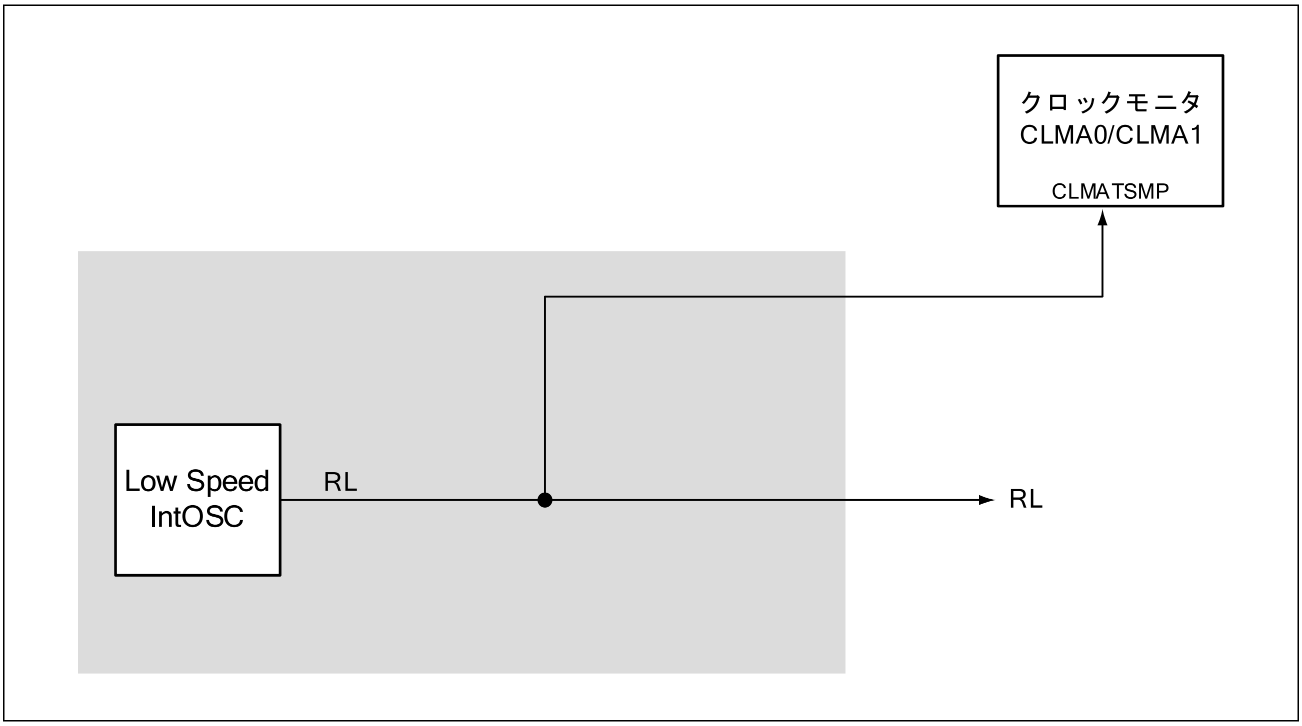


図 12AB.6　低速内蔵発振回路（LS IntOSC）

リセットの解除後、LS IntOSC が動作を開始します。停止させることはできません。

LS IntOSC のクロック RL はクロックモニタ CLMA0 および CLMA1 のサンプリングクロックとして使用されます。

12AB.3.5　PLL

MainOSC または HS IntOSC は、PLL0CLKIN, PLL1CLKIN として PLL0, PLL1 クロック発振回路に入力されます。

PLL0 の出力クロック CPLL0OUT、PLL1 の出力クロック CPLL1OUT, PPLLOUT はマイクロコントローラの主動作クロックとして働きます。

「**図 12AB.7 PLL**」は PLL の基本構成と信号を示します。

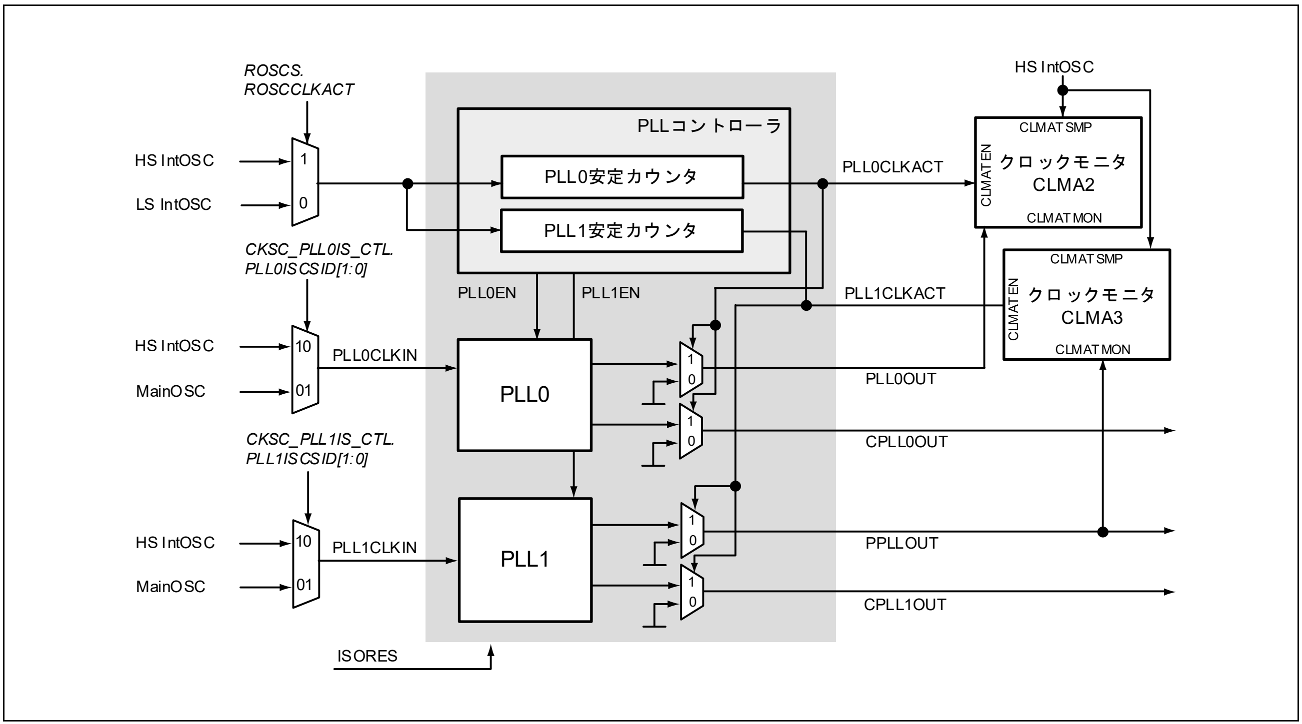


図 12AB.7　PLL

PLL イネーブル

PLL0 はリセット解除後、動作を停止しています。PLL0 使用時は PLL0 イネーブルトリガビット PLL0E.PLL0ENTRG＝1 にセットし、PLL0 を起動してください。
PLL1 はリセット解除後、動作を停止しています。PLL1 使用時は PLL1 イネーブルトリガビット PLL1E.PLL1ENTRG＝1 にセットし、PLL1 を起動してください。

PLL の安定

PLL0 安定カウンタは、PLL0 をイネーブルすると、カウントを開始します。PLL0 が安定していない間、PLL0CLKACT 信号は、PLL0OUT, CPLL0OUT 出力をディセーブルします。PLL0 安定カウンタが PLL0ST.PLL0CLKST[12:0]設定値に到達すると、PLL0OUT, CPLL0OUT は安定であると判定され、PLL0CLKACT 信号が 0 から 1 へ変化することで、PLL0OUT, CPLL0OUT 出力はイネーブルされます。PLL0OUT, CPLL0OUT クロックが安定でアクティブであることは、PLLS.PLL0CLKACT＝1 であることによって表示されます。

PLL1 安定カウンタは、PLL1 をイネーブルすると、カウントを開始します。PLL1 が安定していない間、PLL1CLKACT 信号は、PPLLOUT, CPLL1OUT 出力をディセーブルします。PLL1 安定カウンタが予め規定されている値に到達すると、PPLLOUT, CPLL1OUT は安定であると判定され、PLL1CLKACT 信号が 0 から 1 へ変化することで、PPLLOUT, CPLL1OUT 出力はイネーブルされます。PPLLOUT, CPLL1OUT クロックが安定でアクティブであることは、PLL1S.PLL1CLKACT＝1 であることによって表示されます。

スタンバイモードでの PLL

STOP モードでは、PLL0, PLL1 は自動的にディセーブルされ、STOP モードの前に動作していた場合は、STOP モードから回復した後に動作を再開します。
DeepSTOP モードに遷移する際も PLL0, PLL1 は自動的にディセーブルされます。ただし、DeepSTOP モードから復帰後は PLL0, PLL1 の再設定を行ってください。
Cyclic RUN, Cyclic STOP モードでは、PLL0, PLL1 を使用できません。Cyclic RUN モードでは、PLL0 および PLL1 イネーブルレジスタで PLL0, PLL1 を許可しないでください。

クロックモニタコントロール

PLL0 アクティビティ信号 PLL0CLKACT はクロックモニタ CLMA2 による監視動作を許可または禁止します。PLL0 がアクティブ状態でない場合（PLL0CLKACT＝0）、CLMA2 によるその出力クロック PLL0OUT の監視も無効化されます。
PLL1 アクティビティ信号 PLL1CLKACT はクロックモニタ CLMA3 による監視動作を許可または禁止します。PLL1 がアクティブ状態でない場合（PLL1CLKACT＝0）、CLMA3 によるその出力クロック PPLLOUT の監視も無効化されます。

PLL イネーブル／ディセーブルトリガ

PLL0, PLL1 はイネーブルおよびディセーブルトリガコントロールビットによって有効および無効にすることができます。

- イネーブルトリガ PLL0E.PLL0ENTRG＝1 は PLL0 を起動させます。

  イネーブルトリガのセットは、PLL0 がアクティブ状態でない場合、つまり PLL0S.PLL0CLKACT＝0 のときのみ有効です。
- ディセーブルトリガ PLL0E.PLL0DISTRG＝1 は PLL0 を停止させます。

  ディセーブルトリガのセットは、PLL0 がアクティブ状態にある場合、つまり PLL0S.PLL0CLKACT＝1 のときのみ有効です。
- イネーブルトリガ PLL1E.PLL1ENTRG＝1 は PLL1 を起動させます。

  イネーブルトリガのセットは、PLL1 がアクティブ状態でない場合、つまり PLL1S.PLL1CLKACT＝0 のときのみ有効です。
- ディセーブルトリガ PLL1E.PLL1DISTRG＝1 は PLL1 を停止させます。

  ディセーブルトリガのセットは、PLL1 がアクティブ状態にある場合、つまり PLL1S.PLL1CLKACT＝1 のときのみ有効です。

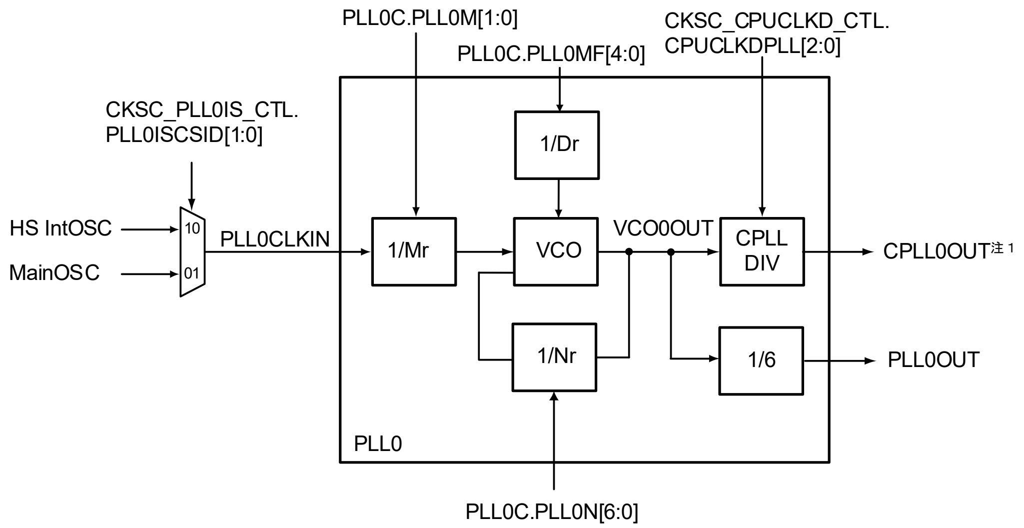
PLL 入力クロック選択

PLL0 入力クロック（PLL0CLKIN）は、CKSC_PLL0IS_CTL レジスタにより MainOSC および HS IntOSC から選択できます。CPLL0OUT および PLL0OUT の最大周波数は、HS IntOSC を PLL0 入力クロックとして選択された場合には制限があります。

PLL1 入力クロック（PLL1CLKIN）は、CKSC_PLL1IS_CTL レジスタにより MainOSC および HS IntOSC から選択できます。CPLL1OUT および PPLLOUT の最大周波数は、HS IntOSC を PLL1 入力クロックとして選択された場合には制限があります。

12AB.3.5.1　PLL0 のパラメータ

PLL0 の動作は制御レジスタ PLL0C および CKSC_CPUCLKD_CTL から読み出される一連のパラメータによって設定されます。



注1.　CPLL0OUT が、CKSC_CPUCLKS_CTL レジスタで C_ISO_CPUCLK のソースクロックとして選択された場合、有効です。CPLL0OUT が選択されていない場合、無効です。

図 12AB.8　PLL0 の回路構成

CPLL0OUT と PLL0OUT

PLL0 には二つのクロック出力“CPLL0OUT”、“PLL0OUT”があります。CPLL0OUT は CPU サブシステムのクロックソースの 1 つです。PLL0OUT は、クロックモニタ CLMA2 で監視されます。CPLL0OUT, PLL0OUT は、電圧制御発振回路（VCO）の出力である同じクロックソース“VCO0OUT”を共有します。VCO0OUT のクロック周波数は以下の式で計算します。

$f_{VCO0OUT} = f_{PLL0CLKIN} \times (Nr / Mr)$

CPLL0OUT のクロック周波数“$f_{CPLL0OUT}$”、PLL0OUT のクロック周波数“$f_{PLL0OUT}$”は、VCO 出力周波数 $f_{VCO0OUT}$ の整数分の 1 の周波数です。
$f_{CPLL0OUT}$、$f_{PLL0OUT}$ は以下の式で計算します。

$f_{CPLL0OUT} = f_{VCO0OUT} \times 1/Pr = f_{PLL0CLKIN} \times (Nr / Mr) \times 1/Pr$

$f_{PLL0OUT} = f_{VCO0OUT} \times 1/6 = f_{PLL0CLKIN} \times (Nr / Mr) \times 1/6$

Nr および Mr の値は PLL0C レジスタビットから以下のように読み出されます。

Nr = PLL0C.PLL0N[6:0] + 1

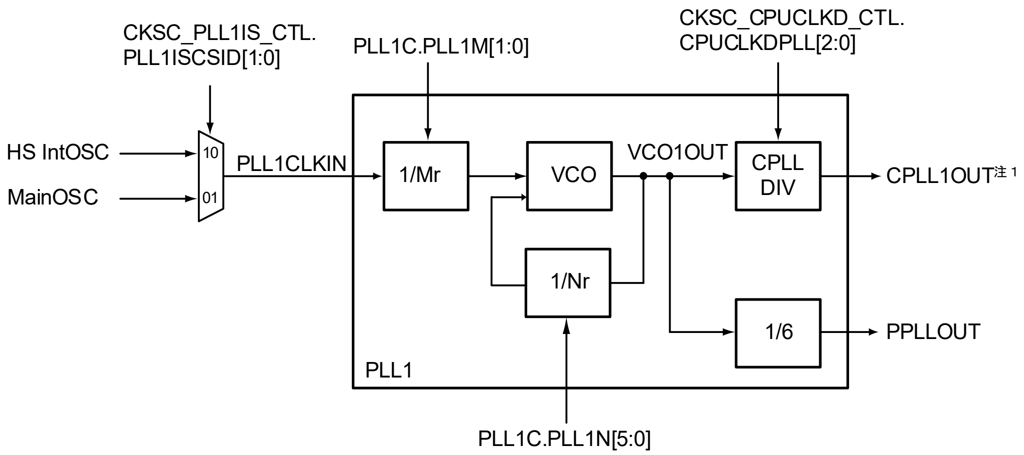
Mr = PLL0C.PLL0M[1:0] + 1

Mr の設定範囲：$1 \leqq Mr \leqq 3$

Pr の値は CKSC_CPUCLKD_CTL.CPUCLKDPLL[2:0]から読み出され、2、3、4、6 のいずれかとなります。

12AB.3.5.2 PLL1 のパラメータ

PLL1 の動作は制御レジスタ PLL1C および CKSC_CPUCLKD_CTL から読み出される一連のパラメータによって設定されます。



注1. CPLL1OUT が、CKSC_CPUCLKS_CTL レジスタで C_ISO_CPUCLK のソースクロックとして選択された場合、有効です。CPLL1OUT が選択されていない場合、無効です。

図 12AB.9 PLL1 の回路構成

CPLL1OUT と PPLLOUT

PLL1 には 2 種類のクロック出力“CPLL1OUT”と“PPLLOUT”があります。CPLL1OUT は CPU サブシステムのクロックソースの 1 つで、PPLLOUT は周辺機能のクロックソースの 1 つです。CPLL1OUT と PPLLOUT は、電圧制御発振回路（VCO）の出力である同じクロックソース“VCO1OUT”を共有します。VCO1OUT のクロック周波数は以下の式で計算します。

$f_{VCO1OUT} = f_{PLL1CLKIN} \times (Nr / Mr)$

CPLL1OUT のクロック周波数“$f_{CPLL1OUT}$”と PPLLOUT のクロック周波数“$f_{PPLLOUT}$”は、VCO 出力周波数 $f_{VCO1OUT}$ の整数分の 1 の周波数です。$f_{CPLL1OUT}$ と $f_{PPLLOUT}$ は以下の式で計算します。

$f_{CPLL1OUT} = f_{VCO1OUT} \times 1/Pr = f_{PLL1CLKIN} \times (Nr / Mr) \times 1/Pr$

$f_{PPLLOUT} = f_{VCO1OUT} \times 1/6 = f_{PLL1CLKIN} \times (Nr / Mr) \times 1/6$

Nr および Mr の値は PLL1C レジスタビットから以下のように読み出されます。

Nr = PLL1C.PLL1N[5:0] + 1

Mr = PLL1C.PLL1M[1:0] + 1

Mr の設定範囲：1≦Mr≦3

Pr の値は CKSC_CPUCLKD_CTL.CPUCLKDPLL[2:0]から読み出され、4、6 のいずれかとなります。

12AB.4 レジスタ

12AB.4.1　レジスター覧

クロックコントローラのレジスター覧を以下に示します。

表 12AB.2　レジスター覧

モジュール名	レジスタ名	略号	アドレス
CLKCTL	クロック発振回路のレジスタ：		
	MainOSC イネーブルレジスタ	MOSCE	FFF8 1100_H
	MainOSC ステータスレジスタ	MOSCS	FFF8 1104_H
	MainOSC コントロールレジスタ	MOSCC	FFF8 1108_H
	MainOSC 安定時間レジスタ	MOSCST	FFF8 $110C_H$
	MainOSC 停止マスクレジスタ	MOSCSTPM	FFF8 1118_H
	MainOSC モードコントロールレジスタ	MOSCM	FFF8 $111C_H$
	SubOSC イネーブルレジスタ	SOSCE 注 1	FFF8 1200_H
	SubOSC ステータスレジスタ	SOSCS 注 1	FFF8 1204_H
	SubOSC 安定時間レジスタ	SOSCST 注 1	FFF8 $120C_H$
	HS IntOSC イネーブルレジスタ	ROSCE	FFF8 1000_H
	HS IntOSC ステータスレジスタ	ROSCS	FFF8 1004_H
	HS IntOSC 停止マスクレジスタ	ROSCSTPM	FFF8 1018_H
	HS IntOSC ユーザトリミングレジスタ	ROSCUT	FFF8 $101C_H$
	PLL0 イネーブルレジスタ	PLL0E	FFF8 9000_H
	PLL0 ステータスレジスタ	PLL0S	FFF8 9004_H
	PLL0 コントロールレジスタ	PLL0C	FFF8 9008_H
	PLL0 安定時間レジスタ	PLL0ST	FFF8 $900C_H$
	PLL1 イネーブルレジスタ	PLL1E	FFF8 9100_H
	PLL1 ステータスレジスタ	PLL1S	FFF8 9104_H
	PLL1 コントロールレジスタ	PLL1C	FFF8 9108_H
	PLL0 入力クロック選択レジスタ	CKSC_PLL0IS_CTL	FFF8 $A700_H$
	PLL0 入力クロックアクティブレジスタ	CKSC_PLL0IS_ACT	FFF8 $A708_H$
	PLL1 入力クロック選択レジスタ	CKSC_PLL1IS_CTL	FFF8 $A710_H$
	PLL1 入力クロックアクティブレジスタ	CKSC_PLL1IS_ACT	FFF8 $A718_H$
	PPLLCLK ソースクロック選択レジスタ	CKSC_PPLLCLKS_CTL	FFF8 $A010_H$
	PPLLCLK ソースクロックアクティブレジスタ	CKSC_PPLLCLKS_ACT	FFF8 $A018_H$
	クロックセレクタコントロールレジスタ：		
	C_AWO_WDTA クロック分周選択レジスタ	CKSC_AWDTAD_CTL	FFF8 2000_H
	C_AWO_WDTA クロック分周アクティブレジスタ	CKSC_AWDTAD_ACT	FFF8 2008_H
	C_AWO_WDTA 停止マスクレジスタ	CKSC_AWDTAD_STPM	FFF8 2018_H
	C_AWO_TAUJ ソースクロック選択レジスタ	CKSC_ATAUJS_CTL	FFF8 2100_H
	C_AWO_TAUJ ソースクロックアクティブレジスタ	CKSC_ATAUJS_ACT	FFF8 2108_H
	C_AWO_TAUJ クロック分周選択レジスタ	CKSC_ATAUJD_CTL	FFF8 2200_H
	C_AWO_TAUJ クロック分周アクティブレジスタ	CKSC_ATAUJD_ACT	FFF8 2208_H
	C_AWO_TAUJ 停止マスクレジスタ	CKSC_ATAUJD_STPM	FFF8 2218_H
	C_AWO_RTCA ソースクロック選択レジスタ	CKSC_ARTCAS_CTL	FFF8 2300_H
	C_AWO_RTCA ソースクロックアクティブレジスタ	CKSC_ARTCAS_ACT	FFF8 2308_H
	C_AWO_RTCA クロック分周選択レジスタ	CKSC_ARTCAD_CTL	FFF8 2400_H

表 12AB.2　レジスター覧

モジュール名	レジスタ名	略号	アドレス
CLKCTL	C_AWO_RTCA クロック分周アクティブレジスタ	CKSC_ARTCAD_ACT	FFF8 2408$_H$
	C_AWO_RTCA 停止マスクレジスタ	CKSC_ARTCAD_STPM	FFF8 2418$_H$
	C_AWO_ADCA ソースクロック選択レジスタ	CKSC_AADCAS_CTL	FFF8 2500$_H$
	C_AWO_ADCA ソースクロックアクティブレジスタ	CKSC_AADCAS_ACT	FFF8 2508$_H$
	C_AWO_ADCA クロック分周選択レジスタ	CKSC_AADCAD_CTL	FFF8 2600$_H$
	C_AWO_ADCA クロック分周アクティブレジスタ	CKSC_AADCAD_ACT	FFF8 2608$_H$
	C_AWO_ADCA 停止マスクレジスタ	CKSC_AADCAD_STPM	FFF8 2618$_H$
	C_AWO_FOUT ソースクロック選択レジスタ	CKSC_AFOUTS_CTL	FFF8 2700$_H$
	C_AWO_FOUT ソースクロックアクティブレジスタ	CKSC_AFOUTS_ACT	FFF8 2708$_H$
	C_AWO_FOUT 停止マスクレジスタ	CKSC_AFOUTS_STPM	FFF8 2718$_H$
	C_ISO_CPUCLK ソースクロック選択レジスタ	CKSC_CPUCLKS_CTL	FFF8 A000$_H$
	C_ISO_CPUCLK ソースクロックアクティブレジスタ	CKSC_CPUCLKS_ACT	FFF8 A008$_H$
	C_ISO_CPUCLK クロック分周選択レジスタ	CKSC_CPUCLKD_CTL	FFF8 A100$_H$
	C_ISO_CPUCLK クロック分周アクティブレジスタ	CKSC_CPUCLKD_ACT	FFF8 A108$_H$
	C_ISO_PERI1 ソースクロック選択レジスタ	CKSC_IPERI1S_CTL	FFF8 A200$_H$
	C_ISO_PERI1 ソースクロックアクティブレジスタ	CKSC_IPERI1S_ACT	FFF8 A208$_H$
	C_ISO_PERI2 ソースクロック選択レジスタ	CKSC_IPERI2S_CTL	FFF8 A300$_H$
	C_ISO_PERI2 ソースクロックアクティブレジスタ	CKSC_IPERI2S_ACT	FFF8 A308$_H$
	C_ISO_LIN ソースクロック選択レジスタ	CKSC_ILINS_CTL	FFF8 A400$_H$
	C_ISO_LIN ソースクロックアクティブレジスタ	CKSC_ILINS_ACT	FFF8 A408$_H$
	C_ISO_ADCA ソースクロック選択レジスタ	CKSC_IADCAS_CTL 注 1	FFF8 A500$_H$
	C_ISO_ADCA ソースクロックアクティブレジスタ	CKSC_IADCAS_ACT 注 1	FFF8 A508$_H$
	C_ISO_ADCA クロック分周選択レジスタ	CKSC_IADCAD_CTL 注 1	FFF8 A600$_H$
	C_ISO_ADCA クロック分周アクティブレジスタ	CKSC_IADCAD_ACT 注 1	FFF8 A608$_H$
	C_ISO_LIN クロック分周選択レジスタ	CKSC_ILIND_CTL	FFF8 A800$_H$
	C_ISO_LIN クロック分周アクティブレジスタ	CKSC_ILIND_ACT	FFF8 A808$_H$
	C_ISO_LIN 停止マスクレジスタ	CKSC_ILIND_STPM	FFF8 A818$_H$
	C_ISO_CAN ソースクロック選択レジスタ	CKSC_ICANS_CTL	FFF8 A900$_H$
	C_ISO_CAN ソースクロックアクティブレジスタ	CKSC_ICANS_ACT	FFF8 A908$_H$
	C_ISO_CAN 停止マスクレジスタ	CKSC_ICANS_STPM	FFF8 A918$_H$
	C_ISO_CANOSC クロック分周選択レジスタ	CKSC_ICANOSCD_CTL	FFF8 AA00$_H$
	C_ISO_CANOSC クロック分周アクティブレジスタ	CKSC_ICANOSCD_ACT	FFF8 AA08$_H$
	C_ISO_CANOSC 停止マスクレジスタ	CKSC_ICANOSCD_STPM	FFF8 AA18$_H$
	C_ISO_CSI ソースクロック選択レジスタ	CKSC_ICSIS_CTL	FFF8 AB00$_H$
	C_ISO_CSI ソースクロックアクティブレジスタ	CKSC_ICSIS_ACT	FFF8 AB08$_H$
	C_ISO_IIC ソースクロック選択レジスタ	CKSC_IIICS_CTL	FFF8 AC00$_H$
	C_ISO_IIC ソースクロックアクティブレジスタ	CKSC_IIICS_ACT	FFF8 AC08$_H$

注1.　100-pin 製品は、非対応

12AB.4.2　クロック発振回路のレジスタ

12AB.4.2.1　MOSCE — MainOSC イネーブルレジスタ

このレジスタは MainOSC の起動および停止のために使用されます。

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはパワーアップリセット信号 PURES および $\overline{\text{CLMA1RES}}$ によって初期化されます。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	FFF8 1100H
リセット後の値	0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MOSCDISTRG	MOSCENTRG
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12AB.3　MOSCE レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	MOSCDISTRG	MainOSC ディセーブルトリガ注 1、注 3 MOSCSTPM.MOSCSTPMSK＝0 0：機能なし 1：MainOSC を停止 MOSCSTPM.MOSCSTPMSK＝1 MOSCSTPM.MOSCSTPMSK＝1 時にライトする場合は 0 を書いてください。 0：機能なし 1：設定禁止 MainOSC が無効になったあと、このビットはハードウェアで自動的にクリア（0）されます。
0	MOSCENTRG	MainOSC イネーブルトリガ注 2、注 3 0：機能なし 1：MainOSC を起動 MainOSC が有効になったあと、このビットはハードウェアで自動的にクリア（0）されます。

注1.　MOSCDISTRG により MainOSC を停止するときは下記手順を守ってください。

1. MainOSC が有効になるまでの期間または、停止になるまでの期間でないことを確認してください（MOSCE.MOSCDISTRG＝0 および MOSCE.MOSCENTRG＝0）。
2. MainOSC がアクティブであることを確認してください（MOSCS.MOSCCLKACT＝1）。
3. MainOSC を選択しているクロックドメインがないことを確認してください。MainOSC を選択しているクロックドメインがあった場合、ディセーブル設定または、MainOSC 以外のクロックソースを選択してください。
4. MainOSC 停止マスク（MOSCSTPM）レジスタ設定が、“スタンバイ時 MainOSC 動作継続”（MOSCSTPM.MOSCSTPMSK＝1）でないことを確認してください。もし、“スタンバイ時 MainOSC 動作継続設定”（MOSCSTPM.MOSCSTPMSK＝1）である場合は、“スタンバイ時 MainOSC 動作停止”（MOSCSTPM.MOSCSTPMSK＝0）を選択してください。

5. MainOSC を停止（MOSCE.MOSCDISTRG＝1）。
6. MainOSC の停止を確認（MOSCS.MOSCCLKACT＝0）。

注2.　MOSCENTRG により MainOSC を起動するときは下記手順を守ってください。

1. MainOSC が有効になるまでの期間または、停止になるまでの期間でないことを確認してください。
（MOSCE.MOSCDISTRG＝0 および MOSCE.MOSCENTRG＝0）。
2. MainOSC がインアクティブであることを確認してください（MOSCS.MOSCCLKACT＝0）。
3. MainOSC を起動してください（MOSCE.MOSCENTRG＝1）。
4. MainOSC の起動を確認してください（MOSCS.MOSCCLKACT＝1）。

注3.　起動ビットによる起動と、停止ビットによる停止を同時に行わないでください。
MOSCE.MOSCENTRG＝1 および MOSCE.MOSCDISTRG＝1 は同時設定禁止

12AB.4.2.2　MOSCS — MainOSC ステータスレジスタ

このレジスタは MainOSC のアクティブステータス情報を保持します。

このレジスタはパワーアップリセット信号 PURES および $\overline{\text{CLMA1RES}}$ によって初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 1104_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1 注1	0 注1
	—	—	—	—	—	—	—	—	—	—	—	—	—	MOSCCLKACT	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注1.　ビット 1、0 には不定値が入ります。
ステータスを確認する場合はビット 1、0 をマスクし、ビット 2 のみで判断してください。

表 12AB.4　MOSCS レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。
2	MOSCCLKACT	MainOSC アクティブステータス 0：MainOSC はインアクティブ 1：MainOSC はアクティブ
1、0	予約ビット	リードした場合は不定値が読めます。

12AB.4.2.3　MOSCC — MainOSC コントロールレジスタ

このレジスタは MainOSC の増幅のために使用されます。

このレジスタはパワーアップリセット信号 PURES および $\overline{\text{CLMA1RES}}$ によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 1108_H

リセット後の値　0000 0004_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MOSCAMPSEL [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12AB.5　MOSCC レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	MOSCAMPSEL [1:0]	MainOSC アンプ利得選択 00：fx＝24MHz アンプ利得 01：fx＝20MHz アンプ利得 10：fx＝16MHz アンプ利得 11：fx＝8MHz アンプ利得

注　意

本レジスタは MainOSC 停止時に設定してください。

12AB.4.2.4　MOSCST — MainOSC 安定時間レジスタ

このレジスタは MainOSC の安定時間を規定します。

このレジスタはパワーアップリセット信号 PURES および $\overline{\text{CLMA1RES}}$ によって初期化されます。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	FFF8 $110C_H$
リセット後の値	0000 $44C0_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MOSCCLKST16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MOSCCLKST[15:0]															
リセット後の値	0	1	0	0	0	1	0	0	1	1	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 12AB.6　MOSCST レジスタの内容

ビット位置	ビット名	機能
31～17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
16～0	MOSCCLKST[16:0]	MOSCCLKST[16:0]は、MainOSC の安定時間カウンタのカウント数を規定します。 ● HS IntOSC がアクティブ（ROSCS.ROSCCLKACT＝1）の場合： 安定時間＝MOSCCLKST[16:0] / f_{RH} ● HS IntOSC がインアクティブ（ROSCS.ROSCCLKACT＝0）の場合： 安定時間＝MOSCCLKST[16:0] / f_{RL}

備　考

MainOSC の安定時間の詳細については、**「第 47A 章　RH850/F1KH-D8 の電気的特性」**、**「第 47B 章　RH850/F1KM-S4, RH850/F1KM-S2 の電気的特性」**を参照してください。

注　意

本レジスタは MainOSC 停止時に設定してください。

12AB.4.2.5　MOSCSTPM — MainOSC 停止マスクレジスタ

このレジスタはパワーアップリセット信号 PURES および $\overline{\text{CLMA1RES}}$ によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 1118_H

リセット後の値　0000 0002_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MOSCSTPMSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 12AB.7　MOSCSTPM レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	MOSCSTPMSK	MainOSC 停止要求マスク 0：スタンバイ時 MainOSC 動作停止 MainOSC ディセーブルトリガ MOSCE.MOSCDISTRG＝1 設定時、 MainOSC 動作停止 1：スタンバイ時 MainOSC 動作継続

12AB.4.2.6　MOSCM — MainOSC モードコントロールレジスタ

このレジスタはパワーアップリセット信号 PURES および $\overline{\text{CLMA1RES}}$ によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 111C$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MOSCM
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 12AB.8　MOSCM レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	MOSCM	MainOSC モード制御 0：OSC モード（デフォルト） 1：EXCLK モード。MainOSC 増幅は無効です。

注　意

本レジスタは MainOSC 停止時に設定してください。

備　考

EXCLK モードは、クロックを X1 端子に直接入力するモードです。詳細は、「**12AB.3.1 メイン発振回路（MainOSC）**」を参照してください。

12AB.4.2.7　SOSCE — SubOSC イネーブルレジスタ

このレジスタは SubOSC の起動および停止のために使用されます。

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはパワーアップリセット信号 PURES によって初期化されます。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	FFF8 1200_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOSCDISTRG	SOSCENTRG
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12AB.9　SOSCE レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	SOSCDISTRG	SubOSC ディセーブルトリガ注 1、注 3 0：機能なし 1：SubOSC を停止 SubOSC が無効になったあと、このビットはハードウェアで自動的にクリア（0）されます。
0	SOSCENTRG	SubOSC イネーブルトリガ注 2、注 3 0：機能なし 1：SubOSC を起動 SubOSC が有効になったあと、このビットはハードウェアで自動的にクリア（0）されます。

注1.　SOSCDISTRG により SubOSC を停止するときは下記手順を守ってください。

1. SubOSC が有効になるまでの期間または、停止になるまでの期間でないことを確認してください（SOSCE.SOSCDISTRG＝0 および SOSCE.SOSCENTRG＝0）。
2. SubOSC がアクティブであることを確認してください（SOSCS.SOSCCLKACT＝1）。
3. SubOSC を選択しているクロックドメインがないことを確認してください。SubOSC を選択しているクロックドメインがあった場合、ディセーブル設定または、SubOSC 以外のクロックソースを選択してください。
4. SubOSC を停止（SOSCE.SOSCDISTRG＝1）。
5. SubOSC の停止を確認（SOSCS.SOSCCLKACT＝0）。

注2.　SOSCENTRG により SubOSC を起動するときは下記手順を守ってください。

1. SubOSC が有効になるまでの期間または、停止になるまでの期間でないことを確認してください（SOSCE.SOSCDISTRG＝0 および SOSCE.SOSCENTRG＝0）。
2. SubOSC がインアクティブであることを確認してください（SOSCS.SOSCCLKACT＝0）。
3. SubOSC を起動してください（SOSCE.SOSCENTRG＝1）。
4. SubOSC の起動を確認してください（SOSCS.SOSCCLKACT＝1）。

注3.　起動ビットによる起動と、停止ビットによる停止を同時に行わないでください。
SOSCE.SOSCENTRG＝1 および SOSCE.SOSCDISTRG＝1 の同時設定禁止

12AB.4.2.8　SOSCS ― SubOSC ステータスレジスタ

このレジスタは SubOSC のアクティブステータス情報を保持します。

このレジスタはパワーアップリセット信号 PURES によって初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 1204_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1 注1	0 注1
	—	—	—	—	—	—	—	—	—	—	—	—	—	SOSCCLKACT	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注1.　ビット 1、0 には不定値が入ります。
　　ステータスを確認する場合はビット 1、0 をマスクし、ビット 2 のみで判断してください。

表 12AB.10　SOSCS レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。
2	SOSCCLKACT	SubOSC アクティブステータス 0：SubOSC はインアクティブ 1：SubOSC はアクティブ
1、0	予約ビット	リードした場合は不定値が読めます。

12AB.4.2.9　SOSCST — SubOSC 安定時間レジスタ

このレジスタは SubOSC の安定時間を規定します。

このレジスタはパワーアップリセット信号 PURES によって初期化されます。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	FFF8 120C$_H$
リセット後の値	010C 8E00$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	SOSCCLKST[29:16]													
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	1	1	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SOSCCLKST[15:0]															
リセット後の値	1	0	0	0	1	1	1	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 12AB.11　SOSCST レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
29～0	SOSCCLKST[29:0]	SOSCCLKST[29:0]は、SubOSC の安定時間カウンタのカウント数を規定します。 ● HS IntOSC がアクティブ（ROSCS.ROSCCLKACT＝1）の場合： 安定時間＝SOSCCLKST[29:0] / f_{RH} ● HS IntOSC がインアクティブ（ROSCS.ROSCCLKACT＝0）の場合： 安定時間＝SOSCCLKST[29:0] / f_{RL}

備　考

SubOSC の安定時間の詳細については、「**第 47A 章　RH850/F1KH-D8 の電気的特性**」、「**第 47B 章　RH850/F1KM-S4, RH850/F1KM-S2 の電気的特性**」を参照してください。

注　意

本レジスタは SubOSC 停止時に設定してください。

12AB.4.2.10 ROSCE ― HS IntOSC イネーブルレジスタ

このレジスタは HS IntOSC の停止のために使用します。

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはパワーアップリセット信号 PURES および $\overline{\text{CLMA0RES}}$ によって初期化されます。

注　意

$\overline{\text{CLMA0RES}}$ が発生したときにのみ、ROSCE.ROSCDISTRG ビットの設定をしてください。それ以外の場合には設定禁止です。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 1000H

リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ROSCDISTRG	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R

表 12AB.12 ROSCE レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	ROSCDISTRG	HS IntOSC ディセーブルトリガ <u>ROSCSTPM.ROSCSTPMSK＝0</u> 0：機能なし 1：HS IntOSC を停止 <u>ROSCSTPM.ROSCSTPMSK＝1</u> 設定禁止
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

12AB.4.2.11 ROSCS — HS IntOSC ステータスレジスタ

このレジスタは HS IntOSC のアクティブステータス情報を保持します。

このレジスタはパワーアップリセット信号 PURES および $\overline{\text{CLMA0RES}}$ によって初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 1004_H

リセット後の値　0000 0007_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1 注1	0 注1
	—	—	—	—	—	—	—	—	—	—	—	—	—	ROSCCLKACT	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注1.　ビット 1、0 には不定値が入ります。
　　ステータスを確認する場合はビット 1、0 をマスクし、ビット 2 のみで判断してください。

表 12AB.13 ROSCS レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。
2	ROSCCLKACT	HS IntOSC アクティブステータス 0：HS IntOSC はインアクティブ 1：HS IntOSC はアクティブ
1、0	予約ビット	リードした場合は不定値が読めます。

12AB.4.2.12 ROSCSTPM — HS IntOSC 停止マスクレジスタ

このレジスタはパワーアップリセット信号 PURES および $\overline{\text{CLMA0RES}}$ によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 1018_H

リセット後の値　0000 0002_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ROSCSTPMSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 12AB.14 ROSCSTPM レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ROSCSTPMSK	スタンバイ時の HS IntOSC 停止要求マスク 0：スタンバイ時 HS IntOSC 動作停止 1：スタンバイ時 HS IntOSC 動作継続 このビットがセット（1）されているときに、HS IntOSC 禁止トリガ ROSCE.ROSCDISTRG を 1 に設定しないでください。

12AB.4.2.13 PLL0E — PLL0 イネーブルレジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	FFF8 9000_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PLL0DISTRG	PLL0ENTRG
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12AB.15 PLL0E レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	PLL0DISTRG	PLL0 ディセーブルトリガ[注 1、注 4] 0：機能なし 1：PLL0 を停止 PLL0 が無効になったあと、このビットはハードウェアで自動的にクリア（0）されます。
0	PLL0ENTRG	PLL0 イネーブルトリガ[注 2、注 3、注 4] 0：機能なし 1：PLL0 を起動 PLL0 が有効になったあと、このビットはハードウェアで自動的にクリア（0）されます。

注1. PLL0DISTRG により PLL0 を停止するときは下記手順を守ってください。

1. PLL0 が有効になるまでの期間または、停止になるまでの期間でないことを確認してください（PLL0E.PLL0DISTRG＝0 および PLL0E.PLL0ENTRG＝0）。
2. PLL0 がアクティブであることを確認してください（PLL0S.PLL0CLKACT＝1）。
3. PLL0 を選択しているクロックドメインがないことを確認してください。PLL0 を選択しているクロックドメインがあった場合、ディセーブル設定または、PLL0 以外のクロックソースを選択してください。
4. PLL0 を停止（PLL0E.PLL0DISTRG＝1）
5. PLL0 の停止を確認（PLL0S.PLL0CLKACT＝0）。

注2. PLL0ENTRG により PLL0 を起動するときは、PLL0 入力クロック（CKSC_PLL0IS_CTL で選択された MainOSC または HS IntOSC）が動作していることを確認してから行ってください。

注3. PLL0ENTRG により PLL0 を起動するときは下記手順を守ってください。

1. PLL0 が有効になるまでの期間または、停止になるまでの期間でないことを確認してください（PLL0E.PLL0DISTRG＝0 および PLL0E.PLL0ENTRG＝0）。
2. PLL0 がインアクティブであることを確認してください（PLL0S.PLL0CLKACT＝0）。
3. PLL0 を起動してください（PLL0E.PLL0ENTRG＝1）。
4. PLL0 の起動を確認してください（PLL0S.PLL0CLKACT＝1）。

注4. 起動ビットによる起動と、停止ビットによる停止を同時に行わないでください。
PLL0E.PLL0ENTRG＝1 および PLL0E.PLL0DISTRG＝1 は同時設定禁止

12AB.4.2.14 PLL0S ― PLL0 ステータスレジスタ

このレジスタは PLL0 のアクティブステータス情報を保持します。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 9004H

リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1 注1	0 注1
	—	—	—	—	—	—	—	—	—	—	—	—	—	PLL0CLKACT	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注1.　ビット 1、0 には不定値が入ります。
　　　ステータスを確認する場合はビット 1、0 をマスクし、ビット 2 のみで判断してください。

表 12AB.16 PLL0S レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。
2	PLL0CLKACT	PLL0 アクティブステータス 0：PLL0 はインアクティブ 1：PLL0 はアクティブ
1、0	予約ビット	リードした場合は不定値が読めます。

12AB.4.2.15 PLL0C — PLL0 コントロールレジスタ

このレジスタは「**12AB.3.5.1 PLL0 のパラメータ**」に示す PLL0 VCO の出力クロック周波数 $f_{VCO0OUT}$ を設定します。

このレジスタは、PLL0 がディセーブル状態でのみ書き込みが可能です。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 9008H

リセット後の値　6000 503BH

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	PLL0FVV[1:0]		PLL0MF[4:0]					—	PLL0ADJ[2:0]			—	—	—	—
リセット後の値	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PLL0MD	PLL0SMD	PLL0M[1:0]		—	—	—	—	PLL0N[6:0]						
リセット後の値	0	1	0	1	0	0	0	0	0	0	1	1	1	0	1	1
R/W	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 12AB.17 PLL0C レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>31</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>30、29</td><td>PLL0FVV[1:0]</td><td>VCO 出力周波数範囲
<table><tr><th>PLL0FVV1</th><th>PLL0FVV0</th><th>VCO 出力周波数範囲</th></tr><tr><td>1</td><td>1</td><td>440MHz～480MHz</td></tr><tr><td>—</td><td>—</td><td>設定禁止</td></tr></table></td></tr>
</table>

表 12AB.17　PLL0C レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>28～24</td><td>PLL0MF[4:0]</td><td>周波数変調サイクル設定
変調周波数の計算式は下記です。
変調周波数＝(fx / Mr) / (MFD × 4)
例：fX＝8MHz, Mr＝1, MFD＝00011_B＝20 の場合、
fX＝(8/1) / (20 × 4)＝100[KHz]
変調周波数の設定範囲については、電気的特性を参照してください。
<table>
<tr><th>PLL0 MF4</th><th>PLL0 MF3</th><th>PLL0 MF2</th><th>PLL0 MF1</th><th>PLL0 MF0</th><th>変調周波数分割比（MFD）</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>10</td></tr>
<tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>12</td></tr>
<tr><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>18</td></tr>
<tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>20</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>22</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>0</td><td>1</td><td>26</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td><td>28</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>1</td><td>1</td><td>30</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>34</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>0</td><td>1</td><td>38</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>1</td><td>0</td><td>40</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>1</td><td>1</td><td>44</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>0</td><td>0</td><td>50</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>0</td><td>1</td><td>56</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>1</td><td>0</td><td>58</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>1</td><td>1</td><td>60</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>62</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td><td>66</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td><td>72</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>1</td><td>1</td><td>76</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>0</td><td>0</td><td>80</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>0</td><td>1</td><td>84</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>1</td><td>0</td><td>86</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>1</td><td>1</td><td>100</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td><td>120</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>0</td><td>1</td><td>126</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>1</td><td>0</td><td>134</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>1</td><td>1</td><td>150</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>0</td><td>0</td><td>166</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>0</td><td>1</td><td>200</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>1</td><td>0</td><td>250</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>300</td></tr>
</table></td></tr>
<tr><td>23</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
</table>

表 12AB.17 PLL0C レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>22～20</td><td>PLL0ADJ[2:0]</td><td>周波数変調幅の設定
<table>
<tr><th>PLL0ADJ2</th><th>PLL0ADJ1</th><th>PLL0ADJ0</th><th>周波数変調幅</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>1%</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>2%</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>3%</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>4%</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>5%</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>6%</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>8%</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>10%</td></tr>
</table></td></tr>
<tr><td>19～15</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>14</td><td>PLL0MD</td><td>動作モード設定
0：設定禁止
1： SSCG モード（周波数変調）</td></tr>
<tr><td>13</td><td>PLL0SMD</td><td>SSCG モードにおける変調モードの設定
1：設定禁止
0：ダウン・スプレッド変調</td></tr>
<tr><td>12、11</td><td>PLL0M[1:0]</td><td>分周比 Mr を設定します。
PLL0M[1:0]の内容については、「表 12AB.18 PLL0 出力の表」を参照してください。</td></tr>
<tr><td>10～7</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>6～0</td><td>PLL0N[6:0]</td><td>分周比 Nr を設定します。
PLL0N[6:0]の内容については、「表 12AB.18 PLL0 出力の表」を参照してください。</td></tr>
</table>

注　意

本レジスタは PLL0 停止時に設定してください。

表 12AB.18 PLL0 出力の表

PLL0CLKIN 周波数 $f_{PLL0CLKIN}$（MHz）	PLL0C. PLL0M[1:0]（Mr）注3	PLL0C. PLL0N[6:0]（Nr）注3	VCO0OUT 周波数 $f_{VCO0OUT}$（MHz）	CPLL0OUT 周波数 $f_{CPLL0OUT}$（MHz）注1			
				VCO0OUT × 1/2（CPU の最大周波数が 240MHz の製品で CKDIVMD の設定が“1”）	VCO0OUT× 1/3（CPU の最大周波数が 240MHz の製品で CKDIVMD の設定が“1”、CPU の最大周波数が 160MHz の製品）	VCO0OUT × 1/4（CPU の最大周波数が 240MHz の製品、CPU の最大周波数が 160MHz の製品）	VCO0OUT × 1/6（CPU の最大周波数が 240MHz の製品、CPU の最大周波数が 160MHz の製品）
8 (MainOSC)	00_B (Mr=1)	$3B_H$ (Nr=60)	480.0	240.0	160.0	120.0	N/A
16 (MainOSC)	01_B (Mr=2)	$3B_H$ (Nr=60)	480.0	240.0	160.0	120.0	N/A
20 (MainOSC)	01_B (Mr=2)	$2F_H$ (Nr=48)	480.0	240.0	160.0	120.0	N/A
24 (MainOSC)	01_B (Mr=2)	27_H (Nr=40)	480.0	240.0	160.0	120.0	N/A
24 (MainOSC)	10_B (Mr=3)	$3B_H$ (Nr=60)	480.0	240.0	160.0	120.0	N/A
8 (HS IntOSC)	00_B (Mr=1)	$3B_H$ (Nr=60)	480.0	N/A	N/A	N/A	80.0 注2

注1.　CPLL0OUT 周波数は CKSC_CPUCLKD_CTL.CPUCLKDPLL[2:0]で定義されます。CKSC_CPUCLKD_CTL レジスタの説明を参照してください。

注2.　CPLL0OUT 周波数は、PLL0 のクロックソースに HS IntOSC を選択した場合、80MHz（typ.）に制限されます。

注3.　この表に示されている設定以外は、禁止です。

12AB.4.2.16 PLL0ST — PLL0 安定時間レジスタ

このレジスタは PLL0 の安定時間を規定します。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	FFF8 900C$_H$
リセット後の値	0000 1B80$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PLL0CLKST[12:0]												
リセット後の値	0	0	0	1	1	0	1	1	1	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 12AB.19 PLL0ST レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>31～13</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>12～0</td><td>PLL0CLKST[12:0]</td><td>PLL0 安定時間を設定します。
PLL0 の安定時間カウンタは、HS IntOSC の周期でカウントします。
PLL0 の動作モード設定には、下記の値を設定してください。
<table><tr><th>モード</th><th>PLL0CLKST[12:0]</th></tr><tr><td>SSCG モード</td><td>1B80_H</td></tr></table></td></tr>
</table>

12AB.4.2.17 PLL1E — PLL1 イネーブルレジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 9100H

リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PLL1DISTRG	PLL1ENTRG
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12AB.20 PLL1E レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	PLL1DISTRG	PLL1 ディセーブルトリガ注 1、注 4 0：機能なし 1：PLL1 を停止 PLL1 が無効になったあと、このビットはハードウェアで自動的にクリア（0）されます。
0	PLL1ENTRG	PLL1 イネーブルトリガ注 2、注 3、注 4 0：機能なし 1：PLL1 を起動 PLL1 が有効になったあと、このビットはハードウェアで自動的にクリア（0）されます。

注1.　PLL1DISTRG により PLL1 を停止するときは下記手順を守ってください。

1. PLL1 が有効になるまでの期間または、停止になるまでの期間でないことを確認してください（PLL1E.PLL1DISTRG＝0 および PLL1E.PLL1ENTRG＝0）。
2. PLL1 がアクティブであることを確認してください（PLL1S.PLL1CLKACT＝1）。
3. PLL1 を選択しているクロックドメインがないことを確認してください。PLL を選択しているクロックドメインがあった場合、ディセーブル設定または、PLL1 以外のクロックソースを選択してください。
4. PLL1 を停止（PLL1E.PLL1DISTRG＝1）。
5. PLL1 の停止を確認（PLL1S.PLL1CLKACT＝0）。

注2.　PLL1ENTRG により PLL1 を起動するときは、PLL 入力クロック（CKSC_PLL1IS_CTL で選択された MainOSC または HS IntOSC）が動作していることを確認してから行ってください。

注3.　PLL1ENTRG により PLL1 を起動するときは下記手順を守ってください。

1. PLL1 が有効になるまでの期間または、停止になるまでの期間でないことを確認してください（PLL1E.PLL1DISTRG＝0 および PLL1E.PLL1ENTRG＝0）。
2. PLL がインアクティブであることを確認してください（PLL1S.PLL1CLKACT＝0）。
3. PLL1 を起動してください（PLL1E.PLL1ENTRG＝1）。
4. PLL1 の起動を確認してください（PLL1S.PLL1CLKACT＝1）。

注4.　起動ビットによる起動と、停止ビットによる停止を同時に行わないでください。
PLL1E.PLL1ENTRG＝1 および PLL1E.PLL1DISTRG＝1 は同時設定禁止

12AB.4.2.18 PLL1S — PLL1 ステータスレジスタ

このレジスタは PLL1 のアクティブステータス情報を保持します。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 9104H

リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1 注1	0 注1
	—	—	—	—	—	—	—	—	—	—	—	—	—	PLL1CLKACT	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注1.　ビット 1、0 には不定値が入ります。
ステータスを確認する場合はビット 1、0 をマスクし、ビット 2 のみで判断してください。

表 12AB.21 PLL1S レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。
2	PLL1CLKACT	PLL1 アクティブステータス 0：PLL1 はインアクティブ 1：PLL1 はアクティブ
1、0	予約ビット	リードした場合は不定値が読めます。

12AB.4.2.19 PLL1C — PLL1 コントロールレジスタ

このレジスタは「**12AB.3.5.2 PLL1 のパラメータ**」に示す PLL1 VCO の出力クロック周波数 $f_{VCO1OUT}$ を設定します。

このレジスタは、PLL1 がディセーブル状態でのみ書き込みが可能です。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	FFF8 9108_H
リセット後の値	0001 $133B_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PLL1M[1:0]		—	—	—	—	—	PLL1N[5:0]					
リセット後の値	0	0	0	1	0	0	1	1	0	0	1	1	1	0	1	1
R/W	R	R	R	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 12AB.22 PLL1C レジスタの内容

ビット位置	ビット名	機能
31～13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12、11	PLL1M[1:0]	分周比 Mr を設定します。 PLL1M[1:0]の内容については、「**表 12AB.23 PLL1 出力の表**」を参照してください。
10～6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5～0	PLL1N[5:0]	分周比 Nr を設定します。 PLL1N[5:0]の内容については、「**表 12AB.23 PLL1 出力の表**」を参照してください。

注　意

本レジスタは PLL1 停止時に設定してください。

表 12AB.23 PLL1 出力の表

PLL1CLKIN 周波数 $f_{PLLCLKIN}$ (MHz)	PLL1C. PLL1M[1:0] (Mr) 注 3	PLL1C. PLL1N[5:0] (Nr) 注 3	VCO1OUT 周波数 $f_{VCO1OUT}$ (MHz)	CPLL1OUT 周波数 $f_{CPLL1OUT}$ (MHz) 注 1		PPLLOUT 周波数 $f_{PPLLOUT}$ (MHz)
				VCO1OUT × 1/4	VCO1OUT × 1/6	
8 (Main OSC)	00_B (Mr＝1)	$3B_H$ (Nr＝60)	480.0	120.0	80.0	80.0
16 (MainOSC)	01_B (Mr＝2)	$3B_H$ (Nr＝60)	480.0	120.0	80.0	80.0
20 (MainOSC)	01_B (Mr＝2)	$2F_H$ (Nr＝48)	480.0	120.0	80.0	80.0
24 (MainOSC)	01_B (Mr＝2)	27_H (Nr＝40)	480.0	120.0	80.0	80.0
24 (MainOSC)	10_B (Mr＝3)	$3B_H$ (Nr＝60)	480.0	120.0	80.0	80.0
8 (HS IntOSC)	00_B (Mr＝1)	$3B_H$ (Nr＝60)	480.0	N/A	80.0 注 2	80.0

注1.　CPLL1OUT 周波数は CKSC_CPUCLKD_CTL.CPUCLKDPLL[2:0]で定義されます。CKSC_CPUCLKD_CTL レジスタの説明を参照してください。

注2.　CPLL1OUT 周波数は、PLL1 のクロックソースに HS IntOSC を選択した場合、80MHz（typ.）に制限されます。

注3.　この表に示されている設定以外は、禁止です。

12AB.4.2.20 PLL0 入力クロック選択

(1) CKSC_PLL0IS_CTL — PLL0 入力クロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFF8 $A700_H$

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PLL0ISCSID [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12AB.24 CKSC_PLL0IS_CTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	PLL0ISCSID[1:0]	PLL0 入力クロックに対するソースクロックの設定 01_B：MainOSC（デフォルト） 10_B：HS IntOSC 注 1 上記以外：設定禁止

注1. CPLL0OUT と PLL0OUT の最大周波数は、HS IntOSC を PLL0 入力クロックに選択した場合には制限があります。

注 意

本レジスタは PLL0 停止時に設定してください。

(2) CKSC_PLL0IS_ACT — PLL0 入力クロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 A708H

リセット後の値　0000 0001H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PLL0ISACT[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12AB.25 CKSC_PLL0IS_ACT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	PLL0ISACT[1:0]	現在アクティブな PLL0 入力クロックのソースクロック

12AB.4.2.21 PLL1 入力クロック選択

(1) CKSC_PLL1IS_CTL ― PLL1 入力クロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	FFF8 A710$_H$
リセット後の値	0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PLL1ISCSID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12AB.26 CKSC_PLL1IS_CTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	PLL1ISCSID[1:0]	PLL1 入力クロックに対するソースクロックの設定 01$_B$：MainOSC（デフォルト） 10$_B$：HS IntOSC 注1 上記以外：設定禁止

注1.　CPLL1OUT と PPLLOUT の最大周波数は、HS IntOSC を PLL1 入力クロックに選択した場合には制限があります。

注　意

本レジスタは PLL1 停止時に設定してください。

(2) CKSC_PLL1IS_ACT — PLL1 入力クロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　アクセス 32 ビット単位でリードのみ可能です。

アドレス　FFF8 A718$_H$

リセット後の値　0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PLL1ISACT[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12AB.27 CKSC_PLL1IS_ACT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	PLL1ISACT[1:0]	現在アクティブな PLL1 入力クロックのソースクロック

12AB.4.2.22 PPLLCLK ソースクロック選択

(1) CKSC_PPLLCLKS_CTL — PPLLCLK ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 $A010_H$

リセット後の値　0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PPLLCLKSCSID [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12AB.28 CKSC_PPLLCLKS_CTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	PPLLCLKSCSID [1:0]	PPLLCLK に対するソースクロックの設定 00_B：設定禁止 01_B：EMCLK（デフォルト） 10_B：MainOSC 11_B：PPLLOUT

(2) CKSC_PPLLCLKS_ACT — PPLLCLK ソースクロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 $A018_H$

リセット後の値　0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PPLLCLKSACT [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12AB.29 CKSC_PPLLCLKS_ACT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	PPLLCLKSACT [1:0]	現在アクティブな PPLLCLK 入力クロックのソースクロック注1

注1.　以下の条件を満たす場合、このレジスタからは 00_B が読めます。

- 以下のすべてのクロックドメインのために選択されたソースクロックが、PPLLCLK（または PPLLCLK2）以外：C_ISO_PERI1, C_ISO_PERI2, C_ISO_LIN, C_ISO_ADCA, C_ISO_CAN, C_ISO_CSI, C_ISO_IIC, C_ISO_ADCA
- OPBT0.FLXA0EN ビットが 0 に設定されている（FlexRay 無効）(RH850/F1KH-D8, RH850F1KM-S4)

12AB.4.2.23 ROSCUT ― HS IntOSC ユーザトリミングレジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはパワーアップリセット信号 PURES および $\overline{\text{CLMA0RES}}$ によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 $101C_H$

リセット後の値　0000 $0XXX_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	FADJUST[8:0]								
リセット後の値	0	0	0	0	0	0	0	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 12AB.30 ROSCUT レジスタの内容

ビット位置	ビット名	機能
31～9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8～0	FADJUST[8:0]	HS IntOSC の周波数調整パラメータ。 このレジスタのリセット後の値はあらかじめ設定した HS IntOSC トリミングデータの値です。HS IntOSC 周波数が対象周波数範囲になるまで、“リード値＋1”または“リード値－1”でこのレジスタを書き換えます。

12AB.4.3　クロックセレクタコントロールレジスタ

12AB.4.3.1　WDTA0 クロックドメイン C_AWO_WDTA

(1) CKSC_AWDTAD_CTL — C_AWO_WDTA クロック分周選択レジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	FFF8 2000_H
リセット後の値	0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AWDTADCSID [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12AB.31 CKSC_AWDTAD_CTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	AWDTADCSID[1:0]	C_AWO_WDTA に対するクロック分周回路の設定 00_B：設定禁止 01_B：LS IntOSC / 128（デフォルト） 10_B：LS IntOSC / 1 11_B：設定禁止

(2) CKSC_AWDTAD_ACT — C_AWO_WDTA クロック分周アクティブレジスタ

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 2008_H

リセット後の値　0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AWDTADACT [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12AB.32　CKSC_AWDTAD_ACT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	AWDTADACT[1:0]	現在アクティブな C_AWO_WDTA に対するクロック分周回路

(3) CKSC_AWDTAD_STPM — C_AWO_WDTA 停止マスクレジスタ

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 2018$_H$

リセット後の値　0000 0002$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AWDTADSTPMSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

注　意

ビット 1 のリセット後の値“1”を変更してはいけません。

表 12AB.33　CKSC_AWDTAD_STPM レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	AWDTADSTPMSK 注 1	0：クロックドメイン C_AWO_WDTA はスタンバイモードで停止されます。 1：クロックドメイン C_AWO_WDTA はスタンバイモードで停止されません。

注1.　このビットを 1 に設定することで、スタンバイモードからの復帰時間を短縮できます。

12AB.4.3.2　TAUJ クロックドメイン C_AWO_TAUJ

(1) CKSC_ATAUJS_CTL — C_AWO_TAUJ ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 2100H

リセット後の値　0000 0001H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ATAUJSCSID[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 12AB.34 CKSC_ATAUJS_CTL レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2～0	ATAUJSCSID[2:0]	C_AWO_TAUJ に対するソースクロックの設定注 1 000_B：無効化 001_B：HS IntOSC（デフォルト） 010_B：MainOSC 011_B：LS IntOSC 100_B：PPLLCLK2 その他すべて：設定禁止

注1.　スタンバイモードに遷移する場合は、遷移前に PPLLCLK2 以外を選択してください。

(2) CKSC_ATAUJS_ACT ― C_AWO_TAUJ ソースクロックアクティブレジスタ

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 2108_H

リセット後の値　0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ATAUJSACT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12AB.35 CKSC_ATAUJS_ACT レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。
2～0	ATAUJSACT[2:0]	現在アクティブな C_AWO_TAUJ のソースクロック

(3) CKSC_ATAUJD_CTL ― C_AWO_TAUJ クロック分周選択レジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 2200H

リセット後の値　0000 0001H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ATAUJDCSID[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 12AB.36 CKSC_ATAUJD_CTL レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2～0	ATAUJDCSID[2:0]	C_AWO_TAUJ に対するクロック分周回路の設定 000B：設定禁止 001B：CKSC_ATAUJS_CTL 選択/1（デフォルト） 010B：CKSC_ATAUJS_CTL 選択/2 011B：CKSC_ATAUJS_CTL 選択/4 100B：CKSC_ATAUJS_CTL 選択/8 その他すべて：設定禁止

(4) CKSC_ATAUJD_ACT — C_AWO_TAUJ クロック分周アクティブレジスタ

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 2208_H

リセット後の値　0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ATAUJDACT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12AB.37 CKSC_ATAUJD_ACT レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。
2～0	ATAUJDACT[2:0]	現在アクティブな C_AWO_TAUJ に対するクロック分周回路

(5) CKSC_ATAUJD_STPM — C_AWO_TAUJ 停止マスクレジスタ

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 2218_H

リセット後の値　0000 0002_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ATAUJ DSTP MSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

注　意

ビット 1 のリセット後の値“1”を変更してはいけません。

表 12AB.38 CKSC_ATAUJD_STPM レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ATAUJDSTPMSK	0：クロックドメイン C_AWO_TAUJ はスタンバイモードで停止されます。 1：クロックドメイン C_AWO_TAUJ はスタンバイモードで停止されません。

12AB.4.3.3　RTCA クロックドメイン C_AWO_RTCA

(1) CKSC_ARTCAS_CTL — C_AWO_RTCA ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはパワーアップリセット信号 PURES によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 2300_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ARTCASCSID [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12AB.39 CKSC_ARTCAS_CTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	ARTCASCSID[1:0]	C_AWO_RTCA に対するソースクロックの設定 00_B：無効化（デフォルト） 01_B：SubOSC 注 1 10_B：MainOSC 注 2 11_B：LS IntOSC

注1.　100-pin 製品は、非対応

注2.　クロックドメイン C_AWO_RTCA に 4MHz 以上の周波数が供給されないように、CKSC_ARTCAS_CTL＝10_B：MainOSC を設定する前に、CKSC_ARTCAD_ACT＝0000 0000_H：無効化であることを確認してください。

(2) CKSC_ARTCAS_ACT ― C_AWO_RTCA ソースクロックアクティブレジスタ

このレジスタはパワーアップリセット信号 PURES によって初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 2308_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ARTCASACT[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12AB.40 CKSC_ARTCAS_ACT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	ARTCASACT[1:0]	現在アクティブな C_AWO_RTCA のソースクロック

(3) CKSC_ARTCAD_CTL — C_AWO_RTCA クロック分周選択レジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはパワーアップリセット信号 PURES によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 2400_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ARTCADCSID[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 12AB.41　CKSC_ARTCAD_CTL レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2～0	ARTCADCSID[2:0]	C_AWO_RTCA に対するクロック分周回路の設定 000_B：無効化（デフォルト） 001_B：CKSC_ARTCAS_CTL 選択/1 010_B：CKSC_ARTCAS_CTL 選択/2 011_B：CKSC_ARTCAS_CTL 選択/4 100_B：CKSC_ARTCAS_CTL 選択/8 その他すべて：設定禁止

(4) CKSC_ARTCAD_ACT — C_AWO_RTCA クロック分周アクティブレジスタ

このレジスタはパワーアップリセット信号 PURES によって初期化されます。

アクセス	32 ビット単位でリードのみ可能です。
アドレス	FFF8 2408_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ARTCADACT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12AB.42 CKSC_ARTCAD_ACT レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。
2～0	ARTCADACT[2:0]	現在アクティブな C_AWO_RTCA に対するクロック分周回路

(5) CKSC_ARTCAD_STPM — C_AWO_RTCA 停止マスクレジスタ

このレジスタはパワーアップリセット信号 PURES によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 2418_H

リセット後の値　0000 0002_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ARTCADSTPMSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

注　意

ビット 1 のリセット後の値“1”を変更してはいけません。

表 12AB.43　CKSC_ARTCAD_STPM レジスタの内容

ビット位置	ビット名	機能
31〜1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ARTCADSTPMSK	0：クロックドメイン C_AWO_RTCA はスタンバイモードで停止されます。 1：クロックドメイン C_AWO_RTCA はスタンバイモードで停止されません。

12AB.4.3.4　ADCA0 クロックドメイン C_AWO_ADCA

(1)　CKSC_AADCAS_CTL — C_AWO_ADCA ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章　書き込み保護レジスタ**」を参照してください。

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 2500_H

リセット後の値　0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AADCASCSID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12AB.44　CKSC_AADCAS_CTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	AADCASCSID[1:0]	C_AWO_ADCA に対するソースクロックの設定注 1 00_B：無効化 01_B：HS IntOSC（デフォルト） 10_B：MainOSC 11_B：PPLLCLK2

注1.　スタンバイモードに遷移する場合は、遷移前に PPLLCLK2 以外を選択してください。

(2) CKSC_AADCAS_ACT — C_AWO_ADCA ソースクロックアクティブレジスタ

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 2508_H

リセット後の値　0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AADCASACT [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12AB.45　CKSC_AADCAS_ACT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	AADCASACT[1:0]	現在アクティブな C_AWO_ADCA に対するソースクロック

(3) CKSC_AADCAD_CTL — C_AWO_ADCA クロック分周選択レジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 2600_H

リセット後の値　0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AADCADCSID [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12AB.46 CKSC_AADCAD_CTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	AADCADCSID[1:0]	C_AWO_ADCA に対するクロック分周回路の設定 00_B：設定禁止 01_B：CKSC_AADCAS_CTL 選択/1（デフォルト） 10_B：CKSC_AADCAS_CTL 選択/2 注 1 11_B：設定禁止

注1.　2 分周により CKSC_AADCA が 8MHz 未満にならないようにしてください。

(4) CKSC_AADCAD_ACT — C_AWO_ADCA クロック分周アクティブレジスタ

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 2608_H

リセット後の値　0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AADCADACT [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12AB.47 CKSC_AADCAD_ACT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	AADCADACT[1:0]	現在アクティブな C_AWO_ADCA に対するクロック分周回路

(5) CKSC_AADCAD_STPM ― C_AWO_ADCA 停止マスクレジスタ

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 2618H

リセット後の値　0000 0002H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AADCADSTPMSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

注　意

ビット 1 のリセット後の値“1”を変更してはいけません。

表 12AB.48 CKSC_AADCAD_STPM レジスタの内容

ビット位置	ビット名	機能
31〜1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	AADCADSTPMSK	0：クロックドメイン C_AWO_ADCA はスタンバイモードで停止されます。 1：クロックドメイン C_AWO_ADCA はスタンバイモードで停止されません。

12AB.4.3.5　FOUT クロックドメイン C_AWO_FOUT

(1)　CKSC_AFOUTS_CTL — C_AWO_FOUT ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章　書き込み保護レジスタ**」を参照してください。

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 2700_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	AFOUTSCSID[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 12AB.49　CKSC_AFOUTS_CTL レジスタの内容

ビット位置	ビット名	機能
31〜3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2〜0	AFOUTSCSID[2:0]	C_AWO_FOUT に対するソースクロックの設定注1 000_B：無効化（デフォルト） 001_B：MainOSC 010_B：HS IntOSC 011_B：LS IntOSC 100_B：SubOSC 注2 101_B：PPLLCLK4 110_B：PPLLCLK4 111_B：設定禁止

注1.　スタンバイモードに遷移する場合は、遷移前に PPLLCLK4 以外を選択してください。

注2.　100-pin 製品は、非対応

(2) CKSC_AFOUTS_ACT — C_AWO_FOUT ソースクロックアクティブレジスタ

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 2708_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	AFOUTSACT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12AB.50　CKSC_AFOUTS_ACT レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。
2～0	AFOUTSACT[2:0]	現在アクティブな C_AWO_FOUT に対するソースクロック

(3) CKSC_AFOUTS_STPM — C_AWO_FOUT 停止マスクレジスタ

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFF8 2718_H

リセット後の値 0000 0002_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AFOUTSSTPMSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

注 意

ビット 1 のリセット後の値 “1” を変更してはいけません。

表 12AB.51 CKSC_AFOUTS_STPM レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	AFOUTSSTPMSK	0：クロックドメイン C_AWO_FOUT はスタンバイモードで停止されます。 1：クロックドメイン C_AWO_FOUT はスタンバイモードで停止されません。

12AB.4.3.6　CPU クロックドメイン C_ISO_CPUCLK

(1) CKSC_CPUCLKS_CTL ― C_ISO_CPUCLK ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 $A000_H$

リセット後の値　0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPUCLKSCSID [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12AB.52　CKSC_CPUCLKS_CTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	CPUCLKSCSID [1:0]	C_ISO_CPUCLK に対するソースクロックの設定 00_B： CPLL0OUT 01_B： EMCLK（デフォルト） 10_B： MainOSC 11_B： CPLL1OUT

注　意

C_ISO_CPUCLK クロックドメインで選択しているソースクロックをソフトウェアで、停止しないでください。

レジスタの設定手順については、「**12AB.5.4 CPUCLK ソースクロックと分周選択の方法**」を参照してください。

(2) CKSC_CPUCLKS_ACT — C_ISO_CPUCLK ソースクロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 A008H

リセット後の値　0000 0001H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPUCLKSACT [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12AB.53 CKSC_CPUCLKS_ACT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	CPUCLKSACT[1:0]	現在アクティブな C_ISO_CPUCLK に対するソースクロック

(3) CKSC_CPUCLKD_CTL — C_ISO_CPUCLK クロック分周選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	FFF8 A100H
リセット後の値	0000 0029H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	CPUCLKDPLL[2:0]			CPUCLKDCSID[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 12AB.54 CKSC_CPUCLKD_CTL レジスタの内容

ビット位置	ビット名	機能
31～6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5～3	CPUCLKDPLL [2:0]注 1、注 2	クロック分周回路 CPLLDIV の設定 C_ISO_CPUCLK の最大クロック周波数を決定する CPLLDIV 分周比を指定します。 000B：CPLL0/1OUT = VCO0/1OUT × 1/6 (80 MHz) (PLL0/1) 010B：CPLL0/1OUT = VCO0/1OUT × 1/4 (120 MHz) (PLL0/1) 110B：CPLL0OUT = VCO0OUT × 1/3 (160 MHz) (PLL0) 101B：CPLL0OUT = VCO0OUT × 1/2 (240 MHz) (PLL0) 上記以外：設定禁止
2～0	CPUCLKDCSID [2:0]	C_ISO_CPUCLK に対するクロック分周回路の設定 000B：設定禁止 001B：CKSC_CPUCLKS_CTL 選択/1（デフォルト） 010B：CKSC_CPUCLKS_CTL 選択/2 011B：CKSC_CPUCLKS_CTL 選択/4 100B：CKSC_CPUCLKS_CTL 選択/8 その他すべて：設定禁止

注1. CKSC_CPUCLKD_CTL.CPUCLKDPLL[2:0]の設定は、CKSC_CPUCLKS_CTL レジスタで、PLL を選択している場合のみ有効です。

注2. 対応する設定については、「**表 12AB.18 PLL0 出力の表**」、「**表 12AB.23 PLL1 出力の表**」を参照してください。

注 意

C_ISO_CPUCLK クロックドメインで選択しているソースクロックをソフトウェアで、停止しないでください。

レジスタの設定手順については、「**12AB.5.4 CPUCLK ソースクロックと分周選択の方法**」を参照してください。

(4) CKSC_CPUCLKD_ACT — C_ISO_CPUCLK クロック分周アクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 A108$_H$

リセット後の値　0000 0029$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	CPUCLKDPLLACT[2:0]			CPUCLKDACT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12AB.55 CKSC_CPUCLKD_ACT レジスタの内容

ビット位置	ビット名	機能
31～6	予約ビット	リードした場合はリセット後の値が読めます。
5～3	CPUCLKDPLLACT [2:0]	現在アクティブな CPLLDIV に対するクロック分周回路
2～0	CPUCLKDACT [2:0]	現在アクティブな C_ISO_CPUCLK に対するクロック分周回路

12AB.4.3.7　周辺クロックドメイン C_ISO_PERI1 および C_ISO_PERI2

(1) CKSC_IPERI1S_CTL — C_ISO_PERI1 ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	FFF8 A200H
リセット後の値	0000 0001H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IPERI1SCSID [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12AB.56 CKSC_IPERI1S_CTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	IPERI1SCSID[1:0]	C_ISO_PERI1 に対するソースクロックの設定 00_B：無効化 01_B：PPLLCLK（デフォルト） 10_B：PPLLCLK 11_B：設定禁止

備　考

CKSCLK_IPERI1 を無効化にする時、SFMA0 と SFMA0_MEM は、対応する HFSGD01PROT0 と HFSGD01PROT1 によってアクセス禁止にする必要があります。

(2) CKSC_IPERI1S_ACT — C_ISO_PERI1 ソースクロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス	32 ビット単位でリードのみ可能です。
アドレス	FFF8 $A208_H$
リセット後の値	0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IPERI1SACT[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12AB.57 CKSC_IPERI1S_ACT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	IPERI1SACT[1:0]	現在アクティブな C_ISO_PERI1 に対するソースクロック

(3) CKSC_IPERI2S_CTL — C_ISO_PERI2 ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 A300H

リセット後の値　0000 0001H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IPERI2SCSID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12AB.58 CKSC_IPERI2S_CTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	IPERI2SCSID[1:0]	C_ISO_PERI2 に対するソースクロックの設定 00_B：無効化 01_B：PPLLCLK2（デフォルト） 10_B：PPLLCLK2 11_B：設定禁止

(4) CKSC_IPERI2S_ACT — C_ISO_PERI2 ソースクロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 A308$_H$

リセット後の値　0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IPERI2SACT [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12AB.59 CKSC_IPERI2S_ACT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	IPERI2SACT[1:0]	現在アクティブな C_ISO_PERI2 のソースクロック

12AB.4.3.8　RLIN クロックドメイン C_ISO_LIN

(1) CKSC_ILINS_CTL — C_ISO_LIN ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	FFF8 A400$_H$
リセット後の値	0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ILINSCSID[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 12AB.60　CKSC_ILINS_CTL レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2～0	ILINSCSID[2:0]	C_ISO_LIN に対するソースクロックの設定注 1 000$_B$：無効化 001$_B$：PPLLCLK2（デフォルト） 010$_B$：MainOSC 011$_B$：PPLLCLK2 100$_B$：HS IntOSC 上記以外：設定禁止

注1.　スタンバイモードに遷移する場合は、遷移前に PPLLCLK2 以外を選択してください。

(2) CKSC_ILINS_ACT — C_ISO_LIN ソースクロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 A408$_H$

リセット後の値　0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ILINSACT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12AB.61 CKSC_ILINS_ACT レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。
2～0	ILINSACT[2:0]	現在アクティブな C_ISO_LIN に対するソースクロック

(3) CKSC_ILIND_CTL — C_ISO_LIN クロック分周選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	FFF8 $A800_H$
リセット後の値	0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ILINDCSID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12AB.62 CKSC_ILIND_CTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	ILINDCSID[1:0]	C_ISO_LIN に対するクロック分周回路の設定 00_B：設定禁止 01_B：CKSC_ILINS_CTL 選択/1（デフォルト） 10_B：CKSC_ILINS_CTL 選択/4 11_B：CKSC_ILINS_CTL 選択/8

備　考

このレジスタの設定は RLIN30 が対象です。また、10_B（CKSC_ILINS_CTL 選択/4）、11_B（CKSC_ILINS_CTL 選択/8）設定は、UART モードのみ使用できます。

(4) CKSC_ILIND_ACT — C_ISO_LIN クロック分周アクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 $A808_H$

リセット後の値　0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ILINDACT[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12AB.63 CKSC_ILIND_ACT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	ILINDACT[1:0]	現在アクティブな C_ISO_LIN に対するクロック分周回路

(5) CKSC_ILIND_STPM — C_ISO_LIN 停止マスクレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	FFF8 $A818_H$
リセット後の値	0000 0002_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ILIND STP MSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

注　意

ビット 1 のリセット後の値“1”を変更してはいけません。

表 12AB.64 CKSC_ILIND_STPM レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ILINDSTPMSK	0：クロックドメイン C_ISO_LIN はスタンバイモードで停止されます。 1：クロックドメイン C_ISO_LIN はスタンバイモードで停止されません。

12AB.4.3.9　ADCA1 クロックドメイン C_ISO_ADCA

(1) CKSC_IADCAS_CTL — C_ISO_ADCA ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	FFF8 $A500_H$
リセット後の値	0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IADCASCSID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12AB.65　CKSC_IADCAS_CTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	IADCASCSID[1:0]	C_ISO_ADCA に対するソースクロックの設定 00_B：無効化 01_B：HS IntOSC（デフォルト） 10_B：MainOSC 11_B：PPLLCLK2

注　意

周波数(1)と周波数(2)の関係が、「(1) / (2)＝4～9.6（CKDIVMD＝1 の場合）注1」の範囲内になるように CKSC_IADCAS_CTL レジスタと CKSC_IADCAD_CTL レジスタを設定してください。

周波数(1)と周波数(2)の関係が、「(1) / (2)＝2～4.8（CKDIVMD＝0 の場合）注1」の範囲内になるように CKSC_IADCAS_CTL レジスタと CKSC_IADCAD_CTL レジスタを設定してください。

(1) C_ISO_CPUCLK ソースクロック選択レジスタ（CKSC_CPUCLKS_CTL）と C_ISO_CPUCLK クロック分周選択レジスタ（CKSC_CPUCLKD_CTL）にて設定した周波数[MHz]

(2) C_ISO_ADCA ソースクロック選択レジスタ（CKSC_IADCAS_CTL）と C_ISO_ADCA クロック分周選択レジスタ（CKSC_IADCAD_CTL）にて設定した周波数[MHz]

注1. 詳細は、「**第 44 章 フラッシュメモリ、44.9.2 OPBT0 — オプションバイト 0**」を参照してください。

(2) CKSC_IADCAS_ACT — C_ISO_ADCA ソースクロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 A508$_H$

リセット後の値　0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IADCASACT[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12AB.66 CKSC_IADCAS_ACT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	IADCASACT[1:0]	現在アクティブな C_ISO_ADCA のソースクロック

(3) CKSC_IADCAD_CTL — C_ISO_ADCA クロック分周選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 A600H

リセット後の値　0000 0001H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IADCADCSID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12AB.67 CKSC_IADCAD_CTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	IADCADCSID[1:0]	C_ISO_ADCA に対するクロック分周回路の設定 00_B：設定禁止 01_B：CKSC_IADCAS_CTL 選択/1（デフォルト） 10_B：CKSC_IADCAS_CTL 選択/2 注 1 11_B：設定禁止

注1.　2 分周により CKSC_IADCA が 8MHz 未満にならないようにしてください。

注　意

周波数(1)と周波数(2)の関係が、「(1) / (2)＝4～9.6（CKDIVMD＝1 の場合）注 1」の範囲内になるように CKSC_IADCAS_CTL レジスタと CKSC_IADCAD_CTL レジスタを設定してください。

周波数(1)と周波数(2)の関係が、「(1) / (2)＝2～4.8（CKDIVMD＝0 の場合）注 1」の範囲内になるように CKSC_IADCAS_CTL レジスタと CKSC_IADCAD_CTL レジスタを設定してください。

(1)　C_ISO_CPUCLK ソースクロック選択レジスタ（CKSC_CPUCLKS_CTL）と C_ISO_CPUCLK クロック分周選択レジスタ（CKSC_CPUCLKD_CTL）にて設定した周波数[MHz]

(2)　C_ISO_ADCA ソースクロック選択レジスタ（CKSC_IADCAS_CTL）と C_ISO_ADCA クロック分周選択レジスタ（CKSC_IADCAD_CTL）にて設定した周波数[MHz]

注1. 詳細は、「**第 44 章 フラッシュメモリ、44.9.2 OPBT0 — オプションバイト 0**」を参照してください。

(4) CKSC_IADCAD_ACT — C_ISO_ADCA クロック分周アクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 A608H

リセット後の値　0000 0001H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IADCADACT [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12AB.68 CKSC_IADCAD_ACT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	IADCADACT[1:0]	現在アクティブな C_ISO_ADCA に対するクロック分周回路

12AB.4.3.10 RS-CANFD クロックドメイン C_ISO_CAN と C_ISO_CANOSC

(1) CKSC_ICANS_CTL — C_ISO_CAN ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	FFF8 $A900_H$
リセット後の値	0000 0003_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ICANSCSID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12AB.69 CKSC_ICANS_CTL レジスタの内容

ビット位置	ビット名	機能
31〜2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	ICANSCSID[1:0]	C_ISO_CAN に対するソースクロックの設定注 1 00_B：無効化 01_B：MainOSC 10_B：PPLLCLK 11_B：PPLLCLK（デフォルト）

注1.　スタンバイモードに遷移する場合は、遷移前に PPLLCLK 以外を選択してください。

(2) CKSC_ICANS_ACT — C_ISO_CAN ソースクロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 A908$_H$

リセット後の値　0000 0003$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ICANSACT[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12AB.70　CKSC_ICANS_ACT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	ICANSACT[1:0]	現在アクティブな C_ISO_CAN のソースクロック

(3) CKSC_ICANS_STPM — C_ISO_CAN 停止マスクレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 A918$_H$

リセット後の値　0000 0002$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ICANS STP MSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

注　意

ビット 1 のリセット後の値 “1” を変更してはいけません。

表 12AB.71 CKSC_ICANS_STPM レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ICANSSTPMSK	0：クロックドメイン C_ISO_CAN はスタンバイモードで停止されます。 1：クロックドメイン C_ISO_CAN はスタンバイモードで停止されません。

(4) CKSC_ICANOSCD_CTL — C_ISO_CANOSC クロック分周選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	FFF8 AA00$_H$
リセット後の値	0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ICANOSCD CSID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12AB.72 CKSC_ICANOSCD_CTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	ICANOSCDCSID [1:0]	C_ISO_CANOSC に対するクロック分周回路の設定[注 1] 00$_B$：無効化（デフォルト） 01$_B$：MainOSC/1 10$_B$：MainOSC/2 11$_B$：設定禁止

注1.　C_ISO_CAN のソースクロックを MainOSC に設定する場合は、MainOSC/2 を選択してください。

(5) CKSC_ICANOSCD_ACT — C_ISO_CANOSC クロック分周アクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス	32 ビット単位でリードのみ可能です。
アドレス	FFF8 AA08$_H$
リセット後の値	0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ICANOSCDACT [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12AB.73 CKSC_ICANOSCD_ACT レジスタの内容

ビット位置	ビット名	機能
31〜2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	ICANOSCDACT [1:0]	現在アクティブな C_ISO_CANOSC に対するクロック分周回路

(6) CKSC_ICANOSCD_STPM ― C_ISO_CANOSC 停止マスクレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 AA18$_H$

リセット後の値　0000 0002$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ICANOSCDSTPMSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

注　意

ビット 1 のリセット後の値 “1” を変更してはいけません。

表 12AB.74 CKSC_ICANOSCD_STPM レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ICANOSCDSTPMSK	0：クロックドメイン C_ISO_CANOSC はスタンバイモードで停止されます。 1：クロックドメイン C_ISO_CANOSC はスタンバイモードで停止されません。

12AB.4.3.11 CSI クロックドメイン C_ISO_CSI

(1) CKSC_ICSIS_CTL — C_ISO_CSI ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	FFF8 AB00$_H$
リセット後の値	0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ICSISCSID[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 12AB.75 CKSC_ICSIS_CTL レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2～0	ICSISCSID[2:0]	C_ISO_CSI に対するソースクロックの設定 000$_B$：無効化 001$_B$：PPLLCLK（デフォルト） 010$_B$：PPLLCLK 011$_B$：MainOSC 100$_B$：HS IntOSC 上記以外：設定禁止

(2) CKSC_ICSIS_ACT — C_ISO_CSI ソースクロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 AB08$_H$

リセット後の値　0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ICSISACT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12AB.76　CKSC_ICSIS_ACT レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。
2～0	ICSISACT[2:0]	現在アクティブな C_ISO_CSI のソースクロック

12AB.4.3.12 RIIC クロックドメイン C_ISO_IIC

(1) CKSC_IIICS_CTL — C_ISO_IIC ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細については、「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	FFF8 AC00$_H$
リセット後の値	0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IIICSCSID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12AB.77 CKSC_IIICS_CTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	IIICSCSID[1:0]	C_ISO_IIC に対するソースクロックの設定 00$_B$：無効化 01$_B$：PPLLCLK2（デフォルト） 10$_B$：PPLLCLK2 11$_B$：設定禁止

(2) CKSC_IIICS_ACT — C_ISO_IIC ソースクロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 AC08$_H$

リセット後の値　0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IIICSACT[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12AB.78　CKSC_IIICS_ACT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	IIICSACT[1:0]	現在アクティブな C_ISO_IIC に対するソースクロック

12AB.5 クロックドメインの設定方法

12AB.5.1　クロックドメインの設定

12AB.5.1.1　クロックセレクタレジスタ概要

クロックドメイン C_AWO_<*name*>/C_ISO_<*name*>に対するクロックセレクタは以下のレジスタで制御されます。

- ソースクロック選択レジスタ

  これらのレジスタは有効なソースクロックの中からドメインクロックとして使用するクロックを 1 つ選択します。

  - AWO ソースクロックの選択：CKSC_A<*name*>S_CTL
  - ISO ソースクロックの選択：CKSC_I<*name*>S_CTL

- クロック分周選択レジスタ

  これらのレジスタは選択されたソースクロックに対してクロック分周比を設定します。

  - AWO クロック分周比：CKSC_A<*name*>D_CTL
  - ISO クロック分周比：CKSC_I<*name*>D_CTL

- ソースクロックアクティブレジスタ／クロック分周アクティブレジスタ

  これらのレジスタはそれぞれ、現在アクティブ状態にある選択されたソースクロックと分周比を返します。

  - AWO ソースクロックアクティブレジスタ／クロック分周アクティブレジスタ：
    CKSC_A<*name*>S_ACT/CKSC_A<*name*>D_ACT
  - ISO ソースクロックアクティブレジスタ／クロック分周アクティブレジスタ：
    CKSC_I<*name*>S_ACT/CKSC_I<*name*>D_ACT

備　考

- すべてのクロックセレクタが、上述したすべてのコントロール機能を持つ訳ではありません。
- クロックドメイン C_ISO_CPUCLK は、レジスタ名にパワードメインを表す“ I ”が付与されません。

12AB.5.1.2　クロックドメインの設定手順

以下に設定手順を示します。

1. ソースクロックの設定
   - ソースクロックの選択を実施（CKSC_A<*name*>S_CTL, CKSC_I<*name*>S_CTL）
   - 選択完了の確認（CKSC_A<*name*>S_ACT, CKSC_I<*name*>S_ACT）注1
2. クロック分周の設定
   - クロック分周の選択を実施（CKSC_A<*name*>D_CTL, CKSC_I<*name*>D_CTL）
   - 選択完了の確認（CKSC_A<*name*>D_ACT, CKSC_I<*name*>D_ACT）注2

注1. CKSC_A<*name*>S_ACT、CKSC_I<*name*>S_ACT が、CKSC_A<*name*>S_CTL、CKSC_I<*name*>S_CTL に書き込まれた新しい値に更新されてから処理を継続してください。

注2. CKSC_A<*name*>D_ACT、CKSC_I<*name*>D_ACT が、CKSC_A<*name*>D_CTL、CKSC_I<*name*>D_CTL に書き込まれた新しい値に更新されてから処理を継続してください。

注　意

上記設定は、選択するソースクロックが動作していることが前提です。
ソースクロックが停止している状態で、設定を実施した場合の動作は保証しません。
また、クロック供給が停止している周辺機能へのアクセスは禁止です。

12AB.5.2　スタンバイモード時のクロックの停止

スタンバイモード時（STOP モード、DeepSTOP モード、Cyclic STOP モード）、スタンバイコントローラからのクロック停止要求に対してクロックドメイン C_AWO_<*name*> / C_ISO_<*name*>は、そのクロック CKSCLK_A<*name*> / CKSCLK_I<*name*>を停止または継続するように設定することができます。

クロック停止マスクレジスタは、スタンバイモード時のクロックの動作状態を決定するために使用されます。

- CKSC_A<*name*>_STPM.A<*name*>STPMSK/CKSC_I<*name*>_STPM.I<*name*>STPMSK＝0：

  STOP 要求信号はマスクされません。そのためドメインクロック CKSCLK_A<*name*> / CKSCLK_I<*name*>はスタンバイ時に停止されます。
  ドメインクロックがスタンバイモードの前に動作していた場合、スタンバイ状態から回復した後、自動的に再起動されます。
  同じソースクロックを選択している別のクロックドメインで、停止マスク設定を“1”（CKSC_A<*name*>_STPM.A<*name*>STPMSK / CKSC_I<*name*>_STPM.I<*name*>STPMSK＝1）に設定していた場合、そのソースクロックはスタンバイモード時に動作を継続します。
  CPU クロックドメイン C_ISO_CPUCLK は、スタンバイ時に必ず停止します。

- CKSC_A<*name*>_STPM.A<*name*>STPMSK/CKSC_I<*name*>_STPM.I<*name*>STPMSK＝1：

  STOP 要求信号はマスクされるため、CKSCLK_A<*name*> / CKSCLK_I<*name*>はスタンバイ時に動作を継続します。
  対象のクロックドメインで選択しているソースクロックもスタンバイモード時に動作を継続します。
  Isolated エリア（ISO エリア）にあるクロックドメインは、DeepSTOP モード時に停止されます。

12AB.5.3　クロックドメイン設定

各クロックドメインで選択可能なソースクロックと分周比、使用する設定レジスタを以下の表に示します。

表 12AB.79　クロック選択の一覧 (RH850/F1KH-D8)

クロックドメイン	クロック名	選択レジスタ		分周レジスタ		最大周波数	対象ユニット
C_AWO_WDTA	CKSCLK_AWDTA	—	**LS IntOSC**	CKSC_AWDTAD_CTL	1/1	240kHz	WDTA0
					1/128		
C_AWO_TAUJ	CKSCLK_ATAUJ	CKSC_ATAUJS_CTL	MainOSC	CKSC_ATAUJD_CTL	**1/1**	40MHz	TAUJ0
			HS IntOSC		1/2		TAUJ2
			LS IntOSC		1/4		
			PPLLCLK2		1/8		
			Disable		—		
C_AWO_RTCA	CKSCLK_ARTCA	CKSC_ARTCAS_CTL	MainOSC	CKSC_ARTCAD_CTL	1/1	4MHz	RTCA0
			LS IntOSC		1/2		
			SubOSC		1/4		
			Disable		1/8		
			—		**Disable**		
C_AWO_ADCA	CKSCLK_AADCA	CKSC_AADCAS_CTL	MainOSC	CKSC_AADCAD_CTL	**1/1**	40MHz	ADCA0
			HS IntOSC		1/2		
			PPLLCLK2		—		
			Disable				
C_AWO_FOUT	CKSCLK_AFOUT	CKSC_AFOUTS_CTL	MainOSC	—	**1/1**	24MHz	FOUT
			HS IntOSC				
			LS IntOSC				
			SubOSC				
			PPLLCLK4				
			Disable				
C_ISO_CPUCLK	CPUCLK	CKSC_CPUCLKS_CTL 注3	MainOSC	CKSC_CPUCLKD_CTL	**1/1**	240 / 160 MHz 注1	CPU サブシステム
			CPLL0OUT (VCO0OUT × 1/2)		1/2		
			CPLL0OUT (VCO0OUT × 1/3)		1/4		
			CPLL0/1OUT (VCO0/1OUT × 1/4)		1/8		
			CPLL0/1OUT (VCO0/1OUT × 1/6)				
			EMCLK		—		
C_ISO_PERI1	CKSCLK_IPERI1	CKSC_IPERI1S_CTL	**PPLLCLK**	—	**1/1**	80MHz	TAUD0
			Disable				TAUJ1
							TAUJ3
							ENCA0
							TAPA0
							PIC0
							SFMAn
C_ISO_PERI2	CKSCLK_IPERI2	CKSC_IPERI2S_CTL	**PPLLCLK2**	—	**1/1**	40MHz	TAUBn
			Disable				PWBAn
							PWGAn
							PWSAn
							RCFDCn (clkc)
							RSENTn
							MMCA0

表 12AB.79 クロック選択の一覧 (RH850/F1KH-D8)

クロックドメイン	クロック名	選択レジスタ		分周レジスタ		最大周波数	対象ユニット
C_ISO_LIN	CKSCLK_ILIN	CKSC_ILINS_CTL	MainOSC	CKSC_ILIND_CTL[注2]	**1/1**	40MHz	RLIN24n
			HS IntOSC		1/4		RLIN3n
			PPLLCLK2		1/8		
			Disable				
C_ISO_ADCA	CKSCLK_IADCA	CKSC_IADCAS_CTL	MainOSC	CKSC_IADCAD_CTL	**1/1**	40MHz	ADCA1
			HS IntOSC		1/2		
			PPLLCLK2		—		
			Disable				
C_ISO_CAN	CKSCLK_ICAN	CKSC_ICANS_CTL	MainOSC	—	**1/1**	80MHz	RCFDCn (PCLK)
			PPLLCLK				
			Disable				
C_ISO_CANOSC	CKSCLK_ICANOSC	—	**MainOSC**	CKSC_ICANOSCD_CTL	1/1	24MHz	RCFDCn (clk_xincan)
					1/2		
					Disable		
C_ISO_CSI	CKSCLK_ICSI	CKSC_ICSIS_CTL	**PPLLCLK**	—	**1/1**	80MHz	CSIGn
			MainOSC				CSIHn
			HS IntOSC				
			Disable				
C_ISO_IIC	CKSCLK_IIIC	CKSC_IIICS_CTL	**PPLLCLK2**	—	**1/1**	40MHz	RIICn
			Disable				

備考　表内の太字部分は各レジスタの初期設定クロックです。

注1.　対応する設定については、「**表 12AB.18 PLL0 出力の表**」、「**表 12AB.23 PLL1 出力の表**」を参照してください。

注2.　RLIN30 のみ適用されます。また、1/4、1/8 設定は、UART モードのみで使用できます。

注3.　CKSC_CPUCLKS_CTL は、MainOSC, CPLL0OUT, CPLL1OUT, EMCLK の選択をします。
CKSC_CPUCLKD_CTL.CPUCLKDPLL[2:0]は、CKSC_CPUCLKS_CTL で C_ISO_CPUCLK のソースクロックとして選択された CPLL0OUT または CPLL1OUT のクロック周波数を選択します。

表 12AB.80 クロック選択の一覧 (RH850/F1KM-S4, RH850/F1KM-S2)

クロックドメイン	クロック名	選択レジスタ		分周レジスタ		最大周波数	対象ユニット
C_AWO_WDTA	CKSCLK_AWDTA	—	**LS IntOSC**	CKSC_AWDTAD_CTL	1/1	240kHz	WDTA0
					1/128		
C_AWO_TAUJ	CKSCLK_ATAUJ	CKSC_ATAUJS_CTL	MainOSC	CKSC_ATAUJD_CTL	**1/1**	40MHz	TAUJ0 TAUJ2
			HS IntOSC		1/2		
			LS IntOSC		1/4		
			PPLLCLK2		1/8		
			Disable		—		
C_AWO_RTCA	CKSCLK_ARTCA	CKSC_ARTCAS_CTL	MainOSC	CKSC_ARTCAD_CTL	1/1	4MHz	RTCA0
			LS IntOSC		1/2		
			SubOSC [注1]		1/4		
			Disable		1/8		
			—		**Disable**		
C_AWO_ADCA	CKSCLK_AADCA	CKSC_AADCAS_CTL	MainOSC	CKSC_AADCAD_CTL	**1/1**	40MHz	ADCA0
			HS IntOSC		1/2		
			PPLLCLK2		—		
			Disable				
C_AWO_FOUT	CKSCLK_AFOUT	CKSC_AFOUTS_CTL	MainOSC	—	**1/1**	24MHz	FOUT
			HS IntOSC				
			LS IntOSC				
			SubOSC [注1]				
			PPLLCLK4				
			Disable				
C_ISO_CPUCLK	CPUCLK	CKSC_CPUCLKS_CTL [注4]	MainOSC	CKSC_CPUCLKD_CTL	**1/1**	240 / 160 MHz [注2]	CPU サブシステム
			CPLL0OUT (VCO0OUT × 1/2)		1/2		
			CPLL0OUT (VCO0OUT × 1/3)		1/4		
			CPLL0/1OUT (VCO0/1OUT × 1/4)		1/8		
			CPLL0/1OUT (VCO0/1OUT × 1/6)				
			EMCLK		—		
C_ISO_PERI1	CKSCLK_IPERI1	CKSC_IPERI1S_CTL	**PPLLCLK**	—	**1/1**	80MHz	TAUD0 TAUJ1 TAUJ3 ENCA0 TAPA0 PIC0 SFMAn
			Disable				
C_ISO_PERI2	CKSCLK_IPERI2	CKSC_IPERI2S_CTL	**PPLLCLK2**	—	**1/1**	40MHz	TAUBn PWBAn PWGAn PWSAn RCFDCn (clkc) RSENTn
			Disable				
C_ISO_LIN	CKSCLK_ILIN	CKSC_ILINS_CTL	MainOSC	CKSC_ILIND_CTL [注3]	**1/1**	40MHz	RLIN24n RLIN3n
			HS IntOSC		1/4		
			PPLLCLK2		1/8		
			Disable				

表 12AB.80　クロック選択の一覧 (RH850/F1KM-S4, RH850/F1KM-S2)

クロックドメイン	クロック名	選択レジスタ		分周レジスタ		最大周波数	対象ユニット
C_ISO_ADCA	CKSCLK_IADCA	CKSC_IADCAS_CTL	MainOSC	CKSC_IADCAD_CTL	**1/1**	40MHz	ADCA1
			HS IntOSC		1/2		
			PPLLCLK2		—		
			Disable				
C_ISO_CAN	CKSCLK_ICAN	CKSC_ICANS_CTL	MainOSC	—	**1/1**	80MHz	RCFDCn (PCLK)
			PPLLCLK				
			Disable				
C_ISO_CANOSC	CKSCLK_ICANOSC	—	**MainOSC**	CKSC_ICANOSCD_CTL	1/1	24MHz	RCFDCn (clk_xincan)
					1/2		
					Disable		
C_ISO_CSI	CKSCLK_ICSI	CKSC_ICSIS_CTL	**PPLLCLK**	—	**1/1**	80MHz	CSIGn CSIHn
			MainOSC				
			HS IntOSC				
			Disable				
C_ISO_IIC	CKSCLK_IIIC	CKSC_IIICS_CTL	**PPLLCLK2**	—	**1/1**	40MHz	RIICn
			Disable				

備考　表内の太字部分は各レジスタの初期設定クロックです。

注1.　100-pin 製品は、非対応

注2.　対応する設定については、「**表 12AB.18　PLL0 出力の表**」、「**表 12AB.23　PLL1 出力の表**」を参照してください。

注3.　RLIN30 のみ適用されます。また、1/4、1/8 設定は、UART モードのみで使用できます。

注4.　CKSC_CPUCLKS_CTL は、Main OSC, CPLL0OUT, CPLL1OUT, EMCLK の選択をします。
CKSC_CPUCLKD_CTL.CPUCLKDPLL[2:0]は、CKSC_CPUCLKS_CTL で C_ISO_CPUCLK のソースクロックとして選択された CPLL0OUT または CPLL1OUT のクロック周波数を選択します。

注　意

クロックドメインで選択中のクロックソースを、STOP/DeepSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめそのクロックドメインで“Disable”を選択してください。“Disable”が選択できないクロックドメインのソースクロックは、クロックドメイン内の機能動作中に停止させないようにしてください。クロックドメインで選択中のソースクロックを、STOP/DeepSTOP モードへの遷移により停止させる場合は、“Disable”を選択する必要はありません。その代わりに停止マスクレジスタでスタンバイ中のクロックドメインの停止を選択してください。

12AB.5.4 CPUCLK ソースクロックと分周選択の方法

CPUCLK 周波数を変更する場合は、以下に示す手順を守ってください。

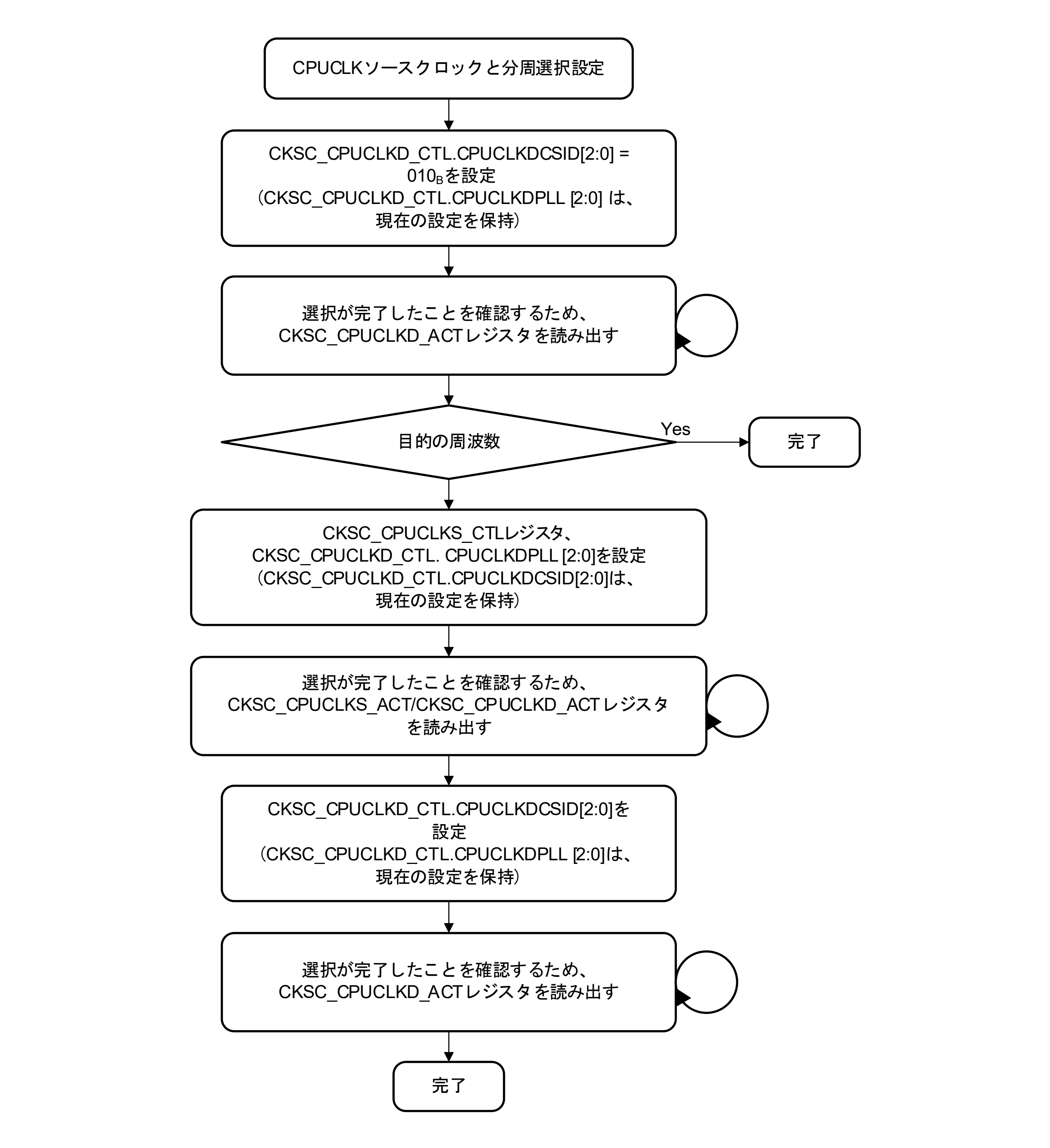


図 12AB.10 CPUCLK ソースクロックと分周選択の方法

注　意

RH850/F1KH-D8：上記手順を守らなかった場合の動作は保証しません。

RH850/F1KM-S4, RH850/F1KM-S2：上記手順は任意です。

12AB.5.5　STOP モードでの CPUCLK 設定方法

STOP モードへ遷移する場合は、以下に示す手順を守ってください。

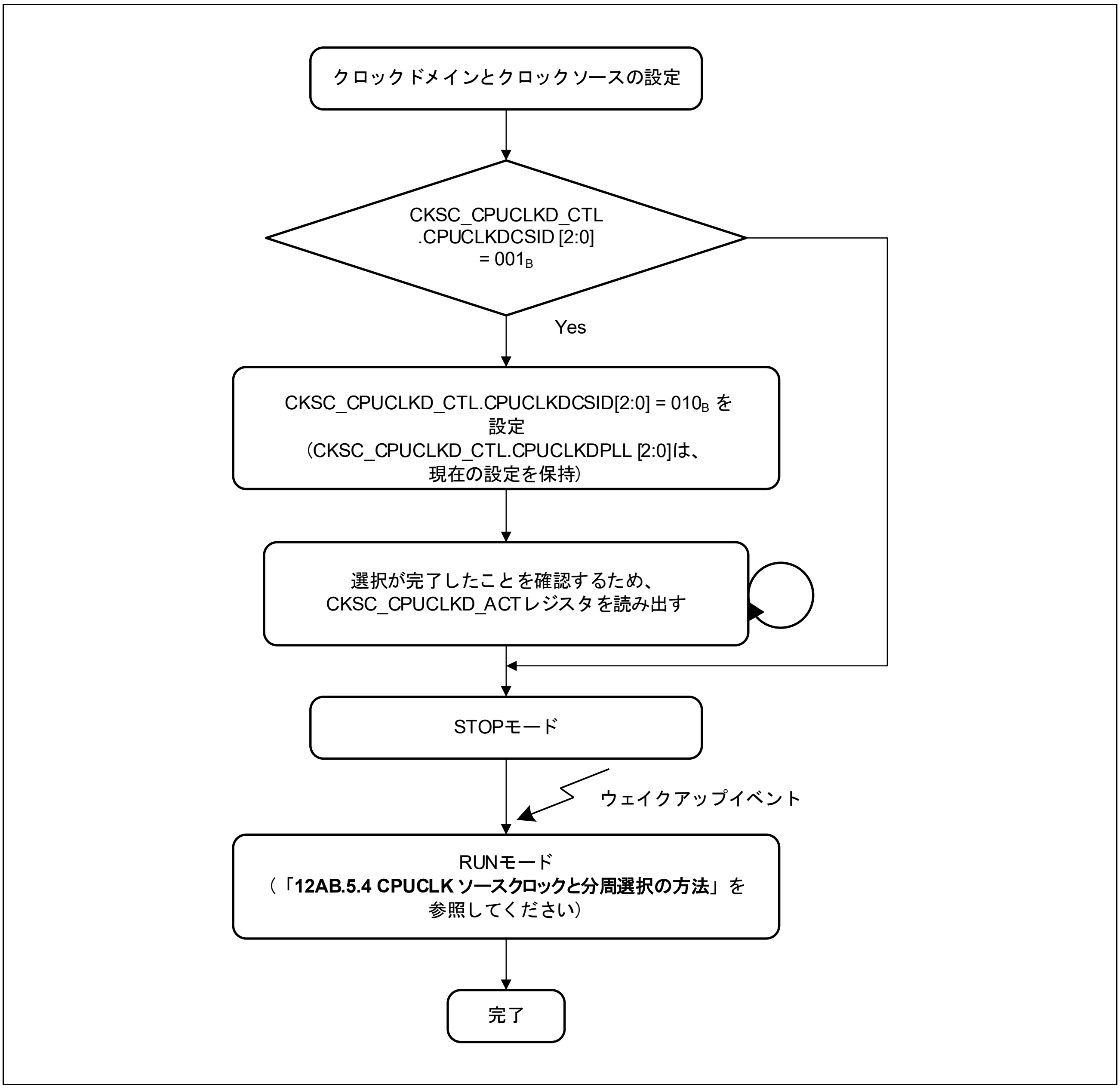


図 12AB.11　STOP モードでの CPUCLK 設定方法

注　意

RH850/F1KH-D8：上記手順を守らなかった場合の動作は保証しません。

RH850/F1KM-S4, RH850/F1KM-S2：上記手順は任意です。

12AB.6 周波数出力機能（FOUT）

周波数出力機能（FOUT）は、クロックを外部出力することができます。また、分周回路により分周出力することが可能です。

12AB.6.1　機能概要

周波数出力機能の構成を「**図 12AB.12 周波数出力機能**」に示します。

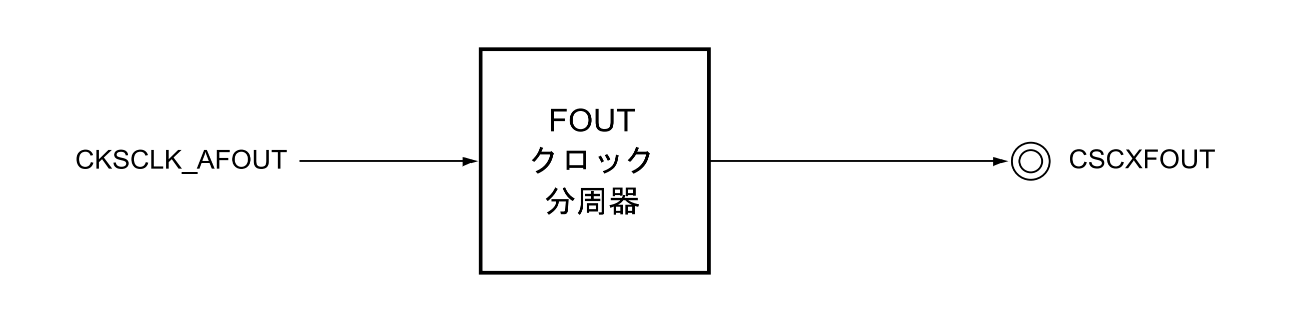


図 12AB.12 周波数出力機能

クロック出力機能は、CKSCLK_AFOUT のクロックを分周回路より、1～63 分周したクロックを、CSCXFOUT より出力します。分周比 N は、FOUTDIV レジスタの FOUTDIV[5:0]に設定します。クロックの出力周波数 $f_{CSCXFOUT}$ は、次式で表されます。

$f_{CSCXFOUT}$ = (CKSCLK_AFOUT のクロック周波数) / N

CKSCLK_AFOUT の設定、端子機能のクロック出力選択後、FOUTDIV レジスタの FOUTDIV[5:0]に分周比 N を設定するとクロック出力を開始します。

新しい分周比が FOUTDIV レジスタの FOUTDIV[5:0]に書き込まれると、CSCXFOUT 出力クロックと同期して有効となります。したがって、クロック分周比は CSCXFOUT クロックが動作中でも変更することができます。なお、FOUTDIV[5:0]に 000_H が書き込まれるとクロック出力が停止します。

12AB.6.2　クロック供給

CSCXFOUT のクロック供給を以下の表に示します。

表 12AB.81 クロック供給

モジュール名	ユニットクロック名	供給クロック名	説明
CSCXFOUT	PCLK	CPUCLK_UL	バスクロック（レジスタアクセス）
	CKSCLK_AFOUT	CKSCLK_AFOUT	FOUT クロック分周器のクロックソース

12AB.6.3　レジスタ

12AB.6.3.1　レジスター覧

FOUT のレジスター覧を以下の表に示します。

表 12AB.82 レジスター覧

モジュール名	レジスタ名	略号	アドレス
CLKCTL	クロック分周比レジスタ	FOUTDIV	FFF8 2800_H
	クロック分周ステータスレジスタ	FOUTSTAT	FFF8 2804_H

12AB.6.3.2 FOUTDIV — クロック分周比レジスタ

このレジスタはクロック分周比を規定します。

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 2800_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	FOUTDIV[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 12AB.83 FOUTDIV レジスタの内容

ビット位置	ビット名	機能
31～6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5～0	FOUTDIV[5:0]	クロック分周比 N 00_H：クロック出力は停止 01_H：N＝1 02_H：N＝2 ： $3E_H$：N＝62 $3F_H$：N＝63

12AB.6.3.3　FOUTSTAT — クロック分周ステータスレジスタ

このレジスタはクロック出力のステータスを示します。

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス	32 ビット単位でリードのみ可能です。
アドレス	FFF8 2804_H
リセット後の値	0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FOUTCLKACT	FOUTSYNC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12AB.84　FOUTSTAT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1	FOUTCLKACT	クロック分周出力アクティブビット 0：周波数出力停止中です。 1：周波数出力中です。
0	FOUTSYNC	クロック分周同期 0：クロック分周は変更過渡期です。 1：クロック分周は安定状態です。（停止状態を含む）

第12C章 クロックコントローラ (RH850/F1KM-S1)

本章では、クロックコントローラ全般について説明します。

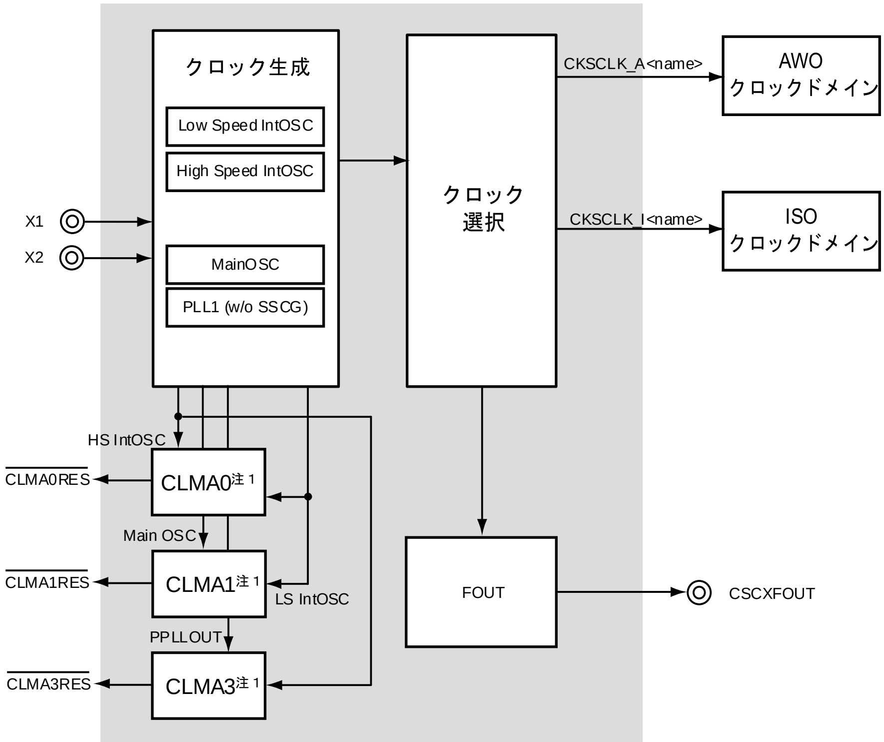
最初の節では、RH850/F1KM のクロックコントローラ固有の特長について説明します。
それ以降の節では、クロックコントローラを構成するクロック発振回路、クロックセレクタやクロック出力機能について説明します。

12C.1 RH850/F1KM のクロックコントローラの特長

RH850/F1KM のクロックコントローラは以下の特長があります。

- 4 種類のクロック発振回路を内蔵
  - メイン発振回路（MainOSC）、発振周波数 8, 16, 20, 24MHz
  - 高速内蔵発振回路（HS IntOSC）、周波数 8MHz（Typ.）
  - 低速内蔵発振回路（LS IntOSC）、周波数 240kHz（Typ.）
  - PLL（SSCG 動作モードなし）（PLL1）
- クロックドメインによる周辺モジュールへの細かな供給クロック管理
- クロックモニタを内蔵し、メイン発振、高速内蔵発振、PLL 使用時のクロック異常を検出（「**第 13 章 クロックモニタ（CLMA）**」を参照してください）
- クロック出力（FOUT）

クロックコントローラの概略図を「**図 12C.1 クロックコントローラの概要**」に示します。



注1. クロックモニタの詳細は「**第 13 章 クロックモニタ（CLMA）**」を参照してください。

図 12C.1　　クロックコントローラの概要

12C.2 クロックコントローラの構成

本節では、クロックコントローラの構成について説明します。

クロックコントローラは、クロック発振回路と CPU および周辺モジュール用クロックを生成するクロック生成回路、最適クロックを選択するクロックセレクタ、CPU や各周辺モジュールの各クロックドメインで構成します。

クロックコントローラの構成を「**図 12C.2 クロックコントローラの構成**」に示します。

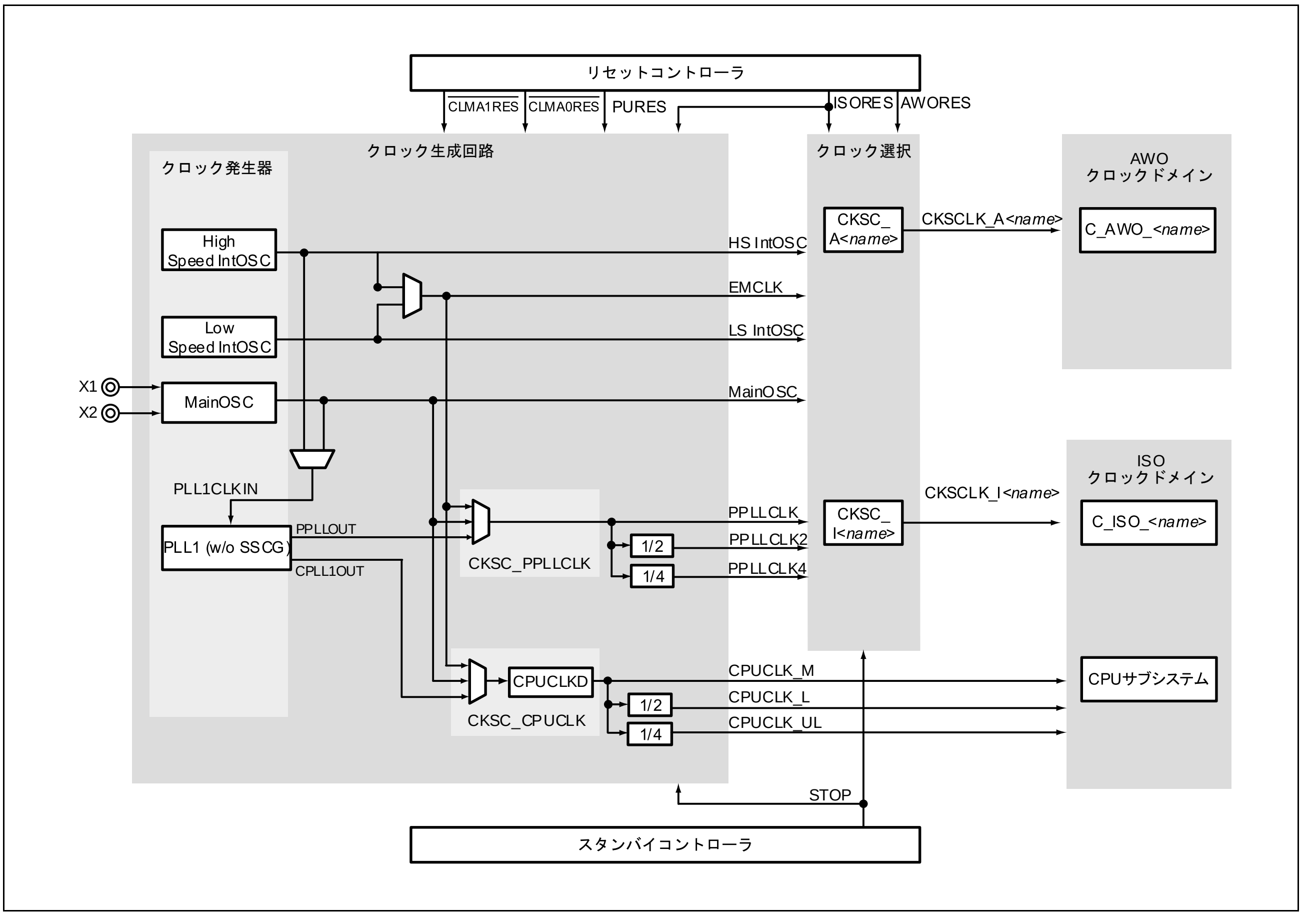


図 12C.2 クロックコントローラの構成

備　考

クロックドメインとクロック制御レジスタの命名規約

本章のクロック信号とそれらの制御レジスタ等の名前は、電源やクロックの適用範囲（ドメイン）を反映するよう、以下命名規約にしたがってつけられています。また、プレースホルダー“<*name*>”により、クロックドメイン内の対象モジュールを示します。

- クロックドメイン名
  - C_AWO_<*name*>：Always-On エリア（AWO エリア）[注1]のクロックドメイン
  - C_ISO_<*name*>：Isolated エリア（ISO エリア）[注1]のクロックドメイン
- ドメインクロック名
  - CKSCLK_A<*name*>：Always-On エリア（AWO エリア）のドメインクロック
  - CKSCLK_I<*name*>：Isolated エリア（ISO エリア）のドメインクロック
- クロックセレクタ名
  - CKSC_A<*name*>：Always-On エリア（AWO エリア）用クロックセレクタ
  - CKSC_I<*name*>：Isolated エリア（ISO エリア）用クロックセレクタ
- クロックセレクタレジスタ名
  - CKSC_A<*name*>S_CTL：Always-On エリア（AWO エリア）のソースクロック選択レジスタ
  - CKSC_A<*name*>D_CTL：Always-On エリア（AWO エリア）のソースクロック分周レジスタ
  - CKSC_I<*name*>S_CTL：Isolated エリア（ISO エリア）のソースクロック選択レジスタ
  - CKSC_I<*name*>D_CTL：Isolated エリア（ISO エリア）のソースクロック分周レジスタ

例

クロック信号 CKSCLK_AADCA（プレースホルダー<*name*>＝ADCA）は Always-On エリア（AWO エリア）内のクロックドメイン C_AWO_ADCA に供給されるクロックです。このクロックはクロック選択レジスタ CKSC_AADCAS_CTL によって選択されます。

注1. Always-On エリア（AWO エリア）、Isolated エリア（ISO エリア）は電源ドメインを表します。Always-On エリア（AWO エリア）は常時オンの電源、Isolated エリア（ISO エリア）は、動作モードによりオン・オフされる電源です。
詳細は、「**第 10C 章　電源とパワードメイン(RH850/F1KM-S1)**」を参照してください。

12C.2.1　クロック生成回路

4 つのクロック発振回路があります。

3 つのクロック発振回路が Always-On エリア（AWO エリア）にあり、PLL（PLL1）は Isolated エリア（ISO エリア）にあります。

メイン発振回路（MainOSC）

MainOSC はメインクロック X を生成します。
メインクロック X を生成するためには、X1 および X2 端子に外付け発振子を接続する必要があります。
クロック X は PLL のリファレンスクロックとして使用されます。

高速内蔵発振回路（HS IntOSC）

HS IntOSC は周波数 8MHz（Typ.）のクロック RH を生成します。

低速内蔵発振回路（LS IntOSC）

LS IntOSC は周波数 240kHz（Typ.）のクロック RL を生成します。この発振回路は電源投入と同時にスタートし、その後は常時動作するため停止させることはできません。

PLL

PLL 回路はマイクロコントローラの通常動作に必要な高速クロック CPLL1OUT および PPLLOUT を生成します。

クロック生成回路では、クロック発振回路の生成クロック（X, XT, RH, RL, CPLL1OUT, PPLLOUT）、およびそのクロック分周（CPUCLK_M, CPUCLK_L, CPUCLK_UL, PPLLCLK, PPLLCLK2, PPLLCLK4）を生成します。

12C.2.2 クロック選択

クロック発振回路で生成されたクロックはクロックセレクタ CKSC_A<*name*> / CKSC_I<*name*>に入力されます。

各ドメイン CKSCLK_A<*name*> / CKSCLK_I<*name*>には、個別のクロックセレクタに加えて一部にクロック分周回路が備えられています。

- CKSC_I<*name*>S_CTL / CKSC_I<*name*>D_CTL レジスタは Isolated エリア（ISO エリア）のクロックドメインに対するクロックを決定します。
- CKSC_A<*name*>S_CTL / CKSC_A<*name*>D_CTL レジスタは Always-On エリア（AWO エリア）のクロックドメインに対するクロックを決定します。

クロック発振回路から生成される利用可能なすべてのクロックが各クロックセレクタに入力されるとは限りません。

また、以下のクロックはクロック生成回路より CPU や関連モジュールに供給されます。

Emergency クロック EMCLK

Emergency クロック EMCLK は以下の回路から供給されます。

- HS IntOSC がアクティブのとき：HS IntOSC
- HS IntOSC がインアクティブのとき：LS IntOSC

選択は CLMA0 リセット発生後に自動的に行われるため、なんらかの理由で HS IntOSC が停止した場合でも、LS IntOSC は停止しないのでマイクロコントローラの重要モジュールは動作を続けることができます。

CPU サブシステムクロック CPUCLK

CPU サブシステムクロック CPUCLK は PLL1 クロック CPLL1OUT、MainOSC、EMCLK から供給されます。CPU クロックセレクタ CKSC_CPUCLK は、セレクタ CPUCLKS とその後段のクロック分周回路 CPUCLKD から構成されています。

また、CPUCLK の分周回路から、CPUCLK のクロック分周 CPUCLK_L, CPUCLK_M, CPUCLK_UL が供給されます。

12C.2.3　クロックドメイン

クロックコントローラでは CPU や周辺モジュール毎にクロックの選択が可能です。このクロックの制御範囲をクロックドメインと言います。CPU および周辺モジュールとクロックドメインの対応は、「**12C.5.3 クロックドメイン設定**」を参照してください。

12C.2.4　クロック発振回路のリセット

Always-On エリア（AWO エリア）内のクロック発振回路は PURES 信号によってリセットされます。

また、$\overline{\text{CLMA0RES}}$ 発生時、HS IntOSC、$\overline{\text{CLMA1RES}}$ 発生時、MainOSC はリセットされます。

Isolated エリア（ISO エリア）内のクロック発振回路は ISORES 信号によってリセットされます。

クロック発振回路の詳細については、「**12C.3 クロック発振回路**」を参照してください。

注　意

周波数特性、許容範囲、クロック生成回路のパラメータなどついては、「**第 47C 章 RH850/F1KM-S1 の電気的特性**」を参照してください。

12C.3　クロック発振回路

12C.3.1　メイン発振回路（MainOSC）

メイン発振回路はクロック X を生成します。X は PLL1 への入力クロック PLL1CLKIN としても使用されます。

「**図 12C.3 メイン発振回路（MainOSC）**」は MainOSC の基本構成と信号を示します。

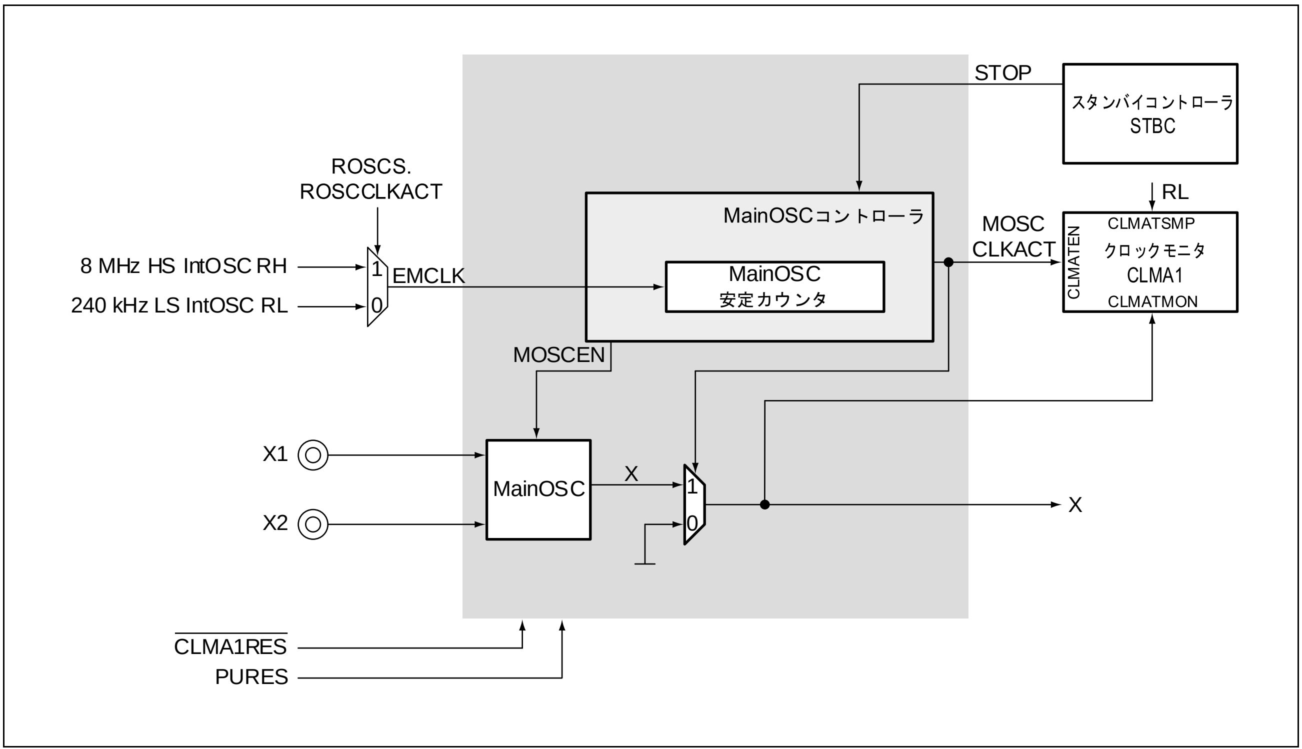


図 12C.3　　メイン発振回路（MainOSC）

MainOSC

MainOSC はリセット解除後、動作を停止しています。MainOSC 使用時は MainOSC イネーブルトリガビット MOSCE.MOSCENTRG＝1 にセットし、MainOSC を起動してください。

MainOSC の安定

MainOSC の発振安定時間を MOSCST.MOSCCLKST[16:0]に設定します。
MainOSC 安定カウンタは EMCLK をカウントソースとして発振安定時間をカウントします。
設定範囲は EMCLK 周期の 2^{17}～1 までです。
MainOSC が不安定状態にある限り、MOSCCLKACT 信号によって X 出力が禁止されます。
MainOSC 安定カウンタが MOSCST.MOSCCLKST[16:0]で規定された値に到達した場合、X は安定したと判断し、MainOSC から波形が出力されたときに MOSCCLKACT が 0 から 1 に変化して X を出力します。

X クロックが安定でアクティブであることは、MOSCS.MOSCCLKACT＝1 であることによって表示されます。

MainOSC の増幅

外付け発振子によって決定される MainOSC の入力周波数は、MOSCC.MOSCAMPSEL[1:0]を用いることによって 8MHz、16MHz、20MHz、24MHz から選択することができます。

スタンバイモードにおける MainOSC の STOP 要求

スタンバイコントローラからの STOP 信号は、MainOSC コントローラがスタンバイモード（STOP モード、DeepSTOP モード、Cyclic STOP モード）で X クロックをスイッチオフすることを要求します。

停止要求マスクビット MOSCSTPM.MOSCSTPMSK は、MainOSC がスタンバイ時に動作を停止するか、継続するかを制御します。

- MOSCSTPM.MOSCSTPMSK＝0：

  STOP 要求信号はマスクされないため、MainOSC はスタンバイ時に動作が停止されます。
  MainOSC がスタンバイの前に動作していた場合、スタンバイ状態から回復した後自動的に再起動され、MainOSC 安定カウンタが、発振安定時間をカウントします。
  MOSCSTPM.MOSCSTPMSK＝0 であったとしても、STOP 要求は以下の条件でマスクされます。そのため MainOSC は、スタンバイモード中でも動作を継続します。

  - MainOSC が選択されたクロックドメインの STOP マスクがセットされた場合（CKSC_xxxx_STPM＝0000 0003_H）

- MOSCSTPM.MOSCSTPMSK＝1：

  STOP 要求信号はマスクされるため、MainOSC はスタンバイ時に動作を継続します。

クロックモニタコントロール

MainOSC アクティビティ信号 MOSCCLKACT はクロックモニタ CLMA1 による監視機能を有効または無効にします。MainOSC がアクティブでない状態（MOSCCLKACT＝0）では、CLMA1 による出力クロック X の監視も無効になります。

MainOSC イネーブル／ディセーブルトリガ

MainOSC はイネーブルおよびディセーブルトリガコントロールビットによってイネーブル（有効化）およびディセーブル（無効化）することができます。

- イネーブルトリガ MOSCE.MOSCENTRG＝1 は MainOSC を起動させます。

  イネーブルトリガの設定は、MainOSC がアクティブ状態でない場合、つまり MOSCS.MOSCCLKACT＝0 のときのみ有効です。

- ディセーブルトリガ MOSCE.MOSCDISTRG＝1 は MainOSC を停止させます。

  ディセーブルトリガの設定は、MainOSC がアクティブ状態にある場合、（MOSCCLKACT＝1）で、加えて MainOSC 停止要求マスクされない（MOSCSTPM.MOSCSTPMSK＝0）とき有効です。

X1 への直接クロック入力（EXCLK mode）

外部クロックソースからのクロック波形は、X1 端子に供給可能です。この場合、X1 端子にクロック入力が供給される前に MOSCM レジスタの MOSCM ビットを 1 に設定します。

12C.3.2　高速内蔵発振回路（HS IntOSC）

高速内蔵発振回路はクロック RH を生成します。RH は周波数 8MHz です。

「**図 12C.4 高速内蔵発振回路（HS IntOSC）**」は HS IntOSC の基本構成と信号を示します。

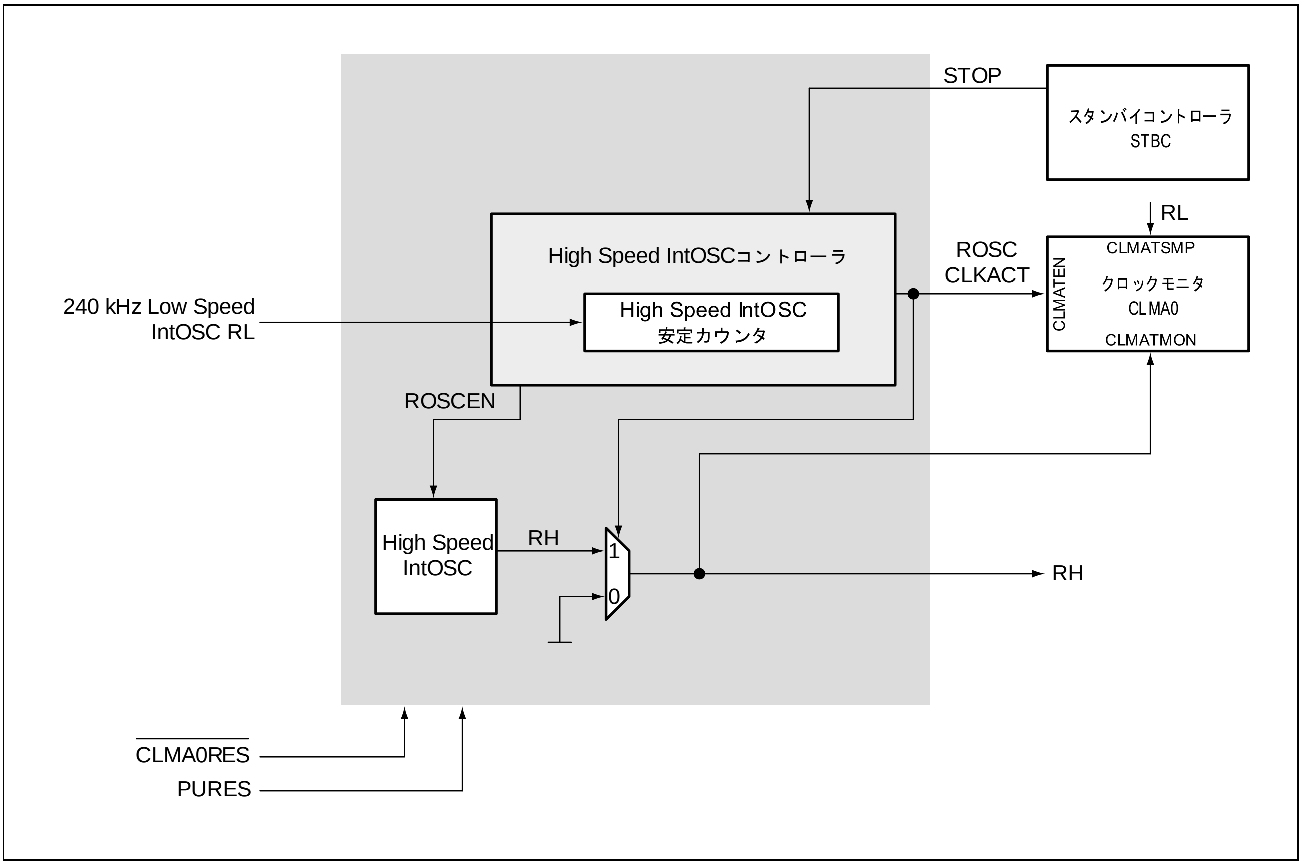


図 12C.4　高速内蔵発振回路（HS IntOSC）

リセットの解除後、HS IntOSC が動作を開始します。

備　考

HS IntOSC は、ソフトウェアでは停止も起動も行うことができません。スタンバイモード時にのみ停止させることができます。ただし、CLMA0 がリセット時には、ソフトウェアで停止することができます。

HS IntOSC の安定

HS IntOSC が安定した場合、RH を出力します。
RH クロックが安定でアクティブであることは、ROSCS.ROSCCLKACT＝1 であることによって表示されます。

スタンバイモード時の HS IntOSC STOP リクエスト

スタンバイコントローラからの STOP 信号は、HS IntOSC コントローラがスタンバイモード（STOP モード、DeepSTOP モード、Cyclic STOP モード）時に RH クロックを停止させることを要求します。
停止要求マスクビット ROSCSTPM.ROSCSTPMSK は、HS IntOSC がスタンバイモード時に停止するか、動作を継続するかを制御します。

- ROSCSTPM.ROSCSTPMSK＝0：

  STOP 要求信号はマスクされません。そのため、HS IntOSC はスタンバイ時に停止され、スタンバイから回復した後は自動的に再起動されます。
  ただし、以下の場合、ROSCSTPM.ROSCSTPMSK＝0 でも STOP 要求はマスクされます。そのため、HS IntOSC はスタンバイ時にも動作を継続します。

  – 停止マスクを設定（CKSC_xxxx_STPM＝0000_0003_H）したクロックドメインが HS IntOSC を選択している場合

  – ロウパワーサンプラ（LPS）の動作がアクティブになっている場合

- ROSCSTPM.ROSCSTPMSK＝1：

  STOP 要求信号はマスクされます。そのため、HS IntOSC はスタンバイ時にも動作を継続します。

クロックモニタコントロール

HS IntOSC アクティビティ信号 ROSCCLKACT はクロックモニタ CLMA0 による監視動作を許可または禁止します。HS IntOSC がアクティブ状態でない場合（ROSCCLKACT＝0）、CLMA0 によるその出力クロックの監視も無効化されます。
HS IntOSC のクロック RH は、クロックモニタ CLMA3 のサンプリングクロックとして使用されます。

HS IntOSC ディセーブルトリガ

ディセーブルトリガ ROSCE.ROSCDISTRG＝1 は HS IntOSC を停止させます。
ディセーブルトリガの設定は、HS IntOSC がアクティブ状態の場合（ROSCS.ROSCCLKACT＝1）で、加えて HS IntOSC 停止要求マスクされない（ROSCSTPM.ROSCSTPMSK＝0）とき有効です。

HS IntOSC ユーザキャリブレーション機能

HS IntOSC ユーザトリミングレジスタ（ROSCUT）では HS IntOSC 周波数を調整できます。ROSCUT のリセット後の値はあらかじめ設定した HS IntOSC トリミングデータの値です。HS IntOSC 周波数が対象周波数範囲になるまで、“リード値＋1”または“リード値－1”でこの値を書き換えます。

12C.3.3　低速内蔵発振回路（LS IntOSC）

低速内蔵発振回路はクロック RL を生成します。RL の周波数は 240kHz です。

「**図 12C.5 低速内蔵発振回路（LS IntOSC）**」は LS IntOSC の基本構成と信号を示します。

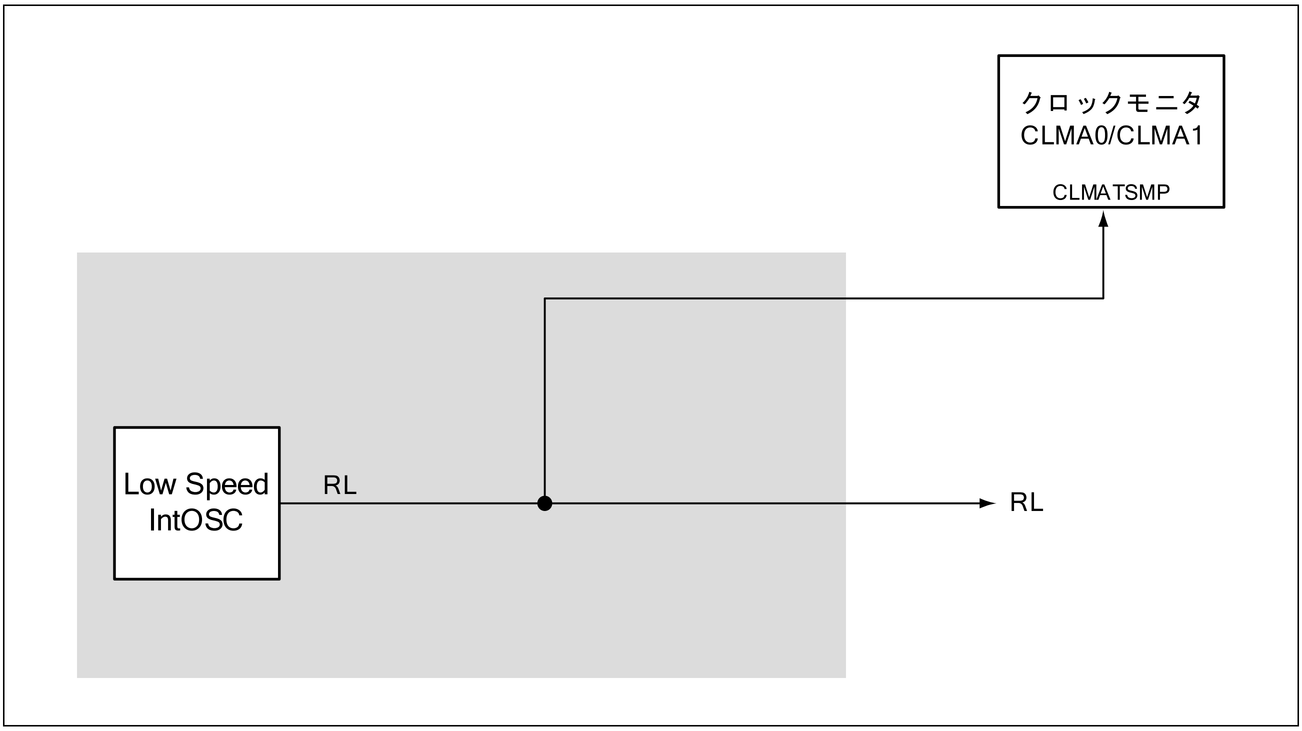


図 12C.5　低速内蔵発振回路（LS IntOSC）

リセットの解除後、LS IntOSC が動作を開始します。停止させることはできません。

LS IntOSC のクロック RL はクロックモニタ CLMA0 および CLMA1 のサンプリングクロックとして使用されます。

12C.3.4　PLL

MainOSC または HS IntOSC は、PLL1CLKIN として PLL1 クロック発振回路に入力されます。PLL1 の出力クロック CPLL1OUT、PPLLOUT はマイクロコントローラの主動作クロックとして働きます。

「**図 12C.6 PLL**」は PLL の基本構成と信号を示します。

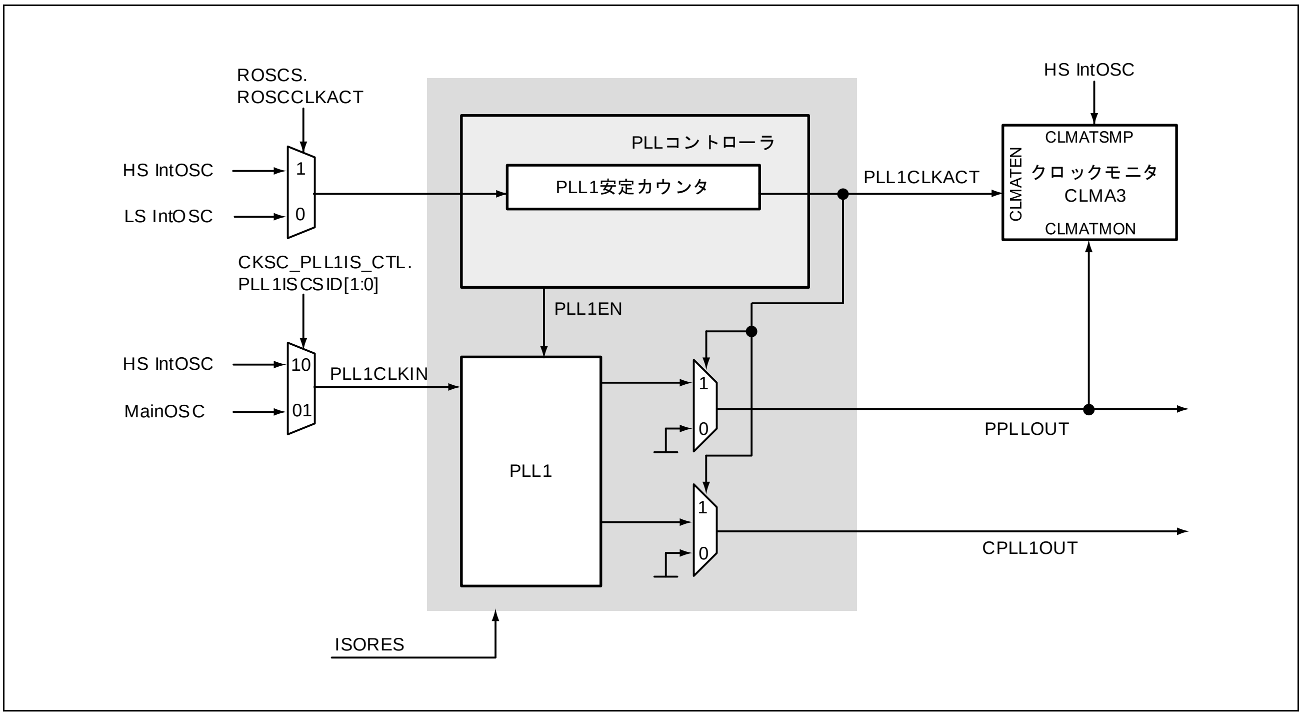


図 12C.6　PLL

PLL イネーブル

PLL1 はリセット解除後、動作を停止しています。PLL1 使用時は PLL1 イネーブルトリガビット PLL1E.PLL1ENTRG＝1 にセットし、PLL1 を起動してください。

PLL の安定

PLL1 安定カウンタは、PLL1 をイネーブルすると、カウントを開始します。
PLL1 が安定でない限り、PLL1CLKACT 信号が PPLLOUT、CPLL1OUT 出力を禁止します。
PLL1 安定カウンタが、予め規定されている値に到達すると、PPLLOUT、CPLL1OUT は安定であると判定され、PLL1CLKACT が 0 から 1 に変化して PPLLOUT、CPLL1OUT 出力を有効化します。

PPLLOUT、CPLL1OUT クロックが安定でアクティブであることは、PLL1S.PLL1CLKACT＝1 であることによって表示されます。

スタンバイモード PLL

STOP モードでは、PLL1 は自動的にディセーブルされ、STOP モードの前に動作していた場合は、STOP モードから回復した後に動作を再開します。

DeepSTOP モードに遷移する際も PLL1 は自動的にディセーブルされます。ただし、DeepSTOP モードから復帰後は PLL1 の再設定を行ってください。

Cyclic RUN, Cyclic STOP モードでは、PLL1 を使用できません。Cyclic RUN モードでは、PLL1 を許可しないでください。

クロックモニタコントロール

PLL1 アクティビティ信号 PLL1CLKACT はクロックモニタ CLMA3 による監視動作を許可または禁止します。PLL1 がアクティブ状態でない場合（PLL1CLKACT＝0）、CLMA3 によるその出力クロック PPLLOUT の監視も無効化されます。

PLL イネーブル／ディセーブルトリガ

PLL1 はイネーブルおよびディセーブルトリガコントロールビットによって有効および無効にすることができます。

- イネーブルトリガ PLL1E.PLL1ENTRG＝1 は PLL1 を起動させます。

  イネーブルトリガのセットは、PLL1 がアクティブ状態でない場合、つまり PLL1S.PLL1CLKACT＝0 のときのみ有効です。

- ディセーブルトリガ PLL1E.PLL1DISTRG＝1 は PLL1 を停止させます。

  ディセーブルトリガのセットは、PLL1 がアクティブ状態にある場合、つまり PLL1S.PLL1CLKACT＝1 のときのみ有効です。

PLL 入力クロック選択

PLL1 入力クロック（PLL1CLKIN）は CKSC_PLL1IS_CTL レジスタにより MainOSC および HS IntOSC から選択できます。

CPLL1OUT および、PPLLOUT の最大周波数は、HS IntOSC を PLL 入力クロックとして選択された場合には制限があります。

12C.3.4.1　PLL1 のパラメータ

PLL1 の動作は制御レジスタ PLL1C および CKSC_CPUCLKD_CTL から読み出される一連のパラメータによって設定されます。

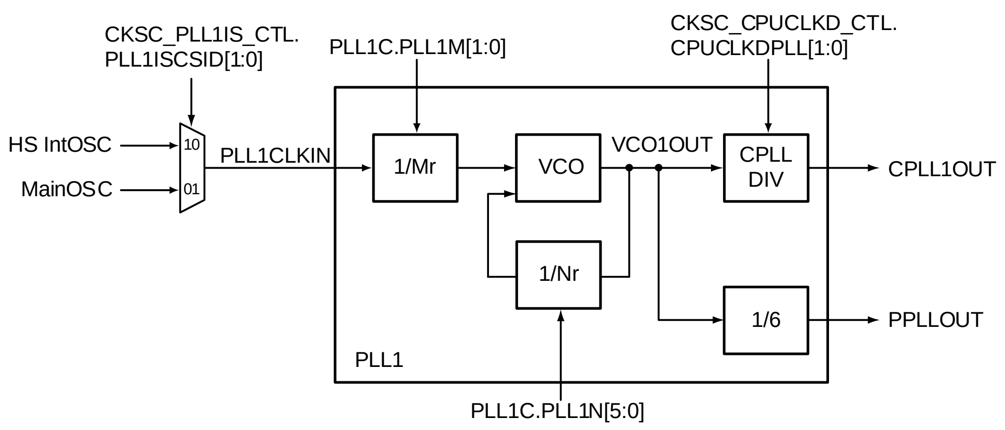


図 12C.7　PLL1 の回路構成

CPLL1OUT と PPLLOUT

PLL1 には 2 種類のクロック出力“CPLL1OUT”と“PPLLOUT”があります。CPLL1OUT は CPU サブシステムのクロックソースの 1 つで、PPLLOUT は周辺機能のクロックソースの 1 つです。CPLL1OUT と PPLLOUT は、電圧制御発振回路（VCO）の出力である同じクロックソース“VCO1OUT”を共有します。VCO1OUT のクロック周波数は以下の式で計算します。

$f_{VCO1OUT} = f_{PLL1CLKIN} \times (Nr / Mr)$

CPLL1OUT のクロック周波数“$f_{CPLL1OUT}$”と PPLLOUT のクロック周波数“$f_{PPLLOUT}$”は、VCO 出力周波数 $f_{VCO1OUT}$ の整数分の 1 の周波数です。$f_{CPLL1OUT}$ と $f_{PPLLOUT}$ は以下の式で計算します。

$f_{CPLL1OUT} = f_{VCO1OUT} \times 1/Pr = f_{PLL1CLKIN} \times (Nr / Mr) \times 1/Pr$

$f_{PPLLOUT} = f_{VCO1OUT} \times 1/6 = f_{PLL1CLKIN} \times (Nr / Mr) \times 1/6$

Nr および Mr の値は PLL1C レジスタビットから以下のように読み出されます。

Nr = PLL1C.PLL1N[5:0] + 1

Mr = PLL1C.PLL1M[1:0] + 1

Mr の設定範囲：1≦Mr≦3

Pr の値は CKSC_CPUCLKD_CTL.CPUCLKDPLL[1:0]から読み出され、4、5、6 のいずれかとなります。

12C.4 レジスタ

12C.4.1 レジスタ一覧

クロックコントローラのレジスタ一覧を以下に示します。

表 12C.1 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
CLKCTL	クロック発振回路のレジスタ：		
	MainOSC イネーブルレジスタ	MOSCE	FFF8 1100_H
	MainOSC ステータスレジスタ	MOSCS	FFF8 1104_H
	MainOSC コントロールレジスタ	MOSCC	FFF8 1108_H
	MainOSC 安定時間レジスタ	MOSCST	FFF8 $110C_H$
	MainOSC 停止マスクレジスタ	MOSCSTPM	FFF8 1118_H
	MainOSC モードコントロールレジスタ	MOSCM	FFF8 $111C_H$
	HS IntOSC イネーブルレジスタ	ROSCE	FFF8 1000_H
	HS IntOSC ステータスレジスタ	ROSCS	FFF8 1004_H
	HS IntOSC 停止マスクレジスタ	ROSCSTPM	FFF8 1018_H
	HS IntOSC ユーザトリミングレジスタ	ROSCUT	FFF8 $101C_H$
	PLL1 イネーブルレジスタ	PLL1E	FFF8 9000_H
	PLL1 ステータスレジスタ	PLL1S	FFF8 9004_H
	PLL1 コントロールレジスタ	PLL1C	FFF8 9008_H
	PLL1 入力クロック選択レジスタ	CKSC_PLL1IS_CTL	FFF8 $A700_H$
	PLL1 入力クロックアクティブレジスタ	CKSC_PLL1IS_ACT	FFF8 $A708_H$
	PPLLCLK ソースクロック選択レジスタ	CKSC_PPLLCLKS_CTL	FFF8 $A010_H$
	PPLLCLK ソースクロックアクティブレジスタ	CKSC_PPLLCLKS_ACT	FFF8 $A018_H$
	クロックセレクタコントロールレジスタ：		
	C_AWO_WDTA クロック分周選択レジスタ	CKSC_AWDTAD_CTL	FFF8 2000_H
	C_AWO_WDTA クロック分周アクティブレジスタ	CKSC_AWDTAD_ACT	FFF8 2008_H
	C_AWO_WDTA 停止マスクレジスタ	CKSC_AWDTAD_STPM	FFF8 2018_H
	C_AWO_TAUJ ソースクロック選択レジスタ	CKSC_ATAUJS_CTL	FFF8 2100_H
	C_AWO_TAUJ ソースクロックアクティブレジスタ	CKSC_ATAUJS_ACT	FFF8 2108_H
	C_AWO_TAUJ クロック分周選択レジスタ	CKSC_ATAUJD_CTL	FFF8 2200_H
	C_AWO_TAUJ クロック分周アクティブレジスタ	CKSC_ATAUJD_ACT	FFF8 2208_H
	C_AWO_TAUJ 停止マスクレジスタ	CKSC_ATAUJD_STPM	FFF8 2218_H
	C_AWO_RTCA ソースクロック選択レジスタ	CKSC_ARTCAS_CTL	FFF8 2300_H
	C_AWO_RTCA ソースクロックアクティブレジスタ	CKSC_ARTCAS_ACT	FFF8 2308_H
	C_AWO_RTCA クロック分周選択レジスタ	CKSC_ARTCAD_CTL	FFF8 2400_H
	C_AWO_RTCA クロック分周アクティブレジスタ	CKSC_ARTCAD_ACT	FFF8 2408_H
	C_AWO_RTCA 停止マスクレジスタ	CKSC_ARTCAD_STPM	FFF8 2418_H
	C_AWO_ADCA ソースクロック選択レジスタ	CKSC_AADCAS_CTL	FFF8 2500_H
	C_AWO_ADCA ソースクロックアクティブレジスタ	CKSC_AADCAS_ACT	FFF8 2508_H
	C_AWO_ADCA クロック分周選択レジスタ	CKSC_AADCAD_CTL	FFF8 2600_H
	C_AWO_ADCA クロック分周アクティブレジスタ	CKSC_AADCAD_ACT	FFF8 2608_H
	C_AWO_ADCA 停止マスクレジスタ	CKSC_AADCAD_STPM	FFF8 2618_H
	C_AWO_FOUT ソースクロック選択レジスタ	CKSC_AFOUTS_CTL	FFF8 2700_H
	C_AWO_FOUT ソースクロックアクティブレジスタ	CKSC_AFOUTS_ACT	FFF8 2708_H
	C_AWO_FOUT 停止マスクレジスタ	CKSC_AFOUTS_STPM	FFF8 2718_H

表 12C.1 レジスター覧

モジュール名	レジスタ名	略号	アドレス
CLKCTL	C_ISO_CPUCLK ソースクロック選択レジスタ	CKSC_CPUCLKS_CTL	FFF8 A000H
	C_ISO_CPUCLK ソースクロックアクティブレジスタ	CKSC_CPUCLKS_ACT	FFF8 A008H
	C_ISO_CPUCLK クロック分周選択レジスタ	CKSC_CPUCLKD_CTL	FFF8 A100H
	C_ISO_CPUCLK クロック分周アクティブレジスタ	CKSC_CPUCLKD_ACT	FFF8 A108H
	C_ISO_PERI1 ソースクロック選択レジスタ	CKSC_IPERI1S_CTL	FFF8 A200H
	C_ISO_PERI1 ソースクロックアクティブレジスタ	CKSC_IPERI1S_ACT	FFF8 A208H
	C_ISO_PERI2 ソースクロック選択レジスタ	CKSC_IPERI2S_CTL	FFF8 A300H
	C_ISO_PERI2 ソースクロックアクティブレジスタ	CKSC_IPERI2S_ACT	FFF8 A308H
	C_ISO_LIN ソースクロック選択レジスタ	CKSC_ILINS_CTL	FFF8 A400H
	C_ISO_LIN ソースクロックアクティブレジスタ	CKSC_ILINS_ACT	FFF8 A408H
	C_ISO_LIN クロック分周選択レジスタ	CKSC_ILIND_CTL	FFF8 A800H
	C_ISO_LIN クロック分周アクティブレジスタ	CKSC_ILIND_ACT	FFF8 A808H
	C_ISO_LIN 停止マスクレジスタ	CKSC_ILIND_STPM	FFF8 A818H
	C_ISO_CAN ソースクロック選択レジスタ	CKSC_ICANS_CTL	FFF8 A900H
	C_ISO_CAN ソースクロックアクティブレジスタ	CKSC_ICANS_ACT	FFF8 A908H
	C_ISO_CAN 停止マスクレジスタ	CKSC_ICANS_STPM	FFF8 A918H
	C_ISO_CANOSC クロック分周選択レジスタ	CKSC_ICANOSCD_CTL	FFF8 AA00H
	C_ISO_CANOSC クロック分周アクティブレジスタ	CKSC_ICANOSCD_ACT	FFF8 AA08H
	C_ISO_CANOSC 停止マスクレジスタ	CKSC_ICANOSCD_STPM	FFF8 AA18H
	C_ISO_CSI ソースクロック選択レジスタ	CKSC_ICSIS_CTL	FFF8 AB00H
	C_ISO_CSI ソースクロックアクティブレジスタ	CKSC_ICSIS_ACT	FFF8 AB08H
	C_ISO_IIC ソースクロック選択レジスタ	CKSC_IIICS_CTL	FFF8 AC00H
	C_ISO_IIC ソースクロックアクティブレジスタ	CKSC_IIICS_ACT	FFF8 AC08H

12C.4.2　クロック発振回路のレジスタ

12C.4.2.1　MOSCE ― MainOSC イネーブルレジスタ

このレジスタは MainOSC の起動および停止のために使用されます。

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはパワーアップリセット信号 PURES および $\overline{\text{CLMA1RES}}$ によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 1100H

リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MOSCDISTRG	MOSCENTRG
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12C.2　MOSCE レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	MOSCDISTRG	MainOSC ディセーブルトリガ注 1、注 3 MOSCSTPM.MOSCSTPMSK＝0 0：機能なし 1：MainOSC を停止 MOSCSTPM.MOSCSTPMSK＝1 MOSCSTPM.MOSCSTPMSK＝1 時にライトする場合は 0 を書いてください。 0：機能なし 1：設定禁止 MainOSC が無効になったあと、このビットはハードウェアで自動的にクリア（0）されます。
0	MOSCENTRG	MainOSC イネーブルトリガ注 2、注 3 0：機能なし 1：MainOSC を起動 MainOSC が有効になったあと、このビットはハードウェアで自動的にクリア（0）されます。

注1.　MOSCDISTRG により MainOSC を停止するときは下記手順を守ってください。

1. MainOSC が有効になるまでの期間または、停止になるまでの期間でないことを確認してください（MOSCE.MOSCDISTRG＝0 および MOSCE.MOSCENTRG＝0）。
2. MainOSC がアクティブであることを確認してください（MOSCS.MOSCCLKACT＝1）。
3. MainOSC を選択しているクロックドメインがないことを確認してください。MainOSC を選択しているクロックドメインがあった場合、ディセーブル設定または、MainOSC 以外のクロックソースを選択してください。
4. MainOSC 停止マスク（MOSCSTPM）レジスタ設定が、“スタンバイ時 MainOSC 動作継続”（MOSCSTPM.MOSCSTPMSK＝1）でないことを確認してください。もし、“スタンバイ時 MainOSC 動作継続設定”（MOSCSTPM.MOSCSTPMSK＝1）である場合は、“スタンバイ時 MainOSC 動作停止”（MOSCSTPM.MOSCSTPMSK＝0）を選択してください。
5. MainOSC を停止（MOSCE.MOSCDISTRG＝1）。

6. MainOSC の停止を確認（MOSCS.MOSCCLKACT＝0）。

注2.　MOSCENTRG により MainOSC を起動するときは下記手順を守ってください。

1. MainOSC が有効になるまでの期間または、停止になるまでの期間でないことを確認してください。
（MOSCE.MOSCDISTRG＝0 および MOSCE.MOSCENTRG＝0）。
2. MainOSC がインアクティブであることを確認してください（MOSCS.MOSCCLKACT＝0）。
3. MainOSC を起動してください（MOSCE.MOSCENTRG＝1）。
4. MainOSC の起動を確認してください（MOSCS.MOSCCLKACT＝1）。

注3.　起動ビットによる起動と、停止ビットによる停止を同時に行わないでください。
MOSCE.MOSCENTRG＝1 および MOSCE.MOSCDISTRG＝1 は同時設定禁止

12C.4.2.2 MOSCS — MainOSC ステータスレジスタ

このレジスタは MainOSC のアクティブステータス情報を保持します。

このレジスタはパワーアップリセット信号 PURES および $\overline{\text{CLMA1RES}}$ によって初期化されます。

アクセス	32 ビット単位でリードのみ可能です。
アドレス	FFF8 1104_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1 注1	0 注1
	—	—	—	—	—	—	—	—	—	—	—	—	—	MOSCCLKACT	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注1. ビット 1、0 には不定値が入ります。
ステータスを確認する場合はビット 1、0 をマスクし、ビット 2 のみで判断してください。

表 12C.3　MOSCS レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。
2	MOSCCLKACT	MainOSC アクティブステータス 0：MainOSC はインアクティブ 1：MainOSC はアクティブ
1、0	予約ビット	リードした場合は不定値が読めます。

12C.4.2.3 MOSCC ― MainOSC コントロールレジスタ

このレジスタは MainOSC の増幅のために使用されます。

このレジスタはパワーアップリセット信号 PURES および $\overline{\text{CLMA1RES}}$ によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 1108_H

リセット後の値　0000 0004_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MOSCAMPSEL [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12C.4　MOSCC レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	MOSCAMPSEL [1:0]	MainOSC アンプ利得選択 00：fx＝24MHz アンプ利得 01：fx＝20MHz アンプ利得 10：fx＝16MHz アンプ利得 11：fx＝8MHz アンプ利得

注　意

本レジスタは MainOSC 停止時に設定してください。

12C.4.2.4　MOSCST — MainOSC 安定時間レジスタ

このレジスタは MainOSC の安定時間を規定します。

このレジスタはパワーアップリセット信号 PURES および $\overline{\text{CLMA1RES}}$ によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 110C$_H$

リセット後の値　0000 44C0$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MOSCCLKST16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MOSCCLKST[15:0]															
リセット後の値	0	1	0	0	0	1	0	0	1	1	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 12C.5　　MOSCST レジスタの内容

ビット位置	ビット名	機能
31～17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
16～0	MOSCCLKST[16:0]	MOSCCLKST[16:0]は、MainOSC の安定時間カウンタのカウント数を規定します。 ● HS IntOSC がアクティブ（ROSCS.ROSCCLKACT＝1）の場合： 安定時間＝MOSCCLKST[16:0] / f_{RH} ● HS IntOSC がインアクティブ（ROSCS.ROSCCLKACT＝0）の場合： 安定時間＝MOSCCLKST[16:0] / f_{RL}

備　考

MainOSC の安定時間の詳細については、**「第 47C 章　RH850/F1KM-S1 の電気的特性」**を参照してください。

注　意

本レジスタは MainOSC 停止時に設定してください。

12C.4.2.5　MOSCSTPM — MainOSC 停止マスクレジスタ

このレジスタはパワーアップリセット信号 PURES および $\overline{\text{CLMA1RES}}$ によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 1118$_H$

リセット後の値　0000 0002$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MOSCSTPMSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 12C.6　MOSCSTPM レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	MOSCSTPMSK	MainOSC 停止要求マスク 0：スタンバイ時 MainOSC 動作停止 MainOSC ディセーブルトリガ MOSCE.MOSCDISTRG＝1 設定時、 MainOSC 動作停止 1：スタンバイ時 MainOSC 動作継続

12C.4.2.6 MOSCM — MainOSC モードコントロールレジスタ

このレジスタはパワーアップリセット信号 PURES および $\overline{\text{CLMA1RES}}$ によって初期化されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFF8 111C$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MOSCM
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 12C.7　MOSCM レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	MOSCM	MainOSC モード制御 0：OSC モード（デフォルト） 1：EXCLK モード。MainOSC 増幅は無効です。

注　意

本レジスタは MainOSC 停止時に設定してください。

備　考

EXCLK モードは、クロックを X1 端子に直接入力するモードです。詳細は、「**12C.3.1 メイン発振回路（MainOSC）**」を参照してください。

12C.4.2.7　ROSCE ― HS IntOSC イネーブルレジスタ

このレジスタは HS IntOSC の停止のために使用します。

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはパワーアップリセット信号 PURES および $\overline{\text{CLMA0RES}}$ によって初期化されます。

注　意

$\overline{\text{CLMA0RES}}$ が発生したときにのみ、ROSCE.ROSCDISTRG ビットの設定をしてください。それ以外の場合には設定禁止です。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 1000_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ROSC DISTR G	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R

表 12C.8　ROSCE レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	ROSCDISTRG	HS IntOSC ディセーブルトリガ <u>ROSCSTPM.ROSCSTPMSK＝0</u> 0：機能なし 1：HS IntOSC を停止 <u>ROSCSTPM.ROSCSTPMSK＝1</u> 設定禁止
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

12C.4.2.8 ROSCS — HS IntOSC ステータスレジスタ

このレジスタは HS IntOSC のアクティブステータス情報を保持します。

このレジスタはパワーアップリセット信号 PURES および $\overline{\text{CLMA0RES}}$ によって初期化されます。

アクセス	32 ビット単位でリードのみ可能です。
アドレス	FFF8 1004H
リセット後の値	0000 0007H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1 注1	0 注1
	—	—	—	—	—	—	—	—	—	—	—	—	—	ROSCCLKACT	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注1. ビット 1、0 には不定値が入ります。
ステータスを確認する場合はビット 1、0 をマスクし、ビット 2 のみで判断してください。

表 12C.9 ROSCS レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。
2	ROSCCLKACT	HS IntOSC アクティブステータス 0：HS IntOSC はインアクティブ 1：HS IntOSC はアクティブ
1、0	予約ビット	リードした場合は不定値が読めます。

12C.4.2.9　ROSCSTPM — HS IntOSC 停止マスクレジスタ

このレジスタはパワーアップリセット信号 PURES および $\overline{\text{CLMA0RES}}$ によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 1018$_H$

リセット後の値　0000 0002$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ROSCSTPMSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 12C.10　ROSCSTPM レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ROSCSTPMSK	スタンバイ時の HS IntOSC 停止要求マスク 0：スタンバイ時 HS IntOSC 動作停止 1：スタンバイ時 HS IntOSC 動作継続 このビットがセット（1）されているときに、HS IntOSC 禁止トリガ ROSCE.ROSCDISTRG を 1 に設定しないでください。

12C.4.2.10 PLL1E ― PLL1 イネーブルレジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFF8 9000H

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PLL1DISTRG	PLL1ENTRG
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12C.11 PLL1E レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	PLL1DISTRG	PLL1 ディセーブルトリガ[注 1、注 4] 0：機能なし 1：PLL1 を停止 PLL1 が無効になったあと、このビットはハードウェアで自動的にクリア（0）されます。
0	PLL1ENTRG	PLL1 イネーブルトリガ[注 2、注 3、注 4] 0：機能なし 1：PLL1 を起動 PLL1 が有効になったあと、このビットはハードウェアで自動的にクリア（0）されます。

注1. PLL1DISTRG により PLL1 を停止するときは下記手順を守ってください。

1. PLL1 が有効になるまでの期間または、停止になるまでの期間でないことを確認してください（PLL1E.PLL1DISTRG＝0 および PLL1E.PLL1ENTRG＝0）。
2. PLL1 がアクティブであることを確認してください（PLL1S.PLL1CLKACT＝1）。
3. PLL1 を選択しているクロックドメインがないことを確認してください。PLL を選択しているクロックドメインがあった場合、ディセーブル設定または、PLL1 以外のクロックソースを選択してください。
4. PLL1 を停止（PLL1E.PLL1DISTRG＝1）。
5. PLL1 の停止を確認（PLL1S.PLL1CLKACT＝0）。

注2. PLL1ENTRG により PLL1 を起動するときは、PLL 入力クロック（CKSC_PLL1IS_CTL で選択された MainOSC または HS IntOSC）が動作していることを確認してから行ってください。

注3. PLL1ENTRG により PLL1 を起動するときは下記手順を守ってください。

1. PLL1 が有効になるまでの期間または、停止になるまでの期間でないことを確認してください（PLL1E.PLL1DISTRG＝0 および PLL1E.PLL1ENTRG＝0）。
2. PLL がインアクティブであることを確認してください（PLL1S.PLL1CLKACT＝0）。
3. PLL1 を起動してください（PLL1E.PLL1ENTRG＝1）。
4. PLL1 の起動を確認してください（PLL1S.PLL1CLKACT＝1）。

注4. 起動ビットによる起動と、停止ビットによる停止を同時に行わないでください。
PLL1E.PLL1ENTRG＝1 および PLL1E.PLL1DISTRG＝1 は同時設定禁止。

12C.4.2.11　PLL1S — PLL1 ステータスレジスタ

このレジスタは PLL1 のアクティブステータス情報を保持します。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス	32 ビット単位でリードのみ可能です。
アドレス	FFF8 9004H
リセット後の値	0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1 注1	0 注1
	—	—	—	—	—	—	—	—	—	—	—	—	—	PLL1CLKACT	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注1.　ビット 1、0 には不定値が入ります。
ステータスを確認する場合はビット 1、0 をマスクし、ビット 2 のみで判断してください。

表 12C.12　PLL1S レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。
2	PLL1CLKACT	PLL1 アクティブステータス 0：PLL1 はインアクティブ 1：PLL1 はアクティブ
1、0	予約ビット	リードした場合は不定値が読めます。

12C.4.2.12　PLL1C ― PLL1 コントロールレジスタ

このレジスタは「**12C.3.4.1 PLL1 のパラメータ**」に示す PLL1 VCO の出力クロック周波数 $f_{VCO1OUT}$ を設定します。

このレジスタは、PLL1 がディセーブル状態でのみ書き込みが可能です。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	FFF8 9008$_H$
リセット後の値	0001 133B$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PLL1M[1:0]		—	—	—	—	—	PLL1N[5:0]					
リセット後の値	0	0	0	1	0	0	1	1	0	0	1	1	1	0	1	1
R/W	R	R	R	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 12C.13　PLL1C レジスタの内容

ビット位置	ビット名	機能
31～13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12、11	PLL1M[1:0]	分周比 Mr を設定します。 PLL1M[1:0]の内容については、「**表 12C.14 PLL1 出力の表**」を参照してください。
10～6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5～0	PLL1N[5:0]	分周比 Nr を設定します。 PLL1N[5:0]の内容については、「**表 12C.14 PLL1 出力の表**」を参照してください。

注　意

本レジスタは PLL1 停止時に設定してください。

表 12C.14　PLL1 出力の表

PLL1CLKIN 周波数 $f_{PLL1CLKIN}$ (MHz)	PLL1C. PLL1M[1:0] (Mr) 注 5	PLL1C. PLL1N[5:0] (Nr) 注 5	VCO1OUT 周波数 $f_{VCO1OUT}$ (MHz)	CPLL1OUT 周波数 $f_{CPLL1OUT}$ (MHz) 注 1			PPLLOUT 周波数 $f_{PPLLOUT}$ (MHz)
				VCO1OUT × 1/4	VCO1OUT × 1/5	VCO1OUT × 1/6	
8 (MainOSC)	00_B (Mr＝1)	$3B_H$ (Nr＝60)	480.0	120.0	96.0	80.0	80.0
16 (MainOSC)	01_B (Mr＝2)	$3B_H$ (Nr＝60)	480.0	120.0	96.0	80.0	80.0
20 (MainOSC)	01_B (Mr＝2)	$2F_H$ (Nr＝48)	480.0	120.0	96.0	80.0	80.0
24 (MainOSC)	01_B (Mr＝2)	27_H (Nr＝40)	480.0	120.0	96.0	80.0	80.0
	10_B (Mr＝3)	$3B_H$ (Nr＝60)	480.0	120.0	96.0	80.0	80.0
8 (HS IntOSC) 注 2、注 4	00_B (Mr＝1)	$3B_H$ (Nr＝60)	480.0	N/A	N/A	80.0 注 2、注 3	80.0 注 2

注1.　CPLL1OUT 周波数は CKSC_CPUCLKD_CTL.CPUCLKDPLL[1:0]で定義されます。CKSC_CPUCLKD_CTL レジスタの説明を参照してください。

注2.　Typ 周波数。HS IntOSC のユーザキャリブレーションは PLL1CLKIN として HS IntOSC を設定する前に必要です。

注3.　PLL1 のクロックソースに HS IntOSC を選択している場合、CPLL1OUT 周波数は 80MHz（typ.）に制限されます。

注4.　「**44.10 使用上の注意事項**」を参照してください。

注5.　この表に示されている設定以外は、禁止です。

12C.4.2.13　PLL1 入力クロック選択

(1) CKSC_PLL1IS_CTL — PLL1 入力クロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 A700$_H$

リセット後の値　0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PLL1ISCSID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12C.15　CKSC_PLL1IS_CTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	PLL1ISCSID[1:0]	PLL1 入力クロックに対するソースクロックの設定 01$_B$：MainOSC（デフォルト） 10$_B$：HS IntOSC 注 1 上記以外：設定禁止

注1.　CPLL1OUT と PPLLOUT の最大周波数は、HS IntOSC を PLL1 入力クロックに選択した場合には制限があります。

注　意

本レジスタは PLL1 停止時に設定してください。

(2) CKSC_PLL1IS_ACT ― PLL1 入力クロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 A708H

リセット後の値　0000 0001H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PLL1ISACT[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12C.16　CKSC_PLL1IS_ACT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	PLL1ISACT[1:0]	現在アクティブな PLL1 入力クロックのソースクロック

12C.4.2.14　PPLLCLK ソースクロック選択

(1) CKSC_PPLLCLKS_CTL ― PPLLCLK ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	FFF8 A010$_H$
リセット後の値	0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PPLLCLKSCSID [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12C.17　CKSC_PPLLCLKS_CTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	PPLLCLKSCSID [1:0]	PPLLCLK に対するソースクロックの設定 00$_B$：設定禁止 01$_B$：EMCLK（デフォルト） 10$_B$：MainOSC 11$_B$：PPLLOUT

(2) CKSC_PPLLCLKS_ACT — PPLLCLK ソースクロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 A018$_H$

リセット後の値　0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PPLLCLKSACT [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12C.18　CKSC_PPLLCLKS_ACT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	PPLLCLKSACT [1:0]	現在アクティブな PPLLCLK 入力クロックのソースクロック注1

注1.　以下のすべてのクロックドメインのために選択されたソースクロックが PPLLCLK（または PPLLCLK2）以外のとき、このレジスタからは 00B が読めます。
C_ISO_PERI1, C_ISO_PERI2, C_ISO_LIN, C_ISO_CAN, C_ISO_CSI, C_ISO_IIC

12C.4.2.15　ROSCUT ― HS IntOSC ユーザトリミングレジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはパワーアップリセット信号 PURES および $\overline{\text{CLMA0RES}}$ によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 101C$_H$

リセット後の値　0000 0XXX$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	FADJUST[8:0]								
リセット後の値	0	0	0	0	0	0	0	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 12C.19　ROSCUT レジスタの内容

ビット位置	ビット名	機能
31～9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8～0	FADJUST[8:0]	HS IntOSC の周波数調整パラメータ。 このレジスタのリセット後の値はあらかじめ設定した HS IntOSC トリミングデータの値です。 HS IntOSC 周波数が対象周波数範囲になるまで、“リード値＋1”または“リード値－1”でこのレジスタを書き換えます。

12C.4.3　クロックセレクタコントロールレジスタ

12C.4.3.1　WDTA0 クロックドメイン C_AWO_WDTA

(1) CKSC_AWDTAD_CTL — C_AWO_WDTA クロック分周選択レジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 2000_H

リセット後の値　0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AWDTADCSID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12C.20　CKSC_AWDTAD_CTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	AWDTADCSID[1:0]	C_AWO_WDTA に対するクロック分周回路の設定 00_B：設定禁止 01_B：LS IntOSC / 128（デフォルト） 10_B：LS IntOSC / 1 11_B：設定禁止

(2) CKSC_AWDTAD_ACT — C_AWO_WDTA クロック分周アクティブレジスタ

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス	32 ビット単位でリードのみ可能です。
アドレス	FFF8 2008_H
リセット後の値	0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AWDTADACT [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12C.21 CKSC_AWDTAD_ACT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	AWDTADACT[1:0]	現在アクティブな C_AWO_WDTA に対するクロック分周回路

(3) CKSC_AWDTAD_STPM — C_AWO_WDTA 停止マスクレジスタ

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFF8 2018_H

リセット後の値 0000 0002_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AWDTADSTPMSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

注 意

ビット 1 のリセット後の値 “1” を変更してはいけません。

表 12C.22 CKSC_AWDTAD_STPM レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	AWDTADSTPMSK 注 1	0：クロックドメイン C_AWO_WDTA はスタンバイモードで停止されます。 1：クロックドメイン C_AWO_WDTA はスタンバイモードで停止されません。

注1. このビットを 1 に設定することで、スタンバイモードからの復帰時間を短縮できます。

12C.4.3.2　　TAUJ クロックドメイン C_AWO_TAUJ

(1) CKSC_ATAUJS_CTL — C_AWO_TAUJ ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	FFF8 2100_H
リセット後の値	0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ATAUJSCSID[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 12C.23　CKSC_ATAUJS_CTL レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2～0	ATAUJSCSID[2:0]	C_AWO_TAUJ に対するソースクロックの設定注 1 000_B：無効化 001_B：HS IntOSC（デフォルト） 010_B：MainOSC 011_B：LS IntOSC 100_B：PPLLCLK2 その他すべて：設定禁止

注1.　スタンバイモードに遷移する場合は、遷移前に PPLLCLK2 以外を選択してください。

(2) CKSC_ATAUJS_ACT — C_AWO_TAUJ ソースクロックアクティブレジスタ

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 2108_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ATAUJSACT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12C.24 CKSC_ATAUJS_ACT レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。
2～0	ATAUJSACT[2:0]	現在アクティブな C_AWO_TAUJ のソースクロック

(3) CKSC_ATAUJD_CTL — C_AWO_TAUJ クロック分周選択レジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 2200H

リセット後の値　0000 0001H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ATAUJDCSID[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 12C.25　CKSC_ATAUJD_CTL レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2～0	ATAUJDCSID[2:0]	C_AWO_TAUJ に対するクロック分周回路の設定 000B：設定禁止 001B：CKSC_ATAUJS_CTL 選択/1（デフォルト） 010B：CKSC_ATAUJS_CTL 選択/2 011B：CKSC_ATAUJS_CTL 選択/4 100B：CKSC_ATAUJS_CTL 選択/8 その他すべて：設定禁止

(4) CKSC_ATAUJD_ACT — C_AWO_TAUJ クロック分周アクティブレジスタ

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 2208H

リセット後の値　0000 0001H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ATAUJDACT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12C.26　CKSC_ATAUJD_ACT レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。
2～0	ATAUJDACT[2:0]	現在アクティブな C_AWO_TAUJ に対するクロック分周回路

(5) CKSC_ATAUJD_STPM — C_AWO_TAUJ 停止マスクレジスタ

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFF8 2218_H

リセット後の値 0000 0002_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ATAUJ DSTP MSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

注　意

ビット 1 のリセット後の値 “1” を変更してはいけません。

表 12C.27　CKSC_ATAUJD_STPM レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ATAUJDSTPMSK	0：クロックドメイン C_AWO_TAUJ はスタンバイモードで停止されます。 1：クロックドメイン C_AWO_TAUJ はスタンバイモードで停止されません。

12C.4.3.3　RTCA クロックドメイン C_AWO_RTCA

(1) CKSC_ARTCAS_CTL — C_AWO_RTCA ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはパワーアップリセット信号 PURES によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 2300_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ARTCASCSID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12C.28　CKSC_ARTCAS_CTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	ARTCASCSID[1:0]	C_AWO_RTCA に対するソースクロックの設定 00_B：無効化（デフォルト） 01_B：設定禁止 10_B：MainOSC 注 1 11_B：LS IntOSC

注1.　クロックドメイン C_AWO_RTCA に 4MHz 以上の周波数が供給されないように、CKSC_ARTCAS_CTL＝10B：MainOSC を設定する前に、CKSC_ARTCAD_ACT＝0000 0000H：無効化であることを確認してください。

(2) CKSC_ARTCAS_ACT — C_AWO_RTCA ソースクロックアクティブレジスタ

このレジスタはパワーアップリセット信号 PURES によって初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 2308_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ARTCASACT[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12C.29　CKSC_ARTCAS_ACT レジスタの内容

ビット位置	ビット名	機能
31〜2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	ARTCASACT[1:0]	現在アクティブな C_AWO_RTCA のソースクロック

(3) CKSC_ARTCAD_CTL ― C_AWO_RTCA クロック分周選択レジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはパワーアップリセット信号 PURES によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 2400_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ARTCADCSID[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 12C.30　CKSC_ARTCAD_CTL レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2～0	ARTCADCSID[2:0]	C_AWO_RTCA に対するクロック分周回路の設定 000_B：無効化（デフォルト） 001_B：CKSC_ARTCAS_CTL 選択/1 010_B：CKSC_ARTCAS_CTL 選択/2 011_B：CKSC_ARTCAS_CTL 選択/4 100_B：CKSC_ARTCAS_CTL 選択/8 その他すべて：設定禁止

(4) CKSC_ARTCAD_ACT — C_AWO_RTCA クロック分周アクティブレジスタ

このレジスタはパワーアップリセット信号 PURES によって初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 2408_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ARTCADACT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12C.31 CKSC_ARTCAD_ACT レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。
2～0	ARTCADACT[2:0]	現在アクティブな C_AWO_RTCA に対するクロック分周回路

(5) CKSC_ARTCAD_STPM — C_AWO_RTCA 停止マスクレジスタ

このレジスタはパワーアップリセット信号 PURES によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 2418H

リセット後の値　0000 0002H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ARTCADSTPMSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

注　意

ビット 1 のリセット後の値“1”を変更してはいけません。

表 12C.32　CKSC_ARTCAD_STPM レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ARTCADSTPMSK	0：クロックドメイン C_AWO_RTCA はスタンバイモードで停止されます。 1：クロックドメイン C_AWO_RTCA はスタンバイモードで停止されません。

12C.4.3.4　ADCA0 クロックドメイン C_AWO_ADCA

(1) CKSC_AADCAS_CTL — C_AWO_ADCA ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 2500_H

リセット後の値　0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AADCASCSID [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12C.33　CKSC_AADCAS_CTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	AADCASCSID[1:0]	C_AWO_ADCA に対するソースクロックの設定注 1 00_B：無効化 01_B：HS IntOSC（デフォルト） 10_B：MainOSC 11_B：PPLLCLK2

注1.　スタンバイモードに遷移する場合は、遷移前に PPLLCLK2 以外を選択してください。

(2) CKSC_AADCAS_ACT — C_AWO_ADCA ソースクロックアクティブレジスタ

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 2508_H

リセット後の値　0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AADCASACT[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12C.34　CKSC_AADCAS_ACT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	AADCASACT[1:0]	現在アクティブな C_AWO_ADCA に対するソースクロック

(3) CKSC_AADCAD_CTL — C_AWO_ADCA クロック分周選択レジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFF8 2600_H

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AADCADCSID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12C.35 CKSC_AADCAD_CTL レジスタの内容

ビット位置	ビット名	機能
31〜2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	AADCADCSID[1:0]	C_AWO_ADCA に対するクロック分周回路の設定 00_B：設定禁止 01_B：CKSC_AADCAS_CTL 選択/1（デフォルト） 10_B：CKSC_AADCAS_CTL 選択/2 注 1 11_B：設定禁止

注1. 2 分周により CKSC_AADCA が 8MHz 未満にならないようにしてください。

(4) CKSC_AADCAD_ACT — C_AWO_ADCA クロック分周アクティブレジスタ

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス	32 ビット単位でリードのみ可能です。
アドレス	FFF8 2608_H
リセット後の値	0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AADCADACT [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12C.36　CKSC_AADCAD_ACT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	AADCADACT[1:0]	現在アクティブな C_AWO_ADCA に対するクロック分周回路

(5) CKSC_AADCAD_STPM — C_AWO_ADCA 停止マスクレジスタ

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 2618_H

リセット後の値　0000 0002_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AADCADSTPMSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

注　意

ビット 1 のリセット後の値“1”を変更してはいけません。

表 12C.37　CKSC_AADCAD_STPM レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	AADCADSTPMSK	0：クロックドメイン C_AWO_ADCA はスタンバイモードで停止されます。 1：クロックドメイン C_AWO_ADCA はスタンバイモードで停止されません。

12C.4.3.5　FOUT クロックドメイン C_AWO_FOUT

(1) CKSC_AFOUTS_CTL — C_AWO_FOUT ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 2700H

リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	AFOUTSCSID[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 12C.38　CKSC_AFOUTS_CTL レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2～0	AFOUTSCSID[2:0]	C_AWO_FOUT に対するソースクロックの設定注1 000B：無効化（デフォルト） 001B：MainOSC 010B：HS IntOSC 011B：LS IntOSC 100B：設定禁止 101B：PPLLCLK4 110B：PPLLCLK4 111B：設定禁止

注1.　スタンバイモードに遷移する場合は、遷移前に PPLLCLK4 以外を選択してください。

(2) CKSC_AFOUTS_ACT — C_AWO_FOUT ソースクロックアクティブレジスタ

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 2708H

リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	AFOUTSACT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12C.39　CKSC_AFOUTS_ACT レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。
2～0	AFOUTSACT[2:0]	現在アクティブな C_AWO_FOUT に対するソースクロック

(3) CKSC_AFOUTS_STPM — C_AWO_FOUT 停止マスクレジスタ

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFF8 2718_H

リセット後の値 0000 0002_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AFOUTSSTPMSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

注 意

ビット 1 のリセット後の値“1”を変更してはいけません。

表 12C.40 CKSC_AFOUTS_STPM レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	AFOUTSSTPMSK	0：クロックドメイン C_AWO_FOUT はスタンバイモードで停止されます。 1：クロックドメイン C_AWO_FOUT はスタンバイモードで停止されません。

12C.4.3.6　CPU クロックドメイン C_ISO_CPUCLK

(1) CKSC_CPUCLKS_CTL — C_ISO_CPUCLK ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	FFF8 $A000_H$
リセット後の値	0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPUCLKSCSID [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12C.41　CKSC_CPUCLKS_CTL レジスタの内容

ビット位置	ビット名	機能
31〜2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	CPUCLKSCSID [1:0]	C_ISO_CPUCLK に対するソースクロックの設定 00_B：設定禁止 01_B：EMCLK（デフォルト） 10_B：MainOSC 11_B：CPLL1OUT

注　意

C_ISO_CPUCLK クロックドメインで選択しているソースクロックをソフトウェアで、停止しないでください。

(2) CKSC_CPUCLKS_ACT — C_ISO_CPUCLK ソースクロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 A008$_H$

リセット後の値　0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPUCLKSACT [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12C.42　CKSC_CPUCLKS_ACT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	CPUCLKSACT[1:0]	現在アクティブな C_ISO_CPUCLK に対するソースクロック

(3) CKSC_CPUCLKD_CTL — C_ISO_CPUCLK クロック分周選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	FFF8 $A100_H$
リセット後の値	0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	CPUCLKDPLL [1:0]		CPUCLKDCSID [2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

表 12C.43 CKSC_CPUCLKD_CTL レジスタの内容

ビット位置	ビット名	機能
31〜5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4、3	CPUCLKDPLL[1:0]	クロック分周回路 CPLLDIV の設定 C_ISO_CPUCLK の最大クロック周波数を決定する CPLLDIV 分周比を指定します。 00_B：CPLL1OUT＝VCO1OUT × 1/6 (80MHz) 01_B：CPLL1OUT＝VCO1OUT × 1/5 (96MHz) 10_B：CPLL1OUT＝VCO1OUT × 1/4 (120MHz) 11_B：設定禁止
2〜0	CPUCLKDCSID [2:0]	C_ISO_CPUCLK に対するクロック分周回路の設定 000_B：設定禁止 001_B：CKSC_CPUCLKS_CTL 選択/1（デフォルト） 010_B：CKSC_CPUCLKS_CTL 選択/2 011_B：CKSC_CPUCLKS_CTL 選択/4 100_B：CKSC_CPUCLKS_CTL 選択/8 その他すべて：設定禁止

(4) CKSC_CPUCLKD_ACT — C_ISO_CPUCLK クロック分周アクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 A108$_H$

リセット後の値　0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	CPUCLKDPLLACT[1:0]		CPUCLKDACT [2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12C.44　CKSC_CPUCLKD_ACT レジスタの内容

ビット位置	ビット名	機能
31～5	予約ビット	リードした場合はリセット後の値が読めます。
4、3	CPUCLKDPLLACT [1:0]	現在アクティブな CPLLDIV に対するクロック分周回路
2～0	CPUCLKDACT [2:0]	現在アクティブな C_ISO_CPUCLK に対するクロック分周回路

12C.4.3.7　周辺クロックドメイン C_ISO_PERI1 および C_ISO_PERI2

(1) CKSC_IPERI1S_CTL — C_ISO_PERI1 ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 A200$_H$

リセット後の値　0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IPERI1SCSID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12C.45　CKSC_IPERI1S_CTL レジスタの内容

ビット位置	ビット名	機能
31〜2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	IPERI1SCSID[1:0]	C_ISO_PERI1 に対するソースクロックの設定 00$_B$：無効化 01$_B$：PPLLCLK（デフォルト） 10$_B$：PPLLCLK 11$_B$：設定禁止

(2) CKSC_IPERI1S_ACT — C_ISO_PERI1 ソースクロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 $A208_H$

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IPERI1SACT [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12C.46 CKSC_IPERI1S_ACT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	IPERI1SACT[1:0]	現在アクティブな C_ISO_PERI1 に対するソースクロック

(3) CKSC_IPERI2S_CTL — C_ISO_PERI2 ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。
詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	FFF8 A300H
リセット後の値	0000 0001H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IPERI2SCSID [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12C.47 CKSC_IPERI2S_CTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	IPERI2SCSID[1:0]	C_ISO_PERI2 に対するソースクロックの設定 00_B：無効化 01_B：PPLLCLK2（デフォルト） 10_B：PPLLCLK2 11_B：設定禁止

(4) CKSC_IPERI2S_ACT — C_ISO_PERI2 ソースクロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス	32 ビット単位でリードのみ可能です。
アドレス	FFF8 A308H
リセット後の値	0000 0001H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IPERI2SACT [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12C.48　CKSC_IPERI2S_ACT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	IPERI2SACT[1:0]	現在アクティブな C_ISO_PERI2 のソースクロック

12C.4.3.8　RLIN クロックドメイン C_ISO_LIN

(1) CKSC_ILINS_CTL — C_ISO_LIN ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	FFF8 $A400_H$
リセット後の値	0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ILINSCSID[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 12C.49　CKSC_ILINS_CTL レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2～0	ILINSCSID[2:0]	C_ISO_LIN に対するソースクロックの設定注 1 000_B：無効化 001_B：PPLLCLK2（デフォルト） 010_B：MainOSC 011_B：PPLLCLK2 100_B：HS IntOSC 上記以外：設定禁止

注1.　スタンバイモードに遷移する場合は、遷移前に PPLLCLK2 以外を選択してください。

(2) CKSC_ILINS_ACT — C_ISO_LIN ソースクロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 A408$_H$

リセット後の値　0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ILINSACT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12C.50　CKSC_ILINS_ACT レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。
2～0	ILINSACT[2:0]	現在アクティブな C_ISO_LIN に対するソースクロック

(3) CKSC_ILIND_CTL — C_ISO_LIN クロック分周選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	FFF8 $A800_H$
リセット後の値	0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ILINDCSID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12C.51　CKSC_ILIND_CTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	ILINDCSID[1:0]	C_ISO_LIN に対するクロック分周回路の設定 00_B：設定禁止 01_B：CKSC_ILINS_CTL 選択/1（デフォルト） 10_B：CKSC_ILINS_CTL 選択/4 11_B：CKSC_ILINS_CTL 選択/8

備　考

このレジスタの設定は RLIN30 が対象です。また、10_B（CKSC_ILINS_CTL 選択/4）、11_B（CKSC_ILINS_CTL 選択/8）設定は、UART モードのみ使用できます。

(4) CKSC_ILIND_ACT — C_ISO_LIN クロック分周アクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 A808$_H$

リセット後の値　0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ILINDACT[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12C.52　CKSC_ILIND_ACT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	ILINDACT[1:0]	現在アクティブな C_ISO_LIN に対するクロック分周回路

(5) CKSC_ILIND_STPM — C_ISO_LIN 停止マスクレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 A818$_H$

リセット後の値　0000 0002$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ILIND STP MSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

注　意

ビット 1 のリセット後の値 “1” を変更してはいけません。

表 12C.53　CKSC_ILIND_STPM レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ILINDSTPMSK	0：クロックドメイン C_ISO_LIN はスタンバイモードで停止されます。 1：クロックドメイン C_ISO_LIN はスタンバイモードで停止されません。

12C.4.3.9　RS-CANFD クロックドメイン C_ISO_CAN と C_ISO_CANOSC

(1) CKSC_ICANS_CTL — C_ISO_CAN ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 A900$_H$

リセット後の値　0000 0003$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ICANSCSID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12C.54　CKSC_ICANS_CTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	ICANSCSID[1:0]	C_ISO_CAN に対するソースクロックの設定注 1 00$_B$：無効化 01$_B$：MainOSC 10$_B$：PPLLCLK 11$_B$：PPLLCLK（デフォルト）

注1.　スタンバイモードに遷移する場合は、遷移前に PPLLCLK 以外を選択してください。

(2) CKSC_ICANS_ACT — C_ISO_CAN ソースクロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 A908$_H$

リセット後の値　0000 0003$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ICANSACT[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12C.55　CKSC_ICANS_ACT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	ICANSACT[1:0]	現在アクティブな C_ISO_CAN のソースクロック

(3) CKSC_ICANS_STPM — C_ISO_CAN 停止マスクレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	FFF8 A918$_H$
リセット後の値	0000 0002$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ICANS STP MSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

注 意

ビット 1 のリセット後の値“1”を変更してはいけません。

表 12C.56 CKSC_ICANS_STPM レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ICANSSTPMSK	0：クロックドメイン C_ISO_CAN はスタンバイモードで停止されます。 1：クロックドメイン C_ISO_CAN はスタンバイモードで停止されません。

(4) CKSC_ICANOSCD_CTL — C_ISO_CANOSC クロック分周選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス FFF8 AA00$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ICANOSCD CSID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12C.57 CKSC_ICANOSCD_CTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	ICANOSCDCSID [1:0]	C_ISO_CANOSC に対するクロック分周回路の設定[注1] 00$_B$：無効化（デフォルト） 01$_B$：MainOSC/1 10$_B$：MainOSC/2 11$_B$：設定禁止

注1. C_ISO_CAN のソースクロックを MainOSC に設定する場合は、MainOSC/2 を選択してください。

(5) CKSC_ICANOSCD_ACT — C_ISO_CANOSC クロック分周アクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス	32 ビット単位でリードのみ可能です。
アドレス	FFF8 AA08H
リセット後の値	0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ICANOSCDACT [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12C.58 CKSC_ICANOSCD_ACT レジスタの内容

ビット位置	ビット名	機能
31〜2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	ICANOSCDACT [1:0]	現在アクティブな C_ISO_CANOSC に対するクロック分周回路

(6) CKSC_ICANOSCD_STPM — C_ISO_CANOSC 停止マスクレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 AA18H

リセット後の値　0000 0002H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ICANOSCDSTPMSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

注　意

ビット 1 のリセット後の値“1”を変更してはいけません。

表 12C.59　CKSC_ICANOSCD_STPM レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ICANOSCD STPMSK	0：クロックドメイン C_ISO_CANOSC はスタンバイモードで停止されます。 1：クロックドメイン C_ISO_CANOSC はスタンバイモードで停止されません。

12C.4.3.10　CSI クロックドメイン C_ISO_CSI

(1) CKSC_ICSIS_CTL — C_ISO_CSI ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 AB00$_H$

リセット後の値　0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ICSISCSID[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 12C.60　CKSC_ICSIS_CTL レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2～0	ICSISCSID[2:0]	C_ISO_CSI に対するソースクロックの設定 000$_B$：無効化 001$_B$：PPLLCLK（デフォルト） 010$_B$：PPLLCLK 011$_B$：MainOSC 100$_B$：HS IntOSC 上記以外：設定禁止

(2) CKSC_ICSIS_ACT — C_ISO_CSI ソースクロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス	32 ビット単位でリードのみ可能です。
アドレス	FFF8 AB08$_H$
リセット後の値	0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ICSISACT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12C.61　CKSC_ICSIS_ACT レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。
2～0	ICSISACT[2:0]	現在アクティブな C_ISO_CSI のソースクロック

12C.4.3.11　RIIC クロックドメイン C_ISO_IIC

(1) CKSC_IIICS_CTL — C_ISO_IIC ソースクロック選択レジスタ

このレジスタを更新するためには、PROTCMD1 レジスタを使った正しい書き込みシーケンスが必要です。詳細については、「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 AC00H

リセット後の値　0000 0001H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IIICSCSID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 12C.62　CKSC_IIICS_CTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	IIICSCSID[1:0]	C_ISO_IIC に対するソースクロックの設定 00_B：無効化 01_B：PPLLCLK2（デフォルト） 10_B：PPLLCLK2 11_B：設定禁止

(2) CKSC_IIICS_ACT — C_ISO_IIC ソースクロックアクティブレジスタ

このレジスタはすべてのリセット要因（ISORES）によって初期化されます。

アクセス 32 ビット単位でリードのみ可能です。

アドレス FFF8 AC08H

リセット後の値 0000 0001H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IIICSACT[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12C.63 CKSC_IIICS_ACT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1、0	IIICSACT[1:0]	現在アクティブな C_ISO_IIC に対するソースクロック

12C.5　クロックドメインの設定方法

12C.5.1　クロックドメインの設定

12C.5.1.1　クロックセレクタレジスタ概要

クロックドメイン C_AWO_<*name*> / C_ISO_<*name*>に対するクロックセレクタは以下のレジスタで制御されます。

- ソースクロック選択レジスタ

  これらのレジスタは有効なソースクロックの中からドメインクロックとして使用するクロックを 1 つ選択します。

  - AWO ソースクロックの選択：CKSC_A<*name*>S_CTL
  - ISO ソースクロックの選択：CKSC_I<*name*>S_CTL

- クロック分周選択レジスタ

  これらのレジスタは選択されたソースクロックに対してクロック分周比を設定します。

  - AWO クロック分周比：CKSC_A<*name*>D_CTL
  - ISO クロック分周比：CKSC_I<*name*>D_CTL

- ソースクロックアクティブレジスタ／クロック分周アクティブレジスタ

  これらのレジスタはそれぞれ、現在アクティブ状態にある選択されたソースクロックと分周比を返します。

  - AWO ソースクロックアクティブレジスタ／クロック分周アクティブレジスタ：
CKSC_A<*name*>S_ACT / CKSC_A<*name*>D_ACT
  - ISO ソースクロックアクティブレジスタ／クロック分周アクティブレジスタ：
CKSC_I<*name*>S_ACT / CKSC_I<*name*>D_ACT

備　考

- すべてのクロックセレクタが、上述したすべてのコントロール機能を持つ訳ではありません。
- クロックドメイン C_ISO_CPUCLK は、レジスタ名にパワードメインを表す“ I ”が付与されません。

12C.5.1.2　クロックドメインの設定手順

以下に設定手順を示します。

1. ソースクロックの設定
   - ソースクロックの選択を実施（CKSC_A<*name*>S_CTL, CKSC_I<*name*>S_CTL）
   - 選択完了の確認（CKSC_A<*name*>S_ACT, CKSC_I<*name*>S_ACT）注 1
2. クロック分周の設定
   - クロック分周の選択を実施（CKSC_A<*name*>D_CTL, CKSC_I<*name*>D_CTL）
   - 選択完了の確認（CKSC_A<*name*>D_ACT, CKSC_I<*name*>D_ACT）注 2

注1. CKSC_A<name>S_ACT、CKSC_I<name>S_ACT が、CKSC_A<name>S_CTL、CKSC_I<name>S_CTL に書き込まれた新しい値に更新されてから処理を継続してください。

注2. CKSC_A<name>D_ACT、CKSC_I<name>D_ACT が、CKSC_A<name>D_CTL、CKSC_I<name>D_CTL に書き込まれた新しい値に更新されてから処理を継続してください。

注　意

上記設定は、選択するソースクロックが動作していることが前提です。
ソースクロックが停止している状態で、設定を実施した場合の動作は保証しません。
また、クロック供給が停止している周辺機能へのアクセスは禁止です。

12C.5.2　スタンバイモード時のクロックの停止

スタンバイモード時（STOP モード、DeepSTOP モード、Cyclic STOP モード）、スタンバイコントローラからのクロック停止要求に対してクロックドメイン C_AWO_<*name*> / C_ISO_<*name*>は、そのクロック CKSCLK_A<*name*> / CKSCLK_I<*name*>を停止または継続するように設定することができます。

クロック停止マスクレジスタは、スタンバイモード時のクロックの動作状態を決定するために使用されます。

- CKSC_A<*name*>_STPM.A<*name*>STPMSK / CKSC_I<*name*>_STPM.I<*name*>STPMSK＝0：

  STOP 要求信号はマスクされません。そのためドメインクロック CKSCLK_A<*name*> / CKSCLK_I<*name*>はスタンバイ時に停止されます。
  ドメインクロックがスタンバイモードの前に動作していた場合、スタンバイ状態から回復した後、自動的に再起動されます。
  同じソースクロックを選択している別のクロックドメインで、停止マスク設定を“1”（CKSC_A<*name*>_STPM.A<*name*>STPMSK / CKSC_I<*name*>_STPM.I<*name*>STPMSK＝1）に設定していた場合、そのソースクロックはスタンバイモード時に動作を継続します。
  CPU クロックドメイン C_ISO_CPUCLK は、スタンバイ時に必ず停止します。

- CKSC_A<*name*>_STPM.A<*name*>STPMSK / CKSC_I<*name*>_STPM.I<*name*>STPMSK＝1：

  STOP 要求信号はマスクされるため、CKSCLK_A<*name*> / CKSCLK_I<*name*>はスタンバイ時に動作を継続します。
  対象のクロックドメインで選択しているソースクロックもスタンバイモード時に動作を継続します。
  Isolated エリア（ISO エリア）にあるクロックドメインは、DeepSTOP モード時に停止されます。

12C.5.3　クロックドメイン設定

各クロックドメインで選択可能なソースクロックと分周比、使用する設定レジスタを以下の表に示します。

表 12C.64　クロック選択の一覧

クロックドメイン	クロック名	選択レジスタ		分周レジスタ		最大周波数	対象ユニット
C_AWO_WDTA	CKSCLK_AWDTA	—	**LS IntOSC**	CKSC_AWDTAD_CTL	1/1	240kHz	WDTA0
					1/128		
C_AWO_TAUJ	CKSCLK_ATAUJ	CKSC_ATAUJS_CTL	MainOSC	CKSC_ATAUJD_CTL	**1/1**	40MHz	TAUJ0 TAUJ2
			HS IntOSC		1/2		
			LS IntOSC		1/4		
			PPLLCLK2		1/8		
			Disable		—		
C_AWO_RTCA	CKSCLK_ARTCA	CKSC_ARTCAS_CTL	MainOSC	CKSC_ARTCAD_CTL	1/1	4MHz	RTCA0
			LS IntOSC		1/2		
			Disable		1/4		
			—		1/8		
					Disable		
C_AWO_ADCA	CKSCLK_AADCA	CKSC_AADCAS_CTL	MainOSC	CKSC_AADCAD_CTL	**1/1**	40MHz	ADCA0
			HS IntOSC		1/2		
			PPLLCLK2		—		
			Disable				
C_AWO_FOUT	CKSCLK_AFOUT	CKSC_AFOUTS_CTL	MainOSC	—	**1/1**	24MHz	FOUT
			HS IntOSC				
			LS IntOSC				
			PPLLCLK4				
			Disable				
C_ISO_CPUCLK	CPUCLK	CKSC_CPUCLKS_CTL [注2] CKSC_CPUCLKD_CTL [注2]	MainOSC	CKSC_CPUCLKD_CTL	**1/1**	120MHz [注3]	CPU サブシステム
			CPLL1OUT (VCO1OUT × 1/4)		1/2		
			CPLL1OUT (VCO1OUT × 1/5)		1/4		
			CPLL1OUT (VCO1OUT × 1/6)		1/8		
			EMCLK		—		
C_ISO_PERI1	CKSCLK_IPERI1	CKSC_IPERI1S_CTL	**PPLLCLK**	—	**1/1**	80MHz	TAUD0 TAUJ1 TAUJ3 ENCA0 TAPA0 PIC0
			Disable				
C_ISO_PERI2	CKSCLK_IPERI2	CKSC_IPERI2S_CTL	**PPLLCLK2**	—	**1/1**	40MHz	TAUBn PWBAn PWGAn PWSAn RCFDCn (clkc) RSENTn
			Disable				
C_ISO_LIN	CKSCLK_ILIN	CKSC_ILINS_CTL	MainOSC	CKSC_ILIND_CTL [注1]	**1/1**	40MHz	RLIN24n RLIN3n
			HS IntOSC		1/4		
			PPLLCLK2		1/8		
			Disable				

表 12C.64　クロック選択の一覧

クロックドメイン	クロック名	選択レジスタ		分周レジスタ		最大周波数	対象ユニット
C_ISO_CAN	CKSCLK_ICAN	CKSC_ICANS_CTL	MainOSC	—	**1/1**	80MHz	RCFDCn (PCLK)
			PPLLCLK				
			Disable				
C_ISO_CANOSC	CKSCLK_ICANOSC	—	**MainOSC**	CKSC_ICANOSCD_CTL	1/1	24MHz	RCFDCn (clk_xincan)
					1/2		
					Disable		
C_ISO_CSI	CKSCLK_ICSI	CKSC_ICSIS_CTL	**PPLLCLK**	—	**1/1**	80MHz	CSIGn CSIHn
			MainOSC				
			HS IntOSC				
			Disable				
C_ISO_IIC	CKSCLK_IIIC	CKSC_IIICS_CTL	**PPLLCLK2**	—	**1/1**	40MHz	RIICn
			Disable				

備考　表内の太字部分は各レジスタの初期設定クロックです。

注1.　RLIN30 のみ適用されます。また、1/4、1/8 設定は、UART モードのみで使用できます。

注2.　CKSC_CPUCLKS_CTL は、MainOSC、CPLL1OUT または EMCLK の選択をします。
CKSC_CPUCLKD_CTL.CPUCLKDPLL[1:0]は、CPLL1OUT クロック周波数を選択します。

注3.　対応する設定については、「**表 12C.14　PLL1 出力の表**」を参照してください。

注　意

クロックドメインで選択中のクロックソースを、STOP/DeepSTOP モードへ遷移させる前にソフトウェアで停止させたい場合は、あらかじめそのクロックドメインで“Disable”を選択してください。“Disable”が選択できないクロックドメインのソースクロックは、クロックドメイン内の機能動作中に停止させないようにしてください。クロックドメインで選択中のソースクロックを、STOP/DeepSTOP モードへの遷移により停止させる場合は、“Disable”を選択する必要はありません。その代わりに停止マスクレジスタでスタンバイ中のクロックドメインの停止を選択してください。

12C.6　周波数出力機能（FOUT）

周波数出力機能（FOUT）は、クロックを外部出力することができます。また、分周回路により分周出力することが可能です。

12C.6.1　機能概要

周波数出力機能の構成を「**図 12C.8 周波数出力機能**」に示します。

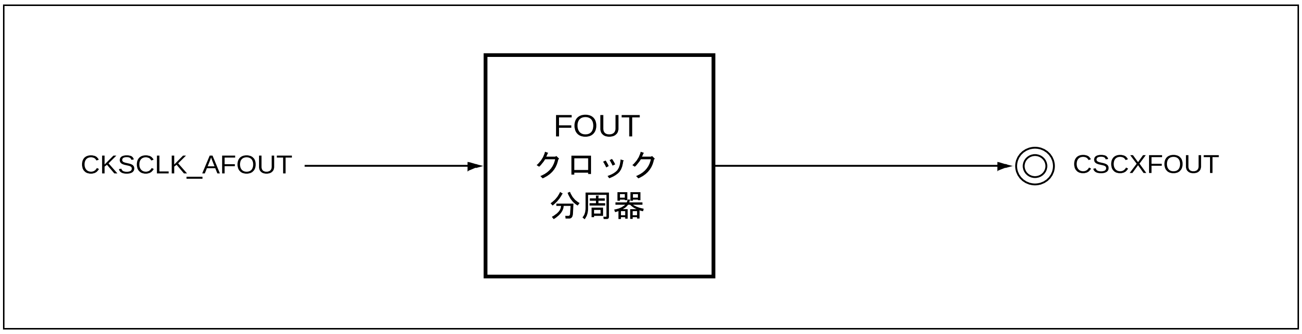


図 12C.8　周波数出力機能

クロック出力機能は、CKSCLK_AFOUT のクロックを分周回路より、1～63 分周したクロックを、CSCXFOUT より出力します。分周比 N は、FOUTDIV レジスタの FOUTDIV[5:0]に設定します。クロックの出力周波数 $f_{CSCXFOUT}$ は、次式で表されます。

$f_{CSCXFOUT}$ = (CKSCLK_AFOUT のクロック周波数) / N

CKSCLK_AFOUT の設定、端子機能のクロック出力選択後、FOUTDIV レジスタの FOUTDIV[5:0]に分周比 N を設定するとクロック出力を開始します。

新しい分周比が FOUTDIV レジスタの FOUTDIV[5:0]に書き込まれると、CSCXFOUT 出力クロックと同期して有効となります。したがって、クロック分周比は CSCXFOUT クロックが動作中でも変更することができます。なお、FOUTDIV[5:0]に 000_H が書き込まれるとクロック出力が停止します。

12C.6.2　クロック供給

CSCXFOUT のクロック供給を以下の表に示します。

表 12C.65　クロック供給

モジュール	ユニットクロック名	供給クロック名	説明
CSCXFOUT	PCLK	CPUCLK_UL	バスクロック（レジスタアクセス）
	CKSCLK_AFOUT	CKSCLK_AFOUT	FOUT クロック分周器のクロックソース

12C.6.3 レジスタ

12C.6.3.1 レジスター覧

FOUT のレジスター覧を以下の表に示します。

表 12C.66　レジスター覧

モジュール名	レジスタ名	略号	アドレス
CLKCTL	クロック分周比レジスタ	FOUTDIV	FFF8 2800_H
	クロック分周ステータスレジスタ	FOUTSTAT	FFF8 2804_H

12C.6.3.2 FOUTDIV — クロック分周比レジスタ

このレジスタはクロック分周比を規定します。

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 2800_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	FOUTDIV[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 12C.67　FOUTDIV レジスタの内容

ビット位置	ビット名	機能
31〜6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5〜0	FOUTDIV[5:0]	クロック分周比 N 00_H：クロック出力は停止 01_H：N＝1 02_H：N＝2 ： $3E_H$：N＝62 $3F_H$：N＝63

12C.6.3.3　FOUTSTAT — クロック分周ステータスレジスタ

このレジスタはクロック出力のステータスを示します。

このレジスタは DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス	32 ビット単位でリードのみ可能です。
アドレス	FFF8 2804_H
リセット後の値	0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FOUTCLKACT	FOUTSYNC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 12C.68　FOUTSTAT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1	FOUTCLKACT	クロック分周出力アクティブビット 0：周波数出力停止中です。 1：周波数出力中です。
0	FOUTSYNC	クロック分周同期 0：クロック分周は変更過渡期です。 1：クロック分周は安定状態です。（停止状態を含む）

第13章　クロックモニタ（CLMA）

本章では、クロックモニタ（CLMA）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1KH, RH850/F1KM に固有の特長について説明します。

それ以降の節では、CLMA の機能、レジスタについて説明します。

13.1　RH850/F1KH, RH850/F1KM の CLMA の特長

13.1.1　ユニット数

本製品は、以下に示すユニット数の CLMA を搭載しています。

各 CLMA ユニットは、シングルチャネルです。本章において“チャネル”は、“ユニット”と同じ意味です。

表 13.1　ユニット数 (RH850/F1KH-D8)

製品名	RH850/F1KH-D8 178 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 324 Pin
ユニット数	4	4	4
名称	CLMAn (n＝0～3)	CLMAn (n＝0～3)	CLMAn (n＝0～3)

表 13.2　ユニット数 (RH850/F1KM-S4)

製品名	RH850/F1KM-S4 100 Pin	RH850/F1KM-S4 144 Pin	RH850/F1KM-S4 176 Pin	RH850/F1KM-S4 233 Pin	RH850/F1KM-S4 272 Pin
ユニット数	4	4	4	4	4
名称	CLMAn (n＝0～3)	CLMAn (n＝0～3)	CLMAn (n＝0～3)	CLMAn (n＝0～3)	CLMAn (n＝0～3)

表 13.3　ユニット数 (RH850/F1KM-S2)

製品名	RH850/F1KM-S2 100 Pin	RH850/F1KM-S2 144 Pin	RH850/F1KM-S2 176 Pin
ユニット数	4	4	4
名称	CLMAn (n＝0～3)	CLMAn (n＝0～3)	CLMAn (n＝0～3)

表 13.4　ユニット数 (RH850/F1KM-S1)

製品名	RH850/F1KM-S1 48 Pin	RH850/F1KM-S1 64 Pin	RH850/F1KM-S1 80 Pin	RH850/F1KM-S1 100 Pin
ユニット数	3	3	3	3
名称	CLMAn (n＝0, 1, 3)	CLMAn (n＝0, 1, 3)	CLMAn (n＝0, 1, 3)	CLMAn (n＝0, 1, 3)

表 13.5　添字 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2)

添字	説明
n	本章では、クロックモニタの各ユニットを「n」で識別します。たとえば、CLMAn 制御レジスタ 0 は CLMAnCTL0（n＝0～3）のように記述します。

表 13.6　添字 (RH850/F1KM-S1)

添字	説明
n	本章では、クロックモニタの各ユニットを「n」で識別します。たとえば、CLMAn 制御レジスタ 0 は CLMAnCTL0（n＝0, 1, 3）のように記述します。

13.1.2　レジスタベースアドレス

CLMA のベースアドレスを以下の表に示します。

CLMA のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 13.7　レジスタベースアドレス (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2)

ベースアドレス名	ベースアドレス
<CLMA0_base>	FFF8 $C000_H$
<CLMA1_base>	FFF8 $D000_H$
<CLMA2_base>	FFF8 $E000_H$
<CLMA3_base>	FFF8 $F000_H$

表 13.8　レジスタベースアドレス (RH850/F1KM-S1)

ベースアドレス名	ベースアドレス
<CLMA0_base>	FFF8 $C000_H$
<CLMA1_base>	FFF8 $D000_H$
<CLMA3_base>	FFF8 $E000_H$

13.1.3　クロック供給

CLMA がモニタするクロックおよび CLMA のサンプリングクロックを示します。

表 13.9　クロック供給 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2)

チャネル名	ユニットクロック名	クロック名
CLMA0	CLMATMON（モニタクロック）	HS IntOSC
	CLMATSMP（サンプリングクロック）	LS IntOSC
	レジスタアクセスクロック	CPUCLK_UL
CLMA1	CLMATMON（モニタクロック）	MainOSC
	CLMATSMP（サンプリングクロック）	LS IntOSC
	レジスタアクセスクロック	CPUCLK_UL
CLMA2	CLMATMON（モニタクロック）	PLL0OUT 注1
	CLMATSMP（サンプリングクロック）	HS IntOSC
	レジスタアクセスクロック	CPUCLK_UL
CLMA3	CLMATMON（モニタクロック）	PPLLOUT
	CLMATSMP（サンプリングクロック）	HS IntOSC
	レジスタアクセスクロック	CPUCLK_UL

注1.　詳細は、**「12AB 章　クロックコントローラ (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2)」**、**「12AB.3.5.1　PLL0 のパラメータ」**、**「図 12AB.8　PLL0 の回路構成」**を参照ください。

表 13.10　クロック供給 (RH850/F1KM-S1)

チャネル名	ユニットクロック名	クロック名
CLMA0	CLMATMON（モニタクロック）	HS IntOSC
	CLMATSMP（サンプリングクロック）	LS IntOSC
	レジスタアクセスクロック	CPUCLK_UL
CLMA1	CLMATMON（モニタクロック）	MainOSC
	CLMATSMP（サンプリングクロック）	LS IntOSC
	レジスタアクセスクロック	CPUCLK_UL
CLMA3	CLMATMON（モニタクロック）	PPLLOUT
	CLMATSMP（サンプリングクロック）	HS IntOSC
	レジスタアクセスクロック	CPUCLK_UL

13.1.4　リセット要因

CLMA のリセット要因を次の表に示します。CLMA はこれらのリセット要因によって初期化されます。

表 13.11　リセット要因 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2)

チャネル名	リセット要因
CLMA0	DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）
CLMA1	DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）
CLMA2	すべてのリセット要因（ISORES）
CLMA3	すべてのリセット要因（ISORES）
共通レジスタ （CLMATEST、CLMATESTS）	パワーアップリセット PURES（パワーオンクリアまたはデバッガリセット）

表 13.12　リセット要因 (RH850/F1KM-S1)

チャネル名	リセット要因
CLMA0	DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）
CLMA1	DeepSTOP モードへの移行以外のすべてのリセット要因（AWORES）
CLMA3	すべてのリセット要因（ISORES）
共通レジスタ （CLMATEST、CLMATESTS）	パワーアップリセット PURES（パワーオンクリアまたはデバッガリセット）

13.1.5　内部入出力信号

CLMA の内部入出力信号を以下の表に示します。

表 13.13　内部入出力信号 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2)

ユニット信号名	説明	接続
$\overline{\text{CLMATRES}}$	CLMA0 エラーリセット出力	リセットコントローラ（$\overline{\text{CLMA0RES}}$）
$\overline{\text{CLMATRES}}$	CLMA1 エラーリセット出力	リセットコントローラ（$\overline{\text{CLMA1RES}}$）
$\overline{\text{CLMATRES}}$	CLMA2 エラーリセット出力	リセットコントローラ（$\overline{\text{CLMA2RES}}$）
$\overline{\text{CLMATRES}}$	CLMA3 エラーリセット出力	リセットコントローラ（$\overline{\text{CLMA3RES}}$）

表 13.14　内部入出力信号 (RH850/F1KM-S1)

ユニット信号名	説明	接続
$\overline{\text{CLMATRES}}$	CLMA0 エラーリセット出力	リセットコントローラ（$\overline{\text{CLMA0RES}}$）
$\overline{\text{CLMATRES}}$	CLMA1 エラーリセット出力	リセットコントローラ（$\overline{\text{CLMA1RES}}$）
$\overline{\text{CLMATRES}}$	CLMA3 エラーリセット出力	リセットコントローラ（$\overline{\text{CLMA3RES}}$）

13.2 概要

13.2.1 機能概要

クロックモニタ CLMA は、モニタクロックの周波数異常を検出します。サンプリングクロック CLMATSMP を使用して入力クロック CLMATMON の周波数が特定の範囲内にあるかをモニタします。クロック異常を検出した際、リセット要求信号を出力します。

クロックモニタの主な構成要素を「**図 13.1 クロックモニタのブロック図**」に示します。

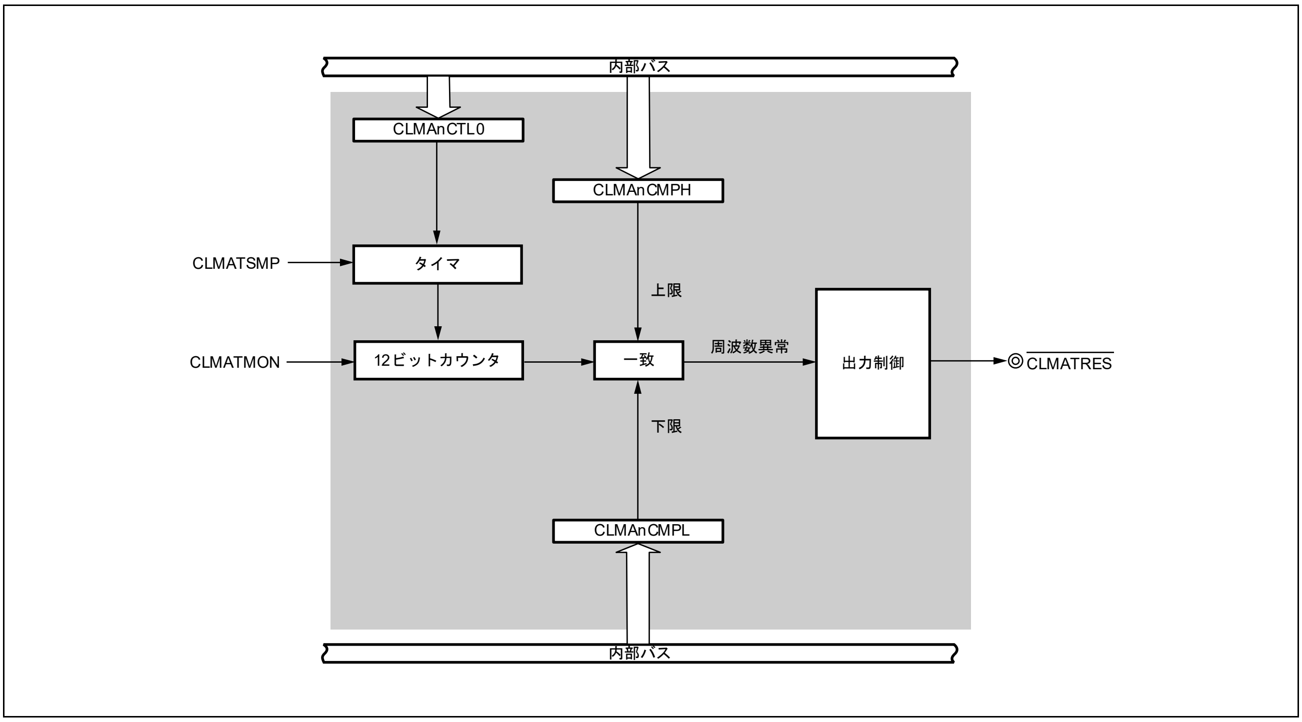


図 13.1 クロックモニタのブロック図

備 考

一度有効にしたら、リセット以外では無効化できません。

13.3　CLMA の有効化

クロックモニタによるクロックの監視は、CLMAnCTL0.CLMAnCLME＝1 によって開始されます。

モニタクロックがレジスタ操作により停止した場合もしくはスタンバイモードで停止した場合は、対応するクロックモニタも自動的に無効になります。その後、モニタクロックが再度、発振を開始して、安定すると、クロックモニタは動作を再開します。

CLMA2 および CLMA3 は、DeepSTOP 復帰時に初期化されるため、動作を開始するためには CLMA2 および CLMA3 レジスタの再設定が必要になります。

13.4　機能

13.4.1　異常クロック周波数の検出

検出方法

CLMAn は、サンプリングクロック CLMATSMP の 16 サイクル内でモニタクロック CLMATMON の立ち上がりエッジをカウントし、このカウント値と設定したしきい値とを比較します。

- CLMAnCMPL.CLMAnCMPL[11:0]は下のしきい値を指定します。
- CLMAnCMPH.CLMAnCMPH[11:0]は上のしきい値を指定します。

CLMATMON の周波数[注 1]が低い場合は、カウント値は CLMAnCMPL.CLMAnCMPL[11:0]の設定値を下回ります。

CLMATMON の周波数が高い場合は、カウント値が CLMAnCMPH.CLMAnCMPH[11:0]の設定値を上回ります。

注1. モニタクロックが完全に停止する場合は、異常を検知できない場合があります。

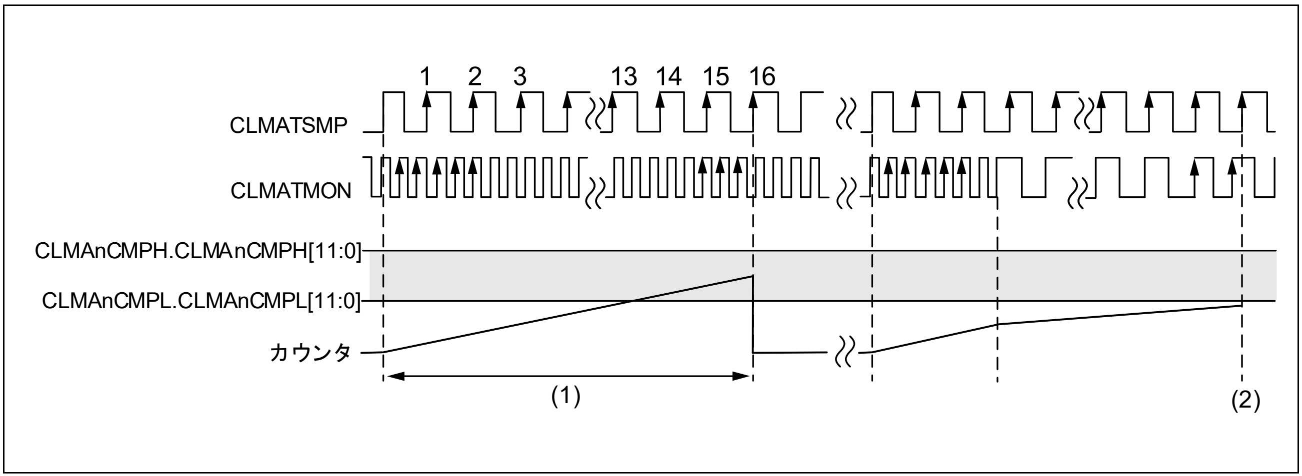


図 13.2　例：$f_{CLMATMON}$ が低い場合

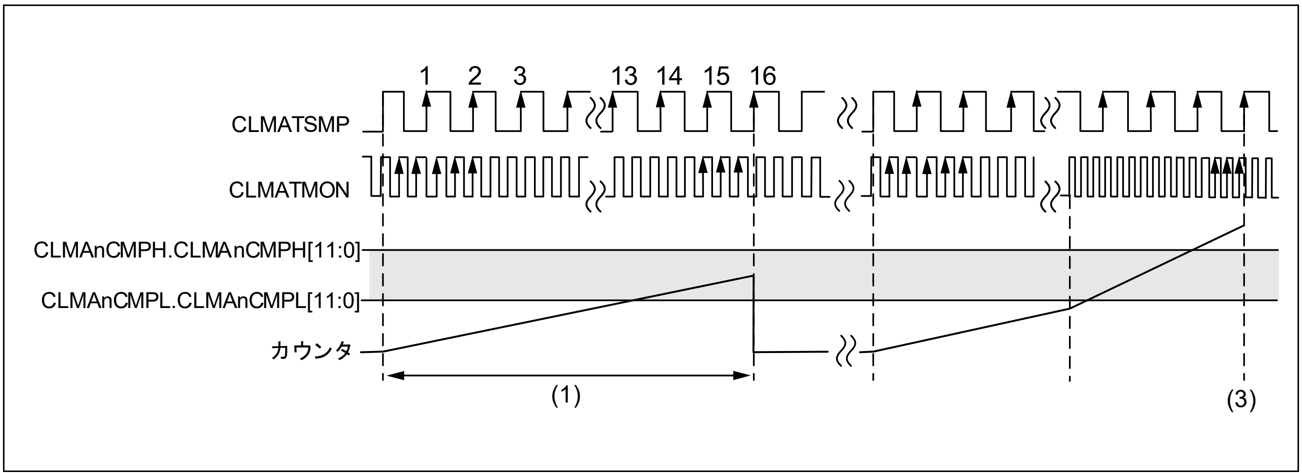


図 13.3　例：$f_{CLMATMON}$ が高い場合

備　考

サンプリングインターバル内で $f_{CLMATMON}$ が高く（もしくは低く）なっても、有効なカウント値に収まる可能性があります。
$f_{CLMATMON}$ の異常は、1 サンプリングインターバル後に検出されます。

(1) しきい値 CLMAnCMPL.CLMAnCMPL[11:0]と CLMAnCMPH.CLMAnCMPH[11:0]の算出方法

コンペアレジスタ CLMAnCMPL と CLMAnCMPH には、サンプリングクロック CLMATSMP の 16 サイクル内で有効と想定される CLMATMON のクロックサイクルの最小値と最大値を設定します。

期待されるクロックサイクル数を N で表します。

$$\frac{16}{f_{CLMATSMP}} = \frac{N}{f_{CLMATMON}}$$

$$N = \frac{f_{CLMATMON}}{f_{CLMATSMP}} \times 16$$

CLMATMON と CLMATSMP の許容周波数偏差を考慮して、次の式でしきい値を計算します。

$$\text{下限しきい値} = N_{min}$$

$$= \frac{f_{CLMATMON(dmin)}}{f_{CLMATSMP(max)}} \times 16 - 1$$

$$\text{上限しきい値} = N_{max}$$

$$= \frac{f_{CLMATMON(max)}}{f_{CLMATSMP(min)}} \times 16 + 1$$

備　考

PLL のジッタは計算式の「+1」と「−1」によってカバーされています。

例）

$f_{CLMATSMP}$＝240kHz（±8%）および $f_{CLMATMON}$＝16MHz（±5%）の場合、推奨されるしきい値は次のようになります。

$$N_{min} = 15{,}200 / 259.2 \times 16 - 1 = 937.27$$

$$\text{CLMAnCMPL} = 937 = 03A9_H$$

$$N_{max} = 16{,}800 / 220.8 \times 16 + 1 = 1218.39$$

$$\text{CLMAnCMPH} = 1219 = 04C3_H$$

最小しきい値

次の制限事項を考慮する必要があります。

- CLMAnCMPL≧0001_H
- CLMAnCMPH≧CLMAnCMPL＋0003_H

(2) しきい値レジスタの初期値入力の定義

しきい値レジスタのリセット後の値は下記です。

- CLMAnCMPL[11:0]＝001_H
- CLMAnCMPH[11:0]＝$3FF_H$

13.4.2 異常クロック周波数の通知

$f_{CLMATMON}$ が上限しきい値よりも高い、もしくは下限しきい値よりも低い場合、次のように示されます。

1. リセット要求信号 $\overline{\text{CLMATRES}}$ をロウレベルに設定

システムリセット（AWORES、ISORES）が発生し、CLMAn をリセット

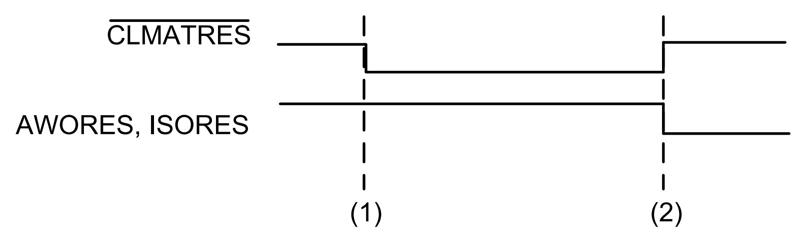


図 13.4 $f_{CLMATMON}$ がしきい値を超えた場合のエラー要求信号

注 意

CLMAn が異常を検知した場合の注意事項については「**13.6 CLMAn の使用上の注意事項**」を参照してください。

13.5 レジスタ

13.5.1 レジスター覧

CLMA のレジスター覧を以下の表に示します。

<CLMAn_base>は「**13.1.2 レジスタベースアドレス**」を参照してください。

表 13.15 レジスター覧

モジュール名	レジスタ名	略号	アドレス
CLMAn	CLMAn 制御レジスタ 0	CLMAnCTL0	<CLMAn_base> + 00_H
	CLMAn コンペアレジスタ L	CLMAnCMPL	<CLMAn_base> + 08_H
	CLMAn コンペアレジスタ H	CLMAnCMPH	<CLMAn_base> + $0C_H$
	CLMAn エミュレーションレジスタ 0	CLMAnEMU0	<CLMAn_base> + 18_H
CLMA	CLMA テストレジスタ	CLMATEST	FFF8 $C100_H$
	CLMA テストステータスレジスタ	CLMATESTS	FFF8 $C104_H$

13.5.2 CLMAnCTL0 — CLMAn 制御レジスタ 0

クロックモニタ CLMAn を有効にします。

このレジスタを更新するためには、CLMAnPCMD レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <CLMAn_base> + 00_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CLMAnCLME
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 13.16 CLMAnCTL0 レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	CLMAnCLME	クロックモニタの有効／無効を設定します。 0：CLMAn 無効 1：CLMAn 有効

注 意

CLMAnCTL0.CLMAnCLME ビットへ 0 書き込みを行うと、CLMAnPS レジスタの CLMAnPRERR ビットが 1 にセットされます。
このビットをクリアできるのはリセット（AWORES、ISORES）のみです。
また、CLMAn がセルフテストの間に CLMATEST.RESCLM ビットを 1 に設定してもこのビットはクリアできます。

13.5.3　CLMAnCMPH ― CLMAn コンペアレジスタ H

周波数の上限値を指定します。

CLMAn が無効（CLMAnCTL0.CLMAnCLME＝0）の場合のみ書き込み可能です。

詳細は「**13.4.1(1) しきい値 CLMAnCMPL.CLMAnCMPL[11:0]と CLMAnCMPH.CLMAnCMPH[11:0]の算出方法**」を参照してください。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<CLMAn_base> + $0C_H$

リセット後の値　$03FF_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CLMAnCMPH[11:0]											
リセット後の値	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13.17　CLMAnCMPH レジスタの内容

ビット位置	ビット名	機能
15～12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11～0	CLMAnCMPH[11:0]	上のしきい値を指定します。 ● 推奨値：$f_{CLMATMON\ (max)}$ / $f_{CLMATSMP\ (min)}$ × 16 + 1 ● 最小値：CLMAnCMPL + 0003_H

13.5.4 CLMAnCMPL ― CLMAn コンペアレジスタ L

周波数の下限値を指定します。

CLMAn が無効（CLMAnCTL0.CLMAnCLME＝0）の場合のみ書き込み可能です。

詳細は「**13.4.1(1) しきい値 CLMAnCMPL.CLMAnCMPL[11:0]と CLMAnCMPH.CLMAnCMPH[11:0]の算出方法**」を参照してください。

アクセス	16 ビット単位でリード／ライト可能です。
アドレス	<CLMAn_base> + 08_H
リセット後の値	0001_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CLMAnCMPL[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13.18　CLMAnCMPL レジスタの内容

ビット位置	ビット名	機能
15～12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11～0	CLMAnCMPL[11:0]	下のしきい値を指定します。 ● 推奨値：$f_{CLMATMON\ (min)}$ / $f_{CLMATSMP\ (max)}$ × 16 – 1 ● 最小値：0001_H

13.5.5 CLMATEST — CLMA テストレジスタ

このレジスタは CLMA0/CLMA1/CLMA2/CLMA3 のセルフテストに使用されます。

このレジスタを更新するためには、PROTCMDCLMA レジスタを使った正しい書き込みシーケンスが必要です。詳細については、「**第 5 章　書き込み保護レジスタ**」を参照してください。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 C100H

リセット後の値　0000 0000H　このレジスタはパワーアップリセット信号 PURES によって初期化されます（パワーオンクリアまたはデバッガリセット）。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	CLMA3 TESEN	CLMA2 TESEN	CLMA1 TESEN	CLMA0 TESEN	ERR MSK	MONCL KMSK	RES CLM
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 13.19　CLMATEST レジスタの内容

ビット位置	ビット名	機能
31～7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	CLMA3TESEN	RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2： CLMA3 セルフテスト許可／禁止 0：テスト禁止 1：テスト許可 RH850/F1KM-S1： リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	CLMA2TESEN	RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2： CLMA2 セルフテスト許可／禁止 0：テスト禁止 1：テスト許可 RH850/F1KM-S1： CLMA3 セルフテスト許可／禁止 0：テスト禁止 1：テスト許可
4	CLMA1TESEN	CLMA1 セルフテスト許可／禁止 0：テスト禁止 1：テスト許可
3	CLMA0TESEN	CLMA0 セルフテスト許可／禁止 0：テスト禁止 1：テスト許可

表 13.19　CLMATEST レジスタの内容

ビット位置	ビット名	機能
2	ERRMSK	CLMA テストエラーのマスク設定 CLMAn がエラーを検出した際、リセットコントローラへのリセット要求をマスクします。CLMAn に ERRMSK が設定されていると、該当する CLMAn は、エラーを検出してもリセットコントローラにリセット要求を発行しません。ERRMSK 設定は、CLMAnTESEN ビットが 1 に設定されている CLMAn でのみ有効となります。 0：リセット要求信号生成が有効 1：リセット要求信号生成が無効（マスク）
1	MONCLKMSK	モニタクロックのマスク設定 CLMAn へのクロック入力をロウレベルに固定します。MONCLKMMSK 設定は、CLMAnTESEN ビットが 1 に設定されている CLMAn でのみ有効となります。 0：モニタクロック許可 1：モニタクロック禁止（マスク）
0	RESCLM	CLMAn テストリセット信号制御 CLMAn を強制的に初期化します。RESCLM 設定は、CLMAnTESEN ビットが 1 に設定されている CLMAn でのみ有効となります。 0：リセット解除 1：リセット実行

13.5.6　CLMATESTS — CLMA テストステータスレジスタ

このレジスタは CLMA0/CLMA1/CLMA2/CLMA3 のセルフテストに使用されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　FFF8 $C104_H$

リセット後の値　0000 0000_H　このレジスタはパワーアップリセット信号 PURES によって初期化されます（パワーオンクリアまたはデバッガリセット）。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	CLMA3 ERRS	CLMA2 ERRS	CLMA1 ERRS	CLMA0 ERRS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 13.20　CLMATESTS レジスタの内容

ビット位置	ビット名	機能
31～4	予約ビット	リードした場合はリセット後の値が読めます。
3	CLMA3ERRS	RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2： CLMA3 エラーステータス 0：エラー検出しない 1：エラー検出した RH850/F1KM-S1： リードした場合はリセット後の値が読めます。
2	CLMA2ERRS	RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2： CLMA2 エラーステータス 0：エラー検出しない 1：エラー検出した RH850/F1KM-S1： CLMA3 エラーステータス 0：エラー検出しない 1：エラー検出した
1	CLMA1ERRS	CLMA1 エラーステータス 0：エラー検出しない 1：エラー検出した
0	CLMA0ERRS	CLMA0 エラーステータス 0：エラー検出しない 1：エラー検出した

13.5.7　CLMAnEMU0 — CLMAn エミュレーションレジスタ 0

本レジスタはエミュレーション時に CLMAn エラーを意図的に発生させるレジスタです。

本レジスタはデバッガによるブレーク中のみアクセス可能であり、ブレーク解除によりリセットされます。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<CLMAn_base> + 18_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CLMAnSLFST	CLMAnSLSLW
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 13.21　CLMAnEMU0 レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	CLMAnSLFST	$f_{CLMATMON}$ を高く想定するかどうかを指定します。 0：CLMATMON は正常な周波数範囲内 1：CLMATMON が上限しきい値を上回った場合
0	CLMAnSLSLW	$f_{CLMATMON}$ を低く想定するかどうかを指定します。 0：CLMATMON は正常な周波数範囲内 1：CLMATMON が下限しきい値を下回った場合

注　意

低い CLMATMON と高い CLMATMON を同時に設定してのエミュレーションは禁止されています。したがって、CLMAnEMU0 を 03_H に設定しないでください。

13.6　CLMAn の使用上の注意事項

CLMAn が異常を検出したクロックは使用しないでください。使用した場合、デバイスの動作は保証されません。CLMA0 がクロック異常を検出した場合、クロックドメインの設定変更は禁止です。

各 CLMAn の使用上の注意事項を「**表 13.22 CLMAn の使用上の注意事項**」に示します。

表 13.22　CLMAn の使用上の注意事項

モニタクロック	CLMA リセット解除後の CPU クロック	備考
HS IntOSC (CLMA0)	EMCLK 注1	ROSCE.ROSCDISTRG を“1”に設定してください。注1 MainOSC、PLL0 および PLL1 の制御レジスタを設定しないでください。 $\overline{\text{CLMA0RES}}$ が発生後は、すべてのクロックドメインの設定変更は禁止です。
MainOSC (CLMA1)	EMCLK（＝HS IntOSC）	MainOSC、PLL0（MainOSC がソースクロックのとき）および PLL1（MainOSC がソースクロックのとき）の制御レジスタを設定しないでください。 $\overline{\text{CLMA1RES}}$ が発生後は、MainOSC、PLL0 および PLL1 を使用したソースクロックは選択しないでください。
PLL0OUT (CLMA2)	EMCLK（＝HS IntOSC）	PLL0 の制御レジスタを設定しないでください。 $\overline{\text{CLMA2RES}}$ が発生後は、PLL0 を使用したソースクロックは選択しないでください。
PPLLOUT (CLMA3)	EMCLK（＝HS IntOSC）	PLL1 の制御レジスタを設定しないでください。 $\overline{\text{CLMA3RES}}$ が発生後は、PLL1 を使用したソースクロックは選択しないでください。

注1.　$\overline{\text{CLMA0RES}}$ によるリセット後の EMCLK の状態は、HS IntOSC の発振状態によって異なります。HS IntOSC が完全に停止した場合は、LS IntOSC が EMCLK として供給されます。HS IntOSC が発振し続けている場合は、周波数にかかわらず、HS IntOSC が引き続き EMCLK として供給されます。そのため、EMCLK のソースクロックを LS IntOSC に切り替える必要があります。ROSCE.ROSCDISTRG ビットを 1 に設定すると、EMCLK は HS IntOSC から LS IntOSC に切り替わります。

第14章　スタンバイコントローラ（STBC）

本章では、スタンバイコントローラ（STBC）の機能、レジスタおよび各スタンバイモードについて説明します。

14.1 機能

14.1.1 スタンバイモードの種類

RH850/F1KH, RH850/F1KM はシステムレベルの低電力状態に対する STOP モードおよび DeepSTOP モードをサポートします。また、更に RH850/F1KH, RH850/F1KM は限定された機能だけに対応する Cyclic 動作（Cyclic RUN モードおよび Cyclic STOP モード）をサポートします。各モード間の遷移を、「**14.1.5 スタンバイモードの遷移**」に示します。

- RUN モード

  RUN モードは、CPU が動作中で、ほかのモジュールも動作可能である通常動作モードです。CPU はこのモードの動作を停止する“HALT”命令を実行することで“HALT”状態に遷移できます。

- STOP モード

  STOP モードは特定のクロックドメインに対するクロック供給を停止できるチップレベルのスタンバイモードです。

  STBC0STPT.STBC0STPTRG ビットを 1 にすることで STOP モードに遷移します。

  CKSC_xxx_STPM.xxxSTPMSK＝1 を設定することにより、STOP モードに遷移しても、クロックドメインへのクロック供給を継続することが可能です。CKSC_xxx_STPM レジスタは、「**第 12AB 章 クロックコントローラ (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2)**」、「**第 12C 章 クロックコントローラ (RH850/F1KM-S1)**」を参照してください。

- DeepSTOP モード

  DeepSTOP モードは、STOP モードよりも消費電力を低減するチップレベルのスタンバイモードです。クロック供給の停止とともに、アイソレート領域の電源供給も遮断します。

  STBC0PSC.STBC0DISTRG ビットを 1 にすることで DeepSTOP モードに遷移します。

- Cyclic RUN モード

  Cyclic RUN モードは限定されたモジュールが低速で動作可能な低電力動作モードです。

  CPU1 と Always-On エリア（AWO エリア）の周辺機能、RLIN3 および CSIG0 のみ動作可能とするモードです。データ／コードフラッシュメモリと PLL を利用することはできません。また、CPU2 も利用できません。

  CPU1 はリテンション RAM 上の命令を実行します。

  “HALT”命令を発行して HALT 状態に遷移することが可能なモードです。DeepSTOP モードから Cyclic RUN モードへのモード遷移は、ウェイクアップ要因 2 によってトリガされ、Cyclic STOP モードから Cyclic RUN モードへのモード遷移は、ウェイクアップ要因 1 またはウェイクアップ要因 2 によってトリガされます。

  CSIG0 は、ウェイクアップ要因にできません。

- Cyclic STOP モード

  Cyclic STOP モードは Cyclic 動作内の STOP モードで、CPU1 は動作を停止します。

Cyclic RUN モードの状態において、STBC0STPT.STBC0STPTRG ビットを 1 にすることで Cyclic STOP モードに遷移します。

14.1.2　ウェイクアップ制御

14.1.2.1　各スタンバイモードのウェイクアップ要因

次のウェイクアップ要因により、スタンバイモードから復帰することができます。

表 14.1　ウェイクアップ要因 1 (RH850/F1KH-D8)

ウェイクアップ要因	ユニット	STOP→RUN	DeepSTOP→RUN	Cyclic RUN→RUN 注 1	Cyclic STOP→RUN 注 1
TNMI	Port	○	○	○	○
WDTA0NMI	WDTA0	○	○	○	○
INTLVIL 注 3	LVI	○	○	○	○
INTP0	Port	○	○	○	○
INTP1	Port	○	○	○	○
INTP2	Port	○	○	○	○
INTWDTA0	WDTA0	○	○	○	○
INTP3	Port	○	○	○	○
INTP4	Port	○	○	○	○
INTP5	Port	○	○	○	○
INTP10	Port	○	○	○	○
INTP11	Port	○	○	○	○
WUTRG1	LPS0	○	○	○	○
INTTAUJ0I0	TAUJ0	○	○	○	○
INTTAUJ0I1	TAUJ0	○	○	○	○
INTTAUJ0I2	TAUJ0	○	○	○	○
INTTAUJ0I3	TAUJ0	○	○	○	○
WUTRG0	LPS0	○	○	○	○
INTP6	Port	○	○	○	○
INTP7	Port	○	○	○	○
INTP8	Port	○	○	○	○
INTP12	Port	○	○	○	○
INTP9	Port	○	○	○	○
INTP13	Port	○	○	○	○
INTP14	Port	○	○	○	○
INTP15	Port	○	○	○	○
INTRTCA01S	RTCA0	○	○	○	○
INTRTCA0AL	RTCA0	○	○	○	○
INTRTCA0R	RTCA0	○	○	○	○
INTDCUTDI	JTAG	○	○	○	○
INTP16	Port	○	○	○	○
INTP17	Port	○	○	○	○
INTP18	Port	○	○	○	○
INTP19	Port	○	○	○	○
INTP20	Port	○	○	○	○
INTP21	Port	○	○	○	○
INTP22	Port	○	○	○	○

表 14.1　　ウェイクアップ要因 1 (RH850/F1KH-D8)

ウェイクアップ要因	ユニット	STOP→RUN	DeepSTOP→RUN	Cyclic RUN→RUN 注 1	Cyclic STOP→RUN 注 1
INTP23	Port	○	○	○	○
INTTAUJ2I0	TAUJ2	○	○	○	○
INTTAUJ2I1	TAUJ2	○	○	○	○
INTTAUJ2I2	TAUJ2	○	○	○	○
INTTAUJ2I3	TAUJ2	○	○	○	○
INTKR0	KR0	○	×	×	×
INTRCANGRECC0 注 2	RCFDC0	○	×	×	×
INTRCAN0REC 注 2	RCFDC0	○	×	×	×
INTRCAN1REC 注 2	RCFDC0	○	×	×	×
INTRCAN2REC 注 2	RCFDC0	○	×	×	×
INTRCAN3REC 注 2	RCFDC0	○	×	×	×
INTRCAN4REC 注 2	RCFDC0	○	×	×	×
INTRCAN5REC 注 2	RCFDC0	○	×	×	×
INTRCAN6REC 注 2	RCFDC0	○	×	×	×
INTRCAN7REC 注 2	RCFDC0	○	×	×	×
INTRCANGRECC1 注 2	RCFDC1	○	×	×	×
INTRCAN8REC 注 2	RCFDC1	○	×	×	×
INTRCAN9REC 注 2	RCFDC1	○	×	×	×
INTRCAN10REC 注 2	RCFDC1	○	×	×	×
INTRCAN11REC 注 2	RCFDC1	○	×	×	×

注1.　DeepSTOP モードを介して RUN モードに戻ります。
ウェイクアップ要因 1 によって Cyclic STOP から Cyclic RUN へ遷移した際、ウェイクアップ要因 1 をクリアせずに STBC0PSC.STBC0DISTRG で DeepSTOP へ遷移させた場合、RUN へ遷移します。

注2.　CAN 受信端子と同じ兼用端子にアサインされている INTP 外部割り込みを使用することで DeepSTOP 等のスタンバイモードからウェイクアップが可能です。DeepSTOP からウェイクアップする場合は Always-On エリア（AWO エリア）に配置されたポートグループ P0、P1、P2、P3 または P8 を使用してください。
ウェイクアップ要因フラグをクリアするために、各 CAN モジュールで割り込み要求をクリアする必要があります。

注3.　REGVCC が基準電圧を下回っている（REGVCC（MIN）＜VLVIn）間は、クリアできません。
ウェイクアップ要因フラグ WUF0[2]をクリアするために、“WUFMSK0[2]＝1”および REGVCC が基準電圧を上回っている（REGVCC（MIN）＞VLVIn）条件で WUFC0[2]のセットが必要です。REGVCC が基準電圧を上回っている条件は、INTLVIH 割り込みで確認できます。

表 14.2　ウェイクアップ要因 1 (RH850/F1KM-S4, RH850/F1KM-S2)

ウェイクアップ要因	ユニット	STOP→RUN	DeepSTOP→RUN	Cyclic RUN→RUN 注 1	Cyclic STOP→RUN 注 1
TNMI	Port	○	○	○	○
WDTA0NMI	WDTA0	○	○	○	○
INTLVIL 注 3	LVI	○	○	○	○
INTP0	Port	○	○	○	○
INTP1	Port	○	○	○	○
INTP2	Port	○	○	○	○
INTWDTA0	WDTA0	○	○	○	○
INTP3	Port	○	○	○	○
INTP4	Port	○	○	○	○
INTP5	Port	○	○	○	○
INTP10	Port	○	○	○	○
INTP11	Port	○	○	○	○
WUTRG1	LPS0	○	○	○	○
INTTAUJ0I0	TAUJ0	○	○	○	○
INTTAUJ0I1	TAUJ0	○	○	○	○
INTTAUJ0I2	TAUJ0	○	○	○	○
INTTAUJ0I3	TAUJ0	○	○	○	○
WUTRG0	LPS0	○	○	○	○
INTP6	Port	○	○	○	○
INTP7	Port	○	○	○	○
INTP8	Port	○	○	○	○
INTP12	Port	○	○	○	○
INTP9	Port	○	○	○	○
INTP13	Port	○	○	○	○
INTP14	Port	○	○	○	○
INTP15	Port	○	○	○	○
INTRTCA01S	RTCA0	○	○	○	○
INTRTCA0AL	RTCA0	○	○	○	○
INTRTCA0R	RTCA0	○	○	○	○
INTDCUTDI	JTAG	○	○	○	○
INTP16	Port	○	○	○	○
INTP17	Port	○	○	○	○
INTP18	Port	○	○	○	○
INTP19	Port	○	○	○	○
INTP20	Port	○	○	○	○
INTP21	Port	○	○	○	○
INTP22	Port	○	○	○	○

表 14.2　　ウェイクアップ要因 1 (RH850/F1KM-S4, RH850/F1KM-S2)

ウェイクアップ要因	ユニット	STOP→RUN	DeepSTOP→RUN	Cyclic RUN→RUN 注 1	Cyclic STOP→RUN 注 1
INTP23	Port	○	○	○	○
INTTAUJ2I0	TAUJ2	○	○	○	○
INTTAUJ2I1	TAUJ2	○	○	○	○
INTTAUJ2I2	TAUJ2	○	○	○	○
INTTAUJ2I3	TAUJ2	○	○	○	○
INTKR0	KR0	○	×	×	×
INTRCANGRECC0 注 2	RCFDC0	○	×	×	×
INTRCAN0REC 注 2	RCFDC0	○	×	×	×
INTRCAN1REC 注 2	RCFDC0	○	×	×	×
INTRCAN2REC 注 2	RCFDC0	○	×	×	×
INTRCAN3REC 注 2	RCFDC0	○	×	×	×
INTRCAN4REC 注 2	RCFDC0	○	×	×	×
INTRCAN5REC 注 2	RCFDC0	○	×	×	×
INTRCAN6REC 注 2	RCFDC0	○	×	×	×
INTRCAN7REC 注 2	RCFDC0	○	×	×	×

注1.　DeepSTOP モードを介して RUN モードに戻ります。
ウェイクアップ要因 1 によって Cyclic STOP から Cyclic RUN へ遷移した際、ウェイクアップ要因 1 をクリアせずに STBC0PSC.STBC0DISTRG で DeepSTOP へ遷移させた場合、RUN へ遷移します。

注2.　CAN 受信端子と同じ兼用端子にアサインされている INTP 外部割り込みを使用することで DeepSTOP 等のスタンバイモードからウェイクアップが可能です。DeepSTOP からウェイクアップする場合は Always-On エリア（AWO エリア）に配置されたポートグループ P0、P1、P2 または P8 を使用してください。
ウェイクアップ要因フラグをクリアするために、各 CAN モジュールで割り込み要求をクリアする必要があります。

注3.　REGVCC が基準電圧を下回っている（REGVCC（MIN）＜VLVIn）間は、クリアできません。
ウェイクアップ要因フラグ WUF0[2]をクリアするために、“WUFMSK0[2]＝1”および REGVCC が基準電圧を上回っている（REGVCC（MIN）＞VLVIn）条件で WUFC0[2]のセットが必要です。REGVCC が基準電圧を上回っている条件は、INTLVIH 割り込みで確認できます。

表 14.3　ウェイクアップ要因 1 (RH850/F1KM-S1)

ウェイクアップ要因	ユニット	STOP→RUN	DeepSTOP→RUN	Cyclic RUN→RUN 注 1	Cyclic STOP→RUN 注 1
TNMI	Port	○	○	○	○
WDTA0NMI	WDTA0	○	○	○	○
INTLVIL 注 3	LVI	○	○	○	○
INTP0	Port	○	○	○	○
INTP1	Port	○	○	○	○
INTP2	Port	○	○	○	○
INTWDTA0	WDTA0	○	○	○	○
INTP3	Port	○	○	○	○
INTP4	Port	○	○	○	○
INTP5	Port	○	○	○	○
INTP10	Port	○	○	○	○
INTP11	Port	○	○	○	○
WUTRG1	LPS0	○	○	○	○
INTTAUJ0I0	TAUJ0	○	○	○	○
INTTAUJ0I1	TAUJ0	○	○	○	○
INTTAUJ0I2	TAUJ0	○	○	○	○
INTTAUJ0I3	TAUJ0	○	○	○	○
WUTRG0	LPS0	○	○	○	○
INTP6	Port	○	○	○	○
INTP7	Port	○	○	○	○
INTP8	Port	○	○	○	○
INTP12	Port	○	○	○	○
INTP13	Port	○	×	○	○
INTRTCA01S	RTCA0	○	○	○	○
INTRTCA0AL	RTCA0	○	○	○	○
INTRTCA0R	RTCA0	○	○	○	○
INTDCUTDI	JTAG	○	○	○	○
INTTAUJ2I0	TAUJ2	○	○	○	○
INTTAUJ2I1	TAUJ2	○	○	○	○
INTTAUJ2I2	TAUJ2	○	○	○	○
INTTAUJ2I3	TAUJ2	○	○	○	○
INTKR0	KR0	○	×	×	×
INTRCANGRECC0 注 2	RCFDC0	○	×	×	×
INTRCAN0REC 注 2	RCFDC0	○	×	×	×
INTRCAN1REC 注 2	RCFDC0	○	×	×	×
INTRCAN2REC 注 2	RCFDC0	○	×	×	×
INTRCAN3REC 注 2	RCFDC0	○	×	×	×
INTRCAN4REC 注 2	RCFDC0	○	×	×	×
INTRCAN5REC 注 2	RCFDC0	○	×	×	×

注1.　DeepSTOP モードを介して RUN モードに戻ります。
ウェイクアップ要因 1 によって Cyclic STOP から Cyclic RUN へ遷移した際、ウェイクアップ要因 1 をクリアせずに STBC0PSC.STBC0DISTRG で DeepSTOP へ遷移させた場合、RUN へ遷移します。

注2.　CAN 受信端子と同じ兼用端子にアサインされている INTP 外部割り込みを使用することで DeepSTOP 等のスタンバイモードからウェイクアップが可能です。DeepSTOP からウェイクアップする場合は Always-On エリア（AWO エリア）に配置された

ポートグループ P0 を使用してください。
ウェイクアップ要因フラグをクリアするために、各 CAN モジュールで割り込み要求をクリアする必要があります。

注3.　REGVCC が基準電圧を下回っている（REGVCC（MIN）＜VLVIn）間は、クリアできません。
ウェイクアップ要因フラグ WUF0[2]をクリアするために、“WUFMSK0[2]＝1”および REGVCC が基準電圧を上回っている（REGVCC（MIN）＞VLVIn）条件で WUFC0[2]のセットが必要です。REGVCC が基準電圧を上回っている条件は、INTLVIH 割り込みで確認できます。

表 14.4　　ウェイクアップ要因 2 (RH850/F1KH-D8)

ウェイクアップ要因	ユニット	DeepSTOP→Cyclic RUN	Cyclic STOP→Cyclic RUN
INTADCA0I0	ADCA0	○注 1	○注 1
INTADCA0I1	ADCA0	○注 1	○注 1
INTADCA0I2	ADCA0	○注 1	○注 1
INTRLIN30	RLIN30	×	○
INTTAUJ0I0	TAUJ0	○	○
INTTAUJ0I1	TAUJ0	○	○
INTTAUJ0I2	TAUJ0	○	○
INTTAUJ0I3	TAUJ0	○	○
INTRLIN31	RLIN31	×	○
INTRLIN32	RLIN32	×	○
INTRTCA01S	RTCA0	○	○
INTRTCA0AL	RTCA0	○	○
INTRTCA0R	RTCA0	○	○
INTRLIN33	RLIN33	×	○
INTRLIN34	RLIN34	×	○
INTRLIN35	RLIN35	×	○
INTRLIN36	RLIN36	×	○
INTRLIN37	RLIN37	×	○
INTTAUJ2I0	TAUJ2	○	○
INTTAUJ2I1	TAUJ2	○	○
INTTAUJ2I2	TAUJ2	○	○
INTTAUJ2I3	TAUJ2	○	○

注1.　これらのウェイクアップ要因は LPS アナログ入力モードでのみ使用可能です。

表 14.5　ウェイクアップ要因 2 (RH850/F1KM-S4, RH850/F1KM-S2)

ウェイクアップ要因	ユニット	DeepSTOP→Cyclic RUN	Cyclic STOP→Cyclic RUN
INTADCA0I0	ADCA0	○注 1	○注 1
INTADCA0I1	ADCA0	○注 1	○注 1
INTADCA0I2	ADCA0	○注 1	○注 1
INTRLIN30	RLIN30	×	○
INTTAUJ0I0	TAUJ0	○	○
INTTAUJ0I1	TAUJ0	○	○
INTTAUJ0I2	TAUJ0	○	○
INTTAUJ0I3	TAUJ0	○	○
INTRLIN31	RLIN31	×	○
INTRLIN32	RLIN32	×	○
INTRTCA01S	RTCA0	○	○
INTRTCA0AL	RTCA0	○	○
INTRTCA0R	RTCA0	○	○
INTRLIN33	RLIN33	×	○
INTRLIN34	RLIN34	×	○
INTRLIN35	RLIN35	×	○
INTRLIN36	RLIN36	×	○
INTRLIN37	RLIN37	×	○
INTTAUJ2I0	TAUJ2	○	○
INTTAUJ2I1	TAUJ2	○	○
INTTAUJ2I2	TAUJ2	○	○
INTTAUJ2I3	TAUJ2	○	○

注1.　これらのウェイクアップ要因は LPS アナログ入力モードでのみ使用可能です。

表 14.6　ウェイクアップ要因 2 (RH850/F1KM-S1)

ウェイクアップ要因	ユニット	DeepSTOP→Cyclic RUN	Cyclic STOP→Cyclic RUN
INTADCA0I0	ADCA0	○注 1	○注 1
INTADCA0I1	ADCA0	○注 1	○注 1
INTADCA0I2	ADCA0	○注 1	○注 1
INTRLIN30	RLIN30	×	○
INTTAUJ0I0	TAUJ0	○	○
INTTAUJ0I1	TAUJ0	○	○
INTTAUJ0I2	TAUJ0	○	○
INTTAUJ0I3	TAUJ0	○	○
INTRLIN31	RLIN31	×	○
INTRLIN32	RLIN32	×	○
INTRTCA01S	RTCA0	○	○
INTRTCA0AL	RTCA0	○	○
INTRTCA0R	RTCA0	○	○
INTRLIN33	RLIN33	×	○
INTTAUJ2I0	TAUJ2	○	○
INTTAUJ2I1	TAUJ2	○	○
INTTAUJ2I2	TAUJ2	○	○
INTTAUJ2I3	TAUJ2	○	○

注1.　これらのウェイクアップ要因は LPS アナログ入力モードでのみ使用可能です。

注　意

DeepSTOP からのウェイクアップ要因に使用する機能の端子は、Always-On エリア（AWO エリア）に配置されたポートの兼用機能を使用してください。

14.1.2.2　ウェイクアップ要因の設定

スタンバイモードから復帰するウェイクアップ要因は、以下のスタンバイコントールレジスタで制御します。

- ウェイクアップ要因レジスタ：WUF0, WUF1, WUF20, WUF_ISO0

  有効なウェイクアップ要因が発生した際に、該当するビットが 1 になります。本レジスタ、ビットを判断することで、ウェイクアップ要因を判断することが可能です。

- ウェイクアップ要因マスクレジスタ：WUFMSK0, WUFMSK1, WUFMSK20, WUFMSK_ISO0

  ウェイクアップ要因マスクレジスタの各ビットは、各ウェイクアップ要因に割り当てています。ビットを 0 に設定した場合、本ビットに対応するウェイクアップ要因を有効にします。ウェイクアップ要因 1 とウェイクアップ要因 2 の両方に割り当てられているウェイクアップ要因を同時に有効にしないでください。

- ウェイクアップ要因クリアレジスタ：WUFC0, WUFC1, WUFC20, WUFC_ISO0

  本レジスタのビットを 1 にすることで、ウェイクアップ要因レジスタ（WUF0、WUF20、WUF_ISO0）のウェイクアップ要因ビット（WUFy）をクリアします。

備　考

ウェイクアップ要因レジスタ（WUF0、WUF20、および WUF_ISO0）のウェイクアップ要因フラグは、ウェイクアップ要因の発生のみを示します。これらのフラグはスタンバイモードから通常動作モードへの遷移を示すものではありません。

制御レジスタビットとステータスレジスタビットへのウェイクアップ要因の割り当てを次の表に示します。

ウェイクアップ制御およびステータスレジスタの詳細は、本章の「**14.2.2.3 WUF0/WUF1/WUF20/WUF_ISO0 ― ウェイクアップ要因レジスタ**」、「**14.2.2.4 WUFMSK0/WUFMSK1/WUFMSK20/WUFMSK_ISO0 ― ウェイクアップ要因マスクレジスタ**」、「**14.2.2.5 WUFC0/WUFC1/WUFC20/WUFC_ISO0 ― ウェイクアップ要因クリアレジスタ**」を参照してください。

表 14.7　ウェイクアップ要因 1 レジスタの割り当て (RH850/F1KH-D8)

ウェイクアップ要因	レジスタビット配置			ユニット	176 Pin	233 Pin	272 Pin	324 Pin
TNMI	WUF0[0]	WUFMSK0[0]	WUFC0[0]	Port	○	○	—	○
WDTA0NMI	WUF0[1]	WUFMSK0[1]	WUFC0[1]	WDTA0	○	○	—	○
INTLVIL	WUF0[2]	WUFMSK0[2]	WUFC0[2]	LVI	○	○	—	○
INTP0	WUF0[5]	WUFMSK0[5]	WUFC0[5]	Port	○	○	—	○
INTP1	WUF0[6]	WUFMSK0[6]	WUFC0[6]	Port	○	○	—	○
INTP2	WUF0[7]	WUFMSK0[7]	WUFC0[7]	Port	○	○	—	○
INTWDTA0	WUF0[8]	WUFMSK0[8]	WUFC0[8]	WDTA0	○	○	—	○
INTP3	WUF0[9]	WUFMSK0[9]	WUFC0[9]	Port	○	○	—	○
INTP4	WUF0[10]	WUFMSK0[10]	WUFC0[10]	Port	○	○	—	○
INTP5	WUF0[11]	WUFMSK0[11]	WUFC0[11]	Port	○	○	—	○
INTP10	WUF0[12]	WUFMSK0[12]	WUFC0[12]	Port	○	○	—	○
INTP11	WUF0[13]	WUFMSK0[13]	WUFC0[13]	Port	○	○	—	○
WUTRG1	WUF0[14]	WUFMSK0[14]	WUFC0[14]	LPS0	○	○	—	○
INTTAUJ0I0	WUF0[15]	WUFMSK0[15]	WUFC0[15]	TAUJ0	○	○	—	○
INTTAUJ0I1	WUF0[16]	WUFMSK0[16]	WUFC0[16]	TAUJ0	○	○	—	○
INTTAUJ0I2	WUF0[17]	WUFMSK0[17]	WUFC0[17]	TAUJ0	○	○	—	○
INTTAUJ0I3	WUF0[18]	WUFMSK0[18]	WUFC0[18]	TAUJ0	○	○	—	○
WUTRG0	WUF0[19]	WUFMSK0[19]	WUFC0[19]	LPS0	○	○	—	○
INTP6	WUF0[20]	WUFMSK0[20]	WUFC0[20]	Port	○	○	—	○
INTP7	WUF0[21]	WUFMSK0[21]	WUFC0[21]	Port	○	○	—	○
INTP8	WUF0[22]	WUFMSK0[22]	WUFC0[22]	Port	○	○	—	○
INTP12	WUF0[23]	WUFMSK0[23]	WUFC0[23]	Port	○	○	—	○
INTP9	WUF0[24]	WUFMSK0[24]	WUFC0[24]	Port	○	○	—	○
INTP13	WUF0[25]	WUFMSK0[25]	WUFC0[25]	Port	○	○	—	○
INTP14	WUF0[26]	WUFMSK0[26]	WUFC0[26]	Port	○	○	—	○
INTP15	WUF0[27]	WUFMSK0[27]	WUFC0[27]	Port	○	○	—	○
INTRTCA01S	WUF0[28]	WUFMSK0[28]	WUFC0[28]	RTCA0	○	○	—	○
INTRTCA0AL	WUF0[29]	WUFMSK0[29]	WUFC0[29]	RTCA0	○	○	—	○
INTRTCA0R	WUF0[30]	WUFMSK0[30]	WUFC0[30]	RTCA0	○	○	—	○
INTDCUTDI	WUF0[31]	WUFMSK0[31]	WUFC0[31]	JTAG	○	○	—	○
INTP16	WUF1[0]	WUFMSK1[0]	WUFC1[0]	Port	○	○	—	○
INTP17	WUF1[1]	WUFMSK1[1]	WUFC1[1]	Port	○	○	—	○
INTP18	WUF1[2]	WUFMSK1[2]	WUFC1[2]	Port	○	○	—	○
INTP19	WUF1[3]	WUFMSK1[3]	WUFC1[3]	Port	○	○	—	○
INTP20	WUF1[4]	WUFMSK1[4]	WUFC1[4]	Port	○	○	—	○
INTP21	WUF1[5]	WUFMSK1[5]	WUFC1[5]	Port	○	○	—	○
INTP22	WUF1[6]	WUFMSK1[6]	WUFC1[6]	Port	○	○	—	○
INTP23	WUF1[7]	WUFMSK1[7]	WUFC1[7]	Port	○	○	—	○
INTTAUJ2I0	WUF1[8]	WUFMSK1[8]	WUFC1[8]	TAUJ2	○	○	—	○
INTTAUJ2I1	WUF1[9]	WUFMSK1[9]	WUFC1[9]	TAUJ2	○	○	—	○
INTTAUJ2I2	WUF1[10]	WUFMSK1[10]	WUFC1[10]	TAUJ2	○	○	—	○
INTTAUJ2I3	WUF1[11]	WUFMSK1[11]	WUFC1[11]	TAUJ2	○	○	—	○
INTKR0	WUF_ISO0[1]	WUFMSK_ISO0[1]	WUFC_ISO0[1]	KR0	○	○	—	○
INTRCANGRECC0	WUF_ISO0[2]	WUFMSK_ISO0[2]	WUFC_ISO0[2]	RCFDC0	○	○	—	○

表 14.7　ウェイクアップ要因 1 レジスタの割り当て (RH850/F1KH-D8)

ウェイクアップ要因	レジスタビット配置			ユニット	176 Pin	233 Pin	272 Pin	324 Pin
INTRCAN0REC	WUF_ISO0[3]	WUFMSK_ISO0[3]	WUFC_ISO0[3]	RCFDC0	○	○	—	○
INTRCAN1REC	WUF_ISO0[4]	WUFMSK_ISO0[4]	WUFC_ISO0[4]	RCFDC0	○	○	—	○
INTRCAN2REC	WUF_ISO0[5]	WUFMSK_ISO0[5]	WUFC_ISO0[5]	RCFDC0	○	○	—	○
INTRCAN3REC	WUF_ISO0[6]	WUFMSK_ISO0[6]	WUFC_ISO0[6]	RCFDC0	○	○	—	○
INTRCAN4REC	WUF_ISO0[7]	WUFMSK_ISO0[7]	WUFC_ISO0[7]	RCFDC0	○	○	—	○
INTRCAN5REC	WUF_ISO0[8]	WUFMSK_ISO0[8]	WUFC_ISO0[8]	RCFDC0	○	○	—	○
INTRCAN6REC	WUF_ISO0[10]	WUFMSK_ISO0[10]	WUFC_ISO0[10]	RCFDC0	○	○	—	○
INTRCAN7REC	WUF_ISO0[11]	WUFMSK_ISO0[11]	WUFC_ISO0[11]	RCFDC0	○	○	—	○
INTRCANGRECC1	WUF_ISO0[12]	WUFMSK_ISO0[12]	WUFC_ISO0[12]	RCFDC1	×	×	—	○
INTRCAN8REC	WUF_ISO0[13]	WUFMSK_ISO0[13]	WUFC_ISO0[13]	RCFDC1	×	×	—	○
INTRCAN9REC	WUF_ISO0[14]	WUFMSK_ISO0[14]	WUFC_ISO0[14]	RCFDC1	×	×	—	○
INTRCAN10REC	WUF_ISO0[15]	WUFMSK_ISO0[15]	WUFC_ISO0[15]	RCFDC1	×	×	—	○
INTRCAN11REC	WUF_ISO0[16]	WUFMSK_ISO0[16]	WUFC_ISO0[16]	RCFDC1	×	×	—	○

表 14.8　　ウェイクアップ要因 1 レジスタの割り当て (RH850/F1KM-S4)

ウェイクアップ要因	レジスタビット配置			ユニット	100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
TNMI	WUF0[0]	WUFMSK0[0]	WUFC0[0]	Port	○	○	○	○	○
WDTA0NMI	WUF0[1]	WUFMSK0[1]	WUFC0[1]	WDTA0	○	○	○	○	○
INTLVIL	WUF0[2]	WUFMSK0[2]	WUFC0[2]	LVI	○	○	○	○	○
INTP0	WUF0[5]	WUFMSK0[5]	WUFC0[5]	Port	○	○	○	○	○
INTP1	WUF0[6]	WUFMSK0[6]	WUFC0[6]	Port	○	○	○	○	○
INTP2	WUF0[7]	WUFMSK0[7]	WUFC0[7]	Port	○	○	○	○	○
INTWDTA0	WUF0[8]	WUFMSK0[8]	WUFC0[8]	WDTA0	○	○	○	○	○
INTP3	WUF0[9]	WUFMSK0[9]	WUFC0[9]	Port	○	○	○	○	○
INTP4	WUF0[10]	WUFMSK0[10]	WUFC0[10]	Port	○	○	○	○	○
INTP5	WUF0[11]	WUFMSK0[11]	WUFC0[11]	Port	○	○	○	○	○
INTP10	WUF0[12]	WUFMSK0[12]	WUFC0[12]	Port	○	○	○	○	○
INTP11	WUF0[13]	WUFMSK0[13]	WUFC0[13]	Port	○	○	○	○	○
WUTRG1	WUF0[14]	WUFMSK0[14]	WUFC0[14]	LPS0	○	○	○	○	○
INTTAUJ0I0	WUF0[15]	WUFMSK0[15]	WUFC0[15]	TAUJ0	○	○	○	○	○
INTTAUJ0I1	WUF0[16]	WUFMSK0[16]	WUFC0[16]	TAUJ0	○	○	○	○	○
INTTAUJ0I2	WUF0[17]	WUFMSK0[17]	WUFC0[17]	TAUJ0	○	○	○	○	○
INTTAUJ0I3	WUF0[18]	WUFMSK0[18]	WUFC0[18]	TAUJ0	○	○	○	○	○
WUTRG0	WUF0[19]	WUFMSK0[19]	WUFC0[19]	LPS0	○	○	○	○	○
INTP6	WUF0[20]	WUFMSK0[20]	WUFC0[20]	Port	○	○	○	○	○
INTP7	WUF0[21]	WUFMSK0[21]	WUFC0[21]	Port	○	○	○	○	○
INTP8	WUF0[22]	WUFMSK0[22]	WUFC0[22]	Port	○	○	○	○	○
INTP12	WUF0[23]	WUFMSK0[23]	WUFC0[23]	Port	○	○	○	○	○
INTP9	WUF0[24]	WUFMSK0[24]	WUFC0[24]	Port	○	○	○	○	○
INTP13	WUF0[25]	WUFMSK0[25]	WUFC0[25]	Port	○	○	○	○	○
INTP14	WUF0[26]	WUFMSK0[26]	WUFC0[26]	Port	×	○	○	○	○
INTP15	WUF0[27]	WUFMSK0[27]	WUFC0[27]	Port	×	○	○	○	○
INTRTCA01S	WUF0[28]	WUFMSK0[28]	WUFC0[28]	RTCA0	○	○	○	○	○
INTRTCA0AL	WUF0[29]	WUFMSK0[29]	WUFC0[29]	RTCA0	○	○	○	○	○
INTRTCA0R	WUF0[30]	WUFMSK0[30]	WUFC0[30]	RTCA0	○	○	○	○	○
INTDCUTDI	WUF0[31]	WUFMSK0[31]	WUFC0[31]	JTAG	○	○	○	○	○
INTP16	WUF1[0]	WUFMSK1[0]	WUFC1[0]	Port	×	○	○	○	○
INTP17	WUF1[1]	WUFMSK1[1]	WUFC1[1]	Port	×	○	○	○	○
INTP18	WUF1[2]	WUFMSK1[2]	WUFC1[2]	Port	×	○	○	○	○
INTP19	WUF1[3]	WUFMSK1[3]	WUFC1[3]	Port	×	○	○	○	○
INTP20	WUF1[4]	WUFMSK1[4]	WUFC1[4]	Port	×	○	○	○	○
INTP21	WUF1[5]	WUFMSK1[5]	WUFC1[5]	Port	×	○	○	○	○
INTP22	WUF1[6]	WUFMSK1[6]	WUFC1[6]	Port	×	○	○	○	○
INTP23	WUF1[7]	WUFMSK1[7]	WUFC1[7]	Port	×	○	○	○	○
INTTAUJ2I0	WUF1[8]	WUFMSK1[8]	WUFC1[8]	TAUJ2	○	○	○	○	○
INTTAUJ2I1	WUF1[9]	WUFMSK1[9]	WUFC1[9]	TAUJ2	○	○	○	○	○
INTTAUJ2I2	WUF1[10]	WUFMSK1[10]	WUFC1[10]	TAUJ2	○	○	○	○	○
INTTAUJ2I3	WUF1[11]	WUFMSK1[11]	WUFC1[11]	TAUJ2	○	○	○	○	○
INTKR0	WUF_ISO0[1]	WUFMSK_ISO0[1]	WUFC_ISO0[1]	KR0	○	○	○	○	○
INTRCANGRECC0	WUF_ISO0[2]	WUFMSK_ISO0[2]	WUFC_ISO0[2]	RCFDC0	○	○	○	○	○

表 14.8　ウェイクアップ要因 1 レジスタの割り当て (RH850/F1KM-S4)

ウェイクアップ要因	レジスタビット配置			ユニット	100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
INTRCAN0REC	WUF_ISO0[3]	WUFMSK_ISO0[3]	WUFC_ISO0[3]	RCFDC0	○	○	○	○	○
INTRCAN1REC	WUF_ISO0[4]	WUFMSK_ISO0[4]	WUFC_ISO0[4]	RCFDC0	○	○	○	○	○
INTRCAN2REC	WUF_ISO0[5]	WUFMSK_ISO0[5]	WUFC_ISO0[5]	RCFDC0	○	○	○	○	○
INTRCAN3REC	WUF_ISO0[6]	WUFMSK_ISO0[6]	WUFC_ISO0[6]	RCFDC0	○	○	○	○	○
INTRCAN4REC	WUF_ISO0[7]	WUFMSK_ISO0[7]	WUFC_ISO0[7]	RCFDC0	○	○	○	○	○
INTRCAN5REC	WUF_ISO0[8]	WUFMSK_ISO0[8]	WUFC_ISO0[8]	RCFDC0	○	○	○	○	○
INTRCAN6REC	WUF_ISO0[10]	WUFMSK_ISO0[10]	WUFC_ISO0[10]	RCFDC0	○	○	○	○	○
INTRCAN7REC	WUF_ISO0[11]	WUFMSK_ISO0[11]	WUFC_ISO0[11]	RCFDC0	○	○	○	○	○

表 14.9　ウェイクアップ要因 1 レジスタの割り当て (RH850/F1KM-S2)

ウェイクアップ要因	レジスタビット配置			ユニット	100 Pin	144 Pin	176 Pin
TNMI	WUF0[0]	WUFMSK0[0]	WUFC0[0]	Port	○	○	○
WDTA0NMI	WUF0[1]	WUFMSK0[1]	WUFC0[1]	WDTA0	○	○	○
INTLVIL	WUF0[2]	WUFMSK0[2]	WUFC0[2]	LVI	○	○	○
INTP0	WUF0[5]	WUFMSK0[5]	WUFC0[5]	Port	○	○	○
INTP1	WUF0[6]	WUFMSK0[6]	WUFC0[6]	Port	○	○	○
INTP2	WUF0[7]	WUFMSK0[7]	WUFC0[7]	Port	○	○	○
INTWDTA0	WUF0[8]	WUFMSK0[8]	WUFC0[8]	WDTA0	○	○	○
INTP3	WUF0[9]	WUFMSK0[9]	WUFC0[9]	Port	○	○	○
INTP4	WUF0[10]	WUFMSK0[10]	WUFC0[10]	Port	○	○	○
INTP5	WUF0[11]	WUFMSK0[11]	WUFC0[11]	Port	○	○	○
INTP10	WUF0[12]	WUFMSK0[12]	WUFC0[12]	Port	○	○	○
INTP11	WUF0[13]	WUFMSK0[13]	WUFC0[13]	Port	○	○	○
WUTRG1	WUF0[14]	WUFMSK0[14]	WUFC0[14]	LPS0	○	○	○
INTTAUJ0I0	WUF0[15]	WUFMSK0[15]	WUFC0[15]	TAUJ0	○	○	○
INTTAUJ0I1	WUF0[16]	WUFMSK0[16]	WUFC0[16]	TAUJ0	○	○	○
INTTAUJ0I2	WUF0[17]	WUFMSK0[17]	WUFC0[17]	TAUJ0	○	○	○
INTTAUJ0I3	WUF0[18]	WUFMSK0[18]	WUFC0[18]	TAUJ0	○	○	○
WUTRG0	WUF0[19]	WUFMSK0[19]	WUFC0[19]	LPS0	○	○	○
INTP6	WUF0[20]	WUFMSK0[20]	WUFC0[20]	Port	○	○	○
INTP7	WUF0[21]	WUFMSK0[21]	WUFC0[21]	Port	○	○	○
INTP8	WUF0[22]	WUFMSK0[22]	WUFC0[22]	Port	○	○	○
INTP12	WUF0[23]	WUFMSK0[23]	WUFC0[23]	Port	○	○	○
INTP9	WUF0[24]	WUFMSK0[24]	WUFC0[24]	Port	○	○	○
INTP13	WUF0[25]	WUFMSK0[25]	WUFC0[25]	Port	○	○	○
INTP14	WUF0[26]	WUFMSK0[26]	WUFC0[26]	Port	×	○	○
INTP15	WUF0[27]	WUFMSK0[27]	WUFC0[27]	Port	×	○	○
INTRTCA01S	WUF0[28]	WUFMSK0[28]	WUFC0[28]	RTCA0	○	○	○
INTRTCA0AL	WUF0[29]	WUFMSK0[29]	WUFC0[29]	RTCA0	○	○	○
INTRTCA0R	WUF0[30]	WUFMSK0[30]	WUFC0[30]	RTCA0	○	○	○
INTDCUTDI	WUF0[31]	WUFMSK0[31]	WUFC0[31]	JTAG	○	○	○
INTP16	WUF1[0]	WUFMSK1[0]	WUFC1[0]	Port	×	○	○
INTP17	WUF1[1]	WUFMSK1[1]	WUFC1[1]	Port	×	○	○
INTP18	WUF1[2]	WUFMSK1[2]	WUFC1[2]	Port	×	○	○
INTP19	WUF1[3]	WUFMSK1[3]	WUFC1[3]	Port	×	○	○
INTP20	WUF1[4]	WUFMSK1[4]	WUFC1[4]	Port	×	○	○
INTP21	WUF1[5]	WUFMSK1[5]	WUFC1[5]	Port	×	○	○
INTP22	WUF1[6]	WUFMSK1[6]	WUFC1[6]	Port	×	○	○
INTP23	WUF1[7]	WUFMSK1[7]	WUFC1[7]	Port	×	○	○
INTTAUJ2I0	WUF1[8]	WUFMSK1[8]	WUFC1[8]	TAUJ2	○	○	○
INTTAUJ2I1	WUF1[9]	WUFMSK1[9]	WUFC1[9]	TAUJ2	○	○	○
INTTAUJ2I2	WUF1[10]	WUFMSK1[10]	WUFC1[10]	TAUJ2	○	○	○
INTTAUJ2I3	WUF1[11]	WUFMSK1[11]	WUFC1[11]	TAUJ2	○	○	○
INTKR0	WUF_ISO0[1]	WUFMSK_ISO0[1]	WUFC_ISO0[1]	KR0	○	○	○
INTRCANGRECC0	WUF_ISO0[2]	WUFMSK_ISO0[2]	WUFC_ISO0[2]	RCFDC0	○	○	○

表 14.9　　ウェイクアップ要因 1 レジスタの割り当て (RH850/F1KM-S2)

ウェイクアップ要因	レジスタビット配置			ユニット	100 Pin	144 Pin	176 Pin
INTRCAN0REC	WUF_ISO0[3]	WUFMSK_ISO0[3]	WUFC_ISO0[3]	RCFDC0	○	○	○
INTRCAN1REC	WUF_ISO0[4]	WUFMSK_ISO0[4]	WUFC_ISO0[4]	RCFDC0	○	○	○
INTRCAN2REC	WUF_ISO0[5]	WUFMSK_ISO0[5]	WUFC_ISO0[5]	RCFDC0	○	○	○
INTRCAN3REC	WUF_ISO0[6]	WUFMSK_ISO0[6]	WUFC_ISO0[6]	RCFDC0	○	○	○
INTRCAN4REC	WUF_ISO0[7]	WUFMSK_ISO0[7]	WUFC_ISO0[7]	RCFDC0	○	○	○
INTRCAN5REC	WUF_ISO0[8]	WUFMSK_ISO0[8]	WUFC_ISO0[8]	RCFDC0	○	○	○
INTRCAN6REC	WUF_ISO0[10]	WUFMSK_ISO0[10]	WUFC_ISO0[10]	RCFDC0	○	○	○
INTRCAN7REC	WUF_ISO0[11]	WUFMSK_ISO0[11]	WUFC_ISO0[11]	RCFDC0	○	○	○

表 14.10　ウェイクアップ要因 1 レジスタの割り当て (RH850/F1KM-S1)

ウェイクアップ要因	レジスタビット配置			ユニット	48 Pin	64 Pin	80 Pin	100 Pin
TNMI	WUF0[0]	WUFMSK0[0]	WUFC0[0]	Port	○	○	○	○
WDTA0NMI	WUF0[1]	WUFMSK0[1]	WUFC0[1]	WDTA0	○	○	○	○
INTLVIL	WUF0[2]	WUFMSK0[2]	WUFC0[2]	LVI	○	○	○	○
INTP0	WUF0[5]	WUFMSK0[5]	WUFC0[5]	Port	○	○	○	○
INTP1	WUF0[6]	WUFMSK0[6]	WUFC0[6]	Port	○	○	○	○
INTP2	WUF0[7]	WUFMSK0[7]	WUFC0[7]	Port	○	○	○	○
INTWDTA0	WUF0[8]	WUFMSK0[8]	WUFC0[8]	WDTA0	○	○	○	○
INTP3	WUF0[9]	WUFMSK0[9]	WUFC0[9]	Port	○	○	○	○
INTP4	WUF0[10]	WUFMSK0[10]	WUFC0[10]	Port	○	○	○	○
INTP5	WUF0[11]	WUFMSK0[11]	WUFC0[11]	Port	○	○	○	○
INTP10	WUF0[12]	WUFMSK0[12]	WUFC0[12]	Port	○	○	○	○
INTP11	WUF0[13]	WUFMSK0[13]	WUFC0[13]	Port	○	○	○	○
WUTRG1	WUF0[14]	WUFMSK0[14]	WUFC0[14]	LPS0	○	○	○	○
INTTAUJ0I0	WUF0[15]	WUFMSK0[15]	WUFC0[15]	TAUJ0	○	○	○	○
INTTAUJ0I1	WUF0[16]	WUFMSK0[16]	WUFC0[16]	TAUJ0	○	○	○	○
INTTAUJ0I2	WUF0[17]	WUFMSK0[17]	WUFC0[17]	TAUJ0	○	○	○	○
INTTAUJ0I3	WUF0[18]	WUFMSK0[18]	WUFC0[18]	TAUJ0	○	○	○	○
WUTRG0	WUF0[19]	WUFMSK0[19]	WUFC0[19]	LPS0	○	○	○	○
INTP6	WUF0[20]	WUFMSK0[20]	WUFC0[20]	Port	×	×	○	○
INTP7	WUF0[21]	WUFMSK0[21]	WUFC0[21]	Port	×	×	○	○
INTP8	WUF0[22]	WUFMSK0[22]	WUFC0[22]	Port	×	×	○	○
INTP12	WUF0[23]	WUFMSK0[23]	WUFC0[23]	Port	×	×	○	○
INTP13	WUF0[25]	WUFMSK0[25]	WUFC0[25]	Port	×	×	×	○
INTRTCA01S	WUF0[28]	WUFMSK0[28]	WUFC0[28]	RTCA0	○	○	○	○
INTRTCA0AL	WUF0[29]	WUFMSK0[29]	WUFC0[29]	RTCA0	○	○	○	○
INTRTCA0R	WUF0[30]	WUFMSK0[30]	WUFC0[30]	RTCA0	○	○	○	○
INTDCUTDI	WUF0[31]	WUFMSK0[31]	WUFC0[31]	JTAG	○	○	○	○
INTTAUJ2I0	WUF1[8]	WUFMSK1[8]	WUFC1[8]	TAUJ2	○	○	○	○
INTTAUJ2I1	WUF1[9]	WUFMSK1[9]	WUFC1[9]	TAUJ2	○	○	○	○
INTTAUJ2I2	WUF1[10]	WUFMSK1[10]	WUFC1[10]	TAUJ2	○	○	○	○
INTTAUJ2I3	WUF1[11]	WUFMSK1[11]	WUFC1[11]	TAUJ2	○	○	○	○
INTKR0	WUF_ISO0[1]	WUFMSK_ISO0[1]	WUFC_ISO0[1]	KR0	○	○	○	○
INTRCANGRECC0	WUF_ISO0[2]	WUFMSK_ISO0[2]	WUFC_ISO0[2]	RCFDC0	○	○	○	○
INTRCAN0REC	WUF_ISO0[3]	WUFMSK_ISO0[3]	WUFC_ISO0[3]	RCFDC0	○	○	○	○
INTRCAN1REC	WUF_ISO0[4]	WUFMSK_ISO0[4]	WUFC_ISO0[4]	RCFDC0	×	○	○	○
INTRCAN2REC	WUF_ISO0[5]	WUFMSK_ISO0[5]	WUFC_ISO0[5]	RCFDC0	×	○	○	○
INTRCAN3REC	WUF_ISO0[6]	WUFMSK_ISO0[6]	WUFC_ISO0[6]	RCFDC0	×	×	×	○
INTRCAN4REC	WUF_ISO0[7]	WUFMSK_ISO0[7]	WUFC_ISO0[7]	RCFDC0	×	×	×	○
INTRCAN5REC	WUF_ISO0[8]	WUFMSK_ISO0[8]	WUFC_ISO0[8]	RCFDC0	×	×	×	○

表 14.11　ウェイクアップ要因 2 レジスタの割り当て (RH850/F1KH-D8)

ウェイクアップ要因	レジスタビット配置			ユニット	176 Pin	233 Pin	272 Pin	324 Pin
INTADCA0I0	WUF20[0]	WUFMSK20[0]	WUFC20[0]	ADCA0	○	○	—	○
INTADCA0I1	WUF20[1]	WUFMSK20[1]	WUFC20[1]	ADCA0	○	○	—	○
INTADCA0I2	WUF20[2]	WUFMSK20[2]	WUFC20[2]	ADCA0	○	○	—	○
INTRLIN30	WUF20[3]	WUFMSK20[3]	WUFC20[3]	RLIN30	○	○	—	○
INTTAUJ0I0	WUF20[4]	WUFMSK20[4]	WUFC20[4]	TAUJ0	○	○	—	○
INTTAUJ0I1	WUF20[5]	WUFMSK20[5]	WUFC20[5]	TAUJ0	○	○	—	○
INTTAUJ0I2	WUF20[6]	WUFMSK20[6]	WUFC20[6]	TAUJ0	○	○	—	○
INTTAUJ0I3	WUF20[7]	WUFMSK20[7]	WUFC20[7]	TAUJ0	○	○	—	○
INTRLIN31	WUF20[8]	WUFMSK20[8]	WUFC20[8]	RLIN31	○	○	—	○
INTRLIN32	WUF20[9]	WUFMSK20[9]	WUFC20[9]	RLIN32	○	○	—	○
INTRTCA01S	WUF20[10]	WUFMSK20[10]	WUFC20[10]	RTCA0	○	○	—	○
INTRTCA0AL	WUF20[11]	WUFMSK20[11]	WUFC20[11]	RTCA0	○	○	—	○
INTRTCA0R	WUF20[12]	WUFMSK20[12]	WUFC20[12]	RTCA0	○	○	—	○
INTRLIN33	WUF20[13]	WUFMSK20[13]	WUFC20[13]	RLIN33	○	○	—	○
INTRLIN34	WUF20[14]	WUFMSK20[14]	WUFC20[14]	RLIN34	○	○	—	○
INTRLIN35	WUF20[15]	WUFMSK20[15]	WUFC20[15]	RLIN35	○	○	—	○
INTRLIN36	WUF20[16]	WUFMSK20[16]	WUFC20[16]	RLIN36	○	○	—	○
INTRLIN37	WUF20[17]	WUFMSK20[17]	WUFC20[17]	RLIN37	○	○	—	○
INTTAUJ2I0	WUF20[18]	WUFMSK20[18]	WUFC20[18]	TAUJ2	○	○	—	○
INTTAUJ2I1	WUF20[19]	WUFMSK20[19]	WUFC20[19]	TAUJ2	○	○	—	○
INTTAUJ2I2	WUF20[20]	WUFMSK20[20]	WUFC20[20]	TAUJ2	○	○	—	○
INTTAUJ2I3	WUF20[21]	WUFMSK20[21]	WUFC20[21]	TAUJ2	○	○	—	○

表 14.12　ウェイクアップ要因 2 レジスタの割り当て（RH850/F1KM-S4)

ウェイクアップ要因	レジスタビット配置			ユニット	100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
INTADCA0I0	WUF20[0]	WUFMSK20[0]	WUFC20[0]	ADCA0	○	○	○	○	○
INTADCA0I1	WUF20[1]	WUFMSK20[1]	WUFC20[1]	ADCA0	○	○	○	○	○
INTADCA0I2	WUF20[2]	WUFMSK20[2]	WUFC20[2]	ADCA0	○	○	○	○	○
INTRLIN30	WUF20[3]	WUFMSK20[3]	WUFC20[3]	RLIN30	○	○	○	○	○
INTTAUJ0I0	WUF20[4]	WUFMSK20[4]	WUFC20[4]	TAUJ0	○	○	○	○	○
INTTAUJ0I1	WUF20[5]	WUFMSK20[5]	WUFC20[5]	TAUJ0	○	○	○	○	○
INTTAUJ0I2	WUF20[6]	WUFMSK20[6]	WUFC20[6]	TAUJ0	○	○	○	○	○
INTTAUJ0I3	WUF20[7]	WUFMSK20[7]	WUFC20[7]	TAUJ0	○	○	○	○	○
INTRLIN31	WUF20[8]	WUFMSK20[8]	WUFC20[8]	RLIN31	○	○	○	○	○
INTRLIN32	WUF20[9]	WUFMSK20[9]	WUFC20[9]	RLIN32	○	○	○	○	○
INTRTCA01S	WUF20[10]	WUFMSK20[10]	WUFC20[10]	RTCA0	○	○	○	○	○
INTRTCA0AL	WUF20[11]	WUFMSK20[11]	WUFC20[11]	RTCA0	○	○	○	○	○
INTRTCA0R	WUF20[12]	WUFMSK20[12]	WUFC20[12]	RTCA0	○	○	○	○	○
INTRLIN33	WUF20[13]	WUFMSK20[13]	WUFC20[13]	RLIN33	×	○	○	○	○
INTRLIN34	WUF20[14]	WUFMSK20[14]	WUFC20[14]	RLIN34	×	○	○	○	○
INTRLIN35	WUF20[15]	WUFMSK20[15]	WUFC20[15]	RLIN35	×	○	○	○	○
INTRLIN36	WUF20[16]	WUFMSK20[16]	WUFC20[16]	RLIN36	×	×	○	○	○
INTRLIN37	WUF20[17]	WUFMSK20[17]	WUFC20[17]	RLIN37	×	×	○	○	○
INTTAUJ2I0	WUF20[18]	WUFMSK20[18]	WUFC20[18]	TAUJ2	○	○	○	○	○
INTTAUJ2I1	WUF20[19]	WUFMSK20[19]	WUFC20[19]	TAUJ2	○	○	○	○	○
INTTAUJ2I2	WUF20[20]	WUFMSK20[20]	WUFC20[20]	TAUJ2	○	○	○	○	○
INTTAUJ2I3	WUF20[21]	WUFMSK20[21]	WUFC20[21]	TAUJ2	○	○	○	○	○

表 14.13　ウェイクアップ要因 2 レジスタの割り当て (RH850/F1KM-S2)

ウェイクアップ要因	レジスタビット配置			ユニット	100 Pin	144 Pin	176 Pin
INTADCA0I0	WUF20[0]	WUFMSK20[0]	WUFC20[0]	ADCA0	○	○	○
INTADCA0I1	WUF20[1]	WUFMSK20[1]	WUFC20[1]	ADCA0	○	○	○
INTADCA0I2	WUF20[2]	WUFMSK20[2]	WUFC20[2]	ADCA0	○	○	○
INTRLIN30	WUF20[3]	WUFMSK20[3]	WUFC20[3]	RLIN30	○	○	○
INTTAUJ0I0	WUF20[4]	WUFMSK20[4]	WUFC20[4]	TAUJ0	○	○	○
INTTAUJ0I1	WUF20[5]	WUFMSK20[5]	WUFC20[5]	TAUJ0	○	○	○
INTTAUJ0I2	WUF20[6]	WUFMSK20[6]	WUFC20[6]	TAUJ0	○	○	○
INTTAUJ0I3	WUF20[7]	WUFMSK20[7]	WUFC20[7]	TAUJ0	○	○	○
INTRLIN31	WUF20[8]	WUFMSK20[8]	WUFC20[8]	RLIN31	○	○	○
INTRLIN32	WUF20[9]	WUFMSK20[9]	WUFC20[9]	RLIN32	○	○	○
INTRTCA01S	WUF20[10]	WUFMSK20[10]	WUFC20[10]	RTCA0	○	○	○
INTRTCA0AL	WUF20[11]	WUFMSK20[11]	WUFC20[11]	RTCA0	○	○	○
INTRTCA0R	WUF20[12]	WUFMSK20[12]	WUFC20[12]	RTCA0	○	○	○
INTRLIN33	WUF20[13]	WUFMSK20[13]	WUFC20[13]	RLIN33	×	○	○
INTRLIN34	WUF20[14]	WUFMSK20[14]	WUFC20[14]	RLIN34	×	○	○
INTRLIN35	WUF20[15]	WUFMSK20[15]	WUFC20[15]	RLIN35	×	○	○
INTRLIN36	WUF20[16]	WUFMSK20[16]	WUFC20[16]	RLIN36	×	×	○
INTRLIN37	WUF20[17]	WUFMSK20[17]	WUFC20[17]	RLIN37	×	×	○
INTTAUJ2I0	WUF20[18]	WUFMSK20[18]	WUFC20[18]	TAUJ2	○	○	○
INTTAUJ2I1	WUF20[19]	WUFMSK20[19]	WUFC20[19]	TAUJ2	○	○	○
INTTAUJ2I2	WUF20[20]	WUFMSK20[20]	WUFC20[20]	TAUJ2	○	○	○
INTTAUJ2I3	WUF20[21]	WUFMSK20[21]	WUFC20[21]	TAUJ2	○	○	○

表 14.14　ウェイクアップ要因 2 レジスタの割り当て (RH850/F1KM-S1)

ウェイクアップ要因	レジスタビット配置			ユニット	48 Pin	64 Pin	80 Pin	100 Pin
INTADCA0I0	WUF20[0]	WUFMSK20[0]	WUFC20[0]	ADCA0	○	○	○	○
INTADCA0I1	WUF20[1]	WUFMSK20[1]	WUFC20[1]	ADCA0	○	○	○	○
INTADCA0I2	WUF20[2]	WUFMSK20[2]	WUFC20[2]	ADCA0	○	○	○	○
INTRLIN30	WUF20[3]	WUFMSK20[3]	WUFC20[3]	RLIN30	○	○	○	○
INTTAUJ0I0	WUF20[4]	WUFMSK20[4]	WUFC20[4]	TAUJ0	○	○	○	○
INTTAUJ0I1	WUF20[5]	WUFMSK20[5]	WUFC20[5]	TAUJ0	○	○	○	○
INTTAUJ0I2	WUF20[6]	WUFMSK20[6]	WUFC20[6]	TAUJ0	○	○	○	○
INTTAUJ0I3	WUF20[7]	WUFMSK20[7]	WUFC20[7]	TAUJ0	○	○	○	○
INTRLIN31	WUF20[8]	WUFMSK20[8]	WUFC20[8]	RLIN31	×	○	○	○
INTRLIN32	WUF20[9]	WUFMSK20[9]	WUFC20[9]	RLIN32	×	×	○	○
INTRTCA01S	WUF20[10]	WUFMSK20[10]	WUFC20[10]	RTCA0	○	○	○	○
INTRTCA0AL	WUF20[11]	WUFMSK20[11]	WUFC20[11]	RTCA0	○	○	○	○
INTRTCA0R	WUF20[12]	WUFMSK20[12]	WUFC20[12]	RTCA0	○	○	○	○
INTRLIN33	WUF20[13]	WUFMSK20[13]	WUFC20[13]	RLIN33	×	×	×	○
INTTAUJ2I0	WUF20[18]	WUFMSK20[18]	WUFC20[18]	TAUJ2	○	○	○	○
INTTAUJ2I1	WUF20[19]	WUFMSK20[19]	WUFC20[19]	TAUJ2	○	○	○	○
INTTAUJ2I2	WUF20[20]	WUFMSK20[20]	WUFC20[20]	TAUJ2	○	○	○	○
INTTAUJ2I3	WUF20[21]	WUFMSK20[21]	WUFC20[21]	TAUJ2	○	○	○	○

14.1.3 オンチップデバッグウェイクアップ

以下の場合、オンチップデバッグユニット（OCD）は、マイクロコントローラがアプリケーションプログラムを実行するときにウェイクアップイベントを生成します。

- デバッガが停止要求を発行した場合
- ブレークポイントに達した場合

いずれの場合も、WUFMSK0 レジスタを使用して OCD デバッグイベントが有効に設定されている場合は、すべてのスタンバイモードから復帰します。

注　意

OCD ウェイクアップイベントが無効な場合、オンチップデバッガの要求信号による復帰はできません。

以下の設定で OCD ウェイクアップイベントを有効にすることができます。

WUFMSK0[31]＝0

Hot plug-in 機能を使用する場合は、必ず OCD ウェイクアップイベントを有効にし、INTDCUTDI 割り込みを用いてスタンバイモードから復帰してください。

14.1.4　入出力バッファ制御

この節では、さまざまなスタンバイモードでの入出力バッファの動作について説明します。

Isolated エリア（ISO エリア）にあるポートグループは入出力バッファホールドをサポートしています。Always-On エリア（AWO エリア）でのポートグループは、スタンバイモードに入る前の状態のままです。Isolated エリア（ISO エリア）や Always-On エリア（AWO エリア）に割り当てられるポートグループについては、「**第 10A 章 電源とパワードメイン (RH850/F1KH-D8)**」、「**第 10B 章 電源とパワードメイン (RH850/F1KM-S4, RH850/F1KM-S2)**」、「**第 10C 章 電源とパワードメイン (RH850/F1KM-S1)**」を参照してください。

14.1.4.1　入出力バッファホールド状態

入出力バッファホールド状態の間、入出力バッファは入出力バッファホールド状態に入る前の状態を保持します。したがって、内部信号および外部信号は入出力バッファホールド状態が終了するまでその状態を変更することができません。

14.1.4.2　STOP モード時の入出力バッファ

STOP モード時の領域の入出力バッファは、STOP モードに入る前の状態を継続します（入出力バッファホールド状態に入りません）。

14.1.4.3　DeepSTOP モード時の入出力バッファ

DeepSTOP モード時、Isolated エリア（ISO エリア）にあるポートグループの入出力バッファは、入出力バッファホールド状態になります。

DeepSTOP からウェイクアップした後、ソフトウェアで状態を解除するまで入出力バッファホールド状態は継続します。以下手順で入出力バッファホールド状態の解除を行ってください。

1. 周辺機能やポート機能の再設定
2. IOHOLD.IOHOLD＝0 に設定

スタンバイモードおよびウェイクアップ後の Isolated エリア（ISO エリア）にある入出力バッファの状態を以下表に示します。

表 14.15　スタンバイモード時とウェイクアップ後のバッファの動作
（Isolated エリア（ISO エリア）の入出力バッファ）

	スタンバイ前	スタンバイ中	ウェイクアップ後
STOP モード	通常動作		
DeepSTOP モード	通常動作	入出力バッファホールド状態	入出力バッファホールド状態注1

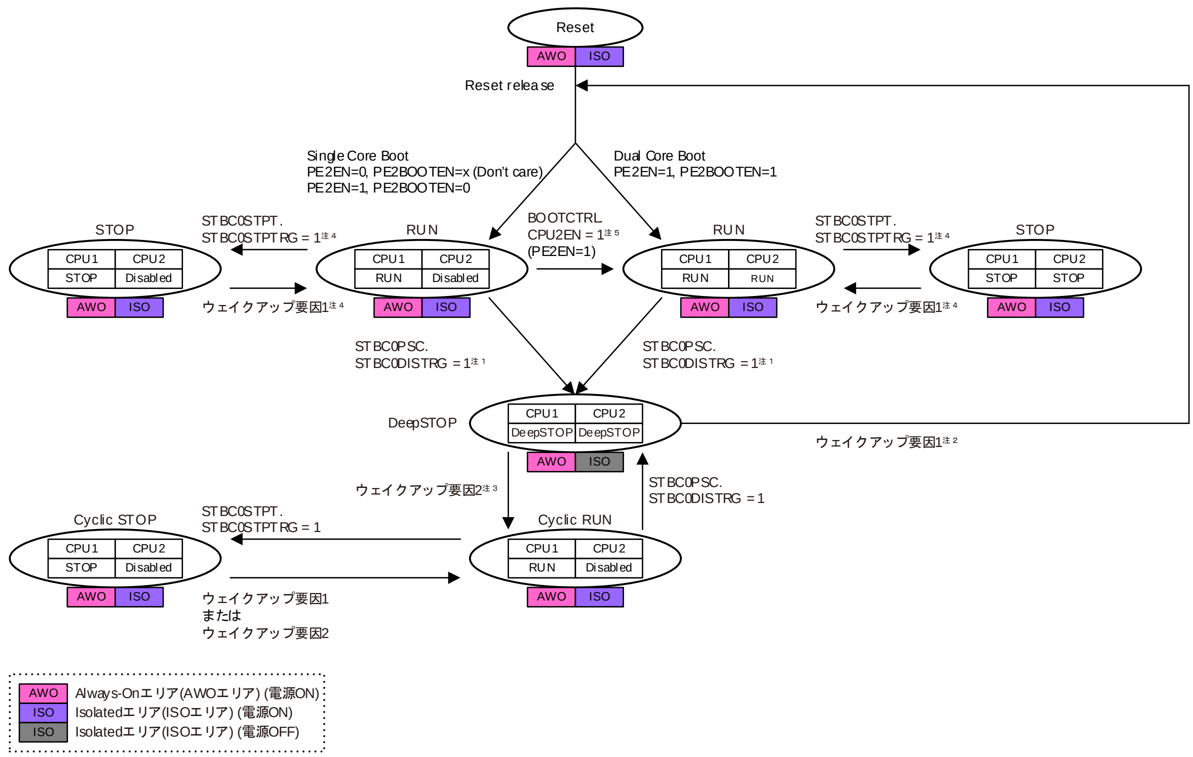
注1.　IOHOLD.IOHOLD ビットに“0”を設定し、入出力バッファホールド状態を解除してください。

Always-On エリア（AWO エリア）のポートグループは、入出力バッファホールド状態をサポートしておらず、DeepSTOP モードに遷移する前の状態のままになります。

Isolated エリア（ISO エリア）のモジュールの兼用機能が Always-On エリア（AWO エリア）内の端子に割り当てられる場合は、ISORES による Isolated エリア（ISO エリア）のモジュールの初期化によって、入出力バッファの状態が DeepSTOP 遷移中に変更される可能性があるので、DeepSTOP に遷移する前に、Always-On エリア（AWO エリア）のモジュールの機能（例えば、ポートモード）を変更することを推奨します。

14.1.5　スタンバイモードの遷移

RUN モードとスタンバイモードの遷移を次の図に示します。



備考　CKSC_AWDTAD_STPM レジスタの AWDTADSTPMSK ビットを 1 に設定することで、スタンバイモードからの復帰時間を短縮できます。

注1.　CPU クロックソースには、PLL クロック以外を設定してください。

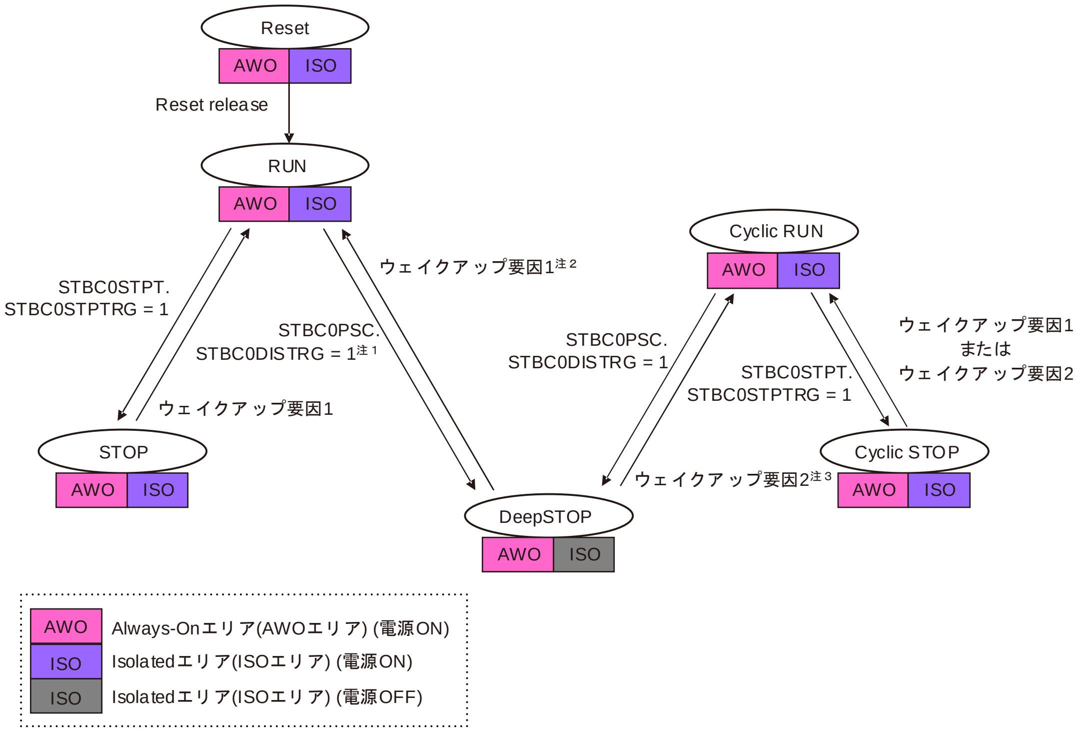
注2.　DeepSTOP から RUN に復帰する場合は、ISO 周辺機能レジスタの再設定が必要となります。
CPU1/CPU2 はコードフラッシュ上のリセットアドレスから動作を開始します。

注3.　CPU1 はリテンション RAM 上のリセットアドレスから動作を開始します。

注4.　「**12AB.5.5　STOP モードでの CPUCLK 設定方法**」の手順に従ってクロックを設定してください。

注5.　BOOTCTRL レジスタの詳細は、「**3A.4　CPU2 ブート動作**」を参照してください。

図 14.1　　スタンバイモードの遷移 (RH850/F1KH-D8)



備考　CKSC_AWDTAD_STPM レジスタの AWDTADSTPMSK ビットを 1 に設定することで、スタンバイモードからの復帰時間を短縮できます。

注1.　CPU クロックソースには、PLL クロック以外を設定してください。

注2.　DeepSTOP から RUN に復帰する場合は、ISO 周辺機能レジスタの再設定が必要となります。
CPU はコードフラッシュ上のリセットアドレスから動作を開始します。

注3.　CPU はリテンション RAM 上のリセットアドレスから動作を開始します。

図 14.2　スタンバイモードの遷移 (RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

14.1.6　クロック供給

スタンバイコントローラのクロック供給を以下の表に示します。

表 14.16　クロック供給 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	ユニットクロック名	供給クロック名
スタンバイコントローラ	レジスタアクセスクロック	CPUCLK_L, EMCLK

14.2　レジスタ

14.2.1　レジスター覧

STBC のレジスター覧を以下の表に示します。

表 14.17　レジスター覧

モジュール名	レジスタ名	略号	アドレス
STBC0	パワーセーブ制御レジスタ	STBC0PSC	FFF8 0100$_H$
	パワー停止トリガレジスタ	STBC0STPT	FFF8 0110$_H$
STBC_WUF0	ウェイクアップ要因レジスタ	WUF0	FFF8 0400$_H$
STBC_WUF1		WUF1	FFF8 0410$_H$
STBC_WUF20		WUF20	FFF8 0520$_H$
STBC_WUFISO		WUF_ISO0	FFF8 8110$_H$
STBC_WUF0	ウェイクアップ要因マスクレジスタ	WUFMSK0	FFF8 0404$_H$
STBC_WUF1		WUFMSK1	FFF8 0414$_H$
STBC_WUF20		WUFMSK20	FFF8 0524$_H$
STBC_WUFISO		WUFMSK_ISO0	FFF8 8114$_H$
STBC_WUF0	ウェイクアップ要因クリアレジスタ	WUFC0	FFF8 0408$_H$
STBC_WUF1		WUFC1	FFF8 0418$_H$
STBC_WUF20		WUFC20	FFF8 0528$_H$
STBC_WUFISO		WUFC_ISO0	FFF8 8118$_H$
STBC_IOHOLD	入出力バッファホールド制御レジスタ	IOHOLD	FFF8 0B00$_H$

14.2.2　スタンバイコントローラ制御レジスタの詳細

14.2.2.1　STBC0PSC — パワーセーブ制御レジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタは DeepSTOP モードへの遷移以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 0100$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STBC0DISTRG	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R

表 14.18　STBC0PSC レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1	STBC0DISTRG	0：“0”書き込みは機能として意味をもちません 1：DeepSTOP モードに入る このビットは、DeepSTOP モードに遷移する際に自動的にクリアされます。
0	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。

14.2.2.2　STBC0STPT — パワー停止トリガレジスタ

このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタは DeepSTOP モードへの遷移以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 0110H

リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STBC0STPTRG
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 14.19　STBC0STPT レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
0	STBC0STPTRG	0：“0”書き込みは機能として意味をもちません 1：STOP モードに入る – RUN モード時：STOP モードに遷移 – Cyclic RUN モード時：Cyclic STOP モードに遷移 このビットは STOP / Cyclic STOP モードに遷移する際に自動的にクリアされます。

14.2.2.3 WUF0/WUF1/WUF20/WUF_ISO0 ― ウェイクアップ要因レジスタ

これらのレジスタはウェイクアップ要因が発生したことを示します。

WUF0/WUF1/WUF20 レジスタは DeepSTOP モードへの遷移以外のすべてのリセット要因（AWORES）で初期化されます。

WUF_ISO0 レジスタはすべてのリセット要因（ISORES）で初期化されます。

アクセス	32 ビット単位でリードのみ可能です。
アドレス	WUF0：FFF8 0400_H
	WUF1：FFF8 0410_H
	WUF20：FFF8 0520_H
	WUF_ISO0：FFF8 8110_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	WUF31	WUF30	WUF29	WUF28	WUF27	WUF26	WUF25	WUF24	WUF23	WUF22	WUF21	WUF20	WUF19	WUF18	WUF17	WUF16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WUF15	WUF14	WUF13	WUF12	WUF11	WUF10	WUF09	WUF08	WUF07	WUF06	WUF05	WUF04	WUF03	WUF02	WUF01	WUF00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 14.20 WUF0/WUF1/WUF20/WUF_ISO0 レジスタの内容

ビット位置	ビット名	機能
31～0	WUFy	ウェイクアップ要因の発生を示します。 0：ウェイクアップ要因未発生 1：ウェイクアップ要因発生

備　考

ウェイクアップ要因マスクレジスタの WUFMSKy ビットが 1 の場合は、ウェイクアップ要因が発生しても WUFy は 1 になりません。

ウェイクアップ要因

ウェイクアップ要因レジスタビットへのウェイクアップ要因の割り当てについては、「**表 14.7 ウェイクアップ要因 1 レジスタの割り当て (RH850/F1KH-D8)**」、「**表 14.8 ウェイクアップ要因 1 レジスタの割り当て (RH850/F1KM-S4)**」、「**表 14.9 ウェイクアップ要因 1 レジスタの割り当て (RH850/F1KM-S2)**」、「**表 14.10 ウェイクアップ要因 1 レジスタの割り当て (RH850/F1KM-S1)**」、「**表 14.11 ウェイクアップ要因 2 レジスタの割り当て (RH850/F1KH-D8)**」、「**表 14.12 ウェイクアップ要因 2 レジスタの割り当て (RH850/F1KM-S4)**」、「**表 14.13 ウェイクアップ要因 2 レジスタの割り当て (RH850/F1KM-S2)**」および「**表 14.14 ウェイクアップ要因 2 レジスタの割り当て (RH850/F1KM-S1)**」を参照してください。

ウェイクアップ要因が割り当てられていないビットを読み出した場合、その値は“0”です。

14.2.2.4　WUFMSK0/WUFMSK1/WUFMSK20/WUFMSK_ISO0 ― ウェイクアップ要因マスクレジスタ

ウェイクアップ要因を有効にします。

WUFMSK0/WUFMSK1/WUFMSK20 レジスタは DeepSTOP モードへの遷移以外のすべてのリセット要因（AWORES）で初期化されます。

WUFMSK_ISO0 レジスタはすべてのリセット要因（ISORES）で初期化されます。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	WUFMSK0：FFF8 0404H WUFMSK1：FFF8 0414H WUFMSK20：FFF8 0524H WUFMSK_ISO0：FFF8 8114H
リセット後の値	WUFMSK0：FFFF FFFFH WUFMSK1：FFFF FFFFH WUFMSK20：FFFF FFFFH WUFMSK_ISO0：FFFF FFFFH

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	WUFMSK31	WUFMSK30	WUFMSK29	WUFMSK28	WUFMSK27	WUFMSK26	WUFMSK25	WUFMSK24	WUFMSK23	WUFMSK22	WUFMSK21	WUFMSK20	WUFMSK19	WUFMSK18	WUFMSK17	WUFMSK16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WUFMSK15	WUFMSK14	WUFMSK13	WUFMSK12	WUFMSK11	WUFMSK10	WUFMSK09	WUFMSK08	WUFMSK07	WUFMSK06	WUFMSK05	WUFMSK04	WUFMSK03	WUFMSK02	WUFMSK01	WUFMSK00
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 14.21　WUFMSK0/WUFMSK1/WUFMSK20/WUFMSK_ISO0 レジスタの内容

ビット位置	ビット名	機能
31～0	WUFMSKy	ウェイクアップ要因の有効／無効設定 0：ウェイクアップ要因有効 1：ウェイクアップ要因無効

備　考

WUFMSKy ビットが 1 の場合は、ウェイクアップ要因が発生してもウェイクアップ要因レジスタの WUFy は 1 になりません。

ウェイクアップ要因

ウェイクアップ要因レジスタビットへのウェイクアップ要因の割り当てについては、「**表 14.7 ウェイクアップ要因 1 レジスタの割り当て (RH850/F1KH-D8)**」、「**表 14.8 ウェイクアップ要因 1 レジスタの割り当て (RH850/F1KM-S4)**」、「**表 14.9 ウェイクアップ要因 1 レジスタの割り当て (RH850/F1KM-S2)**」、「**表 14.10 ウェイクアップ要因 1 レジスタの割り当て (RH850/F1KM-S1)**」、「**表 14.11 ウェイクアップ要因 2 レジスタの割り当て (RH850/F1KH-D8)**」、「**表 14.12 ウェイクアップ要因 2 レジスタの割り当て (RH850/F1KM-S4)**」、「**表 14.13 ウェイクアップ要因 2 レジスタの割り当て (RH850/F1KM-S2)**」および「**表 14.14 ウェイクアップ要因 2 レジスタの割り当て (RH850/F1KM-S1)**」を参照してください。

本レジスタへ書き込む場合、ウェイクアップ要因が割り当てられていないビットへは、“1”を書き込みしてください。

14.2.2.5　WUFC0/WUFC1/WUFC20/WUFC_ISO0 — ウェイクアップ要因クリアレジスタ

ウェイクアップ要因レジスタの WUFy ビットをクリアします。

アクセス　32 ビット単位でライトのみ可能です。

アドレス　WUFC0：FFF8 0408_H
WUFC1：FFF8 0418_H
WUFC20：FFF8 0528_H
WUFC_ISO0：FFF8 8118_H

リセット後の値　不定

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	WUFC 31	WUFC 30	WUFC 29	WUFC 28	WUFC 27	WUFC 26	WUFC 25	WUFC 24	WUFC 23	WUFC 22	WUFC 21	WUFC 20	WUFC 19	WUFC 18	WUFC 17	WUFC 16
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WUFC 15	WUFC 14	WUFC 13	WUFC 12	WUFC 11	WUFC 10	WUFC 09	WUFC 08	WUFC 07	WUFC 06	WUFC 05	WUFC 04	WUFC 03	WUFC 02	WUFC 01	WUFC 00
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 14.22　WUFC0/WUFC1/WUFC20/WUFC_ISO0 レジスタの内容

ビット位置	ビット名	機能
31～0	WUFCy	ウェイクアップ要因レジスタのウェイクアップ要因 WUFy のクリア 0：WUFy は変更なし 1：WUFy をクリア

ウェイクアップ要因

ウェイクアップ要因レジスタビットへのウェイクアップ要因の割り当てについては、「**表 14.7 ウェイクアップ要因 1 レジスタの割り当て (RH850/F1KH-D8)**」、「**表 14.8 ウェイクアップ要因 1 レジスタの割り当て (RH850/F1KM-S4)**」、「**表 14.9 ウェイクアップ要因 1 レジスタの割り当て (RH850/F1KM-S2)**」、「**表 14.10 ウェイクアップ要因 1 レジスタの割り当て (RH850/F1KM-S1)**」、「**表 14.11 ウェイクアップ要因 2 レジスタの割り当て (RH850/F1KH-D8)**」、「**表 14.12 ウェイクアップ要因 2 レジスタの割り当て (RH850/F1KM-S4)**」、「**表 14.13 ウェイクアップ要因 2 レジスタの割り当て (RH850/F1KM-S2)**」および「**表 14.14 ウェイクアップ要因 2 レジスタの割り当て (RH850/F1KM-S1)**」を参照してください。

本レジスタへ書き込む場合、ウェイクアップ要因が割り当てられていないビットへは、“0”を書き込みしてください。

14.2.2.6　IOHOLD ― 入出力バッファホールド制御レジスタ

DeepSTOP モード時の入出力バッファのホールド状態を設定します。このレジスタを更新するためには、PROTCMD0 レジスタを使った正しい書き込みシーケンスが必要です。詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

このレジスタは DeepSTOP モードへの遷移以外のすべてのリセット要因（AWORES）で初期化されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　FFF8 0B00$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IOHOLD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 14.23　IOHOLD レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
0	IOHOLD	0：入出力ホールド解除 1：入出力ホールド状態 このビットは DeepSTOP モード遷移時に自動的に 1 にセットされます。ソフトウェアにより 1 を設定することは禁止です。ウェイクアップ後に入出力ホールドを解除するときは、ソフトウェアにより 0 を設定してください。

14.3　モード遷移

本節では、モード遷移の手順を説明します。

注　意

スタンバイモードへの移行は、CPU1 によって行われます。CPU1 がスタンバイモードに移行すると、CPU2 もスタンバイモードに移行します。

14.3.1　STOP モード

STOP モードでは、ほとんどの Always-On エリア（AWO エリア）と Isolated エリア（ISO エリア）のクロックを停止します。クロック停止マスクレジスタは関連したクロックドメインのスタンバイ中のクロック供給を制御します。STOP モードに遷移する前に、STOP モード中にクロック供給を停止する周辺機能をすべて停止してください。

STOP モード遷移手順（例）を以下に示します。

スタンバイの準備

- クロック供給を停止する周辺機能をすべて停止します。
- CPU 命令“DI”によって割り込み処理を禁止します。
- 割り込み制御レジスタの設定
  - 割り込みフラグをクリア（ICxxx.RFxxx＝0）
  - 非ウェイクアップ要因の割り込みをマスク（ICxxx.MKxxx＝1）
  - ウェイクアップ要因の割り込みのマスク解除（ICxxx.MKxxx＝0）
- ウェイクアップ関連レジスタの設定
  - ウェイクアップ要因フラグをクリア（WUFC0/WUFC1/WUFC_ISO0 レジスタ）
  - 非ウェイクアップ要因をマスク（WUFMSK0/WUFMSK1/WUFMSK_ISO0 レジスタ）
  - ウェイクアップ要因のマスク解除（WUFMSK0/WUFMSK1/WUFMSK_ISO0 レジスタ）
- クロック停止マスクレジスタを設定し、停止するクロックドメインと動作を継続するクロックドメインをそれぞれ選択します。（CKSC_xxx_STPM.xxxxSTPMSK ビットで設定してください。）
- 各クロックソースの発振／停止を設定します。また、クロック停止マスクレジスタを設定し、停止するクロックソースと動作を継続するクロックソースをそれぞれ選択します。（MOSCSTPM レジスタの MOSCSTPMSK ビット、ROSCSTPM レジスタの ROSCSTPMSK ビット）
- RH850/F1KH-D8：

  「**12AB.5.5 STOP モードでの CPUCLK 設定方法**」の手順に従ってクロックを設定してください。

スタンバイの開始

STBC0STPT レジスタの STBC0STPTRG ビットを 1 に設定し STOP モードに遷移します。

スタンバイの終了

ウェイクアップ要因が発生すると、マイクロコントローラは STOP モードから復帰します。

ウェイクアップ処理

ウェイクアップ要因の発生は、ウェイクアップ要因フラグ（WUF0, WUF1, WUF_ISO0）で判定します。

CPU 命令“EI”により割り込みを許可すると、発生したウェイクアップ割り込みを実行することが可能です。

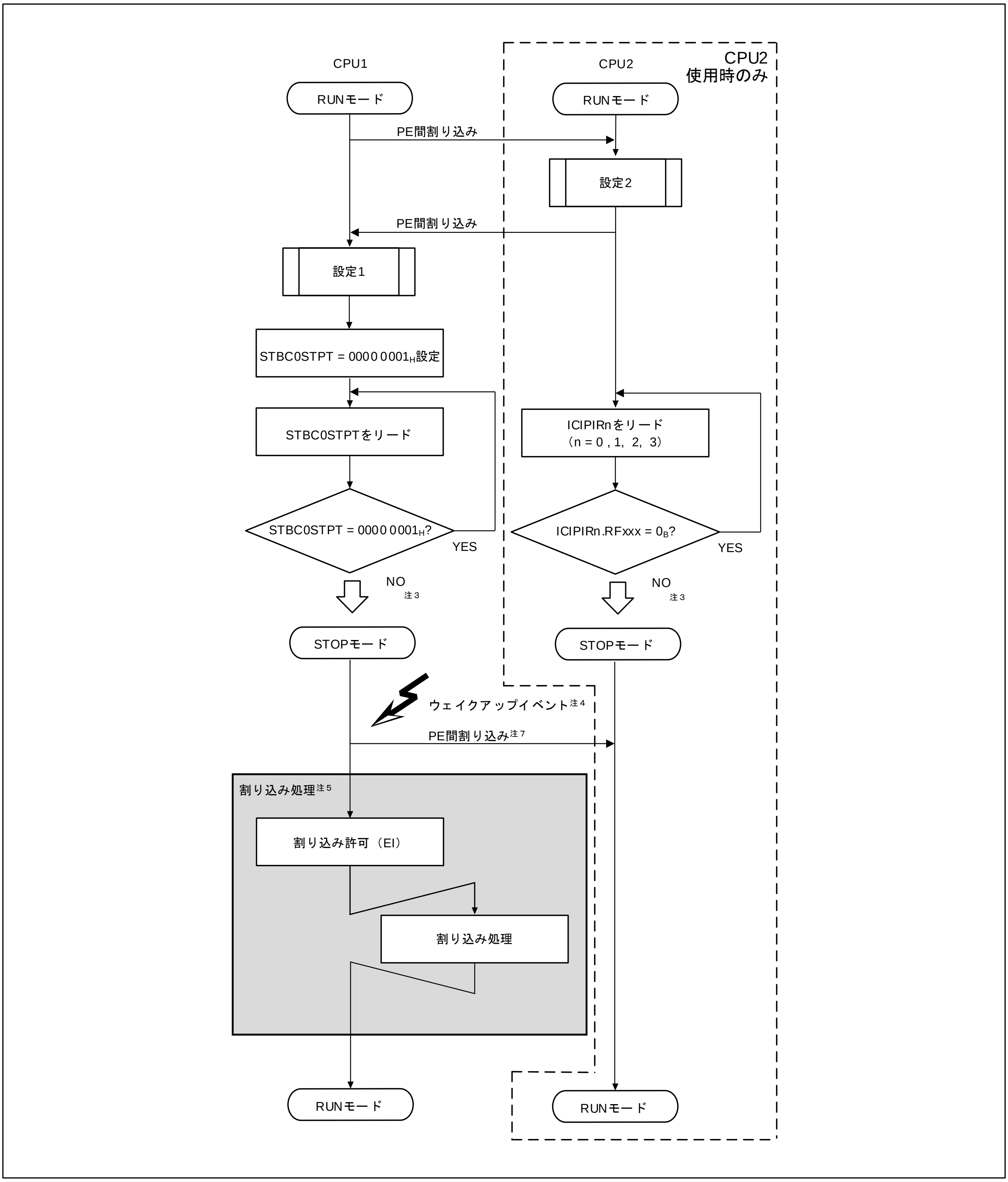
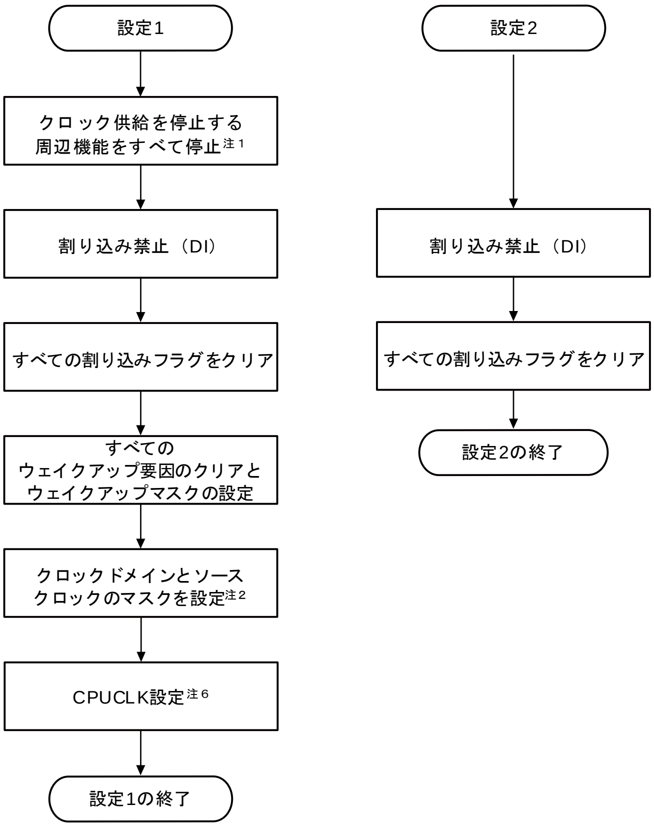


図 14.3　STOP モード遷移例（RH850/F1KH-D8）（1/2）



注1.　周辺機能動作中に STOP モードへの遷移により周辺機能の動作を停止した場合、周辺機能の動作が不正となる可能性があります。STOP モード遷移前に、クロック供給を停止する各周辺機能は停止するようにしてください。

注2.　クロックマスクはこのフローの開始以前に設定することも可能ですが、STBC0STPT に 0000 0001_H をライトするまでの間に設定しておく必要があります。

注3.　STBC0STPT＝0000 0001_H で ICIPIRn.RFxxx＝0_B であることを確認する処理を続けている間に、CPU へのクロック供給が停止し STOP モードに遷移します。

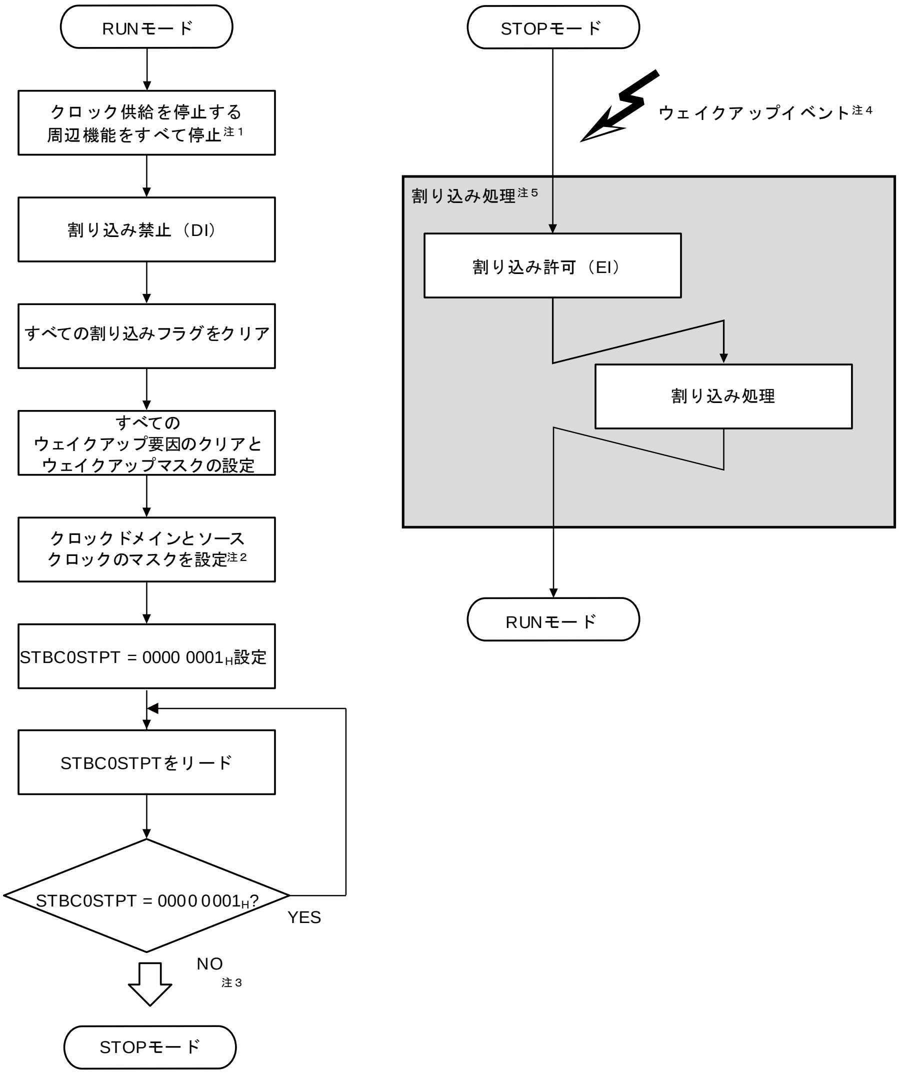
注4.　ウェイクアップ要因が発生した時点で STBC0STPT＝0000 0000_H となります。発生したウェイクアップ要因は WUF0、WUF1、WUF_ISO0 レジスタで確認することが可能です。

注5.　使用は任意です。ウェイクアップ後に割り込み処理を実行する場合に必要となります。

注6.　CPUCLK 設定の詳細は、「**12AB.5.4 CPUCLK ソースクロックと分周選択の方法**」、「**12AB.5.5 STOP モードでの CPUCLK 設定方法**」を参照してください。

注7.　ICIPIRn.RFxxx は、PE 間割り込みで、1_B に設定することが可能です。ICIPIRn.RFxxx は、ソフトウェアでクリアしてください。

図 14.3　　STOP モード遷移例（RH850/F1KH-D8）（2/2）



注1.　周辺機能動作中に STOP モードへの遷移により周辺機能の動作を停止した場合、周辺機能の動作が不正となる可能性があります。STOP モード遷移前に、クロック供給を停止する各周辺機能は停止するようにしてください。

注2.　クロックマスクはこのフローの開始以前に設定することも可能ですが、STBC0STPT に 0000 0001_H をライトするまでの間に設定しておく必要があります。

注3.　STBC0STPT＝0000 0001_H であることを確認する処理を続けている間に CPU へのクロック供給が停止し STOP モードに遷移します。

注4.　ウェイクアップ要因が発生した時点で STBC0STPT＝0000 0000_H となります。発生したウェイクアップ要因は WUF0、WUF1、WUF_ISO0 レジスタで確認することが可能です。

注5.　使用は任意です。ウェイクアップ後に割り込み処理を実行する場合に必要となります。

図 14.4　　STOP モード遷移例（RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1）

14.3.2　DeepSTOP モード

DeepSTOP モードでは、すべての領域のクロック供給と Isolated エリア（ISO エリア）の電源が停止します。ただし Always-On エリア（AWO エリア）の周辺機能はクロック停止マスクレジスタの設定によりクロック供給を継続することができます。

DeepSTOP モードに遷移する前に、CPU 動作クロックに PLL クロック以外を選択してください。

DeepSTOP モード遷移手順（例）を以下に示します。

スタンバイの準備

- クロック供給を停止する周辺機能をすべて停止します。
- CPU 命令"DI"によって割り込み処理を禁止します。
- 割り込み制御レジスタの設定
  - 割り込みフラグをクリア（ICxxx.RFxxx＝0）
  - 非ウェイクアップ要因の割り込みをマスク（ICxxx.MKxxx＝1）
  - ウェイクアップ要因の割り込みのマスク解除（ICxxx.MKxxx＝0）
- ウェイクアップ関連レジスタの設定
  - ウェイクアップ要因フラグをクリア（WUFC0/WUFC1/WUFC20 レジスタ）
  - 非ウェイクアップ要因をマスク（WUFMSK0/WUFMSK1/WUFMSK20 レジスタ）
  - ウェイクアップ要因のマスク解除（WUFMSK0/WUFMSK1/WUFMSK20 レジスタ）

注　意

ウェイクアップ要因がウェイクアップ要因 1 レジスタ、ウェイクアップ要因 2 レジスタ両方にアサインされている場合は、どちらか片方でしか使用できません。

- クロック停止マスクレジスタを設定し、停止するクロックドメインと動作を継続するクロックドメインをそれぞれ選択します（CKSC_xxx_STPM.xxxxSTPMSK ビットで設定してください）
- 各クロックソースの発振／停止を設定します。また、クロック停止マスクレジスタを設定し、停止するクロックソースと動作を継続するクロックソースをそれぞれ選択します（MOSCSTPM レジスタの MOSCSTPMSK ビット、ROSCSTPM レジスタの ROSCSTPMSK ビット）。

スタンバイの開始

STBC0PSC レジスタの STBC0DISTRG ビットを 1 に設定し、DeepSTOP モードに遷移します。

スタンバイの終了

ウェイクアップ要因が発生すると、マイクロコントローラは DeepSTOP モードから復帰します。

ウェイクアップ処理

- DeepSTOP モードからウェイクアップ要因 1 で復帰すると、マイクロコントローラは、リセットベクタアドレスから動作を開始します。

  DeepSTOP モードから RUN モードへの復帰の前に以下のどちらかの割り込みが発生していた場合は、マイクロコントローラは例外ハンドラアドレスから動作を再開します。

  − FENMI：FENMI ハンドラアドレス（$E0_H$）

  − FEINT：FEINT ハンドラアドレス（$F0_H$）

  RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2:

  DeepSTOP モードから復帰した後、汎用レジスタ、ローカル RAM、グローバル RAM の値は不定です。

  RH850/F1KM-S1:

  DeepSTOP モードから復帰した後、汎用レジスタ、ローカル RAM の値は不定です。

- ウェイクアップ要因の発生は、ウェイクアップ要因フラグ（WUF0、WUF1）で判定します。
- Isolated エリア（ISO エリア）のポートは、入出力バッファホールド状態を継続します。
  以下手順で入出力バッファホールド状態を解除してください。
  1. 周辺機能やポート機能の再設定
  2. IOHOLD.IOHOLD＝0 に設定
- ウェイクアップ後、ウェイクアップ要因の割り込みを実行したい場合、ソフトウェアでウェイクアップ要因フラグの情報を判断し、割り込み制御レジスタの割り込み要求フラグを設定してください。対象のマスク割り込みは解除してください。次に CPU 命令“EI”により割り込みを許可すると、発生したウェイクアップ割り込みを実行することが可能です。

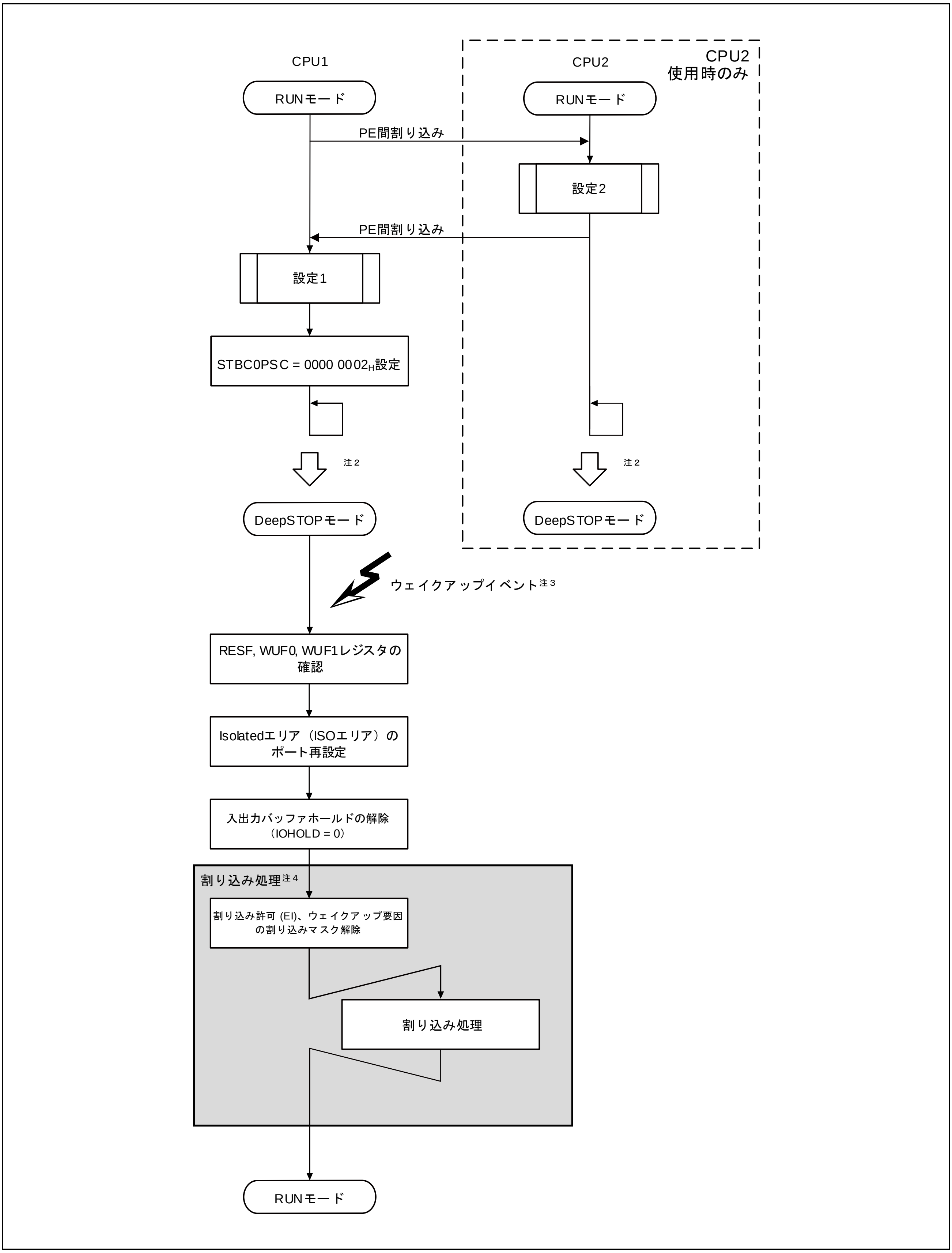
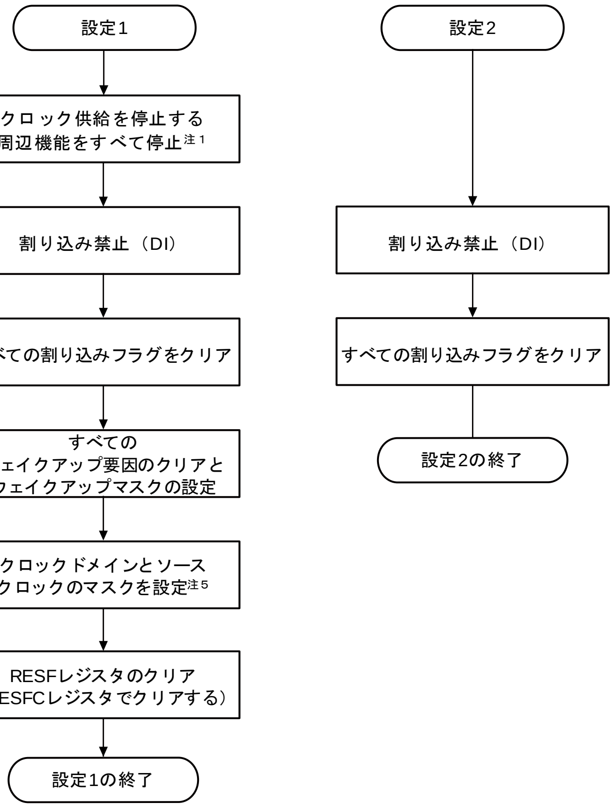


図 14.5　　DeepSTOP モード遷移例（RH850/F1KH-D8）（1/2）



注1. 周辺機能動作中に DeepSTOP モードへの遷移により周辺機能の動作を停止した場合、周辺機能の動作が不正となる可能性があります。DeepSTOP モード遷移前に、クロック供給を停止する各周辺機能は停止するようにしてください。

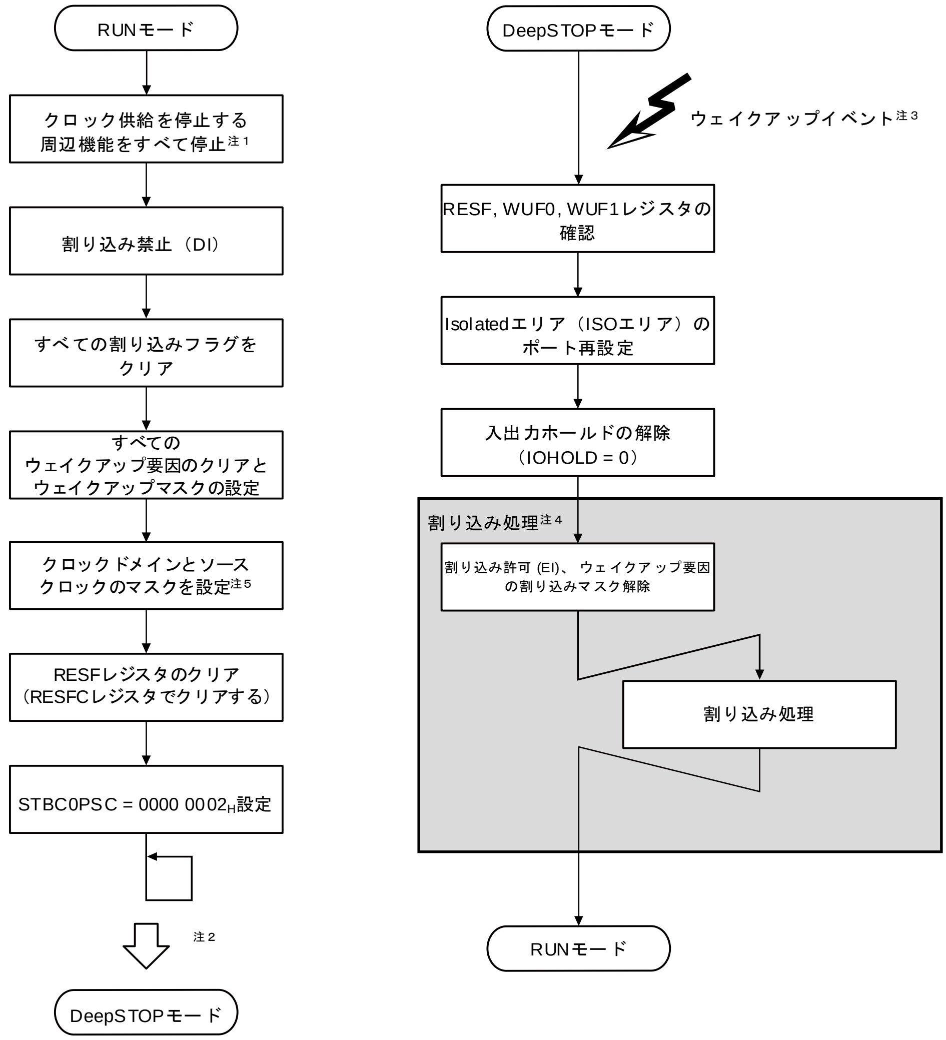
注2. STBC0PSC＝0000 0002_H 設定後は無条件ループで DeepSTOP への遷移をウェイトしてください。

注3. ウェイクアップ要因発生後、CPU はリセットベクタからプログラムを開始します。DeepSTOP によるリセットからの復帰は RESF レジスタで確認することができます。また、発生したウェイクアップ要因は WUF0、WUF1 レジスタで確認することが可能です。

注4. 使用は任意です。ウェイクアップ後に割り込み処理を実行する場合に必要となります。ウェイクアップ要因の割り込みを実行したい場合、ソフトウェアでウェイクアップ要因フラグの情報を判断し、割り込み制御レジスタの割り込み要求フラグを設定してください。その後、割り込みを許可してください。

注5. クロックマスクはこのフローの開始以前に設定することも可能ですが、STBC0PSC に 0000 0002_H をライトするまでの間に設定しておく必要があります。

図 14.5　DeepSTOP モード遷移例（RH850/F1KH-D8）（2/2）



注1. 周辺機能動作中に DeepSTOP モードへの遷移により周辺機能の動作を停止した場合、周辺機能の動作が不正となる可能性があります。DeepSTOP モード遷移前に、クロック供給を停止する各周辺機能は停止するようにしてください。

注2. STBC0PSC＝0000 0002_H 設定後は無条件ループで DeepSTOP への遷移をウェイトしてください。

注3. ウェイクアップ要因発生後、CPU はリセットベクタからプログラムを開始します。DeepSTOP によるリセットからの復帰は RESF レジスタで確認することができます。また、発生したウェイクアップ要因は WUF0、WUF1 レジスタで確認することが可能です。

注4. 使用は任意です。ウェイクアップ後に割り込み処理を実行する場合に必要となります。ウェイクアップ要因の割り込みを実行したい場合、ソフトウェアでウェイクアップ要因フラグの情報を判断し、割り込み制御レジスタの割り込み要求フラグを設定してください。その後、割り込みを許可してください。

注5. クロックマスクはこのフローの開始以前に設定することも可能ですが、STBC0PSC に 0000 0002_H をライトするまでの間に設定しておく必要があります。

図 14.6 DeepSTOP モード遷移例（RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1）

14.3.3　Cyclic RUN モード

Cyclic RUN モードでは、CPU1、Always-On エリア（AWO エリア）の周辺機能、RLIN3 および CSIG0 以外の機能を停止します。このモードでは、PLL およびフラッシュメモリは使用できません。また、CPU2 も利用できません。

Cyclic RUN モード遷移手順（例）を以下に示します。

Cyclic RUN の準備

- RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2

  Cyclic RUN 用のプログラムをリテンション RAM に配置しておく必要があります。Cyclic RUN 動作のリセットベクタベースアドレス（RBASE）は、リテンション RAM の先頭アドレス（FEF0 0000_H）に設定されます。すべてのコードフラッシュメモリとデータフラッシュメモリは Cyclic RUN モードでは利用できません。

- RH850/F1KM-S1

  Cyclic RUN 用のプログラムをリテンション RAM に配置しておく必要があります。Cyclic RUN 動作のリセットベクタベースアドレス（RBASE）は、「**第 9BC 章　RH850/F1KM のリセット**」で示すように CYCRBASE レジスタに指定してください。すべてのコードフラッシュメモリとデータフラッシュメモリは Cyclic RUN モードでは利用できません。

  その際、RUN モードへの復帰要因としたい割り込み処理もしくは割り込み要求信号のポーリング後の処理に DeepSTOP へ遷移する命令を配置する必要があります。

  例外ベクタに関しては「*RH850G3KH ユーザーズマニュアル ソフトウェア編*」を参照してください。

注　意

Cyclic RUN モード中は PSW.EBV ビットの変更は禁止です（Cyclic RUN モード中は PSW.EBV ビットに“1”を設定することは禁止です）。

- ウェイクアップ関連レジスタの設定
  - ウェイクアップ要因フラグをクリア（WUFC20 レジスタ）
  - 非ウェイクアップ要因をマスク（WUFMSK20 レジスタ）
  - ウェイクアップ要因のマスク解除（WUFMSK20 レジスタ）
- DeepSTOP モードに遷移します。DeepSTOP モードは、「**14.3.2　DeepSTOP モード**」を参照してください。

Cyclic RUN の開始

DeepSTOP モードからは、ウェイクアップ要因 2 の発生により Cyclic RUN モードに遷移します。

Cyclic STOP モードからは、ウェイクアップ要因 1、2 の発生により Cyclic RUN モードに遷移します。

- RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2

  マイクロコントローラは、Cyclic RUN モードのリセットベクタアドレス（リテンション RAM の先頭アドレス (FEF0 0000_H)）から、動作を開始します。その際、DeepSTOP モードから Cyclic RUN モード復帰時に以下の割り込みのいずれかが発生すると，例外ハンドラアドレスから動作を再開します。

  - FENMI：Cyclic RUN モード時の FENMI ハンドラアドレス（FEF0 0000_H + $E0_H$）
  - FEINT：Cyclic RUN モード時の FEINT ハンドラアドレス（FEF0 0000_H + $F0_H$）

  なお、汎用レジスタ、ローカル RAM、グローバル RAM は DeepSTOP モードから Cyclic RUN モードへの遷移後に不定値になることに注意してください。

- RH850/F1KM-S1

  マイクロコントローラは、CYCRBASE レジスタで指定された Cyclic RUN モードのリセットベクタアドレスから動作を開始します。その際、DeepSTOP モードから Cyclic RUN モード復帰時に以下の割り込みのいずれかが発生すると，例外ハンドラアドレスから動作を再開します。

  - FENMI：Cyclic RUN モード時の FENMI ハンドラアドレス（CYCRBASE + $E0_H$）
  - FEINT：Cyclic RUN モード時の FEINT ハンドラアドレス（CYCRBASE + $F0_H$）

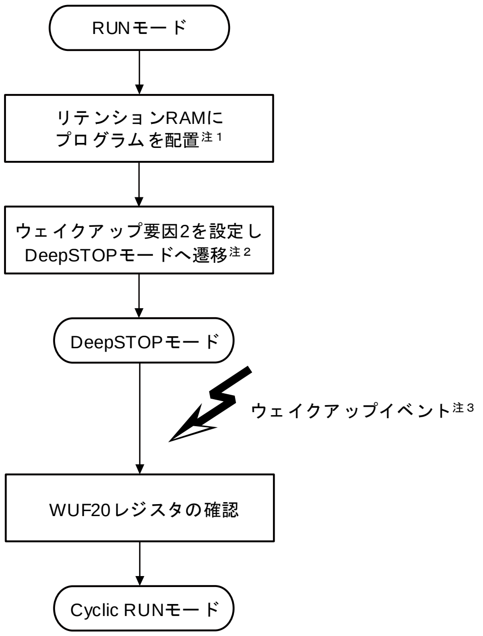
  なお、汎用レジスタ、ローカル RAM は DeepSTOP モードから Cyclic RUN モードへの遷移後に不定値になることに注意してください。

Cyclic RUN の終了

STBC0STPT.STBC0STPTRG を 1 に設定し、Cyclic STOP モードへ遷移するか、STBC0PSC.STBC0DISTRG を 1 に設定し、DeepSTOP モードへ遷移することによって Cyclic RUN モードは終了します。

ウェイクアップ処理

ウェイクアップ要因の発生は、ウェイクアップ要因フラグ（WUF20）で判定します。



注1. Cyclic RUN モードからウェイクアップ要因により RUN モードまで遷移させる場合は、ウェイクアップ要因に対応する割り込みベクタの処理内で DeepSTOP モードに遷移する必要があります。その場合、割り込み処理もリテンション RAM 上に配置します。

注2. DeepSTOP モード遷移前に、WUFC20 レジスタでウェイクアップ要因 2 のフラグをクリアし、WUFMSK20 レジスタで使用するウェイクアップ要因 2 の設定を行います。その他の DeepSTOP モード遷移手順は通常と同様です。

注3.
- RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2
  CPU はウェイクアップ要因発生後に、リテンション RAM の先頭アドレス（FEF0 0000_H）からプログラムを開始します。
  発生したウェイクアップ要因は WUF20 レジスタで確認することが可能です。
- RH850/F1KM-S1
  ウェイクアップ要因発生後、CPU は CYCRBASE で指定されたアドレスからプログラムを開始します。
  発生したウェイクアップ要因は WUF20 レジスタで確認することが可能です。

図 14.7 Cyclic RUN モード遷移例

14.3.4　Cyclic STOP モード

Cyclic STOP モードでは、Always-On エリア（AWO エリア）の周辺機能、RLIN3 以外の機能を停止します。

Cyclic STOP モード遷移手順（例）を以下に示します。

Cyclic STOP の準備

- Cyclic RUN モードに遷移します。
- ウェイクアップ関連レジスタの設定
  - ウェイクアップ要因フラグをクリア（WUFC0/WUFC1/WUFC20 レジスタ）
  - 非ウェイクアップ要因をマスク（WUFMSK0/WUFMSK1/WUFMSK20 レジスタ）
  - ウェイクアップ要因のマスク解除（WUFMSK0/WUFMSK1/WUFMSK20 レジスタ）

Cyclic STOP の開始

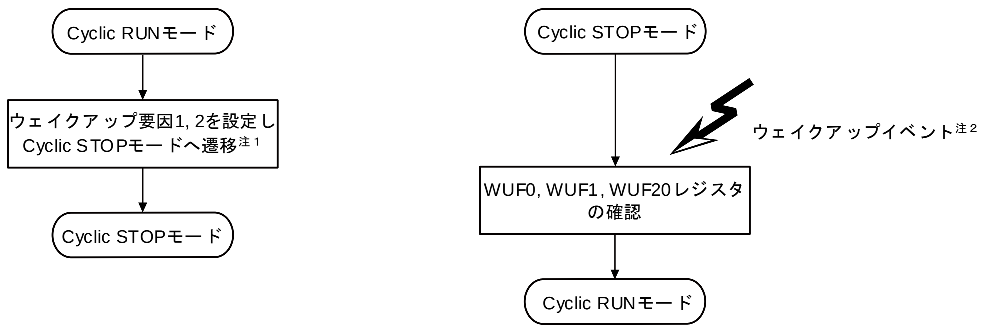
STBC0STPT.STBC0STPTRG を 1 に設定し、Cyclic STOP モードへ遷移します。

Cyclic STOP の終了

ウェイクアップ要因 1 または 2 の発生により Cyclic RUN モードに遷移します。

ウェイクアップ処理

ウェイクアップ要因の発生は、ウェイクアップ要因フラグ（WUF0, WUF1, WUF20）で判定します。



注1.　RUN モードに遷移するためのウェイクアップ要因 1 と Cyclic RUN モードに遷移させるためのウェイクアップ要因 2 をそれぞれ設定します。ウェイクアップ要因 1 で RUN モードまで遷移する場合は、Cyclic RUN モードにて DeepSTOP へ遷移する処理を追加する必要があります。

注2.　Cyclic STOP モードでウェイクアップ要因が発生した場合、Cyclic RUN モードに遷移し、Cyclic STOP モードに遷移した直後の処理から動作を開始します。発生したウェイクアップ要因は WUF0、WUF1、WUF20 レジスタで確認することができます。

図 14.8　　Cyclic STOP モード遷移例

14.4　スタンバイコントローラ関連レジスタへの書き込み

以下のスタンバイコントローラレジスタは、書き込み保護の対象レジスタです。

- STBC0PSC レジスタ
- STBC0STPT レジスタ
- IOHOLD レジスタ

書き込み保護レジスタは、誤ったプログラム動作などによる不正な書き込みからレジスタを保護します。

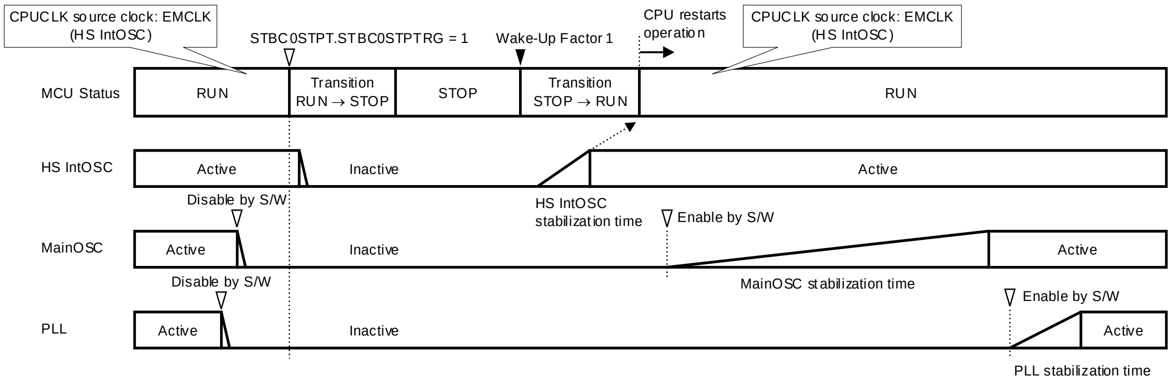
書き込み保護シーケンスについては、「**第 5 章　書き込み保護レジスタ**」を参照してください。

14.5　スタンバイモード遷移中のクロック発振回路の動作

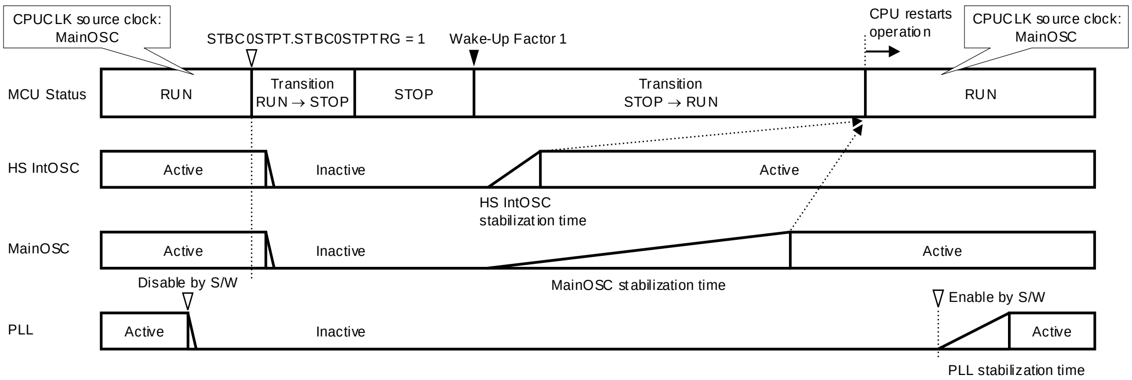
スタンバイモード遷移中のクロック発振回路の動作について、以降の図で説明します。スタンバイ状態になる前にクロック発振回路を使用していた場合、クロック発振回路は自動的に再開します。

- STOP モードへの遷移時に MainOSC および PLL が動作していた場合、STOP モードからの復帰時に自動的に発振を再開します。クロックソースの発振が安定した後、CPU は動作を再開します。
- DeepSTOP モードへの遷移時に MainOSC が動作していた場合、DeepSTOP モードからの復帰時に自動的に発振を再開します。MainOSC の発振が安定した後、CPU は動作を再開します。PLL が動作状態から DeepSTOP モードに遷移した場合、DeepSTOP モードからの復帰時に PLL は自動的に発振を再開しません。
- Cyclic STOP モードへの遷移時に MainOSC が動作していた場合、Cyclic STOP モードからの復帰時に自動的に発振を再開します。MainOSC の発振が安定した後、CPU は動作を再開します。

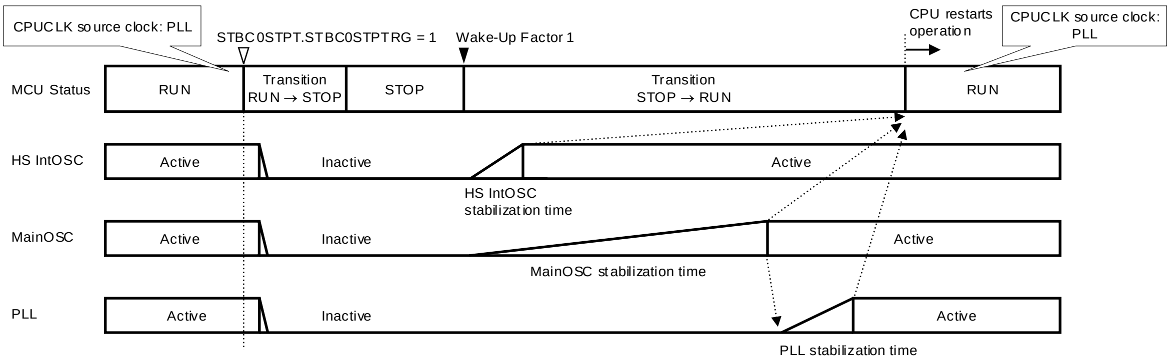
スタンバイモード中に発振停止する場合の HS IntOSC および MainOSC の動作を以降の図に示します。
HS IntOSC および MainOSC の停止マスクレジスタが 1 にセットされている場合（ROSCSTPM レジスタの ROSCSTPMSK ビットおよび MOSCSTPM レジスタの MOSCSTPMSK ビットで指定）、またはスタンバイ状態中にソースクロックを使用するクロックドメインの停止マスクビット（CKSC_xxxx_STPM＝0000 0003_H）が設定されている場合、HS IntOSC および MainOSC はスタンバイモード中に発振を継続します。



(a)STOP モード遷移時に MainOSC および PLL が停止状態の場合
復帰後、ソフトウェアで MainOSC および PLL の発振を再開してください。
STOP モードから復帰後の CPUCLK ソースクロックは STOP モード遷移前のソースクロックと同じです。

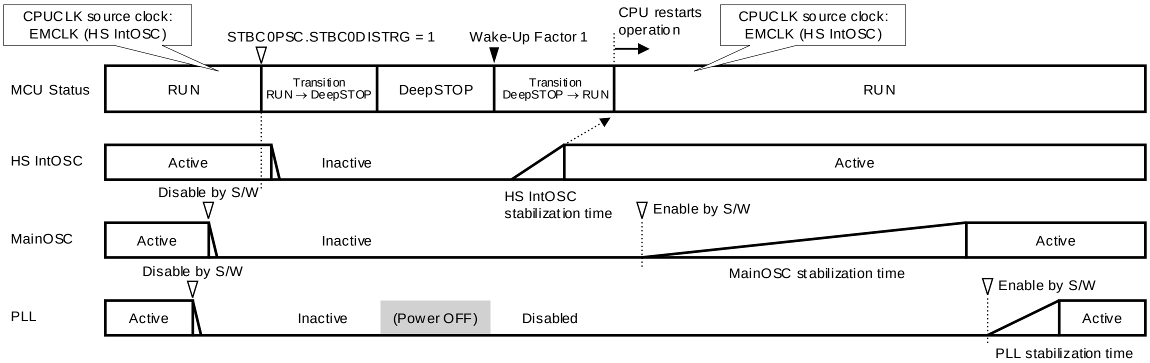


(b)STOP モード遷移時に MainOSC は動作状態、PLL は停止状態の場合
MainOSC は RUN モードへの遷移中に自動的に発振を再開し、CPU が動作を再開する前に安定します。復帰後、ソフトウェアで PLL の発振を再開してください。
STOP モードから復帰後の CPUCLK ソースクロックは STOP モード遷移前のソースクロックと同じです。

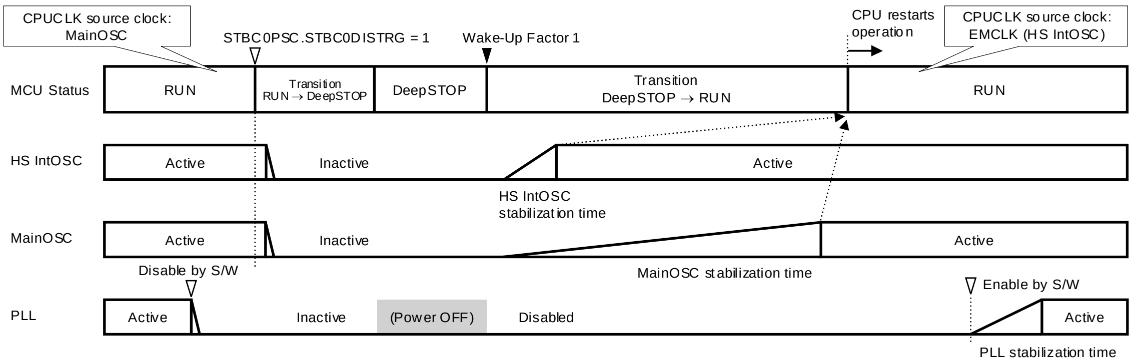


(c)STOP モード遷移時に MainOSC および PLL が動作状態の場合
MainOSC および PLL は RUN モードへの遷移中に自動的に発振を再開し、CPU が動作を再開する前に安定します。
STOP モードから復帰後の CPUCLK ソースクロックは STOP モード遷移前のソースクロックと同じです。

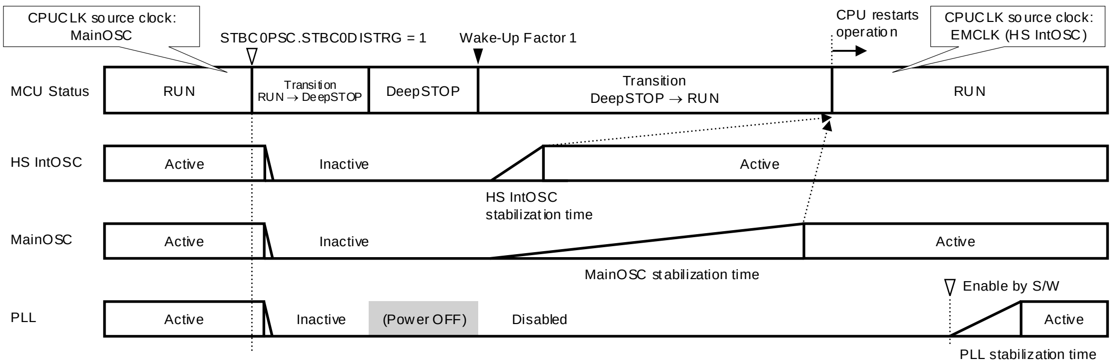
図 14.9　スタンバイモード遷移時のクロック発振動作（RUN→STOP→RUN）



(a)DeepSTOP モード遷移時に MainOSC および PLL が停止状態の場合
復帰後、ソフトウェアで MainOSC および PLL の発振を再開してください。
DeepSTOP モードから復帰後の CPUCLK ソースクロックは EMCLK（HS IntOSC）です。

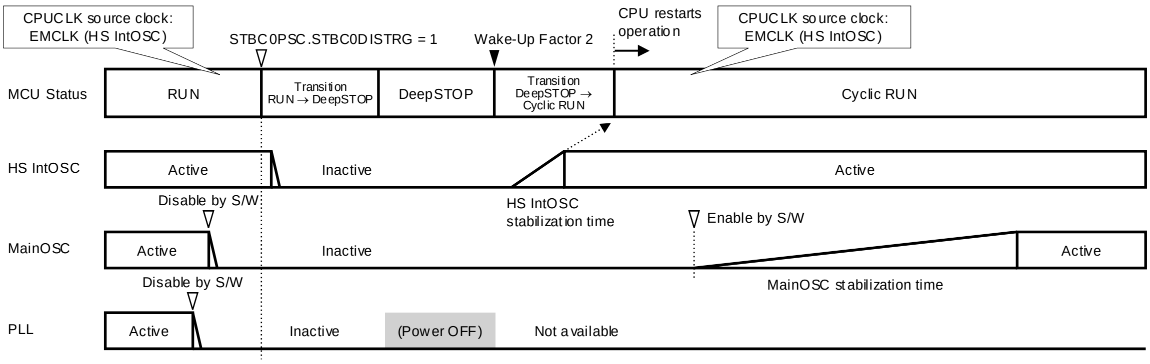


(b)DeepSTOP モード遷移時に MainOSC は動作状態、PLL は停止状態の場合
MainOSC は RUN モードへの遷移中に自動的に発振を再開し、CPU が動作を再開する前に安定します。
復帰後、ソフトウェアで PLL の発振を再開してください。
DeepSTOP モードから復帰後の CPUCLK ソースクロックは EMCLK（HS IntOSC）です。

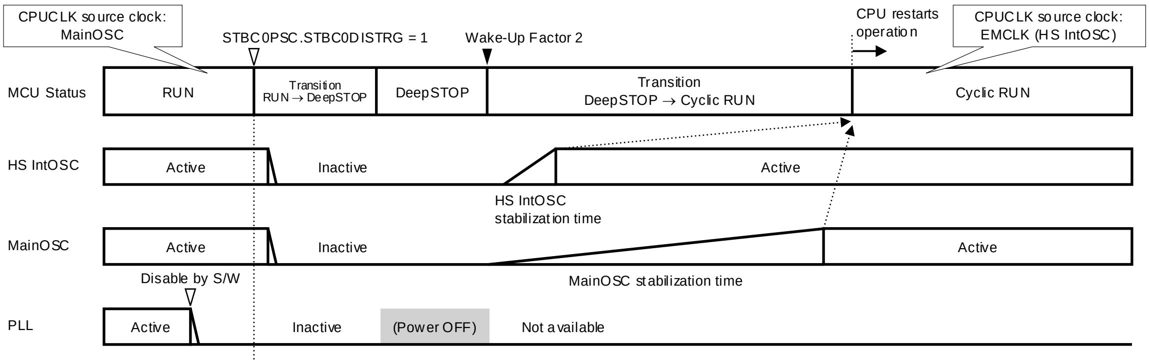


(c)DeepSTOP モード遷移時に MainOSC および PLL が動作状態の場合
MainOSC は RUN モードへの遷移中に自動的に発振を再開し、CPU が動作を再開する前に安定します。
復帰後、ソフトウェアで PLL の発振を再開してください。
DeepSTOP モードから復帰後の CPUCLK ソースクロックは EMCLK（HS IntOSC）です。

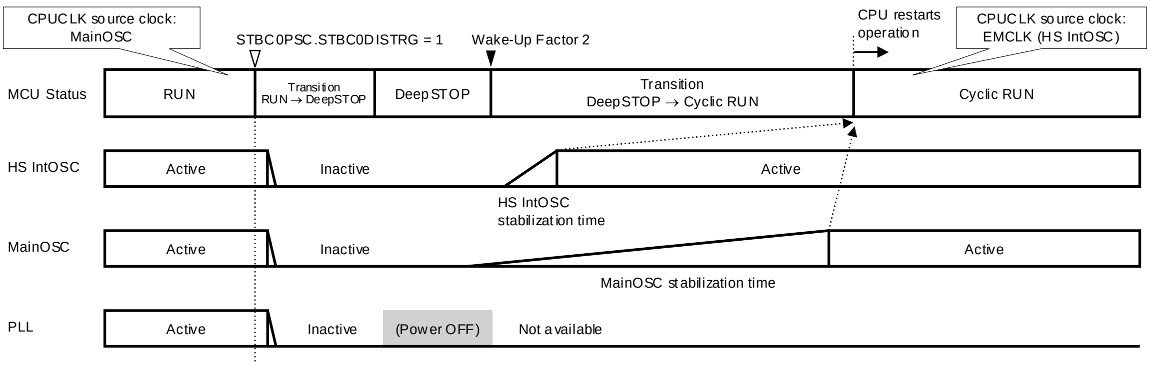
図 14.10　スタンバイモード遷移時のクロック発振動作（RUN→DeepSTOP→RUN）



(a)DeepSTOP モード遷移時に MainOSC および PLL が停止状態の場合
復帰後、ソフトウェアで MainOSC の発振を再開してください。PLL は Cyclic RUN モードでは無効です。
DeepSTOP モードから復帰後の CPUCLK ソースクロックは EMCLK（HS IntOSC）です。

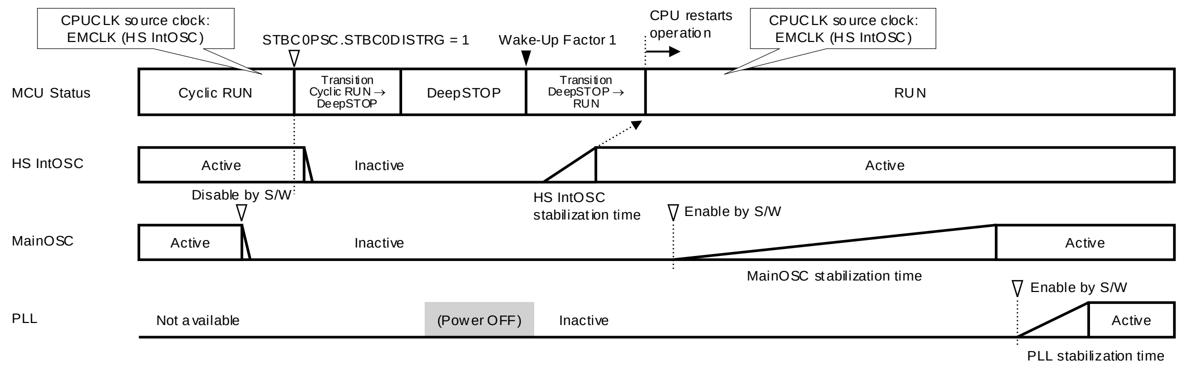


(b)DeepSTOP モード遷移時に MainOSC は動作状態、PLL は停止状態の場合
MainOSC は Cyclic RUN モードへの遷移中に自動的に発振を再開し、CPU が動作を再開する前に安定します。
PLL は Cyclic RUN モードでは無効です。
DeepSTOP モードから復帰後の CPUCLK ソースクロックは EMCLK（HS IntOSC）です。

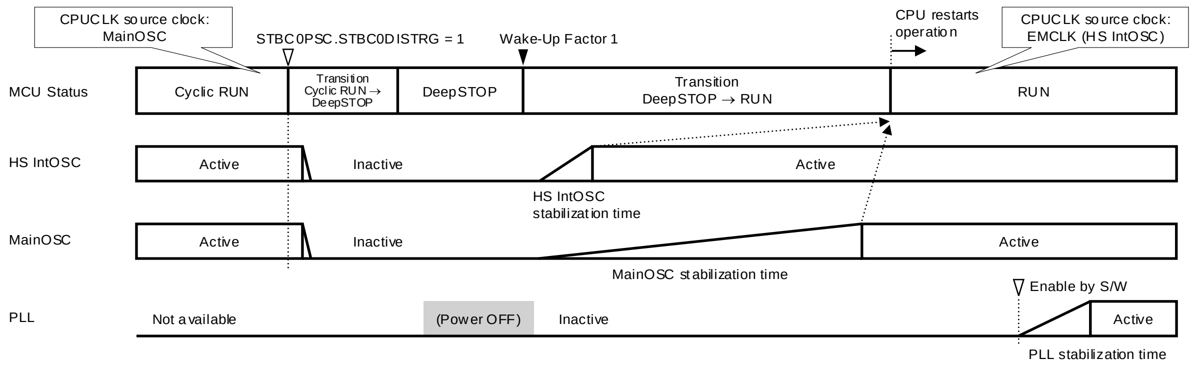


(c)DeepSTOP モード遷移時に MainOSC および PLL が動作状態の場合
MainOSC は Cyclic RUN モードへの遷移中に自動的に発振を再開し、CPU が動作を再開する前に安定します。
PLL は Cyclic RUN モードでは無効です。
DeepSTOP モードから復帰後の CPUCLK ソースクロックは EMCLK（HS IntOSC）です。

図 14.11　スタンバイモード遷移時のクロック発振動作（RUN→DeepSTOP→Cyclic RUN）

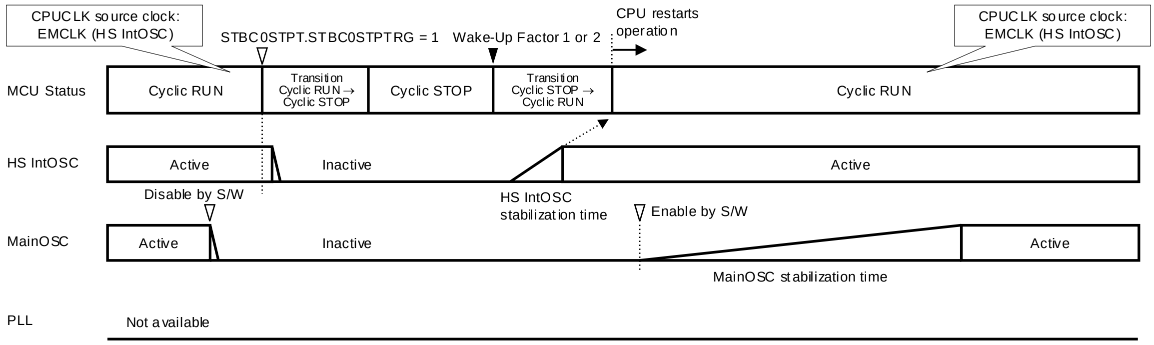


(a)DeepSTOP モード遷移時に MainOSC が停止状態の場合
復帰後、ソフトウェアで MainOSC および PLL の発振を再開してください。
DeepSTOP モードから復帰後の CPUCLK ソースクロックは EMCLK（HS IntOSC）です。

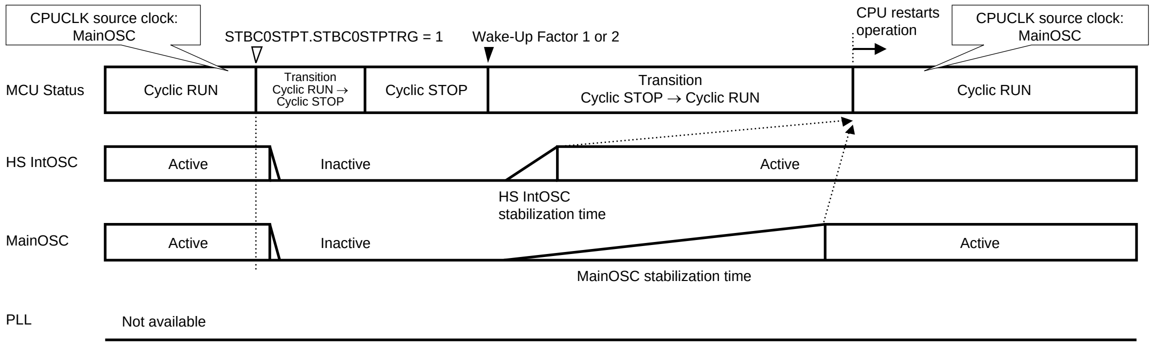


(b)DeepSTOP モード遷移時に MainOSC が動作状態の場合
MainOSC は RUN モードへの遷移中に自動的に発振を再開し、CPU が動作を再開する前に安定します。
復帰後、ソフトウェアで PLL の発振を再開してください。
DeepSTOP モードから復帰後の CPUCLK ソースクロックは EMCLK（HS IntOSC）です。

図 14.12　スタンバイモード遷移時のクロック発振動作（Cyclic RUN→DeepSTOP→RUN）



(a)Cyclic STOP モード遷移時に MainOSC が停止状態の場合
復帰後、ソフトウェアで MainOSC の発振を再開してください。
Cyclic STOP モードから復帰後の CPUCLK ソースクロックは Cyclic STOP モード遷移前のソースクロックと同じです。



(b)Cyclic STOP モード遷移時に MainOSC が動作状態の場合
MainOSC は Cyclic RUN モードへの遷移中に発振を再開し、CPU が動作を再開する前に安定します。
Cyclic STOP モードから復帰後の CPUCLK ソースクロックは Cyclic STOP モード遷移前のソースクロックと同じです。

図 14.13　スタンバイモード遷移時のクロック発振動作（Cyclic RUN→Cyclic STOP→Cyclic RUN）

14.6　スタンバイモード使用時の注意事項

14.6.1　デバッガ使用時における DeepSTOP モード遷移の注意事項

デバッガを使用する際、プログラム開始直後に DeepSTOP モードへ遷移するプログラムを実行すると、OCD エミュレータとマイコンとの通信準備が成立する前にマイコンが DeepSTOP モードに遷移するため、同通信が不正動作となる可能性があります。

この通信準備期間は、OCD エミュレータのホスト PC 環境、およびマイコンの動作周波数に依存しますので、プログラム開始直後に DeepSTOP モードへ遷移するプログラムをデバッグする際は、デバッガが正常起動する様、リセット解除から DeepSTOP 実行命令までの間にウェイトを挿入してください。

DeepSTOP モード時は、デバッグコントローラは停止します。デバッガによる DeepSTOP モードからの復帰については、「**14.1.3 オンチップデバッグウェイクアップ**」を参照してください。

第15章　ロウパワーサンプラ（LPS）

本章では、ロウパワーサンプラ（LPS）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1KH, RH850/F1KM に固有の特長について説明します。それ以降の節では、LPS の機能、レジスタについて説明します。

15.1　RH850/F1KH, RH850/F1KM LPS の特長

15.1.1　ユニット数

本製品は、以下に示すユニット数の LPS を搭載しています。

表 15.1　ユニット数 (RH850/F1KH-D8)

製品名	RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 324 Pin
ユニット数	1	1	1
名称	LPSn (n=0)	LPSn (n=0)	LPSn (n=0)

表 15.2　ユニット数 (RH850/F1KM-S4)

製品名	RH850/F1KM-S4 100 Pin	RH850/F1KM-S4 144 Pin	RH850/F1KM-S4 176 Pin	RH850/F1KM-S4 233 Pin	RH850/F1KM-S4 272 Pin
ユニット数	1	1	1	1	1
名称	LPSn (n=0)	LPSn (n=0)	LPSn (n=0)	LPSn (n=0)	LPSn (n=0)

表 15.3　ユニット数 (RH850/F1KM-S2)

製品名	RH850/F1KM-S2 100 Pin	RH850/F1KM-S2 144 Pin	RH850/F1KM-S2 176 Pin
ユニット数	1	1	1
名称	LPSn (n=0)	LPSn (n=0)	LPSn (n=0)

表 15.4　ユニット数 (RH850/F1KM-S1)

製品名	RH850/F1KM-S1 48 Pin	RH850/F1KM-S1 64 Pin	RH850/F1KM-S1 80 Pin	RH850/F1KM-S1 100 Pin
ユニット数	1	1	1	1
名称	LPSn (n=0)	LPSn (n=0)	LPSn (n=0)	LPSn (n=0)

表 15.5　LPS のユニット構成とチャネルの対応 (RH850/F1KH-D8)

ユニット名 LPSn	ユニット チャネル 数	機能	チャネル名	RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 324 Pin
LPS0	1	ポートポーリング用 デジタルポート入力 m	DPINm	24ch	24ch	24ch
		A/D 変換用 アナログ入力 m	ADCA0Im	16ch	16ch	16ch

表 15.6　LPS のユニット構成とチャネルの対応 (RH850/F1KM-S4)

ユニット名 LPSn	ユニット チャネル 数	機能	チャネル名	RH850/F1KM- S4 100 Pin	RH850/F1KM- S4 144 Pin	RH850/F1KM- S4 176 Pin	RH850/F1KM- S4 233 Pin	RH850/F1KM- S4 272 Pin
LPS0	1	ポートポーリング用 デジタルポート入力 m	DPINm	16ch	24ch	24ch	24ch	24ch
		A/D 変換用 アナログ入力 m	ADCA0Im	16ch	16ch	16ch	16ch	16ch

表 15.7　LPS のユニット構成とチャネルの対応（RH850/F1KM-S2）

ユニット名 LPSn	ユニット チャネル 数	機能	チャネル名	RH850/F1KM-S2 100 Pin	RH850/F1KM-S2 144 Pin	RH850/F1KM-S2 176 Pin
LPS0	1	ポートポーリング用 デジタルポート入力 m	DPINm	16ch	24ch	24ch
		A/D 変換用 アナログ入力 m	ADCA0Im	16ch	16ch	16ch

表 15.8　LPS のユニット構成とチャネルの対応（RH850/F1KM-S1）

ユニット名 LPSn	ユニット チャネル 数	機能	チャネル名	RH850/F1KM-S1 48 Pin	RH850/F1KM-S1 64 Pin	RH850/F1KM-S1 80 Pin	RH850/F1KM-S1 100 Pin
LPS0	1	ポートポーリング用 デジタルポート入力 m	DPINm	3ch	8ch	12ch	17ch
		A/D 変換用 アナログ入力 m	ADCA0Im	8ch	10ch	11ch	16ch

表 15.9　添字（RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2）

添字	説明
n	本章では、LPS のユニットを「n」（n＝0）で識別します。
m	本章では、LPS のポートポーリング用デジタルポート入力チャネル数を「m」（m＝0～23）、A/D 変換用アナログ入力チャネル数を「m」（m＝0～15）で識別します。
k	外部マルチプレクサ選択出力信号を「k」で識別します。
x	LPS シーケンススタートトリガ入力信号を「x」で識別します。
y	本章では、TAUJ のユニットを「y」で識別します。

表 15.10　添字（RH850/F1KM-S1）

添字	説明
n	本章では、LPS のユニットを「n」（n＝0）で識別します。
m	本章では、LPS のポートポーリング用デジタルポート入力チャネル数を「m」（m＝0～16）、A/D 変換用アナログ入力チャネル数を「m」（m＝0～15）で識別します。
k	デジタルポート用の外部マルチプレクサ選択出力信号を「k」で識別します。
x	LPS シーケンススタートトリガ入力信号を「x」で識別します。
y	本章では、TAUJ のユニットを「y」で識別します。

備　考

本章の機能およびレジスタ説明は、最大仕様について記載しています。本文中の添字の値は使用する製品に合わせてください。また、以下の点に注意してください。使用する製品により添字の範囲外となるビットに書き込む場合は、リセット後の値を書き込んでください。

各製品の添字が示す値を以下に示します。

表 15.11　各製品の添字対応（RH850/F1KH-D8）

各製品の添字対応		
176 Pin	233 Pin	324 Pin
m＝0～23 注1 m＝0～15 注2	m＝0～23 注1 m＝0～15 注2	m＝0～23 注1 m＝0～15 注2
k＝0～2	k＝0～2	k＝0～2
x＝0～3	x＝0～3	x＝0～3
y＝0, 2	y＝0, 2	y＝0, 2

注1.　ポートポーリング用デジタルポート入力 m
注2.　A/D 変換用アナログ入力 m

表 15.12　各製品の添字対応（RH850/F1KM-S4）

各製品の添字対応				
100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
m＝1～16 注1 m＝0～15 注2	m＝0～23 注1 m＝0～15 注2	m＝0～23 注1 m＝0～15 注2	m＝0～23 注1 m＝0～15 注2	m＝0～23 注1 m＝0～15 注2
k＝0～2	k＝0～2	k＝0～2	k＝0～2	k＝0～2
x＝0～3	x＝0～3	x＝0～3	x＝0～3	x＝0～3
y＝0, 2	y＝0, 2	y＝0, 2	y＝0, 2	y＝0, 2

注1.　ポートポーリング用デジタルポート入力 m
注2.　A/D 変換用アナログ入力 m

表 15.13　各製品の添字対応（RH850/F1KM-S2）

各製品の添字対応		
100 Pin	144 Pin	176 Pin
m＝1～16 注1 m＝0～15 注2	m＝0～23 注1 m＝0～15 注2	m＝0～23 注1 m＝0～15 注2
k＝0～2	k＝0～2	k＝0～2
x＝0～3	x＝0～3	x＝0～3
y＝0, 2	y＝0, 2	y＝0, 2

注1.　ポートポーリング用デジタルポート入力 m
注2.　A/D 変換用アナログ入力 m

表 15.14　各製品の添字対応（RH850/F1KM-S1）

各製品の添字対応			
48 Pin	64 Pin	80 Pin	100 Pin
m＝0～2 注1 m＝0～7 注2	m＝0～4, 8～10 注1 m＝0～9 注2	m＝0～11 注1 m＝0～10 注2	m＝0～16 注1 m＝0　～15 注2
— 注3	k＝0～2	k＝0～2	k＝0～2
x＝0～3	x＝0～3	x＝0～3	x＝0～3
y＝0, 2	y＝0, 2	y＝0, 2	y＝0, 2

注1.　ポートポーリング用デジタルポート入力 m
注2.　A/D 変換用アナログ入力 m
注3.　ADCA0SELk : k＝0～2
　　　詳細は、「**38.1.6　外部入出力信号**」を参照してください。

15.1.2　　レジスタベースアドレス

LPS のベースアドレスを以下の表に示します。

LPS のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 15.15　レジスタベースアドレス (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ベースアドレス名	ベースアドレス
<LPS0_base>	FFF8 3000_H

15.1.3　　クロック供給

LPS のクロック供給を以下の表に示します。

ロウパワーサンプラ（LPS）の動作要求がアクティブになっている場合、HS IntOSC を選択している C_AWO_ADCA のクロックも動作します。

表 15.16　クロック供給 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	ユニットクロック名	供給クロック名
LPSn	レジスタアクセスクロック	CPUCLK_L, EMCLK
	動作クロック	EMCLK

15.1.4　　割り込み要求

LPS の割り込み要求を以下の表に示します。

表 15.17　割り込み要求 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
LPS0			
INTCWEND	ポートポーリング終了割り込み（LPS）	112	—
INTDPE	デジタルポートエラー割り込み（LPS）	356	—
INTAPE	アナログポートエラー割り込み（LPS）	357	—
INTADCA0I0 注1	ADCA0 SG1 終了割り込み	18	4
INTADCA0I1 注1	ADCA0 SG2 終了割り込み	19	5
INTADCA0I2 注1	ADCA0 SG3 終了割り込み	20, 32	6

注1.　ADCA0 から出力されます。

15.1.5　　リセット要因

LPS のリセット要因を以下に示します。LPS は以下のリセット要因で初期化されます。

表 15.18　リセット要因 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	リセット要因
LPS0	DeepSTOP モード遷移時を除くリセット要因（AWORES）

15.1.6　外部入出力信号

LPS の外部入出力信号を以下の表に示します。

表 15.19　外部入出力信号 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット信号名	説明	ポート端子兼用信号名
LPS0		
DPO	デジタル入力用ポート出力信号	DPO
DPSELk	デジタルポート用外部マルチプレクサ選択出力信号	SELDPk
DPINm	デジタルポート入力信号	DPINm
APO	アナログ入力用ポート出力信号	APO
ADCA0SELk 注 1	外付けアナログマルチプレクサ（MPX）出力端子	ADCA0SELk
ADCA0Im 注 1	ADCA 入力チャネル信号	ADCA0Im

注1.　ADCA0 の入力／出力信号です。詳細は「**38.1.6　外部入出力信号**」を参照してください。

15.1.7　内部入出力信号

LPS-STBC 間、LPS-TAUJ 間で接続する内部入出力信号を以下の表に示します。

表 15.20　内部入出力信号 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット信号名	説明	接続先
WUTRG0	LPS ウェイクアップ要因トリガ 0 出力信号	STBC
WUTRG1	LPS ウェイクアップ要因トリガ 1 出力信号	STBC
INTTAUJyIx	LPS シーケンススタートトリガ x 入力信号	TAUJy

15.2 概要

15.2.1 機能概要

LPS は、CPU リソースを消費せずに外部の入力を監視するために、デジタル入力ポートとアナログ入力ポートの確認を CPU を介さず実行することができます。LPS の主な構成要素と外部回路の接続例を次の図に示します。

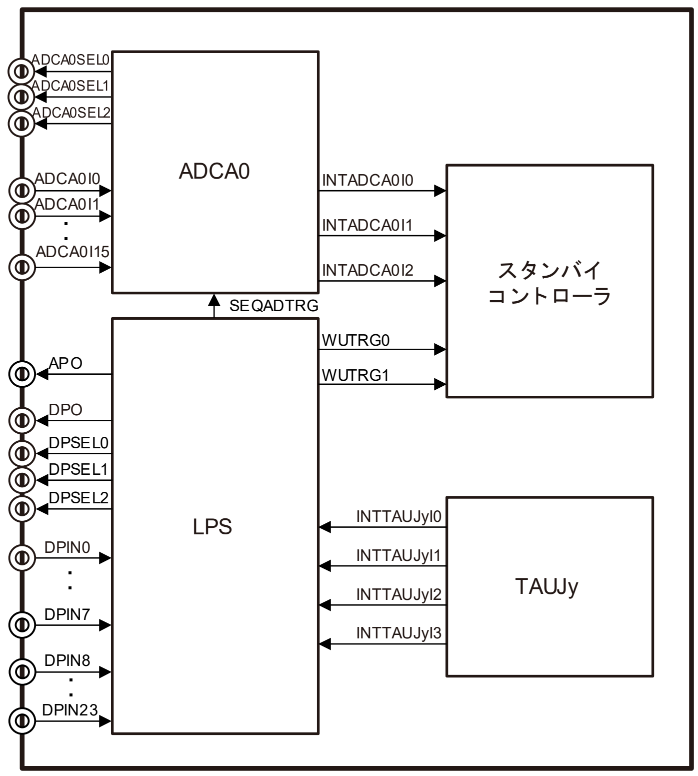


図 15.1 LPS のブロック図

注 意

DPSEL2～DPSEL0 は DPIN10～DPIN8 と同一の端子に兼用機能としてアサインされています。
同時に使用することはできません。

15.3　レジスタ

15.3.1　レジスター覧

LPS のレジスター覧を以下の表に示します。

<LPS0_base>は「**15.1.2 レジスタベースアドレス**」を参照してください。

表 15.21　レジスター覧

モジュール名	レジスタ名	略号	アドレス
LPS0	LPS 制御レジスタ	SCTLR	<LPS0_base> + 00_H
	イベントフラグレジスタ	EVFR	<LPS0_base> + 04_H
	DPIN 選択レジスタ 0	DPSELR0	<LPS0_base> + 08_H
	DPIN 選択レジスタ M	DPSELRM	<LPS0_base> + $0C_H$
	DPIN 選択レジスタ H	DPSELRH	<LPS0_base> + 10_H
	DPIN データ設定レジスタ 0	DPDSR0	<LPS0_base> + 14_H
	DPIN データ設定レジスタ M	DPDSRM	<LPS0_base> + 18_H
	DPIN データ設定レジスタ H	DPDSRH	<LPS0_base> + $1C_H$
	DPIN データ入力モニタレジスタ 0	DPDIMR0	<LPS0_base> + 20_H
	DPIN データ入力モニタレジスタ 1	DPDIMR1	<LPS0_base> + 24_H
	DPIN データ入力モニタレジスタ 2	DPDIMR2	<LPS0_base> + 28_H
	DPIN データ入力モニタレジスタ 3	DPDIMR3	<LPS0_base> + $2C_H$
	DPIN データ入力モニタレジスタ 4	DPDIMR4	<LPS0_base> + 30_H
	DPIN データ入力モニタレジスタ 5	DPDIMR5	<LPS0_base> + 34_H
	DPIN データ入力モニタレジスタ 6	DPDIMR6	<LPS0_base> + 38_H
	DPIN データ入力モニタレジスタ 7	DPDIMR7	<LPS0_base> + $3C_H$
	カウント値レジスタ	CNTVAL	<LPS0_base> + 40_H
	LPS 動作ステータスレジスタ	SOSTR	<LPS0_base> + 44_H

15.3.2　SCTLR ― LPS 制御レジスタ

LPS の設定を行います。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<LPS0_base> + 00_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TJIS2	NUMDP2	NUMDP1	NUMDP0	TJIS1	TJIS0	ADEN	DPEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15.22　SCTLR レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>31～8</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>6～4</td><td>NUMDP[2:0]</td><td>デジタル入力モード時のポートのリード回数を設定します。2 回以上の場合は外付けマルチプレクサを DPSEL[2:0]端子で制御します。
DPSELR0/DPSELRM/DPSELRH レジスタで比較許可したビットは、リード回数の設定に関わらず比較が実行され、結果によって WUTRG が発生します。
<table><tr><th>NUMDP[2:0]</th><th>ポートリード回数</th></tr><tr><td>000_B</td><td>1 回</td></tr><tr><td>001_B</td><td>2 回</td></tr><tr><td>010_B</td><td>3 回</td></tr><tr><td>011_B</td><td>4 回</td></tr><tr><td>100_B</td><td>5 回</td></tr><tr><td>101_B</td><td>6 回</td></tr><tr><td>110_B</td><td>7 回</td></tr><tr><td>111_B</td><td>8 回</td></tr></table>
TAUJy 動作開始前、かつシーケンス動作開始前（SCTLR.DPEN ビット＝0, SCTLR.ADEN ビット＝0, SOSTR.SOF ビット＝0 時）に設定してください。
（SCTLR.DPEN ビット, SCTLR.ADEN ビットの変更時、これらのビットには同じ値を書き込んでください）</td></tr>
<tr><td>7、3、2</td><td>TJIS[2:0]</td><td>シーケンススタートトリガ選択
000：INTTAUJ0I0　100：INTTAUJ2I0
001：INTTAUJ0I1　101：INTTAUJ2I1
010：INTTAUJ0I2　110：INTTAUJ2I2
011：INTTAUJ0I3　111：INTTAUJ2I3
シーケンス動作開始前（SCTLR.DPEN ビット＝0、SCTLR.ADEN ビット＝0、SOSTR.SOF ビット＝0 時）に設定してください。
（SCTLR.DPEN ビット、SCTLR.ADEN ビットの変更時、これらのビットには同じ値を書き込んでください）</td></tr>
<tr><td>1</td><td>ADEN</td><td>0：アナログ入力モード停止
1：アナログ入力モード許可</td></tr>
<tr><td>0</td><td>DPEN</td><td>0：デジタル入力モード停止
1：デジタル入力モード許可</td></tr>
</table>

15.3.3 EVFR — イベントフラグレジスタ

シーケンス動作によってデジタル入力端子で取り込んだデータ（DPDIMR7-DPDIMR0）と比較対象データ（DPDSRH/DPDSRM/DPDSR0）の比較結果を示します。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <LPS0_base> + 04_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DINEVF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 15.23 EVFR レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	DINEVF	デジタル入力端子で取り込んだデータ（DPDIMR7～DPDIMR0）と比較対象データ（DPDSRH/DPDSRM/DPDSR0）の比較結果を示します。 リード： 0：比較結果が一致 1：比較結果が不一致 ライト： 0：ビットをクリア 1：禁止 本ビットは、1 ビットでも不一致を検出するとセットされます。本ビットをクリアするために、0 のみ書き込み可能です。

15.3.4 DPSELR0 — DPIN 選択レジスタ 0

DPDSR0 と DPDIMR0 レジスタの比較対象ビットを設定するレジスタです。

DPSELR0 レジスタの書き込みはシーケンス動作開始前（SOSTR.SOF ビット＝0）に設定してください。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<LPS0_base> + 08_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	D0EN_23	D0EN_22	D0EN_21	D0EN_20	D0EN_19	D0EN_18	D0EN_17	D0EN_16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	D0EN_15	D0EN_14	D0EN_13	D0EN_12	D0EN_11	D0EN_10	D0EN_9	D0EN_8	D0EN_7	D0EN_6	D0EN_5	D0EN_4	D0EN_3	D0EN_2	D0EN_1	D0EN_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15.24　DPSELR0 レジスタの内容

ビット位置	ビット名	機能
31～24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
23～0	D0EN_n (n＝23～0)	1 回目にデジタルポート入力端子で取り込んだレジスタ（DPDIMR0）の値と比較対象のレジスタ（DPDSR0）のビット毎の比較許可／禁止を設定します。 0：比較禁止する 1：比較許可する

15.3.5 DPSELRM ― DPIN 選択レジスタ M

DPDSRM と DPDIMRm（m＝4～1）の比較対象ビットを設定するレジスタです。

DPSELRM レジスタの書き込みはシーケンス動作開始前（SOSTR.SOF ビット＝0）に設定してください。

アクセス	DPSELRM は 32 ビット単位でリード／ライト可能です。 DPSELRML、DPSELRMH は 16 ビット単位でリード／ライト可能です。 DPSELR1、DPSELR2、DPSELR3、DPSELR4 は 8 ビット単位でリード／ライト可能です。
アドレス	DPSELRM : <LPS0_base> + $0C_H$ DPSELRML : <LPS0_base> + $0C_H$, DPSELRMH : <LPS0_base> + $0E_H$ DPSELR1 : <LPS0_base> + $0C_H$, DPSELR2 : <LPS0_base> + $0D_H$, DPSELR3 : <LPS0_base> + $0E_H$, DPSELR4 : <LPS0_base> + $0F_H$
リセット後の値	$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	D4EN_7	D4EN_6	D4EN_5	D4EN_4	D4EN_3	D4EN_2	D4EN_1	D4EN_0	D3EN_7	D3EN_6	D3EN_5	D3EN_4	D3EN_3	D3EN_2	D3EN_1	D3EN_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	D2EN_7	D2EN_6	D2EN_5	D2EN_4	D2EN_3	D2EN_2	D2EN_1	D2EN_0	D1EN_7	D1EN_6	D1EN_5	D1EN_4	D1EN_3	D1EN_2	D1EN_1	D1EN_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15.25 DPSELRM レジスタの内容

ビット位置	ビット名	機能
31～24	D4EN_n (n＝7～0)	5 回目にデジタルポート入力端子で取り込んだレジスタ（DPDIMR4）の値と比較対象のレジスタ（DPDSR4）のビット毎の比較許可／禁止を設定します。 0：比較禁止する 1：比較許可する
23～16	D3EN_n (n＝7～0)	4 回目にデジタルポート入力端子で取り込んだレジスタ（DPDIMR3）の値と比較対象のレジスタ（DPDSR3）のビット毎の比較許可／禁止を設定します。 0：比較禁止する 1：比較許可する
15～8	D2EN_n (n＝7～0)	3 回目にデジタルポート入力端子で取り込んだレジスタ（DPDIMR2）の値と比較対象のレジスタ（DPDSR2）のビット毎の比較許可／禁止を設定します。 0：比較禁止する 1：比較許可する
7～0	D1EN_n (n＝7～0)	2 回目にデジタルポート入力端子で取り込んだレジスタ（DPDIMR1）の値と比較対象のレジスタ（DPDSR1）のビット毎の比較許可／禁止を設定します。 0：比較禁止する 1：比較許可する

15.3.6　DPSELRH ― DPIN 選択レジスタ H

DPDSRH と DPDIMRm（m＝7～5）の比較対象ビットを設定するレジスタです。

DPSELRH レジスタの書き込みはシーケンス動作開始前（SOSTR.SOF ビット＝0）に設定してください。

アクセス　DPSELRH は 32 ビット単位でリード／ライト可能です。
DPSELRHL、DPSELRHH は 16 ビット単位でリード／ライト可能です。
DPSELR5、DPSELR6、DPSELR7 は 8 ビット単位でリード／ライト可能です。

アドレス　DPSELRH : <LPS0_base> + 10_H

DPSELRHL : <LPS0_base> + 10_H,
DPSELRHH : <LPS0_base> + 12_H

DPSELR5 : <LPS0_base> + 10_H,
DPSELR6 : <LPS0_base> + 11_H,
DPSELR7 : <LPS0_base> + 12_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	D7EN_7	D7EN_6	D7EN_5	D7EN_4	D7EN_3	D7EN_2	D7EN_1	D7EN_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	D6EN_7	D6EN_6	D6EN_5	D6EN_4	D6EN_3	D6EN_2	D6EN_1	D6EN_0	D5EN_7	D5EN_6	D5EN_5	D5EN_4	D5EN_3	D5EN_2	D5EN_1	D5EN_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15.26　DPSELRH レジスタの内容

ビット位置	ビット名	機能
31～24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
23～16	D7EN_n (n=7～0)	8 回目にデジタルポート入力端子で取り込んだレジスタ（DPDIMR7）の値と比較対象のレジスタ（DPDSR7）のビット毎の比較許可／禁止を設定します。 0：比較禁止する 1：比較許可する
15～8	D6EN_n (n=7～0)	7 回目にデジタルポート入力端子で取り込んだレジスタ（DPDIMR6）の値と比較対象のレジスタ（DPDSR6）のビット毎の比較許可／禁止を設定します。 0：比較禁止する 1：比較許可する
7～0	D5EN_n (n=7～0)	6 回目にデジタルポート入力端子で取り込んだレジスタ（DPDIMR5）の値と比較対象のレジスタ（DPDSR5）のビット毎の比較許可／禁止を設定します。 0：比較禁止する 1：比較許可する

15.3.7　DPDSR0 — DPIN データ設定レジスタ 0

シーケンス動作によってデジタル入力端子で取り込んだデータ（DPDIMR0）と比較するデータを設定するレジスタです。

DPDSR0 レジスタの書き込みはシーケンス動作開始前（SOSTR.SOF ビット＝0）に設定してください。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<LPS0_base> + 14_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	D0_23	D0_22	D0_21	D0_20	D0_19	D0_18	D0_17	D0_16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	D0_15	D0_14	D0_13	D0_12	D0_11	D0_10	D0_9	D0_8	D0_7	D0_6	D0_5	D0_4	D0_3	D0_2	D0_1	D0_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15.27　DPDSR0 レジスタの内容

ビット位置	ビット名	機能
31～24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
23～0	D0_n (n＝23～0)	1 回目のデジタルポート入力（DPINm）に対する比較データ

15.3.8　DPDSRM — DPIN データ設定レジスタ M

シーケンス動作によってデジタル入力端子で取り込んだデータ（DPDIMR4～1）と比較するデータを設定するレジスタです。

DPDSRM レジスタの書き込みはシーケンス動作開始前（SOSTR.SOF ビット＝0）に設定してください。

アクセス　DPDSRM は 32 ビット単位でリード／ライト可能です。
DPDSRML、DPDSRMH は 16 ビット単位でリード／ライト可能です。
DPDSR1、DPDSR2、DPDSR3、DPDSR4 は 8 ビット単位でリード／ライト可能です。

アドレス　DPDSRM：<LPS0_base> + 18_H

DPDSRML：<LPS0_base> + 18_H,
DPDSRMH：<LPS0_base> + $1A_H$

DPDSR1：<LPS0_base> + 18_H,
DPDSR2：<LPS0_base> + 19_H,
DPDSR3：<LPS0_base> + $1A_H$,
DPDSR4：<LPS0_base> + $1B_H$

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	D4_7	D4_6	D4_5	D4_4	D4_3	D4_2	D4_1	D4_0	D3_7	D3_6	D3_5	D3_4	D3_3	D3_2	D3_1	D3_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	D2_7	D2_6	D2_5	D2_4	D2_3	D2_2	D2_1	D2_0	D1_7	D1_6	D1_5	D1_4	D1_3	D1_2	D1_1	D1_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15.28　DPDSRM レジスタの内容

ビット位置	ビット名	機能
31～24	D4_n (n＝7～0)	5 回目のデジタルポート入力（DPINm）に対する比較データ
23～16	D3_n (n＝7～0)	4 回目のデジタルポート入力（DPINm）に対する比較データ
15～8	D2_n (n＝7～0)	3 回目のデジタルポート入力（DPINm）に対する比較データ
7～0	D1_n (n＝7～0)	2 回目のデジタルポート入力（DPINm）に対する比較データ

15.3.9　DPDSRH — DPIN データ設定レジスタ H

シーケンス動作によってデジタル入力端子で取り込んだデータ（DPDIMR7～5）と比較するデータを設定するレジスタです。

DPDSRH レジスタの書き込みはシーケンス動作開始前（SOSTR.SOF ビット＝0）に設定してください。

アクセス　DPDSRH は 32 ビット単位でリード／ライト可能です。
DPDSRHL、DPDSRHH は 16 ビット単位でリード／ライト可能です。
DPDSR5、DPDSR6、DPDSR7 は 8 ビット単位でリード／ライト可能です。

アドレス　DPDSRH：<LPS0_base> + $1C_H$
DPDSRHL：<LPS0_base> + $1C_H$,
DPDSRHH：<LPS0_base> + $1E_H$
DPDSR5：<LPS0_base> + $1C_H$,
DPDSR6：<LPS0_base> + $1D_H$,
DPDSR7：<LPS0_base> + $1E_H$

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	D7_7	D7_6	D7_5	D7_4	D7_3	D7_2	D7_1	D7_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	D6_7	D6_6	D6_5	D6_4	D6_3	D6_2	D6_1	D6_0	D5_7	D5_6	D5_5	D5_4	D5_3	D5_2	D5_1	D5_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15.29　DPDSRH レジスタの内容

ビット位置	ビット名	機能
31～24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
23～16	D7_n (n＝7～0)	8 回目のデジタルポート入力（DPINm）に対する比較データ
15～8	D6_n (n＝7～0)	7 回目のデジタルポート入力（DPINm）に対する比較データ
7～0	D5_n (n＝7～0)	6 回目のデジタルポート入力（DPINm）に対する比較データ

15.3.10　DPDIMR0 ― DPIN データ入力モニタレジスタ 0

LPS が各デジタル入力モードでデジタルポート入力（DPINm (m＝0～23)）から取り込んだデータを格納するレジスタです。DPDIMR0 には 1 回目に取り込んだデータを格納します。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　<LPS0_base> + 20_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	D0M_23	D0M_22	D0M_21	D0M_20	D0M_19	D0M_18	D0M_17	D0M_16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	D0M_15	D0M_14	D0M_13	D0M_12	D0M_11	D0M_10	D0M_9	D0M_8	D0M_7	D0M_6	D0M_5	D0M_4	D0M_3	D0M_2	D0M_1	D0M_0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 15.30　DPDIMR0 レジスタの内容

ビット位置	ビット名	機能
31～24	予約ビット	リードした場合はリセット後の値が読めます。
23～0	D0M_n (n＝23～0)	1 回目のデジタルポート入力（DPINm）データ

15.3.11　DPDIMR1 ― DPIN データ入力モニタレジスタ 1

LPS がマルチプレクサモードまたは MIX モードでデジタルポート入力（DPINm (m＝0～7)）から取り込んだデータを格納するレジスタです。DPDIMR1 には 2 回目に取り込んだデータを格納します。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<LPS0_base> + 24_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	D1M_7	D1M_6	D1M_5	D1M_4	D1M_3	D1M_2	D1M_1	D1M_0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 15.31　DPDIMR1 レジスタの内容

ビット位置	ビット名	機能
7～0	D1M_n (n＝7～0)	2 回目のデジタルポート入力（DPINm）データ

15.3.12　DPDIMR2 ― DPIN データ入力モニタレジスタ 2

LPS がマルチプレクサモードまたは MIX モードでデジタルポート入力（DPINm (m＝0～7)）から取り込んだデータを格納するレジスタです。DPDIMR2 には 3 回目に取り込んだデータを格納します。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<LPS0_base> + 28_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	D2M_7	D2M_6	D2M_5	D2M_4	D2M_3	D2M_2	D2M_1	D2M_0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 15.32　DPDIMR2 レジスタの内容

ビット位置	ビット名	機能
7～0	D2M_n (n＝7～0)	3 回目のデジタルポート入力（DPINm）データ

15.3.13　DPDIMR3 ― DPIN データ入力モニタレジスタ 3

LPS がマルチプレクサモードまたは MIX モードでデジタルポート入力（DPINm (m＝0～7)）から取り込んだデータを格納するレジスタです。DPDIMR3 には 4 回目に取り込んだデータを格納します。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<LPS0_base> + $2C_H$

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	D3M_7	D3M_6	D3M_5	D3M_4	D3M_3	D3M_2	D3M_1	D3M_0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 15.33　DPDIMR3 レジスタの内容

ビット位置	ビット名	機能
7～0	D3M_n (n＝7～0)	4 回目のデジタルポート入力（DPINm）データ

15.3.14　DPDIMR4 ― DPIN データ入力モニタレジスタ 4

LPS がマルチプレクサモードまたは MIX モードでデジタルポート入力（DPINm (m＝0～7)）から取り込んだデータを格納するレジスタです。DPDIMR4 には 5 回目に取り込んだデータを格納します。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<LPS0_base> + 30_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	D4M_7	D4M_6	D4M_5	D4M_4	D4M_3	D4M_2	D4M_1	D4M_0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 15.34　DPDIMR4 レジスタの内容

ビット位置	ビット名	機能
7～0	D4M_n (n＝7～0)	5 回目のデジタルポート入力（DPINm）データ

15.3.15　DPDIMR5 ― DPIN データ入力モニタレジスタ 5

LPS がマルチプレクサモードまたは MIX モードでデジタルポート入力（DPINm (m＝0～7)）から取り込んだデータを格納するレジスタです。DPDIMR5 には 6 回目に取り込んだデータを格納します。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<LPS0_base> + 34_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	D5M_7	D5M_6	D5M_5	D5M_4	D5M_3	D5M_2	D5M_1	D5M_0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 15.35　DPDIMR5 レジスタの内容

ビット位置	ビット名	機能
7～0	D5M_n (n＝7～0)	6 回目のデジタルポート入力（DPINm）データ

15.3.16　DPDIMR6 ― DPIN データ入力モニタレジスタ 6

LPS がマルチプレクサモードまたは MIX モードでデジタルポート入力（DPINm (m＝0～7)）から取り込んだデータを格納するレジスタです。DPDIMR6 には 7 回目に取り込んだデータを格納します。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<LPS0_base> + 38_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	D6M_7	D6M_6	D6M_5	D6M_4	D6M_3	D6M_2	D6M_1	D6M_0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 15.36　DPDIMR6 レジスタの内容

ビット位置	ビット名	機能
7～0	D6M_n (n＝7～0)	7 回目のデジタルポート入力（DPINm）データ

15.3.17　DPDIMR7 ― DPIN データ入力モニタレジスタ 7

LPS がマルチプレクサモードでデジタルポート入力（DPINm (m＝0～7)）から取り込んだデータを格納するレジスタです。DPDIMR7 には 8 回目に取り込んだデータを格納します。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<LPS0_base> + $3C_H$

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	D7M_7	D7M_6	D7M_5	D7M_4	D7M_3	D7M_2	D7M_1	D7M_0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 15.37　DPDIMR7 レジスタの内容

ビット位置	ビット名	機能
7～0	D7M_n (n＝7～0)	8 回目のデジタルポート入力（DPINm）データ

15.3.18　CNTVAL — カウント値レジスタ

外部回路（デジタル信号源とアナログ信号源）の安定時間を設定するレジスタです。

- デジタル入力モードの場合

  DPO 出力が 1 になってから 1 度目のポート入力の取り込みを行うまでの時間

- アナログ入力モードの場合

  APO 出力が 1 になってから A/D 変換トリガを LPS が ADCA0 に対して出力するまでの時間

CNTVAL レジスタの書き込みは、シーケンス動作開始前（SOSTR.SOF ビット＝0）に設定してください。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<LPS0_base> + 40_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNT17	CNT16	CNT15	CNT14	CNT13	CNT12	CNT11	CNT10	CNT07	CNT06	CNT05	CNT04	CNT03	CNT02	CNT01	CNT00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 15.38　CNTVAL レジスタの内容

ビット位置	ビット名	機能
15～8	CNT1n (n=7～0)	外部回路（アナログ信号源）の安定時間設定 安定時間＝(1 / f_{RH}) × 16 × CNT1n (設定値)
7～0	CNT0n (n=7～0)	外部回路（デジタル信号源）の安定時間設定 安定時間＝(1 / f_{RH}) × 16 × CNT0n (設定値)

15.3.19　SOSTR — LPS 動作ステータスレジスタ

LPS の動作状態を示すレジスタです。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<LPS0_base> + 44_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	SOF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 15.39　SOSTR レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	リードした場合はリセット後の値が読めます。
0	SOF	LPS 動作のステータスフラグ 0：スタートトリガ発生前の初期状態 1：LPS 動作中（スタートトリガ発生後） SOF ビットが“1”のとき（LPS 動作中）にスタートトリガが発生した場合、スタートトリガはキャンセルされます。

備　考

LPS 動作停止のため DPEN もしくは ADEN を 0 に設定した場合、SOF ビットはハードウェアで一旦 1 にセットされた後に 0 になります。

15.4　デジタル入力モード

デジタル入力ポート DPINm を使用し、さらに外部でマルチプレクサを接続することによって、「**表 15.40 監視ポートの組み合わせ**」の組み合わせに示すように最大 64 本のポート入力を監視することが出来ます。

外部マルチプレクサの切り替えにはポート DPSELk を使用します。DPSELk 出力の切り替えは SCTLR レジスタに設定された回数分実施されます。

ポートへの入力値を確認するタイミングは TAUJy を使用して設定します。

表 15.40　監視ポートの組み合わせ

組み合わせ（ポート数×チェック回数）	使用ポート	合計本数
ダイレクトモード 外付けマルチプレクサを使用せずに一斉にポート入力を確認する場合 最大 24 本×1 回	DPIN23～DPIN0	最大 24
マルチプレクサモード 外付けマルチプレクサを使用して少ない端子で確認する場合 最大 8 本×8 回	DPIN7～DPIN0 DPSEL2～DPSEL0	最大 64
MIX モード 上記 2 つの組み合わせで確認する場合 最大 14 本×1 回＋最大 7 本×7 回	DPIN7～DPIN0 DPIN16～DPIN11 DPSEL2～DPSEL0 注 1	最大 63

注1.　DPIN16～DPIN11, DPIN7 は 1 回目のみ確認します。DPIN10～DPIN8 は DPSEL2～DPSEL0 と兼用のため使用できません。

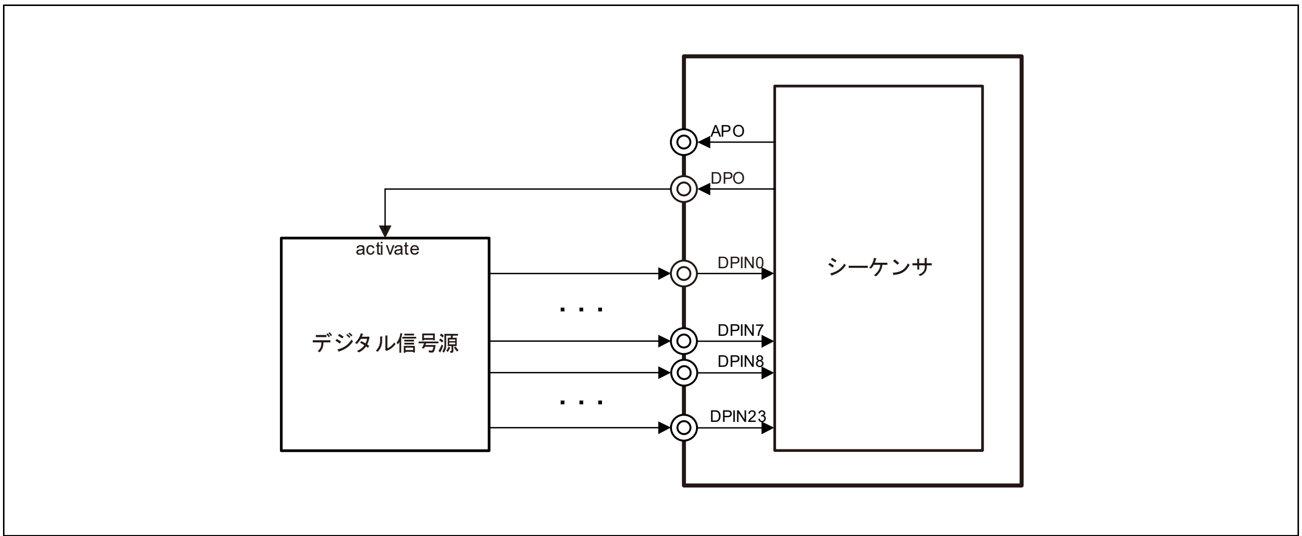


図 15.2　　ダイレクトモードの接続例

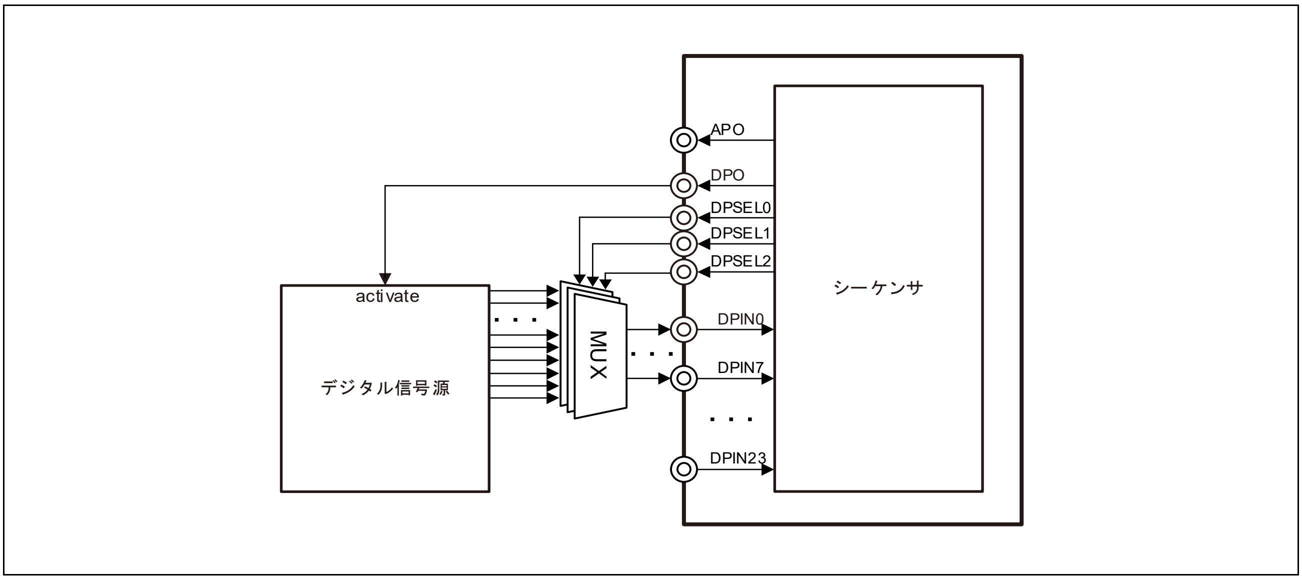


図 15.3　マルチプレクサモードの接続例

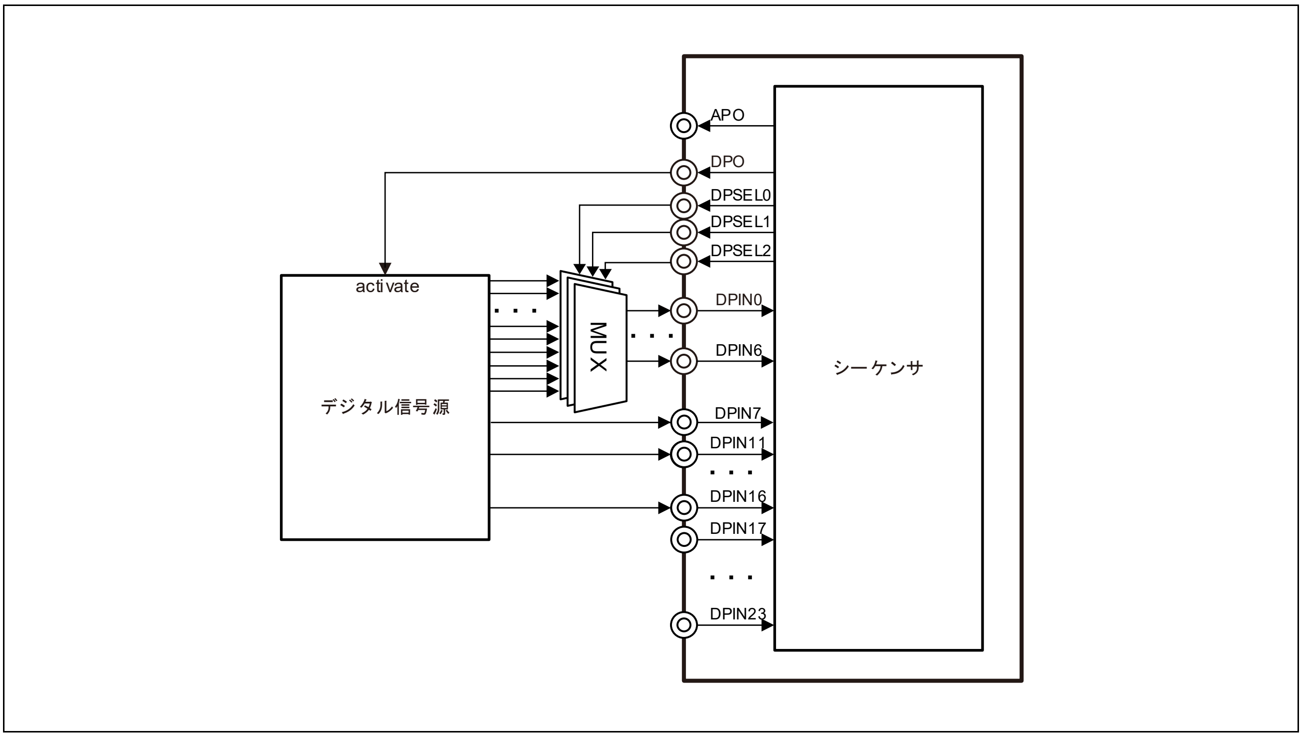


図 15.4　MIX モードの接続例

注　意

DPSEL2～DPSEL0 は DPIN10～DPIN8 と同一の端子に兼用機能としてアサインされています。

同時に使用することはできません。

準備

- SCTLR レジスタの NUMDP[2:0]ビットおよび TJIS[2:0]ビットを設定し、ポートのリード回数とシーケンススタートトリガとして用いる TAUJy 割り込みを選択
- TAUJ0 にインターバルタイマを設定
- CNTVAL レジスタの下位 8 ビットでデジタル信号源のウェイト時間を設定
- DPDSR0、DPDSRM、DPDSRH レジスタに期待値を設定
- DPSELR0、DPSELRM、DPSELRH レジスタに確認するポートを設定

開始

- TAUJy をスタートする
- SCTLR.DPEN ビットを 1 に設定する

開始後は TAUJy に設定した間隔でポートを確認します。動作開始後は RUN モード、パワーセーブモードに関わらず動作を継続します。スタンバイモードで HS IntOSC が停止している場合はシーケンス動作中のみ HS IntOSC の動作が再開されます。

設定されたすべてのポートの確認が完了すると、INTCWEND 割り込みが発生します。また、ポートの入力値が DPDSR0、DPDSRM、DPDSRH レジスタで設定した期待値と異なる場合、ウェイクアップ要因 WUTRG0 を発生させます。デジタル入力モードの動作例を以下の図について示します。

停止

デジタル入力モードの LPS 動作を停止する時（SCTLR.DPEN ビットを 1 から 0 に設定）、以下に示す手順に従ってください。以下の例では P0_0 端子を DPO として使用しています。

1. ポートレジスタをロウレベル出力に設定する。（P0.P0_0＝0）
2. P0_0 を兼用ポートモードからポートモードに設定する。（PMC0.PMC0_0＝0）
3. SCTLR.DPEN＝0 に設定する。

備　考

上記手順は P0_0 端子を DPO として使用する場合に適用されます。P0_2 端子を DPO として使用する場合は P0_2 端子の設定を同様の手順で設定してください。

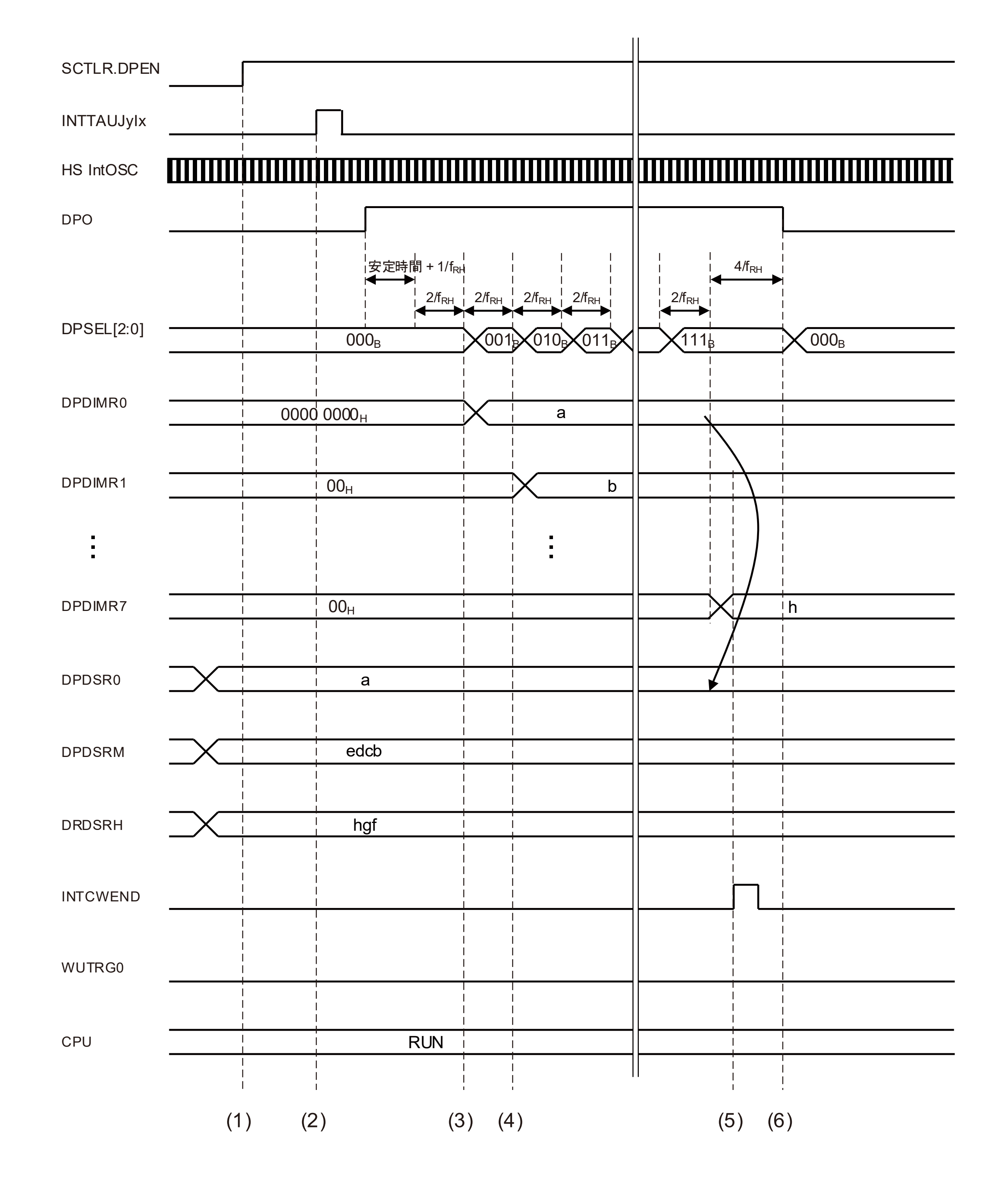


図 15.5　デジタル入力モード（8 本×8 回）の動作　入力値が変化しない場合（RUN モード）

(1) ソフトウェアにより SCTLR.DPEN ビット＝1 に設定し、LPS のデジタル入力モードを有効にします。

(2) SCTLR.TJIS ビットにより設定された INTTAUJyIx 割り込みが発生すると、DPO 端子からハイレベルを出力し、外部のデジタル信号源の安定を待つために CNTVAL.CNT0n に設定された時間だけウェイトします。

(3) 信号源の安定時間が完了すると、LPS が DPIN[7:0]の入力値を DPDIMR0 レジスタに格納し、外部のマルチプレクサを切り替えるため DPSEL[2:0]端子をインクリメントします。

(4) DPSEL[2:0]端子切り替え後、DPDIMR1 以降のレジスタに順次値の格納と DPSEL[2:0]のインクリメントを続けます。

(5) DPDIMR7 レジスタまで値を格納したのち、INTCWEND 割り込みを発生させ、DPDSR0、DPDSRM、DPDSRH レジスタに設定された期待値との比較を行います。

(6) 期待値との差異がない場合はウェイクアップ要因 WUTRG0 は発生せず、LPS は DPO の出力を停止し再びトリガ待ち状態に戻ります。

DPO 端子のハイレベル幅は以下の式により算出されます。安定時間については「**15.3.18 CNTVAL — カウント値レジスタ**」を参照してください。

DPO 端子のハイレベル幅

＝安定時間 $+ (1 / f_{RH}) \times 1 + (1 / f_{RH}) \times 2 \times$ (SCTLR.NUMDP (set value) $+ 1) + (1 / f_{RH}) \times 4$

＝安定時間 $+ (1 / f_{RH}) \times (2 \times$ SCTLR.NUMDP (set value) $+ 7)$

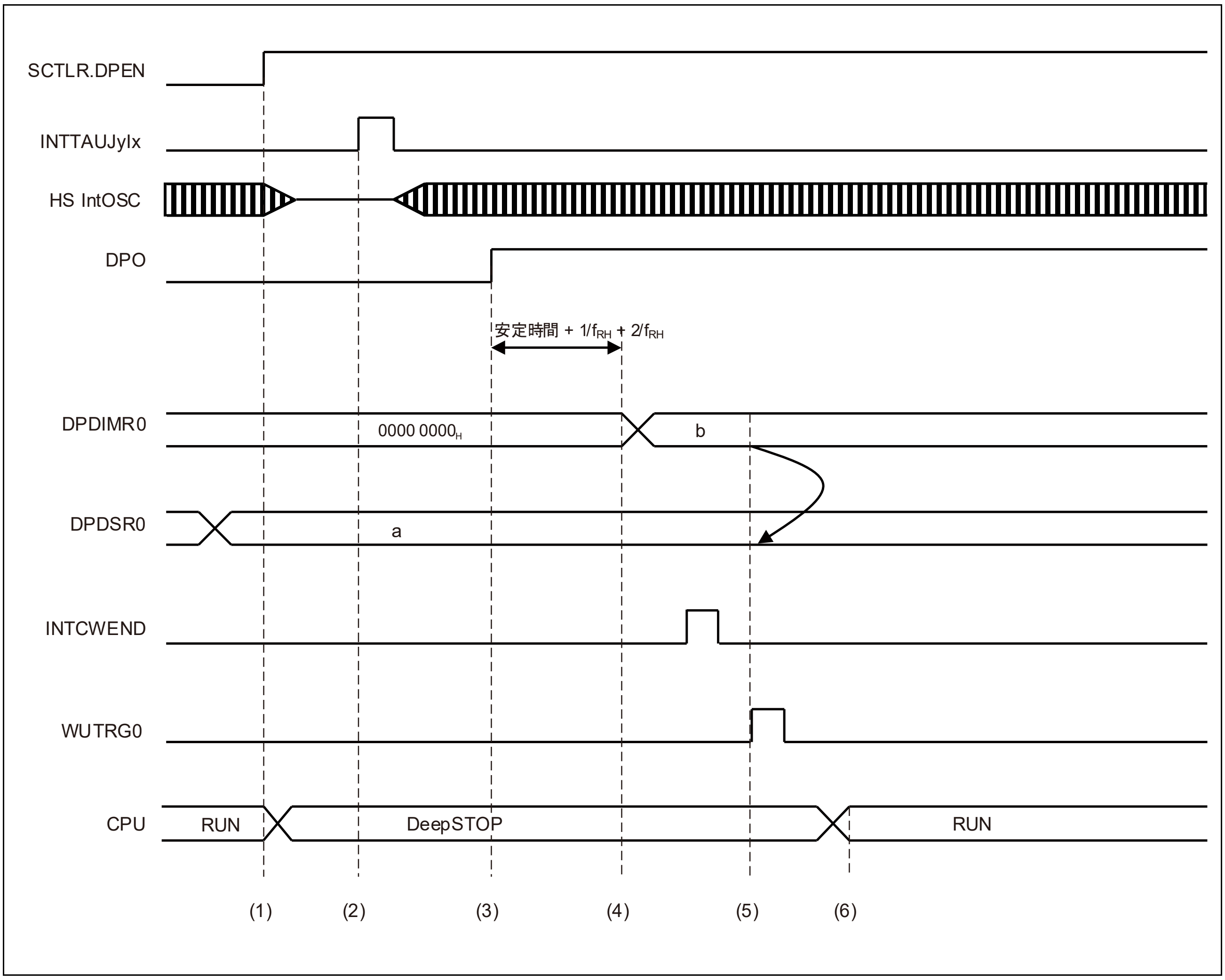


図 15.6　デジタル入力モード（24 本×1 回）の動作　入力値が変化する場合（DeepSTOP モード）

(1) ソフトウェアにより SCTLR.DPEN ビット＝1 に設定し、LPS のデジタル入力モードを有効にした状態で STBC0PSC.STBC0DISTRG＝1 に設定し DeepSTOP モードに遷移します。

(2) SCTLR.TJIS ビットにより設定された INTTAUJyIx 割り込みが発生すると、LPS は HSIntOSC を有効にし発振を開始させます。

(3) HS IntOSC の安定時間が完了すると、LPS は DPO 端子からハイレベルを出力し、外部のデジタル信号源の安定を待つために CNTVAL.CNT0n に設定された時間だけウェイトします。

(4) 信号源の安定時間が完了すると、LPS が DPIN[23:0]の入力値を DPDIMR0 レジスタに格納し、INTCWEND 割り込みが発生します。

(5) DPDIMR0 レジスタに格納された値を DPDSR0 レジスタに設定された期待値と比較し、期待値と差異があった場合はウェイクアップ要因 WUTRG0 が発生します。

(6) WUTRG0 の発生により、CPU は RUN モードへ復帰します。DPO 端子は、ソフトウェアにより EVFR.DINEVF ビット＝0 に設定するまでハイレベル出力を維持します。

15.4.1　デジタルポートエラー割り込み

データ比較での不一致を示すレベルセンシティブな割り込みが発生します。この割り込みはスタンバイモードのみでなく RUN モードでも発生します。セット／クリア条件を以下に示します。

表 15.41　デジタルポートエラー割り込み

ユニット割り込み信号	セット条件	クリア条件
INTDPE	ハードウェアにより EVFR.DINEVF ビットが“1”にセットされた場合。	ソフトウェアにより EVFR.DINEVF ビットが“0”にクリアされた場合。

15.5　アナログ入力モード

アナログ入力ポート ADCA0Im（m＝0～15）を監視することが出来ます。

ポートへの入力値を確認するタイミングは TAUJy を使用して設定します。

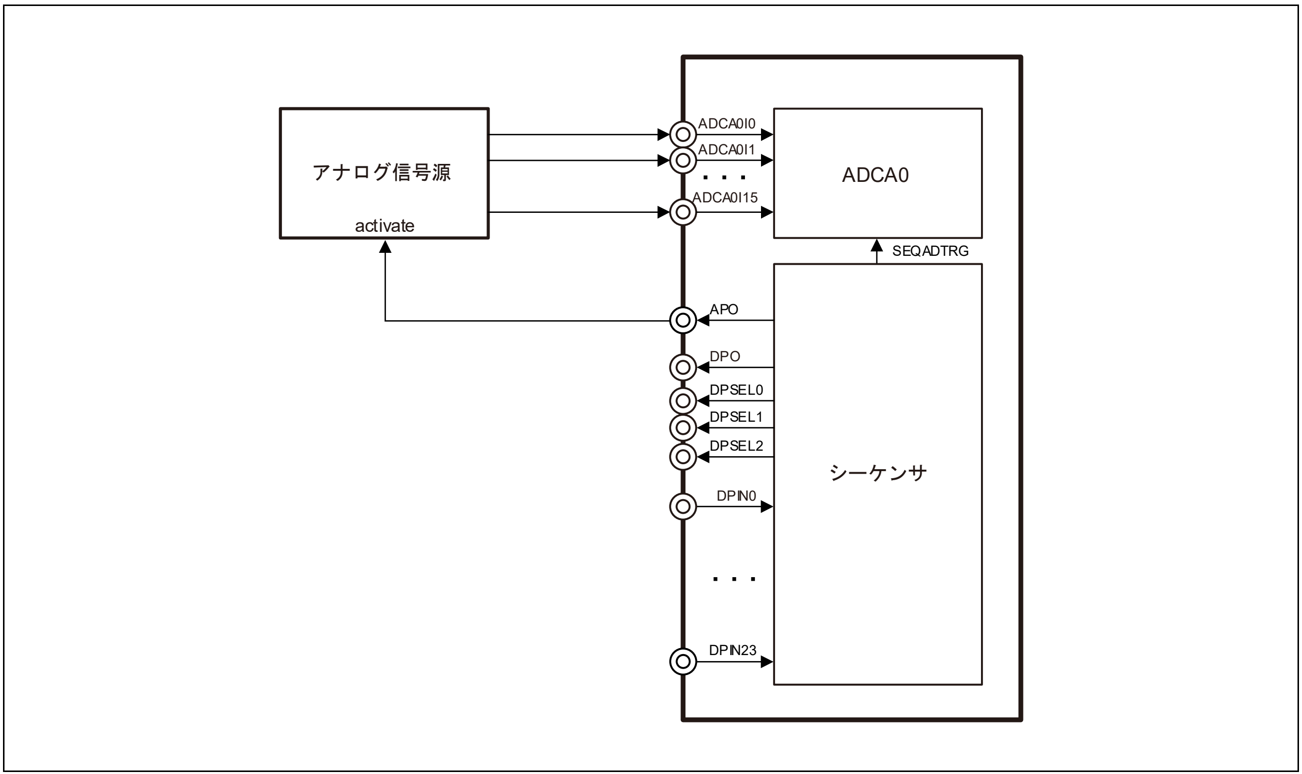


図 15.7　アナログ入力モードの接続例 1

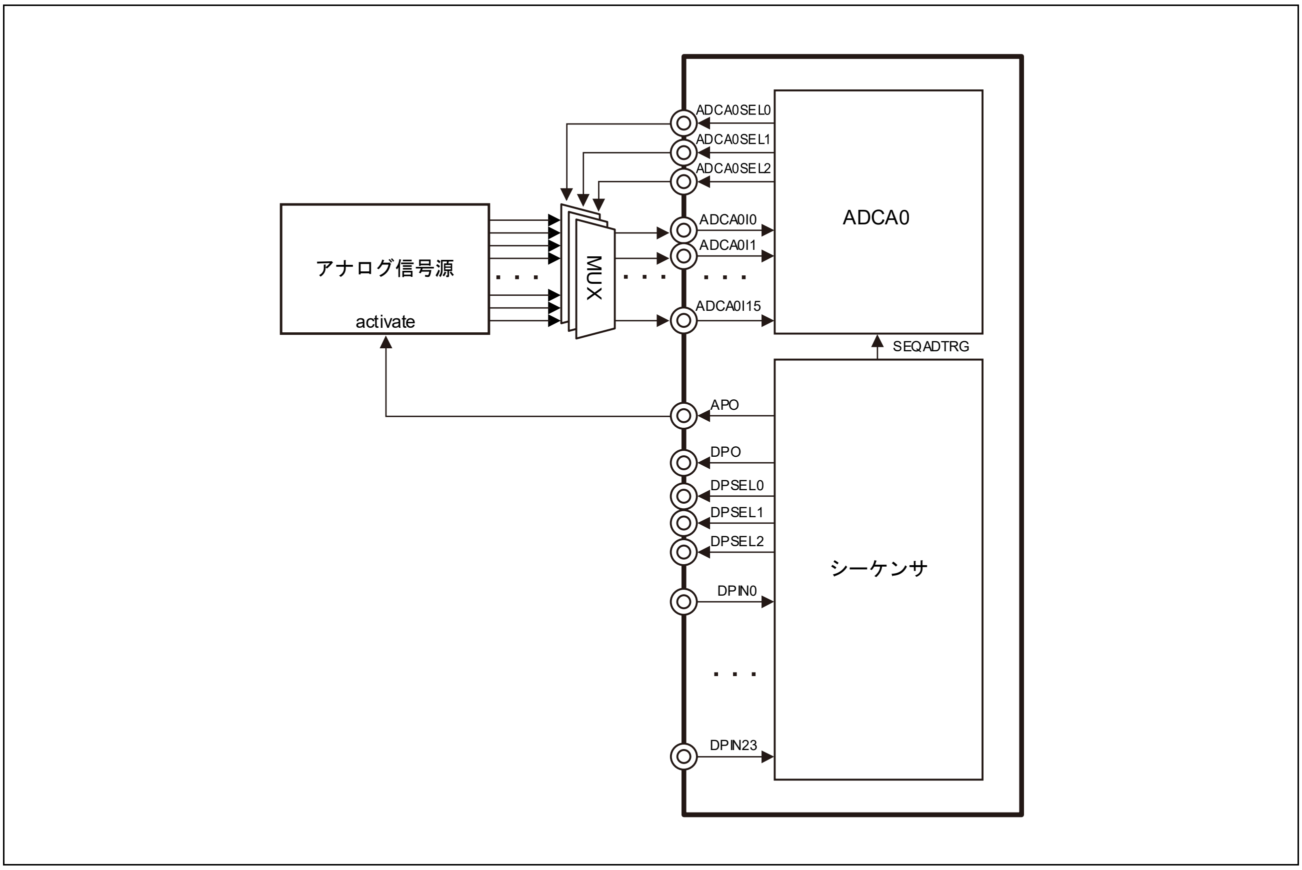


図 15.8　アナログ入力モードの接続例 2

準備

- SCTLR レジスタの TJIS[2:0]ビットを設定し、シーケンススタートトリガとして用いる TAUJy 割り込みを選択
- TAUJy にインターバル･タイマを設定
- CNTVAL レジスタの上位 8 ビットでアナログ信号源のウェイト時間を設定
- ADCA0 の設定

注　意

1. LPS を使用する際、A/D 変換完了割り込み（INT_SGx）は、LPS の全チャネルの変換を完了してから出力させてください。以下の設定をしてください。
   - 仮想チャネルレジスタ j（ADCA0VCRj）の ADIE ビットは、「0：SGx の仮想チャネル j の A/D 変換終了でスキャングループ x 終了割り込み（INT_SGx）を発生しない」に設定。
   - スキャングループ x 制御レジスタ（ADCA0SGCRx）の ADIE ビットは、「1：SGx のスキャン終了で INT_SGx を出力する」に設定。
2. SCLTR.TJIS[2:0]により設定した LPS シーケンススタートトリガの発生から LPS の全チャネルの A/D 変換終了までの期間は、PWM-Diag を除く他の A/D 変換を行わないでください。
   LPS はスキャングループ SG1、SG2、または SG3 の A/D 変換完了割り込みを受け付けますが、SG の種類は認識しません（3 つの割り込みは論理和をとって 1 つの割り込みにまとめられます）。いずれかの SG を使用しての LPS 動作中には、ほかの SG は、A/D 変換完了割り込みや A/D エラー割り込みを設定することはできません。
3. SCLTR.TJIS[2:0]により設定した LPS シーケンススタートトリガの発生から LPS の全チャネルの A/D 変換終了までの期間は、ADCA0ADHALTR.HALT ビットによる A/D 変換の強制終了を行わないでください。
4. LPS を使用する際は、以下のモードを使用しないでください。

- 連続スキャンモード
（ADCA0SGCRx.SCANMD＝1 の設定は禁止）
- マルチサイクル数 2 回以上のマルチサイクルスキャンモード
（ADCA0SGMCYCRx.MCYC＝01_B or 11_B の設定は禁止）
- チャネルリピート回数 2 回以上のチャネルリピートモード
（ADCA0SGCRx.SCT＝01_B or 10_B の設定は禁止）

開始

- TAUJy をスタートする
- SCTLR.ADEN ビットを 1 に設定する

開始後は TAUJy に設定した間隔でポートを確認します。動作開始後は RUN モード、パワーセーブモードに関わらず動作を継続します。スタンバイモードで HS IntOSC が停止している場合はシーケンス動作中のみ HS IntOSC の動作が再開されます。

アナログ入力値が期待値と異なることを検出する場合は、A/D コンバータの A/D エラー割り込み要求（INTADCA0ERR）を使用してください。

また、アナログ入力値が期待値と異なる場合、ウェイクアップ要因 WUTRG1 を発生させます。

A/D エラー割り込み要求（INTADCA0ERR）の詳細については、「**38.4.13　A/D エラー割り込み要求**」注 1 を参照してください。アナログ入力モードを使用する場合の動作例を以下の図に示します。

注1.　「**第 38 章　A/D コンバータ（ADCA）**」の章では、A/D エラー割り込み要求名は「INT_ADE」と記載されています。

停止

アナログ入力モードの LPS 動作を停止する時（SCTLR.APEN ビットを 1 から 0 に設定）、以下に示す手順に従ってください。APO は P0_1 端子にアサインされています。

1. ポートレジスタをロウレベル出力に設定する。（P0.P0_1＝0）
2. P0_1 を兼用ポートモードからポートモードに設定する。（PMC0.PMC0_1＝0）
3. SCTLR.ADEN＝0 に設定する。

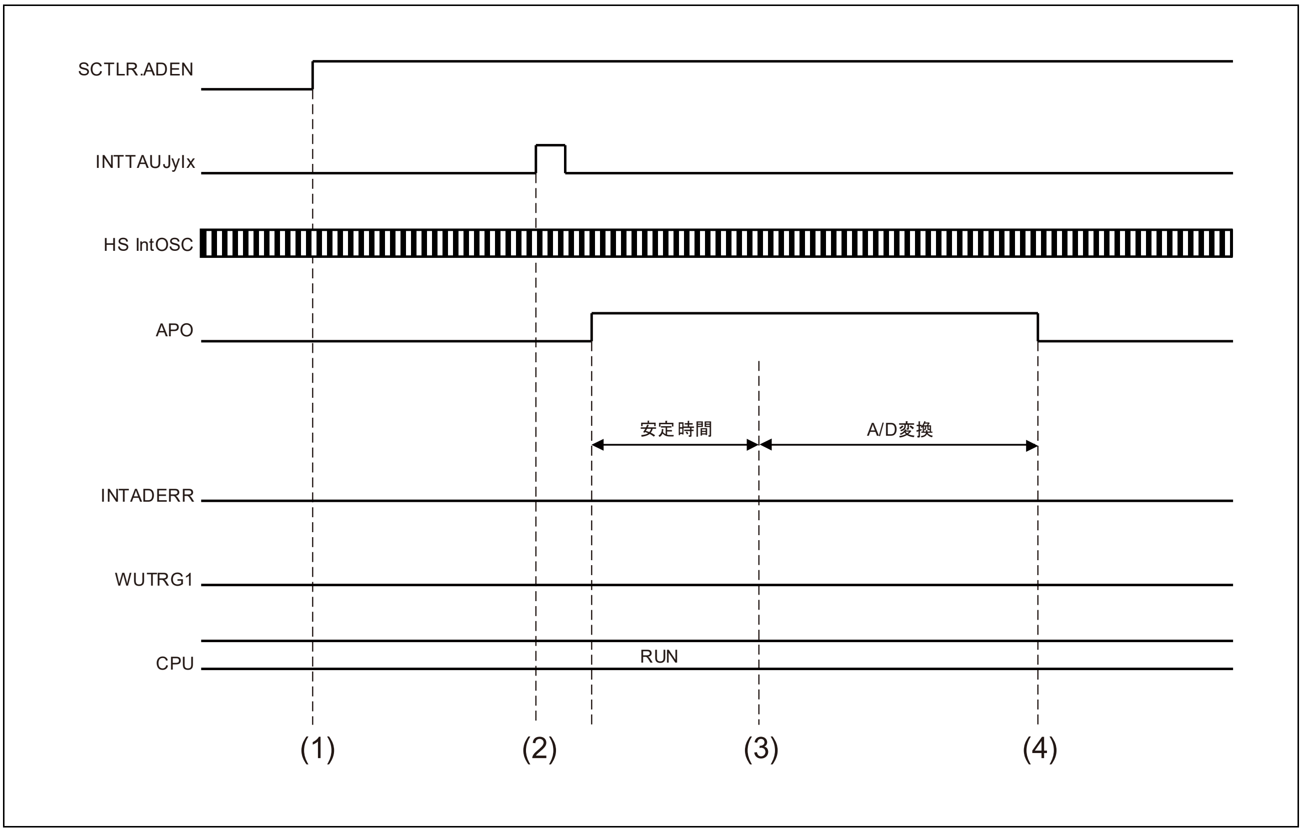


図 15.9　アナログ入力モードの動作　変換結果が期待値範囲内の場合（RUN モード）

(1) ソフトウェアにより A/D コンバータの変換トリガ、スキャングループ、期待値の範囲を設定した後、SCTLR.ADEN ビット＝1 に設定し、LPS のアナログ入力モードを有効にします。

(2) SCTLR.TJIS ビットにより設定された INTTAUJyIx 割り込みが発生すると、LPS は APO 端子からハイレベルを出力すると同時に A/D コンバータを有効にし、外部のアナログ信号源の安定を待つために CNTVAL.CNT1n に設定された時間だけウェイトします。安定時間は 1μs 以上となるよう設定する必要があります。

(3) 信号源の安定時間が完了すると、LPS が A/D コンバータに対して変換開始をトリガし、A/D コンバータのスキャングループに設定された ADCA0Im（m＝0～15）の A/D 変換を開始します。

(4) A/D 変換の結果 INTADCA0ERR 割り込みが発生しない場合、LPS は A/D コンバータを停止して APO 端子をリセットします。

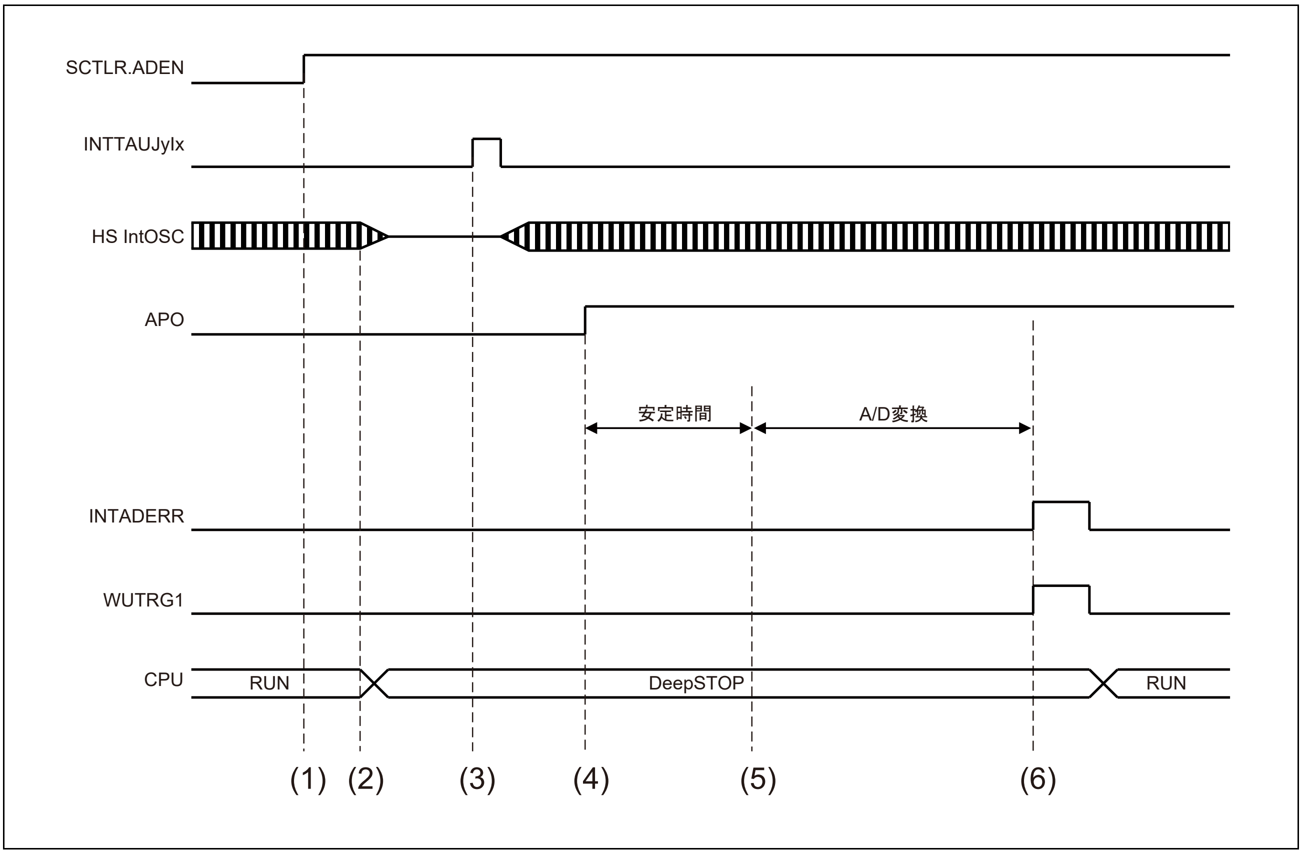


図 15.10 アナログ入力モードの動作 変換結果が期待値範囲外の場合（DeepSTOP モード）

(1) ソフトウェアにより A/D コンバータの変換トリガ、スキャングループ、期待値の範囲を設定した後、SCTLR.ADEN ビット＝1 に設定し、LPS のアナログ入力モードを有効にします。

(2) ソフトウェアにより STBC0PSC.STBC0DISTRG＝1 に設定し、DeepSTOP モードに遷移します。

(3) SCTLR.TJIS ビットにより設定された INTTAUJyIx 割り込みが発生すると、LPS は HS IntOSC を有効にし発振を開始させます。

(4) HS IntOSC の安定時間が完了すると、LPS は APO 端子からハイレベルを出力すると同時に A/D コンバータを有効にし、外部のアナログ信号源の安定を待つために CNTVAL.CNT1n に設定された時間だけウェイトします。

(5) 信号源の安定時間が完了すると、LPS が A/D コンバータに対して変換開始をトリガし、A/D コンバータのスキャングループに設定された ADCA0Im（m＝0～15）の A/D 変換を開始します。

(6) A/D 変換の結果 INTADCA0ERR 割り込みが発生した場合、ウェイクアップ要因 WUTRG1 が発生し、CPU は RUN モードへ復帰します。APO 端子は、ソフトウェアにより A/D コンバータの上限／下限エラーフラグをクリアするまでハイレベル出力を維持します。

備 考

ADCAnULER.UE または ADCAnULER.LE がセットされた後に最初の ADCA0 SG 割り込みが発生した場合、WUTRG1 が発生します。

15.5.1　アナログポートエラー割り込み

データ比較での不一致を示すレベルセンシティブな割り込みが発生します。この割り込みはスタンバイモードのみでなく RUN モードでも発生します。セット／クリア条件を以下に示します。

表 15.42　アナログポートエラー割り込み

ユニット割り込み信号	セット条件	クリア条件
INTAPE	ハードウェアにより WUTRG1 ビットが “1” にセットされた場合。	ソフトウェアにより ADCAnULER.UE ビットおよび ADCAnULER.LE ビットがともに “0” にクリアされた場合。

第16章　外部メモリアクセスコントローラ（MEMC）

本章では、外部メモリアクセスコントローラ（MEMC）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1KH, RH850/F1KM に固有の特長について説明します。それ以降の節では、MEMC の機能、レジスタについて説明します。

16.1　RH850/F1KH, RH850/F1KM MEMC の特長

16.1.1　ユニット数

本製品は、以下に示すユニット数の MEMC を搭載しています。

表 16.1　ユニット数 (RH850/F1KH-D8)

製品名	RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 324 Pin
ユニット数	1	1	1
名称	MEMCn (n＝0)	MEMCn (n＝0)	MEMCn (n＝0)

表 16.2　ユニット数 (RH850/F1KM-S4)

製品名	RH850/F1KM-S4 100 Pin	RH850/F1KM-S4 144 Pin	RH850/F1KM-S4 176 Pin	RH850/F1KM-S4 233 Pin	RH850/F1KM-S4 272 Pin
ユニット数	—	—	1	1	1
名称	—	—	MEMCn (n＝0)	MEMCn (n＝0)	MEMCn (n＝0)

表 16.3　ユニット数 (RH850/F1KM-S2)

製品名	RH850/F1KM-S2 100 Pin	RH850/F1KM-S2 144 Pin	RH850/F1KM-S2 176 Pin
ユニット数	—	—	—
名称	—	—	—

表 16.4　ユニット数 (RH850/F1KM-S1)

製品名	RH850/F1KM-S1 48 Pin	RH850/F1KM-S1 64 Pin	RH850/F1KM-S1 80 Pin	RH850/F1KM-S1 100 Pin
ユニット数	—	—	—	—
名称	—	—	—	—

表 16.5　添字 (RH850/F1KH-D8)

添字	説明
n	本章では、MEMC のユニットを「n」（n＝0）で識別します。
x	本章では、チップセレクト領域を「x」で識別します。たとえば、CSx の外部メモリ領域を CSx（x＝0～3）領域と記述します。

表 16.6　添字 (RH850/F1KM-S4)

添字	説明
n	本章では、MEMC のユニットを「n」（n＝0）で識別します。
x	本章では、チップセレクト領域を「x」で識別します。たとえば、CSx の外部メモリ領域を CSx（x＝0～3）領域と記述します。

表 16.7　外部メモリアクセス機能 (RH850/F1KH-D8)

制御信号名	RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 324 Pin
アドレス出力	23 ビット	23 ビット	24 ビット
チップセレクト出力	4	4	4
データバス	16 ビット	16 ビット	16 ビット

表 16.8　外部メモリアクセス機能 (RH850/F1KM-S4)

制御信号名	RH850/F1KM-S4 100 Pin	RH850/F1KM-S4 144 Pin	RH850/F1KM-S4 176 Pin	RH850/F1KM-S4 233 Pin	RH850/F1KM-S4 272 Pin
アドレス出力	—	—	23 ビット	23 ビット	24 ビット
チップセレクト出力	—	—	4	4	4
データバス	—	—	16 ビット	16 ビット	16 ビット

16.1.2　レジスタベースアドレス

MEMC のベースアドレスを以下の表に示します。

MEMC のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 16.9　レジスタベースアドレス (RH850/F1KH-D8)

ベースアドレス名	ベースアドレス
<MEMC0_base>	1003 0000$_H$

表 16.10　レジスタベースアドレス (RH850/F1KM-S4)

ベースアドレス名	ベースアドレス
<MEMC0_base>	1003 0000$_H$

16.1.3　クロック供給

MEMC のクロック供給を以下の表に示します。

表 16.11　クロック供給 (RH850/F1KH-D8)

ユニット名	ユニットクロック名	供給クロック名	説明
MEMCn	MEMC0CLK	CPUCLK_L [注1]	通信クロック
	レジスタアクセスクロック	CPUCLK_L [注1]	バスクロック

注1.　CPUCLK_L の 2 分周で動作します。

表 16.12　クロック供給 (RH850/F1KM-S4)

ユニット名	ユニットクロック名	供給クロック名	説明
MEMCn	MEMC0CLK	CPUCLK_L [注1]	通信クロック
	レジスタアクセスクロック	CPUCLK_L [注1]	バスクロック

注1.　CPUCLK_L の 2 分周で動作します。

16.1.4　リセット要因

MEMC のリセット要因を以下に示します。MEMC は以下のリセット要因で初期化されます。

表 16.13　リセット要因 (RH850/F1KH-D8)

ユニット名	リセット要因
MEMCn	すべてのリセット要因（ISORES）

表 16.14　リセット要因 (RH850/F1KM-S4)

ユニット名	リセット要因
MEMCn	すべてのリセット要因（ISORES）

16.1.5　外部入出力信号

MEMC の外部入出力信号を以下の表に示します。

表 16.15　外部入出力信号 (RH850/F1KH-D8)

ユニット信号名	説明	ポート端子兼用信号名
MEMC0		
MEMC0A[23:16]	アドレスバス信号出力	MEMC0A[23:16]
MEMC0AD[15:0]	アドレス／データバス入出力信号	MEMC0AD[15:0]
MEMC0ASTB	アドレスストローブ出力信号	$\overline{\text{MEMC0ASTB}}$
MEMC0BEN[1:0]	バイトイネーブル出力信号	$\overline{\text{MEMC0BEN[1:0]}}$
MEMC0CLK	バスクロック出力信号	MEMC0CLK
MEMC0CS[3:0]	チップセレクト信号出力	$\overline{\text{MEMC0CS[3:0]}}$
MEMC0RD	リードストローブ出力信号	$\overline{\text{MEMC0RD}}$
MEMC0WAIT	外部ウェイト要求入力信号	$\overline{\text{MEMC0WAIT}}$
MEMC0WR	ライトストローブ出力信号	$\overline{\text{MEMC0WR}}$

備考　MEMC として使用するポートは、出力ドライバ強度をハイドライブ強度（PDSCn_m＝1）に設定してください。

表 16.16　外部入出力信号 (RH850/F1KM-S4)

ユニット信号名	説明	ポート端子兼用信号名
MEMC0		
MEMC0A[23:16]	アドレスバス信号出力	MEMC0A[23:16]
MEMC0AD[15:0]	アドレス／データバス入出力信号	MEMC0AD[15:0]
MEMC0ASTB	アドレスストローブ出力信号	$\overline{\text{MEMC0ASTB}}$
MEMC0BEN[1:0]	バイトイネーブル出力信号	$\overline{\text{MEMC0BEN[1:0]}}$
MEMC0CLK	バスクロック出力信号	MEMC0CLK
MEMC0CS[3:0]	チップセレクト信号出力	$\overline{\text{MEMC0CS[3:0]}}$
MEMC0RD	リードストローブ出力信号	$\overline{\text{MEMC0RD}}$
MEMC0WAIT	外部ウェイト要求入力信号	$\overline{\text{MEMC0WAIT}}$
MEMC0WR	ライトストローブ出力信号	$\overline{\text{MEMC0WR}}$

備考　MEMC として使用するポートは、出力ドライバ強度をハイドライブ強度（PDSCn_m＝1）に設定してください。

16.2　概要

外部メモリアクセスコントローラは 4 つのチップセレクトを提供しており、チップセレクト領域ごとにウェイト期間を設定できます。

バスクロックは MEMC 供給クロックの 2 分周で動作します。

16.2.1　機能概要

外部メモリアクセスコントローラの主な特徴を示します。

- マルチプレクスバスモード
- 4 つのチップセレクト領域、16 ビットのバス幅
- チップセレクト領域毎にデータエンディアンを設定可能
- チップセレクト領域毎にさまざまなウェイト機能を設定可能
- SRAM アクセスサイクルへの外部ウェイト機能
- 外部ウェイトエラー検出機能

16.2.1.1　マルチプレクスバス

アドレス出力とデータ入出力に同一信号線を使用して外部メモリに接続する動作モードです。外部メモリ接続に要する端子数を削減できます。

16.2.1.2　チップセレクト出力機能

メモリ空間中の外部バス領域を 4 つのチップセレクト領域に分割して、チップセレクト領域ごとにチップセレクト信号を出力できます。このチップセレクト領域の割り当てはシステム固定であり、プログラムで変更することはできません。

また、バス幅も 16 ビット固定になります。

16.2.1.3　データエンディアン設定機能

チップセレクト領域ごとにデータエンディアン（リトルエンディアン／ビッグエンディアン）を設定できます。

16.2.1.4　プログラマブルウェイト設定機能

次のウェイト機能があります。チップセレクト領域ごとに設定できます。

- プログラマブルデータウェイト
- データホールドウェイト
- データセットアップウェイト
- アドレスセットアップウェイト
- アドレスホールドウェイト
- アイドルサイクル

16.2.1.5　外部ウェイト機能

$\overline{\text{MEMC0WAIT}}$ 端子より外部から任意幅のデータウェイトを挿入できます。$\overline{\text{MEMC0WAIT}}$ 端子はデータ出力サイクルの手前でサンプリングされており、データのラッチタイミングを任意に遅らせられます。

16.2.1.6 外部ウェイトエラー検出機能

$\overline{\text{MEMC0WAIT}}$ 端子の不具合などにより、外部ウェイト機能が常に入力され続ける状態になった場合でも、システムのハングアップを回避できるように、外部ウェイトが 128 クロックの間連続で検出された場合にウェイトを強制解除します。

16.3　レジスタ

16.3.1　レジスタ一覧

MEMC のレジスタ一覧を以下の表に示します。

<MEMCn_base>は「**16.1.2 レジスタベースアドレス**」を参照してください。

表 16.17　レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
MEMCn	データエンディアン設定レジスタ	DEC	<MEMCn_base> + 02_H
	データウェイト設定レジスタ	DWC	<MEMCn_base> + 08_H
	データホールドウェイト設定レジスタ	DHC	<MEMCn_base> + $0C_H$
	データセットアップウェイト設定レジスタ	DSC	<MEMCn_base> + $0E_H$
	アドレスウェイト設定レジスタ	AWC	<MEMCn_base> + 10_H
	アイドルサイクル設定レジスタ	ICC	<MEMCn_base> + 14_H
	外部ウェイトエラー設定レジスタ	EWC	<MEMCn_base> + $1A_H$

16.3.2　DEC ― データエンディアン設定レジスタ

DEC レジスタは、外部バスのエンディアンを設定するレジスタです。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<MEMCn_base> + 02_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	DE3	—	DE2	—	DE1	—	DE0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R	R/W	R	R/W

表 16.18　DEC レジスタの内容

ビット位置	ビット名	機能
15～7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	DE3	データエンディアン設定ビット 各チップセレクト領域のエンディアンを設定するビットです。 0：リトルエンディアン 1：ビッグエンディアン
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	DE2	データエンディアン設定ビット 各チップセレクト領域のエンディアンを設定するビットです。 0：リトルエンディアン 1：ビッグエンディアン
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	DE1	データエンディアン設定ビット 各チップセレクト領域のエンディアンを設定するビットです。 0：リトルエンディアン 1：ビッグエンディアン
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	DE0	データエンディアン設定ビット 各チップセレクト領域のエンディアンを設定するビットです。 0：リトルエンディアン 1：ビッグエンディアン

各チップセレクト領域と制御ビットの関係を次に示します。

表 16.19　DEx ビットとチップセレクト領域との関係

チップセレクト領域	DEx ビット
CS3 領域	DE3
CS2 領域	DE2
CS1 領域	DE1
CS0 領域	DE0

16.3.3　DWC — データウェイト設定レジスタ

DWC レジスタは外部バスのデータウェイトを設定するレジスタです。

アクセス	16 ビット単位でリード／ライト可能です。
アドレス	<MEMCn_base> + 08_H
リセット後の値	$FFFF_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DW33	DW32	DW31	DW30	DW23	DW22	DW21	DW20	DW13	DW12	DW11	DW10	DW03	DW02	DW01	DW00
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.20　DWC レジスタの内容

ビット位置	ビット名	機能
15～0	DWx3、DWx2、DWx1、DWx0	データウェイト設定ビット 各チップセレクト領域のデータウェイト数を設定するビットです。

DWx3	DWx2	DWx1	DWx0	データウェイト数
0	0	0	0	設定禁止
0	0	0	1	1 クロック周期
0	0	1	0	2 クロック周期
0	0	1	1	3 クロック周期
0	1	0	0	4 クロック周期
0	1	0	1	5 クロック周期
0	1	1	0	6 クロック周期
0	1	1	1	7 クロック周期
1	0	0	0	8 クロック周期
1	0	0	1	9 クロック周期
1	0	1	0	10 クロック周期
1	0	1	1	11 クロック周期
1	1	0	0	12 クロック周期
1	1	0	1	13 クロック周期
1	1	1	0	14 クロック周期
1	1	1	1	15 クロック周期

各チップセレクト領域と制御ビットの関係を次に示します。

表 16.21　DWx3～DWx0 ビットとチップセレクト領域との関係

チップセレクト領域	DWx3～DWx0 ビット
CS3 領域	DW33、DW32、DW31、DW30
CS2 領域	DW23、DW22、DW21、DW20
CS1 領域	DW13、DW12、DW11、DW10
CS0 領域	DW03、DW02、DW01、DW00

16.3.4　DHC ― データホールドウェイト設定レジスタ

DHC レジスタは、外部バスのデータホールドウェイトを設定するレジスタです。

DHC レジスタの設定値+1 サイクルのデータホールドウェイトがライトサイクルに対して挿入されます。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<MEMCn_base> + $0C_H$

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DH31	DH30	DH21	DH20	DH11	DH10	DH01	DH00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.22　DHC レジスタの内容

ビット位置	ビット名	機能
15～8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7～0	DHx1、DHx0	データウェイト設定ビット 各チップセレクト領域のデータウェイト数を設定するビットです。

DHx1	DHx0	データホールドウェイト数
0	0	データホールドウェイトなし
0	1	1 クロック周期
1	0	2 クロック周期
1	1	3 クロック周期

各チップセレクト領域と制御ビットの関係を次に示します。

表 16.23　DHx1、DHx0 ビットとチップセレクト領域との関係

チップセレクト領域	DHx1、DHx0 ビット
CS3 領域	DH31、DH30
CS2 領域	DH21、DH20
CS1 領域	DH11、DH10
CS0 領域	DH01、DH00

16.3.5　DSC ― データセットアップウェイト設定レジスタ

DSC レジスタは、外部バスのデータセットアップウェイトを設定するレジスタです。

本ウェイトは、ライトサイクルに対して挿入されます。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<MEMCn_base> + $0E_H$

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DS31	DS30	DS21	DS20	DS11	DS10	DS01	DS00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.24　DSC レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>15～8</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>7～0</td><td>DSx1、DSx0</td><td>データセットアップウェイト設定ビット
各チップセレクト領域のデータセットアップウェイト数を設定するビットです。
<table>
<tr><th>DSx1</th><th>DSx0</th><th>データセットアップウェイト数</th></tr>
<tr><td>0</td><td>0</td><td>データセットアップウェイトなし</td></tr>
<tr><td>0</td><td>1</td><td>1 クロック周期</td></tr>
<tr><td>1</td><td>0</td><td>2 クロック周期</td></tr>
<tr><td>1</td><td>1</td><td>3 クロック周期</td></tr>
</table></td></tr>
</table>

各チップセレクト領域と制御ビットの関係を次に示します。

表 16.25　DSx1、DSx0 ビットとチップセレクト領域との関係

チップセレクト領域	DSx1、DSx0 ビット
CS3 領域	DS31、DS30
CS2 領域	DS21、DS20
CS1 領域	DS11、DS10
CS0 領域	DS01、DS00

16.3.6　AWC — アドレスウェイト設定レジスタ

AWC レジスタは、外部バスのアドレスウェイト期間をチップセレクト領域ごとに設定するレジスタです。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<MEMCn_base> + 10_H

リセット後の値　$FFFF_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AHW31	AHW30	ASW31	ASW30	AHW21	AHW20	ASW21	ASW20	AHW11	AHW10	ASW11	ASW10	AHW01	AHW00	ASW01	ASW00
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.26　AWC レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>15、14</td><td>AHW31、AHW30</td><td>アドレスホールドウェイト設定ビット
各チップセレクト領域のアドレスホールドウェイト数を設定するビットです。
<table>
<tr><th>AHW31</th><th>AHW30</th><th>アドレスホールドウェイト数</th></tr>
<tr><td>0</td><td>0</td><td>アドレスホールドウェイトなし</td></tr>
<tr><td>0</td><td>1</td><td>1 クロック周期</td></tr>
<tr><td>1</td><td>0</td><td>2 クロック周期</td></tr>
<tr><td>1</td><td>1</td><td>3 クロック周期</td></tr>
</table></td></tr>
<tr><td>13、12</td><td>ASW31、ASW30</td><td>アドレスセットアップウェイト設定ビット
各チップセレクト領域のアドレスセットアップウェイト数を設定するビットです。
<table>
<tr><th>ASW31</th><th>ASW30</th><th>アドレスセットアップウェイト数</th></tr>
<tr><td>0</td><td>0</td><td>アドレスセットアップウェイトなし</td></tr>
<tr><td>0</td><td>1</td><td>1 クロック周期</td></tr>
<tr><td>1</td><td>0</td><td>2 クロック周期</td></tr>
<tr><td>1</td><td>1</td><td>3 クロック周期</td></tr>
</table></td></tr>
<tr><td>11、10</td><td>AHW21、AHW20</td><td>アドレスホールドウェイト設定ビット
各チップセレクト領域のアドレスホールドウェイト数を設定するビットです。
<table>
<tr><th>AHW21</th><th>AHW20</th><th>アドレスホールドウェイト数</th></tr>
<tr><td>0</td><td>0</td><td>アドレスホールドウェイトなし</td></tr>
<tr><td>0</td><td>1</td><td>1 クロック周期</td></tr>
<tr><td>1</td><td>0</td><td>2 クロック周期</td></tr>
<tr><td>1</td><td>1</td><td>3 クロック周期</td></tr>
</table></td></tr>
<tr><td>9、8</td><td>ASW21、ASW20</td><td>アドレスセットアップウェイト設定ビット
各チップセレクト領域のアドレスセットアップウェイト数を設定するビットです。
<table>
<tr><th>ASW21</th><th>ASW20</th><th>アドレスセットアップウェイト数</th></tr>
<tr><td>0</td><td>0</td><td>アドレスセットアップウェイトなし</td></tr>
<tr><td>0</td><td>1</td><td>1 クロック周期</td></tr>
<tr><td>1</td><td>0</td><td>2 クロック周期</td></tr>
<tr><td>1</td><td>1</td><td>3 クロック周期</td></tr>
</table></td></tr>
<tr><td>7、6</td><td>AHW11、AHW10</td><td>アドレスホールドウェイト設定ビット
各チップセレクト領域のアドレスホールドウェイト数を設定するビットです。
<table>
<tr><th>AHW11</th><th>AHW10</th><th>アドレスホールドウェイト数</th></tr>
<tr><td>0</td><td>0</td><td>アドレスホールドウェイトなし</td></tr>
<tr><td>0</td><td>1</td><td>1 クロック周期</td></tr>
<tr><td>1</td><td>0</td><td>2 クロック周期</td></tr>
<tr><td>1</td><td>1</td><td>3 クロック周期</td></tr>
</table></td></tr>
</table>

表 16.26　AWC レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>5、4</td><td>ASW11、ASW10</td><td>アドレスセットアップウェイト設定ビット
各チップセレクト領域のアドレスセットアップウェイト数を設定するビットです。
<table>
<tr><th>ASW11</th><th>ASW10</th><th>アドレスセットアップウェイト数</th></tr>
<tr><td>0</td><td>0</td><td>アドレスセットアップウェイトなし</td></tr>
<tr><td>0</td><td>1</td><td>1 クロック周期</td></tr>
<tr><td>1</td><td>0</td><td>2 クロック周期</td></tr>
<tr><td>1</td><td>1</td><td>3 クロック周期</td></tr>
</table></td></tr>
<tr><td>3、2</td><td>AHW01、AHW00</td><td>アドレスホールドウェイト設定ビット
各チップセレクト領域のアドレスホールドウェイト数を設定するビットです。
<table>
<tr><th>AHW01</th><th>AHW00</th><th>アドレスホールドウェイト数</th></tr>
<tr><td>0</td><td>0</td><td>アドレスホールドウェイトなし</td></tr>
<tr><td>0</td><td>1</td><td>1 クロック周期</td></tr>
<tr><td>1</td><td>0</td><td>2 クロック周期</td></tr>
<tr><td>1</td><td>1</td><td>3 クロック周期</td></tr>
</table></td></tr>
<tr><td>1、0</td><td>ASW01、ASW00</td><td>アドレスセットアップウェイト設定ビット
各チップセレクト領域のアドレスセットアップウェイト数を設定するビットです。
<table>
<tr><th>ASW01</th><th>ASW00</th><th>アドレスセットアップウェイト数</th></tr>
<tr><td>0</td><td>0</td><td>アドレスセットアップウェイトなし</td></tr>
<tr><td>0</td><td>1</td><td>1 クロック周期</td></tr>
<tr><td>1</td><td>0</td><td>2 クロック周期</td></tr>
<tr><td>1</td><td>1</td><td>3 クロック周期</td></tr>
</table></td></tr>
</table>

各チップセレクト領域と制御ビットの関係を次に示します。

表 16.27　ASWx1, ASWx0、AHWx1, AHWx0 ビットとチップセレクト領域との関係

チップセレクト領域	ASWx1, ASWx0、AHWx1, AHWx0 ビット
CS3 領域	ASW31、ASW30、AHW31、AHW30
CS2 領域	ASW21、ASW20、AHW21、AHW20
CS1 領域	ASW11、ASW10、AHW11、AHW10
CS0 領域	ASW01、ASW00、AHW01、AHW00

16.3.7 ICC — アイドルサイクル設定レジスタ

ICC レジスタは、外部バスのアイドルサイクル数を設定するレジスタです。アイドルサイクル数は、チップセレクト領域ごとに設定できます。

アクセス	16 ビット単位でリード／ライト可能です。
アドレス	<MEMCn_base> + 14_H
リセット後の値	3333_H

注 意

バスサイジングサイクルの途中では、ICC レジスタによるアイドルサイクルは無効です。ただし、リードサイクル時のみ、バスサイジングサイクルの途中でもアイドルサイクルが有効になります。

この際に挿入されるアイドルサイクル数は、ICC レジスタの設定に従いますが、「アイドルサイクルなし」を設定した場合でも 1 クロック挿入されます。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WIC31	WIC30	RIC31	RIC30	WIC21	WIC20	RIC21	RIC20	WIC11	WIC10	RIC11	RIC10	WIC01	WIC00	RIC01	RIC00
リセット後の値	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 16.28 ICC レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>15、14</td><td>WIC31、WIC30</td><td>ライトサイクル後アイドル設定ビット
各チップセレクト領域のライトサイクル後のアイドルサイクル数を設定するビットです。
<table>
<tr><th>WIC31</th><th>WIC30</th><th>アイドルサイクル数</th></tr>
<tr><td>0</td><td>0</td><td>アイドルサイクルなし</td></tr>
<tr><td>0</td><td>1</td><td>1 クロック周期</td></tr>
<tr><td>1</td><td>0</td><td>2 クロック周期</td></tr>
<tr><td>1</td><td>1</td><td>3 クロック周期</td></tr>
</table></td></tr>
<tr><td>13、12</td><td>RIC31、RIC30</td><td>リードサイクル後アイドル設定ビット
各チップセレクト領域のリードサイクル後のアイドルサイクル数を設定するビットです。
<table>
<tr><th>RIC31</th><th>RIC30</th><th>アイドルサイクル数</th></tr>
<tr><td>0</td><td>0</td><td>アイドルサイクルなし</td></tr>
<tr><td>0</td><td>1</td><td>1 クロック周期</td></tr>
<tr><td>1</td><td>0</td><td>2 クロック周期</td></tr>
<tr><td>1</td><td>1</td><td>3 クロック周期</td></tr>
</table></td></tr>
<tr><td>11、10</td><td>WIC21、WIC20</td><td>ライトサイクル後アイドル設定ビット
各チップセレクト領域のライトサイクル後のアイドルサイクル数を設定するビットです。
<table>
<tr><th>WIC21</th><th>WIC20</th><th>アイドルサイクル数</th></tr>
<tr><td>0</td><td>0</td><td>アイドルサイクルなし</td></tr>
<tr><td>0</td><td>1</td><td>1 クロック周期</td></tr>
<tr><td>1</td><td>0</td><td>2 クロック周期</td></tr>
<tr><td>1</td><td>1</td><td>3 クロック周期</td></tr>
</table></td></tr>
</table>

表 16.28　ICC レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>9、8</td><td>RIC21、RIC20</td><td>リードサイクル後アイドル設定ビット
各チップセレクト領域のリードサイクル後のアイドルサイクル数を設定するビットです。
<table>
<tr><th>RIC21</th><th>RIC20</th><th>アイドルサイクル数</th></tr>
<tr><td>0</td><td>0</td><td>アイドルサイクルなし</td></tr>
<tr><td>0</td><td>1</td><td>1 クロック周期</td></tr>
<tr><td>1</td><td>0</td><td>2 クロック周期</td></tr>
<tr><td>1</td><td>1</td><td>3 クロック周期</td></tr>
</table></td></tr>
<tr><td>7、6</td><td>WIC11、WIC10</td><td>ライトサイクル後アイドル設定ビット
各チップセレクト領域のライトサイクル後のアイドルサイクル数を設定するビットです。
<table>
<tr><th>WIC11</th><th>WIC10</th><th>アイドルサイクル数</th></tr>
<tr><td>0</td><td>0</td><td>アイドルサイクルなし</td></tr>
<tr><td>0</td><td>1</td><td>1 クロック周期</td></tr>
<tr><td>1</td><td>0</td><td>2 クロック周期</td></tr>
<tr><td>1</td><td>1</td><td>3 クロック周期</td></tr>
</table></td></tr>
<tr><td>5、4</td><td>RIC11、RIC10</td><td>リードサイクル後アイドル設定ビット
各チップセレクト領域のリードサイクル後のアイドルサイクル数を設定するビットです。
<table>
<tr><th>RIC11</th><th>RIC10</th><th>アイドルサイクル数</th></tr>
<tr><td>0</td><td>0</td><td>アイドルサイクルなし</td></tr>
<tr><td>0</td><td>1</td><td>1 クロック周期</td></tr>
<tr><td>1</td><td>0</td><td>2 クロック周期</td></tr>
<tr><td>1</td><td>1</td><td>3 クロック周期</td></tr>
</table></td></tr>
<tr><td>3、2</td><td>WIC01、WIC00</td><td>ライトサイクル後アイドル設定ビット
各チップセレクト領域のライトサイクル後のアイドルサイクル数を設定するビットです。
<table>
<tr><th>WIC01</th><th>WIC00</th><th>アイドルサイクル数</th></tr>
<tr><td>0</td><td>0</td><td>アイドルサイクルなし</td></tr>
<tr><td>0</td><td>1</td><td>1 クロック周期</td></tr>
<tr><td>1</td><td>0</td><td>2 クロック周期</td></tr>
<tr><td>1</td><td>1</td><td>3 クロック周期</td></tr>
</table></td></tr>
<tr><td>1、0</td><td>RIC01、RIC00</td><td>リードサイクル後アイドル設定ビット
各チップセレクト領域のリードサイクル後のアイドルサイクル数を設定するビットです。
<table>
<tr><th>RIC01</th><th>RIC00</th><th>アイドルサイクル数</th></tr>
<tr><td>0</td><td>0</td><td>アイドルサイクルなし</td></tr>
<tr><td>0</td><td>1</td><td>1 クロック周期</td></tr>
<tr><td>1</td><td>0</td><td>2 クロック周期</td></tr>
<tr><td>1</td><td>1</td><td>3 クロック周期</td></tr>
</table></td></tr>
</table>

各チップセレクト領域と制御ビットの関係を次に示します。

表 16.29　RICx1, RICx0、WICx1, WICx0 ビットとチップセレクト領域との関係

チップセレクト領域	RICx1, RICx0、WICx1, WICx0 ビット
CS3 領域	RIC31, RIC30、WIC31, WIC30
CS2 領域	RIC21, RIC20、WIC21, WIC20
CS1 領域	RIC11, RIC10、WIC11, WIC10
CS0 領域	RIC01, RIC00、WIC01, WIC00

16.3.8 EWC — 外部ウェイトエラー設定レジスタ

EWC レジスタは、外部ウェイトエラー機能の有効／無効を設定するレジスタです。

アクセス	16 ビット単位でリード／ライト可能です。
アドレス	<MEMCn_base> + $1A_H$
リセット後の値	0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	EW3	—	EW2	—	EW1	—	EW0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R	R/W	R	R/W

表 16.30　EWC レジスタの内容

ビット位置	ビット名	機能
15～7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	EW3	外部ウェイトエラー設定ビット 各チップセレクト領域の外部ウェイトエラーの有効／無効を設定するビットです。 0：外部ウェイトエラー無効 1：外部ウェイトエラー有効 本機能を有効にすると、外部ウェイトを 128 クロック連続で検出した際、ウェイトが強制解除され、SYSERR 例外が発生します。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	EW2	外部ウェイトエラー設定ビット 各チップセレクト領域の外部ウェイトエラーの有効／無効を設定するビットです。 0：外部ウェイトエラー無効 1：外部ウェイトエラー有効 本機能を有効にすると、外部ウェイトを 128 クロック連続で検出した際、ウェイトが強制解除され、SYSERR 例外が発生します。
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	EW1	外部ウェイトエラー設定ビット 各チップセレクト領域の外部ウェイトエラーの有効／無効を設定するビットです。 0：外部ウェイトエラー無効 1：外部ウェイトエラー有効 本機能を有効にすると、外部ウェイトを 128 クロック連続で検出した際、ウェイトが強制解除され、SYSERR 例外が発生します。
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	EW0	外部ウェイトエラー設定ビット 各チップセレクト領域の外部ウェイトエラーの有効／無効を設定するビットです。 0：外部ウェイトエラー無効 1：外部ウェイトエラー有効 本機能を有効にすると、外部ウェイトを 128 クロック連続で検出した際、ウェイトが強制解除され、SYSERR 例外が発生します。

各チップセレクト領域と制御ビットの関係を次に示します。

表 16.31　EWx ビットとチップセレクト領域との関係

チップセレクト領域	EWx
CS3 領域	EW3
CS2 領域	EW2
CS1 領域	EW1
CS0 領域	EW0

16.4　機能

16.4.1　バス制御機能

16.4.1.1　チップセレクト出力機能

接続された外部メモリ領域を「**図 16.1 外部メモリマップ (RH850/F1KH-D8)**」、「**図 16.2 外部メモリマップ (RH850/F1KM-S4)**」に示すように 4 つのチップセレクト領域に分割し管理しています。

外部バスに対するバスサイクルを発生する際には、アクセス対象アドレスを MEMC0A[23:16], MEMC0AD[15:0]端子から出力するとともに、アクセス対象アドレスに対応した $\overline{\text{MEMC0CS[3:0]}}$ 出力端子をアクティブ（ロウレベル）にします。

ウェイト／アイドル数など外部バスに対する各種設定はすべてチップセレクト領域ごとに設定できます。

これらの機能を利用することにより、チップセレクト領域ごとに異なる種類のメモリを接続できます。

なお、チップセレクト領域の割り当てはシステム固定であり、プログラマブルではありません。

次に、メモリマップを示します。

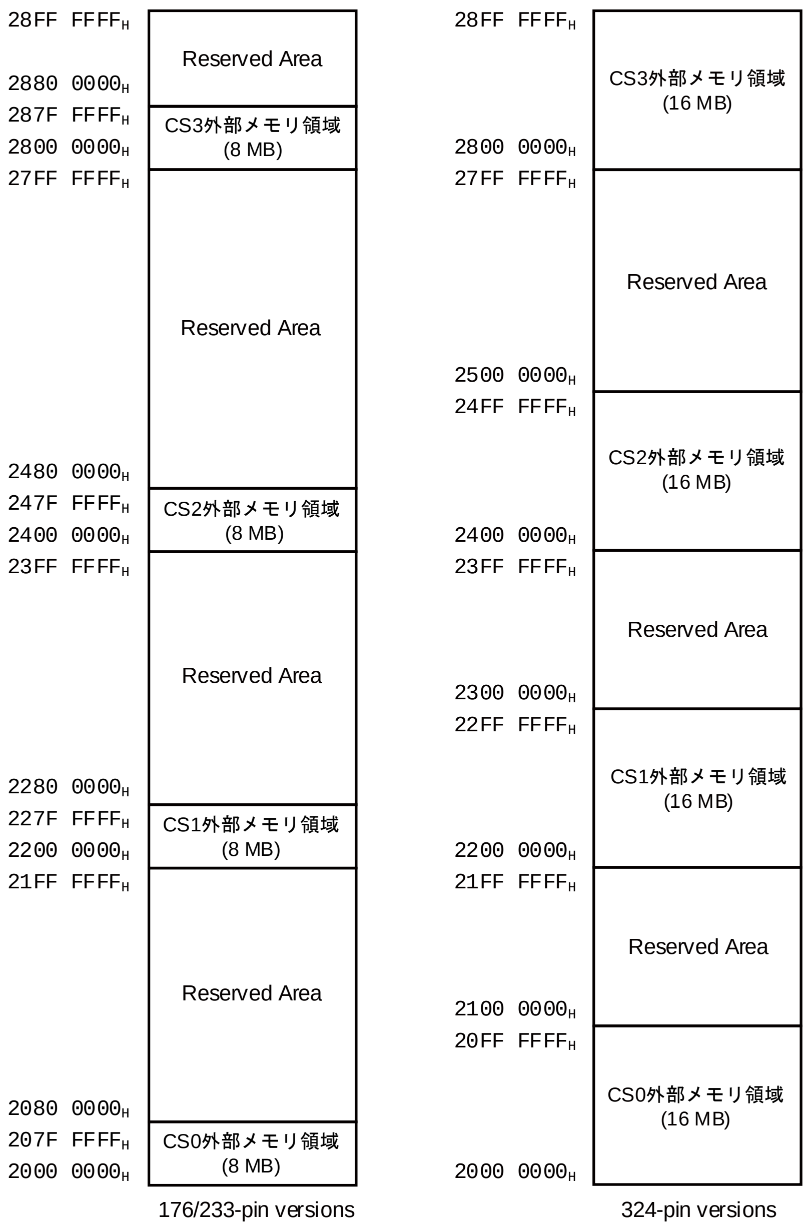


図 16.1 外部メモリマップ (RH850/F1KH-D8)

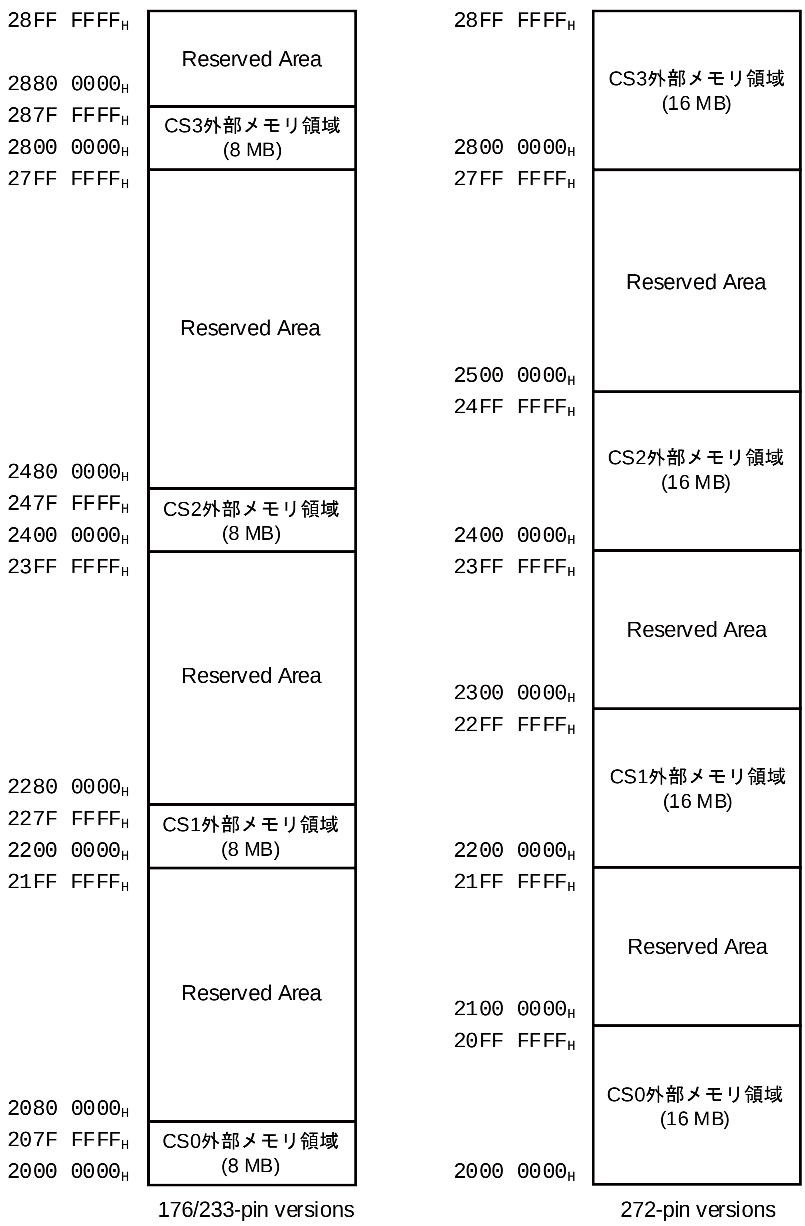
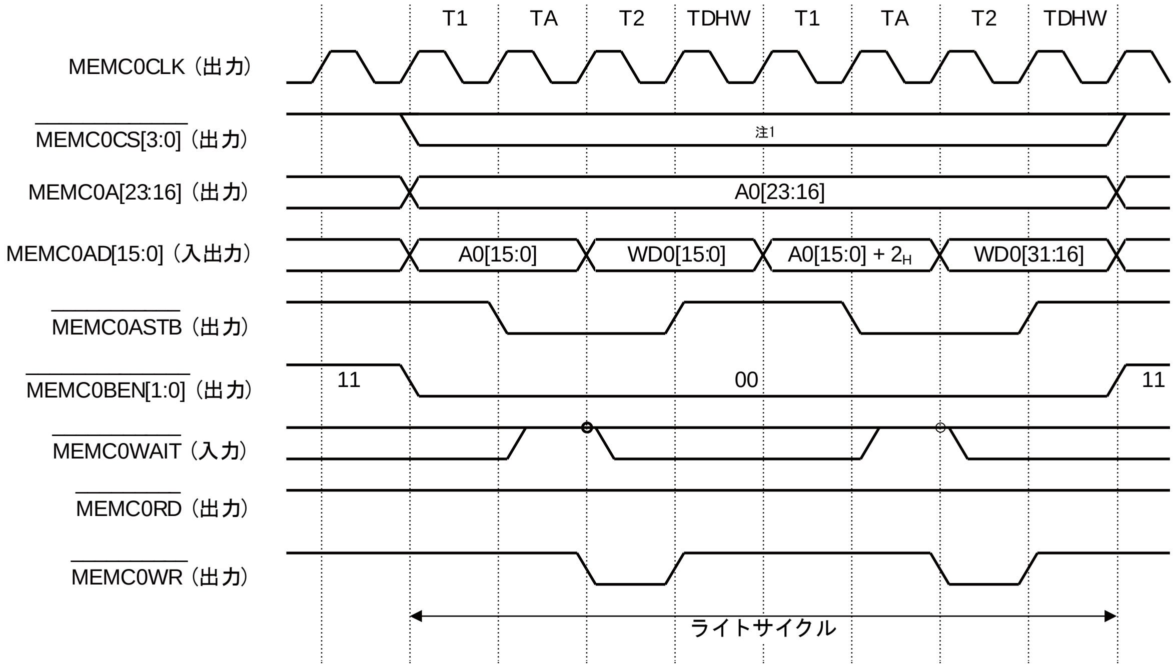


図 16.2　外部メモリマップ (RH850/F1KM-S4)

16.4.1.2 バスサイズ機能

CPU（または DMA）からのアクセス要求は、アクセス先の外部バスのビット幅に合わせて分割され、実行されます。



備考 T_1：アドレスセットアップ期間
T_A：アドレスストローブ期間
T_2：リード（ライト）ストローブ期間
T_{DHW}：データホールドウェイト期間

注1. アクセス対象のチップセレクト領域を示します。

図 16.3 外部バスに対する 32 ビットライトアクセス時のバスサイクル

16.4.1.3 データエンディアン設定機能

外部バスインタフェースのデータエンディアンをリトルエンディアンまたはビッグエンディアンの中から選択できます。この設定は DEC レジスタによりチップセレクト領域ごとに行えます。

注 意

1. このマイクロコントローラではビッグエンディアンでの命令フェッチ動作に対応していません。アセンブラやデバッガはリトルエンディアンを前提に作られています。
2. ビッグエンディアンでのミスアラインアクセスには対応していません。

16.4.2 ウェイト機能

ウェイト機能を次に示します。

表 16.32 ウェイト機能

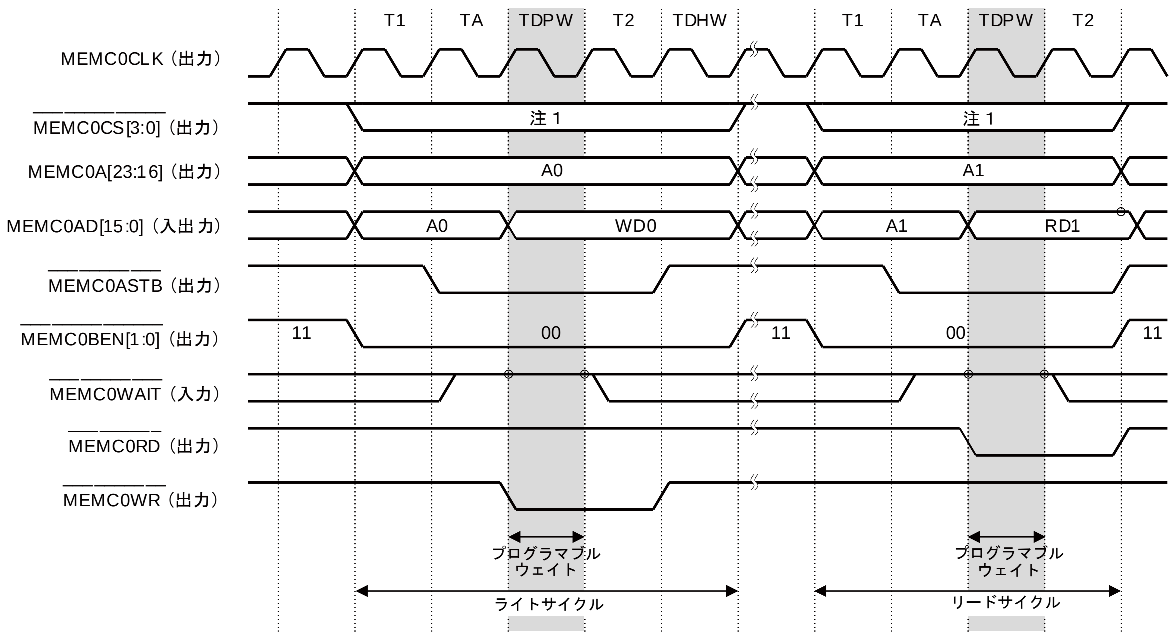
ウェイト機能	データウェイト		データホールドウェイト	データセットアップウェイト	アドレスウェイト	アイドルステート
	プログラマブル	外部端子				
リードアクセス	○	○	—	—	○	○
ライトアクセス	○	○	○	○	○	○
設定レジスタ	DWC	—	DHC	DSC	AWC	ICC
最大ウェイト数	15	—	3	3	3	3

16.4.2.1 プログラマブルデータウェイト機能

リードストローブ、およびライトストローブ期間を延長してデータのラッチタイミングを遅らせるためのウェイト機能です。

データ転送タイミングに有効になります。最大 15 サイクルを挿入できます。

DWC レジスタによりチップセレクト領域ごとに設定できます。



備考 T_1：アドレスセットアップ期間
T_A：アドレスストローブ期間
T_2：リード（ライト）ストローブ期間
T_{DPW}：プログラマブルデータウェイト期間
T_{DHW}：データホールドウェイト期間

注1. アクセス対象のチップセレクト領域を示します。

図 16.4 プログラマブルデータウェイト挿入時のバスサイクル

16.4.2.2　　外部ウェイト機能

MEMC0WAIT 端子により任意の長さのデータウェイトを挿入できます。

MEMC0WAIT 端子入力レベルは、TA サイクルおよび TDPW, TDEW サイクル終了直後にサンプリングされます。

なお、データウェイトサイクルは、データウェイト制御レジスタ（DWC レジスタ）の設定によるプログラマブルデータウェイトと MEMC0WAIT 端子入力による外部ウェイト指定との論理和（OR）をとったものを用いて挿入されます。

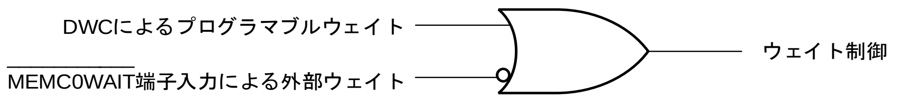
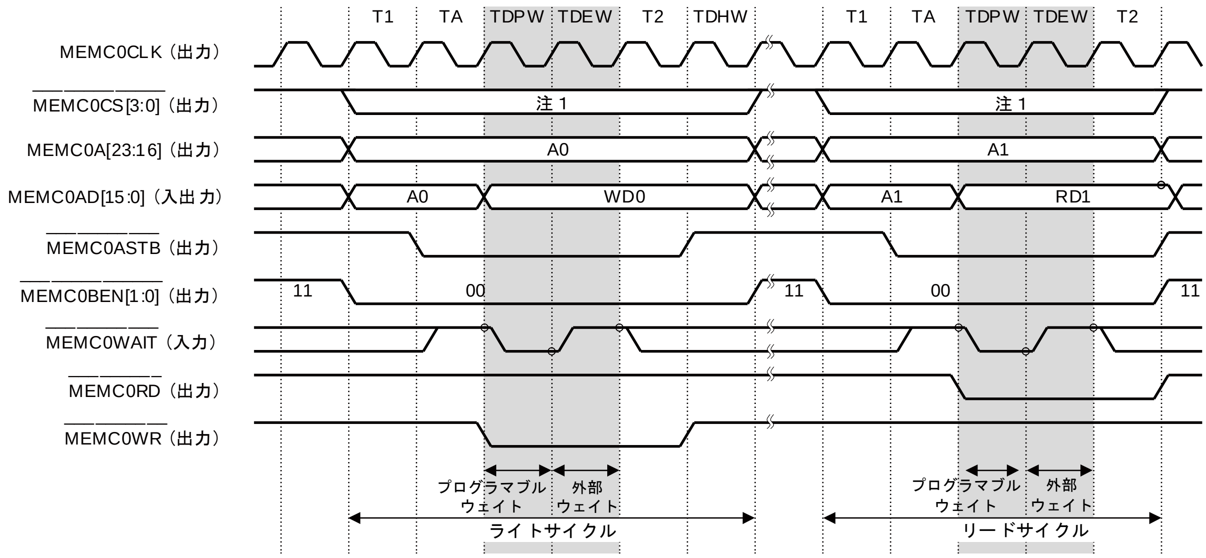


図 16.5　　内部データウェイト生成論理



備考　T_1：アドレスセットアップ期間
T_A：アドレスストローブ期間
T_2：リード（ライト）ストローブ期間
T_{DPW}：プログラマブルデータウェイト期間
T_{DEW}：外部データウェイト期間
T_{DHW}：データホールドウェイト期間

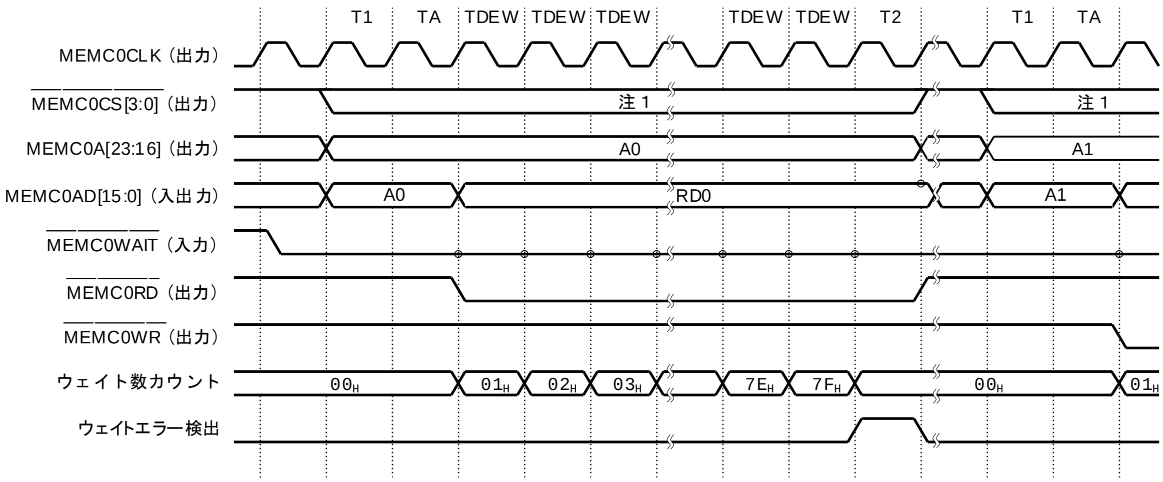
注1.　アクセス対象のチップセレクト領域を示します。

図 16.6　　プログラマブルデータウェイトと外部ウェイト挿入時のバスサイクル（DWC＝1 の場合）

16.4.2.3　外部ウェイトエラー検出機能

外部ウェイトエラー設定レジスタ（EWC レジスタ）の EWx ビットに 1 を設定することにより、外部ウェイトが 128 クロック以上連続して入力され続けた場合に、データウェイトを強制解除します。この時、SYSERR 例外が発生します。

この機能を使用することにより、$\overline{\text{MEMC0WAIT}}$ 入力端子に対して不意な不具合が発生した場合においても、システムのハングアップを回避することができます。



備考　T_1：アドレスセットアップ期間
　　　T_A：アドレスストローブ期間
　　　T_{DEW}：外部データウェイト期間
　　　T_2：リード（ライト）ストローブ期間

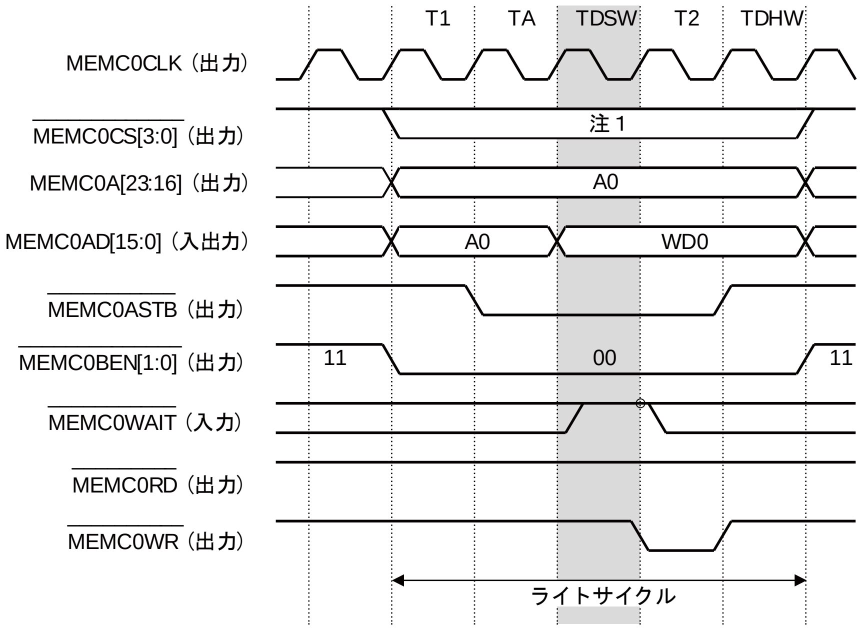
注1.　アクセス対象のチップセレクト領域を示します。

図 16.7　外部ウェイトエラー検出時の動作タイミング

16.4.2.4 データセットアップウェイト機能

データのライトストローブに対するセットアップ時間を確保するために、転送ステートの前にウェイトを挿入する機能です。ライトサイクル時のみ有効になります。

DSC レジスタの設定により、チップセレクト領域ごとに最大 3 サイクルのウェイトを挿入できます。



備考 T_1：アドレスセットアップ期間
T_A：アドレスストローブ期間
T_{DSW}：データセットアップウェイト期間
T_2：リード（ライト）ストローブ期間
T_{DHW}：データホールドウェイト期間

注1. アクセス対象のチップセレクト領域を示します。

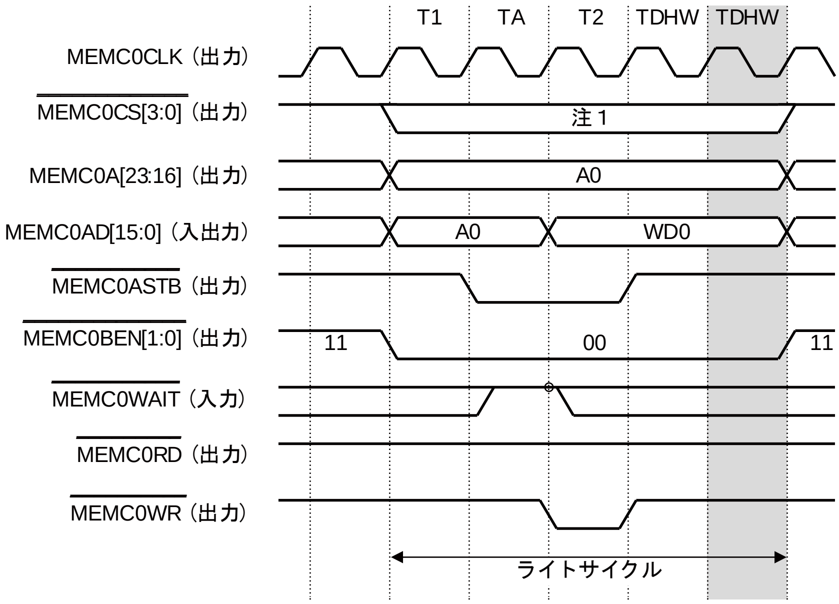
図 16.8 データセットアップウェイト挿入時のバスサイクル

16.4.2.5　データホールドウェイト機能

データのライトストローブに対するホールド時間を確保するために、ライトストローブ信号立ち上がり後のステートに対しウェイトを挿入する機能です。

ライトサイクル発生時に必ず 1 ステートのデータホールドウェイトを挿入します。このデータホールドウェイトを、DHC レジスタの設定により最大 3 サイクル分延長し、都合 4 サイクル分の挿入ができます。

DHC レジスタによるデータホールドウェイトの延長数はチップセレクト領域ごとに設定できます。



備考　T_1：アドレスセットアップ期間
T_A：アドレスストローブ期間
T_2：リード（ライト）ストローブ期間
T_{DHW}：データホールドウェイト期間

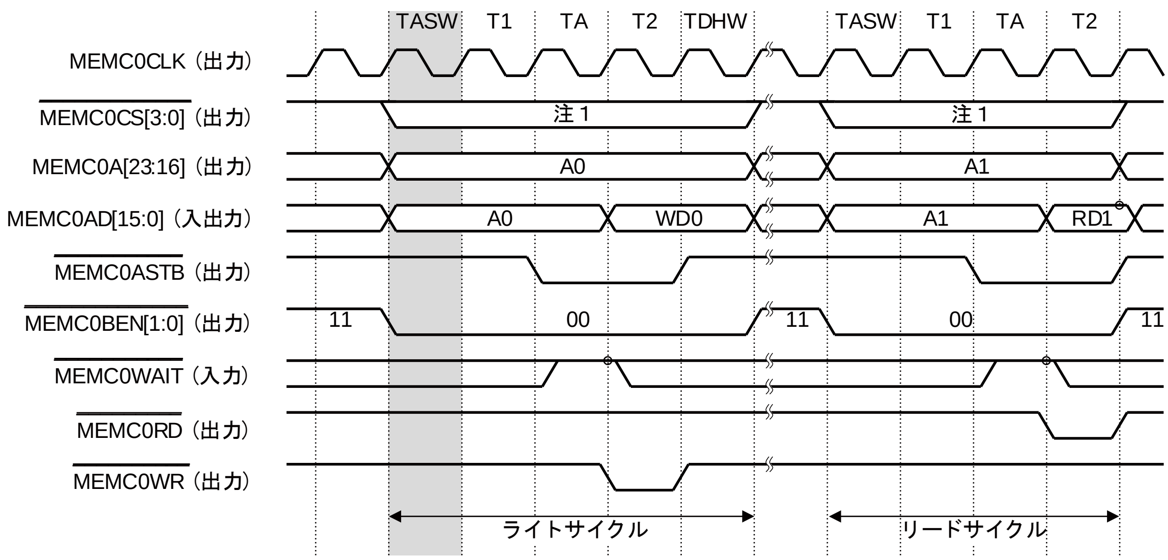
注1.　アクセス対象のチップセレクト領域を示します。

図 16.9　データホールドウェイト挿入時のバスサイクル

16.4.2.6　アドレスセットアップウェイト機能

アドレスストローブに対するセットアップ時間を確保するためにアドレス転送ステートの前にウェイトを挿入する機能です。

AWC レジスタの設定により、チップセレクト領域ごとに最大 3 サイクルのウェイトを挿入できます。



備考　T_1：アドレスセットアップ期間
T_{ASW}：アドレスセットアップウェイト期間
T_A：アドレスストローブ期間
T_2：リード（ライト）ストローブ期間
T_{DHW}：データホールドウェイト期間

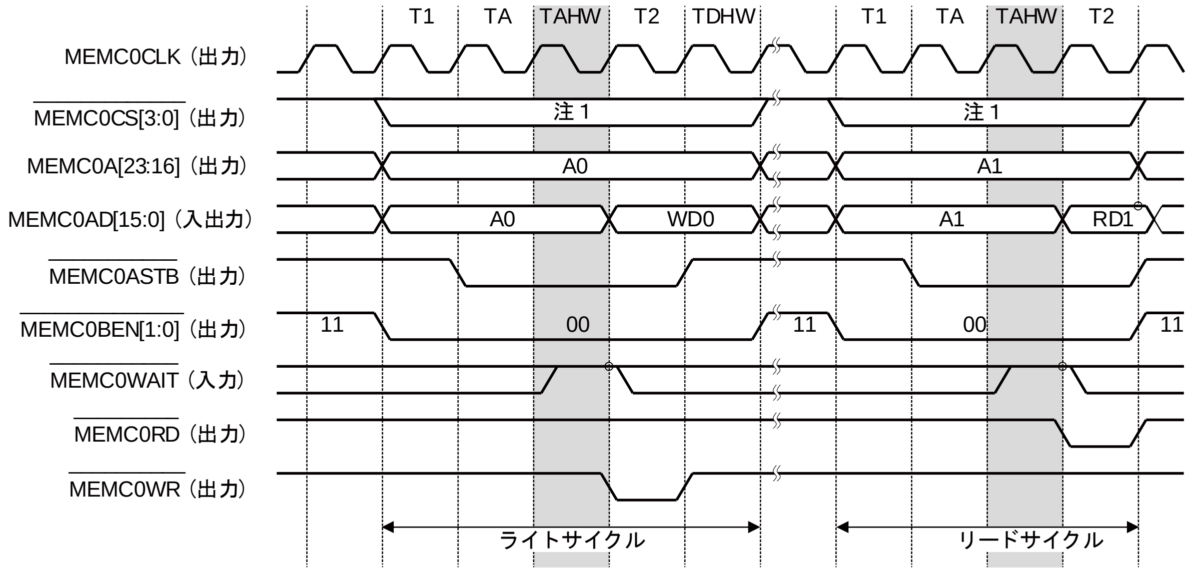
注1.　アクセス対象のチップセレクト領域を示します。

図 16.10　アドレスセットアップウェイト挿入時のバスサイクル

16.4.2.7　アドレスホールドウェイト機能

アドレスストローブに対するホールド時間を確保するためにアドレス転送ステートの後にウェイトを挿入する機能です。

AWC レジスタの設定により、チップセレクト領域ごとに最大 3 サイクルのウェイトを挿入できます。



備考　T_1：アドレスセットアップ期間
T_A：アドレスストローブ期間
T_{AHW}：アドレスホールドウェイト期間
T_2：リード（ライト）ストローブ期間
T_{DHW}：データホールドウェイト期間

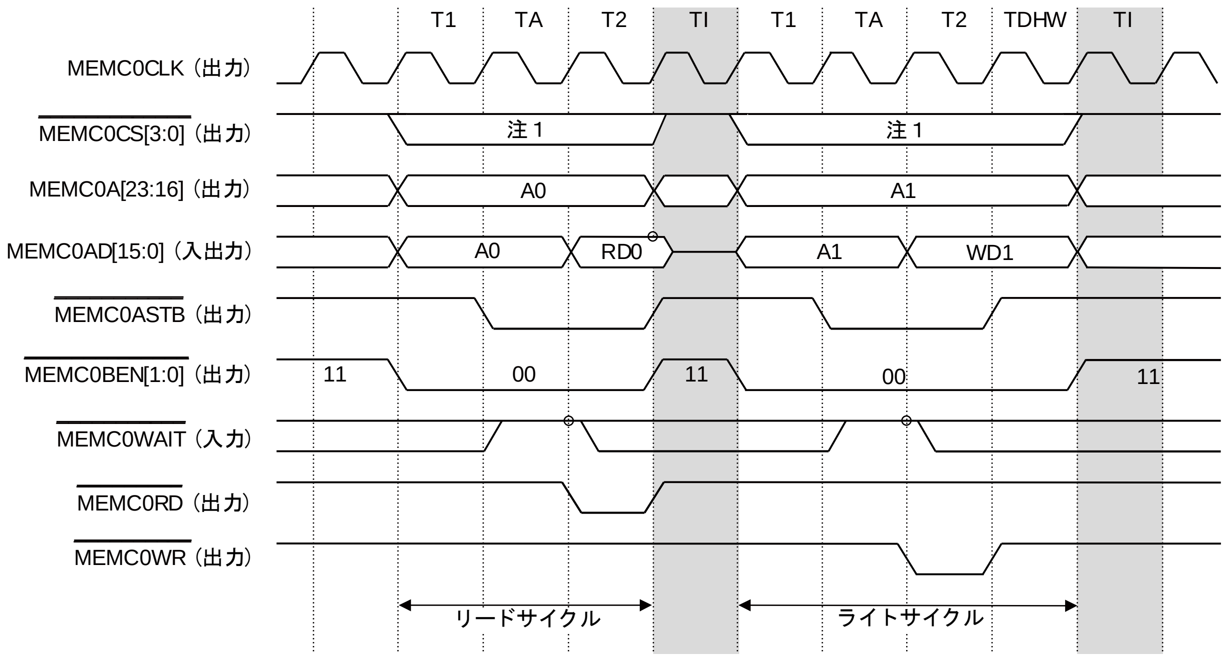
注1.　アクセス対象のチップセレクト領域を示します。

図 16.11　アドレスホールドウェイト挿入時のバスサイクル

16.4.2.8 アイドル挿入機能

サイクル－サイクル間でバスの競合が発生するのを防止するために、各サイクルの最終ステートのあとにアイドルステートを挿入する機能です。

ICC レジスタへの設定により、各チップセレクト領域に対する、リードサイクル後／ライトサイクル後に独立して設定できます。



備考　T_1：アドレスセットアップ期間
T_A：アドレスストローブ期間
T_2：リード（ライト）ストローブ期間
T_I：アイドルステート期間
T_{DHW}：データホールドウェイト期間

注1.　アクセス対象のチップセレクト領域を示します。

図 16.12　アイドルステート挿入時のバスサイクル

16.4.3　メモリ接続例

16.4.3.1　SRAM 接続例

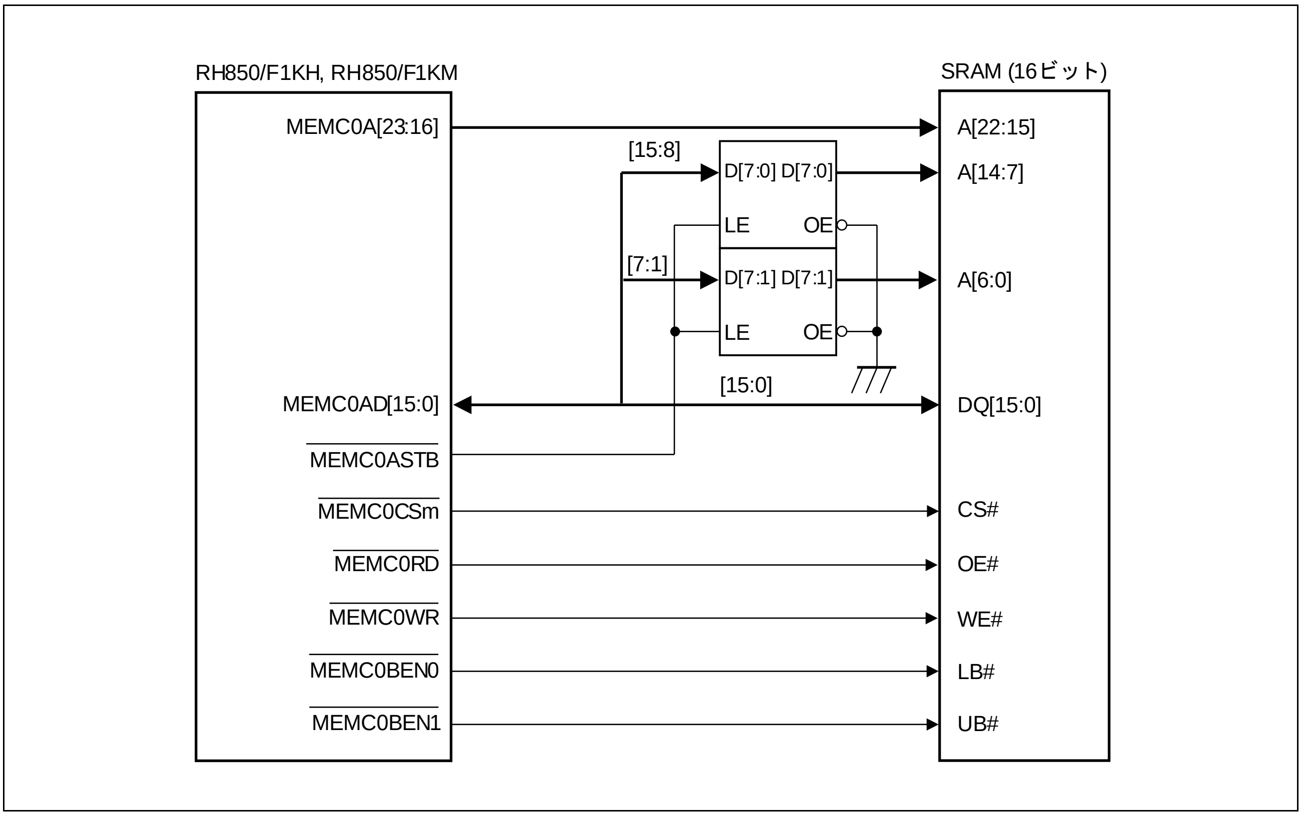


図 16.13　SRAM（16 ビット）接続例

16.4.4　データアクセスフロー

外部メモリへのデータ転送フローは、データ幅、エンディアン指定、外部バス幅、開始アドレスなどによって異なります。

ミスアラインとなるアクセスについては、CPU がデータの分割、および結合を行います。ミスアラインとなるか否かは、データ幅と、開始アドレスにより決まります。

ミスアライン

次のアクセスが、ミスアラインとなり、CPU がサイクルを分割します。

- ハーフワード（16 ビット）のデータを奇数番地に対してリード／ライトする場合。
- ワード（32 ビット）のデータを、4 の倍数以外の番地に対してリード／ライトする場合。

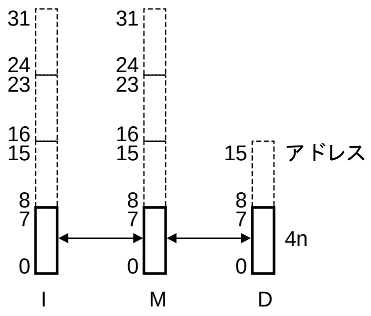
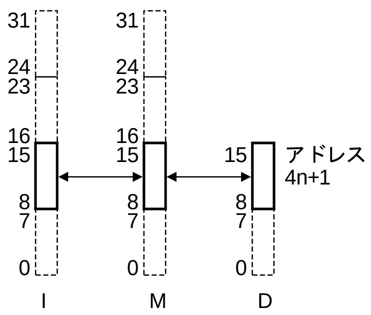
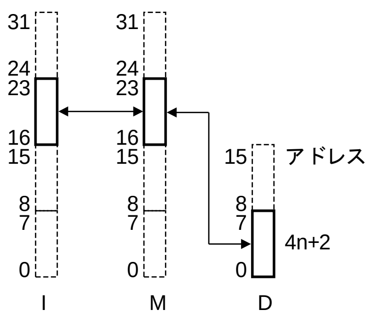
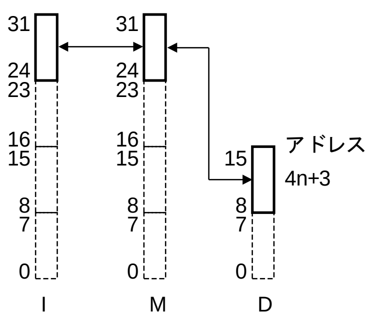
表 16.33　ミスアライン発生アクセス条件

アクセス条件		CPU が分割発行するサイクル		
データ幅	アドレス	1 回目	2 回目	3 回目
16 ビット	2n + 1	2n+1 への 8 ビットアクセス	2n+2 への 8 ビットアクセス	—
32 ビット	4n + 1	4n+1 への 8 ビットアクセス	4n+2 への 16 ビットアクセス	4n+4 への 8 ビットアクセス
32 ビット	4n + 2	4n+2 への 16 ビットアクセス	4n+4 への 16 ビットアクセス	—
32 ビット	4n + 3	4n+3 への 8 ビットアクセス	4n+4 への 16 ビットアクセス	4n+6 への 8 ビットアクセス

次ページ以降に各条件での、データフローを示します。

16.4.4.1 バイトアクセス時のデータフロー（リード／ライト時）

表 16.34　バイトアクセス時のデータフロー（リトルエンディアン）

アクセスするアドレス	データ転送フロー
4n	
4n + 1	
4n + 2	
4n + 3	

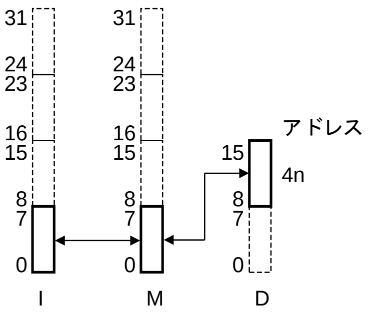
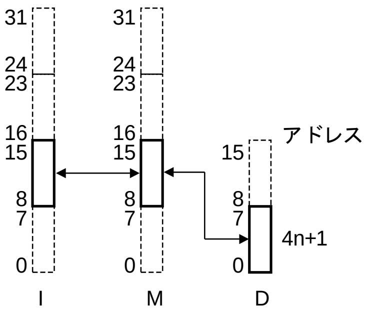
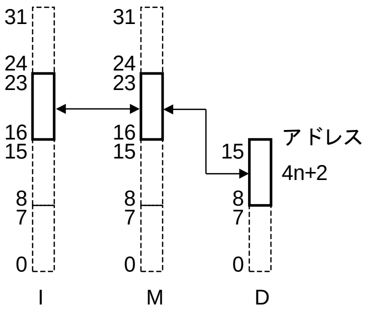
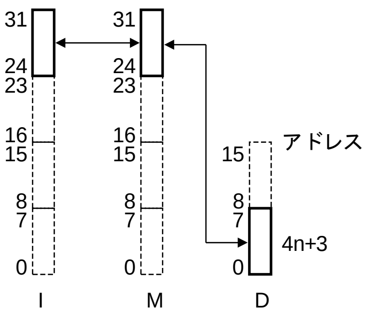
備考　I：内部バス

M：メモリコントローラデータバッファ

D：外部データバス

n＝0, 1, 2, 3,…

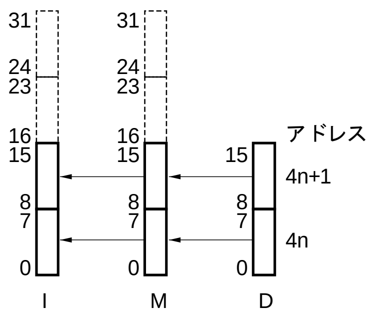
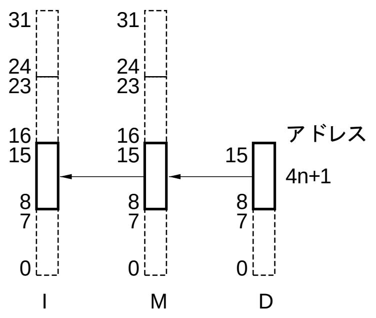
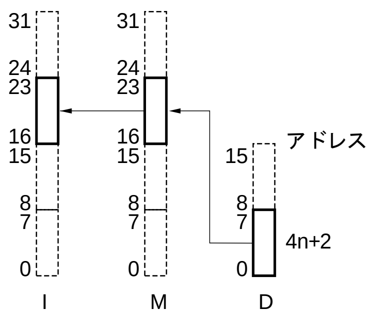
表 16.35　バイトアクセス時のデータフロー（ビッグエンディアン）

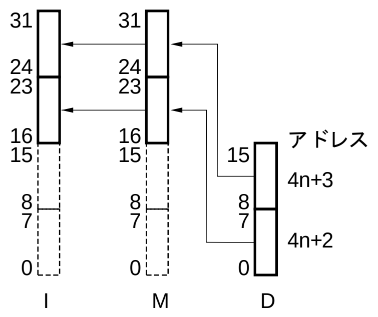
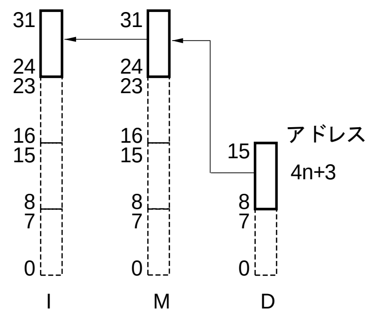
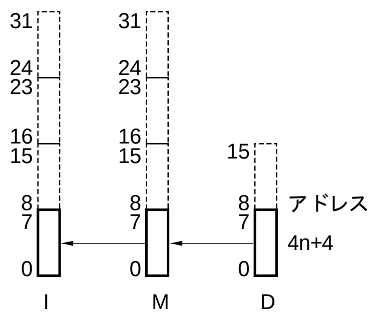
アクセスするアドレス	データ転送フロー
4n	
4n + 1	
4n + 2	
4n + 3	

備考　I：内部バス
M：メモリコントローラデータバッファ
D：外部データバス
n＝0, 1, 2, 3,…

16.4.4.2 ハーフワードリードアクセス時のデータフロー

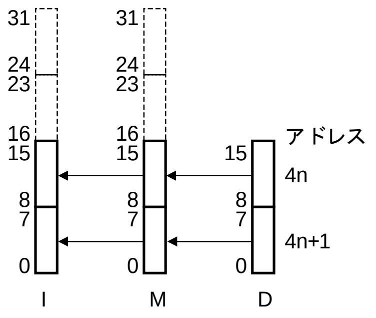
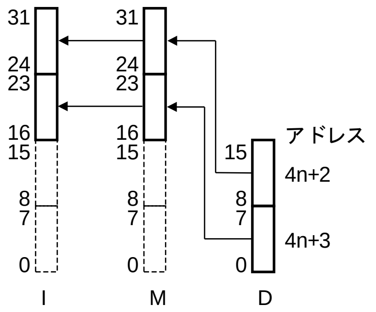
表 16.36 ハーフワードリードアクセス時のデータフロー（リトルエンディアン）

アクセスするアドレス		データ転送フロー
4n	1 回目	
4n + 1	1 回目	
	2 回目	

アクセスするアドレス		データ転送フロー
4n + 2	1 回目	
4n + 3	1 回目	
	2 回目	

備考 I：内部バス
M：メモリコントローラデータバッファ
D：外部データバス
n＝0, 1, 2, 3,…

表 16.37　ハーフワードリードアクセス時のデータフロー（ビッグエンディアン）

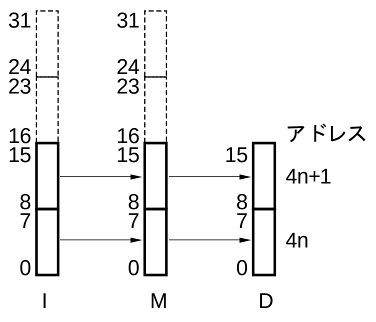
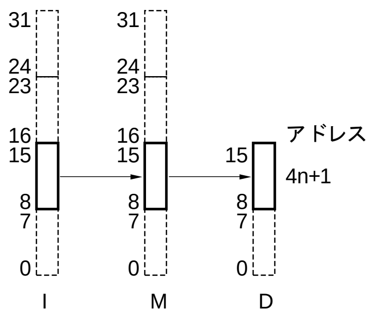
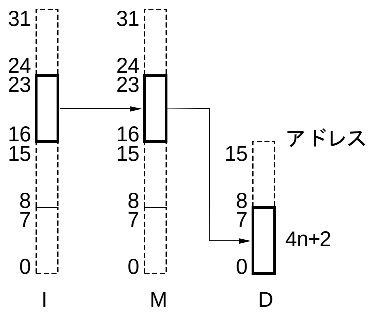
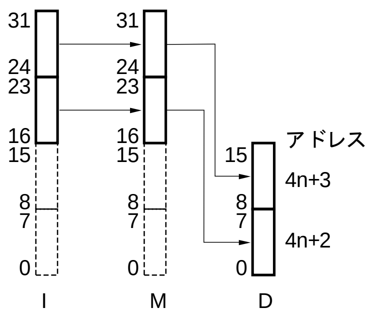
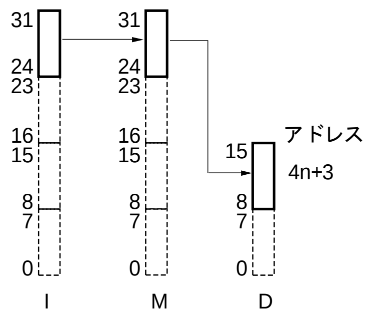
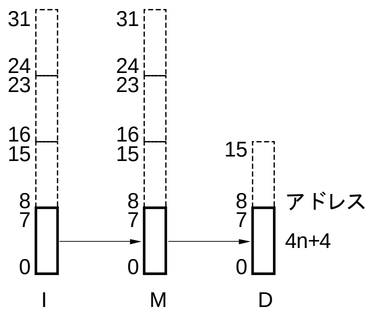
アクセスするアドレス	データ転送フロー
4n	
4n + 2	

備考1.　I：内部バス
M：メモリコントローラデータバッファ
D：外部データバス
n＝0, 1, 2, 3,…

備考2.　先頭アドレスが 4n＋1、4n＋3 で始まるアクセスは禁止です。

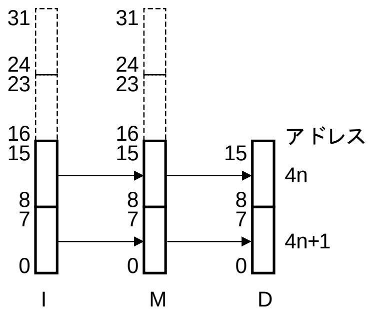
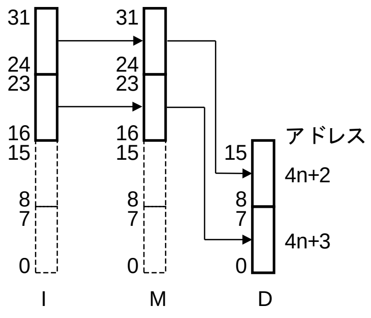
16.4.4.3　ハーフワードライトアクセス時のデータフロー

表 16.38　ハーフワードライトアクセス時のデータフロー（リトルエンディアン）

アクセスするアドレス		データ転送フロー
4n	1 回目	
4n + 1	1 回目	
	2 回目	
4n + 2	1 回目	
4n + 3	1 回目	
	2 回目	

備考　I：内部バス
M：メモリコントローラデータバッファ
D：外部データバス
n＝0, 1, 2, 3,…

表 16.39　ハーフワードライトアクセス時のデータフロー（ビッグエンディアン）

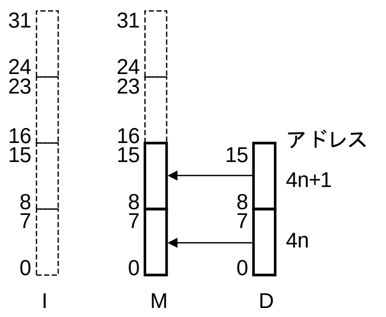
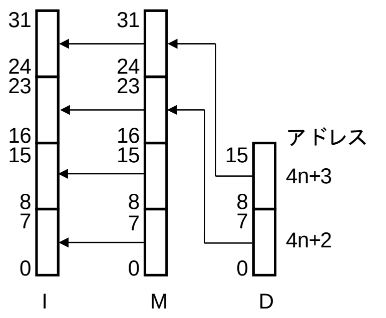
アクセスするアドレス	データ転送フロー
4n	
4n + 2	

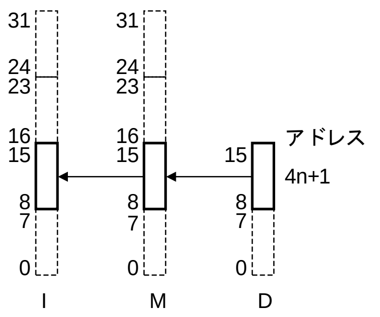
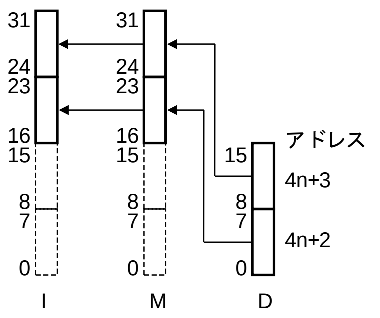
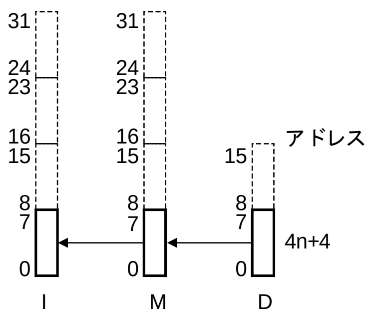
備考1.　I：内部バス
M：メモリコントローラデータバッファ
D：外部データバス
n＝0, 1, 2, 3,…

備考2.　先頭アドレスが 4n＋1、4n＋3 で始まるアクセスは禁止です。

16.4.4.4 ワードリードアクセス時のデータフロー

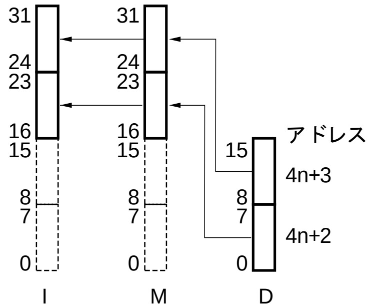
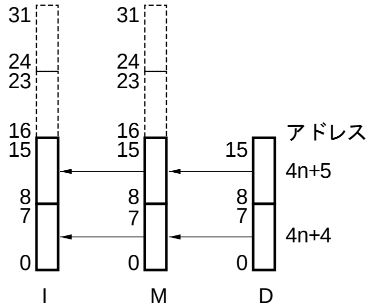
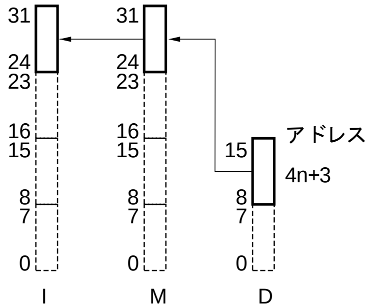
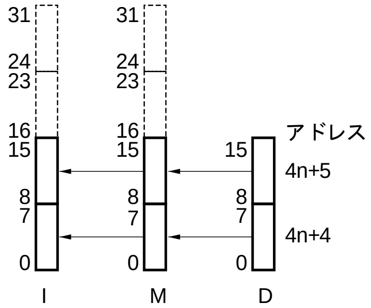
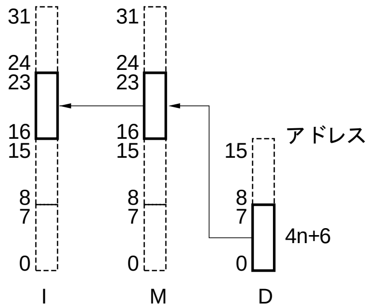
表 16.40 ワードリードアクセス時のデータフロー（リトルエンディアン）

アクセスするアドレス		データ転送フロー
4n	1 回目	
	2 回目	

アクセスするアドレス		データ転送フロー
4n + 1	1 回目	
	2 回目	
	3 回目	

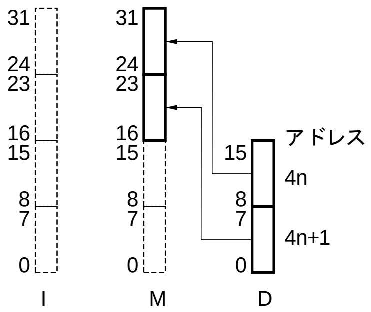
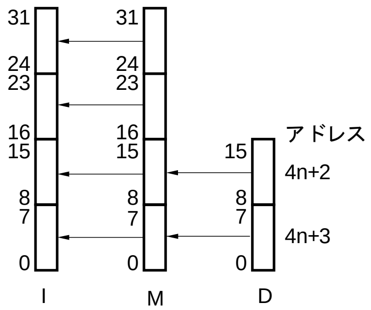
備考 I：内部バス
M：メモリコントローラデータバッファ
D：外部データバス
n＝0, 1, 2, 3,…

表 16.40　ワードリードアクセス時のデータフロー（リトルエンディアン）

アクセスするアドレス		データ転送フロー
4n + 2	1 回目	
	2 回目	
4n + 3	1 回目	
	2 回目	
	3 回目	

備考　I：内部バス
M：メモリコントローラデータバッファ
D：外部データバス
n＝0, 1, 2, 3,…

表 16.41　ワードリードアクセス時のデータフロー（ビッグエンディアン）

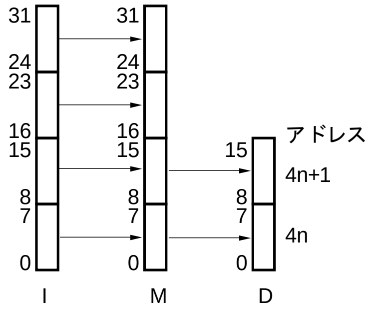
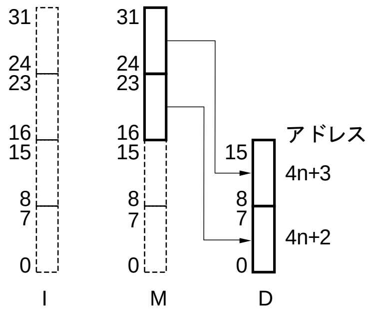
<table>
<tr><th colspan="2">アクセスするアドレス</th><th>データ転送フロー</th></tr>
<tr><td rowspan="2">4n</td><td>1 回目</td><td>
</td></tr>
<tr><td>2 回目</td><td>
</td></tr>
</table>

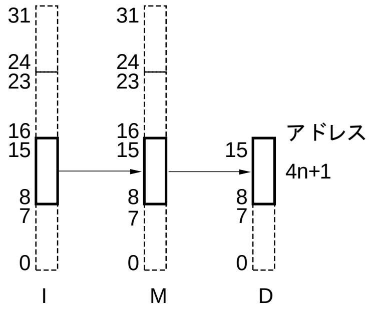
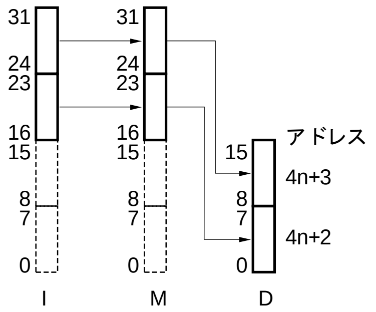
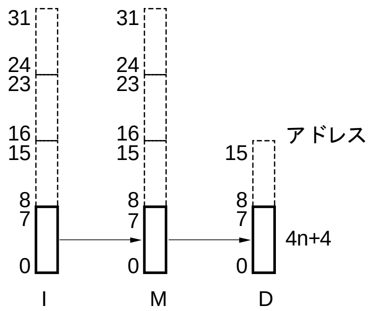
備考1.　I：内部バス
M：メモリコントローラデータバッファ
D：外部データバス
n＝0, 1, 2, 3,…

備考2.　先頭アドレスが 4n＋1、4n＋2、4n＋3 で始まるアクセスは禁止です。

16.4.4.5　ワードライトアクセス時のデータフロー

表 16.42　ワードライトアクセス時のデータフロー（リトルエンディアン）

アクセスするアドレス		データ転送フロー
4n	1 回目	
	2 回目	

アクセスするアドレス		データ転送フロー
4n + 1	1 回目	
	2 回目	
	3 回目	

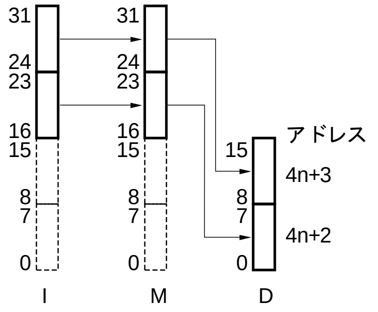
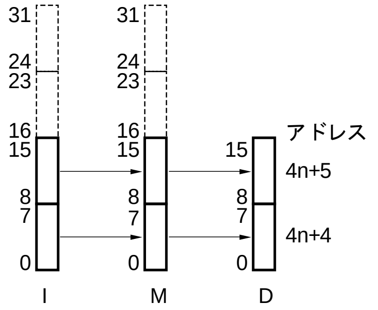
備考　I：内部バス

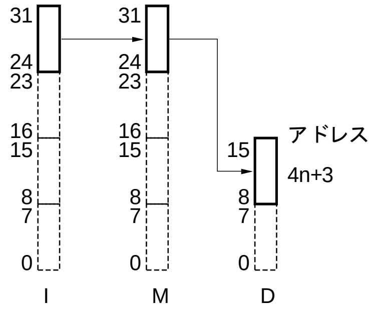
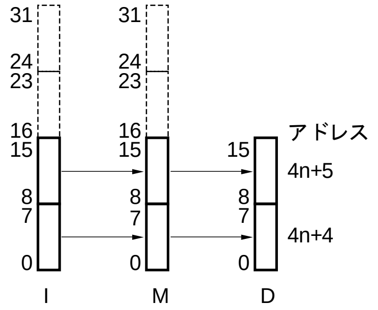
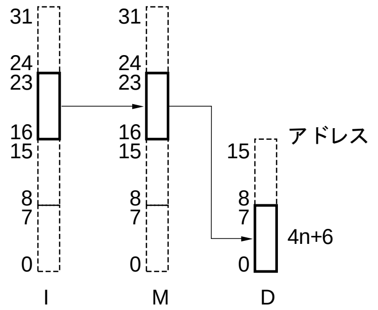
M：メモリコントローラデータバッファ

D：外部データバス

n＝0, 1, 2, 3,…

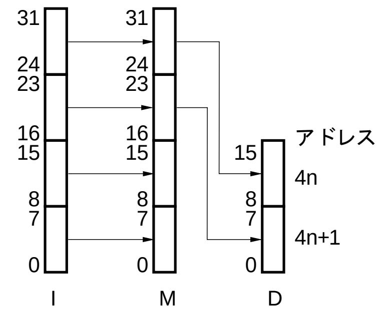
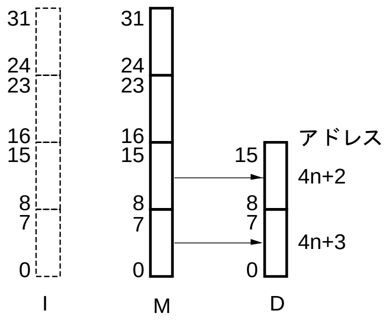
表 16.42　ワードライトアクセス時のデータフロー（リトルエンディアン）

アクセスするアドレス		データ転送フロー
4n + 2	1 回目	
	2 回目	

アクセスするアドレス		データ転送フロー
4n + 3	1 回目	
	2 回目	
	3 回目	

備考　I：内部バス
M：メモリコントローラデータバッファ
D：外部データバス
n＝0, 1, 2, 3,…

表 16.43　ワードライトアクセス時のデータフロー（ビッグエンディアン）

アクセスするアドレス		データ転送フロー
4n	1 回目	
	2 回目	

備考1.　I：内部バス

M：メモリコントローラデータバッファ

D：外部データバス

n＝0, 1, 2, 3,…

備考2.　先頭アドレスが 4n＋1、4n＋2、4n＋3 で始まるアクセスは禁止です。

16.5　MEMC の使用上の注意事項

MEMC は、スタンバイモードに遷移する前に、停止してください。

第17章　シリアルフラッシュインタフェース A（SFMA）

本章では、シリアルフラッシュインタフェース A（SFMA）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1KH, RH850/F1KM に固有の特長について説明します。

それ以降の節では、SFMA の機能、レジスタについて説明します。

17.1　RH850/F1KH, RH850/F1KM の SFMA の特長

17.1.1　ユニット数

本製品は、以下に示すユニット数の SFMA を搭載しています。

表 17.1　ユニット数 (RH850/F1KH-D8)

製品名	RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 324 Pin
ユニット数	1	1	1
名称	SFMAn (n＝0)	SFMAn (n＝0)	SFMAn (n＝0)

表 17.2　ユニット数 (RH850/F1KM-S4)

製品名	RH850/F1KM-S4 100 Pin	RH850/F1KM-S4 144 Pin	RH850/F1KM-S4 176 Pin	RH850/F1KM-S4 233 Pin	RH850/F1KM-S4 272 Pin
ユニット数	—	1	1	1	1
名称	—	SFMAn (n＝0)	SFMAn (n＝0)	SFMAn (n＝0)	SFMAn (n＝0)

表 17.3　ユニット数 (RH850/F1KM-S2)

製品名	RH850/F1KM-S2 100 Pin	RH850/F1KM-S2 144 Pin	RH850/F1KM-S2 176 Pin
ユニット数	—	1	1
名称	—	SFMAn (n＝0)	SFMAn (n＝0)

表 17.4　ユニット数 (RH850/F1KM-S1)

製品名	RH850/F1KM-S1 48 Pin	RH850/F1KM-S1 64 Pin	RH850/F1KM-S1 80 Pin	RH850/F1KM-S1 100 Pin
ユニット数	—	—	—	—
名称	—	—	—	—

表 17.5　添字 (RH850/F1KH-D8)

添字	説明
n	本章では、SFMA の各ユニットを「n」で識別します。たとえば、SFMAn 共通コントロールレジスタは SFMAnCMNCR（n＝0）と記述します。

表 17.6　添字 (RH850/F1KM-S4, RH850/F1KM-S2)

添字	説明
n	本章では、SFMA の各ユニットを「n」で識別します。たとえば、SFMAn 共通コントロールレジスタは SFMAnCMNCR（n＝0）と記述します。

17.1.2　レジスタベースアドレス

SFMAn のベースアドレスを以下の表に示します。

SFMAn のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 17.7　レジスタベースアドレス（RH850/F1KH-D8）

ベースアドレス名	ベースアドレス
<SFMA0_base>	$1004\ 0000_H$

表 17.8　レジスタベースアドレス（RH850/F1KM-S4, RH850/F1KM-S2）

ベースアドレス名	ベースアドレス
<SFMA0_base>	$1004\ 0000_H$

17.1.3　クロック供給

SFMAn のクロック供給を以下の表に示します。

表 17.9　クロック供給（RH850/F1KH-D8）

ユニット名	ユニットクロック名	供給クロック名	説明
SFMAn	Bϕ	CKSCLK_IPERI1	SFMA クロック
	レジスタアクセスクロック	CPUCLK_L, CKSCLK_IPERI1	SFMA クロック

表 17.10　クロック供給（RH850/F1KM-S4, RH850/F1KM-S2）

ユニット名	ユニットクロック名	供給クロック名	説明
SFMAn	Bϕ	CKSCLK_IPERI1	SFMA クロック
	レジスタアクセスクロック	CPUCLK_L, CKSCLK_IPERI1	SFMA クロック

17.1.4　リセット要因

SFMAn のリセット要因を以下に示します。SFMAn は以下に示すリセット要因で初期化されます。

表 17.11　リセット要因（RH850/F1KH-D8）

ユニット名	リセット要因
SFMAn	すべてのリセット要因（ISORES）

表 17.12　リセット要因（RH850/F1KM-S4, RH850/F1KM-S2）

ユニット名	リセット要因
SFMAn	すべてのリセット要因（ISORES）

17.1.5　外部入出力信号

SFMAn の外部入出力信号を以下の表に示します。

表 17.13　外部入出力信号 (RH850/F1KH-D8)

ユニット信号名	説明	ポート端子兼用信号名
SFMA0		
SPBCLK	クロック出力	SFMA0CLK
SPBSSL	スレーブセレクト信号出力	SFMA0SSL
SPBMO/SPBIO0	マスタ送信データ／データ 0	SFMA0IO0
SPBMI/SPBIO1	マスタ入力データ／データ 1	SFMA0IO1
SPBIO2	データ 2	SFMA0IO2
SPBIO3	データ 3	SFMA0IO3

表 17.14　外部入出力信号 (RH850/F1KM-S4, RH850/F1KM-S2)

ユニット信号名	説明	ポート端子兼用信号名
SFMA0		
SPBCLK	クロック出力	SFMA0CLK
SPBSSL	スレーブセレクト信号出力	SFMA0SSL
SPBMO/SPBIO0	マスタ送信データ／データ 0	SFMA0IO0
SPBMI/SPBIO1	マスタ入力データ／データ 1	SFMA0IO1
SPBIO2	データ 2	SFMA0IO2
SPBIO3	データ 3	SFMA0IO3

17.2　概要

17.2.1　機能概要

シリアルフラッシュインタフェースは、SPI マルチ I/O バス空間に接続されたシリアルフラッシュに対し制御信号を出力します。これにより、シリアルフラッシュを直接接続することができます。

本モジュールは、接続したシリアルフラッシュに対し、SPI マルチ I/O バス空間への直接リードおよび SPI モードによるデータの送受信を行うことができます。

- シリアルフラッシュインタフェース

  1 つのシリアルフラッシュを接続可能

  データバス幅を 1 ビット、2 ビット、4 ビットから選択可能

- 外部アドレス空間リードモード

  アドレス空間最大 4G バイトまでサポート

  アクセスアドレスをモニタすることにより、SPBSSL 端子の自動制御可能

  リードキャッシュ内蔵（ラインサイズ 64 ビット×16 エントリ）により、効率の良いデータ受信可能

- SPI 動作モード

  シリアルフラッシュに対し、任意のリード／ライト動作可能

- ビットレート

  内部ボーレートジェネレータで Bϕ を分周して SPBCLK を生成

  SPBCLK 分周比を 2～4080 まで設定可能

- SPBSSL 端子制御

  SPBSSL 信号アサートから SPBCLK 動作までの遅延（クロック遅延）を設定可能
  　設定範囲：1～8SPBCLK 設定単位：1SPBCLK

  SPBCLK 停止から SPBSSL 出力ネゲートまでの遅延（SPBSSL ネゲート遅延）を設定可能
  　設定範囲：1.5～8.5SPBCLK 設定単位：1SPBCLK

  次のアクセスの SPBSSL 出力アサートのウェイト（次アクセス遅延）を設定可能
  　設定範囲：1～8SPBCLK 設定単位：1SPBCLK

  SPBSSL 極性変更可能

17.2.2 ブロック図

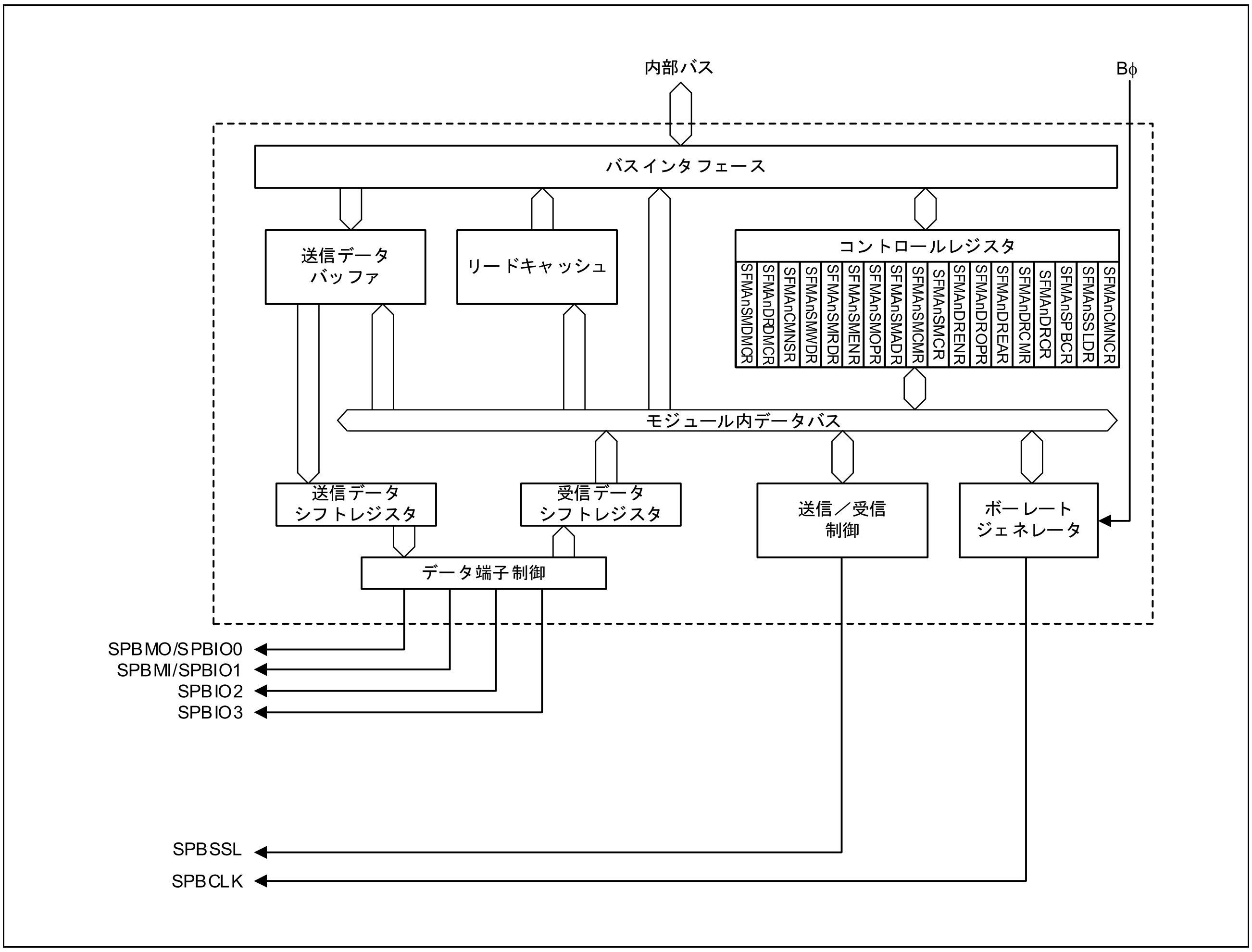


図 17.1 SFMA ブロック図

17.3　レジスタ

17.3.1　レジスター覧

SFMA のレジスタ一覧を以下の表に示します。

<SFMAn_base>は「**17.1.2 レジスタベースアドレス**」を参照してください。

表 17.15　レジスター覧

モジュール名	レジスタ名	略号	アドレス
SFMAn	SFMAn 共通コントロールレジスタ	SFMAnCMNCR	<SFMAn_base> + 00_H
	SFMAn SSL 遅延レジスタ	SFMAnSSLDR	<SFMAn_base> + 04_H
	SFMAn ビットレート設定レジスタ	SFMAnSPBCR	<SFMAn_base> + 08_H
	SFMAn データリードコントロールレジスタ	SFMAnDRCR	<SFMAn_base> + $0C_H$
	SFMAn データリードコマンド設定レジスタ	SFMAnDRCMR	<SFMAn_base> + 10_H
	SFMAn データリード拡張アドレス設定レジスタ	SFMAnDREAR	<SFMAn_base> + 14_H
	SFMAn データリードオプション設定レジスタ	SFMAnDROPR	<SFMAn_base> + 18_H
	SFMAn データリードイネーブル設定レジスタ	SFMAnDRENR	<SFMAn_base> + $1C_H$
	SFMAn SPI モードコントロールレジスタ	SFMAnSMCR	<SFMAn_base> + 20_H
	SFMAn SPI モードコマンド設定レジスタ	SFMAnSMCMR	<SFMAn_base> + 24_H
	SFMAn SPI モードアドレス設定レジスタ	SFMAnSMADR	<SFMAn_base> + 28_H
	SFMAn SPI モードオプション設定レジスタ	SFMAnSMOPR	<SFMAn_base> + $2C_H$
	SFMAn SPI モードイネーブル設定レジスタ	SFMAnSMENR	<SFMAn_base> + 30_H
	SFMAn SPI モードリードデータレジスタ	SFMAnSMRDR	<SFMAn_base> + 38_H
	SFMAn SPI モードライトデータレジスタ	SFMAnSMWDR	<SFMAn_base> + 40_H
	SFMAn 共通ステータスレジスタ	SFMAnCMNSR	<SFMAn_base> + 48_H
	SFMAn データリードダミーサイクル設定レジスタ	SFMAnDRDMCR	<SFMAn_base> + 58_H
	SFMAn SPI モードダミーサイクル設定レジスタ	SFMAnSMDMCR	<SFMAn_base> + 60_H

17.3.2　SFMAnCMNCR — SFMAn 共通コントロールレジスタ

SPI マルチ I/O バスコントローラの制御を行う 32 ビットのレジスタです。本レジスタの設定は、外部アドレス空間リード／SPI 動作モード両方に反映されます。

SFMAnCMNSR レジスタの TEND フラグ＝“1”のときに変更してください。SFMAnCMNSR レジスタの TEND フラグ＝“0”時に変更した場合の動作は保証しません。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<SFMAn_base> + 00_H

リセット後の値　01AA 4000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MD	—	—	—	—	—	—	—	MOIIO3[1:0]		MOIIO2[1:0]		MOIIO1[1:0]		MOIIO0[1:0]	
リセット後の値	0	0	0	0	0	0	0	1	1	0	1	0	1	0	1	0
R/W	R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IO3FV[1:0]		IO2FV[1:0]		—	—	IO0FV[1:0]		—	CPHAT	CPHAR	SSLP	CPOL	—	—	—
リセット後の値	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R	R	R

表 17.16　SFMAnCMNCR レジスタの内容

ビット位置	ビット名	機能
31	MD	動作モードの切り替え 動作モードの切り替えを行います。 　0：外部アドレス空間リードモード 　1：SPI 動作モード
30～24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
23、22	MOIIO3[1:0]	SPBSSL 出力アイドル値固定 SPBIO3 SPBSSL ネゲート期間に SPBIO3 の出力値を固定します。 　00：出力値は 0 　01：出力値は 1 　10：出力値は前の値のまま 　11：出力値は Hi-Z
21、20	MOIIO2[1:0]	SPBSSL 出力アイドル値固定 SPBIO2 SPBSSL ネゲート期間に SPBIO2 の出力値を固定します。 　00：出力値は 0 　01：出力値は 1 　10：出力値は前の値のまま 　11：出力値は Hi-Z
19、18	MOIIO1[1:0]	SPBSSL 出力アイドル値固定 SPBIO1 SPBSSL ネゲート期間に SPBIO1 の出力値を固定します。 　00：出力値は 0 　01：出力値は 1 　10：出力値は前の値のまま 　11：出力値は Hi-Z

表 17.16　SFMAnCMNCR レジスタの内容

ビット位置	ビット名	機能
17、16	MOIIO0[1:0]	SPBSSL 出力アイドル値固定 SPBIO0 SPBSSL ネゲート期間に SPBIO0 の出力値を固定します。 00：出力値は 0 01：出力値は 1 10：出力値は前の値のまま 11：出力値は Hi-Z
15、14	IO3FV[1:0]	1 ビット／2 ビット幅時 SPBIO3 固定値 1 ビット／2 ビット幅時、SPBIO3 端子の出力値を固定します。 00：出力値は 0 01：出力値は 1 10：出力値は前の値のまま 11：出力値は Hi-Z
13、12	IO2FV[1:0]	1 ビット／2 ビット幅時 SPBIO2 固定値 1 ビット／2 ビット幅時、SPBIO2 端子の出力値を固定します。 00：出力値は 0 01：出力値は 1 10：出力値は前の値のまま 11：出力値は Hi-Z
11、10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9、8	IO0FV[1:0]	1 ビット／2 ビット幅時 SPBIO0 固定値 1 ビット／2 ビット幅時、SPBIO0 端子の出力値を固定します。 00：出力値は 0 01：出力値は 1 10：出力値は前の値のまま 11：出力値は Hi-Z
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	CPHAT	出力シフト設定 出力データの SPBCLK エッジを設定します。 CPHAT と CPHAR の設定は CPHAR 説明の表に従ってください。 0：偶数エッジでデータ送信 1：奇数エッジでデータ送信
5	CPHAR	入力ラッチ設定 受信データの SPBCLK エッジを設定します。 CPHAT と CPHAR の設定は下表に従ってください。 0：奇数エッジでデータ受信 1：偶数エッジでデータ受信 CPHAT / CPHAR / — 0 / 0 / 設定可 0 / 1 / 設定可 1 / 0 / 設定禁止 1 / 1 / 設定可
4	SSLP	SPBSSL 信号極性設定 SPBSSL 信号の極性を設定します。 0：SPBSSL 信号はアクティブロウ 1：SPBSSL 信号はアクティブハイ

表 17.16　SFMAnCMNCR レジスタの内容

ビット位置	ビット名	機能
3	CPOL	SPBSSL ネゲート期間 SPBCLK 出力方向 SPBSSL ネゲート期間の SPBCLK 出力方向を設定します。 0：SPBSSL ネゲート時 SPBCLK は 0 出力 1：SPBSSL ネゲート時 SPBCLK は 1 出力
2〜0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

17.3.3　SFMAnSSLDR ― SFMAn SSL 遅延レジスタ

SPBSSL 信号と SPBCLK 信号間のタイミング調整を行う 32 ビットのレジスタです。

本レジスタの設定は、外部アドレス空間リード／SPI 動作モード両方に反映されます。

SFMAnCMNSR レジスタの TEND フラグ＝“1”のときに変更してください。SFMAnCMNSR レジスタの TEND フラグ＝“0”時に変更した場合の動作は保証しません。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<SFMAn_base> + 04_H

リセット後の値　0007 0707_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	SPNDL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SLNDL[2:0]			—	—	—	—	—	SCKDL[2:0]		
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

表 17.17　SFMAnSSLDR レジスタの内容

ビット位置	ビット名	機能
31～19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
18～16	SPNDL[2:0]	次アクセス遅延設定 転送終了から次の転送開始までの期間（次アクセス）を設定します。 000：1 SPBCLK 001：2 SPBCLK 010：3 SPBCLK 011：4 SPBCLK 100：5 SPBCLK 101：6 SPBCLK 110：7 SPBCLK 111：8 SPBCLK
15～11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10～8	SLNDL[2:0]	SPBSSL ネゲート遅延設定 転送の最終 SPBCLK エッジを送出してから SPBSSL 端子をネゲートするまでの期間（SPBSSL ネゲート遅延）を設定します。 000：1.5 SPBCLK 001：2.5 SPBCLK 010：3.5 SPBCLK 011：4.5 SPBCLK 100：5.5 SPBCLK 101：6.5 SPBCLK 110：7.5 SPBCLK 111：8.5 SPBCLK
7～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 17.17　SFMAnSSLDR レジスタの内容

ビット位置	ビット名	機能
2～0	SCKDL[2:0]	クロック遅延設定 SPBSSL 端子アサートから SPBCLK 発振までの期間（クロック遅延）を設定します。 000：1 SPBCLK 001：2 SPBCLK 010：3 SPBCLK 011：4 SPBCLK 100：5 SPBCLK 101：6 SPBCLK 110：7 SPBCLK 111：8 SPBCLK

17.3.4　SFMAnSPBCR ― SFMAn ビットレート設定レジスタ

ビットレートを設定する 32 ビットのレジスタです。

本レジスタの設定は、外部アドレス空間リード／SPI 動作モード両方に反映されます。

SFMAnCMNSR レジスタの TEND フラグ＝“1”のときに変更してください。SFMAnCMNSR レジスタの TEND フラグ＝“0”時に変更した場合の動作は保証しません。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<SFMAn_base> + 08_H

リセット後の値　0000 0003_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SPBR[7:0]								—	—	—	—	—	—	BRDV[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

表 17.18　SFMAnSPBCR レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15～8	SPBR[7:0]	ビットレート設定 ビットレートを設定します。ビットレートは BRDV[1:0]ビットとの組み合わせで決定されます。 SPBR[7:0]を 0 に設定しないでください。SPI 通信開始前に SPBR[7:0]を 0 以外の値に変更する必要があります。
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	BRDV[1:0]	ビットレート分周設定 ビットレートを設定します。ビットレートは SPBR[7:0]ビットとの組み合わせで決定されます。SPBR の設定値は、ベースとなるビットレートを決定します。 本ビットの設定値は、ベースのビットレートに対して分周なし／2 分周／4 分周／8 分周したビットレートを選択するために使用します。 00：ベースのビットレートを選択 01：ベースのビットレートの 2 分周を選択 10：ベースのビットレートの 4 分周を選択 11：ベースのビットレートの 8 分周を選択

ビットレート

SPBR[7:0]、BRDV[1:0]にてビットレートの設定をします。
SPBR[7:0]≠0 のときのビットレートの計算式は下記です。

ビットレート＝B ϕ /（$2 \times n \times 2^N$）

n：SPBR[7:0]の設定値（1, …, 255）

N：BRDV[1:0]の設定値（0～3）

17.3.5　SFMAnDRCR ― SFMAn データリードコントロールレジスタ

外部アドレス空間リードモード時の動作を設定する 32 ビットのレジスタです。

SSLN ビット以外は SFMAnCMNSR レジスタの TEND フラグが“1”のときに変更してください。
SFMAnCMNSR レジスタの TEND フラグ＝“0”時に変更した場合の動作は保証しません。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<SFMAn_base> + $0C_H$

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	SSLN	—	—	—	—	RBURST[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RCF	RBE	—	—	—	—	—	—	—	SSLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	W	R/W	R	R	R	R	R	R	R	R/W

表 17.19　SFMAnDRCR レジスタの内容

ビット位置	ビット名	機能
31～25	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
24	SSLN	SPBSSL ネゲート RBE ビット＝“1”かつ SSLE ビット＝“1”の設定のとき、本ビットに 1 ライトすることにより、アサート中の SPBSSL をネゲートします。 読み出すと常に 0 が読み出されます。 **備考）** 本ビットで SPBSSL をネゲートした後、次のアクセスを始める場合、SFMAnCMNSR レジスタの SSLF ビット=0 をリードして SPBSSL がネゲートされたことを確認してください。
23～20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19～16	RBURST[3:0]	リードデータバースト長 リード時のバースト長を設定します。 RBE ビット＝“1”にセットしたときに有効となります。 0000：1 データ長連続 0001：2 データ長連続 : 1110：15 データ長連続 1111：16 データ長連続 1 データ長は 64 ビットです。
15～10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	RCF	リードキャッシュフラッシュ 1 を書き込むと、リードキャッシュの全エントリをクリアします。 読み出すと常に 0 が読み出されます。 **備考）** RCF ビットに 1 を書き込んでリードキャッシュのフラッシュを行った後は、SFMAnDRCR レジスタの内容を読み出した後に外部アドレス空間リードを行ってください。

表 17.19　SFMAnDRCR レジスタの内容

ビット位置	ビット名	機能
8	RBE	リードバースト リード時のバースト ON/OFF を設定します。 0：アクセスサイズに応じてリードします。 1：リードキャッシュが有効となり、RBURST[3:0]ビットに指定されたバースト数分のリードをします。
7〜1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	SSLE	SPBSSL ネゲート設定 バーストリード動作時の SPBSSL のネゲート条件を設定します。 通常リード動作時はアクセスごとに SPBSSL をネゲートします。 0：バースト長で設定されたデータ転送終了ごとに SPBSSL をネゲートします。 1：アクセスしたアドレスが前回転送のアドレスから連続していないときに SPBSSL をネゲートします。

17.3.6　SFMAnDRCMR ― SFMAn データリードコマンド設定レジスタ

外部アドレス空間リードモード時に発行するコマンドを設定する 32 ビットのレジスタです。

SFMAnCMNSR レジスタの TEND フラグ＝“1”のときに変更してください。SFMAnCMNSR レジスタの TEND フラグ＝“0”時に変更した場合の動作は保証しません。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<SFMAn_base> + 10_H

リセット後の値　0003 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	CMD[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	OCMD[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.20　SFMAnDRCMR レジスタの内容

ビット位置	ビット名	機能
31～24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
23～16	CMD[7:0]	コマンド コマンドを設定します。
15～8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7～0	OCMD[7:0]	オプショナルコマンド オプショナルコマンドを設定します。

17.3.7　SFMAnDREAR ― SFMAn データリード拡張アドレス設定レジスタ

シリアルフラッシュのアドレスを 32 ビットで出力するときの設定をする 32 ビットのレジスタです。

SFMAnCMNSR レジスタの TEND フラグ＝“1”のときに変更してください。SFMAnCMNSR レジスタの TEND フラグ＝“0”時に変更した場合の動作は保証しません。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<SFMAn_base> + 14_H

リセット後の値　0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	EAV[5:0]						—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.21　SFMAnDREAR レジスタの内容

ビット位置	ビット名	機能
31～23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22～17	EAV[5:0]	32 ビット拡張上位アドレス固定値設定 シリアルフラッシュのアドレス[31:26]の固定値を EAV[5:0]に設定します。 この設定は SFMAnDRENR レジスタの ADE[3]ビット＝1 のときに有効となります。
16～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

17.3.8　SFMAnDROPR — SFMAn データリードオプション設定レジスタ

外部アドレス空間リードモード時のオプションデータを設定する 32 ビットのレジスタです。

SFMAnCMNSR レジスタの TEND フラグ＝“1”のときに変更してください。SFMAnCMNSR レジスタの TEND フラグ＝“0”時に変更した場合の動作は保証しません。

アクセス　32 ビット単位でリード／ライト可能です。

Address:　<SFMAn_base> + 18_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OPD3[7:0]								OPD2[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OPD1[7:0]								OPD0[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.22　SFMAnDROPR レジスタの内容

ビット位置	ビット名	機能
31～24	OPD3[7:0]	オプションデータ 3 オプションデータ 3 を設定します。
23～16	OPD2[7:0]	オプションデータ 2 オプションデータ 2 を設定します。
15～8	OPD1[7:0]	オプションデータ 1 オプションデータ 1 を設定します。
7～0	OPD0[7:0]	オプションデータ 0 オプションデータ 0 を設定します。

備考　出力の順番は OPD3→OPD2→OPD1→OPD0 です。

17.3.9　SFMAnDRENR ― SFMAn データリードイネーブル設定レジスタ

外部アドレス空間リードモード時にコマンド／オプショナルコマンド／アドレス／オプションデータ／リードデータのビット幅、およびリードデータ以外の出力イネーブルの設定をする 32 ビットのレジスタです。

SFMAnCMNSR レジスタの TEND フラグ＝“1”のときに変更してください。SFMAnCMNSR レジスタの TEND フラグ＝“0”時に変更した場合の動作は保証しません。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<SFMAn_base> + $1C_H$

リセット後の値　0000 4700_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CDB[1:0]		OCDB[1:0]		—	—	ADB[1:0]		—	—	OPDB[1:0]		—	—	DRDB[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DME	CDE	—	OCDE	ADE[3:0]				OPDE[3:0]				—	—	—	—
リセット後の値	0	1	0	0	0	1	1	1	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

表 17.23　SFMAnDRENR レジスタの内容

ビット位置	ビット名	機能
31、30	CDB[1:0]	コマンドビット幅 コマンドのビット幅を設定します。 00：1 ビット 01：2 ビット 10：4 ビット 11：設定禁止
29、28	OCDB[1:0]	オプショナルコマンドビット幅 オプショナルコマンドのビット幅を設定します。 00：1 ビット 01：2 ビット 10：4 ビット 11：設定禁止
27、26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25、24	ADB[1:0]	アドレスビット幅 アドレスのビット幅を設定します。 00：1 ビット 01：2 ビット 10：4 ビット 11：設定禁止
23、22	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
21、20	OPDB[1:0]	オプションデータビット幅 オプションデータのビット幅を設定します。 00：1 ビット 01：2 ビット 10：4 ビット 11：設定禁止

表 17.23　SFMAnDRENR レジスタの内容

ビット位置	ビット名	機能
19、18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
17、16	DRDB[1:0]	データリードビット幅 データリードのビット幅を設定します。 00：1 ビット 01：2 ビット 10：4 ビット 11：設定禁止
15	DME	ダミーサイクルイネーブル リードデータの前にダミーサイクルを挿入するかを設定します。 **備考）** ダミーサイクルで始まる転送の場合、設定できません。 0：挿入しない 1：挿入する
14	CDE	コマンドイネーブル コマンド出力を設定します。 0：出力しない 1：出力する
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	OCDE	オプショナルコマンドイネーブル オプショナルコマンド出力を設定します。 0：出力しない 1：出力する
11～8	ADE[3:0]	アドレスイネーブル アドレス出力を設定します。 必ず下記の設定で使用してください。下記以外の設定をした場合の動作は保証しません。 0000：出力しない 0111：Address[23:0]を出力 1111：Address[31:0]を出力 上記以外：設定禁止
7～4	OPDE[3:0]	オプションデータイネーブル オプションデータ出力を設定します 必ず下記の設定で使用してください。下記以外の設定をした場合の動作は保証しません。 0000：出力しない 1000：OPD3 1100：OPD3、OPD2 を出力 1110：OPD3、OPD2、OPD1 を出力 1111：OPD3、OPD2、OPD1、OPD0 を出力 上記以外：設定禁止
3～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

17.3.10 SFMAnSMCR — SFMAn SPI モードコントロールレジスタ

SPI 動作モードの動作を設定する 32 ビットのレジスタです。

SFMAnCMNSR レジスタの TEND フラグ＝“1”のときに変更してください。SFMAnCMNSR レジスタの TEND フラグ＝“0”時に変更した場合の動作は保証しません。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	<SFMAn_base> + 20_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	SSLKP	—	—	—	—	—	SPIRE	SPIWE	SPIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R/W	R/W	W

表 17.24　SFMAnSMCR レジスタの内容

ビット位置	ビット名	機能
31～9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	SSLKP	信号レベル保持 転送終了後の SPBSSL の状態を決定します。 0：転送終了時に SPBSSL 信号をネゲート 1：転送終了後から次アクセス開始まで SPBSSL 信号レベルを保持
7～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	SPIRE	データリードイネーブル SPI 動作モード時のリードイネーブルです。 0：データリードしない 1：データリードする **備考）** SPIDB[1:0]ビットで転送データビット幅を 2 ビットまたは 4 ビットに設定した場合、SPIRE ビットと SPIWE ビットを同時に 1 に設定しないでください。
1	SPIWE	データライトイネーブル SPI 動作モード時のライトイネーブルです。 0：データライトしない 1：データライトする **備考）** SPIDB[1:0]ビットで転送データビット幅を 2 ビットまたは 4 ビットに設定した場合、SPIRE ビットと SPIWE ビットを同時に 1 に設定しないでください。

表 17.24　SFMAnSMCR レジスタの内容

ビット位置	ビット名	機能
0	SPIE	SPI データ転送イネーブル 本ビットを 1 セットすることにより、データ転送を行います。 SFMAnCMNSR レジスタの TEND ビット＝“1”時のみ有効です。TEND ビット＝“0”時に、1 セットした場合の動作は保証しません。 読み出すと常に 0 が読み出されます。 **備考）** SPBSSL が解除されているときは SPIRE、SPIWE ビット＝“0”でも、出力イネーブルに設定したコマンド／オプショナルコマンド／アドレス／オプションデータは出力されます。SPBSSL 端子がアサートされているときは「**17.5.2 SPI 動作モードの SPBSSL 保持状態からの転送開始の注意事項**」に従ってください。

17.3.11 SFMAnSMCMR ― SFMAn SPI モードコマンド設定レジスタ

SPI 動作モード時に発行するコマンドを設定する 32 ビットのレジスタです。

SFMAnCMNSR レジスタの TEND フラグ＝“1”のときに変更してください。SFMAnCMNSR レジスタの TEND フラグ＝“0”時に変更した場合の動作は保証しません。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<SFMAn_base> + 24_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	CMD[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	OCMD[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.25　SFMAnSMCMR レジスタの内容

ビット位置	ビット名	機能
31～24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
23～16	CMD[7:0]	コマンド コマンドを設定します。
15～8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7～0	OCMD[7:0]	オプショナルコマンド オプショナルコマンドを設定します。

17.3.12　SFMAnSMADR — SFMAn SPI モードアドレス設定レジスタ

SPI 動作モード時のアドレスを設定する 32 ビットのレジスタです。

SFMAnCMNSR レジスタの TEND フラグ＝“1”のときに変更してください。SFMAnCMNSR レジスタの TEND フラグ＝“0”時に変更した場合の動作は保証しません。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<SFMAn_base> + 28_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADR[31:24]								ADR[23:16]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.26　SFMAnSMADR レジスタの内容

ビット位置	ビット名	機能
31～24	ADR[31:24]	アドレス シリアルフラッシュのアドレスを 32 ビットで出力するときのビット 31～24 を設定します。 この設定は SFMAnSMENR レジスタの ADE[3]ビット＝1 のときに有効になります。
23～0	ADR[23:0]	アドレス アドレスを設定します。

17.3.13　SFMAnSMOPR ― SFMAn SPI モードオプション設定レジスタ

SPI 動作モード時のオプションデータを設定する 32 ビットのレジスタです。

SFMAnCMNSR レジスタの TEND フラグ＝“1”のときに変更してください。SFMAnCMNSR レジスタの TEND フラグ＝“0”時に変更した場合の動作は保証しません。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<SFMAn_base> + 2C$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OPD3[7:0]								OPD2[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OPD1[7:0]								OPD0[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.27　SFMAnSMOPR レジスタの内容

ビット位置	ビット名	機能
31～24	OPD3[7:0]	オプションデータ 3 オプションデータ 3 を設定します。
23～16	OPD2[7:0]	オプションデータ 2 オプションデータ 2 を設定します。
15～8	OPD1[7:0]	オプションデータ 1 オプションデータ 1 を設定します。
7～0	OPD0[7:0]	オプションデータ 0 オプションデータ 0 を設定します。

備考　出力の順番は OPD3→OPD2→OPD1→OPD0 です。

17.3.14 SFMAnSMENR ― SFMAn SPI モードイネーブル設定レジスタ

SPI 動作モード時にコマンド／オプショナルコマンド／アドレス／オプションデータ／転送データのビット幅、および出力イネーブルの設定をする 32 ビットのレジスタです。また、ダミーサイクルを挿入するかを設定します。コマンド／オプショナルコマンド／アドレス／オプションデータ／転送データすべてを無効にすることは禁止です。必ず 1 つは有効にしてください。

SFMAnCMNSR レジスタの TEND フラグ＝“1”のときに変更してください。SFMAnCMNSR レジスタの TEND フラグ＝“0”時に変更した場合の動作は保証しません。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<SFMAn_base> + 30_H

リセット後の値　0000 4000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CDB[1:0]		OCDB[1:0]		—	—	ADB[1:0]		—	—	OPDB[1:0]		—	—	SPIDB[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DME	CDE	—	OCDE	ADE[3:0]				OPDE[3:0]				SPIDE[3:0]			
リセット後の値	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.28　SFMAnSMENR レジスタの内容

ビット位置	ビット名	機能
31、30	CDB[1:0]	コマンドビット幅 コマンドのビット幅を設定します。 00：1 ビット 01：2 ビット 10：4 ビット 11：設定禁止
29、28	OCDB[1:0]	オプショナルコマンドビット幅 オプショナルコマンドのビット幅を設定します。 00：1 ビット 01：2 ビット 10：4 ビット 11：設定禁止
27、26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25、24	ADB[1:0]	アドレスビット幅 アドレスのビット幅を設定します。 00：1 ビット 01：2 ビット 10：4 ビット 11：設定禁止
23、22	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 17.28　SFMAnSMENR レジスタの内容

ビット位置	ビット名	機能
21、20	OPDB[1:0]	オプションデータビット幅 オプションデータのビット幅を設定します。 00：1 ビット 01：2 ビット 10：4 ビット 11：設定禁止
19、18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
17、16	SPIDB[1:0]	転送データビット幅 転送データビット幅を設定します。 00：1 ビット 01：2 ビット 10：4 ビット 11：設定禁止
15	DME	ダミーサイクルイネーブル リードデータの前にダミーサイクルを挿入するかを設定します。 **備考）** ● SPI 動作モード時に書き込みを行う場合、ダミーサイクルは挿入できません（ダミーサイクルで終わる転送の場合も含む）。 ● ダミーサイクルで始まる転送の場合、設定できません。 0：挿入しない 1：挿入する
14	CDE	コマンドイネーブル コマンド出力を設定します。 0：出力しない 1：出力する
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	OCDE	オプショナルコマンドイネーブル オプショナルコマンド出力を設定します。 0：出力しない 1：出力する
11～8	ADE[3:0]	アドレスイネーブル アドレス出力を設定します。 必ず下記の設定で使用してください。下記以外の設定をした場合の動作は保証しません。 0000：出力しない 0100：ADR[23:16]を出力 0110：ADR[23:8]を出力 0111：ADR[23:0]を出力 1111：ADR[31:0]を出力 上記以外：設定禁止
7～4	OPDE[3:0]	オプションデータイネーブル オプションデータ出力を設定します。 必ず下記の設定で使用してください。下記以外の設定をした場合の動作は保証しません。 0000：出力しない 1000：OPD3 を出力 1100：OPD3、OPD2 を出力 1110：OPD3、OPD2、OPD1 を出力 1111：OPD3、OPD2、OPD1、OPD0 を出力 上記以外：設定禁止

表 17.28　SFMAnSMENR レジスタの内容

ビット位置	ビット名	機能
3～0	SPIDE[3:0]	転送データイネーブル 転送データの有効を設定します。 必ず下記の設定で使用してください。下記以外の設定をした場合の動作は保証しません。 0000：転送しない 1000：8 ビット転送 （SPI モードリード／ライトデータレジスタのアドレス 0 のデータを有効） 1100：16 ビット転送 （SPI モードリード／ライトデータレジスタのアドレス 0 とアドレス 1 のデータを有効） 1111：32 ビット転送 （SPI モードリード／ライトデータレジスタのアドレス 0～アドレス 3 のデータを有効） 上記以外：設定禁止

17.3.15　SFMAnSMRDR ― SFMAn SPI モードリードデータレジスタ

SPI 動作モード時のリードデータを格納する 32 ビットのレジスタです。

本レジスタへのアクセスは、SPI モードイネーブル設定レジスタ（SFMAnSMENR）の SPIDE[3:0]ビットで指定された転送サイズで行ってください。アクセスする場合、必ずアドレス 0 からアクセスしてください。

SFMAnCMNSR レジスタの TEND フラグ＝“1”のときにリードしてください。SFMAnCMNSR レジスタの TEND フラグ＝“0”時にリードした場合の動作は保証しません。

アクセス　SFMAnSMRDR レジスタは、32 ビット単位でリードのみ可能です。
SFMAnSMRDRL、SFMAnSMRDRH レジスタは、16 ビット単位でリードのみ可能です。
SFMAnSMRDRLL、SFMAnSMRDRLH、SFMAnSMRDRHL、SFMAnSMRDRHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　SFMAnSMRDR：<SFMAn_base> + 38_H
SFMAnSMRDRL：<SFMAn_base> + 38_H
SFMAnSMRDRLL：<SFMAn_base> + 38_H
SFMAnSMRDRLH：<SFMAn_base> + 39_H
SFMAnSMRDRH：<SFMAn_base> + $3A_H$
SFMAnSMRDRHL：<SFMAn_base> + $3A_H$
SFMAnSMRDRHH：<SFMAn_base> + $3B_H$

リセット後の値　XXXX $XXXX_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDATA[31:16]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDATA[15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.29　SFMAnSMRDR レジスタの内容

ビット位置	ビット名	機能
31～0	RDATA[31:0]	リードデータ SPI 動作モード時にリードしたデータを格納します。

備考　本レジスタは SPI 動作モードの受信が終了すると内容が書き換えられます。SPI 動作モードの受信が終了したら必ずデータを読み出してください。

17.3.16 SFMAnSMWDR ― SFMAn SPI モードライトデータレジスタ

SPI 動作モード時のライトデータを設定する 32 ビットのレジスタです。

本レジスタへのアクセスは、SPI モードイネーブル設定レジスタ（SFMAnSMENR）の SPIDE[3:0]ビットで指定された転送サイズで行ってください。アクセスする場合、必ずアドレス 0 からアクセスしてください。

SFMAnCMNSR レジスタの TEND フラグ＝“1”のときに変更してください。SFMAnCMNSR レジスタの TEND フラグ＝“0”時に変更した場合の動作は保証しません。

アクセス　SFMAnSMWDR レジスタは、32 ビット単位でリード／ライト可能です。

SFMAnSMWDRL、SFMAnSMWDRH レジスタは、16 ビット単位でリード／ライト可能です。

SFMAnSMWDRLL、SFMAnSMWDRLH、SFMAnSMWDRHL、SFMAnSMWDRHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　SFMAnSMWDR：<SFMAn_base> + 40_H

SFMAnSMWDRL：<SFMAn_base> + 40_H

SFMAnSMWDRLL：<SFMAn_base> + 40_H

SFMAnSMWDRLH：<SFMAn_base> + 41_H

SFMAnSMWDRH：<SFMAn_base> + 42_H

SFMAnSMWDRHL：<SFMAn_base> + 42_H

SFMAnSMWDRHH：<SFMAn_base> + 43_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	WDATA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WDATA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 17.30　SFMAnSMWDR レジスタの内容

ビット位置	ビット名	機能
31～0	WDATA[31:0]	ライトデータ SPI 動作モード時にライトするデータを格納します。

17.3.17　SFMAnCMNSR — SFMAn 共通ステータスレジスタ

動作状態を示すフラグを格納する 32 ビットのレジスタです。

本レジスタの設定は、外部アドレス空間リード／SPI 動作モード両方に反映されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　<SFMAn_base> + 48_H

リセット後の値　$0000\ 0001_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SSLF	TEND
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 17.31　SFMAnCMNSR レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	SSLF	SPBSSL 端子モニタ 0：SPBSSL 端子がネゲート中 1：SPBSSL 端子がアサート中
0	TEND	転送終了フラグ データ転送を終了したことを示します。 0：転送中であることを表示 1：転送を終了したことを表示

17.3.18　SFMAnDRDMCR ― SFMAn データリードダミーサイクル設定レジスタ

外部アドレス空間リードモード時に挿入するダミーサイクルのビット幅およびダミーサイクル数を設定する 32 ビットのレジスタです。

本レジスタの設定は、データリードイネーブル設定レジスタ（SFMAnDRENR）の DME ビットが"1"のとき有効になります。

SFMAnCMNSR レジスタの TEND フラグ＝“1”のときに変更してください。SFMAnCMNSR レジスタの TEND フラグ＝“0”時に変更した場合の動作は保証しません。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<SFMAn_base> + 58_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMDB[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DMCYC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 17.32　SFMAnDRDMCR レジスタの内容

ビット位置	ビット名	機能
31～18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
17、16	DMDB[1:0]	ダミーサイクルビット幅 ダミーサイクルのビット幅を設定します。 ダミーサイクル中の未使用端子の状態は、本ビットと共通コントロールレジスタ（SFMAnCMNCR）の IO0FV、IO2FV、IO3FV ビットとの組み合わせで決定されます。 使用する端子の状態は Hi-Z になります。 00：1 ビット 01：2 ビット 10：4 ビット 11：設定禁止
15～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2～0	DMCYC[2:0]	ダミーサイクル数 データリードイネーブル設定レジスタ（SFMAnDRENR）の DME ビットが“1”のときに挿入するダミーサイクル数を設定します。 000：1 サイクル 001：2 サイクル 010：3 サイクル 011：4 サイクル 100：5 サイクル 101：6 サイクル 110：7 サイクル 111：8 サイクル

17.3.19　SFMAnSMDMCR ― SFMAn SPI モードダミーサイクル設定レジスタ

SPI 動作モード時に挿入するダミーサイクルのビット幅およびダミーサイクル数を設定する 32 ビットのレジスタです。

本レジスタの設定は、データリードイネーブル設定レジスタ（SFMAnDRENR）の DME ビットが“1”のとき有効になります。

SFMAnCMNSR レジスタの TEND フラグ＝“1”のときに変更してください。SFMAnCMNSR レジスタの TEND フラグ＝“0”時に変更した場合の動作は保証しません。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<SFMAn_base> + 60_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMDB[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DMCYC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 17.33　SFMAnSMDMCR レジスタの内容

ビット位置	ビット名	機能
31～18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
17、16	DMDB[1:0]	ダミーサイクルビット幅 ダミーサイクルのビット幅を設定します。 ダミーサイクル中の未使用端子の状態は、本ビットと共通コントロールレジスタ（SFMAnCMNCR）の IO0FV、IO2FV、IO3FV ビットとの組み合わせで決定されます。 使用する端子の状態は Hi-Z になります。 00：1 ビット 01：2 ビット 10：4 ビット 11：設定禁止
15～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2～0	DMCYC[2:0]	ダミーサイクル数 SPI モードイネーブル設定レジスタ（SFMAnSMENR）の DME ビットが“1”のときに挿入するダミーサイクル数を設定します。 000：1 サイクル 001：2 サイクル 010：3 サイクル 011：4 サイクル 100：5 サイクル 101：6 サイクル 110：7 サイクル 111：8 サイクル

17.4　動作説明

17.4.1　システム構成

本モジュールは、1 つのシリアルフラッシュ（データ幅 1/2/4 ビット）を直接接続することが可能です。

システム構成例を「**図 17.2 データ幅 4 ビット時のシステム構成例**」に示します。

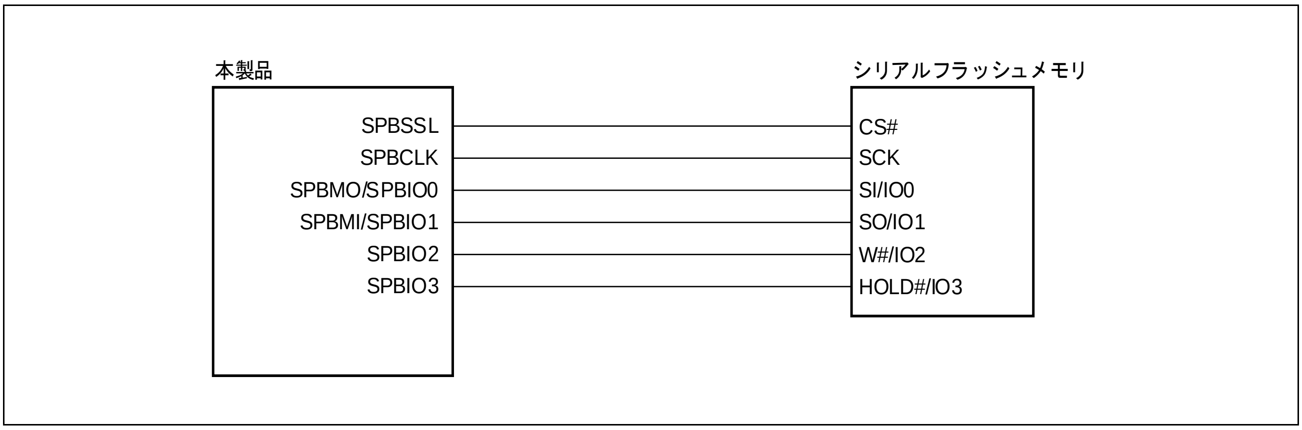


図 17.2　データ幅 4 ビット時のシステム構成例

17.4.2　アドレスマップ

外部アドレス空間リードモード時、接続するシリアルフラッシュは、SPI マルチ I/O バス空間に割り当てられます。SFMAnDREAR レジスタとの組み合わせにより、最大 4G バイトまでアクセス可能です。

表 17.34　アドレスマップ

内部アドレス	最大アクセス領域
3000 0000_H～33FF $FFFF_H$	4G バイト

17.4.3　シリアルフラッシュ 32 ビットアドレス

SPI マルチ I/O バス空間は 64M バイトであるため、直接アクセスできるのはシリアルフラッシュの 32 ビットアドレス領域の一部となります。このとき、32 ビットアドレスの上位ビットはレジスタに設定した固定値となります。

シリアルフラッシュのアドレスを 32 ビットで出力するためには、SFMAnDRENR レジスタの ADE[3]ビット＝1 に設定し、SFMAnDREAR レジスタの EAV[5:0]ビットにシリアルフラッシュのアドレス[31:26]の固定値を設定します。

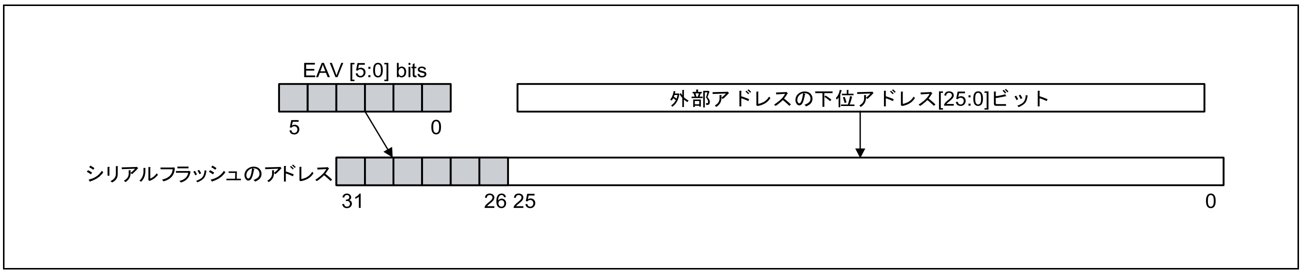


図 17.3　32 ビットアドレス設定

17.4.4　動作モード

本モジュールには、外部アドレス空間リードモードと SPI 動作モードの 2 種類のモードがあります。

外部アドレス空間リードモードは、SPI マルチ I/O バス空間へのリードを SPI 通信に変換し、データの受信を行います。データ取得後、発行元のバスマスタにデータを返します。詳細については、「**17.4.5 外部アドレス空間リードモード**」を参照してください。

SPI 動作モードは、レジスタ設定にて任意の SPI 通信を行います。詳細については、「**17.4.8 SPI 動作モード**」を参照してください。

17.4.5　外部アドレス空間リードモード

外部アドレス空間リードモードにより、SPI マルチ I/O バス空間へのリードを SPI 通信に変換することができます。また、リード時に発行するコマンド／オプショナルコマンド／オプションデータを、レジスタ設定にて変更することができます。

外部アドレス空間リードモードでは、通常リード動作とバーストリード動作の 2 つの動作を選択することができます。転送フォーマットは、共通コントロールレジスタ（SFMAnCMNCR）、SSL 遅延レジスタ（SFMAnSSLDR）、ビットレート設定レジスタ（SFMAnSPBCR）、データリードコントロールレジスタ（SFMAnDRCR）、データリードコマンド設定レジスタ（SFMAnDRCMR）、データリード拡張アドレス設定レジスタ（SFMAnDREAR）、データリードオプション設定レジスタ（SFMAnDROPR）、データリードイネーブル設定レジスタ（SFMAnDRENR）、データリードダミーサイクル設定レジスタ（SFMAnDRDMCR）により決定されます。

17.4.5.1　通常リード動作

SFMAnDRCR レジスタの RBE ビット＝“0”に設定することにより、通常リード動作となります。

通常リード動作では、バイト／ハーフワード／ワードリードに対し、それぞれ 8 ビット／16 ビット／32 ビット分データをリードします。データリード後、SPBSSL 端子はネゲートされます。

通常リード動作時のタイミング図を「**図 17.4 通常リード動作タイミング**」に示します。

t1 は SPBSSL 端子アサートから SPBCLK 発振までの期間（クロック遅延）、t2 は転送の最終 SPBCLK エッジを送出してから SPBSSL 端子をネゲートするまでの期間（SPBSSL ネゲート遅延）、t3 は転送終了から次の転送開始までの期間（次アクセス）を意味します。t1、t2、t3 の詳細については、「**17.4.9 転送フォーマット**」を参照してください。

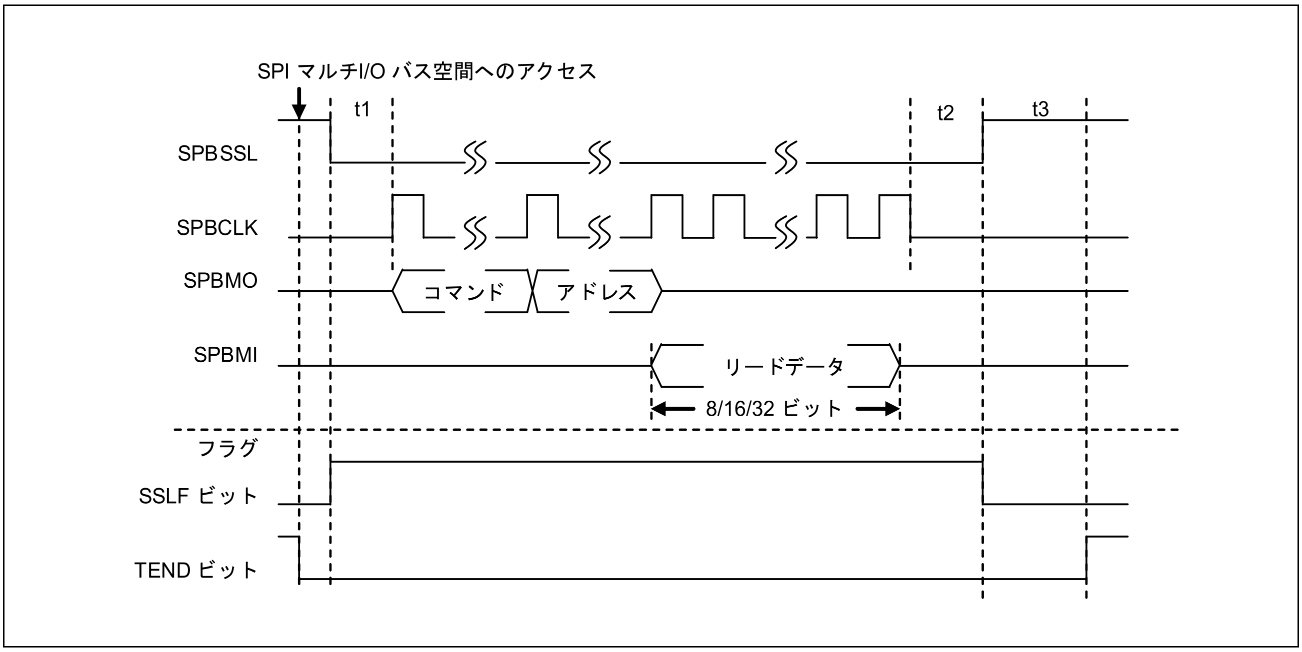


図 17.4　　通常リード動作タイミング

17.4.5.2　　バーストリード動作

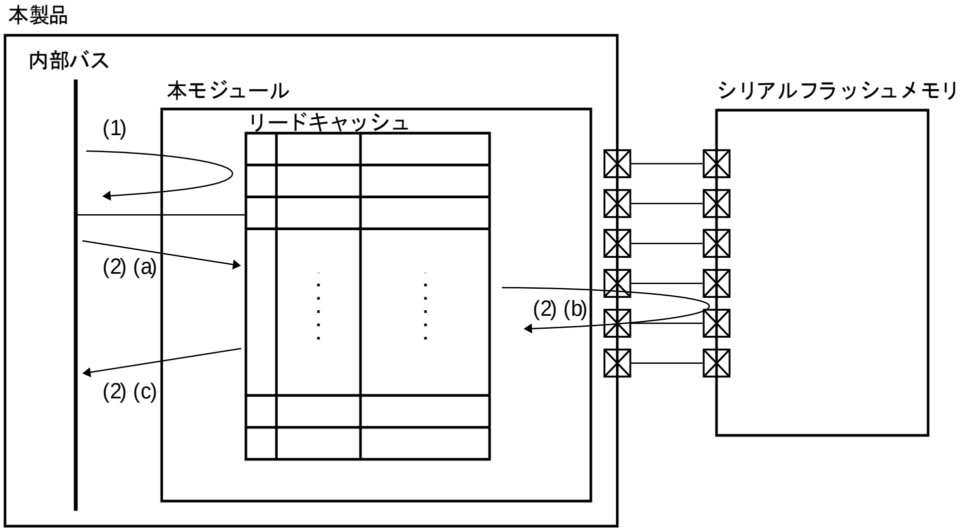
SFMAnDRCR レジスタの RBE ビット＝“1”に設定することにより、バーストリード動作となります。

バーストリード動作では、リードキャッシュが有効となります。リードキャッシュの動作については「**17.4.7 リードキャッシュ**」を参照してください。

バイト／ワード／ロングワード／ダブルロングワードリードに対し、まずリードキャッシュからデータを参照します。リードキャッシュにデータがある場合は、シリアルフラッシュへはアクセスせず、リードキャッシュからデータを読み出します。リードキャッシュにデータが無い場合は、シリアルフラッシュへバーストリードし、読み出したデータはリードキャッシュに格納されます。このときのデータ転送長は 64 ビット×RBURST[3:0]ビットであり、必ず 64 ビット境界からリードします。

また、SFMAnDRCR レジスタの SSLE ビットによりデータ転送後の SPBSSL 端子の状態を選択できます。SSLE ビット＝0 であれば、データ転送後必ず SPBSSL 端子をネゲートします。SSLE ビット＝1 の動作については、「**17.4.5.3 バーストリード動作 SPBSSL 自動ネゲート**」を参照してください。

本動作の模式図および SSLE ビット＝“0”時のバーストリード動作タイミングを「**図 17.5 バーストリード動作時のリード動作**」と「**図 17.6 バーストリード動作タイミング（SSLE ビット＝0）**」に示します。



(1) リードキャッシュにデータがある場合
　リードキャッシュからデータを読み出します。SPI 通信は行いません。

(2) リードキャッシュにデータが無い場合
　(a) リードキャッシュにアクセスし、データが無いことを確認します。
　(b) シリアルフラッシュからデータを読み出し、リードキャッシュにキャッシュします。
　(c) リードキャッシュからデータを読み出します。

図 17.5　　バーストリード動作時のリード動作

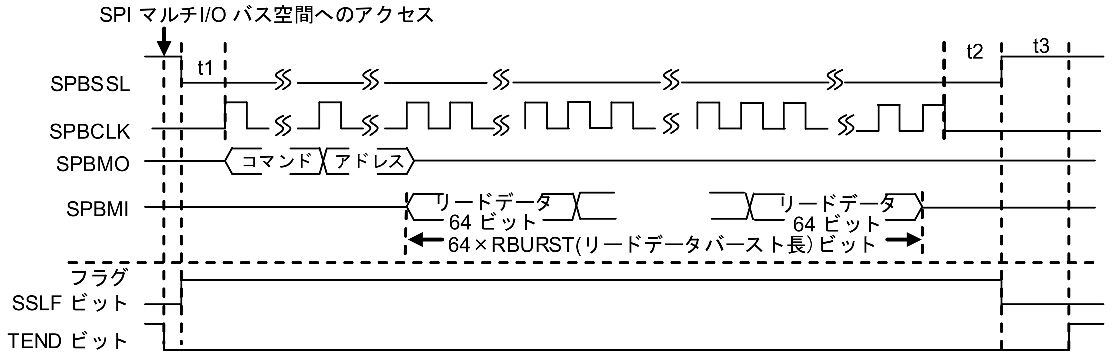


図 17.6　　バーストリード動作タイミング（SSLE ビット＝0）

17.4.5.3　バーストリード動作 SPBSSL 自動ネゲート

本モジュールは、SFMAnDRCR レジスタの SSLE ビット＝“1”設定時、バーストリード転送後に SPBSSL 端子をネゲートしません。次回アクセス時、前回リードアドレスに対してアドレスが連続している場合、コマンド／オプショナルコマンド／アドレス／オプションデータ／ダミーサイクルは発行せずに、バーストリードを行います。また、アドレスが連続していない場合は SPBSSL 端子を一度ネゲートし、コマンド／オプショナルコマンド／アドレス／オプションデータ／ダミーサイクルを発行後にバーストリードを行います。

連続アドレス時および非連続アドレス時のバーストリードタイミングを「**図 17.7 連続アドレスバーストリード動作タイミング（SSLE ビット＝1）**」と「**図 17.8 非連続アドレスバーストリード動作タイミング（SSLE ビット＝1）**」に示します。

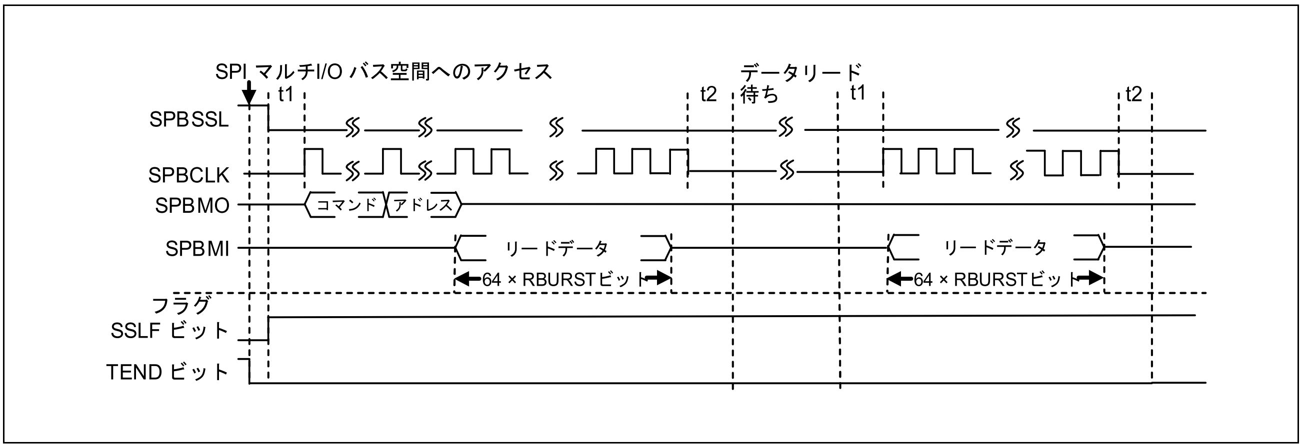


図 17.7　連続アドレスバーストリード動作タイミング（SSLE ビット＝1）

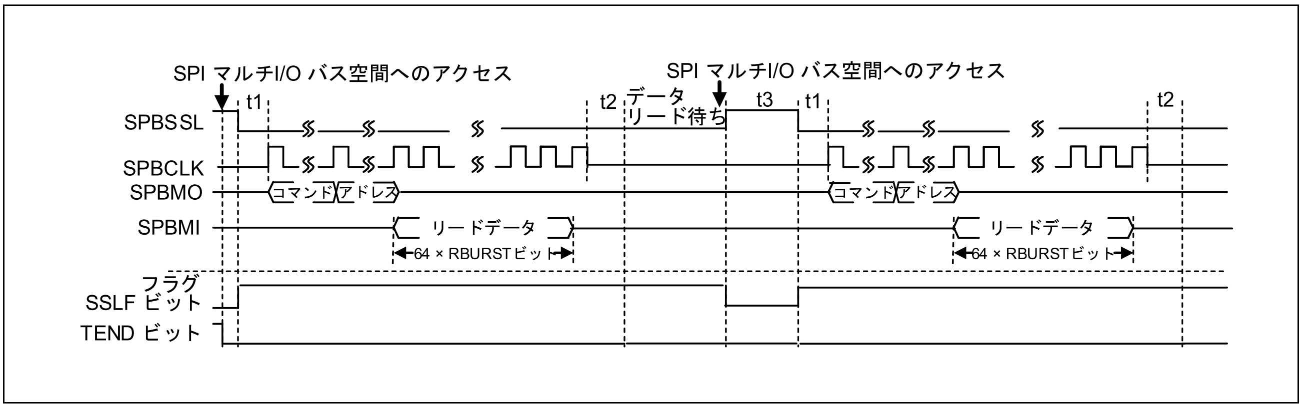


図 17.8　非連続アドレスバーストリード動作タイミング（SSLE ビット＝1）

本動作にて SFMAnDRCR レジスタの SSLN ビットで SPBSSL をネゲートした後に次のアクセスを行う場合、SFMAnCMNSR レジスタの SSLF ビット＝0 をリードして SPBSSL がネゲートされたことを確認してください。

17.4.6　初期設定フロー

外部アドレス空間リードモード時の初期設定フロー例を「**図 17.9 外部アドレス空間リードモード時の初期設定フロー例**」に示します。

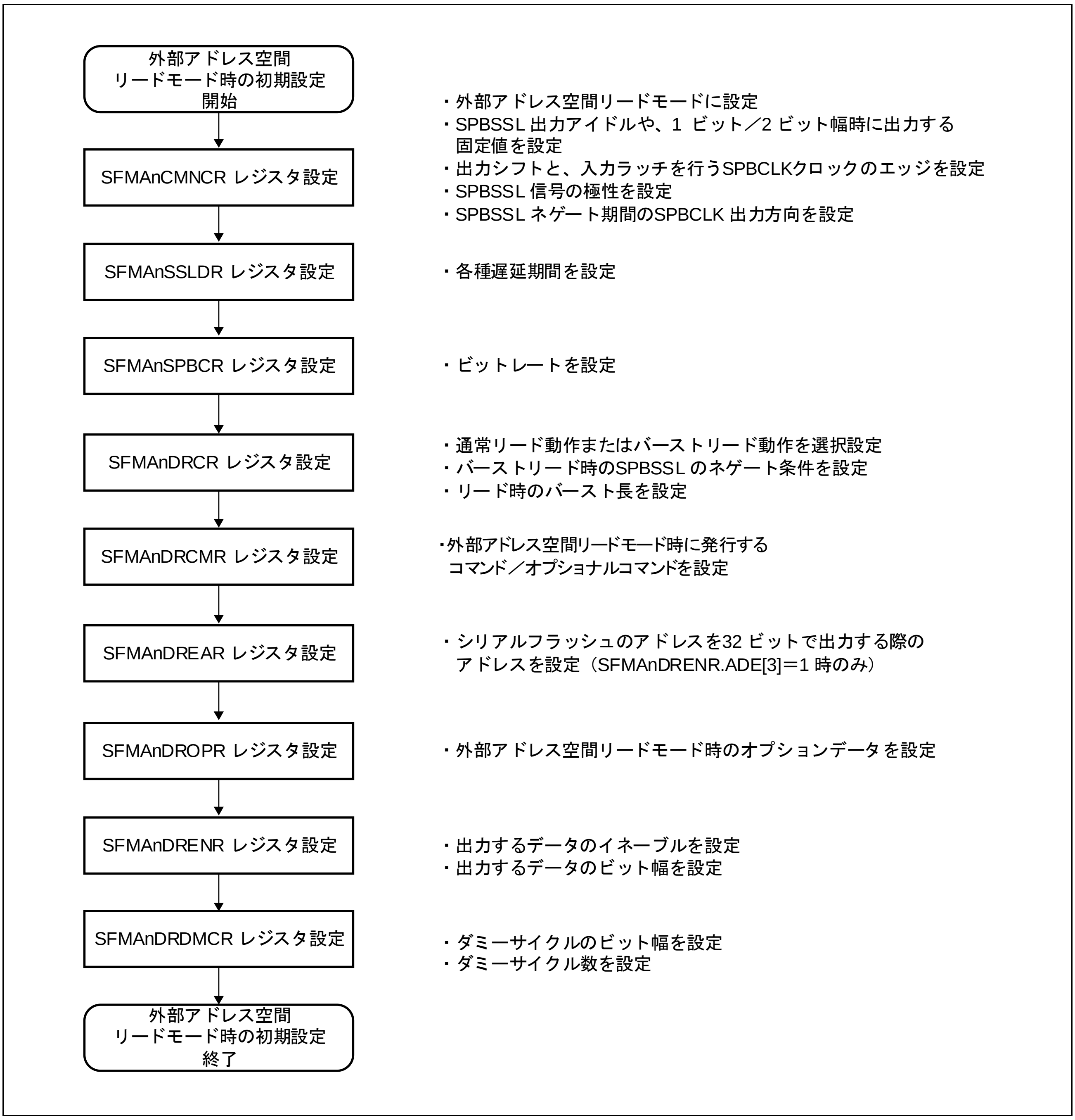


図 17.9　外部アドレス空間リードモード時の初期設定フロー例

17.4.7　リードキャッシュ

本モジュールは、簡易的なリードキャッシュを内蔵しています。外部アドレス空間リードモード、バーストリード動作時リードキャッシュを使用できます。リードキャッシュは、ラインサイズ 64 ビット、16 エントリで構成されています。

リードキャッシュの構成を「**図 17.10 リードキャッシュの構成**」に示します。

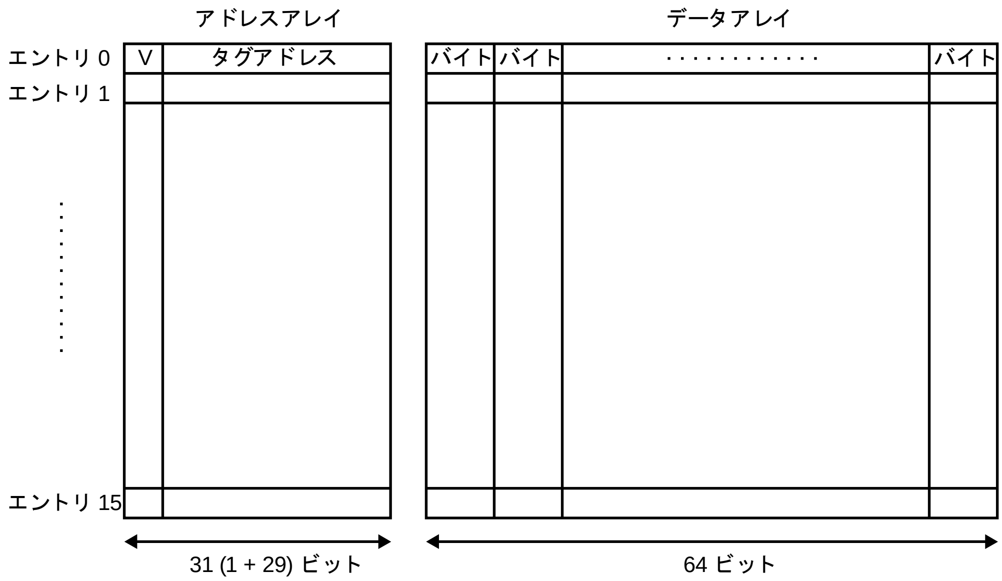


図 17.10　リードキャッシュの構成

17.4.7.1　アドレスアレイ

V ビットは、エントリのデータが有効かどうかを示します。V ビットが 1 で有効、0 で無効を示します。

タグアドレスは、シリアルフラッシュに使用されるアドレスを保持します。アドレス 31～3 ビットからなります。

アドレス出力が 24 ビットで、アドレス 23～3 が有効となり、アドレス出力が 32 ビットで、アドレス 31～3 が有効となります。

17.4.7.2　データアレイ

64 ビットのリードデータを保持します。リードキャッシュへの登録はライン単位で行われます。

17.4.7.3　リード動作

リードヒットした場合、リードキャッシュからデータを読み出します。リードミスした場合、64×RBURST（リードデータバースト長）分データをシリアルフラッシュから読み出し、リードキャッシュを更新した後、バスマスタに対しデータを返します。

17.4.7.4　データ置換

データの更新はライトポインタにより管理されます。リードミス時、ライトポインタが指し示しているエントリから RBURST（リードデータバースト長）分、データを置換します。つまり格納した古い順から置換します。データを参照したかどうかは影響しません。

17.4.8　SPI 動作モード

本モジュールは、レジスタ設定で任意の SPI 動作を行うことができます。

転送フォーマットは、共通コントロールレジスタ（SFMAnCMNCR）、SSL 遅延レジスタ（SFMAnSSLDR）、ビットレート設定レジスタ（SFMAnSPBCR）、SPI モードコントロールレジスタ（SFMAnSMCR）、SPI モードコマンド設定レジスタ（SFMAnSMCMR）、SPI モードアドレス設定レジスタ（SFMAnSMADR）、SPI モードオプション設定レジスタ（SFMAnSMOPR）、SPI モードイネーブル設定レジスタ（SFMAnSMENR）、SPI モードリードデータレジスタ（SFMAnSMRDR）、SPI モードライトデータレジスタ（SFMAnSMWDR）、SPI モードダミーサイクル設定レジスタ（SFMAnSMDMCR）により決定されます。

シリアルフラッシュのステータスリードまたはライト動作等に使用することができます。

本モードでは、SFMAnCMNSR レジスタの TEND ビット＝“1”のとき、SFMAnSMCR レジスタの SPIE ビット＝“1”になった時点から 1 回の転送ごとに動作を参照します。

17.4.8.1　転送の開始

SFMAnSMCR レジスタの SPIE ビット＝“1”により、設定した転送フォーマットにて転送を開始します。ライトイネーブル時、SPI モードライトデータレジスタがシリアルフラッシュに送信されます。リードイネーブル時、シリアルフラッシュから読み出したデータが、SPI モードリードデータレジスタに格納されます。

タイミング図を「**図 17.11 SPI 動作タイミング**」に示します。

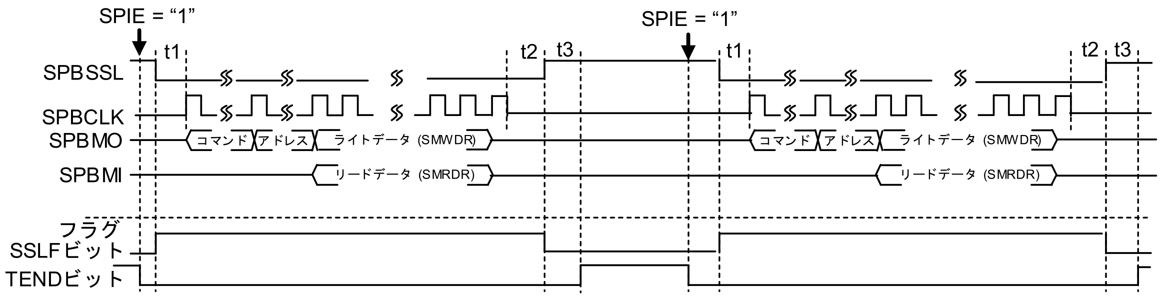


図 17.11　SPI 動作タイミング

17.4.8.2　リード／ライトイネーブル

- リード動作：SFMAnSMCR レジスタの SPIRE ビット＝“1”に設定することで、データをリードすることができます。リードしたデータは SFMAnSMRDR レジスタに格納されます。
- ライト動作：SFMAnSMCR レジスタの SPIWE ビット＝“1”に設定することで、データをライトすることができます。SFMAnSMWDR レジスタに格納されたデータが出力されます。

また、SFMAnSMENR レジスタの SPIDB[1:0]ビットのビット幅を 1 ビットに設定しているときは、SPIRE、SPIWE ビット＝“1”に設定することで送受信可能となります。ただし、SPIDB[1:0]ビットのビット幅を 2 ビット／4 ビットに設定したときは、SPIRE、SPIWE ビットのどちらか片方を有効にしてください。両方有効にした場合の動作は保証しません。

17.4.8.3　SPBSSL 端子アサート保持

SFMAnSMCR レジスタの SSLKP ビット＝“1”により、SPBSSL 端子を次の転送までアサートし続けます。本機能により、SPBSSL アサート状態のまま連続的に転送を行うことができます。

SSLKP ビットを利用した転送タイミングを「**図 17.12 SSLKP ビットを利用した転送タイミング図**」に示します。

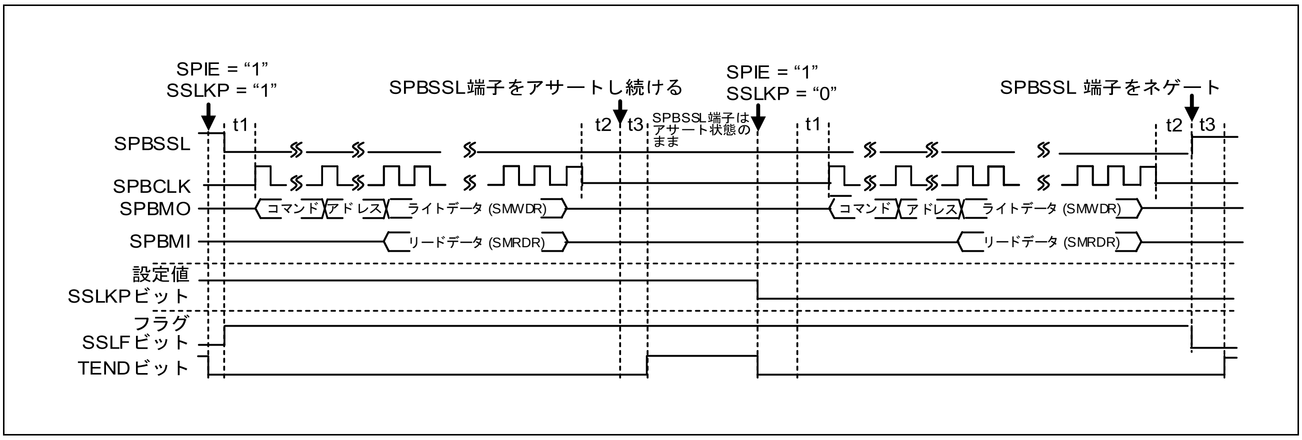


図 17.12　SSLKP ビットを利用した転送タイミング図

17.4.8.4　初期設定フロー

SPI 動作モード時の初期設定フロー例を「**図 17.13 SPI 動作モード時の初期設定フロー例**」に示します。

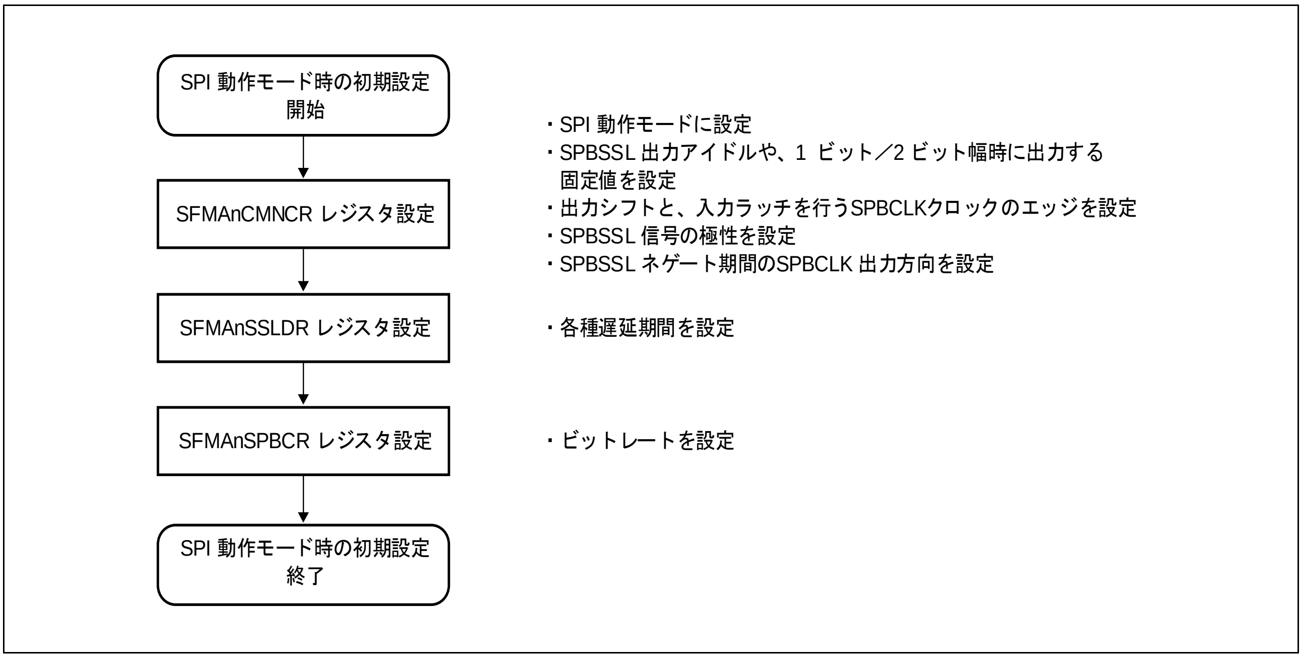


図 17.13　SPI 動作モード時の初期設定フロー例

17.4.8.5 データ転送設定フロー

SPI 動作モード時のデータ転送設定フロー例を「**図 17.14 動作モード時のデータ転送設定フロー例**」に示します。

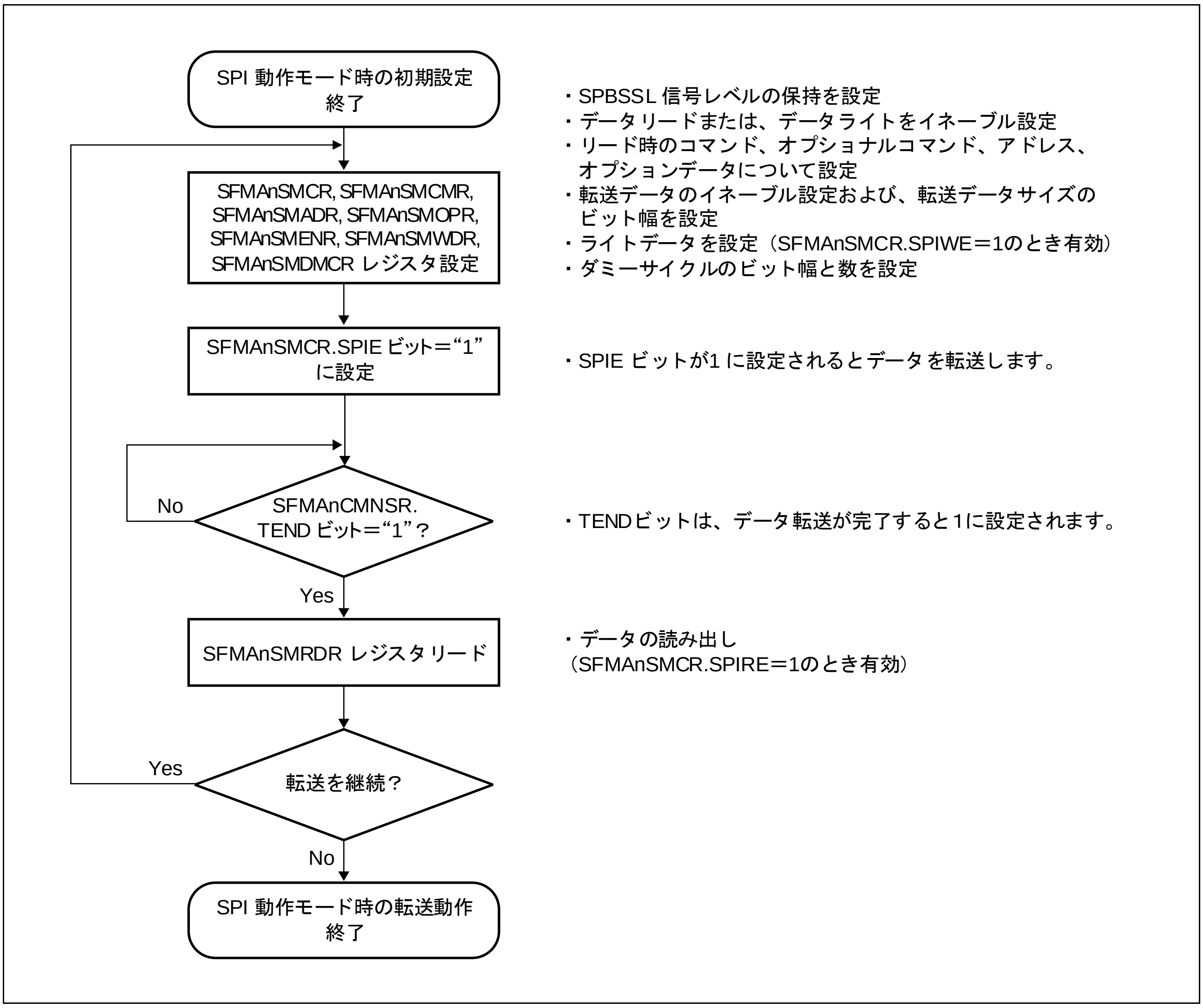


図 17.14 動作モード時のデータ転送設定フロー例

17.4.9　転送フォーマット

17.4.9.1　SPBSSL 端子のイネーブル極性制御

SFMAnCMNCR レジスタの SSLP ビットにより、SPBSSL のイネーブル極性を変更することが可能です。

17.4.9.2　SPBCLK 出力

SFMAnCMNCR レジスタの CPOL ビットにより、SPBSSL ネゲート時の SPBCLK 出力方向を設定可能です。

17.4.9.3　データ送信受信タイミング

データ送信受信は、奇数／偶数エッジで行われます。SFMAnCMNCR レジスタの CPHAT ビットによりデータ送信タイミングを奇数／偶数に設定可能です。同様に SFMAnCMNCR レジスタの CPHAR ビットによりデータ受信タイミングを奇数／偶数に設定可能です。

17.4.9.4　遅延設定

t1 は、SPBSSL 端子アサートから SPBCLK 発振までの期間（クロック遅延）です。SFMAnSSLDR レジスタの SCKDL[2:0]ビットで設定できます。t2 は、SPBCLK 発振停止から SPBSSL 信号のネゲートまでの期間（SPBSSL ネゲート遅延）です。SFMAnSSLDR レジスタの SLNDL[2:0]ビットで設定できます。t3 は、転送終了後に次転送のための SPBSSL 信号アサートを抑制するための期間（次アクセス遅延）です。SFMAnSSLDR レジスタの SPNDL[2:0]ビットで設定できます。

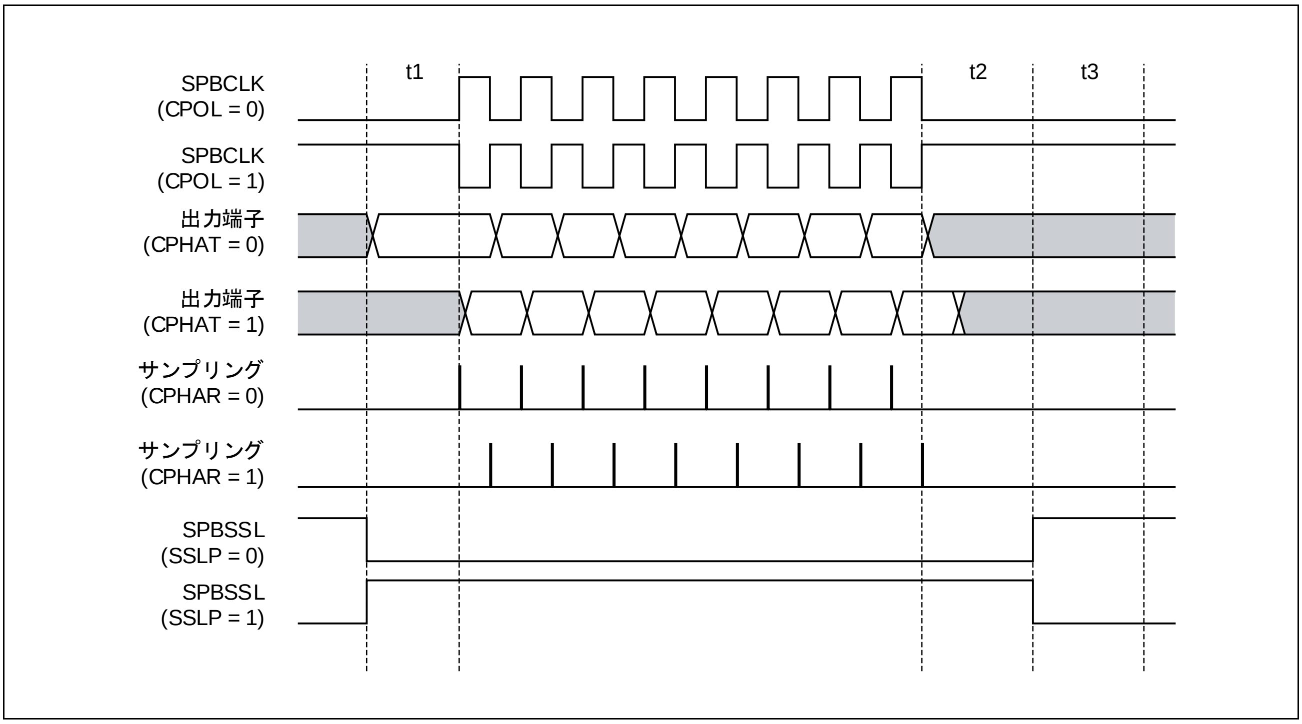


図 17.15　転送フォーマット

17.4.10　データフォーマット

本モジュールは、コマンド、オプショナルコマンド、アドレス、オプションデータ、データ、ダミーサイクルの順番でデータ入出力を行います。

17.4.10.1　データレジスタ

入出力されるデータを「**表 17.35　データレジスタ**」に示します。

表 17.35　データレジスタ

データ	外部アドレス空間リード	SPI 動作
コマンド（8 ビット）	SFMAnDRCMR.CMD[7:0]ビット	SFMAnSMCMR.CMD[7:0]ビット
オプショナルコマンド（8 ビット）	SFMAnDRCMR.OCMD[7:0]ビット	SFMAnSMCMR.OCMD[7:0]ビット
アドレス（32 ビット／24 ビット）	● 32 ビット時：SFMAnDREAR.EAV[5:0]ビット＋リードした下位アドレス[25:0]ビット ● 24 ビット時：リードした下位アドレス[23:0]ビット	● 32 ビット時：SFMAnSMADR.ADR[31:0]ビット ● 24 ビット時：SFMAnSMADR.ADR[23:0]ビット
オプションデータ（8 ビット×4）	SFMAnDROPR レジスタ	SFMAnSMOPR レジスタ
ダミーサイクル（1～8 サイクル）	SFMAnDRDMCR レジスタ	SFMAnSMDMCR レジスタ（リード時のみ）
転送データ	● 通常リード：8/16/32/64 ビット ● バーストリード：64×RBURST ビット	● リード：SFMAnSMRDR レジスタ ● ライト：SFMAnSMWDR レジスタ

17.4.10.2　データイネーブル

外部アドレス空間リードモード時、SFMAnDRENR レジスタの CDE、OCDE、ADE[3:0]、OPDE[3:0]、DME ビットにより、コマンド、オプショナルコマンド、アドレス、オプションデータ、ダミーサイクルのイネーブル／ディスエーブルを制御することが可能です。ダミーサイクルのビット幅およびダミーサイクル数は、データリードダミーサイクル設定レジスタ（SFMAnDRDMCR）により制御可能です。

同様に SPI 動作モード時、SFMAnSMENR レジスタの CDE、OCDE、ADE[3:0]、OPDE[3:0]、DME、SPIDE[3:0]ビットにより、コマンド、オプショナルコマンド、アドレス、オプションデータ、ダミーサイクル、転送データのイネーブル／ディスエーブルを制御することが可能です。ただし、SPI 動作モード時、すべてをディスエーブルにすることは禁止です。ダミーサイクル以外、必ず 1 つはイネーブルとしてください。ダミーサイクルのビット幅およびダミーサイクル数は、SPI モードダミーサイクル設定レジスタ（SFMAnSMDMCR）により制御可能です。

また、外部アドレス空間リードモード時のアドレス／オプションデータ、SPI 動作モード時のアドレス／オプションデータ／転送データは、転送データ長により設定可能なイネーブルビットが決まっています。設定可能なイネーブルビットの組み合わせについては、各レジスタの説明を参照してください。

ディスエーブルにした場合、そのデータは飛ばされ、次のデータの入出力を行います。コマンド、オプショナルコマンド、アドレス、オプションデータは常に出力です。ダミーサイクル中、使用する端子の状態は Hi-Z になります。データは外部アドレス空間リードモード時は常に入力、SPI 動作モード時は、SFMAnSMCR レジスタの SPIRE、SPIWE ビット設定により入出力を決定します。

ダミーサイクル挿入にはいくつかの制限があります。詳細は、SFMAnDRENR レジスタの DME ビットの説明を参照してください。

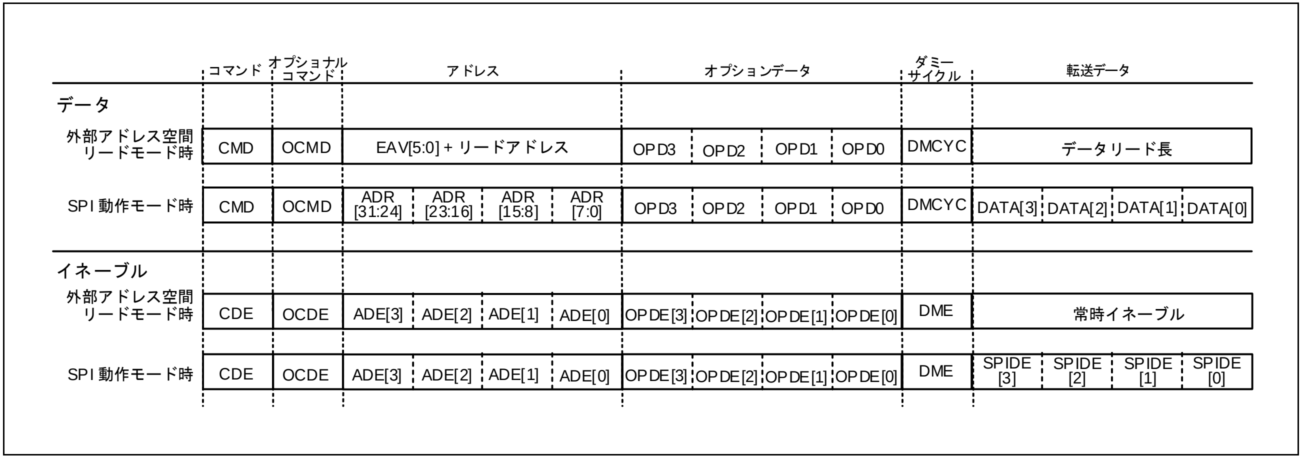


図 17.16　データとイネーブル

17.4.10.3　ビット幅

外部アドレス空間リードモード時、SFMAnDRENR レジスタの CDB[1:0]、OCDB[1:0]、ADB[1:0]、OPDB[1:0]、DRDB[1:0]ビットによりコマンド／オプショナルコマンド／アドレス／オプションデータ／リードデータのビット幅をそれぞれ制御することが可能です。また、ダミーサイクルのビット幅は、SFMAnDRDMCR レジスタの DMDB[1:0]ビットにより制御可能です。

同様に SPI 動作モード時、SFMAnSMENR レジスタの CDB[1:0]、OCDB[1:0]、ADB[1:0]、OPDB[1:0]、SPIDB[1:0]ビットによりコマンド／オプショナルコマンド／アドレス／オプションデータ／リードライトデータのビット幅を制御することが可能です。また、ダミーサイクルのビット幅は、SFMAnSMDMCR レジスタの DMDB[1:0]ビットにより制御可能です。

(1)　1 ビット幅

ビット幅を 1 ビットに設定した場合、SPBMI 端子は入力、SPBMO 端子は出力となります。SPBIO2、SPBIO3 端子は使用しません。

転送フォーマット例を「**図 17.17　1 ビット幅、転送フォーマット例**」に示します。

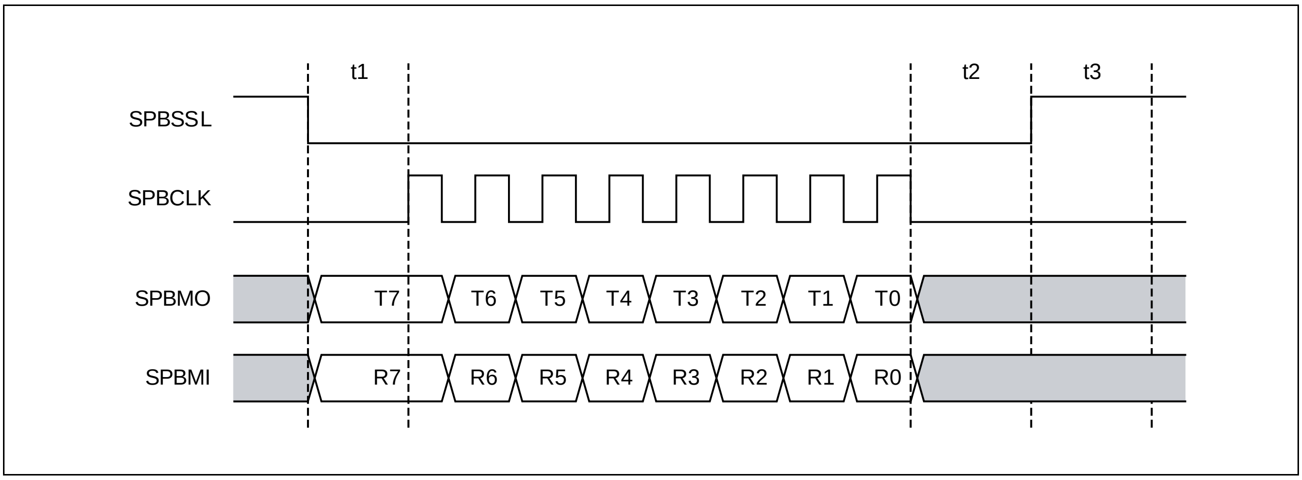


図 17.17　1 ビット幅、転送フォーマット例

(2)　2 ビット幅

ビット幅を 2 ビットに設定した場合、SPBIO0、SPBIO1 端子は入力もしくは出力のどちらかになります。SPBIO2、SPBIO3 端子は使用しません。

転送フォーマット例を「**図 17.18　2 ビット幅、転送フォーマット例**」に示します。

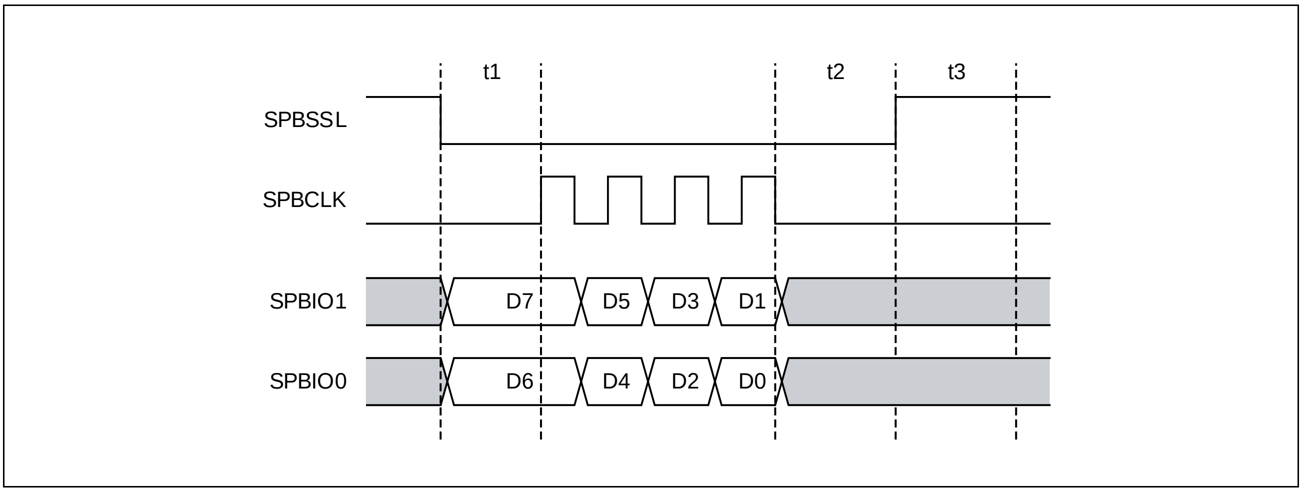


図 17.18　2 ビット幅、転送フォーマット例

(3)　4 ビット幅

ビット幅を 4 ビットに設定した場合、SPBIO0、SPBIO1、SPBIO2、SPBIO3 端子は入力もしくは出力のどちらかになります。

転送フォーマット例を「**図 17.19　4 ビット幅、転送フォーマット例**」に示します。

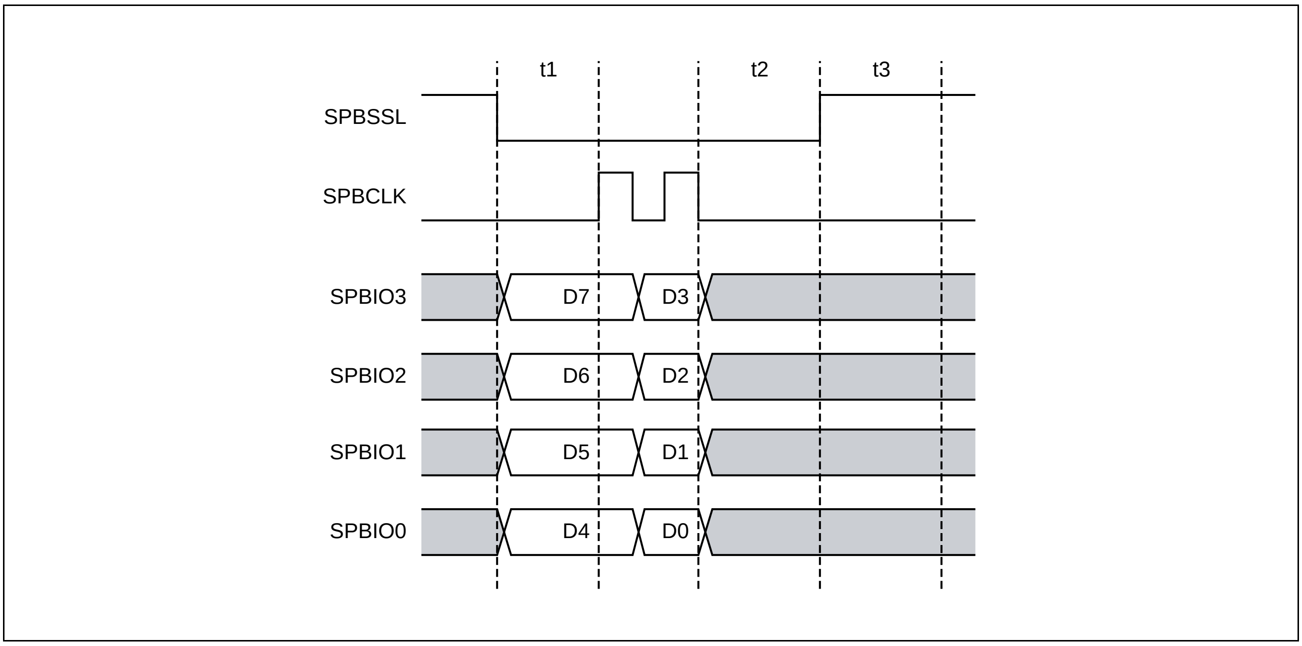


図 17.19　4 ビット幅、転送フォーマット例

17.4.11　データ端子制御

本モジュールは、使用するデータ幅、リード、ライト設定により端子状態を自動的に切り替えます。また、SPBSSL ネゲートの端子状態は SFMAnCMNCR レジスタの MOIIO3、MOIIO2、MOIIO1、MOIIO0 ビットにより設定可能です。

SPBSSL、SPBCLK 端子は常に出力です。それぞれの端子状態の表を「**表 17.36　端子状態（1）**」～「**表 17.39　端子状態（4）**」に示します。

表 17.36　端子状態（1）

端子	SPBSSL ネゲート	SPBSSL アサート		
		コマンド、オプショナルコマンド、アドレス、オプションデータ		
		1 ビット幅	2 ビット幅	4 ビット幅
SPBMO、SPBIO0	MOIIO0 ビット設定値	出力	出力	出力
SPBMI、SPBIO1	MOIIO1 ビット設定値	Hi-Z	出力	出力
SPBIO2	MOIIO2 ビット設定値	IO2FV ビット設定値	IO2FV ビット設定値	出力
SPBIO3	MOIIO3 ビット設定値	IO3FV ビット設定値	IO3FV ビット設定値	出力

表 17.37　端子状態（2）

端子	転送データ					
	外部アドレス空間リード			SPI 動作		
				SPIRE ビット＝1、SPIWE ビット＝0		
	1 ビット幅	2 ビット幅	4 ビット幅	1 ビット幅	2 ビット幅	4 ビット幅
SPBMO、SPBIO0	IO0FV ビット設定値	入力	入力	IO0FV ビット設定値	入力	入力
SPBMI、SPBIO1	入力	入力	入力	入力	入力	入力
SPBIO2	IO2FV ビット設定値	IO2FV ビット設定値	入力	IO2FV ビット設定値	IO2FV ビット設定値	入力
SPBIO3	IO3FV ビット設定値	IO3FV ビット設定値	入力	IO3FV ビット設定値	IO3FV ビット設定値	入力

表 17.38　端子状態（3）

端子	転送データ					
	SPI 動作					
	SPIRE ビット＝0、SPIWE ビット＝1			SPIRE ビット＝1、SPIWE ビット＝1		
	1 ビット幅	2 ビット幅	4 ビット幅	1 ビット幅	2 ビット幅	4 ビット幅
SPBMO、SPBIO0	出力	出力	出力	出力	設定禁止	設定禁止
SPBMI、SPBIO1	Hi-Z	出力	出力	入力	設定禁止	設定禁止
SPBIO2	IO2FV ビット設定値	IO2FV ビット設定値	出力	IO2FV ビット設定値	設定禁止	設定禁止
SPBIO3	IO3FV ビット設定値	IO3FV ビット設定値	出力	IO3FV ビット設定値	設定禁止	設定禁止

表 17.39　端子状態（4）

端子	ダミーサイクル		
	1 ビット幅	2 ビット幅	4 ビット幅
SPBMO、SPBIO0	IO0FV ビット設定値	Hi-Z	Hi-Z
SPBMI、SPBIO1	Hi-Z	Hi-Z	Hi-Z
SPBIO2	IO2FV ビット設定値	IO2FV ビット設定値	Hi-Z
SPBIO3	IO3FV ビット設定値	IO3FV ビット設定値	Hi-Z

17.4.12　SPBSSL 端子制御

SPBSSL 端子のネゲート条件を下記に示します。

17.4.12.1　外部アドレス空間リードモード

(1) 通常リード動作（SFMAnDRCR レジスタの RBE ビット＝“0”）
データ転送完了し、t2 サイクル後にネゲート

(2) バーストリード SPBSSL 自動ネゲートなし（SFMAnDRCR レジスタの RBE ビット＝“1”、SFMAnDRCR レジスタの SSLE ビット＝“0”）
データ転送完了し、t2 サイクル後にネゲート

(3) バーストリード SPBSSL 自動ネゲート（SFMAnDRCR レジスタの RBE ビット＝“1”、SFMAnDRCR レジスタの SSLE ビット＝“1”）

– リードアドレスが前回リードしたアドレスに対し非連続のとき、t2 サイクル後にネゲート

– SFMAnDRCR レジスタの SSLN ビット＝"1"設定後にネゲート

17.4.12.2　SPI 動作モード

(1) SPBSSL 端子アサート保持なし（SFMAnSMCR レジスタの SSLKP ビット＝“0”）
データ転送完了し、t2 サイクル後にネゲート

(2) SPBSSL 端子アサート保持あり（SFMAnSMCR レジスタの SSLKP ビット＝“1”）
ネゲートしません。
ネゲートする場合は、SSLKP ビット＝“0”設定後にデータの転送を行ってください。

17.4.13　フラグ

本モジュールは、SFMAnCMNSR レジスタに SSLF、TEND ビットの 2 つのフラグビットがあります。これらのビットは読み出しのみ可能です。

17.4.13.1　SSLF ビット

SPBSSL の端子状態を示します。SPBSSL をアサートしているときは“1”、ネゲートしているときは“0”が読み出されます。

17.4.13.2　TEND ビット

データ転送中／終了を示します。

t1 期間、データ転送、t2 期間、t3 期間のとき、およびバーストリードまたは SPBSSL 自動ネゲートでのリードアクセス待ちのときに、TEND ビットはデータ転送中であることを示し TEND ビット＝“0”が読み出されます。

上記以外のとき、データ転送終了を示し TEND ビット＝“1”が読み出されます。

17.4.13.3　レジスタ書き換えタイミング

TEND ビットの状態により、レジスタ書き換えタイミングを決定します。

SFMAnDRCR レジスタ SSLN ビット以外のライトアクセス可能なすべてのレジスタは TEND＝“1”のときに書き換えてください。

また、SFMAnSMRDR レジスタは TEND＝“1”のときにリードしてください。SFMAnCMNSR レジスタは常に読み出し可能です。

17.5　使用上の注意事項

17.5.1　SPI 動作モードのデータリード転送時の注意事項

SPI 動作モードで、SPI モードイネーブル設定レジスタ（SFMAnSMENR）にて、データリード転送のみイネーブルにする場合は以下の点に注意してください。

なお、データリード転送のみとは SFMAnSMENR レジスタの CDE、OCDE、ADE[3:0]、OPDE[3:0]の各ビットをすべて 0 に設定し、データのリード転送を行うことを意味します。

17.5.1.1　SPBSSL 端子を解除している状態でのデータリード転送

データリード転送のみを行う場合は、SFMAnSMENR.SPIDE[3:0]＝1100 または 1111 に設定するようにしてください。

SFMAnSMENR.SPIDE[3:0]＝1000 にてデータリード転送のみを行った場合、正常に転送が行われません。

17.5.1.2　SPBSSL 端子をアサートしている状態でのデータリード転送

データリード転送のみを行う場合、直前の転送をデータリード転送で終了させるか、SFMAnSMENR.SPIDE[3:0]＝1100 または 1111 に設定するようにしてください。

直前の転送がコマンド／オプショナルコマンド／アドレス／オプションデータまたはデータライト転送の場合、その後の転送で SFMAnSMENR.SPIDE[3:0]＝1000 に設定したデータリード転送のみを行うと正常に転送が行われません。

17.5.2　SPI 動作モードの SPBSSL 保持状態からの転送開始の注意事項

SPI 動作モードで SPBSSL 端子をアサートしている状態で、コマンド／オプショナルコマンド／アドレス／オプションデータで転送を開始する際は、SFMAnSMCR レジスタの SPIWE ビットを 1 に設定してください。

第18章　マルチメディアカードインタフェース A（MMCA）

本章では、マルチメディアカードインタフェース A（MMCA）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1KH, RH850/F1KM に固有の特長について説明します。

それ以降の節では、MMCA の機能、レジスタについて説明します。

18.1　RH850/F1KH, RH850/F1KM の MMCA の特長

18.1.1　ユニット数

本製品は、以下に示すユニット数の MMCA を搭載しています。

表 18.1　ユニット数 (RH850/F1KH-D8)

製品名	RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 324 Pin
ユニット数	—	—	1
名称	—	—	MMCAn (n＝0)

表 18.2　ユニット数 (RH850/F1KM-S4)

製品名	RH850/F1KM-S4 100 Pin	RH850/F1KM-S4 144 Pin	RH850/F1KM-S4 176 Pin	RH850/F1KM-S4 233 Pin	RH850/F1KM-S4 272 Pin
ユニット数	—	—	—	—	—
名称	—	—	—	—	—

表 18.3　ユニット数 (RH850/F1KM-S2)

製品名	RH850/F1KM-S2 100 Pin	RH850/F1KM-S2 144 Pin	RH850/F1KM-S2 176 Pin
ユニット数	—	—	—
名称	—	—	—

表 18.4　ユニット数 (RH850/F1KM-S1)

製品名	RH850/F1KM-S1 48 Pin	RH850/F1KM-S1 64 Pin	RH850/F1KM-S1 80 Pin	RH850/F1KM-S1 100 Pin
ユニット数	—	—	—	—
名称	—	—	—	—

表 18.5　添字

添字	説明
n	本章では、MMCA の各ユニットを「n」で識別します。たとえば、MMCAn コマンド設定レジスタは MMCAnCE_CMD_SET（n＝0）と記述します。

18.1.2 レジスタベースアドレス

MMCAn のベースアドレスを以下の表に示します。

MMCAn のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 18.6 レジスタベースアドレス

ベースアドレス名	ベースアドレス
<MMCA0_base>	FFED 9000$_H$

18.1.3 クロック供給

MMCAn のクロック供給を以下の表に示します。

表 18.7 クロック供給

ユニット名	ユニットクロック名	供給クロック名	説明
MMCAn	MMCA モジュールクロック	CKSCLK_IPERI2	MMCA モジュールクロック
	レジスタアクセスクロック	CPUCLK_L, CKSCLK_IPERI2	バスクロック

18.1.4 割り込み要求

MMCAn の割り込み要求を以下の表に示します。

表 18.8 割り込み要求

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
MMCA0			
INTMMCA0	MMCA 割り込み	354	—
DMAMMCA0	MMCA DMA 要求	—	127

18.1.5 リセット要因

MMCAn のリセット要因を以下の表に示します。MMCAn は以下に示すリセット要因で初期化されます。

表 18.9 リセット要因

ユニット名	リセット要因
MMCAn	すべてのリセット要因（ISORES）

18.1.6 外部入出力信号

MMCAn の外部入出力信号を以下の表に示します。

表 18.10 外部入出力信号

ユニット信号名	説明	ポート端子兼用信号名
MMCA0		
MMCA0CLK	MMCA クロック	MMCA0CLK
MMCA0CMD	MMCA コマンド／レスポンス	MMCA0CMD
MMCA0DAT[7:0]	MMCA データ[7:0]	MMCA0DAT[7:0]

18.2 概要

18.2.1 特長

- JEDEC STANDARD JESD84-A441 に準拠（DDR モード、1.8V 動作には対応していません）
- 1、4、8 ビットの MMC バスに対応
- Backward-compatible モードに対応

  High-speed モードには対応していません。
- MMC クロック周波数＝MMCA モジュールクロック周波数／2^k（k＝1～10）
- ブロック転送に対応

  ストリーム転送には対応していません。
- Boot Operation に対応

  Alternative Boot Operation には対応していません。
- Boot Operation 時の MMC クロック周波数調整が可能
- High Priority Interrupt（HPI）に対応

  CMD6, CMD24, CMD25(pre-defined), CMD38 のシーケンス中の HPI に対応しています。
- Background Operation に対応
- 割り込み要求：通常動作、エラー／タイムアウト
- DMA 転送要求：バッファライト、バッファリード

18.2.2 ブロック図

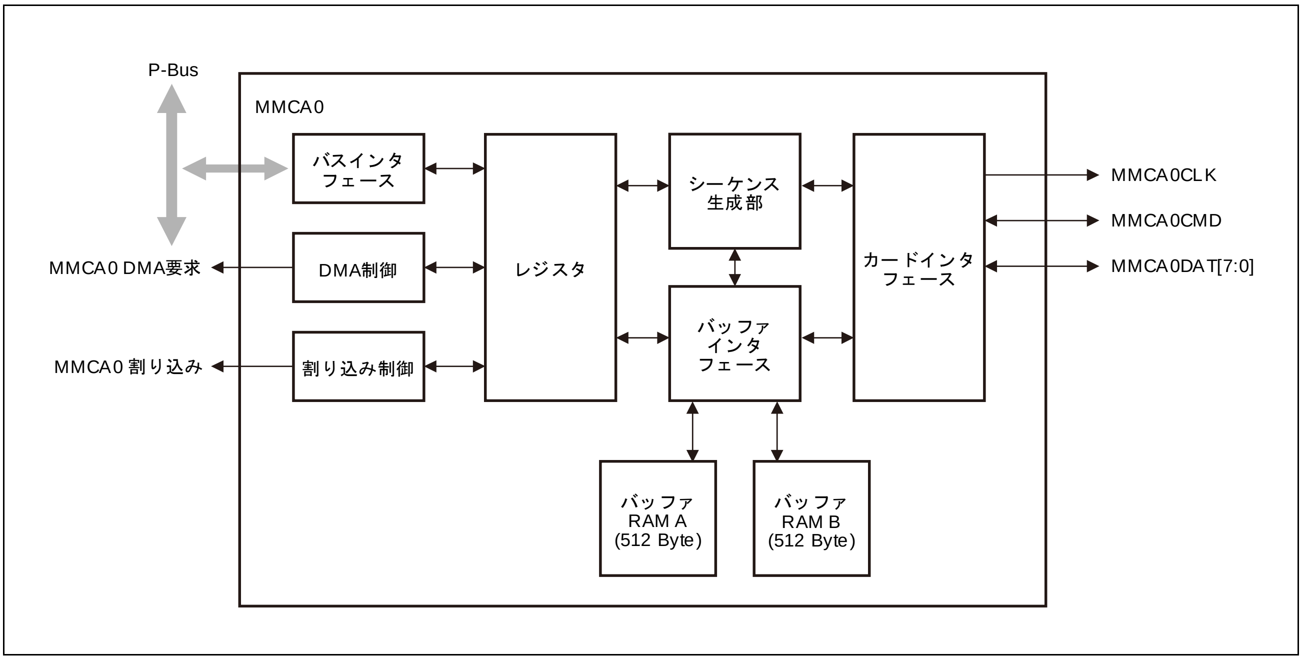


図 18.1 MMCA ブロック図

18.3　レジスタ

18.3.1　レジスタ一覧

MMCA のレジスタ一覧を以下の表に示します。

<MMCAn_base>は「**18.1.2 レジスタベースアドレス**」を参照してください。

表 18.11　レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
MMCAn	MMCAn コマンド設定レジスタ	MMCAnCE_CMD_SET	<MMCAn_base> + 00_H
	MMCAn アーギュメントレジスタ	MMCAnCE_ARG	<MMCAn_base> + 08_H
	MMCAn 自動 CMD12 アーギュメントレジスタ	MMCAnCE_ARG_CMD12	<MMCAn_base> + $0C_H$
	MMCAn コマンド制御レジスタ	MMCAnCE_CMD_CTRL	<MMCAn_base> + 10_H
	MMCAn 転送ブロック設定レジスタ	MMCAnCE_BLOCK_SET	<MMCAn_base> + 14_H
	MMCAn クロックコントロールレジスタ	MMCAnCE_CLK_CTRL	<MMCAn_base> + 18_H
	MMCAn バッファアクセス設定レジスタ	MMCAnCE_BUF_ACC	<MMCAn_base> + $1C_H$
	MMCAn レスポンスレジスタ 3	MMCAnCE_RESP3	<MMCAn_base> + 20_H
	MMCAn レスポンスレジスタ 2	MMCAnCE_RESP2	<MMCAn_base> + 24_H
	MMCAn レスポンスレジスタ 1	MMCAnCE_RESP1	<MMCAn_base> + 28_H
	MMCAn レスポンスレジスタ 0	MMCAnCE_RESP0	<MMCAn_base> + $2C_H$
	MMCAn 自動 CMD12 レスポンスレジスタ	MMCAnCE_RESP_CMD12	<MMCAn_base> + 30_H
	MMCAn データレジスタ	MMCAnCE_DATA	<MMCAn_base> + 34_H
	MMCAn Boot Operation 設定レジスタ	MMCAnCE_BOOT	<MMCAn_base> + $3C_H$
	MMCAn 割り込みフラグレジスタ	MMCAnCE_INT	<MMCAn_base> + 40_H
	MMCAn 割り込み許可レジスタ	MMCAnCE_INT_EN	<MMCAn_base> + 44_H
	MMCAn ステータスレジスタ 1	MMCAnCE_HOST_STS1	<MMCAn_base> + 48_H
	MMCAn ステータスレジスタ 2	MMCAnCE_HOST_STS2	<MMCAn_base> + $4C_H$
	MMCAn ソフトウェアリセットレジスタ	MMCAnCE_SWRESA	<MMCAn_base> + $7C_H$

18.3.2　MMCAnCE_CMD_SET — MMCAn コマンド設定レジスタ

MMCAnCE_CMD_SET は、コマンドシーケンスを設定するレジスタです。MMCAnCE_CMD_SET の設定値については、「**18.4.4.13 MMCAnCE_CMD_SET 設定値**」を参照してください。ビット 31～16 を設定するとコマンドシーケンスがスタートします。なお、コマンドシーケンス中（MMCAnCE_HOST_STS1 の CMDSEQ ビットが“1”のとき）は、MMCAnCE_CMD_SET に書き込むことはできません。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<MMCAn_base> + 00_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	BOOT	CMD[5:0]						RTYP[1:0]		RBSY	—	WDAT	DWEN	CMLTE	CMD 12EN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RIDXC[1:0]		RCRC7C[1:0]		—	CRC 16C	BOOT ACK	CRC STE	TBIT	OPDM	—	—	SBIT	—	DATW[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R	R/W	R/W

表 18.12　MMCAnCE_CMD_SET レジスタの内容

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
30	BOOT	Boot Operation ビット 0：Boot Operation 時以外のコマンドシーケンス 1：Boot Operation 時のコマンドシーケンス
29～24	CMD[5:0]	コマンドインデックスビット コマンドのインデックス（[45:40]）を設定します。
23、22	RTYP[1:0]	レスポンスタイプビット 00：レスポンスなし 01：6 バイトのレスポンス（R1、R1b、R3、R4、R5） 10：17 バイトのレスポンス（R2） 11：設定禁止
21	RBSY	レスポンスビジー選択ビット レスポンス受信時のビジーの有無を選択します。 0：レスポンスビジーなし 1：レスポンスビジーあり（R1b）
20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19	WDAT	データビット 0：データなし 1：データあり
18	DWEN	リード／ライトビット（データありのとき有効） 0：カードから読み出し 1：カードへ書き込み
17	CMLTE	シングルブロック転送／マルチブロック転送選択ビット（データありのとき有効） 0：シングルブロック転送 1：マルチブロック転送

表 18.12　MMCAnCE_CMD_SET レジスタの内容

ビット位置	ビット名	機能
16	CMD12EN	CMD12 自動送信設定ビット（マルチブロック転送時有効）注 1 0：CMD12 を自動送信しない 1：CMD12 を自動送信する CMD12 の自動送信については、「**18.4.3.4 CMD12 自動送信**」を参照してください。 **備考）** 転送ブロックサイズを 512 バイトに設定してください。RBSY ビットには“0”を設定してください。
15、14	RIDXC[1:0]	レスポンスインデックスチェックビット 6 バイトレスポンスのビット[45:40]、または、17 バイトレスポンスのビット[133:128]に対するチェック内容を設定します。 00：レスポンスインデックスを確認する（コマンドインデックスと一致しているか確認） 01：check bits を確認する（すべて“1”であることを確認） 10：確認しない 11：設定禁止
13、12	RCRC7C[1:0]	レスポンス CRC7 チェックビット 6 バイトレスポンス、または、17 バイトレスポンスのビット[7:1]に対するチェック内容を設定します。 00：CRC7 を確認する（レスポンスタイプを“01”に設定してください） 01：check bits を確認する（すべて“1”であることを確認） （レスポンスタイプを“01”に設定してください） 10：internal CRC7 を確認する（R2 のみ） （レスポンスタイプを“10”に設定してください） 11：確認しない
11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	CRC16C	受信時 CRC16 チェックビット（データあり、かつ、読み出しのときに有効） 0：受信時の CRC16 をチェックする 1：受信時の CRC16 をチェックしない（CMD14 時に使用）
9	BOOTACK	Boot Acknowledge 受信ビット（Boot Operation 時に有効） 0：Boot Acknowledge を受信しない 1：Boot Acknowledge を受信する
8	CRCSTE	CRC status 受信ビット（データあり、かつ、書き込みのときに有効） 0：CRC status を受信する 1：CRC status を受信しない（CMD19 時に使用）
7	TBIT	トランスミッションビット設定ビット 0：トランスミッションビット([46])を“1”にする 1：トランスミッションビット([46])を“0”にする
6	OPDM	オープンドレイン出力モード設定ビット 0：通常出力 1：オープンドレイン出力 MMCAnCMD 線のみ有効となります。
5、4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	SBIT	読み出しデータスタートビット検出設定ビット（データあり、かつ、読み出しのときに有効） 0：DATW ビットで指定した有効な MMCAnDAT がすべて“0”のとき、スタートビットを検出 1：MMCAnDAT[0]が“0”のとき、スタートビットを検出
2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 18.12　MMCAnCE_CMD_SET レジスタの内容

ビット位置	ビット名	機能
1、0	DATW[1:0]	データバス幅設定ビット（データありのとき有効） 00：1 ビット 01：4 ビット 10：8 ビット 11：設定禁止

注1.　データ転送速度向上のため、本ビットを“0”に設定し、Pre-defined のマルチブロック転送を使用することを推奨します。

18.3.3　MMCAnCE_ARG ― MMCAn アーギュメントレジスタ

MMCAnCE_ARG は、送信するコマンドのアーギュメントを設定するレジスタです。コマンドシーケンスを開始する前に本レジスタを設定してください。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<MMCAn_base> + 08_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ARG[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ARG[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.13　MMCAnCE_ARG レジスタの内容

ビット位置	ビット名	機能
31～0	ARG[31:0]	コマンドのビット[39:8]を設定します。 **備考）**　自動 CMD12 のアーギュメントは、MMCAnCE_ARG_CMD12 で設定してください。

18.3.4　MMCAnCE_ARG_CMD12 — MMCAn 自動 CMD12 アーギュメントレジスタ

MMCAnCE_ARG_CMD12 は、自動 CMD12 のアーギュメントを設定するレジスタです。マルチブロック転送時に CMD12 を自動送信するときに有効なレジスタです。CMD12 の自動送信については、「**18.4.3.4 CMD12 自動送信**」を参照してください。コマンドシーケンスを開始する前に本レジスタを設定してください。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<MMCAn_base> + $0C_H$

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	C12ARG[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	C12ARG[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.14　MMCAnCE_ARG_CMD12 レジスタの内容

ビット位置	ビット名	機能
31～0	C12ARG[31:0]	自動 CMD12 のビット[39:8]を設定します。

18.3.5　MMCAnCE_CMD_CTRL ― MMCAn コマンド制御レジスタ

MMCAnCE_CMD_CTRL は、コマンドシーケンスの強制終了を行うためのレジスタです。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<MMCAn_base> + 10_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BREAK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 18.15　MMCAnCE_CMD_CTRL レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	BREAK	コマンドシーケンス強制終了ビット コマンドシーケンスを停止するには、本ビットが“0”のときに“1”を書いて、その後“0”を書いてください。その後、MMCAnCE_HOST_STS1 の CMDSEQ ビットが“0”になったことを確認し、ソフトウェアリセットを行ってください。 **備考）**ソフトウェアリセットを行うと、レジスタの値がリセット後の値に戻りますので、レジスタの再設定が必要になります。

18.3.6　MMCAnCE_BLOCK_SET ― MMCAn 転送ブロック設定レジスタ

MMCAnCE_BLOCK_SET は、転送するデータのブロックサイズとブロック数を設定するレジスタです。コマンドシーケンスを開始する前に本レジスタを設定してください。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<MMCAn_base> + 14_H

リセット後の値　$0000\ 0200_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BLKCNT[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BLKSIZ[15:0]															
リセット後の値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.16　MMCAnCE_BLOCK_SET レジスタの内容

ビット位置	ビット名	機能
31～16	BLKCNT[15:0]	転送ブロック数ビット **備考）**　マルチブロック転送のとき、有効となります。
15～0	BLKSIZ[15:0]	転送ブロックサイズビット **備考）**　転送ブロックサイズは、以下のように設定してください。 シングルブロック転送時：1～512 バイト マルチブロック転送時：512 バイト

18.3.7　MMCAnCE_CLK_CTRL ― MMCAn クロックコントロールレジスタ

MMCAnCE_CLK_CTRL は、MMC クロックの制御とタイムアウト値を設定します。なお、コマンドシーケンス中は再設定しないでください。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<MMCAn_base> + 18_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MMCBUSBSY	―	―	―	―	―	―	CLKEN	―	―	―	―	CLKDIV[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	―	―	SRSPTO[1:0]		SRBSYTO[3:0]				SRWDTO[3:0]				―	―	―	―
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

表 18.17　MMCAnCE_CLK_CTRL レジスタの内容

ビット位置	ビット名	機能
31	MMCBUSBSY	MMC クロック出力制御／分周比設定禁止フラグ 0：MMC バスがビジーでない（コマンドシーケンス＋10 サイクルの間） 1：MMC バスがビジー（コマンドシーケンス＋10 サイクルの間） MMCAnCE_CMD_SET レジスタに値を書き込んで、コマンドシーケンスが開始されると、CMDSEQ ビットと MMCBUSBSY ビットが同時に“1”になります。コマンドシーケンスが終了して CMDSEQ ビット“0”になった後、MMC クロック 10 サイクル分の時間が経過すると、MMCBUSBSY ビットが“0”になります。 **備考）**　MMC バスがビジーのとき、MMCAnCE_CLK_CTRL レジスタの CLKEN ビット、CLKDIV ビットは書き換えないでください。
30〜25	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
24	CLKEN	MMC クロック出力制御ビット 0：MMC クロックを出力しない（ロウレベル固定） 1：MMC クロックを出力する
23〜20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19〜16	CLKDIV[3:0]	MMC クロック周波数設定ビット 0000：MMCA モジュールクロックの 2 分周 0001：MMCA モジュールクロックの 2^2 分周 ： 0111：MMCA モジュールクロックの 2^8 分周 1000：MMCA モジュールクロックの 2^9 分周 1001：MMCA モジュールクロックの 2^{10} 分周 1010〜1111：設定禁止 Boot Operation 時の MMC クロック周波数設定については、**「18.4.3.5　Boot Operation 時の MMC クロック周波数」**、**「18.3.12　MMCAnCE_BOOT ― MMCAn Boot Operation 設定レジスタ」**を参照してください。
15、14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 18.17 MMCAnCE_CLK_CTRL レジスタの内容

ビット位置	ビット名	機能
13、12	SRSPTO[1:0]	レスポンスタイムアウト設定ビット 00：MMC クロック ×64 01：MMC クロック ×128 10：MMC クロック ×256 11：設定禁止
11〜8	SRBSYTO[3:0]	レスポンスビジータイムアウト設定ビット 0000：MMC クロック ×2^{14} 0001：MMC クロック ×2^{15} : 1110：MMC クロック ×2^{28} 1111：MMC クロック ×2^{29}
7〜4	SRWDTO[3:0]	書き込みデータタイムアウト／読み出しデータタイムアウト設定ビット 0000：MMC クロック ×2^{14} 0001：MMC クロック ×2^{15} : 1110：MMC クロック ×2^{28} 1111：MMC クロック ×2^{29}
3〜0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

18.3.8 MMCAnCE_BUF_ACC — MMCAn バッファアクセス設定レジスタ

MMCAnCE_BUF_ACC は、データレジスタへのアクセス方法と DMA の転送方法を設定するレジスタです。

コマンドシーケンス中は再設定しないでください。バッファについては「**18.4.3.3 バッファの構成とアクセス方法**」を参照してください。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <MMCAn_base> + $1C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	DMATYP	DMAWEN	DMAREN	—	—	—	—	—	—	—	ATYP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.18 MMCAnCE_BUF_ACC レジスタの内容

ビット位置	ビット名	機能
31～27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26	DMATYP	DMA 転送方式選択ビット DMAWEN または DMAREN ビットが“1”のとき、本ビットも“1”にしてください。
25	DMAWEN	バッファ書き込み DMA 転送要求許可ビット 0：DMA 転送によるバッファへの書き込みを禁止 1：DMA 転送によるバッファへの書き込みを許可
24	DMAREN	バッファ読み出し DMA 転送要求許可ビット 0：DMA 転送によるバッファからの読み出しを禁止 1：DMA 転送によるバッファからの読み出しを許可
23～17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
16	ATYP	バッファアクセス選択ビット 0：1 バイト単位でデータを入れ替えない 1：1 バイト単位でデータを入れ替える **備考）** バッファへのアクセス方法については、「**18.4.3.3 バッファの構成とアクセス方法**」を参照してください。
15～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

18.3.9　MMCAnCE_RESP3～MMCAnCE_RESP0 — MMCAn レスポンスレジスタ 3～0

MMCAnCE_RESP3～MMCAnCE_RESP0 は、受信したレスポンス値が格納されるレジスタです。

レスポンス値のフォーマットについては、「**18.4.3.1 コマンド／レスポンスのフォーマット**」を参照してください。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　MMCAnCE_RESP3：<MMCAn_base> + 20_H
MMCAnCE_RESP2：<MMCAn_base> + 24_H
MMCAnCE_RESP1：<MMCAn_base> + 28_H
MMCAnCE_RESP0：<MMCAn_base> + $2C_H$

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RSP															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RSP															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

MMCAnCE_RESP3

表 18.19　MMCAnCE_RESP3 レジスタの内容

ビット位置	ビット名	機能
31～0	RSP[127:96]	17 バイトレスポンスのビット[127:96]を格納します。

MMCAnCE_RESP2

表 18.20　MMCAnCE_RESP2 レジスタの内容

ビット位置	ビット名	機能
31～0	RSP[95:64]	17 バイトレスポンスのビット[95:64]を格納します。

MMCAnCE_RESP1

表 18.21　MMCAnCE_RESP1 レジスタの内容

ビット位置	ビット名	機能
31～0	RSP[63:32]	17 バイトレスポンスのビット[63:32]を格納します。

MMCAnCE_RESP0

表 18.22　MMCAnCE_RESP0 レジスタの内容

ビット位置	ビット名	機能
31～0	RSP[31:0]	6 バイトレスポンスのビット[39:8]または 17 バイトレスポンスのビット[31:0]を格納します。 **備考）** 自動送信された CMD12 に対するレスポンスは MMCAnCE_RESP_CMD12 レジスタに格納されます。

18.3.10　MMCAnCE_RESP_CMD12 ― MMCAn 自動 CMD12 レスポンスレジスタ

MMCAnCE_RESP_CMD12 は、自動送信された CMD12 に対するレスポンスが格納されるレジスタです。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　<MMCAn_base> + 30_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RSP12[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RSP12[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.23　MMCAnCE_RESP_CMD12 レジスタの内容

ビット位置	ビット名	機能
31～0	RSP12[31:0]	自動送信された CMD12 に対するレスポンスのビット[39:8]を格納します。

18.3.11　MMCAnCE_DATA — MMCAn データレジスタ

MMCAnCE_DATA は、本モジュールのバッファにアクセスするためのレジスタです。

書き込みおよび読み出しデータのフォーマットについては、「**18.4.3.2 データブロックフォーマット**」を参照してください。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	<MMCAn_base> + 34_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DATA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.24　MMCAnCE_DATA レジスタの内容

ビット位置	ビット名	機能
31～0	DATA[31:0]	バッファ書き込み／読み出しデータ[31:0]

18.3.12　MMCAnCE_BOOT ― MMCAn Boot Operation 設定レジスタ

MMCAnCE_BOOT は、Boot Operation 時の MMC クロック周波数とタイムアウト値を設定するレジスタです。コマンドシーケンス中は再設定しないでください。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<MMCAn_base> + $3C_H$

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BTCLKDIV[3:0]				SBTACKTO[3:0]				S1STBTDATTO[3:0]				SBTDATTO[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.25　MMCAnCE_BOOT レジスタの内容

ビット位置	ビット名	機能
31～28	BTCLKDIV[3:0]	Boot Operation 時 MMC クロック周波数設定ビット 0000：MMCA モジュールクロックの 2 分周 0001：MMCA モジュールクロックの 2^2 分周 0010：MMCA モジュールクロックの 2^3 分周 0011：MMCA モジュールクロックの 2^4 分周 0100～1111：設定禁止 MMCAnCE_CLK_CTRL の CLKDIV ビットで指定した値以下の数値を設定してください。 Boot Operation 時の MMC クロック周波数については、「**18.4.3.5 Boot Operation 時の MMC クロック周波数**」を参照してください。
27～24	SBTACKTO[3:0]	Boot Acknowledge タイムアウト設定ビット 0000：2^{14} × MMC クロック周期 0001：2^{15} × MMC クロック周期 : 1110：2^{28} × MMC クロック周期 1111：2^{29} × MMC クロック周期
23～20	S1STBTDATTO [3:0]	1st Boot データタイムアウト設定ビット 0000：2^{14} × MMC クロック周期 0001：2^{15} × MMC クロック周期 : 1110：2^{28} × MMC クロック周期 1111：2^{29} × MMC クロック周期
19～16	SBTDATTO[3:0]	Boot データ間タイムアウト設定ビット 0000：2^{14} × MMC クロック周期 0001：2^{15} × MMC クロック周期 : 1110：2^{28} × MMC クロック周期 1111：2^{29} × MMC クロック周期
15～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

18.3.13 MMCAnCE_INT — MMCAn 割り込みフラグレジスタ

MMCAnCE_INT レジスタは、コマンドシーケンスにおける各ステータスを示すレジスタです。各ビットは、セット条件を満たすと“1”にセットされます。フラグをクリアする場合は、クリアするフラグに“0”を、それ以外のフラグには“1”を書き込んでください。

エラー、タイムアウト発生時の動作については、「**18.4.3.8 エラーまたはタイムアウト発生時の本モジュールの処理**」を参照してください。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <MMCAn_base> + 40H

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	CMD12DRE	CMD12RBE	CMD12CRE	DTRANE	BUFRE	BUFWEN	BUFREN	—	—	RBSYE	CRSPE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R	R	R/W 注1	R/W 注1

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMDVIO	BUFVIO	—	—	WDATERR	RDATERR	RIDXERR	RSPERR	—	—	—	CRCSTO	WDATTO	RDATTO	RBSYTO	RSPTO
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W 注1	R/W 注1	R	R	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R	R	R	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1

注1. “0”書き込みはフラグをクリアします。“1”書き込みは無視されます。

表 18.26 MMCAnCE_INT レジスタの内容

ビット位置	ビット名	機能
31～27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合は“1”を書いてください。
26	CMD12DRE	自動 CMD12、バッファ読み出し完了フラグ 〔セット条件〕 自動送信された CMD12 のレスポンスビジーとバッファからの読み出しが完了したとき 〔クリア条件〕 “0”を書いたとき **備考）** 本フラグが“1”になるときは、CMD12RBE、CMD12CRE、BUFRE フラグも“1”になりますので、クリアしてください。
25	CMD12RBE	自動 CMD12 レスポンスビジー完了フラグ 〔セット条件〕 自動送信された CMD12 のレスポンス受信とレスポンスビジーが完了したとき 〔クリア条件〕 “0”を書いたとき **備考）** 本フラグが“1”になるときは、CMD12CRE フラグも“1”になりますので、クリアしてください。また、マルチブロックライトのときに本フラグが“1”になるときは、DTRANE フラグも“1”になりますので、クリアしてください。
24	CMD12CRE	自動 CMD12 レスポンス完了フラグ 〔セット条件〕 自動送信された CMD12 のレスポンスを受信したとき 〔クリア条件〕 “0”を書いたとき

表 18.26　MMCAnCE_INT レジスタの内容

ビット位置	ビット名	機能
23	DTRANE	データ送信完了フラグ 〔セット条件〕 全ブロックの全データの送信が完了したとき – CRC status を受信する場合： CRC status 受信後のビジー状態（データビジー）が完了したとき – CRC status を受信しない場合： データの送信が完了したとき 〔クリア条件〕 “0”を書いたとき
22	BUFRE	バッファ読み出し完了フラグ 〔セット条件〕 – Boot Operation 時以外 全ブロックの全データの受信が完了し、バッファからの読み出しが完了したとき – Boot Operation 時 全ブロックの全データの受信が完了し、バッファからの読み出しが終わり、かつ、MMCAnCMD が“0”から“1”に変化し、MMC クロックで 48 クロック分の時間が経過したとき 〔クリア条件〕 “0”を書いたとき
21	BUFWEN	バッファ書き込み許可フラグ 〔セット条件〕 バッファが空になり、書き込みが可能になったとき 〔クリア条件〕 “0”を書いたとき **備考）** CPU で MMCAnCE_DATA にデータを書き込む場合、本フラグを“0”にしてから、MMCAnCE_BLOCK_SET に指定した分のデータを書き込むようにしてください。なお、DMA 転送によるバッファへの書き込みを許可している場合は、本フラグは“1”になりません。
20	BUFREN	バッファ読み出し許可フラグ 〔セット条件〕 バッファに転送ブロックサイズ分のデータが格納され、読み出しが可能になったとき 〔クリア条件〕 “0”を書いたとき **備考）** CPU で MMCAnCE_DATA からデータを読み出す場合、本フラグを“0”にしてから、MMCAnCE_BLOCK_SET で指定した分のデータを読み出すようにしてください。なお、DMA 転送によるバッファからの読み出しを許可している場合は、本フラグは“1”になりません。
19、18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合は“1”を書いてください。
17	RBSYE	レスポンスビジー完了フラグ 〔セット条件〕 レスポンスの受信とレスポンスビジーの受信が完了したとき 〔クリア条件〕 “0”を書いたとき **備考）** 本フラグが“1”になるときは、CRSPE フラグも“1”になりますので、クリアしてください。また、自動送信された CMD12 に対するレスポンスの受信とレスポンスビジーの受信が完了すると、CMD12RBE フラグに反映されます。

表 18.26　MMCAnCE_INT レジスタの内容

ビット位置	ビット名	機能
16	CRSPE	コマンド／レスポンス完了フラグ 〔セット条件〕 – Boot Operation 時以外 レスポンスなし設定の場合： コマンドの送信が完了したとき 6 バイトレスポンス、17 バイトレスポンス設定の場合： レスポンスを受信したとき – Boot Operation 時 Boot Acknowledge を受信に設定の場合： Boot Acknowledge Pattern を受信したとき 〔クリア条件〕 “0”を書いたとき **備考）** 自動送信された CMD12 に対するレスポンスの受信が完了すると、CMD12CRE フラグに反映されます。
15	CMDVIO	コマンド送信エラーフラグ 〔セット条件〕 MMCAnCE_CMD_SET、MMCAnCE_BLOCK_SET に不正な設定があったとき – コマンドシーケンス実行中： MMCAnCE_CMD_SET の CMD[5:0]ビットに値を書いたとき（コマンドシーケンスは自動停止しません） – コマンドシーケンスが開始したとき： ●レジスタの設定が、以下のいずれかの条件に合致するときに、MMCAnCE_CMD_SET の CMD[5:0]ビットに値を書いたとき ●レスポンスなし、かつレスポンスビジーあり ●レスポンスなし、データあり、かつ Boot Operation 時以外 ●データなし、かつ CMD12 を自動送信する ●データあり、シングルブロック転送、かつ CMD12 を自動送信する ●データあり、レスポンスビジーあり、かつ CMD12 を自動送信する ●データあり、かつ転送ブロックサイズが 0 ●データあり、かつ転送ブロックサイズが 513 以上 ●データあり、マルチブロック転送、かつ転送ブロック数が 0 ● Boot Operation 時、かつデータなし ● Boot Operation 時、かつカードへ書き込み ● Boot Operation 時、かつレスポンスビジーあり ● Boot Operation 時、かつ CMD12 を自動送信する ● Boot Acknowledge を受信する、かつ Boot Operation 時以外 〔クリア条件〕 “0”を書いたとき
14	BUFVIO	バッファアクセスエラーフラグ 〔セット条件〕 バッファへの不正なアクセスがあったとき – MMCAnCE_BLOCK_SET の BLKSIZ[15:0]ビットに設定したブロックサイズより多く MMCAnCE_DATA にアクセスしたとき – カードからデータを読み出し中： BUFREN ビットが“1”でない（DMA 転送時はバッファリード DMA 転送要求が出ていない）にもかかわらず、MMCAnCE_DATA にアクセスしたとき – カードにデータを書き込み中： BUFWEN ビットが“1”でない（DMA 転送時はバッファライト DMA 転送要求が出ていない）にもかかわらず、MMCAnCE_DATA にアクセスしたとき 〔クリア条件〕 “0”を書いたとき **備考）** 本フラグが“1”になっても、コマンドシーケンスは自動停止しません。エラーが発生した場合、本フラグが“1”になる場合があります。
13、12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合は“1”を書いてください。

表 18.26　MMCAnCE_INT レジスタの内容

ビット位置	ビット名	機能
11	WDATERR	書き込みデータエラーフラグ 〔セット条件〕 書き込みデータにエラーがあったとき – CRC status のステータスにエラーがあるとき – CRC status のエンドビットにエラーがあるとき 〔クリア条件〕 “0”を書いたとき **備考）** 本フラグが“1”になると、コマンドシーケンスが停止します。
10	RDATERR	読み出しデータエラーフラグ 〔セット条件〕 読み出しデータにエラーがあったとき – 読み出しデータの CRC16 にエラーがあるとき – 読み出しデータのエンドビットにエラーがあるとき 〔クリア条件〕 “0”を書いたとき **備考）** 本フラグが“1”になると、コマンドシーケンスが停止します。
9	RIDXERR	レスポンスインデックスエラーフラグ 〔セット条件〕レスポンスのインデックス値にエラーがあったとき – 6 バイトレスポンス（自動送信された CMD12 を含む）のビット[45:40]または 17 バイトレスポンスのビット[133:128]にエラーがあったとき（チェックする内容は MMCAnCE_CMD_SET の RIDXC ビットで指定します） 〔クリア条件〕 “0”を書いたとき **備考）** 本フラグが“1”になると、コマンドシーケンスが停止します。
8	RSPERR	レスポンスエラーフラグ 〔セット条件〕 レスポンスのレスポンス値にエラーがあったとき – レスポンスのトランスミッションビットの値が“1”のとき – レスポンスのエンドビットにエラーがあるとき – 6 バイトレスポンス（自動送信された CMD12 を含む）または 17 バイトレスポンスのビット[7:1]にエラーがあったとき（チェックする内容は MMCAnCE_CMD_SET の RCRC7C ビットで指定します） – Boot Acknowledge Pattern にエラーがあったとき – Boot Acknowledge のエンドビットにエラーがあったとき 〔クリア条件〕 “0”を書いたとき **備考）** 本フラグが“1”になると、コマンドシーケンスが停止します。
7～5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合は“1”を書いてください。
4	CRCSTO	CRC status タイムアウトフラグ 〔セット条件〕 CRC status を受信できなかったとき 〔クリア条件〕 “0”を書いたとき **備考）** 本フラグが“1”になっても、コマンドシーケンスは停止しません。
3	WDATTO	書き込みデータタイムアウトフラグ 〔セット条件〕 CRC status 受信後、MMCAnCE_CLK_CTRL の SRWDTO ビットで指定した期間を超えてもビジー状態が続いたとき 〔クリア条件〕 “0”を書いたとき **備考）** 本フラグが“1”になっても、コマンドシーケンスは停止しません。

表 18.26　MMCAnCE_INT レジスタの内容

ビット位置	ビット名	機能
2	RDATTO	読み出しデータタイムアウトフラグ 〔セット条件〕 – Boot Operation 時以外 ●リードコマンド送信後、MMCAnCE_CLK_CTRL の SRWDTO ビットで指定した期間を超えてもデータを受信できなかったとき ●読み出しデータ受信後、MMCAnCE_CLK_CTRL の SRWDTO ビットで指定した期間を超えても次のデータを受信できなかったとき – Boot Operation 時 ● MMCAnCE_BOOT の S1STBTDATTO ビットで指定した期間を超えても最初のデータを受信できなかったとき ●読み出しデータ受信後、MMCAnCE_BOOT の SBTDATTO ビットで指定した期間を超えても次のデータを受信できなかったとき 〔クリア条件〕 “0”を書いたとき **備考）**　本フラグが“1”になっても、コマンドシーケンスは停止しません。
1	RBSYTO	レスポンスビジータイムアウトフラグ 〔セット条件〕 コマンド（自動送信された CMD12 を含む）送信後、MMCAnCE_CLK_CTRL の SRBSYTO ビットで指定した期間を超えてもレスポンスのビジー状態が続いたとき 〔クリア条件〕 “0”を書いたとき **備考）**　本フラグが“1”になっても、コマンドシーケンスは停止しません。
0	RSPTO	レスポンスタイムアウトフラグ 〔セット条件〕 – Boot Operation 時以外 コマンド（自動送信された CMD12 を含む）送信後、MMCAnCE_CLK_CTRL の SRSPTO ビットで指定した期間を超えてもレスポンスを受信できなかったとき – Boot Operation 時 Boot Acknowledge を受信に設定の場合： MMCAnCE_BOOT の SBTACKTO ビットで指定した期間を超えても Boot Acknowledge を受信できなかったとき 〔クリア条件〕 “0”を書いたとき **備考）**　本フラグが“1”になっても、コマンドシーケンスは停止しません。

18.3.14　MMCAnCE_INT_EN — MMCAn 割り込み許可レジスタ

MMCAnCE_INT_EN は、MMCAnCE_INT の割り込み出力を制御するレジスタです。割り込み要求の詳細については、「**18.4.1 割り込み要求**」を参照してください。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<MMCAn_base> + 44_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	MCMD 12DRE	MCMD 12RBE	MCMD 12CRE	MDTRA NE	MBUF RE	MBUF WEN	MBUF REN	—	—	MRB SYEE	MCR SPEE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MCMD VIO	MBUF VIO	—	—	MWDA TERR	MRDAT ERR	MRIDX ERR	MRSP ERR	—	—	—	MCRC STO	MWDA TTO	MRDAT TO	MRBSY TO	MRSP TO
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 18.27　MMCAnCE_INT_EN レジスタの内容

ビット位置	ビット名	機能
31～27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26	MCMD12DRE	CMD12DRE 割り込み許可ビット 0：CMD12DRE フラグによる割り込み出力を禁止 1：CMD12DRE フラグによる割り込み出力を許可
25	MCMD12RBE	CMD12RBE 割り込み許可ビット 0：CMD12RBE フラグによる割り込み出力を禁止 1：CMD12RBE フラグによる割り込み出力を許可
24	MCMD12CRE	CMD12CRE 割り込み許可ビット 0：CMD12CRE フラグによる割り込み出力を禁止 1：CMD12CRE フラグによる割り込み出力を禁止
23	MDTRANE	DTRANE 割り込み許可ビット 0：DTRANE フラグによる割り込み出力を禁止 1：DTRANE フラグによる割り込み出力を許可
22	MBUFRE	BUFRE 割り込み許可ビット 0：BUFRE フラグによる割り込み出力を禁止 1：BUFRE フラグによる割り込み出力を許可
21	MBUFWEN	BUFWEN 割り込み許可ビット 0：BUFWEN フラグによる割り込み出力を禁止 1：BUFWEN フラグによる割り込み出力を許可
20	MBUFREN	BUFREN 割り込み許可ビット 0：BUFREN フラグによる割り込み出力を禁止 1：BUFREN フラグによる割り込み出力を許可
19、18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
17	MRBSYE	RBSYE 割り込み許可ビット 0：RBSYE フラグによる割り込み出力を禁止 1：RBSYE フラグによる割り込み出力を許可

表 18.27　MMCAnCE_INT_EN レジスタの内容

ビット位置	ビット名	機能
16	MCRSPE	CRSPE 割り込み許可ビット 0：CRSPE フラグによる割り込み出力を禁止 1：CRSPE フラグによる割り込み出力を許可
15	MCMDVIO	CMDVIO 割り込み許可ビット 0：CMDVIO フラグによる割り込み出力を禁止 1：CMDVIO フラグによる割り込み出力を許可
14	MBUFVIO	BUFVIO 割り込み許可ビット 0：BUFVIO フラグによる割り込み出力を禁止 1：BUFVIO フラグによる割り込み出力を許可
13、12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11	MWDATERR	WDATERR 割り込み許可ビット 0：WDATERR フラグによる割り込み出力を禁止 1：WDATERR フラグによる割り込み出力を許可
10	MRDATERR	RDATERR 割り込み許可ビット 0：RDATERR フラグによる割り込み出力を禁止 1：RDATERR フラグによる割り込み出力を許可
9	MRIDXERR	RIDXERR 割り込み許可ビット 0：RIDXERR フラグによる割り込み出力を禁止 1：RIDXERR フラグによる割り込み出力を許可
8	MRSPERR	RSPERR 割り込み許可ビット 0：RSPERR フラグによる割り込み出力を禁止 1：RSPERR フラグによる割り込み出力を許可
7～5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	MCRCSTO	CRCSTO 割り込み許可ビット 0：CRCSTO フラグによる割り込み出力を禁止 1：CRCSTO フラグによる割り込み出力を許可
3	MWDATTO	WDATTO 割り込み許可ビット 0：WDATTO フラグによる割り込み出力を禁止 1：WDATTO フラグによる割り込み出力を許可
2	MRDATTO	RDATTO 割り込み許可ビット 0：RDATTO フラグによる割り込み出力を禁止 1：RDATTO フラグによる割り込み出力を許可
1	MRBSYTO	RBSYTO 割り込み許可ビット 0：RBSYTO フラグによる割り込み出力を禁止 1：RBSYTO フラグによる割り込み出力を許可
0	MRSPTO	RSPTO 割り込み許可ビット 0：RSPTO フラグによる割り込み出力を禁止 1：RSPTO フラグによる割り込み出力を許可

18.3.15　MMCAnCE_HOST_STS1 ― MMCAn ステータスレジスタ 1

MMCAnCE_HOST_STS1 は、転送完了したブロック数、MMCAnCMD 線と MMCAnDAT 線の状態、受信したレスポンスのインデックス、コマンドシーケンスの状態を表すレジスタです。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　<MMCAn_base> + 48_H

リセット後の値　$X0XX\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CMD SEQ	CMD SIG	RSPIDX[5:0]						DATSIG[7:0]							
リセット後の値	0	—	0	0	0	0	0	0	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCVBLK[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.28　MMCAnCE_HOST_STS1 レジスタの内容

ビット位置	ビット名	機能
31	CMDSEQ	コマンドシーケンス状態表示フラグ 0：コマンドシーケンスが初期状態 1：コマンドシーケンスが実行中
30	CMDSIG	MMCAnCMD 状態表示フラグ MMCAnCMD 線の状態を表示します。
29～24	RSPIDX[5:0]	レスポンスインデックス表示フラグ 6 バイトレスポンスの[45:40]または、17 バイトレスポンスの[133:128]を表示します。
23～16	DATSIG[7:0]	MMCAnDAT[7:0]状態表示フラグ MMCAnDAT[7:0]線の状態を表示します。 **備考）** 通信エラーまたはタイムアウトが発生すると、MMCAnDAT[0]が“0”状態のままになる場合があります。
15～0	RCVBLK[15:0]	転送完了ブロック数表示フラグ 転送が完了したブロック数を表示します。 MMCAnCE_CMD_SET の DWEN ビットが“0”の場合： カードから読み出したブロック数を表示します。 MMCAnCE_CMD_SET の DWEN ビットが“1”の場合： カードへ書き込んだブロック数を表示します。

18.3.16　MMCAnCE_HOST_STS2 ― MMCAn ステータスレジスタ 2

MMCAnCE_HOST_STS2 は、各種タイムアウト、各種エラーの状態を表すレジスタです。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　<MMCAn_base> + $4C_H$

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CRCSTE	CRC16E	AC12CRCE	RSPCRC7E	CRCSTEBE	RDATEBE	AC12REBE	RSPEBE	AC12IDXE	RSPIDXE	BTACKPATE	BTACKEBE	—	CRCST[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	STRDATTO	DATBSYTO	CRCSTTO	AC12BSYTO	RSPBSYTO	AC12RSPTO	STRSPTO	BTACKTO	1STBTDATTO	BTDATTO	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.29　MMCAnCE_HOST_STS2 レジスタの内容

ビット位置	ビット名	機能
31	CRCSTE	CRC status エラーフラグ CRC status 値にエラーがあった場合、“1”になります。
30	CRC16E	読み出しデータ CRC16 エラーフラグ 読み出しデータの CRC16 にエラーがあった場合、“1”になります。
29	AC12CRCE	自動 CMD12 レスポンス CRC7 エラーフラグ 自動送信された CMD12 に対するレスポンスのビット[7:1]にエラーがあった場合、“1”になります。 **備考）**　チェックする内容は、MMCAnCE_CMD_SET の RCRC7C ビットで指定します。
28	RSPCRC7E	コマンドレスポンス CRC7 エラー（自動 CMD12 以外）フラグ 6 バイトレスポンスまたは 17 バイトレスポンスのビット[7:1]にエラーがあった場合、“1”になります。 **備考）**　チェックする内容は、MMCAnCE_CMD_SET の RCRC7C ビットで指定します。
27	CRCSTEBE	CRC status エンドビットエラーフラグ CRC status のエンドビットにエラーがあった場合、“1”になります。
26	RDATEBE	読み出しデータエンドビットエラー 読み出しデータのエンドビットにエラーがあった場合、“1”になります。
25	AC12REBE	自動 CMD12 レスポンスエンドビットエラーフラグ 自動送信された CMD12 に対するレスポンスのエンドビットにエラーがあった場合、“1”になります。
24	RSPEBE	コマンドレスポンスエンドビットエラー（自動 CMD12 以外）フラグ レスポンスのエンドビットにエラーがあった場合、“1”になります。
23	AC12IDXE	自動 CMD12 レスポンスインデックスエラー 自動送信された CMD12 に対するレスポンスのビット[45:40]にエラーがあった場合、“1”になります。 **備考）**　チェックする内容は、MMCAnCE_CMD_SET の RIDXC ビットで指定します。
22	RSPIDXE	コマンドレスポンスインデックスエラー（自動 CMD12 以外）フラグ 6 バイトレスポンスのビット[45:40]または、17 バイトレスポンスのビット[133:128]にエラーがあった場合、“1”になります。 **備考）**　チェックする内容は、MMCAnCE_CMD_SET の RIDXC ビットで指定します。

表 18.29　MMCAnCE_HOST_STS2 レジスタの内容

ビット位置	ビット名	機能
21	BTACKPATE	Boot Acknowledge Pattern エラーフラグ Boot Acknowledge Pattern にエラーがあった場合“1”になります。
20	BTACKEBE	Boot Acknowledge エンドビットエラーフラグ Boot Acknowledge のエンドビットにエラーがあった場合、“1”になります。
19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
18～16	CRCST[2:0]	CRC status/Boot Acknowledge Pattern 表示フラグ 受信した CRC status のステータス値または、Boot Acknowledge のパターン値を表示します。
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14	STRDATTO	読み出しデータタイムアウトフラグ（Boot Operation 時以外のとき有効） リードコマンド送信後、MMCAnCE_CLK_CTRL の SRWDTO ビットで指定した期間を超えてもデータを受信できなかった場合、“1”になります。 また、データ受信後、MMCAnCE_CLK_CTRL の SRWDTO ビットで指定した期間を超えても次のデータを受信できなかった場合、“1”になります。
13	DATBSYTO	データビジータイムアウトフラグ CRC status 受信後、MMCAnCE_CLK_CTRL の SRWDTO ビットで指定した期間を超えてもビジー状態が続いた場合、“1”になります。
12	CRCSTTO	CRC status タイムアウトフラグ CRC status が受信できなかった場合、“1”になります。
11	AC12BSYTO	自動 CMD12 レスポンスビジータイムアウトフラグ CMD12 が自動で送信された後、MMCAnCE_CLK_CTRL の SRBSYTO ビットで指定した期間を超えてもビジー状態が続いた場合、“1”になります。
10	RSPBSYTO	レスポンスビジータイムアウトフラグ 自動送信された CMD12 以外のコマンドを送信後、MMCAnCE_CLK_CTRL の SRBSYTO ビットで指定した期間を超えてもビジー状態が続いた場合、“1”になります。
9	AC12RSPTO	自動 CMD12 レスポンスタイムアウトフラグ CMD12 が自動で送信された後、MMCAnCE_CLK_CTRL の SRSPTO ビットで指定した期間を超えてもレスポンスを受信できなかった場合、“1”になります。
8	STRSPTO	レスポンスタイムアウトフラグ 自動送信された CMD12 以外のコマンドを送信した後、MMCAnCE_CLK_CTRL の SRSPTO ビットで指定した期間を超えてもレスポンスを受信できなかった場合、“1”になります。
7	BTACKTO	Boot Acknowledge タイムアウトフラグ Boot Operation のとき、MMCAnCE_BOOT の SBTACKTO ビットで指定した期間を超えても Boot Acknowledge を受信できなかった場合、“1”になります。
6	1STBTDATTO	1st Boot データタイムアウトフラグ Boot Operation のとき、MMCAnCE_BOOT の S1STBTDATTO ビットで指定した期間を超えても最初のデータを受信できなかった場合、“1”になります。
5	BTDATTO	Boot データ間タイムアウトフラグ Boot Operation のとき、読み出しデータ受信後、MMCAnCE_BOOT の SBTDATTO ビットで指定した期間を超えても次のデータを受信できなかった場合、“1”になります。
4～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

18.3.17　MMCAnCE_SWRESA — MMCAn ソフトウェアリセットレジスタ

MMCAnCE_SWRESA は、本モジュールのソフトウェアリセットを制御するレジスタです。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<MMCAn_base> + $7C_H$

リセット後の値　$0000\ 0004_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SWRST	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.30　MMCAnCE_SWRESA レジスタの内容

ビット位置	ビット名	機能
31	SWRST	ソフトウェアリセットビット 0：ソフトウェアリセットを解除（通常動作） 1：ソフトウェアリセットを実行 “1”に設定すると、すべてのレジスタの値がリセット後の値に戻ります。（SWRST は初期化されません）
30〜0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

18.4 動作説明

18.4.1 割り込み要求

本モジュールの割り込み要求の仕様を以下の表に示します。本モジュールには、通常動作割り込み、エラー／タイムアウト割り込みの 2 種類の割り込み要求があります。割り込みフラグが“1”かつ割り込み許可レジスタの該当するビットが“1”のとき、割り込み要求をアサートします。

表 18.31 割り込み要求の仕様

フラグレジスタ	ビット	イネーブルレジスタ	ビット	割り込み要求
MMCAnCE_INT	CMD12DRE	MMCAnCE_INT_EN	MCMD12DRE	通常動作割り込み
	CMD12RBE		MCMD12RBE	
	CMD12CRE		MCMD12CRE	
	DTRANE		MDTRANE	
	BUFRE		MBUFRE	
	BUFWEN		MBUFWEN	
	BUFREN		MBUFREN	
	RBSYE		MRBSYE	
	CRSPE		MCRSPE	
	CMDVIO		MCMDVIO	エラー／タイムアウト割り込み
	BUFVIO		MBUFVIO	
	WDATERR		MWDATERR	
	RDATERR		MRDATERR	
	RIDXERR		MRIDXERR	
	RSPERR		MRSPERR	
	CRCSTO		MCRCSTO	
	WDATTO		MWDATTO	
	RDATTO		MRDATTO	
	RBSYTO		MRBSYTO	
	RSPTO		MRSPTO	

18.4.2 DMA 仕様

本モジュールは、バッファ読み出し用とバッファ書き込み用の 2 種類の DMA 転送要求を持っています。

DMA の転送方法は、MMCAnCE_BUF_ACC で設定します。

18.4.2.1 バッファ書き込み DMA

MMCAnCE_BUF_ACC の DMAWEN ビットを“1”に設定し、バッファが空であるとき、バッファ書き込み DMA 転送要求がアサートされます。

DMA 転送要求は、BLKSIZ（MMCAnCE_BLOCK_SET に設定したブロックサイズ）×BLKCNT（MMCAnCE_BLOCK_SET に設定した転送ブロック数）分アサートされ、最終ブロックの転送が終わるとネゲートされます。この際、MMCAnCE_INT の BUFWEN ビットはアサートされませんので、注意してください。

DMA 転送中にエラーが発生するか強制終了を実行すると、コマンドシーケンスが自動停止するため、DMA 転送要求はネゲートされます。

18.4.2.2 バッファ読み出し DMA

MMCAnCE_BUF_ACC の DMAREN ビットを“1”に設定し、MMCAnCE_BLOCK_SET に設定した転送ブロックサイズ分のデータがたまっているとき、バッファ読み出し DMA 転送要求がアサートされます。

DMA 転送要求は、BLKSIZ（MMCAnCE_BLOCK_SET に設定したブロックサイズ）×BLKCNT（MMCAnCE_BLOCK_SET に設定した転送ブロック数）分アサートされ、最終ブロックの転送が終わるとネゲートされます。この際、MMCAnCE_INT の BUFREN ビットはアサートされませんので、注意してください。

DMA 転送中にエラーが発生するか強制終了を実行すると、コマンドシーケンスが自動停止するため、DMA 転送要求はネゲートされます。

18.4.3　動作説明

18.4.3.1　コマンド／レスポンスのフォーマット

以下に、送信するコマンドのフォーマットを示します。MMCAnCE_CMD_SET の CMD[5:0]ビットに設定したコマンドインデックスと MMCAnCE_ARG の ARG[31:0]ビットに設定したアーギュメントがコマンドに反映されます。

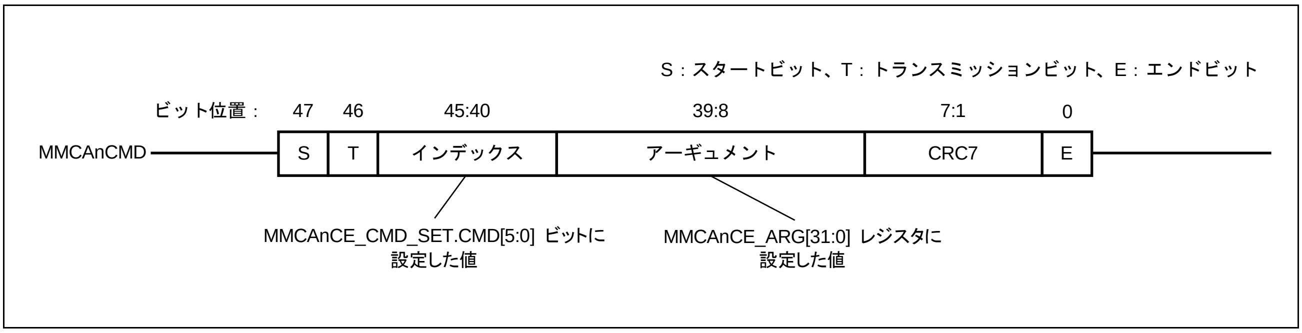


図 18.2　コマンドのフォーマット

6 バイトレスポンス受信時のフォーマットを「**図 18.3 6 バイトレスポンスのフォーマット**」に、17 バイトレスポンス（R2）受信時のフォーマットを「**図 18.4 17 バイトレスポンス（R2）のフォーマット**」に示します。受信したレスポンスは、それぞれ MMCAnCE_RESP0 と MMCAnCE_RESP3～MMCAnCE_RESP0 に格納されます。チェックする内容は MMCAnCE_CMD_SET の RIDXC ビットと RCRC7C ビットで指定します。

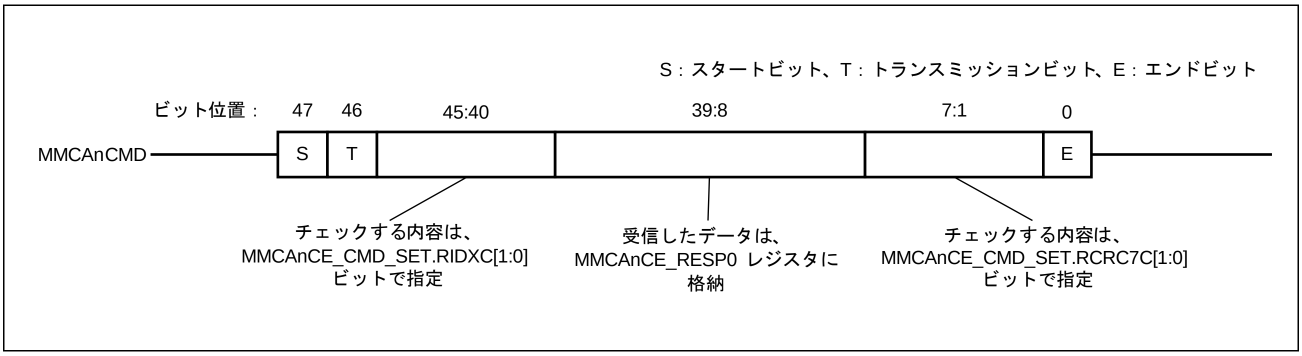


図 18.3　6 バイトレスポンスのフォーマット

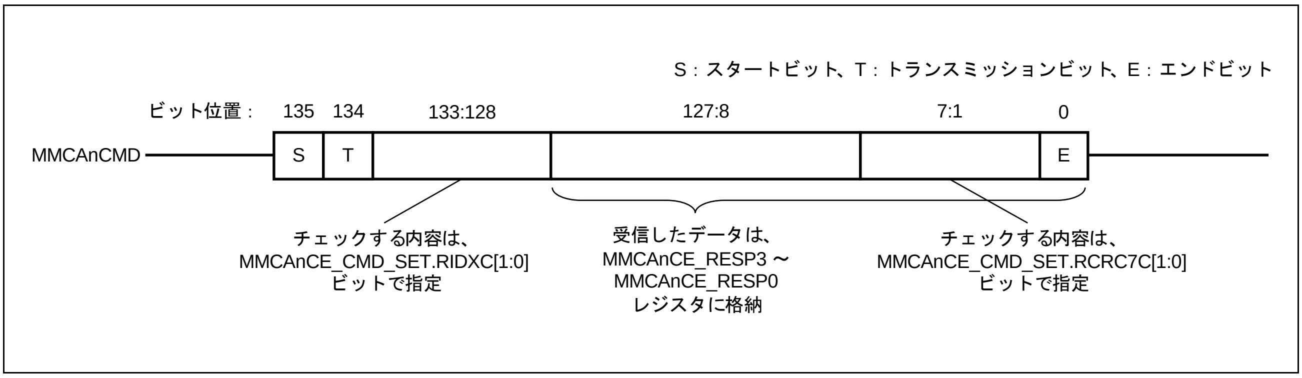


図 18.4　17 バイトレスポンス（R2）のフォーマット

18.4.3.2 データブロックフォーマット

以下に、データブロックのフォーマットを示します。図中の D0～D3 については、「**18.4.3.3 バッファの構成とアクセス方法**」を参照してください。カードに書き込む場合、バッファに格納されたデータを送信します。カードから読み出す場合、受信したデータをバッファに格納します。

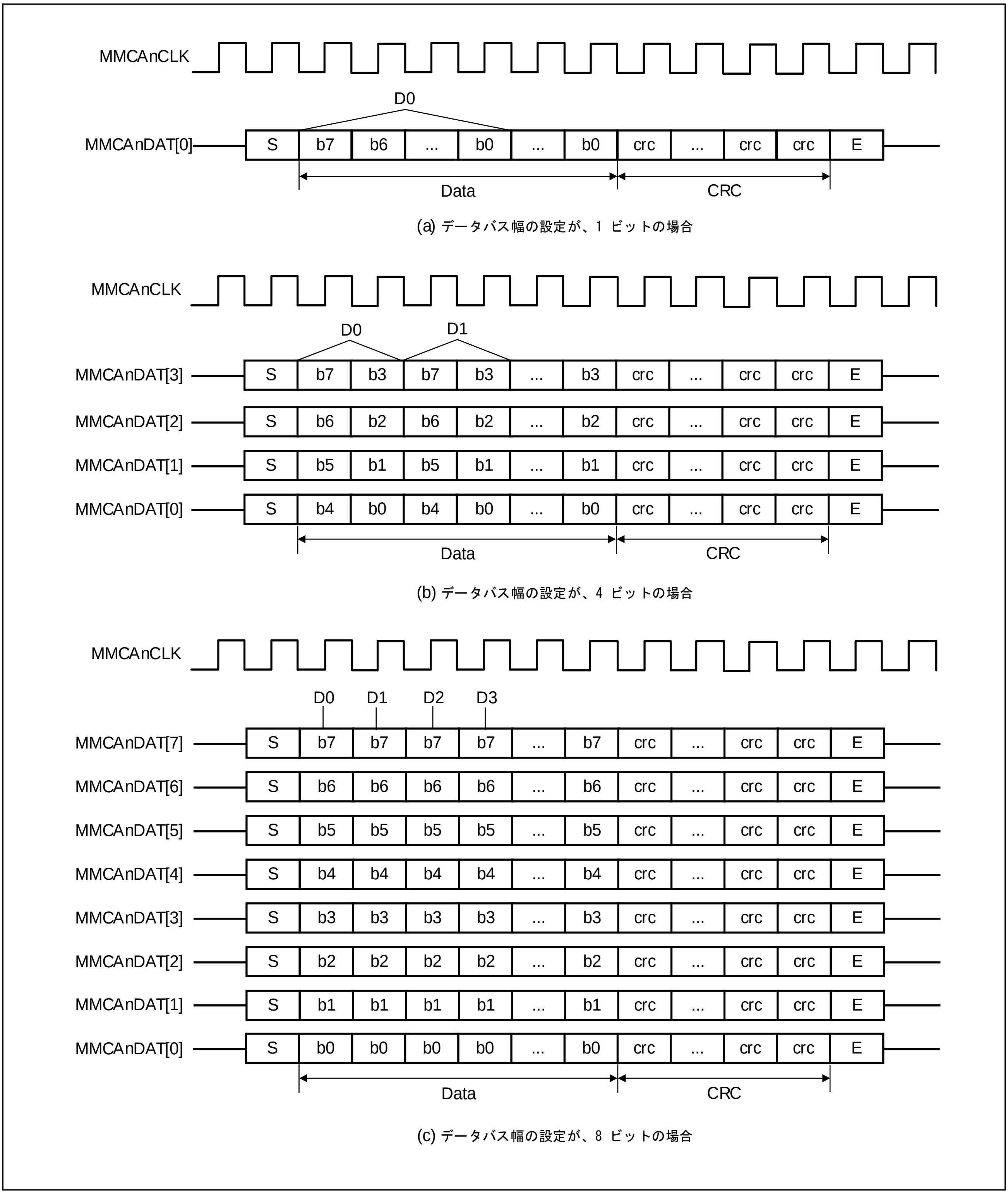


図 18.5 データブロックのフォーマット

18.4.3.3 バッファの構成とアクセス方法

本モジュールは「**図 18.6 ダブルバッファの構成**」に示すように、512 バイトの RAM を 2 個搭載し、ダブルバッファ構成になっています。マルチブロックライト時には、バッファに格納された 1 ブロック分のデータ（512 バイト）を送信した後、もう一方のバッファがフルであれば、引き続き次のブロックのデータを送信することができます。マルチブロックリード時には、1 ブロック分の受信データ（512 バイト）をバッファに格納しても、もう一方のバッファが空であれば、引き続き次のブロックの受信データをバッファに格納することができます。

なお、マルチブロックリード時に両方のバッファが空でない場合、MMC クロックを停止して受信を一時停止します。その後、いずれかのバッファが空になったとき、MMC クロックの供給を開始して受信を再開します。

バッファには、MMCAnCE_DATA を使用してアクセスします。転送ブロックサイズを 4×n+1 バイト、もしくは 4×n+3 バイトに設定した場合、32 ビットアクセスで 4×（n+1）バイト分アクセスしてください（n＝0、1、2、…、127）。

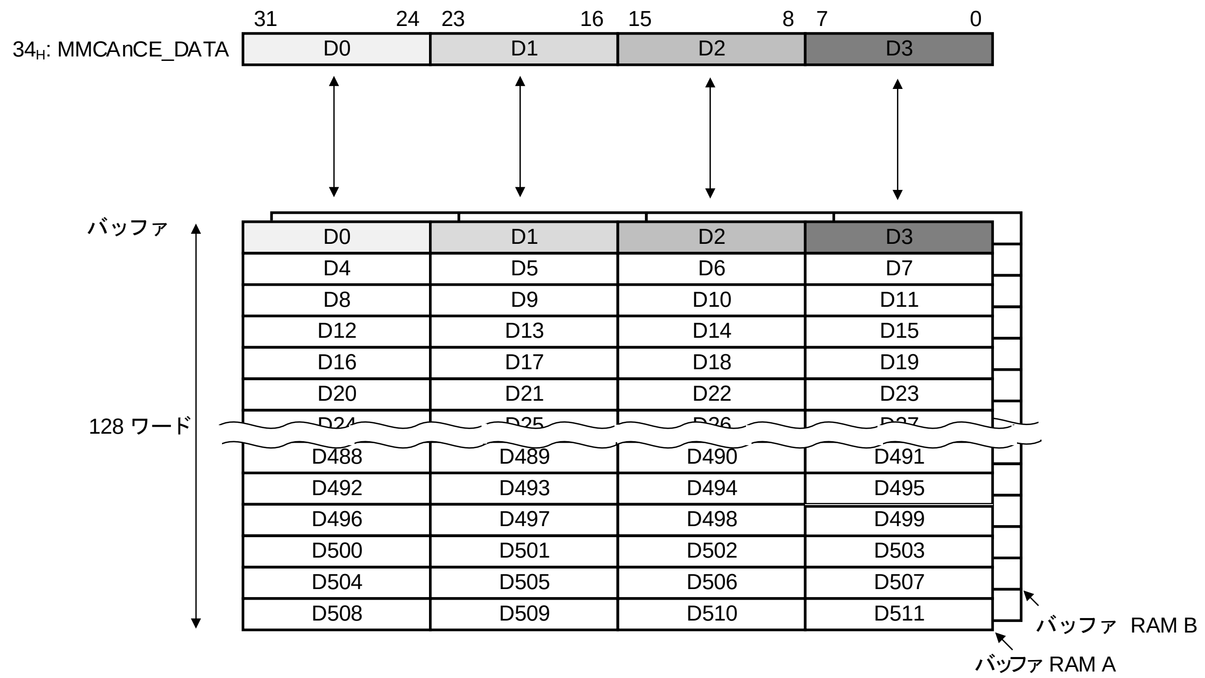


図 18.6 ダブルバッファの構成

また、バッファアクセス選択機能により、MMCAnCE_DATA からバッファへデータを書き込むとき、またはバッファから MMCAnCE_DATA へデータを読み出すとき、1 バイト単位でデータを入れ替えることができます。バッファアクセス選択機能は、MMCAnCE_BUFF_ACC の設定により有効になります。

以下に、32 ビットアクセス時のデータ入れ替えの仕様を示します。

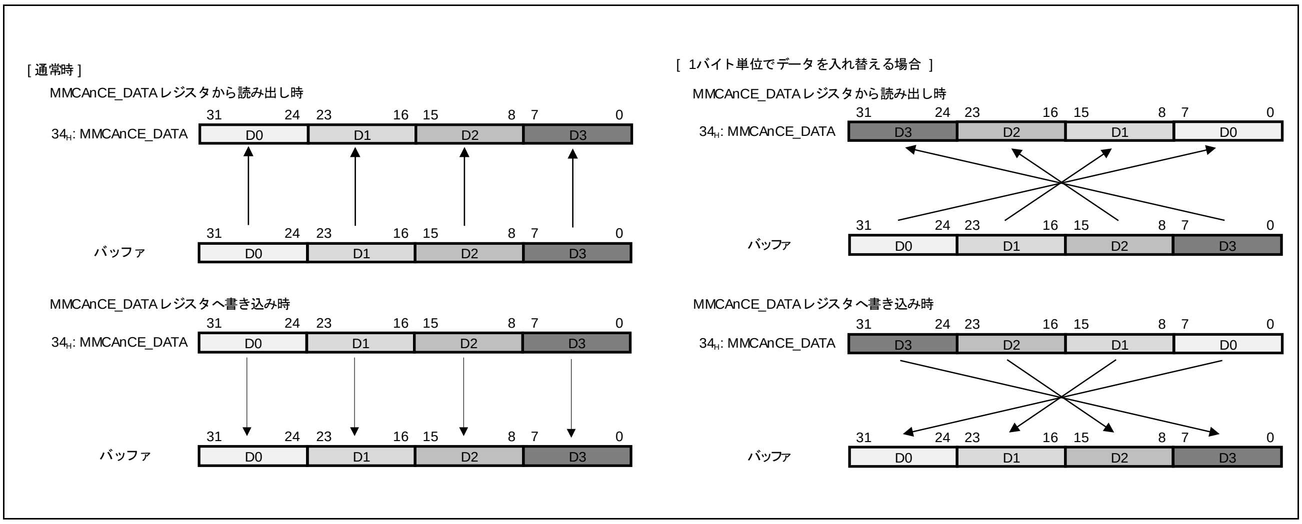


図 18.7 1 バイト単位でのデータ入れ替えの仕様

18.4.3.4　CMD12 自動送信

本モジュールは、MMCAnCE_CMD_SET の CMD12EN ビットを“1”にしてマルチブロック転送を行うと、CMD12 を自動で送信します。

以下に、マルチブロックリード時の CMD12 の自動送信タイミングを示します。CMD12 は、最終ブロック受信中に、データのエンドビットから 2 ビット前にコマンドのエンドビットがくるように送信されます。

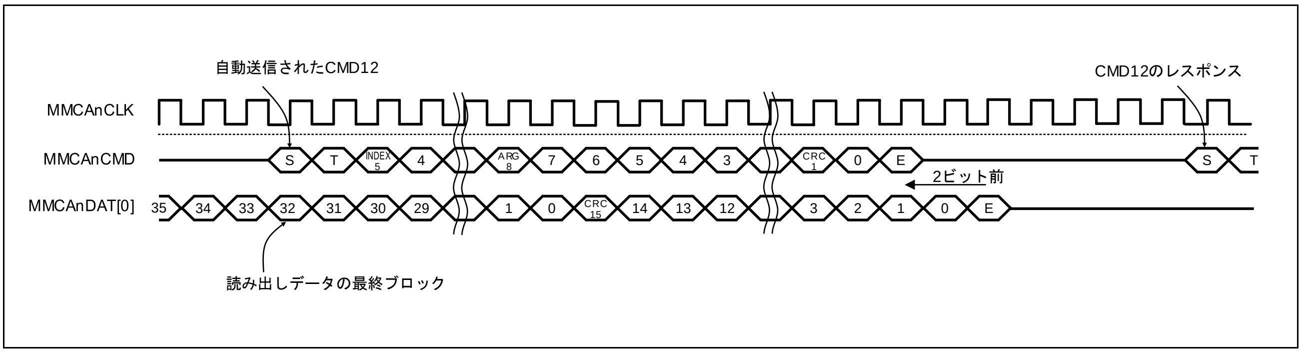


図 18.8　マルチブロックリード時の CMD12 自動送信タイミング（1 ビットモード時）

以下に、マルチブロックライト時の CMD12 自動送信タイミングを示します。CMD12 は、最終ブロックの送信後のデータビジー状態が終了した後に送信されます。

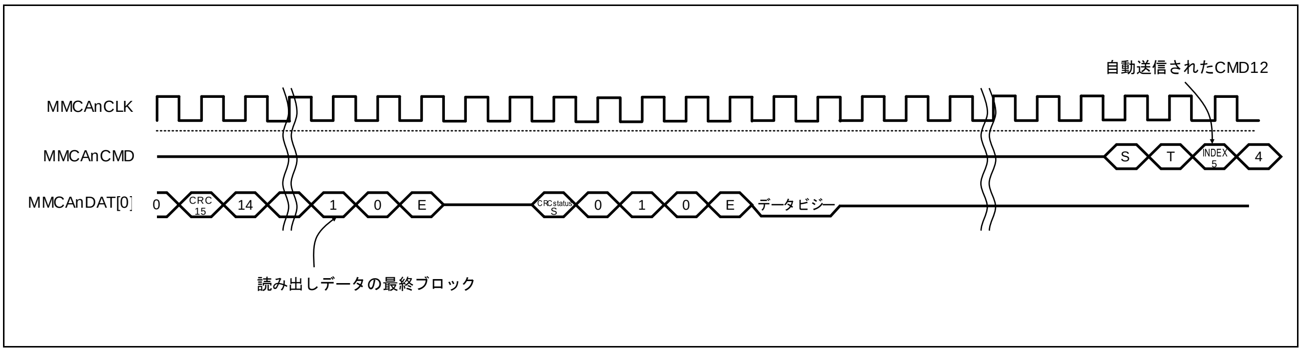


図 18.9　マルチブロックライト時の CMD12 自動送信タイミング（1 ビットモード時）

なお、自動 CMD12 のアーギュメントは、MMCAnCE_ARG_CMD12 に設定します。また、CMD12 に対するレスポンスのビット[39:8]が、MMCAnCE_RESP_CMD12 に格納されます。また、レスポンス受信時のビジーを受信します。

18.4.3.5　Boot Operation 時の MMC クロック周波数

以下に、Boot Operation 時に MMC クロック周波数が切り替わるタイミングを示します。Boot Operation 時には、MMCAnCMD が"1"から"0"に変化してから、MMC クロックが 74 クロック出力された後に MMCAnCE_BOOT の BTCLKDIV ビットで指定した MMC クロック周波数に切り替わります。また、MMCAnCMD が"0"から"1"に変化した後、MMC クロックが 48 クロック出力された後に MMCAnCE_CLK_CTRL の CLKDIV ビットで指定した MMC クロック周波数に戻ります。

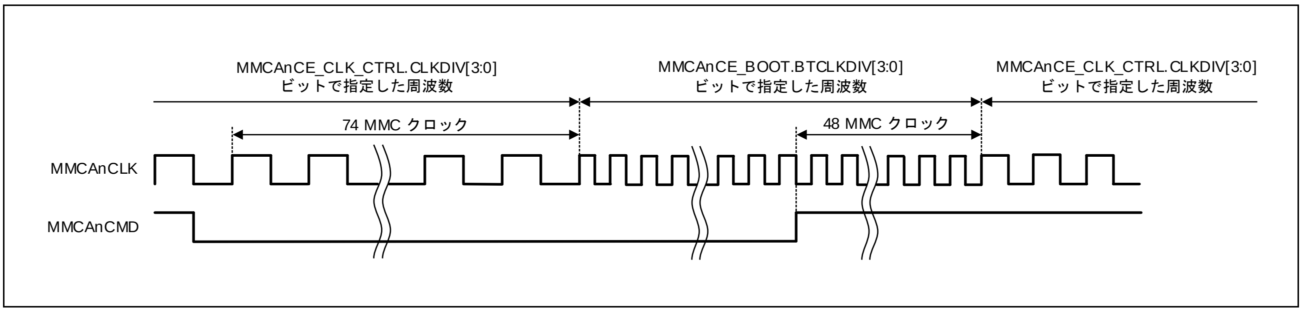


図 18.10　Boot Operation 時の MMC クロック周波数切り替え

18.4.3.6　High Priority Interrupt (HPI)

HPI の処理は「**18.3　レジスタ**」と「**18.4.4　設定例**」を参考にして、以下の手順で行ってください。

(a)　デバイスへの書き込み中に HPI を実行する場合

- コマンドシーケンスを強制終了します。
- MMCAnCE_HOST_STS1 の CMDSEQ ビットが"0"になるのを待ちます。
- CMD12（R1）を送信してデバイスのステートを"rcv"から"prg"に遷移させます。なお、この時点ですでにデバイスのステートが"prg"の場合、デバイスはレスポンスを出力しません。
- CMD13（R1）を送信します。
- HPI コマンド[注1]を送信します。

(b)　デバイスへの書き込み中以外のレスポンスビジー中に HPI を実行する場合

- コマンドシーケンスを強制終了します。
- MMCAnCE_HOST_STS1 の CMDSEQ ビットが"0"になるのを待ちます。
- CMD13（R1）を送信します。
- HPI コマンド[注1]を送信します。

CMD6、CMD24、CMD25（Pre-defined）、CMD38 のシーケンス中の HPI に対応しています。

注1. CMD12（R1b）または CMD13（R1b）は、接続されている e.MMC によって異なります。

18.4.3.7　Background Operation

Background Operation は「**18.3 レジスタ**」と「**18.4.4 設定例**」を参考にして、以下の手順で行ってください。

Background Operation を実行するには、CMD6（R1）を送信して、デバイスの EXT_CSD レジスタの BKOPS_START バイトに書き込みを行います。

Background Operation の終了は、CMD6（R1）を送信した後に CMD13（R1）を送信してデバイスのステートを確認するか、または MMCAnDAT[0]をポーリングすることによって確認できます。CMD6（R1）の送信後にデバイスのステートが“tran”になったか、または MMCAnDAT[0]が High になっていれば、Background Operation が終了です。

Background Operation を中断するには HPI を使います（「**18.4.3.6 High Priority Interrupt (HPI)**」参照）。

18.4.3.8　エラーまたはタイムアウト発生時の本モジュールの処理

エラーが発生したときに、本モジュールが停止しないことがあります。エラー発生時に MMCAnCE_HOST_STS1 がコマンドシーケンス実行中を示している場合、強制終了を行った後、ソフトウェアリセットを行ってください。なお、エラー発生時にバッファに格納されていた送信データ、受信データは保証されません。

タイムアウトが発生したとき、本モジュールは停止しません。タイムアウト発生後に次のコマンドを送信する場合は、強制終了を行った後、ソフトウェアリセットを行ってから、次のコマンドを送信してください。

18.4.4　設定例

代表的なコマンドシーケンスを実行する手順について示します。

18.4.4.1　凡例の説明

以下に、図中記載の記号についての凡例を示します。

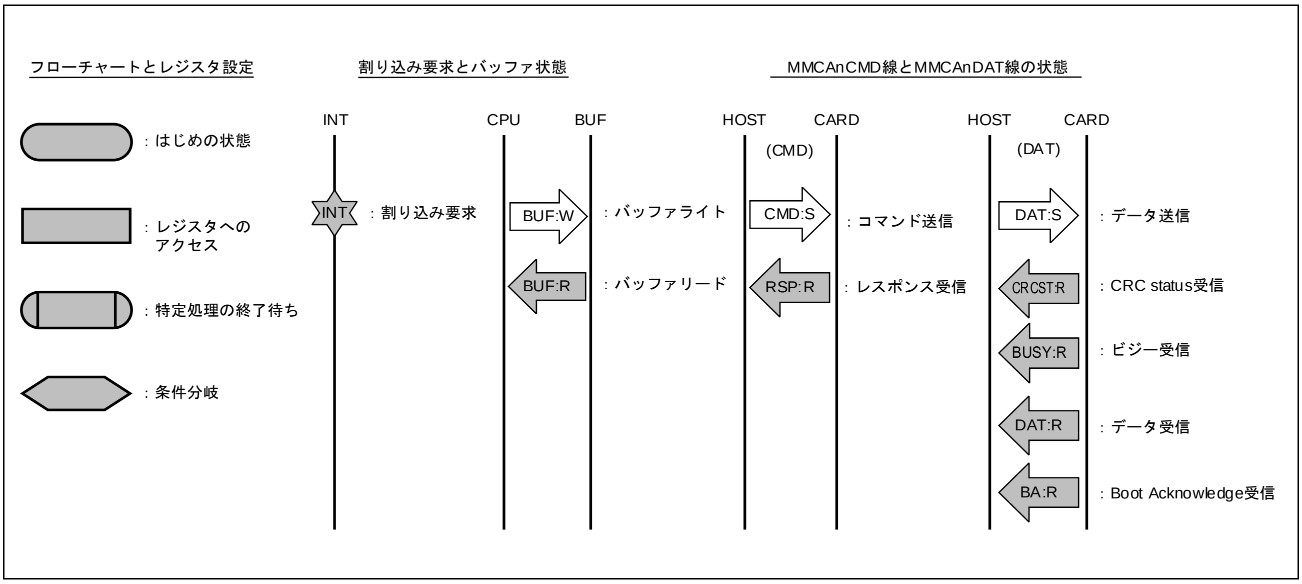


図 18.11　図中記載記号の凡例

18.4.4.2　コマンド送信設定例

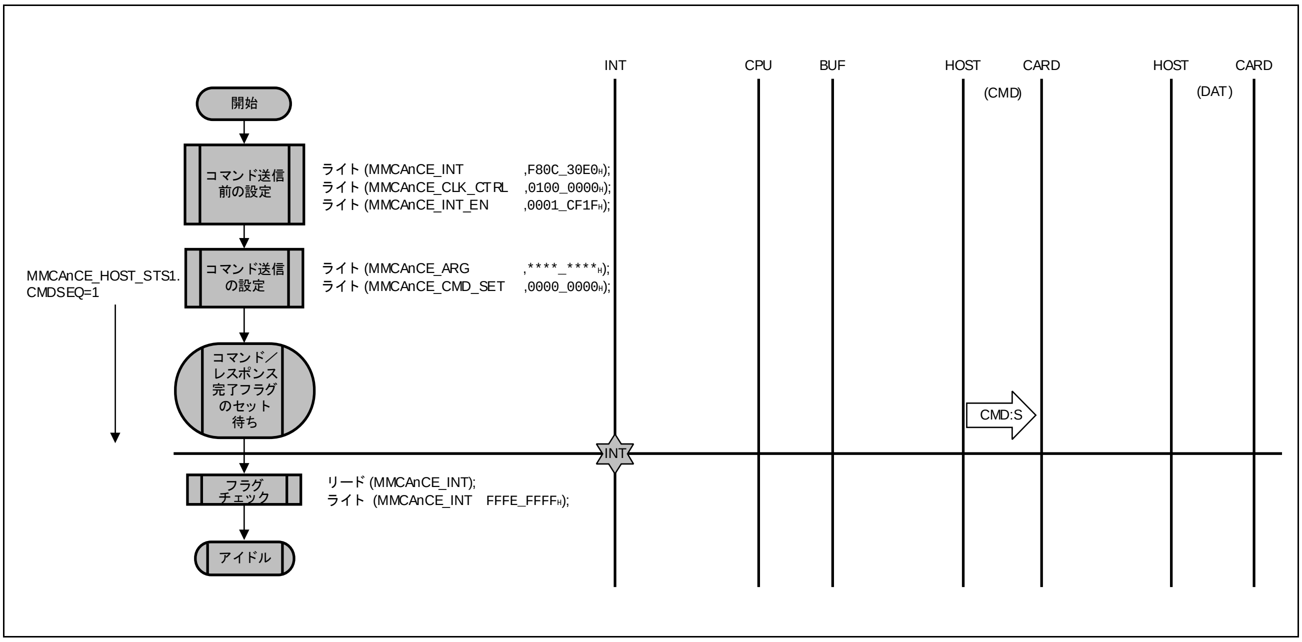


図 18.12　コマンド送信設定例（CMD0）

18.4.4.3　コマンド送信→レスポンス受信設定例

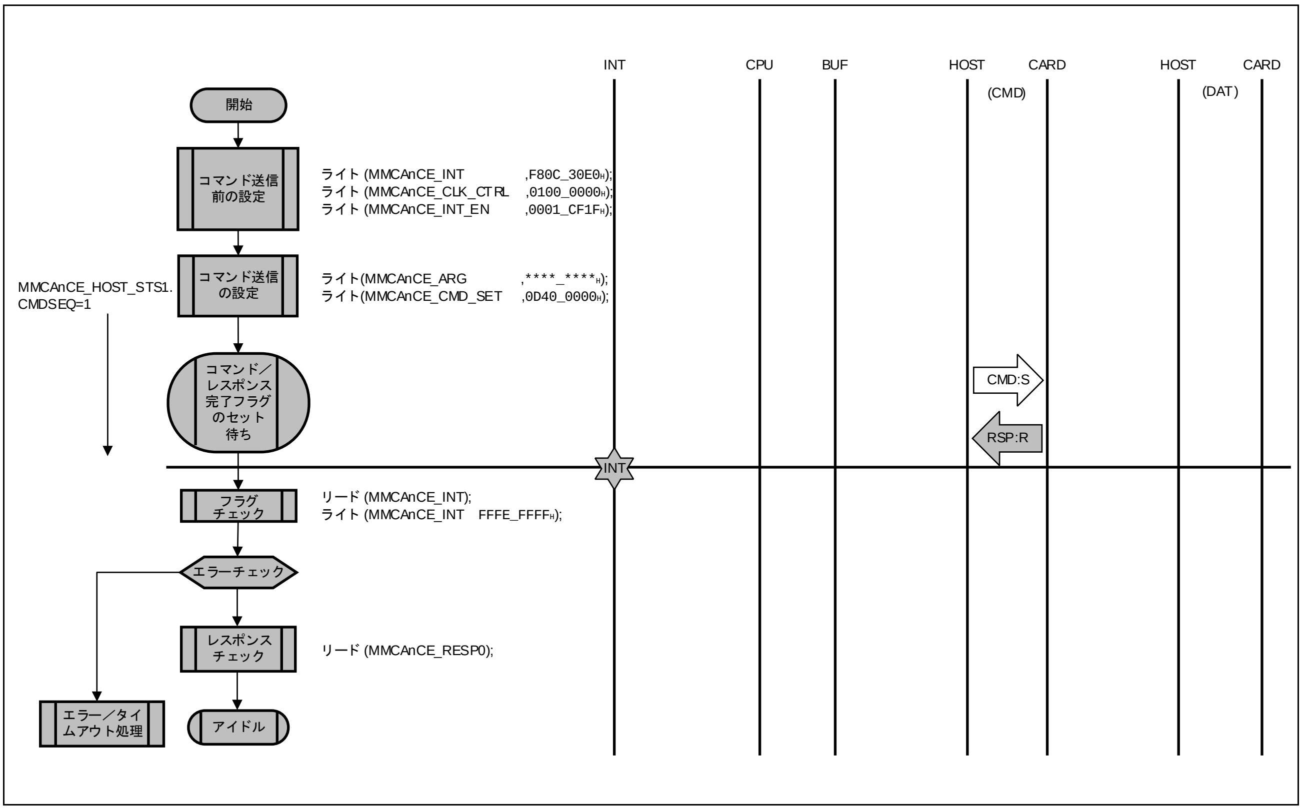


図 18.13　コマンド送信→レスポンス受信設定例（CMD13）

18.4.4.4　コマンド送信→レスポンス受信（レスポンスビジーあり）設定例

- ビジー時間が MMCAnCE_CLK_CTRL の SRBSYTO ビットの設定未満の場合

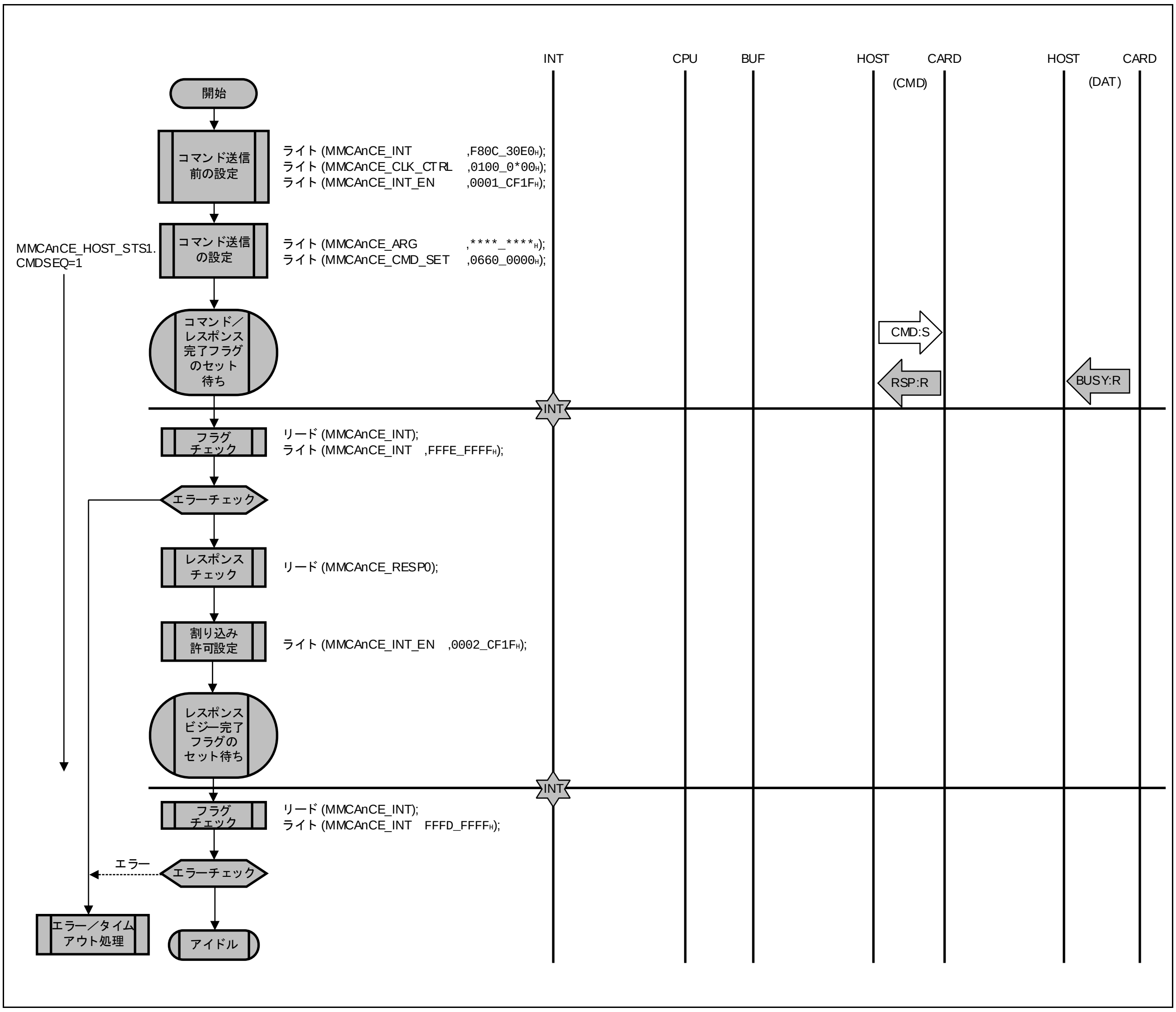


図 18.14　コマンド送信→レスポンス受信（レスポンスビジーあり）設定例（CMD6）

- ビジー時間が MMCAnCE_CLK_CTRL の SRBSYTO ビットの設定以上になることがある場合

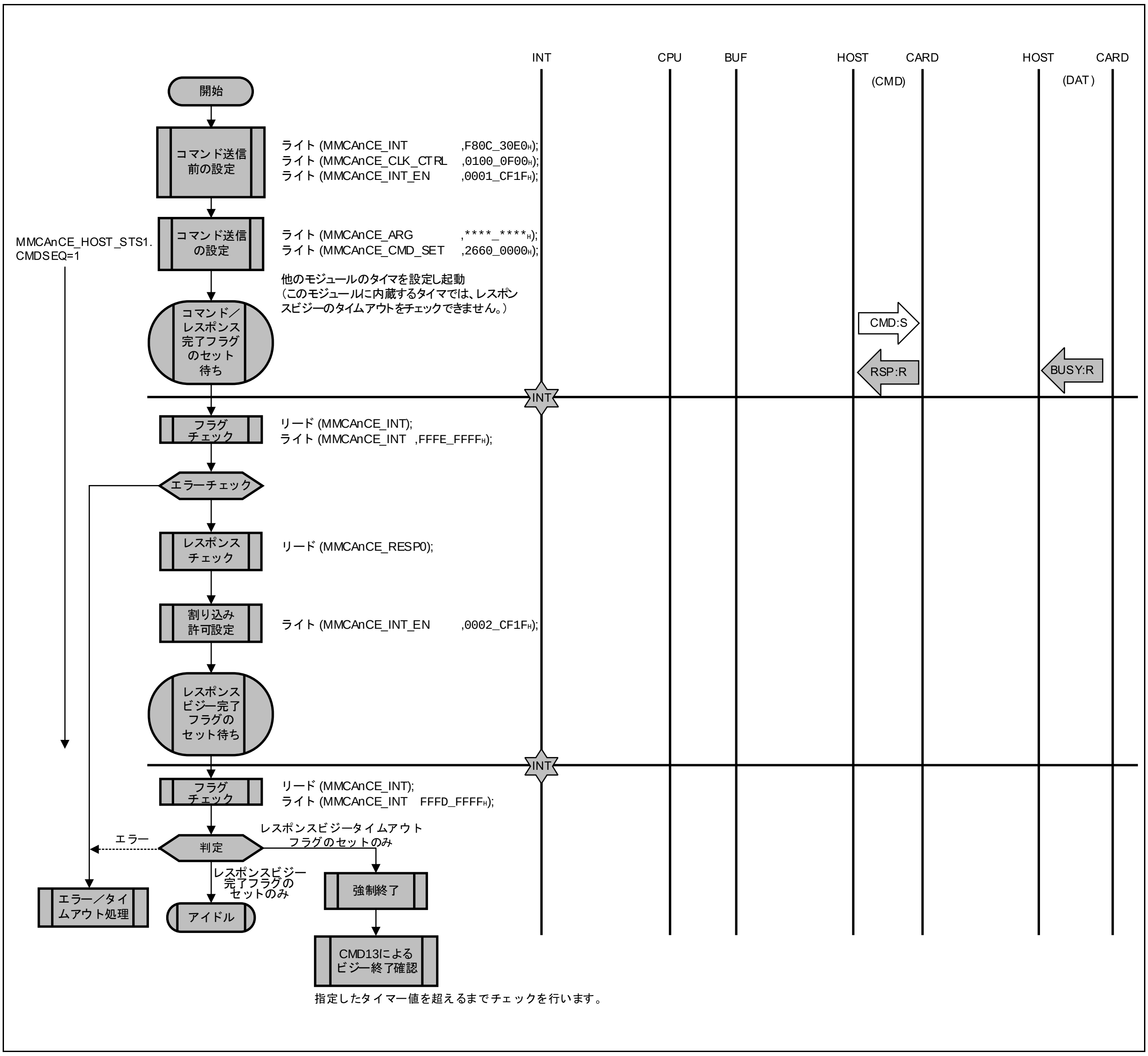


図 18.15　コマンド送信→レスポンス受信（レスポンスビジーあり）設定例（CMD38）

18.4.4.5　シングルブロックリード設定例

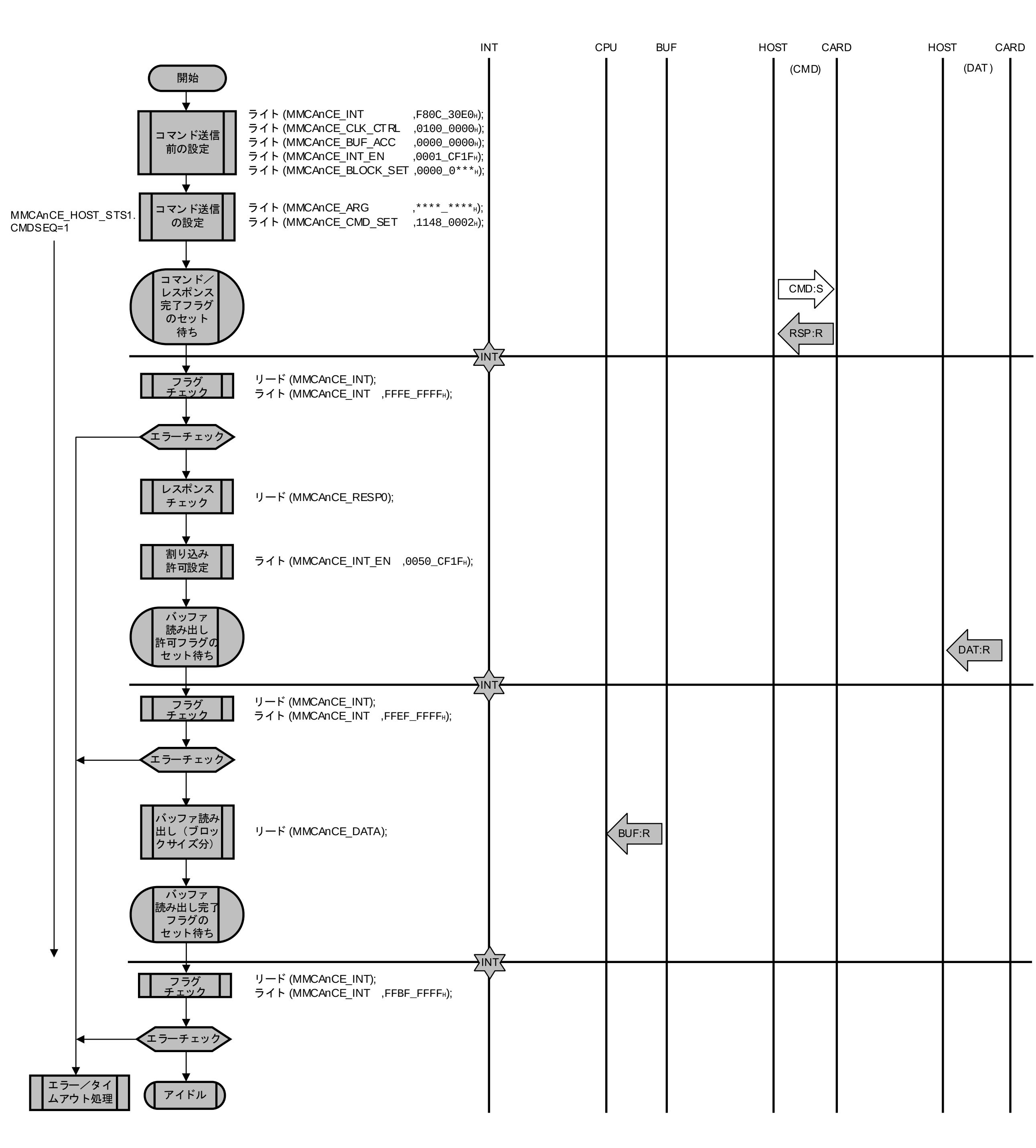


図 18.16　シングルブロックリード設定例（CMD17）

18.4.4.6　マルチブロックリード設定例

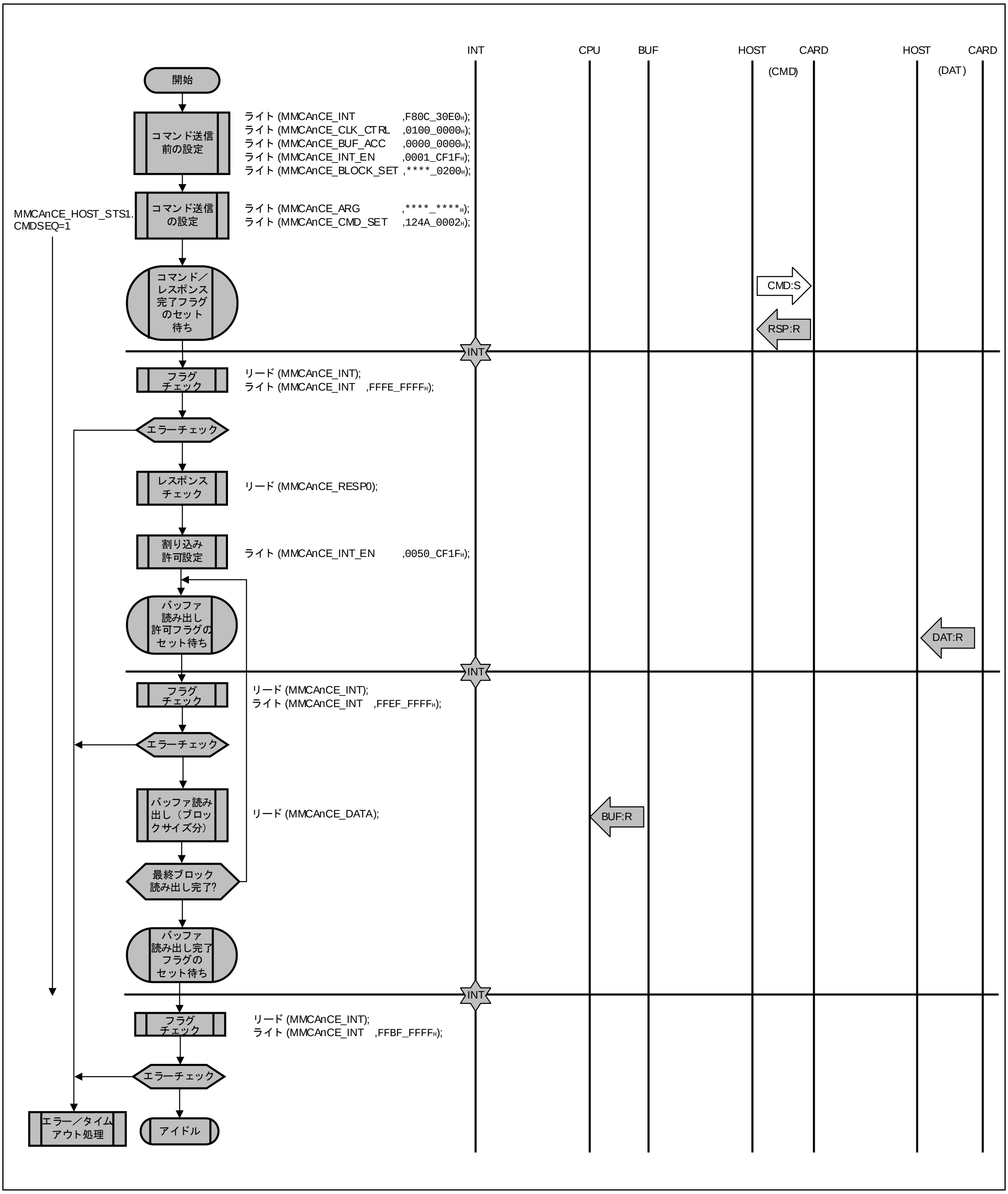


図 18.17　マルチブロックリード設定例（CMD18 Pre-Defined）

18.4.4.7 マルチブロックリード（CMD12 自動送信あり）設定例

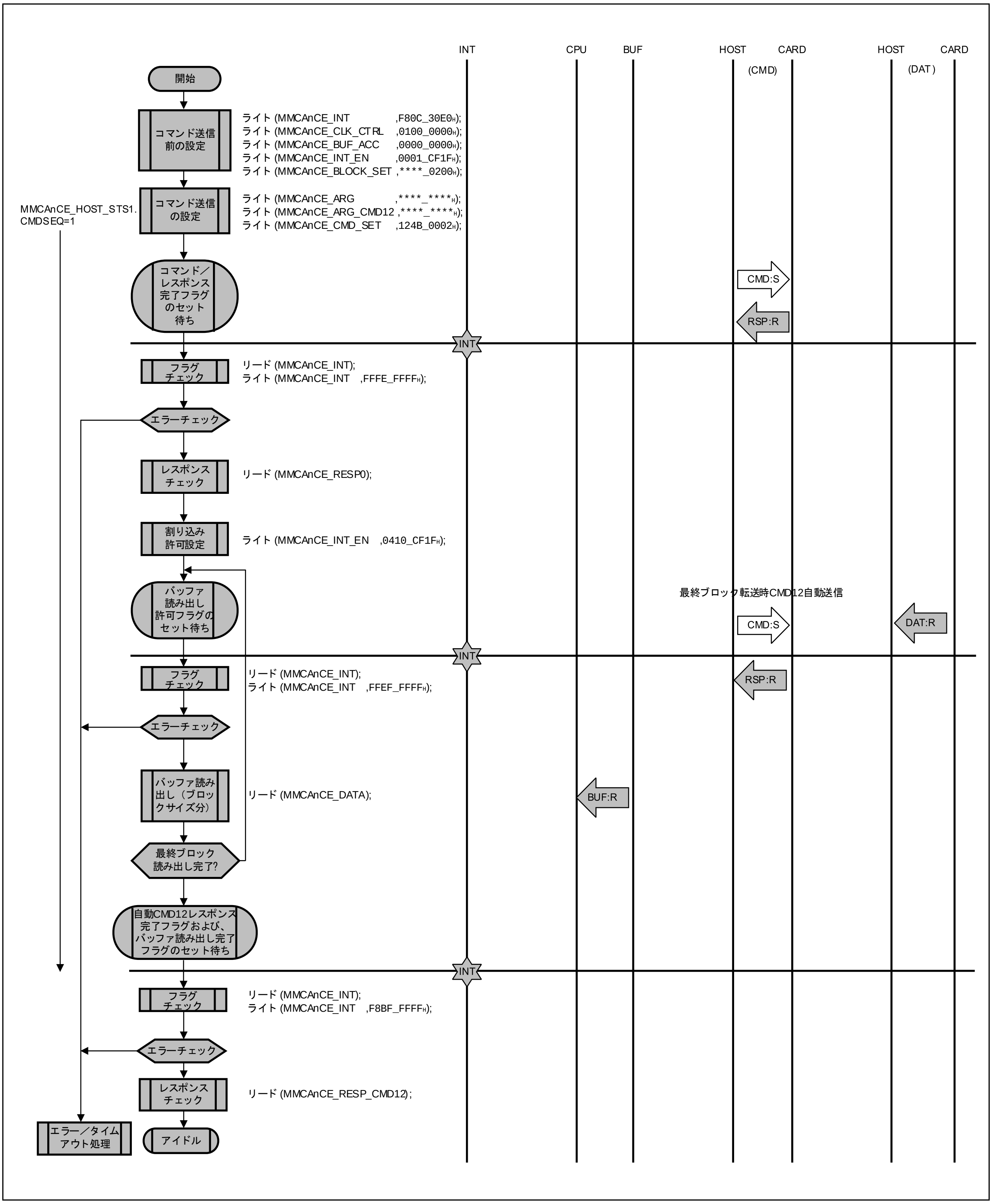


図 18.18 マルチブロックリード（CMD12 自動送信あり）設定例（CMD18 Open-Ended）

18.4.4.8　シングルブロックライト設定例

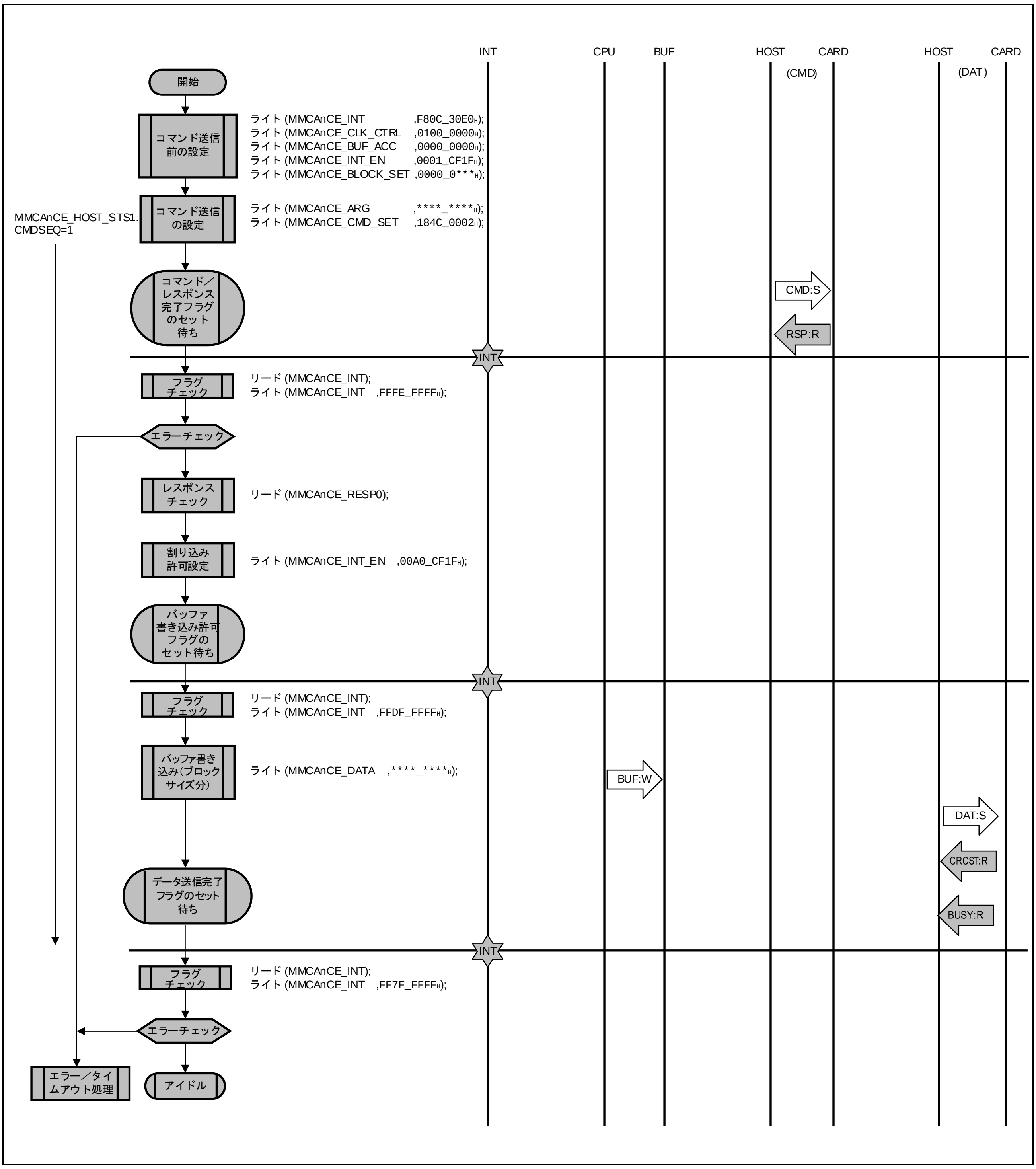


図 18.19　シングルブロックライト設定例（CMD24）

18.4.4.9　　マルチブロックライト設定例

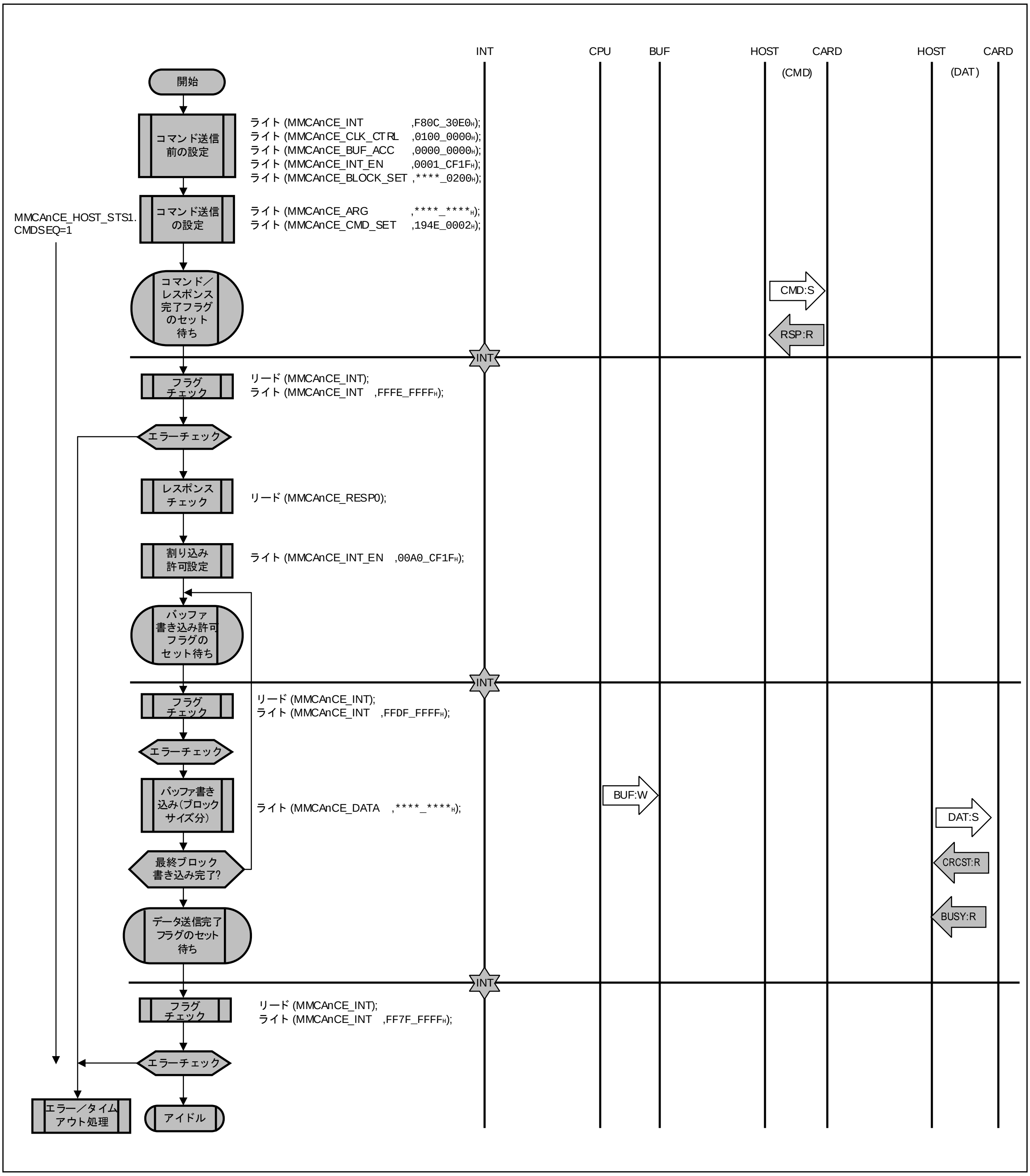


図 18.20　マルチブロックライト設定例（CMD25 Pre-defined）

18.4.4.10　マルチブロックライト（CMD12 自動送信あり）設定例

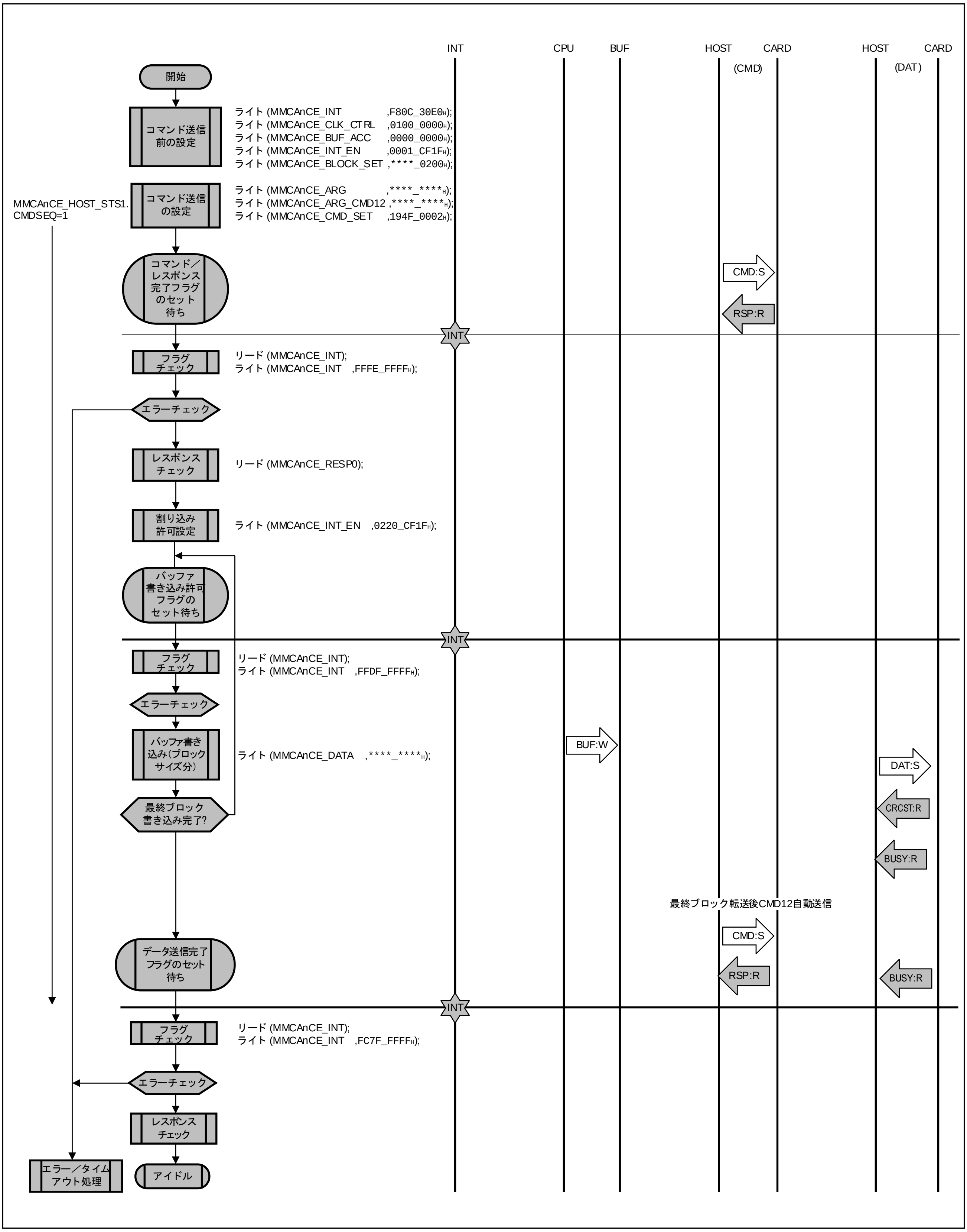


図 18.21　マルチブロックライト（CMD12 自動送信あり）設定例（CMD25 Open-ended）

18.4.4.11　Boot Operation 設定例

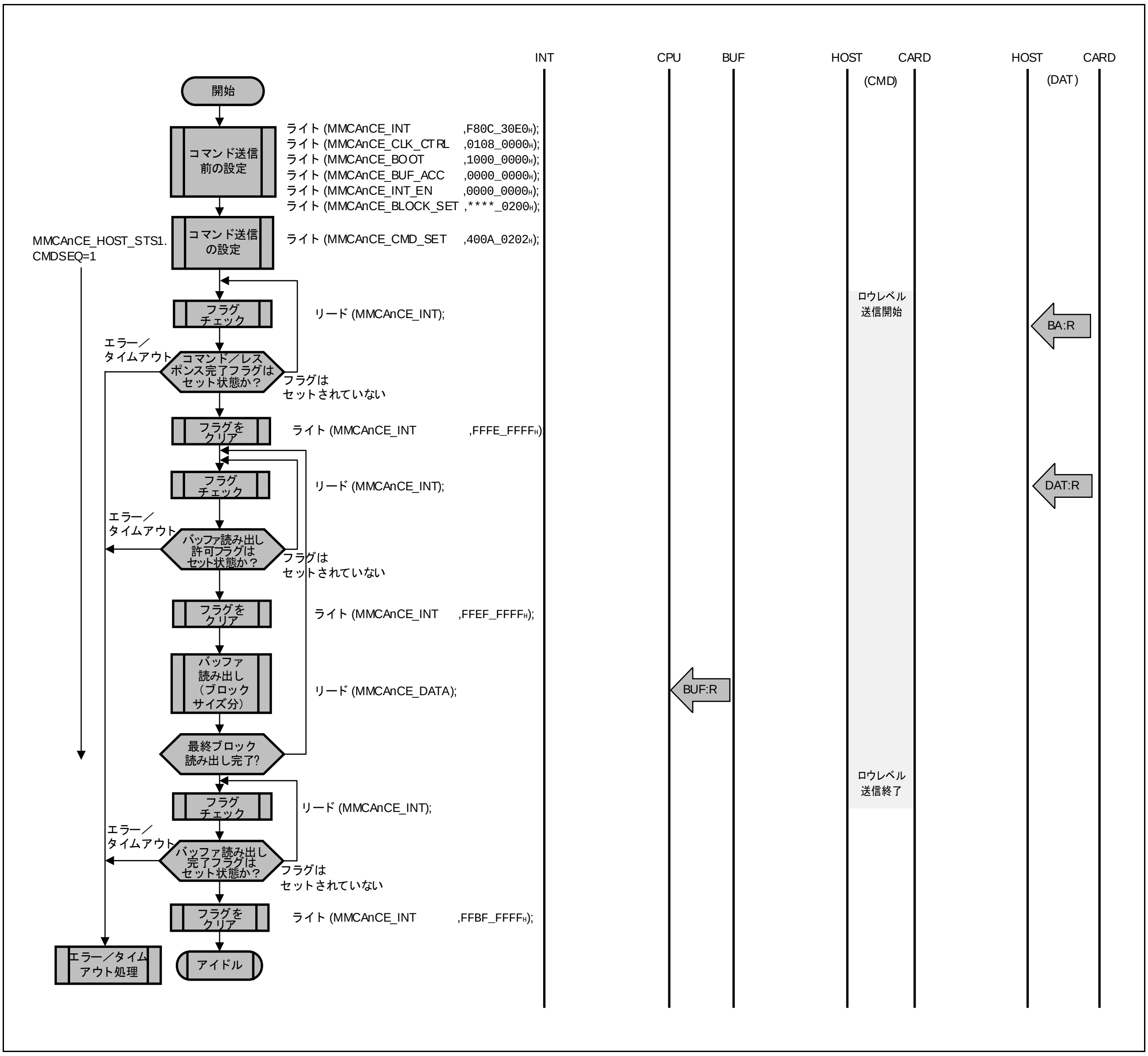


図 18.22　Boot Operation 設定例（Boot Acknowledge あり）

18.4.4.12　強制終了設定例

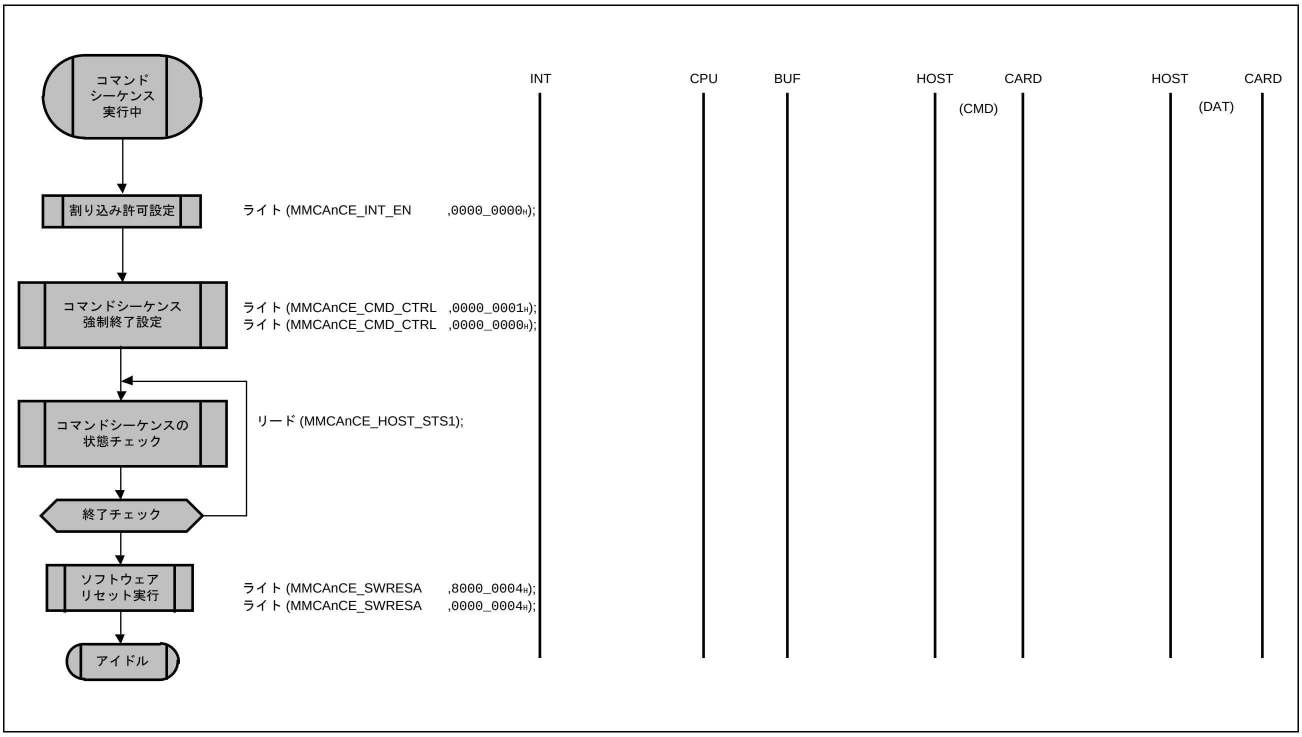


図 18.23　強制終了設定例

18.4.4.13 MMCAnCE_CMD_SET 設定値

コマンドを送信する際の設定値一覧を以下の表に示します。

表 18.32 MMCAnCE_CMD_SET 設定値

コマンド	レスポンス	MMCAnCE_CMD_SET																							備考
		予約ビット	BOOT	CMD[5:0]	RTYP[1:0]	RBSY	予約ビット	WDAT	DWEN	CMLTE	CMD12EN	RIDXC[1:0]	RCRC7C[1:0]	予約ビット	CRC16C	BOOTACK	CRCSTE	TBIT	OPDM	予約ビット	予約ビット	SBIT	予約ビット	DATW[1:0]	
CMD0	—	0	0	000000	00	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD1	R3	0	0	000001	01	0	0	0	0	0	0	01	01	0	0	0	0	0	0	0	0	0	0	00	
CMD2	R2	0	0	000010	10	0	0	0	0	0	0	01	10	0	0	0	0	0	0	0	0	0	0	00	
CMD3	R1	0	0	000011	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD4	—	0	0	000100	00	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD5	R1	0	0	000101	01	1	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD6	R1	0	0	000110	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	Background operation
	R1b	0	0	000110	01	1	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD7	R1	0	0	000111	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
	R1b	0	0	000111	01	1	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD8	R1	0	0	001000	01	0	0	1	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	**	
CMD9	R2	0	0	001001	10	0	0	0	0	0	0	01	10	0	0	0	0	0	0	0	0	0	0	00	
CMD10	R2	0	0	001010	10	0	0	0	0	0	0	01	10	0	0	0	0	0	0	0	0	0	0	00	
CMD12	R1	0	0	001100	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
	R1b	0	0	001100	01	1	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD13	R1	0	0	001101	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
	R1b	0	0	001101	01	1	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD14	R1	0	0	001110	01	0	0	1	0	0	0	00	00	0	1	0	0	0	0	0	0	1	0	**	
CMD15	—	0	0	001111	00	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD16	R1	0	0	010000	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD17	R1	0	0	010001	01	0	0	1	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	**	
CMD18	R1	0	0	010010	01	0	0	1	0	1	0	00	00	0	0	0	0	0	0	0	0	0	0	**	Pre-defined
	R1	0	0	010010	01	0	0	1	0	1	1	00	00	0	0	0	0	0	0	0	0	0	0	**	Open-ended
CMD19	R1	0	0	010011	01	0	0	1	1	0	0	00	00	0	0	0	1	0	0	0	0	0	0	**	
CMD23	R1	0	0	010111	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD24	R1	0	0	011000	01	0	0	1	1	0	0	00	00	0	0	0	0	0	0	0	0	0	0	**	
CMD25	R1	0	0	011001	01	0	0	1	1	1	0	00	00	0	0	0	0	0	0	0	0	0	0	**	Pre-defined
	R1	0	0	011001	01	0	0	1	1	1	1	00	00	0	0	0	0	0	0	0	0	0	0	**	Open-ended
CMD26	R1	0	0	011010	01	0	0	1	1	0	0	00	00	0	0	0	0	0	0	0	0	0	0	**	
CMD27	R1	0	0	011011	01	0	0	1	1	0	0	00	00	0	0	0	0	0	0	0	0	0	0	**	
CMD28	R1b	0	0	011100	01	1	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD29	R1b	0	0	011101	01	1	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD30	R1	0	0	011110	01	0	0	1	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	**	

表 18.32　MMCAnCE_CMD_SET 設定値

コマンド	レスポンス	MMCAnCE_CMD_SET																							備考
		予約ビット	BOOT	CMD[5:0]	RTYP[1:0]	RBSY	予約ビット	WDAT	DWEN	CMLTE	CMD12EN	RIDXC[1:0]	RCRC7C[1:0]	予約ビット	CRC16C	BOOTACK	CRCSTE	TBIT	OPDM	予約ビット	予約ビット	SBIT	予約ビット	DATW[1:0]	
CMD31	R1	0	0	011111	01	0	0	1	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	**	
CMD35	R1	0	0	100011	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD36	R1	0	0	100100	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD38	R1b	0	0	100110	01	1	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD39	R4	0	0	100111	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD40	R5	0	0	101000	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	Send CMD
	R5	0	0	101000	01	0	0	0	0	0	0	00	00	0	0	0	0	1	1	0	0	0	0	00	Send RSP
CMD42	R1	0	0	101010	01	0	0	1	1	0	0	00	00	0	0	0	0	0	0	0	0	0	0	**	
CMD55	R1	0	0	110111	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD56	R1	0	0	111000	01	0	0	1	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	**	Read
	R1	0	0	111000	01	0	0	1	1	0	0	00	00	0	0	0	0	0	0	0	0	0	0	**	Write
Boot Operation		0	1	000000	00	0	0	1	0	1	0	00	00	0	0	*	0	0	0	0	0	0	0	**	

18.5　MMCA RAM のエラー検出・訂正

ECC 機能の詳細については、「**40A.2.6 周辺 RAM の ECC**」を参照してください。

第19章　クロック同期シリアルインタフェース G（CSIG）

本章では、クロック同期シリアルインタフェース G（CSIG）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1KH, RH850/F1KM に固有の特長について説明します。それ以降の節では、CSIG の機能、レジスタについて説明します。

19.1　RH850/F1KH, RH850/F1KM CSIG の特長

19.1.1　ユニット数

本製品は、以下のユニット数の CSIG を搭載しています。

CSIG1 ユニット当たり 1 チャネルのインタフェースを持っています。

表 19.1　ユニット数 (RH850/F1KH-D8)

製品名	RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 324 Pin
ユニット数	5	5	5
名称	CSIGn (n=0～4)	CSIGn (n=0～4)	CSIGn (n=0～4)

表 19.2　ユニット数 (RH850/F1KM-S4)

製品名	RH850/F1KM-S4 100 Pin	RH850/F1KM-S4 144 Pin	RH850/F1KM-S4 176 Pin	RH850/F1KM-S4 233 Pin	RH850/F1KM-S4 272 Pin
ユニット数	1	2	4	4	4
名称	CSIGn (n=0)	CSIGn (n=0, 1)	CSIGn (n=0～3)	CSIGn (n=0～3)	CSIGn (n=0～3)

表 19.3　ユニット数 (RH850/F1KM-S2)

製品名	RH850/F1KM-S2 100 Pin	RH850/F1KM-S2 144 Pin	RH850/F1KM-S2 176 Pin
ユニット数	1	2	4
名称	CSIGn (n=0)	CSIGn (n=0, 1)	CSIGn (n=0～3)

表 19.4　ユニット数 (RH850/F1KM-S1)

製品名	RH850/F1KM-S1 48 Pin	RH850/F1KM-S1 64 Pin	RH850/F1KM-S1 80 Pin	RH850/F1KM-S1 100 Pin
ユニット数	1	1	1	1
名称	CSIGn (n=0)	CSIGn (n=0)	CSIGn (n=0)	CSIGn (n=0)

表 19.5　添字 (RH850/F1KH-D8)

添字	説明
n	本章では、CSIG の各ユニットを「n」で識別します。たとえば、CSIGn 制御レジスタ 0 は CSIGnCTL0（n=0～4）と記述します。

表 19.6　添字 (RH850/F1KM-S4, RH850/F1KM-S2)

添字	説明
n	本章では、CSIG の各ユニットを「n」で識別します。たとえば、CSIGn 制御レジスタ 0 は CSIGnCTL0（n=0～3）と記述します。

表 19.7　添字 (RH850/F1KM-S1)

添字	説明
n	本章では、CSIG の各ユニットを「n」で識別します。たとえば、CSIGn 制御レジスタ 0 は CSIGnCTL0（n＝0）と記述します。

19.1.2　レジスタベースアドレス

CSIG のベースアドレスを以下の表に示します。

CSIG のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 19.8　レジスタベースアドレス (RH850/F1KH-D8)

ベースアドレス名	ベースアドレス
<CSIG0_base>	FFD8 8000$_H$
<CSIG1_base>	FFD8 A000$_H$
<CSIG2_base>	FFD8 C000$_H$
<CSIG3_base>	FFD8 E000$_H$
<CSIG4_base>	FFD9 2000$_H$

表 19.9　レジスタベースアドレス (RH850/F1KM-S4, RH850/F1KM-S2)

ベースアドレス名	ベースアドレス
<CSIG0_base>	FFD8 8000$_H$
<CSIG1_base>	FFD8 A000$_H$
<CSIG2_base>	FFD8 C000$_H$
<CSIG3_base>	FFD8 E000$_H$

表 19.10　レジスタベースアドレス (RH850/F1KM-S1)

ベースアドレス名	ベースアドレス
<CSIG0_base>	FFD8 8000$_H$

19.1.3　クロック供給

CSIG のクロック供給を以下に示します。

表 19.11　クロック供給 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	ユニットクロック名	供給クロック名	説明
CSIGn	PCLK	CKSCLK_ICSI	通信クロック
	レジスタアクセスクロック	CPUCLK_L, CKSCLK_ICSI	バスクロック

19.1.4　割り込み要求

CSIG の割り込み要求を以下の表に示します。

表 19.12　割り込み要求 (RH850/F1KH-D8)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
CSIG0			
INTCSIGTIC	通信ステータス割り込み	27、118	8
INTCSIGTIR	受信ステータス割り込み	28、119	9
INTCSIGTIRE	通信エラー割り込み	57	—
CSIG1			
INTCSIGTIC	通信ステータス割り込み	223	66
INTCSIGTIR	受信ステータス割り込み	224	67
INTCSIGTIRE	通信エラー割り込み	225	—
CSIG2			
INTCSIGTIC	通信ステータス割り込み	326	78
INTCSIGTIR	受信ステータス割り込み	327	79
INTCSIGTIRE	通信エラー割り込み	328	—
CSIG3			
INTCSIGTIC	通信ステータス割り込み	329	125
INTCSIGTIR	受信ステータス割り込み	330	126
INTCSIGTIRE	通信エラー割り込み	331	—
CSIG4			
INTCSIGTIC	通信ステータス割り込み	98	39
INTCSIGTIR	受信ステータス割り込み	99	40
INTCSIGTIRE	通信エラー割り込み	100	—

表 19.13　割り込み要求 (RH850/F1KM-S4, RH850/F1KM-S2)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
CSIG0			
INTCSIGTIC	通信ステータス割り込み	27、118	8
INTCSIGTIR	受信ステータス割り込み	28、119	9
INTCSIGTIRE	通信エラー割り込み	57	—
CSIG1			
INTCSIGTIC	通信ステータス割り込み	223	66
INTCSIGTIR	受信ステータス割り込み	224	67
INTCSIGTIRE	通信エラー割り込み	225	—
CSIG2			
INTCSIGTIC	通信ステータス割り込み	326	78
INTCSIGTIR	受信ステータス割り込み	327	79
INTCSIGTIRE	通信エラー割り込み	328	—
CSIG3			
INTCSIGTIC	通信ステータス割り込み	329	125
INTCSIGTIR	受信ステータス割り込み	330	126
INTCSIGTIRE	通信エラー割り込み	331	—

表 19.14　割り込み要求 (RH850/F1KM-S1)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
CSIG0			
INTCSIGTIC	通信ステータス割り込み	27、118	8
INTCSIGTIR	受信ステータス割り込み	28、119	9
INTCSIGTIRE	通信エラー割り込み	57	—

19.1.5　リセット要因

CSIG のリセット要因を以下に示します。CSIG は以下に示すリセット要因で初期化されます。

表 19.15　リセット要因 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	リセット要因
CSIGn	すべてのリセット要因（ISORES）

19.1.6　外部入出力信号

CSIG の外部入出力信号を以下の表に示します。

表 19.16　外部入出力信号 (RH850/F1KH-D8)

ユニット信号	説明	ポート端子兼用信号名
CSIG0		
CSIGTSCK	シリアルクロック信号	CSIG0SC [注 1]
CSIGTSI	シリアルデータ入力信号	CSIG0SI
CSIGTSO	シリアルデータ出力信号	CSIG0SO [注 1]
$\overline{\text{CSIGTSSI}}$	スレーブ選択入力信号	$\overline{\text{CSIG0SSI}}$
CSIGTRYI	レディ／ビジー入力信号	CSIG0RYI
CSIGTRYO	レディ／ビジー出力信号	CSIG0RYO
CSIG1		
CSIGTSCK	シリアルクロック信号	CSIG1SC [注 1]
CSIGTSI	シリアルデータ入力信号	CSIG1SI
CSIGTSO	シリアルデータ出力信号	CSIG1SO [注 1]
$\overline{\text{CSIGTSSI}}$	スレーブ選択入力信号	$\overline{\text{CSIG1SSI}}$
CSIGTRYI	レディ／ビジー入力信号	CSIG1RYI
CSIGTRYO	レディ／ビジー出力信号	CSIG1RYO
CSIG2		
CSIGTSCK	シリアルクロック信号	CSIG2SC [注 1]
CSIGTSI	シリアルデータ入力信号	CSIG2SI
CSIGTSO	シリアルデータ出力信号	CSIG2SO [注 1]
$\overline{\text{CSIGTSSI}}$	スレーブ選択入力信号	$\overline{\text{CSIG2SSI}}$
CSIGTRYI	レディ／ビジー入力信号	CSIG2RYI
CSIGTRYO	レディ／ビジー出力信号	CSIG2RYO
CSIG3		
CSIGTSCK	シリアルクロック信号	CSIG3SC [注 1]
CSIGTSI	シリアルデータ入力信号	CSIG3SI
CSIGTSO	シリアルデータ出力信号	CSIG3SO [注 1]
$\overline{\text{CSIGTSSI}}$	スレーブ選択入力信号	$\overline{\text{CSIG3SSI}}$
CSIGTRYI	レディ／ビジー入力信号	CSIG3RYI
CSIGTRYO	レディ／ビジー出力信号	CSIG3RYO
CSIG4		
CSIGTSCK	シリアルクロック信号	CSIG4SC [注 1]
CSIGTSI	シリアルデータ入力信号	CSIG4SI
CSIGTSO	シリアルデータ出力信号	CSIG4SO [注 1]
$\overline{\text{CSIGTSSI}}$	スレーブ選択入力信号	$\overline{\text{CSIG4SSI}}$
CSIGTRYI	レディ／ビジー入力信号	CSIG4RYI
CSIGTRYO	レディ／ビジー出力信号	CSIG4RYO

注1.　CSIGnSO、CSIGnSC として使用するポートは、出力ドライバ強度をハイドライブ強度（PDSCn_m＝1）に設定してください。

表 19.17　外部入出力信号 (RH850/F1KM-S4, RH850/F1KM-S2)

ユニット信号	説明	ポート端子兼用信号名
CSIG0		
CSIGTSCK	シリアルクロック信号	CSIG0SC [注1]
CSIGTSI	シリアルデータ入力信号	CSIG0SI
CSIGTSO	シリアルデータ出力信号	CSIG0SO [注1]
$\overline{\text{CSIGTSSI}}$	スレーブ選択入力信号	$\overline{\text{CSIG0SSI}}$
CSIGTRYI	レディ／ビジー入力信号	CSIG0RYI
CSIGTRYO	レディ／ビジー出力信号	CSIG0RYO
CSIG1		
CSIGTSCK	シリアルクロック信号	CSIG1SC [注1]
CSIGTSI	シリアルデータ入力信号	CSIG1SI
CSIGTSO	シリアルデータ出力信号	CSIG1SO [注1]
$\overline{\text{CSIGTSSI}}$	スレーブ選択入力信号	$\overline{\text{CSIG1SSI}}$
CSIGTRYI	レディ／ビジー入力信号	CSIG1RYI
CSIGTRYO	レディ／ビジー出力信号	CSIG1RYO
CSIG2		
CSIGTSCK	シリアルクロック信号	CSIG2SC [注1]
CSIGTSI	シリアルデータ入力信号	CSIG2SI
CSIGTSO	シリアルデータ出力信号	CSIG2SO [注1]
$\overline{\text{CSIGTSSI}}$	スレーブ選択入力信号	$\overline{\text{CSIG2SSI}}$
CSIGTRYI	レディ／ビジー入力信号	CSIG2RYI
CSIGTRYO	レディ／ビジー出力信号	CSIG2RYO
CSIG3		
CSIGTSCK	シリアルクロック信号	CSIG3SC [注1]
CSIGTSI	シリアルデータ入力信号	CSIG3SI
CSIGTSO	シリアルデータ出力信号	CSIG3SO [注1]
$\overline{\text{CSIGTSSI}}$	スレーブ選択入力信号	$\overline{\text{CSIG3SSI}}$
CSIGTRYI	レディ／ビジー入力信号	CSIG3RYI
CSIGTRYO	レディ／ビジー出力信号	CSIG3RYO

注1.　CSIGnSO、CSIGnSC として使用するポートは、出力ドライバ強度をハイドライブ強度（PDSCn_m＝1）に設定してください。

表 19.18　外部入出力信号 (RH850/F1KM-S1)

ユニット信号名	説明	ポート端子兼用信号名
CSIG0		
CSIGTSCK	シリアルクロック信号	CSIG0SC [注1]
CSIGTSI	シリアルデータ入力信号	CSIG0SI
CSIGTSO	シリアルデータ出力信号	CSIG0SO [注1]
$\overline{\text{CSIGTSSI}}$	スレーブ選択入力信号	$\overline{\text{CSIG0SSI}}$
CSIGTRYI	レディ／ビジー入力信号	CSIG0RYI
CSIGTRYO	レディ／ビジー出力信号	CSIG0RYO

注1.　CSIGnSO、CSIGnSC として使用するポートは、出力ドライバ強度をハイドライブ強度（PDSCn_m＝1）に設定してください。

19.1.7　データ整合性チェック

CSIGnSO（CSIGTSO）の兼用ポートのデータ整合性チェック対応を以下の表に示します。データ整合性チェックの詳細は、「**19.5.10 エラー検出**」を参照してください。

表 19.19　データ整合性チェックの対象端子 (RH850/F1KH-D8)

ユニット信号名	ポート端子名	兼用機能
CSIG0		
CSIGTSO	P0_13	ALT_OUT4
	P10_6	ALT_OUT2
CSIG1		
CSIGTSO	P11_9	ALT_OUT1
CSIG2		
CSIGTSO	P12_5	ALT_OUT3
CSIG3		
CSIGTSO	P20_1	ALT_OUT4
CSIG4		
CSIGTSO	P1_3	ALT_OUT3
	P23_6	ALT_OUT1

表 19.20　データ整合性チェックの対象端子 (RH850/F1KM-S4, RH850/F1KM-S2)

ユニット信号名	ポート端子名	兼用機能
CSIG0		
CSIGTSO	P0_13	ALT_OUT4
	P10_6	ALT_OUT2
CSIG1		
CSIGTSO	P11_9	ALT_OUT1
CSIG2		
CSIGTSO	P12_5	ALT_OUT3
CSIG3		
CSIGTSO	P20_1	ALT_OUT4

表 19.21　データ整合性チェックの対象端子 (RH850/F1KM-S1)

ユニット信号名	ポート端子名	兼用機能
CSIG0		
CSIGTSO	P0_13	ALT_OUT4
	P10_6	ALT_OUT2

19.2　概要

19.2.1　機能概要

- 3 ワイヤシリアル同期データ転送
- マスタモードとスレーブモードを選択可能
- スレーブ選択入力信号（$\overline{\text{CSIGTSSI}}$）が使用可能
- ボーレートジェネレータを内蔵
- マスタモードでは転送クロック周波数を調整可能。スレーブモードでは入力クロックによって転送クロック周波数を決定
- 最大転送クロック周波数：
  - マスタモード：10.0MHz（ただし、PCLK/4 以下）
  - スレーブモード：5.0MHz（ただし、PCLK/6 以下）
- クロックとデータの位相を選択可能
- MSB ファーストまたは LSB ファーストでのデータ転送を選択可能
- 7 ビットから 16 ビットまでの転送データ長を 1 ビット単位で選択可能
- 16 ビットを上回るデータを転送するための EDL（Extended Data Length：拡張データ長）機能を内蔵
- 以下の 3 つの転送モードを選択可能:
  - 送信専用モード
  - 受信専用モード
  - 送受信モード
- ハンドシェーク機能を内蔵
- エラー検出（データ整合性チェック、パリティ、オーバラン）を内蔵
- 3 個の割り込み要求信号（INTCSIGTIC, INTCSIGTIR, INTCSIGTIRE）
- 自己テスト用の LBM（ループバックモード）機能を内蔵

19.2.2　機能概要説明

CSIG では以下の 3 つの信号を通信に使用します。

- 送信クロック CSIGTSCK（マスタモードでは出力、スレーブモードでは入力）
- シリアルデータ出力信号 CSIGTSO
- シリアルデータ入力信号 CSIGTSI

CSIGnCTL2 レジスタによって、CSIG をマスタモードまたはスレーブモードのどちらで動作させるかを選択します。

その他に、外部制御とモニタ用に利用できる信号があります。

- $\overline{\text{CSIGTSSI}}$：スレーブ選択入力信号
- CSIGTRYO：レディ／ビジー出力信号（ハンドシェーク信号）
- CSIGTRYI：レディ／ビジー入力信号（ハンドシェーク信号）

データ送信は、1 ビットずつシリアルに行われ、送信クロックに同期します。

CSIG の設定で重要な役割を果たすレジスタを以下の表に示します。

表 19.22　CSIG の主なレジスタ

レジスタ	機能
CSIGnCTL0	動作クロックを供給または停止にし、データ送信とデータ受信を許可または禁止します。
CSIGnCTL1	割り込みのタイミング、拡張データ長、データ整合性チェック、ループバックモード、ハンドシェークなどのオプション機能を制御します。
CSIGnCTL2	マスタモードまたはスレーブモードを選択し、マスタモードでは内蔵のボーレートジェネレータ（BRG）の転送クロック周波数を選択します。
CSIGnCFG0	通信プロトコルを設定します。

19.2.3　ブロック図

以下のブロック図は CSIG の主要なコンポーネントを示しています。

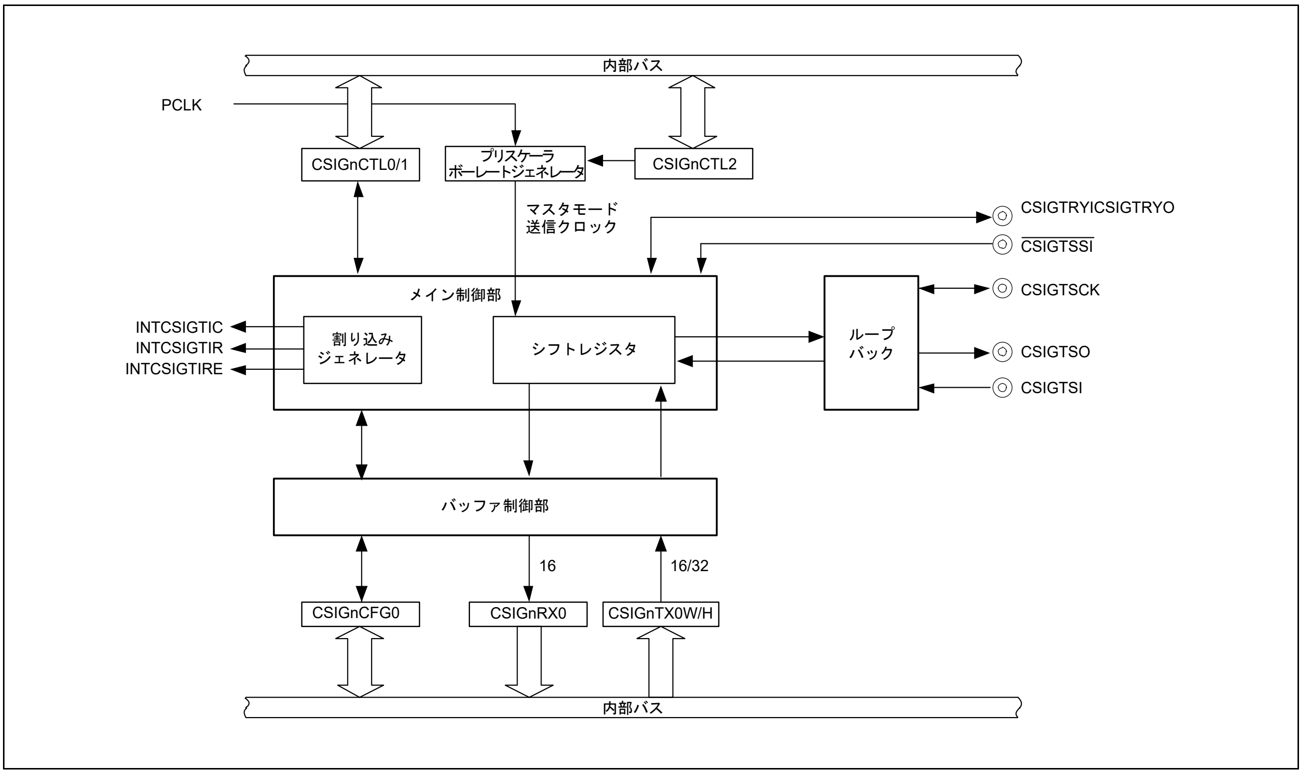


図 19.1　CSIG のブロック図

マスタモードでは、送信クロック CSIGTSCK が内蔵のボーレートジェネレータ（BRG）によって発生します。スレーブモードでは、外部ソースから送信クロックが供給されます。

19.3　レジスタ

19.3.1　レジスタ一覧

CSIG のレジスタ一覧を以下の表に示します。

<CSIGn_base>は、「**19.1.2 レジスタベースアドレス**」を参照してください。

表 19.23　レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
CSIGn	CSIGn 制御レジスタ 0	CSIGnCTL0	<CSIGn_base> + 0000_H
	CSIGn 制御レジスタ 1	CSIGnCTL1	<CSIGn_base> + 0010_H
	CSIGn 制御レジスタ 2	CSIGnCTL2	<CSIGn_base> + 0014_H
	CSIGn ステータスレジスタ 0	CSIGnSTR0	<CSIGn_base> + 0004_H
	CSIGn ステータスクリアレジスタ 0	CSIGnSTCR0	<CSIGn_base> + 0008_H
	CSIGn 受信専用モード制御レジスタ 0	CSIGnBCTL0	<CSIGn_base> + 1000_H
	CSIGn コンフィグレーションレジスタ 0	CSIGnCFG0	<CSIGn_base> + 1010_H
	CSIGn ワードアクセス用送信レジスタ 0	CSIGnTX0W	<CSIGn_base> + 1004_H
	CSIGn ハーフワードアクセス用送信レジスタ 0	CSIGnTX0H	<CSIGn_base> + 1008_H
	CSIGn 受信レジスタ 0	CSIGnRX0	<CSIGn_base> + $100C_H$
	CSIGn エミュレーションレジスタ	CSIGnEMU	<CSIGn_base> + 0018_H

19.3.2 CSIGnCTL0 — CSIGn 制御レジスタ 0

本レジスタは、動作クロックの制御と送信／受信の許可／禁止に使用されます。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<CSIGn_base> + 0000_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	CSIGnPWR	CSIGnTXE	CSIGnRXE	—	—	—	—	CSIGnMBS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R	R/W

表 19.24　CSIGnCTL0 レジスタの内容

ビット位置	ビット名	機能
7	CSIGnPWR	動作クロックを制御します。 0：動作クロックを停止させます。 1：動作クロックを供給します。 CSIGnPWR を 0 にクリアすると、内部回路がリセットされ、動作が停止し、CSIG がスタンバイ状態に設定されます。内部回路へのクロックの供給が停止します。 通信中に CSIGnPWR をクリアした場合、実行中の通信は中断されます。その場合は、通信設定を最初からやり直す必要があります。
6	CSIGnTXE	送信を許可または禁止します。 0：送信を禁止します。 1：送信を許可します。
5	CSIGnRXE	受信を許可または禁止します。 0：受信を禁止します。 1：受信を許可します。
4〜1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	CSIGnMBS	CSIGnCTL0.CSIGnPWR＝1 とする場合、このビットには、必ず“1”を設定してください。（リセット後の値は“0”です。）

注　意

本レジスタの設定では、「**表 19.37　レジスタ設定上の注意事項**」を参照してください。

19.3.3 CSIGnCTL1 — CSIGn 制御レジスタ 1

本レジスタでは、割り込みのタイミングと割り込み遅延モードを指定します。本レジスタは、拡張データ長制御、データ整合性チェック、ループバックモード、ハンドシェーク機能、スレーブ選択機能を有効または無効する機能も持っています。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<CSIGn_base> + 0010_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CSIGn CKR	CSIGn SLIT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CSIGn EDLE	—	CSIGn DCS	—	CSIGn LBM	CSIGn SIT	CSIGn HSE	CSIGn SSE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R	R/W	R	R/W	R/W	R/W	R/W

表 19.25　CSIGnCTL1 レジスタの内容

ビット位置	ビット名	機能
31～18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
17	CSIGnCKR	CSIGTSCK のクロック反転機能 0：CSIGTSCK のデフォルトレベルはハイレベル 1：CSIGTSCK のデフォルトレベルはロウレベル CSIGnCKR ビットは CSIGnCFG0.CSIGnDAP ビットと組み合わせて使用します。詳細については、「**19.3.8 CSIGnCFG0 — CSIGn コンフィグレーションレジスタ 0**」を参照してください。
16	CSIGnSLIT	割り込み INTCSIGTIC のタイミングを選択します。 0：通常の割り込みのタイミング（転送後に割り込みを発生します）。 1：CSIGnTX0W/H が空になり、次のデータを格納できる状態になったときに割り込みを発生します。 詳細については、「**19.4.2 INTCSIGTIC（通信ステータス割り込み）**」を参照してください。
15～8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	CSIGnEDLE	拡張データ長（EDL）モードを有効または無効にします。 0：拡張データ長モードを無効にします。 1：拡張データ長モードを有効にします。 詳細については、「**19.5.5.2 データ長が拡張されている場合のデータ長の選択**」を参照してください。
6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	CSIGnDCS	データ整合性チェックを有効または無効にします。 0：データ整合性チェックを無効にします。 1：データ整合性チェックを有効にします。 詳細については、「**19.5.10.1 データ整合性チェック**」を参照してください。
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 19.25　CSIGnCTL1 レジスタの内容

ビット位置	ビット名	機能
3	CSIGnLBM	ループバックモード（LBM）を制御します。 0：ループバックモードを非アクティブにします。 1：ループバックモードをアクティブにします。 ループバックモードはマスタモードでのみ設定可能です。スレーブモードでは 0 に設定してください。 詳細については、**「19.5.9　ループバックモード」**を参照してください。
2	CSIGnSIT	割り込み遅延モードを選択します。 0：遅延を生成しません。 1：すべての割り込みについて半周期の遅延を生成します。 このビットはマスタモードでのみ有効になります。スレーブモードでは遅延は生成されません。 詳細については、**「19.4.1　割り込みの遅延」**を参照してください。
1	CSIGnHSE	ハンドシェーク機能を有効または無効にします。 0：ハンドシェーク機能を無効にします。 1：ハンドシェーク機能を有効にします。 詳細については、**「19.5.8　ハンドシェーク機能」**を参照してください。
0	CSIGnSSE	スレーブ選択（SS）機能を有効または無効にします。 0：入力信号 $\overline{\text{CSIGTSSI}}$ を無効にします。 1：入力信号 $\overline{\text{CSIGTSSI}}$ を有効にします。 スレーブ選択機能を使用しない場合は、このビットを 0 に設定する必要があります（**「19.5.2　マスタ／スレーブの接続」**も参照してください）。

CSIGnCTL1.CSIGnSSE の詳細を次に示します。

表 19.26　受信におけるスレーブ選択機能の動作

CSIGnCTL0.CSIGnRXE	CSIGnCTL1.CSIGnSSE	$\overline{\text{CSIGTSSI}}$	受信動作
0	—	—	受信を禁止します。
1	0	—	可能
1	1	0	可能
1	1	1	無効

表 19.27　送信におけるスレーブ選択機能の動作

CSIGnCTL0.CSIGnTXE	CSIGnCTL1.CSIGnSSE	$\overline{\text{CSIGTSSI}}$	送信動作
0	—	—	送信を禁止します。
1	0	—	可能
1	1	0	可能
1	1	1	無効

注　意

本レジスタの設定では、**「表 19.37　レジスタ設定上の注意事項」**を参照してください。

19.3.4 CSIGnCTL2 — CSIGn 制御レジスタ 2

本レジスタでは通信クロックを選択します。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<CSIGn_base> + 0014_H

リセット後の値　$E000_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIGnPRS[2:0]			—	CSIGnBRS[11:0]											
リセット後の値	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.28　CSIGnCTL2 レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>15～13</td><td>CSIGnPRS[2:0]</td><td>プリスケーラの値を選択します。
<table>
<tr><th>CSIGn PRS2</th><th>CSIGn PRS1</th><th>CSIGn PRS0</th><th>プリスケーラの出力（PRSOUT）</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>PCLK（マスタモード）</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>PCLK / 2（マスタモード）</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>PCLK / 4（マスタモード）</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>PCLK / 8（マスタモード）</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>PCLK / 16（マスタモード）</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>PCLK / 32（マスタモード）</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>PCLK / 64（マスタモード）</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>CSIGTSCK 経由の外部クロック（スレーブモード）</td></tr>
</table></td></tr>
<tr><td>12</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>11～0</td><td>CSIGnBRS[11:0]</td><td>転送クロック周波数を選択します。
CSIGnBRS[11:0]ビットの設定はマスタモードでのみ有効となり、スレーブモードでは無視されます。
<table>
<tr><th>CSIGnBRS[11:0]</th><th>CSIGTSCK の転送クロック周波数</th></tr>
<tr><td>0</td><td>BRG の停止</td></tr>
<tr><td>1</td><td>PCLK / (2^{α} × 1 × 2)</td></tr>
<tr><td>2</td><td>PCLK / (2^{α} × 2 × 2)</td></tr>
<tr><td>3</td><td>PCLK / (2^{α} × 3 × 2)</td></tr>
<tr><td>4</td><td>PCLK / (2^{α} × 4 × 2)</td></tr>
<tr><td>...</td><td>...</td></tr>
<tr><td>4095</td><td>PCLK / (2^{α} × 4095 × 2)</td></tr>
</table>
備考）α＝0～6：CSIGnPRS[2:0]で設定した値</td></tr>
</table>

注　意

本レジスタの設定では、「**表 19.37　レジスタ設定上の注意事項**」を参照してください。

19.3.5　CSIGnSTR0 — CSIGn ステータスレジスタ 0

本レジスタは CSIG の状態を示します。

アクセス	32 ビット単位でリードのみ可能です。
アドレス	<CSIGn_base> + 0004_H
リセット後の値	$0000\ 0010_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CSIGn TSF	—	—	—	CSIGn DCE	—	CSIGn PE	CSIGn OVE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 19.29　CSIGnSTR0 レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>31～8</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。</td></tr>
<tr><td>7</td><td>CSIGnTSF</td><td>転送ステータスフラグ
0：アイドル状態
1：通信中または通信の準備中
このビットがセットまたはクリアされるタイミングを以下に示します。
<table>
<tr><th>マスタモード</th><th>セットされるタイミング</th><th>クリアされるタイミング</th></tr>
<tr><td>送信専用モード</td><td rowspan="2">送信レジスタへの書き込み</td><td rowspan="3">最後のシリアルクロックのエッジから半クロック以内</td></tr>
<tr><td>送受信モード</td></tr>
<tr><td>受信専用モード</td><td>受信レジスタの読み込み</td></tr>
</table>
<table>
<tr><th>スレーブモード</th><th>セットされるタイミング</th><th>クリアされるタイミング</th></tr>
<tr><td>送信専用モード</td><td rowspan="2">送信レジスタへの書き込み</td><td rowspan="3">最後のシリアルクロックのエッジから半クロック以内</td></tr>
<tr><td>送受信モード</td></tr>
<tr><td>受信専用モード</td><td>CSIGTSCK 入力タイミング</td></tr>
</table></td></tr>
<tr><td>6～4</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。</td></tr>
<tr><td>3</td><td>CSIGnDCE</td><td>データ整合性チェックエラーフラグ
0：データ整合性チェックエラーが検出されていません。
1：データ整合性チェックエラーが検出されています。
このビットは CSIGnSTCR0.CSIGnDCEC に 1 を書き込むことによってクリアされます。
ただし、データ整合性チェックエラーの検出によるセット（1）と、CSIGnSTCR0.CSIGnDCEC によるクリア（0）が同時に発生した場合、データ整合性チェックエラーの検出によるセット（1）を優先します。このビットは CSIGnCTL0.CSIGnPWR が 0 から 1、または 1 から 0 に変化したときに初期化されます。</td></tr>
<tr><td>2</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。</td></tr>
<tr><td>1</td><td>CSIGnPE</td><td>パリティエラーフラグ
0：パリティエラーが検出されていません。
1：パリティエラーが検出されています。
このビットは CSIGnSTCR0.CSIGnPEC に 1 を書き込むことによってクリアされます。ただし、パリティエラーの検出によるセット（1）と、CSIGnSTCR0.CSIGnPEC によるクリア（0）が同時に発生した場合、パリティエラーの検出によるセット（1）を優先します。
このビットは CSIGnCTL0.CSIGnPWR が 0 から 1、または 1 から 0 に変化したときに初期化されます。</td></tr>
</table>

表 19.29　CSIGnSTR0 レジスタの内容

ビット位置	ビット名	機能
0	CSIGnOVE	オーバランエラーフラグ 0：オーバランエラーが検出されていません。 1：オーバランエラーが検出されています。 このビットは CSIGnSTCR0.CSIGnOVEC に 1 を書き込むことによってクリアされます。ただし、オーバランエラーの検出によるセット（1）と、CSIGnSTCR0.CSIGnOVEC によるクリア（0）が同時に発生した場合、オーバランエラーの検出によるセット（1）を優先します。 このビットは CSIGnCTL0.CSIGnPWR が 0 から 1、または 1 から 0 に変化したときに初期化されます。

注　意

本レジスタの設定では、「**表 19.37　レジスタ設定上の注意事項**」を参照してください。

19.3.6　CSIGnSTCR0 — CSIGn ステータスクリアレジスタ 0

本レジスタは CSIGnSTR0 ステータスレジスタのステータスフラグをクリアします。

アクセス　16 ビット単位でリード／ライト可能です。
リードを行うと、常に値 0000_H が返されます。

アドレス　<CSIGn_base> + 0008_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	CSIGn DCEC	—	CSIGn PEC	CSIGn OVEC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W

表 19.30　CSIGnSTCR0 レジスタの内容

ビット位置	ビット名	機能
15～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	CSIGnDCEC	データ整合性チェックエラーフラグクリアコマンドを制御します。 0：何も操作を行いません。読み出し値は常に 0 になります。 1：データ整合性チェックエラーフラグ（CSIGnSTR0.CSIGnDCE）をクリアします。
2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	CSIGnPEC	パリティエラーフラグクリアコマンドを制御します。 0：何も操作を行いません。読み出し値は常に 0 になります。 1：パリティエラーフラグ（CSIGnSTR0.CSIGnPE）をクリアします。
0	CSIGnOVEC	オーバランエラーフラグクリアコマンドを制御します。 0：何も操作を行いません。読み出し値は常に 0 になります。 1：オーバランエラーフラグ（CSIGnSTR0.CSIGnOVE）をクリアします。

19.3.7　CSIGnBCTL0 ― CSIGn 受信専用モード制御レジスタ 0

本レジスタは受信専用モードでのデータ転送を許可または禁止します。

アクセス　1 ビット単位と 8 ビット単位でリード／ライト可能です。

アドレス　<CSIGn_base> + 1000_H

リセット後の値　01_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CSIGnSCE
リセット後の値	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R/W

表 19.31　CSIGnBCTL0 レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	CSIGnSCE	CSIGnRX0 を読み出すことで、次回のデータ受信の開始を許可または禁止します。 0：次回の受信を禁止します。 1：次回の受信を許可します。 詳細については、「**19.5.4.2　受信専用モード**」を参照してください。

注　意

本レジスタの設定では、「**表 19.37　レジスタ設定上の注意事項**」を参照してください。

19.3.8　CSIGnCFG0 — CSIGn コンフィグレーションレジスタ 0

本レジスタでは、データ長、パリティ、転送方向、クロック位相、データ位相などの通信プロトコルを設定します。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<CSIGn_base> + 1010_H

リセット後の値　$0000\ 0000_H$

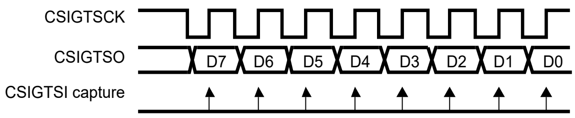
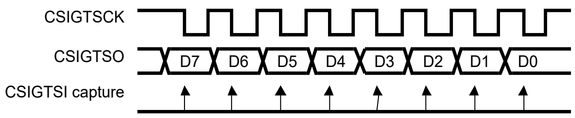
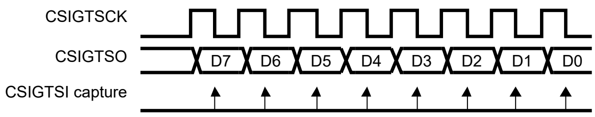
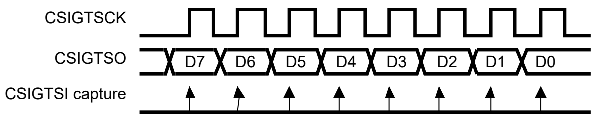
ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	CSIGnPS[1:0]		CSIGnDLS[3:0]				—	—	—	—	—	CSIGnDIR	—	CSIGnDAP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 19.32　CSIGnCFG0 レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>31、30</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>29、28</td><td>CSIGnPS[1:0]</td><td>パリティを指定します。
<table>
<tr><th>CSIGnPS1</th><th>CSIGnPS0</th><th>送信</th><th>受信</th></tr>
<tr><td>0</td><td>0</td><td>パリティを送信しません。</td><td>パリティの受信を待機しません。</td></tr>
<tr><td>0</td><td>1</td><td>0 に固定されたパリティビットを追加します。</td><td>パリティビットの受信を待機しますが、パリティの判定は行いません。</td></tr>
<tr><td>1</td><td>0</td><td>奇数パリティを追加します。</td><td>奇数パリティビットの受信を待機します。</td></tr>
<tr><td>1</td><td>1</td><td>偶数パリティを追加します。</td><td>偶数パリティビットの受信を待機します。</td></tr>
</table></td></tr>
<tr><td>27～24</td><td>CSIGnDLS[3:0]</td><td>データ長を指定します。
0：データ長を 16 ビットにします。
1：データ長を 1 ビットにします。
2：データ長を 2 ビットにします。
...
15：データ長を 15 ビットにします。
注意）拡張データ長モードが無効（CSIGnCTL1.CSIGn EDLE ビット＝0）のときは CSIGnCFG0.CSIGnDLS[3:0]ビットを 1～6 の値に設定しないでください。また、データ長が 7 ビット未満のデータを 2 つ続けて送信することは禁止されています。</td></tr>
<tr><td>23～19</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>18</td><td>CSIGnDIR</td><td>シリアルデータ方向を選択します。
0：MSB ファーストでデータを送受信します。
1：LSB ファーストでデータを送受信します。</td></tr>
<tr><td>17</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
</table>

表 19.32 CSIGnCFG0 レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>16</td><td>CSIGnDAP</td><td>データ位相選択ビット
CSIGnCTL1.CSIGnCKR ビットと合わせ、データ位相を選択します。
クロック／データ位相については、下表を参照ください。
<table>
<tr><th>CSIGnCTL1.
CSIGnCKR</th><th>CSIGn
DAP</th><th>クロック位相とデータ位相の選択</th></tr>
<tr><td>0</td><td>0</td><td>
</td></tr>
<tr><td>0</td><td>1</td><td>
</td></tr>
<tr><td>1</td><td>0</td><td>
</td></tr>
<tr><td>1</td><td>1</td><td>
</td></tr>
</table></td></tr>
<tr><td>15～0</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
</table>

注 意

本レジスタの設定では、「**表 19.37 レジスタ設定上の注意事項**」を参照してください。

19.3.9　CSIGnTX0W — CSIGn ワードアクセス用送信レジスタ 0

本レジスタは送信データを保存します。さらに、拡張データ長を指定します。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<CSIGn_base> + 1004_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	CSIGn EDL	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIGnTX[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.33　CSIGnTX0W レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
29	CSIGnEDL	拡張データ長を指定します。 0：通常の動作 1：拡張データ長を有効にします。 関連付けられたデータは 16 ビットデータとして送信されます。 このビットは CSIGnCTL1.CSIGnEDLE＝1 のときにのみセットできます。
28～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15～0	CSIGnTX[15:0]	送信データ

注　意

本レジスタの設定では、「**表 19.37　レジスタ設定上の注意事項**」を参照してください。

19.3.10 CSIGnTX0H ― CSIGn ハーフワードアクセス用送信レジスタ 0

本レジスタは送信データを保存します。本レジスタは CSIGnTX0W レジスタのビット 15～0 と同じです。

転送には、CSIGnTX0W の上位 16 ビットの設定が適用されます。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <CSIGn_base> + 1008_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIGnTX[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 19.34 CSIGnTX0H レジスタの内容

ビット位置	ビット名	機能
15～0	CSIGnTX[15:0]	送信データ

注 意

本レジスタの設定では、「**表 19.37 レジスタ設定上の注意事項**」を参照してください。

19.3.11 CSIGnRX0 ― CSIGn 受信レジスタ 0

本レジスタは受信データを保存します。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <CSIGn_base> + $100C_H$

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIGnRX[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 19.35 CSIGnRX0 レジスタの内容

ビット位置	ビット名	機能
15～0	CSIGnRX[15:0]	受信データ 本ビットは、CSIGnCTL0.CSIGnPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。 本ビットの値を読む場合は、CSIGTIR 割り込みが発生する 1 クロック前までに行ってください。

注 意

本レジスタの設定では、「**表 19.37 レジスタ設定上の注意事項**」を参照してください。

19.3.12　CSIGnEMU ― CSIGn エミュレーションレジスタ

このレジスタは SVSTOP による動作を制御します。

アクセス	1 ビット単位と 8 ビット単位でリード／ライト可能です。 （EPC.SVSTOP＝0）のときにライト動作を行ってください。
アドレス	<CSIGn_base> + 0018_H
リセット後の値	00_H

ビット	7	6	5	4	3	2	1	0
	CSIGnSVSDIS	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R

表 19.36　CSIGnEMU レジスタの内容

ビット位置	ビット名	機能
7	CSIGnSVSDIS	デバッグ時の送受信動作の継続／停止を選択します。 ● EPC.SVSTOP＝0 のとき 本ビットの設定にかかわらず、送受信動作を継続します。 ● EPC.SVSTOP＝1 のとき 0：送受信動作を停止 1：送受信動作を継続
6～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注　意

本レジスタの設定では、「**表 19.37　レジスタ設定上の注意事項**」を参照してください。

19.3.13　注意事項の一覧

表 19.37　レジスタ設定上の注意事項

レジスタ名	ビット名	注意事項
CSIGnCTL0	CSIGnPWR	通信中にこのビットをクリアすると、実行中の通信が中断されます。中断後は、通信の再起動が必要です。
CSIGnCTL0	CSIGnTXE CSIGnRXE	CSIGnCTL0.CSIGnPWR＝0 の間、これらのビットのいずれも変更しないでください。（これらのビットは、CSIGnCTL0.CSIGnPWR ビットと同時に変更することができます。）実行中の通信が中断されると、設定した動作が保証されないので、CSIGnSTR0.CSIGnTSF＝1 の間、これらのビットを変更しないでください。
CSIGnCTL0	CSIGnMBS	CSIGnCTL0.CSIGnPWR＝1 とする場合、このビットには、必ず“1”を設定してください。（リセット後の値は“0”です。） このビットの変更は、CSIGnCTL0.CSIGnPWR ビットと同時に行ってください。
CSIGnCTL1	CSIGnCKR	このビットの値の変更は、CSIGnCTL0.CSIGnPWR＝0 のときのみ許可されます。
CSIGnCTL1	CSIGnSLIT CSIGnEDLE CSIGnDCS CSIGnHSE	このビットの値の変更は、CSIGnCTL0.CSIGnPWR＝0 のときのみ許可されます。
CSIGnCTL1	CSIGnLBM	このビットの値の変更は、CSIGnCTL0.CSIGnPWR＝0 のときのみ許可されます。 このビットを 1 に設定することは、スレーブモードでは禁止されます。
CSIGnCTL1	CSIGnSSE	このビットの値の変更は、CSIGnCTL0.CSIGnPWR＝0 のときのみ許可されます。 このビットを 1 に設定することは、マスタモードでは禁止されます。
CSIGnCTL1	CSIGnSIT	このビットの値の変更は、CSIGnCTL0.CSIGnPWR＝0 のときのみ許可されます。 このビットはマスタモードでのみ有効になります。スレーブモードでは遅延は生成されません。
CSIGnCTL2	CSIGnPRS[2:0] CSIGnBRS[11:0]	これらのビットの値の変更は、CSIGnCTL0.CSIGnPWR＝0 のときのみ許可されます。 最大転送クロック周波数の設定は、以下のとおりです。 ● マスタモード : 10.0MHz（ただし、PCLK/4 以下） ● スレーブモード : 5.0MHz（ただし、PCLK/6 以下）
CSIGnSTR0	CSIGnTSF	書き込みは禁止です。読み出しのみ有効です。
CSIGnSTR0	CSIGnDCE CSIGnPE CSIGnOVE	書き込みは禁止です。読み出しのみ有効です。 このビットは、CSIGnCTL0.CSIGnPWR＝0→1 または CSIGnCTL0.CSIGnPWR＝1→0 のときに初期化されます。
CSIGnBCTL0	CSIGnSCE	CSIGnRX0 を読み出す前に、このビットをライトしてください。 転送モードが送信モードまたは送受信モードのときは、CSIGnSCE ビットは 0 に固定してください。
CSIGnCFG0	CSIGnPS[1:0] CSIGnDLS[3:0] CSIGnDIR CSIGnDAP	これらのビットの値の変更は、CSIGnCTL0.CSIGnPWR＝0 のときのみ許可されます。
CSIGnTX0W	CSIGnEDL	このビットは、CSIGnCTL1.CSIGnEDLE＝1 のときのみ、有効です。
CSIGnTX0W CSIGnTX0H		CSIGnCTL0.CSIGnTXE＝CSIGnCTL0.CSIGnRXE＝0 のとき、これらのビットのライトアクセスすることは禁止です。
CSIGnRX0		CSIGnCTL0.CSIGnPWR＝0→1、または CSIGnCTL0.CSIGnPWR＝1→0 のときに初期化されます。 CSIGnCTL0.CSIGnTXE＝CSIGnCTL0.CSIGnRXE＝0 のとき、これらのビットのリードアクセスすることは禁止です。
CSIGnEMU	CSIGnSVSDIS	このビットの値の変更は、SVSTOP＝1 のとき禁止されています。

19.4　割り込み要因

CSIG は以下の割り込みを発生することができます。

- INTCSIGTIC（通信ステータス割り込み）
- INTCSIGTIR（受信ステータス割り込み）
- INTCSIGTIRE（通信エラー割り込み）

19.4.1　割り込みの遅延

マスタモードでは、マスタから発生するすべての割り込みを送信クロック CSIGTSCK の半周期だけ遅延させることができます。スレーブモードでこの機能を利用することはできません。

遅延を指定するには、CSIGnCTL1.CSIGnSIT＝1 に設定します（スレーブモードでは CSIGnSIT ビットの設定は無効です）。

CSIGnCTL1.CSIGnSIT＝1（割り込み遅延有効）、

CSIGnCTL1.CSIGnCKR＝0、CSIGnCFG0.CSIGnDAP＝0（通常のクロック位相とデータ位相）、CSIGnCFG0.CSIGnDLS[3:0]＝1000_B（データ長 8 ビット）の設定で割り込み遅延機能を使用する例を以下の図に示します。

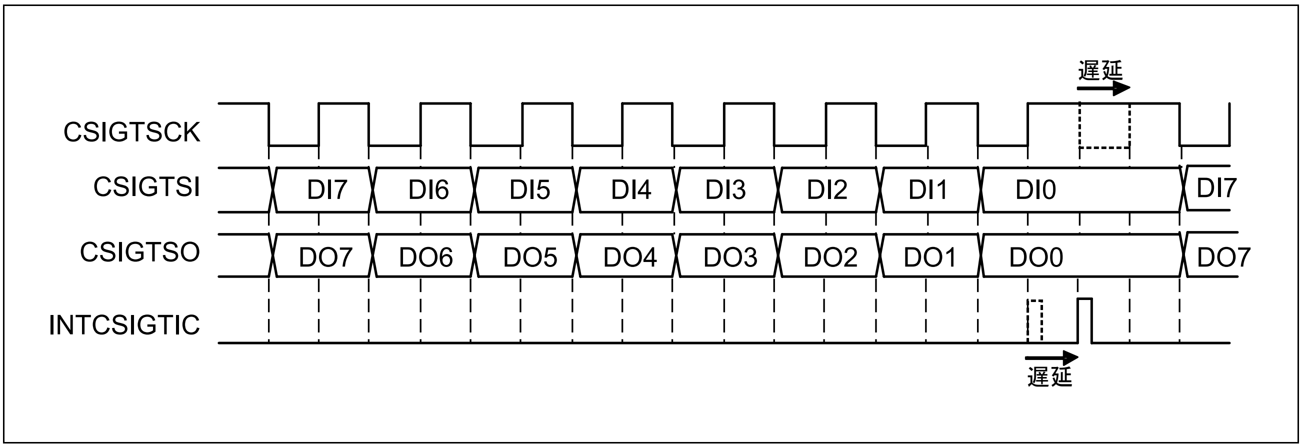


図 19.2　割り込み遅延機能（CSIGnCTL1.CSIGnSIT＝1）

19.4.2　INTCSIGTIC（通信ステータス割り込み）

この割り込みは、通常、データ転送が行われるたびに発生します。この割り込みを利用して、CSIGnTX0W レジスタまたは CSIGnTX0H レジスタへ新しい送信データを書き込むための DMA をトリガすることができます。

以下の例では、マスタモード、CSIGnCTL1.CSIGnSIT＝0（割り込み遅延なし）、CSIGnCTL1.CSIGnCKR＝0、CSIGnCFG0.CSIGnDAP＝0（通常のクロック位相とデータ位相）、CSIGnCFG0.CSIGnDLS[3:0]＝1000_B（データ長 8 ビット）、CSIGnCTL1.CSIGnSLIT＝0（通常の割り込みタイミング）を想定しています。

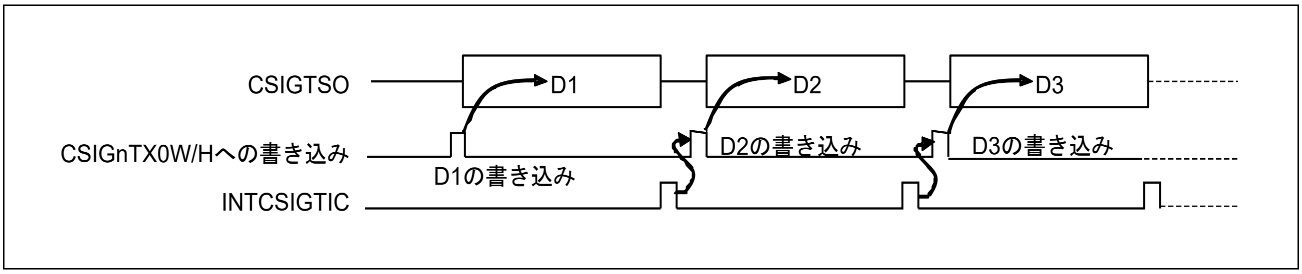


図 19.3　通信終了後の INTCSIGTIC の発生（CSIGnCTL1.CSIGnSLIT＝0）

ただし、CSIGnTX0W/H レジスタが空になり、次のデータの受け入れが可能になったときに INTCSIGTIC を発生するように設定することもできます。そうするには、CSIGnCTL1.CSIGnSLIT＝1 に設定します。

このモードを利用すれば、データ転送の効率を高めることができます。

以下の図にその効果を示します。

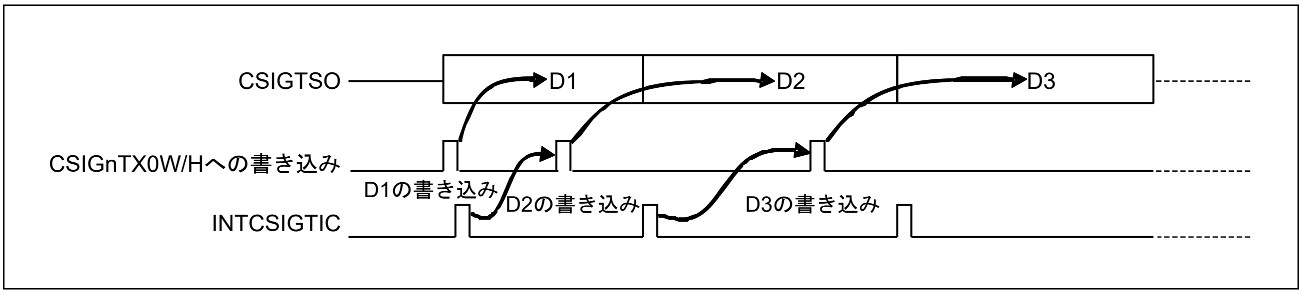


図 19.4　通信開始時の INTCSIGTIC の発生

19.4.3　INTCSIGTIR（受信ステータス割り込み）

この割り込みは、受信専用モードまたは送受信モードで、データが受信され、そのデータが受信レジスタで利用可能になると発生します。この割り込みを利用して、CSIGnRX0 レジスタから受信データを読み出すための DMA をトリガすることができます。

以下の図の例では、マスタモード、CSIGnCTL1.CSIGnSIT＝0（割り込み遅延なし）、CSIGnCTL1.CSIGnCKR＝0、CSIGnCFG0.CSIGnDAP＝0（通常のクロック位相とデータ位相）、CSIGnCFG0.CSIGnDLS[3:0]＝1000_B（データ長 8 ビット）を想定しています。

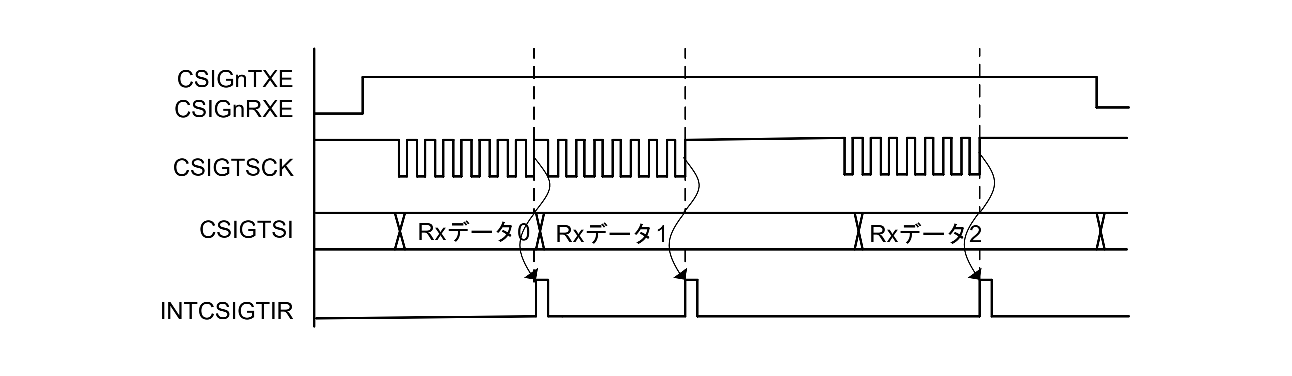


図 19.5　INTCSIGTIR の発生

19.4.4　INTCSIGTIRE（通信エラー割り込み）

この割り込みはエラーが検出されるたびに発生します。

表 19.38　データエラーのタイプ

エラーのタイプ	エラー割り込み後の通信ステータス	備考
パリティエラー	割り込みが発生しても通信は継続します	—
データ整合性チェックエラー	割り込みが発生しても通信は継続します。	—
オーバランエラー[注1]	スレーブモードで CSIGnCTL1.CSIGnHSE＝0（ハンドシェークなし）の場合は、割り込みが発生しても通信は継続します。	スレーブモードで CSIGnCTL1.CSIGnHSE＝1（ハンドシェークあり）の場合は、ハンドシェークにより通信が停止します。割り込みは発生せず、オーバランエラーとなりません。

注1.　マスタモードではオーバランエラーは発生しません。
　　　スレーブモードでは通信を停止させることはできません。

INTCSIGTIRE が発生する原因となったエラーのタイプは、CSIGnSTR0 レジスタによって識別されます。

さまざまなエラータイプの詳細については、「**19.5.10　エラー検出**」を参照してください。

19.5　動作

19.5.1　マスタ／スレーブモード

マスタ／スレーブの選択は CSIGnCTL2.CSIGnPRS[2:0]ビットで行い、マスタを選択した場合は、送信クロックのソースクロックも選択する必要があります。

19.5.1.1　マスタモード

マスタモードでは、シリアル送信クロックが内蔵のボーレートジェネレータ（BRG）によって生成され、CSIGTSCK 信号を介してスレーブに供給されます。

マスタモードは、CSIGnCTL2.CSIGnPRS[2:0]を 111_B 以外の任意の値に設定することによって有効になります。マスタモードでは、CSIGnCTL2. CSIGnPRS[2:0]ビットと CSIGnCTL2.CSIGnBRS[11:0]ビットを組み合わせて設定することで BRG の周波数を設定できます。

CSIGTSCK のデフォルトレベルは、CSIGTSCK のクロック反転機能ビットの状態によって異なります。CSIGTSCK のデフォルトレベルは、CSIGnCTL1.CSIGnCKR＝0 であればハイレベルであり、CSIGnCTL1.CSIGnCKR＝1 であればロウレベルです。

以下の例は、データ長 8 ビット、CSIGnCTL1.CSIGnCKR＝0、CSIGnCFG0.CSIGnDAP＝0、MSB ファーストのときのマスタモードの通信を示しています。

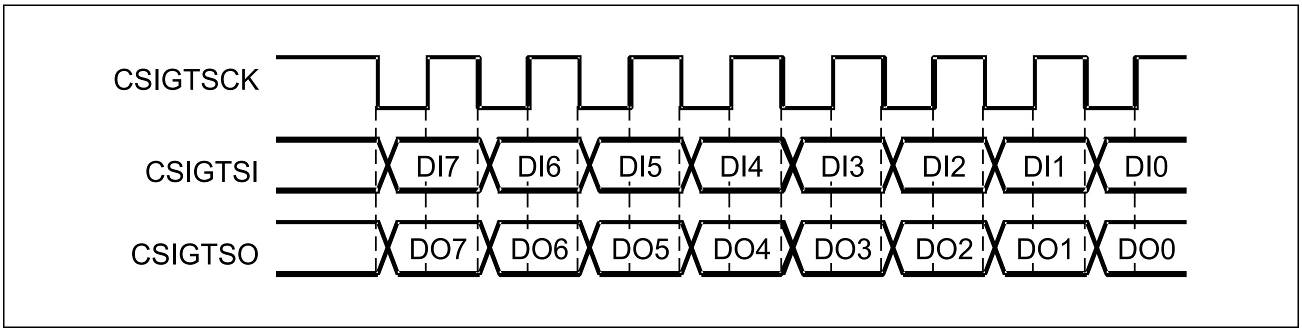


図 19.6　マスタモードでの送受信

19.5.1.2　スレーブモード

スレーブモードでは、ほかのデバイスが通信マスタになります。外部クロックは CSIGTSCK 信号を介して供給されます。クロック信号が検出されると、ただちに送信動作または受信動作が開始されます。

スレーブモードは、CSIGnCTL2.CSIGnPRS[2:0]を 111_B に設定することによって選択されます。

備　考

スレーブモードを使用するときは、CSIGnCTL2.CSIGnBRS[11:0]ビットを 000_H に設定することによってボーレートジェネレータ（BRG）を無効にします。

以下の例は、データ長 8 ビット、CSIGnCTL1.CSIGnCKR＝0、CSIGnCFG0.CSIGnDAP＝0、MSB ファーストのときのスレーブモードの通信を示しています。

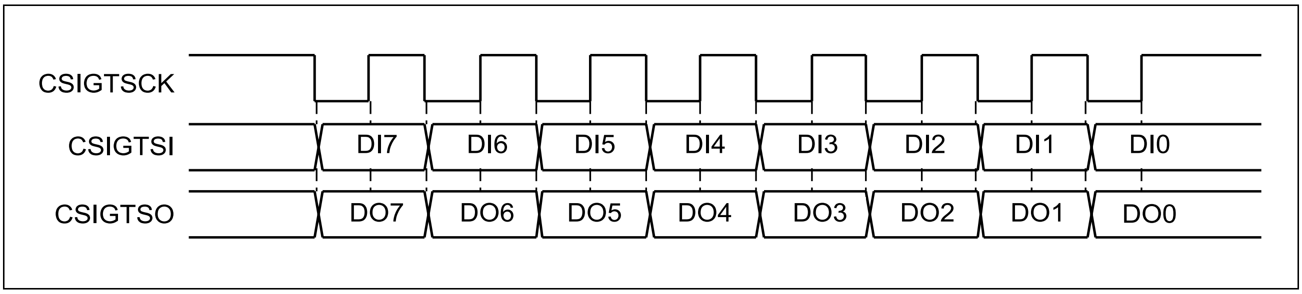


図 19.7　スレーブモードでの送受信

19.5.2　マスタ／スレーブの接続

19.5.2.1　マスタ 1、スレーブ 1 の場合

以下の図は、1 つのマスタと 1 つのスレーブの間の接続を示しています。

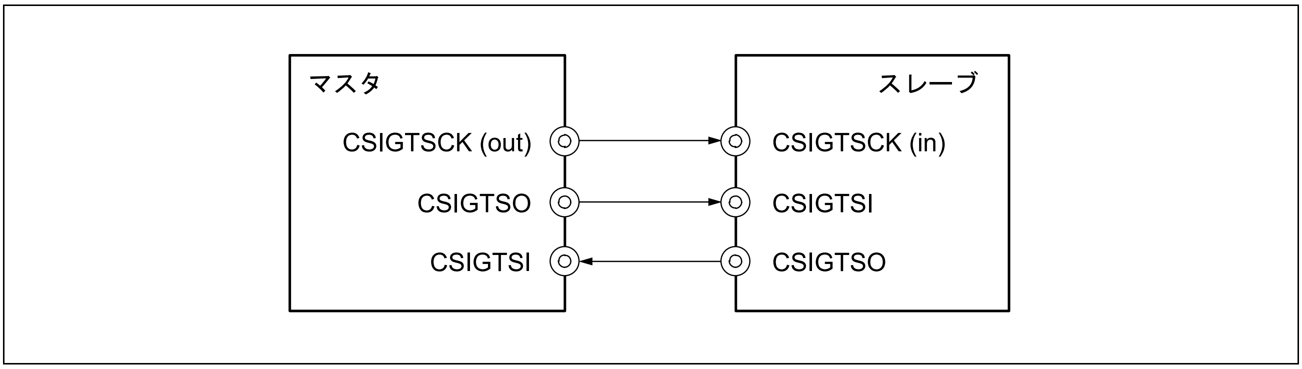


図 19.8　マスタ／スレーブの直接接続

19.5.2.2　　マスタ 1、スレーブ複数の場合

以下の図は、1 つのマスタと複数のスレーブの間の接続を示しています。この場合、マスタは各スレーブに 1 つずつスレーブ選択（SS：Slave Select）信号を供給する必要があります。この信号は、スレーブのスレーブ選択入力 $\overline{\text{CSIGTSSI}}$ に接続されます。

$\overline{\text{CSIGTSSI}}$ 信号は、CSIGnCTL1.CSIGnSSE ビットを使用して有効または無効にすることができます。

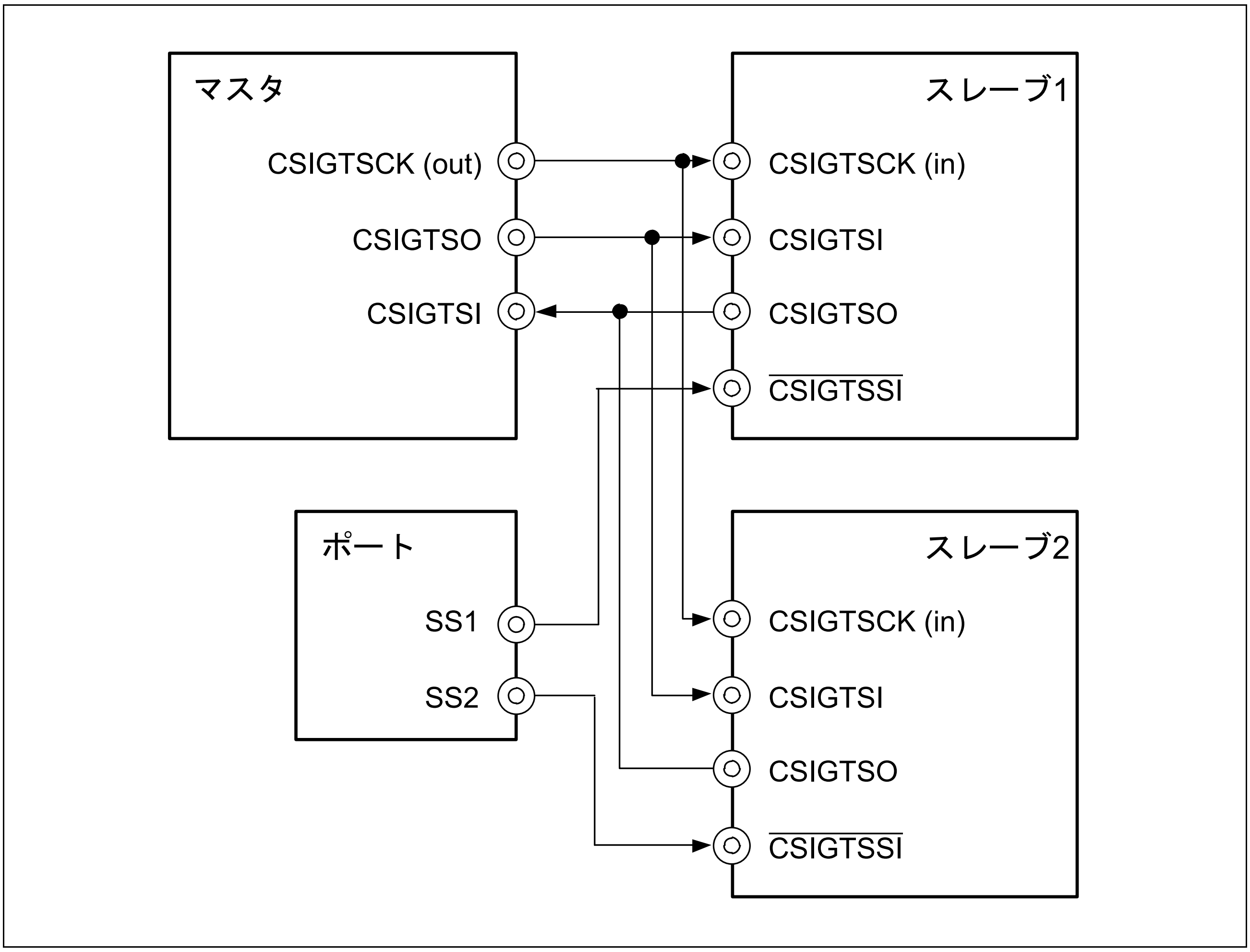


図 19.9　 1 つのマスタと複数のスレーブの間の接続

スレーブは、スレーブの $\overline{\text{CSIGTSSI}}$ 信号がロウレベルのときに選択されます（有効になります）。

選択されていないスレーブは、データの受信も送信も行いません。また、送信専用モードまたは送受信モードに設定されている（CSIGnCTL0.CSIGnTXE＝1）とき、選択されていないスレーブの CSIGTSO 出力バッファは、選択されているほかのスレーブの出力と干渉しないように、入力モードに設定され、無効になります。

19.5.3　送信クロックの選択

マスタモードでは、CSIGnCTL2 レジスタの CSIGnPRS[2:0]ビットと CSIGnBRS[11:0]ビットを使用して転送クロック周波数を選択できます。

BRG のブロック図を以下に示します。

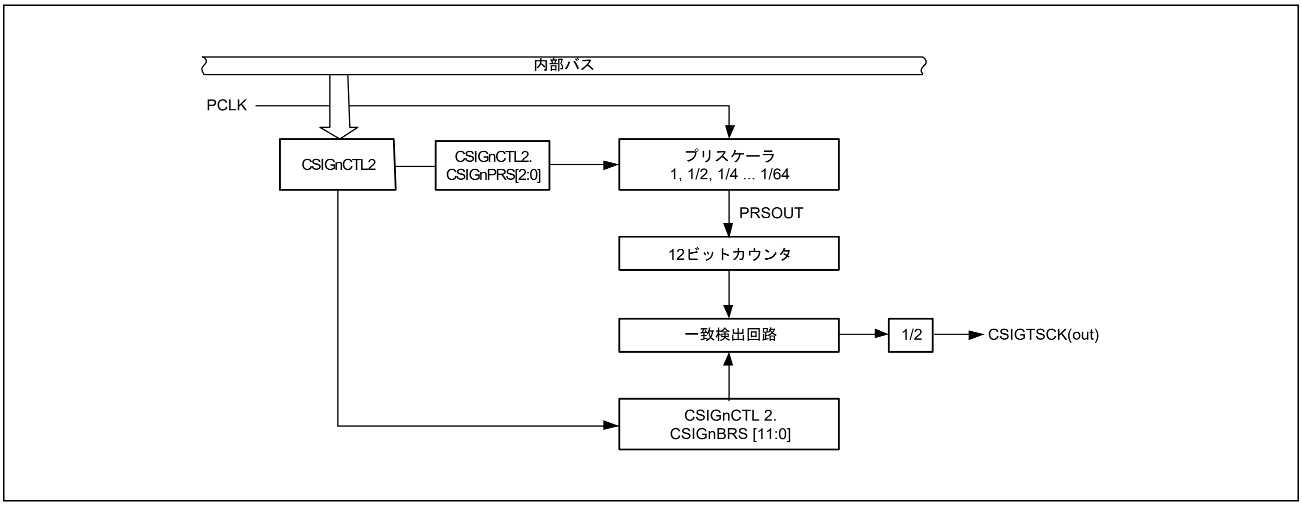


図 19.10　BRG のブロック図

CSIGnCTL2.CSIGnBRS[11:0]を 000_H に設定すると、BRG が無効になります。

転送クロック周波数の計算

マスタモード時の転送クロック周波数は以下の式で計算します。

転送クロック周波数 (CSIGTSCK)＝PCLK / (PCLK の分周比) ＝ PCLK / (2^{α} ×k×2)

ただし、

α＝CSIGnCTL2.CSIGnPRS[2:0]＝0～6

k＝CSIGnCTL2.CSIGnBRS[11:0]＝1～4095

転送クロック周波数の上限と下限

転送クロック周波数を設定するときは、以下のことに注意してください。

- 本製品のマスタモードおよびスレーブモードの最大転送クロック周波数は電気的特性で示す CSIG タイミングを参照してください。また、いずれのモードにおいても、規定の周波数内となるように設定してください。
- 転送クロックの最小周波数は、マスタ・スレーブモードともに PCLK / 524160 です
- 転送クロックの最大周波数は、以下の通りです。
  - マスタモード：10.0MHz（ただし、PCLK/4 以下）
  - スレーブモード：5.0MHz（ただし、PCLK/6 以下）

19.5.4　データ転送モード

19.5.4.1　送信専用モード

CSIGnCTL0.CSIGnTXE＝1、CSIGnCTL0.CSIGnRXE＝0 に設定すると、CSIG は送信専用モードになります。
CSIGnTX0W レジスタまたは CSIGnTX0H レジスタに送信データが書き込まれると、送信が開始されます。

注　意

いずれかの受信モードから送信専用モードに入った場合は、最初の送信が完了したあと、CSIGnRX0 バッファのデータが未定義になります。

したがって、送信専用モードに切り換える前に受信レジスタ CSIGnRX0 を読み出す必要があります。

19.5.4.2　受信専用モード

CSIGnCTL0.CSIGnTXE＝0、CSIGnCTL0.CSIGnRXE＝1 に設定すると、CSIG は受信専用モードになります。

マスタモードでは、CSIGnRX0 レジスタのダミーデータを読み出すと受信が開始されます。
CSIGnBCTL0.CSIGnSCE＝1 であれば、それ以降の全ての受信は CSIGnRX0 レジスタからの読み出しによってトリガされます。

さらに、最後に受信したデータを CSIGnRX0 から読み出す前に、CSIGnBCTL0.CSIGnSCE に 0 を設定する必要があります。

推奨されている手順を以下に示します。

1. CSIGnBCTL0.CSIGnSCE＝1 に設定します。
2. CSIGnRX0（ダミーデータ）を読み出します。
3. 受信割り込み INTCSIGTIR を待機します。
4. CSIGnRX0（受信データ）を読み出します。
   手順 3 でデータの受信が続いた場合は、すべてのデータを受信するまで読み出しを続けます。
   最後に受信したデータを CSIGnRX0 から読み出す前に、CSIGnBCTL0.CSIGnSCE＝0 に設定します。

スレーブモードでは、マスタから通信クロック CSIGTSCK が供給されると、受信が開始されます。この場合、スレーブの CSIGnRX0 レジスタのデータを読み出す必要はありません。

備　考

スレーブモードでは、データが上書きされないように、すでに受信しているデータを受信レジスタ CSIGnRX0 から読み出す必要があります。

19.5.4.3　送受信モード

CSIGnCTL0.CSIGnTXE＝1 かつ CSIGnCTL0.CSIGnRXE＝1 に設定すると、CSIG は送受信モードになります。

CSIGnTX0W レジスタまたは CSIGnTX0H レジスタに送信データが書き込まれると、データ転送（送信と受信）が開始されます。

19.5.5　データ長の選択

19.5.5.1　データ長が拡張されていない場合のデータ長の選択

CSIGnCFG0 レジスタの CSIGnDLS[3:0]ビットを使用して、送信データ長を 7 ビットから 16 ビットの間に設定することができます。以下の例は、MSB ファースト（CSIGnCFG0.CSIGnDIR＝0）での通信を示しています。

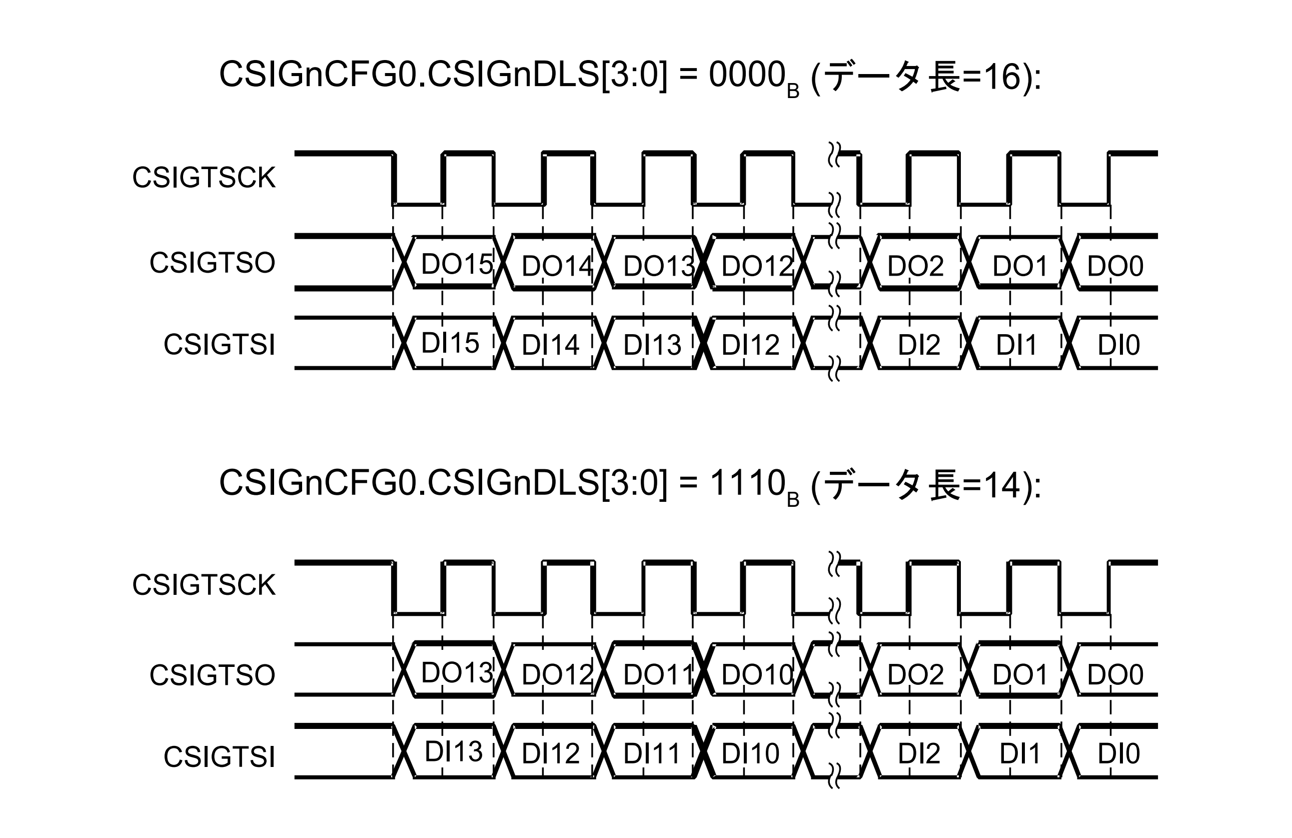


図 19.11　データ長選択機能

19.5.5.2　データ長が拡張されている場合のデータ長の選択

16 ビットを上回るデータを送受信する場合は、拡張データ長（EDL）機能を使用できます。

EDL 機能は、CSIGnCTL1.CSIGnEDLE ビットを 1 にセットすることによって有効になります。

EDL 機能の動作および設定手順を次に示します。

- データを 16 ビットのブロックと剰余部分に分割する必要があります。たとえば、42 ビットのデータは 2 つの 16 ビットブロックと 10 ビットに分割します。
- 剰余部分のビット長は、CSIGnCFG0.CSIGnDLS[3:0]ビットに、「データ長」として設定します。
- 16 ビットのブロックを送信するときは、CSIGnTX0W.CSIGnEDL ビットをセット（1）してください。この場合、CSIGnTX0W レジスタに書き込まれるデータは、CSIGnCFG0.CSIGnDLS[3:0]ビットの設定に関係なく、データ長 16 ビットのデータとして送信されます。
- 指定されたデータ長（CSIGnTX0W.CSIGnEDL＝0 のときの剰余部分）のデータが送信されると転送が完了します。

例：

$123456789A_H$ という 40 ビットのデータを送信する例

40 ビットを 2×16 ビットと 8 ビットに分割します。

- CSIGnCFG0.CSIGnDLS[3:0]＝8_D に初期化します。
- $123456789A_H$ を MSB ファーストで送信するには、以下のシーケンスを CSIGnTX0W に書き込みます。
  - 2000 1234_H (CSIGnTX0W.CSIGnEDL＝1)
  - 2000 5678_H (CSIGnTX0W.CSIGnEDL＝1)
  - 0000 $009A_H$ (CSIGnTX0W.CSIGnEDL＝0)

以下の図にタイミングを示します。

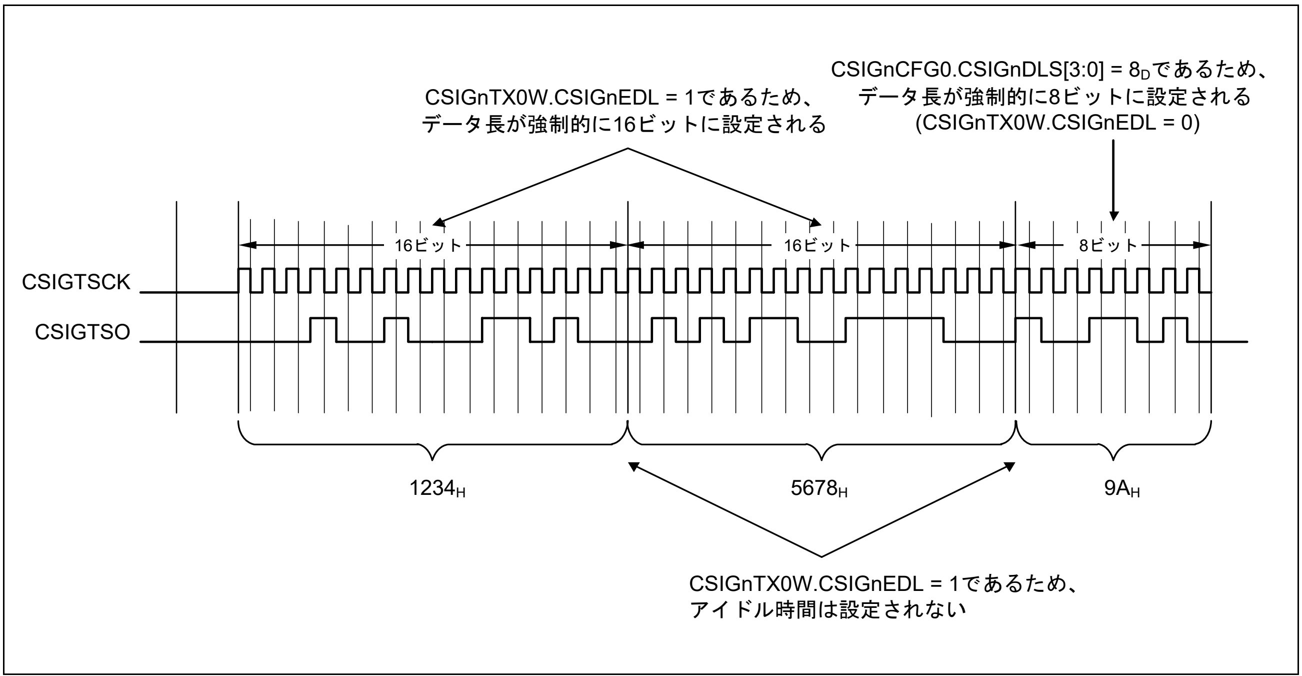


図 19.12　EDL のタイミング図

備　考

1. 7 ビット未満のデータ長は、EDL モードを使用するときにのみ設定できます。
2. データ長が 7 ビット未満のデータを 2 つ続けて送信することはできません。
3. パリティが有効になっていると、最後のビットの後ろにパリティビットが追加されます。
4. 以下の例でデータ方向について説明します。
   - 送信されるデータ：123456_H
   - MSB ファースト
     CSIGnCFG0.CSIGnDIR＝0 に設定
     CSIGnTX0W＝2000 1234_H を書き込み（EDL ビット＝1）
     CSIGnTX0W＝0000 0056_H を書き込み（EDL ビット＝0）
   - LSB ファースト
     CSIGnCFG0.CSIGnDIR＝1 に設定
     CSIGnTX0W＝2000 3456_H を書き込み（EDL ビット＝1）
     CSIGnTX0W＝0000 0012_H を書き込み（EDL ビット＝0）
5. EDL モードは、スレーブモードの受信専用モードでは使えません。
   （CSIGnCTL2.CSIGnPRS[2:0]＝111_B, CSIGnCTL0.CSIGnTXE＝0, CSIGnCTL0.CSIGnRXE＝1）

19.5.6　シリアルデータ方向選択機能

CSIGnCFG0 レジスタの CSIGnDIR ビットを使用してシリアルデータの方向を選択できます。

以下の例は 8 ビットデータ（CSIGnCFG0.CSIGnDLS[3:0]＝1000_B）の通信を示しています。

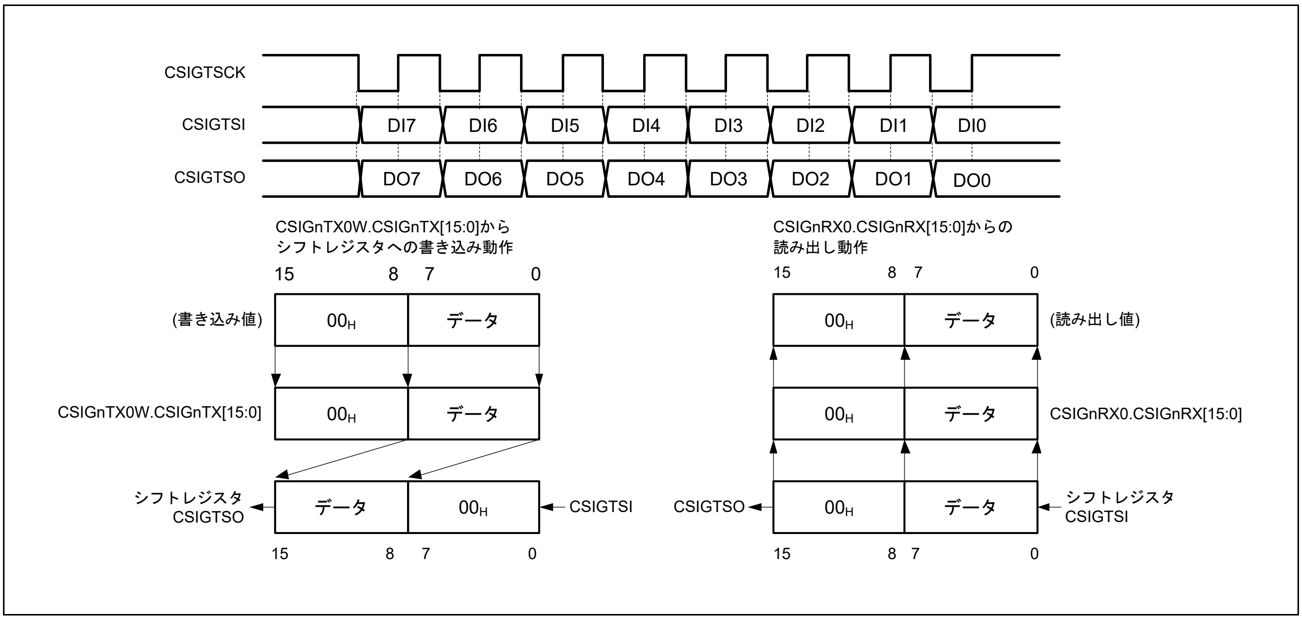


図 19.13　シリアルデータ方向選択機能 ― MSB ファースト（CSIGnDIR＝0）

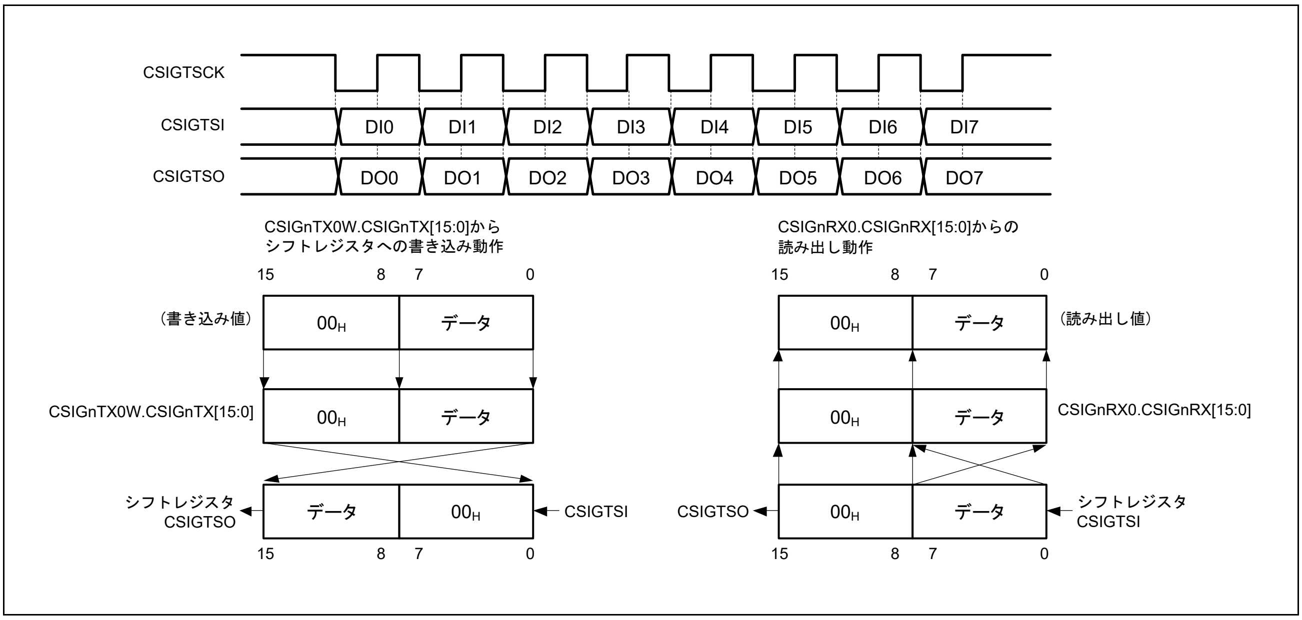


図 19.14　シリアルデータ方向選択機能 ― LSB ファースト（CSIGnDIR＝1）

19.5.7　スレーブモードでの通信

以下の図は、スレーブモードでの通信の信号とタイミングを示しています。

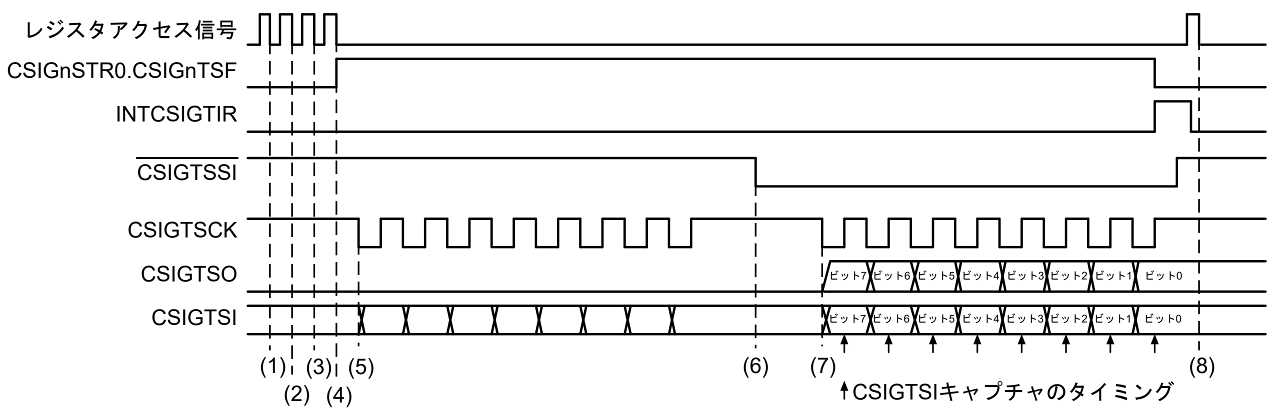


図 19.15　スレーブモードでの受信／送信の通信タイミング

1. スレーブモードを選択（CSIGnCTL2.CSIGnPRS[2:0]＝111$_B$）、$\overline{\text{CSIGTSSI}}$ 信号が有効（CSIGnCTL1.CSIGnSSE＝1）、クロック位相はハイレベル（CSIGnCTL1.CSIGnCKR＝0）に設定します。
2. データ長は 8 ビット（CSIGnCFG0.CSIGnDLS[3:0]＝1000$_B$）
データ方向は MSB ファースト（CSIGnCFG0.CSIGnDIR＝0）に設定します。
3. 送受信モード（CSIGnCTL0.CSIGnPWR＝1, CSIGnCTL0.CSIGnTXE＝1, CSIGnCTL0.CSIGnRXE＝1）に設定します。
4. 転送データが送信レジスタ CSIGnTX0H に書き込まれると、転送ステータスフラグ CSIGnSTR0.CSIGnTSF が自動的にセットされ、$\overline{\text{CSIGTSSI}}$ 信号がロウレベルになるのを待ちます。
5. $\overline{\text{CSIGTSSI}}$ 信号がハイレベルである間は、シリアルクロック入力が供給されていても、送受信は開始されません。CSIGTSO は値を保持し CSIGTSI への入力は無視されます。
6. $\overline{\text{CSIGTSSI}}$ がロウレベルになると、CSIGTSO が有効になります。
7. $\overline{\text{CSIGTSSI}}$ がロウレベル時にシリアルクロックが入力されると転送データはシリアルクロックに同期して CSIGTSO に送信されます。同時に CSIGTSI からデータを受信します。
8. CSIGnRX0 レジスタを読み出します。

19.5.8　ハンドシェーク機能

CSIG はマスタデバイスとスレーブデバイスを同期させるハンドシェーク機能を備えています。この機能は CSIGnCTL1.CSIGnHSE ビットで有効または無効にすることができます。ハンドシェークでは、CSIGTRYI、CSIGTRYO 信号を使用します。

ビジーとなるタイミングはデータ位相選択 CSIGnCFG0.CSIGnDAP ビットの設定によって異なります。

19.5.8.1　スレーブモード

CSIGnCTL1.CSIGnHSE＝1 のとき、スレーブはビジー状態になると CSIGTRYO がロウレベルを出力します。すでに受信したデータがまだ CSIGnRX0 レジスタにあるため、シフトレジスタから CSIGnRX0 へ新しいデータをコピーできないと、この状態になります（CSIGnRX0 フル状態）。

以下の例では、8 ビットのデータ長を想定しています。

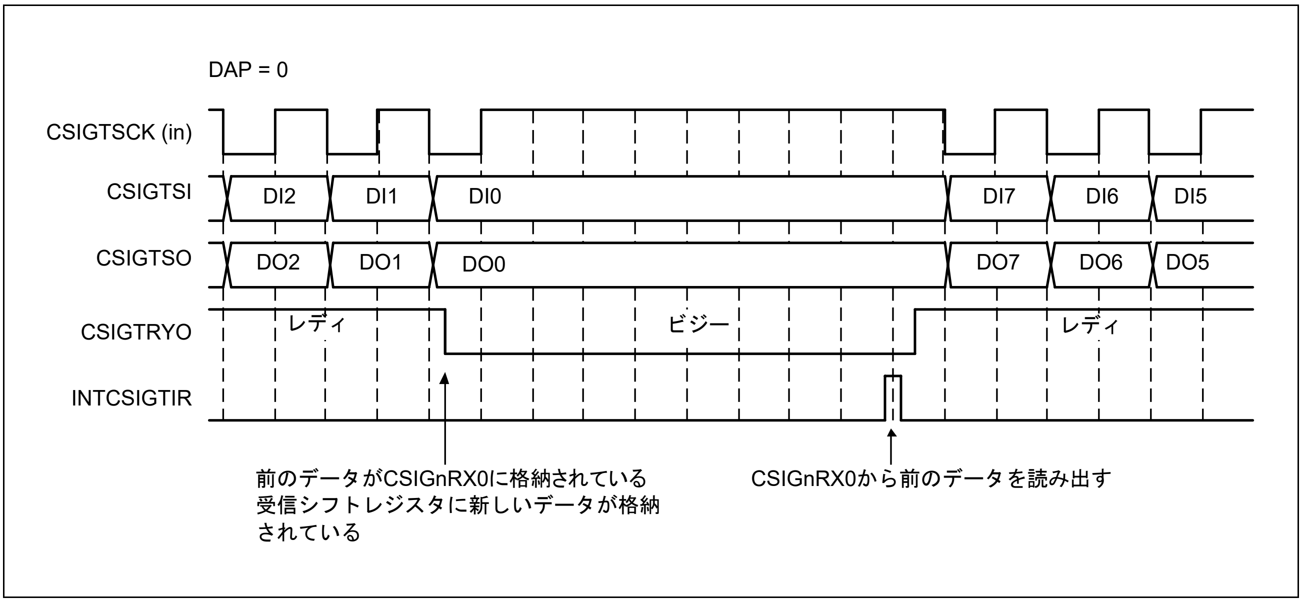


図 19.16　スレーブからのレディ／ビジー信号（CSIGnCFG0.CSIGnDAP＝0）

スレーブがビジーである間、マスタは待機する（送信クロックを停止させる）必要があります。受信レジスタ CSIGnRX0 からの読み出しが完了すると、ただちにスレーブは CSIGTRYO をハイ（「レディ」）に設定します。

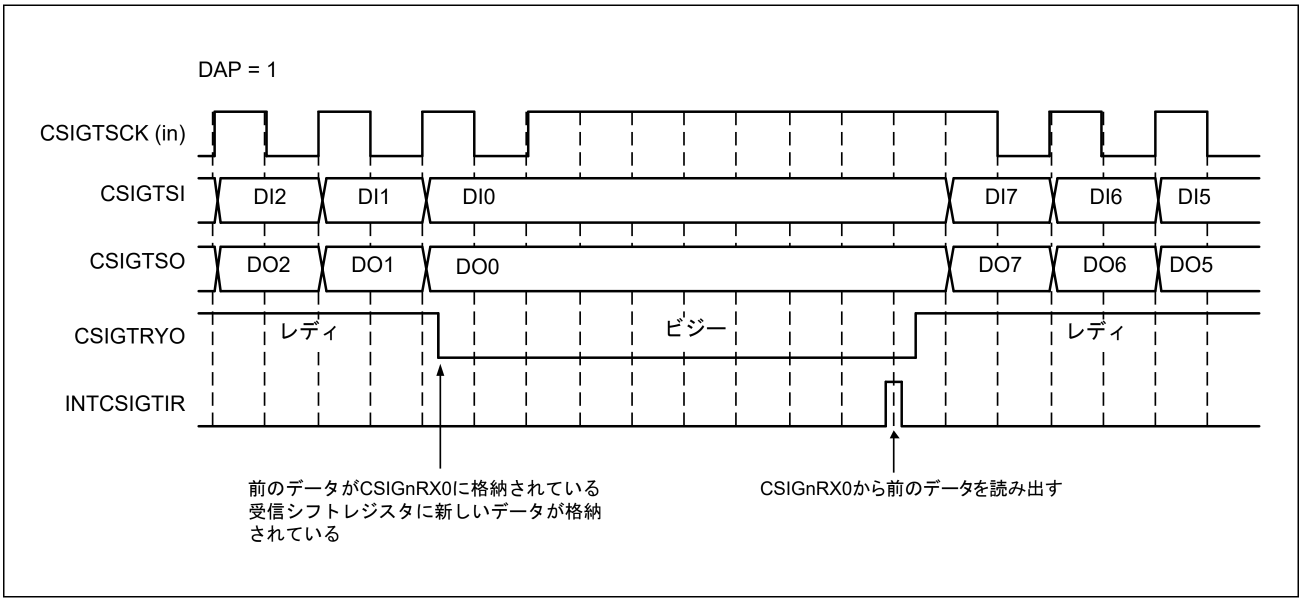


図 19.17 スレーブからのレディ／ビジー信号（CSIGnCFG0.CSIGnDAP＝1）

19.5.8.2 マスタモード

CSIGnCTL1.CSIGnHSE＝1 のとき、マスタが CSIGTRYI のロウレベルを検出すると、それ以降の転送が保留され、マスタは待機状態に入ります。マスタは CSIGTSCK へのクロックの出力を停止します。

CSIGTRYI のレベルは、CSIGTSCK の半周期ごとにチェックされます。

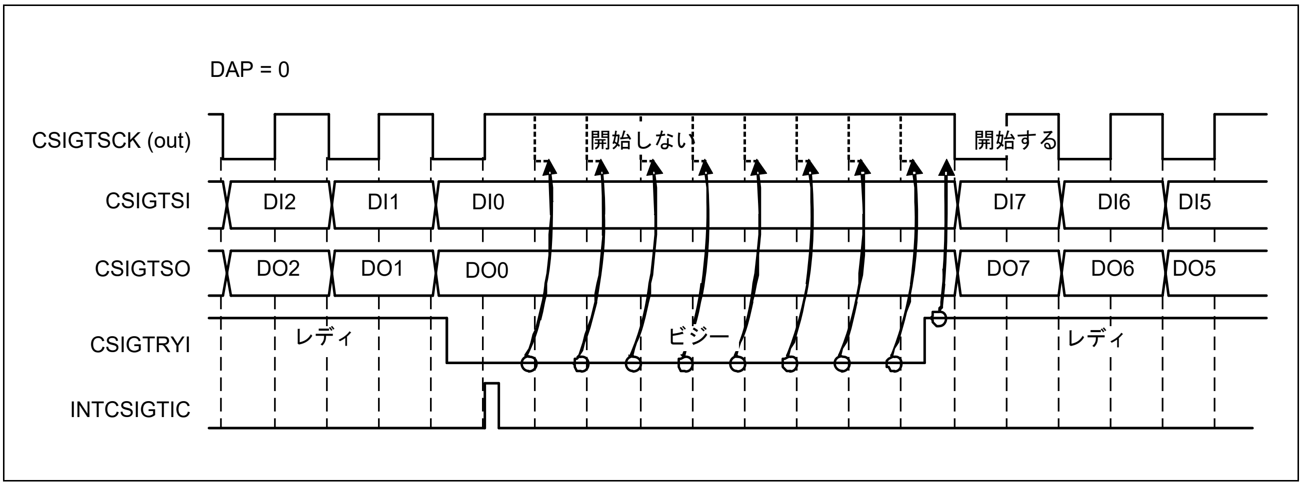


図 19.18 CSIGTRYI に対するマスタの反応（CSIGnCFG0.CSIGnDAP＝0）

データの転送中に CSIGTRYI ロウ信号がスレーブから送信されると、転送が完了したあと、シリアルクロックが停止します。

マスタは CSIGTRYI がハイになる（スレーブが「レディ」状態になる）と、ただちに通信を再開します。

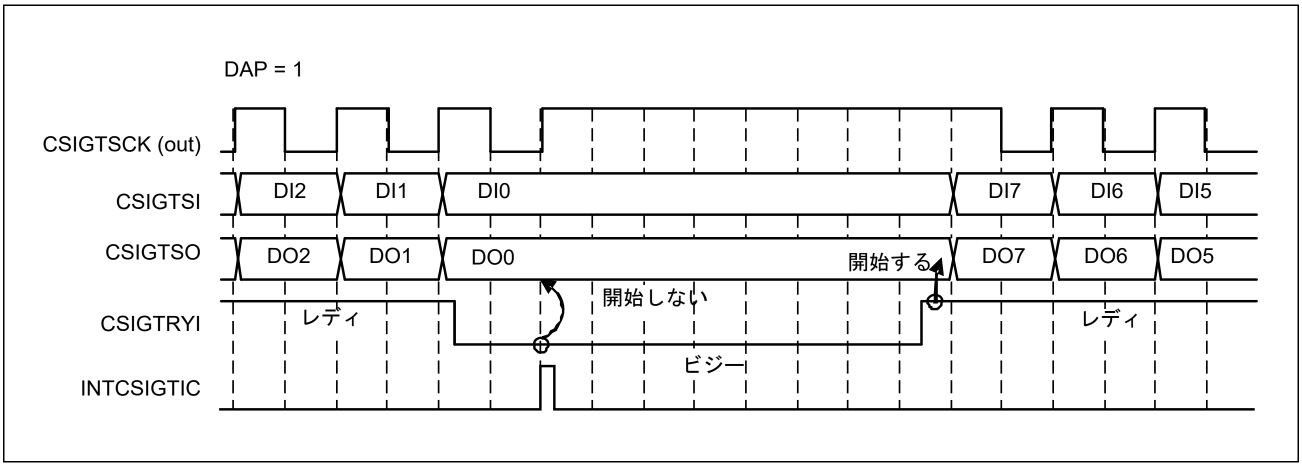


図 19.19 CSIGTRYI に対するマスタの反応（CSIGnCFG0.CSIGnDAP＝1）

注 意

複数のスレーブが接続されている場合、マスタは、通信相手として選択したスレーブからの CSIGTRYI 信号だけを検出する必要があります。

次の転送が始まる前にスレーブは、マスタの CSIGTRYI をロウレベルに下げる必要があります。転送中にスレーブがこの信号をロウレベルに下げても、転送は完了するまで継続します。

19.5.9　ループバックモード

ループバックモードは自己テスト用の特殊なモードです。この機能はマスタモードでのみ利用できます。

このモードがアクティブ（CSIGnCTL1.CSIGnLBM＝1）になっていると、以下の図に示すように、送信信号と受信信号が内部で接続されます。CSIGTSCK 信号、CSIGTSO 信号、CSIGTSI 信号はポートから切り離されます。さらに、CSIGTSO の出力レベルがロウレベルに固定され、CSIGTSCK はリセットレベル（High）に設定されます。CSIG のそれ以外の部分は通常どおりに動作します。

CSIG をテストするには、ループバックモードに設定し、通常の転送操作を実行します。その後、受信データが送信データと同じかどうかをチェックします。

表 19.39　端子の出力レベル

端子名	出力レベル
CSIGTSCK (out)	ハイレベル
CSIGTSO	ロウレベル（それまでの値に依存しない）
割り込み	通常の機能
CSIGTRYO	通常の機能（ロウレベル）

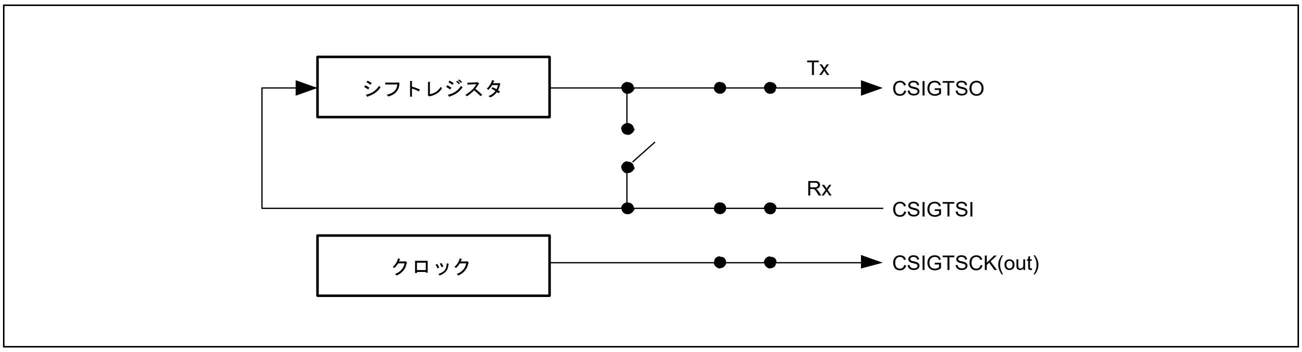


図 19.20　通常の動作

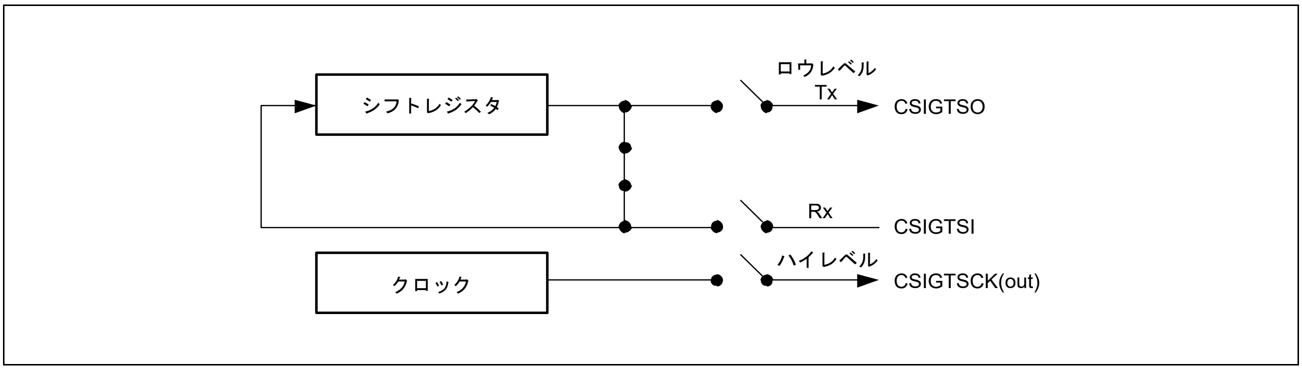


図 19.21　ループバックモードでの動作

19.5.10　エラー検出

CSIG は 3 つのエラータイプを検出することができます。

- データ整合性チェックエラー（送信データ）
- パリティエラー（受信データ）
- オーバランエラー（受信データ）

データ整合性チェックエラー、パリティエラーのチェック機能は個別に有効または無効にすることができます。いずれかのエラーが検出されると、割り込み INTCSIGTIRE が発生します。

19.5.10.1　データ整合性チェック

データ整合性チェックの目的は、出力信号として物理的に送信されたデータがシフトレジスタへコピーされた元のデータと同じかどうかを確認することです。

データ整合性チェックは CSIGnCTL1.CSIGnDCS ビットで有効または無効にすることができます（データ整合性チェックを行う場合は、CSIGTSO を必ず PIPCn.PIPCn_m＝1 に設定してください）。データ送信が禁止されていると（CSIGnCTL0.CSIGnTXE＝0）、データ整合性チェックはアクティブになりません。

データ整合性チェックがアクティブになっていると、CSIGnTX0W または CSIGnTX0H からシフトレジスタへ転送されたデータが別のレジスタへコピーされます。さらに、出力信号 CSIGTSO の物理的なレベルがキャプチャされ、その論理的な解釈が独自のシフトレジスタに書き込まれます。

送信が完了すると、送信されたデータと元の送信データとの比較が行われます。

データの不一致はデータ整合性チェックエラーと見なされます。

- 割り込み INTCSIGTIRE が発生します。
- CSIGnSTR0.CSIGnDCE ビットがセットされます。

データ整合性チェックの機能を以下のブロック図に示します。

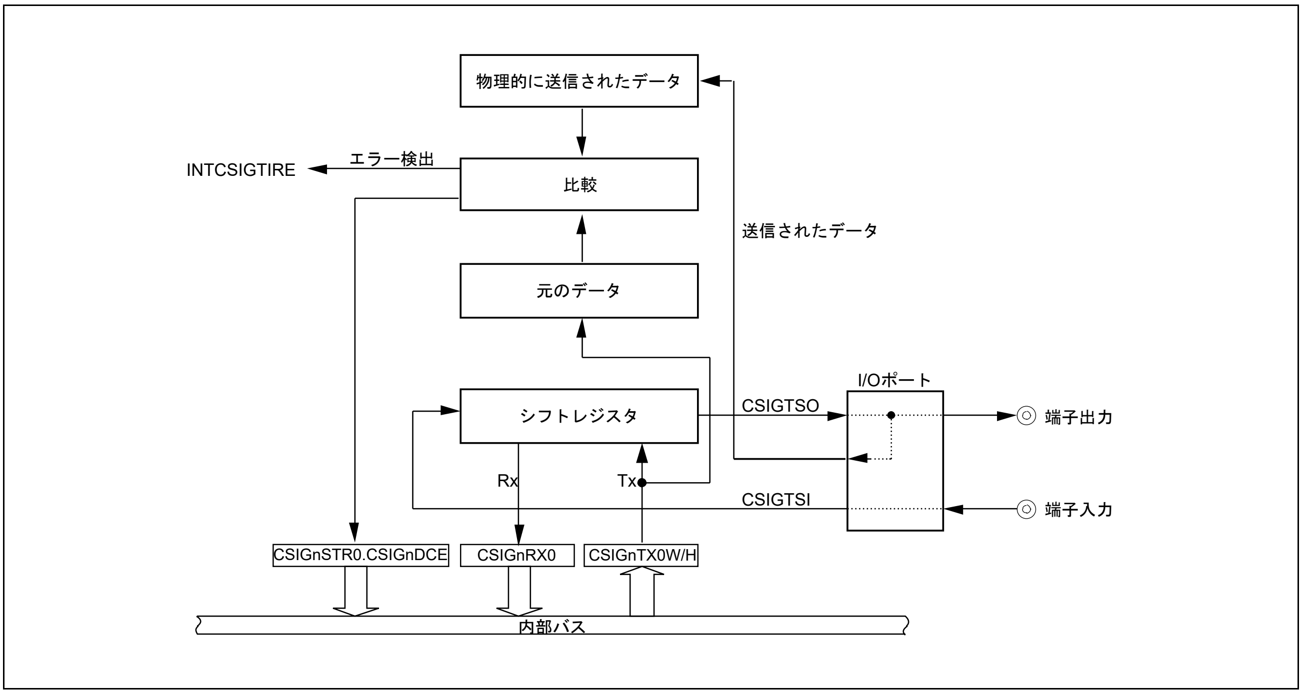


図 19.22　データ整合性チェックの機能ブロック図

19.5.10.2 パリティチェック

パリティはデータ送信中の単一ビットエラーを検出する手段としてよく使われます。CSIG では、最後のデータビットの後ろにパリティビットを追加することができます（拡張データ長が使われている場合を含む）。

パリティを使用するかどうかとパリティのタイプは CSIGnCFG0.CSIGnPS[1:0]で指定されます。

CSIGnCFG0.CSIGnPS[1]＝1 であれば、パリティチェックが有効になります。

パリティビットは受信完了後にチェックされます。パリティエラーが発生すると、以下のことが行われます。

- 割り込み INTCSIGTIRE が発生します。
- CSIGnSTR0.CSIGnPE ビットがセットされます。

以下の図に例を示します。

データ長は 8 ビットです。送信されるデータは 05_H と 35_H です。パリティタイプは奇数です。

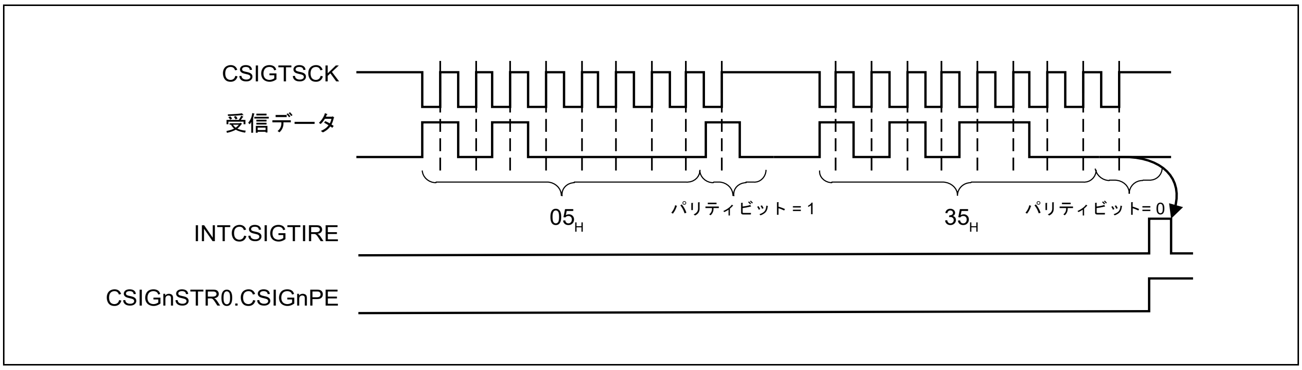


図 19.23 パリティチェックの例

先頭 8 ビットのパリティビットは 1 です。1 の総数（パリティビットを含む）が奇数であるため、パリティエラーは発生しません。

次の 8 ビットのパリティビットは 0 です。1 の総数（パリティビットを含む）が偶数であるため、これはパリティエラーとして検出されます。

拡張データ長（EDL）機能を使用した場合、パリティビットは、データの最後のビットの後ろに追加されます。

19.5.10.3 オーバランエラー

前に受信したデータが読み出されていないため、まだ受信レジスタ CSIGnRX0 に残っている状態で新しいデータを受信すると、このエラーが発生します。

データ受信が禁止されていると（CSIGnCTL0.CSIGnRXE＝0）、オーバランエラーは発生しません。

オーバランエラーが発生すると、以下のことが行われます。

- 割り込み INTCSIGTIRE が発生します。
- CSIGnSTR0.CSIGnOVE ビットがセットされます。
- CSIGnRX0 レジスタのデータは上書きされ、通信は継続します。

以下の図にオーバランエラー検出機能の仕組みを示します。

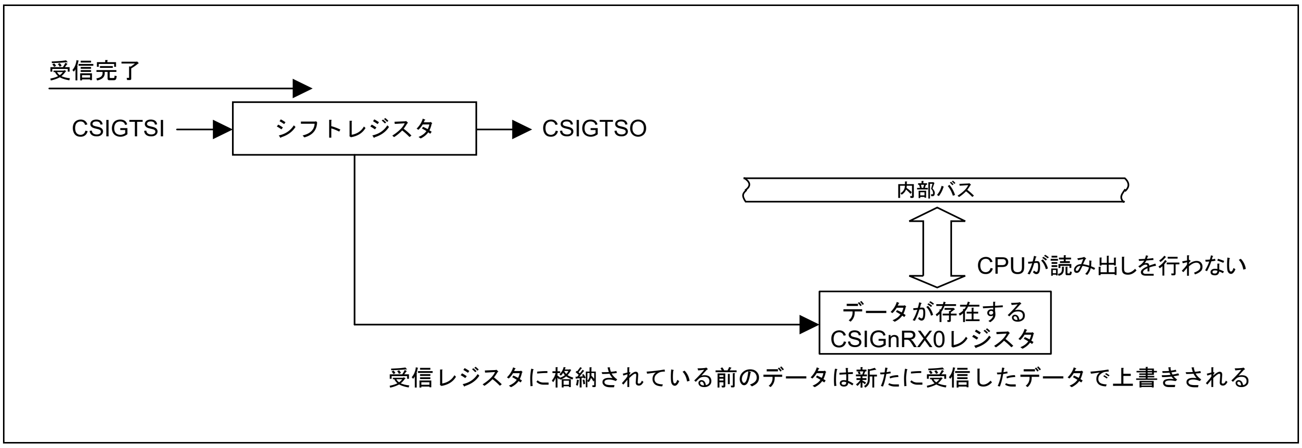


図 19.24　オーバランエラーの検出

以下の図に例を示します。

- 受信データ 3 は読み出されていません。
- 受信データ 4 が受信され、データは上書きされます。

したがって、オーバランエラーが発生します。

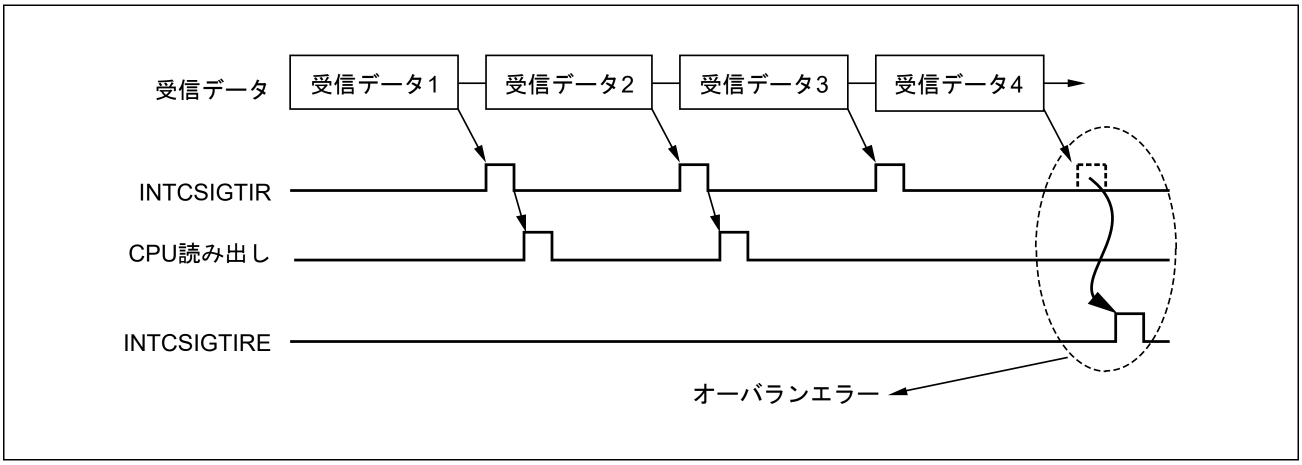


図 19.25　オーバランエラーの検出の例

備　考

オーバランエラーは、ハンドシェークを利用することで回避できます。

スレーブモードでハンドシェークを使用すると、受信側（スレーブ）は送信側（マスタ）に自分がビジーであることを伝えます。送信側は、受信側が自分の受信レジスタを読み出し、再びレディ状態になるまで待機します。

詳細については、「**19.5.8　ハンドシェーク機能**」を参照してください。

19.6 操作手順

19.6.1 DMA によるマスタモード送受信

ここでは、マスタモードでの送受信を DMA と組み合わせて行う例について説明します。

ここに示す手順では、以下の条件を想定しています。

- 送信データ長は 8 ビット（CSIGnCFG0.CSIGnDLS[3:0]＝1000_B）
- 送信方向は MSB ファースト（CSIGnCFG0.CSIGnDIR＝0）
- 転送の最後に INTCSIGTIC 割り込みを発生（CSIGnCTL1.CSIGnSLIT＝0）
- 通常のクロック位相とデータ位相（CSIGnCTL1.CSIGnCKR＝0, CSIGnCFG0.CSIGnDAP＝ 0）
- データの数は 10 個（0～9）

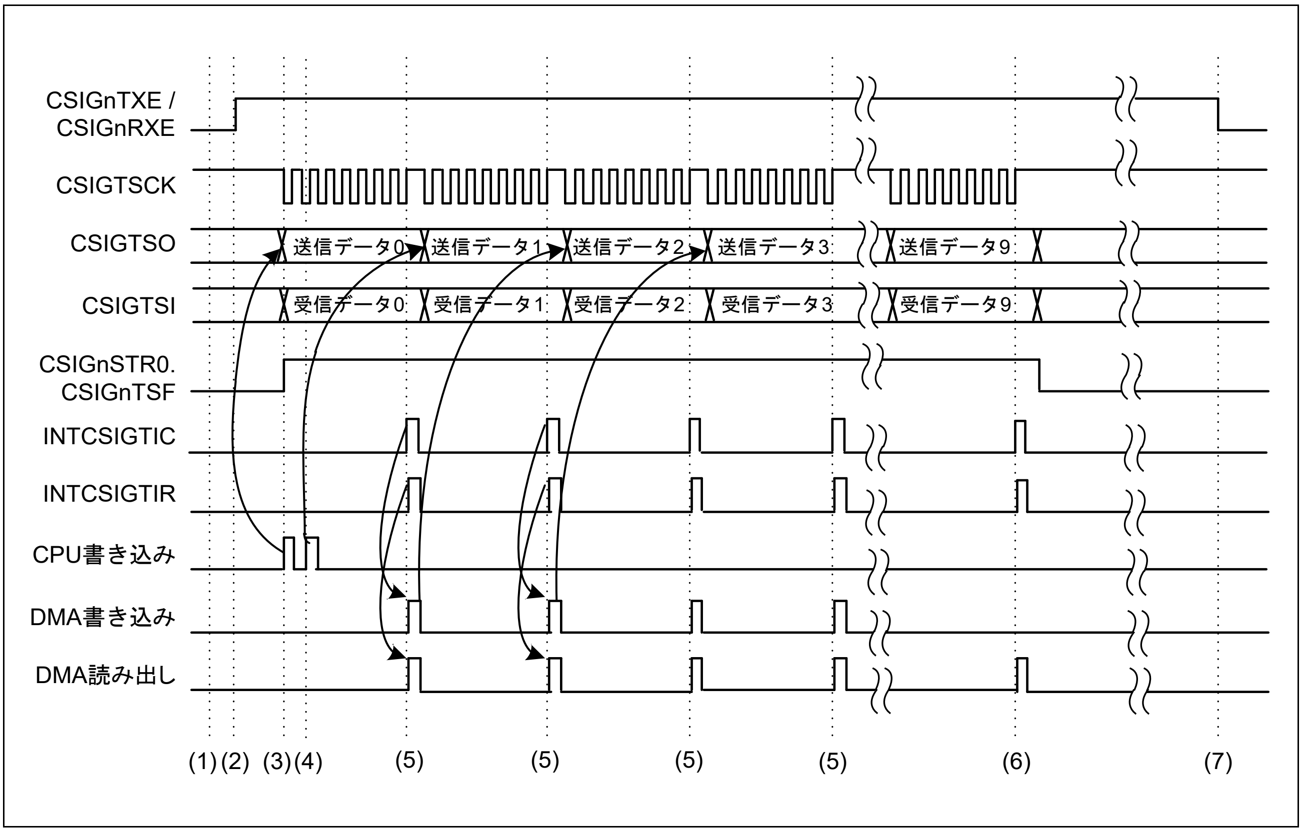


図 19.26 マスタモードでの通信

手順：

1. CSIGnCFG0 レジスタで通信プロトコルを設定します。CSIGnCTL1 レジスタと CSIGnCTL2 レジスタの対応するビットを設定することで、割り込みタイミングと動作モードなどを指定します。
2. CSIGnCTL0 レジスタで、CSIGnPWR＝1（クロック有効）、CSIGnTXE＝1（送信許可）、CSIGnRXE＝1（受信許可）に設定します。
3. 最初の送信データを送信レジスタ CSIGnTX0H に書き込みます。最初のデータが利用可能になると送信が自動的に開始されます。
4. 2 番目のデータを CSIGnTX0H に書き込みます。最初のデータを書き込んだ直後に 2 番目のデータを書き込むことで、データ間の不要な遅延を回避できます。
5. データが 1 つ送受信されるたびに割り込み INTCSIGTIC と INTCSIGTIR が発生します。INTCSIGTIC は、次のデータを CSIGnTX0H に書き込めることを示します。INTCSIGTIR は、受信レジスタ CSIGnRX0 を読み出す必要があることを示します。
   この例では、CPU 書き込みと DMA 書き込みを同じものと見なしています。
6. データ 8 の送信が完了すれば、それ以降の書き込みアクションは必要ありません。データ 9（最後のデータ）は、データ 7 送信後に書き込まれています。ただし、データ 8 とデータ 9 の受信が完了したあと、受信レジスタ CSIGnRX0 を読み出す必要があります。
7. 最後に、CSIGnCTL0.CSIGnTXE と CSIGnCTL0.CSIGnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIGn の消費電力を最小限にするために CSIGnCTL0.CSIGnPWR＝0 に設定してください。

第20章　クロック同期シリアルインタフェース H（CSIH）

本章では、クロック同期シリアルインタフェース H（CSIH）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1KH, RH850/F1KM に固有の特長について説明します。それ以降の節では、CSIH の機能、レジスタについて説明します。

20.1　RH850/F1KH, RH850/F1KM CSIH の特長

20.1.1　ユニット数

本製品は、以下に示すユニット数の CSIH を搭載しています。

CSIH 1 ユニット当たり 1 チャネルのインタフェースを持っています。

表 20.1　ユニット数 (RH850/F1KH-D8)

製品名	RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 324 Pin
ユニット数	5	5	5
名称	CSIHn（n＝0～4）	CSIHn（n＝0～4）	CSIHn（n＝0～4）

表 20.2　ユニット数 (RH850/F1KM-S4)

製品名	RH850/F1KM-S4 100 Pin	RH850/F1KM-S4 144 Pin	RH850/F1KM-S4 176 Pin	RH850/F1KM-S4 233 Pin	RH850/F1KM-S4 272 Pin
ユニット数	4	4	4	4	4
名称	CSIHn（n＝0～3）	CSIHn（n＝0～3）	CSIHn（n＝0～3）	CSIHn（n＝0～3）	CSIHn（n＝0～3）

表 20.3　ユニット数 (RH850/F1KM-S2)

製品名	RH850/F1KM-S2 100 Pin	RH850/F1KM-S2 144 Pin	RH850/F1KM-S2 176 Pin
ユニット数	4	4	4
名称	CSIHn（n＝0～3）	CSIHn（n＝0～3）	CSIHn（n＝0～3）

表 20.4　ユニット数 (RH850/F1KM-S1)

製品名	RH850/F1KM-S1 48 Pin	RH850/F1KM-S1 64 Pin	RH850/F1KM-S1 80 Pin	RH850/F1KM-S1 100 Pin
ユニット数	1	1	3	4
名称	CSIHn（n＝0）	CSIHn（n＝0）	CSIHn（n＝0～2）	CSIHn（n＝0～3）

表 20.5　添字 (RH850/F1KH-D8)

添字	説明
n	本章では、CSIH の各ユニットを「n」で識別します。たとえば、CSIHn 制御レジスタ 0 は CSIHnCTL0（n＝0～4）と記述します。
x	CSIHn は最大 8 個のチップセレクト信号を備えています。本章では、各チップセレクト信号を「x」で識別します。たとえば、特定のチップセレクト信号は CSx と記述します。
y	説明時における変数を「y」で識別します。たとえば、CSIHn ボーレート設定レジスタは CSIHnBRSy と記述します。

表 20.6　添字 (RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

添字	説明
n	本章では、CSIH の各ユニットを「n」で識別します。たとえば、CSIHn 制御レジスタ 0 は CSIHnCTL0（n＝0～3）と記述します。
x	CSIHn は最大 8 個のチップセレクト信号を備えています。本章では、各チップセレクト信号を「x」で識別します。たとえば、特定のチップセレクト信号は CSx と記述します。
y	説明時における変数を「y」で識別します。たとえば、CSIHn ボーレート設定レジスタは CSIHnBRSy と記述します。

各製品の添字が示す値を以下に示します。

表 20.7　各製品の添字対応 (RH850/F1KH-D8)

各製品の添字対応		
176 Pin	233 Pin	324 Pin
x の値は、「**表 20.11 チップセレクト数 (RH850/F1KH-D8)**」を参照してください		
y＝0～3		

表 20.8　各製品の添字対応 (RH850/F1KM-S4)

各製品の添字対応				
100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
x の値は、「**表 20.12 チップセレクト数 (RH850/F1KM-S4)**」を参照してください				
y＝0～3				

表 20.9　各製品の添字対応 (RH850/F1KM-S2)

各製品の添字対応		
100 Pin	144 Pin	176 Pin
x の値は、「**表 20.13 チップセレクト数 (RH850/F1KM-S2)**」を参照してください		
y＝0～3		

表 20.10　各製品の添字対応 (RH850/F1KM-S1)

各製品の添字対応			
48 Pin	64 Pin	80 Pin	100 Pin
x の値は、「**表 20.14 チップセレクト数 (RH850/F1KM-S1)**」を参照してください			
y＝0～3			

CSIH の各チャネルのチップセレクト信号の数を以下の表に示します。

表 20.11　チップセレクト数 (RH850/F1KH-D8)

ユニット名	チップセレクト数		
	176 Pin	233 Pin	324 Pin
CSIH0	CSx（x=0～7）	CSx（x=0～7）	CSx（x=0～7）
CSIH1	CSx（x=0～5）	CSx（x=0～5）	CSx（x=0～5）
CSIH2	CSx（x=0～5）	CSx（x=0～5）	CSx（x=0～5）
CSIH3	CSx（x=0～3）	CSx（x=0～3）	CSx（x=0～3）
CSIH4	CSx（x=0、1）	CSx（x=0、1）	CSx（x=0、1）

表 20.12 チップセレクト数 (RH850/F1KM-S4)

ユニット名	チップセレクト数				
	100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
CSIH0	CSx（x=0～7）	CSx（x=0～7）	CSx（x=0～7）	CSx（x=0～7）	CSx（x=0～7）
CSIH1	CSx（x=0～2、4、5）	CSx（x=0～5）	CSx（x=0～5）	CSx（x=0～5）	CSx（x=0～5）
CSIH2	CSx（x=0～3）	CSx（x=0～5）	CSx（x=0～5）	CSx（x=0～5）	CSx（x=0～5）
CSIH3	CSx（x=0～3）	CSx（x=0～3）	CSx（x=0～3）	CSx（x=0～3）	CSx（x=0～3）

表 20.13 チップセレクト数 (RH850/F1KM-S2)

ユニット名	チップセレクト数		
	100 Pin	144 Pin	176 Pin
CSIH0	CSx（x=0～7）	CSx（x=0～7）	CSx（x=0～7）
CSIH1	CSx（x=0～2、4、5）	CSx（x=0～5）	CSx（x=0～5）
CSIH2	CSx（x=0～3）	CSx（x=0～5）	CSx（x=0～5）
CSIH3	CSx（x=0～3）	CSx（x=0～3）	CSx（x=0～3）

表 20.14 チップセレクト数 (RH850/F1KM-S1)

ユニット名	チップセレクト数			
	48 Pin	64 Pin	80 Pin	100 Pin
CSIH0	CSx（x=0、1）	CSx（x=0～3）	CSx（x=0～7）	CSx（x=0～7）
CSIH1	—	—	CSx（x=0～3）	CSx（x=0～5）
CSIH2	—	—	CSx（x=0～3）	CSx（x=0～3）
CSIH3	—	—	—	CSx（x=0～3）

20.1.2　レジスタベースアドレス

CSIH のベースアドレスを以下の表に示します。

CSIH のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 20.15　レジスタベースアドレス (RH850/F1KH-D8)

ベースアドレス名	ベースアドレス
<CSIH0_base>	FFD8 0000_H
<CSIH1_base>	FFD8 2000_H
<CSIH2_base>	FFD8 4000_H
<CSIH3_base>	FFD8 6000_H
<CSIH4_base>	FFD9 0000_H

表 20.16　レジスタベースアドレス (RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ベースアドレス名	ベースアドレス
<CSIH0_base>	FFD8 0000_H
<CSIH1_base>	FFD8 2000_H
<CSIH2_base>	FFD8 4000_H
<CSIH3_base>	FFD8 6000_H

20.1.3　クロック供給

CSIH のクロック供給を以下の表に示します。

表 20.17　クロック供給 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	ユニットクロック名	供給クロック名	説明
CSIHn	PCLK	CKSCLK_ICSI	通信クロック
	レジスタアクセスクロック	CPUCLK_L, CKSCLK_ICSI	バスクロック

20.1.4　割り込み要求

CSIH の割り込み要求を以下の表に示します。

表 20.18　割り込み要求 (RH850/F1KH-D8)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
CSIH0			
INTCSIHTIC	通信ステータス割り込み	29	70
INTCSIHTIR	受信ステータス割り込み	30	71
INTCSIHTIRE	通信エラー割り込み	31	—
INTCSIHTIJC	ジョブ完了割り込み	20、32	72
CSIH1			
INTCSIHTIC	通信ステータス割り込み	16、116	28
INTCSIHTIR	受信ステータス割り込み	17、117	29
INTCSIHTIRE	通信エラー割り込み	27、118	—
INTCSIHTIJC	ジョブ完了割り込み	28、119	30
CSIH2			
INTCSIHTIC	通信ステータス割り込み	8、132	89
INTCSIHTIR	受信ステータス割り込み	10、133	90
INTCSIHTIRE	通信エラー割り込み	11、134	—
INTCSIHTIJC	ジョブ完了割り込み	12、135	91
CSIH3			
INTCSIHTIC	通信ステータス割り込み	9、158	41
INTCSIHTIR	受信ステータス割り込み	13、159	42
INTCSIHTIRE	通信エラー割り込み	14、160	—
INTCSIHTIJC	ジョブ完了割り込み	15、161	43
CSIH4			
INTCSIHTIC	通信ステータス割り込み	124	58
INTCSIHTIR	受信ステータス割り込み	125	59
INTCSIHTIRE	通信エラー割り込み	126	—
INTCSIHTIJC	ジョブ完了割り込み	127	76

表 20.19　割り込み要求 (RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
CSIH0			
INTCSIHTIC	通信ステータス割り込み	29	70
INTCSIHTIR	受信ステータス割り込み	30	71
INTCSIHTIRE	通信エラー割り込み	31	—
INTCSIHTIJC	ジョブ完了割り込み	20、32	72
CSIH1			
INTCSIHTIC	通信ステータス割り込み	16、116	28
INTCSIHTIR	受信ステータス割り込み	17、117	29
INTCSIHTIRE	通信エラー割り込み	27、118	—
INTCSIHTIJC	ジョブ完了割り込み	28、119	30
CSIH2			
INTCSIHTIC	通信ステータス割り込み	8、132	89
INTCSIHTIR	受信ステータス割り込み	10、133	90
INTCSIHTIRE	通信エラー割り込み	11、134	—
INTCSIHTIJC	ジョブ完了割り込み	12、135	91
CSIH3			
INTCSIHTIC	通信ステータス割り込み	9、158	41
INTCSIHTIR	受信ステータス割り込み	13、159	42
INTCSIHTIRE	通信エラー割り込み	14、160	—
INTCSIHTIJC	ジョブ完了割り込み	15、161	43

20.1.5　リセット要因

CSIH のリセット要因を以下に示します。CSIH は以下のリセット要因で初期化されます。

表 20.20　リセット要因 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	リセット要因
CSIHn	すべてのリセット要因（ISORES）

20.1.6 外部入出力信号

CSIH の外部入出力信号を以下の表に示します。

表 20.21 外部入出力信号 (RH850/F1KH-D8)

ユニット信号名	説明	ポート端子兼用信号名
CSIH0		
CSIHTSCK	シリアルクロック信号	CSIH0SC[注2]
CSIHTSI	シリアルデータ入力信号	CSIH0SI
$\overline{\text{CSIHTSSI}}$	スレーブ選択入力信号	$\overline{\text{CSIH0SSI}}$
CSIHTRYI	レディ／ビジー入力信号	CSIH0RYI
CSIHTSO	シリアルデータ出力信号	CSIH0SO[注2]
CSIHTRYO	レディ／ビジー出力信号	CSIH0RYO
CSIHTCSS[7:0][注1]	チップセレクト信号	CSIH0CSS[7:0][注1]
CSIH1		
CSIHTSCK	シリアルクロック信号	CSIH1SC[注2]
CSIHTSI	シリアルデータ入力信号	CSIH1SI
$\overline{\text{CSIHTSSI}}$	スレーブ選択入力信号	$\overline{\text{CSIH1SSI}}$
CSIHTRYI	レディ／ビジー入力信号	CSIH1RYI
CSIHTSO	シリアルデータ出力信号	CSIH1SO[注2]
CSIHTRYO	レディ／ビジー出力信号	CSIH1RYO
CSIHTCSS[5:0][注1]	チップセレクト信号	CSIH1CSS[5:0][注1]
CSIH2		
CSIHTSCK	シリアルクロック信号	CSIH2SC[注2]
CSIHTSI	シリアルデータ入力信号	CSIH2SI
$\overline{\text{CSIHTSSI}}$	スレーブ選択入力信号	$\overline{\text{CSIH2SSI}}$
CSIHTRYI	レディ／ビジー入力信号	CSIH2RYI
CSIHTSO	シリアルデータ出力信号	CSIH2SO[注2]
CSIHTRYO	レディ／ビジー出力信号	CSIH2RYO
CSIHTCSS[5:0][注1]	チップセレクト信号	CSIH2CSS[5:0][注1]
CSIH3		
CSIHTSCK	シリアルクロック信号	CSIH3SC[注2]
CSIHTSI	シリアルデータ入力信号	CSIH3SI
$\overline{\text{CSIHTSSI}}$	スレーブ選択入力信号	$\overline{\text{CSIH3SSI}}$
CSIHTRYI	レディ／ビジー入力信号	CSIH3RYI
CSIHTSO	シリアルデータ出力信号	CSIH3SO[注2]
CSIHTRYO	レディ／ビジー出力信号	CSIH3RYO
CSIHTCSS[3:0][注1]	チップセレクト信号	CSIH3CSS[3:0][注1]
CSIH4		
CSIHTSCK	シリアルクロック信号	CSIH4SC[注2]
CSIHTSI	シリアルデータ入力信号	CSIH4SI
$\overline{\text{CSIHTSSI}}$	スレーブ選択入力信号	$\overline{\text{CSIH4SSI}}$
CSIHTRYI	レディ／ビジー入力信号	CSIH4RYI
CSIHTSO	シリアルデータ出力信号	CSIH4SO[注2]
CSIHTRYO	レディ／ビジー出力信号	CSIH4RYO
CSIHTCSS[1:0][注1]	チップセレクト信号	CSIH4CSS[1:0][注1]

注1. チップセレクト信号数は、「**表 20.11 チップセレクト数 (RH850/F1KH-D8)**」を参照してください。

注2. CSIHnSO, CSIHnSC として使用するポートは、出力ドライバ強度をハイドライブ強度（PDSCn_m＝1）に設定してください。

表 20.22　外部入出力信号 (RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット信号名	説明	ポート端子兼用信号名
CSIH0		
CSIHTSCK	シリアルクロック信号	CSIH0SC 注 2
CSIHTSI	シリアルデータ入力信号	CSIH0SI
$\overline{\text{CSIHTSSI}}$	スレーブ選択入力信号	$\overline{\text{CSIH0SSI}}$
CSIHTRYI	レディ／ビジー入力信号	CSIH0RYI
CSIHTSO	シリアルデータ出力信号	CSIH0SO 注 2
CSIHTRYO	レディ／ビジー出力信号	CSIH0RYO
CSIHTCSS[7:0]注 1	チップセレクト信号	CSIH0CSS[7:0]注 1
CSIH1		
CSIHTSCK	シリアルクロック信号	CSIH1SC 注 2
CSIHTSI	シリアルデータ入力信号	CSIH1SI
$\overline{\text{CSIHTSSI}}$	スレーブ選択入力信号	$\overline{\text{CSIH1SSI}}$
CSIHTRYI	レディ／ビジー入力信号	CSIH1RYI
CSIHTSO	シリアルデータ出力信号	CSIH1SO 注 2
CSIHTRYO	レディ／ビジー出力信号	CSIH1RYO
CSIHTCSS[5:0]注 1	チップセレクト信号	CSIH1CSS[5:0]注 1
CSIH2		
CSIHTSCK	シリアルクロック信号	CSIH2SC 注 2
CSIHTSI	シリアルデータ入力信号	CSIH2SI
$\overline{\text{CSIHTSSI}}$	スレーブ選択入力信号	$\overline{\text{CSIH2SSI}}$
CSIHTRYI	レディ／ビジー入力信号	CSIH2RYI
CSIHTSO	シリアルデータ出力信号	CSIH2SO 注 2
CSIHTRYO	レディ／ビジー出力信号	CSIH2RYO
CSIHTCSS[5:0]注 1	チップセレクト信号	CSIH2CSS[5:0]注 1
CSIH3		
CSIHTSCK	シリアルクロック信号	CSIH3SC 注 2
CSIHTSI	シリアルデータ入力信号	CSIH3SI
$\overline{\text{CSIHTSSI}}$	スレーブ選択入力信号	$\overline{\text{CSIH3SSI}}$
CSIHTRYI	レディ／ビジー入力信号	CSIH3RYI
CSIHTSO	シリアルデータ出力信号	CSIH3SO 注 2
CSIHTRYO	レディ／ビジー出力信号	CSIH3RYO
CSIHTCSS[3:0]注 1	チップセレクト信号	CSIH3CSS[3:0]注 1

注1.　チップセレクト信号数は、「**表 20.12　チップセレクト数 (RH850/F1KM-S4)**」、「**表 20.13　チップセレクト数 (RH850/F1KM-S2)**」、「**表 20.14　チップセレクト数 (RH850/F1KM-S1)**」を参照してください。

注2.　CSIHnSO, CSIHnSC として使用するポートは、出力ドライバ強度をハイドライブ強度（PDSCn_m＝1）に設定してください。

注　意

ポート P8_6 を CSIH0CSS4 として使用する場合、リセット中およびリセット解除後、ポート P8_6（ $\overline{\text{RESETOUT}}$ 信号）からロウレベルを出力します。

詳細は「**2A.11.1.1　P8_6: $\overline{\text{RESETOUT}}$** 」、「**2B.11.1.1　P8_6: $\overline{\text{RESETOUT}}$** 」、「**2C.11.1.1　P8_6: $\overline{\text{RESETOUT}}$** 」を参照してください。

20.1.7　データ整合性チェック

CSIHnSO（CSIHTSO）の兼用ポートのデータ整合性チェック対応を以下の表に示します。

データ整合性チェックの詳細は、「**20.5.12 エラー検出**」を参照してください。

表 20.23　データ整合性チェックの対象端子 (RH850/F1KH-D8)

ユニット信号名	ポート端子名	兼用機能
CSIH0		
CSIHTSO	P0_3	ALT_OUT4
CSIH1		
CSIHTSO	P0_5	ALT_OUT3
	P10_2	ALT_OUT5
CSIH2		
CSIHTSO	P11_2	ALT_OUT1
CSIH3		
CSIHTSO	P11_6	ALT_OUT3
CSIH4		
CSIHTSO	P2_4	ALT_OUT3
	P23_1	ALT_OUT1

表 20.24　データ整合性チェックの対象端子 (RH850/F1KM-S4, RH850/F1KM-S2)

ユニット信号名	ポート端子名	兼用機能
CSIH0		
CSIHTSO	P0_3	ALT_OUT4
CSIH1		
CSIHTSO	P0_5	ALT_OUT3
	P10_2	ALT_OUT5
CSIH2		
CSIHTSO	P11_2	ALT_OUT1
CSIH3		
CSIHTSO	P11_6	ALT_OUT3

表 20.25　データ整合性チェックの対象端子 (RH850/F1KM-S1)

ユニット信号名	ポート端子名	兼用機能
CSIH0		
CSIHTSO	P0_3	ALT_OUT4
CSIH1		
CSIHTSO	P0_5	ALT_OUT3
	P10_2	ALT_OUT5
CSIH2		
CSIHTSO	P11_2	ALT_OUT1
CSIH3		
CSIHTSO	P11_6	ALT_OUT3

20.2 概要

20.2.1 機能概要

- 3 ワイヤシリアル同期データ転送
- マスタモードまたはスレーブモードを選択可能
- 設定可能な 8 個のチップセレクト出力信号を備えているため、複数スレーブ構成と RCB（Recessive Configuration for Broadcasting）が可能
- スレーブ選択入力信号（ $\overline{\text{CSIHTSSI}}$ ）が使用可能
- ボーレートジェネレータを内蔵
- マスタモードでは転送クロック周波数が調整可能。スレーブモードでは入力クロックによって転送クロック周波数を決定
- 最大転送クロック周波数：
  - マスタモード：10.0MHz（ただし、PCLK/4 以下）
  - スレーブモード：5.0MHz（ただし、PCLK/6 以下）（すべての製品）
  - スレーブモード：8.0MHz（ただし、PCLK/6 以下）
（RH850/F1KM-S1（48/64-Pin 製品）の CSIH0、その他の製品の CSIH2）
- クロックとデータの位相を選択可能
- MSB ファーストまたは LSB ファーストでのデータ転送を選択可能
- 2 ビットから 16 ビットまでの転送データ長を 1 ビット単位で選択可能
- 16 ビットを上回るデータを転送するための EDL（Extended Data Length：拡張データ長）機能を内蔵
- 以下の 3 つの転送モードを選択可能：
  - 送信専用モード
  - 受信専用モード
  - 送受信モード
- ハンドシェーク機能を内蔵
- エラー検出（データ整合性チェック、パリティ、タイムアウト、オーバフロー、オーバラン）を内蔵
- ジョブ概念のサポート
- 128 ワードの I/O バッファメモリ
- ダイレクトアクセスモードと、メモリモード（FIFO、デュアルバッファ、送信専用バッファ）を選択可能
- 4 個の割り込み要求信号（INTCSIHTIC、INTCSIHTIR、INTCSIHTIRE、INTCSIHTIJC）
- 自己テスト用の LBM（ループバックモード）機能を内蔵
- CPU 制御による高優先通信機能
- 強制 CS アイドル設定
- ブロードキャスティングのため RCB（Recessive Configuration for Broadcasting）ビットを内蔵
- AUTOSAR のための JOB イネーブル制御ビットを内蔵

20.2.2 機能概要説明

CSIH では以下の 3 つの信号を通信に使用します。

- 送信クロック CSIHTSCK（マスタモードでは出力、スレーブモードでは入力）
- データ出力信号 CSIHTSO
- データ入力信号 CSIHTSI

そのほかに、外部制御とモニタ用に利用できる信号があります。

- $\overline{\text{CSIHTSSI}}$ ：スレーブ選択入力信号
- CSIHTRYO：レディ／ビジー出力信号（ハンドシェーク信号）
- CSIHTRYI：レディ／ビジー入力信号（ハンドシェーク信号）
- CSIHTCSS[7:0]：チップセレクト信号

データ送信は、1 ビットずつシリアルに行われ、送信クロックに同期します。

CSIH の設定で重要な役割を果たすレジスタを以下の表に示します。

表 20.26 CSIH の主なレジスタ

レジスタ	機能
CSIHnCTL0	シリアルクロックを有効または無効にし、データ送信とデータ受信を許可または禁止します。ジョブ終了時の動作を定義し、バッファリングを有効または無効（バッファのバイパス）にします。
CSIHnCTL1	割り込みのタイミング、拡張データ長、ジョブの機能、データ整合性チェック、ループバックモード、ハンドシェークなどのオプション機能を制御します。
CSIHnCTL2	マスタモードまたはスレーブモードを選択し、マスタモードでは内蔵ボーレートジェネレータ（BRG）で転送クロック周波数を選択します。
CSIHnBRSy	チップセレクト信号ごとに転送クロック周波数を設定するためのレジスタです。
CSIHnMCTL0	メモリモードを選択し、タイムアウトを指定します。
CSIHnMCTL1	FIFO モードでメモリを制御します。
CSIHnMCTL2	デュアルバッファモードでメモリを制御します。
CSIHnCFGx	各チップセレクト信号の通信プロトコルを設定するレジスタです。

20.2.3　　ブロック図

以下のブロック図は CSIH の主要なコンポーネントを示しています。

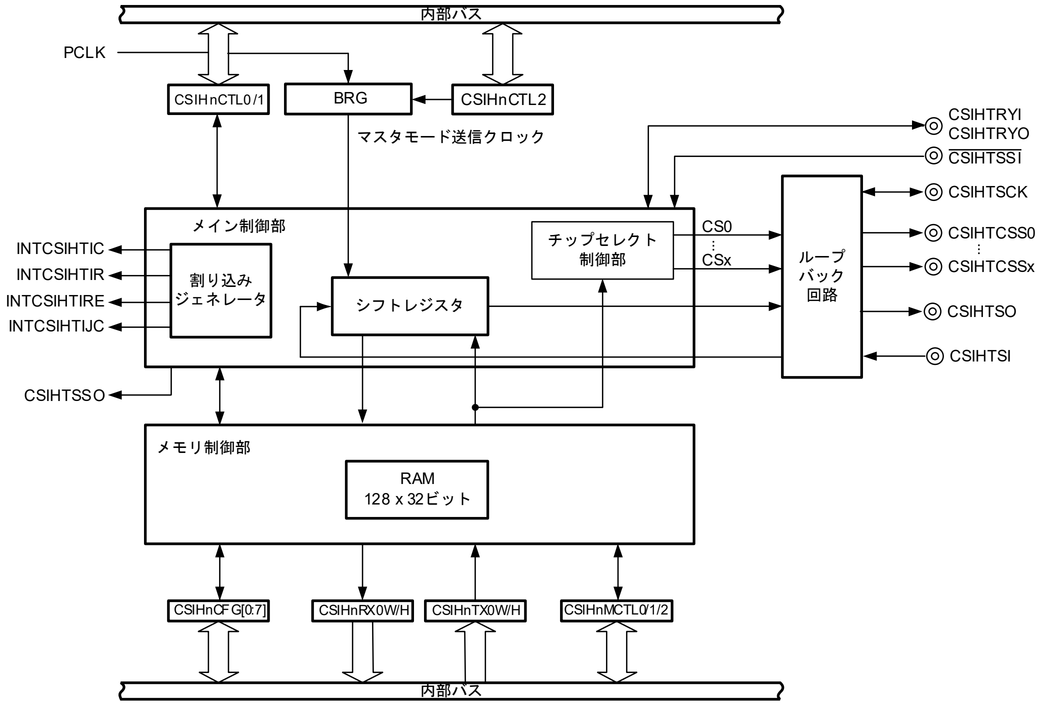


図 20.1　　CSIH のブロック図

マスタモードでは、送信クロック CSIHTSCK が内蔵のボーレートジェネレータ（BRG）によって生成されます。スレーブモードでは、外部ソースから送信クロックが供給されます。

内蔵のメモリは FIFO、デュアルバッファ（別々の送信バッファと受信バッファ）または送信専用バッファとして設定できます。メモリをバイパスし、バッファリングなしでデータを送信または受信することもできます。

ループバック回路は CSIH をポートから完全に切り離し、内部の自己テストに対応します。

備　考

本章では、以下のモードについて説明します。

- 「動作モード」はマスタモードとスレーブモードに分かれています。マスタのみが複数のスレーブを制御し、複数のスレーブと通信することができます（詳細については、「**20.5.1 動作モード（マスタ／スレーブ）**」を参照してください）。
- 「ジョブモード」は AUTOSAR ジョブ概念に関連しています（詳細については、「**20.5.3.3 ジョブ概念**」を参照してください）。
- 「メモリモード」では、関連付けられたバッファメモリのさまざまな設定に対応します（詳細については、「**20.5.6 CSIH のバッファメモリ**」を参照してください）。
- 「データ転送モード」では、通信のモードを指定します。送信専用モード、受信専用モード、送受信モードがあります（詳細については、「**20.5.7 データ転送モード**」を参照してください）。

20.3　レジスタ

20.3.1　レジスター覧

CSIH のレジスター覧を以下の表に示します。

＜CSIHn_base＞は「**20.1.2 レジスタベースアドレス**」を参照してください。

表 20.27　レジスター覧

モジュール名	レジスタ名	略号	アドレス
CSIHn	CSIHn 制御レジスタ 0	CSIHnCTL0	<CSIHn_base> + 0000_H
	CSIHn 制御レジスタ 1	CSIHnCTL1	<CSIHn_base> + 0010_H
	CSIHn 制御レジスタ 2	CSIHnCTL2	<CSIHn_base> + 0014_H
	CSIHn ステータスレジスタ 0	CSIHnSTR0	<CSIHn_base> + 0004_H
	CSIHn ステータスクリアレジスタ 0	CSIHnSTCR0	<CSIHn_base> + 0008_H
	CSIHn メモリ制御レジスタ 0	CSIHnMCTL0	<CSIHn_base> + 1040_H
	CSIHn メモリ制御レジスタ 1	CSIHnMCTL1	<CSIHn_base> + 1000_H
	CSIHn メモリ制御レジスタ 2	CSIHnMCTL2	<CSIHn_base> + 1004_H
	CSIHn メモリ読み出し／書き込みポインタレジスタ 0	CSIHnMRWP0	<CSIHn_base> + 1018_H
	CSIHn コンフィグレーションレジスタ 0	CSIHnCFG0	<CSIHn_base> + 1044_H
	CSIHn コンフィグレーションレジスタ 1	CSIHnCFG1	<CSIHn_base> + 1048_H
	CSIHn コンフィグレーションレジスタ 2	CSIHnCFG2	<CSIHn_base> + $104C_H$
	CSIHn コンフィグレーションレジスタ 3	CSIHnCFG3	<CSIHn_base> + 1050_H
	CSIHn コンフィグレーションレジスタ 4	CSIHnCFG4	<CSIHn_base> + 1054_H
	CSIHn コンフィグレーションレジスタ 5	CSIHnCFG5	<CSIHn_base> + 1058_H
	CSIHn コンフィグレーションレジスタ 6	CSIHnCFG6	<CSIHn_base> + $105C_H$
	CSIHn コンフィグレーションレジスタ 7	CSIHnCFG7	<CSIHn_base> + 1060_H
	CSIHn ワードアクセス用送信データレジスタ 0	CSIHnTX0W	<CSIHn_base> + 1008_H
	CSIHn ハーフワードアクセス用送信データレジスタ 0	CSIHnTX0H	<CSIHn_base> + $100C_H$
	CSIHn ワードアクセス用受信データレジスタ 0	CSIHnRX0W	<CSIHn_base> + 1010_H
	CSIHn ハーフワードアクセス用受信データレジスタ 0	CSIHnRX0H	<CSIHn_base> + 1014_H
	CSIHn エミュレーションレジスタ	CSIHnEMU	<CSIHn_base> + 0018_H
	CSIHn ボーレート設定レジスタ 0	CSIHnBRS0	<CSIHn_base> + 1068_H
	CSIHn ボーレート設定レジスタ 1	CSIHnBRS1	<CSIHn_base> + $106C_H$
	CSIHn ボーレート設定レジスタ 2	CSIHnBRS2	<CSIHn_base> + 1070_H
	CSIHn ボーレート設定レジスタ 3	CSIHnBRS3	<CSIHn_base> + 1074_H

20.3.2 CSIHnCTL0 ― CSIHn 制御レジスタ 0

本レジスタでは、動作クロックを制御し、送受信を許可／禁止し、送信または受信、あるいはその両方に割り当てられるメモリを有効または無効にします。また、現在のジョブの終了時に通信を強制的に停止します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <CSIHn_base> + 0000_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	CSIHnPWR	CSIHnTXE	CSIHnRXE	—	—	—	CSIHnJOBE	CSIHnMBS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R/W	R/W

表 20.28 CSIHnCTL0 レジスタの内容

ビット位置	ビット名	機能
7	CSIHnPWR	動作クロックを制御します。 0：動作クロックを停止させます。 1：動作クロックを供給します。 CSIHnPWR をクリア（0）すると、内部回路がリセットされ、動作が停止し、CSIH がスタンバイ状態に設定されます。内部回路へのクロックの供給が停止します。 通信中に CSIHnPWR をクリア（0）した場合、実行中の通信はただちに中止されます。その場合は、通信設定を最初からやり直す必要があります。
6	CSIHnTXE	送信を許可または禁止します。 0：送信を禁止します。 1：送信を許可します。
5	CSIHnRXE	受信を許可または禁止します。 0：受信を禁止します。 1：受信を許可します。
4～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	CSIHnJOBE	現在のジョブの終了時に通信を停止します（CSIHnTX0W.CSIHnEOJ＝1（ジョブ終了）時に送信バッファにデータを書き込まれると通信が終了になります）。 0：通信停止を要求しません。 1：通信を停止します。 このビットを使って実行中のジョブを中止することができます。このビットは自動的にクリア（0）されます。このビットをセット（1）しても、リード値は常に 0 です。 FIFO モードでは、CSIHnSTCR0.CSIHnPCT＝1 に設定することによってポインタをクリアしたあと、次の通信を開始する必要があります。
0	CSIHnMBS	送信データまたは受信データあるいはその両方のメモリをバイパスします。 0：メモリモード 送信データまたは受信データあるいはその両方に CSIH のメモリを使用します。 1：ダイレクトアクセスモード CSIH のメモリをバイパスします。

注 意

本レジスタの設定では、「**表 20.47 レジスタ設定上の注意事項**」を参照してください。

20.3.3　CSIHnCTL1 ― CSIHn 制御レジスタ 1

本レジスタでは、割り込みのタイミングと割り込み遅延モードを指定します。本レジスタは、拡張データ長制御、データ整合性チェック、ループバックモード、ハンドシェーク機能、ジョブモードを有効または無効する機能も持っています。また、各チップセレクト信号のアクティブ出力レベルと、最後のデータを転送したあとのチップセレクト信号の動作の選択も行います。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<CSIHn_base> + 0010$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	CSIHn SLRS	—	—	—	—	—	CSIHn PHE	CSIHn CKR	CSIHn SLIT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHn CSL7	CSIHn CSL6	CSIHn CSL5	CSIHn CSL4	CSIHn CSL3	CSIHn CSL2	CSIHn CSL1	CSIHn CSL0	CSIHn EDLE	CSIHn JE	CSIHn DCS	CSIHn CSRI	CSIHn LBM	CSIHn SIT	CSIHn HSE	CSIHn SSE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.29　CSIHnCTL1 レジスタの内容

ビット位置	ビット名	機能
31～25	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
24	CSIHnSLRS	受信データ入力の内部同期タイミングを設定します。 0：PCLK の立ち上がり 1：PCLK の立ち下がり 設定による違いについては、**「第 47A 章　RH850/F1KH-D8 の電気的特性」**、**「第 47B 章　RH850/F1KM-S4, RH850/F1KM-S2 の電気的特性」**、**「第 47C 章　RH850/F1KM-S1 の電気的特性」**を参照してください。
23～19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
18	CSIHnPHE	CPU 制御の優先度別通信機能を設定します。 0：CPU 制御の高優先通信機能は無効です。 1：CPU 制御の高優先通信機能は有効です。 CPU 制御の高優先通信機能を有効にする場合は、本ビットを 1 に設定するほかに、CSIHnJE＝1 を設定してください。このビットは送信専用バッファモードでのみ設定可能です。
17	CSIHnCKR	CSIHTSCK のクロック反転機能 0：CSIHTSCK のデフォルトレベルはハイレベル 1：CSIHTSCK のデフォルトレベルはロウレベル 詳細については、**「20.3.11　CSIHnCFGx ― CSIHn コンフィグレーションレジスタ x（x＝0～7）」**を参照してください。
16	CSIHnSLIT	割り込み INTCSIHTIC のタイミングを選択します。 0：通常の割り込みのタイミング（転送後に割り込みを発生します）。 1：CSIHnTX0W/H レジスタの内容がシフトレジスタに転送されると、ただちに割り込みが発生します（ダイレクトアクセスモード／送信専用バッファモードでのみ機能します）。 詳細については、**「20.4.3　INTCSIHTIC（通信ステータス割り込み）」**を参照してください。
15～8	CSIHnCSLx	チップセレクト信号 x（CSIHTCSSx）のアクティブ出力レベルを選択します。 0：チップセレクト信号をアクティブロウにします。 1：チップセレクト信号をアクティブハイにします。 詳細については、**「20.5.3　チップセレクト（CS）機能」**を参照してください。

表 20.29　CSIHnCTL1 レジスタの内容

ビット位置	ビット名	機能
7	CSIHnEDLE	拡張データ長（EDL）モードを有効または無効にします。 0：拡張データ長モードを無効にします。 1：拡張データ長モードを有効にします。 詳細については、「**20.5.8.2 16 ビットを上回るデータ長**」を参照してください。
6	CSIHnJE	ジョブモードを有効または無効にします。 0：ジョブモードを無効にします。 1：ジョブモードを有効にします。 詳細については、「**20.5.3.3 ジョブ概念**」を参照してください。 CSIHnCTL0.CSIHnJOBE、CSIHnTX0W.CSIHnEOJ、CSIHnTX0W. CSIHnCIRE ビットは CSIHnJE＝1 のときにのみ有効です。 このビットはスレーブモードでは設定禁止です。 また、CPU 制御の高優先通信機能を有効にする場合は、CSIHnPHE＝1 のほかに、本ビットを 1 に設定してください。
5	CSIHnDCS	データ整合性チェックを有効または無効にします。 0：データ整合性チェックを無効にします。 1：データ整合性チェックを有効にします。 詳細については、「**20.5.12.1 データ整合性チェック**」を参照してください。
4	CSIHnCSRI	最後のデータが転送されたあとのチップセレクト信号の動作を定義します。 0：チップセレクト信号がアクティブレベルを保持します。 1：チップセレクト信号が非アクティブレベルに戻ります。 最後のデータの判定はダイレクトアクセスモード／FIFO モード時の割り込みタイミングで行います。
3	CSIHnLBM	ループバックモード（LBM）を制御します。 0：ループバックモードをインアクティブにします。 1：ループバックモードをアクティブにします。 詳細については、「**20.5.13 ループバックモード**」を参照してください。
2	CSIHnSIT	割り込み遅延モードを選択します。 0：遅延を生成しません。 1：すべての割り込みについて半クロック周期の遅延を生成します。 このビットはマスタモードでのみ有効になります。スレーブモードでは遅延は生成されません。 詳細については、「**20.4.2 割り込み遅延**」を参照してください。
1	CSIHnHSE	ハンドシェーク機能を有効または無効にします。 0：ハンドシェーク機能を無効にします。 1：ハンドシェーク機能を有効にします。 詳細については、「**20.5.11 ハンドシェーク機能**」を参照してください。
0	CSIHnSSE	スレーブ選択機能を有効または無効にします。 0：入力信号 $\overline{\text{CSIHTSSI}}$ を無効にします。 1：入力信号 $\overline{\text{CSIHTSSI}}$ を認識します。 スレーブ選択機能を使用しない場合は、このビットを 0 に設定する必要があります（「**20.5.2 マスタ／スレーブの接続**」も参照してください）。

CSIHnCTL1.CSIHnSSE の詳細を次に示します。

表 20.30　受信におけるスレーブ選択機能の動作

CSIHnCTL0. CSIHnRXE	CSIHnCTL1. CSIHnSSE	$\overline{\text{CSIHTSSI}}$	受信動作
0	—	—	受信を禁止します。
1	0	—	可能
1	1	0	可能
1	1	1	無効

表 20.31　送信におけるスレーブ選択機能の動作

CSIHnCTL0. CSIHnTXE	CSIHnCTL1. CSIHnSSE	$\overline{\text{CSIHTSSI}}$	送信動作
0	—	—	送信を禁止します。
1	0	—	可能
1	1	0	可能
1	1	1	無効

注　意

本レジスタの設定では、「**表 20.47　レジスタ設定上の注意事項**」を参照してください。

20.3.4 CSIHnCTL2 — CSIHn 制御レジスタ 2

本レジスタでは動作モードと基本クロックの値を選択し、転送クロック周波数を指定します。

詳細については、「**20.5.5 送信クロックの選択**」を参照してください。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <CSIHn_base> + 0014_H

リセット後の値 $E000_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnPRS[2:0]			—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.32 CSIHnCTL2 レジスタの内容

ビット位置	ビット名	機能			
15～13	CSIHnPRS[2:0]	動作モードと基本クロックの値を選択します			
		CSIHnPRS2	CSIHnPRS1	CSIHnPRS0	基本クロック（PRSOUT）の選択
		0	0	0	PCLK（マスタモード）
		0	0	1	PCLK/2（マスタモード）
		0	1	0	PCLK/4（マスタモード）
		0	1	1	PCLK/8（マスタモード）
		1	0	0	PCLK/16（マスタモード）
		1	0	1	PCLK/32（マスタモード）
		1	1	0	PCLK/64（マスタモード）
		1	1	1	CSIHTSCK（in）経由の外部クロック（スレーブモード）
12～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。			

マスタモードでは、以下のビットを使って転送クロック周波数を設定します。

CSIHnCTL2.CSIHnPRS[2:0]、CSIHnCFGx.CSIHnBRSS[1:0]、CSIHnBRSy.CSIHnBRS[11:0]

また、CSIHnBRSy.CSIHnBRS[11:0]ビットで設定される 4 種類の転送クロック周波数設定は、チップセレクト信号ごとに、そのいずれかの設定が選択されます。チップセレクト信号ごとの転送クロック周波数設定の選択は、CSIHnCFGx.CSIHnBRSS[1:0]ビットにて行います。

CSIHnCFGx.CSIHnBRSS[1:0]と CSIHnBRSy.CSIHnBRS[11:0]の関係は、以下のとおりです。

CSIHnCFGx.CSIHnBRSS[1:0]	選択される転送クロック周波数設定ビット
00	CSIHnBRS0.CSIHnBRS[11:0]
01	CSIHnBRS1.CSIHnBRS[11:0]
10	CSIHnBRS2.CSIHnBRS[11:0]
11	CSIHnBRS3.CSIHnBRS[11:0]

CSIHnPRS[2:0]ビットの値をαとした場合、CSIHnBRSS[1:0]ビットにて選択された転送クロック周波数設定（CSIHnBRSy[11:0]）と転送クロック周波数の関係は、以下のとおりです。

CSIHnBRSy[11:0]	転送クロック周波数
0	BRG の停止
1	PCLK / (2^{α} × 1 × 2)
2	PCLK / (2^{α} × 2 × 2)
3	PCLK / (2^{α} × 3 × 2)
4	PCLK / (2^{α} × 4 × 2)
...	…
4095	PCLK / (2^{α} × 4095× 2)

スレーブモードで、タイムアウトエラーを使用する場合のクロックは、本設定で設定したクロックが使われます。スレーブモードで使用する際は、CSIHnPRS[2:0]ビットに 111_B を設定しますが、その際のプリスケーラは、CSIHnPRS[2:0]ビットに 000_B を設定した場合と同じ設定になります。タイムアウトエラーを使用する場合は、CSIHnBRSy.CSIHnBRS[11:0]ビットには、000_H 以外の値を設定して使用してください。

注　意

本レジスタの設定では、「**表 20.47　レジスタ設定上の注意事項**」を参照してください。

20.3.5　CSIHnSTR0 — CSIHn ステータスレジスタ 0

本レジスタは CSIH の状態を示します。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　<CSIHn_base> + 0004_H

リセット後の値　$0000\ 0010_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CSIHnSRP[7:0]									CSIHnSPF[7:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHn TMOE	CSIHn OFE	—	—	—	—	—	CSIHn HPST	CSIHn TSF	—	CSIHn FLF	CSIHn EMF	CSIHn DCE	—	CSIHn PE	CSIHn OVE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.33　CSIHnSTR0 レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>31～24</td><td>CSIHnSRP[7:0]</td><td>FIFO モードで受信データ数を示します。
<table><tr><th>CSIHnSRP[7:0]</th><th>説明</th></tr><tr><td>00_H</td><td rowspan="3">受信データ数（0～128）</td></tr><tr><td>…</td></tr><tr><td>80_H</td></tr><tr><td>上記以外</td><td>未定義</td></tr></table>
これらのビットは CSIHnSTCR0.CSIHnPCT によってクリアされます。
ダイレクトアクセスモード、デュアルバッファモードまたは送信専用バッファメモリモードでは、この値が 00_H に固定されます。
ダイレクトアクセスモードの場合はポインタを持たないため、バッファモードでは、CSIHnMCTL2.CSIHnND[7:0]によってデータの数を管理するため、このビットは 0 に固定されます。</td></tr>
<tr><td>23～16</td><td>CSIHnSPF[7:0]</td><td>FIFO モードで未送信データの数を示します。
（CPU によって書き込まれたデータの数は送信データ数です）
<table><tr><th>CSIHnSPF[7:0]</th><th>説明</th></tr><tr><td>00_H</td><td rowspan="3">未送信データパケットの数（0～128）</td></tr><tr><td>…</td></tr><tr><td>80_H</td></tr><tr><td>上記以外</td><td>未定義</td></tr></table>
これらのビットは CSIHnSTCR0.CSIHnPCT によってクリアされます。
ダイレクトアクセスモード、デュアルバッファモードまたは送信専用バッファメモリモードでは、この値が 00_H に固定されます。
ダイレクトアクセスモードの場合はポインタを持たないため、バッファモードでは、CSIHnMCTL2.CSIHnND[7:0]によってデータの数を管理するため、このビットは 0 に固定されます。</td></tr>
</table>

表 20.33　CSIHnSTR0 レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>15</td><td>CSIHnTMOE</td><td>FIFO モード時のタイムアウトエラーフラグ
FIFO モード時のタイムアウトエラーが検出されたかどうかを示します。
　0：FIFO モード時のタイムアウトエラーが検出されていません。
　1：FIFO モード時のタイムアウトエラーが検出されています。
詳細については、「20.5.12.3　タイムアウトエラー」を参照してください。
このビットは CSIHnSTCR0.CSIHnTMOEC によってクリア（0）されます。
タイムアウトエラーの検出によるセット（1）と CSIHnSTCR0.CSIHnTMOEC によるクリア（0）が同時に発生した場合、セット（1）を優先します。
このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときも初期化されます。</td></tr>
<tr><td>14</td><td>CSIHnOFE</td><td>FIFO モード時のオーバフローエラーフラグ
FIFO モード時のオーバフローエラーが検出されたかどうかを示します。
　0：FIFO モード時のオーバフローエラーが検出されていません。
　1：FIFO モード時のオーバフローエラーが検出されています。
詳細については、「20.5.12.4　オーバフローエラー」を参照してください。
このビットは CSIHnSTCR0.CSIHnOFEC によってクリア（0）されます。
オーバフローエラーの検出によるセット（1）と CSIHnSTCR0.CSIHnOFEC によるクリア（0）が同時に発生した場合、セット（1）を優先します。
このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときも初期化されます。</td></tr>
<tr><td>13～9</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。</td></tr>
<tr><td>8</td><td>CSIHnHPST</td><td>通信優先度確認フラグ
　0：低優先の通信中であることを示します。
　1：高優先の通信中であることを示します。
本ビットは、CPU 制御による高優先通信を無効（CSIHnCTL1.CSIHnPHE＝0）設定にしている場合は、常に 0 が読み出されます。</td></tr>
<tr><td>7</td><td>CSIHnTSF</td><td>転送ステータスフラグ
　0：アイドル状態
　1：通信中または通信の準備中
このビットがセットまたはクリアされるタイミングを以下に示します。
<table>
<tr><th rowspan="2">マスタモード</th><th colspan="2">セットされるタイミング</th><th rowspan="2">クリアされるタイミング</th></tr>
<tr><th>ダイレクトアクセスモード、FIFO モード</th><th>デュアルバッファモード、送信専用バッファモード</th></tr>
<tr><td>送信専用モード</td><td rowspan="3">送信レジスタ（CSIHnTX0W/CSIHnTX0H）への書き込み</td><td rowspan="3">CSIHnMCTL2.CSIHnBTST ビットのセット</td><td rowspan="3">最後のシリアルクロックエッジから半クロック以内</td></tr>
<tr><td>送受信モード</td></tr>
<tr><td>受信専用モード</td></tr>
</table>
<table>
<tr><th rowspan="2">スレーブモード</th><th colspan="2">セットされるタイミング</th><th rowspan="2">クリアされるタイミング</th></tr>
<tr><th>ダイレクトアクセスモード、FIFO モード</th><th>デュアルバッファモード、送信専用バッファモード</th></tr>
<tr><td>送信専用モード</td><td rowspan="2">送信レジスタ（CSIHnTX0W/CSIHnTX0H）への書き込み</td><td rowspan="3">CSIHnMCTL2.CSIHnBTST ビットのセット</td><td rowspan="3">最後のシリアルクロックエッジから半クロック以内</td></tr>
<tr><td>送受信モード</td></tr>
<tr><td>受信専用モード</td><td>CSIHTSCK 入力タイミング</td></tr>
</table></td></tr>
<tr><td>6</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。</td></tr>
<tr><td>5</td><td>CSIHnFLF</td><td>FIFO モード時のバッファフルの状態を示すフラグです。
　0：FIFO バッファがフル状態ではありません。
　1：FIFO バッファがフル状態です。
このビットは CSIHnSTCR0.CSIHnPCT によってクリア（0）されます。
FIFO バッファは未送信データや受信データでフルになることがあります。</td></tr>
</table>

表 20.33　CSIHnSTR0 レジスタの内容

ビット位置	ビット名	機能
4	CSIHnEMF	FIFO モード時のバッファエンプティの状態を示すフラグです。 0：FIFO バッファがエンプティ状態ではありません。 1：FIFO バッファがエンプティ状態です。 このビットは CSIHnSTCR0.CSIHnPCT によってセット（1）されます。 このビットは、CSIHnSTR0.CSIHnSRP[7:0]＋CSIHnSTR0.CSIHnSPF[7:0]＝00_H となったときにセット（1）されます。 FIFO バッファは未送信データや受信データでフルになることがあります。
3	CSIHnDCE	データ整合性チェックエラーフラグ 0：データ整合性チェックエラーが検出されていません。 1：データ整合性チェックエラーが検出されています。 このビットは CSIHnSTCR0.CSIHnDCEC に 1 を書き込むことによってクリア（0）されます。 データ整合性チェックエラーの検出によるセット（1）と CSIHnSTCR0.CSIHnDCEC によるクリア（0）が同時に発生した場合、セット（1）を優先します。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときも初期化されます。
2	予約ビット	リードした場合はリセット後の値が読めます。
1	CSIHnPE	パリティエラーフラグ 0：パリティエラーが検出されていません。 1：パリティエラーが検出されています。 このビットは CSIHnSTCR0.CSIHnPEC に 1 を書き込むことによってクリア（0）されます。 ただし、パリティエラーの検出によるセット（1）と CSIHnSTCR0.CSIHnPEC によるクリア（0）が同時に発生した場合、パリティエラーの検出によるセット（1）を優先します。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときに初期化されます。
0	CSIHnOVE	オーバランエラーフラグ（デュアルバッファモードでは 0 固定です） 0：オーバランエラーが検出されていません。 1：オーバランエラーが検出されています。 このビットは CSIHnSTCR0.CSIHnOVEC に 1 を書き込むことによってクリア（0）されます。ただし、オーバランエラーの検出によるセット（1）と CSIHnSTCR0.CSIHnOVEC によるクリア（0）が同時に発生した場合、オーバランエラーの検出によるセット（1）を優先します。 このビットは CSIHnCTL0.CSIHnPWR が 0 から 1 または 1 から 0 に変化したときも初期化されます。

表 20.34　メモリモードでの動作

ビット名	ビット位置	ダイレクトアクセスモード	FIFO モード	送信専用バッファモード	デュアルバッファモード
CSIHnSRP[7:0]	31～24	0 固定	受信データ数	0 固定	0 固定
CSIHnSPF[7:0]	23～16	0 固定	未送信データ数	0 固定	0 固定
CSIHnTMOE	15	0 固定	0：エラー未検出 1：エラー検出	0 固定	0 固定
CSIHnOFE	14	0 固定	0：エラー未検出 1：エラー検出	0 固定	0 固定
CSIHnTSF	7	0：アイドル状態 1：通信中または通信の準備中			
CSIHnFLF	5	0 固定	0：フルでない 1：フル	0 固定	0 固定
CSIHnEMF	4	1 固定	0：エンプティでない 1：エンプティ	1 固定	1 固定
CSIHnDCE	3	0：エラー未検出 1：エラー検出			
CSIHnPE	1	0：エラー未検出 1：エラー検出			
CSIHnOVE	0	0：エラー未検出 1：エラー検出	0：エラー未検出 1：エラー検出	0：エラー未検出 1：エラー検出	0 固定

注　意

本レジスタの設定では、「**表 20.47　レジスタ設定上の注意事項**」を参照してください。

20.3.6　CSIHnSTCR0 — CSIHn ステータスクリアレジスタ 0

本レジスタは CSIHnSTR0 ステータスレジスタのステータスフラグをクリアします。

アクセス　16 ビット単位でリード／ライト可能です。
読み出すと、常に値 0000H が返されます。

アドレス　<CSIHn_base> + 0008H

リセット後の値　0000H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHn TMOEC	CSIHn OFEC	—	—	—	—	—	CSIHn PCT	—	—	—	—	CSIHn DCEC	—	CSIHn PEC	CSIHn OVEC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R/W	R	R	R	R	R/W	R	R/W	R/W

表 20.35　CSIHnSTCR0 レジスタの内容

ビット位置	ビット名	機能
15	CSIHnTMOEC	タイムアウトエラーフラグクリアコマンドを制御します。 0：何も操作を行いません。読み出し値は常に 0 になります。 1：タイムアウトエラーフラグ（CSIHnSTR0.CSIHnTMOE）をクリアします。
14	CSIHnOFEC	オーバフローエラーフラグクリアコマンドを制御します。 0：何も操作を行いません。読み出し値は常に 0 になります。 1：オーバフローエラーフラグ（CSIHnSTR0.CSIHnOFE）をクリアします。
13～9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	CSIHnPCT	FIFO ポインタクリアコマンドを制御します。 0：何も操作を行いません。読み出し値は常に 0 になります。 1：次の FIFO バッファポインタ（FIFO モード、デュアルバッファモード、送信専用バッファモード）およびステータスビットをクリアします。 <table><tr><th>FIFO バッファポインタ</th><th>ステータスビット</th></tr><tr><td>CSIHnMRWP0.CSIHnTRWA[6:0] CSIHnMRWP0.CSIHnRRA[6:0] CSIHnMCTL2.CSIHnSOP[6:0]</td><td>CSIHnSTR0.CSIHnSPF[7:0] CSIHnSTR0.CSIHnSRP[7:0] CSIHnSTR0.CSIHnFLF CSIHnSTR0.CSIHnTSF</td></tr></table> さらに、CSIHnSTR0.CSIHnEMF ビットがセット（1）されます（FIFO エンプティ）（FIFO モード時のみ）。
7～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	CSIHnDCEC	データ整合性チェックエラーフラグクリアコマンドを制御します。 0：何も操作を行いません。読み出し値は常に 0 になります。 1：データ整合性チェックエラーフラグ（CSIHnSTR0.CSIHnDCE）をクリアします。
2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	CSIHnPEC	パリティエラーフラグクリアコマンドを制御します。 0：何も操作を行いません。読み出し値は常に 0 になります。 1：パリティエラーフラグ（CSIHnSTR0.CSIHnPE）をクリアします。
0	CSIHnOVEC	オーバランエラーフラグクリアコマンドを制御します。 0：何も操作を行いません。読み出し値は常に 0 になります。 1：オーバランエラーフラグ（CSIHnSTR0.CSIHnOVE）をクリアします。

注　意

本レジスタの設定では、**「表 20.47　レジスタ設定上の注意事項」**を参照してください。

20.3.7　CSIHnMCTL0 — CSIHn メモリ制御レジスタ 0

本レジスタではメモリモードとタイムアウトの設定を選択します。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<CSIHn_base> + 1040_H

リセット後の値　$001F_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CSIHn MMS[1:0]		—	—	—	CSIHnTO[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 20.36　CSIHnMCTL0 レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>15～10</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>9～8</td><td>CSIHnMMS[1:0]</td><td>メモリモードを選択します。
<table>
<tr><th>CSIHnMMS1</th><th>CSIHnMMS0</th><th>説明</th></tr>
<tr><td>0</td><td>0</td><td>FIFO モード</td></tr>
<tr><td>0</td><td>1</td><td>デュアルバッファモード</td></tr>
<tr><td>1</td><td>0</td><td>送信専用バッファモード</td></tr>
<tr><td>1</td><td>1</td><td>禁止</td></tr>
</table>
メモリモードを変更後、CSIHnSTCR0.CSIHnPCT ビットをセット（1）し個々のバッファポインタをクリアしてください。
ダイレクトアクセスモードでは、これらのビットの設定は無視されます。</td></tr>
<tr><td>7～5</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>4～0</td><td>CSIHnTO[4:0]</td><td>FIFO モードのタイムアウトの設定を選択します。
<table>
<tr><th>CSIHnTO[4:0]</th><th>説明</th></tr>
<tr><td>00000_B</td><td>タイムアウトを検出しません。</td></tr>
<tr><td>00001_B</td><td>タイムアウトを（1×8×BRG 出力クロック）にします。</td></tr>
<tr><td>00010_B</td><td>タイムアウトを（2×8×BRG 出力クロック）にします。</td></tr>
<tr><td>…</td><td>…</td></tr>
<tr><td>11111_B</td><td>タイムアウトを（31×8×BRG 出力クロック）にします。</td></tr>
</table>
注意）タイムアウトの設定は、CSIHnCTL0.CSIHnPWR＝0 のときにのみ変更することができます。
CSIHnTO[4:0]ビットは FIFO モード以外（ダイレクトアクセスモード、デュアルバッファモード、送信専用バッファモード）は 00000_B に設定してください。
タイムアウトの検出の詳細については、「20.5.12.3 タイムアウトエラー」も参照してください。</td></tr>
</table>

注　意

本レジスタの設定では、「**表 20.47 レジスタ設定上の注意事項**」を参照してください。

20.3.8 CSIHnMCTL1 — CSIHn メモリ制御レジスタ 1

本レジスタでは FIFO モードで割り込み要求 INTCSIHTIC と INTCSIHTIR を発生する条件を選択します。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <CSIHn_base> + 1000_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	CSIHnFES[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	CSIHnFFS[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.37　CSIHnMCTL1 レジスタの内容

ビット位置	ビット名	機能
31～23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22～16	CSIHnFES[6:0]	FIFO モードで INTCSIHTIC 割り込み（送信データエンプティ）を発生する条件を選択します。 FIFO に残っている未送信の送信データの数（CSIHnSTR0.CSIHnSPF[7:0]ビットで確認）が CSIHnMCTL1.CSIHnFES[6:0]と一致すると、FIFO エンプティフラグ（CSIHnSTR0.CSIHnEMF ビット）がセット（1）され、INTCSIHTIC 割り込み要求が発生します。
15～7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6～0	CSIHnFFS[6:0]	FIFO モードで INTCSIHTIR 割り込み（受信データフル）を発生する条件を選択します。 FIFO に残っている受信データの数が（CSIHnSTR0.CSIHnSRP[7:0]ビットで確認）（128-CSIHnMCTL1.CSIHnFFS[6:0]）と一致すると、INTCSIHTIR 割り込み要求が発生します。

注　意

本レジスタの設定では、「**表 20.47　レジスタ設定上の注意事項**」を参照してください。

20.3.9　CSIHnMCTL2 ― CSIHn メモリ制御レジスタ 2

本レジスタでは、デュアルバッファモードまたは送信専用バッファモードのときにメモリの動作を制御し、通信の開始をトリガします。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<CSIHn_base> + 1004_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CSIHn BTST	—	—	—	—	—	—	—	CSIHnND[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	CSIHnSOP[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.38　CSIHnMCTL2 レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>31</td><td>CSIHnBTST</td><td>バッファ転送の開始トリガを供給します。
0：何も操作を行いません。
1：転送開始コマンドを発行します。
読み出し値は常に 0 になります。
注意）このビットはデュアルバッファモードおよび送信専用バッファモードでのみ使用できます。</td></tr>
<tr><td>30～24</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>23～16</td><td>CSIHnND[7:0]</td><td>各メモリモードにおけるデータの数を指定します。
リード値は残りの通信データ数を表します。
<table>
<tr><th>CSIHnND[7:0]</th><th>デュアルバッファモード</th><th>送信専用バッファモード</th><th>FIFO モード</th><th>ダイレクトアクセスモード</th></tr>
<tr><td>00_H</td><td>0 個のデータを送信</td><td>0 個のデータを送信</td><td>影響なし</td><td>影響なし</td></tr>
<tr><td>01_H</td><td>1 個のデータを送信</td><td>1 個のデータを送信</td><td>影響なし</td><td>影響なし</td></tr>
<tr><td>...</td><td>...</td><td>...</td><td>影響なし</td><td>影響なし</td></tr>
<tr><td>$3F_H$</td><td>63 個のデータを送信</td><td>63 個のデータを送信</td><td>影響なし</td><td>影響なし</td></tr>
<tr><td>40_H</td><td>64 個のデータを送信</td><td>64 個のデータを送信</td><td>影響なし</td><td>影響なし</td></tr>
<tr><td>...</td><td>禁止</td><td>...</td><td>影響なし</td><td>影響なし</td></tr>
<tr><td>$7F_H$</td><td>禁止</td><td>127 個のデータを送信</td><td>影響なし</td><td>影響なし</td></tr>
<tr><td>80_H</td><td>禁止</td><td>128 個のデータを送信</td><td>影響なし</td><td>影響なし</td></tr>
<tr><td>上記以外</td><td colspan="4">設定禁止</td></tr>
</table>
データ転送後、値は自動的にデクリメントされます（ダイレクトアクセスモードではデクリメントされません）。</td></tr>
<tr><td>15～7</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
</table>

表 20.38　CSIHnMCTL2 レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>6～0</td><td>CSIHnSOP[6:0]</td><td>送信データのポインタを選択します。
CSIHnCTL0.CSIHnPWR＝0、または CSIHnSTCR0.CSIHnPCT＝1 に設定して通信を強制的に停止すると、これらのビットはハードウェアによってクリアされます。
FIFO モードでは、これらのビットは送信アドレスを示します。
<table>
<tr><th>CSIHnSOP[6:0]</th><th>デュアルバッファモード</th><th>送信専用バッファモード</th><th>FIFO モード</th><th>ダイレクトアクセスモード</th></tr>
<tr><td>00$_H$</td><td>0000$_H$</td><td>0000$_H$</td><td>0000$_H$</td><td>影響なし</td></tr>
<tr><td>01$_H$</td><td>0004$_H$</td><td>0004$_H$</td><td>0004$_H$</td><td>影響なし</td></tr>
<tr><td>...</td><td>...</td><td>...</td><td>...</td><td>影響なし</td></tr>
<tr><td>3F$_H$</td><td>00FC$_H$</td><td>00FC$_H$</td><td>00FC$_H$</td><td>影響なし</td></tr>
<tr><td>40$_H$</td><td>禁止</td><td>0100$_H$</td><td>0100$_H$</td><td>影響なし</td></tr>
<tr><td>...</td><td>禁止</td><td>...</td><td>...</td><td>影響なし</td></tr>
<tr><td>7F$_H$</td><td>禁止</td><td>01FC$_H$</td><td>01FC$_H$</td><td>影響なし</td></tr>
</table>
注意）　ダイレクトアクセスモードではこれらのビットはインクリメントされません。</td></tr>
</table>

注　意

本レジスタの設定では、「**表 20.47　レジスタ設定上の注意事項**」を参照してください。

20.3.10　CSIHnMRWP0 ― CSIHn メモリ読み出し／書き込みポインタレジスタ 0

本レジスタではデュアルバッファまたは送信専用バッファの読み出しポインタと書き込みポインタを設定します。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<CSIHn_base> + 1018_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	CSIHnRRA[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	CSIHnTRWA[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.39　CSIHnMRWP0 レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>31～23</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>22～16</td><td>CSIHnRRA[6:0]</td><td>受信バッファの読み出しポインタを選択します。
<table>
<tr><th>CSIHnRRA[6:0]</th><th>デュアルバッファモード</th><th>送信専用バッファモード</th><th>FIFO モード</th><th>ダイレクトアクセスモード</th></tr>
<tr><td>00_H</td><td>0000_H</td><td>影響なし</td><td>0000_H</td><td>影響なし</td></tr>
<tr><td>01_H</td><td>0004_H</td><td>影響なし</td><td>0004_H</td><td>影響なし</td></tr>
<tr><td>...</td><td>...</td><td>影響なし</td><td>...</td><td>影響なし</td></tr>
<tr><td>$3F_H$</td><td>$00FC_H$</td><td>影響なし</td><td>$00FC_H$</td><td>影響なし</td></tr>
<tr><td>40_H</td><td>禁止</td><td>影響なし</td><td>0100_H</td><td>影響なし</td></tr>
<tr><td>...</td><td>禁止</td><td>影響なし</td><td>...</td><td>影響なし</td></tr>
<tr><td>$7F_H$</td><td>禁止</td><td>影響なし</td><td>$01FC_H$</td><td>影響なし</td></tr>
</table>
受信データが読み出されると、これらのビットは自動的にインクリメントされます。
CSIHnRX0W または CSIHnRX0H レジスタの読み出し中にオーバランエラーが発生した場合、読み出しポインタはインクリメントされません。
CSIHnSTCR0.CSIHnPCT がセット（1）されると、これらのビットはクリアされます。
ダイレクトアクセスモード、送信専用バッファモードではこれらのビットはインクリメントされません。
送信専用バッファモードでライトアクセスしたい場合、これらのビットには 00_H を設定してください。
FIFO モードでは、これらのビットは受信データの読み出しアドレスを示します。</td></tr>
<tr><td>15～7</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
</table>

表 20.39　CSIHnMRWP0 レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>6～0</td><td>CSIHnTRWA[6:0]</td><td>送信バッファの読み出し／書き込みポインタを選択します。
<table>
<tr><th>CSIHnTRWA[6:0]</th><th>デュアルバッファモード</th><th>送信専用バッファモード</th><th>FIFO モード</th><th>ダイレクトアクセスモード</th></tr>
<tr><td>00H</td><td>0000H</td><td>0000H</td><td>0000H</td><td>影響なし</td></tr>
<tr><td>01H</td><td>0004H</td><td>0004H</td><td>0004H</td><td>影響なし</td></tr>
<tr><td>...</td><td>...</td><td>...</td><td>...</td><td>影響なし</td></tr>
<tr><td>3FH</td><td>00FCH</td><td>00FCH</td><td>00FCH</td><td>影響なし</td></tr>
<tr><td>40H</td><td>禁止</td><td>0100H</td><td>0100H</td><td>影響なし</td></tr>
<tr><td>...</td><td>禁止</td><td>...</td><td>...</td><td>影響なし</td></tr>
<tr><td>7FH</td><td>禁止</td><td>01FCH</td><td>01FCH</td><td>影響なし</td></tr>
</table>
送信データが書き込まれるか、読み出されると、これらのビットは自動的にインクリメントされます。
CSIHnSTCR0.CSIHnPCT がセット（1）されると、これらのビットはクリアされます。
ダイレクトアクセスモードではこれらのビットはインクリメントされません。
FIFO モードでは、これらのビットは送信データの読み出し／書き込みアドレスを示します。</td></tr>
</table>

注　意

本レジスタの設定では、「**表 20.47　レジスタ設定上の注意事項**」を参照してください。

20.3.11　CSIHnCFGx ― CSIHn コンフィグレーションレジスタ x（x＝0～7）

これら 8 個のレジスタでは、各チップセレクト信号 CSIHTCSSx のプリスケーラ、パリティ、データ長、ブロードキャスティング用のリセッシブの設定、シリアルデータ方向、クロック位相とデータ位相、強制アイドル状態の設定、アイドル時間、ホールド時間、データ間時間、セットアップ時間を指定します。

スレーブモード

スレーブモードでは、CSIHnCFG0 レジスタによる送信プロトコルの設定が有効になります。

- CSIHnPSx[1:0]：パリティの使用法
- CSIHnDLSx[3:0]：データ長の選択
- CSIHnDIRx：データ方向
- CSIHnCKPx、CSIHnDAPx：クロック位相とデータ位相

スレーブモードでは CSIHnCFG0 レジスタの上記以外のビットおよび CSIHnCFG1～CSIHnCFG7 レジスタには 0 を設定してください。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　CSIHnCFG0：<CSIHn_base> + 1044$_H$
CSIHnCFG1：<CSIHn_base> + 1048$_H$
CSIHnCFG2：<CSIHn_base> + 104C$_H$
CSIHnCFG3：<CSIHn_base> + 1050$_H$
CSIHnCFG4：<CSIHn_base> + 1054$_H$
CSIHnCFG5：<CSIHn_base> + 1058$_H$
CSIHnCFG6：<CSIHn_base> + 105C$_H$
CSIHnCFG7：<CSIHn_base> + 1060$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CSIHnBRSSx [1:0]		CSIHnPSx[1:0]		CSIHnDLSx[3:0]				—	—	—	—	CSIHn RCBx	CSIHn DIRx	CSIHn CKPx	CSIHn DAPx
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHn IDLx	CSIHnIDx[2:0]			CSIHnHDx[3:0]				CSIHnINx[3:0]				CSIHnSPx[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.40　CSIHnCFGx レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>31、30</td><td>CSIHnBRSSx[1:0]</td><td>ボーレート設定レジスタ（CSIHnBRSy）を選択するビットです。
<table>
<tr><th>CSIHnBRSSx1</th><th>CSIHnBRSSx0</th><th>ボーレート設定レジスタの選択</th></tr>
<tr><td>0</td><td>0</td><td>CSIHnBRS0 の設定に従い転送クロック周波数を設定します。</td></tr>
<tr><td>0</td><td>1</td><td>CSIHnBRS1 の設定に従い転送クロック周波数を設定します。</td></tr>
<tr><td>1</td><td>0</td><td>CSIHnBRS2 の設定に従い転送クロック周波数を設定します。</td></tr>
<tr><td>1</td><td>1</td><td>CSIHnBRS3 の設定に従い転送クロック周波数を設定します。</td></tr>
</table>
転送クロック周波数設定の最大値は、CSIHnCTL2.CSIHnPRS[2:0]設定と合わせて、以下のとおりとしてください。
マスタモード：PCLK/4、スレーブモード：PCLK/6</td></tr>
<tr><td>29、28</td><td>CSIHnPSx[1:0]</td><td>チップセレクト信号 x の送信用と受信用のパリティを選択します。
<table>
<tr><th>CSIHnPSx1</th><th>CSIHnPSx0</th><th>送信</th><th>受信</th></tr>
<tr><td>0</td><td>0</td><td>パリティを送信しません。</td><td>パリティの受信を待機しません。</td></tr>
<tr><td>0</td><td>1</td><td>0 に固定されたパリティビットを追加します。</td><td>パリティビットの受信を待機しますが、パリティの判定は行いません。</td></tr>
<tr><td>1</td><td>0</td><td>奇数パリティを追加します。</td><td>奇数パリティビットの受信を待機します。</td></tr>
<tr><td>1</td><td>1</td><td>偶数パリティを追加します。</td><td>偶数パリティビットの受信を待機します。</td></tr>
</table></td></tr>
<tr><td>27～24</td><td>CSIHnDLSx[3:0]</td><td>チップセレクト信号 x のデータ長を選択します。
<table>
<tr><th>CSIHnDLSx[3:0]</th><th>データ長</th></tr>
<tr><td>0000$_B$</td><td>16 ビット</td></tr>
<tr><td>0001$_B$</td><td>1 ビット</td></tr>
<tr><td>0010$_B$</td><td>2 ビット</td></tr>
<tr><td>…</td><td>…</td></tr>
<tr><td>1111$_B$</td><td>15 ビット</td></tr>
</table>
注意）　CSIHnTX0W.CSIHnEDL＝1 のとき、このビットの設定は意味を持ちません。（データ長は 16 ビット）CSIHnTX0W.CSIHnEDL＝0 のとき、このビットの設定が有効になります。1 つ前の送信データが CSIHnEDL＝1 設定の 16 ビットである時だけ、1 ビットを設定することが可能です。</td></tr>
<tr><td>23～20</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>19</td><td>CSIHnRCBx</td><td>チップセレクト信号 x のブロードキャスティングのリセッシブ設定を選択します。
0：ドミナント（高優先度）
1：リセッシブ（低優先度）
詳細については、「20.5.3.1　コンフィグレーションレジスタ」を参照してください。</td></tr>
<tr><td>18</td><td>CSIHnDIRx</td><td>チップセレクト信号 x のシリアルデータ方向を選択します。
0：MSB ファーストでデータを送受信します。
1：LSB ファーストでデータを送受信します。
詳細については、「20.5.9　シリアルデータ方向選択機能」を参照してください。</td></tr>
</table>

表 20.40　CSIHnCFGx レジスタの内容

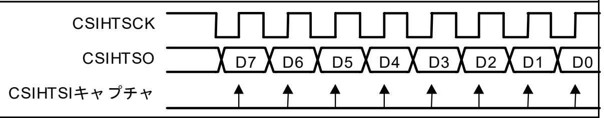
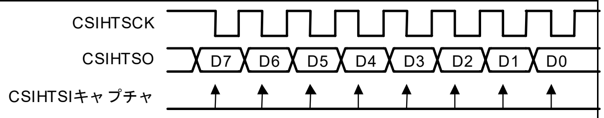
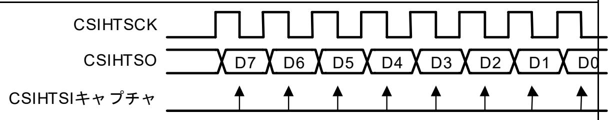
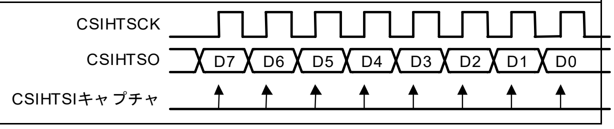
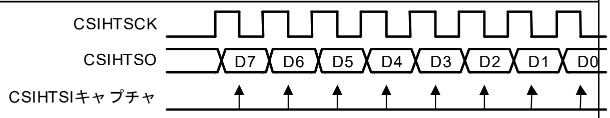
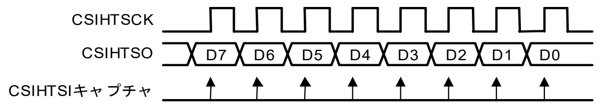
<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>17</td><td>CSIHnCKPx</td><td rowspan="2">CSIHnCKPx：クロック位相選択ビット
CSIHnDAPx：データ位相選択ビット
● CSIHnCTL1.CSIHnCKR＝0
<table>
<tr><th>CSIHnCKPx</th><th>CSIHnDAPx</th><th>クロック位相とデータ位相の選択</th></tr>
<tr><td>0</td><td>0</td><td></td></tr>
<tr><td>0</td><td>1</td><td></td></tr>
<tr><td>1</td><td>0</td><td></td></tr>
<tr><td>1</td><td>1</td><td></td></tr>
</table>
● CSIHnCTL1.CSIHnCKR＝1
<table>
<tr><th>CSIHnCKPx</th><th>CSIHnDAPx</th><th>クロック位相とデータ位相の選択</th></tr>
<tr><td>0</td><td>0</td><td></td></tr>
<tr><td>0</td><td>1</td><td></td></tr>
<tr><td>1</td><td>—</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>16</td><td>CSIHnDAPx</td></tr>
<tr><td>15</td><td>CSIHnIDLx</td><td>チップセレクト信号 x の強制アイドル状態の設定を選択します。
0：連続する 2 つの転送の CSIHnTX0W.CSIHnCSx 設定が違うならば、2 つの転送の間に必ずアイドル状態が入ります。連続する 2 つの転送の CSIHnTX0W.CSIHnCSx 設定が同じならば、2 つの転送の間にアイドル状態はありません。
1：連続する 2 つの転送の CSIHnTX0W.CSIHnCSx 設定に関係なく、2 つの転送の間にアイドル状態が入ります。
このビットはマスタモードでのみ利用できます。
強制アイドル状態については「20.5.15 強制 CS アイドル設定」を参照してください。</td></tr>
</table>

表 20.40　CSIHnCFGx レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>14～12</td><td>CSIHnIDx[2:0]</td><td>チップセレクト信号 x のアイドル時間を選択します。
<table>
<tr><th>CSIHnIDx[2:0]</th><th>アイドル時間</th></tr>
<tr><td>000_B</td><td>0.5 送信クロック周期</td></tr>
<tr><td>001_B</td><td>1.0 送信クロック周期</td></tr>
<tr><td>010_B</td><td>1.5 送信クロック周期</td></tr>
<tr><td>011_B</td><td>2.5 送信クロック周期</td></tr>
<tr><td>100_B</td><td>3.5 送信クロック周期</td></tr>
<tr><td>101_B</td><td>4.5 送信クロック周期</td></tr>
<tr><td>110_B</td><td>6.5 送信クロック周期</td></tr>
<tr><td>111_B</td><td>8.5 送信クロック周期</td></tr>
</table>
これらのビットはマスタモードでのみ利用可能です。</td></tr>
<tr><td>11～8</td><td>CSIHnHDx[3:0]</td><td>チップセレクト信号 x のホールド時間を送信クロック周期単位で指定します。
<table>
<tr><th>CSIHnHDx[3:0]</th><th>CSIHnCTL1.CSIHnSIT＝0
のときのホールド時間</th><th>CSIHnCTL1.CSIHnSIT＝1
のときのホールド時間</th></tr>
<tr><td>0000_B</td><td>0.5 送信クロック周期</td><td>1.0 送信クロック周期</td></tr>
<tr><td>0001_B</td><td>1.0 送信クロック周期</td><td>1.5 送信クロック周期</td></tr>
<tr><td>0010_B</td><td>1.5 送信クロック周期</td><td>2.0 送信クロック周期</td></tr>
<tr><td>0011_B</td><td>2.5 送信クロック周期</td><td>3.0 送信クロック周期</td></tr>
<tr><td>0100_B</td><td>3.5 送信クロック周期</td><td>4.0 送信クロック周期</td></tr>
<tr><td>0101_B</td><td>4.5 送信クロック周期</td><td>5.0 送信クロック周期</td></tr>
<tr><td>0110_B</td><td>6.5 送信クロック周期</td><td>7.0 送信クロック周期</td></tr>
<tr><td>0111_B</td><td>8.5 送信クロック周期</td><td>9.0 送信クロック周期</td></tr>
<tr><td>1000_B</td><td>9.5 送信クロック周期</td><td>10.0 送信クロック周期</td></tr>
<tr><td>1001_B</td><td>10.5 送信クロック周期</td><td>11.0 送信クロック周期</td></tr>
<tr><td>1010_B</td><td>11.5 送信クロック周期</td><td>12.0 送信クロック周期</td></tr>
<tr><td>1011_B</td><td>12.5 送信クロック周期</td><td>13.0 送信クロック周期</td></tr>
<tr><td>1100_B</td><td>14.5 送信クロック周期</td><td>15.0 送信クロック周期</td></tr>
<tr><td>1101_B</td><td>16.5 送信クロック周期</td><td>17.0 送信クロック周期</td></tr>
<tr><td>1110_B</td><td>18.5 送信クロック周期</td><td>19.0 送信クロック周期</td></tr>
<tr><td>1111_B</td><td>20.5 送信クロック周期</td><td>21.0 送信クロック周期</td></tr>
</table>
これらのビットはマスタモードでのみ利用可能です。</td></tr>
</table>

表 20.40 CSIHnCFGx レジスタの内容

ビット位置	ビット名	機能
7～4	CSIHnINx[3:0]	チップセレクト信号 x のデータ間時間を送信クロック周期単位で指定します。 CSIHnINx[3:0] / CSIHnCTL1.CSIHnSIT＝0 のときのデータ間時間 / CSIHnCTL1.CSIHnSIT＝1 のときのデータ間時間 0000_B / 0.0 送信クロック周期 / 0.5 送信クロック周期 0001_B / 0.5 送信クロック周期 / 1.0 送信クロック周期 0010_B / 1.0 送信クロック周期 / 1.5 送信クロック周期 0011_B / 2.0 送信クロック周期 / 2.5 送信クロック周期 0100_B / 3.0 送信クロック周期 / 3.5 送信クロック周期 0101_B / 4.0 送信クロック周期 / 4.5 送信クロック周期 0110_B / 6.0 送信クロック周期 / 6.5 送信クロック周期 0111_B / 8.0 送信クロック周期 / 8.5 送信クロック周期 1000_B / 9.0 送信クロック周期 / 9.5 送信クロック周期 1001_B / 10.0 送信クロック周期 / 10.5 送信クロック周期 1010_B / 11.0 送信クロック周期 / 11.5 送信クロック周期 1011_B / 12.0 送信クロック周期 / 12.5 送信クロック周期 1100_B / 14.0 送信クロック周期 / 14.5 送信クロック周期 1101_B / 16.0 送信クロック周期 / 16.5 送信クロック周期 1110_B / 18.0 送信クロック周期 / 18.5 送信クロック周期 1111_B / 20.0 送信クロック周期 / 20.5 送信クロック周期 これらのビットはマスタモードでのみ利用可能です。
3～0	CSIHnSPx[3:0]	チップセレクト信号 x のセットアップ時間を送信クロック周期単位で指定します。 CSIHnSPx[3:0] / セットアップ時間 0000_B / 0.5 送信クロック周期 0001_B / 1.0 送信クロック周期 0010_B / 1.5 送信クロック周期 0011_B / 2.5 送信クロック周期 0100_B / 3.5 送信クロック周期 0101_B / 4.5 送信クロック周期 0110_B / 6.5 送信クロック周期 0111_B / 8.5 送信クロック周期 1000_B / 9.5 送信クロック周期 1001_B / 10.5 送信クロック周期 1010_B / 11.5 送信クロック周期 1011_B / 12.5 送信クロック周期 1100_B / 14.5 送信クロック周期 1101_B / 16.5 送信クロック周期 1110_B / 18.5 送信クロック周期 1111_B / 20.5 送信クロック周期 これらのビットはマスタモードでのみ利用可能です。

注 意

本レジスタの設定では、「**表 20.47 レジスタ設定上の注意事項**」を参照してください。

20.3.12　CSIHnTX0W ― CSIHn ワードアクセス用送信データレジスタ 0

本レジスタは送信データを保存します。さらに、通信割り込み要求、エンドオブジョブ、拡張データ長、チップセレクトアクティブ化を指定します。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<CSIHn_base> + 1008_H

リセット後の値　XXXX $XXXX_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CSIHn CIRE	CSIHn EOJ	CSIHn EDL	—	—	—	—	—	CSIHnC S7	CSIHnC S6	CSIHnC S5	CSIHnC S4	CSIHnC S3	CSIHnC S2	CSIHnC S1	CSIHnC S0
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnTX[15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.41　CSIHnTX0W レジスタの内容

ビット位置	ビット名	機能
31	CSIHnCIRE	デュアルバッファモードまたは送信専用バッファモードのときの通信割り込み要求 INTCSIHTIC または FIFO モードのときのジョブ完了割り込み INTCSIHTIJC を許可します。 0：割り込みを要求しません。 1：割り込みを要求します。送信後、割り込み INTCSIHTIC または INTCSIHTIJC を発生します。詳細については、「**20.4.3 INTCSIHTIC（通信ステータス割り込み）**」と「**20.4.6 INTCSIHTIJC（ジョブ完了割り込み）**」を参照してください。 **注意）**　このビットはジョブモードが有効になっているとき（CSIHnCTL1.CSIHnJE＝1）にのみ有効です。
30	CSIHnEOJ	ジョブの終了を指定します。 0：エンドオブジョブデータではないことを示します。ジョブを続行します。 1：エンドオブジョブデータであることを示します。 **注意）**　このビットはジョブモードが有効になっているとき（CSIHnCTL1.CSIHnJE＝1）にのみ有効です。 スレーブモードで使用するときこのビットは必ず 0 に設定してください。
29	CSIHnEDL	関連付けられたデータが拡張データ長（EDL）オプションを必要とするかどうかを指定します。 0：通常の動作。 1：拡張データ長を有効にします。 関連付けられたデータは 16 ビットのパケットとして送信されます。データ送信後にデータ間時間またはアイドル時間は挿入されません。 CSIHnCTL1.CSIHnEDLE＝1 かつ CSIHnTX0W.CSIHnEDL＝1 の場合は、次のデータに対しても同じ CS を選択しなければなりません。次のデータに対して CS を変更した場合、正しい動作は保証されません。 **注意）**　このビットは CSIHnCTL1.CSIHnEDLE＝1 のときにのみ利用できます。
28～24	予約ビット	リードした場合は不定値が読めます。ライトする場合は “0” を書いてください。

表 20.41　CSIHnTX0W レジスタの内容

ビット位置	ビット名	機能
23～16	CSIHnCS[7:0]	1 つ以上のチップセレクト信号をアクティブにします。 0：関連付けられた送信に対してチップセレクト信号 x をアクティブにします。 1：関連付けられた送信に対してチップセレクト信号 x を非アクティブにします。 CSIHnTX0W.CSIHnCS[7:0]＝FF_H は設定禁止です。 **注意）** 複数のチップセレクト信号がブロードキャスティングに対して有効になっている場合は、CSIHnCFGx.CSIHnRCBx＝0（ドミナント）に設定されている信号の設定が使用されます。その場合は、すべてのドミナントなチップセレクト信号をまったく同じ値に設定にする必要があります。 スレーブモードで使用する場合には CSIHnCS[7:0]ビット＝FE_H に設定してください。
15～0	CSIHnTX[15:0]	送信データを保存します。

注　意

本レジスタの設定では、「**表 20.47　レジスタ設定上の注意事項**」を参照してください。

20.3.13　CSIHnTX0H ― CSIHn ハーフワードアクセス用送信データレジスタ 0

本レジスタは送信データを保存します。本レジスタは CSIHnTX0W レジスタのビット 15～0 と同じです。

転送には、CSIHnTX0W の上位 16 ビットの設定が適用されます。ただし、リセット後は CSIHnTX0W の値が不定ですので、本レジスタの使用前に、CSIHnTX0W に送信データ設定を行ってください。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<CSIHn_base> + $100C_H$

リセット後の値　不定

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnTX[15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.42　CSIHnTX0H レジスタの内容

ビット位置	ビット名	機能
15～0	CSIHnTX[15:0]	送信データを保存します。

注　意

本レジスタの設定では、「**表 20.47　レジスタ設定上の注意事項**」を参照してください。

20.3.14　CSIHnRX0W ― CSIHn ワードアクセス用受信データレジスタ 0

本レジスタは受信データを保存します。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　<CSIHn_base> + 1010_H

リセット後の値　$0XXX\ XXXX_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	CSIHn RPE	CSIHn TDCE	CSIHn CS7	CSIHn CS6	CSIHn CS5	CSIHn CS4	CSIHn CS3	CSIHn CS2	CSIHn CS1	CSIHn CS0
リセット後の値	0	0	0	0	0	0	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnRX[15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.43　CSIHnRX0W レジスタの内容

ビット位置	ビット名	機能
31～26	予約ビット	リードした場合はリセット後の値が読めます。
25	CSIHnRPE	受信データパリティエラーが検出されたかどうかを示します。 0：関連付けられた受信データでパリティエラーが検出されていません。 1：関連付けられた受信データでパリティエラーが検出されています。
24	CSIHnTDCE	送信データ整合性チェックエラーが検出されたかどうかを示します。 0：関連付けられた送信で整合性チェックエラーが検出されていません。 1：関連付けられた送信で整合性チェックエラーが検出されています。
23～16	CSIHnCSx (x=7～0)	どのチップセレクト信号がアクティブになっているかを示します。 0：関連付けられた受信に対してチップセレクト信号 x がアクティブになっています。 1：関連付けられた受信に対してチップセレクト信号 x が非アクティブになっています。
15～0	CSIHnRX[15:0]	受信データを保存します。

備　考

本レジスタは、INTCSIHTIR 割り込み発生時に、受信データを保存します。INTCSIHTIR 割り込みが発生する前に、本レジスタから受信データを読み出してください。さもなければ、データは次の受信データで上書きされます。

注　意

本レジスタの設定では、「**表 20.47　レジスタ設定上の注意事項**」を参照してください。

20.3.15 CSIHnRX0H ― CSIHn ハーフワードアクセス用受信データレジスタ 0

本レジスタは受信データを保存します。本レジスタは CSIHnRX0W レジスタのビット 15～0 と同じです。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <CSIHn_base> + 1014$_H$

リセット後の値 不定

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSIHnRX[15:0]															
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 20.44 CSIHnRX0H レジスタの内容

ビット位置	ビット名	機能
15～0	CSIHnRX[15:0]	受信データを保存します。

備 考

本レジスタは、INTCSIHTIR 割り込み発生時に、受信データを保存します。INTCSIHTIR 割り込みが発生する前に、本レジスタから受信データを読み出してください。さもなければ、データは次の受信データで上書きされます。

注 意

本レジスタの設定では、「**表 20.47 レジスタ設定上の注意事項**」を参照してください。

20.3.16 CSIHnEMU — CSIHn エミュレーションレジスタ

このレジスタは SVSTOP による動作を制御します。

アクセス 8/1 ビット単位でリード／ライト可能です。
（EPC.SVSTOP＝0）のときにライト動作を行ってください。

アドレス <CSIHn_base> + 0018_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	CSIHnSVSDIS	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R

表 20.45 CSIHnEMU レジスタの内容

ビット位置	ビット名	機能
7	CSIHnSVSDIS	デバッグ時の送受信動作の継続／停止を選択します。 ● EPC.SVSTOP＝0 のとき 本ビットの設定にかかわらず、送受信動作を継続します。 ● EPC.SVSTOP＝1 のとき 0：送受信動作を停止 1：送受信動作を継続
6～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注 意

本レジスタの設定では、「**表 20.47 レジスタ設定上の注意事項**」を参照してください。

20.3.17　CSIHnBRSy ― CSIHn ボーレート設定レジスタ y（y＝0～3）

チップセレクト信号ごとに転送クロック周波数を設定するためのレジスタです。

CSIHnCFG0～7.CSIHnBRSSx[1:0]ビットにより、チップセレクト信号ごとに、4 種類の転送クロック周波数設定から 1 つの設定を選択することができます。転送クロック周波数設定の詳細については、「**20.5.5 送信クロックの選択**」を参照してください。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　CSIHnBRS0：<CSIHn_base> + 1068_H
CSIHnBRS1：<CSIHn_base> + $106C_H$
CSIHnBRS2：<CSIHn_base> + 1070_H
CSIHnBRS3：<CSIHn_base> + 1074_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CSIHnBRS[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 20.46　CSIHnBRSy レジスタの内容

ビット位置	ビット名	機能
15～12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11～0	CSIHnBRS[11:0]	0：BRG の停止 1：PCLK / ($2^α$ × 1 × 2) 2：PCLK / ($2^α$ × 2 × 2) 3：PCLK / ($2^α$ × 3 × 2) 4：PCLK / ($2^α$ × 4 × 2) : 4095：PCLK / ($2^α$ × 4095 × 2) α は CSIHnCTL2.CSIHnPRS[2:0]の値です。

注　意

本レジスタの設定では、「**表 20.47　レジスタ設定上の注意事項**」を参照してください。

20.3.18　注意事項の一覧

表 20.47　レジスタ設定上の注意事項

レジスタ名	ビット名	注意事項
CSIHnCTL0	CSIHnPWR	通信中にこのビットをクリアすると、実行中の通信が中断されます。中断後は、通信の再起動が必要です。
CSIHnCTL0	CSIHnTXE CSIHnRXE	CSIHnCTL0.CSIHnPWR＝0 の間、これらのビットのいずれも変更しないでください。（これらのビットは、CSIHnCTL0.CSIHnPWR ビットと同時に変更することができます。）実行中の通信が中断されると、設定した動作が保証されないので、CSIHnSTR0.CSIHnTSF＝1 の間、これらのビットを変更しないでください。
CSIHnCTL0	CSIHnJOBE	CSIHnCTL0.CSIHnPWR＝0 である間に、このビットを変更しないでください。 CSIHnCTL1.CSIHnJE＝1 のときのみ、このビットは有効です。 このビットの設定は、スレーブモードでは禁止されます。
CSIHnCTL0	CSIHnMBS	CSIHnCTL0.CSIHnPWR＝0 である間に、このビットを変更しないでください。（このビットは、CSIHnCTL0.CSIHnPWR ビットと同時に変更することができます。） このビットの変更は CSIHnSTR0.CSIHnTSF＝0 のときのみ許可されます。 CSIHnCTL0.CSIHnPWR＝1 であるときに、FIFO モードと、ダイレクトアクセスモード間でのモードの変更をしないでください。 CPU 制御による高優先通信を実施している期間は、CSIHnMBS ビット設定に関わらずダイレクトアクセスモードと同じ動作を行います。
CSIHnCTL1	CSIHnCKR	このビットの値の変更は、CSIHnCTL0.CSIHnPWR＝0 のときのみ許可されます。 CS が使用されていない場合、CSIHnCFGx.CSIHnCKPx の代わりにこのビットを使用し、CSIHnCFGx.CSIHnCKPx は 0 に設定してください。 スレーブモードでは、このビットを使用してください。
CSIHnCTL1	CSIHnSLIT CSIHnCSL[7:0] CSIHnEDLE CSIHnDCS CSIHnCSRI CSIHnHSE	このビットの値の変更は、CSIHnCTL0.CSIHnPWR＝0 のときのみ許可されます。
CSIHnCTL1	CSIHnPHE CSIHnJE CSIHnLBM	このビットの値の変更は、CSIHnCTL0.CSIHnPWR＝0 のときのみ許可されます。 このビットを 1 に設定することは、スレーブモードでは禁止されます。
CSIHnCTL1	CSIHnSSE	このビットの値の変更は、CSIHnCTL0.CSIHnPWR＝0 のときのみ許可されます。 このビットを 1 に設定することは、マスタモードでは禁止されます。
CSIHnCTL1	CSIHnSIT	このビットの値の変更は、CSIHnCTL0.CSIHnPWR＝0 のときのみ許可されます。 このビットはマスタモードでのみ有効になります。スレーブモードでは遅延は生成されません。
CSIHnCTL2	CSIHnPRS[2:0]	このビットの値の変更は、CSIHnCTL0.CSIHnPWR＝0 のときのみ許可されます。 最大転送クロック周波数の設定は、以下のとおりです。 ● マスタモード：10.0MHz（ただし、PCLK/4 以下） ● スレーブモード：5.0MHz（ただし、PCLK/6 以下）（すべての製品） ● スレーブモード：8.0MHz（ただし、PCLK/6 以下） （RH850/F1KM-S1（48/64-Pin 製品）の CSIH0、その他の製品の CSIH2）
CSIHnSTR0	CSIHnSRP[7:0] CSIHnSPF[7:0] CSIHnHPST CSIHnFLF CSIHnEMF CSIHnTSF	書き込みは禁止です。読み出しのみ有効です。
CSIHnSTR0	CSIHnTMOE CSIHnOFE CSIHnDCE CSIHnPE CSIHnOVE	書き込みは禁止です。読み出しのみ有効です。 このビットは、CSIHnCTL0.CSIHnPWR＝0→1 または CSIHnCTL0.CSIHnPWR＝1→0 のときに初期化されます。
CSIHnSTCR0	CSIHnPCT	通信中にこのビットを 1 に設定すると、実行中の通信は中断されます。

表 20.47　レジスタ設定上の注意事項

レジスタ名	ビット名	注意事項
CSIHnMCTL0	CSIHnMMS[1:0]	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR＝0、CSIHnCTL0.CSIHnMBS＝0 のときのみ許可されます。
CSIHnMCTL0	CSIHnTO[4:0]	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR＝0 のときのみ許可されます。 マスタモードでは、これらのビットを“0”に設定してください。 ダイレクトアクセス、デュアルバッファ、送信専用バッファモードでは、これらのビットを“0”に設定してください。
CSIHnMCTL1	CSIHnFES[6:0] CSIHnFFS[6:0]	通信中に書き込むことは可能です。
CSIHnMCTL2	CSIHnBTST CSIHnND[7:0] CSIHnSOP[6:0]	CSIHnCTL0.CSIHnPWR＝0 のとき、これらのビットへ書き込みすることは禁止されています。 CSIHnCTL0.CSIHnTXE＝CSIHnCTL0.CSIHnRXE＝0 のとき、これらのビットへ書き込みすることは禁止されています。 CSIHnSTR0.CSIHnTSF＝1 のとき、これらのビットへ書き込みすることは禁止されています。 ダイレクトアクセス、FIFO モードでは、これらのビットへの書き込みは、禁止されています。
CSIHnMRWP0	CSIHnRRA[6:0]	通信中に書き込むことは可能です。 ダイレクトアクセス、FIFO モードでは、これらのビットへの書き込みは、禁止されています。 書き込みが必要なときは、送信専用バッファモードでこれらのビットに“00_H”を設定してください。
CSIHnMRWP0	CSIHnTRWA[6:0]	通信中に書き込むことは可能です。 ダイレクトアクセス、FIFO モードでは、これらのビットへの書き込みは、禁止されています。
CSIHnCFGx x＝0～7	CSIHnBRSSx[1:0] CSIHnRCBx CSIHnIDLx CSIHnIDx[2:0] CSIHnHDx[3:0] CSIHnINx[3:0] CSIHnSPx[3:0]	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR＝0 のときのみ許可されます。 スレーブモードでは、これらのビットを“0”に設定してください。
CSIHnCFGx x＝0～7	CSIHnPSx[1:0] CSIHnDLSx[3:0] CSIHnDIRx CSIHnDAPx	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR＝0 のときのみ許可されます。 スレーブモードのときは、CSIHnCFG0 の設定はコンフィグレーションのために使用されます。そのため、CSIHnCFG1～7 のすべてビットは“0”に設定されなければなりません。
CSIHnCFGx x＝0～7	CSIHnCKPx	これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR＝0 のときのみ許可されます。 スレーブモードでは、CSIHnCTL1.CSIHnCKR を使用する必要があるため、本ビットには“0”を設定してください。 CS が使用されていない場合、このビットの代わりに、CSIHnCTL1.CSIHnCKR ビットを使用し、このビットを“0”に設定してください。
CSIHnTX0W	CSIHnEOJ CSIHnCIRE	このビットは、CSIHnCTL1.CSIHnJE＝1 のときのみ、有効です。 CSIHnCTL1.CSIHnJE＝0 のとき、読み出し値が“1”でも、これらの値は無視されます。 スレーブモードのときは、これらのビットを“0”に設定してください。
CSIHnTX0W	CSIHnEDL	このビットは、CSIHnCTL1.CSIHnEDLE＝1 のときのみ、有効です。 CSIHnCTL1.CSIHnEDLE＝0 のとき、読み出し値が“1”でも、これらの値は無視されます。
CSIHnTX0W	CSIHnCS[7:0]	マスタモード時は、これらのビットを“FF_H”に設定することは禁止されています。 スレーブモード時は、これらのビットを“FE_H”に設定してください。
CSIHnTX0W CSIHnTX0H		これらのビットの読み出しは FIFO モードでの通信中は禁止されています。 CSIHnCTL0.CSIHnPWR＝0 かつ FIFO モードのとき、これらのビットを読み書きすることは禁止されています。 CSIHnCTL0.CSIHnTXE＝CSIHnCTL0.CSIHnRXE＝0 のとき、ダイレクトアクセスモードでは、これらのビットへの書き込みは、禁止されています。

表 20.47　レジスタ設定上の注意事項

レジスタ名	ビット名	注意事項
CSIHnRX0W		これらのビットは CSIHnCTL0.CSIHnPWR＝0→1、または、CSIHnCTL0.CSIHnPWR＝1→0 のときに初期化されます。 CSIHnCTL0.CSIHnPWR＝0 のとき、FIFO モードでは、これらのビットを読み書きすることは禁止されています。 CSIHnCTL0.CSIHnPWR＝0 のとき、FIFO モード以外のモード（送信専用バッファモード、デュアルバッファモード、ダイレクトアクセスモード）ではこれらのビットの読み書きすることは有効です。 CSIHnCTL0.CSIHnPWR＝1 のとき、これらのビットの読み出しは有効です。
CSIHnRX0H		これらのビットは CSIHnCTL0.CSIHnPWR＝0→1、または、CSIHnCTL0.CSIHnPWR＝1→0 のときに初期化されます。 CSIHnCTL0.CSIHnPWR＝0 のとき、FIFO モードでは、これらのビットを読み書きすることは禁止されています。 CSIHnCTL0.CSIHnPWR＝1 のとき、FIFO モードではこれらのビットの読み出しは有効です。 CSIHnCTL0.CSIHnPWR の値にかかわらず、FIFO モード以外のモード（送信専用バッファモード、デュアルバッファモード、ダイレクトアクセスモード）では読み出しは有効です。
CSIHnEMU	CSIHnSVSDIS	このビットの値の変更は、SVSTOP＝0 のときのみ許可されます。
CSIHnBRSy y＝0～3		これらのビットの値の変更は、CSIHnCTL0.CSIHnPWR＝0 のときのみ許可されます。

20.4　割り込み要因

CSIH は以下の割り込み要求を発生することができます。

- INTCSIHTIC（通信ステータス割り込み）
- INTCSIHTIR（受信ステータス割り込み）
- INTCSIHTIRE（通信エラー割り込み）
- INTCSIHTIJC（ジョブ完了割り込み）

20.4.1　概要

エラーが検出されると、通信エラー割り込み INTCSIHTIRE が発生します。ほかの割り込みが発生する条件は、メモリモード、ジョブモードによって異なり、ジョブ完了割り込み INTCSIHTIJC の場合は動作モードによっても異なります。

ジョブ完了割り込み INTCSIHTIJC は、ジョブモードが有効になっているとき（CSIHnCTL1.CSIHnJE＝1）にのみ発生します。スレーブモードでこの割り込みを利用することはできません。

割り込みの概要を以下の表に示します。

表 20.48　割り込みの発生

メモリモード	割り込み	割り込み要因	
		ジョブモード無効 CSIHnCTL1.CSIHnJE＝0	ジョブモード有効 CSIHnCTL1.CSIHnJE＝1
FIFO	INTCSIHTIC	Tx データエンプティ注 1	Tx データエンプティ注 1 ジョブ中断注 4 時を除く
	INTCSIHTIR	Rx データフル注 2 かつ CSIHnCTL0.CSIHnRXE＝1	Rx データフル注 2 かつ CSIHnCTL0.CSIHnRXE＝1
	INTCSIHTIRE	エラー検出	エラー検出
	INTCSIHTIJC 注 3	適用不可	CSIHnTX0W.CSIHnCIRE＝1（Tx データエンプティではないとき）またはジョブ中断注 4
送信専用 バッファ	INTCSIHTIC	通信終了	CSIHnTX0W.CSIHnCIRE＝1 かつ （CSIHnCTL0.CSIHnJOBE＝0 もしくは CSIHnTX0W.CSIHnEOJ＝0）のとき
	INTCSIHTIR	データ受信かつ CSIHnCTL0.CSIHnRXE＝1	データ受信かつ CSIHnCTL0.CSIHnRXE＝1
	INTCSIHTIRE	エラー検出	エラー検出
	INTCSIHTIJC 注 3	適用不可	ジョブ中断注 4
デュアル バッファ	INTCSIHTIC	通信終了	CSIHnTX0W.CSIHnCIRE＝1 かつ （CSIHnCTL0.CSIHnJOBE＝0 もしくは CSIHnTX0W.CSIHnEOJ＝0）のとき
	INTCSIHTIR	通信終了かつ CSIHnCTL0.CSIHnRXE＝1	データ受信かつ CSIHnCTL0.CSIHnRXE＝1
	INTCSIHTIRE	エラー検出	エラー検出
	INTCSIHTIJC 注 3	適用不可	ジョブ中断注 4
ダイレクト アクセス	INTCSIHTIC	1 データ転送	1 データ転送（ジョブ中断注 4 の状態を除く）
	INTCSIHTIR	データ受信かつ CSIHnCTL0.CSIHnRXE＝1	データ受信かつ CSIHnCTL0.CSIHnRXE＝1
	INTCSIHTIRE	エラー検出	エラー検出
	INTCSIHTIJC 注 3	適用不可	ジョブ中断注 4

注1.　「Tx データエンプティ」とは、CSIHnMCTL1.CSIHnFES[6:0]で定義される FIFO の充填レベルです。

注2.　「Rx データフル」とは、CSIHnMCTL1.CSIHnFFS[6:0]で定義される FIFO の充填レベルです。

注3.　スレーブモードでは INTCSIHTIJC は利用できません。

注4.　ジョブ中断の条件：CSIHnTX0W.CSIHnEOJ＝1 かつ CSIHnCTL0.CSIHnJOBE＝1
　　送信専用バッファモードの高優先通信中は、ダイレクトアクセスモードと同じ動作となります。

20.4.2 割り込み遅延

マスタモードでは、マスタから発生するすべての割り込みを送信クロック CSIHTSCK の半周期だけ遅延させることができます。スレーブモードでこの機能を利用することはできません。

遅延を指定するには、CSIHnCTL1.CSIHnSIT＝1 に設定します（スレーブモードでは CSIHnSIT ビットの設定は無効です）。

CSIHnCTL1.CSIHnSIT＝1（割り込み遅延有効）、CSIHnCFGx.CSIHnCKPx＝0、CSIHnCFGx.CSIHnDAPx＝0（クロック位相とデータ位相）、CSIHnCFGx.CSIHnDLSx[3:0]＝1000_B（データ長 8 ビット）の設定で割り込み遅延機能を使用する例を以下の図に示します。

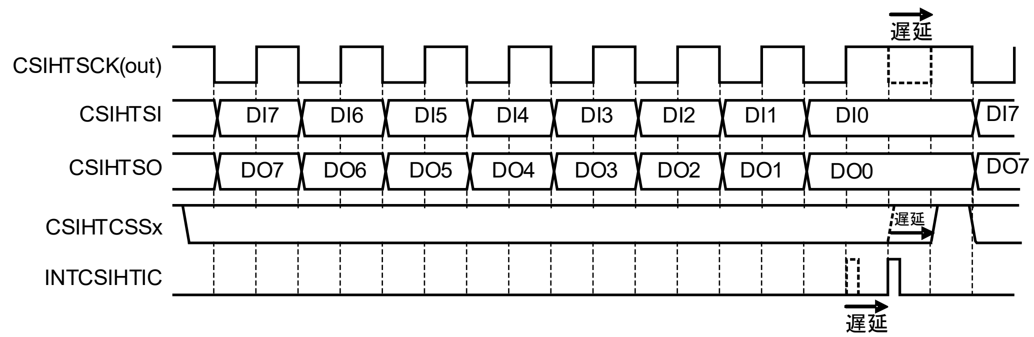


図 20.2 割り込み遅延機能（CSIHnCTL1.CSIHnSIT＝1）

CSIHnCTL1.CSIHnSIT＝1 に設定すると、送信クロックに半周期の遅延が追加されます。これによって現在のチップセレクト信号（CSIHTCSSx）の終了も遅延します。

20.4.3 INTCSIHTIC（通信ステータス割り込み）

この割り込みが発生する条件は、以下に示すように、メモリモードとジョブモードによって異なります。

表 20.49　INTCSIHTIC 割り込みの発生

メモリモード	割り込み要因	
	ジョブモード無効 CSIHnCTL1.CSIHnJE＝0	ジョブモード有効 CSIHnCTL1.CSIHnJE＝1
FIFO	この割り込みは、FIFO 内の送信データがなくなる直前に発生し、新しいデータを追加する必要があることをアプリケーションに知らせます。 FIFO に残っている送信データの数 CSIHnSTR0.CSIHnSPF[7:0]が CSIHnMCTL1.CSIHnFES[6:0]と等しくなると INTCSIHTIC が発生します。	JE＝0 のときと同様に、FIFO に残っている送信データの数 CSIHnSTR0.CSIHnSPF[7:0]が CSIHnMCTL1.CSIHnFES[6:0]と等しくなったとき発生しますが、ジョブ中断の場合は発生しません。
送信専用バッファ、デュアルバッファ	通信終了時（CSIHnMCTL2.CSIHnND[7:0]ビットで指定）に発生します。	CSIHnTX0W.CSIHnCIRE＝1 の設定でデータが送信されたときに発生します。 ただし、CSIHnTX0W.CSIHnCIRE＝1 の設定でデータとジョブ中断注 1 が送信された場合は、INTCSIHTIC の代わりに割り込み INTCSIHTIJC が発生します。
ダイレクトアクセス	データ転送が 1 回行われるたびに発生します。	通信が中断された場合を除き、データ転送が 1 回行われるたびに発生します。

注1.　ジョブ中断の条件：CSIHnTX0W.CSIHnEOJ＝1 かつ CSIHnCTL0.CSIHnJOBE＝1

送信専用バッファモードの高優先通信中は、ダイレクトアクセスモードと同じ動作となります。

20.4.3.1　ダイレクトアクセスモードでの INTCSIHTIC

以下の例はダイレクトアクセスモードでの INTCSIHTIC の動作を示しています。

この例では、以下の条件を想定しています。

- マスタモード
- ダイレクトアクセスモード
- 割り込み遅延なし（CSIHnCTL1.CSIHnSIT＝0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx＝0、CSIHnCFGx.CSIHnDAPx＝0）
- データ長 8 ビット（CSIHnCFGx.CSIHnDLSx[3:0]＝1000_B）
- 通常の INTCSIHTIC 割り込みのタイミング（CSIHnCTL1.CSIHnSLIT＝0）

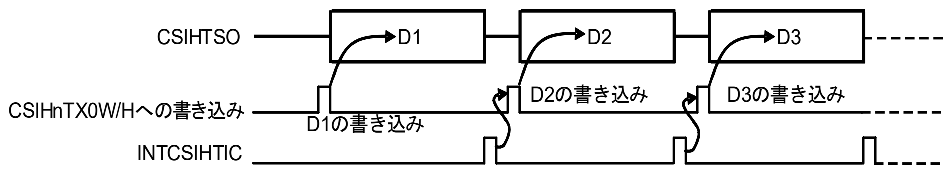


図 20.3　転送後の INTCSIHTIC の発生（CSIHnCTL1.CSIHnSLIT＝0）

ジョブモードが有効になっており（CSIHnCTL1.CSIHnJE＝1）、CSIHnTX0W.CSIHnEOJ＝1 の設定でデータが送信され、通信停止の要求が発行されている（CSIHnCTL0.CSIHnJOBE＝1）状態でジョブが終了した場合、INTCSIHTIC はジョブ完了割り込み INTCSIHTIJC に置き換えられます。

CSIHnTX0W/H レジスタが空になり、次のデータの受け入れが可能になったときに INTCSIHTIC が発生するように設定することもできます。そうするには、CSIHnCTL1.CSIHnSLIT＝1 に設定します。

以下の図にその効果を示します。

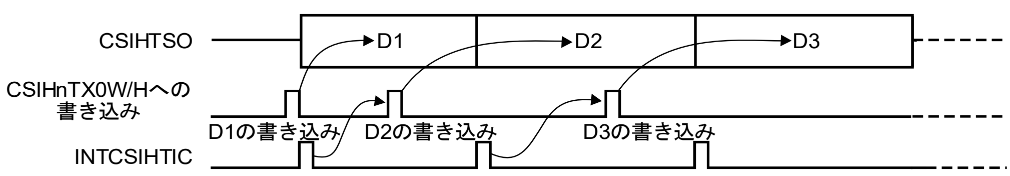


図 20.4　INTCSIHTIC の即時発生（CSIHnCTL1.CSIHnSLIT＝1）

このように、新しいデータを先行して書き込むことができます。

備　考

送信専用バッファモードの高優先通信中は、ダイレクトアクセスモードと同じ動作となります。

20.4.3.2　FIFO モードでの INTCSIHTIC

以下の例は FIFO モードでの INTCSIHTIC の動作を示しています。

この例では、以下の条件を想定しています。

- マスタモード
- FIFO モード
- 割り込み遅延なし（CSIHnCTL1.CSIHnSIT＝0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx＝0、CSIHnCFGx.CSIHnDAPx＝0）
- データ長 8 ビット（CSIHnCFGx.CSIHnDLSx[3:0]＝1000_B）

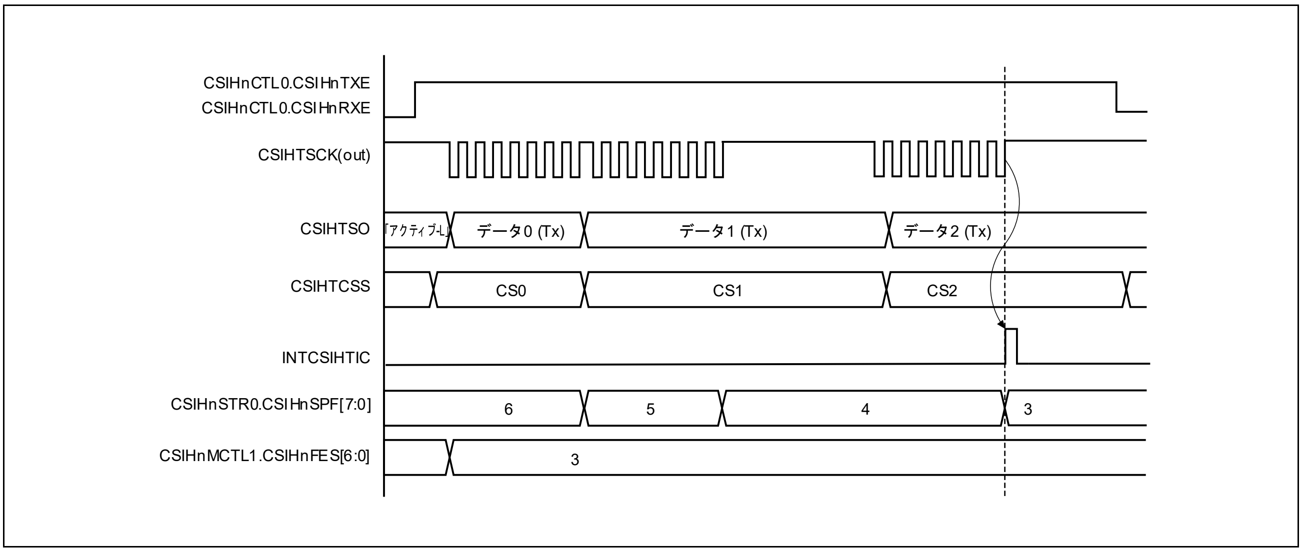


図 20.5　FIFO メモリモードでの INTCSIHTIC の発生

「FIFO エンプティ」の条件は CSIHnMCTL1.CSIHnFES[6:0]で指定します。上の図の例では、FIFO に残っている未送信の送信データの数が 3 に設定されています。

CSIHnSTR0.CSIHnSPF[7:0]は未送信のデータの数を示します。両方の数が一致すると、割り込み INTCSIHTIC が発生します。

20.4.3.3　ジョブモードでの INTCSIHTIC

以下の例はジョブモードでの INTCSIHTIC の動作を示しています。

この例では、以下の条件を想定しています。

- マスタモード
- ジョブモード有効（CSIHnCTL1.CSIHnJE＝1）
- 割り込み遅延なし（CSIHnCTL1.CSIHnSIT＝0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx＝0、CSIHnCFGx.CSIHnDAPx＝0）
- データ長 8 ビット（CSIHnCFGx.CSIHnDLSx[3:0]＝1000_B）
- 通常の INTCSIHTIC 割り込みのタイミング（CSIHnCTL1.CSIHnSLIT＝0）

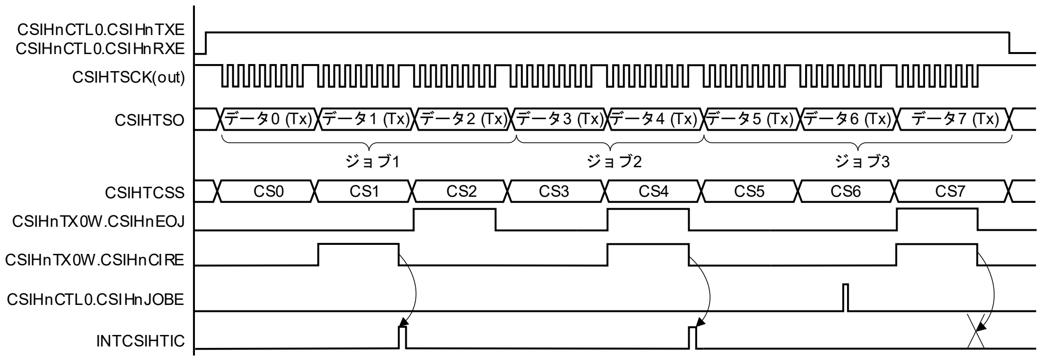


図 20.6　ジョブモードでの INTCSIHTIC の発生

ジョブモードでの INTCSIHTIC の発生に適用される規則を以下の表に示します。

表 20.50　ジョブモードでの INTCSIHTIC の発生

CSIHnTX0W. CSIHnEOJ	CSIHnTX0W. CSIHnCIRE	INTCSIHTIC
0	0	発生しません。
0	1	発生します。
1	0	発生しません。
1	1	CSIHnCTL0.CSIHnJOBE＝0：発生します。
		CSIHnCTL0.CSIHnJOBE＝1：発生せず、割り込み INTCSIHTIJC に置き換えられます。

20.4.4　INTCSIHTIR（受信ステータス割り込み）

この割り込みが発生する条件は、以下に示すように、メモリモードとジョブモードによって異なります。

表 20.51　INTCSIHTIR 割り込みの発生

<table>
<tr><th rowspan="2">メモリモード</th><th colspan="2">割り込み要因</th></tr>
<tr><th>ジョブモード無効
CSIHnCTL1.CSIHnJE＝0</th><th>ジョブモード有効
CSIHnCTL1.CSIHnJE＝1</th></tr>
<tr><td>FIFO モード</td><td colspan="2">この割り込みは、CSIHnCTL0.CSIHnRXE＝1 のとき、FIFO バッファが受信データでフルになる直前に発生し、FIFO を空にする必要があることをアプリケーションに知らせます。
FIFO に残っている受信データの数 CSIHnSTR0.CSIHnSRP[7:0]が（128－CSIHnMCTL1.CSIHnFFS[6:0]）と等しくなると INTCSIHTIR が発生します。</td></tr>
<tr><td>デュアルバッファモード</td><td>通信が終了し（CSIHnMCTL2.CSIHnND[7:0]ビットで指定）、かつ CSIHnCTL0.CSIHnRXE＝1 であれば発生します。</td><td>データ転送が 1 回行われるたびに発生します。</td></tr>
<tr><td>送信専用バッファモード、ダイレクトアクセスモード</td><td colspan="2">データ転送が 1 回行われるたびに発生します。</td></tr>
</table>

20.4.4.1　ダイレクトアクセスモードでの INTCSIHTIR

以下の例はダイレクトアクセスモードでの INTCSIHTIR の動作を示しています。

この例では、以下の条件を想定しています。

- マスタモード
- ダイレクトアクセスモード
- 割り込み遅延なし（CSIHnCTL1.CSIHnSIT＝0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx＝0、CSIHnCFGx.CSIHnDAPx＝0）
- データ長 8 ビット（CSIHnCFGx.CSIHnDLSx[3:0]＝1000_B）

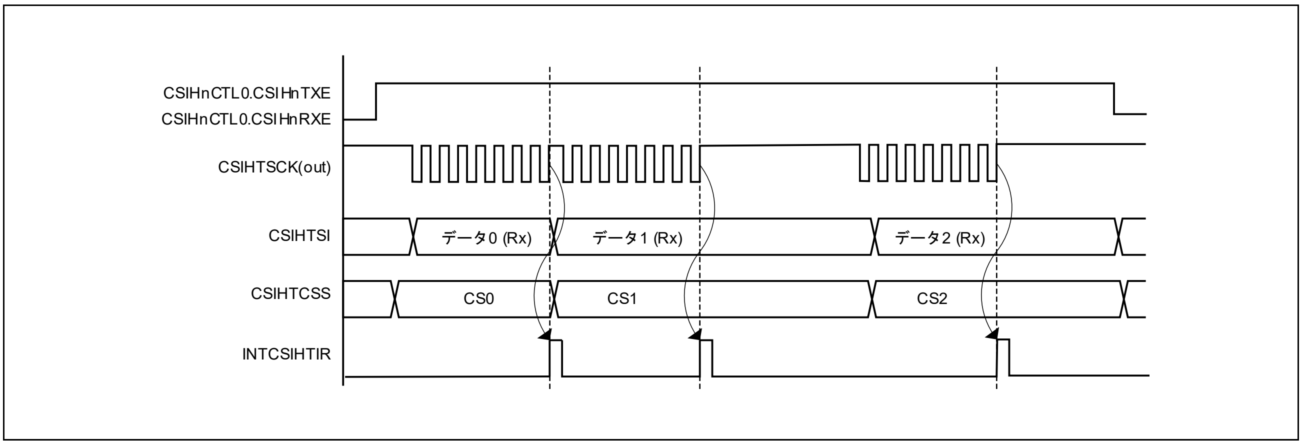


図 20.7　ダイレクトアクセスモードでの INTCSIHTIR の発生

20.4.4.2　デュアルバッファモードでの INTCSIHTIR

以下の例はデュアルバッファモードでの INTCSIHTIR の動作を示しています。

この例では、以下の条件を想定しています。

- マスタモード
- デュアルバッファモード
- 割り込み遅延なし（CSIHnCTL1.CSIHnSIT＝0）
- デフォルトのクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx＝0、CSIHnCFGx.CSIHnDAPx＝0）
- データ長 8 ビット（CSIHnCFGx.CSIHnDLSx[3:0]＝1000_B）

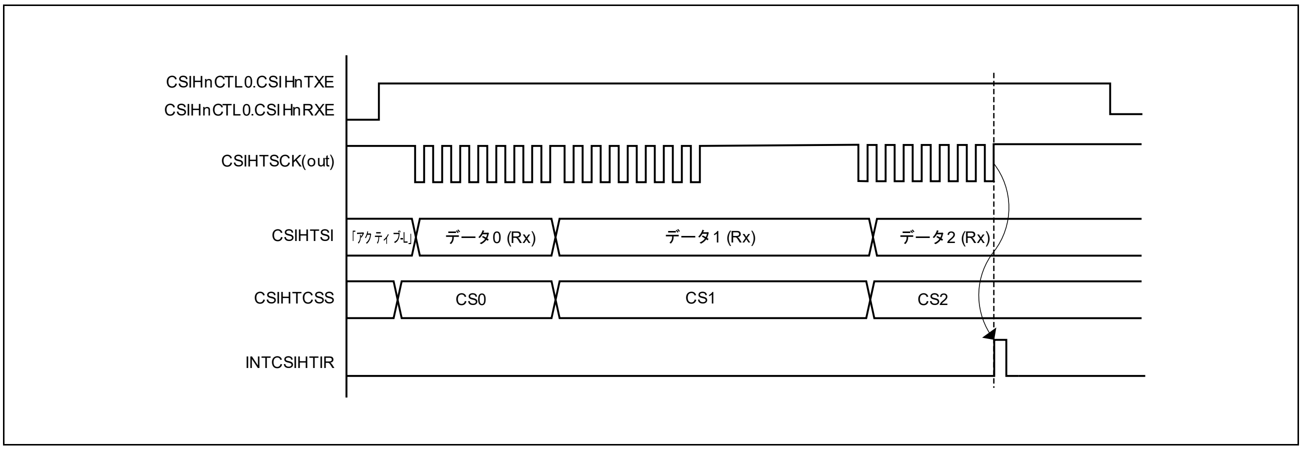


図 20.8　デュアルバッファモードでの INTCSIHTIR の発生

20.4.5 INTCSIHTIRE（通信エラー割り込み）

この割り込みはエラーが検出されるたびに発生します。

割り込み発生タイミングは、「**20.5.12 エラー検出**」を参照ください。

表 20.52 データエラーのタイプ

エラーのタイプ	エラー割り込み後の通信ステータス	備考
オーバフローエラー	割り込みが発生しても通信は継続します。	FIFO バッファに書き込まれず、オーバフローしたデータは失われますが、エラー発生前に開始された通信は継続して行われます。
パリティエラー	割り込みが発生しても通信は継続します。	—
データ整合性 チェックエラー	割り込みが発生しても通信は継続します。	—
タイムアウトエラー	割り込みが発生しても通信は継続します。	—
オーバランエラー	（エラー発生条件 1） FIFO モードで受信データの数が 0 になった状態で CPU が CSIHnRX0W/H レジスタをリードすると、割り込みが発生します。通信は継続します。	—
	（エラー発生条件 2） スレーブモードで CSIHnCTL1.CSIHnHSE＝0（ハンドシェークなし）の場合、 ［1］ダイレクトアクセスモードもしくは送信専用バッファモードで、前の受信データが CSIHnRX0W/H レジスタに残っている状態で受信を完了した場合、割り込みが発生します。通信は継続します。 ［2］FIFO モードで、FIFO バッファが受信データでフル状態で受信を完了した場合、割り込みが発生します。通信は継続します。	スレーブモードで CSIHnCTL1.CSIHnHSE＝1（ハンドシェークあり）の場合は、ハンドシェークにより通信が停止するため、オーバランエラーは発生しません。

INTCSIHTIRE が発生する原因となったエラーのタイプは、CSIHnSTR0 レジスタのフラグによって識別されます。

さらに、CSIHnRX0W 内の受信データにパリティエラーフラグとデータ整合性チェックエラーフラグが添付されます。

さまざまなエラータイプの詳細については、「**20.5.12 エラー検出**」を参照してください。

20.4.6　INTCSIHTIJC（ジョブ完了割り込み）

この割り込みはジョブの処理に対応しています。「**20.5.3.3 ジョブ概念**」を参照してください。この割り込みはマスタモードでのみ利用できます。

ジョブモードは CSIHnCTL1.CSIHnJE＝1 に設定することによって有効になります。CSIHnCTL1.CSIHnJE＝0 の場合、INTCSIHTIJC は発生しません。

この割り込みが発生する条件は、以下に示すように、メモリモードによって異なります。

表 20.53　INTCSIHTIJC 割り込みの発生

メモリモード	割り込み要因	
	ジョブモード無効 CSIHnCTL1.CSIHnJE＝0	ジョブモード有効 CSIHnCTL1.CSIHnJE＝1
FIFO	適用不可	ジョブ中断注1がトリガされたあと、ジョブの終了時に通信が停止したことを示します。 FIFO エンプティが検出されていない場合は、CSIHnCIRE＝1 のときに INTCSIHTIJC が発生します。
送信専用バッファ		ジョブ中断注1がトリガされたあと、ジョブの終了時に通信が停止したことを示します。
デュアルバッファ		
ダイレクトアクセス		

注1.　ジョブ中断の条件：CSIHnTX0W.CSIHnEOJ＝1 かつ CSIHnCTL0.CSIHnJOBE＝1

20.5　動作

20.5.1　動作モード（マスタ／スレーブ）

CSIH がマスタモードまたはスレーブモードのどちらで動作するかでシリアルクロックのソースが異なります。

20.5.1.1　マスタモード

マスタモードでは、シリアル送信クロックが内蔵のボーレートジェネレータ（BRG）によって生成され、CSIHTSCK 信号を介してスレーブに供給されます。

マスタモードは、CSIHnCTL2.CSIHnPRS[2:0]を 111_B 以外の任意の値に設定することによって有効になります。マスタモードでは、CSIHnCTL2.CSIHnPRS[2:0]ビットと CSIHnBRSy.CSIHnBRS[11:0]ビットを組み合わせて設定することで BRG の周波数を設定できます。

(1)　チップセレクト信号

マスタモードでは、1 つ以上のチップセレクト信号を使用できます。複数のスレーブがマスタに接続されている場合は、チップセレクト信号を利用して 1 つ以上のスレーブを通信相手として選択できます。選択されたスレーブのみが通信可能になります。

通信プロトコルとさまざまなパラメータはチップセレクト信号ごとに個別に保存されます。そのため、データ転送の設定を個々のスレーブの要件に応じて変更することができます。詳細については、「**20.5.3 チップセレクト（CS）機能**」を参照してください。

(2)　クロックのデフォルト設定

CSIHTSCK のデフォルトレベルは、CSIHTSCK のクロック反転機能ビットの状態によって異なります。
CSIHTSCK のデフォルトレベルは、CSIHnCTL1.CSIHnCKR＝0 であればハイレベルであり、CSIHnCTL1.CSIHnCKR＝1 であればロウレベルです。

以下の例は、データ長 8 ビット、CSIHnCTL1.CSIHnCKR＝0、CSIHnCFGx.CSIHnCKPx＝0、CSIHnCFGx.CSIHnDAPx＝0、MSB ファーストのときのマスタモードの通信を示しています。

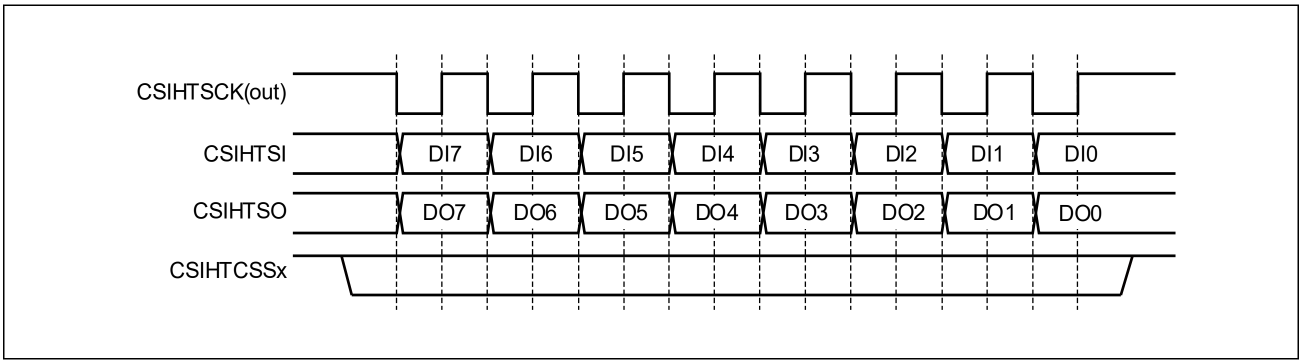


図 20.9　マスタモードでの送受信

20.5.1.2　スレーブモード

スレーブモードでは、ほかのデバイスが通信マスタになり、送信クロックが供給されます。クロック信号を検出すると、ただちに通常どおりの送信動作または受信動作が開始されます。

スレーブモードは、CSIHnCTL2.CSIHnPRS[2:0]ビットを 111_B に設定することによって選択されます。

スレーブモードでは、CSIHnCFG0 レジスタによる送信プロトコルの設定が有効になります（CSIHnCFG1-CSIHnCFG7 レジスタの設定は無効となります）。

- CSIHnPSx[1:0]：パリティの使用法
- CSIHnDLSx[3:0]：データ長の選択
- CSIHnDIRx：データ方向
- CSIHnCKPx、CSIHnDAPx：クロック位相とデータ位相

備　考

スレーブモードを使用するときは、CSIHnBRSy.CSIHnBRS[11:0]ビットを 000_H に設定することによってボーレートジェネレータ（BRG）を無効にします。ただし、タイムアウトエラーを使用する場合は、CSIHnBRSy.CSIHnBRS[11:0]ビットに、000_H 以外の値を設定してください。

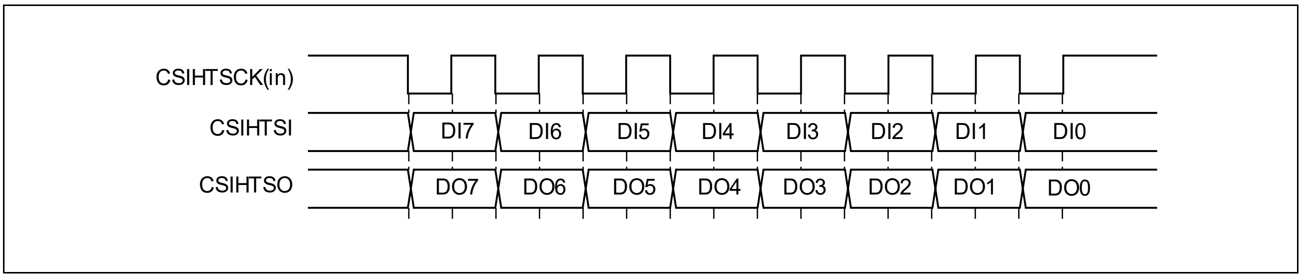


図 20.10　スレーブモードでの送受信

20.5.2 マスタ／スレーブの接続

20.5.2.1 マスタ 1、スレーブ 1 の場合

以下の図は、1 つのマスタと 1 つのスレーブの間の接続を示しています。

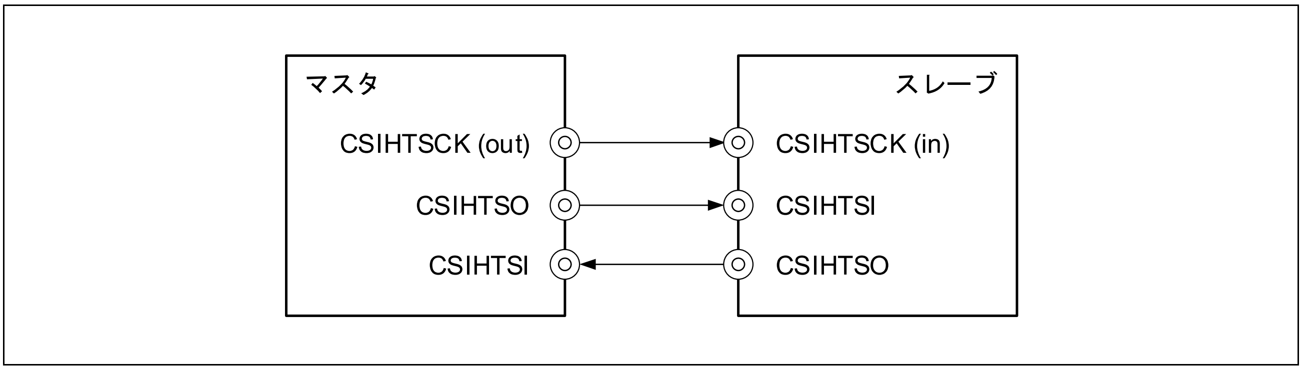


図 20.11　マスタ／スレーブの直接接続

20.5.2.2　　マスタ 1、スレーブ複数の場合

以下の図は、1 つのマスタと複数のスレーブの間の接続を示しています。この例では、マスタが各スレーブに 1 つずつチップセレクト（CS）信号を供給します。この信号は、スレーブのスレーブ選択入力 $\overline{\text{CSIHTSSI}}$ に接続されます。

$\overline{\text{CSIHTSSI}}$ 信号は、CSIHnCTL1.CSIHnSSE ビットを使用して有効または無効にすることができます。

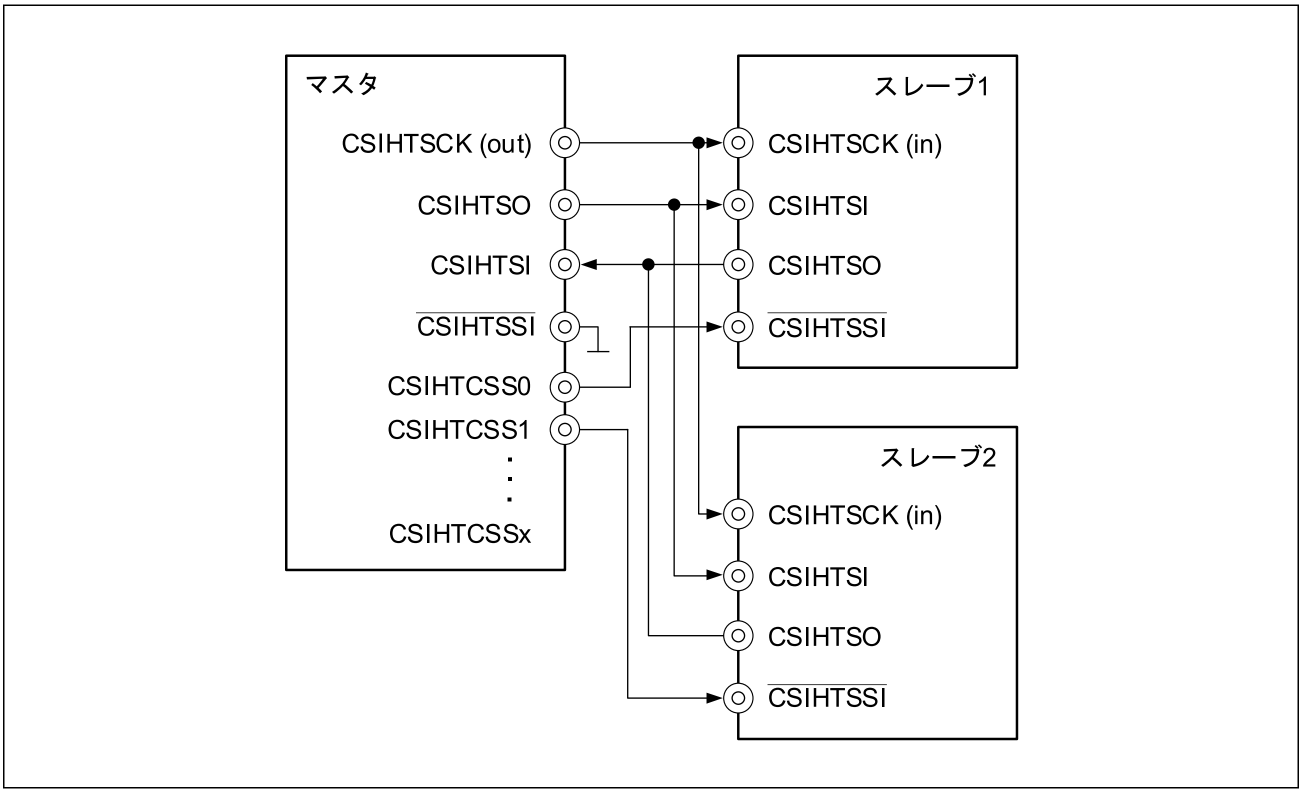


図 20.12　1 つのマスタと複数のスレーブの間の接続

デフォルトのチップセレクトレベルはアクティブロウです。つまり、スレーブの $\overline{\text{CSIHTSSI}}$ 信号がロウレベルになっていると、そのスレーブが CSIH スレーブとして選択されます（有効になります）。ただし、CS をほかのデバイスに適合させるために、チップセレクト信号の出力レベルがアクティブハイになるようにプログラミングすることもできます。

選択されていないスレーブは、データの受信も送信も行いません。また、送信専用モードまたは送受信モードに設定されている（CSIHnCTL0.CSIHnTXE＝1）とき、選択されていないスレーブの出力 CSIHTSO は、選択されているスレーブの出力と干渉しないように、入力モードに設定されます。

20.5.3 チップセレクト（CS）機能

マスタはチップセレクト信号 CSIHTCSSx を使用して 1 つ以上のスレーブを通信相手として選択することができます。

20.5.3.1 コンフィグレーションレジスタ

各チップセレクト信号 CSIHTCSSx のパラメータは、対応するコンフィグレーションレジスタ CSIHnCFGx で定義されます。パラメータには、通信プロトコルと付加的な CS パラメータが含まれます。

通信プロトコルでは以下の項目を指定します。

- データ長：送信または受信されるビットの数。
（CSIHnCFGx.CSIHnDLSx[3:0]）
- 転送方向：MSB ファーストまたは LSB ファースト。
（CSIHnCFGx.CSIHnDIRx）
- パリティの使用法：奇数、偶数、0 パリティまたは、なし。
（CSIHnCFGx.CSIHnPSx[1:0]）
- クロック位相とデータ位相。
（CSIHnCFGx.CSIHnCKPx、CSIHnCFGx.CSIHnDAPx）

マスタモードでのみ利用可能な各チップセレクト信号の付加的なパラメータを以下に示します。

- 各チップセレクト信号個別のボーレートジェネレータのプリスケーラ選択。
（CSIHnCFGx.CSIHnBRSSx[1:0]）
- チップセレクト優先度：チップセレクト信号を「ドミナント」と「リセッシブ」に分けます。設定の異なる複数のチップセレクト信号がメッセージブロードキャスティング用として同時にアクティブになった場合は、優先度が考慮されます。その場合は、ドミナントに指定された設定が使用されます。
（CSIHnCFGx.CSIHnRCBx）

この原則は、「RCB（Recessive Configuration for Broadcasting）」とも呼ばれます。

注　意

複数のチップセレクト信号をドミナントに指定するときは、必ずすべてのドミナント信号を同じ設定にしてください。

- チップセレクトのタイミング
  - セットアップ時間 T_{setup}：CS 信号をアクティブに設定してからデータの出力が開始されるまでの時間。（CSIHnCFGx.CSIHnSPx[3:0]）
  - データ間時間 T_{inter}：同じ CS 信号がアクティブになっている間の 1 つのデータと次のデータの間の時間。（CSIHnCFGx.CSIHnINx[3:0]）
  - ホールド時間 T_{hold}：CS が切り替わるまでの CS 信号がアクティブの状態のままの時間。
（CSIHnCFGx.CSIHnHDx[3:0]）
  - アイドル時間 T_{idle}：CS 信号が終了したあと、または同じ CSx への 1 回ごとのデータ転送が完了したあとの非アクティブ時間。（CSIHnCFGx.CSIHnIDx[2:0]）

以下の図に CS のセットアップ時間、データ間時間、ホールド時間、アイドル時間のタイミングを示します。CSIHnCFGx.CSIHnIDLx ビットに 1 を設定した場合、CS 信号に関係なく 1 転送ごとにアイドル時間を挿入します。

CSIHTCSS1 信号と CSIHTCSS2 信号がデフォルトのアクティブロウ（CSIHnCTL1.CSIHnCSL1 ビット＝0、CSIHnCTL1.CSIHnCSL2 ビット＝0）に設定した場合の例を「**図 20.13 チップセレクトのタイミング**」に示します。アクティブレベルは CS ごとに個別に指定することができます。

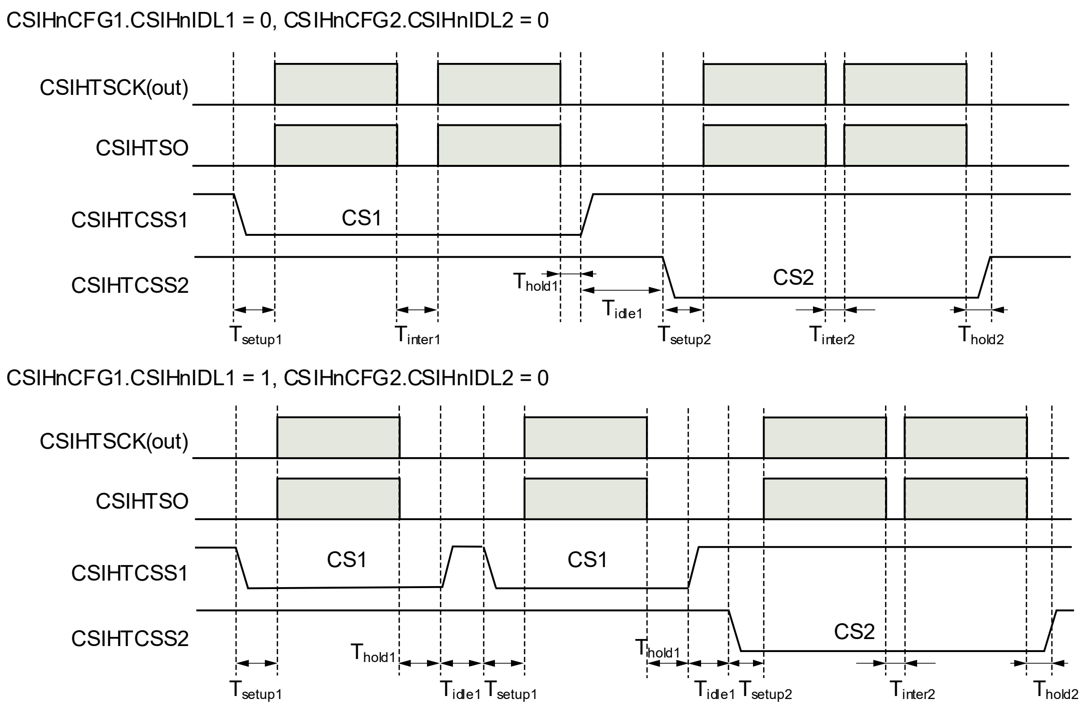


図 20.13　チップセレクトのタイミング

セットアップ時間、データ間時間、ホールド時間、アイドル時間を CS 信号ごとに個別に設定できる点に注意してください。

特定のチップセレクト信号をアクティブにするには、送信レジスタ CSIHnTX0W.CSIHnCSx の対応するビットをセットします。

受信レジスタの CSIHnRX0W.CSIHnCSx は、受信データに関連付けられたチップセレクト信号を示します。

注　意

CPU 制御による高優先通信機能を有効にしている場合（CSIHnCTL1.CSIHnPHE＝1）で、低優先通信モードから高優先通信モードに移行するときと、高優先通信モードから低優先通信モードに移行するときは、IDLn ビット設定に関わらず IDLE ステートが挿入されます。

20.5.3.2　CS の例

以下の図は 2 回続けてデータを送信する例を示しています。

最初の通信では CS0 を使用して 1 つのスレーブと通信しています。2 番目の通信では CS0 と CS1 を有効にして 2 つのスレーブにメッセージをブロードキャストしています。CS0 の優先度は「リセッシブ：低優先度」に設定されており、CS1 の優先度は「ドミナント：高優先度」に設定されています。よって、2 番目の通信はドミナントに設定されている CS1 の設定を用いて行われます。

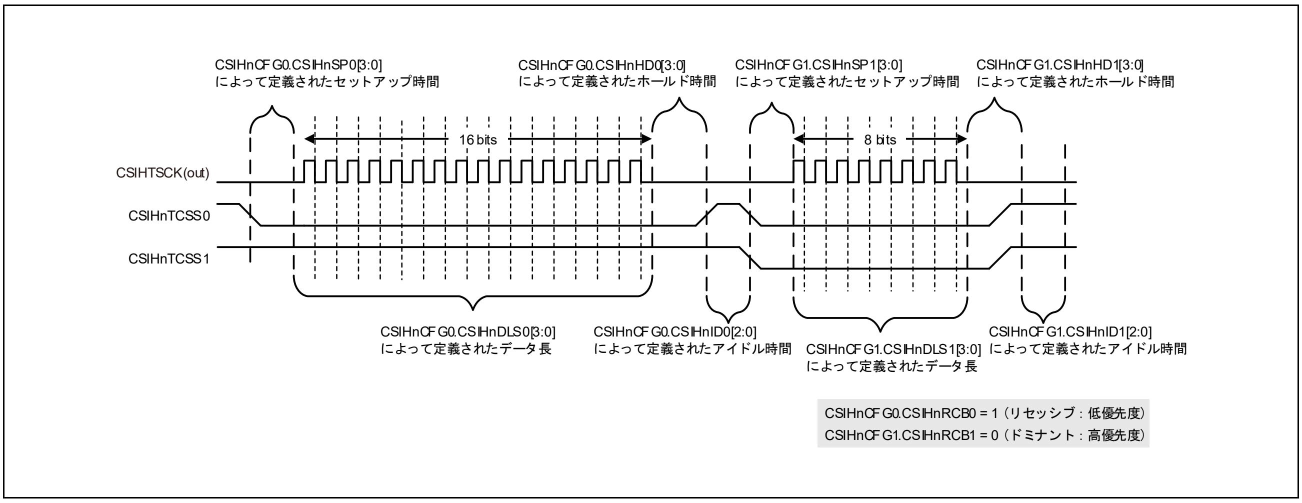


図 20.14　チップセレクトと RCB の例

20.5.3.3　ジョブ概念

CSIH でいうジョブは、転送の対象となる複数のデータから構成されます。

ジョブモードの有効化

ジョブモードはマスタモードでのみ有効になります。CSIHnCTL0.CSIHnPWR＝0 の設定によって CSIH が無効になっている間に、CSIHnCTL1.CSIHnJE によってジョブモードを有効または無効にします。

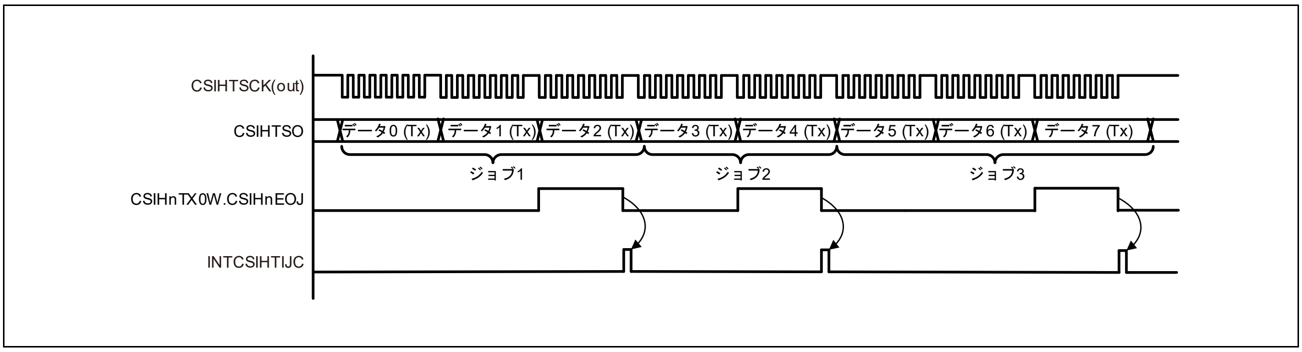


図 20.15　ジョブの例

CSIHnTX0W.CSIHnEOJ＝1 に設定されているデータを送信することによってジョブは終了します。

ジョブが終了したときに通信が停止するように指定することができます。そうするには、CSIHnCTL0.CSIHnJOBE をセットします。CSIHnJOBE がセットされていると、CSIHnEOJ ビットがセットされたデータが送信されるまで通信が継続します。そのデータの送信後、通信が停止し、ジョブ完了割り込み INTCSIHTIJC が発生します。

20.5.4　チップセレクトのタイミングの詳細

20.5.4.1　クロック位相の変更

CSIHnCFGx.CSIHnCKPx によって指定されたシリアルクロックレベルを通信停止中に変更することができます。アイドル時間の最小値は送信クロック（CSIHTSCK（out））の 1 周期です。

CSIHnCFGx.CSIHnIDx[2:0]でアイドル時間が 0.5 送信クロック周期に設定されており、異なる CSIHnCFGx.CSIHnCKPx の設定を持つ 2 つのデータが連続して送信されると、アイドル時間が自動的に CSIHTSCK（out）の 1 周期に延長されます。

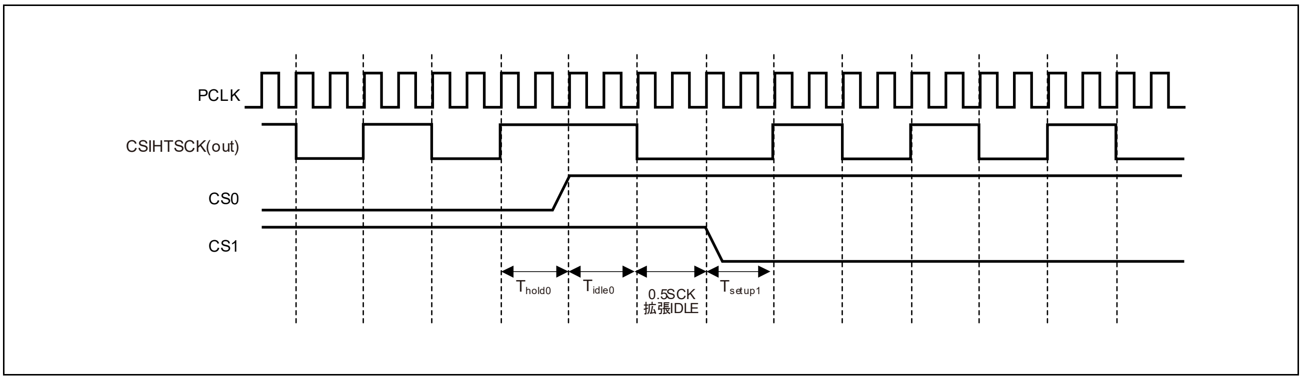


図 20.16　クロック位相のタイミング（PCLK/4、T_{hold}0＝T_{setup1}＝0.5CSIHTSCK、T_{idle0}＝0.5CSIHTSCK、CSIHnCFG0.CSIHnCKP0＝0（CSIHTCSS0）→CSIHnCFG1.CSIHnCKP1＝1（CSIHTCSS1）の場合）

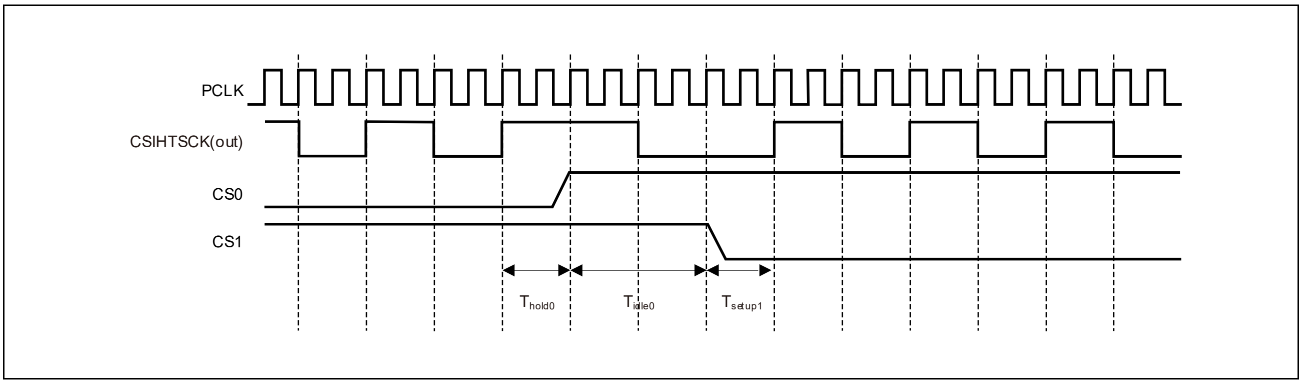


図 20.17　クロック位相のタイミング（PCLK/4、T_{hold}0＝T_{setup1}＝0.5CSIHTSCK、T_{idle0}＝1CSIHTSCK、CSIHnCFG0.CSIHnCKP0＝0（CSIHTCSS0）→CSIHnCFG1.CSIHnCKP1＝1（CSIHTCSS1）の場合）

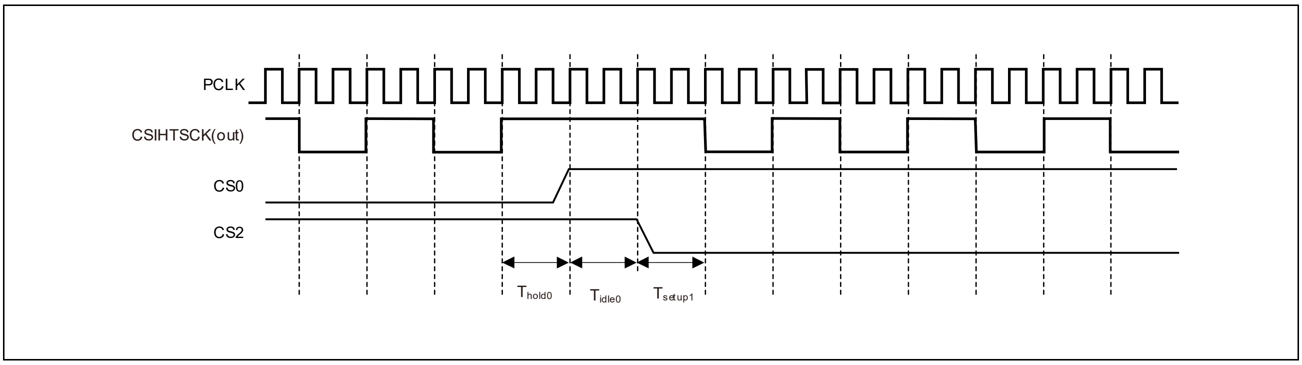


図 20.18 クロック位相のタイミング（PCLK/4、$T_{hold}0$＝T_{setup1}＝0.5CSIHTSCK、T_{idle0}＝0.5CSIHTSCK、CSIHnCFG0.CSIHnCKP0＝0（CSIHTCSS0）→CSIHnCFG2.CSIHnCKP2＝0（CSIHTCSS2）の場合）

20.5.4.2　データ位相の変更

CSIHnCFGx.CSIHnDAPx ビットでは、クロックを基準とするデータビットの位相を定義します。

CSIHnCFGx.CSIHnDAPx ビットとホールド／セットアップ期間の関係は次の通りになります。

ホールド期間は、CSIHnCFGx.CSIHnDAPx の設定に関係なく、シリアルクロック（CSIHTSCK）の最後のエッジから CSIHTCSS[7:0]がインアクティブレベルになるまでの期間です。

セットアップ期間は、CSIHTCSS[7:0]がアクティブレベルになるときから送信データ（CSIHTSO）が出力されるまでの期間です。

従って、CSIHnCFGx.CSIHnDAPx の設定によりシリアルクロック（CSIHTSCK）のエッジが出力されるまで 0.5 CSIHTSCK 分のずれがあります。

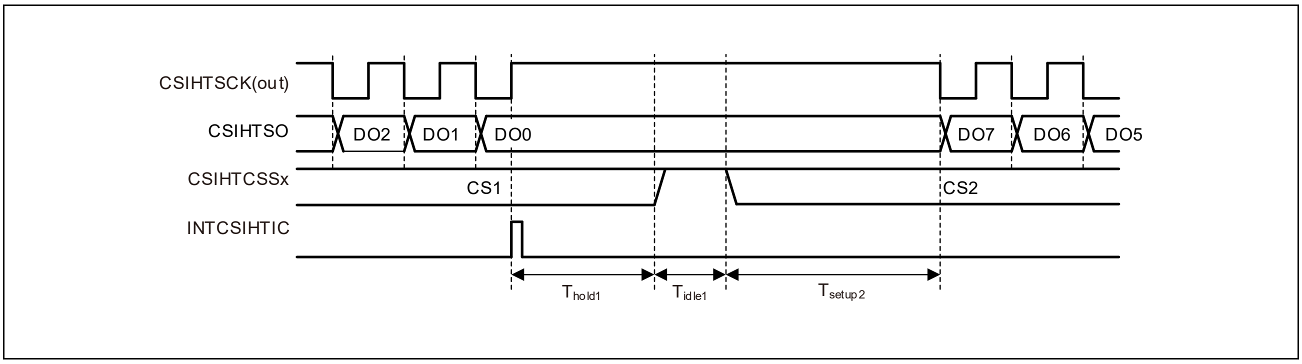


図 20.19　データ位相のタイミング（CSIHnCFG1.CSIHnCKP1＝0、CSIHnCFG1.CSIHnDAP1＝0 かつ CSIHnCFG2.CSIHnCKP2＝0、CSIHnCFG2.CSIHnDAP2＝0 の場合）

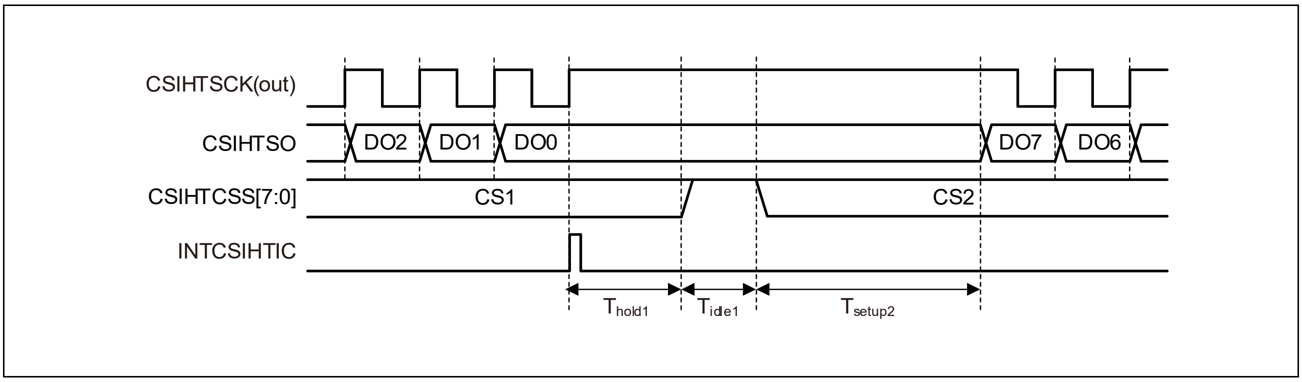


図 20.20　データ位相のタイミング（CSIHnCFG1.CSIHnCKP1＝1、CSIHnCFG1.CSIHnDAP1＝0 かつ CSIHnCFG2.CSIHnCKP2＝0、CSIHnCFG2.CSIHnDAP2＝1 の場合）

20.5.5　送信クロックの選択

マスタモードでは、以下のビットを使って転送クロック周波数を選択できます。

- CSIHnCTL2.CSIHnPRS[2:0]
- CSIHnBRSy.CSIHnBRS[11:0]
- CSIHnCFGx.CSIHnBRSSx[1:0]

送信クロック CSIHTSCK の転送クロック周波数は、CSIHnCTL2.CSIHnPRS[2:0]の設定と、CSIHnBRSy.CSIHnBRS[11:0]の設定によって決まりますが、CSIHnCFGx.CSIHnBRSSx[1:0]によってチップセレクト信号ごとに CSIHnBRS3～CSIHnBRS0 の 4 種類のうちいずれか 1 つの設定を選択することができます。

ボーレートジェネレータのブロック図を以下に示します。

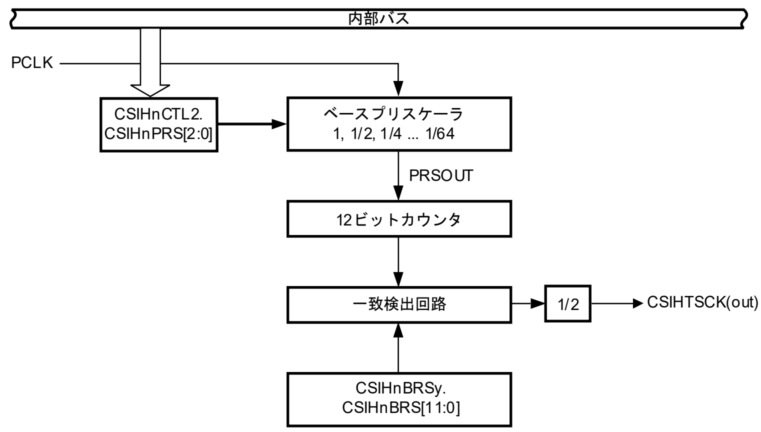


図 20.21　ボーレートジェネレータのブロック図

CSIHnBRSy.CSIHnBRS[11:0]に 000_H に設定すると、ボーレートジェネレータが無効になり、該当チャネルの CSIHTSCK が停止します。

転送クロック周波数の計算

マスタモード時の転送クロック周波数は以下の式で計算します。

転送クロック周波数（CSIHTSCK）＝PCLK /（PCLK の分周比）＝PCLK /（2α×k×2)、

ただし、

α＝CSIHnCTL2.CSIHnPRS[2:0]＝0～6

k＝CSIHnBRS0.CSIHnBRS0[11:0]＝1～4095
（CSIHnCFGx.CSIHnBRSSx[1:0]＝0 のとき）
CSIHnBRS1.CSIHnBRS1[11:0]＝1～4095
（CSIHnCFGx.CSIHnBRSSx[1:0]＝1 のとき）
CSIHnBRS2.CSIHnBRS2[11:0]＝1～4095
（CSIHnCFGx.CSIHnBRSSx[1:0]＝2 のとき）
CSIHnBRS3.CSIHnBRS3[11:0]＝1～4095
（CSIHnCFGx.CSIHnBRSSx[1:0]＝3 のとき）

転送クロック周波数の上限と下限

転送クロック周波数を設定するときは、以下のことに注意してください。

- 転送クロックの最小周波数は、マスタ・スレーブモードともに PCLK / 524160 です。
- 転送クロックの最大周波数は、以下の通りです。
  - マスタモード：10.0MHz（ただし、PCLK/4 以下）
  - スレーブモード：5.0MHz（ただし、PCLK/6 以下）（すべての製品）
  - スレーブモード：8.0MHz（ただし、PCLK/6 以下）
（RH850/F1KM-S1（48/64-Pin 製品）の CSIH0、その他の製品の CSIH2）

20.5.6　CSIH のバッファメモリ

CSIH はバッファ I/O として使用できる設定可能な RAM を備えています。サイズは 128 ワードです。1 ワードは 32 ビットのデータと 7 ビットの ECC から構成されます。

以下の設定が可能です。

表 20.54　CSIH バッファの設定

モード	CSIHnCTL0.CSIHnMBS	CSIHnMCTL0.CSIHnMMS[1:0]
FIFO モード	0	00_B
デュアルバッファモード		01_B
送信専用バッファモード		10_B
ダイレクトアクセスモード	1	X

20.5.6.1　FIFO モード

FIFO モードでは、FIFO フルになっていなければ、送信の完了を待たずに CSIHnTX0W レジスタにデータを書き込んだり、受信後ただちに CSIHnRX0W レジスタを読み出さなくてもデータを受信したりすることができます。

送信されるデータは FIFO メモリに保存されます。送信と受信は同時に行われ、1 データが送信されると同時に 1 データが受信されます。つまり、受信データは FIFO 内の送信済みデータを上書きします。

CSIH は、データが FIFO メモリに書き込みされたとき、読み出しされたとき、またはデータが FIFO メモリから送受信されたときに、それぞれに対応する FIFO メモリポインタを自動的に更新します。

表 20.55　FIFO モード

ポインタの説明	ポインタ注1	範囲
未送信ワード数	CSIHnSTR0.CSIHnSPF[7:0]	0～128
受信して FIFO に格納されているワード数	CSIHnSTR0.CSIHnSRP[7:0]	0～128
送信データの書き込み/読み出しのアドレス	CSIHnMRWP0.CSIHnTRWA[6:0]	0000_H～$01FC_H$
受信データの読み出しのアドレス	CSIHnMRWP0.CSIHnRRA[6:0]	0000_H～$01FC_H$
送信アドレス	CSIHnMCTL2.CSIHnSOP[6:0]	0000_H～$01FC_H$

注1.　1 回の書き込み、読み出し、またはデータの送受信ごとに、自動的に値が更新されます。

CSIH ステータスレジスタには 2 つの FIFO ステータスフラグが含まれています。

- CSIHnSTR0.CSIHnFLF：FIFO フル
- CSIHnSTR0.CSIHnEMF：FIFO エンプティ

このモードを開始するときは、CSIHnSTCR0.CSIHnPCT ビットをセットする必要があります。そうすることで、CSIHnSTR0.CSIHnEMF のみ、リセットではなくセットされます。

CSIHnSTR0.CSIHnEMF を除くすべての FIFO ポインタと FIFO フラグがリセットされ、CSIHnSTR0.CSIHnEMF がセットされます。

20.5.6.2　デュアルバッファモード

このモードでは、サイズの等しい 2 つの部分にメモリが分割されます。つまり、64 ワードが送信データに割り当てられ、64 ワードが受信データに割り当てられます。デュアルバッファモードでは、個々のバッファポインタが以下の値を示します。

表 20.56　デュアルバッファモード

ポインタの説明	ポインタ注1	範囲
送信バッファに書き込み、読み出しされるデータのアドレス	CSIHnMRWP0.CSIHnTRWA[6:0]	0000_H～$00FC_H$
受信バッファから読みだされるデータのアドレス	CSIHnMRWP0.CSIHnRRA[6:0]	0000_H～$00FC_H$
送信バッファに残っている送信データの数	CSIHnMCTL2.CSIHnND[6:0]	0～64
送信アドレス	CSIHnMCTL2.CSIHnSOP[6:0]	0000_H～$00FC_H$

注1.　1 回の書き込み、読み出しごとにポインタが自動的にインクリメントされます。

20.5.6.3　送信専用バッファモード

このモードでは、メモリ全体が送信データの保存に使用されます。

受信データは CSIHnRX0W/H から直接読み出す必要があります。

送信専用バッファモードでは、個々のバッファポインタが以下の値を示します。

表 20.57　送信専用バッファモード

ポインタの説明	ポインタ注1	範囲
送信バッファに書き込み、読み出しされるデータのアドレス	CSIHnMRWP0.CSIHnTRWA[6:0]	0000_H～$01FC_H$
送信バッファに残っている送信データの数	CSIHnMCTL2.CSIHnND[6:0]	0～128
送信アドレス	CSIHnMCTL2.CSIHnSOP[6:0]	0000_H～$01FC_H$

注1.　1 回の書き込み、読み出しごとにポインタが自動的にインクリメントされます。

20.5.6.4　ダイレクトアクセスモード

ダイレクトアクセスモードでは、CSIH のメモリが完全にバイパスされます。

- CPU から送信レジスタ CSIHnTX0W または CSIHnTX0H に供給される送信データはシフトレジスタに直接コピーされます。
- 受信データはシフトレジスタから受信レジスタ CSIHnRX0W または CSIHnRX0H へ直接コピーされます。

20.5.7　データ転送モード

以下の表にこの節のまとめを記載します。この表は、さまざまなメモリモード、動作モード、転送モードでデータ転送を開始する条件を示しています。

表 20.58　データ転送の開始

メモリモードと動作モード		転送モード	
		送信専用モード 送受信モード	受信専用モード
FIFO モード、 ダイレクトアクセスモード	マスタ	CSIHnTX0W または CSIHnTX0H レジスタへの書き込み	CSIHnTX0W または CSIHnTX0H レジスタへの書き込み
	スレーブ	マスタからのクロックの受信	マスタからのクロックの受信
送信専用バッファモード、 デュアルバッファモード	マスタ	CSIHnMCTL2.CSIHnBTST＝1	CSIHnMCTL2.CSIHnBTST＝1
	スレーブ	マスタからのクロックの受信	マスタからのクロックの受信

20.5.7.1　送信専用モード

CSIHnCTL0.CSIHnTXE＝1 かつ CSIHnCTL0.CSIHnRXE＝0 に設定すると、CSIH は送信専用モードになります。送信が開始される条件はメモリモードによって異なります。

- FIFO モードまたはダイレクトアクセスモードでは、CSIHnTX0W レジスタまたは CSIHnTX0H レジスタに送信データが書き込まれると送信が開始されます。
- デュアルバッファモードまたは送信専用バッファモードでは、CSIHnMCTL2.CSIHnBTST ビットがセットされると送信が開始されます。

20.5.7.2　送受信モード

CSIHnCTL0.CSIHnTXE＝1 かつ CSIHnCTL0.CSIHnRXE＝1 に設定すると、CSIH は送受信モードになります。

通信（送信と受信）を開始する条件はメモリモードによって異なります。

- FIFO モードまたはダイレクトアクセスモードでは、CSIHnTX0W レジスタまたは CSIHnTX0H レジスタに送信データが書き込まれると通信が開始されます。
- デュアルバッファモードまたは送信専用バッファモードでは、CSIHnMCTL2.CSIHnBTST ビットがセットされると通信が開始されます。

20.5.7.3　受信専用モード

CSIHnCTL0.CSIHnTXE＝0 かつ CSIHnCTL0.CSIHnRXE＝1 に設定すると、CSIH は受信専用モードになります。

マスタモードでは、受信を開始する条件がメモリモードによって異なります。

- FIFO モードまたはダイレクトアクセスモードでは、CSIHnTX0W レジスタまたは CSIHnTX0H レジスタにダミーデータが書き込まれると受信が開始されます。

スレーブモードでは、マスタから送信クロック CSIHTSCK を受信すると、ただちに受信が開始されます。この場合、スレーブの CSIHnTX0W レジスタまたは CSIHnTX0H レジスタにデータを書き込む必要はありません。

- デュアルバッファモード、または送信専用バッファモードでは、CSIHnMCTL2.CSIHnBTST ビットがセットされると受信が開始されます。

20.5.8　データ長の選択

20.5.8.1　2～16 ビットのデータ長

CSIHnCFGx.CSIHnDLSx[3:0]を使用して、チップセレクト信号ごとに 2 ビットから 16 ビットの間のデータパケット長を選択できます。以下の例は、MSB ファースト（CSIHnCFGx.CSIHnDIRx＝0）での通信を示しています。

データ長＝16 ビット（CSIHnCFGx.CSIHnDLSx[3:0]＝0000_B）

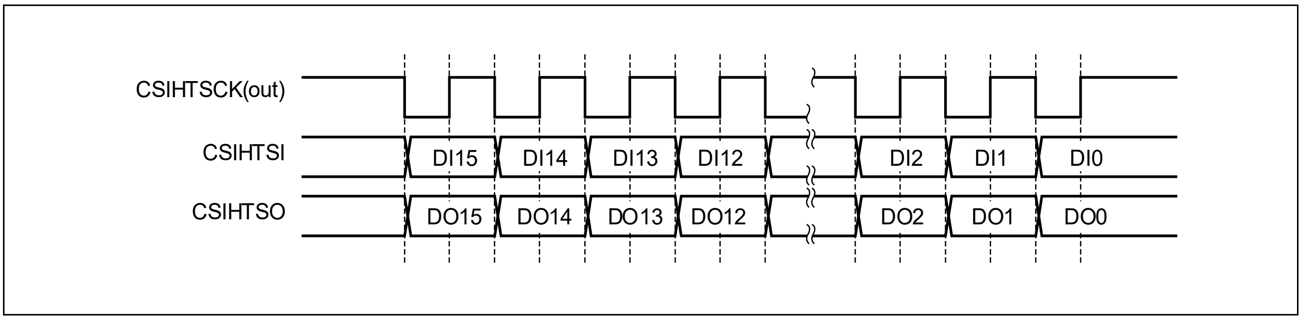


図 20.22　データ長 16 ビット、MSB ファースト

データ長＝14 ビット（CSIHnCFGx.CSIHnDLSx[3:0]＝1110_B）

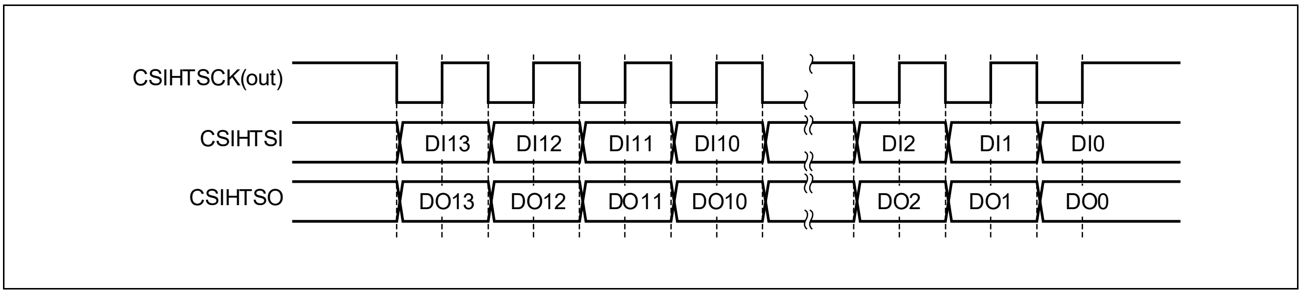


図 20.23　データ長 14 ビット、MSB ファースト

20.5.8.2 16 ビットを上回るデータ長

16 ビットを上回るデータを送受信する場合は、拡張データ長（EDL）機能を使用できます。

EDL 機能は CSIHnCTL1.CSIHnEDLE ビットを 1 にセットすることで有効になります。

EDL 機能は以下のように動作します。

- データを 16 ビットのブロックと剰余部分に分割する必要があります。たとえば、42 ビットのデータは 2 つの 16 ビットブロックと 10 ビットに分割します。
- 剰余部分のビット長は、CSIHnCFGx.CSIHnDLSx[3:0]ビットに、「データ長」として設定します。
- 16 ビットブロックを送信するには、CSIHnTX0W.CSIHnEDL を 1 にセットする必要があります。その場合、CSIHnTX0W に書き込まれるデータは、CSIHnCFGx.CSIHnDLSx[3:0]ビットの設定に関係なく、データ長 16 ビットのデータとして送信されます。
- 指定されたデータ長（CSIHnTX0W.CSIHnEDL＝0 に設定して指定された剰余部分）のブロックが送信されると転送が完了します。

例

$123456789A_H$ という 40 ビットのデータを CS0 に送信する例

40 ビットを 2 つの 16 ビットブロックと 8 ビットに分割します。

- CSIHnCFG0.CSIHnDLS0[3:0]＝8 に初期化します。
- $123456789A_H$ を MSB ファーストで送信するには、以下のシーケンスを CSIHnTX0W に書き込みます。
  - $20FE\ 1234_H$（CSIHnTX0W.CSIHnEDL＝1）
  - $20FE\ 5678_H$（CSIHnTX0W.CSIHnEDL＝1）
  - $00FE\ 009A_H$（CSIHnTX0W.CSIHnEDL＝0）

以下にタイミング図を示します。

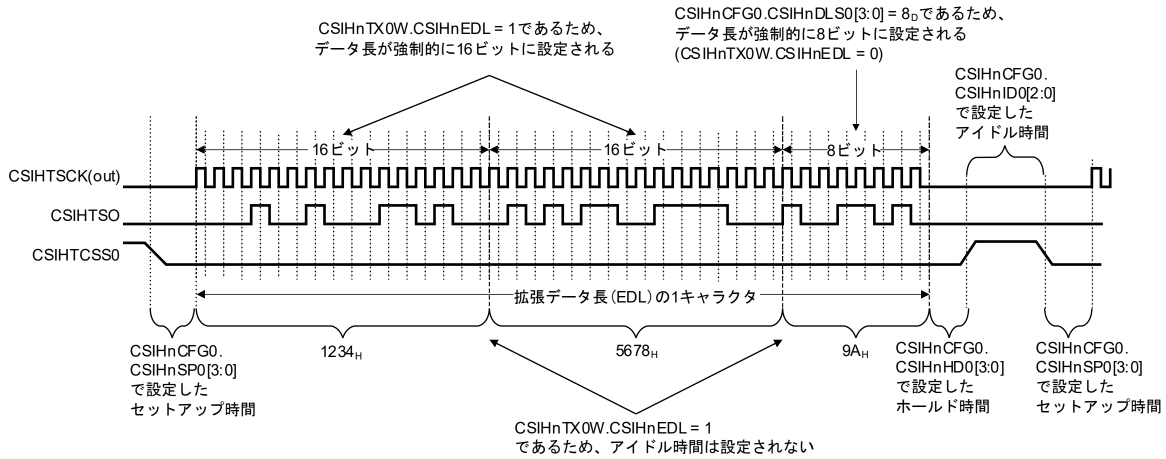


図 20.24 EDL のタイミング図

備 考

1. 1 ビットのデータ長は、EDL モードを使用するときにのみ設定できます。
2. パリティが有効になっていると、最後のビットの後ろにパリティビットが追加されます。
3. 拡張データ長（EDL）機能を使用して送信しているときは、同一のチップセレクト信号を使用してください。
4. 以下の例でデータ方向について説明します。
   - 送信されるデータ：123456_H
   - MSB ファースト：
     CSIHnCFGx.CSIHnDIRx＝0 に設定
     CSIHnTX0W＝20FE 1234_H を書き込み（EDL ビット＝1）
     CSIHnTX0W＝00FE 0056_H を書き込み（EDL ビット＝0）
   - LSB ファースト：
     CSIHnCFGx.CSIHnDIRx＝1 に設定
     CSIHnTX0W＝20FE 3456_H を書き込み（EDL ビット＝1）
     CSIHnTX0W＝00FE 0012_H を書き込み（EDL ビット＝0）
5. CSIHnCTL1.CSIHnJE＝1、CSIHnCTL1.CSIHnEDLE＝1 のときに、CSIHnTX0W.CSIHnEOJ＝1 と CSIHnTX0W.CSIHnEDL＝1 に、同時に 1 を設定した場合は、動作の保証ができません。
6. EDL モードは、スレーブモードの受信専用モードでは使えません。
   （CSIHnCTL2.CSIHnPRS[2:0]＝111_B、CSIHnCTL0.CSIHnTXE＝0、CSIHnCTL0.CSIHnRXE＝1）

20.5.9　シリアルデータ方向選択機能

CSIHnCFGx レジスタの CSIHnDIRx ビットを使用して、チップセレクト信号ごとにシリアルデータ方向を選択することができます。

以下の例はデータ長 8 ビットの通信（CSIHnCFGx.CSIHnDLSx[3:0]＝1000_B）を示しています。

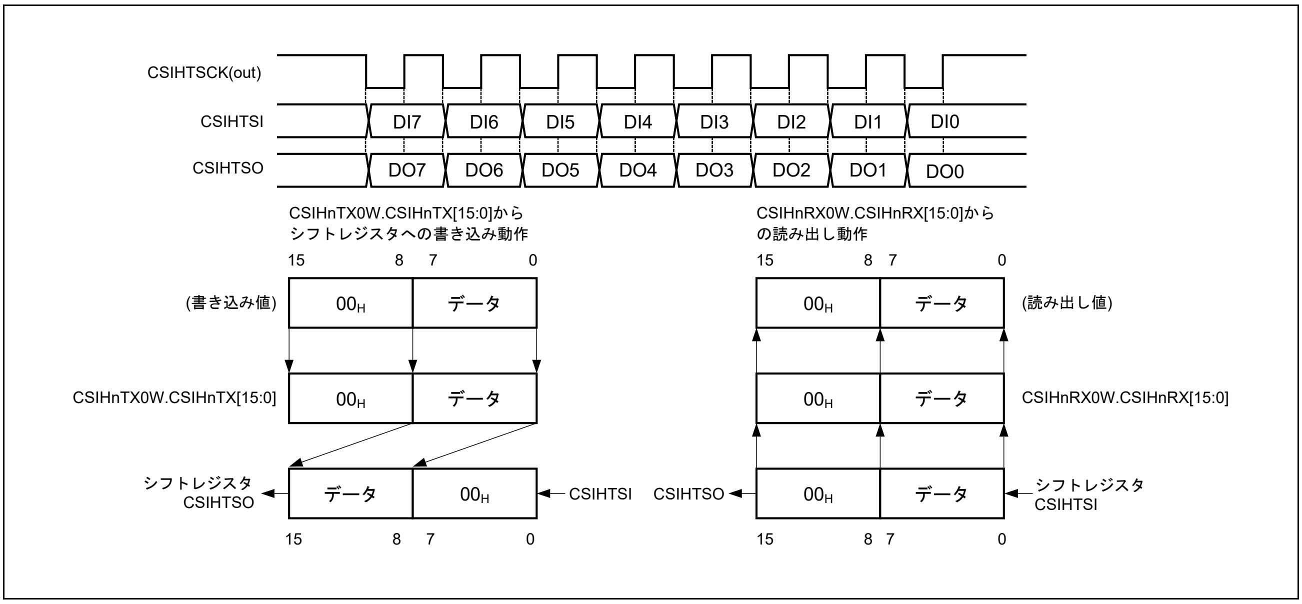


図 20.25　シリアルデータ方向選択機能 ― MSB ファースト（CSIHnDIRx＝0）

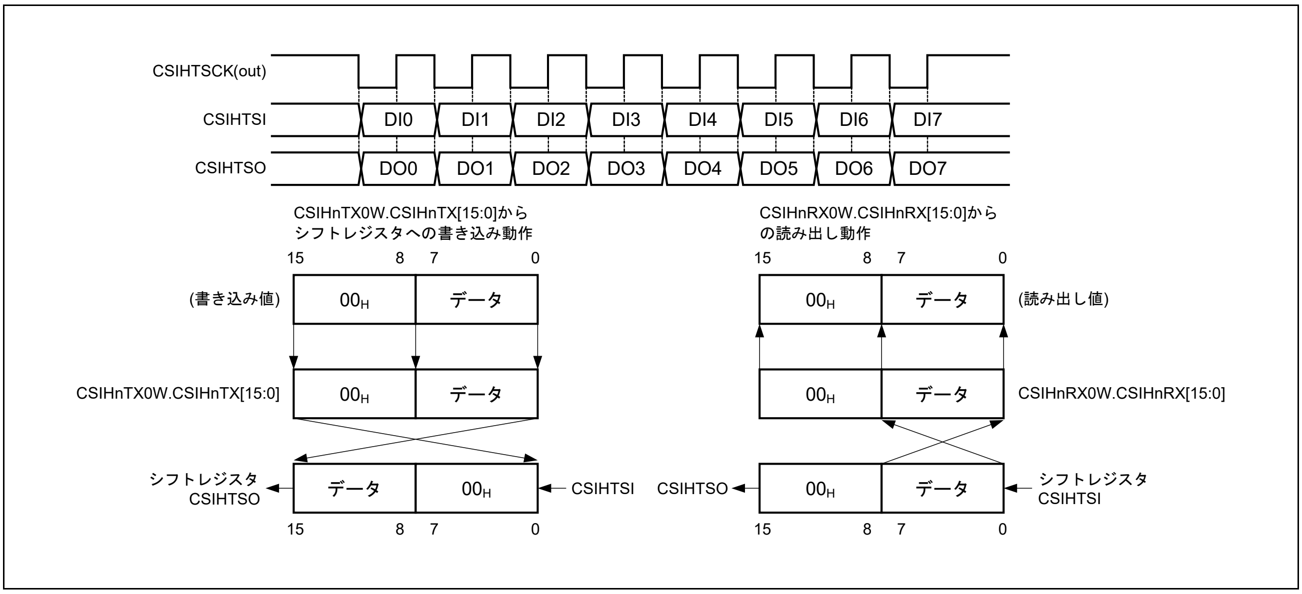


図 20.26　シリアルデータ方向選択機能 ― LSB ファースト（CSIHnDIRx＝1）

20.5.10 SS（スレーブセレクト）機能

SS（スレーブセレクト）機能を使用することによって 1 つのマスタと複数のスレーブ間の通信が可能です。

マスタモードのとき 1 つのスレーブに対しスレーブ選択信号（CSIHTCSSx）を出力します。スレーブモードではスレーブ入力選択信号（CSIHTSSI）がロウレベルのとき通信を行います。

SS 機能による接続例は「**20.5.2 マスタ／スレーブの接続**」を参照してください。

20.5.10.1 SS 機能を使用した通信のタイミング

以下の図は、SS 機能を使用した通信の信号とタイミングを示しています。

スレーブモードでは、CSIHnCFG0 レジスタによってデータ転送の設定が決まります。

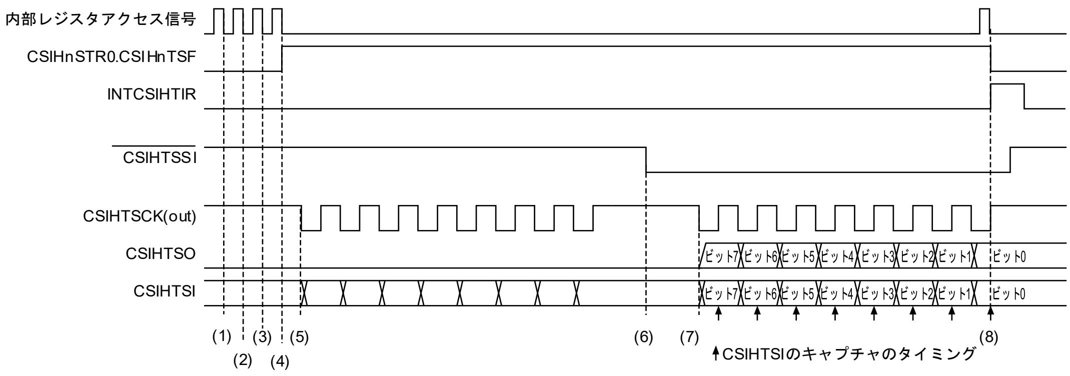


図 20.27　SS 機能を使用した通信の送受信のタイミング

(1) CSIHnCTL2.CSIHnPRS[2:0]＝111_B を設定することによって、CSIH はスレーブモードに入ります。CSIHnCFG0.CSIHnCKP0 と CSIHnCFG0.CSIHnDAP0 は 0 です。

(2) データ長は 8 ビットです（CSIHnCFG0.CSIHnDLS0[3:0]＝1000_B）。データ方向は MSB ファースト（CSIHnCFG0.CSIHnDIR0＝0）です。

(3) 送受信モードに設定されます（CSIHnCTL0.CSIHnTXE＝1、CSIHnCTL0.CSIHnRXE＝1、CSIHnCTL0.CSIHnPWR＝1）。通信の開始が許可されます。

(4) 転送データが送信レジスタ CSIHnTX0W または CSIHnTX0H に書き込まれると、ダイレクトアクセスモードのとき、または FIFO モードのときは、転送ステータスフラグ CSIHnSTR0.CSIHnTSF が自動的にセットされます。

(5) $\overline{\text{CSIHTSSI}}$ 信号がハイレベルである間は、外部送信クロック CSIHTSCK が入力されても、送受信は開始されません。CSIHTSI への入力は無視されます。

(6) $\overline{\text{CSIHTSSI}}$ がロウレベルに下がると、CSIHTSO が有効になったことを示し、送信が可能になります。

(7) 外部クロック信号 CSIHTSCK が検出されると、スレーブはただちにデータを CSIHTSO に送信し、同時に CSIHTSI からデータをキャプチャします。

(8) 割り込み INTCSIHTIR が受信の完了を示します。CSIHnRX0W/H レジスタが読み出し可能になります。

20.5.10.2　CSIHTSSO オペレーション

CSIHnPWR	CSIHnTXE	CSIHnRXE	CSIHnSSE	CSIHTSSO
0	—	—	—	H
1	—	—	0	H
	0		1	H
	1		1	$\overline{\text{CSIHTSSI}}$ レベルの反転値

CSIHTSSO 端子は、SS 機能を使用する場合にチップの SO 端子の I/O 機能を制御する信号です。

CSIHTSO 端子は CSIHTSSO 端子がハイレベルのときに有効になります（チップの SO 端子は駆動されている）。

CSIHTSO 端子は CSIHTSSO 端子がロウレベルのときに無効になります（チップの SO 端子は駆動されていない）

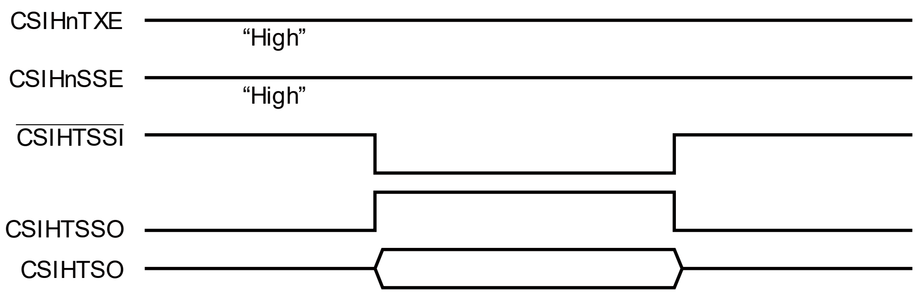


図 20.28　CSIHTSSO の動作

注　意

通信中に $\overline{\text{CSIHTSSI}}$ 端子が変化した場合（CSIHnSTR0.CSIHnTSF＝1）の通信は保証されません。

20.5.11　ハンドシェーク機能

CSIH はマスタデバイスとスレーブデバイスを同期させるハンドシェーク機能を備えています。この機能は CSIHnCTL1.CSIHnHSE ビットで有効または無効にすることができます。ハンドシェークでは、CSIHTRYI、CSIHTRYO 信号を使用します。

ビジーとなるタイミングはデータ位相選択 CSIHnCFGx.CSIHnDAPx ビットの設定によって異なります。

20.5.11.1　スレーブモード

CSIHnCTL1.CSIHnHSE＝1 のとき、スレーブはビジー状態になると CSIHTRYO 信号がロウレベルを出力します。この状態になるのは以下の 2 つの場合です。

1. 次の送信データが用意されていない場合：
   スレーブが送信専用モードまたは送受信モードに設定されている状態（CSIHnCTL0.CSIHnTXE＝1）で、以下の状態のとき、CSIHTRYO はビジー状態（ロウレベル）を出力します。

表 20.59　メモリモードとスレーブの転送状態

メモリモード	スレーブの転送状態
ダイレクトアクセスモード	次の転送データがない状態
FIFO モード	次の転送データがない状態（CSIHnSTR0.CSIHnEMF＝1 の状態）
デュアルバッファモード	CSIHnMCTL2.CSIHnBTST が 1 に設定されていない状態
送信専用バッファモード	

以下の例では、8 ビットのデータ長を想定しています。

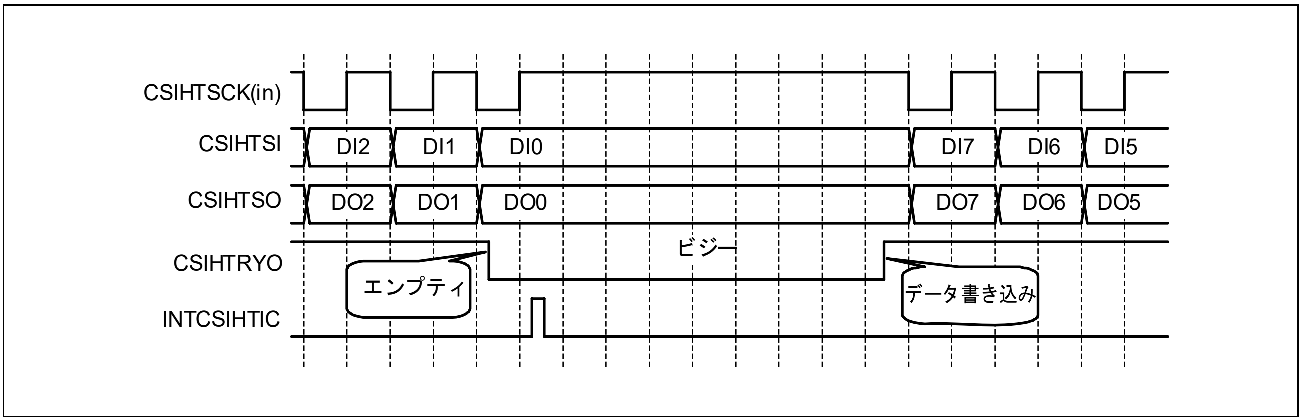


図 20.29　スレーブからのビジー信号（FIFO モード、CSIHnCFGx.CSIHnDAPx＝0）

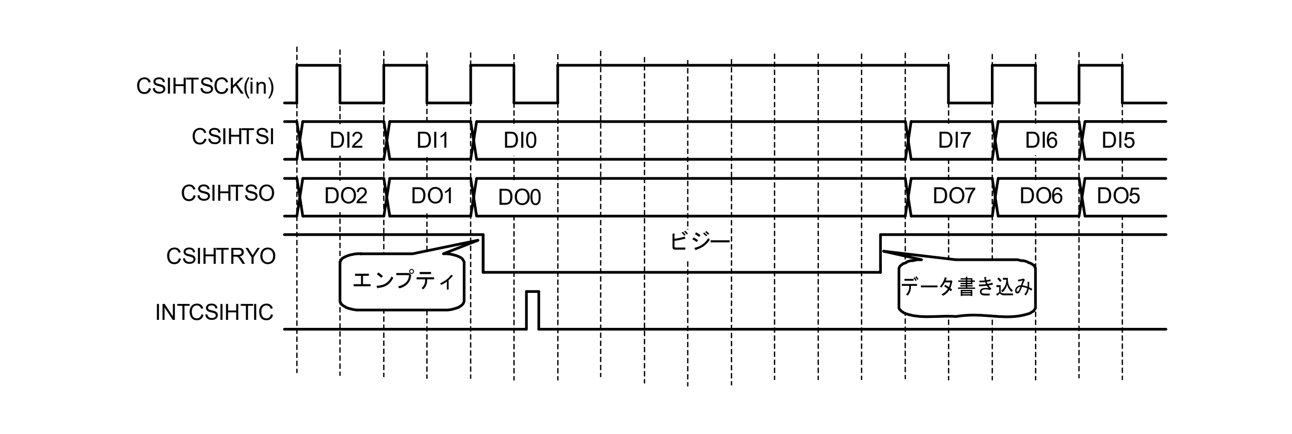


図 20.30　スレーブからのビジー信号（FIFO モード、CSIHnCFGx.CSIHnDAPx＝1）

2. 受信レジスタがフルになっている場合：
   スレーブが受信専用モードまたは送受信モードに設定されている状態（CSIHnCTL0.CSIHnRXE＝1）で、前に受信したデータがまだ CSIHnRX0W/H レジスタにあるため、新しいデータをシフトレジスタから CSIHnRX0W/H へコピーできない状態（CSIHnRX0W/H フル状態）のとき。
   CSIHnCTL0.CSIHnRXE＝1 で、以下の状態のとき、CSIHTRYO はビジー状態（ロウレベル）を出力します。

表 20.60　メモリモードとスレーブの受信状態

メモリモード	スレーブの受信状態
ダイレクトアクセスモード	CSIHnRX0W または CSIHnRX0H がフル状態
FIFO モード	受信データがバッファに残っている状態（CSIHnSTR0.CSIHnFLF＝1 の状態）
デュアルバッファモード	該当する状態なし
送信専用バッファモード	CSIHnRX0W または CSIHnRX0H がフル状態

以下の例では、8 ビットのデータ長を想定しています。

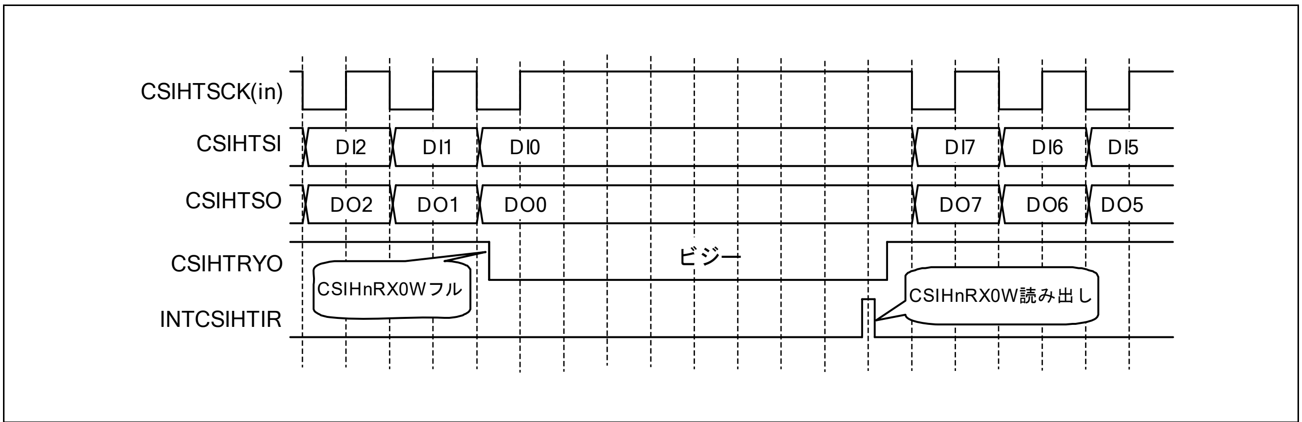


図 20.31　スレーブからのビジー信号（ダイレクトアクセスモード、CSIHnCFGx.CSIHnDAPx＝0）

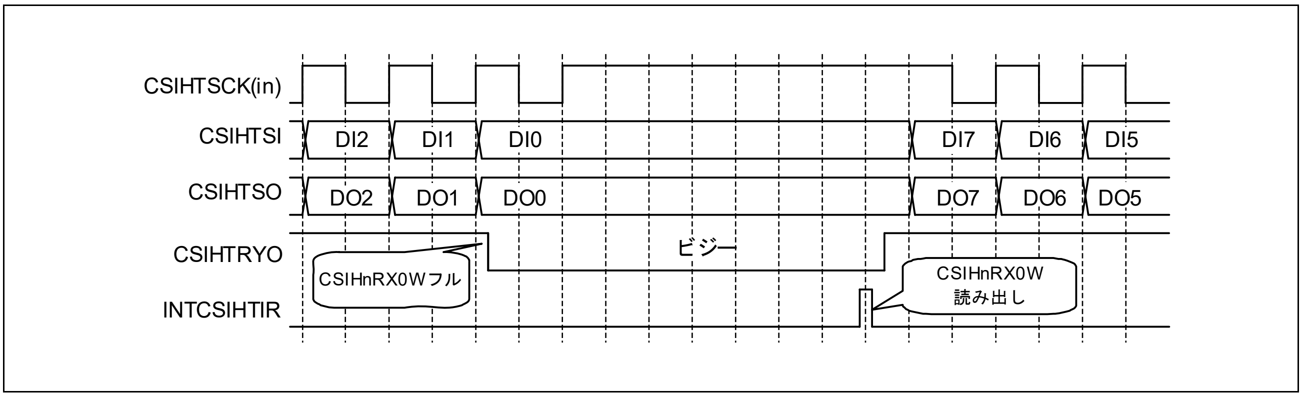


図 20.32　スレーブからのビジー信号（ダイレクトアクセスモード、CSIHnCFGx.CSIHnDAPx＝1）

20.5.11.2　マスタモード

CSIHnCTL1.CSIHnHSE＝1 のとき、マスタが CSIHTRYI＝0 を検出すると、それ以降の転送が保留され、マスタは待機状態に入ります。マスタはクロック CSIHTSCK を停止させます。

CSIHTRYI のレベルは、CSIHTSCK の半クロック周期ごとにチェックされます。

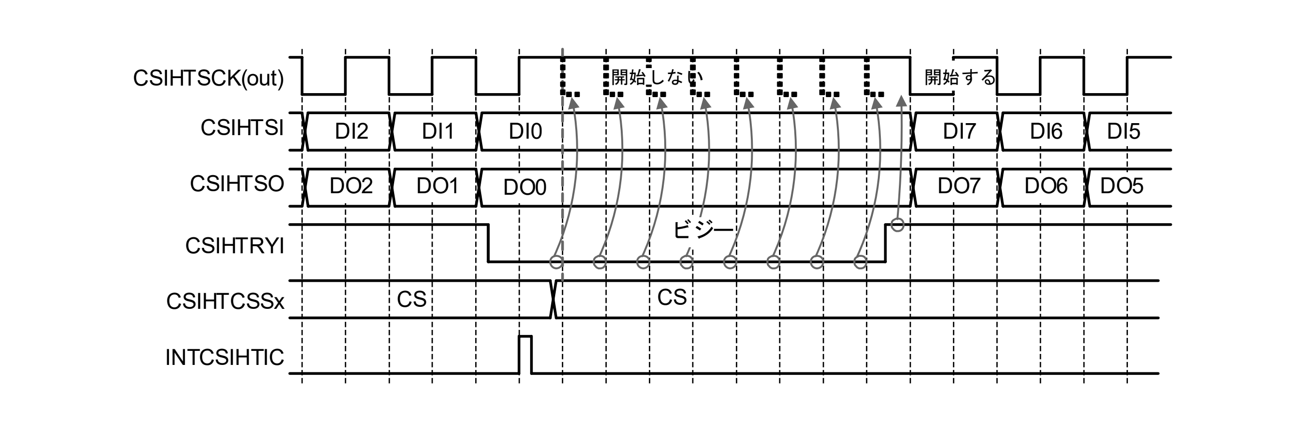


図 20.33　CSIHTRYI に対するマスタの反応（CSIHnCFGx.CSIHnDAPx＝0）

次の転送が始まる前にスレーブは CSIHTRYI をロウレベルに下げる必要があります。データ転送中にスレーブ側で CSIHTRYI 信号をロウレベルに下げると、転送が完了した後、マスタからのシリアルクロックが停止します。

マスタは CSIHTRYI がハイレベルになる（スレーブが「レディ」になる）と、ただちに通信を再開します。

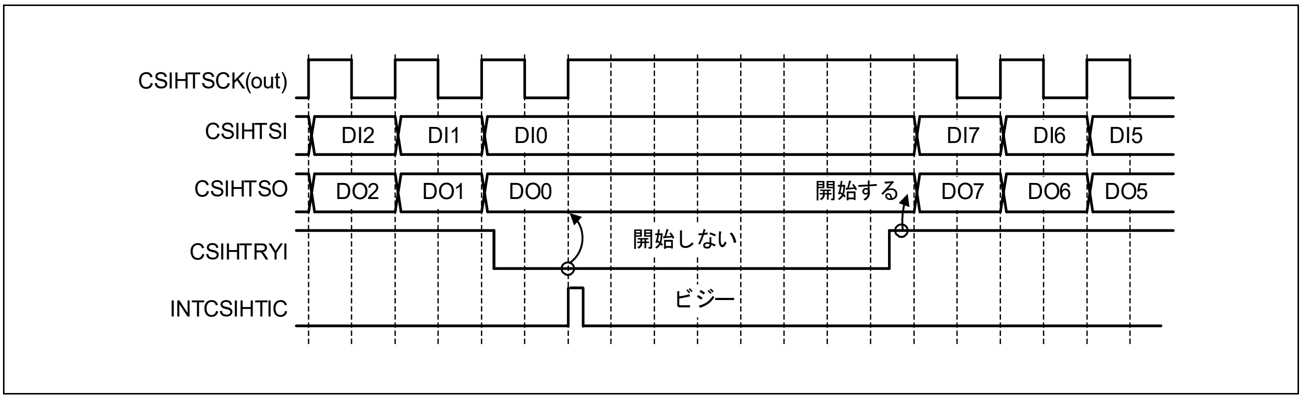


図 20.34　CSIHTRYI に対するマスタの反応（CSIHnCFGx.CSIHnDAPx＝1）

注　意

1. 複数のスレーブが接続されている場合、マスタは、通信相手として選択したスレーブからの CSIHTRYI 信号だけを検出する必要があります。
2. データ転送中にスレーブの CSIHTRYO 信号をマスタの CSIHTRYI 端子が検出しても、データ転送が終わるまで通信は待機しません。

20.5.12　エラー検出

CSIH は 5 種類のエラーを検出することができます。

- データ整合性チェックエラー（送信データ）
- パリティエラー（受信データ）
- オーバランエラー（受信データ）
- タイムアウトエラー（FIFO モード時）
- オーバフローエラー（FIFO モード時）

パリティエラー、データ整合性チェックエラー、タイムアウトエラーのチェック機能は個別に有効または無効にすることができます。

これらのエラーのいずれかが検出されると、割り込み要求 INTCSIHTIRE が発生し、検出されたエラーに対応するフラグがセットされます。

20.5.12.1　データ整合性チェック

データ整合性チェックの目的は、出力信号として物理的に送信されたデータがシフトレジスタへコピーされた元のデータと同じかどうかを確認することです。

データ整合性チェックは CSIHnCTL1.CSIHnDCS ビットで有効または無効にすることができます（データ整合性チェックを行う場合は、必ず PIPCn.PIPCn_m＝1 に設定してください）。データ送信が禁止されていると（CSIHnCTL0.CSIHnTXE＝0）、データ整合性チェックはアクティブになりません。

データ整合性チェックがアクティブになっていると、CSIHnTX0W または CSIHnTX0H からシフトレジスタへ転送されたデータが別のレジスタへコピーされます。さらに、CSIHTSO の物理レベルが独自のシフトレジスタに読み込まれます。

送信が完了すると、送信されたデータと元の送信データとの比較が行われます。

データの不一致はデータ整合性チェックエラーと見なされます。

- 割り込み INTCSIHTIRE が発生します。
- CSIHnSTR0.CSIHnDCE ビットがセットされます。

さらに、エラーが発生したデータの CSIHnRX0W.CSIHnTDCE がセットされます。

データ整合性チェックの機能を以下のブロック図に示します。

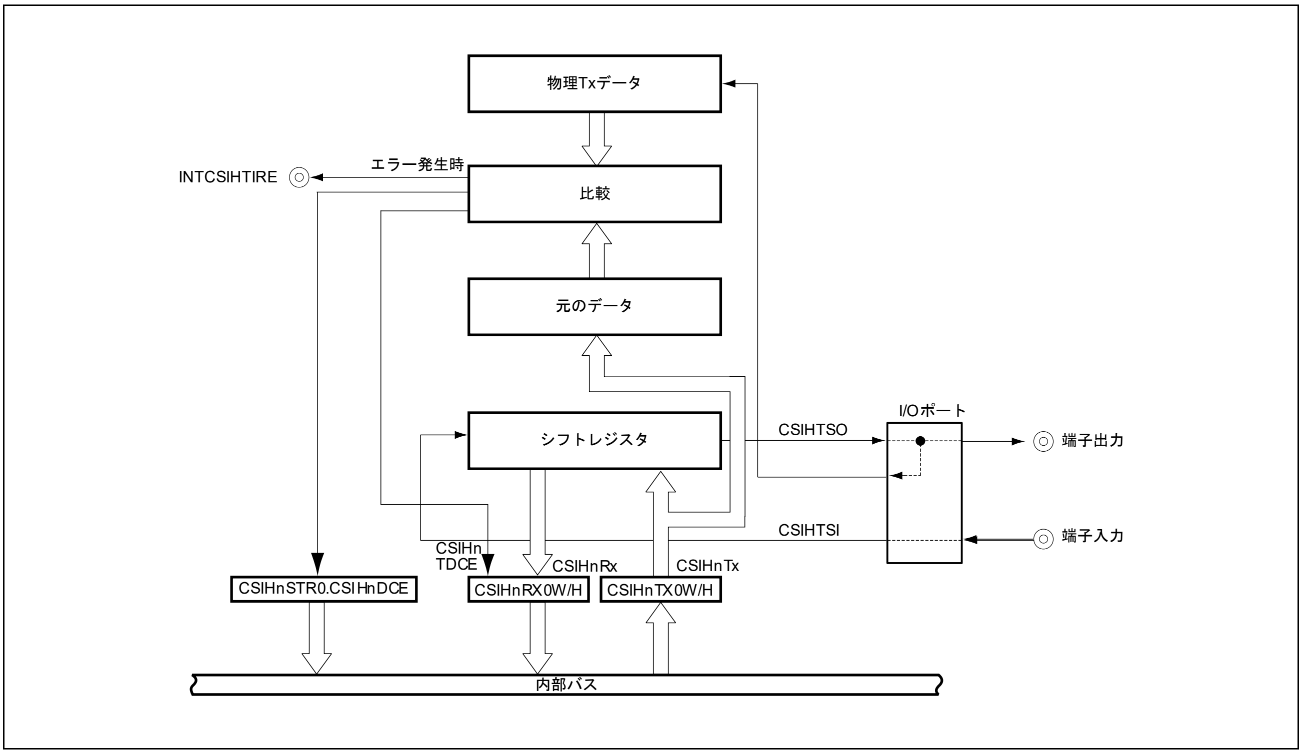


図 20.35　データ整合性チェック機能のブロック図

20.5.12.2 パリティチェック

CSIH では、最後のデータビットの後ろにパリティビットを追加することができます（拡張データ長が使われている場合を含む）。

パリティを使用するかどうかとパリティのタイプは CSIHnCFGx.CSIHnPSx[1:0]で指定されます。

CSIHnCFGx.CSIHnPSx[1]＝1 であれば、パリティチェックが有効になります。

パリティビットは受信完了後にチェックされます。パリティエラーが発生すると、以下のことが行われます。

- 割り込み INTCSIHTIRE が発生します。
- CSIHnSTR0.CSIHnPE ビットがセットされます。

さらに、エラーが発生したデータの CSIHnRX0W.CSIHnRPE がセットされます。

以下の図に例を示します。

- データ長は 8 ビットです。
- 送信されるデータは 05_H と 35_H です。
- データ方向は LSB ファーストです。
- パリティタイプは奇数です。

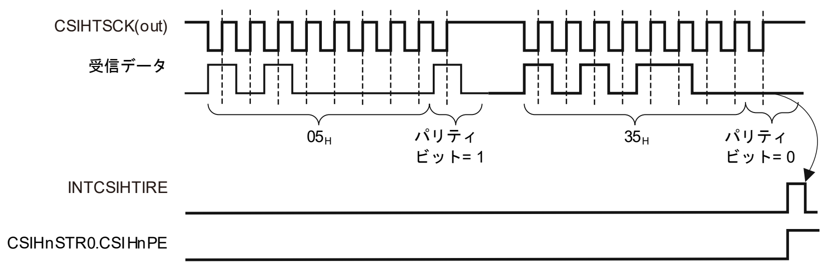


図 20.36 パリティチェックの例

1 つめのデータのパリティビットは 1 です。1 の総数（パリティビットを含む）が奇数であるため、パリティエラーは発生しません。

2 つめのデータのパリティビットは 0 です。1 の総数（パリティビットを含む）が偶数であるため、これはパリティエラーとして検出されます。

拡張データ長（EDL）機能を使用した場合、パリティビットは、データの最後のビットの後ろに追加されます。

20.5.12.3　タイムアウトエラー

タイムアウトエラーチェックはスレーブの FIFO モードでのみ可能です。

タイムアウトエラーは、ある一定の時間において次のどちらも行われなかった場合に発生します。

- FIFO 内の受信データが読み出し
- FIFO が CSIHTSI からデータを受信

タイムアウトの時間は、CSIHnMCTL0.CSIHnTO[4:0]によって送信クロック CSIHTSCK の 8 倍の単位で定義されます。指定された時間を超過するとタイムアウトエラーが発生します（CSIHnMCTL0.CSIHnTO[4:0]＝00000_B に設定した場合タイムアウト時間は検出されません）。

専用のタイムアウトカウンタは、CSIHnCTL2.CSIHnPRS[2:0]ビットと、CSIHnBRSy.CSIHnBRS[11:0]ビットで設定をします。

CSIHnBRSy.CSIHnBRS[11:0]ビットに 000_H を設定したままなら、専用のタイムアウトカウンタは動作しません。

専用のタイムアウトカウンタで最後の読み出し操作から次の読み出し操作までの時間を測定します。

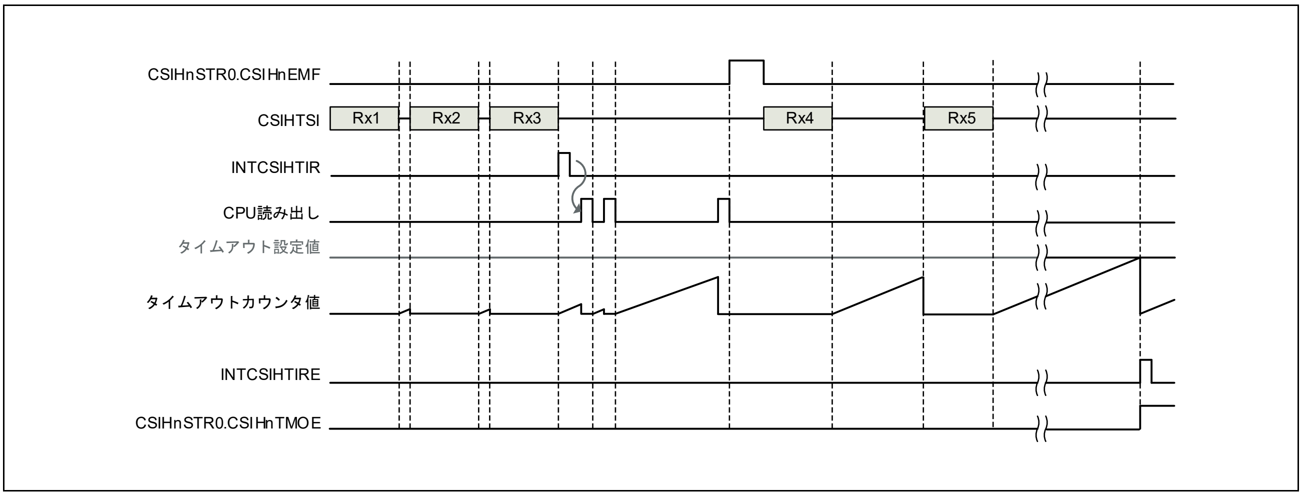


図 20.37　タイムアウトチェック機能のタイミング図

タイムアウトカウンタのスタートタイミングを次に示します。

- 受信が完了したとき
- CPU からのデータ読み込みが完了したとき
  （バッファが空なら、カウンタはスタートしません）
- タイムアウトエラーを検出したとき

タイムアウトエラーが検出された後、そのままであれば、タイムアウトカウンタは再起動します。

CSIHnMCTL0.CSIHnTO[4:0]ビットで設定した値まで再度来た場合は、INTCSIHTIRE 割り込みが再度出力されます。

タイムアウトカウンタは受信データがリードされない限りはカウントし続けます。タイムアウトカウンタを停止したい場合、すべての受信データを読みだすか、CSIHnSTCR0.CSIHnPCT をセット（1）してください。ただしその場合、ポインタがクリアされます。

タイムアウトカウンタのリセットタイミングを次に示します。

- 読み出しが 1 回行われる

- 新しいデータが 1 つ着信
- タイムアウトエラーを検出
- CSIHnSTCR0.CSIHnPCT ビットをセット（1）

タイムアウトエラーが発生すると、以下のことが行われます。

- 割り込み INTCSIHTIRE が発生します。
- CSIHnSTR0.CSIHnTMOE ビットがセットされます。

20.5.12.4 オーバフローエラー

オーバフローエラーは FIFO モードで発生する可能性があります。オーバフローエラーは、FIFO バッファが受信データフルになっている状態で CSIHnTX0W レジスタに送信データが書き込まれると発生します。

例

100 個のデータが送信されています。つまり、FIFO には 100 個の受信データが格納されています。アプリケーションが受信データの読み出しを開始します。

読み出し操作の進行中に、アプリケーションが新たに 50 個の送信データを FIFO に書き込みはじめます。しかし、現在までに 10 個の受信データしか読み出されておらず、90 個のデータがまだ FIFO に残っています。

この例では、新しい送信データを受け入れることができるバッファは 38 個しかありません。CPU が 39 個目のデータを書き込もうとすると、オーバフローエラーが発生します。

以下の図はその様子を示しています。

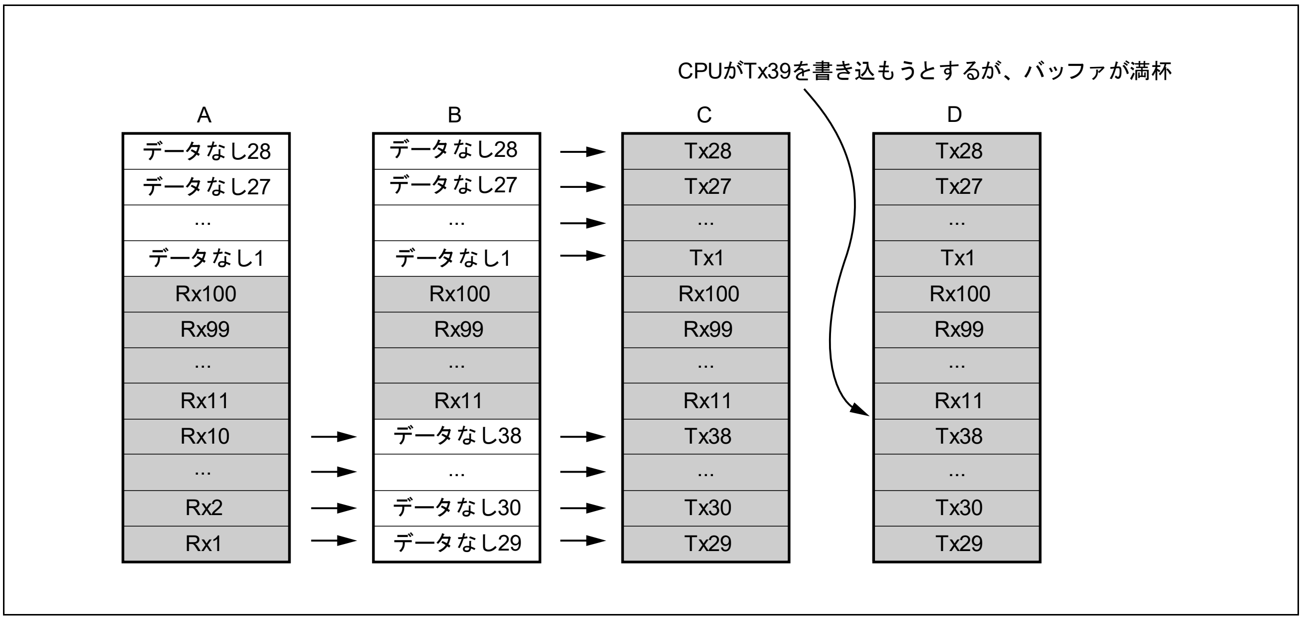


図 20.38 FIFO の概要

39 個目以降のデータは破棄されます。以下の図にオーバフローのタイミングを示します。

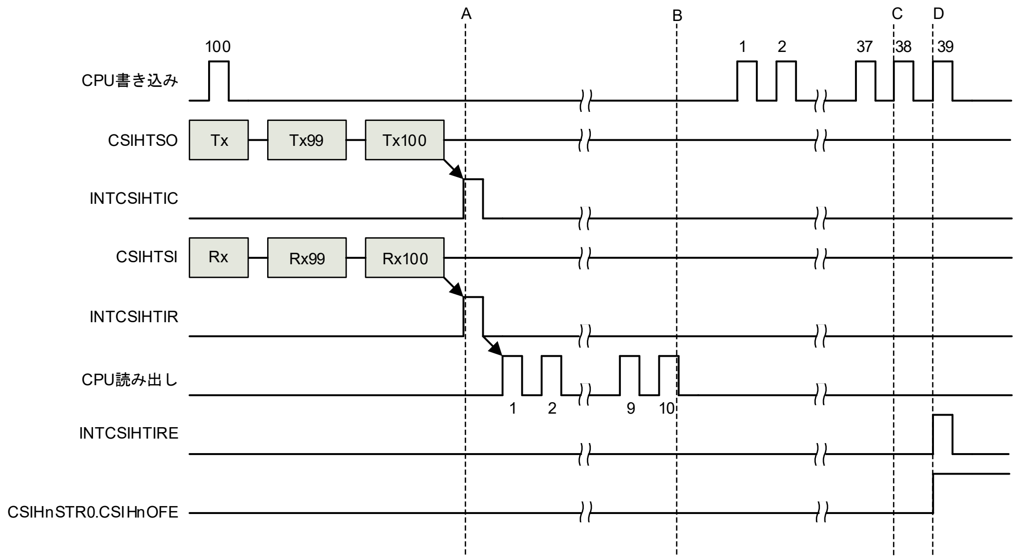


図 20.39 FIFO のオーバフローのタイミング

オーバフローエラーが発生すると、以下のことが行われます。

- 割り込み INTCSIHTIRE が発生します。
- CSIHnSTR0.CSIHnOFE ビットがセットされます。

20.5.12.5　オーバランエラー

オーバランエラーは、ダイレクトアクセスモード、送信専用バッファモード、FIFO モードで発生する可能性があります。デュアルバッファモードでオーバランエラーが発生する可能性はありません。データ受信が禁止されていると（CSIHnCTL0.CSIHnRXE＝0）、オーバランエラーは発生しません。

オーバランエラーの発生条件は 2 つあります。

エラー発生条件 1

- FIFO モードで受信データの数が 0 になった状態で、CPU が CSIHnRX0W/H レジスタをリードした場合

エラー発生条件 2

- スレーブモードで CSIHnCTL1.CSIHnHSE＝0（ハンドシェークなし）の場合
  - ダイレクトアクセスモードもしくは送信専用バッファモードで、前の受信データが CSIHnRX0W/H レジスタに残っている状態で受信を完了した場合
  - FIFO モードで、FIFO バッファが受信データでフル状態で受信を完了した場合

(1)　ダイレクトアクセス／送信専用バッファ

ダイレクトアクセスモードと送信専用バッファモードでは、新たに受信したデータをシフトレジスタから受信レジスタ CSIHnRX0W/H へ転送できなくなると、このエラーが発生します。CSIHnRX0W/H が読み出されていないため、前に受信したデータが CSIHnRX0W/H に残っていると、その状態になります。

以下の図にオーバランエラー検出機能の仕組みを示します。

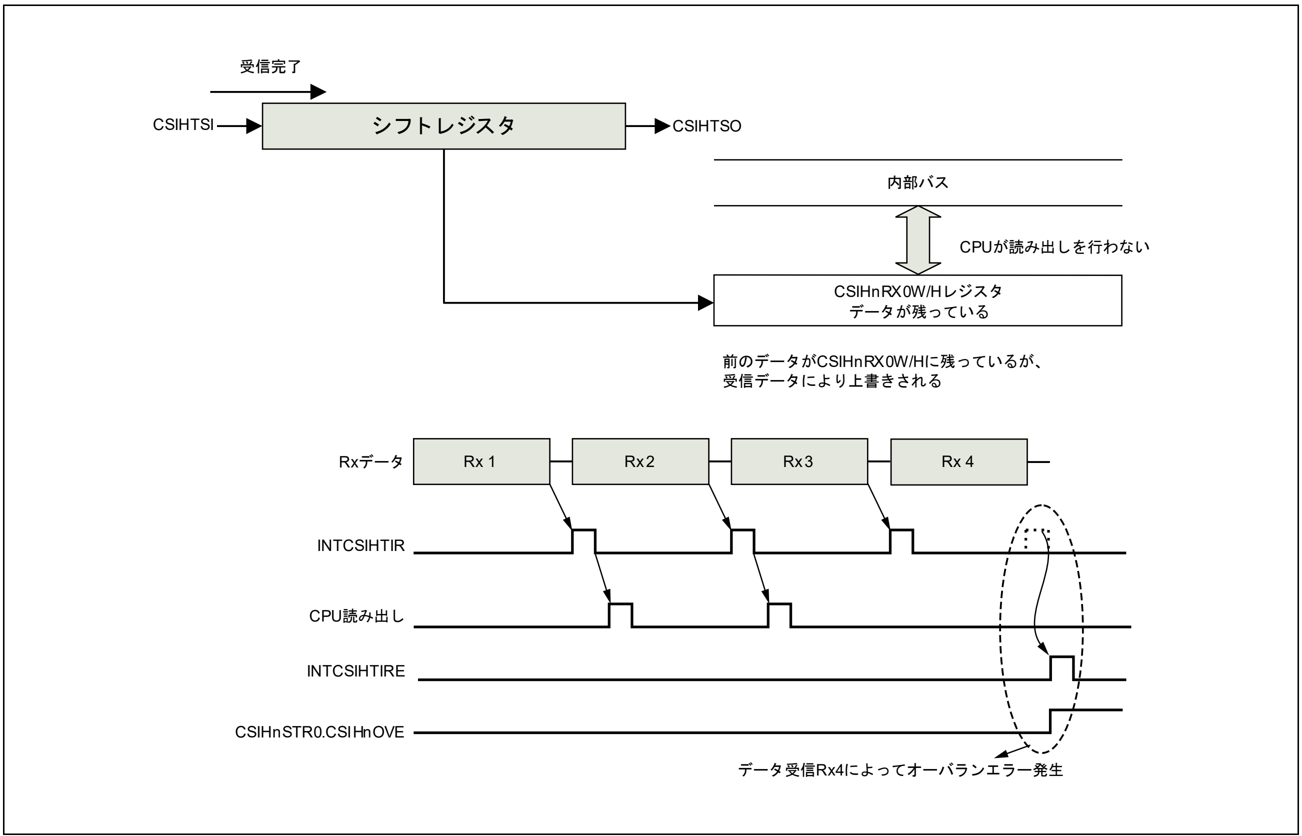


図 20.40　ダイレクトアクセスモードと送信専用バッファモードでのオーバランエラーの検出

備　考

スレーブモードでは、ハンドシェーク機能を利用してオーバランエラーを回避することができます。スレーブモードでハンドシェークを使用すると、受信側（スレーブ）は送信側（マスタ）に自分がビジーであることを伝えます。送信側は受信側が自分の受信レジスタを読み出し、再びレディ状態になるまで待機します。

(2) FIFO モード

FIFO モードでは、以下の条件でエラーが発生します。

1. FIFO フルのため、新たに受信したデータをシフトレジスタから FIFO へ転送できない

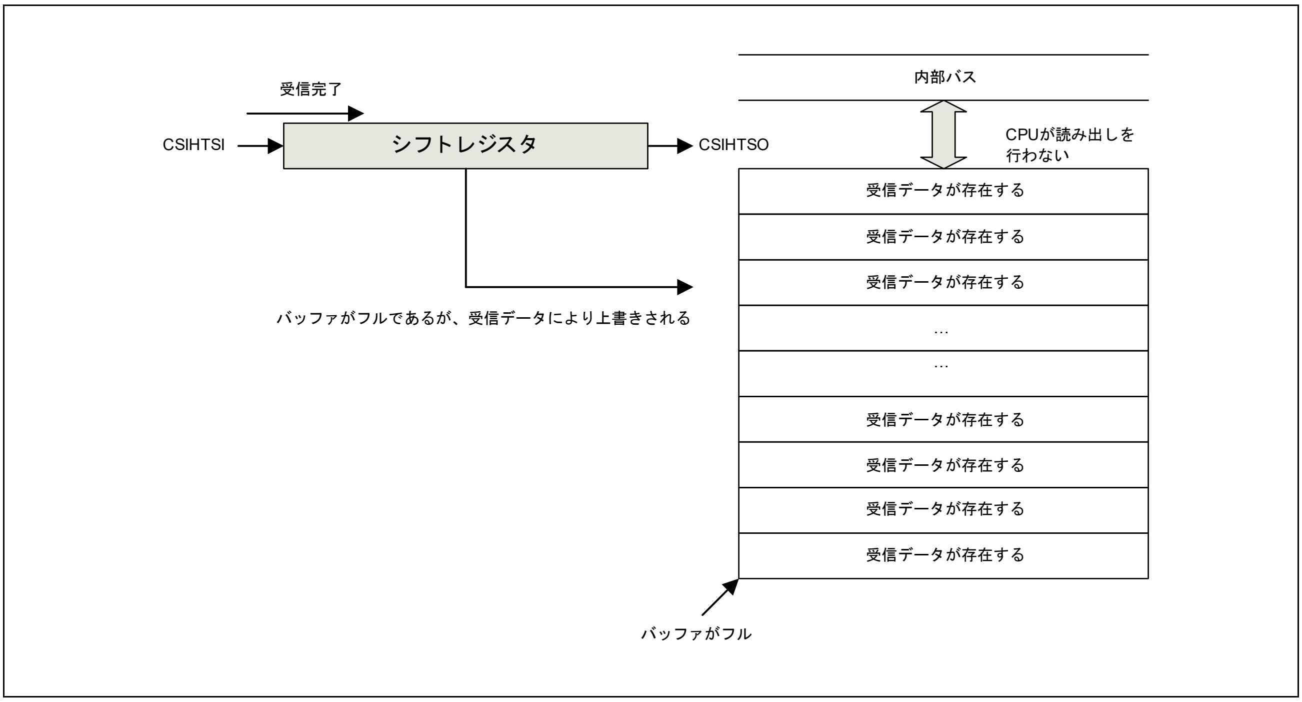


図 20.41　FIFO モードでのオーバランエラーの検出（FIFO フル）

備　考

スレーブモードでは、ハンドシェーク機能を利用してオーバランエラーを回避することができます。スレーブモードでハンドシェークを使用すると、受信側（スレーブ）は送信側（マスタ）に自分がビジーであることを伝えます。送信側は受信側が自分の受信レジスタを読み出し、再びレディ状態になるまで待機します。

2.　CPU が存在しない受信データを読み出そうとしている

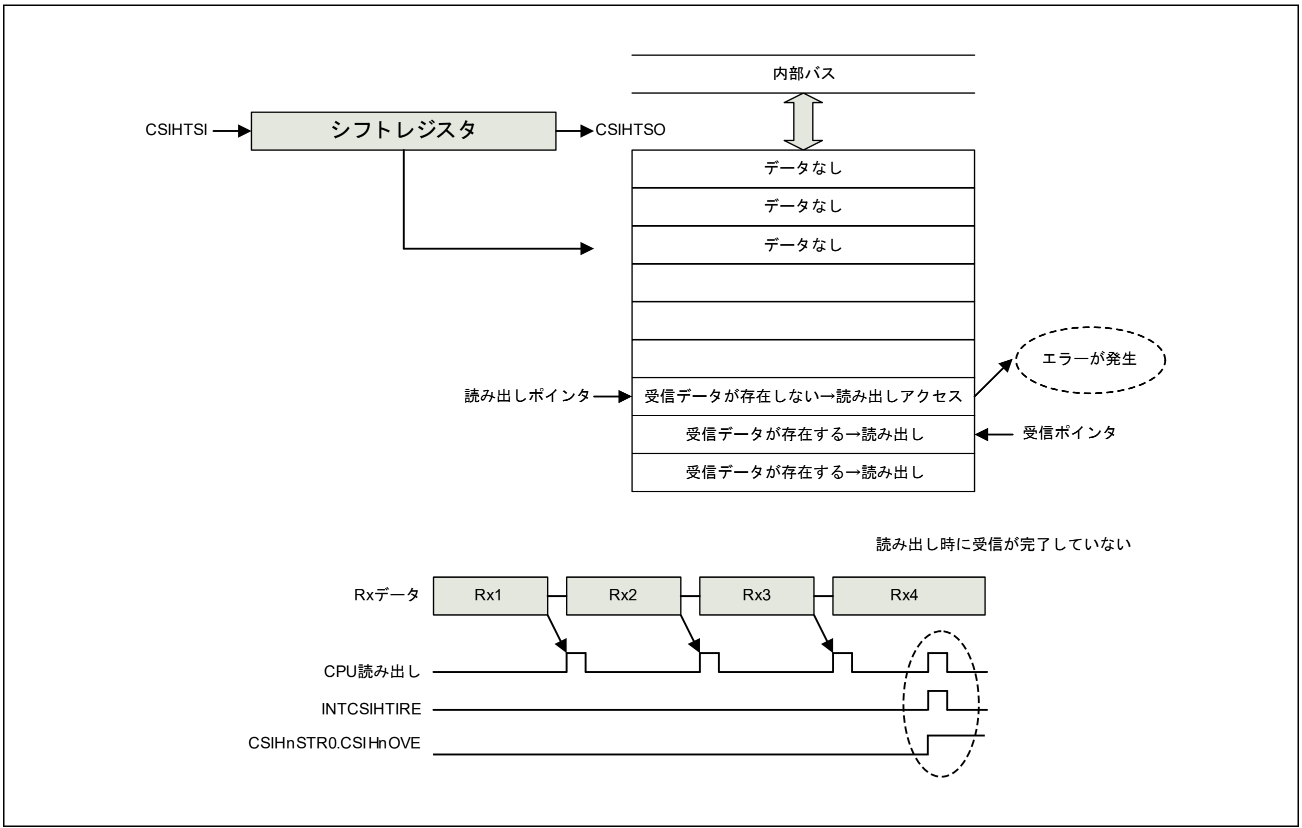


図 20.42　FIFO モードでのオーバランエラーの検出（データなし）

オーバランエラーが発生すると、以下のことが行われます。

- 割り込み INTCSIHTIRE が発生します。
- CSIHnSTR0.CSIHnOVE ビットがセットされます。
- 受信データが上書きされ、通信は継続します。
  （CPU が存在しないデータを読み出そうとした場合、受信完了まで待機した後に CPU による読み出しが再開します。）

詳細については、「**20.5.11 ハンドシェーク機能**」を参照してください。

20.5.13　ループバックモード

ループバックモードは自己テスト用の特殊なモードです。この機能はマスタモードでのみ利用できます。

このモードがアクティブ（CSIHnCTL1.CSIHnLBM＝1）になっていると、CSIHTCSSx はインアクティブレベルに固定されます（アクティブレベルは CSIHnCTL1.CSIHnCSLx の値で定義されます）。そして、以下の図に示すように、送信信号と受信信号が内部で接続されます。CSIHTSCK 信号、CSIHTSO 信号、CSIHTSI 信号、CSIHTCSSx 信号はポートから切り離されます。さらに、CSIHTSO の出力レベルがロウレベルに固定され、CSIHnCFGx.CSIHnCKPx の値に関係なく、CSIHTSCK はリセットレベル（High）に設定されます。CSIH のそれ以外の部分は通常どおりに動作します。

CSIH をテストするには、ループバックモードに設定し、通常の転送操作を実行します。その後、受信データが送信データと同じかどうかをチェックします。ループバックテストは、接続先のデバイスに影響を与えません。

表 20.61　ループバックモード使用時の端子の出力レベル

端子名	出力レベル
CSIHTSCK(out)	ハイレベル
CSIHTCSS[7:0]	インアクティブレベル
CSIHTSO	ロウレベル（それまでの値に依存しない）
Interrupt	通常の機能
CSIHTRYO	通常の機能（ロウレベル）

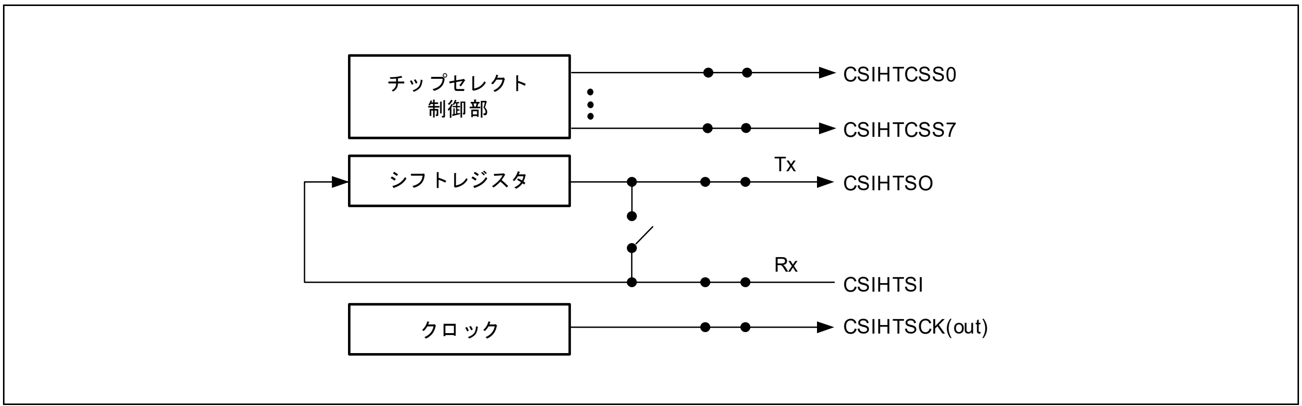


図 20.43　通常の動作

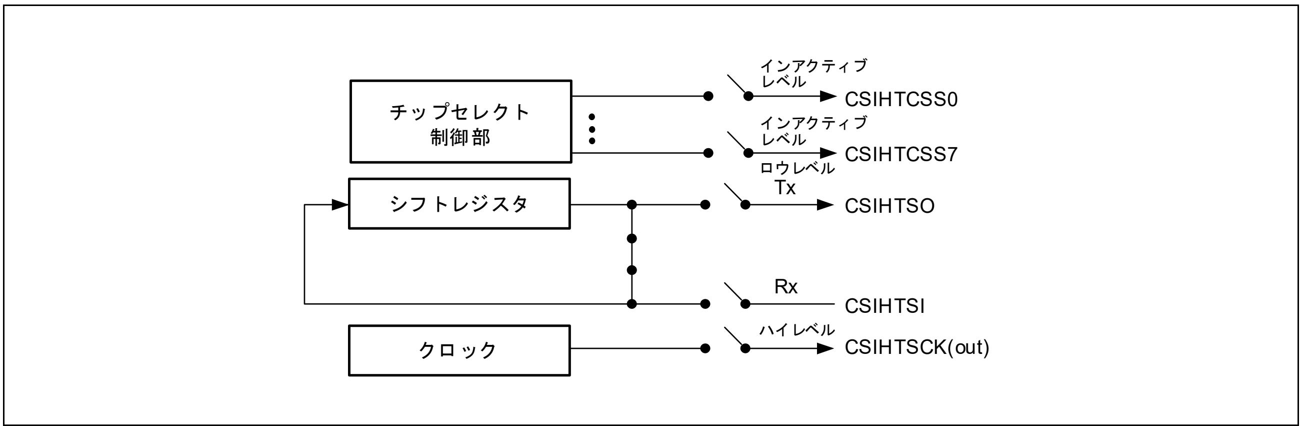


図 20.44　ループバックモードでの動作

20.5.14　CPU 制御による高優先通信機能

CSIH は、低優先通信を行っているときに、CPU からの高優先通信要求があった場合に、低優先通信を中断して、高優先通信を行う機能を備えています。本機能は、低優先通信として送信専用バッファモード、高優先通信としてダイレクトアクセスモードのみに対応します。本機能を有効にするためには、CSIHnCTL1.CSIHnPHE＝1、CSIHnCTL1.CSIHnJE＝1 を設定する必要があります。

CPU 制御により高優先通信を行う例を示します。

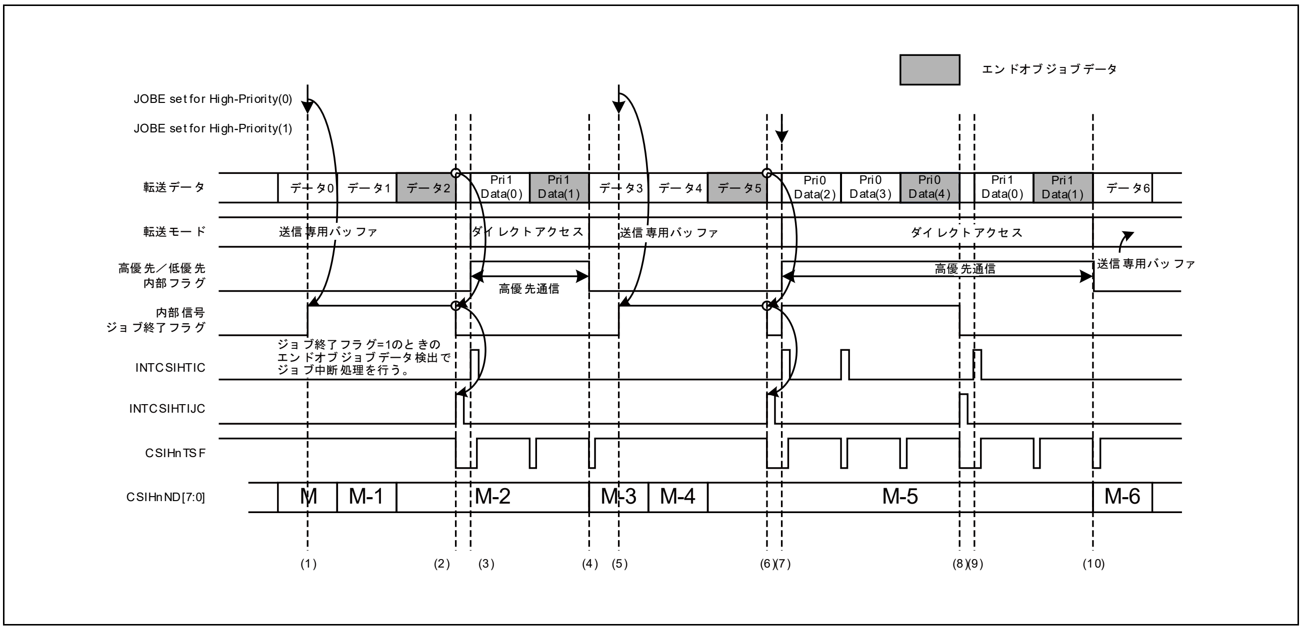


図 20.45　CPU 制御による高優先通信例

(1) 低優先通信中に、CSIHnCTL0.CSIHnJOBE＝1 を設定することで、エンドオブジョブデータに続いて高優先通信を行うことを通知し、内部信号フラグをセットします。

(2) エンドオブジョブデータを検出すると、現在の低優先通信を中断して INTCSIHTIJC 割り込みを発生します。通信を中断したことで、内部信号 JOB 終了フラグがクリアされ、続く高優先通信に備えてメモリモードをダイレクトアクセスモードに自動切り換えします。

(3) CPU が、割り込みを検出し、高優先通信の最初の送信データを CSIHnTX0W または CSIHnTX0H にライトすることで、通信を開始します。

(4) エンドオブジョブデータを検出すると、通信を中断します。このとき内部信号 JOB 終了フラグが 0 のため、CSIH は、次の通信が低優先通信であると判断し、メモリモードを送信専用バッファモードに自動切り替えした後、中断していた低優先通信を再開します。

(5) （1）と同じ

(6) （2）と同じ

(7) CPU が、割り込みを検出し、高優先通信の最初の送信データを CSIHnTX0W または CSIHnTX0H にライトすることで、通信を開始します。CPU は、次の通信が高優先通信であることを通知するため、再び CSIHnCTL0.CSIHnJOBE＝1 を設定します。

(8) エンドオブジョブデータを検出すると、通信を中断して INTCSIHTIJC 割り込みを発生します。このとき、内部信号ジョブ終了フラグ＝1 のため、続く通信も高優先通信と判断し、通信開始を待ちます。

(9) （3）と同じ

(10) （4）と同じ

注　意

低優先通信から高優先通信に切り替わる際のメモリモード切り換え動作（送信専用バッファモードからダイレクトアクセスモードへの切り替え）および、高優先通信から低優先通信に切り替わる際のメモリモード切り換え動作（ダイレクトアクセスモードから送信専用バッファモードへの切り替え）は、自動的に行われます。

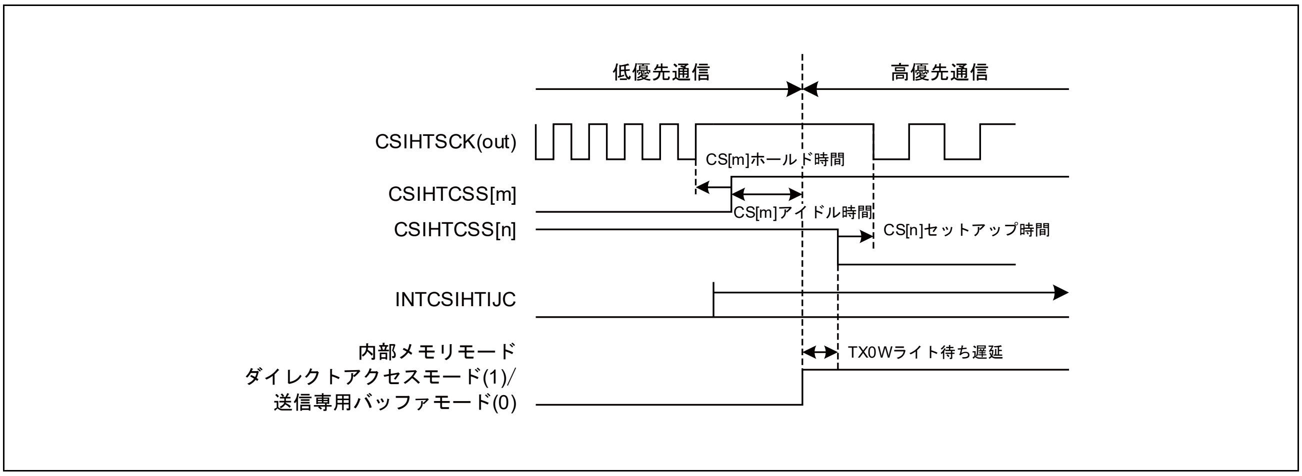


図 20.46　低優先モードから高優先モードへの移行

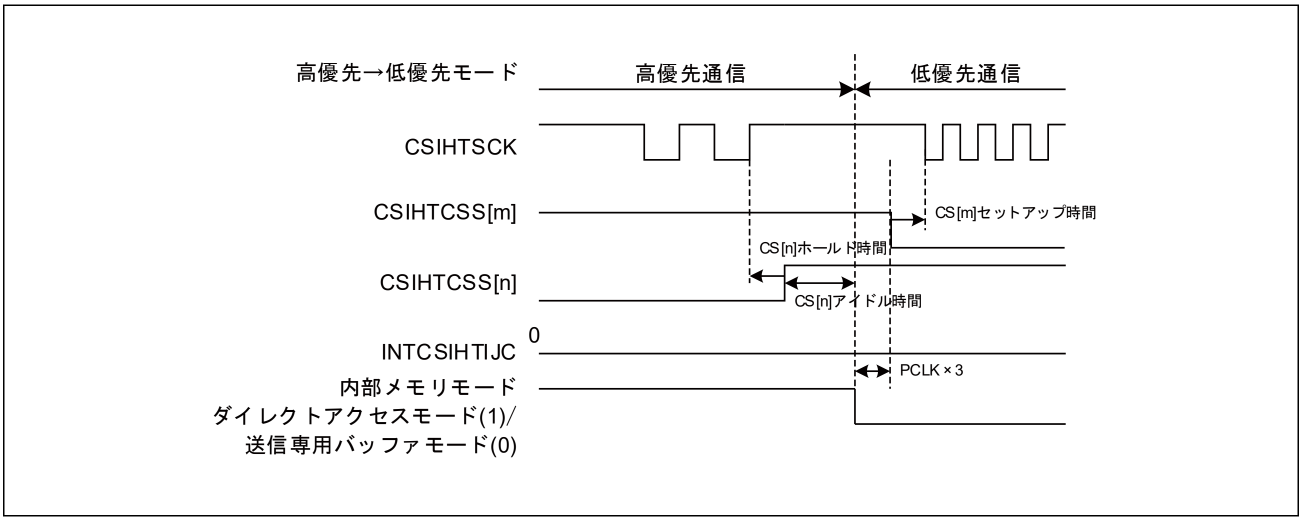


図 20.47　高優先モードから低優先モードへの移行

低優先／高優先通信モードの切り替えを正しく行うために、通信データのライト動作および、CSIHnCTL0.CSIHnJOBE ビット操作は設定禁止期間では行わないでください。

CSIHnTX0W レジスタライト禁止期間：

- 高優先通信モードに移行するための CSIHnJOBE ビット設定後、INTCSIHTIJC 割り込みを検出するまでの期間。
- 高優先通信の最後のデータ（End of JOB データ）をライトした後、CSIHnHPST ステート＝0 を検出するまでの期間。

CSIHnJOBE レジスタライト禁止期間：

- 高優先通信モードに移行するための CSIHnJOBE ビット設定後、INTCSIHTIJC 割り込みを検出するまでの期間。

高優先通信モード期間中は CSIHnJOBE ビットの設定禁止期間はありません。通信データをライトする前に CSIHnJOBE ビットを設定することも可能です。例えば、予め複数の JOB データを高優先で通信することが分かっている場合は、最初の通信データをライトする前に CSIHnJOBE ビットを設定しておくことができます。

注　意

高優先通信の最後の通信が終了する間際に CSIHnJOBE ビットをセットした場合、内部で CSIHnJOBE ビットのセットを検出するタイミングによって動作が異なります。

最終ビットの通信が完了する前に CSIHnJOBE ビットのセットを検出した場合は、高優先通信モードを継続します。

最終ビットの通信が完了した後に CSIHnJOBE ビットのセットを検出した場合は、一旦低優先通信モードへ復帰した後、低優先通信データの End of JOB データを検出して、再び高優先通信モードへ遷移します。

20.5.15　強制 CS アイドル設定

CSIHnCFGx.CSIHnIDLx を設定することで、連続する 2 つの転送データ間にアイドル状態を挿入することができます。

1. CSIHnCFGx.CSIHnIDLx が 0 のとき
   次の CSIHTCSSx が前と同じ場合、アイドル状態が挿入されず、データ間時間が挿入されます。
   次の CSIHTCSSx が前と違う場合、アイドル状態が挿入されます。
2. CSIHnCFGx.CSIHnIDLx が 1 のとき
   次の CSIHTCSSx が前と同じ場合でも、アイドル状態が常に挿入されます。

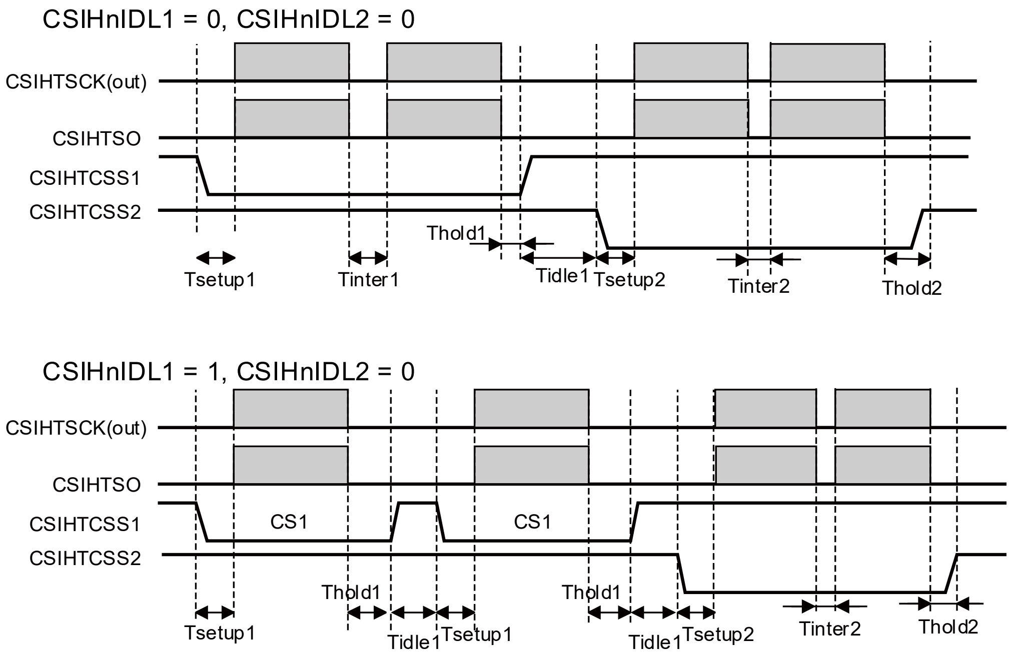


図 20.48　強制 CS アイドル設定の例

注　意

CPU 制御による高優先通信機能を有効にしている場合(CSIHnCTL1.CSIHnPHE＝1)で、低優先通信モードから高優先通信モードに移行するときと、高優先通信モードから低優先通信モードに移行するときは、CSIHnCFGx.CSIHnIDLx ビット設定にかかわらずアイドル状態が挿入されます。

20.6　操作手順

ここに示す例および手順は、以下のメモリモード順に記載されています。

- ダイレクトアクセスモード
- 送信専用バッファモード
- デュアルバッファモード
- FIFO モード

20.6.1　ダイレクトアクセスモードでの手順

マスタのジョブモードが無効になっている例とジョブモードが有効になっている例を示します。

20.6.1.1　マスタモードでジョブモードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0]＝1000_B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx＝0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx＝0、CSIHnCFGx.CSIHnDAPx＝0）
- 割り込み遅延なし（CSIHnCTL1.CSIHnSIT＝0）
- ジョブモード無効（CSIHnCTL1.CSIHnJE＝0）
- 通常の INTCSIHTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT＝0）
- ダイレクトアクセスモード（CSIHnCTL0.CSIHnMBS＝1）

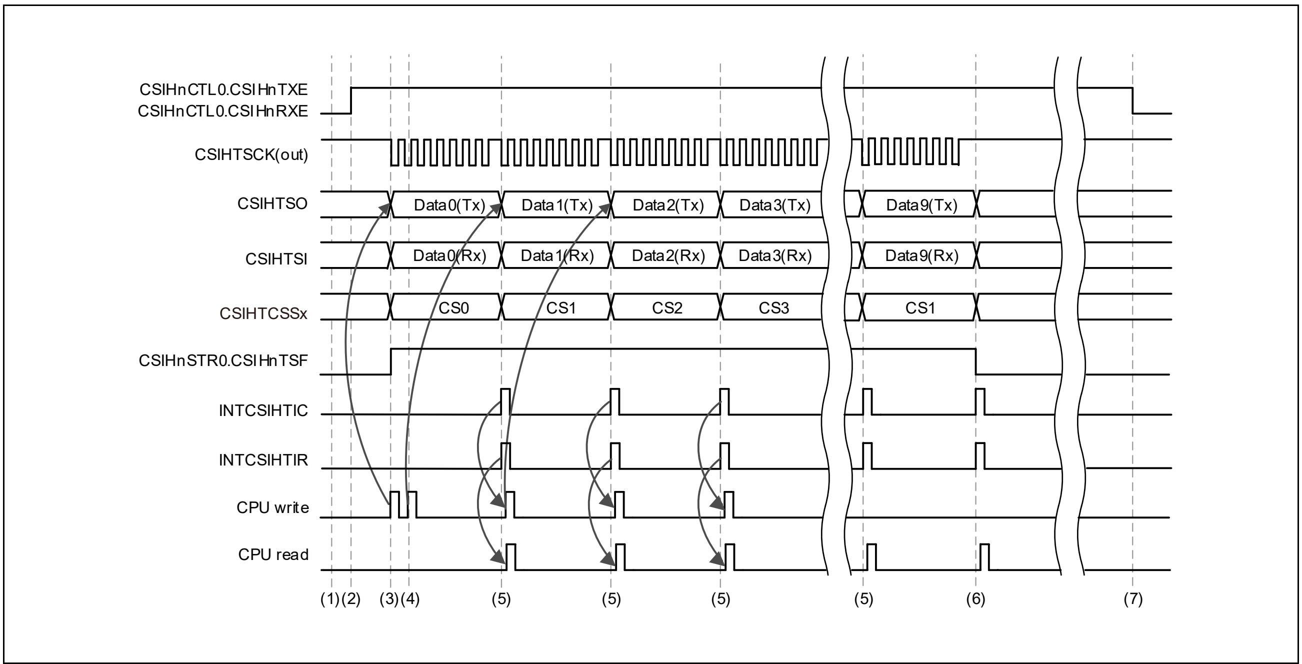


図 20.49　ダイレクトアクセスモードのマスタ、CSIHnCTL1.CSIHnJE＝0

手順

(1) CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップセレクト信号 CSIHTCSS0～CSIHTCSS3 を使用します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードとジョブモードを指定します。

(2) CSIHnCTL0 レジスタで、CSIHnPWR＝1（クロック有効）、CSIHnTXE＝1（送信許可）、CSIHnRXE＝1（受信許可）、CSIHnMBS＝1（ダイレクトアクセスモード選択）に設定します。

(3) 最初の送信データを送信レジスタ CSIHnTX0W に書き込みます。同じ書き込み操作で CS0 をアクティブにします。最初のデータが利用可能になると送信が自動的に開始されます。

(4) 2 番目のデータを CSIHnTX0W に書き込みます。必要に応じて、CS を変更し、別のデバイスを通信相手にすることができます。最初のデータを書き込んだ直後に 2 番目のデータを書き込むことで、データ間の不要な遅延を回避できます。

(5) データが送受信されるたびに割り込み INTCSIHTIC と INTCSIHTIR が発生します。

- INTCSIHTIC は、次のデータを CSIHnTX0W に書き込めることを示します。
- INTCSIHTIR は、受信レジスタ CSIHnRX0W を読み出す必要があることを示します。

(6) データ 8 の書き込みが完了すれば、それ以降の書き込みアクションは必要ありません。データ 9（最後のデータ）は、その前に書き込まれています。ただし、データ 8 とデータ 9 の書き込みが完了したあと、受信レジスタ CSIHnRX0W を読み出す必要があります。

(7) 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。
また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR＝0 に設定してください。

20.6.1.2 マスタモードでジョブモードが有効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0]＝1000_B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx＝0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx＝0、CSIHnCFGx.CSIHnDAPx＝0）
- 割り込み遅延なし（CSIHnCTL1.CSIHnSIT＝0）
- ジョブモード有効（CSIHnCTL1.CSIHnJE＝1）
- 通常の INTCSIHTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT＝0）
- ダイレクトアクセスモード (CSIHnCTL0.CSIHnMBS＝1)
- それぞれ 3 個のデータを送信する 2 つのジョブ

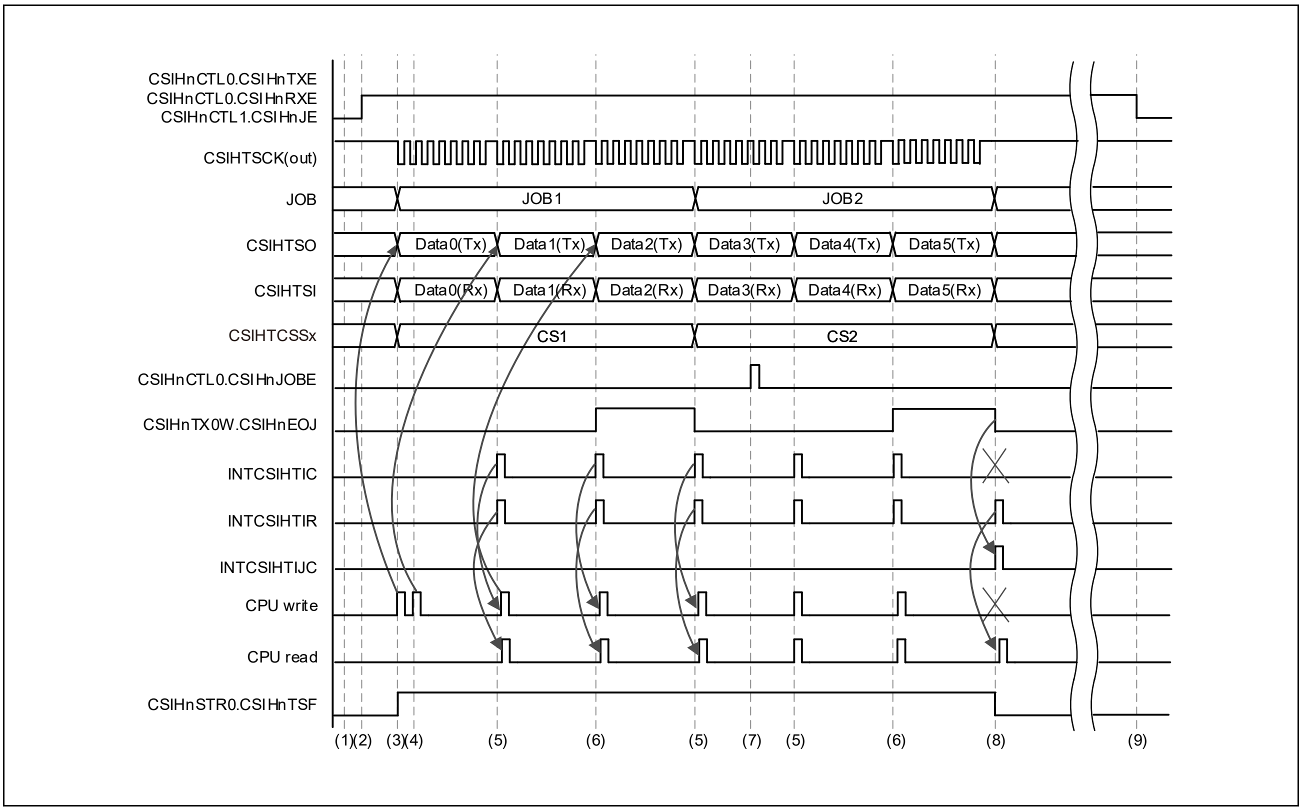


図 20.50 ダイレクトアクセスモードのマスタ、CSIHnCTL1.CSIHnJE＝1

手順

(1) CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップセレクト信号 CS1、CS2 を使用します。CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードとジョブモードを指定します。

(2) CSIHnCTL0 レジスタで、CSIHnPWR＝1（クロック有効）、CSIHnTXE＝1（送信許可）、CSIHnRXE＝1（受信許可）、CSIHnMBS＝1（ダイレクトアクセスモード選択）を設定します。

(3) 最初の送信データを送信レジスタ CSIHnTX0W に書き込みます。最初のデータが利用可能になると送信が自動的に開始されます。
通信が進行中であることを CSIHnSTR0.CSIHnTSF フラグが示します。

(4) 2 番目のデータを CSIHnTX0W に書き込みます。最初のデータを書き込んだ直後に 2 番目のデータを書き込むことで、データ間の不要な遅延を回避できます。

(5) データが送受信されるたびに割り込み要求 INTCSIHTIC と INTCSIHTIR が発生します。
   - INTCSIHTIC は、次のデータを CSIHnTX0W に書き込めることを示します。
   - INTCSIHTIR は、受信レジスタ CSIHnRX0W を読み出す必要があることを示します。

(6) CSIHnTX0W.CSIHnEOJ＝1 に設定することで、現在のジョブの最後のデータが送信されることを示します。そのあと、次のジョブを開始できます。

(7) CSIHnCTL0.CSIHnJOBE＝1 に設定することで、現在のジョブ（ジョブ 2）の終了時に通信を強制的に停止します。

(8) 通信の強制停止後、割り込み要求 INTCSIHTIC が INTCSIHTIJC に置き換えられます。INTCSIHTIR は通常どおりに発生します。
割り込み要求 INTCSIHTIJC は現在のジョブの終了時に通信が強制的に停止されたことを示します。
割り込み要求 INTCSIHTIC は発生しません。また、CSIHnTX0W レジスタ内の利用可能な送信データは送信されません。

(9) 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。
また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR＝0 に設定してください。
通信を停止せず新しい送信を開始する場合は、手順 3 以降の手順で実施ください。

20.6.2　送信専用バッファモードでの手順

マスタのジョブモードが無効になっている例とジョブモードが有効になっている例を示します。

20.6.2.1　マスタモードでジョブモードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0]＝1000_B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx＝0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx＝0、CSIHnCFGx.CSIHnDAPx＝0）
- 割り込み遅延なし（CSIHnCTL1.CSIHnSIT＝0）
- ジョブモード無効（CSIHnCTL1.CSIHnJE＝0）
- データの数：9（CSIHnMCTL2.CSIHnND[7:0]＝09_H）
- 転送開始アドレス：0040_H（CSIHnMCTL2.CSIHnSOP[6:0]＝10_H）
- 通常の INTCSIHTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT＝0）
- 送信専用バッファモード（CSIHnCTL0.CSIHnMBS＝0、CSIHnMCTL0.CSIHnMMS[1:0]＝10_B）

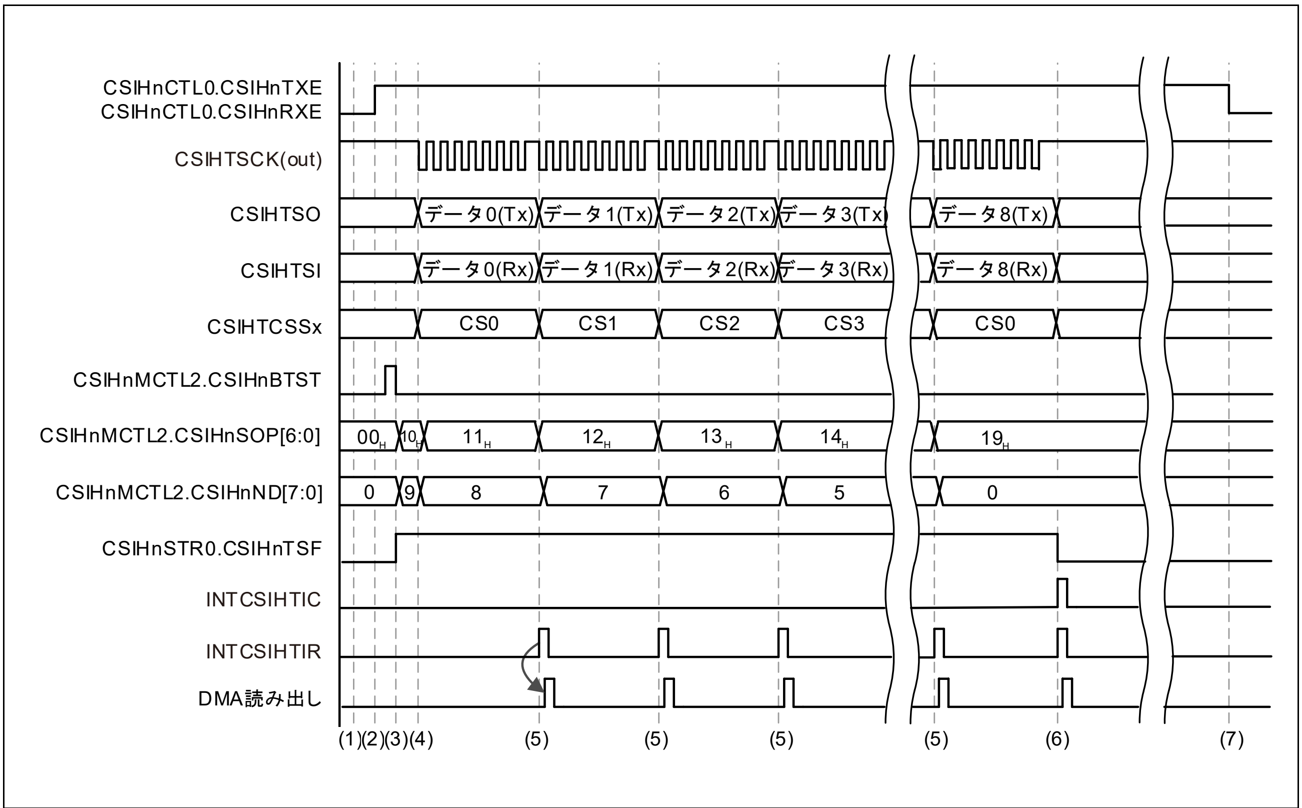


図 20.51　送信専用バッファモードのマスタ、CSIHnCTL1.CSIHnJE＝0

備　考

ここでは、バッファにデータを書き込む手順は説明しません。

手順

(1) CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップセレクト信号 CSIHTCSS0～CSIHTCSS3 を使用します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードと動作モードを指定します。
CSIHnMCTL0.CSIHnMMS[1:0]でメモリモードを設定します。
CSIHnMCTL0.CSIHnMMS[1:0]＝10_B（送信専用バッファモード）に設定します。

(2) CSIHnCTL0 レジスタで、CSIHnPWR＝1（クロック有効）、CSIHnTXE＝1（送信許可）、CSIHnRXE＝1（受信許可）を設定します。CSIHnCTL0.CSIHnMBS ビットをクリアする必要があります。

(3) ビット CSIHnMCTL2.CSIHnSOP[6:0]ビットと CSIHnMCTL2.CSIHnND[7:0]ビットを設定することによって送信ポインタとデータの数を設定します。CSIHnMCTL2.CSIHnBTST を設定することによってバッファ転送を開始します。

(4) 送受信が開始されます。CSIHnMCTL2.CSIHnSOP[6:0]ビットが自動的にインクリメントされ、データが 1 つ送信されるたびに CSIHnMCTL2.CSIHnND[7:0]ビットがデクリメントされます。

(5) データが 1 つ受信されるたびに割り込み要求 INTCSIHTIR が発生します。INTCSIHTIR は、受信レジスタ CSIHnRX0W を読み出す必要があることを示します。

(6) すべての送信が完了すると、割り込み要求 INTCSIHTIC が発生します。

(7) 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。
また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR＝0 に設定してください。

20.6.2.2 マスタモードでジョブモードが有効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0]＝1000_B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx＝0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx＝0、CSIHnCFGx.CSIHnDAPx＝0）
- 割り込み遅延なし（CSIHnCTL1.CSIHnSIT＝0）
- ジョブモード有効（CSIHnCTL1.CSIHnJE＝1）
- データの数：8（CSIHnMCTL2.CSIHnND[7:0]＝08_H）
- 転送開始アドレス：0040_H（CSIHnMCTL2.CSIHnSOP[6:0]＝10_H）
- 通常の INTCSIHTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT＝0）
- 送信専用バッファモード（CSIHnCTL0.CSIHnMBS＝0、CSIHnMCTL0.CSIHnMMS[1:0]＝10_B）

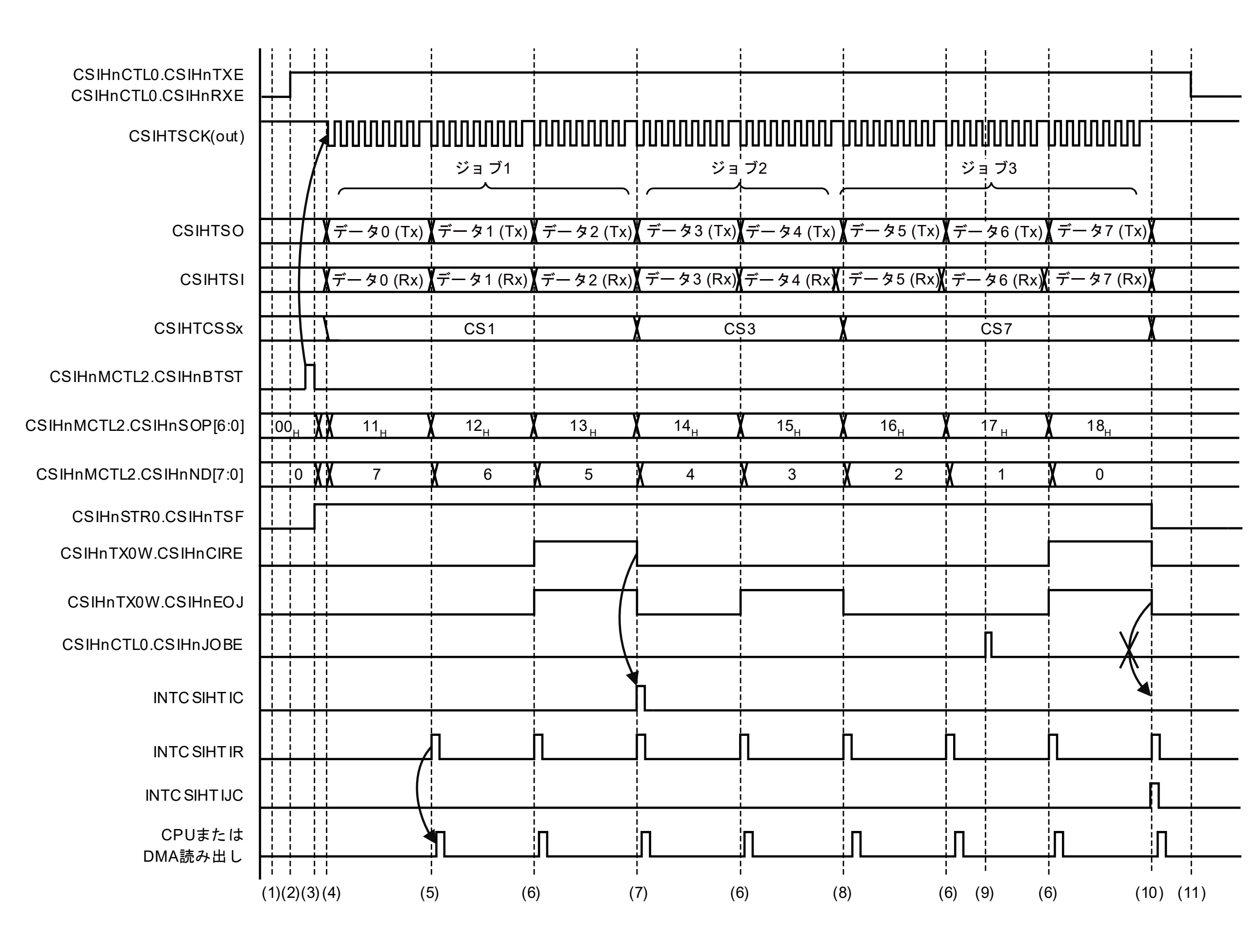


図 20.52　送信専用バッファモードのマスタ、CSIHnCTL1.CSIHnJE＝1

備　考

ここでは、バッファにデータを書き込む手順は説明しません。

手順

(1) CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップセレクト信号 CS1、CS3、CS7 を使用します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードとジョブモードを指定します。
CSIHnMCTL0.CSIHnMMS[1:0]でメモリモードを設定します。
CSIHnMCTL0.CSIHnMMS[1:0]＝10_B（送信専用バッファモード）に設定します。

(2) CSIHnCTL0 レジスタで、CSIHnPWR＝1（クロック有効）、CSIHnTXE＝1（送信許可）、CSIHnRXE＝1（受信許可）を設定します。CSIHnCTL0.CSIHnMBS ビットをクリアする必要があります。

(3) CSIHnMCTL2.CSIHnSOP[6:0]ビットと CSIHnMCTL2.CSIHnND[7:0]ビットを設定することによって送信ポインタとデータの数を設定します。CSIHnMCTL2.CSIHnBTST を設定することによってバッファ転送を開始します。

(4) 送信が開始されます。CSIHnMCTL2.CSIHnSOP[6:0]ビットが自動的にインクリメントされ、データが 1 つ送信されるたびに CSIHnMCTL2.CSIHnND[7:0]ビットがデクリメントされます。

(5) データが 1 つ受信されるたびに割り込み要求 INTCSIHTIR が発生します。INTCSIHTIR は、受信レジスタ CSIHnRX0W を読み出す必要があることを示します。

(6) CSIHnTX0W.CSIHnEOJ＝1 に設定することで、現在のジョブの最後のデータが送信されることを示します。

(7) 割り込み要求 INTCSIHTIC が発生します。INTCSIHTIC は、現在のジョブの最後のデータ（CSIHnTX0W.CSIHnEOJ＝1）が CSIHnTX0W.CSIHnCIRE＝1 の設定で送信されたことを示します。

(8) 現在のジョブの最後のデータ（CSIHnTX0W.CSIHnEOJ＝1）が CSIHnTX0W.CSIHnCIRE＝0 の設定で送信されたため、割り込み要求 INTCSIHTIC は発生しません。

(9) CSIHnCTL0.CSIHnJOBE＝1 に設定することで、ジョブ 3 の終了時に通信を強制的に停止します。

(10) 通信の強制停止後、ジョブ 3 の終了時に割り込み要求 INTCSIHTIJC と INTCSIHTIR が発生します。
割り込み要求 INTCSIHTIJC は現在のジョブの終了時に通信が強制的に停止されたことを示します。
割り込み要求 INTCSIHTIC の代わりに割り込み要求 INTCSIHTIJC が発生するため、割り込み要求 INTCSIHTIC は発生しません。また、CSIHnTX0W レジスタ内の利用可能な送信データは送信されません。

(11) 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。
また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR＝0 に設定してください。

20.6.3　デュアルバッファモードでの手順

マスタモード時、ジョブモードが有効になっている例と無効になっている例、およびスレーブモード時、ジョブモードが無効になっている例を示します。

20.6.3.1　マスタモードでジョブモードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0]＝1000_B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx＝0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx＝0、CSIHnCFGx.CSIHnDAPx＝0）
- 割り込み遅延なし（CSIHnCTL1.CSIHnSIT＝0）
- ジョブモード無効（CSIHnCTL1.CSIHnJE＝0）
- データの数：9（CSIHnMCTL2.CSIHnND[7:0]＝09_H）
- 転送開始アドレス：0040_H（CSIHnMCTL2.CSIHnSOP[6:0]＝10_H）
- 通常の INTCSIHTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT＝0）
- デュアルバッファモード（CSIHnCTL0.CSIHnMBS＝0、CSIHnMCTL0.CSIHnMMS[1:0]＝01_B）

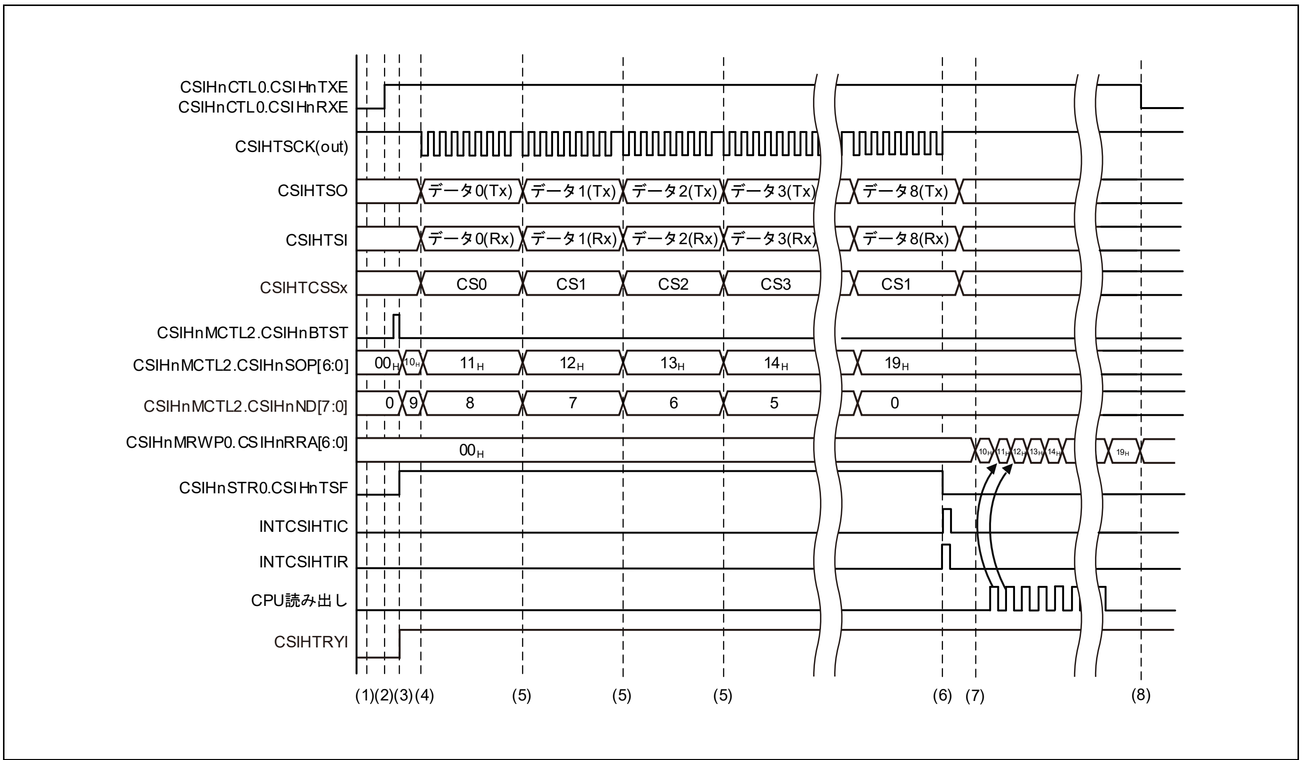


図 20.53　デュアルバッファモードのマスタ、CSIHnCTL1.CSIHnJE＝0

備　考

ここでは、バッファにデータを書き込む手順は説明しません。

手順

(1) CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップセレクト信号 CSIHTCSS0～CSIHTCSS3 を使用します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードと動作モードを指定します。
CSIHnMCTL0.CSIHnMMS[1:0]でメモリモードを設定します。CSIHnMCTL0.CSIHnMMS[1:0]＝01_B（デュアルバッファモード)に設定します。

(2) CSIHnCTL0 レジスタで、CSIHnPWR＝1（クロック有効）、CSIHnTXE＝1（送信許可）、CSIHnRXE＝1（受信許可）を設定します。CSIHnCTL0.CSIHnMBS ビットをクリアする必要があります。

(3) CSIHnMCTL2.CSIHnSOP[6:0]と CSIHnMCTL2.CSIHnND[7:0]を設定することによって通信を設定します。CSIHnMCTL2.CSIHnBTST をセットすることによってバッファ転送を許可します。

(4) 送信が開始されます。CSIHnMCTL2.CSIHnSOP[6:0]ビットが自動的にインクリメントされ、データが 1 つ送信されるたびに CSIHnMCTL2.CSIHnND[7:0]ビットがデクリメントされます。

(5) 最後のデータが送受信されるまで、この動作が繰り返し実行されます。
割り込み要求 INTCSIHTIC と INTCSIHTIR は発生しません。

(6) 最後のデータが送受信されると、割り込み要求 INTCSIHTIC と INTCSIHTIR が発生します。
CPU が受信バッファからの受信データの読み出しを開始します。

(7) 読み出しアクセスの開始アドレスは CSIHnMRWP0.CSIHnRRA[6:0]で指定します。これらのビットはデータが 1 つ読み出されるたびにインクリメントされます。

(8) 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。
また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR＝0 に設定してください。

20.6.3.2　マスタモードでジョブモードが有効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0]＝1000_B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx＝0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx＝0、CSIHnCFGx.CSIHnDAPx＝0）
- 割り込み遅延なし（CSIHnCTL1.CSIHnSIT＝0）
- ジョブモード有効（CSIHnCTL1.CSIHnJE＝1）
- データの数：8（CSIHnMCTL2.CSIHnND[7:0]＝08_H）
- 転送開始アドレス：00_H（CSIHnMCTL2.CSIHnSOP[6:0]＝00_H）
- 通常の INTCSIHTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT＝0）
- デュアルバッファモード（CSIHnCTL0.CSIHnMBS＝0、CSIHnMCTL0.CSIHnMMS[1:0]＝01_B）

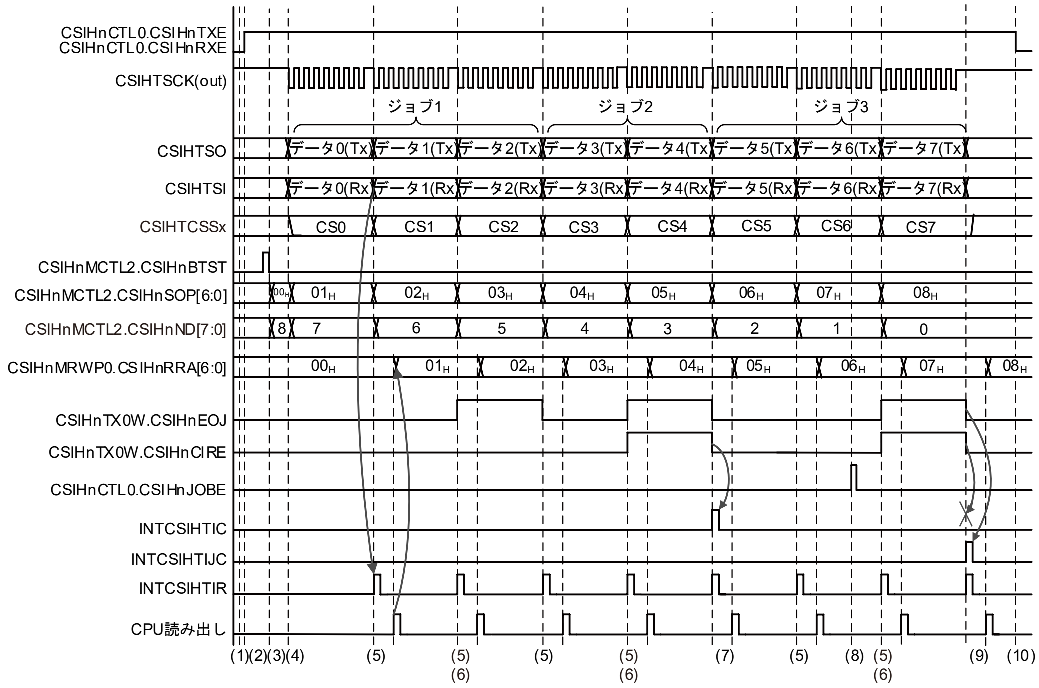


図 20.54　デュアルバッファモードのマスタ、CSIHnCTL1.CSIHnJE＝1

備　考

ここでは、バッファにデータを書き込む手順は説明しません。

手順

(1) CSIHnCFGx レジスタで通信プロトコルを設定します。この例ではチップセレクト信号 CS0～CS7 を使用します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードと動作モードを指定します。
CSIHnMCTL0.CSIHnMMS[1:0]でメモリモードを設定します。
CSIHnMCTL0.CSIHnMMS[1:0]＝01_B（デュアルバッファモード）に設定します。

(2) CSIHnCTL0 レジスタで、CSIHnPWR＝1（クロック有効）、CSIHnTXE＝1（送信許可）、CSIHnRXE＝1（受信許可）を設定します。CSIHnCTL0.CSIHnMBS ビットをクリアする必要があります。

(3) CSIHnMCTL2.CSIHnSOP[6:0]ビットと CSIHnMCTL2.CSIHnND[7:0]を設定することによって通信を設定します。CSIHnMCTL2.CSIHnBTST をセットすることによってバッファ転送を開始します。

(4) 送信が開始されます。CSIHnMCTL2.CSIHnSOP[6:0]ビットが自動的にインクリメントされ、データが 1 つ送信されるたびに CSIHnMCTL2.CSIHnND[7:0]ビットがデクリメントされます。最後のデータが送受信されるまで、この動作が繰り返し実行されます。

(5) データが 1 つ受信されるたびに割り込み要求 INTCSIHTIR が発生します。
現在のジョブの最後のデータ（CSIHnTX0W.CSIHnEOJ＝1）が CSIHnTX0W.CSIHnCIRE＝0 の設定で送信されたため、割り込み要求 INTCSIHTIC は発生しません。

(6) CSIHnTX0W.CSIHnEOJ＝1 に設定することで、現在のジョブの最後のデータが送信されることを示します。

(7) 割り込み要求 INTCSIHTIC が発生します。INTCSIHTIC は、現在のジョブの最後のデータ（CSIHnTX0W.CSIHnEOJ＝1）が CSIHnTX0W.CSIHnCIRE＝1 の設定で送信されたことを示します。

(8) CSIHnCTL0.CSIHnJOBE＝1 に設定することで、ジョブ 3 の終了時に通信を強制的に停止します。

(9) 通信の強制停止後、ジョブ 3 の終了時に割り込み要求 INTCSIHTIJC と INTCSIHTIR が発生します。
割り込み要求 INTCSIHTIJC は現在のジョブの終了時に通信が強制的に停止されたことを示します。
割り込み要求 INTCSIHTIC の代わりに割り込み要求 INTCSIHTIJC が発生するため、割り込み要求 INTCSIHTIC は発生しません。また、CSIHnTX0W レジスタ内の利用可能な送信データは送信されません。

(10) 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。
また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR＝0 に設定してください。

20.6.3.3　スレーブモードでジョブモードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0]＝1000_B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx＝0）
- 通常のクロック位相とデータ位相（CSIHnCTL1.CSIHnCKR＝0、CSIHnCFG0.CSIHnDAP0＝0）
- 割り込み遅延なし（CSIHnCTL1.CSIHnSIT＝0）
- ジョブモード無効（CSIHnCTL1.CSIHnJE＝0）
- データの数：9（CSIHnMCTL2.CSIHnND[7:0]＝09_H）
- 転送開始アドレス：0040_H（CSIHnMCTL2.CSIHnSOP[6:0]＝10_H）
- 通常の INTCSIHTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT＝0）
- デュアルバッファモード（CSIHnCTL0.CSIHnMBS＝0、CSIHnMCTL0.CSIHnMMS[1:0]＝01_B）
- ハンドシェーク機能有効（CSIHnCTL1.CSIHnHSE＝1）

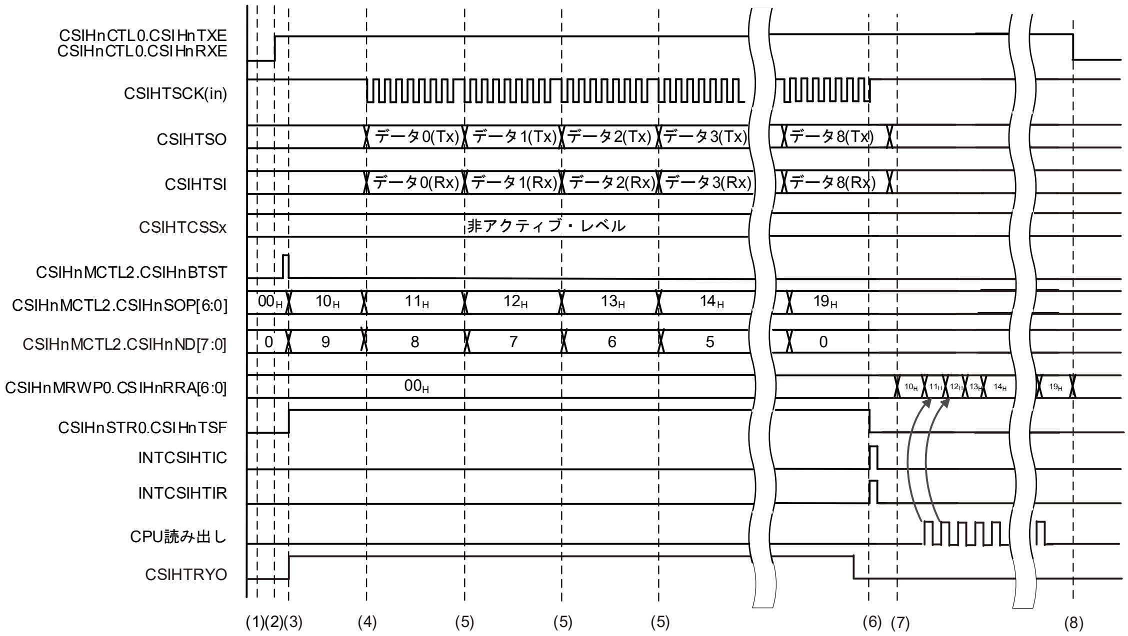


図 20.55　デュアルバッファモードのスレーブ、CSIHnCTL1.CSIHnJE＝0

備　考

ここでは、バッファにデータを書き込む手順は説明しません。

手順

(1) CSIHnCFG0 レジスタで通信プロトコルを設定します。
CSIHnCTL1 レジスタと CSIHnCTL2 レジスタの対応するビットを設定することで、転送モードと動作モードを指定します。
CSIHnMCTL0.CSIHnMMS[1:0]でメモリモードを設定します。
CSIHnMCTL0.CSIHnMMS[1:0]＝01_B でデュアルバッファモードに設定します。

(2) CSIHnCTL0 レジスタで、CSIHnPWR＝1（クロック有効）、CSIHnTXE＝1（送信許可）、CSIHnRXE＝1（受信許可）を設定します。CSIHnCTL0.CSIHnMBS ビットをクリアする必要があります。

(3) CSIHnMCTL2.CSIHnSOP[6:0]を設定することによって転送開始アドレスを指定し、
CSIHnMCTL2.CSIHnND[7:0]を設定することによってデータの数を指定します。
CSIHnMCTL2.CSIHnBTST をセットすることによってバッファ転送を許可します。

(4) マスタから入力クロックを受信すると送信が開始されます。CSIHnMCTL2.CSIHnSOP[6:0]ビットが自動的にインクリメントされ、データが 1 つ送信されるたびに CSIHnMCTL2.CSIHnND[7:0]ビットがデクリメントされます。

(5) 最後のデータが送受信されるまで、この動作が繰り返し実行されます。
送信データがバッファから送信され、受信データがバッファに格納されるため、割り込み要求 INTCSIHTIC と INTCSIHTIR は発生しません。

(6) 最後のデータが送受信されると、割り込み要求 INTCSIHTIC と INTCSIHTIR が発生します。
CPU が受信バッファに格納された受信データの読み出しを開始します。

(7) 読み出しアクセスの開始アドレスは CSIHnMRWP0.CSIHnRRA[6:0]で指定します。これらのビットはデータが 1 つ読み出されるたびにインクリメントされます。

(8) 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。
また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR＝0 に設定してください。

20.6.4　FIFO モードでの手順

マスタのジョブモードが無効になっている例とジョブモードが有効になっている例を示します。

20.6.4.1　マスタモードでジョブモードが無効になっているときの送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0]＝1000_B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx＝0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx＝0、CSIHnCFGx.CSIHnDAPx＝0）
- 割り込み遅延なし（CSIHnCTL1.CSIHnSIT＝0）
- ジョブモード無効（CSIHnCTL1.CSIHnJE＝0）
- 通常の INTCSIHTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT＝0）
- FIFO モード（CSIHnCTL0.CSIHnMBS＝0、CSIHnMCTL0.CSIHnMMS[1:0]＝00_B）

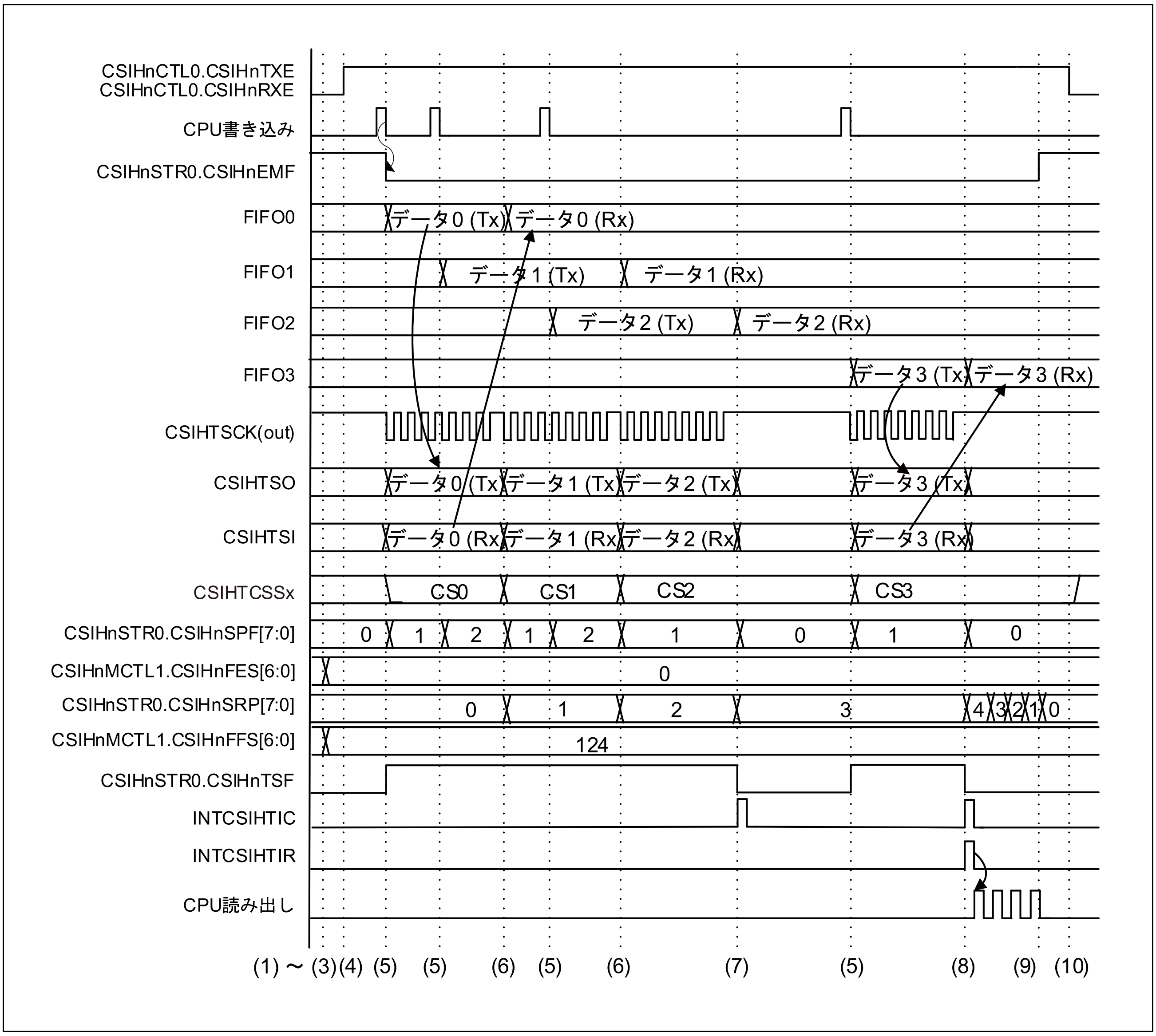


図 20.56　FIFO モードのマスタ、CSIHnCTL1.CSIHnJE＝0

手順

(1) CSIHnCFGx レジスタで通信プロトコルを設定、CSIHnCTL1、CSIHnCTL2 レジスタの対応するビットで、ジョブモード無効とマスタ・モードを設定、CSIHnMCTL0.CSIHnMMS[1:0]＝00_B で FIFO モードを設定します。この例ではチップ選択信号 CSIHTCSS0～CSIHTCSS3 を使用します。

(2) CSIHnSTCR0.CSIHnPCT＝1 に設定してすべてのバッファポインタをクリアします。
（CSIHnSTR0.CSIHnFLF＝0、CSIHnSTR0.CSIHnEMF＝1 および CSIHnSTR0.CSIHnSPF[7:0]＝00_H）

(3) CSIHnMCTL1.CSIHnFES[6:0]で INTCSIHTIC 割り込み出力の条件を指定します。
同じレジスタの CSIHnFFS[6:0]で INTCSIHTIR 割り込み出力の条件を指定します。

(4) CSIHnCTL0.CSIHnPWR＝1（クロック有効）、CSIHnTXE＝1（送信許可）、CSIHnRXE＝1（受信許可）を設定します。CSIHnCTL0.CSIHnMBS ビットをクリアする必要があります。

(5) 最初の送信データを送信レジスタ CSIHnTX0W にライトします。最初のデータが利用可能になると送信が自動的に開始されます。

(6) 現在の送信が完了します。CSIHnFES[6:0]＝CSIHnSPF[7:0]でないため、割り込み要求 INTCSIHTIC が生成されません。

(7) CSIHnFES[6:0]＝CSIHnSPF[7:0] なので、割り込み要求 INTCSIHTIC が生成されます。

(8) CSIHnFFS[6:0]＝128-CSIHnSRP[7:0]になると割り込み要求 INTCSIHTIR が生成されます。
CSIHnFES[6:0]＝CSIHnSPF[7:0] なので、割り込み要求 INTCSIHTIC が生成されます。
割り込みが生成されたあと、CPU が受信バッファに格納された受信データのリードを開始します。

(9) CPU が受信バッファに格納された受信データのリードを完了したとき、CSIHnSTR0.CSIHnEMF が 1 にセットされ、FIFO バッファはエンプティ状態になります。

(10) 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。
また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR＝0 に設定してください。

20.6.4.2　マスタモードでジョブモードが有効になっている送受信

ここに示す手順では、以下の条件を想定しています。

- 送信データ長：8 ビット（CSIHnCFGx.CSIHnDLSx[3:0]＝1000_B）
- 送信方向：MSB ファースト（CSIHnCFGx.CSIHnDIRx＝0）
- 通常のクロック位相とデータ位相（CSIHnCFGx.CSIHnCKPx＝0、CSIHnCFGx.CSIHnDAPx＝0）
- 割り込み遅延なし（CSIHnCTL1.CSIHnSIT＝0）
- ジョブモード有効（CSIHnCTL1.CSIHnJE＝1）
- ジョブ 1＝4 データ、ジョブ 2＝3 データ、ジョブ 3＝5 データ
- 通常の INTCSIHTIC 割り込みタイミング（CSIHnCTL1.CSIHnSLIT＝0）
- FIFO モード（CSIHnCTL0.CSIHnMBS＝0、CSIHnMCTL0.CSIHnMMS[1:0]＝00_B）

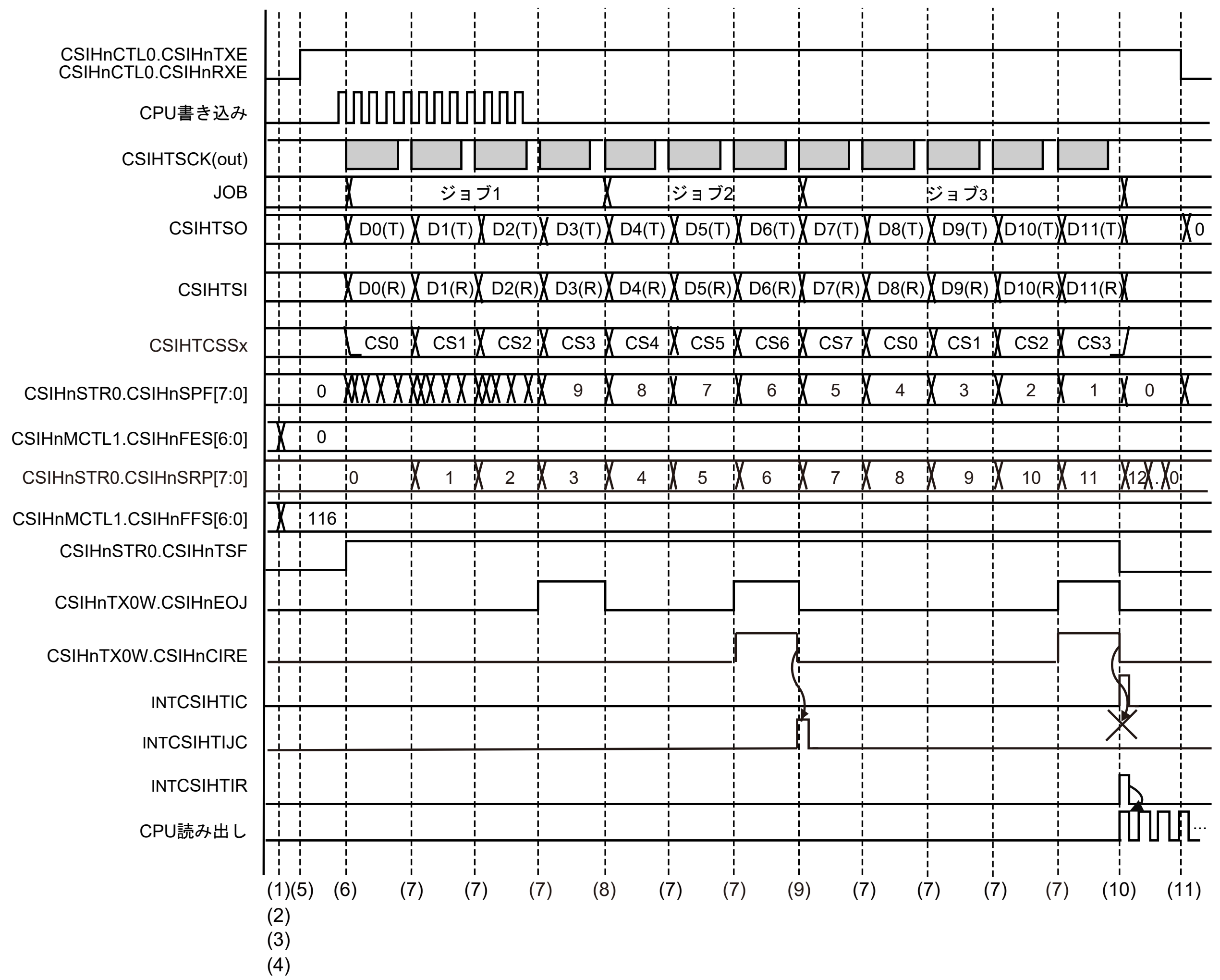


図 20.57　FIFO モードのマスタ、CSIHnCTL1.CSIHnJE＝1

手順

(1) CSIHnCFGx レジスタで通信プロトコルを設定、CSIHnCTL1、CSIHnCTL2 レジスタの対応するビットで、ジョブモード有効とマスタ・モードを設定、CSIHnMCTL0.CSIHnMMS[1:0]＝00_B で FIFO モードを設定します。この例ではチップ選択信号 CS0～CS7 を使用します。

(2) CSIHnSTCR0.CSIHnPCT＝1 に設定してすべてのバッファポインタをクリアします。

(3) CSIHnSTR0.CSIHnFLF＝0、CSIHnSTR0.CSIHnEMF＝1、CSIHnSTR0.CSIHnSPF[7:0]＝00_H であることを確認します。

(4) CSIHnMCTL1.CSIHnFES[6:0]で割り込み要求 INTCSIHTIC の発生条件を指定し、CSIHnMCTL1.CSIHnFFS[6:0]で割り込み要求 INTCSIHTIR の発生条件を指定します。

(5) CSIHnCTL0 レジスタで、CSIHnPWR＝1（クロック有効）、CSIHnTXE＝1（送信許可）、CSIHnRXE＝1（受信許可）を設定します。CSIHnCTL0.CSIHnMBS ビットをクリアする必要があります。

(6) 最初の送信データを送信レジスタ CSIHnTX0W に書き込みます。最初のデータが利用可能になると送信が自動的に開始されます。

(7) 現在の送信が完了します。CSIHnFES[6:0]＝CSIHnSPF[7:0]でないため、割り込み要求 INTCSIHTIC が生成されません。

(8) 現在のジョブの最後のデータ（CSIHnTX0W.CSIHnEOJ＝1）が CSIHnTX0W.CSIHnCIRE＝0 の設定で送信されたため、割り込み要求 INTCSIHTIJC は発生しません。

(9) 現在のジョブの最後のデータ（CSIHnTX0W.CSIHnEOJ＝1）が CSIHnTX0W.CSIHnCIRE＝1 の設定で送信されたため、割り込み要求 INTCSIHTIJC が生成されます。

(10) CSIHnFES[6:0]＝CSIHnSPF[7:0]なので、割り込み要求 INTCSIHTIC が生成されます。INTCSIHTIC が生成されているので、INTCSIHTIJC は生成されません。
CSIHnFFS[6:0]＝128－CSIHnSRP[7:0]になると割り込み要求 INTCSIHTIR が生成されます。INTCSIHTIR 割り込みが生成されたあと、CPU が受信バッファに格納された受信データのリードを開始します。

(11) 最後に、CSIHnCTL0.CSIHnTXE と CSIHnCTL0.CSIHnRXE をクリアして、送受信動作を禁止します。また、通信を行わない場合、CSIHn の消費電力を最小限にするために CSIHnCTL0.CSIHnPWR＝0 に設定してください。

20.7 CSIHn RAM のエラー検出／訂正

詳細については、「**40A.2.6 周辺 RAM の ECC**」、「**40B.2.6 周辺 RAM の ECC**」、「**40C.2.5 周辺 RAM の ECC**」を参照してください。

第21章　LIN マスタインタフェース（RLIN2）

本章では、LIN マスタインタフェース（RLIN2）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1KH, RH850/F1KM に固有の特長について説明します。

それ以降の節では、RLIN2 の機能、レジスタについて説明します。

21.1　RH850/F1KH, RH850/F1KM RLIN2 の特長

21.1.1　ユニット数とチャネル数

本製品シリーズは、以下に示すユニット数とチャネル数の RLIN2 を搭載しています。

表 21.1　ユニット数 (RH850/F1KH-D8)

製品名	RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 324 Pin
ユニット数	3	3	4
名称	RLIN24n (n＝0～2)	RLIN24n (n＝0～2)	RLIN24n (n＝0～3)

表 21.2　ユニット数 (RH850/F1KM-S4)

製品名	RH850/F1KM-S4 100 Pin	RH850/F1KM-S4 144 Pin	RH850/F1KM-S4 176 Pin	RH850/F1KM-S4 233 Pin	RH850/F1KM-S4 272 Pin
ユニット数	1	2	3	3	3
名称	RLIN24n (n＝0)	RLIN24n (n＝0, 1)	RLIN24n (n＝0～2)	RLIN24n (n＝0～2)	RLIN24n (n＝0～2)

表 21.3　ユニット数 (RH850/F1KM-S2)

製品名	RH850/F1KM-S2 100 Pin	RH850/F1KM-S2 144 Pin	RH850/F1KM-S2 176 Pin
ユニット数	1	2	3
名称	RLIN24n (n＝0)	RLIN24n (n＝0, 1)	RLIN24n (n＝0～2)

表 21.4　ユニット数 (RH850/F1KM-S1)

製品名	RH850/F1KM-S1 48 Pin	RH850/F1KM-S1 64 Pin	RH850/F1KM-S1 80 Pin	RH850/F1KM-S1 100 Pin
ユニット数	1	1	1	1
名称	RLIN24n (n＝0)	RLIN24n (n＝0)	RLIN24n (n＝0)	RLIN24n (n＝0)

表 21.5　RLIN2 のユニット構成とチャネルおよびユニットチャネル番号の対応（RH850/F1KH-D8）

ユニット名 RLIN24n	ユニット チャネル数	ユニット チャネル 番号 (i)	チャネル名 RLIN2m	RH850/ F1KH-D8 176 Pin (10ch)	RH850/ F1KH-D8 233 Pin (12ch)	RH850/ F1KH-D8 324 Pin (16ch)
RLIN240	4	0	RLIN20	○	○	○
		1	RLIN21	○	○	○
		2	RLIN22	○	○	○
		3	RLIN23	○	○	○
RLIN241	4	0	RLIN24	○	○	○
		1	RLIN25	○	○	○
		2	RLIN26	○	○	○
		3	RLIN27	○	○	○
RLIN242	4	0	RLIN28	○	○	○
		1	RLIN29	○	○	○
		2	RLIN210	—	○	○
		3	RLIN211	—	○	○
RLIN243	4	0	RLIN212	—	—	○
		1	RLIN213	—	—	○
		2	RLIN214	—	—	○
		3	RLIN215	—	—	○

表 21.6　RLIN2 のユニット構成とチャネルおよびユニットチャネル番号の対応（RH850/F1KM-S4）

ユニット名 RLIN24n	ユニット チャネル数	ユニット チャネル 番号 (i)	チャネル名 RLIN2m	RH850/ F1KM-S4 100 Pin (3ch)	RH850/ F1KM-S4 144 Pin (6ch)	RH850/ F1KM-S4 176 Pin (10ch)	RH850/ F1KM-S4 233 Pin (12ch)	RH850/ F1KM-S4 272 Pin (12ch)
RLIN240	4	0	RLIN20	○	○	○	○	○
		1	RLIN21	○	○	○	○	○
		2	RLIN22	○	○	○	○	○
		3	RLIN23	—	○	○	○	○
RLIN241	4	0	RLIN24	—	○	○	○	○
		1	RLIN25	—	○	○	○	○
		2	RLIN26	—	—	○	○	○
		3	RLIN27	—	—	○	○	○
RLIN242	4	0	RLIN28	—	—	○	○	○
		1	RLIN29	—	—	○	○	○
		2	RLIN210	—	—	—	○	○
		3	RLIN211	—	—	—	○	○

表 21.7　RLIN2 のユニット構成とチャネルおよびユニットチャネル番号の対応 (RH850/F1KM-S2)

ユニット名 RLIN24n	ユニット チャネル数	ユニット チャネル 番号 (i)	チャネル名 RLIN2m	RH850/ F1KM-S2 100 Pin (3ch)	RH850/ F1KM-S2 144 Pin (6ch)	RH850/ F1KM-S2 176 Pin (10ch)
RLIN240	4	0	RLIN20	○	○	○
		1	RLIN21	○	○	○
		2	RLIN22	○	○	○
		3	RLIN23	—	○	○
RLIN241	4	0	RLIN24	—	○	○
		1	RLIN25	—	○	○
		2	RLIN26	—	—	○
		3	RLIN27	—	—	○
RLIN242	2	0	RLIN28	—	—	○
		1	RLIN29	—	—	○

表 21.8　RLIN2 のユニット構成とチャネルおよびユニットチャネル番号の対応 (RH850/F1KM-S1)

ユニット名 RLIN24n	ユニット チャネル数	ユニット チャネル 番号 (i)	チャネル名 RLIN2m	RH850/ F1KM-S1 48 Pin (2ch)	RH850/ F1KM-S1 64 Pin (2ch)	RH850/ F1KM-S1 80 Pin (2ch)	RH850/ F1KM-S1 100 Pin (3ch)
RLIN240	3	0	RLIN20	○	○	○	○
		1	RLIN21	○	○	○	○
		2	RLIN22	—	—	—	○

表 21.9　添字 (RH850/F1KH-D8)

添字	説明
n	本章では、RLIN2 の各ユニットを「n」（n＝0〜3）で識別します。
m	本章では、各チャネルを「m」（m＝0〜15）で識別します。
i	本章では、RLIN2 を構成するユニットの各チャネルを「i」（i=0〜3）で識別します。
b	本章では、RLIN2 が搭載する各データバッファを「b」（b=1〜8）で識別します。

表 21.10　添字 (RH850/F1KM-S4)

添字	説明
n	本章では、RLIN2 の各ユニットを「n」（n＝0〜2）で識別します。
m	本章では、各チャネルを「m」（m＝0〜11）で識別します。
i	本章では、RLIN2 を構成するユニットの各チャネルを「i」（i=0〜3）で識別します。
b	本章では、RLIN2 が搭載する各データバッファを「b」（b=1〜8）で識別します。

表 21.11　添字 (RH850/F1KM-S2)

添字	説明
n	本章では、RLIN2 の各ユニットを「n」（n＝0〜2）で識別します。
m	本章では、各チャネルを「m」（m＝0〜9）で識別します。
i	本章では、RLIN2 を構成するユニットの各チャネルを「i」（i=0〜3）で識別します。
b	本章では、RLIN2 が搭載する各データバッファを「b」（b=1〜8）で識別します。

表 21.12　添字 (RH850/F1KM-S1)

添字	説明
n	本章では、RLIN2 の各ユニットを「n」（n＝0）で識別します。
m	本章では、各チャネルを「m」（m＝0～2）で識別します。
i	本章では、RLIN2 を構成するユニットの各チャネルを「i」（i＝0～2）で識別します。
b	本章では、RLIN2 が搭載する各データバッファを「b」（b＝1～8）で識別します。

例えば、RLIN2 のグローバルレジスタである LIN ウェイクアップボーレート選択レジスタは、RLN24nGLWBR、チャネルレジスタである LIN モードレジスタは RLN24nmLiMD と記述しています。

各製品の添字が示す値を以下に示します。

表 21.13　各製品の添字対応 (RH850/F1KH-D8)

各製品の添字対応		
176 Pin	233 Pin	324 Pin
i＝0～3 (RLIN240, 1) i＝0, 1 (RLIN242)	i＝0～3 (RLIN240, 1, 2)	i＝0～3 (RLIN240, 1, 2, 3)
b＝1～8	b＝1～8	b＝1～8

表 21.14　各製品の添字対応 (RH850/F1KM-S4)

各製品の添字対応				
100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
i＝0～2 (RLIN240)	i＝0～3 (RLIN240) i＝0, 1 (RLIN241)	i＝0～3 (RLIN240, 1) i＝0, 1 (RLIN242)	i＝0～3 (RLIN240, 1, 2)	i＝0～3 (RLIN240, 1, 2)
b＝1～8	b＝1～8	b＝1～8	b＝1～8	b＝1～8

表 21.15　各製品の添字対応 (RH850/F1KM-S2)

各製品の添字対応		
100 Pin	144 Pin	176 Pin
i＝0～2 (RLIN240)	i＝0～3 (RLIN240) i＝0, 1 (RLIN241)	i＝0～3 (RLIN240, 1) i＝0, 1 (RLIN242)
b＝1～8	b＝1～8	b＝1～8

表 21.16　各製品の添字対応 (RH850/F1KM-S1)

各製品の添字対応			
48 Pin	64 Pin	80 Pin	100 Pin
i＝0, 1 (RLIN240)	i＝0, 1 (RLIN240)	i＝0, 1 (RLIN240)	i＝0～2 (RLIN240)
b＝1～8	b＝1～8	b＝1～8	b＝1～8

21.1.2 レジスタベースアドレス

RLIN2 のベースアドレスを以下の表に示します。

RLIN2 のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 21.17 レジスタベースアドレス (RH850/F1KH-D8)

ベースアドレス名	ベースアドレス
<RLIN240_base>	FFCE 0000_H
<RLIN241_base>	FFCE 0080_H
<RLIN242_base>	FFCE 0100_H
<RLIN243_base>	FFCE 0180_H

表 21.18 レジスタベースアドレス (RH850/F1KM-S4, RH850/F1KM-S2)

ベースアドレス名	ベースアドレス
<RLIN240_base>	FFCE 0000_H
<RLIN241_base>	FFCE 0080_H
<RLIN242_base>	FFCE 0100_H

表 21.19 レジスタベースアドレス (RH850/F1KM-S1)

ベースアドレス名	ベースアドレス
<RLIN240_base>	FFCE 0000_H

21.1.3 クロック供給

RLIN2 のクロック供給を以下の表に示します。

表 21.20 クロック供給 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	ユニットクロック名	供給クロック名	説明
RLIN24n	LIN 通信クロック源	CKSCLK_ILIN	LIN 通信クロック
	レジスタアクセスクロック	CPUCLK_L, CKSCLK_ILIN	バスクロック

21.1.4　割り込み要求

RLIN2 の割り込み要求を以下の表に示します。

表 21.21　割り込み要求 (RH850/F1KH-D8)

ユニット割り込み信号	説明	割り込み番号
RLIN240		
INTRLIN20	RLIN20 割り込み	58
INTRLIN21	RLIN21 割り込み	59
INTRLIN22	RLIN22 割り込み	162
INTRLIN23	RLIN23 割り込み	163
RLIN241		
INTRLIN24	RLIN24 割り込み	226
INTRLIN25	RLIN25 割り込み	227
INTRLIN26	RLIN26 割り込み	275
INTRLIN27	RLIN27 割り込み	276
RLIN242		
INTRLIN28	RLIN28 割り込み	285
INTRLIN29	RLIN29 割り込み	286
INTRLIN210	RLIN210 割り込み	324
INTRLIN211	RLIN211 割り込み	325
RLIN243		
INTRLIN212	RLIN212 割り込み	184
INTRLIN213	RLIN213 割り込み	185
INTRLIN214	RLIN214 割り込み	186
INTRLIN215	RLIN215 割り込み	187

表 21.22　割り込み要求 (RH850/F1KM-S4)

ユニット割り込み信号	説明	割り込み番号
RLIN240		
INTRLIN20	RLIN20 割り込み	58
INTRLIN21	RLIN21 割り込み	59
INTRLIN22	RLIN22 割り込み	162
INTRLIN23	RLIN23 割り込み	163
RLIN241		
INTRLIN24	RLIN24 割り込み	226
INTRLIN25	RLIN25 割り込み	227
INTRLIN26	RLIN26 割り込み	275
INTRLIN27	RLIN27 割り込み	276
RLIN242		
INTRLIN28	RLIN28 割り込み	285
INTRLIN29	RLIN29 割り込み	286
INTRLIN210	RLIN210 割り込み	324
INTRLIN211	RLIN211 割り込み	325

表 21.23　割り込み要求 (RH850/F1KM-S2)

ユニット割り込み信号	説明	割り込み番号
RLIN240		
INTRLIN20	RLIN20 割り込み	58
INTRLIN21	RLIN21 割り込み	59
INTRLIN22	RLIN22 割り込み	162
INTRLIN23	RLIN23 割り込み	163
RLIN241		
INTRLIN24	RLIN24 割り込み	226
INTRLIN25	RLIN25 割り込み	227
INTRLIN26	RLIN26 割り込み	275
INTRLIN27	RLIN27 割り込み	276
RLIN242		
INTRLIN28	RLIN28 割り込み	285
INTRLIN29	RLIN29 割り込み	286

表 21.24　割り込み要求 (RH850/F1KM-S1)

ユニット割り込み信号	説明	割り込み番号
RLIN240		
INTRLIN20	RLIN20 割り込み	58
INTRLIN21	RLIN21 割り込み	59
INTRLIN22	RLIN22 割り込み	162

21.1.5　リセット要因

RLIN2 のリセット要因を以下に示します。RLIN2 は以下のリセット要因で初期化されます。

表 21.25　リセット要因 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	リセット要因
RLIN24n	すべてのリセット要因（ISORES）

21.1.6　外部入出力信号

RLIN2 の外部入出力信号を以下の表に示します。

表 21.26　外部入出力信号 (RH850/F1KH-D8)

ユニット信号名	説明	ポート端子兼用信号名
RLIN240		
RLIN2mRX (m＝0～3)	RLIN240 受信データ入力	RLIN2mRX (m＝0～3)
RLIN2mTX (m＝0～3)	RLIN240 送信データ出力	RLIN2mTX (m＝0～3)
RLIN241		
RLIN2mRX (m＝4～7)	RLIN241 受信データ入力	RLIN2mRX (m＝4～7)
RLIN2mTX (m＝4～7)	RLIN241 送信データ出力	RLIN2mTX (m＝4～7)
RLIN242		
RLIN2mRX (m＝8～11)	RLIN242 受信データ入力	RLIN2mRX (m＝8～11)
RLIN2mTX (m＝8～11)	RLIN242 送信データ出力	RLIN2mTX (m＝8～11)
RLIN243		
RLIN2mRX (m＝12～15)	RLIN243 受信データ入力	RLIN2mRX (m＝12～15)
RLIN2mTX (m＝12～15)	RLIN243 送信データ出力	RLIN2mTX (m＝12～15)

表 21.27　外部入出力信号 (RH850/F1KM-S4)

ユニット信号名	説明	ポート端子兼用信号名
RLIN240		
RLIN2mRX (m＝0～3)	RLIN240 受信データ入力	RLIN2mRX (m＝0～3)
RLIN2mTX (m＝0～3)	RLIN240 送信データ出力	RLIN2mTX (m＝0～3)
RLIN241		
RLIN2mRX (m＝4～7)	RLIN241 受信データ入力	RLIN2mRX (m＝4～7)
RLIN2mTX (m＝4～7)	RLIN241 送信データ出力	RLIN2mTX (m＝4～7)
RLIN242		
RLIN2mRX (m＝8～11)	RLIN242 受信データ入力	RLIN2mRX (m＝8～11)
RLIN2mTX (m＝8～11)	RLIN242 送信データ出力	RLIN2mTX (m＝8～11)

表 21.28　外部入出力信号 (RH850/F1KM-S2)

ユニット信号名	説明	ポート端子兼用信号名
RLIN240		
RLIN2mRX (m＝0～3)	RLIN240 受信データ入力	RLIN2mRX (m＝0～3)
RLIN2mTX (m＝0～3)	RLIN240 送信データ出力	RLIN2mTX (m＝0～3)
RLIN241		
RLIN2mRX (m＝4～7)	RLIN241 受信データ入力	RLIN2mRX (m＝4～7)
RLIN2mTX (m＝4～7)	RLIN241 送信データ出力	RLIN2mTX (m＝4～7)
RLIN242		
RLIN2mRX (m＝8, 9)	RLIN242 受信データ入力	RLIN2mRX (m＝8, 9)
RLIN2mTX (m＝8, 9)	RLIN242 送信データ出力	RLIN2mTX (m＝8, 9)

表 21.29　外部入出力信号 (RH850/F1KM-S1)

ユニット信号名	説明	ポート端子兼用信号名
RLIN240		
RLIN2mRX (m＝0～2)	RLIN240 受信データ入力	RLIN2mRX (m＝0～2)
RLIN2mTX (m＝0～2)	RLIN240 送信データ出力	RLIN2mTX (m＝0～2)

21.2　概要

21.2.1　機能概要

LIN マスタインタフェースは LIN Specification Package Revision 1.3, 2.0, 2.1, 2.2、SAEJ2602（SEP 2005）に準拠したハードウェア LIN 通信コントローラで、フレーム通信とエラー判定を自動で行います。

「**表 21.30 LIN マスタインタフェースの仕様**」に LIN マスタインタフェースの仕様を示します。

表 21.30　LIN マスタインタフェースの仕様

項目		仕様
チャネル数		16 チャネル（この製品では、4 チャネル版の RLIN2 が搭載されています。）
LIN 通信機能	プロトコル	LIN Specification Package Revision 1.3, 2.0, 2.1, 2.2、SAEJ2602 (SEP 2005)
	フレーム 構成可変	● 送信ブレーク幅：13～28Tbit ● 送信ブレークデリミタ幅：1～4Tbit ● インタバイトスペース（ヘッダ）：0～7Tbit[注1]（Sync フィールドと ID フィールド間のスペース） ● レスポンススペース：0～7Tbit[注1] ● インタバイトスペース：0～3Tbit（レスポンス領域内のデータバイト間のスペース） ● 送信ウェイクアップ：1～16Tbit
	チェックサム	● 送受信ともに自動演算 ● クラシックまたはエンハンス選択可能（フレームごとに変更可能）
	レスポンス フィールド データバイト数	0～8 バイト可変
	フレーム 通信方法	● ヘッダ送信とレスポンス送信／受信を 1 つの送信開始要求により通信するモード ● ヘッダとレスポンスを別々の送信開始要求により送信するモード（フレームセパレートモード）
	ウェイクアップ 送受信	LIN ウェイクアップモードで使用可能 ● ウェイクアップ送信機能（1～16Tbit） ● ウェイクアップ受信 入力信号ロウレベル幅カウント機能
	ステータス	● フレーム／ウェイクアップ送信完了 ● ヘッダ送信完了 ● フレーム／ウェイクアップ受信完了[注2] ● データ 1 受信完了 ● エラー検出 ● 動作モード（LIN リセットモード、LIN ウェイクアップモード、LIN 動作モード、LIN セルフテストモード）
	エラー ステータス	● ビットエラー ● チェックサムエラー ● フレームタイムアウトエラー ● フィジカルバスエラー ● フレーミングエラー
	ボーレート選択	ボーレートジェネレータで LIN 仕様のボーレートを生成可能
	テストモード	ユーザ評価用セルフテストモード
	割り込み機能	● フレーム／ウェイクアップ送信完了 ● フレーム／ウェイクアップ受信完了[注2] ● エラー検出 これら 3 つの論理和が各チャネルの割り込み要因（INTRLIN2m）となります。

注1.　同一レジスタで設定するため、インタバイトスペース（ヘッダ）＝レスポンススペースとなります。

注2.　ウェイクアップ受信は、入力信号ロウレベル幅カウントを示します。

21.2.2　　ブロック図

「**図 21.1 LIN マスタインタフェースブロック図（324 Pin、RLIN2 16 チャネル搭載品）**」に LIN マスタインタフェースのブロック図を示します。

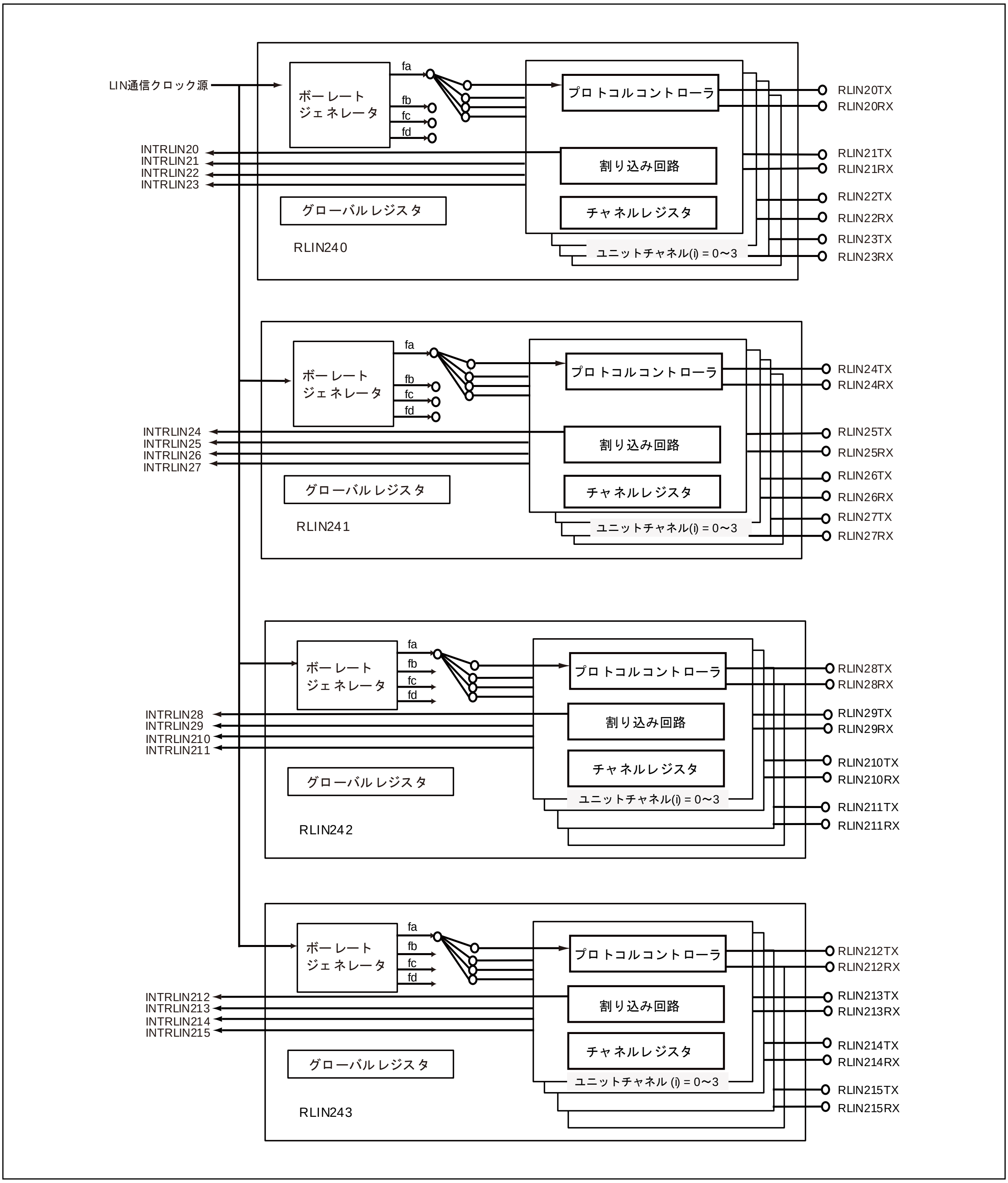


図 21.1　　LIN マスタインタフェースブロック図（324 Pin、RLIN2 16 チャネル搭載品）

21.3 レジスタ

LIN マスタインタフェースのレジスタは、グローバルレジスタとチャネルレジスタで構成されています。グローバルレジスタは、ユニット毎に配置されているため、ユニット単位で個々の設定が可能です。チャネルレジスタは、チャネル毎に存在し各チャネルの制御が可能です。

21.3.1 レジスタ一覧

RLIN2 のレジスタ一覧を以下の表に示します。

<RLIN24n_base>は、「**21.1.2 レジスタベースアドレス**」を参照してください。

表 21.31 レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
グローバルレジスタ			
RLN24n	LIN ウェイクアップボーレート選択レジスタ	RLN24nGLWBR	<RLIN24n_base> + 01_H
	LIN ボーレートプリスケーラ 0 レジスタ	RLN24nGLBRP0	<RLIN24n_base> + 02_H
	LIN ボーレートプリスケーラ 1 レジスタ	RLN24nGLBRP1	<RLIN24n_base> + 03_H
	LIN セルフテスト制御レジスタ	RLN24nGLSTC	<RLIN24n_base> + 04_H
チャネルレジスタ			
RLN24nm	LIN モードレジスタ	RLN24nmLiMD	<RLIN24n_base> + 08_H + i × 20_H
	LIN ブレークフィールド設定レジスタ	RLN24nmLiBFC	<RLIN24n_base> + 09_H + i × 20_H
	LIN スペース設定レジスタ	RLN24nmLiSC	<RLIN24n_base> + $0A_H$ + i × 20_H
	LIN ウェイクアップ設定レジスタ	RLN24nmLiWUP	<RLIN24n_base> + $0B_H$ + i × 20_H
	LIN 割り込み許可レジスタ	RLN24nmLiIE	<RLIN24n_base> + $0C_H$ + i × 20_H
	LIN エラー検出許可レジスタ	RLN24nmLiEDE	<RLIN24n_base> + $0D_H$ + i × 20_H
	LIN 制御レジスタ	RLN24nmLiCUC	<RLIN24n_base> + $0E_H$ + i × 20_H
	LIN 送信制御レジスタ	RLN24nmLiTRC	<RLIN24n_base> + 10_H + i × 20_H
	LIN モードステータスレジスタ	RLN24nmLiMST	<RLIN24n_base> + 11_H + i × 20_H
	LIN ステータスレジスタ	RLN24nmLiST	<RLIN24n_base> + 12_H + i × 20_H
	LIN エラーステータスレジスタ	RLN24nmLiEST	<RLIN24n_base> + 13_H + i × 20_H
	LIN データフィールド設定レジスタ	RLN24nmLiDFC	<RLIN24n_base> + 14_H + i × 20_H
	LIN ID バッファレジスタ	RLN24nmLiIDB	<RLIN24n_base> + 15_H + i × 20_H
	LIN チェックサムバッファレジスタ	RLN24nmLiCBR	<RLIN24n_base> + 16_H + i × 20_H
	LIN データバッファ 1 レジスタ	RLN24nmLiDBR1	<RLIN24n_base> + 18_H + i × 20_H
	LIN データバッファ 2 レジスタ	RLN24nmLiDBR2	<RLIN24n_base> + 19_H + i × 20_H
	LIN データバッファ 3 レジスタ	RLN24nmLiDBR3	<RLIN24n_base> + $1A_H$ + i × 20_H
	LIN データバッファ 4 レジスタ	RLN24nmLiDBR4	<RLIN24n_base> + $1B_H$ + i × 20_H
	LIN データバッファ 5 レジスタ	RLN24nmLiDBR5	<RLIN24n_base> + $1C_H$ + i × 20_H
	LIN データバッファ 6 レジスタ	RLN24nmLiDBR6	<RLIN24n_base> + $1D_H$ + i × 20_H
	LIN データバッファ 7 レジスタ	RLN24nmLiDBR7	<RLIN24n_base> + $1E_H$ + i × 20_H
	LIN データバッファ 8 レジスタ	RLN24nmLiDBR8	<RLIN24n_base> + $1F_H$ + i × 20_H

備考 未使用のレジスタに書き込みを行う場合は、リセット後の値を書いてください。

21.3.2　グローバルレジスタ

21.3.2.1　RLN24nGLWBR — LIN ウェイクアップボーレート選択レジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　RLN24nGLWBR : <RLIN24n_base> + 01_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	LWBR0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 21.32　RLN24nGLWBR レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	LWBR0	ウェイクアップボーレート選択ビット 0：LIN ウェイクアップモードにおいて、RLN24nmLiMD レジスタの LCKS ビットの設定通りのクロックが使用される（LIN1.3 使用時） 1：LIN ウェイクアップモードにおいて、RLN24nmLiMD レジスタの LCKS ビットの設定によらずクロック fa が使用される（LIN2.x 使用時）

RLN24nGLWBR レジスタは同一ユニット内の全てのチャネルの RLN24nmLiMST レジスタの OMM0 ビットが“0”（LIN リセットモード）のときに設定してください。

LWBR0 ビット（ウェイクアップボーレート選択ビット）

LIN Specification Package Revision 1.3 使用時は、RLN24nGLWBR レジスタの LWBR0 ビットを“0”にしてください。これにより入力信号ロウレベル幅をビットタイムで 2.5Tbit 以上で計測することができます。

LIN Specification Package Revision 2.x 使用時は“1”にしてください。“1”にすることで LIN ウェイクアップモード中は RLN24nmLiMD レジスタの LCKS ビットの設定にかかわらず LIN システムクロック（f_{LIN}）は fa が選択されます（LCKS ビットは変化しません）。入力信号ロウレベル幅を 2.5Tbit 以上で計測することができます。

fa 選択時のボーレートを 19200bps に設定することにより、RLN24nmLiMD レジスタの LCKS ビットの設定にかかわらず、LIN ウェイクアップモード時に 130μs 以上の入力信号ロウレベル幅を検出することができます。

21.3.2.2　RLN24nGLBRP0 — LIN ボーレートプリスケーラ 0 レジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　RLN24nGLBRP0：<RLIN24n_base> + 02_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	LBRP0[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.33　RLN24nGLBRP0 レジスタの内容

ビット位置	ビット名	機能
7〜0	LBRP0[7:0]	設定値を N（0〜255）とすると、ボーレートプリスケーラは LIN 通信クロック源を N+1 分周する。 設定範囲：00_H〜FF_H

RLN24nGLBRP0 レジスタは同一ユニット内の全てのチャネルの RLN24nmLiMST レジスタの OMM0 ビットが“0”（LIN リセットモード）のときに設定してください。

このレジスタの設定値が、ボーレートクロックソース“fa”、“fb”、“fc”の周波数制御に使用されます。

このレジスタの設定値を N とすると、ボーレートプリスケーラ 0 は LIN 通信クロック源を N+1 分周します。

21.3.2.3　RLN24nGLBRP1 ― LIN ボーレートプリスケーラ 1 レジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　RLN24nGLBRP1：<RLIN24n_base> + 03_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	LBRP1[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.34　RLN24nGLBRP1 レジスタの内容

ビット位置	ビット名	機能
7～0	LBRP1[7:0]	設定値を M（0～255）とすると、ボーレートプリスケーラは LIN 通信クロック源を M+1 分周する。 設定範囲：00_H～FF_H

RLN24nGLBRP1 レジスタは同一ユニット内の全てのチャネルの RLN24nmLiMST レジスタの OMM0 ビットが“0”（LIN リセットモード）のときに設定してください。

このレジスタの設定値が、ボーレートクロックソース“fd”の周波数制御に使用されます。

このレジスタの設定値を M とすると、ボーレートプリスケーラ 1 は LIN 通信クロック源を M+1 分周します。

21.3.2.4　RLN24nGLSTC ― LIN セルフテスト制御レジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　RLN24nGLSTC：<RLIN24n_base> + 04_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	LSTM
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.35　RLN24nGLSTC レジスタの内容

ビット位置	ビット名	機能
7～0	—	“$A7_H$” → “58_H” → “01_H” の連続書き込みにより、LIN セルフテストモードへエントリします。
0	LSTM	LIN セルフテストモードビット 0：LIN セルフテストモードではない 1：LIN セルフテストモード

RLN24nGLSTC レジスタは LIN セルフテストモードのプロテクトを解除するために使用するレジスタです。

RLN24nGLSTC レジスタは同一ユニット内の全てのチャネルの RLN24nmLiMST レジスタの OMM0 ビットが “0”（LIN リセットモード）のときに設定してください。

“$A7_H$” → “58_H” → “01_H” の連続書き込みにより、LIN セルフテストモードへエントリします。

連続書き込みが成功し、LIN セルフテストモードにした場合は、LSTM ビットが “1” になります。

連続書き込みの間に別の書き込みを行わないでください。

LIN セルフテストモードへの移行方法は、「**21.15　LIN セルフテストモード**」を参照してください。
ビット 6～1 を読み出すと “000000_B” が、ビット 7 を読みだすと不定値が読めます。

LSTM ビット（LIN セルフテストモードビット）

LIN セルフテストモードに移行したとき、このビットは “1” になります。
LIN セルフテストモードからの終了方法は、「**21.15　LIN セルフテストモード**」を参照してください。
RLN24nGLSTC レジスタへの “$A7_H$” → “58_H” → “01_H” の連続書き込み以外で、このビットに “1” を書いても値は変化しません。

21.3.3　チャネルレジスタ

21.3.3.1　RLN24nmLiMD — LIN モードレジスタ

アクセス	8 ビット単位でリード／ライト可能です。
アドレス	RLN24nmLiMD：<RLIN24n_base> + 08_H + i × 20_H
リセット後の値	00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	LCKS[1:0]		—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R	R

表 21.36　RLN24nmLiMD レジスタの内容

ビット位置	ビット名	機能
7～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3、2	LCKS[1:0]	LIN システムクロック選択ビット b3 b2 0 0：fa（ボーレートプリスケーラ 0 生成クロック） 0 1：fb（ボーレートプリスケーラ 0 生成クロック／2） 1 0：fc（ボーレートプリスケーラ 0 生成クロック／8） 1 1：fd（ボーレートプリスケーラ 1 生成クロック／2）
1、0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RLN24nmLiMD レジスタは RLN24nmLiMST レジスタの OMM0 ビットが“0”（LIN リセットモード）のときに設定してください。

LCKS[1:0]ビット（LIN システムクロック選択ビット）

プロトコルコントローラに入力するクロックを選択するビットです。

“00_B”の場合、プロトコルコントローラには fa（ボーレートプリスケーラ 0 生成クロック）が入力されます。

“01_B”の場合、プロトコルコントローラには fb（ボーレートプリスケーラ 0 生成クロック／2）が入力されます。

“10_B”の場合、プロトコルコントローラには fc（ボーレートプリスケーラ 0 生成クロック／8）が入力されます。

“11_B”の場合、プロトコルコントローラには fd（ボーレートプリスケーラ 1 生成クロック／2）が入力されます。

RLN24nGLWBR レジスタの LWBR0 ビットが“1”（LIN 2.x 使用時）かつ RLN24nmLiMST レジスタが“01_H”（LIN ウェイクアップモード）の場合、このビットの設定にかかわらず、プロトコルコントローラには fa が入力されます（LCKS ビットは変化しません）。

21.3.3.2　RLN24nmLiBFC — LIN ブレークフィールド設定レジスタ

アクセス	8 ビット単位でリード／ライト可能です。
アドレス	RLN24nmLiBFC：<RLIN24n_base> + 09_H + i × 20_H
リセット後の値	00_H

ビット	7	6	5	4	3	2	1	0
	—	—	BDT[1:0]		BLT[3:0]			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 21.37　RLN24nmLiBFC レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5、4	BDT[1:0]	送信ブレークデリミタ（ハイレベル）幅設定ビット b5 b4 0　0：1Tbit 0　1：2Tbits 1　0：3Tbits 1　1：4Tbits
3～0	BLT[3:0]	送信ブレーク（ロウレベル）幅設定ビット b3　　b0 0 0 0 0：13Tbits 0 0 0 1：14Tbits 0 0 1 0：15Tbits ： 1 1 1 0：27Tbits 1 1 1 1：28Tbits

RLN24nmLiBFC レジスタは RLN24nmLiMST レジスタの OMM0 ビットが“0”（LIN リセットモード）のときに設定してください。

設定値の組み合わせによっては、1 フレームの長さがフレームタイムアウト時間を超えてしまう場合があります。適切な値になるように設定をしてください。

BDT[1:0]ビット（送信ブレークデリミタ（ハイレベル）幅設定ビット）

送信フレームヘッダ部のブレークデリミタ（ハイレベル）幅の設定をします。
1Tbit～4Tbits を設定できます。

BLT[3:0]ビット（送信ブレーク（ロウレベル）幅設定ビット）

送信フレームヘッダ部のブレーク（ロウレベル）幅の設定をします。
13Tbits～28Tbits を設定できます。

21.3.3.3　RLN24nmLiSC — LIN スペース設定レジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　RLN24nmLiSC : <RLIN24n_base> + $0A_H$ + i × 20_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	IBS[1:0]		—	IBHS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R/W	R/W	R/W

表 21.38　RLN24nmLiSC レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5、4	IBS[1:0]	インタバイトスペース設定ビット b5 b4 0 0 : 0Tbit 0 1 : 1Tbit 1 0 : 2Tbits 1 1 : 3Tbits
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2～0	IBHS[2:0]	インタバイトスペース（ヘッダ）／レスポンススペース設定ビット b2 b0 0 0 0 : 0Tbit 0 0 1 : 1Tbit 0 1 0 : 2Tbits 0 1 1 : 3Tbits 1 0 0 : 4Tbits 1 0 1 : 5Tbits 1 1 0 : 6Tbits 1 1 1 : 7Tbits

RLN24nmLiSC レジスタは RLN24nmLiMST レジスタの OMM0 ビットが“0”（LIN リセットモード）のときに設定してください。

設定値の組み合わせによっては、1 フレームまたはレスポンスの長さがタイムアウト時間を超えてしまう場合があります。適切な値になるように設定をしてください。

IBS[1:0]ビット（インタバイトスペース設定ビット）

送信フレームレスポンス部のインタバイトスペースの幅の設定をします。
0Tbit～3Tbits を設定できます。
レスポンス送信時のみ有効です。レスポンス受信時は、無効になります。

IBHS[2:0]ビット（インタバイトスペース（ヘッダ）／レスポンススペース設定ビット）

送信フレームヘッダ部のインタバイトスペース（ヘッダ）とレスポンススペースの幅の設定をします。

0Tbit～7Tbits を設定できます。

レスポンススペースの設定は、レスポンス送信時のみ有効です。レスポンス受信時は、無効になります。

インタバイトスペース（ヘッダ）とレスポンススペースの値は、同じになります。

21.3.3.4　RLN24nmLiWUP — LIN ウェイクアップ設定レジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　RLN24nmLiWUP : <RLIN24n_base> + $0B_H$ + i × 20_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	WUTL[3:0]				—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R

表 21.39　RLN24nmLiWUP レジスタの内容

ビット位置	ビット名	機能
7～4	WUTL[3:0]	ウェイクアップ送信ロウレベル幅設定ビット b7　b4 0 0 0 0 : 1Tbit 0 0 0 1 : 2Tbits 0 0 1 0 : 3Tbits 0 0 1 1 : 4Tbits : 1 1 0 0 : 13Tbits 1 1 0 1 : 14Tbits 1 1 1 0 : 15Tbits 1 1 1 1 : 16Tbits
3～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RLN24nmLiWUP レジスタは RLN24nmLiMST レジスタの OMM0 ビットが“0”（LIN リセットモード）のときに設定してください。

WUTL[3:0]ビット（ウェイクアップ送信ロウレベル幅設定ビット）

ウェイクアップシグナル送信時のロウレベル幅を設定します。
1Tbit～16Tbits を設定できます。
RLN24nGLWBR レジスタの LWBR0 ビットが“1”（LIN 2.x 使用時）の場合、RLN24nmLiMD レジスタの LCKS ビットにかかわらず、LIN システムクロック（f_{LIN}）は fa が選択されます（LCKS ビットは変化しません）。

21.3.3.5 RLN24nmLiIE — LIN 割り込み許可レジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　RLN24nmLiIE：<RLIN24n_base> + $0C_H$ + i × 20_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	ERRIE	FRCIE	FTCIE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 21.40　RLN24nmLiIE レジスタの内容

ビット位置	ビット名	機能
7～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	ERRIE	エラー検出割り込み要求許可ビット 0：エラー検出割り込み要求禁止 1：エラー検出割り込み要求許可
1	FRCIE	フレーム／ウェイクアップ受信完了割り込み要求許可ビット 0：フレーム／ウェイクアップ受信完了割り込み要求禁止 1：フレーム／ウェイクアップ受信完了割り込み要求許可
0	FTCIE	フレーム／ウェイクアップ送信完了割り込み要求許可ビット 0：フレーム／ウェイクアップ送信完了割り込み要求禁止 1：フレーム／ウェイクアップ送信完了割り込み要求許可

RLN24nmLiIE レジスタは RLN24nmLiMST レジスタの OMM0 ビットが“0”（LIN リセットモード）のときに設定してください。

ERRIE ビット（エラー検出割り込み要求許可ビット）

エラーを検出したときの割り込み要求許可／禁止を設定します。
“0”の場合、RLN24nmLiST レジスタの ERR フラグが“1”になった際に割り込み要求が発生しません。
“1”の場合、RLN24nmLiST レジスタの ERR フラグが“1”になった際に割り込み要求が発生します。
発生要因となるエラーは、ビットエラー、フィジカルバスエラー、フレームタイムアウトエラー、フレーミングエラー、チェックサムエラーです。
ビットエラー、フィジカルバスエラー、フレームタイムアウトエラー、フレーミングエラーは、RLN24nmLiEDE レジスタで検出許可／禁止の設定ができます。

FRCIE ビット（フレーム／ウェイクアップ受信完了割り込み要求許可ビット）

フレーム受信完了、またはウェイクアップシグナル受信（入力信号ロウレベル幅カウント）完了時の割り込み要求の許可／禁止を設定します。
“0”の場合、RLN24nmLiST レジスタの FRC フラグが“1”になった際に割り込み要求が発生しません。
“1”の場合、RLN24nmLiST レジスタの FRC フラグが“1”になった際に割り込み要求が発生します。

FTCIE ビット（フレーム／ウェイクアップ送信完了割り込み要求許可ビット）

フレーム送信完了、またはウェイクアップシグナル送信完了時の割り込み要求許可／禁止を設定します。
“0”の場合、RLN24nmLiST レジスタの FTC フラグが“1”になった際に割り込み要求が発生しません。
“1”の場合、RLN24nmLiST レジスタの FTC フラグが“1”になった際に割り込み要求が発生します。

21.3.3.6　RLN24nmLiEDE ― LIN エラー検出許可レジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　RLN24nmLiEDE：<RLIN24n_base> + $0D_H$ + i × 20_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	FERE	FTERE	PBERE	BERE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 21.41　RLN24nmLiEDE レジスタの内容

ビット位置	ビット名	機能
7～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	FERE	フレーミングエラー検出許可ビット 0：フレーミングエラー検出禁止 1：フレーミングエラー検出許可
2	FTERE	フレームタイムアウトエラー検出許可ビット 0：フレームタイムアウトエラー検出禁止 1：フレームタイムアウトエラー検出許可
1	PBERE	フィジカルバスエラー検出許可ビット 0：フィジカルバスエラー検出禁止 1：フィジカルバスエラー検出許可
0	BERE	ビットエラー検出許可ビット 0：ビットエラー検出禁止 1：ビットエラー検出許可

RLN24nmLiEDE レジスタは RLN24nmLiMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときに設定してください。

FERE ビット（フレーミングエラー検出許可ビット）

フレーミングエラー検出の許可／禁止を設定します。
“0”の場合、フレーミングエラーを検出しません。
“1”の場合、フレーミングエラーを検出します。
このビットが“1”の場合の検出結果は、RLN24nmLiEST レジスタの FER フラグに反映されます。
フレーミングエラーの詳細は、「**21.14 エラーステータス**」を参照ください。

FTERE ビット（フレームタイムアウトエラー検出許可ビット）

フレームタイムアウトエラー 検出の許可／禁止を設定します。
“0”の場合、フレームタイムアウトエラーを検出しません。
“1”の場合、フレームタイムアウトエラーを検出します。
このビットが“1”の場合の検出結果は、RLN24nmLiEST レジスタの FTER フラグに反映されます。
フレームタイムアウトエラーの詳細は、「**21.14 エラーステータス**」を参照ください。

PBERE ビット（フィジカルバスエラー検出許可ビット）

フィジカルバスエラー検出の許可／禁止を設定します。
“0”の場合、フィジカルバスエラーを検出しません。
“1”の場合、フィジカルバスエラーを検出します。

このビットが“1”の場合の検出結果は、RLN24nmLiEST レジスタの PBER フラグに反映されます。
フィジカルバスエラーの詳細は、「**21.14 エラーステータス**」を参照ください。

BERE ビット（ビットエラー検出許可ビット）

ビットエラー検出の許可／禁止を設定します。
“0”の場合、ビットエラーを検出しません。
“1”の場合、ビットエラーを検出します。
このビットが“1”の場合の検出結果は、RLN24nmLiEST レジスタの BER フラグに反映されます。
ビットエラーの詳細は、「**21.14 エラーステータス**」を参照ください。

21.3.3.7　RLN24nmLiCUC ― LIN 制御レジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　RLN24nmLiCUC：<RLIN24n_base> + $0E_H$ + i × 20_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OM1	OM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 21.42　RLN24nmLiCUC レジスタの内容

ビット位置	ビット名	機能
7〜2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	OM1	LIN モード選択ビット 0：LIN ウェイクアップモード 1：LIN 動作モード
0	OM0	LIN リセットビット 0：LIN リセットモード 1：LIN リセットモード解除

LIN リセットモードを解除するときに、LIN ウェイクアップモードに移行させる場合は RLN24nmLiCUC レジスタに“01_H”を、LIN 動作モードに移行させる場合は RLN24nmLiCUC レジスタに“03_H”を設定してください。

LIN セルフテストモードでは、LIN セルフテストモード移行後に RLN24nmLiCUC レジスタを“03_H”にしてください。

このレジスタに書き込みをした後は、書き込んだ値が RLN24nmLiMST レジスタに反映されることを確認してから、次の値の書き込みを行ってください。

OM1 ビット（LIN モード選択ビット）

LIN リセットモード解除時の動作モード（LIN ウェイクアップモード、LIN 動作モード）選択をするビットです。
“0”にすると、LIN ウェイクアップモードになります。
“1”にすると、LIN 動作モードになります。
このビットは、RLN24nmLiMST レジスタの OMM0 ビットが“1”のときのみ有効です。
このビットは、RLN24nmLiTRC レジスタの FTS ビットが“1”の間は書けません。

OM0 ビット（LIN リセットビット）

LIN リセットモードへの移行／LIN リセットモードの解除を選択するビットです。
“0”にすると、LIN リセットモードになります。
“1”にすると、LIN リセットモードは解除されます。

21.3.3.8　RLN24nmLiTRC — LIN 送信制御レジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　RLN24nmLiTRC：<RLIN24n_base> + 10_H + i × 20_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RTS	FTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 21.43　RLN24nmLiTRC レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	RTS	レスポンス送信開始ビット 0：フレームセパレートモードにおいてレスポンス送信停止 1：フレームセパレートモードにおいてレスポンス送信開始
0	FTS	フレーム送信／ウェイクアップ送受信開始ビット 0：フレーム送信／ウェイクアップ送受信停止 1：フレーム送信／ウェイクウェイクアップ送受信開始

RTS ビット（レスポンス送信開始ビット）

フレームセパレートモードで、ヘッダを送信開始（FTS ビットを“1”）し、レスポンス送信データの準備が完了した後に、“1”にしてください。設定後、このビットはフレーム送信終了および LIN リセットモード移行時に自動的に“0”になります。
このビットは“1”のみ書けます。“0”は書けません。
このビットに“1”を書く場合は、ストア命令で“02_H”を書き込んでください。
このビットは、OMM0 ビットが“0”（LIN リセットモード）のときは書けません。OMM1 ビットが“0”（LIN ウェイクアップモード）のときは、“1”を書かないでください。
このビットは、FTS ビットが“0”（フレーム送信／ウェイクアップ送受信停止）のときは書けません。

FTS ビット（フレーム送信／ウェイクアップ送受信開始ビット）

フレーム／ウェイクアップ送信開始時、“1”にしてください。
また、ウェイクアップ受信（入力信号ロウレベル幅カウント）を行う場合にも、このビットを“1”にしてください。
このビットは“1”のみ書けます。“0”は書けません。
このビットは、OMM0 ビットが“0”（LIN リセットモード）のときは書けません。
このビットは、フレームおよびウェイクアップの通信終了時に“0”になります。LIN リセットモード移行時に“0”になります。

21.3.3.9　RLN24nmLiMST — LIN モードステータスレジスタ

アクセス　8 ビット単位でリードのみ可能です。

アドレス　RLN24nmLiMST：<RLIN24n_base> + 11_H + i × 20_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OMM1	OMM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 21.44　RLN24nmLiMST レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。
1	OMM1	LIN モードステータスモニタ 0：LIN ウェイクアップモード 1：LIN 動作モード
0	OMM0	LIN リセットステータスモニタ 0：LIN リセットモード 1：LIN リセットモードでない

OMM1 ビット（LIN モードステータスモニタ）

現在の動作モードが確認できます。
OMM0 ビットが“0_B”（LIN リセットモード）の間、このビットの値は無効です。

OMM0 ビット（LIN リセットステータスモニタ）

現在の動作モードが確認できます。

21.3.3.10 RLN24nmLiST — LIN ステータスレジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス RLN24nmLiST：<RLIN24n_base> + 12_H + i × 20_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	HTRC	D1RC	—	—	ERR	—	FRC	FTC
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R/W	R/W

表 21.45 RLN24nmLiST レジスタの内容

ビット位置	ビット名	機能
7	HTRC	ヘッダ送信完了フラグ 0：送信未完了 1：ヘッダ送信完了
6	D1RC	データ 1 受信完了フラグ 0：受信未完了 1：データ 1 受信完了
5、4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	ERR	エラー検出フラグ 0：エラー未検出 1：エラー検出
2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	FRC	フレーム／ウェイクアップ受信完了フラグ 0：受信未完了 1：フレームまたはウェイクアップ受信完了
0	FTC	フレーム／ウェイクアップ送信完了フラグ 0：送信未完了 1：フレームまたはウェイクアップ送信完了

RLN24nmLiST レジスタは LIN リセットモード移行時および次の通信開始（RLN24nmLiTRC レジスタの FTS ビットが“1”）時、自動的に“00_H”になります。

LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は“00_H”を保持します。

RLN24nmLiTRC レジスタの FTS ビットが“1”（フレーム送信/ウェイクアップ送受信開始）の間は、このレジスタに書き込まないでください。

レジスタ内の特定ビットをクリアする場合は、クリアするビットには“0”を、クリアしないビットには“1”をストア命令で書き込んでください。

HTRC フラグ（ヘッダ送信完了フラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
ヘッダ送信完了時、“1”となりますが、割り込み要求は発生しません。
次の通信が始まる（RLN24nmLiTRC レジスタの FTS ビットが“1”）前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

D1RC フラグ（データ 1 受信完了フラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
データ 1 受信完了時、“1”となりますが、割り込み要求は発生しません。
次の通信が始まる（RLN24nmLiTRC レジスタの FTS ビットが“1”）前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

ERR フラグ（エラー検出フラグ）

エラー検出（RLN24nmLiEST レジスタのフラグのうち 1 つでも“1”）時、“1”となります。このとき RLN24nmLiIE レジスタの ERRIE ビットが“1”（割り込み許可）の場合、割り込み要求が発生します。次の通信が始まる（RLN24nmLiTRC レジスタの FTS ビットが“1”）前に“0”にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で RLN24nmLiEST レジスタの CSER フラグ、FER フラグ、FTER フラグ、PBER フラグ、BER フラグに“0”を書いてください。ERR フラグが“0”となります。

FRC フラグ（フレーム／ウェイクアップ受信完了フラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
フレーム受信完了またはウェイクアップ受信完了時、“1”となります。このとき RLN24nmLiIE レジスタの FRCIE ビットが“1”（割り込み許可）の場合、割り込み要求が発生します。
次の通信が始まる（RLN24nmLiTRC レジスタの FTS ビットが“1”）前に“0”にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で“0”を書いてください。

FTC フラグ（フレーム／ウェイクアップ送信完了フラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
フレーム送信完了またはウェイクアップ送信完了時、“1”となります。このとき RLN24nmLiIE レジスタの FTCIE ビットが“1”（割り込み許可）の場合、割り込み要求が発生します。
次の通信が始まる（RLN24nmLiTRC レジスタの FTS ビットが“1”）前に“0”にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で“0”を書いてください。

21.3.3.11　RLN24nmLiEST — LIN エラーステータスレジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　RLN24nmLiEST：<RLIN24n_base> + 13_H + i × 20_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	CSER	—	FER	FTER	PBER	BER
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R/W	R/W	R/W	R/W

表 21.46　RLN24nmLiEST レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	CSER	チェックサムエラーフラグ 0：チェックサムエラー未検出 1：チェックサムエラー検出
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	FER	フレーミングエラーフラグ 0：フレーミングエラー未検出 1：フレーミングエラー検出
2	FTER	フレームタイムアウトエラーフラグ 0：フレームタイムアウトエラー未検出 1：フレームタイムアウトエラー検出
1	PBER	フィジカルバスエラーフラグ 0：フィジカルバスエラー未検出 1：フィジカルバスエラー検出
0	BER	ビットエラーフラグ 0：ビットエラー未検出 1：ビットエラー検出

RLN24nmLiEST レジスタは LIN リセットモード移行時、および次の通信開始（RLN24nmLiTRC レジスタの FTS ビットが“1”）時、自動的に“00_H”になります。

LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は“00_H”を保持します。

RLN24nmLiTRC レジスタの FTS ビットが“1”（フレーム送信／ウェイクアップ送受信開始）の間は、このレジスタに書かないでください。

レジスタ内の特定ビットをクリアする場合は、クリアするビットには“0”を、クリアしないビットには“1”をストア命令で書き込んでください。

CSER フラグ（チェックサムエラーフラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
チェックサムエラー検出時、“1”となります。次の通信が始まる（RLN24nmLiTRC レジスタの FTS ビットが“1”）前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

FER フラグ（フレーミングエラーフラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN24nmLiEST レジスタの FERE ビットが“1”（フレーミングエラー検出許可）で、フレーミングエラー検出時、“1”となります。次の通信が始まる（RLN24nmLiTRC レジスタの FTS ビットが“1”）前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

FTER フラグ（フレームタイムアウトエラーフラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN24nmLiEDE レジスタの FTERE ビットが“1”（フレームタイムアウトエラー検出許可）で、フレームタイムアウトエラー 検出時、“1”となります。次の通信が始まる（RLN24nmLiTRC レジスタの FTS ビットが“1”）前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

PBER フラグ（フィジカルバスエラーフラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN24nmLiEDE レジスタの PBERE ビットが“1”（フィジカルバスエラー検出許可）で、フィジカルバスエラー検出時、“1”となります。次の通信が始まる（RLN24nmLiTRC レジスタの FTS ビットが“1”）前に“0”にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で“0”を書いてください。

BER フラグ（ビットエラーフラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN24nmLiEDE レジスタの BERE ビットが“1”（ビットエラー検出許可）で、ビットエラー検出時、“1”となります。次の通信が始まる（RLN24nmLiTRC レジスタの FTS ビットが“1”）前に“0”にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で“0”を書いてください。

21.3.3.12　RLN24nmLiDFC ― LIN データフィールド設定レジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　RLN24nmLiDFC：<RLIN24n_base> + 14_H + i × 20_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	FSM	CSM	RFT	RFDL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.47　RLN24nmLiDFC レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	FSM	フレームセパレートモード選択ビット 0：フレームセパレートモードではない 1：フレームセパレートモード
5	CSM	チェックサム選択ビット 0：クラシック 1：エンハンス
4	RFT	レスポンスフィールド通信方向選択ビット 0：受信 1：送信
3～0	RFDL[3:0]	レスポンスフィールド長設定ビット b3　b0 0 0 0 0：0 バイト＋チェックサム 0 0 0 1：1 バイト＋チェックサム 0 0 1 0：2 バイト＋チェックサム ： 0 1 1 1：7 バイト＋チェックサム 1 0 0 0：8 バイト＋チェックサム 上記以外は設定しないでください。

RLN24nmLiDFC レジスタは、RLN24nmLiTRC レジスタの FTS ビットが“0”（フレーム送信/ウェイクアップ送受信停止）のときに設定してください。

FSM ビット（フレームセパレートモード選択ビット）

レスポンス送信の方式を設定します。

“0”の場合、フレームセパレートモードになりません。ヘッダ送信開始（RLN24nmLiTRC レジスタの FTS ビットが“1”）後、RLN24nmLiTRC レジスタの RTS ビットのセットなしに、レスポンスの送受信を行います。

“1”の場合、フレームセパレートモードになります。ヘッダ送信中に RLN24nmLiTRC レジスタの RTS ビットを“1”にした場合、ヘッダ送信完了を待ってからレスポンス送信を行います。

レスポンス受信（RFT ビットが“0”）時は、このビットを“0”に設定してください。

LIN セルフテストモードに移行する場合は、移行前にこのビットを“0”に設定してください。

フレームセパレートモードの詳細は「**21.11.1 LIN フレームの送信**」を参照してください。

CSM ビット（チェックサム選択ビット）

チェックサムの方式の設定をします。
“0”の場合、チェックサムの方式はクラシックとなります。
“1”の場合、チェックサムの方式はエンハンスとなります。
フレームタイムアウトエラーを使用する（RLN24nmLiEDE レジスタの FTERE ビットが“1”）場合は、このビット設定によりタイムアウト時間が異なります。詳細は「**21.14 エラーステータス**」を参照してください。

RFT ビット（レスポンスフィールド通信方向選択ビット）

レスポンスフィールド／ウェイクアップシグナルの通信方向を設定します。
“0”の場合、レスポンスフィールドで受信を行います。また、LIN ウェイクアップモードでは、ウェイクアップ受信（入力信号ロウレベル幅カウント）を行います。
“1”の場合、レスポンスフィールドで送信を行います。また、LIN ウェイクアップモードでは、ウェイクアップ送信を行います。

RFDL[3:0]ビット（レスポンスフィールド長設定ビット）

レスポンスフィールドのデータ長を設定します。
データ長は 0～8 バイトまで設定でき、データ長にはチェックサムのサイズを含みません。

21.3.3.13　RLN24nmLiIDB — LIN ID バッファレジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　RLN24nmLiIDB：<RLIN24n_base> + 15_H + i × 20_H

リセット後の値　Undefined

ビット	7	6	5	4	3	2	1	0
	IDP1	IDP0	ID[5:0]					
リセット後の値	—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.48　RLN24nmLiIDB レジスタの内容

ビット位置	ビット名	機能
7	IDP1	パリティ設定ビット（P1） ID フィールドで送信するパリティ（P1）ビットを設定
6	IDP0	パリティ設定ビット（P0） ID フィールドで送信するパリティ（P0）ビットを設定
5～0	ID[5:0]	ID 設定ビット ID フィールドで送信する 6 ビットの ID 値を設定

このレジスタは、RLN24nmLiTRC レジスタの FTS ビットが“0”（フレーム送信／ウェイクアップ送受信停止）のときに設定してください。

LIN セルフテストモード時は、以下の通りとなります。

通信前に送信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、「**21.15 LIN セルフテストモード**」を参照してください。

IDP ビット（パリティ設定ビット）

LIN フレームの ID フィールドで送信するパリティ（P0、P1）ビットを設定します。IDP0 が P0、IDP1 が P1 です。
パリティは自動演算されないため、演算値を設定してください。誤った演算結果を設定した場合もそのまま送信します。

ID ビット（ID 設定ビット）

LIN フレームの ID フィールドで送信する 6 ビットの ID を設定します。

21.3.3.14 RLN24nmLiCBR — LIN チェックサムバッファレジスタ

アクセス 8 ビット単位でリードのみ可能です。
ただし、LIN セルフテストモード時は、8 ビット単位でリード／ライト可能です。

アドレス RLN24nmLiCBR：<RLIN24n_base> + 16_H + i × 20_H

リセット後の値 Undefined

ビット	7	6	5	4	3	2	1	0
	CKSM[7:0]							
リセット後の値	—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.49 RLN24nmLiCBR レジスタの内容

ビット位置	ビット名	機能
7〜0	CKSM[7:0]	チェックサムの送受信データを格納します

LIN 動作モード時は、以下の通りとなります。

- RLN24nmLiDFC レジスタの RFT ビットが“1”（送信）の場合：

  送信した値を読むことができます。読み出す場合は、送信完了後に行ってください。
  書き込みは無効になります。

- RLN24nmLiDFC レジスタの RFT ビットが“0”（受信）の場合：

  受信した値を読むことができます。読み出す場合は、受信完了後に行ってください。
  書き込みは無効になります。

LIN セルフテストモード時は、以下の通りとなります。

- RLN24nmLiDFC レジスタの RFT ビットが“1”（送信）の場合：

  フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。
  書き込みは無効になります。

- RLN24nmLiDFC レジスタの RFT ビットが“0”（受信）の場合：

  通信前に受信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、「**21.15 LIN セルフテストモード**」を参照してください。

このレジスタは RLN24nmLiTRC レジスタの FTS ビットが“0”（フレーム送信／ウェイクアップ送受信停止）のときに設定してください。

21.3.3.15　RLN24nmLiDBRb ― LIN データバッファ b レジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス
RLN24nmLiDBR1：<RLIN24n_base> + 18_H + i × 20_H
RLN24nmLiDBR2：<RLIN24n_base> + 19_H + i × 20_H
RLN24nmLiDBR3：<RLIN24n_base> + $1A_H$ + i × 20_H
RLN24nmLiDBR4：<RLIN24n_base> + $1B_H$ + i × 20_H
RLN24nmLiDBR5：<RLIN24n_base> + $1C_H$ + i × 20_H
RLN24nmLiDBR6：<RLIN24n_base> + $1D_H$ + i × 20_H
RLN24nmLiDBR7：<RLIN24n_base> + $1E_H$ + i × 20_H
RLN24nmLiDBR8：<RLIN24n_base> + $1F_H$ + i × 20_H

リセット後の値　不定

ビット	7	6	5	4	3	2	1	0
	LDB[7:0]							
リセット後の値	—	—	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.50　RLN24nmLiDBRb レジスタの内容

ビット位置	ビット名	機能
7～0	LDB[7:0]	送信データを設定、または受信データを読み出し 設定範囲：00_H～FF_H

- レスポンス送信の場合：

  レスポンスフィールドで送信するデータを設定します。
  これらのレジスタは以下の状態で設定してください

  - RLN24nmLiDFC レジスタの RFT ビットが“1”（送信）
  - RLN24nmLiDFC レジスタの FSM ビットが“0”（フレームセパレートモードではない）
  - RLN24nmLiTRC レジスタの FTS ビットが“0”（フレーム送信／ウェイクアップ送受信停止）

  または

  - RLN24nmLiDFC レジスタの RFT ビットが“1”（送信）
  - RLN24nmLiDFC レジスタの FSM ビットが“1”（フレームセパレートモード）
  - RLN24nmLiTRC レジスタの RTS ビットが“0”（レスポンス送信停止）

- レスポンス受信の場合：

  レスポンスフィールドで受信したデータが格納されます。
  受信データは上書きされます。また、エラー検出時は、エラー検出したバイトまでのデータが格納されます。
  これらのレジスタは、FTS ビットが“1”（フレーム送信／ウェイクアップ送受信開始）のときに読み出さないでください。

LIN セルフテストモード時は、以下の通りとなります。

通信前に送信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、「**21.15 LIN セルフテストモード**」を参照してください。

21.4 割り込み要因

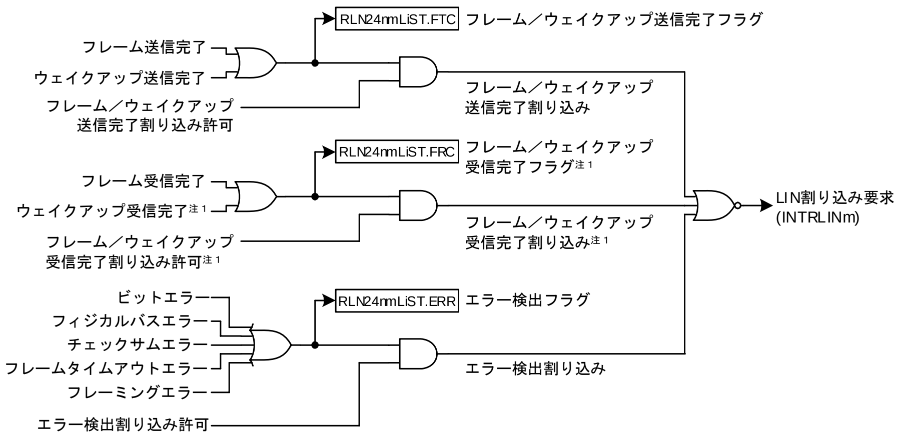
LIN マスタインタフェースは LIN 割り込み要求を生成します。

割り込み要因はチャネル毎に、フレーム／ウェイクアップ送信完了、フレーム／ウェイクアップ受信完了、エラー検出の 3 つがあります。

フレーム／ウェイクアップ送信完了、フレーム／ウェイクアップ受信完了、エラー検出の 3 つのステータスによる割り込み要求は、論理和をとって 1 つの割り込み要求「LIN 割り込み」にまとめられます。

それぞれの割り込み要求は、RLN24nmLiIE レジスタの対応するビットが“1”（割り込み許可）のとき、RLN24nmLiST レジスタの対応するフラグが“1”になると出力されます。ただし、RLN24nmLiST レジスタの対応するフラグが“1”の状態での割り込み要求は無視されますので、再度割り込みを可能にするには、該当するフラグを“0”にしてください。

「**図 21.2 LIN 割り込みブロック図**」に LIN 割り込みブロック図を示します。



注1. ウェイクアップ受信は、入力信号ロウレベル幅カウントを示します。

図 21.2 LIN 割り込みブロック図

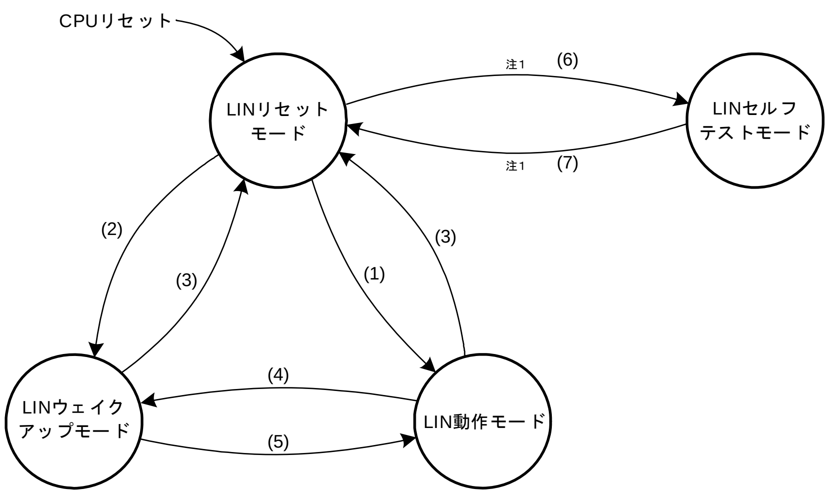
21.5 モード

LIN マスタインタフェースには、次の 4 つのモードがあります。

- LIN リセットモード
- LIN 動作モード
- LIN ウェイクアップモード
- LIN セルフテストモード

LIN セルフテストモードを除くモードの移行は、チャネル毎に独立して制御します。

「**図 21.3 モードの移行**」にモードの移行、「**表 21.51 各モードの移行条件**」にモード移行条件、「**表 21.52 各モードで可能な動作**」に各モードで可能な動作を示します。



注1. 詳細は、「**21.15 LIN セルフテストモード**」を参照してください。

図 21.3 モードの移行

表 21.51 各モードの移行条件

	移行モード	移行条件
(1)	LIN リセットモード → LIN 動作モード	RLN24nmLiCUC.OM1,OM0＝11_B
(2)	LIN リセットモード → LIN ウェイクアップモード	RLN24nmLiCUC.OM1,OM0＝01_B
(3)	LIN ウェイクアップモード → LIN リセットモード LIN 動作モード	RLN24nmLiCUC.OM0＝0_B
(4)	LIN 動作モード → LIN ウェイクアップモード	RLN24nmLiCUC.OM1,OM0＝01_B
(5)	LIN ウェイクアップモード → LIN 動作モード	RLN24nmLiCUC.OM1,OM0＝11_B
(6)	LIN リセットモード → LIN セルフテストモード	**「21.15 LIN セルフテストモード」**参照
(7)	LIN セルフテストモード → LIN リセットモード	**「21.15 LIN セルフテストモード」**参照

表 21.52 各モードで可能な動作

LIN 動作モード	LIN ウェイクアップモード	LIN セルフテストモード
ヘッダ送信 レスポンス送信 レスポンス受信 エラー検出	ウェイクアップ送信 ウェイクアップ受信 エラー検出	セルフテスト

RLN24nmLiMST レジスタの OMM1、OMM0 ビットを読むことで、LIN リセットモード、LIN 動作モード、LIN ウェイクアップモードへ移行したことを確認できます。

LIN セルフテストモードについては、「**21.15 LIN セルフテストモード**」を参照してください。

21.6　LIN リセットモード

RLN24nmLiCUC レジスタの OM0 ビットを“0”（LIN リセットモード）にすると、LIN リセットモードに移行します。RLN24nmLiMST レジスタの OMM0 ビットが“0”（LIN リセットモード）になることで、LIN リセットモードに移行したことが確認できます。このモードのとき、LIN 通信機能は停止しています。

LIN リセットモードからは、LIN 動作モード、LIN ウェイクアップモード、LIN セルフテストモードに移行できます。

以下のレジスタは、LIN リセットモードに移行した後、それぞれのリセット後の値に初期化され、LIN リセットモード中は初期値を保持します。

- RLN24nmLiTRC レジスタ
- RLN24nmLiST レジスタ
- RLN24nmLiEST レジスタ

以下のレジスタは、LIN リセットモードに移行した後も、以前の値を保持します。

- RLN24nGLWBR レジスタ
- RLN24nGLBRP0 レジスタ
- RLN24nGLBRP1 レジスタ
- RLN24nmLiMD レジスタ
- RLN24nmLiBFC レジスタ
- RLN24nmLiSC レジスタ
- RLN24nmLiWUP レジスタ
- RLN24nmLiIE レジスタ
- RLN24nmLiEDE レジスタ
- RLN24nmLiDFC レジスタ
- RLN24nmLiIDB レジスタ
- RLN24nmLiCBR レジスタ
- RLN24nmLiDBRb レジスタ

21.7　LIN 動作モード

LIN 動作モードでは、フレーム処理（ヘッダ送信、レスポンス送信、レスポンス受信、エラー検出）をします。

LIN リセットモードから LIN モードに移行する際に、RLN24nmLiCUC レジスタの OM1 ビット、OM0 ビットを“11_B”にすると LIN 動作モードになり、RLN24nmLiMST レジスタの OMM1 ビット、OMM0 ビットが“11_B”になります。RLN24nmLiMST レジスタが“11_B”になるのを待ってから、通信設定を行ってください。

21.8　LIN ウェイクアップモード

LIN ウェイクアップモードでは、ウェイクアップシグナル処理（ウェイクアップ送信、ウェイクアップ受信、エラー検出）をします。

LIN リセットモードから LIN モードに移行する際に、RLN24nmLiCUC レジスタの OM1 ビット、OM0 ビットを“01_B”にすると LIN ウェイクアップモードになり、RLN24nmLiMST レジスタの OMM1 ビット、OMM0 ビットが“01_B”になります。RLN24nmLiMST レジスタが“01_B”になるのを待ってから、通信設定を行ってください。

21.9 ヘッダ送信／レスポンス送信／レスポンス受信

21.9.1 ヘッダ送信

「**図 21.4 ヘッダ送信時の動作**」にヘッダ送信時の動作、「**表 21.53 ヘッダ送信時の処理**」にヘッダ送信時の処理を示します。

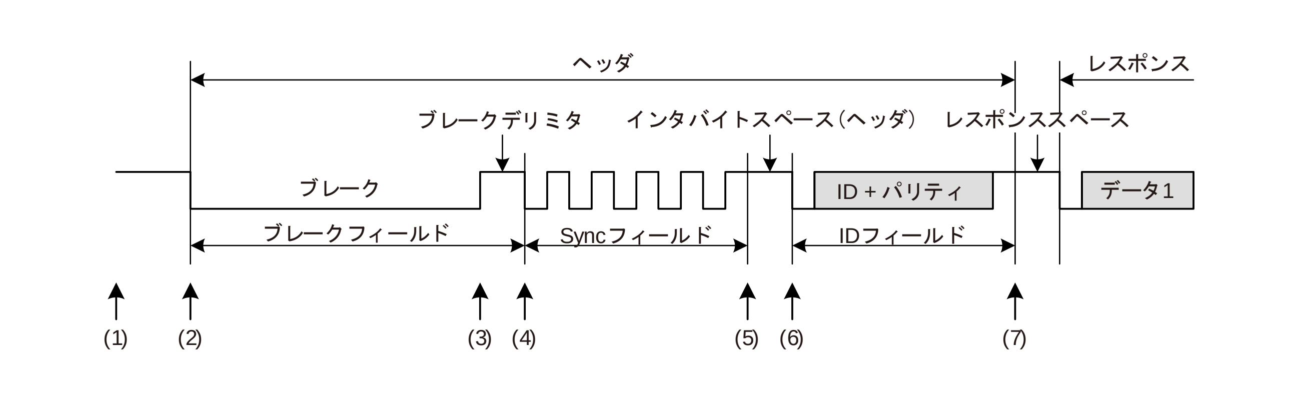


図 21.4 ヘッダ送信時の動作

表 21.53 ヘッダ送信時の処理

	ソフトウェア処理	LIN マスタインタフェース処理
(1)	● ボーレートを設定 ● 割り込み許可を設定 ● エラー検出許可を設定 ● フレーム構成パラメータを設定 ● LIN 動作モードに移行 ● 送信するフレーム情報（ID、パリティ、データ長、レスポンス方向、チェックサム方式、送信データ）を設定	ソフトウェアによる RLN24nmLiTRC レジスタの FTS ビット設定待ち（アイドル）
(2)	RLN24nmLiTRC レジスタの FTS ビットを“1”（フレーム送信／ウェイクアップ送受信開始）にする	ブレーク送信
(3)	割り込み要求待ち	ブレークデリミタ送信
(4)		Sync フィールド（55_H）送信
(5)		インタバイトスペース（ヘッダ）送信
(6)		ID フィールド送信
(7)		ヘッダ送信完了フラグ設定

備　考

エラー検出に関しては、「**21.14 エラーステータス**」を参照してください。

21.9.2　　レスポンス送信

「**図 21.5 レスポンス送信時の動作**」にレスポンス送信時の動作、「**表 21.54 レスポンス送信時の処理**」にレスポンス送信時の処理を示します。

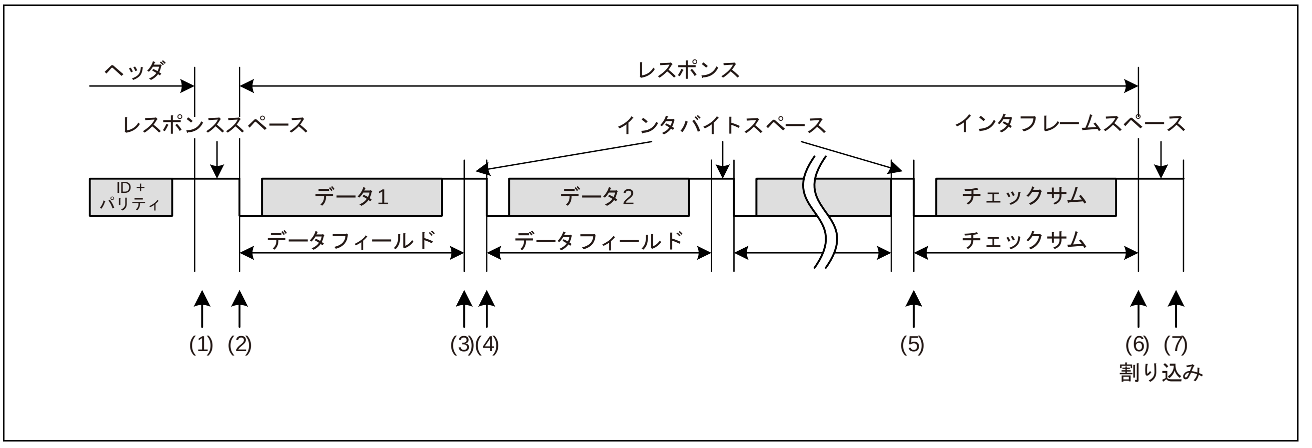


図 21.5　　レスポンス送信時の動作

表 21.54　レスポンス送信時の処理

	ソフトウェア処理	LIN マスタインタフェース処理
(1)	（フレームセパレートモード時） ● RLN24nmLiTRC レジスタの RTS ビットに“1”を設定（レスポンス送信開始） （フレームセパレートモードでないとき） ● 割り込み要求発生待ち	（フレームセパレートモード時） ● ソフトウェア処理による RLN24nmLiTRC レジスタの RTS ビットの“1”設定待ち（この間、“1”を出力） ● “1”に設定されたあと、レスポンススペースを送信 （フレームセパレートモードでないとき） ● レスポンススペースを送信
(2)	割り込み要求発生待ち	データ 1 送信
(3)		インタバイトスペース送信
(4)		● データ 2 送信 ● インタバイトスペース送信 ● データ 3 送信 ● インタバイトスペース送信 （RLN24nmLiDFC レジスタの RFDL[3:0]ビットで指定したデータ長分繰り返し。） : :
(5)		チェックサム送信
(6)		● フレーム／ウェイクアップ送信完了フラグ設定 ● RLN24nmLiTRC レジスタの FTS ビットを“0”（フレーム送信／ウェイクアップ送受信停止）にする （フレームセパレートモード時） ● RLN24nmLiTRC レジスタの RTS ビットを“0”（レスポンス送信停止）にする
(7)	● 通信後の処理 RLN24nmLiST レジスタのチェック、フラグのクリア	アイドル

備　考

エラー検出に関しては、「**21.14 エラーステータス**」を参照してください。

21.9.3　レスポンス受信

「**図 21.6 レスポンス受信時の動作**」にレスポンス受信時の動作、「**表 21.55 レスポンス受信時の処理**」にレスポンス受信時の処理を示します。

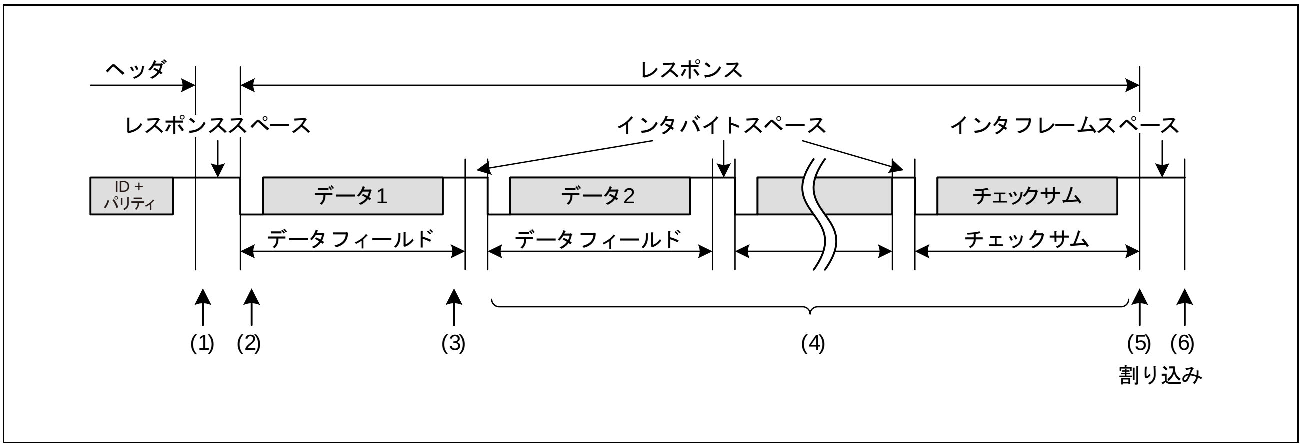


図 21.6　レスポンス受信時の動作

表 21.55　レスポンス受信時の処理

	ソフトウェア処理	LIN マスタインタフェース処理
(1)	割り込み要求発生待ち（処理はなし）	スタートビット検出待ち
(2)	割り込み要求発生待ち	スタートビット検出によりデータ 1 受信
(3)		データ 1 受信完了フラグ設定
(4)		● スタートビット検出によりデータ 2 受信 ● スタートビット検出によりデータ 3 受信 （RLN24nmLiDFC レジスタの RFDL[3:0]ビットで指定したデータ長分繰り返し。） : : ● スタートビット検出によりチェックサム受信
(5)		● チェックサム判定 ● フレーム／ウェイクアップ受信完了フラグ設定 ● RLN24nmLiTRC レジスタの FTS ビットを“0”（フレーム送信／ウェイクアップ送受信停止）にする
(6)	● 通信後の処理 受信データの読み出し RLN24nmLiST レジスタのチェック、フラグのクリア	アイドル

備　考

エラー検出に関しては、「**21.14 エラーステータス**」を参照してください。

21.10 データ送信／受信

21.10.1 データ送信

データ送信は、1Tbit に 1 ビットずつ行われます。

送信したデータは、LIN トランシーバを経由して受信データ入力端子に戻ってきます。この受信データと送信したデータの比較がビットごとに行われ、結果は RLN24nmLiEST レジスタの BER フラグに格納されます（「**21.14 エラーステータス**」参照）。

LIN マスタインタフェースでは、1Tbit＝16f_{LIN} で生成され、受信データのサンプリングポイントは 13 クロック目（81.25%位置）になります。

「**図 21.7 データ送信タイミング例**」にデータ送信タイミングの例を示します。

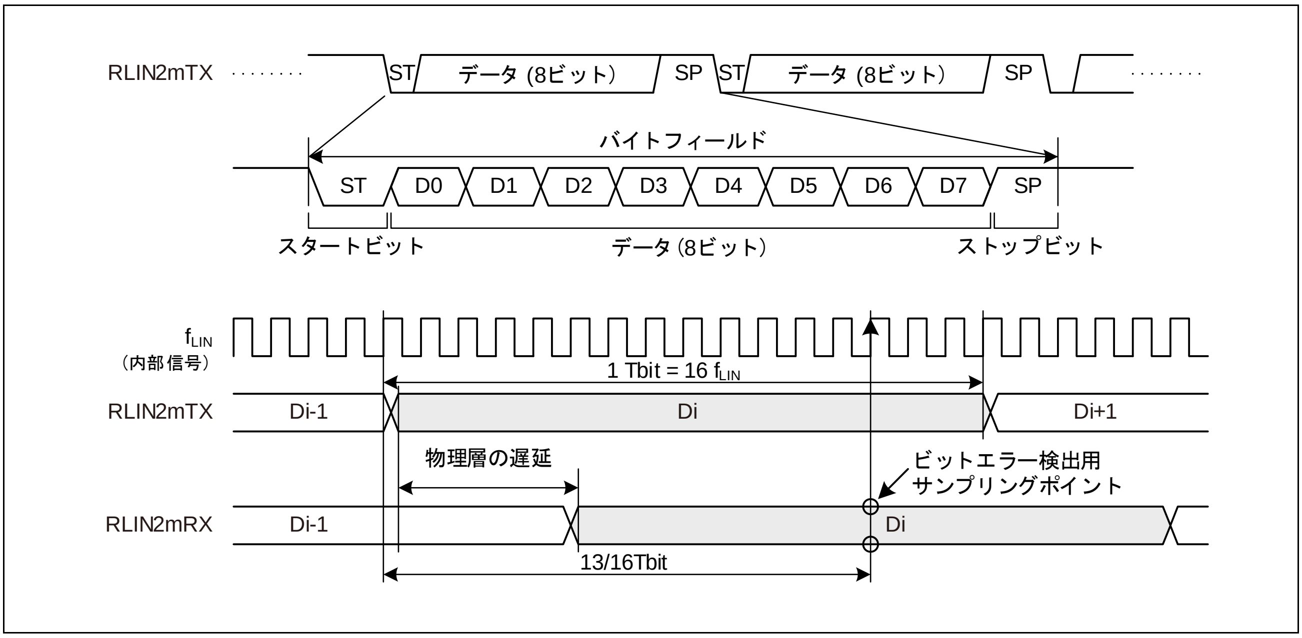


図 21.7　データ送信タイミング例

21.10.2　データ受信

データ受信は、RLIN2mRX 端子からの入力を LIN システムクロック（f_{LIN}）に同期させた同期化 RLIN2mRX（内部信号）を使用して行います。

この同期化 RLIN2mRX 信号のスタートビットの立ち下がりエッジでバイトフィールドの同期を合わせます。立ち下がりエッジ検出後、0.5Tbit 後に再度サンプリングを行い、同期化 RLIN2mRX 信号がロウレベルであった場合にスタートビットと認識します。リセット解除後から RLIN2mRX 信号がロウレベル固定の場合や、再サンプリング時にハイレベルを検出した場合はスタートビットとは認識しません。

スタートビット検出後は、1Tbit ごとにビットのサンプリングを行います。

「**図 21.8 データ受信タイミング例**」にデータ受信タイミングの例を示します。

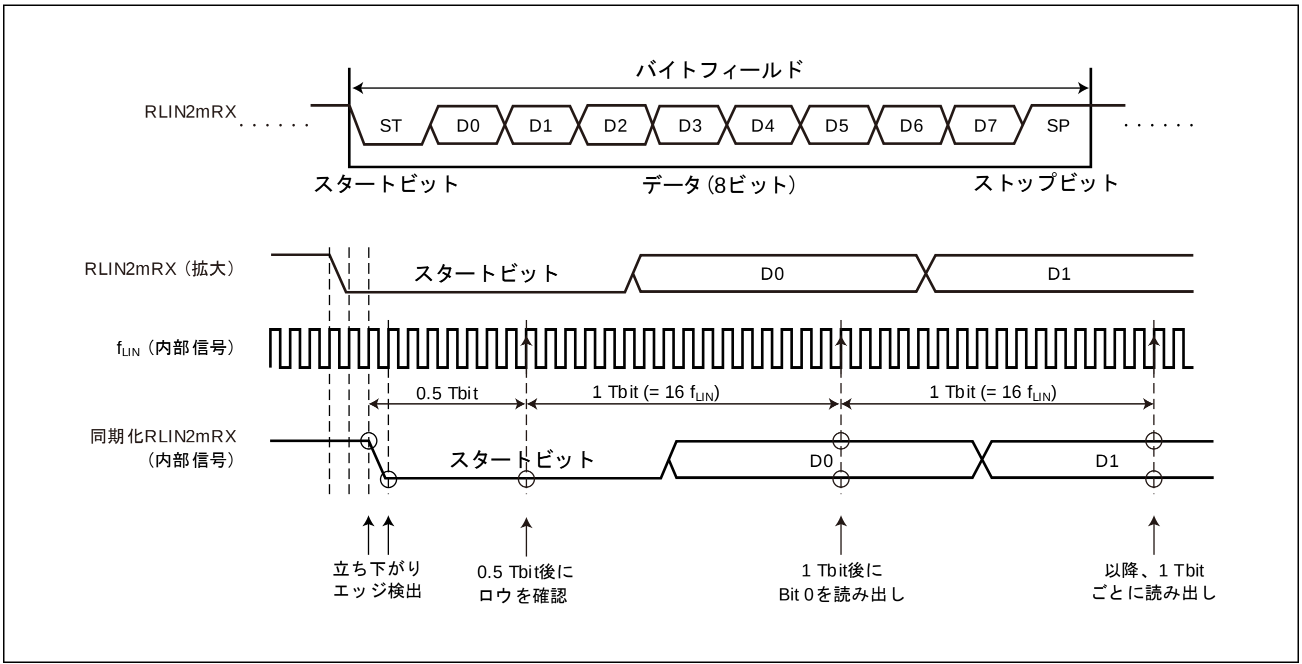


図 21.8　　データ受信タイミング例

21.11 送信／受信データのバッファ処理

LIN マスタインタフェースの連続データ送受信時のバッファ処理について説明します。

21.11.1 LIN フレームの送信

8 バイト送信の場合、RLN24nmLiDBR1 レジスタ～RLN24nmLiDBR8 レジスタに格納されている内容が、順番に LIN フレームのデータ 1～8 領域に送信されます。4 バイト送信の場合は、RLN24nmLiDBR1 レジスタ～RLN24nmLiDBR4 レジスタに格納されている内容が LIN フレームのデータ 1～4 領域に送信され、RLN24nmLiDBR5 レジスタ～RLN24nmLiDBR8 レジスタの内容は送信されません。また、RLN24nmLiCBR レジスタには送信したチェックサムデータが格納されます。

「**図 21.9 LIN 送信処理とバッファ**」に LIN 送信処理とバッファを示します。

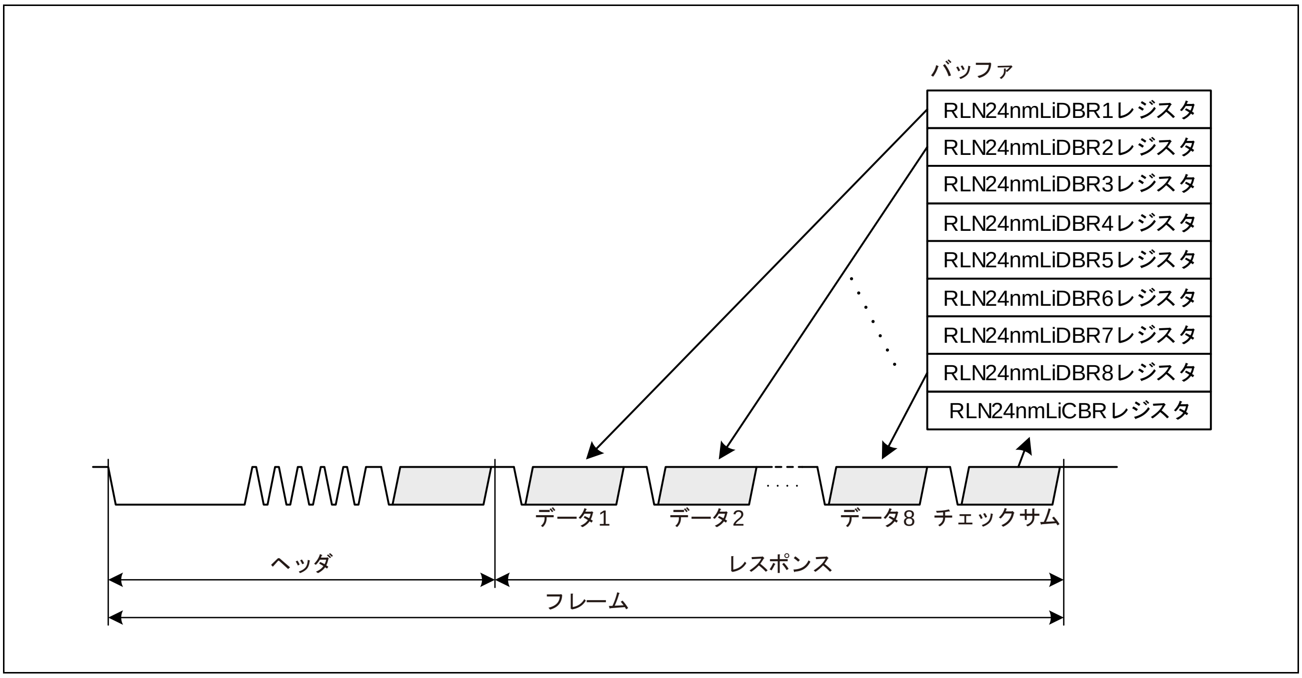


図 21.9 LIN 送信処理とバッファ

(1) フレームセパレートモード

RLN24nmLiDFC レジスタの FSM ビットを“1”にすることにより、フレームセパレートモードになります。

ヘッダとレスポンスを別々の送信開始要求により送信するモードです。

ヘッダ送信が完了すると RLN24nmLiST レジスタの HTRC フラグが“1”（ヘッダ送信完了）になります。

21.11.2　LIN フレームの受信

8 バイト受信の場合、LIN フレームのデータ 1～8 領域の内容が、ストップビットを受信するごとにそれぞれの RLN24nmLiDBR1 レジスタ～RLN24nmLiDBR8 レジスタに格納されます。4 バイト受信の場合は、LIN フレームのデータ 1～4 領域の内容が、それぞれ RLN24nmLiDBR1 レジスタ～RLN24nmLiDBR4 レジスタに格納され、RLN24nmLiDBR5 レジスタ～RLN24nmLiDBR8 レジスタには何も格納されません。また、RLN24nmLiCBR レジスタには受信したチェックサムデータが格納されます。

「**図 21.10 LIN 受信処理とバッファ**」に LIN 受信処理とバッファを示します。

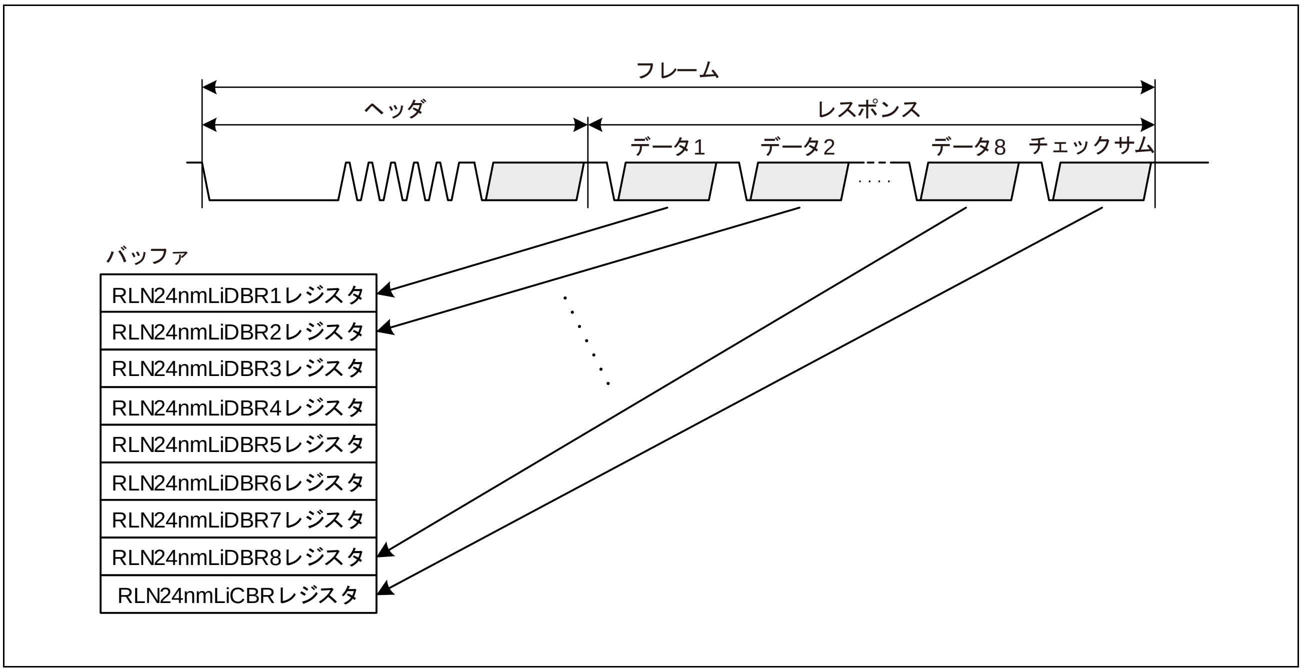


図 21.10　LIN 受信処理とバッファ

(1)　データ 1 受信

1 バイト目のデータ受信が完了すると、RLN24nmLiST レジスタの D1RC フラグが“1”（データ 1 受信完了）になります。

21.12 ウェイクアップ送信／受信

ウェイクアップの送受信は LIN ウェイクアップモードで使用できます。

21.12.1 ウェイクウェイクアップ送信動作

LIN ウェイクアップモード時、RLN24nmLiDFC レジスタの RFT ビットを“1”（送信）、RLN24nmLiTRC レジスタの FTS ビットを“1”（フレーム送信／ウェイクアップ送受信開始）にすると、出力端子からウェイクアップ信号が出力されます。ウェイクアップ信号のロウ幅は RLN24nmLiWUP レジスタの WUTL[3:0]ビットで設定します。ただし、RLN24nGLWBR レジスタの LWBR0 ビットが“1”（LIN2.x 使用時）の場合は、RLN24nmLiMD レジスタの LCKS ビットの設定に関わらず、LIN システムクロック（f_{LIN}）が fa でのロウ幅になります。fa 選択時のボーレートを 19200bps に、RLN24nmLiWUP レジスタの WUTL[3:0]ビットを“0100_B”（5Tbits）に設定することにより、RLN24nmLiMD レジスタの LCKS ビットの設定にかかわらず、LIN ウェイクアップモード時に 260µs のロウ幅を出力することができます。

エラーなくウェイクアップのロウレベルが出力された場合、RLN24nmLiST レジスタの FTC フラグが“1”（フレームまたはウェイクアップ送信完了）になり、RLN24nmLiIE レジスタの FTCIE ビットが“1”（フレーム／ウェイクアップ送信完了割り込み許可）のとき割り込み要求が発生します。

エラーを検出した場合は、ウェイクアップ送信を中断し、検出したエラーに対するエラーフラグ（RLN24nmLiEST レジスタの PBER フラグまたは BER フラグ）を“1”（フィジカルバスエラー検出／ビットエラー検出）にします。

「**図 21.11 ウェイクアップ送信タイミング**」にウェイクアップ送信タイミングを示します。

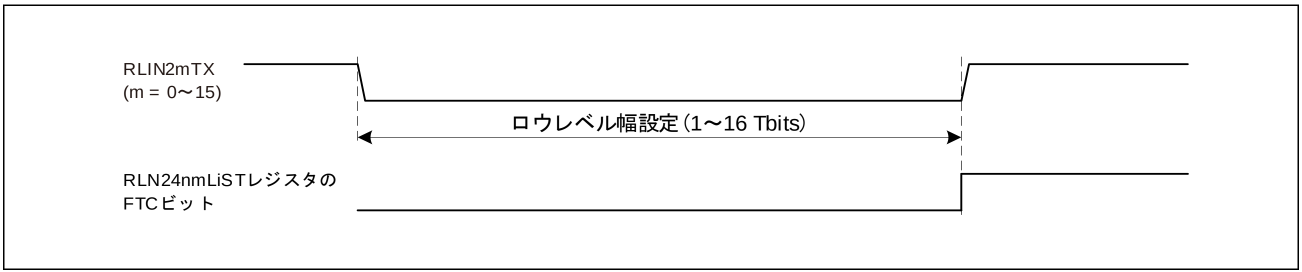


図 21.11　ウェイクアップ送信タイミング

21.12.2　ウェイクアップ受信動作

ウェイクアップシグナルを検出するには、入力信号ロウレベル幅カウント機能を使用します。

入力信号ロウレベル幅カウント機能は、データ受信と同じサンプリングポイントで RLIN2mRX 端子への入力信号のロウレベル幅を計測する機能です。入力信号のロウレベル幅を f_{LIN} の 2.5Tbit 以上で計測することができます。

LIN Specification Package Revision 1.3 使用時は、RLN24nGLWBR レジスタの LWBR0 ビットを“0”に、LIN Specification Package Revision 2.x 使用時は“1”に設定してください。

LWBR0 ビットを“1”にすると RLN24nmLiMD レジスタの LCKS ビットの設定にかかわらず LIN システムクロック（f_{LIN}）が fa になります（LCKS ビットは変化しません）。

fa 選択時のボーレートを 19200bps に設定することにより、RLN24nmLiMD レジスタの LCKS ビットの設定に関わらず、LIN ウェイクアップモード時に 130μs 以上の入力信号ロウレベル幅を検出することができます。

この機能を使用する場合、LIN ウェイクアップモードにて、RLN24nmLiDFC レジスタの RFT ビットを“0”（受信）、RLN24nmLiTRC レジスタの FTS ビットを“1”（フレーム送信／ウェイクアップ送受信開始）にしてください。

計測するロウレベル幅に達すると RLN24nmLiST レジスタの FRC フラグが“1”（フレームまたはウェイクアップ受信完了）になり、RLN24nmLiIE レジスタの FRCIE ビットが“1”（フレーム／ウェイクアップ受信完了割り込み許可）の場合、割り込み要求が発生します。

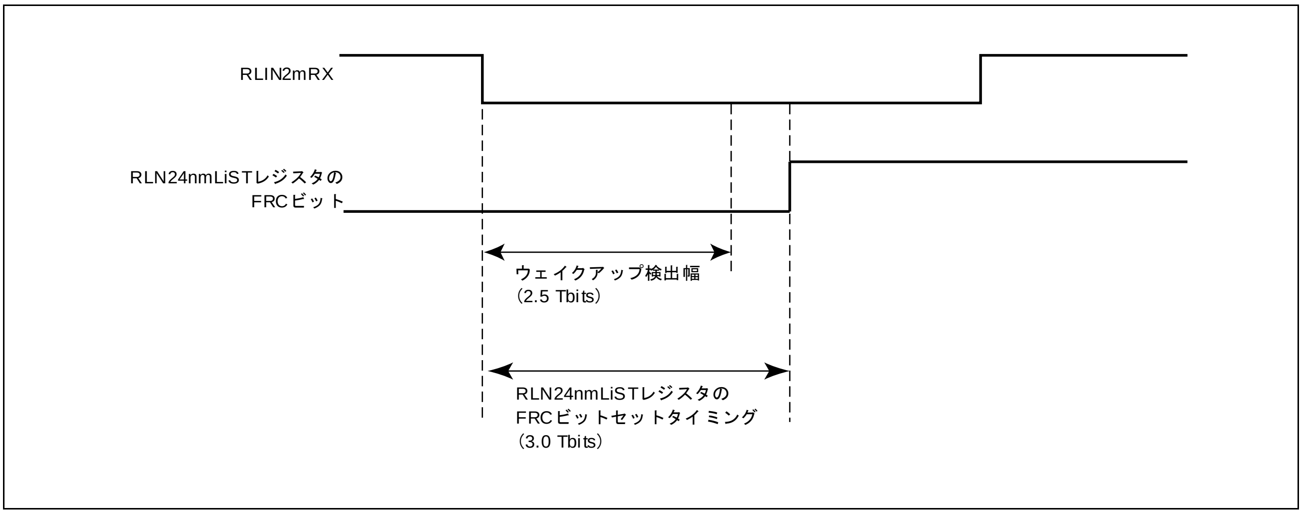


図 21.12　入力信号ロウレベルカウント機能

21.12.3　ウェイクアップ衝突

マスタノードとスレーブノードが同時にウェイクアップ信号を送信した場合、LIN バス上で衝突が発生しますが、LIN マスタインタフェースではウェイクアップ信号の衝突は検知しません。

21.13 ステータス

LIN マスタインタフェースは 7 種類のステータスを検出します。

フレーム／ウェイクアップ送信完了、フレーム／ウェイクアップ受信完了、エラー検出の 3 つのステータスは割り込み要求を発生することができます。

「**表 21.56 ステータスの種類**」にステータスの種類を示します。

表 21.56 ステータスの種類

ステータス	ステータスセット条件	ステータスクリア条件	ステータスを検出できる動作モード	対応ビット	割り込み
リセット	RLN24nmLiCUC レジスタの OM0 ビットを LIN リセットモードでないに設定後、実際に LIN マスタインタフェースが LIN リセットモード解除になったとき	RLN24nmLiCUC レジスタの OM0 ビットを LIN リセットモードに設定後、実際に LIN マスタインタフェースが LIN リセットモードになったとき	すべてのモード	RLN24nmLiMST レジスタの OMM0 ビット	—
動作モード	RLN24nmLiCUC レジスタの OM1 ビットを LIN 動作モードに設定後、実際に LIN マスタインタフェースが LIN 動作モードになったとき	RLN24nmLiCUC レジスタの OM1 ビットを LIN ウェイクアップモードに設定後、実際に LIN マスタインタフェースが LIN ウェイクアップモードになったとき	● LIN 動作モード ● LIN ウェイクアップモード	RLN24nmLiMST レジスタの OMM1 ビット	—
フレーム／ウェイクアップ送信完了	フレーム（ヘッダ送信＋レスポンス送信）、またはウェイクアップ信号を正常に送信完了したとき	● 次の通信開始時 ● ソフトウェアによるクリア ● LIN リセットモード移行時	● LIN 動作モード ● LIN ウェイクアップモード	RLN24nmLiST レジスタの FTC フラグ	○
フレーム／ウェイクアップ受信完了	フレーム（ヘッダ送信＋レスポンス受信）、またはウェイクアップ信号を正常に受信完了したとき	● 次の通信開始時 ● ソフトウェアによるクリア ● LIN リセットモード移行時	● LIN 動作モード ● LIN ウェイクアップモード	RLN24nmLiST レジスタの FRC フラグ	○
エラー検出	RLN24nmLiEST レジスタの CSER フラグ、FER フラグ、FTER フラグ、PBER フラグ、BER フラグのいずれかが“1”（エラー検出）になったとき	● 次の通信開始時 ● ソフトウェアによるクリア[注1] ● LIN リセットモード移行時	● LIN 動作モード ● LIN ウェイクアップモード	RLN24nmLiST レジスタの ERR フラグ	○
データ 1 受信完了	RLN24nmLiDFC レジスタの RFT ビットが“0”（受信）で、レスポンスフィールドの最初の 1 バイトを受信完了したとき[注2]	● 次の通信開始時 ● ソフトウェアによるクリア ● LIN リセットモード移行時	LIN 動作モード	RLN24nmLiST レジスタの D1RC フラグ	—
ヘッダ送信完了	ヘッダフィールドを正常に送信完了した場合	● 次の通信開始時 ● ソフトウェアによるクリア ● LIN リセットモード移行時	LIN 動作モード	RLN24nmLiST レジスタの HTRC フラグ	—

注1. LIN 動作モード内で RLN24nmLiEST レジスタの CSER フラグ、FER フラグ、FTER フラグ、PBER フラグ、BER フラグに“0”を書くことにより、RLN24nmLiST レジスタの ERR フラグは“0”になります。

注2. RLN24nmLiDFC レジスタの RFDL[3:0]ビットが“0000_B”（0 バイト＋チェックサム）のときは検出されません。

21.14 エラーステータス

21.14.1 エラーステータスの種類

LIN マスタインタフェースでは LIN マスタモードで 5 種類のエラーステータスを検出します。これらのエラーの状態は RLN24nmLiEST レジスタの各ビットで確認できます。

すべてのエラーステータスは、割り込み要因となります。

「**表 21.57 エラーステータスの種類**」にエラーステータスの種類を示します。

表 21.57　エラーステータスの種類

ステータス	エラー検出条件	エラーを検出できる動作モード	通信処理	検出許可／禁止選択	対応ビット
ビットエラー	送信したデータと、受信端子でモニタしている LIN バス上のデータが一致しなかったとき注1	● LIN 動作モード ● LIN ウェイクアップモード	中断	○	RLN24nmLiEST レジスタの BER フラグ
フィジカルバスエラー	● ブレーク送信時に LIN バスがハイレベルを検出した場合 ● ブレークデリミタ送信時に LIN バスがロウレベルを検出した場合 ● ウェイクアップ送信時に LIN バスがハイレベルを検出した場合	● LIN 動作モード ● LIN ウェイクアップモード	中断	○	RLN24nmLiEST レジスタの PBER フラグ
フレームタイムアウトエラー	フレームの送受信がある一定の時間内に終了しなかったとき注2	LIN 動作モード	中断	○	RLN24nmLiEST レジスタの FTER フラグ
フレーミングエラー	レスポンスフィールド受信処理において、各データバイトのストップビットがロウレベルであったとき	LIN 動作モード	中断	○	RLN24nmLiEST レジスタの FER フラグ
チェックサムエラー	レスポンスフィールド受信処理において、チェックサム判定の結果がエラーのとき	LIN 動作モード	—	×	RLN24nmLiEST レジスタの CSER フラグ

注1.　ビットエラーを検出した場合は、ストップビット送信後に中断します。インタバイトスペースなどの非データ領域でビットエラーを検出したときは、エラーになったビットを送信した直後に送信を中断します。ウェイクアップ送信中にビットエラーを検出したときは、エラーになったビットを送信した直後にウェイクアップ送信を中断します。

注2.　タイムアウト時間は、レスポンスフィールドデータ長（RLN24nmLiDFC レジスタの RFDL[3:0]ビット）、およびチェックサム選択（RLN24nmLiDFC レジスタの CSM ビット）に依存し、下記の式により計算できます。

クラシック選択時（RLN24nmLiDFC レジスタの CSM ビットが“0”の場合）：

タイムアウト時間＝49＋（データバイト数＋1）×14[Tbit]

エンハンス選択時（RLN24nmLiDFC レジスタの CSM ビットが“1”の場合）：

タイムアウト時間＝48＋（データバイト数＋1）×14[Tbit]

上記タイムアウト時間は、クラシック選択時に LIN Specification Package Revision 1.3 の TFRAME_MAX を、エンハンス選択時に LIN Specification Package Revision 2.x の TFRAME_MAX を超える時間となります。

エラーステータスのクリア条件は、次の通信開始時、ソフトウェアによるクリア、LIN リセットモード移行時です。

21.14.2　エラー検出の対象時間領域

「**図 21.13　エラー検出の対象時間領域**」にエラーを検出するために LIN マスタインタフェースが監視する時間領域を示します。

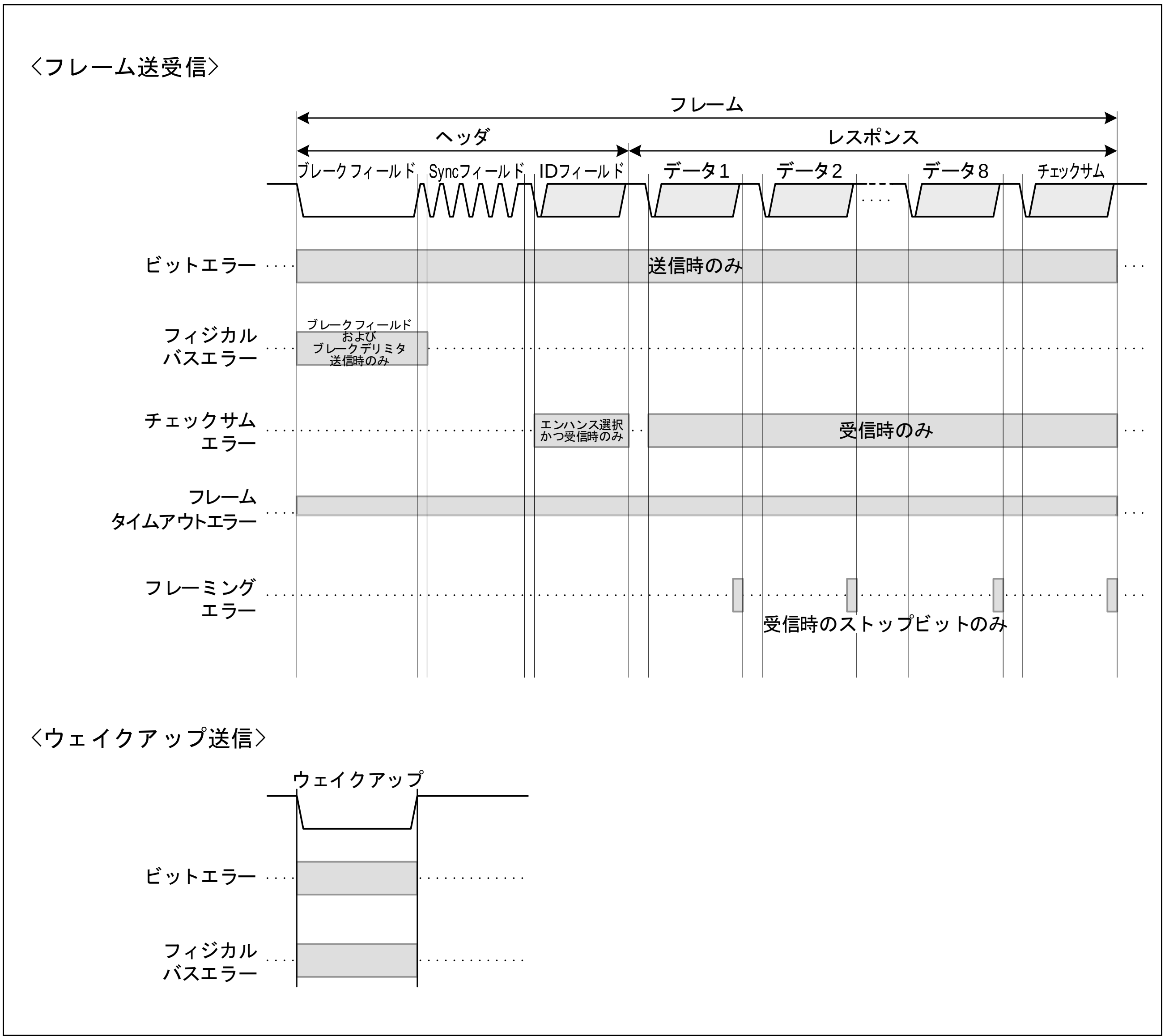


図 21.13　エラー検出の対象時間領域

21.15 LIN セルフテストモード

LIN マスタインタフェースは、LIN セルフテストモードを持ちます。一度 LIN マスタインタフェースが LIN セルフテストモードになると、RLIN2mTX と RLIN2mRX は外部端子から切断され、LIN マスタインタフェース内部で RLIN2mTX と RLIN2mRX が接続されます。よって、RLIN2mTX から送信するフレームは RLIN2mRX にループバックします。

セルフテストは、以下の 2 種類行うことができます。

- LIN セルフテストモード（送信）：ヘッダ送信およびレスポンス送信
- LIN セルフテストモード（受信）：ヘッダ送信およびレスポンス受信

LIN セルフテストモードでは、ボーレートジェネレータの設定に関わらず、最速ボーレートで動作します。

ボーレートは、ボーレート関連レジスタの設定に関わらず、LIN 通信クロック源/16[bps]で動作します。

また、LIN セルフテストモードでは、以下の機能はサポートしません。

- LIN ウェイクアップモード
- フレームセパレートモード

これらの機能は使用しないでください。

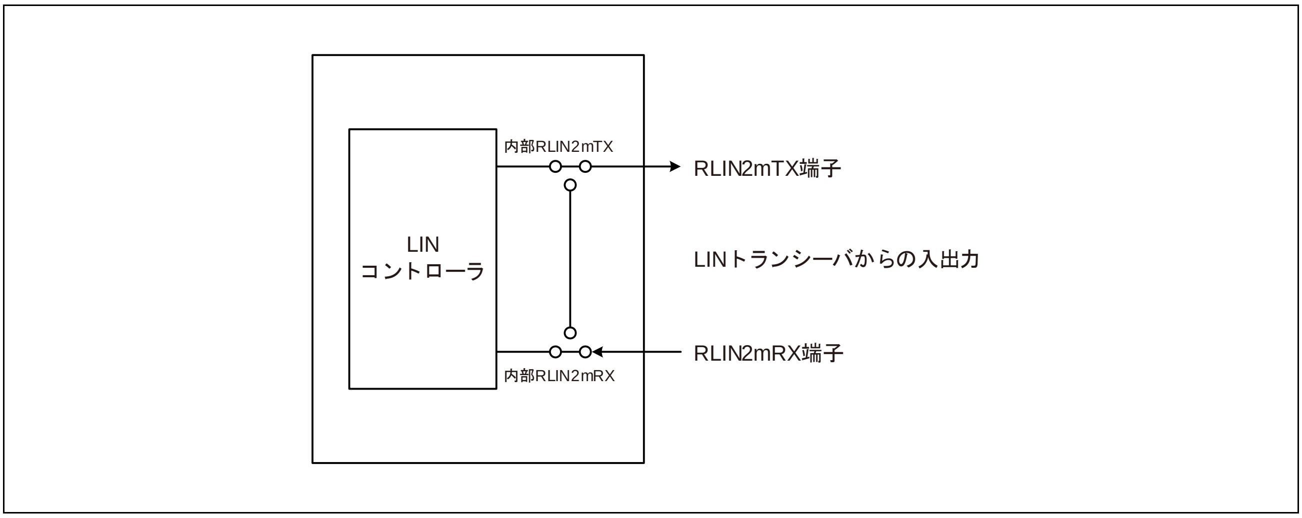


図 21.14　LIN リセットモード、LIN ウェイクアップモード、LIN 動作モード接続

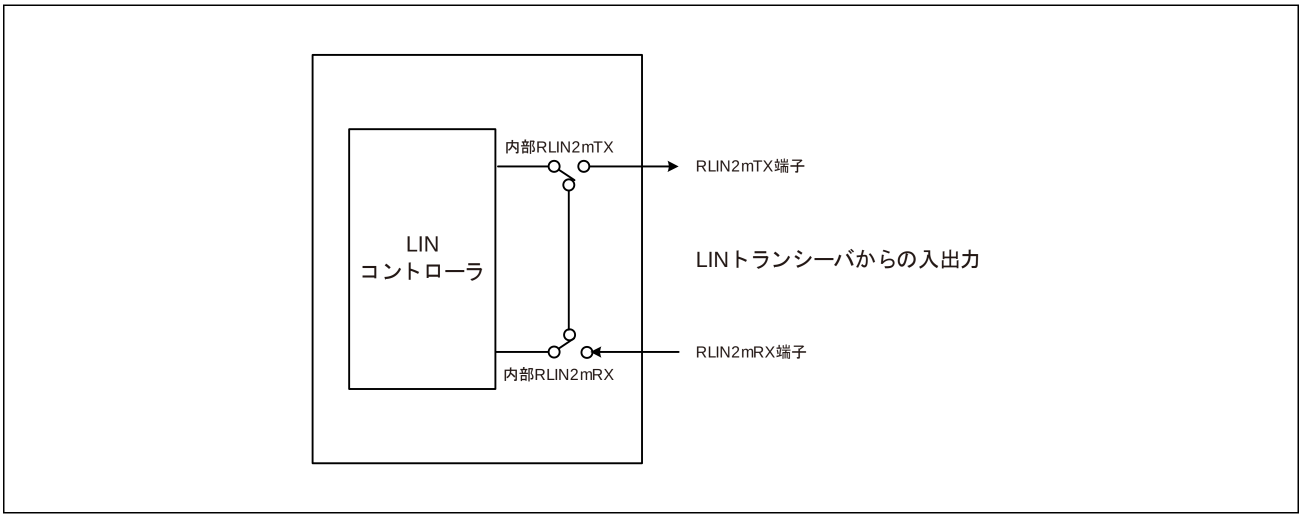


図 21.15　LIN セルフテストモード接続

21.15.1　LIN セルフテストモードへの移行

RLN24nGLSTC レジスタへの書き込みにより、LIN セルフテストモードになります。

RLN24nGLSTC レジスタの LSTM ビットが“1”になると、LIN セルフテストモードに移行したことが確認できます。

LIN セルフテストモードに移行するには、特定のシーケンスを必ず実行してください。このシーケンスでは、次の通り LIN セルフテスト制御レジスタに 3 回連続書き込みを行う必要があります。

- ユニット内の全チャネルを LIN リセットモードへ移行

  RLN24nmLiCUC レジスタの OM0 ビットを“0”（LIN リセットモード）にする。
  RLN24nmLiMST レジスタの OMM0 ビットを読み出し、“0”（LIN リセットモード）であることを確認する。

- 1 回目書き込み：RLN24nGLSTC レジスタ＝“1010 0111_B”（$A7_H$）
- 2 回目書き込み：RLN24nGLSTC レジスタ＝“0101 1000_B”（58_H）
- 3 回目書き込み：RLN24nGLSTC レジスタ＝“0000 0001_B”（01_H）
- LIN セルフテストモードへの移行を確認する

  RLN24nGLSTC レジスタの LSTM ビットを読み出し、“1”（LIN セルフテストモード）であることを確認する。

1 回目のキー（$A7_H$）を誤って 2 回書き込みした場合、LIN セルフテストモードへの移行は中断します。再度 1 回目の書き込みから実施してください。また、LIN セルフテストモードへの移行（RLN24nGLSTC レジスタへの 3 回連続書き込み）中に同一ユニット内の他の LIN 関連レジスタに書き込みを行った場合も移行は中断します。

21.15.2 LIN セルフテストモードにおける送信

送信に関するセルフテストを実行するには、次の手順を行ってください。

- ボーレート関連レジスタを設定する

  RLN24nGLBRP0 レジスタ＝xxxx $xxxx_B$ 注 1
  RLN24nGLBRP1 レジスタ＝xxxx $xxxx_B$ 注 1
  RLN24nmLiMD レジスタ＝0000 $xx00_B$ 注 1

- 割り込み許可、エラー許可関連レジスタを設定する

  RLN24nmLiIE レジスタ＝0000 $0xxx_B$ 注 2
  RLN24nmLiEDE レジスタ＝0000 $xxxx_B$

- ブレークフィールド、スペース関連レジスタを設定する

  RLN24nmLiBFC レジスタ＝00xx $xxxx_B$
  RLN24nmLiSC レジスタ＝00xx $0xxx_B$

- LIN リセットモード解除

  RLN24nmLiCUC レジスタの OM1、OM0 ビットに“11_B”を書き込み、RLN24nmLiMST レジスタの OMM1、OMM0 ビットが“11_B”になることを確認する

- 送信フレーム関連レジスタを設定する

  RLN24nmLiDFC レジスタ＝00x1 $xxxx_B$
  RLN24nmLiIDB レジスタ＝xxxx $xxxx_B$
  RLN24nmLiDBR1～RLN24nmLiDBR8 レジスタ＝xxxx $xxxx_B$

- ヘッダ送信→レスポンス送信開始

  RLN24nmLiTRC レジスタの FTS ビットを“1”（フレーム送信／ウェイクアップ送受信開始）にする
  LIN セルフテストモード（送信）が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行される。チェックサムは LIN マスタインタフェースが自動演算する LIN セルフテストモード（送信）実行中に中断したい場合は、RLN24nmLiCUC レジスタの OM0 ビットに“0”（LIN リセットモード）を書き込み、LIN リセットモードへ移行する

- 送信完了の場合、ループバックしたフレームデータの反転値が RLN24nmLiIDB レジスタ、RLN24nmLiDBRb レジスタ、RLN24nmLiCBR レジスタに格納され（送信した値とループバックした値を比較するため、反転値として格納されます。）、RLN24nmLiTRC レジスタの FTS ビットがクリアされる

- エラーにより送信が完了しなかった場合、該当するエラーフラグが設定され、RLN24nmLiTRC レジスタの FTS ビットがクリアされる

備考 x : 任意の値を設定してください。

注1. 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。
RLN24nGLBRP0 レジスタ、RLN24nGLBRP1 レジスタ、RLN24nmLiMD レジスタの LCKS ビット
そのため、設定は必須ではありません。

注2. 必要に応じて、「**第 7A 章 RH850/F1KH-D8 の例外／割り込み**」、「**第 7BC 章 RH850/F1KM の例外／割り込み**」の関連レジスタを設定してください。

21.15.3 LIN セルフテストモードにおける受信

受信に関するセルフテストを実行するには、次の手順を行ってください。

- ボーレート関連レジスタを設定する

  RLN24nGLBRP0 レジスタ＝xxxx $xxxx_B$ [注 1]
  RLN24nGLBRP1 レジスタ＝xxxx $xxxx_B$ [注 1]
  RLN24nmLiMD レジスタ＝0000 $xx00_B$ [注 1]

- 割り込み許可、エラー許可関連レジスタを設定する

  RLN24nmLiIE レジスタ＝0000 $0xxx_B$ [注 2]
  RLN24nmLiEDE レジスタ＝0000 $x0xx_B$

- ブレークフィールド、スペース関連レジスタを設定する

  RLN24nmLiBFC レジスタ＝00xx $xxxx_B$
  RLN24nmLiSC レジスタ＝00xx $0xxx_B$ [注 1]

- LIN リセットモード解除

  RLN24nmLiCUC レジスタの OM1、OM0 ビットに“11_B”を書き込み、RLN24nmLiMST レジスタの OMM1、OMM0 ビットが“11_B”になることを確認する

- 受信フレーム関連レジスタを設定する

  RLN24nmLiDFC レジスタ＝00x0 $xxxx_B$
  RLN24nmLiIDB レジスタ＝xxxx $xxxx_B$
  RLN24nmLiDBR1～RLN24nmLiDBR8 レジスタ＝xxxx $xxxx_B$
  RLN24nmLiCBR レジスタ＝xxxx $xxxx_B$
  送信するチェックサム値は自動演算されないため、ユーザで演算し、RLN24nmLiCBR レジスタに設定する。このとき誤ったチェックサム値を設定することによって、チェックサムエラーをテストすることが可能です

- ヘッダ送信→レスポンス受信開始

  RLN24nmLiTRC レジスタの FTS ビットを“1”（フレーム送信／ウェイクアップ送受信開始）にする
  LIN セルフテストモード（受信）が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行される LIN セルフテストモード（受信）実行中に中断したい場合は、RLN24nmLiCUC レジスタの OM0 ビットに“0”（LIN リセットモード）を書き込み、LIN リセットモードへ移行する

- 受信完了の場合、ループバックしたフレームデータの反転値が RLN24nmLiIDB レジスタ、RLN24nmLiDBRb レジスタ、RLN24nmLiCBR レジスタに格納され（設定した値とループバックした値を比較するため、反転値として格納されます。）、RLN24nmLiTRC レジスタの FTS ビットがクリアされる

- エラーにより受信が完了しなかった場合、該当するエラーフラグが設定され、RLN24nmLiTRC レジスタの FTS ビットがクリアされる

備考 x：任意の値を設定してください。

注1. 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。
RLN24nGLBRP0 レジスタ、RLN24nGLBRP1 レジスタ、RLN24nmLiMD レジスタの LCKS ビット、
RLN24nmLiSC レジスタの IBS ビットおよび IBHS ビット（レスポンススペースのみ）
そのため、設定は必須ではありません。

注2. 必要に応じて、「**第 7A 章 RH850/F1KH-D8 の例外／割り込み**」、「**第 7BC 章 RH850/F1KM の例外／割り込み**」の関連レジスタを設定してください。

21.15.4 LIN セルフテストモード終了

LIN セルフテストモードを終了するには、次の手順を行ってください。

- ユニット内の全チャネルを LIN リセットモードへ移行

  RLN24nmLiCUC レジスタの OM0 ビットに“0”を書き込み、LIN リセットモードに移行します。ただし、LIN セルフテストモード移行後、ユニット内で 1 チャネルも RLN24nmLiMST レジスタの OMM1、OMM0 ビットが“11_B”でない場合は、任意の 1 チャネルに対して RLN24nmLiCUC レジスタの OM1、OM0 ビットに“11_B”を書き、RLN24nmLiMST レジスタの OMM1, OMM0 ビットが“11_B”になることを確認した後に、LIN リセットモードに移行してください

- LIN セルフテストモードの解除を確認する

  RLN24nGLSTC レジスタの LSTM ビットを読み、“0”（LIN セルフテストモードではない）を確認

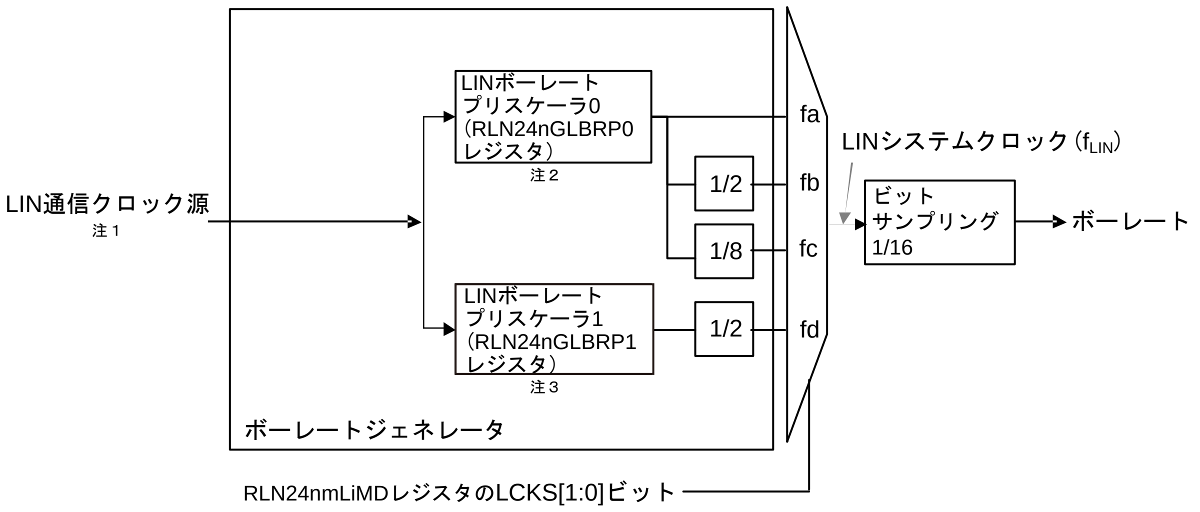
- LIN リセットモードへの移行を確認する

  RLN24nmLiMST レジスタの OMM0 ビットを読み、“0”（LIN リセットモード）を確認

21.16 ボーレートジェネレータ

LIN 通信クロック源をボーレートジェネレータで分周したクロックが LIN システムクロック（f_{LIN}）となり、これを 16 分周したクロックがボーレートになります。このボーレートの逆数をビットタイム（Tbit）といいます。

「**図 21.16 ボーレート生成ブロック図**」にボーレート生成ブロック図を示します。



注1. LIN 通信クロック源については、「**12AB.5.3 クロックドメイン設定**」、「**12C.5.3 クロックドメイン設定**」を参照してください。

注2. RLN24nGLBRP0 レジスタの設定に従い、クロック周波数は N＋1 で分周されます。（N＝0～255）

注3. RLN24nGLBRP1 レジスタの設定に従い、クロック周波数は M＋1 で分周されます。（M＝0～255）

図 21.16 ボーレート生成ブロック図

LIN 通信クロック源は、4MHz～40MHz に設定してください。

fa が 307200Hz（＝19200×16）となるように RLN24nGLBRP0 レジスタを設定すれば、fa＝19200×16、fb＝9600×16、fc＝2400×16 となり、ビットタイミング生成部で 16 分周するため、19200bps、9600bps、2400bps が生成できます。また、fd が 166672Hz（＝10417×16）となるように RLN24nGLBRP1 レジスタを設定すれば、fd＝10417×16 となり、ビットタイミング生成部で 16 分周するため、10417bps が生成できます。

ボーレートの計算式は、以下のとおりです。

ボーレート

＝ {LIN 通信クロック源の周波数} ÷ (RLN24nGLBRP0 + 1) ÷ 16 [bps]（fa 選択時）

＝ {LIN 通信クロック源の周波数} ÷ (RLN24nGLBRP0 + 1) ÷ 2 ÷ 16 [bps]（fb 選択時）

＝ {LIN 通信クロック源の周波数} ÷ (RLN24nGLBRP0 + 1) ÷ 8 ÷ 16 [bps]（fc 選択時）

＝ {LIN 通信クロック源の周波数} ÷ (RLN24nGLBRP1 + 1) ÷ 2 ÷ 16 [bps]（fd 選択時）

第22章　LIN/UART インタフェース（RLIN3）

本章では、LIN/UART インタフェース（RLIN3）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1KH, RH850/F1KM に固有の特長について説明します。それ以降の節では、RLIN3 の機能、レジスタについて説明します。

22.1　RH850/F1KH, RH850/F1KM RLIN3 の特長

22.1.1　ユニット数とチャネル数

本製品は、以下に示すユニット数の RLIN3 を搭載しています。

RLIN3 1 ユニット当たり 1 チャネルのインタフェースを持っています。

表 22.1　ユニット数 (RH850/F1KH-D8)

製品名	RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 324 Pin
ユニット数	8	8	8
名称	RLIN3n (n＝0～7)	RLIN3n (n＝0～7)	RLIN3n (n＝0～7)

表 22.2　ユニット数 (RH850/F1KM-S4)

製品名	RH850/F1KM-S4 100 Pin	RH850/F1KM-S4 144 Pin	RH850/F1KM-S4 176 Pin	RH850/F1KM-S4 233 Pin	RH850/F1KM-S4 272 Pin
ユニット数	3	6	8	8	8
名称	RLIN3n (n＝0～2)	RLIN3n (n＝0～5)	RLIN3n (n＝0～7)	RLIN3n (n＝0～7)	RLIN3n (n＝0～7)

表 22.3　ユニット数 (RH850/F1KM-S2)

製品名	RH850/F1KM-S2 100 Pin	RH850/F1KM-S2 144 Pin	RH850/F1KM-S2 176 Pin
ユニット数	3	6	8
名称	RLIN3n (n＝0～2)	RLIN3n (n＝0～5)	RLIN3n (n＝0～7)

表 22.4　ユニット数 (RH850/F1KM-S1)

製品名	RH850/F1KM-S1 48 Pin	RH850/F1KM-S1 64 Pin	RH850/F1KM-S1 80 Pin	RH850/F1KM-S1 100 Pin
ユニット数	1	2	3	4
名称	RLIN3n (n＝0)	RLIN3n (n＝0, 1)	RLIN3n (n＝0～2)	RLIN3n (n＝0～3)

表 22.5　ユニット構成とチャネルの対応 (RH850/F1KH-D8)

ユニット名 （チャネル名） RLIN3n	ユニット チャネル数	RH850/F1KH-D8 176 Pin (8 ch)	RH850/F1KH-D8 233 Pin (8 ch)	RH850/F1KH-D8 324 Pin (8 ch)
RLIN30	1	○	○	○
RLIN31	1	○	○	○
RLIN32	1	○	○	○
RLIN33	1	○	○	○
RLIN34	1	○	○	○
RLIN35	1	○	○	○
RLIN36	1	○	○	○
RLIN37	1	○	○	○

表 22.6　ユニット構成とチャネルの対応 (RH850/F1KM-S4)

ユニット名 （チャネル名） RLIN3n	ユニット チャネル数	RH850/F1KM-S4 100 Pin (3 ch)	RH850/F1KM-S4 144 Pin (6 ch)	RH850/F1KM-S4 176 Pin (8 ch)	RH850/F1KM-S4 233 Pin (8 ch)	RH850/F1KM-S4 272 Pin (8 ch)
RLIN30	1	○	○	○	○	○
RLIN31	1	○	○	○	○	○
RLIN32	1	○	○	○	○	○
RLIN33	1	—	○	○	○	○
RLIN34	1	—	○	○	○	○
RLIN35	1	—	○	○	○	○
RLIN36	1	—	—	○	○	○
RLIN37	1	—	—	○	○	○

表 22.7　ユニット構成とチャネルの対応 (RH850/F1KM-S2)

ユニット名 （チャネル名） RLIN3n	ユニット チャネル数	RH850/F1KM-S2 100 Pin (3 ch)	RH850/F1KM-S2 144 Pin (6 ch)	RH850/F1KM-S2 176 Pin (8 ch)
RLIN30	1	○	○	○
RLIN31	1	○	○	○
RLIN32	1	○	○	○
RLIN33	1	—	○	○
RLIN34	1	—	○	○
RLIN35	1	—	○	○
RLIN36	1	—	—	○
RLIN37	1	—	—	○

表 22.8　ユニット構成とチャネルの対応 (RH850/F1KM-S1)

ユニット名 （チャネル名） RLIN3n	ユニット チャネル数	RH850/F1KM-S1 48 Pin (1 ch)	RH850/F1KM-S1 64 Pin (2 ch)	RH850/F1KM-S1 80 Pin (3 ch)	RH850/F1KM-S1 100 Pin (4 ch)
RLIN30	1	○	○	○	○
RLIN31	1	—	○	○	○
RLIN32	1	—	—	○	○
RLIN33	1	—	—	—	○

備考　チャネル名はユニット名と同じです。

表 22.9　添字 (RH850/F1KH-D8)

添字	説明
n	本章では、RLIN3 の各ユニットを「n」で識別します。たとえば、LIN 制御レジスタは RLN3nLCUC（n＝0〜7）と記述します。
b	RLIN3n の送信／受信用の各データバッファを「b」で識別します。たとえば、データバッファレジスタは RLN3nLDBRb（b＝1〜8）と記述します。

表 22.10　添字 (RH850/F1KM-S4, RH850/F1KM-S2)

添字	説明
n	本章では、RLIN3 の各ユニットを「n」で識別します。たとえば、LIN 制御レジスタは RLN3nLCUC（n＝0〜7）と記述します。
b	RLIN3n の送信／受信用の各データバッファを「b」で識別します。たとえば、データバッファレジスタは RLN3nLDBRb（b＝1〜8）と記述します。

表 22.11　添字 (RH850/F1KM-S1)

添字	説明
n	本章では、RLIN3 の各ユニットを「n」で識別します。たとえば、LIN 制御レジスタは RLN3nLCUC（n＝0〜3）と記述します。
b	RLIN3n の送信／受信用の各データバッファを「b」で識別します。たとえば、データバッファレジスタは RLN3nLDBRb（b＝1〜8）と記述します。

各製品の添字が示す値を以下に示します。

表 22.12　各製品の添字対応 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

各製品の添字対応
全製品
b＝1〜8

22.1.2　レジスタベースアドレス

RLIN3 のベースアドレスを以下の表に示します。

RLIN3 のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 22.13　レジスタベースアドレス (RH850/F1KH-D8)

ベースアドレス名	ベースアドレス
<RLIN30_base>	FFCE 2000$_{H}$
<RLIN31_base>	FFCE 2040$_{H}$
<RLIN32_base>	FFCE 2080$_{H}$
<RLIN33_base>	FFCE 20C0$_{H}$
<RLIN34_base>	FFCE 2100$_{H}$
<RLIN35_base>	FFCE 2140$_{H}$
<RLIN36_base>	FFCE 2180$_{H}$
<RLIN37_base>	FFCE 21C0$_{H}$

表 22.14　レジスタベースアドレス (RH850/F1KM-S4, RH850/F1KM-S2)

ベースアドレス名	ベースアドレス
<RLIN30_base>	FFCE 2000$_{H}$
<RLIN31_base>	FFCE 2040$_{H}$
<RLIN32_base>	FFCE 2080$_{H}$
<RLIN33_base>	FFCE 20C0$_{H}$
<RLIN34_base>	FFCE 2100$_{H}$
<RLIN35_base>	FFCE 2140$_{H}$
<RLIN36_base>	FFCE 2180$_{H}$
<RLIN37_base>	FFCE 21C0$_{H}$

表 22.15　レジスタベースアドレス (RH850/F1KM-S1)

ベースアドレス名	ベースアドレス
<RLIN30_base>	FFCE 2000$_{H}$
<RLIN31_base>	FFCE 2040$_{H}$
<RLIN32_base>	FFCE 2080$_{H}$
<RLIN33_base>	FFCE 20C0$_{H}$

22.1.3　クロック供給

RLIN3 のクロック供給を以下の表に示します。

表 22.16　クロック供給 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	ユニットクロック名	供給クロック名	説明
RLIN3n	LIN 通信クロック源	CKSCLK_ILIN [注1、注2]	通信クロック
	レジスタアクセスクロック	CPUCLK_L, CKSCLK_ILIN	バスクロック

注1.　RLIN30 のみ CKSCLK_ILIN の分周クロック供給が可能です。

注2.　LIN 通信クロック源は、4MHz～40MHz に設定してください。

22.1.4 割り込み要求

RLIN3 の割り込み要求を以下の表に示します。

表 22.17 割り込み要求 (RH850/F1KH-D8)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
RLIN30			
INTRLIN3n (n＝0)	RLIN30 割り込み	33	—
INTRLIN3nUR0 (n＝0)	RLIN30 送信割り込み	34	10
INTRLIN3nUR1 (n＝0)	RLIN30 受信完了割り込み	35	11
INTRLIN3nUR2 (n＝0)	RLIN30 ステータス割り込み	36	—
RLIN31			
INTRLIN3n (n＝1)	RLIN31 割り込み	120	—
INTRLIN3nUR0 (n＝1)	RLIN31 送信割り込み	121	86
INTRLIN3nUR1 (n＝1)	RLIN31 受信完了割り込み	122	87
INTRLIN3nUR2 (n＝1)	RLIN31 ステータス割り込み	123	—
RLIN32			
INTRLIN3n (n＝2)	RLIN32 割り込み	164	—
INTRLIN3nUR0 (n＝2)	RLIN32 送信割り込み	165	44
INTRLIN3nUR1 (n＝2)	RLIN32 受信完了割り込み	166	45
INTRLIN3nUR2 (n＝2)	RLIN32 ステータス割り込み	167	—
RLIN33			
INTRLIN3n (n＝3)	RLIN33 割り込み	228	—
INTRLIN3nUR0 (n＝3)	RLIN33 送信割り込み	229	111
INTRLIN3nUR1 (n＝3)	RLIN33 受信完了割り込み	230	112
INTRLIN3nUR2 (n＝3)	RLIN33 ステータス割り込み	231	—
RLIN34			
INTRLIN3n (n＝4)	RLIN34 割り込み	232	—
INTRLIN3nUR0 (n＝4)	RLIN34 送信割り込み	233	50
INTRLIN3nUR1 (n＝4)	RLIN34 受信完了割り込み	234	51
INTRLIN3nUR2 (n＝4)	RLIN34 ステータス割り込み	235	—
RLIN35			
INTRLIN3n (n＝5)	RLIN35 割り込み	236	—
INTRLIN3nUR0 (n＝5)	RLIN35 送信割り込み	237	121
INTRLIN3nUR1 (n＝5)	RLIN35 受信完了割り込み	238	122
INTRLIN3nUR2 (n＝5)	RLIN35 ステータス割り込み	239	—
RLIN36			
INTRLIN3n (n＝6)	RLIN36 割り込み	360	—
INTRLIN3nUR0 (n＝6)	RLIN36 送信割り込み	361	119
INTRLIN3nUR1 (n＝6)	RLIN36 受信完了割り込み	362	120
INTRLIN3nUR2 (n＝6)	RLIN36 ステータス割り込み	363	—
RLIN37			
INTRLIN3n (n＝7)	RLIN37 割り込み	364	—
INTRLIN3nUR0 (n＝7)	RLIN37 送信割り込み	365	16
INTRLIN3nUR1 (n＝7)	RLIN37 受信完了割り込み	366	77
INTRLIN3nUR2 (n＝7)	RLIN37 ステータス割り込み	367	—

表 22.18　割り込み要求 (RH850/F1KM-S4, RH850/F1KM-S2)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
RLIN30			
INTRLIN3n (n＝0)	RLIN30 割り込み	33	—
INTRLIN3nUR0 (n＝0)	RLIN30 送信割り込み	34	10
INTRLIN3nUR1 (n＝0)	RLIN30 受信完了割り込み	35	11
INTRLIN3nUR2 (n＝0)	RLIN30 ステータス割り込み	36	—
RLIN31			
INTRLIN3n (n＝1)	RLIN31 割り込み	120	—
INTRLIN3nUR0 (n＝1)	RLIN31 送信割り込み	121	86
INTRLIN3nUR1 (n＝1)	RLIN31 受信完了割り込み	122	87
INTRLIN3nUR2 (n＝1)	RLIN31 ステータス割り込み	123	—
RLIN32			
INTRLIN3n (n＝2)	RLIN32 割り込み	164	—
INTRLIN3nUR0 (n＝2)	RLIN32 送信割り込み	165	44
INTRLIN3nUR1 (n＝2)	RLIN32 受信完了割り込み	166	45
INTRLIN3nUR2 (n＝2)	RLIN32 ステータス割り込み	167	—
RLIN33			
INTRLIN3n (n＝3)	RLIN33 割り込み	228	—
INTRLIN3nUR0 (n＝3)	RLIN33 送信割り込み	229	111
INTRLIN3nUR1 (n＝3)	RLIN33 受信完了割り込み	230	112
INTRLIN3nUR2 (n＝3)	RLIN33 ステータス割り込み	231	—
RLIN34			
INTRLIN3n (n＝4)	RLIN34 割り込み	232	—
INTRLIN3nUR0 (n＝4)	RLIN34 送信割り込み	233	50
INTRLIN3nUR1 (n＝4)	RLIN34 受信完了割り込み	234	51
INTRLIN3nUR2 (n＝4)	RLIN34 ステータス割り込み	235	—
RLIN35			
INTRLIN3n (n＝5)	RLIN35 割り込み	236	—
INTRLIN3nUR0 (n＝5)	RLIN35 送信割り込み	237	121
INTRLIN3nUR1 (n＝5)	RLIN35 受信完了割り込み	238	122
INTRLIN3nUR2 (n＝5)	RLIN35 ステータス割り込み	239	—
RLIN36			
INTRLIN3n (n＝6)	RLIN36 割り込み	360	—
INTRLIN3nUR0 (n＝6)	RLIN36 送信割り込み	361	119
INTRLIN3nUR1 (n＝6)	RLIN36 受信完了割り込み	362	120
INTRLIN3nUR2 (n＝6)	RLIN36 ステータス割り込み	363	—
RLIN37			
INTRLIN3n (n＝7)	RLIN37 割り込み	364	—
INTRLIN3nUR0 (n＝7)	RLIN37 送信割り込み	365	16
INTRLIN3nUR1 (n＝7)	RLIN37 受信完了割り込み	366	77
INTRLIN3nUR2 (n＝7)	RLIN37 ステータス割り込み	367	—

表 22.19 割り込み要求 (RH850/F1KM-S1)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
RLIN30			
INTRLIN3n (n＝0)	RLIN30 割り込み	33	—
INTRLIN3nUR0 (n＝0)	RLIN30 送信割り込み	34	10
INTRLIN3nUR1 (n＝0)	RLIN30 受信完了割り込み	35	11
INTRLIN3nUR2 (n＝0)	RLIN30 ステータス割り込み	36	—
RLIN31			
INTRLIN3n (n＝1)	RLIN31 割り込み	120	—
INTRLIN3nUR0 (n＝1)	RLIN31 送信割り込み	121	86
INTRLIN3nUR1 (n＝1)	RLIN31 受信完了割り込み	122	87
INTRLIN3nUR2 (n＝1)	RLIN31 ステータス割り込み	123	—
RLIN32			
INTRLIN3n (n＝2)	RLIN32 割り込み	164	—
INTRLIN3nUR0 (n＝2)	RLIN32 送信割り込み	165	44
INTRLIN3nUR1 (n＝2)	RLIN32 受信完了割り込み	166	45
INTRLIN3nUR2 (n＝2)	RLIN32 ステータス割り込み	167	—
RLIN33			
INTRLIN3n (n＝3)	RLIN33 割り込み	228	—
INTRLIN3nUR0 (n＝3)	RLIN33 送信割り込み	229	111
INTRLIN3nUR1 (n＝3)	RLIN33 受信完了割り込み	230	112
INTRLIN3nUR2 (n＝3)	RLIN33 ステータス割り込み	231	—

22.1.5 リセット要因

RLIN3 のリセット要因を以下に示します。RLIN3 は以下のリセット要因で初期化されます。

表 22.20 リセット要因 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	リセット要因
RLIN3n	すべてのリセット要因（ISORES）

22.1.6　外部入出力信号

RLIN3 の外部入出力信号を以下の表に示します。

表 22.21　外部入出力信号 (RH850/F1KH-D8)

ユニット信号名	説明	ポート端子兼用信号名
RLIN30		
RLIN3nRX (n＝0)	RLIN30 受信データ入力	RLIN30RX
RLIN3nTX (n＝0)	RLIN30 送信データ出力	RLIN30TX
RLIN31		
RLIN3nRX (n＝1)	RLIN31 受信データ入力	RLIN31RX
RLIN3nTX (n＝1)	RLIN31 送信データ出力	RLIN31TX
RLIN32		
RLIN3nRX (n＝2)	RLIN32 受信データ入力	RLIN32RX
RLIN3nTX (n＝2)	RLIN32 送信データ出力	RLIN32TX
RLIN33		
RLIN3nRX (n＝3)	RLIN33 受信データ入力	RLIN33RX
RLIN3nTX (n＝3)	RLIN33 送信データ出力	RLIN33TX
RLIN34		
RLIN3nRX (n＝4)	RLIN34 受信データ入力	RLIN34RX
RLIN3nTX (n＝4)	RLIN34 送信データ出力	RLIN34TX
RLIN35		
RLIN3nRX (n＝5)	RLIN35 受信データ入力	RLIN35RX
RLIN3nTX (n＝5)	RLIN35 送信データ出力	RLIN35TX
RLIN36		
RLIN3nRX (n＝6)	RLIN36 受信データ入力	RLIN36RX
RLIN3nTX (n＝6)	RLIN36 送信データ出力	RLIN36TX
RLIN37		
RLIN3nRX (n＝7)	RLIN37 受信データ入力	RLIN37RX
RLIN3nTX (n＝7)	RLIN37 送信データ出力	RLIN37TX

表 22.22　外部入出力信号（RH850/F1KM-S4, RH850/F1KM-S2）

ユニット信号名	説明	ポート端子兼用信号名
RLIN30		
RLIN3nRX (n＝0)	RLIN30 受信データ入力	RLIN30RX
RLIN3nTX (n＝0)	RLIN30 送信データ出力	RLIN30TX
RLIN31		
RLIN3nRX (n＝1)	RLIN31 受信データ入力	RLIN31RX
RLIN3nTX (n＝1)	RLIN31 送信データ出力	RLIN31TX
RLIN32		
RLIN3nRX (n＝2)	RLIN32 受信データ入力	RLIN32RX
RLIN3nTX (n＝2)	RLIN32 送信データ出力	RLIN32TX
RLIN33		
RLIN3nRX (n＝3)	RLIN33 受信データ入力	RLIN33RX
RLIN3nTX (n＝3)	RLIN33 送信データ出力	RLIN33TX
RLIN34		
RLIN3nRX (n＝4)	RLIN34 受信データ入力	RLIN34RX
RLIN3nTX (n＝4)	RLIN34 送信データ出力	RLIN34TX
RLIN35		
RLIN3nRX (n＝5)	RLIN35 受信データ入力	RLIN35RX
RLIN3nTX (n＝5)	RLIN35 送信データ出力	RLIN35TX
RLIN36		
RLIN3nRX (n＝6)	RLIN36 受信データ入力	RLIN36RX
RLIN3nTX (n＝6)	RLIN36 送信データ出力	RLIN36TX
RLIN37		
RLIN3nRX (n＝7)	RLIN37 受信データ入力	RLIN37RX
RLIN3nTX (n＝7)	RLIN37 送信データ出力	RLIN37TX

表 22.23　外部入出力信号（RH850/F1KM-S1）

ユニット信号名	説明	ポート端子兼用信号名
RLIN30		
RLIN3nRX (n＝0)	RLIN30 受信データ入力	RLIN30RX
RLIN3nTX (n＝0)	RLIN30 送信データ出力	RLIN30TX
RLIN31		
RLIN3nRX (n＝1)	RLIN31 受信データ入力	RLIN31RX
RLIN3nTX (n＝1)	RLIN31 送信データ出力	RLIN31TX
RLIN32		
RLIN3nRX (n＝2)	RLIN32 受信データ入力	RLIN32RX
RLIN3nTX (n＝2)	RLIN32 送信データ出力	RLIN32TX
RLIN33		
RLIN3nRX (n＝3)	RLIN33 受信データ入力	RLIN33RX
RLIN3nTX (n＝3)	RLIN33 送信データ出力	RLIN33TX

22.2　概要

22.2.1　機能概要

LIN/UART インタフェースは LIN Specification Package Revision 1.3、2.0、2.1、2.2、SAEJ2602 に対応したハードウェア LIN 通信コントローラで、フレーム通信とエラー判定を自動で行います。

また、UART モードを持っており、UART として使用することもできます。

LIN マスタ、LIN スレーブ、UART の用途に応じて、以下のモードを使用します。

LIN マスタ

- LIN リセットモード
- LIN モード（LIN マスタモード）
  - LIN ウェイクアップモード
  - LIN 動作モード
- LIN セルフテストモード

LIN スレーブ

- LIN リセットモード
- LIN モード（LIN スレーブモード〔オートボーレート〕または LIN スレーブモード〔固定ボーレート〕）
  - LIN ウェイクアップモード
  - LIN 動作モード
- LIN セルフテストモード

UART

- LIN リセットモード
- UART モード

「**表 22.24 LIN/UART インタフェースの仕様**」に LIN/UART インタフェースの仕様を示します。

表 22.24　LIN/UART インタフェースの仕様

<table>
<tr><th colspan="2">項目</th><th colspan="2">仕様</th></tr>
<tr><td></td><td>チャネル数</td><td colspan="2">最大 8 チャネル</td></tr>
<tr><td rowspan="10">LIN 通信機能</td><td>プロトコル</td><td colspan="2">LIN Specification Package Revision 1.3, 2.0, 2.1, 2.2, SAE J2602</td></tr>
<tr><td rowspan="2">フレーム
構成可変</td><td>マスタ</td><td>● 送信ブレーク幅：13～28Tbit
● 送信ブレークデリミタ幅：1～4Tbit
● 送信インタバイトスペース幅（ヘッダ）：0～7Tbit（Sync フィールドと ID フィールド間のスペース）[注1]
● 送信レスポンススペース幅：0～7Tbit [注1]
● 送信インタバイトスペース幅：0～3Tbit（レスポンス領域内のデータバイト間のスペース）
● 送信ウェイクアップ幅：1～16Tbit</td></tr>
<tr><td>スレーブ</td><td>● 受信ブレーク幅：9.5 または 10.5Tbit［固定ボーレートの場合］
：10 または 11Tbit［オートボーレートの場合］
● 送信レスポンススペース幅：0～7Tbit
● 送信インタバイトスペース幅：0～3Tbit（レスポンス領域内のデータバイト間のスペース）
● 送信ウェイクアップ幅：1～16Tbit</td></tr>
<tr><td>チェックサム</td><td colspan="2">● 送受信ともに自動演算
● クラシックまたはエンハンス選択可能（フレームごとに変更可能）</td></tr>
<tr><td>レスポンス
フィールド
データバイト数</td><td colspan="2">0～8 バイト可変
9 バイト以上の多バイト・レスポンス送受信にも対応</td></tr>
<tr><td rowspan="2">フレーム
通信方法</td><td>マスタ</td><td>● ヘッダ送信とレスポンス送信／受信を 1 つの送信開始要求により通信するモード
● ヘッダとレスポンスを別々の送信開始要求により送信するモード（フレームセパレートモード）</td></tr>
<tr><td>スレーブ</td><td>● 固定ボーレートで自動的にヘッダを受信するモード
● ブレークフィールドとシンクフィールドを検出し、そのシンクフィールドの計測結果からボーレートの設定を行い、自動でヘッダを受信するモード</td></tr>
<tr><td>ウェイクアップ
送受信</td><td colspan="2">LIN ウェイクアップモードで使用可能
● ウェイクアップ送信機能（1～16Tbit）
● ウェイクアップ受信
入力信号ロウレベル幅カウント機能</td></tr>
<tr><td rowspan="2">ステータス</td><td>マスタ</td><td>● フレーム／ウェイクアップ送信完了
● ヘッダ送信完了
● フレーム／ウェイクアップ受信完了[注2]
● データ 1 受信完了
● エラー検出
● 動作モード
（LIN リセットモード、LIN ウェイクアップモード、LIN 動作モード、LIN セルフテストモード）</td></tr>
<tr><td>スレーブ</td><td>● レスポンス／ウェイクアップ送信完了
● レスポンス／ウェイクアップ受信完了[注2]
● ヘッダ受信完了
● データ 1 受信完了
● エラー検出
● 動作モード
（LIN リセットモード、LIN ウェイクアップモード、LIN 動作モード、LIN セルフテストモード）</td></tr>
</table>

表 22.24　LIN/UART インタフェースの仕様

項目		仕様	
LIN 通信機能	エラーステータス	マスタ	● ビットエラー ● チェックサムエラー ● フレームタイムアウトエラー／レスポンスタイムアウトエラー ● フィジカルバスエラー ● フレーミングエラー ● レスポンス準備エラー
		スレーブ	● ビットエラー ● チェックサムエラー ● フレームタイムアウトエラー／レスポンスタイムアウトエラー ● シンクフィールドエラー ● ID パリティエラー ● フレーミングエラー ● レスポンス準備エラー
	ボーレート選択	ボーレートジェネレータで LIN 仕様のボーレートを生成可能	
	テストモード	ユーザ評価用セルフテストモード	
	割り込み機能	マスタ	● ヘッダ／フレーム／ウェイクアップ送信完了 ● フレーム／ウェイクアップ受信完了注 2 ● エラー検出
		スレーブ	● レスポンス／ウェイクアップ送信完了 ● ヘッダ／レスポンス／ウェイクアップ受信完了注 2 ● エラー検出
UART 通信機能	データバッファ	● 送信データバッファ／ウェイト用送信データバッファ（送信専用。データ長 1。キャラクタ長 7、8、9 ビットに対応） ● UART バッファ（送信専用。データ長 1~9 で可変。キャラクタ長 7、8 ビットに対応） ● 受信データバッファ（受信専用。データ長 1。キャラクタ長 7、8、9 ビットに対応）	
	データ フォーマット	キャラクタ長：7、8 ビット 拡張ビットにより、9 ビット対応可能	
		送信ストップビット：1、2 ビット	
		パリティ機能：奇数、偶数、0、なし	
		LSB/MSB ファースト転送選択可能	
		送受信データの反転入出力が可能	
	ステータス	● 送信ステータス ● 受信ステータス ● UART バッファ送信完了 ● エラー検出 ● 拡張ビット検出 ● ID 一致 ● リセットモードステータス	
	エラーステータス	● ビットエラー ● フレーミングエラー ● パリティエラー ● オーバランエラー	
	ボーレート選択	ボーレートジェネレータ内蔵により任意のボーレートを設定可能	
	任意の拡張ビットが期待するレベルであった場合、受信データをあらかじめ設定したレジスタ内のデータと 8 ビット比較が可能		

表 22.24　LIN/UART インタフェースの仕様

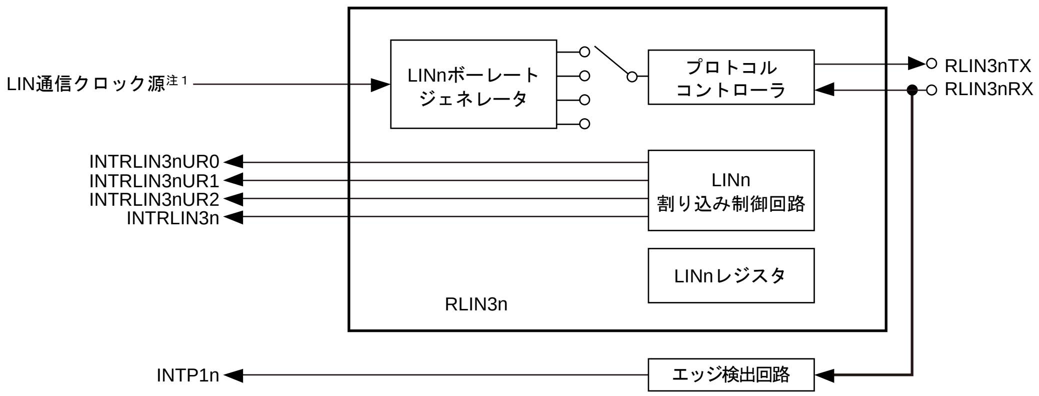
項目		仕様
UART 通信機能	受信のストップビットを保証（送信開始時に受信のストップビット中の場合、送信開始をウェイト可能）	
	割り込み機能	● 送信開始／完了 ● 受信完了 ● ステータス／エラー検出

注1.　同一レジスタで設定するため、インタバイトスペース（ヘッダ）＝レスポンススペースとなります。

注2.　ウェイクアップ受信は、入力信号ロウレベル幅カウントを示します。

22.2.2　　ブロック図

「**図 22.1 LIN/UART インタフェースブロック図**」に LIN/UART インタフェースのブロック図を示します。



注1.　LIN 通信クロック源は、「**12AB.5.3 クロックドメイン設定**」、「**12C.5.3 クロックドメイン設定**」を参照してください。

図 22.1　　LIN/UART インタフェースブロック図

22.2.3　　ブロック図の説明

- RLIN3nTX, RLIN3nRX　：LIN/UART インタフェースの入出力端子です。
- LINn ボーレートジェネレータ　：LIN/UART インタフェースの通信クロックを生成します。
- LINn レジスタ　：LIN/UART インタフェースのレジスタです。
- LINn 割り込み制御回路　：LIN/UART インタフェースによって生成される割り込み要求を制御します。

22.3　レジスタ

22.3.1　レジスター覧

RLIN3 のレジスター覧を以下の表に示します。

<RLIN3n_base>は「**22.1.2 レジスタベースアドレス**」を参照してください。

表 22.25　レジスター覧

モジュール名	レジスタ名	略号	アドレス	LIN マスタ	LIN スレーブ	UART
RLN3n	LIN ウェイクアップボーレート選択レジスタ	RLN3nLWBR	<RLIN3n_base> + 01_H	○	○	○
	LIN/UART ボーレートプリスケーラ 01 レジスタ	RLN3nLBRP01	<RLIN3n_base> + 02_H	—	○	○
	LIN/UART ボーレートプリスケーラ 0 レジスタ	RLN3nLBRP0	<RLIN3n_base> + 02_H	○	○	○
	LIN/UART ボーレートプリスケーラ 1 レジスタ	RLN3nLBRP1	<RLIN3n_base> + 03_H	○	○	○
	LIN セルフテスト制御レジスタ	RLN3nLSTC	<RLIN3n_base> + 04_H	○	○	—
	LIN/UART モードレジスタ	RLN3nLMD	<RLIN3n_base> + 08_H	○	○	○
	LIN ブレークフィールド設定レジスタ／UART 設定レジスタ	RLN3nLBFC	<RLIN3n_base> + 09_H	○	○	○
	LIN/UART スペース設定レジスタ	RLN3nLSC	<RLIN3n_base> + $0A_H$	○	○	○
	LIN ウェイクアップ設定レジスタ	RLN3nLWUP	<RLIN3n_base> + $0B_H$	○	○	—
	LIN 割り込み許可レジスタ	RLN3nLIE	<RLIN3n_base> + $0C_H$	○	○	—
	LIN/UART エラー検出許可レジスタ	RLN3nLEDE	<RLIN3n_base> + $0D_H$	○	○	○
	LIN/UART 制御レジスタ	RLN3nLCUC	<RLIN3n_base> + $0E_H$	○	○	○
	LIN/UART 送信制御レジスタ	RLN3nLTRC	<RLIN3n_base> + 10_H	○	○	○
	LIN/UART モードステータスレジスタ	RLN3nLMST	<RLIN3n_base> + 11_H	○	○	○
	LIN/UART ステータスレジスタ	RLN3nLST	<RLIN3n_base> + 12_H	○	○	○
	LIN/UART エラーステータスレジスタ	RLN3nLEST	<RLIN3n_base> + 13_H	○	○	○
	LIN/UART データフィールド設定レジスタ	RLN3nLDFC	<RLIN3n_base> + 14_H	○	○	○
	LIN/UART ID バッファレジスタ	RLN3nLIDB	<RLIN3n_base> + 15_H	○	○	○
	LIN チェックサムバッファレジスタ	RLN3nLCBR	<RLIN3n_base> + 16_H	○	○	—
	UART データバッファ 0 レジスタ	RLN3nLUDB0	<RLIN3n_base> + 17_H	—	—	○
	LIN/UART データバッファ 1 レジスタ	RLN3nLDBR1	<RLIN3n_base> + 18_H	○	○	○
	LIN/UART データバッファ 2 レジスタ	RLN3nLDBR2	<RLIN3n_base> + 19_H	○	○	○
	LIN/UART データバッファ 3 レジスタ	RLN3nLDBR3	<RLIN3n_base> + $1A_H$	○	○	○
	LIN/UART データバッファ 4 レジスタ	RLN3nLDBR4	<RLIN3n_base> + $1B_H$	○	○	○
	LIN/UART データバッファ 5 レジスタ	RLN3nLDBR5	<RLIN3n_base> + $1C_H$	○	○	○
	LIN/UART データバッファ 6 レジスタ	RLN3nLDBR6	<RLIN3n_base> + $1D_H$	○	○	○
	LIN/UART データバッファ 7 レジスタ	RLN3nLDBR7	<RLIN3n_base> + $1E_H$	○	○	○
	LIN/UART データバッファ 8 レジスタ	RLN3nLDBR8	<RLIN3n_base> + $1F_H$	○	○	○
	UART オペレーション許可レジスタ	RLN3nLUOER	<RLIN3n_base> + 20_H	—	—	○
	UART オプションレジスタ 1	RLN3nLUOR1	<RLIN3n_base> + 21_H	—	—	○
	UART 送信データレジスタ	RLN3nLUTDR	<RLIN3n_base> + 24_H	—	—	○
	UART 送信データレジスタ L	RLN3nLUTDRL	<RLIN3n_base> + 24_H	—	—	○
	UART 送信データレジスタ H	RLN3nLUTDRH	<RLIN3n_base> + 25_H	—	—	○

表 22.25　レジスター覧

モジュール名	レジスタ名	略号	アドレス	LIN マスタ	LIN スレーブ	UART
RLN3n	UART 受信データレジスタ	RLN3nLURDR	<RLIN3n_base> + 26_H	—	—	○
	UART 受信データレジスタ L	RLN3nLURDRL	<RLIN3n_base> + 26_H	—	—	○
	UART 受信データレジスタ H	RLN3nLURDRH	<RLIN3n_base> + 27_H	—	—	○
	UART ウェイト用送信データレジスタ	RLN3nLUWTDR	<RLIN3n_base> + 28_H	—	—	○
	UART ウェイト用送信データレジスタ L	RLN3nLUWTDRL	<RLIN3n_base> + 28_H	—	—	○
	UART ウェイト用送信データレジスタ H	RLN3nLUWTDRH	<RLIN3n_base> + 29_H	—	—	○

備考　○：使用、—：未使用
未使用のレジスタに書き込みを行う場合は、リセット後の値を書いてください。

22.3.2　LIN マスタ関連レジスタ

22.3.2.1　RLN3nLWBR — LIN ウェイクアップボーレート選択レジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base> + 01_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	NSPB[3:0]				LPRS[2:0]			LWBR0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.26　RLN3nLWBR レジスタの内容

ビット位置	ビット名	機能
7～4	NSPB[3:0]	ビットサンプリング数選択ビット b7　b4 0 0 0 0 : 16 サンプリング 1 1 1 1 : 16 サンプリング 上記以外は設定しないでください。
3～1	LPRS[2:0]	プリスケーラクロック選択ビット b3　b1 0 0 0 : 1/1 0 0 1 : 1/2 0 1 0 : 1/4 0 1 1 : 1/8 1 0 0 : 1/16 1 0 1 : 1/32 1 1 0 : 1/64 1 1 1 : 1/128
0	LWBR0	ウェイクアップボーレート選択ビット 0 : LIN ウェイクアップモードにおいて、RLN3nLMD レジスタの LCKS ビットの設定どおりのクロックが使用される（LIN1.3 使用時） 1 : LIN ウェイクアップモードにおいて、RLN3nLMD レジスタの LCKS ビットの設定によらずクロック fa が使用される（LIN2.x 使用時）

RLN3nLWBR レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときに設定してください。

NSPB[3:0]ビット（ビットサンプリング数選択ビット）

LIN マスタモード（LIN モードレジスタの LIN/UART モード選択ビットが 00_B）で使用するときは、これらのビットを“0000_B”または“1111_B”（16 サンプリング）に設定してください。

LPRS[2:0]ビット（プリスケーラクロック選択ビット）

プリスケーラの分周比を選択するビットです。
このプリスケーラにより LIN 通信クロック源を分周します。

LWBR0 ビット（ウェイクアップボーレート選択ビット）

LIN Specification Package Revision 1.3 使用時は、RLN3nLWBR レジスタの LWBR0 ビットを“0”にしてください。これにより入力信号ロウレベル幅をビットタイムで 2.5Tbit 以上で計測することができます。
LIN Specification Package Revision 2.x 使用時は“1”にしてください。“1”にすることで LIN ウェイクアップモード中は RLN3nLMD レジスタの LCKS ビットの設定にかかわらず LIN システムクロック（f_{LIN}）は fa が選択されます（LCKS ビットは変化しません）。入力信号ロウレベル幅を 2.5Tbit 以上で計測することができます。
fa 選択時のボーレートを 19200bps に設定することにより、RLN3nLMD レジスタの LCKS ビットの設定に関わらず、LIN ウェイクアップモード時に 130μs 以上の入力信号ロウレベル幅を検出することができます。

22.3.2.2　RLN3nLBRP0 — LIN ボーレートプリスケーラ 0 レジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base> + 02_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	LBRP0[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.27　RLN3nLBRP0 レジスタの内容

ビット位置	ビット名	機能
7〜0	LBRP0[7:0]	設定値を N（0〜255）とすると、ボーレートプリスケーラはプリスケーラクロックのクロックを N＋1 分周する 設定範囲：00_H〜FF_H

RLN3nLBRP0 レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときに設定してください。

このレジスタの設定値が、ボーレートクロックソース“fa”、“fb”、“fc”の周波数制御に使用されます。

このレジスタの設定値を N とすると、ボーレートプリスケーラ 0 は LPRS ビット（プリスケーラクロック選択ビット）で分周したクロックを N＋1 分周します。

22.3.2.3 RLN3nLBRP1 — LIN ボーレートプリスケーラ 1 レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + 03_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	LBRP1[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.28 RLN3nLBRP1 レジスタの内容

ビット位置	ビット名	機能
7～0	LBRP1[7:0]	設定値を M（0～255）とすると、ボーレートプリスケーラはプリスケーラクロックのクロックを M＋1 分周する 設定範囲：00_H～FF_H

RLN3nLBRP1 レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときに設定してください。

このレジスタの設定値が、ボーレートクロックソース“fd”の周波数制御に使用されます。

このレジスタの設定値を M とすると、ボーレートプリスケーラ 1 は LPRS ビット（プリスケーラクロック選択ビット）で分周したクロックを M＋1 分周します。

22.3.2.4　RLN3nLSTC — LIN セルフテスト制御レジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base> + 04_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	LSTM
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.29　RLN3nLSTC レジスタの内容

ビット位置	ビット名	機能
7～0	—	“$A7_H$” → “58_H” → “01_H” の連続書き込みにより、LIN セルフテストモードへエントリします。
0	LSTM	LIN セルフテストモードビット 0：LIN セルフテストモードではない 1：LIN セルフテストモード

RLN3nLSTC レジスタは LIN セルフテストモードのプロテクトを解除するために使用するレジスタです。

RLN3nLSTC レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。

“$A7_H$” → “58_H” → “01_H” の連続書き込みにより、LIN セルフテストモードへエントリします。

連続書き込みが成功し、LIN セルフテストモードにした場合は、LSTM ビットが “1” になります。

連続書き込みの間に別の書き込みを行わないでください。

LIN セルフテストモードへの移行方法は、「**22.9 LIN セルフテストモード**」を参照してください。

ビット 6～1 を読み出すと “000000_B” が、ビット 7 を読み出すと不定値が読めます。

LSTM ビット（LIN セルフテストモードビット）

LIN セルフテストモードに移行したとき、このビットは “1” になります。
LIN セルフテストモードからの終了方法は、「**22.9 LIN セルフテストモード**」を参照してください。
RLN3nLSTC レジスタへの “$A7_H$” → “58_H” → “01_H” の連続書き込み以外で、このビットに “1” を書いても値は変化しません。

22.3.2.5　RLN3nLMD — LIN モードレジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base>+ 08_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	LRDNFS	LIOS	LCKS[1:0]		LMD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 22.30　RLN3nLMD レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	LRDNFS	LIN 受信データノイズフィルタ禁止ビット 0：ノイズフィルタを使用する 1：ノイズフィルタを使用しない
4	LIOS	LIN 割り込み出力選択ビット 0：RLIN3n 割り込みを使用 1：RLIN3n 送信割り込み、RLIN3n 受信完了割り込み、RLIN3n ステータス割り込みを使用
3、2	LCKS[1:0]	LIN システムクロック選択ビット b3　b2 0　0：fa（ボーレートプリスケーラ 0 生成クロック） 0　1：fb（ボーレートプリスケーラ 0 生成クロック／2） 1　0：fc（ボーレートプリスケーラ 0 生成クロック／8） 1　1：fd（ボーレートプリスケーラ 1 生成クロック／2）
1、0	LMD[1:0]	LIN/UART モード選択ビット b1　b0 0　0：LIN マスタモード

RLN3nLMD レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときに設定してください。

LRDNFS ビット（LIN 受信データノイズフィルタ禁止ビット）

データ受信時のノイズフィルタの有効／無効を選択するビットです。

“0”の場合、データ受信時のノイズフィルタは有効です。
“1”の場合、データ受信時のノイズフィルタは無効です。

LIOS ビット（LIN 割り込み出力選択ビット）

LIN/UART インタフェースからの割り込み出力本数を選択するビットです。

“0”の場合、LIN/UART インタフェースからの RLIN3n 割り込みが発生します。
“1”の場合、LIN/UART インタフェースから RLIN3n 送信割り込み、RLIN3n 受信完了割り込み

RLIN3n ステータス割り込みが発生します。
各割り込みの要因は、「**22.4　割り込み要因**」を参照してください。

LCKS[1:0]ビット（LIN システムクロック選択ビット）

プロトコルコントローラに入力するクロックを選択するビットです。

“00_B”の場合、プロトコルコントローラには fa（ボーレートプリスケーラ 0 生成クロック）が入力されます。
“01_B”の場合、プロトコルコントローラには fb（ボーレートプリスケーラ 0 生成クロック／2）が入力されます。
“10_B”の場合、プロトコルコントローラには fc（ボーレートプリスケーラ 0 生成クロック／8）が入力されます。
“11_B”の場合、プロトコルコントローラには fd（ボーレートプリスケーラ 1 生成クロック／2）が入力されます。

RLN3nLWBR レジスタの LWBR0 ビットが“1_B”（LIN 2.x）かつ RLN3nLMST レジスタが“01_H”（LIN ウェイクアップモード）の場合、このビットの設定にかかわらず、プロトコルコントローラには fa が入力されます（LCKS ビットは変化しません）。

LMD[1:0]ビット（LIN/UART モード選択ビット）

LIN/UART インタフェースのモードを選択するビットです。
LIN マスタとして使用する場合は、これらのビットを“00_B”に設定してください。

22.3.2.6 RLN3nLBFC — LIN ブレークフィールド設定レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + 09_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	BDT[1:0]		BLT[3:0]			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 22.31 RLN3nLBFC レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5、4	BDT[1:0]	送信ブレークデリミタ（ハイレベル）幅設定ビット b5 b4 0 0：1Tbit 0 1：2Tbits 1 0：3Tbits 1 1：4Tbits
3〜0	BLT[3:0]	送信ブレーク（ロウレベル）幅設定ビット b3 b0 0 0 0 0：13Tbits 0 0 0 1：14Tbits 0 0 1 0：15Tbits : 1 1 1 0：27Tbits 1 1 1 1：28Tbits

RLN3nLBFC レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときに設定してください。

設定値の組み合わせによっては、1 フレームの長さがフレームタイムアウト時間を超えてしまう場合があります。適切な値になるように設定をしてください。

BDT[1:0]ビット（送信ブレークデリミタ（ハイレベル）幅設定ビット）

送信フレームヘッダ部のブレークデリミタ（ハイレベル）幅の設定をします。
1Tbit〜4Tbits を設定できます。

BLT[3:0]ビット（送信ブレーク（ロウレベル）幅設定ビット）

送信フレームヘッダ部のブレーク（ロウレベル）幅の設定をします。
13Tbits〜28Tbits を設定できます。

22.3.2.7　RLN3nLSC — LIN スペース設定レジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base> + $0A_H$

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	IBS[1:0]		—	IBHS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R/W	R/W	R/W

表 22.32　RLN3nLSC レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5、4	IBS[1:0]	インタバイトスペース設定ビット b5　b4 0　0：0Tbit 0　1：1Tbit 1　0：2Tbits 1　1：3Tbits
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2～0	IBHS[2:0]	インタバイトスペース（ヘッダ）／レスポンススペース設定ビット b2　b0 0 0 0：0Tbit 0 0 1：1Tbit 0 1 0：2Tbits 0 1 1：3Tbits 1 0 0：4Tbits 1 0 1：5Tbits 1 1 0：6Tbits 1 1 1：7Tbits

RLN3nLSC レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときに設定してください。

設定値の組み合わせによっては、1 フレームまたはレスポンスの長さがタイムアウト時間を超えてしまう場合があります。適切な値になるように設定をしてください。

IBS[1:0]ビット（インタバイトスペース設定ビット）

送信フレームレスポンス部のインタバイトスペースの幅の設定をします。
0Tbit～3Tbits を設定できます。
レスポンス送信時のみ有効です。レスポンス受信時は、無効になります。

IBHS[2:0]ビット（インタバイトスペース（ヘッダ）／レスポンススペース設定ビット）

送信フレームヘッダ部のインタバイトスペース（ヘッダ）とレスポンススペースの幅の設定をします。
0Tbit～7Tbits を設定できます。
レスポンススペースの設定は、レスポンス送信時のみ有効です。レスポンス受信時は、無効になります。インタバイトスペース（ヘッダ）とレスポンススペースの値は、同じになります。

22.3.2.8　RLN3nLWUP — LIN ウェイクアップ設定レジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base> + $0B_H$

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	WUTL[3:0]				—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R

表 22.33　RLN3nLWUP レジスタの内容

ビット位置	ビット名	機能
7～4	WUTL[3:0]	ウェイクアップ送信 ロウレベル幅設定ビット b7 b4 0 0 0 0 : 1Tbit 0 0 0 1 : 2Tbits 0 0 1 0 : 3Tbits 0 0 1 1 : 4Tbits : 1 1 0 0 : 13Tbits 1 1 0 1 : 14Tbits 1 1 1 0 : 15Tbits 1 1 1 1 : 16Tbits
3～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RLN3nLWUP レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときに設定してください。

WUTL[3:0]ビット（ウェイクアップ送信ロウレベル幅設定ビット）

ウェイクアップシグナル送信時のロウレベル幅を設定します。
1Tbit～16Tbits を設定できます。
RLN3nLWBR レジスタの LWBR0 ビットが“1”（LIN 2.x）の場合、RLN3nLMD レジスタの LCKS ビットにかかわらず、LIN システムクロック（f_{LIN}）は fa が選択されます（LCKS ビットは変化しません）

22.3.2.9　RLN3nLIE — LIN 割り込み許可レジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base> + $0C_H$

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	SHIE	ERRIE	FRCIE	FTCIE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 22.34　RLN3nLIE レジスタの内容

ビット位置	ビット名	機能
7～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	SHIE	ヘッダ送信完了割り込み要求許可ビット 0：ヘッダ送信完了割り込み要求禁止 1：ヘッダ送信完了割り込み要求許可
2	ERRIE	エラー検出割り込み要求許可ビット 0：エラー検出割り込み要求禁止 1：エラー検出割り込み要求許可
1	FRCIE	フレーム／ウェイクアップ受信完了割り込み要求許可ビット 0：フレーム／ウェイクアップ受信完了割り込み要求禁止 1：フレーム／ウェイクアップ受信完了割り込み要求許可
0	FTCIE	フレーム／ウェイクアップ送信完了割り込み要求許可ビット 0：フレーム／ウェイクアップ送信完了割り込み要求禁止 1：フレーム／ウェイクアップ送信完了割り込み要求許可

RLN3nLIE レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときに設定してください。

SHIE ビット（ヘッダ送信完了割り込み要求許可ビット）

ヘッダ送信完了時の割り込み要求の許可／禁止を設定します。

“0”の場合、RLN3nLST レジスタの HTRC フラグが“1”になった際に RLIN3n 送信割り込み要求が発生しません。
“1”の場合、RLN3nLST レジスタの HTRC フラグが“1”になった際に RLIN3n 送信割り込み要求が発生します。

ERRIE ビット（エラー検出割り込み要求許可ビット）

エラーを検出したときの割り込み要求の許可／禁止を設定します。

“0”の場合、RLN3nLST レジスタの ERR フラグが“1”になった際に RLIN3n ステータス割り込み要求が発生しません。
“1”の場合、RLN3nLST レジスタの ERR フラグが“1”になった際に RLIN3n ステータス割り込み要求が発生します。

発生要因となるエラーは、ビットエラー、フィジカルバスエラー、フレーム／レスポンスタイムアウトエラー、フレーミングエラー、チェックサムエラー、レスポンス準備エラーです。ビットエラー、フィジカルバスエラー、フレーム／レスポンスタイムアウトエラー、フレーミングエラーは、RLN3nLEDE レジスタで検出許可／禁止の設定ができます。

FRCIE ビット（フレーム／ウェイクアップ受信完了割り込み要求許可ビット）

フレーム受信完了、または ウェイクアップシグナル受信（入力信号ロウレベル幅カウント）完了時の割り込み要求の許可／禁止を設定します。

“0”の場合、RLN3nLST レジスタの FRC フラグが“1”になった際に RLIN3n 受信完了割り込み要求が発生しません。
“1”の場合、RLN3nLST レジスタの FRC フラグが“1”になった際に RLIN3n 受信完了割り込み要求が発生します。

FTCIE ビット（フレーム／ウェイクアップ送信完了割り込み要求許可ビット）

フレーム送信完了、またはウェイクアップシグナル送信完了時の割り込み要求の許可／禁止を設定します。

“0”の場合、RLN3nLST レジスタの FTC フラグが“1”になった際に RLIN3n 送信割り込み要求が発生しません。
“1”の場合、RLN3nLST レジスタの FTC フラグが“1”になった際に RLIN3n 送信割り込み要求が発生します。

22.3.2.10　RLN3nLEDE ― LIN エラー検出許可レジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base> + $0D_H$

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	LTES	—	—	—	FERE	FTERE	PBERE	BERE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R/W	R/W	R/W	R/W

表 22.35　RLN3nLEDE レジスタの内容

ビット位置	ビット名	機能
7	LTES	タイムアウトエラー選択ビット 0：フレームタイムアウトエラー 1：レスポンスタイムアウトエラー
6～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	FERE	フレーミングエラー検出許可ビット注1 0：フレーミングエラー検出禁止 1：フレーミングエラー検出許可
2	FTERE	タイムアウトエラー検出許可ビット 0：フレーム／レスポンスタイムアウトエラー検出禁止 1：フレーム／レスポンスタイムアウトエラー検出許可
1	PBERE	フィジカルバスエラー検出許可ビット 0：フィジカルバスエラー検出禁止 1：フィジカルバスエラー検出許可
0	BERE	ビットエラー検出許可ビット注1 0：ビットエラー検出禁止 1：ビットエラー検出許可

注1.　FERE ビットと BERE ビットは“1”にセットしてください。

RLN3nLEDE レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときに設定してください。

LTES ビット（タイムアウトエラー選択ビット）

タイムアウトを選択するビットです。

“0”の場合、タイムアウト機能はフレームタイムアウトとして動作します。
“1”の場合、タイムアウト機能はレスポンスタイムアウトとして動作します。

タイムアウトエラーの詳細は、「**22.7.7 エラーステータス**」を参照してください。

FERE ビット（フレーミングエラー検出許可ビット）

フレーミングエラー検出の許可／禁止を設定します。

“0”の場合、フレーミングエラーを検出しません。
“1”の場合、フレーミングエラーを検出します。

このビットを“1”にしてください。フレーミングエラーの検出結果は、RLN3nLEST レジスタの FER フラグに反映されます。
フレーミングエラーの詳細は、「**22.7.7 エラーステータス**」を参照してください。

FTERE ビット（タイムアウトエラー検出許可ビット）

フレームタイムアウトエラーまたはレスポンスタイムアウトエラー検出の許可／禁止を設定します。

“0”の場合、フレームタイムアウトエラーまたはレスポンスタイムアウトエラーを検出しません。
“1”の場合、フレームタイムアウトエラーまたはレスポンスタイムアウトエラーを検出します。

このビットが“1”の場合の検出結果は、RLN3nLEST レジスタの FTER フラグに反映されます。
LTES ビットで、フレームタイムアウトエラー、レスポンスタイムアウトエラーの選択ができます。
タイムアウトエラーは、レスポンスを 9 バイト以上で送信または受信する場合には使用しないでください。
タイムアウトエラーの詳細は、「**22.7.7 エラーステータス**」を参照してください。
タイムアウト機能が有効（RLN3nLEDE.FTERE＝1）の時に、RLN3nLCUC レジスタの OM0 ビットを“0”にすることによって LIN リセットモードへ移行させる場合、「**図 22.4 タイムアウト機能有効時に RLN3nLCUC レジスタの OM0 ビットを“0”にすることによるリセット手順**」に示す手順で実施してください。

PBERE ビット（フィジカルバスエラー検出許可ビット）

フィジカルバスエラー検出の許可／禁止を設定します。

“0”の場合、フィジカルバスエラーを検出しません。
“1”の場合、フィジカルバスエラーを検出します。

このビットが“1”の場合の検出結果は、RLN3nLEST レジスタの PBER フラグに反映されます。
フィジカルバスエラーの詳細は、「**22.7.7 エラーステータス**」を参照してください。

BERE ビット（ビットエラー検出許可ビット）

ビットエラー検出の許可／禁止を設定します。

“0”の場合、ビットエラーを検出しません。
“1”の場合、ビットエラーを検出します。

このビットを“1”にしてください。ビットエラーの検出結果は、RLN3nLEST レジスタの BER フラグに反映されます。
ビットエラーの詳細は、「**22.7.7 エラーステータス**」を参照してください。

22.3.2.11　RLN3nLCUC ― LIN 制御レジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base> + $0E_H$

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OM1	OM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 22.36　RLN3nLCUC レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	OM1	LIN モード選択ビット 0：LIN ウェイクアップモード 1：LIN 動作モード
0	OM0	LIN リセットビット 0：LIN リセットモード 1：LIN リセットモード解除

LIN リセットモードを解除するときに、LIN ウェイクアップモードに移行させる場合は RLN3nLCUC レジスタに“01_H”を、LIN 動作モードに移行させる場合は RLN3nLCUC レジスタに“03_H”を設定してください。

LIN セルフテストモードでは、LIN セルフテストモード移行後に RLN3nLCUC レジスタを“03_H”にしてください。

このレジスタに書き込みをした後は、書き込んだ値が RLN3nLMST レジスタに反映されることを確認してから、次の値の書き込みを行ってください。

OM1 ビット（LIN モード選択ビット）

LIN リセットモード解除時の動作モード（LIN ウェイクアップモード、LIN 動作モード）選択をするビットです。

“0”にすると、LIN ウェイクアップモードになります。
“1”にすると、LIN 動作モードになります。

このビットは、RLN3nLMST レジスタの OMM0 ビットが“1”のときのみ有効になります。
このビットは、RLN3nLTRC レジスタの FTS ビットが“1”の間は書けません。

OM0 ビット（LIN リセットビット）

LIN リセットモードへの移行／LIN リセットモードの解除を選択するビットです。

“0”にすると、LIN リセットモードになります。
“1”にすると、LIN リセットモードは解除されます。

タイムアウト機能が有効（RLN3nLEDE.FTERE＝1）の時に、RLN3nLCUC レジスタの OM0 ビットを“0”にすることによって LIN リセットモードへ移行させる場合、「**図 22.4 タイムアウト機能有効時に RLN3nLCUC レジスタの OM0 ビットを“0”にすることによるリセット手順**」に示す手順で実施してください。

22.3.2.12　RLN3nLTRC ― LIN 送信制御レジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base> + 10_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RTS	FTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 22.37　RLN3nLTRC レジスタの内容

ビット位置	ビット名	機能
7〜2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	RTS	レスポンス送信／受信開始ビット 0：フレームセパレートモードにおいてレスポンス送受信停止 1：フレームセパレートモードにおいてレスポンス送受信開始
0	FTS	フレーム送信／ウェイクアップ送受信開始ビット 0：フレーム送信／ウェイクアップ送受信停止 1：フレーム送信／ウェイクアップ送受信開始

RTS ビット（レスポンス送信／受信開始ビット）

フレームセパレートモードで、ヘッダを送信開始（FTS ビットが“1”）し、レスポンス送信データ準備完了した後に、“1”にしてください。設定後、このビットはフレーム通信終了（エラー検出時を含む）および LIN リセットモード移行時、自動的に“0”になります。
このビットは“1”のみ書けます。“0”は書けません。
このビットに“1”を書く場合は、ストア命令で“02_H”を書き込んでください。
このビットは、RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときは書けません。
このビットは、FTS ビットが“0”（フレーム送信／ウェイクアップ送受信停止）のときは書けません。
9 バイト以上のレスポンスデータの送受信を行う場合は、データグループ（0〜8 バイトで可変）の送受信ごとに“1”に設定してください。設定後、データグループの通信終了時または LIN リセットモード移行時に自動的に“0”になります。

FTS ビット（フレーム送信／ウェイクアップ送受信開始ビット）

フレーム送受信開始時、“1”にしてください。
また、ウェイクアップ送信、ウェイクアップ受信（入力信号ロウレベル幅カウント）を行う場合にも、このビットを“1”にしてください。
このビットは“1”のみ書けます。“0”は書けません。
このビットは、RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときは書けません。
このビットは、フレームおよびウェイクアップの通信終了時（エラー検出時を含む）に“0”になります。
LIN リセットモード移行時に“0”になります。

22.3.2.13　RLN3nLMST — LIN モードステータスレジスタ

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<RLIN3n_base> + 11_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OMM1	OMM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 22.38　RLN3nLMST レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。
1	OMM1	LIN モードステータスモニタ 0：LIN ウェイクアップモード 1：LIN 動作モード
0	OMM0	LIN リセットステータスモニタ 0：LIN リセットモード 1：LIN リセットモードでない

OMM1 ビット（LIN モードステータスモニタ）

現在の動作モードが確認できます。

OMM0 ビット（LIN リセットステータスモニタ）

現在の動作モードが確認できます。

22.3.2.14　RLN3nLST — LIN ステータスレジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base> + 12_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	HTRC	D1RC	—	—	ERR	—	FRC	FTC
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R/W	R/W

表 22.39　RLN3nLST レジスタの内容

ビット位置	ビット名	機能
7	HTRC	ヘッダ送信完了フラグ 0：送信未完了 1：ヘッダ送信完了
6	D1RC	データ 1 受信完了フラグ 0：受信未完了 1：データ 1 受信完了
5、4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	ERR	エラー検出フラグ 0：エラー未検出 1：エラー検出
2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	FRC	フレーム／ウェイクアップ受信完了フラグ 0：受信未完了 1：フレームまたはウェイクアップ受信完了
0	FTC	フレーム／ウェイクアップ送信完了フラグ 0：送信未完了 1：フレームまたはウェイクアップ送信完了

RLN3nLST レジスタは LIN リセットモード移行時および次の通信開始（RLN3nLTRC レジスタの FTS ビットが“1”）時、自動的に“00_H”になります。

LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は“00_H”を保持します。

レジスタ内の特定ビットをクリアする場合は、クリアするビットには“0”を、クリアしないビットには“1”をストア命令で書き込んでください。

HTRC フラグ（ヘッダ送信完了フラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
ヘッダ送信完了時、“1”となります。このとき RLN3nLIE レジスタの SHIE ビットが“1”（割り込み許可）の場合、RLIN3n 送信割り込み要求が発生します。次の通信が始まる（RLN3nLTRC レジスタの FTS ビットが“1”）前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

D1RC フラグ（データ 1 受信完了フラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
データ 1 受信完了時、“1”となりますが割り込み要求は発生しません。次の通信が始まる（RLN3nLTRC レジスタの FTS ビットが“1”）前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。
9 バイト以上のレスポンスデータ受信を行う場合は、データグループ（0～8 バイトで可変）ごとでデータ 1 受信完了時、“1”となります。次のデータグループ受信開始前に“0”を書いてください。

ERR フラグ（エラー検出フラグ）

エラー検出（RLN3nLEST レジスタのフラグのうち 1 つでも“1”）時、“1”となります。このとき RLN3nLIE レジスタの ERRIE ビットが“1”（割り込み許可）の場合、RLIN3n ステータス割り込み要求が発生します。次の通信が始まる（RLN3nLTRC レジスタの FTS ビットが“1”）前に“0”にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で RLN3nLEST レジスタの RPER フラグ、CSER フラグ、FER フラグ、FTER フラグ、PBER フラグ、BER フラグに“0”を書いてください。ERR フラグが“0”となります。

FRC フラグ（フレーム／ウェイクアップ受信完了フラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
フレーム受信完了またはウェイクアップ受信完了時、“1”となります。このとき RLN3nLIE レジスタの FRCIE ビットが“1”（割り込み許可）の場合、RLIN3n 受信完了割り込み要求が発生します。次の通信が始まる（RLN3nLTRC レジスタの FTS ビットが“1”）前に“0”にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で“0”を書いてください。
9 バイト以上のレスポンスデータ受信を行う場合は、データグループ（0～8 バイトで可変）の受信完了ごとに“1”となります。次のデータグループ受信開始前に“0”を書いてください。

FTC フラグ（フレーム／ウェイクアップ送信完了フラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
フレーム送信完了またはウェイクアップ送信完了時、“1”となります。このとき RLN3nLIE レジスタの FTCIE ビットが“1”（割り込み許可）の場合、RLIN3n 送信割り込み要求が発生します。次の通信が始まる（RLN3nLTRC レジスタの FTS ビットが“1”）前に“0”にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で“0”を書いてください。
9 バイト以上のレスポンスデータ送信を行う場合は、データグループ（0～8 バイトで可変）の送信完了ごとに“1”となります。次のデータグループ送信開始前に“0”を書いてください。

22.3.2.15　RLN3nLEST ― LIN エラーステータスレジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base> + 13_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	RPER	—	CSER	—	FER	FTER	PBER	BER
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R/W	R	R/W	R/W	R/W	R/W

表 22.40　RLN3nLEST レジスタの内容

ビット位置	ビット名	機能
7	RPER	レスポンス準備エラーフラグ 0：レスポンス準備エラー未検出 1：レスポンス準備エラー検出
6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	CSER	チェックサムエラーフラグ 0：チェックサムエラー未検出 1：チェックサムエラー検出
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	FER	フレーミングエラーフラグ 0：フレーミングエラー未検出 1：フレーミングエラー検出
2	FTER	タイムアウトエラーフラグ 0：フレーム／レスポンスタイムアウトエラー未検出 1：フレーム／レスポンスタイムアウトエラー検出
1	PBER	フィジカルバスエラーフラグ 0：フィジカルバスエラー未検出 1：フィジカルバスエラー検出
0	BER	ビットエラーフラグ 0：ビットエラー未検出 1：ビットエラー検出

RLN3nLEST レジスタは LIN リセットモード移行時、および次の通信開始（RLN3nLTRC レジスタの FTS ビットが“1”）時、自動的に“00_H”になります。

LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は“00_H”を保持します。

RLN3nLTRC レジスタの FTS ビットが“1”（フレーム送信／ウェイクアップ送受信開始）の間は、このレジスタに書き込まないでください。

レジスタ内の特定ビットをクリアする場合は、クリアするビットには“0”を、クリアしないビットには“1”をストア命令で書き込んでください。

RPER フラグ（レスポンス準備エラーフラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
レスポンス準備エラー検出時、“1”となります。次の通信が始まる（RLN3nLTRC レジスタの FTS ビットが“1”）前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

CSER フラグ（チェックサムエラーフラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
チェックサムエラー検出時、“1”となります。次の通信が始まる（RLN3nLTRC レジスタの FTS ビットが“1”）前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

FER フラグ（フレーミングエラーフラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの FERE ビットが“1”（フレーミングエラー検出許可）で、フレーミングエラー検出時、“1”となります。次の通信が始まる（RLN3nLTRC レジスタの FTS ビットが“1”）前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

FTER フラグ（タイムアウトエラーフラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの FTERE ビットが“1”（フレーム／レスポンスタイムアウトエラー検出許可）で、フレームタイムアウトエラーまたはレスポンスタイムアウトエラー検出時、“1”となります。次の通信が始まる（RLN3nLTRC レジスタの FTS ビットが“1”）前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

PBER フラグ（フィジカルバスエラーフラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの PBERE ビットが“1”（フィジカルバスエラー検出許可）で、フィジカルバスエラー検出時、“1”となります。次の通信が始まる（RLN3nLTRC レジスタの FTS ビットが“1”）前に“0”にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で“0”を書いてください。

BER フラグ（ビットエラーフラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの BERE ビットが“1”（ビットエラー検出許可）で、ビットエラー検出時、“1”となります。次の通信が始まる（RLN3nLTRC レジスタの FTS ビットが“1”）前に“0”にしたい場合は、LIN 動作モードまたは LIN ウェイクアップモード内で“0”を書いてください。

22.3.2.16　RLN3nLDFC ― LIN データフィールド設定レジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base> + 14_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	LSS	FSM	CSM	RFT	RFDL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.41　RLN3nLDFC レジスタの内容

ビット位置	ビット名	機能
7	LSS	継続選択ビット 0：次に送受信するデータグループは最終である。 1：次に送受信するデータグループは最終ではない。（チェックサムなし）
6	FSM	フレームセパレートモード選択ビット 0：フレームセパレートモードではない 1：フレームセパレートモード
5	CSM	チェックサム選択ビット 0：クラシック 1：エンハンス
4	RFT	レスポンスフィールド通信方向選択ビット 0：受信 1：送信
3～0	RFDL[3:0]	レスポンスフィールド長設定ビット b3　b0 0 0 0 0：0 バイト（+チェックサム） 0 0 0 1：1 バイト（+チェックサム） 0 0 1 0：2 バイト（+チェックサム） : 0 1 1 1：7 バイト（+チェックサム） 1 0 0 0：8 バイト（+チェックサム） 上記以外は設定しないでください。

LSS ビット（継続選択ビット）

9 バイト以上のレスポンスデータ送受信を行う場合に、次に送受信するデータグループが最後でないことを示すためのビットです。

“0”の場合、次に送信または受信するデータグループが最後として、データとチェックサムの送信または受信を行います。
“1”の場合、次に送信または受信するデータグループが最後でないため、データのみの送信または受信を行ない、チェックサムは含みません。

このビットは、FSM ビットが“1”（フレームセパレートモード）で、かつ 9 バイト以上のレスポンスデータ送受信を行う場合にのみ設定してください。
このビットは、RLN3nLTRC レジスタの RTS ビットが“0”（レスポンス送受信停止）のときに設定してください。

FSM ビット（フレームセパレートモード選択ビット）

レスポンス通信の方式を設定します。

“0”の場合、フレームセパレートモードになりません。ヘッダ送信開始（RLN3nLTRC レジスタの FTS ビットが“1”）後、RLN3nLTRC レジスタの RTS ビットのセットなしに、レスポンスの送受信を行います。
“1”の場合、フレームセパレートモードになります。ヘッダ送信中に RLN3nLTRC レジスタの RTS ビットを“1”にした場合、ヘッダ送信完了を待ってからレスポンス送信を行います。

8 バイト以下のレスポンス受信（RFT ビットが“0”）時は、このビットを“0”に設定してください。
LIN セルフテストモードに移行する場合は、移行前にこのビットを“0”に設定してください。
フレームセパレートモードの詳細は「**22.7.4.1 LIN フレームの送信**」を参照してください。
このビットは、RLN3nLTRC レジスタの FTS ビットが“0”（フレーム送信／ウェイクアップ送受信停止）のときに設定してください。
9 バイト以上のレスポンスデータ送受信を行う場合は、このビットを“1”にしてください。

CSM ビット（チェックサム選択ビット）

チェックサムの方式の設定をします。

“0”の場合、チェックサムの方式はクラシックとなります。
“1”の場合、チェックサムの方式はエンハンスとなります。

タイムアウトエラーを使用する（RLN3nLEDE レジスタの FTERE ビットが“1”）場合は、このビット設定によりタイムアウト時間が異なります。詳細は「**22.7.7 エラーステータス**」を参照してください。
このビットは、RLN3nLTRC レジスタの FTS ビットが“0”（フレーム送信／ウェイクアップ送受信停止）のときに設定してください。
9 バイト以上のレスポンスデータ送受信を行う場合は、最初のデータグループ以降、最後のデータグループまで、このビットの設定を変えないでください。
9 バイト以上のレスポンスデータ送受信を行う場合は、最後のデータグループ（LSS ビットが“0”）のみチェックサムを含み、それ以外のデータグループ（LSS ビットが“1”）はチェックサムを含みません。

RFT ビット（レスポンスフィールド通信方向選択ビット）

レスポンスフィールド／ウェイクアップシグナルの通信方向を設定します。

“0”の場合、レスポンスフィールドで受信を行います。また、LIN ウェイクアップモードでは、ウェイクアップ受信（入力信号ロウレベル幅カウント）を行います。
“1”の場合、レスポンスフィールドで送信を行います。また、LIN ウェイクアップモードでは、ウェイクアップ送信を行います。

このビットは、RLN3nLTRC レジスタの FTS ビットが“0”（フレーム送信／ウェイクアップ送受信停止）のときに設定してください。
9 バイト以上のレスポンスデータ送受信を行う場合は、最初のデータグループ以降、最後のデータグループまで、このビットの設定を変えないでください。

RFDL[3:0]ビット（レスポンスフィールド長設定ビット）

レスポンスフィールドのデータ長を設定します。
データ長は 0～8 バイトまで設定でき、データ長にはチェックサムのサイズを含みません。
FSM ビットが“0”（フレームセパレートモードではない）で、レスポンス送信を行う場合は、ヘッダ送信前（RLN3nLTRC レジスタの FTS ビットが“0”）に、これらのビットを設定してください。
FSM ビットが“1”（フレームセパレートモード）で、レスポンス送信を行う場合は、レスポンス送信前（RLN3nLTRC レジスタの RTS ビットが“0”）に、これらのビットを設定してください。
レスポンスの受信を行う場合は、ヘッダ送信前（RLN3nLTRC レジスタの FTS ビットが“0”）に、これら

のビットを設定してください。
9 バイト以上のレスポンスデータの送受信を行う場合は、データグループの送受信前（RLN3nLTRC レジスタの RTS ビットが“0”）に、これらのビットを設定してください。
最後のデータグループ（LSS ビットが“0”）のみチェックサムを含み、それ以外のデータグループ（LSS ビットが“1”）はチェックサムを含みません。

22.3.2.17　RLN3nLIDB — LIN ID バッファレジスタ

アクセス　8 ビット単位でリード／ライト可能です。
アドレス　<RLIN3n_base> + 15_H
リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	IDP1	IDP0	ID[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.42　RLN3nLIDB レジスタの内容

ビット位置	ビット名	機能
7	IDP1	パリティ設定ビット（P1） ID フィールドで送信するパリティ（P1）ビットを設定
6	IDP0	パリティ設定ビット（P0） ID フィールドで送信するパリティ（P0）ビットを設定
5～0	ID[5:0]	ID 設定ビット ID フィールドで送信する 6 ビットの ID 値を設定

このレジスタは、RLN3nLTRC レジスタの FTS ビットが“0”（フレーム送信／ウェイクアップ送受信停止）のときに設定してください。

LIN セルフテストモード時は、以下の通りとなります。

通信前に送信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、「**22.9 LIN セルフテストモード**」を参照してください。

IDP[1:0]ビット（パリティ設定ビット）

LIN フレームの ID フィールドで送信するパリティ（P0、P1）ビットを設定します。IDP0 が P0、IDP1 が P1 です。
パリティは自動演算されないため、演算値を設定してください。誤った演算結果を設定した場合もそのまま送信します。

ID[5:0]ビット（ID 設定ビット）

LIN フレームの ID フィールドで送信する 6 ビットの ID を設定します。

22.3.2.18　RLN3nLCBR ― LIN チェックサムバッファレジスタ

アクセス　8 ビット単位でリードのみ可能です。ただし、LIN セルフテストモード時は、8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base> + 16_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	CKSM[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.43　RLN3nLCBR レジスタの内容

ビット位置	ビット名	機能
7～0	CKSM[7:0]	チェックサムの送受信データを格納します

LIN モード時は、以下のとおりとなります。

- RLN3nLDFC レジスタの RFT ビットが“1”（送信）の場合：

  送信した値を読むことができます。読み出す場合は、送信完了後に行ってください。
  書き込みは無効になります。

- RLN3nLDFC レジスタの RFT ビットが“0”（受信）の場合：

  受信した値を読むことができます。読み出す場合は、受信完了後に行ってください。
  書き込みは無効になります。

9 バイト以上のレスポンスデータ送信またはレスポンスデータ受信を行う場合は、最後のデータグループにのみチェックサムが付加されるため、それ以外のデータグループではこのレジスタは更新されません。

LIN セルフテストモード時は、以下のとおりとなります。

- RLN3nLDFC レジスタの RFT ビットが“1”（送信）の場合：

  フレーム送信完了後（ループバック後）、受信した値の反転値を読むことができます。

- RLN3nLDFC レジスタの RFT ビットが“0”（受信）の場合：

  通信前に受信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、「**22.9　LIN セルフテストモード**」を参照してください。

このレジスタは RLN3nLTRC レジスタの FTS ビットが“0”（フレーム送信／ウェイクアップ送受信停止）のときに設定してください。

22.3.2.19　RLN3nLDBRb ― LIN データバッファ b レジスタ（b＝1～8）

アクセス　8 ビット単位でリード／ライト可能です。

アドレス
RLN3nLDBR1：<RLIN3n_base> + 18_H
RLN3nLDBR2：<RLIN3n_base> + 19_H
RLN3nLDBR3：<RLIN3n_base> + $1A_H$
RLN3nLDBR4：<RLIN3n_base> + $1B_H$
RLN3nLDBR5：<RLIN3n_base> + $1C_H$
RLN3nLDBR6：<RLIN3n_base> + $1D_H$
RLN3nLDBR7：<RLIN3n_base> + $1E_H$
RLN3nLDBR8：<RLIN3n_base> + $1F_H$

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	LDB[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.44　RLN3nLDBRb レジスタの内容

ビット位置	ビット名	機能
7～0	LDB[7:0]	送信データを設定、または受信データを読み出し 設定範囲：00_H～FF_H

- レスポンス送信の場合：

  レスポンスフィールドで送信するデータを設定します。
  これらのレジスタは以下の状態で設定してください。

  – RLN3nLDFC レジスタの RFT ビットが“1”（送信）
  – RLN3nLDFC レジスタの FSM ビットが“0”（フレームセパレートモードではない）
  – RLN3nLTRC レジスタの FTS ビットが“0”（フレーム送信／ウェイクアップ送受信停止）

  または

  – RLN3nLDFC レジスタの RFT ビットが“1”（送信）
  – RLN3nLDFC レジスタの FSM ビットが“1”（フレームセパレートモード）
  – RLN3nLTRC レジスタの RTS ビットが“0”（レスポンス送信／受信停止）

- レスポンス受信の場合：

  レスポンスフィールドで受信したデータが格納されます。
  受信データは上書きされます。また、エラー検出時は、エラーを検出したバイトまでのデータが格納されます。
  これらのレジスタは、FTS ビットが“1”（フレーム送信／ウェイクアップ送受信開始）のときに読み出さないでください。

- 9 バイト以上のレスポンス送信の場合：

  これらのレジスタは以下の状態で設定してください

  – RLN3nLDFC レジスタの RFT ビットが“1”（送信）
  – RLN3nLDFC レジスタの FSM ビットが“1”（フレームセパレートモード）

– RLN3nLTRC レジスタの RTS ビットが“0”（レスポンス送信／受信停止）

- 9 バイト以上のレスポンス受信の場合：

  これらのレジスタは、RTS ビットが“1”（レスポンス送信／受信開始）のときに読み出さないでください。

LIN セルフテストモード時は、以下の通りとなります。

通信前に送信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、「**22.9 LIN セルフテストモード**」を参照してください。

22.3.3　LIN スレーブ関連レジスタ

22.3.3.1　RLN3nLWBR — LIN ウェイクアップボーレート選択レジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base> + 01_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	NSPB[3:0]				LPRS[2:0]			—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

表 22.45　RLN3nLWBR レジスタの内容

ビット位置	ビット名	機能
7～4	NSPB[3:0]	ビットサンプリング数選択ビット b7　b4 0 0 0 0 : 16 サンプリング 0 0 1 1 : 4 サンプリング 0 1 1 1 : 8 サンプリング 1 1 1 1 : 16 サンプリング 上記以外は設定しないでください。
3～1	LPRS[2:0]	プリスケーラクロック選択ビット b3　b1 0 0 0 : 1/1 0 0 1 : 1/2 0 1 0 : 1/4 0 1 1 : 1/8 1 0 0 : 1/16 1 0 1 : 1/32 1 1 0 : 1/64 1 1 1 : 1/128
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RLN3nLWBR レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときに設定してください。

NSPB[3:0]ビット（ビットサンプリング数選択ビット）

1Tbit（ボーレートの逆数）のサンプリング数を選択するビットです。
LIN スレーブモード〔固定ボーレート〕（RLN3nLMD レジスタの LMD[1:0]ビットが“11_B”）の通信を行う場合は、これらのビットを“0000_B”または“1111_B”（16 サンプリング）に設定してください。
LIN スレーブモード〔オートボーレート〕（RLN3nLMD レジスタの LMD[1:0]ビットが“10_B”）で LIN フレームの通信を行う場合は、これらのビットを“0011_B”（4 サンプリング）または“0111_B”（8 サンプリング）に設定してください。

LPRS[2:0]ビット（プリスケーラクロック選択ビット）

プリスケーラの分周比を選択するビットです。このプリスケーラにより LIN 通信クロック源を分周します。LIN スレーブモード〔オートボーレート〕（RLN3nLMD レジスタの LMD[1:0]ビットが“10_B”）で使用する場合は、ターゲットとなるボーレートに応じて、これらのビットをプリスケーラクロックが、下記となるように設定してください。

〔ターゲットとなるボーレート〕	〔プリスケーラクロック〕
1kbps～20kbps	：4MHz 注1
1kbps～2.4kbps 未満	：4MHz
2.4kbps～20kbps	：8MHz～12MHz

注1. NSPB ビットは、“0011_B”（4 サンプリング）で使用してください。

22.3.3.2　RLN3nLBRP01 ― LIN ボーレートプリスケーラ 01 レジスタ

アクセス　RLN3nLBRP01 レジスタは 16 ビット単位でリード／ライト可能です。
RLN3nLBRP0 レジスタは 8 ビット単位でリード／ライト可能です。
RLN3nLBRP1 レジスタは 8 ビット単位でリード／ライト可能です。

アドレス　RLN3nLBRP01：<RLIN3n_base> + 02_H
RLN3nLBRP0：<RLIN3n_base> + 02_H
RLN3nLBRP1：<RLIN3n_base> + 03_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BRP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.46　RLN3nLBRP01 レジスタの内容

ビット位置	ビット名	機能
15～0	BRP[15:0]	設定値を L（0～65535）とすると、ボーレートプリスケーラはプリスケーラクロックを L+1 分周する。 設定範囲：0000_H～$FFFF_H$

RLN3nLBRP01 レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときに設定してください。

このレジスタの設定値を L とすると、ボーレートプリスケーラは RLN3nLWBR レジスタの LPRS ビット（プリスケーラクロック選択ビット）で分周したクロックを L＋1 分周します。

RLN3nLBRP01 レジスタは、RLN3nLBRP0 レジスタおよび RLN3nLBRP1 レジスタにより、8 ビットアクセスが可能です。

備　考

LIN スレーブモード〔オートボーレート〕では、シンクフィールドの受信が成功したとき、ボーレート補正結果を自動で RLN3nLBRP01 レジスタに設定します。

22.3.3.3　RLN3nLSTC ― LIN セルフテスト制御レジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base> + 04_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	LSTM
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.47　RLN3nLSTC レジスタの内容

ビット位置	ビット名	機能
7〜0	—	“$A7_H$”→“58_H”→“01_H”の連続書き込みにより、LIN セルフテストモードへエントリします。
0	LSTM	LIN セルフテストモードビット 0：LIN セルフテストモードではない 1：LIN セルフテストモード

RLN3nLSTC レジスタは LIN セルフテストモードのプロテクトを解除するために使用するレジスタです。

RLN3nLSTC レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときに設定してください。

“$A7_H$”→“58_H”→“01_H”の連続書き込みにより、LIN セルフテストモードへエントリします。

連続書き込みが成功し、LIN セルフテストモードにした場合は、LSTM ビットが“1”になります。

連続書き込みの間に別の書き込みを行わないでください。

LIN セルフテストモードへの移行方法は、「**22.9 LIN セルフテストモード**」を参照してください。

ビット 6〜1 を読み出すと“000000_B”が、ビット 7 を読み出すと不定値が読めます。

LSTM ビット（LIN セルフテストモードビット）

LIN セルフテストモードに移行したとき、このビットは“1”になります。
LIN セルフテストモードからの終了方法は、「**22.9 LIN セルフテストモード**」を参照してください。
RLN3nLSTC レジスタへの“$A7_H$”→“58_H”→“01_H”の連続書き込み以外で、このビットに“1”を書いても値は変化しません。

22.3.3.4　RLN3nLMD — LIN モードレジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base> + 08_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	LRDNFS	LIOS	—	—	LMD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R/W	R/W

表 22.48　RLN3nLMD レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	LRDNFS	LIN 受信データノイズフィルタ禁止ビット 0：ノイズフィルタを使用する 1：ノイズフィルタを使用しない
4	LIOS	LIN 割り込み出力選択ビット 0：RLIN3n 割り込みを使用 1：RLIN3n 送信割り込み、RLIN3n 受信完了割り込み、RLIN3n ステータス割り込みを使用
3、2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	LMD[1:0]	LIN/UART モード選択ビット b1　b0 1　0：LIN スレーブモード〔オートボーレート〕 1　1：LIN スレーブモード〔固定ボーレート〕

RLN3nLMD レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときに設定してください。

LRDNFS ビット（LIN 受信データノイズフィルタ禁止ビット）

データ受信時のノイズフィルタの有効／無効を選択するビットです。

“0”の場合、データ受信時のノイズフィルタは有効です。
“1”の場合、データ受信時のノイズフィルタは無効です。

LIOS ビット（LIN 割り込み出力選択ビット）

LIN/UART インタフェースからの割り込み出力本数を選択するビットです。

“0”の場合、LIN/UART インタフェースからの RLIN3n 割り込みが発生します。
“1”の場合、LIN/UART インタフェースからの RLIN3n 送信割り込み、RLIN3n 受信完了割り込み、RLIN3n ステータス割り込みが発生します。

各割り込みの要因は、「**22.4 割り込み要因**」を参照してください。

LMD[1:0]ビット（LIN/UART モード選択ビット）

LIN/UART インタフェースのモードを選択するビットです。
LIN スレーブとして使用する場合は、これらのビットを“10_B”（オートボーレート）もしくは“11_B”（固定ボーレート）に設定してください。

22.3.3.5　RLN3nLBFC — LIN ブレークフィールド設定レジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base> + 09_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	LBLT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 22.49　RLN3nLBFC レジスタの内容

ビット位置	ビット名	機能
7〜1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	LBLT	受信ブレーク（ロウレベル）検出幅設定ビット 0：9.5Tbits または 10Tbits でブレーク（ロウレベル）を検出 1：10.5Tbits または 11Tbits でブレーク（ロウレベル）を検出

RLN3nLBFC レジスタは、RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときに設定してください。

LBLT ビット（受信ブレーク（ロウレベル）検出幅設定ビット）

- RLN3nLMD.LMD が“10_B”（LIN スレーブモード〔オートボーレート〕）の場合

“0”の場合、10Tbits 以上のロウレベル幅を検出します。
“1”の場合、11Tbits 以上のロウレベル幅を検出します。

- RLN3nLMD.LMD が“11_B”（LIN スレーブモード〔固定ボーレート〕）の場合

“0”の場合、9.5Tbits 以上のロウレベル幅を検出します。
“1”の場合、10.5Tbits 以上のロウレベル幅を検出します。

22.3.3.6 RLN3nLSC — LIN スペース設定レジスタ

アクセス	8 ビット単位でリード／ライト可能です。
アドレス	<RLIN3n_base> + $0A_H$
リセット後の値	00_H

ビット	7	6	5	4	3	2	1	0
	—	—	IBS[1:0]		—	IBHS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R/W	R/W	R/W

表 22.50 RLN3nLSC レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5、4	IBS[1:0]	インタバイトスペース設定ビット b5 b4 0 0：0Tbit 0 1：1Tbit 1 0：2Tbits 1 1：3Tbits
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2～0	IBHS[2:0]	レスポンススペース設定ビット b2 b0 0 0 0：0Tbit 0 0 1：1Tbit 0 1 0：2Tbits 0 1 1：3Tbits 1 0 0：4Tbits 1 0 1：5Tbits 1 1 0：6Tbits 1 1 1：7Tbits

RLN3nLSC レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときに設定してください。

レスポンス送信時のみ有効です。レスポンス受信時は無効となります。

設定値の組み合わせによっては、1 フレームまたはレスポンスの長さがタイムアウト時間を超えてしまう場合があります。適切な値になるように設定をしてください。

IBS[1:0]ビット（インタバイトスペース設定ビット）

レスポンス送信のインタバイトスペースの幅の設定をします。
0Tbit～3Tbits を設定できます。

IBHS[2:0]ビット（レスポンススペース設定ビット）

レスポンススペースの送信幅の設定をします。
0Tbit～7Tbits を設定できます。

22.3.3.7　RLN3nLWUP — LIN ウェイクアップ設定レジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base> + $0B_H$

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	WUTL[3:0]				—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R

表 22.51　RLN3nLWUP レジスタの内容

ビット位置	ビット名	機能
7～4	WUTL[3:0]	ウェイクアップ送信ロウレベル幅設定ビット b7　b4 0 0 0 0 : 1Tbit 0 0 0 1 : 2Tbits 0 0 1 0 : 3Tbits 0 0 1 1 : 4Tbits : 1 1 0 0 : 13Tbits 1 1 0 1 : 14Tbits 1 1 1 0 : 15Tbits 1 1 1 1 : 16Tbits
3～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RLN3nLWUP レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときに設定してください。

WUTL[3:0]ビット（ウェイクアップ送信ロウレベル幅設定ビット）

ウェイクアップフレーム送信時のロウレベル幅を設定します。
1Tbit～16Tbits を設定できます。

22.3.3.8　RLN3nLIE ― LIN 割り込み許可レジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base> + $0C_H$

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	SHIE	ERRIE	FRCIE	FTCIE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 22.52　RLN3nLIE レジスタの内容

ビット位置	ビット名	機能
7～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	SHIE	ヘッダ受信完了割り込み要求許可ビット 0：ヘッダ受信完了割り込み要求禁止 1：ヘッダ受信完了割り込み要求許可
2	ERRIE	エラー検出割り込み要求許可ビット 0：エラー検出割り込み要求禁止 1：エラー検出割り込み要求許可
1	FRCIE	レスポンス／ウェイクアップ受信完了割り込み要求許可ビット 0：レスポンス／ウェイクアップ受信完了割り込み要求禁止 1：レスポンス／ウェイクアップ受信完了割り込み要求許可
0	FTCIE	レスポンス／ウェイクアップ送信完了割り込み要求許可ビット 0：レスポンス／ウェイクアップ送信完了割り込み要求禁止 1：レスポンス／ウェイクアップ送信完了割り込み要求許可

RLN3nLIE レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときに設定してください。

SHIE ビット（ヘッダ受信完了割り込み要求許可ビット）

ヘッダ受信完了時の割り込み要求の許可／禁止を設定します。

“0”の場合、RLN3nLST レジスタの HTRC フラグが“1”になった際に RLIN3n 受信完了割り込み要求が発生しません。
“1”の場合、RLN3nLST レジスタの HTRC フラグが“1”になった際に RLIN3n 受信完了割り込み要求が発生します。

ERRIE ビット（エラー検出割り込み要求許可ビット）

エラーを検出したときの割り込み要求の許可／禁止を設定します。

“0”の場合、RLN3nLST レジスタの ERR フラグが“1”になった際に RLIN3n ステータス割り込み要求が発生しません。
“1”の場合、RLN3nLST レジスタの ERR フラグが“1”になった際に RLIN3n ステータス割り込み要求が発生します。

発生要因となるエラーは、ビットエラー、フレーム／レスポンスタイムアウトエラー、フレーミングエラー、シンクフィールドエラー、ID パリティエラー、チェックサムエラー、レスポンス準備エラーです。
ビットエラー、フレーム／レスポンスタイムアウトエラー、シンクフィールドエラー、ID パリティエラー、フレーミングエラーは、RLN3nLEDE レジスタで検出許可／禁止の設定ができます。

FRCIE ビット（レスポンス／ウェイクアップ受信完了割り込み要求許可ビット）

レスポンス受信完了、または ウェイクアップフレーム受信（入力信号ロウレベル幅カウント）完了時の割り込み要求の許可／禁止を設定します。

“0”の場合、RLN3nLST レジスタの FRC フラグが“1”になった際に RLIN3n 受信完了割り込み要求が発生しません。
“1”の場合、RLN3nLST レジスタの FRC フラグが“1”になった際に RLIN3n 受信完了割り込み要求が発生します。

FTCIE ビット（レスポンス／ウェイクアップ送信完了割り込み要求許可ビット）

レスポンス送信完了、またはウェイクアップフレーム送信完了時の割り込み要求の許可／禁止を設定します。

“0”の場合、RLN3nLST レジスタの FTC フラグが“1”になった際に RLIN3n 送信割り込み要求が発生しません。
“1”の場合、RLN3nLST レジスタの FTC フラグが“1”になった際に RLIN3n 送信割り込み要求が発生します。

22.3.3.9　RLN3nLEDE ― LIN エラー検出許可レジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base> + $0D_H$

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	LTES	IPERE	—	SFERE	FERE	TERE	—	BERE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W

表 22.53　RLN3nLEDE レジスタの内容

ビット位置	ビット名	機能
7	LTES	タイムアウトエラー選択ビット 0：フレームタイムアウトエラー 1：レスポンスタイムアウトエラー
6	IPERE	ID パリティエラー検出許可ビット 0：ID パリティエラー検出禁止 1：ID パリティエラー検出許可
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	SFERE	シンクフィールドエラー検出許可ビット 0：シンクフィールドエラー検出禁止 1：シンクフィールドエラー検出許可
3	FERE	フレーミングエラー検出許可ビット注1 0：フレーミングエラー検出禁止 1：フレーミングエラー検出許可
2	TERE	タイムアウトエラー検出許可ビット 0：フレーム／レスポンスタイムアウトエラー検出禁止 1：フレーム／レスポンスタイムアウトエラー検出許可
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	BERE	ビットエラー検出許可ビット注1 0：ビットエラー検出禁止 1：ビットエラー検出許可

注1.　FERE ビットと BERE ビットは“1”にセットしてください。

RLN3nLEDE レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときに設定してください。

LTES ビット（タイムアウトエラー選択ビット）

タイムアウトを選択するビットです。

“0”の場合、タイムアウト機能はフレームタイムアウトとして動作します。
“1”の場合、タイムアウト機能はレスポンスタイムアウトとして動作します。

タイムアウトエラーの詳細は、「**22.7.7 エラーステータス**」を参照してください。

IPERE ビット（ID パリティエラー検出許可ビット）

ID パリティエラー検出許可／禁止設定します。

“0”の場合、ID パリティエラーを検出しません。
“1”の場合、ID パリティエラーを検出します。

このビットが“1”の場合の検出結果は、RLN3nLEST レジスタの IPER フラグに反映されます。
ID パリティエラーの詳細は、「**22.7.7 エラーステータス**」を参照してください。

SFERE ビット（シンクフィールドエラー検出許可ビット）

シンクフィールドエラー検出の許可／禁止を設定します。

“0”の場合、シンクフィールドエラーを検出しません。
“1”の場合、シンクフィールドエラーを検出します。

このビットは設定にかかわらず、シンクフィールドエラー検出時は次のヘッダ待ち状態になります。
このビットが“1”の場合の検出結果は、RLN3nLEST レジスタの SFER フラグに反映されます。
シンクフィールドエラーの詳細は、「**22.7.7 エラーステータス**」を参照してください。

FERE ビット（フレーミングエラー検出許可ビット）

フレーミングエラー検出の許可／禁止を設定します。

“0”の場合、フレーミングエラーを検出しません。
“1”の場合、フレーミングエラーを検出します。

このビットを“1”にしてください。フレーミングエラーの検出結果は、RLN3nLEST レジスタの FER フラグに反映されます。
フレーミングエラーの詳細は、「**22.7.7 エラーステータス**」を参照してください。

TERE ビット（タイムアウトエラー検出許可ビット）

フレームタイムアウトエラー または レスポンスタイムアウトエラー検出の許可／禁止を設定します。

“0”の場合、フレームタイムアウトエラーまたはレスポンスタイムアウトエラーを検出しません。
“1”の場合、フレームタイムアウトエラーまたはレスポンスタイムアウトエラーを検出します。

このビットが“1”の場合の検出結果は、RLN3nLEST レジスタの TER フラグに反映されます。
LTES ビットで、フレームタイムアウトエラー、レスポンスタイムアウトエラーの選択ができます。
タイムアウトエラーは、LIN スレーブモード〔オートボーレート〕（RLN3nLMD レジスタの LMD[1:0]ビットが“10_B”）では使用しないでください。
タイムアウトエラーは、レスポンスを 9 バイト以上で送信または 受信する場合には使用しないでください。
タイムアウトエラーの詳細は、「**22.7.7 エラーステータス**」を参照してください。

タイムアウト機能が有効（RLN3nLEDE.TERE＝1）の時に、RLN3nLCUC レジスタの OM0 ビットを“0”にすることによって LIN リセットモードへ移行させる場合、「**図 22.4 タイムアウト機能有効時に RLN3nLCUC レジスタの OM0 ビットを“0”にすることによるリセット手順**」に示す手順で実施してください。

BERE ビット（ビットエラー検出許可ビット）

ビットエラー検出の許可／禁止を設定します。

“0”の場合、ビットエラーを検出しません。
“1”の場合、ビットエラーを検出します。

このビットを“1”にしてください。ビットエラーの検出結果は、RLN3nLEST レジスタの BER フラグに反映されます。
ビットエラーの詳細は、「**22.7.7 エラーステータス**」を参照してください。

22.3.3.10 RLN3nLCUC — LIN 制御レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + $0E_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OM1	OM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 22.54 RLN3nLCUC レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	OM1	LIN モード選択ビット 0：LIN ウェイクアップモード 1：LIN 動作モード
0	OM0	LIN リセットビット 0：LIN リセットモード 1：LIN リセットモード解除

LIN リセットモードを解除するときに、LIN ウェイクアップモードに移行させる場合は RLN3nLCUC レジスタに“01_H”を、LIN 動作モードに移行させる場合は RLN3nLCUC レジスタに“03_H”を設定してください。

LIN セルフテストモードでは、LIN セルフテストモード移行後に RLN3nLCUC レジスタを“03_H”にしてください。

このレジスタに書き込みをした後は、書き込んだ値が RLN3nLMST レジスタに反映されることを確認してから、次の値の書き込みを行ってください。

OM1 ビット（LIN モード選択ビット）

LIN リセットモード解除時の動作モード（LIN ウェイクアップモード、LIN 動作モード）選択をするビットです。

“0”にすると、LIN/UART インタフェースは LIN ウェイクアップモードになります。
“1”にすると、LIN/UART インタフェースは LIN 動作モードになります。

このビットは、RLN3nLMST レジスタの OMM0 ビットが“1”のときのみ有効になります。
このビットは、RLN3nLTRC レジスタの FTS ビットが“1”の間は書けません。

OM0 ビット（LIN リセットビット）

LIN リセットモードへの移行／LIN リセットモードの解除を選択するビットです。

“0”にすると、LIN/UART インタフェースは LIN リセットモードになります。
“1”にすると、LIN/UART インタフェースは LIN リセットモードは解除されます。

タイムアウト機能が有効（RLN3nLEDE.TERE＝1）の時に、RLN3nLCUC レジスタの OM0 ビットを“0”にすることによって LIN リセットモードへ移行させる場合、「**図 22.4 タイムアウト機能有効時に RLN3nLCUC レジスタの OM0 ビットを“0”にすることによるリセット手順**」に示す手順で実施してください。

22.3.3.11　RLN3nLTRC — LIN 送信制御レジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base> + 10_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	LNRR	RTS	FTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 22.55　RLN3nLTRC レジスタの内容

ビット位置	ビット名	機能
7～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	LNRR	LIN レスポンスなし要求ビット 0：受信 ID に対するレスポンスあり 1：受信 ID に対するレスポンスなし
1	RTS	レスポンス送信／受信開始ビット 0：レスポンス送信／受信停止 1：レスポンス送信／受信開始
0	FTS	LIN 通信開始ビット 0：ヘッダ受信／ウェイクアップ送受信停止 1：ヘッダ受信／ウェイクアップ送受信開始

LNRR ビット（LIN レスポンスなし要求ビット）

ヘッダを受信し、受信 ID を確認後、レスポンス送受信を行わない場合に“1”にしてください。
設定後、このビットは新たなシンクフィールド検出および LIN リセットモード移行時に、自動的に“0”になります。
このビットは“1”のみ書けます。“0”は書けません。
このビットに“1”を書く場合は、ストア命令で“04_H”を書き込んでください。
このビットは、RTS と同時に“1”にしないでください。
このビットは、RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときは書けません。
このビットは、FTS が“0”（ヘッダ受信／ウェイクアップ送受信停止）のときは書けません。
9 バイト以上のレスポンスデータの送受信を行う場合は、ヘッダ完了後以外でこのビットを使用しないでください。（2 つ目以降のデータグループには使用しないでください）

RTS ビット（レスポンス送信／受信開始ビット）

ヘッダを受信し、受信 ID を確認後、レスポンス送信またはレスポンス受信開始時、“1”にしてください。
設定後、このビットはレスポンス送信／受信完了（エラー検出時を含む）および LIN リセットモード移行時に自動的に“0”になります。
このビットは“1”のみ書けます。“0”は書けません。
このビットに“1”を書く場合は、ストア命令で“02_H”を書き込んでください。
このビットは、LNRR と同時に“1”にしないでください。
このビットは、RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときは書けません。
このビットは、FTS ビットが“0”（ヘッダ受信／ウェイクアップ送受信停止）のときは書けません。

9 バイト以上のレスポンスデータの送受信を行う場合は、データグループ（0～8 バイトで可変）の送受信ごとに“1”に設定してください。設定後、データグループの送受信完了または LIN リセットモード移行時に自動的に“0”になります。

FTS ビット（LIN 通信開始ビット）

ヘッダ受信／ウェイクアップ送受信開始時、“1”にしてください。
このビットは“1”のみ書けます。“0”は書けません。
このビットは、RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときは書けません。
このビットは、ウェイクアップの通信終了時に“0”になります。
LIN リセットモード移行時に“0”になります。

22.3.3.12　RLN3nLMST ― LIN モードステータスレジスタ

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<RLIN3n_base> +11H

リセット後の値　00H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OMM1	OMM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 22.56　RLN3nLMST レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。
1	OMM1	LIN モードステータスモニタ 0：LIN ウェイクアップモード 1：LIN 動作モード
0	OMM0	LIN リセットステータスモニタ 0：LIN リセットモード 1：LIN リセットモードでない

OMM1 ビット（LIN モードステータスモニタ）

現在の動作モードが確認できます。

OMM0 ビット（LIN リセットステータスモニタ）

現在の動作モードが確認できます。

22.3.3.13　RLN3nLST ― LIN ステータスレジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base> + 12_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	HTRC	D1RC	—	—	ERR	—	FRC	FTC
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R/W	R/W

表 22.57　RLN3nLST レジスタの内容

ビット位置	ビット名	機能
7	HTRC	ヘッダ受信完了フラグ 0：受信未完了 1：ヘッダ受信完了
6	D1RC	データ 1 受信完了フラグ 0：受信未完了 1：データ 1 受信完了
5、4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	ERR	エラー検出フラグ 0：エラー未検出 1：エラー検出
2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	FRC	レスポンス／ウェイクアップ受信完了フラグ 0：受信未完了 1：レスポンスまたはウェイクアップ受信完了
0	FTC	レスポンス／ウェイクアップ送信完了フラグ 0：送信未完了 1：レスポンスまたはウェイクアップ送信完了

RLN3nLST レジスタは LIN リセットモード移行時、自動的に“00_H”になります。

LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は“00_H”を保持します。

レジスタ内の特定のビットをクリアする場合は、クリアするビットには“0”を、クリアしないビットには“1”をストア命令で書き込んでください。

HTRC フラグ（ヘッダ受信完了フラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
ヘッダ受信完了時、“1”となります。このとき RLN3nLIE レジスタの SHIE ビットが“1”（割り込み許可）の場合、RLIN3n 受信完了割り込み要求が発生します。ただし、このビットが“1”の状態で、ヘッダ受信完了した場合は、割り込みが発生しません。クリアする場合は、“0”を書いてください。
ヘッダ受信完了後、レスポンスフィールドで新規ヘッダを検出したい場合は、このビットが“1”になった後、クリアしてください。

D1RC フラグ（データ 1 受信完了フラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
データ 1 受信完了時、“1”となりますが割り込み要求は発生しません。クリアする場合は、“0”を書いてください。
9 バイト以上のレスポンスデータ受信を行う場合は、データグループ（0～8 バイトで可変）ごとでデータ 1 受信完了時、“1”となります。次のデータグループ受信開始前に“0”を書いてください。

ERR フラグ（エラー検出フラグ）

エラー検出（RLN3nLEST レジスタのフラグのうち 1 つでも“1”）時、“1”となります。このとき RLN3nLIE レジスタの ERRIE ビットが“1”（割り込み許可）の場合、RLIN3n ステータス割り込み要求が発生します。ただし、このビットが“1”の状態で、エラー検出した場合は、割り込みが発生しません。クリアする場合は、RLN3nLEST レジスタの RPER フラグ、IPER フラグ、CSER フラグ、SFER フラグ、FER フラグ、TER フラグ、BER フラグに“0”を書いてください。ERR フラグが“0”となります。

FRC フラグ（レスポンス／ウェイクアップ受信完了フラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
レスポンス受信完了またはウェイクアップ受信完了時、“1”となります。このとき RLN3nLIE レジスタの FRCIE ビットが“1”（割り込み許可）の場合、RLIN3n 受信完了割り込み要求が発生します。ただし、このビットが“1”の状態で、レスポンス受信完了またはウェイクアップ受信完了した場合は、割り込みが発生しません。クリアする場合は、“0”を書いてください。
9 バイト以上のレスポンスデータ受信を行う場合は、データグループ（0～8 バイトで可変）の受信完了ごとに“1”となります。次のデータグループ受信開始前に“0”を書いてください。

FTC フラグ（レスポンス／ウェイクアップ送信完了フラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
レスポンス送信完了またはウェイクアップ送信完了時、“1”となります。このとき RLN3nLIE レジスタの FTCIE ビットが“1”（割り込み許可）の場合、RLIN3n 送信割り込み要求発生します。ただし、このビットが“1”の状態で、レスポンス送信完了またはウェイクアップ送信完了した場合は、割り込みが発生しません。クリアする場合は、“0”を書いてください。
9 バイト以上のレスポンスデータ送信を行う場合は、データグループ（0～8 バイトで可変）の送信完了ごとに“1”となります。次のデータグループ送信開始前に“0”を書いてください。

22.3.3.14　RLN3nLEST — LIN エラーステータスレジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base> + 13_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	RPER	IPER	CSER	SFER	FER	TER	—	BER
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

表 22.58　RLN3nLEST レジスタの内容

ビット位置	ビット名	機能
7	RPER	レスポンス準備エラーフラグ 0：レスポンス準備エラー未検出 1：レスポンス準備エラー検出
6	IPER	ID パリティエラーフラグ 0：ID パリティエラー未検出 1：ID パリティエラー検出
5	CSER	チェックサムエラーフラグ 0：チェックサムエラー未検出 1：チェックサムエラー検出
4	SFER	シンクフィールドエラーフラグ 0：シンクフィールドエラー未検出 1：シンクフィールドエラー検出
3	FER	フレーミングエラーフラグ 0：フレーミングエラー未検出 1：フレーミングエラー検出
2	TER	タイムアウトエラーフラグ 0：フレーム／レスポンスタイムアウトエラー未検出 1：フレーム／レスポンスタイムアウトエラー検出
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	BER	ビットエラーフラグ 0：ビットエラー未検出 1：ビットエラー検出

RLN3nLEST レジスタは LIN リセットモード移行時、自動的に“00_H”になります。

LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は“00_H”を保持します。

レジスタ内の特定のビットをクリアする場合は、クリアするビットには“0”を、クリアしないビットには“1”をストア命令で書き込んでください。

RPER フラグ（レスポンス準備エラーフラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
レスポンス準備エラー検出時、“1”となります。クリアする場合は、“0”を書いてください。

IPER フラグ（ID パリティエラーフラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの IPERE ビットが“1”（ID パリティエラー検出許可）で、ID パリティエラー発生時、“1”となります。クリアする場合は、“0”を書いてください。

CSER フラグ（チェックサムエラーフラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
チェックサムエラー検出時、“1”となります。クリアする場合は、“0”を書いてください。

SFER フラグ（シンクフィールドエラーフラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの SFERE ビットが“1”（シンクフィールドエラー検出許可）で、シンクフィールドエラー検出時、“1”となります。クリアする場合は、“0”を書いてください。

FER フラグ（フレーミングエラーフラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの FERE ビットが“1”（フレーミングエラー検出許可）で、フレーミングエラー検出時、“1”となります。クリアする場合は、“0”を書いてください。

TER フラグ（タイムアウトエラーフラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

RLN3nLEDE レジスタの TERE ビットが“1”（フレーム／レスポンスタイムアウトエラー検出許可）で、フレームタイムアウトエラーまたはレスポンスタイムアウトエラー検出時、“1”となります。クリアする場合は、“0”を書いてください。

BER フラグ（ビットエラーフラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの BERE ビットが“1”（ビットエラー検出許可）で、ビットエラー検出時、“1”となります。クリアする場合は、“0”を書いてください。

22.3.3.15　RLN3nLDFC — LIN データフィールド設定レジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base> + 14_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	LSS	—	LCS	RCDS	RFDL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

表 22.59　RLN3nLDFC レジスタの内容

ビット位置	ビット名	機能
7	LSS	継続選択ビット 0：次に送受信するデータグループは最終である。 1：次に送受信するデータグループは最終ではない。 （次のヘッダ受信を待たずにデータ送受信を継続）
6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	LCS	チェックサム選択ビット 0：クラシック 1：エンハンス
4	RCDS	レスポンスフィールド通信方向選択ビット 0：レスポンス受信 1：レスポンス送信
3〜0	RFDL[3:0]	レスポンスフィールド長設定ビット b3　b0 0 0 0 0：0 バイト（＋チェックサム） 0 0 0 1：1 バイト（＋チェックサム） 0 0 1 0：2 バイト（＋チェックサム） ： 0 1 1 1：7 バイト（＋チェックサム） 1 0 0 0：8 バイト（＋チェックサム） 上記以外は設定しないでください。

LSS ビット（継続選択ビット）

9 バイト以上のレスポンスデータ送受信を行う場合に、次に送受信するデータグループが最後でないことを示すためのビットです。“0”の場合、次に送信または受信するデータグループが最後として、データとチェックサムの送信または受信を行います。

“1”の場合、次に送信または受信するデータグループが最後でないため、データのみの送信または受信を行ない、チェックサムは含みません。

多バイトレスポンス送受信機能を使用しない場合は、このビットに“0”を設定してください。

このビットは、RTS が“0”（レスポンス送信／受信停止）のときに設定してください。

LCS ビット（チェックサム選択ビット）

チェックサムの方式の設定をします。

“0”の場合、チェックサムの方式はクラシックとなります。

“1”の場合、チェックサムの方式はエンハンスとなります。

タイムアウトエラーを使用する（RLN3nLEDE レジスタの TERE ビットが“1”）場合は、このビット設定によりタイムアウト時間が異なります。詳細は「**22.7.7 エラーステータス**」を参照してください。
レスポンスフィールド長が 0 バイト（RFDL ビットが“0”）のとき、このビットを“1”（エンハンス）にしないでください。
9 バイト以上のレスポンスデータ送受信を行う場合は、最初のデータグループ以降、最後のデータグループまで、このビットの設定を変えないでください。
9 バイト以上のレスポンスデータ送受信を行う場合は、最後のデータグループ（LSS ビットが“0”）のみチェックサムを含み、それ以外のデータグループ（LSS ビットが“1”）はチェックサムを含みません。
このビットは、RTS が“0”（レスポンス送信／受信停止）のときに設定してください。

RCDS ビット（レスポンスフィールド通信方向選択ビット）

レスポンスフィールド／ウェイクアップシグナルの通信方向を設定します。

“0”の場合、レスポンスフィールドで受信します。また、LIN ウェイクアップモードでは、ウェイクアップ受信（入力信号ローレベル幅カウント）を行います。
“1”の場合、レスポンスフィールドで送信します。また、LIN ウェイクアップモードでは、ウェイクアップ送信を行います。

このビットは、LIN 動作モードでは RLN3nLTRC レジスタの RTS ビットが“0”（レスポンス送信／受信停止）のときに、LIN ウェイクアップモードでは FTS ビットが“0”（ヘッダ受信／ウェイクアップ送受信停止）のときに設定してください。
9 バイト以上のレスポンスデータ送信またはレスポンスデータ受信を行う場合は、最初のデータグループ以降、最後のデータグループまで、このビットの設定を変えないでください。

RFDL[3:0]ビット（レスポンスフィールド長設定ビット）

レスポンスフィールドのデータ長を設定します。
データ長は 0～8 バイトまで設定でき、データ長にはチェックサムのサイズを含みません。
これらのビットは、RLN3nLTRC レジスタの RTS が“0”（レスポンス送信／受信停止）のときに設定してください。
9 バイト以上のレスポンスデータ送受信を行う場合は、最後のデータグループ（LSS ビットが“0”）のみチェックサムを含み、それ以外のデータグループ（RLN3nLDFC レジスタの LSS ビットが“1”）はチェックサムを含みません。

22.3.3.16　RLN3nLIDB ― LIN ID バッファレジスタ

アクセス	8 ビット単位でリード／ライト可能です。
アドレス	<RLIN3n_base> + 15_H
リセット後の値	00_H

ビット	7	6	5	4	3	2	1	0
	IDP1	IDP0	ID[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.60　RLN3nLIDB レジスタの内容

ビット位置	ビット名	機能
7、6	IDP[1:0]	パリティ設定ビット ID フィールドで受信したパリティ（P1、P0）ビットを格納
5〜0	ID[5:0]	ID 設定ビット ID フィールドで受信した 6 ビットの ID 値を格納

RLN3nLIDB レジスタの値は、ヘッダ受信完了したときに有効です。LIN モード（LIN 動作モード、LIN ウェイクアップモード）では書き込みできません。

LIN セルフテストモード時は、以下の通りになります。

通信前に送信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、「**22.9 LIN セルフテストモード**」を参照してください。

IDP[1:0]ビット（パリティ設定ビット）

LIN フレームの ID フィールドで受信したパリティ（P0、P1）ビットが格納されます。IDP0 が P0、IDP1 が P1 です。
RLN3nLEDE レジスタの IPERE ビットが“1”（ID パリティ検出許可）の場合、受信した値と内部で算出した値の確認を行い、一致しない場合は、IPER（ID パリティエラーフラグ）がセットされます。

ID[5:0]ビット（ID 設定ビット）

LIN フレームの ID フィールドで受信した 6 ビットの ID が格納されます。

22.3.3.17 RLN3nLCBR — LIN チェックサムバッファレジスタ

アクセス 8 ビット単位でリードのみ可能です。ただし、LIN セルフテストモード時は、8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + 16_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	CKSM[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.61 RLN3nLCBR レジスタの内容

ビット位置	ビット名	機能
7〜0	CKSM[7:0]	チェックサムの送受信データを格納します。

LIN 動作モード時は、以下のとおりとなります。

- RLN3nLDFC レジスタの RCDS ビットが“1”（送信）の場合：

  送信した値を読むことができます。読み出す場合は、送信完了後に行ってください。
  書き込みは無効になります。

- RLN3nLDFC レジスタの RCDS ビットが“0”（受信）の場合：

  受信した値を読むことができます。読み出す場合は、受信完了後に行ってください。
  書き込みは無効になります。

9 バイト以上のレスポンスデータ送信またはレスポンスデータ受信を行う場合は、最後のデータグループにのみチェックサムが付加されるため、それ以外のデータグループではこのレジスタは更新されません。

LIN セルフテストモード時は、以下の通りとなります。

- RLN3nLDFC レジスタの RCDS ビットが“1”（送信）の場合：

  フレーム送信完了後（ループバック後）、受信した値の反転値を読むことができます

- RLN3nLDFC レジスタの RCDS ビットが“0”（受信）の場合：

  通信前に受信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、「**22.9 LIN セルフテストモード**」を参照してください。

このレジスタは RLN3nLTRC レジスタの FTS ビットが“0”（フレーム送信／ウェイクアップ送受信停止）のときに設定してください。

22.3.3.18　RLN3nLDBRb ― LIN データバッファ b レジスタ（b＝1～8）

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　RLN3nLDBR1：<RLIN3n_base> + 18_H
RLN3nLDBR2：<RLIN3n_base> + 19_H
RLN3nLDBR3：<RLIN3n_base> + $1A_H$
RLN3nLDBR4：<RLIN3n_base> + $1B_H$
RLN3nLDBR5：<RLIN3n_base> + $1C_H$
RLN3nLDBR6：<RLIN3n_base> + $1D_H$
RLN3nLDBR7：<RLIN3n_base> + $1E_H$
RLN3nLDBR8：<RLIN3n_base> + $1F_H$

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	LDB[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.62　RLN3nLDBRb レジスタの内容

ビット位置	ビット名	機能
7～0	LDB[7:0]	送信データを設定、または受信データを保持 設定範囲：00_H～FF_H

- レスポンス送信の場合：

  レスポンスフィールドで送信するデータを設定します。
  これらのレジスタは、RLN3nLTRC レジスタの RTS ビットが“0”（レスポンス送信／受信停止）のときに設定してください。

- レスポンス受信の場合：

  レスポンスフィールドで受信したデータが格納されます。
  受信データは上書きされます。また、エラー検出時は、エラーを検出したバイトまでのデータが格納されます。
  これらのレジスタは、RTS ビットが“1”（レスポンス送信／受信開始）のときに読み出さないでください。

LIN セルフテストモード時は、以下の通りとなります。

通信前に送信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、「**22.9 LIN セルフテストモード**」を参照してください。

22.3.4　UART 関連レジスタ

22.3.4.1　RLN3nLWBR — LIN ウェイクアップボーレート選択レジスタ

アクセス	8 ビット単位でリード／ライト可能です。
アドレス	<RLIN3n_base> + 01_H
リセット後の値	00_H

ビット	7	6	5	4	3	2	1	0
	NSPB[3:0]				LPRS[2:0]			—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

表 22.63　RLN3nLWBR レジスタの内容

ビット位置	ビット名	機能
7～4	NSPB[3:0]	ビットサンプリング数選択ビット b7　　b4 0 0 0 0 : 16 サンプリング 0 1 0 1 : 6 サンプリング 0 1 1 0 : 7 サンプリング 0 1 1 1 : 8 サンプリング 1 0 0 0 : 9 サンプリング 1 0 0 1 : 10 サンプリング 1 0 1 0 : 11 サンプリング 1 0 1 1 : 12 サンプリング 1 1 0 0 : 13 サンプリング 1 1 0 1 : 14 サンプリング 1 1 1 0 : 15 サンプリング 1 1 1 1 : 16 サンプリング 上記以外は設定しないでください。
3～1	LPRS[2:0]	プリスケーラクロック選択ビット b3　b1 0 0 0 : 1/1 0 0 1 : 1/2 0 1 0 : 1/4 0 1 1 : 1/8 1 0 0 : 1/16 1 0 1 : 1/32 1 1 0 : 1/64 1 1 1 : 1/128
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RLN3nLWBR レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときに設定してください。

NSPB[3:0]ビット（ビットサンプリング数選択ビット）

1Tbit（ボーレートの逆数）のサンプリング数を選択するビットです。
UART モードでは、これらのビットを 6～16 サンプリングで設定可能です。

LPRS[2:0]ビット（プリスケーラクロック選択ビット）

プリスケーラの分周比を選択するビットです。

このプリスケーラにより LIN 通信クロック源を分周します。

22.3.4.2　RLN3nLBRP01 ― UART ボーレートプリスケーラ 01 レジスタ

アクセス　RLN3nLBRP01 レジスタは 16 ビット単位でリード／ライト可能です。
RLN3nLBRP0 レジスタは 8 ビット単位でリード／ライト可能です。
RLN3nLBRP1 レジスタは 8 ビット単位でリード／ライト可能です。

アドレス　RLN3nLBRP01：<RLIN3n_base> + 02_H
RLN3nLBRP0：<RLIN3n_base> + 02_H
RLN3nLBRP1：<RLIN3n_base> + 03_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BRP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.64　RLN3nLBRP01 レジスタの内容

ビット位置	ビット名	機能
15～0	BRP[15:0]	設定値を L（0～65535）とすると、ボーレートプリスケーラはプリスケーラクロックを L+1 分周する。 設定範囲：0000_H～$FFFF_H$

RLN3nLBRP01 レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときに設定してください。

このレジスタの設定値を L とすると、ボーレートプリスケーラは RLN3nLWBR レジスタの LPRS ビット（プリスケーラクロック選択ビット）で分周したクロックを L+1 分周します。

RLN3nLBRP01 レジスタは、RLN3nLBRP0 レジスタおよび RLN3nLBRP1 レジスタにより、8 ビットアクセスが可能です。

22.3.4.3　RLN3nLMD — UART モードレジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base> + 08_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	LRDNFS	—	—	—	LMD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R	R	R/W	R/W

表 22.65　RLN3nLMD レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	LRDNFS	UART 受信データノイズフィルタ禁止ビット 0：ノイズフィルタを使用する 1：ノイズフィルタを使用しない
4～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	LMD[1:0]	LIN/UART モード選択ビット b1　b0 0　1：UART モード

RLN3nLMD レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときに設定してください。

LRDNFS ビット（UART 受信データノイズフィルタ禁止ビット）

データ受信時のノイズフィルタの有効／無効を選択するビットです。

“0”の場合、データ受信時のノイズフィルタは有効です。
“1”の場合、データ受信時のノイズフィルタは無効です。

LMD[1:0]ビット（LIN/UART モード選択ビット）

LIN/UART インタフェースのモードを選択するビットです。
UART として使用する場合は、これらのビットを“01_B”に設定してください。

22.3.4.4　RLN3nLBFC ― UART 設定レジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base> + 09_H

リセット後の値　00H

ビット	7	6	5	4	3	2	1	0
	—	UTPS	URPS	UPS[1:0]		USBLS	UBOS	UBLS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.66　RLN3nLBFC レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	UTPS	UART 出力極性切り換えビット 0：送信データ通常出力 1：送信データ反転出力
5	URPS	UART 入力極性切り換えビット 0：受信データ通常入力 1：受信データ反転入力
4、3	UPS[1:0]	UART パリティ選択ビット 00：パリティ禁止 01：偶数パリティ 10：0 パリティ 11：奇数パリティ
2	USBLS	UART ストップビット長選択ビット 0：ストップビット：1 ビット 1：ストップビット：2 ビット
1	UBOS	UART 転送フォーマット順選択ビット 0：LSB ファースト 1：MSB ファースト
0	UBLS	UART キャラクタ長選択ビット 0：UART 8 ビット通信 1：UART 7 ビット通信

RLN3nLBFC レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときに設定してください。

UTPS ビット（UART 出力極性切り替えビット）

UART 通信の出力極性を設定します。

“0”の場合、送信データをそのまま出力します。
“1”の場合、送信データを反転して出力します。

このビットの設定は、UART フレームの全てのビットで有効です。
半二重通信で使用するときは、URPS ビットと設定を合わせてください。

URPS ビット（UART 入力極性切り替えビット）

UART 通信の入力極性を設定します。

“0”の場合、受信データをそのまま取り込みます。
“1”の場合、受信データを反転して取り込みます。

このビットの設定は、UART フレームのすべてのビットで有効です。
半二重通信で使用するときは、UTPS ビットと設定を合わせてください。
このビットに“1”を設定して、拡張ビット受信（（拡張ビット比較あり）または（データ比較あり））を行う場合は、受信した値の反転値で比較を行うため、期待値の反転値を RLN3nLUOR1 レジスタの UEBDL ビット、RLN3nLIDB レジスタに設定してください。

UPS[1:0]ビット（UART パリティ選択ビット）

UART のパリティを設定します。

- “00_B”の場合、パリティなしで通信します。

  ［送信］
  送信データにパリティビットを付加しません。

  ［受信］
  パリティ処理なしで受信します。そのため、パリティエラーは発生しません。

- “01_B”の場合、偶数パリティで通信します。

  ［送信］
  送信データ内の“1”の個数が奇数の場合、パリティビットに“1”を付加し、送信データ内の“1”の個数が偶数の場合、パリティビットに“0”を付加します。

  ［受信］
  パリティビットを含めた受信データ内の“1”の個数が、奇数の場合にパリティエラーを発生します。

- “10_B”の場合、0 パリティで通信します。

  ［送信］
  送信データ内の“1”の個数にかかわらず、パリティビットに“0”を付加します。

  ［受信］
  パリティビットの値を判定しません。そのため、パリティエラーは発生しません。

- “11_B”の場合、奇数パリティで通信します。

  ［送信］
  送信データ内の“1”の個数が奇数の場合、パリティビットに“0”を付加し、送信データ内の“1”の個数が偶数の場合、パリティビットに“1”を付加します。

  ［受信］
  パリティビットを含めた受信データ内の“1”の個数が、偶数の場合にパリティエラーを発生します。

USBLS ビット（UART ストップビット長選択ビット）

UART 通信のストップビット長を設定します。

“0”の場合、1 ビットのストップビット長で送信します。
“1”の場合、2 ビットのストップビット長で送信します。

UBOS ビット（UART 転送フォーマット選択ビット）

UART 通信データのビットオーダを設定します。

“0”の場合、LSB ファーストで通信します。
“1”の場合、MSB ファーストで通信します。

UBLS ビット（UART キャラクタ長選択ビット）

UART 通信 1 フレームのキャラクタ長を設定します。

“0”の場合、8 ビット
“1”の場合、7 ビット

1 フレームのキャラクタ長を 9 ビットで使用する場合（RLN3nLUOR1 レジスタの UEBE ビットが“1”）は、このビットの設定は無効です。

22.3.4.5　RLN3nLSC — UART スペース設定レジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base> + $0A_H$

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	IBS[1:0]		—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R	R

表 22.67　RLN3nLSC レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5、4	IBS[1:0]	インタバイトスペース設定ビット b5　b4 0　0：0Tbit 0　1：1Tbit 1　0：2Tbits 1　1：3Tbits
3〜0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RLN3nLSC レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときに設定してください。

IBS[1:0]ビット（インタバイトスペース設定ビット）

UART バッファによる送信時、UART フレーム間のスペースの幅の設定をします。0Tbit〜3Tbits を設定できます。
UART バッファを使用しない場合は、“00_B”に設定してください。
UART 送信データレジスタ（RLN3nLUTDR）と UART ウェイト用送信データレジスタ（RLN3nLUWTDR）からデータが転送された場合、これらのビットの設定は無視されます。これらのビットは“00_B”に設定してください。

22.3.4.6 RLN3nLEDE — UART エラー検出許可レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + $0D_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	FERE	OERE	—	BERE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R	R/W

表 22.68 RLN3nLEDE レジスタの内容

ビット位置	ビット名	機能
7～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	FERE	フレーミングエラー検出許可ビット 0：フレーミングエラー検出禁止 1：フレーミングエラー検出許可
2	OERE	オーバランエラー検出許可ビット 0：オーバランエラー検出禁止 1：オーバランエラー検出許可
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	BERE	ビットエラー検出許可ビット 0：ビットエラー検出禁止 1：ビットエラー検出許可

RLN3nLEDE レジスタは RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときに設定してください。

FERE ビット（フレーミングエラー検出許可ビット）

フレーミングエラー検出の許可／禁止を設定します。

“0”の場合、フレーミングエラーを検出しません。
“1”の場合、フレーミングエラーを検出します。

このビットが“1”の場合の検出結果は、RLN3nLEST レジスタの FER フラグに反映されます。
フレーミングエラーの詳細は、「**22.8.5 エラーステータス**」を参照してください。

OERE ビット（オーバランエラー検出許可ビット）

オーバランエラー検出の許可／禁止を設定します。

“0”の場合、オーバランエラーを検出しません。
“1”の場合、オーバランエラーを検出します。

このビットが“1”の場合の検出結果は、RLN3nLEST レジスタの OER フラグに反映されます。
オーバランの詳細は、「**22.8.5 エラーステータス**」を参照してください。

BERE ビット（ビットエラー検出許可ビット）

ビットエラー検出の許可／禁止を設定します。

“0”の場合、ビットエラーを検出しません。
“1”の場合、ビットエラーを検出します。

このビットが“1”の場合の検出結果は、RLN3nLEST レジスタの BER フラグに反映されます。
全二重通信で使用する場合は、このビットを“1”にしないでください。
RLN3nLWBR レジスタの NSPB ビットが“0101_B”（6 サンプリング）かつ RLN3nLMD レジスタの LRDNFS ビットが“0”（ノイズフィルタを使用する）のときに、このビットを設定しないでください。
ビットエラーの詳細は、「**22.8.5 エラーステータス**」を参照してください。

22.3.4.7 RLN3nLCUC — UART 制御レジスタ

アクセス	8 ビット単位でリード／ライト可能です。
アドレス	<RLIN3n_base> + $0E_H$
リセット後の値	00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 22.69 RLN3nLCUC レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	OM0	LIN リセットビット 0：LIN リセットモード 1：LIN リセットモード解除

このレジスタに書き込みをした後は、書き込んだ値が RLN3nLMST レジスタに反映されることを確認してから、次の値の書き込みを行ってください。

OM0 ビット（LIN リセットビット）

LIN リセットモードへの移行／LIN リセットモードの解除を選択するビットです。

“0”にすると、LIN リセットモードになります。
“1”にすると、LIN リセットモードは解除されます。

22.3.4.8　RLN3nLTRC — UART 送信制御レジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base> + 10_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RTS	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R

表 22.70　RLN3nLTRC レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	RTS	UART バッファ送信開始ビット 0：UART バッファ送信停止 1：UART バッファ送信開始
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RTS ビット（UART バッファ送信開始ビット）

UART バッファからデータ送信を行う場合に“1”にしてください。
このビットは“1”のみ書けます。“0”は書けません。
このビットは、RLN3nLUOER レジスタの UTOE ビットが“1”（送信動作許可）かつ RLN3nLST レジスタの UTS ビットが“0”（送信動作中でない）のときに書いてください。
設定後、エラーの有無にかかわらず、RLN3nLDFC レジスタの MDL ビットで設定したデータ数のデータを送信完了したとき、自動的に“0”になります。また、LIN リセットモードに移行したときも自動的に“0”になります。
このビットは、RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときは書けません。
RLN3nLDFC レジスタの UTSW ビットが“1”（UART バッファ送信要求時、受信のストップビット完了まで送信開始を遅らせる）でこのビットに“1”を書き込む場合は、ストップビットの受信中にのみ行ってください。

22.3.4.9　RLN3nLMST ― UART モードステータスレジスタ

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<RLIN3n_base> + 11_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OMM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 22.71　RLN3nLMST レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	リードした場合はリセット後の値が読めます。
0	OMM0	LIN リセットステータスモニタ 0：LIN リセットモード 1：LIN リセットモードでない

OMM0 ビット（LIN リセットステータスモニタ）

現在の動作モードが確認できます。

22.3.4.10　RLN3nLST — UART ステータスレジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base> + 12_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	URS	UTS	ERR	—	—	FTC
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 22.72　RLN3nLST レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	URS	受信ステータスフラグ 0：受信動作中でない 1：受信動作中
4	UTS	送信ステータスフラグ 0：送信動作中でない 1：送信動作中
3	ERR	エラー検出フラグ 0：エラー未検出 1：エラー検出
2、1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	FTC	UART バッファ送信完了フラグ 0：UART バッファ送信未完了 1：UART バッファ送信完了

RLN3nLST レジスタは LIN リセットモード移行時、自動的に“00_H”になります。LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は“00_H”を保持します。レジスタ内の特定ビットをクリアする場合は、クリアするビットには“0”を、クリアしないビットには“1”をストア命令で書き込んでください。

URS フラグ（受信ステータスフラグ）

受信動作開始時に“1”となります。
受信動作開始となるのは以下の条件です。

- スタートビットを検出したとき

受信動作終了時に“0”になります。受信動作停止中は“0”を保持します。
受信動作終了となるのは以下の条件です。

- ストップビット 1 ビット目のサンプリングポイント

UTS フラグ（送信ステータスフラグ）

送信動作開始時に“1”となります。送信動作中は“1”を保持します。
送信動作開始となるのは以下の条件です。

- RLN3nLUTDR レジスタまたは RLN3nLUWTDR レジスタに送信データがセットされたとき
- RLN3nLTRC レジスタの RTS ビットに“1”がセットされたとき

送信動作終了時に“0”になります。
送信動作終了となるのは以下の条件です。

- RLN3nLUTDR レジスタまたは RLN3nLUWTDR レジスタにセットされたデータの送信完了かつ次のデータが設定されていないとき
- UART バッファからの送信が完了したとき（RLN3nLTRC レジスタの RTS ビットが“0”になったとき）

ERR フラグ（エラー検出フラグ）

エラー検出、拡張ビット検出および ID 一致（RLN3nLEST レジスタのフラグのうち 1 つでも“1”）時、“1”となります。このとき、RLIN3n ステータス割り込み要求が発生します。ただし、このビットが“1”の状態で、エラー検出、拡張ビット検出および ID 一致した場合は、割り込みが発生しません。クリアする場合は、RLN3nLEST レジスタの UPER フラグ、IDMT フラグ、EXBT フラグ、FER フラグ、OER フラグ、BER フラグに“0”を書いてください。

FTC フラグ（UART バッファ送信完了フラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
UART バッファから RLN3nLDFC レジスタの MDL ビットで設定したデータ数のデータをエラーの有無にかかわらず送信完了時、“1”となります。このとき、RLIN3n 送信割り込み要求が発生します。クリアする場合は、“0”を書いてください。

22.3.4.11　RLN3nLEST — UART エラーステータスレジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base> + 13_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	UPER	IDMT	EXBT	FER	OER	—	BER
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R	R/W

表 22.73　RLN3nLEST レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	UPER	パリティエラーフラグ 0：パリティエラー未検出 1：パリティエラー検出
5	IDMT	ID 一致フラグ 0：受信データと ID 値不一致 1：受信データと ID 値一致
4	EXBT	拡張ビット検出フラグ 0：拡張ビット未検出 1：拡張ビット検出
3	FER	フレーミングエラーフラグ 0：フレーミングエラー未検出 1：フレーミングエラー検出
2	OER	オーバランエラーフラグ 0：オーバランエラー未検出 1：オーバランエラー検出
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	BER	ビットエラーフラグ 0：ビットエラー未検出 1：ビットエラー検出

RLN3nLEST レジスタは LIN リセットモード移行時、自動的に“00_H”になります。LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は“00_H”を保持します。レジスタ内の特定ビットをクリアする場合は、クリアするビットには“0”を、クリアしないビットには“1”をストア命令で書き込んでください。

UPER フラグ（パリティエラーフラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
パリティエラー検出時、“1”となります。クリアする場合は、“0”を書いてください。

IDMT フラグ（ID 一致フラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
以下のすべての条件が成立したときに、“1”となります。

- RLN3nLUOR1 レジスタの UEBE ビットが“1”（拡張ビット動作許可）
- RLN3nLUOR1 レジスタの UECD ビットが“0”（拡張ビット比較許可）
- RLN3nLUOR1 レジスタの UEBDCE ビットが“1”（拡張ビット検出後のデータ比較する）
  - 受信した拡張ビットが RLN3nLUOR1 レジスタの UEBDL ビットの値と一致
  - 受信データのうち拡張ビットを除く 8 ビットの値が RLN3nLIDB レジスタの値と一致

クリアする場合は、“0”を書いてください。

EXBT フラグ（拡張ビット検出フラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN3nLUOR1 レジスタの UEBE ビットが“1”（拡張ビット動作許可）で、受信した拡張ビットが RLN3nLUOR1 レジスタの UEBDL ビットの値と一致した場合、“1”となります。
クリアする場合は、“0”を書いてください。

FER フラグ（フレーミングエラーフラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの FERE ビットが“1”（フレーミングエラー検出許可）で、フレーミングエラー検出時、“1”となります。
クリアする場合は、“0”を書いてください。

OER フラグ（オーバランエラーフラグ）

“0”のみ書けます。“1”を書いた場合は書き前の値を保持します。
RLN3nLEDE レジスタの OERE ビットが“1”（オーバランエラー検出許可）で、オーバランエラー発生時、“1”となります。クリアする場合は、“0”を書いてください。

BER フラグ（ビットエラーフラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。
RLN3nLEDE レジスタの BERE ビットが“1”（ビットエラー検出許可）で、送信したデータと、受信端子でモニタしているデータが一致しなかったとき、“1”となります。
クリアする場合は、“0”を書いてください。

22.3.4.12 RLN3nLDFC — UART データフィールド設定レジスタ

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <RLIN3n_base> + 14_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	UTSW	—	MDL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R/W	R/W	R/W	R/W

表 22.74 RLN3nLDFC レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	UTSW	送信開始ウェイトビット 0：UART バッファ送信要求時、すぐに送信を開始 1：UART バッファ送信要求時、受信のストップビット完了まで送信開始を遅らせる
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3〜0	MDL[3:0]	UART バッファデータ長選択ビット b3 b0 0 0 0 0：9 データ 0 0 0 1：1 データ 0 0 1 0：2 データ 0 0 1 1：3 データ 0 1 0 0：4 データ 0 1 0 1：5 データ 0 1 1 0：6 データ 0 1 1 1：7 データ 1 0 0 0：8 データ 1 0 0 1：9 データ 上記以外は設定しないでください。

UTSW ビット（送信開始ウェイトビット）

UART バッファの送信開始タイミングを制御します。

“0”の場合、UART バッファ送信開始が要求され次第、すぐに送信を開始します。
“1”の場合、ストップビットの受信完了後、送信が開始されます。

なお、RLN3nLBFC レジスタの USBLS ビットによってストップビット長を 2 ビットにしていても、1 ビット分しか待ちません。
このビットは、RLN3nLTRC レジスタの RTS ビットに“1”を設定したときに有効となります。また、RTS ビットが“1”（UART バッファ送信開始）のときは書けません。
半二重通信で受信から送信に切り替えるとき以外で、このビットを“1”にしないでください。

MDL[3:0]ビット（UART バッファデータ長選択ビット）

UART バッファのデータ長を設定します。
これらのビットは、RLN3nLTRC レジスタの RTS ビットが“1”（UART バッファ送信開始）のときは書けません。

22.3.4.13　RLN3nLIDB ― UART ID バッファレジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base> + 15_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	ID[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.75　RLN3nLIDB レジスタの内容

ビット位置	ビット名	機能
7～0	ID[7:0]	拡張ビットデータ比較で参照する ID 値を設定

ID ビット（ID ビット）

RLN3nLUOR1 レジスタの UEBE ビットが“1”（拡張ビット動作許可）かつ UECD ビットが“0”（拡張ビット比較許可）かつ UEBDCE ビットが“1”（拡張ビット検出後のデータ比較する）で使用する際に、受信データと比較する値を設定してください。RLN3nLIDB レジスタは、RLN3nLST レジスタの URS ビットが“0”（受信動作中でない）のときに書いてください。

22.3.4.14　RLN3nLUDB0 ― UART データバッファ 0 レジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base> + 17_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	UDB[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.76　RLN3nLUDB0 レジスタの内容

ビット位置	ビット名	機能
7～0	UDB[7:0]	送信データを設定 設定範囲：00_H～FF_H

UART バッファからデータ長 9 データ（RLN3nLDFC レジスタの MDL ビットが“0_H”または“9_H”）で送信する際に、始めに送信するデータを設定します。

RLN3nLUDB0 レジスタは、RLN3nLTRC レジスタの RTS ビットが“0”（UART バッファ送信停止）のときに書いてください。

通信フォーマットの設定によるビット配置を「**表 22.77 各通信フォーマットでの RLN3nLUDB0 レジスタのビット配置**」に示します。

UART バッファの詳細は、「**22.8.1.2 UART バッファ送信、22.8.1.2(1) UART バッファの送信**」を参照してください。

表 22.77　各通信フォーマットでの RLN3nLUDB0 レジスタのビット配置

	RLN3nLUDB0							
	b7	b6	b5	b4	b3	b2	b1	b0
7-bit LSB ファースト	—注 1	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
7-bit MSB ファースト	—注 1	Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6
8-bit LSB ファースト	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
8-bit MSB ファースト	Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6	Bit 7

注1.　7 ビットデータ長の場合は、リセット後の値を書き込んでください。

22.3.4.15　RLN3nLDBRb — UART データバッファ b レジスタ（b＝1〜8）

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　RLN3nLDBR1：<RLIN3n_base> + 18_H
RLN3nLDBR2：<RLIN3n_base> + 19_H
RLN3nLDBR3：<RLIN3n_base> + $1A_H$
RLN3nLDBR4：<RLIN3n_base> + $1B_H$
RLN3nLDBR5：<RLIN3n_base> + $1C_H$
RLN3nLDBR6：<RLIN3n_base> + $1D_H$
RLN3nLDBR7：<RLIN3n_base> + $1E_H$
RLN3nLDBR8：<RLIN3n_base> + $1F_H$

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	LDB[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.78　RLN3nLDBRb レジスタの内容

ビット位置	ビット名	機能
7〜0	LDB[7:0]	送信データを設定 設定範囲：00_H〜FF_H

UART バッファから送信するデータを設定します。

これらのレジスタは、RLN3nLTRC レジスタの RTS ビットが“0”（UART バッファ送信停止）のときに書いてください。

通信フォーマットの設定によるビット配置を「**表 22.79 各通信フォーマットでの RLN3nLDBRb レジスタのビット配置**」に示します。

UART バッファの詳細は、「**22.8.1.2 UART バッファ送信、22.8.1.2(1) UART バッファの送信**」を参照してください。

表 22.79　各通信フォーマットでの RLN3nLDBRb レジスタのビット配置

	RLN3nLDBRb							
	b7	b6	b5	b4	b3	b2	b1	b0
7-bit；LSB ファースト	—注 1	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
7-bit；MSB ファースト	—注 1	Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6
8-bit；LSB ファースト	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
8-bit；MSB ファースト	Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6	Bit 7

注1.　7 ビットデータ長の場合は、リセット後の値を書き込んでください。

22.3.4.16　RLN3nLUOER — UART オペレーション許可レジスタ

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base> + 20_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	UROE	UTOE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 22.80　RLN3nLUOER レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	UROE	受信動作許可ビット 0：受信動作禁止 1：受信動作許可
0	UTOE	送信動作許可ビット 0：送信動作禁止 1：送信動作許可

RLN3nLUOER レジスタは LIN リセットモード移行時、自動的に“00_H”になります。

LIN リセットモード中は、このレジスタへは書くことができません。

LIN リセットモード中は“00_H”を保持します。

UROE ビット（受信動作許可ビット）

受信動作の許可／禁止を設定します。

“0”の場合、受信動作を禁止します。
“1”の場合、受信動作を許可します。

受信中にこのビットをクリアしないでください。受信中に通信を中断する場合は、RLN3nLCUC レジスタの OM0 ビットに“0”（LIN リセットモード）を設定し、LIN リセットモードに遷移させてください。ただし、このとき 送信動作も中断されます。
UART バッファからデータを送信しているときは、このビットに“1”をセットしないでください。

UTOE ビット（送信動作許可ビット）

送信動作の許可／禁止を設定します。

“0”の場合、送信動作を禁止します。
“1”の場合、送信動作を許可します。

送信中にこのビットをクリアしないでください。送信中に通信を中断する場合は、RLN3nLCUC レジスタの OM0 ビットに“0”（LIN リセットモード）を設定し、LIN リセットモードに遷移させてください。ただし、このとき受信動作も中断されます。

22.3.4.17　RLN3nLUOR1 ― UART オプションレジスタ 1

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base> + 21_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	UECD	UTIGTS	UEBDCE	UEBDL	UEBE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 22.81　RLN3nLUOR1 レジスタの内容

ビット位置	ビット名	機能
7～5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	UECD	拡張ビット比較禁止ビット 0：拡張ビット比較許可 1：拡張ビット比較禁止
3	UTIGTS	送信割り込み発生タイミング選択ビット 0：送信開始時に送信割り込み発生 1：送信完了時に送信割り込み発生
2	UEBDCE	拡張ビット・データ比較許可ビット 0：拡張ビット検出後のデータ比較しない 1：拡張ビット検出後のデータ比較する
1	UEBDL	拡張ビット検出レベル選択ビット 0：拡張ビット値“0”を拡張ビット検出レベルに選択 1：拡張ビット値“1”を拡張ビット検出レベルに選択
0	UEBE	拡張ビット許可ビット 0：拡張ビット動作禁止 1：拡張ビット動作許可

UECD ビット（拡張ビット比較禁止ビット）

UEBE ビットが“1”（拡張ビット動作許可）のときに、受信した拡張ビットの値と UEBDL ビットの値との比較の禁止／許可を設定します。

“0”の場合、拡張ビット受信時に受信した拡張ビットと UEBDL ビットの値の比較を許可します。
“1”の場合、拡張ビット受信時に受信した拡張ビットと UEBDL ビットの値の比較を禁止します。

このビットは、RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときに設定してください。
UART バッファを使用する場合は、このビットに“1”をセットしないでください。
UEBDCE ビットを“1”（拡張ビット検出後のデータ比較する）で使用する場合は、このビットに“1”をセットしないでください。

UTIGTS ビット（送信割り込み発生タイミング選択ビット）

送信割り込み発生タイミングを設定します。

“0”の場合、送信開始時に送信割り込みが発生します。
“1”の場合、送信完了時に送信割り込みが発生します。

“0”の状態で UART バッファからの送信を行う場合は、RLN3nLDFC レジスタの MDL ビットで設定したデータ長の最終データの送信開始時にのみ送信割り込みが発生します。
“1”の状態で UART バッファからの送信を行う場合は、RLN3nLDFC レジスタの MDL ビットで設定したデータ長の最終データの送信完了時にのみ送信割り込みが発生します。

UEBDCE ビット（拡張ビット・データ比較許可ビット）

拡張ビット検出後、拡張ビットを除く 8 ビット受信データと RLN3nLIDB レジスタ値の比較の許可／禁止を設定します。

“0”の場合、UEBDL ビットで選択したレベルが拡張ビットとして検出されたときに RLN3nLURDR レジスタに受信した値と RLN3nLIDB レジスタの値の比較動作を禁止します。
“1”の場合、UEBDL ビットで選択したレベルが拡張ビットとして検出されたときに、RLN3nLURDR レジスタに受信した値と RLN3nLIDB レジスタの値の比較動作を許可します。

このビットは RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときに設定してください。
UEBE ビットを“0”（拡張ビット動作禁止）で使用する場合は、このビットに“1”をセットしないでください。
UECD ビットを“1”（拡張ビット比較禁止）で使用する場合は、このビットに“1”をセットしないでください。
UART バッファを使用する場合は、このビットに“1”をセットしないでください。

UEBDL ビット（拡張ビット検出レベル選択ビット）

UEBE ビットが“1”（拡張ビット動作許可）かつ UECD ビットが“0”（拡張ビット比較許可)のときに、拡張ビットとして検出するレベルを設定します。

“0”の場合、拡張ビット値“0”を拡張ビット検出レベルとします。
“1”の場合、拡張ビット値“1”を拡張ビット検出レベルとします。

このビットは、RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときに設定してください。
UART バッファを使用する場合は、このビットに“1”をセットしないでください。

UEBE ビット（拡張ビット許可ビット）

拡張ビットの動作の許可／禁止を設定します。

“0”の場合、拡張ビット動作を禁止します。
“1”の場合、拡張ビット動作を許可します。

このビットは、RLN3nLMST レジスタの OMM0 ビットが“0_B”（LIN リセットモード）のときに設定してください。
UART バッファを使用する場合は、このビットに“1”をセットしないでください。

22.3.4.18　RLN3nLUTDR ― UART 送信データレジスタ

アクセス　RLN3nLUTDR は 16 ビット単位でリード／ライト可能です。
RLN3nLUTDRL は 8 ビット単位でリード／ライト可能です。
RLN3nLUTDRH は 8 ビット単位でリード／ライト可能です。

アドレス　RLN3nLUTDR：<RLIN3n_base> + 24_H
RLN3nLUTDRL：<RLIN3n_base> + 24_H
RLN3nLUTDRH：<RLIN3n_base> + 25_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	UTD[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.82　RLN3nLUTDR レジスタの内容

ビット位置	ビット名	機能
15～9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8～0	UTD[8:0]	送信データを設定 設定範囲：000_H～$1FF_H$

送信データレジスタから送信するデータを設定します。

RLN3nLUOER レジスタの UTOE ビットが“1”のときに、このレジスタにデータを書き込むことにより送信が開始します。

このレジスタは、8 ビットアクセス可能です。

9 ビット通信の場合は 8 ビットアクセスしないでください。

UART バッファからデータを送信しているときは、このレジスタにデータの書き込みをしないでください。

RLN3nLUWTDR レジスタへの書き込みにより送信要求が発生しているときは、このレジスタにデータの書き込みをしないでください。

連続送信する場合、送信割り込み発生前にこのレジスタに次のデータの書き込みをしないでください。

通信フォーマットの設定によるビット配置を下記に示します。

表 22.83　各通信フォーマットでの RLN3nLUTDR レジスタのビット配置

	RLN3nLUTDR								
	b8	b7	b6	b5	b4	b3	b2	b1	b0
7-bit；LSB ファースト	—	—	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
7-bit；MSB ファースト	—	—	Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6
8-bit；LSB ファースト	—	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
8-bit；MSB ファースト	—	Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6	Bit 7
9-bit；LSB ファースト	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
9-bit；MSB ファースト	Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	Bit 8

22.3.4.19　RLN3nLURDR — UART 受信データレジスタ

アクセス　RLN3nLURDR は 16 ビット単位でリードのみ可能です。
RLN3nLURDRL は 8 ビット単位でリードのみ可能です。
RLN3nLURDRH は 8 ビット単位でリードのみ可能です。

アドレス　RLN3nLURDR：<RLIN3n_base> + 26_H
RLN3nLURDRL：<RLIN3n_base> + 26_H
RLN3nLURDRH：<RLIN3n_base> + 27_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	URD [8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 22.84　RLN3nLURDR レジスタの内容

ビット位置	ビット名	機能
15～9	予約ビット	リードした場合はリセット後の値が読めます。
8～0	URD [8:0]	受信データを格納

受信データレジスタから、受信データを読み出すことができます。

RLN3nLUOER レジスタの UROE ビットが“1”のときに、受信データがこのレジスタに格納され、読み出すことができます。

このレジスタは、受信データのストップビット受信で更新されます。

このレジスタは、パリティやストップビットでエラーが発生したときも値は更新されます。

しかし、RLN3nLEDE レジスタの OERE ビットが“1”（オーバランエラー検出許可）で、オーバランエラー発生時は値が更新されません。OERE ビットが“0”（オーバランエラー検出禁止）で、オーバランエラー発生時は値が更新されます。

RLN3nLEDE レジスタの OERE ビットが“1”（オーバランエラー検出許可）で、受信エラー（オーバランエラー、フレーミングエラー、パリティエラー）が発生した場合は、このレジスタを読み出してください。このレジスタを読み出さないままで、次のデータを受信するとオーバランエラーが発生します。

このレジスタは 8 ビットアクセス可能です。

ただし、拡張ビット使用時（RLN3nLUOR1 レジスタの UEBE ビットが“1”（拡張ビット動作許可））は 8 ビットアクセスしないでください。

通信フォーマットの設定によるビット配置を下記に示します。

表 22.85　各通信フォーマットでの RLN3nLURDR レジスタのビット配置

	RLN3nLURDR								
	b8	b7	b6	b5	b4	b3	b2	b1	b0
7-bit；LSB ファースト	—	—	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
7-bit；MSB ファースト	—	—	Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6
8-bit；LSB ファースト	—	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
8-bit；MSB ファースト	—	Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6	Bit 7
9-bit；LSB ファースト	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
9-bit；MSB ファースト	Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	Bit 8

22.3.4.20　RLN3nLUWTDR ― UART ウェイト用送信データレジスタ

アクセス　RLN3nLUWTDR は 16 ビット単位でリード／ライト可能です。
RLN3nLUWTDRL は 8 ビット単位でリード／ライト可能です。
RLN3nLUWTDRH は 8 ビット単位でリード／ライト可能です。

アドレス　RLN3nLUWTDR：<RLIN3n_base> + 28_H
RLN3nLUWTDRL：<RLIN3n_base> + 28_H
RLN3nLUWTDRH：<RLIN3n_base> + 29_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	UWTD[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22.86　RLN3nLUWTDR レジスタの内容

ビット位置	ビット名	機能
15～9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8～0	UWTD[8:0]	受信のストップビット完了を待った後にウェイト用送信データレジスタから送信するデータを設定 設定範囲：000_H～$1FF_H$

UART ウェイト用送信データレジスタから送信するデータを設定します。

RLN3nLUOER レジスタの UTOE ビットが“1”のときに、このレジスタにデータを書き込むことにより送信が開始します。

このレジスタは、半二重通信で受信から送信に切り替え時にのみ使用してください。

また、ユーザはストップビットの受信中にのみ、このレジスタへの書き込みを行ってください。

RLN3nLBFC レジスタの USBLS ビットによってストップビット長を 2 ビットにしていても、1 ビット分しか待ちません。

このレジスタを読み出したときは。RLN3nLUTDR レジスタの値が読めます。

9 ビット通信の場合は 8 ビットアクセスしないでください。

UART バッファからデータを送信しているときは、このレジスタにデータの書き込みをしないでください。

通信フォーマットの設定によるビット配置を下記に示します。

表 22.87　各通信フォーマットでの RLN3nLUWTDR レジスタのビット配置

	RLN3nLUWTDR								
	b8	b7	b6	b5	b4	b3	b2	b1	b0
7-bit；LSB ファースト	—	—	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
7-bit；MSB ファースト	—	—	Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6
8-bit；LSB ファースト	—	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
8-bit；MSB ファースト	—	Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6	Bit 7
9-bit；LSB ファースト	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
9-bit；MSB ファースト	Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	Bit 8

22.4 割り込み要因

LIN/UART インタフェースは 4 種類の割り込み要求を生成します。

- RLIN3n 送信割り込み
- RLIN3n 受信完了割り込み
- RLIN3n ステータス割り込み
- RLIN3n 割り込み

RLN3nLMD レジスタの LIOS ビットを“0”にすると、全ての割り込み要因の論理和をとって、RLIN3n 割り込みから割り込み要求を出力します。

RLN3nLMD レジスタの LIOS ビットを“1”にすると、要因に応じて RLIN3n 送信割り込み、RLIN3n 受信完了割り込み、RLIN3n ステータス割り込みの要求を出力します。

「**表 22.88 割り込み要因**」に各割り込みの要因を示します。

表 22.88 割り込み要因

<table>
<tr><th colspan="2" rowspan="2"></th><th>RLN3nLMD レジスタの LIOS ビットが“0”</th><th colspan="3">RLN3nLMD レジスタの LIOS ビットが“1”注1</th></tr>
<tr><th>RLIN3n 割り込み</th><th>RLIN3n
送信割り込み</th><th>RLIN3n
受信完了割り込み</th><th>RLIN3n
ステータス割り込み</th></tr>
<tr><td rowspan="2">LIN
モード</td><td>LIN
マスタ
モード</td><td>● フレーム送信完了
● フレーム受信完了
● ウェイクアップ送信完了
● ウェイクアップ受信完了
● ヘッダ送信完了
● ビットエラー
● フィジカルバスエラー
● フレーム／レスポンスタイムアウトエラー
● フレーミングエラー
● チェックサムエラー
● レスポンス準備エラー</td><td>● フレーム送信完了
● ウェイクアップ送信完了
● ヘッダ送信完了</td><td>● フレーム受信完了
● ウェイクアップ受信完了</td><td>● ビットエラー
● フィジカルバスエラー
● フレーム／レスポンスタイムアウトエラー
● フレーミングエラー
● チェックサムエラー
● レスポンス準備エラー</td></tr>
<tr><td>LIN
スレーブ
モード</td><td>● レスポンス送信完了
● レスポンス受信完了
● ウェイクアップ送信完了
● ウェイクアップ受信完了
● ヘッダ受信完了
● ビットエラー
● フレーム／レスポンスタイムアウトエラー
● フレーミングエラー
● シンクフィールドエラー
● チェックサムエラー
● ID パリティエラー
● レスポンス準備エラー</td><td>● レスポンス送信完了
● ウェイクアップ送信完了</td><td>● レスポンス受信完了
● ウェイクアップ受信完了
● ヘッダ受信完了</td><td>● ビットエラー
● フレーム／レスポンスタイムアウトエラー
● フレーミングエラー
● シンクフィールドエラー
● チェックサムエラー
● ID パリティエラー
● レスポンス準備エラー</td></tr>
<tr><td colspan="2">UART モード</td><td>—</td><td>● 送信開始／送信完了</td><td>● 受信完了
● 拡張ビット不一致</td><td>● ビットエラー
● オーバランエラー
● フレーミングエラー
● 拡張ビット一致
● ID 一致
● パリティエラー</td></tr>
</table>

注1. LIOS ビットの設定は、LIN モードで有効です。UART モードでは、LIOS ビットの設定は不要です。

LIN モードの場合、それぞれの割り込み要求は、RLN3nLIE レジスタの対応するビットが “1”（割り込み許可）のときに、RLN3nLST レジスタの対応するフラグが “1” になると出力されます。

22.5　モード

LIN/UART インタフェースには、機能に応じた次の 4 つのモードがあります。

- LIN リセットモード
- LIN モード
  - LIN マスタモード
  - LIN スレーブモード〔オートボーレート〕
  - LIN スレーブモード〔固定ボーレート〕
- UART モード
- LIN セルフテストモード

「**図 22.2 モードの移行**」にモードの移行、「**表 22.89 各モードの移行条件**」にモード移行条件、「**表 22.90 各モードで可能な動作**」に各モードで可能な動作を示します。

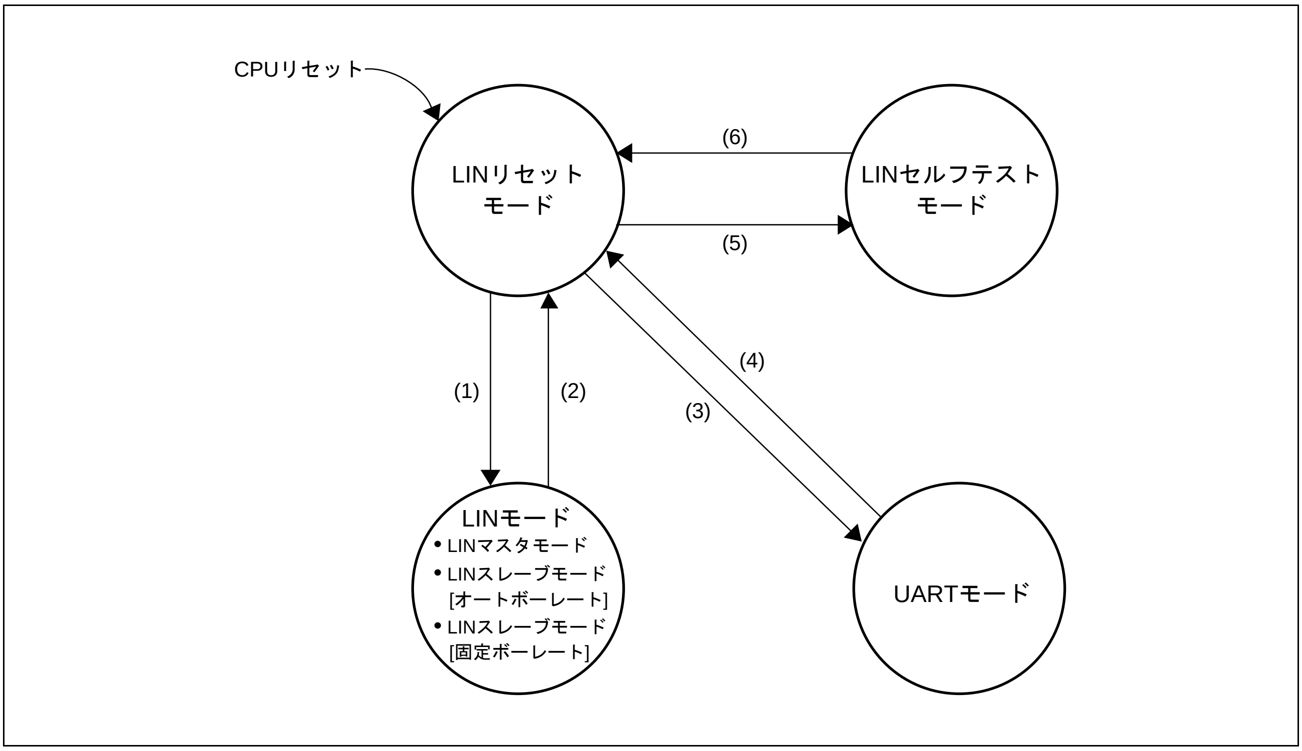


図 22.2　モードの移行

表 22.89　各モードの移行条件

	移行モード			移行条件
(1)	LIN リセットモード	→	LIN モード	
			● LIN マスタモード	● RLN3nLMD.LMD＝“00_B” かつ RLN3nLCUC.OM1, OM0＝“01_B”または“11_B”
			● LIN スレーブモード〔オートボーレート〕	● RLN3nLMD.LMD＝　“10_B” かつ RLN3nLCUC.OM1,OM0＝“01_B”または“11_B”
			● LIN スレーブモード〔固定ボーレート〕	● RLN3nLMD.LMD＝“11_B” かつ RLN3nLCUC.OM1,OM0＝“01_B”または“11_B”
(2)	LIN モード	→	LIN リセットモード	RLN3nLCUC.OM0＝“0_B”
(3)	LIN リセットモード	→	UART モード	RLN3nLMD.LMD＝“01_B” かつ RLN3nLCUC.OM0＝“1_B”
(4)	UART モード	→	LIN リセットモード	RLN3nLCUC.OM0＝“0_B”
(5)	LIN リセットモード	→	LIN セルフテストモード	**「22.9 LIN セルフテストモード」**参照
(6)	LIN セルフテストモード	→	LIN リセットモード	**「22.9 LIN セルフテストモード」**参照

表 22.90　各モードで可能な動作

LIN モード		UART モード	LIN セルフテストモード
LIN マスタモード	LIN スレーブモード〔オートボーレート〕／ LIN スレーブモード〔固定ボーレート〕		
ヘッダ送信 レスポンス送信 レスポンス受信 ウェイクアップ送信 ウェイクアップ受信 エラー検出	ヘッダ受信 レスポンス送信 レスポンス受信 ウェイクアップ送信 ウェイクアップ受信 エラー検出	UART 送信 UART 受信 エラー検出	セルフテスト

RLN3nLMD レジスタの LMD ビットおよび RLN3nLMST レジスタの OMM0 ビットを読むことで、LIN リセットモード、LIN モード、UART モードへ移行したことを確認できます。

LIN セルフテストモードについては、「**22.9 LIN セルフテストモード**」を参照してください。

22.6　LIN リセットモード

RLN3nLCUC レジスタの OM0 ビットを“0”（LIN リセットモード）にすると、LIN リセットモードに移行します。RLN3nLMST レジスタの OMM0 ビットが“0”（LIN リセットモード）になることで、LIN リセットモードに移行したことが確認できます。このモードのとき、LIN 通信機能、UART 通信は停止しています。

LIN リセットモードからは、LIN モード、UART モード、LIN セルフテストモードに移行できます。

以下のレジスタは、LIN リセットモードに移行した後、それぞれのリセット後の値に初期化され、LIN リセットモード中は初期値を保持します。

- RLN3nLTRC レジスタ
- RLN3nLST レジスタ
- RLN3nLEST レジスタ
- RLN3nLUOER レジスタ

以下のレジスタは、LIN リセットモードに移行した後も、以前の値を保持します。

- RLN3nLWBR レジスタ
- RLN3nLBRP0 レジスタ
- RLN3nLBRP1 レジスタ
- RLN3nLMD レジスタ
- RLN3nLBFC レジスタ
- RLN3nLSC レジスタ
- RLN3nLWUP レジスタ
- RLN3nLIE レジスタ
- RLN3nLEDE レジスタ
- RLN3nLDFC レジスタ
- RLN3nLIDB レジスタ
- RLN3nLCBR レジスタ
- RLN3nLUDB0 レジスタ
- RLN3nLDBRb レジスタ（b＝1～8）
- RLN3nLUOR1 レジスタ
- RLN3nLUTDR レジスタ
- RLN3nLURDR レジスタ
- RLN3nLUWTDR レジスタ

22.7　LIN モード

LIN モードには、LIN マスタモード、LIN スレーブモード〔オートボーレート〕、LIN スレーブモード〔固定ボーレート〕があります。

LIN マスタモードでは、ヘッダ送信、レスポンス送信、レスポンス受信、ウェイクアップ送信、ウェイクアップ受信、エラー検出が可能です。LIN リセットモードで、RLN3nLMD レジスタの LMD ビットを“00_B”（LIN マスタモード）に設定し、RLN3nLCUC レジスタの OM1 ビット、OM0 ビットを“01_B”または“11_B”にすると LIN マスタモードになり、RLN3nLMST レジスタの OMM1 ビット、OMM0 ビットが“01_B”または“11_B”になります。

LIN スレーブモード〔オートボーレート〕および LIN スレーブモード〔固定ボーレート〕では、ヘッダ受信、レスポンス送信、レスポンス受信、ウェイクアップ送信、ウェイクアップ受信、エラー検出が可能です。

LIN スレーブモード〔オートボーレート〕は、自動的にブレークフィールドとシンクフィールドを検出し、シンクフィールドの測定結果からボーレートを設定します。ボーレートは、1kbps～20kbps で動作可能です。

ターゲットとなるボーレートに応じて、LIN 通信クロック源の周波数からプリスケーラで分周したクロック（プリスケーラクロック）が、下記となるように RLN3nLWBR レジスタの LPRS[2:0]ビットを設定してください。

〔ターゲットとなるボーレート〕	〔プリスケーラクロック〕
1kbps～20kbps	: 4MHz 注1
1kbps～2.4kbps 未満	: 4MHz
2.4kbps～20kbps	: 8MHz～12MHz

注1. RLN3nLWBR レジスタの NSPB[3:0]ビットは、“0011_B”（4 サンプリング）で使用してください。

LIN スレーブモード〔固定ボーレート〕は、予めボーレートジェネレータで設定されたボーレートで、自動的にブレークフィールド、シンクフィールド、ID フィールドを検出します。

LIN リセットモードで、RLN3nLMD レジスタの LMD ビットを“10_B”（LIN スレーブモード〔オートボーレート〕）に設定し、RLN3nLCUC レジスタの OM1 ビット、OM0 ビットを“01_B”または“11_B”にすると LIN スレーブモード〔オートボーレート〕に、RLN3nLMD レジスタの LMD ビットを“11_B”（LIN スレーブモード〔固定ボーレート〕）に設定し、RLN3nLCUC レジスタの OM1 ビット、OM0 ビットを“01_B”または“11_B”にすると LIN スレーブモード〔固定ボーレート〕になり、RLN3nLMST レジスタの OMM1 ビット、OMM0 ビットが“01_B”または“11_B”になります。

LIN モード内の別のモードに変更する場合は、1 度 LIN リセットモードに移行し、RLN3nLMD レジスタの LMD ビットを設定を変更する必要があります。

LIN モードには、次の 2 つの動作モードがあります。

- LIN 動作モード
- LIN ウェイクアップモード

「**図 22.3 動作モードの移行**」に動作モードの移行、「**表 22.91 動作モード移行条件**」に動作モード移行条件を示します。

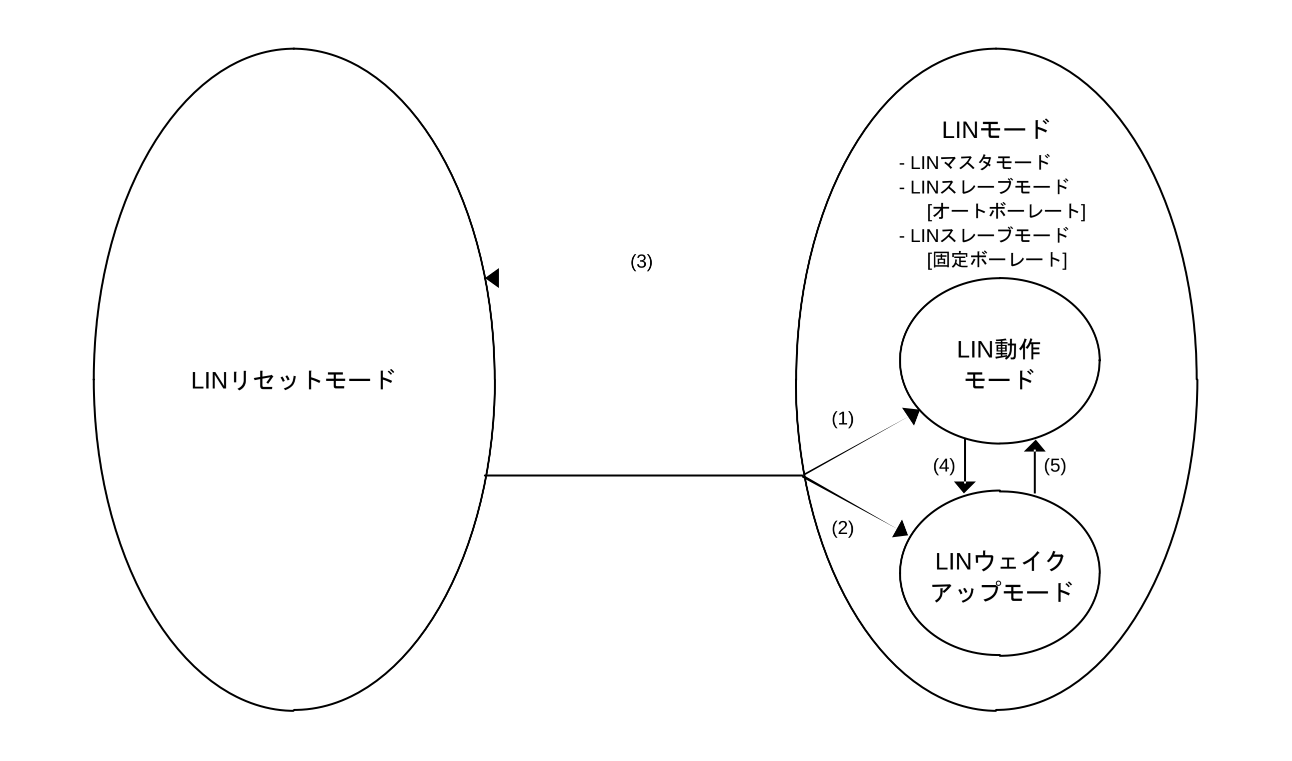


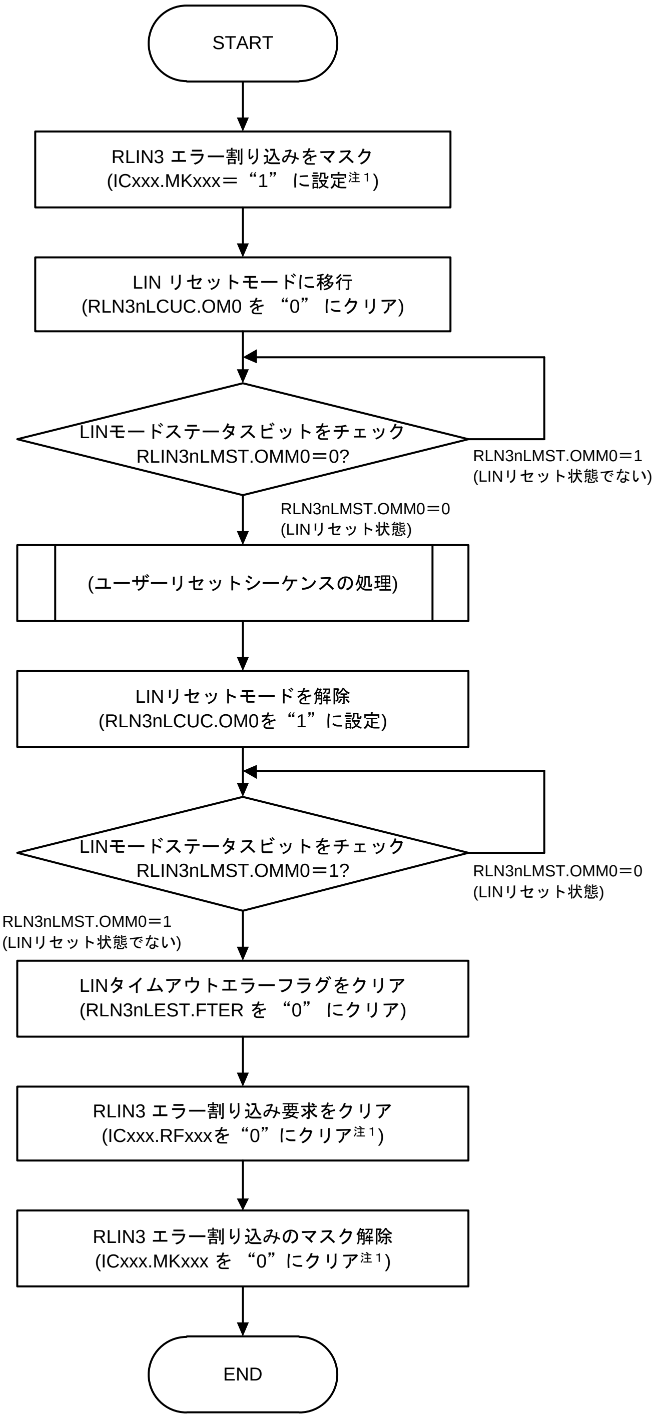
図 22.3　動作モードの移行

表 22.91　動作モード移行条件

	移行モード			移行条件
(1)	LIN リセットモード	→	LIN モード ● LIN 動作モード	RLN3nLMD.LMD＝“00_B”または“10_B”または“11_B”かつ RLN3nLCUC.OM1,OM0＝“11_B”
(2)	LIN リセットモード	→	LIN モード ● LIN ウェイクアップモード	RLN3nLMD.LMD＝“00_B”または“10_B”または“11_B”かつ RLN3nLCUC.OM1,OM0＝“01_B”
(3)注 2	LIN モード ● LIN 動作モード ● LIN ウェイクアップモード	→	LIN リセットモード	RLN3nLCUC.OM0＝“0_B”
(4)注 1	LIN モード ● LIN 動作モード	→	LIN モード ● LIN ウェイクアップモード	RLN3nLCUC.OM1,OM0＝“01_B”
(5)注 1	LIN モード ● LIN ウェイクアップモード	→	LIN モード ● LIN 動作モード	RLN3nLCUC.OM1,OM0＝“11_B”

注1.　LIN 動作モード⇔LIN ウェイクアップモードの移行は、通信中（RLN3nLTRC レジスタの FTS ビットが“1”）の間はできません。

注2.　タイムアウト機能が有効（RLN3nLEDE.FTERE＝1 または RLN3nLEDE.TERE＝1）の時に、RLN3nLCUC レジスタの OM0 ビットを“0”にすることによって LIN モードから LIN リセットモードへ移行させる場合、「**図 22.4 タイムアウト機能有効時に RLN3nLCUC レジスタの OM0 ビットを“0”にすることによるリセット手順**」に示す手順で実施してください。
この手順では、該当する RLIN3 エラー割り込みを保護し、RLIN3 エラー割り込み要求をクリアします。



注1.　“xxx”は割り込み名称です。**「22.1.4 割り込み要求」**の**「表 22.17 割り込み要求（RH850/F1KH-D8）」**、**「表 22.18 割り込み要求（RH850/F1KM-S4, RH850/F1KM-S2）」**および**「表 22.19 割り込み要求（RH850/F1KM-S1）」**から RLIN3n ステータス割り込み（n＝0～7）の割り込み番号を確認してください。
ICxxx については**「第 7A 章 RH850/F1KH-D8 の例外／割り込み」**、**「第 7BC 章 RH850/F1KM の例外／割り込み」**を参照してください。

図 22.4　タイムアウト機能有効時に RLN3nLCUC レジスタの OM0 ビットを“0”にすることによるリセット手順

(1) LIN 動作モード

LIN 動作モードでは、フレーム処理（ヘッダ送信、ヘッダ受信、レスポンス送信、レスポンス受信、エラー検出）をします。

LIN リセットモードから LIN モードに移行する際に、RLN3nLCUC レジスタの OM1 ビット、OM0 ビットを“11_B”にすると LIN 動作モードになり、RLN3nLMST レジスタの OMM1 ビット、OMM0 ビットが“11_B”になります。OMM1 ビット、OMM0 ビットが“11_B”になるのを待ってから、通信設定を行ってください。

(2) LIN ウェイクアップモード

LIN ウェイクアップモードでは、ウェイクアップシグナル処理（ウェイクアップ送信、ウェイクアップ受信、エラー検出）をします。

LIN リセットモードから LIN モードに移行する際に、RLN3nLCUC レジスタの OM1 ビット、OM0 ビットを“01_B”にすると LIN ウェイクアップモードになり、RLN3nLMST レジスタの OMM1 ビット、OMM0 ビットが“01_B”になります。OMM1 ビット、OMM0 ビットが“01_B”になるのを待ってから、通信設定を行ってください。

22.7.1 LIN マスタモード

22.7.1.1 ヘッダ送信

「**図 22.5 ヘッダ送信時の動作**」に LIN/UART インタフェース（LIN マスタモード）のヘッダ送信時の動作、「**表 22.92 ヘッダ送信時の処理**」にヘッダ送信時の処理を示します。

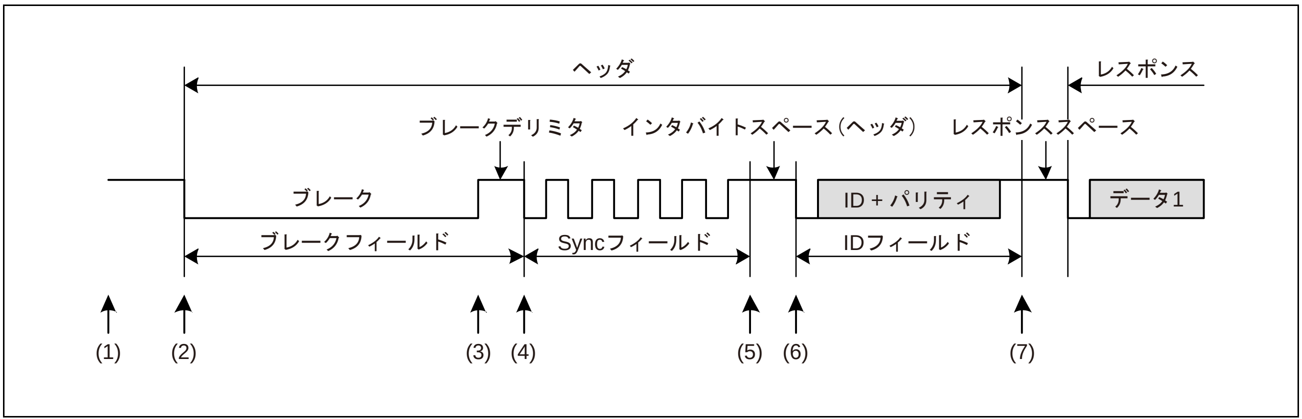


図 22.5　ヘッダ送信時の動作

表 22.92　ヘッダ送信時の処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	● ボーレートを設定 ● ノイズフィルタ ON / OFF を設定 ● 割り込み許可を設定 ● エラー検出許可を設定 ● フレーム構成パラメータを設定 ● LIN/UART インタフェースを LIN マスタモード：LIN 動作モードに移行 ● 送信するフレーム情報（ID、パリティ、データ長、レスポンス方向、チェックサム方式、送信データ）を設定	ソフトウェアによる RLN3nLTRC レジスタの FTS ビット設定待ち（アイドル）
(2)	RLN3nLTRC レジスタの FTS ビットを “1” （フレーム送信／ウェイクアップ送受信開始）にする	ブレーク送信
(3)	割り込み要求待ち	ブレークデリミタ送信
(4)		Sync フィールド（55_H）送信
(5)		インタバイトスペース（ヘッダ）送信
(6)		ID フィールド送信
(7)		ヘッダ送信完了フラグ設定

備　考

エラー検出条件に関しては、「**22.7.7 エラーステータス**」を参照してください。

22.7.1.2　レスポンス送信

「**図 22.6 レスポンス送信時の動作**」に LIN/UART インタフェース（LIN マスタモード）のレスポンス送信時の動作、「**表 22.93 レスポンス送信時の処理**」にレスポンス送信時の処理を示します。

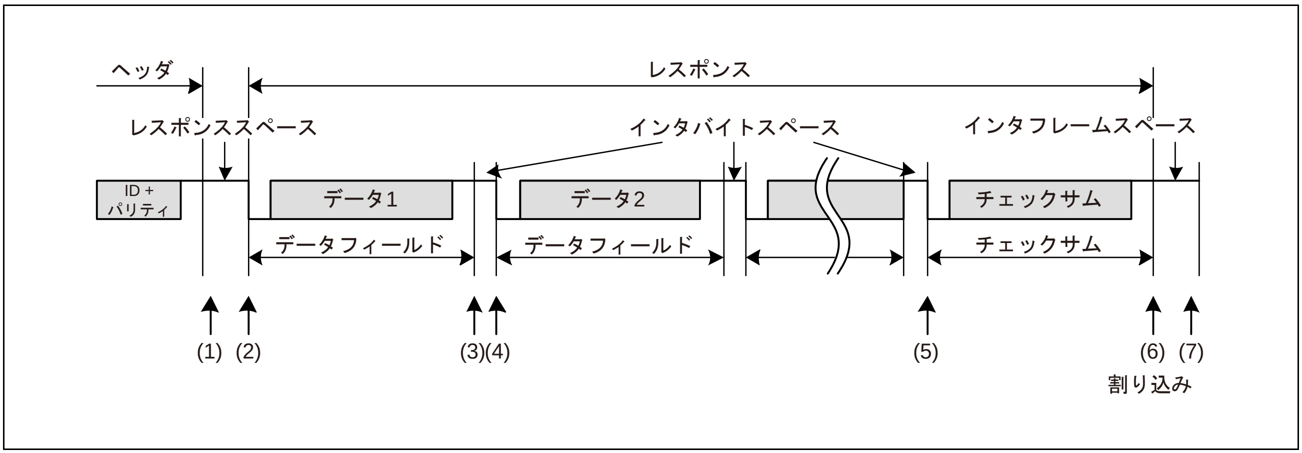


図 22.6　レスポンス送信時の動作

表 22.93　レスポンス送信時の処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	【フレームセパレートモード時】 ● RLN3nLTRC レジスタの RTS ビットに“1”を設定（レスポンス送信／受信開始） 【フレームセパレートモードでないとき】 ● 割り込み要求発生待ち	【フレームセパレートモード時】 ● ソフトウェア処理による RLN3nLTRC レジスタの RTS ビットの“1”設定待ち ● “1”に設定されたあと、レスポンススペースを送信 【フレームセパレートモードでないとき】 ● レスポンススペースを送信
(2)	割り込み要求発生待ち	データ 1 送信
(3)		インタバイトスペース送信
(4)		● データ 2 送信 ● インタバイトスペース送信 ● データ 3 送信 ● インタバイトスペース送信 （RLN3nLDFC レジスタの RFDL[3:0]ビットで指定したデータ長分繰り返す。） : :
(5)		チェックサム送信
(6)		● フレーム／ウェイクアップ送信完了フラグ設定 ● RLN3nLTRC レジスタの FTS ビットを“0”（フレーム送信／ウェイクアップ送受信停止）にする 【フレームセパレートモード時】 ● RLN3nLTRC レジスタの RTS ビットを“0”（レスポンス送信／受信停止）にする
(7)	● 通信後の処理 RLN3nLST レジスタのチェック、フラグのクリア	アイドル

備　考

エラー検出条件に関しては、「**22.7.7 エラーステータス**」を参照してください。

22.7.1.3 レスポンス受信

「**図 22.7 レスポンス受信時の動作**」に LIN/UART インタフェース（LIN マスタモード）のレスポンス受信時の動作、「**表 22.94 レスポンス受信時の処理**」にレスポンス受信時の処理を示します。

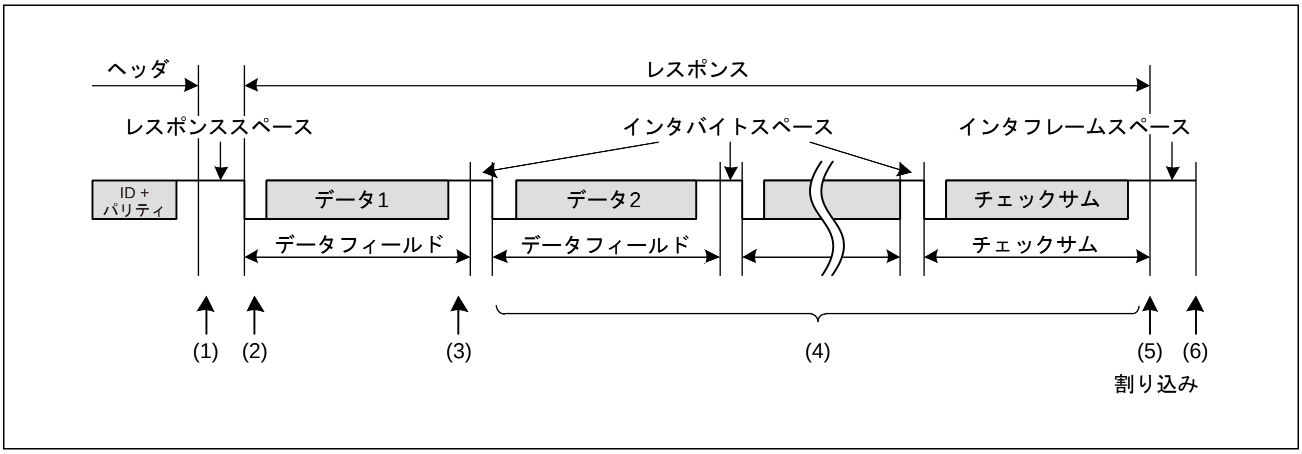


図 22.7 レスポンス受信時の動作

表 22.94 レスポンス受信時の処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	割り込み要求発生待ち（処理はなし）	スタートビット検出待ち
(2)		スタートビット検出によりデータ 1 受信
(3)		データ 1 受信完了フラグ設定
(4)		• スタートビット検出によりデータ 2 受信 • スタートビット検出によりデータ 3 受信 （RLN3nLDFC レジスタの RFDL[3:0]ビットで指定したデータ長分繰り返す。） : : • スタートビット検出によりチェックサム受信
(5)		• チェックサム判定 • フレーム／ウェイクアップ受信完了フラグ設定 • RLN3nLTRC レジスタの FTS ビットを“0”（フレーム送信／ウェイクアップ送受信停止）にする
(6)	• 通信後の処理 受信データの読み出し RLN3nLST レジスタのチェック、フラグのクリア	アイドル

備 考

エラー検出条件に関しては、「**22.7.7 エラーステータス**」を参照してください。

22.7.2　LIN スレーブモード

22.7.2.1　ヘッダ受信

「**図 22.8 ヘッダ受信時の動作**」に LIN/UART インタフェース（LIN スレーブモード）のヘッダ受信時の動作、「**表 22.95 ヘッダ受信時の処理**」にヘッダ受信時の処理を示します。

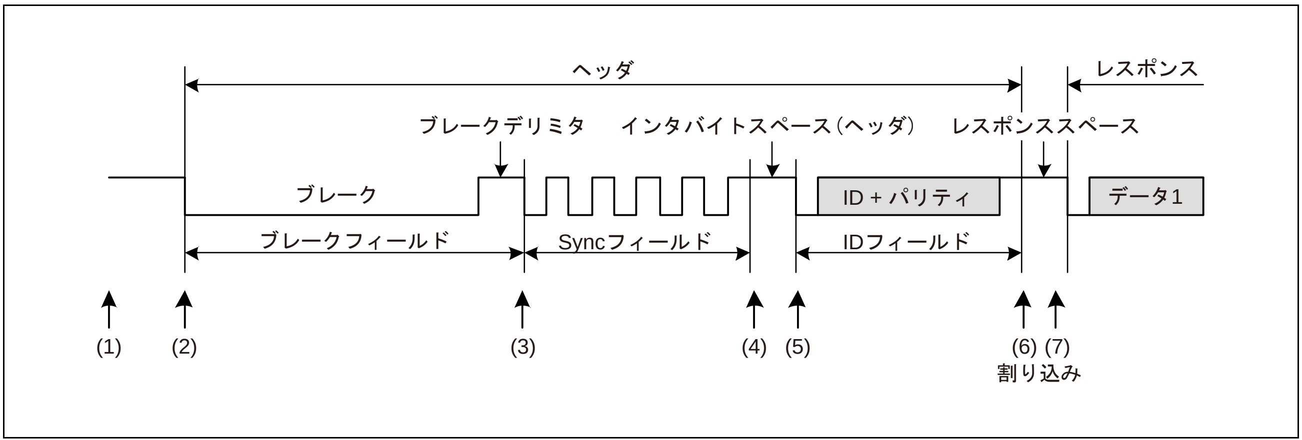


図 22.8　ヘッダ受信時の動作

表 22.95　ヘッダ受信時の処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	● ボーレートを設定 ● ノイズフィルタ ON / OFF を設定 ● 割り込み許可を設定 ● エラー検出許可を設定 ● フレーム構成パラメータを設定 ● LIN/UART インタフェースを LIN スレーブモード LIN 動作モードに移行 ● RLN3nLTRC レジスタの FTS ビットを“1”（ヘッダ受信／ウェイクアップ送受信開始）にする	ソフトウェアによる RLN3nLTRC レジスタの FTS ビット設定待ち
(2)	割り込み要求発生待ち	ブレークフィールド検出待ち
(3)		ブレークフィールド検出（LIN スレーブモード［固定ボーレート］の場合。LIN スレーブモード［オートボーレート］の場合のブレークフィールド検出タイミングの詳細は、【オートボーレート補正機能】参照）
(4)		● シンクフィールド（55_H）検出 ● ボーレートジェネレータ設定（LIN スレーブモード［オートボーレート］の場合） ● レスポンスなし要求ビット（LNRR ビット）クリア
(5)		● ID フィールド受信 ● ID パリティビットのチェック
(6)		ヘッダ受信完了フラグを設定
(7)	● RLN3nLST レジスタのチェック、フラグのクリア ● RLN3nLIDB レジスタの確認、レスポンスの準備	● ヘッダ受信プロセス完了 ● レスポンス要求待ち

備　考

LIN/UART インタフェースは、フレーム送受信中にブレークフィールドを受信できます。この場合、ブレークフィールド受信前のフレームのストップビット位置になると、フレーミングエラー、ビットエラーなどを検出してステータス割り込みが発生することがありますが、エラーの有無に関わらず新たなヘッダ（続く Sync フィールド、ID フィールド）の受信は継続します。エラー検出条件に関しては、「**22.7.7 エラーステータス**」を参照してください。

【オートボーレート補正機能】

LIN スレーブモード〔オートボーレート〕では、常に受信したロウレベル幅を計測しています。そして 1 回目の“ロウレベル”幅がシンクフィールドの始めの 2 ビット（シンクフィールドの始めの連続する立ち下がりエッジの期間）の平均から計算された 1 ビット幅の 10 倍（RLN3nLBFC レジスタの BLT ビットが“0”のとき）または 11 倍（RLN3nLBFC レジスタの BLT ビットが“1”のとき）以上の場合はブレークフィールド検出に成功したと判断し、シンクフィールドのデータが 55_H であることを確認します。データが 55_H であることを確認し、シンクフィールドの受信が成功したと判断できた場合、ボーレート補正結果を自動で RLN3nLBRP01 レジスタに設定します。

エラーなく ID フィールドまで受信すると、ストップビット位置でヘッダ受信完了割り込みが発生します。

一方、シンクフィールドのデータが 55_H でなかった場合は、シンクフィールド検出に失敗したと判断し、シンクフィールドエラーフラグをセットしてエラー割り込みが発生します。この場合、ボーレート補正は行われず、LIN/UART インタフェースは次のブレークフィールド（ロウレベル）の検出待ちになります。

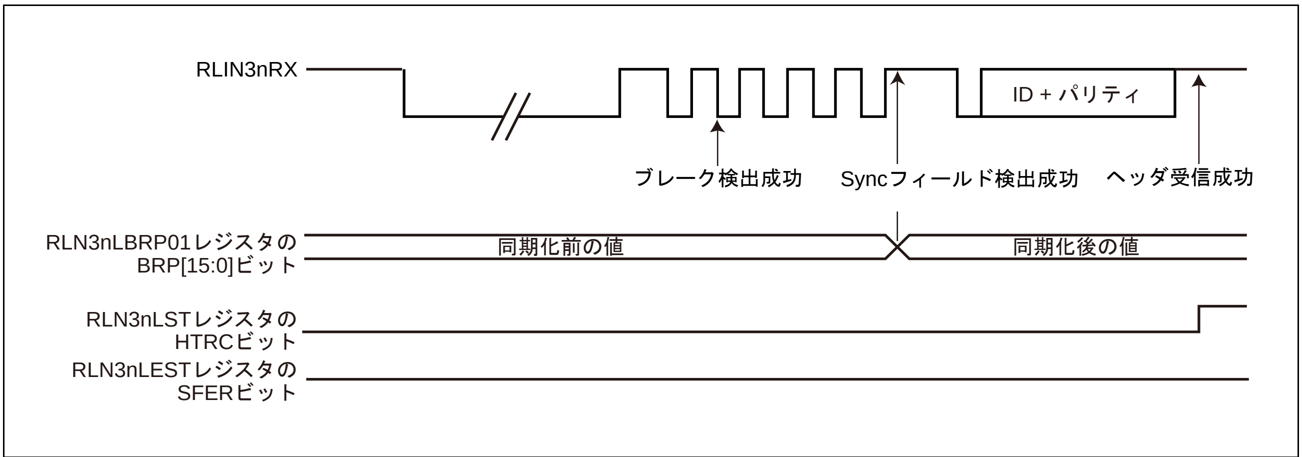


図 22.9　LIN スレーブモード〔オートボーレート〕ヘッダ受信（正常動作時）

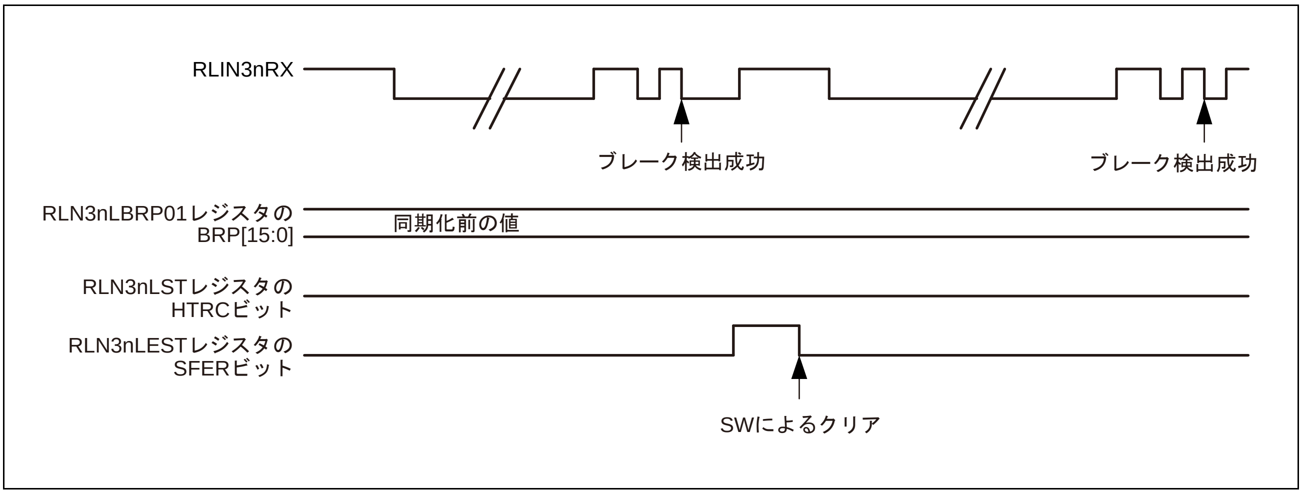


図 22.10　LIN スレーブモード〔オートボーレート〕ヘッダ受信（シンクフィールドエラー）

22.7.2.2　　レスポンス送信

「**図 22.11 レスポンス送信時の動作**」に LIN/UART インタフェース（LIN スレーブモード）のレスポンス送信時の動作、「**表 22.96 レスポンス送信時の処理**」にレスポンス送信時の処理を示します。

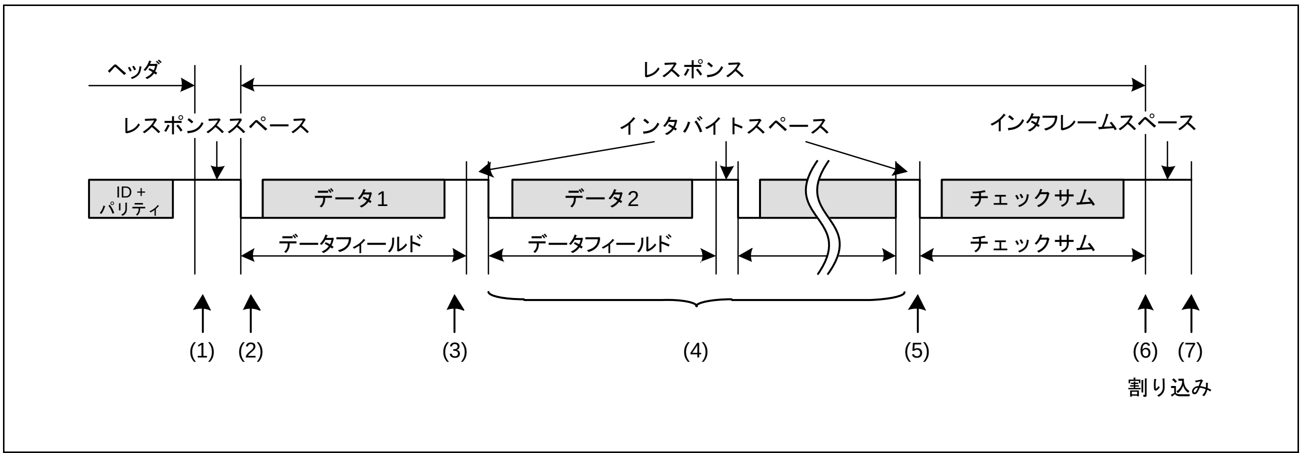


図 22.11　レスポンス送信時の動作

表 22.96　レスポンス送信時の処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	● RLN3nLDFC レジスタの設定 ● RLN3nLDBRb レジスタの設定（b＝1～8） ● RLN3nLTRC レジスタの RTS ビットを“1”（レスポンス送受信開始）にする	● ソフトウェアによる RLN3nLTRC レジスタの RTS ビットまたは LNRR ビット設定待ち ● RLN3nLTRC レジスタの RTS ビットが“1”に設定されたあと、レスポンススペースを送信
(2)	割り込み要求発生待ち	データ 1 送信
(3)		インタバイトスペース送信
(4)		● データ 2 送信 ● インタバイトスペース送信 ● データ 3 送信 ● インタバイトスペース送信 （RLN3nLDFC レジスタの RFDL[3:0]ビットで指定したデータ長分繰り返す。） : :
(5)		チェックサム送信
(6)		● レスポンス／ウェイクアップ送信完了フラグ設定 ● RLN3nLTRC レジスタの RTS ビットを“0”（レスポンス送信／受信停止）にする
(7)	● 通信後の処理 RLN3nLST レジスタのチェック、フラグのクリア	● レスポンス送信プロセス完了 ● 新規ブレーク待ち

備　考

- エラー検出条件に関しては、「**22.7.7 エラーステータス**」を参照してください。
- LIN/UART インタフェースは、フレーム送受信中にブレークフィールドを受信できます。この場合、ブレークフィールド受信前のフレームのストップビット位置になると、フレーミングエラー、ビットエラーなどを検出してステータス割り込みが発生することがありますが、エラーの有無に関わらず新たなヘッダ（続く Sync フィールド、ID フィールド）の受信は継続します。

22.7.2.3　　レスポンス受信

「**図 22.12　レスポンス受信時の動作**に」LIN/UART インタフェース（LIN スレーブモード）のレスポンス受信時の動作、「**表 22.97　レスポンス受信時の処理**」にレスポンス受信時の処理を示します。

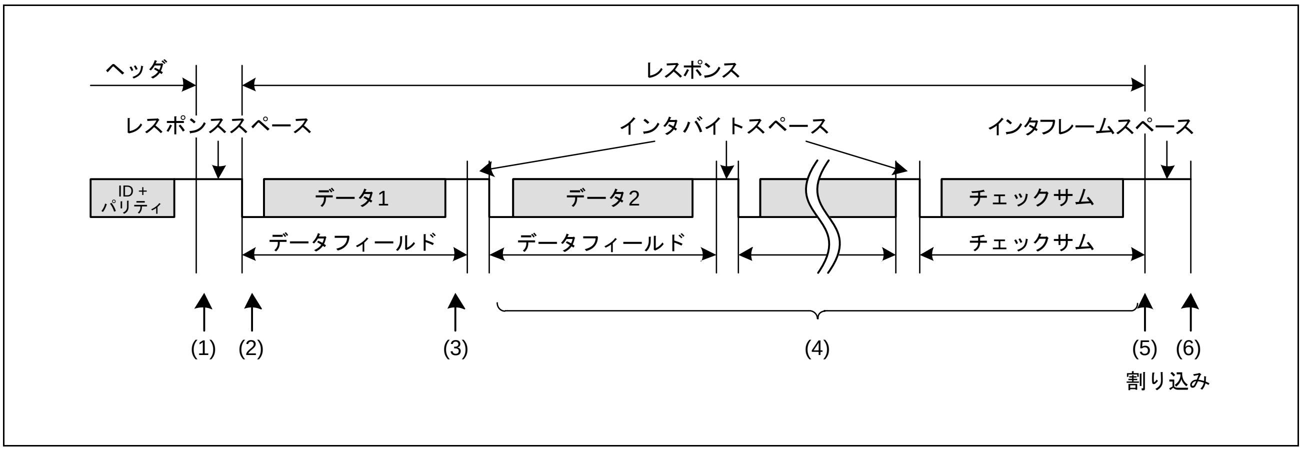


図 22.12　レスポンス受信時の動作

表 22.97　レスポンス受信時の処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	● RLN3nLDFC レジスタの設定 ● レスポンス送信／受信開始ビット（RTS ビット）を“1”に設定	● ソフトウェアによるレスポンス送信／受信開始ビット（RTS ビット）または レスポンスなし要求ビット（LNRR ビット）の設定待ち ● スタートビット検出待ち
(2)	割り込み要求発生待ち	スタートビット検出によりデータ 1 受信
(3)		データ 1 受信完了フラグ設定
(4)		● タートビット検出によりデータ 2 受信 ● スタートビット検出によりデータ 3 受信 （RLN3nLDFC レジスタの RFDL[3:0]ビットで指定したデータ長分繰り返す。） : : ● スタートビット検出によりチェックサム受信
(5)		● チェックサム判定 ● レスポンス／ウェイクアップ受信完了フラグ設定、またはエラーフラグ設定 ● RLN3nLTRC レジスタの RTS ビットを“0”（レスポンス送信／受信停止）にする
(6)	● 通信後の処理 受信データの読み出し RLN3nLST レジスタのチェック、フラグのクリア	● レスポンスプロセス完了 ● 新規ブレーク待ち

備　考

- エラー検出条件に関しては、「**22.7.7　エラーステータス**」を参照してください。
- LIN/UART インタフェースは、フレーム送受信中にブレークフィールドを受信できます。この場合、ブレークフィールド受信前のフレームのストップビット位置になると、フレーミングエラー、ビットエラーなどを検出してステータス割り込みが発生することがありますが、エラーの有無に関わらず新たなヘッダ（続く Sync フィールド、ID フィールド）の受信は継続します。

22.7.2.4 レスポンス要求なし

「**図 22.13 レスポンス要求なし時の動作**」に LIN/UART インタフェース（LIN スレーブモード）のレスポンス要求なし時の動作、「**表 22.98 レスポンス受信時の処理**」にレスポンス要求なし時の処理を示します。

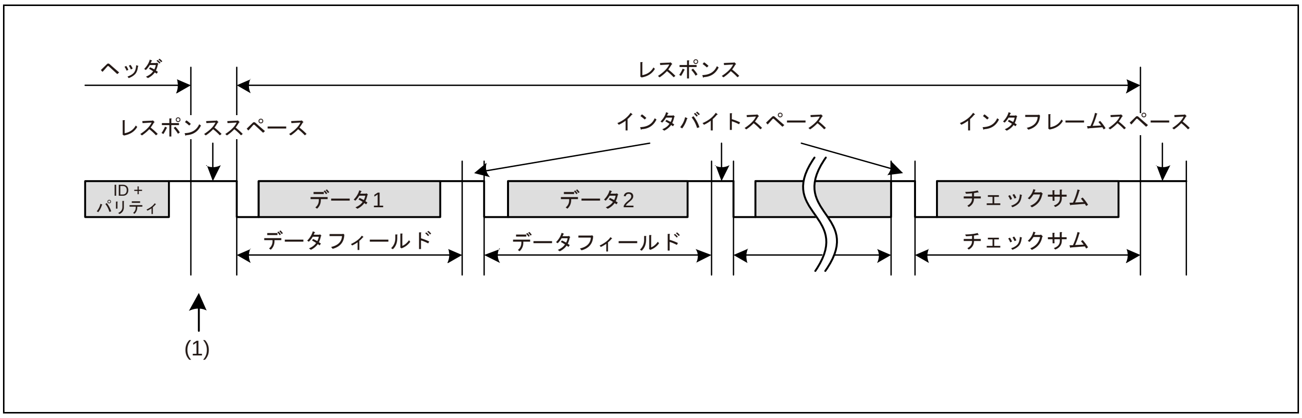


図 22.13 レスポンス要求なし時の動作

表 22.98 レスポンス受信時の処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	● レスポンス要求なしビット（LNRR ビット）を "1" に設定	● ソフトウェアによる LNRR ビット（レスポンス要求なし）セット待ち ● フレーム受信プロセス完了 ● 新規ブレーク待ち

22.7.3　データ送信／受信

22.7.3.1　データ送信

データ送信は、1Tbit に 1 ビットずつ行われます。

送信したデータは、LIN トランシーバを経由して受信データ入力端子に戻ってきます。この受信データと送信したデータの比較がビットごとに行われ、結果は RLN3nLEST レジスタの BER フラグに格納されます（「**22.7.7 エラーステータス**」）参照。

LIN マスタモード、LIN スレーブモード〔固定ボーレート〕では、1Tbit＝16f_{LIN}で生成され、受信データのサンプリングポイントは 13 クロック目（81.25%位置）になります。

LIN スレーブモード〔オートボーレート〕では、1Tbit＝4f_{LIN}で生成される場合は、受信データのサンプリングポイントは 3 クロック目（75%位置）、1Tbit＝8f_{LIN}で生成される場合は、受信データのサンプリングポイントは 7 クロック目（87.5%位置）になります。

「**図 22.14 データ送信タイミング例（LIN マスタモード、LIN スレーブモード〔固定ボーレート〕）**」にデータ送信タイミングの例を示します。

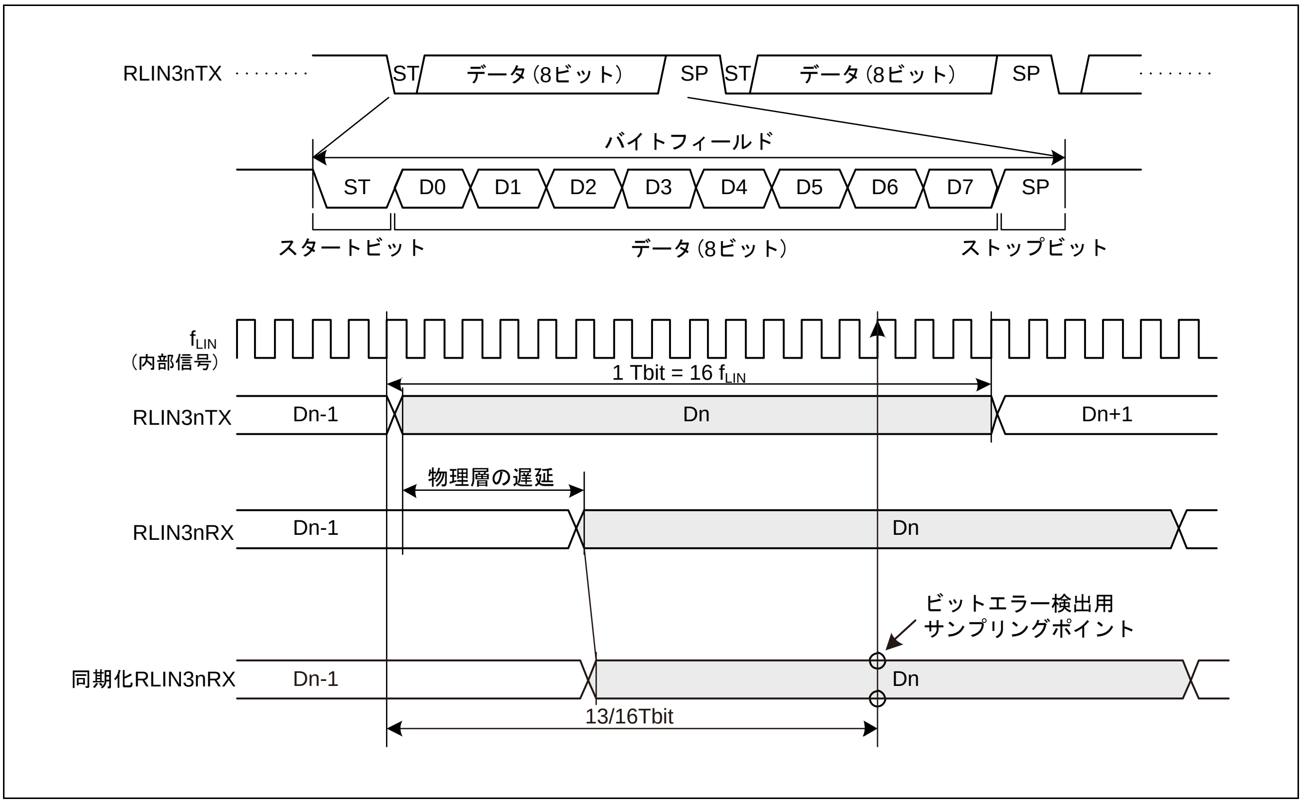


図 22.14　データ送信タイミング例（LIN マスタモード、LIN スレーブモード〔固定ボーレート〕）

22.7.3.2　　データ受信

データ受信は、RLIN3nRX 端子からの入力をプリスケーラクロックに同期させた同期化 RLIN3nRX（内部信号）を使用して行います。

この同期化 RLIN3nRX 信号のスタートビットの立ち下がりエッジでバイトフィールドの同期を合わせます。立ち下がりエッジ検出後、0.5Tbit 後に再度サンプリングを行い、同期化 RLIN3nRX 信号がロウレベルであった場合にスタートビットと認識します。リセット解除後から RLIN3nRX 信号がロウレベル固定の場合や、再サンプリング時にハイレベルを検出した場合はスタートビットとは認識しません。

スタートビット検出後は、1Tbit ごとにビットのサンプリングを行います。

LIN/UART インタフェースは、受信データに対するノイズフィルタ機能をもっています。RLN3nLMD レジスタの LRDNFS ビットが“0”の場合は、ノイズフィルタ使用となり、サンプリングの値はプリスケーラクロックで 3 サンプリング多数決により決定した値を使用します。RLN3nLMD レジスタの LRDNFS ビットが“1”の場合は、ノイズフィルタ未使用となり、サンプリングの値はサンプリング位置での同期化 RLIN3nRX 値の値をそのまま使用します。

「**図 22.15 データ受信タイミング例（LIN マスタモード、LIN スレーブモード〔固定ボーレート〕）**」にデータ受信タイミングの例を示します。

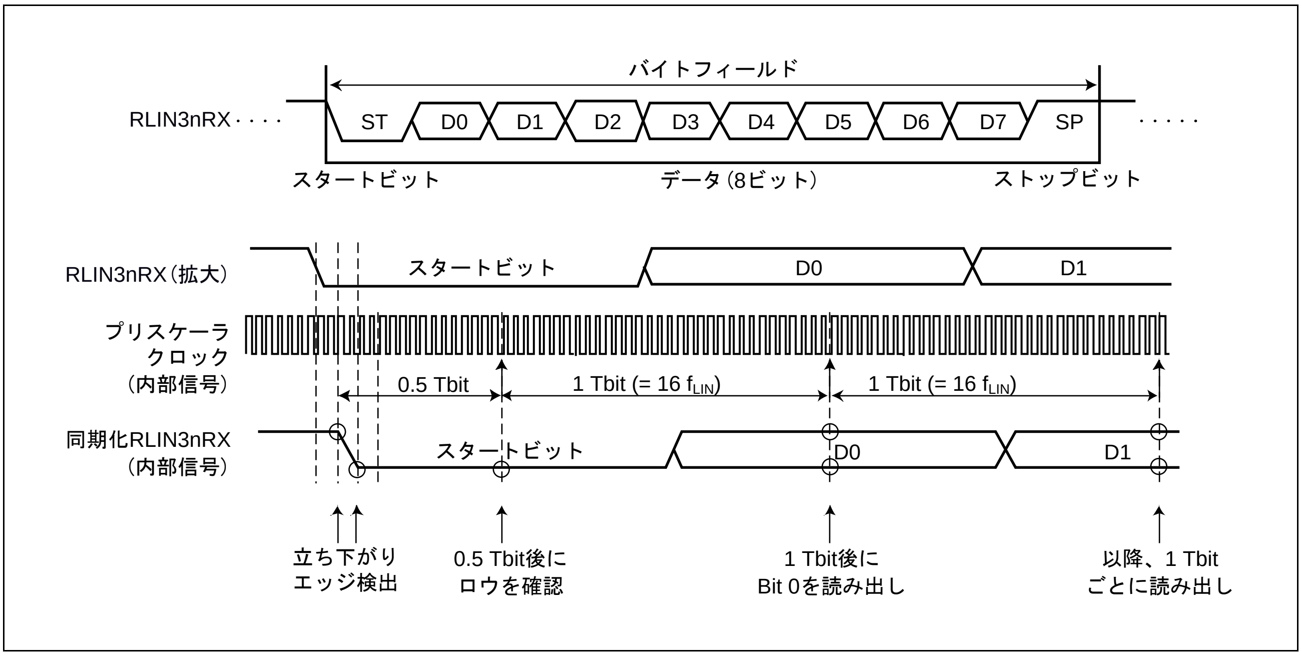


図 22.15　データ受信タイミング例（LIN マスタモード、LIN スレーブモード〔固定ボーレート〕）

22.7.4　送信／受信データのバッファ処理

LIN/UART インタフェースの連続データ送受信時のバッファ処理について説明します。

22.7.4.1　LIN フレームの送信

8 バイト送信の場合、RLN3nLDBR1 レジスタ～RLN3nLDBR8 レジスタに格納されている内容が、順番に LIN フレームのデータ 1～8 領域に送信されます。4 バイト送信の場合は、RLN3nLDBR1 レジスタ～RLN3nLDBR4 レジスタに格納されている内容が LIN フレームのデータ 1～4 領域に送信され、RLN3nLDBR5 レジスタ～RLN3nLDBR8 レジスタの内容は送信されません。また、RLN3nLCBR レジスタには送信したチェックサムデータが格納されます。

「**図 22.16 LIN 送信処理とバッファ**」に LIN 送信処理とバッファを示します。

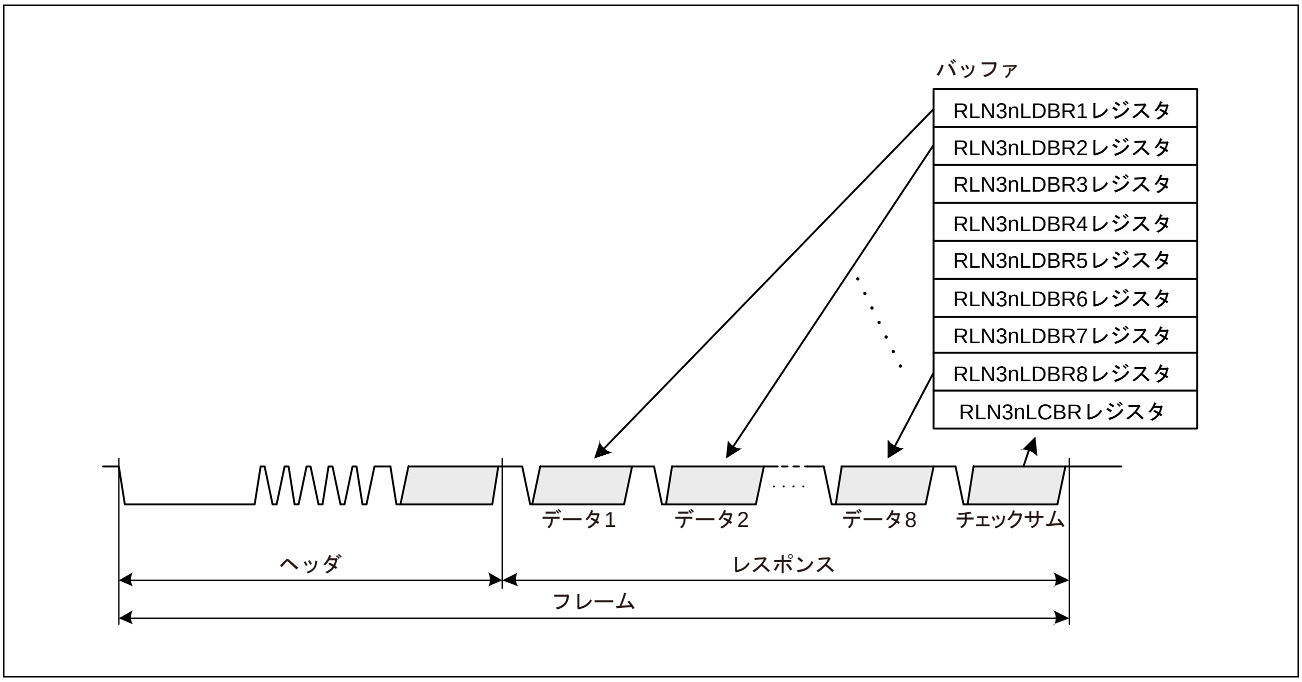


図 22.16　LIN 送信処理とバッファ

【フレームセパレートモード】

RLN3nLDFC レジスタの FSM ビットを“1”にすることにより、フレームセパレートモードになります。

ヘッダとレスポンスを別々の送信開始要求により送信するモードです。

ヘッダ送信が完了すると RLN3nLST レジスタの HTRC フラグが“1”（ヘッダ送信完了）になります。

LIN マスタモードで 9 バイト以上のレスポンスデータ送信またはレスポンスデータ受信を行なう場合は、フレームセパレートモードを使用してください。

22.7.4.2 LIN フレームの受信

8 バイト受信の場合、LIN フレームのデータ 1～8 領域の内容が、ストップビットを受信するごとにそれぞれの RLN3nLDBR1 レジスタ～RLN3nLDBR8 レジスタに格納されます。4 バイト受信の場合は、LIN フレームのデータ 1～4 領域の内容が、それぞれ RLN3nLDBR1 レジスタ～RLN3nLDBR4 レジスタに格納され、RLN3nLDBR5 レジスタ～RLN3nLDBR8 レジスタには何も格納されません。また、RLN3nLCBR レジスタには受信したチェックサムデータが格納されます。

「**図 22.17 LIN 受信処理とバッファ**」に LIN 受信処理とバッファを示します。

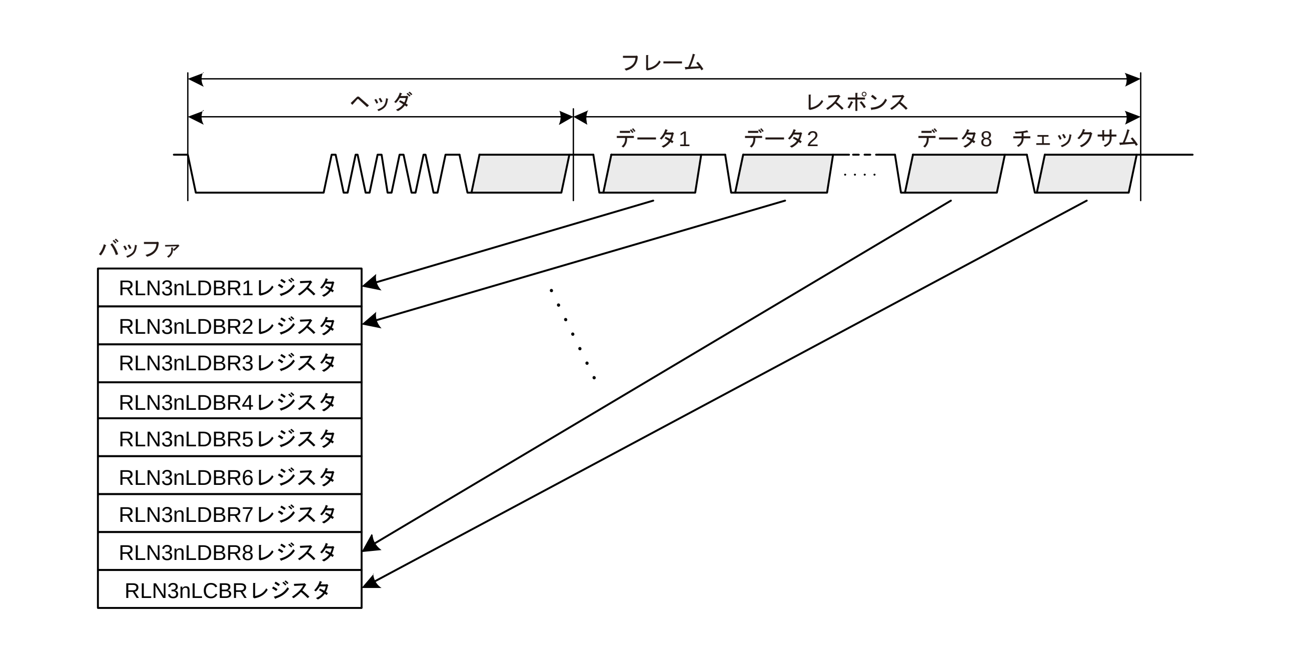


図 22.17 LIN 受信処理とバッファ

【データ 1 受信】

1 バイト目のデータ受信が完了すると、RLN3nLST レジスタの D1RC フラグが“1”（データ 1 受信完了）になります。

22.7.4.3　多バイトレスポンス送受信機能

通常 LIN 通信において、レスポンスはチェックサムを含み 9 バイト以下ですが、10 バイト以上のレスポンスを送受信することが可能です。

このとき、ビットエラー、フレーミングエラー、レスポンス準備エラー検出機能および自動チェックサム機能は有効です。

データ長が 8 バイトより多い場合は、最初のデータグループ（0～8 バイトで可変）で RLN3nLDFC レジスタの LSS ビットを“1”（次に送受信するデータグループは最終ではない）に設定し、送信または受信します。送信または受信後、ユーザは次のデータグループが最後かどうかの判定を行い、最後のデータグループの場合は、RLN3nLDFC レジスタの LSS ビットを“0”（次に送受信するデータグループは最終）に設定し、送信または受信します。チェックサムは最後のデータグループに付加します。

ユーザは、RLN3nlTRC レジスタの RTS ビットが“0”のときに RLN3nLDFC レジスタの RFDL ビットの設定を変更することにより、データグループごとにデータ長を変更することができます。

LIN マスタモードで、多バイトレスポンス送受信を行う場合は、RLN3nLDFC レジスタの FSM ビットを“1”（フレームセパレートモード）に設定して行ってください。

備　考

LIN/UART インタフェースは、LIN スレーブモードのとき、レスポンス送信または受信中に新たなブレークフィールドを検出することができます。

22.7.5　ウェイクアップ送信／受信

ウェイクアップの送受信は LIN ウェイクアップモードで使用できます。

22.7.5.1　ウェイクアップ送信動作

LIN ウェイクアップモード時、RLN3nLDFC レジスタの RFT ビットを“1”（LIN マスタモード：レスポンス送信）、または RLN3nLDFC レジスタの RCDS ビットを“1”（LIN スレーブモード：レスポンス送信）に設定後、RLN3nLTRC レジスタの FTS ビットを“1”（フレーム送信・ヘッダ受信／ウェイクアップ送受信開始）にすると、出力端子からウェイクアップ信号が出力されます。ウェイクアップ信号のロウ幅は RLN3nLWUP レジスタの WUTL[3:0]ビットで設定します。

ただし、LIN マスタモードで RLN3nLWBR レジスタの LWBR0 ビットが“1”（LIN2.x 使用時）の場合は、RLN3nLMD レジスタの LCKS ビットの設定にかかわらず、LIN システムクロック（f_{LIN}）が fa でのロウレベル幅になります。fa 選択時のボーレートを 19200bps に、RLN3nLWUP レジスタの WUTL[3:0]ビットを“0100_B”（5Tbits）に設定することにより、RLN3nLMD レジスタの LCKS ビットの設定にかかわらず、LIN ウェイクアップモード時に 260μs のロウ幅を出力することができます。

ビットエラーなくウェイクアップのロウレベルが出力された場合、RLN3nLST レジスタの FTC フラグが“1”（フレームレスポンスまたはウェイクアップ送信完了）になり、RLN3nLIE レジスタの FTCIE ビットが“1”（フレームレスポンス／ウェイクアップ送信完了割り込み許可）のとき RLIN3n 送信割り込み要求が発生します。

RLN3nLEDE.BERE がセットされていてビットエラーを検出した場合は、ウェイクアップ送信を中断し、RLN3nLEST レジスタの BER フラグを“1”（ビットエラー検出）にします。

LIN マスタモードで RLN3nLEDE.PBERE がセットされている場合は、ビットエラーと同時に RLN3nLEST.PBER フラグを“1”（フィジカルバスエラー検出）にします。

「**図 22.18 ウェイクアップ送信タイミング**」にウェイクアップ送信タイミングを示します。

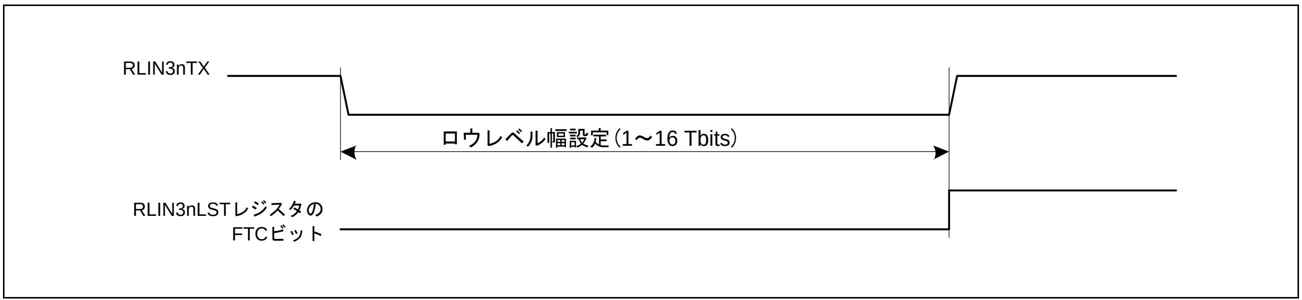


図 22.18　ウェイクアップ送信タイミング

22.7.5.2　ウェイクアップ受信動作

ウェイクアップシグナルを検出するには、入力信号ロウレベル幅カウント機能を使用します。入力信号ロウレベル幅カウント機能は、データ受信と同じサンプリングポイントで RLIN3nRX 端子への入力信号のロウレベル幅を計測する機能です。入力信号ロウレベル幅を f_{LIN} の 2.5Tbit 以上で計測することができます。

LIN マスタモード時は、RLN3nLWBR レジスタの LWBR0 ビットの設定により、LIN 動作モードと LIN ウェイクアップモードの切り替え時に、ボーレートジェネレータの設定を変更することなく、動作させることが可能です。

LIN Specification Package Revision 1.3 使用時は、RLN3nLWBR レジスタの LWBR0 ビットを“0”に、LIN Specification Package Revision 2.x 使用時は“1”に設定してください。LWBR0 ビットを“1”にすると RLN3nLMD レジスタの LCKS ビットの設定にかかわらず LIN システムクロック（f_{LIN}）が fa になります。（LCKS ビットは変化しません）。fa 選択時のボーレートを 19200bps に設定することにより、RLN3nLMD レジスタの LCKS ビットの設定に関わらず、LIN ウェイクアップモード時に 130μs 以上の入力信号ロウレベル幅を検出することができます。

ウェイクアップ受信機能を使用する場合、LIN ウェイクアップモードにて、RLN3nLDFC レジスタの RFT ビットを“0”（LIN マスタモード：レスポンス受信）、または RLN3nLDFC レジスタの RCDS ビットを“0”（LIN スレーブモード：レスポンス受信）に設定後、RLN3nLTRC レジスタの FTS ビットを“1”（フレーム送信（ヘッダ受信）／ウェイクアップ送受信開始）にしてください。

計測するロウレベル幅に達すると RLN3nLST レジスタの FRC フラグが“1”（フレームレスポンスまたはウェイクアップ受信完了）になり、RLN3nLIE レジスタの FRCIE ビットが“1”（フレームレスポンス／ウェイクアップ受信完了割り込み許可）の場合、RLIN3n 受信完了割り込み要求が発生します。

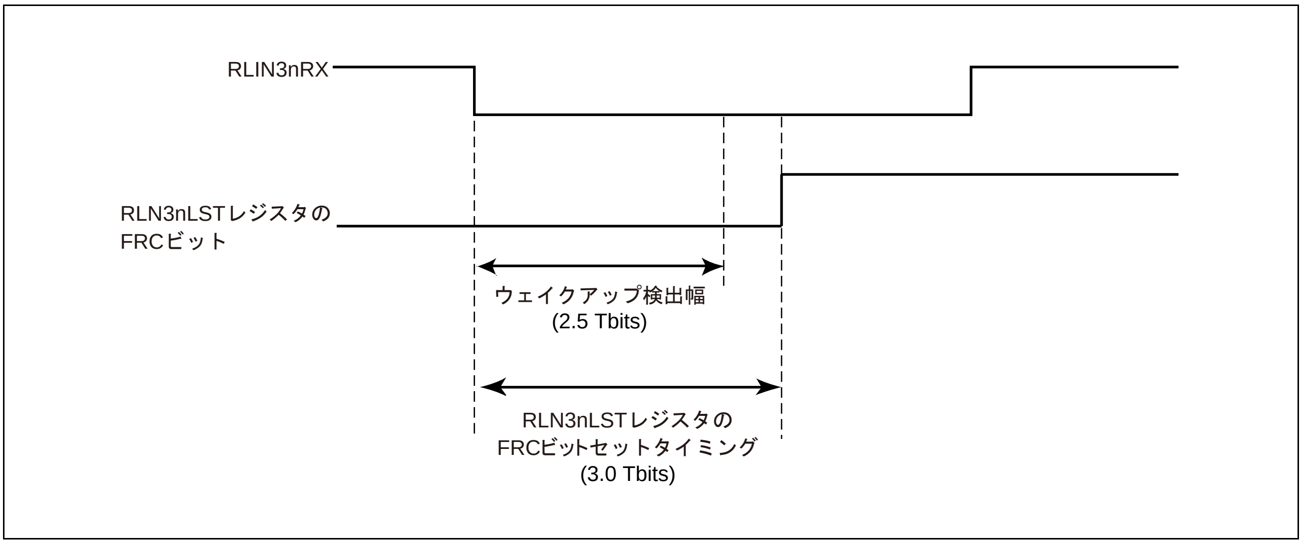


図 22.19　入力信号ロウレベルカウント機能

22.7.5.3　ウェイクアップ衝突

マスタノードとスレーブノードが同時にウェイクアップ信号を送信した場合、LIN バス上で衝突が発生しますが、LIN/UART インタフェースではウェイクアップ信号の衝突は検知しません。

22.7.6　ステータス

LIN/UART インタフェースは LIN モード動作時に、7 種類のステータスを検出します。

フレーム／ウェイクアップ送信完了、フレーム／ウェイクアップ受信完了、エラー検出、ヘッダ送信完了／ヘッダ受信完了の 4 つのステータスは割り込み要求を発生することができます。

「**表 22.99 LIN マスタモードステータスの種類**」に LIN マスタモードでのステータスの種類を、「**表 22.100 LIN スレーブモードステータスの種類**」に LIN スレーブモード〔オートボーレート〕および LIN スレーブモード〔固定ボーレート〕のステータスの種類を示します。

表 22.99　LIN マスタモードステータスの種類

ステータス	ステータスセット条件	ステータスクリア条件	ステータスを検出できる動作モード	対応ビット	割り込み
リセット	RLN3nLCUC レジスタの OM0 ビットを LIN リセットモードでないに設定後、実際に LIN/UART インタフェースが LIN リセットモード解除になったとき	RLN3nLCUC レジスタの OM0 ビットを LIN リセットモードに設定後、実際に LIN/UART インタフェースが LIN リセットモードになったとき	すべてのモード	RLN3nLMST レジスタの OMM0 ビット	—
動作モード	RLN3nLCUC レジスタの OM1 ビットを LIN 動作モードに設定後、実際に LIN/UART インタフェースが LIN 動作モードになったとき	RLN3nLCUC レジスタの OM1 ビットを LIN ウェイクアップモードに設定後、実際に LIN/UART インタフェースが LIN ウェイクアップモードになったとき	● LIN 動作モード ● LIN ウェイクアップモード	RLN3nLMST レジスタの OMM1 ビット	—
フレーム／ウェイクアップ送信完了	フレーム（ヘッダ送信＋レスポンス送信）、ウェイクアップ信号またはデータグループを正常に送信完了したとき	● 次の通信開始時（RLN3nLTRC レジスタの FTS ビットをセットしたとき） ● ソフトウェアによるクリア ● LIN リセットモード移行時	● LIN 動作モード ● LIN ウェイクアップモード	RLN3nLST レジスタの FTC フラグ	○
フレーム／ウェイクアップ受信完了	フレーム（ヘッダ送信＋レスポンス受信）、ウェイクアップ信号またはデータグループを正常に受信完了したとき	● 次の通信開始時（RLN3nLTRC レジスタの FTS ビットをセットしたとき） ● ソフトウェアによるクリア ● LIN リセットモード移行時	● LIN 動作モード ● LIN ウェイクアップモード	RLN3nLST レジスタの FRC フラグ	○
エラー検出	RLN3nLEST レジスタの RPER フラグ、CSER フラグ、FER フラグ、FTER フラグ、PBER フラグ、BER フラグのいずれかが“1”（エラー検出）になったとき	● 次の通信開始時（RLN3nLTRC レジスタの FTS ビットをセットしたとき） ● ソフトウェアによるクリア注1 ● LIN リセットモード移行時	● LIN 動作モード ● LIN ウェイクアップモード	RLN3nLST レジスタの ERR フラグ	○
データ 1 受信完了	RLN3nLDFC レジスタの RFT ビットが“0”（受信）で、レスポンスフィールドの最初の 1 バイト、または、データグループごとの最初の 1 バイトを受信完了したとき注2	● 次の通信開始時（RLN3nLTRC レジスタの FTS ビットをセットしたとき） ● ソフトウェアによるクリア LIN リセットモード移行時	LIN 動作モード	RLN3nLST レジスタの D1RC フラグ	—
ヘッダ送信完了	ヘッダフィールドを正常に送信完了した場合	● 次の通信開始時（RLN3nLTRC レジスタの FTS ビットをセットしたとき） ● ソフトウェアによるクリア ● LIN リセットモード移行時	LIN 動作モード	RLN3nLST レジスタの HTRC フラグ	○

注1.　LIN ウェイクアップモードおよび LIN 動作モード内で RLN3nLEST レジスタの RPER フラグ、CSER フラグ、FER フラグ、FTER フラグ、PBER フラグ、BER フラグに“0”を書くことにより、RLN3nLST レジスタの ERR フラグは“0”になります。

注2.　RLN3nLDFC レジスタの RFDL[3:0]ビットが“0000_B”（0 バイト＋チェックサム）のときは検出されません。

表 22.100 LIN スレーブモードステータスの種類

ステータス	ステータスセット条件	ステータスクリア条件	ステータスを検出できる動作モード	対応ビット	割り込み
リセット	RLN3nLCUC レジスタの OM0 ビットを LIN リセットモードでないに設定後、実際に LIN/UART インタフェースが LIN リセットモード解除になったとき	RLN3nLCUC レジスタの OM0 ビットを LIN リセットモードに設定後、実際に LIN/UART インタフェースが LIN リセットモードになったとき	すべてのモード	RLN3nLMST レジスタの OMM0 ビット	—
動作モード	RLN3nLCUC レジスタの OM1 ビットを LIN 動作モードに設定後、実際に LIN/UART インタフェースが LIN 動作モードになったとき	● RLN3nLCUC レジスタの OM1 ビットを LIN ウェイクアップモードに設定後、実際に LIN/UART インタフェースが LIN ウェイクアップモードになったとき	● LIN 動作モード ● LIN ウェイクアップモード	RLN3nLMST レジスタの OMM1 ビット	—
レスポンス／ウェイクアップ送信完了	レスポンスフィールド、ウェイクアップ信号またはデータグループを正常に送信完了したとき	● ソフトウェアによるクリア ● LIN リセットモード移行時	● LIN 動作モード ● LIN ウェイクアップモード	RLN3nLST レジスタの FTC フラグ	○
レスポンス／ウェイクアップ受信完了	レスポンスフィールド、ウェイクアップ信号またはデータグループを正常に受信完了したとき	● ソフトウェアによるクリア ● LIN リセットモード移行時	● LIN 動作モード ● LIN ウェイクアップモード	RLN3nLST レジスタの FRC フラグ	○
エラー検出	RLN3nLEST レジスタの RPER フラグ、IPER フラグ、CSER フラグ、SFER フラグ、FER フラグ、TER フラグ、BER フラグのいずれかが“1”（エラー検出）になったとき	● ソフトウェアによるクリア注 1 ● LIN リセットモード移行時	● LIN 動作モード ● LIN ウェイクアップモード	RLN3nLST レジスタの ERR フラグ	○
データ 1 受信完了	RLN3nLDFC レジスタの RCDS ビットが“0”（受信）で、レスポンスフィールドの最初の 1 バイト、または、データグループごとの最初の 1 バイトを受信完了したとき注 2	● ソフトウェアによるクリア ● LIN リセットモード移行時	LIN 動作モード	RLN3nLST レジスタの D1RC フラグ	—
ヘッダ受信完了	ヘッダフィールドを正常に受信完了した場合	● ソフトウェアによるクリア ● LIN リセットモード移行時	LIN 動作モード	RLN3nLST レジスタの HTRC フラグ	○

注1.　LIN ウェイクアップモードおよび LIN 動作モード内で RLN3nLEST レジスタの RPER フラグ、IPER フラグ、CSER フラグ、SFER フラグ、FER フラグ、TER フラグ、BER フラグに“0”を書くことにより、RLN3nLST レジスタの ERR フラグは“0”になります。

注2.　RLN3nLDFC レジスタの RFDL[3:0]ビットが“0000_B”（0 バイト＋チェックサム）のときは検出されません。

22.7.7　エラーステータス

22.7.7.1　LIN マスタモード

(1) エラーステータスの種類

LIN/UART インタフェースは LIN マスタモードで 6 種類のエラーステータスを検出します。これらのエラーの状態は RLN3nLEST レジスタの各ビットで確認できます。

すべてのエラーステータスは、割り込み要因となります。

「**表 22.101 エラーステータスの種類（LIN マスタモード）**」にエラーステータスの種類を示します。

表 22.101 エラーステータスの種類（LIN マスタモード）

ステータス	エラー検出条件	エラーを検出できる動作モード	通信処理	検出許可／禁止選択	対応ビット
ビットエラー	送信したデータと、受信端子でモニタしている LIN バス上のデータが一致しなかったとき注 1、注 2	● LIN 動作モード ● LIN ウェイクアップモード	中断	○	RLN3nLEST レジスタの BER フラグ
フィジカルバスエラー	● ブレーク送信時に LIN バスがハイレベルを検出した場合 ● ブレークデリミタ送信時に LIN バスがロウレベルを検出した場合 ● ウェイクアップ送信時に LIN バスがハイレベルを検出した場合	● LIN 動作モード ● LIN ウェイクアップモード	中断	○	RLN3nLEST レジスタの PBER フラグ
タイムアウトエラー	フレームまたはレスポンスの送受信がある一定の時間内に終了しなかったとき注 3、注 4	LIN 動作モード	中断	○	RLN3nLEST レジスタの FTER フラグ
フレーミングエラー	レスポンスフィールド受信処理において、各データバイトのストップビットがロウレベルであったとき	LIN 動作モード	中断	○	RLN3nLEST レジスタの FER フラグ
チェックサムエラー	レスポンスフィールド受信処理において、チェックサム判定の結果がエラーのとき	LIN 動作モード	—	×	RLN3nLEST レジスタの CSER フラグ
レスポンス準備エラー	フレームセパレートモードで多バイトレスポンス受信において以下の場合 ● ヘッダ送信完了後、レスポンス送受信要求設定前に 1 バイト目の受信データを受信したとき ● 前のデータグループ受信完了後、次のデータグループの送受信要求設定前に 1 バイト目の受信データを受信したとき	LIN 動作モード	中断	×	RLN3nLEST レジスタの RPER フラグ

注1.　ビットエラーを検出した場合は、ストップビット送信後に中断します。インタバイトスペースなどの非データ領域でビットエラーを検出したときは、エラーになったビットを送信した直後に送信を中断します。ウェイクアップ送信中にビットエラーを検出したときは、エラーになったビットを送信した直後にウェイクアップ送信を中断します。

注2.　多バイトレスポンス送信においては、データグループとデータグループの間でもビットエラーを検出します。

注3.　タイムアウト時間は、レスポンスフィールドデータ長（RLN3nLDFC レジスタの RFDL[3:0]ビット）、およびチェックサム選択（RLN3nLDFC レジスタの CSM ビット）に依存し、下記の式により計算できます。
RLN3nLDFC レジスタの FSM ビットが“1”（フレームセパレートモード）の場合、RLN3nLTRC レジスタの RTS ビットを設定するまでは、データバイト数 8 バイトのタイムアウト時間となります。RTS ビットが設定されると、タイムアウト時間は、レスポンスフィールドデータ長（RLN3nLDFC レジスタの RFDL[3:0]ビット）を元にした時間に再設定されます。

【フレームタイムアウト】

クラシック選択時（RLN3nLDFC レジスタの CSM ビットが“0”の場合）：

タイムアウト時間＝49＋（データバイト数＋1）×14[Tbit]

エンハンス選択時（RLN3nLDFC レジスタの CSM ビットが“1”の場合）：

タイムアウト時間＝48＋（データバイト数＋1）×14[Tbit]

上記タイムアウト時間は、クラシック選択時に LIN Specification Package Revision 1.3 の TFRAME_MAX を、エンハンス選択

時に LIN Specification Package Revision 2.x の TFRAME_MAX を超える時間となります。

【レスポンスタイムアウト】

タイムアウト時間＝（データバイト数＋1）×14[Tbit]

なお、エラーを検出した場合、タイムアウトエラー検出機能は停止します。

注4.　タイムアウト機能が有効（RLN3nLEDE.FTERE＝1）の時に、RLN3nLCUC レジスタの OM0 ビットを“0”にすることによって LIN リセットモードへ移行させる場合、**「図 22.4 タイムアウト機能有効時に RLN3nLCUC レジスタの OM0 ビットを“0”にすることによるリセット手順」**で実施してください。

エラーステータスのクリア条件は、次の通信開始時（RLN3nLTRC レジスタの FTS ビットをセットしたとき）、ソフトウェアによるクリア、LIN リセットモード移行時です。

(2) LIN エラー検出の対象時間領域

「**図 22.20 LIN エラー検出の対象時間領域（LIN マスタモード）**」にエラーを検出するために LIN/UART インタフェースが LIN マスタモード時に監視する時間領域を示します。

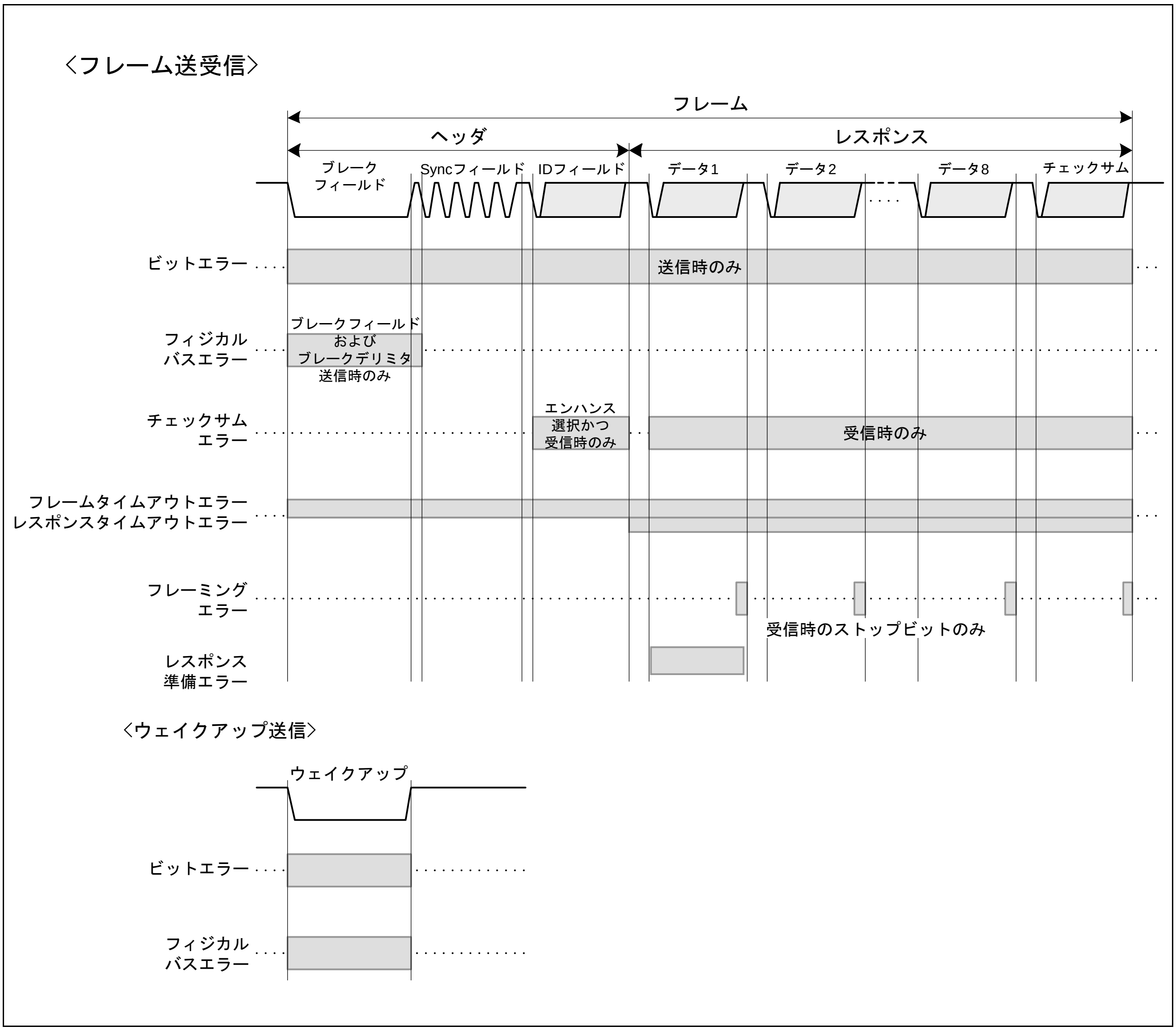


図 22.20　LIN エラー検出の対象時間領域（LIN マスタモード）

22.7.7.2 LIN スレーブモード

(1) エラーステータスの種類

LIN/UART インタフェースは LIN スレーブモード〔オートボーレート〕または LIN スレーブモード〔固定ボーレート〕で、7 種類のエラーステータスを検出します。これらのエラーの状態は RLN3nLEST レジスタの各ビットで確認できます。

「**表 22.102 エラーステータスの種類（LIN スレーブモード）**」にエラーステータスの種類を示します。

表 22.102 エラーステータスの種類（LIN スレーブモード）

ステータス	エラー検出条件	エラーを検出できる動作モード	通信処理	検出許可／禁止選択	対応ビット
ビットエラー	送信したデータと、受信端子でモニタしている LIN バス上のデータが一致しなかったとき注1、注2	● LIN 動作モード ● LIN ウェイクアップモード	中断	○	RLN3nLEST レジスタの BER フラグ
タイムアウトエラー	フレームまたはレスポンスの送受信がある一定の時間内に終了しなかったとき注3、注6	LIN 動作モード	中断	○	RLN3nLEST レジスタの TER フラグ
フレーミングエラー	フレーム受信処理において、各データバイトのストップビットがロウレベルであったとき	LIN 動作モード	中断	○	RLN3nLEST レジスタの FER フラグ
シンクフィールドエラー	ブレークロウレベルの幅が RLN3nLBFC レジスタの LBLT ビットで設定した幅よりも長く、シンクフィールドが“55_H”でないとき	LIN 動作モード	中断	○注4	RLN3nLEST レジスタの SFER フラグ
チェックサムエラー	レスポンスフィールド受信処理において、チェックサム判定の結果がエラーのとき	LIN 動作モード	—注5	×	RLN3nLEST レジスタの CSER フラグ
ID パリティエラー	受信した ID パリティビットが、LIN/UART インタフェースが自動で計算した値と一致しなかったとき	LIN 動作モード	中断	○	RLN3nLEST レジスタの IPER フラグ
レスポンス準備エラー	● ヘッダ受信後、1 バイト目の受信データを受信完了前にレスポンスの準備が間に合わなかったとき ● 多バイトレスポンス受信で、次のデータグループの 1 バイト目の受信データを受信完了前に次のデータグループの受信準備が間に合わなかったとき	LIN 動作モード	中断	×	RLN3nLEST レジスタの RPER フラグ

注1. ビットエラーを検出した場合は、ストップビット送信後に中断します。インタバイトスペースなどの非データ領域でビットエラーを検出したときは、エラーになったビットを送信した直後に送信を中断します。ウェイクアップ送信中にビットエラーを検出したときは、エラーになったビットを送信した直後にウェイクアップ送信を中断します。

注2. 多バイトレスポンス送信においては、データグループとデータグループの間でもビットエラーを検出します。

注3. タイムアウト時間は、レスポンスフィールドデータ長（RLN3nLDFC レジスタの RFDL[3:0]ビット）、およびチェックサム選択（RLN3nLDFC レジスタの LCS ビット）に依存し、下記の式により計算できます。RLN3nLTRC レジスタの RTS ビットまたは LNRR ビットを設定するまでは、データバイト数 8 バイトのタイムアウト時間となります。RTS ビットが設定されると、タイムアウト時間は、レスポンスフィールドデータ長（RLN3nLDFC レジスタの RFDL[3:0]ビット）を元にした時間に再設定されます。LNRR ビットが設定されると、タイムアウト機能は停止します。

【フレームタイムアウト】

クラシック選択時（RLN3nLDFC.CSM ビットが“0”の場合）：タイムアウト時間＝49＋（データバイト数＋1）×14[Tbit]

エンハンス選択時（RLN3nLDFC.CSM ビットが“1”の場合）：タイムアウト時間＝48＋（データバイト数＋1）×14[Tbit]

上記タイムアウト時間は、クラシック選択時に LIN Specification Package Revision 1.3 の TFRAME_MAX を、エンハンス選択時に LIN Specification Package Revision 2.x の TFRAME_MAX を超える時間となります。

【レスポンスタイムアウト】

タイムアウト時間＝（データバイト数＋1）×14[Tbit]

なお、エラーを検出した場合、タイムアウトエラー検出機能は停止します。

注4. SFER フラグへの反映の許可／禁止であり、エラー検出の許可／禁止ではありません。

注5. レスポンスフレーム受信完了後にチェックサム判定を行います。エラーの場合、受信完了フラグは“1”になりません。

注6. タイムアウト機能が有効（RLN3nLEDE.TERE＝1）の時に、RLN3nLCUC レジスタの OM0 ビットを“0”にすることによって LIN リセットモードへ移行させる場合、**「図 22.4 タイムアウト機能有効時に RLN3nLCUC レジスタの OM0 ビットを“0”にすることによるリセット手順」**で実施してください。

エラーステータスのクリア条件は、ソフトウェアによるクリア、LIN リセットモード移行時です。

(2) LIN エラー検出の対象時間領域

「**図 22.21 LIN エラー検出の対象時間領域（LIN スレーブモード）**」にエラーを検出するために LIN/UART インタフェースが LIN スレーブモード時に監視する時間領域を示します。

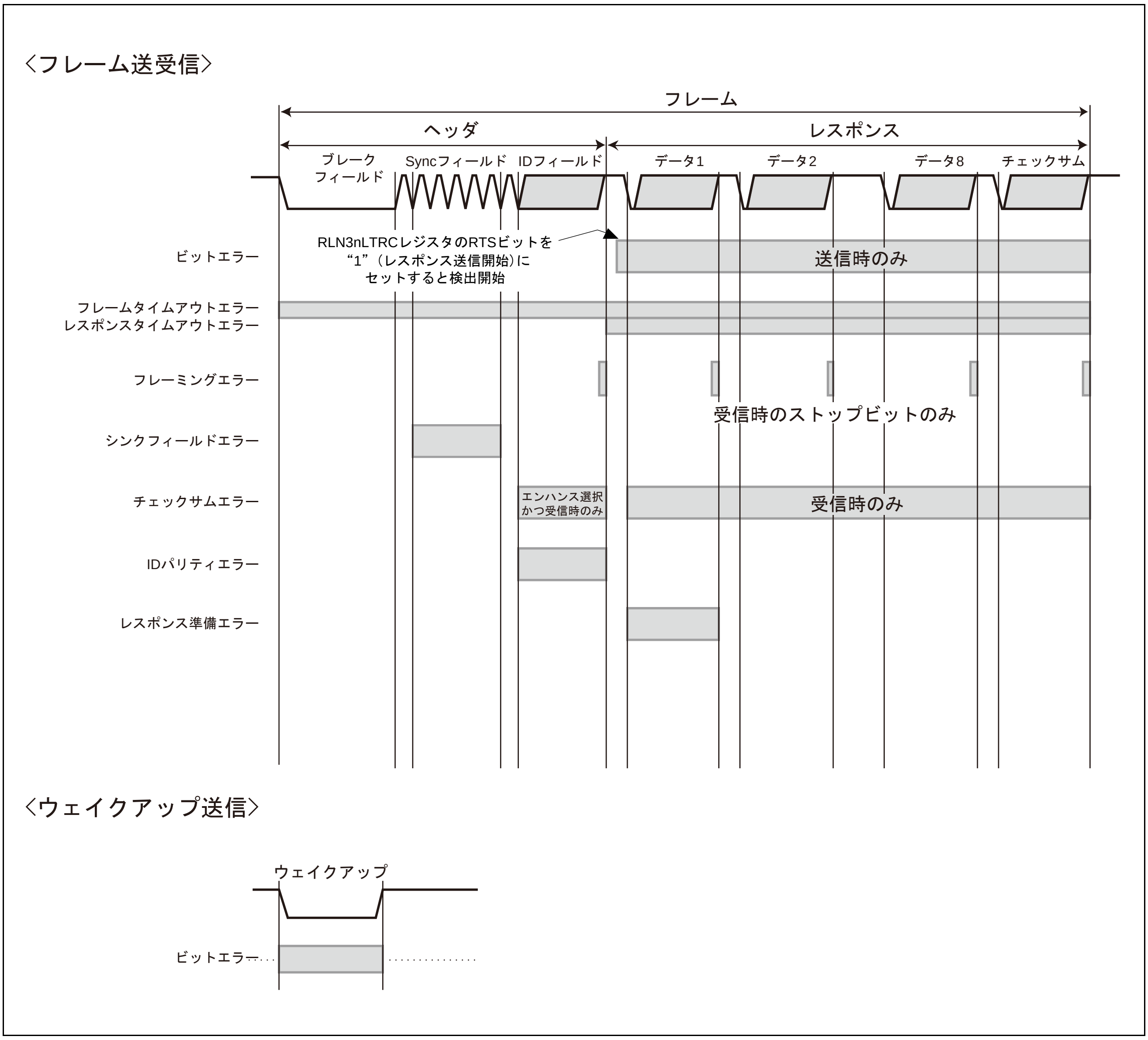


図 22.21 LIN エラー検出の対象時間領域（LIN スレーブモード）

22.8　UART モード

LIN リセットモードで、RLN3nLMD レジスタの LMD ビットを“01_B”（UART モード）に設定し、RLN3nLCUC レジスタの OM0 ビットを“1”にしてください。これにより UART モードになり、RLN3nLMST レジスタの OMM0 ビットが“1”になります。

22.8.1　送信

「**図 22.22 LIN/UART インタフェース（UART モード）の送信動作**」に LIN/UART インタフェース（UART モード）の送信動作、「**表 22.103 LIN/UART インタフェース（UART モード）の送信処理**」に LIN/UART インタフェース（UART モード）の送信処理を示します。

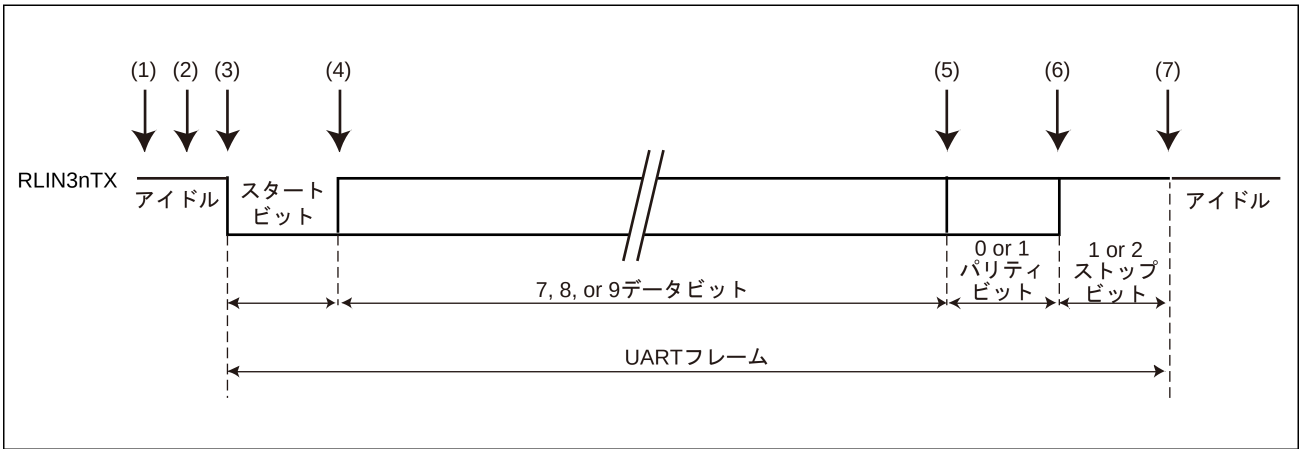


図 22.22　LIN/UART インタフェース（UART モード）の送信動作

表 22.103 LIN/UART インタフェース（UART モード）の送信処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	● ボーレートを設定 ● ノイズフィルタ ON/OFF を設定 ● エラー検出許可を設定 ● データフォーマットを設定 ● 割り込み発生タイミングを設定 ● LIN/UART インタフェースを LIN リセットモードから解除 ● 送信動作許可ビット（UTOE ビット）を“1”に設定	● ソフトウェアによる送信トリガ（RLN3nLUTDR レジスタ）待ち
(2)	● UART 送信データレジスタ（RLN3nLUTDR）または UART ウェイト用送信データレジスタ（RLN3nLUWTDR）に送信データを設定	● 送信ステータスフラグを設定
(3)	● 割り込み要求発生待ち 【UTIGTS ビットが“0”（送信開始時に送信割り込み発生）のとき】 ● 連続してデータの送信を行う場合は、UART 送信データレジスタ（RLN3nLUTDR レジスタ）に次の送信データを設定。割り込み要求発生待ち	● スタートビット送信（半二重通信で受信→送信切り替え時は、受信の 1 ストップビットの終わり以後、スタートビット送信。この機能は「**22.8.1.4 送信開始ウェイト機能**」を参照してください。） 【UTIGTS ビットが“0”（送信開始時に送信割り込み発生）のとき】 ● 送信割り込み出力
(4)		UART（ウェイト用）送信データレジスタに設定したデータを送信
(5)		パリティ使用時、パリティビットを送信
(6)		1 or 2 ストップビットを送信

表 22.103 LIN/UART インタフェース（UART モード）の送信処理

	ソフトウェア処理	LIN/UART インタフェース処理
(7)	【UTIGTS ビットが“0”（送信開始時に送信割り込み発生）のとき】 ● 次の送信データがセットされている場合は、(3)へ 【UTIGTS ビットが“1”（送信完了時に送信割り込み発生）のとき】 ● 連続してデータの送信を行う場合は、(2)へ	【UTIGTS ビットが“0”（送信開始時に送信割り込み発生）のとき】 ● 次の送信データがセットされている場合は、(3)へ ● 次の送信データがセットされていない場合は、送信ステータスフラグをクリア 【UTIGTS ビットが“1”（送信完了時に送信割り込み発生）のとき】 ● RLIN3n 送信割り込み要求発生 ● 送信ステータスフラグをクリア

22.8.1.1　　連続送信

LIN/UART インタフェース（UART モード）では、RLN3nLUTDR レジスタを使用して複数のデータを連続送信することができます。送信割り込み発生タイミングが送信開始の場合の動作例および送信割り込み発生タイミングが送信完了の場合の動作例を「**図 22.23　LIN/UART インタフェース（UART モード）連続送信動作例**」に示します。

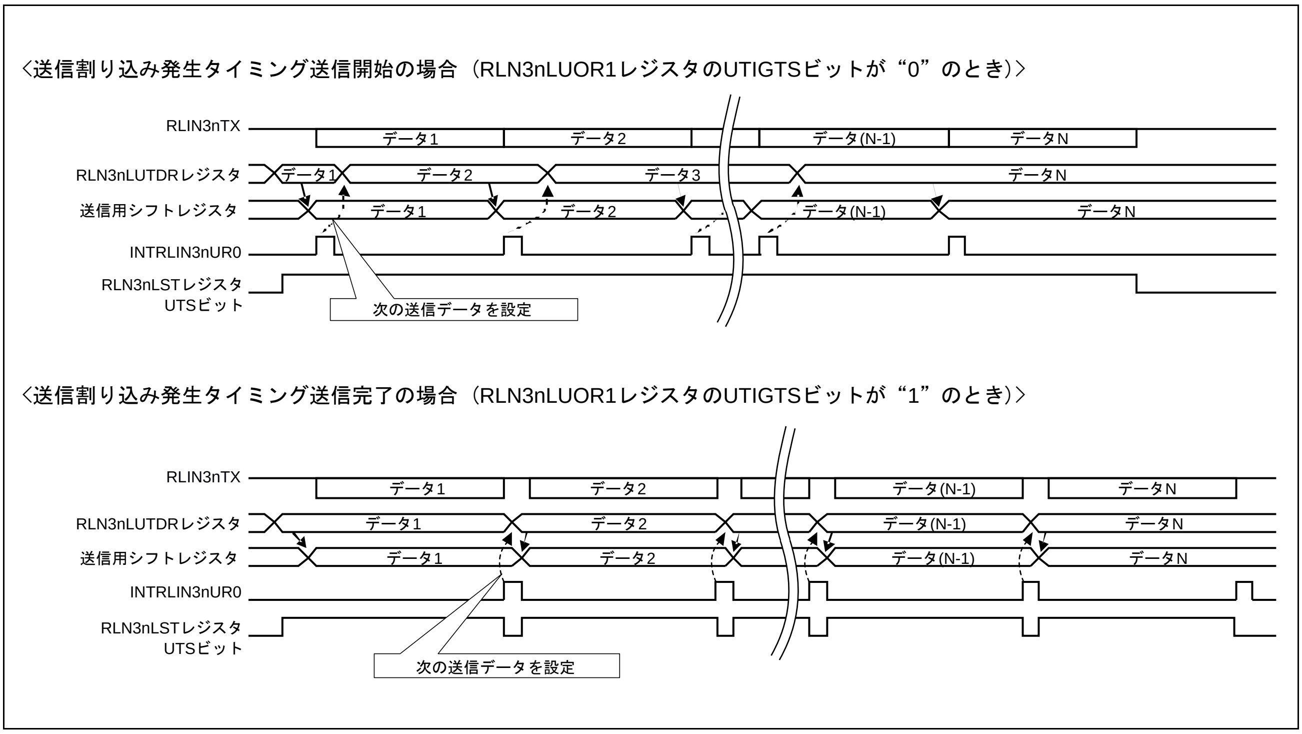


図 22.23　LIN/UART インタフェース（UART モード）連続送信動作例

送信割り込み発生タイミングが送信開始で最終データの送信完了を知る必要がある場合のみ、最終データの送信開始後に RLN3nLUOR1 レジスタの UTIGTS ビットを“0”から“1”に変更することにより、送信完了で割り込みを発生させることができます。

22.8.1.2 UART バッファ送信

LIN/UART インタフェース（UART モード）は、最大 9 バイトの UART バッファを持っており、UART バッファを使用した連続送信が可能です。

「**図 22.24 LIN/UART インタフェース（UART モード）の UART バッファ送信動作**」に LIN/UART インタフェース（UART モード）の UART バッファ送信動作、「**表 22.104 LIN/UART インタフェース（UART モード）UART バッファ送信処理**」に UART バッファ送信処理を示します。

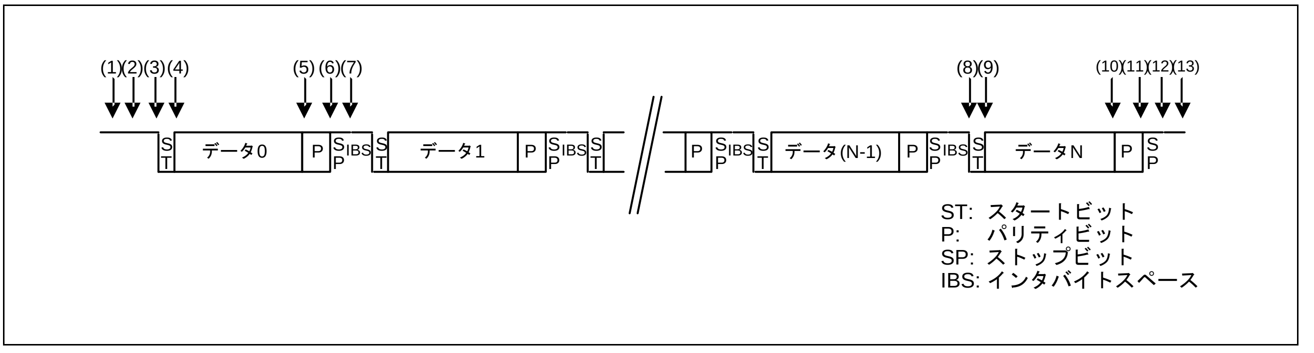


図 22.24　LIN/UART インタフェース（UART モード）の UART バッファ送信動作

表 22.104 LIN/UART インタフェース（UART モード）UART バッファ送信処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	● ボーレートを設定 ● ノイズフィルタ ON/OFF を設定 ● エラー検出許可を設定 ● データフォーマットを設定 ● 割り込み発生タイミングを送信完了時に設定 ● LIN リセットモードから解除 ● 送信動作許可ビット（UTOE ビット）を“1”に設定	● ソフトウェアによる送信トリガ（RTS ビット）待ち
(2)	● UART バッファデータ長および送信開始ウェイト有無の設定 ● UART データ 0 バッファレジスタ（RLN3nLUDB0）、LIN データバッファ b レジスタ（RLN3nLDBRb）に送信データを設定（b＝1～8） ● UART バッファ送信開始ビット（RTS）を設定	● 送信ステータスフラグをセット
(3)	割り込み要求発生待ち	スタートビット送信 （半二重通信で受信→送信切り替え時は、受信の 1 ストップビットの終わり以後、スタートビット送信。この機能は「**22.8.1.4 送信開始ウェイト機能**」を参照してください。）
(4)		UART データバッファ 0 レジスタ（RLN3nLUDB0）または LIN/UART データバッファ b レジスタ（RLN3nLDBRb）に設定したデータを送信
(5)		パリティ使用時、パリティビットを送信
(6)		1 または 2 ストップビットを送信 （UART バッファデータ長設定ビットで設定したデータ数が 1 の場合、(12)に進む)
(7)		インタバイトスペース（アイドル）を送信
		UART バッファデータ長設定ビットで設定したデータ数−1 まで、(3)～(7)を繰り返す

表 22.105 LIN/UART インタフェース（UART モード）UART バッファ送信処理

	ソフトウェア処理	LIN/UART インタフェース処理
(8)	割り込み要求発生待ち	スタートビット送信
(9)		LIN/UART データバッファ b レジスタ（RLN3nLDBRb）に設定したデータを送信
(10)		パリティ使用時、パリティビットを送信
(11)		1 または 2 ストップビットを送信
(12)		● バッファ送信完了フラグをセット ● UART バッファ送信開始ビット（RTS）をクリア ● 送信割り込み要求信号 ● 送信ステータスフラグをクリア
(13)	● RLN3nLST レジスタのチェック、フラグのクリア ● 連続してデータの送信を行う場合は、(2)へ	

(1) UART バッファの送信

9 バイト送信の場合、RLN3nLUDB0 レジスタ、RLN3nLDBR1～RLN3nLDBR8 レジスタに格納されている内容が、データ 0～8 領域に送信されます。9 バイトの送信設定のときのみ、RLN3nLUDB0 レジスタは使われます。その他の場合、データ長により、RLN3nLDBR1～RLN3nLDBR8 レジスタが選択されます。4 バイト送信の場合は、RLN3nLDBR1～RLN3nLDBR4 レジスタに格納されている内容がデータ 1～4 領域に送信されます。RLN3nLDBR5～RLN3nLDBR8 レジスタの内容は送信されません。RLN3nLDFC レジスタの MDL[3:0] ビットに設定したデータ数送信後、RLIN3n の送信割り込みが発生します。各送信データ間スペースは、RLN3nLSC レジスタの IBS ビットで設定できます。

「**図 22.25 UART バッファと送信処理（9 バイトの場合）**」に 9 バイトの UART バッファと送信処理を示します。

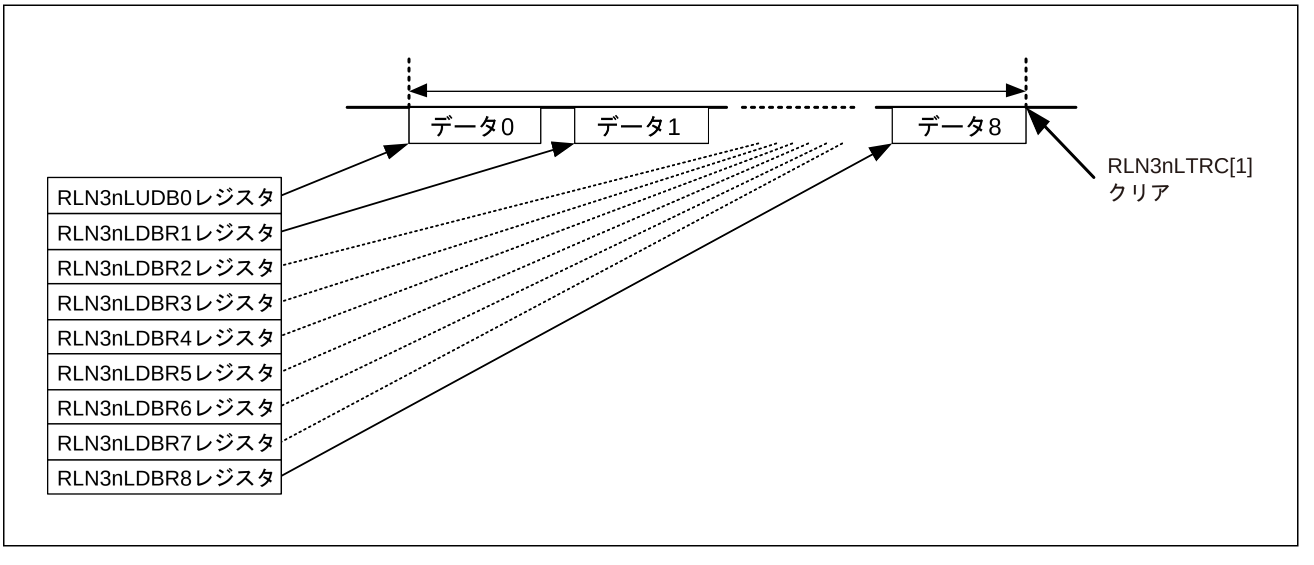


図 22.25 UART バッファと送信処理（9 バイトの場合）

22.8.1.3　データ送信

データ送信は、1Tbit に 1 ビットずつ行われます。

半二重通信で、RLN3nLEDE レジスタの BERE ビットが“1”（ビットエラー検出許可）のとき、データ送信時に送信データと入力端子レベルの比較がビットごとに行われ、結果は RLN3nLEST レジスタの BER フラグに格納されます（「**22.7.7 エラーステータス**」参照）。データ送信時に、入力端子をサンプリングするタイミングは、RLN3nLWBR レジスタの LPRS[2:0]および NSPB[3:0]ビットの設定により異なります。

UART モード時のビットエラー検出タイミングを「**表 22.106 UART モード時のビットエラー検出タイミング**」に示します。

表 22.106 UART モード時のビットエラー検出タイミング

1 ビットあたりのサンプリング数	ビットエラー検出タイミング
6 サンプリング	3 クロック目 ＋1 プリスケーラクロック
7 サンプリング	4 クロック目 ＋1 プリスケーラクロック
8 サンプリング	4 クロック目 ＋1 プリスケーラクロック
9 サンプリング	5 クロック目 ＋1 プリスケーラクロック
10 サンプリング	5 クロック目 ＋1 プリスケーラクロック
11 サンプリング	6 クロック目 ＋1 プリスケーラクロック
12 サンプリング	6 クロック目 ＋1 プリスケーラクロック
13 サンプリング	7 クロック目 ＋1 プリスケーラクロック
14 サンプリング	7 クロック目 ＋1 プリスケーラクロック
15 サンプリング	8 クロック目 ＋1 プリスケーラクロック
16 サンプリング	8 クロック目 ＋1 プリスケーラクロック

データ送信のタイミング例（1Tbit が 16 サンプリングの場合）を「**図 22.26 データ送信のタイミング例（1Tbit が 16 サンプリングの場合）**」に示します。

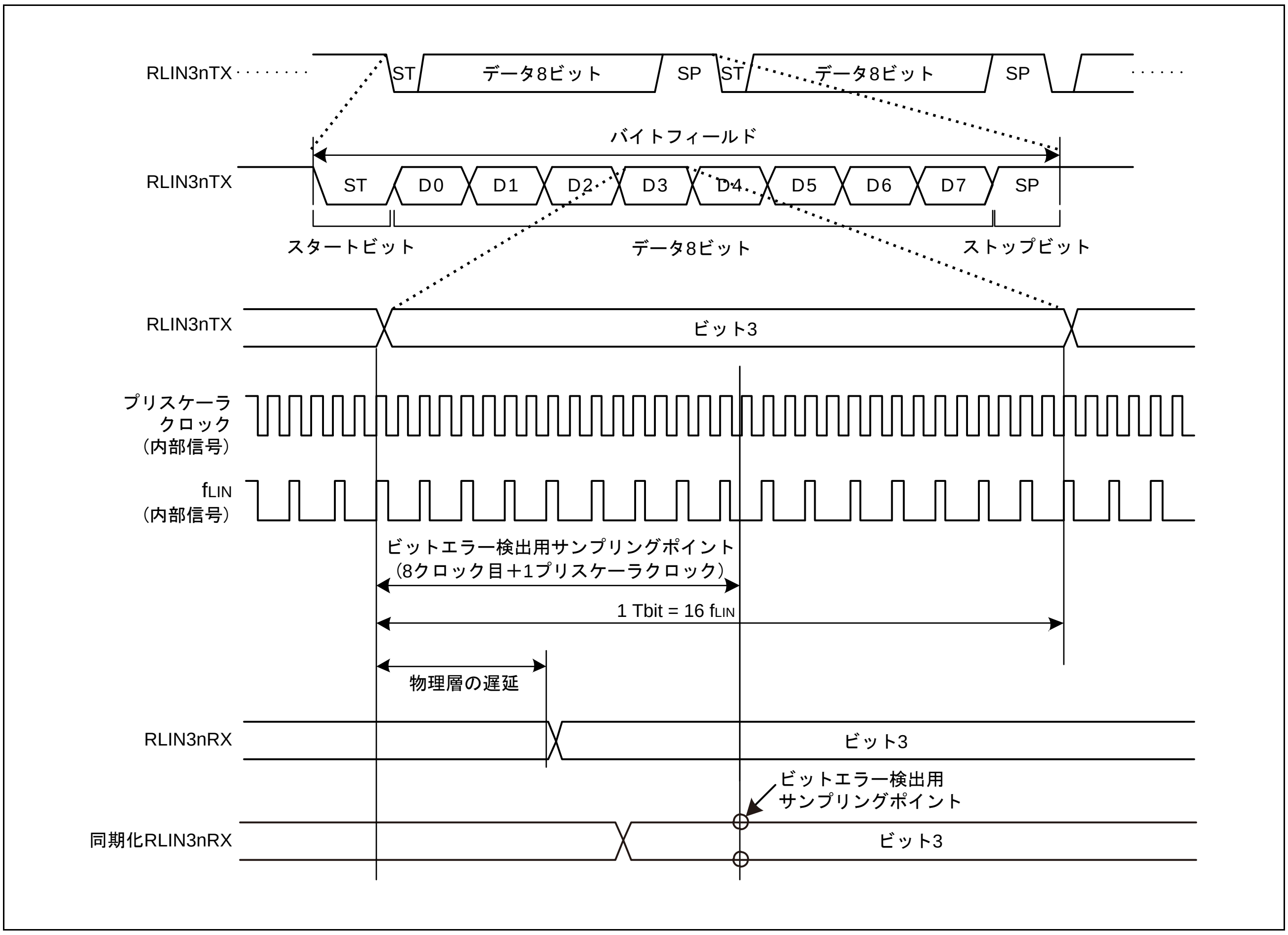


図 22.26　データ送信のタイミング例（1Tbit が 16 サンプリングの場合）

22.8.1.4　送信開始ウェイト機能

LIN/UART インタフェース（UART モード）は、半二重通信を行う場合、受信から送信へ切り替わるときに受信のストップビット長を確保する機能を持っています。

受信のストップビット完了まで送信開始を遅らせたい場合、送信開始要求として RLN3nLUTDR レジスタへ送信データを設定する代わりに、ウェイト専用レジスタである RLN3nLUWTDR レジスタへデータを設定してください。UART バッファから送信する場合は、RLN3nLDFC レジスタの UTSW ビットを“1”に設定した状態で、RLN3nLTRC レジスタの RTS ビットに“1”（UART バッファ送信開始）を設定してください。

この場合、受信データのストップビットが終了するまで、送信開始をウェイトします。

なお、RLN3nBLFC レジスタの UART ストップビット長選択ビット（USBLS）が“1”（ストップビット 2 ビット）の場合でも、1 ビット分しかウェイトしません。

送信ウェイト機能の動作を「**図 22.27 受信データのストップビット中に送信データを設定した場合**」に示します。

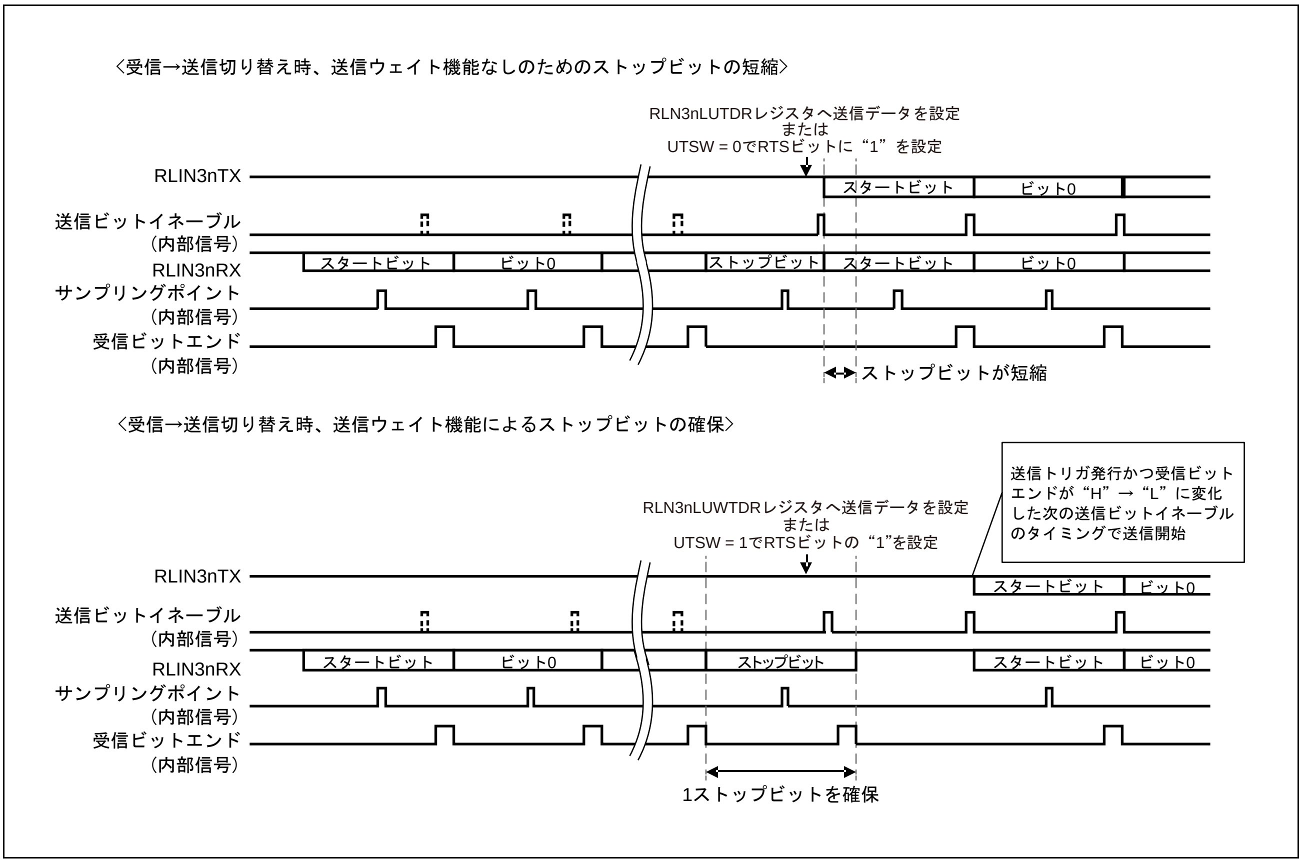


図 22.27　受信データのストップビット中に送信データを設定した場合

22.8.2 受信

「**図 22.28 LIN/UART インタフェース（UART モード）の受信動作**」に LIN/UART インタフェース（UART モード）の受信動作、「**表 22.107 LIN/UART インタフェース（UART モード）の受信処理**」に LIN/UART インタフェース（UART モード）の受信処理を示します。

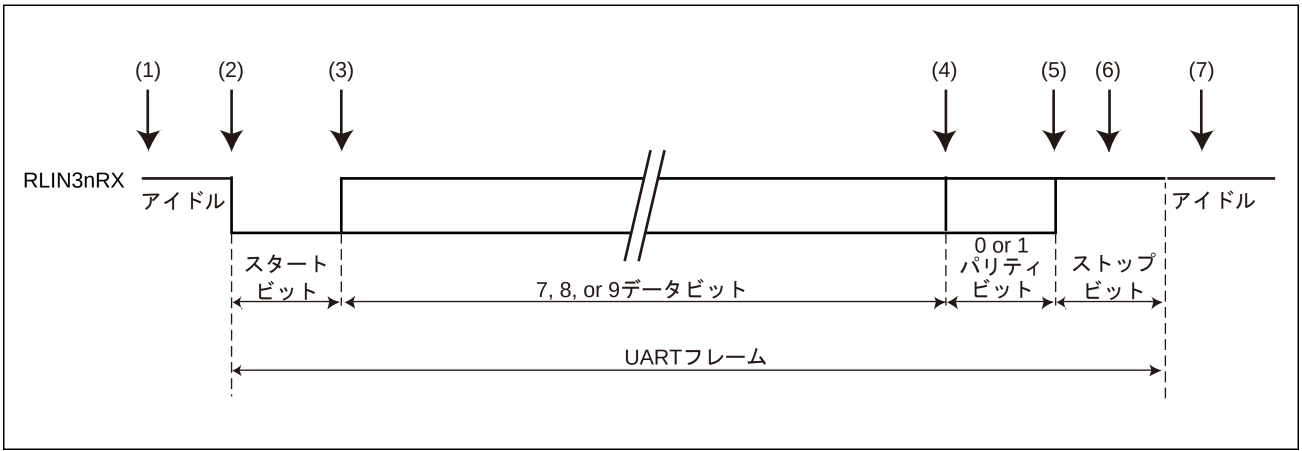


図 22.28 LIN/UART インタフェース（UART モード）の受信動作

表 22.107 LIN/UART インタフェース（UART モード）の受信処理

	ソフトウェア処理	LIN/UART インタフェース処理
(1)	● ボーレートを設定 ● ノイズフィルタ ON / OFF を設定 ● エラー検出許可を設定 ● データフォーマットを設定 ● LIN リセットモードから解除 ● 受信動作許可ビット（UROE ビット）を“1”に設定	● ソフトウェアによる受信許可状態切り換え待ち ● スタートビット検出待ち
(2)	割り込み要求発生待ち	● 受信端子からの立ち下がりエッジを待ち、スタートビットを検出 ● 受信ステータスフラグをセット
(3)		データを受信
(4)		パリティ使用時、パリティビットを受信
(5)		1 ストップビットのみ受信
(6)		● RLIN3n 受信完了割り込み要求発生 ● 受信ステータスフラグをクリア
(7)	RLN3nLST レジスタのチェック、フラグのクリア	受信端子からの立ち下がりエッジ待ち

22.8.2.1　データ受信

データ受信は、RLIN3nRX 端子からの入力をプリスケーラクロックに同期させた同期化 RLIN3nRX（内部信号）を使用して行います。

この同期化 RLIN3nRX 信号のスタートビットの立ち下がりエッジでバイトフィールドの同期を合わせます。立ち下がりエッジ検出後、1Tbit あたりのサンプリング数が偶数の場合は 0.5Tbit 後に、奇数の場合は｛（サンプリング数＋1）／2｝／（サンプリング数）Tbit 後に再度サンプリングを行い、同期化 RLIN3nRX 信号がロウレベルであった場合にスタートビットと認識します。リセット解除後から RLIN3nRX 信号がロウレベル固定の場合や、再サンプリング時にハイレベルを検出した場合はスタートビットとは認識しません。

スタートビット検出後は、1Tbit ごとにビットのサンプリングを行います。

ただし、RLN3nLEDE レジスタの BERE ビットが“1”の場合は、サンプリングポイントがビットエラー検出タイミングと同じになります。

LIN/UART インタフェースは、受信データに対するノイズフィルタ機能をもっています。RLN3nLMD レジスタの LRDNFS ビットが“0”の場合は、ノイズフィルタ使用となり、サンプリングの値はプリスケーラクロックで 3 サンプリング多数決により決定した値を使用します。RLN3nLMD レジスタの LRDNFS ビットが“1”の場合は、ノイズフィルタ未使用となり、サンプリングの値はサンプリング位置での同期化 RLIN3nRX 値の値をそのまま使用します。

「**図 22.29　データ受信タイミング例（1Tbit が 16 サンプリングの場合）**」にデータ受信タイミングの例を示します。

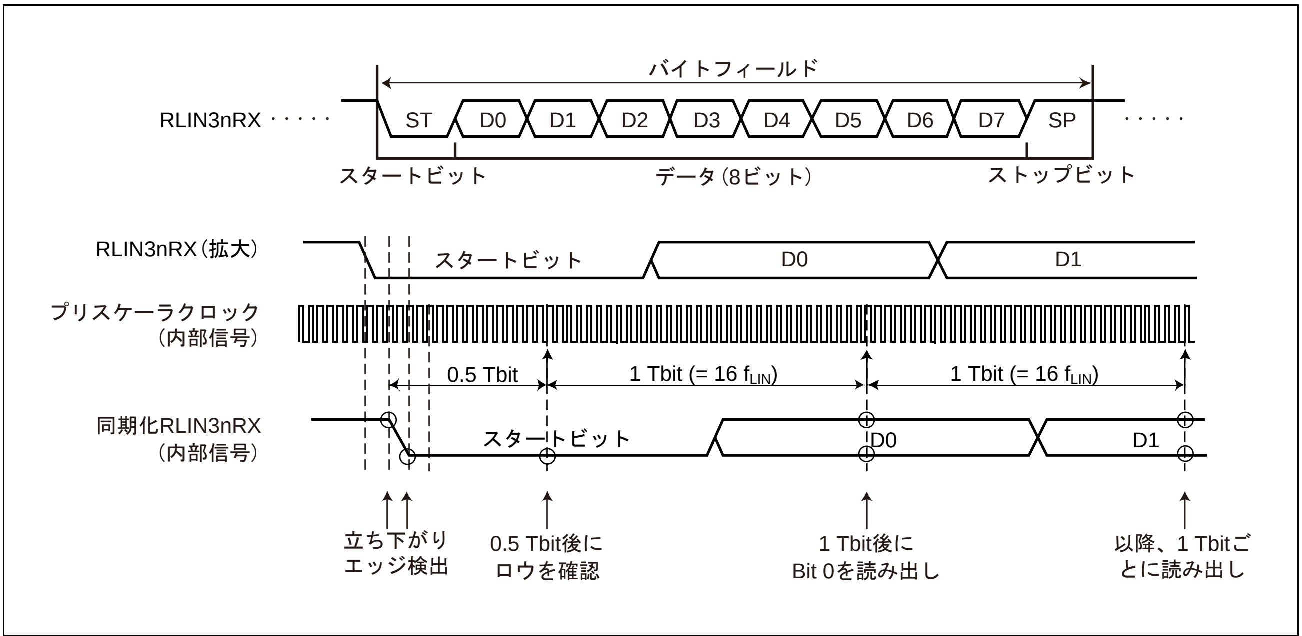


図 22.29　データ受信タイミング例（1Tbit が 16 サンプリングの場合）

22.8.3 拡張ビット

LIN/UART インタフェース（UART モード）で、RLN3nLUOR1 レジスタの UEBE ビットを “1” に設定することにより、9 ビット長のデータを送受信することが可能です。

22.8.3.1 拡張ビット送信

LIN/UART インタフェース（UART モード）で、UART オプションレジスタ 1（RLN3nLUOR1）の拡張ビット許可ビット（UEBE）が “1” で、UART 送信データレジスタ（RLN3nLUTDR）または UART ウェイト用送信データレジスタ（RLN3nLUWTDR）に 9 ビットのデータを書き込むと 9 ビット長のデータが送信されます。

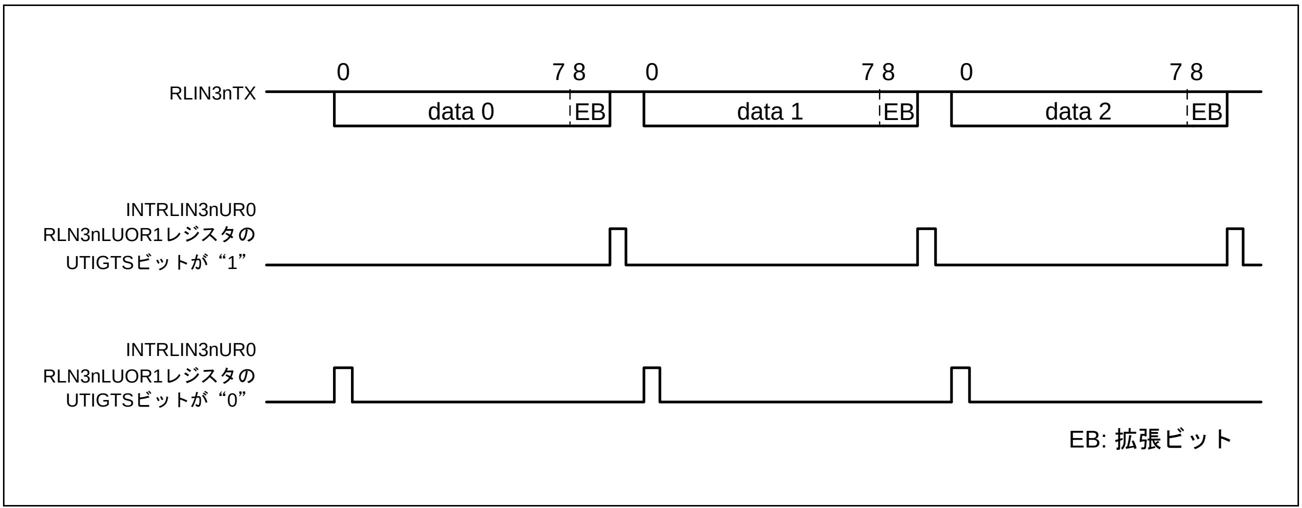


図 22.30 拡張ビット許可時送信例（LSB ファースト）

22.8.3.2　拡張ビット受信

LIN/UART インタフェース（UART モード）で、UART オプションレジスタ 1（RLN3nLUOR1）の拡張ビット許可ビット（UEBE）が“1”かつ拡張ビット比較禁止ビット（UECD）が“1”かつ拡張ビット・データ比較許可ビット（UEBDCE）が“0”のとき、拡張ビットの比較なしで常に 9 ビット長の受信が可能です。UART オプションレジスタ 1（RLN3nLUOR1）の拡張ビット検出レベル選択ビット（UEBDL）の設定にかかわらず、9 ビット長のデータを受信すると RLIN3n の受信完了割り込みが発生します。

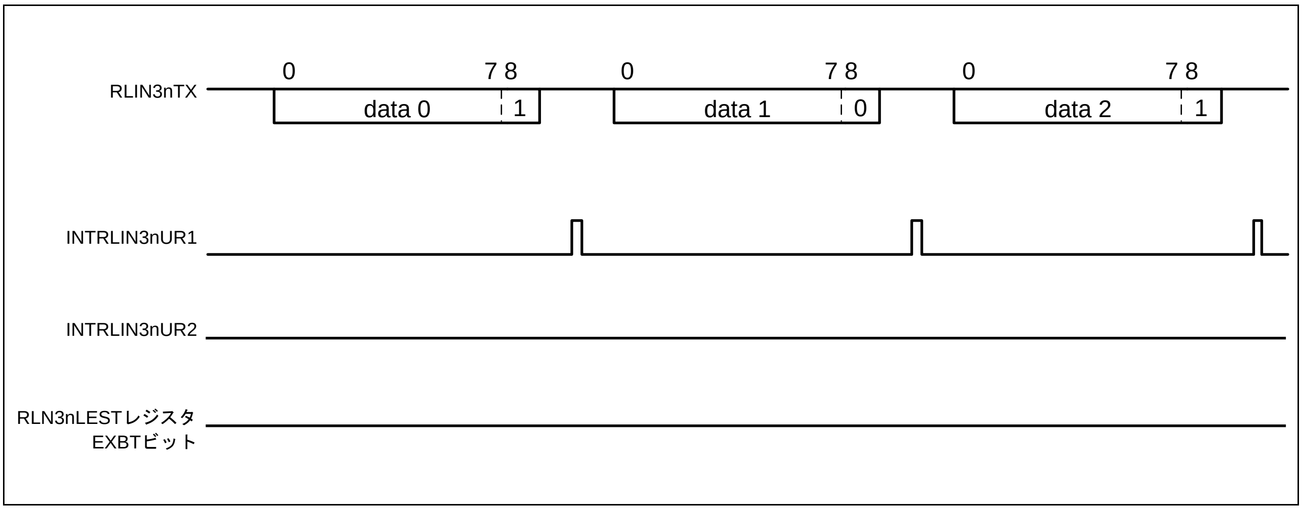


図 22.31　拡張ビット受信の例（LSB ファースト）

22.8.3.3　拡張ビット受信（拡張ビット比較あり）

LIN/UART インタフェース（UART モード）で、UART オプションレジスタ 1（RLN3nLUOR1）の拡張ビット許可ビット（UEBE）が“1”かつ拡張ビット比較禁止ビット（UECD）が“0”かつ拡張ビット・データ比較許可ビット（UEBDCE）が“0”のとき、受信した拡張ビットと UEBDL ビットの比較が可能です。

拡張ビット検出レベル選択ビット（UEBDL）で設定したレベルを検出した場合は、データ受信完了時に RLIN3n のステータス割り込み要求が発生し、LIN エラーステータスレジスタ（RLN3nLEST）の拡張ビット検出フラグ（EXBT）がセットされます。拡張ビット検出レベルの反転値が検出された場合は、RLIN3n の受信完了割り込み要求が発生します。どちらの場合も、オーバランエラーでなければ受信データを UART 受信データレジスタ（RLN3nLURDR）へ格納します。

拡張ビット検出レベル選択ビット（UEBDL）を“0”に設定した場合の例を「**図 22.32 拡張ビット受信（拡張ビット比較あり）の例（LSB ファースト、UEBDL＝0）**」に示します。

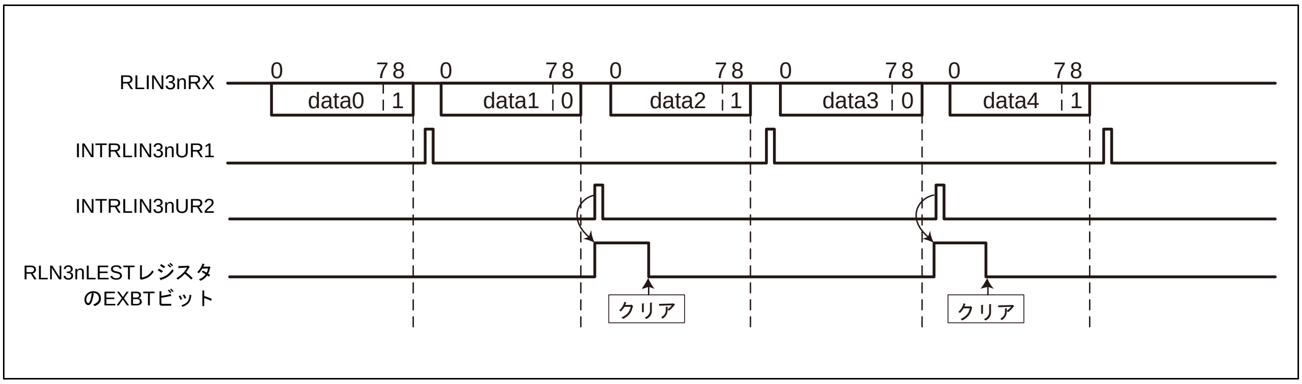


図 22.32　拡張ビット受信（拡張ビット比較あり）の例（LSB ファースト、UEBDL＝0）

備　考

- 受信 data0、2、4（拡張ビット検出レベルの反転値が検出された場合）で受信エラー（パリティエラー／フレーミングエラー／オーバランエラー）が発生すると、RLIN3n のステータス割り込みが発生し、エラーフラグが更新されます。このとき、RLIN3n の受信完了割り込みは発生しません。
- 受信 data1、3（拡張ビット検出レベルが検出された場合）で受信エラー（パリティエラー／フレーミングエラー／オーバランエラー）が発生すると、RLIN3n のステータス割り込みが発生し、エラーフラグが更新されます。オーバランエラー発生時は、拡張ビット検出フラグ（EXBT）もセットされます。

22.8.3.4　拡張ビット受信（データ比較あり）

LIN/UART インタフェース（UART モード）で、UART オプションレジスタ 1（RLN3nLUOR1）の拡張ビット許可ビット（UEBE）が“1”かつ拡張ビット比較禁止ビット（UECD）が“0”かつ拡張ビット・データ比較許可ビット（UEBDCE）が“1”のとき、拡張ビット検出レベル選択ビット（UEBDL）で設定したレベルを検出すると、受信データの拡張ビットをのぞく 8 ビットを、あらかじめ設定した RLN3nLIDB レジスタ値と比較します。

比較結果が一致の場合は、以下の動作を実行します。

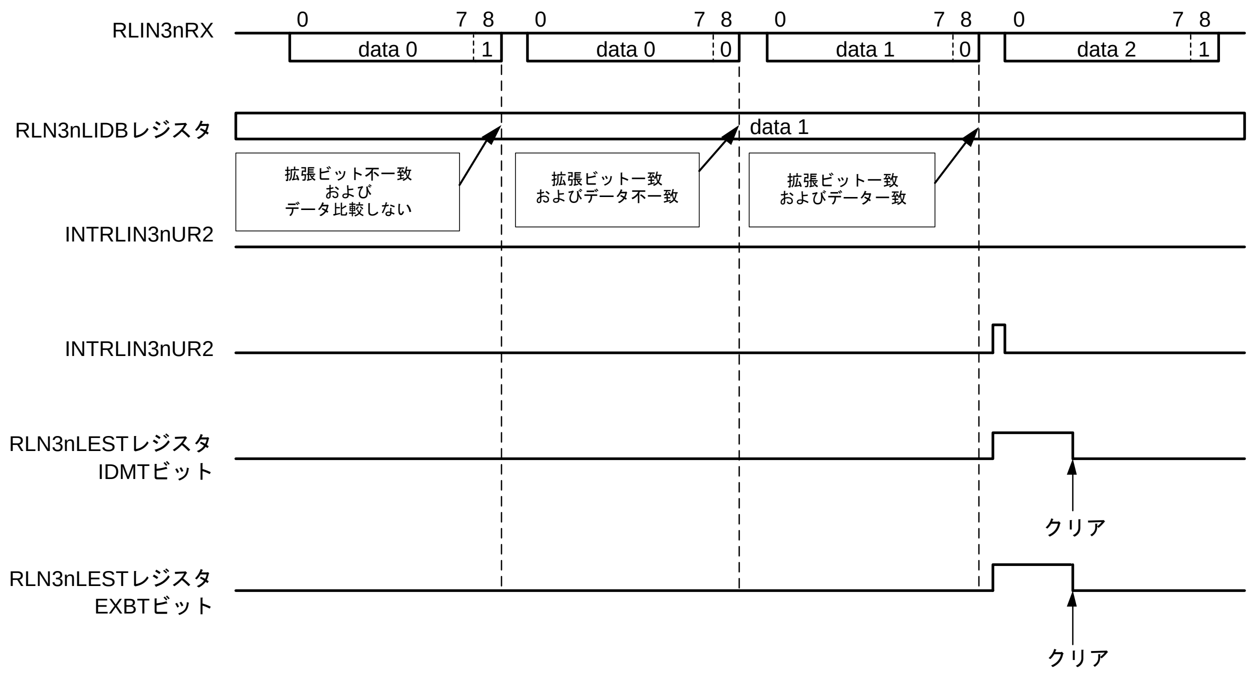
- RLIN3n のステータス割り込みを発生
- 拡張ビット検出フラグ（EXBT）をセット
- ID 一致フラグ（IDMT）をセット
- 受信データを UART 受信データレジスタ（RLN3nLURDR）に格納

比較結果が一致の場合においても、RLIN3n の受信完了割り込みは発生しません。

比較結果が一致しない場合は、RLIN3n の受信完了割り込みおよび RLIN3n のステータス割り込みは発生せず、EXBT フラグおよび IDMT フラグは“1”にセットされません。受信データは UART 受信データレジスタ（RLN3nLURDR）に格納されません。

UEBDCE ビットを“0”に変更する場合は、次の受信データ完了後までに行ってください。

拡張ビット検出レベル選択ビット（UEBDL）を“0”に設定した場合の例を「**図 22.33 拡張ビット受信（データ比較あり）の例（LSB ファースト、UEBDL＝0）**」に示します。



備考　受信エラー（パリティエラー／フレーミングエラー／オーバランエラー）が発生すると、RLIN3n のステータス割り込みが発生し、エラーフラグが更新されます。オーバランエラー発生かつ比較結果が一致の場合は、EXBT フラグおよび IDMT フラグもセットされます。

図 22.33　拡張ビット受信（データ比較あり）の例（LSB ファースト、UEBDL＝0）

22.8.4　ステータス

LIN/UART インタフェースは UART モード動作時に、5 種類のステータスを検出します。

UART バッファ送信完了、エラー検出の 2 つのステータスは割り込み要求を発生することができます。

「**表 22.108 UART モードステータスの種類**」に UART モードでのステータスの種類を示します。

表 22.108 UART モードステータスの種類

ステータス	ステータスセット条件	ステータスクリア条件	対応ビット	割り込み
LIN リセットモード	RLN3nLCUC レジスタの OM0 ビットを LIN リセットモードでないに設定後、実際に LIN/UART インタフェースが LIN リセットモード解除になったとき	RLN3nLCUC レジスタの OM0 ビットを LIN リセットモードに設定後、実際に LIN/UART インタフェースが LIN リセットモードになったとき	RLN3nLMST レジスタの OMM0 ビット	—
UART バッファ送信完了	● RLN3nLUOR1 レジスタの UTIGTS ビットが “0”（送信開始時に送信割り込み発生）の場合、RLN3nLDFC レジスタの MDL ビットに設定したデータ長の最終データを送信開始したとき ● RLN3nLUOR1 レジスタの UTIGTS ビットが “1”（送信完了時に送信割り込み発生）の場合、RLN3nLDFC レジスタの MDL ビットに設定したデータ長を送信完了したとき	● ソフトウェアによるクリア ● LIN リセットモード移行時	RLN3nLST レジスタの FTC フラグ	○
エラー検出	RLN3nLEST レジスタの UPER フラグ、IDMT フラグ、EXBT フラグ、FER フラグ、OER フラグ、BER フラグのいずれかが “1”（検出）になったとき	● ソフトウェアによるクリア注1 ● LIN リセットモード移行時	RLN3nLST レジスタの ERR フラグ	○
送信ステータス	● RLN3nLUTDR レジスタまたは RLN3nLUWTDR レジスタにデータを書き込んだとき ● RLN3nLTRC レジスタの RTS ビットに “1” を書き込んだとき	● RLN3nLUTDR レジスタまたは RLN3nLUWTDR レジスタにセットされたデータが送信完了して、次の送信データがセットされていないとき ● UART バッファのデータの送信が完了して、RLN3nLTRC レジスタの RTS ビットがクリアされたとき ● LIN リセットモード移行時	RLN3nLST レジスタの UTS フラグ	—
受信ステータス	スタートビットを検出したとき	● ストップビットのサンプリングポイントを検出したとき ● LIN リセットモード移行時	RLN3nLST レジスタの URS フラグ	—

注1.　LIN リセットモード解除中に RLN3nLEST レジスタの UPER フラグ、IDMT フラグ、EXBT フラグ、FER フラグ、OER フラグ、BER フラグに “0” を書くことにより、RLN3nLST レジスタの ERR フラグは “0” になります。

22.8.5　エラーステータス

エラーステータスの種類

LIN/UART インタフェースは UART モードで、4 種類のエラーと 2 種類のステータスを検出します。これらのステータスの状態は RLN3nLEST レジスタの各ビットで確認できます。

「**表 22.109 ステータスの種類（UART モード）**」にステータスの種類を示します。

表 22.109 ステータスの種類（UART モード）

ステータス	エラー検出条件	通信処理	検出許可／禁止選択	対応ビット
ビットエラー	送信したデータと、受信端子でモニタしているデータが一致しなかったとき注 1	設定された送信データの送信完了まで継続	○	RLN3nLEST レジスタの BER フラグ
オーバランエラー	RLN3nLURDR レジスタに受信データ格納後、データの読み出し前に、次のデータを受信したとき（このとき、RLN3nLURDR レジスタには格納されない）	— （検出時はすでに受信完了）	○	RLN3nLEST レジスタの OER フラグ
フレーミングエラー	受信処理において、1 ビット目のストップビットがロウレベルであったとき	— （検出時はすでに受信完了）	○	RLN3nLEST レジスタの FER フラグ
パリティエラー	受信したパリティ値が、受信データから算出したパリティ値と一致しなかったとき	受信完了まで継続	× 注 2	RLN3nLEST レジスタの UPER フラグ
拡張ビット検出	受信した拡張ビットの値が、RLN3nLUOR1 レジスタの UEBDL ビットの値と一致したとき	—	○	RLN3nLEST レジスタの EXBT フラグ
ID 一致検出	受信した拡張ビットの値が、RLN3nLUOR1 レジスタの UEBDL ビットの値と一致かつ拡張ビットを除く受信した 8 ビットデータが RLN3nLIDB レジスタの値と一致したとき	—	○	RLN3nLEST レジスタの IDMT フラグ

注1.　UART バッファから送信する場合は、UART フレーム間のスペース（インタバイトスペース）でもビットエラーを検出します。

注2.　RLN3nLBFC レジスタの UPS[1:0]ビットを“10_B”（0 パリティ）に設定すると、パリティビットの値の判定を実施しません。そのため、パリティエラーは発生しません。

エラーステータスのクリア条件は、ソフトウェアによるクリア、LIN リセットモード移行時です。

22.9　LIN セルフテストモード

LIN/UART インタフェースは、LIN セルフテストモードを持ちます。一度 LIN/UART インタフェースが LIN セルフテストモードになると、RLIN3nTX と RLIN3nRX は外部端子から切断され、LIN/UART インタフェース内部で RLIN3nTX と RLIN3nRX が接続されます。よって、RLIN3nTX から送信するフレームは RLIN3nRX にループバックします。LIN セルフテストモードは、LIN モードのみのテストが可能です。

セルフテストは、以下の 4 種類行うことができます。

- LIN マスタセルフテストモード（送信）：ヘッダ送信およびレスポンス送信
- LIN マスタセルフテストモード（受信）：ヘッダ送信およびレスポンス受信
- LIN スレーブセルフテストモード（送信）：ヘッダ受信およびレスポンス送信
- LIN スレーブセルフテストモード（受信）：ヘッダ受信およびレスポンス受信

LIN セルフテストモードでは、ボーレートジェネレータの設定に関わらず、最速ボーレートで動作します。

ボーレートは、ボーレート関連レジスタの設定に関わらず、LIN 通信クロック源／16 [bps]で動作します。
（RLN3nLWBR レジスタの NSPB ビットは、必ず“0000_B”または“1111_B”で使用してください。）

（RLN3nLWBR レジスタの LPRS ビットは、必ず“000_B”で使用してください。）

また、LIN セルフテストモードでは、以下の機能はサポートしません。

- LIN ウェイクアップモード
- フレームセパレートモード
- 多バイトレスポンス送受信機能
- LIN スレーブモード〔オートボーレート〕
- フレーム／レスポンスタイムアウトエラー

これらの機能は使用しないでください。

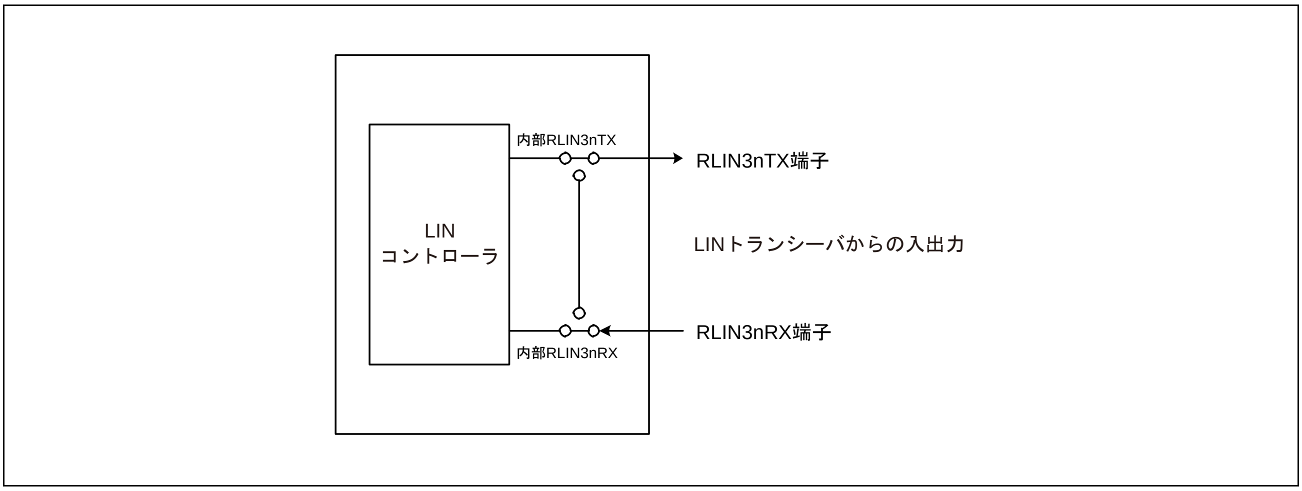


図 22.34　LIN リセットモード、LIN モードおよび UART モード接続

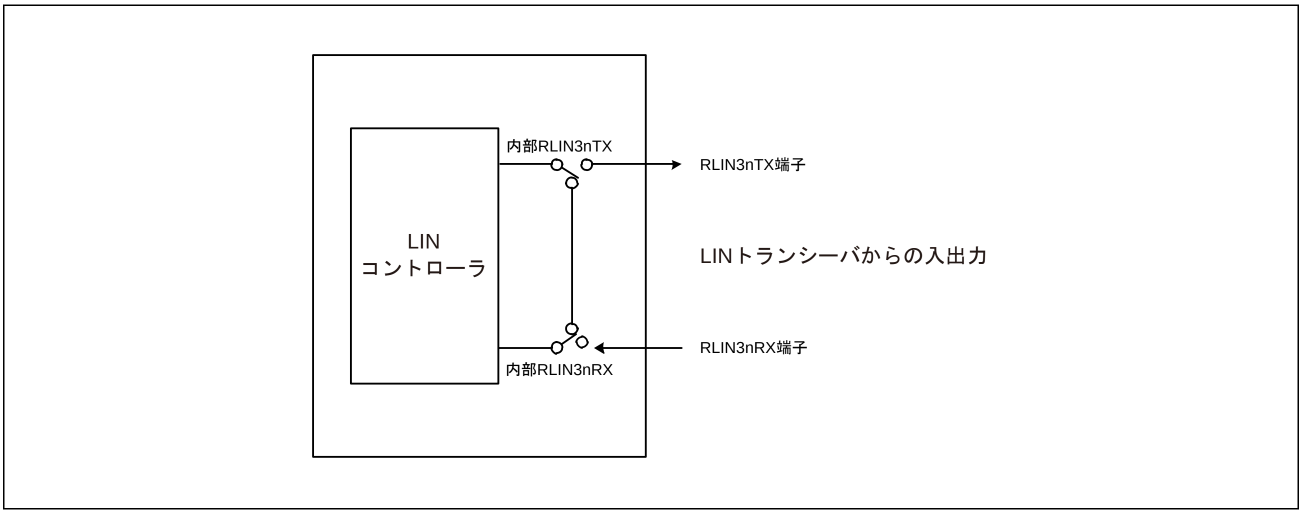


図 22.35　LIN セルフテストモード接続

22.9.1 LIN セルフテストモードへの移行

RLN3nLSTC レジスタへの書き込みにより、LIN セルフテストモードになります。

RLN3nLSTC レジスタの LSTM ビットが“1”になると、LIN セルフテストモードに移行したことが確認できます。

LIN セルフテストモードに移行するには、特定のシーケンスを必ず実行してください。このシーケンスでは、次の通り LIN セルフテスト制御レジスタに 3 回連続書き込みを行う必要があります。

- LIN リセットモードへ移行

  RLN3nLCUC レジスタの OM0 ビットを“0”（LIN リセットモード）にする。
  RLN3nLMST レジスタの OMM0 ビットを読み出し、“0”（LIN リセットモード）であることを確認する

- LIN モードの選択

  RLN3nLMD レジスタの LMD ビットが“00_B”（LIN マスタモード）または“11_B”（LIN スレーブ〔固定ボーレート〕）

- 1 回目書き込み：RLN3nLSTC レジスタ＝“$1010\ 0111_B$”（$A7_H$）
- 2 回目書き込み：RLN3nLSTC レジスタ＝“$0101\ 1000_B$”（58_H）
- 3 回目書き込み：RLN3nLSTC レジスタ＝“$0000\ 0001_B$”（01_H）
- LIN セルフテストモードへの移行を確認する

  RLN3nLSTC レジスタの LSTM ビットを読み出し、“1”（LIN セルフテストモード）であることを確認する。

1 回目のキー（$A7_H$）を誤って 2 回書き込みした場合、LIN セルフテストモードへの移行は中断します。再度 1 回目の書き込みから実施してください。また、LIN セルフテストモードへの移行（RLN3nLSTC レジスタへの 3 回連続書き込み）中にほかの LIN 関連レジスタに書き込みを行った場合も移行は中断します。

22.9.2　LIN マスタセルフテストモードにおける送信

LIN マスタの送信に関するセルフテストを実行するには、次の手順を行ってください。

- ボーレート、ノイズフィルタ、割り込み出力関連レジスタを設定する。

  RLN3nLWBR レジスタ＝0000 000x$_B$ 注 1
  RLN3nLBRP0 レジスタ＝xxxx xxxx$_B$ 注 1
  RLN3nLBRP1 レジスタ＝xxxx xxxx$_B$ 注 1
  RLN3nLMD レジスタ＝00xx xx00$_B$ 注 1

- 割り込み許可、エラー許可関連レジスタを設定する。

  RLN3nLIE レジスタ＝0000 xxxx$_B$ 注 2
  RLN3nLEDE レジスタ＝x000 x0xx$_B$

- ブレークフィールド、スペース関連レジスタを設定する。

  RLN3nLBFC レジスタ＝00xx xxxx$_B$
  RLN3nLSC レジスタ＝00xx 0xxx$_B$

- LIN リセットモード解除

  RLN3nLCUC レジスタの OM1、OM0 ビットに“11$_B$”を書き込み、RLN3nLMST レジスタの OMM1、OMM0 ビットが“11$_B$”になることを確認する。

- 送信フレーム関連レジスタを設定する。

  RLN3nLDFC レジスタ＝00x1 xxxx$_B$
  RLN3nLIDB レジスタ＝xxxx xxxx$_B$
  RLN3nLDBR1～RLN3nLDBR8 レジスタ＝xxxx xxxx$_B$

- ヘッダ送信→レスポンス送信開始

  RLN3nLTRC レジスタの FTS ビットを“1”（フレーム送信／ウェイクアップ送受信開始）にする。
  LIN マスタセルフテストモード（送信）が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行される。チェックサムは LIN/UART インタフェースが自動演算する。LIN マスタセルフテストモード（送信）実行中に中断したい場合は、RLN3nLCUC レジスタの OM0 ビットに“0”（LIN リセットモード）を書き込み、LIN リセットモードへ移行する。

- 送信完了の場合、ループバックしたフレームデータの反転値が RLN3nLIDB レジスタ、RLN3nLDBRb レジスタ（b＝1～8）、RLN3nLCBR レジスタに格納され（送信した値とループバックした値を比較するため、反転値として格納されます）、RLN3nLTRC レジスタの FTS ビットがクリアされる。

- エラーにより送信が完了しなかった場合、該当するエラーフラグが設定され、RLN3nLTRC レジスタの FTS ビットがクリアされる。

備考　x：任意の値を設定してください。

注1. 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。
　　RLN3nLBRP0 レジスタ、RLN3nLBRP1 レジスタ、RLN3nLMD レジスタの LCKS ビット
　　そのため、設定は必須ではありません。

注2. 必要に応じて、**「第 7A 章　RH850/F1KH-D8 の例外／割り込み」**、**「第 7BC 章 RH850/F1KM の例外／割り込み」**の関連レジスタを設定してください。

注3. ヘッダ送信完了割り込みとフレーム送信完了割り込みを同じ割り込みで使用する場合、ヘッダ送信完了割り込みのソフトウェア処理がフレーム送信完了割り込み発生までに完了しない場合は、RLN3nLIE レジスタの SHIE ビットを“1”（ヘッダ送信完了割り込み許可）にしないでください。
　　ヘッダ送信完了フラグのセットからフレーム／ウェイクアップ送信完了フラグのセットまでの時間は次式で表され

ます。

10×（データバイト数＋1）[Tbit]

1Tbit＝1/LIN 通信クロック源の周波数×16

22.9.3　LIN マスタセルフテストモードにおける受信

LIN マスタの受信に関するセルフテストを実行するには、次の手順を行ってください。

- ボーレート、ノイズフィルタ、割り込み出力関連レジスタを設定する。

  RLN3nLWBR レジスタ＝0000 000x$_B$ 注 1
  RLN3nLBRP0 レジスタ＝xxxx xxxx$_B$ 注 1
  RLN3nLBRP1 レジスタ＝xxxx xxxx$_B$ 注 1
  RLN3nLMD レジスタ＝00xx xx00$_B$ 注 1

- 割り込み許可、エラー許可関連レジスタを設定する。

  RLN3nLIE レジスタ＝0000 xxxx$_B$ 注 2
  RLN3nLEDE レジスタ＝x000 x0xx$_B$

- ブレークフィールド、スペース関連レジスタを設定する。

  RLN3nLBFC レジスタ＝00xx xxxx$_B$
  RLN3nLSC レジスタ＝00xx 0xxx$_B$ 注 1

- LIN リセットモード解除

  RLN3nLCUC レジスタの OM1、OM0 ビットに“11$_B$”を書き込み、RLN3nLMST レジスタの OMM1、OMM0 ビットが“11$_B$”になることを確認する。

- 受信フレーム関連レジスタを設定する。

  RLN3nLDFC レジスタ＝00x0 xxxx$_B$
  RLN3nLIDB レジスタ＝xxxx xxxx$_B$
  RLN3nLDBR1～RLN3nLDBR8 レジスタ＝xxxx xxxx$_B$
  RLN3nLCBR レジスタ＝xxxx xxxx$_B$

  送信するチェックサム値は自動演算されないため、ユーザで演算し、RLN3nLCBR レジスタに設定する。

- ヘッダ送信→レスポンス受信開始

  RLN3nLTRC レジスタの FTS ビットを“1”（フレーム送信／ウェイクアップ送受信開始）にする。
  LIN マスタセルフテストモード（受信）が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行される。LIN マスタセルフテストモード（受信）実行中に中断したい場合は、RLN3nLCUC レジスタの OM0 ビットに“0”（LIN リセットモード）を書き込み、LIN リセットモードへ移行する。

- 受信完了の場合、ループバックしたフレームデータの反転値が RLN3nLIDB レジスタ、RLN3nLDBRb レジスタ（b＝1～8）、RLN3nLCBR レジスタに格納され（設定した値とループバックした値を比較するため、反転値として格納されます）、RLN3nLTRC レジスタの FTS ビットがクリアされる。

- エラーにより受信が完了しなかった場合、該当するエラーフラグが設定され、RLN3nLTRC レジスタの FTS ビットがクリアされる。

備考　x：任意の値を設定してください。

注1. 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。
RLN3nLBRP0 レジスタ、RLN3nLBRP1 レジスタ、RLN3nLMD レジスタの LCKS ビット、RLN3nLSC レジスタの IBS ビット
そのため、設定は必須ではありません。

注2. 必要に応じて、**「第 7A 章 RH850/F1KH-D8 の例外／割り込み」**、**「第 7BC 章 RH850/F1KM の例外／割り込み」**の関連レジスタを設定してください。

注3. ヘッダ送信完了割り込みとフレーム受信完了割り込みを同じ割り込みで使用する場合、ヘッダ送信完了割り込みのソフトウェア処理がフレーム受信完了割り込み発生までに完了しない場合は、RLN3nLIE レジスタの SHIE ビットを“1”（ヘッダ送信完了割り込み許可）にしないでください。
ヘッダ送信完了フラグのセットからフレーム／ウェイクアップ受信完了フラグのセットまでの時間は次式で表されます。
10×（データバイト数＋1）[Tbit]
1Tbit＝1/LIN 通信クロック源×16

22.9.4　LIN スレーブセルフテストモードにおける送信

LIN スレーブの送信に関するセルフテストを実行するには、次の手順を行ってください。

- ボーレート、ノイズフィルタ、割り込み出力関連レジスタを設定する。

RLN3nLWBR レジスタ＝$0000\ 0000_B$ 注1
RLN3nLBRP0 レジスタ＝$xxxx\ xxxx_B$ 注1
RLN3nLBRP1 レジスタ＝$xxxx\ xxxx_B$ 注1
RLN3nLMD レジスタ＝$00xx\ 0011_B$

- 割り込み許可、エラー許可関連レジスタを設定する。

RLN3nLIE レジスタ＝$0000\ xxxx_B$ 注2
RLN3nLEDE レジスタ＝$xx0x\ x00x_B$

- ブレークフィールド、スペース関連レジスタを設定する。

RLN3nLBFC レジスタ＝$0000\ 000x_B$ 注3
RLN3nLSC レジスタ＝$00xx\ 0001_B$

- LIN リセットモード解除

RLN3nLCUC レジスタの OM1、OM0 ビットに“11_B”を書き込み、RLN3nLMST レジスタの OMM1、OMM0 ビットが“11_B”になることを確認する。

- 送信フレーム関連レジスタを設定する。

RLN3nLDFC レジスタ＝$00x1\ xxxx_B$
RLN3nLIDB レジスタ＝$xxxx\ xxxx_B$
RLN3nLDBR1～RLN3nLDBR8 レジスタ＝$xxxx\ xxxx_B$

- ヘッダ受信→レスポンス送信開始

RLN3nLTRC レジスタの FTS ビットを“1”（ヘッダ受信／ウェイクアップ送受信開始）にする。
（RLN3nLTRC レジスタの RTS ビットの操作なしで、ヘッダ受信、レスポンス送信の順で実行）

LIN スレーブセルフテストモード（送信）が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行される。

チェックサムは LIN/UART インタフェースが自動演算する。LIN スレーブセルフテストモード（送信）実行中に中断したい場合は、RLN3nLCUC レジスタの OM0 ビットに“0”（LIN リセットモード）を書き込み、LIN リセットモードへ移行する。

- 送信完了の場合、ループバックしたフレームデータの反転値が RLN3nLIDB レジスタ、RLN3nLDBRb レジスタ（b＝1～8）、RLN3nLCBR レジスタに格納され（送信した値とループバックした値を比較するため、反転値として格納されます）、RLN3nLTRC レジスタの FTS ビットがクリアされる。
- エラーにより送信が完了しなかった場合、該当するエラーフラグが設定され、RLN3nLTRC レジスタの FTS ビットがクリアされる。

備考　x：任意の値を設定してください。

注1. 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。
RLN3nLBRP0 レジスタ、RLN3nLBRP1 レジスタ
そのため、設定は必須ではありません。

注2. 必要に応じて、**「第 7A 章　RH850/F1KH-D8 の例外／割り込み」**、**「第 7BC 章 RH850/F1KM の例外／割り込み」**の関連レジスタを設定してください。

注3. このレジスタの設定によって、9.5Tbit または 10.5Tbit 幅のブレークを内部 RLIN3nTX より出力します。

注4. ヘッダ受信完了割り込みとレスポンス送信完了割り込みを同じ割り込みで使用する場合、ヘッダ受信完了割り込みのソフトウェア処理がレスポンス送信完了割り込み発生までに完了しない場合は、RLN3nLIE レジスタの SHIE ビットを“1”（ヘッダ受信完了割り込み許可）にしないでください。
ヘッダ受信完了フラグのセットからレスポンス／ウェイクアップ送信完了フラグのセットまでの時間は次式で表されます。
10×（データバイト数＋1）[Tbit]
Tbit＝1/LIN 通信クロック源の周波数×16

22.9.5　LIN スレーブセルフテストモードにおける受信

LIN スレーブの受信に関するセルフテストを実行するには、次の手順を行ってください。

- ボーレート、ノイズフィルタ、割り込み出力関連レジスタを設定する。

  RLN3nLWBR レジスタ＝0000 0000_B 注 1
  RLN3nLBRP0 レジスタ＝xxxx $xxxx_B$ 注 1
  RLN3nLBRP1 レジスタ＝xxxx $xxxx_B$ 注 1
  RLN3nLMD レジスタ＝00xx 0011_B

- 割り込み許可、エラー許可関連レジスタを設定する。

  RLN3nLIE レジスタ＝0000 $xxxx_B$ 注 2
  RLN3nLEDE レジスタ＝xx0x $x00x_B$

- ブレークフィールド、スペース関連レジスタを設定する。

  RLN3nLBFC レジスタ＝0000 $000x_B$ 注 3
  RLN3nLSC レジスタ＝00xx 0001_B 注 1

- LIN リセットモード解除

  RLN3nLCUC レジスタの OM1、OM0 ビットに“11_B”を書き込み、RLN3nLMST レジスタの OMM1、OMM0 ビットが“11_B”になることを確認する。

- 受信フレーム関連レジスタを設定する。

  RLN3nLDFC レジスタ＝00x0 $xxxx_B$
  RLN3nLIDB レジスタ＝xxxx $xxxx_B$
  RLN3nLDBR1～RLN3nLDBR8 レジスタ＝xxxx $xxxx_B$
  RLN3nLCBR レジスタ＝xxxx $xxxx_B$

送信するチェックサム値は自動演算されないため、ユーザで演算し、RLN3nLCBR レジスタに設定する。このとき誤ったチェックサム値を設定することによって、チェックサムエラーをテストすることが可能です。

- ヘッダ受信→レスポンス受信開始

  RLN3nLTRC レジスタの FTS ビットを“1”（ヘッダ受信／ウェイクアップ送受信開始）にする。（RLN3nLTRC レジスタの RTS ビットの操作なしで、ヘッダ受信、レスポンス受信の順で実行）

  LIN スレーブセルフテストモード（受信）が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行される。LIN スレーブセルフテストモード（受信）実行中に中断したい場合は、RLN3nLCUC レジスタの OM0 ビットに“0”（LIN リセットモード）を書き込み、LIN リセットモードへ移行してください。

- 受信完了の場合、ループバックしたフレームデータの反転値が RLN3nLIDB レジスタ、RLN3nLDBRb レジスタ（b＝1～8）、RLN3nLCBR レジスタに格納され（設定した値とループバックした値を比較するため、反転値として格納されます）、RLN3nLTRC レジスタの FTS ビットがクリアされる。
- エラーにより受信が完了しなかった場合、該当するエラーフラグが設定され、RLN3nLTRC レジスタの FTS ビットがクリアされる。

備考　x : 任意の値を設定してください。

注1. 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。
RLN3nLBRP0 レジスタ、RLN3nLBRP1 レジスタ、RLN3nLSC レジスタの IBS ビット
そのため、設定は必須ではありません。
注2. 必要に応じて、**「第 7A 章　RH850/F1KH-D8 の例外／割り込み」**、**「第 7BC 章 RH850/F1KM の例外／割り込み」**の関連レジスタを設定してください。
注3. このレジスタの設定によって、9.5Tbit または 10.5Tbit 幅のブレークを内部 RLIN3nTX より出力します
注4. ヘッダ受信完了割り込みとレスポンス受信完了割り込みを同じ割り込みで使用する場合、ヘッダ受信完了割り込みのソフトウェア処理がレスポンス受信完了割り込み発生までに完了しない場合は、RLN3nLIE レジスタの SHIE ビットを“1”（ヘッダ受信完了割り込み許可）にしないでください。
ヘッダ受信完了フラグのセットからレスポンス／ウェイクアップ受信完了フラグのセットまでの時間は次式で表されます。
10×（データバイト数＋1）[Tbit]
1Tbit＝1/LIN 通信クロック源の周波数×16

22.9.6　LIN セルフテストモード終了

LIN セルフテストモードを終了するには、次の手順を行ってください。

- RLN3nLCUC レジスタの OM0 ビットに“0”（LIN リセットモード）を書く。

  RLN3nLMST レジスタの OMM1、OMM0 ビットが“11_B”でない場合は、RLN3nLCUC レジスタの OM1、OM0 ビットに“11_B”を書き、RLN3nLMST レジスタ OMM1、OMM0 ビットが“11_B”になることを確認した後に、LIN リセットモードに移行してください。

- LIN セルフテストモードの解除を確認する。

  RLN3nLSTC レジスタの LSTM ビットを読み、“0”（LIN セルフテストモードではない）を確認。

- LIN リセットモードへの移行を確認する。

  RLN3nLMST レジスタの OMM0 ビットを読み、“0”（LIN リセットモード）を確認。

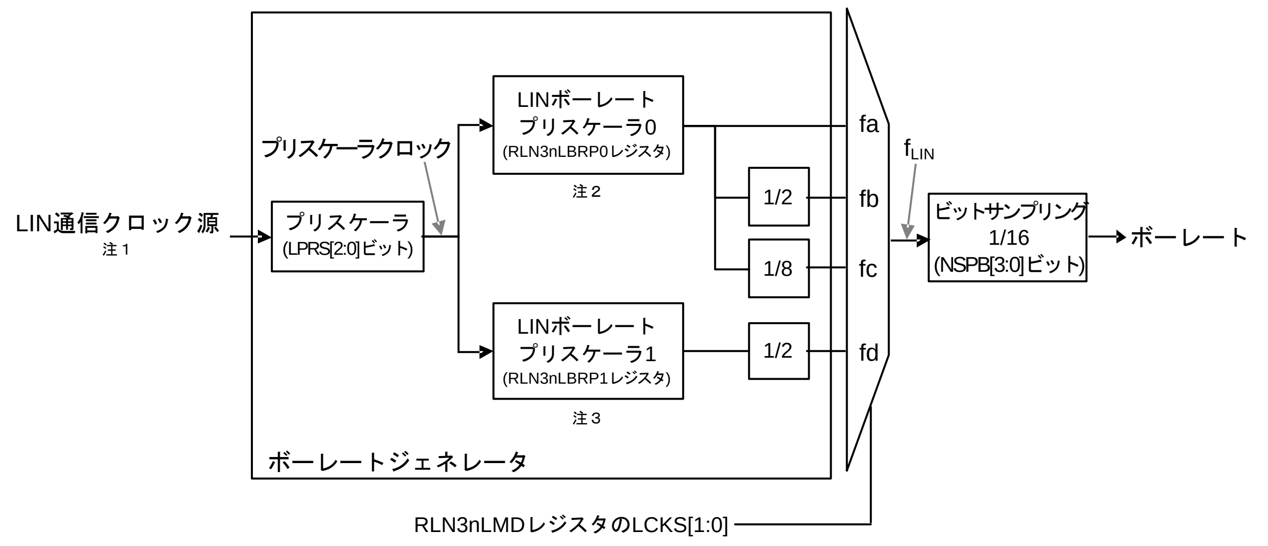
22.10 ボーレートジェネレータ

LIN 通信クロック源をプリスケーラで分周したクロックがプリスケーラクロックとなり、プリスケーラクロックをボーレートジェネレータで分周したクロックが LIN システムクロック（f_{LIN}）となり、これをサンプリング数で分周したクロックがボーレートになります。このボーレートの逆数をビットタイム（Tbit）といいます。

LIN/UART インタフェースは、2 種類のボーレートジェネレータを持ち、モードにより使用するボーレートジェネレータが切り替わります。

22.10.1 LIN マスタモード

「**図 22.36 LIN マスタモードボーレート生成ブロック図**」に LIN マスタモード時のボーレート生成ブロック図を示します。



注1.　LIN 通信クロック源については、「**12AB.5.3 クロックドメイン設定**」、「**12C.5.3 クロックドメイン設定**」を参照してください。

注2.　RLN3nLBRP0 レジスタにより、N＋1 分周（N＝0～255）を設定します。

注3.　RLN3nLBRP1 レジスタにより、M＋1 分周（M＝0～255）を設定します。

図 22.36　LIN マスタモードボーレート生成ブロック図

fa が 307200Hz（＝19200×16）となるように RLN3nLBRP0 レジスタを設定すれば、fa＝19200×16、fb＝9600×16、fc＝2400×16 となり、ビットタイミング生成部で 16 分周するため、19200bps、9600bps、2400bps が生成できます。また、fd が 166672Hz（＝10417×16）となるように RLN3nLBRP1 レジスタを設定すれば、fd＝10417×16 となり、ビットタイミング生成部で 16 分周するため、10417bps が生成できます。

LIN マスタのボーレート

＝｛LIN 通信クロック源の周波数｝×（RLN3nLWBR.LPRS[2:0]選択クロック）

÷（RLN3nLBRP0＋1）÷16 [bps]（f_{LIN} に fa 選択時）

＝｛LIN 通信クロック源の周波数｝×（RLN3nLWBR.LPRS[2:0]選択クロック）

÷（RLN3nLBRP0＋1）÷2÷16[bps]（f_{LIN} に fb 選択時）

＝{LIN 通信クロック源の周波数} ×（RLN3nLWBR.LPRS[2:0]選択クロック）

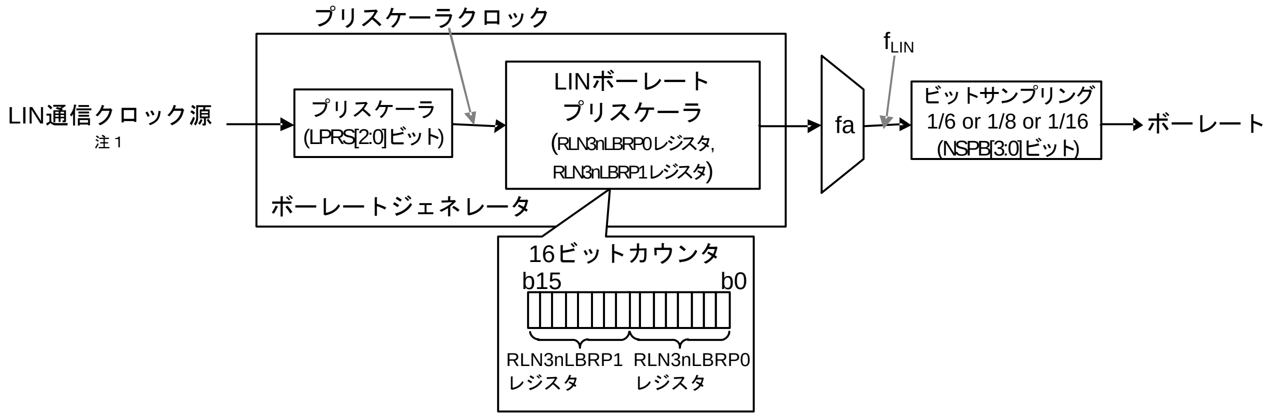
÷（RLN3nLBRP0＋1）÷8÷16[bps]（f_{LIN} に fc 選択時）

＝{LIN 通信クロック源の周波数} ×（RLN3nLWBR.LPRS[2:0]選択クロック）

÷（RLN3nLBRP1＋1）÷2÷16[bps]（f_{LIN} に fd 選択時）

22.10.2　LIN スレーブモード

「**図 22.37 LIN スレーブモードボーレート生成ブロック図**」に LIN スレーブモード時のボーレート生成ブロック図を示します。



注1.　LIN 通信クロック源については、**「12AB.5.3 クロックドメイン設定」**、**「12C.5.3 クロックドメイン設定」**を参照してください。

図 22.37　LIN スレーブモードボーレート生成ブロック図

LIN スレーブモード〔オートボーレート〕は、ボーレート 1kbps～20kbps で動作可能です。ターゲットとなるボーレートに応じて、プリスケーラクロックを、下記となるように設定してください。

〔ターゲットとなるボーレート〕	〔プリスケーラクロック〕
1kbps～20kbps	: 4MHz 注1
1kbps～2.4kbps 未満	: 4MHz
2.4kbps～20kbps	: 8MHz～12MHz

注1.　RLN3nLWBR レジスタの NSPB[3:0]ビットは、“0011_B”（4 サンプリング）で使用してください。

ボーレートの計算式は、以下のとおりです。

LIN スレーブのボーレート

　＝｛LIN 通信クロック源の周波数｝×（RLN3nLWBR.LPRS[2:0]選択クロック）

　　　÷（RLN3nLBRP01＋1）÷16[bps]（［固定ボーレート］時）

　＝｛LIN 通信クロック源の周波数｝×（RLN3nLWBR.LPRS[2:0]選択クロック）

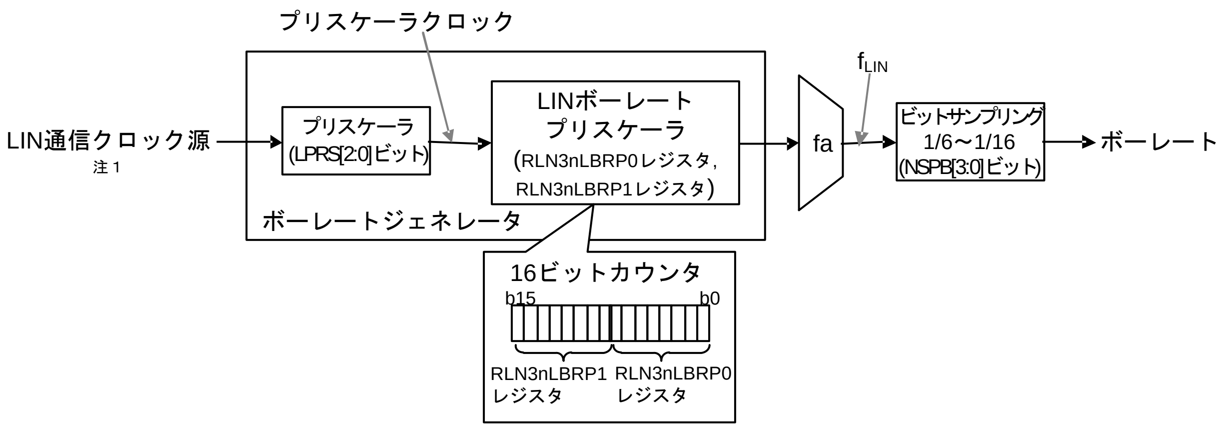
　　　÷（RLN3nLBRP01＋1）÷4 or 8[bps]（［オートボーレート］時）

備　考

LIN スレーブ［固定ボーレート］時は、NSPB[3:0]ビットは“0000B”（16 サンプリング）または“1111B”（16 サンプリング）に、LIN スレーブ［オートボーレート］時は、NSPB[3:0]ビットは、“0011B”（4 サンプリング）または“0100B”（8 サンプリング）に設定してください。

22.10.3　UART モード

「**図 22.38　UART ボーレート生成ブロック図**」に UART モード時のボーレート生成ブロック図を示します。



注1.　LIN 通信クロック源については、「**12AB.5.3　クロックドメイン設定**」、「**12C.5.3　クロックドメイン設定**」を参照してください。

図 22.38　UART ボーレート生成ブロック図

UART のボーレートは次式で表せます。

UART のボーレート

　＝｛LIN 通信クロック源の周波数｝×（RLN3nLWBR.LPRS[2:0]選択クロック）

　　　÷（RLN3nLBRP01＋1）÷｛RLN3nLWBR.NSPB[3:0]選択数｝[bps]

22.11 ノイズフィルタ

LIN/UART インタフェースは、ノイズによるデータの誤受信を低減するためにノイズフィルタを持ちます。RLN3nLMD レジスタの LRDNFS ビットを“0”（ノイズフィルタを使用する）にすることによりノイズフィルタが有効になります。ノイズフィルタは、同期化 RLIN3nRX のレベルをプリスケーラクロックでサンプリングし、サンプリング 3 回分の多数決の結果を出力します。受信データの各ビットの値はノイズフィルタ出力で決定されます。

「**図 22.39 ノイズフィルタの構成**」にノイズフィルタの構成、「**図 22.40 ノイズフィルタ回路例**」にノイズフィルタ回路例、「**図 22.41 ノイズフィルタ使用時の受信データの決定**」にノイズフィルタ使用時の受信データの決定を示します。

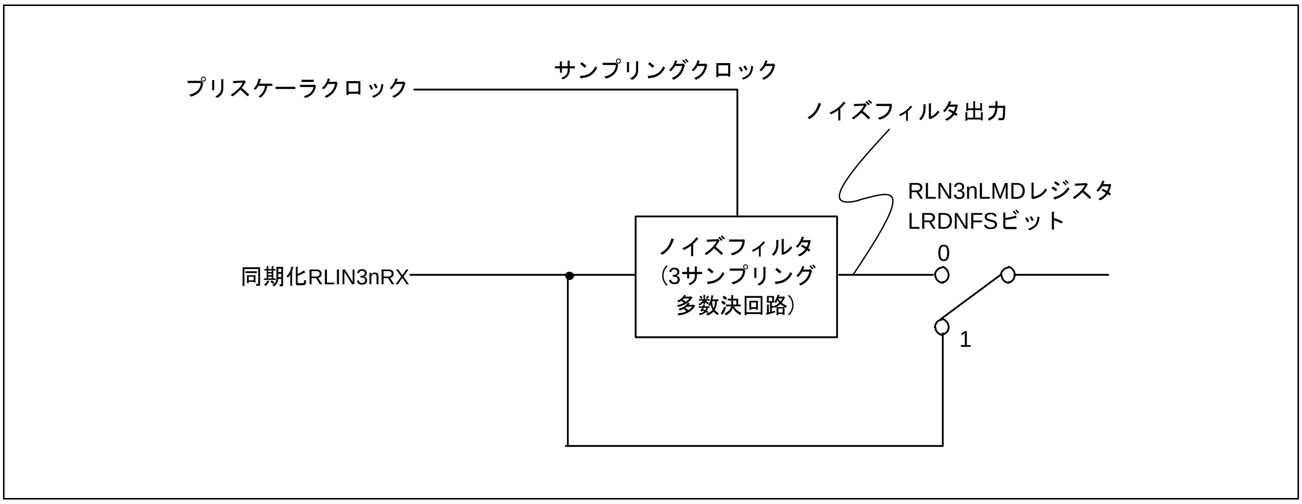


図 22.39　ノイズフィルタの構成

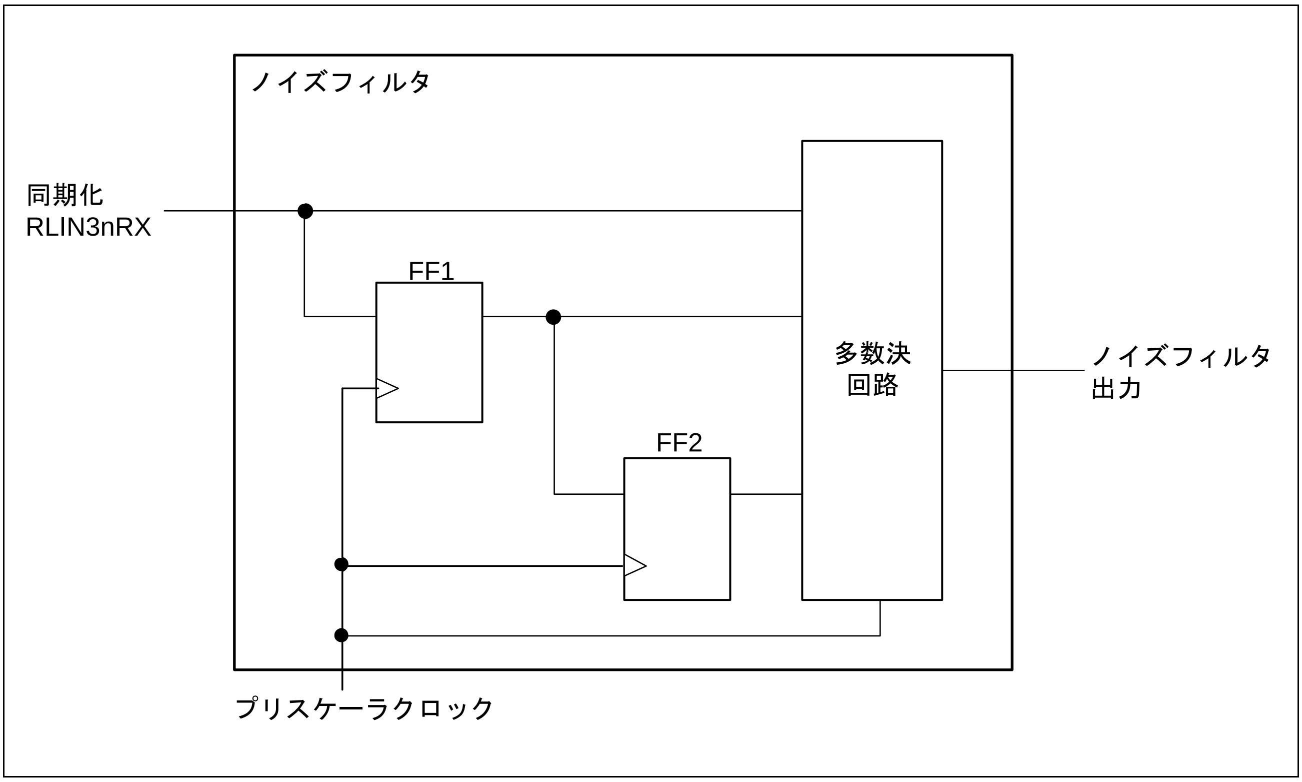


図 22.40　ノイズフィルタ回路例

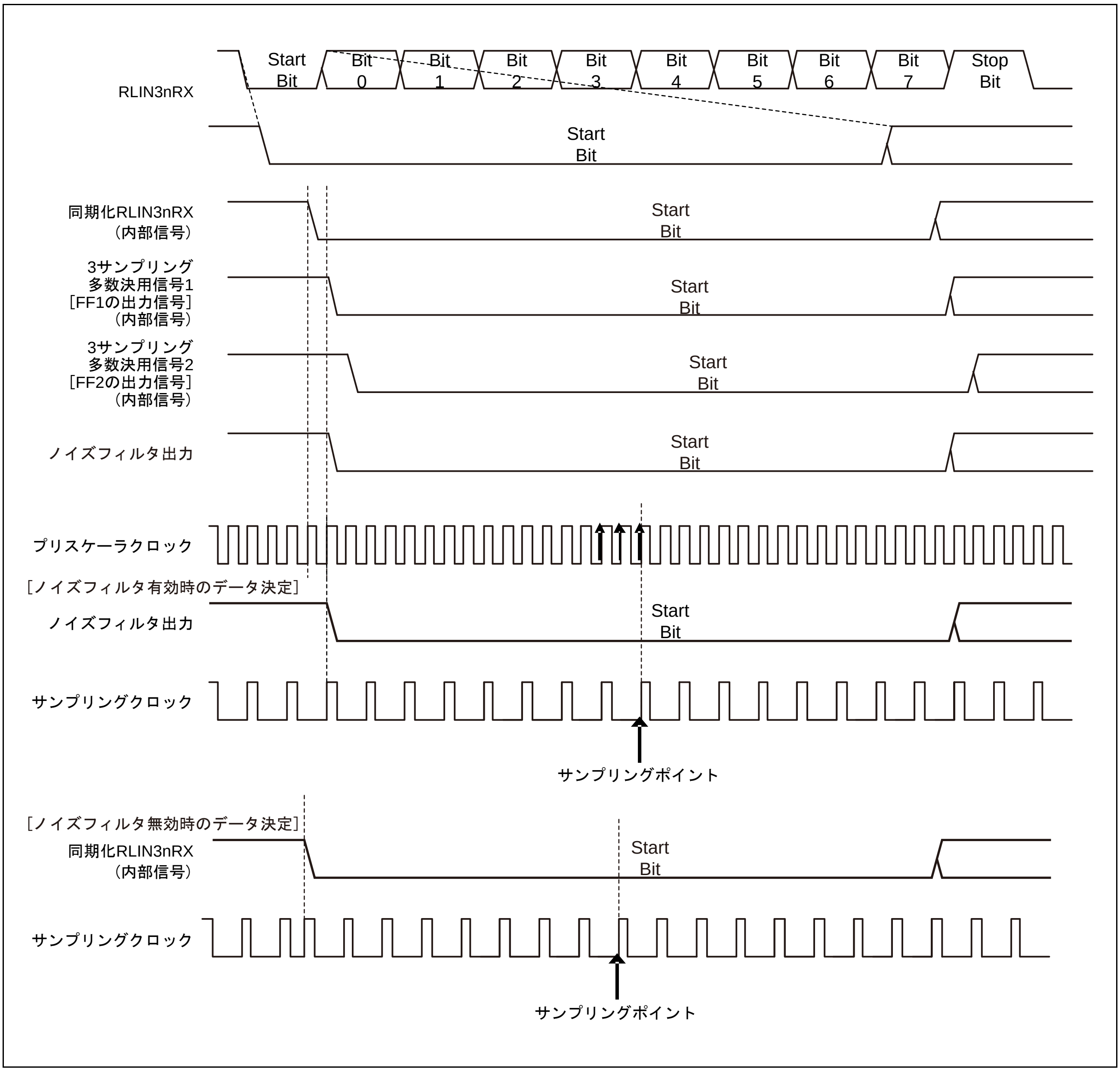


図 22.41　ノイズフィルタ使用時の受信データの決定

第23章　I^{2}C バスインタフェース（RIIC）

本章では、I^{2}C バスインタフェース（RIIC）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1KH, RH850/F1KM に固有の特長について説明します。

それ以降の節では、RIIC の機能、レジスタについて説明します。

23.1　RH850/F1KH, RH850/F1KM RIIC の特長

23.1.1　ユニット数

本製品は、以下のユニット数の RIIC を搭載しています。

RIIC 1 ユニット当たり 1 チャネルのインタフェースを持っています。

表 23.1　ユニット数 (RH850/F1KH-D8)

製品名	RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 324 Pin
ユニット数	2	2	2
名称	RIICn (n＝0, 1)	RIICn (n＝0, 1)	RIICn (n＝0, 1)

表 23.2　ユニット数 (RH850/F1KM-S4)

製品名	RH850/F1KM-S4 100 Pin	RH850/F1KM-S4 144 Pin	RH850/F1KM-S4 176 Pin	RH850/F1KM-S4 233 Pin	RH850/F1KM-S4 272 Pin
ユニット数	2	2	2	2	2
名称	RIICn (n＝0, 1)	RIICn (n＝0, 1)	RIICn (n＝0, 1)	RIICn (n＝0, 1)	RIICn (n＝0, 1)

表 23.3　ユニット数 (RH850/F1KM-S2)

製品名	RH850/F1KM-S2 100 Pin	RH850/F1KM-S2 144 Pin	RH850/F1KM-S2 176 Pin
ユニット数	2	2	2
名称	RIICn (n＝0, 1)	RIICn (n＝0, 1)	RIICn (n＝0, 1)

表 23.4　ユニット数 (RH850/F1KM-S1)

製品名	RH850/F1KM-S1 48 Pin	RH850/F1KM-S1 64 Pin	RH850/F1KM-S1 80 Pin	RH850/F1KM-S1 100 Pin
ユニット数	2	2	2	2
名称	RIICn (n＝0, 1)	RIICn (n＝0, 1)	RIICn (n＝0, 1)	RIICn (n＝0, 1)

表 23.5　添字 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

添字	説明
n	本章では、RIIC の各ユニットを「n」で識別します。たとえば、I^{2}C バスコントロールレジスタ 1 は RIICnCR1（n＝0, 1）と記述します。

23.1.2　レジスタベースアドレス

RIIC のベースアドレスを以下の表に示します。

RIIC のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 23.6　レジスタベースアドレス (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ベースアドレス名	ベースアドレス
<RIIC0_base>	FFCA 0000_H
<RIIC1_base>	FFCA 0080_H

23.1.3　クロック供給

RIIC のクロック供給を以下に示します。

表 23.7　クロック供給 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	ユニットクロック名	供給クロック名	説明
RIICn	PCLK 注1	CKSCLK_IIIC	通信クロック
	レジスタアクセスクロック	CPUCLK_L, CKSCLK_IIIC	バスクロック

注1.　PCLK は、SCL クロック（ハイレベル幅）の 1/2 未満に設定してください。

23.1.4　割り込み要求

RIIC の割り込み要求を以下の表に示します。

表 23.8　割り込み要求 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
RIIC0			
INTRIICnEE	RIIC 通信エラー／イベント発生割り込み	77	—
INTRIICnRI	RIIC 受信終了割り込み	78	20
INTRIICnTI	RIIC 送信データエンプティ割り込み	76	19
INTRIICnTEI	RIIC 送信終了割り込み	79	—
RIIC1			
INTRIICnEE	RIIC 通信エラー／イベント発生割り込み	241	—
INTRIICnRI	RIIC 受信終了割り込み	242	114
INTRIICnTI	RIIC 送信データエンプティ割り込み	240	113
INTRIICnTEI	RIIC 送信終了割り込み	243	—

23.1.5　リセット要因

RIIC のリセット要因を以下に示します。RIIC は以下に示すリセット要因で初期化されます。

表 23.9　リセット要因 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	リセット要因
RIICn	すべてのリセット要因（ISORES）

23.1.6　外部入出力信号

RIIC の外部入出力信号を以下の表に示します。

表 23.10　外部入出力信号 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット信号名	説明	ポート端子兼用信号名
RIIC0		
RIICnSCL	シリアルクロック入出力端子	RIIC0SCL
RIICnSDA	シリアルデータ入出力端子	RIIC0SDA
RIIC1		
RIICnSCL	シリアルクロック入出力端子	RIIC1SCL
RIICnSDA	シリアルデータ入出力端子	RIIC1SDA

これらのポートを使用する場合、該当するポートの PBDCn レジスタと PODCn レジスタの対応するビットを 1 に設定する必要があります。

23.2　概要

23.2.1　機能概要

通信フォーマット

- I2C バスフォーマット
- マスタ／スレーブ選択可能
- 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保

転送速度

～400kbps

SCL クロック

- マスタ時、SCL クロックのデューティ比を以下の範囲で設定可能
  - 0%＜デューティ＜100%

コンディション発行・コンディション検出

スタートコンディション／リスタートコンディション／ストップコンディションの自動生成、スタートコンディション（リスタートコンディション含む）／ストップコンディション検出可能

スレーブアドレス

- スレーブアドレスを 3 セット設定可能
- 7 ビット／10 ビットアドレスフォーマット対応（混在可能）
- ジェネラルコールアドレス検出、デバイス ID アドレス検出

アクノリッジ応答

- 送信時、アクノリッジビットの自動ロード
  - ノットアクノリッジ受信時に次送信データ転送の自動中断が可能
- 受信時、アクノリッジビットの自動送出
  - 8 クロック目と 9 クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジビット応答のソフトウェア制御が可能

ウェイト機能

- 受信時、SCL クロックの Low ホールドによるウェイトが可能
  - 8 クロック目と 9 クロック目の間をウェイト
  - 9 クロック目と 1 クロック目の間をウェイト（WAIT 機能）

SDA 出力遅延機能

アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能

アービトレーション

- マルチマスタ対応
  - 他のマスタとの SCL クロック衝突時、SCL クロックの同期動作可能
  - スタートコンディション発行競合時、SDA ライン上の状態が不一致ならアービトレーションロスト検出可能
  - マスタ時、SDA ライン上の状態が不一致ならアービトレーションロスト検出可能
- バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能（スタートコンディションの二重発行防止）
- ノットアクノリッジ送信時、SDA ライン上の状態が不一致ならアービトレーションロスト検出可能
- スレーブ送信時、SDA ライン上の状態が不一致ならアービトレーションロスト検出可能

タイムアウト検出機能

内蔵タイムアウト検出機能により SCL クロックの長時間停止を検出可能

ノイズ除去

SCL、SDA 入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をプログラマブルに調整可能

割り込み要因

- 4 種類
  - 通信エラー／イベント発生（アービトレーションロスト検出、NACK 検出、タイムアウト検出、スタートコンディション検出（リスタートコンディション含む）、ストップコンディション検出）
  - 受信終了（スレーブアドレス一致時含む）
  - 送信データエンプティ（スレーブアドレス一致時含む）
  - 送信終了

23.2.2　ブロック図

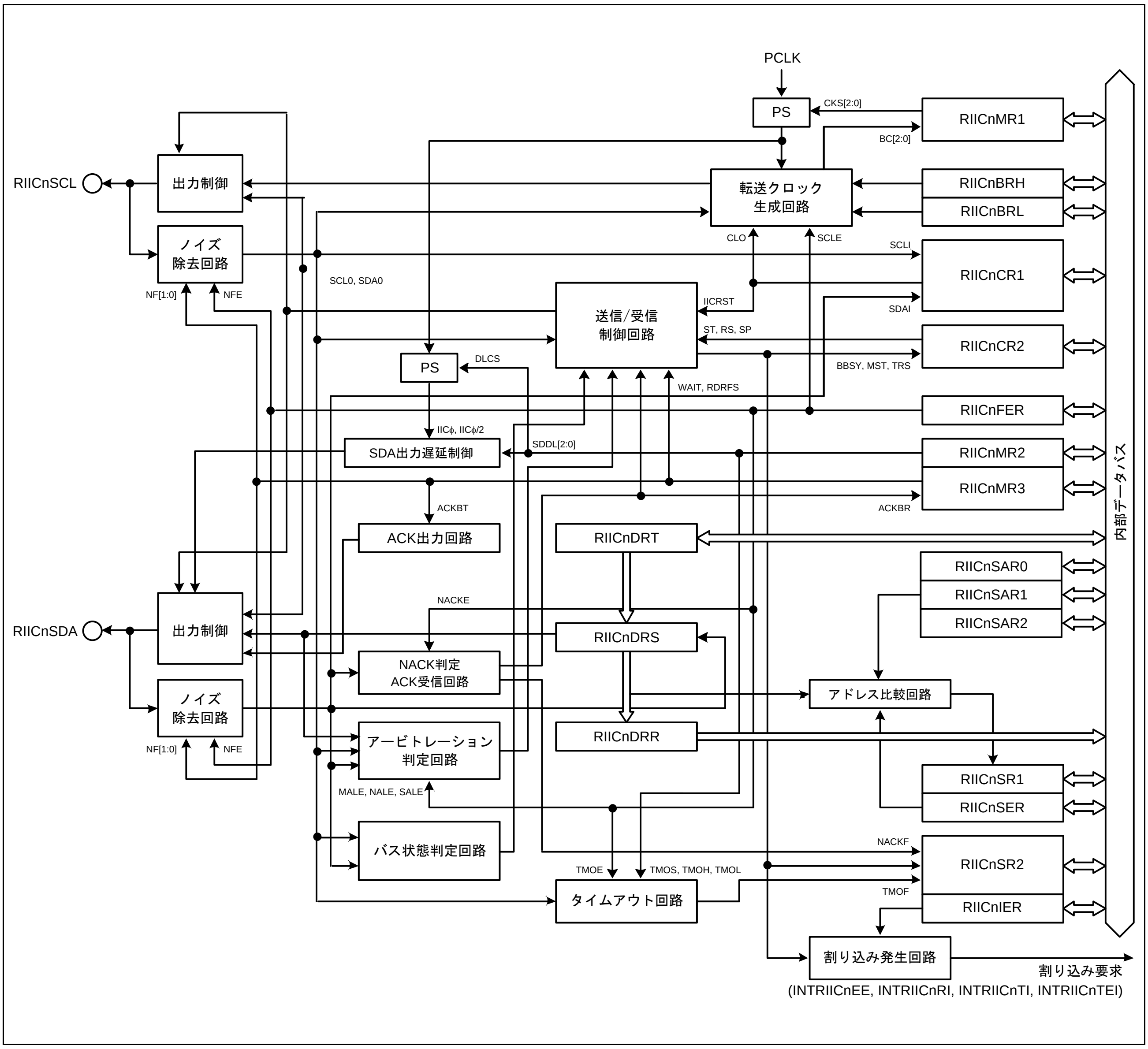


図 23.1　RIIC のブロック図

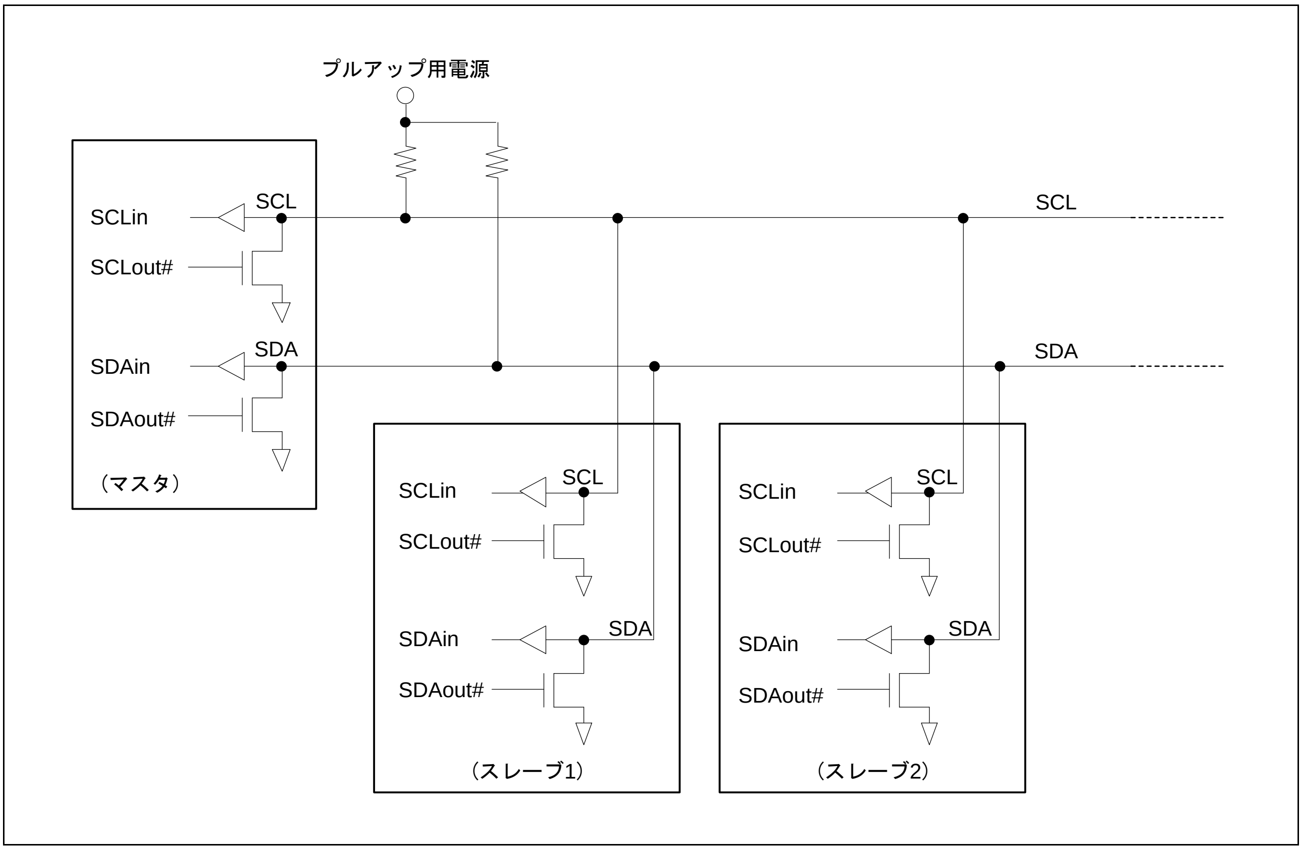


図 23.2　 入出力端子の外部回路接続例（I²C バス構成例）

23.3　レジスタ

23.3.1　レジスタ一覧

RIIC のレジスタ一覧を以下の表に示します。

<RIICn_base>は「**23.1.2 レジスタベースアドレス**」を参照してください。

表 23.11　レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
RIICn	I²C バスコントロールレジスタ 1	RIICnCR1	<RIICn_base> + 0000_H
	I²C バスコントロールレジスタ 2	RIICnCR2	<RIICn_base> + 0004_H
	I²C バスモードレジスタ 1	RIICnMR1	<RIICn_base> + 0008_H
	I²C バスモードレジスタ 2	RIICnMR2	<RIICn_base> + $000C_H$
	I²C バスモードレジスタ 3	RIICnMR3	<RIICn_base> + 0010_H
	I²C バスファンクションイネーブルレジスタ	RIICnFER	<RIICn_base> + 0014_H
	I²C バスステータスイネーブルレジスタ	RIICnSER	<RIICn_base> + 0018_H
	I²C バスインタラプトイネーブルレジスタ	RIICnIER	<RIICn_base> + $001C_H$
	I²C バスステータスレジスタ 1	RIICnSR1	<RIICn_base> + 0020_H
	I²C バスステータスレジスタ 2	RIICnSR2	<RIICn_base> + 0024_H
	I²C スレーブアドレスレジスタ 0	RIICnSAR0	<RIICn_base> + 0028_H
	I²C スレーブアドレスレジスタ 1	RIICnSAR1	<RIICn_base> + $002C_H$
	I²C スレーブアドレスレジスタ 2	RIICnSAR2	<RIICn_base> + 0030_H
	I²C バスビットレートロウレベルレジスタ	RIICnBRL	<RIICn_base> + 0034_H
	I²C バスビットレートハイレベルレジスタ	RIICnBRH	<RIICn_base> + 0038_H
	I²C バス送信データレジスタ	RIICnDRT	<RIICn_base> + $003C_H$
	I²C バス受信データレジスタ	RIICnDRR	<RIICn_base> + 0040_H
	I²C バスシフトレジスタ	RIICnDRS	—

23.3.2 RIICnCR1 — I²C バスコントロールレジスタ 1

アクセス RIICnCR1 レジスタは、32 ビット単位でリード／ライト可能です。
RIICnCR1L レジスタは、16 ビット単位でリード／ライト可能です。
RIICnCR1LL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RIICnCR1：<RIICn_base> + 0000_H
RIICnCR1L：<RIICn_base> + 0000_H
RIICnCR1LL：<RIICn_base> + 0000_H

リセット後の値 0000 $001F_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	W	R/W	R/W	R	R

表 23.12 RIICnCR1 レジスタの内容

ビット位置	ビット名	機能
31～8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	ICE	I²C バスインタフェース許可ビット 0：禁止（RIICnSCL、RIICnSDA 端子非駆動状態） 1：許可（RIICnSCL、RIICnSDA 端子駆動状態） （IICRST ビットとの組合せで、RIIC リセット、内部リセットを選択）
6	IICRST	I²C バス内部リセットビット 0：RIIC／内部リセット解除 1：RIIC／内部リセット状態 （ビットカウンタのクリア、SCL/SDA 出力ラッチを解除）
5	CLO	SCL クロック追加出力ビット 0：SCL クロックを追加で出力しない（通常状態） 1：SCL クロックを追加で出力する （1 クロック出力後、自動的に“0”になる）
4	SOWP	SCLO/SDAO ライトプロテクトビット 0：SCLO、SDAO ビットの書き換え許可 1：SCLO、SDAO ビットを保護 （読むと“1”が読めます）
3	SCLO	SCL 出力制御／モニタビット ● リード時 0：RIICnSCL 端子を Low にしている 1：RIICnSCL 端子を解放している ● ライト時 0：RIICnSCL 端子を Low 出力にする 1：RIICnSCL 端子を解放する

表 23.12　RIICnCR1 レジスタの内容

ビット位置	ビット名	機能
2	SDAO	SDA 出力制御／モニタビット ● リード時 0：RIICnSDA 端子を Low にしている 1：RIICnSDA 端子を解放している ● ライト時 0：RIICnSDA 端子を Low 出力にする 1：RIICnSDA 端子を解放する
1	SCLI	SCL ラインモニタビット 0：RIICnSCL ラインは Low 1：RIICnSCL ラインは High
0	SDAI	SDA ラインモニタビット 0：RIICnSDA ラインは Low 1：RIICnSDA ラインは High

SDAO ビット（SDA 出力制御／モニタビット）、SCLO ビット（SCL 出力制御／モニタビット）

RIIC が出力する RIICnSDA 信号、RIICnSCL 信号を直接操作するためのビットです。

これらのビットに値を書く場合は、同時に SOWP ビットにも“0”を書いてください。

これらのビットを操作した結果は入力バッファを介して RIIC に入力されます。スレーブモードに設定していると、ビットの操作内容によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディション期間中、および送受信中にこれらのビットを書き換えないでください。これらの期間に書き換えた場合の動作は保証できません。

これらのビットを読んだ場合は、そのとき RIIC が出力している信号の状態が読めます。

CLO ビット（SCL クロック追加出力ビット）

SCL クロックを 1 クロック単位で追加出力をする機能で、デバッグ時または異常処理時に使用します。

通常は“0”にしてください。正常な通信動作中に使用すると通信エラーの原因になります。

本機能の詳細については、「**23.13.2 SCL クロック追加出力機能**」を参照してください。

IICRST ビット（I²C バス内部リセットビット）

RIIC の内部状態をリセットします。

IICRST ビットを“1”にすると、RIIC リセットまたは内部リセットを行うことができます。

RIIC リセット、内部リセットは ICE ビットとの組み合わせによって決定します。

「**表 23.13 RIIC のリセットの種類**」に RIIC のリセットの種類を示します。

RIIC リセットでは RIICnCR2.BBSY フラグを含めた全レジスタ（ICE,IICRST は除く）および内部状態を、内部リセットではビットカウンタ（RIICnMR1.BC[2:0]ビット）、I²C バスシフトレジスタ（RIICnDRS）、I²C バスステータスレジスタ（RIICnSR1、RIICnSR2）および内部状態をリセットします。各レジスタのリセット状況については、「**23.14 RIIC のリセット機能**」を参照してください。

動作中（ICE ビット＝1 の状態）、通信不具合などによりバス状態や RIIC がハングアップしたときに IICRST ビットを“1”にすると、ポートの設定、RIIC の各コントロールレジスタや設定レジスタを初期化せずに RIIC の内部状態をリセットすることができます。

また RIIC が Low を出力したままハングアップした場合、内部状態をリセットすることで RIICnSCL 端子／RIICnSDA 端子をハイインピーダンスにしてバスを解放することができます。

注　意

スレーブモード時でマスタデバイスと通信中にバスハングアップなどにより IICRST ビットで内部リセットを行うと、マスタデバイスの状態と異なる状態（主に双方のビットカウンタ情報に差異が生じる）になる可能性があるため、スレーブモード時には基本的に内部リセットは行わず、復帰処理はマスタデバイスから行うようにしてください。

もし、RIIC がスレーブモード時に SCL ラインを Low 出力状態のままハングアップして内部リセットが必要な場合には、内部リセット後にマスタデバイスからリスタートコンディション発行、またはストップコンディション発行後スタートコンディション発行から通信をやり直すようにしてください。

スレーブデバイスのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディション発行がないまま通信が再開された場合、双方の動作状態に差異が生じたまま動作することになるため同期ズレの原因になります。

表 23.13　RIIC のリセットの種類

IICRST	ICE	状態	内容
1	0	RIIC リセット	RIIC 全レジスタ（ICE, IICRST は除く）および内部状態をリセット
	1	内部リセット	RIICnMR1.BC[2:0]ビット、RIICnSR1、RIICnSR2、RIICnDRS レジスタおよび内部状態をリセット

ICE ビット（I²C バスインタフェース許可ビット）

RIICnSCL、RIICnSDA 端子の駆動状態、非駆動状態を選択します。また、ICE ビットは IICRST ビットとの組み合わせにより、2 種類のリセットを行うことができます。リセットの種類については「**表 23.13 RIIC のリセットの種類**」を参照してください。

RIIC を使用するときは、ICE ビットを“1”に設定してください。ICE ビットが“1”のとき、RIICnSCL、RIICnSDA 端子駆動状態になります。

RIIC を使用しないときは、ICE ビットを“0”に設定してください。ICE ビットが“0”のとき、RIICnSCL、RIICnSDA 端子非駆動状態になります。

注　意

ICE ビットが“0”のとき、RIICnSDA、RIICnSCL の出力は禁止になりますが、RIICnSDA、RIICnSCL への入力は有効になります。端子機能設定で RIICnSCL 端子、RIICnSDA 端子を RIIC に割り当てないでください。RIIC に割り当てられている場合、スレーブアドレスの比較動作を行いますので注意してください。

23.3.3　RIICnCR2 — I^{2}C バスコントロールレジスタ 2

アクセス　RIICnCR2 レジスタは、32 ビット単位でリード／ライト可能です。

RIICnCR2L レジスタは、16 ビット単位でリード／ライト可能です。

RIICnCR2LL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RIICnCR2：<RIICn_base> + 0004_H

RIICnCR2L：<RIICn_base> + 0004_H

RIICnCR2LL：<RIICn_base> + 0004_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	BBSY	MST	TRS	—	SP	RS	ST	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R

表 23.14　RIICnCR2 レジスタの内容

ビット位置	ビット名	機能
31～8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	BBSY	バスビジー検出フラグ 0：I^{2}C バスが解放状態（バスフリー状態） 1：I^{2}C バスが占有状態（バスビジー状態）
6	MST 注1	マスタ／スレーブモードビット 0：スレーブモード 1：マスタモード
5	TRS 注1	送信／受信モードビット 0：受信モード 1：送信モード
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	SP	ストップコンディション発行要求ビット 0：ストップコンディションの発行を要求しない 1：ストップコンディションの発行を要求する
2	RS	リスタートコンディション発行要求ビット 0：リスタートコンディションの発行を要求しない 1：リスタートコンディションの発行を要求する
1	ST	スタートコンディション発行要求ビット 0：スタートコンディションの発行を要求しない 1：スタートコンディションの発行を要求する
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注1.　RIICnMR1.MTWP ビットが“1”のとき、MST、TRS ビットへの書き込みができます。

ST ビット（スタートコンディション発行要求ビット）

マスタモードへの移行およびスタートコンディションの発行を要求します。

ST ビットが“1”になるとスタートコンディションの発行を要求し、BBSY フラグが“0”（バスフリー）のときスタートコンディションの発行を行います。

スタートコンディション発行の詳細については、「**23.12 スタートコンディション、リスタートコンディション、ストップコンディション発行機能**」を参照してください。

［“1”になる条件］

“1”を書いたとき

［“0”になる条件］

- “0”を書いたとき
- スタートコンディションの発行が完了したとき
- RIICnSR2.AL フラグが“1”になったとき（アービトレーションロスト）
- RIICnCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注 意

ST ビットは、BBSY フラグが“0”（バスフリー）のとき、“1”（スタートコンディション発行要求）にしてください。
BBSY フラグが“1”（バスビジー）のとき、ST ビットを“1”（スタートコンディション発行要求）にすると、スタートコンディション発行エラーとしてアービトレーションロストが発生しますので注意してください。

RS ビット（リスタートコンディション発行要求ビット）

マスタモードでリスタートコンディションの発行を要求します。

RS ビットが“1”になるとリスタートコンディションの発行を要求し、BBSY フラグが“1”（バスビジー）でかつ MST ビットが“1”（マスタモード）のとき、リスタートコンディションの発行を行います。

リスタートコンディション発行の詳細動作については、「**23.12 スタートコンディション、リスタートコンディション、ストップコンディション発行機能**」を参照してください。

［“1”になる条件］

RIICnCR2.BBSY フラグが“1”の状態で、“1”を書いたとき

［“0”になる条件］

- “0”を書いたとき
- リスタートコンディションの発行が完了したとき、またはスタートコンディションを検出したとき
- ストップコンディションを検出したとき
- RIICnSR2.AL フラグが“1”になったとき（アービトレーションロスト）
- RIICnCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注 意

1. ストップコンディション発行中に RS ビットを“1”にしないでください。
2. リスタートコンディションを発行する場合、マスタ送信モードで実施することを推奨します。マスタモード以外で RS ビットに“1”（リスタートコンディション発行要求）を書いた場合、リスタートコンディションはその動作モードでは発行されずに RS ビットは“1”のままになります。このまま動作モードをマスタモードに移行させた場合、リスタートコンディションが発行される可能性がありますので注意してください。

SP ビット（ストップコンディション発行要求ビット）

マスタモードでストップコンディションの発行を要求します。

SP ビットが“1”になるとストップコンディションの発行を要求し、BBSY フラグが“1”（バスビジー）でかつ MST ビットが“1”（マスタモード）のとき、ストップコンディションの発行を行います。

ストップコンディション発行の詳細動作については、「**23.12 スタートコンディション、リスタートコンディション、ストップコンディション発行機能**」を参照してください。

［“1”になる条件］

RIICnCR2.BBSY フラグが“1”でかつ RIICnCR2.MST ビットが“1”の状態で、“1”を書いたとき

［“0”になる条件］

- “0”を書いたとき
- ストップコンディションの発行が完了したとき、またはストップコンディションを検出したとき
- RIICnSR2.AL フラグが“1”になったとき（アービトレーションロスト）
- スタートコンディションおよびリスタートコンディションを検出したとき
- RIICnCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注 意

1. BBSY フラグ＝0（バスフリー）のとき書き込みはできません。
2. リスタートコンディション発行中に SP ビットを“1”にしないでください。

TRS ビット（送信／受信モードビット）

送信／受信モードを示すビットです。

TRS ビットが“0”のとき受信モード、TRS ビットが“1”のとき送信モードを表し、MST ビットとの組み合わせで RIIC の動作モードを表します。

TRS ビットは、以下の条件で“1”/“0”になり、動作モードは自動的に送信モードまたは受信モードに移行します。

［“1”になる条件］

- スタートコンディション発行要求により正常にスタートコンディションが発行されたとき（ST ビットが“1”の状態で、スタートコンディションを検出したとき）
- スレーブモード時、受信したスレーブアドレスが RIICnSER レジスタで有効にしたアドレスと一致し、かつ R/W#ビットに“1”を受信したとき
- RIICnMR1.MTWP ビットが“1”の状態で“1”を書いたとき

［“0”になる条件］

- ストップコンディションを検出したとき
- RIICnSR2.AL フラグが“1”になったとき（アービトレーションロスト）
- マスタモード時、スレーブアドレスに付加した R/W#ビットが“1”のとき
- スレーブ送信モード時、リスタートコンディションを検出したとき（RIICnCR2.BBSY＝1、RIICnCR2.MST＝0 の状態でリスタートコンディションを検出したとき）
- RIICnMR1.MTWP ビットが“1”の状態で“0”を書いたとき
- RIICnCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

MST ビット（マスタ／スレーブモードビット）

マスタモード／スレーブモードを示すビットです。

MST ビットが“0”のときスレーブモード、MST ビットが“1”のときマスタモードを表し、TRS ビットとの組み合わせで RIIC の動作モードを表します。

MST ビットは、以下の条件で“1”/“0”になり、動作モードは自動的にマスタモードまたはスレーブモードに移行します。

［“1”になる条件］

- スタートコンディション発行要求によるスタートコンディションが正常に発行されたとき（ST ビットが“1”の状態で、スタートコンディションを検出したとき）
- RIICnMR1.MTWP ビットが“1”の状態で“1”を書いたとき

［“0”になる条件］

- ストップコンディションを検出したとき
- RIICnSR2.AL フラグが“1”になったとき（アービトレーションロスト）
- RIICnMR1.MTWP ビットが“1”の状態で“0”を書いたとき
- RIICnCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

BBSY フラグ（バスビジー検出フラグ）

I²C バスの占有（バスビジー）／解放状態（バスフリー）を示します。

SCL ラインが High の状態で SDA ラインが High から Low に変化すると、スタートコンディションが発行されたと認識して“1”になります。

SCL ラインが High の状態で SDA ラインが Low から High に変化すると、ストップコンディションが発行されたと認識し、バスフリーの時間（RIICnBRL レジスタに設定した時間）スタートコンディション検出がないとき“0”になります。

［“1”になる条件］

スタートコンディションを検出したとき

［“0”になる条件］

- ストップコンディションを検出後、バスフリーの時間（RIICnBRL レジスタに設定した時間）スタートコンディション検出がないとき
- RIICnCR1.ICE ビットが“0”の状態で RIICnCR1.IICRST ビットに“1”を書いたとき（RIIC リセット）

注　意

- ストップコンディション検出後のバスフリー期間中に、内部リセットをかけた場合、BBSY フラグが内部リセット解除から、バスフリー時間を経由して、“0”となる
- バスフリー期間以外で内部リセットをかけた場合は、BBSY フラグはクリアされない

23.3.4　RIICnMR1 — I2C バスモードレジスタ 1

アクセス　RIICnMR1 レジスタは、32 ビット単位でリード／ライト可能です。

RIICnMR1L レジスタは、16 ビット単位でリード／ライト可能です。

RIICnMR1LL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RIICnMR1 : <RIICn_base> + 0008H

RIICnMR1L : <RIICn_base> + 0008H

RIICnMR1LL : <RIICn_base> + 0008H

リセット後の値　0000 0008H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	MTWP	CKS[2:0]			BCWP	BC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	W	R/W	R/W	R/W

表 23.15　RIICnMR1 レジスタの内容

ビット位置	ビット名	機能
31～8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	MTWP	MST / TRS ライトプロテクトビット 0：RIICnCR2.MST, TRS ビットへの書き込み禁止 1：RIICnCR2.MST, TRS ビットへの書き込み許可
6～4	CKS[2:0]	内部基準クロック選択ビット（IICϕ） b6　b4 0 0 0：PCLK/1 クロック 0 0 1：PCLK/2 クロック 0 1 0：PCLK/4 クロック 0 1 1：PCLK/8 クロック 1 0 0：PCLK/16 クロック 1 0 1：PCLK/32 クロック 1 1 0：PCLK/64 クロック 1 1 1：PCLK/128 クロック
3	BCWP 注 1	BC ライトプロテクトビット 0：BC[2:0]ビットの値を設定許可（読むと“1”が読めます） 1：BC[2:0]ビットを保護
2～0	BC[2:0]	ビットカウンタ b2　b0 0 0 0：9 ビット 0 0 1：2 ビット 0 1 0：3 ビット 0 1 1：4 ビット 1 0 0：5 ビット 1 0 1：6 ビット 1 1 0：7 ビット 1 1 1：8 ビット

注1.　BC[2:0]ビットを書き換える場合は、同時に BCWP ビットに“0”を書いてください。

BC[2:0]ビット（ビットカウンタ）

SCL ラインの立ち上がりでダウンカウントを行うカウンタで、読み出すと残りの転送ビット数を知ることができます。読み出しおよび書き込みはできますが、通常ではアクセスする必要はありません。

なお、書く場合には転送するデータのビット数+1 を指定し（データにアクノリッジ 1 ビットが付加されて転送される）、転送フレーム間で行ってください。また、000_B 以外の値を設定する場合は、SCL ラインが Low の状態で行ってください。

［“0”になる条件］

- RIICnCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき
- アクノリッジを含むデータ転送が終了したとき
- スタートコンディション検出（リスタートコンディション含む）したとき

23.3.5 RIICnMR2 — I^{2}C バスモードレジスタ 2

アクセス　RIICnMR2 レジスタは、32 ビット単位でリード／ライト可能です。
RIICnMR2L レジスタは、16 ビット単位でリード／ライト可能です。
RIICnMR2LL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RIICnMR2：<RIICn_base> + 000C$_H$
RIICnMR2L：<RIICn_base> + 000C$_H$
RIICnMR2LL：<RIICn_base> + 000C$_H$

リセット後の値　0000 0006$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DLCS	SDDL[2:0]			—	TMOH	TMOL	TMOS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

表 23.16　RIICnMR2 レジスタの内容

ビット位置	ビット名	機能
31～8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	DLCS	SDA 出力遅延クロックソース選択ビット 0：SDA 出力遅延カウンタのクロックソースに内部基準クロック（IICϕ）を選択 1：SDA 出力遅延カウンタのクロックソースに内部基準クロックの 2 分周（IICϕ/2）を選択[注 1]
6～4	SDDL[2:0]	SDA 出力遅延カウンタ ● RIICnMR2.DLCS＝0（IICϕ）のとき b6　b4 0 0 0：出力遅延なし 0 0 1：IICϕの 1 サイクル 0 1 0：IICϕの 2 サイクル 0 1 1：IICϕの 3 サイクル 1 0 0：IICϕの 4 サイクル 1 0 1：IICϕの 5 サイクル 1 1 0：IICϕの 6 サイクル 1 1 1：IICϕの 7 サイクル ● RIICnMR2.DLCS＝1（IICϕ/2）のとき b6　b4 0 0 0：出力遅延なし 0 0 1：IICϕの 1～2 サイクル 0 1 0：IICϕの 3～4 サイクル 0 1 1：IICϕの 5～6 サイクル 1 0 0：IICϕの 7～8 サイクル 1 0 1：IICϕの 9～10 サイクル 1 1 0：IICϕの 11～12 サイクル 1 1 1：IICϕの 13～14 サイクル
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 23.16　RIICnMR2 レジスタの内容

ビット位置	ビット名	機能
2	TMOH	タイムアウト H カウント制御ビット 0：SCL ラインが High 期間中のカウント禁止 1：SCL ラインが High 期間中のカウント有効
1	TMOL	タイムアウト L カウント制御ビット 0：SCL ラインが Low 期間中のカウント禁止 1：SCL ラインが Low 期間中のカウント有効
0	TMOS	タイムアウト検出時間選択ビット 0：ロングモードを選択 1：ショートモードを選択

注1.　SCL＝Low のときのみ DLCS＝1（IICϕ/2）の設定が有効になります。SCL＝High のとき DLCS＝1 の設定は無効となり内部基準クロック（IICϕ）となります。

TMOS ビット（タイムアウト検出時間選択ビット）

タイムアウト検出機能有効時（RIICnFER.TMOE ビット＝1）にタイムアウト検出時間を選択するビットで、“0”にするとロングモード、“1”にするとショートモードになります。ロングモードではタイムアウト検出用内部カウンタが 16 ビットカウンタとして、またショートモードでは 14 ビットカウンタとして動作し、SCL ラインが TMOH、TMOL ビットで選択された状態になったとき、内部基準クロック（IICϕ）をカウントソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、「**23.13.1　タイムアウト検出機能**」を参照してください。

TMOL ビット（タイムアウト L カウント制御ビット）

タイムアウト検出機能有効時（RIICnFER.TMOE ビット＝1）に SCL ラインが Low 期間中にタイムアウト検出機能の内部カウンタのカウントアップを有効にするか禁止にするかを選択するビットです。

TMOH ビット（タイムアウト H カウント制御ビット）

タイムアウト検出機能有効時（RIICnFER.TMOE ビット＝1）に SCL ラインが High 期間中にタイムアウト検出機能の内部カウンタのカウントアップを有効にするか禁止にするかを選択するビットです。

SDDL[2:0]ビット（SDA 出力遅延カウンタ）

SDDL[2:0]ビットの設定値により、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースによりカウントします。また、この機能の設定はアクノリッジビット送出を含むすべての SDA 出力に適用されます。

本機能の詳細については、「**23.7　SDA 出力遅延機能**」を参照してください。

注　意

SDA 出力遅延の設定は、I^{2}C バス規格（データ有効時間／アクノリッジ有効時間注1 内）に収まるようにしてください。規格外を設定した場合、通信デバイスとの通信破綻を引き起こすか、バスの状態によっては見かけ上スタートコンディションまたはストップコンディションになる可能性がありますので注意してください。

注1.　データ有効時間／アクノリッジ有効時間
3,450ns（～100kbps：スタンダードモード[Sm]）
900ns（～400kbps：ファストモード[Fm]）

23.3.6　RIICnMR3 — I²C バスモードレジスタ 3

アクセス　RIICnMR3 レジスタは、32 ビット単位でリード／ライト可能です。
RIICnMR3L レジスタは、16 ビット単位でリード／ライト可能です。
RIICnMR3LL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RIICnMR3：<RIICn_base> + 0010_H
RIICnMR3L：<RIICn_base> + 0010_H
RIICnMR3LL：<RIICn_base> + 0010_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W

表 23.17　RIICnMR3 レジスタの内容

ビット位置	ビット名	機能
31〜7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	WAIT 注 2	WAIT ビット 0：WAIT なし（9 クロック目と 1 クロック目の間を Low にホールドしない） 1：WAIT あり（9 クロック目と 1 クロック目の間を Low にホールドする） Low ホールドは RIICnDRR レジスタの読み出しで解除
5	RDRFS 注 2	RDRF フラグセットタイミング選択ビット 0：SCL クロックの 9 クロック目の立ち上がり時に “1” になる （8 クロック目の立ち下がりで SCL ラインを Low にホールドしない） 1：SCL クロックの 8 クロック目の立ち上がり時に “1” になる （8 クロック目の立ち下がりで SCL ラインを Low にホールドする） Low ホールドは ACKBT ビットへの書き込みで解除
4	ACKWP 注 1	ACKBT ライトプロテクトビット 0：ACKBT ビットへの書き込み禁止 1：ACKBT ビットへの書き込み許可
3	ACKBT 注 1	送信アクノリッジビット 0：アクノリッジビットに “0” を送出（ACK 送信） 1：アクノリッジビットに “1” を送出（NACK 送信）
2	ACKBR	受信アクノリッジビット 0：アクノリッジビットに “0” を受信（ACK 受信） 1：アクノリッジビットに “1” を受信（NACK 受信）
1、0	NF[1:0]	デジタルノイズフィルタ段数選択ビット b1　b0 0　0：1IICφ 以下のノイズを除去（フィルタは 1 段） 0　1：2IICφ 以下のノイズを除去（フィルタは 2 段） 1　0：3IICφ 以下のノイズを除去（フィルタは 3 段） 1　1：4IICφ 以下のノイズを除去（フィルタは 4 段）

注1.　ACKWP ビットは、ACKBT ビットへの書き込みと同時に “1” にしても、ACKBT ビットに書き込みはできません。
注2.　WAIT ビットおよび RDRFS ビットは、受信モードのみ有効、送信モード時は無効です。

NF[1:0]ビット（デジタルノイズフィルタ段数選択ビット）

デジタルノイズフィルタの段数を選択します。

注 意

ノイズフィルタで除去するノイズ幅の設定は、SCL ラインの High/Low 幅よりも狭くしてください。（SCL クロックの幅：High 幅または Low 幅のいずれか短い方）－｛1.5 内部基準クロック同期（IICφ）｝と同じか、それ以上に設定した場合は、RIIC のノイズフィルタ機能により SCL クロックをノイズとみなし、正常に動作することができなくなる可能性がありますので注意してください。

ACKBR ビット（受信アクノリッジビット）

送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

［“1”になる条件］

RIICnCR2.TRS ビットが“1”の状態でアクノリッジビットに“1”を受信したとき

［“0”になる条件］

- RIICnCR2.TRS ビットが“1”の状態でアクノリッジビットに“0”を受信したとき
- RIICnCR1.ICE ビットが“0”の状態で RIICnCR1.IICRST ビットに“1”を書いたとき（RIIC リセット）

ACKBT ビット（送信アクノリッジビット）

受信モード時にアクノリッジのタイミングで送出するビットを設定します。

［“1”になる条件］

ACKWP ビットが“1”の状態で“1”を書いたとき

［“0”になる条件］

- ACKWP ビットが“1”の状態で ACKBT を読み出した後、“0”を書いたとき
- ストップコンディションを検出したとき
- RIICnCR1.ICE ビットが“0”の状態で RIICnCR1.IICRST ビットに“1”を書いたとき（RIIC リセット）

注 意

ACKBT ビットに書く場合には、ACKWP ビットが“1”の状態で行ってください。ACKWP ビットが“0”の状態で書いた場合には、ACKBT ビットへの書き込みは無効となります。

ACKWP ビット（ACKBT ライトプロテクトビット）

ACKBT ビットへの書き込みを制御します。

RDRFS ビット（RDRF フラグセットタイミング選択ビット）

受信モードにおいて RDRF フラグのセットタイミングおよび SCL クロックの 8 クロック目の立ち下がりで SCL ラインの Low ホールドを行うかどうかを選択します。

RDRFS ビットが“0”のとき、8 クロック目の立ち下がりで SCL ラインの Low ホールドは行わず、9 クロック目の立ち上がりで RDRF フラグを“1”にします。

RDRFS ビットが“1”のとき、RDRF フラグは 8 クロック目の立ち上がりで“1”にし、8 クロック目の立ち下がりで SCL ラインを Low にホールドします。この SCL ラインの Low ホールドは ACKBT ビットへの書き込みにより解除されます。

この設定のとき、データ受信後アクノリッジビット送出前に SCL ラインを自動的に Low にホールドするため、受信データの内容に応じて ACK（ACKBT ビットが“0”）または NACK（ACKBT ビットが“1”）を送出する処理が可能です。

WAIT ビット（WAIT ビット）

WAIT ビットは、受信モードにおいて 1 バイト受信ごとに受信データバッファ（RIICnDRR レジスタ）の読み出しが完了するまで、SCL クロックの 9 クロック目と 1 クロック目の間を Low にホールドするかどうかを制御します。

WAIT ビットが“0”のとき、SCL クロックの 9 クロック目と 1 クロック目の間の Low ホールドは行わず、受信動作をそのまま継続します。RDRFS ビットと WAIT ビットがともに“0”のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが“1”のとき、1 バイト受信ごとに 9 クロック目の立ち下がり以降、RIICnDRR レジスタの値が読み出されるまでの間 SCL ラインを Low にホールドします。これにより 1 バイトごとの受信動作が可能です。

注　意

WAIT ビットを“0”にする場合は、RIICnDRR を先に読んでから“0”にしてください。

23.3.7　RIICnFER — I^{2}C バスファンクションイネーブルレジスタ

アクセス　RIICnFER レジスタは、32 ビット単位でリード／ライト可能です。
RIICnFERL レジスタは、16 ビット単位でリード／ライト可能です。
RIICnFERLL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RIICnFER：<RIICn_base> + 0014$_H$
RIICnFERL：<RIICn_base> + 0014$_H$
RIICnFERLL：<RIICn_base> + 0014$_H$

リセット後の値　0000 0072$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
リセット後の値	0	0	0	0	0	0	0	0	0	1	1	1	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.18　RIICnFER レジスタの内容

ビット位置	ビット名	機能
31～7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	SCLE	SCL 同期回路有効ビット 0：SCL 同期回路無効 1：SCL 同期回路有効
5	NFE	デジタルノイズフィルタ回路有効ビット 0：デジタルノイズフィルタ回路を使用しない 1：デジタルノイズフィルタ回路を使用する
4	NACKE	NACK 受信転送中断許可ビット 0：NACK 受信時、転送を中断しない（転送中断禁止） 1：NACK 受信時、転送を中断する（転送中断許可）
3	SALE	スレーブアービトレーションロスト検出許可ビット 0：スレーブアービトレーションロスト検出禁止 1：スレーブアービトレーションロスト検出許可
2	NALE	NACK 送信アービトレーションロスト検出許可ビット 0：NACK 送信アービトレーションロスト検出禁止 1：NACK 送信アービトレーションロスト検出許可
1	MALE	マスタアービトレーションロスト検出許可ビット 0：マスタのアービトレーションロスト検出禁止 （アービトレーションロスト検出機能を無効にし、アービトレーションロスト発生によるRIICnCR2.MST, TRS ビットの自動クリアを行わない） 1：マスタアービトレーションロスト検出許可 （アービトレーションロスト検出機能を有効にし、アービトレーションロスト発生によるRIICnCR2.MST, TRS ビットの自動クリアを行う） スレーブ送信モードで BBSY フラグが“1”の状態で、ST ビットに”1”を書いた場合、TRS ビットはクリアされません。
0	TMOE	タイムアウト検出機能有効ビット 0：タイムアウト検出機能無効 1：タイムアウト検出機能有効

TMOE ビット（タイムアウト検出機能有効ビット）

タイムアウト検出機能の有効／無効を選択します。

タイムアウト検出機能の詳細については、「**23.13.1 タイムアウト検出機能**」を参照してください。

MALE ビット（マスタアービトレーションロスト検出許可ビット）

アービトレーションロスト検出機能の有効／無効を選択します。通常は“1”にしてください。

NALE ビット（NACK 送信アービトレーションロスト検出許可ビット）

受信モード時、NACK 送出中に ACK が検出された場合（同じアドレスのスレーブがバス上に存在し、それぞれが違うデータを送信してきた場合や、2 つ以上のマスタが同時に同一のスレーブデバイスを選択しそれぞれ受信バイト数が異なる場合など）にアービトレーションロストを発生させるかどうかを選択します。

SALE ビット（スレーブアービトレーションロスト検出許可ビット）

スレーブ送信モード時、送出中の値と異なる値がバス上で検出された場合（同じアドレスのスレーブがバス上に存在した場合や、ノイズの影響などにより送信データと不一致が生じた場合など）にアービトレーションロストを発生させるかどうかを選択します。

NACKE ビット（NACK 受信転送中断許可ビット）

送信モード時、NACK を受信した場合に転送動作を継続するか中断するかを選択します。通常は“1”にしてください。

NACKE ビットが“1”のとき、NACK を受信した場合、次の転送動作を中断します。

NACKE ビットが“0”のとき、受信アクノリッジの内容に関わらず次の転送動作を継続します。

SCLE ビット（SCL 同期回路有効ビット）

SCL ラインの立ち上がり、立ち下がりに対して、SCL クロックの同期化を行うかどうかを選択します。通常は“1”にしてください。

SCLE ビットを“0”（SCL 同期回路無効）にすると、クロック同期を行いません。この設定の場合、RIIC は SCL ラインの状態に関わらず RIICnBRH および RIICnBRL レジスタで設定された転送速度の SCL クロックを出力します。そのため、I²C バスラインのバス負荷が規格値よりも大幅に大きい場合や、マルチマスタにおいて SCL クロック出力が重なった場合など、規格外の短いクロックになる可能性がありますので注意してください。また SCL 同期回路無効の場合、スタートコンディション、リスタートコンディション、ストップコンディションの発行および SCL クロック追加出力の連続出力にも影響します。

SCLE ビットは、設定した転送速度が出力されているかどうかを確認する場合などを除き“0”にしないでください。

23.3.8 RIICnSER — I²C バスステータスイネーブルレジスタ

アクセス RIICnSER レジスタは、32 ビット単位でリード／ライト可能です。

RIICnSERL レジスタは、16 ビット単位でリード／ライト可能です。

RIICnSERLL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RIICnSER：<RIICn_base> + 0018_H

RIICnSERL：<RIICn_base> + 0018_H

RIICnSERLL：<RIICn_base> + 0018_H

リセット後の値 0000 0009_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	DIDE	—	GCE	SAR2	SAR1	SAR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W

表 23.19 RIICnSER レジスタの内容

ビット位置	ビット名	機能
31～6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	DIDE	デバイス ID アドレス検出許可ビット 0：デバイス ID アドレス検出は無効 1：デバイス ID アドレス検出は有効
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	GCE	ジェネラルコールアドレス許可ビット 0：ジェネラルコールアドレス検出は無効 1：ジェネラルコールアドレス検出は有効
2	SAR2	スレーブアドレスレジスタ 2 許可ビット 0：RIICnSAR2 の設定値は無効 1：RIICnSAR2 の設定値は有効
1	SAR1	スレーブアドレスレジスタ 1 許可ビット 0：RIICnSAR1 の設定値は無効 1：RIICnSAR1 の設定値は有効
0	SAR0	スレーブアドレスレジスタ 0 許可ビット 0：RIICnSAR0 の設定値は無効 1：RIICnSAR0 の設定値は有効

SARy ビット（スレーブアドレスレジスタ y 許可ビット）（y＝0～2）

RIICnSARy レジスタで設定したスレーブアドレスを有効にするかどうかを選択します。

SARy ビットを“1”にすると、RIICnSARy レジスタの設定値が有効になり、受信したスレーブアドレスと比較が行われます。

SARy ビットを“0”にすると、RIICnSARy レジスタの設定値が無効になり、受信したスレーブアドレスと一致しても無視されます。

GCAE ビット（ジェネラルコールアドレス許可ビット）

ジェネラルコールアドレス（0000 000_B＋0[W]：All“0”）を受信した場合、無視するかどうかを選択します。

GCE ビットが“1”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、RIIC は RIICnSARy レジスタ（y＝0～2）で設定したスレーブアドレスとは無関係にジェネラルコールアドレスと認識し、受信動作を行います。

GCE ビットが“0”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致しても無視されます。

DIDE ビット（デバイス ID アドレス検出許可ビット）

スタートコンディションまたはリスタートコンディション検出後の第 1 フレームにデバイス ID アドレス（1111 100_B）を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

DIDE ビットが“1”の場合、受信した第 1 フレームがデバイス ID アドレスと一致した場合、RIIC はデバイス ID アドレスを受信したと認識し、続く R/W#ビットが“0”[W]のとき第 2 フレーム目以降をスレーブアドレスとみなして受信動作を継続します。

DIDE ビットが“0”の場合、受信した第 1 フレームがデバイス ID アドレスと一致しても無視され、第 1 フレームを通常のスレーブアドレスとみなして動作します。

デバイス ID アドレス検出の詳細については、「**23.9.3 デバイス ID アドレス検出機能**」を参照してください。

23.3.9 RIICnIER — I²C バスインタラプトイネーブルレジスタ

アクセス RIICnIER レジスタは、32 ビット単位でリード／ライト可能です。
RIICnIERL レジスタは、16 ビット単位でリード／ライト可能です。
RIICnIERLL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RIICnIER：<RIICn_base> + 001C$_H$
RIICnIERL：<RIICn_base> + 001C$_H$
RIICnIERLL：<RIICn_base> + 001C$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.20 RIICnIER レジスタの内容

ビット位置	ビット名	機能
31～8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	TIE	送信データエンプティ割り込み許可ビット 0：送信データエンプティ割り込み（INTRIICnTI）の禁止 1：送信データエンプティ割り込み（INTRIICnTI）の許可
6	TEIE	送信終了割り込み許可ビット 0：送信終了割り込み（INTRIICnTEI）の禁止 1：送信終了割り込み（INTRIICnTEI）の許可
5	RIE	受信終了割り込み許可ビット 0：受信終了割り込み（INTRIICnRI）の禁止 1：受信終了割り込み（INTRIICnRI）の許可
4	NAKIE	NACK 受信割り込み許可ビット 0：NACK 受信割り込み（NAKI）の禁止 1：NACK 受信割り込み（NAKI）の許可
3	SPIE	ストップコンディション検出割り込み許可ビット 0：ストップコンディション検出割り込み（SPI）の禁止 1：ストップコンディション検出割り込み（SPI）の許可
2	STIE	スタートコンディション検出割り込み許可ビット 0：スタートコンディション検出割り込み（STI）の禁止 1：スタートコンディション検出割り込み（STI）の許可
1	ALIE	アービトレーションロスト割り込み許可ビット 0：アービトレーションロスト割り込み（ALI）の禁止 1：アービトレーションロスト割り込み（ALI）の許可
0	TMOIE	タイムアウト割り込み許可ビット 0：タイムアウト割り込み（TMOI）の禁止 1：タイムアウト割り込み（TMOI）の許可

DIDE ビット（デバイス ID アドレス検出許可ビット）

RIICnSR2.TMOF フラグが“1”のとき、タイムアウト割り込み（TMOI）の許可／禁止を選択します。TMOI 割り込みは、TMOF フラグを“0”にするか、または TMOIE ビットを“0”にすることで解除できます。

ALIE ビット（アービトレーションロスト割り込み許可ビット）

RIICnSR2.AL フラグが“1”のとき、アービトレーションロスト割り込み（ALI）の許可／禁止を選択します。ALI 割り込みは、AL フラグを“0”にするか、または ALIE ビットを“0”にすることで解除できます。

STIE ビット（スタートコンディション検出割り込み許可ビット）

RIICnSR2.START フラグが“1”のとき、スタートコンディション検出割り込み（STI）の許可／禁止を選択します。STI 割り込みは、START フラグを“0”にするか、または STIE ビットを“0”にすることで解除できます。

SPIE ビット（ストップコンディション検出割り込み許可ビット）

RIICnSR2.STOP フラグが“1”のとき、ストップコンディション検出割り込み（SPI）の許可／禁止を選択します。SPI 割り込みは、STOP フラグを“0”にするか、または SPIE ビットを“0”にすることで解除できます。

NAKIE ビット（NACK 受信割り込み許可ビット）

RIICnSR2.NACKF フラグが“1”のとき、NACK 受信割り込み（NAKI）の許可／禁止を選択します。NAKI 割り込みは、NACKF フラグを“0”にするか、または NAKIE ビットを“0”にすることで解除できます。

RIE ビット（受信終了割り込み許可ビット）

RIICnSR2.RDRF フラグが“1”になったときの受信終了割り込み（INTRIICnRI）の許可／禁止を選択します。

TEIE ビット（送信終了割り込み許可ビット）

RIICnSR2.TEND フラグが“1”のとき、送信終了割り込み（INTRIICnTEI）の許可／禁止を選択します。INTRIICnTEI 割り込みは、TEND フラグを“0”にするか、または TEIE ビットを“0”にすることで解除できます。

TIE ビット（送信データエンプティ割り込み許可ビット）

RIICnSR2.TDRE フラグが“1”になったときの送信データエンプティ割り込み（INTRIICnTI）の許可／禁止を選択します。

23.3.10　RIICnSR1 ― I²C バスステータスレジスタ 1

アクセス　RIICnSR1 レジスタは、32 ビット単位でリード／ライト可能です。
RIICnSR1L レジスタは、16 ビット単位でリード／ライト可能です。
RIICnSR1LL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RIICnSR1：<RIICn_base> + 0020_H
RIICnSR1L：<RIICn_base> + 0020_H
RIICnSR1LL：<RIICn_base> + 0020_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	DID	—	GCA	AAS2	AAS1	AAS0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R(/W)注1	R	R(/W)注1	R(/W)注1	R(/W)注1	R(/W)注1

注1.　“0”のみ書けます。

表 23.21　RIICnSR1 レジスタの内容

ビット位置	ビット名	機能
31～6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	DID	デバイス ID アドレス検出フラグ 0：デバイス ID アドレス未検出 1：デバイス ID アドレス検出
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	GCA	ジェネラルコールアドレス検出フラグ 0：ジェネラルコールアドレス未検出 1：ジェネラルコールアドレス検出
2	AAS2	スレーブアドレス 2 検出フラグ 0：スレーブアドレス 2 未検出 1：スレーブアドレス 2 検出
1	AAS1	スレーブアドレス 1 検出フラグ 0：スレーブアドレス 1 未検出 1：スレーブアドレス 1 検出
0	AAS0	スレーブアドレス 0 検出フラグ 0：スレーブアドレス 0 未検出 1：スレーブアドレス 0 検出

AASy フラグ（スレーブアドレス y 検出フラグ）（y＝0～2）

［“1”になる条件］

＜7 ビットアドレスフォーマット選択時：RIICnSARy.FSy ビット＝0＞

RIICnSER.SARy ビットが“1”（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが RIICnSARy.SVA[7:1]と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

＜10 ビットアドレスフォーマット選択時：RIICnSARy.FSy ビット＝1＞

RIICnSER.SARy ビットが“1”（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが 1111 0_B＋RIICnSARy.SVA[9:8]と一致し、それに続くアドレスが RIICnSARy.SVA[7:0]と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

［“0”になる条件］

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- RIICnCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

＜7 ビットアドレスフォーマット選択時：RIICnSARy.FSy ビット＝0＞

- RIICnSER.SARy ビットが“1”（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが RIICnSARy.SVA[7:1]と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

＜10 ビットアドレスフォーマット選択時：RIICnSARy.FSy ビット＝1＞

- RIICnSER.SARy ビットが“1”（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが 1111 0_B＋RIICnSARy.SVA[9:8]と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- RIICnSER.SARy ビットが“1”（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが 1111 0_B＋RIICnSARy.SVA[9:8]と一致し、それに続くアドレスが RIICnSARy.SVA[7:0]と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

GCA フラグ（ジェネラルコールアドレス検出フラグ）

［“1”になる条件］

- RIICnSER.GCE ビットが“1”（ジェネラルコールアドレス検出有効）の状態で、受信したスレーブアドレスがジェネラルコールアドレス（0000 000_B＋0[W]）と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

［“0”になる条件］

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- RIICnSER.GCE ビットが“1”（ジェネラルコールアドレス検出有効）の状態で、受信したスレーブアドレスがジェネラルコールアドレス（0000 000_B＋0[W]）と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- RIICnCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

DID フラグ（デバイス ID アドレス検出フラグ）

［“1”になる条件］

- RIICnSER.DIDE ビットが“1”（デバイス ID アドレス検出有効）の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス（1111 100_B）＋0[W]と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- RIICnSER.DIDE ビットが“1”（デバイス ID アドレス検出有効）の状態で、デバイス ID アドレスが一致した後にリスタートコンディション検出し、さらにデバイス ID アドレス（1111 100_B）＋1[R]と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

［“0”になる条件］

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- RIICnSER.DIDE ビットが“1”（デバイス ID アドレス検出有効）の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス（1111 100_B）と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- RIICnSER.DIDE ビットが“1”（デバイス ID アドレス検出有効）の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス（1111 100_B）＋0[W]と一致し、続く第 2 フレームがスレーブアドレス 0～2 のすべてと不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- RIICnCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

23.3.11　RIICnSR2 ― I²C バスステータスレジスタ 2

アクセス　RIICnSR2 レジスタは、32 ビット単位でリード／ライト可能です。
RIICnSR2L レジスタは、16 ビット単位でリード／ライト可能です。
RIICnSR2LL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RIICnSR2：<RIICn_base> + 0024_H
RIICnSR2L：<RIICn_base> + 0024_H
RIICnSR2LL：<RIICn_base> + 0024_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R(/W)注1	R(/W)注1	R(/W)注1	R(/W)注1	R(/W)注1	R(/W)注1	R(/W)注1

注1.　“0”のみ書けます。

表 23.22　RIICnSR2 レジスタの内容

ビット位置	ビット名	機能
31～8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	TDRE	送信データエンプティフラグ 0：RIICnDRT レジスタに送信データあり 1：RIICnDRT レジスタに送信データなし
6	TEND	送信終了フラグ 0：データ送信中 1：データ送信終了
5	RDRF	受信終了フラグ 0：RIICnDRR レジスタに受信データなし 1：RIICnDRR レジスタに受信データあり
4	NACKF	NACK 検出フラグ 0：NACK 未検出 1：NACK 検出
3	STOP	ストップコンディション検出フラグ 0：ストップコンディション未検出 1：ストップコンディション検出
2	START	スタートコンディション検出フラグ 0：スタートコンディション未検出 1：スタートコンディション検出
1	AL	アービトレーションロストフラグ 0：アービトレーションロストの発生なし 1：アービトレーションロストの発生あり
0	TMOF	タイムアウト検出フラグ 0：タイムアウト未検出 1：タイムアウト検出

TMOF フラグ（タイムアウト検出フラグ）

SCL ラインの状態が一定期間変化しない場合、タイムアウトを認識して“1”になります。

［“1”になる条件］

タイムアウト検出機能は RIICnFER.TMOE ビットが“1”のとき有効で、以下の期間に SCL ラインの Low 固定または High 固定のバス異常状態を検出します。

- マスタモード（RIICnCR2.MST ビット＝1）で、バスビジー（RIICnCR2.BBSY フラグ＝1）
- スレーブモード（RIICnCR2.MST ビット＝0）で、自スレーブアドレス一致（RIICnSR1 レジスタ≠00_H）かつバスビジー（RIICnCR2.BBSY フラグ＝1）
- スタートコンディション発行要求中（RIICnCR2.ST ビット＝1）で、バスフリー（RIICnCR2.BBSY フラグ＝0）

［“0”になる条件］

- “1”を読んだ後、“0”を書いたとき
- RIICnCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

AL フラグ（アービトレーションロストフラグ）

スタートコンディション発行時やアドレスおよびデータ送信時において、バス競合などによりバス占有権を喪失（アービトレーションロスト）したことを示します。RIIC は送信中に SDA ラインのレベルを監視し、出力データと SDA ラインのレベルが一致しない場合 AL フラグを“1”にしてバスが他のデバイスによって占有されたことを示します。

このほか、RIIC では設定により受信モード時に NACK 送信中のアービトレーションロストの検出やスレーブモード時にデータ送信中のアービトレーションロストの検出も可能です。

［“1”になる条件］

＜マスタアービトレーションロスト検出有効時：RIICnFER.MALE ビット＝1＞

- マスタ送信モード時のデータ送信（スレーブアドレス送信含む）において、ACK 期間を除く SCL クロックの立ち上がりで自分が出した SDA 信号と SDA ライン上の信号の状態が不一致（内部 SDA 出力が High 出力（＝SDA 端子はハイインピーダンス）で、SDA ラインに Low を検出）したとき
- RIICnCR2.ST ビットが“1”（スタートコンディション発行要求）の状態でスタートコンディションを検出したとき、自分が出した SDA 信号と SDA ライン上の信号の状態が不一致のとき
- RIICnCR2.BBSY フラグが“1”の状態で RIICnCR2.ST ビットが“1”（スタートコンディション発行要求）に設定したとき

＜NACK アービトレーションロスト検出有効時：RIICnFER.NALE ビット＝1＞

受信モード時の NACK 送信において、ACK 期間の SCL クロックの立ち上がりで自分が出した SDA 信号と SDA ライン上の信号の状態が不一致のとき

＜スレーブアービトレーションロスト検出有効時：RIICnFER.SALE ビット＝1＞

スレーブ送信モード時のデータ送信において、ACK 期間を除く SCL クロックの立ち上がりで自分が出した SDA 信号と SDA ライン上の信号の状態が不一致のとき

［“0”になる条件］

- “1”を読んだ後、“0”を書いたとき
- RIICnCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

表 23.23　アービトレーションロスト発生要因と各アービトレーションロスト許可機能との関係

RIICnFER			RIICnSR2	エラー内容	アービトレーションロスト発生要因
MALE	NALE	SALE	AL		
1	—	—	1	スタートコンディション発行エラー	RIICnCR2.ST=1 の状態でスタートコンディション検出時に自分が出した SDA 信号と SDA ライン上の信号の状態が不一致のとき
					RIICnCR2.BBSY=1 の状態で RIICnCR2.ST=1 にしたとき
			1	送信データ不一致	マスタ送信モードで送信データ（スレーブアドレス送信含む）とバス状態が不一致のとき
—	1	—	1	NACK 送信不一致	マスタ受信モードまたはスレーブ受信モードで NACK 送信時に ACK を検出したとき
—	—	1	1	送信データ不一致	スレーブ送信モードで送信データとバス状態が不一致のとき

備考　— : Don't care

START フラグ（スタートコンディション検出フラグ）

［“1”になる条件］

スタートコンディション（リスタートコンディション含む）を検出したとき

［“0”になる条件］

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- RIICnCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

STOP フラグ（ストップコンディション検出フラグ）

［“1”になる条件］

ストップコンディションを検出したとき

［“0”になる条件］

- “1”を読んだ後、“0”を書いたとき
- RIICnCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

NACKF フラグ（NACK 検出フラグ）

［“1”になる条件］

RIICnFER.NACKE ビットが“1”（転送中断許可）の状態で、送信モード時に受信デバイスからアクノリッジがなかった（NACK を受信した）とき

［“0”になる条件］

- “1”を読んだ後、“0”を書いたとき
- RIICnCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注　意

NACKF フラグが“1”になると RIIC は通信動作を中断します。NACKF フラグが“1”の状態で送信モード時に RIICnDRT レジスタへの書き込みや、受信モード時に RIICnDRR レジスタの読み出しを行っても、送信／受信動作は行われません。通信動作を再開する場合は NACKF フラグを“0”にしてください。

RDRF フラグ（受信終了フラグ）

［“1”になる条件］

- RIICnDRS レジスタから RIICnDRR レジスタに受信データが転送されたとき、RIICnMR3.RDRFS ビットの設定により SCL クロックの 8 または 9 クロック目の立ち上がり
- スタートコンディション（リスタートコンディション含む）検出後、受信したスレーブアドレスが RIICnSER レジスタで有効にしたアドレスと一致し、RIICnCR2.TRS ビットが“0”になったとき
- マスタモード時、スレーブアドレスに付加した R/W#ビットが“1”で、マスタ受信モードに移行したとき

［“0”になる条件］

- “1”を読んだ後、“0”を書いたとき
- RIICnDRR レジスタを読んだとき
- RIICnCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

TEND フラグ（送信終了フラグ）

［“1”になる条件］

TDRE フラグが“1”の状態で、SCL クロックの 9 クロック目の立ち上がり

［“0”になる条件］

- “1”を読んだ後、“0”を書いたとき
- RIICnDRT レジスタへデータを書いたとき
- ストップコンディションを検出したとき
- RIICnCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

TDRE フラグ（送信データエンプティフラグ）

［“1”になる条件］

- RIICnDRT レジスタから RIICnDRS レジスタにデータ転送が行われ、RIICnDRT レジスタが空になったとき
- RIICnCR2.TRS ビットが“1”になったとき
  - スタートコンディション検出後、RIICnCR2.MST ビットが“1”になったとき
  - RIICnMR1.MTWP ビットが“1”の状態で、RIICnCR2.TRS ビットに“1”を書いたとき
- スタートコンディション（リスタートコンディション含む）検出後、受信したスレーブアドレスが RIICnSER レジスタで有効にしたアドレスと一致し、RIICnCR2.TRS ビットが“1”になったとき

［“0”になる条件］

- RIICnDRT レジスタへデータを書いたとき
- RIICnCR2.TRS ビットが“0”になったとき
  - ストップコンディションを検出したとき
  - 送信モードから受信モードになったとき
  - RIICnMR1.MTWP ビットが“1”の状態で、RIICnCR2.TRS ビットに“0”を書いたとき
- RIICnCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注　意

RIICnFER.NACKE ビットが“1”の状態で NACKF フラグが“1”になると RIIC は通信動作を中断します。このとき、TDRE フラグが“0”の状態（次の送信データが既に書き込まれている状態）の場合、RIICnICDRS レジスタへのデータ転送は行われず RIICnICDRT レジスタのデータが保持されるため、TDRE フラグは“1”になりません。

23.3.12　RIICnSARy — I^{2}C スレーブアドレスレジスタ y（y＝0～2）

アクセス　RIICnSARy レジスタは、32 ビット単位でリード／ライト可能です。

RIICnSARyL レジスタは、16 ビット単位でリード／ライト可能です。

RIICnSARyLL、RIICnSARyLH レジスタは 8 ビット単位でリード／ライト可能です。

アドレス　RIICnSAR0：<RIICn_base> + 0028_H

RIICnSAR0L：<RIICn_base> + 0028_H

RIICnSAR0LL：<RIICn_base> + 0028_H,
RIICnSAR0LH：<RIICn_base> + 0029_H

RIICnSAR1：<RIICn_base> + $002C_H$

RIICnSAR1L：<RIICn_base> + $002C_H$

RIICnSAR1LL：<RIICn_base> + $002C_H$,
RIICnSAR1LH：<RIICn_base> + $002D_H$

RIICnSAR2：<RIICn_base> + 0030_H

RIICnSAR2L：<RIICn_base> + 0030_H

RIICnSAR2LL：<RIICn_base> + 0030_H,
RIICnSAR2LH：<RIICn_base> + 0031_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FSy	—	—	—	—	—	SVA[9:1]									SVA0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 23.24　RIICnSARy レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	FSy	7 ビット／10 ビットアドレスフォーマット選択ビット 0：7 ビットアドレスフォーマット選択 1：10 ビットアドレスフォーマット選択
14～10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9～1	SVA[9:1]	7 ビットアドレス／10 ビットアドレス上位ビット スレーブアドレスを設定してください。 • FSy ビット＝0（7 ビットアドレスフォーマット選択）のとき、SVA[7:1]ビットが有効になり、7 ビットスレーブアドレスになる • FSy ビット＝1（10 ビットアドレスフォーマット選択）のとき、SVA[9:1]ビットは SVA0 ビットと合わせて 10 ビットスレーブアドレスになる
0	SVA0	10 ビットアドレス最下位ビット スレーブアドレスを設定してください。 • FSy ビット＝0（7 ビットアドレスフォーマット選択）のとき、SVA0 ビットは無効になる • FSy ビット＝1（10 ビットアドレスフォーマット選択）のとき、SVA0 ビットが有効になり、SVA[9:1]ビットと合わせて 10 ビットスレーブアドレスになる

SVA0 ビット（10 ビットアドレス最下位ビット）

10 ビットアドレスフォーマット選択時（RIICnSARy.FSy ビット＝1）、10 ビットアドレス最下位ビットとして機能し、SVA[9:1]ビットと合わせて 10 ビットアドレスを設定します。

RIICnSER.SARy ビットが“1”（RIICnSARy レジスタ有効）でかつ RIICnSARy.FSy ビットが“1”のとき設定値が有効になり、RIICnSARy.FSy ビットまたは SARy ビットが“0”のとき設定値は無視されます。

SVA[9:1]ビット（7 ビットアドレス／10 ビットアドレス上位ビット）

7 ビットアドレスフォーマット選択時（RIICnSARy.FSy ビット＝0）、7 ビットアドレスとして機能し、10 ビットアドレスフォーマット選択時（RIICnSARy.FSy ビット＝1）、SVA0 ビットと合わせて 10 ビットアドレスとして機能します。

RIICnSER.SARy ビットが“0”のとき設定値は無視されます。

FSy ビット（7 ビット／10 ビットアドレスフォーマット選択ビット）

スレーブアドレス y（RIICnSARy レジスタ）を 7 ビットアドレスにするか、10 ビットアドレスにするかを選択します。

RIICnSER.SARy ビットが“1”（RIICnSARy レジスタ有効）でかつ RIICnSARy.FSy ビットが“0”のとき、スレーブアドレス y は 7 ビットアドレスフォーマットが選択され、RIICnSARy.SVA[7:1]ビットの設定値が有効になり SVA[9:8]ビットおよび RIICnSARy.SVA0 ビットの設定値は無視されます。

RIICnSER.SARy ビットが“1”（RIICnSARy レジスタ有効）でかつ RIICnSARy.FSy ビットが“1”のとき、スレーブアドレス y は 10 ビットアドレスフォーマットが選択され、SVA[9:1]ビット、SVA0 ビットの設定値が有効になります。

RIICnSER.SARy ビットが“0”（RIICnSARy レジスタ無効）のとき RIICnSARy.FSy ビットの設定値は無効です。

23.3.13　RIICnBRL — I^{2}C バスビットレートロウレベルレジスタ

アクセス　RIICnBRL レジスタは、32 ビット単位でリード／ライト可能です。
RIICnBRLL レジスタは、16 ビット単位でリード／ライト可能です。
RIICnBRLLL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RIICnBRL：<RIICn_base> + 0034_H
RIICnBRLL：<RIICn_base> + 0034_H
RIICnBRLLL：<RIICn_base> + 0034_H

リセット後の値　0000 $00FF_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	BRL[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

表 23.25　RIICnBRL レジスタの内容

ビット位置	ビット名	機能
31～5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～0	BRL[4:0]	ビットレート Low 幅設定ビット SCL クロックの Low 幅の値を設定

RIICnBRL レジスタは SCL クロックの Low 幅を設定するための 5 ビットのレジスタです。

また RIICnBRL レジスタは、SCL 自動 Low ホールド発生時（「**23.10 SCL の自動 Low ホールド機能**」参照）のデータセットアップ時間確保レジスタとしても機能します。そのため RIIC を常にスレーブモードで使用する場合には、データセットアップ時間以上[注1]の値を設定してください。

RIICnBRL レジスタは RIICnMR1.CKS[2:0]ビットで選択した内部基準クロックソース（IIC φ）で Low 幅をカウントします。

注1.　データセットアップ時間（t_{SU}:DAT）
250ns（～100kbps：スタンダードモード[Sm]）
100ns（～400kbps：ファストモード[Fm]）

23.3.14 RIICnBRH — I²C バスビットレートハイレベルレジスタ

アクセス　RIICnBRH レジスタは、32 ビット単位でリード／ライト可能です。
RIICnBRHL レジスタは、16 ビット単位でリード／ライト可能です。
RIICnBRHLL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RIICnBRH : <RIICn_base> + 0038_H
RIICnBRHL : <RIICn_base> + 0038_H
RIICnBRHLL : <RIICn_base> + 0038_H

リセット後の値　0000 $00FF_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	BRH[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

表 23.26　RIICnBRH レジスタの内容

ビット位置	ビット名	機能
31～5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～0	BRH[4:0]	ビットレート High 幅設定ビット SCL クロックの High 幅の値を設定

RIICnBRH レジスタは SCL クロックの High 幅を設定するための 5 ビットのレジスタで、マスタモード時に有効です。RIIC を常にスレーブモードで使用する場合には、High 幅を設定する必要はありません。

RIICnBRH レジスタは RIICnMR1.CKS[2:0]ビットで選択された内部基準クロックソース（IIC φ）で High 幅をカウントします。

I²C 転送速度および SCL クロックのデューティ比は以下の式で表されます。

(1) RIICnFER.SCLE＝0 の場合
転送速度＝1 / {[(RIICnBRH + 1) + (RIICnBRL + 1)] / IIC φ 注 1 + tr + tf}
デューティ比＝{tr + [(RIICnBRH + 1) / IIC φ]} / {tr + tf + [(RIICnBRH + 1) + (RIICnBRL + 1)] / IIC φ }

(2) RIICnFER.SCLE＝1、RIICnFER.NFE＝0、IIC φ = PCLK の場合
転送速度＝1 / {[(RIICnBRH + 3) + (RIICnBRL + 3)] / IIC φ 注 1 + tr + tf}
デューティ比＝{tr + [(RIICnBRH + 3) / IIC φ]} / {tr + tf + [(RIICnBRH + 3) + (RIICnBRL + 3)] / IIC φ }

(3) RIICnFER.SCLE＝1、RIICnFER.NFE＝1、IIC φ = PCLK の場合
転送速度＝1 / {[(RIICnBRH + 3 + nf) + (RIICnBRL + 3 + nf)] / IIC φ 注 1 + tr + tf}
デューティ比＝{tr + [(RIICnBRH + 3 + nf) / IIC φ]} / {tr + tf + [(RIICnBRH + 3 + nf) + (RIICnBRL + 3 + nf)] / IIC φ }

(4) RIICnFER.SCLE＝1、RIICnFER.NFE＝0、IIC φ < PCLK の場合
転送速度＝1 / {[(RIICnBRH + 2) + (RIICnBRL + 2)] / IIC φ 注 1 + tr + tf}
デューティ比＝{tr + [(RIICnBRH + 2) / IIC φ]} / {tr + tf + [(RIICnBRH + 2) + (RIICnBRL + 2)] / IIC φ }

(5) RIICnFER.SCLE＝1、RIICnFER.NFE＝1、IICϕ < PCLK の場合

転送速度＝$1 / \{[(RIICnBRH + 2 + nf) + (RIICnBRL + 2 + nf)] / IIC\phi^{注1} + tr + tf\}$

デューティ比＝$\{tr + [(RIICnBRH + 2 + nf) / IIC\phi]\} / \{tr + tf + [(RIICnBRH + 2 + nf) + (RIICnBRL + 2 + nf)] / IIC\phi\}$

tf：SCL ライン立ち下がり時間[ns]注2
tr：SCL ライン立ち上がり時間[ns]注2
nf：デジタルノイズフィルタ段数
デューティ比：0%＜デューティ＜100%

注1. IICϕは「**23.3.4 RIICnMR1 ― I2C バスモードレジスタ 1**」の CKS[2:0]を参照してください。
注2. SCL ライン立ち上がり時間[tr]、SCL ライン立ち下がり時間[tf]は、バスライン総容量[Cb]とプルアップ抵抗[Rp]に依存します。詳細については NXP 社の I²C バス規格書を参照してください。

SCL 同期回路未使用時の RIICnBRH、RIICnBRL レジスタの値の設定例を「**表 23.27 転送速度に対する RIICnBRH、RIICnBRL レジスタの設定例**」に示します。

表 23.27　転送速度に対する RIICnBRH、RIICnBRL レジスタの設定例

転送速度 (kbps)	PCLK 周波数（MHz）														
	8					10					12.5				
	CKS [2:0]	RIICnBRH		RIICnBRL		CKS [2:0]	RIICnBRH		RIICnBRL		CKS [2:0]	RIICnBRH		RIICnBRL	
		SCL クロックの High 幅 [IICϕ]	設定値 [書き込む値]	SCL クロックの Low 幅 [IICϕ]	設定値 [書き込む値]		SCL クロックの High 幅 [IICϕ]	設定値 [書き込む値]	SCL クロックの Low 幅 [IICϕ]	設定値 [書き込む値]		SCL クロックの High 幅 [IICϕ]	設定値 [書き込む値]	SCL クロックの Low 幅 [IICϕ]	設定値 [書き込む値]
10	100_B	22	$F6_H$	25	$F9_H$	101_B	13	ED_H	15	EF_H	101_B	16	$F0_H$	20	$F4_H$
50	010_B	16	$F0_H$	19	$F3_H$	010_B	21	$F5_H$	24	$F8_H$	011_B	12	EC_H	15	EF_H
100	001_B	15	EF_H	18	$F2_H$	001_B	19	$F3_H$	23	$F7_H$	001_B	24	$F8_H$	29	FD_H
400	000_B	4	$E4_H$	10	EA_H	000_B	5	$E5_H$	12	EC_H	000_B	7	$E7_H$	16	$F0_H$

転送速度 (kbps)	PCLK 周波数（MHz）														
	16					20					25				
	CKS [2:0]	RIICnBRH		RIICnBRL		CKS [2:0]	RIICnBRH		RIICnBRL		CKS [2:0]	RIICnBRH		RIICnBRL	
		SCL クロックの High 幅 [IICϕ]	設定値 [書き込む値]	SCL クロックの Low 幅 [IICϕ]	設定値 [書き込む値]		SCL クロックの High 幅 [IICϕ]	設定値 [書き込む値]	SCL クロックの Low 幅 [IICϕ]	設定値 [書き込む値]		SCL クロックの High 幅 [IICϕ]	設定値 [書き込む値]	SCL クロックの Low 幅 [IICϕ]	設定値 [書き込む値]
10	101_B	22	$F6_H$	25	$F9_H$	110_B	13	ED_H	15	EF_H	110_B	16	$F0_H$	20	$F4_H$
50	011_B	16	$F0_H$	19	$F3_H$	011_B	21	$F5_H$	24	$F8_H$	100_B	12	EC_H	15	EF_H
100	010_B	15	EF_H	18	$F2_H$	010_B	19	$F3_H$	23	$F7_H$	010_B	24	$F8_H$	29	FD_H
400	000_B	9	$E9_H$	20	$F4_H$	000_B	11	EB_H	25	$F9_H$	001_B	7	$E7_H$	16	$F0_H$

転送速度 (kbps)	PCLK 周波数（MHz）									
	30					33				
	CKS [2:0]	RIICnBRH		RIICnBRL		CKS [2:0]	RIICnBRH		RIICnBRL	
		SCL クロックの High 幅 [IIC φ]	設定値 [書き込む値]	SCL クロックの Low 幅 [IIC φ]	設定値 [書き込む値]		SCL クロックの High 幅 [IIC φ]	設定値 [書き込む値]	SCL クロックの Low 幅 [IIC φ]	設定値 [書き込む値]
10	110_B	20	$F4_H$	24	$F8_H$	110_B	22	$F6_H$	26	FA_H
50	100_B	15	EF_H	18	$F2_H$	100_B	17	$F1_H$	20	$F4_H$
100	011_B	14	EE_H	17	$F1_H$	011_B	16	$F0_H$	19	$F3_H$
400	001_B	8	$E8_H$	19	$F3_H$	001_B	9	$E9_H$	21	$F5_H$

注　意

SCL ラインの立ち上がり時間（tr）を～100kbps 以下[Sm]は 1000ns、～400kbps[Fm]は 300ns、

SCL ラインの立ち下がり時間（tf）を～400kbps 以下[Sm / Fm]は 300ns として計算した場合の設定例です。

SCL ライン立ち上がり時間（tr）、SCL ライン立ち下がり時間（tf）の規格値については NXP 社の I²C バス規格書を参照してください。

23.3.15 RIICnDRT — I²C バス送信データレジスタ

アクセス　RIICnDRT レジスタは、32 ビット単位でリード／ライト可能です。
RIICnDRTL レジスタは、16 ビット単位でリード／ライト可能です。
RIICnDRTLL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RIICnDRT：<RIICn_base> + $003C_H$
RIICnDRTL：<RIICn_base> + $003C_H$
RIICnDRTLL：<RIICn_base> + $003C_H$

リセット後の値　$0000\ 00FF_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DRT[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

I²C バスシフトレジスタ（RIICnDRS）の空きを検出すると、RIICnDRT レジスタに書き込まれた送信データが RIICnDRS レジスタへ転送され、送信モード時にデータ送信を開始します。

RIICnDRT レジスタと RIICnDRS レジスタはダブルバッファ構造になっているため、RIICnDRS レジスタのデータ送信中に、次に送信するデータを RIICnDRT レジスタに書いておくと連続送信動作が可能です。

RIICnDRT レジスタは常に読み出し／書き込み可能です。RIICnDRT レジスタへの送信データの書き込みは、送信データエンプティ割り込み（INTRIICnTI）要求が発生したときに 1 回だけ行ってください。ビット 31～8 にライトする場合はリセット後の値を書いてください。

23.3.16　RIICnDRR － I²C バス受信データレジスタ

アクセス　RIICnDRR レジスタは、32 ビット単位でリードのみ可能です。
RIICnDRRL レジスタは、16 ビット単位でリードのみ可能です。
RIICnDRRLL レジスタは、8 ビット単位でリードのみ可能です。

アドレス　RIICnDRR：<RIICn_base> + 0040_H
RIICnDRRL：<RIICn_base> + 0040_H
RIICnDRRLL：<RIICn_base> + 0040_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DRR[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

1 バイトのデータの受信が終了すると、受信したデータは I²C バスシフトレジスタ（RIICnDRS）から RIICnDRR レジスタへ転送され、次のデータを受信可能にします。

RIICnDRS レジスタと RIICnDRR レジスタはダブルバッファ構造になっているため、RIICnDRS レジスタのデータ受信中に、すでに受信したデータを RIICnDRR レジスタから読んでおくと連続受信動作が可能です。

RIICnDRR レジスタに書き込みはできません。RIICnDRR レジスタの読み出しは、受信終了割り込み（INTRIICnRI）要求が発生したときに 1 回だけ行ってください。

受信データを RIICnDRR レジスタから読み出ししないまま（RIICnSR2.RDRF フラグが“1”の状態のまま）次の受信データを受け取ると、RIIC は RDRF フラグが次に“1”になるタイミングの 1 つ手前の SCL クロックで自動的に Low ホールドを行います。

23.3.17 RIICnDRS — I²C バスシフトレジスタ

アクセス　アクセスすることはできません。

アドレス　—

リセット後の値　0000 00FF$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DRS[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

RIICnDRS レジスタは、データを送信／受信するためのシフトレジスタです。

送信時は RIICnDRT レジスタから送信データが RIICnDRS レジスタに転送され、SDA 端子からデータが送信されます。受信時は 1 バイトのデータの受信が終了すると、データが RIICnDRS レジスタから RIICnDRR レジスタへ転送されます。

RIICnDRS レジスタは直接アクセスすることはできません。

23.4　割り込み要因

RIIC の割り込み要因には、通信エラー／イベント発生（アービトレーションロスト検出、NACK 検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出）、受信終了、送信データエンプティ、送信終了の 4 種類があります。

「**表 23.28　割り込み要因**」に割り込み一覧を示します。受信終了および送信データエンプティ割り込み要求により、DMA を起動してデータ転送を行うことができます。

表 23.28　割り込み要因

名称	割り込み要因	割り込みフラグ	DMA の起動	割り込み条件
INTRIICnTI	送信データエンプティ	TDRE	可能	TDRE＝1 かつ TIE＝1
INTRIICnTEI	送信終了	TEND	不可能	TEND＝1 かつ TEIE＝1
INTRIICnRI	受信終了	RDRF	可能	RDRF＝1 かつ RIE＝1
INTRIICnEE	通信エラー／イベント発生	AL	不可能	AL＝1 かつ ALIE＝1
		NACKF		NACKF＝1 かつ NAKIE＝1
		TMOF		TMOF＝1 かつ TMOIE＝1
		START		START＝1 かつ STIE＝1
		STOP		STOP＝1 かつ SPIE＝1

割り込み処理の中でそれぞれのフラグをクリアまたはマスクしてください。

注　意

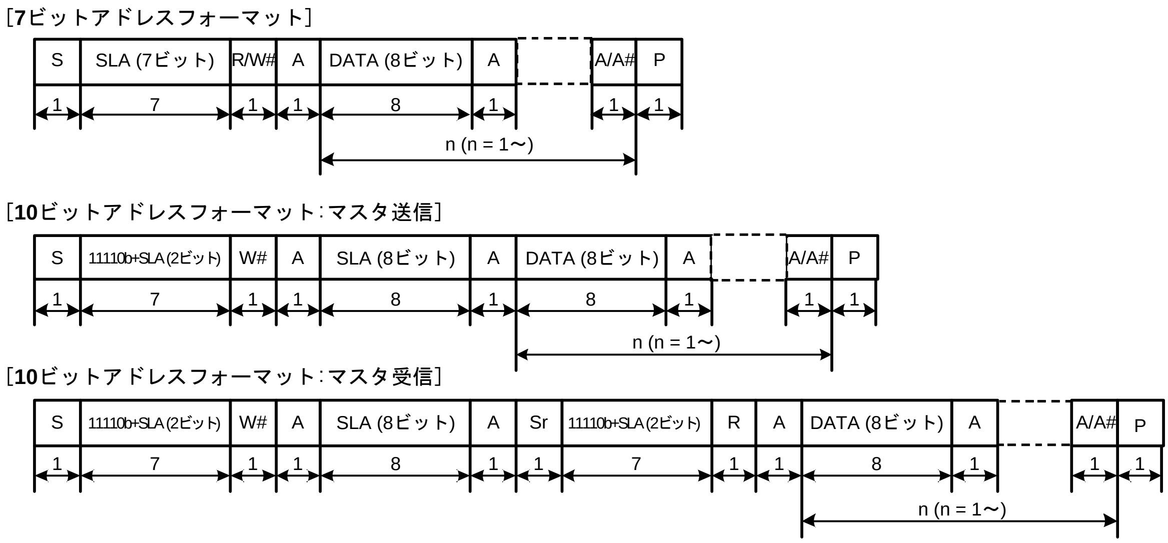
1. CPU から周辺モジュールへの書き込みと命令と、実際にモジュールに書き込まれるタイミングには、レイテンシがあります。割り込みフラグをクリアまたはマスクした場合は再度フラグを読み、クリアまたはマスクビット書き込みの完了を確認した後に割り込み処理から復帰させてください。モジュールへの書き込み完了を確認せずに割り込み処理から復帰させた場合、再度同一の割り込みが発生する可能性があります。
2. INTRIICnTI 割り込みはエッジ割り込みのためクリアの必要はありません。また INTRIICnTI 割り込みの条件となる RIICnSR2.TDRE フラグは、RIICnDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出（RIICnSR2.STOP フラグ＝1）で自動的に“0”になります。
3. INTRIICnRI 割り込みはエッジ割り込みのためクリアの必要はありません。また INTRIICnRI 割り込みの条件となる RIICnSR2.RDRF フラグは、RIICnDRR レジスタの読み出しで自動的に“0”になります。
4. INTRIICnTEI 割り込みを使用する場合、INTRIICnTEI 割り込み処理の中で RIICnSR2.TEND フラグをクリアしてください。なお RIICnSR2.TEND フラグは、RIICnDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出（RIICnSR2.STOP フラグ＝1）で自動的に“0”になります。
5. INTRIICnEE 割り込みを使用する場合でも、**「図 23.6　マスタ送信のフローチャート例」**、**「図 23.10　マスタ受信のフローチャート例（7 ビットアドレスフォーマット、2 バイト以下の場合）」**、**「図 23.11　マスタ受信のフローチャート例（7 ビットアドレスフォーマット、3 バイト以上の場合）」**、**「図 23.15　スレーブ送信のフローチャート例」**に示すように、ストップコンディションの検出後（RIICnSR2.STOP フラグ=1）に RIICnSR2.NACKF フラグをクリアしてください。STOP コンディションの検出前に、RIICnSR2.NACKF フラグをクリアした場合、SCL の自動 Low ホールド機能（**「23.10.1　送信データ誤送信防止機能」**）が有効になることがあります。

23.5 動作

23.5.1 通信データフォーマット

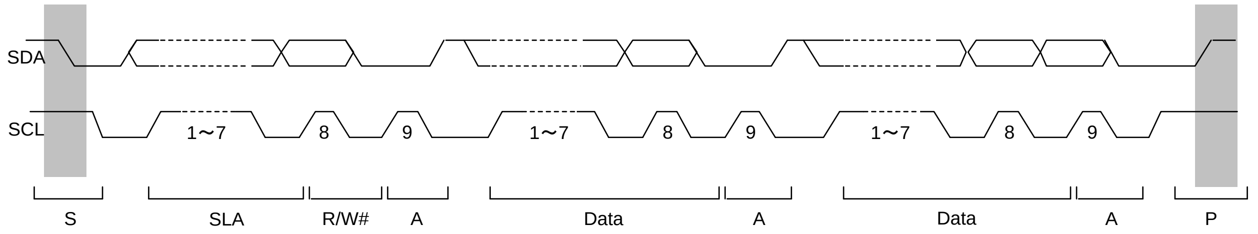
I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジで構成されています。スタートコンディションおよびリスタートコンディションに続くフレームは、アドレスフレームでマスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブは新たにスレーブが指定されるか、ストップコンディションが発行されるまで有効です。

「**図 23.3 I2C バスフォーマット**」に I²C バスフォーマットを、「**図 23.4 I2C バスタイミング（SLA＝7 ビットの場合）**」に I²C バスタイミングを示します。



備考　n：転送フレーム数

図 23.3　I²C バスフォーマット



備考　S：スタートコンディションを示します。SCL ラインが High の状態の時、マスタデバイスが SDA ラインを High から Low に変化させます。

SLA：スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。

R/W#：送信／受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。

A：アクノリッジを示します。受信デバイスが SDA ラインを Low にします（マスタ送信モード時：スレーブデバイスがアクノリッジを返します。マスタ受信モード時：マスタデバイスがアクノリッジを返します）。

A#：ノットアクノリッジを示します。受信デバイスから応答がない、または受信デバイスが存在せず、SDA ラインが High の状態のままです。

Sr：リスタートコンディションを示します。SCL ラインが High の状態の時、マスタデバイスがセットアップ時間経過後に SDA ラインを High から Low に変化させます。

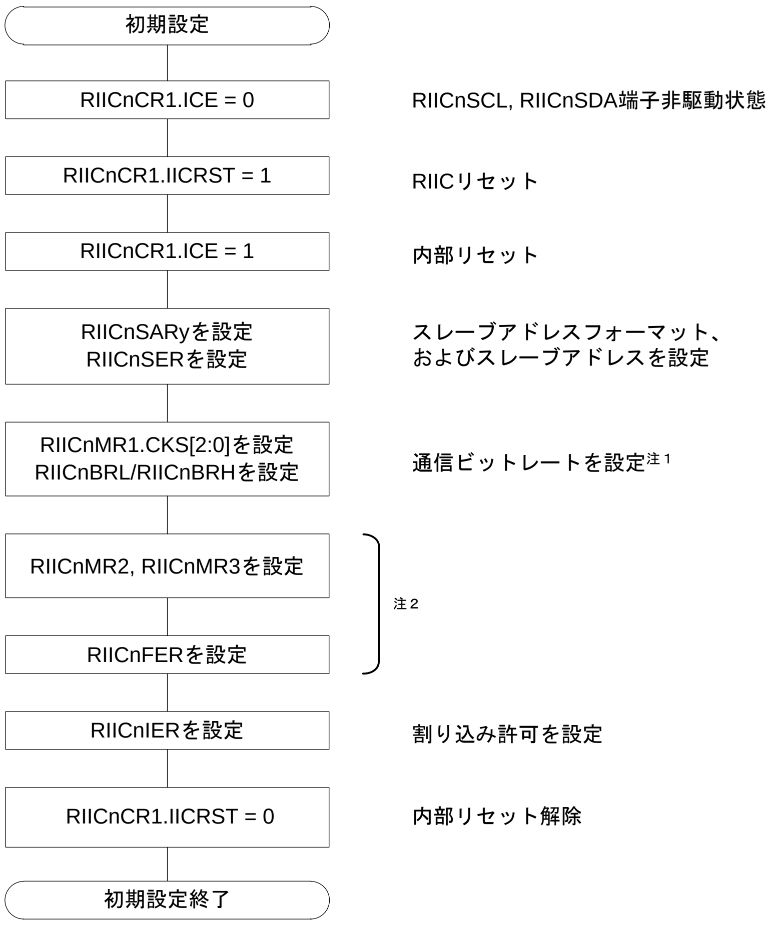
DATA：送受信データを示します。

P：ストップコンディションを示します。SCL ラインが High の状態の時、マスタデバイスがセットアップ時間経過後に SDA ラインを Low から High に変化させます。

図 23.4　I²C バスタイミング（SLA＝7 ビットの場合）

23.5.2　　初期設定

データの送信／受信を開始する場合、「**図 23.5 RIIC の初期化フローチャート例**」に示す手順に従って RIIC を初期化してください。本初期設定は RIIC 起動時に 1 度設定してください。



備考　y＝0〜2

注1.　スレーブのみで動作させる場合、RIICnBRL レジスタにデータセットアップ時間以上の値を設定してください。

注2.　必要に応じて設定してください。

図 23.5　　RIIC の初期化フローチャート例

23.5.3　マスタ送信動作

マスタ送信では、マスタデバイスである RIIC が SCL クロックと送信データを出力して、スレーブデバイスがアクノリッジを返します。「**図 23.6 マスタ送信のフローチャート例**」にマスタ送信の使用例を、「**図 23.7 マスタ送信の動作タイミング（1）（7 ビットアドレスフォーマットのとき）**」～「**図 23.9 マスタ送信の動作タイミング（3）**」にマスタ送信の動作タイミングを示します。

以下にマスタ送信の送信手順と動作を示します。

(1) RIICnCR1.ICE ビットを“0”（RIICnSCL、RIICnSDA 端子非駆動状態）にしたまま RIICnCR1.IICRST ビットを“1”（RIIC リセット）にした後、RIICnCR1.ICE ビットを“1”（内部リセット）にします。これにより RIICnSR1 レジスタの各フラグや内部状態の初期化を行います。その後、RIICnSARy、RIICnSER、RIICnMR1、RIICnBRH、RIICnBRL レジスタ（y＝0～2）を設定し、その他のレジスタは必要に応じて設定してください（RIIC の初期設定については「**図 23.5 RIIC の初期化フローチャート例**」参照）。必要なレジスタの設定が終了したら、RIICnCR1.IICRST ビットを“0”（リセット解除）にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。

(2) RIICnCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、RIICnCR2.ST ビットに“1”を書きます（スタートコンディション発行要求）。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、RIICnSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき ST ビットが“1”の状態で自分が出した SDA 信号と SDA ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、RIICnCR2.MST, TRS ビットを自動的に“1”にしてマスタ送信モードになります。また RIICnSR2.TDRE は、MST ビット＝1 かつ TRS ビット＝1 により自動的に“1”になります。

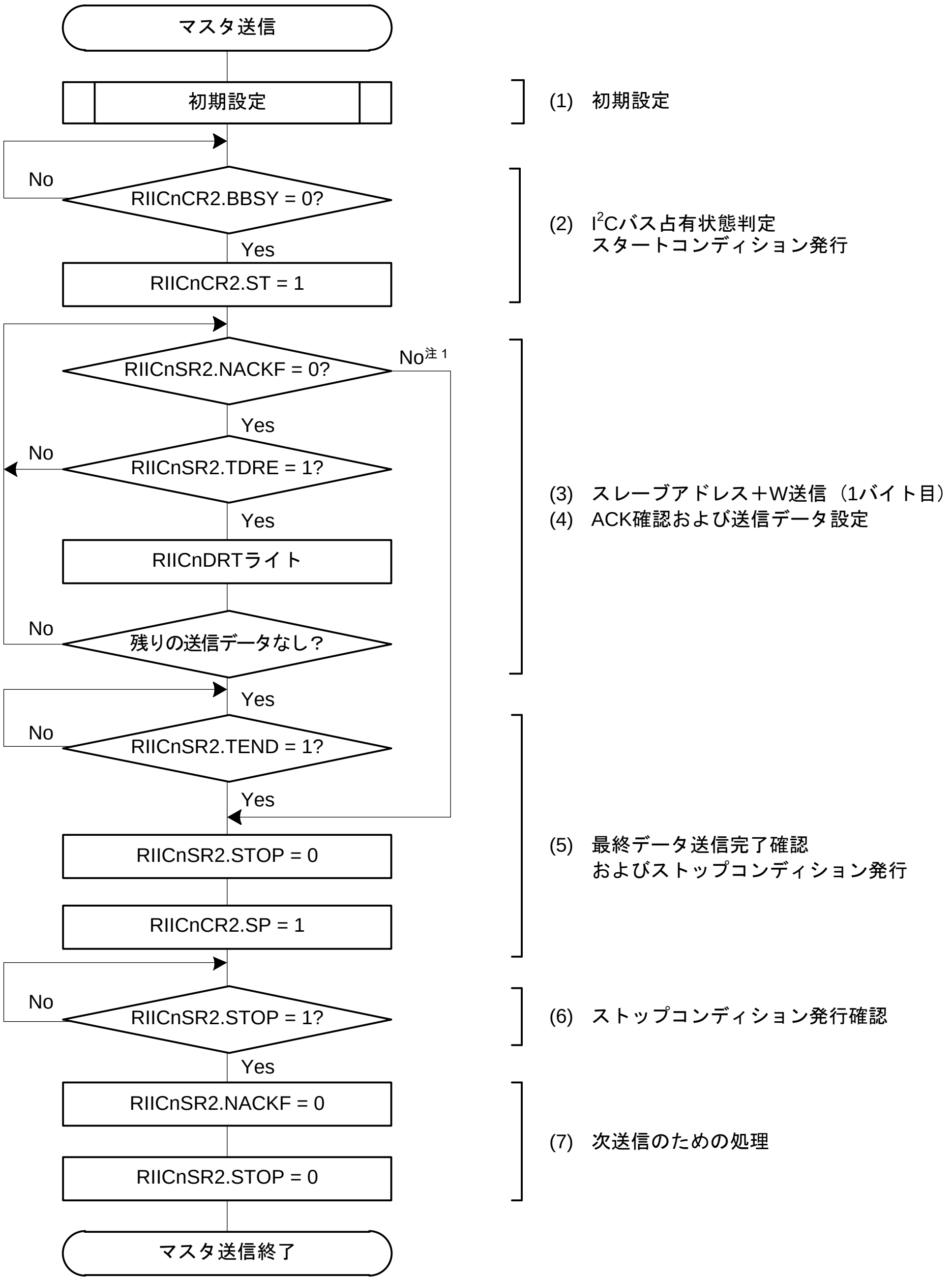
(3) RIICnSR2.TDRE フラグが“1”であることを確認した後、RIICnDRT レジスタに送信データ（スレーブアドレスと R/W#ビット）を書いてください。RIICnDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、RIICnDRT レジスタから RIICnDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W#ビットを含むスレーブアドレスの送信が完了すると、送信された R/W#ビットにより自動的に TRS ビットが変更され送信モード／受信モードが選択されます。RIIC は R/W#ビット＝0 を受信すると、引き続きマスタ送信モードの状態を継続します。
このとき RIICnSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は RIICnCR2.SP ビットに“1”を書くことで行われます。
なお 10 ビットアドレスフォーマットで送信する場合は、まず 1 回目のアドレス送信処理で RIICnDRT レジスタに 1111 0_B＋スレーブアドレスの上位 2 ビット＋W#を書き、2 回目のアドレス送信処理で RIICnDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。

(4) RIICnSR2.TDRE フラグが“1”であることを確認した後、送信データを RIICnDRT レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションを発行するまでの間 RIIC は自動的に SCL ラインを Low にホールドします。

(5) 送信する全バイトを RIICnDRT レジスタに書いた後、RIICnSR2.TEND フラグが“1”になるまで待ってから RIICnCR2.SP ビットに“1”を書いてください（ストップコンディション発行要求）。RIIC はストップコンディション発行要求を受け付けると、ストップコンディションを発行します。

(6) RIIC はストップコンディションを検出すると、RIICnCR2.MST, TRS ビットが自動的に“00_B”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により RIICnSR2.TDRE, TEND フラグも自動的に“0”になり、RIICnSR2.STOP フラグが“1”になります。

(7) RIICnSR2.STOP フラグが“1”であることを確認した後、次通信のために RIICnSR2.NACKF, STOP フラグを“0”にしてください。



注1.　RIICnSR2.NACKF フラグのクリアは、(7)次送信のための処理で実施してください。

図 23.6　　マスタ送信のフローチャート例

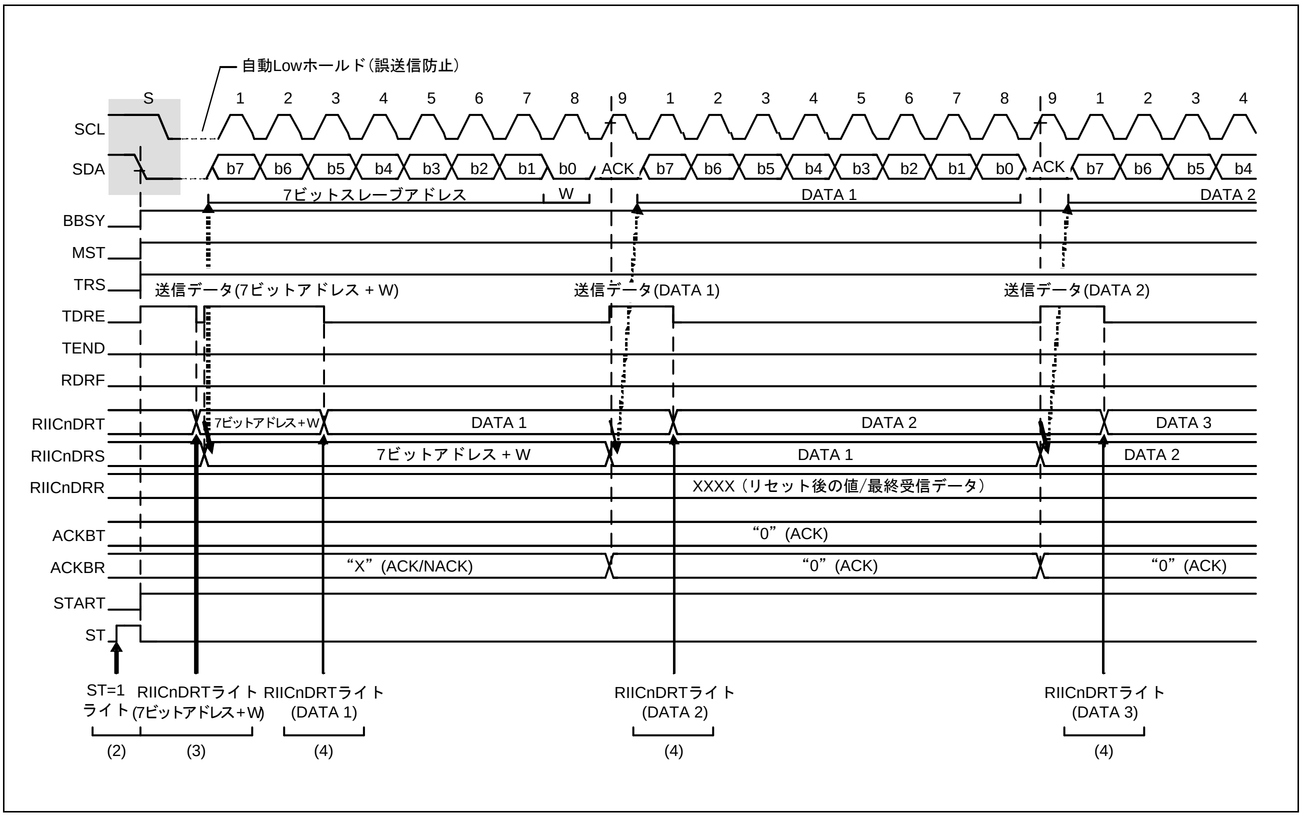


図 23.7　　マスタ送信の動作タイミング（1）（7 ビットアドレスフォーマットのとき）

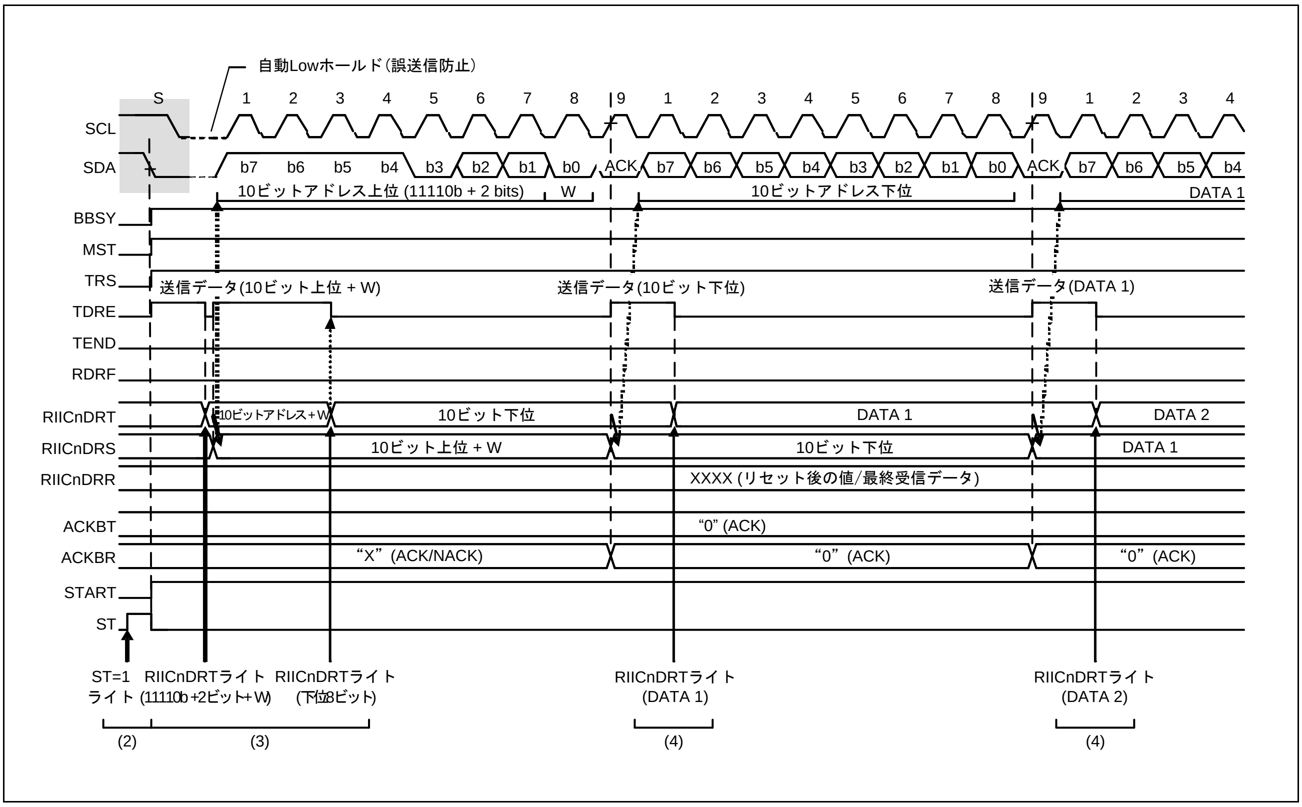


図 23.8　　マスタ送信の動作タイミング（2）（10 ビットアドレスフォーマットのとき）

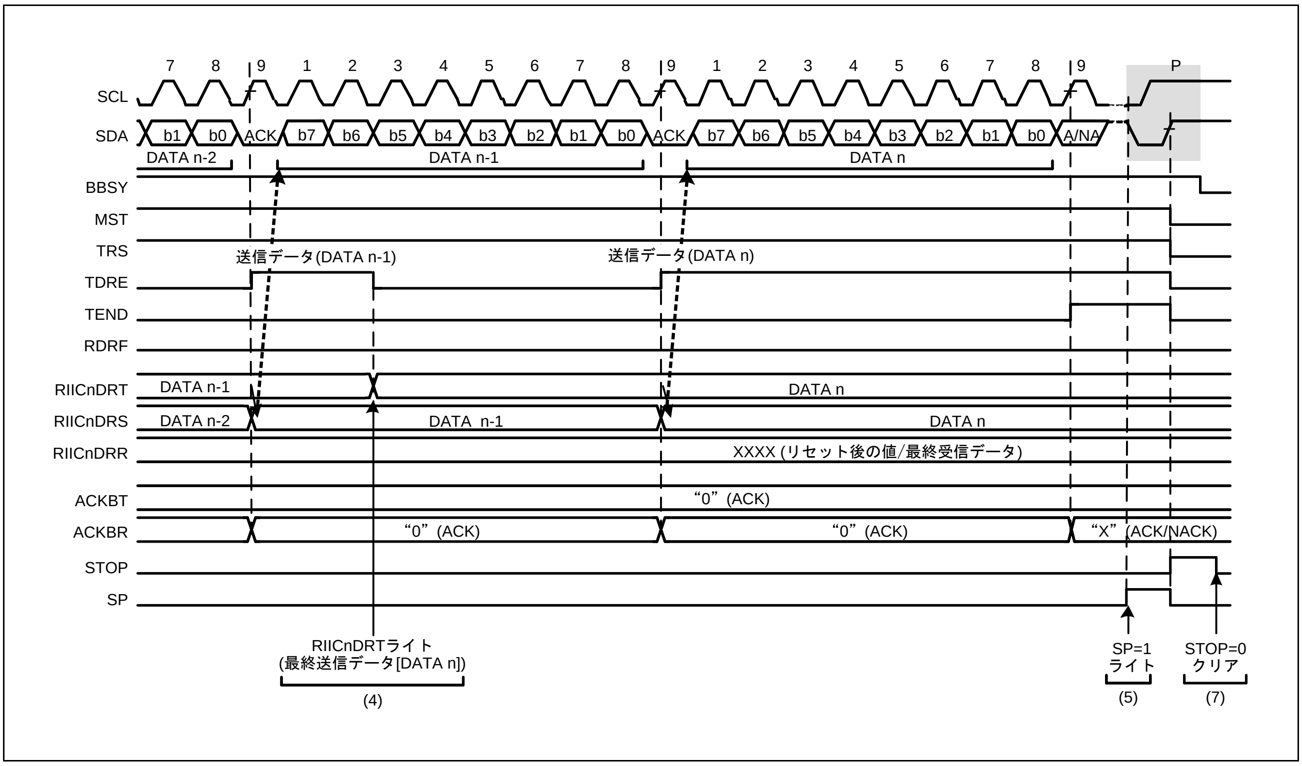


図 23.9　　マスタ送信の動作タイミング（3）

23.5.4　マスタ受信動作

マスタ受信では、マスタデバイスである RIIC が SCL クロックを出力し、スレーブデバイスからデータを受信して、アクノリッジを返します。最初にスレーブデバイスにスレーブアドレスを送信する必要があるため、まずマスタ送信モードでスレーブアドレスを送信し、その後マスタ受信モードでデータを受信します。

「**図 23.10 マスタ受信のフローチャート例（7 ビットアドレスフォーマット、2 バイト以下の場合）**」にマスタ受信のフローチャート例（7 ビットアドレスフォーマット、2 バイト以下の場合）、「**図 23.11 マスタ受信のフローチャート例（7 ビットアドレスフォーマット、3 バイト以上の場合）**」にマスタ受信のフローチャート例（7 ビットアドレスフォーマット、3 バイト以上の場合）を、「**図 23.12 マスタ受信の動作タイミング（1）（7 ビットアドレスフォーマット、RDRFS＝0 のとき）**」～「**図 23.14 マスタ受信の動作タイミング（3）（RDRFS＝0 のとき）**」にマスタ受信の動作タイミングを示します。

以下にマスタ受信の受信手順と動作を示します。

(1) RIICnCR1.ICE ビットを“0”（RIICnSCL、RIICnSDA 端子非駆動状態）にしたまま RIICnCR1.IICRST ビットを“1”（RIIC リセット）にした後、RIICnCR1.ICE ビットを“1”（内部リセット）にします。これにより RIICnSR1 レジスタの各フラグや内部状態の初期化を行います。その後、RIICnSARy、RIICnSER、RIICnMR1、RIICnBRH、RIICnBRL レジスタ（y＝0～2）を設定し、その他のレジスタは必要に応じて設定してください（RIIC の初期設定については「**図 23.5 RIIC の初期化フローチャート例**」参照）。必要なレジスタの設定が終了したら、RIICnCR1.IICRST ビットを“0”（リセット解除）にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。

(2) RIICnCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、RIICnCR2.ST ビットに“1”を書きます（スタートコンディション発行要求）。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、RIICnSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき ST ビットが“1”の状態で自分が出した SDA 信号と SDA ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、RIICnCR2.MST, TRS ビットを自動的に“1”にしてマスタ送信モードになります。また RIICnSR2.TDRE フラグは、TRS ビット＝1 により自動的に“1”になります。

(3) RIICnSR2.TDRE フラグが“1”であることを確認した後、RIICnDRT レジスタに送信データ（スレーブアドレスと R/W#ビット）を書いてください。RIICnDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、RIICnDRT レジスタから RIICnDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W#ビットを含むスレーブアドレスの送信が完了すると、送信された R/W#ビットにより自動的に RIICnCR2.TRS ビットが変更され送信モード／受信モードが選択されます。RIIC は R/W#ビット＝1 を受信すると、9 クロック目の立ち上がりで TRS ビットを“0”にしてマスタ受信モードに移行します。このとき TDRE フラグは“0”に、RIICnSR2.RDRF フラグは自動的に“1”になります。
このとき RIICnSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は RIICnCR2.SP ビットに“1”を書くことで行えます。
なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信でスレーブアドレス上位 2 ビットを送信、次にスレーブアドレス下位 8 ビットを送信した後、スレーブアドレス下位 8 ビットの送信終了割り込み発生後（または、TEND＝1 となった後）に、リスタートコンディションを発行します（動作タイミングについては「**図 23.13 マスタ受信の動作タイミング（2）（10 ビットアドレスフォーマット、RDRFS＝0 のとき）**」を参照）。その後、1111 0_B＋スレーブアドレスの上位 2 ビット＋R を送信することで、マスタ受信モードに移行します。

(4) RIICnSR2.RDRF フラグが“1”であることを確認した後、ダミーで RIICnDRR レジスタを読むと、RIIC は SCL クロックを出力して受信動作を開始します。

(5) 1 バイトのデータ受信が終了し、RIICnMR3.RDRFS ビットで設定した SCL クロックの 8 クロック目、あるいは 9 クロック目の立ち上がりで、RIICnSR2.RDRF フラグが“1”になります。このとき RIICnDRR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に“0”になります。また SCL クロックの 9 クロック目のアクノリッジビットには、RIICnMR3.ACKBT ビットに設定された値が返信されます。また、次の受信バイトが最終バイト－1 の場合、RIICnDRR レジスタ（最終バイト－2 バイト目）を読む前に RIICnMR3.WAIT ビットを“1”（WAIT あり）にしてください。これにより、続く（6）の RIICnMR3.ACKBT ビットを“1”（NACK）にする処理が他割り込みなどにより遅れた場合でも最終バイトで NACK 出力を可能にするとともに、最終バイトの受信時に 9 クロック目の立ち下がりで SCL ラインを Low に固定して、ストップコンディション発行可能状態にすることができます。

(6) RIICnMR3.RDRFS ビットが“0”でスレーブデバイスに次のデータ受信で通信終了であることを通知する必要がある場合には、RIICnMR3.ACKBT ビットを“1”（NACK）にしてください。

(7) RIICnDRR レジスタ（最終バイト－1 バイト目）読み出し後、RIICnSR2.RDRF フラグが“1”であることを確認してから、RIICnCR2.SP ビットに“1”を書いて（ストップコンディション発行要求）、RIICnDRR レジスタ（最終バイト）を読んでください。RIIC は RIICnDRR レジスタの読み出しにより、WAIT 状態が解除され、9 クロック目の Low 出力終了または SCL ラインの Low ホールド解除後にストップコンディションを発行します。

(8) RIIC はストップコンディションを検出すると、RIICnCR2.MST, TRS ビットは自動的に“00_B”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により RIICnSR2.STOP フラグが“1”になります。

(9) RIICnSR2.STOP フラグが“1”であることを確認した後、次通信のために RIICnSR2.NACKF, STOP フラグを“0”にしてください。

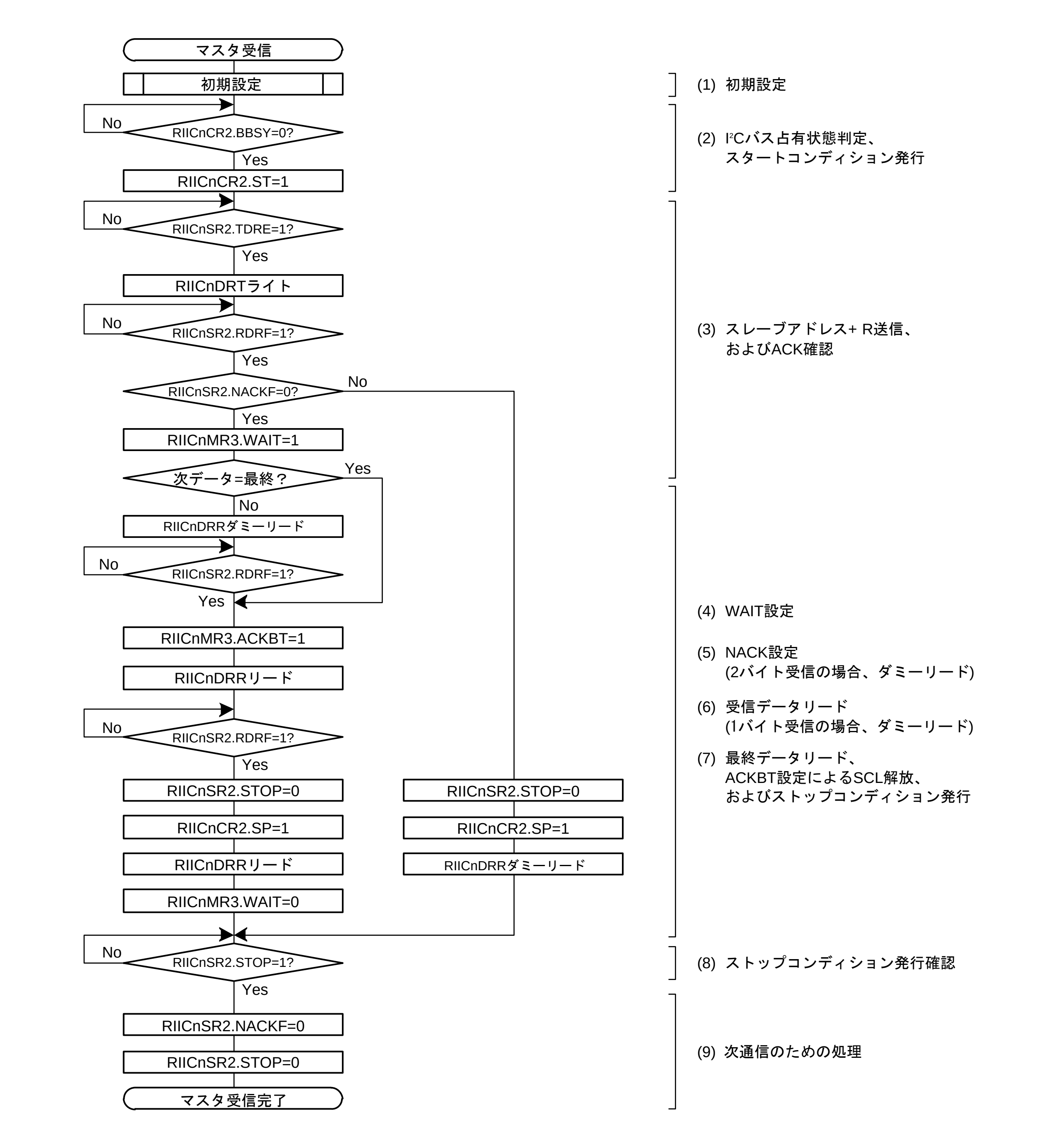


図 23.10　マスタ受信のフローチャート例（7 ビットアドレスフォーマット、2 バイト以下の場合）

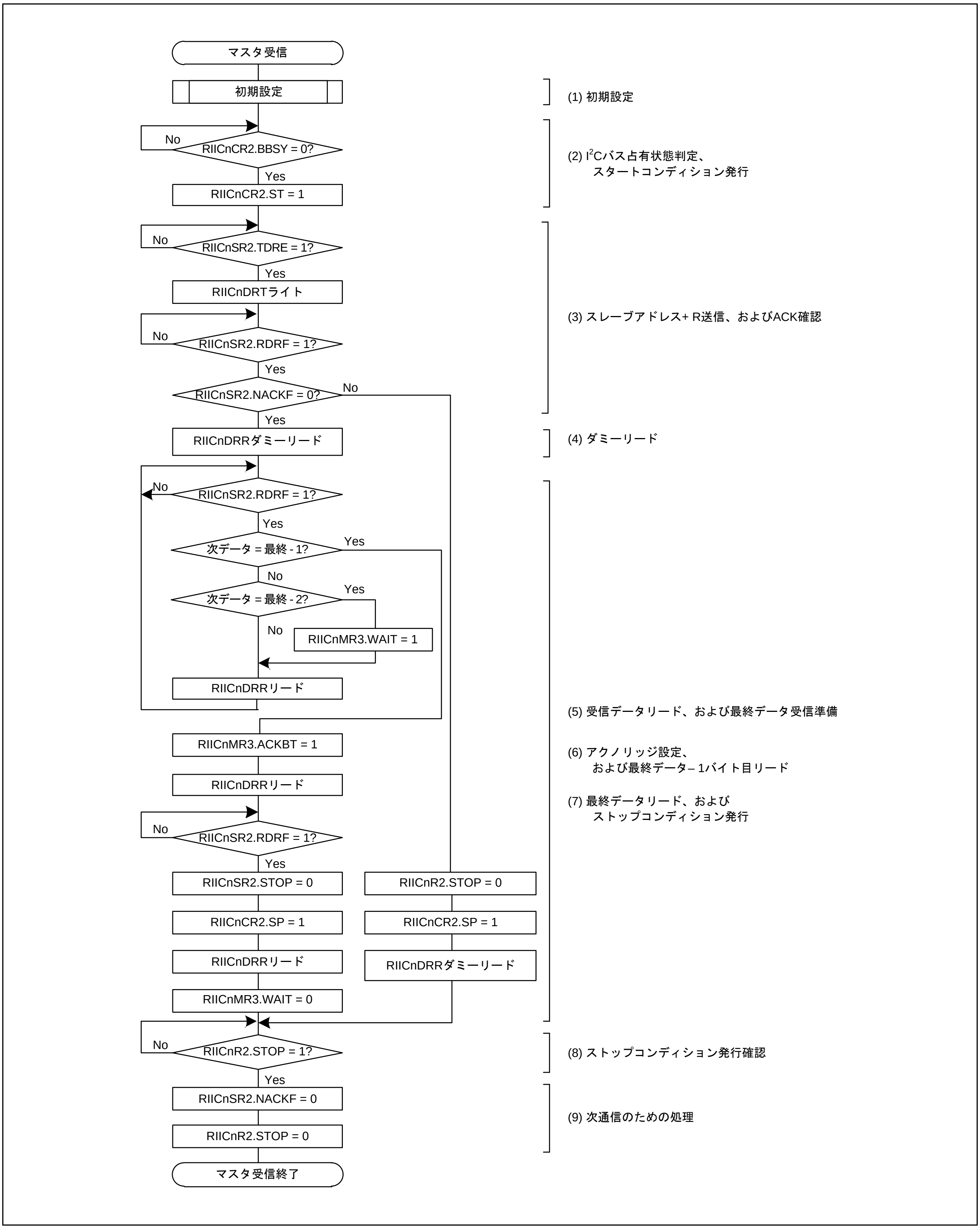


図 23.11 マスタ受信のフローチャート例（7 ビットアドレスフォーマット、3 バイト以上の場合）

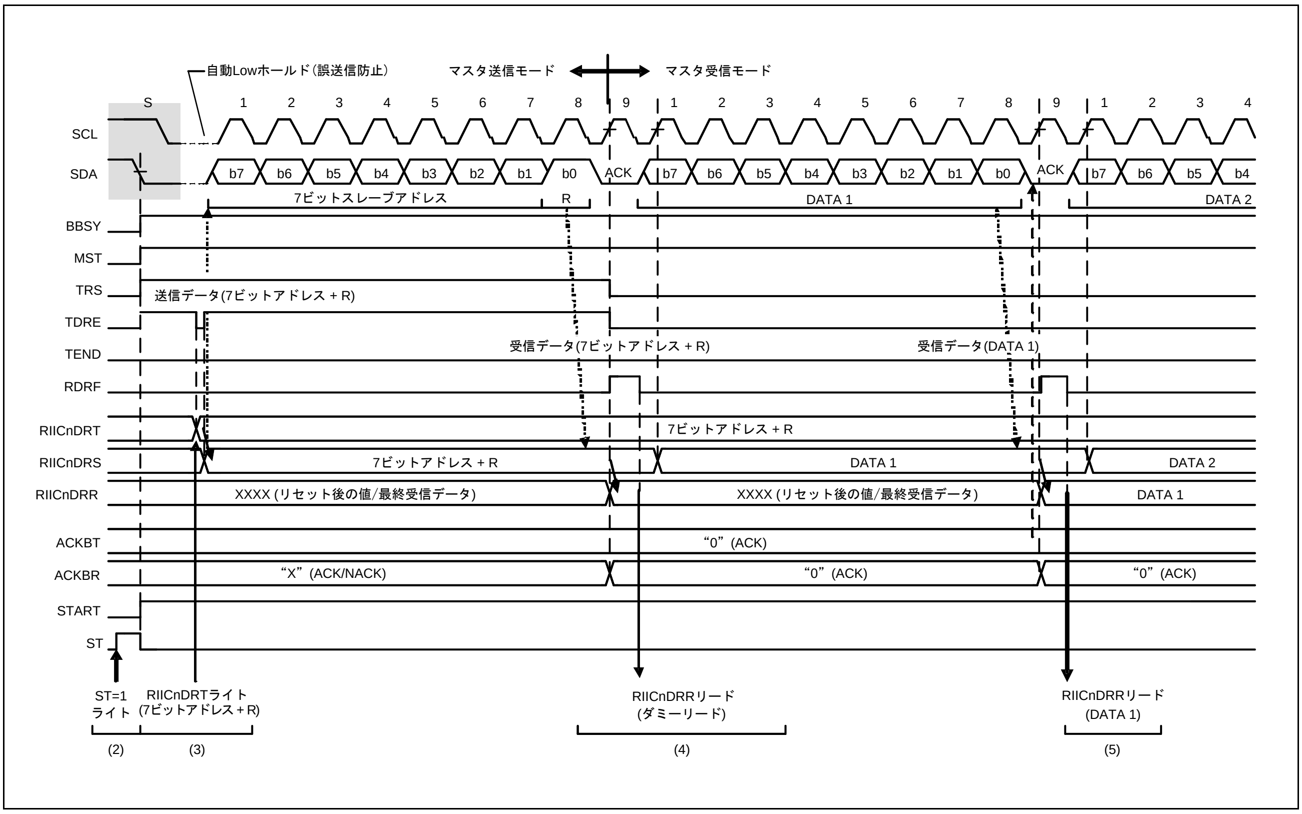


図 23.12　マスタ受信の動作タイミング（1）（7 ビットアドレスフォーマット、RDRFS＝0 のとき）

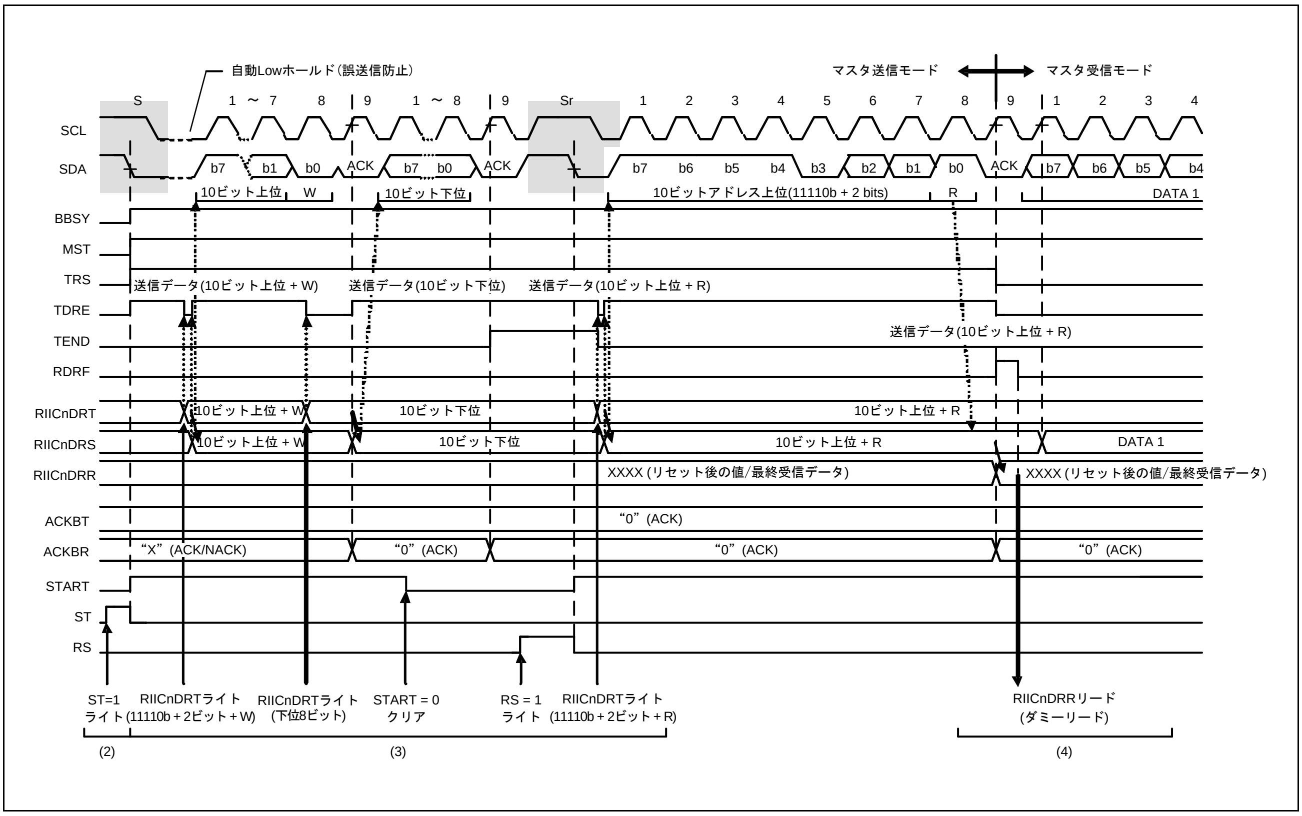


図 23.13　マスタ受信の動作タイミング（2）（10 ビットアドレスフォーマット、RDRFS＝0 のとき）

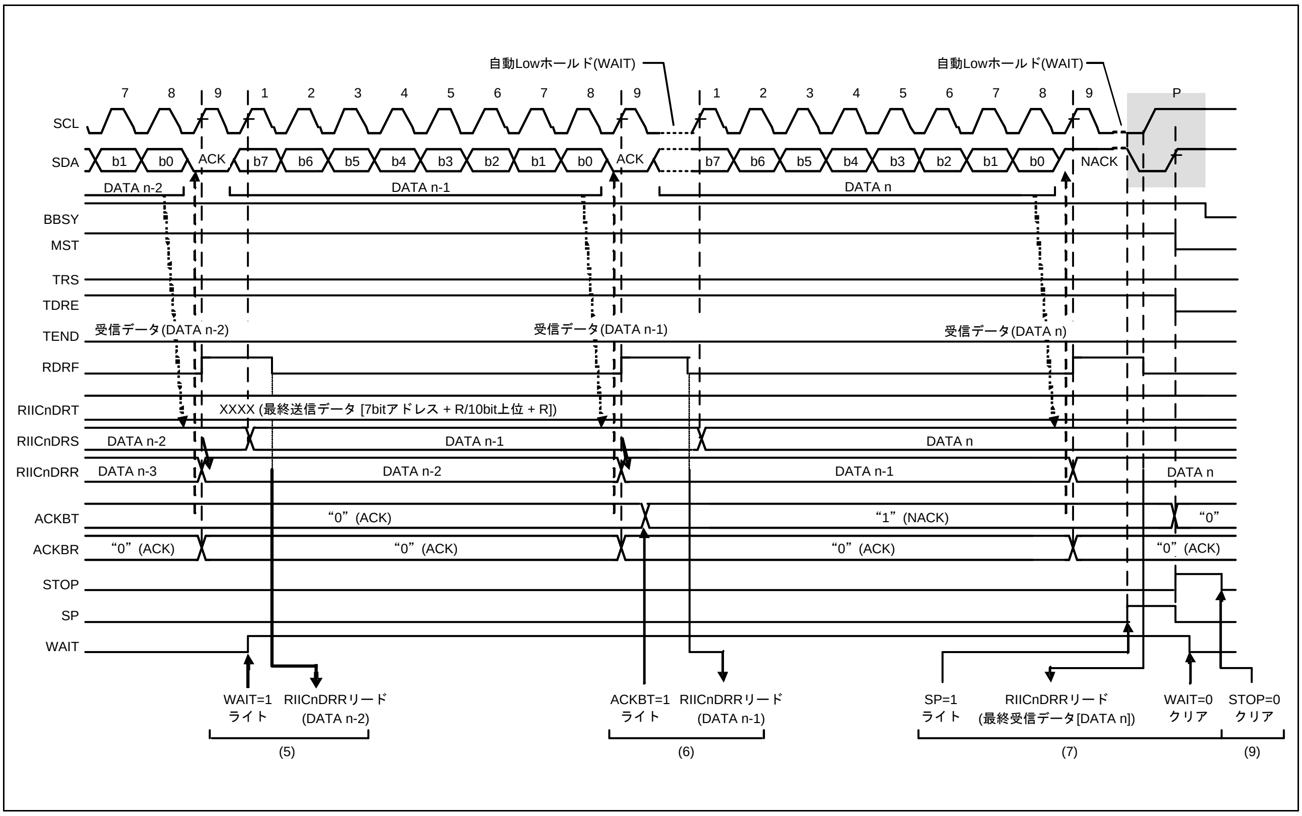


図 23.14　マスタ受信の動作タイミング（3）（RDRFS＝0 のとき）

23.5.5 スレーブ送信動作

スレーブ送信では、マスタデバイスが SCL クロックを出力し、スレーブデバイスである RIIC がデータを送信し、マスタデバイスがアクノリッジを返します。

「**図 23.15 スレーブ送信のフローチャート例**」にスレーブ送信の使用例を示します。「**図 23.16 スレーブ送信の動作タイミング（1）（7 ビットアドレスフォーマットのとき）**」、「**図 23.17 スレーブ送信の動作タイミング（2）**」にスレーブ送信のタイミングを示します。

以下にスレーブ送信の送信手順と動作を示します。

(1) 「**図 23.5 RIIC の初期化フローチャート例**」に示す手順で RIIC を初期設定してください。すでに RIIC の初期化が完了している場合、この手順は不要です。初期設定完了後、RIIC はスタートコンディションを検出する BBSY フラグ、RIICnSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。

(2) RIIC はスレーブアドレスが一致した場合、SCL クロックの 9 クロック目の立ち上がりで該当する RIICnSR1.GCA, AASy ビット（y＝0～2）のいずれかを“1”にし、SCL クロックの 9 クロック目のアクノリッジビットに RIICnMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W#ビットが“1”のとき、RIICnCR2.TRS ビットおよび RIICnSR2.TDRE フラグを“1”にし、自動的にスレーブ送信モードに切り替わります。

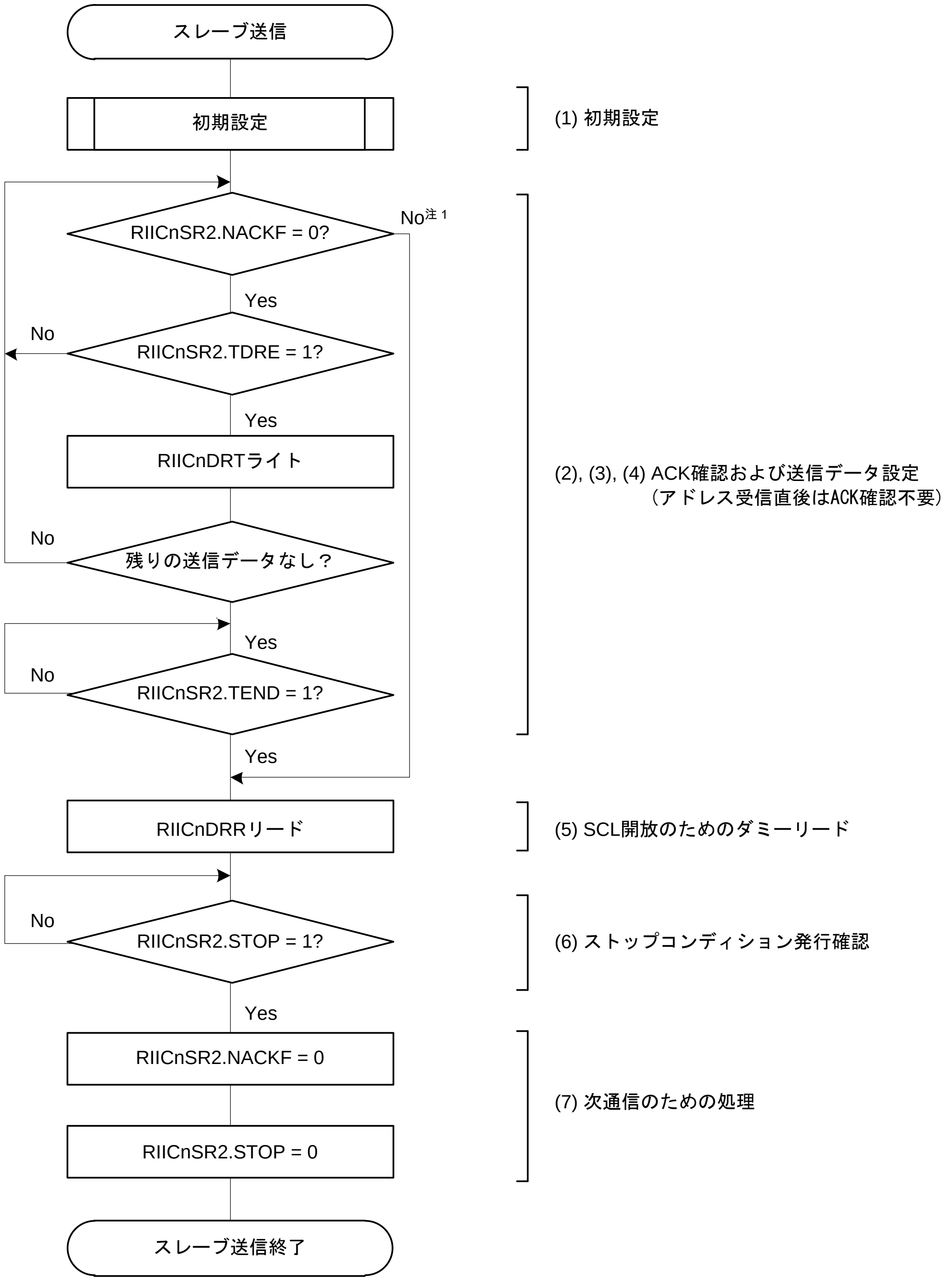
(3) RIICnSR2.TDRE フラグが“1”であることを確認した後、RIICnDRT レジスタに送信データを書いてください。このとき、RIICnFER.NACKE ビットが“1”の状態でマスタデバイスからアクノリッジがなかった（NACK を受信した）場合、RIIC は次の通信動作を中断します。

(4) RIICnSR2.NACKF フラグが“1”になるか、または最終送信データを RIICnDRT レジスタに書いた後、RIICnSR2.TDRE フラグが“1”の状態で、RIICnSR2.TEND フラグが“1”になるまで待ってください。RIICnSR2.NACKF フラグが“1”または TEND フラグが“1”の場合、RIIC は 9 クロック目の立ち下がり以降 SCL ラインを Low にホールドします。

(5) RIICnSR2.NACKF フラグが“1”または RIICnSR2.TEND フラグが“1”の場合、終了処理のため RIICnDRR レジスタをダミーで読んでください。これにより SCL ラインを開放します。

(6) RIIC はストップコンディションを検出すると、RIICnSR1.GCA, AASy ビット（y＝0～2）、RIICnSR2.TDRE、TEND フラグ、RIICnCR2.TRS ビットを自動的に“0”にし、スレーブ受信モードに移行します。また、ストップコンディション検出により、RIICnSR2.STOP フラグが“1”になります。

(7) RIICnSR2.STOP フラグが“1”であることを確認した後、次通信のために RIICnSR2.NACKF、STOP フラグを“0”にしてください。



注1.　RIICnSR2.NACKF フラグのクリアは、(7)次送信のための処理で実施してください。

図 23.15　スレーブ送信のフローチャート例

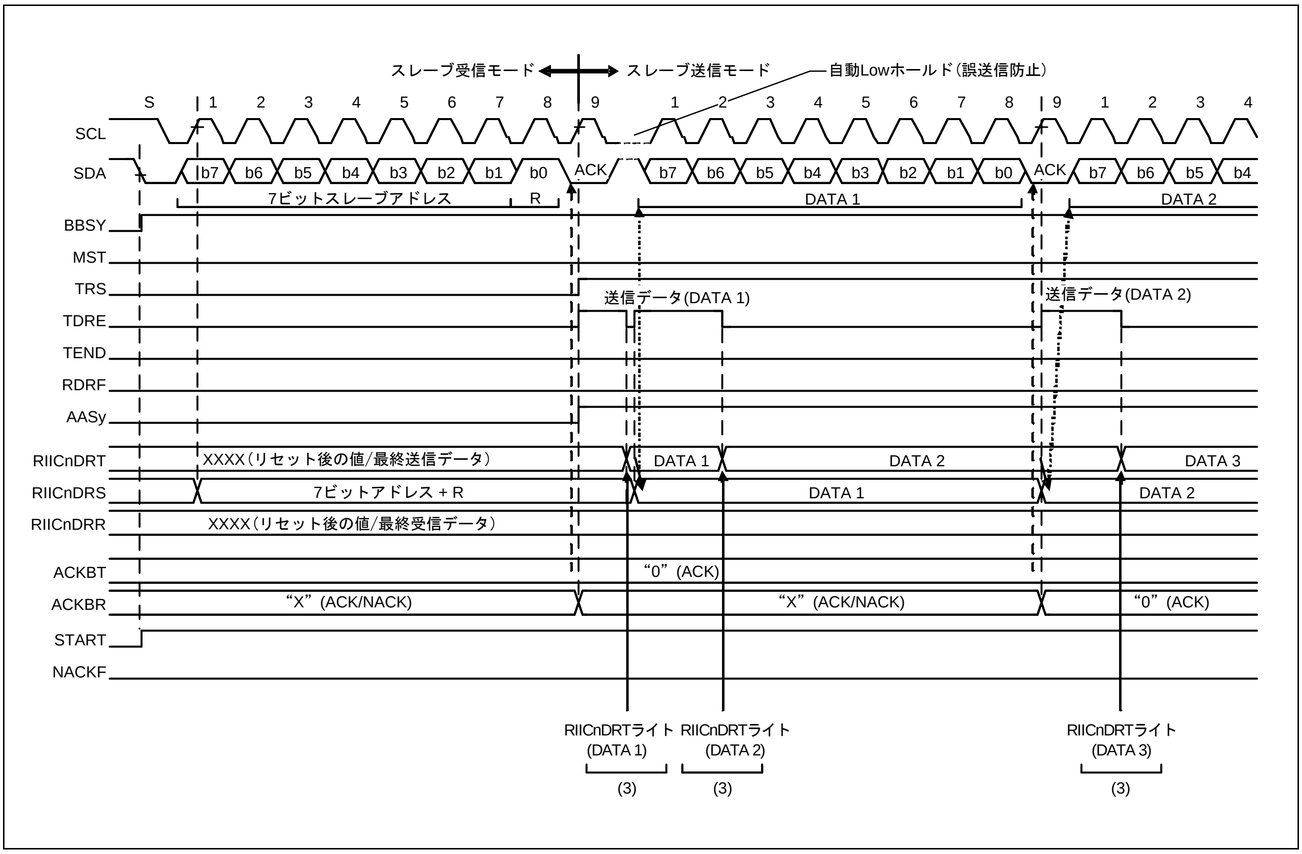


図 23.16　スレーブ送信の動作タイミング（1）（7 ビットアドレスフォーマットのとき）

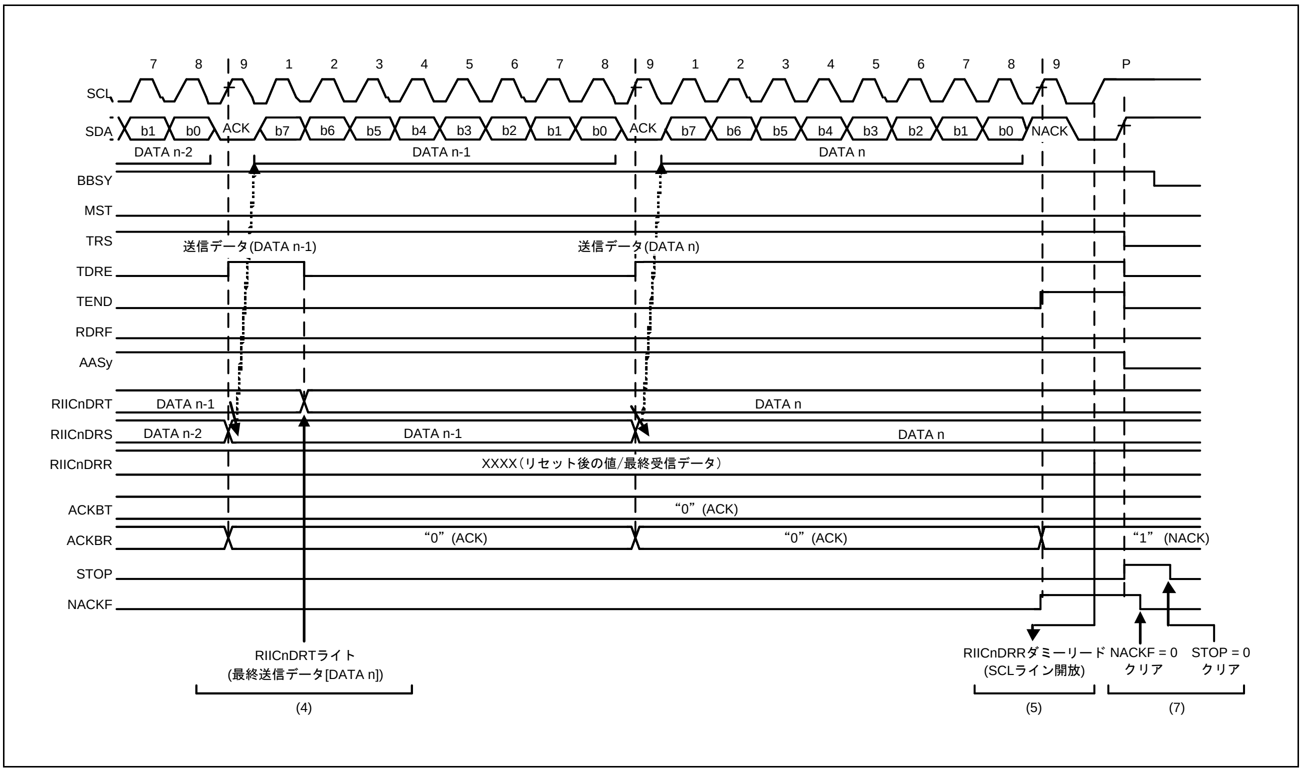


図 23.17　スレーブ送信の動作タイミング（2）

23.5.6 スレーブ受信動作

スレーブ受信では、マスタデバイスが SCL クロックと送信データを出力し、スレーブデバイスである RIIC がアクノリッジを返します。

「**図 23.18 スレーブ受信のフローチャート例**」にスレーブ受信の使用例を、「**図 23.19 スレーブ受信の動作タイミング（1）（7 ビットアドレスフォーマット、RDRFS＝0 のとき）**」、「**図 23.20 スレーブ受信の動作タイミング（2）（RDRFS＝0 のとき）**」にスレーブ受信の動作タイミングを示します。

以下にスレーブ受信の受信手順と動作を示します。

(1) 「**図 23.5 RIIC の初期化フローチャート例**」に示す手順で RIIC を初期設定してください。すでに RIIC の初期化が完了している場合、この手順は不要です。初期設定完了後、RIIC はスタートコンディションを検出する BBSY フラグ、RIICnSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。

(2) RIIC はスレーブアドレスが一致した場合、RIIC は SCL クロックの 9 クロック目の立ち上がりで該当する RIICnSR1.GCA, AASy ビット（y＝0～2）のいずれかを“1”にし、SCL クロックの 9 クロック目のアクノリッジビットに RIICnMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが“0”なら、スレーブ受信モードの状態を継続し、RIICnSR2.RDRF フラグを“1”にします。

(3) RIICnSR2.STOP フラグが“0”で、かつ RIICnSR2.RDRF フラグが“1”であることを確認したら、最初の 1 回目は RIICnDRR レジスタをダミーで読んでください（なお、ダミーで読んだ受信データは 7 ビットアドレスフォーマット時にスレーブアドレス＋R/W#ビット、10 ビットアドレスフォーマット時は下位 8 ビットアドレスになります）。

(4) RIICnDRR レジスタを読むと RIIC は RIICnSR2.RDRF フラグを自動的に“0”にします。なお、RIICnDRR レジスタの読み出しが遅れて、RDRF フラグが“1”になった状態で次のデータを受信すると、RIIC は RDRF フラグが“1”になるタイミングの 1 つ手前の SCL クロック立ち下がりで SCL ラインを Low にホールドします。この Low ホールドは RIICnDRR レジスタを読むことで解除され RIIC は SCL ラインを開放します。
RIICnSR2.STOP フラグが“1”で、かつ RIICnSR2.RDRF フラグが“1”の場合、または全データ受信が完了するタイミングで RIICnDRR レジスタを読んでください。

(5) RIIC はストップコンディションを検出すると、RIICnSR1.GCA, AASy ビット（y＝0～2）を自動的に“0”にします。また、ストップコンディション検出により、RIICnSR2.STOP フラグが“1”になります。

(6) RIICnSR2.STOP フラグが“1”であることを確認した後、次通信のために RIICnSR2.STOP フラグを“0”にしてください。

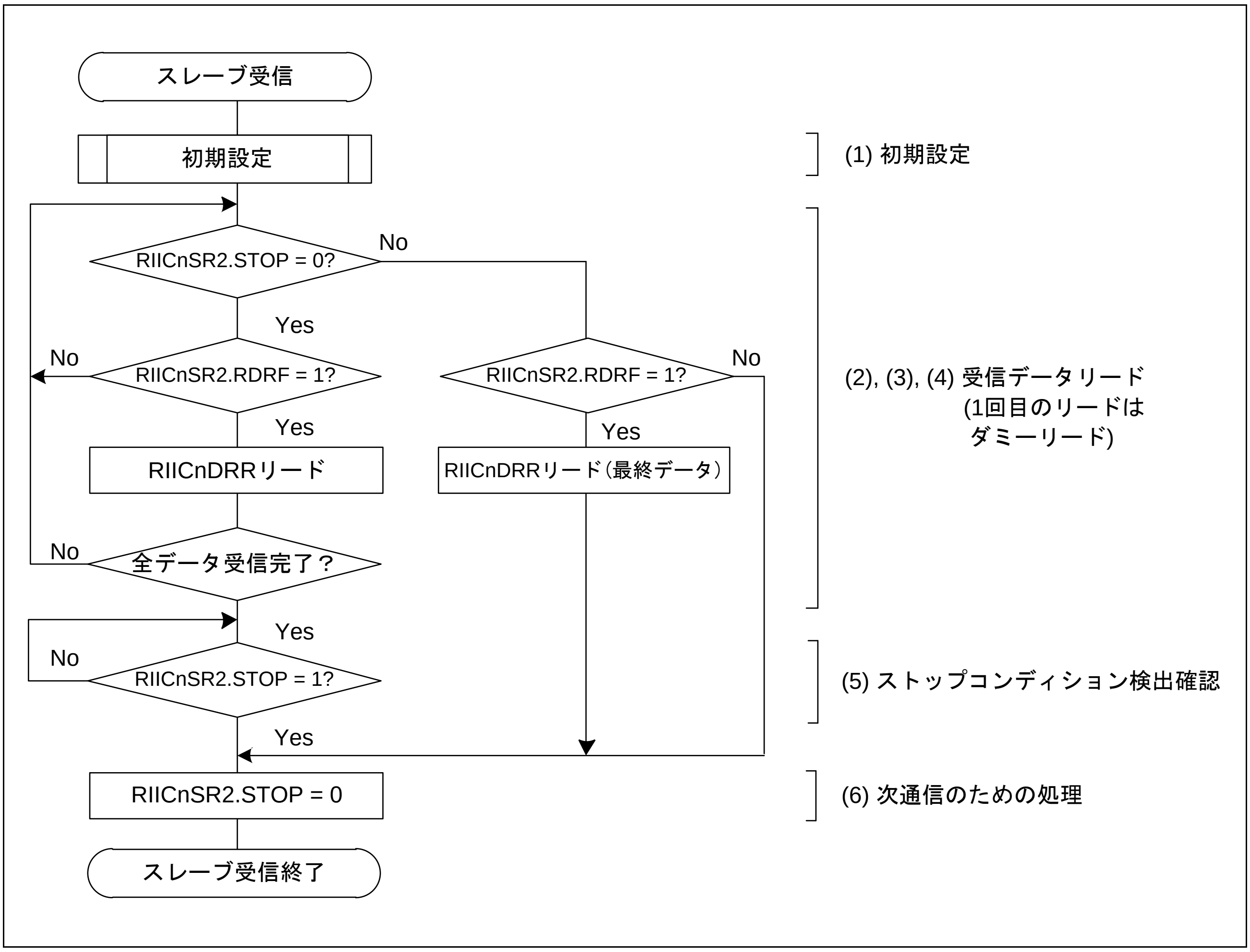


図 23.18　スレーブ受信のフローチャート例

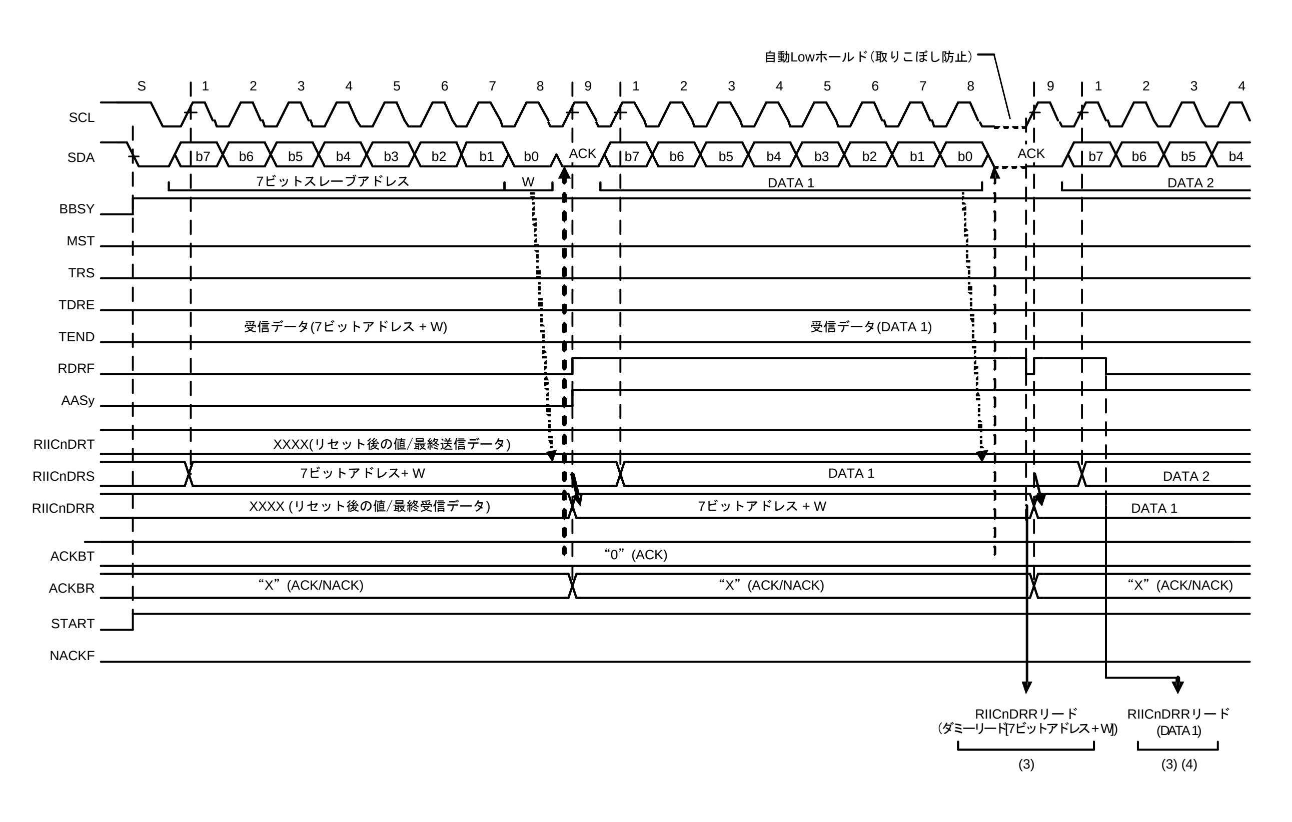


図 23.19　スレーブ受信の動作タイミング（1）（7 ビットアドレスフォーマット、RDRFS＝0 のとき）

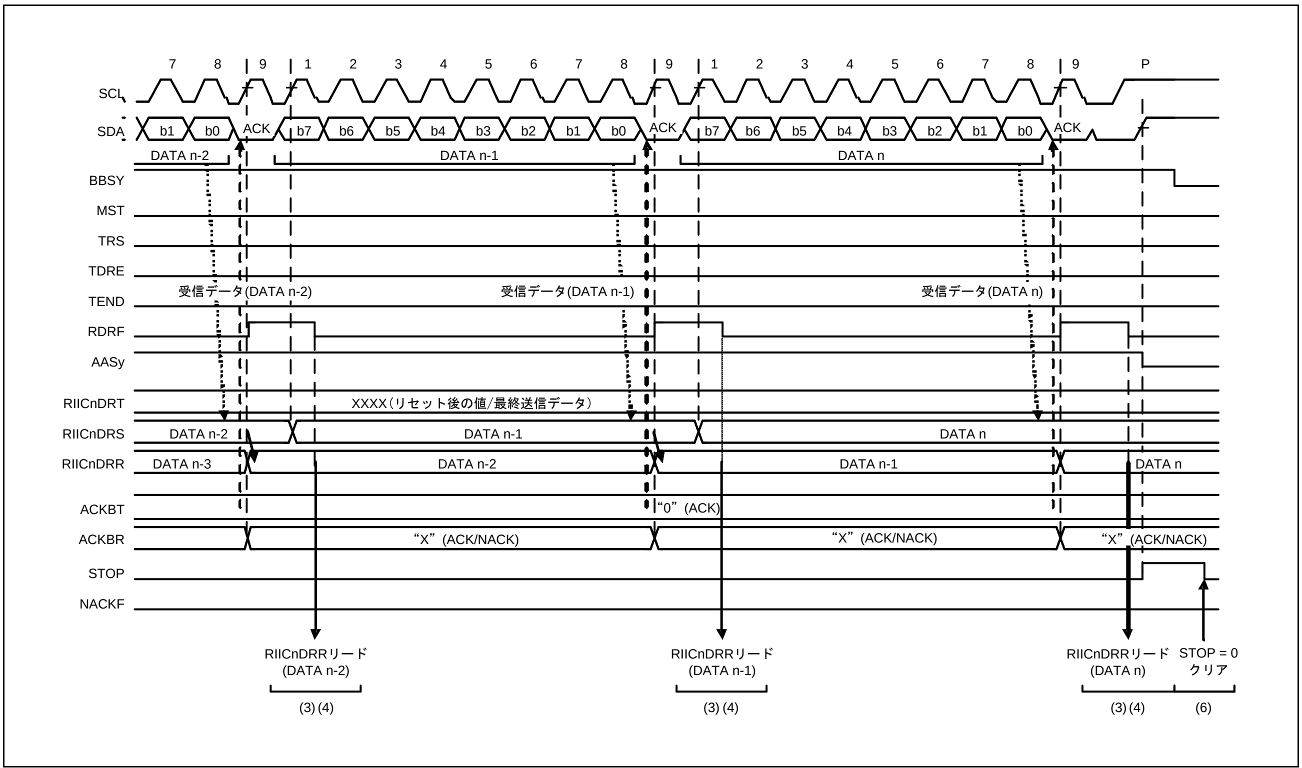


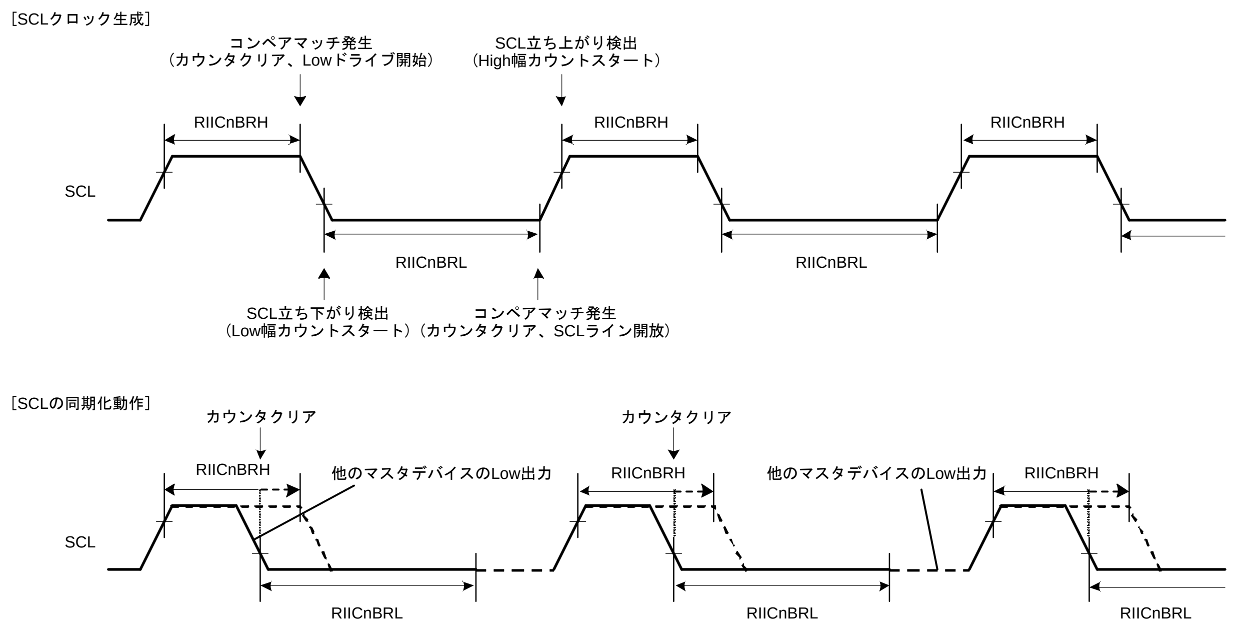
図 23.20　スレーブ受信の動作タイミング（2）（RDRFS＝0 のとき）

23.6　SCL 同期回路

RIIC の SCL クロック生成は SCL ラインの立ち上がりを検出すると、RIICnBRH レジスタで設定された High 幅のカウントを開始し、High 幅のカウントが終了すると SCL ラインを Low にドライブして立ち下げます。また SCL ラインの立ち下がりを検出すると、RIICnBRL レジスタで設定された Low 幅のカウントを開始し、Low 幅のカウントが終了すると SCL ラインの Low ドライブを終了して SCL ラインを開放します。これにより SCL クロックを生成します。

I²C バスをマルチマスタで使用する場合、SCL クロックは他のマスタデバイスとの競合により SCL クロック同士が衝突する場合があります。SCL クロックが衝突した場合、マスタデバイスは SCL クロックの同期化を行う必要があります。この SCL クロックの同期はビットごとに行う必要があり、RIIC は通信時に SCL ラインを監視してビットごとに同期を取りながら SCL クロックを生成する機能（SCL 同期回路）を備えています。

RIIC が SCL ラインの立ち上がりを検出し RIICnBRH レジスタで設定された High 幅のカウント中に他のマスタデバイスの SCL クロック出力により SCL ラインが立ち下げられた場合、RIIC は SCL ラインの立ち下がりを検出すると High 幅のカウントアップ動作を中断し、SCL ラインの Low ドライブを行うのと同時に RIICnBRL レジスタで設定された Low 幅のカウントアップを開始します。Low 幅のカウントが終了すると SCL ラインの Low ドライブを終了して SCL ラインを開放します。このとき他のマスタデバイスの SCL クロックの Low 幅が RIIC で設定された Low 幅よりも長い場合、SCL クロックの Low 幅は延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCL ラインが開放され SCL クロックが立ち上がります。そのため SCL クロック出力衝突時の SCL クロックの High 幅は短いクロックに同期し、Low 幅は長いクロックに同期化されます。なお、この SCL 同期は RIICnFER.SCLE ビットが “1” のとき有効です。



備考　RIICnBRH：I²C バスビットレートハイレベルレジスタ（SCL クロックの High 幅カウンタ）
RIICnBRL：I²C バスビットレートロウレベルレジスタ（SCL クロックの Low 幅カウンタ）

図 23.21　RIIC の SCL クロック生成および SCL 同期化動作

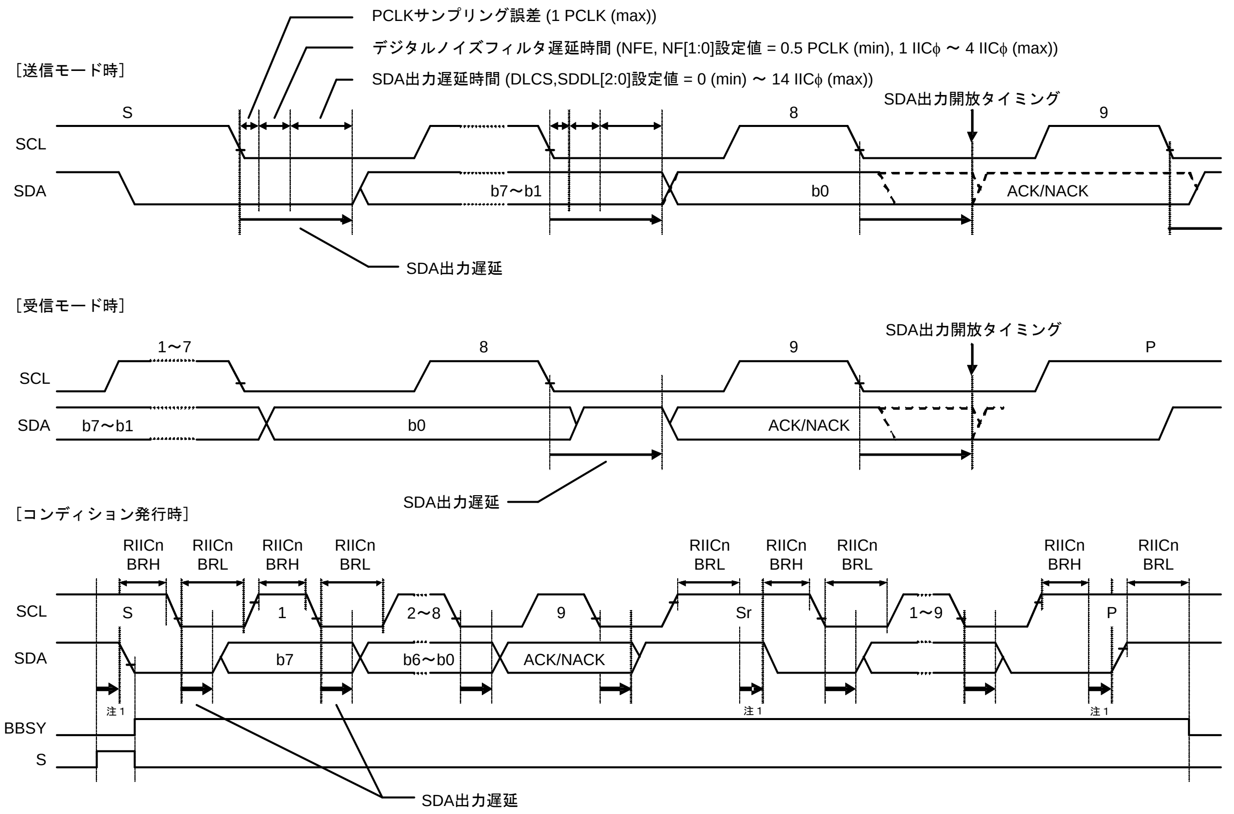
23.7　SDA 出力遅延機能

RIIC には SDA 出力遅延機能を備えています。SDA 出力遅延機能は、すべての SDA 出力タイミング（発行動作（スタートコンディション／リスタートコンディション／ストップコンディション）、データ出力、ACK/NACK 出力）を遅延させることができます。

SDA 出力遅延機能は、SCL クロックの立ち下がり検出から SDA 出力を遅延させ、確実に SCL クロックの Low 期間中に SDA 出力を行うことで、通信デバイスの誤認動作を防ぐ目的で使用することができます。

この SDA 出力遅延機能は RIICnMR2.SDDL[2:0]ビットが“000_B”以外のとき有効で、SDDL[2:0]ビットが“000_B”のとき無効です。

SDA 出力遅延機能が有効（SDDL[2:0]ビットが“000_B”以外）のとき、SDA 出力遅延カウンタは RIICnMR2.DLCS ビットで選択された内部基準クロック（IIC φ）またはその 2 分周クロック（IIC φ / 2）をカウントソースとして SDDL[2:0]ビットで設定されたサイクル数分のカウント動作を行い、遅延サイクル分のカウントが終了した時点で RIIC は SDA 出力（発行動作（スタートコンディション／リスタートコンディション／ストップコンディション）、データ出力、ACK/NACK 出力）を行います。



注1.　スタートコンディション（S）、リスタートコンディション（Sr）、ストップコンディション（P）発行時は SDDL[2:0]設定値分の遅延

図 23.22　SDA 出力遅延タイミング

23.8　デジタルノイズフィルタ回路

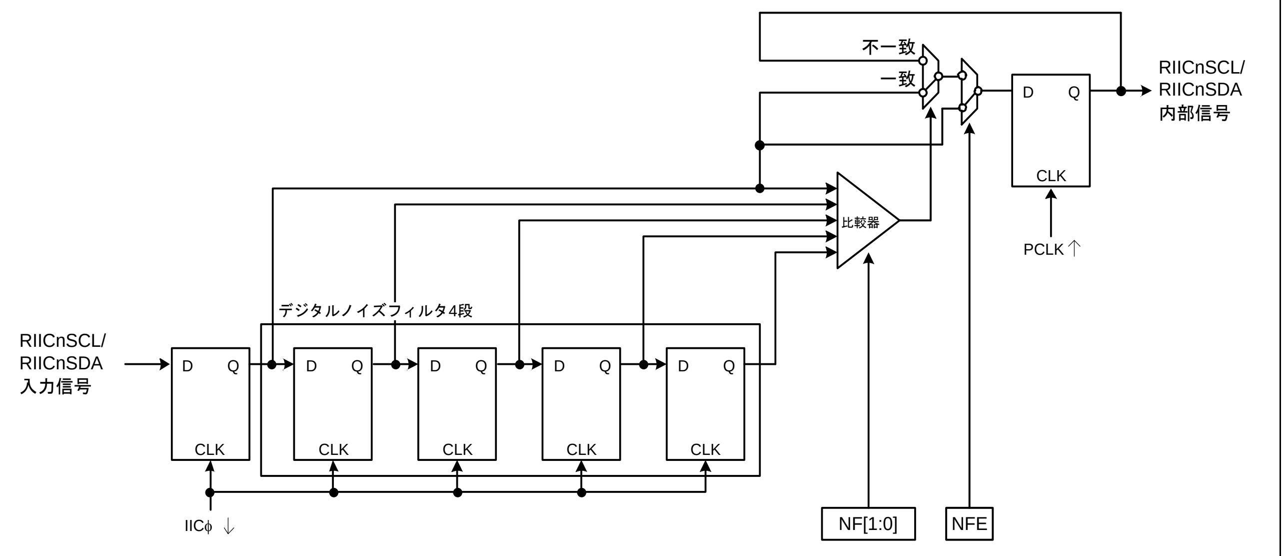
RIICnSCL 端子および RIICnSDA 端子の状態は、デジタルノイズフィルタ回路を経由して内部に取り込むことが可能です。「**図 23.23 デジタルノイズフィルタ回路のブロック図**」にデジタルノイズフィルタ回路のブロック図を示します。

RIIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。

デジタルノイズフィルタの有効段数は RIICnMR3.NF[1:0]ビットで選択し、ノイズ除去能力は選択した有効段数に応じて 1IICφ～4IICφサイクル分となります。

RIICnSCL 端子入力信号（または RIICnSDA 端子入力信号）は IICφの立ち下がりでサンプリングされ、RIICnMR3.NF[1:0]ビットで設定された有効段数のフリップフロップ回路出力がすべて一致したとき、そのレベルが内部信号として伝えられ、一致しない場合は前の値を保持します。

内部動作クロック（PCLK）と通信速度の比が小さい場合、デジタルノイズフィルタの特性上ノイズ発生時に必要な信号まで除去してしまう場合があります。そのような場合は、デジタルノイズフィルタ回路の使用を禁止（RIICnFER.NFE ビット＝0）してください。



備考　NFE：デジタルノイズフィルタ回路有効ビット
　　　NF[1:0]：デジタルノイズフィルタ段数選択ビット

図 23.23　デジタルノイズフィルタ回路のブロック図

23.9　アドレス一致検出機能

RIIC はジェネラルコールアドレス、デバイス ID アドレスの他に 3 種類のスレーブアドレスを設定可能です。またスレーブアドレスには 7 ビットアドレスまたは 10 ビットアドレスの設定が可能です。

23.9.1　スレーブアドレス一致検出機能

RIIC は 3 種類のスレーブアドレスを設定可能で、それぞれに応じたスレーブアドレス検出機能を備えています。RIICnSER.SARy ビット（y＝0～2）が“1”のとき、RIICnSARy レジスタ（y＝0～2）に設定されたスレーブアドレスを検出することができます。

RIIC は設定されたスレーブアドレス一致を検出すると、SCL クロックの 9 クロック目の立ち上がりで該当する RIICnSR1.AASy フラグ（y＝0～2）を“1”にし、SCL クロックの 9 クロック目のアクノリッジビットに RIICnMR3.ACKBT ビットに設定した値を返信します。続く R/W#ビットにより RIICnSR2.RDRF フラグまたは RIICnSR2.TDRE フラグを“1”にします。これにより受信終了割り込み（INTRIICnRI）または送信データエンプティ割り込み（INTIICnTI）を発生させることができ、AASy フラグを確認することでどのスレーブアドレスが指定されたかを識別することができます。

「図 23.24　7 ビットアドレスフォーマット選択時に AASy フラグが“1”になるタイミング」～「図 23.26　7 ビット／10 ビットアドレスフォーマット混在時に AASy フラグが“1”／“0”になるタイミング」に AASy フラグが“1”になるタイミングを示します。

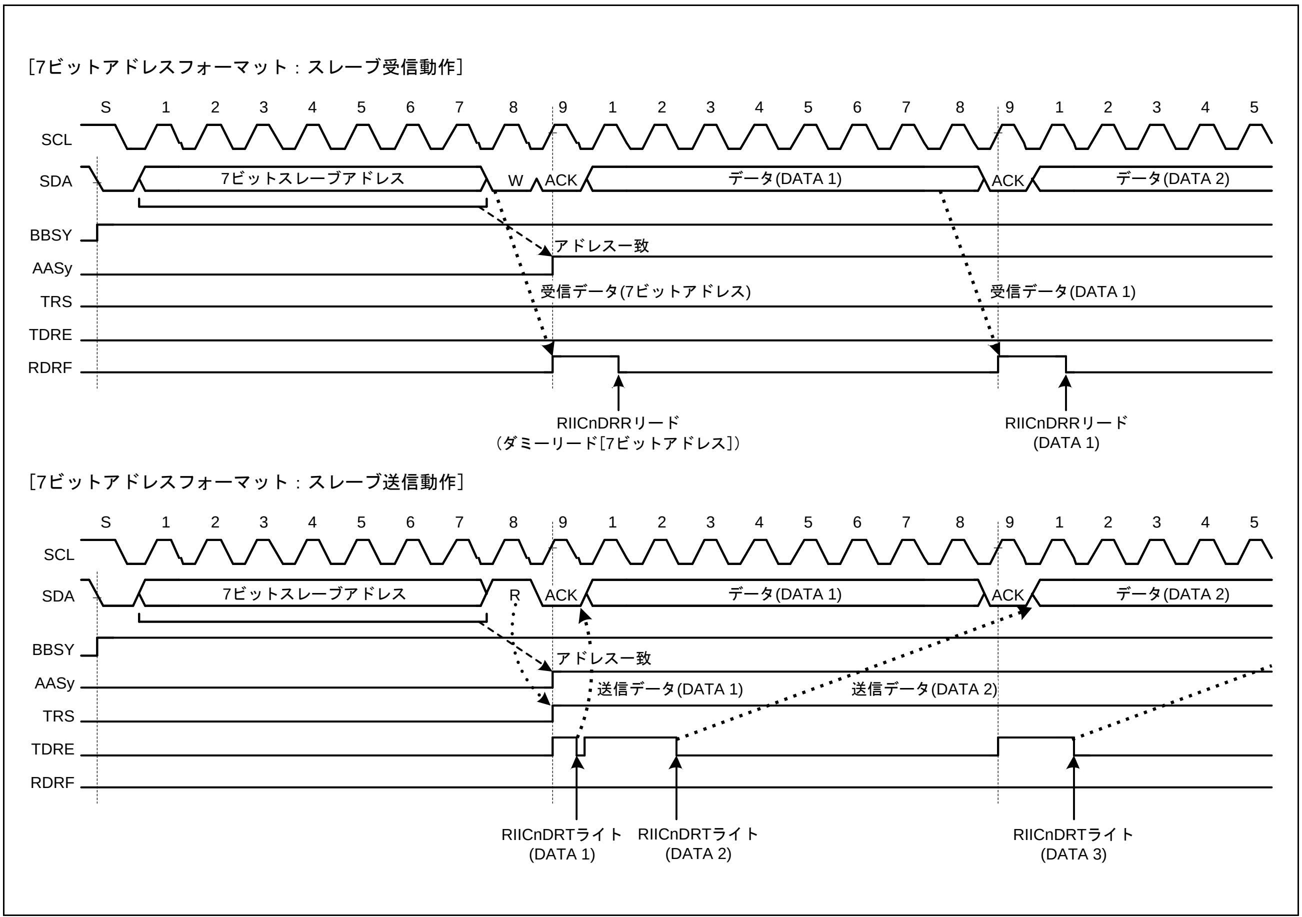


図 23.24　7 ビットアドレスフォーマット選択時に AASy フラグが“1”になるタイミング

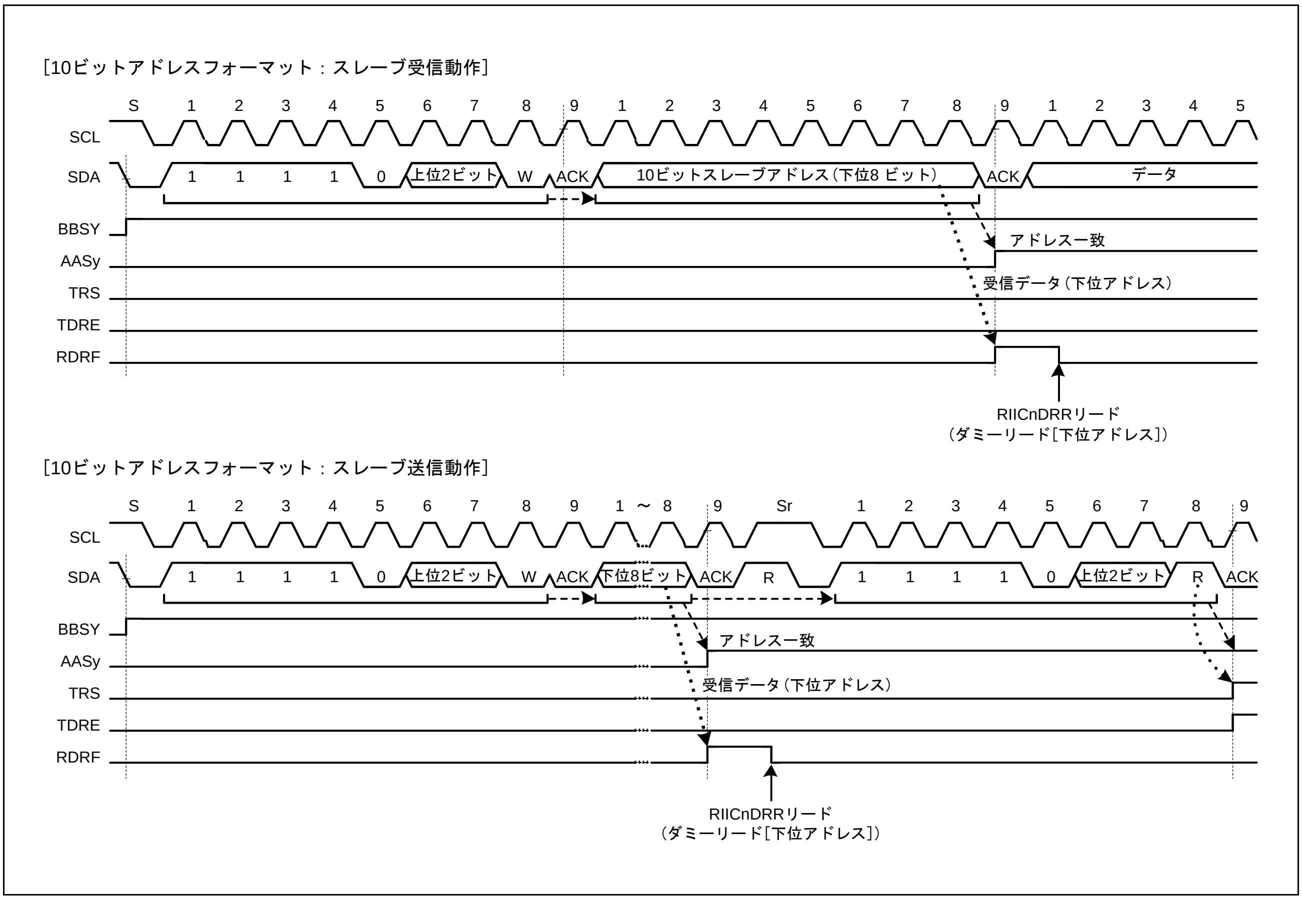


図 23.25 10 ビットアドレスフォーマット選択時に AASy フラグが “1” になるタイミング

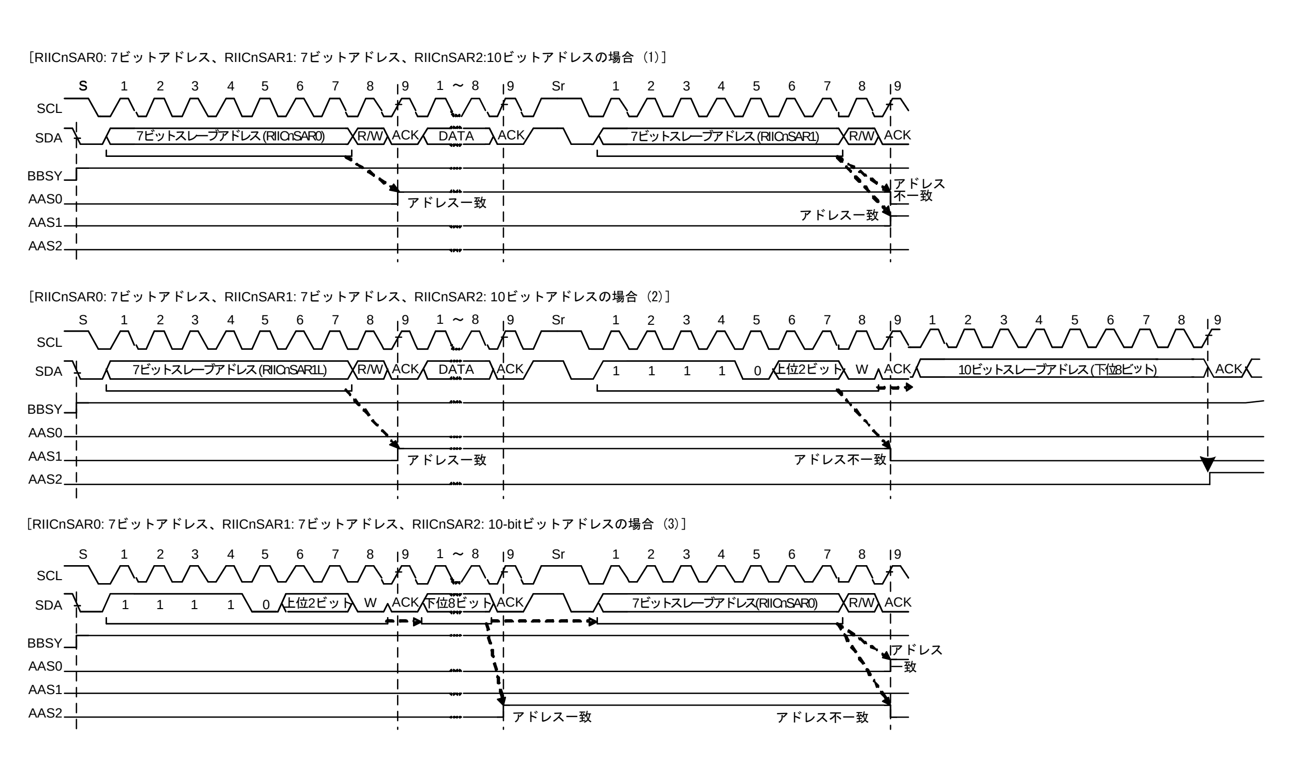


図 23.26　7 ビット／10 ビットアドレスフォーマット混在時に AASy フラグが“1”／“0”になるタイミング

23.9.2 ジェネラルコールアドレス検出機能

RIIC はジェネラルコールアドレス（0000 000$_B$＋0[W]）の検出機能を備えています。RIICnSER.GCE ビットが“1”のとき、ジェネラルコールアドレスを検出することができます。

スタートコンディションまたはリスタートコンディション後のアドレスが 0000 000$_B$＋1[R]（スタートバイト）だった場合、RIIC はこのアドレスを All“0”のスレーブアドレスと認識し、ジェネラルコールアドレスとみなしません。

RIIC はジェネラルコールアドレスを検出すると、SCL クロックの 9 クロック目の立ち上がりで RIICnSR1.GCA フラグを“1”にし、同時に RIICnSR2.RDRF フラグを“1”にします。これにより受信終了割り込み（INTRIICnRI）を発生させることができ、GCA フラグを確認することでジェネラルコールアドレスが送信されたことを認識することができます。

なお、ジェネラルコールアドレス検出後の動作は通常のスレーブ受信動作と同じです。

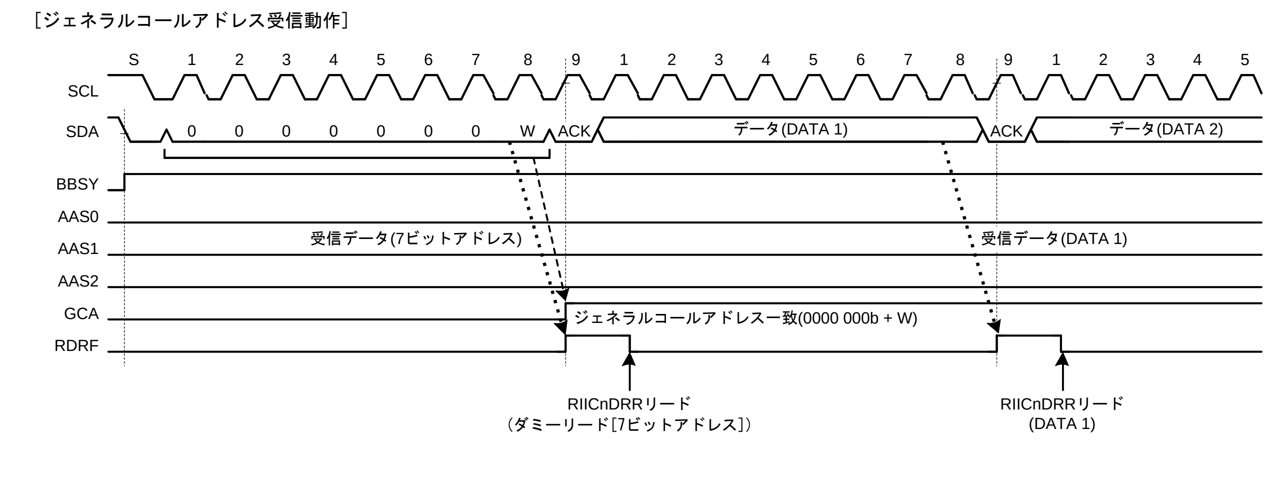


図 23.27 ジェネラルコールアドレス受信時に GCA フラグが“1”になるタイミング

23.9.3 デバイス ID アドレス検出機能

RIIC は I²C バス（Rev.03）に準拠したデバイス ID アドレスの検出機能を備えています。RIICnSER.DIDE ビットを“1”にした状態で、スタートコンディションまたはリスタートコンディション後の 1 バイト目に 1111 100$_B$ を受信すると、RIIC はこのアドレスをデバイス ID アドレスと認識し、続く R/W#ビットが“0”のとき SCL クロックの 9 クロック目の立ち上がりで RIICnSR1.DID フラグを“1”にした後、2 バイト目以降と自スレーブアドレスとの比較動作を行います。この 2 バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、該当する RIICnSR1.AASy フラグ（y＝0～2）が“1”になります。

その後スタートコンディションまたはリスタートコンディション後の 1 バイト目が再びデバイス ID アドレス（1111 100$_B$）と一致し、続く R/W#ビットが“1”のとき RIIC は続く 2 バイト目以降はアドレス比較動作を行わず、RIICnSR2.TDRE フラグを“1”にします。

デバイス ID アドレス検出機能は、自スレーブアドレスと不一致あるいは自スレーブアドレス一致後のリスタートコンディション後のアドレスがデバイス ID アドレスと不一致の場合、DID フラグを“0”にし、スタートコンディションまたはリスタートコンディション後の 1 バイト目がデバイス ID アドレス（1111 100$_B$）と一致し、かつ R/W#ビットが“0”のとき DID フラグを“1”にセットし、続く 2 バイト目以降をスレーブアドレスと比較します。R/W#ビットが“1”の場合、DID フラグは前値の状態を継続し、2 バイト目以降のスレーブアドレス比較を行いません。そのため、TDRE＝1 確認後 DID フラグをチェックすることで、デバイス ID を受信したことを確認することができます。

なお、一連のデバイス ID 受信後にホストに送信するデバイス ID フィールドとして必要な情報（3 バイト分：メーカ［12 ビット］＋部品識別［9 ビット］＋リビジョン［3 ビット］）は、通常の送信データと同様あらかじめ準備してください。詳細については NXP 社の I²C バス規格書を参照してください。

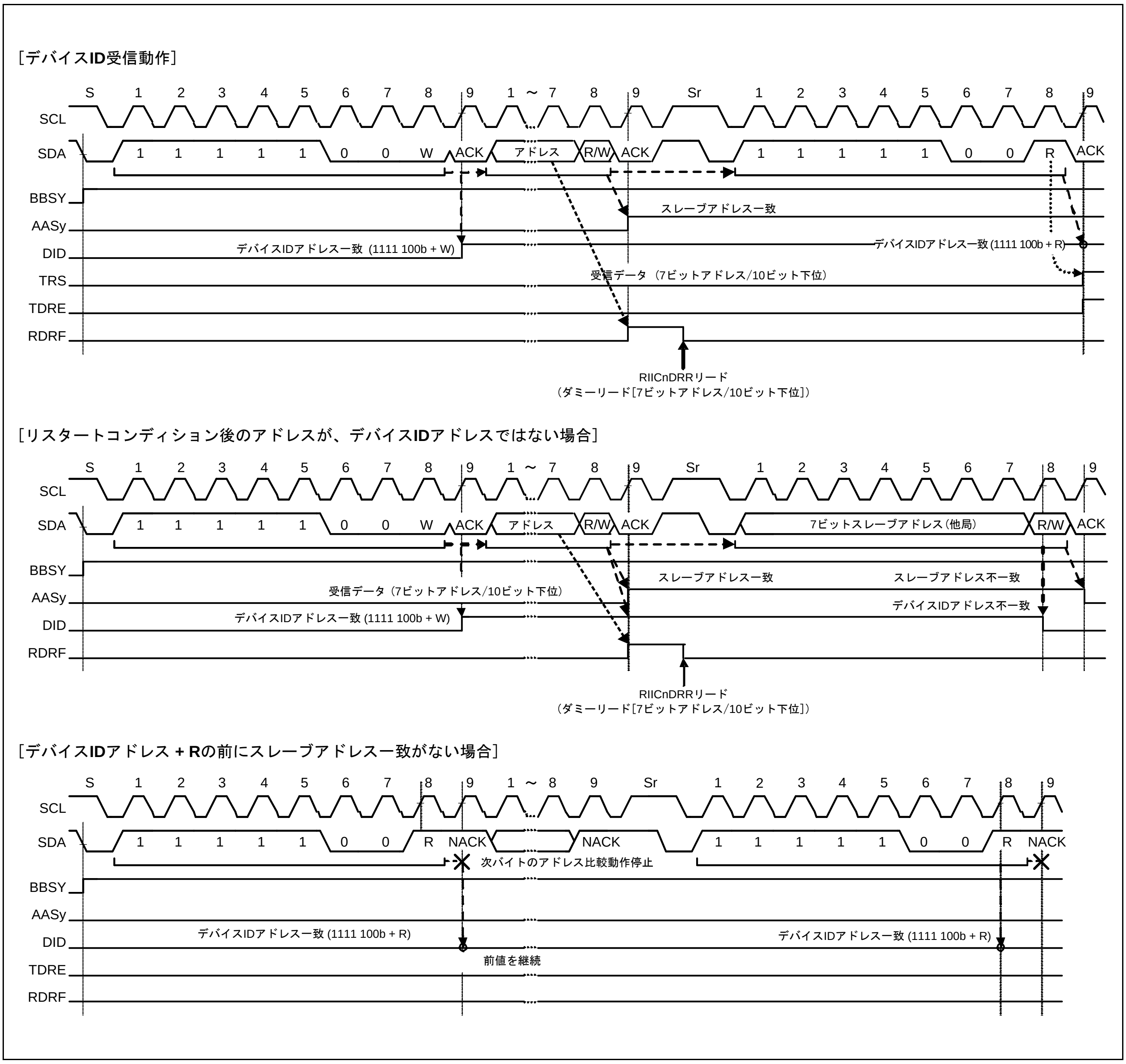


図 23.28　デバイス ID アドレス受信時の AASy、DID フラグセット／クリアタイミング

23.10 SCL の自動 Low ホールド機能

23.10.1 送信データ誤送信防止機能

RIIC は送信モード時（RIICnCR2.TRS ビット＝1）、シフトレジスタ（RIICnDRS レジスタ）が空の状態でかつ送信データ（RIICnDRT レジスタ）が書かれていない場合、以下に示す区間、自動的に SCL ラインの Low ホールドを行います。この Low ホールドは送信データの書き込みが行われるまでの期間 Low 区間を延長し、意図しない送信データの誤送信を防止します。また、ストップコンディション発行までの期間、RIICnDRR レジスタをダミーで読むまでの期間にも SCL ラインの Low ホールドを行います。

＜マスタ送信モード＞

- スタートコンディション／リスタートコンディション発行後の Low 区間
- 9 クロック目と 1 クロック目の Low 区間
- 9 クロック目とストップコンディション発行までの Low 区間

＜スレーブ送信モード＞

- 9 クロック目と 1 クロック目の Low 区間
- 9 クロック目と RIICnDRR レジスタをダミーで読むまでの Low 区間

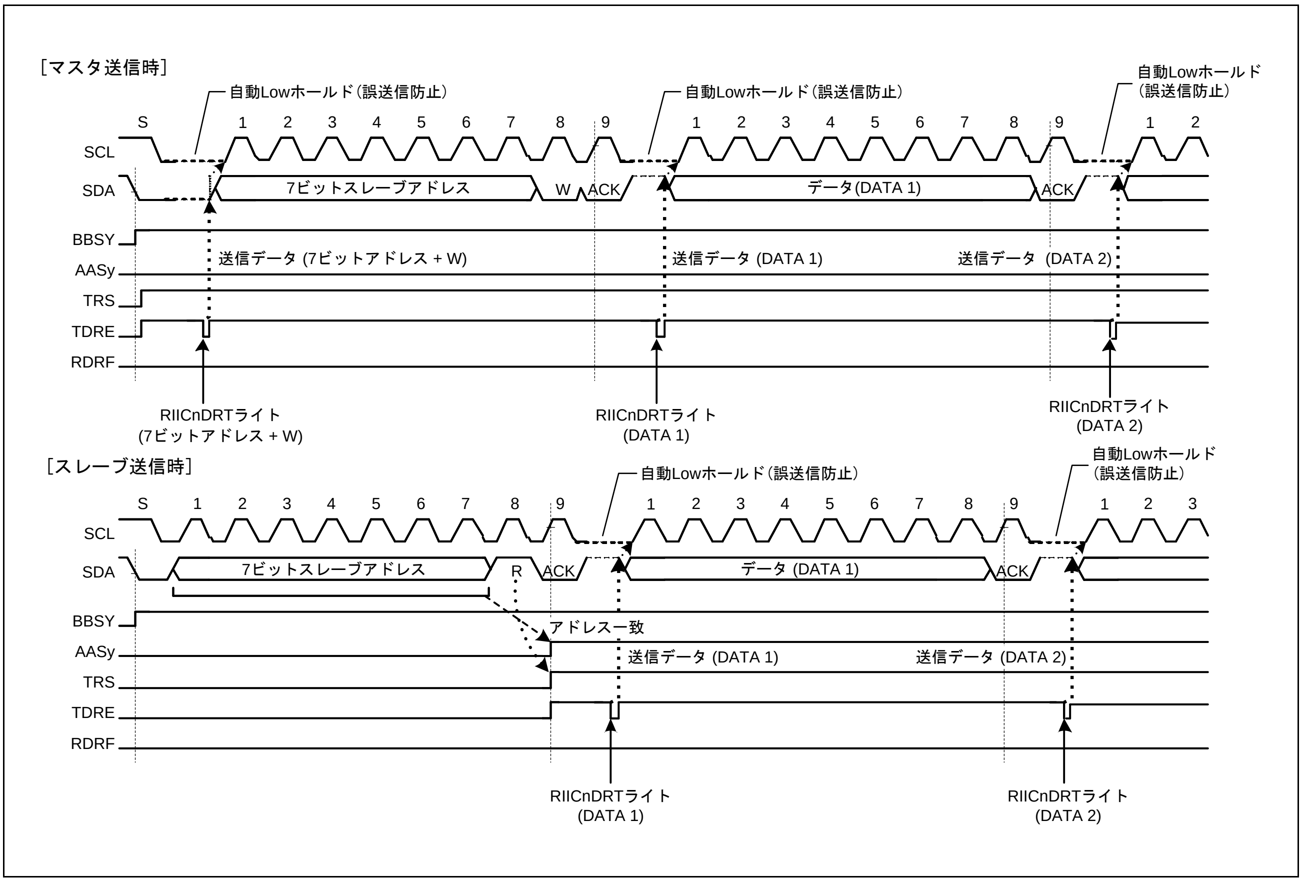


図 23.29 送信モードの自動 Low ホールド動作

23.10.2　NACK 受信転送中断機能

RIIC は送信モード時（RIICnCR2.TRS ビット＝1）に NACK を受信した場合、転送動作を中断する機能を備えています。この機能は RIICnFER.NACKE ビットが“1”（転送中断許可）のとき有効で、NACK 受信時にすでに次の送信データが書き込まれていた場合（RIICnSR2.TDRE フラグ＝0 の状態）、SCL クロックの 9 クロック目の立ち下がり時の次のデータ送信動作を自動的に中断します。これにより次送信データの MSB が“0”のときの SDA ライン Low 出力固定を防止することができます。

なお NACK 受信転送中断機能で転送動作が中断された場合（RIICnSR2.NACKF フラグ＝1）、以後の送信動作および受信動作は行いません。動作を再開するには NACKF フラグを“0”にしてください。またマスタ送信モードの場合には、リスタートコンディションを発行した後に NACKF フラグを“0”にして動作をやり直すか、ストップコンディションを発行した後に NACKF フラグを“0”にし、その後スタートコンディションを発行して動作をやり直してください。

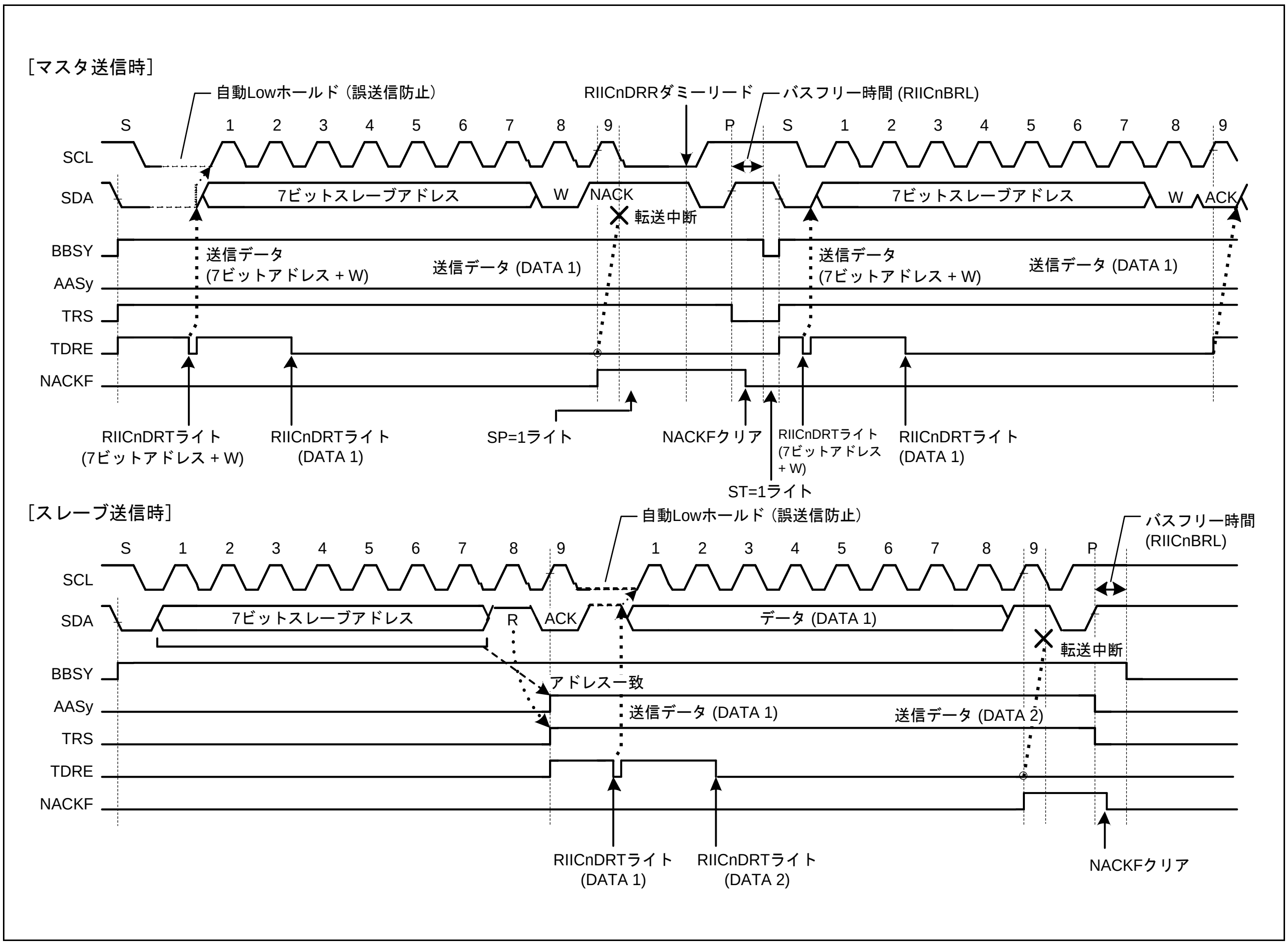


図 23.30　NACK 受信時の転送中断動作（NACKE＝1 のとき）

23.10.3　受信データ取りこぼし防止機能

RIIC は受信モード時（RIICnCR2.TRS ビット＝0）、受信終了（RIICnSR2.RDRF フラグ＝1）の状態で受信データ（RIICnDRR レジスタ）の読み出しが 1 転送フレーム以上遅れるなどの応答処理遅延が発生した場合、次のデータ受信の 1 つ手前で自動的に SCL ラインの Low ホールドを行い、受信データの取りこぼしを未然に防止します。

この自動 Low ホールドによる取りこぼし防止機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディション後に自スレーブアドレスを指定された場合にも有効で、ストップコンディション後自スレーブアドレスと不一致の場合にはこの Low ホールドは行わないため、他の通信を阻害しません。

また、RIIC では RIICnMR3.WAIT, RDRFS ビットの組み合わせにより Low ホールドを行う区間を選択することができます。

(1)　WAIT ビットによる 1 バイト受信動作／自動 Low ホールド機能

RIICnMR3.WAIT ビットを“1”にすると、RIIC は WAIT ビット機能による 1 バイト受信動作になります。

RIICnMR3.RDRFS ビットが“0”のとき、RIIC は SCL クロックの 8 クロック目の立ち下がりから 9 クロック目の立ち下がり期間のアクノリッジビットには自動的に RIICnMR3.ACKBT ビットの内容が送出され、9 クロック目の立ち下がりを検出すると WAIT ビット機能により自動的に SCL ラインを Low にホールドします。この Low ホールドは RIICnDRR レジスタの読み出しによって解除されます。そのため 1 バイトごとの受信動作が可能となります。

なお WAIT ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス（ジェネラルコールアドレス、デバイス ID アドレス含む）と一致した以降の受信フレームから有効になります。

(2)　RDRFS ビットによる 1 バイト受信動作（ACK/NACK 送出制御）／自動 Low ホールド機能

RIICnMR3.RDRFS ビットを“1”にすると、RIIC は RDRFS ビット機能による 1 バイト受信動作になります。

RDRFS ビットを“1”にすると、受信終了フラグ（RIICnSR2.RDRF フラグ）が“1”になるタイミングが SCL クロックの 8 クロック目の立ち上がりに変更され、8 クロック目の立ち下がりを検出すると自動的に SCL ラインを Low にホールドします。この Low ホールドは RIICnMR3.ACKBT ビットへの書き込みによって解除され、RIICnDRR レジスタの読み出しでは解除されません。そのため 1 バイトごとに受信したデータの内容に応じた ACK/NACK 送出の受信動作が可能となります。

なお RDRFS ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス（ジェネラルコールアドレス、デバイス ID アドレス含む）と一致した以降の受信フレームから有効になります。

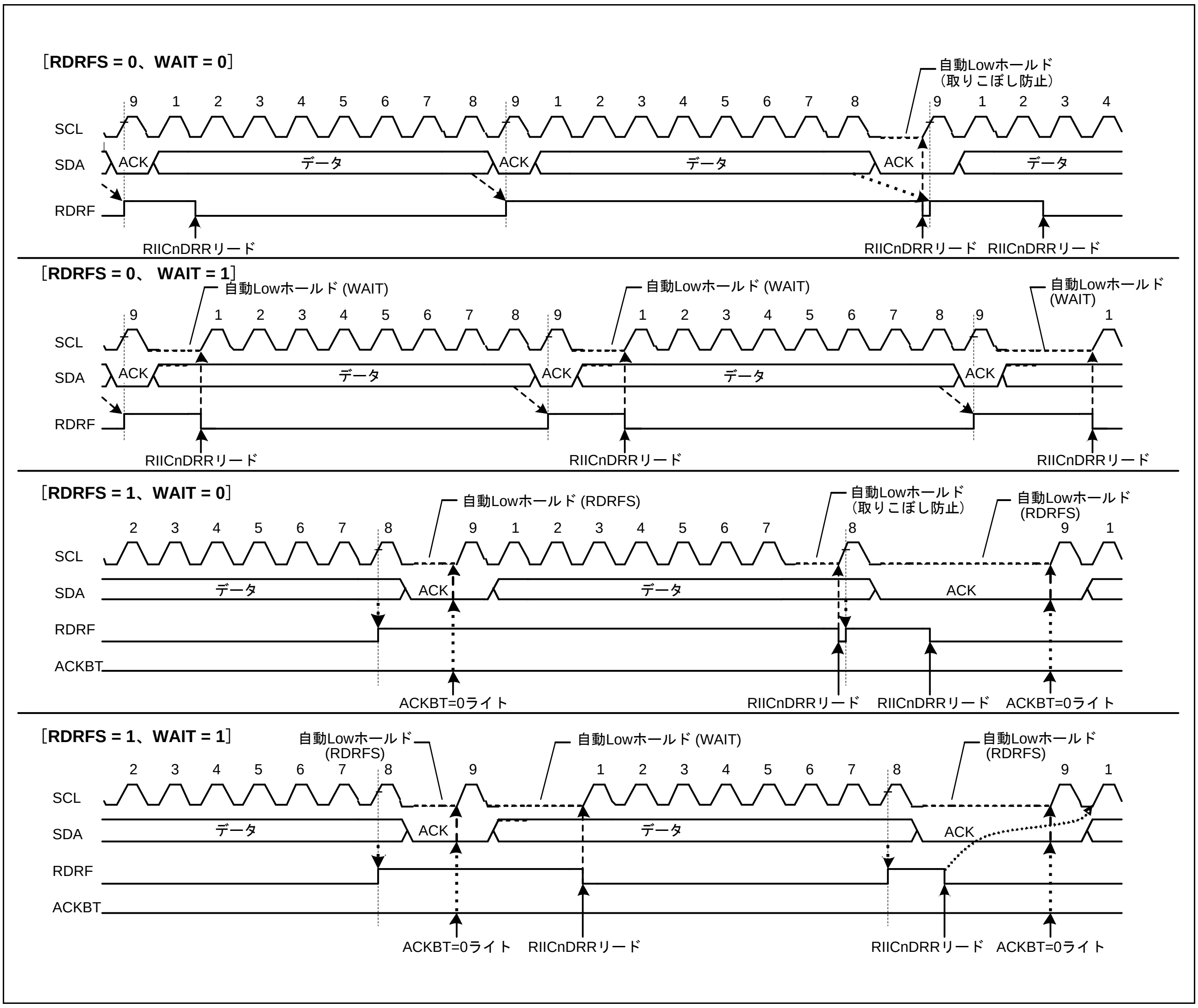


図 23.31　受信モードの自動 Low ホールド動作（RDRFS、WAIT ビット）

23.11 アービトレーションロスト検出機能

RIIC には I²C バス規格で定めている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK 送信時のアービトレーションロスト検出やスレーブ送信時におけるアービトレーションロスト検出機能も備えています。

23.11.1　マスタアービトレーションロスト検出機能（MALE ビット）

RIIC はスタートコンディション発行の際 SDA ラインを Low にしますが、これよりも早く他のマスタデバイスがスタートコンディションを発行して SDA ラインを Low にした場合、アービトレーションロストを発生させ、他のマスタデバイスの通信を優先します。同様に RIICnCR2.BBSY フラグが"1"（バスビジー中）のときに RIICnCR2.ST ビットを"1"にするとアービトレーションロストが発生し、他のマスタデバイスの通信を優先します。スタートコンディションは生成しません。

またスタートコンディション発行が正常に行われた場合、アドレス送信を含む送信データ（SDA 信号）と SDA ラインに不一致が生じた場合（自分が出した SDA 出力が High 出力（＝SDA 端子はハイインピーダンス）で、SDA ラインに Low を検出したとき）、アービトレーションロストを発生させます。

マスタアービトレーションロストが発生した場合、RIIC はスレーブ受信モードに移行します。このときジェネラルコールアドレスを含むスレーブアドレス一致があった場合にはスレーブ動作を継続します。

なおマスタアービトレーションロスト検出は、RIICnFER.MALE ビットが"1"（マスタアービトレーションロスト検出許可）の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

［マスタアービトレーションロスト条件］

- RIICnCR2.BBSY フラグ＝0 の状態で RIICnCR2.ST ビット＝1 によるスタートコンディション発行時に SDA 信号と SDA ライン上の信号の状態が不一致のとき（スタートコンディション発行エラー）
- RIICnCR2.BBSY フラグ＝1 で RIICnCR2.ST ビットを"1"にしたとき（スタートコンディション二重発行エラー）
- マスタ送信モード時（RIICnCR2.MST, TRS ビット＝11_B）、アクノリッジを除く送信データ（SDA 信号）と SDA ライン上の信号の状態が不一致のとき

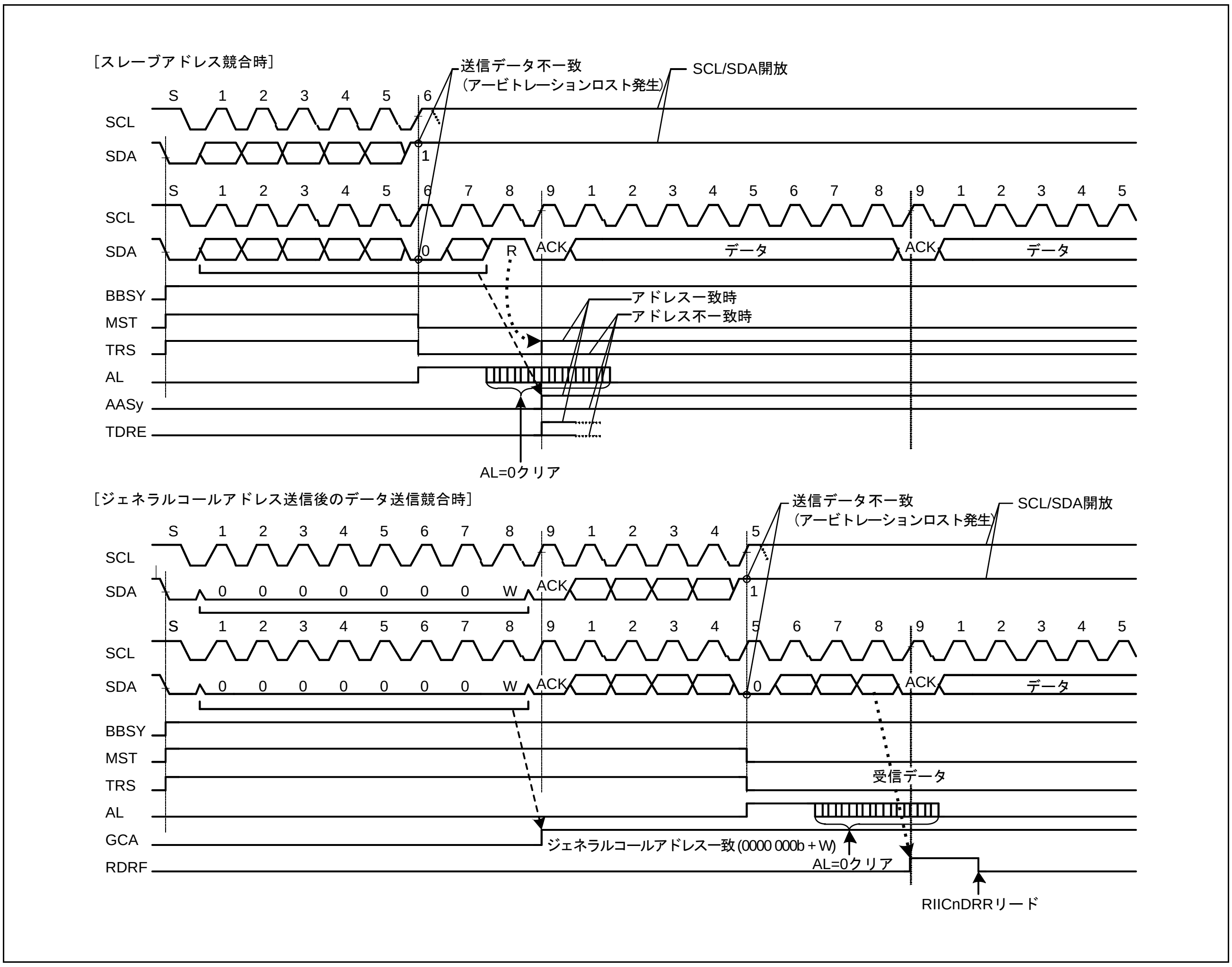


図 23.32　マスタアービトレーションロスト検出動作例（MALE＝1 のとき）

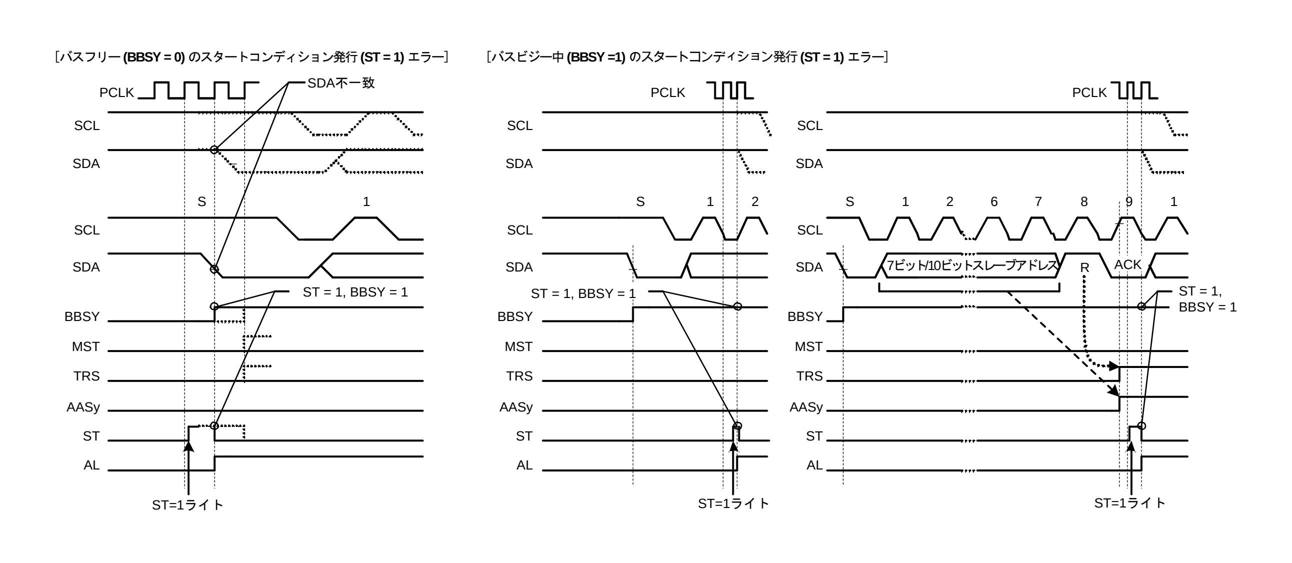


図 23.33　スタートコンディション発行時のアービトレーションロスト（MALE＝1 のとき）

スレーブ送信モードで BBSY フラグが “1” の状態で、ST ビットに “1” を書いた場合、TRS ビットはクリアされません。

23.11.2 NACK 送信アービトレーションロスト検出機能（NALE ビット）

RIIC は受信モード時で NACK 送信時に自分が出した SDA 信号と SDA ライン上の信号の状態が不一致の場合（自分が出した SDA 出力が High 出力（＝SDA 端子はハイインピーダンス）で、SDA ラインに Low を検出したとき）、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主にマルチマスタのシステムにおいて 2 つ以上のマスタが同時に同一スレーブデバイスからデータを受信する際に NACK 送信と ACK 送信が衝突することで発生します。これは 2 つ以上のマスタデバイスが 1 つのスレーブデバイスを介して共通の情報のやり取りする際に起こり得ます。「**図 23.34 NACK 送信アービトレーションロスト検出動作例（NALE＝1 のとき）**」に NACK 送信アービトレーションロスト検出動作例を示します。

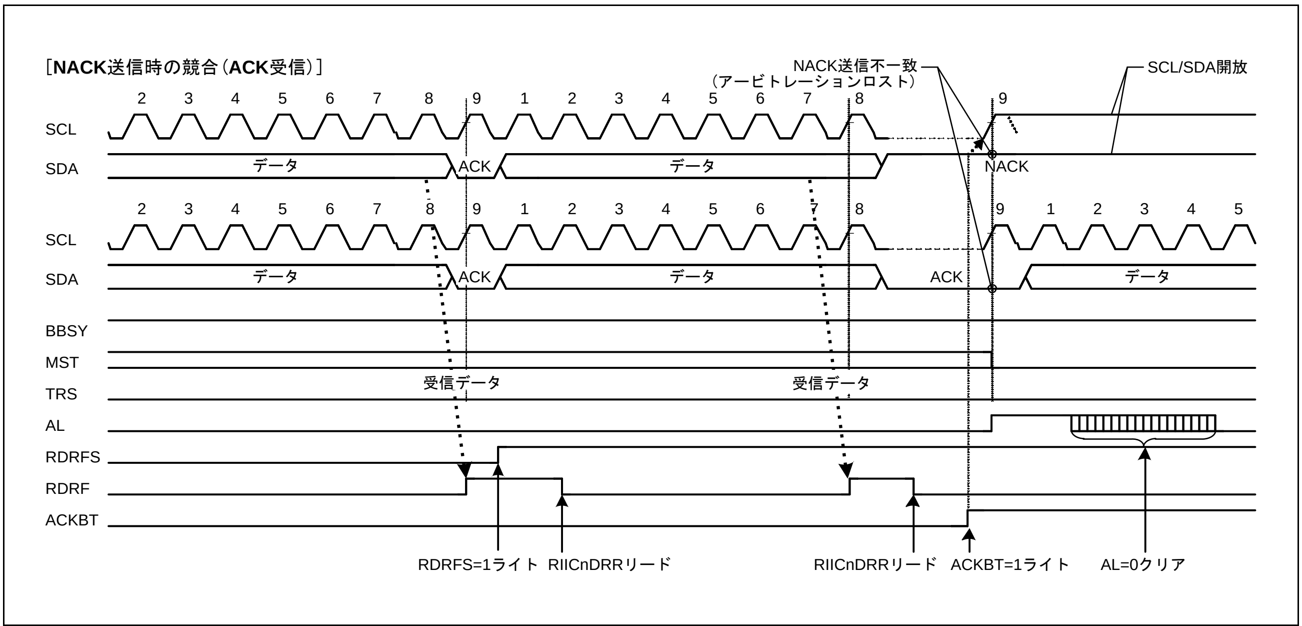


図 23.34 NACK 送信アービトレーションロスト検出動作例（NALE＝1 のとき）

2 つのマスタデバイス（マスタ A、マスタ B）と 1 つのスレーブデバイスがバス上に接続されている場合を例に挙げて説明します。マスタ A はスレーブデバイスから 2 バイト受信、マスタ B はスレーブデバイスから 4 バイト分のデータ受信を行うものとします。

このときマスタ A とマスタ B が同時にスレーブデバイスをアクセスした場合、スレーブアドレスは同じであるため、マスタ A、マスタ B ともスレーブデバイスアクセス時にアービトレーションロストが発生しません。そのためマスタ A、マスタ B ともどちらもバス権を取得したものと認識して動作します。ここでマスタ A は、スレーブデバイスから最終バイトである 2 バイト分の受信が完了した時点で NACK を送信します。一方マスタ B は、スレーブデバイスから必要な 4 バイト受信に満たないため ACK 送信を行います。このときマスタ A の NACK 送信とマスタ B の ACK 送信の衝突が発生します。一般的にこのような状況が発生した場合、マスタ A はマスタ B が出した ACK 送信を検出できないままストップコンディション発行動作を行うため、マスタ B の SCL クロック出力と競合し通信を阻害します。

RIIC はこのような NACK 送信時に ACK を受信した場合、他のマスタデバイスと競合負けが発生したことを検知しアービトレーションロストを発生させることができます。

NACK 送信アービトレーションロストが発生した場合、RIIC はスレーブ受信モードに移行します。これによりストップコンディション発行を未然に防ぎ、バスの通信阻害を防止することが可能です。

なお NACK 送信アービトレーションロスト検出は、RIICnFER.NALE ビットが“1”（NACK 送信アービトレーションロスト検出許可）の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

［NACK 送信アービトレーションロスト条件］

NACK 送信時（RIICnMR3.ACKBT ビット＝1）、自分が出した SDA 信号と SDA ライン上の信号の状態が不一致のとき（ACK を受信したとき）

23.11.3　スレーブアービトレーションロスト検出機能（SALE ビット）

RIIC は、スレーブ送信時に送信データ（自分が出した SDA 信号）と SDA ライン上の信号の状態に不一致が生じた場合（自分が出した SDA 出力が High 出力（＝SDA 端子はハイインピーダンス）で、SDA ラインに Low を検出したとき）、アービトレーションロストを発生させる機能を備えています。

スレーブアービトレーションロストが発生した場合、RIIC はスレーブ受信モードに移行します。

なおスレーブアービトレーションロスト検出は、RIICnFER.SALE ビットが“1”（スレーブアービトレーションロスト検出許可）の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

［スレーブアービトレーションロスト条件］

スレーブ送信モード時（RIICnCR2.MST, TRS ビット＝01_B）、アクノリッジを除く送信データ（自分が出した SDA 信号）と SDA ライン上の信号の状態が不一致のとき

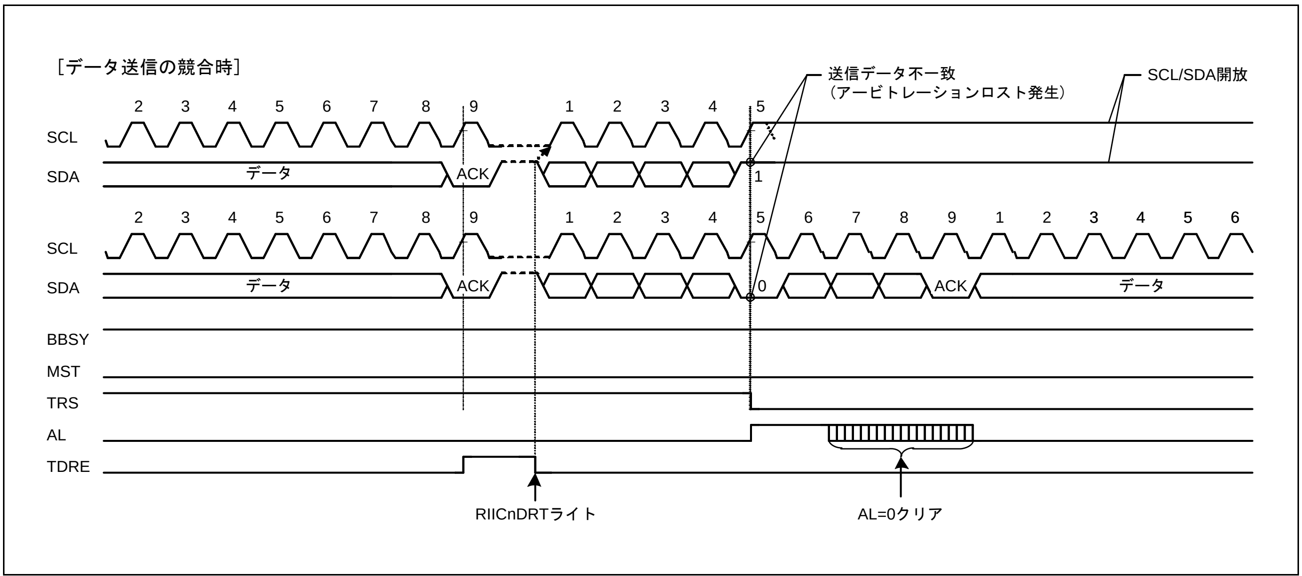


図 23.35　スレーブアービトレーションロスト検出動作例（SALE＝1 のとき）

23.12 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

23.12.1 スタートコンディション発行動作

RIIC は、RIICnCR2.ST ビットによりスタートコンディションの発行を行います。

ST ビットを“1”にすると、スタートコンディション発行の要求が行われ RIICnCR2.BBSY フラグが“0”（バスフリー）の状態のときスタートコンディションの発行を行います。スタートコンディションが正常に発行された場合、RIIC は自動的にマスタ送信モードに移行します。

スタートコンディションの発行は、以下のシーケンスに従って行われます。

［スタートコンディション発行動作］

- SDA ラインを立ち下げ（High から Low に遷移）
- RIICnBRH レジスタで設定した時間スタートコンディションのホールド時間を確保
- SCL ラインを立ち下げ（High から Low に遷移）
- SCL ラインの Low を検出後、RIICnBRL レジスタで設定した時間 SCL ラインの Low 幅を確保

23.12.2 リスタートコンディション発行動作

RIIC は RIICnCR2.RS ビットによりリスタートコンディションの発行を行います。

RS ビットを“1”にすると、通信中でもリスタートコンディション発行の要求が行われ、RIIC は RIICnCR2.BBSY フラグが“1”（バスビジー）の状態でかつ RIICnCR2.MST ビットが“1”（マスタモード）のとき、リスタートコンディションの発行を行います。

（リスタートコンディションの発行を検出する場合は、リスタートコンディション発行前に、RIICnSR2.START フラグをクリアしてください。）

リスタートコンディションの発行は、以下のシーケンスに従って行われます。

［リスタートコンディション発行動作］

- SDA ラインを開放
- RIICnBRL レジスタで設定した時間 SCL ラインの Low 幅を確保
- SCL ラインを開放（Low から High に遷移）
- SCL ラインの High 検出後、RIICnBRL レジスタで設定した時間リスタートコンディションのセットアップ時間を確保
- SDA ラインを立ち下げ（High から Low に遷移）
- RIICnBRH レジスタで設定した時間リスタートコンディションのホールド時間を確保
- SCL ラインを立ち下げ（High から Low に遷移）
- SCL ラインの Low を検出後、RIICnBRL レジスタで設定した時間 SCL ラインの Low 幅を確保

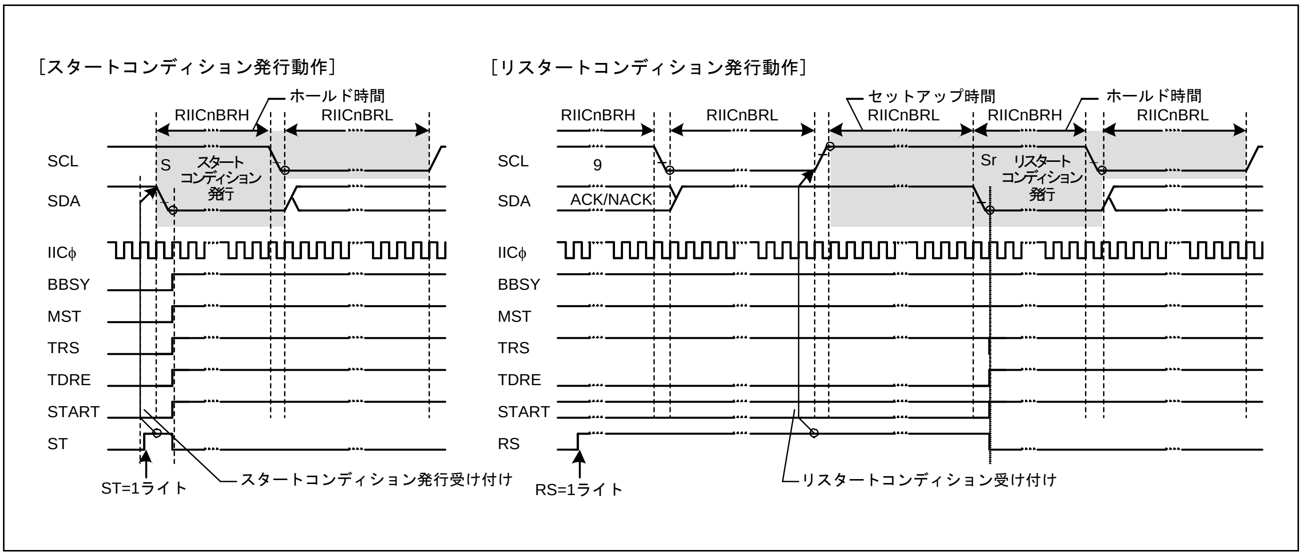


図 23.36 スタートコンディション／リスタートコンディション発行動作タイミング（ST、RS ビット）

23.12.3　ストップコンディション発行動作

RIIC は RIICnCR2.SP ビットによりストップコンディションの発行を行います。

SP ビットを“1”にするとストップコンディション発行の要求が行われ、RIIC は RIICnCR2.BBSY フラグが“1”（バスビジー）の状態でかつ RIICnCR2.MST ビットが“1”（マスタモード）のとき、ストップコンディションの発行を行います。

ストップコンディションの発行は、以下のシーケンスに従って行われます。

［ストップコンディション発行動作］

- SDA ラインを立ち下げ（High から Low に遷移）
- RIICnBRL レジスタで設定した時間 SCL ラインの Low 幅を確保
- SCL ラインを開放（Low から High に遷移）
- SCL ラインの High 検出後、RIICnBRH レジスタで設定した時間ストップコンディションのセットアップ時間を確保
- SDA ラインを開放（Low から High に遷移）
- RIICnBRL レジスタで設定した時間バスフリー時間を確保
- BBSY フラグクリア（バス権解放）

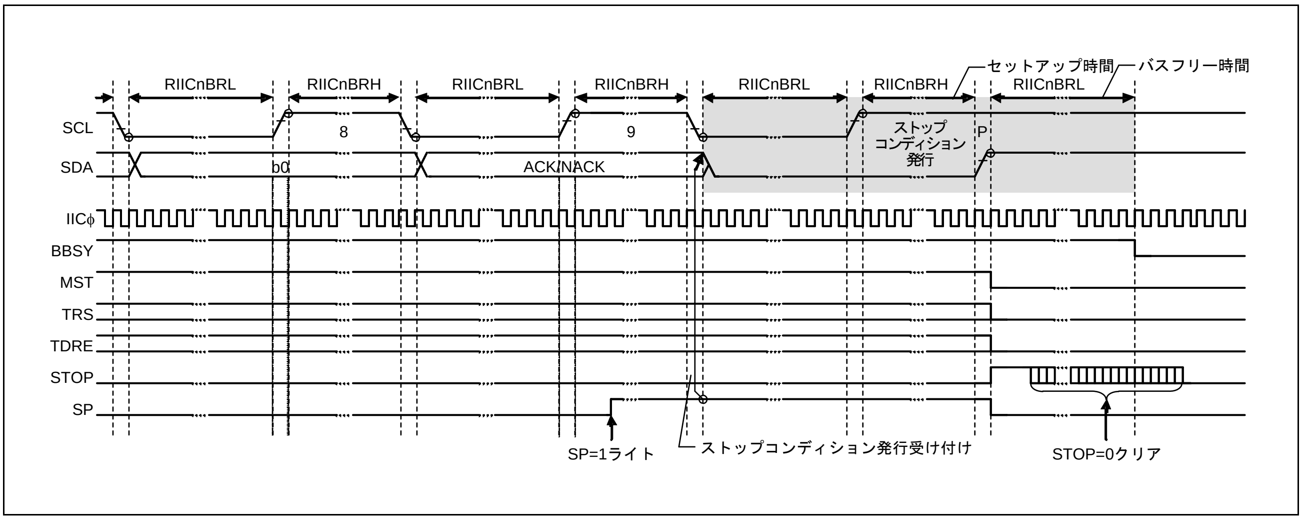


図 23.37　ストップコンディション発行動作タイミング（SP ビット）

23.13 バスハングアップ

I²C バスでは主にノイズ等の影響により、マスタデバイスとスレーブデバイス間で同期ズレが発生すると、SCL ラインや SDA ラインが固定されたままバスハングアップを起こす場合があります。

RIIC は、このバスハングアップ状態に対し SCL ラインを監視することで、バスハングアップ状態を検出できるタイムアウト検出機能や、同期ズレによるバスハングアップ状態を解除するための SCL クロック追加出力機能および RIIC／内部リセット機能を備えています。

また、RIICnCR1.SCLO, SDAO, SCLI, SDAI ビットを確認することで、RIIC 自身が SCL ライン／SDA ラインに Low 出力しているか、あるいは通信デバイス側が Low 出力しているかどうかを確認することが可能です。

23.13.1 タイムアウト検出機能

RIIC には SCL ラインに一定時間以上変化が見られない状態を検出するタイムアウト検出機能を備えています。RIIC は SCL ラインが Low または High に固定されたまま一定時間以上経過したことを検知し、バスの異常状態を検出することができます。

タイムアウト検出機能は SCL ラインの状態を監視し、Low または High の時間を内部カウンタでカウントします。タイムアウト検出機能は SCL ラインに変化（立ち上がり／立ち下がり）があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCL ラインに変化がないまま内部カウンタがオーバフローすると、RIIC はタイムアウトを検出しバス異常状態を知らせることができます。

内部カウンタは下記条件の時にクリアされます。

(1) RIICnMR2.TMOH＝0, RIICnMR2.TMOL＝1 の場合
SCL の立ち上がりでクリア

(2) RIICnMR2.TMOH＝1, RIICnMR2.TMOL＝0 の場合は
SCL の立ち下がりでクリア

(3) RIICnMR2.TMOH＝RIICnMR2.TMOL＝1 の場合は
SCL の立ち上がり／立ち下がりでクリア

このタイムアウト検出機能は RIICnFER.TMOE ビットが“1”のとき有効で、以下の期間に SCL ラインの Low 固定または High 固定のバス異常状態を検出します。

- マスタモード（RIICnCR2.MST ビット＝1）で、バスビジー（RIICnCR2.BBSY フラグ＝1）
- スレーブモード（RIICnCR2.MST ビット＝0）で、自スレーブアドレス一致（RIICnSR1 レジスタ≠00_H）かつバスビジー（RIICnCR2.BBSY フラグ＝1)
- スタートコンディション発行要求中（RIICnCR2.ST ビット＝1）で、バスフリー（RIICnCR2.BBSY フラグ＝0）

タイムアウト検出機能の内部カウンタは、RIICnMR1.CKS[2:0]ビットで設定された内部基準クロック（IICϕ）をカウントソースとして動作し、ロングモード選択時（RIICnMR2.TMOS ビット＝0）16 ビットカウンタ、ショートモード選択時（TMOS ビット＝1）14 ビットカウンタとなります。

また内部カウンタのカウント動作は、SCL ラインが Low 状態のときカウントさせるか、High 状態のときカウントさせるか、あるいはその両方をカウントさせるかを RIICnMR2.TMOH, TMOL ビットの設定により選択することが可能です。なお TMOH, TMOL ビットの両方を“0”にした場合は、内部カウント動作を行いません。

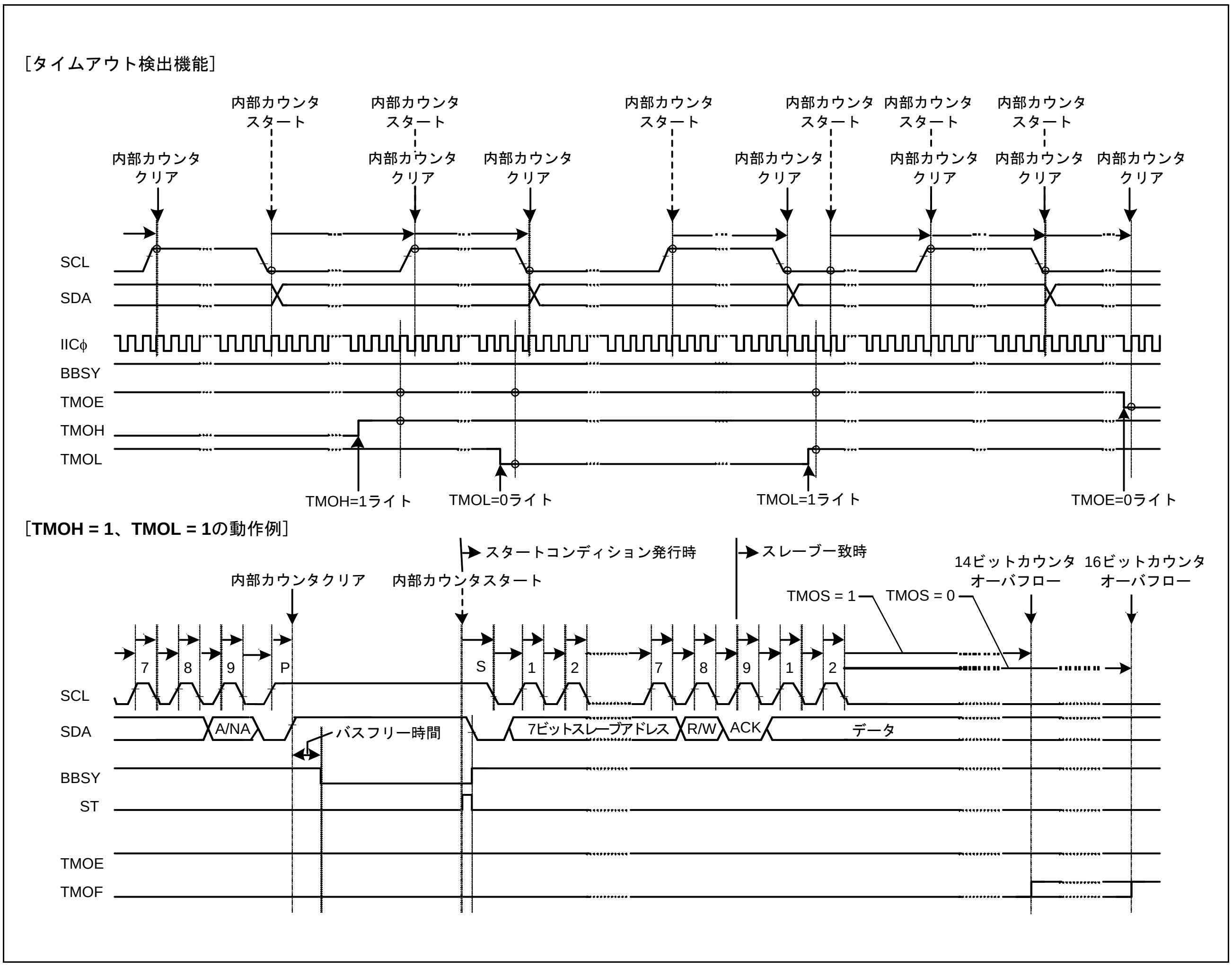


図 23.38　タイムアウト検出機能（TMOE、TMOS、TMOH、TMOL ビット）

23.13.2　SCL クロック追加出力機能

RIIC にはマスタモード時、スレーブデバイスとの同期ズレによるスレーブデバイスの SDA ライン Low 固定状態を開放するための SCL クロック追加出力機能を備えています。

SCL クロック追加出力機能は、SCL クロックを 1 クロック単位で追加出力をする機能で、主にマスタモード時にスレーブデバイスが SDA ラインを Low 固定状態のままストップコンディションを発行できない場合に、スレーブデバイスの SDA ライン固定状態を開放させることに使用します。通常は使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

SCL クロック追加出力は、RIICnCR1.CLO ビットを“1”にすると、RIICnMR1.CKS[2:0]ビット、RIICnBRH、RIICnBRL レジスタで設定された転送速度の SCL クロックが 1 クロック分追加クロックとして出力されます。1 クロック分の追加クロック出力が終了すると CLO ビットは自動的に“0”になります。そのためソフトウェアで CLO ビットが“0”であることを確認後“1”を書くことにより、追加クロックを連続的に出力することができます。

RIIC がマスタモード時にノイズ等の影響によりスレーブデバイスとの同期ズレが原因でスレーブデバイスが SDA ラインを Low 固定状態のままストップコンディションを発行できないバス異常状態のとき、SCL クロック追加出力機能を使用して追加クロックを 1 クロックずつ出力することでスレーブデバイスの SDA ラインの Low 固定状態を開放させ、バス状態を復帰させることができます。このスレーブデバイスの SDA ライン開放は RIICnCR1.SDAI ビットをチェックすることで確認することができます。スレーブデバイスの SDA ライン開放を確認した後、通信を終了させるため再度ストップコンディション発行を行ってください。

なお、この機能を使用する場合は RIICnFER.MALE ビットを“0”（マスタアービトレーションロスト検出禁止）にして使用してください。MALE ビットが“1”（マスタアービトレーションロスト検出許可）の場合、RIICnCR1.SDAO ビットの値と SDA ラインが不一致のときアービトレーションロストが発生する可能性がありますので使用しないでください。

［SCL クロック追加出力条件］

- マスタモードかつバスフリー状態のとき
- マスタモードかつ SCL ラインを Low ホールドしていない状態のとき（バスビジー状態）

「**図 23.39 SCL クロック追加出力機能（CLO ビット）**」に SCL クロック追加出力機能（CLO ビット）を示します。

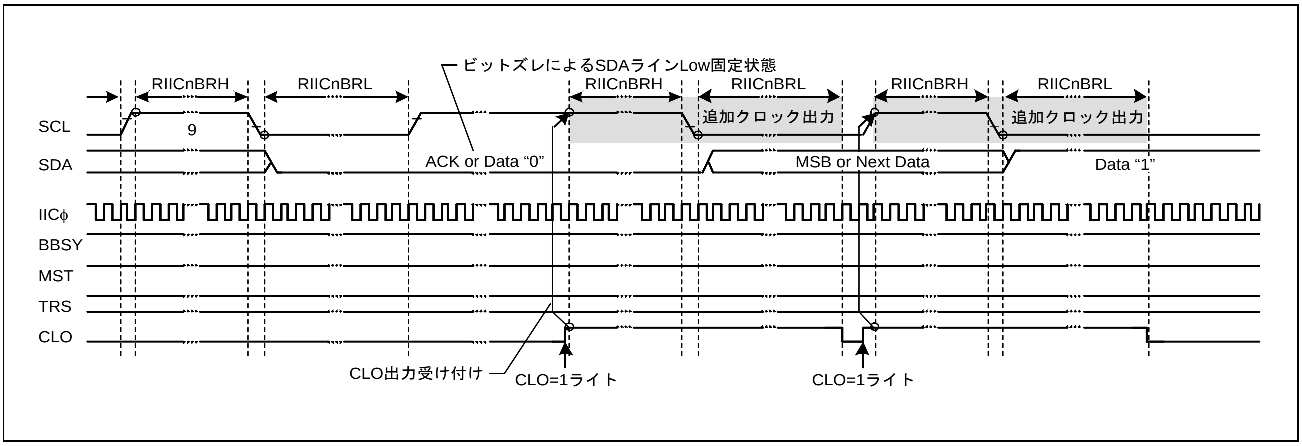


図 23.39　SCL クロック追加出力機能（CLO ビット）

23.13.3　RIIC／内部リセット

RIIC は RIIC モジュールをリセットするための機能を備えています。リセットには 2 種類のリセットがあり、1 つは RIICnCR2.BBSY フラグを含めた全レジスタの初期化を行う RIIC リセット、もう 1 つは各種設定値を保持したままスレーブアドレス一致状態の解除や内部カウンタの初期化などを行う内部リセットです。

リセット後は RIICnCR1.IICRST ビットを“0”にしてください。

いずれのリセットも SCL 端子／SDA 端子の出力状態を解除しハイインピーダンスに戻すため、バスハングアップ状態の解除にも利用できます。

なおスレーブ動作時のリセットは、マスタデバイスとの同期ズレを引き起こす原因になりますので使用は極力避けてください。また RIIC リセット（RIICnCR1.ICE, IICRST ビット＝01_B）のリセット中はスタートコンディションなどのバス状態を監視できませんので注意してください。

RIIC／内部リセットの詳細については、「**23.14 RIIC のリセット機能**」を参照してください。

23.14 RIIC のリセット機能

RIIC は、RIIC リセットおよび内部リセットのリセット機能を持っています。加えて、RIIC は ISORES によってリセットされます。「**表 23.29 RIIC のリセット機能**」に各リセットのリセット範囲およびリセット状況を示します。

表 23.29 RIIC のリセット機能

UM		ISORES	RIIC リセット（ICE ビット＝0、IICRST ビット＝1）	内部リセット（ICE ビット＝1、IICRST ビット＝1）	スタートコンディション／リスタートコンディション検出	ストップコンディション検出
RIICnCR1	ICE	初期化	0	1	保持	保持
	IICRST	初期化	1	1	保持	保持
	CLO	初期化	初期化	保持	保持	保持
	SOWP	初期化	初期化	保持	保持	保持
	SCLO	初期化	初期化	初期化	保持	保持
	SDAO	初期化	初期化	初期化	保持	保持
	SCLI	初期化	初期化	保持	保持	保持
	SDAI	初期化	初期化	保持	保持	保持
RIICnCR2	BBSY	初期化	初期化	初期化注 1	動作	保持
	MST	初期化	初期化	初期化	動作（保持）	初期化
	TRS	初期化	初期化	初期化	動作（保持）	初期化
	SP	初期化	初期化	初期化	初期化	初期化
	RS	初期化	初期化	初期化	初期化	初期化
	ST	初期化	初期化	初期化	初期化	保持
RIICnMR1	MTWP	初期化	初期化	保持	保持	保持
	CKS[2:0]	初期化	初期化	保持	保持	保持
	BCWP	初期化	初期化	保持	保持	保持
	BC[2:0]	初期化	初期化	初期化	初期化	保持
RIICnMR2		初期化	初期化	保持	保持	保持
RIICnMR3	WAIT	初期化	初期化	保持	保持	保持
	RDRFS	初期化	初期化	保持	保持	保持
	ACKWP	初期化	初期化	保持	保持	保持
	ACKBT	初期化	初期化	保持	保持	初期化
	ACKBR	初期化	初期化	保持	保持	保持
	NF[1:0]	初期化	初期化	保持	保持	保持
RIICnFER		初期化	初期化	保持	保持	保持
RIICnSER		初期化	初期化	保持	保持	保持
RIICnIER		初期化	初期化	保持	保持	保持
RIICnSR1	DID	初期化	初期化	初期化	保持	初期化
	GCA	初期化	初期化	初期化	保持	初期化
	AAS2	初期化	初期化	初期化	保持	初期化
	AAS1	初期化	初期化	初期化	保持	初期化
	AAS0	初期化	初期化	初期化	保持	初期化

表 23.29　RIIC のリセット機能

UM		ISORES	RIIC リセット（ICE ビット= 0、IICRST ビット= 1）	内部リセット（ICE ビット= 1、IICRST ビット= 1）	スタートコンディション／リスタートコンディション検出	ストップコンディション検出
RIICnSR2	TDRE	初期化	初期化	初期化	保持	初期化
	TEND	初期化	初期化	初期化	保持	初期化
	RDRF	初期化	初期化	初期化	保持	保持
	NACKF	初期化	初期化	初期化	保持	保持
	STOP	初期化	初期化	初期化	保持	動作
	START	初期化	初期化	初期化	動作	初期化
	AL	初期化	初期化	初期化	保持	保持
	TMOF	初期化	初期化	初期化	保持	保持
RIICnSAR0, 1, 2		初期化	初期化	保持	保持	保持
RIICnBRH, RIICnBRL		初期化	初期化	保持	保持	保持
RIICnDRT		初期化	初期化	保持	保持	保持
RIICnDRR		初期化	初期化	保持	保持	保持
RIICnDRS		初期化	初期化	初期化	保持	保持

注1.　ストップコンディション検出後のバスフリー期間中に、内部リセットをかけた場合、BBSY フラグが内部リセット解除から、バスフリー時間を経由して、“0”となる。
バスフリー期間以外で内部リセットをかけた場合は、BBSY フラグはクリアされない。

第24章　CANFD インタフェース（RS-CANFD）

本章では、CAN インタフェース（RS-CANFD）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1KH, RH850/F1KM に固有の特長について説明します。

それ以降の節では、RS-CANFD の機能、レジスタについて説明します。

24.1　RH850/F1KH, RH850/F1KM RS-CANFD の特長

24.1.1　ユニット数とチャネル数

本製品は、以下のユニット数、チャネル数の RS-CANFD を搭載しています。

表 24.1　ユニット数 (RH850/F1KH-D8)

製品名	RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 324 Pin
ユニット数	1	1	2
名称	RCFDCn（n=0）	RCFDCn（n=0）	RCFDCn（n=0, 1）

表 24.2　ユニット数 (RH850/F1KM-S4)

製品名	RH850/F1KM-S4 100 Pin	RH850/F1KM-S4 144 Pin	RH850/F1KM-S4 176 Pin	RH850/F1KM-S4 233 Pin	RH850/F1KM-S4 272 Pin
ユニット数	1	1	1	1	1
名称	RCFDCn（n=0）	RCFDCn（n=0）	RCFDCn（n=0）	RCFDCn（n=0）	RCFDCn（n=0）

表 24.3　ユニット数 (RH850/F1KM-S2)

製品名	RH850/F1KM-S2 100 Pin	RH850/F1KM-S2 144 Pin	RH850/F1KM-S2 176 Pin
ユニット数	1	1	1
名称	RCFDCn（n=0）	RCFDCn（n=0）	RCFDCn（n=0）

表 24.4　ユニット数 (RH850/F1KM-S1)

製品名	RH850/F1KM-S1 48 Pin	RH850/F1KM-S1 64 Pin	RH850/F1KM-S1 80 Pin	RH850/F1KM-S1 100 Pin
ユニット数	1	1	1	1
名称	RCFDCn（n=0）	RCFDCn（n=0）	RCFDCn（n=0）	RCFDCn（n=0）

表 24.5　ユニット構成とチャネルの対応 (RH850/F1KH-D8)

ユニット名 RCFDCn	ユニットチャネル総数 z	チャネル名 CANm	RH850/F1KH-D8 176 Pin (8ch)	RH850/F1KH-D8 233 Pin (8ch)	RH850/F1KH-D8 324 Pin (12ch)
RCFDC0	0	CAN0	○	○	○
	1	CAN1	○	○	○
	2	CAN2	○	○	○
	3	CAN3	○	○	○
	4	CAN4	○	○	○
	5	CAN5	○	○	○
	6	CAN6	○	○	○
	7	CAN7	○	○	○
RCFDC1	8	CAN0	—	—	○
	9	CAN1	—	—	○
	10	CAN2	—	—	○
	11	CAN3	—	—	○

表 24.6　ユニット構成とチャネルの対応 (RH850/F1KM-S4)

ユニット名 RCFDCn	ユニットチャネル総数 z	チャネル名 CANm	RH850/ F1KM-S4 100 Pin (8ch)	RH850/ F1KM-S4 144 Pin (8ch)	RH850/ F1KM-S4 176 Pin (8ch)	RH850/ F1KM-S4 233 Pin (8ch)	RH850/ F1KM-S4 272 Pin (8ch)
RCFDC0	0	CAN0	○	○	○	○	○
	1	CAN1	○	○	○	○	○
	2	CAN2	○	○	○	○	○
	3	CAN3	○	○	○	○	○
	4	CAN4	○	○	○	○	○
	5	CAN5	○	○	○	○	○
	6	CAN6	○	○	○	○	○
	7	CAN7	○	○	○	○	○

表 24.7　ユニット構成とチャネルの対応 (RH850/F1KM-S2)

ユニット名 RCFDCn	ユニットチャネル総数 z	チャネル名 CANm	RH850/ F1KM-S2 100 Pin (8ch)	RH850/ F1KM-S2 144 Pin (8ch)	RH850/ F1KM-S2 176 Pin (8ch)
RCFDC0	0	CAN0	○	○	○
	1	CAN1	○	○	○
	2	CAN2	○	○	○
	3	CAN3	○	○	○
	4	CAN4	○	○	○
	5	CAN5	○	○	○
	6	CAN6	○	○	○
	7	CAN7	○	○	○

表 24.8 ユニット構成とチャネルの対応 (RH850/F1KM-S1)

ユニット名 RCFDCn	ユニットチャネル総数 z	チャネル名 CANm	RH850/F1KM-S1 48 Pin (1ch)	RH850/F1KM-S1 64 Pin (3ch)	RH850/F1KM-S1 80 Pin (3ch)	RH850/F1KM-S1 100 Pin (6ch)
RCFDC0	0	CAN0	○	○	○	○
	1	CAN1	—	○	○	○
	2	CAN2	—	○	○	○
	3	CAN3	—	—	—	○
	4	CAN4	—	—	—	○
	5	CAN5	—	—	—	○

表 24.9　添字 (RH850/F1KH-D8)

添字	説明
n	本章では、RS-CANFD のユニットを「n」で識別します。たとえば、RCFDCn ユニットのグローバル制御レジスタは RCFDCnCFDGCTR（n＝0, 1）と記述します。
m	本章では、RS-CANFD のチャネル数を「m」で識別します。たとえば、チャネル m ステータスレジスタは RCFDCnCFDCmSTS（n＝0 の場合 m＝0～7、n＝1 の場合 m＝0～3）と記述します。
z	本章では、RS-CANFD ユニットのチャネルの総数を「z」（z＝0～11）で識別します。
j	受信ルールテーブル関連のレジスタを「j」で識別します。たとえば、受信ルール ID レジスタは RCFDCnCFDGAFLIDj（n＝0, 1 の場合 j＝0～15）と記述します。
k	送受信 FIFO バッファ番号を「k」で識別します。たとえば、送受信 FIFO バッファコンフィグレーション／制御レジスタは RCFDCnCFDCFCCk（n＝0, 1 の場合 k＝0～チャネル m×3＋2）と記述します。
x	受信 FIFO バッファ番号を「x」で識別します。たとえば、受信 FIFO バッファステータスレジスタは、RCFDCnCFDRFSTSx（n＝0, 1 の場合 x＝0～7）と記述します。
d	送受信 FIFO バッファおよび受信 FIFO バッファのデータフィールドレジスタを「d」で識別します。たとえば、送受信 FIFO バッファデータフィールドレジスタは RCFDCnCFDCFDFd_k（d＝0～15）と記述します。
q	受信バッファの番号を「q」で識別します。たとえば、受信バッファ ID レジスタは RCFDCnCFDRMIDq（n＝0, 1 の場合 q＝0～チャネル m×16＋15）と記述します。
p	送信バッファの番号を「p」で識別します。たとえば、送信バッファ制御レジスタは RCFDCnCFDTMCp（n＝0, 1 の場合 p＝0～チャネル m×32＋31）と記述します。
b	受信バッファおよび送信バッファのデータフィールドレジスタを「b」で識別します。たとえば、受信バッファデータフィールドレジスタは RCFDCnCFDRMDFb_q（n＝0, 1 の場合 b＝0～15）と記述します。
r	CAN 用 RAM テスト番号を「r」で識別します。たとえば、RAM テストページアクセスレジスタは RCFDCnCFDRPGACCr（n＝0, 1 の場合 r＝0～63）と記述します。
y	上記以外のレジスタをまとめて説明する場合、「y」で識別します。たとえば、受信バッファ新データレジスタは RCFDCnCFDRMNDy（n＝0 の場合 y＝0～3、n＝1 の場合 y＝0, 1）と記述します。

備考　本章の機能およびレジスタ説明は、ユニット 0 の場合 RS-CANFD 8 チャネル内蔵品（m＝0～7）について、ユニット 1 の場合 RS-CANFD 4 チャネル内蔵品（m＝0～3）について記載しています。本文中の添字の値はお使いになる製品に合わせてください。また、以下の点に注意してください。お使いになる製品により添字の範囲外となるビットへ書き込む場合はリセット後の値を書き込んでください。

表 24.10　添字 (RH850/F1KM-S4, RH850/F1KM-S2)

添字	説明
n	本章では、RS-CANFD のユニットを「n」で識別します。たとえば、RCFDCn ユニットのグローバル制御レジスタは RCFDCnCFDGCTR（n＝0）と記述します。
m	本章では、RS-CANFD のチャネル数を「m」で識別します。たとえば、チャネル m ステータスレジスタは RCFDCnCFDCmSTS（m＝0～7）と記述します。
z	本章では、RS-CANFD ユニットのチャネルの総数を「z」（z＝0～7）で識別します。
j	受信ルールテーブル関連のレジスタを「j」で識別します。たとえば、受信ルール ID レジスタは RCFDCnCFDGAFLIDj（j＝0～15）と記述します。
k	送受信 FIFO バッファ番号を「k」で識別します。たとえば、送受信 FIFO バッファコンフィグレーション／制御レジスタは RCFDCnCFDCFCCk（k＝0～チャネル m×3＋2）と記述します。
x	受信 FIFO バッファ番号を「x」で識別します。たとえば、受信 FIFO バッファステータスレジスタは、RCFDCnCFDRFSTSx（x＝0～7）と記述します。
d	送受信 FIFO バッファおよび受信 FIFO バッファのデータフィールドレジスタを「d」で識別します。たとえば、送受信 FIFO バッファデータフィールドレジスタは RCFDCnCFDCFDFd_k（d＝0～15）と記述します。
q	受信バッファの番号を「q」で識別します。たとえば、受信バッファ ID レジスタは RCFDCnCFDRMIDq（q＝0～チャネル m×16＋15）と記述します。
p	送信バッファの番号を「p」で識別します。たとえば、送信バッファ制御レジスタは RCFDCnCFDTMCp（p＝0～チャネル m×32＋31）と記述します。
b	受信バッファおよび送信バッファのデータフィールドレジスタを「b」で識別します。たとえば、受信バッファデータフィールドレジスタは RCFDCnCFDRMDFb_q（b＝0～15）と記述します。
r	CAN 用 RAM テスト番号を「r」で識別します。たとえば、RAM テストページアクセスレジスタは RCFDCnCFDRPGACCr（r＝0～63）と記述します。
y	上記以外のレジスタをまとめて説明する場合、「y」で識別します。たとえば、受信バッファ新データレジスタは RCFDCnCFDRMNDy（n＝0 の場合 y＝0～3、n＝1 の場合 y＝0, 1）と記述します。

備考　本章の機能およびレジスタ説明は、RS-CANFD 8 チャネル内蔵品（m＝0～7）について記載しています。本文中の添字の値はお使いになる製品に合わせてください。また、以下の点に注意してください。お使いになる製品により添字の範囲外となるビットへ書き込む場合はリセット後の値を書き込んでください。

表 24.11　添字 (RH850/F1KM-S1)

添字	説明
n	本章では、RS-CANFD のユニットを「n」で識別します。たとえば、RCFDCn ユニットのグローバル制御レジスタは RCFDCnCFDGCTR（n＝0）と記述します。
m	本章では、RS-CANFD のチャネル数を「m」で識別します。たとえば、チャネル m ステータスレジスタは RCFDCnCFDCmSTS（m＝0～5）と記述します。
z	本章では、RS-CANFD ユニットのチャネルの総数を「z」（z＝0～5）で識別します。
j	受信ルールテーブル関連のレジスタを「j」で識別します。たとえば、受信ルール ID レジスタは RCFDCnCFDGAFLIDj（j＝0～15）と記述します。
k	送受信 FIFO バッファ番号を「k」で識別します。たとえば、送受信 FIFO バッファコンフィグレーション／制御レジスタは RCFDCnCFDCFCCk（k＝0～チャネル m×3＋2）と記述します。
x	受信 FIFO バッファ番号を「x」で識別します。たとえば、受信 FIFO バッファステータスレジスタは、RCFDCnCFDRFSTSx（x＝0～7）[注1]と記述します。
d	送受信 FIFO バッファおよび受信 FIFO バッファのデータフィールドレジスタを「d」で識別します。たとえば、送受信 FIFO バッファデータフィールドレジスタは RCFDCnCFDCFDFd_k（d＝0～15）と記述します。
q	受信バッファの番号を「q」で識別します。たとえば、受信バッファ ID レジスタは RCFDCnCFDRMIDq（q＝0～チャネル m×16＋15）と記述します。
p	送信バッファの番号を「p」で識別します。たとえば、送信バッファ制御レジスタは RCFDCnCFDTMCp（p＝0～チャネル m×32＋31）と記述します。
b	受信バッファおよび送信バッファのデータフィールドレジスタを「b」で識別します。たとえば、受信バッファデータフィールドレジスタは RCFDCnCFDRMDFb_q（b＝0～15）と記述します。
r	CAN 用 RAM テスト番号を「r」で識別します。たとえば、RAM テストページアクセスレジスタは RCFDCnCFDRPGACCr（r＝0～63）と記述します。
y	上記以外のレジスタをまとめて説明する場合、「y」で識別します。たとえば、受信バッファ新データレジスタは RCFDCnCFDRMNDy（n＝0 の場合 y＝0～2、n＝1 の場合 y＝0, 1）と記述します。

備考　本章の機能およびレジスタ説明は、RS-CANFD 6 チャネル内蔵品（m＝0～5）について記載しています。本文中の添字の値はお使いになる製品に合わせてください。また、以下の点に注意してください。お使いになる製品により添字の範囲外となるビットへ書き込む場合はリセット後の値を書き込んでください。

注1.　RH850/F1KM-S1 の RCFDCnCFDCDTCT、RCFDCnCFDCDTSTS は、x＝0～5 です。

各製品の添字が示す値を以下に示します。

表 24.12　各製品の添字対応（RH850/F1KH-D8）

ユニット名	各製品の添字対応		
	176 Pin	233 Pin	324 Pin
RCFDC0	m＝0～7	m＝0～7	m＝0～7
	z＝0～7	z＝0～7	z＝0～7
	j＝0～15	j＝0～15	j＝0～15
	k＝0～23	k＝0～23	k＝0～23
	x＝0～7	x＝0～7	x＝0～7
	d＝0～15	d＝0～15	d＝0～15
	q＝0～127	q＝0～127	q＝0～127
	p＝0～255	p＝0～255	p＝0～255
	b＝0～15	b＝0～15	b＝0～15
	r＝0～63	r＝0～63	r＝0～63
	y＝0～3	y＝0～3	y＝0～3
RCFDC1	—	—	m＝0～3
	—	—	z＝8～11
	—	—	j＝0～15
	—	—	k＝0～11
	—	—	x＝0～7
	—	—	d＝0～15
	—	—	q＝0～63
	—	—	p＝0～127
	—	—	b＝0～15
	—	—	r＝0～63
	—	—	y＝0, 1

表 24.13　各製品の添字対応（RH850/F1KM-S4）

ユニット名	各製品の添字対応				
	100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
RCFDC0	m＝0～7	m＝0～7	m＝0～7	m＝0～7	m＝0～7
	z＝0～7	z＝0～7	z＝0～7	z＝0～7	z＝0～7
	j＝0～15	j＝0～15	j＝0～15	j＝0～15	j＝0～15
	k＝0～23	k＝0～23	k＝0～23	k＝0～23	k＝0～23
	x＝0～7	x＝0～7	x＝0～7	x＝0～7	x＝0～7
	d＝0～15	d＝0～15	d＝0～15	d＝0～15	d＝0～15
	q＝0～127	q＝0～127	q＝0～127	q＝0～127	q＝0～127
	p＝0～255	p＝0～255	p＝0～255	p＝0～255	p＝0～255
	b＝0～15	b＝0～15	b＝0～15	b＝0～15	b＝0～15
	r＝0～63	r＝0～63	r＝0～63	r＝0～63	r＝0～63
	y＝0～3	y＝0～3	y＝0～3	y＝0～3	y＝0～3

表 24.14　各製品の添字対応（RH850/F1KM-S2）

ユニット名	各製品の添字対応		
	100 Pin	144 Pin	176 Pin
RCFDC0	m＝0～7	m＝0～7	m＝0～7
	z＝0～7	z＝0～7	z＝0～7
	j＝0～15	j＝0～15	j＝0～15
	k＝0～23	k＝0～23	k＝0～23
	x＝0～7	x＝0～7	x＝0～7
	d＝0～15	d＝0～15	d＝0～15
	q＝0～127	q＝0～127	q＝0～127
	p＝0～255	p＝0～255	p＝0～255
	b＝0～15	b＝0～15	b＝0～15
	r＝0～63	r＝0～63	r＝0～63
	y＝0～3	y＝0～3	y＝0～3

表 24.15　各製品の添字対応（RH850/F1KM-S1）

ユニット名	各製品の添字対応			
	48 Pin	64 Pin	80 Pin	100 Pin
RCFDC0	m＝0	m＝0～2	m＝0～2	m＝0～5
	z＝0	z＝0～2	z＝0～2	z＝0～5
	j＝0～15	j＝0～15	j＝0～15	j＝0～15
	k＝0～2	k＝0～8	k＝0～8	k＝0～17
	x＝0～7 注1	x＝0～7 注1	x＝0～7 注1	x＝0～7 注1
	d＝0～15	d＝0～15	d＝0～15	d＝0～15
	q＝0～15	q＝0～47	q＝0～47	q＝0～95
	p＝0～31	p＝0～95	p＝0～95	p＝0～191
	b＝0～15	b＝0～15	b＝0～15	b＝0～15
	r＝0～63	r＝0～63	r＝0～63	r＝0～63
	y＝0	y＝0, 1	y＝0, 1	y＝0～2

注1.　RH850/F1KM-S1 の RCFDCnCFDCDTCT、RCFDCnCFDCDTSTS は、x＝0～5 です。

24.1.2　レジスタベースアドレス

RCFDCn のベースアドレスを以下の表に示します。

RCFDCn のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 24.16　レジスタベースアドレス (RH850/F1KH-D8)

ベースアドレス名	ベースアドレス
<RCFDC0_base>	FFD0 0000$_H$
<RCFDC1_base>	FFD2 0000$_H$

表 24.17　レジスタベースアドレス (RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ベースアドレス名	ベースアドレス
<RCFDC0_base>	FFD0 0000$_H$

24.1.3　クロック供給

RCFDCn のクロック供給を以下の表に示します。

表 24.18　クロック供給 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	ユニットクロック名	供給クロック名	説明
RCFDCn	clk_xincan	CKSCLK_ICANOSC	OSC クロックからの通信クロック
	clkc	CKSCLK_IPERI2	通信クロック
	pclk	CKSCLK_ICAN	モジュールクロック
	レジスタアクセスクロック	CPUCLK_M, CKSCLK_ICAN	バスクロック

RCFDCn の動作周波数は、転送レート、および使用チャネル数に依存します。「**表 24.19 RH850/F1KH, RH850/F1KM における転送レート・使用チャネル数での動作周波数範囲**」に示す範囲で使用してください。

表 24.19　RH850/F1KH, RH850/F1KM における転送レート・使用チャネル数での動作周波数範囲

条件			動作可能な周波数範囲		
通常ビットレート	データビットレート	使用 ch 数（最大）	pclk	clk_xincan 注 1	clkc 注 1
500kbps	5Mbps	8ch	pclk＝80MHz	適用不可	clkc＝40MHz
1Mbps	2Mbps	8ch	pclk＝80MHz	適用不可	clkc＝40MHz
500kbps	2Mbps	2ch	pclk＝24MHz	clk_xincan＝12MHz	適用不可
500kbps	2Mbps	8ch	pclk＝80MHz	適用不可	clkc＝40MHz

注1.　RCFDCnCFDGCFG レジスタの DCS ビットにより、clk_xincan、clkc いずれかを選択可能です。各クロックは pclk/2 以下に設定してください。

注　意

STOP モードで RS-CANFD を使用をする場合は、RS-CANFD のクロック源に MainOSC を設定してください。クロック源の設定は「**12AB.4.3.10 RS-CAN クロックドメイン C_ISO_CAN と C_ISO_CANOSC**」と「**12C.4.3.9 RS-CAN クロックドメイン C_ISO_CAN と C_ISO_CANOSC**」を参照してください。

24.1.4 割り込み要求

RCFDCn の割り込み要求を以下の表に示します。

表 24.20 割り込み要求 (RH850/F1KH-D8)

ユニット割り込み信号		説明	割り込み番号	DMA トリガ番号
RCFDC0				
Global	INTRCANGERR0	CAN グローバルエラー割り込み	22	—
	INTRCANGRECC0	CAN 受信 FIFO 割り込み	23	—
	RSCANFDRF0	受信 FIFO アクセスメッセージバッファ 0	—	60
	RSCANFDRF1	受信 FIFO アクセスメッセージバッファ 1	—	61
	RSCANFDRF2	受信 FIFO アクセスメッセージバッファ 2	—	62
	RSCANFDRF3	受信 FIFO アクセスメッセージバッファ 3	—	63
	RSCANFDRF4	受信 FIFO アクセスメッセージバッファ 4	—	68
	RSCANFDRF5	受信 FIFO アクセスメッセージバッファ 5	—	69
	RSCANFDRF6	受信 FIFO アクセスメッセージバッファ 6	—	82
	RSCANFDRF7	受信 FIFO アクセスメッセージバッファ 7	—	83
CAN0	INTRCAN0ERR	CAN0 エラー割り込み	24	—
	INTRCAN0REC	CAN0 送受信 FIFO 受信完了割り込み	25	—
	INTRCAN0TRX	CAN0 送信割り込み	26	—
	RSCANFDCF0	CAN0 共通 FIFO アクセスメッセージバッファ	—	23
CAN1	INTRCAN1ERR	CAN1 エラー割り込み	113	—
	INTRCAN1REC	CAN1 送受信 FIFO 受信完了割り込み	114	—
	INTRCAN1TRX	CAN1 送信割り込み	115	—
	RSCANFDCF1	CAN1 共通 FIFO アクセスメッセージバッファ	—	24
CAN2	INTRCAN2ERR	CAN2 エラー割り込み	217	—
	INTRCAN2REC	CAN2 送受信 FIFO 受信完了割り込み	218	—
	INTRCAN2TRX	CAN2 送信割り込み	219	—
	RSCANFDCF2	CAN2 共通 FIFO アクセスメッセージバッファ	—	26
CAN3	INTRCAN3ERR	CAN3 エラー割り込み	220	—
	INTRCAN3REC	CAN3 送受信 FIFO 受信完了割り込み	221	—
	INTRCAN3TRX	CAN3 送信割り込み	222	—
	RSCANFDCF3	CAN3 共通 FIFO アクセスメッセージバッファ	—	27
CAN4	INTRCAN4ERR	CAN4 エラー割り込み	272	—
	INTRCAN4REC	CAN4 送受信 FIFO 受信完了割り込み	273	—
	INTRCAN4TRX	CAN4 送信割り込み	274	—
	RSCANFDCF4	CAN4 共通 FIFO アクセスメッセージバッファ	—	48
CAN5	INTRCAN5ERR	CAN5 エラー割り込み	287	—
	INTRCAN5REC	CAN5 送受信 FIFO 受信完了割り込み	288	—
	INTRCAN5TRX	CAN5 送信割り込み	289	—
	RSCANFDCF5	CAN5 共通 FIFO アクセスメッセージバッファ	—	49
CAN6	INTRCAN6ERR	CAN6 エラー割り込み	321	—
	INTRCAN6REC	CAN6 送受信 FIFO 受信完了割り込み	322	—
	INTRCAN6TRX	CAN6 送信割り込み	323	—
	RSCANFDCF6	CAN6 共通 FIFO アクセスメッセージバッファ	—	64

表 24.20　割り込み要求 (RH850/F1KH-D8)

ユニット割り込み信号		説明	割り込み番号	DMA トリガ番号
CAN7	INTRCAN7ERR	CAN7 エラー割り込み	332	—
	INTRCAN7REC	CAN7 送受信 FIFO 受信完了割り込み	333	—
	INTRCAN7TRX	CAN7 送信割り込み	334	—
	RSCANFDCF7	CAN7 共通 FIFO アクセスメッセージバッファ	—	65
RCFDC1				
Global	INTRCANGERR1	CAN グローバルエラー割り込み	319	—
	INTRCANGRECC1	CAN 受信 FIFO 割り込み	320	—
	RSCANFDRF8	受信 FIFO アクセスメッセージバッファ 8	—	96
	RSCANFDRF9	受信 FIFO アクセスメッセージバッファ 9	—	97
	RSCANFDRF10	受信 FIFO アクセスメッセージバッファ 10	—	98
	RSCANFDRF11	受信 FIFO アクセスメッセージバッファ 11	—	99
	RSCANFDRF12	受信 FIFO アクセスメッセージバッファ 12	—	15
	RSCANFDRF13	受信 FIFO アクセスメッセージバッファ 13	—	25
	RSCANFDRF14	受信 FIFO アクセスメッセージバッファ 14	—	84
	RSCANFDRF15	受信 FIFO アクセスメッセージバッファ 15	—	57
CAN0	INTRCAN8ERR	CAN0 エラー割り込み	244	—
	INTRCAN8REC	CAN0 送受信 FIFO 受信完了割り込み	245	—
	INTRCAN8TRX	CAN0 送信割り込み	246	—
	RSCANFDCF8	CAN0 共通 FIFO アクセスメッセージバッファ	—	92
CAN1	INTRCAN9ERR	CAN1 エラー割り込み	247	—
	INTRCAN9REC	CAN1 送受信 FIFO 受信完了割り込み	248	—
	INTRCAN9TRX	CAN1 送信割り込み	249	—
	RSCANFDCF9	CAN1 共通 FIFO アクセスメッセージバッファ	—	93
CAN2	INTRCAN10ERR	CAN2 エラー割り込み	250	—
	INTRCAN10REC	CAN2 送受信 FIFO 受信完了割り込み	251	—
	INTRCAN10TRX	CAN2 送信割り込み	252	—
	RSCANFDCF10	CAN2 共通 FIFO アクセスメッセージバッファ	—	94
CAN3	INTRCAN11ERR	CAN3 エラー割り込み	253	—
	INTRCAN11REC	CAN3 送受信 FIFO 受信完了割り込み	254	—
	INTRCAN11TRX	CAN3 送信割り込み	255	—
	RSCANFDCF11	CAN3 共通 FIFO アクセスメッセージバッファ	—	95

表 24.21　割り込み要求 (RH850/F1KM-S4, RH850/F1KM-S2)

ユニット割り込み信号		説明	割り込み番号	DMA トリガ番号
RCFDC0				
Global	INTRCANGERR0	CAN グローバルエラー割り込み	22	—
	INTRCANGRECC0	CAN 受信 FIFO 割り込み	23	—
	RSCANFDRF0	受信 FIFO アクセスメッセージバッファ 0	—	60
	RSCANFDRF1	受信 FIFO アクセスメッセージバッファ 1	—	61
	RSCANFDRF2	受信 FIFO アクセスメッセージバッファ 2	—	62
	RSCANFDRF3	受信 FIFO アクセスメッセージバッファ 3	—	63
	RSCANFDRF4	受信 FIFO アクセスメッセージバッファ 4	—	68
	RSCANFDRF5	受信 FIFO アクセスメッセージバッファ 5	—	69
	RSCANFDRF6	受信 FIFO アクセスメッセージバッファ 6	—	82
	RSCANFDRF7	受信 FIFO アクセスメッセージバッファ 7	—	83
CAN0	INTRCAN0ERR	CAN0 エラー割り込み	24	—
	INTRCAN0REC	CAN0 送受信 FIFO 受信完了割り込み	25	—
	INTRCAN0TRX	CAN0 送信割り込み	26	—
	RSCANFDCF0	CAN0 共通 FIFO アクセスメッセージバッファ	—	23
CAN1	INTRCAN1ERR	CAN1 エラー割り込み	113	—
	INTRCAN1REC	CAN1 送受信 FIFO 受信完了割り込み	114	—
	INTRCAN1TRX	CAN1 送信割り込み	115	—
	RSCANFDCF1	CAN1 共通 FIFO アクセスメッセージバッファ	—	24
CAN2	INTRCAN2ERR	CAN2 エラー割り込み	217	—
	INTRCAN2REC	CAN2 送受信 FIFO 受信完了割り込み	218	—
	INTRCAN2TRX	CAN2 送信割り込み	219	—
	RSCANFDCF2	CAN2 共通 FIFO アクセスメッセージバッファ	—	26
CAN3	INTRCAN3ERR	CAN3 エラー割り込み	220	—
	INTRCAN3REC	CAN3 送受信 FIFO 受信完了割り込み	221	—
	INTRCAN3TRX	CAN3 送信割り込み	222	—
	RSCANFDCF3	CAN3 共通 FIFO アクセスメッセージバッファ	—	27
CAN4	INTRCAN4ERR	CAN4 エラー割り込み	272	—
	INTRCAN4REC	CAN4 送受信 FIFO 受信完了割り込み	273	—
	INTRCAN4TRX	CAN4 送信割り込み	274	—
	RSCANFDCF4	CAN4 共通 FIFO アクセスメッセージバッファ	—	48
CAN5	INTRCAN5ERR	CAN5 エラー割り込み	287	—
	INTRCAN5REC	CAN5 送受信 FIFO　受信完了割り込み	288	—
	INTRCAN5TRX	CAN5 送信割り込み	289	—
	RSCANFDCF5	CAN5 共通 FIFO アクセスメッセージバッファ	—	49
CAN6	INTRCAN6ERR	CAN6 エラー割り込み	321	—
	INTRCAN6REC	CAN6 送受信 FIFO 受信完了割り込み	322	—
	INTRCAN6TRX	CAN6 送信割り込み	323	—
	RSCANFDCF6	CAN6 共通 FIFO アクセスメッセージバッファ	—	64
CAN7	INTRCAN7ERR	CAN7 エラー割り込み	332	—
	INTRCAN7REC	CAN7 送受信 FIFO 受信完了割り込み	333	—
	INTRCAN7TRX	CAN7 送信割り込み	334	—
	RSCANFDCF7	CAN7 共通 FIFO アクセスメッセージバッファ	—	65

表 24.22　割り込み要求 (RH850/F1KM-S1)

ユニット割り込み信号		説明	割り込み番号	DMA トリガ番号
RCFDC0				
Global	INTRCANGERR0	CAN グローバルエラー割り込み	22	—
	INTRCANGRECC0	CAN 受信 FIFO 割り込み	23	—
	RSCANFDRF0	受信 FIFO アクセスメッセージバッファ 0	—	60
	RSCANFDRF1	受信 FIFO アクセスメッセージバッファ 1	—	61
	RSCANFDRF2	受信 FIFO アクセスメッセージバッファ 2	—	62
	RSCANFDRF3	受信 FIFO アクセスメッセージバッファ 3	—	63
	RSCANFDRF4	受信 FIFO アクセスメッセージバッファ 4	—	68
	RSCANFDRF5	受信 FIFO アクセスメッセージバッファ 5	—	69
	INTRCANGERR0	CAN グローバルエラー割り込み	22	—
	INTRCANGRECC0	CAN 受信 FIFO 割り込み	23	—
CAN0	INTRCAN0ERR	CAN0 エラー割り込み	24	—
	INTRCAN0REC	CAN0 送受信 FIFO 受信完了割り込み	25	—
	INTRCAN0TRX	CAN0 送信割り込み	26	—
	RSCANFDCF0	CAN0 共通 FIFO アクセスメッセージバッファ	—	23
CAN1	INTRCAN1ERR	CAN1 エラー割り込み	113	—
	INTRCAN1REC	CAN1 送受信 FIFO 受信完了割り込み	114	—
	INTRCAN1TRX	CAN1 送信割り込み	115	—
	RSCANFDCF1	CAN1 共通 FIFO アクセスメッセージバッファ	—	24
CAN2	INTRCAN2ERR	CAN2 エラー割り込み	217	—
	INTRCAN2REC	CAN2 送受信 FIFO 受信完了割り込み	218	—
	INTRCAN2TRX	CAN2 送信割り込み	219	—
	RSCANFDCF2	CAN2 共通 FIFO アクセスメッセージバッファ	—	26
CAN3	INTRCAN3ERR	CAN3 エラー割り込み	220	—
	INTRCAN3REC	CAN3 送受信 FIFO 受信完了割り込み	221	—
	INTRCAN3TRX	CAN3 送信割り込み	222	—
	RSCANFDCF3	CAN3 共通 FIFO アクセスメッセージバッファ	—	27
CAN4	INTRCAN4ERR	CAN4 エラー割り込み	272	—
	INTRCAN4REC	CAN4 送受信 FIFO 受信完了割り込み	273	—
	INTRCAN4TRX	CAN4 送信割り込み	274	—
	RSCANFDCF4	CAN4 共通 FIFO アクセスメッセージバッファ	—	48
CAN5	INTRCAN5ERR	CAN5 エラー割り込み	287	—
	INTRCAN5REC	CAN5 送受信 FIFO 受信完了割り込み	288	—
	INTRCAN5TRX	CAN5 送信割り込み	289	—
	RSCANFDCF5	CAN5 共通 FIFO アクセスメッセージバッファ	—	49

備　考

スタンバイモードから復帰可能なウェイクアップ要因については、「**14.1.2.1 各スタンバイモードのウェイクアップ要因**」を参照してください。

24.1.5　リセット要因

RCFDCn のリセット要因を以下に示します。RCFDCn は以下のリセット要因で初期化されます。

表 24.23　リセット要因 (RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	リセット要因
RCFDCn	すべてのリセット要因（ISORES）

24.1.6　外部入出力信号

RCFDCn の外部入出力信号を以下の表に示します。

表 24.24　外部入出力信号 (RH850/F1KH-D8)

ユニット信号名	説明	ポート端子兼用信号名
RCFDC0		
CANzRX（z=0～7）	CANm 受信データ入力	CANzRX（z=0～7）
CANzTX（z=0～7）	CANm 送信データ出力	CANzTX（z=0～7）
RCFDC1		
CANzRX（z=8～11）	CANm 受信データ入力	CANzRX（z=8～11）
CANzTX（z=8～11）	CANm 送信データ出力	CANzTX（z=8～11）

表 24.25　外部入出力信号 (RH850/F1KM-S4, RH850/F1KM-S2)

ユニット信号名	説明	ポート端子兼用信号名
RCFDC0		
CANzRX（z=0～7）	CANm 受信データ入力	CANzRX（z=0～7）
CANzTX（z=0～7）	CANm 送信データ出力	CANzTX（z=0～7）

表 24.26　外部入出力信号 (RH850/F1KM-S1)

ユニット信号名	説明	ポート端子兼用信号名
RCFDC0		
CANzRX（z=0～5）	CANm 受信データ入力	CANzRX（z=0～5）
CANzTX（z=0～5）	CANm 送信データ出力	CANzTX（z=0～5）

24.2　概要

24.2.1　機能概要

「**表 24.27 RS-CANFD モジュールの仕様**」に RS-CANFD モジュールの仕様（ユニット 0 の場合 RS-CANFD 8 チャネル内蔵品（m＝0〜7）について、ユニット 1 の場合 RS-CANFD 4 チャネル内蔵品（m＝0〜3）、「**図 24.1 RS-CANFD モジュールのブロック図**」に RS-CANFD モジュールブロック図を示します。

表 24.27　RS-CANFD モジュールの仕様

項目	仕様
チャネル数	8（n＝0）、4（n＝1）
プロトコル	ISO11898-1 仕様準拠 使用する CAN FD フレームをインタフェースモードにより選択可能
通信速度	クラシカル CAN モード： ● 最大 1 Mbps $通信速度（CANm ビットタイムクロック）= \dfrac{1}{CANm ビットタイム}$ CANm ビットタイム＝CANmTq×1 ビット分の Tq 数 $CANmTq = \dfrac{（RCFDCnCFDCmNCFG レジスタの NBRP[9:0]ビット+1）}{fCAN}$ fCAN：CAN クロック（RCFDCnCFDGCFG レジスタの DCS ビットで選択したクロック）の周波数 CAN FD モード、CAN FD 専用モード： ● データビットレート最大 5Mbps（通常ビットレート≦500Kbps） ● データビットレート最大 2Mbps（1Mbps≧通常ビットレート＞500Kbps） 備考：fCAN＝40MHz $送信レート（CANm 通常ビットレートタイムクロック）= \dfrac{1}{CANm 通常ビットタイム}$ $送信レート（CANm データビットタイムクロック）= \dfrac{1}{CANm データビットタイム}$ CANm 通常ビットタイム＝CANmTq(N)×1 通常ビット分の Tq 数 CANm データビットタイム＝CANmTq(D)×1 データビット分の Tq 数 $CANmTq(N) = \dfrac{（RCFDCnCFDCmNCFG レジスタの NBRP[9:0]ビット+1）}{fCAN}$ $CANmTq(D) = \dfrac{（RCFDCnCFDCmDCFG レジスタの DBRP[7:0]ビット+1）}{fCAN}$ fCAN：CAN クロック（RCFDCnCFDGCFG レジスタの DCS ビットで選択したクロック）の周波数 （n＝0 の場合 m＝0〜7、n＝1 の場合 m＝0〜3） Tq：Time quantum

表 24.27　RS-CANFD モジュールの仕様

項目	仕様
バッファ	RCFDC0：合計 1280 バッファ ● 個別バッファ：256 バッファ（32 バッファ ×8 チャネル） 送信バッファ：32 バッファ／1 チャネル 送信キュー：1 本／1 チャネル（送信バッファと共用、最大 32 バッファ割り当て可能） ● 共有バッファ：全チャネルで 1024 バッファ 受信バッファ：0〜128 バッファ 受信 FIFO バッファ：8 本（1 本あたり最大 128 バッファ割り当て可能） 送受信 FIFO バッファ：3 本／1 チャネル（1 本あたり最大 128 バッファ割り当て可能） ● ECC 内蔵 RCFDC1：合計 640 バッファ ● 個別バッファ：128 バッファ（32 バッファ ×4 チャネル） 送信バッファ：32 バッファ／1 チャネル 送信キュー：1 本／1 チャネル（送信バッファと共用、最大 32 バッファ割り当て可能） ● 共有バッファ：全チャネルで 512 バッファ 受信バッファ：0〜64 バッファ 受信 FIFO バッファ：8 本（1 本あたり最大 128 バッファ割り当て可能） 送受信 FIFO バッファ：3 本／1 チャネル（1 本あたり最大 128 バッファ割り当て可能） ● ECC 内蔵
受信機能	● データフレームとリモートフレームを受信可能 ● 受信する ID フォーマット（標準 ID、拡張 ID、両方）を選択可能 ● FIFO ごとの割り込み許可／禁止設定可能 ● ミラー機能（自送信メッセージの受信機能） ● タイムスタンプ機能（メッセージの受信時間を 16 ビットタイマ値で記録）
受信フィルタ機能	● 合計 1024 個の受信ルールで受信メッセージを選別可能 ● チャネルごとに 0〜255 個の範囲で受信ルール数を設定可能 ● アクセプタンスフィルタ処理：各受信ルールごとに ID、マスク設定可能 ● DLC フィルタ処理：各受信ルールごとに DLC フィルタチェック可能
受信メッセージ転送機能	● ルーティング機能 受信メッセージを任意のバッファへ転送する機能（転送可能バッファ数：8） 転送先：受信バッファ、受信 FIFO バッファ、送受信 FIFO バッファ ● ラベル付加機能 受信バッファおよび FIFO バッファへメッセージ格納時、ラベル情報も同時に格納可能
送信機能	● データフレームとリモートフレームを送信可能 ● 送信する ID フォーマット（標準 ID、拡張 ID、両方）を選択可能 ● 送信バッファ、送受信 FIFO バッファごとに割り込み許可／禁止設定可能 ● ID 優先送信または送信バッファ番号優先送信を選択可能 ● 送信アボート機能（フラグでアボート完了を確認可能） ● ワンショット送信機能
インターバル送信機能	メッセージの送信間隔を設定可能 （送受信 FIFO バッファの送信モードまたはゲートウェイモード）
送信キュー機能	格納された全メッセージが ID 優先で送信される機能
送信履歴機能	送信完了したメッセージの履歴情報を格納する機能
ゲートウェイ機能	受信したメッセージを自動送信する機能
バスオフ復帰モード選択	バスオフ状態からの復帰方法を選択可能 ● ISO11898-1 仕様準拠 ● バスオフ開始でチャネル待機モードへ自動遷移 ● バスオフ終了でチャネル待機モードへ自動遷移 ● プログラムによる要求でチャネル待機モードへ遷移 ● プログラムによる要求でエラーアクティブ状態へ遷移（バスオフ強制復帰機能）

表 24.27　RS-CANFD モジュールの仕様

項目	仕様
エラー状態の監視	● CAN プロトコルエラー（スタッフエラー、フォームエラー、ACK エラー、CRC エラー、ビットエラー、ACK デリミタエラー、バスロック）を監視 ● エラー状態の遷移を検出（エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰） ● エラーカウンタの読み出し ● DLC エラーを監視
割り込み要因	RCFDC0：26 本、RCFDC1：14 本 ● グローバル割り込み（2 本／ユニット）（n＝0, 1） 受信 FIFO 割り込み（1 本／ユニット）（n＝0, 1） グローバルエラー割り込み（1 本／ユニット）（n＝0, 1） ● チャネル割り込み（各チャネルごとに 3 本ずつ）CANm 送信割り込み（n＝0 の場合 m＝0～7、n＝1 の場合 m＝0～3） 1. CANm 送信割り込み – CANm 送信完了割り込み – CANm 送信アボート割り込み – CANm 送受信 FIFO 送信完了割り込み（送信モード、ゲートウェイモード時） – CANm 送信履歴割り込み – CANm 送信キュー割り込み 2. CANm 送受信 FIFO 受信完了割り込み（受信モード、ゲートウェイモード時） 3. CANm エラー割り込み
CAN ストップモード	RS-CANFD モジュールに供給されるクロックを停止することで消費電流を低減可能
CAN クロックソース	clkc か clk_xincan を選択可能 設定可能な周波数は「**表 24.19　RH850/F1KH, RH850/F1KM における転送レート・使用チャネル数での動作周波数範囲**」を参照してください。
テスト機能	ユーザ評価用テスト機能 ● リッスンオンリモード ● セルフテストモード 0（外部ループバック） ● セルフテストモード 1（内部ループバック） ● 制限動作モード ● RAM テスト（読み書きテスト） ● チャネル間通信テスト（CRC エラーテスト可能）

24.2.2 インタフェースモード

RS-CANFD は 3 種類のインタフェースモードを持ちます。

- クラシカル CAN 専用モード：クラシカル CAN フレームのみを扱います
- CAN FD モード：クラシカル CAN フレームと CAN FD フレームの両方を扱います
- CAN FD 専用モード：CAN FD フレームのみを扱います

インタフェースモードの切り替えは、RCFDCnCFDCmFDCFG レジスタの CLOE ビットと FDOE ビットで行います。

各チャネルごとに、インタフェースモードを設定してください。

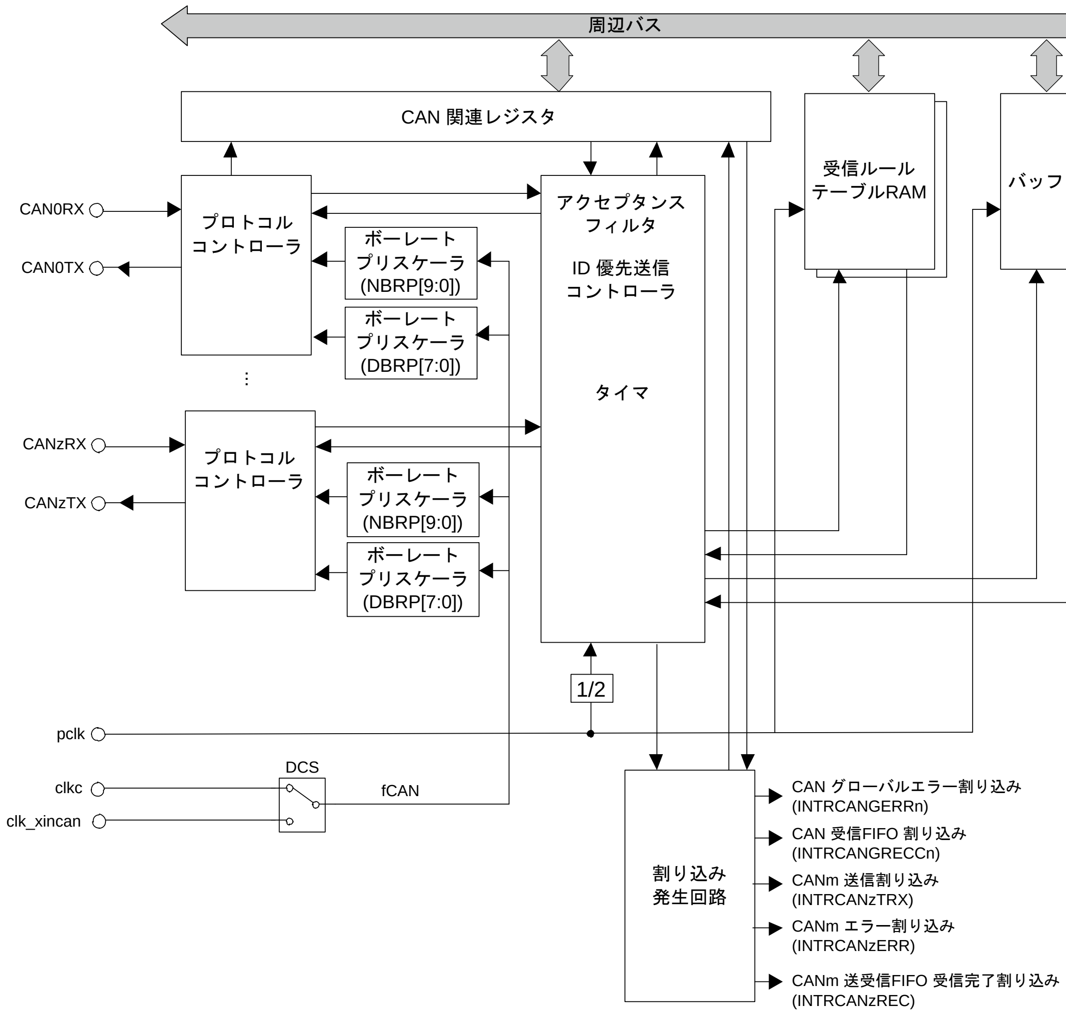
表 24.28 インタフェースモードの説明と構成

インタフェースモード	説明	構成
CAN FD モード	クラシカル CAN フレームと CAN FD フレームの送受信ができます。	RCFDCnCFDCmFDCFG.CLOE＝0 RCFDCnCFDCmFDCFG.FDOE＝0
CAN FD 専用モード	CAN FD フレームのみの送受信ができます。 クラシカルフレームは、エラーの検出を引き起こします。	RCFDCnCFDCmFDCFG.CLOE＝0 RCFDCnCFDCmFDCFG.FDOE＝1
クラシカル CAN 専用モード	クラシカルフレームのみの送受信ができます。 FD フレームは、エラーの検出を引き起こします。	RCFDCnCFDCmFDCFG.CLOE＝1 RCFDCnCFDCmFDCFG.FDOE＝0

24.2.3 CAN FD プロトコル

本製品は、スタッフカウンタなど新 CRC フィールドが指定できる、ISO/DIS 11898-1 プロトコルに従って、CAN FD をサポートしています。

24.2.4 ブロック図



備考 n＝0, 1
z＝0～11
m＝0～7（n＝0）、m＝0～3（n＝1）
NBRP[9:0]：RCFDCnCFDCmNCFG レジスタのビット
DBRP[7:0]：RCFDCnCFDCmDCFG レジスタのビット
DCS：RCFDCnCFDGCFG レジスタのビット
fCAN：CAN クロック

図 24.1 RS-CANFD モジュールのブロック図

24.3　レジスタ

この節では、RS-CANFD で使用するすべてのレジスタについて説明します。

24.3.1　レジスタ一覧

RS-CANFD のレジスタ一覧を以下の表に示します。

<RCFDCn_base>は、「**24.1.2　レジスタベースアドレス**」を参照してください。

グローバルリセットモード、チャネルリセットモードにおけるレジスタの初期化については、以下の表を参照してください。

- 「**表 24.121　グローバルリセットモードおよびチャネルリセットモードで初期化されるレジスタ一覧**」
- 「**表 24.122　グローバルリセットモードでのみ初期化されるレジスタ一覧**」

表 24.29　レジスタ一覧

モジュール名	レジスタ名	略号	アドレス	ガードグループ
チャネル関連レジスタ				
RCFDCn	チャネル通常ビットレートコンフィグレーションレジスタ	RCFDCnCFDCmNCFG	<RCFDCn_base>＋0000$_H$＋(10$_H$×m)	RCFDCn Chm
RCFDCn	チャネル制御レジスタ	RCFDCnCFDCmCTR	<RCFDCn_base>＋0004$_H$＋(10$_H$×m)	RCFDCn Chm
RCFDCn	チャネルステータスレジスタ	RCFDCnCFDCmSTS	<RCFDCn_base>＋0008$_H$＋(10$_H$×m)	RCFDCn Chm
RCFDCn	チャネルエラーフラグレジスタ	RCFDCnCFDCmERFL	<RCFDCn_base>＋000C$_H$＋(10$_H$×m)	RCFDCn Chm
RCFDCn	チャネルデータビットレートコンフィグレーションレジスタ	RCFDCnCFDCmDCFG	<RCFDCn_base>＋0700$_H$＋(20$_H$×m)	RCFDCn Chm
RCFDCn	チャネル CAN FD コンフィグレーションレジスタ	RCFDCnCFDCmFDCFG	<RCFDCn_base>＋0704$_H$＋(20$_H$×m)	RCFDCn Chm
RCFDCn	チャネル CAN FD 制御レジスタ	RCFDCnCFDCmFDCTR	<RCFDCn_base>＋0708$_H$＋(20$_H$×m)	RCFDCn Chm
RCFDCn	チャネル CAN FD ステータスレジスタ	RCFDCnCFDCmFDSTS	<RCFDCn_base>＋070C$_H$＋(20$_H$×m)	RCFDCn Chm
RCFDCn	チャネル CAN FD CRC レジスタ	RCFDCnCFDCmFDCRC	<RCFDCn_base>＋0710$_H$＋(20$_H$×m)	RCFDCn Chm
グローバル関連レジスタ				
RCFDCn	グローバルコンフィグレーションレジスタ	RCFDCnCFDGCFG	<RCFDCn_base>＋0084$_H$	RCFDCn global
RCFDCn	グローバル制御レジスタ	RCFDCnCFDGCTR	<RCFDCn_base>＋0088$_H$	RCFDCn global
RCFDCn	グローバルステータスレジスタ	RCFDCnCFDGSTS	<RCFDCn_base>＋008C$_H$	RCFDCn global
RCFDCn	グローバルエラーフラグレジスタ	RCFDCnCFDGERFL	<RCFDCn_base>＋0090$_H$	RCFDCn global
RCFDCn	グローバルタイムスタンプカウンタレジスタ	RCFDCnCFDGTSC	<RCFDCn_base>＋0094$_H$	RCFDCn global
RCFDCn	グローバル TX 割り込みステータスレジスタ 0	RCFDCnCFDGTINTSTS0	<RCFDCn_base>＋0610$_H$	RCFDCn global
RCFDCn	グローバル TX 割り込みステータスレジスタ 1	RCFDCnCFDGTINTSTS1	<RCFDCn_base>＋0614$_H$	RCFDCn global
RCFDCn	グローバル FD コンフィグレーションレジスタ	RCFDCnCFDGFDCFG	<RCFDCn_base>＋0624$_H$	RCFDCn global
受信ルール関連レジスタ				
RCFDCn	受信ルールエントリ制御レジスタ	RCFDCnCFDGAFLECTR	<RCFDCn_base>＋0098$_H$	RCFDCn global
RCFDCn	受信ルールコンフィグレーションレジスタ 0	RCFDCnCFDGAFLCFG0	<RCFDCn_base>＋009C$_H$	RCFDCn global
RCFDCn	受信ルールコンフィグレーションレジスタ 1	RCFDCnCFDGAFLCFG1	<RCFDCn_base>＋00A0$_H$	RCFDCn global
RCFDCn	受信ルール ID レジスタ	RCFDCnCFDGAFLIDj	<RCFDCn_base>＋1000$_H$＋(10$_H$×j)	RCFDCn global
RCFDCn	受信ルールマスクレジスタ	RCFDCnCFDGAFLMj	<RCFDCn_base>＋1004$_H$＋(10$_H$×j)	RCFDCn global
RCFDCn	受信ルールポインタ 0 レジスタ	RCFDCnCFDGAFLP0_j	<RCFDCn_base>＋1008$_H$＋(10$_H$×j)	RCFDCn global
RCFDCn	受信ルールポインタ 1 レジスタ	RCFDCnCFDGAFLP1_j	<RCFDCn_base>＋100C$_H$＋(10$_H$×j)	RCFDCn global

表 24.29　レジスター覧

モジュール名	レジスタ名	略号	アドレス	ガードグループ
受信バッファ関連レジスタ				
RCFDCn	受信バッファナンバレジスタ	RCFDCnCFDRMNB	<RCFDCn_base>＋$00A4_H$	RCFDCn global
RCFDCn	受信バッファ新データレジスタ	RCFDCnCFDRMNDy	<RCFDCn_base>＋$00A8_H$＋(04_H×y)	RCFDCn global
RCFDCn	受信バッファ ID レジスタ	RCFDCnCFDRMIDq	<RCFDCn_base>＋2000_H＋(80_H×q)	RCFDCn global
RCFDCn	受信バッファポインタレジスタ	RCFDCnCFDRMPTRq	<RCFDCn_base>＋2004_H＋(80_H×q)	RCFDCn global
RCFDCn	受信バッファ CAN FD ステータスレジスタ	RCFDCnCFDRMFDSTSq	<RCFDCn_base>＋2008_H＋(80_H×q)	RCFDCn global
RCFDCn	受信バッファデータフィールドレジスタ	RCFDCnCFDRMDFb_q	<RCFDCn_base>＋$200C_H$＋(04_H×b)＋(80_H×q)	RCFDCn global
受信 FIFO バッファ関連レジスタ				
RCFDCn	受信 FIFO バッファコンフィグレーション／制御レジスタ	RCFDCnCFDRFCCx	<RCFDCn_base>＋$00B8_H$＋(04_H×x)	RCFDCn global
RCFDCn	受信 FIFO バッファステータスレジスタ	RCFDCnCFDRFSTSx	<RCFDCn_base>＋$00D8_H$＋(04_H×x)	RCFDCn global
RCFDCn	受信 FIFO バッファポインタ制御レジスタ	RCFDCnCFDRFPCTRx	<RCFDCn_base>＋$00F8_H$＋(04_H×x)	RCFDCn global
RCFDCn	受信 FIFO バッファアクセス ID レジスタ	RCFDCnCFDRFIDx	<RCFDCn_base>＋6000_H＋(80_H×x)	RCFDCn global
RCFDCn	受信 FIFO バッファアクセスポインタレジスタ	RCFDCnCFDRFPTRx	<RCFDCn_base>＋6004_H＋(80_H×x)	RCFDCn global
RCFDCn	受信 FIFO CAN FD ステータスレジスタ	RCFDCnCFDRFFDSTSx	<RCFDCn_base>＋6008_H＋(80_H×x)	RCFDCn global
RCFDCn	受信 FIFO バッファアクセスデータフィールドレジスタ	RCFDCnCFDRFDFd_x	<RCFDCn_base>＋$600C_H$＋(04_H×d)＋(80_H×x)	RCFDCn global
送受信 FIFO バッファ関連レジスタ				
RCFDCn	送受信 FIFO バッファコンフィグレーション／制御レジスタ	RCFDCnCFDCFCCk	<RCFDCn_base>＋0118_H＋(04_H×k)	RCFDCn global
RCFDCn	送受信 FIFO バッファステータスレジスタ	RCFDCnCFDCFSTSk	<RCFDCn_base>＋0178_H＋(04_H×k)	RCFDCn global
RCFDCn	送受信 FIFO バッファポインタ制御レジスタ	RCFDCnCFDCFPCTRk	<RCFDCn_base>＋$01D8_H$＋(04_H×k)	RCFDCn global
RCFDCn	送受信 FIFO バッファアクセス ID レジスタ	RCFDCnCFDCFIDk	<RCFDCn_base>＋6400_H＋(80_H×k)	RCFDCn global
RCFDCn	送受信 FIFO バッファアクセスポインタレジスタ	RCFDCnCFDCFPTRk	<RCFDCn_base>＋6404_H＋(80_H×k)	RCFDCn global
RCFDCn	送受信 FIFO CAN FD コンフィグレーション/ステータスレジスタ	RCFDCnCFDCFFDCSTSk	<RCFDCn_base>＋6408_H＋(80_H×k)	RCFDCn global
RCFDCn	送受信 FIFO バッファアクセスデータフィールドレジスタ	RCFDCnCFDCFDFd_k	<RCFDCn_base>＋$640C_H$＋(04_H×d)＋(80_H×k)	RCFDCn global
FIFO ステータス関連レジスタ				
RCFDCn	FIFO エンプティステータスレジスタ	RCFDCnCFDFESTS	<RCFDCn_base>＋0238_H	RCFDCn global
RCFDCn	FIFO フルステータスレジスタ	RCFDCnCFDFFSTS	<RCFDCn_base>＋$023C_H$	RCFDCn global
RCFDCn	FIFO メッセージロストステータスレジスタ	RCFDCnCFDFMSTS	<RCFDCn_base>＋0240_H	RCFDCn global
RCFDCn	受信 FIFO バッファ割り込みフラグステータスレジスタ	RCFDCnCFDRFISTS	<RCFDCn_base>＋0244_H	RCFDCn global
RCFDCn	送受信 FIFO バッファ受信割り込みフラグステータスレジスタ	RCFDCnCFDCFRISTS	<RCFDCn_base>＋0248_H	RCFDCn global
RCFDCn	送受信 FIFO バッファ送信割り込みフラグステータスレジスタ	RCFDCnCFDCFTISTS	<RCFDCn_base>＋$024C_H$	RCFDCn global
FIFO DMA 関連レジスタ				
RCFDCn	DMA 許可レジスタ	RCFDCnCFDCDTCT	<RCFDCn_base>＋0640_H	RCFDCn global
RCFDCn	DMA ステータスレジスタ	RCFDCnCFDCDTSTS	<RCFDCn_base>＋0644_H	RCFDCn global
送信バッファ関連レジスタ				
RCFDCn	送信バッファ制御レジスタ	RCFDCnCFDTMCp	<RCFDCn_base>＋0250_H＋(01_H×p)	RCFDCn global
RCFDCn	送信バッファステータスレジスタ	RCFDCnCFDTMSTSp	<RCFDCn_base>＋0350_H＋(01_H×p)	RCFDCn global
RCFDCn	送信バッファ ID レジスタ	RCFDCnCFDTMIDp	<RCFDCn_base>＋8000_H＋(80_H×p)	RCFDCn global
RCFDCn	送信バッファポインタレジスタ	RCFDCnCFDTMPTRp	<RCFDCn_base>＋8004_H＋(80_H×p)	RCFDCn global
RCFDCn	送信バッファ CAN FD コンフィグレーションレジスタ	RCFDCnCFDTMFDCTRp	<RCFDCn_base>＋8008_H＋(80_H×p)	RCFDCn global
RCFDCn	送信バッファデータフィールドレジスタ	RCFDCnCFDTMDFb_p	<RCFDCn_base>＋$800C_H$＋(04_H×b)＋(80_H×p)	RCFDCn global
RCFDCn	送信バッファ割り込みイネーブルコンフィグレーションレジスタ	RCFDCnCFDTMIECm	<RCFDCn_base>＋$04D0_H$＋(04_H×m)	RCFDCn global

表 24.29　レジスター覧

モジュール名	レジスタ名	略号	アドレス	ガードグループ
送信バッファステータス関連レジスタ				
RCFDCn	送信バッファ送信要求ステータスレジスタ	RCFDCnCFDTMTRSTSm	<RCFDCn_base>＋0450$_H$＋(04$_H$×m)	RCFDCn global
RCFDCn	送信バッファ送信アボート要求ステータスレジスタ	RCFDCnCFDTMTARSTSm	<RCFDCn_base>＋0470$_H$＋(04$_H$×m)	RCFDCn global
RCFDCn	送信バッファ送信完了ステータスレジスタ	RCFDCnCFDTMTCSTSm	<RCFDCn_base>＋0490$_H$＋(04$_H$×m)	RCFDCn global
RCFDCn	送信バッファ送信アボートステータスレジスタ	RCFDCnCFDTMTASTSm	<RCFDCn_base>＋04B0$_H$＋(04$_H$×m)	RCFDCn global
送信キュー関連レジスタ				
RCFDCn	送信キューコンフィグレーション／制御レジスタ	RCFDCnCFDTXQCCm	<RCFDCn_base>＋0550$_H$＋(04$_H$×m)	RCFDCn Chm
RCFDCn	送信キューステータスレジスタ	RCFDCnCFDTXQSTSm	<RCFDCn_base>＋0570$_H$＋(04$_H$×m)	RCFDCn Chm
RCFDCn	送信キューポインタ制御レジスタ	RCFDCnCFDTXQPCTRm	<RCFDCn_base>＋0590$_H$＋(04$_H$×m)	RCFDCn Chm
送信履歴関連レジスタ				
RCFDCn	送信履歴コンフィグレーション／制御レジスタ	RCFDCnCFDTHLCCm	<RCFDCn_base>＋05B0$_H$＋(04$_H$×m)	RCFDCn Chm
RCFDCn	送信履歴ステータスレジスタ	RCFDCnCFDTHLSTSm	<RCFDCn_base>＋05D0$_H$＋(04$_H$×m)	RCFDCn Chm
RCFDCn	送信履歴ポインタ制御レジスタ	RCFDCnCFDTHLPCTRm	<RCFDCn_base>＋05F0$_H$＋(04$_H$×m)	RCFDCn Chm
RCFDCn	送信履歴アクセスレジスタ 0	RCFDCnCFDTHLACC0m	<RCFDCn_base>＋10000$_H$＋(08$_H$×m)	RCFDCn Chm
RCFDCn	送信履歴アクセスレジスタ 1	RCFDCnCFDTHLACC1m	<RCFDCn_base>＋10004$_H$＋(08$_H$×m)	RCFDCn Chm
テスト関連レジスタ				
RCFDCn	グローバルテストコンフィグレーションレジスタ	RCFDCnCFDGTSTCFG	<RCFDCn_base>＋0618$_H$	RCFDCn global
RCFDCn	グローバルテスト制御レジスタ	RCFDCnCFDGTSTCTR	<RCFDCn_base>＋061C$_H$	RCFDCn global
RCFDCn	グローバルロックキーレジスタ	RCFDCnCFDGLOCKK	<RCFDCn_base>＋062C$_H$	RCFDCn global
RCFDCn	RAM テストページアクセスレジスタ	RCFDCnCFDRPGACCr	<RCFDCn_base>＋10400$_H$＋(04$_H$×r)	RCFDCn global

表 24.30　各チャネルに割り当てられる送信バッファ p

	CANm
送信バッファ p	送信バッファ 32×m+0
	送信バッファ 32×m+1
	送信バッファ 32×m+2
	送信バッファ 32×m+3
	送信バッファ 32×m+4
	送信バッファ 32×m+5
	送信バッファ 32×m+6
	送信バッファ 32×m+7
	送信バッファ 32×m+8
	送信バッファ 32×m+9
	送信バッファ 32×m+10
	送信バッファ 32×m+11
	送信バッファ 32×m+12
	送信バッファ 32×m+13
	送信バッファ 32×m+14
	送信バッファ 32×m+15
	送信バッファ 32×m+16
	送信バッファ 32×m+17
	送信バッファ 32×m+18
	送信バッファ 32×m+19
	送信バッファ 32×m+20
	送信バッファ 32×m+21
	送信バッファ 32×m+22
	送信バッファ 32×m+23
	送信バッファ 32×m+24
	送信バッファ 32×m+25
	送信バッファ 32×m+26
	送信バッファ 32×m+27
	送信バッファ 32×m+28
	送信バッファ 32×m+29
	送信バッファ 32×m+30
	送信バッファ 32×m+31

表 24.31　各チャネルに割り当てられる送受信 FIFO バッファ k

	CANm
送受信 FIFO バッファ k	送受信 FIFO バッファ 3×m+0
	送受信 FIFO バッファ 3×m+1
	送受信 FIFO バッファ 3×m+2

表 24.32　CFTML[4:0]ビットの設定値によって送受信 FIFO バッファにリンクされる送信バッファ p

CFTML[4:0]ビットの設定値	送受信 FIFO バッファにリンクされる送信バッファ p
00000_B	送信バッファ 32×m+0
00001_B	送信バッファ 32×m+1
00010_B	送信バッファ 32×m+2
00011_B	送信バッファ 32×m+3
00100_B	送信バッファ 32×m+4
00101_B	送信バッファ 32×m+5
00110_B	送信バッファ 32×m+6
00111_B	送信バッファ 32×m+7
01000_B	送信バッファ 32×m+8
01001_B	送信バッファ 32×m+9
01010_B	送信バッファ 32×m+10
01011_B	送信バッファ 32×m+11
01100_B	送信バッファ 32×m+12
01101_B	送信バッファ 32×m+13
01110_B	送信バッファ 32×m+14
01111_B	送信バッファ 32×m+15
10000_B	送信バッファ 32×m+16
10001_B	送信バッファ 32×m+17
10010_B	送信バッファ 32×m+18
10011_B	送信バッファ 32×m+19
10100_B	送信バッファ 32×m+20
10101_B	送信バッファ 32×m+21
10110_B	送信バッファ 32×m+22
10111_B	送信バッファ 32×m+23
11000_B	送信バッファ 32×m+24
11001_B	送信バッファ 32×m+25
11010_B	送信バッファ 32×m+26
11011_B	送信バッファ 32×m+27
11100_B	送信バッファ 32×m+28
11101_B	送信バッファ 32×m+29
11110_B	送信バッファ 32×m+30
11111_B	送信バッファ 32×m+31

表 24.33　各チャネルの送信キューに割り当てられる送信バッファ p

TXQDC [4:0]ビットの設定値	送信キューに割り当てられる送信バッファ p
00000_B	設定しないでください。
00001_B	設定しないでください。
00010_B	送信バッファ 32×m+31～32×m+29
00011_B	送信バッファ 32×m+31～32×m+28
00100_B	送信バッファ 32×m+31～32×m+27
00101_B	送信バッファ 32×m+31～32×m+26
00110_B	送信バッファ 32×m+31～32×m+25
00111_B	送信バッファ 32×m+31～32×m+24
01000_B	送信バッファ 32×m+31～32×m+23
01001_B	送信バッファ 32×m+31～32×m+22
01010_B	送信バッファ 32×m+31～32×m+21
01011_B	送信バッファ 32×m+31～32×m+20
01100_B	送信バッファ 32×m+31～32×m+19
01101_B	送信バッファ 32×m+31～32×m+18
01110_B	送信バッファ 32×m+31～32×m+17
01111_B	送信バッファ 32×m+31～32×m+16
10000_B	送信バッファ 32×m+31～32×m+15
10001_B	送信バッファ 32×m+31～32×m+14
10010_B	送信バッファ 32×m+31～32×m+13
10011_B	送信バッファ 32×m+31～32×m+12
10100_B	送信バッファ 32×m+31～32×m+11
10101_B	送信バッファ 32×m+31～32×m+10
10110_B	送信バッファ 32×m+31～32×m+9
10111_B	送信バッファ 32×m+31～32×m+8
11000_B	送信バッファ 32×m+31～32×m+7
11001_B	送信バッファ 32×m+31～32×m+6
11010_B	送信バッファ 32×m+31～32×m+5
11011_B	送信バッファ 32×m+31～32×m+4
11100_B	送信バッファ 32×m+31～32×m+3
11101_B	送信バッファ 32×m+31～32×m+2
11110_B	送信バッファ 32×m+31～32×m+1
11111_B	送信バッファ 32×m+31～32×m+0

24.3.2　チャネル関連レジスタの詳細

24.3.2.1　RCFDCnCFDCmNCFG ― チャネル通常ビットレートコンフィグレーションレジスタ（m＝0～7）

アクセス　RCFDCnCFDCmNCFG レジスタは、32 ビット単位でリード／ライト可能です。

RCFDCnCFDCmNCFGL, RCFDCnCFDCmNCFGH レジスタは、16 ビット単位でリード／ライト可能です。

RCFDCnCFDCmNCFGLL, RCFDCnCFDCmNCFGLH, RCFDCnCFDCmNCFGHL, RCFDCnCFDCmNCFGHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RCFDCnCFDCmNCFG：<RCFDCn_base> + 0000_H + (10_H × m)

RCFDCnCFDCmNCFGL：<RCFDCn_base> + 0000_H + (10_H × m),

RCFDCnCFDCmNCFGH：<RCFDCn_base> + 0002_H + (10_H × m)

RCFDCnCFDCmNCFGLL：<RCFDCn_base> + 0000_H + (10_H × m),

RCFDCnCFDCmNCFGLH：<RCFDCn_base> + 0001_H + (10_H × m),

RCFDCnCFDCmNCFGHL：<RCFDCn_base> + 0002_H + (10_H × m),

RCFDCnCFDCmNCFGHH：<RCFDCn_base> + 0003_H + (10_H × m)

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	NTSEG2[4:0]					—	NTSEG1[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NSJW[4:0]					—	NBRP[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.34　RCFDCnCFDCmNCFG レジスタの内容

ビット位置	ビット名	機能
31～29	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
28～24	NTSEG2[4:0]	通常ビットレートタイムセグメント 2 制御ビット b28 b27 b26 b25 b24 0 0 0 0 0：設定しないでください 0 0 0 0 1：2Tq : 1 1 1 1 0：31Tq 1 1 1 1 1：32Tq
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22～16	NTSEG1[6:0]	通常ビットレート タイムセグメント 1 制御ビット b22 b21 b20 b19 b18 b17 b16 0 0 0 0 0 0 0：設定しないでください 0 0 0 0 0 0 1：設定しないでください 0 0 0 0 0 1 0：設定しないでください 0 0 0 0 0 1 1：4Tq : 1 1 1 1 1 1 0：127Tq 1 1 1 1 1 1 1：128Tq

表 24.34 RCFDCnCFDCmNCFG レジスタの内容

ビット位置	ビット名	機能
15～11	NSJW[4:0]	通常ビットレート再同期ジャンプ幅制御ビット b15 b14 b13 b12 b11 0 0 0 0 0 : 1Tq 0 0 0 0 1 : 2Tq 0 0 0 1 0 : 3Tq : 1 1 1 1 0 : 31Tq 1 1 1 1 1 : 32Tq
10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9～0	NBRP[9:0]	通常ビットレートプリスケーラ分周比設定ビット 設定値を P（0～1023）とすると、通常ビットレートプリスケーラは fCAN を P＋1 で分周します。

RCFDCnCFDCmNCFG レジスタは、チャネルリセットモードまたはチャネル待機モードで書き換えてください。また、チャネルリセットモードで本レジスタを設定した後で、チャネル通信モードまたはチャネル待機モードに遷移してください。ビットタイミングパラメータの説明と設定については、「**24.10.1 初期設定**」を参照してください。

NTSEG2[4:0]ビット

通常ビットレートにおけるフェーズセグメント 2（PHASE_SEG2）の長さを Tq 値で指定します。

2～32Tq の値が設定可能です。NTSEG1[6:0]ビットより小さい値を設定してください。

NTSEG1[6:0]ビット

通常ビットレートにおけるプロパゲーションセグメント（PROP_SEG）とフェーズセグメント 1（PHASE_SEG1）の合計長を Tq 値で指定します。

4～128Tq の値が設定可能です。

NSJW[4:0]ビット

再同期ジャンプ幅（Resynchronization jump width）を Tq 値で指定します。

1～32Tq の値が設定可能です。NTSEG2[4:0]ビット以下の値を設定してください。

NBRP[9:0]ビット

CAN クロック（fCAN）を通常ビットレートプリスケーラ（(NBRP[9:0])＋1）で分周したクロックが CANmTq(N)クロック（fCANTQ(N)m）になり、CANmTq(N)クロックの 1 クロックが 1 TimeQuantum（Tq）になります。

NBRP[9:0]ビットと DBRP[7:0]ビットは同じ値とし、2 つのビットレート値はそれぞれのセグメント値に応じて異なる値としてください。

24.3.2.2　RCFDCnCFDCmCTR —チャネル制御レジスタ（m＝0～7）

アクセス　RCFDCnCFDCmCTR レジスタは、32 ビット単位でリード／ライト可能です。

RCFDCnCFDCmCTRL, RCFDCnCFDCmCTRH レジスタは、16 ビット単位でリード／ライト可能です。

RCFDCnCFDCmCTRLL, RCFDCnCFDCmCTRLH, RCFDCnCFDCmCTRHL, RCFDCnCFDCmCTRHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RCFDCnCFDCmCTR：<RCFDCn_base> + 0004_H + (10_H × m)

RCFDCnCFDCmCTRL：<RCFDCn_base> + 0004_H + (10_H × m),

RCFDCnCFDCmCTRH：<RCFDCn_base> + 0006_H + (10_H × m)

RCFDCnCFDCmCTRLL：<RCFDCn_base> + 0004_H + (10_H × m),

RCFDCnCFDCmCTRLH：<RCFDCn_base> + 0005_H + (10_H × m),

RCFDCnCFDCmCTRHL：<RCFDCn_base> + 0006_H + (10_H × m),

RCFDCnCFDCmCTRHH：<RCFDCn_base> + 0007_H + (10_H × m)

リセット後の値　0000 0005_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ROM	CRCT	—	—	—	CTMS[1:0]		CTME	ERRD	BOM[1:0]		—	TDCVFIE	SOCOIE	EOCOIE	TAIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ALIE	BLIE	OLIE	BORIE	BOEIE	EPIE	EWIE	BEIE	—	—	—	—	RTBO	CSLPR	CHMDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 24.35　RCFDCnCFDCmCTR レジスタの内容

ビット位置	ビット名	機能
31	ROM	制限動作モード許可ビット 0：制限動作モード禁止 1：制限動作モード許可
30	CRCT	CRC エラーテスト許可 0：受信 ID フィールドの先頭ビットを反転しない 1：受信 ID フィールドの先頭ビットを反転する
29～27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26, 25	CTMS[1:0]	通信テストモード選択ビット b26　b25 0　0：標準テストモード 0　1：リッスンオンリモード 1　0：セルフテストモード 0（外部ループバックモード） 1　1：セルフテストモード 1（内部ループバックモード）
24	CTME	通信テストモード許可ビット 0：通信テストモード禁止 1：通信テストモード許可
23	ERRD	エラー表示モード選択ビット 0：RCFDCnCFDCmERFL レジスタのビット 14～8 がすべてクリアされた後、最初に発生したエラー情報のみのエラーフラグ表示 1：発生したすべてのエラー情報のエラーフラグを表示

表 24.35　RCFDCnCFDCmCTR レジスタの内容

ビット位置	ビット名	機能
22, 21	BOM[1:0]	バスオフ復帰モード選択ビット b22　b21 0　0：ISO11898-1 仕様準拠 0　1：バスオフ開始でチャネル待機モードへ遷移 1　0：バスオフ終了でチャネル待機モードへ遷移 1　1：バスオフ中にプログラムによる要求でチャネル待機モードへ遷移
20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19	TDCVFIE	送信遅延補正バイオレーション割り込み許可ビット 0：送信遅延補正バイオレーション割り込み禁止 1：送信遅延補正バイオレーション割り込み許可
18	SOCOIE	通信成功回数カウンタオーバフロー割り込み許可ビット 0：通信成功回数カウンタオーバフロー割り込み禁止 1：通信成功回数カウンタオーバフロー割り込み許可
17	EOCOIE	エラー発生回数カウンタオーバフロー割り込み許可ビット 0：エラー発生回数カウンタオーバフロー割り込み禁止 1：エラー発生回数カウンタオーバフロー割り込み許可
16	TAIE	送信アボート割り込み許可ビット 0：送信アボート割り込み禁止 1：送信アボート割り込み許可
15	ALIE	アービトレーションロスト割り込み許可ビット 0：アービトレーションロスト割り込み禁止 1：アービトレーションロスト割り込み許可
14	BLIE	バスロック割り込み許可ビット 0：バスロック割り込み禁止 1：バスロック割り込み許可
13	OLIE	オーバロードフレーム送信割り込み許可ビット 0：オーバロードフレーム送信割り込み禁止 1：オーバロードフレーム送信割り込み許可
12	BORIE	バスオフ復帰割り込み許可ビット 0：バスオフ復帰割り込み禁止 1：バスオフ復帰割り込み許可
11	BOEIE	バスオフ開始割り込み許可ビット 0：バスオフ開始割り込み禁止 1：バスオフ開始割り込み許可
10	EPIE	エラーパッシブ割り込み許可ビット 0：エラーパッシブ割り込み禁止 1：エラーパッシブ割り込み許可
9	EWIE	エラーワーニング割り込み許可ビット 0：エラーワーニング割り込み禁止 1：エラーワーニング割り込み許可
8	BEIE	バスエラー割り込み許可ビット 0：バスエラー割り込み禁止 1：バスエラー割り込み許可
7～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	RTBO	バスオフ強制復帰ビット RTBO ビットを“1”にすると、バスオフから強制的に復帰します。常に“0”が読めます。

表 24.35　RCFDCnCFDCmCTR レジスタの内容

ビット位置	ビット名	機能
2	CSLPR	チャネルストップモードビット 0：チャネルストップモードではない 1：チャネルストップモード
1, 0	CHMDC[1:0]	モード選択ビット b1 b0 0 0：チャネル通信モード 0 1：チャネルリセットモード 1 0：チャネル待機モード 1 1：設定しないでください

ROM ビット

RCFDCnCFDCmCTR レジスタの ROM ビットおよび CTME ビットが“1”にセットされているとき、制限動作モードは許可になります。RCFDCnCFDCmCTR レジスタの CTMS[1:0]ビットの値が“00_B”（標準テストモード）の場合のみ、制限動作モードを使用してください。このビットはチャネルストップモードでのみ書き換えてください。チャネルリセットモード時は、“0”になります。

CRCT ビット

RS-CANFD モジュール内部の CRC 生成回路をテストするビットです。“1”にするとメッセージの受信時に ID フィールドの先頭ビットを反転します。このビット反転により、CRC 演算結果は受信フレームの正常な CRC 値と一致しなくなるため、CRC エラーが検出されます（RCFDCnCFDCmERFL レジスタの CERR ビットが“1”）。この機能を使用する場合は、以下の点に注意してください。

- RCFDCnCFDCmCTR レジスタの CTME ビットが“1”（通信テストモード許可）の場合に使用できます。
- 他の CAN ノードと通信はできません。チャネル間通信テスト（RCFDCnCFDGTSTCFG レジスタの CmICBCE ビットが“1”）で使用してください。
- ID フィールドのビット反転によりビットスタッフィングルール違反が起こる可能性があります。その場合は、CRC エラーではなくスタッフエラーが検出されます。

このビットはチャネル待機モードのみで書き換えてください。チャネルリセットモード時は、“0”になります。

CTMS[1:0]ビット

通信テストモードを選択するビットです。このビットはチャネル待機モードのみで書き換えてください。チャネルリセットモード時は、“0”になります。

CTME ビット

“1”にすると通信テストモードは許可になります。このビットはチャネル待機モードで書き換えてください。チャネルリセットモード時は、“0”になります。

ERRD ビット

RCFDCnCFDCmERFL レジスタのビット 14～8 の表示モードを制御します。“0”にすると、RCFDCnCFDCmERFL レジスタのビット 14～8 のすべてのフラグが“0”の状態でエラーが検出された場合に、最初に発生したエラーのフラグのみが“1”になります。最初のエラーで複数のエラーが発生した場合は、検出されたエラーのフラグはすべて“1”になります。

“1”にすると発生順に関係なく、起こったエラーのフラグはすべて“1”になります。

このビットはチャネルリセットモードまたはチャネル待機モードでのみ書き換えてください。

BOM[1:0]ビット

RS-CANFD モジュールのバスオフ復帰モードを選択します。

BOM[1:0]ビットが“00_B”の場合、バスオフ状態からエラーアクティブ状態への復帰は CAN 仕様に準拠します。すなわち、RS-CANFD モジュールは、11 ビットの連続するレセシブを 128 回検出後、再び CAN 通信（エラーアクティブ状態）に入ります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生します。128 回検出する前に CHMDC[1:0]ビットを“10_B”（チャネル待機モード）にしても 128 回検出するまでチャネル待機モードには遷移しません。

BOM[1:0]ビットが“01_B”の場合、RS-CANFD モジュールがバスオフ状態に達すると、RCFDCnCFDCmCTR レジスタ（m＝0～7）の CHMDC[1:0]ビットが“10_B”になり、チャネル待機モードへ遷移します。バスオフ復帰割り込み要求は発生せず、RCFDCnCFDCmSTS レジスタの TEC[7:0]ビットと REC[7:0]ビットが“00_H”になります。

BOM[1:0]ビットが“10_B”の場合、RS-CANFD モジュールがバスオフ状態に達すると CHMDC[1:0]ビットが“10_B”になり、バスオフ状態から復帰した（11 ビットの連続するレセシブを 128 回検出）後に、チャネル待機モードに遷移します。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生し、TEC[7:0]ビットと REC[7:0]ビットが“00_H”になります。

BOM[1:0]ビットが“11_B”の場合、RS-CANFD モジュールがバスオフ状態のときに CHMDC[1:0]ビットを“10_B”にすると、チャネル待機モードになります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求は発生せず、TEC[7:0]ビットと REC[7:0]ビットは“00_H”になります。しかし、CHMDC[1:0]ビットを“10_B”にする前に、11 ビットの連続するレセシブを 128 回検出して、バスオフ状態からエラーアクティブ状態に復帰した場合は、バスオフ復帰割り込み要求が発生します。

RS-CANFD モジュールがチャネル待機モードに遷移するのと同時（BOM[1:0]ビットが“01_B”のときはバスオフ開始時、または BOM[1:0]ビットが“10_B”のときはバスオフ終了時）に、プログラムによる CHMDC[1:0]ビットへの書き込みが発生した場合は、プログラムの書き込みが優先されます。BOM[1:0]ビットはチャネルリセットモードでのみ書き換えてください。

TDCVFIE ビット

TDCVFIE ビットを“1”に設定し、RCFDCnCFDCmFDSTS レジスタの TDCVF フラグが“1”になった場合、割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

SOCOIE ビット

SOCOIE ビットを“1”に設定し、RSCFDnCFDCmFDSTS レジスタの SOCO フラグが“1”になった場合、割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

EOCOIE ビット

EOCOIE ビットを“1”に設定し、RSCFDnCFDCmFDSTS レジスタの EOCO フラグが“1”になった場合、割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

TAIE ビット

TAIE ビットを“1”に設定し、送信バッファの送信アボートが完了した場合、割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

ALIE ビット

ALIE ビットを“1”に設定し、RCFDCnCFDCmERFL レジスタの ALF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

BLIE ビット

BLIE ビットを“1”に設定し、RCFDCnCFDCmERFL レジスタの BLF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

OLIE ビット

OLIE ビットを“1”に設定し、RCFDCnCFDCmERFL レジスタの OVLF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

BORIE ビット

BORIE ビットを“1”に設定し、RCFDCnCFDCmERFL レジスタの BORF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

BOEIE ビット

BOEIE ビットを“1”に設定し、RCFDCnCFDCmERFL レジスタの BOEF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

EPIE ビット

EPIE ビットを“1”に設定し、RCFDCnCFDCmERFL レジスタの EPF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

EWIE ビット

EWIE ビットを“1”に設定し、RCFDCnCFDCmERFL レジスタの EWF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

BEIE ビット

BEIE ビットを“1”に設定し、RCFDCnCFDCmERFL レジスタの BEF フラグが“1”になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

RTBO ビット

バスオフ状態時“1”にすると、強制的にバスオフ状態からエラーアクティブ状態へと変化します。このビットは自動的に“0”になります。“1”にすると、RCFDCnCFDCmSTS レジスタの TEC[7:0]ビットと REC[7:0]ビットが“00_H”になり、RCFDCnCFDCmSTS レジスタの BOSTS フラグは“0”（バスオフ状態ではない）になります。他のレジスタは変化しません。バスオフ状態からの復帰によるバスオフ復帰割り込み要求は発生しません。RCFDCnCFDCmCTR レジスタの BOM[1:0]ビットが“00_B”（ISO11898-1 仕様準拠）のときにのみ使用してください。RTBO ビットを“1”にしてからエラーアクティブ状態に遷移するまでに、最大 1 CAN ビットタイムの遅延が発生します。このビットはチャネル通信モードで“1”を書いてください。

CSLPR ビット

“1”にすると、チャネルストップモードになります。“0”にすると、チャネルストップモードは解除されます。

このビットは、チャネル通信モードまたはチャネル待機モードでは書き換えないでください。

CHMDC[1:0]ビット

チャネルのモード（チャネル通信モード、チャネルリセットモード、チャネル待機モード）を選択するビットです。詳細は、「**24.5.2 チャネルモード**」を参照してください。チャネルストップモードへは、チャネルリセットモード時に CSLPR ビットを“1”にすることで遷移します。CHMDC[1:0]ビットを“11_B”には設定しないでください。

BOM[1:0]ビットの設定によってチャネル待機モードへ遷移した場合は、CHMDC[1:0]ビットは自動的に“10_B”になります。

24.3.2.3　RCFDCnCFDCmSTS ―チャネルステータスレジスタ（m＝0〜7）

アクセス　RCFDCnCFDCmSTS レジスタは、32 ビット単位でリードのみ可能です。
RCFDCnCFDCmSTSL レジスタは、16 ビット単位でリード／ライト可能です。
RCFDCnCFDCmSTSH レジスタは、16 ビット単位でリードのみ可能です。
RCFDCnCFDCmSTSLL レジスタは、8 ビット単位でリードのみ可能です。
RCFDCnCFDCmSTSLH レジスタは、8 ビット単位でリード／ライト可能です。
RCFDCnCFDCmSTSHL, RCFDCnCFDCmSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　RCFDCnCFDCmSTS : <RCFDCn_base> + 0008_H + (10_H × m)
RCFDCnCFDCmSTSL : <RCFDCn_base> + 0008_H + (10_H × m),
RCFDCnCFDCmSTSH : <RCFDCn_base> + $000A_H$ + (10_H × m)
RCFDCnCFDCmSTSLL : <RCFDCn_base> + 0008_H + (10_H × m),
RCFDCnCFDCmSTSLH : <RCFDCn_base> + 0009_H + (10_H × m),
RCFDCnCFDCmSTSHL : <RCFDCn_base> + $000A_H$ + (10_H × m),
RCFDCnCFDCmSTSHH : <RCFDCn_base> + $000B_H$ + (10_H × m)

リセット後の値　$0000\ 0005_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TEC[7:0]								REC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ESIF	COMSTS	RECSTS	TRMSTS	BOSTS	EPSTS	CSLPSTS	CHLTSTS	CRSTSTS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R	R	R	R	R	R	R	R/W 注1	R	R	R	R	R	R	R	R

注1.　このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 24.36　RCFDCnCFDCmSTS レジスタの内容

ビット位置	ビット名	機能
31〜24	TEC[7:0]	送信エラーカウンタ（TEC）の値が読めます。
23〜16	REC[7:0]	受信エラーカウンタ（REC）の値が読めます。
15〜9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	ESIF	エラーステート表示フラグ 0：ESI ビットがレセシブである CAN FD メッセージを受信していない 1：ESI ビットがレセシブである CAN FD メッセージを少なくとも 1 メッセージ受信した
7	COMSTS	通信ステータスフラグ 0：通信可能な状態ではない 1：通信可能な状態
6	RECSTS	受信ステータスフラグ 0：バスアイドルまたは送信中またはバスオフ状態 1：受信中
5	TRMSTS	送信ステータスフラグ 0：バスアイドルまたは受信中 1：送信中またはバスオフ状態

表 24.36　RCFDCnCFDCmSTS レジスタの内容

ビット位置	ビット名	機能
4	BOSTS	バスオフステータスフラグ 0：バスオフ状態ではない 1：バスオフ状態
3	EPSTS	エラーパッシブステータスフラグ 0：エラーパッシブ状態ではない 1：エラーパッシブ状態
2	CSLPSTS	チャネルストップステータスフラグ 0：チャネルストップモードではない 1：チャネルストップモード
1	CHLTSTS	チャネル待機ステータスフラグ 0：チャネル待機モードではない 1：チャネル待機モード
0	CRSTSTS	チャネルリセットステータスフラグ 0：チャネルリセットモードではない 1：チャネルリセットモード

TEC[7:0]ビット

送信エラーカウンタの値を示します。送信エラーカウンタの増減条件については、CAN 仕様（ISO11898-1）を参照してください。
チャネルリセットモード時は、“0”になります。

REC[7:0]ビット

受信エラーカウンタの値を示します。受信エラーカウンタの増減条件については、CAN 仕様（ISO11898-1）を参照してください。
チャネルリセットモード時は、“0”になります。

ESIF フラグ

正常に受信したメッセージでレセシブの ESI ビットを検出すると、“1”になります。ループバックモードまたはミラーモードの場合は、自送信メッセージが受信メッセージとみなされます。このフラグを“0”にする場合は、プログラムで“0”を書いてください。プログラムで“1”にできません。フラグが“1”になるタイミングとプログラムで“0”を書くタイミングが同じ場合、そのフラグは“1”になります。
チャネルリセットモード時は、“0”になります。

COMSTS フラグ

通信準備が整ったことを示すビットです。
チャネルリセットモードまたはチャネル待機モードからチャネル通信モードに移行し、11 ビットの連続するレセシブを検出した後に、“1”になります。チャネルリセットモードまたはチャネル待機モード時は、“0”になります。

RECSTS フラグ

受信を開始すると“1”になります。バスアイドル状態になるか、または送信を開始すると“0”になります。

TRMSTS フラグ

送信を開始すると“1”になります。バスオフ状態では“1”のままです。バスアイドル状態になるか、または受信を開始すると“0”になります。

BOSTS フラグ

バスオフ状態（TEC[7:0]ビット＞255）になると“1”になります。バスオフ状態以外になると“0”になります。

EPSTS フラグ

エラーパッシブ状態（（128≦TEC[7:0]ビット≦255）または（128≦REC[7:0]ビット））になると、“1”になります。エラーパッシブ状態以外になるか、またはチャネルリセットモードになると、“0”になります。

CSLPSTS フラグ

チャネルストップモードに遷移すると、“1”になります。チャネルストップモードから復帰すると“0”になります。

CHLTSTS フラグ

チャネル待機モードに遷移すると“1”になります。チャネル待機モード以外のモードに遷移すると“0”になります。

CRSTSTS フラグ

チャネルリセットモードに遷移すると“1”になります。チャネル通信モードまたはチャネル待機モードに遷移すると“0”になります。チャネルリセットモードからチャネルストップモードに遷移しても、“1”のままです。

24.3.2.4　RCFDCnCFDCmERFL —チャネルエラーフラグレジスタ（m＝0～7）

アクセス　RCFDCnCFDCmERFL レジスタは、32 ビット単位でリード／ライト可能です。
RCFDCnCFDCmERFLL レジスタは、16 ビット単位でリード／ライト可能です。
RCFDCnCFDCmERFLH レジスタは、16 ビット単位でリードのみ可能です。
RCFDCnCFDCmERFLLL, RCFDCnCFDCmERFLLH レジスタは、8 ビット単位でリード／ライト可能です。
RCFDCnCFDCmERFLHL, RCFDCnCFDCmERFLHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　RCFDCnCFDCmERFL：<RCFDCn_base> + $000C_H$ + (10_H × m)
RCFDCnCFDCmERFLL：<RCFDCn_base> + $000C_H$ + (10_H × m),
RCFDCnCFDCmERFLH：<RCFDCn_base> + $000E_H$ + (10_H × m)
RCFDCnCFDCmERFLLL：<RCFDCn_base> + $000C_H$ + (10_H × m),
RCFDCnCFDCmERFLLH：<RCFDCn_base> + $000D_H$ + (10_H × m),
RCFDCnCFDCmERFLHL：<RCFDCn_base> + $000E_H$ + (10_H × m),
RCFDCnCFDCmERFLHH：<RCFDCn_base> + $000F_H$ + (10_H × m)

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	CRCREG[14:0]														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	ADERR	B0ERR	B1ERR	CERR	AERR	FERR	SERR	ALF	BLF	OVLF	BORF	BOEF	EPF	EWF	BEF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W[注1]	R/W[注1]	R/W[注1]	R/W[注1]	R/W[注1]	R/W[注1]	R/W[注1]	R/W[注1]	R/W[注1]	R/W[注1]	R/W[注1]	R/W[注1]	R/W[注1]	R/W[注1]	R/W[注1]

注1.　このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 24.37　RCFDCnCFDCmERFL レジスタの内容

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
30～16	CRCREG[14:0]	CRC 演算データ（CRC 長 15 ビット） 送信メッセージまたは受信メッセージを基に計算した CRC 値を表示します。
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14	ADERR	ACK デリミタエラーフラグ 0：ACK デリミタエラー未検出 1：ACK デリミタエラー検出
13	B0ERR	ドミナントビットエラーフラグ 0：ドミナントビットエラー未検出 1：ドミナントビットエラー検出
12	B1ERR	レセシブビットエラーフラグ 0：レセシブビットエラー未検出 1：レセシブビットエラー検出
11	CERR	CRC エラーフラグ 0：CRC エラー未検出 1：CRC エラー検出

表 24.37 RCFDCnCFDCmERFL レジスタの内容

ビット位置	ビット名	機能
10	AERR	ACK エラーフラグ 0：ACK エラー未検出 1：ACK エラー検出
9	FERR	フォームエラーフラグ 0：フォームエラー未検出 1：フォームエラー検出
8	SERR	スタッフエラーフラグ 0：スタッフエラー未検出 1：スタッフエラー検出
7	ALF	アービトレーションロストフラグ 0：アービトレーションロスト未検出 1：アービトレーションロスト検出
6	BLF	バスロックフラグ 0：チャネルバスロック未検出 1：チャネルバスロック検出
5	OVLF	オーバロードフラグ 0：オーバロード未検出 1：オーバロード検出
4	BORF	バスオフ復帰フラグ 0：バスオフ復帰未検出 1：バスオフ復帰検出
3	BOEF	バスオフ開始フラグ 0：バスオフ開始未検出 1：バスオフ開始検出
2	EPF	エラーパッシブフラグ 0：エラーパッシブ未検出 1：エラーパッシブ検出
1	EWF	エラーワーニングフラグ 0：エラーワーニング未検出 1：エラーワーニング検出
0	BEF	バスエラーフラグ 0：チャネルバスエラーは未検出 1：チャネルバスエラー検出

各エラーの発生条件を確認するには、CAN 仕様（ISO11898-1）を参照してください。各フラグを“0”にする場合は、プログラムで“0”を書いてください。プログラムで“1”にできません。フラグが“1”になるタイミングとプログラムで“0”を書くタイミングが同じ場合、そのフラグは“1”になります。チャネルリセットモード時、“0”になります。

RCFDCnCFDCmERFL レジスタのビット 14～8 に関して、RCFDCnCFDCmCTR レジスタの ERRD ビットを“0”（最初に発生したエラー情報のみ表示）に設定すると、ビット 14～8 のすべてのフラグが“0”の状態でエラーが検出された場合には、対応するフラグのみが“1”になります。

CRCREG[14:0]フラグ

RCFDCnCFDCmCTR レジスタの CTME ビットが“1”（通信テストモード許可）の場合、送信または受信メッセージがクラシカル CAN フレーム（CRC 長 15 ビット）ならば、このフラグが更新され、メッセージをもとに計算した CRC 値が読めます。CAN FD フレームを送受信したときは、RCFDCnCFDCmFDCRC レジスタの CRCREG[20:0]ビットが更新されます。CTME ビットが“0”（通信テストモード禁止）の場合、常に“0”が読めます。
チャネルリセットモード時は、“0”になります。

ADERR フラグ

送信中の ACK デリミタでフォームエラーを検出すると、“1”になります。

B0ERR フラグ

ドミナントを送信したにも関わらずレセシブを検出すると“1”になります。

B1ERR フラグ

レセシブを送信したにも関わらずドミナントを検出すると“1”になります。

CERR フラグ

CRC エラーを検出すると“1”になります。

AERR フラグ

ACK エラーを検出すると“1”になります。

FERR フラグ

フォームエラーを検出すると“1”になります。

SERR フラグ

スタッフエラーを検出すると“1”になります。

ALF フラグ

アービトレーションロストを検出すると“1”になります。

BLF フラグ

チャネル通信モード時、CAN バス上に 32 ビットの連続するドミナントを検出すると、“1”になります。
“1”になった後、次のいずれかの条件が成立するとバスロックを再検出できるようになります。

- BLF ビットを“1”から“0”にした後、レセシブビットを検出
- BLF ビットを“1”から“0”にした後、チャネルリセットモードに遷移し、再度チャネル通信モードに遷移

OVLF フラグ

受信または送信を行う場合に、オーバロードフレームの送信条件が検出されると“1”になります。

BORF フラグ

11 ビットの連続するレセシブを 128 回検出してバスオフ状態から復帰すると“1”になります。ただし、11 ビットの連続するレセシブを 128 回検出する前に、以下の方法でバスオフ状態から復帰した場合は“1”になりません。

- RCFDCnCFDCmCTR レジスタの CHMDC[1:0]ビットを“01_B”（チャネルリセットモード）に設定した場合
- RCFDCnCFDCmCTR レジスタの RTBO ビットを“1”（バスオフからの強制復帰）に設定した場合
- RCFDCnCFDCmCTR レジスタの BOM[1:0]ビットを“01_B”（バスオフ開始でチャネル待機モードへ遷移）に設定した場合

- RCFDCnCFDCmCTR レジスタの BOM[1:0]ビットが“11_B”（バスオフ中にプログラムによる要求でチャネル待機モードへ遷移）で、11 ビットの連続するレセシブを 128 回検出する前に、CHMDC[1:0]ビットを“10_B”（チャネル待機モード）に設定した場合

BOEF フラグ

バスオフ状態（TEC[7:0]ビット＞255）になると、“1”になります。RCFDCnCFDCmCTR レジスタ（m＝0～5）の BOM[1:0]ビットが“01_B”（バスオフ開始でチャネル待機モードへ遷移）で、バスオフ状態になった場合も、“1”になります。

EPF フラグ

エラーパッシブ状態（（128≦TEC[7:0]≦255）または、（128≦REC[7:0]））になると、“1”になります。REC[7:0]または TEC[7:0]ビットが最初に 127 を超えたときのみ“1”になります。したがって、REC[7:0]または TEC[7:0]ビットが 127 を超えたままで、プログラムで“0”を書いた場合、一度 REC[7:0]と TEC[7:0]ビットの両方が 127 以下になり、再び REC[7:0]または TEC[7:0]ビットが 127 を超えるまでは“1”にはなりません。

EWF フラグ

REC[7:0]または TEC[7:0]ビットが最初に 95 を超えたときのみ“1”になります。したがって、REC[7:0]または TEC[7:0]ビットが 95 を超えたままで、プログラムで“0”を書いた場合、一度 REC[7:0]と TEC[7:0]ビットの両方が 95 以下になり、再び REC[7:0]または TEC[7:0]ビットが 95 を超えるまでは“1”にはなりません。

BEF フラグ

RCFDCnCFDCmERFL レジスタの ADERR、B0ERR、B1ERR、CERR、AERR、FERR、SERR フラグのいずれか 1 つでも“1”になると、BEF フラグは“1”になります。

備　考

本レジスタのフラグを“0”にする場合は、対象フラグには“0”を、それ以外のフラグには“1”を、ストア命令を使用して書いてください。

24.3.2.5　RCFDCnCFDCmDCFG ―チャネルデータビットレートコンフィグレーションレジスタ（m＝0～7）

アクセス　RCFDCnCFDCmDCFG レジスタは、32 ビット単位でリード／ライト可能です。

RCFDCnCFDCmDCFGL, RCFDCnCFDCmDCFGH レジスタは、16 ビット単位でリード／ライト可能です。

RCFDCnCFDCmDCFGLL, RCFDCnCFDCmDCFGHL, RCFDCnCFDCmDCFGHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RCFDCnCFDCmDCFG：<RCFDCn_base> + 0700_H + (20_H × m)

RCFDCnCFDCmDCFGL：<RCFDCn_base> + 0700_H + (20_H × m),

RCFDCnCFDCmDCFGH：<RCFDCn_base> + 0702_H + (20_H × m)

RCFDCnCFDCmDCFGLL：<RCFDCn_base> + 0700_H + (20_H × m),

RCFDCnCFDCmDCFGHL：<RCFDCn_base> + 0702_H + (20_H × m),

RCFDCnCFDCmDCFGHH：<RCFDCn_base> + 0703_H + (20_H × m)

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	DSJW[2:0]			—	DTSEG2[2:0]			DTSEG1[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DBRP[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.38　RCFDCnCFDCmDCFG レジスタの内容

ビット位置	ビット名	機能
31～27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26～24	DSJW[2:0]	データビットレート再同期ジャンプ幅制御ビット b26 b25 b24 0 0 0：1Tq 0 0 1：2Tq 0 1 0：3Tq 0 1 1：4Tq 1 0 0：5Tq 1 0 1：6Tq 1 1 0：7Tq 1 1 1：8Tq
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22～20	DTSEG2[2:0]	データビットレートタイムセグメント 2 制御ビット b22 b21 b20 0 0 0：設定しないでください 0 0 1：2Tq 0 1 0：3Tq 0 1 1：4Tq 1 0 0：5Tq 1 0 1：6Tq 1 1 0：7Tq 1 1 1：8Tq

表 24.38　RCFDCnCFDCmDCFG レジスタの内容

ビット位置	ビット名	機能
19～16	DTSEG1[3:0]	データビットレートタイムセグメント 1 制御ビット b19 b18 b17 b16 0 0 0 0：設定しないでください 0 0 0 1：2Tq 0 0 1 0：3Tq 0 0 1 1：4Tq 0 1 0 0：5Tq 0 1 0 1：6Tq 0 1 1 0：7Tq 0 1 1 1：8Tq 1 0 0 0：9Tq 1 0 0 1：10Tq 1 0 1 0：11Tq 1 0 1 1：12Tq 1 1 0 0：13Tq 1 1 0 1：14Tq 1 1 1 0：15Tq 1 1 1 1：16Tq
15～8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7～0	DBRP[7:0]	データビットレートプリスケーラ分周比設定ビット 設定値を P（0～255）とすると、データビットレートプリスケーラは fCAN を P+1 で分周します。

RCFDCnCFDCmDCFG レジスタは、チャネルリセットモードまたはチャネル待機モードで書き換えてください。また、チャネルリセットモードで本レジスタを設定した後で、チャネル通信モードまたはチャネル待機モードに遷移してください。CAN FD モードにおいてクラシカル CAN フレームしか使用しない場合は、RCFDCnCFDCmDCFG レジスタに、RCFDCnCFDCmNCFG レジスタの設定値と同じ値を設定してください。ビットタイミングパラメータの説明と設定については、「**24.10.1 初期設定**」を参照してください。

クラシカル専用モードのチャネルは、本レジスタの設定は必要ありません。

DSJW[2:0]ビット

データビットレートの再同期ジャンプ幅（Resynchronization jump width）を Tq 値で指定します。1～8Tq の値が設定可能です。DTSEG2[2:0]ビット以下の値を設定してください。

DTSEG2[2:0]ビット

通常ビットレートのフェーズセグメント 2（PHASE_SEG2）の長さを Tq 値で指定します。
2～8Tq の値が設定可能です。
DTSEG1[3:0]ビット以下の値を設定してください。

DTSEG1[3:0]ビット

データビットレートのプロパゲーションセグメント（PROP_SEG）とフェーズセグメント 1（PHASE_SEG1）の合計長を Tq 値で指定します。
2～16Tq の値が設定可能です。

DBRP[7:0]ビット

CAN クロック（fCAN）をデータビットレートプリスケーラ（（DBRP[7:0]）＋1）で分周したクロックが CANmTq(D)クロック（fCANTQ(D)m）になり、CANmTq(D)クロックの 1 クロックが 1 Time Quantum（Tq）になります。
NBRP[9:0]ビットと DBRP[7:0]ビットには、同じ値を指定してください。
通常ビットレートとデータビットレートを異なる値を指定するには、RCFDCnCFDCmNCFG.NTSEG1 ビットと NTSEG2 ビット、RCFDCnCFDCmDCFG.DTSEG1 ビットと DTSEG2 ビットの値をそれぞれ変更します。
RCFDCnCFDCmFDCFG レジスタの TDCE ビットが“1”（送信遅延補正許可）のときは、NBRP[9:0]ビットと DBRP[7:0]ビットに 1 以下の値を設定してください。

24.3.2.6　RCFDCnCFDCmFDCFG —チャネル CAN FD コンフィグレーションレジスタ（m＝0 ～7）

アクセス　RCFDCnCFDCmFDCFG レジスタは、32 ビット単位でリード／ライト可能です。

RCFDCnCFDCmFDCFGL, RCFDCnCFDCmFDCFGH レジスタは、16 ビット単位でリード／ライト可能です。

RCFDCnCFDCmFDCFGLL, RCFDCnCFDCmFDCFGLH, RCFDCnCFDCmFDCFGHL, RCFDCnCFDCmFDCFGHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RCFDCnCFDCmFDCFG：<RCFDCn_base> + 0704$_{H}$ + (20$_{H}$ × m)

RCFDCnCFDCmFDCFGL：<RCFDCn_base> + 0704$_{H}$ + (20$_{H}$ × m),

RCFDCnCFDCmFDCFGH：<RCFDCn_base> + 0706$_{H}$ + (20$_{H}$ × m)

RCFDCnCFDCmFDCFGLL：<RCFDCn_base> + 0704$_{H}$ + (20$_{H}$ × m),

RCFDCnCFDCmFDCFGLH：<RCFDCn_base> + 0705$_{H}$ + (20$_{H}$ × m),

RCFDCnCFDCmFDCFGHL：<RCFDCn_base> + 0706$_{H}$ + (20$_{H}$ × m),

RCFDCnCFDCmFDCFGHH：<RCFDCn_base> + 0707$_{H}$ + (20$_{H}$ × m)

リセット後の値　0000 0000$_{H}$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	CLOE	REFE	FDOE	—	GWBRS	GWFDF	GWEN	—	TDCO[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	ESIC	TDCE	TDCOC	—	—	—	—	—	EOCCFG[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

表 24.39　RCFDCnCFDCmFDCFG レジスタの内容

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
30	CLOE	クラシカル CAN 専用モード有効ビット 0：クラシカル CAN 専用モード無効 1：クラシカル CAN 専用モード有効
29	REFE	受信データエッジフィルタ有効ビット 0：受信データエッジフィルタ無効 1：受信データエッジフィルタ有効
28	FDOE	FD 専用モード許可ビット 0：FD 専用モード禁止 1：FD 専用モード許可
27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26	GWBRS	ゲートウェイ BRS 設定ビット 0：受信フレームの BRS ビットを“0”にして送信 1：受信フレームの BRS ビットを“1”にして送信
25	GWFDF	ゲートウェイ FDF 設定ビット 0：受信フレームをクラシカル CAN フレームとして送信 1：受信フレームを CAN FD フレームとして送信
24	GWEN	CAN-CAN FD ゲートウェイ許可ビット 0：CAN-CAN FD ゲートウェイ禁止 1：CAN-CAN FD ゲートウェイ許可

表 24.39　RCFDCnCFDCmFDCFG レジスタの内容

ビット位置	ビット名	機能
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22〜16	TDCO[6:0]	送信遅延補正オフセット設定ビット 送信遅延補正のオフセット値を設定します。
15〜11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	ESIC	エラーステート表示モード選択ビット 0：常にノードのエラー状態を表示します。 1：ノードがエラーパッシブではない時： メッセージバッファのエラー状態を表示します。 ノードがエラーパッシブの時： ノードのエラー状態を表示します。
9	TDCE	送信遅延補正許可ビット 0：送信遅延補正禁止 1：送信遅延補正許可
8	TDCOC	送信遅延補正計測選択ビット 0：計測およびオフセット 1：オフセットのみ
7〜3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2〜0	EOCCFG[2:0]	エラー発生回数カウント方式選択ビット b2 b1 b0 0 0 0：全ての送信メッセージと受信メッセージ 0 0 1：全ての送信メッセージ 0 1 0：全ての受信メッセージ 0 1 1：設定しないでください 1 0 0：送信または受信した CAN FD メッセージのデータフェーズのみ 1 0 1：送信した CAN FD メッセージのデータフェーズのみ 1 1 0：受信した CAN FD メッセージのデータフェーズのみ 1 1 1：設定しないでください

CLOE ビット

このビットを 1 に設定すると、クラシカル CAN 専用モードが有効になります。データが送信されると、クラシカル CAN フレームが送信されます。CAN FD フレームを受信すると、フォームエラーまたは CRC エラーが検出されます。
このビットはチャネルリセットモードでのみ書き換えてください。
RCFDCnCFDCmFDCFG.CLOE と RCFDCnCFDCmFDCFG.FDOE を同時に設定しないでください。

CLOE ビット	FDOE ビット	インタフェースモード
0	0	CAN FD モード
0	1	FD 専用モード
1	0	クラシカル CAN 専用モード
1	1	予約

REFE ビット

このビットを“1”に設定すると、アイドル状態の検出時に受信データエッジフィルタが有効になります。また、2Tq 未満のドミナントレベルが無視されます。2Tq 以上のドミナントレベルはエッジとして検出されます。このビットはチャネルリセットモードでのみ書き換えてください。
クラシカル CAN モードのときは、このビットを“0”に設定してください。

FDOE ビット

このビットを“1”に設定すると、FD 専用モードが許可されます。データ送信時は、RCFDCnCFDCFFDCSTSk レジスタの CFFDF ビットまたは RCFDCnCFDTMFDCTRp レジスタの TMFDF ビットの設定に関係なく CAN FD フレームが送信されます。クラシカル CAN フレーム受信時は、フォームエラーが検出されます。このビットはチャネルリセットモードでのみ書き換えてください。
送信用にクラシカルフレームが設定されても、FDF ビットはレセシブとして送信され、FD フレームが送信されます。
DLC が 8 より大きく構成されている場合、残りのデータバイトは CCh でパディングされます。
RCFDCnCFDCmFDCFG.CLOE と RCFDCnCFDCmFDCFG.FDOE を同時に設定しないでください。

GWBRS ビット

GWEN ビットが“1”のとき、ゲートウェイ機能で送信する CAN FD フレームの BRS ビットを設定します。GWFDF ビットを“0”にするときは、このビットに“0”を書いてください。このビットはチャネルリセットモードでのみ書き換えてください。

GWFDF ビット

GWEN ビットが“1”のとき、ゲートウェイ機能で送信する CAN FD フレームの FDF ビットを設定します。このビットはチャネルリセットモードでのみ書き換えてください。

GWEN ビット

RCFDCnCFDCFCCk レジスタの CFM[1:0]ビットを“10_B”（ゲートウェイモード）に設定した送受信 FIFO バッファの動作を制御します。
このビットを“1”にすると、CAN-CAN FD ゲートウェイが許可され、ゲートウェイ機能で受信したフレームと異なるフォーマットでの送信ができます。受信フレームは GWFDF ビットと GWBRS ビットの設定に従って置換されます。受信したクラシカル CAN フレームの DLC 値が“1001_B”以上であり、GWFDF ビットが“1”（CAN FD フレーム）の場合は、DLC を“1000_B”に置き換えます。受信した CAN FD フレームが 8 バイト以上であり、GWFDF ビットが“0”（クラシカル CAN フレーム）の場合は、ペイロードサイズは 8 バイトに切り捨てられます。先頭 8 バイトのみ GW 送信が実行され、残りは破棄されます。
このビットが“1”のとき、以下のフレームはゲートウェイ機能でルーティングしないでください。

- リモートフレーム

このビットはチャネルリセットモードでのみ書き換えてください。
「**表 24.40 CAN-CANFD ゲートウェイ許可時動作**」に CAN-CAN FD ゲートウェイ許可時の送受信フレームのフォーマットと設定を示します。

表 24.40　CAN-CANFD ゲートウェイ許可時動作

<table>
<tr><th colspan="3">受信フレーム</th><th rowspan="2">GWFDF ビット</th><th colspan="3">送信フレーム</th></tr>
<tr><th>フォーマット</th><th>BRS ビット</th><th>受信 DLC 値</th><th>フォーマット</th><th>BRS ビット</th><th>送信 DLC 値</th></tr>
<tr><td rowspan="2">クラシカル CAN</td><td rowspan="2">なし</td><td>DLC≦1000_B</td><td rowspan="4">0</td><td rowspan="4">クラシカル CAN</td><td rowspan="4">なし</td><td rowspan="3">置換しない</td></tr>
<tr><td>DLC＞1000_B</td></tr>
<tr><td rowspan="2">CAN FD</td><td rowspan="2">任意</td><td>DLC≦1000_B</td></tr>
<tr><td>DLC＞1000_B</td><td>“1000_B”に置換</td></tr>
<tr><td rowspan="2">クラシカル CAN</td><td rowspan="2">なし</td><td>DLC≦1000_B</td><td rowspan="4">1</td><td rowspan="4">CAN FD</td><td rowspan="4">GWBRS ビットの設定に従う</td><td>置換しない</td></tr>
<tr><td>DLC＞1000_B</td><td>“1000_B”に置換</td></tr>
<tr><td rowspan="2">CAN FD</td><td rowspan="2">任意</td><td>DLC≦1000_B</td><td rowspan="2">置換しない</td></tr>
<tr><td>DLC＞1000_B</td></tr>
</table>

TDCO[6:0]ビット

SSP オフセット値を設定します。この値の使用方法は、RCFDCnCFDCmFDCFG レジスタの TDCOC ビットに依存します。
本ビットは、CAN クロック周波数（fCAN）に基づいています。
TDCOC ビットが“0”のとき、送信遅延補正結果は測定した遅延と TDCO[6:0]ビット値の合計値と等しくなります（最も近い整数の Tq に切り捨てます）。
TDCOC ビットが“1”のとき、送信遅延補正結果は TDCO[6:0]ビットの値と等しくなります。
SSP オフセット値は TDCO[6:0]ビットの設定値＋1 となります。
このビットはチャネルリセットモードまたはチャネル待機モードでのみ書き換えてください。

ESIC ビット

ESIC ビットを“1”にすると、チャネルがエラーアクティブならば、送信メッセージの ESI ビット値として、送受信 FIFO バッファまたは送信バッファに設定された ESI ビット値（RCFDCnCFDCFFDCSTSk レジスタの CFESI ビットまたは RCFDCnCFDTMFDCTRp レジスタの TMESI ビット）が送信されます。チャネルがエラーパッシブであるか、ESIC ビットが“0” ならばチャネルのステータスが ESI ビット値として送信されます。このビットはチャネルリセットモードまたはチャネル待機モードでのみ書き換えてください。

表 24.41　送信 ESI 値

ESIC ビット	チャネルステータス	送信 ESI 値
0	エラーアクティブ	0（ノードはエラーアクティブ）
	エラーパッシブ	1（ノードはエラーパッシブ）
1	エラーアクティブ	送受信 FIFO バッファまたは送信バッファに設定した ESI 値（RCFDCnCFDCFFDCSTSk レジスタの CFESI ビットまたは RCFDCnCFDTMFDCTRp レジスタの TMESI ビット）
	エラーパッシブ	1（ノードはエラーパッシブ）

TDCE ビット

“1”にすると送信遅延補正が許可されます。このビットはチャネルリセットモードまたはチャネル待機モードでのみ書き換えてください。

TDCOC ビット

“0”のとき、SSP の位置は測定した遅延と SSP オフセット値（固定値）の合計で定義されます。
“1”のとき、SSP の位置は SSP オフセット値のみで定義されます。このビットはチャネルリセットモードまたはチャネル待機モードでのみ書き換えてください。

EOCCFG[2:0]ビット

エラー発生回数カウンタで CAN バスエラーをカウントするときのフレームフォーマットおよび送受信方向を選択します。
このビットはチャネルリセットモードまたはチャネル待機モードでのみ書き換えてください。

24.3.2.7 RCFDCnCFDCmFDCTR —チャネル CAN FD 制御レジスタ（m＝0～7）

アクセス RCFDCnCFDCmFDCTR レジスタは、32 ビット単位でリード／ライト可能です。
RCFDCnCFDCmFDCTRL レジスタは、16 ビット単位でリード／ライト可能です。
RCFDCnCFDCmFDCTRLL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RCFDCnCFDCmFDCTR：<RCFDCn_base> + 0708_H + (20_H × m)
RCFDCnCFDCmFDCTRL：<RCFDCn_base> + 0708_H + (20_H × m)
RCFDCnCFDCmFDCTRLL：<RCFDCn_base> + 0708_H + (20_H × m)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOCCLR	EOCCLR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 24.42 RCFDCnCFDCmFDCTR レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	SOCCLR	通信成功回数カウンタクリアビット SOCCLR ビットを“1”にすると、通信成功回数カウンタがクリアされます。常に“0”が読めます。
0	EOCCLR	エラー発生回数カウンタクリアビット EOCCLR ビットを“1”にすると、エラー発生回数カウンタがクリアされます。常に“0”が読めます。

SOCCLR ビット

“1”にすると、通信成功回数カウンタ（RCFDCnCFDCmFDSTS レジスタの SOC[7:0]ビット）がクリアされます。このビットは自動的に“0”になります。

EOCCLR ビット

“1”にすると、エラー発生回数カウンタ（RCFDCnCFDCmFDSTS レジスタの EOC[7:0]ビット）がクリアされます。このビットは自動的に“0”になります。

24.3.2.8　RCFDCnCFDCmFDSTS —チャネル CAN FD ステータスレジスタ（m＝0～7）

アクセス　RCFDCnCFDCmFDSTS レジスタは、32 ビット単位でリード／ライト可能です。

RCFDCnCFDCmFDSTSL レジスタは、16 ビット単位でリード／ライト可能です。

RCFDCnCFDCmFDSTSH レジスタは、16 ビット単位でリードのみ可能です。

RCFDCnCFDCmFDSTSLL, RCFDCnCFDCmFDSTSLH レジスタは、8 ビット単位でリード／ライト可能です。

RCFDCnCFDCmFDSTSHL, RCFDCnCFDCmFDSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　RCFDCnCFDCmFDSTS：<RCFDCn_base> + $070C_H$ + (20_H × m)

RCFDCnCFDCmFDSTSL：<RCFDCn_base> + $070C_H$ + (20_H × m),

RCFDCnCFDCmFDSTSH：<RCFDCn_base> + $070E_H$ + (20_H × m)

RCFDCnCFDCmFDSTSLL：<RCFDCn_base> + $070C_H$ + (20_H × m),

RCFDCnCFDCmFDSTSLH：<RCFDCn_base> + $070D_H$ + (20_H × m),

RCFDCnCFDCmFDSTSHL：<RCFDCn_base> + $070E_H$ + (20_H × m),

RCFDCnCFDCmFDSTSHH：<RCFDCn_base> + $070F_H$ + (20_H × m)

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SOC[7:0]								EOC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SOCO	EOCO	TDCVF	TDCR[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W 注1	R/W 注1	R/W 注1	R	R	R	R	R	R	R

注1.　このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 24.43　RCFDCnCFDCmFDSTS レジスタの内容

ビット位置	ビット名	機能
31～24	SOC[7:0]	通信成功回数カウンタ 通信成功回数カウンタの値が読めます。
23～16	EOC[7:0]	エラー発生回数カウンタ エラー発生回数カウンタの値が読めます。
15～10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	SOCO	通信成功回数カウンタオーバフローフラグ 0：通信成功回数カウンタオーバフローではない 1：通信成功回数カウンタオーバフロー
8	EOCO	エラー発生回数カウンタオーバフローフラグ 0：エラー発生回数カウンタオーバフローではない 1：エラー発生回数カウンタオーバフロー
7	TDCVF	送信遅延補正バイオレーションフラグ 0：送信遅延補正バイオレーションなし 1：送信遅延補正バイオレーション
6～0	TDCR[6:0]	送信遅延補正結果ステータスビット 送信遅延補正結果が読めます。

SOC[7:0]ビット

通信成功回数カウンタの値を示します。通信成功回数カウンタはエラーなしでメッセージの受信完了または送信完了が起こるとインクリメントされ、“FF_H”に達すると、更新を停止します。ループバックモードのとき、このカウンタは 2 回インクリメントされます。
このビットは、RCFDCnCFDCmFDCTR レジスタの SOCCLR ビットに“1”を書き込むと“0”にクリアされます。チャネルリセットモード時は、“0”になります。

EOC[7:0]ビット

エラー発生回数カウンタの値を示します。エラー発生回数カウンタは、RCFDCnCFDCmFDCFG レジスタの EOCCFG[2:0]ビットに設定された条件に従って、エラー発生時にインクリメントされ、カウンタが“FF_H”に達すると、更新が停止します。
このビットは、RCFDCnCFDCmFDCTR レジスタの EOCCLR ビットに“1”を書き込むと“0”にクリアされます。チャネルリセットモード時は、“0”になります。

SOCO フラグ

通信成功回数カウンタのオーバフローが発生したことを示すビットです。
SOC[7:0]ビットが“FF_H”に達しているとき、メッセージの受信完了または送信完了が起こると“1”になります。チャネルリセットモード時は、“0”になります。

EOCO フラグ

エラー発生回数カウンタのオーバフローが発生したことを示すビットです。
EOC[7:0]ビットが“FF_H”に達しているとき、RCFDCnCFDCmFDCFG レジスタの EOCCFG[2:0]ビットに設定された条件下で CAN バスエラーが検出されると“1”になります。チャネルリセットモード時は、“0”になります。

TDCVF フラグ

送信遅延補正のバイオレーションを示すビットです。
送信データはトランシーバのループ遅延によって遅延した受信 CAN バスレベルと比較されます。この遅延は温度のような物理的な要因によって変化します。TDCR[6:0]フラグはメッセージごとに更新されるため、一時的な最大遅延を確認することができません。
このビットは送信遅延補正が補正最大 3CANm ビットタイム−2fCAN を超えた場合、“1”になります（CANm ビットタイムはデータビットレートの値）。チャネルリセットモード時は、“0”になります。

TDCR[6:0]フラグ

送信遅延補正結果を CAN クロック（fCAN）のクロックの倍数で示すビットです。
この結果は RCFDCnCFDCmFDCFG レジスタの TDCOC ビットおよび TDCO[6:0]ビットの設定に依存します。
RCFDCnCFDCmFDCFG レジスタの TDCE ビット（送信遅延補正許可ビット）が“1”で、かつ RCFDCnCFDCmFDCFG レジスタの TDCOC ビット（送信遅延補正計測選択ビット）が“0”の場合、FDF ビットおよび res ビット間の立ち下がりエッジで更新されます。
チャネルリセットモード時は、“0”になります。

24.3.2.9　　RCFDCnCFDCmFDCRC —チャネル CAN FD CRC レジスタ（m＝0～7）

アクセス　RCFDCnCFDCmFDCRC レジスタは、32 ビット単位でリードのみ可能です。

RCFDCnCFDCmFDCRCL, RCFDCnCFDCmFDCRCH レジスタは、16 ビット単位でリードのみ可能です。

RCFDCnCFDCmFDCRCLL, RCFDCnCFDCmFDCRCLH, RCFDCnCFDCmFDCRCHL, RCFDCnCFDCmFDCRCHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　RCFDCnCFDCmFDCRC：<RCFDCn_base> + 0710_H + (20_H × m)

RCFDCnCFDCmFDCRCL：<RCFDCn_base> + 0710_H + (20_H × m),

RCFDCnCFDCmFDCRCH：<RCFDCn_base> + 0712_H + (20_H × m)

RCFDCnCFDCmFDCRCLL：<RCFDCn_base> + 0710_H + (20_H × m),

RCFDCnCFDCmFDCRCLH：<RCFDCn_base> + 0711_H + (20_H × m),

RCFDCnCFDCmFDCRCHL：<RCFDCn_base> + 0712_H + (20_H × m),

RCFDCnCFDCmFDCRCHH：<RCFDCn_base> + 0713_H + (20_H × m)

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	SCNT[3:0]				—	—	—	CRCREG[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CRCREG[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.44　RCFDCnCFDCmFDCRC レジスタの内容

ビット位置	ビット名	機能
31～28	予約ビット	リードした場合はリセット後の値が読めます。
27～24	SCNT[3:0]	スタッフカウントビット CAN FD フレームのスタッフカウント値を示します。 ビット 27～25 は、送受信フレームのスタッフビットカウントモジュール 8 のグレーコード値を示します。 ビット 24 は、ビット 27～25 の偶数パリティ値を示します。
23～21	予約ビット	リードした場合はリセット後の値が読めます。
20～0	CRCREG[20:0]	CRC 演算データ（CRC 長 17 ビットまたは 21 ビット） 送信メッセージまたは受信メッセージを基に計算した CRC 値を表示します。 CRC 長 17 ビットのとき、b20～b17 は“0”が読めます。

SCNT[3:0]フラグ

RCFDCnCFDCmCTR レジスタの CTME ビットが“1”（通信テストモード許可）の場合、送信または受信メッセージが CAN FD フレームならば、CAN FD フレームのスタッフカウントビット値が読み出されます。CTME ビットが“0”（通信テストモード禁止）の場合、このフラグは常に“0”で読み出されます。このフラグは CAN FD フレームの CRC フィールドの最初のビットで更新されます。チャネルリセットモード時は、“0”になります。

CRCREG[20:0]フラグ

RCFDCnCFDCmCTR レジスタの CTME ビットが“1”（通信テストモード許可）の場合、送信または受信メッセージが CAN FD フレーム（CRC 長 17 ビットまたは 21 ビット）ならば、このフラグが更新され、メッセージを基に計算した CRC 値が読めます。メッセージの CRC 長が 17 ビットのとき、b20～b17 は常に“0”が読めます。クラシカル CAN フレームを送受信したときは、RCFDCnCFDCmERFL レジスタの CRCREG[14:0]ビットが更新されます。CTME ビットが“0”（通信テストモード禁止）の場合、常に“0”が読めます。

チャネルリセットモード時は、“0”になります。

24.3.3　グローバル関連レジスタの詳細

24.3.3.1　RCFDCnCFDGCFG — グローバルコンフィグレーションレジスタ

アクセス　RCFDCnCFDGCFG レジスタは、32 ビット単位でリード／ライト可能です。

RCFDCnCFDGCFGL, RCFDCnCFDGCFGH レジスタは、16 ビット単位でリード／ライト可能です。

RCFDCnCFDGCFGLL, RCFDCnCFDGCFGLH, RCFDCnCFDGCFGHL, RCFDCnCFDGCFGHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RCFDCnCFDGCFG : <RCFDCn_base> + 0084_H

RCFDCnCFDGCFGL : <RCFDCn_base> + 0084_H,

RCFDCnCFDGCFGH : <RCFDCn_base> + 0086_H,

RCFDCnCFDGCFGLL : <RCFDCn_base> + 0084_H,

RCFDCnCFDGCFGLH : <RCFDCn_base> + 0085_H,

RCFDCnCFDGCFGHL : <RCFDCn_base> + 0086_H,

RCFDCnCFDGCFGHH : <RCFDCn_base> + 0087_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ITRCP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSBTCS[2:0]			TSSS	TSP[3:0]				—	—	CMPOC	DCS	MME	DRE	DCE	TPRI
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 24.45　RCFDCnCFDGCFG レジスタの内容

ビット位置	ビット名	機能
31～16	ITRCP[15:0]	インターバルタイマプリスケーラ設定ビット 設定値を M とすると pclk を M 分周します。 インターバルタイマを使用する場合、“0000_H”を設定しないでください。
15～13	TSBTCS[2:0]	タイムスタンプクロック源選択ビット b15　b14　b13 0　0　0：チャネル 0 ビットタイムクロック 0　0　1：チャネル 1 ビットタイムクロック 0　1　0：チャネル 2 ビットタイムクロック 0　1　1：チャネル 3 ビットタイムクロック 1　0　0：チャネル 4 ビットタイムクロック 1　0　1：チャネル 5 ビットタイムクロック 1　1　0：チャネル 6 ビットタイムクロック 1　1　1：チャネル 7 ビットタイムクロック
12	TSSS	タイムスタンプソース選択 0：pclk/2 注 1 1：通常ビットタイムクロック

表 24.45　RCFDCnCFDGCFG レジスタの内容

ビット位置	ビット名	機能
11～8	TSP[3:0]	タイムスタンプクロック源分周ビット b11 b10 b9 b8 0 0 0 0：分周なし 0 0 0 1：2 分周 0 0 1 0：4 分周 0 0 1 1：8 分周 0 1 0 0：16 分周 0 1 0 1：32 分周 0 1 1 0：64 分周 0 1 1 1：128 分周 1 0 0 0：256 分周 1 0 0 1：512 分周 1 0 1 0：1024 分周 1 0 1 1：2048 分周 1 1 0 0：4096 分周 1 1 0 1：8192 分周 1 1 1 0：16384 分周 1 1 1 1：32768 分周
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	CMPOC	ペイロードオーバフローモード選択ビット 0：メッセージは格納されない 1：メッセージは格納され、バッファサイズを超える分のペイロードは切り捨てられる
4	DCS	CAN クロック源選択ビット注2 0：clkc 1：clk_xincan
3	MME	ミラー機能許可ビット 0：ミラー機能禁止 1：ミラー機能許可
2	DRE	DLC 置換許可ビット 0：DLC 置換禁止 1：DLC 置換許可
1	DCE	DLC チェック許可ビット 0：DLC チェック禁止 1：DLC チェック許可
0	TPRI	送信優先順位選択ビット 0：ID 優先 1：送信バッファ番号優先

注1.　タイムスタンプのカウントソースに pclk/2 を設定するときは、TSBTCS[2:0]を“000_B”にしてください。

注2.　CAN クロックの周波数の設定は、「**表 24.19　RH850/F1KH, RH850/F1KM における転送レート・使用チャネル数での動作周波数範囲**」を参照してください。

RCFDCnCFDGCFG レジスタはグローバルリセットモードのみで書き換えてください。

ITRCP[15:0]ビット

FIFO 用インターバルタイマのクロック源の分周値を設定します。詳細は「**24.7.3.1　インターバル送信機能**」を参照してください。

TSBTCS[2:0]ビット

TSSS ビットが“1”のとき、タイムスタンプカウンタのクロック源となる通常ビットタイムクロックのチャネルの選択ができます。ただし、CAN FD フレームを処理するチャネルを選択しないでください。

TSSS ビット

タイムスタンプカウンタのクロック源を選択します。クラシカル CAN フレームのみを処理するチャネルがない場合は、pclk を選択します。

TSP[3:0]ビット

TSBTCS[2:0]ビット、TSSS ビットで選択したクロック源を TSP[3:0]ビットで分周したクロックがタイムスタンプカウンタのカウントソースになります。

CMPOC ビット

受信したメッセージのペイロード長が格納先バッファのペイロード格納サイズを超えた場合の動作を選択します。
“0”のとき、ペイロードがオーバフローする受信メッセージはバッファに格納されません。
“1”のとき、ペイロードがオーバフローする受信メッセージはバッファに格納され、DRE ビットに応じて、受信 DLC 値または受信ルールの DLC 値がバッファに格納されます。このとき、バッファのペイロード格納サイズを超える分のペイロードは切り捨てられます。
バッファのペイロード格納サイズは以下のビットで設定します。

- 受信バッファ：RCFDCnCFDRMNB レジスタの RMPLS[2:0]ビット
- 受信 FIFO バッファ：RCFDCnCFDRFCCx レジスタの RFPLS[2:0]ビット
- 送受信 FIFO バッファ：RCFDCnCFDCFCCk レジスタの CFPLS[2:0]ビット

DCS ビット

“0”のとき、clkc が CAN クロック（fCAN）のクロック源になります。
“1”のとき、clk_xincan が CAN クロック（fCAN）のクロック源になります。CAN クロックの周波数の設定は、「**表 24.19 RH850/F1KH, RH850/F1KM における転送レート・使用チャネル数での動作周波数範囲**」を参照してください。

MME ビット

“1”にすると、ミラー機能が使用できます。

DRE ビット

DRE ビットを“1”にすると、DLC フィルタを通過した場合、受信メッセージの DLC 値の代わりに、受信ルールの DLC 値がバッファに格納されます。この場合、受信ルールの DLC 値を超えるデータバイトには“00_H”が格納されます。
DCE ビットが“1”（DLC チェック許可）のときに、DLC 置換機能を使用できます。

DCE ビット

“1”にすると、DLC チェック機能が使用できます。RCFDCnCFDGAFLP0_j レジスタの GAFLDLC[3:0]ビットを“0000_B”にしてから、RCFDCnCFDGCFG レジスタの DCE ビットを“0”にしてください。

TPRI ビット

TPRI ビットにより、送信優先順位を設定します。
“0”の場合、ID 優先となり送信優先順位は CAN バスアービトレーションルール（ISO11898-1 仕様）に準拠します。“1”の場合、送信バッファ番号優先となり送信に設定された一番小さい番号の送信バッファが優先されます。
送信キューを使用している場合は、“0”に設定してください。

24.3.3.2　RCFDCnCFDGCTR — グローバル制御レジスタ

アクセス　RCFDCnCFDGCTR レジスタは、32 ビット単位でリード／ライト可能です。
RCFDCnCFDGCTRL, RCFDCnCFDGCTRH レジスタは、16 ビット単位でリード／ライト可能です。
RCFDCnCFDGCTRLL, RCFDCnCFDGCTRLH, RCFDCnCFDGCTRHL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RCFDCnCFDGCTR：<RCFDCn_base> + 0088_H
RCFDCnCFDGCTRL：<RCFDCn_base> + 0088_H,
RCFDCnCFDGCTRH：<RCFDCn_base> + $008A_H$,
RCFDCnCFDGCTRLL：<RCFDCn_base> + 0088_H,
RCFDCnCFDGCTRLH：<RCFDCn_base> + 0089_H,
RCFDCnCFDGCTRHL：<RCFDCn_base> + $008A_H$

リセット後の値　$0000\ 0005_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CMPOFIE	THLEIE	MEIE	DEIE	—	—	—	—	—	GSLPR	GMDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

表 24.46　RCFDCnCFDGCTR レジスタの内容

ビット位置	ビット名	機能
31～17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
16	TSRST	タイムスタンプカウンタリセットビット TSRST ビットを“1”にすると、タイムスタンプカウンタをリセットします。読むと“0”が読み出されます。
15～12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11	CMPOFIE	ペイロードオーバフロー割り込み許可ビット 0：ペイロードオーバフロー割り込み禁止 1：ペイロードオーバフロー割り込み許可
10	THLEIE	送信履歴バッファオーバフロー割り込み許可ビット 0：送信履歴バッファオーバフロー割り込み禁止 1：送信履歴バッファオーバフロー割り込み許可
9	MEIE	FIFO メッセージロスト割り込み許可ビット 0：FIFO メッセージロスト割り込み禁止 1：FIFO メッセージロスト割り込み許可
8	DEIE	DLC エラー割り込み許可ビット 0：DLC エラー割り込み禁止 1：DLC エラー割り込み許可
7～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	GSLPR	グローバルストップモードビット 0：グローバルストップモードではない 1：グローバルストップモード

表 24.46　RCFDCnCFDGCTR レジスタの内容

ビット位置	ビット名	機能
1、0	GMDC[1:0]	グローバルモード選択ビット b1 b0 0 0：グローバル動作モード 0 1：グローバルリセットモード 1 0：グローバルテストモード 1 1：設定しないでください

TSRST ビット

タイムスタンプカウンタをリセットするために使用します。“1”にすると RCFDCnCFDGTSC レジスタが“0000_H”になります。

CMPOFIE ビット

CMPOFIE ビットを“1”に設定し、RCFDCnCFDGERFL レジスタの CMPOF フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

THLEIE ビット

THLEIE ビットを“1”に設定し、RCFDCnCFDGERFL レジスタの THLES フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

MEIE ビット

MEIE ビットを“1”に設定し、RCFDCnCFDGERFL レジスタの MES フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

DEIE ビット

DEIE ビットを“1”に設定し、RCFDCnCFDGERFL レジスタの DEF フラグが“1”になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

GSLPR ビット

“1”にすると、RS-CANFD モジュールは、グローバルストップモードになります。
“0”にすると、RS-CANFD モジュールは、グローバルストップモードから解除されます。このビットは、グローバル動作モードまたはグローバルテストモードでは書き換えないでください。

GMDC[1:0]ビット

RS-CANFD モジュール全体のモード（グローバル動作モード、グローバルリセットモード、グローバルテストモード）を選択するビットです。詳細は、「**24.5.1 グローバルモード**」を参照してください。グローバルストップモードへは、グローバルリセットモード時に GSLPR ビットを“1”にすることで遷移します。

24.3.3.3　RCFDCnCFDGSTS — グローバルステータスレジスタ

アクセス　RCFDCnCFDGSTS レジスタは、32 ビット単位でリードのみ可能です。
RCFDCnCFDGSTSL レジスタは、16 ビット単位でリードのみ可能です。
RCFDCnCFDGSTSLL レジスタは、8 ビット単位でリードのみ可能です。

アドレス　RCFDCnCFDGSTS：<RCFDCn_base> + $008C_H$
RCFDCnCFDGSTSL：<RCFDCn_base> + $008C_H$
RCFDCnCFDGSTSLL：<RCFDCn_base> + $008C_H$

リセット後の値　$0000\ 000D_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	GRAMINIT	GSLPSTS	GHLTSTS	GRSTSTS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.47　RCFDCnCFDGSTS レジスタの内容

ビット位置	ビット名	機能
31～4	予約ビット	リードした場合はリセット後の値が読めます。
3	GRAMINIT	CAN 用 RAM クリアステータスフラグ 0：CAN 用 RAM クリア完了 1：CAN 用 RAM クリア中
2	GSLPSTS	グローバルストップステータスフラグ 0：グローバルストップモードではない 1：グローバルストップモード
1	GHLTSTS	グローバルテストステータスフラグ 0：グローバルテストモードではない 1：グローバルテストモード
0	GRSTSTS	グローバルリセットステータスフラグ 0：グローバルリセットモードではない 1：グローバルリセットモード

GRAMINIT フラグ

CAN 用 RAM のクリア状態を示します。
MCU のリセット後、“1”になります。CAN 用 RAM クリアが完了すると“0”になります。

GSLPSTS フラグ

グローバルストップモードに遷移すると、“1”になります。グローバルストップモードから復帰すると“0”になります。

GHLTSTS フラグ

グローバルテストモードに遷移すると、“1”になります。グローバルテストモード以外のモードに遷移すると“0”になります。

GRSTSTS フラグ

グローバルリセットモードに遷移すると“1”になります。グローバルリセットモード以外のモードに遷移すると“0”になります。グローバルリセットモードからグローバルストップモードに遷移しても、“1”のままです。

24.3.3.4 RCFDCnCFDGERFL — グローバルエラーフラグレジスタ

アクセス RCFDCnCFDGERFL レジスタは、32 ビット単位でリード／ライト可能です。
RCFDCnCFDGERFLL, RCFDCnCFDGERFLH レジスタは、16 ビット単位でリード／ライト可能です。
RCFDCnCFDGERFLLL, RCFDCnCFDGERFLHL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RCFDCnCFDGERFL：<RCFDCn_base> + 0090_H
RCFDCnCFDGERFLL：<RCFDCn_base> + 0090_H,
RCFDCnCFDGERFLH：<RCFDCn_base> + 0092_H,
RCFDCnCFDGERFLLL：<RCFDCn_base> + 0090_H,
RCFDCnCFDGERFLHL：<RCFDCn_base> + 0092_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	EEF7	EEF6	EEF5	EEF4	EEF3	EEF2	EEF1	EEF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1	R/W 注1

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	CMPOF	THLES	MES	DEF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R	R	R/W 注1

注1. このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 24.48 RCFDCnCFDGERFL レジスタの内容

ビット位置	ビット名	機能
31〜24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
23	EEF7	チャネル 7 用 ECC エラーフラグ 0：送信優先順位判定時の 2 ビット ECC エラーなし 1：送信優先順位判定時の 2 ビット ECC エラー
22	EEF6	チャネル 6 用 ECC エラーフラグ 0：送信優先順位判定時の 2 ビット ECC エラーなし 1：送信優先順位判定時の 2 ビット ECC エラー
21	EEF5	チャネル 5 用 ECC エラーフラグ 0：送信優先順位判定時の 2 ビット ECC エラーなし 1：送信優先順位判定時の 2 ビット ECC エラー
20	EEF4	チャネル 4 用 ECC エラーフラグ 0：送信優先順位判定時の 2 ビット ECC エラーなし 1：送信優先順位判定時の 2 ビット ECC エラー
19	EEF3	チャネル 3 用 ECC エラーフラグ 0：送信優先順位判定時の 2 ビット ECC エラーなし 1：送信優先順位判定時の 2 ビット ECC エラー
18	EEF2	チャネル 2 用 ECC エラーフラグ 0：送信優先順位判定時の 2 ビット ECC エラーなし 1：送信優先順位判定時の 2 ビット ECC エラー
17	EEF1	チャネル 1 用 ECC エラーフラグ 0：送信優先順位判定時の 2 ビット ECC エラーなし 1：送信優先順位判定時の 2 ビット ECC エラー

表 24.48　RCFDCnCFDGERFL レジスタの内容

ビット位置	ビット名	機能
16	EEF0	チャネル 0 用 ECC エラーフラグ 0：送信優先順位判定時の 2 ビット ECC エラーなし 1：送信優先順位判定時の 2 ビット ECC エラー
15～4	予約ビット	リードした場合は不定値が読めます。ライトする場合はリセット後の値を書いてください。
3	CMPOF	ペイロードオーバフローフラグ 0：ペイロードオーバフローなし 1：ペイロードオーバフロー
2	THLES	送信履歴バッファオーバフローステータスフラグ 0：送信履歴バッファオーバフローなし 1：送信履歴バッファオーバフロー
1	MES	FIFO メッセージロストステータスフラグ 0：FIFO メッセージロストエラーなし 1：FIFO メッセージロストエラー
0	DEF	DLC エラーフラグ 0：DLC エラーなし 1：DLC エラー

RCFDCnCFDGERFL レジスタのフラグは、グローバルリセットモード時、“0”になります。

EEFm フラグ

チャネル m（m＝0～7）の送信優先順位判定で 2 ビット ECC エラーが検出されると、EEFm フラグが“1”になり、メッセージの送信は行われません。プログラムで“0”を書くことで、“0”にできます。

CMPOF フラグ

チャネル m（m＝0～7）のいずれか 1 つでもペイロードオーバフローが発生すると、CMPOF フラグは“1”になります。プログラムで“0”を書くことで、“0”にできます。

THLES フラグ

RCFDCnCFDTHLSTSm レジスタ（m＝0～7）の THLELT フラグのいずれか 1 つでも“1”になると、THLES フラグは“1”になります。
全チャネルの THLELT フラグを“0”にすると、THLES フラグは“0”になります。

MES フラグ

RCFDCnCFDRFSTSx レジスタ（x＝0～7）の RFMLT フラグまたは RCFDCnCFDCFSTSk レジスタ（k＝0～17）の CFMLT フラグのいずれか 1 つでも“1”になると、MES フラグは“1”になります。
すべての RFMLT フラグおよび CFMLT フラグを“0”にすると、MES フラグは“0”になります。

DEF フラグ

DLC チェックでエラーが検出されると、“1”になります。プログラムで“0”を書くことで、“0”にできます。
本レジスタのフラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

備　考

このレジスタのフラグを 0 にクリアするには、ストア命令を使用して、指定されたフラグに 0、その他のフラグに 1 を書き込みます。

24.3.3.5　RCFDCnCFDGTSC — グローバルタイムスタンプカウンタレジスタ

アクセス　RCFDCnCFDGTSC レジスタは、32 ビット単位でリードのみ可能です。
RCFDCnCFDGTSCL レジスタは、16 ビット単位でリードのみ可能です。

アドレス　RCFDCnCFDGTSC：<RCFDCn_base> + 0094H
RCFDCnCFDGTSCL：<RCFDCn_base> + 0094H

リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.49　RCFDCnCFDGTSC レジスタの内容

ビット位置	ビット名	機能
31〜16	予約ビット	リードした場合はリセット後の値が読めます。
15〜0	TS[15:0]	タイムスタンプ値 タイムスタンプ用カウンタの値が読めます。カウンタ値：0000H〜FFFFH

TS[15:0]ビット

TS[15:0]ビットを読むと、その時点のタイムスタンプカウンタ（16 ビットフリーランカウンタ）の値が読めます。SOF 検出時に、TS[15:0]ビットの値がキャプチャされ、その後、受信バッファまたは FIFO バッファに格納されます。また、TS[15:0]ビットの値は、送信履歴バッファに格納されます。タイムスタンプカウンタは、グローバルリセットモードで初期化されます。
タイムスタンプカウンタの開始、停止タイミングは、カウントソースに依存します。

- RCFDCnCFDGCFG レジスタの TSSS ビットが“0”（pclk）の場合：

  グローバル動作モードへ遷移したときに、カウント開始。

  グローバルストップモードまたはグローバルテストモードで、カウント停止。

- TSSS ビットが“1”（CANm 通常ビットタイムクロック）の場合：

  対応するチャネルがチャネル通信モードへ遷移したときに、カウント開始。

  対応するチャネルがチャネルリセットモードまたはチャネル待機モードで、カウント停止。

24.3.3.6 RCFDCnCFDGTINTSTS0 ― グローバル TX 割り込みステータスレジスタ 0

アクセス RCFDCnCFDGTINTSTS0 レジスタは、32 ビット単位でリードのみ可能です。

RCFDCnCFDGTINTSTS0L, RCFDCnCFDGTINTSTS0H レジスタは、16 ビット単位でリードのみ可能です。

RCFDCnCFDGTINTSTS0LL, RCFDCnCFDGTINTSTS0LH, RCFDCnCFDGTINTSTS0HL, RCFDCnCFDGTINTSTS0HH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RCFDCnCFDGTINTSTS0：<RCFDCn_base> + 0610_H

RCFDCnCFDGTINTSTS0L：<RCFDCn_base> + 0610_H,

RCFDCnCFDGTINTSTS0H：<RCFDCn_base> + 0612_H,

RCFDCnCFDGTINTSTS0LL：<RCFDCn_base> + 0610_H,

RCFDCnCFDGTINTSTS0LH：<RCFDCn_base> + 0611_H,

RCFDCnCFDGTINTSTS0HL：<RCFDCn_base> + 0612_H,

RCFDCnCFDGTINTSTS0HH：<RCFDCn_base> + 0613_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	THIF3	CFTIF3	TQIF3	TAIF3	TSIF3	—	—	—	THIF2	CFTIF2	TQIF2	TAIF2	TSIF2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R 注1	R 注1	R 注1	R 注1	R 注1	R	R	R	R 注1	R 注1	R 注1	R 注1	R 注1

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	THIF1	CFTIF1	TQIF1	TAIF1	TSIF1	—	—	—	THIF0	CFTIF0	TQIF0	TAIF0	TSIF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R 注1	R 注1	R 注1	R 注1	R 注1	R	R	R	R 注1	R 注1	R 注1	R 注1	R 注1

注1. 本ビットはグローバルリセットモードまたはチャネルリセットモードで自動的にクリアされます。

表 24.50 RCFDCnCFDGTINTSTS0 レジスタの内容

ビット位置	ビット名	機能
31～29	予約ビット	リードした場合はリセット後の値が読めます。
28	THIF3	チャネル 3 送信履歴割り込みステータスフラグ 0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり
27	CFTIF3	チャネル 3 送受信 FIFO 送信割り込みステータスフラグ 0：送受信 FIFO 送信割り込み要求なし 1：送受信 FIFO 送信割り込み要求あり
26	TQIF3	チャネル 3 送信キュー割り込みステータスフラグ 0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり
25	TAIF3	チャネル 3 送信バッファアボート割り込みステータスフラグ 0：送信バッファアボート割り込み要求なし 1：送信バッファアボート割り込み要求あり
24	TSIF3	チャネル 3 送信バッファ割り込みステータスフラグ 0：送信バッファ送信完了割り込み要求なし 1：送信バッファ送信完了割り込み要求あり
23～21	予約ビット	リードした場合はリセット後の値が読めます。
20	THIF2	チャネル 2 送信履歴割り込みステータスフラグ 0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり

表 24.50　RCFDCnCFDGTINTSTS0 レジスタの内容

ビット位置	ビット名	機能
19	CFTIF2	チャネル 2 送受信 FIFO 送信割り込みステータスフラグ 0：送受信 FIFO 送信割り込み要求なし 1：送受信 FIFO 送信割り込み要求あり
18	TQIF2	チャネル 2 送信キュー割り込みステータスフラグ 0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり
17	TAIF2	チャネル 2 送信バッファアボート割り込みステータスフラグ 0：送信バッファアボート割り込み要求なし 1：送信バッファアボート割り込み要求あり
16	TSIF2	チャネル 2 送信バッファ割り込みステータスフラグ 0：送信バッファ送信完了割り込み要求なし 1：送信バッファ送信完了割り込み要求あり
15～13	予約ビット	リードした場合はリセット後の値が読めます。
12	THIF1	チャネル 1 送信履歴割り込みステータスフラグ 0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり
11	CFTIF1	チャネル 1 送受信 FIFO 送信割り込みステータスフラグ 0：送受信 FIFO 送信割り込み要求なし 1：送受信 FIFO 送信割り込み要求あり
10	TQIF1	チャネル 1 送信キュー割り込みステータスフラグ 0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり
9	TAIF1	チャネル 1 送信バッファアボート割り込みステータスフラグ 0：送信バッファアボート割り込み要求なし 1：送信バッファアボート割り込み要求あり
8	TSIF1	チャネル 1 送信バッファ割り込みステータスフラグ 0：送信バッファ送信完了割り込み要求なし 1：送信バッファ送信完了割り込み要求あり
7～5	予約ビット	リードした場合はリセット後の値が読めます。
4	THIF0	チャネル 0 送信履歴割り込みステータスフラグ 0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり
3	CFTIF0	チャネル 0 送受信 FIFO 送信割り込みステータスフラグ 0：送受信 FIFO 送信割り込み要求なし 1：送受信 FIFO 送信割り込み要求あり
2	TQIF0	チャネル 0 送信キュー割り込みステータスフラグ 0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり
1	TAIF0	チャネル 0 送信バッファアボート割り込みステータスフラグ 0：送信バッファアボート割り込み要求なし 1：送信バッファアボート割り込み要求あり
0	TSIF0	チャネル 0 送信バッファ割り込みステータスフラグ 0：送信バッファ送信完了割り込み要求なし 1：送信バッファ送信完了割り込み要求あり

TSIFm ビット

RCFDCnCFDTMIECm レジスタの TMIEp ビットが“1”（送信バッファ割り込みが許可）、かつ対応する RCFDCnCFDTMSTSp レジスタの TMTRF[1:0]フラグが“10_B”（送信完了、アボート要求なし）、または“11_B”（送信完了、アボート要求あり）になると、TSIFm ビットは“1”になります。

TSIFm が“1”になる条件が成立している TMTRF[1:0]フラグを全て“00_B”にすると、このフラグは“0”になります。また TMIEp ビットを“0”にすることでも、このフラグは“0”になります。

TAIFm ビット

RCFDCnCFDCmCTR レジスタの TAIE ビットが“1”（送信アボート割り込み許可）、かつ RCFDCnCFDTMSTSp レジスタの TMTRF[1:0]フラグが“01_B”（送信アボート完了）になると、TAIFm ビットは“1”になります。
送信アボートを完了後に TMTRF[1:0]フラグを“00_B”にすると、このフラグは“0”になります。

TQIFm ビット

RCFDCnCFDTXQCCm レジスタの TXQTXIE ビットが“1”（送信キュー割り込み許可）、かつ RCFDCnCFDTXQSTSm レジスタの TXQTXIF が“1”（送信キュー割り込み要求あり）になると TQIFm ビットは“1”になります。
RCFDCnCFDTXQSTSm レジスタの TXQTXIF ビット（送信キュー割り込み要求）を“0”にすると、このビットは“0”になります。TXQTXIE ビットを“0”にすることでも、このフラグは“0”になります。

CFTIFm ビット

RCFDCnCFDCFCCk レジスタの CFTXIE ビットが“1”（送受信 FIFO 送信割り込み許可）、かつ RCFDCnCFDCFSTSk レジスタの CFTXIF ビットが“1”（送受信 FIFO 送信割り込み要求あり）になると CFTIFm ビットは“1”になります。
CFTIFm が“1”になる条件が成立している CFTXIF ビットをすべて“0”にすると、このビットは“0”になります。CFTXIE ビットを“0”にすることでも、このフラグは“0”になります。

THIFm ビット

RCFDCnCFDTHLCCm レジスタの THLIE ビットが“1”（送信履歴割り込み許可）、かつ RCFDCnCFDTHLSTSm レジスタの THLIF ビットが“1”（送信履歴割り込み要求あり）になると、THIFm ビットは“1”になります。
RCFDCnCFDTHLSTSm レジスタの THLIF ビットを“0”にすると、このビットは“0”になります。THLIE ビットを“0”にすることでも、このフラグは“0”になります。

24.3.3.7 RCFDCnCFDGTINTSTS1 — グローバル TX 割り込みステータスレジスタ 1

アクセス RCFDCnCFDGTINTSTS1 レジスタは、32 ビット単位でリードのみ可能です。

RCFDCnCFDGTINTSTS1L, RCFDCnCFDGTINTSTS1H レジスタは、16 ビット単位でリードのみ可能です。

RCFDCnCFDGTINTSTS1LL, RCFDCnCFDGTINTSTS1LH, RCFDCnCFDGTINTSTS1HL, RCFDCnCFDGTINTSTS1HH レジスタは、8 ビット単位でリードのみ可能です。

アドレス RCFDCnCFDGTINTSTS1：<RCFDCn_base> + 0614_H

RCFDCnCFDGTINTSTS1L：<RCFDCn_base> + 0614_H,

RCFDCnCFDGTINTSTS1H：<RCFDCn_base> + 0616_H,

RCFDCnCFDGTINTSTS1LL：<RCFDCn_base> + 0614_H,

RCFDCnCFDGTINTSTS1LH：<RCFDCn_base> + 0615_H,

RCFDCnCFDGTINTSTS1HL：<RCFDCn_base> + 0616_H,

RCFDCnCFDGTINTSTS1HH：<RCFDCn_base> + 0617_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	THIF7	CFTIF7	TQIF7	TAIF7	TSIF7	—	—	—	THIF6	CFTIF6	TQIF6	TAIF6	TSIF6
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R 注1	R 注1	R 注1	R 注1	R 注1	R	R	R	R 注1	R 注1	R 注1	R 注1	R 注1

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	THIF5	CFTIF5	TQIF5	TAIF5	TSIF5	—	—	—	THIF4	CFTIF4	TQIF4	TAIF4	TSIF4
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R 注1	R 注1	R 注1	R 注1	R 注1	R	R	R	R 注1	R 注1	R 注1	R 注1	R 注1

注1. 本ビットはグローバルリセットモードまたはチャネルリセットモードで自動的にクリアされます。

表 24.51 RCFDCnCFDGTINTSTS1 レジスタの内容

ビット位置	ビット名	機能
31～29	予約ビット	リードした場合はリセット後の値が読めます。
28	THIF7	チャネル 7 送信履歴割り込みステータスフラグ 0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり
27	CFTIF7	チャネル 7 送受信 FIFO 送信割り込みステータスフラグ 0：送受信 FIFO 送信割り込み要求なし 1：送受信 FIFO 送信割り込み要求あり
26	TQIF7	チャネル 7 送信キュー割り込みステータスフラグ 0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり
25	TAIF7	チャネル 7 送信バッファアボート割り込みステータスフラグ 0：送信バッファアボート割り込み要求なし 1：送信バッファアボート割り込み要求あり
24	TSIF7	チャネル 7 送信バッファ割り込みステータスフラグ 0：送信バッファ送信完了割り込み要求なし 1：送信バッファ送信完了割り込み要求あり
23～21	予約ビット	リードした場合はリセット後の値が読めます。
20	THIF6	チャネル 6 送信履歴割り込みステータスフラグ 0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり

表 24.51 RCFDCnCFDGTINTSTS1 レジスタの内容

ビット位置	ビット名	機能
19	CFTIF6	チャネル 6 送受信 FIFO 送信割り込みステータスフラグ 0：送受信 FIFO 送信割り込み要求なし 1：送受信 FIFO 送信割り込み要求あり
18	TQIF6	チャネル 6 送信キュー割り込みステータスフラグ 0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり
17	TAIF6	チャネル 6 送信バッファアボート割り込みステータスフラグ 0：送信バッファアボート割り込み要求なし 1：送信バッファアボート割り込み要求あり
16	TSIF6	チャネル 6 送信バッファ割り込みステータスフラグ 0：送信バッファ送信完了割り込み要求なし 1：送信バッファ送信完了割り込み要求あり
15～13	予約ビット	リードした場合はリセット後の値が読めます。
12	THIF5	チャネル 5 送信履歴割り込みステータスフラグ 0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり
11	CFTIF5	チャネル 5 送受信 FIFO 送信割り込みステータスフラグ 0：送受信 FIFO 送信割り込み要求なし 1：送受信 FIFO 送信割り込み要求あり
10	TQIF5	チャネル 5 送信キュー割り込みステータスフラグ 0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり
9	TAIF5	チャネル 5 送信バッファアボート割り込みステータスフラグ 0：送信バッファアボート割り込み要求なし 1：送信バッファアボート割り込み要求あり
8	TSIF5	チャネル 5 送信バッファ割り込みステータスフラグ 0：送信バッファ送信完了割り込み要求なし 1：送信バッファ送信完了割り込み要求あり
7～5	予約ビット	リードした場合はリセット後の値が読めます。
4	THIF4	チャネル 4 送信履歴割り込みステータスフラグ 0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり
3	CFTIF4	チャネル 4 送受信 FIFO 送信割り込みステータスフラグ 0：送受信 FIFO 送信割り込み要求なし 1：送受信 FIFO 送信割り込み要求あり
2	TQIF4	チャネル 4 送信キュー割り込みステータスフラグ 0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり
1	TAIF4	チャネル 4 送信バッファアボート割り込みステータスフラグ 0：送信バッファアボート割り込み要求なし 1：送信バッファアボート割り込み要求あり
0	TSIF4	チャネル 4 送信バッファ割り込みステータスフラグ 0：送信バッファ送信完了割り込み要求なし 1：送信バッファ送信完了割り込み要求あり

TSIFm ビット

RCFDCnCFDTMIECm レジスタの TMIEp ビットが“1”（送信バッファ割り込み許可）、かつ対応する RCFDCnCFDTMSTSp レジスタの TMTRF[1:0]フラグが“10_B”（送信完了、アボート要求なし）、または“11_B”（送信完了、アボート要求あり）になると、TSIFm ビットは“1”になります。

TSIFm が“1”になる条件が成立している TMTRF[1:0]フラグをすべて“00_B”にすると、このフラグは“0”になります。また TMIEp ビットを“0”にすることでも、このフラグは“0”になります。

TAIFm ビット

RCFDCnCFDCmCTR レジスタの TAIE ビットが“1”（送信アボート割り込み許可）、かつ RCFDCnCFDTMSTSp レジスタの TMTRF[1:0]フラグが“01_B”（送信アボート完了）になると TAIFm ビットは“1”になります。
送信アボートを完了後に TMTRF[1:0]フラグを“00_B”にすると、このフラグは“0”になります。

TQIFm ビット

RCFDCnCFDTXQCCm レジスタの TXQTXIE ビットが“1”（送信キュー割り込み許可）、かつ RCFDCnCFDTXQSTSm レジスタの TXQTXIF が“1”（送信キュー割り込み要求あり）になると TQIFm ビットは“1”になります。
RCFDCnCFDTXQSTSm レジスタの TXQTXIF ビット（送信キュー割り込み要求）を“0”にすると、このビットは“0”になります。TXQTXIE ビットを“0”にすることでも、このフラグは“0”になります。

CFTIFm ビット

RCFDCnCFDCFCCk レジスタの CFTXIE ビットが“1”（送受信 FIFO 送信割り込み許可）、かつ RCFDCnCFDCFSTSk レジスタの CFTXIF ビットが“1”（送受信 FIFO 送信割り込み要求あり）になると CFTIFm ビットは“1”になります。
CFTIFm が“1”になる条件が成立している CFTXIF ビットをすべて“0”にすると、このビットは“0”になります。CFTXIE ビットを“0”にすることでも、このフラグは“0”になります。

THIFm ビット

RCFDCnCFDTHLCCm レジスタの THLIE ビットが“1”（送信履歴割り込み許可）、かつ RCFDCnCFDTHLSTSm レジスタの THLIF ビットが“1”（送信履歴割り込み要求あり）になると、THIFm ビットは“1”になります。
RCFDCnCFDTHLSTSm レジスタの THLIF ビットを“0”にすると、このビットは“0”になります。THLIE ビットを“0”にすることでも、このフラグは“0”になります。

24.3.3.8　RCFDCnCFDGFDCFG ― グローバル FD コンフィグレーションレジスタ

アクセス　RCFDCnCFDGFDCFG レジスタは、32 ビット単位でリード／ライト可能です。
RCFDCnCFDGFDCFGL レジスタは、16 ビット単位でリード／ライト可能です。
RCFDCnCFDGFDCFGLL, RCFDCnCFDGFDCFGLH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RCFDCnCFDGFDCFG：<RCFDCn_base> + 0624_H
RCFDCnCFDGFDCFGL：<RCFDCn_base> + 0624_H
RCFDCnCFDGFDCFGLL：<RCFDCn_base> + 0624_H,
RCFDCnCFDGFDCFGLH：<RCFDCn_base> + 0625_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TSCCFG[1:0]		—	—	—	—	—	—	—	RPED
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R/W

表 24.52　RCFDCnCFDGFDCFG レジスタの内容

ビット位置	ビット名	機能
31～10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9、8	TSCCFG[1:0]	タイムスタンプキャプチャ設定ビット b9　b8 0　0：SOF ビットのサンプルポイントでキャプチャされます。 0　1：有効なフレームの送受信時にキャプチャされます。 1　0：res ビットのサンプルポイントでキャプチャされます。注 1 1　1：設定禁止
7～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	RPED	プロトコル例外イベント検出禁止ビット 0：プロトコル例外イベント検出許可 1：プロトコル例外イベント検出禁止

注1.　クラシカル CAN フレームの送受信時には、SOF ビットのサンプルポイントでタイムスタンプ値がキャプチャされます。

TSCCFG ビット

タイムスタンプ値がキャプチャされる時点を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

RPED ビット

このビットを “1” に設定すると、プロトコル例外イベント検出が禁止されます。このビットが “1” に設定されている場合にプロトコル例外イベントが検出されると、そのイベントはフォームエラーと見なされ、エラーフレームが出力されます。このビットはグローバルリセットモードでのみ書き換えてください。

24.3.4 受信ルール関連レジスタの詳細

24.3.4.1 RCFDCnCFDGAFLECTR — 受信ルールエントリ制御レジスタ

アクセス RCFDCnCFDGAFLECTR レジスタは、32 ビット単位でリード／ライト可能です。
RCFDCnCFDGAFLECTRL レジスタは、16 ビット単位でリード／ライト可能です。
RCFDCnCFDGAFLECTRLL, RCFDCnCFDGAFLECTRLH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RCFDCnCFDGAFLECTR：<RCFDCn_base> + 0098_H
RCFDCnCFDGAFLECTRL：<RCFDCn_base> + 0098_H
RCFDCnCFDGAFLECTRLL：<RCFDCn_base> + 0098_H,
RCFDCnCFDGAFLECTRLH：<RCFDCn_base> + 0099_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	AFLDAE	—	—	AFLPN[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 24.53 RCFDCnCFDGAFLECTR レジスタの内容

ビット位置	ビット名	機能
31〜9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	AFLDAE	受信ルールテーブル書き込み許可ビット 0：受信ルールテーブル書き込み禁止 1：受信ルールテーブル書き込み許可
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5〜0	AFLPN[5:0]	受信ルールテーブルページ番号設定ビット ページ 0（000000_B）からページ 63（111111_B）の範囲で選択

AFLDAE ビット

“0”にすると、受信ルールテーブルへの書き込みを禁止します。受信ルールテーブルへの書き込みが完了したあと、“0”にして、受信ルールテーブルへの書き込みを禁止してください。“0”にしても、受信ルールテーブルの読み出しは可能です。
AFLDAE ビットはグローバルリセットモードでのみ“1”にしてください。

AFLPN[5:0]ビット

受信ルールテーブルのページ番号を設定します。1 ページにつき、16 個の受信ルールを設定できます。
“000000_B”～“111111_B”以外の値を設定しないでください。

受信ルールテーブルについては、「**24.6.1 受信ルールテーブルを用いたデータ処理**」を参照してください。

24.3.4.2　RCFDCnCFDGAFLCFG0 ― 受信ルールコンフィグレーションレジスタ 0

アクセス　RCFDCnCFDGAFLCFG0 レジスタは、32 ビット単位でリード／ライト可能です。

RCFDCnCFDGAFLCFG0L, RCFDCnCFDGAFLCFG0H レジスタは、16 ビット単位でリード／ライト可能です。

RCFDCnCFDGAFLCFG0LL, RCFDCnCFDGAFLCFG0LH, RCFDCnCFDGAFLCFG0HL, RCFDCnCFDGAFLCFG0HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RCFDCnCFDGAFLCFG0：<RCFDCn_base> + 009C$_H$

RCFDCnCFDGAFLCFG0L：<RCFDCn_base> + 009C$_H$,

RCFDCnCFDGAFLCFG0H：<RCFDCn_base> + 009E$_H$,

RCFDCnCFDGAFLCFG0LL：<RCFDCn_base> + 009C$_H$,

RCFDCnCFDGAFLCFG0LH：<RCFDCn_base> + 009D$_H$,

RCFDCnCFDGAFLCFG0HL：<RCFDCn_base> + 009E$_H$,

RCFDCnCFDGAFLCFG0HH：<RCFDCn_base> + 009F$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RNC0[7:0]								RNC1[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RNC2[7:0]								RNC3[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.54　RCFDCnCFDGAFLCFG0 レジスタの内容

ビット位置	ビット名	機能
31～24	RNC0[7:0]	チャネル 0 用ルール数 チャネル 0 の受信ルール数を設定してください。
23～16	RNC1[7:0]	チャネル 1 用ルール数 チャネル 1 の受信ルール数を設定してください。
15～8	RNC2[7:0]	チャネル 2 用ルール数 チャネル 2 の受信ルール数を設定してください。
7～0	RNC3[7:0]	チャネル 3 用ルール数 チャネル 3 の受信ルール数を設定してください。

RCFDCnCFDGAFLCFG0 レジスタはグローバルリセットモードでのみ書き換えてください。

受信ルールテーブルに登録できるルール数は、ユニット全体で 128×（チャネル数）です。各チャネルの受信ルール数は、次の条件を満たしてください。

- 1 チャネルのルール数は 255 以下である。
- 各チャネルに割り当てたルール数の合計が、ユニット全体で登録できるルール数を超えない。

RNC0[7:0]ビット

チャネル 0 の受信ルールテーブルに登録するルール数を設定します。00$_H$～FF$_H$ 以外の値を設定しないでください。

RNC1[7:0]ビット

チャネル 1 の受信ルールテーブルに登録するルール数を設定します。00_H～FF_H 以外の値を設定しないでください。

RNC2[7:0]ビット

チャネル 2 の受信ルールテーブルに登録するルール数を設定します。00_H～FF_H 以外の値を設定しないでください。

RNC3[7:0]ビット

チャネル 3 の受信ルールテーブルに登録するルール数を設定します。00_H～FF_H 以外の値を設定しないでください。

24.3.4.3　RCFDCnCFDGAFLCFG1 — 受信ルールコンフィグレーションレジスタ 1

アクセス　RCFDCnCFDGAFLCFG1 レジスタは、32 ビット単位でリード／ライト可能です。

RCFDCnCFDGAFLCFG1L, RCFDCnCFDGAFLCFG1H レジスタは、16 ビット単位でリード／ライト可能です。

RCFDCnCFDGAFLCFG1LL, RCFDCnCFDGAFLCFG1LH, RCFDCnCFDGAFLCFG1HL, RCFDCnCFDGAFLCFG1HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RCFDCnCFDGAFLCFG1：<RCFDCn_base> + 00A0$_H$

RCFDCnCFDGAFLCFG1L：<RCFDCn_base> + 00A0$_H$,

RCFDCnCFDGAFLCFG1H：<RCFDCn_base> + 00A2$_H$,

RCFDCnCFDGAFLCFG1LL：<RCFDCn_base> + 00A0$_H$,

RCFDCnCFDGAFLCFG1LH：<RCFDCn_base> + 00A1$_H$,

RCFDCnCFDGAFLCFG1HL：<RCFDCn_base> + 00A2$_H$,

RCFDCnCFDGAFLCFG1HH：<RCFDCn_base> + 00A3$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RNC4[7:0]								RNC5[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RNC6[7:0]								RNC7[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.55　RCFDCnCFDGAFLCFG1 レジスタの内容

ビット位置	ビット名	機能
31～24	RNC4[7:0]	チャネル 4 用ルール数 チャネル 4 の受信ルール数を設定してください。
23～16	RNC5[7:0]	チャネル 5 用ルール数 チャネル 5 の受信ルール数を設定してください。
15～8	RNC6[7:0]	チャネル 6 用ルール数 チャネル 6 の受信ルール数を設定してください。
7～0	RNC7[7:0]	チャネル 7 用ルール数 チャネル 7 の受信ルール数を設定してください。

RCFDCnCFDGAFLCFG1 レジスタはグローバルリセットモードでのみ書き換えてください。

受信ルールテーブルに登録できるルール数は、ユニット全体で 128×（チャネル数）です。各チャネルの受信ルール数は、次の条件を満たしてください。

- 1 チャネルのルール数は 255 以下である。
- 各チャネルに割り当てたルール数の合計が、ユニット全体で登録できるルール数を超えない。

RNC4[7:0]ビット

チャネル 4 の受信ルールテーブルに登録するルール数を設定します。00$_H$～FF$_H$ 以外の値を設定しないでください。

RNC5[7:0]ビット

チャネル 5 の受信ルールテーブルに登録するルール数を設定します。00_H～FF_H 以外の値を設定しないでください。

RNC6[7:0]ビット

チャネル 6 の受信ルールテーブルに登録するルール数を設定します。00_H～FF_H 以外の値を設定しないでください。

RNC7[7:0]ビット

チャネル 7 の受信ルールテーブルに登録するルール数を設定します。00_H～FF_H 以外の値を設定しないでください。

24.3.4.4　RCFDCnCFDGAFLIDj — 受信ルール ID レジスタ（j＝0～15）

アクセス　RCFDCnCFDGAFLIDj レジスタは、32 ビット単位でリード／ライト可能です。

RCFDCnCFDGAFLIDjL, RCFDCnCFDGAFLIDjH レジスタは、16 ビット単位でリード／ライト可能です。

RCFDCnCFDGAFLIDjLL, RCFDCnCFDGAFLIDjLH, RCFDCnCFDGAFLIDjHL, RCFDCnCFDGAFLIDjHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RCFDCnCFDGAFLIDj : <RCFDCn_base> + 1000_H + (10_H × j)

RCFDCnCFDGAFLIDjL : <RCFDCn_base> + 1000_H + (10_H × j),

RCFDCnCFDGAFLIDjH : <RCFDCn_base> + 1002_H + (10_H × j)

RCFDCnCFDGAFLIDjLL : <RCFDCn_base> + 1000_H + (10_H × j),

RCFDCnCFDGAFLIDjLH : <RCFDCn_base> + 1001_H + (10_H × j),

RCFDCnCFDGAFLIDjHL : <RCFDCn_base> + 1002_H + (10_H × j),

RCFDCnCFDGAFLIDjHH : <RCFDCn_base> + 1003_H + (10_H × j)

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLIDE	GAFLRTR	GAFLLB	GAFLID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.56　RCFDCnCFDGAFLIDj レジスタの内容

ビット位置	ビット名	機能
31	GAFLIDE	IDE 選択ビット 0：標準 ID 1：拡張 ID
30	GAFLRTR	RTR 選択ビット 0：データフレーム 1：リモートフレーム
29	GAFLLB	受信ルール対象メッセージ選択ビット 0：他の CAN ノードが送信したメッセージを受信時 1：自らが送信したメッセージを受信時
28～0	GAFLID[28:0]	ID 設定ビット 受信ルールの ID を設定してください。 標準 ID の場合、b10～b0 に ID を設定してください。b28～b11 は “0” にしてください。

RCFDCnCFDGAFLIDj レジスタは、RCFDCnCFDGAFLECTR レジスタの AFLDAE ビットが “1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

GAFLIDE ビット

受信ルールの ID フォーマット（標準 ID または拡張 ID）を選択します。アクセプタンスフィルタ処理では、このビットと受信メッセージの IDE ビットを比較します。

GAFLRTR ビット

受信ルールのフレームフォーマット（データフレームまたはリモートフレーム）を選択します。アクセプタンスフィルタ処理では、このビットと受信メッセージの RTR ビットを比較します。

GAFLLB ビット

“0”にすると、他の CAN ノードが送信したメッセージを受信する場合に、受信ルールを用いたデータ処理を行います。
ミラー機能使用時に“1”にすると、自らが送信したメッセージを受信する場合に、受信ルールを用いたデータ処理を行います。

GAFLID[28:0]ビット

受信ルールの ID フィールドを設定します。アクセプタンスフィルタ処理では、ここで設定した ID と受信メッセージの ID を比較します。

24.3.4.5　RCFDCnCFDGAFLMj — 受信ルールマスクレジスタ（j＝0〜15）

アクセス　RCFDCnCFDGAFLMj レジスタは、32 ビット単位でリード／ライト可能です。

RCFDCnCFDGAFLMjL, RCFDCnCFDGAFLMjH レジスタは、16 ビット単位でリード／ライト可能です。

RCFDCnCFDGAFLMjLL, RCFDCnCFDGAFLMjLH, RCFDCnCFDGAFLMjHL, RCFDCnCFDGAFLMjHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RCFDCnCFDGAFLMj : <RCFDCn_base> + 1004_H + (10_H × j)

RCFDCnCFDGAFLMjL : <RCFDCn_base> + 1004_H + (10_H × j),

RCFDCnCFDGAFLMjH : <RCFDCn_base> + 1006_H + (10_H × j)

RCFDCnCFDGAFLMjLL : <RCFDCn_base> + 1004_H + (10_H × j),

RCFDCnCFDGAFLMjLH : <RCFDCn_base> + 1005_H + (10_H × j),

RCFDCnCFDGAFLMjHL : <RCFDCn_base> + 1006_H + (10_H × j),

RCFDCnCFDGAFLMjHH : <RCFDCn_base> + 1007_H + (10_H × j)

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLIDEM	GAFLRTRM	—	GAFLIDM[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLIDM[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.57　RCFDCnCFDGAFLMj レジスタの内容

ビット位置	ビット名	機能
31	GAFLIDEM	IDE マスクビット 0：IDE ビットを比較しない 1：IDE ビットを比較する
30	GAFLRTRM	RTR マスクビット 0：RTR ビットを比較しない 1：RTR ビットを比較する
29	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
28〜0	GAFLIDM[28:0]	ID マスクビット 0：対応する ID ビットを比較しない 1：対応する ID ビットを比較する

RCFDCnCFDGAFLMj レジスタは、RCFDCnCFDGAFLECTR レジスタの AFLDAE ビットが“1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

GAFLIDEM ビット

“1”にすると、RCFDCnCFDGAFLIDj レジスタの GAFLIDE ビットで設定した ID フォーマットのメッセージに対してのみフィルタ処理を行います。

“0”にすると、すべての受信メッセージと ID が一致したとみなします。GAFLIDEM ビットを“0”にする場合は、GAFLIDM[28:0]ビットをすべて“0”にしてください。

GAFLRTRM ビット

受信ルールの RTR ビットをマスクするビットです。

GAFLIDM[28:0]ビット

受信ルールの対応する ID ビットをマスクするビットです。

24.3.4.6　RCFDCnCFDGAFLP0_j ― 受信ルールポインタ 0 レジスタ（j＝0～15）

アクセス　RCFDCnCFDGAFLP0_j レジスタは、32 ビット単位でリード／ライト可能です。
RCFDCnCFDGAFLP0_jL, RCFDCnCFDGAFLP0_jH レジスタは、16 ビット単位でリード／ライト可能です。
RCFDCnCFDGAFLP0_jLL, RCFDCnCFDGAFLP0_jLH, RCFDCnCFDGAFLP0_jHL, RCFDCnCFDGAFLP0_jHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RCFDCnCFDGAFLP0_j：<RCFDCn_base> + 1008_H + (10_H × j)
RCFDCnCFDGAFLP0_jL：<RCFDCn_base> + 1008_H + (10_H × j),
RCFDCnCFDGAFLP0_jH：<RCFDCn_base> + $100A_H$ + (10_H × j)
RCFDCnCFDGAFLP0_jLL：<RCFDCn_base> + 1008_H + (10_H × j),
RCFDCnCFDGAFLP0_jLH：<RCFDCn_base> + 1009_H + (10_H × j),
RCFDCnCFDGAFLP0_jHL：<RCFDCn_base> + $100A_H$ + (10_H × j),
RCFDCnCFDGAFLP0_jHH：<RCFDCn_base> + $100B_H$ + (10_H × j)

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLPTR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLRMV	GAFLRMDP[6:0]							—	—	—	—	GAFLDLC[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 24.58　RCFDCnCFDGAFLP0_j レジスタの内容

ビット位置	ビット名	機能
31～16	GAFLPTR[15:0]	受信ルールラベル設定ビット 16 ビットのラベル情報を設定
15	GAFLRMV	受信バッファ許可ビット 0：受信バッファを使用しない 1：受信バッファを使用する
14～8	GAFLRMDP[6:0]	受信バッファ番号選択ビット 受信メッセージを格納する受信バッファの番号を設定
7～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 24.58　RCFDCnCFDGAFLP0_j レジスタの内容

ビット位置	ビット名	機能
3～0	GAFLDLC[3:0]	受信ルール DLC 設定ビット

b3	b2	b1	b0	クラシカル CAN フレーム	CAN FD フレーム
0	0	0	0	DLC チェック機能は無効	
0	0	0	1	1 データバイト	
0	0	1	0	2 データバイト	
0	0	1	1	3 データバイト	
0	1	0	0	4 データバイト	
0	1	0	1	5 データバイト	
0	1	1	0	6 データバイト	
0	1	1	1	7 データバイト	
1	0	0	0	8 データバイト	
1	0	0	1	8 データバイト	12 データバイト
1	0	1	0		16 データバイト
1	0	1	1		20 データバイト
1	1	0	0		24 データバイト
1	1	0	1		32 データバイト
1	1	1	0		48 データバイト
1	1	1	1		64 データバイト

RCFDCnCFDGAFLP0_j レジスタは、RCFDCnCFDGAFLECTR レジスタの AFLDAE ビットが“1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

GAFLPTR[15:0]ビット

フィルタを通過したメッセージに添付する 16 ビットのラベルを設定します。ラベルはメッセージを受信バッファや FIFO バッファに格納する際に添付されます。

GAFLRMV ビット

“1”にすると、GAFLRMDP[6:0]ビットで選択した受信バッファに、フィルタを通過した受信メッセージを格納します。

GAFLRMDP[6:0]ビット

GAFLRMV ビットを“1”にした場合に、フィルタを通過した受信メッセージを格納する受信バッファの番号を選択します。RCFDCnCFDRMNB レジスタの NRXMB[7:0]ビットで設定する値より小さい番号を設定してください。

GAFLDLC[3:0]ビット

メッセージを受信するために必要な最小のデータ長を設定します。フィルタ処理中のメッセージのデータ長が GAFLDLC[3:0]ビットで設定した値以上の場合、DLC チェックを通過します。“0000_B”を設定すると、DLC チェック機能は無効になり、すべてのデータ長のメッセージが通過します。

24.3.4.7　RCFDCnCFDGAFLP1_j — 受信ルールポインタ 1 レジスタ（j＝0〜15）

アクセス　RCFDCnCFDGAFLP1_j レジスタは、32 ビット単位でリード／ライト可能です。

RCFDCnCFDGAFLP1_jL, RCFDCnCFDGAFLP1_jH レジスタは、16 ビット単位でリード／ライト可能です。

RCFDCnCFDGAFLP1_jLL, RCFDCnCFDGAFLP1_jLH, RCFDCnCFDGAFLP1_jHL, RCFDCnCFDGAFLP1_jHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RCFDCnCFDGAFLP1_j : <RCFDCn_base> + $100C_H$ + (10_H × j)

RCFDCnCFDGAFLP1_jL : <RCFDCn_base> +$100C_H$ + (10_H × j),

RCFDCnCFDGAFLP1_jH : <RCFDCn_base> + $100E_H$ + (10_H × j)

RCFDCnCFDGAFLP1_jLL : <RCFDCn_base> + $100C_H$ + (10_H × j),

RCFDCnCFDGAFLP1_jLH : <RCFDCn_base> + $100D_H$ + (10_H × j),

RCFDCnCFDGAFLP1_jHL : <RCFDCn_base> + $100E_H$ + (10_H × j),

RCFDCnCFDGAFLP1_jHH : <RCFDCn_base> + $100F_H$ + (10_H × j)

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLFDP[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLFDP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.59　RCFDCnCFDGAFLP1_j レジスタの内容

ビット位置	ビット名	機能
31〜8	GAFLFDP[31:8]	送受信 FIFO バッファ k 選択ビット （ビット位置-8 が対象となる送受信 FIFO バッファ番号 k になります） 0：送受信 FIFO バッファを選択しない 1：送受信 FIFO バッファを選択する
7〜0	GAFLFDP[7:0]	受信 FIFO バッファ x 選択ビット （ビット位置が対象となる受信 FIFO バッファ番号 x になります） 0：受信 FIFO バッファを選択しない 1：受信 FIFO バッファを選択する

RCFDCnCFDGAFLP1_j レジスタは、RCFDCnCFDGAFLECTR レジスタの AFLDAE ビットが“1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

GAFLFDP[31:0]ビット

フィルタを通過した受信メッセージを格納する FIFO バッファを指定します。最大 8 つの FIFO バッファが選択できます。ただし、RCFDCnCFDGAFLP0_j レジスタの GAFLRMV ビットを“1”（受信バッファにメッセージを格納する）にした場合は、最大 7 つの FIFO バッファが選択できます。受信 FIFO バッファと、RCFDCnCFDCFCCk レジスタの CFM[1:0]ビットを“00_B”（受信モード）または“10_B”（ゲートウェイモード）に設定した送受信 FIFO バッファのみ選択できます。

24.3.5　受信バッファ関連レジスタの詳細

24.3.5.1　RCFDCnCFDRMNB ― 受信バッファナンバレジスタ

アクセス　RCFDCnCFDRMNB レジスタは、32 ビット単位でリード／ライト可能です。
RCFDCnCFDRMNBL レジスタは、16 ビット単位でリード／ライト可能です。
RCFDCnCFDRMNBLL, RCFDCnCFDRMNBLH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RCFDCnCFDRMNB：<RCFDCn_base> + $00A4_H$
RCFDCnCFDRMNBL：<RCFDCn_base> + $00A4_H$
RCFDCnCFDRMNBLL：<RCFDCn_base> + $00A4_H$,
RCFDCnCFDRMNBLH：<RCFDCn_base> + $00A5_H$

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	RMPLS[2:0]			NRXMB[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.60　RCFDCnCFDRMNB レジスタの内容

ビット位置	ビット名	機能
31～11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10～8	RMPLS[2:0]	受信バッファペイロード格納サイズ選択ビット b10　b9　b8 0　0　0：8 バイト 0　0　1：12 バイト 0　1　0：16 バイト 0　1　1：20 バイト 1　0　0：24 バイト 1　0　1：32 バイト 1　1　0：48 バイト 1　1　1：64 バイト
7～0	NRXMB[7:0]	受信バッファ数設定ビット 受信バッファ数を設定する。0～128 の範囲で設定してください。

RCFDCnCFDRMNB レジスタはグローバルリセットモードでのみ書き換えてください。

RMPLS[2:0]ビット

受信バッファに格納できるペイロードの上限サイズを選択します。

NRXMB[7:0]ビット

RS-CANFD モジュール全体の受信バッファ数を設定します。最大値は、16×（チャネル数）です。

“0”を設定すると、受信バッファは使用できません。

24.3.5.2　RCFDCnCFDRMNDy — 受信バッファ新データ レジスタ（y＝0～3）

アクセス　RCFDCnCFDRMNDy レジスタは、32 ビット単位でリード／ライト可能です。

RCFDCnCFDRMNDyL, RCFDCnCFDRMNDyH レジスタは、16 ビット単位でリード／ライト可能です。

RCFDCnCFDRMNDyLL, RCFDCnCFDRMNDyLH, RCFDCnCFDRMNDyHL, RCFDCnCFDRMNDyHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RCFDCnCFDRMNDy：<RCFDCn_base> + $00A8_H$ + (04_H × y)

RCFDCnCFDRMNDyL：<RCFDCn_base> + $00A8_H$ + (04_H × y),

RCFDCnCFDRMNDyH：<RCFDCn_base> + $00AA_H$ + (04_H × y)

RCFDCnCFDRMNDyLL：<RCFDCn_base> + $00A8_H$ + (04_H × y),

RCFDCnCFDRMNDyLH：<RCFDCn_base> + $00A9_H$ + (04_H × y),

RCFDCnCFDRMNDyHL：<RCFDCn_base> + $00AA_H$ + (04_H × y),

RCFDCnCFDRMNDyHH：<RCFDCn_base> + $00AB_H$ + (04_H × y)

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMNSq (q = y × 32 + 31 ～ y × 32 + 16 (y = 0, 1, 2, 3))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMNSq (q = y × 32 + 15 ～ y × 32 + 0 (y = 0, 1, 2, 3))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.61　RCFDCnCFDRMNDy レジスタの内容

ビット位置	ビット名	機能
31～16	RMNSq	受信バッファ受信完了フラグ q（q=y×32+31～y×32+16） 0：受信バッファ q に新しいメッセージなし 1：受信バッファ q に新しいメッセージあり
15～0	RMNSq	受信バッファ受信完了フラグ q（q=y×32+15～y×32+0） 0：受信バッファ q に新しいメッセージなし 1：受信バッファ q に新しいメッセージあり

RCFDCnCFDRMNDy レジスタは、グローバル動作モードまたはグローバルテストモードで“0”を書いてください。

RMNSq フラグ（q＝0～127）

対応する受信バッファにメッセージを格納する処理が始まると“1”になります。

フラグを“0”にする場合は、プログラムで“0”を書いてください。書く場合はストア命令を使用し、それ以外のフラグには“1”を書いて下さい。メッセージ格納中は“0”にできません。メッセージを格納する時間は受信バッファの格納ペイロードサイズによって異なり、RCFDCnCFDRMNB レジスタの RMPLS[2:0]ビットが“000_B”（8 バイト）のときは pclk の 12 クロック分、RMPLS[2:0]ビットが“111_B”（64 バイト）のときは pclk の 40 クロック分です（格納ペイロードサイズ 4 バイトあたり pclk の 2 クロック分）。グローバルリセットモード時、“0”になります。

24.3.5.3　RCFDCnCFDRMIDq — 受信バッファ ID レジスタ（q＝0～127）

アクセス　RCFDCnCFDRMIDq レジスタは、32 ビット単位でリードのみ可能です。

RCFDCnCFDRMIDqL, RCFDCnCFDRMIDqH レジスタは、16 ビット単位でリードのみ可能です。

RCFDCnCFDRMIDqLL, RCFDCnCFDRMIDqLH, RCFDCnCFDRMIDqHL, RCFDCnCFDRMIDqHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　RCFDCnCFDRMIDq：<RCFDCn_base> + 2000_H + (80_H × q)

RCFDCnCFDRMIDqL：<RCFDCn_base> + 2000_H + (80_H × q),

RCFDCnCFDRMIDqH：<RCFDCn_base> + 2002_H + (80_H × q)

RCFDCnCFDRMIDqLL：<RCFDCn_base> + 2000_H + (80_H × q),

RCFDCnCFDRMIDqLH：<RCFDCn_base> + 2001_H + (80_H × q),

RCFDCnCFDRMIDqHL：<RCFDCn_base> + 2002_H + (80_H × q),

RCFDCnCFDRMIDqHH：<RCFDCn_base> + 2003_H + (80_H × q)

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMIDE	RMRTR	—	RMID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.62　RCFDCnCFDRMIDq レジスタの内容

ビット位置	ビット名	機能
31	RMIDE	受信バッファ IDE ビット 0：標準 ID 1：拡張 ID
30	RMRTR	受信バッファ RTR/RSS ビット ● 受信したメッセージがクラシカル CAN フレームの場合 0：データフレーム 1：リモートフレーム ● 受信したメッセージが CANFD フレームの場合 受信したメッセージの RRS ビット値を読み取ることができます。
29	予約ビット	リードした場合はリセット後の値が読めます。
28～0	RMID[28:0]	受信バッファ ID データ 受信メッセージの標準 ID／拡張 ID が読めます。標準 ID の場合は、b10～b0 を読んでください。b28～b11 は “0” が読めます。

RMIDE ビット

受信バッファに格納されたメッセージの ID フォーマット（標準 ID または拡張 ID）を示します。

RMRTR ビット

受信したメッセージがクラシカル CAN フレームの場合、このビットは受信バッファに格納されたメッセージのフレームフォーマット（データフレームまたはリモートフレーム）を示します。受信したメッセージが CAN FD フレームの場合、このビットはメッセージの RRS ビット値を示します。

RMID[28:0]ビット

受信バッファに格納されたメッセージの ID を示します。

24.3.5.4　RCFDCnCFDRMPTRq ― 受信バッファポインタレジスタ（q＝0～127）

アクセス　RCFDCnCFDRMPTRq レジスタは、32 ビット単位でリードのみ可能です。

RCFDCnCFDRMPTRqL, RCFDCnCFDRMPTRqH レジスタは、16 ビット単位でリードのみ可能です。

RCFDCnCFDRMPTRqLL, RCFDCnCFDRMPTRqLH, RCFDCnCFDRMPTRqHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　RCFDCnCFDRMPTRq：<RCFDCn_base> + 2004_H + (80_H × q)

RCFDCnCFDRMPTRqL：<RCFDCn_base> + 2004_H + (80_H × q),

RCFDCnCFDRMPTRqH：<RCFDCn_base> + 2006_H + (80_H × q)

RCFDCnCFDRMPTRqLL：<RCFDCn_base> + 2004_H + (80_H × q),

RCFDCnCFDRMPTRqLH：<RCFDCn_base> + 2005_H + (80_H × q),

RCFDCnCFDRMPTRqHH：<RCFDCn_base> + 2007_H + (80_H × q)

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDLC[3:0]				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMTS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.63　RCFDCnCFDRMPTRq レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>31～28</td><td>RMDLC[3:0]</td><td>受信バッファ DLC データ
<table>
<tr><th>b31</th><th>b30</th><th>b29</th><th>b28</th><th>クラシカル CAN フレーム</th><th>CAN FD フレーム</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0 データバイト</td><td rowspan="9"></td></tr>
<tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1 データバイト</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>0</td><td>2 データバイト</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>1</td><td>3 データバイト</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>0</td><td>4 データバイト</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>1</td><td>5 データバイト</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>0</td><td>6 データバイト</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>1</td><td>7 データバイト</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>0</td><td>8 データバイト</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>1</td><td rowspan="7">8 データバイト</td><td>12 データバイト</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>0</td><td>16 データバイト</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>1</td><td>20 データバイト</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>0</td><td>24 データバイト</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>1</td><td>32 データバイト</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>0</td><td>48 データバイト</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>1</td><td>64 データバイト</td></tr>
</table></td></tr>
<tr><td>27～16</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。</td></tr>
<tr><td>15～0</td><td>RMTS[15:0]</td><td>受信バッファタイムスタンプデータ
受信メッセージのタイムスタンプ値が読めます。</td></tr>
</table>

RMDLC[3:0]ビット

受信バッファに格納されたメッセージのデータ長を示します。受信バッファに格納されるペイロードのバイト数は RCFDCnCFDRMNB レジスタの RMPLS[2:0]ビットに従います。

RMTS[15:0]ビット

受信バッファに格納されたメッセージのタイムスタンプ値を示します。

24.3.5.5　RCFDCnCFDRMFDSTSq — 受信バッファ CAN FD ステータスレジスタ（q＝0～127）

アクセス　RCFDCnCFDRMFDSTSq レジスタは、32 ビット単位でリードのみ可能です。
RCFDCnCFDRMFDSTSqL, RCFDCnCFDRMFDSTSqH レジスタは、16 ビット単位でリードのみ可能です。
RCFDCnCFDRMFDSTSqLL, RCFDCnCFDRMFDSTSqHL, RCFDCnCFDRMFDSTSqHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　RCFDCnCFDRMFDSTSq：<RCFDCn_base> + 2008_H + (80_H × q)
RCFDCnCFDRMFDSTSqL：<RCFDCn_base> + 2008_H + (80_H × q),
RCFDCnCFDRMFDSTSqH：<RCFDCn_base> + $200A_H$ + (80_H × q)
RCFDCnCFDRMFDSTSqLL：<RCFDCn_base> + 2008_H + (80_H × q),
RCFDCnCFDRMFDSTSqHL：<RCFDCn_base> + $200A_H$ + (80_H × q),
RCFDCnCFDRMFDSTSqHH：<RCFDCn_base> + $200B_H$ + (80_H × q)

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMPTR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RMFDF	RMBRS	RMESI
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.64　RCFDCnCFDRMFDSTSq レジスタの内容

ビット位置	ビット名	機能
31～16	RMPTR[15:0]	受信バッファラベルデータ 受信メッセージのラベル情報が読めます。
15～3	予約ビット	リードした場合はリセット後の値が読めます。
2	RMFDF	FDF ビット 0：クラシカル CAN フレーム 1：CAN FD フレーム
1	RMBRS	BRS ビット 0：データ領域のビットレートは変わらない 1：データ領域のビットレートは変わる
0	RMESI	ESI ビット 0：エラーアクティブノード 1：エラーパッシブノード

RMPTR[15:0]ビット

受信バッファに格納されたメッセージのラベル情報を示します。

RMFDF ビット

受信バッファに格納されたメッセージの FD フォーマット（クラシカル CAN フレームまたは CAN FD フレーム）を示します。

RMBRS ビット

RMFDF ビットが“1”の場合は、受信バッファに格納されたメッセージの BRS ビット値を示します。
RMFDF ビットが“0”の場合は、常に“0”が読めます。

RMESI ビット

RMFDF ビットが“1”の場合は、受信バッファに格納されたメッセージの ESI ビット値を示します。
RMFDF ビットが“0”の場合は、常に“0”が読めます。

24.3.5.6　RCFDCnCFDRMDFb_q ― 受信バッファデータフィールドレジスタ（b＝0～15、q＝0～127）

アクセス　RCFDCnCFDRMDFb_q レジスタは、32 ビット単位でリードのみ可能です。
RCFDCnCFDRMDFb_qL, RCFDCnCFDRMDFb_qH レジスタは、16 ビット単位でリードのみ可能です。
RCFDCnCFDRMDFb_qLL, RCFDCnCFDRMDFb_qLH, RCFDCnCFDRMDFb_qHL, RCFDCnCFDRMDFb_qHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　RCFDCnCFDRMDFb_q：<RCFDCn_base> + $200C_H$ + (04_H × b) + (80_H × q)
RCFDCnCFDRMDFb_qL：<RCFDCn_base> + $200C_H$ + (04_H × b) + (80_H × q),
RCFDCnCFDRMDFb_qH：<RCFDCn_base> + $200E_H$ + (04_H × b) + (80_H × q)
RCFDCnCFDRMDFb_qLL：<RCFDCn_base> + $200C_H$ + (04_H × b) + (80_H × q),
RCFDCnCFDRMDFb_qLH：<RCFDCn_base> + $200D_H$ + (04_H × b) + (80_H × q),
RCFDCnCFDRMDFb_qHL：<RCFDCn_base> + $200E_H$ + (04_H × b) + (80_H × q),
RCFDCnCFDRMDFb_qHH：<RCFDCn_base> + $200F_H$ + (04_H × b) + (80_H × q)

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDB4 × b + 3 [7:0]								RMDB4 × b + 2 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMDB4 × b + 1 [7:0]								RMDB4 × b + 0 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.65　RCFDCnCFDRMDFb_q レジスタの内容

ビット位置	ビット名	機能
31～24	RMDB4 × b + 3 [7:0]	受信バッファデータバイト 4×b+3 受信バッファデータバイト 4×b+2 受信バッファデータバイト 4×b+1 受信バッファデータバイト 4×b+0 受信バッファに格納されたメッセージのデータが読めます。
23～16	RMDB4 × b + 2 [7:0]	
15～8	RMDB4 × b + 1 [7:0]	
7～0	RMDB4 × b + 0 [7:0]	

RCFDCnCFDRMPTRq レジスタの RMDLC[3:0]ビットの値が受信バッファのペイロード格納サイズ未満の場合、データが設定されていないデータバイトは、“00_H”が読めます。

受信バッファのペイロード格納サイズは RCFDCnCFDRMNB レジスタの RMPLS[2:0]ビットで指定します。指定サイズを超える領域に対応する RCFDCnCFDRMDFb_q レジスタは読み出ししないでください。

24.3.6　受信 FIFO バッファ関連レジスタの詳細

24.3.6.1　RCFDCnCFDRFCCx ― 受信 FIFO バッファコンフィグレーション／制御レジスタ（x＝0＝7）

アクセス　RCFDCnCFDRFCCx レジスタは、32 ビット単位でリード／ライト可能です。
RCFDCnCFDRFCCxL レジスタは、16 ビット単位でリード／ライト可能です。
RCFDCnCFDRFCCxLL, RCFDCnCFDRFCCxLH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RCFDCnCFDRFCCx：<RCFDCn_base> + $00B8_H$ + (04_H × x)
RCFDCnCFDRFCCxL：<RCFDCn_base> + $00B8_H$ + (04_H × x)
RCFDCnCFDRFCCxLL：<RCFDCn_base> + $00B8_H$ + (04_H × x),
RCFDCnCFDRFCCxLH：<RCFDCn_base> + $00B9_H$ + (04_H × x)

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFIGCV[2:0]			RFIM	—	RFDC[2:0]			—	RFPLS[2:0]			—	—	RFIE	RFE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W

表 24.66　RCFDCnCFDRFCCx レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15～13	RFIGCV[2:0]	受信 FIFO 割り込み要求発生タイミング選択ビット b15　b14　b13 0　0　0：FIFO バッファに 1/8 までメッセージ格納時 0　0　1：FIFO バッファに 2/8 までメッセージ格納時 0　1　0：FIFO バッファに 3/8 までメッセージ格納時 0　1　1：FIFO バッファに 4/8 までメッセージ格納時 1　0　0：FIFO バッファに 5/8 までメッセージ格納時 1　0　1：FIFO バッファに 6/8 までメッセージ格納時 1　1　0：FIFO バッファに 7/8 までメッセージ格納時 1　1　1：FIFO バッファがフルのとき
12	RFIM	受信 FIFO 割り込み要因選択ビット 0：RFIGCV[2:0]ビットで設定した条件に達したときに発生 1：1 メッセージ受信完了ごとに発生
11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 24.66　RCFDCnCFDRFCCx レジスタの内容

ビット位置	ビット名	機能
10～8	RFDC[2:0]	受信 FIFO バッファ段数設定ビット b10 b9 b8 0 0 0：0 メッセージ 0 0 1：4 メッセージ 0 1 0：8 メッセージ 0 1 1：16 メッセージ 1 0 0：32 メッセージ 1 0 1：48 メッセージ 1 1 0：64 メッセージ 1 1 1：128 メッセージ
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6～4	RFPLS[2:0]	受信 FIFO バッファペイロード格納サイズ選択ビット b6 b5 b4 0 0 0：8 バイト 0 0 1：12 バイト 0 1 0：16 バイト 0 1 1：20 バイト 1 0 0：24 バイト 1 0 1：32 バイト 1 1 0：48 バイト 1 1 1：64 バイト
3、2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	RFIE	受信 FIFO 割り込み許可ビット 0：受信 FIFO 割り込み禁止 1：受信 FIFO 割り込み許可
0	RFE	受信 FIFO バッファ許可ビット 0：受信 FIFO バッファを使用しない 1：受信 FIFO バッファを使用する

RFIGCV[2:0]ビット

RFIM ビットを“0”にした場合の受信 FIFO 割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数（RFDC[2:0]の設定）に対する分数で指定します。

RFDC[2:0]ビットを“001_B”（4 メッセージ）に設定した場合は、RFIGCV[2:0]ビットを“001_B”、“011_B”、“101_B”、または“111_B”にしてください。このビットはグローバルリセットモードでのみ書き換えてください。

RFIM ビット

FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

RFDC[2:0]ビット

1 つの受信 FIFO バッファに格納できるメッセージの数を選択します。“000_B”に設定した場合は、受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

RFPLS[2:0]ビット

受信 FIFO バッファに格納できるペイロードの上限サイズを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

RFIE ビット

“1”にすると、受信 FIFO 割り込みが使用できます。RFE ビットが“0”（受信 FIFO バッファを使用しない）のときに、RFIE ビットを書き換えてください。

RFE ビット

“1”にすると、受信 FIFO バッファが使用できます。“0”にすると、RCFDCnCFDRFSTSx レジスタの RFEMP フラグが“1”（バッファ空）になります。このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。RCFDCnCFDRFCCx レジスタのすべての設定後に別の命令でこのビットを“1”としてください。このビットは、グローバルリセットモードで 0 にクリアされます。

24.3.6.2　RCFDCnCFDRFSTSx ― 受信 FIFO バッファステータスレジスタ（x＝0～7）

アクセス　RCFDCnCFDRFSTSx レジスタは、32 ビット単位でリード／ライト可能です。
RCFDCnCFDRFSTSxL レジスタは、16 ビット単位でリード／ライト可能です。
RCFDCnCFDRFSTSxLL レジスタは、8 ビット単位でリード／ライト可能です。
RCFDCnCFDRFSTSxLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　RCFDCnCFDRFSTSx：<RCFDCn_base> + 00D8$_H$ + (04$_H$ × x)
RCFDCnCFDRFSTSxL：<RCFDCn_base> + 00D8$_H$ + (04$_H$ × x)
RCFDCnCFDRFSTSxLL：<RCFDCn_base> + 00D8$_H$ + (04$_H$ × x),
RCFDCnCFDRFSTSxLH：<RCFDCn_base> + 00D9$_H$ + (04$_H$ × x)

リセット後の値　0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFMC[7:0]								—	—	—	—	RFIF	RFMLT	RFFLL	RFEMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R/W 注1	R	R

注1.　このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 24.67　RCFDCnCFDRFSTSx レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15～8	RFMC[7:0]	受信 FIFO 未読メッセージ数表示カウンタ 受信 FIFO バッファに格納された未読メッセージ数を示します。
7～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	RFIF	受信 FIFO 割り込み要求フラグ 0：受信 FIFO 割り込み要求なし 1：受信 FIFO 割り込み要求あり
2	RFMLT	受信 FIFO メッセージロストフラグ 0：受信 FIFO メッセージロストなし 1：受信 FIFO メッセージロスト
1	RFFLL	受信 FIFO バッファフルステータスフラグ 0：受信 FIFO バッファフルではない 1：受信 FIFO バッファフル
0	RFEMP	受信 FIFO バッファ空ステータスフラグ 0：受信 FIFO バッファに未読メッセージあり 1：受信 FIFO バッファに未読メッセージなし（バッファ空）

RFMC[7:0]フラグ

受信 FIFO バッファ内の未読メッセージ数を示します。RCFDCnCFDRFCCx レジスタの RFE ビットを“0”にすると、“00$_H$”になります。このフラグは、グローバルリセットモーで“00$_H$”になります。

RFIF フラグ

RCFDCnCFDRFCCx レジスタの RFIGCV[2:0]ビットと RFIM ビットで設定した受信 FIFO 割り込み要求発生条件が整ったときに“1”になります。RFIF フラグへの“0”書き込み、またはグローバルリセットモード時、“0”になります。このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

RFMLT フラグ

受信 FIFO バッファがフルの場合に、新しいメッセージを格納しようとしたとき“1”になります。この場合、新しいメッセージは破棄されます。

RFMLT フラグへの“0”書き込み、またはグローバルリセットモード時、“0”になります。このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

RFFLL フラグ

受信 FIFO バッファに格納されたメッセージ数が、RCFDCnCFDRFCCx レジスタの RFDC[2:0]ビットで設定した段数と一致すると“1”になります。

受信 FIFO バッファに格納されたメッセージ数が、RFDC[2:0]ビットで設定した段数より小さくなると“0”になります。また、RCFDCnCFDRFCCx レジスタの RFE ビットが“0”（受信 FIFO バッファを使用しない）のとき、またはグローバルリセットモード時に“0”になります。

RFEMP フラグ

受信 FIFO バッファのすべてのメッセージを読むと“1”になります。RCFDCnCFDRFCCx レジスタの RFE ビットが“0”のとき、またはグローバルリセットモード時に“1”になります。

受信メッセージが 1 つでも受信 FIFO バッファに格納されると“0”になります。

備　考

RFMLT もしくは RFIF フラグを“0”にする場合は、対象フラグには“0”を、それ以外のフラグには“1”を、ストア命令を使用して書いてください。

24.3.6.3　RCFDCnCFDRFPCTRx ― 受信 FIFO バッファポインタ制御レジスタ（x＝0～7）

アクセス　RCFDCnCFDRFPCTRx レジスタは、32 ビット単位でライトのみ可能です。
RCFDCnCFDRFPCTRxL レジスタは、16 ビット単位でライトのみ可能です。
RCFDCnCFDRFPCTRxLL レジスタは、8 ビット単位でライトのみ可能です。

アドレス　RCFDCnCFDRFPCTRx：<RCFDCn_base> + 00F8$_H$ + (04$_H$ × x)
RCFDCnCFDRFPCTRxL：<RCFDCn_base> + 00F8$_H$ + (04$_H$ × x)
RCFDCnCFDRFPCTRxLL：<RCFDCn_base> + 00F8$_H$ + (04$_H$ × x)

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RFPC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 24.68　RCFDCnCFDRFPCTRx レジスタの内容

ビット位置	ビット名	機能
31～8	予約ビット	ライトする場合はリセット後の値を書いてください。
7～0	RFPC[7:0]	受信 FIFO ポインタ制御 “FF$_H$”を書くと、受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。

RCFDCnCFDCDTCT レジスタの RFDMAEx ビットが“1”（DMA 転送要求を許可する）の場合、このレジスタに書き込みを行わないでください。

RFPC[7:0]ビット

RFPC[7:0]ビットに“FF$_H$”を書くと、受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RCFDCnCFDRFSTSx レジスタの RFMC[7:0]ビット（受信 FIFO 未読メッセージ数表示カウンタ）の値が 1 減算されます。RCFDCnCFDRFIDx、RCFDCnCFDRFPTRx、RCFDCnCFDRFFDSTSx、RCFDCnCFDRFDFd_x レジスタを読んで受信 FIFO バッファのメッセージを読み出した後、RFPC[7:0]ビットに“FF$_H$”を書いてください。

なお、“FF$_H$”の書き込みは、RCFDCnCFDRFCCx レジスタの RFE ビットが“1”（受信 FIFO バッファを使用する）で、RCFDCnCFDRFSTSx レジスタの RFEMP フラグが“0”（未読メッセージあり）のときに行ってください。

24.3.6.4　RCFDCnCFDRFIDx — 受信 FIFO バッファアクセス ID レジスタ（x＝0～7）

アクセス　RCFDCnCFDRFIDx レジスタは、32 ビット単位でリードのみ可能です。

RCFDCnCFDRFIDxL, RCFDCnCFDRFIDxH レジスタは、16 ビット単位でリードのみ可能です。

RCFDCnCFDRFIDxLL, RCFDCnCFDRFIDxLH, RCFDCnCFDRFIDxHL, RCFDCnCFDRFIDxHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　RCFDCnCFDRFIDx：<RCFDCn_base> + 6000_H + (80_H × x)

RCFDCnCFDRFIDxL：<RCFDCn_base> + 6000_H + (80_H × x),

RCFDCnCFDRFIDxH：<RCFDCn_base> + 6002_H + (80_H × x)

RCFDCnCFDRFIDxLL：<RCFDCn_base> + 6000_H + (80_H × x),

RCFDCnCFDRFIDxLH：<RCFDCn_base> + 6001_H + (80_H × x),

RCFDCnCFDRFIDxHL：<RCFDCn_base> + 6002_H + (80_H × x),

RCFDCnCFDRFIDxHH：<RCFDCn_base> + 6003_H + (80_H × x)

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFIDE	RFRTR	—	RFID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.69　RCFDCnCFDRFIDx レジスタの内容

ビット位置	ビット名	機能
31	RFIDE	受信 FIFO バッファ IDE ビット 0：標準 ID 1：拡張 ID
30	RFRTR	受信 FIFO バッファ RTR/RRS ビット ● 受信したメッセージがクラシカル CAN フレームの場合 0：データフレーム 1：リモートフレーム ● 受信したメッセージが CAN FD フレームの場合 受信したメッセージの RRS ビット値を読み取ることができます。
29	予約ビット	リードした場合はリセット後の値が読めます。
28～0	RFID[28:0]	受信 FIFO バッファ ID データ 受信メッセージの標準 ID／拡張 ID が読めます。標準 ID の場合は、b10～b0 を読んでください。b28～b11 は“0”が読めます。

RFIDE ビット

受信 FIFO バッファに格納されたメッセージの ID フォーマット（標準 ID または拡張 ID）を示します。

RFRTR ビット

受信したメッセージがクラシカル CAN フレームの場合、このビットは受信 FIFO バッファに格納されたメッセージのフレームフォーマット（データフレームまたはリモートフレーム）を示します。受信したメッセージが CAN FD フレームの場合、このビットはメッセージの RRS ビット値を示します。

RFID[28:0]ビット

受信 FIFO バッファに格納されたメッセージの ID を示します。

24.3.6.5　RCFDCnCFDRFPTRx — 受信 FIFO バッファアクセスポインタレジスタ（x＝0～7）

アクセス　RCFDCnCFDRFPTRx レジスタは、32 ビット単位でリードのみ可能です。

RCFDCnCFDRFPTRxL, RCFDCnCFDRFPTRxH レジスタは、16 ビット単位でリードのみ可能です。

RCFDCnCFDRFPTRxLL, RCFDCnCFDRFPTRxLH, RCFDCnCFDRFPTRxHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　RCFDCnCFDRFPTRx：<RCFDCn_base> + 6004_H + (80_H × x)

RCFDCnCFDRFPTRxL：<RCFDCn_base> + 6004_H + (80_H × x),

RCFDCnCFDRFPTRxH：<RCFDCn_base> + 6006_H + (80_H × x)

RCFDCnCFDRFPTRxLL：<RCFDCn_base> + 6004_H + (80_H × x),

RCFDCnCFDRFPTRxLH：<RCFDCn_base> + 6005_H + (80_H × x),

RCFDCnCFDRFPTRxHH：<RCFDCn_base> + 6007_H + (80_H × x)

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDLC[3:0]				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFTS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.70　RCFDCnCFDRFPTRx レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>31～28</td><td>RFDLC[3:0]</td><td>受信 FIFO バッファ DLC データ
<table>
<tr><th>b31</th><th>b30</th><th>b29</th><th>b28</th><th>クラシカル CAN フレーム</th><th>CAN FD フレーム</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0 データバイト</td><td rowspan="9"></td></tr>
<tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1 データバイト</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>0</td><td>2 データバイト</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>1</td><td>3 データバイト</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>0</td><td>4 データバイト</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>1</td><td>5 データバイト</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>0</td><td>6 データバイト</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>1</td><td>7 データバイト</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>0</td><td>8 データバイト</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>1</td><td rowspan="7">8 データバイト</td><td>12 データバイト</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>0</td><td>16 データバイト</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>1</td><td>20 データバイト</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>0</td><td>24 データバイト</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>1</td><td>32 データバイト</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>0</td><td>48 データバイト</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>1</td><td>64 データバイト</td></tr>
</table></td></tr>
<tr><td>27～16</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。</td></tr>
<tr><td>15～0</td><td>RFTS[15:0]</td><td>受信 FIFO バッファタイムスタンプデータ
受信メッセージのタイムスタンプ値が読めます。</td></tr>
</table>

RFDLC[3:0]ビット

受信 FIFO バッファに格納されたメッセージのデータ長を示します。

RFTS[15:0]ビット

受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を示します。

24.3.6.6　RCFDCnCFDRFFDSTSx ― 受信 FIFO CAN FD ステータスレジスタ（x＝0～7）

アクセス　RCFDCnCFDRFFDSTSx レジスタは、32 ビット単位でリードのみ可能です。

RCFDCnCFDRFFDSTSxL, RCFDCnCFDRFFDSTSxH レジスタは、16 ビット単位でリードのみ可能です。

RCFDCnCFDRFFDSTSxLL, RCFDCnCFDRFFDSTSxHL, RCFDCnCFDRFFDSTSxHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　RCFDCnCFDRFFDSTSx：<RCFDCn_base> + 6008_H + (80_H × x)

RCFDCnCFDRFFDSTSxL：<RCFDCn_base> + 6008_H + (80_H × x),

RCFDCnCFDRFFDSTSxH：<RCFDCn_base> + $600A_H$ + (80_H × x)

RCFDCnCFDRFFDSTSxLL：<RCFDCn_base> + 6008_H + (80_H × x),

RCFDCnCFDRFFDSTSxHL：<RCFDCn_base> + $600A_H$ + (80_H × x),

RCFDCnCFDRFFDSTSxHH：<RCFDCn_base> + $600B_H$ + (80_H × x)

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFPTR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RFFDF	RFBRS	RFESI
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.71　RCFDCnCFDRFFDSTSx レジスタの内容

ビット位置	ビット名	機能
31～16	RFPTR[15:0]	受信 FIFO バッファラベルデータ 受信メッセージのラベル情報が読めます。
15～3	予約ビット	リードした場合はリセット後の値が読めます。
2	RFFDF	FDF ビット 0：クラシカル CAN フレーム 1：CAN FD フレーム
1	RFBRS	BRS ビット 0：データ領域のビットレートは変わらない 1：データ領域のビットレートは変わる
0	RFESI	ESI ビット 0：エラーアクティブノード 1：エラーパッシブノード

RFPTR[15:0]ビット

受信 FIFO バッファに格納されたメッセージのラベル情報を示します。

RFFDF ビット

受信 FIFO バッファに格納されたメッセージの FD フォーマット（クラシカル CAN フレームまたは CAN FD フレーム）を示します。

RFBRS ビット

RFFDF ビットが“1”の場合は、受信 FIFO バッファに格納されたメッセージの BRS ビット値を示します。
RFFDF ビットが“0”の場合は、常に“0”が読めます。

RFESI ビット

RFFDF ビットが“1”の場合は、受信 FIFO バッファに格納されたメッセージの ESI ビット値を示します。
RFFDF ビットが“0”の場合は、常に“0”が読めます。

24.3.6.7　RCFDCnCFDRFDFd_x ― 受信 FIFO バッファアクセスデータフィールドレジスタ（d＝0～15、x＝0～7）

アクセス　RCFDCnCFDRFDFd_x レジスタは、32 ビット単位でリードのみ可能です。
RCFDCnCFDRFDFd_xL, RCFDCnCFDRFDFd_xH レジスタは、16 ビット単位でリードのみ可能です。
RCFDCnCFDRFDFd_xLL, RCFDCnCFDRFDFd_xLH, RCFDCnCFDRFDFd_xHL, RCFDCnCFDRFDFd_xHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　RCFDCnCFDRFDFd_x : <RCFDCn_base> + $600C_H$ + (04_H × d) + (80_H × x)
RCFDCnCFDRFDFd_xL : <RCFDCn_base> + $600C_H$ + (04_H × d) + (80_H × x),
RCFDCnCFDRFDFd_xH : <RCFDCn_base> + $600E_H$ + (04_H × d) + (80_H × x)
RCFDCnCFDRFDFd_xLL : <RCFDCn_base> + $600C_H$ + (04_H × d) + (80_H × x),
RCFDCnCFDRFDFd_xLH : <RCFDCn_base> + $600D_H$ + (04_H × d) + (80_H × x),
RCFDCnCFDRFDFd_xHL : <RCFDCn_base> + $600E_H$ + (04_H × d) + (80_H × x),
RCFDCnCFDRFDFd_xHH : <RCFDCn_base> + $600F_H$ + (04_H × d) + (80_H × x)

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDB4 × d + 3 [7:0]								RFDB4 × d + 2 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFDB4 × d + 1 [7:0]								RFDB4 × d + 0 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.72　RCFDCnCFDRFDFd_x レジスタの内容

ビット位置	ビット名	機能
31～24	RFDB4 × d + 3 [7:0]	受信バッファデータバイト 4×d+3 受信バッファデータバイト 4×d+2 受信バッファデータバイト 4×d+1 受信バッファデータバイト 4×d+0 受信バッファに格納されたメッセージのデータが読めます。
23～16	RFDB4 × d + 2 [7:0]	
15～8	RFDB4 × d + 1 [7:0]	
7～0	RFDB4 × d + 0 [7:0]	

RCFDCnCFDRFPTRx レジスタの RFDLC[3:0]ビットの値が受信 FIFO バッファのペイロード格納サイズ未満の場合、データが設定されていないデータバイトは、“00_H”が読めます。

受信 FIFO バッファのペイロード格納サイズは RCFDCnCFDRFCCx レジスタの RFPLS[2:0]ビットで指定します。指定サイズを超える領域に対応する RCFDCnCFDRFDFd_x レジスタは読み書きしないでください。

24.3.7　送受信 FIFO バッファ関連レジスタの詳細

24.3.7.1　RCFDCnCFDCFCCk — 送受信 FIFO バッファコンフィグレーション／制御レジスタ（k＝0～23）

アクセス　RCFDCnCFDCFCCk レジスタは、32 ビット単位でリード／ライト可能です。

RCFDCnCFDCFCCkL, RCFDCnCFDCFCCkH レジスタは、16 ビット単位でリード／ライト可能です。

RCFDCnCFDCFCCkLL, RCFDCnCFDCFCCkLH, RCFDCnCFDCFCCkHL, RCFDCnCFDCFCCkHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RCFDCnCFDCFCCk：<RCFDCn_base> + 0118$_H$ + (04$_H$ × k)

RCFDCnCFDCFCCkL：<RCFDCn_base> + 0118$_H$ + (04$_H$ × k),

RCFDCnCFDCFCCkH：<RCFDCn_base> + 011A$_H$ + (04$_H$ × k)

RCFDCnCFDCFCCkLL：<RCFDCn_base> + 0118$_H$ + (04$_H$ × k),

RCFDCnCFDCFCCkLH：<RCFDCn_base> + 0119$_H$ + (04$_H$ × k),

RCFDCnCFDCFCCkHL：<RCFDCn_base> + 011A$_H$ + (04$_H$ × k),

RCFDCnCFDCFCCkHH：<RCFDCn_base> + 011B$_H$ + (04$_H$ × k)

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFITT[7:0]								CFDC[2:0]			CFTML[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFIGCV[2:0]			CFIM	CFITR	CFITSS	CFM[1:0]		—	CFPLS[2:0]			—	CFTXIE	CFRXIE	CFE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

表 24.73　RCFDCnCFDCFCCk レジスタの内容

ビット位置	ビット名	機能
31～24	CFITT[7:0]	メッセージの送信間隔を設定してください。設定値：00$_H$～FF$_H$
23～21	CFDC[2:0]	送受信 FIFO バッファ段数設定ビット B23　b22　b21 0　0　0：0 メッセージ 0　0　1：4 メッセージ 0　1　0：8 メッセージ 0　1　1：16 メッセージ 1　0　0：32 メッセージ 1　0　1：48 メッセージ 1　1　0：64 メッセージ 1　1　1：128 メッセージ
20～16	CFTML[4:0]	送信バッファリンク設定ビット 送受信 FIFO バッファにリンクさせる送信バッファ番号を設定してください。

表 24.73　RCFDCnCFDCFCCk レジスタの内容

ビット位置	ビット名	機能
15～13	CFIGCV[2:0]	送受信 FIFO 受信割り込み要求発生タイミング選択ビット b15　b14　b13 0　0　0：FIFO バッファに 1/8 までメッセージ格納時 0　0　1：FIFO バッファに 2/8 までメッセージ格納時 0　1　0：FIFO バッファに 3/8 までメッセージ格納時 0　1　1：FIFO バッファに 4/8 までメッセージ格納時 1　0　0：FIFO バッファに 5/8 までメッセージ格納時 1　0　1：FIFO バッファに 6/8 までメッセージ格納時 1　1　0：FIFO バッファに 7/8 までメッセージ格納時 1　1　1：FIFO バッファがフルのとき
12	CFIM	送受信 FIFO 割り込み要因選択ビット 0： ● 受信モード、ゲートウェイモード時 受信メッセージ数が CFIGCV[2:0]ビットで設定した条件に達したとき、FIFO 受信割り込み要求発生 ● 送信モード、ゲートウェイモード時 メッセージ送信完了によってバッファが空になったとき、FIFO 送信割り込み要求発生 1： ● 受信モード、ゲートウェイモード時 1 メッセージ受信ごとに FIFO 受信割り込み要求発生 ● 送信モード、ゲートウェイモード時 1 メッセージ送信が完了するごとに FIFO 送信割り込み要求発生
11	CFITR	送受信 FIFO インターバルタイマ分解能 0：pclk/2 を ITRCP[15:0]ビットで分周したクロック 1：pclk/2 を ITRCP[15:0]ビットの値×10 で分周したクロック
10	CFITSS	送受信 FIFO インターバルタイマクロックソース選択 0：CFITR ビットで選択したインターバルタイマクロックソース 1：インターバルタイマクロックソースは、FIFO がリンクされているチャネルの、通常ビットタイムクロックです。
9、8	CFM[1:0]	送受信 FIFO モード選択ビット b9　b8 0　0：受信モード 0　1：送信モード 1　0：ゲートウェイモード 1　1：設定しないでください
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6～4	CFPLS[2:0]	送受信 FIFO バッファペイロード格納サイズ選択ビット b6　b5　b4 0　0　0：8 バイト 0　0　1：12 バイト 0　1　0：16 バイト 0　1　1：20 バイト 1　0　0：24 バイト 1　0　1：32 バイト 1　1　0：48 バイト 1　1　1：64 バイト
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	CFTXIE	送受信 FIFO 送信割り込み許可ビット 0：送受信 FIFO 送信割り込み禁止 1：送受信 FIFO 送信割り込み許可

表 24.73　RCFDCnCFDCFCCk レジスタの内容

ビット位置	ビット名	機能
1	CFRXIE	送受信 FIFO 受信割り込み許可ビット 0：送受信 FIFO 受信割り込み禁止 1：送受信 FIFO 受信割り込み許可
0	CFE	送受信 FIFO バッファ許可ビット 0：送受信 FIFO バッファを使用しない 1：送受信 FIFO バッファを使用する

CFITT[7:0]ビット

CFM[1:0]ビットを“01_B”（送信モード）または“10_B”（ゲートウェイモード）に設定した送受信 FIFO バッファから連続してメッセージを送信する場合、メッセージの送信間隔を設定します。

CFE ビットを“0”（送受信 FIFO バッファを使用しない）にしてから、CFITT[7:0]ビットを書き換えてください。

CFDC[2:0]ビット

1 つの送受信 FIFO バッファに格納できるメッセージの数を設定します。“000_B”に設定した場合は、送受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

CFTML[4:0]ビット

CFM[1:0]ビットを“01_B”（送信モード）または“10_B”（ゲートウェイモード）に設定した場合、送受信 FIFO バッファ k にリンクさせる送信バッファ番号を設定します。チャネル当たり 3 つの送受信 FIFO バッファがあり、FIFO バッファ k が割り当てられているチャネル番号 m は、k/3 の整商となります。FIFO バッファ k にリンクされる実際の送信バッファ番号 p は、（(32×m)＋CFTML[4:0]）となります。（「**表 24.32 CFTML[4:0]ビットの設定値によって送受信 FIFO バッファにリンクされる送信バッファ p**」参照）

送受信 FIFO バッファ k と送信バッファ p の関係は「**表 24.30 各チャネルに割り当てられる送信バッファ p**」および「**表 24.31 各チャネルに割り当てられる送受信 FIFO バッファ k**」を参照してください。

CFDC[2:0]ビットを“001_B”以上にすると、CFTML[4:0]ビットの設定が有効になります。

同一チャネルの送信キュー、またはその他の送受信 FIFO バッファに既に割り当てられている送信バッファにはリンクしないでください。このビットはグローバルリセットモードでのみ書き換えてください。

CFIGCV[2:0]ビット

CFM[1:0]ビットを“00_B”（受信モード）または“10_B”（ゲートウェイモード）に、CFIM ビットを“0”にした場合の送受信 FIFO 受信割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数（CFDC[2:0]の設定）に対する分数で指定します。

CFDC[2:0]ビットを“001_B”（4 メッセージ）に設定した場合は、CFIGCV[2:0]ビットを“001_B”、“011_B”、“101_B”、または“111_B”にしてください。

このビットはグローバルリセットモードでのみ書き換えてください。

CFIM ビット

送受信 FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFITR ビット

CFITSS ビットが“0”のとき、有効です。

“0”のとき、インターバルタイマクロックソースは、pclk/2 を RCFDCnCFDGCFG レジスタの ITRCP[15:0] ビットで分周したクロックとなります。

“1”のとき、インターバルタイマクロックソースは、pclk/2 を RCFDCnCFDGCFG レジスタの ITRCP[15:0] ビットの値×10 で分周したクロックとなります。

CFE ビットが“0”（送受信 FIFO バッファを使用しない）の状態で、CFITR ビットを書き換えてください。

CFITSS ビット

“0”のとき、CFITR ビットで選択したクロックがインターバルタイマのカウントソースになります。“1”のとき、FIFO にリンクしているチャネルの通常ビットタイムクロックがインターバルタイマのカウントソースになります。CAN FD フレームを処理しないチャネルにのみ、このカウントソースを使用してください。

CFE ビットが“0”（送受信 FIFO バッファを使用しない）の状態で、CFITSS ビットを書き換えてください。

CFM[1:0]ビット

送受信 FIFO のモードを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFPLS[2:0]ビット

送受信 FIFO バッファに格納できるペイロードの上限サイズを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFTXIE ビット

このビットを“1”に設定し、RCFDCnCFDCFSTSk レジスタの CFTXIF フラグが“1”になった場合、送受信 FIFO 送信割り込み要求が発生します。

CFE ビットが“0”（送受信 FIFO バッファを使用しない）の状態で、CFTXIE ビットを書き換えてください。

CFRXIE ビット

このビットを“1”に設定し、RCFDCnCFDCFSTSk レジスタの CFRXIF フラグが“1”になった場合、送受信 FIFO 受信割り込み要求が発生します。

CFE ビットが“0”の状態で、CFRXIE ビットを書き換えてください。

CFE ビット

“1”にすると、送受信 FIFO バッファを使用できます。

“0”にすると、送信モードまたはゲートウェイモードでは、送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、送受信 FIFO バッファは空になります。それ以外の場合、または受信モードでは送受信 FIFO バッファは直ちに空になります。

このビットは、次に示す条件で“0”になります。

- 受信モード時：グローバルリセットモード

- 送信モードまたはゲートウェイモード時：チャネルリセットモード

このビットは、次に示すモードで書き換えてください。

- 受信モード：グローバル動作モードまたはグローバルテストモード
- 送信モードまたはゲートウェイモード：チャネル通信モードまたはチャネル待機モード

このビットは、RCFDCnCFDCFCCk レジスタの他のすべてのビットを設定後に、別の命令を使用して“1”にしてください。

24.3.7.2　RCFDCnCFDCFSTSk ― 送受信 FIFO バッファステータスレジスタ（k＝0～23）

アクセス　RCFDCnCFDCFSTSk レジスタは、32 ビット単位でリード／ライト可能です。
RCFDCnCFDCFSTSkL レジスタは、16 ビット単位でリード／ライト可能です。
RCFDCnCFDCFSTSkLL レジスタは、8 ビット単位でリード／ライト可能です。
RCFDCnCFDCFSTSkLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　RCFDCnCFDCFSTSk：<RCFDCn_base> + 0178_H + (04_H × k)
RCFDCnCFDCFSTSkL：<RCFDCn_base> + 0178_H + (04_H × k)
RCFDCnCFDCFSTSkLL：<RCFDCn_base> + 0178_H + (04_H × k),
RCFDCnCFDCFSTSkLH：<RCFDCn_base> + 0179_H + (04_H × k)

リセット後の値　0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFMC[7:0]								—	—	—	CFTXIF	CFRXIF	CFMLT	CFFLL	CFEMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R/W 注1	R/W 注1	R	R

注1.　このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 24.74　RCFDCnCFDCFSTSk レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15～8	CFMC[7:0]	送受信 FIFO メッセージ数表示カウンタ 送受信 FIFO バッファに格納されたメッセージ数を示します。
7～5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	CFTXIF	送受信 FIFO 送信割り込み要求フラグ 0：送受信 FIFO 送信割り込み要求なし 1：送受信 FIFO 送信割り込み要求あり
3	CFRXIF	送受信 FIFO 受信割り込み要求フラグ 0：送受信 FIFO 受信割り込み要求なし 1：送受信 FIFO 受信割り込み要求あり
2	CFMLT	送受信 FIFO メッセージロストフラグ 0：送受信 FIFO メッセージロストなし 1：送受信 FIFO メッセージロスト
1	CFFLL	送受信 FIFO バッファフルステータスフラグ 0：送受信 FIFO バッファフルではない 1：送受信 FIFO バッファフル
0	CFEMP	送受信 FIFO バッファ空ステータスフラグ 0：送受信 FIFO バッファにメッセージあり 1：送受信 FIFO バッファにメッセージなし（バッファ空）

CFMC[7:0]ビット

CFMC[7:0]ビットが示す値は、RCFDCnCFDCFCCk レジスタの CFM[1:0]ビットの設定により次のようになります。

- CFM[1:0]ビットが“01_B”（送信モード）の場合:バッファに格納した未送信メッセージ数
- CFM[1:0]ビットが“00_B”（受信モード）の場合:バッファに格納された未読の受信メッセージ数
- CFM[1:0]ビットが“10_B”（ゲートウェイモード）の場合:バッファに格納された受信メッセージの内、未送信のメッセージ数

このビットは、次に示す条件で“0”になります。

- CFM[1:0]ビットが“00_B”の場合:グローバルリセットモード
- CFM[1:0]ビットが“01_B”または“10_B”の場合:チャネルリセットモード
- RCFDCnCFDCFCCk レジスタの CFE ビットが 0 にクリアされた場合

CFTXIF フラグ

次の条件で、CFTXIF フラグは“1”になります。

- CFM[1:0]ビットが“01_B”または“10_B”で、RCFDCnCFDCFCCk レジスタの CFIM ビットで選択した要因が発生したとき

次の条件で、CFTXIF フラグは“0”になります。

- CFTXIF フラグへの“0”書き込み
- CFM[1:0]ビットが“00_B”の場合：グローバルリセットモード
- CFM[1:0]ビットが“01_B”または“10_B”の場合：チャネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで“0”を書いてください。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

CFRXIF フラグ

次の条件で、CFRXIF フラグは“1”になります。

- CFM[1:0]ビットが“00_B”または“10_B”で、RCFDCnCFDCFCCk レジスタの CFIM ビットで選択した要因が発生したとき

次の条件で、CFRXIF フラグは“0”になります。

- CFRXIF フラグへの“0”書き込み
- CFM[1:0]ビットが“00_B”の場合：グローバルリセットモード
- CFM[1:0]ビットが“01_B”または“10_B”の場合：チャネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで“0”を書いてください。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

CFMLT フラグ

次の条件で、CFMLT フラグは“1”になります。

- 送受信 FIFO バッファがフルの場合に、さらに新しいメッセージを格納しようとしたとき。この場合、新しいメッセージは破棄されます。

次の条件で、CFMLT フラグは“0”になります。

- CFMLT フラグへの“0”書き込み
- CFM[1:0]ビットが“00_B”の場合：グローバルリセットモード
- CFM[1:0]ビットが“01_B”または“10_B”の場合：チャネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで“0”を書いてください。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア命令を使用し、“0”にしたいビットを“0”、そうでないビットを “1”にしてください。

CFFLL フラグ

次の条件で、CFFLL フラグは“1”になります。

- 送受信 FIFO バッファに格納されたメッセージ数が、RCFDCnCFDCFCCk レジスタの CFDC[2:0]ビットで設定した段数と一致したとき

次の条件で、CFFLL フラグは“0”になります。

- 送受信 FIFO バッファに格納されたメッセージ数が、CFDC[2:0]ビットで設定した段数より小さくなったとき
- RCFDCnCFDCFCCk レジスタの CFE ビットが“0”（送受信 FIFO バッファを使用しない）の場合：送信アボート中でないとき
- CFM[1:0]ビットが“00_B”の場合：グローバルリセットモード
- CFM[1:0]ビットが“01_B”または“10_B”の場合：チャネルリセットモード

CFEMP フラグ

次の条件で、CFEMP フラグは“1”になります。

- CFM[1:0]ビットが“00_B”の場合：全メッセージを読み出したとき、またはグローバルリセットモード
- CFM[1:0]ビットが“01_B”または“10_B”の場合：すべてのメッセージを送信したとき、またはチャネルリセットモード
- CFE ビットが“0”（送受信 FIFO バッファを使用しない）の場合：送信アボート中でないとき

次の条件で、CFEMP フラグは“0”になります。

- CFM[1:0]ビットが“00_B”または“10_B”の場合：受信メッセージが 1 つでも送受信 FIFO バッファに格納されたとき
- CFM[1:0]ビットが“01_B”の場合：RCFDCnCFDCFIDk、RCFDCnCFDCFPTRk、RCFDCnCFDCFFDCSTSk、RCFDCnCFDCFDFd_k レジスタに書いてから、RCFDCnCFDCFPCTRk レジスタに“FF_H”

備　考

CFTXIF, CFRXIF, CFMLT フラグを“0”にする場合は、プログラムで“0”を書いてください。“0”を書く場合はストア命令を使用し、それ以外のフラグには“1”を書いてください。

24.3.7.3　RCFDCnCFDCFPCTRk — 送受信 FIFO バッファポインタ制御レジスタ（k＝0～23）

アクセス　RCFDCnCFDCFPCTRk レジスタは、32 ビット単位でライトのみ可能です。
RCFDCnCFDCFPCTRkL レジスタは、16 ビット単位でライトのみ可能です。
RCFDCnCFDCFPCTRkLL レジスタは、8 ビット単位でライトのみ可能です。

アドレス　RCFDCnCFDCFPCTRk：<RCFDCn_base> + $01D8_H$ + (04_H × k)
RCFDCnCFDCFPCTRkL：<RCFDCn_base> + $01D8_H$ + (04_H × k)
RCFDCnCFDCFPCTRkLL：<RCFDCn_base> + $01D8_H$ + (04_H × k)

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CFPC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 24.75　RCFDCnCFDCFPCTRk レジスタの内容

ビット位置	ビット名	機能
31～8	予約ビット	ライトする場合はリセット後の値を書いてください。
7～0	CFPC[7:0]	送受信 FIFO ポインタ制御 ● 受信モード時： “FF_H”を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。 ● 送信モード時： “FF_H”を書くと、送受信 FIFO バッファの次の段にライトポインタが移動します。 ● ゲートウェイモード時：設定しないでください。

対応する送受信 FIFO バッファがチャネル m に割り当てられた先頭の送受信 FIFO バッファ（k は 3×m）のとき、RCFDCnCFDCDTCT レジスタの CFDMAEm ビットが“1”（DMA 転送要求を許可する）の場合、このレジスタに書き込みを行わないでください。

CFPC[7:0]ビット

- 受信モード（RCFDCnCFDCFCCk レジスタの CFM[1:0]ビットが“00_B”）のとき:

  CFPC[7:0]ビットに“FF_H”を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RCFDCnCFDCFSTSk レジスタの CFMC[7:0]ビット（送受信 FIFO メッセージ数表示カウンタ）の値が 1 減算されます。RCFDCnCFDCFIDk、RCFDCnCFDCFPTRk、RCFDCnCFDCFFDCSTSk、RCFDCnCFDCFDFd_k レジスタを読んで送受信 FIFO バッファからメッセージを読み出したあと、CFPC[7:0]ビットに“FF_H”を書いてください。

  なお、“FF_H”の書き込みは RCFDCnCFDCFCCk レジスタの CFE ビットが“1”（送受信 FIFO バッファを使用する）で、RCFDCnCFDCFSTSk レジスタの CFEMP フラグが“0”（メッセージあり）のときに行ってください。

- 送信モード（RCFDCnCFDCFCCk レジスタの CFM[1:0]ビットが“01_B”）のとき:

  CFPC[7:0]ビットに“FF_H”を書くと、RCFDCnCFDCFIDk、RCFDCnCFDCFPTRk、RCFDCnCFDCFFDCSTSk、RCFDCnCFDCFDFd_k レジスタに書いたデータが送受信 FIFO バッファに格納され、バッファの次の段にライトポインタが移動します。このとき CFMC[7:0]ビットの値が 1 加算されます。RCFDCnCFDCFIDk、RCFDCnCFDCFPTRk、RCFDCnCFDCFFDCSTSk、RCFDCnCFDCFDFd_k レジスタに送信メッセージを書いた後に、CFPC[7:0]ビットに“FF_H”を書いてください。

  なお、“FF_H”の書き込みは、RCFDCnCFDCFCCk レジスタの CFE ビットが“1”で、RCFDCnCFDCFSTSk レジスタの CFFLL フラグが“0”（フルではない）のときに行ってください。

- ゲートウェイモード（RCFDCnCFDCFCCk レジスタの CFM[1:0]ビットが“10_B”）のとき:設定しないでください。

24.3.7.4 RCFDCnCFDCFIDk — 送受信 FIFO バッファアクセス ID レジスタ（k＝0〜23）

アクセス RCFDCnCFDCFIDk レジスタは、32 ビット単位でリード／ライト可能です。

RCFDCnCFDCFIDkL, RCFDCnCFDCFIDkH レジスタは、16 ビット単位でリード／ライト可能です。

RCFDCnCFDCFIDkLL, RCFDCnCFDCFIDkLH, RCFDCnCFDCFIDkHL, RCFDCnCFDCFIDkHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RCFDCnCFDCFIDk : <RCFDCn_base> + 6400_H + (80_H × k)

RCFDCnCFDCFIDkL : <RCFDCn_base> + 6400_H + (80_H × k),

RCFDCnCFDCFIDkH : <RCFDCn_base> + 6402_H + (80_H × k)

RCFDCnCFDCFIDkLL : <RCFDCn_base> + 6400_H + (80_H × k),

RCFDCnCFDCFIDkLH : <RCFDCn_base> + 6401_H + (80_H × k),

RCFDCnCFDCFIDkHL : <RCFDCn_base> + 6402_H + (80_H × k),

RCFDCnCFDCFIDkHH : <RCFDCn_base> + 6403_H + (80_H × k)

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFIDE	CFRTR	THLEN	CFID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.76 RCFDCnCFDCFIDk レジスタの内容

ビット位置	ビット名	機能
31	CFIDE	送受信 FIFO バッファ IDE ビット 0：標準 ID 1：拡張 ID
30	CFRTR	送受信 FIFO バッファ RTR/RRS ビット ● CFM[1:0]ビットが“01_B”（送信モード）時 – 送信メッセージがクラシカル CAN フレームのとき 0：データフレーム 1：リモートフレーム – 送信メッセージが CAN FD フレームのとき “0”を書いてください。 ● CFM[1:0]ビットが“00_B”（受信モード）時 – 受信メッセージがクラシカル CAN フレームのとき 0：データフレーム 1：リモートフレーム – 受信メッセージが CAN FD フレームのとき 受信メッセージの RRS ビット値が読めます。
29	THLEN	送信履歴データ格納許可ビット CFM[1:0]ビットが“01_B”（送信モード）時のみ有効 0：送信履歴データをバッファに格納しない 1：送信履歴データをバッファに格納する

表 24.76　RCFDCnCFDCFIDk レジスタの内容

ビット位置	ビット名	機能
28～0	CFID[28:0]	送受信 FIFO バッファ ID データ ● CFM[1:0]ビットが“01_B”（送信モード）時： 標準 ID または拡張 ID を設定してください。標準 ID の場合、b10～b0 に ID を設定してください。b28～b11 は“0”にしてください。 ● CFM[1:0]ビットが“00_B”（受信モード）時： 受信メッセージの標準 ID または拡張 ID が読めます。標準 ID の場合、b10～b0 を読んでください。b28～b11 は“0”が読めます。

RCFDCnCFDCFCCk レジスタの CFM[1:0]ビットが“01_B”（送信モード）の場合、このレジスタに読み書きできます。CFM[1:0]ビットが“00_B”（受信モード）の場合、このレジスタを読めます。CFM[1:0]ビットが“10_B”（ゲートウェイモード）の場合は、このレジスタにアクセスしないでください。

CFIDE ビット

CFM[1:0]ビットが“00_B”のとき、送受信 FIFO バッファに格納された受信メッセージの ID フォーマット（標準 ID または拡張 ID）を示します。CFM[1:0]ビットが“01_B”のとき、送受信 FIFO バッファから送信するメッセージの ID フォーマットを設定します。

CFRTR ビット

受信したメッセージがクラシカル CAN フレームの場合、CFM[1:0]ビット値が 00_B であるなら、このビットは、送受信 FIFO バッファに格納された受信メッセージのデータフォーマット（データフレームまたはリモートフレーム）を示します。受信したメッセージが CAN FD フレームの場合、このビットは受信したメッセージの RRS ビット値を示します。

CFM[1:0]ビットが“01_B”のとき、送受信 FIFO バッファから送信するメッセージのデータフォーマットを設定します。

RCFDCnCFDCFFDCSTSk レジスタの CFFDF ビットが 1（CAN FD フレーム）のとき、このビットを 0 に設定します。

THLEN ビット

“1”にすると、送信が完了した後、送信メッセージの送信履歴データ（ラベル情報、バッファ番号、バッファタイプ、タイムスタンプ）が送信履歴バッファに格納されます。

CFM[1:0]ビットが“01_B”（送信モード）のときに、有効になります。

CFID[28:0]ビット

CFM[1:0]ビットが“00_B”のとき、送受信 FIFO バッファに格納された受信メッセージの ID を含んでいます。

CFM[1:0]ビットが“01_B”のとき、送受信 FIFO バッファから送信するメッセージの ID を設定します。

24.3.7.5 RCFDCnCFDCFPTRk — 送受信 FIFO バッファアクセスポインタレジスタ（k＝0〜23）

アクセス　RCFDCnCFDCFPTRk レジスタは、32 ビット単位でリード／ライト可能です。

RCFDCnCFDCFPTRkL, RCFDCnCFDCFPTRkH レジスタは、16 ビット単位でリード／ライト可能です。

RCFDCnCFDCFPTRkLL, RCFDCnCFDCFPTRkLH, RCFDCnCFDCFPTRkHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RCFDCnCFDCFPTRk：<RCFDCn_base> + 6404_H + (80_H × k)

RCFDCnCFDCFPTRkL： <RCFDCn_base> + 6404_H + (80_H × k),

RCFDCnCFDCFPTRkH：<RCFDCn_base> + 6406_H + (80_H × k)

RCFDCnCFDCFPTRkLL：<RCFDCn_base> + 6404_H + (80_H × k),

RCFDCnCFDCFPTRkLH：<RCFDCn_base> + 6405_H + (80_H × k),

RCFDCnCFDCFPTRkHH：<RCFDCn_base> + 6407_H + (80_H × k)

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFDLC[3:0]				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFTS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.77　RCFDCnCFDCFPTRk レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>31〜28</td><td>CFDLC[3:0]</td><td>送受信 FIFO バッファ DLC データ
<table>
<tr><th>b31</th><th>b30</th><th>b29</th><th>b28</th><th>クラシカル CAN フレーム</th><th>CAN FD フレーム</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0 データバイト</td><td rowspan="9"></td></tr>
<tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1 データバイト</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>0</td><td>2 データバイト</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>1</td><td>3 データバイト</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>0</td><td>4 データバイト</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>1</td><td>5 データバイト</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>0</td><td>6 データバイト</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>1</td><td>7 データバイト</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>0</td><td>8 データバイト</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>1</td><td rowspan="7">8 データバイト</td><td>12 データバイト</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>0</td><td>16 データバイト</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>1</td><td>20 データバイト</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>0</td><td>24 データバイト</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>1</td><td>32 データバイト</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>0</td><td>48 データバイト</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>1</td><td>64 データバイト</td></tr>
</table></td></tr>
<tr><td>27〜16</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>15〜0</td><td>CFTS[15:0]</td><td>送受信 FIFO バッファタイムスタンプデータ
CFM[1:0]ビットが“00_B”（受信モード）時のみ有効。受信メッセージのタイムスタンプ値が読めます。</td></tr>
</table>

RCFDCnCFDCFCCk レジスタの CFM[1:0]ビットが“01_B”（送信モード）の場合、このレジスタに読み書きできます。CFM[1:0]ビットが“00_B”（受信モード）の場合、このレジスタを読めます。CFM[1:0]ビットが“10_B”（ゲートウェイモード）の場合は、このレジスタにアクセスしないでください。

CFDLC[3:0]ビット

CFM[1:0]ビットが“00_B”のとき、送受信 FIFO バッファに格納された受信メッセージのデータ長を示します。

CFM[1:0]ビットが“01_B”のとき、送受信 FIFO バッファから送信されるメッセージのデータ長を設定します。

RCFDCnCFDCFFDCSTSk レジスタの CFFDF ビットが“0”（クラシカル CAN フレーム）のときに CFDLC[3:0]ビットに“1001_B”以上を設定した場合、実際に送られるデータは 8 バイトになります。

“0000_B”～“1111_B”の全ての値が設定できます。設定したデータ長が CFPLS[2:0]ビットで設定したペイロード格納サイズを超えるとき、超えた分のペイロードは“CC_H”でパディングされます。

CFTS[15:0]ビット

送受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を示します。CFM[1:0]ビットが“00_B”のときに、有効になります。

24.3.7.6 RCFDCnCFDCFFDCSTSk — 送受信 FIFO CAN FD コンフィグレーション／ステータスレジスタ（k＝0～23）

アクセス　RCFDCnCFDCFFDCSTSk レジスタは、32 ビット単位でリード／ライト可能です。
RCFDCnCFDCFFDCSTSkL レジスタは、16 ビット単位でリード／ライト可能です。
RCFDCnCFDCFFDCSTSkH レジスタは、16 ビット単位でリードのみ可能です。
RCFDCnCFDCFFDCSTSkLL レジスタは、8 ビット単位でリード／ライト可能です。
RCFDCnCFDCFFDCSTSkHL, RCFDCnCFDCFFDCSTSkHH 8 ビット単位でリードのみ可能です。

アドレス　RCFDCnCFDCFFDCSTSk : <RCFDCn_base> + 6408_H + (80_H × k)
RCFDCnCFDCFFDCSTSkL : <RCFDCn_base> + 6408_H + (80_H × k),
RCFDCnCFDCFFDCSTSkH : <RCFDCn_base> + $640A_H$ + (80_H × k)
RCFDCnCFDCFFDCSTSkLL : <RCFDCn_base> + 6408_H + (80_H × k),
RCFDCnCFDCFFDCSTSkHL : <RCFDCn_base> + $640A_H$ + (80_H × k),
RCFDCnCFDCFFDCSTSkHH : <RCFDCn_base> + $640B_H$ + (80_H × k)

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFPTR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CFFDF	CFBRS	CFESI
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 24.78　RCFDCnCFDCFFDCSTSk レジスタの内容

ビット位置	ビット名	機能
31～16	CFPTR[15:0]	送受信 FIFO バッファラベルデータ ● CFM[1:0]ビットが“01_B”（送信モード）時： 送信履歴バッファに格納するラベル情報を設定してください。 CFPTR[15:0]のみ有効です。 ● CFM[1:0]ビットが“00_B”（受信モード）時 受信メッセージのラベル情報が読めます。
15～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	CFFDF	FDF ビット 0：クラシカル CAN フレーム 1：CAN FD フレーム
1	CFBRS	BRS ビット 0：データ領域のビットレートは変わらない 1：データ領域のビットレートは変わる
0	CFESI	ESI ビット 0：エラーアクティブノード 1：エラーパッシブノード

RCFDCnCFDCFCCk レジスタの CFM[1:0]ビットが“01_B”（送信モード）の場合、このレジスタに読み書きできます。CFM[1:0]ビットが“00_B”（受信モード）の場合、このレジスタを読めます。CFM[1:0]ビットが“10_B”（ゲートウェイモード）の場合は、このレジスタにアクセスしないでください。

CFPTR[15:0]ビット

CFM[1:0]ビットが“00_B”のとき、送受信 FIFO バッファに格納された受信メッセージに添付したラベル情報を示します。CFM[1:0]ビットが“01_B”のとき、メッセージ送信が完了した場合、CFPTR[15:0]ビットの値が送信履歴に格納されます。

CFFDF ビット

CFM[1:0]ビットが“00_B”のとき、送受信 FIFO バッファに格納されたメッセージの FD フォーマット（クラシカル CAN フレームまたは CAN FD フレーム）を示します。CFM[1:0]ビットが“01_B”のとき、送受信 FIFO バッファから送信するメッセージの FD フォーマットを設定します。

CFBRS ビット

CFM[1:0]ビットが“00_B”のとき、CFFDF ビットが“1”ならば送受信 FIFO バッファに格納された受信メッセージの BRS ビット値を示し、CFFDF ビットが“0”ならば常に“0”が読めます。

CFM[1:0]ビットが“01_B”のとき、CFFDF ビットが“1”ならば送受信 FIFO バッファから送信するメッセージの BRS ビット値を設定します。CFFDF ビットが“0”ならば“0”を書いてください。

CFESI ビット

CFM[1:0]ビットが“00_B”のとき、CFFDF ビットが“1”ならば送受信 FIFO バッファに格納された受信メッセージの ESI ビット値を示し、CFFDF ビットが“0”ならば常に“0”が読めます。

CFM[1:0]ビットが“01_B”のとき、CFFDF ビットが“1”ならば送受信 FIFO バッファから送信するメッセージの ESI ビット値を設定します。設定した値は RCFDCnCFDCmFDCFG レジスタの ESIC ビットが“1”かつチャネルがエラーアクティブ状態のとき送信されます。チャネルがエラーパッシブ状態であるときは、このビットにかかわらずエラーパッシブノードを示す ESI ビット値が送信されます。CFFDF ビットが“0”のときは“0”を書いてください。

24.3.7.7　RCFDCnCFDCFDFd_k — 送受信 FIFO バッファアクセスデータフィールドレジスタ（d＝0～15、k＝0～23）

アクセス　RCFDCnCFDCFDFd_k レジスタは、32 ビット単位でリード／ライト可能です。

RCFDCnCFDCFDFd_kL, RCFDCnCFDCFDFd_kH レジスタは、16 ビット単位でリード／ライト可能です。

RCFDCnCFDCFDFd_kLL, RCFDCnCFDCFDFd_kLH, RCFDCnCFDCFDFd_kHL, RCFDCnCFDCFDFd_kHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RCFDCnCFDCFDFd_k : <RCFDCn_base> + $640C_H$ + (04_H × d) + (80_H × k)

RCFDCnCFDCFDFd_kL : <RCFDCn_base> + $640C_H$ + (04_H × d) + (80_H × k),

RCFDCnCFDCFDFd_kH : <RCFDCn_base> + $640E_H$ + (04_H × d) + (80_H × k)

RCFDCnCFDCFDFd_kLL : <RCFDCn_base> + $640C_H$ + (04_H × d) + (80_H × k),

RCFDCnCFDCFDFd_kLH : <RCFDCn_base> + $640D_H$ + (04_H × d) + (80_H × k),

RCFDCnCFDCFDFd_kHL : <RCFDCn_base> + $640E_H$ + (04_H × d) + (80_H × k),

RCFDCnCFDCFDFd_kHH : <RCFDCn_base> + $640F_H$ + (04_H × d) + (80_H × k)

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFDB4 × d + 3 [7:0]								CFDB4 × d + 2 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFDB4 × d + 1 [7:0]								CFDB4 × d + 0 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.79　RCFDCnCFDCFDFd_k レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>31～24</td><td>CFDB4 × d + 3 [7:0]</td><td rowspan="4">送受信 FIFO バッファデータバイト 4×d+3
送受信 FIFO バッファデータバイト 4×d+2
送受信 FIFO バッファデータバイト 4×d+1
送受信 FIFO バッファデータバイト 4×d+0
● CFM[1:0]ビットが“01_B”（送信モード）時：
送受信 FIFO バッファのデータを設定してください。
● CFM[1:0]ビットが“00_B”（受信モード）時：
送受信 FIFO バッファに格納されたメッセージのデータが読めます。</td></tr>
<tr><td>23～16</td><td>CFDB4 × d + 2 [7:0]</td></tr>
<tr><td>15～8</td><td>CFDB4 × d + 1 [7:0]</td></tr>
<tr><td>7～0</td><td>CFDB4 × d + 0 [7:0]</td></tr>
</table>

RCFDCnCFDCFCCk レジスタの CFM[1:0]ビットが“01_B”（送信モード）の場合、このレジスタに読み書きできます。

CFM[1:0]ビットが“00_B”（受信モード）の場合、このレジスタを読めます。RCFDCnCFDCFPTRk レジスタの CFDLC[3:0]ビットの値が送受信 FIFO バッファのペイロード格納サイズ未満の場合、データが設定されていないデータバイトは、“00_H”が読めます。

送受信 FIFO バッファのペイロード格納サイズは RCFDCnCFDCFCCk レジスタの CFPLS[2:0]ビットで指定します。指定サイズを超える領域に対応する RCFDCnCFDCFDFd_k レジスタは読み書きしないでください。

CFM[1:0]ビットが“10_B”（ゲートウェイモード）の場合は、このレジスタにアクセスしないでください。

24.3.8　FIFO ステータス関連レジスタの詳細

24.3.8.1　RCFDCnCFDFESTS ― FIFO エンプティステータスレジスタ

アクセス　RCFDCnCFDFESTS レジスタは、32 ビット単位でリードのみ可能です。
RCFDCnCFDFESTSL, RCFDCnCFDFESTSH レジスタは、16 ビット単位でリードのみ可能です。
RCFDCnCFDFESTSLL, RCFDCnCFDFESTSLH, RCFDCnCFDFESTSHL, RCFDCnCFDFESTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　RCFDCnCFDFESTS：<RCFDCn_base> + 0238_H
RCFDCnCFDFESTSL：<RCFDCn_base> + 0238_H,
RCFDCnCFDFESTSH：<RCFDCn_base> + $023A_H$
RCFDCnCFDFESTSLL：<RCFDCn_base> + 0238_H,
RCFDCnCFDFESTSLH：<RCFDCn_base> + 0239_H,
RCFDCnCFDFESTSHL：<RCFDCn_base> + $023A_H$,
RCFDCnCFDFESTSHH：<RCFDCn_base> + $023B_H$

リセット後の値　FFFF $FFFF_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CF23EMP	CF22EMP	CF21EMP	CF20EMP	CF19EMP	CF18EMP	CF17EMP	CF16EMP	CF15EMP	CF14EMP	CF13EMP	CF12EMP	CF11EMP	CF10EMP	CF9EMP	CF8EMP
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF7EMP	CF6EMP	CF5EMP	CF4EMP	CF3EMP	CF2EMP	CF1EMP	CF0EMP	RF7EMP	RF6EMP	RF5EMP	RF4EMP	RF3EMP	RF2EMP	RF1EMP	RF0EMP
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.80　RCFDCnCFDFESTS レジスタの内容

ビット位置	ビット名	機能
31	CF23EMP	送受信 FIFO バッファエンプティステータスフラグ 0：送受信 FIFO バッファ k にメッセージあり 1：送受信 FIFO バッファ k にメッセージなし （k＝0～23）
30	CF22EMP	
29	CF21EMP	
28	CF20EMP	
27	CF19EMP	
26	CF18EMP	
25	CF17EMP	
24	CF16EMP	
23	CF15EMP	
22	CF14EMP	
21	CF13EMP	
20	CF12EMP	
19	CF11EMP	
18	CF10EMP	
17	CF9EMP	
16	CF8EMP	
15	CF7EMP	
14	CF6EMP	

表 24.80　RCFDCnCFDFESTS レジスタの内容

ビット位置	ビット名	機能
13	CF5EMP	送受信 FIFO バッファエンプティステータスフラグ 0：送受信 FIFO バッファ k にメッセージあり 1：送受信 FIFO バッファ k にメッセージなし （k＝0～23）
12	CF4EMP	
11	CF3EMP	
10	CF2EMP	
9	CF1EMP	
8	CF0EMP	
7	RF7EMP	受信 FIFO バッファエンプティステータスフラグ 0：受信 FIFO バッファ x に未読メッセージあり 1：受信 FIFO バッファ x に未読メッセージなし （x＝0～7）
6	RF6EMP	
5	RF5EMP	
4	RF4EMP	
3	RF3EMP	
2	RF2EMP	
1	RF1EMP	
0	RF0EMP	

RCFDCnCFDFESTS レジスタは、グローバルリセットモード時、“FFFF $FFFF_H$”になります。

CFkEMP フラグ（k＝0～23）

RCFDCnCFDCFSTSk レジスタの CFEMP フラグが“1”（送受信 FIFO バッファにメッセージなし（バッファエンプティ））になると、CFkEMP フラグは“1”になります。CFEMP フラグが“0”（送受信 FIFO バッファにメッセージあり）になると、CFkEMP フラグは“0”になります。

RFxEMP フラグ（x＝0～7）

RCFDCnCFDRFSTSx レジスタの RFEMP フラグが“1”（受信 FIFO バッファに未読メッセージなし）になると、RFxEMP フラグは“1”になります。RFEMP フラグが“0”（受信 FIFO バッファに未読メッセージあり）になると、RFxEMP フラグは“0”になります。

24.3.8.2　RCFDCnCFDFFSTS ― FIFO フルステータスレジスタ

アクセス　RCFDCnCFDFFSTS レジスタは、32 ビット単位でリードのみ可能です。

RCFDCnCFDFFSTSL, RCFDCnCFDFFSTSH レジスタは、16 ビット単位でリードのみ可能です。

RCFDCnCFDFFSTSLL, RCFDCnCFDFFSTSLH, RCFDCnCFDFFSTSHL, RCFDCnCFDFFSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　RCFDCnCFDFFSTS：<RCFDCn_base> + 023C$_H$

RCFDCnCFDFFSTSL：<RCFDCn_base> + 023C$_H$,

RCFDCnCFDFFSTSH：<RCFDCn_base> + 023E$_H$

RCFDCnCFDFFSTSLL：<RCFDCn_base> + 023C$_H$,

RCFDCnCFDFFSTSLH：<RCFDCn_base> + 023D$_H$,

RCFDCnCFDFFSTSHL：<RCFDCn_base> + 023E$_H$,

RCFDCnCFDFFSTSHH：<RCFDCn_base> + 023F$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CF23FLL	CF22FLL	CF21FLL	CF20FLL	CF19FLL	CF18FLL	CF17FLL	CF16FLL	CF15FLL	CF14FLL	CF13FLL	CF12FLL	CF11FLL	CF10FLL	CF9FLL	CF8FLL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF7FLL	CF6FLL	CF5FLL	CF4FLL	CF3FLL	CF2FLL	CF1FLL	CF0FLL	RF7FLL	RF6FLL	RF5FLL	RF4FLL	RF3FLL	RF2FLL	RF1FLL	RF0FLL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.81　RCFDCnCFDFFSTS レジスタの内容

ビット位置	ビット名	機能
31	CF23FLL	送受信 FIFO バッファフルステータスフラグ 0：送受信 FIFO バッファ k はフルではない 1：送受信 FIFO バッファ k はフル （k＝0～23）
30	CF22FLL	
29	CF21FLL	
28	CF20FLL	
27	CF19FLL	
26	CF18FLL	
25	CF17FLL	
24	CF16FLL	
23	CF15FLL	
22	CF14FLL	
21	CF13FLL	
20	CF12FLL	
19	CF11FLL	
18	CF10FLL	
17	CF9FLL	
16	CF8FLL	
15	CF7FLL	
14	CF6FLL	
13	CF5FLL	
12	CF4FLL	

表 24.81　RCFDCnCFDFFSTS レジスタの内容

ビット位置	ビット名	機能
11	CF3EMP	送受信 FIFO バッファフルステータスフラグ 0：送受信 FIFO バッファ k はフルではない 1：送受信 FIFO バッファ k はフル （k＝0～23）
10	CF2EMP	
9	CF1EMP	
8	CF0EMP	
7	RF7FLL	受信 FIFO バッファフルステータスフラグ 0：受信 FIFO バッファ x はフルではない 1：受信 FIFO バッファ x はフル （x＝0～7）
6	RF6FLL	
5	RF5FLL	
4	RF4FLL	
3	RF3FLL	
2	RF2FLL	
1	RF1FLL	
0	RF0FLL	

RCFDCnCFDFFSTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

CFkFLL フラグ（k＝0～23）

RCFDCnCFDCFSTSk レジスタの CFFLL フラグが“1”（バッファフル）になると、CFkFLL フラグは“1”になります。

CFFLL フラグが“0”（送受信 FIFO がバッファフルでない）になると、CFkFLL フラグは“0”になります。

RFxFLL フラグ（x＝0～7）

RCFDCnCFDRFSTSx レジスタの RFFLL フラグが“1”（バッファフル）になると、RFxFLL フラグは“1”になります。RFFLL フラグが“0”（バッファフルでない）になると、RFxFLL フラグは“0”になります。

24.3.8.3　RCFDCnCFDFMSTS — FIFO メッセージロストステータスレジスタ

アクセス　RCFDCnCFDFMSTS レジスタは、32 ビット単位でリードのみ可能です。

RCFDCnCFDFMSTSL, RCFDCnCFDFMSTSH レジスタは、16 ビット単位でリードのみ可能です。

RCFDCnCFDFMSTSLL, RCFDCnCFDFMSTSLH, RCFDCnCFDFMSTSHL, RCFDCnCFDFMSTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　RCFDCnCFDFMSTS：<RCFDCn_base> + 0240$_H$

RCFDCnCFDFMSTSL：<RCFDCn_base> + 0240$_H$,

RCFDCnCFDFMSTSH：<RCFDCn_base> + 0242$_H$

RCFDCnCFDFMSTSLL：<RCFDCn_base> + 0240$_H$,

RCFDCnCFDFMSTSLH：<RCFDCn_base> + 0241$_H$,

RCFDCnCFDFMSTSHL：<RCFDCn_base> + 0242$_H$,

RCFDCnCFDFMSTSHH：<RCFDCn_base> + 0243$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CF23MLT	CF22MLT	CF21MLT	CF20MLT	CF19MLT	CF18MLT	CF17MLT	CF16MLT	CF15MLT	CF14MLT	CF13MLT	CF12MLT	CF11MLT	CF10MLT	CF9MLT	CF8MLT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF7MLT	CF6MLT	CF5MLT	CF4MLT	CF3MLT	CF2MLT	CF1MLT	CF0MLT	RF7MLT	RF6MLT	RF5MLT	RF4MLT	RF3MLT	RF2MLT	RF1MLT	RF0MLT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.82　RCFDCnCFDFMSTS レジスタの内容

ビット位置	ビット名	機能
31	CF23MLT	送受信 FIFO バッファメッセージロストステータスフラグ 0：送受信 FIFO バッファ k メッセージロストなし 1：送受信 FIFO バッファ k メッセージロスト （k＝0～23）
30	CF22MLT	
29	CF21MLT	
28	CF20MLT	
27	CF19MLT	
26	CF18MLT	
25	CF17MLT	
24	CF16MLT	
23	CF15MLT	
22	CF14MLT	
21	CF13MLT	
20	CF12MLT	
19	CF11MLT	
18	CF10MLT	
17	CF9MLT	
16	CF8MLT	
15	CF7MLT	
14	CF6MLT	
13	CF5MLT	
12	CF4MLT	

表 24.82　RCFDCnCFDFMSTS レジスタの内容

ビット位置	ビット名	機能
11	CF3MLT	送受信 FIFO バッファメッセージロストステータスフラグ 0：送受信 FIFO バッファ k メッセージロストなし 1：送受信 FIFO バッファ k メッセージロスト （k＝0～23）
10	CF2MLT	
9	CF1MLT	
8	CF0MLT	
7	RF7MLT	受信 FIFO バッファメッセージロストステータスフラグ 0：受信 FIFO バッファ x メッセージロストなし 1：受信 FIFO バッファ x メッセージロスト （x＝0～7）
6	RF6MLT	
5	RF5MLT	
4	RF4MLT	
3	RF3MLT	
2	RF2MLT	
1	RF1MLT	
0	RF0MLT	

RCFDCnCFDFMSTS レジスタは、グローバルリセットモード時、“$0000\ 0000_H$”になります。

CFkMLT フラグ（k＝0～23）

RCFDCnCFDCFSTSk レジスタの CFMLT フラグが“1”（メッセージロスト）になると、CFkMLT フラグは“1”になります。CFMLT フラグを“0”にすると、CFkMLT フラグは“0”になります。

RFxMLT フラグ（x＝0～7）

RCFDCnCFDRFSTSx レジスタの RFMLT フラグが“1”（メッセージロスト）になると、RFxMLT フラグは“1”になります。RFMLT フラグを“0”にすると、RFxMLT フラグは“0”になります。

24.3.8.4　RCFDCnCFDRFISTS— 受信 FIFO バッファ割り込みフラグステータスレジスタ

アクセス　RCFDCnCFDRFISTS レジスタは、32 ビット単位でリードのみ可能です。
RCFDCnCFDRFISTSL レジスタは、16 ビット単位でリードのみ可能です。
RCFDCnCFDRFISTSLL レジスタは、8 ビット単位でリードのみ可能です。

アドレス　RCFDCnCFDRFISTS：<RCFDCn_base> + 0244_H
RCFDCnCFDRFISTSL：<RCFDCn_base> + 0244_H
RCFDCnCFDRFISTSLL：<RCFDCn_base> + 0244_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RF7IF	RF6IF	RF5IF	RF4IF	RF3IF	RF2IF	RF1IF	RF0IF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.83　RCFDCnCFDRFISTS レジスタの内容

ビット位置	ビット名	機能
31～8	予約ビット	リードした場合はリセット後の値が読めます。
7	RF7IF	受信 FIFO バッファ割り込み要求ステータスフラグ 0：受信 FIFO バッファ x 割り込み要求なし 1：受信 FIFO バッファ x 割り込み要求あり （x＝0～7）
6	RF6IF	
5	RF5IF	
4	RF4IF	
3	RF3IF	
2	RF2IF	
1	RF1IF	
0	RF0IF	

RCFDCnCFDRFISTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

RFxIF フラグ（x＝0～7）

RCFDCnCFDRFSTSx レジスタの RFIF フラグが“1”（割り込み要求あり）になると、RFxIF フラグは“1”になります。RFIF フラグを“0”にすると、RFxIF フラグは“0”になります。

24.3.8.5　RCFDCnCFDCFRISTS — 送受信 FIFO バッファ受信割り込みフラグステータスレジスタ

アクセス　RCFDCnCFDCFRISTS レジスタは、32 ビット単位でリードのみ可能です。
RCFDCnCFDCFRISTSL, RCFDCnCFDCFRISTSH レジスタは、16 ビット単位でリードのみ可能です。
RCFDCnCFDCFRISTSLL, RCFDCnCFDCFRISTSLH, RCFDCnCFDCFRISTSHL レジスタは、8 ビット単位でリードのみ可能です。

アドレス　RCFDCnCFDCFRISTS：<RCFDCn_base> + 0248$_H$
RCFDCnCFDCFRISTSL：<RCFDCn_base> + 0248$_H$,
RCFDCnCFDCFRISTSH：<RCFDCn_base> + 024A$_H$
RCFDCnCFDCFRISTSLL：<RCFDCn_base> + 0248$_H$,
RCFDCnCFDCFRISTSLH：<RCFDCn_base> + 0249$_H$,
RCFDCnCFDCFRISTSHL：<RCFDCn_base> + 024A$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	CF23RXIF	CF22RXIF	CF21RXIF	CF20RXIF	CF19RXIF	CF18RXIF	CF17RXIF	CF16RXIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF15RXIF	CF14RXIF	CF13RXIF	CF12RXIF	CF11RXIF	CF10RXIF	CF9RXIF	CF8RXIF	CF7RXIF	CF6RXIF	CF5RXIF	CF4RXIF	CF3RXIF	CF2RXIF	CF1RXIF	CF0RXIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.84　RCFDCnCFDCFRISTS レジスタの内容

ビット位置	ビット名	機能
31～24	予約ビット	リードした場合はリセット後の値が読めます。
23	CF23RXIF	送受信 FIFO バッファ受信割り込み要求ステータスフラグ 0：送受信 FIFO バッファ k 受信割り込み要求なし 1：送受信 FIFO バッファ k 受信割り込み要求あり （k＝0～23）
22	CF22RXIF	
21	CF21RXIF	
20	CF20RXIF	
19	CF19RXIF	
18	CF18RXIF	
17	CF17RXIF	
16	CF16RXIF	
15	CF15RXIF	
14	CF14RXIF	
13	CF13RXIF	
12	CF12RXIF	
11	CF11RXIF	
10	CF10RXIF	
9	CF9RXIF	
8	CF8RXIF	
7	CF7RXIF	
6	CF6RXIF	

表 24.84　RCFDCnCFDCFRISTS レジスタの内容

ビット位置	ビット名	機能
5	CF5RXIF	送受信 FIFO バッファ受信割り込み要求ステータスフラグ 0：送受信 FIFO バッファ k 受信割り込み要求なし 1：送受信 FIFO バッファ k 受信割り込み要求あり （k＝0～23）
4	CF4RXIF	
3	CF3RXIF	
2	CF2RXIF	
1	CF1RXIF	
0	CF0RXIF	

RCFDCnCFDCFRISTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

CFkRXIF フラグ（k＝0~23）

RCFDCnCFDCFSTSk レジスタの CFRXIF フラグが“1”（割り込み要求あり）になると、CFkRXIF フラグは“1”になります。CFRXIF フラグを“0”にすると、CFkRXIF フラグは“0”になります。

24.3.8.6 RCFDCnCFDCFTISTS — 送受信 FIFO バッファ送信割り込みフラグステータスレジスタ

アクセス RCFDCnCFDCFTISTS レジスタは、32 ビット単位でリードのみ可能です。

RCFDCnCFDCFTISTSL, RCFDCnCFDCFTISTSH レジスタは、16 ビット単位でリードのみ可能です。

RCFDCnCFDCFTISTSLL, RCFDCnCFDCFTISTSLH, RCFDCnCFDCFTISTSHL レジスタは、8 ビット単位でリードのみ可能です。

アドレス RCFDCnCFDCFTISTS : <RCFDCn_base> + $024C_H$

RCFDCnCFDCFTISTSL : <RCFDCn_base> + $024C_H$,
RCFDCnCFDCFTISTSH : <RCFDCn_base> + $024E_H$,

RCFDCnCFDCFTISTSLL : <RCFDCn_base> + $024C_H$,
RCFDCnCFDCFTISTSLH : <RCFDCn_base> + $024D_H$,

RCFDCnCFDCFTISTSHL : <RCFDCn_base> + $024E_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	CF23TXIF	CF22TXIF	CF21TXIF	CF20TXIF	CF19TXIF	CF18TXIF	CF17TXIF	CF16TXIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CF15TXIF	CF14TXIF	CF13TXIF	CF12TXIF	CF11TXIF	CF10TXIF	CF9TXIF	CF8TXIF	CF7TXIF	CF6TXIF	CF5TXIF	CF4TXIF	CF3TXIF	CF2TXIF	CF1TXIF	CF0TXIF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.85　RCFDCnCFDCFTISTS レジスタの内容

ビット位置	ビット名	機能
31～24	予約ビット	リードした場合はリセット後の値が読めます。
23	CF23TXIF	送受信 FIFO バッファ送信割り込み要求ステータスフラグ 0：送受信 FIFO バッファ k 送信割り込み要求なし 1：送受信 FIFO バッファ k 送信割り込み要求あり （k＝0～23）
22	CF22TXIF	
21	CF21TXIF	
20	CF20TXIF	
19	CF19TXIF	
18	CF18TXIF	
17	CF17TXIF	
16	CF16TXIF	
15	CF15TXIF	
14	CF14TXIF	
13	CF13TXIF	
12	CF12TXIF	
11	CF11TXIF	
10	CF10TXIF	
9	CF9TXIF	
8	CF8TXIF	
7	CF7TXIF	
6	CF6TXIF	
5	CF5TXIF	

表 24.85　RCFDCnCFDCFTISTS レジスタの内容

ビット位置	ビット名	機能
4	CF4TXIF	送受信 FIFO バッファ送信割り込み要求ステータスフラグ 0：送受信 FIFO バッファ k 送信割り込み要求なし 1：送受信 FIFO バッファ k 送信割り込み要求あり （k＝0～23）
3	CF3TXIF	
2	CF2TXIF	
1	CF1TXIF	
0	CF0TXIF	

RCFDCnCFDCFTISTS レジスタは、グローバルリセットモード時、“0000 0000_H”になります。

CFkTXIF フラグ（k＝0～23）

RCFDCnCFDCFSTSk レジスタの CFTXIF フラグが“1”（割り込み要求あり）になると、CFkTXIF フラグは“1”になります。CFTXIF フラグを“0”にすると、CFkTXIF フラグは“0”になります。

24.3.9 FIFO DMA 関連レジスタの詳細

24.3.9.1 RCFDCnCFDCDTCT — DMA 許可レジスタ

アクセス　RCFDCnCFDCDTCT レジスタは、32 ビット単位でリード／ライト可能です。
RCFDCnCFDCDTCTL レジスタは、16 ビット単位でリード／ライト可能です。
RCFDCnCFDCDTCTLL, RCFDCnCFDCDTCTLH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RCFDCnCFDCDTCT：<RCFDCn_base> + 0640_H
RCFDCnCFDCDTCTL：<RCFDCn_base> + 0640_H
RCFDCnCFDCDTCTLL：<RCFDCn_base> + 0640_H,
RCFDCnCFDCDTCTLH：<RCFDCn_base> + 0641_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFDMAE7	CFDMAE6	CFDMAE5	CFDMAE4	CFDMAE3	CFDMAE2	CFDMAE1	CFDMAE0	RFDMAE7	RFDMAE6	RFDMAE5	RFDMAE4	RFDMAE3	RFDMAE2	RFDMAE1	RFDMAE0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.86　RCFDCnCFDCDTCT レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	CFDMAE7	送受信 FIFO バッファ 21 DMA 許可ビット 0：送受信 FIFO バッファ 21 の DMA 転送要求を許可しない 1：送受信 FIFO バッファ 21 の DMA 転送要求を許可する
14	CFDMAE6	送受信 FIFO バッファ 18 DMA 許可ビット 0：送受信 FIFO バッファ 18 の DMA 転送要求を許可しない 1：送受信 FIFO バッファ 18 の DMA 転送要求を許可する
13	CFDMAE5	送受信 FIFO バッファ 15DMA 許可ビット 0：送受信 FIFO バッファ 15 の DMA 転送要求を許可しない 1：送受信 FIFO バッファ 15 の DMA 転送要求を許可する
12	CFDMAE4	送受信 FIFO バッファ 12 DMA 許可ビット 0：送受信 FIFO バッファ 12 の DMA 転送要求を許可しない 1：送受信 FIFO バッファ 12 の DMA 転送要求を許可する
11	CFDMAE3	送受信 FIFO バッファ 9 DMA 許可ビット 0：送受信 FIFO バッファ 9 の DMA 転送要求を許可しない 1：送受信 FIFO バッファ 9 の DMA 転送要求を許可する
10	CFDMAE2	送受信 FIFO バッファ 6 DMA 許可ビット 0：送受信 FIFO バッファ 6 の DMA 転送要求を許可しない 1：送受信 FIFO バッファ 6 の DMA 転送要求を許可する
9	CFDMAE1	送受信 FIFO バッファ 3 DMA 許可ビット 0：送受信 FIFO バッファ 3 の DMA 転送要求を許可しない 1：送受信 FIFO バッファ 3 の DMA 転送要求を許可する

表 24.86　RCFDCnCFDCDTCT レジスタの内容

ビット位置	ビット名	機能
8	CFDMAE0	送受信 FIFO バッファ 0 DMA 許可ビット 0：送受信 FIFO バッファ 0 の DMA 転送要求を許可しない 1：送受信 FIFO バッファ 0 の DMA 転送要求を許可する
7	RFDMAE7	RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2： 受信 FIFO バッファ x DMA 許可ビット 0：受信 FIFO バッファ x の DMA 転送要求を許可しない 1：受信 FIFO バッファ x の DMA 転送要求を許可する （x＝0～7） RH850/F1KM-S1： 受信 FIFO バッファ x DMA 許可ビット 0：受信 FIFO バッファ x の DMA 転送要求を許可しない 1：受信 FIFO バッファ x の DMA 転送要求を許可する （x＝0～5）
6	RFDMAE6	
5	RFDMAE5	
4	RFDMAE4	
3	RFDMAE3	
2	RFDMAE2	
1	RFDMAE1	
0	RFDMAE0	

RCFDCnCFDCDTCT レジスタは、グローバル動作モードまたはグローバルテストモードで書き換えてください。

CFDMAEm ビット

送受信 FIFO バッファ 3×m（チャネル m に割り当てられた最初の送受信 FIFO バッファ）の DMA 転送を許可します。RCFDCnCFDCFCCk レジスタの CFM[1:0]ビットを“00_B”（受信モード）に設定した送受信 FIFO バッファのみ DMA 転送を許可できます。

CFM[1:0]ビットが“01_B”（送信モード）または“10_B”（ゲートウェイモード）の場合は、“0”にしてください。

RFDMAEx ビット

受信 FIFO バッファ x の DMA 転送を許可します。

24.3.9.2　RCFDCnCFDCDTSTS — DMA ステータスレジスタ

アクセス　RCFDCnCFDCDTSTS レジスタは、32 ビット単位でリードのみ可能です。
RCFDCnCFDCDTSTSL レジスタは、16 ビット単位でリードのみ可能です。
RCFDCnCFDCDTSTSLL, RCFDCnCFDCDTSTSLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　RCFDCnCFDCDTSTS：<RCFDCn_base> + 0644_H
RCFDCnCFDCDTSTSL：<RCFDCn_base> + 0644_H
RCFDCnCFDCDTSTSLL：<RCFDCn_base> + 0644_H,
RCFDCnCFDCDTSTSLH：<RCFDCn_base> + 0645_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFDMA STS7	CFDMA STS6	CFDMA STS5	CFDMA STS4	CFDMA STS3	CFDMA STS2	CFDMA STS1	CFDMA STS0	RFDMA STS7	RFDMA STS6	RFDMA STS5	RFDMA STS4	RFDMA STS3	RFDMA STS2	RFDMA STS1	RFDMA STS0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.87　RCFDCnCFDCDTSTS レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。
15	CFDMASTS7	送受信 FIFO バッファ 21 DMA ステータスビット 0：送受信 FIFO バッファ 21 の DMA 転送中でない 1：送受信 FIFO バッファ 21 の DMA 転送中
14	CFDMASTS6	送受信 FIFO バッファ 18 DMA ステータスビット 0：送受信 FIFO バッファ 18 の DMA 転送中でない 1：送受信 FIFO バッファ 18 の DMA 転送中
13	CFDMASTS5	送受信 FIFO バッファ 15 DMA ステータスビット 0：送受信 FIFO バッファ 15 の DMA 転送中でない 1：送受信 FIFO バッファ 15 の DMA 転送中
12	CFDMASTS4	送受信 FIFO バッファ 12 DMA ステータスビット 0：送受信 FIFO バッファ 12 の DMA 転送中でない 1：送受信 FIFO バッファ 12 の DMA 転送中
11	CFDMASTS3	送受信 FIFO バッファ 9 DMA ステータスビット 0：送受信 FIFO バッファ 9 の DMA 転送中でない 1：送受信 FIFO バッファ 9 の DMA 転送中
10	CFDMASTS2	送受信 FIFO バッファ 6 DMA ステータスビット 0：送受信 FIFO バッファ 6 の DMA 転送中でない 1：送受信 FIFO バッファ 6 の DMA 転送中
9	CFDMASTS1	送受信 FIFO バッファ 3 DMA ステータスビット 0：送受信 FIFO バッファ 3 の DMA 転送中でない 1：送受信 FIFO バッファ 3 の DMA 転送中
8	CFDMASTS0	送受信 FIFO バッファ 0 DMA ステータスビット 0：送受信 FIFO バッファ 0 の DMA 転送中でない 1：送受信 FIFO バッファ 0 の DMA 転送中

表 24.87　RCFDCnCFDCDTSTS レジスタの内容

ビット位置	ビット名	機能
7	RFDMASTS7	RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2： 受信 FIFO バッファ x DMA ステータスビット 0：受信 FIFO バッファ x の DMA 転送中でない 1：受信 FIFO バッファ x の DMA 転送中 （x＝0～7） RH850/F1KM-S1： 受信 FIFO バッファ x DMA ステータスビット 0：受信 FIFO バッファ x の DMA 転送中でない 1：受信 FIFO バッファ x の DMA 転送中 （x＝0～5）
6	RFDMASTS6	
5	RFDMASTS5	
4	RFDMASTS4	
3	RFDMASTS3	
2	RFDMASTS2	
1	RFDMASTS1	
0	RFDMASTS0	

CFDMASTSm ビット

送受信 FIFO バッファ 3×m（チャネル m に割り当てられた先頭の送受信 FIFO バッファ）の DMA 転送が許可状態（RCFDCnCFDCDTCT レジスタの CFDMAEm ビットが“1”）で送受信 FIFO バッファにメッセージがあるとき、CFDMASTSm ビットは“1”になり、DMA 転送中であることを示します。

送受信 FIFO バッファの全メッセージが転送されるか DMA 転送が禁止状態（CFDMAEm ビットが“0”）になると、CFDMASTSm ビットは“0”になり、DMA 転送が完了したことを示します。DMA 転送中に CFDMAEm ビットを“0”にした場合、実行中の DMA 転送が完了した（転送中のメッセージがペイロード格納領域の最終バイトまで転送された）後で CFDMASTSm ビットが“0”になります。

このビットは、グローバルリセットモードで 0 にクリアされます。

RFDMASTSx ビット

受信 FIFO バッファ x の DMA 転送が許可状態（RCFDCnCFDCDTCT レジスタの対応する RFDMAEx ビットが“1”）で受信 FIFO バッファにメッセージがあるとき、RFDMASTSx ビットは“1”になり、DMA 転送中であることを示します。

受信 FIFO バッファ x の全メッセージが転送されるか DMA 転送が禁止状態（RFDMAEx ビットが“0”）になると、RFDMASTSx ビットは“0”になり、DMA 転送が完了したことを示します。DMA 転送中に RFDMAEx ビットを“0”にした場合、実行中の DMA 転送が完了した（転送中のメッセージがペイロード格納領域の最終バイトまで転送された）後で RFDMASTSx ビットが“0”になります。このビットは、グローバルリセットモードで 0 にクリアされます。

24.3.10　送信バッファ関連レジスタの詳細

24.3.10.1　RCFDCnCFDTMCp ― 送信バッファ制御レジスタ（p＝0～255）

アクセス　RCFDCnCFDTMCp レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RCFDCnCFDTMCp：<RCFDCn_base>＋0250$_H$＋(01$_H$×p)

リセット後の値　00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	TMOM	TMTAR	TMTR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W 注1	R/W 注1

注1.　このビットへの書き込みは、ビットセットする（“1”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 24.88　RCFDCnCFDTMCp レジスタの内容

ビット位置	ビット名	機能
7～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	TMOM	ワンショット送信許可ビット 0：ワンショット送信禁止 1：ワンショット送信許可
1	TMTAR	送信アボート要求ビット 0：送信アボートを要求しない 1：送信アボートを要求する
0	TMTR	送信要求ビット 0：送信を要求しない 1：送信を要求する

RCFDCnCFDTMCp レジスタが次の条件を満たす場合は、“00$_H$”にしてください。

- RCFDCnCFDCFCCk レジスタの CFTML[4:0]ビットで選択した送信バッファ番号に対応する RCFDCnCFDTMCp レジスタ（p＝m×32＋CFTML[4:0]ビットの値）
- RCFDCnCFDTXQCCm レジスタ（m＝0～7）の TXQDC[4:0]ビットで送信キューに割り当てた送信バッファに対応する RCFDCnCFDTMCp レジスタ（p＝(m×32＋31)～(m×32＋31－TXQDC[4:0]ビットの値)）

RCFDCnCFDTMCp レジスタのビットは、チャネルリセットモード時に“0”になります。
RCFDCnCFDTMCp レジスタは、チャネル通信モードまたはチャネル待機モードで書き換えてください。

TMOM ビット

“1”にすると、ワンショット送信が許可されます。送信に失敗しても、CAN プロトコルに規定された再送信を行いません。

TMOM ビットは、RCFDCnCFDTMSTSp レジスタの TMTRM フラグが“0”のときに書き換えてください。
TMOM ビットに“1”を書く場合は、TMTR ビットと同時に“1”を書いてください。

TMTAR ビット

“1”にすると、送信バッファに格納されたメッセージの送信アボート要求が発生します。ただし、送信中または次の送信に決定したメッセージはアボートできません。

TMTR ビットが“1”のとき、TMTAR ビットを“1”にできます。

TMTAR ビットは次の条件で“0”になります。プログラムで“0”を書いても“0”になりません。

- 送信が完了したとき
- 送信アボートが完了したとき
- エラーまたはアービトレーションロストを検出したとき

“0”になるタイミングと“1”を書くタイミングが同じ場合、“0”になります。

TMTR ビット

“1”にすると、送信バッファに格納されたメッセージの送信を行います。

TMTR ビットは次の条件で“0”になります。プログラムで“0”を書いても“0”にできません。

- 送信が完了したとき
- TMTAR ビットを“1”にし、送信アボートが完了したとき
- TMOM ビットが“1”の状態で、エラーまたはアービトレーションロストを検出したとき

RCFDCnCFDTMSTSp レジスタの TMTRF[1:0]フラグが“00_B”のときに、TMTR ビットを“1”に設定してください。

24.3.10.2　RCFDCnCFDTMSTSp ― 送信バッファステータスレジスタ（p＝0～255）

アクセス　RCFDCnCFDTMSTSp レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RCFDCnCFDTMSTSp：<RCFDCn_base>＋0350$_H$＋(01$_H$×p)

リセット後の値　00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	TMTARM	TMTRM	TMTRF[1:0]		TMTSTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R

表 24.89　RCFDCnCFDTMSTSp レジスタの内容

ビット位置	ビット名	機能
7～5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	TMTARM	送信バッファ送信アボート要求ステータスフラグ 0：送信アボート要求なし 1：送信アボート要求あり
3	TMTRM	送信バッファ送信要求ステータスフラグ 0：送信要求なし 1：送信要求あり
2, 1	TMTRF[1:0]	送信バッファ送信結果フラグ b2　b1 0　0：送信中、または送信要求なし 0　1：送信アボート完了 1　0：送信完了（送信アボート要求なし） 1　1：送信完了（送信アボート要求あり）
0	TMTSTS	送信バッファ送信ステータスフラグ 0：送信中ではない 1：送信中

RCFDCnCFDTMSTSp レジスタのビットは、チャネルリセットモード時に“0”になります。

TMTARM フラグ

RCFDCnCFDTMCp レジスタの TMTAR ビットを“1”にすると、TMTARM フラグは“1”になります。
RCFDCnCFDTMCp レジスタの TMTAR ビットが“0”になると、TMTARM フラグは“0”になります。

TMTRM フラグ

RCFDCnCFDTMCp レジスタの TMTR ビットを“1”にすると、TMTRM フラグは“1”になります。
RCFDCnCFDTMCp レジスタの TMTR ビットが“0”になると、TMTRM フラグは“0”になります。

TMTRF[1:0]フラグ

送信バッファからの送信結果を示します。

00$_B$：送信中または送信要求なし。

01$_B$：送信バッファからの送信がアボートされた。

10$_B$：RCFDCnCFDTMCp レジスタの TMTAR ビットが“0”（送信アボートを要求しない）で、送信が完了した。

11_B：RCFDCnCFDTMCp レジスタの TMTAR ビットが“1”（送信アボートを要求する）で、送信が完了した。

TMTRF[1:0]フラグは、チャネル通信モードまたはチャネル待機モードで“00_B”を書いてください。“00_B”以外の値は書かないでください。

TMTSTS フラグ

送信バッファからの送信が開始すると、“1”になります。送信バッファからの送信が完了、またはバスエラーやアービトレーションロストにより中断されると、“0”になります。

24.3.10.3　RCFDCnCFDTMIDp ― 送信バッファ ID レジスタ（p＝0～255）

アクセス　RCFDCnCFDTMIDp レジスタは、32 ビット単位でリード／ライト可能です。

RCFDCnCFDTMIDpL, RCFDCnCFDTMIDpH レジスタは、16 ビット単位でリード／ライト可能です。

RCFDCnCFDTMIDpLL, RCFDCnCFDTMIDpLH, RCFDCnCFDTMIDpHL, RCFDCnCFDTMIDpHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RCFDCnCFDTMIDp：<RCFDCn_base>＋8000_H＋(80_H×p)

RCFDCnCFDTMIDpL：<RCFDCn_base>＋8000_H＋(80_H×p),

RCFDCnCFDTMIDpH：<RCFDCn_base>＋8002_H＋(80_H×p)

RCFDCnCFDTMIDpLL：<RCFDCn_base>＋8000_H＋(80_H×p),

RCFDCnCFDTMIDpLH：<RCFDCn_base>＋8001_H＋(80_H×p),

RCFDCnCFDTMIDpHL：<RCFDCn_base>＋8002_H＋(80_H×p),

RCFDCnCFDTMIDpHH：<RCFDCn_base>＋8003_H＋(80_H×p)

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMIDE	TMRTR	THLEN	TMID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.90　RCFDCnCFDTMIDp レジスタの内容

ビット位置	ビット名	機能
31	TMIDE	送信バッファ IDE ビット 0：標準 ID 1：拡張 ID
30	TMRTR	送信バッファ RTR/RRS ビット ● 送信メッセージがクラシカル CAN フレームのとき 0：データフレーム 1：リモートフレーム ● 送信メッセージが CAN FD フレームのとき “0”を書いてください。
29	THLEN	送信履歴データ格納許可ビット 0：送信履歴データをバッファに格納しない 1：送信履歴データをバッファに格納する
28～0	TMID[28:0]	送信バッファ ID データ 標準 ID または拡張 ID を設定してください。 標準 ID の場合、b10～b0 に ID を設定してください。b28～b11 は“0”にしてください。

このレジスタは、対応する RCFDCnCFDTMSTSp レジスタの TMTRM ビットが“0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p＝m×32＋31)のみに書いてください。

TMIDE ビット

送信バッファから送信するメッセージの ID フォーマットを設定します。

TMRTR ビット

送信バッファから送信するメッセージのデータフォーマットを設定します。

RCFDCnCFDTMFDCTRp レジスタの TMFDF ビットが 1（CAN FD フレーム）のとき、このビットを 0 に設定してください。

THLEN ビット

“1”にすると、送信が完了した後、送信メッセージの送信履歴データ（ラベル情報、バッファ番号、バッファタイプ、タイムスタンプ）が送信履歴バッファに格納されます。

TMID[28:0]ビット

送信バッファから送信するメッセージの ID を設定します。

24.3.10.4　RCFDCnCFDTMPTRp ― 送信バッファポインタレジスタ（p＝0～255）

アクセス　RCFDCnCFDTMPTRp レジスタは、32 ビット単位でリード／ライト可能です。
RCFDCnCFDTMPTRpH レジスタは、16 ビット単位でリード／ライト可能です。
RCFDCnCFDTMPTRpHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RCFDCnCFDTMPTRp：<RCFDCn_base>＋8004_H＋(80_H×p)
RCFDCnCFDTMPTRpH：<RCFDCn_base>＋8006_H＋(80_H×p)
RCFDCnCFDTMPTRpHH：<RCFDCn_base>＋8007_H＋(80_H×p)

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDLC[3:0]				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.91　RCFDCnCFDTMPTRp レジスタの内容

ビット位置	ビット名	機能
31～28	TMDLC[3:0]	送信バッファ DLC データ
27～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

b31	b30	b29	b28	クラシカル CAN フレーム	CAN FD フレーム
0	0	0	0	0 データバイト	
0	0	0	1	1 データバイト	
0	0	1	0	2 データバイト	
0	0	1	1	3 データバイト	
0	1	0	0	4 データバイト	
0	1	0	1	5 データバイト	
0	1	1	0	6 データバイト	
0	1	1	1	7 データバイト	
1	0	0	0	8 データバイト	
1	0	0	1	8 データバイト	12 データバイト
1	0	1	0		16 データバイト
1	0	1	1		20 データバイト
1	1	0	0		24 データバイト
1	1	0	1		32 データバイト
1	1	1	0		48 データバイト
1	1	1	1		64 データバイト

このレジスタは、対応する RCFDCnCFDTMSTSp レジスタの TMTRM ビットが“0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p＝m×32＋31)のみに書いてください。

TMDLC[3:0]ビット

RCFDCnCFDTMIDp レジスタの TMRTR ビットが“0”（データフレーム）のとき、送信バッファから送信されるメッセージのデータ長を設定します。

RCFDCnCFDTMFDCTRp レジスタの TMFDF ビットが 0（クラシカル CAN フレーム）のときに、TMDLC[3:0]ビットを 1001_B 以上に設定すると、実際には 8 バイトのデータが送信されます。TMRTR ビットが 1（リモートフレーム）のとき、本ビットは要求されるメッセージのデータ長を設定します。

24.3.10.5 RCFDCnCFDTMFDCTRp — 送信バッファ CAN FD コンフィグレーションレジスタ（p＝0～255）

アクセス RCFDCnCFDTMFDCTRp レジスタは、32 ビット単位でリード／ライト可能です。

RCFDCnCFDTMFDCTRpL, RCFDCnCFDTMFDCTRpH レジスタは、16 ビット単位でリード／ライト可能です。

RCFDCnCFDTMFDCTRpLL, RCFDCnCFDTMFDCTRpHL, RCFDCnCFDTMFDCTRpHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RCFDCnCFDTMFDCTRp：<RCFDCn_base>＋8008$_H$＋(80$_H$×p)

RCFDCnCFDTMFDCTRpL：<RCFDCn_base>＋8008$_H$＋(80$_H$×p),

RCFDCnCFDTMFDCTRpH：<RCFDCn_base>＋800A$_H$＋(80$_H$×p)

RCFDCnCFDTMFDCTRpLL：<RCFDCn_base>＋8008$_H$＋(80$_H$×p),

RCFDCnCFDTMFDCTRpHL：<RCFDCn_base>＋800A$_H$＋(80$_H$×p),

RCFDCnCFDTMFDCTRpHH：<RCFDCn_base>＋800B$_H$＋(80$_H$×p)

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMPTR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	TMFDF	TMBRS	TMESI
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 24.92 RCFDCnCFDTMFDCTRp レジスタの内容

ビット位置	ビット名	機能
31～16	TMPTR[15:0]	送信バッファラベルデータ 送信履歴バッファに格納するラベル情報を設定してください。
15～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	TMFDF	FDF ビット 0：クラシカル CAN フレーム 1：CAN FD フレーム
1	TMBRS	BRS ビット 0：データ領域のビットレートは変わらない 1：データ領域のビットレートは変わる
0	TMESI	ESI ビット 0：エラーアクティブノード 1：エラーパッシブノード

このレジスタは、対応する RCFDCnCFDTMSTSp レジスタの TMTRM ビットが“0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p＝m×32＋31)のみに書いてください。

TMPTR[15:0]ビット

メッセージ送信が完了した場合、TMPTR[15:0]ビットの値が送信履歴バッファに格納されます。

TMFDF ビット

送信バッファから送信するメッセージの FD フォーマットを設定します。

TMBRS ビット

TMFDF ビットが“1”のとき、このビットを“1”にすると、送信メッセージのデータ領域はデータビットレートで送信されます。TMFDF ビットが“0”のときは、このビットに“0”を書いてください。

TMESI ビット

TMFDF ビットが“1”のとき、送信バッファから送信するメッセージの ESI ビット値を設定します。設定した値は RCFDCnCFDCmFDCFG レジスタの ESIC ビットが“1”かつチャネルがエラーアクティブ状態のとき送信されます。チャネルがエラーパッシブ状態であるときは、このビットにかかわらずエラーパッシブノードを示す ESI ビット値が送信されます。TMFDF ビットが“0”のときは、このビットに“0”を書いてください。

24.3.10.6　RCFDCnCFDTMDFb_p — 送信バッファデータフィールドレジスタ（b＝0～15、p＝0～255）

アクセス　RCFDCnCFDTMDFb_p レジスタは、32 ビット単位でリード／ライト可能です。

RCFDCnCFDTMDFb_pL, RCFDCnCFDTMDFb_pH レジスタは、16 ビット単位でリード／ライト可能です。

RCFDCnCFDTMDFb_pLL, RCFDCnCFDTMDFb_pLH, RCFDCnCFDTMDFb_pHL, RCFDCnCFDTMDFb_pHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RCFDCnCFDTMDFb_p：<RCFDCn_base>＋800C$_H$＋(04$_H$×b)＋(80$_H$×p)

RCFDCnCFDTMDFb_pL：<RCFDCn_base>＋800C$_H$＋(04$_H$×b)＋(80$_H$×p),

RCFDCnCFDTMDFb_pH：<RCFDCn_base>＋800E$_H$＋(04$_H$×b)＋(80$_H$×p)

RCFDCnCFDTMDFb_pLL：<RCFDCn_base>＋800C$_H$＋(04$_H$×b)＋(80$_H$×p),

RCFDCnCFDTMDFb_pLH：<RCFDCn_base>＋800D$_H$＋(04$_H$×b)＋(80$_H$×p),

RCFDCnCFDTMDFb_pHL：<RCFDCn_base>＋800E$_H$＋(04$_H$×b)＋(80$_H$×p),

RCFDCnCFDTMDFb_pHH：<RCFDCn_base>＋800F$_H$＋(04$_H$×b)＋(80$_H$×p)

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDB4×b＋3 [7:0]								TMDB4×b＋2 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMDB4×b＋1 [7:0]								TMDB4×b＋0 [7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.93　RCFDCnCFDTMDFb_p レジスタの内容

ビット位置	ビット名	機能
31～24	TMDB4×b＋3 [7:0]	送信バッファデータバイト 4×b＋3
23～16	TMDB4×b＋2 [7:0]	送信バッファデータバイト 4×b＋2
15～8	TMDB4×b＋1 [7:0]	送信バッファデータバイト 4×b＋1
7～0	TMDB4×b＋0 [7:0]	送信バッファデータバイト 4×b＋0 送信バッファのデータを設定してください。

このレジスタは、対応する RCFDCnCFDTMSTSp レジスタの TMTRM ビットが“0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p＝m×32＋31)のみに書いてください。

24.3.10.7　RCFDCnCFDTMIECm ― 送信バッファ割り込みイネーブルコンフィグレーションレジスタ（m＝0～7）

アクセス　RCFDCnCFDTMIECm レジスタは、32 ビット単位でリード／ライト可能です。

RCFDCnCFDTMIECmL, RCFDCnCFDTMIECmH レジスタは、16 ビット単位でリード／ライト可能です。

RCFDCnCFDTMIECmLL, RCFDCnCFDTMIECmLH, RCFDCnCFDTMIECmHL, RCFDCnCFDTMIECmHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RCFDCnCFDTMIECm：<RCFDCn_base>＋$04D0_H$＋(04_H×m)

RCFDCnCFDTMIECmL：<RCFDCn_base>＋$04D0_H$＋(04_H×m),

RCFDCnCFDTMIECmH：<RCFDCn_base>＋$04D2_H$＋(04_H×m)

RCFDCnCFDTMIECmLL：<RCFDCn_base>＋$04D0_H$＋(04_H×m),

RCFDCnCFDTMIECmLH：<RCFDCn_base>＋$04D1_H$＋(04_H×m),

RCFDCnCFDTMIECmHL：<RCFDCn_base>＋$04D2_H$＋(04_H×m),

RCFDCnCFDTMIECmHH：<RCFDCn_base>＋$04D3_H$＋(04_H×m)

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMIEp (p＝m×32＋31～m×32＋16 (m＝0～7))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMIEp (p＝m×32＋15～m×32＋0 (m＝0～7))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.94　RCFDCnCFDTMIECm レジスタの内容

ビット位置	ビット名	機能
31～16	TMIEp	送信バッファ割り込み許可ビット p (p＝m×32＋31～m×32＋16) 0：送信バッファ割り込み禁止 1：送信バッファ割り込み許可
15～0	TMIEp	送信バッファ割り込み許可ビット p (p＝m×32＋15～m×32＋0) 0：送信バッファ割り込み禁止 1：送信バッファ割り込み許可

TMIEp ビット（p＝0～255）

このビットを“1”に設定し、対応する送信が完了した場合、送信バッファ割り込み要求が発生します。

このビットは対応する RCFDCnCFDTMSTSp レジスタの TMTRM フラグが“0”（送信要求なし）のときに書き換えてください。

送受信 FIFO バッファにリンクした送信バッファ、または送信キューに割り当てられた送信バッファに対応するビットは“0”にしてください。

「**表 24.95 TMIEp ビットの配置**」にビット配置を示します。

表 24.95　TMIEp ビットの配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
: :	: :	: :
31	0	31
32	1	0
: :	: :	: :
62	1	30
63	1	31
64	2	0
65	2	1
: :	: :	: :
95	2	31
96	3	0
: :	: :	: :
126	3	30
127	3	31
128	4	0
129	4	1
: :	: :	: :
158	4	30
159	4	31
160	5	0
161	5	1
: :	: :	: :
191	5	31
192	6	0
: :	: :	: :
222	6	30
223	6	31
224	7	0
225	7	1
: :	: :	: :
254	7	30
255	7	31

24.3.11　送信バッファステータス関連レジスタの詳細

24.3.11.1　RCFDCnCFDTMTRSTSm ― 送信バッファ送信要求ステータスレジスタ（m＝0～7）

アクセス　RCFDCnCFDTMTRSTSm レジスタは、32 ビット単位でリードのみ可能です。

RCFDCnCFDTMTRSTSmL, RCFDCnCFDTMTRSTSmH レジスタは、16 ビット単位でリードのみ可能です。

RCFDCnCFDTMTRSTSmLL, RCFDCnCFDTMTRSTSmLH, RCFDCnCFDTMTRSTSmHL, RCFDCnCFDTMTRSTSmHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　RCFDCnCFDTMTRSTSm：<RCFDCn_base>＋0450_H＋(04_H×m)

RCFDCnCFDTMTRSTSmL：<RCFDCn_base>＋0450_H＋(04_H×m),

RCFDCnCFDTMTRSTSmH：<RCFDCn_base>＋0452_H＋(04_H×m)

RCFDCnCFDTMTRSTSmLL：<RCFDCn_base>＋0450_H＋(04_H×m),

RCFDCnCFDTMTRSTSmLH：<RCFDCn_base>＋0451_H＋(04_H×m),

RCFDCnCFDTMTRSTSmHL：<RCFDCn_base>＋0452_H＋(04_H×m),

RCFDCnCFDTMTRSTSmHH：<RCFDCn_base>＋0453_H＋(04_H×m)

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTRSTSp (p＝m×32＋31～m×32＋16 (m＝0～7))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTRSTSp (p＝m×32＋15～m×32＋0 (m＝0～7))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.96　RCFDCnCFDTMTRSTSm レジスタの内容

ビット位置	ビット名	機能
31～16	TMTRSTSp	送信バッファ送信要求ステータスフラグ p (p＝m×32＋31～m×32＋16) 0：送信要求なし 1：送信要求あり
15～0	TMTRSTSp	送信バッファ送信要求ステータスフラグ p (p＝m×32＋15～m×32＋0) 0：送信要求なし 1：送信要求あり

TMTRSTSp フラグ（p＝0～255）

RCFDCnCFDTMCp レジスタの TMTR ビットの状態を示します。

TMTR ビットを“1”（送信を要求する）にすると、対応する TMTRSTSp フラグは“1”になります。

TMTR ビットが“0”（送信を要求しない）になると、対応する TMTRSTSp フラグは“0”になります。また、チャネルリセットモード時、“0”になります。

「**表 24.97 TMTRSTSp ビット配置**」にビット配置を示します。

表 24.97　TMTRSTSp ビット配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
: :	: :	: :
31	0	31
32	1	0
: :	: :	: :
62	1	30
63	1	31
64	2	0
65	2	1
: :	: :	: :
95	2	31
96	3	0
: :	: :	: :
126	3	30
127	3	31
128	4	0
129	4	1
: :	: :	: :
158	4	30
159	4	31
160	5	0
161	5	1
: :	: :	: :
191	5	31
192	6	0
: :	: :	: :
222	6	30
223	6	31
224	7	0
225	7	1
: :	: :	: :
254	7	30
255	7	31

24.3.11.2　RCFDCnCFDTMTARSTSm — 送信バッファ送信アボート要求ステータスレジスタ（m＝0〜7）

アクセス　RCFDCnCFDTMTARSTSm レジスタは、32 ビット単位でリードのみ可能です。

RCFDCnCFDTMTARSTSmL, RCFDCnCFDTMTARSTSmH レジスタは、16 ビット単位でリードのみ可能です。

RCFDCnCFDTMTARSTSmLL, RCFDCnCFDTMTARSTSmLH, RCFDCnCFDTMTARSTSmHL, RCFDCnCFDTMTARSTSmHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　RCFDCnCFDTMTARSTSm：<RCFDCn_base>＋0470_H＋(04_H×m)

RCFDCnCFDTMTARSTSmL：<RCFDCn_base>＋0470_H＋(04_H×m),

RCFDCnCFDTMTARSTSmH：<RCFDCn_base>＋0472_H＋(04_H×m)

RCFDCnCFDTMTARSTSmLL：<RCFDCn_base>＋0470_H＋(04_H×m),

RCFDCnCFDTMTARSTSmLH：<RCFDCn_base>＋0471_H＋(04_H×m),

RCFDCnCFDTMTARSTSmHL：<RCFDCn_base>＋0472_H＋(04_H×m),

RCFDCnCFDTMTARSTSmHH：<RCFDCn_base>＋0473_H＋(04_H×m)

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTARSTSp (p=m×32+31〜m×32+16 (m=0〜7))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTARSTSp (p=m×32+15〜m×32+0 (m=0〜7))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.98　RCFDCnCFDTMTARSTSm レジスタの内容

ビット位置	ビット名	機能
31〜16	TMTARSTSp	送信バッファ送信アボート要求ステータスフラグ p (p=m×32+31〜m×32+16) 0：送信アボート要求なし 1：送信アボート要求あり
15〜0	TMTARSTSp	送信バッファ送信アボート要求ステータスフラグ p (p=m×32+15〜m×32+0) 0：送信アボート要求なし 1：送信アボート要求あり

TMTARSTSp フラグ（p＝0〜255）

RCFDCnCFDTMCp レジスタの TMTAR ビットの状態を示します。

TMTAR ビットを“1”（送信アボートを要求する）にすると、対応する TMTARSTSp フラグは“1”になります。

TMTAR ビットが“0”（送信アボートを要求しない）になると、対応する TMTARSTSp フラグは“0”になります。また、チャネルリセットモード時、“0”になります。

「**表 24.99 TMTARSTSp ビット配置**」にビット配置を示します。

表 24.99　TMTARSTSp ビット配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
: :	: :	: :
31	0	31
32	1	0
: :	: :	: :
62	1	30
63	1	31
64	2	0
65	2	1
: :	: :	: :
95	2	31
96	3	0
: :	: :	: :
126	3	30
127	3	31
128	4	0
129	4	1
: :	: :	: :
158	4	30
159	4	31
160	5	0
161	5	1
: :	: :	: :
191	5	31
192	6	0
: :	: :	: :
222	6	30
223	6	31
224	7	0
225	7	1
: :	: :	: :
254	7	30
255	7	31

24.3.11.3　RCFDCnCFDTMTCSTSm — 送信バッファ送信完了ステータスレジスタ（m＝0〜7）

アクセス　RCFDCnCFDTMTCSTSm レジスタは、32 ビット単位でリードのみ可能です。
RCFDCnCFDTMTCSTSmL, RCFDCnCFDTMTCSTSmH レジスタは、16 ビット単位でリードのみ可能です。
RCFDCnCFDTMTCSTSmLL, RCFDCnCFDTMTCSTSmLH, RCFDCnCFDTMTCSTSmHL, RCFDCnCFDTMTCSTSmHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　RCFDCnCFDTMTCSTSm：<RCFDCn_base>＋0490_H＋(04_H×m)
RCFDCnCFDTMTCSTSmL：<RCFDCn_base>＋0490_H＋(04_H×m),
RCFDCnCFDTMTCSTSmH：<RCFDCn_base>＋0492_H＋(04_H×m)
RCFDCnCFDTMTCSTSmLL：<RCFDCn_base>＋0490_H＋(04_H×m),
RCFDCnCFDTMTCSTSmLH：<RCFDCn_base>＋0491_H＋(04_H×m),
RCFDCnCFDTMTCSTSmHL：<RCFDCn_base>＋0492_H＋(04_H×m),
RCFDCnCFDTMTCSTSmHH：<RCFDCn_base>＋0493_H＋(04_H×m)

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTCSTSp (p＝m×32＋31〜m×32＋16 (m＝0〜7))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTCSTSp (p＝m×32＋15〜m×32＋0 (m＝0〜7))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.100 RCFDCnCFDTMTCSTSm レジスタの内容

ビット位置	ビット名	機能
31〜16	TMTCSTSp	送信バッファ送信完了ステータスフラグ p (p＝m×32＋31〜m×32＋16) 0：送信未完了 1：送信完了
15〜0	TMTCSTSp	送信バッファ送信完了ステータスフラグ p (p＝m×32＋15〜m×32＋0) 0：送信未完了 1：送信完了

TMTCSTSp フラグ（p＝0〜255）

RCFDCnCFDTMSTSp レジスタの TMTRF[1:0]フラグが“10_B”（送信完了、送信アボート要求なし）または“11_B”（送信完了、送信アボート要求あり）になると、対応する TMTCSTSp フラグは“1”になります。

TMTCSTSp フラグを“0”にする場合は、対応する TMTRF[1:0]フラグを“00_B”にしてください。また、チャネルリセットモード時、“0”になります。

「**表 24.101 TMTCSTSp ビット配置**」にビット配置を示します。

表 24.101 TMTCSTSp ビット配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
: :	: :	: :
31	0	31
32	1	0
: :	: :	: :
62	1	30
63	1	31
64	2	0
65	2	1
: :	: :	: :
95	2	31
96	3	0
: :	: :	: :
126	3	30
127	3	31
128	4	0
129	4	1
: :	: :	: :
158	4	30
159	4	31
160	5	0
161	5	1
: :	: :	: :
191	5	31
192	6	0
: :	: :	: :
222	6	30
223	6	31
224	7	0
225	7	1
: :	: :	: :
254	7	30
255	7	31

24.3.11.4　RCFDCnCFDTMTASTSm — 送信バッファ送信アボートステータスレジスタ（m＝0～7）

アクセス　RCFDCnCFDTMTASTSm レジスタは、32 ビット単位でリードのみ可能です。
RCFDCnCFDTMTASTSmL, RCFDCnCFDTMTASTSmH レジスタは、16 ビット単位でリードのみ可能です。
RCFDCnCFDTMTASTSmLL, RCFDCnCFDTMTASTSmLH, RCFDCnCFDTMTASTSmHL, RCFDCnCFDTMTASTSmHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　RCFDCnCFDTMTASTSm：<RCFDCn_base>＋$04B0_H$＋(04_H×m)
RCFDCnCFDTMTASTSmL：<RCFDCn_base>＋$04B0_H$＋(04_H×m),
RCFDCnCFDTMTASTSmH：<RCFDCn_base>＋$04B2_H$＋(04_H×m)
RCFDCnCFDTMTASTSmLL：<RCFDCn_base>＋$04B0_H$＋(04_H×m),
RCFDCnCFDTMTASTSmLH：<RCFDCn_base>＋$04B1_H$＋(04_H×m),
RCFDCnCFDTMTASTSmHL：<RCFDCn_base>＋$04B2_H$＋(04_H×m),
RCFDCnCFDTMTASTSmHH：<RCFDCn_base>＋$04B3_H$＋(04_H×m)

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTASTSp (p＝m×32＋31～m×32＋16 (m＝0～7))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTASTSp (p＝m×32＋15～m×32＋0 (m＝0～7))															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.102 RCFDCnCFDTMTASTSm レジスタの内容

ビット位置	ビット名	機能
31～16	TMTASTSp	送信バッファ送信アボートステータスフラグ p (p＝m×32＋31～m×32＋16) 0：送信アボートなし 1：送信アボートあり
15～0	TMTASTSp	送信バッファ送信アボートステータスフラグ p (p＝m×32＋15～m×32＋0) 0：送信アボートなし 1：送信アボートあり

TMTASTSp フラグ（p＝0～255）

RCFDCnCFDTMSTSp レジスタの TMTRF[1:0]フラグが“01_B”（送信アボート完了）になると、対応する TMTASTSp フラグは“1”になります。

TMTASTSp フラグを“0”にする場合は、対応する TMTRF[1:0]フラグを“00_B”にしてください。また、チャネルリセットモード時、“0”になります。

「**表 24.103 TMTASTSp ビット配置**」にビット配置を示します。

表 24.103 TMTASTSp ビット配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
: :	: :	: :
31	0	31
32	1	0
: :	: :	: :
62	1	30
63	1	31
64	2	0
65	2	1
: :	: :	: :
95	2	31
96	3	0
: :	: :	: :
126	3	30
127	3	31
128	4	0
129	4	1
: :	: :	: :
158	4	30
159	4	31
160	5	0
161	5	1
: :	: :	: :
191	5	31
192	6	0
: :	: :	: :
222	6	30
223	6	31
224	7	0
225	7	1
: :	: :	: :
254	7	30
255	7	31

24.3.12　送信キュー関連レジスタの詳細

24.3.12.1　RCFDCnCFDTXQCCm — 送信キューコンフィグレーション／制御レジスタ（m＝0～7）

アクセス　RCFDCnCFDTXQCCm レジスタは、32 ビット単位でリード／ライト可能です。
RCFDCnCFDTXQCCmL レジスタは、16 ビット単位でリード／ライト可能です。
RCFDCnCFDTXQCCmLL, RCFDCnCFDTXQCCmLH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RCFDCnCFDTXQCCm：<RCFDCn_base>＋0550_H＋(04_H×m)
RCFDCnCFDTXQCCmL：<RCFDCn_base>＋0550_H＋(04_H×m)
RCFDCnCFDTXQCCmLL：<RCFDCn_base>＋0550_H＋(04_H×m),
RCFDCnCFDTXQCCmLH：<RCFDCn_base>＋0551_H＋(04_H×m)

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	TXQDC[4:0]					TXQIM	—	TXQTXIE	—	—	—	—	TXQE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R	R	R	R	R/W

表 24.104 RCFDCnCFDTXQCCm レジスタの内容

ビット位置	ビット名	機能
31～13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12～8	TXQDC[4:0]	送信キュー段数設定ビット 設定値を g (g＝2～31)とすると、g＋1 バッファの送信キューを使用できます。 “0”を設定すると、送信キューは使用できません。 “1”は設定しないでください。
7	TXQIM	送信キュー割り込み要因選択ビット 0：送信完了によって送信キューが空になったときに発生 1：1 メッセージ送信完了ごとに発生
6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	TXQTXIE	送信キュー割り込み許可ビット 0：送信キュー割り込み禁止 1：送信キュー割り込み許可
4～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TXQE	送信キュー許可ビット 0：送信キューを使用しない 1：送信キューを使用する

TXQDC[4:0]ビット

送信キューに割り付ける送信バッファの数を設定します。送信キューは、送信バッファ番号の大きい方から順に（m×32＋31）から（m×32＋0）まで順番に割り付けられます（「**表 24.33 各チャネルの送信キューに割り当てられる送信バッファ p**」を参照）。バッファの割り当て例については、「**図 24.9 送信キューの割り付けと送受信 FIFO バッファのリンク**」を参照してください。

このビットはチャネルリセットモード時にのみ書き換えてください。

TXQIM ビット

送信キュー割り込み要因を選択します。このビットはチャネルリセットモードで書き換えてください。

TXQTXIE ビット

TXQTXIE ビットを“1”に設定し、TXQIM ビットで選択した要因が発生すると、割り込み要求が発生します。

TXQTXIE ビットを書き換える場合は、TXQE ビットを“0”にしてください。

TXQE ビット

“1”にすると送信キューを使用できます。このビットは、チャネル通信モードまたはチャネル待機モードで書き換えてください。チャネルリセットモード時、“0”になります。

TXQDC[4:0]ビットの値を“00010_B”以上に設定してから TXQE ビットを“1”にしてください。

24.3.12.2 RCFDCnCFDTXQSTSm — 送信キューステータスレジスタ（m＝0～7）

アクセス RCFDCnCFDTXQSTSm レジスタは、32 ビット単位でリード／ライト可能です。
RCFDCnCFDTXQSTSmL レジスタは、16 ビット単位でリード／ライト可能です。
RCFDCnCFDTXQSTSmLL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RCFDCnCFDTXQSTSm：<RCFDCn_base>＋0570_H＋(04_H×m)
RCFDCnCFDTXQSTSmL：<RCFDCn_base>＋0570_H＋(04_H×m)
RCFDCnCFDTXQSTSmLL：<RCFDCn_base>＋0570_H＋(04_H×m)

リセット後の値 0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	TXQTXIF	TXQFLL	TXQEMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R	R

注1. このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 24.105 RCFDCnCFDTXQSTSm レジスタの内容

ビット位置	ビット名	機能
31～14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13～8	予約ビット	リードした場合、不定値が読み出されます。ライトする場合はリセット後の値を書いてください。
7～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	TXQTXIF	送信キュー割り込み要求フラグ 0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり
1	TXQFLL	送信キューフルステータスフラグ 0：送信キューフルではない 1：送信キューフル
0	TXQEMP	送信キュー空ステータスフラグ 0：送信キューにメッセージあり 1：送信キューにメッセージなし（送信キュー空）

TXQTXIF フラグ

RCFDCnCFDTXQCCm レジスタの TXQIM ビットで設定した要因が発生すると、“1”になります。

TXQTXIF フラグへの“0”書き込み、またはチャネルリセットモード時、“0”になります。TXQTXIF フラグは、RCFDCnCFDTXQCCm レジスタの TXQE ビットを“0”（送信キューを使用しない）にしても“0”になりません。

TXQFLL フラグ

送信キューに設定したメッセージ数と、RCFDCnCFDTXQCCm レジスタの TXQDC[4:0]ビットで設定した段数が一致すると、“1”になります。

次の条件で“0”になります。

- 送信キューに設定したメッセージが、TXQDC[4:0]ビットで設定した数より少ない
- チャネルリセットモード時

TXQEMP フラグ

メッセージを 1 つでも送信キューに設定すると、TXQEMP フラグは“0”になります。次の条件で、“1”になります。

- TXQE ビットを“0”（送信キューを使用しない）にしたとき
- 送信キューが空になったとき
- チャネルリセットモード時

24.3.12.3　RCFDCnCFDTXQPCTRm — 送信キューポインタ制御レジスタ（m＝0～7）

アクセス　RCFDCnCFDTXQPCTRm レジスタは、32 ビット単位でライトのみ可能です。
RCFDCnCFDTXQPCTRmL レジスタは、16 ビット単位でライトのみ可能です。
RCFDCnCFDTXQPCTRmLL レジスタは、8 ビット単位でライトのみ可能です。

アドレス　RCFDCnCFDTXQPCTRm：<RCFDCn_base>＋0590_H＋(04_H×m)
RCFDCnCFDTXQPCTRmL：<RCFDCn_base>＋0590_H＋(04_H×m)
RCFDCnCFDTXQPCTRmLL：<RCFDCn_base>＋0590_H＋(04_H×m)

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TXQPC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 24.106 RCFDCnCFDTXQPCTRm レジスタの内容

ビット位置	ビット名	機能
31～8	予約ビット	ライトする場合はリセット後の値を書いてください。
7～0	TXQPC[7:0]	送信キューポインタ制御 “FF_H”を書くと、送信キューのライトポインタを次のキューバッファに移動します。

TXQPC[7:0]ビット

TXQPC[7:0]ビットに“FF_H”を書くと、次の送信キューバッファへライトポインタが移動し、そのメッセージの送信要求が発生します。RCFDCnCFDTMIDp、RCFDCnCFDTMPTRp、RCFDCnCFDTMFDCTRp、RCFDCnCFDTMDFb_p レジスタ（p＝31、63、95、127、159、191、223～255）に送信メッセージを書いた後に、TXQPC[7:0]ビットに“FF_H”を書いてください。

なお、“FF_H”の書き込みは、RCFDCnCFDTXQCCm レジスタの TXQE ビットが“1”（送信キューを使用する）で、RCFDCnCFDTXQSTSm レジスタの TXQFLL フラグが“0”（フルではない）の場合にのみ行ってください。

24.3.13　送信履歴関連レジスタの詳細

24.3.13.1　RCFDCnCFDTHLCCm ― 送信履歴コンフィグレーション／制御レジスタ（m＝0～7）

アクセス　RCFDCnCFDTHLCCm レジスタは、32 ビット単位でリード／ライト可能です。

RCFDCnCFDTHLCCmL レジスタは、16 ビット単位でリード／ライト可能です。

RCFDCnCFDTHLCCmLL, RCFDCnCFDTHLCCmLH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RCFDCnCFDTHLCCm：<RCFDCn_base>＋$05B0_H$＋(04_H×m)

RCFDCnCFDTHLCCmL：<RCFDCn_base>＋$05B0_H$＋(04_H×m)

RCFDCnCFDTHLCCmLL：<RCFDCn_base>＋$05B0_H$＋(04_H×m),

RCFDCnCFDTHLCCmLH：<RCFDCn_base>＋$05B1_H$＋(04_H×m)

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	THLDTE	THLIM	THLIE	—	—	—	—	—	—	—	THLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W

表 24.107 RCFDCnCFDTHLCCm レジスタの内容

ビット位置	ビット名	機能
31～11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	THLDTE	送信履歴対象バッファ選択ビット 0：送受信 FIFO、送信キューからのエントリ 1：送信バッファ、送受信 FIFO、送信キューからのエントリ
9	THLIM	送信履歴割り込み要因選択ビット 0：送信履歴バッファに 24 データ格納されたとき 1：1 送信履歴データの格納完了時
8	THLIE	送信履歴割り込み許可ビット 0：送信履歴割り込み禁止 1：送信履歴割り込み許可
7～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	THLE	送信履歴バッファ許可ビット 0：送信履歴バッファを使用しない 1：送信履歴バッファを使用する

THLDTE ビット

“0”にすると、送受信 FIFO バッファ、送信キューから送信したメッセージの送信履歴データを送信履歴バッファに格納します。“1”にすると、送信バッファ、送受信 FIFO バッファ、送信キューから送信したメッセージの送信履歴データを、送信履歴バッファに格納します。

このビットはチャネルリセットモードでのみ書き換えてください。

THLIM ビット

送信履歴割り込み要因を選択します。このビットはチャネルリセットモードでのみ書き換えてください。

THLIE ビット

THLIE ビットを“1”に設定し、THLIM ビットで選択した要因が発生した場合、送信履歴割り込み要求が発生します。THLE ビットが“0”の状態でのみ、THLIE ビットを書き換えてください。

THLE ビット

“1”にすると、送信履歴バッファが使用できます。THLDTE ビットで選択したバッファからの送信が完了すると、送信メッセージの送信履歴データが、送信履歴バッファへ格納されます。

このビットは、チャネル通信モードまたはチャネル待機モードで書き換えてください。このビットは、チャネルリセットモードで“0”にクリアされます。

24.3.13.2　RCFDCnCFDTHLSTSm — 送信履歴ステータスレジスタ（m＝0～7）

アクセス　RCFDCnCFDTHLSTSm レジスタは、32 ビット単位でリード／ライト可能です。
RCFDCnCFDTHLSTSmL レジスタは、16 ビット単位でリード／ライト可能です。
RCFDCnCFDTHLSTSmLL レジスタは、8 ビット単位でリード／ライト可能です。
RCFDCnCFDTHLSTSmLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　RCFDCnCFDTHLSTSm：<RCFDCn_base>＋05D0$_H$＋(04$_H$ × m)
RCFDCnCFDTHLSTSmL：<RCFDCn_base>＋05D0$_H$＋(04$_H$ × m)
RCFDCnCFDTHLSTSmLL：<RCFDCn_base>＋05D0$_H$＋(04$_H$ × m),
RCFDCnCFDTHLSTSmLH：<RCFDCn_base>＋05D1$_H$＋(04$_H$ × m)

リセット後の値　0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	THLMC[5:0]						—	—	—	—	THLIF	THLELT	THLFLL	THLEMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注1	R/W 注1	R	R

注1.　このフラグビットへの書き込みは、ステータスクリアする（“0”にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 24.108 RCFDCnCFDTHLSTSm レジスタの内容

ビット位置	ビット名	機能
31～14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13～8	THLMC[5:0]	送信履歴バッファ未読数カウンタ 送信履歴バッファに格納された未読データ数を示します。
7～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	THLIF	送信履歴割り込み要求フラグ 0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり
2	THLELT	送信履歴バッファオーバフローフラグ 0：送信履歴バッファオーバフローではない 1：送信履歴バッファオーバフロー
1	THLFLL	送信履歴バッファフルステータスフラグ 0：送信履歴バッファフルではない 1：送信履歴バッファフル
0	THLEMP	送信履歴バッファ空ステータスフラグ 0：送信履歴バッファに未読データあり 1：送信履歴バッファに未読データなし（バッファ空）

THLMC[5:0]ビット

送信履歴バッファ内の未読データ数を示します。このビットは、チャネルリセットモードで 0 にクリアされます。

THLIF フラグ

RCFDCnCFDTHLCCm レジスタの THLIM ビットで設定した割り込み要因が発生したとき、“1”になります。

プログラムで“0”を書き込むことで“0”にしてください。チャネルリセットモード時、“0”になります。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。“0”を書く場合はストア命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

THLELT フラグ

送信履歴バッファがフルの場合に、さらに新しい送信履歴データを格納しようとしたとき“1”になります。この場合、新しいデータは破棄されます。プログラムで“0”を書き込むことで“0”にしてください。チャネルリセットモード時、“0”になります。

フラグを“0”にする場合は、対応するフラグにプログラムで“0”を書いてください。

“0”を書く場合はストア命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

THLFLL フラグ

送信履歴バッファに 32 個のデータが格納されると、“1”になります。格納数が 32 個より少なくなると“0”になります。RCFDCnCFDTHLCCm レジスタの THLE ビットが“0”（送信履歴バッファを使用しない）のとき、またはチャネルリセットモード時、“0”になります。

THLEMP フラグ

送信履歴データが 1 つでも送信履歴バッファへ格納されると“0”になります。

送信履歴バッファのすべてのデータを読むと“1”になります。RCFDCnCFDTHLCCm レジスタの THLE ビットを“0”（送信履歴バッファを使用しない）にしたとき、またはチャネルリセットモード時、“1”になります。

備　考

THLIF、THLELT フラグを“0”にする場合は、プログラムで“0”を書いてください。“0”を書く場合はストア 命令を使用し、それ以外のフラグには“1”を書いてください。

24.3.13.3　RCFDCnCFDTHLPCTRm — 送信履歴ポインタ制御レジスタ（m＝0～7）

アクセス　RCFDCnCFDTHLPCTRm レジスタは、32 ビット単位でライトのみ可能です。
RCFDCnCFDTHLPCTRmL レジスタは、16 ビット単位でライトのみ可能です。
RCFDCnCFDTHLPCTRmLL レジスタは、8 ビット単位でライトのみ可能です。

アドレス　RCFDCnCFDTHLPCTRm：<RCFDCn_base>＋05F0$_H$＋(04$_H$×m)
RCFDCnCFDTHLPCTRmL：<RCFDCn_base>＋05F0$_H$＋(04$_H$×m)
RCFDCnCFDTHLPCTRmLL：<RCFDCn_base>＋05F0$_H$＋04$_H$×m)

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	THLPC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 24.109 RCFDCnCFDTHLPCTRm レジスタの内容

ビット位置	ビット名	機能
31～8	予約ビット	ライトする場合はリセット後の値を書いてください。
7～0	THLPC[7:0]	送信履歴リストポインタ制御 “FF$_H$”を書くと、送信履歴バッファの次の未読データにリードポインタが移動します。

THLPC[7:0]ビット

THLPC[7:0]ビットに“FF$_H$”を書くと、送信履歴バッファの次のデータにリードポインタが移動します。このとき RCFDCnCFDTHLSTSm レジスタの THLMC[5:0]ビット（送信履歴バッファ未読数カウンタ）の値が 1 減算されます。RCFDCnCFDTHLACC0m レジスタおよび、RCFDCnCFDTHLACC1m レジスタを読んだあと、THLPC[7:0]ビットに“FF$_H$”を書いてください。

なお、“FF$_H$”の書き込みは、RCFDCnCFDTHLCCm レジスタの THLE ビットが“1”（送信履歴バッファを使用する）で、RCFDCnCFDTHLSTSm レジスタの THLEMP フラグが“0”のときのみ行ってください。

24.3.13.4　RCFDCnCFDTHLACC0m ― 送信履歴アクセスレジスタ 0（m＝0～7）

アクセス　RCFDCnCFDTHLACC0m レジスタは、32 ビット単位でリードのみ可能です。

RCFDCnCFDTHLACC0mL, RCFDCnCFDTHLACC0mH レジスタは、16 ビット単位でリードのみ可能です。

RCFDCnCFDTHLACC0mLL, RCFDCnCFDTHLACC0mHL, RCFDCnCFDTHLACC0mHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　RCFDCnCFDTHLACC0m：<RCFDCn_base>＋10000_H＋(08_H×m)

RCFDCnCFDTHLACC0mL：<RCFDCn_base>＋10000_H＋(08_H×m),

RCFDCnCFDTHLACC0mH：<RCFDCn_base>＋10002_H＋(08_H×m)

RCFDCnCFDTHLACC0mLL：<RCFDCn_base>＋10000_H＋(08_H×m),

RCFDCnCFDTHLACC0mHL：<RCFDCn_base>＋10002_H＋(08_H×m),

RCFDCnCFDTHLACC0mHH：<RCFDCn_base>＋10003_H＋(08_H×m)

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	BN[4:0]					BT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.110 RCFDCnCFDTHLACC0m レジスタの内容

ビット位置	ビット名	機能
31～16	TMTS[15:0]	タイムスタンプデータ 格納されたデータのタイムスタンプデータが読めます。
15～8	予約ビット	リードした場合はリセット後の値が読めます。
7～3	BN[4:0]	バッファ番号データ 送信元の送信バッファ／送受信 FIFO／送信キュー番号が読めます。
2～0	BT[2:0]	バッファタイプデータ b2　b1　b0 0　0　1：送信バッファ 0　1　0：送受信 FIFO バッファ 1　0　0：送信キュー

TMTS[15:0]ビット

送信履歴バッファに格納された送信履歴データのタイムスタンプ値を表示します。

BN[4:0]ビット

送信履歴バッファに格納された送信履歴データの送信元バッファ番号を表示します。

BT[2:0]ビット

送信履歴バッファに格納された送信履歴データの送信元バッファの種類を表示します。

24.3.13.5　RCFDCnCFDTHLACC1m — 送信履歴アクセスレジスタ 1（m＝0～7）

アクセス　RCFDCnCFDTHLACC1m レジスタは、32 ビット単位でリードのみ可能です。
RCFDCnCFDTHLACC1mL レジスタは、16 ビット単位でリードのみ可能です。
RCFDCnCFDTHLACC1mLL, RCFDCnCFDTHLACC1mLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　RCFDCnCFDTHLACC1m：<RCFDCn_base>＋10004_H＋(08_H×m)
RCFDCnCFDTHLACC1mL：<RCFDCn_base>＋10004_H＋(08_H×m)
RCFDCnCFDTHLACC1mLL：<RCFDCn_base>＋10004_H＋(08_H×m),
RCFDCnCFDTHLACC1mLH：<RCFDCn_base>＋10005_H＋(08_H×m)

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 24.111 RCFDCnCFDTHLACC1m レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。
15～0	TID[15:0]	ラベルデータ 格納されたデータのラベル情報が読めます。

TID[15:0]ビット

送信履歴バッファに格納された送信履歴データのラベル情報を表示します。

24.3.14　テスト関連レジスタの詳細

24.3.14.1　RCFDCnCFDGTSTCFG — グローバルテストコンフィグレーションレジスタ

アクセス　RCFDCnCFDGTSTCFG レジスタは、32 ビット単位でリード／ライト可能です。

RCFDCnCFDGTSTCFGL, RCFDCnCFDGTSTCFGH レジスタは、16 ビット単位でリード／ライト可能です。

RCFDCnCFDGTSTCFGLL, RCFDCnCFDGTSTCFGHL, RCFDCnCFDGTSTCFGHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RCFDCnCFDGTSTCFG：<RCFDCn_base>＋0618$_H$

RCFDCnCFDGTSTCFGL：<RCFDCn_base>＋0618$_H$,

RCFDCnCFDGTSTCFGH：<RCFDCn_base>＋061A$_H$

RCFDCnCFDGTSTCFGLL：<RCFDCn_base>＋0618$_H$,

RCFDCnCFDGTSTCFGHL：<RCFDCn_base>＋061A$_H$,

RCFDCnCFDGTSTCFGHH：<RCFDCn_base>＋061B$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	RTMPS[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	C7ICBCE	C6ICBCE	C5ICBCE	C4ICBCE	C3ICBCE	C2ICBCE	C1ICBCE	C0ICBCE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.112 RCFDCnCFDGTSTCFG レジスタの内容

ビット位置	ビット名	機能
31～25	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
24～16	RTMPS[8:0]	RAM テストページ設定ビット ページ 0 からページ 33×(m＋1)の範囲で設定
15～8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	C7ICBCE	CAN7 チャネル間通信テスト許可ビット 0：CAN7 チャネル間通信テスト禁止 1：CAN7 チャネル間通信テスト許可
6	C6ICBCE	CAN6 チャネル間通信テスト許可ビット 0：CAN6 チャネル間通信テスト禁止 1：CAN6 チャネル間通信テスト許可
5	C5ICBCE	CAN5 チャネル間通信テスト許可ビット 0：CAN5 チャネル間通信テスト禁止 1：CAN5 チャネル間通信テスト許可
4	C4ICBCE	CAN4 チャネル間通信テスト許可ビット 0：CAN4 チャネル間通信テスト禁止 1：CAN4 チャネル間通信テスト許可

表 24.112 RCFDCnCFDGTSTCFG レジスタの内容

ビット位置	ビット名	機能
3	C3ICBCE	CAN3 チャネル間通信テスト許可ビット 0：CAN3 チャネル間通信テスト禁止 1：CAN3 チャネル間通信テスト許可
2	C2ICBCE	CAN2 チャネル間通信テスト許可ビット 0：CAN2 チャネル間通信テスト禁止 1：CAN2 チャネル間通信テスト許可
1	C1ICBCE	CAN1 チャネル間通信テスト許可ビット 0：CAN1 チャネル間通信テスト禁止 1：CAN1 チャネル間通信テスト許可
0	C0ICBCE	CAN0 チャネル間通信テスト許可ビット 0：CAN0 チャネル間通信テスト禁止 1：CAN0 チャネル間通信テスト許可

RCFDCnCFDGTSTCFG レジスタはグローバルテストモードでのみ書き換えてください。

RTMPS[8:0]ビット

- RCFDC0（8 チャネル）

  RAM テスト時、RAM テスト対象となるページ番号を設定します。設定範囲は、00_H～108_H です。
- RCFDC0（6 チャネル）

  RAM テスト時、RAM テスト対象となるページ番号を設定します。設定範囲は、00_H～$C6_H$ です。

  最終ページでは 192 バイトより上にアクセスしないでください。
- RCFDC1（4 チャネル）

  RAM テスト時、RAM テスト対象となるページ番号を設定します。設定範囲は、00_H～84_H です。

  最終ページでは 128 バイトより上にアクセスしないでください。

C7ICBCE ビット

“1”にすると、チャネル 7 のチャネル間通信テストが許可になります。このビットは、グローバルリセットモードで 0 にクリアされます。

C6ICBCE ビット

“1”にすると、チャネル 6 のチャネル間通信テストが許可になります。このビットは、グローバルリセットモードで 0 にクリアされます。

C5ICBCE ビット

“1”にすると、チャネル 5 のチャネル間通信テストが許可になります。このビットは、グローバルリセットモードで 0 にクリアされます。

C4ICBCE ビット

“1”にすると、チャネル 4 のチャネル間通信テストが許可になります。このビットは、グローバルリセットモードで 0 にクリアされます。

C3ICBCE ビット

“1”にすると、チャネル 3 のチャネル間通信テストが許可になります。このビットは、グローバルリセットモードで 0 にクリアされます。

C2ICBCE ビット

“1”にすると、チャネル 2 のチャネル間通信テストが許可になります。このビットは、グローバルリセットモードで 0 にクリアされます。

C1ICBCE ビット

“1”にすると、チャネル 1 のチャネル間通信テストが許可になります。このビットは、グローバルリセットモードで 0 にクリアされます。

C0ICBCE ビット

“1”にすると、チャネル 0 のチャネル間通信テストが許可になります。このビットは、グローバルリセットモードで 0 にクリアされます。

24.3.14.2 RCFDCnCFDGTSTCTR — グローバルテスト制御レジスタ

アクセス RCFDCnCFDGTSTCTR レジスタは、32 ビット単位でリード／ライト可能です。
RCFDCnCFDGTSTCTRL レジスタは、16 ビット単位でリード／ライト可能です。
RCFDCnCFDGTSTCTRLL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RCFDCnCFDGTSTCTR：<RCFDCn_base>＋$061C_H$
RCFDCnCFDGTSTCTRL：<RCFDCn_base>＋$061C_H$
RCFDCnCFDGTSTCTRLL：<RCFDCn_base>＋$061C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RTME	—	ICBCTME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W

表 24.113 RCFDCnCFDGTSTCTR レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	RTME	RAM テスト許可ビット 0：RAM テスト禁止 1：RAM テスト許可
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ICBCTME	チャネル間通信テスト許可ビット 0：チャネル間通信テスト禁止 1：チャネル間通信テスト許可

RTME ビット

“1”にすると、RAM テストが許可になります。このビットはグローバルテストモードでのみ書き換えてください。
このビットは、グローバルリセットモードで 0 にクリアされます。（「**図 24.37 RAM テストの設定手順**」を参照してください。）

1. RCFDCnCFDGCTR レジスタの GMDC[1:0]ビットを“10_B”（グローバルテストモード）にする。
2. RTME ビットを“1”にする。
3. RTME ビットが“1”になったことを確認する。

ICBCTME ビット

“1”にすると、RCFDCnCFDGTSTCFG レジスタの CmICBCE ビット（m＝0～7）を“1”に設定したチャネルのチャネル間通信テストが許可になります。ICBCTME ビットはグローバルテストモードで書き換えてください。
このビットは、グローバルリセットモードで 0 にクリアされます。

24.3.14.3　RCFDCnCFDGLOCKK ― グローバルロックキーレジスタ

アクセス　RCFDCnCFDGLOCKK レジスタは、32 ビット単位でライトのみ可能です。
RCFDCnCFDGLOCKKL レジスタは、16 ビット単位でライトのみ可能です。

アドレス　RCFDCnCFDGLOCKK：<RCFDCn_base>＋062C$_H$
RCFDCnCFDGLOCKKL：<RCFDCn_base>＋062C$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LOCK[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W[注1]	W[注1]	W[注1]	W[注1]	W[注1]	W[注1]	W[注1]	W[注1]	W[注1]	W[注1]	W[注1]	W[注1]	W[注1]	W[注1]	W[注1]	W[注1]

注1.　RS-CANFD モジュールがグローバルテストモード時のみこのビットへの書き込みが可能です。

表 24.114 RCFDCnCFDGLOCKK レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	ライトする場合はリセット後の値を書いてください。
15～0	LOCK[15:0]	ロックキービット テストモードの保護を解除するためのキービット

RCFDCnCFDGLOCKK レジスタは、特殊テストビットの保護を解除するための書き込み専用レジスタです。

プロテクト解除データについては、「**24.10.4.2 プロテクト解除手順**」を参照してください。

LOCK[15:0] ビット

プロテクト解除データを連続して LOCK[15:0]ビットに書くと、RCFDCnCFDGTSTCTR レジスタの RTME ビットへの“1”書き込みが可能になります。

プロテクトが解除された後、RAM を除く CAN の I/O レジスタ領域（<RCFDCn_base>＋0000$_H$～<RCFDCn_base>＋07FF$_H$）に書き込みを実行すると、再度プロテクトが有効になります。

CAN の I/O レジスタ領域の読み出し、または他の領域への読み書きを実行しても、プロテクトは有効になりません。

24.3.14.4　RCFDCnCFDRPGACCr ― RAM テストページアクセスレジスタ（r＝0～63）

アクセス　RCFDCnCFDRPGACCr レジスタは、32 ビット単位でリード／ライト可能です。

RCFDCnCFDRPGACCrL, RCFDCnCFDRPGACCrH レジスタは、16 ビット単位でリード／ライト可能です。

RCFDCnCFDRPGACCrLL, RCFDCnCFDRPGACCrLH, RCFDCnCFDRPGACCrHL, RCFDCnCFDRPGACCrHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RCFDCnCFDRPGACCr：<RCFDCn_base>＋10400_H＋(04_H×r)

RCFDCnCFDRPGACCrL：<RCFDCn_base>＋10400_H＋(04_H×r),

RCFDCnCFDRPGACCrH：<RCFDCn_base>＋10402_H＋(04_H×r)

RCFDCnCFDRPGACCrLL：<RCFDCn_base>＋10400_H＋(04_H×r),

RCFDCnCFDRPGACCrLH：<RCFDCn_base>＋10401_H＋(04_H×r),

RCFDCnCFDRPGACCrHL：<RCFDCn_base>＋10402_H＋(04_H×r),

RCFDCnCFDRPGACCrHH：<RCFDCn_base>＋10403_H＋(04_H×r)

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDTA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDTA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 24.115 RCFDCnCFDRPGACCr レジスタの内容

ビット位置	ビット名	機能
31～0	RDTA[31:0]	RAM データテストアクセス CAN 用 RAM データの読み書きができます。

RCFDCnCFDRPGACCr レジスタは、グローバルテストモードでかつ RCFDCnCFDGTSTCTR レジスタの RTME ビットが“1”（RAM テスト許可）の状態で書き換えてください。

RTME ビットが“1”のときに、RCFDCnCFDRPGACCr レジスタへの読み書きができます。

24.4　割り込み要因と DMA トリガ

24.4.1　割り込み要因

RS-CANFD モジュールは、ユニット 0 に 26 本、ユニット 1 に 14 本の割り込みがあり、グローバル割り込みとチャネル割り込みに分類されます。

- グローバル割り込み（各ユニット毎に 2 本）：受信 FIFO 割り込み、グローバルエラー割り込み
- チャネル割り込み（各チャネル毎に 3 本）：m＝0〜7（n＝0）、m＝0〜3（n＝1）

1. CANm 送信割り込み
   - CANm 送信完了割り込み
   - CANm 送信アボート割り込み
   - CANm 送受信 FIFO 送信完了割り込み（送信モード、ゲートウェイモード時）
   - CANm 送信履歴割り込み
   - CANm 送信キュー割り込み
2. CANm 送受信 FIFO 受信完了割り込み（受信モード、ゲートウェイモード時）
3. CANm エラー割り込み

割り込み要求が発生すると、対応する割り込み要求フラグが“1”（割り込み要求あり）になります。その場合、割り込み許可ビットを“1”（割り込み許可）にしていると、RS-CANFD モジュールから割り込み要求が出力されます。（割り込みの発生は、割り込みコントローラの割り込み制御レジスタの設定にも依存します。）

割り込み要求フラグを“0”（割り込み要求なし）にするか、割り込み許可ビットを“0”（割り込み禁止）にすると、割り込み要求がクリアされます。割り込み要求フラグをクリアするまで、割り込み要求は出力されたままです。

「**表 24.116 CAN 割り込み要因一覧**」に CAN 割り込み要因一覧を示します。「**図 24.2 CAN グローバル割り込みブロック図**」に CAN グローバル割り込みブロック図を、「**図 24.3 CAN チャネル割り込みブロック図**」に CAN チャネル割り込みブロック図を示します。

表 24.116 CAN 割り込み要因一覧

	割り込み要因		対応する割り込み要求フラグ	対応する割り込み許可ビット
グローバル割り込み	受信 FIFO	受信 FIFO 0	RCFDCnCFDRFSTS0 レジスタの RFIF フラグ	RCFDCnCFDRFCC0 レジスタの RFIE ビット
		受信 FIFO 1	RCFDCnCFDRFSTS1 レジスタの RFIF フラグ	RCFDCnCFDRFCC1 レジスタの RFIE ビット
		受信 FIFO 2	RCFDCnCFDRFSTS2 レジスタの RFIF フラグ	RCFDCnCFDRFCC2 レジスタの RFIE ビット
		受信 FIFO 3	RCFDCnCFDRFSTS3 レジスタの RFIF フラグ	RCFDCnCFDRFCC3 レジスタの RFIE ビット
		受信 FIFO 4	RCFDCnCFDRFSTS4 レジスタの RFIF フラグ	RCFDCnCFDRFCC4 レジスタの RFIE ビット
		受信 FIFO 5	RCFDCnCFDRFSTS5 レジスタの RFIF フラグ	RCFDCnCFDRFCC5 レジスタの RFIE ビット
		受信 FIFO 6	RCFDCnCFDRFSTS6 レジスタの RFIF フラグ	RCFDCnCFDRFCC6 レジスタの RFIE ビット
		受信 FIFO 7	RCFDCnCFDRFSTS7 レジスタの RFIF フラグ	RCFDCnCFDRFCC7 レジスタの RFIE ビット
	グローバルエラー		RCFDCnCFDGERFL レジスタの DEF フラグ	RCFDCnCFDGCTR レジスタの DEIE ビット
			RCFDCnCFDGERFL レジスタの MES フラグ	RCFDCnCFDGCTR レジスタの MEIE ビット
			RCFDCnCFDGERFL レジスタの THLES フラグ	RCFDCnCFDGCTR レジスタの THLEIE ビット
			RCFDCnCFDGERFL レジスタの CMPOF フラグ	RCFDCnCFDGCTR レジスタの CMPOFIE ビット
チャネル割り込み (m＝0～7 (n＝0), m＝0～3 (n＝1))	CANm 送信	CANm 送信完了	RCFDCnCFDTMSTSp レジスタの TMTRF[1:0]フラグ	RCFDCnCFDTMIECm レジスタの TMIEp ビット
		CANm 送信アボート	RCFDCnCFDTMSTSp レジスタの TMTRF[1:0]フラグ r	RCFDCnCFDCmCTR レジスタの TAIE ビット
		CANm 送受信 FIFO 送信完了	RCFDCnCFDCFSTSk レジスタの CFTXIF フラグ	RCFDCnCFDCFCCk レジスタの CFTXIE ビット
		CANm 送信キュー	RCFDCnCFDTXQSTSm レジスタの TXQTXIF フラグ	RCFDCnCFDTXQCCm レジスタの TXQTXIE ビット
		CANm 送信履歴	RCFDCnCFDTHLSTSm レジスタの THLIF フラグ	RCFDCnCFDTHLCCm レジスタの THLIE ビット
	CANm 送受信 FIFO 受信完了		RCFDCnCFDCFSTSk レジスタの CFRXIF フラグ	RCFDCnCFDCFCCk レジスタの CFRXIE ビット
	CANm エラー		RCFDCnCFDCmERFL レジスタの BEF フラグ	RCFDCnCFDCmCTR レジスタの BEIE ビット
			RCFDCnCFDCmERFL レジスタの ALF フラグ	RCFDCnCFDCmCTR レジスタの ALIE ビット
			RCFDCnCFDCmERFL レジスタの BLF フラグ	RCFDCnCFDCmCTR レジスタの BLIE ビット
			RCFDCnCFDCmERFL レジスタの OVLF フラグ	RCFDCnCFDCmCTR レジスタの OLIE ビット
			RCFDCnCFDCmERFL レジスタの BORF フラグ	RCFDCnCFDCmCTR レジスタの BORIE ビット
			RCFDCnCFDCmERFL レジスタの BOEF フラグ	RCFDCnCFDCmCTR レジスタの BOEIE ビット
			RCFDCnCFDCmERFL レジスタの EPF フラグ	RCFDCnCFDCmCTR レジスタの EPIE ビット
			RCFDCnCFDCmERFL レジスタの EWF フラグ	RCFDCnCFDCmCTR レジスタの EWIE ビット
			RCFDCnCFDCmFDSTS レジスタの SOCO フラグ	RCFDCnCFDCmCTR レジスタの SOCOIE ビット
			RCFDCnCFDCmFDSTS レジスタの EOCO フラグ	RCFDCnCFDCmCTR レジスタの EOCOIE ビット
			RCFDCnCFDCmFDSTS レジスタの TDCVF フラグ	RCFDCnCFDCmCTR レジスタの TDCVFIE ビット

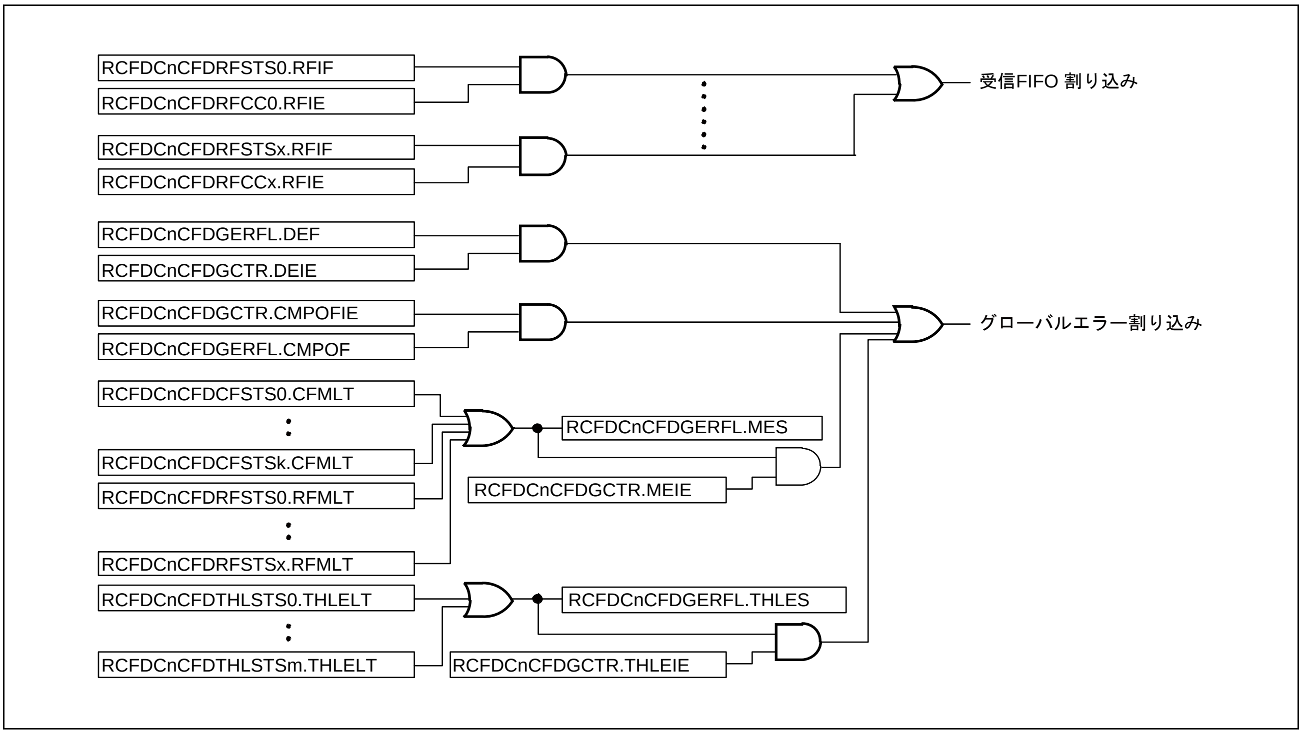


図 24.2　CAN グローバル割り込みブロック図

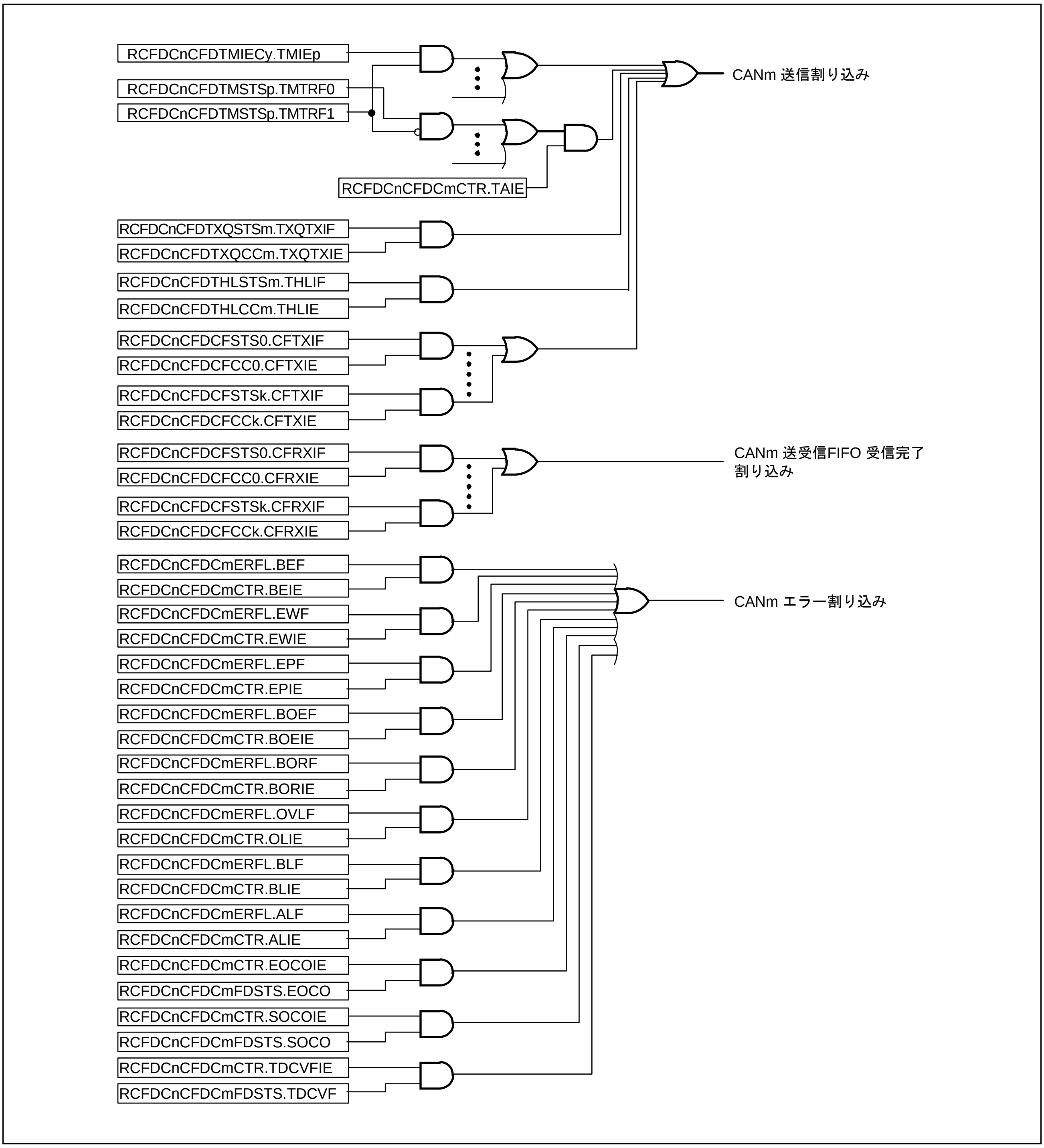


図 24.3　CAN チャネル割り込みブロック図

24.4.2　DMA トリガ

受信に使用する FIFO バッファを DMA のチャネルに関連付けることができます。次の 16 本の FIFO バッファに関連付けが可能です。

- 全ての受信 FIFO バッファ x（x＝0～7）
- チャネル m に割り当てられた最初の送受信 FIFO バッファ k（k＝3×m、m＝0～7）

DMA 許可ビット（RCFDCnCFDCDTCT レジスタの RFDMAEx ビットまたは CFDMAEm ビット）に“1”が設定され、関連する FIFO に未読メッセージがあるとき、DMA 転送要求トリガが生成されます。

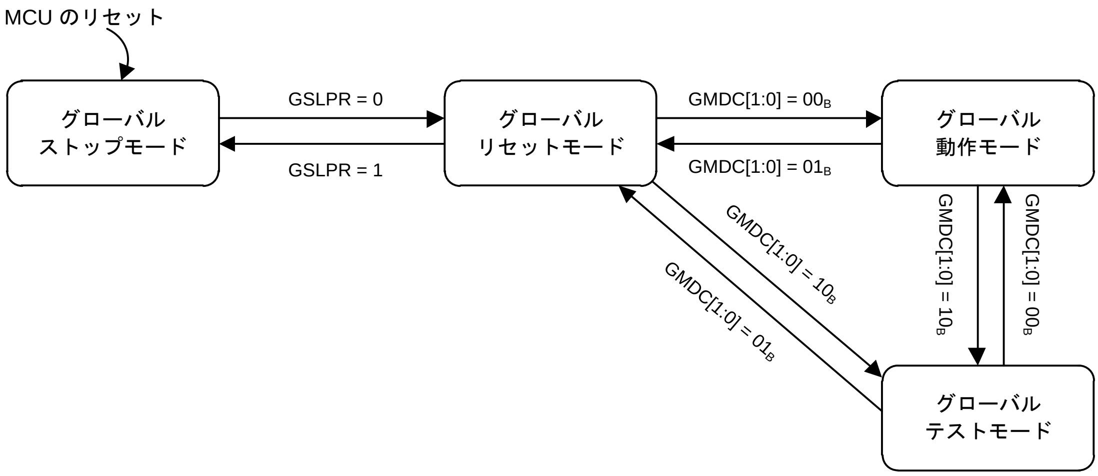
24.5　CAN モード

RS-CANFD モジュールには、RS-CANFD モジュール全体の状態を制御するグローバルモードが 4 種類と、個々のチャネル状態を制御するチャネルモードが 4 種類あります。「**24.5.1 グローバルモード**」にグローバルモード、「**24.5.2 チャネルモード**」にチャネルモードの詳細を示します。

- グローバルストップモード　：　モジュール全体のクロックを停止させ、低消費電力を実現する。
- グローバルリセットモード　：　モジュール全体の初期設定を行う。
- グローバルテストモード　：　テスト設定を行う。また、RAM テストを実施する。
- グローバル動作モード　：　モジュール全体を動作可能にする。
- チャネルストップモード　：　チャネルのクロックが停止する。
- チャネルリセットモード　：　チャネルの初期設定を行う。
- チャネル待機モード　：　CAN 通信を停止させる。また、チャネルのテストを許可する。
- チャネル通信モード　：　CAN 通信を行う。

24.5.1　グローバルモード

「**図 24.4 グローバルモードの遷移図**」にグローバルモードの遷移図を示します。



備考　GSLPR、GMDC[1:0]：RCFDCnCFDGCTR レジスタのビット

図 24.4　グローバルモードの遷移図

グローバルモードの遷移により、チャネルのモードが変化する場合があります。「**表 24.117 グローバルモード設定（GMDC[1:0]、GSLPR ビット）によるチャネルモードの変化**」にグローバルモード設定（GMDC[1:0]、GSLPR ビット）によるチャネルモードの変化を示します。

表 24.117 グローバルモード設定（GMDC[1:0]、GSLPR ビット）によるチャネルモードの変化

設定前のチャネルモード	設定後のチャネルモード GMDC[1:0]＝00_B GSLPR＝0 （グローバル動作）	GMDC[1:0]＝10_B GSLPR＝0 （グローバルテスト）	GMDC[1:0]＝01_B GSLPR＝0 （グローバルリセット）	GMDC[1:0]＝01_B GSLPR＝1 （グローバルストップ）
チャネル通信	チャネル通信	チャネル待機	チャネルリセット	遷移禁止
チャネル待機	チャネル待機	チャネル待機	チャネルリセット	遷移禁止
チャネルリセット	チャネルリセット	チャネルリセット	チャネルリセット	チャネルストップ
チャネルストップ	チャネルストップ	チャネルストップ	チャネルストップ	チャネルストップ

備考　GMDC[1:0]ビットと GSLPR ビットは、RCFDCnCFDGCTR レジスタのビット。

「**表 24.118 グローバルモードの遷移時間**」にグローバルモードの遷移時間を示します。

表 24.118 グローバルモードの遷移時間

遷移前のモード	遷移後のモード	最大遷移時間
グローバルストップ	グローバルリセット	pclk の 3 クロック
グローバルリセット	グローバルストップ	pclk の 3 クロック
グローバルリセット	グローバルテスト	pclk の 10 クロック
グローバルリセット	グローバル動作	pclk の 10 クロック
グローバルテスト	グローバルリセット	2 CAN ビットタイム[注 1、注 2]
グローバルテスト	グローバル動作	pclk の 3 クロック
グローバル動作	グローバルリセット	2 CAN ビットタイム[注 1、注 2]
グローバル動作	グローバルテスト	CAN フレームの 3 つ分[注 1]

注1.　使用チャネルの内、最も遅い通信速度の CAN ビットタイムおよび CAN フレーム時間になります。
注2.　通常ビットレートの CAN ビットタイムになります。

24.5.1.1　グローバルストップモード

グローバルストップモードでは CAN のクロックが停止するので、消費電力が低減されます。CAN 関連レジスタの読み出しは可能ですが、書き込みはしないでください。レジスタ値は保持されます。グローバルストップモード時、GSLPR ビットへの CPU 書き込み用クロックのみが動作します。

MCU のリセット後、グローバルストップモードになります。また、グローバルリセットモード時に RCFDCnCFDGCTR レジスタの GSLPR ビットを“1”（グローバルストップモード）にすると、各 RCFDCnCFDCmCTR レジスタの CSLPR ビットが“1”（チャネルストップモード）になります。その後、すべてのチャネルが強制的にチャネルストップモードへ遷移すると、グローバルストップモードになります。GSLPR ビットは、グローバル動作モードまたはグローバルテストモードでは書き換えないでください。

24.5.1.2　グローバルリセットモード

グローバルリセットモードで RS-CANFD モジュールの設定を行います。グローバルリセットモードに遷移すると、一部のレジスタが初期化されます。初期化されるレジスタについては、「**表 24.121 グローバルリセットモードおよびチャネルリセットモードで初期化されるレジスタ一覧**」と「**表 24.122 グローバルリセットモードでのみ初期化されるレジスタ一覧**」を参照してください。

RCFDCnCFDGCTR レジスタの GMDC[1:0]ビットを“01_B”に設定すると、各 RCFDCnCFDCmCTR レジスタ（m＝0～7）の CHMDC[1:0]ビットが “01_B”（チャネルリセットモード）になります。すべてのチャネルが強制的にチャネルリセットモードへ遷移すると、グローバルリセットモードになります。

すでにチャネルリセットモードまたはチャネルストップモードであるチャネルはモード遷移しません（CHMDC[1:0]ビットがすでに“01_B”に設定されているため）。

24.5.1.3　グローバルテストモード

グローバルテストモードでテスト関連レジスタの設定を行います。グローバルテストモードに遷移すると、すべての CAN 通信は停止します。

RCFDCnCFDGCTR レジスタの GMDC[1:0]ビットを “10_B”に設定すると、各 RCFDCnCFDCmCTR レジスタの CHMDC[1:0]ビットが “10_B”（チャネル待機モード）になります。すべてのチャネルが強制的にチャネル待機モードへ遷移すると、グローバルテストモードになります。チャネルストップモード、チャネルリセットモード、またはチャネル待機モードであるチャネルは、モード遷移しません。

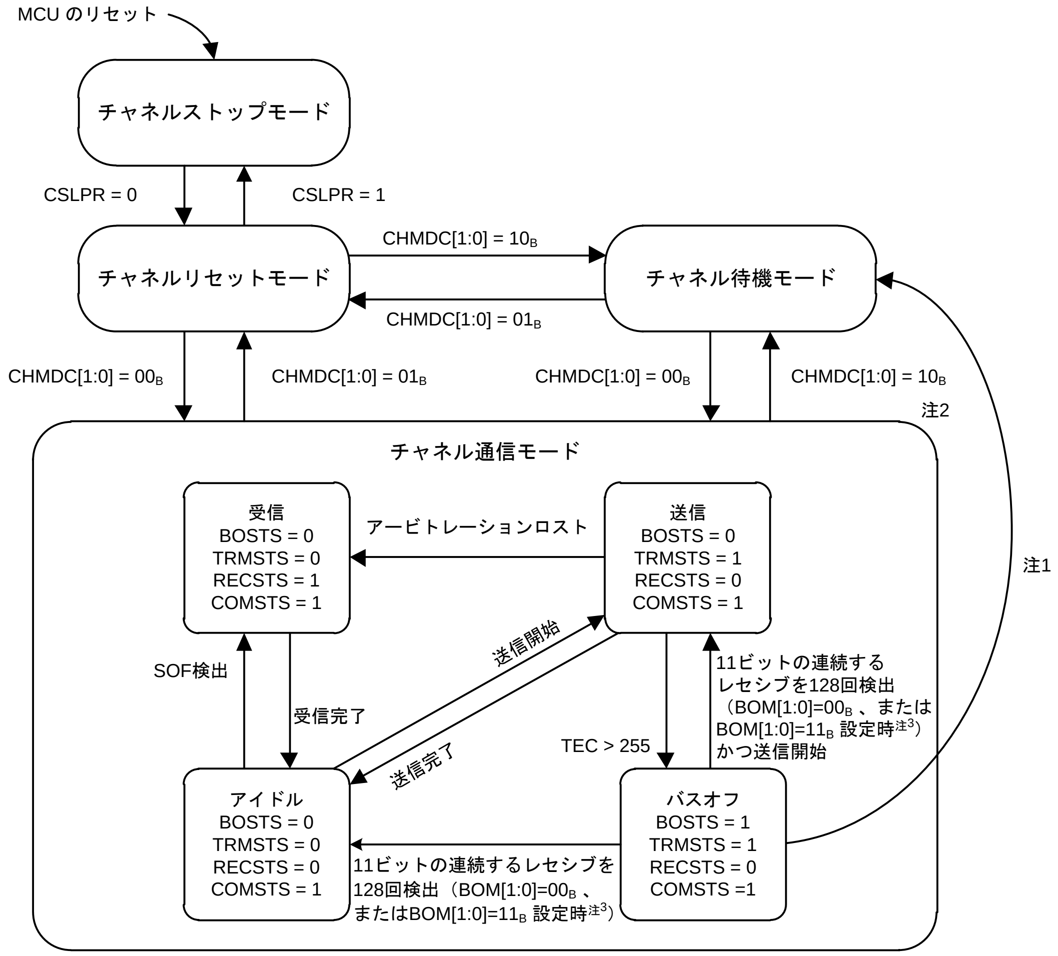
24.5.1.4　グローバル動作モード

グローバル動作モードでは RS-CANFD モジュールが動作します。

RCFDCnCFDGCTR レジスタの GMDC[1:0]ビットを“00_B”にすると、グローバル動作モードに遷移します。

24.5.2　チャネルモード

「**図 24.5 チャネルモードの状態遷移図**」にチャネルモードの状態遷移図を示します。「**表 24.119 チャネルモードの遷移時間**」にチャネルモードの遷移時間を示します。



備考　CHMDC[1:0]、CSLPR、BOM[1:0]：RCFDCnCFDCmCTR レジスタのビット（m＝0～7）BOSTS、TRMSTS、RECSTS、COMSTS：RCFDCnCFDCmSTS レジスタのビット

注1.　バスオフ状態から待機モードへの遷移タイミング
- BOM[1:0]＝01_B の場合：TEC＞255 になると、チャネル待機モードへ遷移
- BOM[1:0]＝10_B の場合：11 ビットの連続するレセシブを 128 回検出したとき、チャネル待機モードへ遷移
- BOM[1:0]＝11_B の場合：CHMDC[1:0]ビットを“10_B”にすると、チャネル待機モードへ遷移

注2.　CAN バスがドミナントレベルでロックされている間は、チャネル待機モードに遷移しません。その場合はチャネルリセットモードに遷移してください。

注3.　CHMDC[1:0]ビットを“10_B”に設定する前に、11 ビットの連続するレセシブを 128 回検出したとき。

図 24.5　　チャネルモードの状態遷移図

表 24.119 チャネルモードの遷移時間

遷移前のモード	遷移後のモード	最大遷移時間
チャネルストップ	チャネルリセット	pclk の 3 クロック
チャネルリセット	チャネルストップ	pclk の 3 クロック
チャネルリセット	チャネル待機	3 CANm ビットタイム注1
チャネルリセット	チャネル通信	4 CANm ビットタイム注1
チャネル待機	チャネルリセット	2 CANm ビットタイム注1
チャネル待機	チャネル通信	4 CANm ビットタイム注1
チャネル通信	チャネルリセット	2 CANm ビットタイム注1
チャネル通信	チャネル待機	CANm フレームの 2 つ分

注1.　通常ビットレートの CANm ビットタイムになります。

24.5.2.1　チャネルストップモード

チャネルストップモードでは、チャネルへ供給するクロックが停止するので、消費電力が低減されます。チャネル関連レジスタの読み出しは可能ですが、書き込みはしないでください（CSLPR ビットへの書き込みを除く）。レジスタ値は保持されます。

各チャネルは、MCU のリセット後、チャネルストップモードになります。また、チャネルリセットモード時に、RCFDCnCFDCmCTR レジスタ（m＝0～7）の CSLPR ビットを“1”（チャネルストップモード）にすると、チャネルストップモードに遷移します。CSLPR ビットはチャネル通信モードおよびチャネル待機モードでは書き換えないでください。

24.5.2.2　チャネルリセットモード

チャネルリセットモードでチャネルの設定を行います。チャネルリセットモードに遷移すると、一部のチャネル関連レジスタが初期化されます。初期化されるレジスタについては、「**表 24.121 グローバルリセットモードおよびチャネルリセットモードで初期化されるレジスタ一覧**」を参照してください。

CAN 通信中に RCFDCnCFDCmCTR レジスタの CHMDC[1:0]ビットを“01_B”（チャネルリセットモード）にすると、送受信の完了を待たずに通信が中断され、チャネルリセットモードへ遷移します。「**表 24.120 チャネルリセット／チャネル待機モード遷移時の動作**」に CAN 通信中に CHMDC[1:0]ビットを“01_B”（チャネルリセットモード）に設定したときの動作を示します。

24.5.2.3　チャネル待機モード

チャネル待機モードでチャネルのテスト関連レジスタの設定を行います。チャネル待機モードに遷移すると、チャネルの CAN 通信は停止します。

「**表 24.120 チャネルリセット／チャネル待機モード遷移時の動作**」に CAN 通信中に CHMDC[1:0]ビットを“10_B”（チャネル待機モード）に設定したときの動作を示します。

表 24.120 チャネルリセット／チャネル待機モード遷移時の動作

モード	受信中	送信中	バスオフ状態
チャネルリセット（CHMDC[1:0]＝“01_B”）	受信の終了を待たずにチャネルリセットモードに遷移注1	送信の終了を待たずにチャネルリセットモードに遷移注1	バスオフ復帰の終了を待たずにチャネルリセットモードに遷移
チャネル待機注3（CHMDC[1:0]＝“10_B”）	受信の終了を待ってチャネル待機モードに遷移注2	送信の終了を待ってチャネル待機モードに遷移	［BOM[1:0]ビットが“00_B”の場合］ バスオフ復帰後のみ、チャネル待機モード遷移（CHMDC[1:0]＝“10_B”）が実行される ［BOM[1:0]ビットが“01_B”の場合］ バスオフ状態への遷移条件が成立したときに自動的にチャネル待機モードに遷移 ［BOM[1:0]ビットが“10_B”の場合］ バスオフ復帰の終了を待って自動的にチャネル待機モードに遷移 ［BOM[1:0]ビットが“11_B”の場合］ CHMDC[1:0]ビットに“10_B”が設定されるとすぐにチャネル待機モードに遷移（バスオフ復帰の終了は待たない）

注1.　通信が終了した後にチャネルリセットモードへ遷移するには、まず CHMDC[1:0]ビットを“10_B”に設定し、通信が終了しチャネル待機モードへ遷移したことを確認してから、CHMDC[1:0]ビットを“01_B”に設定してください。

注2.　CAN バスがドミナントレベルでロックされている間は、チャネル待機モードに遷移しません。その場合はチャネルリセットモードに遷移してください。バスドミナントロックを検出すると RCFDCnCFDCmERFL レジスタの BLF フラグが“1”になるので、CAN バスの状態を確認できます。

注3.　チャネルリセットモードからチャネル待機モードへ遷移する場合、RCFDCnCFDCmNCFG レジスタと RCFDCnCFDCmDCFG レジスタを設定してから遷移してください。

24.5.2.4　チャネル通信モード

チャネル通信モードで CAN 通信を行います。CAN 通信時、各チャネルは次に示す通信状態をとります。

- アイドル　：　受信も送信もしていない状態。
- 受信　：　他のノードから送られてきたメッセージを受信している状態。
- 送信　：　メッセージを送信している状態。
- バスオフ　：　CAN 通信から遮断されている状態。

RCFDCnCFDCmCTR レジスタの CHMDC[1:0]ビットを“00_B”にすると、チャネル通信モードに遷移します。遷移後、11 ビットの連続するレセシブを検出すると、RCFDCnCFDCmSTS レジスタ（m＝0～7）の COMSTS フラグが“1”（通信可能な状態）になり、CAN ネットワーク上でアクティブノードとして、送受信が許可されます。この時点で、メッセージの送受信が開始できるようになります。

24.5.2.5 バスオフ状態

CAN 仕様の送信、受信エラーカウンタの増減ルールに従ってバスオフ状態に遷移します。

バスオフ状態からの復帰条件は、RCFDCnCFDCmCTR レジスタの BOM[1:0]ビットで設定します。

- BOM[1:0]ビットが“00_B”のとき：

  CAN 仕様に準拠し、11 ビットの連続するレセシブを 128 回検出後に、バスオフ状態から CAN 通信可能な状態（エラーアクティブ状態）に復帰します。そのとき、RCFDCnCFDCmSTS レジスタの TEC[7:0]ビットと REC[7:0]ビットは“00_H”に初期化され、RCFDCnCFDCmERFL レジスタの BORF フラグが“1”（バスオフ復帰検出）になり、バスオフ復帰割り込み要求が発生します。バスオフ状態で、RCFDCnCFDCmCTR レジスタの CHMDC[1:0]ビットを“10_B”（チャネル待機モード）にすると、バスオフ復帰が完了（11 ビットの連続するレセシブを 128 回検出）してからチャネル待機モードに遷移します。

- BOM[1:0]ビットが“01_B”のとき：

  バスオフ状態に遷移すると、CHMDC[1:0]ビットが“10_B”になり、チャネル待機モードへ遷移します。そのとき、TEC[7:0]ビットと REC[7:0]ビットは“00_H”に初期化されます。BORF フラグは“1”にならず、バスオフ復帰割り込み要求は発生しません。

- BOM[1:0]ビットが“10_B”のとき：

  バスオフ状態に遷移すると、CHMDC[1:0]ビットが“10_B”になり、バスオフ復帰が完了（11 ビットの連続するレセシブを 128 回検出）してからチャネル待機モードに遷移します。そのとき、TEC[7:0]ビットと REC[7:0]ビットは“00_H”に初期化され、BORF フラグが“1”になり、バスオフ復帰割り込み要求が発生します。

- BOM[1:0]ビットが“11_B”のとき：

  バスオフ状態時に、CHMDC[1:0]ビットを“10_B”にすると、バスオフ復帰を待たずにチャネル待機モードに遷移します。そのとき、TEC[7:0]ビットと REC[7:0]ビットは“00_H”に初期化されます。BORF フラグは“1”になりません。またバスオフ復帰割り込み要求は発生しません。

  ただし、CHMDC[1:0]ビットを“10_B”にする前に 11 ビットの連続するレセシブを 128 回検出し、エラーアクティブ状態に復帰した場合、BORF フラグが“1”になり、バスオフ復帰割り込み要求が発生します。

RS-CANFD モジュールによるチャネル待機モードへの遷移と、プログラムによる CHMDC[1:0]ビットへの書き込みが同時に発生した場合、プログラムによる書き込みが優先されます。BOM[1:0]ビットを“01_B”または“10_B”に設定した場合のチャネル待機モードへの自動的な遷移は、CHMDC[1:0]ビットが“00_B”（チャネル通信モード）のときのみ発生します。

また、RCFDCnCFDCmCTR レジスタの RTBO ビットを“1”にすることで、バスオフ状態から強制的に復帰することができます。RTBO ビットに“1”を書くと、直ちにエラーアクティブ状態になり、11 ビットの連続するレセシブを検出後、通信可能な状態になります。この場合、BORF フラグは“1”になりません。TEC[7:0]ビットと REC[7:0]ビットは“00_H”に初期化されます。RTBO ビットは、BOM[1:0]ビットが“00_B”のときのみ“1”を書いてください。バスオフ状態以外で、RTBO ビットに“1”を書いても無視され、RTBO ビットは直ちに“0”になります。

24.5.3 CAN モード遷移によるレジスタ初期化

チャネルリセットモードへの遷移によって初期化されるビットおよびフラグを「**表 24.121 グローバルリセットモードおよびチャネルリセットモードで初期化されるレジスター覧**」に示します。これらは、グローバルリセットモードへの遷移でも初期化されます。また、グローバルリセットモードへの遷移のみによって初期化されるビットおよびフラグを「**表 24.122 グローバルリセットモードでのみ初期化されるレジスター覧**」に示します。

表 24.121 グローバルリセットモードおよびチャネルリセットモードで初期化されるレジスター覧

レジスタ	ビット／フラグ
RCFDCnCFDCmCTR レジスタ	ROM, CRCT, CTMS[1:0], CTME, CHMDC[1:0]
RCFDCnCFDCmSTS レジスタ	CHLTSTS, EPSTS, BOSTS, TRMSTS, RECSTS, COMSTS, ESIF, REC[7:0], TEC[7:0]
RCFDCnCFDCmERFL レジスタ	CRCREG[14:0], ADERR, B0ERR, B1ERR, CERR, AERR, FERR, SERR, ALF, BLF, OVLF, BORF, BOEF, EPF, EWF, BEF
RCFDCnCFDCmFDCTR レジスタ	EOCCLR, SOCCLR
RCFDCnCFDCmFDSTS レジスタ	SOC[7:0], EOC[7:0], SOCO, EOCO, TDCVF, TDCR[6:0]
RCFDCnCFDCmFDCRC レジスタ	CRCREG[20:0], SCNT[3:0]
RCFDCnCFDCFCCk レジスタ	送受信 FIFO バッファが送信モードまたはゲートウェイモード時：CFE
RCFDCnCFDCFSTSk レジスタ	送受信 FIFO バッファが送信モードまたはゲートウェイモード時：CFMC[7:0], CFFLL, CFEMP, CFMLT, CFRXIF, CFTXIF
RCFDCnCFDCFTISTS レジスタ	CFkTXIF
RCFDCnCFDTMCp レジスタ	TMOM, TMTAR, TMTR
RCFDCnCFDTMSTSp レジスタ	TMTARM, TMTRM, TMTRF[1:0], TMTSTS
RCFDCnCFDTMTRSTSm レジスタ	TMTRSTSp（チャネルリセットモード時は、対応するチャネルのビットが初期化される）
RCFDCnCFDTMTARSTSm レジスタ	TMTARSTSp（チャネルリセットモード時は、対応するチャネルのビットが初期化される）
RCFDCnCFDTMTCSTSm レジスタ	TMTCSTSp（チャネルリセットモード時は、対応するチャネルのビットが初期化される）
RCFDCnCFDTMTASTSm レジスタ	TMTASTSp（チャネルリセットモード時は、対応するチャネルのビットが初期化される）
RCFDCnCFDTXQCCm レジスタ	TXQE
RCFDCnCFDTXQSTSm レジスタ	TXQTXIF, TXQFLL, TXQEMP
RCFDCnCFDTHLCCm レジスタ	THLE
RCFDCnCFDTHLSTSm レジスタ	THLMC[5:0], THLIF, THLELT, THLFLL, THLEMP
RCFDCnCFDGTINTSTS0 レジスタ	TSIFm, TAIFm, TQIFm, CFTIFm, THIFm（m＝0～3）
RCFDCnCFDGTINTSTS1 レジスタ	TSIFm, TAIFm, TQIFm, CFTIFm, THIFm（m＝4～7）

表 24.122 グローバルリセットモードでのみ初期化されるレジスター覧

レジスタ	ビット／フラグ
RCFDCnCFDGSTS レジスタ	GHLTSTS
RCFDCnCFDGERFL レジスタ	EEF0, EEF1, EEF2, EEF3, EEF4, EEF5, CMPOF, THLES, MES, DEF
RCFDCnCFDGTSC レジスタ	TS[15:0]
RCFDCnCFDRMNDy レジスタ	RMNSq
RCFDCnCFDRFCCx レジスタ	RFE
RCFDCnCFDRFSTSx レジスタ	RFMC[7:0], RFIF, RFMLT, RFFLL, RFEMP
RCFDCnCFDCFCCk レジスタ	送受信 FIFO が受信モード時：CFE
RCFDCnCFDCFSTSk レジスタ	送受信 FIFO バッファが受信モード時：CFMC[7:0], CFFLL, CFEMP, CFTXIF, CFRXIF, CFMLT
RCFDCnCFDFESTS レジスタ	CFkEMP, RFxEMP
RCFDCnCFDFFSTS レジスタ	CFkFLL, RFxFLL
RCFDCnCFDFMSTS レジスタ	CFkMLT, RFxMLT
RCFDCnCFDRFISTS レジスタ	RFxIF
RCFDCnCFDCFRISTS レジスタ	CFkRXIF
RCFDCnCFDCDTCT レジスタ	CFDMAEm, RFDMAEx
RCFDCnCFDCDTSTS レジスタ	CFDMASTSm, RFDMASTSx
RCFDCnCFDGTSTCFG レジスタ	RTMPS[8:0], C0ICBCE, C1ICBCE, C2ICBCE, C3ICBCE, C4ICBCE, C5ICBCE, C6ICBCE, C7ICBCE
RCFDCnCFDGTSTCTR レジスタ	RTME, ICBCTME

24.6　受信機能

受信の種類には次の 2 つがあります。

- 受信バッファによる受信：

  全チャネルで共有する受信バッファは、0～128 バッファの範囲で使用できます。受信バッファに格納するメッセージは毎回上書きされるので、常に最新の受信データが読み出せます。

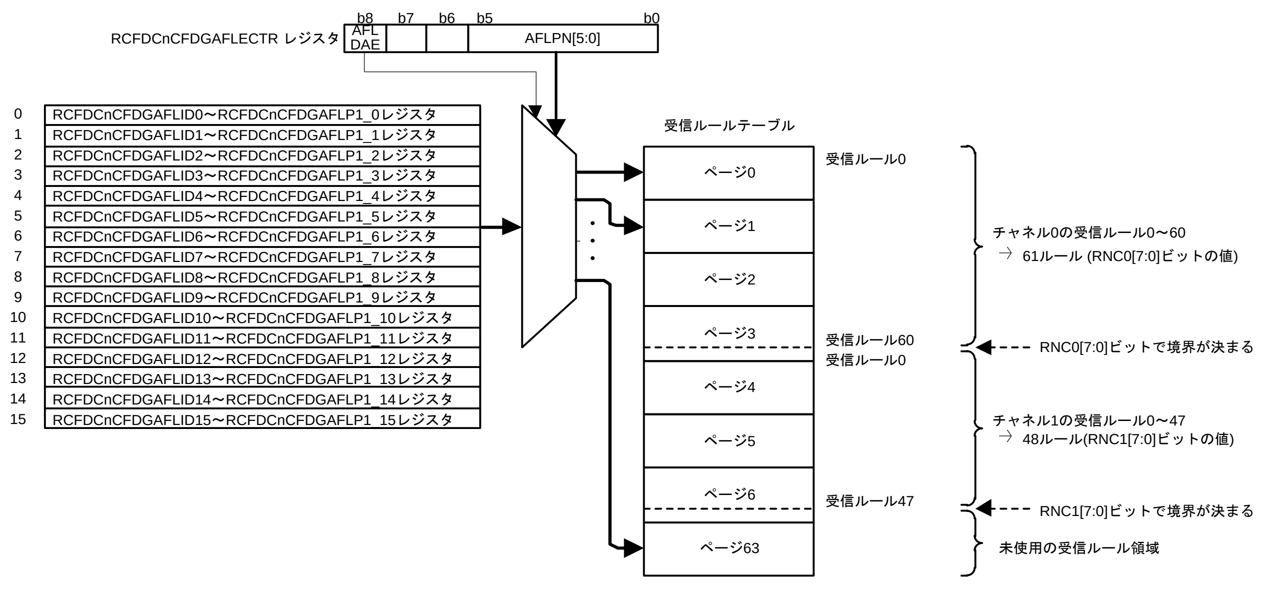
- 受信 FIFO バッファ、送受信 FIFO バッファ（受信モード）による受信：

  全チャネルで共有する受信 FIFO バッファが 8 本と、各チャネル専用の送受信 FIFO バッファが 1 チャネルにつき 3 本ずつあります。FIFO バッファには RFDC[2:0]ビット、CFDC[2:0]ビットで設定した段数までメッセージを保存することができ、古いメッセージから順次、読み出せます。

24.6.1　受信ルールテーブルを用いたデータ処理

受信ルールテーブルを用いたデータ処理により、選別したメッセージを指定のバッファに格納することができます。データ処理には、アクセプタンスフィルタ処理、DLC フィルタ処理、ルーティング処理、ラベル付加処理、ミラー機能の処理があります。

登録できる受信ルール数は 1 チャネルにつき最大 255 で、モジュール全体では、128×チャネル数となります（本モジュールは 8 チャネル搭載しているため、最大 1024 ルール登録できます）。受信ルールはチャネルごとに設定してください。他のチャネルと共用できません。受信ルールを設定しない場合は、メッセージを受信できません。「**図 24.6 受信ルール登録（チャネル 0、1 を設定する場合）**」に受信ルール登録の説明図を示します。



備考　RNC0[7:0]、RNC1[7:0]：RCFDCnCFDGAFLCFG0 レジスタのビット

図 24.6　受信ルール登録（チャネル 0、1 を設定する場合）

注　意

各チャネルの受信ルールは、連続して設定してください。チャネル 0 の受信ルールとチャネル 1 の受信ルールを交互に設定することはできません。

各受信ルールは RCFDCnCFDGAFLIDj、RCFDCnCFDGAFLMj、RCFDCnCFDGAFLP0_j、RCFDCnCFDGAFLP1_j レジスタ（j＝0〜15）の 16 バイトで構成されています。RCFDCnCFDGAFLIDj レジスタでは GAFLID、GAFLIDE ビット、GAFLRTR ビット、ミラー機能の設定、RCFDCnCFDGAFLMj レジスタではマスク設定、RCFDCnCFDGAFLP0_j レジスタでは付加するラベル情報、DLC 値、格納先受信バッファの設定、RCFDCnCFDGAFLP1_j レジスタは格納先 FIFO バッファの設定を行います。1 ページあたり 16 個の受信ルールを設定できます。

24.6.1.1 アクセプタンスフィルタ処理

アクセプタンスフィルタ処理では、受信メッセージの ID データ、IDE ビット、RTR ビットが、対応するチャネルの受信ルールに設定した ID データ、IDE ビット、RTR ビットと比較されます。すべてのビットが一致すると、アクセプタンスフィルタ処理を通過します。RCFDCnCFDGAFLMj レジスタで“0”（ビットを比較しない）にしたビットに対応する受信メッセージの ID データ、IDE ビット、RTR ビットは、比較されずに一致したとみなします。

対応するチャネルの一番小さい番号の受信ルールからチェックを開始します。受信メッセージの比較対象ビットが受信ルールとすべて一致したとき、または一致する受信ルールがないまますべてのチェックを終了したとき、フィルタ処理は停止します。一致する受信ルールがない場合は、受信バッファや FIFO バッファに格納されません。

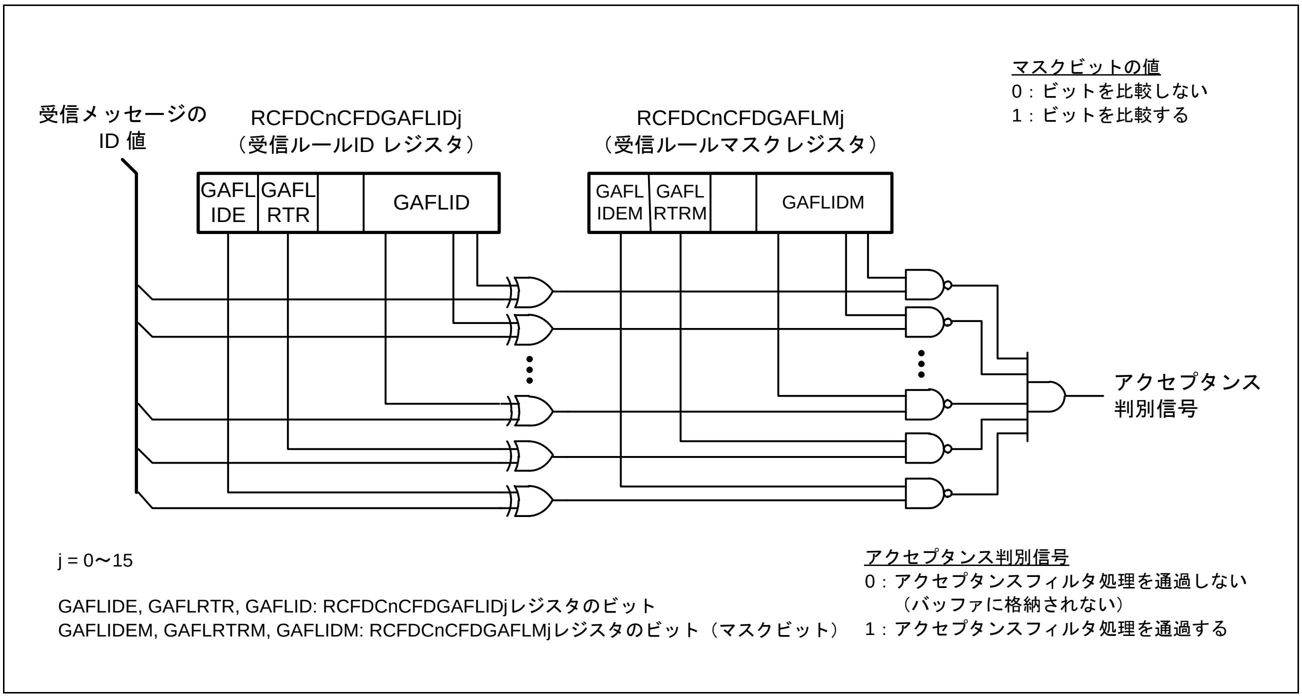


図 24.7　アクセプタンスフィルタ機能

24.6.1.2　DLC フィルタ処理

RCFDCnCFDGCFG レジスタの DCE ビットを“1”（DLC チェック許可）にすると、アクセプタンスフィルタ処理を通過したメッセージに対して DLC フィルタ処理が行われます。メッセージの DLC 値が受信ルールに設定した DLC 値以上の場合、DLC フィルタ処理を通過します。

RCFDCnCFDGCFG レジスタの DRE ビットが“0”（DLC 置換禁止）で、DLC フィルタ処理を通過した場合、受信メッセージの DLC 値がバッファに格納されます。この場合、受信メッセージのすべてのデータバイトがバッファに格納されます。

RCFDCnCFDGCFG レジスタの DRE ビットが“1”（DLC 置換許可）で、DLC フィルタ処理を通過した場合、受信メッセージの DLC 値の代わりに、受信ルールの DLC 値がバッファに格納されます。この場合、受信ルールの DLC 値を超えるデータバイトには“00_H”が格納されます。

受信メッセージの DLC 値が受信ルールの DLC 値より小さい場合は、DLC フィルタ処理を通過しません。この場合、メッセージは受信バッファや FIFO バッファに格納されず、RCFDCnCFDGERFL レジスタの DEF フラグが“1”（DLC エラー）となります。

24.6.1.3　ルーティング処理

アクセプタンスフィルタ処理と DLC フィルタ処理を通過したメッセージは、受信バッファ、受信 FIFO バッファ、または受信およびゲートウェイモードに設定した送受信 FIFO バッファに格納されます。メッセージ格納先は、RCFDCnCFDGAFLP0_j レジスタ（j＝0～15）の GAFLRMV ビット、GAFLRMDP[6:0]ビット、RCFDCnCFDGAFLP1_j レジスタで設定します。フィルタ処理を通過したメッセージは最大 8 つのバッファに格納することができます。

受信したメッセージのペイロード長が格納先バッファのペイロード格納サイズを超える場合は、RCFDCnCFDGERFL レジスタの CMPOF フラグが“1”（ペイロードオーバフロー）となり、RCFDCnCFDGCFG レジスタの CMPOC ビットに従って処理が行われます。CMPOC ビットが“0”のとき、ペイロード格納サイズを超えるメッセージはバッファに格納されません。CMPOC ビットが“1”のときは格納サイズを超える分のペイロードは切り捨てられて、メッセージがバッファに格納され、RCFDCnCFDGCFG レジスタの DRE ビットに応じて、受信 DLC 値または受信ルールの DLC 値がバッファに格納されます。

24.6.1.4　ラベル付加処理

フィルタ処理を通過したメッセージに 16 ビットのラベル情報を添付し、バッファに格納することができます。ラベル情報は、RCFDCnCFDGAFLP0_j レジスタの GAFLPTR[15:0]ビットに設定します。

24.6.1.5　ミラー機能の処理

ミラー機能を使用すると、自らが送信したメッセージを受信することができます。ミラー機能は、RCFDCnCFDGCFG レジスタの MME ビットを“1”（ミラー機能許可）にすることで使用可能になります。

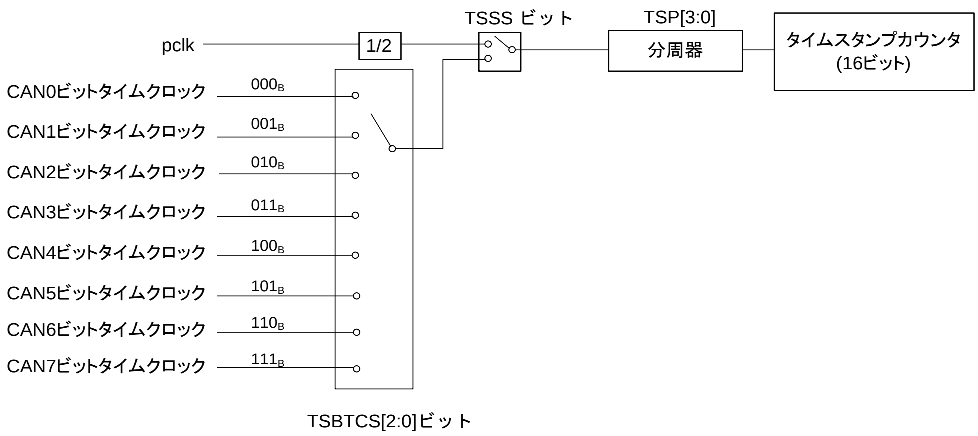
ミラー機能使用時、他の CAN ノードが送信したメッセージを受信するときは、RCFDCnCFDGAFLIDj レジスタの GAFLLB ビットを“0”にした受信ルールがデータ処理に使用されます。自らが送信したメッセージを受信するときは、GAFLLB ビットを“1”にした受信ルールがデータ処理に使用されます。

24.6.1.6　タイムスタンプ

タイムスタンプカウンタは、メッセージの受信時間と送信時間を記録するために使用する 16 ビットのフリーランカウンタです。タイムスタンプカウンタ値は、RCFDCnCFDGCFG レジスタの TSCCFG[1:0]ビットのタイミングで取り込まれ、受信時はメッセージ ID やデータとともに、受信バッファや FIFO バッファに格納されます。タイムスタンプカウンタのクロック源は、RCFDCnCFDGCFG レジスタの TSBTCS[2:0]、TSSS ビットで選択します。クロック源は、pclk/2 または CANm 通常ビットタイムクロック（m＝0～7）から選択できます。ただし、CAN FD フレームを扱うチャネルの CANm 通常ビットタイムクロックは選択しないでください。選択したクロック源を RCFDCnCFDGCFG レジスタの TSP[3:0]ビットで分周したクロックが、タイムスタンプカウンタのカウントソースになります。

CANm ビットタイムクロックまたは CANm 通常ビットタイムクロックをクロック源として使用する場合、対応するチャネルがチャネルリセットモードまたはチャネル待機モードに遷移すると、タイムスタンプカウンタが停止します。pclk/2 をクロック源として使用する場合、タイムスタンプ機能はチャネルモードに影響されません。

タイムスタンプカウンタ値は RCFDCnCFDGCTR レジスタの TSRST ビットを“1”にすると、“0000_H”にリセットされます。



備考　TSBTCS[2:0], TSSS, TSP[3:0]：RCFDCnCFDGCFG レジスタのビット
　　　タイムスタンプのカウントソースに pclk/2 を設定するときは、TSBTCS[2:0]を“000_B”にしてください。

図 24.8　タイムスタンプ機能のブロック図

24.7　送信機能

送信の種類には、次の 3 つがあります。送信可能なペイロード長はいずれも 64 バイトです。

- 送信バッファによる送信：

  1 チャネルにつき 32 バッファあります。

- 送受信 FIFO バッファ（送信モード）による送信：

  1 チャネルにつき 3 本ずつあります。1 本の FIFO バッファに最大 128 メッセージ格納できます。送信バッファにリンクさせて使用します。FIFO バッファ内で、次に送信予定のメッセージのみ送信の優先順位判定の対象となります。メッセージは格納順に送信されます。

- 送信キューによる送信：

  1 チャネルにつき最大 32 の送信バッファを送信キューに割り付けできます。送信バッファ(32×m)＋31 が対応するチャネルのアクセスウィンドウとして使用します。バッファ番号の大きい方から順に、送信キューに割り付けられます。すべての送信キュー内のメッセージは優先順位判定の対象となり、ID 順に送信されます。

「**図 24.9 送信キューの割り付けと送受信 FIFO バッファのリンク**」に送信キューの割り付けと送受信 FIFO バッファのリンクを示します。

送信バッファ0	送信バッファ0	送受信FIFO バッファ0	送信バッファ0
送信バッファ1	送受信FIFO バッファ0	送信バッファ1	送信バッファ1
送信バッファ2	送信バッファ2	送信バッファ2	送信バッファ2
送信バッファ3	送受信FIFO バッファ1	送信バッファ3	送信バッファ3
送信バッファ4	送信バッファ4	送信バッファ4	送信バッファ4
送信バッファ5	送信バッファ5	送受信FIFO バッファ1	送信バッファ5
送信バッファ6	送信バッファ6	送信バッファ6	送信バッファ6
送信バッファ7	送信バッファ7	送信バッファ7	送信バッファ7
送信バッファ8	送信バッファ8	送信バッファ8	送信バッファ8
送信バッファ9	送信バッファ9	送信バッファ9	送信バッファ9
送信バッファ10	送信バッファ10	送信バッファ10	送信バッファ10
送信バッファ11	送信バッファ11	送受信FIFO バッファ2	送信バッファ11
送信バッファ12	送信バッファ12	送信バッファ12	送信キュー
送信バッファ13	送信バッファ13	送信バッファ13	送信キュー
送信バッファ14	送信バッファ14	送信バッファ14	送信キュー
送信バッファ15	送信バッファ15	送信バッファ15	送信キュー
送信バッファ16	送信バッファ16	送信バッファ16	送信キュー
送信バッファ17	送信バッファ17	送信バッファ17	送信キュー
送信バッファ18	送信バッファ18	送信バッファ18	送信キュー
送信バッファ19	送信バッファ19	送信バッファ19	送信キュー
送信バッファ20	送信バッファ20	送信バッファ20	送信キュー
送信バッファ21	送信バッファ21	送信バッファ21	送信キュー
送信バッファ22	送信バッファ22	送信バッファ22	送信キュー
送信バッファ23	送信バッファ23	送信バッファ23	送信キュー
送信バッファ24	送信バッファ24	送信バッファ24	送信キュー
送信バッファ25	送信バッファ25	送信バッファ25	送信キュー
送信バッファ26	送信バッファ26	送信バッファ26	送信キュー
送信バッファ27	送信バッファ27	送信バッファ27	送信キュー
送信バッファ28	送信バッファ28	送信キュー	送信キュー
送信バッファ29	送信バッファ29	送信キュー	送信キュー
送信バッファ30	送信バッファ30	送信キュー	送信キュー
送信バッファ31	送受信FIFO バッファ2	送信キュー	送信キュー
送信バッファのみを使用	送信バッファと送受信FIFO バッファを使用(送受信FIFO を送信バッファ1、3、31にリンク)	送信バッファ、送受信FIFO および送信キューを使用(送受信FIFO を送信バッファ0、5、11にリンク。4個の送信キューを送信バッファに割り付け)	送信バッファと送信キューを使用(12個の送信キューを送信バッファに割り付け)

図 24.9　送信キューの割り付けと送受信 FIFO バッファのリンク

24.7.1　送信の優先順位判定

同一チャネル内で複数のバッファやキューから送信要求が出された場合、送信の優先順位を判定します。判定方法は次の 2 つから選択することができます。

- ID 優先（TPRI ビットが“0”）
- 送信バッファ番号優先（TPRI ビットが“1”）

RCFDCnCFDGCFG レジスタの TPRI ビットの設定は、すべての CAN チャネルで有効です。

TPRI ビットを“0”にした場合、格納したメッセージ ID の優先順位に基づいてメッセージが送信されます。ID の優先順位は CAN 仕様に規定されている CAN バスアービトレーション規定に準拠します。送信バッファ、送信モードまたはゲートウェイモードに設定した送受信 FIFO バッファ、および送信キューに格納したメッセージの ID が判定対象になります。送信キューを使用している場合は、ID 優先を選択してください。送受信 FIFO バッファの場合は、FIFO 内の最も古いメッセージが優先順位判定の対象になります。メッセージが送受信 FIFO バッファから送信中の場合、同じ FIFO バッファにある次のメッセージが優先順位判定の対象になります。送信キューの場合は、送信キュー内のすべてのメッセージが優先順位判定の対象になります。2 つ以上のバッファに同じ ID が設定されている場合は、より小さい番号のバッファが優先されます。

TPRI ビットを“1”にした場合、送信要求があるバッファの中で、最も小さいバッファ番号の送信バッファのメッセージが最初に送信されます。送受信 FIFO バッファが送信バッファにリンクしている場合は、リンク先の送信バッファ番号で判定されます。

TPRI ビットの設定にかかわらず、アービトレーションロストまたはエラーが発生し、再送信される場合、送信の優先順位判定が再度実行されます。また、優先順位判定処理で 2 ビット ECC エラーが検出された場合、送信は行われません。

24.7.2　送信バッファを用いた送信

送信バッファの送信要求ビット（RCFDCnCFDTMCp レジスタの TMTR ビット）を“1”（送信を要求する）にすると、データフレームまたはリモートフレームを送信することができます。

送信結果は、対応する RCFDCnCFDTMSTSp レジスタ（p＝0〜255）の TMTRF[1:0]フラグで確認します。送信が成功すると、TMTRF[1:0]フラグは“10_B”（送信完了：送信アボート要求なし）または“11_B”（送信完了：送信アボート要求あり）になります。

24.7.2.1　送信アボート機能

RCFDCnCFDTMSTSp レジスタの TMTRM ビットが“1”（送信要求あり）である送信バッファにおいて、RCFDCnCFDTMCp レジスタの TMTAR ビットを“1”（送信アボートを要求する）にすると、送信要求が取り消されます。送信アボートが完了すると、RCFDCnCFDTMSTSp レジスタの TMTRF[1:0]フラグが“01_B”（送信アボート完了）になり、送信要求が取り消されます（TMTRM ビットが“0”になる）。

送信中のメッセージまたは送信の優先順位判定で次の送信に決定しているメッセージはアボートできません。ただし、TMTAR ビットを“1”にしたメッセージを送信中にアービトレーションロストまたはエラーが発生した場合、再送信は行いません。

24.7.2.2　ワンショット送信機能（再送信禁止機能）

RCFDCnCFDTMCp レジスタの TMOM ビットを“1”（ワンショット送信許可）にすると、1 回だけ送信を行います。アービトレーションロストまたはエラーが発生しても、再送信は行いません。

ワンショット送信の結果は、対応する RCFDCnCFDTMSTSp レジスタの TMTRF[1:0]フラグで確認します。ワンショット送信が成功すると、TMTRF[1:0]フラグは“10_B”または“11_B”になります。アービトレーションロストまたはエラーが発生した場合、TMTRF[1:0]フラグは“01_B”（送信アボート完了）になります。

24.7.3　FIFO バッファによる送信

1 本の送受信 FIFO バッファに、RCFDCnCFDCFCCk レジスタ（k＝0〜23）の CFDC[2:0]ビットで設定した段数分のメッセージを格納できます。最初に格納したメッセージから順に送信されます。

送受信 FIFO バッファは、RCFDCnCFDCFCCk レジスタの CFTML[4:0]ビットで選択した送信バッファにリンクされます。RCFDCnCFDCFCCk レジスタの CFE ビットを“1”（送受信 FIFO バッファを使用する）にすると、送信の優先順位判定の対象になります。FIFO バッファ内で、次に送信予定のメッセージに対してのみ優先順位判定を実施します。

CFE ビットを“0”（送受信 FIFO バッファを使用しない）にすると、次に示すタイミングで CFEMP フラグが“1”（送受信 FIFO バッファ空）になります。

- 送受信 FIFO バッファのメッセージが送信中でなく、次の送信に決定していない場合、直ちに空になります。
- 送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、アービトレーションロストまたは、チャネル待機モードへの遷移の後に、空になります。

CFE ビットを“0”にすると、送受信 FIFO バッファのすべてのメッセージは失われ、FIFO バッファへメッセージを格納できなくなります。再度 CFE ビットを“1”にする前に、CFEMP フラグが“1”になったことを確認してください。

24.7.3.1　インターバル送信機能

送信モードまたはゲートウェイモードに設定した送受信 FIFO バッファを使用時に、同一 FIFO バッファからメッセージを送信する場合、メッセージ送信間のインターバル時間を設定できます。

RCFDCnCFDCFCCk レジスタの CFE ビットを“1”にし、最初のメッセージが FIFO バッファから正常に送信された後、インターバルタイマはカウントを開始します（CAN プロトコルの EOF7 の後）。その後インターバル時間が経過すると、次のメッセージが送信されます。インターバルタイマは、CFE ビットを“0”にしたとき、またはチャネルリセットモード時、停止します。

インターバル時間は RCFDCnCFDCFCCk レジスタの CFITT[7:0]ビットで設定します。インターバルタイマを使用しない場合は、CFITT[7:0]ビットに“00_H”を設定してください。

RCFDCnCFDCFCCk レジスタの CFITR、CFITSS ビットで、インターバルタイマのカウントソースを選択します。CFITR、CFITSS ビットを“00_B”にすると pclk/2 を ITRCP[15:0]ビットの値で分周したクロック、“10_B”にすると pclk/2 を ITRCP[15:0]ビットの値×10 で分周したクロック、“$x1_B$”にするとクラシカル CAN モードのときは CANm ビットタイムクロック、CAN FD モードのときは CANm 通常ビットタイムクロックがカウントソースになります。（CAN FD モードで CAN FD フレームを扱わないチャネルにのみ、このカウントソースを使用してください。）

ITRCP[15:0]ビットの設定値を M、CFITT[7:0]ビットの値を N とすると、インターバル時間は次の式で求められます。

- CFITR、CFITSS ビットが“00_B”の場合：

$$\frac{1}{\text{pclk の周波数}} \times 2 \times M \times N$$

- CFITR、CFITSS ビットが“10_B”の場合：

$$\frac{1}{\text{pclk の周波数}} \times 2 \times M \times 10 \times N$$

- CFITR、CFITSS ビットが“$x1_B$”の場合：

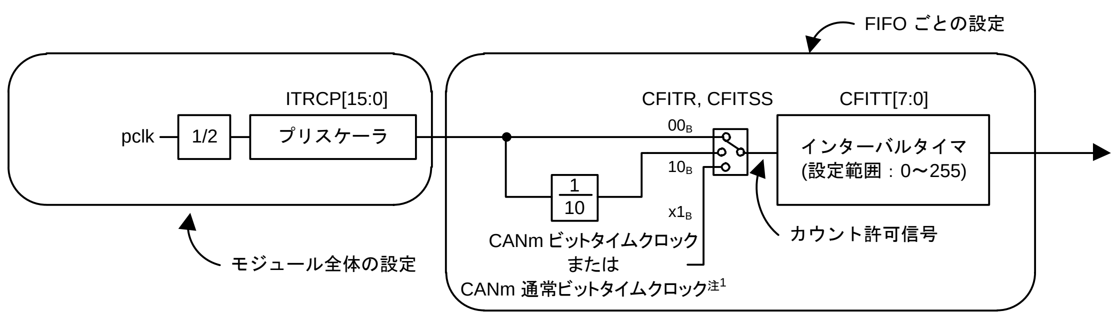
クラシカル CAN モードの場合：

$$\frac{1}{\text{CANm ビットタイムクロックの周波数}} \times N$$

CAN FD モード、CAN FD 専用モードの場合：

$$\frac{1}{\text{CANm 通常ビットタイムクロックの周波数}} \times N$$

「**図 24.10 インターバルタイマのブロック図**」にインターバルタイマのブロック図を示します。

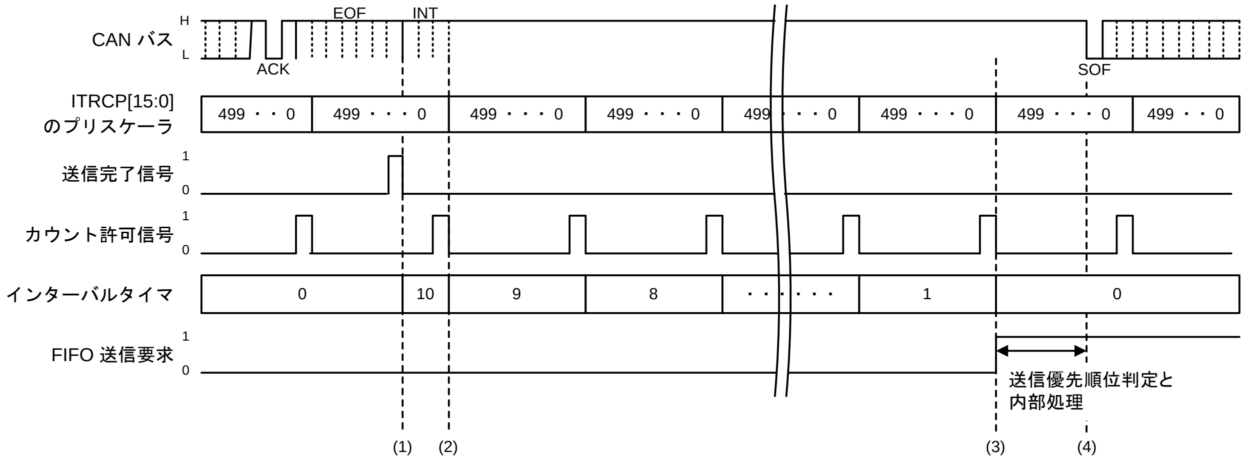


備考　ITRCP[15:0]：RCFDCnCFDGCFG レジスタのビット
　　　CFITR, CFITSS, CFITT[7:0]：RCFDCnCFDCFCCk レジスタのビット
　　　m＝0～7、k＝0～23

注1.　CAN FD モードで CAN FD フレームを扱わないチャネルだけ、このカウントソースを使用してください。

図 24.10　インターバルタイマのブロック図

「**図 24.11 インターバルタイマのタイミング図**」にインターバルタイマのタイミング図を示します。



$$\text{インターバル時間（理論値）} = \frac{2}{\text{pclk の周波数}} \times \left(\text{ITRCP[15:0] ビットの設定値}\right) \times \text{CFITT[7:0] ビットの設定値}$$

備考　ITRCP[15:0]：RCFDCnCFDGCFG レジスタのビット（上図は、設定値を“500”とした場合）
CFITT[7:0]：RCFDCnCFDCFCCk レジスタのビット（上図は、設定値を“10”とした場合）

図 24.11　インターバルタイマのタイミング図

(1) 送信が完了するとインターバルタイマがカウントを開始します。送信が完了したタイミングでプリスケーラが初期化されないため、最初のインターバル時間は、最大でインターバルタイマの 1 カウント分の誤差が発生します。

(2) 次のカウント許可信号で、インターバルタイマは“1”減算されます。

(3) インターバルタイマが“0”になると、送受信 FIFO バッファから送信要求が出されます。

(4) 優先順位判定で送受信 FIFO バッファが次の送信に決まると、送信を開始します。送信要求が出されてから送信が開始するまで、通常 CANm ビットタイムクロックの 3 クロック以下の遅延で、送信を開始します。受信フィルタ処理、メッセージのルーティング、送信優先順位判定など複数の内部処理がすべてのチャネルで発生すると、最大で pclk の 1164 クロック分遅延する場合があります。

24.7.4　送信キューによる送信

送信キューは 1 チャネルごとに 3～32 バッファまで割り付けられ、送信バッファ（(32×m)＋31）が対応するチャネルのアクセスウィンドウになります。

送信キュー内のすべてのメッセージが送信の優先順位判定の対象となり、格納した順番にかかわらず、ID 優先順に送信されます。2 つの同じ ID を持つメッセージが送信キューに格納された場合、これらのメッセージが送信される順番は、送信キューに格納した順番と異なる場合があります。

RCFDCnCFDTXQCCm レジスタの TXQE ビットを“0”にすると、送信キューが使用不可になります。TXQE ビットを“0”にするとき、次に示すタイミングで RCFDCnCFDTXQSTSm レジスタの TXQEMP フラグは“1”（送信キュー空）になります。

- 送信キューのメッセージが送信中でなく、次の送信にも決定していない場合、直ちに空になります。
- 送信キューのメッセージが、すでに送信中または次の送信に決定している場合、送信完了、CAN バスエラーの検出、アービトレーションロストまたは、チャネル待機モードへの遷移の後に、空になります。

TXQE ビットを“0”にすると、送信キューのすべてのメッセージは失われ、送信キューにメッセージを格納できなくなります。再度 TXQE ビットを“1”にする前に、TXQEMP フラグが“1”になったことを確認してください。

24.7.5　送信データパディング（CAN FD モード、CAN FD 専用モード）

設定された送信メッセージの DLC 値が示すペイロード長が、送信に使用するバッファのペイロード格納領域サイズを超える場合、超えた分のペイロードは“CC_H”でパディングされます。

この処理は、次に示す場合に行われます。

- 送信またはゲートウェイモードに設定された送受信 FIFO：

送信 DLC のペイロード長が、RCFDCnCFDCFCCk レジスタの CFPLS[2:0]ビットに設定された送受信 FIFO のペイロード格納領域サイズを超えるとき

クラシカルフレームが 8 より大きな DLC で構成されている場合、この処理は FD 専用モードでも実行されます。

24.7.6　送信履歴機能

送信完了したメッセージの情報を送信履歴バッファに格納できます。チャネルごとに 1 つの送信履歴バッファを持ち、送信履歴バッファには 32 個の送信履歴データを格納できます。

RCFDCnCFDTHLCCm レジスタの THLDTE ビットで、メッセージ送信元のバッファの種類が選択できます。RCFDCnCFDCFIDk レジスタ（k＝0～23）の THLEN ビットと RCFDCnCFDTMIDp レジスタ（p＝0～255）で、メッセージごとに送信履歴データを格納するかどうかを設定できます。

送信履歴データには、常にタイムスタンプ値が含まれます。

送信が成功した後に、次に示す送信メッセージの情報が送信履歴データとして送信履歴バッファへ格納されます。

送信が成功してから送信履歴データが格納されるまで、最大で pclk の 448 クロック分遅延する場合があります。

- バッファタイプ

　001_B：送信バッファ

　010_B：送受信 FIFO バッファ

　100_B：送信キュー

- バッファ番号

  送信元の送信バッファ、送信キュー、または送受信 FIFO バッファの番号。これはバッファタイプに依存します。「**表 24.123 送信履歴データのバッファ番号**」を参照してください。
- ラベルデータ：送信メッセージのラベル情報
- タイムスタンプ：送信メッセージのタイムスタンプ値

表 24.123 送信履歴データのバッファ番号

バッファタイプ / バッファ番号	001_B	010_B	100_B
00000_B	送信バッファ 32×m+0	RCFDCnCFDCFCCk レジスタの CFTML[4:0]ビットで送受信 FIFO バッファにリンクさせた送信バッファの番号（k=0～23）	送信を行った送信キューに割り付けられた送信バッファの番号
00001_B	送信バッファ 32×m+1		
00010_B	送信バッファ 32×m+2		
00011_B	送信バッファ 32×m+3		
00100_B	送信バッファ 32×m+4		
00101_B	送信バッファ 32×m+5		
00110_B	送信バッファ 32×m+6		
00111_B	送信バッファ 32×m+7		
01000_B	送信バッファ 32×m+8		
01001_B	送信バッファ 32×m+9		
01010_B	送信バッファ 32×m+10		
01011_B	送信バッファ 32×m+11		
01100_B	送信バッファ 32×m+12		
01101_B	送信バッファ 32×m+13		
01110_B	送信バッファ 32×m+14		
01111_B	送信バッファ 32×m+15		
10000_B	送信バッファ 32×m+16		
10001_B	送信バッファ 32×m+17		
10010_B	送信バッファ 32×m+18		
10011_B	送信バッファ 32×m+19		
10100_B	送信バッファ 32×m+20		
10101_B	送信バッファ 32×m+21		
10110_B	送信バッファ 32×m+22		
10111_B	送信バッファ 32×m+23		
11000_B	送信バッファ 32×m+24		
11001_B	送信バッファ 32×m+25		
11010_B	送信バッファ 32×m+26		
11011_B	送信バッファ 32×m+27		
11100_B	送信バッファ 32×m+28		
11101_B	送信バッファ 32×m+29		
11110_B	送信バッファ 32×m+30		
11111_B	送信バッファ 32×m+31		

ラベルデータは、メッセージを特定するために使用します。送信バッファ、送信キュー、送受信 FIFO バッファから送信するメッセージに、固有のラベルデータを付加することができます。

タイムスタンプは、メッセージの SOF（スタートオブフレーム）のタイミングで、タイムスタンプカウンタから値が取り込まれます。タイムスタンプカウンタの詳細は「**24.6.1.6 タイムスタンプ**」を参照してください。

送信履歴データは、RCFDCnCFDTHLACC0m レジスタ、RCFDCnCFDTHLACC1m レジスタから読み出せます。バッファがフルの場合に、新しい送信履歴データを格納しようとすると、バッファがオーバフローし、新しいデータは破棄されます。

24.8　ゲートウェイ機能

送受信 FIFO バッファがゲートウェイモードに設定されている場合、CPU の介入なしに任意のチャネルから受信メッセージを送信することができます。

送信に使用されているチャネルの RCFDCnCFDGAFLP1_j レジスタが選択した送受信 FIFO バッファ用に、RCFDCnCFDCFCCk レジスタの CFM[1:0]ビットが 10_B（ゲートウェイモード）に設定されると、受信ルールに従ってフィルタ処理されたメッセージは、指定された送受信 FIFO バッファに格納され、バッファから自動的に送信されます。

送受信 FIFO バッファに格納されたメッセージは、最初に格納したメッセージから順に送信されます。次に送信すべきメッセージのみが、送信の優先順位判定の対象になります。

以下のタイミングで、RCFDCnCFDCFCCk レジスタの CFE ビットを 0 に設定し、CFEMP フラグを 1 にすることで、ゲートウェイモードの送受信 FIFO バッファは無効になります。

- メッセージが送信中でなく、次の送信に決定していない場合、送受信 FIFO バッファは直ちに空になります。
- メッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、送受信 FIFO バッファは空になります。

CFE ビットを“0”にすると、送受信 FIFO バッファのすべてのメッセージは失われ、FIFO バッファへメッセージを格納できなくなります。再度 CFE ビットを“1”にする前に、CFEMP フラグが“1”になったことを確認してください。

24.8.1　CAN-CAN FD ゲートウェイ

ゲートウェイ機能が使用される場合、送信されるフレームは、クラシカル CAN フレームまたは CAN FD フレームと置き換えることができます。

RCFDCnCFDCmFDCFG レジスタの GWEN ビットを 1 にセットすると、CAN-CAN FD ゲートウェイが有効になります。送信フレームの FDF ビットと BRS ビットは、RCFDCnCFDCmFDCFG レジスタの GWFDF ビットと GWBRS ビットで選択できます。受信 CAN フレームの DLC 値が 1001_B 以上で、GWFDF ビットが 1（CAN FD フレーム）の場合、DLC 値は 1000_B に置き換えられます。

CAN-CAN FD ゲートウェイが有効の場合、以下のフレームはルーティングしないでください。

- リモートフレーム

24.9　テスト機能

テスト機能は、通信テストとグローバルテストの 2 つに分類できます。

- 通信テスト：チャネルごとに行うテスト
  - 標準テストモード
  - リッスンオンリモード
  - セルフテストモード 0（外部ループバックモード）
  - セルフテストモード 1（内部ループバックモード）
  - 制限動作モード
- グローバルテスト：モジュール全体で行うテスト
  - RAM テスト（読み書きテスト）
  - チャネル間通信テスト［CRC エラーテスト可能］

24.9.1　標準テストモード

標準テストモードでは、CRC テストを行うことができます。送信または受信メッセージを基に RS-CANFD モジュールが計算した CRC 値がレジスタに格納されます。格納先は、メッセージがクラシカル CAN フレーム（CRC 長＝15 ビット）のときは RCFDCnCFDCmERFL レジスタの CRCREG[14:0]ビット、CAN FD フレーム（CRC 長＝17 ビットまたは 21 ビット）のときは RCFDCnCFDCmFDCRC レジスタの CRCREG[20:0] ビットです。CRC エラーテストを行う場合は、チャネル間通信テスト機能を使用してください。詳細は「**24.9.6.1 CRC エラーテスト**」を参照してください。

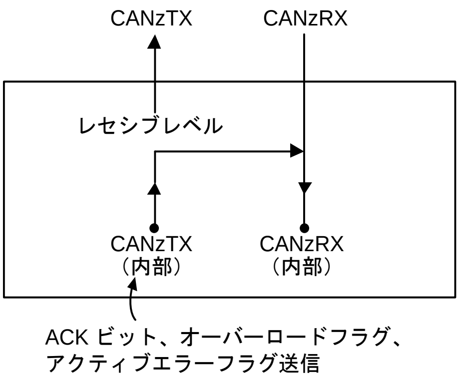
24.9.2　　リッスンオンリモード

リッスンオンリモードでは、データフレームとリモートフレームを受信できます。CAN バス上にはレセシブビットのみが送信され、ACK ビット、オーバロードフラグ、アクティブエラーフラグは送信されません。

リッスンオンリモードは、通信速度の検出に使用できます。

リッスンオンリモードでは、どのバッファやキューからも送信要求をしないでください。

「**図 24.11 インターバルタイマのタイミング図**」にリッスンオンリモード選択時の接続を示します。



備考　z＝0〜11

図 24.12　リッスンオンリモード選択時の接続

24.9.3　セルフテストモード（ループバックモード）

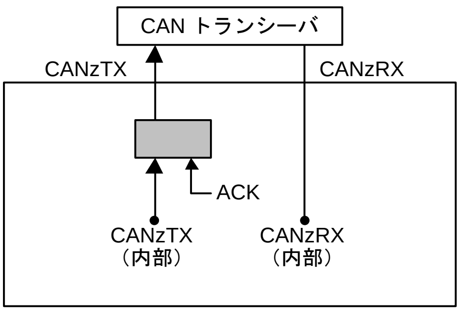
セルフテストモードでは、送信したメッセージを自チャネルの受信ルールと比較し、フィルタ処理を通過するとバッファに格納されます。他の CAN ノードが送信したメッセージは、RCFDCnCFDGAFLIDj レジスタ（j＝0～15）の GAFLLB ビットを“0”（他の CAN ノードが送信したメッセージを受信時）にした受信ルールとのみ比較されます。

ミラー機能とセルフテストモードが同時に許可された場合、セルフテストモードの設定が優先されます。

24.9.3.1　セルフテストモード 0（外部ループバックモード）

セルフテストモード 0 は CAN トランシーバを含めたチャネルのループバックテストを行います。セルフテストモード 0 では、送信したメッセージを CAN トランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージをバッファに格納します。自送信メッセージを受信するため、ACK ビットを生成します。

「**図 24.13 セルフテストモード 0 選択時の接続**」にセルフテストモード 0 選択時の接続を示します。



備考　z＝0～11

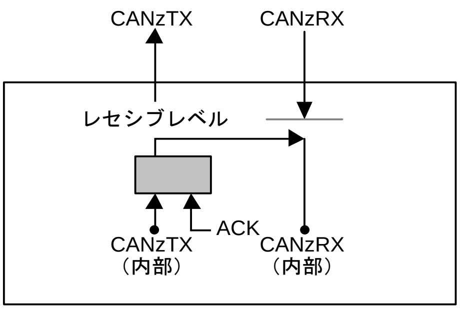
図 24.13　セルフテストモード 0 選択時の接続

24.9.3.2　セルフテストモード 1（内部ループバックモード）

セルフテストモード 1 では、送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージをバッファに格納します。自送信メッセージを受信するため、ACK ビットを生成します。

セルフテストモード 1 では内部 CANzTX 端子（z＝0〜11）から内部 CANzRX 端子への内部フィードバックを行います。外部 CANzRX 端子の入力は、切り離されます。外部 CANzTX 端子はレセシブビットのみ出力します。

「**図 24.14 セルフテストモード 1 選択時の接続**」にセルフテストモード 1 選択時の接続を示します。



備考　z＝0〜11

図 24.14　セルフテストモード 1 選択時の接続

24.9.4　制限動作モード（CAN FD モード、CAN FD 専用モード）

制限動作モードでは、有効なデータフレームおよびリモートフレームを受信した場合に ACK ビットを生成しますが、エラーフレームまたはオーバロードフレーム送信条件を検出してもこれらのフレームを送信しません。条件を検出した場合は、CAN 通信に再同期するため、バスアイドル状態になるのを待ちます。また、受信エラーカウンタ（REC）と送信エラーカウンタ（TEC）はエラーの発生で変化しません。

送信については任意の送信要求が可能であり、制限はありません。

24.9.5　RAM テスト

RAM テスト機能を使用すると、CAN 用 RAM 全体にアクセスすることができます。

RAM テスト機能使用時、RAM は 256 バイトごとのページに分けられます。ページは RCFDCnCFDGTSTCFG レジスタの RTMPS[8:0]ビットで設定し、ページ内のデータは RCFDCnCFDRPGACCr レジスタ（r＝0〜63）から読み出し／書き込みができます。

有効な総 RAM サイズは下記です。

- RCFDC0（8 チャネル）：67840 バイト（10900_H）
- RCFDC0（6 チャネル）：50880 バイト（$C6C0_H$）
- RCFDC1（4 チャネル）：33920 バイト（8480_H）

24.9.6 チャネル間通信テスト

チャネル間通信テスト機能を使用すると、CAN チャネル同士を内部的に接続し、通信テストを行うことができます。このテスト中、チャネルは外部の CAN バスから切り離されます。

各チャネルに対して送受信の設定を行ってから、チャネル通信モードで送受信を開始してください。

テストに参加しないチャネルは、チャネル待機モードにしてください。

「**図 24.15 チャネル間通信テスト接続図**」にチャネル間通信テスト接続図を示します。

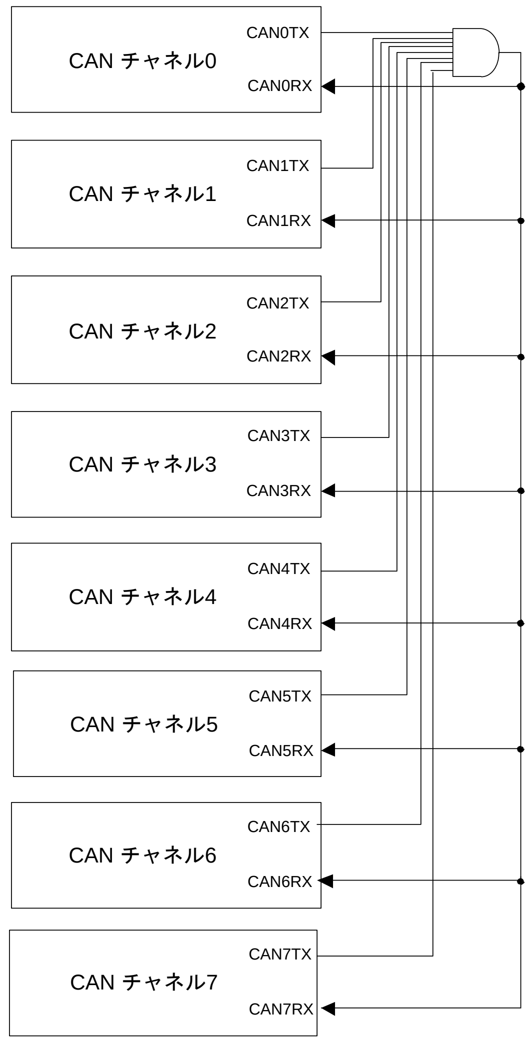


図 24.15 チャネル間通信テスト接続図

24.9.6.1　CRC エラーテスト

チャネル間通信テスト時は、CRC エラーテストを行うことができます。以下にチャネル 0、1 間通信テスト中にチャネル 0 の CRC エラーテストを行う場合の手順例を示します。

前提条件

- チャネル間通信テスト有効
- チャネル 0 およびチャネル 1 は標準テストモード

手順

1. チャネル 1 の送信バッファ p からメッセージ送信を行うよう設定
2. RCFDCnCFDC0CTR レジスタの CRCT ビットに“1”を設定（受信 ID フィールドの先頭ビット反転が有効）
3. RCFDCnCFDTMCp レジスタの TMTR ビットに“1”を設定（チャネル 1 の送信バッファ p に対し、送信要求を発行）
4. チャネルバスエラーによる CAN0 エラー割り込みの発生を待つ
5. 双方のチャネルで RCFDCnCFDCmERFL レジスタの CRCREG[14:0]ビットまたは RCFDCnCFDCmFDCRC レジスタの CRCREG[20:0]ビットを読み出し、CRC 値が送信側と受信側で異なっていることを確認
6. RCFDCnCFDC0ERFL レジスタの CERR ビットが “1”（CRC エラー検出）になっていることを確認

CRC エラーテスト機能は、受信 ID フィールドの先頭ビットを反転させることにより、CRC 値の不正を発生させます。したがって、ID の上位 5 ビットが 10000_B、または ID の上位 6 ビットが 011111_B であるメッセージを受信した場合、CRC エラーではなくスタッフエラー（同一レベルデータが 6 ビット連続）が検出されますので注意してください。

RS-CANFD モジュールの CRC 生成回路は各チャネルがそれぞれ持つプロトコルコントローラ内にあり、送信と受信で同一の回路を共用するため、送信時の CRC 演算テストを別途行う必要ありません。

24.10 RS-CANFD の設定手順

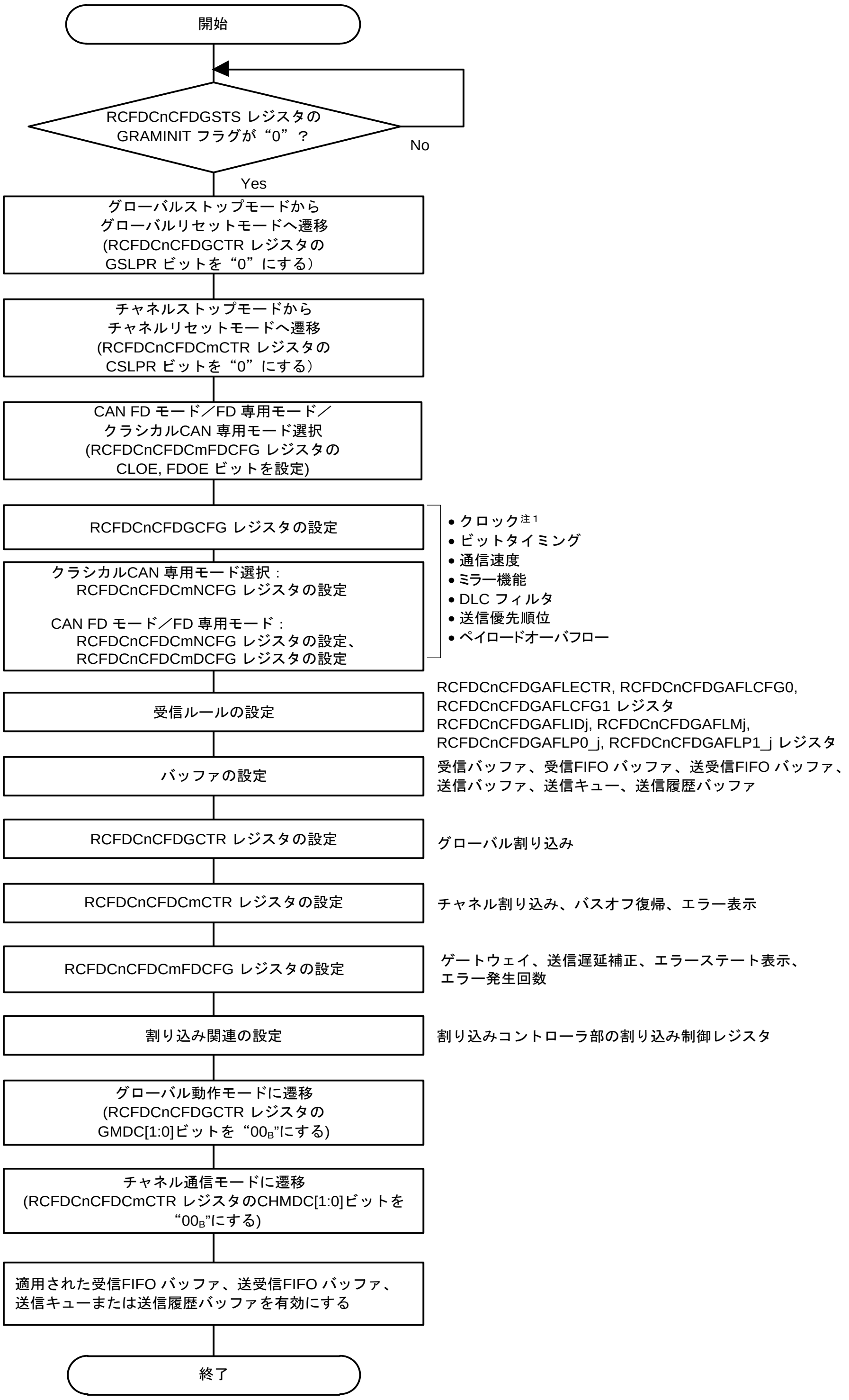
24.10.1 初期設定

MCU のリセット後に RS-CANFD モジュールは CAN 用 RAM の初期化を行います。

RAM の初期化時間：

- RCFDC0（8 チャネル）：25730 pclk サイクル
- RCFDC0（6 チャネル）：19298 pclk サイクル
- RCFDC1（4 チャネル）：12866 pclk サイクル

RAM の初期化中は、RCFDCnCFDGSTS レジスタの GRAMINIT フラグが“1”（CAN 用 RAM クリア中）になり、初期化が終了すると“0”（CAN 用 RAM クリア完了）になります。GRAMINIT フラグが“0”になった後に CAN の設定を行ってください。「**図 24.16 MCU のリセット後の設定手順**」に MCU のリセット後の設定手順を示します。



備考　m＝0～7、j＝0～15

注1.　CAN クロックの周波数の設定は、「**表 24.19　RH850/F1KH, RH850/F1KM における転送レート・使用チャネル数での動作周波数範囲**」を参照してください。

図 24.16　MCU のリセット後の設定手順

24.10.1.1　クロックの設定

RS-CANFD モジュールのクロック源である CAN クロック（fCAN）を設定します。RCFDCnCFDGCFG レジスタの DCS ビットで、clkc、または clk_xincan を選択します。

24.10.1.2　ビットタイミングの設定

CAN プロトコルでは、通信フレームの 1 ビットは SS、TSEG1、TSEG2 の 3 つのセグメントで構成されます。このうち、TSEG1 および TSEG2 の 2 つのセグメントをチャネルごとにレジスタで設定できます。2 種類のビットレート（通常ビットレートとデータビットレート）を持ち、それぞれ RCFDCnCFDCmNCFG レジスタと RCFDCnCFDCmDCFG レジスタで設定します。2 つのセグメントを設定することで、サンプルポイントのタイミングを決めます。このタイミングは 1 Time Quantum（以下 Tq）単位で調整できます。1Tq は、RCFDCnCFDGCFG レジスタの DCS ビットで選択したクロックを分周したクロックの周期になります。分周比は、RCFDCnCFDCmNCFG レジスタの NBRP[9:0]ビットと RCFDCnCFDCmDCFG レジスタの DBRP[7:0]ビットで設定します（CANmTq(N)クロックと CANmTq(D)クロック）。

NBRP[9:0]ビットと DBRP[7:0]ビットには、同じ値を指定してください。

通常ビットレートとデータビットレートを異なる値を指定するには、RCFDCnCFDCmNCFG.NTSEG1 ビットと NTSEG2 ビット、RCFDCnCFDCmDCFG.DTSEG1 ビットと DTSEG2 ビットの値をそれぞれ変更します。

RCFDCnCFDCmFDCFG レジスタの TDCE ビットが “1”（送信遅延補正許可）のときは、NBRP[9:0]ビットと DBRP[7:0]ビットに 1 以下の同じ値を設定してください。

「**図 24.17 ビットタイミング図**」にビットタイミング図を示します。「**表 24.124 ビットタイミングの設定例**」にビットタイミングの設定例を示します。

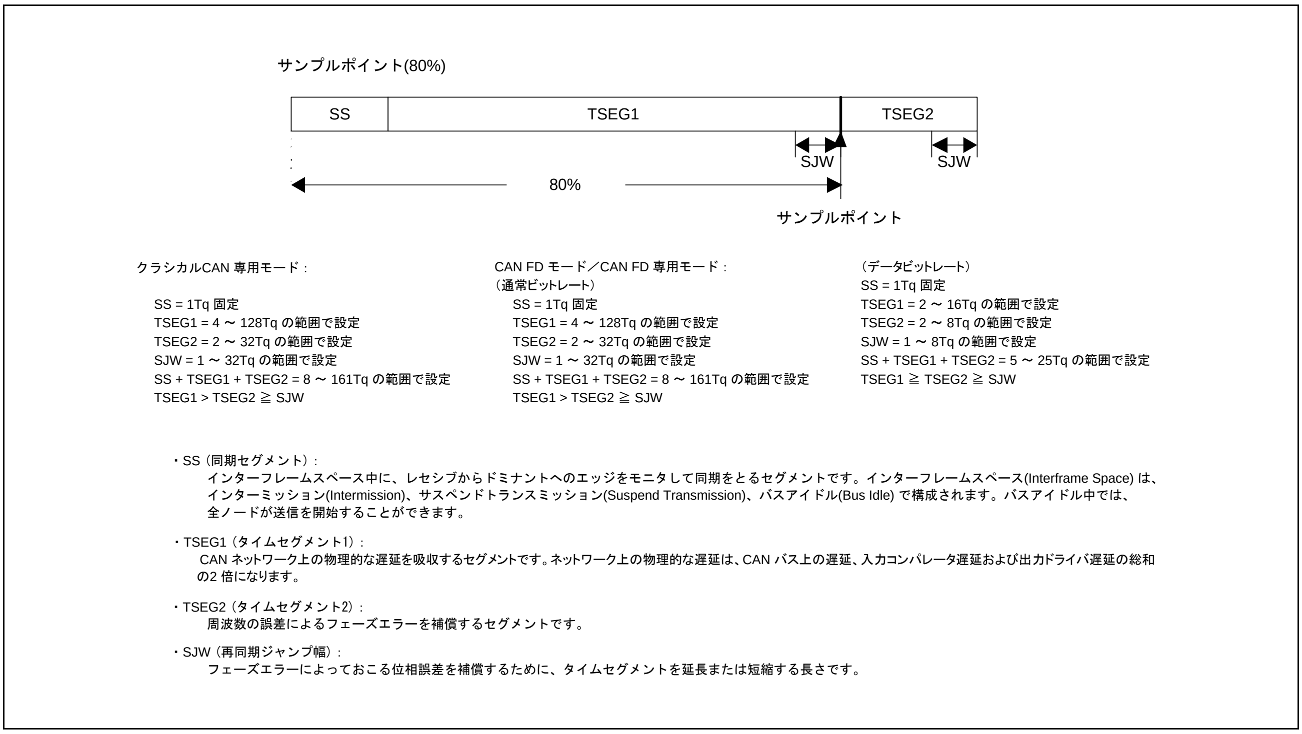


図 24.17　ビットタイミング図

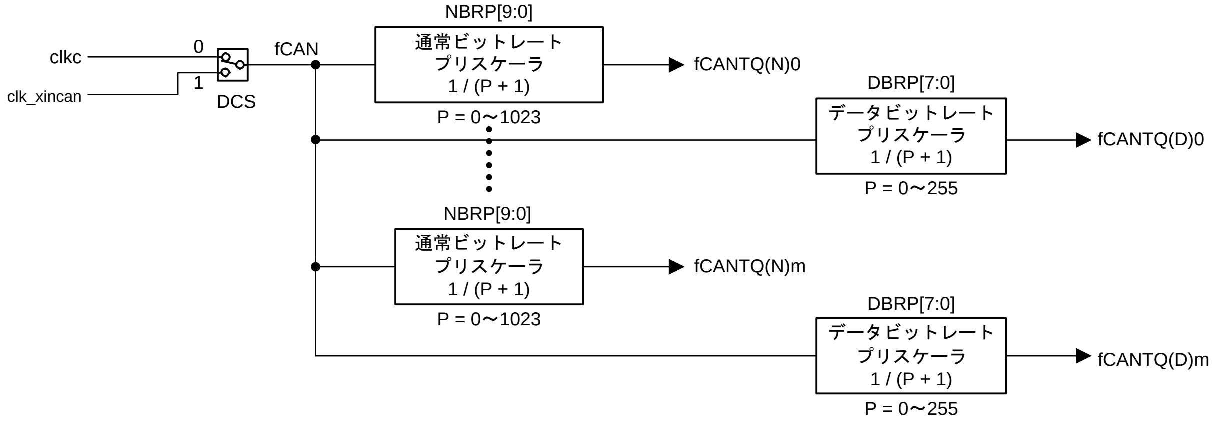
表 24.124 ビットタイミングの設定例

1 ビット	設定値（Tq）				サンプルポイント（%） 備考：**「表 24.27 RS-CANFD モジュールの仕様」**を参照
	SS	TSEG1	TSEG2	SJW	
8Tq	1	4	3	1	62.50
	1	5	2	1	75.00
10Tq	1	6	3	1	70.00
	1	7	2	1	80.00
16Tq	1	10	5	1	68.75
	1	11	4	1	75.00
20Tq	1	12	7	1	65.00
	1	13	6	1	70.00
50Tq	1	39	10	4	80.00

24.10.1.3　通信速度の設定

CAN の通信速度は、fCAN、ボーレートプリスケーラ分周値、および 1 ビットタイムの Tq 数を用いてチャネルごとに設定します。チャネルごとにアービトレーションフェーズとデータフェーズの 2 種類の通信速度を設定します。

「**図 24.17　ビットタイミング図**」に CAN クロック制御ブロック図、「**表 24.125　通信速度の設定例（クラシカル CAN 専用モード）**」に通信速度の設定例を示します。



$$\text{通常ビットレート} = \frac{\text{fCAN}}{\text{通常ビットレートプリスケーラ分周値} \times (\text{1通常ビットタイムのTq 数})}$$

$$\text{データビットレート} = \frac{\text{fCAN}}{\text{データビットレートプリスケーラ分周値} \times (\text{1データビットタイムのTq 数})}$$

備考　m＝0～7
DCS：RCFDCnCFDGCFG レジスタのビット
NBRP[9:0]：RCFDCnCFDCmNCFG レジスタのビット
DBRP[7:0]：RCFDCnCFDCmDCFG レジスタのビット
fCAN：CAN クロック
fCANTQm：CANmTq クロック
fCANTQ(N)m：CANmTq(N)クロック
fCANTQ(D)m：CANmTq(D)クロック

図 24.18　CAN クロック制御ブロック図

表 24.125 通信速度の設定例（クラシカル CAN 専用モード）

通信速度 ＼ fCAN	40MHz	32MHz	24MHz	20MHz	16MHz	8MHz
1Mbps	8Tq（5） 20Tq（2）	8Tq（4） 16Tq（2）	8Tq（3） 12Tq（2） 24Tq（1）	10Tq（2） 20 Tq（1）	8Tq（2） 16Tq（1）	8Tq（1）
500Kbps	8Tq（10） 20Tq（4）	8Tq（8） 16Tq（4）	8Tq（6） 12Tq（4） 24 Tq（2）	10Tq（4） 20Tq（2）	8Tq（4） 16Tq（2）	8Tq（2） 16Tq（1）
250Kbps	8Tq（20） 20Tq（8）	8Tq（16） 16Tq（8）	8Tq（12） 12Tq（8） 24Tq（4）	10Tq（8） 20Tq（4）	8Tq（8） 16Tq（4）	8Tq（4） 16Tq（2）
125Kbps	8Tq（40） 20Tq（16）	8Tq（32） 16Tq（16）	8Tq（24） 12Tq（16） 24Tq（8）	10Tq（16） 20Tq（8）	8Tq（16） 16Tq（8）	8Tq（8） 16Tq（4）

表 24.126 通信速度の設定例（CAN FD モード、CAN FD 専用モードでの、通常ビットレートとデータビットレート）

通信速度 ＼ fCAN	40MHz	20MHz
通常 500kbps データ 5Mbps	通常 80Tq（1） データ 8Tq（1）	なし
通常 1Mbps データ 2Mbps	通常 40Tq（1） データ 20Tq（1）	通常 20Tq（1） データ 10Tq（1）

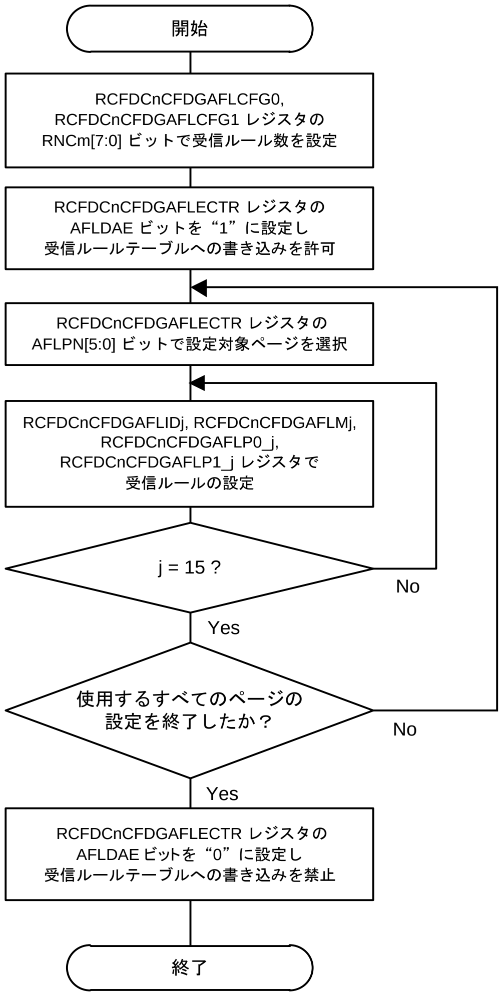
備考　（　）内の数字はボーレートプリスケーラ分周値

24.10.1.4　受信ルールの設定

受信ルール関連レジスタで受信ルールの設定を行うことができます。

1 ページに 16 の受信ルールを登録できます。RCFDCnCFDGAFLECTR レジスタの AFLPN[5:0]ビットでページ 0～63（8 チャネル搭載ユニットの場合）を指定します。また、AFLDAE ビットで受信ルールテーブルへの書き込みの許可／禁止を設定します。

「**図 24.19 受信ルール設定手順**」に受信ルール設定手順について示します。



備考　m＝0～7、j＝0～15

図 24.19　受信ルール設定手順

24.10.1.5　バッファの設定

各種バッファの使用バッファ数（格納メッセージ数）と割り込み要因を設定します。ペイロード格納サイズも設定します。また、送信モードに設定した送受信 FIFO バッファはリンクする送信バッファを設定します。

受信バッファと FIFO バッファで使用可能な RAM は最大 28672 バイトです。次の条件を満たすように設定してください。

受信バッファ数×（12＋ペイロード格納サイズ）

＋受信 FIFO バッファ x の（段数×(12＋ペイロード格納サイズ)）の合計

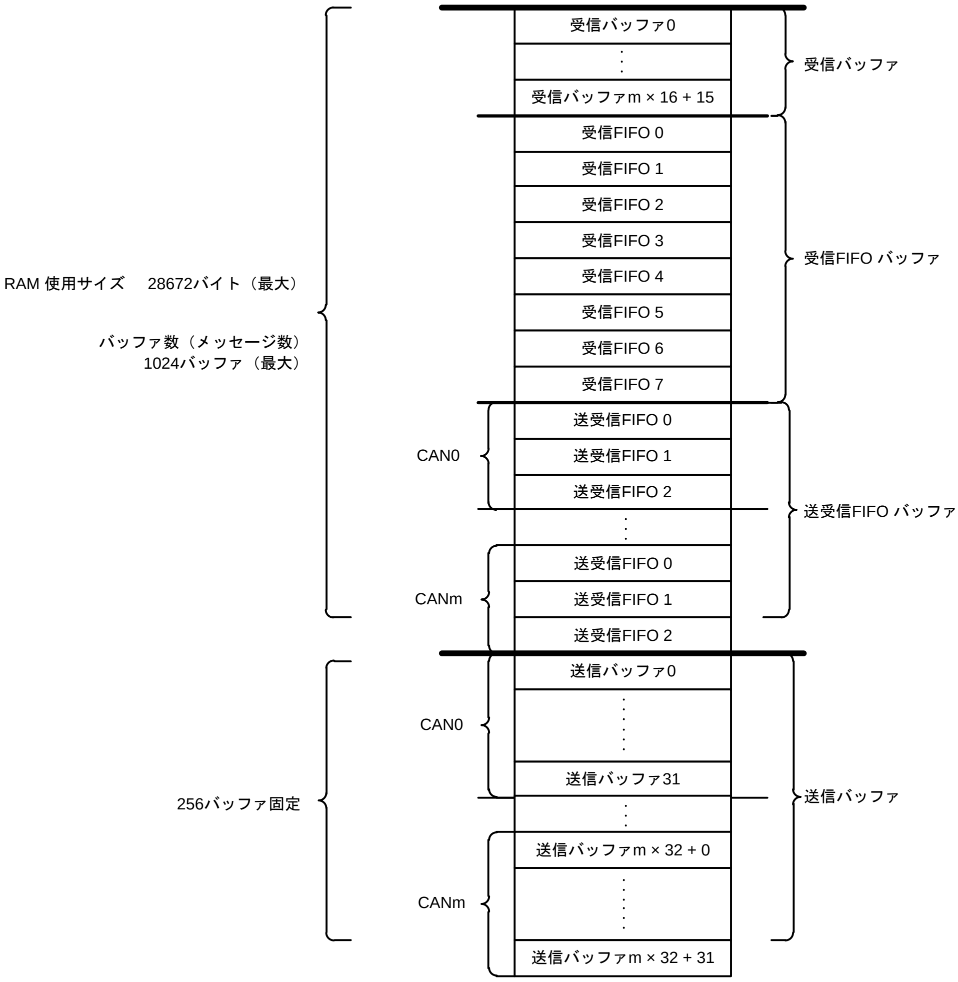
＋送受信 FIFO バッファ k の（段数×(12＋ペイロード格納サイズ)）の合計

≦28672 バイト

備　考

RAM のサイズは、8 チャネル（m＝0～7）として論理設計された IP の RS-CANFD に対応しています。
お使いになる製品（3584×(m＋1)バイト）に合わせて、RAM のサイズを検討してください。

「**図 24.20　バッファの構成**」にバッファの構成を示します。「**図 24.21　各種バッファの設定手順**」に各種バッファの設定手順を示します。

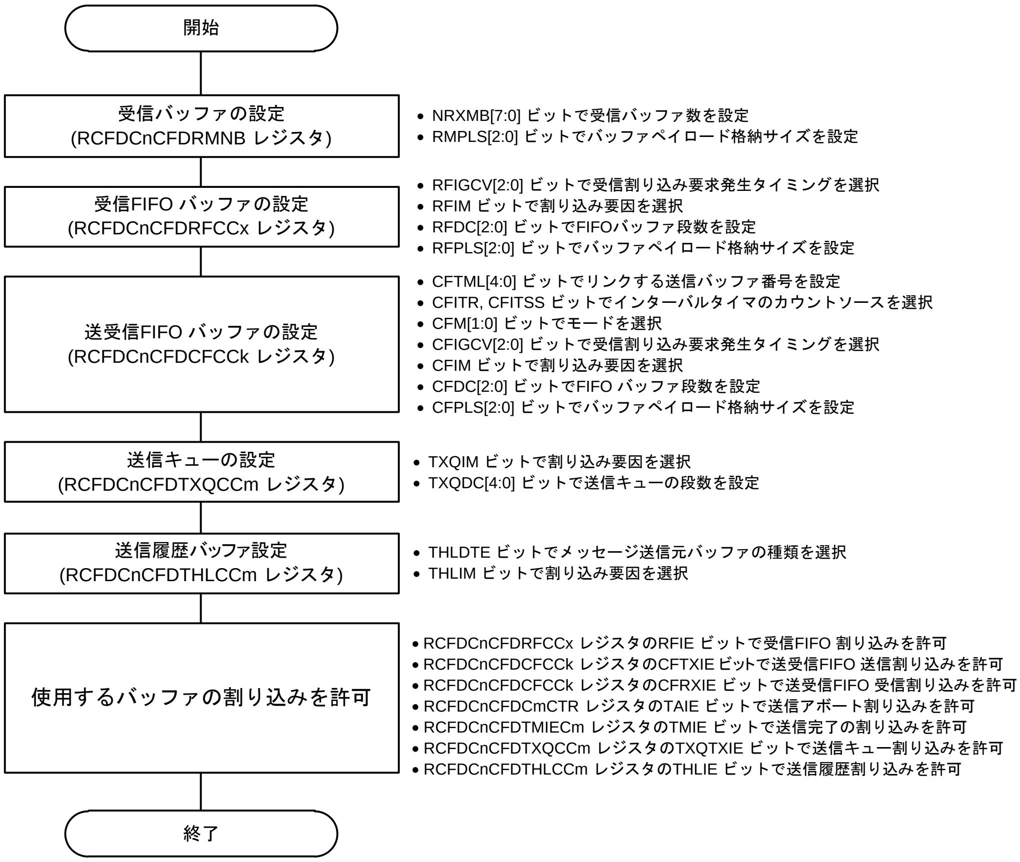


備考 m＝0～7

図 24.20 バッファの構成

注 意

受信バッファ、受信 FIFO バッファ、送受信 FIFO バッファ、送信バッファは連続して配置されます。



備考 k＝0～23、x＝0～7

図 24.21 各種バッファの設定手順

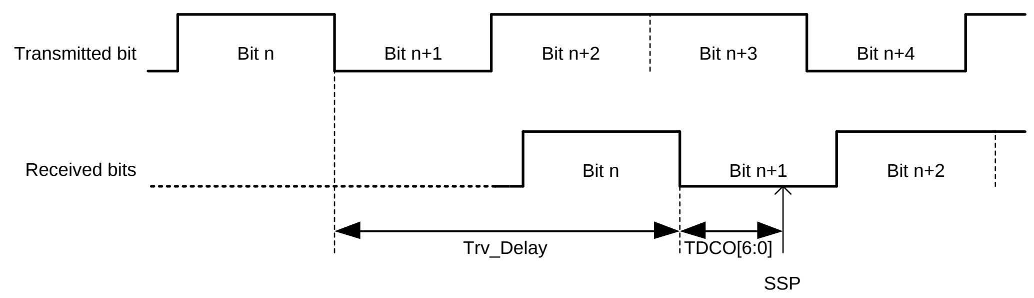
24.10.1.6　送信遅延補正

CAN FD モード、CAN FD 専用モードのデータフェーズでは高いボーレートが使用されます。データフェーズの伝播遅延を許容するための機能として、送信遅延補正があります。

この機能を使用する場合は、RCFDCnCFDCmFDCFG レジスタの TDCE ビットを“1”に設定します。また、データフェーズで使用されるセカンダリサンプルポイント（SSP）のタイミングを RCFDCnCFDCmFDCFG レジスタの TDCOC ビットと TDCO[6:0]ビットで設定します。

TDCOC ビットが“0”のとき、SSP のタイミングは RS-CANFD モジュールが測定した遅延と TDCO[6:0]ビット値を合計した値と等しくなります（最も近い整数の Tq に切り捨てます）。

通常、TDCO[6:0]ビット値はサンプルポイントのタイミングである SS と TSEG1 の合計値でなければなりません。



備考　Bit n：データフェーズのビット
TDCO[6:0]：RCFDCnCFDCmFDCFG レジスタのビット

図 24.22　SSP のタイミング

TDCOC ビットが“1”のとき、SSP のタイミングは TDCO[6:0]ビット値のみで決定されます（RCFDCnCFDCmDCFG レジスタの DBRP[7:0]ビットが 0 より大きいとき、TDCO[6:0]ビット値もまた最も近い整数の Tq に切り捨てられます）。

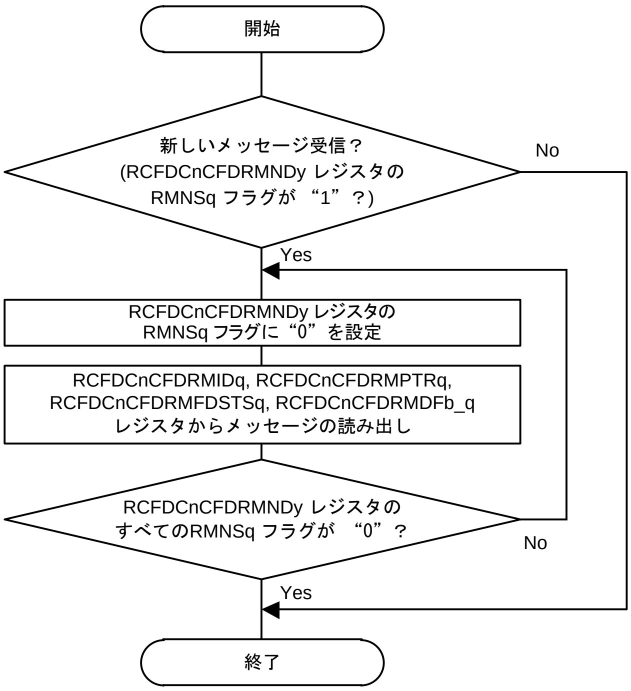
RS-CANFD モジュールは最大（3CANm ビットタイム−2 fCAN）の遅延を補償します（CANm ビットタイムはデータビットレートの値）。

RCFDCnCFDCmFDCFG レジスタの TDCE ビットが“1”にセットされている場合（送信遅延補正許可）、NBRP[9:0]ビットと DBRP[7:0]ビットには 1 以下の値を設定してください。

24.10.2　受信手順

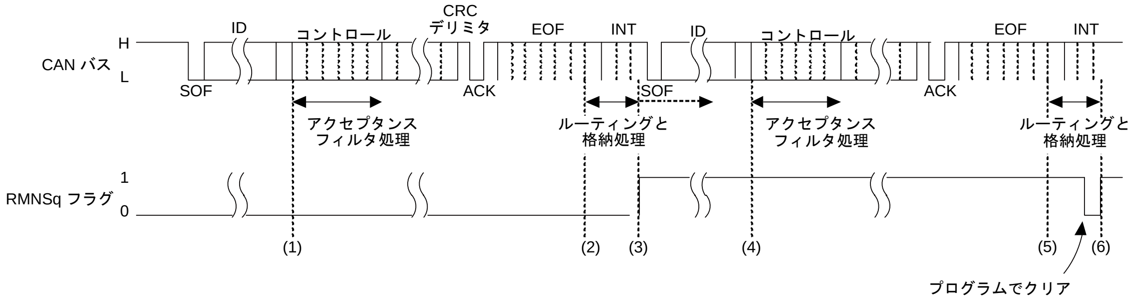
24.10.2.1　受信バッファの読み出し手順

受信したメッセージを受信バッファに格納する処理が始まると、RCFDCnCFDRMNDy レジスタの RMNSq フラグ（y＝0～3、q＝0～127）が“1”（受信バッファ q に新しいメッセージあり）になります。メッセージは RCFDCnCFDRMIDq、RCFDCnCFDRMPTRq、RCFDCnCFDRMFDSTSq、RCFDCnCFDRMDFb_q（b＝0～15）レジスタから読めます。受信バッファからメッセージを読み出す前に次のメッセージを受信した場合、メッセージが上書きされます。「**図 24.23 受信バッファの読み出し手順**」に受信バッファの読み出し手順を示します。この手順により、RCFDCnCFDRMIDq、RCFDCnCFDRMPTRq、RCFDCnCFDRMFDSTSq、RCFDCnCFDRMDFb_q レジスタから読み出したメッセージの一貫性を確保できます。



備考　y＝0～3、q＝0～127、b＝0～15

図 24.23　受信バッファの読み出し手順



備考　y＝0～3、q＝0～127
RMNSq：RCFDCnCFDRMNDy レジスタのフラグ

図 24.24　受信バッファの受信タイミング図

(1) メッセージの ID フィールドを受信し終えると、アクセプタンスフィルタ処理が開始します。

(2) 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RCFDCnCFDGCFG レジスタの DCE ビットが“1”（DLC チェック許可）の場合、この時点で DLC フィルタ処理を行います。

(3) DLC フィルタ処理を通過すると、指定した受信バッファにメッセージを格納する処理が開始します。メッセージの格納処理が始まると、対応する RCFDCnCFDRMNDy レジスタの RMNSq フラグが“1”（受信バッファに新しいメッセージあり）になります。他のチャネルでフィルタ処理や送信の優先順位判定処理を行っていると、ルーティング処理や格納処理が遅延する場合があります。

(4) 次のメッセージの ID フィールドを受信し終えると、アクセプタンスフィルタ処理が開始します。

(5) 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RCFDCnCFDGCFG レジスタの DCE ビットが“1”（DLC チェック許可）の場合、この時点で DLC フィルタ処理を行います。

(6) 対応する RMNSq フラグを“0”（受信バッファに新しいメッセージなし）にクリアした場合、メッセージの格納処理が始まると、再度“1”になります。RMNSq フラグが“1”のままでも、新しいメッセージは受信バッファに上書きされます。メッセージ格納中は RMNSq フラグを“0”にできません。

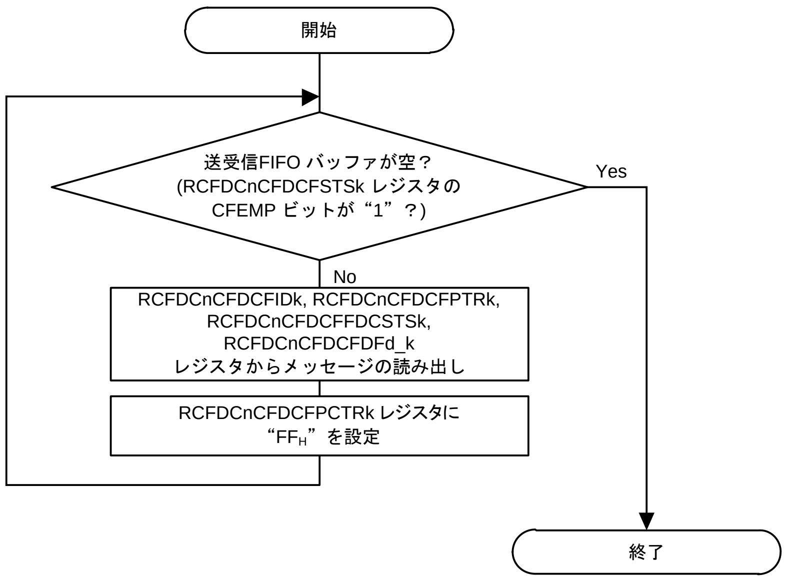
24.10.2.2　FIFO バッファの読み出し手順

受信メッセージが 1 つ以上の受信 FIFO バッファまたは、受信モード／ゲートウェイモードに設定した送受信 FIFO バッファへ格納されると、対応するメッセージ数表示カウンタ（RCFDCnCFDRFSTSx レジスタ（x＝0～7）の RFMC[7:0]ビットまたは RCFDCnCFDCFSTSk レジスタ（k＝0～23）の CFMC[7:0]ビット）の値が 1 加算されます。このとき、RCFDCnCFDRFCCx レジスタの RFIE ビット（受信 FIFO 割り込み許可ビット）や RCFDCnCFDCFCCk レジスタの CFRXIE ビット（送受信 FIFO 受信割り込み許可ビット）を“1”にしていると、割り込み要求が発生します。受信メッセージは、受信 FIFO バッファの場合は RCFDCnCFDRFIDx、RCFDCnCFDRFPTRx、RCFDCnCFDRFFDSTSx、RCFDCnCFDRFDFd_x（d＝0～15）レジスタから、送受信 FIFO バッファの場合は RCFDCnCFDCFIDk、RCFDCnCFDCFPTRk、RCFDCnCFDCFFDCSTSk、RCFDCnCFDCFDFd_k レジスタから読み出すことができます。FIFO バッファは古いメッセージから読み出せます。

メッセージ数表示カウンタの値が FIFO バッファの段数値（RCFDCnCFDRFCCx レジスタの RFDC[2:0]ビットまたは RCFDCnCFDCFCCk レジスタの CFDC[2:0]ビットで設定した値）に一致したとき、RFFLL フラグまたは CFFLL フラグが“1”（FIFO バッファフル）になります。

FIFO バッファからすべてのメッセージを読み出したとき、RCFDCnCFDRFSTSx レジスタの RFEMP フラグまたは RCFDCnCFDCFSTSk レジスタの CFEMP フラグが“1”（FIFO バッファ空）になります。

割り込み要求フラグ（RCFDCnCFDRFSTSx レジスタの RFIF フラグまたは RCFDCnCFDCFSTSk レジスタの CFRXIF フラグ）が“1”（割り込み要求あり）の状態で RFE ビットや CFE ビットを“0”（FIFO バッファを使用しない）にすると、割り込み要求フラグは自動的に“0”になりません。割り込み要求フラグはプログラムで“0”にしてください。



備考　k＝0～23、d＝0～15

図 24.25　送受信 FIFO バッファの読み出し手順

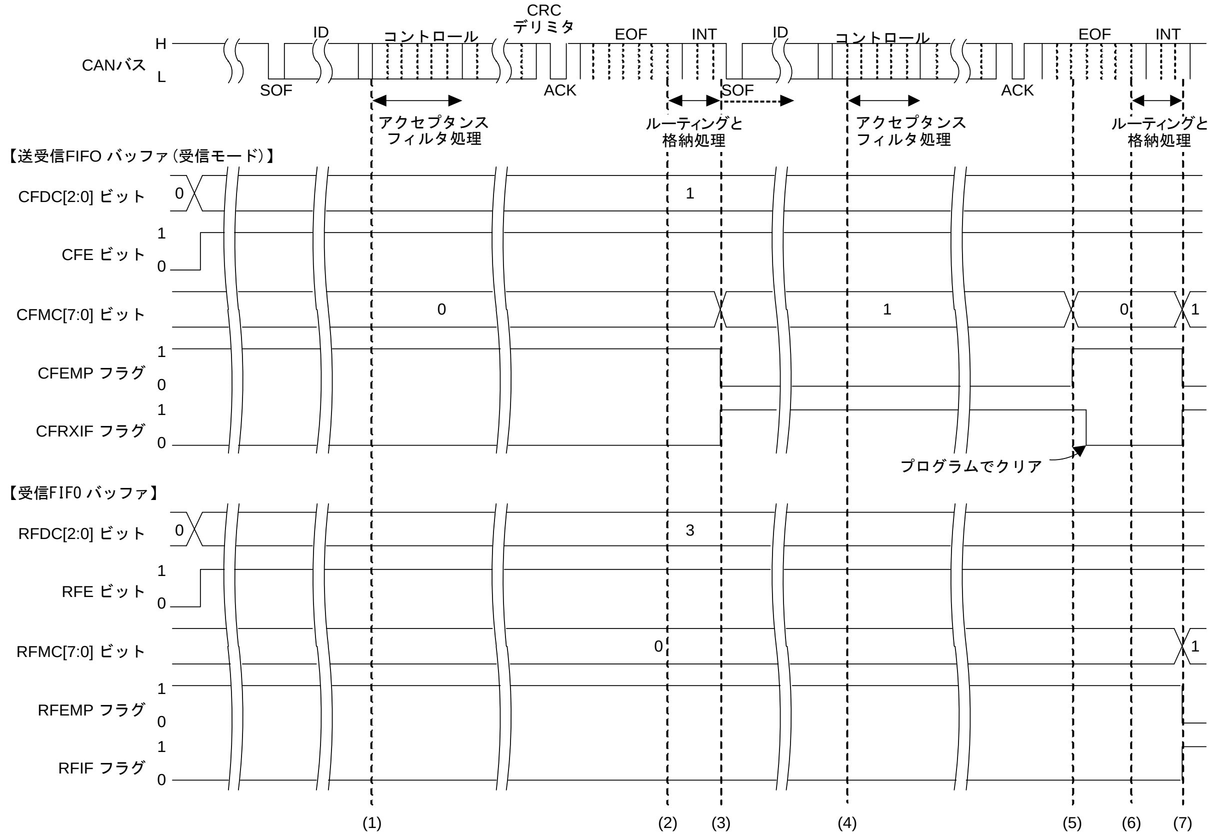
メッセージを読み出すとき、RCFDCnCFDRFCCx レジスタの RFPLS[2:0]ビットまたは RCFDCnCFDCFCCk レジスタの CFPLS[2:0]ビットで設定したペイロード格納サイズを超える領域に対応する RCFDCnCFDRFDFd_x、RCFDCnCFDCFDFd_k レジスタの読み出しはしないでください。

表 24.127 受信 FIFO バッファのペイロード格納領域

RFPLS[2:0]ビットの設定値	ペイロード格納サイズ	対応するデータフィールドレジスタ
000_B	8 バイト	RCFDCnCFDRFDF0_x～RCFDCnCFDRFDF1_x
001_B	12 バイト	RCFDCnCFDRFDF0_x～RCFDCnCFDRFDF2_x
010_B	16 バイト	RCFDCnCFDRFDF0_x～RCFDCnCFDRFDF3_x
011_B	20 バイト	RCFDCnCFDRFDF0_x～RCFDCnCFDRFDF4_x
100_B	24 バイト	RCFDCnCFDRFDF0_x～RCFDCnCFDRFDF5_x
101_B	32 バイト	RCFDCnCFDRFDF0_x～RCFDCnCFDRFDF7_x
110_B	48 バイト	RCFDCnCFDRFDF0_x～RCFDCnCFDRFDF11_x
111_B	64 バイト	RCFDCnCFDRFDF0_x～RCFDCnCFDRFDF15_x

表 24.128 送受信 FIFO バッファのペイロード格納領域

CFPLS[2:0]ビットの設定値	ペイロード格納サイズ	対応するデータフィールドレジスタ
000_B	8 バイト	RCFDCnCFDCFDF0_k～RCFDCnCFDCFDF1_k
001_B	12 バイト	RCFDCnCFDCFDF0_k～RCFDCnCFDCFDF2_k
010_B	16 バイト	RCFDCnCFDCFDF0_k～RCFDCnCFDCFDF3_k
011_B	20 バイト	RCFDCnCFDCFDF0_k～RCFDCnCFDCFDF4_k
100_B	24 バイト	RCFDCnCFDCFDF0_k～RCFDCnCFDCFDF5_k
101_B	32 バイト	RCFDCnCFDCFDF0_k～RCFDCnCFDCFDF7_k
110_B	48 バイト	RCFDCnCFDCFDF0_k～RCFDCnCFDCFDF11_k
111_B	64 バイト	RCFDCnCFDCFDF0_k～RCFDCnCFDCFDF15_k



備考　CFDC[2:0], CFE：RCFDCnCFDCFCCk レジスタのビット
CFMC[7:0], CFEMP, CFRXIF：RCFDCnCFDCFSTSk レジスタのフラグ
RFDC[2:0], RFE：RCFDCnCFDRFCCx レジスタのビット
RFMC[7:0], RFEMP, RFIF：RCFDCnCFDRFSTSx レジスタのフラグ
k＝0～23、x＝0～7

図 24.26　FIFO バッファの受信タイミング図

(1) メッセージの ID フィールドを受信し終えると、アクセプタンスフィルタ処理が開始します。

(2) 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RCFDCnCFDGCFG レジスタの DCE ビットが“1”（DLC チェック許可）の場合、この時点で DLC フィルタ処理を行います。

(3) DLC フィルタ処理を通過し、かつ RCFDCnCFDCFCCk レジスタの CFE ビットが“1”（送受信 FIFO バッファを使用する）で、RCFDCnCFDCFCCk レジスタの CFDC[2:0]ビットの値が“001_B”以上の場合、受信モードに設定した送受信 FIFO バッファにメッセージが格納されます。RCFDCnCFDCFSTSk レジスタの CFMC[7:0]ビットが 1 加算されて“01_H”になります。RCFDCnCFDCFCCk レジスタの CFIM ビットを“1”（1 メッセージ受信ごとに割り込み要求発生）にしている場合、RCFDCnCFDCFSTSk レジスタの CFRXIF フラグが“1”（送受信 FIFO 受信割り込み要求あり）になります。CFRXIF フラグはプログラムで“0”にできます。

(4) 次のメッセージの ID フィールドを受信し終えると、アクセプタンスフィルタ処理が開始します。

(5) RCFDCnCFDCFIDk、RCFDCnCFDCFPTRk、RCFDCnCFDCFDFd_k レジスタから受信メッセージを読み出し、RCFDCnCFDCFPCTRk レジスタに“FF_H”を書きます。それにより、RCFDCnCFDCFSTSk レジ

スタの CFMC[7:0]ビットが 1 減算されて“00_H”になり、RCFDCnCFDCFSTSk レジスタの CFEMP フラグが“1”（送受信 FIFO バッファ空）になります。

(6) 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RCFDCnCFDGCFG レジスタの DCE ビットが“1”（DLC チェック許可）の場合、この時点で DLC フィルタ処理を行います。

(7) DLC フィルタ処理を通過し、かつ CFE ビットが“1”（送受信 FIFO バッファを使用する）、CFDC[2:0]ビットの値が“001_B”以上の場合、受信モードに設定した送受信 FIFO バッファにメッセージが格納されます。CFMC[7:0]ビットが 1 加算されて“01_H”になります。CFIM ビットを“1”（1 メッセージ受信ごとに割り込み要求発生）にしている場合、CFRXIF フラグが“1”（送受信 FIFO 受信割り込み要求あり）になります。
また、RCFDCnCFDRFCCx レジスタの RFE ビットが“1”（受信 FIFO バッファを使用する）、RCFDCnCFDRFCCx レジスタの RFDC[2:0]ビットの値が“001_B”以上の場合、受信 FIFO バッファにメッセージが格納されます。RCFDCnCFDRFSTSx レジスタの RFMC[7:0]ビットが 1 加算されて“01_H”になります。RCFDCnCFDRFCCx レジスタの RFIM ビットを“1”（1 メッセージ受信ごとに割り込み要求発生）にしている場合、RCFDCnCFDRFSTSx レジスタの RFIF フラグが“1”（受信 FIFO 割り込み要求あり）になります。

24.10.2.3　FIFO バッファの DMA 転送による読み出し手順

次の FIFO バッファに対し、DMA 転送で読み出しを行うことができます。

- RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2：
  全ての受信 FIFO バッファ x（x＝0～7）

  RH850/F1KM-S1：
  以下を除く受信 FIFO バッファ x（x＝0～7）
  DMA 許可（RCFDCnCFDCDTCT）の受信 FIFO バッファ x および
  DAM ステータス（RCFDCnCFDCDTSTS）（x＝0～5）の受信 FIFO バッファ x
- チャネル m に割り当てられた最初の送受信 FIFO バッファ k（k＝3×m、m＝0～7）

DMA 許可ビット（RCFDCnCFDCDTCT レジスタの RFDMAEx ビットまたは CFDMAEm ビット）は任意のタイミングで設定できます。ただし、“1”（DMA 転送要求許可）にするときは、あらかじめ関連する FIFO の受信割り込み許可ビット（RCFDCnCFDRFCCx レジスタの RFIE ビットまたは RCFDCnCFDCFCCk レジスタの CFRXIE ビット）を“0”（割り込み禁止）にしてください。DMA 転送要求が許可されているときは、FIFO 制御レジスタ（RCFDCnCFDRFCCx レジスタまたは RCFDCnCFDCFCCk レジスタ）にライトしないでください。

DMA 転送が許可された FIFO バッファに未読メッセージがあるとき、DMA 転送要求トリガが生成されます。転送元アドレスには FIFO アクセスレジスタ[注1]のアドレスを指定し、1 回のトリガでペイロード格納領域の末尾まで読み出されるよう転送サイズを調整してください。この末尾は RCFDCnCFDRFCCx レジスタ RFPLS[2:0]ビットまたは RCFDCnCFDCFCCk レジスタの CFPLS[2:0]ビットで設定したペイロード格納サイズに依存します。

FIFO バッファに格納されたペイロードの末尾が読み出されると、RCFDCnCFDRFSTSx レジスタの RFMC[7:0]ビットまたは RCFDCnCFDCFSTSk レジスタの CFMC[7:0]ビットが自動的に 1 減算されます。末尾の読み出し後、FIFO に未読メッセージが残っていれば、再度トリガが生成されます。

DMA 転送中に RFDMAEx ビットまたは CFDMAEm ビットを“0”（DMA 転送要求禁止）にした場合、DMA 転送ステータス（RCFDCnCFDCDTSTS レジスタの RFDMASTSx ビットまたは CFDMASTSm ビット）が“0”（DMA 転送中でない）になるのを待ってから、次の処理（再度 DMA 転送を許可するなど）に移行してください。DMA 転送を禁止にする場合は、FIFO バッファに残っているメッセージと新しく到着するメッセージをどのように処理するか検討してください。FIFO バッファが許可状態ならば、FIFO バッファの受信は継続します。

注1. ・受信 FIFO バッファ
　RCFDCnCFDRFIDx, RCFDCnCFDRFPTRx, RCFDCnCFDRFFDSTSx, RCFDCnCFDRFDFd_x
・送受信 FIFO バッファ
　RCFDCnCFDCFIDk, RCFDCnCFDCFPTRk, RCFDCnCFDCFFDCSTSk, RCFDCnCFDCFDFd_k

24.10.3　送信手順

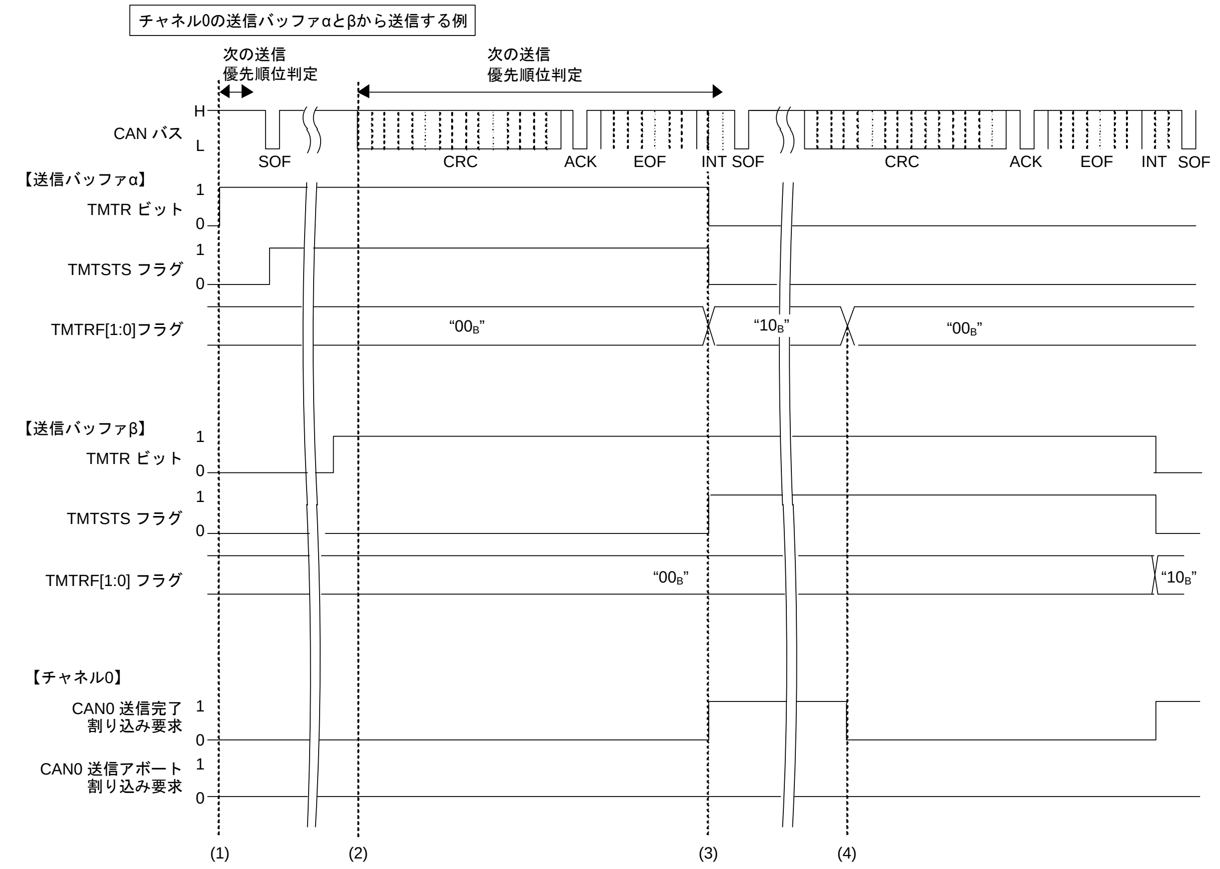
24.10.3.1　送信バッファからの送信手順

「**図 24.27 送信バッファからの送信手順**」に送信バッファからの送信手順を示します。

「**図 24.28 送信バッファの送信タイミング図（正常に送信完了時）**」に、同一チャネルの 2 つの送信バッファからメッセージを送信し、送信が正常に完了した場合のタイミング図を示します。「**図 24.29 送信バッファの送信タイミング図（送信アボート完了時）**」に、同一チャネルの 2 つの送信バッファからメッセージを送信し、送信がアボート完了した場合のタイミング図を示します。

備考　p＝0～255、b＝0～15

図 24.27　送信バッファからの送信手順



備考　α＝0～31、β＝0～31
TMTR：RCFDCnCFDTMCp レジスタのビット
TMTSTS, TMTRF[1:0]：RCFDCnCFDTMSTSp レジスタのフラグ

図 24.28　送信バッファの送信タイミング図（正常に送信完了時）

(1) CAN バスがアイドル状態のとき RCFDCnCFDTMC α レジスタの TMTR ビットを“1”にすると、最優先送信バッファを決めるために、送信の優先順位判定処理を開始します。送信バッファ α が最優先送信バッファとして決まると、対応する RCFDCnCFDTMSTS α レジスタの TMTSTS フラグが“1”（送信中）になり、CAN チャネルは送信を開始します。

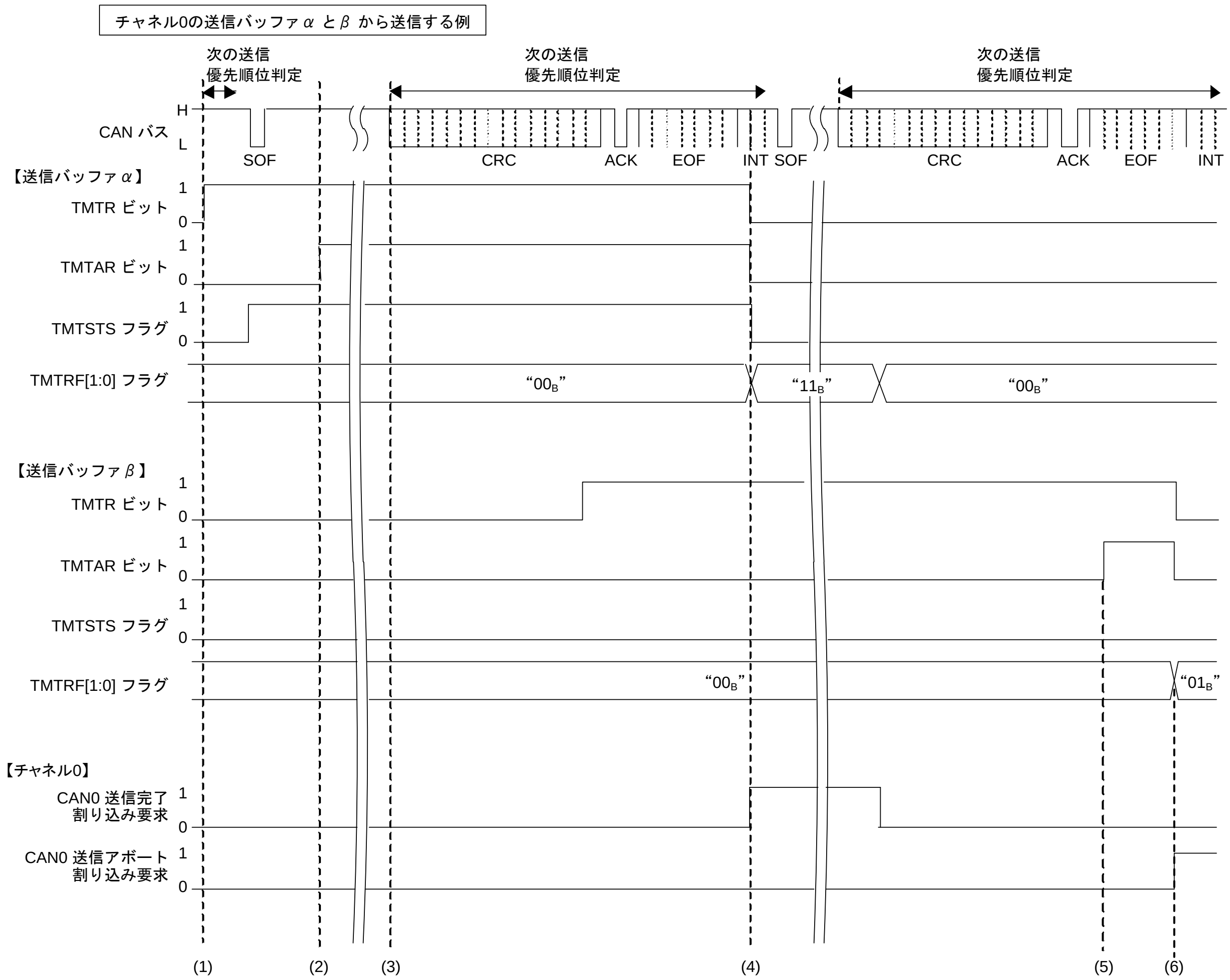
(2) CRC フィールドの 1 ビット目で、バッファからの送信要求があれば、次の優先順位判定を開始します。他のチャネルが優先順位判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。

(3) 送信が成功すると、RCFDCnCFDTMSTS α レジスタの TMTRF[1:0]フラグは“10_B”（送信完了（送信アボート要求なし））になり、TMTSTS フラグと RCFDCnCFDTMC α レジスタの TMTR ビットは“0”になります。RCFDCnCFDTMIEC0 レジスタの TMIE α ビットが“1”（割り込み許可）のとき、CAN0 送信完了割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0]フラグを“00_B”（送信中または送信要求なし）にしてください。

(4) 次の送信を開始する前に、TMTRF[1:0]フラグを“00_B”にしてください。次のメッセージを送信バッファに書いてから、TMTR ビットを“1”（送信を要求する）にしてください。TMTRF[1:0]フラグが“00_B”のときのみ、TMTR ビットを“1”に設定できます。

送信を開始後にアービトレーションロストが発生した場合、TMTSTS フラグは“0”になります。送信の優先順位判定は CRC フィールド開始時に、最優先送信バッファを検索するために再び実行されます。送信中またはアービトレーションロスト後にエラーが発生した場合、優先順位判定処理はエラーフレーム送信中に再び実行されます。

優先順位判定処理で 2 ビット ECC エラーが検出された場合、送信は行われません。



備考　α ＝0～31、β ＝0～31
TMTR, TMTAR：RCFDCnCFDTMCp レジスタのビット
TMTSTS, TMTRF[1:0]：RCFDCnCFDTMSTSp レジスタのフラグ

図 24.29　送信バッファの送信タイミング図（送信アボート完了時）

(1) CAN バスがアイドル状態のとき RCFDCnCFDTMC α レジスタの TMTR ビットを“1”にすると、最優先送信バッファを決めるために、送信の優先順位判定処理を開始します。送信バッファ α が最優先送信バッファとして決まると、対応する RCFDCnCFDTMSTS α レジスタの TMTSTS フラグが“1”（送信中）になり、CAN チャネルは送信を開始します。

(2) 送信バッファが次の送信に決まっているとき、または現在送信中であるとき、TMTAR ビットを“1”（アボート要求する）にしても、エラーまたはアービトレーションロストが発生しない限り、メッセージ送信はアボートされません。

(3) CRC フィールドの 1 ビット目で、次の優先順位判定処理を開始します。このタイミング図では、バッファβは次の送信バッファとして選択されていません。他のチャネルが優先順判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。

(4) 送信が成功すると、RCFDCnCFDTMSTSαレジスタの TMTRF[1:0]フラグは“11_B”（送信完了（送信アボート要求あり））になり、TMTSTS フラグと RCFDCnCFDTMCαレジスタの TMTR ビットは“0”になります。RCFDCnCFDTMIEC0 レジスタの TMIEαビットが“1”（割り込み許可）のとき、CAN0 送信完了割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0]フラグを“00_B”（送信中または送信要求なし）にしてください。

(5) CAN バス上に他の CAN ノードが送信している場合（TMTSTS フラグは“0”）、対応するチャネルが優先順位判定中に TMTAR ビットを“1”にすると、TMTR ビットを“0”にできません。

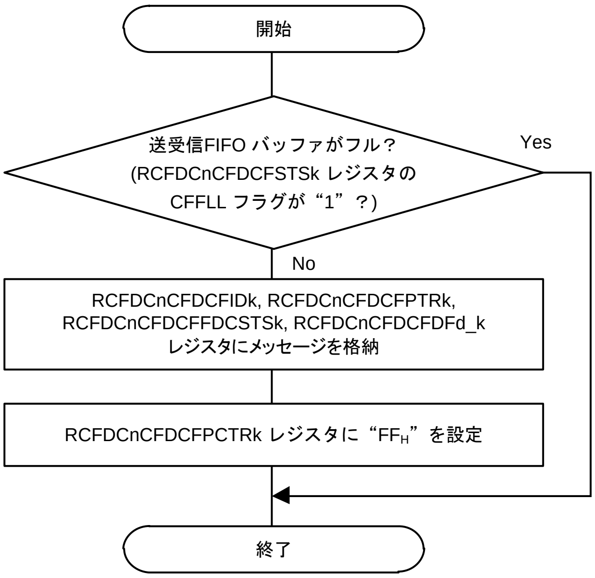
(6) 内部処理時間経過後、送信は中止され、TMTRF[1:0]フラグが“01_B”になります。送信バッファが送信中ではなくて、次の送信バッファとしても選択されていなくて、かつ優先順位判定中でなければ、アボート要求はすぐに受け付けられ、TMTRF[1:0]フラグは“01_B”になります。このとき、TMTR ビットと TMTAR ビットは“0”になります。RCFDCnCFDCmCTR レジスタの TAIE ビットが“1”（送信アボート割り込み許可）のとき、送信アボートが完了すると割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0] フラグを“00_B”にしてください。

CAN チャネルが送信を開始後にアービトレーションロストが発生した場合、TMTSTS ビットは“0”になります。優先順位判定は CRC フィールド開始時に、最優先送信バッファを検索するために再び実行されます。送信中またはアービトレーションロスト後にエラーが発生した場合、優先順位判定処理はエラーフレーム送信中に再び実行されます。

優先順位判定処理で 2 ビット ECC エラーが検出された場合、送信は行われません。

24.10.3.2　送受信 FIFO バッファからの送信手順

「**図 24.30 送受信 FIFO バッファからの送信手順**」に送受信 FIFO バッファからの送信手順を示します。
「**図 24.31 送受信 FIFO バッファの送信タイミング図（正常に送信完了時）**」に、同一チャネルの 2 つの送受信 FIFO バッファからメッセージを送信し、送信が正常に完了した場合のタイミング図を示します。
「**図 24.32 送受信 FIFO バッファの送信タイミング図（送信アボート完了時）**」同一チャネルの 2 つの送受信 FIFO バッファからメッセージを送信し、送信がアボート完了した場合のタイミング図を示します。



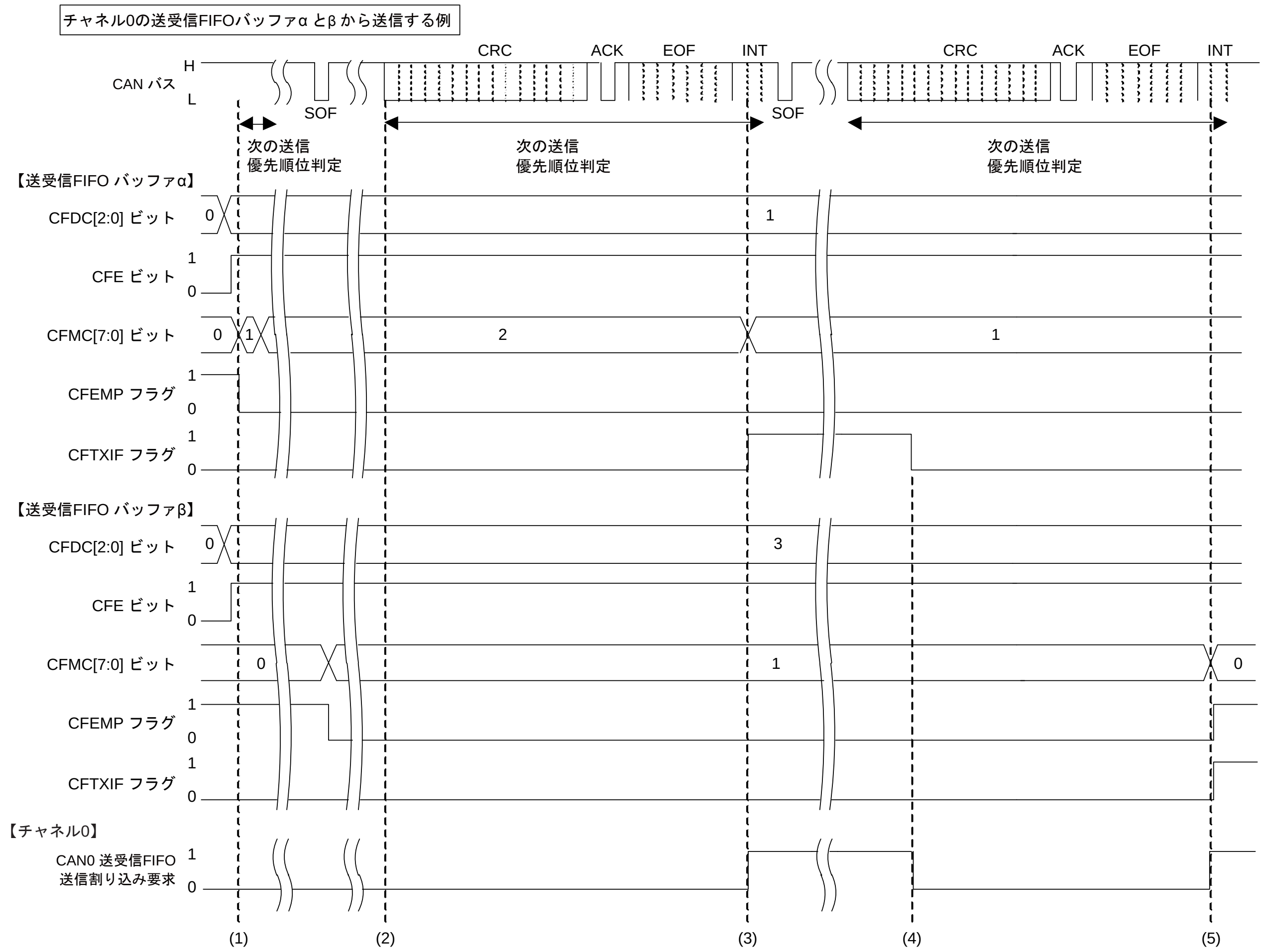
備考　k＝0～23、d＝0～15

図 24.30　送受信 FIFO バッファからの送信手順

メッセージを格納するとき、RCFDCnCFDCFCCk レジスタの CFPLS[2:0]ビットで設定したペイロード格納サイズを超える領域に対応する RCFDCnCFDCFDFd_k レジスタへの書き込みはしないでください。

表 24.129 送受信 FIFO バッファのペイロード格納領域

CFPLS[2:0]ビットの設定値	ペイロード格納サイズ	対応するデータフィールドレジスタ
000_B	8 バイト	RCFDCnCFDCFDF0_k～RCFDCnCFDCFDF1_k
001_B	12 バイト	RCFDCnCFDCFDF0_k～RCFDCnCFDCFDF2_k
010_B	16 バイト	RCFDCnCFDCFDF0_k～RCFDCnCFDCFDF3_k
011_B	20 バイト	RCFDCnCFDCFDF0_k～RCFDCnCFDCFDF4_k
100_B	24 バイト	RCFDCnCFDCFDF0_k～RCFDCnCFDCFDF5_k
101_B	32 バイト	RCFDCnCFDCFDF0_k～RCFDCnCFDCFDF7_k
110_B	48 バイト	RCFDCnCFDCFDF0_k～RCFDCnCFDCFDF11_k
111_B	64 バイト	RCFDCnCFDCFDF0_k～RCFDCnCFDCFDF15_k



備考　α＝0～2、β＝0～2
CFDC[2:0],CFE：RCFDCnCFDCFCCk レジスタのビット
CFMC[7:0], CFEMP, CFTXIF：RCFDCnCFDCFSTSk レジスタのフラグ

図 24.31　送受信 FIFO バッファの送信タイミング図（正常に送信完了時）

(1) CAN バスがアイドル状態のとき、RCFDCnCFDCFCC α レジスタの CFE ビットが“1”（送受信 FIFO バッファを使用する）、RCFDCnCFDCFCC α レジスタの CFDC[2:0]ビットが“001_B”（4 メッセージ）以上、RCFDCnCFDCFSTS α レジスタの CFMC[7:0]ビットの値が“01_H”以上の場合、最優先の送信メッセージを決めるために優先順位判定処理を開始します。送信メッセージが決まると送信を開始します。この図では、チャネル 0 の送受信 FIFO バッファ α から送信されます。

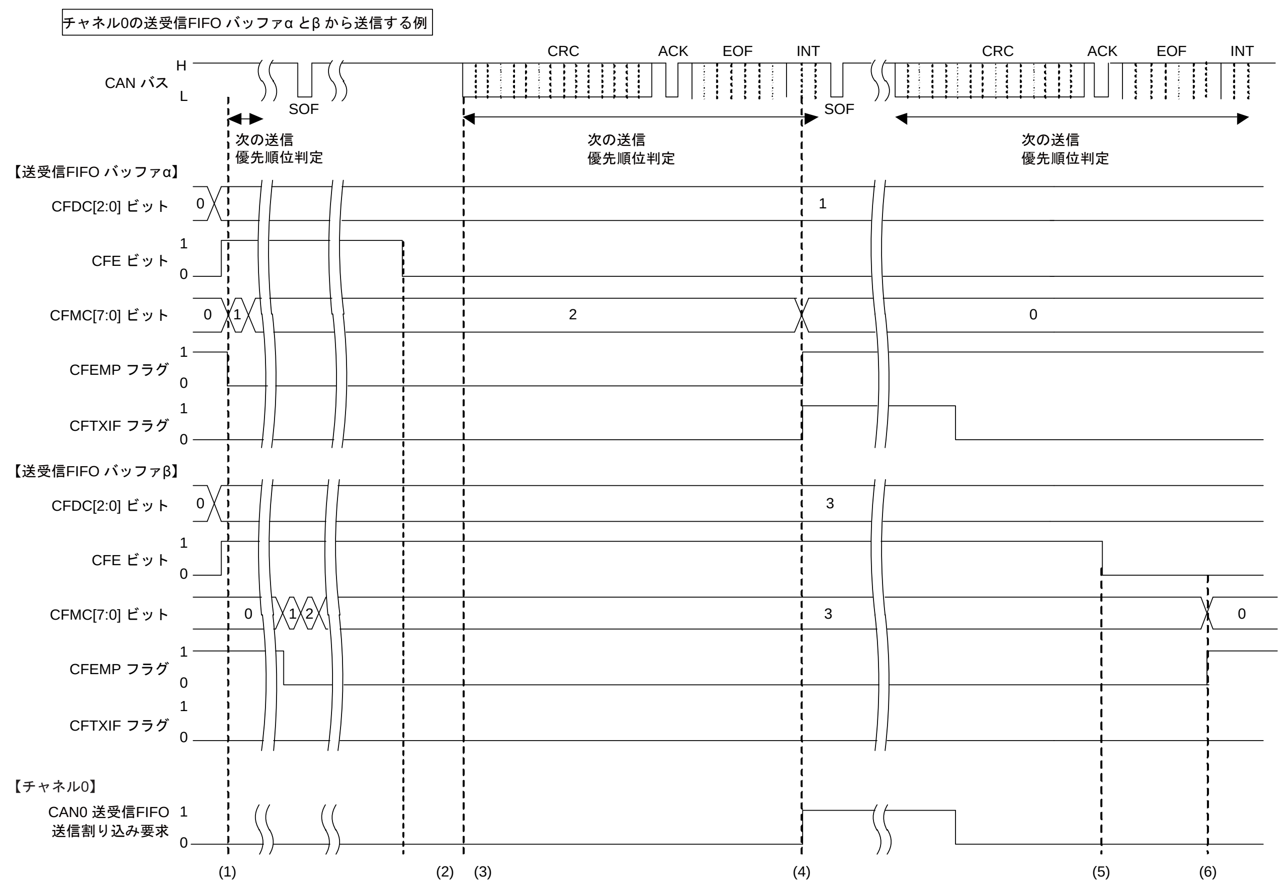
(2) バッファからの送信要求があれば、CRC フィールドの 1 ビット目で次の優先順位判定処理を開始します。他のチャネルが優先順位判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。

(3) 送信が成功すると、RCFDCnCFDCFSTS α レジスタの CFMC[7:0]ビットが 1 減算されます。RCFDCnCFDCFCC α レジスタの CFIM ビットを“1”（1 メッセージ送信ごとに割り込み要求発生）にした場合、RCFDCnCFDCFSTS α レジスタの CFTXIF フラグが“1”（送受信 FIFO 送信割り込み要求あり）になります。

(4) CFTXIF フラグはプログラムでクリアできます。

(5) チャネル 0 の送受信 FIFO バッファ β からの送信が完了し、RCFDCnCFDCFSTS β レジスタの CFMC[7:0]ビットが 1 減算されます。CFMC[7:0]ビットが“00_H”になるため、RCFDCnCFDCFSTS β レジスタの CFEMP フラグが“1”（送受信 FIFO バッファ空）になります。

CFEMP フラグが“1”になるまで送信は続けられます。RCFDCnCFDCFSTS α 、RCFDCnCFDCFSTS β レジスタの CFFLL フラグが“1”（送受信 FIFO バッファフル）になるまで、送信メッセージを FIFO バッファに格納することができます。



備考　α＝0～2、β＝0～2
CFDC[2:0], CFE：RCFDCnCFDCFCCk レジスタのビット
CFMC[7:0], CFEMP, CFTXIF：RCFDCnCFDCFSTSk レジスタのフラグ

図 24.32　送受信 FIFO バッファの送信タイミング図（送信アボート完了時）

(1) CAN バスがアイドル状態のとき、RCFDCnCFDCFCC α レジスタの CFE ビットが“1”（送受信 FIFO バッファを使用する）、RCFDCnCFDCFCC α レジスタの CFDC[2:0]ビットが“001_B”（4 メッセージ）以上、RCFDCnCFDCFSTS α レジスタの CFMC[7:0]ビットの値が“01_H”以上の場合、最優先の送信メッセージを決めるために優先順位判定処理を開始します。送信メッセージが決まると送信を開始します。この図では、チャネル 0 の送受信 FIFO バッファ α から送信されます。

(2) メッセージが送信中、または次の送信に決まっているとき、アービトレーションロストまたはエラーが発生しない限り、CFE ビットを“0”（送受信 FIFO バッファを使用しない）にしても送信はアボートされません。

(3) バッファからの送信要求があれば、CRC フィールドの先頭ビットで次の優先順位判定処理を開始します。この図では、送受信 FIFO バッファβは次の送信用バッファとして選択されていません。他のチャネルが優先順判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。

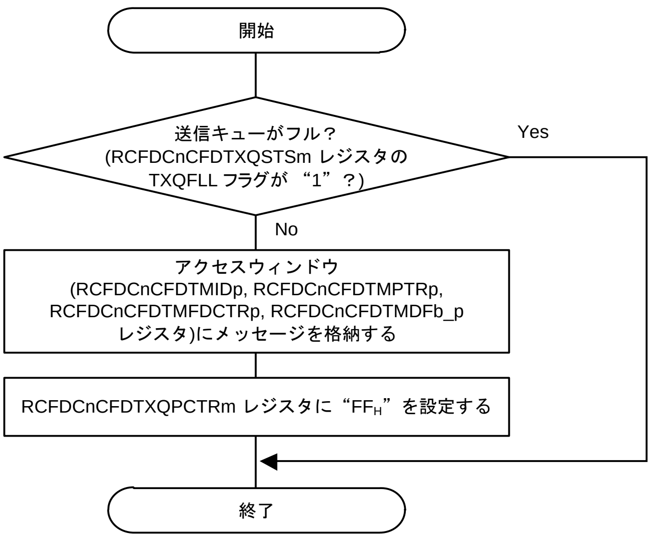
(4) 送信が成功すると、CFMC[7:0]ビットの値が“00_H”になります。CFIM ビットを“1”（1 メッセージ送信ごとに割り込み要求発生）にした場合、RCFDCnCFDCFSTSαレジスタの CFTXIF フラグが“1”（送受信 FIFO バッファ送信割り込み要求あり）になります。CFTXIF フラグはプログラムでクリアできます。

(5) CAN バス上の他の CAN ノードが送信中の場合（送受信 FIFO バッファβからは送信されていない）、送信の優先順位判定中に RCFDCnCFDCFCCβレジスタの CFE ビットを“0”（送受信 FIFO バッファを使用しない）にしても、送受信 FIFO バッファβは直ちに禁止にはできません（RCFDCnCFDCFSTSβレジスタの CFEMP フラグは直ちに“1”（送受信 FIFO バッファ空）にはなりません）。

(6) 内部処理時間経過後、送受信 FIFO バッファβは禁止され、RCFDCnCFDCFSTSβレジスタの CFMC[7:0]ビットは“00_H”になり、CFEMP フラグは“1”になります。送受信 FIFOβバッファが送信中でもなく、次の送信バッファとしても選択されていなくて、かつ優先順位判定中でなければ、直ちに送受信 FIFOβバッファは禁止されます（CFMC[7:0]ビットは“00_H”になり、CFEMP フラグは“1”になります）。

24.10.3.3 送信キューからの送信手順

「**図 24.33 送信キューからの送信手順**」に送信キューからの送信手順を示します。



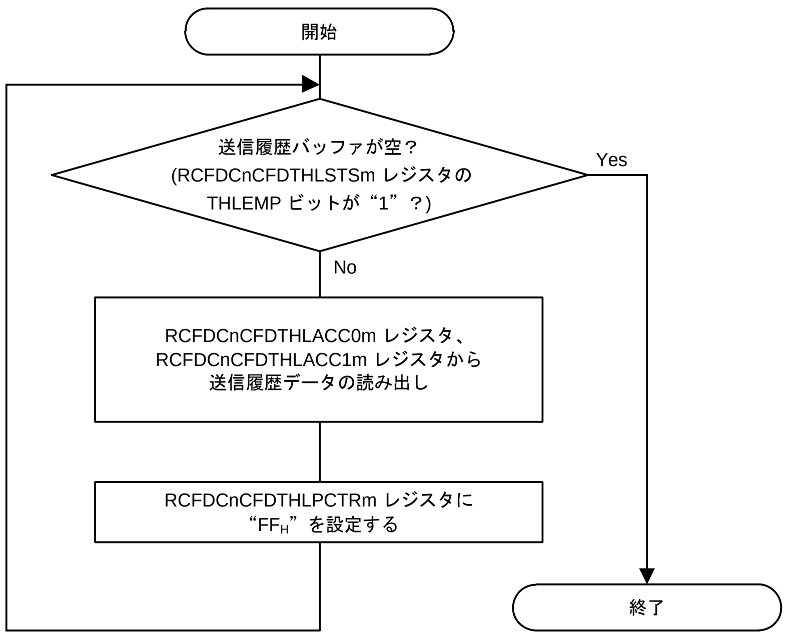
備考 p＝m×32＋31、m＝0〜7

図 24.33 送信キューからの送信手順

24.10.3.4　送信履歴バッファの読み出し手順

送信履歴データは、RCFDCnCFDTHLACC0m レジスタ、RCFDCnCFDTHLACC1m レジスタで読めます。

1 データを読んだ後、対応する RCFDCnCFDTHLPCTRm レジスタ（m＝0～7）へ“FF_H”を書くと、次のデータへアクセスできます。「**図 24.34 送信履歴バッファの読み出し手順**」に送信履歴バッファの読み出し手順を示します。



備考　m＝0～7

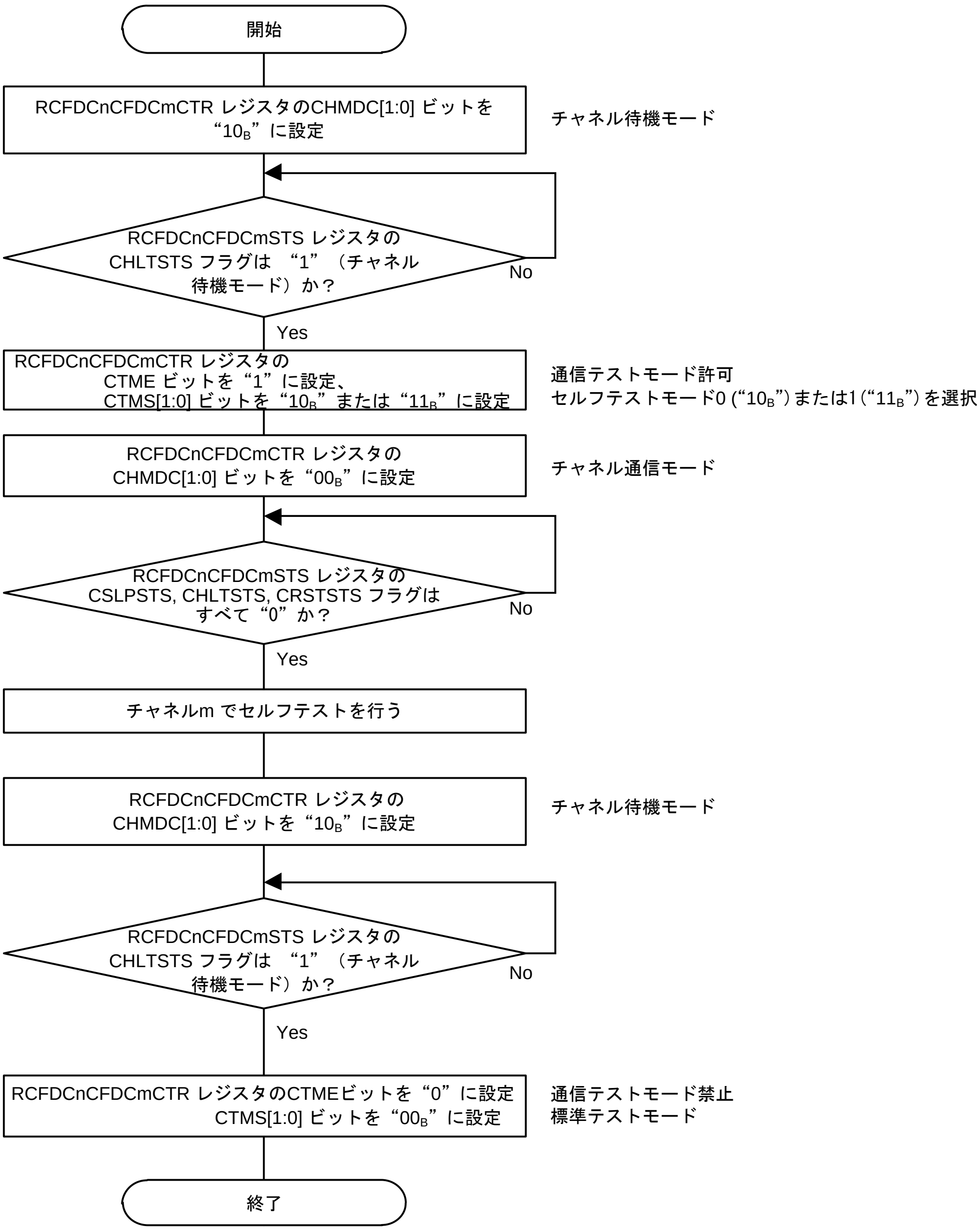
図 24.34　送信履歴バッファの読み出し手順

24.10.4　テスト設定

24.10.4.1　セルフテストモードの設定手順

セルフテストモードでは、自ら送信したメッセージを受信することにより、チャネル単体で通信テストを行うことができます。

「**図 24.35 セルフテストモードの設定手順**」にセルフテストモードの設定手順を示します。



備考　m＝0～7

図 24.35　セルフテストモードの設定手順

24.10.4.2　プロテクト解除手順

「**表 24.130 テスト機能用プロテクト解除データ**」に示すグローバルテスト機能はプロテクトされているため、解除データ 1 と解除データ 2 を連続して RCFDCnCFDGLOCKK レジスタの LOCK[15:0]ビットに書いてから、それぞれのテスト機能ビットを“1”にしてください。

表 24.130 テスト機能用プロテクト解除データ

テスト機能	プロテクト解除データ 1	プロテクト解除データ 2	対象ビット
RAM テスト	7575_H	$8A8A_H$	RCFDCnCFDGTSTCTR レジスタ RTME ビット

間違った値を LOCK[15:0]ビットに書いた場合、再度、解除データ 1 の書き込みからやり直してください。
「**図 24.36 プロテクト解除手順**」にプロテクト解除手順を示します。

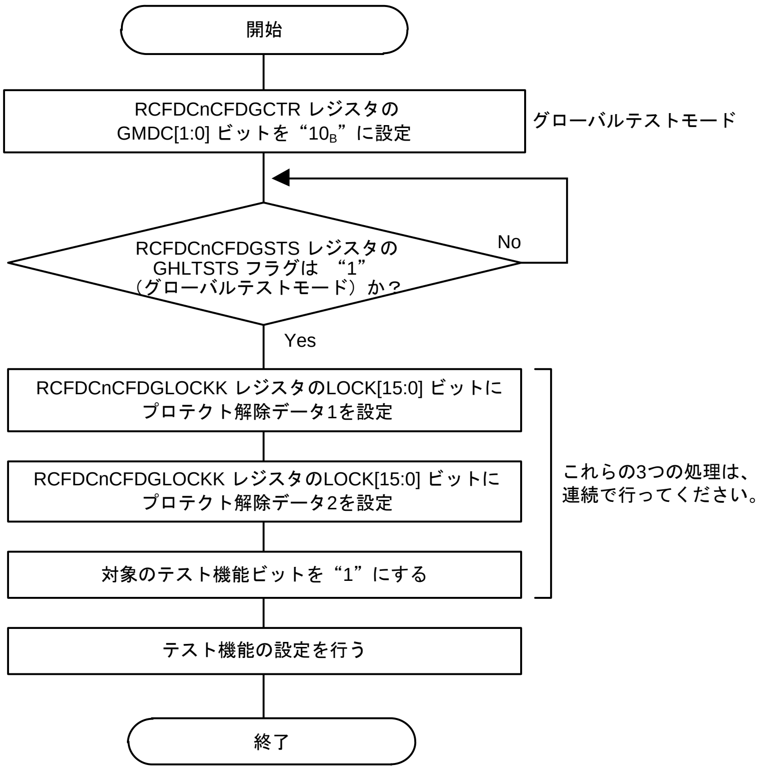
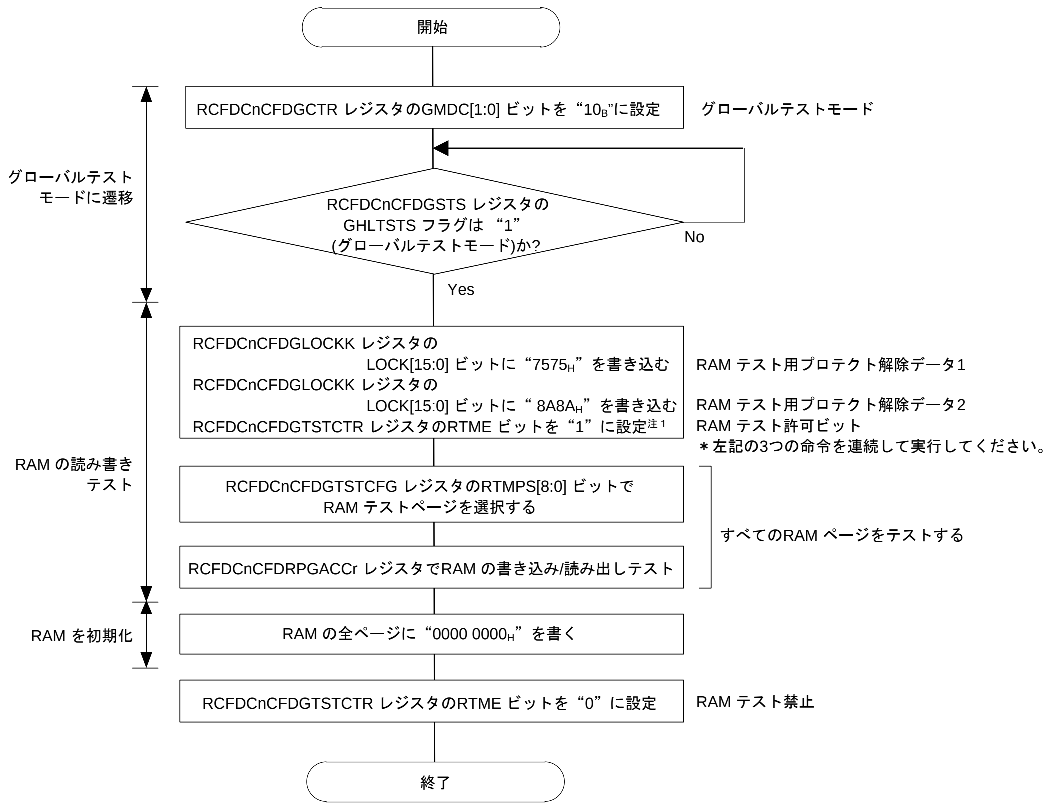


図 24.36　プロテクト解除手順

24.10.4.3　RAM テストの設定手順

RAM テストには、CAN 用 RAM の読み書きテストがあります。読み書きテストでは、RAM に書いた値が正しく読めることを確認できます。RAM テストを終了する前に、CAN 用 RAM の全ページに“0000 0000_H”を書いてください。

「**図 24.37 RAM テストの設定手順**」に RAM テストの設定手順を示します。



備考　r＝0～63

注1.　RAM テストモードへ変更する場合、以下を確認してください。
- 送信要求の取り消し
- すべての FIFO、送信キューを無効
- 受信バッファの受信フラグをクリア

図 24.37　RAM テストの設定手順

24.10.4.4　チャネル間通信テストの設定手順

異なるチャネル間で送受信させることにより、通信テストを行うことができます。

「**図 24.38 チャネル間通信テストの設定手順（チャネル 0、1 間通信テストの例）**」にチャネル間通信テストの設定手順を示します。

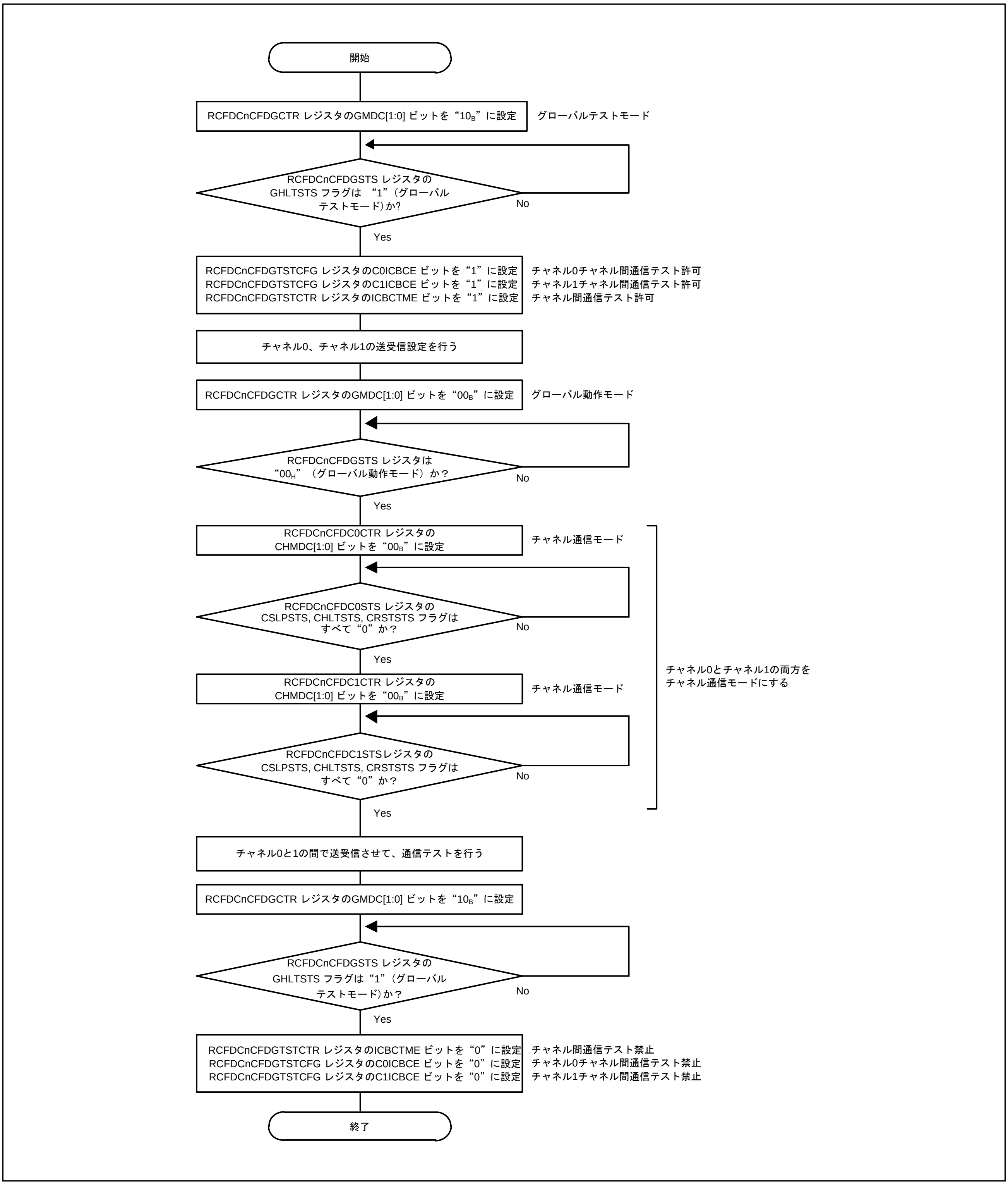


図 24.38　チャネル間通信テストの設定手順（チャネル 0、1 間通信テストの例）

24.11 RS-CANFD モジュールの注意事項

- グローバルモードを変更する場合は、RCFDCnCFDGSTS レジスタの GSLPSTS、GHLTSTS、GRSTSTS フラグで遷移を確認してください。チャネルモードを変更する場合は、RCFDCnCFDCmSTS レジスタ（m＝0～7）の CSLPSTS、CHLTSTS、CRSTSTS フラグで遷移を確認してください。
- CAN FD モード時、クラシカル CAN フレームしか使用しない場合は、RCFDCnCFDCmDCFG レジスタに、RCFDCnCFDCmNCFG レジスタの設定値と同じ値を設定してください。
- アクセプタンスフィルタ処理は、小さい番号の受信ルールから順にチェックを開始します。複数の受信ルールに同じ ID、IDE ビット、RTR ビットの値を設定した場合、小さい番号の受信ルールでアクセプタンスフィルタ処理が通過します。その後の DLC フィルタ処理を通過しなかった場合も、アクセプタンスフィルタ処理には戻らず、データ処理は終了し、メッセージはバッファに格納されません。
- 送信バッファを送受信 FIFO バッファにリンクする場合、または送信キューに割り当てる場合は対応する送信バッファの制御レジスタ（RCFDCnCFDTMCp レジスタ）は“00_H”にしてください。また、対応する送信バッファのステータスレジスタ（RCFDCnCFDTMSTSp レジスタ）は使用しないでください。その他のステータスレジスタ（RCFDCnCFDTMTRSTS0～RCFDCnCFDTMTRSTS7、RCFDCnCFDTMTARSTS0～RCFDCnCFDTMTARSTS7、RCFDCnCFDTMTCSTS0～RCFDCnCFDTMTCSTS7、RCFDCnCFDTMTASTS0～RCFDCnCFDTMTASTS7 レジスタ）は、送受信 FIFO にリンクした、または送信キューに割り当てた送信バッファに対応するフラグは変化しません。対応する割り込み許可レジスタ（RCFDCnCFDTMIEC0～RCFDCnCFDTMIEC7 レジスタ）の許可ビットは“0”（割り込み禁止）にしてください。
- 1 つの送信バッファには、1 つの送受信 FIFO バッファしかリンクできません。複数の送受信 FIFO バッファを同一番号の送信バッファにリンクさせないでください。
- タイムスタンプカウンタのクロック源に CANm ビットタイムクロックを選択した場合、対応するチャネルがチャネルリセットモードまたはチャネル待機モードに遷移すると、タイムスタンプカウンタが停止します。
- 受信 FIFO バッファ、送受信 FIFO バッファがフルのときに、新しい受信メッセージを格納しようとした場合、新しいメッセージは破棄されます。送受信 FIFO バッファおよび送信キューに新しい送信メッセージを格納しようとする場合、送受信 FIFO バッファおよび送信キューがフルでないことを確認してください。
- 「**24.3 レジスタ**」に記載されているリセット後の値は、RAM アクセスを行うレジスタの場合、CAN 用 RAM 初期化によってクリアされた後の値を示します。クリア前の値は不定です。次のレジスタが該当します。
  - 受信ルール（RCFDCnCFDGAFLIDj, RCFDCnCFDGAFLMj, RCFDCnCFDGAFLP0_j, RCFDCnCFDGAFLP1_j レジスタ）
  - 受信バッファ（RCFDCnCFDRMIDq, RCFDCnCFDRMPTRq, RCFDCnCFDRMFDSTSq, RCFDCnCFDRMDFb_q レジスタ）
  - 受信 FIFO バッファアクセスレジスタ（RCFDCnCFDRFIDx, RCFDCnCFDRFPTRx, RCFDCnCFDRFFDSTSx, RCFDCnCFDRFDFd_x レジスタ）
  - 送受信 FIFO バッファアクセスレジスタ（RCFDCnCFDCFIDk, RCFDCnCFDCFPTRk, RCFDCnCFDCFFDCSTSk, RCFDCnCFDCFDFd_k レジスタ）
  - 送信バッファ（RCFDCnCFDTMIDp, RCFDCnCFDTMPTRp, RCFDCnCFDTMFDCTRp, RCFDCnCFDTMDFb_p レジスタ）
  - 送信履歴アクセスレジスタ（RCFDCnCFDTHLACC0m, RCFDCnCFDTHLACC1m レジスタ）
  - RAM テストページアクセスレジスタ（RCFDCnCFDRPGACCr レジスタ）

- 未使用の受信バッファ（RCFDCnCFDRMIDq、RCFDCnCFDRMPTRq、RCFDCnCFDRMFDSTSq、RCFDCnCFDRMDFb_q レジスタ）、受信 FIFO バッファアクセスレジスタ（RCFDCnCFDRFIDx、RCFDCnCFDRFPTRx、RCFDCnCFDRFFDSTSx、RCFDCnCFDRFDFd_x レジスタ）と送受信 FIFO バッファアクセスレジスタ（RCFDCnCFDCFIDk、RCFDCnCFDCFPTRk、RCFDCnCFDCFFDCSTSk、RCFDCnCFDCFDFd_k レジスタ）の値は、RS-CANFD モジュールがグローバルリセットモードを抜けグローバル動作モードやグローバルテストモードに遷移すると、不定になります。

24.12 RS-CANFD RAM のエラー検出／訂正

詳細は「**40A.2.6 周辺 RAM の ECC**」、「**40B.2.6 周辺 RAM の ECC**」、「**40C.2.5 周辺 RAM の ECC**」を参照してください。

第25章 FlexRay (FLXA)

本章では、FlexRay（FLXA）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1KH, RH850/F1KM に固有の特性について説明します。

それ以降の節では、FLXA の機能、レジスタについて説明します。

注 意

本章では、グローバル RAM の記載が出てきますが、グローバル RAM／リテンション RAM と読み替えてください。

備 考

本章で記載されている POC は、Protocol Operation Control の略です。**「第 10A 章 電源とパワードメイン (RH850/F1KH-D8)」**、**「第 10B 章 電源とパワードメイン (RH850/F1KM-S4, RH850/F1KM-S2)」**、**「第 10C 章 電源とパワードメイン (RH850/F1KM-S1)」**で説明している「パワーオンクリア（POC）」とは異なります。

25.1 RH850/F1KH, RH850/F1KM FLXA の特長

25.1.1 ユニット数とチャネル数

本製品は、以下のユニット数、チャネル数の FLXA を搭載しています。

表 25.1 ユニット数 (RH850/F1KH-D8)

製品名	RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 324 Pin
ユニット数	1	1	1
名称	FLXAn (n=0)	FLXAn (n=0)	FLXAn (n=0)

表 25.2 ユニット数 (RH850/F1KM-S4)

製品名	RH850/F1KM-S4 100 Pin	RH850/F1KM-S4 144 Pin	RH850/F1KM-S4 176 Pin	RH850/F1KM-S4 233 Pin	RH850/F1KM-S4 272 Pin
ユニット数	1	1	1	1	1
名称	FLXAn (n=0)	FLXAn (n=0)	FLXAn (n=0)	FLXAn (n=0)	FLXAn (n=0)

表 25.3 ユニット数 (RH850/F1KM-S2)

製品名	RH850/F1KM-S2 100 Pin	RH850/F1KM-S2 144 Pin	RH850/F1KM-S2 176 Pin
ユニット数	—	—	—
名称	—	—	—

表 25.4 ユニット数 (RH850/F1KM-S1)

製品名	RH850/F1KM-S1 48 Pin	RH850/F1KM-S1 64 Pin	RH850/F1KM-S1 80 Pin	RH850/F1KM-S1 100 Pin
ユニット数	—	—	—	—
名称	—	—	—	—

表 25.5　FLXAn のユニット構成とチャネルの対応 (RH850/F1KH-D8)

ユニット名	ユニットチャネル数	RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 324 Pin
FLXA0	2 (Ach, Bch)	○	○	○

表 25.6　FLXAn のユニット構成とチャネルの対応 (RH850/F1KM-S4)

ユニット名	ユニットチャネル数	RH850/F1KM-S4 100 Pin	RH850/F1KM-S4 144 Pin	RH850/F1KM-S4 176 Pin	RH850/F1KM-S4 233 Pin	RH850/F1KM-S4 272 Pin
FLXA0	2 (Ach, Bch)	○	○	○	○	○

表 25.7　添字 (RH850/F1KH-D8)

添字	意味
n	本章では、FLXA の各ユニットを「n」で識別します。たとえば、FlexRay 制御レジスタは FLXAnFROC と記述します。

表 25.8　添字 (RH850/F1KM-S4)

添字	意味
n	本章では、FLXA の各ユニットを「n」で識別します。たとえば、FlexRay 制御レジスタは FLXAnFROC と記述します。

25.1.2　レジスタベースアドレス

FLXAn のベースアドレスを以下の表に示します。

FLXAn のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 25.9　レジスタベースアドレス (RH850/F1KH-D8)

ベースアドレス名	ベースアドレス
<FLXA0_base>	$1002\ 0000_H$

表 25.10　レジスタベースアドレス (RH850/F1KM-S4)

ベースアドレス名	ベースアドレス
<FLXA0_base>	$1002\ 0000_H$

25.1.3　クロック供給

FLXAn のクロック供給を以下の表に示します。

表 25.11　クロック供給 (RH850/F1KH-D8)

ユニット名	ユニットクロック名	供給クロック名
FLXAn	hclk	CPUCLK_L
	clkc	CKSCLK_PPLLCLK 注1
	レジスタアクセスクロック	CPUCLK_L

注1.　FLXA0 のクロックは、OPBT0.FLXA0EN で停止することができます。詳細は、「**44.9.2 OPBT0 — オプションバイト 0**」を参照してください。

表 25.12　クロック供給 (RH850/F1KM-S4)

ユニット名	ユニットクロック名	供給クロック名
FLXAn	hclk	CPUCLK_L
	clkc	CKSCLK_PPLLCLK 注1
	レジスタアクセスクロック	CPUCLK_L

注1.　FLXA0 のクロックは、OPBT0.FLXA0EN で停止することができます。詳細は、「**44.9.2 OPBT0 — オプションバイト 0**」を参照してください。

表 25.13　転送速度に応じた動作周波数の範囲

データ転送速度	動作周波数の範囲	
	hclk	clkc
10Mbps	45≦hclk≦60MHz	80MHz
5Mbps	27≦hclk≦60MHz	80MHz
2.5Mbps	27≦hclk≦60MHz	80MHz

25.1.4　割り込み要求

FLXAn の割り込み要求を以下の表に示します。

表 25.14　割り込み要求 (RH850/F1KH-D8)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
FLXA0			
INTFLXA0LINE0	FlexRay0 割り込み	179	—
INTFLXA0LINE1	FlexRay1 割り込み	180	—
INTFLXA0TIM0	タイマ 0 割り込み	181	—
INTFLXA0TIM1	タイマ 1 割り込み	182	—
INTFLXA0TIM2	タイマ 2 割り込み	183	—
INTFLXA0FDA	FIFO 転送割り込み	173	—
INTFLXA0FW	FIFO 転送警告割り込み	174	—
INTFLXA0OW	出力転送警告割り込み	178	—
INTFLXA0OT	出力転送終了割り込み	177	—
INTFLXA0IQF	入力キューフル割り込み	176	—
INTFLXA0IQE	入力キューエンプティ割り込み	175	—

表 25.15　割り込み要求 (RH850/F1KM-S4)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
FLXA0			
INTFLXA0LINE0	FlexRay0 割り込み	179	—
INTFLXA0LINE1	FlexRay1 割り込み	180	—
INTFLXA0TIM0	タイマ 0 割り込み	181	—
INTFLXA0TIM1	タイマ 1 割り込み	182	—
INTFLXA0TIM2	タイマ 2 割り込み	183	—
INTFLXA0FDA	FIFO 転送割り込み	173	—
INTFLXA0FW	FIFO 転送警告割り込み	174	—
INTFLXA0OW	出力転送警告割り込み	178	—
INTFLXA0OT	出力転送終了割り込み	177	—
INTFLXA0IQF	入力キューフル割り込み	176	—
INTFLXA0IQE	入力キューエンプティ割り込み	175	—

25.1.5　リセット要因

FLXAn のリセット要因を以下の表に示します。FLXAn は以下のリセット信号で初期化されます。

表 25.16　リセット要因 (RH850/F1KH-D8)

ユニット名	リセット要因
FLXAn	すべてのリセット要因（ISORES）

表 25.17　リセット要因 (RH850/F1KM-S4)

ユニット名	リセット要因
FLXAn	すべてのリセット要因（ISORES）

25.1.6　外部入出力信号

FLXAn の外部入出力信号を以下の表に示します。

表 25.18　外部入出力信号 (RH850/F1KH-D8)

ユニット信号名	概要	ポート端子兼用信号名
FLXA0		
rxda_extfxr	チャネル A 受信データ入力	FLXA0RXDA
fxr_txda	チャネル A 送信データ出力	FLXA0TXDA
fxr_txena_n	チャネル A 送信データ許可	FLXA0TXENA
rxdb_extfxr	チャネル B 受信データ入力	FLXA0RXDB
fxr_txdb	チャネル B 送信データ出力	FLXA0TXDB
fxr_txenb_n	チャネル B 送信データ許可	FLXA0TXENB
stpwt_extfxr	ストップウォッチトリガ入力	FLXA0STPWT

表 25.19　外部入出力信号 (RH850/F1KM-S4)

ユニット信号名	概要	ポート端子兼用信号名
FLXA0		
rxda_extfxr	チャネル A 受信データ入力	FLXA0RXDA
fxr_txda	チャネル A 送信データ出力	FLXA0TXDA
fxr_txena_n	チャネル A 送信データ許可	FLXA0TXENA
rxdb_extfxr	チャネル B 受信データ入力	FLXA0RXDB
fxr_txdb	チャネル B 送信データ出力	FLXA0TXDB
fxr_txenb_n	チャネル B 送信データ許可	FLXA0TXENB
stpwt_extfxr	ストップウォッチトリガ入力	FLXA0STPWT

25.1.7　機能

FlexRay ネットワーク上での通信用に最大 254 データバイトの独立したメッセージバッファを設定することができます。メッセージバッファは、最大 128 個のメッセージバッファとして構成可能なメッセージ RAM です。メッセージ処理に関する機能はすべてメッセージハンドラに組み込まれています。主な機能は、フィルタリングの設定、2 つの FlexRay チャネルプロトコルコントローラとメッセージ RAM 間のメッセージ転送、伝送スケジュールの保守、メッセージステータス情報の提供などです。

FlexRay IP モジュールのレジスタセットは、モジュールの CPU インタフェースを介して外部 CPU から直接アクセス可能です。これらのレジスタは、FlexRay チャネルプロトコルコントローラ、メッセージハンドラ、内部クロック生成ブロック、システムコントローラ、フレームおよびシンボル処理、ネットワーク管理、割り込み制御を、制御／構成／監視します。また、入力／出力バッファを介してメッセージ RAM にアクセスし、メッセージ RAM とローカル RAM／グローバル RAM 間のデータ転送を制御します。

FlexRay IP モジュールは、次に示す機能をサポートします。

項目	仕様
通信	FlexRay 通信システムプロトコル仕様 v2.1 に準拠
データ転送速度	チャネルごとに最大 10Mbit/s
チャネルごとの入出力端子	TxD, RxD, TxEN
FlexRay チャネル	2 本（チャネル A および B）
メッセージバッファ	● 最大 128 個のメッセージバッファが構成可能 ● 異なるペイロード長でメッセージバッファが構成可能 ● 各メッセージバッファを受信バッファ、転送バッファ、あるいは受信 FIFO バッファの一部として構成可能 ● スロットカウンタ、サイクルカウンタ、チャネル用にフィルタリング
メッセージ RAM	8K バイトのメッセージ RAM は下記例のような構成をとることが可能です。 ● 最大 48 バイトのデータセクションを持つ 128 個のメッセージバッファ ● 254 バイトのデータセクションを持つ最大 30 個のメッセージバッファ
FIFO	1 つの構成可能な受信 FIFO
メッセージバッファアクセス	入出力バッファを介してホスト CPU によるもの 入力バッファ：メッセージ RAM へ転送されるメッセージを保持 出力バッファ：メッセージ RAM から読み込んだメッセージを保持
	データ転送機能によるもの 入力転送：メッセージバッファの内容は、CPU の要求によってローカル RAM やグローバル RAM からメッセージ RAM へ転送される 出力転送：メッセージバッファの内容は、メッセージ RAM からローカル RAM やグローバル RAM へ自動的に転送される
ネットワーク管理	サポート
割り込み	マスク可能なモジュール割り込み
タイマ	● 2 個の絶対値タイマ ● 1 個の相対値タイマ ● 1 個のストップウォッチタイマ

25.1.8 ブロック図

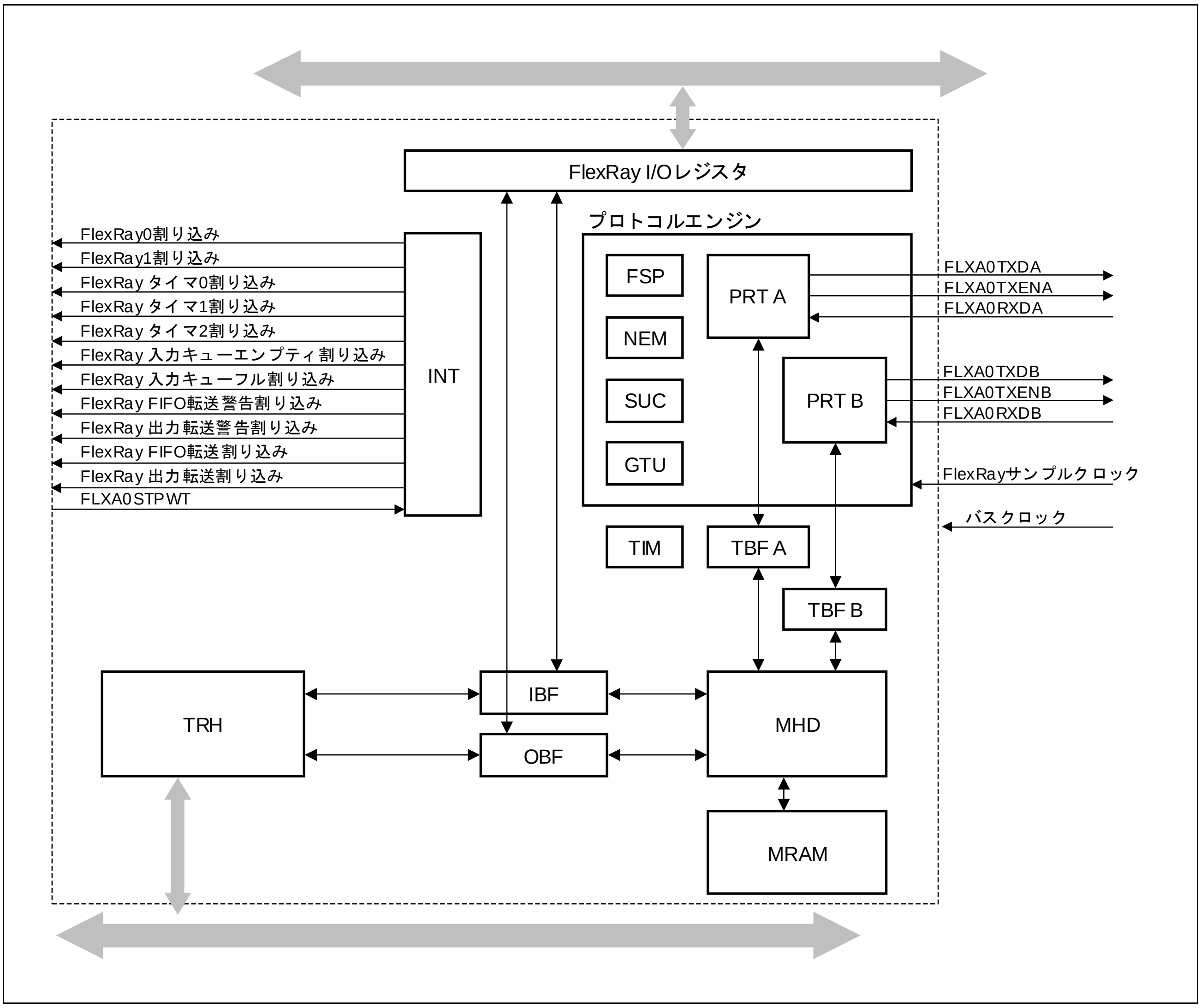


図 25.1 FlexRay IP ブロック図

入力バッファ（IBF）

メッセージ RAM 内に設定されたメッセージバッファへ書き込む場合、CPU は入力バッファに対する特定のメッセージバッファのヘッダおよびデータセクションに書き込みます。その後、メッセージハンドラがデータを入力バッファからメッセージ RAM 内の選択されたメッセージバッファに転送します。

出力バッファ（OBF）

メッセージ RAM に設定されたメッセージバッファに読み出す場合、メッセージハンドラは選択されたメッセージバッファを出力バッファに転送します。転送完了後、CPU は転送されたメッセージバッファのヘッダおよびデータセクションを読み出せます。

メッセージハンドラ（MHD）

FlexRay メッセージハンドラは、以下のコンポーネント間のデータ転送を制御します。

- 入力／出力バッファとメッセージ RAM 間
- 2 つの FlexRay プロトコルコントローラのテンポラリバッファ RAM とメッセージ RAM 間

メッセージ RAM（MRAM）

メッセージ RAM は、最大 128 個の FlexRay メッセージバッファと関連設定データ（ヘッダおよびデータパーティション）を格納するシングルポート RAM で構成されます。

テンポラリバッファ RAM（TBF A/B）

2 つの完全なメッセージのデータセクションを格納します。

FlexRay チャネルプロトコルコントローラ（PRT A/B）

FlexRay チャネルプロトコルコントローラは、シフトレジスタと FlexRay プロトコル FSM で構成されます。このコントローラは、メッセージを一時的に保存するためにテンポラリバッファ RAM に接続され、物理レイヤにもバスドライバ BD を介して接続されます。
このコントローラには以下の機能があります。

- ビットタイミングの制御とチェック
- FlexRay フレームおよびシンボルの送受信
- ヘッダ CRC のチェック
- フレーム CRC の生成／チェック
- バスドライバとの接続

内部クロック生成ブロック（GTU）

内部クロック生成ブロックには以下の機能があります。

- μT の生成
- MT の生成
- FTM アルゴリズムによるフォールトトレラントクロック同期の
  - レート補正
  - オフセット補正
- サイクルカウンタ
- スタティックセグメントのタイミング制御
- ダイナミックセグメント（ミニスロット）のタイミング制御
- 外部クロック補正のサポート

システムコントローラ（SUC）

システムコントローラには以下の機能があります。

- 設定
- ウェイクアップ
- スタートアップ
- 通常動作
- パッシブ動作

フレーム／シンボル処理（FSP）

フレーム／シンボル処理には以下の機能があります。

- フレームおよびシンボルのタイミングが正しいかどうか確認
- 受信フレームのシンタックスとセマンティクスが正しいかどうか確認
- スロットステータスフラグの設定

ネットワーク管理（NEM）

ネットワーク管理ベクタを処理します。

割り込み処理（INT）

割り込みコントローラには以下の機能があります。

- エラーおよびステータス割り込みフラグの提供
- 割り込みソースの許可／禁止
- 割り込みソースを 2 つのモジュール割り込み出力のどちらかに割り当て
- モジュール割り込みの有効／無効

タイマ（TIM）

タイマモジュールには、次に示すマクロティックタイマが含まれます。

- 2 個の絶対値タイマ
- 1 個の相対値タイマ
- 1 個のストップウォッチタイマ

転送ハンドラ（TRH）

ローカル RAM やグローバル RAM と FlexRay モジュール間のデータ転送を処理します。転送ハンドラは、以下の転送方式をサポートしています。

- ローカル RAM やグローバル RAM からメッセージ RAM へのバッファ設定データの転送
- ローカル RAM やグローバル RAM からメッセージ RAM へテンポラリファイル用ペイロードデータの転送
- ローカル RAM やグローバル RAM からメッセージ RAM へテンポラリファイル用バッファ設定データおよびペイロードデータの転送
- フレーム受信において受信バッファからローカル RAM やグローバル RAM へのペイロードデータの自動転送
- フレーム受信において受信バッファからローカル RAM やグローバル RAM へのペイロードデータ、バッファ構成データ、メッセージバッファステータスデータの自動転送
- スロットステータス更新において専用の送信および受信バッファからローカル RAM やグローバル RAM へのバッファ構成データとメッセージバッファステータスデータの自動転送
- 専用の送信および受信バッファからローカル RAM やグローバル RAM へのペイロードデータ、バッファ構成データ、メッセージバッファステータスデータのマニュアル転送

25.2 レジスタ

25.2.1 レジスター覧

FLXAn のレジスター覧を以下の表に示します。

<FLXAn_base>は、「**25.1.2 レジスタベースアドレス**」を参照してください。

表 25.20 レジスター覧

モジュール名	レジスタ名	略号	アドレス
FLXAn	FlexRay 動作制御レジスタ	FLXAnFROC	<FLXAn_base> + 0004_H
	FlexRay 動作ステータスレジスタ	FLXAnFROS	<FLXAn_base> + $000C_H$
	FlexRay テストレジスタ 1	FLXAnFRTEST1	<FLXAn_base> + 0010_H
	FlexRay テストレジスタ 2	FLXAnFRTEST2	<FLXAn_base> + 0014_H
	FlexRay ロックレジスタ	FLXAnFRLCK	<FLXAn_base> + $001C_H$
	FlexRay エラー割り込みレジスタ	FLXAnFREIR	<FLXAn_base> + 0020_H
	FlexRay ステータス割り込みレジスタ	FLXAnFRSIR	<FLXAn_base> + 0024_H
	FlexRay エラー割り込み出力選択レジスタ	FLXAnFREILS	<FLXAn_base> + 0028_H
	FlexRay ステータス割り込み出力選択レジスタ	FLXAnFRSILS	<FLXAn_base> + $002C_H$
	FlexRay エラー割り込み許可レジスタ	FLXAnFREIES	<FLXAn_base> + 0030_H
	FlexRay エラー割り込み禁止レジスタ	FLXAnFREIER	<FLXAn_base> + 0034_H
	FlexRay ステータス割り込み許可レジスタ	FLXAnFRSIES	<FLXAn_base> + 0038_H
	FlexRay ステータス割り込み禁止レジスタ	FLXAnFRSIER	<FLXAn_base> + $003C_H$
	FlexRay 割り込み出力許可レジスタ	FLXAnFRILE	<FLXAn_base> + 0040_H
	FlexRay タイマ 0 設定レジスタ	FLXAnFRT0C	<FLXAn_base> + 0044_H
	FlexRay タイマ 1 設定レジスタ	FLXAnFRT1C	<FLXAn_base> + 0048_H
	FlexRay ストップウォッチレジスタ 1	FLXAnFRSTPW1	<FLXAn_base> + $004C_H$
	FlexRay ストップウォッチレジスタ 2	FLXAnFRSTPW2	<FLXAn_base> + 0050_H
	FlexRay SUC 設定レジスタ 1	FLXAnFRSUCC1	<FLXAn_base> + 0080_H
	FlexRay SUC 設定レジスタ 2	FLXAnFRSUCC2	<FLXAn_base> + 0084_H
	FlexRay SUC 設定レジスタ 3	FLXAnFRSUCC3	<FLXAn_base> + 0088_H
	FlexRay NEM 設定レジスタ	FLXAnFRNEMC	<FLXAn_base> + $008C_H$
	FlexRay PRT 設定レジスタ 1	FLXAnFRPRTC1	<FLXAn_base> + 0090_H
	FlexRay PRT 設定レジスタ 2	FLXAnFRPRTC2	<FLXAn_base> + 0094_H
	FlexRay MHD 設定レジスタ	FLXAnFRMHDC	<FLXAn_base> + 0098_H
	FlexRay GTU 設定レジスタ 1	FLXAnFRGTUC1	<FLXAn_base> + $00A0_H$
	FlexRay GTU 設定レジスタ 2	FLXAnFRGTUC2	<FLXAn_base> + $00A4_H$
	FlexRay GTU 設定レジスタ 3	FLXAnFRGTUC3	<FLXAn_base> + $00A8_H$
	FlexRay GTU 設定レジスタ 4	FLXAnFRGTUC4	<FLXAn_base> + $00AC_H$
	FlexRay GTU 設定レジスタ 5	FLXAnFRGTUC5	<FLXAn_base> + $00B0_H$
	FlexRay GTU 設定レジスタ 6	FLXAnFRGTUC6	<FLXAn_base> + $00B4_H$
	FlexRay GTU 設定レジスタ 7	FLXAnFRGTUC7	<FLXAn_base> + $00B8_H$
	FlexRay GTU 設定レジスタ 8	FLXAnFRGTUC8	<FLXAn_base> + $00BC_H$
	FlexRay GTU 設定レジスタ 9	FLXAnFRGTUC9	<FLXAn_base> + $00C0_H$
	FlexRay GTU 設定レジスタ 10	FLXAnFRGTUC10	<FLXAn_base> + $00C4_H$
	FlexRay GTU 設定レジスタ 11	FLXAnFRGTUC11	<FLXAn_base> + $00C8_H$
	FlexRay CC ステータスベクタレジスタ	FLXAnFRCCSV	<FLXAn_base> + 0100_H
	FlexRay CC エラーベクタレジスタ	FLXAnFRCCEV	<FLXAn_base> + 0104_H

表 25.20　レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
FLXAn	FlexRay スロットカウンタ値レジスタ	FLXAnFRSCV	<FLXAn_base> + 0110$_H$
	FlexRay マクロティック値／サイクルカウンタ値レジスタ	FLXAnFRMTCCV	<FLXAn_base> + 0114$_H$
	FlexRay レート補正値レジスタ	FLXAnFRRCV	<FLXAn_base> + 0118$_H$
	FlexRay オフセット補正値レジスタ	FLXAnFROCV	<FLXAn_base> + 011C$_H$
	FlexRay Sync フレームステータスレジスタ	FLXAnFRSFS	<FLXAn_base> + 0120$_H$
	FlexRay シンボルウィンドウ／NIT ステータスレジスタ	FLXAnFRSWNIT	<FLXAn_base> + 0124$_H$
	FlexRay チャネルステータス集計レジスタ	FLXAnFRACS	<FLXAn_base> + 0128$_H$
	FlexRay 偶数 Sync ID レジスタ m （m＝1～15）	FLXAnFRESIDm (m＝1～15)	<FLXAn_base> + 0130$_H$～ <FLXAn_base> + 0168$_H$ (<FLXAn_base> + 0130$_H$ + (m – 1) × 4$_H$)
	FlexRay 奇数 Sync ID レジスタ m （m＝1～15）	FLXAnFROSIDm (m＝1～15)	<FLXAn_base> + 0170$_H$～ <FLXAn_base> + 01A8$_H$ (<FLXAn_base> + 0170$_H$ + (m – 1) × 4$_H$)
	FlexRay ネットワーク管理ベクタレジスタ m （m＝1～3）	FLXAnFRNMVm (m＝1～3)	<FLXAn_base> + 01B0$_H$～ <FLXAn_base> + 01B8$_H$ (<FLXAn_base> + 01B0$_H$ + (m – 1) × 4$_H$)
	FlexRay メッセージ RAM 設定レジスタ	FLXAnFRMRC	<FLXAn_base> + 0300$_H$
	FlexRay FIFO リジェクションフィルタレジスタ	FLXAnFRFRF	<FLXAn_base> + 0304$_H$
	FlexRay FIFO リジェクションフィルタマスクレジスタ	FLXAnFRFRFM	<FLXAn_base> + 0308$_H$
	FlexRay FIFO クリティカルレベルレジスタ	FLXAnFRFCL	<FLXAn_base> + 030C$_H$
	FlexRay メッセージハンドラステータスレジスタ	FLXAnFRMHDS	<FLXAn_base> + 0310$_H$
	FlexRay 最終ダイナミック送信スロットレジスタ	FLXAnFRLDTS	<FLXAn_base> + 0314$_H$
	FlexRay FIFO ステータスレジスタ	FLXAnFRFSR	<FLXAn_base> + 0318$_H$
	FlexRay メッセージハンドラ制限フラグレジスタ	FLXAnFRMHDF	<FLXAn_base> + 031C$_H$
	FlexRay 送信要求レジスタ i（i＝1～4）	FLXAnFRTXRQi (i＝1～4)	<FLXAn_base> + 0320$_H$～ <FLXAn_base> + 032C$_H$ (<FLXAn_base> + 0320$_H$ + (i – 1) × 4$_H$)
	FlexRay 新データレジスタ i（i＝1～4）	FLXAnFRNDATi (i＝1～4)	<FLXAn_base> + 0330$_H$～ <FLXAn_base> + 033C$_H$ (<FLXAn_base> + 0330$_H$ + (i – 1) × 4$_H$)
	FlexRay メッセージバッファステータスレジスタ i （i＝1～4）	FLXAnFRMBSCi (i＝1～4)	<FLXAn_base> + 0340$_H$～ <FLXAn_base> + 034C$_H$ (<FLXAn_base> + 0340$_H$ + (i – 1) × 4$_H$)
	FlexRay データセクションライトレジスタ x （x＝1～64）	FLXAnFRWRDSx (x＝1～64)	<FLXAn_base> + 0400$_H$～ <FLXAn_base> + 04FC$_H$ (<FLXAn_base> + 0400$_H$ + (x – 1) × 4$_H$)
	FlexRay ヘッダセクションライトレジスタ 1	FLXAnFRWRHS1	<FLXAn_base> + 0500$_H$
	FlexRay ヘッダセクションライトレジスタ 2	FLXAnFRWRHS2	<FLXAn_base> + 0504$_H$
	FlexRay ヘッダセクションライトレジスタ 3	FLXAnFRWRHS3	<FLXAn_base> + 0508$_H$
	FlexRay 入力バッファコマンドマスクレジスタ	FLXAnFRIBCM	<FLXAn_base> + 0510$_H$
	FlexRay 入力バッファコマンド要求レジスタ	FLXAnFRIBCR	<FLXAn_base> + 0514$_H$
	FlexRay データセクションリードレジスタ x （x＝1～64）	FLXAnFRRDDSx (x＝1～64)	<FLXAn_base> + 0600$_H$～ <FLXAn_base> + 06FC$_H$ (<FLXAn_base> + 0600$_H$ + (x – 1) × 4$_H$)
	FlexRay ヘッダセクションリードレジスタ 1	FLXAnFRRDHS1	<FLXAn_base> + 0700$_H$
	FlexRay ヘッダセクションリードレジスタ 2	FLXAnFRRDHS2	<FLXAn_base> + 0704$_H$
	FlexRay ヘッダセクションリードレジスタ 3	FLXAnFRRDHS3	<FLXAn_base> + 0708$_H$
	FlexRay メッセージバッファステータスレジスタ	FLXAnFRMBS	<FLXAn_base> + 070C$_H$

表 25.20　レジスター覧

モジュール名	レジスタ名	略号	アドレス
FLXAn	FlexRay 出力バッファコマンドマスクレジスタ	FLXAnFROBCM	<FLXAn_base> + 0710_H
	FlexRay 出力バッファコマンド要求レジスタ	FLXAnFROBCR	<FLXAn_base> + 0714_H
	FlexRay 入力転送設定レジスタ	FLXAnFRITC	<FLXAn_base> + 0800_H
	FlexRay 出力転送設定レジスタ	FLXAnFROTC	<FLXAn_base> + 0804_H
	FlexRay 入力ポインタテーブルベースアドレスレジスタ	FLXAnFRIBA	<FLXAn_base> + 0808_H
	FlexRay FIFO ポインタテーブルベースアドレスレジスタ	FLXAnFRFBA	<FLXAn_base> + $080C_H$
	FlexRay 出力ポインタテーブルベースアドレスレジスタ	FLXAnFROBA	<FLXAn_base> + 0810_H
	FlexRay 入力キュー制御レジスタ	FLXAnFRIQC	<FLXAn_base> + 0814_H
	FlexRay ユーザ入力転送要求レジスタ	FLXAnFRUIR	<FLXAn_base> + 0818_H
	FlexRay ユーザ出力転送要求レジスタ	FLXAnFRUOR	<FLXAn_base> + $081C_H$
	FlexRay 入力転送ステータスレジスタ	FLXAnFRITS	<FLXAn_base> + 0820_H
	FlexRay 出力転送ステータスレジスタ	FLXAnFROTS	<FLXAn_base> + 0824_H
	FlexRay アクセスエラーステータスレジスタ	FLXAnFRAES	<FLXAn_base> + 0828_H
	FlexRay アクセスエラーアドレスレジスタ	FLXAnFRAEA	<FLXAn_base> + $082C_H$
	FlexRay メッセージデータ使用可能レジスタ i（i＝0～3）	FLXAnFRDAi (i＝0～3)	<FLXAn_base> + 0830_H～ <FLXAn_base> + $083C_H$ (<FLXAn_base> + 0830_H + i × 4_H)
	FlexRay H-Bus 設定レジスタ	FLXAnFRAHBC	<FLXAn_base> + 0840_H
	FlexRay タイマ 2 設定レジスタ	FLXAnFRT2C	<FLXAn_base> + 0844_H

25.2.2　FlexRay 動作レジスタ

25.2.2.1　FLXAnFROC — FlexRay 動作制御レジスタ

アクセス　FLXAnFROC レジスタは、32 ビット単位でリード／ライト可能です。

FLXAnFROCL、FLXAnFROCH レジスタは、16 ビット単位でリード／ライト可能です。

FLXAnFROCLL、FLXAnFROCHL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　FLXAnFROC：<FLXAn_base> + 0004_H

FLXAnFROCL：<FLXAn_base> + 0004_H、FLXAnFROCH：<FLXAn_base> + 0006_H

FLXAnFROCLL：<FLXAn_base> + 0004_H、FLXAnFROCHL：<FLXAn_base> + 0006_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	T2IE	T1IE	T0IE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	OEP	—	—	—	—	—	BEC	OE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R/W	R/W

表 25.21　FLXAnFROC レジスタの内容

ビット位置	ビット名	機能
31～19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
18	T2IE	タイマ 2 割り込み有効ビット 0：無効 1：有効
17	T1IE	タイマ 1 割り込み有効ビット 0：無効 1：有効
16	T0IE	タイマ 0 割り込み有効ビット 0：無効 1：有効
15～8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	OEP	動作許可ビット保護ビット 0：OE は保護されていない 1：OE は保護されている
6～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	BEC	バイトエンディアンコントロールビット 0：リトルエンディアン 1：ビッグエンディアン
0	OE	動作許可ビット 0：動作無効、SW リセット 1：動作有効

(1) FLXAnFROC.T2IE

タイマ 2 割り込み有効ビット

タイマ 2 割り込みを制御します。

0：無効

割り込みは要求されず、タイマ 2 割り込み出力は開放されます。

1：有効

FLXAnFROTS.T2IS ビットが 1 の場合、タイマ 2 割り込みが発生します。

(2) FLXAnFROC.T1IE

タイマ 1 割り込み有効ビット

FlexRay ステータス割り込み許可レジスタのタイマ 1 割り込みビットが無効の場合（FLXAnFRSIES.TI1E が 0）のみ、ユーザはこのビットを 1 にセットできます。
このビットはタイマ 1 割り込みを制御します。

0：無効

割り込みは要求されず、タイマ 1 割り込み出力は開放されます。

1：有効

FLXAnFROTS.T1IS が 1 の場合、タイマ 1 割り込みが発生します。

(3) FLXAnFROC.T0IE

タイマ 0 割り込み有効ビット

FlexRay ステータス割り込み許可レジスタのタイマ 0 割り込みビットが無効の場合（FLXAnFRSIES.TI0E が 0）のみ、ユーザはこのビットを 1 にセットできます。
このビットはタイマ 0 割り込みを制御します。

0：無効

割り込みは要求されず、タイマ 0 割り込み出力は開放されます。

1：有効

FLXAnFROTS.T0IS が 1 の場合、タイマ 0 割り込みが発生します。

(4) FLXAnFROC.OEP

動作許可ビット保護ビット

このビットは OE ビットへの不用意な書き込みを保護するものです。

0：OE はアンプロテクト状態

OE ビットへの書き込みは有効

1：OE はプロテクト状態

OE ビットへの書き込みは禁止

(5) FLXAnFROC.BEC

バイトエンディアンコントロール

FLXAnFROS.OS が 1 の場合のみこのビットを変更することができます。
このビットは、FlexRay ネットワーク管理ベクタレジスタ（FLXAnFRNMVm）、FlexRay データセクションライトレジスタ（FLXAnFRWRDSx）、FlexRay データセクションリードレジスタ（FLXAnFRRDDSx）の読み出し／書き込みのバイト順を制御します。このビットは、データ転送機能を使用した FlexRay ペイロードデータの読み出し／書き込みのバイト順も制御します。
バイトアライメントの詳細については「**25.3.17 バイトアライメント**」を参照してください。

0：リトルエンディアン

FLXAnFRNMVm、FLXAnFRWRDSx、FLXAnFRRDDSx 内のバイトアライメントはリトルエンディアン方式

1：ビッグエンディアン

FLXAnFRNMVm、FLXAnFRWRDSx、FLXAnFRRDDSx 内のバイトアライメントはビッグエンディアン方式

(6) FLXAnFROC.OE

動作許可ビット

FLXAnFROC.OEP が 0 の場合のみこのビットに書き込み可能です。
FLXAnFROS.OS が 1 の場合のみこのビットに 0 を書き込んでください。
FLXAnFROS.OS が 0 で FlexRay サンプルクロックが有効な場合のみこのビットに 1 を書き込んでください。
このビットは動作状態を制御し、FlexRay モジュールのソフトウェアリセットを提供します。動作状態ビット（FLXAnFROS.OS）は、FlexRay モジュールがリセット状態かどうかを示します。

0：動作禁止、SW リセット

FlexRay モジュールの状態にかかわらず、FlexRay モジュールは強制的にリセット状態になります。

1：動作可能

FlexRay モジュールのリセット状態は解除されています。

25.2.2.2 FLXAnFROS — FlexRay 動作ステータスレジスタ

アクセス FLXAnFROS レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFROSL レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFROSH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFROSLL レジスタは、8 ビット単位でリードのみ可能です。
FLXAnFROSHL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFROS : <FLXAn_base> + 000C$_H$
FLXAnFROSL : <FLXAn_base> + 000C$_H$、FLXAnFROSH : <FLXAn_base> + 000E$_H$、
FLXAnFROSLL : <FLXAn_base> + 000C$_H$、FLXAnFROSHL : <FLXAn_base> + 000E$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	T2IS	T1IS	T0IS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.22 FLXAnFROS レジスタの内容

ビット位置	ビット名	機能
31〜19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
18	T2IS	タイマ 2 割り込みステータスビット 0：タイマ 2 は FLXAnFRT2C レジスタに設定された状態と一致していない。 1：タイマ 2 は FLXAnFRT2C レジスタに設定された状態と一致した。
17	T1IS	タイマ 1 割り込みステータスビット 0：タイマ 1 は FLXAnFRT1C レジスタに設定された状態と一致していない。 1：タイマ 1 は FLXAnFRT1C レジスタに設定された状態と一致した。
16	T0IS	タイマ 0 割り込みステータスビット 0：タイマ 0 は FLXAnFRT0C レジスタに設定された状態と一致していない。 1：タイマ 0 は FLXAnFRT0C レジスタに設定された状態と一致した。
15〜1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	OS	動作状態ビット 0：動作禁止、リセット状態 1：動作可能

(1) FLXAnFROS.T2IS

タイマ 2 割り込みステータスビット

このビットに 0 を書き込んでも無効です。
このビットは、FLXAnFRT2C レジスタ内に設定された満了基準が FlexRay ローカル時間と一致したことを示します。
FLXAnFROC.T2IE が有効で FLXAnFROS.T2IS が 1 の場合、タイマ 2 割り込みが発生します。

［クリア条件］
FLXAnFROS.T2IS に 1 を書き込むと、このビットはクリアされます。
FLXAnFROS.OS が 1 から 0 に変化すると、このビットはクリアされます。

［セット条件］
FLXAnFRT2C に設定された満了基準に FlexRay ローカル時間が一致すると、このビットはセットされます。

(2) FLXAnFROS.T1IS

タイマ 1 割り込みステータスビット

このビットに 0 を書き込んでも無効です。
このビットは、FLXAnFRT1C レジスタ内に設定された満了基準が FlexRay ローカル時間と一致したことを示します。
FLXAnFROC.T1IE が有効で FLXAnFROS.T1IS が 1 の場合、タイマ 1 割り込みが発生します。

［クリア条件］
FLXAnFROS.T1IS に 1 を書き込むと、このビットはクリアされます。
FLXAnFROS.OS が 1 から 0 に変化すると、このビットはクリアされます。

［セット条件］
FLXAnFRT1C に設定された満了基準に FlexRay ローカル時間が一致すると、このビットはセットされます。

(3) FLXAnFROS.T0IS

タイマ 0 割り込みステータスビット

このビットに 0 を書き込んでも無効です。
このビットは、FLXAnFRT0C レジスタ内に設定された満了基準が FlexRay ローカル時間と一致したことを示します。
FLXAnFROC.T0IE が有効で FLXAnFROS.T0IS が 1 の場合、タイマ 0 割り込みが発生します。

［クリア条件］
FLXAnFROS.T0IS に 1 を書き込むと、このビットはクリアされます。
FLXAnFROS.OS が 1 から 0 に変化すると、このビットはクリアされます。

［セット条件］
FLXAnFRT0C に設定された満了基準に FlexRay ローカル時間が一致すると、このビットはセットされます。

(4) FLXAnFROS.OS

動作状態ビット

このビットは FlexRay モジュールがリセット状態であるか動作状態であるかを示します。
FLXAnFROS.OS が 0 の場合、FlexRay モジュールは初期化され、アドレス範囲<FLXAn_base>＋0010H から<FLXAn_base>＋0FFFH にマッピングされたレジスタをアクセスすることはできません。また、これらのレジスタを読み出すと未定義データを返します。
FLXAnFROS.OS が 1 の場合、アドレス範囲<FLXAn_base>＋0010H から<FLXAn_base>＋0FFFH へのアクセスおよび FlexRay 通信の実行が可能です。
FLXAnFROS.OS が 0 から 1 へ変化すると、アドレス範囲<FLXAn_base>＋0010H から<FLXAn_base>＋0FFFH 内のすべてのレジスタは“リセット後の値”にセットされます。

［クリア条件］
FLXAnFROC.OE が 0 にセットされている場合、FLXAnFROS.OS が 0 にセットされるまで最大 2 周辺クロック必要です。

［セット条件］
FLXAnFROC.OE が 1 にセットされている場合、FLXAnFROS.OS が 1 にセットされるまで FlexRay サンプルクロックと周辺バスクロックのうち、より低い周波数をもつクロックの最大 4 周辺クロック必要です。

25.2.3　特殊レジスタ

25.2.3.1　FLXAnFRTEST1 — FlexRay テストレジスタ 1

FlexRay テストレジスタ 1 には、FlexRay モジュールのテストモードを設定するための制御ビットが含まれます。

FLXAnFRTEST1.WRTEN がセットされている必要があるいずれかのテストモード（RAM テストモード、I/O テストモード、非同期送信モード、およびループバックモード）で FlexRay が動作している場合、選択したテストモード機能のみが使用可能です。

テストモードから通常動作モードに戻るには、FLXAnFROC.OE のリセット機能を適用して、FlexRay のすべての内部ステートマシンを初期状態に戻すことが推奨されます。

通常動作モードの機能とテスト機能を同時に使用することはできません。テスト機能は FlexRay モジュールの一部の機能を変更します。したがって、本章以外で指定され、FlexRay プロトコル仕様および FlexRay コンフォーマンステストにより規定されている通常動作は不可能となります。また、テスト機能を互いに、または FlexRay プロトコル機能と組み合わせることはできません。

テストモード機能は、ハードウェアテストまたは FlexRay バスアナライザツールでの使用を目的としています。FlexRay アプリケーションでの使用は意図されていません。

アクセス　FLXAnFRTEST1 レジスタは、32 ビット単位でリード／ライト可能です。

アドレス　FLXAnFRTEST1 : <FLXAn_base> + 0010_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CERB[3:0]				CERA[3:0]				—	—	TXENB	TXENA	TXB	TXA	RXB	RXA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	AOB	AOA	—	—	TMC[1:0]		—	—	ELBE	WRTEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

表 25.23　FLXAnFRTEST1 レジスタの内容

ビット位置	ビット名	機能
31～28	CERB[3:0]	コーディングエラーレポートチャネル B 0000_B : コーディングエラー未検出 0001_B : ヘッダ CRC エラー検出 0010_B : フレーム CRC エラー検出 0011_B : フレーム開始シーケンス FSS が長すぎる 0100_B : バイト開始シーケンス BSS の 1 ビット目がロウレベル 0101_B : バイト開始シーケンス BSS の 2 ビット目がハイレベル 0110_B : フレーム終了シーケンス FES の 1 ビット目がハイレベル 0111_B : フレーム終了シーケンス FES の 2 ビット目がロウレベル 1000_B : CAS / MTS シンボルが短すぎる 1001_B : CAS / MTS シンボルが長すぎる 1010_B～1111_B : 予約

表 25.23　FLXAnFRTEST1 レジスタの内容

ビット位置	ビット名	機能
27～24	CERA[3:0]	コーディングエラーレポートチャネル A 0000_B：コーディングエラー未検出 0001_B：ヘッダ CRC エラー検出 0010_B：フレーム CRC エラー検出 0011_B：フレーム開始シーケンス FSS が長すぎる 0100_B：バイト開始シーケンス BSS の 1 ビット目がロウレベル 0101_B：バイト開始シーケンス BSS の 2 ビット目がハイレベル 0110_B：フレーム終了シーケンス FES の 1 ビット目がハイレベル 0111_B：フレーム終了シーケンス FES の 2 ビット目がロウレベル 1000_B：CAS / MTS シンボルが短すぎる 1001_B：CAS / MTS シンボルが長すぎる 1010_B～1111_B：予約
23、22	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
21	TXENB	チャネル B 送信許可端子の制御 0：FLXAnTENB 端子が 0 1：FLXAnTENB 端子が 1
20	TXENA	チャネル A 送信許可端子の制御 0：FLXAnTENA 端子が 0 1：FLXAnTENA 端子が 1
19	TXB	チャネル B 送信端子の制御 0：FLXAnTXDB 端子が 0 1：FLXAnTXDB 端子が 1
18	TXA	チャネル A 送信端子の制御 0：FLXAnTXDA 端子が 0 1：FLXAnTXDA 端子が 1
17	RXB	チャネル B 受信端子のモニタ 0：FLXAnRXDB 端子が 0 1：FLXAnRXDB 端子が 1
16	RXA	チャネル A 受信端子のモニタ 0：FLXAnRXDA 端子が 0 1：FLXAnRXDA 端子が 1
15～10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	AOB	チャネル B のアクティビティ 0：アクティビティ未検出、チャネル B はアイドル状態です。 1：アクティビティ検出、チャネル B はアイドル状態ではありません。
8	AOA	チャネル A のアクティビティ 0：アクティビティ未検出、チャネル A はアイドル状態です。 1：アクティビティ検出、チャネル A はアイドル状態ではありません。
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5、4	TMC[1:0]	テストマルチプレクサ制御 00_B：通常シグナルパス 01_B：RAM テストモード 10_B：I/O テストモード 11_B：通常シグナルパス
3、2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	ELBE	外部ループバック許可 0：内部ループバック 1：外部ループバック

表 25.23　FLXAnFRTEST1 レジスタの内容

ビット位置	ビット名	機能
0	WRTEN	テストレジスタへの書き込み制御 0：テストレジスタへの書き込みアクセス禁止 1：テストレジスタへの書き込みアクセス許可

(1) FLXAnFRTEST1.CERB

チャネル B のコーディングエラーレポート

チャネル B でコーディングエラーが検出されるとセットされます。

FLXAnFRTEST1 レジスタがリードまたはライトされると、0 にリセットされます。FLXAnFRTEST1.CERB はセットされると、FLXAnFRTEST1 レジスタがアクセスされるまで変更されません。

備　考

1. コーディングエラーは、フレームのデコーディングが可能なすべての状態で通知されます。その他すべての状態では、FLXAnFRTEST1.CERB は無視してください。
2. CAS/MTS シンボルに関するエラーコードは、ビットパターンがシンボルウィンドウまたはそれ以外の場所で検出されたかどうかにかかわらず、監視対象のビットパターンにのみ関係します。

(2) FLXAnFRTEST1.CERA

チャネル A のコーディングエラーレポート

チャネル A でコーディングエラーが検出されるとセットされます。

FLXAnFRTEST1 レジスタがリードまたはライトされると、0 にリセットされます。FLXAnFRTEST1.CERA はセットされると、FLXAnFRTEST1 レジスタがアクセスされるまで変更されません。

備　考

1. コーディングエラーは、フレームのデコーディングが可能なすべての状態で通知されます。その他すべての状態では、FLXAnFRTEST1.CERA は無視してください。
2. CAS/MTS シンボルに関するエラーコードは、ビットパターンがシンボルウィンドウまたはそれ以外の場所で検出されたかどうかにかかわらず、監視対象のビットパターンにのみ関係します。

(3) FLXAnFRTEST1.TXENB

チャネル B 送信許可端子の制御

本ビットへのライトは、FLXAnFRTEST1.WRTEN ビットが 1 にセットされている場合にのみ可能です。

FLXAnTENB 端子を駆動することにより物理レイヤへのインタフェースをテスト（接続テスト）します。

(4) FLXAnFRTEST1.TXENA

チャネル A 送信許可端子の制御

本ビットへのライトは、FLXAnFRTEST1.WRTEN ビットが 1 にセットされている場合にのみ可能です。

FLXAnTENA 端子を駆動することにより物理レイヤへのインタフェースをテスト（接続テスト）します。

(5) FLXAnFRTEST1.TXB

チャネル B 送信端子の制御

本ビットへのライトは、FLXAnFRTEST1.WRTEN ビットが 1 にセットされている場合にのみ可能です。

FLXAnTXDB 端子を駆動することにより物理レイヤへのインタフェースをテスト（接続テスト）します。

(6) FLXAnFRTEST1.TXA

チャネル A 送信端子の制御

本ビットへのライトは、FLXAnFRTEST1.WRTEN ビットが 1 にセットされている場合にのみ可能です。

FLXAnTXDA 端子を駆動することにより物理レイヤへのインタフェースをテスト（接続テスト）します。

(7) FLXAnFRTEST1.RXB

チャネル B 受信端子の監視

本ビットは、FLXAnRXDB 端子をリードすることにより物理レイヤへのインタフェースをテスト（接続テスト）します。

(8) FLXAnFRTEST1.RXA

チャネル A 受信端子の監視

本ビットは、FLXAnRXDA 端子をリードすることにより物理レイヤへのインタフェースをテスト（接続テスト）します。

(9) FLXAnFRTEST1.AOB

チャネル B 上のアクティビティ

FLXAnFRTEST1.AOB は、チャネル B 上でアクティビティが検出された場合、POC 状態が DEFAULT_CONFIG または CONFIG の場合にセットされます。

STARTUP、NORMAL_ACTIVE、または NORMAL_PASSIVE の間は、FLXAnFRTEST1.AOB の機能は、FlexRay プロトコル仕様 V2.1、セクション 3、BITSTRB プロセスで規定されている zChannelIdle の逆数になります。その他すべての POC 状態では、FLXAnFRTEST1.AOB は無視されます。

(10) FLXAnFRTEST1.AOA

チャネル A 上のアクティビティ

FLXAnFRTEST1.AOA は、チャネル A 上でアクティビティが検出された場合、POC 状態が DEFAULT_CONFIG または CONFIG の場合にセットされます。

STARTUP、NORMAL_ACTIVE、または NORMAL_PASSIVE の間は、FLXAnFRTEST1.AOA の機能は、FlexRay プロトコル仕様 V2.1、セクション 3、BITSTRB プロセスで規定されている zChannelIdle の逆数になります。その他すべての POC 状態では、FLXAnFRTEST1.AOA は無視されます。

(11) FLXAnFRTEST1.TMC

マルチプレクサ制御のテスト

本ビットへのライトアクセスは、FLXAnFRTEST1.WRTEN が 1 にセットされている場合にのみ可能です。

00_B＝通常のシグナルパス
01_B＝RAM テストモード

FlexRay のメッセージ RAM、テンポラリバッファ RAM A、およびテンポラリバッファ RAM B をホストから直接アクセス可能にするために、内部バスが多重化されます。このモードは、本番テスト時に FlexRay RAM のテストを可能にすることを目的としています。

10_B＝I/O テストモード

FLXAnTXDA、FLXAnTXDB、FLXAnTENA、FLXAnTENB 出力端子が、FLXAnFRTEST1.TXA、FLXAnFRTEST1.TXB、FLXAnFRTEST1.TXENA、FLXAnFRTEST1.TXENB ビットにより定義される値に駆動されます。

FLXAnRXDA、FLXAnRXDB 入力端子に適用される値は、FLXAnFRTEST1.RXA、FLXAnFRTEST1.RXB ビットからリードできます。

11_B＝通常のシグナルパス

(12) FLXAnFRTEST1.ELBE

外部ループバック許可

本ビットへのライトアクセスは、FLXAnFRTEST1.WRTEN ビットが 1 にセットされている場合にのみ可能です。

ループバックテストを実行するには、2 つの方法があります。物理レイヤを介した外部ループバックまたはインシステムセルフテスト用の内部ループバックです。

内部ループバックの場合、FlexRay の FLXAnTENA、FLXAnTENB 端子はインアクティブ状態にあり、FLXAnTXDA、FLXAnTXDB 端子はハイレベルに設定され、FLXAnRXDA、FLXAnRXDB 端子は評価しません。FLXAnFRTEST1.ELBE ビットは、POC がループバックモードであり、テストマルチプレクサ制御が非多重化モード FLXAnFRTEST1.TMC = 00_B の場合にのみ評価されます。

(13) FLXAnFRTEST1.WRTEN

テストレジスタ書き込み許可

ビットを 0 から 1 にセットするには、テストモードキーが「**25.2.3.3 FLXAnFRLCK — FlexRay ロックレジスタ**」に定義されているように書き込まれている必要があります。テストレジスタへの書き込みアクセスを許可します。FLXAnFRTEST1.WRTEN が 1 のままで、レジスタの他のビットが変更されていない場合は、ロック解除シーケンスは不要です。

このビットは常に 0 にリセットできます。

25.2.3.2　FLXAnFRTEST2 ― FlexRay テストレジスタ 2

FlexRay テストレジスタ 2 は、FlexRay モジュールのメッセージ RAM、一時バッファ RAM A、一時バッファ RAM B の RAM テストに必要な、すべてのビットを保持しています。

アクセス　FLXAnFRTEST2 レジスタは、32 ビット単位でリード／ライト可能です。

アドレス　FLXAnFRTEST2：<FLXAn_base> + 0014_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	SSEL[2:0]			—	RS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W

表 25.24　FLXAnFRTEST2 レジスタの内容

ビット位置	ビット名	機能
31～7	予約ビット	リード値は常に 0 が読み出されます。ライトする場合は常に 0 を書いてください。
6～4	SSEL[2:0]	セグメント選択 000_B：RAM バイト 0000_H～$03FF_H$ にアクセス可能 001_B：RAM バイト 0400_H～$07FF_H$ にアクセス可能 010_B：RAM バイト 0800_H～$0BFF_H$ にアクセス可能 011_B：RAM バイト $0C00_H$～$0FFF_H$ にアクセス可能 100_B：RAM バイト 1000_H～$13FF_H$ にアクセス可能 101_B：RAM バイト 1400_H～$17FF_H$ にアクセス可能 110_B：RAM バイト 1800_H～$1BFF_H$ にアクセス可能 111_B：RAM バイト $1C00_H$～$1FFF_H$ にアクセス可能
3	予約ビット	リード値は常に 0 が読み出されます。ライトする場合は常に 0 を書いてください。
2～0	RS[2:0]	RAM 選択 000_B＝未使用 001_B＝未使用 010_B＝未使用 011_B＝未使用 100_B＝一時バッファ RAM A（TBF1） 101_B＝一時バッファ RAM B（TBF2） 110_B＝メッセージ RAM（MBF） 111_B＝未使用

(1)　FLXAnFRTEST2.SSEL

セグメント選択

これらのビットへの書き込みアクセスは、FLXAnFRTEST1.WRTEN ビットが“1”に設定されている場合にのみ可能です。
完全なメッセージ RAM（8192 バイトアドレス）へのアクセスを可能にするために、メッセージ RAM は 1024 バイトのセグメントに分割されます。

(2) FLXAnFRTEST2.RS

RAM 選択

このレジスタへの書き込みアクセスは、FLXAnFRTEST1.WRTEN が“1”に設定されている場合にのみ可能です。
RAM テストモードでは、FLXAnFRTEST2.RS で選択された RAM ブロックは、モジュールアドレス <FLXAn_base>＋0400_H～ERAY＋$07FF_H$（1024 バイトアドレス）にマッピングされます。

25.2.3.3 FLXAnFRLCK — FlexRay ロックレジスタ

アクセス FLXAnFRLCK レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRLCKL レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRLCKLL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRLCK：<FLXAn_base> + $001C_H$、
FLXAnFRLCKL：<FLXAn_base> + $001C_H$、
FLXAnFRLCKLL：<FLXAn_base> + $001C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMK[7:0]								CLK[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.25 FLXAnFRLCK レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15～8	TMK[7:0]	テストモードキービット
7～0	CLK[7:0]	設定ロックキービット

(1) FLXAnFRLCK.TMK

テストモードキービット

ロックレジスタは書き込み専用です。リードすると $0000\ 0000_H$ が戻ります。

FLXAnFRTEST1.WRTEN ビットへの書き込みをするために、テストモードキービットに連続した 2 つの書き込み（ロック解除シーケンス）を行ってください。以下にその手順を示します。テストモードキービットへの 2 番目の書き込みと、FLXAnFRTEST1 レジスタへの書き込みサイクルの間に他のライトアクセスが発生した場合、FLXAnFRTEST1.WRTEN は 1 に設定されないので、以下の手順を繰り返してください。

1 番目の書き込み：FLXAnFRLCK.TMK＝“0111 0101”（75_H）
2 番目の書き込み：FLXAnFRLCK.TMK＝“1000 1010”（$8A_H$）
3 番目の書き込み：FLXAnFRTEST1.WRTEN＝“1”

注 意

CPU が 16 ビットアクセスで上記のビットフィールドに書き込む場合、コンパイラが残りのレジスタバイト／ワードにダミーアクセスしないように設定してください。

(2) FLXAnFRLCK.CLK

設定ロックキービット

ロックレジスタは書き込み専用です。リードすると 0000 0000_H が戻ります。

FLXAnFRSUCC1.CMD（READY コマンド）への書き込みによって CONFIG 状態から抜ける前に、設定ロックキービットに連続した 2 つの書き込み（ロック解除シーケンス）を行ってください。以下にその手順を示します。設定ロックキービットへの 2 番目の書き込みと FLXAnFRSUCC1 レジスタへの書き込みサイクルの間に他のライトアクセスが発生した場合、CONFIG 状態のままなので、下記の手順を繰り返してください。

1 番目の書き込み：FLXAnFRLCK.CLK＝“1100 1110_B”（CE_H）
2 番目の書き込み：FLXAnFRLCK.CLK＝“0011 0001_B”（31_H）
3 番目の書き込み：FLXAnFRSUCC1.CMD

注 意

CPU が 8/16 ビットアクセスで上記のビットフィールドに書き込む場合、コンパイラが残りのレジスタバイト／ワードにダミーアクセスしないように設定してください。

25.2.4 割り込み関連レジスタ

25.2.4.1 FLXAnFREIR — FlexRay エラー割り込みレジスタ

下記のいずれかのエラーが検出されると、フラグがセットされます。フラグは、クリアされるまでセットされたままです。

アクセス FLXAnFREIR レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFREIRL、FLXAnFREIRH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFREIRLL、FLXAnFREIRLH、FLXAnFREIRHL、FLXAnFREIRHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFREIR：<FLXAn_base> + 0020$_H$、
FLXAnFREIRL：<FLXAn_base> + 0020$_H$、FLXAnFREIRH：<FLXAn_base> + 0022$_H$、
FLXAnFREIRLL：<FLXAn_base> + 0020$_H$、FLXAnFREIRLH：<FLXAn_base> + 0021$_H$、
FLXAnFREIRHL：<FLXAn_base> + 0022$_H$、FLXAnFREIRHH：<FLXAn_base> + 0023$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	TABB	LTVB	EDB	—	—	—	—	—	TABA	LTVA	EDA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	MHF	IOBA	IIBA	EFA	RFO	AERR	CCL	CCF	SFO	SFBM	CNA	PEMC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.26 FLXAnFREIR レジスタの内容

ビット位置	ビット名	機能
31～27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26	TABB	チャネル B 境界越え送信フラグ 0：チャネル B でスロット境界を越えた送信が未検出 1：チャネル B でスロット境界を越えた送信が検出
25	LTVB	チャネル B 最終送信違反フラグ 0：チャネル B で最終送信違反が未検出 1：チャネル B で最終送信違反が検出
24	EDB	チャネル B エラー検出フラグ 0：チャネル B でエラー未検出 1：チャネル B でエラー検出
23～19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
18	TABA	チャネル A 境界越え送信フラグ 0：チャネル A でスロット境界を越えた送信が未検出 1：チャネル A でスロット境界を越えた送信が検出
17	LTVA	チャネル A 最終送信違反フラグ 0：チャネル A で最終送信違反が未検出 1：チャネル A で最終送信違反が検出
16	EDA	チャネル A エラー検出フラグ 0：チャネル A でエラー未検出 1：チャネル A でエラー検出

表 25.26　FLXAnFREIR レジスタの内容

ビット位置	ビット名	機能
15～12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11	MHF	メッセージハンドラ制約フラグ 0：メッセージハンドラ制約違反なし 1：メッセージハンドラ制約違反発生
10	IOBA	出力バッファ不正アクセスフラグ 0：出力バッファへの不正 CPU アクセスなし 1：出力バッファへの不正 CPU アクセス発生
9	IIBA	入力バッファ不正アクセスフラグ 0：入力バッファへの不正な CPU アクセスなし 1：入力バッファへの不正な CPU アクセス発生
8	EFA	エンプティ FIFO アクセスフラグ 0：エンプティ FIFO へのアクセスなし 1：エンプティ FIFO へのアクセスあり
7	RFO	受信 FIFO オーバランフラグ 0：受信 FIFO オーバラン未検出 1：受信 FIFO オーバランを発生
6	AERR	アクセスエラーフラグ 0：アクセスエラー未検出 1：アクセスエラー検出
5	CCL	CHI コマンドロックフラグ 0：CHI コマンド拒否 1：CHI コマンド受け付け
4	CCF	クロック補正エラーフラグ 0：クロック補正成功 1：クロック補正エラー
3	SFO	Sync フレーム数オーバフローフラグ 0：受信した Sync フレーム数が FLXAnFRGTUC2 の設定値以下 1：受信した Sync フレーム数が FLXAnFRGTUC2 の設定値を超過
2	SFBM	Sync フレーム数不足フラグ 0：Sync ノード：1 つ以上の Sync フレームを受信、 非 Sync ノード：2 つ以上の Sync フレームを受信 1：受信した Sync フレーム数が規定の最小値未満
1	CNA	コマンド無効フラグ 0：CHI コマンド受け付け 1：CHI コマンド無効
0	PEMC	POC エラーモード変更フラグ 0：エラーモード変更されず 1：エラーモード変更された

(1) FLXAnFREIR.TABB

チャネル B 境界越え送信フラグ

このビットに 0 を書き込んでも無効です。
このビットは、1 を書き込むことによってクリアされます。
チャネル B においてスロット境界を越える送信が発生したことを示します。

(2) FLXAnFREIR.LTVB

チャネル B 最終送信違反フラグ

このビットに 0 を書き込んでも無効です。
このビットに 1 を書き込むとクリアされます。
チャネル B 最終送信違反があったことを示します。

(3) FLXAnFREIR.EDB

チャネル B エラー検出フラグ

このビットに 0 を書き込んでも無効です。
このビットに 1 を書き込むとクリアされます。
FLXAnFRACS レジスタの SEDB、CEDB、CIB、SBVB ビットのいずれかが“0”から“1”になると“1”になります。

(4) FLXAnFREIR.TABA

チャネル A 境界越え送信フラグ

このビットに 0 を書き込んでも無効です。
このビットに 1 を書き込むとクリアされます。
チャネル A においてスロット境界を越える送信が発生したことを示します。

(5) FLXAnFREIR.LTVA

チャネル A 最終送信違反フラグ

このビットに 0 を書き込んでも無効です。
このビットに 1 を書き込むとクリアされます。
チャネル A 最終送信違反があったことを示します。

(6) FLXAnFREIR.EDA

チャネル A エラー検出フラグ

このビットに 0 を書き込んでも無効です。
このビットに 1 を書き込むとクリアされます。
FLXAnFRACS レジスタの SEDA、CEDA、CIA、SBVA のいずれかが“0”から“1”になると“1”になります。

(7) FLXAnFREIR.MHF

メッセージハンドラ制約フラグ

このビットに 0 を書き込んでも無効です。
このビットに 1 を書き込むとクリアされます。
メッセージハンドラ制約違反状態を示します。FLXAnFRMHDF レジスタの SNUA、SNUB、FNFA、FNFB、TBFA、TBFB、WAHP ビットのいずれかが“0”から“1”になると“1”になります。

(8) FLXAnFREIR.IOBA

出力バッファ不正アクセスフラグ

このビットに 0 を書き込んでも無効です。
このビットに 1 を書き込むとクリアされます。
FLXAnFROBCR レジスタの OBSYS ビットが“1”のとき、メッセージ RAM から出力バッファへ、メッセージバッファの転送要求が発生すると“1”になります。

(9) FLXAnFREIR.IIBA

入力バッファ不正アクセスフラグ

このビットに 0 を書き込んでも無効です。
このビットに 1 を書き込むとクリアされます。
CPU が入力バッファ経由でメッセージバッファの変更を要求し、下記のいずれかの条件が発生したとき、“1”になります。

1. CONFIG 状態または DEFAULT_CONFIG 状態以外で、CPU が以下の変更をするために、FlexRay 入力バッファコマンド要求レジスタに書き込んだ場合
   - キースロットとして設定されているメッセージバッファ 0 または 1 のヘッダセクション
   - FLXAnFRMRC レジスタの SEC ビットが“01_B”のとき、FDB ビットで設定したバッファ番号より小さいバッファ番号を持つスタティックメッセージバッファのヘッダセクション
   - FLXAnFRMRC レジスタの SEC ビットが“$1x_B$”のとき、スタティックメッセージバッファまたはダイナミックメッセージバッファのヘッダセクション
   - 受信 FIFO に属するメッセージバッファのヘッダおよび／またはデータセクション
2. FLXAnFRIBCR レジスタの IBSYH ビットが“1”のとき、入力バッファ関連のレジスタに書き込んだ場合

(10) FLXAnFREIR.EFA

エンプティ FIFO アクセスフラグ

このビットに 0 を書き込んでも無効です。
このビットに 1 を書き込むとクリアされます。
受信 FIFO がエンプティ状態のとき、CPU が出力バッファを通じて受信 FIFO からメッセージ転送を要求した場合、“1”になります。

(11) FLXAnFREIR.RFO

受信 FIFO オーバランフラグ

このビットに 0 を書き込んでも無効です。
このビットに 1 を書き込むとクリアされます。
受信 FIFO オーバランを検出したとき“1”になります。受信 FIFO オーバランが発生すると、受信 FIFO 内の一番古いメッセージに新しいメッセージが上書きされます。FIFO の現在の状態は FLXAnFRFSR レジスタで読むことができます。

(12) FLXAnFREIR.AERR

アクセスエラーフラグ

このビットに 0 を書き込んでも無効です。
このビットに 1 を書き込むとクリアされます。
アクセスエラーを通知します。
FLXAnFRMHDS レジスタの AMR ビット、ATBF1 ビットまたは ATBF2 ビットが“0”から“1”になると“1”になります。

(13) FLXAnFREIR.CCL

CHI コマンドロックフラグ

このビットに 0 を書き込んでも無効です。このビットに 1 を書き込むとクリアされます。
前の CHI コマンドの実行が完了していないために、FLXAnFRSUCC1 レジスタの CMD ビットへの CHI コマンド書き込みが無効になったことを示します。このフラグが“1”になると同時に、FLXAnFREIR.CNA フラグも“1”になります。

(14) FLXAnFREIR.CCF

クロック補正エラーフラグ

このビットに 0 を書き込んでも無効です。このビットに 1 を書き込むとクリアされます。
下記のエラーのうちいずれかが発生した場合、コミュニケーションサイクルの最後で“1”になります。

- オフセットおよび／またはレート補正未満
- クロック補正制限値の超過

クロック補正の状態は FLXAnFRCCEV レジスタ、FLXAnFRSFS レジスタで読むことができます。このフラグはスタートアップ中に“1”なる可能性があるため、NORMAL_ACTIVE 状態に遷移後、このフラグを“0”にしてください。

(15) FLXAnFREIR.SFO

Sync フレーム数オーバフローフラグ

このビットに 0 を書き込んでも無効です。
このビットに 1 を書き込むとクリアされます。
前のコミュニケーションサイクル中で受信した Sync フレーム数、または最後の 2 つのサイクルで受信した異なる Sync フレーム ID 数の総和が、FLXAnFRGTUC2 レジスタの SNM ビットで設定した Sync フレームの最大数を超過した場合、“1”になります。

(16) FLXAnFREIR.SFBM

Sync フレーム数不足フラグ

このビットに 0 を書き込んでも無効です。
このビットに 1 を書き込むとクリアされます。
前のコミュニケーションサイクル中に受信した Sync フレーム数が、レートあるいはオフセット補正値で規定された最小値未満の場合（レートおよび／またはオフセット補正未満）、サイクルの最後で“1”になります。クロック補正の状態は、FLXAnFRCCEV レジスタ、FLXAnFRSFS レジスタで読むことができます。このフラグはスタートアップ中に“1”なる可能性があるため、NORMAL_ACTIVE 状態に遷移後このフラグを“0”にしてください。

(17) FLXAnFREIR.CNA

コマンド無効フラグ

このビットに 0 を書き込んでも無効です。
このビットに 1 を書き込むとクリアされます。
要求したコマンドが、現状の POC 状態で無効だった、または CHI コマンドがロックされた（CCL＝1）ために、FLXAnFRSUCC1 レジスタの CMD ビットへのコマンドが無効だったことを示します。

(18) FLXAnFREIR.PEMC

POC エラーモード変更フラグ

このビットに 0 を書き込んでも無効です。
このビットに 1 を書き込むとクリアされます。
FLXAnFRCCEV レジスタの ERRM ビットで示されるエラーモードが変更されると“1”になります。

25.2.4.2 FLXAnFRSIR — FlexRay ステータス割り込みレジスタ

下記のいずれかのイベントを検出すると、フラグがセットされます。フラグは、クリアされるまでセットされたままです。

アクセス FLXAnFRSIR レジスタは、32 ビット単位でリード／ライト可能です。

FLXAnFRSIRL、FLXAnFRSIRH レジスタは、16 ビット単位でリード／ライト可能です。

FLXAnFRSIRLL、FLXAnFRSIRLH、FLXAnFRSIRHL、FLXAnFRSIRHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRSIR：<FLXAn_base> + 0024H、

FLXAnFRSIRL：<FLXAn_base> + 0024H、FLXAnFRSIRH：<FLXAn_base> + 0026H、

FLXAnFRSIRLL：<FLXAn_base> + 0024H、FLXAnFRSIRLH：<FLXAn_base> + 0025H、

FLXAnFRSIRHL：<FLXAn_base> + 0026H、FLXAnFRSIRHH：<FLXAn_base> + 0027H

リセット後の値 0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	MTSB	WUPB	—	—	—	—	—	—	MTSA	WUPA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SDS	MBSI	SUCS	SWE	TOBC	TIBC	TI1	TI0	NMVC	RFCL	RFNE	RXI	TXI	CYCS	CAS	WST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.27 FLXAnFRSIR レジスタの内容

ビット位置	ビット名	機能
31～26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25	MTSB	チャネル B MTS 受信フラグ（vSS!ValidMTSB） 0：チャネル B で MTS の受信なし 1：チャネル B で MTS を受信した
24	WUPB	チャネル B ウェイクアップパターン受信フラグ 0：チャネル B でウェイクアップパターンの受信なし 1：チャネル B でウェイクアップパターンを受信した
23～18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
17	MTSA	チャネル A MTS 受信フラグ（vSS!ValidMTSA） 0：チャネル A で MTS の受信なし 1：チャネル A で MTS を受信した
16	WUPA	チャネル A ウェイクアップパターン受信フラグ 0：チャネル A でウェイクアップパターンの受信なし 1：チャネル A でウェイクアップパターンを受信した
15	SDS	ダイナミックセグメント開始フラグ 0：ダイナミックセグメント未開始 1：ダイナミックセグメント開始
14	MBSI	メッセージバッファステータス割り込みフラグ 0：MBI ビットが“1”のメッセージバッファのステータス変化なし 1：MBI ビットが“1”のメッセージバッファのステータスが 1 つ以上変化

表 25.27　FLXAnFRSIR レジスタの内容

ビット位置	ビット名	機能
13	SUCS	スタートアップ正常終了フラグ 0：スタートアップ未終了 1：スタートアップ正常終了
12	SWE	ストップウォッチイベントフラグ 0：ストップウォッチイベントなし 1：ストップウォッチイベントあり
11	TOBC	OBF 転送完了フラグ 0：転送未完了 1：メッセージ RAM から出力バッファへの転送完了
10	TIBC	IBF 転送完了フラグ 0：転送未完了 1：入力バッファからメッセージ RAM への転送完了
9	TI1	タイマ 1 割り込みフラグ 0：タイマ 1 割り込みなし 1：タイマ 1 割り込み発生
8	TI0	タイマ 0 割り込みフラグ 0：タイマ 0 割り込みなし 1：タイマ 0 割り込み発生
7	NMVC	NM ベクタ変更フラグ 0：NM ベクタ変更なし 1：NM ベクタ変更された
6	RFCL	受信 FIFO クリティカルフラグ 0：受信 FIFO 中のデータがクリティカルレベル未満 1：受信 FIFO 中のデータがクリティカルレベルに達した
5	RFNE	受信 FIFO データありフラグ 0：受信 FIFO にデータなし 1：受信 FIFO にデータあり
4	RXI	受信割り込みフラグ 0：MBI ビットが“1”の受信バッファの ND フラグが“1”に設定されていない 1：MBI ビットが“1”の受信バッファの ND フラグが“1”に設定されていた
3	TXI	送信割り込みフラグ 0：MBI ビットが 1 の送信バッファからフレーム送信なし 1：MBI ビットが 1 の送信バッファから 1 つ以上のフレームの送信あり
2	CYCS	サイクル開始割り込みフラグ 0：コミュニケーションサイクル開始せず 1：コミュニケーションサイクル開始
1	CAS	衝突回避シンボル受信フラグ 0：CAS シンボルと同じビットパターンを受信せず 1：CAS シンボルと同じビットパターンを受信
0	WST	ウェイクアップ状態変化フラグ 0：ウェイクアップ状態変化せず 1：ウェイクアップ状態変化

(1) FLXAnFRSIR.MTSB

チャネル B MTS 受信フラグ（vSS!ValidMTSB）

このビットに 0 を書き込んでも無効です。
このビットに 1 を書き込むとクリアされます。
前のチャネル B シンボルウィンドウで Media Access Test Symbol（MTS）を受信したことを示します。シンボルウィンドウの最後でチャネルごとに更新されます。

(2) FLXAnFRSIR.WUPB

チャネル B ウェイクアップパターン受信フラグ

このビットに 0 を書き込んでも無効です。
このビットに 1 を書き込むとクリアされます。
以下のいずれかの状態の場合に、チャネル B でウェイクアップパターンを受信すると“1”になります。

- WAKEUP
- READY
- STARTUP state

(3) FLXAnFRSIR.MTSA

チャネル A MTS 受信フラグ（vSS!ValidMTSA）

このビットに 0 を書き込んでも無効です。
このビットに 1 を書き込むとクリアされます。
前のチャネル A シンボルウィンドウで Media Access Test Symbol（MTS）を受信したことを示します。シンボルウィンドウの最後でチャネルごとに更新されます。

(4) FLXAnFRSIR.WUPA

チャネル A ウェイクアップパターン受信フラグ

このビットに 0 を書き込んでも無効です。
このビットに 1 を書き込むとクリアされます。
以下のいずれかの状態の場合に、チャネル A でウェイクアップパターンを受信すると“1”になります。

- WAKEUP
- READY
- STARTUP state

(5) FLXAnFRSIR.SDS

ダイナミックセグメント開始フラグ

このビットに 0 を書き込んでも無効です。
このビットに 1 を書き込むとクリアされます。
ダイナミックセグメントが開始したときに“1”になります。

(6) FLXAnFRSIR.MBSI

メッセージバッファステータス割り込みフラグ

このビットに 0 を書き込んでも無効です。
このビットに 1 を書き込むとクリアされます。
該当するメッセージバッファの MBI ビットが“1”のとき、メッセージバッファのステータス（FLXAnFRMBS）が変化すると、“1”になります。（「**表 25.120 メッセージ RAM 内のメッセージバッファのヘッダセクション**」参照）

(7) FLXAnFRSIR.SUCS

スタートアップ正常終了フラグ

このビットに 0 を書き込んでも無効です。
このビットに 1 を書き込むとクリアされます。
スタートアップが正常に終了して、NORMAL_ACTIVE 状態に遷移したときに“1”になります。

(8) FLXAnFRSIR.SWE

ストップウォッチイベントフラグ

このビットに 0 を書き込んでも無効です。
このビットに 1 を書き込むとクリアされます。
現在のサイクルカウンタ値と MT 値がストップウォッチレジスタに格納されたとき、ストップウォッチ有効化の後、“1”になります。（「**25.2.5.4 FLXAnFRSTPW1 — FlexRay ストップウォッチレジスタ 1**」参照）

(9) FLXAnFRSIR.TOBC

OBF 転送完了フラグ

このビットに 0 を書き込んでも無効です。
このビットに 1 を書き込むとクリアされます。
メッセージ RAM から出力バッファへの転送が完了して、FLXAnFROBCR レジスタの OBSYS ビットが、メッセージハンドラによりクリアされたときに“1”になります。

(10) FLXAnFRSIR.TIBC

IBF 転送完了フラグ

このビットに 0 を書き込んでも無効です。
このビットに 1 を書き込むとクリアされます。
メッセージ RAM から入力バッファへの転送が完了して、FLXAnFRIBCR レジスタの IBSYS ビットが、メッセージハンドラによりクリアされたときに“1”になります。

(11) FLXAnFRSIR.TI1

タイマ 1 割り込みフラグ

このビットに 0 を書き込んでも無効です。
このビットに 1 を書き込むとクリアされます。
タイマ 1 の値と FLXAnFRT1C レジスタの値が一致したときに“1”になります。FLXAnFROC レジスタの T1IE ビットが有効の場合、FlexRay タイマ 1 割り込みが発生します。

(12) FLXAnFRSIR.TI0

タイマ 0 割り込みフラグ

このビットに 0 を書き込んでも無効です。
このビットに 1 を書き込むとクリアされます。
タイマ 0 の値と FLXAnFRT0C レジスタの値が一致したときに“1”になります。FLXAnFROC レジスタの T0IE ビットが有効の場合、FlexRay タイマ 0 割り込みが発生します。

(13) FLXAnFRSIR.NMVC

NM ベクタ変更フラグ

このビットに 0 を書き込んでも無効です。
このビットに 1 を書き込むとクリアされます。
ネットワーク管理ベクタ（NM ベクタ）が変更されたとき、“1”になります。

(14) FLXAnFRSIR.RFCL

受信 FIFO クリティカルフラグ

このビットに 0 を書き込んでも無効です。
このビットに 1 を書き込むとクリアされます。
FLXAnFRFSR レジスタの RFFL ビットで示される FIFO データ量が FLXAnFRFCL レジスタの CL ビットの設定値以上の場合“1”になります。

(15) FLXAnFRSIR.RFNE

受信 FIFO データありフラグ

このビットに 0 を書き込んでも無効です。
このビットに 1 を書き込むとクリアされます。
有効なフレームが受信 FIFO に格納されると“1”になります。現在の受信 FIFO の状態は FLXAnFRFSR レジスタで読むことができます。

(16) FLXAnFRSIR.RXI

受信割り込みフラグ

このビットに 0 を書き込んでも無効です。
このビットに 1 を書き込むとクリアされます。
メッセージバッファの ND フラグの設定条件が満たされ（「**25.2.9.6 FLXAnFRNDATi — FlexRay 新データレジスタ i（i＝1～4）**」参照）、このとき、各メッセージバッファの MBI ビットが“1”に設定されると、“1”になります。（「**表 25.120 メッセージ RAM 内のメッセージバッファのヘッダセクション**」参照）

(17) FLXAnFRSIR.TXI

送信割り込みフラグ

このビットに 0 を書き込んでも無効です。
このビットに 1 を書き込むとクリアされます。
各メッセージバッファの MBI ビットに“1”が設定されているとフレーム送信の最後に“1”になります。
（「**表 25.120 メッセージ RAM 内のメッセージバッファのヘッダセクション**」参照）

(18) FLXAnFRSIR.CYCS

サイクル開始割り込みフラグ

このビットに 0 を書き込んでも無効です。
このビットに 1 を書き込むとクリアされます。
コミュニケーションサイクル開始ごとに“1”になります。

(19) FLXAnFRSIR.CAS

衝突回避シンボル受信フラグ

このビットに 0 を書き込んでも無効です。
このビットに 1 を書き込むとクリアされます。
STARTUP 状態のとき CAS（または、予測される CAS）を受信すると“1”になります。

(20) FLXAnFRSIR.WST

ウェイクアップ状態変化フラグ

このビットに 0 を書き込んでも無効です。
このビットに 1 を書き込むとクリアされます。
FLXAnFRCCSV レジスタの WSV フラグが UNDEFINED 以外に変化すると“1”になります。

25.2.4.3　FLXAnFREILS — FlexRay エラー割り込み出力選択レジスタ

FlexRay エラー割り込み出力選択レジスタは、FLXAnFREIR レジスタの特定のエラー割り込みフラグで生成される割り込みを 2 つのモジュール割り込み出力（FlexRay0 割り込み、あるいは FlexRay1 割り込み）のどちらかに割り当てます。

アクセス　FLXAnFREILS レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFREILSL、FLXAnFREILSH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFREILSLL、FLXAnFREILSLH、FLXAnFREILSHL、FLXAnFREILSHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　FLXAnFREILS：<FLXAn_base> + 0028_H、
FLXAnFREILSL：<FLXAn_base> + 0028_H、FLXAnFREILSH：<FLXAn_base> + $002A_H$、
FLXAnFREILSLL：<FLXAn_base> + 0028_H、FLXAnFREILSLH：<FLXAn_base> + 0029_H、
FLXAnFREILSHL：<FLXAn_base> + $002A_H$、FLXAnFREILSHH：<FLXAn_base> + $002B_H$

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	TABBL	LTVBL	EDBL	—	—	—	—	—	TABAL	LTVAL	EDAL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	MHFL	IOBAL	IIBAL	EFAL	RFOL	AERRL	CCLL	CCFL	SFOL	SFBML	CNAL	PEMCL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.28　FLXAnFREILS レジスタの内容

ビット位置	ビット名	機能
31～27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26	TABBL	チャネル B スロット境界越え送信割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
25	LTVBL	チャネル B 最終送信違反割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
24	EDBL	チャネル B エラー検出割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
23～19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
18	TABAL	チャネル A スロット境界越え送信割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
17	LTVAL	チャネル A 最終送信割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
16	EDAL	チャネル A エラー検出割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て

表 25.28　FLXAnFREILS レジスタの内容

ビット位置	ビット名	機能
15～12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11	MHFL	メッセージハンドラ制限割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
10	IOBAL	出力バッファ不正アクセス割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
9	IIBAL	入力バッファ不正アクセス割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
8	EFAL	エンプティ FIFO アクセス割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
7	RFOL	受信 FIFO オーバラン割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
6	AERRL	アクセスエラー割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
5	CCLL	CHI コマンドロック割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
4	CCFL	クロック補正失敗割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
3	SFOL	Sync フレーム数オーバフロー割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
2	SFBML	Sync フレーム数最小値未満割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
1	CNAL	コマンド無効割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
0	PEMCL	POC エラーモード変化割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て

25.2.4.4　FLXAnFRSILS ― FlexRay ステータス割り込み出力選択レジスタ

FlexRay ステータス割り込み出力選択レジスタは、FLXAnFRSIR レジスタの特定のステータス割り込みフラグで生成される割り込みを 2 つのモジュール割り込み出力（FlexRay0 割り込み、あるいは FlexRay1 割り込み）のどちらかに割り当てます。

アクセス　FLXAnFRSILS レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRSILSL、FLXAnFRSILSH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRSILSLL、FLXAnFRSILSLH、FLXAnFRSILSHL、FLXAnFRSILSHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　FLXAnFRSILS：<FLXAn_base> + 002C$_H$、
FLXAnFRSILSL：<FLXAn_base> + 002C$_H$、FLXAnFRSILSH：<FLXAn_base> + 002E$_H$、
FLXAnFRSILSLL：<FLXAn_base> + 002C$_H$、FLXAnFRSILSLH：<FLXAn_base> + 002D$_H$、
FLXAnFRSILSHL：<FLXAn_base> + 002E$_H$、FLXAnFRSILSHH：<FLXAn_base> + 002F$_H$

リセット後の値　0303 FFFF$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	MTSBL	WUPBL	—	—	—	—	—	—	MTSAL	WUPAL
リセット後の値	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	1
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SDSL	MBSIL	SUCSL	SWEL	TOBCL	TIBCL	TI1L	TI0L	NMVCL	RFCLL	RFNEL	RXIL	TXIL	CYCSL	CASL	WSTL
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.29　FLXAnFRSILS レジスタの内容

ビット位置	ビット名	機能
31～26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25	MTSBL	チャネル B MTS 受信割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
24	WUPBL	チャネル B ウェイクアップパターン受信割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
23～18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
17	MTSAL	チャネル A MTS 受信割り込み出力ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
16	WUPAL	チャネル A ウェイクアップパターン受信割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
15	SDSL	ダイナミックセグメント開始割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
14	MBSIL	メッセージバッファステータス割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て

表 25.29　FLXAnFRSILS レジスタの内容

ビット位置	ビット名	機能
13	SUCSL	スタートアップ正常終了割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
12	SWEL	ストップウォッチイベント割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
11	TOBCL	出力バッファ転送完了割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
10	TIBCL	入力バッファ転送完了割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
9	TI1L	タイマ 1 割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
8	TI0L	タイマ 0 割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
7	NMVCL	NM ベクタ変化割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
6	RFCLL	受信 FIFO データクリティカル割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
5	RFNEL	受信 FIFO データあり割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
4	RXIL	受信割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
3	TXIL	送信割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
2	CYCSL	サイクル開始割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
1	CASL	衝突回避シンボル受信割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て
0	WSTL	ウェイクアップ状態変化割り込み出力選択ビット 0：FlexRay0 割り込み要求に割り当て 1：FlexRay1 割り込み要求に割り当て

25.2.4.5　FLXAnFREIES ― FlexRay エラー割り込み許可レジスタ

FlexRay エラー割り込み許可レジスタ（FLXAnFREIES）および FlexRay エラー割り込み禁止レジスタ（FLXAnFREIER）では、FlexRay エラー割り込みレジスタのどのステータス変化で割り込みを生成するかを指定します。

FLXAnFREIES レジスタに書き込むことによって許可ビットをセットし、FLXAnFREIER レジスタに書き込むことによってリセットします。読み出した場合、両レジスタの値は同じです。

“0”を書き込んでも影響はありません。“1”を書き込むと割り込み許可ビットがセットされます。

アクセス　FLXAnFREIES レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFREIESL、FLXAnFREIESH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFREIESLL、FLXAnFREIESLH、FLXAnFREIESHL、FLXAnFREIESHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　FLXAnFREIES：<FLXAn_base> + 0030_H、
FLXAnFREIESL：<FLXAn_base> + 0030_H、FLXAnFREIESH：<FLXAn_base> + 0032_H、
FLXAnFREIESLL：<FLXAn_base> + 0030_H、FLXAnFREIESLH：<FLXAn_base> + 0031_H、
FLXAnFREIESHL：<FLXAn_base> + 0032_H、FLXAnFREIESHH：<FLXAn_base> + 0033_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	TABBE	LTVBE	EDBE	—	—	—	—	—	TABAE	LTVAE	EDAE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	MHFE	IOBAE	IIBAE	EFAE	RFOE	AERRE	CCLE	CCFE	SFOE	SFBME	CNAE	PEMCE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.30　FLXAnFREIES レジスタの内容

ビット位置	ビット名	機能
31～27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26	TABBE	チャネル B スロット境界送信違反割り込み許可ビット 0：割り込み禁止 1：割り込み許可
25	LTVBE	チャネル B 最終送信違反割り込み許可ビット 0：割り込み禁止 1：割り込み許可
24	EDBE	チャネル B エラー検出割り込み許可ビット 0：割り込み禁止 1：割り込み許可
23～19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
18	TABAE	チャネル A スロット境界送信割り込み許可ビット 0：割り込み禁止 1：割り込み許可
17	LTVAE	チャネル A 最終送信違反割り込み許可ビット 0：割り込み禁止 1：割り込み許可

表 25.30　FLXAnFREIES レジスタの内容

ビット位置	ビット名	機能
16	EDAE	チャネル A エラー検出割り込み許可ビット 0：割り込み禁止 1：割り込み許可
15～12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11	MHFE	メッセージハンドラ制限割り込み許可ビット 0：割り込み禁止 1：割り込み許可
10	IOBAE	OBF 不正アクセス割り込み許可ビット 0：割り込み禁止 1：割り込み許可
9	IIBAE	IBF 不正アクセス割り込み許可ビット 0：割り込み禁止 1：割り込み許可
8	EFAE	エンプティ FIFO アクセス割り込み許可ビット 0：割り込み禁止 1：割り込み許可
7	RFOE	受信 FIFO オーバラン割り込み許可ビット 0：割り込み禁止 1：割り込み許可
6	AERRE	アクセスエラー割り込み許可ビット 0：割り込み禁止 1：割り込み許可
5	CCLE	CHI コマンドロック割り込み許可ビット 0：割り込み禁止 1：割り込み許可
4	CCFE	クロック補正失敗割り込み許可ビット 0：割り込み禁止 1：割り込み許可
3	SFOE	Sync フレーム数オーバフロー割り込み許可ビット 0：割り込み禁止 1：割り込み許可
2	SFBME	Sync フレーム数最小値未満割り込み許可ビット 0：割り込み禁止 1：割り込み許可
1	CNAE	コマンド無効割り込み許可ビット 0：割り込み禁止 1：割り込み許可
0	PEMCE	POC エラーモード変化割り込み許可ビット 0：割り込み禁止 1：割り込み許可

25.2.4.6 FLXAnFREIER — FlexRay エラー割り込み禁止レジスタ

FlexRay エラー割り込み許可レジスタ（FLXAnFREIES）および FlexRay エラー割り込み禁止レジスタ（FLXAnFREIER）では、FlexRay エラー割り込みレジスタのどのステータス変化で割り込みを生成するかを指定します。

FLXAnFREIES レジスタに書き込むことによって許可ビットをセットし、FLXAnFREIER レジスタに書き込むことによってリセットします。読み出した場合、両レジスタの値は同じです。

“0”を書き込んでも影響はありません。“1”を書き込むと割り込み許可ビットがクリアされます。

アクセス FLXAnFREIER レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFREIERL、FLXAnFREIERH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFREIERLL、FLXAnFREIERLH、FLXAnFREIERHL、FLXAnFREIERHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFREIER：<FLXAn_base> + 0034_H、
FLXAnFREIERL：<FLXAn_base> + 0034_H、FLXAnFREIERH：<FLXAn_base> + 0036_H、
FLXAnFREIERLL：<FLXAn_base> + 0034_H、FLXAnFREIERLH：<FLXAn_base> + 0035_H、
FLXAnFREIERHL：<FLXAn_base> + 0036_H、FLXAnFREIERHH：<FLXAn_base> + 0037_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	TABBD	LTVBD	EDBD	—	—	—	—	—	TABAD	LTVAD	EDAD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	MHFD	IOBAD	IIBAD	EFAD	RFOD	AERRD	CCLD	CCFD	SFOD	SFBMD	CNAD	PEMCD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.31 FLXAnFREIER レジスタの内容

ビット位置	ビット名	機能
31～27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26	TABBD	チャネル B スロット境界送信違反割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
25	LTVBD	チャネル B 最終送信違反割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
24	EDBD	チャネル B エラー検出割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
23～19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
18	TABAD	チャネル A スロット境界送信割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
17	LTVAD	チャネル A 最終送信違反割り込み禁止ビット 0：割り込み禁止 1：割り込み許可

表 25.31 FLXAnFREIER レジスタの内容

ビット位置	ビット名	機能
16	EDAD	チャネル A エラー検出割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
15～12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11	MHFD	メッセージハンドラ制限割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
10	IOBAD	OBF 不正アクセス割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
9	IIBAD	IBF 不正アクセス割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
8	EFAD	エンプティ FIFO アクセス割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
7	RFOD	受信 FIFO オーバラン割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
6	AERRD	アクセスエラー割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
5	CCLD	CHI コマンドロック割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
4	CCFD	クロック補正失敗割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
3	SFOD	Sync フレーム数オーバフロー割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
2	SFBMD	Sync フレーム数最小値未満割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
1	CNAD	コマンド無効割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
0	PEMCD	POC エラーモード変化割り込み禁止ビット 0：割り込み禁止 1：割り込み許可

25.2.4.7　FLXAnFRSIES — FlexRay ステータス割り込み許可レジスタ

FlexRay ステータス割り込み許可レジスタ（FLXAnFRSIES）および FlexRay ステータス割り込み禁止レジスタ（FLXAnFRSIER）では、FlexRay ステータス割り込みレジスタのどのステータス変化で割り込みを生成するかを指定します。

FLXAnFRSIES レジスタに書き込むことによって許可ビットをセットし、FLXAnFRSIER レジスタに書き込むことによってリセットします。読み出した場合、両レジスタの値は同じです。

“0”を書き込んでも影響はありません。“1”を書き込むと割り込み許可ビットがセットされます。

アクセス　FLXAnFRSIES レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRSIESL、FLXAnFRSIESH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRSIESLL、FLXAnFRSIESLH、FLXAnFRSIESHL、FLXAnFRSIESHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　FLXAnFRSIES : <FLXAn_base> + 0038_H、
FLXAnFRSIESL : <FLXAn_base> + 0038_H、FLXAnFRSIESH : <FLXAn_base> + $003A_H$、
FLXAnFRSIESLL : <FLXAn_base> + 0038_H、FLXAnFRSIESLH : <FLXAn_base> + 0039_H、
FLXAnFRSIESHL : <FLXAn_base> + $003A_H$、FLXAnFRSIESHH : <FLXAn_base> + $003B_H$

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	MTSBE	WUPBE	—	—	—	—	—	—	MTSAE	WUPAE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SDSE	MBSIE	SUCSE	SWEE	TOBCE	TIBCE	TI1E	TI0E	NMVCE	RFCLE	RFNEE	RXIE	TXIE	CYCSE	CASE	WSTE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.32　FLXAnFRSIES レジスタの内容

ビット位置	ビット名	機能
31～26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25	MTSBE	チャネル B MTS 受信割り込み許可ビット 0：割り込み禁止 1：割り込み許可
24	WUPBE	チャネル B WUP 受信割り込み許可ビット 0：割り込み禁止 1：割り込み許可
23～18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
17	MTSAE	チャネル A MTS 受信割り込み許可ビット 0：割り込み禁止 1：割り込み許可
16	WUPAE	チャネル A WUP 受信割り込み許可ビット 0：割り込み禁止 1：割り込み許可
15	SDSE	ダイナミックセグメント開始割り込み許可ビット 0：割り込み禁止 1：割り込み許可

表 25.32　FLXAnFRSIES レジスタの内容

ビット位置	ビット名	機能
14	MBSIE	メッセージバッファステータス割り込み許可ビット 0：割り込み禁止 1：割り込み許可
13	SUCSE	スタートアップ正常終了割り込み許可ビット 0：割り込み禁止 1：割り込み許可
12	SWEE	ストップウォッチイベント割り込み許可ビット 0：割り込み禁止 1：割り込み許可
11	TOBCE	OBF 転送完了割り込み許可ビット 0：割り込み禁止 1：割り込み許可
10	TIBCE	IBF 転送完了割り込み許可ビット 0：割り込み禁止 1：割り込み許可
9	TI1E	タイマ 1 割り込み許可ビット 0：割り込み禁止 1：割り込み許可
8	TI0E	タイマ 0 割り込み許可ビット 0：割り込み禁止 1：割り込み許可
7	NMVCE	NM ベクタ変化割り込み許可ビット 0：割り込み禁止 1：割り込み許可
6	RFCLE	受信 FIFO データクリティカル割り込み許可ビット 0：割り込み禁止 1：割り込み許可
5	RFNEE	受信 FIFO データあり割り込み許可ビット 0：割り込み禁止 1：割り込み許可
4	RXIE	受信割り込み許可ビット 0：割り込み禁止 1：割り込み許可
3	TXIE	送信割り込み許可ビット 0：割り込み禁止 1：割り込み許可
2	CYCSE	サイクル開始割り込み許可ビット 0：割り込み禁止 1：割り込み許可
1	CASE	衝突回避シンボル受信割り込み許可ビット 0：割り込み禁止 1：割り込み許可
0	WSTE	ウェイクアップ状態変化割り込み許可ビット 0：割り込み禁止 1：割り込み許可

25.2.4.8　FLXAnFRSIER — FlexRay ステータス割り込み禁止レジスタ

FlexRay ステータス割り込み許可レジスタ（FLXAnFRSIES）および FlexRay ステータス割り込み禁止レジスタ（FLXAnFRSIER）では、FlexRay ステータス割り込みレジスタのどのステータス変化で割り込みを生成するかを指定します。

FLXAnFRSIES レジスタに書き込むことによって許可ビットをセットし、FLXAnFRSIER レジスタに書き込むことによってリセットします。読み出した場合、両レジスタの値は同じです。

“0”を書き込んでも影響はありません。“1”を書き込むと割り込み許可ビットがクリアされます。

アクセス　FLXAnFRSIER レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRSIERL、FLXAnFRSIERH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRSIERLL、FLXAnFRSIERLH、FLXAnFRSIERHL、FLXAnFRSIERHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　FLXAnFRSIER：<FLXAn_base> + $003C_H$、
FLXAnFRSIERL：<FLXAn_base> + $003C_H$、FLXAnFRSIERH：<FLXAn_base> + $003E_H$、
FLXAnFRSIERLL：<FLXAn_base> + $003C_H$、FLXAnFRSIERLH：<FLXAn_base> + $003D_H$、
FLXAnFRSIERHL：<FLXAn_base> + $003E_H$、FLXAnFRSIERHH：<FLXAn_base> + $003F_H$

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	MTSBD	WUPBD	—	—	—	—	—	—	MTSAD	WUPAD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SDSD	MBSID	SUCSD	SWED	TOBCD	TIBCD	TI1D	TI0D	NMVCD	RFCLD	RFNED	RXID	TXID	CYCSD	CASD	WSTD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.33　FLXAnFRSIER レジスタの内容

ビット位置	ビット名	機能
31～26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25	MTSBD	チャネル B MTS 受信割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
24	WUPBD	チャネル B WUP 受信割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
23～18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
17	MTSAD	チャネル A MTS 受信割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
16	WUPAD	チャネル A WUP 受信割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
15	SDSD	ダイナミックセグメント開始割り込み禁止ビット 0：割り込み禁止 1：割り込み許可

表 25.33　FLXAnFRSIES レジスタの内容

ビット位置	ビット名	機能
14	MBSID	メッセージバッファステータス割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
13	SUCSD	スタートアップ正常終了割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
12	SWED	ストップウォッチイベント割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
11	TOBCD	OBF 転送完了割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
10	TIBCD	IBF 転送完了割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
9	TI1D	タイマ 1 割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
8	TI0D	タイマ 0 割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
7	NMVCD	NM ベクタ変化割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
6	RFCLD	受信 FIFO データクリティカル割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
5	RFNED	受信 FIFO データあり割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
4	RXID	受信割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
3	TXID	送信割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
2	CYCSD	サイクル開始割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
1	CASD	衝突回避シンボル受信割り込み禁止ビット 0：割り込み禁止 1：割り込み許可
0	WSTD	ウェイクアップ状態変化割り込み禁止ビット 0：割り込み禁止 1：割り込み許可

25.2.4.9 FLXAnFRILE — FlexRay 割り込み出力許可レジスタ

FlexRay0 割り込み要求および FlexRay1 割り込み要求の出力許可／禁止を FLXAnFRILE.EINT0、FLXAnFRILE.EINT1 ビットで設定します。

アクセス FLXAnFRILE レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRILEL レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRILELL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRILE：<FLXAn_base> + 0040_H、
FLXAnFRILEL：<FLXAn_base> + 0040_H、
FLXAnFRILELL：<FLXAn_base> + 0040_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EINT1	EINT0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 25.34 FLXAnFRILE レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	EINT1	FlexRay1 割り込み出力許可ビット 0：FlexRay1 割り込み要求出力禁止 1：FlexRay1 割り込み要求出力許可
0	EINT0	FlexRay0 割り込み出力許可ビット 0：FlexRay0 割り込み要求出力禁止 1：FlexRay0 割り込み要求出力許可

25.2.5　FlexRay タイマレジスタ

25.2.5.1　FLXAnFRT0C ― FlexRay タイマ 0 設定レジスタ

絶対値タイマです。タイマ 0 割り込みの発生タイミングをサイクルカウント値と MT 値で指定します。タイマ 0 が経過すると、FLXAnFRSIR レジスタの TI0 ビットおよび FLXAnFROS レジスタの T0IS ビットが“1”にセットされ、FLXAnFROC レジスタの T0IE ビットが有効の場合、タイマ 0 割り込みが発生します。

注　意

タイマ 0 の設定は、MT カウンタ値と比較されます。タイマ 0 用に独立したカウンタはありません。

アクセス　FLXAnFRT0C レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRT0CL、FLXAnFRT0CH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRT0CLL、FLXAnFRT0CLH、FLXAnFRT0CHL、FLXAnFRT0CHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　FLXAnFRT0C : <FLXAn_base> + 0044$_H$、
FLXAnFRT0CL : <FLXAn_base> + 0044$_H$、FLXAnFRT0CH : <FLXAn_base> + 0046$_H$、
FLXAnFRT0CLL : <FLXAn_base> + 0044$_H$、FLXAnFRT0CLH : <FLXAn_base> + 0045$_H$、
FLXAnFRT0CHL : <FLXAn_base> + 0046$_H$、FLXAnFRT0CHH : <FLXAn_base> + 0047$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	T0MO[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	T0CC[6:0]							—	—	—	—	—	—	T0MS	T0RC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

表 25.35　FLXAnFRT0C レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
29〜16	T0MO[13:0]	タイマ 0MT オフセットビット タイマ 0MT オフセット
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14〜8	T0CC[6:0]	タイマ 0 サイクルコードビット タイマ 0 サイクルコード
7〜2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	T0MS	タイマ 0 モード選択ビット 0 : シングルショットモード 1 : 連続モード
0	T0RC	タイマ 0 制御ビット 0 : タイマ 0 停止 1 : タイマ 0 動作開始

(1) FLXAnFRT0C.T0MO

タイマ 0MT オフセットビット

タイマの設定値を変更する場合は、FLXAnFRT0C レジスタの T0RC ビットに“0”を書き、タイマを停止させてから設定してください。
本ビットは､タイマ 0 割り込みを発生させるタイミングを、通信サイクルの開始位置からの MT オフセット値で設定します。タイマ 0 割り込みは、サイクルセットの各サイクルの設定したオフセット位置で発生します。

(2) FLXAnFRT0C.T0CC

タイマ 0 サイクルコードビット

タイマの設定値を変更する場合は、FLXAnFRT0C レジスタの T0RC ビットに“0”を書き、タイマを停止させてから設定してください。
タイマ 0 割り込みを発生させるサイクルセットを 7 ビットのタイマ 0 サイクルコードで設定します。詳細は「**25.3.8.2 サイクルカウンタフィルタリング**」を参照してください。

(3) FLXAnFRT0C.T0MS

タイマ 0 モード選択ビット

タイマの設定値を変更する場合は、FLXAnFRT0C レジスタの T0RC ビットに“0”を書き、タイマを停止させてから設定してください。
タイマの実行モードを設定します。シングルショットモードでは、タイマの設定がサイクルカウンタと MT 値の設定と一致した場合、タイマは停止状態になります。

(4) FLXAnFRT0C.T0RC

タイマ 0 制御ビット

タイマ 0 は、POC が NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態の場合にのみ動作可能（FLXAnFRT0C レジスタの T0RC ビットに“1”をセット）です。
タイマ 0 は、NORMAL_ACTIVE 状態と NORMAL_PASSIVE 状態との間で遷移する場合を除き、他の状態に遷移すると停止します。

25.2.5.2　FLXAnFRT1C — FlexRay タイマ 1 設定レジスタ

相対値タイマです。一定の MT 数が経過すると、タイマ 1 割り込みが発生します。タイマ 1 が経過すると、FLXAnFRSIR レジスタの TI1 ビットおよび FLXAnFROS レジスタの T1IS ビットに“1”がセットされ、FLXAnFROC レジスタの T1IE ビットが有効の場合、タイマ 1 割り込みが発生します。

アクセス	FLXAnFRT1C レジスタは、32 ビット単位でリード／ライト可能です。 FLXAnFRT1CL、FLXAnFRT1CH レジスタは、16 ビット単位でリード／ライト可能です。 FLXAnFRT1CLL、FLXAnFRT1CHL、FLXAnFRT1CHH レジスタは、8 ビット単位でリード／ライト可能です。
アドレス	FLXAnFRT1C : <FLXAn_base> + 0048$_H$、 FLXAnFRT1CL : <FLXAn_base> + 0048$_H$、FLXAnFRT1CH : <FLXAn_base> + 004A$_H$、 FLXAnFRT1CLL : <FLXAn_base> + 0048$_H$、FLXAnFRT1CHL : <FLXAn_base> + 004A$_H$、 FLXAnFRT1CHH : <FLXAn_base> + 004B$_H$
リセット後の値	0002 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	T1MC[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	T1MS	T1RC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 25.36　FLXAnFRT1C レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
29～16	T1MC[13:0]	タイマ 1MT カウントビット
15～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	T1MS	タイマ 1 モード選択ビット 0 : シングルショットモード 1 : 連続モード
0	T1RC	タイマ 1 制御ビット 0 : タイマ 1 停止 1 : タイマ 1 動作開始

(1) FLXAnFRT1C.T1MC

タイマ 1MT カウントビット

タイマの設定値を変更する場合は、FLXAnFRT1C レジスタの T1RC ビットに“0”を書き、タイマを停止させてから設定してください。

- 連続モード時の有効値：2～16383MT
- シングルショットモード時の有効値：1～16383MT

タイマ 1 の値が設定した MT カウント値になるとタイマ 1 割り込みが発生します。

(2) FLXAnFRT1C.T1MS

タイマ 1 モード選択ビット

タイマの設定値を変更する場合は、FLXAnFRT1C レジスタの T1RC ビットに“0”を書き、タイマを停止させてから設定してください。
タイマの実行モードを設定します。シングルショットモードでは、タイマの設定がサイクルカウンタとＭＴ値の設定と一致した場合、タイマは停止状態になります。

(3) FLXAnFRT1C.T1RC

タイマ 1 制御ビット

タイマ 1 は、POC が NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態の場合にのみ動作可能（FLXAnFRT1C レジスタの T1RC ビットに“1”をセット）です。
タイマ 1 は、NORMAL_ACTIVE 状態と NORMAL_PASSIVE 状態との間で遷移する場合を除き、他の状態に遷移すると停止します。

25.2.5.3　FLXAnFRT2C — FlexRay タイマ 2 設定レジスタ

絶対値タイマです。タイマ 2 はタイマ 0 と同様な機能の絶対値タイマです。

アクセス　FLXAnFRT2C レジスタは、32 ビット単位でリード／ライト可能です。

FLXAnFRT2CL、FLXAnFRT2CH レジスタは、16 ビット単位でリード／ライト可能です。

FLXAnFRT2CLL、FLXAnFRT2CLH、FLXAnFRT2CHL、FLXAnFRT2CHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　FLXAnFRT2C：<FLXAn_base> + 0844_H

FLXAnFRT2CL：<FLXAn_base> + 0844_H、FLXAnFRT2CH：<FLXAn_base> + 0846_H、

FLXAnFRT2CLL：<FLXAn_base> + 0844_H、FLXAnFRT2CLH：<FLXAn_base> + 0845_H、

FLXAnFRT2CHL：<FLXAn_base> + 0846_H、FLXAnFRT2CHH：<FLXAn_base> + 0847_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	T2MO[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	T2CC[6:0]							—	—	—	—	—	—	T2MS	T2RC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

表 25.37　FLXAnFRT2C レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
29～16	T2MO[13:0]	タイマ 2MT オフセットビット タイマ 2MT オフセット
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14～8	T2CC[6:0]	タイマ 2 サイクルコードビット タイマ 2 サイクルコード
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	T2MS	タイマ 2 モード選択ビット 0：シングルショットモード 1：連続モード
0	T2RC	タイマ 2 制御ビット 0：タイマ 2 が停止 1：タイマ 2 の実行

(1) FLXAnFRT2C.T2MO

タイマ 2MT オフセットビット

FLXAnFRT2C レジスタの T2RC ビットが“0”の場合のみ、本ビットに書き込み可能です。
許容範囲は 0 から FLXAnFRGTUC2.MPC までです。
本ビットは、タイマ満了条件を決定するタイマ MT 値を表します。

(2) FLXAnFRT2C.T2CC

タイマ 2 サイクルコードビット

FLXAnFRT2C レジスタの T2RC ビットが“0”の場合のみ、本ビットに書き込み可能です。
本ビットは、タイマ満了条件を決定するサイクルカウンタフィルタコードを表します。サイクルフィルタリングについては「**25.3.8.2 サイクルカウンタフィルタリング**」を参照してください。

(3) FLXAnFRT2C.T2MS

タイマ 2 モード選択ビット

FLXAnFRT2C レジスタの T2RC ビットが“0”の場合のみ、本ビットに書き込み可能です。
本ビットは、タイマ 2 の動作モードを表します。

0：シングルショットモード

タイマは、非反復（シングルショット）モードで動作します。設定された満了基準に一致すると、タイマは自動的に停止します。

1：連続モード

タイマは、反復（連続）モードで動作します。タイマは設定された満了基準に一致するたびに満期になります。タイマは停止しません。

(4) FLXAnFRT2C.T2RC

タイマ 2 制御ビット

本ビットは、POC が NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態の場合にのみ“1”にセットできます。
本ビットは、タイマ 2 の動作状態を表します。
シングルショットタイマ用の満了基準に一致した場合、本ビットは自動的にクリアされ、タイマ 2 は停止します。

［セット条件］
本ビットは、POC が NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態の場合に“1”を書き込むことでセットされます。

［クリア条件］
本ビットは、POC が NORMAL_ACTIVE 状態と NORMAL_PASSIVE 状態との間で遷移する場合を除き、他の状態に遷移するとクリアされます。
本ビットは、タイマが非反復（シングルショット）モード（FLXAnFRT2C レジスタの T2MS ビットが“0”）で動作中に満了基準に一致するとクリアされます。
本ビットに“0”を書き込むとクリアされます。

25.2.5.4 FLXAnFRSTPW1 — FlexRay ストップウォッチレジスタ 1

ストップウォッチタイマは、以下のトリガイベントにより起動します。

- FlexRay0 割り込み要求または FlexRay1 割り込み要求の発生
- FLXAnFRSTPW1.SSWT ビットへの“1”書き込み

ストップウォッチが起動してから最初の MT カウンタのインクリメント発生時に、サイクルカウンタ値と MT 値が FLXAnFRSTPW1 レジスタに、チャネル A および B のスロットカウンタ値が FLXAnFRSTPW2 レジスタに取り込まれます。

アクセス FLXAnFRSTPW1 レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRSTPW1L レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRSTPW1H レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRSTPW1LL レジスタは、8 ビット単位でリード／ライト可能です。
FLXAnFRSTPW1LH、FLXAnFRSTPW1HL、FLXAnFRSTPW1HH レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFRSTPW1：<FLXAn_base> + $004C_H$、
FLXAnFRSTPW1L：<FLXAn_base> + $004C_H$、FLXAnFRSTPW1H：<FLXAn_base> + $004E_H$、
FLXAnFRSTPW1LL：<FLXAn_base> + $004C_H$、FLXAnFRSTPW1LH：<FLXAn_base> + $004D_H$、
FLXAnFRSTPW1HL：<FLXAn_base> + $004E_H$、FLXAnFRSTPW1HH：<FLXAn_base> + $004F_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	SMTV[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	SCCV[5:0]						—	EINT1	EINT0	EETP	SSWT	EDGE	SWMS	ESWT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.38 FLXAnFRSTPW1 レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
29～16	SMTV[13:0]	ストップウォッチイベント発生 MT 値
15、14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13～8	SCCV[5:0]	ストップウォッチイベント発生サイクルカウンタ値
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	EINT1	FlexRay1 割り込みトリガ許可ビット 0：FlexRay1 割り込みによるトリガ禁止 1：FlexRay1 割り込みによるトリガ許可
5	EINT0	FlexRay0 割り込みトリガ許可ビット 0：FlexRay0 割り込みによるトリガ禁止 1：FlexRay0 割り込みによるトリガ許可

表 25.38　FLXAnFRSTPW1 レジスタの内容

ビット位置	ビット名	機能
4	EETP	外部トリガ端子許可 0：FLXA0STPWT 端子によるストップウォッチトリガイベントを無効 1：FLXA0STPWT 端子への立ち上がり／立ち下がりエッジによりストップウォッチトリガイベントが発生
3	SSWT	ソフトウェアストップウォッチトリガビット 0：ソフトウェアトリガリセット 1：ストップウォッチトリガが起動
2	EDGE	ストップウォッチトリガエッジ選択ビット 0：立ち下がりエッジ 1：立ち上がりエッジ
1	SWMS	ストップウォッチモード選択ビット 0：シングルショットモード 1：連続モード
0	ESWT	ハードウェアストップウォッチトリガ許可ビット 0：ハードウェアトリガ禁止 1：ハードウェアトリガ許可

(1) FLXAnFRSTPW1.SMTV

ストップウォッチイベント発生 MT 値

ストップウォッチイベント発生時の MT カウンタ値を示します。

(2) FLXAnFRSTPW1.SCCV

ストップウォッチイベント発生サイクルカウンタ値

ストップウォッチイベント発生時のサイクルカウンタ値を示します

(3) FLXAnFRSTPW1.EINT1

FlexRay1 割り込みトリガ許可ビット

FLXAnFRSTPW1 レジスタの ESWT ビットが“1”のときに FlexRay1 割り込みイベントをストップウォッチトリガとします。

(4) FLXAnFRSTPW1.EINT0

FlexRay0 割り込みトリガ許可ビット

FLXAnFRSTPW1 レジスタの ESWT ビットが“1”のときに FlexRay0 割り込みイベントをストップウォッチトリガとします。

(5) FLXAnFRSTPW1.EETP

外部トリガ端子許可

FLXAnFRSTPW1 レジスタの ESWT ビットが“1”のときに FLXAnSTPWT 端子によるストップウォッチトリガイベントを有効にします。

(6) FLXAnFRSTPW1.SSWT

ソフトウェアストップウォッチトリガビット

FLXAnFRSTPW1 レジスタの ESWT ビットと SSWT ビットを同時に“1”にセットすることはできません。この場合、レジスタへの書き込みアクセスは無視され、両方のビットは前の値のままです。外部ストップウォッチトリガあるいはソフトウェアストップウォッチトリガのいずれかが使用されます。
このビットに“1”が書き込まれるとストップウォッチが起動します。このビットは、サイクルカウンタ値、スロットカウンタ値および MT 値が FlexRay ストップウォッチレジスタに設定された後、“0”になります。

(7) FLXAnFRSTPW1.EDGE

ストップウォッチトリガエッジ選択ビット

(8) FLXAnFRSTPW1.SWMS

ストップウォッチモード選択ビット

(9) FLXAnFRSTPW1.ESWT

ハードウェアストップウォッチトリガ許可ビット

FLXAnFRSTPW1 レジスタの ESWT ビットと SSWT ビットを同時に“1”にセットすることはできません。この場合、レジスタへの書き込みアクセスは無視され、両方のビットは前の値のままです。外部ストップウォッチトリガあるいはソフトウェアストップウォッチトリガのいずれかが使用されます。
本ビットが許可されると、FlexRay0 割り込みイベントか FlexRay1 割り込みイベントがストップウォッチを起動します。
シングルショットモード時、このビットは、サイクルカウンタ値、スロットカウンタ値および MT 値が FlexRay ストップウォッチレジスタに設定された後“0”になります。

25.2.5.5　FLXAnFRSTPW2 — FlexRay ストップウォッチレジスタ 2

アクセス　FLXAnFRSTPW2 レジスタは、32 ビット単位でリードのみ可能です。

FLXAnFRSTPW2L、FLXAnFRSTPW2H レジスタは、16 ビット単位でリードのみ可能です。

FLXAnFRSTPW2LL、FLXAnFRSTPW2LH、FLXAnFRSTPW2HL、FLXAnFRSTPW2HH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　FLXAnFRSTPW2：<FLXAn_base> + 0050_H、

FLXAnFRSTPW2L：<FLXAn_base> + 0050_H、FLXAnFRSTPW2H：<FLXAn_base> + 0052_H、

FLXAnFRSTPW2LL：<FLXAn_base> + 0050_H、FLXAnFRSTPW2LH：<FLXAn_base> + 0051_H、

FLXAnFRSTPW2HL：<FLXAn_base> + 0052_H、FLXAnFRSTPW2HH：<FLXAn_base> + 0053_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	SSCVB[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SSCVA[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.39　FLXAnFRSTPW2 レジスタの内容

ビット位置	ビット名	機能
31～27	予約ビット	リードした場合はリセット後の値が読めます。
26～16	SSCVB[10:0]	チャネル B ストップウォッチスロットカウンタ値
15～11	予約ビット	リードした場合はリセット後の値が読めます。
10～0	SSCVA[10:0]	チャネル A ストップウォッチスロットカウンタ値

(1)　FLXAnFRSTPW2.SSCVB

チャネル B ストップウォッチスロットカウンタ値

ストップウォッチイベント発生時のチャネル B のスロットカウンタ値を示します。

(2)　FLXAnFRSTPW2.SSCVA

チャネル A ストップウォッチスロットカウンタ値

ストップウォッチイベント発生時のチャネル A のスロットカウンタ値を示します。

25.2.6　CC 制御レジスタ

ここでは、CPU が CC（Communication Controller）の動作を制御するためのレジスタについて説明します。FlexRay プロトコル仕様では、アプリケーション設定データの書き込みを CONFIG 状態でのみ行うよう規定しています。なお、各設定レジスタは DEFAULT_CONFIG 状態での書き換えからは保護されていないことに注意してください。

設定データは、リセット後に DEFAULT_CONFIG 状態に入るとクリアされます。POC の状態を DEFAULT_CONFIG 状態から CONFIG 状態に遷移させるには、CHI コマンドの CONFIG を使用します。CONFIG 状態から抜けるには、「**25.2.3.3 FLXAnFRLCK — FlexRay ロックレジスタ**」に記載のロック解除シーケンスを実行します。

25.2.6.1　FLXAnFRSUCC1 — FlexRay SUC 設定レジスタ 1

アクセス　FLXAnFRSUCC1 レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRSUCC1L、FLXAnFRSUCC1H レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRSUCC1LL、FLXAnFRSUCC1LH、FLXAnFRSUCC1HL、FLXAnFRSUCC1HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　FLXAnFRSUCC1：<FLXAn_base> + 0080$_H$、
FLXAnFRSUCC1L：<FLXAn_base> + 0080$_H$、FLXAnFRSUCC1H：<FLXAn_base> + 0082$_H$、
FLXAnFRSUCC1LL：<FLXAn_base> + 0080$_H$、FLXAnFRSUCC1LH：<FLXAn_base> + 0081$_H$、
FLXAnFRSUCC1HL：<FLXAn_base> + 0082$_H$、FLXAnFRSUCC1HH：<FLXAn_base> + 0083$_H$

リセット後の値　0C40 1080$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	CCHB	CCHA	MTSB	MTSA	HCSE	TSM	WUCS	PTA[4:0]				
リセット後の値	0	0	0	0	1	1	0	0	0	1	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CSA[4:0]					—	TXSY	TXST	PBSY	—	—	—	CMD[3:0]			
リセット後の値	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 25.40　FLXAnFRSUCC1 レジスタの内容

ビット位置	ビット名	機能
31～28	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
27	CCHB	チャネル B 接続設定ビット pChannels を設定します。 　0：ノードをチャネル B に接続しない 　1：ノードをチャネル B に接続する（リセット後のデフォルト値）
26	CCHA	チャネル A 接続設定ビット pChannels を設定します。 　0：ノードをチャネル A に接続しない 　1：ノードをチャネル A に接続する（リセット後のデフォルト値）
25	MTSB	チャネル B MTS 送信設定ビット 　0：チャネル B で MTS シンボルを送信しない 　1：チャネル B で MTS シンボルを送信する

表 25.40　FLXAnFRSUCC1 レジスタの内容

ビット位置	ビット名	機能
24	MTSA	チャネル A MTS 送信設定ビット 0：チャネル A で MTS シンボルを送信しない 1：チャネル A で MTS シンボルを送信する
23	HCSE	クロック同期エラー時 HALT 遷移ビット pAllowHaltDueToClock を設定します。 0：NORMAL_PASSIVE 状態への遷移／状態維持 1：HALT 状態への遷移
22	TSM	送信スロットモード選択ビット pSingleSlotEnabled を設定します。 0：ALL スロットモード 1：SINGLE スロットモード（ハードウェアリセット後の値）
21	WUCS	ウェイクアップチャネル選択ビット Configures pWakeupChannel を設定します。 0：チャネル A で WUP を送信する 1：チャネル B で WUP（ウェイクアップパターン）を送信する
20～16	PTA[4:0]	Passive-to-Active 遷移条件設定ビット pAllowPassiveToActive を設定します。
15～11	CSA[4:0]	Coldstart 試行回数設定ビット gColdStartAttempts を設定します。
10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	TXSY	Sync フレームキースロット送信ビット Configures pKeySlotUsedForSync を設定します。 0：キースロットで Sync フレームを送信しない（同期ノード、Coldstart ノード以外） 1：キースロットを Sync フレーム送信に使用（Sync ノード用）
8	TXST	Startup フレーム送信ビット pKeySlotUsedForStartup を設定します。 0：キースロットで Startup フレームを送信しない（非 Coldstart ノード用） 1：キースロットを Startup フレーム送信に使用（Leading Coldstart ノードまたは Following Coldstart ノード用）
7	PBSY	POC ビジーフラグ 0：POC がビジーでない、FLXAnFRSUCC1.CMD ビットへの書き込み可能 1：POC がビジー、FLXAnFRSUCC1.CMD がロック状態
6～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3～0	CMD[3:0]	CHI コマンドベクタビット 0000_B：無効コマンド 0001_B：CONFIG コマンド 0010_B：READY コマンド 0011_B：WAKEUP コマンド 0100_B：RUN コマンド 0101_B：ALL_SLOTS コマンド 0110_B：HALT コマンド 0111_B：FREEZE コマンド 1000_B：SEND_MTS コマンド 1001_B：ALLOW_COLDSTART コマンド 1010_B：RESET_STATUS_INDICATORS コマンド 1011_B：MONITOR_MODE コマンド 1100_B：CLEAR_RAMS コマンド その他：リザーブ

(1) FLXAnFRSUCC1.CCHB

チャネル B 接続設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
ノードをチャネル B に接続するかどうかを設定します。（pChannels）

(2) FLXAnFRSUCC1.CCHA

チャネル A 接続設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
ノードをチャネル A に接続するかどうかを設定します。（pChannels）

(3) FLXAnFRSUCC1.MTSB

チャネル B MTS 送信設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
FLXAnFRSUCC1 レジスタの MTSB ビットは、FLXAnFRSUCC1 レジスタの設定ロックキービットでロックを解除する（「**25.2.3.3 FLXAnFRLCK — FlexRay ロックレジスタ**」参照）直前に設定した場合、DEFAULT_CONFIG 状態または CONFIG 状態以外でも変化する可能性があります。CHI コマンド SEND_MTS と連結可能です。MTSA ビットおよび MTSB ビットともに“1”の場合、FLXAnFRSUCC1.CMD に“1000_B”を設定すると両チャネルで MTS シンボルが送信されます。
チャネル B で MTS シンボルを送信するかどうかを設定します。

(4) FLXAnFRSUCC1.MTSA

チャネル A MTS 送信設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
FLXAnFRSUCC1 レジスタの MTSA ビットは、FLXAnFRSUCC1 レジスタの設定ロックキービットでロックを解除する（「**25.2.3.3 FLXAnFRLCK — FlexRay ロックレジスタ**」参照）直前に設定した場合、DEFAULT_CONFIG 状態または CONFIG 状態以外でも変化する可能性があります。CHI コマンド SEND_MTS と連結可能です。MTSA ビットおよび MTSB ビットともに“1”の場合、FLXAnFRSUCC1.CMD に“1000_B”を設定すると両チャネルで MTS シンボルが送信されます。
チャネル A で MTS シンボルを送信するかどうかを設定します。

(5) FLXAnFRSUCC1.HCSE

クロック同期エラー時 HALT 遷移ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
同期クロックエラーによる HALT 状態への遷移を制御します。（pAllowHaltDueToClock）

(6) FLXAnFRSUCC1.TSM

送信スロットモード選択ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
送信スロットモードのリセット後の値を設定します。（pSingleSlotEnabled）
SINGLE スロットモードでは事前に設定されたキースロットでのみ送信できます。キースロット ID は FLXAnFRMRC レジスタの SPLM ビットの設定に従い、メッセージバッファ 0、あるいはメッセージバッファ 0、1 両方の各ヘッダセクションで設定されます。
このビットが"1"のとき、メッセージバッファ 0、あるいはメッセージバッファ 0、1 両方は DEFAULT_CONFIG あるいは CONFIG 状態でのみ設定（または変更）できます。ALL スロットモードでは、すべてのスロットで送信可能です。
このビットの設定は CPU からのみ可能です。
NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態で FLXAnFRSUCC1.CMD ビットに"0101_B"（ALL_SLOTS コマンド）を設定すると SINGLE スロットモードから ALL スロットモードへ遷移します。
現在の送信モードは FLXAnFRCCSV.SLM ビットで確認できます。

(7) FLXAnFRSUCC1.WUCS

ウェイクアップチャネル選択ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
ウェイクアップパターンの送信チャネルを選択します。（pWakeupChannel）

(8) FLXAnFRSUCC1.PTA

Passive-to-Active 遷移条件設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
有効値：0〜31 偶数／奇数サイクルペア
CC が NORMAL_PASSIVE 状態から NORMAL_ACTIVE 状態へ遷移する条件となるクロック補正成功の回数を、連続する偶数／奇数サイクルペアの組数で設定します。（pAllowPassiveToActive）
"00000_B"に設定されている場合、NORMAL_PASSIVE 状態から NORMAL_ACTIVE 状態への遷移はできません。

(9) FLXAnFRSUCC1.CSA

Coldstart 試行回数設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
クラスタ内の全ノードで同じ設定にしてください。有効値：2〜31
Coldstart のネットワークスタートアップで、他のノードから有効なレスポンスを受け取れない場合の Startup 試行回数の最大値を設定します。（gColdStartAttempts）

(10) FLXAnFRSUCC1.TXSY

Sync フレームキースロット送信ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
キースロットで Sync フレームを送信するかどうかを設定します。（pKeySlotUsedForSync）

注　意

プロトコル規定では、FLXAnFRSUCC1 レジスタの TXST と TXSY の両ビットは Coldstart ノード用に設定されています。

---

(11) FLXAnFRSUCC1.TXST

Startup フレーム送信ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
キースロットで Startup フレームを送信するかどうか設定します。（pKeySlotUsedForStartup）

注　意

プロトコル規定では、FLXAnFRSUCC1 レジスタの TXST と TXSY の両ビットは Coldstart ノード用に設定されています。

---

(12) FLXAnFRSUCC1.PBSY

POC ビジーフラグ

POC がビジーでコマンドを受け付けられないことを示します。FLXAnFRSUCC1 レジスタの CMD ビットはライトアクセスに対してロックされます。
リセット後、内部 RAM の初期化中に“1”に設定されます。

(13) FLXAnFRSUCC1.CMD

CHI コマンドベクタビット

CHI コマンドベクタはいつでも書き込み可能ですが、一部のコマンドは特定の POC 状態でのみ有効です。コマンドが有効でない場合、そのコマンドは実行されず、CHI コマンドベクタ FLXAnFRSUCC1.CMD は“0000_B”＝無効コマンドにクリアされ、FLXAnFREIR レジスタの CNA フラグが“1”になります。
なお、新しい CHI コマンドを書き込む前に、本レジスタの PBSY フラグをチェックする必要があります。
前の CHI コマンドが完了しなかった場合、FLXAnFREIR レジスタの CCL フラグと CNA フラグがともに“1”になります。この場合、CHI コマンドを繰り返してください。
HALT 状態を除く、ある POC 状態の間にそれと同じ状態への遷移コマンドを発行した場合、そのコマンドによる状態遷移は起きず、また、FLXAnFREIR レジスタの CNA フラグがセットされることもありません。
FLXAnFRSUCC1.CMD の読み出しは、受け付けられた最後の CHI コマンドを示します。実際の POC 状態は FLXAnFRCCSV.POCS でモニタされます。

- 無効コマンド

  下記のうち 1 つが該当した場合、FLXAnFRSUCC1.CMD は“0000_B”にクリアされます。

  - 不正なコマンドが発行された場合
  - 設定ロックキーを入力せずに CONFIG 状態から遷移するコマンドを発行した場合

– 前のコマンド実行中に新しいコマンドが発行された場合

– 無効コマンドが発行された場合

FLXAnFRSUCC1.CMD が“0000_B”にクリアされた場合、FLXAnFREIR レジスタの CNA フラグが“1”になり、割り込みが有効な場合は、割り込みが発生します。
コマンドが無効な場合は、そのコマンドは実行されません。

CONFIG コマンド

DEFAULT_CONFIG 状態、READY 状態でこのコマンドを発行すると、CONFIG 状態に遷移します。HALT 状態で発行した場合、DEFAULT_CONFIG 状態に遷移します。他の状態で発行した場合は FLXAnFRSUCC1.CMD は“0000_B”＝無効コマンドにクリアされます。

READY コマンド

CONFIG 状態、NORMAL_ACTIVE 状態、NORMAL_PASSIVE 状態、STARTUP 状態、WAKEUP 状態でこのコマンドを発行すると、READY 状態に遷移します。他の状態で発行したときは FLXAnFRSUCC1.CMD は“0000_B”＝無効コマンドにクリアされます。

WAKEUP コマンド

READY 状態でこのコマンドを発行すると、WAKEUP 状態に遷移します。他の状態で発行したときは FLXAnFRSUCC1.CMD は“0000_B”＝無効コマンドにクリアされます。

RUN コマンド

READY 状態でこのコマンドを発行すると、STARTUP 状態に遷移します。他の状態で発行したときは FLXAnFRSUCC1.CMD は“0000_B”＝無効コマンドにクリアされます。

ALL_SLOTS コマンド

NORMAL_ACTIVE 状態と NORMAL_PASSIVE 状態でこのコマンドを発行すると、次のサイクルの終了時、スタートアップ／統合の成功後に、シングルスロットモードから ALL スロットモードに遷移します。他の状態で発行したときは、FLXAnFRSUCC1.CMD は“0000_B”＝無効コマンドにクリアされます。

HALT コマンド

NORMAL_ACTIVE 状態と NORMAL_PASSIVE 状態でこのコマンドを発行すると、FLXAnFRCCSV レジスタの HRQ フラグ（HALT 要求ビット）が“1”にセットされ、次のサイクルの終了時に HALT 状態に遷移します。他の状態で発行したときは、FLXAnFRSUCC1.CMD は“0000_B”＝無効コマンドにクリアされます。

FREEZE コマンド

このコマンドを発行すると、FLXAnFRCCSV レジスタの FSI フラグ（フリーズ状態インジケータ）が“1”にセットされて、ただちに HALT 状態に遷移します。これは、すべての状態で発行可能です。

SEND_MTS コマンド

ALL スロットモード（FLXAnFRCCSV.SLM＝11_B）に設定した後に NORMAL_ACTIVE 状態でこのコマンドを発行すると、次のシンボルウィンドウ中に FLXAnFRSUCC1 レジスタの MTSA、MTSB で設定したチャネル上に、シングル MTS シンボルを送信します。他の状態で発行したとき、または、前回要求した MTS シンボルがまだ未送信だったときには、FLXAnFRSUCC1.CMD は“0000_B”＝無効コマンドにクリアされます。

ALLOW_COLDSTART コマンド

ノードの coldstart を有効にするためにFLXAnFRCCSV レジスタの CSI フラグを“0”にクリアするコマンドです。DEFAULT_CONFIG 状態、CONFIG 状態、HALT 状態で発行すると、FLXAnFRSUCC1.CMD は“0000_B”＝無効コマンドにクリアされます。また、coldstart を有効にするためにFLXAnFRSUCC1 レジスタの TXST と TXSY の両方をセットしてください。

RESET_STATUS_INDICATORS コマンド

ステータスフラグである、FLXAnFRCCSV.CSNI、FLXAnFRCCSV.CSAI、およびFLXAnFRCCSV.WSV を、リセット後の値にクリアします。POC 状態 READY と STARTUP で、呼び出されます。他の状態で発行すると、FLXAnFRSUCC1.CMD は“0000_B”＝無効コマンドにクリアされます

CLEAR_RAMS コマンド

DEFAULT_CONFIG 状態またはCONFIG 状態でこのコマンドを発行すると、FLXAnFRMHDS レジスタのCRAM ビットが“1”になります。他の状態で発行すると、FLXAnFRSUCC1.CMD は“0000_B”＝無効コマンドにクリアされます。リセット後も、FLXAnFRMHDS レジスタの CRAM ビットは“1”にセットされます。FLXAnFRMHDS レジスタの CRAM ビットを“1”に設定することで、すべての内部 RAM ブロックがゼロに初期化されます。RAM の初期化の間、PBSY は POC ビジーを示します。本コマンドの実行中は、設定レジスタおよび、ステータスレジスタへのアクセスが可能です。
内部 RAM ブロックの初期化は、周辺バスクロック 2048 サイクルを必要とします。リセット後、もしくはCLEAR_RAMS コマンドを有効にした後、内部 RAM ブロックの初期化中に IBF や OBF にアクセスしないでください。
CLEAR_RAMS コマンドを有効にする前に、メッセージ RAM と IBF/OBF 間もしくはメッセージ RAM とテンポラリバッファ RAM 間に何も転送されていないこと、およびデータ転送ハンドラが無効であること（FLXAnFRITS.ITS＝“0”およびFLXAnFROTS.OTS＝“0”）を確認してください。本コマンドは、メッセージバッファ状態レジスタ（FLXAnFRMHDS、FLXAnFRLDTS、FLXAnFRFSR、FLXAnFRMHDF、FLXAnFRTXRQ1/2/3/4、FLXAnFRNDAT1/2/3/4、FLXAnFRMBSC1/2/3/4）をクリアします。

注　意

1. CLEAR_RAMS と SEND_MTS を除くすべての許可コマンドは、最大で 8 サイクル後、FlexRay サンプルクロックドメインでの POC 状態に反映されます。サイクルカウントは、“バスクロック”と“FlexRay サンプルクロック”のうち速度の遅い方のサイクルを適用します。これはコマンド適用時に POC がビジーでない、また、同タイムフレーム内で、バス動作による POC の状態変化がないことを前提とします。FLXAnFRCCSV レジスタの読み出しは、FlexRay サンプルクロックドメインからバスクロックドメインへの同期時間分の追加遅延が発生します。追加遅延は最大 12 サイクルです。サイクルカウントは、“バスクロック”と“FlexRay サンプルクロック”のうち速度の遅い方のサイクルを適用します。
2. FREEZE コマンドまたは READY コマンドによって通信を停止した後に Leading Coldstart ノードとして再びスタートアップしたとき、FlexRay モジュールの内部状態によって、サイクル 0 で Startup フレームを送信しない場合があります。この現象は Startup フレームをスロット 1～スロット 7 のいずれかのスロットに設定している場合に発生します。
   ハードウェアリセット後の ColdStart ではこの現象は発生しません。
   この現象が発生した場合においても、2 回目の ColdStart の試みは成功します。ColdStart 時間が長くなりますが、FlexRay システムの ColdStart はこの現象によって阻害されません。この現象を回避したい場合は、Startup/Sync フレームをスタティックスロット 8 以上のスタティックスロットに配置してください。

「**表 25.42 FLXAnFRSUCC2 レジスタの内容**」に、FlexRay プロトコル仕様書（「*第 2.1.1.1 章、表 2.2*」）の CHI コマンドと本モジュールの CHI コマンドベクタ FLXAnFRSUCC1.CMD の対応を示します。

表 25.41 FlexRay プロトコル仕様の CHI ホストコマンド対応表

CHI コマンド	コマンドを発行できる POC の状態	CHI コマンドベクタ CMD
ALL_SLOTS	POC：normal active、POC：normal passive	ALL_SLOTS
ALLOW_COLDSTART	POC：default config、POC：config、POC：halt 以外のすべて	ALLOW_COLDSTART
CONFIG	POC：default config、POC：ready	CONFIG
CONFIG_COMPLETE	POC：config	ロック解除シーケンス＋READY
DEFAULT_CONFIG	POC：halt	CONFIG
FREEZE	すべての状態	FREEZE
HALT	POC：normal active、POC：normal passive	HALT
READY	POC：default config、POC：config、POC：ready、POC：halt 以外のすべて	READY
RUN	POC：ready	RUN
WAKEUP	POC：ready	WAKEUP

25.2.6.2　FLXAnFRSUCC2 — FlexRay SUC 設定レジスタ 2

アクセス　FLXAnFRSUCC2 レジスタは、32 ビット単位でリード／ライト可能です。

FLXAnFRSUCC2L、FLXAnFRSUCC2H レジスタは、16 ビット単位でリード／ライト可能です。

FLXAnFRSUCC2LL、FLXAnFRSUCC2LH、FLXAnFRSUCC2HL、FLXAnFRSUCC2HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　FLXAnFRSUCC2：<FLXAn_base> + 0084_H

FLXAnFRSUCC2L：<FLXAn_base> + 0084_H、FLXAnFRSUCC2H：<FLXAn_base> + 0086_H、

FLXAnFRSUCC2LL：<FLXAn_base> + 0084_H、FLXAnFRSUCC2LH：<FLXAn_base> + 0085_H、

FLXAnFRSUCC2HL：<FLXAn_base> + 0086_H、FLXAnFRSUCC2HH：<FLXAn_base> + 0087_H

リセット後の値　0100 0504_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	LTN[3:0]				—	—	—	LT[20:16]				
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LT[15:0]															
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	1	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.42　FLXAnFRSUCC2 レジスタの内容

ビット位置	ビット名	機能
31～28	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
27～24	LTN[3:0]	Listen タイムアウトノイズ値設定ビット （gListenNoise－1）を設定
23～21	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
20～0	LT[20:0]	Listen タイムアウト値設定ビット pdListenTimeout を設定

(1)　FLXAnFRSUCC2.LTN

Listen タイムアウトノイズ値設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。有効値：2～16
クラスタ内の全ノードで同じ設定にしてください。
ノイズがある状態でのウェイクアップ／スタートアップ時の Listen タイムアウト値の上限を Listen タイムアウト値の倍数で設定します。

注　意

ウェイクアップ／スタートアップノイズタイムアウト値は以下のように計算されます。
pdListenTimeout × gListenNoise＝FLXAnFRSUCC2.LT × (FLXAnFRSUCC2.LTN＋1)

(2) FLXAnFRSUCC2.LT

Listen タイムアウト値設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
有効値：1284～1283846µT
ウェイクアップ／スタートアップ時の Listen タイムアウト値を µT 単位で設定します。

25.2.6.3　FLXAnFRSUCC3 ― FlexRay SUC 設定レジスタ 3

アクセス　FLXAnFRSUCC3 レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRSUCC3L レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRSUCC3LL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　FLXAnFRSUCC3：<FLXAn_base> + 0088H、
FLXAnFRSUCC3L：<FLXAn_base> + 0088H、
FLXAnFRSUCC3LL：<FLXAn_base> + 0088H

リセット後の値　0000 0011H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	WCF[3:0]				WCP[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.43　FLXAnFRSUCC3 レジスタの内容

ビット位置	ビット名	機能
31～8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7～4	WCF[3:0]	クロック補正エラー回数設定ビット（HALT 状態への遷移条件） gMaxWithoutClockCorrectionFatal を設定
3～0	WCP[3:0]	クロック補正エラー回数設定ビット（NORMAL_PASSIVE 状態への遷移条件） gMaxWithoutClockCorrectionPassive を設定

(1) FLXAnFRSUCC3.WCF

クロック補正エラー回数設定ビット（HALT 状態への遷移条件）

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
有効値：1～15
クラスタ内の全ノードで同じ設定にしてください。
NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態から HALT 状態へ遷移する原因となるクロック補正失敗の回数を、連続する偶数／奇数サイクルペア数で設定します。

注　意

FLXAnFRSUCC1 レジスタの HCSE ビットがセットされていない場合、HALT 状態への遷移はできません。

(2) FLXAnFRSUCC3.WCP

クロック補正エラー回数設定ビット（NORMAL_PASSIVE 状態への遷移条件）

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
有効値：1～15
クラスタ内の全ノードで同じ設定にしてください。
NORMAL_ACTIVE 状態から NORMAL_PASSIVE 状態へ遷移する原因となるクロック補正失敗の回数を、連続する偶数／奇数サイクルペア数で設定します。

25.2.6.4　FLXAnFRNEMC — FlexRay NEM 設定レジスタ

アクセス　FLXAnFRNEMC レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRNEMCL レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRNEMCLL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　FLXAnFRNEMC：<FLXAn_base> + 008C$_H$、
FLXAnFRNEMCL：<FLXAn_base> + 008C$_H$、
FLXAnFRNEMCLL：<FLXAn_base> + 008C$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	NML[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 25.44　FLXAnFRNEMC レジスタの内容

ビット位置	ビット名	機能
31〜4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3〜0	NML[3:0]	ネットワーク管理ベクタ長設定ビット gNetworkManagementVectorLength を設定

(1) FLXAnFRNEMC.NML

ネットワーク管理ベクタ長設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
有効値：0〜12 バイト
クラスタ内の全ノードで同じ設定にしてください。ネットワーク管理ベクタ長をバイト単位で設定します。

25.2.6.5　FLXAnFRPRTC1 — FlexRay PRT 設定レジスタ 1

アクセス　FLXAnFRPRTC1 レジスタは、32 ビット単位でリード／ライト可能です。

FLXAnFRPRTC1L、FLXAnFRPRTC1H レジスタは、16 ビット単位でリード／ライト可能です。

FLXAnFRPRTC1LL、FLXAnFRPRTC1LH、FLXAnFRPRTC1HL、FLXAnFRPRTC1HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　FLXAnFRPRTC1：<FLXAn_base> + 0090_H、

FLXAnFRPRTC1L：<FLXAn_base> + 0090_H、FLXAnFRPRTC1H：<FLXAn_base> + 0092_H、

FLXAnFRPRTC1LL：<FLXAn_base> + 0090_H、FLXAnFRPRTC1LH：<FLXAn_base> + 0091_H、

FLXAnFRPRTC1HL：<FLXAn_base> + 0092_H、FLXAnFRPRTC1HH：<FLXAn_base> + 0093_H

リセット後の値　084C 0633_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RWP[5:0]						—	RXW[8:0]								
リセット後の値	0	0	0	0	1	0	0	0	0	1	0	0	1	1	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BRP[1:0]		SPP[1:0]		—	CASM[6:0]							TSST[3:0]			
リセット後の値	0	0	0	0	0	1	1	0	0	0	1	1	0	0	1	1
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.45　FLXAnFRPRTC1 レジスタの内容

ビット位置	ビット名	機能
31～26	RWP[5:0]	送信ウェイクアップパターン繰り返し回数設定ビット pWakeupPattern を設定
25	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
24～16	RXW[8:0]	Wakeup シンボル受信ウィンドウ幅設定ビット gdWakeupSymbolRxWindow を設定
15、14	BRP[1:0]	ボーレートプリスケーラ設定ビット gdSampleClockPeriod、pSamplesPerMicrotick を設定 　00_B＝10Mbps 　01_B＝5Mbps 　10_B＝2.5Mbps 　11_B＝2.5Mbps
13、12	SPP[1:0]	ストローブポイント位置設定ビット ストローブポイント位置設定 　00_B＝サンプル 5 　01_B＝サンプル 4 　10_B＝サンプル 6 　11_B＝サンプル 5
11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10～4	CASM[6:0]	衝突回避シンボル最大長設定ビット gdCASRxLowMax を設定
3～0	TSST[3:0]	送信 TSS 長設定ビット gdTSSTransmitter を設定

(1) FLXAnFRPRTC1.RWP

送信ウェイクアップパターン繰り返し回数設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
有効値：2～63
送信 Wakeup シンボルの繰り返し（シーケンス）回数を設定します。

(2) FLXAnFRPRTC1.RXW

Wakeup シンボル受信ウィンドウ幅設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
有効値：76～301
クラスタ内の全ノードで同じ設定にしてください。
ノードが受信したウェイクアップパターンを評価する期間をビットタイム数で設定します。

(3) FLXAnFRPRTC1.BRP

ボーレートプリスケーラ設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
FlexRay バスのボーレートを設定します。下記値はサンプルクロックが 80MHz の場合のみ有効です。設定されたボーレートに関係なく、1 ビット時間は常に 8 サンプルで構成されます。

- 00_B＝10MBit/s

  gdSampleClockPeriod＝12.5ns＝1×“sample clock”
  pSamplesPerMicrotick＝2（1µT＝25ns）

- 01_B＝5MBit/s

  gdSampleClockPeriod＝25ns＝2×“sample clock”
  pSamplesPerMicrotick＝1（1µT＝25ns）

- 10_B、11_B＝2.5MBit/s

  gdSampleClockPeriod＝50ns＝4×“sample clock”
  pSamplesPerMicrotick＝1（1µT＝50ns）

(4) FLXAnFRPRTC1.SPP

ストローブポイント位置設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
CC が受信ビットをストローブするサンプルカウンタの位置を設定します。FLXAnFRPRTC1.SPP によって設定された回数分サンプリングを行い、それによって観測されたサンプル値の多数決判定によって、ビット値を決定します。

注　意

FlexRay 通信システムプロトコル仕様 v2.1 では、FLXAnFRPRTC1.SPP は“00_B”に規定しています。
その他の設定値は物理レイヤの不均衡を補正するために使用されます。

(5) FLXAnFRPRTC1.CASM

衝突回避シンボル最大長設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
CASM[6]ビットは“1”固定です。有効値：67～99
衝突回避シンボル（CAS）の受信可能な最大許容長をビットタイムで設定します。

(6) FLXAnFRPRTC1.TSST

送信 TSS 長設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
有効値：3～15
クラスタ内の全ノードで同じ設定にしてください。
送信時の送信開始シーケンス（TSS）幅をビットタイムで設定します。
（1 ビットタイム＝4µT＝100ns @ 10Mbps).

25.2.6.6　FLXAnFRPRTC2 — FlexRay PRT 設定レジスタ 2

アクセス　FLXAnFRPRTC2 レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRPRTC2L、FLXAnFRPRTC2H レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRPRTC2LL、FLXAnFRPRTC2LH、FLXAnFRPRTC2HL、FLXAnFRPRTC2HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　FLXAnFRPRTC2:<FLXAn_base> + 0094_H、
FLXAnFRPRTC2L：<FLXAn_base> + 0094_H、FLXAnFRPRTC2H：<FLXAn_base> + 0096_H、
FLXAnFRPRTC2LL：<FLXAn_base> + 0094_H、FLXAnFRPRTC2LH：<FLXAn_base> + 0095_H、
FLXAnFRPRTC2HL：<FLXAn_base> + 0096_H、FLXAnFRPRTC2HH：<FLXAn_base> + 0097_H

リセット後の値　0F2D $0A0E_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	TXL[5:0]						TXI[7:0]							
リセット後の値	0	0	0	0	1	1	1	1	0	0	1	0	1	1	0	1
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	RXL[5:0]						—	—	RXI[5:0]					
リセット後の値	0	0	0	0	1	0	1	0	0	0	0	0	1	1	1	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 25.46　FLXAnFRPRTC2 レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
29〜24	TXL[5:0]	送信 Wakeup シンボル Low 幅設定ビット gdWakeupSymbolTxLow を設定
23〜16	TXI[7:0]	送信 Wakeup シンボルアイドル幅設定ビット gdWakeupSymbolTxIdle を設定
15、14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13〜8	RXL[5:0]	受信 Wakeup シンボル Low 幅設定ビット gdWakeupSymbolRxLow を設定
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5〜0	RXI[5:0]	受信 Wakeup シンボルアイドル幅設定ビット gdWakeupSymbolRxIdle を設定

(1) FLXAnFRPRTC2.TXL

送信 Wakeup シンボル Low 幅設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
有効値：15〜60
クラスタ内の全ノードで同じ設定にしてください。
ノードが送信する Wakeup シンボルの“L”幅をビットタイムで設定します。

(2) FLXAnFRPRTC2.TXI

送信 Wakeup シンボルアイドル幅設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
有効値：45～180
クラスタ内の全ノードで同じ設定にしてください。
ノードが送信する Wakeup シンボルのアイドル幅をビットタイムで設定します。

(3) FLXAnFRPRTC2.RXL

受信 Wakeup シンボル Low 幅設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
有効値：10～55
クラスタ内の全ノードで同じ設定にしてください。
ノードが受信する Wakeup シンボルの最小“L”幅をビットタイムで設定します。

(4) FLXAnFRPRTC2.RXI

受信 Wakeup シンボルアイドル幅設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
有効値：14～59
クラスタ内の全ノードで同じ設定にしてください。
ノードが受信する Wakeup シンボルの最小アイドル幅をビットタイムで設定します。

25.2.6.7　FLXAnFRMHDC ― FlexRay MHD 設定レジスタ

アクセス　FLXAnFRMHDC レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRMHDCL、FLXAnFRMHDCH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRMHDCLL、FLXAnFRMHDCHL、FLXAnFRMHDCHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　FLXAnFRMHDC：<FLXAn_base> + 0098_H、
FLXAnFRMHDCL：<FLXAn_base> + 0098_H、FLXAnFRMHDCH：<FLXAn_base> + $009A_H$、
FLXAnFRMHDCLL：<FLXAn_base> + 0098_H、FLXAnFRMHDCHL：<FLXAn_base> + $009A_H$、
FLXAnFRMHDCHH：<FLXAn_base> + $009B_H$

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	SLT[12:0]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	SFDL[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.47　FLXAnFRMHDC レジスタの内容

ビット位置	ビット名	機能
31～29	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
28～16	SLT[12:0]	最終送信開始位置設定ビット pLatestTx を設定
15～7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6～0	SFDL[6:0]	スタティックフレームデータ長設定ビット gPayloadLengthStatic を設定

(1) FLXAnFRMHDC.SLT

最終送信開始位置設定ビット
FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
有効値：0～7981
ダイナミックセグメント内で送信を開始できる最終の最大ミニスロット値を設定します。このビットが“0”の場合、ダイナミックセグメントでの送信はありません。

(2) FLXAnFRMHDC.SFDL

スタティックフレームデータ長設定ビット
FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。有効値：0～127
クラスタ内の全ノードで同じ設定にしてください。
スタティックセグメントで送信されるすべてのフレームについて、クラスタのペイロード長を 2 バイト単位で設定します。

25.2.6.8 FLXAnFRGTUC1 — FlexRay GTU 設定レジスタ 1

アクセス FLXAnFRGTUC1 レジスタは、32 ビット単位でリード／ライト可能です。

FLXAnFRGTUC1L、FLXAnFRGTUC1H レジスタは、16 ビット単位でリード／ライト可能です。

FLXAnFRGTUC1LL、FLXAnFRGTUC1LH、FLXAnFRGTUC1HL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRGTUC1：<FLXAn_base> + 00A0$_{H}$、

FLXAnFRGTUC1L：<FLXAn_base> + 00A0$_{H}$、FLXAnFRGTUC1H：<FLXAn_base> + 00A2$_{H}$、

FLXAnFRGTUC1LL：<FLXAn_base> + 00A0$_{H}$、FLXAnFRGTUC1LH：<FLXAn_base> + 00A1$_{H}$、

FLXAnFRGTUC1HL：<FLXAn_base> + 00A2$_{H}$

リセット後の値 0000 0280$_{H}$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	UT[19:16]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UT[15:0]															
リセット後の値	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.48 FLXAnFRGTUC1 レジスタの内容

ビット位置	ビット名	機能
31〜20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19〜0	UT[19:0]	コミュニケーションサイクル μT 数設定ビット pMicroPerCycle を設定

(1) FLXAnFRGTUC1.UT

コミュニケーションサイクル μT 数設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：640〜640000μT

コミュニケーションサイクル長を μT 単位で設定します。

25.2.6.9　FLXAnFRGTUC2 — FlexRay GTU 設定レジスタ 2

アクセス　FLXAnFRGTUC2 レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRGTUC2L、FLXAnFRGTUC2H レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRGTUC2LL、FLXAnFRGTUC2LH、FLXAnFRGTUC2HL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　FLXAnFRGTUC2：<FLXAn_base> + $00A4_H$、
FLXAnFRGTUC2L：<FLXAn_base> + $00A4_H$、FLXAnFRGTUC2H：<FLXAn_base> + $00A6_H$、
FLXAnFRGTUC2LL：<FLXAn_base> + $00A4_H$、FLXAnFRGTUC2LH：<FLXAn_base> + $00A5_H$、
FLXAnFRGTUC2HL：<FLXAn_base> + $00A6_H$

リセット後の値　$0002\ 000A_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	SNM[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	MPC[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.49　FLXAnFRGTUC2 レジスタの内容

ビット位置	ビット名	機能
31～20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19～16	SNM[3:0]	最大 SYNC ノード数設定ビット
15、14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13～0	MPC[13:0]	コミュニケーションサイクル MT 数設定ビット gMacroPerCycle を設定

(1)　FLXAnFRGTUC2.SNM

最大 SYNC ノード数設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
有効値：2～15
クラスタ内の全ノードで同じ設定にしてください。
Sync フレームインジケータ SYN に“1”がセットされたフレームの最大数を設定します。

(2)　FLXAnFRGTUC2.MPC

コミュニケーションサイクル MT 数設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
有効値：10～16000MT
クラスタ内の全ノードで同じ設定にしてください。コミュニケーションサイクル長を MT 単位で設定します。

25.2.6.10　FLXAnFRGTUC3 — FlexRay GTU 設定レジスタ 3

アクセス　FLXAnFRGTUC3 レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRGTUC3L、FLXAnFRGTUC3H レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRGTUC3LL、FLXAnFRGTUC3LH、FLXAnFRGTUC3HL、FLXAnFRGTUC3HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　FLXAnFRGTUC3：<FLXAn_base> + 00A8$_H$、
FLXAnFRGTUC3L：<FLXAn_base> + 00A8$_H$、FLXAnFRGTUC3H：<FLXAn_base> + 00AA$_H$、
FLXAnFRGTUC3LL：<FLXAn_base> + 00A8$_H$、FLXAnFRGTUC3LH：<FLXAn_base> + 00A9$_H$、
FLXAnFRGTUC3HL：<FLXAn_base> + 00AA$_H$、FLXAnFRGTUC3HH：<FLXAn_base> + 00AB$_H$

リセット後の値　0202 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	MIOB[6:0]							—	MIOA[6:0]						
リセット後の値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UIOB[7:0]								UIOA[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.50　FLXAnFRGTUC3 レジスタの内容

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
30～24	MIOB[6:0]	チャネル B MT 初期オフセット設定ビット pMacroInitialOffset[B]を設定
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22～16	MIOA[6:0]	チャネル A MT 初期オフセット設定ビット pMacroInitialOffset[A]を設定
15～8	UIOB[7:0]	チャネル BμT 初期オフセット設定ビット pMicroInitialOffset[B]を設定
7～0	UIOA[7:0]	チャネル AμT 初期オフセット設定ビット pMicroInitialOffset[A]を設定

(1)　FLXAnFRGTUC3.MIOB

チャネル B MT 初期オフセット設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
有効値：2～72MT
クラスタ内の全ノードで同じ設定にしてください。
スタティックスロット境界からセカンダリ TRP（Time Reference Point）直後の MT 境界までの MT 数を公称 MT 長ベースで設定します。

(2) FLXAnFRGTUC3.MIOA

チャネル A MT 初期オフセット設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
有効値：2～72MT
クラスタ内の全ノードで同じ設定にしてください。
スタティックスロット境界からセカンダリ TRP 直後の MT 境界までの MT 数を公称 MT 長ベースで設定します。

(3) FLXAnFRGTUC3.UIOB

チャネル BμT 初期オフセット設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
有効値：0～240μT
チャネル B のセカンダリ TRP から直後の MT 境界までの時間を μT 単位で設定します。パラメータは FLXAnFRGTUC5 レジスタの pDelayCompensation[B]の設定値に依存しますので、チャネルごとに設定する必要があります。

(4) FLXAnFRGTUC3.UIOA

チャネル AμT 初期オフセット設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
有効値：0～240μT
チャネル A のセカンダリ TRP（Time Reference Point）から直後の MT 境界までの時間を μT 単位で設定します。パラメータは FLXAnFRGTUC5 レジスタの pDelayCompensation[A]の設定値に依存しますので、チャネルごとに設定する必要があります。

25.2.6.11 FLXAnFRGTUC4 ― FlexRay GTU 設定レジスタ 4

FLXAnFRGTUC4 レジスタの NIT ビットおよび FLXAnFRGTUC4 レジスタの OCS ビットの設定については、「**25.3.2.5 NIT 開始位置設定、オフセット補正開始位置の設定**」を参照してください。

アクセス FLXAnFRGTUC4 レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRGTUC4L、FLXAnFRGTUC4H レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRGTUC4LL、FLXAnFRGTUC4LH、FLXAnFRGTUC4HL、FLXAnFRGTUC4HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRGTUC4：<FLXAn_base> + $00AC_H$、
FLXAnFRGTUC4L：<FLXAn_base> + $00AC_H$、FLXAnFRGTUC4H：<FLXAn_base> + $00AE_H$、
FLXAnFRGTUC4LL：<FLXAn_base> + $00AC_H$、FLXAnFRGTUC4LH：<FLXAn_base> + $00AD_H$、
FLXAnFRGTUC4HL：<FLXAn_base> + $00AE_H$、FLXAnFRGTUC4HH：<FLXAn_base> + $00AF_H$

リセット後の値 $0008\ 0007_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	OCS[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	NIT[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.51 FLXAnFRGTUC4 レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
29～16	OCS[13:0]	オフセット補正開始位置設定ビット （gOffsetCorrectionStart－1）を設定
15、14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13～0	NIT[13:0]	NIT 開始位置設定ビット （gMacroPerCycle－gdNIT－1）を設定

(1) FLXAnFRGTUC4.OCS

オフセット補正開始位置設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
有効値：8～15998MT
E-Ray のみで構成されているクラスタについては、FLXAnFRGTUC4.OCS＝FLXAnFRGTUC4.NIT＋1 とプログラムすることで十分です。
クラスタ内の全ノードで同じ設定にしてください。
NIT フェーズ内でのオフセット補正の開始位置をコミュニケーションサイクルの先頭から数えて計算します。

(2) FLXAnFRGTUC4.NIT

NIT 開始位置設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
有効値：7～15997MT
クラスタ内の全ノードで同じ設定にしてください。
NIT（Network Idle Time）の開始位置をコミュニケーションサイクルの先頭からの MT 数で設定します。
MT 値が gMacroPerCycle－gdNIT－1 と一致し、MT のインクリメントパルスがセットされたとき NIT の開始位置と認識されます。

25.2.6.12　FLXAnFRGTUC5 ― FlexRay GTU 設定レジスタ 5

アクセス　FLXAnFRGTUC5 レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRGTUC5L、FLXAnFRGTUC5H レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRGTUC5LL、FLXAnFRGTUC5LH、FLXAnFRGTUC5HL、FLXAnFRGTUC5HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　FLXAnFRGTUC5：<FLXAn_base> + 00B0$_H$、
FLXAnFRGTUC5L：<FLXAn_base> + 00B0$_H$、FLXAnFRGTUC5H：<FLXAn_base> + 00B2$_H$、
FLXAnFRGTUC5LL：<FLXAn_base> + 00B0$_H$、FLXAnFRGTUC5LH：<FLXAn_base> + 00B1$_H$、
FLXAnFRGTUC5HL：<FLXAn_base> + 00B2$_H$、FLXAnFRGTUC5HH：<FLXAn_base> + 00B3$_H$

リセット後の値　0E00 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DEC[7:0]								—	—	—	CDD[4:0]				
リセット後の値	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCB[7:0]								DCA[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.52　FLXAnFRGTUC5 レジスタの内容

ビット位置	ビット名	機能
31～24	DEC[7:0]	デコード補正ビット pDecodingCorrection を設定
23～21	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
20～16	CDD[4:0]	クラスタドリフトダンピング値設定ビット pClusterDriftDamping を設定
15～8	DCB[7:0]	チャネル B 遅延補正ビット pDelayCompensation[B]を設定
7～0	DCA[7:0]	チャネル A 遅延補正値設定ビット pDelayCompensation[A]を設定

(1) FLXAnFRGTUC5.DEC

デコード補正ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
有効値：14～143µT
プライマリ TRP（Time Reference Point）を決定するために使用するデコード補正値を µT 単位で設定します。

(2) FLXAnFRGTUC5.CDD

クラスタドリフトダンピング値設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
有効値：0～20µT
クロック同期において、丸め誤差の蓄積を最小限にするために使用するクラスタドリフトダンピング値を µT 単位で設定します。

(3) FLXAnFRGTUC5.DCB

チャネル B 遅延補正ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
有効値：0～200µT
チャネル B での受信遅延の補正に使用します。このビットは 0.0125～0.05µs の範囲の µT に対し、最大 cPropagationDelayMax までの想定される伝播遅延をカバーします。実際には、全 Sync ノードの最小伝播遅延値を適用してください。

(4) FLXAnFRGTUC5.DCA

チャネル A 遅延補正値設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
有効値：0～200µT
チャネル A での受信遅延の補正に使用します。このビットは 0.0125～0.05µs の範囲の µT に対し、最大 cPropagationDelayMax までの想定される伝播遅延をカバーします。実際には、全 Sync ノードの最小伝播遅延値を適用してください。

25.2.6.13　FLXAnFRGTUC6 ― FlexRay GTU 設定レジスタ 6

アクセス　FLXAnFRGTUC6 レジスタは、32 ビット単位でリード／ライト可能です。

FLXAnFRGTUC6L、FLXAnFRGTUC6H レジスタは、16 ビット単位でリード／ライト可能です。

FLXAnFRGTUC6LL、FLXAnFRGTUC6LH、FLXAnFRGTUC6HL、FLXAnFRGTUC6HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　FLXAnFRGTUC6：<FLXAn_base> + $00B4_H$、

FLXAnFRGTUC6L：<FLXAn_base> + $00B4_H$、FLXAnFRGTUC6H：<FLXAn_base> + $00B6_H$、

FLXAnFRGTUC6LL：<FLXAn_base> + $00B4_H$、FLXAnFRGTUC6LH：<FLXAn_base> + $00B5_H$、

FLXAnFRGTUC6HL：<FLXAn_base> + $00B6_H$、FLXAnFRGTUC6HH：<FLXAn_base> + $00B7_H$

リセット後の値　0002 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	MOD[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	ASR[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.53　FLXAnFRGTUC6 レジスタの内容

ビット位置	ビット名	機能
31～27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26～16	MOD[10:0]	最大発振偏移設定ビット pdMaxDrift を設定
15～11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10～0	ASR[10:0]	許容 Startup 範囲設定ビット pdAcceptedStartupRange を設定

(1)　FLXAnFRGTUC6.MOD

最大発振偏移設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：2～1923µT

異なるクロックで動作している二つのノード間における 1 コミュニケーションサイクル間での最大偏移量を µT 単位で設定します。

(2)　FLXAnFRGTUC6.ASR

許容 Startup 範囲設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：0～1875µT

統合中の Startup フレームの許容誤差範囲を拡張して µT 単位で設定します。

25.2.6.14　FLXAnFRGTUC7 — FlexRay GTU 設定レジスタ 7

アクセス　FLXAnFRGTUC7 レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRGTUC7L、FLXAnFRGTUC7H レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRGTUC7LL、FLXAnFRGTUC7LH、FLXAnFRGTUC7HL、FLXAnFRGTUC7HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　FLXAnFRGTUC7：<FLXAn_base> + 00B8H、
FLXAnFRGTUC7L：<FLXAn_base> + 00B8H、FLXAnFRGTUC7H：<FLXAn_base> + 00BAH、
FLXAnFRGTUC7LL：<FLXAn_base> + 00B8H、FLXAnFRGTUC7LH：<FLXAn_base> + 00B9H、
FLXAnFRGTUC7HL：<FLXAn_base> + 00BAH、FLXAnFRGTUC7HH：<FLXAn_base> + 00BBH

リセット後の値　0002 0004H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	NSS[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SSL[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.54　FLXAnFRGTUC7 レジスタの内容

ビット位置	ビット名	機能
31～26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25～16	NSS[9:0]	スタティックスロット数設定ビット gNumberOfStaticSlots を設定
15～10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9～0	SSL[9:0]	スタティックスロット長設定ビット gdStaticSlot を設定

(1) FLXAnFRGTUC7.NSS

スタティックスロット数設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
有効値：2～1023
クラスタ内の全ノードで同じ設定にしてください。1 サイクル当たりのスタティックスロット数を設定します。

(2) FLXAnFRGTUC7.SSL

スタティックスロット長設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
有効値：4～659MT
クラスタ内の全ノードで同じ設定にしてください。スタティックスロット長を MT 単位で設定します。

25.2.6.15 FLXAnFRGTUC8 — FlexRay GTU 設定レジスタ 8

アクセス FLXAnFRGTUC8 レジスタは、32 ビット単位でリード／ライト可能です。

FLXAnFRGTUC8L、FLXAnFRGTUC8H レジスタは、16 ビット単位でリード／ライト可能です。

FLXAnFRGTUC8LL、FLXAnFRGTUC8HL、FLXAnFRGTUC8HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRGTUC8 : <FLXAn_base> + 00BC$_H$、

FLXAnFRGTUC8L : <FLXAn_base> + 00BC$_H$、FLXAnFRGTUC8H : <FLXAn_base> + 00BE$_H$、

FLXAnFRGTUC8LL : <FLXAn_base> + 00BC$_H$、FLXAnFRGTUC8HL : <FLXAn_base> + 00BE$_H$、

FLXAnFRGTUC8HH : <FLXAn_base> + 00BF$_H$

リセット後の値 0000 0002$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	NMS[12:0]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	MSL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 25.55 FLXAnFRGTUC8 レジスタの内容

ビット位置	ビット名	機能
31〜29	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
28〜16	NMS[12:0]	ミニスロット数設定ビット gNumberOfMinislots を設定
15〜6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5〜0	MSL[5:0]	ミニスロット長設定ビット gdMinislot を設定

(1) FLXAnFRGTUC8.NMS

ミニスロット数設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：0〜7986

クラスタ内の全ノードで同じ設定にしてください。1 サイクル中のダイナミックセグメント内のミニスロット数を設定します。

(2) FLXAnFRGTUC8.MSL

ミニスロット長設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。

有効値：2〜63MT

クラスタ内の全ノードで同じ設定にしてください。ミニスロット長を MT 単位で設定します。

25.2.6.16　FLXAnFRGTUC9 ― FlexRay GTU 設定レジスタ 9

アクセス　FLXAnFRGTUC9 レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRGTUC9L、FLXAnFRGTUC9H レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRGTUC9LL、FLXAnFRGTUC9LH、FLXAnFRGTUC9HL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　FLXAnFRGTUC9：<FLXAn_base> + $00C0_H$、
FLXAnFRGTUC9L：<FLXAn_base> + $00C0_H$、FLXAnFRGTUC9H：<FLXAn_base> + $00C2_H$、
FLXAnFRGTUC9LL：<FLXAn_base> + $00C0_H$、FLXAnFRGTUC9LH：<FLXAn_base> + $00C1_H$、
FLXAnFRGTUC9HL：<FLXAn_base> + $00C2_H$

リセット後の値　$0000\ 0101_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DSI[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	MAPO[4:0]					—	—	APO[5:0]					
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 25.56　FLXAnFRGTUC9 レジスタの内容

ビット位置	ビット名	機能
31～18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
17、16	DSI[1:0]	ダイナミックスロットアイドルフェーズ設定ビット gdDynamicSlotIdlePhase を設定
15～13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12～8	MAPO[4:0]	ミニスロットアクションポイントオフセット設定ビット gdMinislotActionPointOffset を設定
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5～0	APO[5:0]	アクションポイントオフセット設定ビット gdActionPointOffset を設定

(1) FLXAnFRGTUC9.DSI

ダイナミックスロットアイドルフェーズ設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
有効値：0～2
クラスタ内の全ノードで同じ設定にしてください。
ダイナミックスロットアイドルフェーズ時間をミニスロット数で設定します。アイドル検出時間以上に設定してください。

(2) FLXAnFRGTUC9.MAPO

ミニスロットアクションポイントオフセット設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
有効値：1～31MT
クラスタ内の全ノードで同じ設定にしてください。
ダイナミックセグメントのミニスロット内のアクションポイントの位置を MT 単位で設定します。

(3) FLXAnFRGTUC9.APO

アクションポイントオフセット設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
有効値：1～63MT
クラスタ内の全ノードで同じ設定にしてください。
スタティックスロットおよびシンボルウィンドウ内のアクションポイントの位置を MT 単位で設定します。

25.2.6.17　FLXAnFRGTUC10 ― FlexRay GTU 設定レジスタ 10

アクセス	FLXAnFRGTUC10 レジスタは、32 ビット単位でリード／ライト可能です。 FLXAnFRGTUC10L、FLXAnFRGTUC10H レジスタは、16 ビット単位でリード／ライト可能です。 FLXAnFRGTUC10LL、FLXAnFRGTUC10LH、FLXAnFRGTUC10HL、FLXAnFRGTUC10HH レジスタは、8 ビット単位でリード／ライト可能です。
アドレス	FLXAnFRGTUC10：<FLXAn_base> + $00C4_H$、 FLXAnFRGTUC10L：<FLXAn_base> + $00C4_H$、FLXAnFRGTUC10H：<FLXAn_base> + $00C6_H$、 FLXAnFRGTUC10LL：<FLXAn_base> + $00C4_H$、FLXAnFRGTUC10LH：<FLXAn_base> + $00C5_H$、 FLXAnFRGTUC10HL：<FLXAn_base> + $00C6_H$、FLXAnFRGTUC10HH：<FLXAn_base> + $00C7_H$
リセット後の値	$0002\ 0005_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	MRC[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	MOC[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.57　FLXAnFRGTUC10 レジスタの内容

ビット位置	ビット名	機能
31～27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26～16	MRC[10:0]	最大レート補正値設定ビット pRateCorrectionOut を設定
15、14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13～0	MOC[13:0]	最大オフセット補正値設定ビット pOffsetCorrectionOut を設定

(1) FLXAnFRGTUC10.MRC

最大レート補正値設定ビット
FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
有効値：2～1923μT
内部クロック同期アルゴリズムで使用されるレート補正値の最大許容値を設定します。CC は最大レート補正値（絶対値）と内部レート補正値を比較確認します。

(2) FLXAnFRGTUC10.MOC

最大オフセット補正値設定ビット
FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
有効値：5～15266μT
内部クロック同期アルゴリズム（絶対値）で使用されるオフセット補正値の最大許容値（絶対値）を設定します。CC は最大オフセット補正値と内部オフセット補正値を比較確認します。

25.2.6.18　FLXAnFRGTUC11 ― FlexRay GTU 設定レジスタ 11

アクセス　FLXAnFRGTUC11 レジスタは、32 ビット単位でリード／ライト可能です。

FLXAnFRGTUC11L、FLXAnFRGTUC11H レジスタは、16 ビット単位でリード／ライト可能です。

FLXAnFRGTUC11LL、FLXAnFRGTUC11LH、FLXAnFRGTUC11HL、FLXAnFRGTUC11HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　FLXAnFRGTUC11：<FLXAn_base> + 00C8$_H$、

FLXAnFRGTUC11L：<FLXAn_base> + 00C8$_H$、FLXAnFRGTUC11H：<FLXAn_base> + 00CA$_H$、

FLXAnFRGTUC11LL：<FLXAn_base> + 00C8$_H$、FLXAnFRGTUC11LH：<FLXAn_base> + 00C9$_H$、

FLXAnFRGTUC11HL：<FLXAn_base> + 00CA$_H$、FLXAnFRGTUC11HH：<FLXAn_base> + 00CB$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	ERC[2:0]			—	—	—	—	—	EOC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	ERCC[1:0]		—	—	—	—	—	—	EOCC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

表 25.58　FLXAnFRGTUC11 レジスタの内容

ビット位置	ビット名	機能
31～27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26～24	ERC[2:0]	外部レート補正値設定ビット pExternRateCorrection を設定
23～19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
18～16	EOC[2:0]	外部オフセット補正値設定ビット pExternOffsetCorrection を設定
15～10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9、8	ERCC[1:0]	外部レート補正制御ビット vExternRateControl を設定 00$_B$：外部レート補正禁止 01$_B$：外部レート補正禁止 10$_B$：減算 11$_B$：加算
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	EOCC[1:0]	外部オフセット補正制御ビット vExternOffsetControl を設定 00$_B$：外部オフセット補正禁止 01$_B$：外部オフセット補正禁止 10$_B$：減算 11$_B$：加算

(1) FLXAnFRGTUC11.ERC

外部レート補正値設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
有効値：0～7μT
内部クロック同期アルゴリズムで使用される外部レート補正値を μT 単位で設定します。値は計算されたレート補正値から減算または加算されます。設定値は NIT 期間に使用されます。

(2) FLXAnFRGTUC11.EOC

外部オフセット補正値設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG あるいは CONFIG 状態の場合のみ本ビットに書き込み可能です。
有効値：0～7μT
内部クロック同期アルゴリズムで使用される外部オフセット補正値を μT 単位で設定します。値は計算されたオフセット補正値から減算または加算されます。設定値は NIT 期間に使用されます。

(3) FLXAnFRGTUC11.ERCC

外部レート補正制御ビット

設定変更は NIT（ネットワークアイドル時間）以外で行ってください。
下記の値を FLXAnFRGTUC11 レジスタの ERCC ビットに書き込むと、外部レート補正が有効になります。

- 00_B＝外部レート補正禁止
- 01_B＝外部レート補正禁止
- 10_B＝減算
  計算されたレート補正値－外部レート補正値
- 11_B＝加算
  計算されたレート補正値＋外部レート補正値

(4) FLXAnFRGTUC11.EOCC

外部オフセット補正制御ビット

設定変更は NIT（ネットワークアイドル時間）以外で行ってください。
下記の値を FLXAnFRGTUC11 レジスタの EOCC ビットに書き込むと、外部オフセット補正が有効になります。

- 00_B＝外部オフセット補正禁止
- 01_B＝外部オフセット補正禁止
- 10_B＝減算
  計算されたオフセット補正値－外部オフセット補正値
- 11_B＝加算
  計算されたオフセット補正値＋外部オフセット補正値

25.2.7　CC ステータスレジスタ

8/16 ビットを超えるステータス変数に対して 8/16 ビットアクセスを行った場合、2 回のアクセス（非アトミックなリードアクセス）の間に CC によって変数が更新される可能性があります。

25.2.7.1　FLXAnFRCCSV — FlexRay CC ステータスベクタレジスタ

アクセス　FLXAnFRCCSV レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFRCCSVL、FLXAnFRCCSVH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRCCSVLL、FLXAnFRCCSVLH、FLXAnFRCCSVHL、FLXAnFRCCSVHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　FLXAnFRCCSV：<FLXAn_base> + 0100$_H$、
FLXAnFRCCSVL：<FLXAn_base> + 0100$_H$、FLXAnFRCCSVH：<FLXAn_base> + 0102$_H$、
FLXAnFRCCSVLL：<FLXAn_base> + 0100$_H$、FLXAnFRCCSVLH：<FLXAn_base> + 0101$_H$、
FLXAnFRCCSVHL：<FLXAn_base> + 0102$_H$、FLXAnFRCCSVHH：<FLXAn_base> + 0103$_H$

リセット後の値　0010 4000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	PSL[5:0]						RCA[4:0]					WSV[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	CSI	CSAI	CSNI	—	—	SLM[1:0]		HRQ	FSI	POCS[5:0]					
リセット後の値	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.59　FLXAnFRCCSV レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。
29～24	PSL[5:0]	POC 状態ログフラグ HALT 状態へ遷移する直前の FLXAnFRCCSV レジスタの POCS ビットの値が設定されます。
23～19	RCA[4:0]	Coldstart 試行残数フラグ vRemainingColdstartAttempts を表示
18～16	WSV[2:0]	ウェイクアップ状態フラグ vPOC!WakeupStatus を表示 000$_B$：UNDEFINED 001$_B$：RECEIVED_HEADER 010$_B$：RECEIVED_WUP 011$_B$：COLLISION_HEADER 100$_B$：COLLISION_WUP 101$_B$：COLLISION_UNKNOWN 110$_B$：TRANSMITTED 111$_B$：リザーブ
15	予約ビット	リードした場合はリセット後の値が読めます。
14	CSI	Coldstart 禁止フラグ vColdStartInhibit を表示 0：ノードの Coldstart 許可 1：ノードの Coldstart 禁止
13	CSAI	Coldstart アボート表示フラグ

表 25.59 FLXAnFRCCSV レジスタの内容

ビット位置	ビット名	機能
12	CSNI	Coldstart ノイズ表示フラグ vPOC!ColdstartNoise を表示
11、10	予約ビット	リードした場合はリセット後の値が読めます。
9、8	SLM[1:0]	スロットモードフラグ vPOC!SlotMode を表示 00_B：SINGLE 01_B：リザーブ 10_B：ALL_PENDING 11_B：ALL
7	HRQ	HALT 要求フラグ vPOC!CHIHaltRequest を表示
6	FSI	フリーズ状態フラグ vPOC!Freeze を表示
5~0	POCS[5:0]	POC 状態フラグ

(1) FLXAnFRCCSV.PSL

POC 状態ログフラグ

HALT 状態へ遷移する直前の FLXAnFRCCSV レジスタの POCS ビットの値が設定されます。
HALT 状態時に FREEZE コマンドが受け付けられ、かつ、FSI フラグがまだ"1"にセットされていない、つまり、FREEZE コマンドにより HALT 状態に到達していない場合は、HALT が設定されます。
HALT 状態から抜けると、"000000_B"になります。

(2) FLXAnFRCCSV.RCA

Coldstart 試行残数フラグ

Coldstart の試行回数の残数（vRemainingColdstartAttempts）を表示します。
CONFIG 状態および DEFAULT_CONFIG 状態時の FLXAnFRCCSV レジスタの RCA ビットのリセット後の値は、FLXAnFRSUCC1 レジスタの CSA ビットの値になります。
RUN コマンドにより、FLXAnFRSUCC1 レジスタの CSA ビットで設定した Coldstart の試行回数の最大値に初期化されます。

(3) FLXAnFRCCSV.WSV

ウェイクアップ状態フラグ

現在のウェイクアップ試行状態（vPOC!WakeupStatus）を示します。
CHI コマンドの RESET_STATUS_INDICATORS、または、DEFAULT_CONFIG 状態から CONFIG 状態への遷移でより、ウェイクアップ状態になると、"0"になります。

- 000_B＝UNDEFINED 状態

  CC によるウェイクアップが実行されていない状態です。

- 001_B＝RECEIVED_HEADER 状態

  WAKEUP_LISTEN 状態において、いずれのチャネル上にもコード違反が生じることなくフレームヘッダが受信され、CC がウェイクアップを終了すると、終了時に本状態が設定されます。

- 010_B＝RECEIVED_WUP 状態

  WAKEUP_LISTEN 状態において、指定のウェイクアップチャネル上の有効なウェイクアップパターンが受信され、CC がウェイクアップを終了すると、終了時に本状態が設定されます。

- 011_B＝COLLISION_HEADER 状態

  ウェイクアップパターン送信中に、いずれかのチャネル上の有効なヘッダが受信されたことにより衝突が検出され、CC がウェイクアップを停止すると、停止時に本状態が設定されます。

- 100_B＝COLLISION_WUP 状態

  ウェイクアップパターン送信中に、指定のウェイクアップチャネル上の有効なウェイクアップパターンが受信されたことにより衝突が検出され、CC がウェイクアップを停止すると、停止時に本状態が設定されます。

- 101_B＝COLLISION_UNKNOWN 状態

  有効なウェイクアップパターンおよび有効なフレームヘッダのいずれも受信されないまま、ウェイクアップタイマが終了して WAKEUP_DETECT 状態から遷移し、CC がウェイクアップを停止すると、停止時に本状態が設定されます。

- 110_B＝TRANSMITTED 状態

  CC がウェイクアップパターンを正常に終了した場合、終了時に本状態が設定されます。

- 111_B＝リザーブ

(4) FLXAnFRCCSV.CSI

Coldstart 禁止フラグ

Coldstart が許可されている状態かどうかを示します。（vColdStartInhibit）
POC が CHI コマンドにより READY 状態に遷移したときは常に“1”になります。
“0”にするときは CHI コマンドの ALLOW_COLDSTART コマンドを発行（FLXAnFRSUCC1.CMD ビットに“1001_B”を設定）してください。

(5) FLXAnFRCCSV.CSAI

Coldstart アボート表示フラグ

Coldstart が中止されたことを示します。
CHI コマンドの RESET_STATUS_INDICATORS、HALT 状態から DEFAULT_CONFIG 状態への遷移、または READY 状態から STARTUP 状態への遷移により“0”になります。

(6) FLXAnFRCCSV.CSNI

Coldstart ノイズ表示フラグ

Coldstart 処理がノイズの多い条件化で発生したことを示します。（vPOC!ColdstartNoise）
CHI コマンドの RESET_STATUS_INDICATORS、HALT 状態から DEFAULT_CONFIG 状態への遷移、または READY 状態から STARTUP 状態への遷移により“0”になります。

(7) FLXAnFRCCSV.SLM

スロットモードフラグ

READY 状態、WAKEUP 状態、STARTUP 状態、NORMAL_ACTIVE 状態、または NORMAL_PASSIVE 状態のときの、POC のスロットモード（vPOC!SlotMode）を示します。
デフォルトは SINGLE です。ALL に変化するかどうかは FLXAnFRSUCC1.TSM ビットの値に依存します。
NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態のときに CHI コマンドの ALL_SLOT コマンドを設定すると、SINGLE から ALL_PENDING を経て ALL になります。
NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態以外は FLXAnFRSUCC1.TSM ビットを SINGLE スロットモードに設定してください。

(8) FLXAnFRCCSV.HRQ

HALT 要求フラグ

コミュニケーションサイクルの終了時に HALT 状態に遷移するように CPU から要求されたことを示します。（vPOC!CHIHaltRequest）
HALT 状態から DEFAULT_CONFIG 状態への遷移時、または READY 状態に遷移したときに“0”になります。

(9) FLXAnFRCCSV.FSI

フリーズ状態フラグ

CHI コマンド、FREEZE（CMD＝0111_B）の設定、または HALT 状態への遷移が必要なエラーが発生したため、HALT 状態へ遷移したことを示します（vPOC!Freeze）。
HALT 状態から DEFAULT_CONFIG 状態への遷移により“0”になります。

(10) FLXAnFRCCSV.POCS

POC 状態フラグ

現在の POC の実行状態を表示します。
00 0000_B＝DEFAULT_CONFIG 状態
00 0001_B＝READY 状態
00 0010_B＝NORMAL_ACTIVE 状態
00 0011_B＝NORMAL_PASSIVE 状態
00 0100_B＝HALT 状態
00 1111_B＝CONFIG 状態

ウェイクアップ処理における現在の POC 状態を表示します。
01 0000_B＝WAKEUP_STANDBY 状態
01 0001_B＝WAKEUP_LISTEN 状態
01 0010_B＝WAKEUP_SEND 状態
01 0011_B＝WAKEUP_DETECT 状態

スタートアップ処理における現在の POC 状態を表示します。
10 0000_B＝STARTUP_PREPARE 状態
10 0001_B＝COLDSTART_LISTEN 状態
10 0010_B＝COLDSTART_COLLISION_RESOLUTION 状態
10 0011_B＝COLDSTART_CONSISTENCY_CHECK 状態
10 0100_B＝COLDSTART_GAP 状態
10 0101_B＝COLDSTART_JOIN 状態
10 0110_B＝INTEGRATION_COLDSTART_CHECK 状態
10 0111_B＝INTEGRATION_LISTEN 状態
10 1000_B＝INTEGRATION_CONSISTENCY_CHECK 状態
10 1001_B＝INITIALIZE_SCHEDULE 状態
10 1010_B＝ABORT_STARTUP 状態
10 1011_B＝STARTUP_SUCCESS 状態

その他＝リザーブ

25.2.7.2 FLXAnFRCCEV — FlexRay CC エラーベクタレジスタ

アクセス FLXAnFRCCEV レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFRCCEVL レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRCCEVLL、FLXAnFRCCEVLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFRCCEV：<FLXAn_base> + 0104_H、
FLXAnFRCCEVL：<FLXAn_base> + 0104_H、
FLXAnFRCCEVLL：<FLXAn_base> + 0104_H、FLXAnFRCCEVLH：<FLXAn_base> + 0105_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PTAC[4:0]					ERRM[1:0]		—	—	CCFC[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.60 FLXAnFRCCEV レジスタの内容

ビット位置	ビット名	機能
31～13	予約ビット	リードした場合はリセット後の値が読めます。
12～8	PTAC[4:0]	Passive-to-Active カウンタ vAllowPassiveToActive を示します。
7、6	ERRM[1:0]	エラーモードフラグ vPOC!ErrorMode を示します。 00_B：ACTIVE 01_B：PASSIVE 10_B：COMM_HALT 11_B：リザーブ
5、4	予約ビット	リードした場合はリセット後の値が読めます。
3～0	CCFC[3:0]	クロック補正失敗カウンタ vClockCorrectionFailed を示します。

(1) FLXAnFRCCEV.PTAC

Passive-to-Active カウンタ

ノードが NORMAL_PASSIVE 状態から NORMAL_ACTIVE 状態への遷移を待っている間に、有効なレート／オフセット補正量で通過した連続する偶数／奇数サイクルペアの組数を表示します。
FLXAnFRSUCC1.PTA で設定した値－1 と FLXAnFRCCEV.PTAC ビットの値が一致したとき、NORMAL_PASSIVE 状態から NORMAL_ACTIVE 状態へ遷移します。
HALT 状態から DEFAULT_CONFIG 状態への遷移時、または READY 状態に遷移したときに“0”になります。

(2) FLXAnFRCCEV.ERRM

エラーモードフラグ

POC の現在のエラーモードを示します。（vPOC!ErrorMode）
HALT 状態から DEFAULT_CONFIG 状態への遷移時、または READY 状態に遷移したときに“0”になります。

(3) FLXAnFRCCEV.CCFC

クロック補正失敗カウンタ

POC のクロック補正失敗カウンタの値（vClockCorrectionFailed）を表示します。
オフセット補正欠落エラーまたはレート補正欠落エラーを検出した場合、奇数コミュニケーションサイクル終了時にインクリメントされます。
オフセット補正欠落エラーとレート補正欠落エラーのどちらも検出されていない場合、奇数コミュニケーションサイクル終了時に“0”になります。
クロック補正失敗カウンタは 15 までカウントすると停止します。
HALT 状態から DEFAULT_CONFIG 状態への遷移時、または READY 状態に遷移したときに“0”になります。

25.2.7.3　FLXAnFRSCV — FlexRay スロットカウンタ値レジスタ

アクセス　FLXAnFRSCV レジスタは、32 ビット単位でリードのみ可能です。

FLXAnFRSCVL、FLXAnFRSCVH レジスタは、16 ビット単位でリードのみ可能です。

FLXAnFRSCVLL、FLXAnFRSCVLH、FLXAnFRSCVHL、FLXAnFRSCVHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　FLXAnFRSCV：<FLXAn_base> + 0110_H、

FLXAnFRSCVL：<FLXAn_base> + 0110_H、FLXAnFRSCVH：<FLXAn_base> + 0112_H、

FLXAnFRSCVLL：<FLXAn_base> + 0110_H、FLXAnFRSCVLH：<FLXAn_base> + 0111_H、

FLXAnFRSCVHL：<FLXAn_base> + 0112_H、FLXAnFRSCVHH：<FLXAn_base> + 0113_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	SCCB[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SCCA[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.61　FLXAnFRSCV レジスタの内容

ビット位置	ビット名	機能
31～27	予約ビット	リードした場合はリセット後の値が読めます。
26～16	SCCB[10:0]	チャネル B スロットカウンタ vSlotCounter[B]を表示します。
15～11	予約ビット	リードした場合はリセット後の値が読めます。
10～0	SCCA[10:0]	チャネル A スロットカウンタ vSlotCounter[A]を表示します。

(1)　FLXAnFRSCV.SCCB

チャネル B スロットカウンタ

チャネル B の現在のスロットカウンタ値（vSlotCounter[B]）を表示します。値は CC によってインクリメントされ、コミュニケーションサイクルの開始時に初期化されます。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(2)　FLXAnFRSCV.SCCA

チャネル A スロットカウンタ

チャネル A の現在のスロットカウンタ値（vSlotCounter[A]）を表示します。値は CC によってインクリメントされ、コミュニケーションサイクルの開始時に初期化されます。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

25.2.7.4　FLXAnFRMTCCV ― FlexRay マクロティック値／サイクルカウンタ値レジスタ

アクセス　FLXAnFRMTCCV レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFRMTCCVL、FLXAnFRMTCCVH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRMTCCVLL、FLXAnFRMTCCVLH、FLXAnFRMTCCVHL レジスタは、8 ビット単位でリードのみ可能です。

アドレス　FLXAnFRMTCCV：<FLXAn_base> + 0114$_H$、
FLXAnFRMTCCVL：<FLXAn_base> + 0114$_H$、FLXAnFRMTCCVH：<FLXAn_base> + 0116$_H$、
FLXAnFRMTCCVLL：<FLXAn_base> + 0114$_H$、FLXAnFRMTCCVLH：<FLXAn_base> + 0115$_H$、
FLXAnFRMTCCVHL：<FLXAn_base> + 0116$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	CCV[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	MTV[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.62　FLXAnFRMTCCV レジスタの内容

ビット位置	ビット名	機能
31～22	予約ビット	リードした場合はリセット後の値が読めます。
21～16	CCV[5:0]	サイクルカウンタ値 vCycleCounter を表示します。
15、14	予約ビット	リードした場合はリセット後の値が読めます。
13～0	MTV[13:0]	MT 値 vMacrotick を表示します。

(1) FLXAnFRMTCCV.CCV

サイクルカウンタ値

現在のサイクルカウンタ値（vCycleCounter）を表示します。値はコミュニケーションサイクルの開始時に CC によってインクリメントされます。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(2) FLXAnFRMTCCV.MTV

MT 値

現在の MT 値（vMacrotick）を表示します。値は CC によってインクリメントされ、コミュニケーションサイクルの開始時に初期化されます。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

25.2.7.5　FLXAnFRRCV ― FlexRay レート補正値レジスタ

アクセス　FLXAnFRRCV レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFRRCVL レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRRCVLL、FLXAnFRRCVLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　FLXAnFRRCV：<FLXAn_base> + 0118$_H$、
FLXAnFRRCVL：<FLXAn_base> + 0118$_H$、
FLXAnFRRCVLL：<FLXAn_base> + 0118$_H$、FLXAnFRRCVLH：<FLXAn_base> + 0119$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	RCV[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.63　FLXAnFRRCV レジスタの内容

ビット位置	ビット名	機能
31～12	予約ビット	リードした場合はリセット後の値が読めます。
11～0	RCV[11:0]	レート補正値フラグ vRateCorrection を表示します。

(1) FLXAnFRRCV.RCV

レート補正値フラグ

範囲制限前の内部レート補正値（vRateCorrection／2 の補数）を示します。FLXAnFRRCV.RCV の値が FLXAnFRGTUC10.MRC で設定した範囲を超えた場合は、FLXAnFRSFS.RCLR フラグが“1”になります。CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

注　意

外部レート補正値には、この値を範囲制限した値が加算されます。

25.2.7.6　FLXAnFROCV ― FlexRay オフセット補正値レジスタ

アクセス　FLXAnFROCV レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFROCVL、FLXAnFROCVH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFROCVLL、FLXAnFROCVLH、FLXAnFROCVHL レジスタは、8 ビット単位でリードのみ可能です。

アドレス　FLXAnFROCV：<FLXAn_base> + 011C$_{H}$、
FLXAnFROCVL：<FLXAn_base> + 011C$_{H}$、FLXAnFROCVH：<FLXAn_base> + 011E$_{H}$、
FLXAnFROCVLL：<FLXAn_base> + 011C$_{H}$、FLXAnFROCVLH：<FLXAn_base> + 011D$_{H}$、
FLXAnFROCVHL：<FLXAn_base> + 011E$_{H}$

リセット後の値　0000 0000$_{H}$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	OCV[18:16]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OCV[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.64　FLXAnFROCV レジスタの内容

ビット位置	ビット名	機能
31～19	予約ビット	リードした場合はリセット後の値が読めます。
18～0	OCV[18:0]	オフセット補正値フラグ vOffsetCorrection を表示します。

(1)　FLXAnFROCV.OCV

オフセット補正値フラグ

範囲制限前の内部オフセット補正値を 2 の補数で表示します。FLXAnFROCV.OCV の値が FLXAnFRGTUC10.MOC で設定した範囲を超えた場合は、FLXAnFRSFS.OCLR フラグが“1”になります。CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

注　意

外部オフセット補正値には、この値を範囲制限した値が加算されます。

25.2.7.7 FLXAnFRSFS — FlexRay Sync フレームステータスレジスタ

アクセス FLXAnFRSFS レジスタは、32 ビット単位でリードのみ可能です。

FLXAnFRSFSL、FLXAnFRSFSH レジスタは、16 ビット単位でリードのみ可能です。

FLXAnFRSFSLL、FLXAnFRSFSLH、FLXAnFRSFSHL レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFRSFS：<FLXAn_base> + 0120_H

FLXAnFRSFSL：<FLXAn_base> + 0120_H、FLXAnFRSFSH：<FLXAn_base> + 0122_H

FLXAnFRSFSLL：<FLXAn_base> + 0120_H、FLXAnFRSFSLH：<FLXAn_base> + 0121_H、

FLXAnFRSFSHL：<FLXAn_base> + 0122_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	RCLR	MRCS	OCLR	MOCS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VSBO[3:0]				VSBE[3:0]				VSAO[3:0]				VSAE[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.65 FLXAnFRSFS レジスタの内容

ビット位置	ビット名	機能
31～20	予約ビット	リードした場合はリセット後の値が読めます。
19	RCLR	レート補正値制限到達フラグ 0：レート補正値が制限値未満 1：レート補正値制限到達フラグ
18	MRCS	レート補正欠落フラグ 0：レート補正有効 1：レート補正欠落
17	OCLR	オフセット補正値制限到達フラグ 0：オフセット補正値が制限値未満 1：オフセット補正値が制限値に到達
16	MOCS	オフセット補正欠落フラグ 0：オフセット補正有効 1：オフセット補正欠落
15～12	VSBO[3:0]	チャネル B 有効 Sync フレーム、奇数コミュニケーションサイクル
11～8	VSBE[3:0]	チャネル B 有効 Sync フレーム、偶数コミュニケーションサイクル
7～4	VSAO[3:0]	チャネル A 有効 Sync フレーム、奇数コミュニケーションサイクル
3～0	VSAE[3:0]	チャネル A 有効 Sync フレーム、偶数コミュニケーションサイクル

(1) FLXAnFRSFS.RCLR

レート補正値制限到達フラグ

レート補正値が FLXAnFRGTUC10 レジスタの MRC10～MRC0 ビットで設定した制限範囲を超えたことを示します。オフセット補正開始時に CC によって更新されます。

CONFIG 状態を抜けるか、STARTUP 状態、INTEGRATION_COLDSTART_CHECK 状態あるいは INTEGRATION_CONSISTENCY_CHECK 状態に入るとクリアされます。

(2) FLXAnFRSFS.MRCS

レート補正欠落フラグ

レート補正欠落フラグは、一対の偶数／奇数 Sync フレームが受信されなかったためにレート補正を実行できなかったことを示します。オフセット補正開始時に CC によって更新されます。
CONFIG 状態を抜けるか、STARTUP 状態、INTEGRATION_COLDSTART_CHECK 状態あるいは INTEGRATION_CONSISTENCY_CHECK 状態に入るとクリアされます。

(3) FLXAnFRSFS.OCLR

オフセット補正値制限到達フラグ

オフセット補正値が FLXAnFRGTUC10 レジスタの MOC ビットで設定した制限範囲を超えたことを示します。オフセット補正開始時に CC によって更新されます。
CONFIG 状態を抜けるか、STARTUP 状態、INTEGRATION_COLDSTART_CHECK 状態あるいは INTEGRATION_CONSISTENCY_CHECK 状態に入るとクリアされます。

(4) FLXAnFRSFS.MOCS

オフセット補正欠落フラグ

オフセット補正欠落フラグは、Sync フレームが受信されなかったためにオフセット補正を実行できなかったことを示します。オフセット補正開始時に CC によって更新されます。
CONFIG 状態を抜けるか、STARTUP 状態、INTEGRATION_COLDSTART_CHECK 状態あるいは INTEGRATION_CONSISTENCY_CHECK 状態に入るとクリアされます。

(5) FLXAnFRSFS.VSBO

チャネル B 有効 Sync フレーム、奇数コミュニケーションサイクル

FLXAnFRSUCC1 レジスタの CCHB ビットが“1”のとき有効です。
奇数コミュニケーションサイクル中にチャネル B で受信した有効な Sync フレーム数を表示します。
FLXAnFRSUCC1 レジスタの TXSY ビットの設定で Sync フレームの送信が許可されている場合、値は 1 ずつインクリメントされます。値は奇数コミュニケーションサイクルの NIT の期間中に更新されます。
CONFIG 状態を抜けるか、STARTUP 状態、INTEGRATION_COLDSTART_CHECK 状態あるいは INTEGRATION_CONSISTENCY_CHECK 状態に入るとクリアされます。

(6) FLXAnFRSFS.VSBE

チャネル B 有効 Sync フレーム、偶数コミュニケーションサイクル

FLXAnFRSUCC1 レジスタの CCHB ビットが“1”のとき有効です。
偶数コミュニケーションサイクル中にチャネル B で受信した有効な Sync フレーム数を表示します。
FLXAnFRSUCC1 レジスタの TXSY ビットの設定で Sync フレームの送信が許可されている場合、値は 1 ずつインクリメントされます。値は偶数コミュニケーションサイクルの NIT の期間中に更新されます。
CONFIG 状態を抜けるか、STARTUP 状態、INTEGRATION_COLDSTART_CHECK 状態あるいは INTEGRATION_CONSISTENCY_CHECK 状態に入るとクリアされます。

(7) FLXAnFRSFS.VSAO

チャネル A 有効 Sync フレーム、奇数コミュニケーションサイクル

FLXAnFRSUCC1 レジスタの CCHA ビットが“1”のとき有効です。
奇数コミュニケーションサイクル中にチャネル A で受信した有効な Sync フレーム数を表示します。
FLXAnFRSUCC1 レジスタの TXSY ビットの設定で Sync フレームの送信が許可されている場合、値は 1 ずつインクリメントされます。値は奇数コミュニケーションサイクルの NIT の期間中に更新されます。
CONFIG 状態を抜けるか STARTUP 状態、INTEGRATION_COLDSTART_CHECK 状態あるいは INTEGRATION_CONSISTENCY_CHECK 状態に入るとクリアされます。

(8) FLXAnFRSFS.VSAE

チャネル A 有効 Sync フレーム、偶数コミュニケーションサイクル

FLXAnFRSUCC1 レジスタの CCHA ビットが“1”のとき有効です。
偶数コミュニケーションサイクル中にチャネル A で受信した有効な Sync フレーム数を表示します。
FLXAnFRSUCC1 レジスタの TXSY ビットの設定で Sync フレームの送信が許可されている場合、値は 1 ずつインクリメントされます。値は偶数コミュニケーションサイクルの NIT の期間中に更新されます。
CONFIG 状態を抜けるか、STARTUP 状態、INTEGRATION_COLDSTART_CHECK 状態あるいは INTEGRATION_CONSISTENCY_CHECK 状態に入るとクリアされます。

25.2.7.8　FLXAnFRSWNIT — FlexRay シンボルウィンドウ／NIT ステータスレジスタ

シンボルウィンドウ関連のステータスを示します。各チャネルのシンボルウィンドウの最後で CC によって更新されます。ステータス情報に関する NIT は各チャネルの NIT の最後で CC によって更新されます。

スタートアップ中は更新されません。

アクセス	FLXAnFRSWNIT レジスタは、32 ビット単位でリードのみ可能です。 FLXAnFRSWNITL レジスタは、16 ビット単位でリードのみ可能です。 FLXAnFRSWNITLL、FLXAnFRSWNITLH レジスタは、8 ビット単位でリードのみ可能です。
アドレス	FLXAnFRSWNIT：<FLXAn_base> + 0124$_H$、 FLXAnFRSWNITL：<FLXAn_base> + 0124$_H$、 FLXAnFRSWNITLL：<FLXAn_base> + 0124$_H$、FLXAnFRSWNITLH：<FLXAn_base> + 0125$_H$
リセット後の値	0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	SBNB	SENB	SBNA	SENA	MTSB	MTSA	TCSB	SBSB	SESB	TCSA	SBSA	SESA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.66　FLXAnFRSWNIT レジスタの内容

ビット位置	ビット名	機能
31～12	予約ビット	リードした場合はリセット後の値が読めます。
11	SBNB	チャネル B NIT 内スロット境界違反検出フラグ 0：スロット境界違反検出なし 1：チャネル B で NIT 内スロット境界違反検出
10	SENB	チャネル B NIT 内シンタックスエラー検出フラグ 0：シンタックスエラー検出なし 1：チャネル B で NIT 内シンタックスエラー検出
9	SBNA	チャネル A NIT 内スロット境界違反検出フラグ 0：スロット境界違反検出なし 1：チャネル A で NIT 内スロット境界違反検出
8	SENA	チャネル A NIT 内シンタックスエラー検出フラグ 0：シンタックスエラー検出なし 1：チャネル A で NIT 内シンタックスエラー検出
7	MTSB	チャネル B MTS 受信フラグ 0：チャネル B で MTS シンボル受信なし 1：チャネル B で MTS シンボル受信
6	MTSA	チャネル A MTS 受信フラグ 0：チャネル A で MTS シンボル受信なし 1：チャネル A で MTS シンボル受信
5	TCSB	チャネル B シンボルウィンドウ内送信競合検出フラグ 0：送信競合検出なし 1：チャネル B でシンボルウィンドウ内送信競合検出

表 25.66　FLXAnFRSWNIT レジスタの内容

ビット位置	ビット名	機能
4	SBSB	チャネル B シンボルウィンドウ内スロット境界違反検出フラグ 0：スロット境界違反検出なし 1：チャネル B でシンボルウィンドウ内スロット境界違反検出
3	SESB	チャネル B シンボルウィンドウ内シンタックスエラー検出フラグ 0：シンタックスエラー検出なし 1：チャネル B でシンボルウィンドウ内シンタックスエラー検出
2	TCSA	チャネル A シンボルウィンドウ内送信競合検出フラグ 0：送信競合検出なし 1：チャネル A でシンボルウィンドウ内送信競合検出
1	SBSA	チャネル A シンボルウィンドウ内スロット境界違反検出フラグ 0：スロット境界違反検出なし 1：チャネル A でシンボルウィンドウ内スロット境界違反検出
0	SESA	チャネル A シンボルウィンドウ内シンタックスエラー検出フラグ 0：シンタックスエラー検出なし 1：チャネル A でシンボルウィンドウ内シンタックスエラー検出

(1) FLXAnFRSWNIT.SBNB

チャネル B NIT 内スロット境界違反検出フラグ（vSS!BViolationB）を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(2) FLXAnFRSWNIT.SENB

チャネル B NIT 内シンタックスエラー検出フラグ（vSS!SyntaxErrorB）を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(3) FLXAnFRSWNIT.SBNA

チャネル A NIT 内スロット境界違反検出フラグ（vSS!BViolationA）を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(4) FLXAnFRSWNIT.SENA

チャネル A NIT 内シンタックスエラー検出フラグ（vSS!SyntaxErrorA）を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(5) FLXAnFRSWNIT.MTSB

チャネル B MTS 受信フラグ（vSS!ValidMTSB）を表示します。

直前のシンボルウィンドウ区間内で MTS シンボル（Media Access Test Symbol）をチャネル B で受信したことを示します。各チャネルのシンボルウィンドウの最後で CC により更新されます。
このビットが“1”になると、FLXAnFRSIR レジスタの MTSB ビットも“1”になります。CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(6) FLXAnFRSWNIT.MTSA

チャネル A MTS 受信フラグ（vSS!ValidMTSA）を表示します。

直前のシンボルウィンドウ区間内で MTS シンボル（Media Access Test Symbol）をチャネル A で受信したことを示します。各チャネルのシンボルウィンドウの最後で CC により更新されます。
このビットが“1”になると、FLXAnFRSIR レジスタの MTSA ビットも“1”になります。CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(7) FLXAnFRSWNIT.TCSB

チャネル B シンボルウィンドウ内送信競合検出フラグ（vSS!TxConflictB）を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(8) FLXAnFRSWNIT.SBSB

チャネル B シンボルウィンドウ内スロット境界違反検出フラグ（vSS!BViolationB）を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(9) FLXAnFRSWNIT.SESB

チャネル B シンボルウィンドウ内シンタックスエラー検出フラグ（vSS!SyntaxErrorB）を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(10) FLXAnFRSWNIT.TCSA

チャネル A シンボルウィンドウ内送信競合検出フラグ（vSS!TxConflictA）を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(11) FLXAnFRSWNIT.SBSA

チャネル A シンボルウィンドウ内スロット境界違反検出フラグ（vSS!BViolationA）を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(12) FLXAnFRSWNIT.SESA

チャネル A シンボルウィンドウ内シンタックスエラー検出フラグ（vSS!SyntaxErrorA）を表示します。

CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

25.2.7.9　FLXAnFRACS ― FlexRay チャネルステータス集計レジスタ

チャネルステータス集計レジスタは、チャネルが送信／受信のどちらに割り当てられているかに関係なく、すべてのコミュニケーションスロットのチャネル処理のステータスを示します。

このレジスタにはシンボルウィンドウおよび NIT からのステータスデータも含まれます。

ステータスデータは、各スロットの終了後に更新（セット）され、クリアされるまで集計されます。スタートアップ中は更新されません。

アクセス	FLXAnFRACS レジスタは、32 ビット単位でリード／ライト可能です。 FLXAnFRACSL レジスタは、16 ビット単位でリード／ライト可能です。 FLXAnFRACSLL、FLXAnFRACSLH レジスタは、8 ビット単位でリード／ライト可能です。
アドレス	FLXAnFRACS：<FLXAn_base> + 0128H、 FLXAnFRACSL：<FLXAn_base> + 0128H、 FLXAnFRACSLL：<FLXAn_base> + 0128H、FLXAnFRACSLH：<FLXAn_base> + 0129H
リセット後の値	0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SBVB	CIB	CEDB	SEDB	VFRB	—	—	—	SBVA	CIA	CEDA	SEDA	VFRA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 25.67　FLXAnFRACS レジスタの内容

ビット位置	ビット名	機能
31～13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	SBVB	チャネル B スロット境界違反検出フラグ 0：スロット境界違反検出されず 1：チャネル B でスロット境界違反を検出
11	CIB	チャネル B 通信表示フラグ 0：追加の通信を含む有効なフレームを受信せず 1：チャネル B のスロットで追加の通信を含む有効なフレームを受信
10	CEDB	チャネル B コンテンツエラー検出フラグ 0：コンテンツエラーを含むフレームを受信せず 1：チャネル B でコンテンツエラーを含むフレームを受信
9	SEDB	チャネル B シンタックスエラー検出フラグ 0：シンタックスエラー検出されず 1：チャネル B でシンタックスエラーを検出
8	VFRB	チャネル B 有効フレーム受信フラグ 0：有効なフレームを受信せず 1：チャネル B で有効なフレームを受信
7～5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	SBVA	チャネル A スロット境界違反検出フラグ 0：スロット境界違反検出されず 1：チャネル A でスロット境界違反を検出

表 25.67 FLXAnFRACS レジスタの内容

ビット位置	ビット名	機能
3	CIA	チャネル A 通信表示フラグ 0：追加の通信を含む有効なフレームを受信せず 1：チャネル A のスロットで追加の通信を含む有効なフレームを受信
2	CEDA	チャネル A コンテンツエラー検出フラグ 0：コンテンツエラーを含むフレームを受信せず 1：チャネル A でコンテンツエラーを含むフレームを受信
1	SEDA	チャネル A シンタックスエラー検出フラグ 0：シンタックスエラー検出されず 1：チャネル A でシンタックスエラーを検出
0	VFRA	チャネル A 有効フレーム受信フラグ 0：有効なフレームを受信せず 1：チャネル A で有効なフレームを受信

(1) FLXAnFRACS.SBVB

チャネル B スロット境界違反検出フラグ

“0”をライトしてもフラグは変化しません。
本ビットをクリアするには“1”を書き込みます。
観測期間中（スタティックセグメント、ダイナミックセグメント、シンボルウィンドウ、および NIT で）、チャネル B でスロット境界違反が検出されたことを示します。
本フラグが“0”から“1”に変化すると、FLXAnFREIR レジスタの EDB ビットが“1”になります。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(2) FLXAnFRACS.CIB

チャネル B 通信表示フラグ

“0”をライトしてもフラグは変化しません。
本ビットをクリアするには“1”を書き込みます。
観測期間中、チャネル B のスロットで有効なフレームを 1 つ以上受信し、それが追加の通信を含んでいたことを示します。つまり、1 つ以上のスロットが有効なフレームを受信し、かつシンタックスエラー、コンテンツエラー、スロット境界違反のいずれかがあったことを示します。

注 意

スロットにフレームが一つしかなく、チャネルアイドル認識フェーズ中に、そのスロットの最後にあるスロット境界に到達した場合も CIB ビットの設定条件は満たされます。
本フラグが“0”から“1”に変化すると、FLXAnFREIR レジスタの EDB ビットが“1”になります。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(3) FLXAnFRACS.CEDB

チャネル B コンテンツエラー検出フラグ

“0”をライトしてもフラグは変化しません。
本ビットをクリアするには“1”を書き込みます。
観測期間中、チャネル B のスタティックセグメントまたはダイナミックセグメントでコンテンツエラーを含むフレームを 1 つ以上受信したことを示します。
本フラグが“0”から“1”に変化すると、FLXAnFREIR レジスタの EDB ビットが“1”になります。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(4) FLXAnFRACS.SEDB

チャネル B シンタックスエラー検出フラグ

“0”をライトしてもフラグは変化しません。
本ビットをクリアするには“1”を書き込みます。
チャネル B のスタティックセグメント、ダイナミックセグメント、シンボルウィンドウ、または NIT で 1 つ以上のシンタックスエラーが検出されたことを示します。
本フラグが“0”から“1”に変化すると、FLXAnFREIR レジスタの EDB ビットが“1”になります。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(5) FLXAnFRACS.VFRB

チャネル B 有効フレーム受信フラグ

“0”をライトしてもフラグは変化しません。
本ビットをクリアするには“1”を書き込みます。
観測期間中、チャネル B のスタティックスロットまたはダイナミックスロットで有効なフレームを 1 つ以上受信したことを示します。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(6) FLXAnFRACS.SBVA

チャネル A スロット境界違反検出フラグ

“0”をライトしてもフラグは変化しません。
本ビットをクリアするには“1”を書き込みます。
観測期間中（スタティックセグメント、ダイナミックセグメント、シンボルウィンドウ、および NIT で）、チャネル A でスロット境界違反が検出されたことを示します。
本フラグが“0”から“1”に変化すると、FLXAnFREIR レジスタの EDA ビットが“1”になります。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(7) FLXAnFRACS.CIA

チャネル A 通信表示フラグ

“0”をライトしてもフラグは変化しません。
本ビットをクリアするには“1”を書き込みます。
観測期間中、チャネル A のスロットで有効なフレームを 1 つ以上受信し、それが追加の通信を含んでいたことを示します。つまり、1 つ以上のスロットが有効なフレームを受信し、かつシンタックスエラー、コンテンツエラー、スロット境界違反のいずれかがあったことを示します。

注 意

スロットにフレームが一つしかなく、チャネルアイドル認識フェーズ中に、そのスロットの最後にあるスロット境界に到達した場合も CIA ビットの設定条件は満たされます。
本フラグが“0”から“1”に変化すると、FLXAnFREIR レジスタの EDA ビットが“1”になります。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(8) FLXAnFRACS.CEDA

チャネル A コンテンツエラー検出フラグ

“0”をライトしてもフラグは変化しません。
本ビットをクリアするには“1”を書き込みます。
観測期間中、チャネル A のスタティックセグメントまたはダイナミックセグメントでコンテンツエラーを含むフレームを 1 つ以上受信したことを示します。
本フラグが“0”から“1”に変化すると、FLXAnFREIR レジスタの EDA ビットが“1”になります。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(9) FLXAnFRACS.SEDA

チャネル A シンタックスエラー検出フラグ

“0”をライトしてもフラグは変化しません。
本ビットをクリアするには“1”を書き込みます。
チャネル A のスタティックセグメント、ダイナミックセグメント、シンボルウィンドウ、または NIT で 1 つ以上のシンタックスエラーが検出されたことを示します。
本フラグが“0”から“1”に変化すると、FLXAnFREIR レジスタの EDA ビットが“1”になります。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(10) FLXAnFRACS.VFRA

チャネル A 有効フレーム受信フラグ

“0”をライトしてもフラグは変化しません。
本ビットをクリアするには“1”を書き込みます。
観測期間中、チャネル B のスタティックスロットまたはダイナミックスロットで有効なフレームを 1 つ以上受信したことを示します。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

25.2.7.10 FLXAnFRESIDm — FlexRay 偶数 Sync ID レジスタ m（m＝1～15）

FLXAnFRESID1～FLXAnFRESID15 レジスタは、gSyncNodeMax の限界値までのクロック同期に使用される偶数コミュニケーションサイクルで受信した Sync フレームのフレーム ID を、フレーム ID の昇順に FLXAnFRESID1 から格納します。自ノードが偶数コミュニケーションサイクルで Sync フレームを送信する場合、FLXAnFRESID1 レジスタはメッセージバッファ 0 に設定された Sync フレーム ID を保持し、FLXAnFRESID1 レジスタの RXEA フラグと RXEB フラグがセットされます。レジスタの内容は、各偶数コミュニケーションサイクルの NIT 期間中に更新されます。

アクセス	FLXAnFRESIDm レジスタは、32 ビット単位でリードのみ可能です。 FLXAnFRESIDmL レジスタは、16 ビット単位でリードのみ可能です。 FLXAnFRESIDmLL、FLXAnFRESIDmLH レジスタは、8 ビット単位でリードのみ可能です。
アドレス	FLXAnFRESIDm：<FLXAn_base> + 0130_H + (m – 1) × 4_H、 FLXAnFRESIDmL：<FLXAn_base> + 0130_H + (m – 1) × 4_H、 FLXAnFRESIDmLL：<FLXAn_base> + 0130_H + (m – 1) × 4_H、 FLXAnFRESIDmLH：<FLXAn_base> + 0130_H + (m – 1) × 4_H + 1_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RXEB	RXEA	—	—	—	—	EID[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.68 FLXAnFRESIDm レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。
15	RXEB	偶数 Sync ID チャネル B 受信／設定フラグ 0：Sync フレームはチャネル B では受信せず、またノードは Sync フレーム送信用に設定されていない 1：保存した偶数 Sync ID に対応する Sync フレームはチャネル B で受信、またはノードが Sync フレーム送信用に設定
14	RXEA	偶数 Sync ID チャネル A 受信／設定フラグ 0：Sync フレームはチャネル A では受信せず、またノードは Sync フレーム送信用に設定されていない 1：保存した偶数 Sync ID に対応する Sync フレームはチャネル A で受信、またはノードが Sync フレーム送信用に設定
13～10	予約ビット	リードした場合はリセット後の値が読めます。
9～0	EID[9:0]	偶数 Sync ID フラグ（vsSyncIDListA,B even）

(1) FLXAnFRESIDm.RXEB

偶数 Sync ID チャネル B 受信／設定フラグ

保存した偶数 SyncID に対応する Sync フレームをチャネル B で受信したか、そのノードが FLXAnFRESID1.EID で示すキースロット番号を持った Sync ノードに設定されていることを示します。CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(2) FLXAnFRESIDm.RXEA

偶数 Sync ID チャネル A 受信／設定フラグ

保存した偶数 SyncID に対応する Sync フレームをチャネル A で受信したか、そのノードが FLXAnFRESID1.EID で示すキースロット番号を持った Sync ノードに設定されていることを示します。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(3) FLXAnFRESIDm.EID

偶数 Sync ID フラグ（vsSyncIDListA,B even）

偶数コミュニケーションサイクルで受信した Sync フレーム ID を表示します。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

25.2.7.11　FLXAnFROSIDm ― FlexRay 奇数 Sync ID レジスタ m（m＝1～15）

FLXAnFROSID1～FLXAnFROSID15 レジスタは、gSyncNodeMax の限界値までのクロック同期に使用される奇数コミュニケーションサイクルで受信した Sync フレームのフレーム ID を、フレーム ID の昇順に FLXAnFROSID1 から格納します。自ノードが奇数コミュニケーションサイクルで Sync フレームを送信する場合、FLXAnFROSID1 レジスタはメッセージバッファ 0 に設定された Sync フレーム ID を保持し、FLXAnFROSID1 レジスタの RXOA フラグと RXOB フラグがセットされます。レジスタの内容は、各奇数コミュニケーションサイクルの NIT 期間中に更新されます。

アクセス　FLXAnFROSIDm レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFROSIDmL レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFROSIDmLL、FLXAnFROSIDmLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　FLXAnFROSIDm：<FLXAn_base> + 0170_H + (m – 1) × 4_H、
FLXAnFROSIDmL：<FLXAn_base> + 0170_H + (m – 1) × 4_H、
FLXAnFROSIDmLL：<FLXAn_base> + 0170_H + (m – 1) × 4_H、
FLXAnFROSIDmLH：<FLXAn_base> + 0170_H + (m – 1) × 4_H + 1_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RXOB	RXOA	—	—	—	—	OID[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.69　FLXAnFROSIDm レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。
15	RXOB	奇数 Sync ID チャネル B 受信／設定フラグ 0：Sync フレームはチャネル B では受信せず、またノードは Sync フレーム送信用に設定されていない 1：保存した奇数 Sync ID に対応する Sync フレームはチャネル B で受信、またはノードが Sync フレーム送信用に設定
14	RXOA	奇数 Sync ID チャネル A 受信／設定フラグ 0：Sync フレームはチャネル A では受信せず、またノードは Sync フレーム送信用に設定されていない 1：保存した奇数 Sync ID に対応する Sync フレームはチャネル A で受信、またはノードが Sync フレーム送信用に設定
13～10	予約ビット	リードした場合はリセット後の値が読めます。
9～0	OID[9:0]	奇数 Sync ID フラグ（vsSyncIDListA,B odd）

(1)　FLXAnFROSIDm.RXOB

奇数 Sync ID チャネル B 受信／設定フラグ

保存した奇数 SyncID に対応する Sync フレームをチャネル B で受信したか、そのノードが FLXAnFROSID1.OID で示すキースロット番号を持った Sync ノードに設定されていることを示します。CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(2) FLXAnFROSIDm.RXOA

奇数 Sync ID チャネル A 受信／設定フラグ

保存した奇数 SyncID に対応する Sync フレームをチャネル A で受信したか、そのノードが FLXAnFROSID1.OID で示すキースロット番号を持った Sync ノードに設定されていることを示します。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

(3) FLXAnFROSIDm.OID

奇数 Sync ID フラグ（vsSyncIDListA,B odd）

奇数コミュニケーションサイクルで受信した Sync フレーム ID を表示します。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

25.2.7.12　FLXAnFRNMVm ― FlexRay ネットワーク管理ベクタレジスタ m（m＝1～3）

3 つのネットワーク管理ベクタレジスタは、生成された NM ベクタ（「**25.3.7 ネットワーク管理**」参照）。

レジスタの内容は CC が NORMAL_ACTIVE または NORMAL_PASSIVE 状態にある限り、コミュニケーションサイクル終了時ごとに更新されます。

設定されている NM ベクタ長を超える NMVn バイトは無効です。

「**25.3.17 バイトアライメント**」に、本レジスタの受信ネットワークベクタでのバイトデータの割り当てを示します。

アクセス　FLXAnFRNMVm レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFRNMVmL、FLXAnFRNMVmH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRNMVmLL、FLXAnFRNMVmLH、FLXAnFRNMVmHL、FLXAnFRNMVmHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　FLXAnFRNMVm：<FLXAn_base> + $01B0_H$ + (m – 1) × 4_H、
FLXAnFRNMVmL：<FLXAn_base> + $01B0_H$ + (m – 1) × 4_H、
FLXAnFRNMVmH：<FLXAn_base> + $01B0_H$ + (m – 1) × 4_H + 2_H、
FLXAnFRNMVmLL：<FLXAn_base> + $01B0_H$ + (m – 1) × 4_H、
FLXAnFRNMVmLH：<FLXAn_base> + $01B0_H$ + (m – 1) × 4_H + 1_H、
FLXAnFRNMVmHL：<FLXAn_base> + $01B0_H$ + (m – 1) × 4_H + 2_H、
FLXAnFRNMVmHH：<FLXAn_base> + $01B0_H$ + (m – 1) × 4_H + 3_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NM[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NM[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.70　FLXAnFRNMVm レジスタの内容

ビット位置	ビット名	機能
31～0	NM[31:0]	NM ベクタ 3 つのネットワーク管理ベクタレジスタは、生成された NM ベクタ（0～12 バイト設定可能）を保持します。保持されるベクタは、各チャネルで受信された NM ベクタ（PPI が 1 の有効なスタティックフレーム）をビットごとの論理 OR を取って生成されます（「**25.3.7 ネットワーク管理**」参照）。 「**25.3.17 バイトアライメント**」に、本レジスタの受信ネットワークベクタでのバイトデータの割り当てを示します。 設定されている NM ベクタ長を超える NMVn バイトは無効です。 レジスタの内容は CC が NORMAL_ACTIVE または NORMAL_PASSIVE 状態にある限り、コミュニケーションサイクル終了時ごとに更新されます。 CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。

25.2.8　メッセージバッファ制御レジスタ

25.2.8.1　FLXAnFRMRC — FlexRay メッセージ RAM 設定レジスタ

メッセージ RAM 設定レジスタは、スタティックセグメント、ダイナミックセグメント、および FIFO に割り当てられるメッセージバッファ数を設定します。

メッセージ RAM は、スタティックバッファ領域、スタティック＋ダイナミックバッファ領域、FIFO 領域の、最大 3 つの異なる領域に分けることができます。スタティックバッファ領域が存在する場合、スタティックバッファ領域は、メッセージバッファ 0 から始まります。

スタティック＋ダイナミックバッファ領域の始まりは、FLXAnFRMRC.FDB により設定されます。FLXAnFRMRC.FDB でスタティックバッファ領域の終りを定義します。スタティックバッファ領域が存在しない場合、スタティック＋ダイナミックバッファ領域が、メッセージバッファ 0 から始まります。

FIFO 領域の始まりは、FLXAnFRMRC.FFB により設定されます。FLXAnFRMRC.FFB が前の領域の終り（スタティックバッファ領域、またはスタティック＋ダイナミックバッファ領域）を定義します。スタティックバッファ領域もスタティック＋ダイナミックバッファ領域も存在しない場合、FIFO 領域が、メッセージバッファ 0 から始まります。

最後に設定された領域の終り（スタティックバッファ領域、スタティック+ダイナミックバッファ領域、または FIFO 領域）は、FLXAnFRMRC.LCB で設定されます。

「**図 25.2 メッセージ RAM の構成**」に、3 領域すべてが設定された場合のメッセージ RAM の設定例を示します。

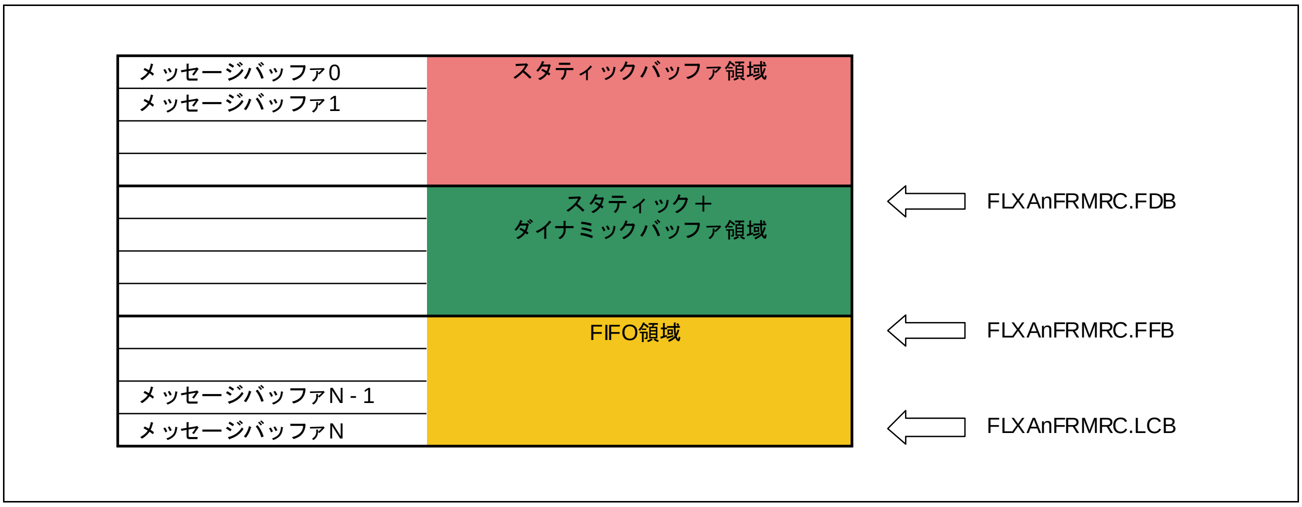


図 25.2　メッセージ RAM の構成

注　意

1. Sync ノードの場合（FLXAnFRSUCC1.TXSY＝“1”）、または SINGLE スロットモードに設定されている場合（FLXAnFRSUCC1.TSM＝“1”）、メッセージバッファ 0 および 1 は Sync フレーム用または SNGLE スロットフレーム用に確保されるので、ノード固有のキースロット ID を設定してください。Sync ノードまたは SINGLE スロットモードとして設定されていない場合、メッセージバッファ 0 および 1 は他のメッセージバッファと同様に扱われます。
2. ヘッダセクション数は最大で 128 です。したがって、最大で 128 個のメッセージバッファを設定できます。データセクションの最大長は 254 バイトです。データセクション長は、メッセージバッファごとに個別に設定できます。詳細については、「**25.3.13 メッセージ RAM**」を参照してください。

3. サイクルフィルタリングを使用することで 2 個以上のメッセージバッファをスロット 1 に割り当てる場合、それらはすべて「スタティックバッファ領域」か「スタティック＋ダイナミックバッファ領域」セクションの先頭に配置しなければなりません。
4. FlexRay プロトコル仕様では、各ノードがそれぞれのキースロットでフレームを送信する必要があります。したがって、少なくともメッセージバッファ 0 は、キースロットでの送信のため予約されます。このため、FIFO 領域に割り当てることができるメッセージバッファは最大 127 個です。ただしこの場合でも、スタティックセグメントでの送信スロットを持たず、プロトコルに一致しない設定は有効となります。
5. ペイロード長およびデータセクション長は、FLXAnFRWRHS2.PL と FLXAnFRWRHS3.DP を使用して FIFO 領域内のすべてのメッセージバッファで同じ値を設定してください。CC が DEFAULT_CONFIG 状態または CONFIG 状態以外の場合、FIFO 領域のメッセージバッファは設定変更できません。

アクセス　FLXAnFRMRC レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRMRCL、FLXAnFRMRCH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRMRCLL、FLXAnFRMRCLH、FLXAnFRMRCHL、FLXAnFRMRCHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　FLXAnFRMRC：<FLXAn_base> + 0300_H、
FLXAnFRMRCL：<FLXAn_base> + 0300_H、FLXAnFRMRCH：<FLXAn_base> + 0302_H、
FLXAnFRMRCLL：<FLXAn_base> + 0300_H、FLXAnFRMRCLH：<FLXAn_base> + 0301_H、
FLXAnFRMRCHL：<FLXAn_base> + 0302_H、FLXAnFRMRCHH：<FLXAn_base> + 0303_H

リセット後の値　$0180\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	SPLM	SEC[1:0]		LCB[7:0]							
リセット後の値	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FFB[7:0]								FDB[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.71　FLXAnFRMRC レジスタの内容

ビット位置	ビット名	機能
31～27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26	SPLM	Sync フレームペイロード Multiplex ビット 0：メッセージバッファ 0 への書き込み禁止 1：メッセージバッファ 0 および 1 への書き込み禁止
25、24	SEC[1:0]	保護バッファビット 00_B：すべてのバッファへの書き込み許可 01_B：スタティックバッファへの書き込み禁止、FIFO への書き込み禁止、送信制限 10_B：すべてのバッファへの書き込み禁止 11_B：すべてのバッファへの書き込み禁止、送信制限
23～16	LCB[7:0]	最終バッファ番号設定ビット 0～127：メッセージバッファ数は LCB＋1 128：FIFO バッファ設定なし
15～8	FFB[7:0]	FIFO バッファ先頭位置設定ビット 0：すべて FIFO バッファに設定 1～127：メッセージバッファ FFB～LCB を FIFO バッファに設定 128：メッセージバッファ設定なし

表 25.71　FLXAnFRMRC レジスタの内容

ビット位置	ビット名	機能
7〜0	FDB[7:0]	ダイナミックバッファ先頭位置設定ビット 0：スタティックセグメント用にメッセージバッファなし 1〜127：メッセージバッファ 0〜FDB−1 をスタティックセグメント用に確保 128：ダイナミックメッセージバッファなし

(1) FLXAnFRMRC.SPLM

Sync フレームペイロード Multiplex ビット

DEFAULT_CONFIG 状態または CONFIG 状態でのみ書き込み可能です。
Sync ノードの場合（FLXAnFRSUCC1 レジスタの TXSY ビットが“1”のとき）または SINGLE スロットモードに設定されている場合（TSM ビットが“1”のとき）有効です。
このビットを“1”にすると、メッセージバッファ 0 および 1 はチャネル A および B で個別のペイロードデータをもつ Sync フレーム送信専用のメッセージバッファとなります。
“0”にした場合、全設定チャネルで同一のペイロードデータをもつ Sync フレームがメッセージバッファ 0 から送信されます。メッセージバッファ 0 およびメッセージバッファ 1 用のチャネルフィルタは SPLM ビット設定に応じて選択されます。

(2) FLXAnFRMRC.SEC

保護バッファビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。
DEFAULT_CONFIG 状態、または、CONFIG 状態では、これらのビットは無効です。
一時的なロック解除については「**25.3.13.4 アクセスエラーの処理**」を参照してください。

- 00_B＝すべてのバッファに対する書き込み許可

  メッセージバッファ（<FFB）への書き込み許可

  – 【例外】ノードが Sync フレーム送信用または SINGLE スロットモードに設定されている場合、メッセージバッファ 0（SPLM ビットが“1”のときはメッセージバッファ 1 も同様）への書き込みは禁止です。

- 01_B＝スタティックバッファへの書き込み禁止、FIFO への書き込み禁止、送信制限

  メッセージバッファ（<FDB かつ≧FFB）への書き込み禁止、およびメッセージバッファ（≧FDB）のスタティックセグメントへの送信禁止

- 10_B＝すべてのバッファへの書き込み禁止

  すべてのメッセージバッファへの書き込み禁止

- 11_B＝すべてのバッファへの書き込み禁止、送信制限

  すべてのメッセージバッファへの書き込み禁止、およびメッセージバッファ（≧FDB）のスタティックセグメントへの送信禁止

(3) FLXAnFRMRC.LCB

最終バッファ番号設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。
スタティック＋ダイナミックバッファ領域が設定された場合（FLXAnFRMRC.FDB＜128）、ユーザは FLXAnFRMRC.LCB≧FLXAnFRMRC.FDB を設定しなければなりません。
FIFO 領域が設定された場合（FLXAnFRMRC.FFB＜128）、
ユーザは FLXAnFRMRC.LCB≧FLXAnFRMRC.FFB を設定しなければなりません。

(4) FLXAnFRMRC.FFB

FIFO バッファ先頭位置設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。
スタティック＋ダイナミックバッファ領域が設定された場合（FLXAnFRMRC.FDB＜128）、ユーザは FLXAnFRMRC.FFB＞FLXAnFRMRC.FDB を設定しなければなりません。

(5) FLXAnFRMRC.FDB

ダイナミックバッファ先頭位置設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。

25.2.8.2　FLXAnFRFRF — FlexRay FIFO リジェクションフィルタレジスタ

FlexRay FIFO リジェクションフィルタレジスタは、受信フレームのチャネル、フレーム ID、およびサイクルカウントと比較するユーザ指定のビットシーケンスを定義します。FlexRay FIFO リジェクションフィルタマスクレジスタとともに、FIFO のメッセージを除外するかどうかを決定します。

アクセス　FLXAnFRFRF レジスタは、32 ビット単位でリード／ライト可能です。

FLXAnFRFRFL、FLXAnFRFRFH レジスタは、16 ビット単位でリード／ライト可能です。

FLXAnFRFRFLL、FLXAnFRFRFLH、FLXAnFRFRFLH、FLXAnFRFRFHL、FLXAnFRFRFHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　FLXAnFRFRF：<FLXAn_base> + 0304_H、

FLXAnFRFRFL：<FLXAn_base> + 0304_H、FLXAnFRFRFH：<FLXAn_base> + 0306_H、

FLXAnFRFRFLL：<FLXAn_base> + 0304_H、FLXAnFRFRFLH：<FLXAn_base> + 0305_H、

FLXAnFRFRFHL：<FLXAn_base> + 0306_H、FLXAnFRFRFHH：<FLXAn_base> + 0307_H

リセット後の値　0180 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	RNF	RSS	CYF[6:0]						
リセット後の値	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	FID[10:0]											CH[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.72　FLXAnFRFRF レジスタの内容

ビット位置	ビット名	機能
31～25	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
24	RNF	Null フレームのリジェクトビット 0：Null フレームを FIFO に格納 1：全 Null フレームを除外
23	RSS	スタティックセグメントリジェクトビット 0：FIFO をスタティックセグメントにも使用 1：スタティックセグメント内のメッセージを除外
22～16	CYF[6:0]	サイクルカウンタフィルタビット サイクルカウンタフィルタ
15～13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12～2	FID[10:0]	フレーム ID フィルタビット フレーム ID フィルタ値＝0～2047
1、0	CH[1:0]	チャネルフィルタビット 00_B：チャネル A およびチャネル B で受信 01_B：チャネル B で受信 10_B：チャネル A で受信 11_B：受信禁止

(1) FLXAnFRFRF.RNF

Null フレームのリジェクトビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。
このビットが“1”の場合、受信した Null フレームは FIFO に格納されません。

(2) FLXAnFRFRF.RSS

スタティックセグメントリジェクトビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。
このビットが“1”の場合、FIFO はダイナミックセグメント中のメッセージのみに使用されます。

(3) FLXAnFRFRF.CYF

サイクルカウンタフィルタビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。
7 ビットサイクルカウンタフィルタはサイクルセットを指定し、フレーム ID フィルタとチャネルリジェクションフィルタが適用されるサイクルを決定します。このビットで設定されていないサイクルではすべての受信フレームが拒否されます。サイクルカウンタフィルタ設定の詳細は、「**25.3.8.2 サイクルカウンタフィルタリング**」を参照してください。

(4) FLXAnFRFRF.FID

フレーム ID フィルタビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。
FIFO で除外するフレーム ID を設定します。FLXAnFRFRFM レジスタの設定をすることで対応するビットを無視させることができます。FLXAnFRFRFM.MFID が 0 のときは、フレーム ID フィルタ値 0 は、除外するフレーム ID がないことを示します。

(5) FLXAnFRFRF.CH

チャネルフィルタビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。
両チャネルでの受信が設定されていれば、スタティックセグメント内で、チャネル A および B からの両フレームが同一であっても、両フレームとも FIFO に格納されます。

25.2.8.3　FLXAnFRFRFM — FlexRay FIFO リジェクションフィルタマスクレジスタ

FlexRay FIFO リジェクションフィルタマスクレジスタは、除外フィルタリングに関連するフレーム ID フィルタビットを指定します。ビットに 1 をセットすると、FLXAnFRFRF レジスタの対応するビットは除外フィルタリングに使用されません。

アクセス　FLXAnFRFRFM レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRFRFML レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRFRFMLL、FLXAnFRFRFMLH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　FLXAnFRFRFM : <FLXAn_base> + 0308_H、
FLXAnFRFRFML : <FLXAn_base> + 0308_H、
FLXAnFRFRFMLL : <FLXAn_base> + 0308_H、FLXAnFRFRFMLH : <FLXAn_base> + 0309_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	MFID[10:0]											—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 25.73　FLXAnFRFRFM レジスタの内容

ビット位置	ビット名	機能
31～13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12～2	MFID[10:0]	マスクフレーム ID フィルタビット 0 : 対応するフレーム ID フィルタビットを除外フィルタリングに使用する 1 : 対応するフレーム ID フィルタビットを無視
1、0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

(1)　FLXAnFRFRFM.MFID

マスクフレーム ID フィルタビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。

25.2.8.4 FLXAnFRFCL — FlexRay FIFO クリティカルレベルレジスタ

アクセス FLXAnFRFCL レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRFCLL レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRFCLLL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRFCL：<FLXAn_base> + 030C$_H$、
FLXAnFRFCLL：<FLXAn_base> + 030C$_H$、
FLXAnFRFCLLL：<FLXAn_base> + 030C$_H$

リセット後の値 0000 0080$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CL[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.74 FLXAnFRFCL レジスタの内容

ビット位置	ビット名	機能
31〜8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7〜0	CL[7:0]	クリティカルレベル設定ビット クリティカルレベル設定

(1) FLXAnFRFCL.CL

クリティカルレベル設定ビット

FLXAnFRCCSV レジスタの POCS ビットが DEFAULT_CONFIG 状態あるいは CONFIG 状態のときのみ、本ビットに書き込み可能です。
受信 FIFO フィルレベル（FLXAnFRFSR.RFFL）が FLXAnFRFCL.CL で設定されるクリティカルレベル以上の場合、FLXAnFRFSR.RFCL が“1”になります。
128 を超える値を設定した場合、FLXAnFRFSR.RFCL が“1”になることはありません。

25.2.9　メッセージバッファステータスレジスタ

25.2.9.1　FLXAnFRMHDS — FlexRay メッセージハンドラステータスレジスタ

アクセス　FLXAnFRMHDS レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRMHDSL レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRMHDSH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRMHDSLL レジスタは、8 ビット単位でリード／ライト可能です。
FLXAnFRMHDSLH、FLXAnFRMHDSHL、FLXAnFRMHDSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　FLXAnFRMHDS：<FLXAn_base> + 0310$_H$、
FLXAnFRMHDSL：<FLXAn_base> + 0310$_H$、FLXAnFRMHDSH：<FLXAn_base> + 0312$_H$、
FLXAnFRMHDSLL：<FLXAn_base> + 0310$_H$、FLXAnFRMHDSLH：<FLXAn_base> + 0311$_H$、
FLXAnFRMHDSHL：<FLXAn_base> + 0312$_H$、FLXAnFRMHDSHH：<FLXAn_base> + 0313$_H$

リセット後の値　0000 0080$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	MBU[6:0]							—	MBT[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	FMB[6:0]							CRAM	MFMB	FMBD	ATBF2	ATBF1	AMR	—	—
リセット後の値	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R

表 25.75　FLXAnFRMHDS レジスタの内容

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
30～24	MBU[6:0]	メッセージバッファ更新フラグ
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22～16	MBT[6:0]	メッセージバッファ送信完了フラグ
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14～8	FMB[6:0]	誤りメッセージバッファ番号フラグ
7	CRAM	内部 RAM クリアフラグ 0：CLEAR_RAMS コマンド非実行 1：CLEAR_RAMS コマンド実行中
6	MFMB	誤りメッセージバッファ複数検出フラグ 0：追加の誤りメッセージバッファなし 1：FLXAnFRMHDS.FMBD フラグが“1”のとき別の誤りメッセージバッファを検出
5	FMBD	誤りメッセージバッファ検出フラグ 0：誤りメッセージバッファなし 1：FLXAnFRMHDS.FMBD で示すメッセージバッファにパリティエラーのある誤りデータを格納
4	ATBF2	非常駐バッファ RAM B アクセスエラーフラグ 0：アクセスエラーなし 1：リード時アクセスエラー検出

表 25.75　FLXAnFRMHDS レジスタの内容

ビット位置	ビット名	機能
3	ATBF1	非常駐バッファ RAM A アクセスエラーフラグ 0：アクセスエラーなし 1：リード時アクセスエラー検出
2	AMR	メッセージ RAM アクセスエラーフラグ 0：アクセスエラーなし 1：リード時アクセスエラー検出
1、0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

(1) FLXAnFRMHDS.MBU

メッセージバッファ更新フラグ

最後に更新されたメッセージバッファ番号を表示します。FLXAnFRNDAT1～FLXAnFRNDAT4 レジスタの対応する新データ（ND）フラグ、FLXAnFRMBSC1～FLXAnFRMBSC4 レジスタの対応するメッセージバッファステータス変化（MBC）フラグの両方または一方も“1”になります。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。
CHI コマンド CLEAR_RAMS によってクリアされます。

(2) FLXAnFRMHDS.MBT

メッセージバッファ送信完了フラグ

最後にフレーム送信が成功したメッセージバッファ番号を表示します。
メッセージバッファがシングルショットモードの場合、FLXAnFRTXRQ1～FLXAnFRTXRQ4 レジスタの対応する TXR フラグは“0”になっています。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。
CHI コマンド CLEAR_RAMS によってクリアされます。

(3) FLXAnFRMHDS.FMB

誤りメッセージバッファ番号フラグ

メッセージバッファ読み出し時にアクセスエラーが発生したことを示します。
AMR フラグと FMBD フラグが“1”のときのみ有効です。
FMBD フラグが“1”のときは更新されません。
CHI コマンド CLEAR_RAMS によってクリアされます。

(4) FLXAnFRMHDS.CRAM

内部 RAM クリアフラグ

CHI コマンドの CLEAR_RAMS コマンドが実行中であることを示します。（メッセージ RAM、入力バッファ、出力バッファ、非常駐バッファすべてのビットが“0”になります）
このビットは CHI コマンド CLEAR_RAMS によってセットされます。

(5) FLXAnFRMHDS.MFMB

誤りメッセージバッファ複数検出フラグ

“0”をライトしてもフラグは変化しません。
本ビットをクリアするには“1”を書き込みます。
このビットは、FMBD フラグがセットされる間に他の誤りメッセージバッファが検出されたことを示しま

す。
CHI コマンド CLEAR_RAMS によってクリアされます。

(6) FLXAnFRMHDS.FMBD

誤りメッセージバッファ検出フラグ

“0”をライトしてもフラグは変化しません。
本ビットをクリアするには“1”を書き込みます。
このビットは、アクセスエラーによってメッセージバッファが誤りデータを格納していることを示します。
CHI コマンド CLEAR_RAMS によってクリアされます。

(7) FLXAnFRMHD.ATBF2

非常駐バッファ RAM B アクセスエラーフラグ

“0”をライトしてもフラグは変化しません。
本ビットをクリアするには“1”を書き込みます。
このビットは、非常駐バッファ RAM B 読み出し時にアクセスエラーが発生していることを示します。

注　意

本フラグが“0”から“1”になると、FLXAnFREIR レジスタの AERR ビットが“1”にセットされます。
CHI コマンド CLEAR_RAMS によってリセットされます。

(8) FLXAnFRMHD.ATBF1

非常駐バッファ RAM A アクセスエラーフラグ

“0”をライトしてもフラグは変化しません。
本ビットをクリアするには“1”を書き込みます。
このビットは、非常駐バッファ RAM A 読み出し時にアクセスエラーが発生していることを示します。

注　意

本フラグが“0”から“1”になると、FLXAnFREIR レジスタの AERR ビットが“1”にセットされます。
CHI コマンド CLEAR_RAMS によってリセットされます。

(9) FLXAnFRMHDS.AMR

メッセージ RAM アクセスエラーフラグ

“0”をライトしてもフラグは変化しません。
本ビットをクリアするには“1”を書き込みます。
このビットは、メッセージ RAM 読み出し時にアクセスエラーが発生していることを示します。

注　意

本フラグが“0”から“1”になると FLXAnFREIR レジスタの AERR フラグが“1”になります。
CHI コマンド CLEAR_RAMS によってクリアされます。

25.2.9.2　FLXAnFRLDTS — FlexRay 最終ダイナミック送信スロットレジスタ

アクセス　FLXAnFRLDTS レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFRLDTSL、FLXAnFRLDTSH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRLDTSLL、FLXAnFRLDTSLH、FLXAnFRLDTSHL、FLXAnFRLDTSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　FLXAnFRLDTS：<FLXAn_base> + 0314$_H$、
FLXAnFRLDTSL：<FLXAn_base> + 0314$_H$、FLXAnFRLDTSH：<FLXAn_base> + 0316$_H$、
FLXAnFRLDTSLL：<FLXAn_base> + 0314$_H$、FLXAnFRLDTSLH：<FLXAn_base> + 0315$_H$、
FLXAnFRLDTSHL：<FLXAn_base> + 0316$_H$、FLXAnFRLDTSHH：<FLXAn_base> + 0317$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	LDTB[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	LDTA[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.76　FLXAnFRLDTS レジスタの内容

ビット位置	ビット名	機能
31～27	予約ビット	リードした場合はリセット後の値が読めます。
26～16	LDTB[10:0]	チャネル B 最終ダイナミック送信スロットフラグ
15～11	予約ビット	リードした場合はリセット後の値が読めます。
10～0	LDTA[10:0]	チャネル A 最終ダイナミック送信スロットフラグ

(1) FLXAnFRLDTS.LDTB

チャネル B 最終ダイナミック送信スロットフラグ

ダイナミックセグメントでチャネル B から最後にフレームを送信したときのスロットカウンタ値を格納します。
ダイナミックセグメントの終了時に更新され、チャネル B のダイナミックセグメント中にフレームが送信されなかった場合、“0”になります。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。
CHI コマンド CLEAR_RAMS によってクリアされます。

(2) FLXAnFRLDTS.LDTA

チャネル A 最終ダイナミック送信スロットフラグ

ダイナミックセグメントでチャネル A から最後にフレームを送信したときのスロットカウンタ値を格納します。
ダイナミックセグメントの終了時に更新され、チャネル A のダイナミックセグメント中にフレームが送信されなかった場合、“0”になります。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。
CHI コマンド CLEAR_RAMS によってクリアされます。

25.2.9.3 FLXAnFRFSR — FlexRay FIFO ステータスレジスタ

アクセス FLXAnFRFSR レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFRFSRL レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRFSRLL、FLXAnFRFSRLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFRFSR：<FLXAn_base> + 0318_H、
FLXAnFRFSRL：<FLXAn_base> + 0318_H、
FLXAnFRFSRLL：<FLXAn_base> + 0318_H、FLXAnFRFSRLH：<FLXAn_base> + 0319_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFFL[7:0]								—	—	—	—	—	RFO	RFCL	RFNE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.77　FLXAnFRFSR レジスタの内容

ビット位置	ビット名	機能
31〜16	予約ビット	リードした場合はリセット後の値が読めます。
15〜8	RFFL[7:0]	受信 FIFO フィルレベルフラグ
7〜3	予約ビット	リードした場合はリセット後の値が読めます。
2	RFO	受信 FIFO オーバランフラグ 0：受信 FIFO オーバラン未検出 1：受信 FIFO オーバラン検出
1	RFCL	受信 FIFO クリティカルフラグ 0：クリティカルレベル未満 1：クリティカルレベル以上
0	RFNE	受信 FIFO データありフラグ 0：受信 FIFO エンプティ 1：受信 FIFO にデータあり

(1) FLXAnFRFSR.RFFL

受信 FIFO フィルレベルフラグ

未読の受信データを格納している FIFO バッファ数を表示します。最大値は 128 です。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。
CHI コマンド CLEAR_RAMS によってクリアされます。

(2) FLXAnFRFSR.RFO

受信 FIFO オーバランフラグ

受信 FIFO のオーバランが検出されると“1”になります。
受信 FIFO オーバランが起こると一番古いメッセージに最新の受信メッセージが上書きされます。また FLXAnFREIR レジスタの RFO フラグが“1”になります。
FIFO が読まれると“0”になります。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。
CHI コマンド CLEAR_RAMS によってクリアされます。

(3) FLXAnFRFSR.RFCL

受信 FIFO クリティカルフラグ

FLXAnFRFSR.RFFL の値が FLXAnFRFCL.CL に設定した値以上になると“1”になります。
FLXAnFRFSR.RFCL が“0”から“1”になると FLXAnFRSIR.RFCL ビットが“1”になり、割り込みが許可されている場合、割り込みが発生します。
FLXAnFRFSR.RFFL の値がそれ未満になると“0”になります。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。
CHI コマンド CLEAR_RAMS によってクリアされます。

(4) FLXAnFRFSR.RFNE

受信 FIFO データありフラグ

受信した有効なフレーム（データまたはリジェクションマスク設定によっては Null フレーム）が FIFO に格納されると“1”になります。さらに FLXAnFRSIR レジスタの RFNE ビットも“1”になります。
FIFO のメッセージがすべて読まれると“0”になります。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。
CHI コマンド CLEAR_RAMS によってクリアされます。

25.2.9.4　FLXAnFRMHDF ― FlexRay メッセージハンドラ制限フラグレジスタ

メッセージハンドラには、周辺バスクロック、メッセージ RAM 設定、および FlexRay バストラフィックに関していくつかの制限事項があります。ソフトウェア開発を容易にするため、このレジスタのフラグによって制限違反がわかるようになっています。

アクセス	FLXAnFRMHDF レジスタは、32 ビット単位でリード／ライト可能です。 FLXAnFRMHDFL レジスタは、16 ビット単位でリード／ライト可能です。 FLXAnFRMHDFLL、FLXAnFRMHDFLH レジスタは、8 ビット単位でリード／ライト可能です。
アドレス	FLXAnFRMHDF：<FLXAn_base> + $031C_H$、 FLXAnFRMHDFL：<FLXAn_base> + $031C_H$、 FLXAnFRMHDFLL：<FLXAn_base> + $031C_H$、FLXAnFRMHDFLH：<FLXAn_base> + $031D_H$
リセット後の値	$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	WAHP	TNSB	TNSA	TBFB	TBFA	FNFB	FNFA	SNUB	SNUA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.78　FLXAnFRMHDF レジスタの内容

ビット位置	ビット名	機能
31～9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	WAHP	ヘッダパーティションへの書き込みフラグ 0：ヘッダパーティションへの書き込みトライなし 1：ヘッダパーティションへの書き込みトライあり
7	TNSB	チャネル B への転送開始不可フラグ 0：チャネル B への転送なし 1：チャネル B への転送あり
6	TNSA	チャネル A への転送開始不可フラグ 0：チャネル A への転送なし 1：チャネル A への転送あり
5	TBFB	テンポラリバッファ B アクセス失敗フラグ 0：テンポラリバッファ B アクセス成功 1：テンポラリバッファ B アクセス失敗
4	TBFA	テンポラリバッファ A アクセス失敗フラグ 0：テンポラリバッファ A アクセス成功 1：テンポラリバッファ A アクセス失敗
3	FNFB	チャネル B 検査処理未完了フラグ 0：チャネル B で完了しなかった検査処理なし 1：チャネル B で検査処理完了せず
2	FNFA	チャネル A 検査処理未完了フラグ 0：チャネル A で完了しなかった検査処理なし 1：チャネル A で検査処理完了せず

表 25.78　FLXAnFRMHDF レジスタの内容

ビット位置	ビット名	機能
1	SNUB	チャネル B ステータス未更新フラグ 0：チャネル B のメッセージバッファステータス（FLXAnFRMBS）更新時に過負荷状態なし 1：チャネル B の FLXAnFRMBS 更新なし
0	SNUA	チャネル A ステータス未更新フラグ 0：チャネル A のメッセージバッファステータス（FLXAnFRMBS）更新時に過負荷状態なし 1：チャネル A の FLXAnFRMBS 更新なし

(1)　FLXAnFRMHDF.WAHP

ヘッダパーティションへの書き込みフラグ

“0”をライトしてもフラグは変化しません。
本ビットをクリアするには“1”を書き込みます。
DEFAULT_CONFIG 状態と CONFIG 状態を除き、メッセージバッファの誤設定により、メッセージハンドラがメッセージ RAM のヘッダパーティションにデータを書き込もうとすると“1”になります。意図しない書き込みからヘッダパーティションを保護するため、書き込み自体は実行されません。
このフラグが“0”から“1”になると FLXAnFREIR レジスタの MHF フラグが“1”になります。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。
CHI コマンド CLEAR_RAMS によってクリアされます。

(2)　FLXAnFRMHDF.TNSB

チャネル B 送信開始不可フラグ

“0”をライトしてもフラグは変化しません。
本ビットをクリアするには“1”を書き込みます。
設定されたスロットの動作ポイントで、チャネル B 上の予定された送信を開始する際メッセージハンドラの準備ができていない場合“1”になります。
このフラグが“0”から“1”になると FLXAnFREIR レジスタの MHF フラグが“1”になります。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。
CHI コマンド CLEAR_RAMS によってクリアされます。

(3)　FLXAnFRMHDF.TNSA

チャネル A 送信開始不可フラグ

“0”をライトしてもフラグは変化しません。
本ビットをクリアするには“1”を書き込みます。
設定されたスロットの動作ポイントで、チャネル A 上の予定された送信を開始する際メッセージハンドラの準備ができていない場合“1”になります。
このフラグが“0”から“1”になると FLXAnFREIR レジスタの MHF フラグが“1”になります。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。
CHI コマンド CLEAR_RAMS によってクリアされます。

(4) FLXAnFRMHDF.TBFB

テンポラリバッファ B アクセス失敗フラグ

“0”をライトしてもフラグは変化しません。
本ビットをクリアするには“1”を書き込みます。
プロトコルコントローラ（PRT）B が要求するテンポラリバッファ B への読み出しまたは書き込みが所定の時間内に完了しなかった場合“1”になります。
このフラグが“0”から“1”になると FLXAnFREIR レジスタの MHF フラグが“1”になります。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。
CHI コマンド CLEAR_RAMS によってクリアされます。

(5) FLXAnFRMHDF.TBFA

テンポラリバッファ A アクセス失敗フラグ

“0”をライトしてもフラグは変化しません。
本ビットをクリアするには“1”を書き込みます。
プロトコルコントローラ（PRT）A が要求するテンポラリバッファ A への読み出しまたは書き込みが所定の時間内に完了しなかった場合“1”になります。
このフラグが“0”から“1”になると FLXAnFREIR レジスタの MHF フラグが“1”になります。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。
CHI コマンド CLEAR_RAMS によってクリアされます。

(6) FLXAnFRMHDF.FNFB

チャネル B 検査処理未完了フラグ

“0”をライトしてもフラグは変化しません。
本ビットをクリアするには“1”を書き込みます。
メッセージハンドラが、過負荷のために検査処理（メッセージ RAM をスキャンして、一致するメッセージバッファを探すこと）を完了できなかったときに“1”になります。
このフラグが“0”から“1”になると FLXAnFREIR レジスタの MHF フラグが“1”になります。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。
CHI コマンド CLEAR_RAMS によってクリアされます。

(7) FLXAnFRMHDF.FNFA

チャネル A 検査処理未完了フラグ

“0”をライトしてもフラグは変化しません。
本ビットをクリアするには“1”を書き込みます。
メッセージハンドラが、過負荷のために検査処理（メッセージ RAM をスキャンして、一致するメッセージバッファを探すこと）を完了できなかったときに“1”になります。
このフラグが“0”から“1”になると FLXAnFREIR レジスタの MHF フラグが“1”になります。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。
CHI コマンド CLEAR_RAMS によってクリアされます。

(8) FLXAnFRMHDF.SNUB

チャネル B ステータス未更新フラグ

“0”をライトしてもフラグは変化しません。
本ビットをクリアするには“1”を書き込みます。
メッセージハンドラが、過負荷のためにメッセージバッファステータス（FLXAnFRMBS）を更新できなかったときに“1”になります。
このフラグが“0”から“1”になると FLXAnFREIR レジスタの MHF フラグが“1”になります。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。
CHI コマンド CLEAR_RAMS によってクリアされます。

(9) FLXAnFRMHDF.SNUA

チャネル A ステータス未更新フラグ

“0”をライトしてもフラグは変化しません。
本ビットをクリアするには“1”を書き込みます。
メッセージハンドラが、過負荷のためにメッセージバッファステータス（FLXAnFRMBS）を更新できなかったときに“1”になります。
このフラグが“0”から“1”になると FLXAnFREIR レジスタの MHF フラグが“1”になります。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。
CHI コマンド CLEAR_RAMS によってクリアされます。

25.2.9.5　FLXAnFRTXRQi — FlexRay 送信要求レジスタ i（i＝1〜4）

この 4 つのレジスタは、全メッセージバッファの TXR フラグの状態を示します。フラグは、送信バッファに対してのみ有効です。メッセージバッファ数が 128 個未満の場合、使用していない TXR フラグは無効です。

アクセス　FLXAnFRTXRQi レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFRTXRQiL、FLXAnFRTXRQiH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRTXRQiLL、FLXAnFRTXRQiLH、FLXAnFRTXRQiHL、FLXAnFRTXRQiHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　FLXAnFRTXRQi：<FLXAn_base> + 0320$_H$ + (i – 1) × 4$_H$、
FLXAnFRTXRQiL：<FLXAn_base> + 0320$_H$ + (i – 1) × 4$_H$、
FLXAnFRTXRQiH：<FLXAn_base> + 0320$_H$ + (i – 1) × 4$_H$ + 2$_H$、
FLXAnFRTXRQiLL：<FLXAn_base> + 0320$_H$ + (i – 1) × 4$_H$、
FLXAnFRTXRQiLH：<FLXAn_base> + 0320$_H$ + (i – 1) × 4$_H$ + 1$_H$、
FLXAnFRTXRQiHL：<FLXAn_base> + 0320$_H$ + (i – 1) × 4$_H$ + 2$_H$、
FLXAnFRTXRQiHH：<FLXAn_base> + 0320$_H$ + (i – 1) × 4$_H$ + 3$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TXRo (o＝(i – 1) × 32 + 31 〜 (i – 1) × 32 + 16)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXRo (o＝(i – 1) × 32 + 15 〜 (i – 1) × 32 + 0)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.79　FLXAnFRTXRQi レジスタの内容

ビット位置	ビット名	機能
31〜0	TXRo	送信要求フラグ o

(1)　FLXAnFRTXRQi.TXRo (o＝(i – 1) × 32 〜 i × 32 – 1)

送信要求フラグ o

このビットが“1”のとき対応するメッセージバッファの送信準備ができている、または送信中であることを示します。
シングルショットモードでは送信完了後“0”になります。
CHI コマンド CLEAR_RAMS によってクリアされます。

25.2.9.6　FLXAnFRNDATi — FlexRay 新データ レジスタ i（i＝1～4）

この 4 つのレジスタは、全メッセージバッファの ND フラグの状態を示します。送信バッファの ND フラグは無効です。メッセージバッファ数が 128 個未満の場合、使用していない ND フラグは無効です。

アクセス　FLXAnFRNDATi レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFRNDATiL、FLXAnFRNDATiH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRNDATiLL、FLXAnFRNDATiLH、FLXAnFRNDATiHL、FLXAnFRNDATiHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　FLXAnFRNDATi：<FLXAn_base> + 0330$_H$ + (i – 1) × 4$_H$、
FLXAnFRNDATiL：<FLXAn_base> + 0330$_H$ + (i – 1) × 4$_H$、
FLXAnFRNDATiH：<FLXAn_base> + 0330$_H$ + (i – 1) × 4$_H$ + 2$_H$、
FLXAnFRNDATiLL：<FLXAn_base> + 0330$_H$ + (i – 1) × 4$_H$、
FLXAnFRNDATiLH：<FLXAn_base> + 0330$_H$ + (i – 1) × 4$_H$ + 1$_H$、
FLXAnFRNDATiHL：<FLXAn_base> + 0330$_H$ + (i – 1) × 4$_H$ + 2$_H$、
FLXAnFRNDATiHH：<FLXAn_base> + 0330$_H$ + (i – 1) × 4$_H$ + 3$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NDm (m＝(i – 1) × 32 + 31 ～ (i – 1) × 32 + 16)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NDm (m＝(i – 1) × 32 + 15 ～ (i – 1) × 32 + 0)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.80　FLXAnFRNDATi レジスタの内容

ビット位置	ビット名	機能
31～0	NDm	新データフラグ m

(1) FLXAnFRNDATi.NDm (m＝(i – 1) × 32 ～ i × 32 – 1)

新データフラグ m

有効な受信データフレームが、メッセージバッファのフィルタ設定に合致していたとき“1”になります。
このとき、メッセージバッファで受信したペイロード長や、設定したペイロード長には依存しません。
受信 FIFO に設定しているメッセージバッファを除いて、Null フレームを受信した場合は“1”になりません。
新データ（ND）フラグは、対応するメッセージバッファのヘッダセクションの設定が変更されるか、データセクションが出力バッファに転送されたとき“0”になります。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。
CHI コマンド CLEAR_RAMS によってクリアされます。

25.2.9.7 FLXAnFRMBSCi — FlexRay メッセージバッファステータス変化レジスタ i（i＝1～4）

この 4 つのレジスタは、全メッセージバッファの MBC フラグの状態を示します。メッセージバッファ数が 128 個未満の場合、使用していない MBC フラグは無効です。

アクセス FLXAnFRMBSCi レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFRMBSCiL、FLXAnFRMBSCiH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRMBSCiLL、FLXAnFRMBSCiLH、FLXAnFRMBSCiHL、FLXAnFRMBSCiHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFRMBSCi：<FLXAn_base> + 0340_H + (i – 1) × 4_H、
FLXAnFRMBSCiL：<FLXAn_base> + 0340_H + (i – 1) × 4_H、
FLXAnFRMBSCiH：<FLXAn_base> + 0340_H + (i – 1) × 4_H + 2_H、
FLXAnFRMBSCiLL：<FLXAn_base> + 0340_H + (i – 1) × 4_H、
FLXAnFRMBSCiLH：<FLXAn_base> + 0340_H+ (i – 1) × 4_H + 1_H、
FLXAnFRMBSCiHL：<FLXAn_base> + 0340_H + (i – 1) × 4_H + 2_H、
FLXAnFRMBSCiHH：<FLXAn_base> + 0340_H + (i – 1) × 4_H + 3_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MBCm (m＝(i – 1) × 32 + 31 ～ (i – 1) × 32 + 16)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MBCm (m＝(i – 1) × 32+ 15 ～ (i – 1) × 32 + 0)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.81 FLXAnFRMBSCi レジスタの内容

ビット位置	ビット名	機能
31～0	MBCm	メッセージバッファステータス変更フラグ m

(1) FLXAnFRMBSCi.MBCm (m＝(i – 1) × 32 ～ i × 32 – 1)

メッセージバッファステータス変更フラグ m

メッセージバッファのヘッダセクション（「**25.2.11.5 FLXAnFRMBS — FlexRay メッセージバッファステータスレジスタ**」および「**25.3.13.1 ヘッダパーティション**」を参照）に関するステータスフラグ（VFRA, VFRB, SEOA, SEOB, CEOA, CEOB, SVOA, SVOB, TCIA, TCIB, ESA, ESB, MLST, FTA, FTB）の変更の有無を表示します。
MBC フラグは、対応するメッセージバッファのヘッダセクションの設定が変更されるか OBF への転送が完了すると“0”になります。
CONFIG 状態を抜けるか STARTUP 状態に入るとクリアされます。
CHI コマンド CLEAR_RAMS によってクリアされます。

25.2.10　入力バッファ

入力バッファ（IBF）は、IBF ホストと IBF シャドウの 2 段バッファ構成になっています。CPU からの書き込みアクセスは IBF ホストへ、メッセージ RAM への転送は IBF シャドウから行います。IBF は、メッセージ RAM 内の選択されたメッセージバッファに転送されるヘッダセクションとデータセクションを保持します。IBF は、メッセージ RAM 内のメッセージバッファの設定と送信バッファのデータセクションの更新に使用されます。

メッセージ RAM 内のメッセージバッファのヘッダセクションを IBF から更新すると、「**25.2.11.5 FLXAnFRMBS — FlexRay メッセージバッファステータスレジスタ**」章に記載の FlexRay メッセージバッファステータスは自動的に“0”になります。

受信 FIFO に設定したメッセージバッファのヘッダセクションを設定または変更できるのは、CC が DEFAULT_CONFIG 状態または CONFIG 状態の場合のみです。これらのメッセージバッファには、FLXAnFRWRHS2.PLC、および FLXAnFRWRHS3.DP により、ペイロード長およびデータポインタだけが設定できます。アクセプタンスフィルタリングに必要な情報はすべて、FIFO リジェクションフィルタレジスタおよび FIFO リジェクションフィルタマスクレジスタから取り出されます。

入力バッファ（IBF）とメッセージ RAM 間のデータ転送については、「**25.3.12.1 メッセージバッファの設定変更**」で詳しく説明しています。

「**25.3.16.1 入力データ転送**」に示す入力データ転送機能を使用するとき、および FLXAnFRITS レジスタの ITS ビットが“1”のときは、これらのレジスタに書き込むことはできません。

25.2.10.1 FLXAnFRWRDSx — FlexRay データセクションライトレジスタ x（x＝1～64）

指定したメッセージバッファのデータセクションへ転送するデータワードを保持します。メッセージ RAM に書き込まれるデータワード数は、FLXAnFRWRHS2 レジスタの PLC ビットに設定されたペイロード長によって定義されます。

アクセス FLXAnFRWRDSx レジスタは、32 ビット単位でリード／ライト可能です。

FLXAnFRWRDSxL、FLXAnFRWRDSxH レジスタは、16 ビット単位でリード／ライト可能です。

FLXAnFRWRDSxLL、FLXAnFRWRDSxLH、FLXAnFRWRDSxHL、FLXAnFRWRDSxHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRWRDSx：<FLXAn_base> + 0400_H + (x – 1) × 4_H、

FLXAnFRWRDSxL：<FLXAn_base> + 0400_H + (x – 1) × 4_H、

FLXAnFRWRDSxH：<FLXAn_base> + 0400_H + (x – 1) × 4_H + 2_H、

FLXAnFRWRDSxLL：<FLXAn_base> + 0400_H + (x – 1) × 4_H、

FLXAnFRWRDSxLH：<FLXAn_base> + 0400_H + (x – 1) × 4_H + 1_H、

FLXAnFRWRDSxHL：<FLXAn_base> + 0400_H + (x – 1) × 4_H + 2_H、

FLXAnFRWRDSxHH：<FLXAn_base> + 0400_H + (x – 1) × 4_H + 3_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MD[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MD[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.82 FLXAnFRWRDSx レジスタの内容

ビット位置	ビット名	機能
31～0	MD[31:0]	メッセージデータビット

(1) FLXAnFRWRDSx.MD

メッセージデータビット

メッセージデータのバイトアライメントについては、「**25.3.17 バイトアライメント**」を参照してください。

注 意

1. FLXAnFRWRHS2 レジスタの PLC ビットが奇数ペイロード長を指定している場合、残りのメッセージデータバイトは使用されません。
2. FLXAnFRWRDSx にライトする場合、入力バッファからメッセージ RAM への転送を始める前に、各 32 ビットワードを、1 つの 32 ビットアクセス、連続した 2 つの 16 ビットアクセス、または連続した 4 つの 8 ビットアクセスにより、一杯しておく必要があります。32 ビットワードの全バイトがホスト（8 ビットアクセス、または 16 ビットアクセスのみ）によりライトされていない場合、FLXAnFRWRDSx は、部分的に不定なデータを保持します。CHI コマンド CLEAR_RAMS でリセットしてください。

25.2.10.2　FLXAnFRWRHS1 — FlexRay ヘッダセクションライトレジスタ 1

アクセス　FLXAnFRWRHS1 レジスタは、32 ビット単位でリード／ライト可能です。

FLXAnFRWRHS1L、FLXAnFRWRHS1H レジスタは、16 ビット単位でリード／ライト可能です。

FLXAnFRWRHS1LL、FLXAnFRWRHS1LH、FLXAnFRWRHS1HL、FLXAnFRWRHS1HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　FLXAnFRWRHS1：<FLXAn_base> + 0500$_H$、

FLXAnFRWRHS1L：<FLXAn_base> + 0500$_H$、FLXAnFRWRHS1H：<FLXAn_base> + 0502$_H$、

FLXAnFRWRHS1LL：<FLXAn_base> + 0500$_H$、FLXAnFRWRHS1LH：<FLXAn_base> + 0501$_H$、

FLXAnFRWRHS1HL：<FLXAn_base> + 0502$_H$、FLXAnFRWRHS1HH：<FLXAn_base> + 0503$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	MBI	TXM	PPIT	CFG	CH[1:0]		—	CYC[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	FID[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.83　FLXAnFRWRHS1 レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
29	MBI	メッセージバッファ割り込み許可ビット 0：メッセージバッファ割り込み禁止 1：メッセージバッファ割り込み許可
28	TXM	送信モード設定ビット 0：連続送信モード 1：シングルショットモード
27	PPIT	ペイロードプリアンブルインジケータ送信ビット 0：PPI ビットを“0”にする 1：PPI ビットを“1”にする
26	CFG	メッセージバッファ方向設定ビット 0：受信バッファに設定 1：送信バッファに設定
25、24	CH[1:0]	チャネルフィルタ制御ビット
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22～16	CYC[6:0]	サイクルコード設定ビット
15～11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10～0	FID[10:0]	フレーム ID 設定ビット

(1) FLXAnFRWRHS1.MBI

メッセージバッファ割り込み許可ビット

メッセージバッファ割り込みを許可します。
メッセージハンドラによって受信バッファが更新されると、FLXAnFRSIR レジスタの RXI ビットまたは／および MBSI ビットが“1”になります。また、メッセージバッファからのフレーム送信が完了したとき FLXAnFRSIR レジスタの TXI ビットが“1”になります。

(2) FLXAnFRWRHS1.TXM

送信モード設定ビット

対応するメッセージバッファの送信モードを選択します。送信モードについては、「**25.3.9.3 送信バッファ**」を参照してください。

(3) FLXAnFRWRHS1.PPIT

ペイロードプリアンブルインジケータ送信ビット

対応するメッセージバッファの送信フレームのペイロードプリアンブルインジケータの状態を制御します。
スタティックメッセージバッファでこのビットを“1”にすると、対応するメッセージバッファにネットワーク管理情報が含まれます。
ダイナミックメッセージバッファでこのビットを“1”にすると、ペイロードセグメントの最初の 2 バイトが受信側のメッセージ ID フィルタリングに使用されます。本 FlexRay モジュールでは、メッセージ ID フィルタリングはサポートしていませんが、CPU でサポートすることができます。

(4) FLXAnFRWRHS1.CFG

メッセージバッファ方向設定ビット

対応するバッファを、送信バッファまたは受信バッファとして設定します。受信 FIFO に設定したメッセージバッファについては、このビットは無効です。
データパーティションの先頭に 32 ビット以上の未使用領域を配置しない場合は、ヘッダパーティション（の最終バッファ）直後に配置するメッセージバッファのデータセクションは、このビットを“1”にセットすることにより、送信バッファとして設定してください。

(5) FLXAnFRWRHS1.CH

チャネルフィルタ制御ビット

各バッファに割り当てられている 2 ビットのチャネルフィルタリングフィールドは、受信バッファにはフィルタとして、送信バッファには制御フィールドとして使えます。

CH[1:0]	送信バッファ　フレーム送信	受信バッファ　受信したフレームを格納
00_B	送信禁止	受信フレームを無視する
01_B	チャネル A	チャネル A
10_B	チャネル B	チャネル B
11_B	両チャネル （スタティックセグメントのみ）	チャネル A または B（最初に受信した有効なフレームをメッセージバッファへ格納、スタティックセグメントのみ）

注　意

メッセージバッファがダイナミックセグメントに設定されており、かつチャネルフィルタリングフィールドの両方ビットが“1”に設定されている場合、フレームの送受信は行われません（CH＝“00_B”にしたのと同じ機能になります）。

(6) FLXAnFRWRHS1.CYC

サイクルコード設定ビット

サイクルカウンタフィルタリングで使用するサイクルセットを定義する 7 ビットのサイクルコードを設定します。
サイクルコードの設定に関する詳細は「**25.3.8.2 サイクルカウンタフィルタリング**」を参照してください。

(7) FLXAnFRWRHS1.FID

フレーム ID 設定ビット

選択したメッセージバッファのフレーム ID を設定します。フレーム ID は、それぞれのメッセージを送受信するためのスロット番号です。
フレーム ID に“0”を設定したメッセージバッファは無効となります。

25.2.10.3　FLXAnFRWRHS2 — FlexRay ヘッダセクションライトレジスタ 2

アクセス　FLXAnFRWRHS2 レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRWRHS2L、FLXAnFRWRHS2H レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRWRHS2LL、FLXAnFRWRHS2LH、FLXAnFRWRHS2HL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　FLXAnFRWRHS2：<FLXAn_base> + 0504_H、
FLXAnFRWRHS2L：<FLXAn_base> + 0504_H、FLXAnFRWRHS2H：<FLXAn_base> + 0506_H、
FLXAnFRWRHS2LL：<FLXAn_base> + 0504_H、FLXAnFRWRHS2LH：<FLXAn_base> + 0505_H、
FLXAnFRWRHS2HL：<FLXAn_base> + 0506_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	PLC[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	CRC[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.84　FLXAnFRWRHS2 レジスタの内容

ビット位置	ビット名	機能
31～23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22～16	PLC[6:0]	ペイロード長設定ビット
15～11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10～0	CRC[10:0]	ヘッダ CRC 設定ビット（vRF!Header!HeaderCRC） 受信バッファ：設定不要 送信バッファ：ヘッダ CRC を設定

(1)　FLXAnFRWRHS2.PLC

ペイロード長設定ビット

ペイロード長（データセクションの長さ）を 2 バイト単位で設定します。
スタティックセグメントでは、FLXAnFRMHDC.SFDL で設定したスタティックフレームのペイロード長により全スタティックフレームのペイロード長が決定します。FLXAnFRWRHS2.PLC で設定したペイロード長がこの値より短い場合、適切な物理長になるようパディングバイトが追加されます。パディングバイトの内容は“0000_H”です（「**25.3.9.3　送信バッファ**」参照）。

(2)　FLXAnFRWRHS2.CRC

ヘッダ CRC 設定ビット（vRF!Header!HeaderCRC）

受信バッファの設定は必要ありません。
メッセージバッファの送信には、ヘッダ CRC の計算と設定が必要になります。
ヘッダ CRC の計算では、送信フレームのペイロード長を考慮する必要があります。スタティックセグメントでは全フレームのペイロード長を FLXAnFRMHDC.SFDL で設定します。

25.2.10.4　FLXAnFRWRHS3 — FlexRay ヘッダセクションライトレジスタ 3

アクセス　FLXAnFRWRHS3 レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRWRHS3L レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRWRHS3LL、FLXAnFRWRHS3LH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　FLXAnFRWRHS3 : <FLXAn_base> + 0508H、
FLXAnFRWRHS3L : <FLXAn_base> + 0508H、
FLXAnFRWRHS3LL : <FLXAn_base> + 0508H、FLXAnFRWRHS3LH : <FLXAn_base> + 0509H

リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	DP[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.85　FLXAnFRWRHS3 レジスタの内容

ビット位置	ビット名	機能
31～11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10～0	DP[10:0]	データポインタ設定ビット

(1)　FLXAnFRWRHS3.DP

データポインタ設定ビット

メッセージ RAM 内のメッセージバッファのデータセクションの最初の 32 ビットワードの位置を設定します。

25.2.10.5　FLXAnFRIBCM ― FlexRay 入力バッファコマンドマスクレジスタ

FLXAnFRIBCR レジスタで選択したメッセージ RAM 内のメッセージバッファの更新方法を設定します。IBF ホストと IBF シャドウが切り替わるとき、LHSH、LDSH、STXRH ビットと LHSS、LDSS、STXRS ビットもそれぞれ切り替わります。

アクセス	FLXAnFRIBCM レジスタは、32 ビット単位でリード／ライト可能です。 FLXAnFRIBCML レジスタは、16 ビット単位でリード／ライト可能です。 FLXAnFRIBCMH レジスタは、16 ビット単位でリードのみ可能です。 FLXAnFRIBCMLL レジスタは、8 ビット単位でリード／ライト可能です。 FLXAnFRIBCMHL レジスタは、8 ビット単位でリードのみ可能です。
アドレス	FLXAnFRIBCM：<FLXAn_base> + 0510H、 FLXAnFRIBCML：<FLXAn_base> + 0510H、FLXAnFRIBCMH：<FLXAn_base> + 0512H、 FLXAnFRIBCMLL：<FLXAn_base> + 0510H、FLXAnFRIBCMHL：<FLXAn_base> + 0512H
リセット後の値	0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	STXRS	LDSS	LHSS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	STXRH	LDSH	LHSH
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 25.86　FLXAnFRIBCM レジスタの内容

ビット位置	ビット名	機能
31～19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
18	STXRS	送信要求シャドウ設定フラグ 0：TXR フラグを“0”に設定 1：TXR フラグを“1”に設定し、送信予約（転送中または転送完了）
17	LDSS	データセクションシャドウロードフラグ 0：データセクションを更新しない 1：データセクションを転送する（転送中または転送完了）
16	LHSS	ヘッダセクションシャドウロードフラグ 0：ヘッダセクションを更新しない 1：ヘッダセクションを転送する（転送中または転送完了）
15～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	STXRH	送信要求ホスト設定ビット 0：TXR フラグを“0”に設定 1：TXR フラグを“1”に設定し、送信予約
1	LDSH	データセクションホストロード設定ビット 0：データセクションを更新しない 1：データセクションを転送する
0	LHSH	ヘッダセクションホストロード設定ビット 0：ヘッダセクションを更新しない 1：ヘッダセクションを転送する

(1) FLXAnFRIBCM.STXRS

送信要求シャドウ設定フラグ

(2) FLXAnFRIBCM.LDSS

データセクションシャドウロードフラグ

(3) FLXAnFRIBCM.LHSS

ヘッダセクションシャドウロードフラグ

(4) FLXAnFRIBCM.STXRH

送信要求ホスト設定ビット

このビットが"1"に設定されている場合、選択されたメッセージバッファの TXR フラグが FLXAnFRTXRQ1～FLXAnFRTXRQ4 レジスタ内で"1"に設定され、そのメッセージバッファは送信バッファとして設定可能になります。シングルショットモードでは、送信完了後にクリアされます。
TXR は、送信バッファに対してのみ有効です。

(5) FLXAnFRIBCM.LDSH

データセクションホストロード設定ビット

(6) FLXAnFRIBCM.LHSH

ヘッダセクションホストロード設定ビット

25.2.10.6 FLXAnFRIBCR — FlexRay 入力バッファコマンド要求レジスタ

CPU が転送先であるメッセージ RAM のメッセージバッファ番号を FLXAnFRIBCR.IBRH に書き込むと、IBF ホストと IBF シャドウが切り替わります。また FLXAnFRIBCR.IBRH と FLXAnFRIBCR.IBRS に格納されているメッセージ番号も切り替わります。（「**25.3.12.2(1) 入力バッファからメッセージ RAM へのデータ転送**」を参照）。

この書き込みにより、FLXAnFRIBCR.IBSYS が“1”にセットされます。次に、メッセージハンドラにより IBF シャドウの内容が FLXAnFRIBCR.IBRS で選択されたメッセージ RAM のメッセージバッファに転送されます。

転送中 IBF ホストに次のメッセージを書き込むことができます。IBF シャドウとメッセージ RAM 間の転送が完了すると、FLXAnFRIBCR.IBSYS は再び“0”になり、FLXAnFRIBCR.IBRH に次のメッセージバッファ番号が書込まれると次のデータ転送が始まります。

FLXAnFRIBCR.IBSYS が“1”のときに FLXAnFRIBCR.IBRH へ書き込もうとすると、FLXAnFRIBCR.IBSYH が“1”にセットされます。データ転送が完了すると IBF ホストと IBF シャドウが切り替わり、FLXAnFRIBCR.IBSYH は“0”にクリアされます。

FLXAnFRIBCR.IBSYS は“1”のまま、次の転送が始まります。また FLXAnFRIBCR.IBRH および FLXAnFRIBCR.IBRS に格納されているメッセージバッファ番号も入れ替わります。

FLXAnFRIBCR.IBSYS および FLXAnFRIBCR.IBSYH が“1”のときに IBF レジスタへ書き込もうとすると、FLXAnFREIR.IIBA フラグ（エラーフラグ）が“1”にセットされます。この場合、書き込みは影響せず、IBF は切り替わりません。

アクセス FLXAnFRIBCR レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRIBCRL レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRIBCRH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRIBCRLL レジスタは、8 ビット単位でリード／ライト可能です。
FLXAnFRIBCRLH、FLXAnFRIBCRHL、FLXAnFRIBCRHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFRIBCR：<FLXAn_base> + 0514_H、
FLXAnFRIBCRL：<FLXAn_base> + 0514_H、FLXAnFRIBCRH：<FLXAn_base> + 0516_H、
FLXAnFRIBCRLL：<FLXAn_base> + 0514_H、FLXAnFRIBCRLH：<FLXAn_base> + 0515_H、
FLXAnFRIBCRHL：<FLXAn_base> + 0516_H、FLXAnFRIBCRHH：<FLXAn_base> + 0517_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IBSYS	—	—	—	—	—	—	—	—	IBRS[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IBSYH	—	—	—	—	—	—	—	—	IBRH[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.87 FLXAnFRIBCR レジスタの内容

ビット位置	ビット名	機能
31	IBSYS	入力バッファビジーシャドウフラグ 0：IBF シャドウからメッセージ RAM へ転送完了 1：IBF シャドウからメッセージ RAM へ転送中

表 25.87　FLXAnFRIBCR レジスタの内容

ビット位置	ビット名	機能
30～23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22～16	IBRS[6:0]	入力バッファ要求シャドウフラグ
15	IBSYH	入力バッファビジーホストフラグ 0：保留中の転送要求なし 1：IBF シャドウからメッセージ RAM への転送中に次の転送要求あり
14～7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6～0	IBRH[6:0]	入力バッファ要求ホストビット

(1) FLXAnFRIBCR.IBSYS

入力バッファビジーシャドウフラグ

FLXAnFRIBCR.IBRH への書き込みの後に“1”にセットされます。
IBF シャドウとメッセージ RAM 間の転送が進行中であることを示します。
IBF シャドウとメッセージ RAM 間の転送が完了すると“0”にクリアされます。

(2) FLXAnFRIBCR.IBRS

入力バッファ要求シャドウフラグ

更新中もしくは最後に更新した転送先メッセージバッファ番号を保存します。

(3) FLXAnFRIBCR.IBSYH

入力バッファビジーホストフラグ

FLXAnFRIBCR.IBSYS が“1”のときに FLXAnFRIBCR.IBRH への書き込みを行うと“1”にセットされます。
IBF シャドウとメッセージ RAM 間の転送が進行中であることを示します。
IBF シャドウとメッセージ RAM 間の転送が完了すると“0”にクリアされます。

(4) FLXAnFRIBCR.IBRH

入力バッファ要求ホストビット

入力バッファからデータを転送するためのメッセージ RAM 中のターゲットメッセージバッファを選択します。

25.2.11　出力バッファ

出力バッファ（OBF）は、OBF ホストと OBF シャドウの 2 段バッファ構成になっており、メッセージ RAM からメッセージバッファのデータを読み出すのに使用します。CPU による読み出しは OBF ホストから、メッセージハンドラによるメッセージ RAM からの転送は OBF シャドウから行います。「**25.3.12.2(2) メッセージ RAM から出力バッファへのデータ転送**」に OBF とメッセージ RAM 間の転送について詳しく説明しています。

「**25.3.16.2 出力データ転送**」に示す出力データ転送機能を使用するとき、および FLXAnFROTS レジスタの OTS ビットが“1”のときは、これらのレジスタに書き込むことはできません。

25.2.11.1　FLXAnFRRDDSx — FlexRay データセクションリードレジスタ x（x＝1～64）

指定したメッセージバッファのデータセクションから読み出されたデータワードを保持します。メッセージ RAM から読み出されるデータワード数は、FLXAnFRRDHS2 レジスタの PLC ビットに設定されたペイロード長によって定義されます。

アクセス　FLXAnFRRDDSx レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFRRDDSxL、FLXAnFRRDDSxH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRRDDSxLL、FLXAnFRRDDSxLH、FLXAnFRRDDSxHL、FLXAnFRRDDSxHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　FLXAnFRRDDSx：<FLXAn_base> + 0600$_H$ + (x – 1) × 4$_H$、
FLXAnFRRDDSxL：<FLXAn_base> + 0600$_H$ + (x – 1) × 4$_H$、
FLXAnFRRDDSxH：<FLXAn_base> + 0600$_H$ + (x – 1) × 4$_H$ + 2$_H$、
FLXAnFRRDDSxLL：<FLXAn_base> + 0600$_H$ + (x – 1) × 4$_H$、
FLXAnFRRDDSxLH：<FLXAn_base> + 0600$_H$ + (x – 1) × 4$_H$ + 1$_H$、
FLXAnFRRDDSxHL：<FLXAn_base> + 0600$_H$ + (x – 1) × 4$_H$ + 2$_H$、
FLXAnFRRDDSxHH：<FLXAn_base> + 0600$_H$ + (x – 1) × 4$_H$ + 3$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MD[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MD[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.88　FLXAnFRRDDSx レジスタの内容

ビット位置	ビット名	機能
31～0	MD[31:0]	メッセージデータフラグ

(1) FLXAnFRRDDSx.MD

メッセージデータフラグ

メッセージデータのバイトアライメントについては、「**25.3.17 バイトアライメント**」を参照してください。

注　意

FLXAnFRWRHS2 レジスタの PLC ビットが奇数ペイロード長を指定している場合、残りのメッセージデータバイトは使用されません。
CHI コマンド CLEAR_RAMS によってクリアされます。

25.2.11.2　FLXAnFRRDHS1 — FlexRay ヘッダセクションリードレジスタ 1

アクセス　FLXAnFRRDHS1 レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFRRDHS1L、FLXAnFRRDHS1H レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRRDHS1LL、FLXAnFRRDHS1LH、FLXAnFRRDHS1HL、FLXAnFRRDHS1HH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　FLXAnFRRDHS1：<FLXAn_base> + 0700_H、
FLXAnFRRDHS1L：<FLXAn_base> + 0700_H、FLXAnFRRDHS1H：<FLXAn_base> + 0702_H、
FLXAnFRRDHS1LL：<FLXAn_base> + 0700_H、FLXAnFRRDHS1LH：<FLXAn_base> + 0701_H、
FLXAnFRRDHS1HL：<FLXAn_base> + 0702_H、FLXAnFRRDHS1HH：<FLXAn_base> + 0703_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	MBI	TXM	PPIT	CFG	CH[1:0]		—	CYC[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	FID[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.89　FLXAnFRRDHS1 レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。
29	MBI	メッセージバッファ割り込み許可フラグ
28	TXM	送信モードフラグ
27	PPIT	ペイロードプリアンブルインジケータ送信フラグ
26	CFG	メッセージバッファ方向設定フラグ
25、24	CH[1:0]	チャネルフィルタ制御フラグ
23	予約ビット	リードした場合はリセット後の値が読めます。
22～16	CYC[6:0]	サイクルコード
15～11	予約ビット	リードした場合はリセット後の値が読めます。
10～0	FID[10:0]	フレーム ID

(1)　FLXAnFRRDHS1.MBI

メッセージバッファ割り込み許可フラグ

FLXAnFRWRHS1 レジスタの MBI ビットを使用して設定した値です。
受信 FIFO に設定したメッセージ RAM からメッセージバッファに読み出した場合、本ビットは“0”になります。

(2)　FLXAnFRRDHS1.TXM

送信モードフラグ

FLXAnFRWRHS1 レジスタの TXM ビットを使用して設定した値です。
受信 FIFO に設定したメッセージ RAM からメッセージバッファに読み出した場合、本ビットは“0”になります。

(3) FLXAnFRRDHS1.PPIT

ペイロードプリアンブルインジケータ送信フラグ

FLXAnFRWRHS1 レジスタの PPIT ビットを使用して設定した値です。
受信 FIFO に設定したメッセージ RAM からメッセージバッファに読み出した場合、本ビットは“0”になります。

(4) FLXAnFRRDHS1.CFG

メッセージバッファ方向設定フラグ

FLXAnFRWRHS1 レジスタの CFG ビットを使用して設定した値です。
受信 FIFO に設定したメッセージ RAM からメッセージバッファに読み出した場合、本ビットは“0”になります。

(5) FLXAnFRRDHS1.CH

チャネルフィルタ制御フラグ

FLXAnFRWRHS1 レジスタの CH ビットを使用して設定した値です。
受信 FIFO に設定したメッセージ RAM からメッセージバッファに読み出した場合、本ビットは“0”になります。

(6) FLXAnFRRDHS1.CYC

サイクルコード

FLXAnFRWRHS1 レジスタの CYC ビットを使用して設定した値です。
受信 FIFO に設定したメッセージ RAM からメッセージバッファに読み出した場合、本ビットは“0”になります。

(7) FLXAnFRRDHS1.FID

フレーム ID

FLXAnFRWRHS1 レジスタの FID ビットを使用して設定した値です。
受信 FIFO に設定したメッセージ RAM からメッセージバッファに読み出した場合、本ビットは受信フレーム ID を保持します。

25.2.11.3　FLXAnFRRDHS2 ― FlexRay ヘッダセクションリードレジスタ 2

注　意

スタティックバッファ領域、またはスタティックバッファ＋ダイナミックバッファ領域に属するメッセージバッファに対しては、FLXAnFRRDHS2 はデータフレームからのみ更新されます。

アクセス　FLXAnFRRDHS2 レジスタは、32 ビット単位でリードのみ可能です。

FLXAnFRRDHS2L、FLXAnFRRDHS2H レジスタは、16 ビット単位でリードのみ可能です。

FLXAnFRRDHS2LL、FLXAnFRRDHS2LH、FLXAnFRRDHS2HL、FLXAnFRRDHS2HH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　FLXAnFRRDHS2：<FLXAn_base> + 0704$_{H}$、

FLXAnFRRDHS2L：<FLXAn_base> + 0704$_{H}$、FLXAnFRRDHS2H：<FLXAn_base> + 0706$_{H}$、

FLXAnFRRDHS2LL：<FLXAn_base> + 0704$_{H}$、FLXAnFRRDHS2LH：<FLXAn_base> + 0705$_{H}$、

FLXAnFRRDHS2HL：<FLXAn_base> + 0706$_{H}$、FLXAnFRRDHS2HH：<FLXAn_base> + 0707$_{H}$

リセット後の値　0000 0000$_{H}$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	PLR[6:0]							—	PLC[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	CRC[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.90　FLXAnFRRDHS2 レジスタの内容

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。
30～24	PLR[6:0]	受信フレームペイロード長フラグ（vRF!Header!Length）
23	予約ビット	リードした場合はリセット後の値が読めます。
22～16	PLC[6:0]	設定ペイロード長フラグ
15～11	予約ビット	リードした場合はリセット後の値が読めます。
10～0	CRC[10:0]	ヘッダ CRC フラグ（vRF!Header!HeaderCRC）

(1) FLXAnFRRDHS2.PLR

受信フレームペイロード長フラグ（vRF!Header!Length）

受信したデータフレームにより更新されたペイロード長（vRF!Header!Length）が読めます。
（例外：受信 FIFO に設定したメッセージバッファでは、Null フレームを受信しても更新されます。）

(2) FLXAnFRRDHS2.PLC

設定ペイロード長フラグ

設定したデータセクションの長さ（2 バイトワードの数）が読めます。

(3) FLXAnFRRDHS2.CRC

ヘッダ CRC フラグ（vRF!Header!HeaderCRC）

受信バッファ時：受信したデータフレームのヘッダ CRC（vRF!Header!HeaderCRC）が読めます。
送信バッファ時：設定したヘッダ CRC が読めます。

(4) Data Storage

メッセージがメッセージバッファに格納される場合、受信したペイロード長と設定したペイロード長に関連して次の処理が実行されます。

- FLXAnFRRDHS2.PLR＞FLXAnFRRDHS2.PLC：

  メッセージバッファに格納されるペイロードデータは、FLXAnFRRDHS2.PLC が偶数の場合は FLXAnFRRDHS2.PLC のサイズ、奇数の場合は FLXAnFRRDHS2.PLC＋1 のサイズに切り詰められます。

- FLXAnFRRDHS2.PLR≦FLXAnFRRDHS2.PLC：

  受信したペイロードデータはメッセージバッファのデータセクションに格納されます。
  FLXAnFRRDHS2.PLC で定義されたデータセクションの残りのデータバイトには不定値が入ります。

- FLXAnFRRDHS2.PLR＝0：

  メッセージバッファのデータセクションにはすべて不定値が入ります。

- FLXAnFRRDHS2.PLC＝0：

  メッセージバッファにデータセクションが構成されません。メッセージバッファのデータセクションにデータは格納されません。

注　意

1. メッセージ RAM は 4 バイトワード単位で構成されます。受信データがメッセージバッファのデータセクションに格納される場合、メッセージバッファに書き込まれる 2 バイトのデータワード数は次の偶数値に丸められた FLXAnFRRDHS2.PLC の値になります。
2. 受信 FIFO に設定されたメッセージバッファの FLXAnFRRDHS2.PLC の値はすべて同じ値にしてください。
   スタティックバッファ領域、またはスタティックバッファ＋ダイナミックバッファ領域に属するメッセージバッファに対しては、FLXAnFRRDHS2 はデータフレームからのみ更新されます。

25.2.11.4　FLXAnFRRDHS3 ― FlexRay ヘッダセクションリードレジスタ 3

注　意

スタティックバッファ領域、またはスタティックバッファ＋ダイナミックバッファ領域に属するメッセージバッファに対しては、FLXAnFRRDHS3 はデータフレームからのみ更新されます。

アクセス　FLXAnFRRDHS3 レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFRRDHS3L、FLXAnFRRDHS3H レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRRDHS3LL、FLXAnFRRDHS3LH、FLXAnFRRDHS3HL、FLXAnFRRDHS3HH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　FLXAnFRRDHS3 : <FLXAn_base> + 0708_H、
FLXAnFRRDHS3L : <FLXAn_base> + 0708_H、FLXAnFRRDHS3H : <FLXAn_base> + $070A_H$、
FLXAnFRRDHS3LL : <FLXAn_base> + 0708_H、FLXAnFRRDHS3LH : <FLXAn_base> + 0709_H、
FLXAnFRRDHS3HL : <FLXAn_base> + $070A_H$、FLXAnFRRDHS3HH : <FLXAn_base> + $070B_H$

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	RES	PPI	NFI	SYN	SFI	RCI	—	—	RCC[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	DP[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.91　FLXAnFRRDHS3 レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。
29	RES	リザーブビット表示フラグ（vRF!Header!Reserved）
28	PPI	ペイロードプリアンブルインジケータフラグ（vRF!Header!PPIndicator）
27	NFI	Null フレームインジケータフラグ（vRF!Header!NFIndicator） 0：現在まで、該当メッセージバッファにデータフレームは格納されていません。 1：少なくとも 1 つのデータフレームが該当メッセージバッファに格納されています。
26	SYN	Sync フレームインジケータフラグ（vRF!Header!SyFIndicator） 0：受信フレームは非 sync フレーム 1：受信フレームは sync フレーム
25	SFI	Startup フレームインジケータフラグ（vRF!Header!SuFIndicator） 0：受信フレームは非 Startup フレーム 1：受信フレームは Startup フレーム
24	RCI	受信チャネルインジケータフラグ（vSS!Channel） 0：チャネル B でフレーム受信 1：チャネル A でフレーム受信
23、22	予約ビット	リードした場合はリセット後の値が読めます。
21～16	RCC[5:0]	受信サイクルカウンタ（vRF!Header!CycleCount）
15～11	予約ビット	リードした場合はリセット後の値が読めます。
10～0	DP[10:0]	データポインタフラグ

(1) FLXAnFRRDHS3.RES

予約ビット表示フラグ（vRF!Header!Reserved）

受信フレームのヘッダにある予約ビットの値が読めます。予約ビットは“0”で送信されます。

(2) FLXAnFRRDHS3.PPI

ペイロードプリアンブルインジケータフラグ（vRF!Header!PPIndicator）

受信フレームのペイロードセグメントに NM ベクタまたはメッセージ ID が含まれるかどうかを定義します。

- 0＝受信フレームのペイロードセグメントに NM ベクタもメッセージ ID も含まない
- 1＝スタティックセグメントの場合：ペイロードの先頭部分に NM ベクタを含む
  ダイナミックセグメントの場合：ペイロードの先頭部分にメッセージ ID を含む

(3) FLXAnFRRDHS3.NFI

Null フレームインジケータフラグ（vRF!Header!NFIndicator）

最初に受信したデータフレームを格納すると、“1”に設定されます。

(4) FLXAnFRRDHS3.SYN

Sync フレームインジケータフラグ（vRF!Header!SyFIndicator）

Sync フレームインジケータで Sync フレームを表示します。

(5) FLXAnFRRDHS3.SFI

Startup フレームインジケータフラグ（vRF!Header!SuFIndicator）

Startup フレームインジケータで Startup フレームを表示します。

(6) FLXAnFRRDHS3.RCI

受信チャネルインジケータフラグ（vSS!Channel）

受信バッファを更新するための受信データフレームのチャネルを表示します。

(7) FLXAnFRRDHS3.RCC

受信サイクルカウンタ（vRF!Header!CycleCount）

受信データフレームによって更新されたサイクルカウンタ値が読めます。

(8) FLXAnFRRDHS3.DP

データポインタフラグ

メッセージ RAM 内のメッセージバッファのデータセクションの最初の 32 ビットワードの位置を示します。
FLXAnFRWRHS3 レジスタの DP ビットに設定された値です。

25.2.11.5 FLXAnFRMBS — FlexRay メッセージバッファステータスレジスタ

FlexRay メッセージバッファステータスは、メッセージバッファに割り当てられたスロットの終了時にチャネルの最新状態に更新されます。

フラグは、CC が NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態の場合にのみ更新されます。

チャネル A かチャネル B のいずれか一方だけがメッセージバッファに割り当てられている場合、割り当てられていないチャネルだけに関連するステータスフラグは "0" になります。両方のチャネルがメッセージバッファに割り当てられている場合、両方のチャネルのフラグが更新されます。

FlexRay メッセージバッファステータスは、スロットカウンタが設定したフレーム ID に到達し、サイクルカウンタフィルタが一致した場合のみ更新されます。CPU が入力バッファを介してメッセージバッファを更新すると、FLXAnFRIBCM レジスタの設定に関係なく、FLXAnFRMBS レジスタのフラグはすべて "0" になります。

送受信フィルタリングの詳細については、「**25.3.8 フィルタリングとマスキング**」、「**25.3.9 送信プロセス**」および「**25.3.10 受信プロセス**」を参照してください。

FLXAnFRMBS.VFRA, FLXAnFRMBS.VFRB, FLXAnFRMBS.SEOA, FLXAnFRMBS.SEOB, FLXAnFRMBS.CEOA, FLXAnFRMBS.CEOB, FLXAnFRMBS.SVOA, FLXAnFRMBS.SVOB, FLXAnFRMBS.TCIA, FLXAnFRMBS.TCIB, FLXAnFRMBS.ESA, FLXAnFRMBS.ESB, FLXAnFRMBS.MLST, FLXAnFRMBS.FTA, FLXAnFRMBS.FTB フラグのいずれかが変化すると、FLXAnFRMBSC1～FLXAnFRMBSC4 レジスタの対応するメッセージバッファの MBC フラグがセットされます。

アクセス FLXAnFRMBS レジスタは、32 ビット単位でリードのみ可能です。

FLXAnFRMBSL、FLXAnFRMBSH レジスタは、16 ビット単位でリードのみ可能です。

FLXAnFRMBSLL、FLXAnFRMBSLH、FLXAnFRMBSHL、FLXAnFRMBSHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス FLXAnFRMBS：<FLXAn_base> + $070C_H$、

FLXAnFRMBSL：<FLXAn_base> + $070C_H$、FLXAnFRMBSH：<FLXAn_base> + $070E_H$、

FLXAnFRMBSLL：<FLXAn_base> + $070C_H$、FLXAnFRMBSLH：<FLXAn_base> + $070D_H$、

FLXAnFRMBSHL：<FLXAn_base> + $070E_H$、FLXAnFRMBSHH：<FLXAn_base> + $070F_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	RESS	PPIS	NFIS	SYNS	SFIS	RCIS	—	—	CCS[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FTB	FTA	—	MLST	ESB	ESA	TCIB	TCIA	SVOB	SVOA	CEOB	CEOA	SEOB	SEOA	VFRB	VFRA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.92 FLXAnFRMBS レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。
29	RESS	予約ビットステータスフラグ（vRF!Header!Reserved）
28	PPIS	ペイロードプリアンブルインジケータステータスフラグ（vRF!Header!PPIndicator） 0：PP インジケータは "0" にセット 1：PPI インジケータは "1" にセット

表 25.92 FLXAnFRMBS レジスタの内容

ビット位置	ビット名	機能
27	NFIS	Null フレームインジケータステータスフラグ（vRF!Header!NFIndicator） 0：受信フレームは Null フレーム 1：受信フレームは非 Null フレーム
26	SYNS	Sync フレームインジケータステータスフラグ（vRF!Header!SyFIndicator） 0：Sync フレームを受信せず 1：受信フレームは Sync フレーム
25	SFIS	Startup フレームインジケータステータスフラグ（vRF!Header!SuFIndicator） 0：Startup フレームを受信せず 1：受信フレームは Startup フレーム
24	RCIS	受信チャネル表示ステータスフラグ（vSS!Channel） 0：チャネル B でフレーム受信 1：チャネル A でフレーム受信
23、22	予約ビット	リードした場合はリセット後の値が読めます。
21～16	CCS[5:0]	サイクルカウントステータスフラグ
15	FTB	チャネル B フレーム送信フラグ 0：チャネル B でデータフレーム送信せず 1：チャネル B でデータフレーム送信
14	FTA	チャネル A フレーム送信フラグ 0：チャネル A でデータフレーム送信せず 1：チャネル A でデータフレーム送信
13	予約ビット	リードした場合はリセット後の値が読めます。
12	MLST	メッセージロストフラグ 0：メッセージロストなし 1：受信バッファのフレームを読む前に次のフレームが上書きされた
11	ESB	チャネル B エンプティスロットフラグ 0：チャネル B で割り当てられたスロットではバスがアイドル状態でない 1：チャネル B で割り当てられたスロットではバスがアイドル状態である
10	ESA	チャネル A エンプティスロットフラグ 0：チャネル A で割り当てられたスロットではバスがアイドル状態でない 1：チャネル A で割り当てられたスロットではバスがアイドル状態である
9	TCIB	チャネル B 送信競合検出フラグ（vSS!TxConflictB） 0：チャネル B で送信競合を検出せず 1：チャネル B で送信競合を検出
8	TCIA	チャネル A 送信競合検出フラグ（vSS!TxConflictA） 0：チャネル A で送信競合を検出せず 1：チャネル A で送信競合を検出
7	SVOB	チャネル B スロット境界違反フラグ（vSS!BViolationB） 0：チャネル B でスロット境界違反を検出せず 1：チャネル B でスロット境界違反検出
6	SVOA	チャネル A スロット境界違反フラグ（vSS!BViolationA） 0：チャネル A でスロット境界違反を検出せず 1：チャネル A でスロット境界違反検出
5	CEOB	チャネル B コンテンツエラーフラグ（vSS!ContentErrorB） 0：チャネル B でコンテンツエラーを検出せず 1：チャネル B でコンテンツエラーを検出
4	CEOA	チャネル A コンテンツエラーフラグ（vSS!ContentErrorA） 0：チャネル A でコンテンツエラーを検出せず 1：チャネル A でコンテンツエラーを検出
3	SEOB	チャネル B シンタックスエラーフラグ（vSS!SyntaxErrorB） 0：チャネル B でシンタックスエラーを検出せず 1：チャネル B でシンタックスエラーを検出

表 25.92　FLXAnFRMBS レジスタの内容

ビット位置	ビット名	機能
2	SEOA	チャネル A シンタックスエラーフラグ（vSS!SyntaxErrorA） 0：チャネル A でシンタックスエラーを検出せず 1：チャネル A でシンタックスエラーを検出
1	VFRB	チャネル B 受信有効フレームフラグ（vSS!ValidFrameB） 0：チャネル B で有効フレーム受信せず 1：チャネル B で有効フレームを受信
0	VFRA	チャネル A 受信有効フレームフラグ（vSS!ValidFrameA） 0：チャネル A で有効フレーム受信せず 1：チャネル A で有効フレームを受信

(1) FLXAnFRMBS.RESS

予約ビットステータスフラグ（vRF!Header!Reserved）

受信フレームのヘッダにある予約ビットの値が読めます。
予約ビットは“0”で送信されます。
受信バッファ（FLXAnFRWRHS1.CFG＝“0”）に関しては、有効なデータフレームおよび Null フレームにより、本ビットは更新されます。有効なフレームを受信しなかった場合、前の値が保持されます。送信バッファに関しては、これらのフラグは意味を持たないため、無視されます。

(2) FLXAnFRMBS.PPIS

ペイロードプリアンブルインジケータステータスフラグ（vRF!Header!PPIndicator）

受信フレームのペイロードセグメントに NM ベクタまたはメッセージ ID が含まれるかどうかを定義します。
受信バッファ（FLXAnFRWRHS1.CFG＝“0”）に関しては、有効なデータフレームおよび Null フレームにより、本ビットは更新されます。有効なフレームを受信しなかった場合、前の値が保持されます。送信バッファに関しては、これらのフラグは意味を持たないため、無視されます。

- 0＝PP インジケータは“0”にセット

  受信フレームのペイロードセグメントに NM ベクタもメッセージ ID も含まない

- 1＝PPI インジケータは“1”にセット

  スタティックセグメントの場合：ペイロードの先頭部分に NM ベクタを含む
  ダイナミックセグメントの場合：ペイロードの先頭部分にメッセージ ID を含む

(3) FLXAnFRMBS.NFIS

Null フレームインジケータステータスフラグ（vRF!Header!NFIndicator）

“0”の場合、受信フレームのペイロードセグメントのデータは無効です。
受信バッファ（FLXAnFRWRHS1.CFG＝“0”）に関しては、有効なデータフレームおよび Null フレームにより、本ビットは更新されます。有効なフレームを受信しなかった場合、前の値が保持されます。送信バッファに関しては、これらのフラグは意味を持たないため、無視されます。

(4) FLXAnFRMBS.SYNS

Sync フレームインジケータステータスフラグ（vRF!Header!SyFIndicator）

Sync フレームインジケータで Sync フレームを表示します。
受信バッファ（FLXAnFRWRHS1.CFG＝“0”）に関しては、有効なデータフレームおよび Null フレームにより、本ビットは更新されます。有効なフレームを受信しなかった場合、前の値が保持されます。送信バッファに関しては、これらのフラグは意味を持たないため、無視されます。

(5) FLXAnFRMBS.SFIS

Startup フレームインジケータステータスフラグ（vRF!Header!SuFIndicator）

Startup フレームインジケータで Startup フレームを表示します。
受信バッファ（FLXAnFRWRHS1.CFG＝“0”）に関しては、有効なデータフレームおよび Null フレームにより、本ビットは更新されます。有効なフレームを受信しなかった場合、前の値が保持されます。送信バッファに関しては、これらのフラグは意味を持たないため、無視されます。

(6) FLXAnFRMBS.RCIS

受信チャネル表示ステータスフラグ（vSS!Channel）

フレームを受信したチャネルを表示します。
受信バッファ（FLXAnFRWRHS1.CFG＝“0”）に関しては、有効なデータフレームおよび Null フレームにより、本ビットは更新されます。有効なフレームを受信しなかった場合、前の値が保持されます。送信バッファに関しては、これらのフラグは意味を持たないため、無視されます。

(7) FLXAnFRMBS.CCS

サイクルカウントステータスフラグ

ステータスが更新されたときのサイクルカウンタ値が読めます。

(8) FLXAnFRMBS.FTB

チャネル B フレーム送信フラグ

チャネル B にデータフレームを送信したことを示します。

注　意

CPU のみが FLXAnFRMBS.FTB をクリアすることができます。したがって、本ビットが“1”に設定されるサイクルでサイクルカウントステータス（FLXAnFRMBS.CCS）のみが有効です。

(9) FLXAnFRMBS.FTA

チャネル A フレーム送信フラグ

チャネル A にデータフレームを送信したことを示します。

注　意

CPU のみが FLXAnFRMBS.FTA をクリアすることができます。したがって、本ビットが“1”に設定されるサイクルでサイクルカウントステータス（FLXAnFRMBS.CCS）のみが有効です。

(10) FLXAnFRMBS.MLST

メッセージロストフラグ

CPU がメッセージデータを読む前に、受信したデータフレームによってメッセージバッファが上書きされたとき"1"になります。
受信 FIFO に設定したメッセージバッファを除き、Null フレームの受信による影響はありません。入力バッファを介してメッセージバッファに書き込みを行うか、出力バッファを介してメッセージを読み出すことで ND ビットが"0"になった後、新しいメッセージがメッセージバッファに格納されると、このフラグは"0"になります。

(11) FLXAnFRMBS.ESB

チャネル B エンプティスロットフラグ

エンプティスロットでは、バスがアイドル状態、つまり、フレーム送信が検出されていないことを意味します。この状態は、スタティックスロットおよびダイナミックスロットでチェックされます。

(12) FLXAnFRMBS.ESA

チャネル A エンプティスロットフラグ

エンプティスロットでは、バスがアイドル状態、つまり、フレーム送信が検出されていないことを意味します。この状態は、スタティックスロットおよびダイナミックスロットでチェックされます。

(13) FLXAnFRMBS.TCIB

チャネル B 送信競合検出フラグ（vSS!TxConflictB）

送信競合がチャネル B で検出されたときに、"1"に設定されます。

(14) FLXAnFRMBS.TCIA

チャネル A 送信競合検出フラグ（vSS!TxConflictA）

送信競合がチャネル A で検出されたときに、"1"に設定されます。

(15) FLXAnFRMBS.SVOB

チャネル B スロット境界違反フラグ（vSS!BViolationB）

スロット境界違反（設定されたスロットの開始もしくは終了においてチャネルがアクティブであること）がチャネル B に割り当てられたスロットで検出されたことを示します。

(16) FLXAnFRMBS.SVOA

チャネル A スロット境界違反フラグ（vSS!BViolationA）

スロット境界違反（設定されたスロットの開始もしくは終了においてチャネルがアクティブであること）がチャネル A に割り当てられたスロットで検出されたことを示します。

(17) FLXAnFRMBS.CEOB

チャネル B コンテンツエラーフラグ（vSS!ContentErrorB）

チャネル B に割り当てられたスロットでコンテンツエラーが検出されたことを示します。

(18) FLXAnFRMBS.CEOA

チャネル A コンテンツエラーフラグ（vSS!ContentErrorA）

チャネル A に割り当てられたスロットでコンテンツエラーが検出されたことを示します。

(19) FLXAnFRMBS.SEOB

チャネル B シンタックスエラーフラグ（vSS!SyntaxErrorB）

チャネル B に割り当てられたスロットでシンタックスエラーが検出されたことを示します。

(20) FLXAnFRMBS.SEOA

チャネル A シンタックスエラーフラグ（vSS!SyntaxErrorA）

チャネル A に割り当てられたスロットでシンタックスエラーが検出されたことを示します。

(21) FLXAnFRMBS.VFRB

チャネル B 受信有効フレームフラグ（vSS!ValidFrameB）

チャネル B で有効フレームが受信されたときに“1”に設定されます。

(22) FLXAnFRMBS.VFRA

チャネル A 受信有効フレームフラグ（vSS!ValidFrameA）

チャネル A で有効フレームが受信されたときに“1”に設定されます。

25.2.11.6　FLXAnFROBCM ― FlexRay 出力バッファコマンドマスクレジスタ

FLXAnFROBCR レジスタの OBRS ビットで選択したメッセージ RAM 内のメッセージバッファによる出力バッファの更新方法を設定します。

FLXAnFROBCR レジスタの REQ ビットによりメッセージ RAM 転送が要求されると、RDSS ビットおよび RHSS ビットの内容が内部メモリにコピーされます。

OBF ホストと OBF シャドウが切り替わるとき、RDSH ビットおよび RHSH ビットの値が、それぞれの出力バッファ転送を維持したまま内部メモリの値と切り替わります。

出力バッファとメッセージ RAM 間のデータ転送についての詳細は、「**25.3.12.2(2) メッセージ RAM から出力バッファへのデータ転送**」を参照してください。

注　意

ヘッダセクションがメッセージ RAM から OBF シャドウに転送された後、FLXAnFRMBSC1～FLXAnFRMBSC4 レジスタの選択されたメッセージバッファの FlexRay メッセージバッファステータス変化フラグ（MBC）がクリアされます。
データセクションがメッセージ RAM から OBF シャドウに転送された後、FLXAnFRNDAT1～FLXAnFRNDAT4 レジスタの選択されたメッセージバッファの新データフラグ（ND）がクリアされます。

アクセス　FLXAnFROBCM レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFROBCML レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFROBCMH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFROBCMLL レジスタは、8 ビット単位でリード／ライト可能です。
FLXAnFROBCMHL レジスタは、8 ビット単位でリードのみ可能です。

アドレス　FLXAnFROBCM：<FLXAn_base> + 0710$_H$、
FLXAnFROBCML：<FLXAn_base> + 0710$_H$、FLXAnFROBCMH：<FLXAn_base> + 0712$_H$、
FLXAnFROBCMLL：<FLXAn_base> + 0710$_H$、FLXAnFROBCMHL：<FLXAn_base> + 0712$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RDSH	RHSH
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RDSS	RHSS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 25.93　FLXAnFROBCM レジスタの内容

ビット位置	ビット名	機能
31～18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
17	RDSH	データセクションホスト読み出しフラグ 0：データセクションを読み出さない 1：データセクションをメッセージ RAM から出力バッファへ転送する
16	RHSH	ヘッダセクションホスト読み出しフラグ 0：ヘッダセクションを読み出さない 1：ヘッダセクションをメッセージ RAM から出力バッファへ転送する

表 25.93 FLXAnFROBCM レジスタの内容

ビット位置	ビット名	機能
15～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	RDSS	データセクションシャドウ読み出しビット 0：データセクションを読み出さない 1：データセクションをメッセージ RAM から出力バッファへ転送する
0	RHSS	ヘッダセクションシャドウ読み出しビット 0：ヘッダセクションを読み出さない 1：ヘッダセクションをメッセージ RAM から出力バッファへ転送する

(1) FLXAnFROBCM.RDSH

データセクションホスト読み出しフラグ

(2) FLXAnFROBCM.RHSH

ヘッダセクションホスト読み出しフラグ

(3) FLXAnFROBCM.RDSS

データセクションシャドウ読み出しビット

(4) FLXAnFROBCM.RHSS

ヘッダセクションシャドウ読み出しビット

25.2.11.7 FLXAnFROBCR ― FlexRay 出力バッファコマンド要求レジスタ

FLXAnFROBCR.OBSYS ビットが“0”のときに FLXAnFROBCR.REQ ビットに“1”を書き込むと、FLXAnFROBCR.OBSYS ビットが自動的に“1”にセットされます。また、FLXAnFROBCR.OBRS ビットの値は内部メモリにコピーされ、FLXAnFROBCM.RDSS ビットおよび FLXAnFROBCM.RHSS ビットの値は FLXAnFROBCM レジスタの内部メモリにコピーされます。さらに、FLXAnFROBCR.OBRS ビットで選択されたメッセージバッファのメッセージ RAM から OBF シャドウへの転送が始まります。転送が完了すると、FLXAnFROBCM.OBSYS ビットを“0”に戻すことで完了が通知されます。

FLXAnFROBCR.OBSYS ビットが“0”のときに FLXAnFROBCR.VIEW ビットを“1”にセットすると、OBF ホストと OBF シャドウが切り替わります。同時に、FLXAnFROBCM.RDSH ビットおよび FLXAnFROBCM.RHSH ビットの値が、それぞれの出力バッファ転送を維持したまま FLXAnFROBCM レジスタの内部メモリの値と切り替わります。アクセスが可能なメッセージバッファ番号は FLXAnFROBCR.OBRH により示されます。

FLXAnFROBCR.OBSYS ビットが“0”のときに FLXAnFROBCR.REQ ビットと FLXAnFROBCR.VIEW ビットに同時に“1”を書き込むと、FLXAnFROBCR.OBSYS ビットが自動的に“1”にセットされ、OBF シャドウと OBF ホストが切り替わります。同時に、FLXAnFROBCM.RDSH ビットおよび FLXAnFROBCM.RHSH ビットの値が、それぞれの出力バッファ転送を維持したまま FLXAnFROBCM レジスタの内部メモリの値と切り替わります。その後、FLXAnFROBCR.OBRS ビットの値は内部メモリにコピーされ、選択されたメッセージバッファのメッセージ RAM から OBF シャドウへの転送が始まります。転送している間、CPU は前回転送されたメッセージバッファを OBF ホストから読み出すことができます。メッセージ RAM と OBF シャドウ間の最新の転送が完了すると、FLXAnFROBCR.OBSYS ビットを“0”に戻すことで完了が通知されます。

FLXAnFROBCR.OBSYS ビットが“1”のとき FLXAnFROBCR[15:8]へ書き込もうとすると、FLXAnFREIR レジスタの IOBA ビットが“1”にセットされます。この場合、書き込みは影響せず、OBF は切り替わりません。

出力バッファとメッセージ RAM 間のデータ転送についての詳細は、「**25.3.12.2(2) メッセージ RAM から出力バッファへのデータ転送**」を参照してください。

アクセス　FLXAnFROBCR レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFROBCRL レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFROBCRH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFROBCRLL、FLXAnFROBCRLH レジスタは、8 ビット単位でリード／ライト可能です。
FLXAnFROBCRHL レジスタは、8 ビット単位でリードのみ可能です。

アドレス　FLXAnFROBCR：<FLXAn_base> + 0714_H、
FLXAnFROBCRL：<FLXAn_base> + 0714_H、FLXAnFROBCRH：<FLXAn_base> + 0716_H、
FLXAnFROBCRLL：<FLXAn_base> + 0714_H、FLXAnFROBCRLH：<FLXAn_base> + 0715_H、
FLXAnFROBCRHL：<FLXAn_base> + 0716_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	OBRH[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OBSYS	—	—	—	—	—	REQ	VIEW	—	OBRS[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.94　FLXAnFROBCR レジスタの内容

ビット位置	ビット名	機能
31～23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22～16	OBRH[6:0]	OBF ホスト転送要求フラグ
15	OBSYS	OBF シャドウビジーフラグ 0：実行中の転送なし 1：メッセージ RAM から OBF シャドウへの転送中
14～10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	REQ	メッセージ RAM 転送要求ビット 0：要求なし 1：OBF シャドウへの転送を要求あり
8	VIEW	シャドウバッファ・ホストバッファ切り替えビット 0：切り替えなし 1：OBF シャドウと OBF ホストを切り替える
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6～0	OBRS[6:0]	OBF シャドウ転送要求ビット

(1)　FLXAnFROBCR.OBRH

OBF ホスト転送要求フラグ

FLXAnFRRDHS1～FLXAnFRRDHS3、FLXAnFRMBS、FLXAnFRRDDS1～FLXAnFRRDDS64 を経由して、現在、アクセスが可能なメッセージバッファ番号を示します。
FLXAnFROBCR.VIEW へ“1”を書き込むと、OBF ホストが切り替わり、転送されたメッセージバッファはアクセス可能となります。

(2) FLXAnFROBCR.OBSYS

OBF シャドウビジーフラグ

FLXAnFROBCR.REQ ビットに“1”を書くと、“1”になります。メッセージ RAM から OBF シャドウへの転送が完了すると、“0”になります。

(3) FLXAnFROBCR.REQ

メッセージ RAM 転送要求ビット

FLXAnFROBCR.OBSYS が“0”の間のみ書き込み可能です。
FLXAnFROBCR.OBRS によって指定されたメッセージバッファをメッセージ RAM から OBF シャドウへ転送します。

(4) FLXAnFROBCR.VIEW

シャドウバッファ・ホストバッファ切り替えビット

FLXAnFROBCR.OBSYS が“0”の間のみ書き込み可能です。
OBF シャドウと OBF ホストを切り替えます。

(5) FLXAnFROBCR.OBRS

OBF シャドウ転送要求ビット

FLXAnFROBCR.OBSYS が“0”の間のみ書き込み可能です。
メッセージ RAM から OBF シャドウに転送する際の転送元メッセージバッファ番号を示します。
受信 FIFO の先頭のメッセージバッファ番号をこのレジスタに書いた場合、GET Index（GIDX、「**25.3.11 FIFO 機能**」参照）で示されるメッセージバッファが OBF シャドウに転送されます。

25.2.12 データ転送制御レジスタ

25.2.12.1 FLXAnFRITC ― FlexRay 入力転送設定レジスタ

アクセス FLXAnFRITC レジスタは、32 ビット単位でリード／ライト可能です。

FLXAnFRITCL、FLXAnFRITCH レジスタは、16 ビット単位でリード／ライト可能です。

FLXAnFRITCLL、FLXAnFRITCLH、FLXAnFRITCHL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRITC：<FLXAn_base> + 0800_H、

FLXAnFRITCL：<FLXAn_base> + 0800_H、FLXAnFRITCH：<FLXAn_base> + 0802_H、

FLXAnFRITCLL：<FLXAn_base> + 0800_H、FLXAnFRITCLH：<FLXAn_base> + 0801_H、

FLXAnFRITCHL：<FLXAn_base> + 0802_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	ITM[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	IQEIE	IQFIE	—	—	—	—	—	—	IQHR	ITE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

表 25.95 FLXAnFRITC レジスタの内容

ビット位置	ビット名	機能
31～23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22～16	ITM[6:0]	入力キューテーブル最大値ビット 入力バッファハンドラが入力キューに保持可能な、入力ポインタテーブル内のエントリ数を設定します。
15～10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	IQEIE	入力キューエンプティ割り込み可能ビット 0：割り込み不可 1：割り込み可能
8	IQFIE	入力キューフル割り込み可能ビット 0：割り込み不可 1：割り込み可能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	IQHR	入力キュー停止要求ビット 0：入力キュー動作要求 1：入力キュー停止要求
0	ITE	入力転送可能ビット 0：転送不可要求 1：転送可能要求

(1) FLXAnFRITC.ITM

入力キューテーブル最大値ビット

FLXAnFRITS レジスタの ITS ビットが"0"の場合のみ書き込み可能です。
入力バッファハンドラが入力キューに保持可能な、入力ポインタテーブル内のエントリ数を設定します。
有効値：00_H（1 キューエントリ）～$7F_H$（128 キューエントリ）
各エントリは入力ポインタテーブルに 2 ロングワード必要です。

(2) FLXAnFRITC.IQEIE

入力キューエンプティ割り込み可能ビット

入力キューエンプティ割り込みを制御します。

- 0：割り込み不可

  割り込み要求されず、入力キューエンプティ割り込みラインは解放されます。

- 1：割り込み可能

  FLXAnFRITS レジスタの IQEIS ビットが"1"の場合、入力キューエンプティ割り込みが発行されます。

(3) FLXAnFRITC.IQFIE

入力キューフル割り込み可能ビット

入力キューフル割り込みを制御します。

- 0：割り込み不可

  割り込み要求されず、入力キューフル割り込みラインは解放されます。

- 1：割り込み可能

  FLXAnFRITS レジスタの IQEIS ビットが"1"の場合、入力キューフル割り込みが発行されます。

(4) FLXAnFRITC.IQHR

入力キュー停止要求ビット

FLXAnFRITS レジスタの ITS ビットが"0"の場合、"1"にセットすることはできません。
入力キューの停止を要求します。
停止要求の状態は FLXAnFRITS レジスタの IQH ビットで見ることができます。
本ビットの使用法については「**25.3.16.1(5) 入力キューの停止**」を参照してください。

- 0：入力キュー動作要求

  入力キューは動作します。

- 1：入力キュー停止要求

  入力キューは停止します。動作中の入力転送は完了しますが、以降の転送は行われません。

(5) FLXAnFRITC.ITE

入力転送可能ビット

FLXAnFRIBCR.IBSYS が“0”の場合のみ“1”にセットできます。
FLXAnFRITC.IQHR が“0”の場合のみ“0”にセットできます。それ以外では入力転送できません。
入力転送キューの動作モードを制御します。
入力転送キューの動作状態は FLXAnFRITS レジスタの ITS ビットで見ることができます。
本ビットの使用法については「**25.3.16.1(1) 起動および停止**」を参照してください。

- 0：動作不可要求

  入力転送キューがエンプティになると動作不可となります。

- 1：動作可能要求

  入力転送キューは動作可能となります。入力データの構造体は FlexRay 内部メッセージ RAM へ転送されます。

25.2.12.2　FLXAnFROTC ― FlexRay 出力転送設定レジスタ

アクセス　FLXAnFROTC レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFROTCL、FLXAnFROTCH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFROTCLL、FLXAnFROTCLH、FLXAnFROTCHL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　FLXAnFROTC：<FLXAn_base> + 0804_H、
FLXAnFROTCL：<FLXAn_base> + 0804_H、FLXAnFROTCH：<FLXAn_base> + 0806_H
FLXAnFROTCLL：<FLXAn_base> + 0804_H、FLXAnFROTCLH：<FLXAn_base> + 0805_H、
FLXAnFROTCHL：<FLXAn_base> + 0806_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	FTM[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	FWIE	OWIE	FIE	OIE	—	—	—	—	—	—	OTCS	OTE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

表 25.96　FLXAnFROTC レジスタの内容

ビット位置	ビット名	機能
31～21	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
20～16	FTM[4:0]	FIFO テーブル最大値ビット 出力転送ハンドラがローカル RAM やグローバル RAM 内に保持できる FIFO エントリ数を設定します。
15～12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11	FWIE	FIFO 転送警告割り込み許可ビット 0：割り込み不可 1：割り込み可能
10	OWIE	出力転送警告割り込み許可ビット 0：割り込み不可 1：割り込み可能
9	FIE	FIFO 転送割り込み許可ビット 0：割り込み不可 1：割り込み可能
8	OIE	出力転送割り込み許可ビット 0：割り込み不可 1：割り込み可能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	OTCS	出力転送条件選択ビット 0：新規データ専用モード 1：新規データおよびステータス変更モード
0	OTE	出力転送許可ビット 0：動作禁止要求 1：動作許可要求

(1) FLXAnFROTC.FTM

FIFO テーブル最大値ビット

FLXAnFROTS レジスタの OTS ビットが“0”の場合のみ書き込み可能です。
出力転送ハンドラがローカル RAM やグローバル RAM 内に保持できる FIFO エントリ数を設定します。
有効値：00_H（1FIFO エントリ）～$1F_H$（32FIFO エントリ）

(2) FLXAnFROTC.FWIE

FIFO 転送警告割り込み許可ビット

FIFO 転送警告割り込みを制御します。

- 0：割り込み不可

  割り込み要求されず、FIFO 転送警告割り込みラインは解放されます。
- 1：割り込み可能

  FLXAnFROTS レジスタの FWIS ビットが“1”の場合、FIFO 転送警告割り込みが発行されます。

(3) FLXAnFROTC.OWIE

出力転送警告割り込み許可ビット

出力転送警告割り込みを制御します。

- 0：割り込み不可

  割り込み要求されず、出力転送警告割り込みラインは解放されます。
- 1：割り込み可能

  FLXAnFROTS レジスタの OWIS ビットが“1”の場合、出力転送警告割り込みが発行されます。

(4) FLXAnFROTC.FIE

FIFO 転送割り込み許可ビット

FIFO 転送割り込みを制御します。

- 0：割り込み不可

  割り込み要求されず、FIFO 転送割り込みラインは解放されます。
- 1：割り込み可能

  FLXAnFROTS レジスタの FIS ビットが“1”の場合、FIFO 転送割り込みが発行されます。

(5) FLXAnFROTC.OIE

出力転送割り込み許可ビット

出力転送割り込みを制御します。

- 0：割り込み不可

  割り込み要求されず、出力転送割り込みラインは解放されます。
- 1：割り込み可能

  FLXAnFROTS レジスタの OTIS ビットが“1”の場合、出力転送割り込みが発行されます。

(6) FLXAnFROTC.OTCS

出力転送条件選択ビット

FLXAnFROTS レジスタの OTS ビットが“0”の場合のみ書き込み可能です。
出力転送条件を制御します。

- 0：新規データ専用モード

  FLXAnFRNDATi レジスタの ND ビットは、専用の受信バッファ用の転送条件を検出するために使用されます。

- 1：新規データおよびステータス変更モード

  FLXAnFRNDATi レジスタの ND ビットおよび FLXAnFRMBSCi レジスタの MBC ビットは、専用の送受信バッファの転送条件を検出するために使用されます。

(7) FLXAnFROTC.OTE

出力転送許可ビット

FLXAnFROBCR レジスタの OBSYS ビットが“0”の場合のみ“1”にセットできます。
出力転送機能の動作モードを制御します。
出力転送機能の動作状態は FLXAnFROTS レジスタの OTS ビットで見ることができます。
本ビットの使用法については「**25.3.16.2(2) 出力転送データ構造**」を参照してください。

- 0：動作禁止要求

  出力バッファ転送は禁止されます。
  動作中のメッセージバッファ転送は完了しますが、その後の転送は行われません。

- 1：動作許可要求

  出力バッファ転送は許可されます。メッセージバッファは FlexRay 内部メッセージ RAM から出力データ構造へ転送されます。

FLXAnFRMRC レジスタに書き込んで E-Ray メッセージ RAM の設定を変更することはできません。

25.2.12.3　FLXAnFRIBA ― FlexRay 入力ポインタテーブルベースアドレスレジスタ

アクセス　FLXAnFRIBA レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRIBAL、FLXAnFRIBAH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRIBALL、FLXAnFRIBALH、FLXAnFRIBAHL、FLXAnFRIBAHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　FLXAnFRIBA：<FLXAn_base> + 0808$_H$、
FLXAnFRIBAL：<FLXAn_base> + 0808$_H$、FLXAnFRIBAH：<FLXAn_base> + 080A$_H$、
FLXAnFRIBALL：<FLXAn_base> + 0808$_H$、FLXAnFRIBALH：<FLXAn_base> + 0809$_H$、
FLXAnFRIBAHL：<FLXAn_base> + 080A$_H$、FLXAnFRIBAHH：<FLXAn_base> + 080B$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ITA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ITA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 25.97　FLXAnFRIBA レジスタの内容

ビット位置	ビット名	機能
31～0	ITA[31:0]	入力テーブルアドレスビット 入力ポインタテーブルのベースアドレスを設定します。

(1) FLXAnFRIBA.ITA

入力テーブルアドレスビット

FLXAnFRITS.ITS ビットが“0”の場合のみ書き込み可能です。
アドレスは 32 ビットのアライン値である必要があります。したがって FLXAnFRIBA.ITA[1:0]ビットは常に“0”です。
入力ポインタテーブルのベースアドレスを設定します。
このテーブルは、メッセージバッファをローカル RAM やグローバル RAM から FlexRay 内部メッセージ RAM へ転送する入力転送キューに使用されます。
入力キューのサイズは、FLXAnFRITC.ITM ビット内で設定されます。
各エントリは、入力ポインタテーブル内に 2 ロングワード分必要です。

25.2.12.4　FLXAnFRFBA ― FlexRay FIFO ポインタテーブルベースアドレスレジスタ

アクセス　FLXAnFRFBA レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRFBAL、FLXAnFRFBAH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRFBALL、FLXAnFRFBALH、FLXAnFRFBAHL、FLXAnFRFBAHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　FLXAnFRFBA：<FLXAn_base> + 080C$_H$、
FLXAnFRFBAL：<FLXAn_base> + 080C$_H$、FLXAnFRFBAH：<FLXAn_base> + 080E$_H$、
FLXAnFRFBALL：<FLXAn_base> + 080C$_H$、FLXAnFRFBALH：<FLXAn_base> + 080D$_H$、
FLXAnFRFBAHL：<FLXAn_base> + 080E$_H$、FLXAnFRFBAHH：<FLXAn_base> + 080F$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FTA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FTA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 25.98　FLXAnFRFBA レジスタの内容

ビット位置	ビット名	機能
31～0	FTA[31:0]	FIFO ポインタテーブルアドレスビット FIFO ポインタテーブルのベースアドレスを設定します。

(1)　FLXAnFRFBA.FTA

FIFO ポインタテーブルアドレスビット

FLXAnFROTS.OTS ビットが“0”の場合のみ書き込み可能です。
アドレスは 32 ビットのアライン値である必要があります。したがって FLXAnFRFBA.FTA[1:0]ビットは常に“0”です。
FIFO ポインタテーブルのベースアドレスを設定します。
このテーブルは、FlexRay 内部 FIFO からローカル RAM やグローバル RAM へ転送されるメッセージバッファに使用されます。
FIFO のサイズは、FLXAnFROTC.FTM ビットで設定されます。

25.2.12.5　FLXAnFROBA — FlexRay 出力ポインタテーブルベースアドレスレジスタ

アクセス　FLXAnFROBA レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFROBAL、FLXAnFROBAH レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFROBALL、FLXAnFROBALH、FLXAnFROBAHL、FLXAnFROBAHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　FLXAnFROBA : <FLXAn_base> + 0810_H、
FLXAnFROBAL : <FLXAn_base> + 0810_H、FLXAnFROBAH : <FLXAn_base> + 0812_H、
FLXAnFROBALL : <FLXAn_base> + 0810_H、FLXAnFROBALH : <FLXAn_base> + 0811_H、
FLXAnFROBAHL : <FLXAn_base> + 0812_H、FLXAnFROBAHH : <FLXAn_base> + 0813_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OTA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OTA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 25.99　FLXAnFROBA レジスタの内容

ビット位置	ビット名	機能
31～0	OTA[31:0]	出力ポインタテーブルアドレスビット 出力ポインタテーブルのベースアドレスを設定します。

(1) FLXAnFROBA.OTA

出力ポインタテーブルアドレスビット

FLXAnFROTS.OTS ビットが“0”の場合のみ書き込み可能です。
アドレスは 32 ビットのアライン値である必要があります。したがって FLXAnFROBA.OTA[1:0]ビットは常に“0”です。
出力ポインタテーブルのベースアドレスを設定します。
このテーブルは、FlexRay 内部メッセージ RAM からローカル RAM やグローバル RAM へ転送されるメッセージバッファに使用されます。
テーブルのサイズは、FlexRay 内部メッセージ RAM の利用度に依存し、最大 128 エントリまでです。

25.2.12.6　FLXAnFRIQC ― FlexRay 入力キュー制御レジスタ

アクセス　FLXAnFRIQC レジスタは、32 ビット単位でライトのみ可能です。
FLXAnFRIQCL レジスタは、16 ビット単位でライトのみ可能です。
FLXAnFRIQCLL レジスタは、8 ビット単位でライトのみ可能です。

アドレス　FLXAnFRIQC：<FLXAn_base> + 0814_H、
FLXAnFRIQCL：<FLXAn_base> + 0814_H、
FLXAnFRIQCLL：<FLXAn_base> + 0814_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	IMBNR[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W

表 25.100 FLXAnFRIQC レジスタの内容

ビット位置	ビット名	機能
31～7	予約ビット	ライトする場合はリセット後の値を書いてください。
6～0	IMBNR[6:0]	入力メッセージバッファ番号ビット 入力キューに加えるメッセージバッファ番号

(1)　FLXAnFRIQC.IMBNR

入力メッセージバッファ番号ビット

FLXAnFRITS レジスタの IQFP ビットが“0”の場合のみ書き込み可能です。
FLXAnFRITS レジスタの ITS ビットが“0”あるいは FLXAnFRITC レジスタの ITE ビットが“0”の場合、書き込みはできません。
読み出すと“0”が読み出されます。
入力キューに加えるメッセージバッファを指定します。
この番号は入力ポインタテーブルの FLXAnFRWRHS4.IMBNR（「**25.3.16.1(3)　入力ポインタテーブル**」参照）と同じである必要があります。
本レジスタへ書き込む前に、入力データ構造へのアドレスを入力ポインタテーブルのプットインデックス（FLXAnFRITS.IPIDX）の位置に書き込む必要があります。
本レジスタへ書き込むと、入力プットインデックス（FLXAnFRITS.IPIDX）がインクリメントされます。

25.2.12.7 FLXAnFRUIR — FlexRay ユーザ入力転送要求レジスタ

アクセス FLXAnFRUIR レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRUIRL レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRUIRLL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRUIR：<FLXAn_base> + 0818_H、
FLXAnFRUIRL：<FLXAn_base> + 0818_H、
FLXAnFRUIRLL：<FLXAn_base> + 0818_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	UIDX[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.101 FLXAnFRUIR レジスタの内容

ビット位置	ビット名	機能
31～8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7～0	UIDX[7:0]	入力インデックス要求ユーザビット 入力転送用に要求された入力ポインタテーブルインデックスを設定します。

(1) FLXAnFRUIR.UIDX

入力インデックス要求ユーザビット

FLXAnFRITS レジスタの UIRP ビットが“0”の場合のみ書き込み可能です。
FLXAnFRITS レジスタの ITS ビットが“0”の場合、本レジスタに書き込みはできません。
FLXAnFRITS レジスタの UIRP ビットが“1”の場合、本レジスタに書き込みはできません。
FLXAnFRITS レジスタの IQH ビットが“1”の場合、本レジスタに書き込みはできません。
FLXAnFRITC.ITM＋1 のみ書き込み可能です。
この値は入力転送を要求されたユーザの入力ポインタテーブルインデックスを指定します。
本レジスタへ書き込む前に、入力データ構造へのアドレスを入力ポインタテーブルのインデックス UIDX の位置に書き込む必要があります。
本レジスタに書き込むと、要求された入力データ構造は入力データ構造の位置から FlexRay 内部メッセージ RAM へ転送されます。
キューに加えられた入力転送とは反対に、関連する FLXAnFRDA レジスタの DA フラグはユーザ入力転送には影響されません。

25.2.12.8 FLXAnFRUOR — FlexRay ユーザ出力転送要求レジスタ

アクセス FLXAnFRUOR レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRUORL レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRUORLL、FLXAnFRUORLH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRUOR：<FLXAn_base> + 081C$_H$、
FLXAnFRUORL：<FLXAn_base> + 081C$_H$、
FLXAnFRUORLL：<FLXAn_base> + 081C$_H$、FLXAnFRUORLH：<FLXAn_base> + 081D$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	URDS	—	—	UMBNR[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.102 FLXAnFRUOR レジスタの内容

ビット位置	ビット名	機能
31～10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	URDS	リードデータセクション要求ユーザビット 0：データセクションは転送されない 1：データセクションは転送される
8、7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6～0	UMBNR[6:0]	出力メッセージバッファ番号要求ユーザビット 出力転送用に要求されるメッセージバッファ番号を設定します。

(1) FLXAnFRUOR.URDS

リードデータセクション要求ユーザビット

FLXAnFROTS レジスタの UORP ビットが“0”の場合のみ書き込み可能です。
FLXAnFROTS レジスタの OTS ビットが“0”の場合、本レジスタに書き込みはできません。
FLXAnFROTS レジスタの UORP ビットが“1”の場合、本レジスタに書き込みはできません。

- 0：データセクションは転送されない

  UMBNR ビットで選択されたメッセージバッファのデータセクションは要求されていません。

- 1：データセクションは転送される

  UMBNR ビットで選択されたメッセージバッファのデータセクションが要求されています。

(2) FLXAnFRUOR.UMBNR

出力メッセージバッファ番号要求ユーザビット

FLXAnFROTS レジスタの UORP ビットが“0”の場合のみ書き込み可能です。
FLXAnFROTS レジスタの OTS ビットが“0”の場合、本レジスタに書き込みはできません。
FLXAnFROTS レジスタの UORP ビットが“1”の場合、本レジスタに書き込みはできません。
FlexRay モジュールが CONFIG 状態でない場合、UMBNR を専用の受信バッファおよび送信バッファに制限してください。
本レジスタに書き込むと、要求されたメッセージバッファのヘッダセクションと任意でデータセクション（URDS によって設定）が、FlexRay 内部メッセージ RAM から出力ポインタテーブル内の出力構造データポインタによって定義された出力データ構造の位置に転送されます。

25.2.12.9 FLXAnFRAHBC — FlexRay H-Bus 設定レジスタ

本製品では、FLXAnFRAHBC.HPROT[3:0]に機能がないため、このレジスタは使用しません。

アクセス	FLXAnFRAHBC レジスタは、32 ビット単位でリード／ライト可能です。 FLXAnFRAHBCL レジスタは、16 ビット単位でリード／ライト可能です。 FLXAnFRAHBCLL レジスタは、8 ビット単位でリード／ライト可能です。
アドレス	FLXAnFRAHBC：<FLXAn_base> + 0840_H、 FLXAnFRAHBCL：<FLXAn_base> + 0840_H、 FLXAnFRAHBCLL：<FLXAn_base> + 0840_H
リセット後の値	$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	HPROT[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 25.103 FLXAnFRAHBC レジスタの内容

ビット位置	ビット名	機能
31～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3～0	HPROT[3:0]	機能なし

25.2.13 データ転送ステータスレジスタ

25.2.13.1 FLXAnFRITS — FlexRay 入力転送ステータスレジスタ

アクセス FLXAnFRITS レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRITSL レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRITSH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRITSLL、FLXAnFRITSHL、FLXAnFRITSHH レジスタは、8 ビット単位でリードのみ可能です。
FLXAnFRITSLH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRITS : <FLXAn_base> + 0820_H、
FLXAnFRITSL : <FLXAn_base> + 0820_H、FLXAnFRITSH : <FLXAn_base> + 0822_H、
FLXAnFRITSLL : <FLXAn_base> + 0820_H、FLXAnFRITSLH : <FLXAn_base> + 0821_H、
FLXAnFRITSHL : <FLXAn_base> + 0822_H、FLXAnFRITSHH : <FLXAn_base> + 0823_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	IGIDX[6:0]							—	IPIDX[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	IQFP	—	—	IQEIS	IQFIS	—	—	—	—	—	UIRP	IQH	ITS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

表 25.104 FLXAnFRITS レジスタの内容

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
30～24	IGIDX[6:0]	入力キューゲットインデックスビット 入力ポインタテーブルのゲットインデックスを示します。
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22～16	IPIDX[6:0]	入力キュープットインデックスビット 入力ポインタテーブルのプットインデックスを示します。
15～13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	IQFP	入力キューフル条件保留ビット 0：入力キュー内のエントリが使用可能 1：入力キュー内のすべてのエントリが使用中
11、10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	IQEIS	入力キューエンプティ割り込みステータスビット 0：入力キューエンプティ条件は検出されない 1：入力キューエンプティ条件検出
8	IQFIS	入力キューフル割り込みステータスビット 0：入力キューフル条件は検出されない 1：入力キューフル条件検出
7～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 25.104 FLXAnFRITS レジスタの内容

ビット位置	ビット名	機能
2	UIRP	ユーザ入力転送要求保留ビット 0：ユーザ入力転送要求の保留なし 1：ユーザ入力転送要求保留
1	IQH	入力キュー停止ビット 0：入力キューは停止しない 1：入力キュー停止
0	ITS	入力転送ビット 0：無効 1：有効

(1) FLXAnFRITS.IGIDX

入力キューゲットインデックスビット

FLXAnFRITS レジスタの IQH ビットが“1”の場合のみ有効です。
入力キューハンドラが次に転送する入力ポインタインデックスを示します。
有効値：00_H～FLXAnFRITC.ITM
入力データ構造がローカル RAM やグローバル RAM から転送され、関連する FLXAnFRDA レジスタの DA フラグがクリアされると、ゲットインデックスはインクリメントされます。
FLXAnFRITS レジスタの ITS ビットが“0”から“1”に変化すると、このインデックスは 00_H になります。

(2) FLXAnFRITS.IPIDX

入力キュープットインデックスビット

入力ポインタテーブル内の次の入力データ構造ポインタが格納される位置を表します。
有効値：00_H～FLXAnFRITC.ITM
最大値に到達すると、プットインデックスは 00_H から続けます。
FLXAnFRIQC レジスタの IMBNR ビットに書き込まれるとこのインデックスはインクリメントされます。
ITS ビットが“0”から“1”に変化すると、このインデックスは 00_H になります。

(3) FLXAnFRITS.IQFP

入力キューフル条件保留ビット

入力キューがフルであることを示します。
本ビットが“1”であるとき、FLXAnFRIQC レジスタの IMBNR ビットへの書き込みによって、さらに入力転送要求することはできません。

［クリア条件］
入力キュー内に 1 つのエンプティエントリがある場合

［セット条件］
入力キュー内のすべてのエントリが使用中の場合

(4) FLXAnFRITS.IQEIS

入力キューエンプティ割り込みステータスビット

“0”を書き込んでも影響はありません。
本ビットが“1”の場合、FLXAnFRITC レジスタの IQEIE ビットが有効であれば入力キューエンプティ割り込みが発生します。

［クリア条件］
“1”を書き込むとクリアされます。
ITS ビットが“0”から“1”に変化すると、本ビットはクリアされます。

［セット条件］
すべての保留中の入力転送が処理され、最終的に入力キューがエンプティになったとき、本ビットはセットされます。

(5) FLXAnFRITS.IQFIS

入力キューフル割り込みステータスビット

“0”を書き込んでも影響はありません。
本ビットが“1”の場合、FLXAnFRITC レジスタの IQFIE ビットが有効であれば入力キューフル割り込みが発生します。
本フラグは割り込みステータスフラグを意味します。現在の入力キューステータスを表すものではありません。このステータスについては IQFP ビットを参照してください。

［クリア条件］
本ビットに“1”を書き込むとクリアされます。
ITS ビットが“0”から“1”に変化すると、本ビットはクリアされます。

［セット条件］
入力キュー内のすべてのエントリが使用中の場合セットされます。

(6) FLXAnFRITS.UIRP

ユーザ入力転送要求保留ビット

ユーザ入力転送がまだ保留中であることを表します。
本ビットが“1”の場合、さらに FLXAnFRUIR レジスタの UIDX ビットに書き込みアクセスを行うことはできません。

［クリア条件］
ユーザ入力転送要求が入力転送ハンドラによって処理されている場合、本ビットはクリアされます。

［セット条件］
FLXAnFRUIR レジスタの UIDX ビットに書き込まれると、本ビットはセットされます。

(7) FLXAnFRITS.IQH

入力キュー停止ビット

入力キューのステータスを表します。
本ビットが“1”の場合、さらに FLXAnFRUIR レジスタの UIDX ビットに書き込みアクセスを行うことはできません。

［クリア条件］
FLXAnFRITC レジスタの IQHR ビットが“0”のとき、本ビットはクリアされます。

［セット条件］
FLXAnFRITC レジスタの IQHR ビットが“1”にセットされ実行中の入力転送がない場合、すぐに本ビットはセットされます。
実行中の入力転送が終了し FLXAnFRITC レジスタの IQHR ビットが“1”にセットされたあとでのみ、本ビットはセットされます。

(8) FLXAnFRITS.ITS

入力転送ステータスビット

入力キューハンドラのステータスを表します。
本ビットが“1”の間、アドレスエリア<FLXAn_base>＋0400_H～<FLXAn_base>＋$05FF_H$ への読み出しあるいは書き込みアクセスはできません。また、FLXAnFRSUCC1.CMD レジスタに CLEAR_RAMS コマンドを書き込むことはできません。
入力転送キューインデックスと関連するステータスフラグは、本ビットが“0”から“1”に変化すると、“0”になります。

［クリア条件］
FLXAnFRITC レジスタの ITE ビットが“0”にセットされ保留中の入力転送がない場合、すぐに本ビットはクリアされます。
すべての保留中の要求が処理され FLXAnFRITC レジスタの ITE ビットが“0”にセットされたあと、本ビットはクリアされます。

［セット条件］
FLXAnFRITC レジスタの ITE ビットが“1”にセットされると、本ビットはセットされます。

25.2.13.2　FLXAnFROTS ― FlexRay 出力転送ステータスレジスタ

アクセス　FLXAnFROTS レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFROTSL レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFROTSH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFROTSLL、FLXAnFROTSHL、FLXAnFROTSHH レジスタは、8 ビット単位でリードのみ可能です。
FLXAnFROTSLH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　FLXAnFROTS : <FLXAn_base> + 0824_H、
FLXAnFROTSL : <FLXAn_base> + 0824_H、FLXAnFROTSH : <FLXAn_base> + 0826_H、
FLXAnFROTSLL : <FLXAn_base> + 0824_H、FLXAnFROTSLH : <FLXAn_base> + 0825_H、
FLXAnFROTSHL : <FLXAn_base> + 0826_H、FLXAnFROTSHH : <FLXAn_base> + 0827_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	FFL[5:0]						—	—	—	FGIDX[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FWP	OWP	FDA	—	FWIS	OWIS	FIS	OTIS	—	—	—	—	—	UORP	—	OTS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表 25.105 FLXAnFROTS レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
29～24	FFL[5:0]	FIFO フィルレベルビット 未処理の出力 FIFO 構造数を表します。
23～21	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
20～16	FGIDX[4:0]	FIFO ゲットインデックスビット FIFO ポインタテーブル内のゲットインデックスを示します。
15	FWP	FIFO 転送警告条件保留ビット 0：保留中の FIFO 転送警告条件なし 1：保留中の FIFO 転送警告条件あり
14	OWP	出力転送警告条件保留ビット 0：保留中の出力転送警告条件なし 1：保留中の出力転送警告条件あり
13	FDA	FIFO データ使用可能ビット 0：使用可能な FIFO 構造なし 1：現在の FLXAnFROTS.FGIDX インデックスの位置の FIFO 構造が使用可能
12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11	FWIS	FIFO 転送警告割り込みステータスビット 0：FIFO 転送警告条件検出せず 1：FIFO 転送警告条件検出
10	OWIS	出力転送警告割り込みステータスビット 0：出力転送警告条件検出せず 1：出力転送警告条件検出

表 25.105 FLXAnFROTS レジスタの内容

ビット位置	ビット名	機能
9	FIS	FIFO 転送割り込みステータスビット 0：ローカル RAM やグローバル RAM 内で更新された FIFO 構造なし 1：ローカル RAM やグローバル RAM 内で FIFO 構造更新
8	OTIS	出力転送割り込みステータスビット 0：ローカル RAM やグローバル RAM 内で更新された出力構造なし 1：ローカル RAM やグローバル RAM 内で出力構造更新
7～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	UORP	ユーザ出力転送要求保留ビット 0：保留中のユーザ出力転送なし 1：ユーザ出力転送保留中
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	OTS	出力転送ステータスビット 0：無効 1：有効

(1) FLXAnFROTS.FFL

FIFO フィルレベルビット

ローカル RAM やグローバル RAM 内の使用可能な出力 FIFO 構造の数を表します。

有効値：00_H～FLXAnFROTC.FTM＋1
値 00_H は、FIFO がエンプティであることを示します。
値 FLXAnFROTC.FTM＋1 は、FIFO がフル状態でこれ以上 FIFO 転送できないことを示します。
1 つの FIFO データ構造が FlexRay 内部 FIFO からローカル RAM やグローバル RAM へ転送されると、本ビットはインクリメントされます。
ユーザが FDA ビットに“1”を書き込んでローカル RAM やグローバル RAM 内の 1 つの FIFO データ構造を解放すると、本ビットはデクリメントされます。
OTS ビットが“0”から“1”に変化すると、本ビットに 00_H がセットされます。

(2) FLXAnFROTS.FGIDX

FIFO ゲットインデックスビット

FIFO ポインタテーブル内で現在の出力データ構造ポインタを読み出すことができる位置を示すインデックスです。
有効値：00_H～FLXAnFROTC.FTM
最大値に到達するとゲットインデックスは 00_H から続けます。
FDA ビットに“1”が書き込まれ 1 つの FIFO データ構造が解放されると、このインデックスはインクリメントされます。
OTS ビットが“0”から“1”に変化すると、このインデックスは 00_H になります。

(3) FLXAnFROTS.FWP

FIFO 転送警告条件保留ビット

FIFO 転送警告条件を示します。

［クリア条件］
フリーな出力データ構造がある場合（FLXAnFROTS.FFL≦FLXAnFROTC.FTM）本ビットはクリアされます。
OTS ビットが“0”から“1”に変化すると、本ビットはクリアされます。

［セット条件］
出力転送ハンドラが FIFO メッセージバッファへの転送条件を検出したにもかかわらずフリーな出力データ構造がない場合（FLXAnFROTS.FFL＝FLXAnFROTC.FTM＋1）、本ビットはセットされます。

(4) FLXAnFROTS.OWP

出力転送警告条件保留ビット

出力転送警告条件を示します。

［クリア条件］
出力ハンドラ転送条件保留中と検出されたすべての出力構造ポインタが解放される（専用の送信および受信メッセージバッファ、あるいはユーザ出力転送要求向け）と、本ビットはクリアされます。

［セット条件］
出力転送ハンドラが転送条件を検出した（専用の送信および受信メッセージバッファ、あるいはユーザ出力転送要求向け）にもかかわらず関連する出力構造ポインタがアプリケーションによってまだ解放されていない場合（データ使用可能フラグが“1”のまま）、本ビットはセットされます。

出力転送ハンドラが専用の送信および受信メッセージバッファへの転送条件を検出したにもかかわらず同じメッセージバッファに対して保留中の入力転送がある場合（データ使用可能フラグが入力転送要求のために“1”にセットされている）、本ビットはセットされます。

(5) FLXAnFROTS.FDA

FIFO データ使用可能ビット

“0”を書き込んでも影響はありません。
本ビットが“1”の場合、次の有効な出力データ構造は使用可能です。
関連するデータ構造ポインタは FIFO ポインタテーブルの FGIDX ビットの位置にあります。
本ビットに“1”を書き込むと、

- FLXAnFROTS.FGIDX ビットがインクリメントされ、
- FIFO フィルレベルビット（FLXAnFROTS.FFL）がデクリメントされます。

未処理のデータ構造がある場合、本ビットは“1”のままです。

［クリア条件］
本ビットに“1”が書き込まれ FIFO フィルレベルビットが 00_H になると、本ビットはクリアされます。
OTS ビットが“0”から“1”に変化すると、本ビットはクリアされます。

［セット条件］
ローカル RAM やグローバル RAM 内に少なくとも 1 つ使用可能な FIFO データ構造がある場合、本ビットはセットされます。

(6) FLXAnFROTS.FWIS

FIFO 転送警告割り込みステータスビット

“0”を書き込んでも影響はありません。
FLXAnFROTC レジスタの FWIE ビットが有効であると、本ビットが“1”の場合 FIFO 転送警告割り込みが発生します。

［クリア条件］
本ビットに“1”を書き込むとクリアされます。
OTS ビットが“0”から“1”に変化すると、本ビットはクリアされます。

［セット条件］
出力転送ハンドラが FIFO メッセージバッファへの転送条件を検出したにもかかわらずフリーな出力データ構造がない場合（FLXAnFROTS.FFL＝FLXAnFROTC.FTM＋1）、本ビットはセットされます。

(7) FLXAnFROTS.OWIS

出力転送警告割り込みステータスビット

“0”を書き込んでも影響はありません。
FLXAnFROTC レジスタの OWIE ビットが有効であると、本ビットが“1”の場合出力転送警告割り込みが発生します。

［クリア条件］
本ビットに“1”を書き込むとクリアされます。
OTS ビットが“0”から“1”に変化すると、本ビットはクリアされます。

［セット条件］
出力転送ハンドラが転送条件を検出した（専用の送信および受信メッセージバッファ、あるいはユーザ出力転送要求向け）にもかかわらず関連する出力構造ポインタがアプリケーションによってまだ解放されていない場合（データ使用可能フラグが“1”のまま）、本ビットはセットされます。

出力転送ハンドラが専用の送信および受信メッセージバッファへの転送条件を検出したにもかかわらず同じメッセージバッファに対して保留中の入力転送がある場合（データ使用可能フラグが入力転送要求のために“1”にセットされている）、本ビットはセットされます。

(8) FLXAnFROTS.FIS

FIFO 転送割り込みステータスビット

“0”を書き込んでも影響はありません。
FLXAnFROTC レジスタの FIE ビットが有効であると、本ビットが“1”の場合 FIFO 転送割り込みが発生します。

［クリア条件］
本ビットに“1”を書き込むとクリアされます。
OTS ビットが“0”から“1”に変化すると、本ビットはクリアされます。

［セット条件］
FIFO データ構造が転送ハンドラによって更新されると、また、FFL ビットが 00_H から 01_H に変化すると、本ビットはセットされます。

(9) FLXAnFROTS.OTIS

出力転送割り込みステータスビット

“0”を書き込んでも影響はありません。
FLXAnFROTC レジスタの OIE ビットが有効であると、本ビットが“1”の場合出力転送割り込みが発生します。

［クリア条件］
本ビットに“1”を書き込むとクリアされます。
OTS ビットが“0”から“1”に変化すると、本ビットはクリアされます。

［セット条件］
出力データ構造が転送ハンドラによって更新される（専用の送信あるいは受信メッセージバッファから、あるいはユーザ出力転送要求によって）と、本ビットはセットされます。

(10) FLXAnFROTS.UORP

ユーザ出力転送要求保留ビット

ユーザ出力転送が保留中であることを示します。
本ビットが“1”の場合、さらに FLXAnFRUOR レジスタの UMBNR ビットへ書き込みアクセスを行うことはできません。

［クリア条件］
ユーザ出力転送要求が出力転送ハンドラによって処理された場合、本ビットはクリアされます。
OTS ビットが“0”から“1”に変化すると、本ビットはクリアされます。

［セット条件］
FLXAnFRUOR レジスタの UMBNR ビットへ書き込むと、本ビットはセットされます。

(11) FLXAnFROTS.OTS

出力転送ステータスビット

出力転送ハンドラの状態を示します。
本ビットが“1”の間、アドレスエリア<FLXAn_base>＋0600_H～<FLXAn_base>＋$07FF_H$ への読み出しもしくは書き込みアクセスはできません。また、FLXAnFRSUCC1.CMD レジスタへ CLEAR_RAMS コマンドを提供することはできません。
本ビットが“1”の間、E-Ray メッセージ RAM の設定を FLXAnFRMRC レジスタへの書き込みによって変更することはできません。
出力ハンドラ転送インデックスおよび関連する状態フラグは、本ビットが“0”から“1”に変化すると“0”にセットされます。

［クリア条件］
OTE ビットが“0”にセットされ動作中の出力転送がない場合、すぐに本ビットはクリアされます。
動作中の転送が完了後 FLXAnFROTC レジスタの OTE ビットが“0”の場合、本ビットはクリアされます。

［セット条件］
FLXAnFROTC レジスタの OTE ビットが“1”の場合、本ビットはセットされます。

25.2.13.3 FLXAnFRAES — FlexRay アクセスエラーステータスレジスタ

アクセス FLXAnFRAES レジスタは、32 ビット単位でリード／ライト可能です。
FLXAnFRAESL レジスタは、16 ビット単位でリード／ライト可能です。
FLXAnFRAESLL レジスタは、8 ビット単位でリードのみ可能です。
FLXAnFRAESLH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス FLXAnFRAES：<FLXAn_base> + 0828_H、
FLXAnFRAESL：<FLXAn_base> + 0828_H、
FLXAnFRAESLL：<FLXAn_base> + 0828_H、FLXAnFRAESLH：<FLXAn_base> + 0829_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	MAE	FAE	OAE	IAE	EIDX[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表 25.106 FLXAnFRAES レジスタの内容

ビット位置	ビット名	機能
31～12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11	MAE	複数アクセスエラービット 0：複数のアクセスエラーなし 1：複数のアクセスエラー発生
10	FAE	FIFO 転送アクセスエラービット 0：FIFO 転送中にアクセスエラーなし 1：FIFO 転送中にアクセスエラー発生
9	OAE	出力転送アクセスエラービット 0：出力転送中にアクセスエラーなし 1：出力転送中にアクセスエラー発生
8	IAE	入力転送アクセスエラービット 0：入力転送中にアクセスエラーなし 1：入力転送中にアクセスエラー発生
7～0	EIDX[7:0]	エラーインデックスビット データ転送ポインタインデックス番号

(1) FLXAnFRAES.MAE

複数アクセスエラービット

“0”を書き込んでも影響はありません。
データ転送中に複数のエラーが発生したことを示します。

［クリア条件］
本ビットに“1”を書き込むとクリアされます。

［セット条件］
FAE、OAE あるいは IAE ビットがセットされ、かつ次の条件のうち 1 つが満たされると本ビットはセットされます。

- FIFO データ転送中に保護されたアドレスへのアクセス発生
- 出力データ転送中に保護されたアドレスへのアクセス発生
- 入力データ転送中に保護されたアドレスへのアクセス発生

(2) FLXAnFRAES.FAE

FIFO 転送アクセスエラービット

“0”を書き込んでも影響はありません。
FIFO データ転送中に 1 回アクセスエラーが発生したことを示します。

［クリア条件］
本ビットに“1”を書き込むとクリアされます。

［セット条件］
FIFO 転送中にローカル RAM やグローバル RAM アクセスエラーが検出され OAE、IAE、MAE ビットが“0”の場合、本ビットはセットされます。

(3) FLXAnFRAES.OAE

出力転送アクセスエラービット

“0”を書き込んでも影響はありません。
出力データ転送中に 1 回アクセスエラーが発生したことを示します。

［クリア条件］
本ビットに“1”を書き込むとクリアされます。

［セット条件］
出力転送中にローカル RAM やグローバル RAM アクセスエラーが検出され FAE、IAE、MAE ビットが“0”の場合、本ビットはセットされます。

(4) FLXAnFRAES.IAE

入力転送アクセスエラービット

“0”を書き込んでも影響はありません。
入力データ転送中に 1 回アクセスエラーが発生したことを示します。

［クリア条件］
本ビットに“1”を書き込むとクリアされます。

［セット条件］
入力転送中にローカル RAM やグローバル RAM アクセスエラーが検出され OAE、FAE、MAE ビットが“0”の場合、本ビットはセットされます。

(5) FLXAnFRAES.EIDX

エラーインデックスビット

FAE、OAE、あるいは IAE ビットのうち 1 つが“1”の場合のみ有効です。
FAE ビットが“1”の場合、本ビットはアクセスエラーが発生した際に使用された FIFO プットインデックスの値を保持します。
OAE ビットが“1”の場合、本ビットはアクセスエラーが発生した際に使用された出力テーブルエントリ（メッセージバッファ番号に関連）を保持します。
IAE ビットが“1”の場合、本ビットは、入力転送中にアクセスエラーが発生したとき、またはユーザが入力転送を要求したときに使用された入力ポインタテーブルゲットインデックスを保持します。
FAE、OAE、あるいは IAE ビットのうち 1 つが“0”から“1”に変化すると、本ビットは更新されます。

25.2.13.4 FLXAnFRAEA ― FlexRay アクセスエラーアドレスレジスタ

アクセス　FLXAnFRAEA レジスタは、32 ビット単位でリードのみ可能です。
FLXAnFRAEAL、FLXAnFRAEAH レジスタは、16 ビット単位でリードのみ可能です。
FLXAnFRAEALL、FLXAnFRAEALH、FLXAnFRAEAHL、FLXAnFRAEAHH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　FLXAnFRAEA：<FLXAn_base> + $082C_H$、
FLXAnFRAEAL：<FLXAn_base> + $082C_H$、FLXAnFRAEAH：<FLXAn_base> + $082E_H$、
FLXAnFRAEALL：<FLXAn_base> + $082C_H$、FLXAnFRAEALH：<FLXAn_base> + $082D_H$、
FLXAnFRAEAHL：<FLXAn_base> + $082E_H$、FLXAnFRAEAHH：<FLXAn_base> + $082F_H$

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	AEA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AEA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 25.107 FLXAnFRAEA レジスタの内容

ビット位置	ビット名	機能
31～0	AEA[31:0]	アクセスエラーアドレスビット アクセスエラーが発生したときのローカル RAM やグローバル RAM 内のアドレス

(1) FLXAnFRAEA.AEA

アクセスエラーアドレスビット

FAE、OAE、あるいは IAE ビットのうち 1 つが“1”の場合のみ有効です。
FLXAnFRAES レジスタ内で示されたアクセスエラーのアドレスを表します。
FAE、OAE、あるいは IAE ビットのうち 1 つが“0”から“1”に変化すると、本ビットは更新されます。

25.2.13.5　FLXAnFRDAi ― FlexRay メッセージデータ使用可能レジスタ i（i＝0～3）

アクセス　FLXAnFRDAi レジスタは、32 ビット単位でリード／ライト可能です。

FLXAnFRDAiL、FLXAnFRDAiH レジスタは、16 ビット単位でリード／ライト可能です。

FLXAnFRDAiLL、FLXAnFRDAiLH、FLXAnFRDAiHL、FLXAnFRDAiHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　FLXAnFRDAx：<FLXAn_base> + 0830_H + i × 4_H、

FLXAnFRDAxL：<FLXAn_base> + 0830_H + i × 4_H、

FLXAnFRDAxH：<FLXAn_base> + 0830_H + i × 4_H + 2_H、

FLXAnFRDAxLL：<FLXAn_base> + 0830_H + i × 4_H、

FLXAnFRDAxLH：<FLXAn_base> + 0830_H + i × 4_H + 1_H、

FLXAnFRDAxHL：<FLXAn_base> + 0830_H + i × 4_H + 2_H、

FLXAnFRDAxHH：<FLXAn_base> + 0830_H + i × 4_H + 3_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DAb (b＝i × 32 + 31 ～ i × 32 + 16)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DAb (b＝i × 32 + 15 ～ i × 32 + 0)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.108 FLXAnFRDAi レジスタの内容

ビット位置	ビット名	機能
31～0	DAb	データ使用可能ビット 0：使用可能なデータなし 1：使用可能なデータあり

(1) FLXAnFRDAi.DAb（b＝i × 32 ～ (i + 1) × 32 – 1）

データ使用可能ビット b

“0”のビットに“1”を書き込むことはできません。
入力転送のステータスを維持するため、入力転送に関連するビットをクリアすることはできません。
本レジスタは、入力および出力転送用に使用されます。
各フラグは FlexRay メッセージバッファに対応します。

［クリア条件］
入力転送：
入力データ構造がローカル RAM やグローバル RAM から転送されると、本ビットはクリアされます。データ構造およびデータ構造ポインタは関連するフラグが“0”のとき変更可能です。
出力転送：
“1”を書き込むと本ビットはクリアされます。

［セット条件］
入力転送：
対応するメッセージバッファ番号が FLXAnFRIQC.IMBNR に書き込まれると、本ビットはセットされます。本ビットが“1”である限り、この入力転送要求に対応する入力データ構造およびデータ構造ポインタを変

更することはできません。

出力転送：

このメッセージバッファに対応する出力データ構造が更新されると、本ビットはセットされます。本ビットが“1”である限り、データ構造は持続します。出力ハンドラによるデータ構造の更新は行われません。本ビットが“1”である間、アプリケーションにはこのメッセージバッファ番号の出力ポインタテーブル内の出力データ構造ポインタを変更することが許可されます。

25.3 機能説明

本章では FlexRay のインプリメンテーションについて、関連する FlexRay プロトコルの特長とあわせて説明します。FlexRay プロトコルについての詳細な情報については FlexRay 通信システムプロトコル仕様を参照してください。

25.3.1 FlexRay モジュール動作制御

25.3.1.1 FlexRay モジュールイネーブル

ハードウェアリセット後あるいは FlexRay モジュールがディセーブル（「**25.3.1.2 FlexRay モジュールディセーブル**」参照）になったあと FlexRay モジュールはリセット状態になり（FLXAnFROS.OS は“0”）、FlexRay コアモジュールのクロックはディセーブルになります。

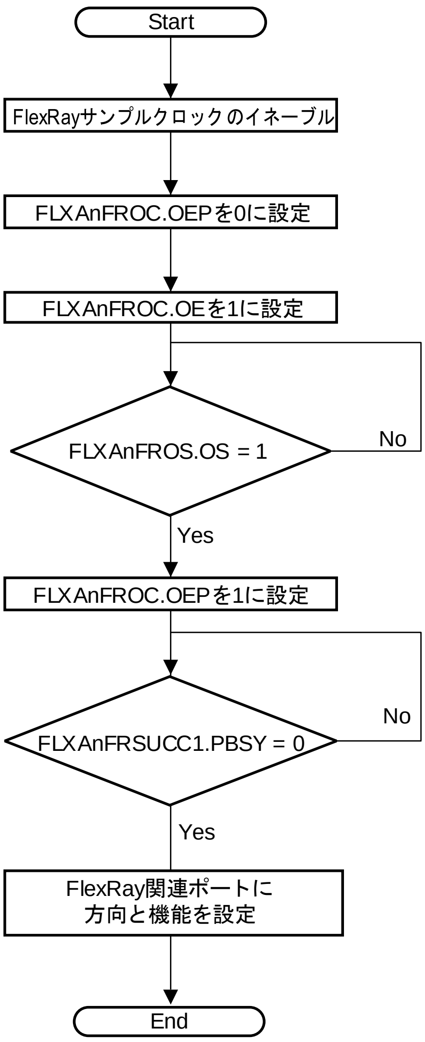


図 25.3 FlexRay イネーブルの流れ

25.3.1.2 FlexRay モジュールディセーブル

FlexRay モジュールはいつでもディセーブルにできます。しかし、FLXAnFROC.OE レジスタを使用して FlexRay モジュールをディセーブルにするのは、FlexRay モジュールが HALT、CONFIG、あるいは DEFAULT_CONFIG 状態のときのみにすることをお勧めします。ほかの状態のときに FlexRay モジュールをリセットすると動作中の FlexRay 通信を中止することになります。

データ転送機能を使用している場合、FlexRay モジュールをディセーブルにする前にその機能をディセーブルすることも必要です。（入力転送機能の中断については「**25.3.16.1(1) 起動および停止**」を、出力転送の中断については「**25.3.16.2(2) 出力転送データ構造**」を参照してください。）

FlexRay モジュールをディセーブルするには次に示すフローで行います。

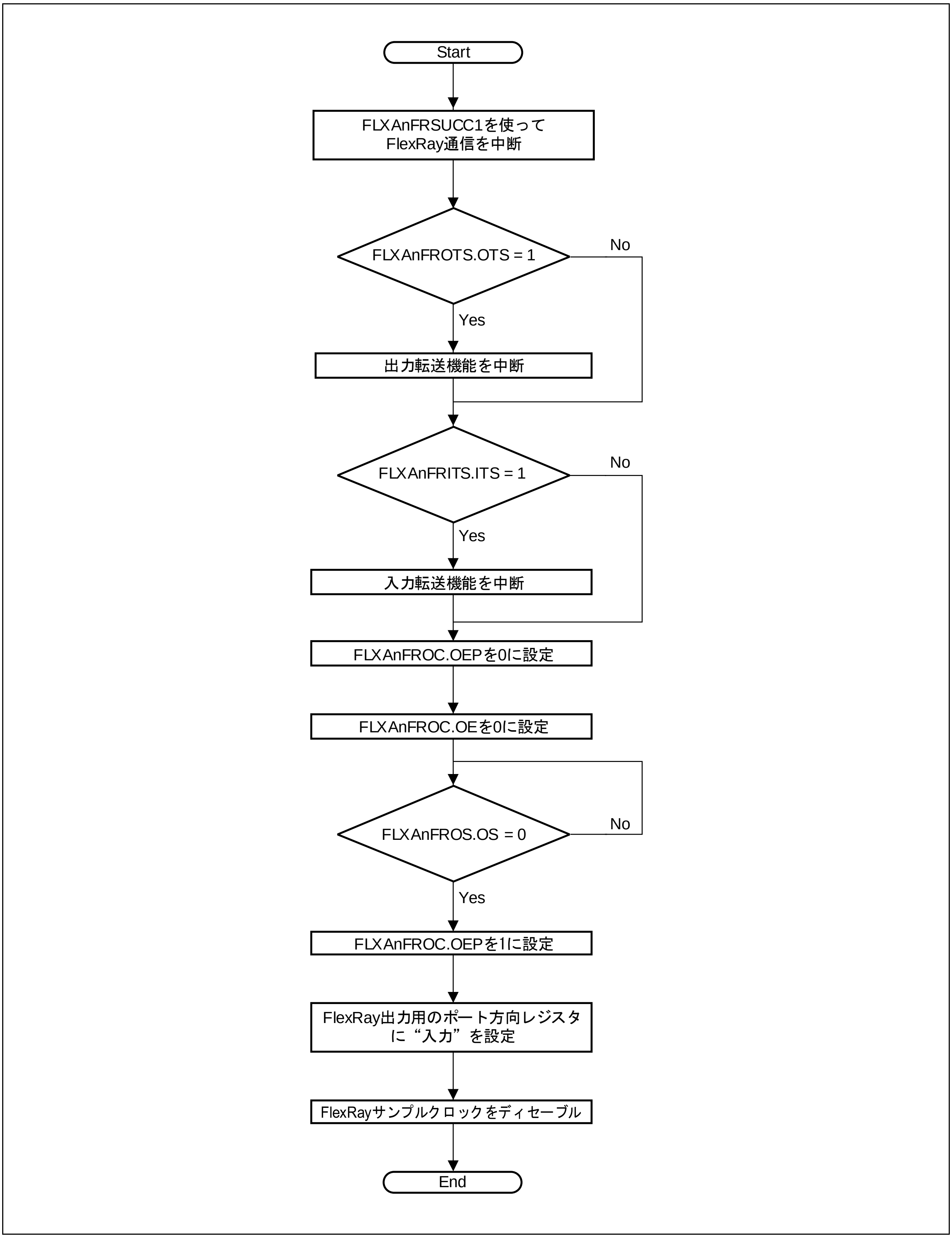


図 25.4 FlexRay ディセーブルの流れ

25.3.2 通信サイクル

FlexRay ネットワーク上の通信は、フレームとシンボルがベースになっています。ウェイクアップシンボル（WUS）および衝突回避シンボル（CAS）は、タイムスケジュールをセットアップするために通信サイクル外で転送されます。フレームおよびメディアアクセステストシンボル（MTS）は、通信サイクル内で転送されます。

FlexRay 通信サイクルは以下の 4 つの部分で構成されます。

- スタティックセグメント
- ダイナミックセグメント（オプション）
- シンボルウィンドウ（オプション）
- ネットワークアイドル時間（NIT）

スタティックセグメント、ダイナミックセグメント、およびシンボルウィンドウでネットワーク通信時間（NCT）が構成されます。通信チャネルごとにスロットカウンタは 1 から始まりダイナミックセグメントの終了時に到達するまでカウントアップされます。両チャネルは同じ調停グリッドつまり、同じ同期 MT 値を使用します。

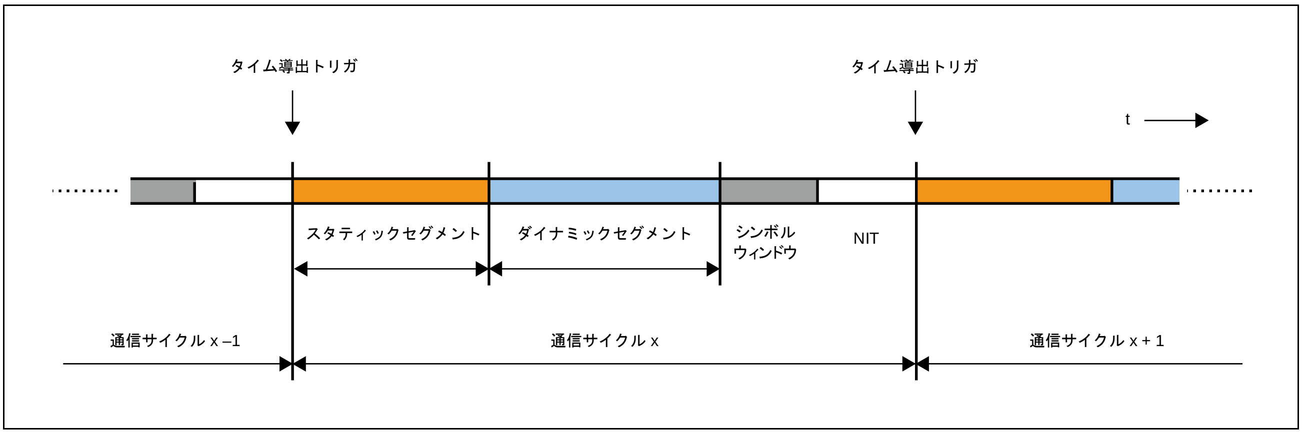


図 25.5 通信サイクルの構造

25.3.2.1 スタティックセグメント

スタティックセグメントには以下の特長があります。

- タイムスロットが固定長（オプションとしてバスガーディアンによるプロテクトあり）
- 各スタティックスロットのアクションポイントでフレーム送信開始
- 両チャネルのすべてのフレームで同じペイロード長

パラメータ

スタティックスロット数（FLXAnFRGTUC7.NSS）

スタティックスロット長（FLXAnFRGTUC7.SSL）

スタティックフレームペイロード長（FLXAnFRMHDC.SFDL）

アクションポイントオフセット（FLXAnFRGTUC9.APO）

25.3.2.2　ダイナミックセグメント

ダイナミックセグメントには以下の特長があります。

- すべてのコントローラにバスアクセスあり（バスガーディアンによるプロテクト不可）
- 可変ペイロード長、可変スロット長、チャネルごとに異なる設定
- ミニスロットアクションポイントでフレーム送信開始

パラメータ

ミニスロット数（FLXAnFRGTUC8.NMS）

ミニスロット長（FLXAnFRGTUC8.MSL）

ミニスロットアクションポイントオフセット（FLXAnFRGTUC9.MAPO）

最終送信開始（最終ミニスロット）（FLXAnFRMHDC.SLT）

25.3.2.3　シンボルウィンドウ

シンボルウィンドウ期間中、メディアアクセステストシンボル（MTS）は各チャネルで 1 回だけ送信できます。MTS シンボルは NORMAL_ACTIVE 状態でバスガーディアンをテストするために送信されます。

シンボルウィンドウには以下の特長があります。

- 1 つのシンボル送信
- MTS シンボルの送信はシンボルウィンドウアクションポイントで開始

パラメータ

シンボルウィンドウアクションポイントオフセット（FLXAnFRGTUC9.APO）（スタティックスロットと同じ）

ネットワークアイドル時間開始位置（FLXAnFRGTUC4.NIT）

25.3.2.4　ネットワークアイドル時間（NIT）

ネットワークアイドル時間中、CC は以下の処理を行います。

- クロック補正項（オフセットおよびレート）の計算
- オフセット補正開始後、複数の MT にわたってオフセット補正値を分散
- タスク関連のクラスタサイクル実行

パラメータ

ネットワークアイドル時間開始位置設定（FLXAnFRGTUC4.NIT）

オフセット補正開始位置設定（FLXAnFRGTUC4.OCS）

25.3.2.5 NIT 開始位置設定、オフセット補正開始位置の設定

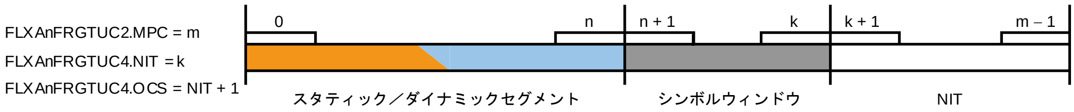


図 25.6 NIT 開始位置とオフセット補正開始位置の設定

サイクル当たりの MT 数（gMacroPerCycle）を m とすると、FLXAnFRGTUC2 レジスタの MPC ビットの設定値は m となります。

スタティック／ダイナミックセグメントは、MT 値 0 で開始、n で終了します。ここで n は、

n＝スタティックセグメント長＋ダイナミックセグメントオフセット＋ダイナミックセグメント長－1MT

n＝gNumberOfStaticSlots o gdStaticSlot＋ダイナミックセグメントオフセット＋gNumberOfMinislots o gdMinislot－1MT

スタティックセグメント長は FLXAnFRGTUC7.SSL および FLXAnFRGTUC7.NSS で設定します。

ダイナミックセグメント長は FLXAnFRGTUC8.MSL および FLXAnFRGTUC8.NMS で設定します。
ダイナミックセグメントオフセットは、

gdActionPointOffset≦gdMinislotActionPointOffset の場合
ダイナミックセグメントオフセット＝0MT

gdActionPointOffset＞gdMinislotActionPointOffset の場合
ダイナミックセグメントオフセット＝gdActionPointOffset－gdMinislotActionPointOffset

NIT は MT 値 k＋1 で開始、サイクルの最終 MT：m－1 で終了します。
NIT は、FLXAnFRGTUC4.NIT＝k で設定します。

本モジュールでは、オフセット補正開始位置は
“FLXAnFRGTUC4.OCS≧FLXAnFRGTUC4.NIT＋1＝k＋1”を満たす必要があります。

シンボルウィンドウ長は、スタティック／ダイナミックセグメントの終了時から NIT の開始点までの MT 数（k－n）で決まります。

25.3.3 通信モード

FlexRay プロトコル仕様書では、タイムトリガ式分散（TT-D）モードを定義しています。

25.3.3.1 タイムトリガ式分散（TT-D）

TT-D モードでは以下の設定が可能です。

- スタティック専用：スタティックスロット 2 個以上＋シンボルウィンドウ（オプション）
- スタティック／ダイナミック混合：スタティックスロット 2 個以上＋ダイナミックセグメント＋シンボルウィンドウ（オプション）

タイムトリガ式分散動作には、最低 2 つの Coldstart ノードが必要です。クラスタのスタートアップには 2 つの正常な Coldstart ノードが必要です。各 Startup フレームは Sync フレームでなければならず、そのためすべての Coldstart ノードは Sync ノードになります。

25.3.4　クロック同期

TT-D モードでは分散クロック同期が使用されます。各ノードは、他のノードから受信した Sync フレームのタイミングに応じて個別にクラスタに同期します。

25.3.4.1　グローバルタイム

FlexRay ノードにおいて、通信などの動作は、グローバルタイムという概念に基づいて行われます。FlexRay クラスタと個別のクロックメカニズムを持つ他のノード群とを区別しているのは、このクロック同期メカニズムです。グローバルタイムは、サイクル（サイクルカウンタ）とサイクルタイム（MT カウンタ）という 2 つの値からなるベクタです。

クラスタ定義：

- MT＝FlexRay ネットワークにおける時間計測の基本単位。1MT は整数個の μT で構成されます。
- サイクル長＝MT 単位の通信サイクル時間

25.3.4.2　ローカルタイム

内部的には、ノードは自身の動作を μT の解像度で計測します。μT は特定のノードにおける発振クロックから得られる時間の単位です。したがって μT はコントローラ個別の単位です。μT はコントローラによって長さが異なる可能性があります。1 つのノードのローカルタイムの誤差計測の精度が μT です。

ノード定義：

- 発振クロック→プリスケーラ→μT
- μT＝CC における時間計測の基本単位。クロック補正は μT 単位で行います。
- サイクルカウンタ＋MT カウンタ＝ノードから見たグローバルタイム

25.3.4.3　同期プロセス

クロック同期は Sync フレームを用いて行われます。Sync フレームを送信できるのは、事前に設定されたノード（Sync ノード）のみです。2 チャネル構成のクラスタでは、Sync ノードは両方のチャネルに Sync フレームを送信しなければなりません。

FlexRay で同期を行うには、以下の制限を考慮する必要があります。

- 1 通信サイクルにおけるノードあたりの Sync フレーム数は最大 1
- 1 通信サイクルにおけるクラスタあたりの Sync フレーム数は最大 15
- 各ノードは事前に設定された Sync フレーム数（FLXAnFRGTUC2.SNM）をクロック同期に使用しなければならない
- クロック同期およびスタートアップ用として最低 2 つの Sync ノードが必要

クロック同期を行うには、スタティックセグメント内で受信された Sync フレームの到達時間の期待値と実測値の差を計測します。2 チャネル構成のクラスタでは、両チャネルで Sync フレームを送信するように Sync ノードを設定してください。補正項の計算は NIT 期間中（オフセットはすべてのサイクル、レートはすべての奇数サイクル）に FTM アルゴリズムによって行います。詳細は FlexRay プロトコル仕様書の「*第 8 章*」を参照してください。

(1) オフセット（位相）補正

- 通信中のサイクルで計測、格納された偏差値のみを使用
- 2 チャネルノードの場合、より小さい方の値を採用
- すべての通信サイクルの NIT 期間に計算
- 偶数サイクルで計算されたオフセット補正値はエラーチェックのみに使用
- 上限値をチェック
- 補正値は符号付き整数の μT 値
- 奇数サイクルで計算された補正値を、次のサイクルの開始位置をずらすために、オフセット補正開始からサイクルの終わり（NIT の終了時）までの MT に分散（MT 長設定）

(2) レート（周波数）補正

- 偶数／奇数サイクルペアで計測、格納された 1 対の偏差値を使用
- 2 チャネルノードの場合、両チャネルの差の平均値を使用
- 奇数サイクルの NIT 期間に計算
- クラスタドリフトダンピングにグローバルダンピング値を使用
- 上限値をチェック
- 補正値は符号付き整数の μT 値
- 次の偶数／奇数サイクルペアを構成する MT に分散（MT 長設定）

(3) Sync フレーム送信

Sync フレームの送信はバッファ 0 および 1 からのみ可能です。メッセージバッファ 1 が Sync フレーム送信用となるのは、2 つのチャネルで Sync フレームのペイロードが異なる場合です。この場合、FLXAnFRMRC レジスタの SPLM ビットを“1”にセットしてください。

Sync フレーム送信に使用するメッセージバッファにはキースロット ID の設定が必要です。設定は DEFAULT_CONFIG 状態または CONFIG 状態でのみ可能です。Sync フレームを送信するノードでは、FLXAnFRSUCC1 レジスタの TXSY ビットを“1”にセットしてください。

(4) 外部クロック同期

通常のオペレーションにおいて、独立したクラスタ間ではかなりのクロック誤差が生じる可能性があります。独立したクラスタ間の同期をとるには、各クラスタ内のノード間が同期しているかどうかにかかわらず、外部同期が必要となります。外部同期にはクラスタに対するレート補正値、オフセット補正値を推測する同期アプリケーションが必要です。

- 外部オフセット／レート補正値は符号付き整数
- 外部オフセット／レート補正値は、計算されたオフセット／レート補正値に加算されます
- 総合オフセット／レート補正値（内部+ 外部）は設定された上限値に対しチェックされません

25.3.5 エラー処理

本モジュールにおけるエラー処理は、単一ノードで下位レイヤのプロトコルエラーが発生しても、影響を受けないノード間の通信は継続できることを保証するものです。場合によっては、通常動作を再開するために上位レイヤでのプログラム処理が必要な場合もあります。エラー処理状態が変化すると FLXAnFREIR.PEMC フラグが“1”にセットされます。また割り込みが許可されている場合、割り込み要求が発生します。FLXAnFRCCEV.ERRM により現在のエラーモードを確認できます。

表 25.109 POC のエラーモード（劣化モデル）

エラーモード	動作
ACTIVE	完全稼働 状態：NORMAL_ACTIVE CC が完全に同期し、クラスタ内クロック同期をサポートしています。CPU は、割り込み（許可されている場合）または FLXAnFREIR レジスタ、FLXAnFRSIR レジスタのエラー／ステータス割り込みフラグを読み出すことによりすべてのエラーとステータス変化を知ることができます。
PASSIVE	縮小稼働 状態：NORMAL_PASSIVE、CC 自動復帰可能 CC はフレームとシンボルの送信を停止し、受信済みフレームの処理のみ実行します。クロック同期メカニズムは受信済みフレームに基づき継続します。クラスタ内クロック同期に関しては積極的には関与しません。CPU は、割り込み（許可されている場合）または FLXAnFREIR レジスタ、FLXAnFRSIR レジスタのエラー／ステータス割り込みフラグを読み出すことによりすべてのエラーとステータス変化を知ることができます。
COMM_HALT	稼動停止 状態：HALT、CC 自動復帰禁止 CC はフレームおよびシンボルの処理、クロック同期処理、MT 生成を停止します。CPU は、FLXAnFREIR レジスタ、FLXAnFRSIR レジスタのエラー／ステータス割り込みフラグを読み出すことで、エラー／ステータス情報にアクセスすることができます。バスドライバは無効です。

25.3.5.1 クロック補正失敗カウンタ

クロック補正失敗カウンタが、FLXAnFRSUCC3.WCP で定義している「クロック補正回数最大値」に達すると、POC は NORMAL_ACTIVE 状態から NORMAL_PASSIVE 状態に遷移します。また、FLXAnFRSUCC3.WCF で定義している「クロック補正エラー回数最大値」に達すると、NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態から HALT 状態に遷移します。

CC がプロトコルスタートアップフェーズを終了した後、クロック補正失敗カウンタ（FLXAnFRCCEV.CCFC）を読み出すと、ノードがクロック補正項を計算できなかった期間がわかります。クロック補正失敗カウンタは、オフセット補正欠落フラグ（FLXAnFRSFS.MOCS）またはレート補正欠落フラグ（FLXAnFRSFS.MRCS）のいずれかが“1”のとき、奇数コミュニケーションサイクルの終了時にインクリメントされます。

いずれのフラグも“1”でない場合、クロック補正失敗カウンタは奇数コミュニケーションサイクルの終了時に 0 にクリアされます。

「クロック補正エラー回数最大値」に達すると、クロック補正失敗カウンタは停止します（最大値に達してからインクリメントしても 0 に戻りません）。CC が READY 状態に入るか、NORMAL_ACTIVE 状態になると、クロック補正失敗カウンタは 0 に初期化されます。

注 意

FLXAnFRSUCC1.HCSE が“1”に設定されていない場合、HALT 状態への遷移はできません。

25.3.5.2 Passive-to-Active カウンタ

Passive to Active カウンタは、POC の NORMAL_PASSIVE 状態から NORMAL_ACTIVE 状態への遷移を制御します。FLXAnFRSUCC1.PTA は、NORMAL_PASSIVE 状態から NORMAL_ACTIVE 状態への遷移が許可される前に必要となる、クロック補正に成功した連続した偶数／奇数サイクルペア数を設定します。FLXAnFRSUCC1.PTA が 0 の場合、NORMAL_PASSIVE 状態から NORMAL_ACTIVE 状態への遷移はできません。

25.3.5.3 HALT コマンド

ローカルノードの FlexRay 通信を停止するには、HALT コマンドを発行することで CC を HALT 状態にします。HALT コマンドは FLXAnFRSUCC1.CMD ビットに“0110_B”を書き込むことで実現します。FlexRay ネットワーク全体の通信を停止する場合は、すべてのノードが同時に HALT コマンドを適用するように、上位レイヤプロトコルが確認する必要があります。

HALT 状態へ遷移する前の POC の状態は、FLXAnFRCCSV.PSL フラグから読み出せます。

NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態で HALT コマンドが発行された場合、POC は現行サイクルの終了時に HALT 状態に遷移します。それ以外の状態で発行された場合、FLXAnFRSUCC1.CMD ビットは“0000_B”（無効コマンド）になり、FLXAnFREIR.CNA フラグが“1”にセットされます。割り込みが許可されている場合、割り込み要求が発生します。

25.3.5.4 FREEZE コマンド

CPU は、重大なエラー状態を検出した場合、FREEZE コマンドを発行することで CC を HALT 状態にします。FREEZE コマンドは FLXAnFRSUCC1.CMD ビットに“0111_B”を書き込むことで実現します。FREEZE コマンドは、現在の POC の状態に関係なくただちに HALT 状態に遷移させます。

HALT 状態へ遷移する前の POC の状態は、FLXAnFRCCSV.PSL フラグから読み出せます。

注　意

FREEZE コマンドまたは READY コマンドによって通信を停止した後に Leading Coldstart ノードとして再びスタートアップしたとき、FlexRay モジュールの内部状態によって、サイクル 0 で Startup フレームを送信しない場合があります。この現象は Startup フレームをスロット 1～スロット 7 のいずれかのスロットに設定している場合に発生します。

ハードウェアリセット後の ColdStart ではこの現象は発生しません。

この現象が発生した場合においても、2 回目の ColdStart の試みは成功します。ColdStart 時間が長くなりますが、FlexRay システムの ColdStart はこの現象によって阻害されません。

この現象を回避したい場合は、Startup/Sync フレームをスタティックスロット 8 以上のスタティックスロットに配置してください。

25.3.6　通信コントローラの状態

25.3.6.1　通信コントローラ状態遷移図

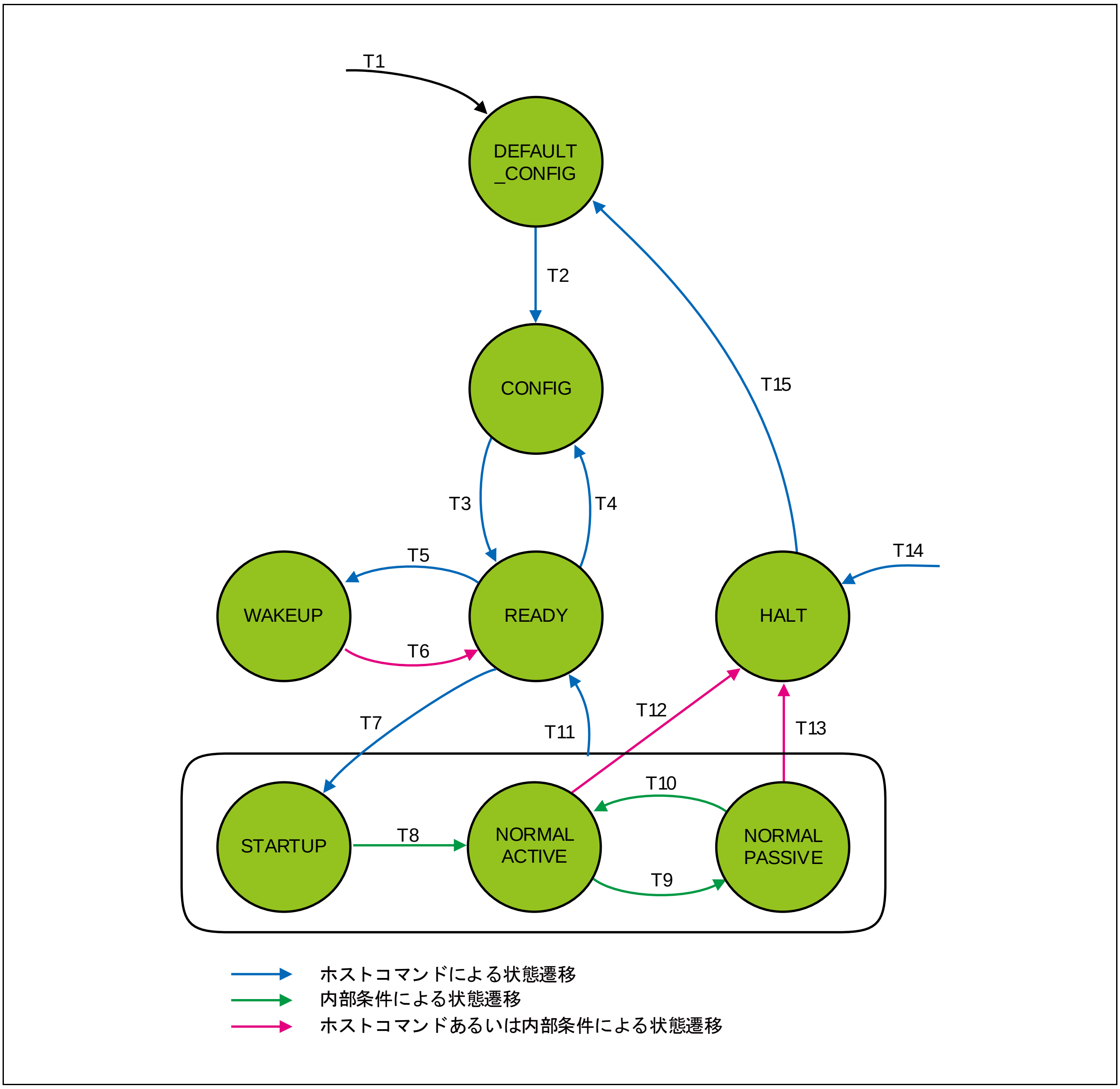


図 25.7　FlexRay 通信コントローラの状態遷移図

状態遷移は、リセット、FLXAnFR0RXDA、FLXAnFR0RXDB、POC ステートマシン、CHI コマンドベクタ（FLXAnFRSUCC1.CMD）で制御します。

FREEZE コマンド（FLXAnFRSUCC1.CMD＝“0111$_B$”）実行後、CC はいずれの状態にあっても、HALT 状態に遷移します。

表 25.110 FlexRay モジュールの状態遷移条件

T#	遷移条件	遷移前の状態	遷移後の状態
1	リセット	すべて	DEFAULT_CONFIG
2	CONFIG コマンド発行 （FLXAnFRSUCC1.CMD＝“0001_B”）	DEFAULT_CONFIG	CONFIG
3	ロック解除シーケンス＋READY コマンド発行 （FLXAnFRSUCC1.CMD＝“0010_B”）	CONFIG	READY
4	CONFIG コマンド発行 （FLXAnFRSUCC1.CMD＝“0001_B”）	READY	CONFIG
5	WAKEUP コマンド発行 （FLXAnFRSUCC1.CMD＝“0011_B”）	READY	WAKEUP
6	Wakeup パターン送信完了 Wakeup パターン受信完了 フレームヘッダ受信完了 Wakeup 衝突検出 READY コマンド発行 （FLXAnFRSUCC1.CMD＝“0010_B”）	WAKEUP	READY
7	RUN コマンド発行 （FLXAnFRSUCC1.CMD＝“0100_B”）	READY	STARTUP
8	STARTUP 成功	STARTUP	NORMAL_ACTIVE
9	クロック補正失敗カウンタ値が FLXAnFRSUCC3.WCP が設定したクロック補正パッシブ最大値に到達	NORMAL_ACTIVE	NORMAL_PASSIVE
10	クロック補正成功サイクルペア数が FLXAnFRSUCC1.PTA が設定した Passive-to-Active の制限値に到達	NORMAL_PASSIVE	NORMAL_ACTIVE
11	READY コマンド発行 （FLXAnFRSUCC1.CMD＝“0010_B”）	STARTUP, NORMAL_ACTIVE, NORMAL_PASSIVE	READY
12	FLXAnFRSUCC1.HCSE ビットが“1”のときにクロック補正失敗カウンタ値が FLXAnFRSUCC3.WCF の設定値に到達、または、HALT コマンド発行 （FLXAnFRSUCC1.CMD＝“0110_B”）	NORMAL_ACTIVE	HALT
13	FLXAnFRSUCC1.HCSE ビットが“1”のときにクロック補正失敗カウンタ値が FLXAnFRSUCC3.WCF の設定値に到達、または、HALT コマンド発行 （FLXAnFRSUCC1.CMD＝“0110_B”）	NORMAL_PASSIVE	HALT
14	FREEZE コマンド発行 （FLXAnFRSUCC1.CMD＝“0111_B”）	すべて	HALT
15	CONFIG コマンド発行 （FLXAnFRSUCC1.CMD＝“0001_B”）	HALT	DEFAULT_CONFIG

25.3.6.2　DEFAULT_CONFIG 状態

DEFAULT_CONFIG 状態では、CC は停止しています。すべての制御レジスタにアクセスでき、端子は非アクティブ状態です。

CC は以下の場合に DEFAULT_CONFIG 状態へ遷移します。

- リセット後（HW リセットあるいは SW リセット）
- HALT 状態から抜けたとき

DEFAULT_CONFIG 状態を抜けるには、FLXAnFRSUCC1.CMD ビットに“0001_B”を書き込むことで、CONFIG 状態に遷移します。

25.3.6.3 CONFIG 状態

CONFIG 状態では、CC は停止しています。すべての制御レジスタにアクセスでき、端子は非アクティブ状態です。この状態で CC の初期設定を行います。

CC は以下の場合に CONFIG 状態へ遷移します。

- DEFAULT_CONFIG 状態から抜けたとき
- READY 状態から抜けたとき

HALT 状態と DEFAULT_CONFIG 状態を経由して CONFIG 状態に遷移した場合、ステータス情報と設定内容を解析することができます。CONFIG 状態から抜ける前に設定に間違いがないか確認する必要があります。

CONFIG 状態から抜けるには、「**25.2.3.3 FLXAnFRLCK — FlexRay ロックレジスタ**」に記載のロック解除シーケンスを実行します。CONFIG 状態のロックを解除した直後に、次の状態に遷移するため FLXAnFRSUCC1.CMD ビットに書き込む必要があります。

注 意

FLXAnFRMHDS[14:0]ビット、FLXAnFRTXRQ1～FLXAnFRTXRQ4 レジスタおよびメッセージ RAM に格納されているステータスデータは、CONFIG 状態から READY 状態への遷移による影響を受けません。

CONFIG 状態では、モジュールクロック（バスクロック、サンプルクロック）を停止することで、CC を省電力モードにすることができます。クロックを停止する前に、すべてのメッセージ RAM の転送が完了していることを確認する必要があります。

25.3.6.4 READY 状態

CONFIG 状態のロックを解除し、FLXAnFRSUCC1.CMD に“0010_B”を書き込むと、READY 状態に遷移します。この状態から WAKEUP 状態に遷移してクラスタウェイクアップを実行したり、STARTUP 状態に遷移して Coldstart を実行したり稼動中のクラスタに統合することができます。

CC は以下の場合に READY 状態へ遷移します。

- FLXAnFRSUCC1.CMD ビットに“0010_B”（READY コマンド）を書き込み、CONFIG 状態、WAKEUP 状態、STARTUP 状態、NORMAL_ACTIVE 状態、または NORMAL_PASSIVE 状態から抜けたとき

CC は以下の場合に READY 状態から抜けます。

- FLXAnFRSUCC1.CMD ビットに“0001_B”（CONFIG コマンド）を書き込み、CONFIG 状態に遷移したとき
- FLXAnFRSUCC1.CMD ビットに“0011_B”（WAKEUP コマンド）を書き込み、WAKEUP 状態に遷移したとき
- FLXAnFRSUCC1.CMD ビットに“0100_B”（RUN コマンド）を書き込み、STARTUP 状態に遷移したとき

STARTUP 状態に遷移すると、内部カウンタおよび CC ステータスフラグが初期化されます。

注 意

FLXAnFRMHDS[14:0]ビット、FLXAnFRTXRQ1～FLXAnFRTXRQ4 レジスタおよびメッセージ RAM に格納されているステータスデータは、READY 状態から STARTUP 状態への遷移による影響を受けません。

25.3.6.5 WAKEUP 状態

ここでは、FlexRay モジュールのウェイクアップの設定について説明します。ウェイクアップ処理の詳細および関連する SDL 図については、FlexRay プロトコル仕様書の「*第 7.1 章*」を参照してください。

CC は以下の場合に WAKEUP 状態へ遷移します。

- FLXAnFRSUCC1.CMD ビットに"0011_B"（WAKEUP コマンド）を書き込み、READY 状態を抜けたとき

CC は以下の場合に WAKEUP 状態を抜けて READY 状態へ遷移します。

- ウェイクアップパターン（WUP）の送信が中断されることなく完了した後
- WUP 受信後
- WUP 衝突検出後
- フレームヘッダ受信後
- FLXAnFRSUCC1.CMD ビットに"0010_B"（READY コマンド）を書き込んだとき

クラスタ内のすべてのノードをウェイクアップさせるため、通信スタートアップ処理の前にクラスタのウェイクアップ処理を行う必要があります。クラスタのウェイクアップ処理を行うには、すべてのバスドライバに電源が供給されていることが必須です。バスドライバは、チャネルでウェイクアップパターンを受信すると自ノードの他のコンポーネントをウェイクアップさせることができます。クラスタ内の少なくとも 1 つのノードに対し外部ウェイクアップソースが必要です。

ウェイクアップ処理はすべてプログラムで制御されます。プログラムによって、バスドライバと CC からクラスタの状態に関する情報を得て、バスガーディアン（使用できる場合）と CC を設定し、クラスタのウェイクアップを行います。CC によって、有効なチャネルのそれぞれに個別にウェイクアップパターンを送信することができます。CC は、WAKEUP 状態でのみウェイクアップパターンを認識します。

ウェイクアップ処理は一度に 1 つのチャネルでのみ実行可能です。CC が CONFIG 状態のときに FLXAnFRSUCC1 レジスタの WUCS ビットで使用するチャネルを選択してください。CC は選択されたチャネル上での通信が妨害されないようにします。選択したチャネルに接続されているすべてのノードがウェイクアップパターンの送信でウェイクアップすることは保証できません。これらのノードからはスタートアップフェーズに移行するまでフィードバックを受けられないからです。ウェイクアップ処理は 2 チャネルシステムのシングルチャネルデバイスに対し、それらが接続されているチャネル上にウェイクアップパターンを送信するだけで、ウェイクアップ処理を起動させることができます。システムスタートアップが必要と思われる Coldstart ノードがあれば、通信スタートアップ処理を開始する前にもう一方のチャネルをウェイクアップさせます。

ウェイクアップ処理では、いくつものノードが同時にシングルチャネルをウェイクアップさせようとするのを許容しますが、ウェイクアップパターンを送信できるノードは 1 つだけです。またウェイクアップパターン衝突耐性があり、2 つのノードが同時にウェイクアップパターンを送信しようとしてエラーが発生しても、衝突した信号も他のノードをウェイクアップさせることができます。

ウェイクアップ処理が終了すると、CC は READY 状態に戻ります。また、FLXAnFRSIR.WST フラグが"1"になり、ウェイクアップ状態に変化があったことがわかります。ウェイクアップステータスベクタは、FLXAnFRCCSV.WSV フラグから読み出せます。有効なウェイクアップパターンを受信した場合、FLXAnFRSIR.WUPA フラグまたは FLXAnFRSIR.WUPB フラグも"1"になります。

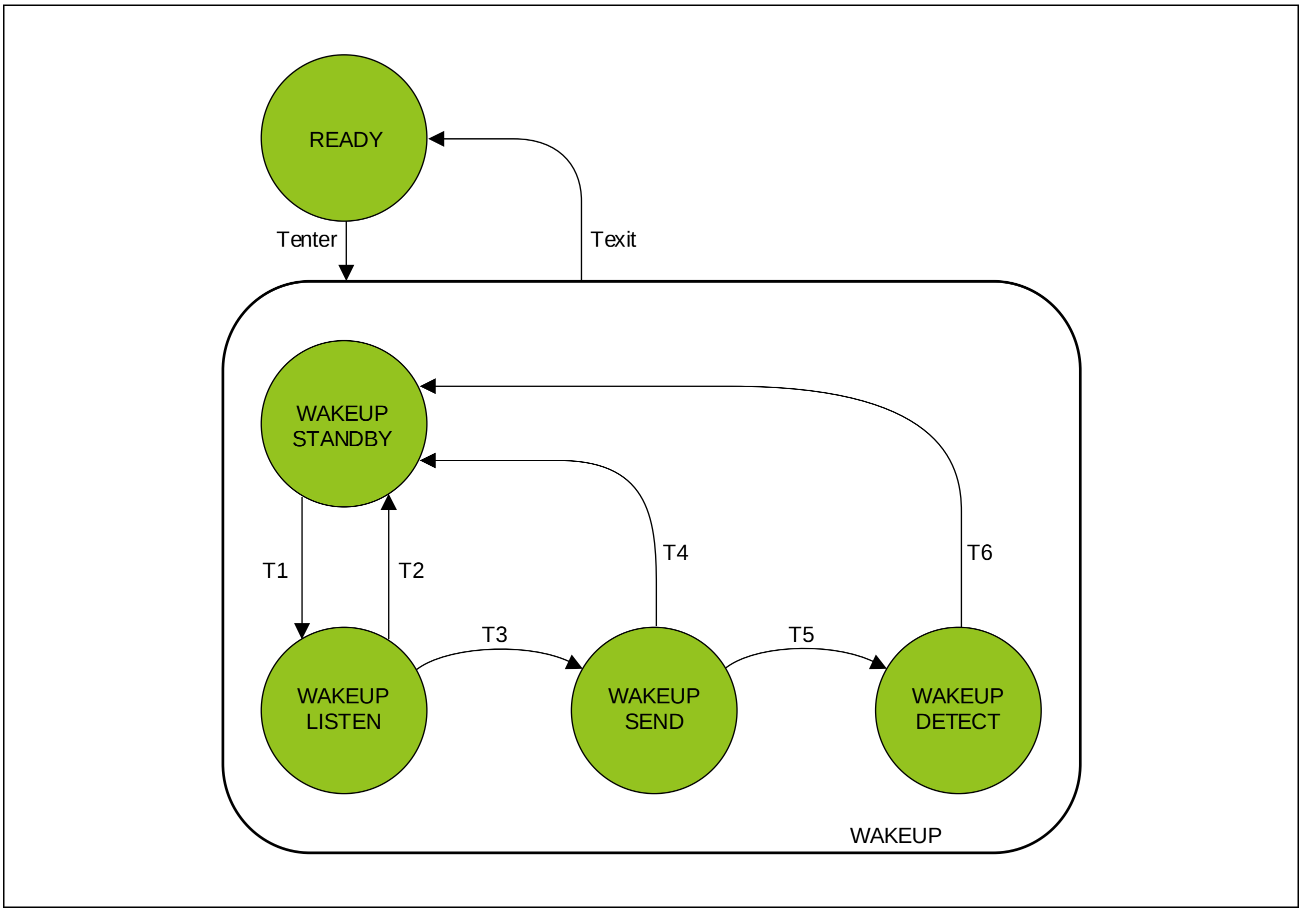


図 25.8 POC 状態 WAKEUP の構成

表 25.111 WAKEUP 時の状態遷移条件

T#	遷移条件	遷移前の状態	遷移後の状態
enter	FLXAnFRSUCC1.CMD ビットに“0011$_B$”（WAKEUP コマンド）を書き込んで WAKEUP 状態に遷移	READY	WAKEUP
1	CHI コマンドの WAKEUP コマンドにより Wakeup FSM が WAKEUP_LISTEN 状態へ遷移	WAKEUP_STANDBY	WAKEUP_LISTEN
2	FLXAnFRSUCC1.WUCS ビットで設定したチャネルで WUP を受信、またはどちらかの有効なチャネルでフレームヘッダを受信	WAKEUP_LISTEN	WAKEUP_STANDBY
3	タイマイベント	WAKEUP_LISTEN	WAKEUP_SEND
4	ウェイクアップパターンが中断されずに送信完了	WAKEUP_SEND	WAKEUP_STANDBY
5	衝突を検出	WAKEUP_SEND	WAKEUP_DETECT
6	ウェイクアップタイマがタイムアウト、FLXAnFRSUCC1.WUCS ビットで設定したチャネルで WUP を検出、またはどちらかの有効なチャネルでフレームヘッダを受信	WAKEUP_DETECT	WAKEUP_STANDBY
exit	ウェイクアップ処理が完了（T2、T4、または T6 の遷移後）、または FLXAnFRSUCC1.CMD ビットに“0010$_B$”（READY コマンド）を書き込み READY 状態に遷移 READY コマンドにより WakeupFSM を WAKEUP_STANDBY 状態にリセット	WAKEUP	READY

WAKEUP_LISTEN 状態はウェイクアップタイマとウェイクアップノイズタイマにより制御されます。これら 2 つのタイマは、ListenTimeout 値（FLXAnFRSUCC2.LT ビット）、ListenTimeoutNoise 値（FLXAnFRSUCC2.LTN ビット）で制御します。ListenTimeout 値はノイズがない環境で高速なクラスタのウェイクアップ処理を、ListenTimeoutNoise 値はノイズ干渉に関してより困難な条件下でのウェイクアップ処理を可能にします。

WAKEUP_SEND 状態では、CC は設定されたチャネルにウェイクアップパターンを送信し、衝突の有無をチェックします。ウェイクアップ処理から復帰した後、CHI コマンドの RUN コマンドを発行して STARTUP 状態に遷移する必要があります。

WAKEUP_DETECT 状態では、CC は WAKEUP_SEND 状態で検出された衝突の原因を特定しようとします。モニタリングは FLXAnFRSUCC2.LT ビットで設定した ListenTimeout 値に到達すると制限されます。他のノードによるウェイクアップ試行を意味するウェイクアップパターン検出、または通信中であることを意味するフレームヘッダ受信により、直接 READY 状態に遷移します。検出も受信も行わない場合、ListenTimeout 値に到達後 WAKEUP_DETECT 状態を抜け、衝突原因は不明となります。

プログラムでは考えられうるウェイクアップエラーを推察し、適切に対処することが必要です。ウェイクアップしたノードでのスタートアップ試行は、他の Coldstart ノードがウェイクアップして設定が完了するのに必要な最低限の時間だけ遅らせることを推奨します。

FlexRay プロトコル仕様書では、2 つの異なる CC が 2 つのチャネルをウェイクアップさせることを推奨しています。

(1) CPU の役割

CPU はプログラムにより、2 つのチャネルのウェイクアップ処理を調整し、指定したチャネルをウェイクアップさせるかどうかを決定する必要があります。ウェイクアップパターンの送信はプログラムで制御されます。ウェイクアップパターンはリモートバスドライバで検出され、それぞれの CPU に通知されます。

プログラム制御によるウェイクアップ処理（シングルチャネルウェイクアップ）

- CONFIG 状態で CC を設定する
  - FLXAnFRSUCC1.WUCS ビットでウェイクアップチャネルを選択
- WUP を受信したかどうかローカルバスドライバをチェックする
- 選択したチャネルのバスドライバを有効にする
- READY 状態に遷移するよう CC に指示
- FLXAnFRSUCC1.CMD ビットに“0011_B”（WAKEUP コマンド）を書き込み、選択したチャネルでウェイクアップ処理を開始するよう CC に指示
  - CC は WAKEUP 状態に遷移
  - CC は READY 状態に戻り、ウェイクアップ試行ステータスを CPU に通知
- 他のノードがウェイクアップして設定を完了できるように一定時間待機
- Coldstart ノードの場合
  - 2 チャネル構成のクラスタでは、もう一方のチャネルの WUP を待機
  - FLXAnFRSUCC1.CMD ビットに“1001_B”（ALLOW_COLDSTART コマンド）を書き込み、FLXAnFRCCSV.CSI フラグを“0”（Coldstart 許可）にリセットする
- FLXAnFRSUCC1.CMD ビットに“0100_B”（RUN コマンド）を書き込み、STARTUP 状態に遷移するよう CC に指示

バスドライバがトリガとなるウェイクアップ処理

- バスドライバがウェイクアップ処理を認識
- バスドライバによるマイコンの電源投入（必要な場合）
- バスドライバによるウェイクアップイベントの CPU への通知
- CPU がローカル CC を設定
- 必要であれば 2 番目のチャネルのウェイクアップ処理を指示、他のノードがウェイクアップして設定を完了できるように一定時間待機
- FLXAnFRSUCC1.CMD ビットに“0100_B”（RUN コマンド）を書き込み、STARTUP 状態に遷移するよう CC に指示

(2) ウェイクアップパターン（WUP）

ウェイクアップパターン（WUP）は、2 つ以上の Wakeup シンボル（WUS）で構成されています。Wakeup シンボルとウェイクアップパターンは、FLXAnFRPRTC1 レジスタと FLXAnFRPRTC2 レジスタで設定されます。

- シングルチャネルウェイクアップでは、Wakeup シンボルを一度に両方のチャネルで送信することはできません。
- 2 つ以上の送信ノードに対し、Wakeup シンボルは衝突耐性あり（2 つの Wakeup シンボルがオーバラップしても認識可能）。
- Wakeup シンボルはクラスタ内のすべてのノードで同じ設定にしてください。
- FLXAnFRPRTC2.TXL ビットで送信 Wakeup シンボルの“L”幅を設定します。
- FLXAnFRPRTC2.TXI ビットでバス処理検出に使用する Wakeup シンボルのアイドル幅を設定します。
- ウェイクアップには、2 つ以上の送信 Wakeup シンボルからなるウェイクアップパターンが必要です。
- FLXAnFRPRTC1.RWP ビットで Wakeup シンボルの繰り返し回数を 2～63 の範囲で設定します。
- FLXAnFRPRTC1.RXW ビットで Wakeup シンボルの受信ウィンドウ幅を設定します。
- FLXAnFRPRTC2.RXL ビットで Wakeup シンボルの受信“L”幅を設定します。
- FLXAnFRPRTC2.RXI ビットで Wakeup シンボルの受信アイドル幅を設定します。

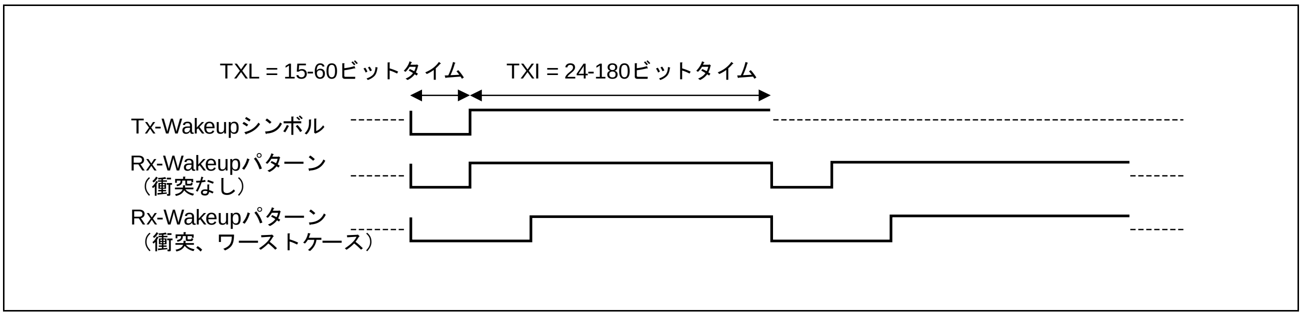


図 25.9 ウェイクアップパターンのタイミング

25.3.6.6 STARTUP 状態

ここでは、FlexRay モジュールのスタートアップの設定について説明します。スタートアップ処理の詳細および関連する SDL 図については、FlexRay プロトコル仕様書の「*第 7.2 章*」を参照してください。

Coldstart が可能なノードが STARTUP 状態に遷移する場合は、Coldstart 開始前に自ノードのチャネルが 2 つともウェイクアップしていることを確認してください。

全ノードおよびスターが完全にウェイクアップして、設定が完了するのに要する時間はさまざまです。クラスタ通信を開始するには少なくとも 2 つのノードが必要なので、ウェイクアップしたノードでのスタートアップ試行は、他の Coldstart ノードがウェイクアップして設定が完了するのに必要な最低限の時間だけ遅らせることを推奨します。ご使用のハードウェアによっては、全ノードおよびスターがウェイクアップして設定完了するまでに数百 ms 要する場合があります。

スタートアップ処理はすべてのチャネルで同期して実行されます。スタートアップ処理中、ノードは Startup フレームのみ送信します。Startup フレームは Sync フレームと Null フレームの両方です。

耐故障性がある分散スタートアップ手順は、全ノードの最初の同期で決まります。通常、NORMAL_ACTIVE 状態に遷移するには以下の経路をたどります（「**図 25.10 タイムトリガ式スタートアップ状態遷移図**」参照）。

- スケジュール同期を開始する Coldstart パス（LeadingColdstart ノード）
- 他の Coldstart ノードが参加する Coldstart パス（FollowingColdstart ノード）
- 既存の通信スケジュールに統合する統合パス（その他のノード）

Coldstart 試行は衝突回避シンボル（CAS）の送信で開始します。CAS シンボルを送信した 1 つの Coldstart ノードが、CAS シンボル送信後最初の 4 サイクルでフレームを送信します。その後他の Coldstart ノード、次いでその他のすべてのノードが参加します。

Coldstart ノードでは FLXAnFRSUCC1 レジスタの TXST ビットと TXSY ビットが“1”に設定されています。メッセージバッファ 0 には Startup フレームを送信するスロット番号を指定するキースロット ID があります。Startup フレームのフレームヘッダでは Startup フレームインジケータビットが“1”になっています。

ノードが 3 つ以上あるクラスタの場合、少なくとも 3 つのノードを Coldstart ノードに設定します。ノードが 2 つのクラスタの場合は、両ノードとも Coldstart ノードになります。クラスタをスタートアップさせるには 2 つの正常な Coldstart ノードが必要です。

各 Startup フレームは Sync フレームでもあります。したがって各 Coldstart ノードは Sync ノードでもあります。Coldstart 試行回数は FLXAnFRSUCC1.CSA ビットで設定します。

非 Coldstart ノードが他のノードと統合するには、他のノードからの 2 つ以上の Startup フレームが必要です。Coldstart ノードのスタートアップ処理が完了する前に、統合を開始できます。2 つ以上の Coldstart ノードがスタートアップ処理を完了するまで、非 Coldstart ノードのスタートアップ処理は完了しません。

非 Coldstart ノードと Coldstart ノードは、TDMA スケジュール情報を引き出す Sync フレームを受信すると、統合パスを通って統合を開始します。統合中は、ノードのクロックをグローバルクロック（レートおよびオフセット）に同期させ、サイクル時間をネットワークで観測できるグローバルスケジュールに一致させる必要があります。その後これらの設定は、すべての有効なネットワークノードと一致しているかチェックされます。チェックが問題なく終了すると、ノードは統合フェーズを抜けて通信に参加することができます。

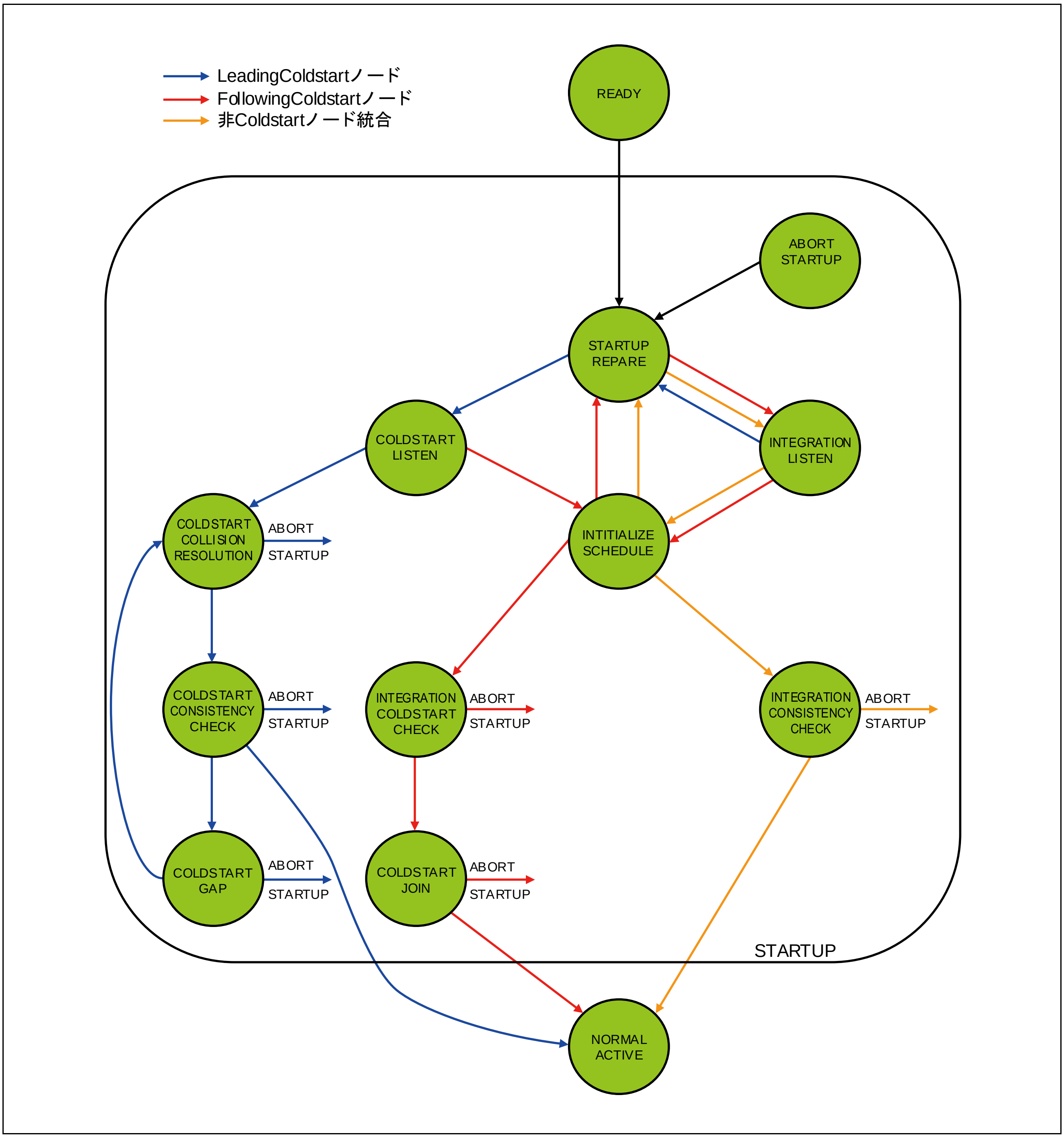


図 25.10 タイムトリガ式スタートアップ状態遷移図

(1) Coldstart 禁止モード

Coldstart 禁止モードではノードは TDMA 通信スケジュールを初期化できません。FLXAnFRCCSV.CSI フラグが“1”（Coldstart 禁止）の場合、ノードによるクラスタ通信の初期化が禁止、つまり、Coldstart パスへの遷移が禁止されます。稼働中のクラスタへの統合または Startup フレーム送信が許可されるのは、他の Coldstart ノードがクラスタ通信の初期化を開始してからになります。

Coldstart 禁止フラグ（FLXAnFRCCSV.CSI ビット）は、POC が READY 状態に遷移すると“1”になります。プログラムで ALLOW_COLDSTART コマンド（FLXAnFRSUCC1.CMD ビット＝“1001_B”）を発行することで“0”にクリアします。

(2) スタートアップタイムアウト

スタートアップタイムアウトとスタートアップノイズタイムアウトの 2 つのタイムアウト値を管理するための 2 つの μT タイマがあります。これらのタイマは CC が COLDSTART_LISTEN 状態に遷移するとスタートします。いずれかのタイマがタイムアウトすると、ノードは通信スタートアップ処理のために初期センシングフェーズ（COLDSTART_LISTEN 状態）を抜けます。

注　意

スタートアップタイマとスタートアップノイズタイマはウェイクアップタイマおよびウェイクアップノイズタイマと同じもので、FLXAnFRSUCC2.LT ビットおよび FLXAnFRSUCC2.LTN ビットという同じ設定値を使用します。

(a) スタートアップタイムアウト

スタートアップタイムアウトは、他のノード間ですでに通信が行われているか、他のノードとの統合要求をしている Coldstart ノードがあるかをノードが判断するために使用する監視時間を制限するものです。スタートアップタイマは FLXAnFRSUCC2.LT ビットで設定します（「**25.2.6.2 FLXAnFRSUCC2 ― FlexRay SUC 設定レジスタ 2**」参照）。

スタートアップタイムアウト：
pdListenTimeout＝FLXAnFRSUCC2.LT

スタートアップタイマは以下のときに再スタートします。

- COLDSTART_LISTEN 状態に入ったとき
- COLDSTART_LISTEN 状態中に両チャネルがアイドル状態になったとき

スタートアップタイマは以下のときに停止します。

- COLDSTART_LISTEN 状態中、設定されたチャネルの 1 つで通信チャネルアクティビティを検出したとき
- COLDSTART_LISTEN 状態から抜けたとき

一度スタートアップタイムアウトになると、オーバフローも再スタートも起こりません。スタートアップステートマシンによる次の処理のために、タイマの状態は保持されます。

(b) スタートアップノイズタイムアウト

スタートアップタイマが初めてスタートする（STARTUP_PREPARE 状態から COLDSTART_LISTEN 状態への遷移時）と同時に、スタートアップノイズタイマもスタートします。この付加的なタイムアウトは、ノイズの多い環境におけるスタートアップ処理の信頼性を高めるために使用されます。スタートアップノイズタイムアウトは FLXAnFRSUCC2.LTN ビットで設定します（「**25.2.6.2 FLXAnFRSUCC2 — FlexRay SUC 設定レジスタ 2**」参照）。

スタートアップノイズタイムアウト：
pdListenTimeout×gListenNoise＝FLXAnFRSUCC2.LT×（FLXAnFRSUCC2.LTN＋1）

スタートアップノイズタイマは以下のときに再スタートします。

- COLDSTART_LISTEN 状態に入ったとき
- COLDSTART_LISTEN 状態中に正常にデコードされたヘッダまたは CAS シンボルを受信したとき

スタートアップノイズタイマは COLDSTART_LISTEN 状態を抜けると停止します。

一度スタートアップノイズタイムアウトになると、オーバフローも再スタートも起こりません。スタートアップステートマシンによる次の処理のために、タイマの状態は保持されます。ランダムチャネルアクティビティが検出された場合にはスタートアップノイズタイマは再スタートしないので、このタイムアウトによりノイズの多い環境でも通信クラスタをスタートアップさせることを保証する代替ソリューションが提供されます。

(3) Leading Coldstart ノードの状態遷移（Coldstart の開始）

Coldstart ノードは、COLDSTART_LISTEN 状態に入ると自ノードのチャネルを監視します。

通信が検出されなかった場合、COLDSTART_COLLISION_RESOLUTION 状態に移り、Coldstart 試行を開始します。最初の CAS シンボルの送信の後に、最初の通常サイクルが続きます。このサイクルがサイクル番号 0 となります。

サイクル 0 から当該ノードはスタートアップフレームを送信します。各 Coldstart ノードがそれぞれ Coldstart 試行を実行する可能性があるため、複数のノードが同時に CAS シンボルを送信し、Coldstart パスに入る場合もあります。この状況は、CAS シンボルが送信された後の最初の 4 サイクルで解決されます。

Coldstart 試行を開始したノードがこの 4 サイクル間に CAS シンボルやフレームヘッダを受信すると、すぐに COLDSTART_LISTEN 状態に再遷移します。その結果、Coldstart パスに残るのは 1 つのノードのみになります。サイクル 4 に入ると、他の Coldstart ノードが Startup フレームの送信を開始します。

COLDSTART_COLLISION_RESOLUTION 状態での 4 サイクルの後、Coldstart を開始したノードは COLDSTART_CONSISTENCY_CHECK 状態に入ります。サイクル 4 および 5 の Startup フレームをすべて集めてクロック補正を行います。クロック補正にエラーがなく、1 組以上の有効な Startup フレームを受信した場合、COLDSTART_CONSISTENCY_CHECK 状態を抜けて NORMAL_ACTIVE 状態に移ります。

1 つのノードが実行できる Coldstart 試行回数は、FLXAnFRSUCC1.CSA ビットで設定します。Coldstart 試行残数は FLXAnFRCCSV.RCA ビットから読み出せます。Coldstart 試行が実行されるたび残数は 1 ずつ減算されます。ノードは、この値が 2 以上のときのみ COLDSTART_LISTEN 状態に、1 以上のときのみ COLDSTART_COLLISION_RESOLUTION 状態に遷移できます。Coldstart 試行回数が 1 回の場合、Coldstart は禁止されますが、統合は可能です。

(4) Following Coldstart ノードの状態遷移（Leading Coldstart ノードへの応答）

Coldstart ノードが COLDSTART_LISTEN 状態に入ると、Leading Coldstart ノードからスケジュールとクロック補正を引き出すため、有効な Startup フレームのペアを受信しようとします。

有効な Startup フレームを受信するとただちに INITIALIZE_SCHEDULE 状態に入ります。クロック同期が対になる 2 つ目の有効な Startup フレームを受信し、スケジュールを引き出すと、INTEGRATION_COLDSTART_CHECK 状態に移ります。

INTEGRATION_COLDSTART_CHECK 状態では、クロック補正が正しく実行され、ノードのスケジュールを初期化した Coldstart ノードがまだ有効であることが確認されます。ノードはすべての Sync フレームを集め、次のサイクルペアでクロック補正を実行します。クロック補正でエラーがなく、統合した同じノードから引き続きフレームを受信している場合、COLDSTART_JOIN 状態に入ります。

COLDSTART_JOIN 状態では、Following Coldstart ノードが Startup フレームの送信を開始し、次のサイクルでも Startup フレームを送信します。その結果、Leading Coldstart ノードとそれに統合するノードが、互いのスケジュールが一致しているかどうかをチェックできます。クロック補正でエラーがあった場合、ノードは統合するのを中断します。この状態にあるノードがすべての偶数サイクルで有効な Startup フレームを 1 つ以上検知し、すべてのサイクルペアで有効な Startup フレームを 1 つ以上検知した場合、ノードは COLDSTART_JOIN 状態を抜け NORMAL_ACTIVE 状態に遷移します。結果として Coldstart を開始したノードの最低 1 サイクル後に、FollowingColdstart ノードは STARTUP 状態から抜けます。

(5) 非 Coldstart ノードの状態遷移

非 Coldstart ノードは、INTEGRATION_LISTEN 状態に入ると自ノードのチャネルを監視します。

有効な Startup フレームを受信するとただちに INITIALIZE_SCHEDULE 状態に入ります。クロック同期が対になる 2 つ目の有効な Startup フレームを受信し、スケジュールを引き出すと、INTEGRATION_CONSISTENCY_CHECK 状態に移ります。

INTEGRATION_CONSISTENCY_CHECK 状態では、クロック補正が正しく実行されたか、十分な数（2 つ以上）の Coldstart ノードがノードのスケジュールに一致する Startup フレーム送信をしているかを確認します。クロック補正が実行され、エラーが検出されると、ノードは統合するのを中断します。

この状態での最初の偶数サイクル中、有効な Startup フレーム 2 つか、統合したノードの Startup フレームかのどちらかが受信されなければなりません。受信されなければ、ノードは統合するのを中断します。

この状態での最初のサイクルペア中、有効な Startup フレームペア 2 つか、統合したノードの Startup フレームペアかのどちらかが受信されなければなりません。受信されなければ、ノードは統合するのを中断します。

最初のサイクルペア後、偶数サイクルで受信した有効な Startup フレームが 2 つ未満の場合、またはサイクルペアで受信した有効な Startup フレームペアが 2 つ未満の場合、スタートアップは中断されます。

STARTUP 状態を抜け NORMAL_OPERATION 状態に入るためには、この状態においてノー

ドは 2 つの連続したサイクルペアそれぞれに対し 2 つの有効な Startup フレームペアを検知することが必要です。結果として、Coldstart を開始したノードの最低 1 サイクルペア後、かつ奇数サイクルの終了時に、非 Coldstart ノードは STARTUP 状態から抜けます。

25.3.6.7　NORMAL_ACTIVE 状態

最初の CAS シンボルを送信したノード（アクセス競合を解決して Coldstart パスを経て STARTUP に遷移）と、もう 1 つのノードが NORMAL_ACTIVE 状態に入ると、クラスタのスタートアップフェーズが完了します。NORMAL_ACTIVE 状態ではすべての設定されたメッセージが設定どおりに送信されます。ここには Sync フレームだけでなく、データフレームも含まれます。レートおよびオフセット計測は偶数サイクル（偶数／奇数サイクルペアが必要です）で行われます。

NORMAL_ACTIVE 状態では以下の標準の通信機能がサポートされます。

- FlexRay バス上での送受信を設定されたとおりに実行
- クロック同期を実施
- CPU インタフェースが動作

CC は以下の場合に NORMAL_ACTIVE 状態を抜けます。

- FLXAnFRSUCC1.CMD ビットに“0110_B”（HALT コマンド）を書き込むことで、現サイクルの終了時に HALT 状態に遷移
- FLXAnFRSUCC1.CMD ビットに“0111_B”（FREEZE コマンド）を書き込むことで、ただちに HALT 状態に遷移
- ACTIVE から COMM_HALT へエラーステータスが変化したことにより HALT 状態に遷移
- ACTIVE から PASSIVE へエラーステータスが変化したことにより NORMAL_PASSIVE 状態に遷移
- FLXAnFRSUCC1.CMD ビットに“0010_B”（READY コマンド）を書き込むことで READY 状態に遷移

25.3.6.8　NORMAL_PASSIVE 状態

エラーステータスが ACTIVE から PASSIVE に変化すると、NORMAL_ACTIVE 状態から NORMAL_PASSIVE 状態へ遷移します。

NORMAL_PASSIVE 状態では、ノードはすべてのフレームを受信することができます（ノードが完全に同期していてクロック同期を行う場合）。NORMAL_ACTIVE 状態と違い、ノードは積極的には通信に参加しません、つまりシンボルもフレームも送信しません。

NORMAL_PASSIVE 状態では

- FlexRay バス上での受信を実行
- FlexRay バス上にフレームもシンボルも送信しない
- クロック同期を実施
- CPU インタフェースが動作

CC は以下の場合に NORMAL_PASSIVE 状態を抜けます。

- FLXAnFRSUCC1.CMD ビットに“0110_B”（HALT コマンド）を書き込むことで、現サイクルの終了時に HALT 状態に遷移
- FLXAnFRSUCC1.CMD ビットに“0111_B”（FREEZE コマンド）を書き込むことで、ただちに HALT 状態に遷移
- PASSIVE から COMM_HALT へエラーステータスが変化したことにより HALT 状態に遷移
- PASSIVE から ACTIVE へエラーステータスが変化したことにより NORMAL_ACTIVE 状態に遷移
  この変化は FLXAnFRCCEV.PTAC ビットの値が FLXAnFRSUCC1.PTA ビットの設定値－1 になったときに起こります。
- FLXAnFRSUCC1.CMD ビットに“0010_B”（READY コマンド）を書き込むことで READY 状態に遷移

25.3.6.9 HALT 状態

この状態ではすべての通信（送受信）が停止します。

CC は以下の場合に HALT 状態へ遷移します。

- NORMAL_ACTIVE 状態または NORMAL_PASSIVE 状態で、FLXAnFRSUCC1.CMD ビットに“0110_B”（HALT コマンド）を設定
- 状態にかかわらず、FLXAnFRSUCC1.CMD ビットに“0111_B”（FREEZE コマンド）を設定
- FLXAnFRSUCC1.HCSE ビットが“1”に設定されていて、クロック補正失敗カウンタが「クロック補正エラー回数（HALT 状態への遷移条件）」に達したため NORMAL_ACTIVE 状態から抜けたとき
- FLXAnFRSUCC1.HCSE ビットが“1”に設定されていて、クロック補正失敗カウンタが「クロック補正エラー回数（HALT 状態への遷移条件）」に達したため NORMAL_PASSIVE 状態から抜けたとき

CC は以下の場合に HALT 状態から DEFAULT_CONFIG 状態へ遷移します。

- FLXAnFRSUCC1.CMD ビットに“0001_B”（CONFIG コマンド）を設定

HALT 状態に遷移すると、すべてのレジスタ設定やステータスデータは解析のために保存されます。

プログラムで FLXAnFRSUCC1.CMD ビットに“0110_B”（HALT コマンド）を書き込むと、FLXAnFRCCSV レジスタの HRQ フラグが“1”になり、次のサイクルの終了時、HALT 状態に遷移します。

プログラムで FLXAnFRSUCC1.CMD ビットに“0111_B”（FREEZE コマンド）を書き込むと、ただちに HALT 状態に遷移し、FLXAnFRCCSV レジスタの FSI フラグが“1”になります。

HALT 状態へ遷移する前の POC の状態は、FLXAnFRCCSV.PSL フラグから読み出せます。

25.3.7　ネットワーク管理

生成されたネットワーク管理（NM）ベクタは FLXAnFRNMV1～FLXAnFRNMV3 レジスタで読み出せます。CC は、ペイロードプリアンブルインジケータ（PPI）ビットが“1”になっているすべての有効な受信 NM フレームの中から、すべての NM ベクタをビットごとに OR 演算します。スタティックフレームだけが NM 情報を持つように設定されています。CC は各サイクルの終了時に NM ベクタを更新します。

NM ベクタ長は FLXAnFRNEMC.NML ビットにより 0～12 バイトの範囲で設定します。NM ベクタ長はクラスタ内のすべてのノードで同じ値にしてください。

FlexRay フレームを PPI ビットを“1”にして送信するように送信バッファを設定するには、それぞれの送信バッファのヘッダセクションにある PPIT ビットを、FLXAnFRWRHS1 レジスタの PPIT ビットを使って“1”にしなければなりません。さらにプログラムで NM 情報をそれぞれの送信バッファのデータセクションに書き込む必要があります。

NM ベクタの評価はアプリケーションプログラム側で行う必要があります。

FLXAnFRNMV1～FLXAnFRNMV3 レジスタでの受信 NM ベクタのバイトアライメントについては、「**25.3.17 バイトアライメント**」を参照してください。

注　意

1. メッセージバッファがネットワーク管理フレームの送信/受信用に設定されている場合、メッセージバッファのヘッダ 2 で設定するペイロード長は、FLXAnFRNEMC.NML ビットで設定した NM ベクタ長以上にする必要があります。
2. CC が HALT 状態に遷移したとき、サイクルカウンタはインクリメントされないので、NM ベクタも更新されません。このとき FLXAnFRNMV1～FLXAnFRNMV3 レジスタは以前のサイクルの値を保持します。

25.3.8　フィルタリングとマスキング

フィルタリングは、指定されたメッセージバッファの設定と、実際のスロットカウンタ値、サイクルカウンタ値およびチャネル ID（チャネル A、B）とを比較することで行われます。比較した値が一致した場合にのみ、メッセージバッファは更新／送信されます。

フィルタリングは以下の条件で行われます。

- スロットカウンタ
- サイクルカウンタ
- チャネル ID

以下のフィルタの組み合わせがアクセプタンス／送信フィルタリングに使用できます。

- スロットカウンタ＋チャネル ID
- スロットカウンタ＋サイクルカウンタ＋チャネル ID

メッセージバッファに受信メッセージを格納するには、設定されたすべてのフィルタが一致する必要があります。

注　意

FIFO については、アクセプタンスフィルタは FlexRayFIFO リジェクションフィルタレジスタ（FLXAnFRFRF）と、FlexRayFIFO リジェクションフィルタマスクレジスタ（FLXAnFRFRFM）で設定されます。

設定したチャネルの設定したフレーム ID に相当するタイムスロットでメッセージは送信されます。サイクルカウンタフィルタリングが有効な場合、設定されたサイクルフィルタ値も一致する必要があります。

25.3.8.1　スロットカウンタフィルタリング

すべての送信／受信バッファは、ヘッダセクションにフレーム ID を持っています。このフレーム ID が実際のスロットカウンタ値と比較されて、受信／送信バッファを対応するスロットに割り当てます。

2 つ以上のメッセージバッファが同じフレーム ID とチャネル ID を持つように設定され、同じスロットに対してサイクルカウンタフィルタ値が一致した場合、最小メッセージバッファ番号を持つメッセージバッファが使用されます。

25.3.8.2　サイクルカウンタフィルタリング

サイクルカウンタフィルタリングはサイクルセットという概念に基づきます。フィルタリングという目的においては、サイクルセットの項目が 1 つでも一致すると、一致と検出されます。サイクルセットは各メッセージバッファのヘッダセクション 1 にあるサイクルコードフィールドで定義されます。

メッセージバッファ 0 または 1 が、FLXAnFRSUCC1.TXST ビット、FLXAnFRSUCC1.TXSY ビット、FLXAnFRSUCC1.TSM ビットによって、Startup フレーム／Sync フレーム、または SINGLE スロットフレームになるように設定されている場合、該当するメッセージバッファのサイクルカウンタフィルタリングは禁止する必要があります。

注　意

FlexRay ネットワークの異なるノード間で、サイクルカウンタフィルタリングを使用してスタティックタイムスロットを共有することは禁止されています。

サイクルセットに含まれるサイクル番号のセットは「**表 25.112　サイクルセットの定義**」のように定義されています。

表 25.112 サイクルセットの定義

サイクルコード	一致するサイクルカウンタ値
0b000000x	全サイクル
0b000001c	2 サイクルごと （サイクルカウント値）mod2＝c のとき
0b00001cc	4 サイクルごと （サイクルカウント値）mod4＝cc のとき
0b0001ccc	8 サイクルごと （サイクルカウント値）mod8＝ccc のとき
0b001cccc	16 サイクルごと （サイクルカウント値）mod16＝cccc のとき
0b01ccccc	32 サイクルごと （サイクルカウント値）mod32＝ccccc のとき
0b1cccccc	64 サイクルごと （サイクルカウント値）mod64＝cccccc のとき

「**表 25.113　有効なサイクルセット例**」にサイクルカウンタフィルタリングに使用する有効なサイクルセットの例を示します。

表 25.113 有効なサイクルセット例

サイクルコード	一致するサイクルカウンタ値
0b0000011	1-3-5-7-….-63
0b0000100	0-4-8-12-….-60
0b0001110	6-14-22-30-….-62
0b0011000	8-24-40-56
0b0100011	3-35
0b1001001	9

メッセージが受信されたサイクルのサイクルカウンタ値と受信バッファのサイクルセットの要素が一致したときのみ、受信メッセージが格納されます。チャネル ID およびフレーム ID も一致する必要があります。

送信バッファに設定したサイクルコードが現在のサイクルカウンタ値に一致した場合、フレームを送信します。チャネル ID およびフレーム ID も一致する必要があります。

25.3.8.3　チャネル ID フィルタリング

メッセージ RAM の各メッセージバッファのヘッダセクションには 2 ビットのチャネルフィルタリング制御フィールド（CH ビット）があります。これらは受信バッファのフィルタおよび送信バッファの制御フィールドとして使用します（「**表 25.114 チャネルフィルタリング設定**」参照）。

表 25.114 チャネルフィルタリング設定

CH[1:0]	送信バッファのフレーム送信	受信バッファの有効受信フレーム格納
00_B	送信禁止	フレーム無視
01_B	チャネル A	チャネル A で受信
10_B	チャネル B	チャネル B で受信
11_B	両チャネル（スタティックセグメントのみ）	チャネル A または B で受信（最初のセマンティクス的に有効なフレームを格納、スタティックセグメントのみ）

スロットカウンタフィルタリングとサイクルカウンタフィルタリングの条件を満たした場合、送信バッファの内容は、チャネルフィルタリング制御フィールドで設定したチャネルに送信されます。送信バッファは、スタティックセグメントでのみ両方のチャネル（CH ビット＝“11_B”）に送信するように設定できます。

スロットカウンタフィルタリングとサイクルカウンタフィルタリングの条件を満たした場合、チャネルフィルタリング制御フィールドで設定したチャネルで受信した有効な受信フレームが格納されます。受信バッファは、スタティックセグメントでのみ両方のチャネル（CH ビット＝“11_B”）から受信するように設定できます。

注　意

メッセージバッファがダイナミックセグメント用に設定されており、チャネルフィルタリング制御フィールドの両ビットが“1”のとき、フレームの送信は行われず、受信フレームは無視されます（CH ビット＝“00_B”と同じ機能）。

25.3.8.4　FIFO フィルタリング

FIFO フィルタリングでは FLXAnFRFRF レジスタおよび FLXAnFRFRFM レジスタを使用します。FIFO フィルタはチャネルフィルタ（FLXAnFRFRF.CH ビット）、フレーム ID フィルタ（FLXAnFRFRF.FID ビット）およびサイクルカウンタフィルタ（FLXAnFRFRF.CYF ビット）から構成されています。FLXAnFRFRF レジスタおよび FLXAnFRFRFM レジスタは DEFAULT_CONFIG 状態または CONFIG 状態でのみ設定できます。FIFO に割り当てられたメッセージバッファのヘッダセクションに対するフィルタ設定は無視されます。

7 ビットのサイクルカウンタフィルタはフレーム ID フィルタとチャネルリジェクションフィルタが適用されるサイクルセットを決定します。FLXAnFRFRF.CYF ビットで設定されたサイクルセットに該当しないサイクルでは、すべてのフレームが除外されます。

FLXAnFRFRF レジスタと FLXAnFRFRFM レジスタの設定によってチャネル ID、フレーム ID およびサイクルカウンタが除外されず、かつ一致する専用受信バッファがない場合、有効な受信フレームが FIFO に格納されます。

25.3.9　送信プロセス

25.3.9.1　スタティックセグメント

スタティックセグメントでは、送信待ちメッセージがある場合、次の送信スロットに対応するフレーム ID を持ったメッセージが送信するために選択されます。

スタティックセグメントに割り当てられた送信バッファのデータセクションは、その前のタイムスロットの終了時まで更新できます。つまり、遅くともこのときまでに FlexRay 入力バッファコマンド要求レジスタ（FLXAnFRIBCR レジスタ）に書き込み、入力バッファからの転送を開始させる必要があります。

25.3.9.2　ダイナミックセグメント

ダイナミックセグメントでは、送信待ちメッセージがある場合、優先度が高い（フレーム ID の小さい）メッセージが次の送信に選択されます。このセグメントではチャネル A とチャネル B で異なるスロットカウンタシーケンスを使用できます（両チャネルで異なるフレーム ID の同時送信が可能）。

ダイナミックセグメントに割り当てられた送信バッファのデータセクションは、その前のスロットの終了時まで更新できます。つまり、遅くともこのときまでに FlexRay 入力バッファコマンド要求レジスタ（FLXAnFRIBCR レジスタ）に書き込み、入力バッファからの転送を開始させる必要があります。

FLXAnFRMHDC.SLT ビットで設定される最終送信開始位置により、最大ミニスロット値が定義されます。このスロット以降、現サイクルのダイナミックセグメントでは新たなフレーム送信は禁止になります。

25.3.9.3　送信バッファ

FlexRay メッセージバッファは、FLXAnFRWRHS1 レジスタにより該当メッセージバッファのヘッダセクションにある CFG ビットに“1”を書き込むことで、送信バッファに設定できます。

送信バッファの CC チャネルへの割り当ては以下のいずれかになります。

- スタティックセグメント　：チャネル A またはチャネル B
チャネル A とチャネル B の両方
- ダイナミックセグメント　：チャネル A またはチャネル B

メッセージバッファ 0、1 は、それぞれ FLXAnFRSUCC1.TXST、FLXAnFRSUCC1.TXSY、FLXAnFRSUCC1.TSM ビットで設定したとおり、Startup フレーム、Sync フレーム、指定された SINGLE スロットフレーム専用となります。この場合、DEFAULT_CONFIG 状態または CONFIG 状態でのみ設定変更ができます。このため各ノードは、1 つのコミュニケーションサイクルに多くとも 1 つの Startup フレーム／Sync フレームしか送信できません。他のメッセージバッファから Startup フレーム／Sync フレームを送信することはできません。

スタティックセグメントまたはダイナミックセグメントでの送信用に設定されている他のメッセージバッファはすべて、FLXAnFRMRC.SEC ビットの設定次第でランタイム中に設定変更可能です（「**25.3.12.1 メッセージバッファの設定変更**」参照）。（データポインタによって参照されるという）メッセージ RAM のデータパーティションの構成上、メッセージバッファのヘッダセクションのペイロード長とデータポインタの設定変更はエラーを引き起こす可能性があります。

ランタイム中にメッセージバッファが設定変更（ヘッダセクションを更新）された場合、このメッセージバッファは、対応するコミュニケーションサイクル中に送信されない場合があります。

CC にはヘッダ CRC を計算する機能はありません。プログラムですべての送信バッファにヘッダ CRC を用意する必要があります。ネットワーク管理が必要な場合、該当するメッセージバッファのヘッダセクションにある PPIT ビットを“1”に設定し、データセクションにネットワーク管理情報を書き込む必要があります（「**25.3.7 ネットワーク管理**」参照）。

ペイロード長フィールドは 2 バイト単位でペイロード長を設定します。スタティック送信バッファのペイロード長が FLXAnFRMHDC.SFDL ビットに設定したスタティックセグメントでのペイロード長より短い場合、CC はフレームが正しい物理長になるようにパディングバイトを生成します。パディングパターンは“0000_H”です。

注 意

ペイロード長が奇数の場合（PLC＝1、3、5、…）、パディングパターンを確実に“0000_H”にするため、アプリケーションは、メッセージバッファのデータセクションの最後の 16 ビットに“0”を書き込む必要があります。

それぞれの送信バッファには、ホストによる送信バッファの送信モード設定を可能にする、送信モードフラグ TXM が 1 つあります。このビットがセットされると、トランスミッタはシングルショットモードで動作します。このビットがクリアされると、トランスミッタは連続モードで動作します。

シングルショットモードでは、送信完了後に対応する TXR フラグが“0”になります。このとき送信バッファの更新が可能です。

連続送信モードでは、送信が完了しても対応する送信要求フラグ（TXR）は“0”になりません。この場合、フィルタ条件が一致するごとにフレームが送信されます。TXR フラグを“0”にするには、FLXAnFRIBCM レジスタの STXRH ビットが“0”の間に当該メッセージバッファ番号を FLXAnFRIBCR レジスタに書き込みます。

2 つ以上の送信バッファが同時にフィルタ条件を満たした場合、メッセージバッファ番号が最も小さい送信バッファが対応するスロットで送信されます。

25.3.9.4 フレーム送信

以下にメッセージバッファを送信するための手順を示します。

- FLXAnFRWRHS1～FLXAnFRWRHS3 レジスタによりメッセージ RAM の送信バッファを設定する。
- FLXAnFRWRDSx により送信バッファのデータセクションを書き込む。
- 対象となるメッセージバッファ番号を FLXAnFRIBCR レジスタに書き込むことで、入力バッファからメッセージ RAM に設定値とメッセージデータを転送する。
- FLXAnFRIBCM レジスタで設定した場合、転送完了次第、対象のメッセージバッファの送信要求フラグ（TXR）が“1”になり、メッセージバッファの送信準備が完了する。
- FLXAnFRTXRQ1～FLXAnFRTXRQ4 レジスタの対応する TXR フラグをチェックする（TXR＝“0”）ことで、メッセージバッファが送信されたかどうかを確認する（シングルショットモードのみ）。

送信完了後、FLXAnFRTXRQ1～FLXAnFRTXRQ4 レジスタの対応する TXR フラグが“0”になります（シングルショットモードのみ）。また、メッセージバッファのヘッダセクションの MBI ビットが“1”の場合、FLXAnFRSIR レジスタの TXI ビットが“1”になります。割り込みが許可されている場合、割り込み要求が発生します。

25.3.9.5 Null フレーム送信

スタティックセグメントにおいて、送信前に送信要求フラグが“1”になっていない場合、CC は、Null フレームインジケータビットを“0”、ペイロードデータを 0 にして Null フレームを送信します。

以下の場合 Null フレームが送信されます。

- フィルタ条件に合致するメッセージバッファ番号が最も小さいメッセージバッファの送信要求フラグが“1”になっていない場合（TXR＝“0”）
- そのスロットに設定された送信バッファのサイクルカウンタフィルタが、現在のサイクルに一致しない場合。この場合、メッセージバッファステータス（FLXAnFRMBS）は更新されません。

ダイナミックセグメントでは Null フレームは送信されません。

25.3.10　受信プロセス

25.3.10.1　専用受信バッファ

一部の FlexRay メッセージバッファは、FLXAnFRWRHS1 レジスタにより該当メッセージバッファのヘッダセクションにある CFG ビットに“0”を書き込むことで、専用受信バッファに設定できます。

受信バッファの CC チャネルへの割り当ては以下のいずれかになります。

- スタティックセグメント　：チャネル A またはチャネル B
  チャネル A とチャネル B の両方（最初のセマンティクス的に有効なフレームを格納）
- ダイナミックセグメント　：チャネル A またはチャネル B

CC は、FlexRay チャネルプロトコルコントローラ（チャネル A または B）のシフトレジスタから一致するフィルタ設定を持つ受信バッファに、有効な受信メッセージのペイロードデータを転送します。受信バッファは、フレーム CRC 以外のすべてのフレーム要素を格納します。

スタティックセグメントまたはダイナミックセグメントでの受信用に設定されているメッセージバッファはすべて、FLXAnFRMRC.SEC ビットの設定次第でランタイム中に設定変更可能です（「**25.3.12.1 メッセージバッファの設定変更**」参照）。ランタイム中にメッセージバッファの設定を変更（ヘッダセクションを更新）すると、対応するコミュニケーションサイクルで受信メッセージが失われる可能性があります。

2 つ以上の受信バッファが同時にフィルタ条件を満たした場合、メッセージバッファ番号が最も小さい受信バッファが対応する受信メッセージで更新されます。

25.3.10.2　フレーム受信

以下に専用受信メッセージバッファに受信準備をするための手順を示します。

- FLXAnFRWRHS1～FLXAnFRWRHS3 レジスタによりメッセージ RAM の受信バッファを設定する。
- 対象となるメッセージバッファ番号を FLXAnFRIBCR レジスタに書き込むことで、入力バッファからメッセージ RAM に設定値を転送する。

上記の手順を実行したら、メッセージバッファは受信バッファとして機能し、メッセージを受信するたびに行われる内部アクセプタンスフィルタリング処理に参加します。最初に一致した受信バッファが受信メッセージにより更新されます。

有効なペイロードセグメントがメッセージバッファのデータセクションに格納された場合、FLXAnFRNDAT1～FLXAnFRNDAT4 レジスタの対応する ND フラグが“1”になります。また、メッセージバッファのヘッダセクションにある MBI ビットが“1”の場合、FLXAnFRSIR レジスタの RXI ビットが“1”になります。割り込みが許可されている場合、割り込み要求が発生します。

メッセージハンドラがメッセージバッファを更新したときに ND ビットがすでに“1”になっていた場合、対応するメッセージバッファの FLXAnFRMBS にある MLST ビットが“1”になり、未処理のメッセージデータは失われます。

フレームを受信しなかった場合、または Null フレームや破損したフレームを受信した場合、このスロットに設定されたメッセージバッファのデータセクションは更新されません。この場合、対応するメッセージバッファステータス（FLXAnFRMBS）だけが更新されます。

メッセージハンドラがメッセージバッファのヘッダセクションにある FlexRay メッセージバッファステータス（FLXAnFRMBS）を変化させたとき、FLXAnFRMBSC1～FLXAnFRMBSC4 レジスタの対応する MBC フラグが“1”になります。また、メッセージバッファのヘッダセクションにある MBI ビットが“1”の場合、FLXAnFRSIR レジスタの MBSI ビットが“1”になります。割り込みが許可されている場合、割り込み要求が発生します。

受信したフレームのペイロード長（PLR）が、対応するメッセージバッファのヘッダセクションにある PLC ビットの設定値より長い場合、メッセージバッファに格納されるデータフィールドは設定された長さに切り詰められます。

出力バッファを介してメッセージ RAM から受信バッファを読み出すには、「**25.3.12.2(2) メッセージ RAM から出力バッファへのデータ転送**」に記載の処理を行ってください。

注　意

受信メッセージのペイロードデータとヘッダが出力バッファに転送された場合、ND フラグと MBC フラグはメッセージハンドラによって自動的に“0”になります。

25.3.10.3　Null フレーム受信

受信した Null フレームのペイロードセグメントは、一致した専用受信バッファにコピーされません。Null フレームが受信されると、一致したメッセージバッファの FlexRay メッセージバッファステータス（FLXAnFRMBS）だけが受信した Null フレームにより更新されます。一致したメッセージバッファのヘッダ 2 と 3 にあるビットはいずれも変化しません。これらのビットの内容は受信データフレームによってのみ更新されます。

メッセージハンドラがメッセージバッファのヘッダセクションにある FlexRay メッセージバッファステータス（FLXAnFRMBS）を変化させたとき、FLXAnFRMBSC1～FLXAnFRMBSC4 レジスタの対応する MBC フラグが“1”になります。また、メッセージバッファのヘッダセクションにある MBI ビットが“1”の場合、FLXAnFRSIR レジスタの MBSI フラグが“1”になります。割り込みが許可されている場合、割り込み要求が発生します。

25.3.11　FIFO 機能

25.3.11.1　解説

メッセージバッファの一部を FIFO バッファとして設定できます。FIFO に設定したメッセージバッファは、FLXAnFRMRC.FFB ビットで指定したメッセージバッファから始まり、FLXAnFRMRC.LCB ビットで指定したメッセージバッファで終わるレジスタマップ内で、連続しています。最大 127 のメッセージバッファを FIFO に割り当てることができます。

専用受信バッファには一致しなかったが、プログラマブル FIFO フィルタはパスした有効な受信メッセージはすべて FIFO に格納されます。この場合、指定された FIFO メッセージバッファのフレーム ID、ペイロード長、受信サイクルカウント、FlexRay メッセージバッファステータス（FLXAnFRMBS）にはそれぞれ受信フレームの値が上書きされます。FLXAnFRSIR レジスタの RFNE フラグが“1”の場合、受信 FIFO がエンプティでないことを、RFCL ビットが“1”の場合、受信 FIFO フィルレベル（FLXAnFRFSR.RFFL）が FLXAnFRSIR.RFCL ビットで設定されたクリティカルレベル以上であることを、また FLXAnFREIR レジスタの RFO ビットが“1”の場合、FIFO オーバランが検出されたことを示します。割り込みが許可されている場合、割り込み要求が発生します。

Null フレームが FIFO リジェクションフィルタで除去されなかった場合、その Null フレームは FIFO に格納されたときデータフレームのように扱われます。

FIFO に関連した 2 つのインデックスレジスタがあります。PUT インデックスレジスタ（PIDX）は FIFO 内で次に使用可能な場所を示すインデックスです。新しいメッセージを受信したとき、当該メッセージは PIDX レジスタに示されるメッセージバッファに書き込まれます。その後 PIDX レジスタはインクリメントされ、次に使用可能なメッセージバッファを示します。PIDX レジスタが FIFO のメッセージバッファ番号の最大値を超えると、PIDX レジスタには FIFO チェーン内の先頭（最も値が小さい）メッセージバッファの番号が設定されます。GET インデックスレジスタ（GIDX）は次に読み出される FIFO のメッセージバッファを示すために使用します。FIFO 内のメッセージバッファの内容が出力バッファへ転送されると、GIDX レジスタはインクリメントされます。PIDX レジスタと GIDX レジスタへは CPU からアクセスできません。

PIDX レジスタの値が GIDX レジスタの値に達したとき、FIFO は一杯になります。一番古いメッセージが読み出される前に新しいメッセージが書き込まれると、両レジスタはインクリメントされ、新しいメッセージは一番古いメッセージに上書きされます。このとき FIFO オーバランフラグ（FLXAnFREIR.RFO ビット）が“1”になります。

PIDX レジスタの値が GIDX レジスタの値と異なる場合、FIFO がエンプティでないことがわかります。このとき FLXAnFRSIR レジスタの FLXAnFRSIR.RFNE フラグが“1”になります。これは少なくとも 1 つの受信メッセージが FIFO にあることを示します。FIFO エンプティ、FIFO 非エンプティ、FIFO オーバランの状態を、3 つのメッセージバッファからなる FIFO を例に「**図 25.11 FIFO ステータス：エンプティ、非エンプティ、オーバラン**」に示します。

プログラマブル FIFO リジェクションフィルタ（FLXAnFRFRF レジスタ）は、除去されるメッセージのフィルタパターンを定義します。FIFO フィルタはチャネルフィルタ、フレーム ID フィルタ、サイクルカウンタフィルタで構成されます。FLXAnFRFRF レジスタの RSS ビットが“1”の場合、スタティックセグメントで受信したメッセージはすべて FIFO に除去されます。RNF ビットが“1”の場合、受信した Null フレームは FIFO に格納されません。

FlexRay FIFO リジェクションフィルタマスク（FLXAnFRFRFM レジスタ）では、FLXAnFRFRF レジスタのフレーム ID フィルタのどのビットを除外フィルタリングで“don't care”にするかを指定します。

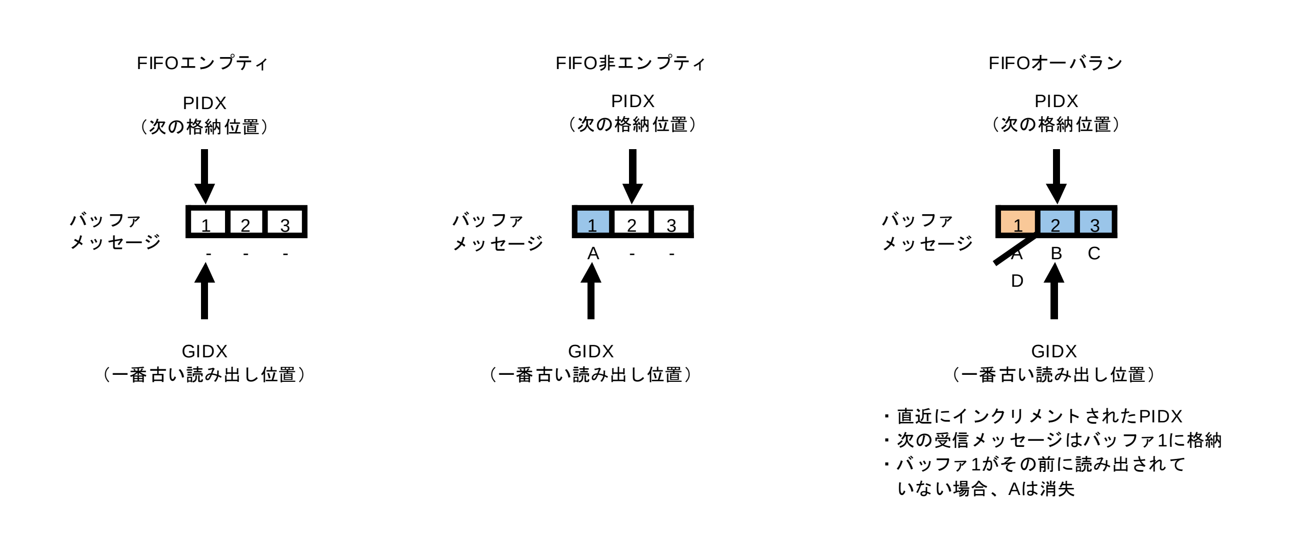


図 25.11　FIFO ステータス：エンプティ、非エンプティ、オーバラン

25.3.11.2　FIFO の設定

FIFO に設定したメッセージバッファの設定（もしくは設定変更）は、CC が DEFAULT_CONFIG 状態または CONFIG 状態でのみ可能です。CC が DEFAULT_CONFIG 状態または CONFIG 状態にあるとき、FIFO 機能は使用できません。

FIFO に設定したすべてのメッセージバッファにおいて、FLXAnFRWRHS2.PLC ビットで設定するペイロード長は同じ値にする必要があります。メッセージ RAM の各メッセージバッファのデータセクションの最初の 32 ビットへのデータポインタは、FLXAnFRWRHS3.DP ビットで設定します。

アクセプタンスフィルタリングに必要な情報はすべて、FlexRay FIFO リジェクションフィルタレジスタおよび FlexRay FIFO リジェクションフィルタマスクレジスタから取り出されます。FIFO に設定したメッセージバッファのヘッダセクションに設定されている値は、DP ビットおよび PLC ビットを除いて、意味を持ちません。

注　意

1. 受信割り込み要求が発生しないよう、FIFO に設定したメッセージバッファの MBI ビットは FLXAnFRWRHS1 レジスタを使用して“0”にすることを推奨します。
2. 受信したフレームのペイロード長が、対応するメッセージバッファのヘッダセクションにある FLXAnFRWRHS2.PLC ビットの設定値より長い場合、FIFO のメッセージバッファに格納されるデータフィールドは設定された長さに切り詰められます。

25.3.11.3　FIFO へのアクセス

(1)　出力バッファを使用

DEFAULT_CONFIG 状態または CONFIG 状態以外で FIFO にアクセスするには、（FLXAnFRMRC.FFB ビットで参照される）FIFO の先頭メッセージバッファ番号を FLXAnFROBCR レジスタに書き込み、メッセージ RAM から出力バッファへの転送を起動する必要があります。そうすると、メッセージハンドラが GET インデックスレジスタ（GIDX）で示されるメッセージバッファを出力バッファに転送します。この転送の後、GIDX レジスタはインクリメントされます。

(2)　データ転送機能を使用

FIFO に受信したメッセージは、出力データ転送機能を使用して、ローカル RAM やグローバル RAM に転送できます。出力データ転送機能については、「**25.3.16.2　出力データ転送**」を参照してください。

25.3.12 メッセージハンドリング

メッセージハンドラは、入力バッファ／出力バッファとメッセージ RAM 間、メッセージ RAM と 2 つのテンポラリバッファ間のデータ転送を制御します。

メッセージ RAM に格納されたメッセージバッファへのアクセスは、メッセージハンドラステートマシンの制御下で行われます。これにより、2 つの FlexRay チャネルプロトコルコントローラと CPU がメッセージ RAM へアクセスする際の衝突が避けられます。

スタティックセグメントに割り当てられたメッセージバッファのフレーム ID は、1 から FLXAnFRGTUC7.NSS ビットの設定値までの範囲に収まる必要があります。ダイナミックセグメントに割り当てられたメッセージバッファのフレーム ID は、「FLXAnFRGTUC7.NSS ビットの設定値＋1～2047」の範囲に収まる必要があります。

一致する専用受信バッファ（スタティックセグメントまたはダイナミックセグメント）がない受信メッセージは、FIFO リジェクションフィルタをパスすれば、受信 FIFO（設定されている場合）に格納されます。

ここでは、入力バッファ機能または出力バッファ機能を使用したメッセージバッファの内容へのホストアクセスについて説明します。データ転送機能を使用したメッセージバッファの内容へのアクセスについては、「**25.3.16 データ転送の使用法**」で説明しています。

25.3.12.1 メッセージバッファの設定変更

アプリケーションが 128 を超えるメッセージを扱う必要がある場合、FlexRay オペレーション中にスタティックおよびダイナミックメッセージバッファの設定を変更することができます。入力バッファレジスタ（FLXAnFRWRHS1～FLXAnFRWRHS3 レジスタ）で、各メッセージバッファのヘッダセクションを更新してください。

設定変更は、FlexRay メッセージ RAM 設定レジスタ（FLXAnFRMRC レジスタ）の SEC ビットで可能になります。

設定変更を始める前にメッセージバッファが送信されなかった、あるいは受信フレームにより更新されなかった場合、そのメッセージは失われます。

設定変更されたメッセージバッファが、設定変更されたフレーム ID に従って送信／受信される準備が整うタイミングは、ヘッダセクションの更新が完了したときのスロットカウンタの実際の状態に依存します。このため、設定変更されたメッセージバッファが、設定変更されたサイクルで送信されない、あるいは受信フレームにより更新されない場合があります。

メッセージ RAM は「**表 25.115 メッセージ RAM のスキャン**」に従ってスキャンされます。

表 25.115 メッセージ RAM のスキャン

スキャンの開始スロット	スロットのスキャン
1	2…15、1（次のサイクル）
8	16…23、1（次のサイクル）
16	24…31、1（次のサイクル）
24	32…39、1（次のサイクル）
…	…

メッセージ RAM のスキャンは、スキャンが終了したかどうかに関わらず NIT の開始とともに終了させられます。スロット 2～15 に対応するメッセージ RAM のスキャンは、現行のサイクルのスロット 1 の先頭で開始します。スロット 1 に対応するメッセージ RAM のスキャンは、次のサイクルのスロット 1 用に設定されたメッセージバッファがあるかどうかを、各メッセージ RAM のスキャンと並行してチェックすることで、その前のサイクルで行われます。

ダイナミックメッセージバッファの先頭番号は FLXAnFRMRC.FDB ビットで設定します。メッセージ RAM のスキャンをダイナミックセグメント中に開始する場合、スキャンは FLXAnFRMRC.FDB ビットで設定されたメッセージバッファ番号から開始されます。

次のサイクルのスロット 1 でメッセージバッファを使用するように再設定するには、以下の点を考慮してください。

- スロット 1 用に再設定するメッセージバッファが「スタティックバッファ」の部分にある場合、現行サイクルのスタティックセグメントにおける最後のメッセージ RAM スキャンが、このメッセージバッファを評価する前に再設定した場合のみ検出されます。
- スロット 1 用に再設定するメッセージバッファが「スタティックバッファ＋ダイナミックバッファ」の部分にある場合、現行サイクルのスタティックセグメントにおける最後のメッセージ RAM スキャンが、このメッセージバッファを評価する前に再設定した場合のみ検出されます。
- NIT が始まるとメッセージ RAM スキャンは終了します。この時点までにメッセージ RAM スキャンが再設定されたメッセージバッファを評価していない場合、そのメッセージバッファは次のサイクル用とは認識されません。

注　意

メッセージバッファの設定変更は、メッセージが失われる可能性があるため、十分に注意して実施してください。最悪の場合（連続サイクルでの設定変更時）、メッセージバッファがまったく送信されなかったり、受信フレームによって更新されなかったりすることもあります。

25.3.12.2　メッセージ RAM へのアクセス

入力バッファとメッセージ RAM 間、メッセージ RAM と出力バッファ間のメッセージ転送は、プログラムで、それぞれ転送先／転送元メッセージバッファ番号を FLXAnFRIBCR レジスタまたは FLXAnFROBCR レジスタに書き込むことで起動されます。

FLXAnFRIBCM レジスタ、FLXAnFROBCM レジスタは、選択されたメッセージバッファのヘッダセクションとデータセクションを個別に書き込んだり読み出したりするのに使用します。

FLXAnFRIBCM レジスタの STXR ビットが "1" の場合、選択されたメッセージバッファが更新された後、このメッセージバッファの送信要求フラグ（TXR ビット）は自動的に "1" になります。STXR ビットに "0" を書き込むと、選択されたメッセージバッファの送信要求フラグ（TXR ビット）は "0" になります。これは、連続モードで動作しているメッセージバッファからの送信を停止するのに使用できます。

入力バッファ（IBF）と出力バッファ（OBF）は、二重バッファ構成になっています。この二重バッファの構成の一方は CPU からアクセスでき（IBF ホスト／OBF ホスト）、もう一方（IBF シャドウ／OBF シャドウ）は IBF/OBF とメッセージ RAM 間のデータ転送のためにメッセージハンドラからアクセスされます。

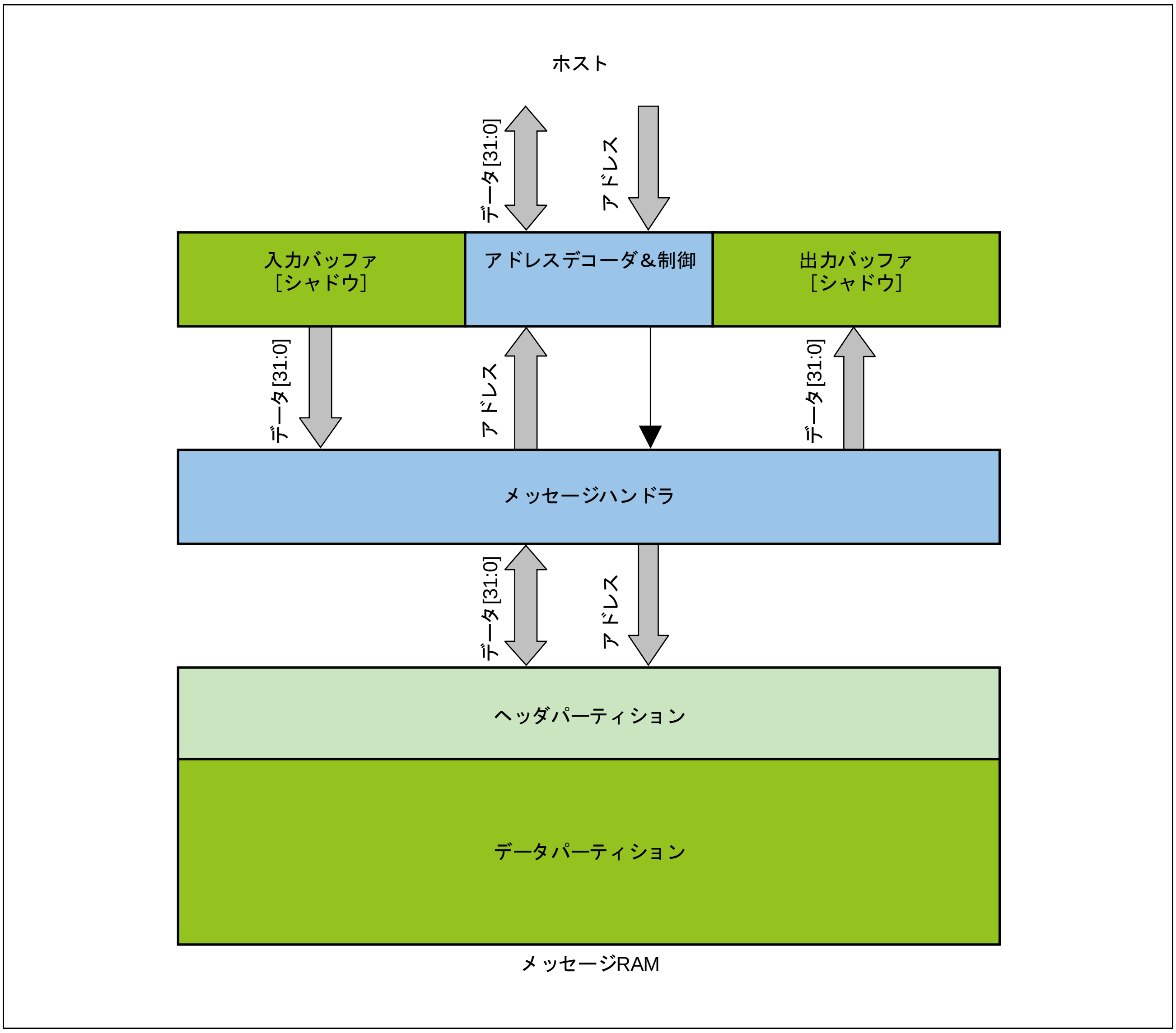


図 25.12　メッセージ RAM へのアクセス

(1) 入力バッファからメッセージ RAM へのデータ転送

メッセージ RAM 内のメッセージバッファを設定あるいは更新するには、データを FLXAnFRWRDSx レジスタに、ヘッダを FLXAnFRWRHS1～FLXAnFRWRHS3 に書き込む必要があります。特殊な動作は FlexRay 入力バッファコマンドマスクレジスタ（FLXAnFRIBCM レジスタ）を設定することで選択されます。

FLXAnFRIBCR.IBRH ビットにメッセージ RAM 内の転送先メッセージバッファ番号を書き込むと、IBF ホストと IBF シャドウが切り替わります（「**図 25.13 入力バッファのダブルバッファ構造**」参照）。

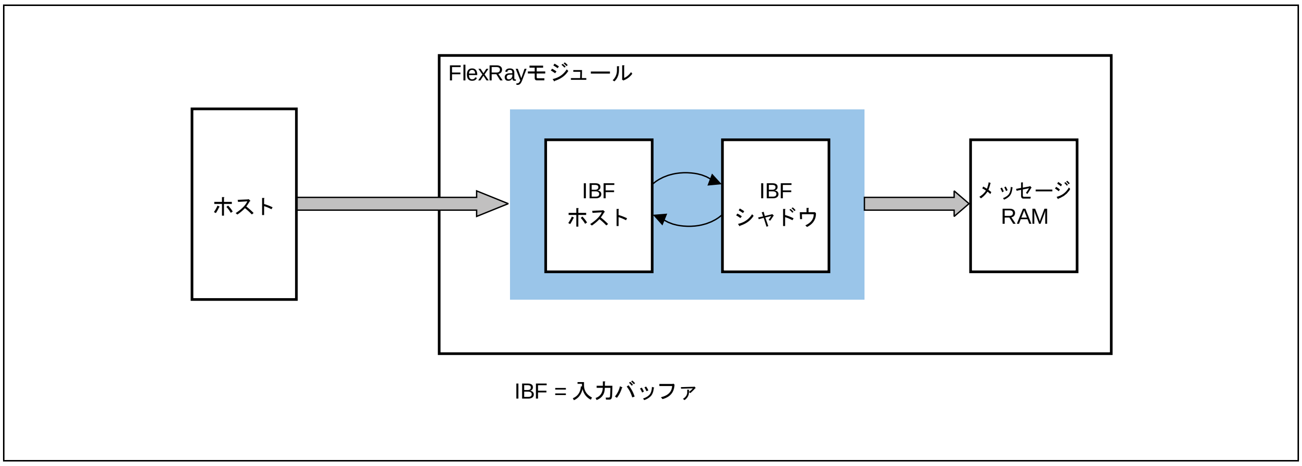


図 25.13 入力バッファのダブルバッファ構造

さらに FLXAnFRIBCM レジスタと FLXAnFRIBCR レジスタの各ビットも、各 IBF セクションにある値を維持したまま切り替わります（「**図 25.14 FLXAnFRIBCM レジスタと FLXAnFRIBCR レジスタのビットの切り替え**」参照）。

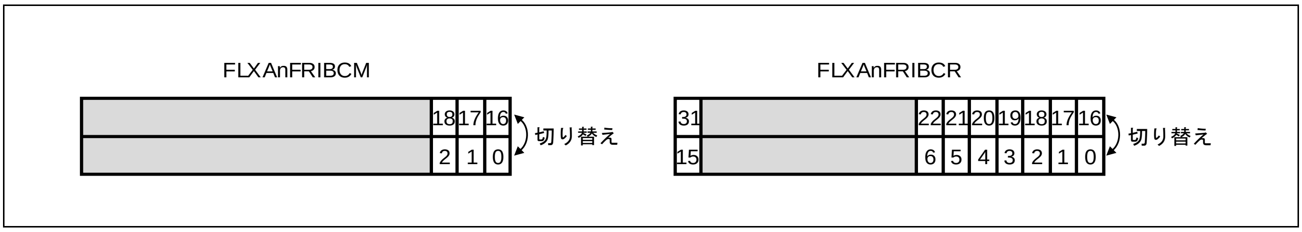


図 25.14 FLXAnFRIBCM レジスタと FLXAnFRIBCR レジスタのビットの切り替え

この書き込み動作により、FLXAnFRIBCR レジスタの IBSYS ビットが“1”にセットされます。その後、メッセージハンドラが IBF シャドウの内容を、メッセージ RAM 内の FLXAnFRIBCR.IBRS ビットで選択されたメッセージバッファへ転送し始めます。

メッセージハンドラが IBF シャドウからメッセージ RAM 内の目的のメッセージバッファへデータを転送している間、次のメッセージを IBF ホストに書き込むことができます。IBF シャドウとメッセージ RAM 間の転送が完了した後、FLXAnFRIBCR.IBSYS ビットは再び“0”になり、FLXAnFRIBCR.IBRH ビットに次の転送先メッセージバッファ番号を書き込むことで、メッセージ RAM への次の転送が開始できます。

FLXAnFRIBCR.IBSYS ビットが“1”のときに FLXAnFRIBCR.IBRH に書き込むと、FLXAnFRIBCR.IBSYH ビットが“1”になります。実行中の IBF シャドウからメッセージ RAM へのデータ転送が完了した後、IBF ホストと IBF シャドウが切り替わり、FLXAnFRIBCR.IBSYH ビットは“0”になります。また、FLXAnFRIBCR.IBSYS ビットは“1”のままになり、次のメッセージ RAM への転送が始まります。さらに、FLXAnFRIBCR.IBRH ビットと FLXAnFRIBCR.IBRS ビットに入っているメッセージバッファ番号とコマンドマスクフラグも入れ替わります。

8/16/32 ビットのアクセスシーケンス例

IBF を介して n 番目のメッセージ番号を設定／更新

- FLXAnFRIBCR.IBSYH ビットが“0”になるまで待つ
- データセクションを FLXAnFRWRDSx に書き込む
- ヘッダセクションを FLXAnFRWRHS1～FLXAnFRWRHS3 レジスタに書き込む
- コマンドマスクを書き込む：FLXAnFRIBCM レジスタの STXRH、LDSH、LHSH ビットの設定
- 目的のメッセージバッファへのデータ転送を要求する：FLXAnFRIBCR.IBRH ビットの設定

IBF を介して n＋1 番目のメッセージ番号を設定／更新

- FLXAnFRIBCR.IBSYH ビットが“0”になるまで待つ
- データセクションを FLXAnFRWRDSx に書き込む
- ヘッダセクションを FLXAnFRWRHS1～FLXAnFRWRHS3 レジスタに書き込む
- コマンドマスクを書き込む：FLXAnFRIBCM レジスタの STXRH、LDSH、LHSH ビットの設定
- 目的のメッセージバッファへのデータ転送を要求する：FLXAnFRIBCR.IBRH ビットの設定

注 意

FLXAnFRIBCR レジスタの IBSYH ビットが“1”のときに IBF に書き込みアクセスすると、FLXAnFREIR レジスタの IIBA ビットが“1”になります。この場合その書き込みアクセスは無視されます。

表 25.116 FLXAnFRIBCM レジスタのビットアサイン

ビット番号	アクセス	ビット	機能
18	r	STXRS	送信要求シャドウ設定フラグ（転送中または転送完了）
17	r	LDSS	データセクションシャドウロードフラグ（転送中または転送完了）
16	r	LHSS	ヘッダセクションシャドウロードフラグ（転送中または転送完了）
2	r/w	STXRH	送信要求ホスト設定
1	r/w	LDSH	データセクションホストロード設定ビット
0	r/w	LHSH	ヘッダセクションホストロード設定ビット

表 25.117 FLXAnFRIBCR レジスタのビットアサイン

ビット番号	アクセス	ビット	機能
31	r	IBSYS	入力バッファビジーシャドウフラグ IBF シャドウからメッセージ RAM に転送中
22～16	r	IBRS	入力バッファ要求シャドウフラグ 転送中または最後に転送したメッセージバッファ番号
15	r	IBSYH	入力バッファビジーホストフラグ IBRH で示されるメッセージバッファへの転送が保留中
6～0	r/w	IBRH	入力バッファ要求ホストビット 次に転送されるメッセージバッファ番号

(2) メッセージ RAM から出力バッファへのデータ転送

メッセージ RAM からメッセージバッファのデータを読み出すには、FLXAnFROBCR レジスタに値を書き込み、FLXAnFROBCM レジスタで設定したデータ転送を行う必要があります。転送完了後、転送されたデータは FLXAnFRRDDSx、FLXAnFRRDHS1～FLXAnFRRDHS3、FLXAnFRMBS レジスタから読み出せます。

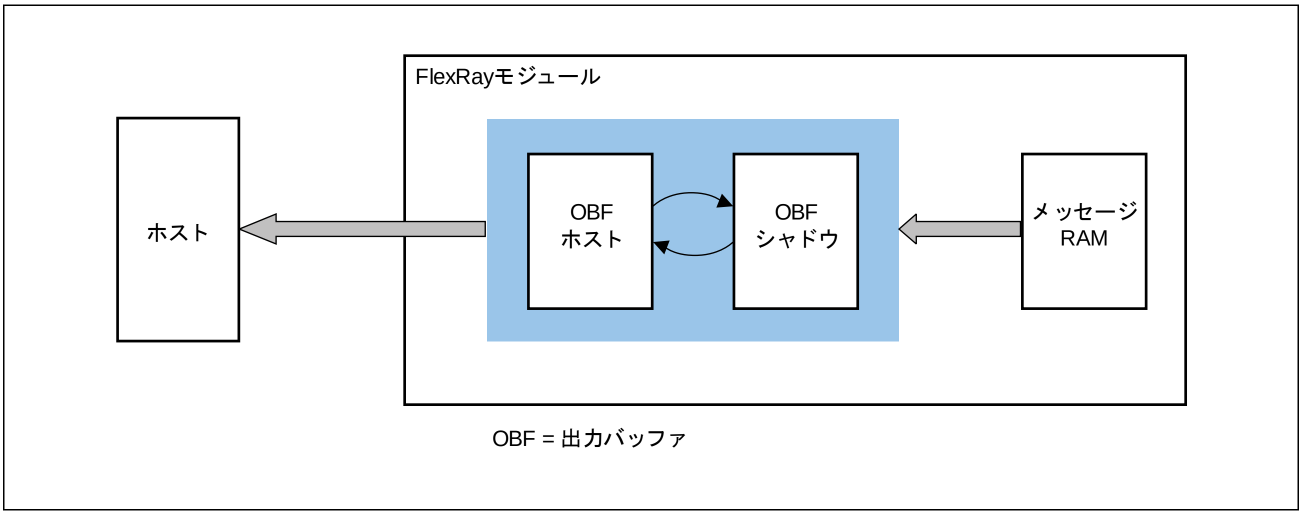


図 25.15 出力バッファのダブルバッファ構造

OBF ホストと OBF シャドウ、FLXAnFROBCM.RHSS、FLXAnFROBCM.RDSS、FLXAnFROBCM.RHSH、FLXAnFROBCM.RDSH ビット、FLXAnFROBCR.OBRS、FLXAnFROBCR.OBRH ビットが、FLXAnFROBCR.VIEW ビットと FLXAnFROBCR.REQ ビットの設定に従って切り替わります。

FLXAnFROBCR.REQ ビットに“1”を書き込むと、FLXAnFROBCM.RHSS、FLXAnFROBCM.RDSS ビット、FLXAnFROBCR.OBRS ビットの内容が内部メモリにコピーされます（「**図 25.16 FLXAnFROBCM レジスタと FLXAnFROBCR レジスタのビットの切り替え**」参照）。

FLXAnFROBCR.REQ ビットを“1”にした後、FLXAnFROBCR.OBSYS ビットが“1”になり、FLXAnFROBCR.OBRS ビットで選択されたメッセージバッファのメッセージ RAM から OBF シャドウへの転送が始まります。メッセージ RAM から OBF シャドウへの転送が完了すると、FLXAnFROBCR.OBSYS ビットは“0”に戻ります。FLXAnFROBCR.REQ ビットと FLXAnFROBCR.VIEW ビットは、FLXAnFROBCR.OBSYS ビットが“0”のときのみ“1”を書き込めます。

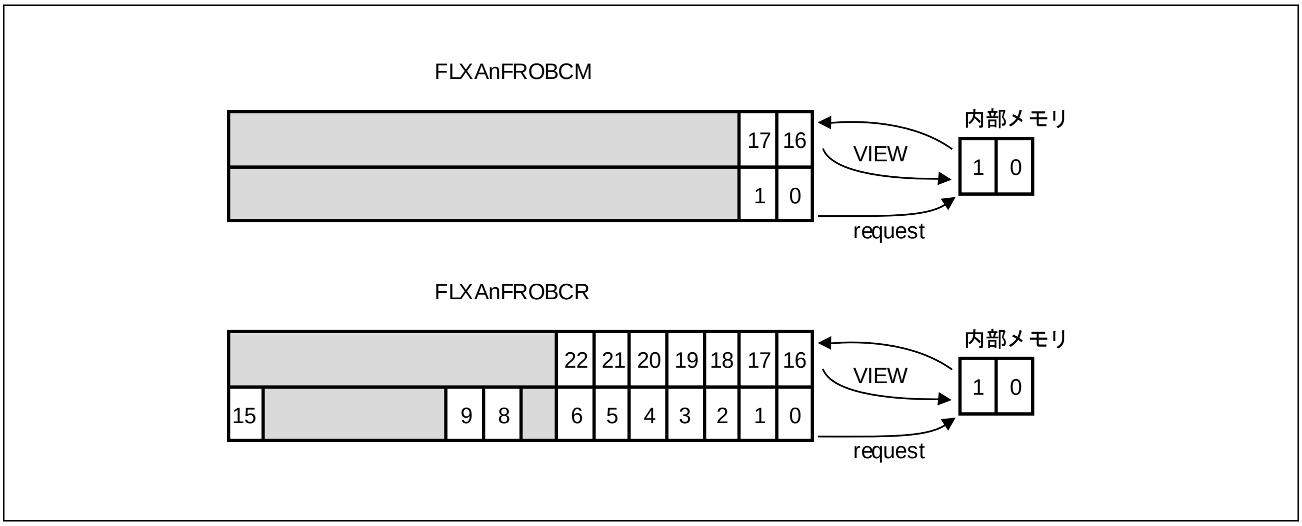


図 25.16 FLXAnFROBCM レジスタと FLXAnFROBCR レジスタのビットの切り替え

FLXAnFROBCR レジスタの OBSYS ビットが“0”のときに VIEW ビットに“1”を書き込むと、OBF ホストと OBF シャドウが切り替わります（「**図 25.15 出力バッファのダブルバッファ構造**」参照）。

同時に FLXAnFROBCR.OBRH ビット、FLXAnFROBCM.RHSH、FLXAnFROBCM.RDSH ビットの値も内部メモリの値と切り替わります。このように、FLXAnFROBCR.OBRH ビットに格納されたメッセージバッファ番号と、FLXAnFROBCM.RDSH ビット、FLXAnFROBCM.RHSH ビットに格納されたマスク設定が、OBF ホストに書き込まれた転送データと一致することが保証されます（「**図 25.16 FLXAnFROBCM レジスタと FLXAnFROBCR レジスタのビットの切り替え**」参照）。

メッセージハンドラが次のメッセージをメッセージ RAM から OBF シャドウへ転送している間に、CPU は転送されたメッセージバッファを OBF ホストから読み出すことができます。

OBSYS ビットが“0”のときに REQ ビットと VIEW ビットに同時に“1”を書き込むと、OBSYS ビットが自動的に“1”にセットされ、OBF シャドウと OBF ホストが切り替わります。同時に、FLXAnFROBCM.RDSH ビットおよび FLXAnFROBCM.RHSH ビットの値が、それぞれの出力バッファ転送を維持したまま FLXAnFROBCM レジスタの内部メモリの値と切り替わります。その後、FLXAnFROBCR.OBRS ビットの値は FLXAnFROBCR レジスタの内部メモリに、FLXAnFROBCM.RDSS ビットおよび FLXAnFROBCM.RHSS ビットの値は FLXAnFROBCM レジスタの内部メモリにコピーされ、選択されたメッセージバッファのメッセージ RAM から OBF シャドウへの転送が始まります。転送している間、CPU は前回転送されたメッセージバッファを OBF ホストから読み出すことができます。

メッセージ RAM と OBF シャドウ間の最新の転送が完了すると、FLXAnFROBCR.OBSYS ビットを“0”に戻すことで完了が通知されます。

単一メッセージバッファへの 8/16/32 ビットアクセス例

1 つのメッセージバッファを読み出すには、FLXAnFROBCR.REQ ビットと FLXAnFROBCR.VIEW ビットに対して個々に書き込みアクセスが必要です。

- FLXAnFROBCR.OBSYS ビットが“0”になるまで待つ
- 出力バッファコマンドマスクを書き込む：FLXAnFROBCM.RHSS、FLXAnFROBCM.RDSS ビットの設定
- FLXAnFROBCR.OBRS ビットと FLXAnFROBCR.REQ ビットに値を書き込むことで（8 ビットのホストインタフェースの場合、FLXAnFROBCR.REQ ビットの前に FLXAnFROBCR.OBRS ビットを書き込む）、メッセージバッファの OBF シャドウへの転送を要求する
- FLXAnFROBCR.OBSYS ビットが“0”になるまで待つ
- FLXAnFROBCR.VIEW ビットに“1”を書き込み、OBF シャドウと OBF ホストを切り替える
- FLXAnFRRDDSx、FLXAnFRRDHS1～FLXAnFRRDHS3、FLXAnFRMBS レジスタを読み出すことで、転送されたメッセージバッファを読み出す

8/16/32 ビットアクセスシーケンス例

1 回目のメッセージバッファの OBF シャドウへの転送要求を行う。

- FLXAnFROBCR.OBSYS ビットが“0”になるまで待つ
- 1 回目のメッセージバッファに対する出力バッファコマンドマスクを書き込む：FLXAnFROBCM.RHSS、FLXAnFROBCM.RDSS ビットの設定
- FLXAnFROBCR.OBRS ビットと FLXAnFROBCR.REQ ビットに値を書き込むことで（8 ビットのホストインタフェースの場合、FLXAnFROBCR.REQ ビットの前に FLXAnFROBCR.OBRS ビットを書き込む）、1 回目のメッセージバッファの OBF シャドウへの転送を要求する

OBF シャドウと OBF ホストを切り替え、1 回目に転送されたメッセージバッファの読み出しと 2 回目のメッセージバッファの転送要求を行う。

- FLXAnFROBCR.OBSYS ビットが“0”になるまで待つ
- 2 回目のメッセージバッファに対する出力バッファコマンドマスクを書き込む：FLXAnFROBCM.RHSS、FLXAnFROBCM.RDSS ビットの設定
- 2 回目のメッセージバッファのメッセージバッファ番号を FLXAnFROBCR.OBRS ビットに書き込み、FLXAnFROBCR.REQ ビット、FLXAnFROBCR.VIEW ビットに値を書き込むことで（8 ビットのホストインタフェースの場合、FLXAnFROBCR.REQ ビット、FLXAnFROBCR.VIEW ビットの前に FLXAnFROBCR.OBRS ビットに書き込む）、OBF シャドウと OBF ホストを切り替え、同時に 2 回目のメッセージバッファの OBF シャドウへの転送を要求する
- FLXAnFRRDDSx、FLXAnFRRDHS1～FLXAnFRRDHS3、FLXAnFRMBS レジスタを読み出すことで、1 回目に転送されたメッセージバッファを読み出す

他のメッセージバッファへの要求をせずに、最後に転送要求したメッセージバッファへのアクセスを要求する。

- FLXAnFROBCR.OBSYS ビットが“0”になるまで待つ
- FLXAnFROBCR.VIEW ビットに書き込み、最後に転送したメッセージバッファへのアクセスを要求する
- FLXAnFRRDDSx、FLXAnFRRDHS1～FLXAnFRRDHS3、FLXAnFRMBS レジスタを読み出すことで、最後に転送されたメッセージバッファを読み出す

表 25.118 FLXAnFROBCM レジスタのビットアサイン

ビット番号	アクセス	ビット	機能
17	r	RDSH	データセクションアクセス可能
16	r	RHSH	ヘッダセクションアクセス可能
1	r/w	RDSS	データセクションシャドウ読み出しビット
0	r/w	RHSS	ヘッダセクションシャドウ読み出しビット

表 25.119 FLXAnFROBCR レジスタのビットアサイン

ビット番号	アクセス	ビット	機能
22～16	r	OBRH	OBF ホスト転送要求フラグ アクセスできるメッセージバッファ番号
15	r	OBSYS	OBF シャドウビジーフラグ メッセージ RAM から OBF シャドウへ転送中
9	r/w	REQ	メッセージ RAM から OBF シャドウへの転送要求
8	r/w	VIEW	OBF シャドウの閲覧、OBF シャドウと OBF ホストの切り替え
6～0	r/w	OBRS	OBF 転送要求シャドウビット 次に転送されるメッセージバッファ番号

25.3.12.3 FlexRay プロトコルコントローラからメッセージ RAM へのアクセス

2 つのテンポラリバッファ（TBF A, B）は、2 つの FlexRay プロトコルコントローラとメッセージ RAM 間で転送されるデータのバッファとして使用されます。

各テンポラリバッファはダブルバッファ構成になっており、完全な FlexRay メッセージを 2 つ格納できます。常に一方のバッファは対応するプロトコルコントローラに割り当てられ、もう一方はメッセージハンドラからアクセスできます。

たとえば、メッセージハンドラが送信テンポラリバッファに次に送信するメッセージを書き込んだ場合、FlexRay チャネルプロトコルコントローラは受信テンポラリバッファにアクセスしてそのとき受信しているメッセージを格納することができます。送信テンポラリバッファに格納されたメッセージの送信中、メッセージハンドラは受信テンポラリバッファに格納されている最後に受信したメッセージをメッセージ RAM に転送し（アクセプタンスフィルタリングをパスした場合）、対応するメッセージバッファを更新します。

テンポラリバッファと、FlexRay チャネルプロトコルコントローラのシフトレジスタ間のデータ転送は 32 ビット単位で行われます。このため FlexRay のメッセージ長にかかわらず、32 ビットのシフトレジスタを使うことができます。

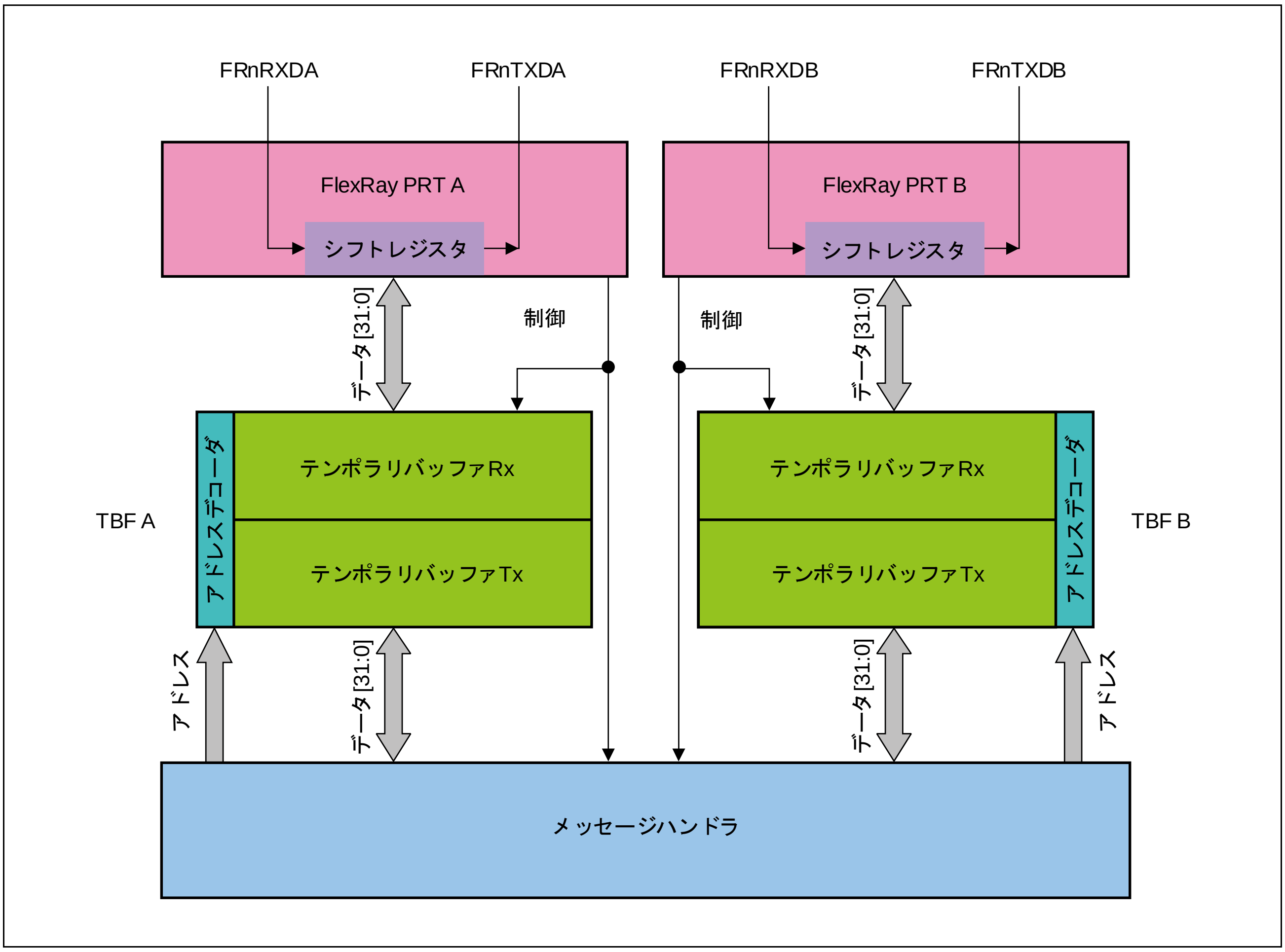


図 25.17 テンポラリバッファへのアクセス

25.3.13　メッセージ RAM

CPU のメッセージ RAM へのアクセスと、FlexRay メッセージ送受信との衝突を避けるために、CPU はメッセージ RAM 内のメッセージバッファに直接アクセスすることはできません。これらのアクセスは入力バッファと出力バッファを介して行います。メッセージ RAM には、設定したペイロード長に応じて最大 128 個のメッセージバッファを持つことができます。

メッセージ RAM は、最大 2048 個の 32 ビットワードを格納することができます。FlexRay フレームごとに異なるデータサイズ（0～254 バイト）に柔軟に対応するために、メッセージ RAM は「**図 25.18 メッセージ RAM 内のメッセージバッファの設定例**」に示すような構造になっています。

ヘッダパーティションの直後に配置されるデータセクションのメッセージバッファを、受信バッファ（FLXAnFRWRHS1.CFG ビットを“0”）または受信 FIFO バッファに設定した場合、データセクションの先頭には少なくとも 32 ビットの未使用領域を設定してください。この場合、データパーティションは、（（FLXAnFRMRC.LCB[7:0]ビットの設定値＋1）×4）＋1 で計算されるメッセージ RAM ワード番号から開始できます。

ヘッダパーティションの直後に配置されるデータセクションのメッセージバッファを、送信バッファ（FLXAnFRWRHS1.CFG ビットを“1”）に設定した場合、データパーティションは、（FLXAnFRMRC.LCB[7:0]ビットの設定値＋1）×4 で計算されるメッセージ RAM ワード番号から開始できます。

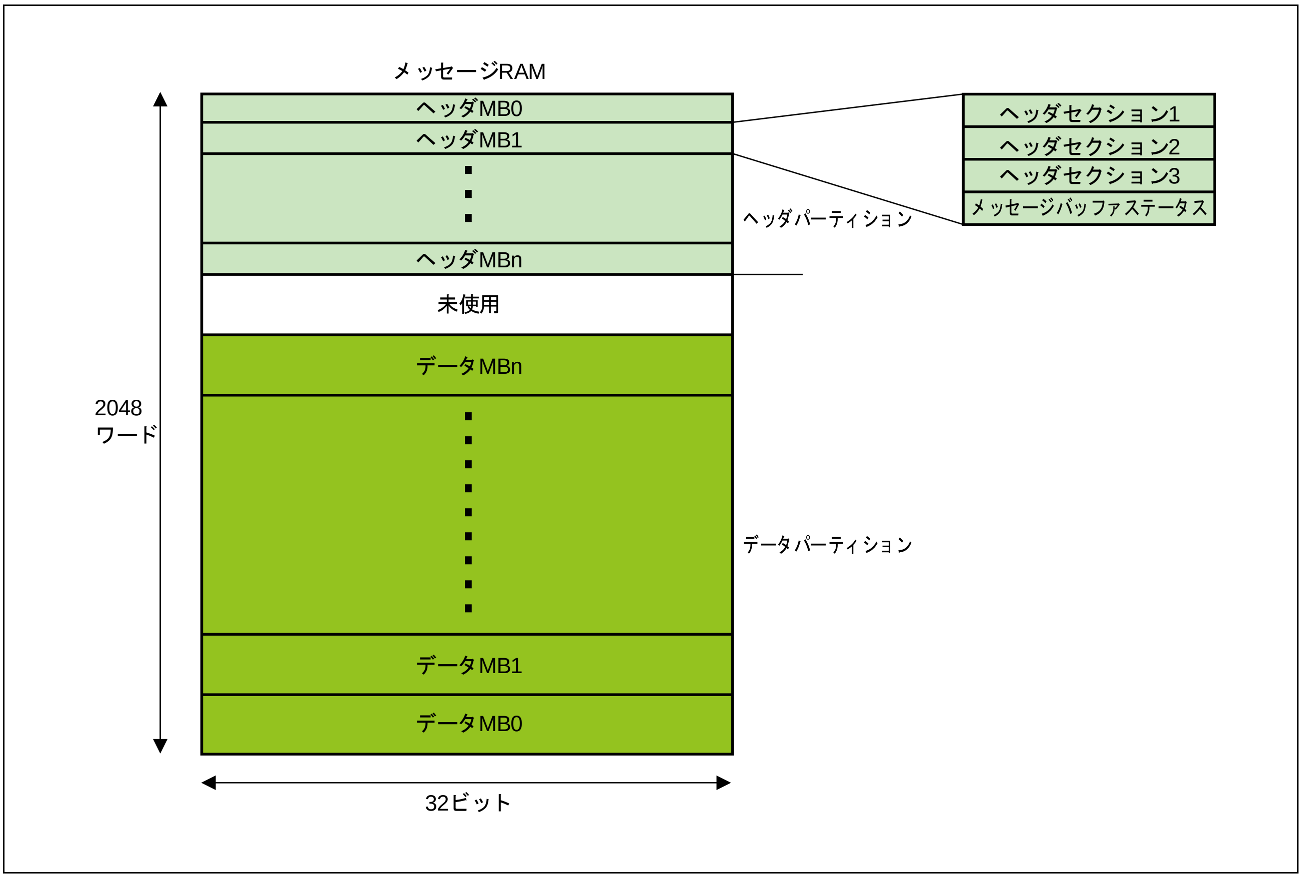


図 25.18　メッセージ RAM 内のメッセージバッファの設定例

ヘッダパーティション

設定されたメッセージバッファのヘッダセクションを格納します。

- 最大 128 個のメッセージバッファをサポート
- 各メッセージバッファのヘッダセクションは、（32 ビット）×4 ワード
- 各メッセージバッファのヘッダセクション 3 に、データパーティション内の対応するデータセクションへの 11 ビットのデータポインタを格納

データパーティション

異なるデータ長のデータセクションに対するフレキシブルなメモリ。以下に最大値の例を示します。

- データセクションが 254 バイトの場合、30 個のメッセージバッファ
- データセクションが 128 バイトの場合、56 個のメッセージバッファ
- データセクションが 48 バイトの場合、128 個のメッセージバッファ

注　意

ヘッダパーティションとデータパーティションの合計サイズは 2048 個の 32 ビットワード以下にしてください。

25.3.13.1　ヘッダパーティション

メッセージバッファの設定に使用される各要素と、メッセージバッファステータスは、メッセージ RAM のヘッダパーティションに「**表 25.120 メッセージ RAM 内のメッセージバッファのヘッダセクション**」に示すように格納されています。メッセージバッファのヘッダセクションの設定は IBF（FLXAnFRWRHS1～FLXAnFRWRHS3 レジスタ）を介して行います。ヘッダセクションの読み出しは OBF（FLXAnFRRDHS1～FLXAnFRRDHS3 レジスタ、FLXAnFRMBS レジスタ）を介して行います。データポインタは、メッセージ RAM のデータパーティション内の対応するメッセージバッファに対するデータセクションの開始位置を定義するもので、事前に計算しておく必要があります。動作中はデータポインタを変更しないでください。受信 FIFO に設定したメッセージバッファの設定／再設定は、DEFAULT_CONFIG 状態または CONFIG 状態でのみ可能です。

各メッセージバッファのヘッダセクションは、メッセージ RAM のヘッダパーティションのうち 4 ワード（1 ワード＝32 ビット）使用します。メッセージバッファ 0 のヘッダは、メッセージ RAM の先頭ワードから始まります。

送信バッファのヘッダ CRC はプログラムで計算する必要があります。

受信ペイロード長（PLR ビット）、受信サイクルカウンタ値（RCC ビット）、受信チャネルインジケータ（RCI ビット）、Startup フレームインジケータ（SFI ビット）、Sync フレームインジケータ（SYN ビット）、Null フレームインジケータ（NFI ビット）、ペイロードプリアンブルインジケータ（PPI ビット）、予約ビット（RES ビット）は、有効なデータフレームを受信したときのみ更新されます。

表 25.120 メッセージ RAM 内のメッセージバッファのヘッダセクション

Bit Word	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0			MBI	TXM	PPIT	CFG	CH			サイクルコード												フレーム ID										
1		受信ペイロード長								設定ペイロード長												Tx バッファ：設定ヘッダ CRC Rx バッファ：受信ヘッダ CRC										
2			RES	PPI	NFI	SYN	SFI	RCI			受信サイクルカウント											データポインタ										
3			RESS	PPIS	NFIS	SYNS	SFIS	RCIS			サイクルカウントステータス						FTB	FTA		MLST	ESB	ESA	TCIB	TCIA	SVOB	SVOA	CEOB	CEOA	SEOB	SEOA	VFRB	VFRA
…	…																															
…	…																															

- フレーム設定
- フィルタ設定
- メッセージバッファコントロール
- メッセージ RAM 設定
- 受信データフレームによる更新
- メッセージバッファステータス（MBS）
- 未使用

(1) ヘッダセクション 1（ワード 0）

FLXAnFRWRHS1 レジスタを介して書き込み、FLXAnFRRDHS1 レジスタを介して読み出し：

- フレーム ID
  - スロットカウンタフィルタリング設定
- サイクルコード
  - サイクルカウンタフィルタリング設定
- CH ビット
  - チャネルフィルタリング設定
- CFG ビット
  - メッセージバッファ方向設定（受信／送信）
- PPIT ビット
  - 送信ペイロードプリアンブルインジケータ
- TXM ビット
  - 送信モード設定（シングルショットモード／連続モード）
- MBI ビット
  - メッセージバッファ受信／送信割り込み許可

(2) ヘッダセクション 2（ワード 1）

FLXAnFRWRHS2 レジスタを介して書き込み、FLXAnFRRDHS2 レジスタを介して読み出し：

- ヘッダ CRC
  - 送信バッファ：プログラムで設定（フレームヘッダから計算）
  - 受信バッファ：受信フレームにより更新
- 設定ペイロード長
  - プログラムで設定したデータセクション長（2 バイトワード単位）
- 受信ペイロード長
  - 受信フレームから格納されたペイロードセグメント長（2 バイトワード単位）

(3) ヘッダセクション 3（ワード 2）

FLXAnFRWRHS3 レジスタを介して書き込み、FLXAnFRRDHS3 レジスタを介して読み出し：

- データポインタ
  - データパーティション内で対応するデータセクションの先頭へのポインタ

FLXAnFRRDHS3 レジスタを介して読み出し、受信バッファでのみ有効、受信フレームにより更新

- 受信サイクルカウント
  - 受信フレームのサイクルカウント値
- RCI ビット
  - 受信チャネルインジケータ
- SFI ビット
  - Startup フレームインジケータ
- SYN ビット
  - Sync フレームインジケータ
- NFI ビット
  - Null フレームインジケータ
- PPI ビット
  - ペイロードプリアンブルインジケータ
- RES ビット
  - 予約ビット

(4) メッセージバッファステータス（FLXAnFRMBS）（ワード 3）

FLXAnFRMBS レジスタを介して読み出し、設定したスロットの終了時に CC により更新：

- VFRA ビット
  - チャネル A 有効フレーム受信
- VFRB ビット
  - チャネル B 有効フレーム受信
- SEOA ビット
  - チャネル A シンタックスエラー検出
- SEOB ビット
  - チャネル B シンタックスエラー検出
- CEOA ビット
  - チャネル A コンテンツエラー検出
- CEOB ビット
  - チャネル B コンテンツエラー検出
- SVOA ビット
  - チャネル A スロット境界違反検出

- SVOB ビット
  - チャネル B スロット境界違反検出
- TCIA ビット
  - チャネル A 送信競合検出
- TCIB ビット
  - チャネル B 送信競合検出
- ESA ビット
  - チャネル A エンプティスロット
- ESB ビット
  - チャネル B エンプティスロット
- MLST ビット
  - メッセージ消失
- FTA ビット
  - チャネル A フレーム送信
- FTB ビット
  - チャネル B フレーム送信
- サイクルカウント
  - ステータスが更新されたときの現在のサイクルカウント
- RCIS ビット
  - 受信チャネルインジケータステータス
- SFIS ビット
  - Startup フレームインジケータステータス
- SYNS ビット
  - Sync フレームインジケータステータス
- NFIS ビット
  - Null フレームインジケータステータス
- PPIS ビット
  - ペイロードプリアンブルインジケータステータス
- RESS ビット
  - 予約ビットステータス

25.3.13.2　データパーティション

メッセージ RAM のデータパーティションは、受信／送信に設定されたメッセージバッファのデータセクションを、ヘッダパーティションで定義されたとおりに格納します。メッセージバッファのデータサイズはそれぞれ 0～254 バイトの範囲で異なる値を持ちます。2 つの FlexRay プロトコルコントローラのシフトレジスタとメッセージ RAM との間、CPU インタフェースとメッセージ RAM との間でのデータ転送を最適化するために、メッセージ RAM の物理幅は 4 バイトに設定されています。

データパーティションはヘッダパーティションの最終ワードの後から始まります。メッセージ RAM 内のメッセージバッファを設定する場合は、データポインタが確実にデータパーティション内のアドレスを指すようにしてください。「**表 25.121 メッセージ RAM 内のデータパーティションの構成例**」は、設定されたメッセージバッファのデータセクションがメッセージ RAM のデータパーティションにどのように格納されるかを示す例です。

メッセージバッファのデータセクションの先頭と終了時に、それぞれメッセージバッファのヘッダセクションで設定されたデータポインタとペイロード長により決まります。これにより、使用できる RAM 空間を、異なるデータ長を持ったメッセージバッファの格納領域として柔軟に使用することができます。

データセクションのサイズが奇数ワード（1 ワード＝2 バイト）の場合、最後の 32 ビットの残り 16 ビットは使用されません（「**表 25.121 メッセージ RAM 内のデータパーティションの構成例**」参照）。

表 25.121 メッセージ RAM 内のデータパーティションの構成例

Bit Word	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
…	unused								unused								unused								unused							
…	unused								unused								unused								unused							
…	MBn Data3								MBn Data2								MBn Data1								MBn Data0							
…	…								…								…								…							
…	…								…								…								…							
…	MBn Data (m)								MBn Data (m – 1)								MBn Data (m – 2)								MBn Data (m – 3)							
…	…								…								…								…							
…	…								…								…								…							
…	…								…								…								…							
…	MB1 Data3								MB1 Data2								MB1 Data1								MB1 Data0							
…	…								…								…								…							
2046	MB0 Data3								MB0 Data2								MB0 Data1								MB0 Data0							
2047	unused								unused								MB0 Data5								MB0 Data4							

25.3.13.3　メッセージデータ安全性チェック

FlexRay モジュールには、データ安全性チェックサム機能が搭載されており、メッセージ RAM に格納されたデータの安全性を保証しています。「**図 25.19 チェックサムの生成と照合**」に示すように、メッセージ RAM にはチェックサムジェネレータとチェックサムチェッカが取り付けられています。

RAM にデータが書き込まれると、ローカルのチェックサムジェネレータはチェックサムを生成します。チェックサムは各データワードとともに格納されます。メッセージ RAM からデータワードが読み出されるたびに、チェックサムが照合されます。

チェックサムエラーが検出されると、各アクセスエラーフラグが“1”になります。アクセスエラーフラグ（FLXAnFRMHDS レジスタの AMR、ATBF1、ATBF2 ビット）および誤りメッセージバッファ検出フラグ（FMBD、MFMB、FMB ビット）は FlexRay メッセージハンドラステータスレジスタにあります。これらのシングルアクセスエラーフラグによってエラー割り込みフラグ（FLXAnFREIR レジスタの AERR ビット）が制御されます。

「**図 25.19 チェックサムの生成と照合**」に入力バッファ、テンポラリバッファ、メッセージ RAM 間のデータパスを示します。

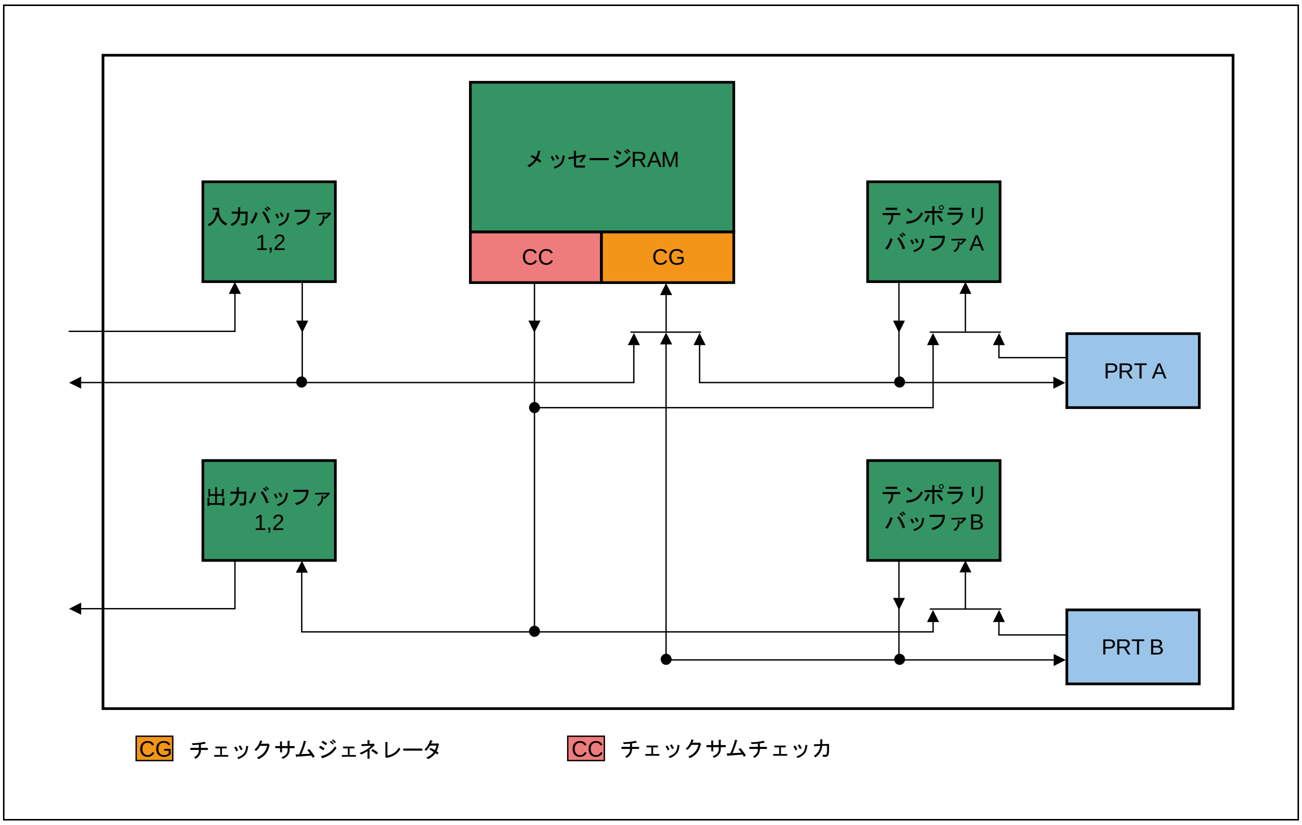


図 25.19　チェックサムの生成と照合

アクセスエラーが検出されると、以下の処理が実行されます。

すべての場合において

- FLXAnFRMHDS レジスタの各アクセスエラーフラグがセットされます。
- アクセスエラーフラグ FLXAnFREIR.AERR が“1”になり、許可されている場合、割り込み要求が発生します。

上記に加え、特殊な場合において

(1) 各メッセージバッファのヘッダセクションをメッセージ RAM から読み出す際、入力バッファ 1、2 からメッセージ RAM へのデータ転送中のアクセスエラー

- FLXAnFRMHDS.AMR ビットが“1”になります。
- FLXAnFRMHDS.FMBD ビットが“1”になり、FLXAnFRMHDS.FMB ビットが指しているメッセージバッファにエラーがあることを示します。
- FLXAnFRMHDS.FMB ビットがエラーのあるメッセージバッファの番号を表示します。
- 該当するメッセージバッファのデータセクションが更新されません。
- 送信バッファ：該当するメッセージバッファへの送信要求は“1”になりません。

(2) メッセージ RAM でヘッダセクションをスキャンしているときのアクセスエラー

- FLXAnFRMHDS.AMR ビットが“1”になります。
- FLXAnFRMHDS.FMBD ビットが“1”になり、FLXAnFRMHDS.FMB ビットが指しているメッセージバッファにエラーがあることを示します。
- FLXAnFRMHDS.FMB ビットがエラーのあるメッセージバッファの番号を表示します。
- メッセージバッファは無視（スキップ）されます。

(3) メッセージ RAM からテンポラリバッファ 1、2 へのデータ転送中のアクセスエラー

- FLXAnFRMHDS.AMR ビットが“1”になります。
- FLXAnFRMHDS.FMBD ビットが“1”になり、FLXAnFRMHDS.FMB ビットが指しているメッセージバッファにエラーがあることを示します。
- FLXAnFRMHDS.FMB ビットがエラーのあるメッセージバッファの番号を表示します。
- フレームは送信されません。送信中のフレームはフレーム CRC が 0 に設定されて無効になります。

(4) メッセージ RAM から対応するメッセージバッファのヘッダセクションを読み出しているとき、テンポラリバッファ 1、2 からメッセージ RAM へのデータ転送中のアクセスエラー

- FLXAnFRMHDS.AMR ビットが“1”になります。
- FLXAnFRMHDS.FMBD ビットが“1”になり、FLXAnFRMHDS.FMB ビットが指しているメッセージバッファにエラーがあることを示します。
- FLXAnFRMHDS.FMB ビットがエラーのあるメッセージバッファの番号を表示します。
- 該当するメッセージバッファのデータセクションは更新されません。

(5) メッセージ RAM から出力バッファへのデータ転送中のアクセスエラー

- アクセスエラーフラグ FLXAnFREIR.AERR が“1”になります。
- FLXAnFRMHDS.FMBD ビットが“1”になり、FLXAnFRMHDS.FMB ビットが指しているメッセージバッファにエラーがあることを示します。
- FLXAnFRMHDS.FMB ビットがエラーのあるメッセージバッファの番号を表示します。

(6) テンポラリバッファ 1、2 からプロトコルコントローラ 1、2 へのデータ転送中のアクセスエラー

- FLXAnFRMHDS.ATBF1、FLXAnFRMHDS.ATBF2 ビットが“1”になります。
- 送信中のフレームはフレーム CRC が 0 に設定されて無効になります。

(7) テンポラリバッファ 1、2 を読み出しているとき、テンポラリバッファ 1、2 からメッセージ RAM へのデータ転送中のアクセスエラー

- FLXAnFRMHDS.ATBF1、FLXAnFRMHDS.ATBF2 ビットが“1”になります。
- FLXAnFRMHDS.FMBD ビットが“1”になり、FLXAnFRMHDS.FMB ビットが指しているメッセージバッファにエラーがあることを示します。
- FLXAnFRMHDS.FMB ビットがエラーのあるメッセージバッファの番号を表示します。

(8) テンポラリバッファ 1、2 のデータ読み出し中のアクセスエラー

- メッセージハンドラがテンポラリバッファ 1、2 からネットワーク管理情報（PPI＝“1”）を持つフレームを読むときにアクセスエラーが起きると、対応する FlexRay ネットワーク管理ベクタレジスタ FLXAnFRNMV1～FLXAnFRNMV3 は更新されません。

25.3.13.4 アクセスエラーの処理

テンポラリビットのフリップによって発生するアクセスエラーは次のような処理で回復することができます。

(1) セルフヒーリング

メッセージ RAM、テンポラリバッファ A、またはテンポラリバッファ B のデータセクションに発生したアクセスエラーは、ホストアクセスあるいは FlexRay 通信によって妨害されたビットへの次の書き込みアクセスによって上書きされます。

(2) CLEAR_RAMS コマンド

DEFAULT_CONFIG あるいは CONFIG 状態のとき呼び出されると、POC コマンド CLEAR_RAMS はメッセージ RAM を“0”にイニシャライズします。

(3) ヘッダセクションの一時的なロック解除

ロックされたメッセージバッファのヘッダセクション内で発生したアクセスエラーは、入力バッファからロックされたバッファのヘッダセクションへ転送することによって回復します。この転送のため、FLXAnFRIBCR への書き込みアクセス（メッセージバッファ番号の指定）のあとすぐに、CONFIG 状態から出るためにロック解除の正常な手順が行われる必要があります。（「**25.2.3.3 FLXAnFRLCK — FlexRay ロックレジスタ**」参照）

この 1 回の転送により、ヘッダが FIFO のものであるか、あるいはロックが FLXAnFRMRC レジスタの SEC ビットにより制御されているかにかかわらず、対応するメッセージバッファのヘッダはロックが解除され新規データによって更新されます。

25.3.14　割り込み

CC によってエラーやステータス変化が検出された、フレームの送受信が完了した、設定したタイマ割り込みが有効になった、あるいはストップウォッチイベントが起こった場合に、ただちに割り込み要求が発生するというように、割り込みはプロトコルタイミングと密接な関係があります。これにより、CPU は特定のエラー状態やステータス変化、タイマイベントに対して速やかに対応することができます。その一方、割り込み要求が多すぎると、アプリケーションが要求する期限に間に合わない状況を生むことになります。このため、CC は個々の割り込み要因に対して個別に許可／禁止を制御できるようになっています。

割り込み要求は、次の場合に発生します。

- エラーが検出された
- ステータスフラグが“1”になった
- タイマが設定された値に達した
- 入力バッファからメッセージ RAM、またはメッセージ RAM から出力バッファへのメッセージ転送が完了した
- ローカル RAM やグローバル RAM からメッセージ RAM、またはメッセージ RAM からローカル RAM やグローバル RAM へのメッセージ転送が完了した
- ストップウォッチイベントが発生した

状態の変化やエラーの発生に際して、状態を探知することと、割り込み要求を生成することは、2 つの独立したタスクです。割り込みが許可されているか禁止されているかに関わらず、CC は対応する状態を探知し、表示します。現在のステータス情報とエラー情報は、FLXAnFREIR レジスタ、FLXAnFRSIR レジスタ、FLXAnFROS レジスタ、FLXAnFROTS レジスタ、FLXAnFRITS レジスタを読み出すことで得られます。

汎用割り込みライン、FlexRay0 割り込み要求と FlexRay1 割り込み要求は、FLXAnFREIES および FLXAnFRSIES 内の有効な割り込みによって制御されます。これら 2 つの割り込み要求は、FLXAnFRILE レジスタの EINT0 ビットと EINT1 ビットを設定することで、個別に有効／無効にすることができます。

入力データ転送割り込みライン、FlexRay 入力キューエンプティ割り込み、FlexRay 入力キューフル割り込みは FLXAnFRITS 内の割り込みを許可することによって制御されます。さらに、各入力データ転送割り込みは FLXAnFRITC 内の対応するビットをプログラムすることによって個別に有効／無効にすることができます。

出力データ転送割り込みライン、FlexRay FIFO 転送警告割り込み、FlexRay 出力転送警告割り込み、FlexRay FIFO 転送割り込み、FlexRay 出力転送割り込みは、FLXAnFROTS 内の割り込みを許可することによって制御されます。さらに、各出力データ転送割り込みは FLXAnFROTC 内の対応するビットをプログラムすることによって個別に有効／無効にすることができます。

3 つのタイマ割り込みラインは FLXAnFROS レジスタの割り込みを許可することによって制御されます。さらに、各割り込みは FLXAnFROC レジスタの T0IE、T1IE、T2IE ビットをプログラムすることによって個別に有効／無効にすることができます。

IBF/OBF とメッセージ RAM 間のデータ転送が完了すると、FLXAnFRSIR レジスタの TIBC ビットまたは TOBC ビットが“1”になります。

ストップウォッチイベントは、FLXAnSTPWT 入力端子がトリガとなる場合があります。

25.3.15　FlexRay 設定パラメータ

表 25.122 FlexRay 設定パラメータ

パラメータ	ビット（フィールド）
pKeySlotusedForStartup	FLXAnFRSUCC1.TXST
pKeySlotUsedForSync	FLXAnFRSUCC1.TXSY
gColdStartAttempts	FLXAnFRSUCC1.CSA
pAllowPassiveToActive	FLXAnFRSUCC1.PTA
pWakeupChannel	FLXAnFRSUCC1.WUCS
pSingleSlotEnabled	FLXAnFRSUCC1.TSM
pAllowHaltDueToClock	FLXAnFRSUCC1.HCSE
pChannels	FLXAnFRSUCC1.CCH
pdListenTimeOut	FLXAnFRSUCC2.LT
gListenNoise	FLXAnFRSUCC2.LTN
gMaxWithoutClockCorrectionPassive	FLXAnFRSUCC3.WCP
gMaxWithoutClockCorrectionFatal	FLXAnFRSUCC3.WCF
gNetworkManagementVectorLength	FLXAnFRNEMC.NML
gdTSSTransmitter	FLXAnFRPRTC1.TSST
gdCASRxLowMax	FLXAnFRPRTC1.CASM
gdSampleClockPeriod	FLXAnFRPRTC1.BRP
pSamplesPerMicrotick	FLXAnFRPRTC1.BRP
gdWakeupSymbolRxWindow	FLXAnFRPRTC1.RXW
pWakeupPattern	FLXAnFRPRTC1.RWP
gdWakeupSymbolRxIdle	FLXAnFRPRTC2.RXI
gdWakeupSymbolRxLow	FLXAnFRPRTC2.RXL
gdWakeupSymbolTxIdle	FLXAnFRPRTC2.TXI
gdWakeupSymbolTxLow	FLXAnFRPRTC2.TXL
gPayloadLengthStatic	FLXAnFRMHDC.SFDL
pLatestTx	FLXAnFRMHDC.SLT
pMicroPerCycle	FLXAnFRGTUC1.UT
gMacroPerCycle	FLXAnFRGTUC2.MPC
gSyncNodeMax	FLXAnFRGTUC2.SNM
pMicroInitialOffset[A]	FLXAnFRGTUC3.UIOA
pMicroInitialOffset[B]	FLXAnFRGTUC3.UIOB
pMacroInitialOffset[A]	FLXAnFRGTUC3.MIOA
pMacroInitialOffset[B]	FLXAnFRGTUC3.MIOB
gdNIT	FLXAnFRGTUC4.NIT
gOffsetCorrectionStart	FLXAnFRGTUC4.OCS
pDelayCompensation[A]	FLXAnFRGTUC5.DCA
pDelayCompensation[B]	FLXAnFRGTUC5.DCB
pClusterDriftDamping	FLXAnFRGTUC5.CDD
pDecodingCorrection	FLXAnFRGTUC5.DEC
pdAcceptedStartupRange	FLXAnFRGTUC6.ASR
pdMaxDrift	FLXAnFRGTUC6.MOD
gdStaticSlot	FLXAnFRGTUC7.SSL
gNumberOfStaticSlots	FLXAnFRGTUC7.NSS
gdMinislot	FLXAnFRGTUC8.MSL
gNumberOfMinislots	FLXAnFRGTUC8.NMS

表 25.122 FlexRay 設定パラメータ

パラメータ	ビット（フィールド）
gdActionPointOffset	FLXAnFRGTUC9.APO
gdMinislotActionPointOffset	FLXAnFRGTUC9.MAPO
gdDynamicSlotIdlePhase	FLXAnFRGTUC9.DSI
pOffsetCorrectionOut	FLXAnFRGTUC10.MOC
pRateCorrectionOut	FLXAnFRGTUC10.MRC
pExternOffsetCorrection	FLXAnFRGTUC11.EOC
pExternRateCorrection	FLXAnFRGTUC11.ERC

25.3.16　データ転送の使用法

FlexRay メッセージを直接ローカル RAM やグローバル RAM（ユーザ RAM）へ格納するのを可能にし、FlexRay 内部メッセージ RAM とローカル RAM やグローバル RAM 間の転送を実現し、また最小の CPU サポートでこれを行うメカニズムが組み込まれています。ローカル RAM やグローバル RAM 内のデータは、ローカル RAM やグローバル RAM 内に格納されているデータポインタテーブルに置かれたデータ構造ポインタによって位置づけられます。

ローカル RAM やグローバル RAM から FlexRay 内部メッセージ RAM へのデータ転送（入力転送）はアプリケーションによって開始する必要があります。これらの転送はメッセージバッファを設定する、あるいは転送データを更新するために使用されます。

FlexRay 内部メッセージ RAM からローカル RAM やグローバル RAM へのデータ転送（出力転送）は、受信メッセージバッファあるいは FlexRay 内部 FIFO への受信、またはスロットステータスの変更によって自動的に開始されます。特定のユーザ転送要求によっても開始されます。

入力および出力データ転送は、独立して実行されます。入力データ転送が実行されると、アプリケーションは FlexRay 入力バッファを使用してメッセージバッファに直接アクセスすることはできません。出力データ転送が実行されると、アプリケーションは FlexRay 出力バッファを使用してメッセージバッファに直接アクセスすることはできません。

25.3.16.1　入力データ転送

自動入力データ転送機能が有効な場合、最小の CPU サポートで入力データ構造はローカル RAM やグローバル RAM から FlexRay 内部メッセージ RAM へ転送されます。

(1)　起動および停止

入力データ転送機能は使用する前に起動する必要があります。入力転送ハンドラは入力キュープットインデックス（FLXAnFRITS.IPIDX）およびゲットインデックス（FLXAnFRITS.IGIDX）を“0”に初期化します。また、FLXAnFRITS レジスタ内の割り込み状態フラグ（IQEIS と IQFIS）は、“0”にセットしてください。

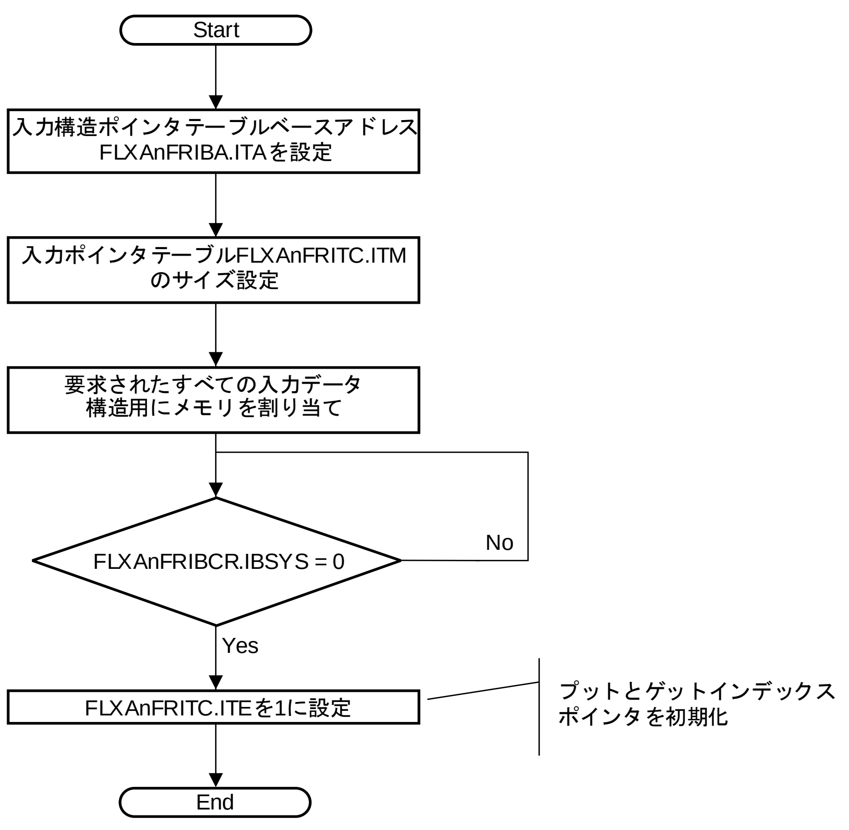


図 25.20　入力転送許可の流れ

入力転送機能の停止要求は、いつでもできます。入力キュープットインデックスと入力キューステータスは入力転送機能の状態によらず保持されます。

転送機能が無効になる前に（FLXAnFRITS.IT によって示される状態）、ユーザ要求の入力転送およびすべての入力転送は完了します。

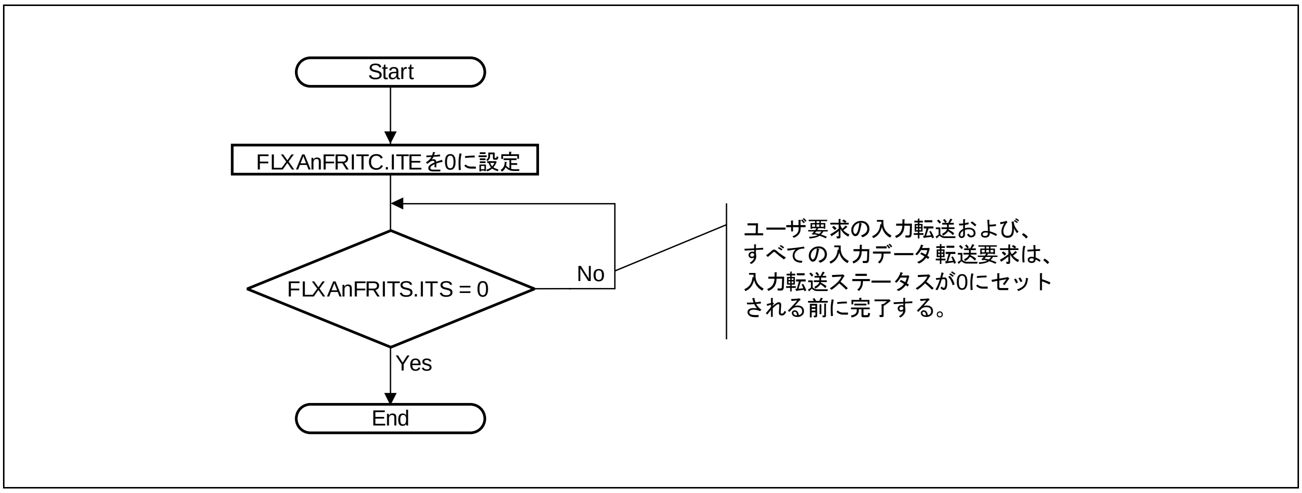


図 25.21　入力転送禁止の流れ

(2) 入力データ構造

アプリケーションはメッセージバッファの設定（入力データ構造）のための内容を提供するためにローカル RAM やグローバル RAM 内での位置を確保する必要があります。

この入力データ構造の位置は、これもローカル RAM やグローバル RAM 内に位置する入力データ構造ポインタによって定義される必要があります。

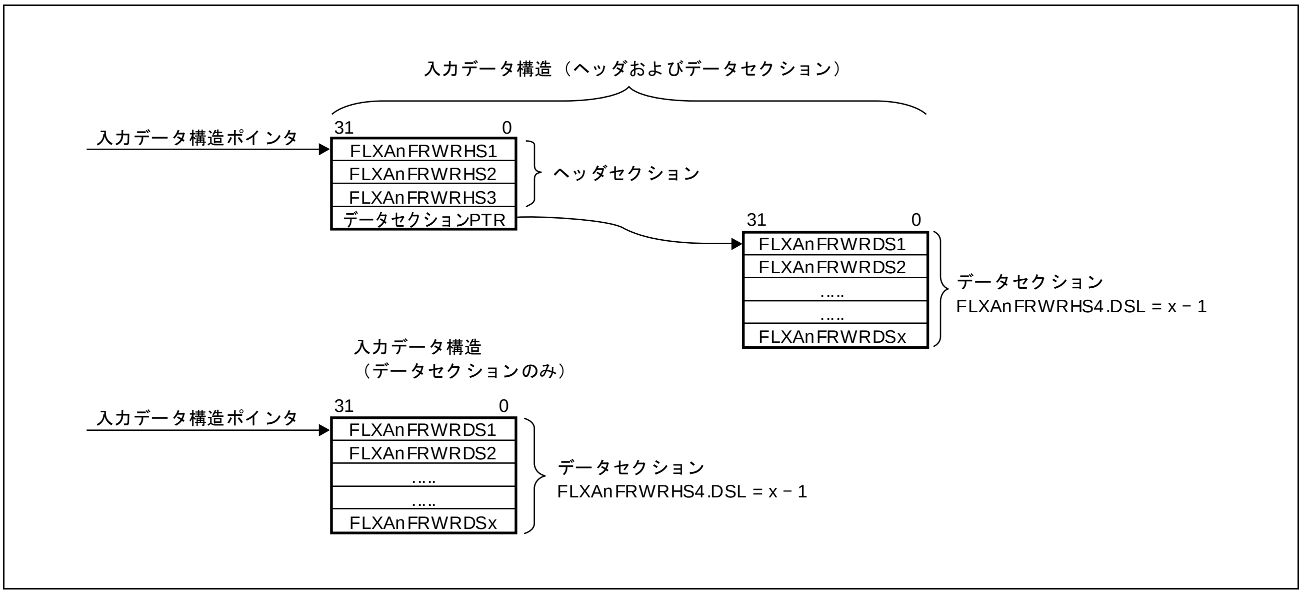


図 25.22　入力データ構造

一般的に、入力データ構造は 2 つのセクション（ヘッダセクションおよびデータセクション）から構成されます。

ヘッダセクションは FLXAnFRWRHS1、FLXAnFRWRHS2、FLXAnFRWRHS3 とデータセクションポインタから構成されます。

ビットアライメントおよびヘッダセクション内のビット機能については、「**25.3.13.1 ヘッダパーティション**」を参照してください。

入力ポインタテーブル内の制御フィールド（FLXAnFRWRHS4）の設定によって、データ構造ポインタは FLXAnFRWRHS1 あるいは FLXAnFRWRDS1 のアドレスと関連します。データ構造ポインタは 32 ビットアドレスにアラインされる必要があります。

FLXAnFRWRHS4 に関連するアドレスのビット LHS が "1" にセットされている場合、有効なヘッダセクションを提供する必要があります。この場合 FLXAnFRWRHS1 はデータ構造の先頭の要素です。

FLXAnFRWRHS4 に関連するアドレスのビット LHS が "0" にセットされている場合、ヘッダセクションは必要ありません。この場合 FLXAnFRWRDS1 はデータ構造の先頭の要素です。

FLXAnFRWRHS4 に関連するアドレスのビット LDS が "1" にセットされている場合、有効なデータセクションを提供する必要があります。データセクションへのポインタは先頭のペイロードロングワード（FLXAnFRWRDS1）のアドレスに関連し、32 ビットアドレスにアラインされる必要があります。

FLXAnFRWRHS4 に関連するアドレスのビット LDS が "0" にセットされている場合、データセクションは必要ありません。データセクションポインタは入力ハンドラによって評価されません。

入力データ構造内の FlexRay ペイロードデータのバイト順は、FLXAnFROC.BEC によって決定されます。データセクション内のペイロードデータのアライメントについては「**25.3.13.2 データパーティション**」および「**25.3.17 バイトアライメント**」を参照してください。

ローカル RAM やグローバル RAM に割り当てられるデータセクションの長さと大きさは FLXAnFRWRHS4 に関連するアドレス内のビット DSL の設定に依存します。

FlexRay コア内部メッセージ RAM への転送のため、FLXAnFRWRHS2.PLC によって設定された 16 ビットワードの数が使用されます。アプリケーションは正しい数のデータワードがローカル RAM やグローバル RAM 内に提供されていることを保証する必要があります。バッファが FLXAnFRWRHS2.PLC によって奇数のペイロード長を持つように設定されている場合、アプリケーションは埋め込みデータがすべて "0" であることを保証するためにペイロードセクションの最後の 16 ビットに "0" を書き込む必要があります。

(3) 入力ポインタテーブル

ローカル RAM やグローバル RAM 内の入力データ構造から FlexRay 内部メッセージ RAM へデータを転送するために、関連する入力データ構造ポインタと制御フィールドをローカル RAM やグローバル RAM 内にある入力ポインタテーブルに追加する必要があります。

このテーブルの先頭の要素の位置は入力ポインタテーブルベースアドレス（FLXAnFRIBA.ITA）によって示されます。このベースアドレスは 32 ビットアドレスにアラインされる必要があります。

キュー入力できる入力要求の最大値は、入力キューテーブル最大値レジスタ（FLXAnFRITC.ITM）によって定義されます。

入力ポインタテーブルエントリごとに 2 ロングワード必要です。キュー入力される転送要求のために要求される入力ポインタテーブルのアドレス幅は次の式で計算されます。

入力ポインタテーブルサイズ（バイト）＝(((FLXAnFRITC.ITM＋1)×2)×4)

式 1

ユーザ要求入力転送用の入力ポインタエントリは入力ポインタテーブルの最後に追加される必要があります。

このエントリに関連するポインタテーブルのインデックス、つまり、FLXAnFRUIR.UIDX に書き込まれた値は FLXAnFRITC.ITM＋1 です。ユーザ要求入力転送に関連する入力ポインタテーブル内のアドレス（ユーザ入力アドレス）は、次の式で計算されます。

ユーザ入力アドレス＝FLXAnFRIBA.ITA＋入力ポインタテーブルサイズ

式 2

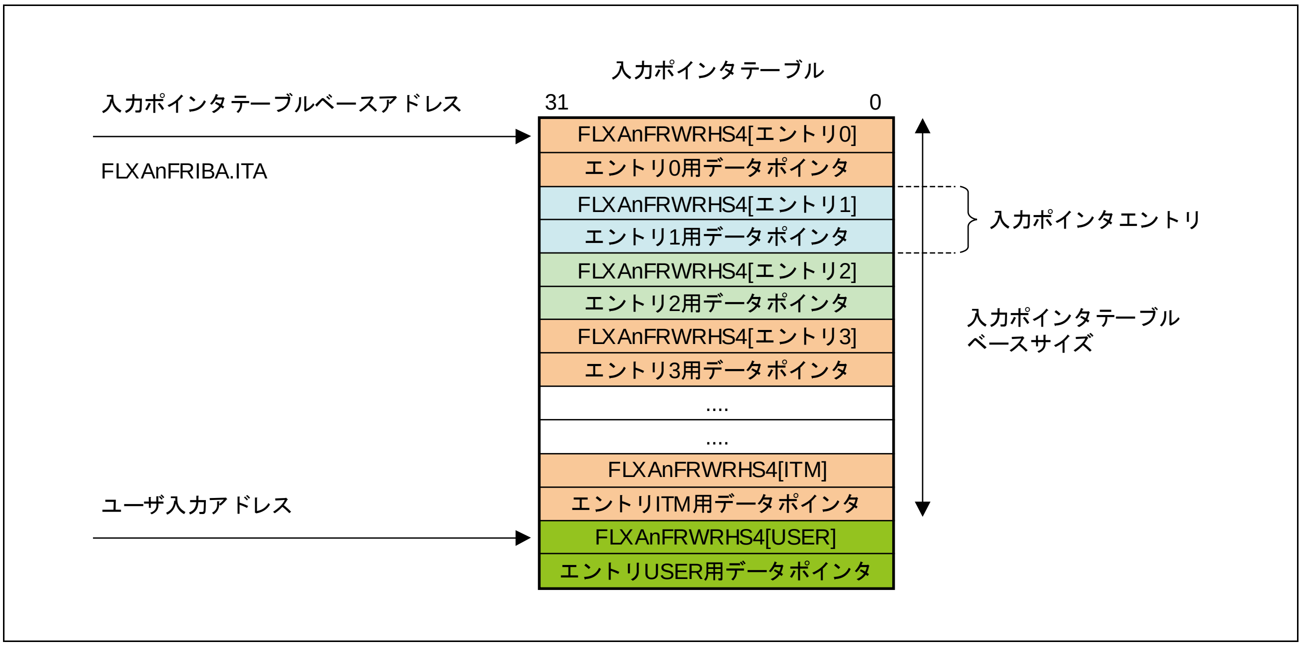


図 25.23 入力ポインタテーブル

入力ポインタテーブルは制御フィールド FLXAnFRWRHS4 およびメッセージバッファコンテンツ（ヘッダセクションあるいはデータセクション、またはその両方）が格納されているローカル RAM やグローバル RAM へのポインタを保持しています。

アプリケーションは、転送要求が開始される前に、プットインデックスの位置に関連する入力ポインタテーブル内のアドレスに FLXAnFRWRHS4 および入力データ構造ポインタを書き込む必要があります。

FLXAnFRWRHS4

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	DSL[5:0]					

Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	INV	STR	LDS	LHS	—	IMBNR[6:0]						

表 25.123 FLXAnFRWRHS4 の内容

ビット位置	ビット名	機能
31～22	予約ビット	リードした値は不定です。ライト時は常に“0”の値を設定してください。
21～16	DSL[5:0]	データセクション長ビット 32 ビット単位のデータセクション長を指定します。
15～12	予約ビット	リードした値は不定です。ライト時は常に“0”の値を設定してください。
11	INV	転送要求セットビット 0：データ構造は有効で FlexRay 内部メッセージ RAM に転送されます。 1：データ構造は無効です。この入力ポインタエントリを使用した FlexRay 内部メッセージ RAM の更新はできません。
10	STR	転送要求セットビット 0：IMBNR ビットで選択されたメッセージバッファ用の FLXAnFRTXRQx.TXR ビットは“0”にセットされています。このメッセージバッファから転送されるデータはありません。 1：IMBNR ビットで選択されたメッセージバッファ用の FLXAnFRTXRQx.TXR ビットは転送用にメッセージバッファを解放するため“1”にセットされています。アプリケーションは STR ビットを受信バッファ用に“1”にセットすることはできません。
9	LDS	ロードデータセクションビット 0：データセクションの更新なし 1：IMBNR ビットで選択されたメッセージバッファ用のデータセクションが更新された
8	LHS	ロードヘッダセクションビット 0：ヘッダセクションの更新なし 1：IMBNR ビットで選択されたメッセージバッファ用のヘッダセクションが更新された
7	予約ビット	リードした値は不定です。ライト時は常に“0”の値を設定してください。
6～0	IMBNR[6:0]	メッセージバッファ番号更新ビット 転送用の FlexRay 内部メッセージ RAM 内のターゲットメッセージバッファ番号を選択します。

保護メッセージバッファ用に LHS ビットをセットすることはできないことに注意してください。
LDS ビットは、IMBNR ビットによって選択されたメッセージバッファのデータセクションが更新されるかどうかを定義します。
LDS ビットが“1”にセットされている場合、ペイロードデータの（DSL＋1）個の 32 ビットワードが、ローカル RAM やグローバル RAM から IMBNR ビットによって選択されたメッセージバッファへ転送されます。
LDS ビットが“0”にセットされている場合、ペイロードデータはローカル RAM やグローバル RAM から転送されません。
転送されたペイロードは、設定されたペイロード長（FLXAnFRWRHS2 に関連したアドレス内の PLC ビット）とは関係ないことに注意してください。
送られたデータ構造の無効化に INV ビットを使うことができます。本ビットは入力キューが停止した場合に送られたデータ構造の転送をキャンセルするためにだけ使用してください（「**25.3.16.2(5) 専用メッセージバッファの転送機能**」参照）。

本ビットが“1”にセットされている場合、メッセージバッファ番号（IMBNR）は更新されません。“0”にセットされている場合、メッセージバッファ番号（IMBNR）は更新されます。

(4) 入力データ構造の転送機能

入力データ構造の転送機能を使用するためには入力転送が起動されている必要があります（「**25.3.16.1(1) 起動および停止**」参照）。起動プロセスには、転送されるデータ構造用のソース位置（入力データ構造）を指定するために入力ポインタテーブル（「**25.3.16.1(3) 入力ポインタテーブル**」参照）をセットアップすることが必要です。入力転送が可能になるとゲットインデックスポインタが“0”に初期化されます。

すべての FlexRay 内部メッセージバッファは、入力ポインタテーブル内に構築された入力転送キューを使用して更新することができます。アプリケーションは入力ポインタテーブルに転送されるデータ構造へポインタおよび制御フィールド（テーブルエントリ）を書き込む必要があります。このため、アプリケーションはポインタが書き込まれる位置を示す入力ポインタテーブル用のプットインデックスを保持する必要があります。

このテーブルエントリを入力ハンドラに送るため、アプリケーションは入力キュー制御レジスタ（FLXAnFRIQC.IMBNR）にターゲットメッセージバッファ番号を書き込む必要があります。その後アプリケーションはアプリケーション内部プットインデックスをインクリメントします。

入力キュー制御レジスタに書き込むことによって、データ許可フラグ（FLXAnFRDAi.DA[IMBNR]）は自動的に“1”にセットされます。また入力転送ハンドラは、ステータスレジスタ内のプットインデックスポインタ（FLXAnFRITS.IPIDX）を保持します。

入力キューがフルになった場合（待機中の入力転送要求の数が入力キューテーブルのサイズと等しい）、FLXAnFRITS.IQFP および FLXAnFRITS.IQFIS は“1”にセットされます。入力キュー内に有効な入力キューがある場合、入力キューフル条件保留フラグ（FLXAnFRITS.IQFP）が“1”から“0”に変化します。それによって入力キューフル割り込みステータスフラグ（FLXAnFRITS.IQFIS）はアプリケーションによってクリアされる必要があります。

FLXAnFRITS レジスタの IQFP ビットが“1”である限りアプリケーションは FLXAnFRIQC レジスタの IMBNR ビットに書き込むことはできません。

入力キューがエンプティになった場合（待機中の入力転送要求の数がゼロになる）、FLXAnFRITS.IQEIS は“1”にセットされます。入力キューエンプティ割り込みステータスフラグ（FLXAnFRITS.IQEIS）はアプリケーションによってクリアされる必要があります。

入力データ構造の FlexRay メッセージ RAM への転送は、FlexRay モジュール内で処理され FLXAnFRITS.IGIDX にフラグを立てられたゲットインデックスポインタによって制御されます。このインデックスは入力ポインタテーブルのアドレスオフセットではなく入力エントリを示すことに注意してください。

入力キューがエンプティではない場合、転送ハンドラは転送キューの入力ポインタテーブルエントリを読み出し、その入力ポインタが示すアドレスから入力データ構造の転送を開始します。要求されたデータワード分が FlexRay モジュールへ転送されると、その転送されたメッセージ番号に対するデータ有効フラグが“0”になり転送ハンドラ内のゲットインデックスが 1 つインクリメントされます。

無効化されたデータ構造の場合（「**25.3.16.1(5) 入力キューの停止**」参照）、FlexRay 内部メッセージバッファは更新されず関連するデータ有効フラグは自動的に“0”になります。データ有効フラグの変更は転送要求のキャンセルの確認のために使用されます。

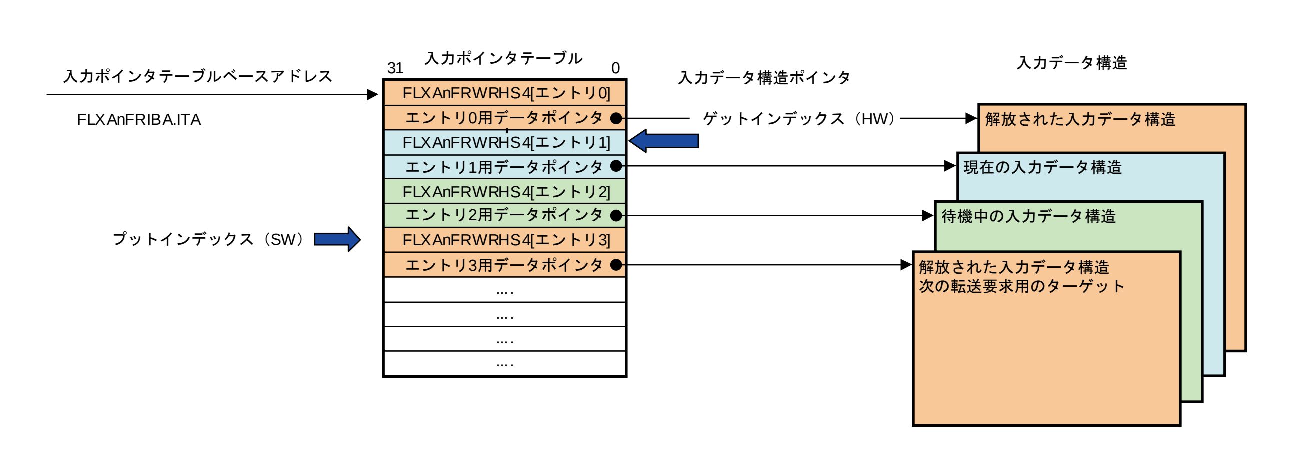


図 25.24 入力ポインタテーブル

また、要求されたヘッダセクションをセットアップすることによって入力データ転送を使用して受信メッセージバッファを設定することができ、FlexRay モジュール内で更新されるヘッダセクションだけにマークすることができます（FLXAnFRWRHS4.LDS＝0, FLXAnFRWRHS4.LHS＝1）。

(5) 入力キューの停止

送られたデータ構造を除去することはできませんが、入力キューが停止した際、無効にし更新することはできます。

すでに入力キューに送られたデータ構造をキャンセルするために、FLXAnFRITC.IQHR に“1”を書き込んでキューを停止することができます。

動作中の入力転送が完了した後、キューは停止し FLXAnFRITS.IQH は“0”から“1”へ変わります。

入力キューのエントリを無効化するために FLXAnFRWRHS4.INV は“1”にセットされる必要があります。FWRHS4 のほかのすべてのビットは変更できません。

送られたメッセージがすでに FlexRay 内部メッセージ RAM に転送されたかどうかを次に示す流れを使って解析してください。

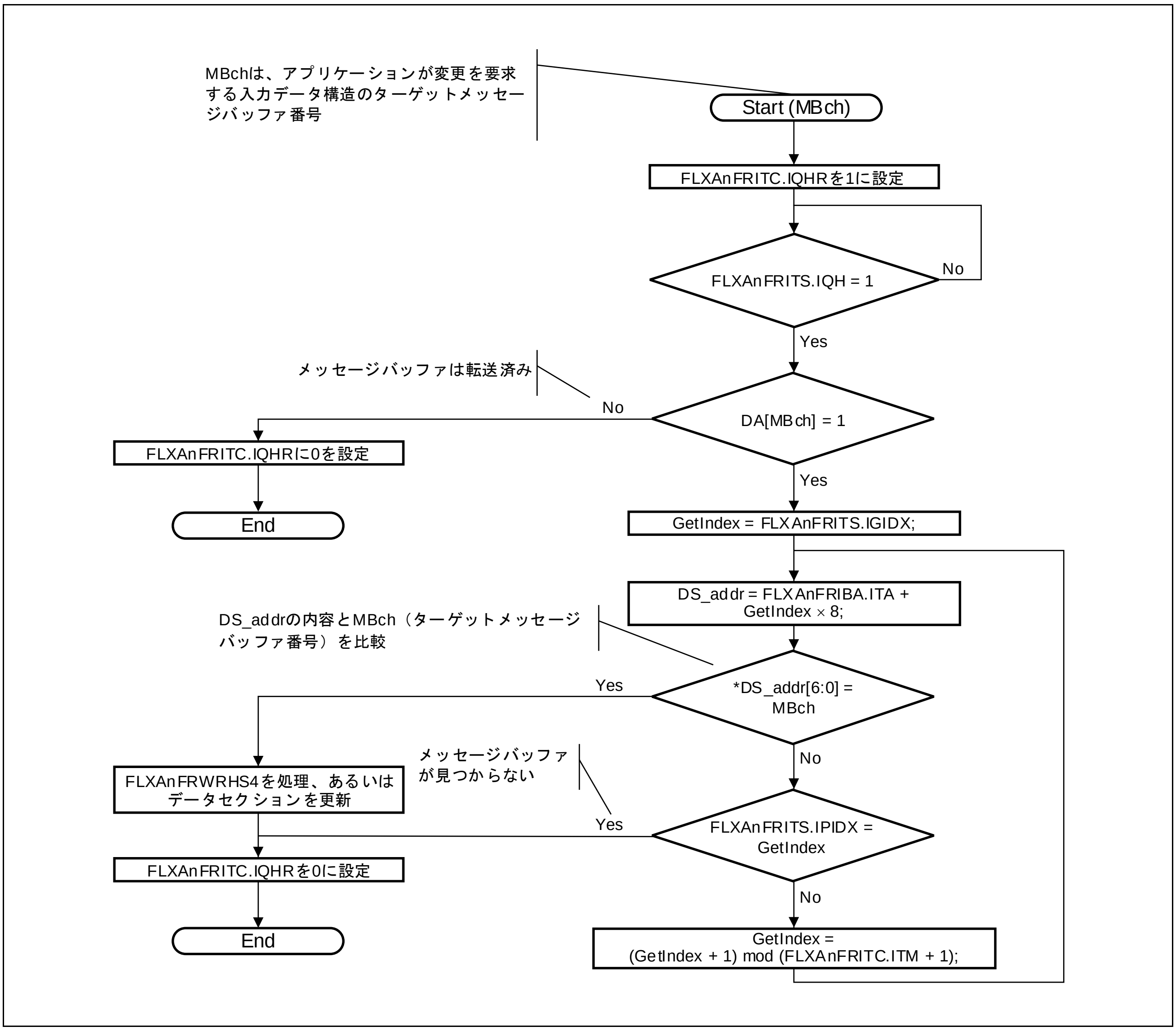


図 25.25　入力テーブルの解析

メッセージバッファがすでに FlexRay 内部メッセージ RAM に転送された場合、実際のキューを迂回し要求されたメッセージバッファを更新するためにユーザ入力転送要求を使用することができます（「**25.3.16.1(6) ユーザ要求入力転送の転送機能**」参照）。

(6) ユーザ要求入力転送の転送機能

この機能を使用するためには入力転送が起動されていることが必要です（「**25.3.16.1(1) 起動および停止**」参照）。

FLXAnFRUIR.UIDX を使用して、アプリケーションは入力データ構造の転送を要求することができます。ユーザ入力転送要求が最初に行われます。

アプリケーションは、入力ポインタテーブルへ転送されるデータ構造へポインタおよび制御フィールド（テーブルエントリ）を書き込む必要があります。ユーザ入力転送要求用のテーブルエントリを入力ポインタテーブルの最後に追加してください（「**25.3.16.1(3) 入力ポインタテーブル**」参照）。

入力ハンドラにこのテーブルエントリを送るため、アプリケーションはインデックス（FLXAnFRITC.ITM＋1）をユーザ転送要求レジスタ（FLXAnFRUIR.UIDX）に書き込む必要があります。

ユーザ入力転送要求レジスタに書き込むことによって、ユーザ入力転送要求保留フラグ（FLXAnFRITS.UIRP）が自動的に“1”にセットされます。

このフラグが“1”の間、アプリケーションはさらにユーザ入力転送要求を行うことはできません。

要求された入力転送が完了するとユーザ入力転送要求保留フラグ（FLXAnFRITS.UIRP）は“1”から“0”に変化します。続いて、次の保留転送が処理されます。

25.3.16.2 出力データ転送

出力データ転送機能が有効な場合、受信メッセージ（専用メッセージバッファ内あるいは FlexRay 受信 FIFO 内）は、出力データハンドラによってローカル RAM やグローバル RAM へ転送されます。出力データハンドラは、アプリケーションの要求によってメッセージバッファの内容をローカル RAM やグローバル RAM へ転送することもできます。また、出力ハンドラはメッセージバッファの状態が変化した際、転送を開始することもできます。

(1) 起動および停止

出力データ転送機能は、使用の前に起動をかける必要があります。出力転送ハンドラは FIFO プットおよびゲットインデックスポインタと FIFO フィルレベル（FLXAnFROTS.FGIDX と FLXAnFROTS.FFL）を“0”にイニシャライズし、FLXAnFROTS レジスタの FDA、OWP、FWP、UORP ビットを“0”にセットします。また割り込みステータスフラグ（FLXAnFROTS.OTIS、FLXAnFROTS.FIS、FLXAnFROTS.OWIS、FLXAnFROTS.FWIS）を“0”にセットします。

起動をかけることによって専用バッファに関連したデータ有効フラグ（FLXAnFRDAi.DA）に影響することはありません。これらのフラグはアプリケーションによってクリアされる必要があります。

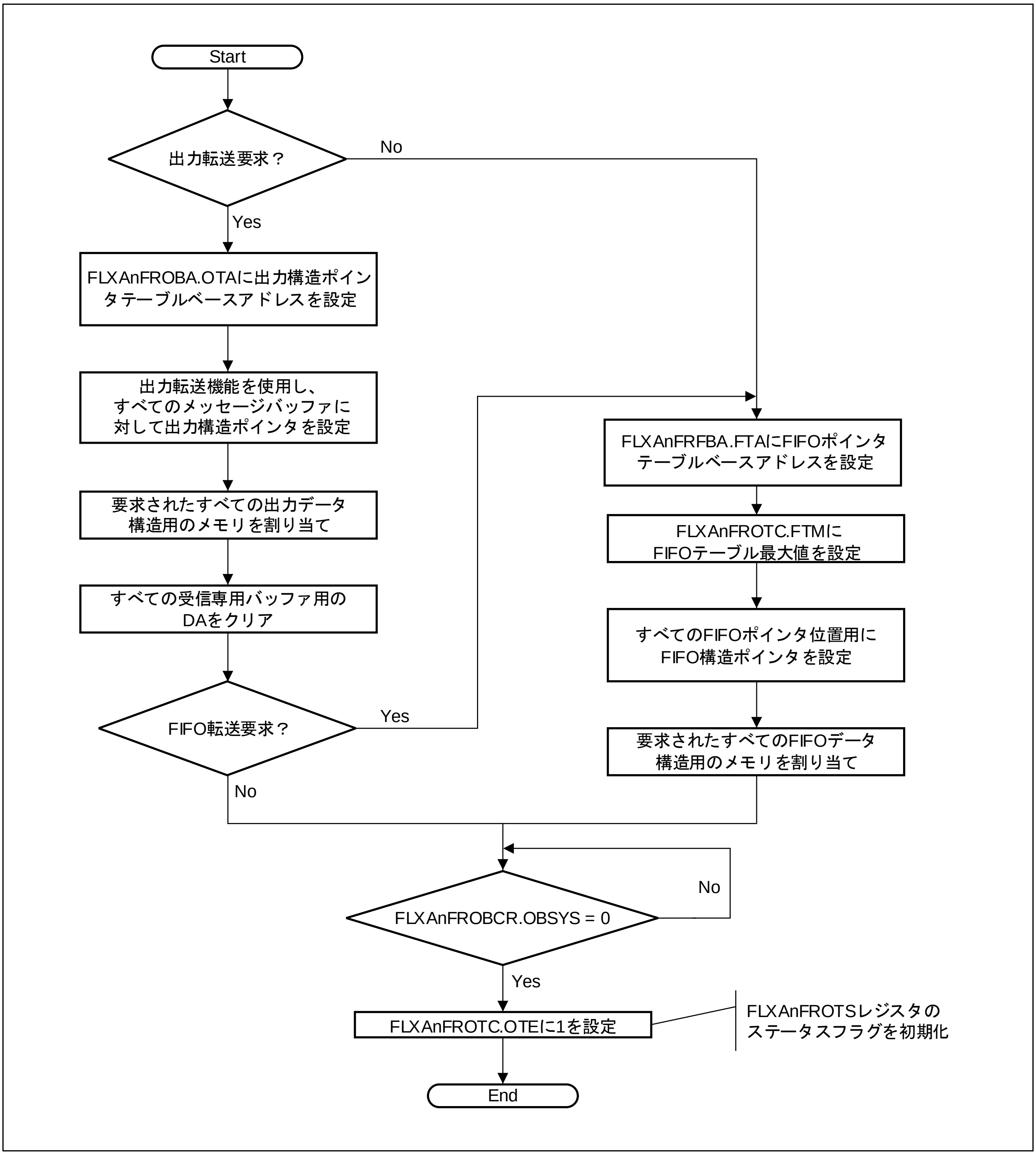


図 25.26　出力転送許可の流れ

出力データ転送機能の停止要求はいつでも可能です。実行中の転送は完了し、この転送の完了についてフラグが立てられます。この間 FLXAnFROTS.OTS は“1”のままです。

FLXAnFROTS.OTS が“1”から“0”に変化すると、出力転送機能は停止します。出力転送機能が無効な場合、データ有効ステータスフラグおよび FIFO ゲットインデックスは維持されます。

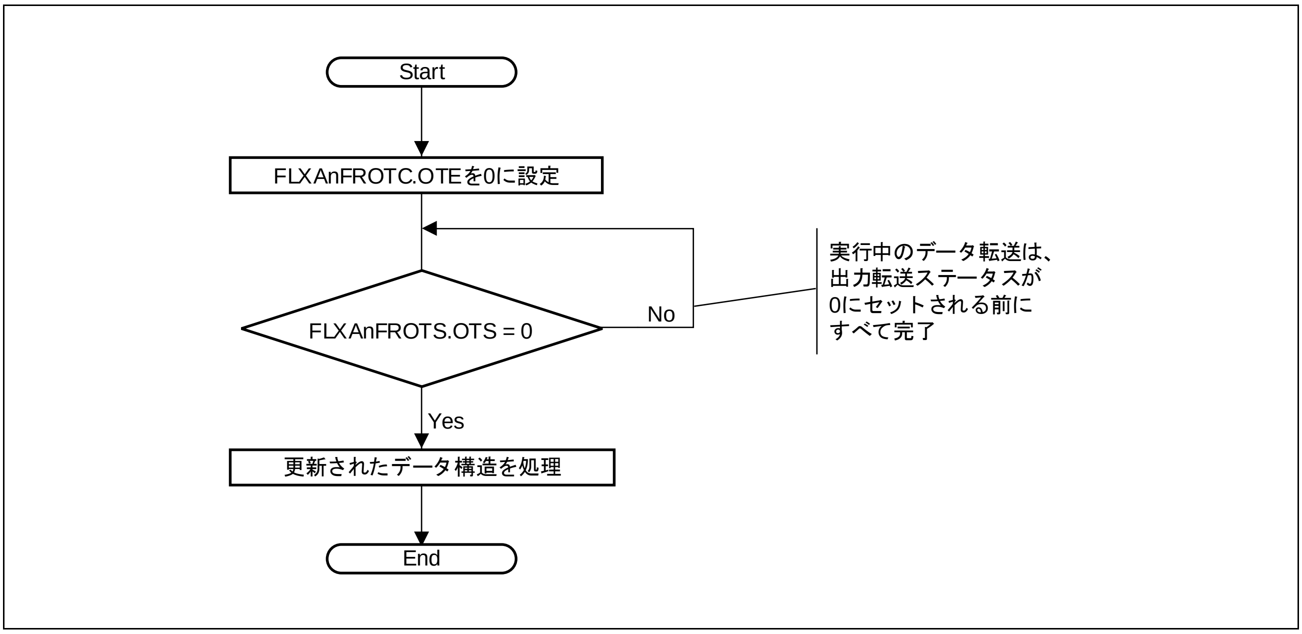


図 25.27　出力転送禁止の流れ

(2) 出力転送データ構造

ローカル RAM やグローバル RAM 内のデータは出力データ構造内に格納されます。出力データ構造の位置は出力データ構造ポインタ（これもローカル RAM やグローバル RAM 内にある）によって決定されます。出力データ構造およびインデックス付けについて「**図 25.28 出力データ構造**」に示します。

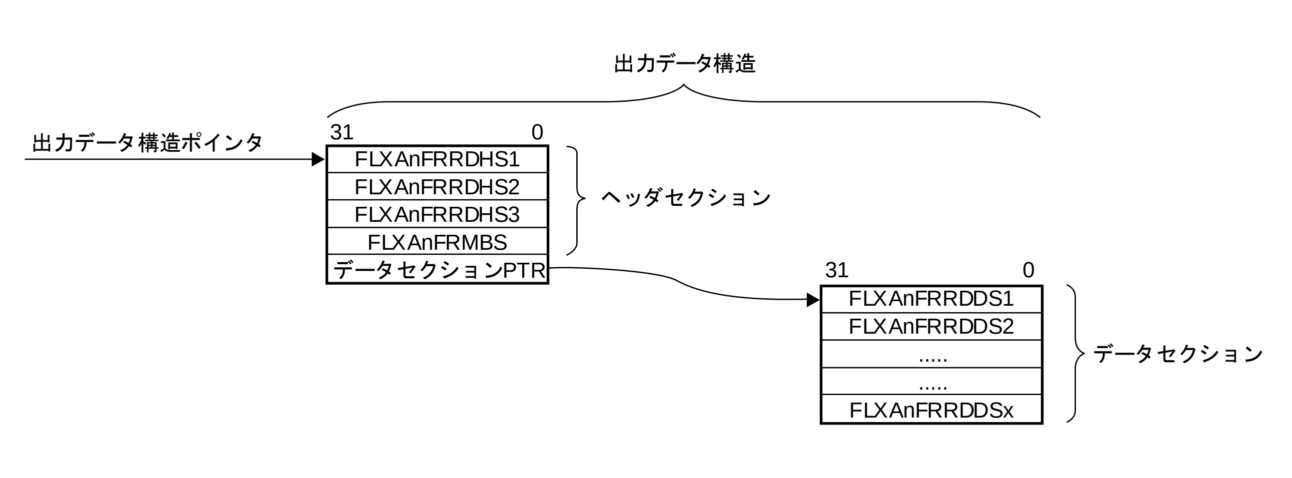


図 25.28 出力データ構造

出力データ構造は 2 つのセクション（ヘッダセクションおよびデータセクション）で構成されます。ヘッダセクションは FLXAnFRRDHS1、FLXAnFRRDHS2、FLXAnFRRDHS3、FLXAnFRMBS およびデータセクションポインタによって構成されます。FLXAnFRRDHS1 はこの構造の最初の要素で 32 ビットアドレスにアラインされている必要があります。データ構造ポインタは FLXAnFRRDHS1 のアドレスに対応しています。ヘッダセクション内のビットアライメントおよびビット機能については「**25.3.13.1 ヘッダパーティション**」を参照してください。

FLXAnFRRDDS1 はデータセクションの最初の要素です。データセクションポインタは FLXAnFRRDDS1 のアドレスに対応し 32 ビットアドレスにアラインされている必要があります。出力データ構造内の FlexRay ペイロードデータのバイト順は FLXAnFROC レジスタの BEC ビットによって決定されます。データセクション内のペイロードデータのアライメントについては「**25.3.13.2 データパーティション**」を参照してください。

ローカル RAM やグローバル RAM 内に割り当てられているデータセクションの長さと構造全体のサイズは、関連したメッセージバッファの設定されたペイロード長（FLXAnFRRDHS2.PLC）に依存します。設定されたペイロード長が奇数ワードである、あるいは受信されたペイロード長（FLXAnFRRDHS2.PLR）が設定されたペイロード長より短い場合、ローカル RAM やグローバル RAM 内の残りのデータワードは使用されず、アプリケーションが使用することはできません。

出力データ構造は 3 種すべての出力転送に特有です。ヘッダセクションのみが転送される場合、データセクションポインタは出力ハンドラによって評価されずデータセクションは変更されません。

(3) 出力ポインタテーブル

出力データ転送機能のためアプリケーションはローカル RAM やグローバル RAM 内の出力ポインタテーブルをセットアップする必要があります。このテーブルの最初の要素の位置を出力ポインタテーブルベースアドレス（FLXAnFROBA.OTA）にプログラムする必要があります。このベースアドレスは 32 ビットアドレスにアラインされる必要があります。

出力ポインタテーブルのサイズは、最後に設定された専用メッセージバッファとユーザ出力転送要求に使用される最大のメッセージバッファ数のうち最大の値に定義されます。

出力ポインタテーブルはメモリ空間がターゲットメッセージバッファのコンテンツ（ヘッダセクションおよびデータセクション）向けに用意されているローカル RAM やグローバル RAM の位置を示すポインタ（出力データ構造ポインタ）を保持しています。

出力ポインタテーブル内のエントリのアドレスと関連するメッセージバッファの番号とは 1 対 1 の関係です（「**図 25.29 出力データ構造とインデックス**」参照）。出力ポインタテーブルは FLXAnFROBA.OTA で設定されたアドレスのメッセージバッファ番号 0 のエントリで始まり、昇順に次のメッセージバッファ番号へと続きます。すべてのメッセージバッファに対して 32 ビットのアラインされたアドレスです（メッセージバッファ 1 はアドレス OTA＋4、メッセージバッファ 2 はアドレス OTA＋8 など）。

ND ビットのセットのみが転送条件の場合（FLXAnFROTC.OTCS が“0”にセット）、専用受信バッファとして設定された、あるいはユーザ出力転送要求に使用されるメッセージバッファだけが有効なポインタエントリを持つ必要があります。

ND ビットのセットあるいは MBC ビットのセットが転送条件の場合（FLXAnFROTC.OTCS が“1”にセット）、すべての専用受信バッファおよび専用送信バッファが有効なポインタエントリを持つ必要があります。

(4) FIFO 出力ポインタテーブル

FlexRay モジュール内部 FIFO は、ローカル RAM やグローバル RAM 内に待機中のバッファ構造によって拡張可能です。

FlexRay モジュール内部 FIFO が使用される場合、アプリケーションは FIFO 出力ポインタテーブルをセットアップする必要があります。このテーブルの最初の要素の位置は FIFO ポインタテーブルベースアドレス（FLXAnFRFBA.FTA）によって決定されます。このベースアドレスは 32 ビットのアドレスにアラインされる必要があります。

FIFO ポインタテーブルのサイズとキューに追加可能なメッセージの最大数は、FIFO テーブル最大ビット（FLXAnFROTC.FTM）によって定義されます。

FIFO ポインタテーブルはメモリ空間がターゲットメッセージバッファのコンテンツ（ヘッダセクションおよびデータセクション）に用意されているローカル RAM やグローバル RAM の位置を示すポインタ（出力データ構造ポインタ）を保持しています。テーブルエントリごとにデータポインタはこのテーブル内に設定されています。

(5) 専用メッセージバッファの転送機能

この転送機能を使用するためには出力転送が起動されている必要があります（「**25.3.16.2(1) 起動および停止**」参照）。起動プロセスには、転送するデータの転送先の位置（出力データ構造）を指定するために出力ポインタテーブル（「**25.3.16.2(3) 出力ポインタテーブル**」参照）のセットアップが必要です。
「**図 25.29 出力データ構造とインデックス**」に出力ポインタテーブルの出力データ構造との対応方法を示します。

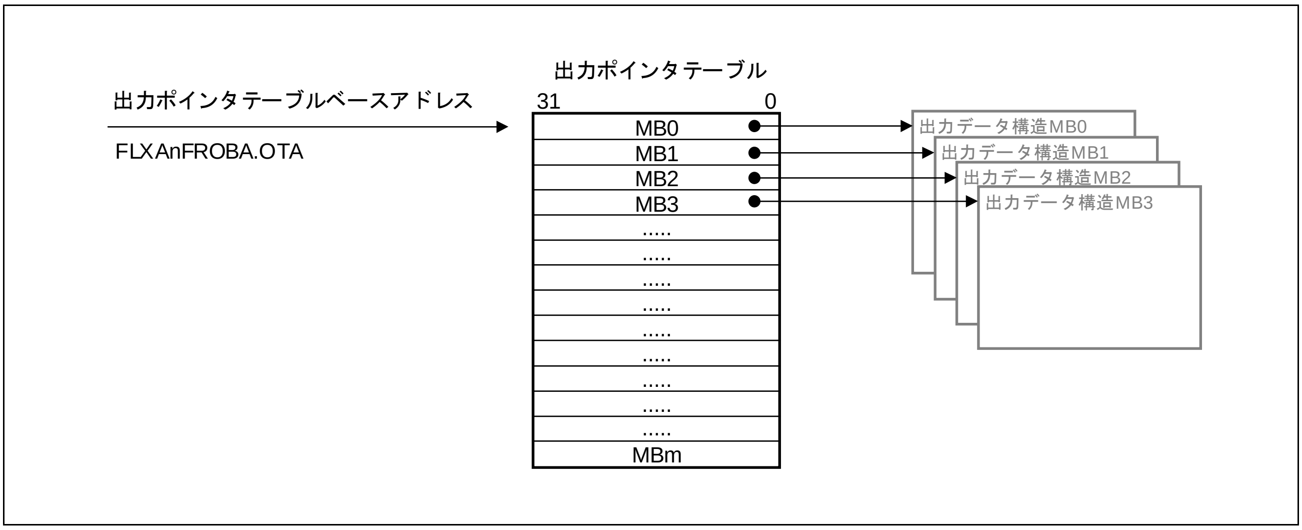


図 25.29　出力データ構造とインデックス

FLXAnFROTC.OTCS によって、出力転送条件が「新データ専用モード」と「新データおよびステータス変更モード」の間で選択可能です。

「新データ専用モード」では、有効な FlexRay データフレームが、関連する FLXAnFRNDATi レジスタの ND フラグがセットされる専用受信バッファに格納された場合、出力データ転送は開始されます。FLXAnFRNDATi レジスタの ND フラグは転送処理中自動的に“0”にセットされます。ヘッダセクションも転送され、FLXAnFRMBSCi レジスタの MBC フラグは“0”にセットされます。

「新データおよびステータス変更モード」では、出力データ転送は「新データ専用モード」の説明で記述したように開始されます。さらに出力データ転送は、メッセージバッファステータスが変更されただけでも開始されます。この変更により関連する FLXAnFRMBSCi レジスタの MBC フラグがセットされます。この場合、ヘッダセクションだけが転送されます。FLXAnFRMBSCi レジスタの MBC フラグは、転送処理中自動的に“0”にセットされます。

メッセージバッファのデータを FlexRay 内部メッセージ RAM から出力データ構造に転送後、対応する FLXAnFRDAi（i＝0～3）レジスタのデータ有効フラグは“1”にセットされます。出力データ構造の更新についても出力転送割り込みステータスフラグ（FLXAnFROTS.OTIS）のセットによりフラグが立てられます。

データ有効フラグが“1”の間は、対応する出力データ構造は更新されません。

- データ有効フラグが“1”であり有効受信メッセージが格納された、あるいは
- FLXAnFROTC.OTCS が“1”でありメッセージバッファステータスが更新されたとき

上記の場合、出力転送警告割り込みフラグ（FLXAnFROTS.OWIS）が“1”にセットされ、新データは有効であるが出力データ構造転送が処理できないことをアプリケーションに知らせます。さらに出力転送警告条件の状態を連続して示す FLXAnFROTS.OWP が“1”にセットされます。

FlexRay 内部メッセージ RAM 内の有効受信メッセージは追加の受信メッセージによって上書きされた場合、メッセージ消失フラグ（FLXAnFRMBS.MLST）が“1”にセットされます。このフラグはメッセージバッファが出力データ構造へ転送されたあと評価されます。

次に出力データ構造を処理する方法について説明します。

(a)　データセクションコピー方式

出力データ構造からローカル RAM やグローバル RAM の異なる位置に情報をコピーし、関連するデータ有効フラグをクリアすることによって出力データ構造を解放するオプションです。アプリケーションはさらに処理を行うため、コピーされた情報を使用することが必要です。

(b)　データ構造ポインタ方式

別のオプションとして、出力ポインタテーブル内の出力データ構造ポインタを変更し、関連するデータ有効フラグをクリアすることによって出力データ構造を解放する方法があります。変更された出力データポインタはフリーのデータ構造に対応します。アプリケーションはさらに処理を行うため元のデータ構造を使用する必要があります。

(c)　データセクションポインタ方式

3 番目のオプションとして、出力データ構造内のデータセクションポインタを変更し、関連するデータ有効フラグをクリアすることによって出力データ構造を解放する方法があります。変更されたデータセクションポインタはフリーなメモリエリアに対応する必要があります。アプリケーションはデータセクションポインタを送ることによってさらに処理するため、元のデータセクションを使用する必要があります。

(6) FIFO メッセージバッファの転送機能

このバッファ転送機能を使用するためには、出力転送が起動されている必要があります（「**25.3.16.2(1) 起動および停止**」参照）。起動プロセスには、要求された出力データ構造の格納用に用意されたローカル RAM やグローバル RAM 内の位置を指定するため FIFO ポインタテーブル（「**25.3.16.2(4) FIFO 出力ポインタテーブル**」参照）のセットアップが必要です。

FIFO データ転送は、有効なデータフレームが FlexRay 内部 FIFO に格納されると開始されます。

内部 FIFO から出力データ構造への転送後、FIFO 割り込みステータスフラグ（FLXAnFROTS.FIS）および FLXAnFROTS.FDA が"1"にセットされます。ビット FLXAnFROTS.FIS は割り込みソースとして使用可能です。ビット FLXAnFROTS.FDA は FIFO がエンプティではないことを示します。

FLXAnFROTC レジスタで設定された出力構造は、FLXAnFROTS.FTM になるまで待機可能です。

拡張 FIFO バッファ構造への転送はインデックスポインタによって制御されます。このプットインデックスは FIFO 転送ハンドラによって制御され、1 つのメッセージを出力データ構造に転送後インクリメントされます。

FIFO 受信ハンドラは、FLXAnFROTS.FGIDX 内でフラグが立てられるゲットインデックスも保持しています。このゲットインデックスの値は、アプリケーションがステータスを読み出す、あるいはソフトウェア変数を保持することによって分かります。ゲットインデックス（リセット後の値は"0"）は、FLXAnFROTS.FDA に"1"を書き込むことによってアプリケーションが FIFO キューの一番古いエントリを解放すると 1 つインクリメントされます。プットインデックスとゲットインデックスを比較することによって FIFO ハンドラは待機中のバッファ構造の現在のフィルレベルを知ることができます。

現在の FIFO フィルレベルは FLXAnFROTS.FFL 内にセットされます。FLXAnFROTS.FDA が"1"の場合、少なくとも 1 つのエントリが FIFO キュー内に存在します。

ローカル RAM やグローバル RAM 内の待機中のバッファ構造がフルの場合（FLXAnFROTS.FFL＝FLXAnFROTC.FTM＋1）、転送は開始されず、新しいメッセージは FlexRay 内部 FIFO 内に残り、FIFO 転送警告割り込みステータスフラグ（FLXAnFROTS.FWIS）が"1"にセットされます。

FlexRay 内部 FIFO 構造がフルになった場合、FlexRay 内部 FIFO 構造内のメッセージは上書きされます。FlexRay コアモジュールの関連するステータスフラグおよび設定レジスタは、要求される警告の通知を生成するために使用されます。

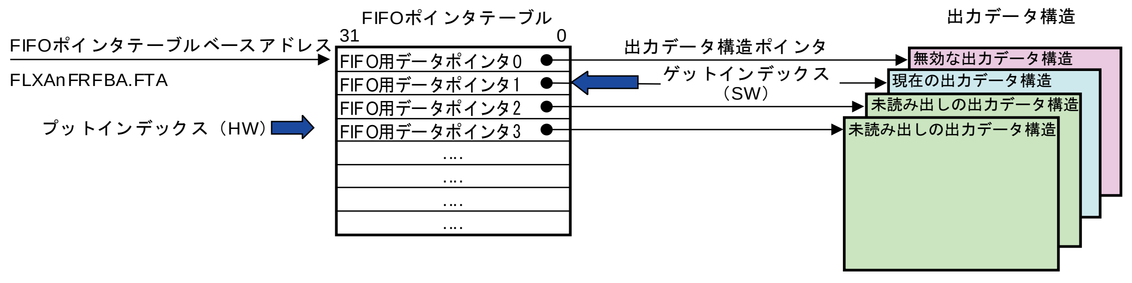


図 25.30　FIFO ポインタテーブル

(7) ユーザ出力転送要求の転送機能

この転送機能を使用するためには、出力転送が起動されている必要があります（「**25.3.16.2(1) 起動および停止**」参照）。起動プロセスには、データ（出力データ構造）の転送用に用意されたローカル RAM やグローバル RAM 内の位置を指定するため出力ポインタテーブル（「**25.3.16.2(3) 出力ポインタテーブル**」参照）をセットアップすることが必要です。

FLXAnFRUOR.UMBNR を使って、アプリケーションは専用メッセージバッファの出力データ構造への転送を要求することができます。CONFIG 状態以外では、FlexRay 内部 FIFO の一部であるメッセージバッファを要求することはできません。

ヘッダセクションは常に出力データ構造に転送されます。データセクションの転送は FLXAnFRUOR.URDS を“1”にセットすることによって可能です。選択されたメッセージバッファの内容は、出力ポインタテーブル内のポインタによって決定された出力データ構造の位置に格納されます。

FLXAnFRDAi レジスタの DA ビットによるデータ有効ステータスおよび転送のブロッキングはユーザ要求転送のために使用されます。要求バッファ番号（FLXAnFRUOR.UMBNR）に関連する FLXAnFRDAi レジスタの DA ビットは、転送要求が作られる前に解放される必要があります。

FLXAnFRUOR.UMBNR への書き込み後、ビット FLXAnFROTS.UORP は“1”にセットされ保留中のユーザ転送要求があることを示します。転送が処理されると、ビット FLXAnFROTS.UORP は“0”にセットされ、ビット FLXAnFROTS.OTIS は“1”にセットされ、要求バッファ番号（FLXAnFRUOR.UMBNR）に関連する FLXAnFRDAi レジスタの DA ビットは“1”にセットされます。

ユーザ出力転送要求をキューに入れることはできません。アプリケーションは FLXAnFRUOR.UMBNR に書き込む前にビット FLXAnFROTS.UORP をチェックする必要があります。

入力転送キュー内で保留中のメッセージバッファに対してユーザ出力転送要求を作成することはできません。

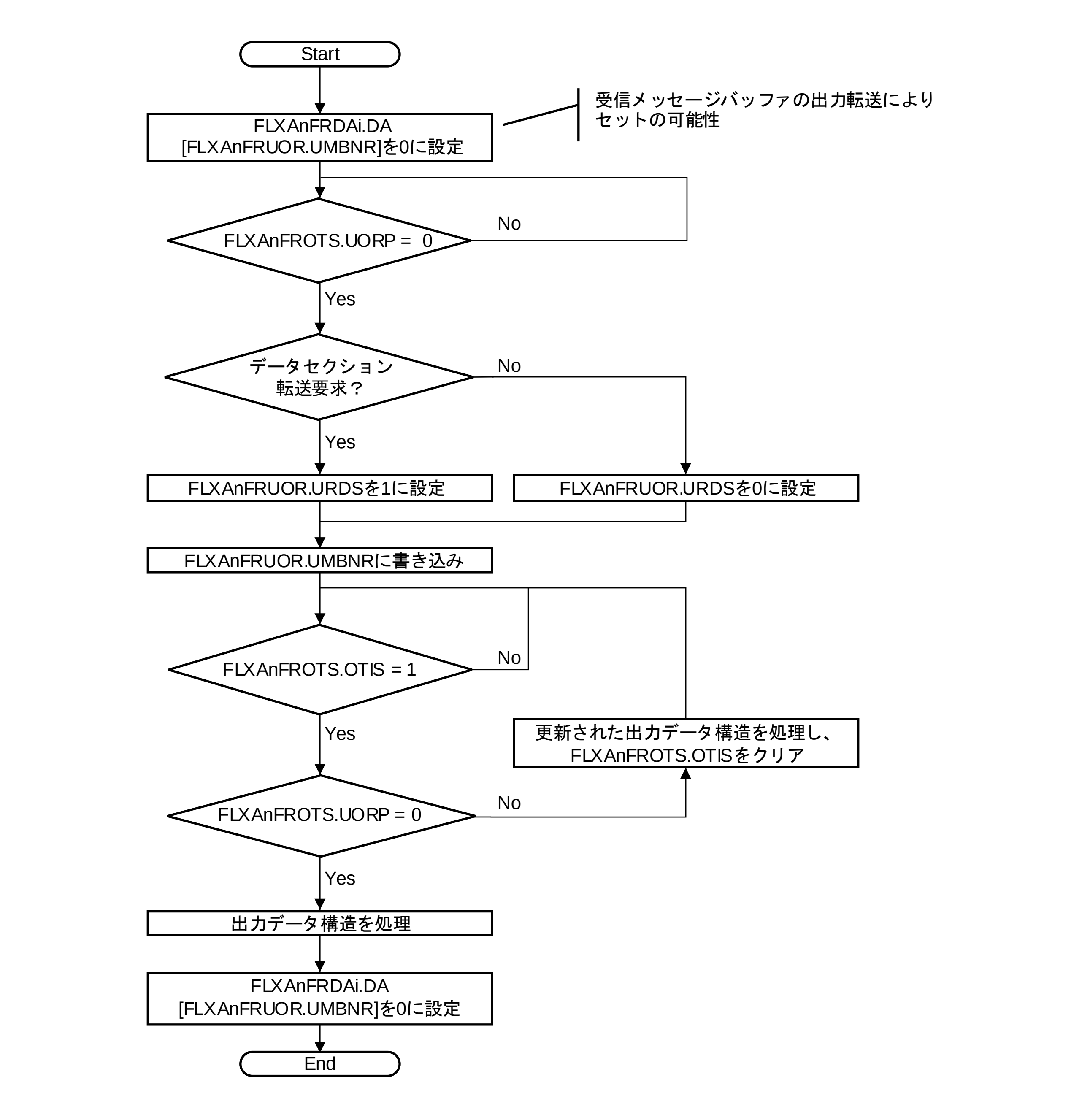


図 25.31　ユーザ出力転送要求の流れ

ユーザ要求によって指定されたデータ構造が、受信メッセージバッファの更新（これによって FLXAnFRDAi レジスタの DA ビットがセットされる）により更新される可能性のあることに注意してください。

DA フラグのセットによりユーザ出力転送要求が抑制されます。したがって、FLXAnFROTS.UORP のポーリングは、要求されたメッセージバッファの転送が完了した時点を特定する安全な方法ではありません。ビット FLXAnFROTS.OTIS あるいは FLXAnFRDAi レジスタの DA ビットを代わりに使用することができます。正確な流れはソフトウェアのアーキテクチャに依存します。

25.3.16.3　データ構造転送のスケジューリング

周期的に異なるタイプの転送要求がチェックされます。確かな転送時間を保証するために、異なるタイプの転送は異なる優先度を持ちます。

最高の優先度を持つ要求された入力転送を使って、動作中の入力転送キューへ送られるデータ構造の転送を行ってください。保留中の入力転送要求がある間は新規の出力転送を開始することはできません。

特定の順序で 3 つの出力転送要求のタイプがチェックされます。

(1) 昇順のすべての専用メッセージバッファ

FLXAnFROTC.OTCS が“0”にセットされている場合、FLXAnFRNDATi レジスタのフラグにセットすると転送先のエリアがフリー（FLXAnFRDAi レジスタの DA ビットが“0”）であれば出力データ構造へのメッセージバッファの転送が行われます。

FLXAnFROTC.OTCS が“1”にセットされている場合、FLXAnFRNDATi レジスタのフラグにセットする、あるいは FLXAnFRMBSCi レジスタのフラグにセットすると転送先のエリアがフリー（FLXAnFRDAi レジスタの DA ビットが“0”）であれば出力データ構造へのメッセージバッファの転送が行われます。

(2) FlexRay 内部 FIFO

FlexRay 内部 FIFO がエンプティではなくフリーな転送先エリアがある場合、1 つの FIFO メッセージが FIFO ポインタテーブルによってアドレスされた出力データ構造へ転送されます。

(3) ユーザ出力要求

保留中のユーザ出力転送要求がある場合、1 つのメッセージバッファが対応する出力データ構造へ転送されます。

入力転送が発生するとチェックシーケンスは中断されます。

25.3.16.4 データ転送アクセスエラーの場合の動き

データ転送機能によってアクセスされるメモリ空間は、メモリ保護ユニット（MPU）によって保護されている可能性があります。保護されているアドレスが入力あるいは出力転送によってアクセスされたことをMPU が指摘すると、アクセスエラーイベントが生成され FLXAnFRAES レジスタの関連ビットがセットされます。

実行中の転送は即座に終了しますが完了した転送は処理され、さらにアクセスエラーが発生する可能性があります。続くアクセスエラーは FLXAnFRAES.MAE のみで知らされます。他のステータスフラグは更新されません。

(1) 入力転送時のアクセスエラー

入力転送中にアクセスエラーが発生した場合：

- 実行中の転送は即座に終了します。FlexRay 内部メッセージ RAM は更新されません。
- FlexRay モジュールがアクセスしようとしたアドレスが FLXAnFRAEA レジスタに書き込まれます。
- FLXAnFRAES.IAE が“1”にセットされます。
- 入力ポインタテーブルインデックスが FLXAnFRAES.EIDX 内に書き込まれます。
- 通常の入力転送の場合、関連する FLXAnFRDAi レジスタの DA ビットは“0”にセットされます。
- ユーザ入力転送要求の場合、FLXAnFRITS.UIRP は“0”にセットされます。

与えられたステータス情報によってアプリケーションは不正データ構造の特定と補正が可能です。さらにアプリケーションは入力アクセスエラーフラグ（FLXAnFRAES.IAE）をクリアする必要があります。

(2) 出力転送時のアクセスエラー

出力転送中にアクセスエラーが発生した場合：

- 実行中の転送は即座に終了しますが、データ構造の更新は開始される可能性があります。
- FlexRay モジュールがアクセスしようとしたアドレスが FLXAnFRAEA レジスタに書き込まれます。
- FLXAnFRAES.OAE が“1”にセットされます。
- 出力ポインタテーブルインデックスが FLXAnFRAES.EIDX 内に書き込まれます。
- 通常の出力転送の場合、関連する FLXAnFRDAi レジスタの DA ビットは“0”のままで、出力転送割り込みは生成されません。
- ユーザ出力転送要求の場合、FLXAnFROTS.UORP は“0”にセットされます。

与えられたステータス情報によってアプリケーションは不正データ構造の特定と補正が可能です。ローカル RAM やグローバル RAM 内のデータ構造を有効とみなすことはできません。

さらにアプリケーションは出力アクセスエラーフラグ（FLXAnFRAES.OAE）をクリアする必要があります。

メッセージバッファの FlexRay モジュール内部転送は、ローカル RAM やグローバル RAM アクセスエラーが検出される前に完了しています。出力転送は再開できません。データの消失を避けるため、アプリケーションは正しいローカル RAM やグローバル RAM の位置へのこのメッセージバッファのユーザ出力転送要求を行うことができます。

(3) FIFO 転送時のアクセスエラー

FIFO 転送中にアクセスエラーが発生した場合：

- 実行中の転送は即座に終了します。
- FlexRay モジュールがアクセスしようとしたアドレスが FLXAnFRAEA レジスタに書き込まれます。
- FLXAnFRAES.FAE が“1”にセットされます。
- FIFO ポインタテーブルインデックスが FLXAnFRAES.EIDX 内に書き込まれます。
- FIFO インデックスポインタは変更されず、よって FIFO ステータスフラグは変更しません。

与えられたステータス情報によってアプリケーションは不正データ構造の特定と補正が可能です。さらにアプリケーションは FIFO アクセスエラーフラグ（FLXAnFRAES.FAE）をクリアする必要があります。

ローカル RAM やグローバル RAM 内のデータを有効とみなすことはできずアプリケーションに解放されません。メッセージを回復することはできません。

25.3.16.5 RAM 読み出しエラーの場合の動作

FlexRay 内部メッセージ RAM には ECC チェックメカニズムがあります。補正できない RAM 読み出しエラーが発生した場合、アプリケーションは FLXAnFRMHDS レジスタのステータスを解析し、「**25.3.16.3 データ構造転送のスケジューリング**」に記述されているようにやり直す必要があります。エラーが動作中の転送に関連する場合、入力および出力転送ハンドラもメッセージ RAM 内で検出されたこれらのエラーについてやり直します。

また、テンポラリバッファ A およびテンポラリバッファ B にも同様に ECC チェックメカニズムがあります。補正できない RAM 読み出しエラーは、データ転送機能に影響を与えませんが、「**25.3.13.1(4) メッセージバッファステータス（FLXAnFRMBS）（ワード 3）**」に記述されているように取り扱う必要があります。

すべての場合、読み出しエラーを起こしたデータがローカル RAM やグローバル RAM へ転送されることはありません。アプリケーション内で回復不能な場合、メッセージは消失します。

(1) TBF から MBF への転送時の読み出しエラー

この内部転送はすべての有効な受信 FlexRay メッセージに対して行われます。

読み出しエラーは FlexRay メッセージ RAM 内のヘッダセクションを読み出す場合のみに発生します（FLXAnFRMHDS の読み出しエラーフラグ参照）。この場合メッセージバッファは再設定される必要があります。

専用受信メッセージバッファについて、関連する FLXAnFRNDATi レジスタの ND フラグはセットされません。したがって影響を受けるメッセージバッファは出力データ構造に転送されません。

FlexRay 内部 FIFO バッファに関して FLXAnFRNDATi レジスタの ND フラグはセットされませんが、FlexRay 内部 FIFO プットインデックスはインクリメントされます。このことにより、FlexRay 内部 FIFO バッファから出力バッファへの転送手順が開始されます。しかし、ヘッダセクション内に読み出しエラーが依然として存在する場合、出力データ構造の更新は開始されません（「**25.3.16.5(2) MBF から OBF への転送時の読み出しエラー**」参照）。したがってローカル RAM やグローバル RAM 内のデータは正しいままです。

保留中の FIFO 転送がある間、メッセージバッファに関連する FIFO の補正あるいはその他の再設定はローカル RAM やグローバル RAM 内に不正なデータをもたらす可能性があることに注意してください。再設定が始まる前に出力データ転送を停止し、出力データ転送を停止する前に FlexRay 内部 FIFO をフラッシュすることを強くお勧めします。

(2) MBF から OBF への転送時の読み出しエラー

この内部転送はすべての出力データ転送（専用受信、FIFO、ユーザ要求）に対して行われます。

読み出しエラーはヘッダおよびデータセクションで発生する可能性があります（FLXAnFRMHDS の読み出しエラーフラグ参照）。両方の場合、メッセージは消失します。エラーがヘッダセクションにある場合、メッセージバッファは再設定される必要があります。エラーがデータセクションにある場合、エラーは次のデータセクションの更新によって修正されます。

メッセージ RAM から出力バッファへの転送中に読み出しエラーが発生した場合、出力データ構造は更新されず、データ有効ビットは “1” にセットされません。また、FIFO プットインデックスおよび FIFO フィルレベルは変更されません。

ユーザ出力転送要求の場合、出力データ構造の更新が行われなくても FLXAnFROTS.UORP が “0” にセットされます。

(3) IBF から MBF への転送時の読み出しエラー

この内部転送はすべての入力データ転送に対して行われます。

メッセージ RAM からのヘッダセクションの読み出しが原因で（FLXAnFRMHDS 内の読み出しエラーフラグ参照）、要求されたヘッダセクションの更新ができない場合（FLXAnFRWRHS4 のビット LHS が“0”にセット）のみ、読み出しエラーが発生します。この場合、メッセージバッファは再設定される必要があります。

読み出しエラーが入力データ転送中に発生した場合、実際に転送された入力キュー内のメッセージは消失します。

(4) メッセージ RAM 読み出しエラー

ヘッダセクション読み出し中の読み出しエラーは FLXAnFRMHDS レジスタ内に記録されます。

バッファタイプおよびバッファ保護の設定により、メッセージバッファの再設定ができない可能性があります。

「**25.3.13.4(3) ヘッダセクションの一時的なロック解除**」に記述された方法により、入力転送機能を使ってロックされたメッセージバッファを再設定することはできません。

ロックされたバッファを再設定する前に、入力転送機能および出力転送機能を無効にすることが必要です。

25.3.16.6　データ転送のタイミング

ローカル RAM やグローバル RAM と FlexRay 内部メッセージバッファ間の転送のタイミングは 2 つの要素で構成されます。1 つめの要素は、インタフェースバッファとメッセージ RAM 間の FlexRay コア内部転送時間です。2 つ目の要素は、ローカル RAM やグローバル RAM とインタフェースバッファ間で要求される転送時間です。

入力および出力ハンドラのコンセプトでは、ローカル RAM やグローバル RAM と入力バッファ間の実行中の転送は 1 つだけが認められ、同様に入力バッファとメッセージ RAM 間でも実行中の転送は 1 つだけが認められます。2 つの要求が同時に発生した場合、入力転送タスクが最初に処理されます。

このコンセプトの制約のため、転送時間の算出は、パラレル転送ではなく、出力転送がすべての入力転送が完了したあとに限って開始されるという最悪の場合を想定しています。

(1) FlexRay コア内部転送時間

転送に必要なクロックサイクル数は、FlexRay コアモジュールクロックサイクル（バスクロック）内に設定されます。転送時間は、入力転送と出力転送とで異なります。

インタフェースバッファと FlexRay 内部メッセージ RAM 間の転送に必要な時間は[ERAY_ADD]によって設定されます。

$$cycles_{req\_MHD[PL]} = (numberOfConcurrentTasks) \times \left(setupTime + \left(DataWords_{req[PL]}\right) + 75\right)$$

式 3

データワード数（32 ビット）は以下の式で算出できます。

$$DataWords_{req[PL]} = 4 + floor\left(\frac{PLC + 1}{2}\right)$$

式 4

これによって、ヘッダセクションが更新されなくても常にアクセスする必要のあるヘッダセクションのワード数（32 ビット）は 4 となります。

全体で 3 つのパラレルタスクが FlexRay 内部メッセージハンドラ内に存在する可能性があり、並行タスクの数は不明なので、最悪の場合を考慮するためだけでなく並行タスクの数を 3 にセットする必要があります。セットアップ時間と転送されるワード数と合わせて、メッセージハンドラ内部遅延時間 75 バスクロックサイクルを加える必要があります。転送されるペイロードの最大値は最長の場合 64 です。

入力転送時の最長の場合は出力転送時の場合とは異なります。

入力転送の場合、必要なセットアップ時間は 6 バスクロックサイクルです。したがって

$$cycles_{req\_MHD\ input[64]} = 3 \times (6 + 68 + 75) = 447$$

式 5 メッセージハンドラ内部入力転送時間（最長時）

出力転送の場合、必要なセットアップ時間は 2 バスクロックサイクルです。したがって

$$cycles_{req\_MHD\ output[64]} = 3 \times (2 + 68 + 75) = 435$$

式 6 メッセージハンドラ内部出力転送時間（最長時）

(2) システムバス転送時間

転送に必要なバスクロックサイクル数はバスクロックサイクル内に書き込まれ、ローカル RAM やグローバル RAM と FlexRay モジュール間のすべての種類の転送に対して同一です。

ローカル RAM やグローバル RAM と FlexRay インタフェースバッファ間の転送のため転送ハンドラが必要とする時間は以下の式で与えられます。

$$cycles_{req\_SB[PL]} = throughput \times \left(systemTime + \left(DataWords_{req[PL]}\right) + setupTime\right)$$

式 7 汎用システムバス転送時間算出式

式 4 を使ってペイロードワード（32 ビット）の数を算出することができます。

スループットはシステムバスの利用率およびアプリケーションによって異なります。しかし、データ転送ハンドラはローカル RAM やグローバル RAM へのアクセスの最高の優先度を持ち、データスループット要因は最悪でも XXXX と仮定されます。システム時間（データポインタのローカル RAM やグローバル RAM からの読み出し）はすべての場合 1 にセットすることができます。転送セットアップ時間はすべての場合 3 にセットすることができます。

したがってシステムバス転送時間（バスクロックサイクル内）は以下の式で与えられます。

$$cycles_{req\_SB[64]} = throughput \times (2 + 68) + 3 = XXXX \times (2 + 68) + 3$$

式 8 システムバス転送時間（最長時）

システムバス転送時間に加えて、FlexRay モジュール内部処理時間を加える必要があります。必要な内部処理時間のために必要とされるクロックサイクル数は、FlexRay コアモジュールクロックサイクル（バスクロック）内に与えられ、入力転送と出力転送の間で異なりますが、定数として扱うことができます。

$$cycles_{req\_THD\ input} = 2 + 4 = 6$$

式 9

したがって入力バッファからメッセージ RAM への FlexRay モジュール内部転送の開始には 2 サイクル必要です。さらに内部処理に 4 サイクル必要です。

$$cycles_{req\_THD\ output} = 3 + 4 = 7$$

式 10

したがって入力バッファからメッセージ RAM への FlexRay モジュール内部転送の開始には 3 サイクル必要です。さらに内部処理に 4 サイクル必要です。

(3) 入力転送時間の概要

ローカル RAM やグローバル RAM と FlexRay 内部メッセージバッファ間のデータの転送に必要な最長時間（転送されたペイロードの機能として）は以下の式で算出することができます。

$$t\_input_{[PL]} = t\_chi \times \left(cycles_{req\_THD\_input} + cycles_{req\_MHD\_input[PL]}\right) + t\_sys \times \left(cycles_{req\_SB[\mathrm{PL}]}\right)$$

$$t\_input_{[PL]} = t\_chi \times \left(6 + 3 \times \left[81 + DataWords_{[PL]}\right]\right) + t\_sys \times \left(throughput \times \left[2 + DataWords_{[PL]}\right] + 3\right)$$

式 11 入力転送時間

ここで

$$t\_sys = \left(f(sysclk)\right)^{-1}$$

および

$$t\_chi = \left(f(clkp2\_flx)\right)^{-1}$$

(4) 出力転送時間の概要

FlexRay 内部メッセージバッファからローカル RAM やグローバル RAM へのデータの転送に必要な最長時間（転送されたペイロードの機能として）は以下の式で算出することができます。

$$t\_output_{[PL]} = t\_chi \times \left(cycles_{req\_THD\_output} + cycles_{req\_MHD\_output[PL]}\right) + t\_sys \times \left(cycles_{req\_SB[\mathrm{PL}]}\right)$$

$$t\_output_{[PL]} = t\_chi \times \left(7 + 3 \times \left[77 + DataWords_{[PL]}\right]\right) + t\_sys \times \left(throughput \times \left[2 + DataWords_{[PL]}\right] + 3\right)$$

式 12 出力転送時間

ここで

$$t\_sys = \left(f(sysclk)\right)^{-1}$$

および

$$t\_chi = \left(f(clkp2\_flx)\right)^{-1}$$

25.3.17　バイトアライメント

FlexRay プロトコルが受け取ったバイトのアライメントとアプリケーションが必要とするバイトのアライメントが異なる可能性があります。FlexRay モジュールは FLXAnFROC.BEC バイトアライメント機能を提供し、異なるバイト順スタイルをサポートします。

「**図 25.32 FlexRay バス上のバイトアライメント**」に FlexRay フレーム内のペイロードのバイトアライメントを示します。

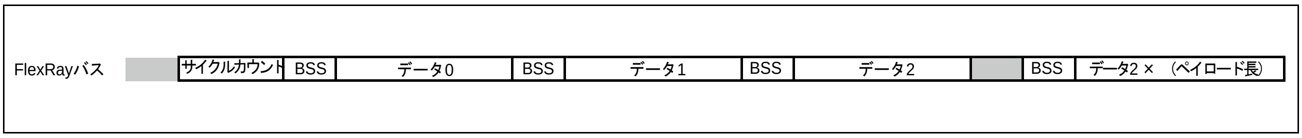


図 25.32　FlexRay バス上のバイトアライメント

25.3.17.1　リトルエンディアンアライメント

FLXAnFROC.BEC が“0”の場合、バイトアライメントは、リトルエンディアン方式です。

(1) FLXAnFRNMVm (m＝1～3)

NMV バイトのバイトアライメントを以下に示します。

Bit	31–24	23–16	15–8	7–0
FLXAnFRNMV1	データ 3	データ 2	データ 1	データ 0
FLXAnFRNMV2	データ 7	データ 6	データ 5	データ 4
FLXAnFRNMV3	データ 11	データ 10	データ 9	データ 8

(2) FLXAnFRWRDSx (x＝1～64)

FlexRay 入力バッファ内および入力データ構造内のメッセージペイロードのバイトアライメントは次のとおりです。

FLXAnFRWRDSx.MD[7:0]＝$Data_{4x-4}$
FLXAnFRWRDSx.MD[15:8]＝$Data_{4x-3}$
FLXAnFRWRDSx.MD[23:16]＝$Data_{4x-2}$
FLXAnFRWRDSx.MD[31:24]＝$Data_{4x-1}$

FlexRay バス上の転送順は、MSB が最初に転送されて FLXAnFRWRDSx.MD[7:0]、FLXAnFRWRDSx.MD[15:8]、FLXAnFRWRDSx.MD[23:16]、FLXAnFRWRDSx.MD[31:24]です。

(3) FLXAnFRRDDSx (x＝1～64)

FlexRay 出力バッファ内および出力データ構造内のメッセージペイロードのバイトアライメントは次のとおりです。

FLXAnFRRDDSx.MD[7:0]＝$Data_{4x-4}$
FLXAnFRRDDSx.MD[15:8]＝$Data_{4x-3}$
FLXAnFRRDDSx.MD[23:16]＝$Data_{4x-2}$
FLXAnFRRDDSx.MD[31:24]＝$Data_{4x-1}$

FlexRay バス上の受信順は、MSB が最初に受信されて FLXAnFRRDDSx.MD[7:0]、FLXAnFRRDDSx.MD[15:8]、FLXAnFRRDDSx.MD[23:16]、FLXAnFRRDDSx.MD[31:24]です。

25.3.17.2 ビッグエンディアンアライメント

FLXAnFROC.BEC が“1”の場合、バイトアライメントは、ビッグエンディアン方式です。

(1) FLXAnFRNMVm (m＝1～3)

NMV バイトのバイトアライメントは以下のとおりです。

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLXAnFRNMV1	データ 0								データ 1								データ 2								データ 3							
FLXAnFRNMV2	データ 4								データ 5								データ 6								データ 7							
FLXAnFRNMV3	データ 8								データ 9								データ 10								データ 11							

(2) FLXAnFRWRDSx (x＝1～64)

FlexRay 入力バッファ内および入力データ構造内のメッセージペイロードのバイトアライメントは次のとおりです。

FLXAnFRWRDSx.MD[7:0]＝Data_{4x-1}
FLXAnFRWRDSx.MD[15:8]＝Data_{4x-2}
FLXAnFRWRDSx.MD[23:16]＝Data_{4x-3}
FLXAnFRWRDSx.MD[31:24]＝Data_{4x-4}

FlexRay バス上の転送順は、MSB が最初に転送されて FLXAnFRWRDSx.MD[31:24]、FLXAnFRWRDSx.MD[23:16]、FLXAnFRWRDSx.MD[15:8]、FLXAnFRWRDSx.MD[7:0]です。

(3) FLXAnFRRDDSx (x＝1～64)

FlexRay 出力バッファ内および出力データ構造内のメッセージペイロードのバイトアライメントは次のとおりです。

FLXAnFRRDDSx.MD[7:0]＝Data_{4x-1}
FLXAnFRRDDSx.MD[15:8]＝Data_{4x-2}
FLXAnFRRDDSx.MD[23:16]＝Data_{4x-3}
FLXAnFRRDDSx.MD[31:24]＝Data_{4x-4}

FlexRay バス上の受信順は、MSB が最初に受信されて FLXAnFRRDDSx.MD[31:24]、FLXAnFRRDDSx.MD[23:16]、FLXAnFRRDDSx.MD[15:8]、FLXAnFRRDDSx.MD[7:0]です。

25.4 FlexRay RAM のエラー検出／訂正

ECC の詳細は、「**40A.2.6 周辺 RAM の ECC**」、「**40B.2.6 周辺 RAM の ECC**」および「**40C.2.5 周辺 RAM の ECC**」を参照。

第26章　Ethernet AVB (ETNB)

本章では、Ethernet AVB（ETNB）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1KH, RH850/F1KM に固有の特長について説明します。それ以降の節では、ETNB の機能、レジスタについて説明します。

注　意

本章では、URAM の記載が出てきますが、ローカル RAM／グローバル RAM／リテンション RAM と読み替えてください。
本章では、AXI BUS の記載が出てきますが、H-Bus と読み替えてください。

26.1　RH850/F1KH, RH850/F1KM ETNB の特長

26.1.1　ユニット数

本製品は、以下のユニット数の ETNB を搭載しています。

ETNB 1 ユニット当たり 1 チャネルのインタフェースを持っています。

表 26.1　ユニット数 (RH850/F1KH-D8)

製品名	RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 324 Pin
ユニット数	1	1	2
名称	ETNBn (n＝0)	ETNBn (n＝0)	ETNBn (n＝0, 1)

表 26.2　ユニット数 (RH850/F1KM-S4)

製品名	RH850/F1KM-S4 100 Pin	RH850/F1KM-S4 144 Pin	RH850/F1KM-S4 176 Pin	RH850/F1KM-S4 233 Pin	RH850/F1KM-S4 272 Pin
ユニット数	—	—	1	1	1
名称	—	—	ETNBn (n＝0)	ETNBn (n＝0)	ETNBn (n＝0)

表 26.3　ユニット数 (RH850/F1KM-S2)

製品名	RH850/F1KM-S2 100 Pin	RH850/F1KM-S2 144 Pin	RH850/F1KM-S2 176 Pin
ユニット数	—	—	—
名称	—	—	—

表 26.4　ユニット数 (RH850/F1KM-S1)

製品名	RH850/F1KM-S1 48 Pin	RH850/F1KM-S1 64 Pin	RH850/F1KM-S1 80 Pin	RH850/F1KM-S1 100 Pin
ユニット数	—	—	—	—
名称	—	—	—	—

表 26.5　添字 (RH850/F1KH-D8)

添字	意味
n	本章では、ETNB の各ユニットを「n」で識別します。たとえば、AVB-DMAC モードレジスタは ETNBnCCC（n＝0, 1）と記述します。

表 26.6　添字 (RH850/F1KM-S4)

添字	意味
n	本章では、ETNB の各ユニットを「n」で識別します。たとえば、AVB-DMAC モードレジスタは ETNBnCCC（n =0）と記述します。

26.1.2　レジスタベースアドレス

ETNB のベースアドレスを以下の表に示します。

ETNB のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 26.7　レジスタベースアドレス (RH850/F1KH-D8)

ベースアドレス名	ベースアドレス
<ETNB0_base>	FFD6 $E000_H$
<ETNB1_base>	FFD6 $E800_H$

表 26.8　レジスタベースアドレス (RH850/F1KM-S4)

ベースアドレス名	ベースアドレス
<ETNB0_base>	FFD6 $E000_H$

26.1.3　クロック供給

ETNB のクロック供給を以下の表に示します。

表 26.9　クロック供給 (RH850/F1KH-D8)

ユニット名	ユニットクロック名	供給クロック名
ETNBn	clk_chi [注 1、注 2]	CPUCLK_L
	レジスタアクセスクロック [注 1、注 2]	CPUCLK_L

注1.　ETNB のクロックは、OPBT0.ETNBnEN で停止することができます。詳細は、「**44.9.2 OPBT0 ― オプションバイト 0**」を参照してください。

注2.　ETNB のクロック周波数は、15MHz 以上となるようにしてください。

表 26.10　クロック供給 (RH850/F1KM-S4)

ユニット名	ユニットクロック名	供給クロック名
ETNBn	clk_chi [注 1、注 2]	CPUCLK_L
	レジスタアクセスクロック [注 1、注 2]	CPUCLK_L

注1.　ETNB のクロックは、OPBT0.ETNBnEN で停止することができます。詳細は、「**44.9.2 OPBT0 ― オプションバイト 0**」を参照してください。

注2.　ETNB のクロック周波数は、15MHz 以上となるようにしてください。

26.1.4　割り込み要求

ETNB の割り込み要求を以下の表に示します。

表 26.11　割り込み要求 (RH850/F1KH-D8)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
ETNB0			
INTETNB0DATA	データ関連割り込み	315	—
INTETNB0ERR	エラー関連割り込み	316	—
INTETNB0MNG	マネジメント関連割り込み	317	—
INTETNB0MAC	MAC 割り込み	318	—
ETNB1			
INTETNB1DATA	データ関連割り込み	377	—
INTETNB1ERR	エラー関連割り込み	378	—
INTETNB1MNG	マネジメント関連割り込み	379	—
INTETNB1MAC	MAC 割り込み	380	—

表 26.12　割り込み要求 (RH850/F1KM-S4)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
ETNB0			
INTETNB0DATA	データ関連割り込み	315	—
INTETNB0ERR	エラー関連割り込み	316	—
INTETNB0MNG	マネジメント関連割り込み	317	—
INTETNB0MAC	MAC 割り込み	318	—

26.1.5　リセット要因

ETNB のリセット要因を以下の表に示します。ETNB は以下のリセット要因で初期化されます。

表 26.13　リセット要因 (RH850/F1KH-D8)

ユニット名	リセット要因
ETNBn	すべてのリセット要因（ISORES）

表 26.14　リセット要因 (RH850/F1KM-S4)

ユニット名	リセット要因
ETNBn	すべてのリセット要因（ISORES）

26.1.6 外部入出力信号

ETNB の入出力信号を以下の表に示します。

表 26.15 ETNBn 入出力信号 (RH850/F1KH-D8)

ユニット信号名	概要	ポート端子兼用信号名
ETNB0		
AVB_TX_CLK	MII 送信クロック信号	ETNB0TXCLK
AVB_RX_CLK	MII 受信クロック信号	ETNB0RXCLK
AVB_TX_EN	MII 送信データイネーブル信号	ETNB0TXEN
AVB_TXD[3:0]	MII 送信データ信号	ETNB0TXD[3:0]
AVB_RX_DV	MII 受信データ有効信号	ETNB0RXDV
AVB_RXD[3:0]	MII 受信データ信号	ETNB0RXD[3:0]
AVB_RX_ER	MII 受信エラー信号	ETNB0RXERR
AVB_MDC	PHY マネジメントクロック信号	ETNB0MDC
AVB_MDIO	PHY マネジメント送受信データ信号	ETNB0MDIO
AVB_LINK	PHY リンクステータス信号	ETNB0LINK
ETNB1		
AVB_TX_CLK	MII 送信クロック信号	ETNB1TXCLK
AVB_RX_CLK	MII 受信クロック信号	ETNB1RXCLK
AVB_TX_EN	MII 送信データイネーブル信号	ETNB1TXEN
AVB_TXD[3:0]	MII 送信データ信号	ETNB1TXD[3:0]
AVB_RX_DV	MII 受信データ有効信号	ETNB1RXDV
AVB_RXD[3:0]	MII 受信データ信号	ETNB1RXD[3:0]
AVB_RX_ER	MII 受信エラー信号	ETNB1RXERR
AVB_MDC	PHY マネジメントクロック信号	ETNB1MDC
AVB_MDIO	PHY マネジメント送受信データ信号	ETNB1MDIO
AVB_LINK	PHY リンクステータス信号	ETNB1LINK

備考 TXERR 端子は、RH850/F1KH では対応していません。PHY の TXERR は、抵抗を介して EVSS または BVSS に接続することを推奨します。

表 26.16　ETNBn 入出力信号 (RH850/F1KM-S4)

ユニット信号名	概要	ポート端子兼用信号名
ETNB0		
AVB_TX_CLK	MII 送信クロック信号	ETNB0TXCLK
AVB_RX_CLK	MII 受信クロック信号	ETNB0RXCLK
AVB_TX_EN	MII 送信データイネーブル信号	ETNB0TXEN
AVB_TXD[3:0]	MII 送信データ信号	ETNB0TXD[3:0]
AVB_RX_DV	MII 受信データ有効信号	ETNB0RXDV
AVB_RXD[3:0]	MII 受信データ信号	ETNB0RXD[3:0]
AVB_RX_ER	MII 受信エラー信号	ETNB0RXERR
AVB_MDC	PHY マネジメントクロック信号	ETNB0MDC
AVB_MDIO	PHY マネジメント送受信データ信号	ETNB0MDIO
AVB_LINK	PHY リンクステータス信号	ETNB0LINK

備考　TXERR 端子は、RH850/F1KM では対応していません。PHY の TXERR は、抵抗を介して EVSS または BVSS に接続することを推奨します。

26.2　概要

26.2.1　機能概要

「**表 26.17 ETNB の仕様**」に ETNB の仕様を示します。

表 26.17　ETNB の仕様

項目	内容
プロトコル	IEEE802.3x 規格のフロー制御準拠
通信インタフェース	MII
転送速度	● 100Mbps ● 10Mbps 注1
転送方式	● 全二重モード
AVB 機能	● IEEE802.1BA で規定された以下の規格に準拠 – IEEE802.1AS（時刻同期プロトコル） – IEEE802.1Qav（リアルタイム転送） **備考**）IEEE802.1Qat はソフトウェアでサポートする必要があります。 ● ディスクリプタ管理方式 ● IEEE1722（AVTP プレゼンテーションタイムスタンプ）

注1.　AVB 機能は使用できません。

26.2.2　ブロック図

「**図 26.1 ETNB のブロック図**」に ETNB のブロック図を示します。

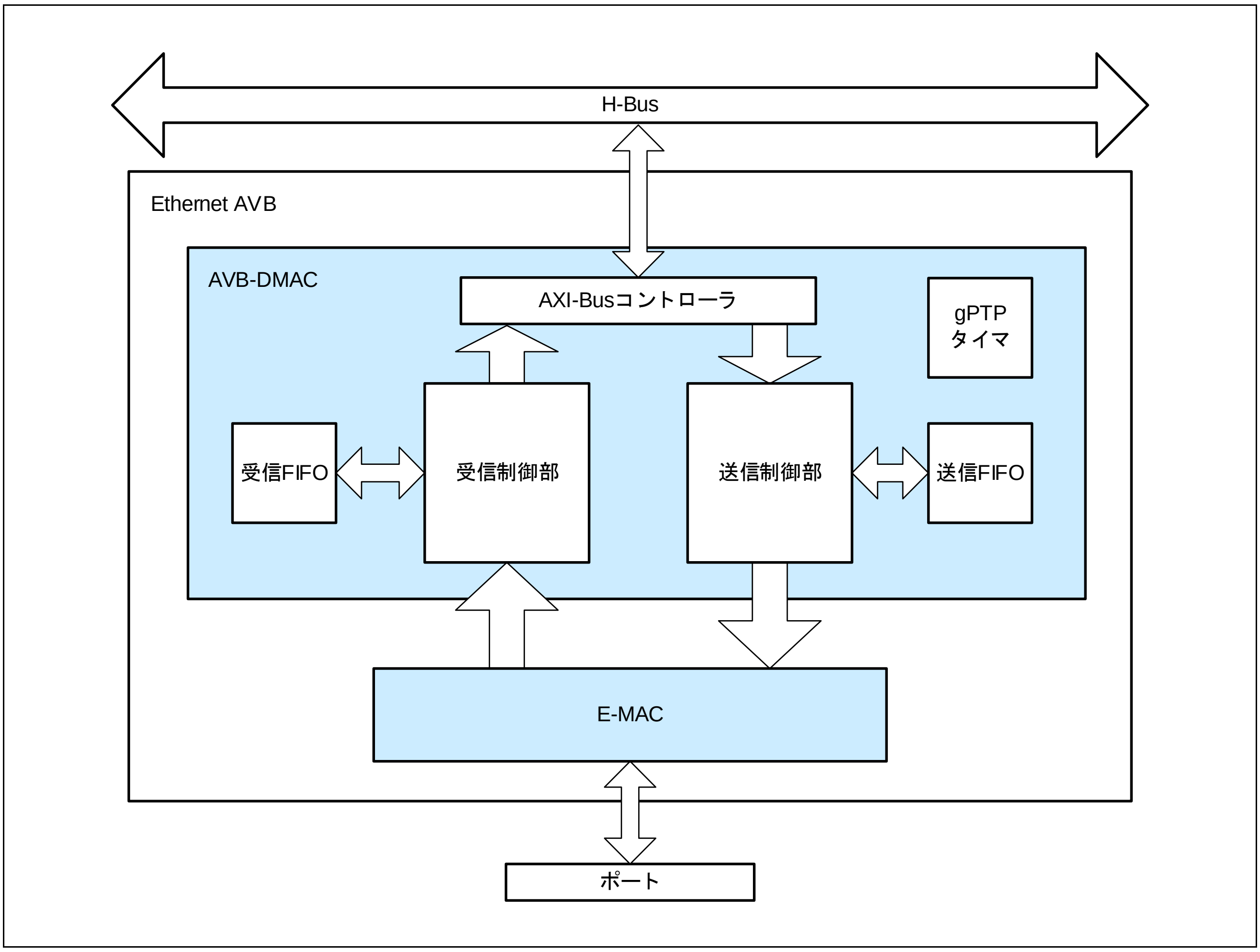


図 26.1　ETNB のブロック図

26.3　レジスタ

26.3.1　レジスター覧

ETNB のレジスター覧を以下の表に示します。

<ETNBn_base>は「**26.1.2 レジスタベースアドレス**」を参照してください。

表 26.18　レジスター覧

モジュール名	レジスタ名	略号	アドレス
ETNBn	AVB-DMAC モードレジスタ	ETNBnCCC	<ETNBn_base> + 0000_H
	ディスクリプタベースアドレステーブルレジスタ	ETNBnDBAT	<ETNBn_base> + 0004_H
	ディスクリプタベースアドレスロード要求レジスタ	ETNBnDLR	<ETNBn_base> + 0008_H
	AVB-DMAC ステータスレジスタ	ETNBnCSR	<ETNBn_base> + $000C_H$
	カレントディスクリプタアドレスレジスタ q（q＝0～21）	ETNBnCDARq	<ETNBn_base> + 0010_H + q × 4_H
	エラーステータスレジスタ	ETNBnESR	<ETNBn_base> + 0088_H
	受信設定レジスタ	ETNBnRCR	<ETNBn_base> + 0090_H
	受信キュー設定レジスタ i（i＝0～4）	ETNBnRQCi	<ETNBn_base> + 0094_H + i × 4_H
	受信パディング設定レジスタ	ETNBnRPC	<ETNBn_base> + $00B0_H$
	未読フレームカウンタ停止レベル設定レジスタ	ETNBnUFCS	<ETNBn_base> + $00C0_H$
	未読フレームカウンタレジスタ i（i＝0～4）	ETNBnUFCVi	<ETNBn_base> + $00C4_H$ + i × 4_H
	未読フレームカウンタ減算レジスタ i（i＝0～4）	ETNBnUFCDi	<ETNBn_base> + $00E0_H$ + i × 4_H
	セパレーションフィルタオフセット設定レジスタ	ETNBnSFO	<ETNBn_base> + $00FC_H$
	セパレーションフィルタパターン設定レジスタ i（i＝0～31）	ETNBnSFPi	<ETNBn_base> + 0100_H + i × 4_H
	セパレーションフィルタマスク設定レジスタ i（i＝0, 1）	ETNBnSFMi	<ETNBn_base> + $01C0_H$ + i × 4_H
	送信設定レジスタ	ETNBnTGC	<ETNBn_base> + 0300_H
	送信設定制御レジスタ	ETNBnTCCR	<ETNBn_base> + 0304_H
	送信ステータスレジスタ	ETNBnTSR	<ETNBn_base> + 0308_H
	タイムスタンプ FIFO アクセスレジスタ 0	ETNBnTFA0	<ETNBn_base> + 0310_H
	タイムスタンプ FIFO アクセスレジスタ 1	ETNBnTFA1	<ETNBn_base> + 0314_H
	タイムスタンプ FIFO アクセスレジスタ 2	ETNBnTFA2	<ETNBn_base> + 0318_H
	CBS インクリメント値レジスタ c（c＝0, 1）	ETNBnCIVRc	<ETNBn_base> + 0320_H + c × 4_H
	CBS デクリメント値レジスタ c（c＝0, 1）	ETNBnCDVRc	<ETNBn_base> + 0328_H + c × 4_H
	CBS 上限値レジスタ c（c＝0, 1）	ETNBnCULc	<ETNBn_base> + 0330_H + c × 4_H
	CBS 下限値レジスタ c（c＝0, 1）	ETNBnCLLc	<ETNBn_base> + 0338_H + c × 4_H
	ディスクリプタ割り込み制御レジスタ	ETNBnDIC	<ETNBn_base> + 0350_H
	ディスクリプタ割り込みステータスレジスタ	ETNBnDIS	<ETNBn_base> + 0354_H
	エラー割り込み制御レジスタ	ETNBnEIC	<ETNBn_base> + 0358_H
	エラー割り込みステータスレジスタ	ETNBnEIS	<ETNBn_base> + $035C_H$
	受信割り込み制御レジスタ 0	ETNBnRIC0	<ETNBn_base> + 0360_H
	受信割り込みステータスレジスタ 0	ETNBnRIS0	<ETNBn_base> + 0364_H
	受信割り込み制御レジスタ 1	ETNBnRIC1	<ETNBn_base> + 0368_H
	受信割り込みステータスレジスタ 1	ETNBnRIS1	<ETNBn_base> + $036C_H$
	受信割り込み制御レジスタ 2	ETNBnRIC2	<ETNBn_base> + 0370_H
	受信割り込みステータスレジスタ 2	ETNBnRIS2	<ETNBn_base> + 0374_H

表 26.18　レジスター覧

モジュール名	レジスタ名	略号	アドレス
ETNBn	送信割り込み制御レジスタ	ETNBnTIC	<ETNBn_base> + 0378_H
	送信割り込みステータスレジスタ	ETNBnTIS	<ETNBn_base> + $037C_H$
	割り込みサマリステータスレジスタ	ETNBnISS	<ETNBn_base> + 0380_H
	gPTP 設定制御レジスタ	ETNBnGCCR	<ETNBn_base> + 0390_H
	gPTP 最大トランジットタイムレジスタ	ETNBnGMTT	<ETNBn_base> + 0394_H
	gPTP プレゼンテーションタイム比較レジスタ	ETNBnGPTC	<ETNBn_base> + 0398_H
	gPTP タイマインクリメント設定レジスタ	ETNBnGTI	<ETNBn_base> + $039C_H$
	gPTP タイマオフセット設定レジスタ i（i=0～2）	ETNBnGTOi	<ETNBn_base> + $03A0_H$ + i × 4_H
	gPTP 割り込み制御レジスタ	ETNBnGIC	<ETNBn_base> + $03AC_H$
	gPTP 割り込みステータスレジスタ	ETNBnGIS	<ETNBn_base> + $03B0_H$
	gPTP タイマキャプチャレジスタ i（i=0～2）	ETNBnGCTi	<ETNBn_base> + $03B8_H$ + i × 4_H
	E-MAC モードレジスタ	ETNBnECMR	<ETNBn_base> + 0500_H
	受信フレーム長レジスタ	ETNBnRFLR	<ETNBn_base> + 0508_H
	E-MAC ステータスレジスタ	ETNBnECSR	<ETNBn_base> + 0510_H
	E-MAC 割り込み許可レジスタ	ETNBnECSIPR	<ETNBn_base> + 0518_H
	PHY インタフェースレジスタ	ETNBnPIR	<ETNBn_base> + 0520_H
	PHY LINK ステータスレジスタ	ETNBnPLSR	<ETNBn_base> + 0528_H
	自動 PAUSE フレーム時間パラメータレジスタ	ETNBnAPFTP	<ETNBn_base> + 0554_H
	手動 PAUSE フレームレジスタ	ETNBnMPR	<ETNBn_base> + 0558_H
	PAUSE フレーム送信カウンタ	ETNBnPFTCR	<ETNBn_base> + $055C_H$
	PAUSE フレーム受信カウンタ	ETNBnPFRCR	<ETNBn_base> + 0560_H
	MAC アドレス上位設定レジスタ	ETNBnMAHR	<ETNBn_base> + $05C0_H$
	MAC アドレス下位設定レジスタ	ETNBnMALR	<ETNBn_base> + $05C8_H$
	送信リトライオーバカウンタレジスタ	ETNBnTROCR	<ETNBn_base> + 0700_H
	遅延衝突検出カウンタレジスタ	ETNBnCDCR	<ETNBn_base> + 0708_H
	ロストキャリアカウンタレジスタ	ETNBnLCCR	<ETNBn_base> + 0710_H
	CRC エラーフレーム受信カウンタレジスタ	ETNBnCEFCR	<ETNBn_base> + 0740_H
	フレーム受信エラーカウンタレジスタ	ETNBnFRECR	<ETNBn_base> + 0748_H
	トゥーショートフレーム受信カウンタレジスタ	ETNBnTSFRCR	<ETNBn_base> + 0750_H
	トゥーロングフレーム受信カウンタレジスタ	ETNBnTLFRCR	<ETNBn_base> + 0758_H
	端数ビットフレーム受信カウンタレジスタ	ETNBnRFCR	<ETNBn_base> + 0760_H
	マルチキャストアドレスフレーム受信カウンタレジスタ	ETNBnMAFCR	<ETNBn_base> + 0778_H
	通信インタフェース制御レジスタ	ETNBnIFCTL	<ETNBn_base> + 1000_H

26.3.2　ETNBnCCC — AVB-DMAC モードレジスタ

ETNBnCCC レジスタは、AVB-DMAC の動作モードを指定するレジスタです。

アクセス　ETNBnCCC レジスタは、32 ビット単位でリード／ライト可能です。

ETNBnCCCL, ETNBnCCCH レジスタは、16 ビット単位でリード／ライト可能です。

ETNBnCCCLL, ETNBnCCCLH, ETNBnCCCHL, ETNBnCCCHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　ETNBnCCC：<ETNBn_base> + 0000_H

ETNBnCCCL：<ETNBn_base> + 0000_H

ETNBnCCCH：<ETNBn_base> + 0002_H

ETNBnCCCLL：<ETNBn_base> + 0000_H

ETNBnCCCLH：<ETNBn_base> + 0001_H

ETNBnCCCHL：<ETNBn_base> + 0002_H

ETNBnCCCHH：<ETNBn_base> + 0003_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	FCE	LBME	—	—	—	BOC	—	—	CSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	DTSR	—	—	—	—	—	—	OPC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R/W	R/W

表 26.19　ETNBnCCC レジスタの内容

ビット位置	ビット名	機能
31～26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25	FCE	フロー制御許可ビット 0：フロー制御禁止 1：フロー制御許可
24	LBME	ループバックモード許可ビット 0：通常動作 1：ループバックモード許可
23～21	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
20	BOC	バイトオーダの設定 0：ビッグエンディアン 先頭バイトは下位 8 ビット（URAM[7：0]） 1：リトルエンディアン 先頭バイトは上位 8 ビット（URAM[31：24]）
19、18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 26.19　ETNBnCCC レジスタの内容

ビット位置	ビット名	機能
17、16	CSEL[1:0]	gPTP クロック選択ビット 00_B：gPTP 使用不可 01_B：周辺バスクロック（clk_chi） 10_B：Ethernet 送信クロック（ETNBnTXCLK） 11_B：設定禁止
15～9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	DTSR	データ送信サスペンド要求ビット 0：通常動作 1：サスペンド要求
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	OPC[1:0]	動作モード設定ビット 00_B：リセットモード 01_B：コンフィグモード 10_B：オペレーションモード 11_B：スタンバイモード

FCE：フロー制御許可ビット

MAC のフロー制御サポートを有効にします。
フロー制御が有効になっている場合、MAC は受信 FIFO レベル（受信 FIFO フィルレベルが ETNBnRCR.RFCL に達した）の情報を入手します。

LBME：ループバックモード許可ビット

ループバックモードを有効にします。
ループバックモード時、内部で送信ラインが受信ラインに接続されます。ループバックモードを使用する際には、MII インタフェースへ Ethernet 送信クロックを供給する必要があります。受信クロックは必要ありません。動作モードがコンフィグモードの場合のみ、本ビットへの書き込みが可能です。

注　意

送信データは通常動作と同様、出力されます。外部への影響をなくしたい場合は、端子制御でデータが出力されないようにしてください。端子制御についての詳細は、「**第 2A 章　RH850/F1KH-D8 の端子**」、「**第 2B 章　RH850/F1KM-S4, RH850/F1KM-S2 の端子**」を参照してください。

BOC：バイトオーダ設定ビット

受信した Ethernet フレームを URAM へ配置する際の、先頭バイトの割り当てを指定します。
このレジスタの設定は、URAM におけるディスクリプタのフォーマットとフィルタパラメータには影響しません。動作モードがコンフィグモードの場合のみ、本ビットへの書き込みが可能です。
「**図 26.2　Ethernet フレーム受信時のデータ**」～「**図 26.4　ETNBnCCC.BOC＝1 の場合**」に、Ethernet 接続を介して受信したフレームデータを URAM に格納する方法を示します。

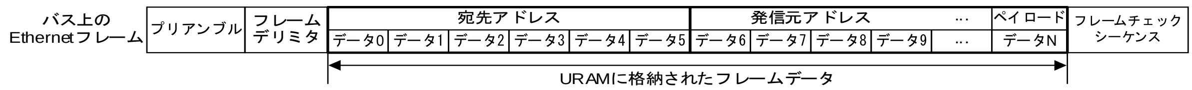


図 26.2　Ethernet フレーム受信時のデータ

<table>
<tr><td>ビット</td><td>31</td><td>30</td><td>29</td><td>28</td><td>27</td><td>26</td><td>25</td><td>24</td><td>23</td><td>22</td><td>21</td><td>20</td><td>19</td><td>18</td><td>17</td><td>16</td><td>15</td><td>14</td><td>13</td><td>12</td><td>11</td><td>10</td><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr>
<tr><td>DPTR+0</td><td colspan="8">データ3</td><td colspan="8">データ2</td><td colspan="8">データ1</td><td colspan="8">データ0</td></tr>
<tr><td>DPTR+4</td><td colspan="8">データ7</td><td colspan="8">データ6</td><td colspan="8">データ5</td><td colspan="8">データ4</td></tr>
<tr><td>DPTR+8</td><td colspan="8">データ11</td><td colspan="8">データ10</td><td colspan="8">データ9</td><td colspan="8">データ8</td></tr>
</table>

図 26.3　ETNBnCCC.BOC＝0 の場合

<table>
<tr><td>ビット</td><td>31</td><td>30</td><td>29</td><td>28</td><td>27</td><td>26</td><td>25</td><td>24</td><td>23</td><td>22</td><td>21</td><td>20</td><td>19</td><td>18</td><td>17</td><td>16</td><td>15</td><td>14</td><td>13</td><td>12</td><td>11</td><td>10</td><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr>
<tr><td>DPTR+0</td><td colspan="8">データ0</td><td colspan="8">データ1</td><td colspan="8">データ2</td><td colspan="8">データ3</td></tr>
<tr><td>DPTR+4</td><td colspan="8">データ4</td><td colspan="8">データ5</td><td colspan="8">データ6</td><td colspan="8">データ7</td></tr>
<tr><td>DPTR+8</td><td colspan="8">データ8</td><td colspan="8">データ9</td><td colspan="8">データ10</td><td colspan="8">データ11</td></tr>
</table>

図 26.4　ETNBnCCC.BOC＝1 の場合

CSEL[1:0]：gPTP クロック選択ビット

gPTP タイマのクロックソースを選択します。
動作モードがコンフィグモードの場合のみ、本ビットへの書き込みが可能です。

DTSR：データ送信サスペンド要求ビット

URAM へのアクセスを一時停止することができます。
現在転送中のデータを転送後、一時停止状態になります。
この機能は、AVB-DMAC の通常動作には影響を与えずに URAM へのアクセスを無効化します。整合性チェックを行うなど、URAM コンテンツの排他制御が必要な際に使用してください。

注　意

一時停止中は、送受信キューの処理が実行されません。ETNBnCCC.DTSR でサスペンド要求が設定され、ETNBnCSR.DTS の値が更新されるまでの間には、AVB-DMAC の設定やモードを変更しないでください。

OPC[1:0]：動作モード設定ビット

動作モードを設定します。
動作モードについては、「**26.4.1.1 動作モード説明**」を参照してください。
本ビットには、どの動作モード状態でも書き込み可能ですが、アプリケーションシステムとして、Power Off 要求発行後には書き込まないでください。

26.3.3　ETNBnDBAT —ディスクリプタベースアドレステーブルレジスタ

ETNBnDBAT レジスタは、ディスクリプタのベースアドレステーブルを設定するレジスタです。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<ETNBn_base> + 0004_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.20　ETNBnDBAT レジスタの内容

ビット位置	ビット名	機能
31～0	TA[31:0]	ディスクリプタベーステーブルアドレスビット URAM 上のディスクリプタベーステーブルのアドレス

注　意

本ビットの設定値は、4 の倍数となるようにしてください。（ビット 0、ビット 1 は必ず“0”としてください）

TA[31:0]：ディスクリプタベーステーブルアドレスビット

URAM 上のディスクリプタベーステーブルアドレスを設定します。
ディスクリプタベースアドレステーブルの構造については、「**26.4.3 ディスクリプタ**」を参照してください。
動作モードがコンフィグモードの場合のみ、本ビットへの書き込みが可能です。

26.3.4 ETNBnDLR —ディスクリプタベースアドレスロード要求レジスタ

ETNBnDLR レジスタは、各キューのディスクリプタベースアドレステーブルレジスタ（ETNBnDBAT）をカレントディスクリプタアドレスレジスタ q（ETNBnCDARq）へロード要求を行うレジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ETNBn_base> + 0008_H

リセット後の値 003F $FFFF_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	LBA21	LBA20	LBA19	LBA18	LBA17	LBA16
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LBA15	LBA14	LBA13	LBA12	LBA11	LBA10	LBA9	LBA8	LBA7	LBA6	LBA5	LBA4	LBA3	LBA2	LBA1	LBA0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.21 ETNBnDLR レジスタの内容

ビット位置	ビット名	機能
31～22	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
21	LBA21	ベースアドレスロード要求ビット（Rx17：Stream 15） 0：処理中のロード要求なし 1：Write 時：ベースアドレスロード要求発行 Read 時：ベースアドレスロード処理中
20	LBA20	ベースアドレスロード要求ビット（Rx16：Stream 14） 0：処理中のロード要求なし 1：Write 時：ベースアドレスロード要求発行 Read 時：ベースアドレスロード処理中
19	LBA19	ベースアドレスロード要求ビット（Rx15：Stream 13） 0：処理中のロード要求なし 1：Write 時：ベースアドレスロード要求発行 Read 時：ベースアドレスロード処理中
18	LBA18	ベースアドレスロード要求ビット（Rx14：Stream 12） 0：処理中のロード要求なし 1：Write 時：ベースアドレスロード要求発行 Read 時：ベースアドレスロード処理中
17	LBA17	ベースアドレスロード要求ビット（Rx13：Stream 11） 0：処理中のロード要求なし 1：Write 時：ベースアドレスロード要求発行 Read 時：ベースアドレスロード処理中
16	LBA16	ベースアドレスロード要求ビット（Rx12：Stream 10） 0：処理中のロード要求なし 1：Write 時：ベースアドレスロード要求発行 Read 時：ベースアドレスロード処理中

表 26.21　ETNBnDLR レジスタの内容

ビット位置	ビット名	機能
15	LBA15	ベースアドレスロード要求ビット（Rx11：Stream 9） 0：処理中のロード要求なし 1：Write 時：ベースアドレスロード要求発行 Read 時：ベースアドレスロード処理中
14	LBA14	ベースアドレスロード要求ビット（Rx10：Stream 8） 0：処理中のロード要求なし 1：Write 時：ベースアドレスロード要求発行 Read 時：ベースアドレスロード処理中
13	LBA13	ベースアドレスロード要求ビット（Rx9：Stream 7） 0：処理中のロード要求なし 1：Write 時：ベースアドレスロード要求発行 Read 時：ベースアドレスロード処理中
12	LBA12	ベースアドレスロード要求ビット（Rx8：Stream 6） 0：処理中のロード要求なし 1：Write 時：ベースアドレスロード要求発行 Read 時：ベースアドレスロード処理中
11	LBA11	ベースアドレスロード要求ビット（Rx7：Stream 5） 0：処理中のロード要求なし 1：Write 時：ベースアドレスロード要求発行 Read 時：ベースアドレスロード処理中
10	LBA10	ベースアドレスロード要求ビット（Rx6：Stream 4） 0：処理中のロード要求なし 1：Write 時：ベースアドレスロード要求発行 Read 時：ベースアドレスロード処理中
9	LBA9	ベースアドレスロード要求ビット（Rx5：Stream 3） 0：処理中のロード要求なし 1：Write 時：ベースアドレスロード要求発行 Read 時：ベースアドレスロード処理中
8	LBA8	ベースアドレスロード要求ビット（Rx4：Stream 2） 0：処理中のロード要求なし 1：Write 時：ベースアドレスロード要求発行 Read 時：ベースアドレスロード処理中
7	LBA7	ベースアドレスロード要求ビット（Rx3：Stream 1） 0：処理中のロード要求なし 1：Write 時：ベースアドレスロード要求発行 Read 時：ベースアドレスロード処理中
6	LBA6	ベースアドレスロード要求ビット（Rx2：Stream 0） 0：処理中のロード要求なし 1：Write 時：ベースアドレスロード要求発行 Read 時：ベースアドレスロード処理中
5	LBA5	ベースアドレスロード要求ビット（Rx1：Network Control） 0：処理中のロード要求なし 1：Write 時：ベースアドレスロード要求発行 Read 時：ベースアドレスロード処理中
4	LBA4	ベースアドレスロード要求ビット（Rx0：Best Effort） 0：処理中のロード要求なし 1：Write 時：ベースアドレスロード要求発行 Read 時：ベースアドレスロード処理中
3	LBA3	ベースアドレスロード要求ビット（Tx3：Stream Class A） 0：処理中のロード要求なし 1：Write 時：ベースアドレスロード要求発行 Read 時：ベースアドレスロード処理中

表 26.21 ETNBnDLR レジスタの内容

ビット位置	ビット名	機能
2	LBA2	ベースアドレスロード要求ビット（Tx2：Stream Class B） 0：処理中のロード要求なし 1：Write 時：ベースアドレスロード要求発行 Read 時：ベースアドレスロード処理中
1	LBA1	ベースアドレスロード要求ビット（Tx1：Network Control） 0：処理中のロード要求なし 1：Write 時：ベースアドレスロード要求発行 Read 時：ベースアドレスロード処理中
0	LBA0	ベースアドレスロード要求ビット（Tx0：Best Effort） 0：処理中のロード要求なし 1：Write 時：ベースアドレスロード要求発行 Read 時：ベースアドレスロード処理中

LBAq（q＝0～21）：ベースアドレスロード要求ビット

ベースアドレスのロード要求の発行および現在のベースアドレスロード処理状態を示します。
本ビットを“1”にセットすると、キューq に対するディスクリプタベースアドレスのロード要求を発行します。
現在進行中の転送がある場合、ロード処理はフレーム転送後に実行されます。ロードが完了すると、本ビットは自動的に“0”になります。
送信キューの場合は、フェッチ処理中（送信設定制御レジスタの送信開始要求（ETNBnTCCR.TSRQt）＝1）でも、ベースアドレスのロード要求が実行されてしまいますので、フェッチ動作中でないことを確認したあとに、要求を発行するようにしてください。
本ビットは、動作モードがオペレーションモードの場合のみ、書き込みが可能です。
本ビットには“1”しか書き込めません。

26.3.5 ETNBnCSR — AVB-DMAC ステータスレジスタ

ETNBnCSR レジスタは、AVB-DMAC 内の動作モードや、各通信状態のステータスを表示するレジスタです。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <ETNBn_base> + $000C_H$

リセット後の値 $0000\ 0001_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	RPO	TPO3	TPO2	TPO1	TPO0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	DTS	—	—	—	—	OPS[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 26.22 ETNBnCSR レジスタの内容

ビット位置	ビット名	機能
31～21	予約ビット	リードした場合はリセット後の値が読めます。
20	RPO	受信プロセスステータスビット 0：正常動作中 1：受信処理中
19	TPO3	送信プロセスステータス 3 ビット（Stream Class A） 0：正常動作中 1：送信処理中
18	TPO2	送信プロセスステータス 2 ビット（Stream Class B） 0：正常動作中 1：送信処理中
17	TPO1	送信プロセスステータス 1 ビット（Network Control） 0：正常動作中 1：送信処理中
16	TPO0	送信プロセスステータス 0 ビット（Best Effort） 0：正常動作中 1：送信処理中
15～9	予約ビット	リードした場合はリセット後の値が読めます。
8	DTS	データ送信サスペンドステータスビット 0：正常動作中 1：一時停止中
7～4	予約ビット	リードした場合はリセット後の値が読めます。
3～0	OPS[3:0]	動作モードステータスビット 0001_B：リセットモード 0010_B：コンフィグモード 0100_B：オペレーションモード 1000_B：スタンバイモード 上記以外は設定禁止。

RPO：受信プロセスステータスビット

受信キュー上の未読受信フレームの有無を示します。
本ビットが“1”の場合、URAM に格納されていない受信フレームがあることを示します。

[“0”になる条件]

- 動作モードが、オペレーションモードでなくなった場合
- 受信 FIFO 内受信フレームは、すべて URAM へ格納された場合

[“1”になる条件]

- 受信フレームが、受信 FIFO へ格納されたタイミング（URAM へは未格納）

TPO3：送信プロセスステータス 3 ビット

Stream Class A 送信中かどうかを示すビットです。
本ビットが“1”の場合、AVB-DMAC が URAM 上のデータをフェッチ処理中、あるいは E-MAC が送信処理中であることを示します。

[“0”になる条件]

- 動作モードが、オペレーションモードでなくなった場合
- 送信 FIFO 内の送信フレームが、すべて転送完了された場合（送信設定制御レジスタの送信開始要求ビット（ETNBnTCCR.TSRQ3）＝0 となります）

[“1”になる条件]

- 送信開始時（送信設定制御レジスタの送信開始要求ビット（ETNBnTCCR.TSRQ3）に“1”を書き込んだ場合）

TPO2：送信プロセスステータス 2 ビット

Stream Class B 送信中かどうかを示すビットです。
本ビットが“1”の場合、AVB-DMAC が URAM 上のデータをフェッチ処理中、あるいは E-MAC が送信処理中であることを示します。

[“0”になる条件]

- 動作モードが、オペレーションモードでなくなった場合
- 送信 FIFO 内の送信フレームが、すべて転送完了された場合（送信設定制御レジスタの送信開始要求ビット（ETNBnTCCR.TSRQ2）＝0 となります）

[“1”になる条件]

- 送信開始時（送信設定制御レジスタの送信開始要求ビット（ETNBnTCCR.TSRQ2）に“1”を書き込んだ場合）

TPO1：送信プロセスステータス 1 ビット

Network Control 送信中かどうかを示すビットです。
本ビットが“1”の場合、AVB-DMAC が URAM 上のデータをフェッチ処理中、あるいは E-MAC が送信処理中であることを示します。

[“0”になる条件]

- 動作モードが、オペレーションモードでなくなった場合
- 送信 FIFO 内の送信フレームが、すべて転送完了された場合（送信設定制御レジスタの送信開始要求ビット（ETNBnTCCR.TSRQ1）＝0 となります）

[“1”になる条件]

- 送信開始時（送信設定制御レジスタの送信開始要求ビット（ETNBnTCCR.TSRQ1）に“1”を書き込んだ場合）

TPO0：送信プロセスステータス 0 ビット

Best Effort 送信中かどうかを示すビットです。
本ビットが“1”の場合、AVB-DMAC が URAM 上のデータをフェッチ処理中、あるいは E-MAC が送信処理中であることを示します。

[“0”になる条件]

- 動作モードが、オペレーションモードでなくなった場合
- 送信 FIFO 内の送信フレームが、すべて転送完了された場合（送信設定制御レジスタの送信開始要求ビット（ETNBnTCCR.TSRQ0）＝0 となります）

[“1”になる条件]

- 送信開始時（送信設定制御レジスタの送信開始要求ビット（ETNBnTCCR.TSRQ0）に“1”を書き込んだ場合）

DTS：データ送信サスペンドステータスビット

URAM へのアクセス許可状態を示すビットです。

[“0”になる条件]

- 動作モードが、オペレーションモードでなくなった場合
- AVB-DMAC モードレジスタのデータ送信サスペンド要求ビット（ETNBnCCC.DTSR）が“0”の場合

[“1”になる条件]

- AVB-DMAC モードレジスタのデータ送信サスペンド要求ビット（ETNBnCCC.DTSR）が“1”の状態で、URAM へのアクセスがない場合（アクセス中だった場合は、アクセス完了後に本ビットは“1”になります）

OPS[3:0]：動作モードステータスビット

現在の動作モードを表すビットです。
動作モードについては、「**26.4.1.1 動作モード説明**」を参照してください。

26.3.6 ETNBnCDARq — カレントディスクリプタアドレスレジスタ q（q＝0～21）

ETNBnCDARq レジスタは、現在のディスクリプタアドレスを示すレジスタです。

アクセス	32 ビット単位でリードのみ可能です。
アドレス	<ETNBn_base> + 0010_H + q × 4_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CDA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CDA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 26.23 ETNBnCDARq レジスタの内容

ビット位置	ビット名	機能
31～0	CDA[31:0]	カレントディスクリプタアドレスビット 送信キューのカレントディスクリプタアドレス

CDA[31:0]：カレントディスクリプタアドレスビット

ETNBnCDAR0～ETNBnCDAR3 は送信キューを、ETNBnCDAR4～ETNBnCDAR21 は受信キューの現在のディスクリプタアドレスを示します。
動作モードが、オペレーションモードに変更されたとき、本ビットの内容が（ETNBnDBAT＋q×8）に変わります。
また、ディスクリプタベースアドレスロード要求レジスタ（ETNBnDLR）にて、ロード要求があった場合も、本レジスタの内容はディスクリプタベースアドレステーブルレジスタ（ETNBnDBAT）に変わります。

[更新条件]

- 動作モードが、オペレーションモードでなくなった場合、“0”になります。
- 各キューに対するディスクリプタが処理されたとき、本レジスタは更新されます。

26.3.7　ETNBnESR — エラーステータスレジスタ

ETNBnESR レジスタは、AVB-DMAC のエラーステータスを表すレジスタです。

アクセス	32 ビット単位でリードのみ可能です。
アドレス	<ETNBn_base> + 0088_H
リセット後の値	$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	EIL	ET[3:0]				—	—	—	EQN[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 26.24　ETNBnESR レジスタの内容

ビット位置	ビット名	機能
31～13	予約ビット	リードした場合はリセット後の値が読めます。
12	EIL	エラー情報ロストビット 0：エラー情報のロストなし 1：エラー情報のロストを検出
11～8	ET[3:0]	エラータイプビット 0000_B：URAM からのリード・ディスクリプタ 0001_B：URAM へのライト・ディスクリプタ 0010_B：リード・ディスクリプタの解釈 0011_B：Tx バッファの破損 0100_B：URAM からのリード・データ 0101_B：URAM へのライト・データまたはタイムスタンプ 0110_B：受信 FIFO からの読み出し 0111_B：受信 FIFO の破損 1000_B：受信時、フレームサイズエラーを検出 1001_B：送信時、フレームサイズエラーを検出 1010_B：Tx バッファのオーバフロー
7～5	予約ビット	リードした場合はリセット後の値が読めます。
4～0	EQN[4:0]	エラー・キュー数ビット

EIL：エラー情報ロストビット

本ビットは、以前に報告されたエラーが CPU で処理されなかったために、Ethernet AVB で検出されたエラー情報がロストしたことを示します。

[変更条件]

- オペレーションモードが解除されると、本ビットは、“0”になります。
- CPU がエラー割り込みステータスレジスタのキューエラーフラグ（ETNBnEIS.QEF）に“0”を書き込むと、本ビットは、“0”になります。
- キューエラーフラグ（ETNBnEIS.QEF）が“1”の時、キューエラーフラグ（ETNBnEIS.QEF）の設定条件が満たされると、本ビットは“1”になります。

ET[3:0]：エラータイプビット

本ビットは、Ethernet AVB がエラー検出時に、処理されていた転送ステージの詳細を示します。
障害が、リード・ディスクリプタ（ETNBnESR.ET＝0000_B または 0010_B）に関する場合は、関連したキューが処理を続けられるよう、CPU は、障害のあるディスクリプタを訂正する必要があります。キューが障害のあるディスクリプタで中断してしまうと、ETNBnCDARq.CDA（q＝ETNBnESR.EQN）は障害のあるディスクリプタを直接、確認します。
障害が、ディスクリプタの書き込み（ETNBnESR.ET＝0001_B）に関する場合は、CPU は、キュー ETNBnESR.EQN において、更新されていない、または、不正に更新されてしまったディスクリプタを確認する必要があります。書き込みの障害は、Ethernet AVB がディスクリプタチェインをどのように処理するかには影響しません。
障害が、Tx バッファ（ETNBnESR.ET＝0011_B）に関する場合は、CPU は、Tx バッファを整理し、バッファ制御構成を訂正する必要があります。
その他のエラーは、一時的に生じるもので問題なく、たいてい、ハードまたはソフト的な動作の継続で訂正されます。したがって、CPU が何かをしなければならないといった強い要求はありません。エラー処理に関する詳細は、「**26.4.2.3 整合性チェック**」を参照してください。
CPU は、キューエラーフラグ（ETNBnEIS.QEF）が“1”の時のみ、本ビットを判断することができます。

[変更条件]

- キューエラーフラグ（ETNBnEIS.QEF）の設定条件が満たされ、キューエラーフラグ（ETNBnEIS.QEF）が“0”のとき、本ビットは更新されます。

EQN[4:0]：エラー・キュー数ビット

本ビットは、Ethernet AVB がエラー検出時に、処理されていたキューの数を示します。
ETNBnESR.EQN＝0～3 に関して報告された障害は、送信キューt（t＝0～3）に関するものです。
ETNBnESR.EQN＝4 以降は、障害は、受信キューr（r＝ETNBnESR.EQN－4）に関するものです。
CPU は、キューエラーフラグ（ETNBnEIS.QEF）が“1”の時のみ、本ビットを判断することができます。
CPU は、エラーステータスレジスタのエラータイプビット（ETNBnESR.ET）が“0011_B”または“0111_B”の時は、本ビットを判断することができません。

[変更条件]

- キューエラーフラグ（ETNBnEIS.QEF）の設定条件が満たされ、キューエラーフラグ（ETNBnEIS.QEF）が“0”になると、本ビットは更新されます。

26.3.8 ETNBnRCR — 受信設定レジスタ

ETNBnRCR レジスタは、AVB-DMAC の受信関連設定を行うレジスタです。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	<ETNBn_base> + 0090_H
リセット後の値	$1800\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	RFCL[12:0]												
リセット後の値	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	ETS2	ETS0	ESF[1:0]		ENCF	EFFS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 26.25 ETNBnRCR レジスタの内容

ビット位置	ビット名	機能
31～29	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
28～16	RFCL[12:0]	受信 FIFO 警告レベルビット 推奨値：1800_H
15～6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	ETS2	タイムスタンプ許可ビット（Stream） 0：タイムスタンプ無効 1：タイムスタンプ有効 推奨値：0
4	ETS0	タイムスタンプ許可ビット（Best Effort） 0：タイムスタンプ無効 1：タイムスタンプ有効 推奨値：0
3、2	ESF[1:0]	ストリームフィルタリング機能選択ビット 受信キュー2～17 に対する設定 00_B：フィルタリング無効。フレームは、キュー0（Best Effort）で処理 01_B：AVB ストリームフレームと非 AVB ストリームフレームに対してセパレーションフィルタ有効、マッチしないストリームフレームはキュー0（Best Effort）で処理 10_B：AVB ストリームフレームに対してセパレーションフィルタ有効、マッチしないストリームフレームは破棄 11_B：AVB ストリームフレームに対してセパレーションフィルタ有効、マッチしないストリームフレームはキュー0（Best Effort）で処理 推奨値：10_B or 11_B
1	ENCF	ネットワーク制御フィルタ機能許可ビット 受信キュー1（Network Control）に対する設定 0：Network Control 無効 1：Network Control 有効
0	EFFS	エラーフレーム許可ビット 0：エラーフレーム無効 1：エラーフレーム有効 推奨値：0

RFCL[12:0]：受信 FIFO 警告レベルビット

受信 FIFO の警告レベルを設定し、受信データのストレージと送信データのフェッチの優先順位を保つために使用します。
受信 FIFO に格納されているデータ量がこのレベルよりも低い場合は、送信キュー、受信キューともにともにペンディング処理が実行されます。
このレベルよりも高くなった場合は、受信キューのみ転送を実行し、送信キューはペンディングします。
動作モードがコンフィグモードの場合のみ、本ビットへの書き込みが可能です。

注　意

本 LSI 使用時には、1800_H を設定してください。

ETS2：タイムスタンプ許可ビット（Stream）

受信キュー2～17 に含まれるタイムスタンプ情報を有効にします。
動作モードがコンフィグモードの場合のみ、本ビットへの書き込みが可能です。
拡張ディスクリプタを使用する場合、本ビットには“1”を設定してください。

ETS0：タイムスタンプ許可ビット（Best Effort）

受信キュー0 に含まれるタイムスタンプ情報を有効にします。
動作モードがコンフィグモードの場合のみ、本ビットへの書き込みが可能です。
拡張ディスクリプタを使用する場合、本ビットには“1”を設定してください。

ESF[1:0]：ストリームフィルタリング機能選択ビット

受信キュー2～17 に対し、セパレーションフィルタ機能を選択します。
キュー依存のセパレーションフィルタは、AVB ストリームフレームの識別と組み合わせて使用することが可能です。
設定値“00_B”の場合、フィルタリングは無効。ストリームフレームは受信キュー0（Best Effort）で処理されます。
設定値“01_B”の場合、AVB ストリームフレーム、非 AVB ストリームフレームに対してセパレーションフィルタ有効、マッチしないストリームフレームは受信キュー0（Best Effort）で処理されます。
設定値“10_B”の場合、AVB ストリームフレームに対してセパレーションフィルタ有効、マッチしないフレームは破棄されます。
設定値“11_B”の場合、AVB ストリームフレームに対してセパレーションフィルタ有効、マッチしないフレームは受信キュー0（Best Effort）で処理されます。
セパレーションフィルタについては、「**26.4.4.1(1)　セパレーションフィルタ**」を参照してください。
動作モードがコンフィグモードの場合のみ、本ビットへの書き込みが可能です。

ENCF：ネットワーク制御フィルタリング機能許可ビット

受信キュー1 の AVB ネットワーク制御フレームを有効にします。
受信キュー1 が禁止の場合は、受信フレームは受信キュー0（Best Effort）に格納されます。動作モードがコンフィグモードの場合のみ、本ビットへの書き込みが可能です。

EFFS：エラーフレーム許可ビット

E-MAC によってエラーフレームに分類された受信フレームの有効、無効を選択します。受信されたエラーフレームは、受信キュー0（Best Effort）に格納されます。
E-MAC が検出した受信時のエラーは、ディスクリプタ（DESCR.MSC）に格納されています。
動作モードがコンフィグモードの場合のみ、本ビットへの書き込みが可能です。

26.3.9　ETNBnRQCi ― 受信キュー設定レジスタ i（i＝0～4）

ETNBnRQCi レジスタは、受信キューr（r＝0＋i × 4～3＋i × 4）の設定を行うレジスタです。[注1]

アクセス　ETNBnRQCi レジスタは、32 ビット単位でリード／ライト可能です。

ETNBnRQCiL, ETNBnRQCiH レジスタは、16 ビット単位でリード／ライト可能です。[注2]

ETNBnRQCiLL, ETNBnRQCiLH, ETNBnRQCiHL, ETNBnRQCiHH レジスタは、8 ビット単位でリード／ライト可能です。[注2]

アドレス　ETNBnRQCi：<ETNBn_base> + 0094_H + i × 4_H

ETNBnRQCiL：<ETNBn_base> + 0094_H + i × 4_H

ETNBnRQCiH：<ETNBn_base> + 0094_H + i × 4_H + 2_H

ETNBnRQCiLL：<ETNBn_base> + 0094_H + i × 4_H

ETNBnRQCiLH：<ETNBn_base> + 0094_H + i × 4_H + 1_H

ETNBnRQCiHL：<ETNBn_base> + 0094_H + i × 4_H + 2_H

ETNBnRQCiHH：<ETNBn_base> + 0094_H + i × 4_H + 3_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	UFCCr[1:0] (r＝3＋i × 4)[注3]		—	—	RSMr[1:0] (r＝3＋i × 4)[注3]		—	—	UFCCr[1:0] (r＝2＋i × 4)[注3]		—	—	RSMr[1:0] (r＝2＋i × 4)[注3]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	UFCCr[1:0] (r＝1＋i × 4)[注3]		—	—	RSMr[1:0] (r＝1＋i × 4)[注3]		—	—	UFCCr[1:0] (r＝0＋i × 4)[注3]		—	—	RSMr[1:0] (r＝0＋i × 4)[注3]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

注1.　ETNBnRQC4 レジスタは、受信キュー16～17 に対応しています。

注2.　ETNBnRQC4 レジスタは、ETNBnRQC4、ETNBnRQC4L、ETNBnRQC4LL、ETNBnRQC4LH のみに対応しています。

注3.　ETNBnRQC4 レジスタは、RSM16[1:0]、UFCC16[1:0]、RSM17[1:0]、UFCC17[1:0]のみ対応し、16～31 ビットは予約ビットとなります。

表 26.26　ETNBnRQCi レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
29、28	UFCCr[1:0]	未読フレームカウンタ設定ビット（受信キュー3＋i × 4） 受信キュー3＋i × 4 で使用する未読フレームカウンタを設定します。
27、26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25、24	RSMr[1:0]	受信同期モードビット（受信キュー3＋i × 4） 00_B：ライトバックありモード 00_B 以外：設定禁止
23、22	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
21、20	UFCCr[1:0]	未読フレームカウンタ設定ビット（受信キュー2＋i × 4） 受信キュー2＋i × 4 で使用する未読フレームカウンタを設定します。
19、18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 26.26　ETNBnRQCi レジスタの内容

ビット位置	ビット名	機能
17、16	RSMr[1:0]	受信同期モードビット（受信キュー2 + i × 4） 　00_B：ライトバックありモード 　00_B 以外：設定禁止
15、14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13、12	UFCCr[1:0]	未読フレームカウンタ設定ビット（受信キュー1 + i × 4） 受信キュー1 + i × 4 で使用する未読フレームカウンタを設定します。
11、10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9、8	RSMr[1:0]	受信同期モードビット（受信キュー1 + i × 4） 　00_B：ライトバックありモード 　00_B 以外：設定禁止
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5、4	UFCCr[1:0]	未読フレームカウンタ設定ビット（受信キュー0 + i × 4） 受信キュー0 + i × 4 で使用する未読フレームカウンタを設定します。
3、2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	RSMr[1:0]	受信同期モードビット（受信キュー0 + i × 4） 　00_B：ライトバックありモード 　00_B 以外：設定禁止

UFCCr[1:0]（r＝0～17）：未読フレームカウンタ設定ビット

受信キューr の未読フレームカウンタ機能を設定します。
AVB-DMAC は未読フレームカウンタ機能に対し、4 パターンの設定が可能です。未読フレームカウンタの警告レベル、停止レベルに関して、未読フレームカウンタ停止レベル設定レジスタ（ETNBnUFCS）を設定してください。
本ビットには、未読フレームカウンタ停止レベル設定レジスタ（ETNBnUFCS）に設定したパターン番号（0～3）を設定してください。
“00_B”の場合、停止機能は無効です。
動作モードがコンフィグモードの場合のみ、本ビットへの書き込みが可能です。

RSMr[1:0]（r＝0～17）：受信同期モードビット

受信同期モードを設定します。
本ビットには“00_B”を設定してください。
受信同期モードについては、「**26.4.4.3(3) ライトバックありモード**」を参照してください。
動作モードがコンフィグモードの場合のみ、本ビットへの書き込みが可能です。

26.3.10　ETNBnRPC — 受信パディング設定レジスタ

ETNBnRPC レジスタは、受信フレームへのパディング設定を行うレジスタです。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<ETNBn_base> + $00B0_H$

リセット後の値　$0000\ 0100_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	DCNT[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	PCNT[2:0]			—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表 26.27　ETNBnRPC レジスタの内容

ビット位置	ビット名	機能
31～24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
23～16	DCNT[7:0]	格納データ数ビット ディスクリプタへ格納するデータ数を指定します。設定は、ワード単位です。 1 カウント＝1 ワード（4 バイト）
15～11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10～8	PCNT[2:0]	格納パディング数ビット ディスクリプタへ格納するパディング数を指定します。 設定は、ワード単位です。 1 カウント＝1 ワード（4 バイト）
7～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注　意

パディングを使用することにより、フレーム長を伸ばすことが可能ですが、フレーム長が 4K バイトを超えないようにしてください。

DCNT[7:0]：格納データ数ビット

パディングデータのあとに格納するフレームデータ数（1～255）を指定します。1 カウントは 1 ワード（4 バイト）です。例えば、本ビットに“47”を設定した場合は、47 ワード（＝188 バイト）となります。
本ビットが“0”の場合は、先頭のパディングデータのあとに、すべての受信データが格納されます。
動作モードがコンフィグモードの場合のみ、本ビットへの書き込みが可能です。パディング処理についての詳細は、「**26.4.4.3(2)(c)　パディング**」を参照してください。

PCNT[2:0]：格納パディング数ビット

URAM へ付加するパディング数（1～7）を指定します。1 カウントは 1 ワード（4 バイト）です。例えば、本ビットに“1”を設定した場合は、1 ワード（=4 バイト）となります。
動作モードがコンフィグモードの場合のみ、本ビットへの書き込みが可能です。パディング処理についての詳細は、「**26.4.4.3(2)(c) パディング**」を参照してください。

26.3.11　ETNBnUFCS ― 未読フレームカウンタ停止レベル設定レジスタ

ETNBnUFCS レジスタは、未読フレームの停止レベルを設定するレジスタです。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	<ETNBn_base> + 00C0H
リセット後の値	0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	SL3[5:0]						—	—	SL2[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	SL1[5:0]						—	—	SL0[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表 26.28　ETNBnUFCS レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
29～24	SL3[5:0]	停止レベル 3 ビット 未読フレーム数停止レベル 3
23、22	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
21～16	SL2[5:0]	停止レベル 2 ビット 未読フレーム数停止レベル 2
15、14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13～8	SL1[5:0]	停止レベル 1 ビット 未読フレーム数停止レベル 1
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5～0	SL0[5:0]	停止レベル 0 ビット 未読フレーム数停止レベル 0 ライトする場合、“0”としてください。

SL0～SL3[5:0]：停止レベル 0～3 ビット

未読フレームの停止レベルを設定します。
受信キューごとに、停止レベル 0～3 の 4 種類を選択可能です。本ビットに 0 を設定した場合は、停止機能は無効です。どのレベルを選択するかは、受信キュー設定レジスタ i（ETNBnRQCi）（i＝0～4）で指定します。
動作モードがコンフィグモードの場合のみ、本ビットへの書き込みが可能です。

26.3.12　ETNBnUFCVi — 未読フレームカウンタ レジスタ i（i＝0～4）

ETNBnUFCVi レジスタは、受信キューr（r＝0 + i × 4～3 + i × 4）の未読フレームを表すレジスタです。[注1]

アクセス	32 ビット単位でリードのみ可能です。
アドレス	<ETNBn_base> + $00C4_H$ + i × 4_H
リセット後の値	$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	CVr[5:0](r＝3 + i × 4)[注2]						—	—	CVr[5:0](r＝2 + i × 4)[注2]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	CVr[5:0](r＝1 + i × 4)[注2]						—	—	CVr[5:0](r＝0 + i × 4)[注2]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注1.　ETNBnUFCV4 レジスタは、受信キュー16～17 に対応しています。

注2.　ETNBnUFCV4 レジスタは、CV16[5:0]、CV17[5:0]のみ対応し、16～31 ビットは予約ビットとなります。

表 26.29　ETNBnUFCVi レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。
29～24	CVr[5:0]	未読フレーム数 3 + 4 × i 受信キュー3 + 4 × i の未読フレーム数
23、22	予約ビット	リードした場合はリセット後の値が読めます。
21～16	CVr[5:0]	未読フレーム数 2 + 4 × i 受信キュー2 + 4 × i の未読フレーム数
15、14	予約ビット	リードした場合はリセット後の値が読めます。
13～8	CVr[5:0]	未読フレーム数 1 + 4 × i 受信キュー1 + 4 × i の未読フレーム数
7、6	予約ビット	リードした場合はリセット後の値が読めます。
5～0	CVr[5:0]	未読フレーム数 0 + 4 × i 受信キュー0 + 4 × i の未読フレーム数

CVr[5:0]（r＝0～17）：未読フレーム数 r ビット

受信キューr の未読フレーム数を示します。
未読フレームカウンタ減算レジスタ i（ETNBnUFCDi）に書き込まれた値分、未読フレームが減算されます。
未読フレームの使用方法については、「**26.4.4.4 未読フレームカウンタ**」を参照してください。

[更新条件]

- 動作モードが、オペレーションモードでなくなった場合 “0” になります。ディスクリプタベースアドレスロード要求レジスタ（ETNBnDLR）で、ベースアドレスのロード要求を実施した場合も、本ビットは “0” になります。
- 受信キューr の受信データが正常に格納されたとき、加算されます。（最大値は $3F_H$ です。$3F_H$ を超えて加算されません。）
- 未読フレームカウンタ減算レジスタ i（ETNBnUFCDi）に書き込んだ値分だけ、減算されます。

26.3.13 ETNBnUFCDi ― 未読フレームカウンタ減算レジスタ i（i＝0～4）

ETNBnUFCDi レジスタは、受信キューr（r＝0 + i × 4～3 + i × 4）の未読カウンタを減算するためのレジスタです。[注 1]

アクセス　ETNBnUFCDi レジスタは、32 ビット単位でリード／ライト可能です。

ETNBnUFCDiL, ETNBnUFCDiH レジスタは、16 ビット単位でリード／ライト可能です。[注 2]

ETNBnUFCDiLL, ETNBnUFCDiLH, ETNBnUFCDiHL, ETNBnUFCDiHH レジスタは、8 ビット単位でリード／ライト可能です。[注 2]

アドレス　ETNBnUFCDi：<ETNBn_base> + $00E0_H$ + i × 4_H

ETNBnUFCDiL：<ETNBn_base> + $00E0_H$ + i × 4_H

ETNBnUFCDiH：<ETNBn_base> + $00E0_H$ + i × 4_H + 2_H

ETNBnUFCDiLL：<ETNBn_base> + $00E0_H$ + i × 4_H

ETNBnUFCDiLH：<ETNBn_base> + $00E0_H$ + i × 4_H + 1_H

ETNBnUFCDiHL：<ETNBn_base> + $00E0_H$ + i × 4_H + 2_H

ETNBnUFCDiHH：<ETNBn_base> + $00E0_H$ + i × 4_H + 3_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	DVr[5:0] (r＝3 + i × 4)[注 3]						—	—	DVr[5:0] (r＝2 + i × 4)[注 3]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	DVr[5:0] (r＝1 + i × 4)[注 3]						—	—	DVr[5:0] (r＝0 + i × 4)[注 3]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

注1.　ETNBnUFCD4 レジスタは、受信キュー16～17 に対応しています。

注2.　ETNBnUFCD4 レジスタは、ETNBnUFCD4、ETNBnUFCD4L、ETNBnUFCD4LL、ETNBnUFCD4LH のみに対応しています。

注3.　ETNBnUFCD4 レジスタは、DV16[5:0]、DV17[5:0]のみ対応し、16～31 ビットは予約ビットとなります。

表 26.30　ETNBnUFCDi レジスタの内容

ビット位置	ビット名	機能
31、30	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
29～24	DVr[5:0]	未読フレーム減算数 3 + 4 × i 受信キュー3 + 4 × i の未読フレーム減算数
23、22	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
21～16	DVr[5:0]	未読フレーム減算数 2 + 4 × i 受信キュー2 + 4 × i の未読フレーム減算数
15、14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13～8	DVr[5:0]	未読フレーム減算数 1 + 4 × i 受信キュー1 + 4 × i の未読フレーム減算数
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5～0	DVr[5:0]	未読フレーム減算数 0 + 4 × i 受信キュー0 + 4 × i の未読フレーム減算数

DVr[5:0]（r＝0～17）：未読フレーム減算数 r ビット

受信キューr の未読フレーム減算値を設定します。本ビットで設定した値分、未読フレームカウンタレジスタ i（ETNBnUFCVi）（i＝0～4）の値が減算されます。
受信キューr の未読カウンタをリセットするためには、本ビットに $3F_H$ を書き込んでください。
本ビットは常に“0”が読み出されます。

26.3.14 ETNBnSFO — セパレーションフィルタオフセット設定レジスタ

ETNBnSFO レジスタは、セパレーションフィルタのオフセットを設定するレジスタです。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	<ETNBn_base> + $00FC_H$
リセット後の値	$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	FBP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 26.31 ETNBnSFO レジスタの内容

ビット位置	ビット名	機能
31～6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5～0	FBP[5:0]	先頭バイト位置ビット セパレーションフィルタで使用する Ethernet フレームの先頭バイトの位置

FBP[5:0]：先頭バイト位置ビット

セパレーションフィルタで使用する Ethernet フレームの先頭バイトの位置を設定します。
本ビットが "0" の場合、セパレーションフィルタは Ethernet フレームの先頭（宛先アドレスの先頭バイト）から開始します。Ethernet フレーム内にあるバイトに関しては、「**26.3.2 ETNBnCCC — AVB-DMAC モードレジスタ**」の「**図 26.2 Ethernet フレーム受信時のデータ**」を参照してください。
動作モードがコンフィグモードの場合のみ、本ビットへの書き込みが可能です。
セパレーションフィルタについては、「**26.4.4.1(1) セパレーションフィルタ**」を参照してください。

注 意

本ビット設定値＋8 バイトよりも短い受信フレームは、セパレーションフィルタにマッチしません。この場合、受信設定レジスタのセパレーションフィルタ機能選択ビット（ETNBnRCR.ESF）の設定にしたがい、受信キューに振り分けられるか、破棄されます。

26.3.15 ETNBnSFPi — セパレーションフィルタパターン設定レジスタ i（i＝0～31）

ETNBnSFPi レジスタは、受信キュー2～17 で使用するセパレーションフィルタのパターンを設定するレジスタです。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	<ETNBn_base> + 0100$_H$ + i × 4$_H$
リセット後の値	0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FPs[31:16][注2](s＝受信キューr – 2)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FPs[15:0][注1](s＝受信キューr – 2)															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1. i が偶数の場合。i が奇数の場合、FPs[47:32]

注2. i が偶数の場合。i が奇数の場合、FPs[63:48]

表 26.32 ETNBnSFPi レジスタの内容

ビット位置	ビット名	機能
31～0	FPs[63:0]	セパレーションフィルタパターン設定ビット セパレーションフィルタのパターンを設定します。 各キュー64 ビットのフィルタパターンを設定します。

FPs[63:0]（s＝0～15）：セパレーションフィルタパターン設定ビット

受信キュー2～17（Stream0～15）で使用するセパレーションフィルタのパターンを設定します。
各キュー64 ビット分有しており、受信キュー2（Stream 0）は、ETNBnSFP0, ETNBnSFP1 を、受信キュー17（Stream 15）は、ETNBnSFP30, ETNBnSFP31 を使用します。
セパレーションフィルタマスク設定レジスタ i（ETNBnSFMi）で設定されるマスク値でマスクされた後、受信フレームデータが本ビットで定義した値と一致したとすると、セパレーションフィルタがフレームをパスします。
ETNBnSFPi.FPs[7:0]（i は偶数）は、セパレーションフィルタオフセット設定レジスタで指定された Ethernet フレームデータバイトに使用され、ETNBnSFPi.FPs[63:56]（i は奇数）は、セパレーションフィルタオフセット設定レジスタ（ETNBnSFO）＋7 で指定されたアドレスのバイトに使用されます。
動作モードがコンフィグモードの場合のみ、本ビットへの書き込みが可能です。
セパレーションフィルタについては、「**26.4.4.1(1) セパレーションフィルタ**」を参照してください。

26.3.16　ETNBnSFMi ― セパレーションフィルタマスク設定レジスタ i（i＝0, 1）

ETNBnSFMi レジスタは、受信キュー2～17 で使用するセパレーションフィルタ用のマスク値を設定するレジスタです。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<ETNBn_base> + $01C0_H$ + i × 4_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFM[31 + 32 × i : 16 + 32 × i]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFM[15 + 32 × i : 0 + 32 × i]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.33　ETNBnSFMi レジスタの内容

ビット位置	ビット名	機能
31～0	CFM[63:0]	セパレーションフィルタマスク設定ビット セパレーションフィルタのマスク値を設定します。

CFM[63:0]：セパレーションフィルタマスク設定ビット

受信キュー2～17（Stream0～15）で使用するセパレーションフィルタのマスク値を設定します。

ETNBnSFM0.CFM[7:0]は、セパレーションフィルタオフセット設定レジスタにて指定された Ethernet フレームデータバイトに使用され、ETNBnSFM1.CFM[63:56]は、セパレーションフィルタオフセット設定レジスタ（ETNBnSFO）＋7 用に使用されます。

本ビットに“0”を設定したビット位置のフレームデータはマスクされ、セパレーションフィルタのパターン照合に影響をおよぼさなくなります。

動作モードがコンフィグモードの場合のみ、本ビットへの書き込みが可能です。セパレーションフィルタについては、「**26.4.4.1(1) セパレーションフィルタ**」を参照してください。

26.3.17 ETNBnTGC — 送信設定レジスタ

ETNBnTGC レジスタは、AVB-DMAC の送信関連設定を行うレジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ETNBn_base> + 0300_H

リセット後の値 $0022\ 2200_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	TBD3[1:0]		—	—	TBD2[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	TBD1[1:0]		—	—	TBD0[1:0]		—	—	TQP[1:0]		TSM3	TSM2	TSM1	TSM0
リセット後の値	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 26.34 ETNBnTGC レジスタの内容

ビット位置	ビット名	機能
31～22	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
21、20	TBD3[1:0]	送信 FIFO サイズビット（Stream Class A） 送信キュー3（Stream Class A）用フェッチフレーム数 **注意）** 2 を書き込んでください
19、18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
17、16	TBD2[1:0]	送信 FIFO サイズビット（Stream Class B） 送信キュー2（Stream Class B）用フェッチフレーム数 **注意）** 2 を書き込んでください
15、14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13、12	TBD1[1:0]	送信 FIFO サイズビット（Network Control） 送信キュー1（Network Control）用フェッチフレーム数 **注意）** 2 を書き込んでください
11、10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9、8	TBD0[1:0]	送信 FIFO サイズビット（Best Effort） 送信キュー0（Best Effort）用フェッチフレーム数 **注意）** 2 を書き込んでください
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5、4	TQP[1:0]	送信キュー優先度ビット 00：非 AVB モード 01：AVB モード 1 10：設定禁止 11：AVB モード 2

表 26.34 ETNBnTGC レジスタの内容

ビット位置	ビット名	機能
3	TSM3	送信同期モードビット（Stream Class A） 0：ライトバックあり 1：設定禁止
2	TSM2	送信同期モードビット（Stream Class B） 0：ライトバックあり 1：設定禁止
1	TSM1	送信同期モードビット（Network Control） 0：ライトバックあり 1：設定禁止
0	TSM0	送信同期モードビット（Best Effort） 0：ライトバックあり 1：設定禁止

TBDt[1:0]（t＝0～3）：送信 FIFO サイズ（Stream Class A／Stream Class B／Network Control／Best Effort）ビット

本ビットは、各送信キューで使用する送信 FIFO サイズを設定します。
動作モードがコンフィグモードの場合のみ、本ビットへの書き込みが可能です。
本ビットには、“2”（“10_B”）を設定してください。

TQP[1:0]：送信キュー優先度ビット

本ビットは、送信キューの優先度を設定します。

00_B：非 AVB モード：Q3→Q2→Q1→Q0

01_B：AVB モード 1：Q3 (CBS)→Q2 (CBS)→Q1→Q0

10_B：設定禁止

11_B：AVB モード 2：Q1→Q3 (CBS)→Q2 (CBS)→Q0

CBS（Credit Based Shaping）アルゴリズムについては、「**26.4.6 CBS（Credit-Based Shaping）**」を参照してください。
非 AVB モード（設定値“00_B”）の場合は、CBS アルゴリズムは無効です。
動作モードがコンフィグモードの場合のみ、本ビットへの書き込みが可能です。

TSM0～TSM3：送信同期モードビット

本ビットは、送信同期モードを設定します。
動作モードがコンフィグモードの場合のみ、本ビットへの書き込みが可能です。
本ビットには“0”を設定してください。

26.3.18　ETNBnTCCR — 送信設定制御レジスタ

ETNBnTCCR レジスタは、AVB-DMAC の送信および関連した設定を制御するレジスタです。

アクセス　ETNBnTCCR レジスタは、32 ビット単位でリード／ライト可能です。
ETNBnTCCRL レジスタは、16 ビット単位でリード／ライト可能です。
ETNBnTCCRLL, ETNBnTCCRLH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　ETNBnTCCR：<ETNBn_base> + 0304_H
ETNBnTCCRL：<ETNBn_base> + 0304_H
ETNBnTCCRLL：<ETNBn_base> + 0304_H
ETNBnTCCRLH：<ETNBn_base> + 0304_H + 1_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TFR	TFEN	—	—	—	—	TSRQ3	TSRQ2	TSRQ1	TSRQ0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 26.35　ETNBnTCCR レジスタの内容

ビット位置	ビット名	機能
31～10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	TFR	タイムスタンプ FIFO リリースビット 0：（動作なし） 1：タイムスタンプ FIFO の最も古いエントリをリリース
8	TFEN	タイムスタンプ FIFO 許可ビット 0：タイムスタンプ FIFO での送信タイムスタンプの記録、無効 1：タイムスタンプ FIFO での送信タイムスタンプの記録、有効
7～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	TSRQ3	送信開始要求ビット（キュー3（Stream Class A）） 0：送信キューは空、または停止中 1：Write 時：送信開始要求発行 Read 時：送信処理フェッチ待ち
2	TSRQ2	送信開始要求ビット（キュー2（Stream Class B）） 0：送信キューは空、または停止中 1：Write 時：送信開始要求発行 Read 時：送信処理フェッチ待ち
1	TSRQ1	送信開始要求ビット（キュー1（Network Control）） 0：送信キューは空、または停止中 1：Write 時：送信開始要求発行 Read 時：送信処理フェッチ待ち
0	TSRQ0	送信開始要求ビット（キュー0（Best Effort）） 0：送信キューは空、または停止中 1：Write 時：送信開始要求発行 Read 時：送信処理フェッチ待ち

TFR：タイムスタンプ FIFO リリースビット

タイムスタンプ FIFO の最も古いエントリをリリースさせるビットです。
タイムスタンプ FIFO の使用方法については、「**26.4.5.4 送信タイムスタンプ**」を参照してください。

TFEN：タイムスタンプ FIFO 許可ビット

送信タイムスタンプ FIFO の格納を許可するビットです。
本ビットがセットされると、DESCR.TSR に“1”がセットされているディスクリプタに対し、タイムスタンプ情報を格納します。（DESCR.TSR については「**26.4.5.2(2) 送信用フレームデータディスクリプタ構成**」を参照してください。）
本ビットに“0”がセットされたとき、すべてのタイムスタンプ FIFO のエントリは無効となります。
タイムスタンプ FIFO の使用方法については、「**26.4.5.4 送信タイムスタンプ**」を参照してください。

TSRQt（t＝0～3）：送信開始要求（キューt）ビット

送信キューt に対し、送信開始要求を発行します。
読み込み時、本ビットが“1”の場合は、送信キューt にまだ送信 FIFO へフェッチされていないフレームがあることを示します。
E-MAC によるフレーム送信は、送信 FIFO のフェッチ処理とは独立して処理されます。キューがいつ送信されるかは、送信の優先順位に依存します。
送信キューのスケジューリングについては、「**26.4.5.1 送信モード**」を参照してください。
動作モードがオペレーションモードの場合のみ、本ビットへの書き込みが可能です。
本ビットには、“1”しか書き込めません。“0”を書き込んでも、何も動作しません。

[更新条件]

- 動作モードが、オペレーションモードでなくなった場合“0”になります。
- ディスクリプタタイプ EEMPTY または、FEMPTY または、LEMPTY（使用可能なデータなし）を処理したとき、“0”になります。
- EOS ディスクリプタを処理したとき、“0”になります。
- 不備のあるディスクリプタを処理したとき、“0”になります。

26.3.19　ETNBnTSR ― 送信ステータスレジスタ

ETNBnTSR レジスタは、AVB-DMAC の送信ステータスを表すレジスタです。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　<ETNBn_base> + 0308_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	TFFL[2:0]			—	—	—	—	CCS1[1:0]		CCS0[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 26.36　ETNBnTSR レジスタの内容

ビット位置	ビット名	機能
31～11	予約ビット	リードした場合はリセット後の値が読めます。
10～8	TFFL[2:0]	タイムスタンプ FIFO 数ビット タイムスタンプ FIFO 数
7～4	予約ビット	リードした場合はリセット後の値が読めます。
3、2	CCS1[1:0]	CBS カウンタステータス 1 ビット（Class A） 00_B：現在のクレジット値は範囲内 01_B：現在のクレジット値は下限以下 10_B：現在のクレジット値は上限以上 11_B：（リザーブ）
1、0	CCS0[1:0]	CBS カウンタステータス 0 ビット（Class B） 00_B：現在のクレジット値は範囲内 01_B：現在のクレジット値は下限以下 10_B：現在のクレジット値は上限以上 11_B：（リザーブ）

TFFL[2:0]：タイムスタンプ FIFO 数ビット

タイムスタンプ FIFO 数を示します。
“0”の場合は空、“2”の場合はフルとなります。（3～7 はリザーブです。）

[更新条件]

- 動作モードが、オペレーションモードでなくなった場合、“0”になります。または、送信設定制御レジスタのタイムスタンプ FIFO 許可ビット（ETNBnTCCR.TFEN）＝0 の場合、“0”になります。
- タイムスタンプ FIFO 許可ビット（ETNBnTCCR.TFEN）＝1 かつ本ビットが 2 でない場合、DESCR.TSR を持つフレームが E-MAC によって送信された際、本ビットはインクリメントされます。（DESCR.TSR については、「**26.4.5.2(2) 送信用フレームデータディスクリプタ構成**」を参照してください。）
  送信設定制御レジスタのタイムスタンプ FIFO リリースビット（ETNBnTCCR.TFR）に“1”が書き込まれたとき、本ビットが“0”でなければ、デクリメントされます。

CCS0, CCS1[1:0]：CBS カウンタステータス 0, 1 ビット

ストリームデータ送信キュー0, 1 の CBS ステータスを示します。求めたクレジット値が、CBS 上限値レジスタ c（ETNBnCULc）および CBS 下限値レジスタ c（ETNBnCLLc）で設定した範囲外にあるとき、CBS（Credit Based Shaping）の範囲外となります。

[更新条件]

- 動作モードが、オペレーションモードでなくなった場合“00_B”になります。
- 求めたクレジット値が設定された範囲内にある場合、“00_B”になります。
- 求めたクレジット値が、CBS 下限値レジスタ c（ETNBnCLLc）よりも低ければ、“01_B”となります。
- 求めたクレジット値が、CBS 上限値レジスタ c（ETNBnCULc）よりも高ければ、“10_B”となります。

26.3.20 ETNBnTFA0 —タイムスタンプ FIFO アクセスレジスタ 0

ETNBnTFA0 は、タイムスタンプ値のナノ秒を示します。

アクセス	32 ビット単位でリードのみ可能です。
アドレス	<ETNBn_base> + 0310_H
リセット後の値	$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSV[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSV[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 26.37 ETNBnTFA0 レジスタの内容

ビット位置	ビット名	機能
31～0	TSV[31:0]	タイムスタンプ値

TSV[79:0]：タイムスタンプ値ビット

ETNBnTFA0.TSV[31:0]、ETNBnTFA1.TSV[63:32]、ETNBnTFA2.TSV[79:64]と合わせた 80 ビットで、タイムスタンプ FIFO に格納されている最も古いタイムスタンプ値を示します。
タイムスタンプ FIFO がフルの場合、それ以上タイムスタンプ値は格納されません。

[更新条件]

- 動作モードが、オペレーションモードでなくなった場合“$0000\ 0000_H$”になります。
- タイムスタンプ FIFO に値が格納されたとき（送信ステータスレジスタのタイムスタンプ FIFO 数ビット（ETNBnTSR.TFFL）が“0”から“1”に変更されたとき）、更新されます。
- 最も古いエントリがリリースされたとき（送信設定制御レジスタのタイムスタンプ FIFO リリースビット（ETNBnTCCR.TFR）に“1”をセットしたとき）、更新されます。

26.3.21　ETNBnTFA1 —タイムスタンプ FIFO アクセスレジスタ 1

ETNBnTFA1 レジスタは、タイムスタンプ値の秒の下位を示します。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　<ETNBn_base> + 0314_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSV[63:48]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSV[47:32]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 26.38　ETNBnTFA1 レジスタの内容

ビット位置	ビット名	機能
31～0	TSV[63:32]	タイムスタンプ値

TSV[63:32]：タイムスタンプ値ビット

詳細は「**26.3.20　ETNBnTFA0 —タイムスタンプ FIFO アクセスレジスタ 0**」を参照してください。

26.3.22　ETNBnTFA2 —タイムスタンプ FIFO アクセスレジスタ 2

ETNBnTFA2 レジスタは、タイムスタンプタグとタイムスタンプ値の秒の上位を示します。

アクセス	32 ビット単位でリードのみ可能です。
アドレス	<ETNBn_base> + 0318_H
リセット後の値	$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	TST[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSV[79:64]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 26.39　ETNBnTFA2 レジスタの内容

ビット位置	ビット名	機能
31～26	予約ビット	リードした場合はリセット後の値が読めます。
25～16	TST[9:0]	タイムスタンプタグ
15～0	TSV[79:64]	タイムスタンプ値

TST[9:0]：タイムスタンプタグビット

フレーム送信時にディスクリプタ内にある DESCR.TAG ビットの内容を示します。送信キュー内のフレームと、FIFO で使用可能なタイムスタンプ値（タイムスタンプ FIFO アクセスレジスタ 0～2（ETNBnTFA0～2））との相関性を確認するために使用します。
送信フレームのタグ付けについては、「**26.4.5.4 送信タイムスタンプ**」を参照してください。

[更新条件]

- 動作モードが、オペレーションモードでなくなった場合 “000_H” になります。
- タイムスタンプ FIFO に値が格納されたとき（送信ステータスレジスタのタイムスタンプ FIFO 数ビット（ETNBnTSR.TFFL）が “0” から “1” に変更されたとき）、更新されます。
- 最も古いエントリがリリースされたとき（送信設定制御レジスタのタイムスタンプ FIFO リリースビット（ETNBnTCCR.TFR）に “1” をセットしたとき）、更新されます。

TSV[79:64]：タイムスタンプ値ビット

詳細は「**26.3.20 ETNBnTFA0 —タイムスタンプ FIFO アクセスレジスタ 0**」を参照してください。

26.3.23　ETNBnCIVRc — CBS インクリメント値レジスタ c（c＝0, 1）

ETNBnCIVR0 レジスタは、送信キュー2（Stream Class B）の、ETNBnCIVR1 レジスタは、送信キュー3（Stream Class A）の CBS アルゴリズム用インクリメント値を設定するレジスタです。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<ETNBn_base> + 0320$_H$ + c × 4$_H$

リセット後の値　0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CIV[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CIV[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.40　ETNBnCIVRc レジスタの内容

ビット位置	ビット名	機能
31〜0	CIV[31:0]	CBS インクリメント値ビット 設定値：1〜65535（0000 0001$_H$〜0000 FFFF$_H$）

CIV[31:0]：CBS インクリメント値ビット

CBS アルゴリズムに関連するインクリメント値を定義します。
1〜65535（0000 0001$_H$〜0000 FFFF$_H$）の範囲で設定してください。
本ビットに書き込むべき値は、Ethernet ビットレートと clk_chi に依存します。
詳細は、「**26.4.6 CBS（Credit-Based Shaping）**」を参照してください。

26.3.24 ETNBnCDVRc ― CBS デクリメント値レジスタ c（c＝0, 1）

ETNBnCDVR0 レジスタは、送信キュー2（Stream Class B）の、ETNBnCDVR1 レジスタは、送信キュー3（Stream Class A）の CBS アルゴリズム用デクリメント値を設定するレジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ETNBn_base> + 0328_H + c × 4_H

リセット後の値 FFFF $FFFF_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CDV[31:16]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CDV[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.41 ETNBnCDVRc レジスタの内容

ビット位置	ビット名	機能
31～0	CDV[31:0]	CBS デクリメント値ビット 設定値：−1～−65536（FFFF $FFFF_H$～FFFF 0000_H）

CDV[31:0]：CBS デクリメント値ビット

CBS アルゴリズムに関連するデクリメント値を定義します。
−1～−65536（FFFF $FFFF_H$～FFFF 0000_H）の負の値を設定してください。
本ビットに書き込むべき値は、Ethernet ビットレートと clk_chi に依存します。
詳細は、「**26.4.6 CBS（Credit-Based Shaping）**」を参照してください。

26.3.25　ETNBnCULc — CBS 上限値レジスタ c（c＝0, 1）

ETNBnCUL0 レジスタは、送信キュー2（Stream Class B）の、ETNBnCUL1 レジスタは、送信キュー3（Stream Class A）の CBS アルゴリズムで求めたクレジット値の上限値を設定するレジスタです。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<ETNBn_base> + 0330_H + c × 4_H

リセット後の値　7FFF $FFFF_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ULV[31:16]															
リセット後の値	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ULV[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.42　ETNBnCULc レジスタの内容

ビット位置	ビット名	機能
31～0	ULV[31:0]	CBS 上限値ビット CBS 上限値

ULV[31:0]：CBS 上限値ビット

CBS アルゴリズムで求めたクレジット値の上限値を設定します。
この設定は、エラー検出のための制限値であり、通常、CBS アルゴリズムには影響しません。
本ビットには、正の値を書き込んでください。
詳細は、「**26.4.6 CBS（Credit-Based Shaping）**」を参照してください。

26.3.26 ETNBnCLLc — CBS 下限値レジスタ c（c＝0, 1）

ETNBnCLL0 レジスタは、送信キュー2（Stream Class B）の、ETNBnCLL1 レジスタは、送信キュー3（Stream Class A）の CBS アルゴリズムで求めたクレジット値の下限値を設定するレジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ETNBn_base> + 0338_H + c × 4_H

リセット後の値 8000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LLV[31:16]															
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LLV[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.43 ETNBnCLLc レジスタの内容

ビット位置	ビット名	機能
31～0	LLV[31:0]	CBS 下限値ビット CBS 下限値

LLV[31:0]：CBS 下限値ビット

CBS アルゴリズムで求めたクレジット値の下限値を設定します。
この設定は、エラー検出のための制限値であり、通常、CBS アルゴリズムには影響しません。
本ビットには、負の値を書き込んでください。
詳細は、「**26.4.6 CBS（Credit-Based Shaping）**」を参照してください。

26.3.27　ETNBnDIC ―ディスクリプタ割り込み制御レジスタ

ETNBnDIC レジスタは、ディスクリプタ割り込み 1～15 を制御するレジスタです。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<ETNBn_base> + 0350_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DPE15	DPE14	DPE13	DPE12	DPE11	DPE10	DPE9	DPE8	DPE7	DPE6	DPE5	DPE4	DPE3	DPE2	DPE1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

表 26.44　ETNBnDIC レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	DPE15	ディスクリプタ割り込み許可ビット 15 0：禁止 1：許可
14	DPE14	ディスクリプタ割り込み許可ビット 14 0：禁止 1：許可
13	DPE13	ディスクリプタ割り込み許可ビット 13 0：禁止 1：許可
12	DPE12	ディスクリプタ割り込み許可ビット 12 0：禁止 1：許可
11	DPE11	ディスクリプタ割り込み許可ビット 11 0：禁止 1：許可
10	DPE10	ディスクリプタ割り込み許可ビット 10 0：禁止 1：許可
9	DPE9	ディスクリプタ割り込み許可ビット 9 0：禁止 1：許可
8	DPE8	ディスクリプタ割り込み許可ビット 8 0：禁止 1：許可
7	DPE7	ディスクリプタ割り込み許可ビット 7 0：禁止 1：許可

表 26.44　ETNBnDIC レジスタの内容

ビット位置	ビット名	機能
6	DPE6	ディスクリプタ割り込み許可ビット 6 0：禁止 1：許可
5	DPE5	ディスクリプタ割り込み許可ビット 5 0：禁止 1：許可
4	DPE4	ディスクリプタ割り込み許可ビット 4 0：禁止 1：許可
3	DPE3	ディスクリプタ割り込み許可ビット 3 0：禁止 1：許可
2	DPE2	ディスクリプタ割り込み許可ビット 2 0：禁止 1：許可
1	DPE1	ディスクリプタ割り込み許可ビット 1 0：禁止 1：許可
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

DPEi（i＝1～15）：ディスクリプタ割り込み許可ビット

割り込み許可状態で、割り込み要因発生（ディスクリプタ割り込みステータスレジスタのディスクリプタ割り込みステータスビット（ETNBnDIS.DPF1～15）＝1）した場合、割り込みが発生します。

26.3.28 ETNBnDIS —ディスクリプタ割り込みステータスレジスタ

ETNBnDIS レジスタは、ディスクリプタ割り込みのステータスを表示するレジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ETNBn_base> + 0354_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DPF15	DPF14	DPF13	DPF12	DPF11	DPF10	DPF9	DPF8	DPF7	DPF6	DPF5	DPF4	DPF3	DPF2	DPF1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

表 26.45 ETNBnDIS レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	DPF15	ディスクリプタ割り込みステータスビット 15 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
14	DPF14	ディスクリプタ割り込みステータスビット 14 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
13	DPF13	ディスクリプタ割り込みステータスビット 13 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
12	DPF12	ディスクリプタ割り込みステータスビット 12 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
11	DPF11	ディスクリプタ割り込みステータスビット 11 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
10	DPF10	ディスクリプタ割り込みステータスビット 10 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
9	DPF9	ディスクリプタ割り込みステータスビット 9 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
8	DPF8	ディスクリプタ割り込みステータスビット 8 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
7	DPF7	ディスクリプタ割り込みステータスビット 7 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり

表 26.45　ETNBnDIS レジスタの内容

ビット位置	ビット名	機能
6	DPF6	ディスクリプタ割り込みステータスビット 6 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
5	DPF5	ディスクリプタ割り込みステータスビット 5 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
4	DPF4	ディスクリプタ割り込みステータスビット 4 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
3	DPF3	ディスクリプタ割り込みステータスビット 3 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
2	DPF2	ディスクリプタ割り込みステータスビット 2 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
1	DPF1	ディスクリプタ割り込みステータスビット 1 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

DPFi (i＝1～15)：ディスクリプタ割り込みステータスビット

本ビットは、DESCR.DIE が 1～15（0001_B～1111_B）のときに、受信または送信キュー内のディスクリプタが処理されたことを示します。
DESCR.DIE が 0 のとき、ディスクリプタ割り込みは発生しません。
本ビットには、“0”しか書き込めません。

[変更条件]

- 動作モードがオペレーションモードでなくなった場合、“0”になります。
- DESCR.DIE が 1～15（0001_B～1111_B）のディスクリプタが処理されると、“1”になります。

26.3.29 ETNBnEIC — エラー割り込み制御レジスタ

ETNBnEIC レジスタは、AVB-DMAC 関連エラー割り込みを制御するレジスタです。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	<ETNBn_base> + 0358_H
リセット後の値	$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TFFE	CULE1	CULE0	CLLE1	CLLE0	SEE	QEE	MTEE	MREE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.46 ETNBnEIC レジスタの内容

ビット位置	ビット名	機能
31～9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	TFFE	タイムスタンプ FIFO フルエラー割り込み許可ビット 0：禁止 1：許可
7	CULE1	CBS 上限値エラー割り込み許可ビット（Class A） 0：禁止 1：許可
6	CULE0	CBS 上限値エラー割り込み許可ビット（Class B） 0：禁止 1：許可
5	CLLE1	CBS 下限値エラー割り込み許可ビット（Class A） 0：禁止 1：許可
4	CLLE0	CBS 下限値エラー割り込み許可ビット（Class B） 0：禁止 1：許可
3	SEE	分離エラー割り込み許可ビット 0：禁止 1：許可
2	QEE	キューエラー割り込み許可ビット 0：禁止 1：許可
1	MTEE	MAC 送信エラー割り込み許可ビット 0：禁止 1：許可
0	MREE	MAC 受信エラー割り込み許可ビット 0：禁止 1：許可

TFFE：タイムスタンプ FIFO フルエラー割り込み許可ビット

割り込み許可状態で、タイムスタンプ FIFO がフル（エラー割り込みステータスレジスタのタイムスタンプ FIFO フルエラー割り込みステータスビット（ETNBnEIS.TFFF）＝1）となった場合、割り込みが発生します。

CULE1：CBS 上限値エラー割り込み許可ビット（Class A）

割り込み許可状態で、Class A の CBS が上限値に達した（CBS 上限値エラー割り込みステータスビット（Class A）（ETNBnEIS.CULF1）＝1）場合、割り込みが発生します。

CULE0：CBS 上限値エラー割り込み許可ビット（Class B）

割り込み許可状態で、Class B の CBS が上限値に達した（CBS 上限値エラー割り込みステータスビット（Class B）（ETNBnEIS.CULF0）＝1）場合、割り込みが発生します。

CLLE1：CBS 下限値エラー割り込み許可ビット（Class A）

割り込み許可状態で、Class A の CBS が下限値に達した（CBS 下限値エラー割り込みステータスビット（Class A）（ETNBnEIS.CLLF1）＝1）場合、割り込みが発生します。

CLLE0：CBS 下限値エラー割り込み許可ビット（Class B）

割り込み許可状態で、Class B の CBS が下限値に達した（CBS 下限値エラー割り込みステータスビット（Class B）（ETNBnEIS.CLLF0）＝1）場合、割り込みが発生します。

SEE：分離エラー割り込み許可ビット

割り込み許可状態で、分離エラーフラグ（ETNBnEIS.SEF）が“1”になると、割り込みが発生します。

QEE：キューエラー割り込み許可ビット

割り込み許可状態で、キューエラーフラグ（ETNBnEIS.QEF）が“1”になると、割り込みが発生します。

MTEE：MAC 送信エラー割り込み許可ビット

割り込み許可状態で、MAC 送信エラーフラグ（ETNBnEIS.MTEF）が“1”になると、割り込みが発生します。

MREE：MAC 受信エラー割り込み許可ビット

割り込み許可状態で、MAC 受信エラーフラグ（ETNBnEIS.MREF）が“1”になると、割り込みが発生します。

26.3.30　ETNBnEIS ― エラー割り込みステータスレジスタ

ETNBnEIS レジスタは、AVB-DMAC 関連エラー割り込みステータスを表すレジスタです。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	<ETNBn_base> + 035C$_H$
リセット後の値	0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	QFS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TFFF	CULF1	CULF0	CLLF1	CLLF0	SEF	QEF	MTEF	MREF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.47　ETNBnEIS レジスタの内容

ビット位置	ビット名	機能
31～17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
16	QFS	キューフルエラー割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
15～9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	TFFF	タイムスタンプ FIFO フルエラー割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
7	CULF1	CBS 上限値エラー割り込みステータスビット（Class A） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
6	CULF0	CBS 上限値エラー割り込みステータスビット（Class B） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
5	CLLF1	CBS 下限値エラー割り込みステータスビット（Class A） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
4	CLLF0	CBS 下限値エラー割り込みステータスビット（Class B） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
3	SEF	分離エラーフラグ 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
2	QEF	キューエラーフラグ 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
1	MTEF	MAC 送信エラーフラグ 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり

表 26.47　ETNBnEIS レジスタの内容

ビット位置	ビット名	機能
0	MREF	MAC 受信エラーフラグ 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり

QFS：キューフルエラー割り込みステータスビット

割り込み許可状態で、キューがフル（受信割り込みステータスレジスタ 2 の受信キューr フル割り込みステータスビット（ETNBnRIS2.QFFr）＝1、もしくは受信 FIFO フル割り込みステータスビット（ETNBnRIS2.RFFF）＝1）となったことを示します。

[変更条件]

- 受信割り込み制御レジスタ 2 の受信キューr フル割り込みステータスビット（ETNBnRIS2.QFFr）、もしくは受信キューr フル割り込み許可ビット（ETNBnRIC2.QFEr）が更新された場合、本ビットも更新されます。
- 受信 FIFO フル割り込みステータスビット（ETNBnRIS2.RFFF）、受信 FIFO フル割り込み許可ビット（ETNBnRIC2.RFFE）が更新された場合、本ビットも更新されます。

TFFF：タイムスタンプ FIFO フルエラー割り込みステータスビット

本ビットは、タイムスタンプ FIFO がフルであるために新しい送信タイムスタンプが破棄（オーバラン状態）されたことを示します。
本ビットには、“0”しか書き込めません。

[変更条件]

- 動作モードがオペレーションモードでなくなった場合、“0”になります。
- DESCR.TSR を含むフレームが送信され、送信設定制御レジスタのタイムスタンプ FIFO 許可ビット（ETNBnTCCR.TFEN）が“1”で、送信ステータスレジスタのタイムスタンプ FIFO 数ビット（ETNBnTSR.TFFL）が“2”のとき、本ビットは“1”にセットされます。

CULF1：CBS 上限値エラー割り込みステータスビット（Class A）

本ビットは、CBS カウンタ 1 が、設定した上限（CBS 上限値レジスタ c（ETNBnCULc）の ETNBnCUL1.ULV）を超えたことを示します。
本ビットには、“0”しか書き込めません。

[変更条件]

- 動作モードがオペレーションモードでなくなった場合、“0”になります。
- 送信ステータスレジスタの CBS カウンタステータス 1（Class A）ビット（ETNBnTSR.CCS1）が、“00_B”（範囲内）から“10_B”（上限以上）に変化したとき、本ビットは“1”となります。

CULF0：CBS 上限値エラー割り込みステータスビット（Class B）

本ビットは、CBS カウンタ 0 が、設定した上限（CBS 上限値レジスタ c（ETNBnCULc）の ETNBnCUL0.ULV）を超えたことを示します。
本ビットには、“0”しか書き込めません。

[変更条件]

- 動作モードがオペレーションモードでなくなった場合、“0”になります。
- 送信ステータスレジスタの CBS カウンタステータス 0（Class B）ビット（ETNBnTSR.CCS0）が、“00_B”（範囲内）から“10_B”（上限以上）に変化したとき、本ビットは“1”となります。

CLLF1：CBS 下限値エラー割り込みステータスビット（Class A）

本ビットは、CBS カウンタ 1 が、設定した下限（CBS 下限値レジスタ c（ETNBnCLLc）の ETNBnCLL1.LLV）を下回ったことを示します。
本ビットには、“0”しか書き込めません。

[変更条件]

- 動作モードがオペレーションモードでなくなった場合、“0”になります。
- 送信ステータスレジスタの CBS カウンタステータス 1（Class A）ビット（ETNBnTSR.CCS1）が、“00_B”（範囲内）から“01_B”（下限以下）に変化したとき、本ビットは“1”となります。

CLLF0：CBS 下限値エラー割り込みステータスビット（Class B）

本ビットは、CBS カウンタ 0 が、設定した下限（CBS 下限値レジスタ c（ETNBnCLLc）の ETNBnCLL0.LLV）を下回ったことを示します。
本ビットには、“0”しか書き込めません。

[変更条件]

- 動作モードがオペレーションモードでなくなった場合、“0”になります。
- 送信ステータスレジスタの CBS カウンタステータス 0（Class B）ビット（ETNBnTSR.CCS0）が、“00_B”（範囲内）から“01_B”（下限以下）に変化したとき、本ビットは“1”となります。

SEF：分離エラーフラグ

本ビットは、受信フレームが、AVB ストリームデータフレーム用設定分離フィルタと一致していないため、破棄されたことを示しています。
CPU は、本ビットには、“0”しか書き込めません。

[変更条件]

- 動作モードがオペレーションモードでなくなった場合、本ビットは“0”になります。
- 受信設定レジスタのセパレーションフィルタ機能選択ビット（ETNBnRCR.ESF）が“10_B”で、分離フィルタが一致していないため、有効な AVB ストリームデータフレームが MAC で受信されたが、破棄されると、本ビットは“1”になります。

QEF：キューエラーフラグ

本ビットは、キューを受信中または送信中に、エラーが検出されたことを示します。検出されたエラーについての詳細は、エラーステータスレジスタ（ETNBnESR）に示します。
エラー処理に関する詳細は、「**26.4.2.3 整合性チェック**」を参照してください。
CPU は、本ビットには、“0”しか書き込めません。

[変更条件]

- 動作モードがオペレーションモードでなくなった場合、本ビットは“0”になります。
- エラー状態が検出されると、本ビットは“1”になります。

MTEF：MAC 送信エラーフラグ

本ビットは、MAC が送信時に、障害を検出したことを示しています。
詳細については、MAC レジスタを、チェックしてください。
CPU は、本ビットには、“0”しか書き込めません。

[変更条件]

- 動作モードがオペレーションモードでなくなった場合、“0”になります。
- フレームの送信時に、MAC がエラーを検出すると、本ビットは“1”になります。

MREF：MAC 受信エラーフラグ

本ビットは、MAC が受信時に、障害を検出したことを示しています。
詳細については、MAC レジスタを、チェックしてください。

備 考

障害のある受信フレーム（ETNBnRCR.EFFS）の保存が有効になっている場合、MAC エラーコード（DESCR.MSC）はディスクリプタに保存されます。この情報を評価することによって、CPU は URAM に破損フレームがあることを確認することができます。

CPU は、本ビットには、“0”しか書き込めません。

[変更条件]

- 動作モードがオペレーションモードでなくなった場合、“0”になります。
- フレームの受信時に、E-MAC がエラーを検出すると、本ビットは“1”になります。

26.3.31　ETNBnRIC0 ― 受信割り込み制御レジスタ 0

ETNBnRIC0 レジスタは、AVB-DMAC 受信割り込みを制御するレジスタです。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<ETNBn_base> + 0360_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FRE17	FRE16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FRE15	FRE14	FRE13	FRE12	FRE11	FRE10	FRE9	FRE8	FRE7	FRE6	FRE5	FRE4	FRE3	FRE2	FRE1	FRE0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.48　ETNBnRIC0 レジスタの内容

ビット位置	ビット名	機能
31～18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
17	FRE17	受信フレーム割り込み許可ビット 17（Stream 15） 0：禁止 1：許可
16	FRE16	受信フレーム割り込み許可ビット 16（Stream 14） 0：禁止 1：許可
15	FRE15	受信フレーム割り込み許可ビット 15（Stream 13） 0：禁止 1：許可
14	FRE14	受信フレーム割り込み許可ビット 14（Stream 12） 0：禁止 1：許可
13	FRE13	受信フレーム割り込み許可ビット 13（Stream 11） 0：禁止 1：許可
12	FRE12	受信フレーム割り込み許可ビット 12（Stream 10） 0：禁止 1：許可
11	FRE11	受信フレーム割り込み許可ビット 11（Stream 9） 0：禁止 1：許可
10	FRE10	受信フレーム割り込み許可ビット 10（Stream 8） 0：禁止 1：許可
9	FRE9	受信フレーム割り込み許可ビット 9（Stream 7） 0：禁止 1：許可

表 26.48 ETNBnRIC0 レジスタの内容

ビット位置	ビット名	機能
8	FRE8	受信フレーム割り込み許可ビット 8（Stream 6） 0：禁止 1：許可
7	FRE7	受信フレーム割り込み許可ビット 7（Stream 5） 0：禁止 1：許可
6	FRE6	受信フレーム割り込み許可ビット 6（Stream 4） 0：禁止 1：許可
5	FRE5	受信フレーム割り込み許可ビット 5（Stream 3） 0：禁止 1：許可
4	FRE4	受信フレーム割り込み許可ビット 4（Stream 2） 0：禁止 1：許可
3	FRE3	受信フレーム割り込み許可ビット 3（Stream 1） 0：禁止 1：許可
2	FRE2	受信フレーム割り込み許可ビット 2（Stream 0） 0：禁止 1：許可
1	FRE1	受信フレーム割り込み許可ビット 1（Network Control） 0：禁止 1：許可
0	FRE0	受信フレーム割り込み許可ビット 0（Best Effort） 0：禁止 1：許可

FREr（r＝0～17）：受信フレーム割り込み許可ビット

割り込み許可状態で、割り込み要因発生（受信割り込みステータスレジスタの受信割り込みステータスビット（ETNBnRIS0.FRF0～17）＝1）した場合、割り込みが発生します。

26.3.32　ETNBnRIS0 — 受信割り込みステータスレジスタ 0

ETNBnRIS0 レジスタは、AVB-DMAC 受信割り込みステータスを表すレジスタです。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<ETNBn_base> + 0364H

リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FRF17	FRF16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FRF15	FRF14	FRF13	FRF12	FRF11	FRF10	FRF9	FRF8	FRF7	FRF6	FRF5	FRF4	FRF3	FRF2	FRF1	FRF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.49　ETNBnRIS0 レジスタの内容

ビット位置	ビット名	機能
31～18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
17	FRF17	受信フレーム割り込みステータスビット 17（Stream 15） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
16	FRF16	受信フレーム割り込みステータスビット 16（Stream 14） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
15	FRF15	受信フレーム割り込みステータスビット 15（Stream 13） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
14	FRF14	受信フレーム割り込みステータスビット 14（Stream 12） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
13	FRF13	受信フレーム割り込みステータスビット 13（Stream 11） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
12	FRF12	受信フレーム割り込みステータスビット 12（Stream 10） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
11	FRF11	受信フレーム割り込みステータスビット 11（Stream 9） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
10	FRF10	受信フレーム割り込みステータスビット 10（Stream 8） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
9	FRF9	受信フレーム割り込みステータスビット 9（Stream 7） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり

表 26.49 ETNBnRIS0 レジスタの内容

ビット位置	ビット名	機能
8	FRF8	受信フレーム割り込みステータスビット 8（Stream 6） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
7	FRF7	受信フレーム割り込みステータスビット 7（Stream 5） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
6	FRF6	受信フレーム割り込みステータスビット 6（Stream 4） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
5	FRF5	受信フレーム割り込みステータスビット 5（Stream 3） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
4	FRF4	受信フレーム割り込みステータスビット 4（Stream 2） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
3	FRF3	受信フレーム割り込みステータスビット 3（Stream 1） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
2	FRF2	受信フレーム割り込みステータスビット 2（Stream 0） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
1	FRF1	受信フレーム割り込みステータスビット 1（Network Control） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
0	FRF0	受信フレーム割り込みステータスビット 0（Best Effort） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり

FRFr（r＝0～17）：受信フレーム割り込みステータスビット

本ビットは、受信キュー0～17 においてフレームが正常に格納され、CPU の処理待ちにデータがあることを示します。
本ビットには、“0”しか書き込めません。

[変更条件]

- 動作モードがオペレーションモードでなくなった場合、“0”になります。
- 未読フレームカウンタ減算レジスタ i（ETNBnUFCDi）（i＝0～4）に値を書き込み、未読フレームカウンタレジスタ i（ETNBnUFCVi）（i＝0～4）がデクリメントされ“0”になった場合、本ビットは“0”になります。
- フレームが受信キューに正常に格納されたら、該当ビットが“1”になります。

26.3.33 ETNBnRIC1 ― 受信割り込み制御レジスタ 1

ETNBnRIC1 レジスタは、AVB-DMAC 受信割り込みを制御するレジスタです。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<ETNBn_base> + 0368_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFWE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 26.50　ETNBnRIC1 レジスタの内容

ビット位置	ビット名	機能
31	RFWE	受信 FIFO 警告割り込み許可ビット 0：禁止 1：許可
30～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RFWE：受信 FIFO 警告割り込み許可ビット

割り込み許可状態で、受信 FIFO が警告レベル（受信設定レジスタの受信 FIFO 警告レベルビット（ETNBnRCR.RFCL）で設定した値）に達した場合、割り込みが発生します。

26.3.34 ETNBnRIS1 — 受信割り込みステータスレジスタ 1

ETNBnRIS1 レジスタは、AVB-DMAC 受信割り込みステータスを表すレジスタです。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	<ETNBn_base> + $036C_H$
リセット後の値	$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFWF	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 26.51 ETNBnRIS1 レジスタの内容

ビット位置	ビット名	機能
31	RFWF	受信 FIFO 警告割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
30～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RFWF：受信 FIFO 警告割り込みステータスビット

本ビットは、受信 FIFO が設定した警告レベル（受信設定レジスタの受信 FIFO 警告レベルビット（ETNBnRCR.RFCL）で設定した値）に達したことを示します。
本ビットには、“0”しか書き込めません。

[変更条件]

- 動作モードがオペレーションモードでなくなった場合、“0”になります。
- 受信 FIFO が設定した警告レベル（受信設定レジスタの受信 FIFO 警告レベルビット（ETNBnRCR.RFCL）で設定した値）に達すると“1”になります。

26.3.35 ETNBnRIC2 — 受信割り込み制御レジスタ 2

ETNBnRIC2 レジスタは、AVB-DMAC 受信割り込みを制御するレジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ETNBn_base> + 0370_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFFE	—	—	—	—	—	—	—	—	—	—	—	—	—	QFE17	QFE16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	QFE15	QFE14	QFE13	QFE12	QFE11	QFE10	QFE9	QFE8	QFE7	QFE6	QFE5	QFE4	QFE3	QFE2	QFE1	QFE0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.52 ETNBnRIC2 レジスタの内容

ビット位置	ビット名	機能
31	RFFE	受信 FIFO フル割り込み許可 0：禁止 1：許可
30～18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
17	QFE17	受信キュー17（Stream 15）フル割り込み許可ビット 0：禁止 1：許可
16	QFE16	受信キュー16（Stream 14）フル割り込み許可ビット 0：禁止 1：許可
15	QFE15	受信キュー15（Stream 13）フル割り込み許可ビット 0：禁止 1：許可
14	QFE14	受信キュー14（Stream 12）フル割り込み許可ビット 0：禁止 1：許可
13	QFE13	受信キュー13（Stream 11）フル割り込み許可ビット 0：禁止 1：許可
12	QFE12	受信キュー12（Stream 10）フル割り込み許可ビット 0：禁止 1：許可
11	QFE11	受信キュー11（Stream 9）フル割り込み許可ビット 0：禁止 1：許可
10	QFE10	受信キュー10（Stream 8）フル割り込み許可ビット 0：禁止 1：許可

表 26.52 ETNBnRIC2 レジスタの内容

ビット位置	ビット名	機能
9	QFE9	受信キュー9（Stream 7）フル割り込み許可ビット 0：禁止 1：許可
8	QFE8	受信キュー8（Stream 6）フル割り込み許可ビット 0：禁止 1：許可
7	QFE7	受信キュー7（Stream 5）フル割り込み許可ビット 0：禁止 1：許可
6	QFE6	受信キュー6（Stream 4）フル割り込み許可ビット 0：禁止 1：許可
5	QFE5	受信キュー5（Stream 3）フル割り込み許可ビット 0：禁止 1：許可
4	QFE4	受信キュー4（Stream 2）フル割り込み許可ビット 0：禁止 1：許可
3	QFE3	受信キュー3（Stream 1）フル割り込み許可ビット 0：禁止 1：許可
2	QFE2	受信キュー2（Stream 0）フル割り込み許可ビット 0：禁止 1：許可
1	QFE1	受信キュー1（Network Control）フル割り込み許可ビット 0：禁止 1：許可
0	QFE0	受信キュー0（Best Effort）フル割り込み許可ビット 0：禁止 1：許可

RFFE：受信 FIFO フル割り込み許可ビット

割り込み許可状態で、受信 FIFO がフル状態に達した（受信割り込みステータスレジスタ 2 の受信 FIFO フル割り込みステータスビット（ETNBnRIS2.RFFF）＝1）場合、割り込みが発生します。

QFEr（r＝0～17）：受信キューr フル割り込み許可ビット

割り込み許可状態で、受信キュー0～17 がフル状態に達した（受信割り込みステータスレジスタ 2 の受信キューr フル割り込みステータスビット（ETNBnRIS2.QFF0～17）＝1）場合、割り込みが発生します。

26.3.36　ETNBnRIS2 — 受信割り込みステータスレジスタ 2

ETNBnRIS2 レジスタは、AVB-DMAC 受信割り込みステータスを表すレジスタです。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<ETNBn_base> + 0374_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFFF	—	—	—	—	—	—	—	—	—	—	—	—	—	QFF17	QFF16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	QFF15	QFF14	QFF13	QFF12	QFF11	QFF10	QFF9	QFF8	QFF7	QFF6	QFF5	QFF4	QFF3	QFF2	QFF1	QFF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.53　ETNBnRIS2 レジスタの内容

ビット位置	ビット名	機能
31	RFFF	受信 FIFO フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
30～18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
17	QFF17	受信キュー17（Stream 15）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
16	QFF16	受信キュー16（Stream 14）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
15	QFF15	受信キュー15（Stream 13）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
14	QFF14	受信キュー14（Stream 12）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
13	QFF13	受信キュー13（Stream 11）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
12	QFF12	受信キュー12（Stream 10）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
11	QFF11	受信キュー11（Stream 9）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
10	QFF10	受信キュー10（Stream 8）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり

表 26.53　ETNBnRIS2 レジスタの内容

ビット位置	ビット名	機能
9	QFF9	受信キュー9（Stream 7）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
8	QFF8	受信キュー8（Stream 6）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
7	QFF7	受信キュー7（Stream 5）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
6	QFF6	受信キュー6（Stream 4）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
5	QFF5	受信キュー5（Stream 3）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
4	QFF4	受信キュー4（Stream 2）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
3	QFF3	受信キュー3（Stream 1）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
2	QFF2	受信キュー2（Stream 0）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
1	QFF1	受信キュー1（Network Control）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
0	QFF0	受信キュー0（Best Effort）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり

RFFF：受信 FIFO フル割り込みステータスビット

受信 FIFO がフルで、格納することのできないフレームを受信したことを示します。
受信できなかったフレームは破棄されます。
破棄されたフレームについての情報は残っていません。破棄されていなくても、E-MAC によってエラーフレームと判断された場合にも、本ビットがセットされることがあります。
本ビットには、“0”しか書き込めません。

[変更条件]

- 動作モードがオペレーションモードでなくなった場合、“0”になります。
- 受信 FIFO が受信したフレームデータを格納できない場合、“1”になります。

QFFr（r＝0～17）：受信キューr フル割り込みステータスビット

空のディスクリプタが使用できないために受信フレームが破棄されると、ETNBnRIS2.QFFr は正しく 1 に設定されます。
さらに、ETNBnUFCVi.CVr が設定された停止レベル（ETNBnUFCS.SLj）に達すると、それ以上の受信フレームが廃棄される前にキューフルフラグ（ETNBnRIS2.QFFr）が 1 に設定されます。

注　意

分割フレーム（「**26.4.4.3(1)(b) 分割フレームとしての格納**」を参照）格納中に、空のディスクリプタが残っていない場合や、ディスクリプタに空きのスペースがない場合、エラーフレームがキューに格納されます。このようなエラーフレームは、ディスクリプタシーケンスエラーとして扱われます。

[変更条件]

- 動作モードがオペレーションモードでなくなった場合、“0”になります。
- 受信キューr に格納用スペースがない場合、“1”にセットされます。
- 未読フレームカウンタ（未読フレームカウンタレジスタ i（ETNBnUFCVi）（i＝0～4））が設定されたストップレベルに達した場合、“1”にセットされます。

26.3.37　ETNBnTIC — 送信割り込み制御レジスタ

ETNBnTIC レジスタは、AVB-DMAC 送信割り込みを制御するレジスタです。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<ETNBn_base> + 0378_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TFWE	TFUE	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

表 26.54　ETNBnTIC レジスタの内容

ビット位置	ビット名	機能
31～10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	TFWE	タイムスタンプ FIFO 警告割り込み許可ビット 0：禁止 1：許可
8	TFUE	タイムスタンプ FIFO 更新割り込み許可ビット 0：禁止 1：許可
7～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

TFWE：タイムスタンプ FIFO 警告割り込み許可ビット

割り込み許可状態で、タイムスタンプ FIFO が警告レベルに達した場合、割り込みが発生します。

TFUE：タイムスタンプ FIFO 更新割り込み許可ビット

割り込み許可状態で、タイムスタンプ FIFO が更新された際、割り込みが発生します。

26.3.38　ETNBnTIS — 送信割り込みステータスレジスタ

ETNBnTIS レジスタは、AVB-DMAC 送信割り込みステータスを表すレジスタです。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	<ETNBn_base> + 037C$_H$
リセット後の値	0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TFWF	TFUF	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

表 26.55　ETNBnTIS レジスタの内容

ビット位置	ビット名	機能
31～12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11、10	予約ビット	リードした場合は不定値が読めます。ライトする場合はリセット後の値を書いてください。
9	TFWF	タイムスタンプ FIFO 警告割り込みステータスビット 0：ペンディング中の割り込みなし 1：タイムスタンプ FIFO が警告レベルに達した
8	TFUF	タイムスタンプ FIFO 更新割り込みステータスビット 0：ペンディング中の割り込みなし 1：タイムスタンプ FIFO 更新
7～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3～0	予約ビット	リードした場合は不定値が読めます。ライトする場合はリセット後の値を書いてください。

TFWF：タイムスタンプ FIFO 警告割り込みステータスビット

送信タイムスタンプ FIFO の警告レベルに達したことを示します。
本ビットには、“0”しか書き込めません。

[変更条件]

- 動作モードがオペレーションモードでなくなった場合、“0”になります。または、送信設定制御レジスタのタイムスタンプ FIFO 許可ビット（ETNBnTCCR.TFEN）が“0”のとき、“0”になります。送信設定制御レジスタのタイムスタンプ FIFO リリースビット（ETNBnTCCR.TFR）に“1”を書き込むと、“0”になります。
- DESCR.TSR を含むフレームが送信され、タイムスタンプ FIFO にすでに 1 エントリ格納されている（送信ステータスレジスタのタイムスタンプ FIFO 数ビット（ETNBnTSR.TFFL）＝1）場合、“1”になります。

TFUF：タイムスタンプ FIFO 更新割り込みステータスビット

送信タイムスタンプ FIFO が更新されたことを示します。
本ビットには、“0”しか書き込めません。

[変更条件]

- 動作モードがオペレーションモードでなくなった場合、“0”になります。
  送信設定制御レジスタのタイムスタンプ FIFO 許可ビット（ETNBnTCCR.TFEN）が“0”のとき、“0”になります。
  送信設定制御レジスタのタイムスタンプ FIFO リリースビット（ETNBnTCCR.TFR）に“1”を書き込むと、“0”になります。
- DESCR.TSR を含むフレームが送信され、タイムスタンプ FIFO 許可ビット（ETNBnTCCR.TFEN）が“1”のとき、“1”になります。

26.3.39 ETNBnISS — 割り込みサマリステータスレジスタ

ETNBnISS レジスタは、AVB-DMAC 関連割り込みのサマリステータスを表示するレジスタです。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <ETNBn_base> + 0380_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DPS15	DPS14	DPS13	DPS12	DPS11	DPS10	DPS9	DPS8	DPS7	DPS6	DPS5	DPS4	DPS3	DPS2	DPS1	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	CGIS	RFWS	—	—	TFWS	TFUS	MS	ES	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 26.56 ETNBnISS レジスタの内容

ビット位置	ビット名	機能
31	DPS15	ディスクリプタ割り込み 15 サマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
30	DPS14	ディスクリプタ割り込み 14 サマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
29	DPS13	ディスクリプタ割り込み 13 サマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
28	DPS12	ディスクリプタ割り込み 12 サマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
27	DPS11	ディスクリプタ割り込み 11 サマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
26	DPS10	ディスクリプタ割り込み 10 サマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
25	DPS9	ディスクリプタ割り込み 9 サマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
24	DPS8	ディスクリプタ割り込み 8 サマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
23	DPS7	ディスクリプタ割り込み 7 サマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
22	DPS6	ディスクリプタ割り込み 6 サマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり

表 26.56 ETNBnISS レジスタの内容

ビット位置	ビット名	機能
21	DPS5	ディスクリプタ割り込み 5 サマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
20	DPS4	ディスクリプタ割り込み 4 サマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
19	DPS3	ディスクリプタ割り込み 3 サマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
18	DPS2	ディスクリプタ割り込み 2 サマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
17	DPS1	ディスクリプタ割り込み 1 サマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
16～14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13	CGIS	gPTP 割り込みサマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
12	RFWS	受信 FIFO 警告割り込みサマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
11、10	予約ビット	リードした場合は不定値が読めます。ライトする場合はリセット後の値を書いてください。
9	TFWS	タイムスタンプ FIFO 警告割り込みサマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
8	TFUS	タイムスタンプ FIFO 更新割り込みサマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
7	MS	E-MAC 割り込みサマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
6	ES	エラー割り込みサマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
5～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2～0	予約ビット	リードした場合は不定値が読めます。ライトする場合はリセット後の値を書いてください。

DPSi（i＝1～15）：ディスクリプタ割り込み 1～15 サマリビット

ディスクリプタ割り込み許可ビット（ETNBnDIC.DPE1～15）とディスクリプタ割り込みステータスフラグ（ETNBnDIS.DPF1～15）がともに“1”の場合、“1”になります。

CGIS：gPTP 割り込みサマリビット

2 つの gPTP 関連割り込みレジスタ（ETNBnGIC, ETNBnGIS）の割り込み関連ビットのうち、1 つでも“1”の場合に、“1”になります。

RFWS：受信 FIFO 警告割り込みサマリビット

受信 FIFO 警告割り込み許可ビット（ETNBnRIC1.RFWE）と受信 FIFO 警告割り込みステータスフラグ（ETNBnRIS1.RFWF）がともに“1”の場合、“1”になります。

TFWS：タイムスタンプ FIFO 警告割り込みサマリビット

タイムスタンプ FIFO 警告割り込み許可ビット（ETNBnTIC.TFWE）とタイムスタンプ FIFO 警告割り込みステータスフラグ（ETNBnTIS.TFWF）がともに“1”の場合、“1”になります。

TFUS：タイムスタンプ FIFO 更新割り込みサマリビット

タイムスタンプ FIFO 更新割り込み許可ビット（ETNBnTIC.TFUE）とタイムスタンプ FIFO 更新割り込みステータスフラグ（ETNBnTIS.TFUF）がともに“1”の場合、“1”になります。

MS：E-MAC 割り込みサマリビット

E-MAC の割り込み発生時に“1”になります。

ES：エラー割り込みサマリビット

エラー割り込みステータスレジスタ（ETNBnEIS）のいずれかの有効ビットが“1”、または、キューフルエラー割り込みステータスビット（ETNBnEIS.QFS）が“1”の場合、“1”になります。

26.3.40 ETNBnGCCR — gPTP 設定制御レジスタ

ETNBnGCCR レジスタは、gPTP（汎用高精度時間プロトコル）の設定および制御を行うレジスタです。

アクセス　ETNBnGCCR レジスタは、32 ビット単位でリード／ライト可能です。
ETNBnGCCRL レジスタは、16 ビット単位でリード／ライト可能です。
ETNBnGCCRLL, ETNBnGCCRLH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　ETNBnGCCR : <ETNBn_base> + 0390_H
ETNBnGCCRL : <ETNBn_base> + 0390_H
ETNBnGCCRLL : <ETNBn_base> + 0390_H
ETNBnGCCRLH : <ETNBn_base> + 0390_H + 1_H

リセット後の値　0000 $003C_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TCSS[1:0]		—	—	LMTT	LPTC	LTI	LTO	TCR[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 26.57　ETNBnGCCR レジスタの内容

ビット位置	ビット名	機能
31～10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9、8	TCSS[1:0]	タイマキャプチャソース選択ビット 00_B : gPTP タイマ値 01_B : 補正 gPTP タイマ値 10_B : AVTP プレゼンテーションタイム 11_B : 設定禁止
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	LMTT	最大トランジットタイム設定要求ビット 0 : 設定完了 1 : ライト時 : 設定要求発行 リード時 : 設定完了待ち
4	LPTC	プレゼンテーションタイム比較値設定要求ビット 0 : 設定完了 1 : ライト時 : 設定要求発行 リード時 : 設定完了待ち
3	LTI	タイマインクリメント値設定要求ビット 0 : 設定完了 1 : ライト時 : 設定要求発行 リード時 : 設定完了待ち
2	LTO	タイマオフセット値設定要求ビット 0 : 設定完了 1 : ライト時 : 設定要求発行 リード時 : 設定完了待ち

表 26.57　ETNBnGCCR レジスタの内容

ビット位置	ビット名	機能
1、0	TCR[1:0]	タイマ制御要求ビット 00_B：要求なし 01_B：gPTP/AVTP プレゼンテーションタイムリセット 10_B：設定禁止 11_B：TCSS ビットで設定された内容をキャプチャ

TCSS[1:0]：タイマキャプチャソース選択ビット

キャプチャしたタイマレジスタ（gPTP タイマキャプチャレジスタ（ETNBnGCTi.CTV））の更新に使用するソースを選択します。
タイマ制御要求なし（ETNBnGCCR.TCR＝00_B）のとき、本ビットを制御するようにしてください。

LMTT：最大トランジットタイム設定要求ビット

gPTP 最大トランジットタイム設定レジスタ（ETNBnGMTT）の設定要求を発行します。
本ビットには“1”しか書き込めません。

[変更条件]

- 動作モードがオペレーションモードでなくなった場合、“1”になります。
- gPTP 最大トランジットタイム設定レジスタ（ETNBnGMTT）の値がロードされたとき、“0”になります。

LPTC：プレゼンテーションタイム比較値設定要求ビット

gPTP プレゼンテーションタイム比較レジスタ（ETNBnGPTC）の設定要求を発行します。
本ビットには“1”しか書き込めません。

[変更条件]

- 動作モードがオペレーションモードでなくなった場合、“1”になります。
- gPTP プレゼンテーションタイム比較レジスタ（ETNBnGPTC）の値がロードされたとき、“0”になります。

LTI：タイマインクリメント値設定要求ビット

gPTP タイマインクリメント設定レジスタ（ETNBnGTI）の設定要求を発行します。
本ビットには“1”しか書き込めません。

[変更条件]

- 動作モードがオペレーションモードでなくなった場合、“1”になります。
- gPTP タイマインクリメント設定レジスタ（ETNBnGTI）の値がロードされたとき、“0”になります。

LTO：タイマオフセット値設定要求ビット

gPTP タイマオフセット設定レジスタ（ETNBnGTOi）の設定要求を発行します。
本ビットには“1”しか書き込めません。

[変更条件]

- 動作モードがオペレーションモードでなくなった場合、“1”になります。
- gPTP タイマオフセット設定レジスタ（ETNBnGTOi）の値がロードされたとき、“0”になります。

TCR[1:0]：タイマ制御要求ビット

gPTP タイマ制御の要求を発行します。
動作モードがオペレーションモードの場合のみ、本ビットへの書き込みが可能です。
AVB-DMAC モードレジスタの gPTP タイマクロック選択ビットが 00_B のときは、本ビットに書き込みを行わないでください。

[変更条件]

動作モードがオペレーションモードでなくなった場合、“00_B”になります。または、要求された処理完了後、“00_B”になります。

26.3.41　ETNBnGMTT — gPTP 最大トランジットタイム設定レジスタ

ETNBnGMTT レジスタは、gPTP タイマの最大トランジットタイムを設定するレジスタです。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	<ETNBn_base> + 0394H
リセット後の値	0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MTTV[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MTTV[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.58　ETNBnGMTT レジスタの内容

ビット位置	ビット名	機能
31～0	MTTV[31:0]	最大トランジットタイムビット プレゼンテーションタイムに付加される、最大トランジットタイム

MTTV[31:0]：最大トランジットタイムビット

AVTP プレゼンテーションタイムの計算に使用する最大トランジットタイムを設定します。
本ビットに任意の値を書き込んだ後、gPTP 設定制御レジスタの最大トランジットタイム設定要求ビット（ETNBnGCCR.LMTT）に“1”をセットして、設定要求を発行してください。

注　意

動作モードがオペレーションモードで、最大トランジットタイム設定要求ビット（ETNBnGCCR.LMTT）が“1”のときは、本ビットに書き込みを行わないでください。

26.3.42　ETNBnGPTC ― gPTP プレゼンテーションタイム比較レジスタ

ETNBnGPTC レジスタは、gPTP タイマのプレゼンテーションタイム比較値を設定するレジスタです。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<ETNBn_base> + 0398_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PTCV[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PTCV[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.59　ETNBnGPTC レジスタの内容

ビット位置	ビット名	機能
31～0	PTCV[31:0]	プレゼンテーションタイム比較値ビット gPTP プレゼンテーションタイム比較値

PTCV[31:0]：プレゼンテーションタイム比較値ビット

最大トランジットタイムが付加されていない AVTP タイマ値と比較する値を設定します。
本ビットに任意の値を書き込んだ後、gPTP 設定制御レジスタのプレゼンテーションタイム比較値設定要求ビット（ETNBnGCCR.LPTC）に“1”をセットして、設定要求を発行してください。

注　意

動作モードがオペレーションモードで、プレゼンテーションタイム比較値設定要求ビット（ETNBnGCCR.LPTC）が“1”のときは、本ビットに書き込みを行わないでください。
本ビットには x−1～x+1 の値を書き込まないでください。（x：ETNBnGTI.TIV[27:0]の値）

26.3.43 ETNBnGTI — gPTP タイマインクリメント設定レジスタ

ETNBnGTI レジスタは、gPTP タイマにインクリメントされる値を設定するレジスタです。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ETNBn_base> + 039C$_H$

リセット後の値 0000 0001$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	TIV[27:16]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TIV[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.60 ETNBnGTI レジスタの内容

ビット位置	ビット名	機能
31～28	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
27～0	TIV[27:0]	gPTP タイマインクリメント値ビット gPTP タイマインクリメント値

TIV[27:0]：gPTP タイマインクリメント値ビット

AVB-DMAV モードレジスタの gPTP クロック選択ビット（ETNBnCCC.CSEL）で設定されたクロックごとに gPTP タイマがインクリメントされる値を設定します。
本ビットに任意の値を書き込んだ後、gPTP 設定制御レジスタのタイマインクリメント値設定要求ビット（ETNBnGCCR.LTI）に“1”をセットして、設定要求を発行してください。

注 意

動作モードがオペレーションモードで、タイマインクリメント値設定要求ビット（ETNBnGCCR.LTI）が“1”のときは、本ビットに値を書き込まないでください。

本ビットをすべて“0”とする書き込みはしないでください。

26.3.44 ETNBnGTOi ― gPTP タイマオフセット設定レジスタ i（i＝0～2）

ETNBnGTOi レジスタは、gPTP タイマのオフセット値を設定するレジスタです。

ETNBnGTO0＝gPTP タイマの 0～31 ビット、ETNBnGTO1＝gPTP タイマの 32～63 ビット、ETNBnGTO2＝gPTP タイマの 64～79 ビットに加算されます。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	ETNBnGTO0：<ETNBn_base> + $03A0_H$ ETNBnGTO1：<ETNBn_base> + $03A4_H$ ETNBnGTO2：<ETNBn_base> + $03A8_H$
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TOV[31 + 32 × i:16 + 32 × i]注1															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TOV[15 + 32 × i:0 + 32 × i]注1															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1. ETNBnGTO2 レジスタは TOV[79:64]のみ対応しており、ビット 16～31 は予約ビットです。

表 26.61 ETNBnGTOi レジスタの内容

ビット位置	ビット名	機能
31～0	TOV[95:0]	タイマオフセット値ビット gPTP タイマのオフセット値

TOV[79:0]：タイマオフセット値ビット

ETNBnGTO0.TOV[31:0]、ETNBnGTO1.TOV[63:32]、ETNBnGTO2.TOV[79:64]を合わせた 80 ビットで、gPTP タイマに加算するオフセット値を設定します。
本ビットに任意の値を書き込んだ後、gPTP 設定制御レジスタのタイマオフセット値設定要求ビット（GCCR.LTO）に“1”をセットして、設定要求を発行してください。

注 意

動作モードがオペレーションモードで、タイマオフセット値設定要求ビット（ETNBnGCCR.LTO）が“1”のときは、本ビットに値を書き込まないでください。
ETNBnGTO2.TOV[95:80]には、0000_H を書き込んでください。
ETNBnGTO0.TOV[31:0]には、0～10^9-1（0000 0000_H～3B9A $C9FF_H$）の範囲内の値を設定してください。

26.3.45　ETNBnGIC — gPTP 割り込み制御レジスタ

ETNBnGIC レジスタは、gPTP 関連割り込みを制御するレジスタです。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<ETNBn_base> + 03AC$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	PTME	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R

表 26.62　ETNBnGIC レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	PTME	プレゼンテーションタイム一致割り込み許可ビット 0：禁止 1：許可
1、0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

PTME：プレゼンテーションタイム一致割り込み許可ビット

“1”に設定されているとき、gPTP 割り込みステータスレジスタのプレゼンテーションタイム一致割り込みフラグ（ETNBnGIS.PTMF）がセットされると、割り込みが発生します。

26.3.46 ETNBnGIS — gPTP 割り込みステータスレジスタ

ETNBnGIS レジスタは、gPTP 関連割り込みのステータスを表示するレジスタです。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	<ETNBn_base> + 03B0$_H$
リセット後の値	0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	PTMF	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R

表 26.63 ETNBnGIS レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	PTMF	プレゼンテーションタイム一致割り込みフラグ 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
1、0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

PTMF：プレゼンテーションタイム一致割り込みフラグビット

AVTP タイマ値が、gPTP プレゼンテーションタイム比較レジスタ（ETNBnGPTC）の値を超えたことを示します。

本ビットには、“0”しか書き込めません。

[変更条件]

- 動作モードがオペレーションモードでなくなった場合、“0”になります。
- AVTP タイマ値が gPTP プレゼンテーションタイム比較レジスタ（ETNBnGPTC）の値以上になったとき、“1”になります。

26.3.47 ETNBnGCTi — gPTP タイマキャプチャレジスタ i（i＝0～2）

ETNBnGCTi レジスタは、gPTP タイマ値をキャプチャする 80 ビットのレジスタです。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	ETNBnGCT0 : <ETNBn_base> + $03B8_H$
	ETNBnGCT1 : <ETNBn_base> + $03BC_H$
	ETNBnGCT2 : <ETNBn_base> + $03C0_H$
リセット後の値	$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CTV[31 + 32 × i:16 + 32 × i]注 1															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CTV[15 + 32 × i:0 + 32 × i]注 1															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1. ETNBnGCT2 レジスタは CTV[79:64]のみ対応しており、ビット 16～31 は予約ビットです。

表 26.64 ETNBnGCTi レジスタの内容

ビット位置	ビット名	機能
31～0	CTV[95:0]	gPTP タイマキャプチャ値ビット キャプチャされたタイマ値

CTV[79:0]：gPTP タイマキャプチャ値ビット

ETNBnGCT0.CTV[31:0]、ETNBnGCT1.CTV[63:32]、ETNBnGCT2.CTV[79:64]と合わせた 80 ビットで、キャプチャしたタイマ値を表します。
gPTP 設定制御レジスタのタイマキャプチャソース選択ビット（ETNBnGCCR.TCSS）で 00_B（gPTP タイマ値）、01_B（補正 gPTP タイマ値）が選択されている場合は、本ビットに 80 ビット分格納されます。
タイマキャプチャソース選択ビット（ETNBnGCCR.TCSS）で 10_B（AVTP プレゼンテーションタイム）が選択されている場合は、本ビット（ETNBnGCT0.CTV[31:0]）に 32 ビット分格納されます。
gPTP 設定制御レジスタのタイマ制御要求ビット（ETNBnGCCR.TCR）に 11_B（タイマキャプチャ要求）が書き込まれたとき、本ビットにタイマキャプチャソース選択ビット（ETNBnGCCR.TCSS）で指定されたタイマ値が格納されます。
タイマ制御要求ビット（ETNBnGCCR.TCR）が 11_B のときは、格納が完了していませんので、読み出さないでください。

注 意

ETNBnGCT2.CTV[95:80]には 0000_H を書き込んでください。

26.3.48 ETNBnECMR — E-MAC モードレジスタ

ETNBnECMR は、E-MAC の動作モードを指定するレジスタです。通常、本レジスタの設定は、リセット後の初期設定時に行います。

動作モードの設定は、送信および受信機能が有効な状態（本レジスタの RE ビットが “1” か TE ビットが “1” の状態）で書き換えることを禁止します。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ETNBn_base> + 0500_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	TRCCM	—	—	RCSC	—	DPAD	RZPF	ZPF	PFR	RXF	TXF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	RE	TE	—	—	—	DM	PRM
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W	R/W

表 26.65 ETNBnECMR レジスタの内容

ビット位置	ビット名	機能
31～27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26	TRCCM	カウンタクリアモードビット 0：当該レジスタ書き込み時にクリアされます 1：当該レジスタ読み込み時にクリアされます
25、24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
23	RCSC	チェックサム計算ビット 0：チェックサム自動計算を行いません 1：チェックサム自動計算を行います
22	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
21	DPAD	データパディングビット 0：60 バイト未満のデータにパディングを行い、60 バイトのデータとして送信します 1：60 バイト未満のデータにパディングを行わず、そのまま送信します
20	RZPF	0 Time PAUSE フレーム受信ビット 0：TIME パラメータ値が 0 の PAUSE フレーム受信が無効です 1：TIME パラメータ値が 0 の PAUSE フレーム受信が有効です
19	ZPF	0 Time PAUSE フレーム使用有効ビット ● 0 Time PAUSE フレーム使用有効（全二重モード時） 0：TIME パラメータ値が 0 の PAUSE フレーム送信の制御が無効です 1：TIME パラメータ値が 0 の PAUSE フレーム送信の制御が有効です

表 26.65　ETNBnECMR レジスタの内容

ビット位置	ビット名	機能
18	PFR	PAUSE フレーム受信モードビット 0：PAUSE フレームを AVB-DMAC へ転送しません 1：PAUSE フレームを AVB-DMAC へ転送します
17	RXF	受信系フロー制御動作モードビット 0：受信系のフロー制御機能（PAUSE フレームの受信）が無効です 1：受信系のフロー制御機能（PAUSE フレームの受信）が有効です
16	TXF	送信系フロー制御動作モードビット 0：送信系のフロー制御機能が無効 （PAUSE フレームは自動では送信されない） 1：送信系のフロー制御機能が有効 （要求に応じて、PAUSE フレームは自動で送信される）
15～7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	RE	受信許可ビット 0：受信機能を無効にします 1：受信機能を有効にします
5	TE	送信許可ビット 0：送信機能を無効にします 1：送信機能を有効にします
4～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	DM	Ethernet AVB を使用する時は、このビットに必ず“1”を設定してください。（リセット後の値“0”）
0	PRM	プロミスキャスモードビット 0：通常動作 1：プロミスキャスモード動作

TRCCM：カウンタクリアモードビット

カウンタレジスタのクリア方法を設定します。各レジスタの説明を参照してください。

RCSC：チェックサム計算ビット

本ビットを“1”に設定すると、受信フレームのデータ部のチェックサムを自動的に計算することができます。
Ethernet フレームのデータ部のみが、チェックサム計算の範囲です。具体的には、チェックサムは、データ部から計算されます。データ部は、長さ／タイプフィールドに続いており、データ部の後に、CRC フィールドが続きます。計算は 16 ビット加算のみを伴い、ビット反転は伴いません。

DPAD：データパディングビット

60 バイト未満のデータを送信する際に、パディングを実施するか否かを設定できます。
“1”を設定するとパディングせずにそのまま送信、“0”を設定するとパディングを行い、60 バイトのデータとして送信します。

RZPF：0 Time PAUSE フレーム受信ビット

本ビットを“0”にすると、Timer 値が示す時間が 0 の PAUSE フレームを受信した場合、PAUSE フレームを破棄します。
本ビットを“1”にすると、Timer 値が示す時間が 0 の PAUSE フレームを受信した場合、送信待ち状態を解除します。

ZPF：0 Time PAUSE フレーム使用有効ビット

- 0 Time PAUSE フレーム使用有効（全二重モード時）

  本ビットが“0”の場合、Timer 値で指定される時間が経過するまで、次のフレームの送信が行われません。
  本ビットが“1”の場合、Timer 値で設定された時間が経過する前に、受信 FIFO でのデータ値が、受信設定レジスタの受信 FIFO 警告レベルビット（ETNBnRCR.RFCL）で設定した値よりも小さくなった場合、Timer 値が示す時間が 0 の PAUSE フレームが自動的に送信されます。インタフェースが送信待ち状態である場合には、Timer 値が示す時間が 0 の PAUSE フレームを受信すると、その状態から解放されます。

PFR：PAUSE フレーム受信モードビット

本ビットを設定することで、PAUSE フレームを AVB-DMAC に転送するかどうかを指定できます。

RXF：受信系フロー制御動作モードビット

本ビットを“1”に設定し、PAUSE フレームを受信した場合、Timer 値の示す時間が経過するまで、次のフレーム送信を待ちます。送信中のフレームについては、送信を継続します。また、PAUSE フレーム受信回数をカウントします。詳細は、「**26.3.57 ETNBnPFRCR ― PAUSE フレーム受信カウンタ**」を参照してください。
本ビットを“0”にすると、PAUSE フレーム検出機能は無効です。

TXF：送信系フロー制御動作モードビット

本ビットは送信系のフロー制御機能を有効または無効にします。本ビットを“0”にすると、PAUSE フレーム検出機能は無効です。

RE：受信許可ビット

本ビットを受信機能有効（RE＝1）から無効（RE＝0）としたときに受信中のフレームがあれば、当該フレームの受信終了まで受信機能は有効となります。

TE：送信許可ビット

本ビットを送信機能有効（TE＝1）から無効（TE＝0）としたときに送信中のフレームがあれば、当該フレームの送信終了まで送信機能は有効となります。

DM：モード選択ビット

本ビットは全二重動作を選択します。

PRM：プロミスキャスモードビット

本ビットを設定すると、すべての Ethernet フレームを受信することができます。すべての Ethernet フレームとは、相違点、有効/無効の状態（宛先アドレス、ブロードキャストアドレス、マルチキャストビットなど）に関係なく、受信される全てのフレームを意味します。

26.3.49　ETNBnRFLR — 受信フレーム長レジスタ

ETNBnRFLR レジスタは、受信することのできる最大フレーム長をバイト単位で指定するレジスタです。

本レジスタは、受信機能が有効な状態（E-MAC モードレジスタの受信許可ビット（ETNBnECMR.RE）が“1”の状態）での書き換えは禁止です。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<ETNBn_base> + 0508_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RFL[17:16]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFL[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.66　ETNBnRFLR レジスタの内容

ビット位置	ビット名	機能
31～18	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
17～0	RFL[17:0]	受信フレームデータ長ビット 設定値チェック値 00000_H : 1,518 バイト : $005EE_H$: 1,518 バイト $005EF_H$: 1,519 バイト $005F0_H$: 1,520 バイト : $1FFFF_H$: 131,071 バイト 20000_H : 131,072 バイト : $3FFFF_H$: 131,072 バイト

RFL[17:0] : 受信フレームデータ長ビット

ここでのフレームデータは、宛先アドレスから CRC データまでを含んだ範囲となりますが、実際には宛先アドレスからデータまでがメモリ上に転送されます。CRC データは含まれません。ここで指定された値を超えたデータを受信したとき、設定された値を超えた分のデータは破棄されます。

注　意

指定された値（ETNBnRFLR.RFL[17:0]）が、ディスクリプタデータのサイズとなります。
このため、ロングフレームを受信する場合、ディスクリプタデータのサイズは ETNBnRFLR.RFL[17:0]＋8 以上でなければなりません。

26.3.50 ETNBnECSR — E-MAC ステータスレジスタ

ETNBnECSR レジスタは、E-MAC 内のステータスを表示するレジスタです。各ステータスは、CPU に通知することが可能です。割り込みを発生するビットは、「**26.3.51 ETNBnECSIPR — E-MAC 割り込み許可レジスタ**」に記載された、E-MAC 割り込み許可レジスタ（ETNBnECSIPR）の対応するビットによって、割り込みを許可または禁止にすることができます。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	<ETNBn_base> + 0510_H
リセット後の値	$0000\ 000X_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	LCHNG	—	ICD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	—	0	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W

表 26.67　ETNBnECSR レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	LCHNG	リンク信号変化ビット 0：リンクステータス信号（AVB_LINK）の変化を検出していません 1：リンクステータス信号（AVB_LINK）の変化を検出しました
1	予約ビット	リードした場合は不定値が読めます。ライトする場合はリセット後の値を書いてください。
0	ICD	不正キャリア検出ビット 0：PHY-LSI は、回線上で不正キャリアを検出していません 1：PHY-LSI は、回線上で不正キャリアを検出しました

LCHNG：リンク信号変化ビット

PHY-LSI から入力されるリンクステータス信号（AVB_LINK）が、High レベルから Low レベル、Low レベルから High レベルに変化したことを示します。
ただし、リンクステータス信号（AVB_LINK）機能の端子を選択したタイミングで、信号の変化を検出する場合があります。
現在のリンク状態を確認するには、PHY 部ステータスレジスタのリンクステータス端子状態ビット（ETNBnPLSR.LINK）を参照してください。
本ビットは、“1”を書き込むことで、“0”にクリアされます。

ICD：不正キャリア検出ビット

回線上で PHY-LSI が不正なキャリアを検出したことを示します。ただし、PHY-LSI から入力される信号の変化がソフトウェアの認識時間よりも早く変化するような場合は、正しい情報が得られないことがあります。採用する PHY-LSI のタイミングを参照してください。
本ビットは、“1”を書き込むことで、“0”にクリアされます。

26.3.51 ETNBnECSIPR — E-MAC 割り込み許可レジスタ

ETNBnECSIPR レジスタは、ETNBnECSR レジスタによって報告される割り込み要因の許可を指示するレジスタです。各ビットは、ETNBnECSR のビットに対応する割り込みを許可することができます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ETNBn_base> + 0518_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	LINKIM	—	ICDIP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W

表 26.68 ETNBnECSIPR レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	LINKIM	LINK 割り込みマスクビット 0：LINKI 設定による割り込みを禁止 1：LINKI 設定による割り込みを許可
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ICDIP	不正キャリア検出割り込み許可ビット 0：ICD ビット設定による割り込みを禁止 1：ICD ビット設定による割り込みを許可

LINKIM：リンク信号変化割り込み許可ビット

本ビットを“1”にすると、E-MAC ステータスレジスタのリンク信号変化ビット（ETNBnECSR.LCHNG）が“1”になったときに、割り込みを発生させせます。

ICDIP：不正キャリア検出割り込み許可ビット

本ビットを“1”にすると、E-MAC ステータスレジスタの不正キャリア検出ビット（ETNBnECSR.ICD）が“1”になったときに、割り込みを発生させせます。

26.3.52　ETNBnPIR — PHY インタフェースレジスタ

ETNBnPIR レジスタは、MII を経由して PHY-LSI 内部のレジスタにアクセスする手段を提供するレジスタです。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<ETNBn_base> + 0520_H

リセット後の値　$0000\ 000X_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	MDI	MDO	MMD	MDC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	—	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 26.69　ETNBnPIR レジスタの内容

ビット位置	ビット名	機能
31～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	MDI	MII マネジメントデータインビット ETNBnMDIO 端子のレベルを示します。
2	MDO	MII マネジメントデータアウトビット ETNBnMDIO 端子より出力するデータを格納します。
1	MMD	MII マネジメントモードビット 0：リード方向を規定 1：ライト方向を規定
0	MDC	MII マネジメントデータクロックビット 本ビットに設定された値を ETNBnMDC 端子より出力し、MII マネジメントデータクロックを供給します。

MDI：MII マネジメントデータインビット

ETNBnMDIO 端子のレベルを示します。

MDO：MII マネジメントデータアウトビット

ETNBnMDIO 端子より出力するデータを格納します。
ETNBnMDIO 端子は、MMD ビットが“1”（ライト方向を規定）のときに出力します。MMD ビットが“0”（リード方向を規定）のときには出力しません。

MMD：MII マネジメントモードビット

MDIO のデータのリード／ライト方向を規定します。

MDC：MII マネジメントデータクロックビット

本ビットに設定された値を ETNBnMDC 端子より出力し、MII へのマネジメントデータクロックを供給します。MII レジスタへのアクセス方法については、「**26.4.12 PHY-LSI との接続**」を参照してください。

26.3.53　ETNBnPLSR ― PHY LINK ステータスレジスタ

ETNBnPLSR レジスタは、PHY の LINK 端子の状態を確認できるレジスタです。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　<ETNBn_base> + 0528_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LINK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 26.70　ETNBnPLSR レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。
0	LINK	ETNBnLINK 端子の状態がリードできます。

26.3.54　ETNBnAPFTP — 自動 PAUSE フレーム時間パラメータ レジスタ

ETNBnAPFTP レジスタは自動的に生成された PAUSE フレームの時間パラメータ値を設定するために使用されます。

PAUSE フレームが自動的に送信される場合は、本レジスタの設定値を時間パラメータとして使用します。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<ETNBn_base> + 0554_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	APFTP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.71　ETNBnAPFTP レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15～0	APFTP[15:0]	自動 PAUSE フレーム時間パラメータビット 自動 PAUSE フレームの時間パラメータ値を設定します。注 1、注 2 0000_H：設定禁止 0001_H：1×512 ビット時間 0002_H：2×512 ビット時間 ： $FFFF_H$：65535×512 ビット時間

注1.　1 ビット時間は、以下に示すように、転送速度と相対して変化します。
100Mbps 時：1 ビット時間＝10ns
10Mbps 時：1 ビット時間＝100ns

注2.　E-MAC モードレジスタの送信系フロー制御動作モードビット(ETNBnECMR.TXF)を“1”に設定する場合、本レジスタの値を $0000\ 0000_H$ 以外に設定してください。

APFTP[15:0]：自動 PAUSE フレーム時間パラメータビット

本ビットは、自動 PAUSE フレーム送信のための時間パラメータ値を設定します。
設定値の単位は、512 ビット時間です。

26.3.55　ETNBnMPR ― 手動 PAUSE フレームレジスタ

ETNBnMPR レジスタは、手動で生成される PAUSE フレームの時間パラメータ値を設定するレジスタです。手動 PAUSE フレームを送信するときに、本レジスタに設定した値を PAUSE フレームの時間パラメータとして使用します。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	<ETNBn_base> + 0558_H
リセット後の値	$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.72　ETNBnMPR レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15～0	MP[15:0]	手動 PAUSE ビット 手動 PAUSE フレームの時間パラメータ値を設定します。注1 0000_H：設定禁止 0001_H：1×512 ビット時間 0002_H：2×512 ビット時間 : $FFFF_H$：65535×512 ビット時間

注1.　1 ビット時間は、以下に示すように、転送速度と相対して変化します。
100Mbps 時：1 ビット時間＝10ns
10Mbps 時：1 ビット時間＝100ns

MP[15:0]：手動 PAUSE ビット

手動 PAUSE フレームの時間パラメータ値を設定します。
設定値の単位は、512 ビット時間です。

26.3.56　ETNBnPFTCR ― PAUSE フレーム送信カウンタ

ETNBnPFTCR レジスタは、PAUSE フレームの送信カウンタです。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　<ETNBn_base> + $055C_H$

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFTXC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 26.73　ETNBnPFTCR レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。
15～0	PFTXC[15:0]	PAUSE フレーム送信回数ビット 送信された PAUSE フレーム数を示します。

PFTXC[15:0]：PAUSE フレーム送信回数ビット

本ビットは、（手動または自動で）送信された PAUSE フレームの合計数を示します。
本ビットは読み出し時に“0”へクリアされます。
カウントアップとカウントクリアが同時の場合、カウントクリアが優先されます。

26.3.57　ETNBnPFRCR ― PAUSE フレーム受信カウンタ

ETNBnPFRCR レジスタは、PAUSE フレームの受信カウンタです。

アクセス	32 ビット単位でリードのみ可能です。
アドレス	<ETNBn_base> + 0560_H
リセット後の値	$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFRXC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 26.74　ETNBnPFRCR レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。
15～0	PFRXC[15:0]	PAUSE フレーム受信回数ビット 受信された PAUSE フレーム数のカウンタ

PFRXC[15:0]：PAUSE フレーム受信回数ビット

受信時のフロー制御機能有効（ETNBnECMR.RXF＝1）時、PAUSE フレームを受信した回数を示します。
本ビットは読み出し時に“0”へクリアされます。
カウントアップとカウントクリアが同時の場合、カウントクリアが優先されます。

26.3.58　ETNBnMAHR ― MAC アドレス上位設定レジスタ

ETNBnMAHR レジスタは、48 ビットの MAC アドレスの上位 32 ビットを設定するレジスタです。通常、ETNBnMAHR レジスタの設定は、リセット後の初期設定時に行います。

本レジスタは、送信および受信機能が有効な状態（E-MAC モードレジスタ受信許可ビット（ETNBnECMR.RE）が “1” か送信許可ビット（ETNBnECMR.TE）が “1” の状態）で書き換えることを禁止します。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<ETNBn_base> + 05C0$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MA[47:32]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.75　ETNBnMAHR レジスタの内容

ビット位置	ビット名	機能
31～0	MA[47:16]	MAC アドレス 47～16 ビット MAC アドレスの上位 32 ビットを設定します

MA[47:16]：MAC アドレス 47～16 ビット

MAC アドレスの上位 32 ビットを設定します。
MAC アドレスが 01-23-45-67-89-AB（16 進数表示）である場合、本ビットには、0123 4567$_H$ を設定します。

26.3.59 ETNBnMALR ― MAC アドレス下位設定レジスタ

ETNBnMALR レジスタは、48 ビットの MAC アドレスの下位 16 ビットを設定するレジスタです。通常、ETNBnMALR レジスタの設定は、リセット後の初期設定時に行います。

本レジスタは、送信および受信機能が有効な状態（E-MAC モードレジスタ受信許可ビット(ETNBnECMR.RE)が“1”か送信許可ビット(ETNBnECMR.TE)が“1”の状態）で書き換えることを禁止します。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ETNBn_base> + $05C8_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.76 ETNBnMALR レジスタの内容

ビット位置	ビット名	機能
31〜16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15〜0	MA[15:0]	MAC アドレス 15〜0 ビット MAC アドレスの下位 16 ビットを設定します

MA[15:0]：MAC アドレス 15〜0 ビット

MAC アドレスの下位 16 ビットを設定します。
MAC アドレスが 01-23-45-67-89-AB（16 進数表示）である場合、本ビットには、$89AB_H$ を設定します。

26.3.60　ETNBnTROCR — 送信リトライオーバカウンタレジスタ

本製品では、半二重通信モードを非サポートのため、このレジスタをサポートしていません。

リセット後の値から変更しないでください。

ETNBnTROCR レジスタは、最初の試みと再試行を含む 16 回の送信で、モジュールが送信することが出来なかったフレーム数を示すカウンタです。フレームを送信する 16 回の試みが失敗した場合、本レジスタは 1 インクリメントされます。本レジスタの値が 0000 $FFFF_H$ になるとカウントアップを停止します。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<ETNBn_base> + 0700_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TROC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.77　ETNBnTROCR レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15～0	TROC[15:0]	送信リトライオーバカウンタビット 最初の試みと再試行を含む 16 回の送信で、モジュールが送信することが出来なかったフレーム数を示します。

TROC[15:0]：送信リトライオーバカウンタビット

最初の試みと再試行を含む 16 回の送信で、モジュールが送信することが出来なかったフレーム数を示します。

E-MAC モードレジスタのカウンタクリアモードビット（ETNBnECMR.TRCCM）が 1 に設定されているとき、読み出し時に“0”へクリアされます。

ETNBnECMR.TRCCM＝0 のときは、本レジスタに任意の値を書き込むことで“0”にクリアされます。

26.3.61 ETNBnCDCR —遅延衝突検出カウンタ レジスタ

本製品では、半二重通信モードを非サポートのため、このレジスタをサポートしていません。

リセット後の値から変更しないでください。

ETNBnCDCR レジスタは、データの送信を開始した後、回線上で発生した遅延衝突数を示すカウンタです。本レジスタの値が 0000 FFFF$_H$ になるとカウントアップを停止します。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ETNBn_base> + 0708$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	COSDC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.78 ETNBnCDCR レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15～0	COSDC[15:0]	遅延衝突検出カウンタビット データの送信を開始した後に発生した遅延衝突数を示します。

COSDC[15:0]：遅延衝突検出カウンタビット

データの送信を開始した後に発生した遅延衝突数を示します。
E-MAC モードレジスタのカウンタクリアモードビット（ETNBnECMR.TRCCM）が 1 に設定されているとき、読み出し時に“0”へクリアされます。
ETNBnECMR.TRCCM＝0 のときは、本レジスタに任意の値を書き込むことで“0”にクリアされます。

26.3.62　ETNBnLCCR ― ロストキャリアカウンタレジスタ

本製品では、半二重通信モードを非サポートのため、このレジスタをサポートしていません。

リセット後の値から変更しないでください。

ETNBnLCCR レジスタは、データ送信中にロストしたキャリア数を示すカウンタです。本レジスタの値が 0000 $FFFF_H$ になるとカウントアップを停止します。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<ETNBn_base> + 0710_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LCC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.79　ETNBnLCCR レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15～0	LCC[15:0]	ロストキャリアカウンタビット データ送信中にロストしたキャリア数を示します。

LCC[15:0]：ロストキャリアカウンタビット

データ送信中にロストしたキャリア数を示します。

E-MAC モードレジスタのカウンタクリアモードビット（ETNBnECMR.TRCCM）が 1 に設定されているとき、読み出し時に“0”へクリアされます。

ETNBnECMR.TRCCM＝0 のときは、本レジスタに任意の値を書き込むことで“0”にクリアされます。

26.3.63 ETNBnCEFCR — CRC エラーフレーム受信カウンタレジスタ

ETNBnCEFCR レジスタは、CRC エラーとなったフレームの受信回数を示すカウンタです。本レジスタの値が 0000 $FFFF_H$ になるとカウントアップを停止します。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <ETNBn_base> + 0740_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CEFC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.80 ETNBnCEFCR レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15～0	CEFC[15:0]	CRC エラーフレームカウントビット CRC エラーとなったフレームの受信回数を示します。

CEFC[15:0]：CRC エラー受信フレームカウンタビット

CRC エラーとなったフレームの受信回数を示します。
E-MAC モードレジスタのカウンタクリアモードビット（ETNBnECMR.TRCCM）が 1 に設定されているとき、読み出し時に“0”へクリアされます。
ETNBnECMR.TRCCM＝0 のとき、本レジスタに任意の値を書き込むことで“0”にクリアされます。

26.3.64 ETNBnFRECR ― フレーム受信エラーカウンタレジスタ

ETNBnFRECR レジスタは、PHY-LSI から ETNBnRXERR 端子への入力によりフレーム受信エラーとなった回数を示すカウンタです。本レジスタの値が 0000 $FFFF_H$ になるとカウントアップを停止します。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<ETNBn_base> + 0748_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FREC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.81　ETNBnFRECR レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15～0	FREC[15:0]	フレーム受信エラーカウントビット フレームを受信中にエラーとなった回数を示します。

FREC[15:0]：フレーム受信エラーカウンタビット

フレームを受信中にエラーとなった回数を示します。

E-MAC モードレジスタのカウンタクリアモードビット（ETNBnECMR.TRCCM）が 1 に設定されているとき、読み出し時に“0”へクリアされます。

ETNBnECMR.TRCCM＝0 のとき、本レジスタに任意の値を書き込むことで“0”にクリアされます。

26.3.65 ETNBnTSFRCR — トゥーショートフレーム受信カウンタレジスタ

ETNBnTSFRCR レジスタは、64 バイト未満のフレームを受信した回数を示すカウンタです。本レジスタの値が 0000 $FFFF_H$ になるとカウントアップを停止します。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	<ETNBn_base> + 0750_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSFRC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.82　ETNBnTSFRCR レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15～0	TSFRC[15:0]	トゥーショートフレーム受信カウンタビット 64 バイト未満のフレームを受信した回数を示します。

TSFRCR[15:0]：トゥーショートフレーム受信カウンタビット

64 バイト未満のフレームを受信した回数を示します。
E-MAC モードレジスタのカウンタクリアモードビット（ETNBnECMR.TRCCM）が 1 に設定されているとき、読み出し時に“0”へクリアされます。
ETNBnECMR.TRCCM＝0 のとき、本レジスタに任意の値を書き込むことで“0”にクリアされます。

26.3.66 ETNBnTLFRCR — トゥーロングフレーム受信カウンタレジスタ

ETNBnTLFRCR レジスタは、受信フレーム長レジスタ（ETNBnRFLR）で指定した値を超えるフレームを受信した回数を示すカウンタです。本レジスタの値が 0000 $FFFF_H$ になるとカウントアップを停止します。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<ETNBn_base> + 0758_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TLFC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.83　ETNBnTLFRCR レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15～0	TLFC[15:0]	トゥーロングフレーム受信カウンタビット 受信フレーム長レジスタ（ETNBnRFLR）で指定した値を超えるフレームを受信した回数を示します。

TLFRCR[15:0]：トゥーロングフレーム受信カウンタビット

受信フレーム長レジスタ（ETNBnRFLR）で指定した値を超えるフレームを受信した回数を示します。
E-MAC モードレジスタのカウンタクリアモードビット（ETNBnECMR.TRCCM）が 1 に設定されているとき、読み出し時に“0”へクリアされます。
ETNBnECMR.TRCCM＝0 のとき、本レジスタに任意の値を書き込むことで“0”にクリアされます。

26.3.67　ETNBnRFCR — 端数ビットフレーム受信カウンタレジスタ

ETNBnRFCR レジスタは、8 ビットに満たない端数ビットデータを含むフレームを受信した回数を示すカウンタです。本レジスタの値が 0000 FFFF$_H$ になるとカウントアップを停止します。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<ETNBn_base> + 0760$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.84　ETNBnRFCR レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15～0	RFC[15:0]	端数ビットフレーム受信カウンタビット 端数ビットデータを含むフレームを受信した回数を示します。

RFC[15:0]：端数ビットフレーム受信カウンタビット

端数ビットデータを含むフレームを受信した回数を示します。

E-MAC モードレジスタのカウンタクリアモードビット（ETNBnECMR.TRCCM）が 1 に設定されているとき、読み出し時に“0”へクリアされます。

ETNBnECMR.TRCCM＝0 のとき、本レジスタに任意の値を書き込むことで“0”にクリアされます。

26.3.68 ETNBnMAFCR — マルチキャストアドレスフレーム受信カウンタレジスタ

ETNBnMAFCR レジスタは、マルチキャストアドレスを指定するフレームを受信した回数を示すカウンタです。本レジスタの値が 0000 $FFFF_H$ になるとカウントアップを停止します。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	<ETNBn_base> + 0778_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MAFC [15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 26.85　ETNBnMAFCR レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15～0	MAFC[15:0]	マルチキャストアドレスフレームカウンタビット マルチキャストフレームを受信した回数を示します。

MAFC[15:0]：マルチキャストアドレスフレームカウンタビット

マルチキャストフレームを受信した回数を示します。
E-MAC モードレジスタのカウンタクリアモードビット（ETNBnECMR.TRCCM）が 1 に設定されているとき、読み出し時に“0”へクリアされます。
ETNBnECMR.TRCCM＝0 のとき、本レジスタに任意の値を書き込むことで“0”にクリアされます。

26.3.69　ETNBnIFCTL —通信インタフェース制御レジスタ

ETNBnIFCTL レジスタは、通信インタフェースを設定します。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<ETNBn_base> + 1000_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IFS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 26.86　ETNBnIFCTL レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	IFS	通信インタフェースを選択します。 0：MII モード 1：設定禁止

26.4　動作説明

Ethernet AVB は、以下の機能から構成されています。

- DMA 転送制御部（AVB-DMAC）：URAM 上の送信／受信データ格納エリアと送信／受信 FIFO バッファ間の DMA 転送処理
- MAC 制御部（E-MAC）：送信／受信 FIFO バッファと MII 間の転送処理

AVB-DMAC は、内蔵されているダイレクトメモリアクセス（DMA）機能を使用し、URAM 上の送信／受信用の Ethernet フレームデータの格納先と送信／受信 FIFO バッファとの間でフレームデータの転送を行います。直接、FIFO バッファのデータを読み書きすることはできません。

AVB-DMAC が DMA 転送を行うためには、ディスクリプタという送信／受信データの格納アドレスが書かれた情報が必要になります。AVB-DMAC には、ディスクリプタに書かれた情報にしたがって送信データを送信データ格納エリアから読み出す、あるいは受信データを受信データ格納エリアへ書き込みます。このディスクリプタは、URAM 上に配置してください。ディスクリプタを複数個並べ、ディスクリプタをリスト化することによって、複数の Ethernet フレームデータの送信／受信を連続的に行うことができます。

E-MAC は、外部に接続する PHI-LSI とのインタフェースフォーマットとして、MII をサポートしています。送信 FIFO に書き込まれたデータから Ethernet フレームを構成し、MII へ送信します。また、MII から受信した Ethernet フレームの CRC チェックを行ったあと、フレームを受信 FIFO に書き込みます。

26.4.1 AVB-DMAC 動作モード

AVB-DMAC の動作モードを「**図 26.5 AVB-DMAC の動作モード**」に示します。

AVB-DMAC の動作モードは、以下の制御により移行します。

- CPU の動作モード（HW リセット）
- AVB-DMAC モードレジスタの動作モード設定ビット（ETNBnCCC.OPC）設定

現在の動作モードは、AVB-DMAC ステータスレジスタの動作モードステータスビット（ETNBnCSR.OPS）によって判別可能です。

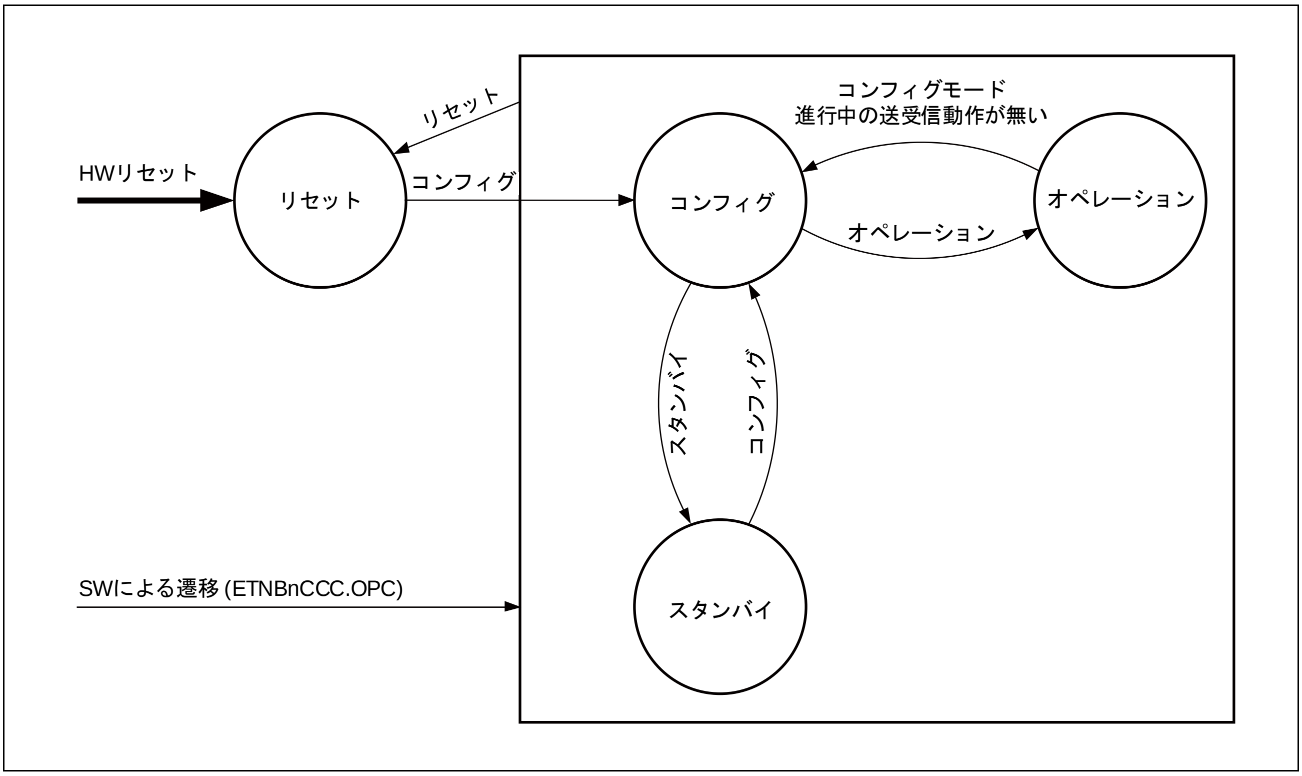


図 26.5 AVB-DMAC の動作モード

26.4.1.1　動作モード説明

(1) リセットモード

HW リセット後、AVB-DMAC はリセットモードになります。
リセットモード時は、AVB-DMAC 動作モード制御機能のみ制御可能で、ほかの機能はすべて停止しています。このモードは、Ethernet 機能を必要としないときの低消費電力モードを目的としています。

備　考

リセットモードへの遷移時、ETNBnIFCTL レジスタを除くすべてのレジスタはリセット値となります。

(2) コンフィグモード

コンフィグモード時は、AVB-DMAC の各種設定を行うことができます。
動作機能は停止し、すべてのステータスレジスタはリセット値となります。
コンフィグモードでは、E-MAC は機能します。

(3) オペレーションモード

オペレーションモード時は、AVB-DMAC の全機能が動作可能です。
オペレーションモードのみ、Ethernet 通信使用可能です。
オペレーションモード時、E-MAC の再設定は行わないでください。

(4) スタンバイモード

スタンバイモード時は、E-MAC は動作モードの制御のためだけに使用することができます。
ほかの機能は使用できません。

26.4.1.2　動作モード設定方法

AVB-DMAC モードレジスタの動作モード設定ビット（ETNBnCCC.OPC）を設定することで動作モード設定します。また、AVB-DMAC ステータスレジスタの動作モードステータスビット（ETNBnCSR.OPS）を読み込むことにより、現在の動作モードを確認できます。

オペレーションモードからコンフィグモードへの移行以外は、動作モード設定ビット（ETNBnCCC.OPC）へ書き込んだ直後にモード移行します。（「**図 26.6 動作モード移行フロー（オペレーションモードからコンフィグモード以外）**」）

オペレーションモードからコンフィグモードへの移行は、コンフィグモードへの移行前に処理中のすべての送受信が実行されるため、「**図 26.7 動作モード移行フロー（オペレーションモードからコンフィグモード）**」のような手順で実施してください。

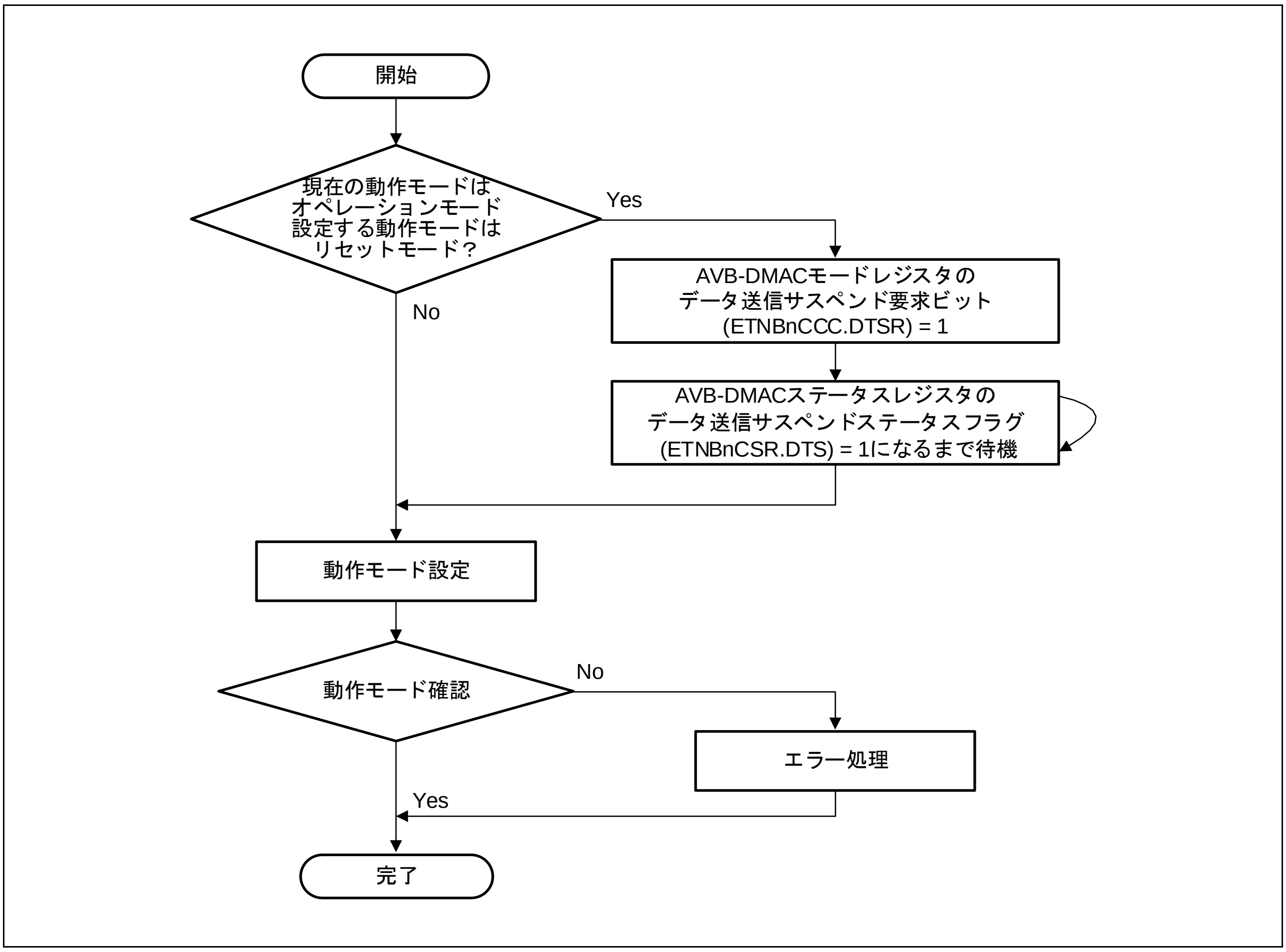


図 26.6　動作モード移行フロー（オペレーションモードからコンフィグモード以外）

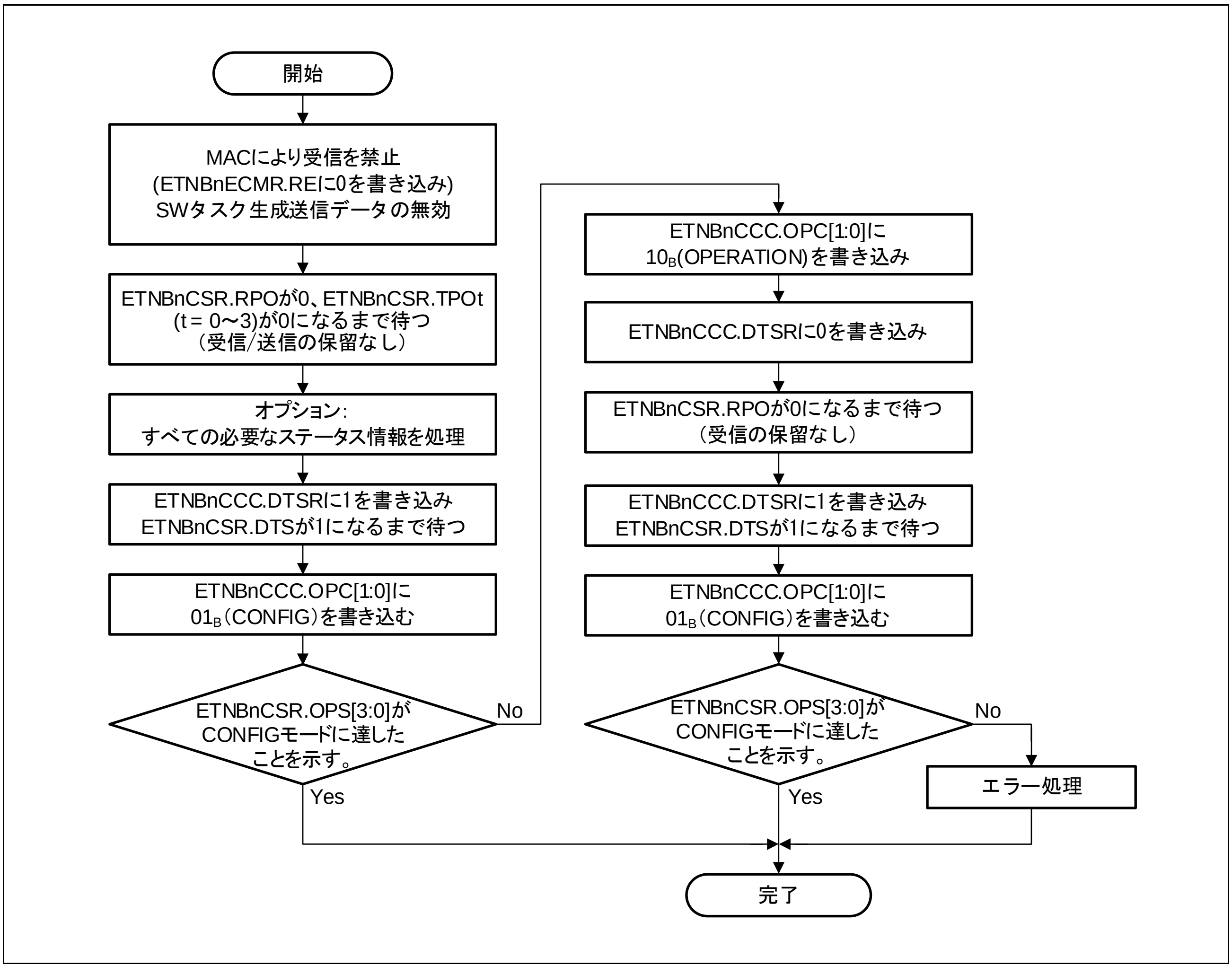


図 26.7　　動作モード移行フロー（オペレーションモードからコンフィグモード）

オペレーションモードからコンフィグモードへの移行時には、移行完了までに、AVB-DMAC が以下の動作を実行します。AVB-DMAC ステータスレジスタの動作モードステータスビット（ETNBnCSR.OPS）を読み込み、コンフィグモードへの移行が完了していることを確認してください。

- 受信 FIFO と URAM 間の、処理中フレーム転送を完了させる。
  （受信 FIFO にある残りの受信フレームと、これ以降に E-MAC より受信されるフレームは破棄されます）
- URAM と送信 FIFO 間の、処理中フレーム転送を完了させる。
  （URAM 内の残りの送信フレームは送信されません）
- 送信 FIFO 内のすべての送信フレームは、E-MAC に転送される。

注　意

動作モードがコンフィグモードになると、すべてのステータスレジスタがクリアされます。
以下のステップで動作モードを移行させることを推奨します。

1. 受信無効にする。
2. 受信無効の設定を行ってから、実際に受信が停止するまでに時間がかかるため、最大受信パケット長分、待機する。
3. 送信データを生成している SW タスクを停止させる。

4. AVB-DMAC ステータスレジスタの受信プロセスステータスビット（ETNBnCSR.RPO）と送信プロセスステータスビット（ETNBnCSR.TPO0～3）が 0 になるまで待機する。
5. 必要なステータス情報をすべて取得する。
6. AVB-DMAC モードレジスタの動作モード設定ビット（ETNBnCCC.OPC）を設定し、コンフィグモードに移行させる。

26.4.1.3　HW による動作モード移行

AVB-DMAC の動作モードは、以下の HW 要因による影響を受け、移行処理が行われます。

(1) HW リセット

LSI がリセットされた場合、Ethernet AVB 全体もリセットされます。動作モードはリセットモードに移行します。

26.4.2　送受信共通制御

26.4.2.1　初期化処理

「**図 26.8 初期化手順概要**」に全体的な初期化手順概要を示します。

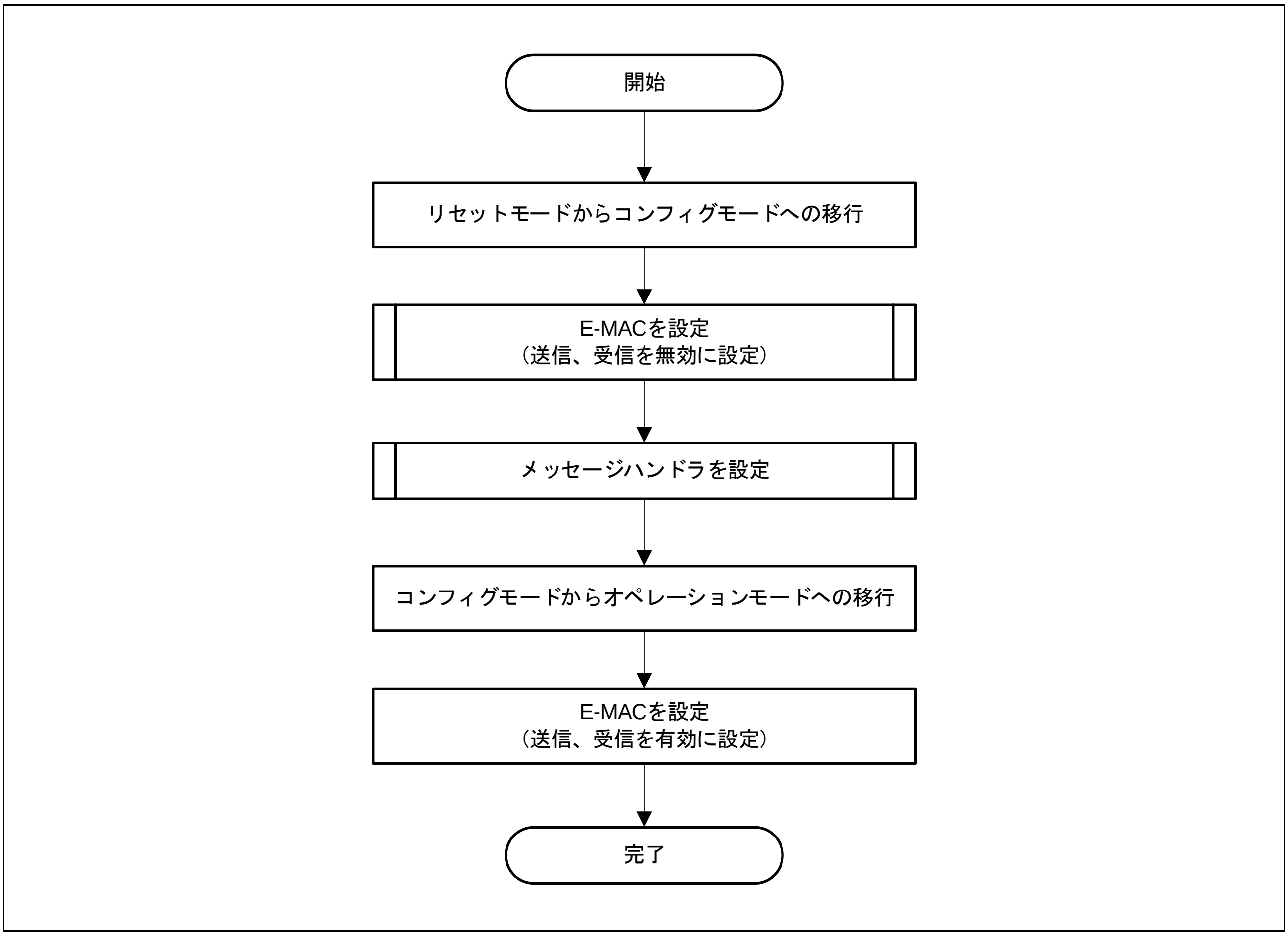


図 26.8　初期化手順概要

(1) 受信部の初期化

受信を開始する前に、以下の処理を実施してください。

動作モードをオペレーションモードまたはスタンバイモードにし、AVB-DMAC の設定が完了するまで、受信を許可しないようにしてください。

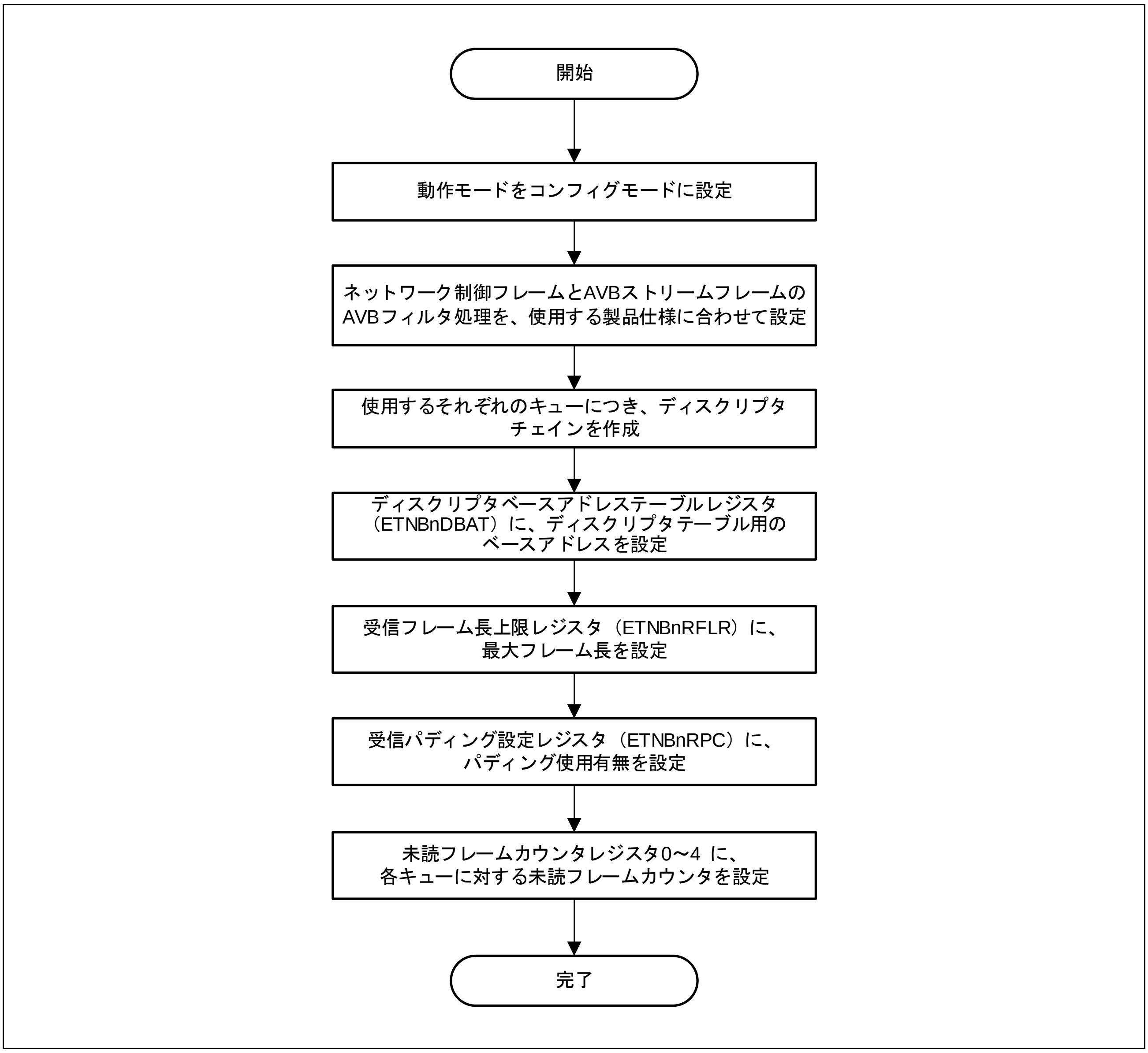


図 26.9 受信部の初期化手順

(2) 送信部の初期化

送信部の初期化を、「**図 26.10 送信部の初期化手順**」に示します。

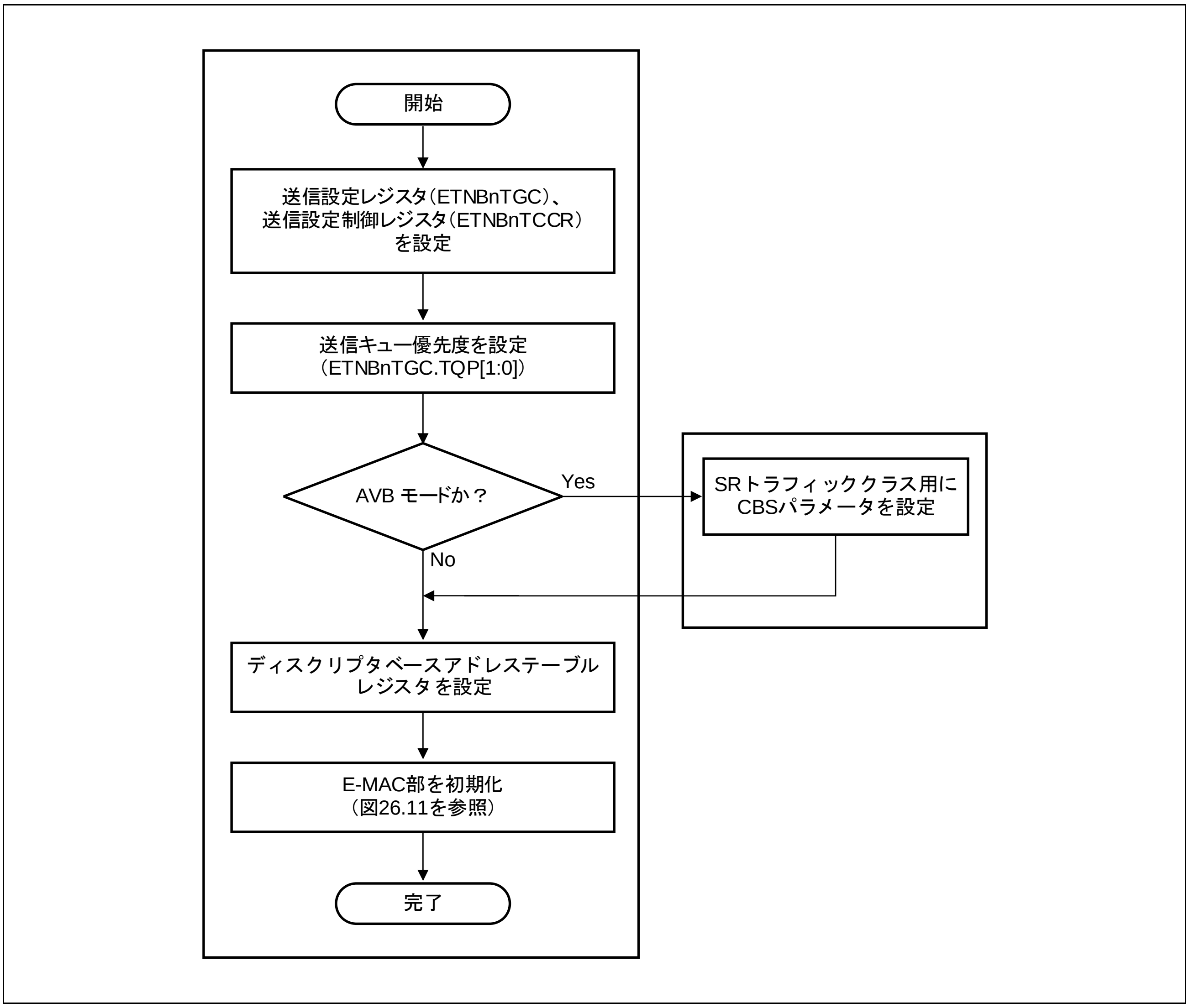


図 26.10　送信部の初期化手順

(3) E-MAC 部の設定

E-MAC 部の設定を、「**図 26.11 E-MAC 部の設定手順**」に示します。

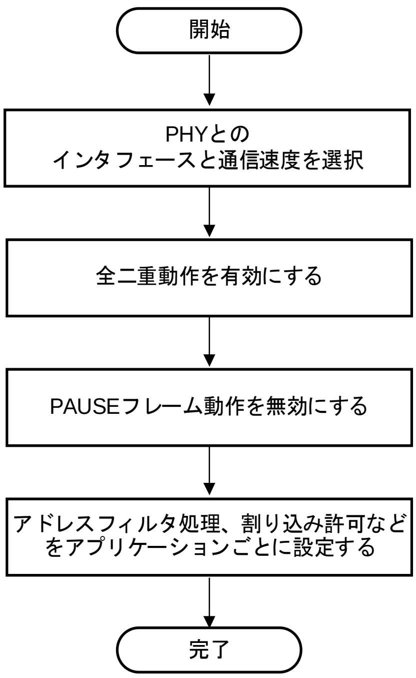


図 26.11　E-MAC 部の設定手順

(4) メッセージハンドラ部の設定

メッセージハンドラ部の設定を、「**図 26.12 メッセージハンドラ部の設定**」に示します。

ディスクリプタの設定や CBS のトラフィック形成パラメータ設定は、「**26.4.3 ディスクリプタ**」、「**26.4.6 CBS（Credit-Based Shaping）**」を参照してください。

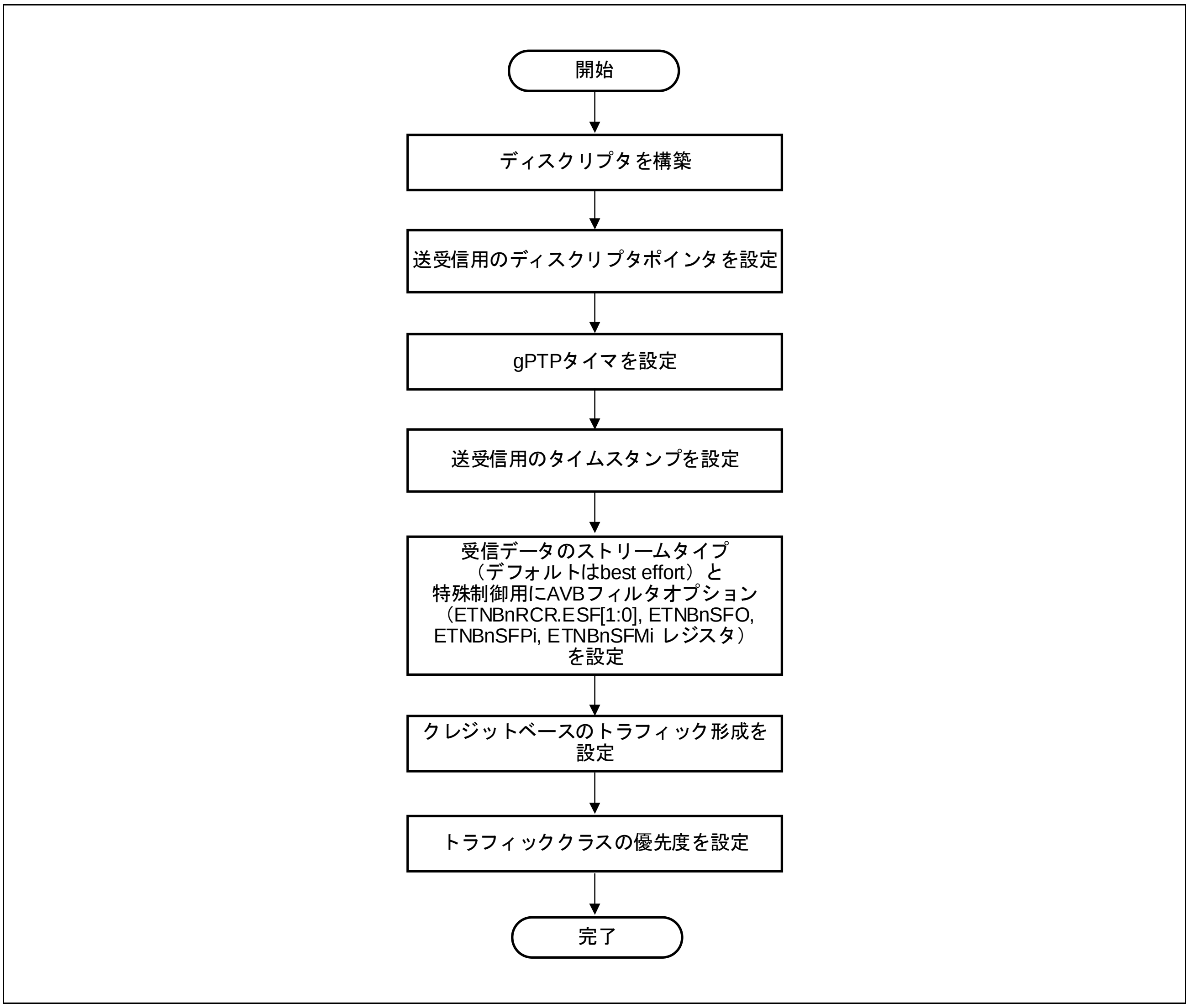


図 26.12　メッセージハンドラ部の設定

26.4.2.2 スケジューリングの送受信

AVB-DMAC は通常、送受信用の独立したバスを持っています。さらに、フェッチ、格納、送信および受信の 4 つのプロセスは、基本的にそれぞれ独立しています。しかし、フェッチと格納は、同じバスマスタを共有しているので、同時に実行することが出来ません。バスマスタへのアクセスは、スケジューラによって制御します。

「**図 26.13 送受信時の AVB-DMAC 動作の概略**」は、送受信時の AVB-DMAC 動作の概略を示します。

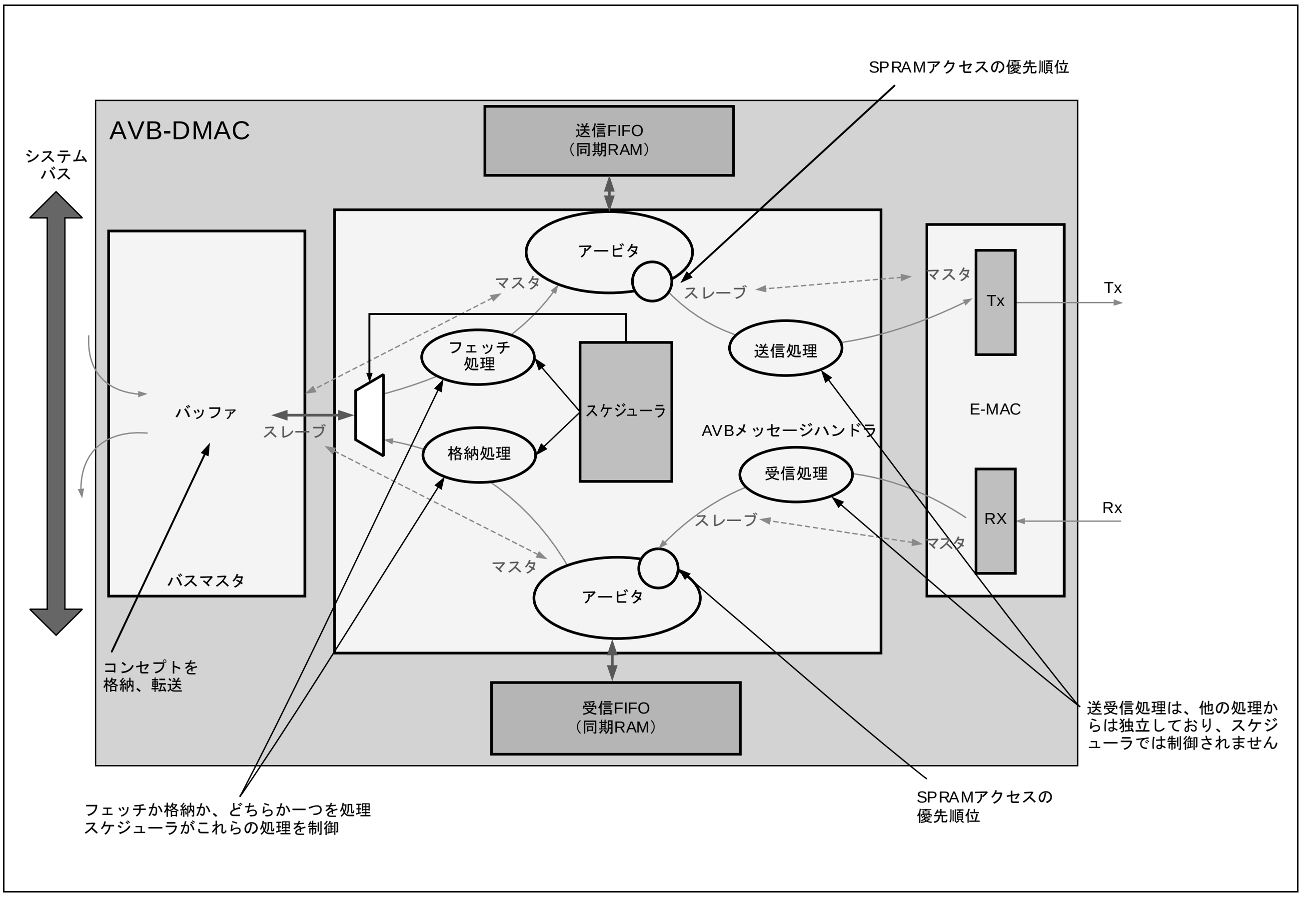


図 26.13 送受信時の AVB-DMAC 動作の概略

格納とフェッチが交互に行われます。受信 FIFO が保持しているフレームの数が警告レベルに達すると、格納がフェッチよりも優先されます。

(1) 送信キュー番号とトラフィッククラスとの関係

フェッチ処理において、送信キューとトラフィッククラスとの関係は固定されており、送信設定レジスタの送信キュー優先度ビット（ETNBnTGC.TQP）で設定される優先度は影響しません。

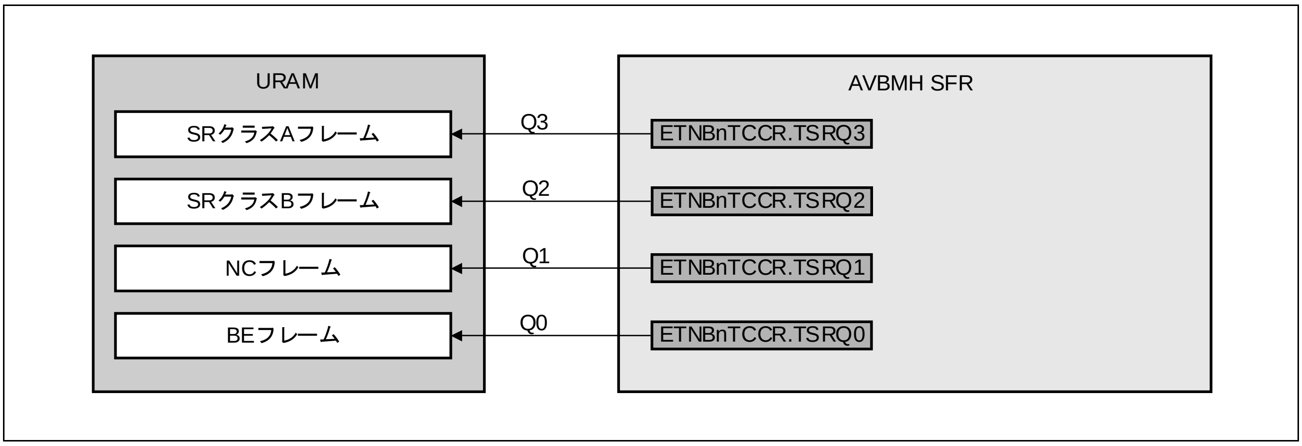


図 26.14 スケジューラ用キューのクラス関連付け

フェッチ処理では、Stream Class A と Class B に対するクレジット値は考慮していません。動作は、送信設定レジスタの送信 FIFO サイズ設定ビット（ETNBnTGC.TBDt）の設定値、送信 FIFO にフェッチ可能なフレーム量に依存します。

送信設定レジスタの送信キュー優先度ビット（ETNBnTGC.TQP）が“00_B”または“01_B”のとき、
優先度は Q3→Q2→Q1→Q0 の順となります。

送信設定レジスタの送信キュー優先度ビット（ETNBnTGC.TQP）が“11_B”のとき、
優先度は Q1→Q3→Q2→Q0 となります。

26.4.2.3　整合性チェック

AVB-DMAC では、Ethernet フレーム処理と受信／送信フレームデータ転送によるエラー検出と特定を行うことが可能です。

(1) 受信整合性チェックのコンセプト

受信整合性チェックの目的は、URAM にエラーフレームを格納することを防ぐことです。

もしエラーフレームが格納された場合は、URAM に対し、エラーフレームを識別するための情報を付加します。

注　意

受信の際にヘッダ／データ分離のために特別なディスクリプタチェインを使用する場合、シーケンスを壊すようなエラーが原因で、同期用の格納スペースが足りなくなる場合があります。その場合、SW インタラクションまたは、EOS ディスクリプタを介した再同期が必要です。

---

(2) 送信整合性チェックのコンセプト

送信整合性チェックの目的は、破損フレームの送信を防ぐことです。

E-MAC により送信開始されたフレームは停止したり無効にしたりすることができないため、送信整合性チェックは、フェッチ処理中に発生する問題を重点的に監視します。

(3) 送受信中の監視項目

(a) ディスクリプタリード時の URAM へのアクセスエラー

カレントディスクリプタアドレス（ETNBnCDARq.CDA）が変更されないため、同じディスクリプタが再度処理されてしまいます。

この問題が分割フレームで発生した場合、シーケンスが壊れている可能性があります。

- 受信の場合
  - 受信したフレームが失われます。
  - このキューへの次の受信データも、同じ問題が発生します。
- 送信の場合
  - 送信設定制御レジスタの送信開始要求ビット（ETNBnTCCR.TSRQt）が“0”になります。
  - フレームが送信 FIFO から失われます。

URAM からディスクリプタをリードしているときのアクセスエラーは、AXI-Bus の応答信号でのエラー検出です。

(b) アプリケーションによる不正なディスクリプタ設定

カレントディスクリプタアドレス（ETNBnCDARq.CDA）が変更されないため、同じディスクリプタが再度処理されてしまいます。

この問題が分割フレームで発生した場合、シーケンスが壊れている可能性があります。

- 受信の場合
  - 受信したフレームが失われます。
  - このキューへの次の受信データも、同じ問題が発生します。
- 送信の場合
  - 送信設定制御レジスタの送信開始要求ビット（ETNBnTCCR.TSRQt）が 0 になります。
  - フレームが送信 FIFO から失われます。

(c) URAM へディスクリプタ書き込み時のアクセスエラー

エラーなし時と同様、カレントディスクリプタアドレス（ETNBnCDARq.CDA）、送信設定制御レジスタの送信開始要求ビット（ETNBnTCCR.TSRQt）が更新されます。

DESCR.DT が更新されないため、HW／SW 同期が壊れている可能性があります。

URAM にディスクリプタを書き込み中のアクセスエラーは、AXI-Bus の応答信号でのエラー検出です。

(4) 受信中の監視項目

(a) URAM にデータやタイムスタンプをライトしているときのアクセスエラー

- エラーなし時と同様、カレントディスクリプタアドレス（ETNBnCDARq.CDA）が更新されます。
- 不正なコンテンツを示すために、DESCR.EI がセットされます。
- この問題が分割フレーム内で発生した場合、ディスクリプタシーケンスが壊れており、キューを使用できない可能性があります。

URAM にデータやタイムスタンプを書き込み中のアクセスエラーは、AXI-Bus の応答信号でのエラー検出です。

(b) 受信 FIFO リード時のアクセスエラー

- エラーなし時と同様、カレントディスクリプタアドレス（ETNBnCDARq.CDA）が更新されます。
- 不正なコンテンツを示すために、DESCR.EI がセットされます。
- この問題が分割フレーム内で発生した場合、ディスクリプタシーケンスが壊れており、キューを使用できない可能性があります。
- このタイプのエラーは、受信 FIFO のための ECC チェッカによって検出されます。

(c) 受信 FIFO 内のデータ破損

- 受信したフレームは、すべて無効になります。
- 受信 FIFO に格納されたすべてのフレームが破棄されます。このとき、破棄されたフレーム数やキューの情報を取得することができません。

受信 FIFO 内のデータ破損が、受信 FIFO によるエラーの場合、AVB-DMAC にて検出されます。

(5) 送信中の監視項目

(a) URAM からデータをリードしているときのアクセスエラー

- すでにフェッチされたデータは、送信 FIFO から破棄されます。
- FSINGLE、FEND ディスクリプタ処理中に本エラーが発生した場合：
  エラーなし時と同様、カレントディスクリプタアドレス（ETNBnCDARq.CDA）、送信設定制御レジスタの送信開始要求ビット（ETNBnTCCR.TSRQt）が更新されます。エラーフレームのあとは、フェッチ動作が再開されます。
- FSTART、FMID ディスクリプタ処理中に本エラーが発生した場合：
  - カレントディスクリプタアドレス（ETNBnCDARq.CDA）は更新されません。
  - 送信設定制御レジスタの送信開始要求ビット（ETNBnTCCR.TSRQt）が 0 にセットされます。

URAM からデータをリードしているときのアクセスエラーは、AXI-Bus の応答信号でのエラー検出です。

(b) 送信 FIFO オーバフロー

- エラーなし時と同様、カレントディスクリプタアドレス（ETNBnCDARq.CDA）、送信設定制御レジスタの送信開始要求ビット（ETNBnTCCR.TSRQt）が更新されます。エラーフレームのあとは、フェッチ動作が再開されます。
- フレームが送信 FIFO から破棄されます。

(c) 送信 FIFO リード時のアクセスエラー

AVB-DMAC は、送信 FIFO リード時のエラーを検出することができないため、破損したフレームを送信してしまいます。

このタイプのエラーは、送信 FIFO のための ECC チェッカによって検出されます。

(d) 送信中のフレームサイズエラー

- エラーなし時と同様、カレントディスクリプタアドレス（ETNBnCDARq.CDA）、送信設定制御レジスタの送信開始要求ビット（ETNBnTCCR.TSRQt）が更新されます。エラーフレームのあとは、フェッチ動作が再開されます。

送信フレームサイズエラーは、1 つまたは複数のディスクリプタ（分割フレームの場合）がフレーム送信に対し 1997 バイト以上を設定したときに検出されます。フレームは切り取られて送信されます。

(e) 送信 FIFO 内のデータ破損

- フェッチ処理は、破損による影響は受けません。
- 送信 FIFO 破損は、フレーム送信中にのみ検出されるため、予期しないフレームが送信されてしまう場合があります。

送信 FIFO 内のデータ破損が、送信 FIFO によるエラーの場合、AVB-DMAC にて検出されます。

26.4.3　ディスクリプタ

26.4.3.1　URAM でのデータ表現

AVB-DMAC は、アプリケーション SW との送受信データのやりとりを、URAM を介して行います。

AVB-DMAC が使用する URAM 内メモリには、ディスクリプタと呼ばれる制御構造と、そのフレームデータが配置されるエリアで構成されます。メモリを制御エリアとデータエリアに分割することで、URAM 内のフレームデータを柔軟に割り当てることが可能です。したがって、フレームデータの配置領域の共有や、非連続領域を利用することが可能です。CPU を介さずにフレームデータのコピーも可能です。AVB-DMAC を介さず、メモリ領域への HW／SW アクセスの確実なアービトレーションにも対応しています。

「**図 26.15 URAM メモリマップ例**」に、ディスクリプタ／ディスクリプタデータエリアの URAM 上のメモリマップ例を示します。

ディスクリプタは、当該ディスクリプタの機能を制御するディスクリプタタイプ（DESCR.DT）、フレームデータを格納しているディスクリプタエリア上の先頭アドレスを示すディスクリプタポインタ（DESCR.DPTR）、フレームデータのサイズを示すデータサイズ（DESCR.DS）で構成されます。それぞれのディスクリプタは、処理終了後に割り込みを発生することができます。割り込みの許可／禁止は、ディスクリプタ割り込み許可ビット（DESCR.DIE）で制御します。

ディスクリプタには、コンテンツ関連の情報も格納されている場合があります。この情報は、一般的なディスクリプタ機能には影響を与えません。受信ステータスなどのフレームデータ以外の情報を提供します。

詳細は、「**26.4.4.2 受信用ディスクリプタ設定手順**」、「**26.4.5.2 送信用ディスクリプタ設定手順**」を参照してください。

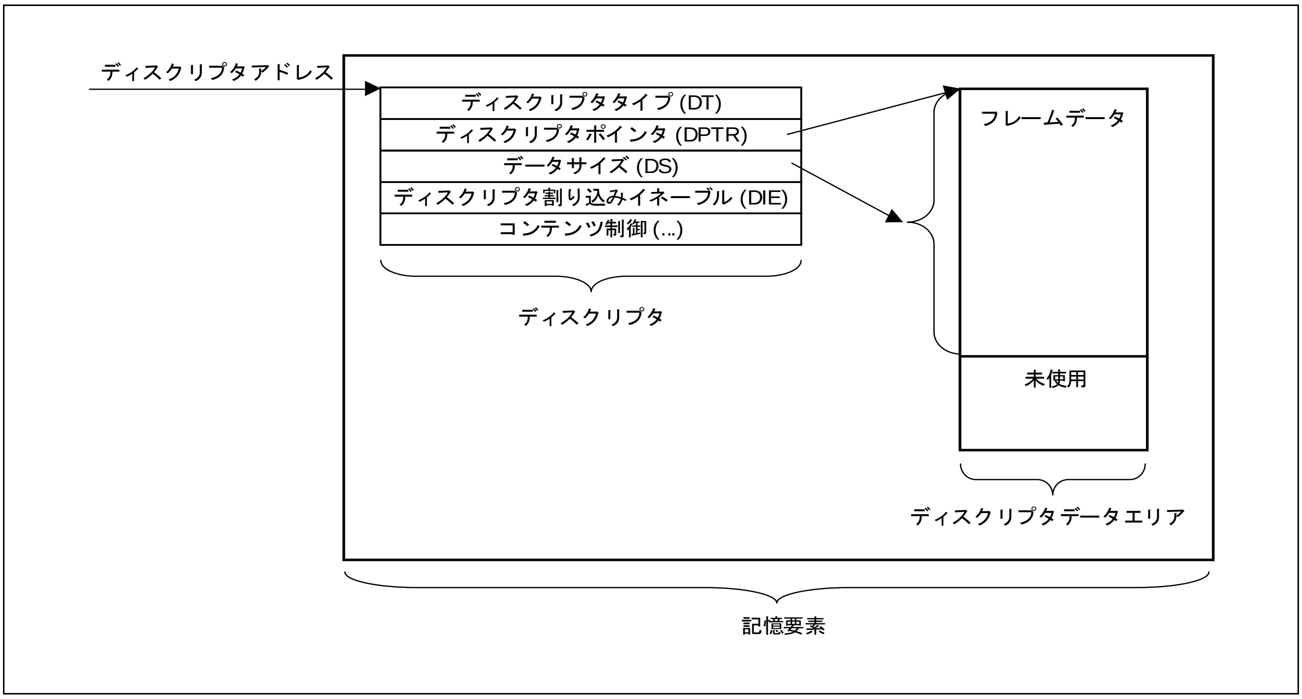


図 26.15　URAM メモリマップ例

ディスクリプタは、URAM 上に 32 ビットアライメントで配置してください。

通常のディスクリプタ構造は 64 ビットで構成されています。gPTP タイムスタンプの受信および格納が有効の場合は、160 ビットで構成されます。

フレームデータは、URAM 上に 32 ビットアライメントで配置してください。

フレームデータサイズは、データサイズ（DESCR.DS）で定義されます。受信時には、データサイズ（DESCR.DS）で定義した値が、受信可能な最大フレームサイズとなります。データサイズが、32 ビットアライメントでない場合、データエリアの残りのバイトは未使用バイトとなります。

注　意

AVB-DMAC は十分な領域がなくても、指定されたデータサイズのディスプリプタが示すデータ領域に格納します。

26.4.3.2 キューに使用するディスクリプタチェイン

URAM へ記載した送受信用ディスクリプタは、キューへグループ化されます。それぞれのキューは、フレームの取り扱いを、送信優先順位または受信分離として実現します。キューでは、1 つ以上のフレームを制御できる機能があります。したがって、一つのキューに対して、複数個のディスクリプタを割り当てることが可能です。複数個のディスクリプタを組み合わせたものを、ディスクリプタチェインと呼びます。

ディスクリプタチェインには、3 つのディスクリプタタイプが定義されています。ディスクリプタタイプの詳細については、「**26.4.3.6 ディスクリプタタイプ**」を参照してください。

- フレームデータを定義しているディスクリプタ
- ディスクリプタチェイン自体を制御するディスクリプタ（例：LINK、EOS）
- HW／SW よりアクセスをアービトレートするディスクリプタ

「**図 26.16 基本的なディスクリプタチェインの概要**」に示すように、2 つの基本的なディスクリプタチェインのトポロジが存在します。これらの簡単な例では、アレイにはチェインに割り当てられているすべてのディスクリプタが格納されています。

- 線形ディスクリプタチェインでは、アレイ内の最終ディスクリプタは、ディスクリプタの終わりを示す制御ディスクリプタ（例：EEMPTY）になります。
- 循環ディスクリプタチェインでは、アレイ内の最終ディスクリプタは、アレイの先頭のディスクリプタへと戻す制御ディスクリプタ（例：LINK）になります。

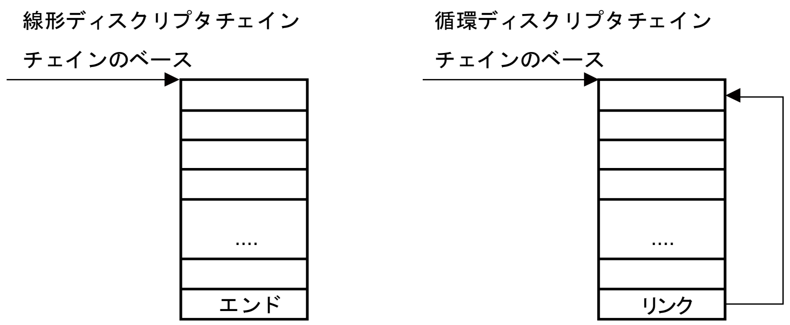


図 26.16 基本的なディスクリプタチェインの概要

キューとディスクリプタチェインとの関係は、チェインのベースアドレスによって定義されます。キューは、一度の処理で 1 つのディスクリプタチェインに接続されます。オペレーションモード中に異なるチェインへ切り替える方法もあります。

チェイン内のリンクディスクリプタの数や位置についての制限はありません。設計されたチェインの最終ディスクリプタによって、トポロジが決定します。

どのチェイン構造を使用し、どのトポロジが最適かは、アプリケーション仕様に依存します。「**26.4.4.2 受信用ディスクリプタ設定手順**」、「**26.4.5.2 送信用ディスクリプタ設定手順**」に、様々な状況に合わせたディスクリプタチェインの設計方法を記載しておりますので、参考にしてください。

26.4.3.3 ディスクリプタベースアドレステーブル

URAM に記載するベースアドレステーブルは、それぞれのキューの先頭のディスクリプタアドレスを設定してください。

エントリ 0～3 は、送信キュー0～3 にアクセスするために使用されます。後続のエントリは、受信キューにアクセスするために使用されます。エントリ 4 が受信キュー0 に対応しています。

ベースアドレステーブルのエントリ構成は、リンクディスクリプタの構成と同じです。ディスクリプタタイプ（DESCR.DT）LINKFIX を使用することを推奨いたします。このリンクディスクリプタは、ディスクリプタ処理後でも変化しないため、更新の必要はありません。チェインの先頭のディスクリプタが HW／SW 同期化を行います。アプリケーションが、ベースアドレス用に HW／SW 同期化を必要とした場合、ディスクリプタタイプ（DESCR.DT）LINK を使用してください。

CPU は、ベースアドレステーブルに位置するディスクリプタに対し、ディスクリプタタイプ（DESCR.DT）として、LINKFIX と LINK のみを使用することができます。

ベースアドレステーブルの URAM 上の位置は、ディスクリプタベースアドレステーブルレジスタ（ETNBnDBAT）を設定してください。

「**図 26.17 例：受信、送信キューのためのベースアドレステーブル**」に、例として、4 つの送信キューと 3 つの受信キューを制御するベースアドレステーブルを示します。右側のそれぞれのボックスは、任意のトポロジのディスクリプタチェインを表しています。

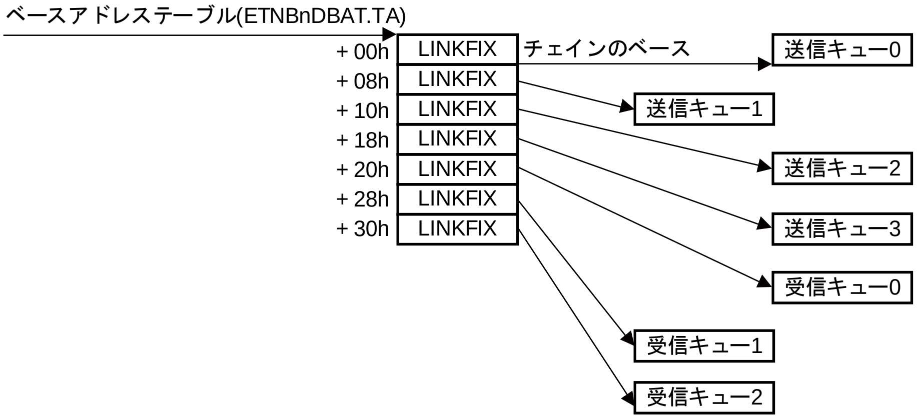


図 26.17 例：受信、送信キューのためのベースアドレステーブル

注 意

ベースアドレステーブル内のディスクリプタのサイズは、キュー自身が拡張ディスクリプタを使用していても、必ず 8 バイトになります。

26.4.3.4　ディスクリプタチェイン処理

現在処理中のディスクリプタや、ディスクリプタ用のキューがアクティブになると、処理予定のディスクリプタが、現在のディスクリプタとなります。キューq が使用する現在のディスクリプタアドレスは、カレントディスクリプタアドレスレジスタ q（ETNBnCDARq）で確認可能です。

カレントディスクリプタは、以下の状況で、以下のレジスタ、またはディスクリプタへ格納されます。

- 動作モードがオペレーションモードへ移行するとき、すべてのキューq に対する、ディスクリプタベースアドレステーブルレジスタ（ETNBnDBAT）（ETNBnDBAT.TA + 8 × q）に設定されます。
- キューq に対する、ディスクリプタベースアドレスロード要求レジスタのベースアドレスロード要求（ETNBnDLR.LBAq）が発行されたとき、ディスクリプタベースアドレステーブルレジスタ（ETNBnDBAT）（ETNBnDBAT.TA + 8 × q）に設定されます。
- リンクディスクリプタ（LINK,LINKFIX）を処理するとき、DESCR.DPTR に設定されます。

ディスクリプタが処理されたとき、同じキューのカレントディスクリプタは、キューで処理されるディスクリプタのサイズ分（通常ディスクリプタ：8 バイト、拡張ディスクリプタ：20 バイト）、インクリメントされます。AVB-DMAC はディスクリプタタイプを更新し、ディスクリプタが処理済みであることを、CPU に通知します。

26.4.3.5　　ディスクリプタ割り込み

各ディスクリプタは、処理後にディスクリプタ割り込みを発行することができます。ディスクリプタ割り込み許可ビット（DESCR.DIE）で、無効および生成するディスクリプタ割り込みを選択することができます。

ディスクリプタ割り込みは、受信と送信キュー間で共有されている共通のリソースです。ディスクリプタ割り込みを SW が制御することで、柔軟なアプリケーション専用のフラグ処理方式を可能にしています。

「**図 26.18 ディスクリプタ割り込み生成方式**」に、AVB-DMAC によるディスクリプタ割り込み（ディスクリプタ割り込みステータスレジスタ（ETNBnDIS.DPFi））の生成方式を示します。ディスクリプタ割り込み許可ビット（DESCR.DIE）に i を設定した場合、ディスクリプタ割り込みステータスレジスタ（ETNBnDIS.DPFi）がセットされます。

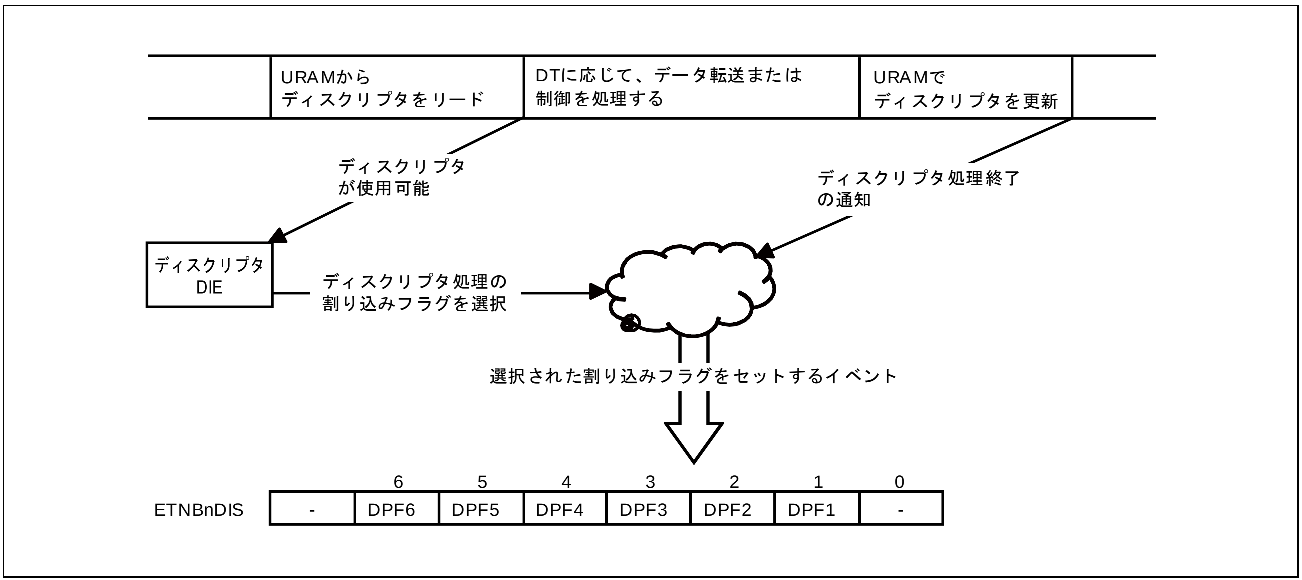


図 26.18　ディスクリプタ割り込み生成方式

26.4.3.6　ディスクリプタタイプ

AVB-DMAC でサポートするディスクリプタタイプ（DESCR.DT）には、以下の 3 つのカテゴリがあります。

- フレームデータを定義
- ディスクリプタチェインを制御
- HW／SW アービトレーション

「**表 26.87 ディスクリプタタイプ概要**」に、AVB-DMAC で使用できるディスクリプタタイプの概要を示します。名称の欄にディスクリプタタイプ名を、DT の欄にディスクリプタタイプ（DESCR.DT）に設定する値を示します。同一ディスクリプタでも送信と受信キューでは取り扱いが異なる場合もあるため、送信の欄、受信の欄に、使用範囲を記載しています。

送信、受信の欄では、以下の略称を使用しています。

SW の定義

- ディスクリプタは SW で処理されます。
- SW は、ディスクリプタおよびディスクリプタデータエリアへアクセス／修正することができます。
- このディスクリプタは、HW（AVB-DMAC）によって変更されません。

HW の定義

- ディスクリプタは HW（AVB-DMAC）で処理されます。
- SW はディスクリプタおよびディスクリプタデータエリアを修正しないでください。
- HW（AVB-DMAC）はこのディスクリプタを処理し、処理後にディスクリプタタイプを変更します。

無効

このディスクリプタタイプは、送信／受信に適用されません。ディスクリプタタイプ（DESCR.DT）に、この値を書き込まないでください。

HW は、このディスクリプタタイプを処理しません。キューが、本設定のディスクリプタタイプでも、カレントディスクリプタアドレス（ETNBnCDARq.CDA）は変更されません。

表 26.87 ディスクリプタタイプ概要

名称	DT	説明	受信	送信
フレームデータ				
FSTART	5	Frame Start ディスクリプタには有効なフレームデータが存在します。フレームはこのディスクリプタから開始し、次のディスクリプタへと続きます。	SW	HW
FMID	4	Frame Middle ディスクリプタには有効なフレームデータが存在します。フレームは前のディスクリプタより開始しており、次のディスクリプタへと続きます。	SW	HW
FEND	6	Frame End ディスクリプタには有効なフレームデータが存在します。フレームは前のディスクリプタより開始しており、このディスクリプタで終了する。	SW	HW
FSINGLE	7	Frame Single このディスクリプタには完全なフレームの有効なフレームデータが存在します。	SW	HW
チェイン制御				
LINK	8	Link チェインの次のディスクリプタを定義します。	HW	HW
LINKFIX	9	Fixed Link チェインの次のディスクリプタを定義します。処理後、AVB-DMAC によって変更されません。	SW	SW
EOS	10	End Of Set ディスクリプタを分割する要素を制御します。ユーザとの対話のため、チェインは停止し、待機します。	HW	HW
HW／SW アービトレーション				
FEMPTY	12	Frame Empty 有効なフレームデータのない、フレームデータ関連のディスクリプタ	HW	SW
FEMPTY_IS	13	Frame Empty Incremental Start 有効なフレームデータのない、フレームデータ関連のディスクリプタ DESCR.DPTR は、URAM のインクリメンタルデータエリアのベースアドレスを設定します。	HW	無効
FEMPTY_IC	14	Frame Empty Incremental Continue 有効なフレームデータのない、フレームデータ関連のディスクリプタ データは、URAM のインクリメンタルデータエリアに格納される。	HW	無効
FEMPTY_ND	15	Frame Empty No Data Storage 有効なフレームデータのない、フレームデータ関連のディスクリプタ FEMPTY と同様に処理されるが、URAM には格納されない。	HW	無効
LEMPTY	2	Link Empty AVB-DMAC によって処理されたリンクディスクリプタ	SW	SW
EEMPTY	3	EOS Empty AVB-DMAC によって処理された EOS ディスクリプタ	SW	SW
DT0	0	（予約ビット）	無効	無効
DT1	1	（予約ビット）	無効	無効
DT11	11	（予約ビット）	無効	無効

(1) URAM 内の一般的なディスクリプタのレイアウト

AVB-DMAC は処理後に、URAM のディスクリプタを更新します。送受信とキューモードに応じて、更新中にディスクリプタのどのフィールドが変更されるかが決まります。そのほかのフィールドに関しては変更されません。未使用のディスクリプタフィールド（図中では "—" と記載）に設定する値についての制限はありません。

(2) フレームデータディスクリプタ

フレームデータディスクリプタ（FSTART, FMID, FEND, FSINGLE）のビット配置図を以下に示します。

- 通常のディスクリプタ（受信と送信で使用）

	31–28	27–24	23–12	11–0
+0	DT[3:0]	DIE[3:0]	送受信用コンテンツ制御	DS[11:0]
+4	DPTR[31:0]			

- 拡張ディスクリプタ（受信のみで使用）

	31–28	27–24	23–12	11–0
+0	DT[3:0]	DIE[3:0]	送受信用コンテンツ制御	DS[11:0]
+4	DPTR[31:0]			
+8	TS[31:0]			
+12	TS[63:32]			
+16	— — — — (31–16 各ビット —)			TS[79:64] (15–0)

表 26.88 フレームデータディスクリプタ（DESCR）の内容

ビット名	機能
DT[3:0]	ディスクリプタタイプ 5：FSTART 4：FMID 6：FEND 7：FSINGLE 詳細は「**26.4.4.2 受信用ディスクリプタ設定手順**」、「**26.4.5.2 送信用ディスクリプタ設定手順**」参照
DIE[3:0]	ディスクリプタ割り込み許可 0000_B：ディスクリプタ割り込み無効 0001_B～1111_B：ディスクリプタ割り込み（ETNBnDIS.DPFi）生成
—	コンテンツ制御 詳細は「**26.4.4.2 受信用ディスクリプタ設定手順**」、「**26.4.5.2 送信用ディスクリプタ設定手順**」参照
DS[11:0]	データサイズ ディスクリプタデータエリア／フレームデータのサイズ（単位：バイト）
DPTR[31:0]	ディスクリプタポインタ ディスクリプタデータエリアへのポインタ 32 ビットアライメントで記載してください
TS[79:0]	タイムスタンプ 受信フレームのタイムスタンプ（拡張ディスクリプタのみ）

注 意

ディスクリプタポインタ（DESCR.DPTR）へは、32 ビットアライメントされたアドレスを記載してください。
TS[79:0]の上位予約ビットはタイムスタンプが格納されたら 0000_H になります。

(3) HW／SW アービトレーションディスクリプタ（受信のみ）

HW／SW アービトレーションディスクリプタ（FEMPTY, FEMPTY_IS, FEMPTY_IC, FEMPTY_ND）のビット配置図を以下に示します。

受信で使用する HW／SW アービトレーションディスクリプタのビット配置図は、フレームデータディスクリプタと同じです。

- 通常のディスクリプタ

	31–28	27–24	23–12	11–0
+0	DT[3:0]	DIE[3:0]	送受信用コンテンツ制御	DS[11:0]
+4	DPTR[31:0]			

- 拡張ディスクリプタ（受信のみで使用）

	31–28	27–24	23–16	15–12	11–0
+0	DT[3:0]	DIE[3:0]	送受信用コンテンツ制御		DS[11:0]
+4	DPTR[31:0]				
+6	TS[31:0]				
+12	TS[63:32]				
+16	— — — —	— — — —	— — — — — — — —	TS[79:64]	

表 26.89 HW／SW アービトレーションディスクリプタ（DESCR）の内容

ビット名	機能
DT[3:0]	ディスクリプタタイプ 12：FEMPTY 13：FEMPTY_IS 14：FEMPTY_IC 15：FEMPTY_ND 詳細は「**表 26.87 ディスクリプタタイプ概要**」を参照してください
DIE[3:0]	ディスクリプタ割り込み許可 0000_B：ディスクリプタ割り込み無効 0001_B～1111_B：ディスクリプタ割り込み（ETNBnDIS.DPFi）生成
—	コンテンツ制御 詳細は「**26.4.4.2 受信用ディスクリプタ設定手順**」、「**26.4.5.2 送信用ディスクリプタ設定手順**」参照
DS[11:0]	データサイズ ディスクリプタデータエリア／フレームデータのサイズ（単位：バイト）
DPTR[31:0]	ディスクリプタポインタ ディスクリプタデータエリアへのポインタ 32 ビットアライメントで記載してください
TS[79:0]	タイムスタンプ 受信フレームのタイムスタンプ（拡張ディスクリプタのみ）

注 意

ディスクリプタポインタ（DESCR.DPTR）へは、32 ビットアライメントされたアドレスを記載してください。
拡張ディスクリプタを使用している場合、ディスクリプタには未使用領域が 12 バイト存在します。

FEMPTY ディスクリプタには、ディスクリプタタイプ（DT）、ディスクリプタ割り込み許可（DIE）、データサイズ（DS）、ディスクリプタポインタ（DPTR）が使用されます。

FEMPTY_IS ディスクリプタには、ディスクリプタタイプ（DT）、ディスクリプタ割り込み許可（DIE）、ディスクリプタポインタ（DPTR）が使用されます。

FEMPTY_IC ディスクリプタには、ディスクリプタタイプ（DT）、ディスクリプタ割り込み許可（DIE）が使用されます。

FEMPTY_ND ディスクリプタには、ディスクリプタタイプ（DT）、ディスクリプタ割り込み許可（DIE）、データサイズ（DS）が使用されます。

(4) リンクディスクリプタ

リンクディスクリプタ（LINK, LINKFIX）のビット配置図を以下に示します。

- 通常のディスクリプタ

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
+0	DT[3:0]				DIE[3:0]				—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
+4	DPTR[31:0]																															

表 26.90 リンクディスクリプタ（DESCR）の内容

ビット名	機能
DT[3:0]	ディスクリプタタイプ 8：LINK 9：LINKFIX 詳細は「**表 26.87 ディスクリプタタイプ概要**」参照
DIE[3:0]	ディスクリプタ割り込み許可 0000_B：ディスクリプタ割り込み無効 0001_B～1111_B：ディスクリプタ割り込み（ETNBnDIS.DPFi）生成
—	コンテンツ制御 詳細は「**26.4.4.2 受信用ディスクリプタ設定手順**」、「**26.4.5.2 送信用ディスクリプタ設定手順**」参照
DPTR[31:0]	ディスクリプタポインタ ディスクリプタデータエリアへのポインタ 32 ビットアライメントで記載してください

注 意

ディスクリプタポインタ（DESCR.DPTR）へは、32 ビットアライメントされたアドレスを記載してください。
拡張ディスクリプタを使用している場合、ディスクリプタには未使用領域が 12 バイト存在します。

(5) そのほかのディスクリプタ

そのほかのディスクリプタ（EOS, FEMPTY（送信のみ）, LEMPTY, EEMPTY）のビット配置図を以下に示します。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
+0	DT[3:0]				DIE[3:0]				—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
+4	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

表 26.91 そのほかのディスクリプタ（DESCR）の内容

ビット名	機能
DT[3:0]	ディスクリプタタイプ 10：EOS 12：FEMPTY（送信のみ） 2：LEMPTY 3：EEMPTY 詳細は「**表 26.87 ディスクリプタタイプ概要**」参照
DIE[3:0]	ディスクリプタ割り込み許可 0000_B：ディスクリプタ割り込み無効 0001_B～1111_B：ディスクリプタ割り込み（ETNBnDIS.DPFi）生成

注 意

拡張ディスクリプタを使用している場合、ディスクリプタには未使用領域が 12 バイト存在します。

(6) フレームデータディスクリプタの使用方法

ディスクリプタデータエリアサイズ（DESCR.DS）は、1 つのデータエリアにつき、最大 2048 バイトまでの Ethernet フレームデータを格納することができます。2048 バイトを超えて設定することはできません。

一般的に、Ethernet フレームの長さは共通ではありません。フレームデータ用メモリ容量を最小限に抑えるため、AVB-DMAC にはフレームデータを複数のディスクリプタに分割する機能があります。この機能により、ディスクリプタデータエリアよりも長いフレームを処理することが可能です。さらに、フレームデータ構造に基づいて分割されたフレームにも対応可能です。

複数個のデータエリアに分割したフレームと、シングルフレームディスクリプタを処理するために、FSTART, FEND, FMID, FSINGLE の 4 種類のディスクリプタタイプ（DESCR.DT）が定義されています。

「**図 26.19 フレームデータのマッピング**」に、フレームデータディスクリプタによるフレームデータマッピングを示します。ディスクリプタデータエリアは、URAM 上に割り振ることができます。フレームが 4 つ以上に分割されている場合、追加の FMID を追加することにより、対応することができます。

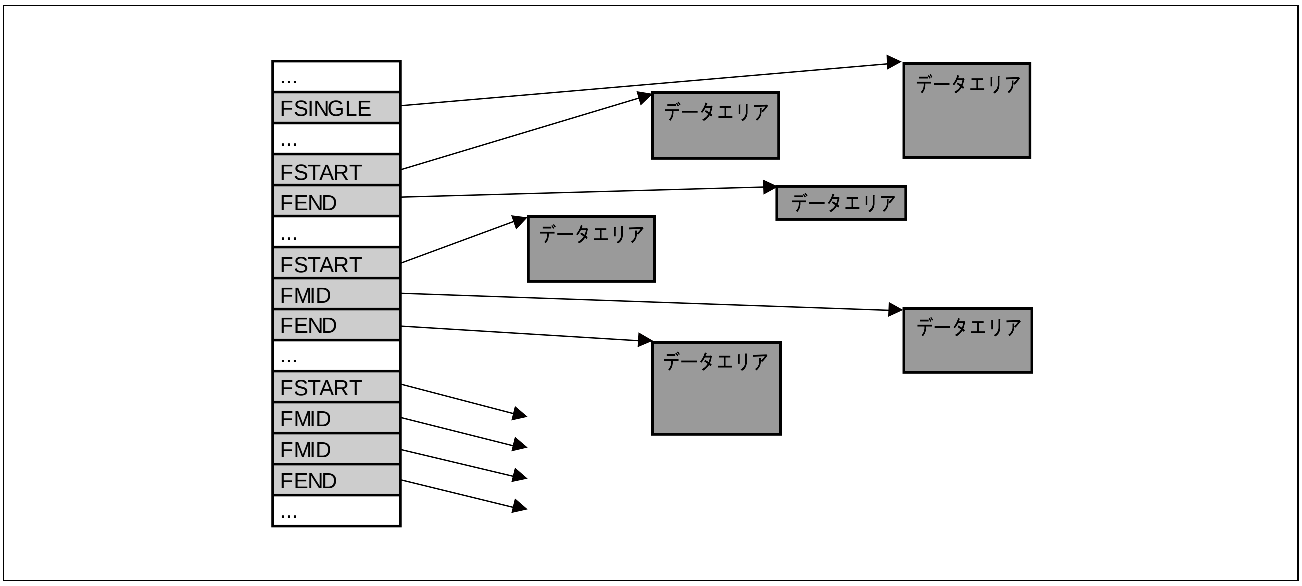


図 26.19 フレームデータのマッピング

受信の場合、ディスクリプタデータエリアの最大サイズ（例：DESCR.DS には最大サイズを格納）を設定してください。AVB-DMAC はその領域に受信フレームデータを格納します。フレームデータが、データサイズを超えたら、AVB-DMAC はデータを分割します。

送信の場合、フレームデータのサイズをデータサイズに設定してください。AVB-DMAC は、当該ディスクリプタ処理後に、ディスクリプタタイプ（DESCR.DT）を FEMPTY に書き換えます。データサイズ（DESCR.DS）、ディスクリプタポインタ（DESCR.PTR）は設定値を保持します。

ディスクリプタデータエリアに未使用部分がある場合、フレームデータ間に空き領域が生じます。受信の場合、空き領域ができることを防ぐためにインクリメンタルデータエリアを使用することができます。インクリメンタルデータエリアについては、「**26.4.4.3(2) インクリメンタルデータエリア**」を参照してください。

URAM のディスクリプタエリアのメモリ使用容量を抑える以外に、フレームデータにてセクション間を識別する（例：ヘッダとデータを分けるなど）場合には、フレーム分割を使用可能です。

(7) チェイン制御ディスクリプタの使用方法

(a) リンクディスクリプタ

リンクディスクリプタを使用することで、周期的なディスクリプタチェインを設定することができます。（詳細は、「**26.4.3.2 キューに使用するディスクリプタチェイン**」を参照してください）

LINK ディスクリプタを処理後、ディスクリプタタイプ（DESCR.DT）が LEMPTY に変更されます。ディスクリプタポインタ（DESCR.PTR）は、設定値を保持しています。

LINKFIX ディスクリプタを処理後は、ディスクリプタタイプ（DESCR.DT）は更新されません。SW は、ディスクリプタタイプ（DESCR.DT）、ディスクリプタ割り込み許可（DESCR.DIE）、ディスクリプタポインタ（DESCR.DPTR）を変更可能です。ディスクリプタポインタ（DESCR.DPTR）を変更する場合は、カレントディスクリプタアドレスレジスタ q（ETNBnCDARq.CDA）をチェックするようにしてください。

(b) EOS ディスクリプタ

EOS ディスクリプタを使用することで、ディスクリプタチェインを様々なセグメントに分割することができます。キューは EOS ディスクリプタ後も継続します。

送信の場合、送信設定制御レジスタの送信開始要求ビット（ETNBnTCCR.TSRQq）がクリアされます。

受信の場合、現在受信中のフレームが格納のために分割されている場合（例えば、受信データで、ストレージが FMID タイプ、または FEND タイプのフレーム）、データは完全には格納されず、受信キューフル割り込み（ETNBnRIS2.QFFr）が生成されます。

(8) HW&SW アービトレーションディスクリプタの使用方法

HW がディスクリプタ処理をする際、様々なディスクリプタを区別するために、空のディスクリプタタイプ（FEMPTY, LEMPTY, EEMPTY）を使用します。SW は、空き領域の確認などに使用可能です。

(a) FEMPTY, FEMPTY_IS, FEMPTY_IC, FEMPTY_ND

これらのディスクリプタタイプ（DESCR.DT）は、有効データがないディスクリプタに対して使用されます。送信時は、FEMPTY のみ使用されます。

(b) LEMPTY

このディスクリプタタイプ（DESCR.DT）は、処理された LINK ディスクリプタに使用されます。
LEMPTY ディスクリプタのディスクリプタポインタ（DESCR.DPTR）は、リンクされたディスクリプタポインタを示しています。

(c) EEMPTY

このディスクリプタタイプ（DESCR.DT）は、EOS ディスクリプタ処理後に使用されます。EEMPTY ディスクリプタのディスクリプタポインタ（DESCR.DPTR）は未使用です。

(9) HW&SW ディスクリプタアクセス間の同期化

一次 HW／SW 同期化では、URAM に配置されているディスクリプタタイプ（DESCR.DT）を使用することができます。これにより、CPU から SFR へ AVB-DMAC によるアクセスを最小限に抑え、パフォーマンスを上げることが可能となります。

基本的な同期化の考え方：

- 転送の方向に応じて、ディスクリプタタイプのセットが、HW／SW により排他的に使用するように割り当てられます。（「**表 26.87 ディスクリプタタイプ概要**」参照）
- SW は、HW にアサインされたディスクリプタを変更しないようにしてください。（SW にアサインされたディスクリプタは、HW によって変更されることはありません。）

SW は、ディスクリプタタイプを変更する前に、ディスクリプタやそれに対応するフレームデータの情報を処理する必要があります。DESCR.DT に HW にアサインされたディスクリプタタイプが設定されている場合、SW はディスクリプタやそれに対応するフレームデータのどの部分も変更しないようにしてください。

26.4.3.7 ディスクリプタの取り扱い性能を最適化するためのヒント

以下の項目は、URAM 内のデータ構造を最適に使用するための推奨事項です。

必須事項ではありませんが、異なった使用方法では LSI 内部システムバス負荷が大きくなる可能性があります。

- ディスクリプタは 64 ビットアライメントで記載してください。（拡張ディスクリプタには非適用）
- 動作モードがオペレーションモード中は、ディスクリプタの変更が必要ない場合は、LINK ではなく LINKFIX を使用するようにしてください。LINK ディスクリプタのディスクリプタタイプ（DESCR.DT）は HW が書き換えます。
- フレームデータへのアクセスは、最大 128 バイトのブロック単位で行ってください。
- ディスクリプタチェインへの並列処理を、最小限に抑えるように設計してください。
  チェインを異なるキャッシュページに位置するセグメントに分割し、SW と HW がそれぞれ異なるセグメントに、排他的にアクセスできるようになります。
- フレーム分割数を最小限に抑えてください。ディスクリプタ取り扱いのオーバーヘッドを軽減できます。

26.4.4 受信制御

AVB-DMAC は、E-MAC と URAM 間で、CPU の介入なしにデータ転送します。

格納するフレームデータ量や位置を定義するディスクリプタを作成してください。E-MAC がフレームを受信したら、受信フレームデータ、MAC ステータスとしての受信状況、拡張ディスクリプタの場合は、タイムスタンプが格納されます。受信時のディスクリプタ設定方法については「**26.4.4.2 受信用ディスクリプタ設定手順**」を参照してください。

受信フレームを分類するために、AVB-DMAC ではセパレーションフィルタを使用します。セパレーションフィルタによって、受信フレームは様々な受信キューに格納され、受信フレームのクラスに優先度をつけます。セパレーションフィルタについては、「**26.4.4.1(1) セパレーションフィルタ**」を参照してください。

「**図 26.20 一般的な受信キュー選択のメカニズム**」に、受信データパスと受信に使用するキュー選択について示します。

E-MAC より受信したフレームは、受信 FIFO に格納され、それに並行してフレームタイプとターゲットキュー番号を識別するために、フレームを解析します。E-MAC が受信を完了したら、ターゲットキュー番号が生成され、受信 FIFO に格納されます。受信フラグ付与は、URAM 内の受信キューのうちの 1 つのフレームストレージに依存し、未読フレームカウンタ（UFC）はフレームストレージと関連付けされています。

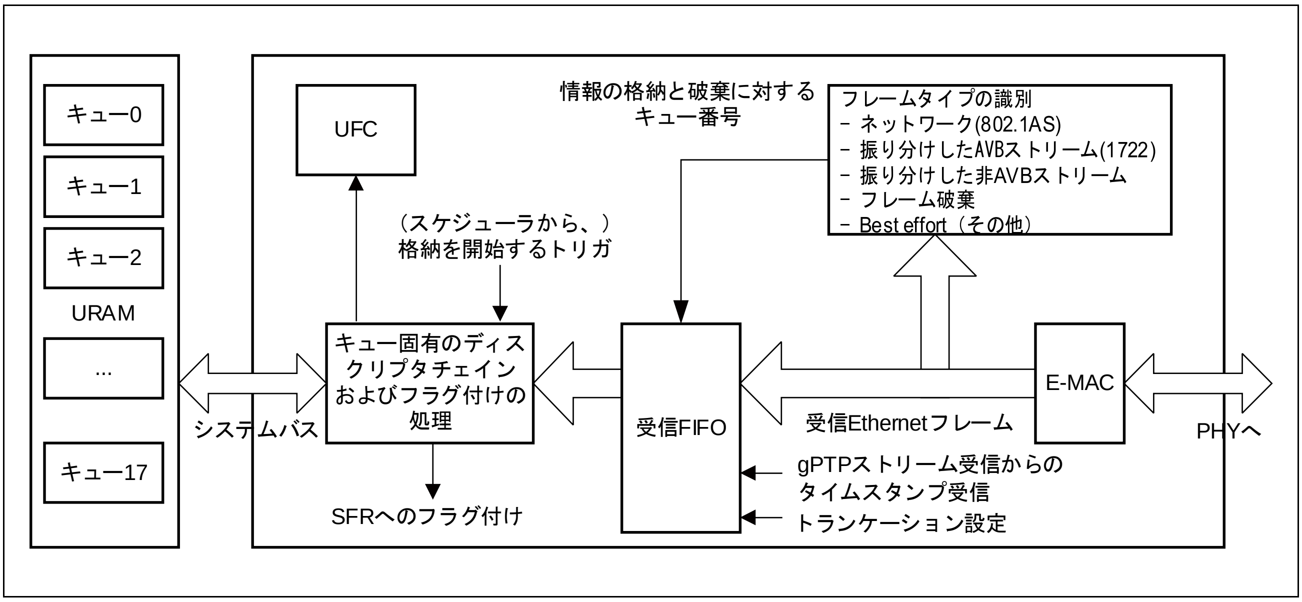


図 26.20 一般的な受信キュー選択のメカニズム

26.4.4.1 受信キュー

AVB-DMAC は、セパレーションフィルタメカニズムに基づき、受信フレームを格納するための受信キューを選択します。AVB-DMAC は、すべての受信フレームを URAM 内に格納します。

AVB-DMAC が、受信フレームを破棄する条件が 2 つあります。

E-MAC が受信中にエラーを検出した場合

- エラーフレームが破棄されるのか、受信キュー0（Best Effort）に格納されるのかは、受信設定レジスタのエラーフレーム許可ビット（ETNBnRCR.EFFS）の設定値に依存します。エラーフレームを格納する（ETNBnRCR.EFFS＝1）場合は、必ずキュー0（Best Effort）に格納されます。この場合、キュー固有特性（例：トランケーション）は、ばらつきます。もし、受信キュー0（Best Effort）用のタイムスタンプ格納が有効の場合（受信設定レジスタのタイムスタンプ許可ビット ETNBnRCR.ETS0＝1）、エラーフレームに対してもタイムスタンプが格納されます。
- フレームデータがどこに格納されるかは、セパレーションフィルタで振り分けられません。

受信フレームがセパレーションフィルタに失敗した場合

- エラーフレームを破棄するのか、受信キュー0（Best Effort）に格納するかは、受信設定レジスタのストリームフィルタリング機能選択ビット（ETNBnRCR.ESF）に依存します。

「**図 26.21 受信キュー選択の仕組み**」のフロー図は、AVB-DMAC がフレームタイプやセパレーションフィルタに応じて、受信キューを選択する方法を示します。E-MAC がフレーム受信を完了したときに、受信キュー選択処理が開始されます。その結果、フレームは適切なキューに格納されるか、破棄されるか決定されます。

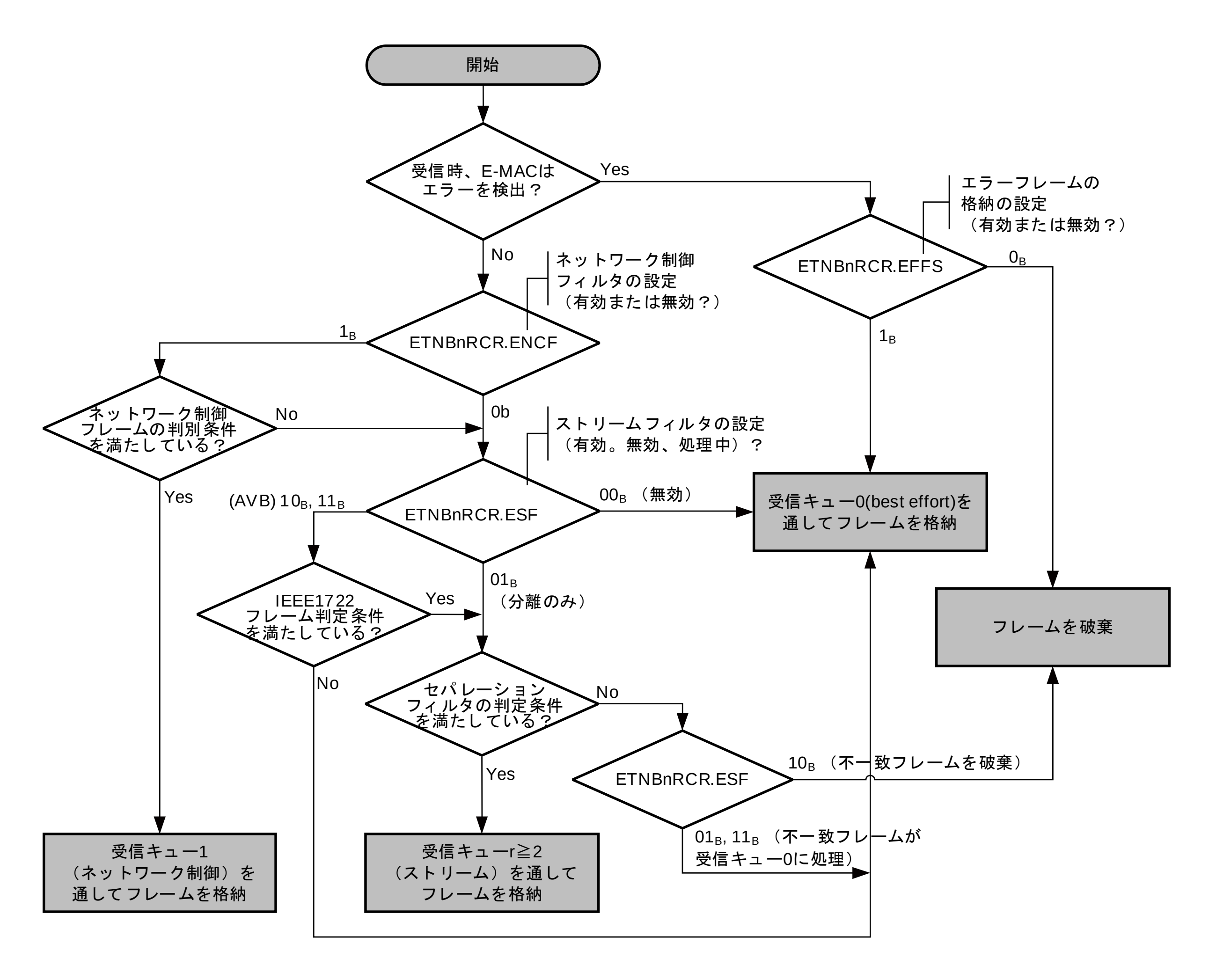


図 26.21　受信キュー選択の仕組み

注釈：（フロー図内記載事項の意味）

- 「ネットワーク制御フレームの判定条件」

  Ethernet 宛先アドレス（DA）が、01:80:C2:00:00:0E
  Ethernet タイプ（ET）が、88:F7

- 「IEEE1722 フレームの判定条件」

  Ethernet 宛先アドレス（DA）が、91:E0:F0:00:00:00～91:E0:F0:00:FE:FF
  VLAN タグ付けされた TPID（タグプロトコル識別子）フィールド（VL）が、81:00
  Ethernet タイプ（ET）が、22:F0

- 「セパレーションフィルタの判定条件」

  「**26.4.4.1(1) セパレーションフィルタ**」を参照してください。

「**図 26.22 分類に使用する Ethernet フレームのデータバイト**」に Ethernet フレームに使用されるネットワークとストリームタイプのビット配置図を示します。Ethernet フレームのプリアンブルは考慮していません。

データバイト	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
ネットワークタイプ	DA1	DA2	DA3	DA4	DA5	DA6	SA1	SA2	SA3	SA4	SA5	SA6	ET1	ET2	...	...	...	...	...	...
ストリームタイプ	DA1	DA2	DA3	DA4	DA5	DA6	SA1	SA2	SA3	SA4	SA5	SA6	VL1	VL2	-	-	ET1	ET2	...	...

図 26.22　分類に使用する Ethernet フレームのデータバイト

(1) セパレーションフィルタ

セパレーションフィルタは、受信 Ethernet フレームの最大 64 ビット分（連続 8 バイト）をチェックします。先頭のバイトの設定（セパレーションフィルタオフセット設定レジスタ（ETNBnSFO.FBP）の設定）により、セパレーションフィルタ処理に使用するフレーム部分が選択されます。セパレーションフィルタ処理を、より少ないバイト数もしくは自由に設定可能なビットマスクに制限するための共通フィルタマスク（セパレーションフィルタマスク設定レジスタ i（ETNBnSFMi.CFM））もあります。

例：

- 分離に 1 バイトを使用するには、セパレーションフィルタマスク設定レジスタ 0（ETNBnSFM0.CFM）を 0000 $00FF_H$、セパレーションフィルタマスク設定レジスタ 1（ETNBnSFM1.CFM）を 0000 0000_H に設定します。
- 分離に 7 バイトを使用するには、セパレーションフィルタマスク設定レジスタ 0（ETNBnSFM0.CFM）を FFFF $FFFF_H$、セパレーションフィルタマスク設定レジスタ 1（ETNBnSFM1.CFM）を 00FF $FFFF_H$ に設定します。

注　意

分離マスクにおいて、0_B にセットされているビット位置がある場合、パターンと一致するためにはパターンのそれらのビット位置も 0_B にセットされていることが必要となります。セパレーションフィルタパターン設定レジスタ i（ETNBnSFPi.FPs）の設定と、セパレーションフィルタマスク設定レジスタ i（ETNBnSFMi.CFM）の設定が同じビットのみ、受信データとの一致を取って振り分けを行います。

「**図 26.23 セパレーションフィルタ**」に、セパレーションフィルタを示します。受信フレームの選択部分（Rx_Frame[63:0]）は共通フィルタマスクでマスクされます。これにより、選択されたフレームデータが得られます。この値は、すべてのフィルタパターンと比較されます。AVB-DMAC 内セパレーションフィルタ回路は、最も低いインデックス s を持つキューの一致しているフィルタパターン、もしくは一致している分離パターンがないことを示すフラグを選択します。

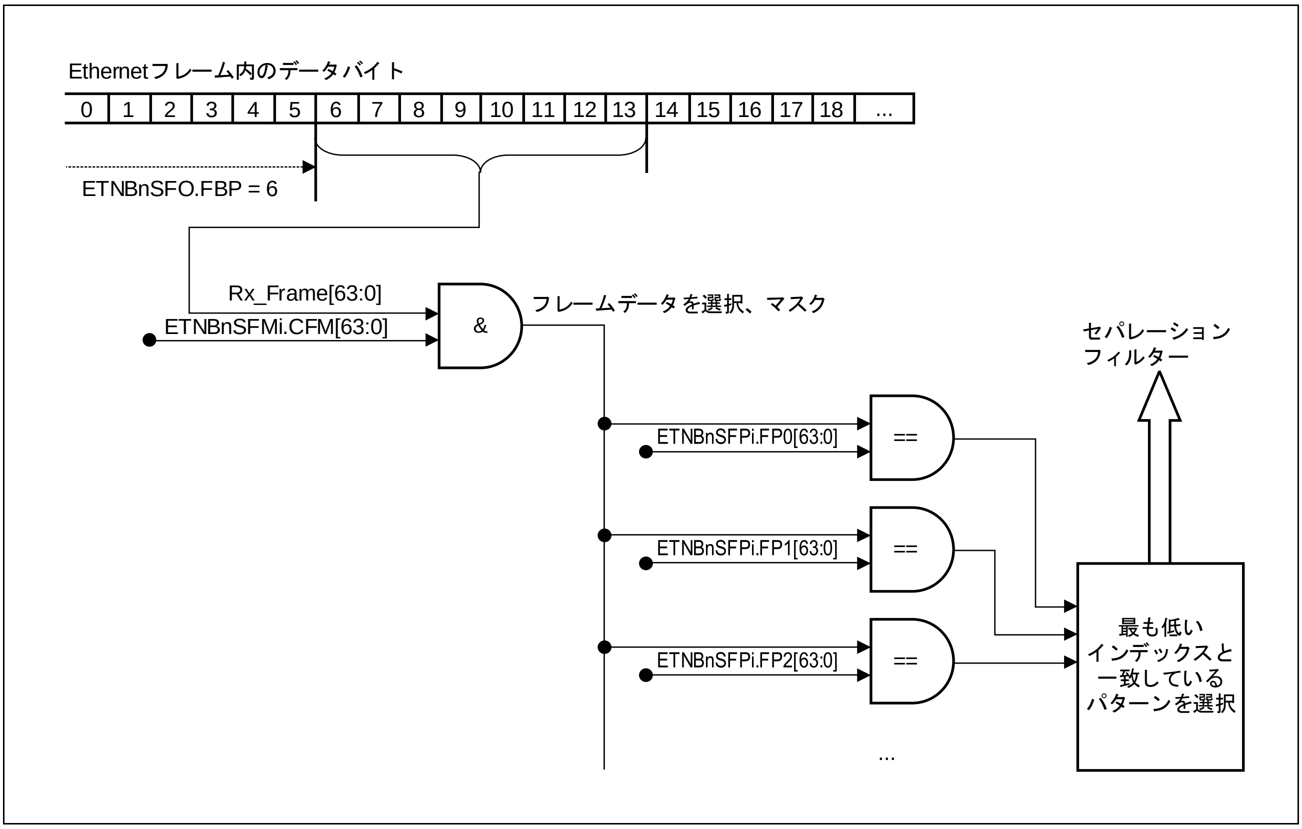


図 26.23 セパレーションフィルタ

(2) ストリーム分離

AVB-DMAC では、受信ストリームフレームの振り分けを、セパレーションフィルタによって行っています。AVB ネットワークでは、Talker／Listener のコンセプトが存在します。Talker は 1 つ、または複数のストリームを生成するエンドステーションです。Listener は、最低でも 1 つのストリームのシンクとしての役割を持つエンドステーションです。さまざまな A/V ストリームが 8 バイトのストリーム ID で識別されます。

AVB ネットワーク内のエンドステーションの数ならびにその役割は、アプリケーションによって異なります。

ストリーム ID は、1 つのストリームを識別する AVB ネットワークの一般的なパターンです。「**図 26.24 IEEE1722 フレームのレイアウトとストリーム ID**」に、IEEE1722 Ethernet フレームと、ストリーム ID フィールドのビット配置図を示します。

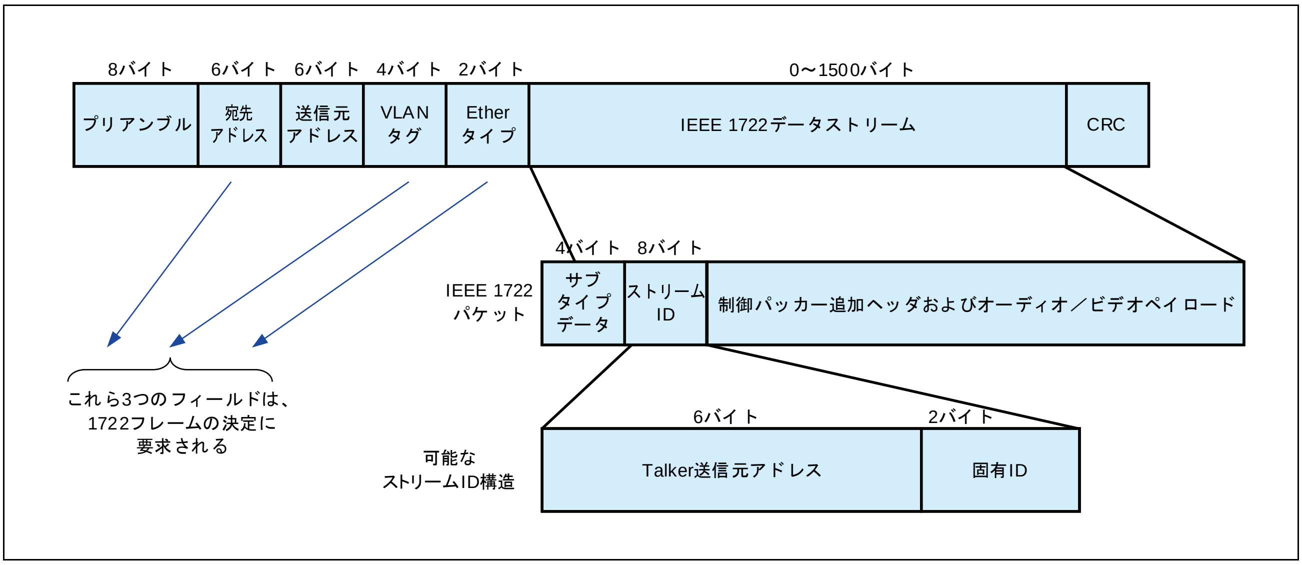


図 26.24 IEEE1722 フレームのレイアウトとストリーム ID

IEEE1722 に基づき、ストリーム ID フィールドは 23 バイト目から開始されます（プリアンブルをカウントしない）。したがって、IEEE1722 ストリーム動作を行うためにセパレーションフィルタオフセット（ETNBnSFO.FBP）は 22 にセットしてください。セパレーションフィルタマスク（ETNBnSFMi）ならびにセパレーションフィルタパターン（ETNBnSFPi）は、製品仕様にしたがい設定してください。

例：「**図 26.24 IEEE1722 フレームのレイアウトとストリーム ID**」に示すように、現アプリケーションでのストリーム ID の使用法は、このフィールドを Talker の送信元アドレスと固定 ID に分割することである場合、固定 ID は、同じ Talker より送信された複数のストリームを識別するために用います。これに基づき、セパレーションフィルタマスクへの設定は 2 種類存在します。

- それぞれのストリームを個別のキューに分けるには、ETNBnSFM0.CFM を FFFF FFFF_H に、ETNBnSFM1.CFM を FFFF FFFF_H に設定します。
- それぞれの Talker からのストリームを個別のキューに分けるには、ETNBnSFM0.CFM を FFFF FFFF_H に、ETNBnSFM1.CFM を 0000 FFFF_H に設定します。これにより、固定 ID がフィルタ条件より除外されることとなります。

26.4.4.2 受信用ディスクリプタ設定手順

受信においては、基本的に「**26.4.3 ディスクリプタ**」に記載したディスクリプタメカニズムが使用されます。

本章では、受信キューに使用されているメモリの特殊な動作について記載します。

(1) 受信ディスクリプタタイプ

ディスクリプタのタイプは、ディスクリプタタイプ（DESCR.DT）で定義されます。

「**表 26.92 受信ディスクリプタタイプ**」に、受信で使用するディスクリプタタイプを示します。

表 26.92 受信ディスクリプタタイプ

ディスクリプタタイプ（DESCR.DT）	動作	ライトバック
Frame Start (FSTART)	受信キューではデータが格納されていない。 ETNBnRIS2.QFFr ビットでキューr がフルで、受信フレームが格納されていないことを通知する。 次の受信がある場合、再度このディスクリプタでの処理となる。	変更されない
Frame Middle (FMID)	FSTART と同じ	変更されない
Frame End (FEND)	FSTART と同じ	変更されない
Frame Single (FSINGLE)	FSTART と同じ	変更されない
Link (LINK)	DESCR.DPTR で指定したディスクリプタに移る。	LEMPTY
Fixed Link (LINKFIX)	LINK と同じ	変更されない
End Of Set (EOS)	SW が定義したストップポイントに達した。 分割フレーム（FMID、FEND のライト）内でこれが起きると、格納が中止され、フレームが失われる。ETNBnRIS2.QFFr が、フレームが失われたことを通知する。 フレーム開始時（FSTART、FSINGLE のライト）にこれが起きると、次のディスクリプタよりフレーム格納が開始する。 どちらの場合も、チェインの次のディスクリプタへの移動が行われる。	EEMPTY
Frame Empty (FEMPTY)	ディスクリプタは、受信データの格納用に使用可能。 ディスクリプタデータエリアには、最大 DESCR.DS バイトが格納される。 詳細は「**26.4.4.3(1) フレームデータのディスクリプタデータエリアへの格納**」を参照。	FSTART, FMID, FEND または FSINGLE
Frame Empty Incremental Start (FEMPTY_IS)	ディスクリプタは、受信データの格納用に使用可能。 フレームデータがすべてディスクリプタデータエリアに格納される。 DESCR.DPTR は、インクリメンタルデータエリアのベースアドレスを示す。 詳細は「**26.4.4.3(2) インクリメンタルデータエリア**」を参照。	FEND または FSINGLE
Frame Empty Incremental Continue (FEMPTY_IC)	ディスクリプタは、受信データの格納用に使用可能。 残りのフレームデータバイトがディスクリプタデータエリアに格納される。 DESCR.DPTR は未定義だが、処理後にインクリメンタルデータエリア内の開始位置でライトバックされる。 詳細は「**26.4.4.3(2) インクリメンタルデータエリア**」を参照。	FEND または FSINGLE
Frame Empty No Data storage (FEMPTY_ND)	ディスクリプタは、受信データの格納用に使用可能。 受信 FIFO より最大 DESCR.DS バイトが取られるが、格納はされない。処理後、DESCR.DS は 0 としてライトバックされる。 詳細は「**26.4.4.3(1)(c) データ格納なし**」を参照。	FSTART, FMID, FEND または FSINGLE
Link Empty (LEMPTY)	FSTART と同じ	変更されない
EOS Empty (EEMPTY)	FSTART と同じ	変更されない

(2) 受信用フレームデータディスクリプタ構成

「**図 26.25 受信フレームのディスクリプタ構成**」に、受信キューで使用するディスクリプタ構成を示します。受信固有のフィールドは、通常ディスクリプタでも拡張ディスクリプタでも同じです。「**表 26.93 受信ディスクリプタの構成**」に、受信固有フィールド（DESCR.MSC、DESCR.PS、DESCR.EI、DESCR.TR）について示します。
ほかのフィールドやディスクリプタタイプについては、「**26.4.3.6 ディスクリプタタイプ**」を参照してください。

	31–28	27–24	23–16	15–14	13	12	11–0
+0	DT[3:0]	DIE[3:0]	MSC[7:0]	PS[1:0]	EI	TR	DS[11:0]
+4	DPTR[31:0]						

図 26.25 受信フレームのディスクリプタ構成

表 26.93 受信ディスクリプタの構成

ビット名	説明
MSC	MAC ステータスコードビット 本ビットは E-MAC が検出した受信エラーを示す。 1 つの分割フレームの場合、本ビットは、全フレームデータディスクリプタ内で同じ値となる。各ビットの詳細は以下のとおり。 MSC[7]：マルチキャストアドレスフレーム受信 MSC[6]：常に 0 MSC[5]：常に 0 MSC[4]：端数ビットフレーム受信 MSC[3]：指定バイト超フレーム受信[注 1] MSC[2]：指定バイト未満フレーム受信 MSC[1]：フレーム受信エラー[注 2] MSC[0]：CRC エラーフレーム受信
PS	パディング選択ビット 本ビットは、フレームデータをインクリメンタルデータエリアに格納するときに、パディングを使用するかを設定する。パディングデータの挿入は ETNBnRPC レジスタで設定可能。 00_B：パディングなし 01_B：ETNBnRPC に基づき、パディングデータが付加 そのほかの設定は禁止
EI	エラー表示ビット 本ビットは、フレーム格納中にフレームデータにエラーが検出されたかどうかを示す。エラーが検出されたディスクリプタには “1” がセットされる。分割フレームの場合、フレーム格納が中止される。 0：エラーなし 1：エラー検出
TR	トランケーション表示ビット 4092 バイトを超えるデータを受信した際にセットされ、受信データは 4092 バイトに切り詰められる。 本ビットは、1 つの分割フレームに対し、全フレームデータディスクリプタ内で同じ値となる。 0：トランケーションなし 1：トランケーションが起きた

注1. MAC が ETNBnRFLR で設定した値以上の長さのフレームを受信したとき、「指定バイト超フレーム受信」と設定されます。
注2. 受信中に MAC が AVB_RX_DV＝1、AVB_RX_ER＝1 を検出したとき、「フレーム受信エラー」と設定されます。

注 意

E-MAC が検出したエラーを持つフレームを、URAM に格納するかどうかは ETNBnRCR.EFFS で設定可能。
エラーフレームの格納が無効な場合、DESCR.MSC にエラーコードは格納されません。

26.4.4.3　受信処理

初期化後、AVB-DMAC は適切な受信キューを選択し、URAM 上のディスクリプタデータエリアへ格納可能となります。ディスクリプタデータエリアの容量の許すかぎり、URAM へ受信データを格納します。

「**26.4.4.1(1) セパレーションフィルタ**」に示すアルゴリズムにしたがい、受信したフレームは分類され、受信 FIFO に格納されます。フレームは、受信 FIFO に格納される前に、MAC での受信で、分離フィルタによって分類、トランケーション、または破棄されています。以下のデータが受信 FIFO に格納されます。

- 受信フレーム MAC 状態
- 受信フレーム長
- 受信フレームタイムスタンプ
- 対象受信キュー
- 受信フレームデータ

受信 FIFO に 1 つでもフレームがあれば、受信キューに格納処理が実行されます。（「**26.4.2.2 スケジューリングの送受信**」を参照）

受信開始されたキューに 1 つでも空のデータディスクリプタがあれば、フレーム格納が開始されます。キューがすでに一杯（空のフレームディスクリプタがない、もしくは UFC ストップレベルに達した）の場合、フレームは受信 FIFO から破棄されます。この機能により、一杯のキューがあってもほかのキューへのデータ格納を妨げることがありません。

(1) フレームデータのディスクリプタデータエリアへの格納

フレーム格納は、以下 2 つのパターンが想定されます。

- フレームデータ全体が、ディスクリプタデータエリアに収まる。
  - この場合、ディスクリプタタイプ（DESCR.DT）は FSINGLE となります。
- フレームデータが、分割されてディスクリプタデータエリアに格納される。
  - この場合、先頭フレームデータのディスクリプタタイプ（DESCR.DT）には FSTART、その後のフレームデータのディスクリプタには、FMID、FEND が書き込まれます。

AVB-DMAC によるディスクリプタタイプの更新はディスクリプタ処理の最後のステップで行うので、SW は、DESCR.DT が割り当てられたディスクリプタを常にアクセスすることができます。

通常の同期化モードを使用しているとき、CPU は記憶要素を処理したあとに直接、ディスクリプタタイプに FEMPTYxxx を書き込むことができます。DESCR.DT に FEMPTYxxx を書き込んだ後は、ディスクリプタまたはディスクリプタデータエリアのいかなる部分も変更しないようにしてください。

(a) シングルフレームとしての格納

FSINGLE ディスクリプタでは、DESCR.DPTR で定義した位置にフレームデータのすべてが格納されています。DESCR.DS は、受信したフレーム長を示します。

受信したフレームサイズより DESCR.DS の方が大きい場合は、FEMPTY／FEMPTY_ND ディスクリプタは処理されたあと、FSINGLE ディスクリプタとして格納されます。

また、常に受信 FIFO の全フレームデータを格納している FEMPTY_IS／FEMPTY_IC ディスクリプタも処理されたあとに、FSINGLE ディスクリプタとして格納されます。

(b) 分割フレームとしての格納

分割フレームは、シングルフレームと同じ方法で取り扱われます。分割して格納されたフレームを結合して、使用してください。DESCR.EI と DESCR.TS は分割フレームの最終ディスクリプタでのみ、有効となります。

注　意

4 の倍数ではないディスクリプタデータエリアサイズが DESCR.DS に設定された場合は、DESCR.DS に設定されたバイトの数が受信 FIFO より取られ、残りのバイト数は次の格納領域として使われます。
受信フレームを異なるディスクリプタに分割したら、それぞれの記憶要素を別々に対処し、処理後はディスクリプタタイプを SW 用に配置します。
したがって、ディスクリプタチェインの処理中にエラーフレーム（FMID や FEND の代わりに FEMPTYxxx）が存在することもあります。そのような場合、CPU はエラーフレームの処理を次のトリガポイントまで延期するようにしてください。

(c) データ格納なし

アプリケーション仕様には、重要でない受信フレームが存在する場合があります（たとえば、アプリケーションが Ethernet フレームの中のストリームデータのみを必要とする場合など）。分割フレーム格納を使用することで、Ethernet フレームの不要部分を分離することが可能です。

もし、分割フレームの一部を使用しない場合、その部分を FEMPTY_ND ディスクリプタを使用することで、URAM に格納しないようにできます。データが格納されないため、データバスへの帯域幅は不要となり、全体の性能を向上することができます。

FEMPTY_ND ディスクリプタを処理される場合、DESCR.DS は 0 になります。したがって、結果として生じるフレームデータディスクリプタは FEMPTY ディスクリプタと互換性があります。DESCR.DS＝0 は、書き込まれたディスクリプタの固有の識別用です。

(2) インクリメンタルデータエリア

受信データ格納用に、URAM 上に領域を確保してください。チェイン内のすべてのディスクリプタデータエリアが連続する URAM エリアに配置している場合でも、受信フレームがディスクリプタデータエリアより短い場合、空き領域が生まれます。「**図 26.26 個別のディスクリプタデータエリアを用いた受信キュー**」に設定例を示します。

中には、連続データエリアが必要となるアプリケーションもあります（例：受信データが A/V コーデックモジュールとして、HW 以外で処理されているとき）。受信フレームの長さが異なるとき（例：ペイロード内に、1 または 2 の A/V パッケージ）、静的ディスクリプタのポインタを使用することでデータエリアに空き格納領域が生じることになるので、空き領域を取り除くために、追加の処理を直接行う必要がある場合があります。

データコピー処理による CPU 負荷を軽減させるため、AVB-DMAC ではインクリメンタルデータエリア機能に対応しています。

インクリメンタルデータエリア使用時、どのディスクリプタも格納用に共通のデータエリアを使用します。1 つのディスクリプタ（FEMPTY_IS）が、インクリメンタルデータエリアのベースアドレスと、受信データを格納するためにディスクリプタチェイン内の次のディスクリプタ（FEMPTY_IC）を定義します。「**図 26.27 共通のインクリメンタルデータエリアを用いた受信キュー**」に設定例を示します。

インクリメンタルデータエリアの使用で、個別のディスクリプタデータエリアのメモリ領域が減るわけではありません。

HW／SW 同期化ストラテジーや、性能も変わりません。

フレームから様々なディスクリプタに分割（例：Ethernet ヘッダ用に 1 つ、ペイロードデータ用に 1 つ）することも可能です。

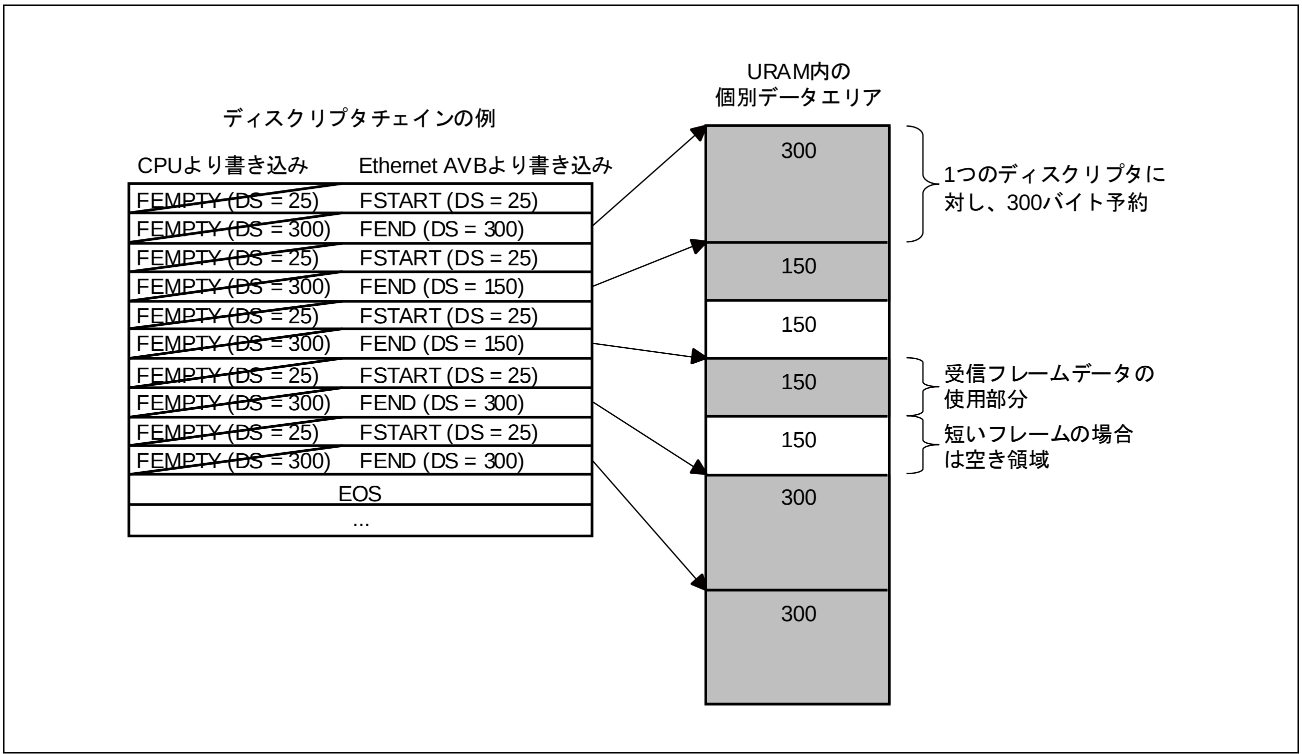


図 26.26 個別のディスクリプタデータエリアを用いた受信キュー

「**図 26.26 個別のディスクリプタデータエリアを用いた受信キュー**」と「**図 26.27 共通のインクリメンタルデータエリアを用いた受信キュー**」は、個別またはインクリメンタルデータエリアを使用したときのディスクリプタチェインの例です。チェインは 25 バイトのヘッダ（この例の範囲外では、1 つのディスクリプタとして取り扱われます）と、150 または 300 バイトのペイロード（1 つの Ethernet フレームで 1 つまたは 2 つの 150 バイトのペイロードパッケージのどちらで送信されるかは、データソースに依存します）で構成される受信フレームを格納するよう設定されています。

「**図 26.26 個別のディスクリプタデータエリアを用いた受信キュー**」には再同期化ポイントの例として EOS ディスクリプタが追加されています。フレームソースが 325 バイト以上のフレームを送信した場合、フレームは 3 つのディスクリプタに分割されるので、ヘッダ／データのシーケンスは同期していないことになります。フレームは EOS に渡って分割されることはないため、EOS 前に同期が外れても、AVC-DMAC は次のディスクリプタチェインを正常に処理します。インクリメンタルデータエリアを使用しているときは、インクリメンタルディスクリプタが常に処理中の全データを格納するので、EOS は不要です。

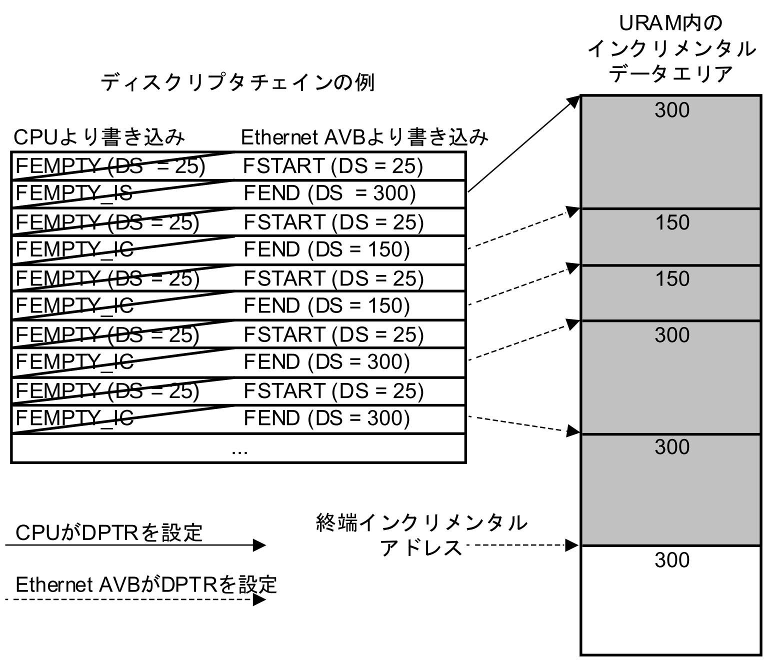


図 26.27 共通のインクリメンタルデータエリアを用いた受信キュー

「**図 26.27 共通のインクリメンタルデータエリアを用いた受信キュー**」に示すように、インクリメンタルデータエリアにデータを格納すると、FEMPTY_IC ディスクリプタのディスクリプタポインタ（DESCR.DPTR）を更新します。したがって、結果として生じる FEND または FSINGLE ディスクリプタは、FEMPTY ディスクリプタへの書き込み後と同じ形式になります。

SW は、受信データをフレームデータ間の空き格納領域がないインクリメンタルデータエリアから取得します。すべての空き領域は、インクリメンタルデータエリアの終端に配置されます。インクリメンタルデータエリアは、4 バイトの倍数であるよう制限されています。インクリメンタルデータエリアに格納される受信データが 4 バイトの倍数でない場合、1 から 3 バイトの空き領域は存在します。
この空き領域ついては、DESCR.DS で確認可能です。

DESCR.DS によってほかのディスクリプタ（FEMPTY, FEMPTY_ND）で可能であるため、インクリメンタルディスクリプタ（FEMPTY_IS, FEMPTY_IC）から格納される受信データ量を直接制限することはできません。インクリメンタルディスクリプタは常に、チェイン内のすべての受信データを格納します。

(a) インクリメンタルデータエリアのセットアップ

ディスクリプタチェイン内の N 個のディスクリプタ（1 つの FEMPTY_IS と N-1 個の FEMPTY_IC）がインクリメンタルデータエリアにあれば、最大 N 回分の受信格納領域を準備してください。

「**図 26.27 共通のインクリメンタルデータエリアを用いた受信キュー**」に示すように、FEMPTY_IS ディスクリプタの DESCR.DPTR はインクリメンタルデータエリアのベースアドレスを示します。FEMPTY_IC ディスクリプタの DPTR は次に格納するデータのアドレスを示します。

(b) ディスクリプタに基づいてインクリメンタルデータエリアを処理する

CPU によるデータ処理は、AVB-DMAC による格納方法にかかわらず同じであるため、インクリメンタルデータエリアに格納されているデータを異なる方法で取り扱う必要はありません。

(c) パディング

特定のメモリ構造にアライメントできないようなフレームデータの受信にはパディング機能を使用してください。各ディスクリプタに対し、個別にパディング設定が可能です。したがって、分割フレーム受信の場合、パディングが必要なフレーム部（例：A/V ペイロードデータ）のみにパディング制限することができます。

特定のメモリ構造に対するアプリケーション特有の要件（例：受信データを処理しているほかのモジュールが要求する形式）以外に、パディングはインクリメンタルデータエリアでのシステム性能を最適化（例：非効率的なアクセスを防ぐため、インクリメンタルデータエリアでの受信データを 32 バイト境界にアライメントする）するために使用することもできます。

パディングは、インクリメンタルデータエリアでのみ使用可能です。

パディングデータは常に 0000 0000_H を格納します。

パディングは、受信パディング設定レジスタの格納パディング数（ETNBnRPC.PCNT）で設定したワード数（1～7 の 32 ビットワード）を付加します。このパディングは格納データ数（ETNBnRPC.DCNT）（1～255 の 32 ビットワード）に設定された値にしたがい、繰り返し挿入されます。格納データ数（ETNBnRPC.DCNT）が 0 のときは、繰り返されません。

先頭のパディングワードは常に、DESCR.DPTR が指した位置に挿入されます。分割フレームを使用しているとき、パディングワードはそれぞれのバイト位置にて挿入可能であり、パディングは 32 ビットベースで取り扱われます（例：先頭のディスクリプタが 42 バイトのヘッダデータをとり、2 番目のディスクリプタがインクリメンタルデータエリアにパディングを入れたペイロードデータを格納します）。

次の図に、パディングデータがどのように挿入されるかの一般的な例、ならびにパディング設定例を示します。A が E-MAC より受信されたフレームデータ A、B がディスクリプタデータエリアに格納されているフレームデータ（32 ビットワード単位）です。

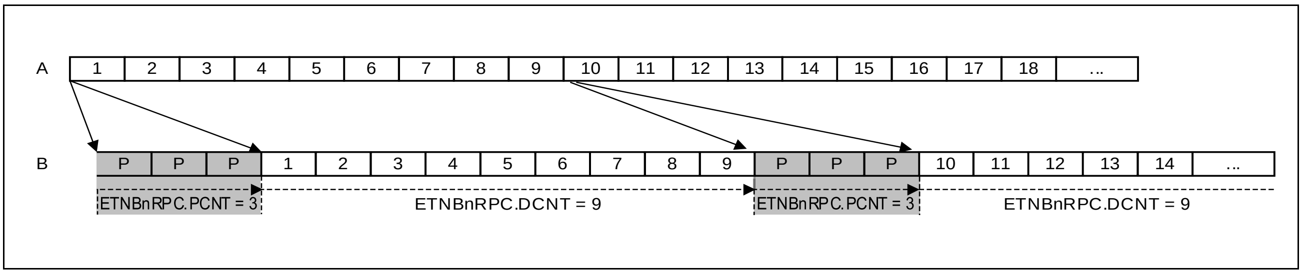


図 26.28 パディングの設定例

ディスクリプタサイズ（DESCR.DS）にはパディングデータと受信したフレームデータの両方が含まれます。

(3) ライトバックありモード

SW にて、ディスクリプタチェインの構築を実施する必要があります。（「**図 26.29 受信ディスクリプタ処理フロー（ライトバックあり）**」参照）

以下の図では、変数 SWdescr（SW ディスクリプタポインタ）は、処理されるディスクリプタを識別する構造体です。オペレーションモードに移行し、ディスクリプタベースアドレスロード要求（ETNBnDLR.LBAq）が実行されたら、SWdescr を初期化する必要があります（SW 動作フローの開始条件）。

frame_processing（）関数は、格納されたデータを処理します。SWdescr.DT から、関数はフレームが完了したかどうかを確認できます。フレームデータの処理方法は、アプリケーションによって異なりますので、仕様に合わせて処理を作成してください。

処理部は、すべての受信モードにおいて共通です。トリガごとに処理されたフレームの数を、制限することができます。一度に 1 フレーム以上を処理しなければならない場合、それらのフレームにおいてはトリガボックスに対するウェイトをスキップする必要があります。

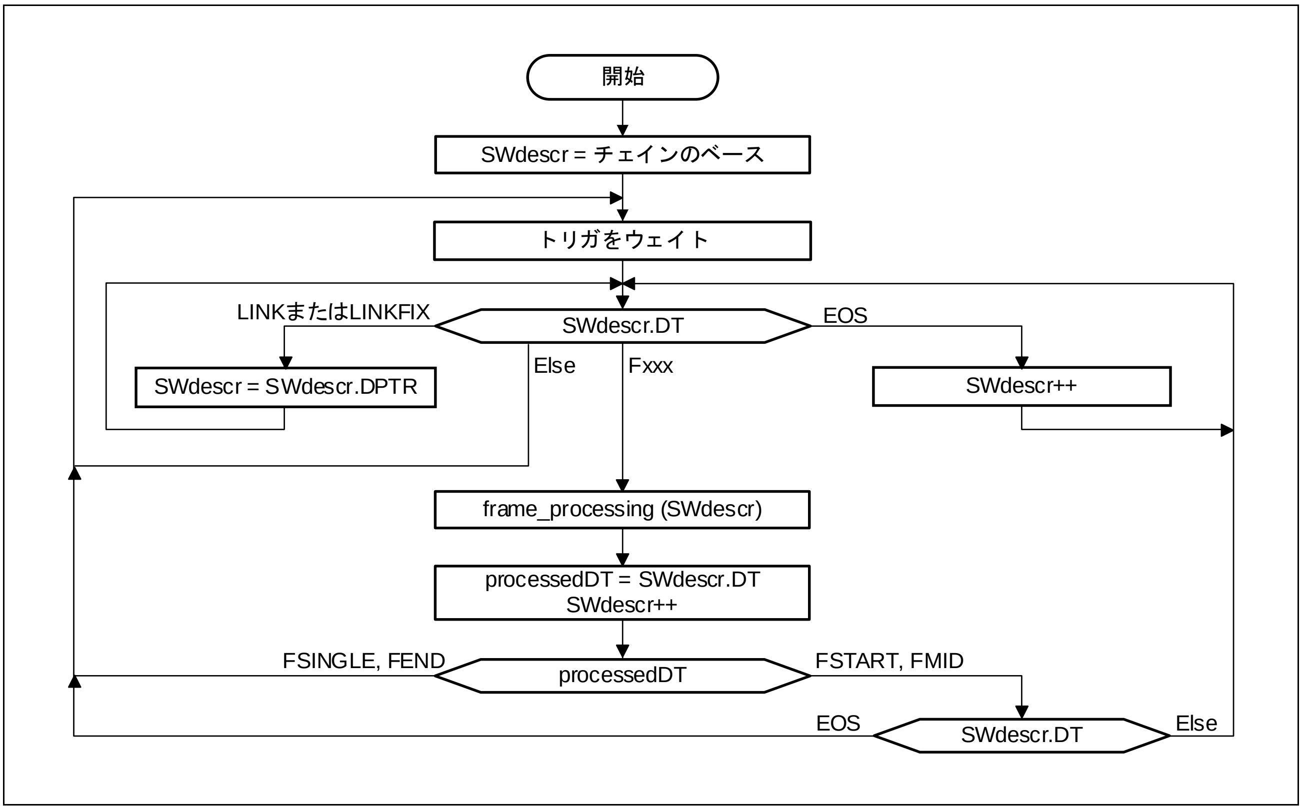


図 26.29　受信ディスクリプタ処理フロー（ライトバックあり）

(4) 受信タイムスタンプサポート

受信タイムスタンプの取得は、IEEE802.1AS タイム同期化処理にとって非常に重要です。ほかの受信フレームもアプリケーションによっては、受信タイムスタンプが付随することが必要な場合もあります。AVB-DMAC は、受信フレームの Start of Frame Delimiter（SFD）の発生時にキャプチャしたタイムスタンプを最終フレームデータディスクリプタ（FEND、FSINGLE）に格納することで、gPTP タイマに基づいた受信タイムスタンプをサポートしています。gPTP タイマについては、「**26.4.7.1 gPTP タイマ**」を参照してください。

タイムスタンプの格納が必要な場合、受信キュー全体に、拡張ディスクリプタを使用してください。受信キュー1（Network Control）ではタイムスタンプが必ず格納されます。受信キュー0（Best Effort）と受信キューr（r≧2）（ストリームデータ）は、受信設定レジスタのタイムスタンプ許可ビット（ETNBnRCR.ETS0, ETNBnRCR.ETS2）によって、設定可能です。

26.4.4.4　未読フレームカウンタ

各受信キューには個々の未読フレームカウンタ（ETNBnUFCVi）があります。受信キュー設定レジスタ i の未読フレームカウンタ設定ビット（ETNBnRQCi.UFCCr）により、未読フレームカウンタの 4 つの停止レベルが選択できます。“0”設定は、停止レベル機能なしとなります。設定方法については「**図 26.30 未読フレームカウンタの概要**」を参照してください。

AVB-DMAC（HW 側）と CPU（SW 側）によるインタラクションに基づいた未読フレームカウンタ（UFC）機能は、以下のとおりです。

- HW 側が、未読フレームカウンタが新しいフレームにキューのディスクリプタチェインを追加したことを通知する（カウンタをインクリメント）。
- SW 側が、未読フレームカウンタが、キューの未読フレームカウンタデクリメントレジスタの該当ビットに書き込むことで、ディスクリプタチェインからフレームが幾つ処理されたかを通知する（書き込み数でレジスタをデクリメント）

未読フレームカウンタは URAM 内の格納フレームに基づいているため、受信フレームが異なるディスクリプタに分割しても、1 だけインクリメントされます。ストレージ不良のディスクリプタチェインの場合、未読フレームカウンタは「**26.4.4.4(1) 未読フレーム（UFC）同期の失敗**」のように同期が損なわれることがありますので、ご注意ください。

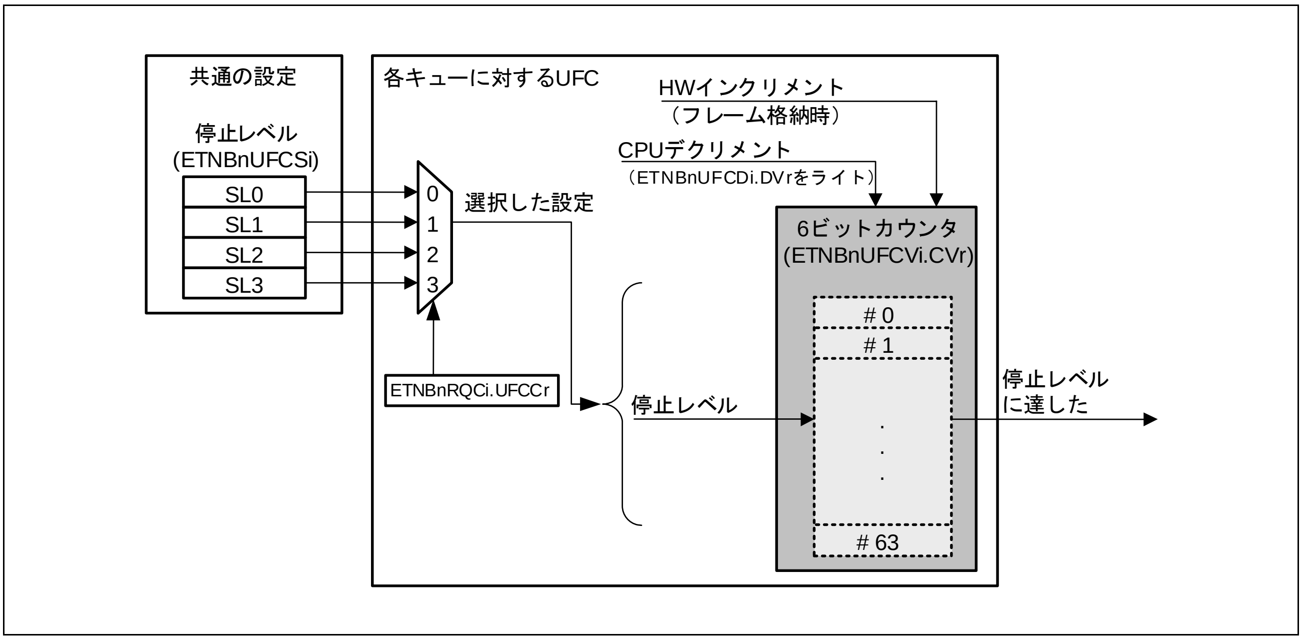


図 26.30　未読フレームカウンタの概要

HW と SW が同期していなくても、現在の未読フレームカウンタ値（ETNBnUFCVi.CVr）は、キューの未読フレーム数を示します。

停止レベル到達の情報は、受信フレームのディスクリプタチェインへの格納を防ぐために使用されます。選択した停止レベルが 0 のとき、この機能は無効です。未読フレームカウンタが停止レベルに達したとき、キューの受信したフレームは破棄されます。未読フレームカウンタ停止機能が働いた場合、受信割り込みステータスレジスタ 2 の受信キューフル割り込みフラグ（ETNBnRIS2.QFFr）がセットされます。

動作モードがコンフィグモードのとき、未読フレームカウンタ機能を使用するすべての受信キューに対して、未読フレームカウンタ停止レベル設定レジスタ（ETNBnUFCS）を設定してください。

(1) 未読フレーム（UFC）同期の失敗

未読フレームカウンタは、URAM へのフレーム格納中における障害を認識できません。フレームがディスクリプタチェインに正常に格納されるかどうかとは関係なく、受信 FIFO からフレームが取得される度に、AVB-DMAC はキューカウンタをインクリメントします。

以下の条件により、HW／SW の同期化が失敗する場合があります。

- 未読フレームカウンタが最大値に達した場合

  未読フレームカウンタレジスタ i（ETNBnUFCVi）（i＝0～4）が 63 のとき、同期が失敗する可能性があります。
  停止レベルが 63 に設定されているときのみ、CPU は同期の失敗が起きなかったと断定できます。

- ディスクリプタや関連データ用に充分なスペースのキューがない場合

  この場合、受信割り込みステータスレジスタ 2 の受信キューフル割り込みフラグ（ETNBnRIS2.QFFr）がセットされます。
  未読フレームカウンタがライトバックありモード（ETNBnRQCi.RSM[1:0]＝00_B）で停止レベルに達すると、受信割り込みステータスレジスタ 2 の受信キューフル割り込みフラグ（ETNBnRIS2.QFFr）がセットされますので、SW での対応をお願いいたします。

- メモリアクセス中に問題が生じた場合

  未読フレームカウンタがディスクリプタチェインで実際に使用可能な数以上のフレームをフラグ付けし、結果として、同期が失敗してしまうことがあります。動作用に正常な開始ポイントを得るために、関連するキューのディスクリプタベースアドレスロード要求（ETNBnDLR.LBAq）を使用してください。

26.4.5　送信制御

送信用ディスクリプタを格納するために、URAM 上にエリアを確保してください。（ディスクリプタについては、「**26.4.3 ディスクリプタ**」を参照してください）

AVB-DMAC は、ディスクリプタに記述された方式にしたがって、URAM からデータをフェッチします。ディスクリプタは、送信フレームのタグ情報も保持しています。これらのタグ情報は、SW と AVB-DMAC 間のステータスとタイムスタンプ情報の関連性を維持するために使用されます。フレーム送信後は、送信されたフレームに対するステータスやタイムスタンプ情報にアクセスすることが可能です。

26.4.5.1　送信モード

AVB-DMAC は、2 種類の送信モードをサポートしています。

- AVB 送信モード

  送信設定レジスタの送信キュー優先度を選択します。
  （ETNBnTGC.TQP[1:0]ビットを“01_B”または“11_B”に設定）

- 非 AVB 送信モード

  送信設定レジスタの送信キュー優先度を選択します。
  （ETNBnTGC.TQP[1:0]）ビットを“00_B”に設定）

(1) AVB 送信モード

AVB 送信では、出力ポートにて様々なトラフィッククラスを実行し、トラフィック制御をサポートしています。

(a) トラフィッククラスへの対応、ならびに優先順位

AVB 送信モードでは、ストリームトラフィックを送信する際、FQTSS と呼ばれる AVB 仕様にしたがいます。（FQTSS の詳細については、IEEE802.1Q 仕様を参照してください。）

AVB 規格では、少なくとも 1 つ以上の Stream Reservation Protocol（SR ストリーム）キューと 1 つ以上の非 SR キューが存在し、最も高優先キューが SRP トラフィックに予約されます。

AVB-DMAC では、4 種類のトラフィッククラスに対応しています。SR Class A、SR Class B、Network Control（NC）トラフィック（gPTP フレーム）、Best Effort（BE）トラフィックの 4 種類です。Network Control（NC）フレーム用の特別なキューを使用することで、同期制御を保証しています。

AVB-DMAC では、AVB 規格を実現するため、以下のキュー（トラフィッククラス）のアーキテクチャに対応しています。

- 4 つの送信キュー（Q3、Q2、Q1、Q0）が使用可能
- Q3、Q2 は、SR ストリームを対象（それぞれ、Class A, Class B 用）
- Q1 は、低帯域幅の Network Control（NC）トラフィック（gPTP フレーム）を対象
- Q0 は、そのほかのタイプのトラフィックを対象（MSRPDU 注 1, MVRPDU 注 2, Best Effort（BE）など）

注1. MSRPDU：複数ストリーム登録プロトコルデータユニット
注2. MVRPDU：複数 VLAN 登録プロトコルデータユニット

上記のトラフィックタイプの優先順位によって、キューをフェッチする順番が決定されます。3 つのシステムの優先順位は、送信設定レジスタの送信キュー優先度（ETNBnTGC.TQP[1:0]）で設定することができます。AVB モード 1（ETNBnTGC.TQP[1:0]＝01_B）がデフォルトの優先方式で、AVB 仕様通りの動作となります。AVB モード 2（送信キュー優先度ビット ETNBnTGC.TQP[1:0]＝11_B）は代替の優先方式となり、AVB 仕様通りではありませんので、注意してご使用ください。その他の設定（ETNBnTGC.TQP[1:0]＝00_B）は、非 AVB モード送信用です。

表 26.94　AVB 送信モードでのデフォルト、ならびに代替の優先順位

優先方式（AVB モード）	キューの優先順位
AVB モード 1（デフォルト）	Q3 (SR Class A)＞Q2 (SR Class B)＞Q1 (NC)＞Q0 (BE)
AVB モード 2（代替）	Q1 (NC)＞Q3 (SR Class A)＞Q2 (SR Class B)＞Q0 (BE)

(b) 送信を選択するアルゴリズムと CBS

AVB-DMAC が送信するフレームを選択する際には、「*8.6.8 送信選択*」の仕様、IEEE802.1Q 規格にしたがって実施します。AVB モードは、Class A と Class B の SR キュー（Q3、Q2）に対して、CBS（Credit Based Shaping）のアルゴリズムが適用されます。この CBS（Credit Based Shaping）により、所定の SR キューからの送信優先度を正確に処理することが可能になります。
（CBS アルゴリズムについては「**26.4.6 CBS（Credit-Based Shaping）**」を参照してください。）

以下の条件がすべて TRUE の場合、所定時間に SR キュー（Q3 または Q2）を選択し送信します。

- キュー中に、少なくとも 1 フレーム送信可能です。
- キュー中に、使用可能なクレジットが存在します。
- 上記条件を満たす SR キュー以外に、高優先キューが存在しません。（送信可能な状態でない）

以下の条件が両方とも満たされると、非 SR キュー（Q1 または Q0）が選択されます。

- キュー中に、少なくとも 1 フレーム送信可能です。
- 上記条件以外に、高優先キューが存在しません。（送信可能な状態でない）

「**図 26.31 AVB モード 1（デフォルト）の送信選択フロー**」、「**図 26.32 AVB モード 2（代替）の送信選択フロー**」に、AVB モード 1（デフォルト）、AVB モード 2（代替）の送信選択フローを示します。

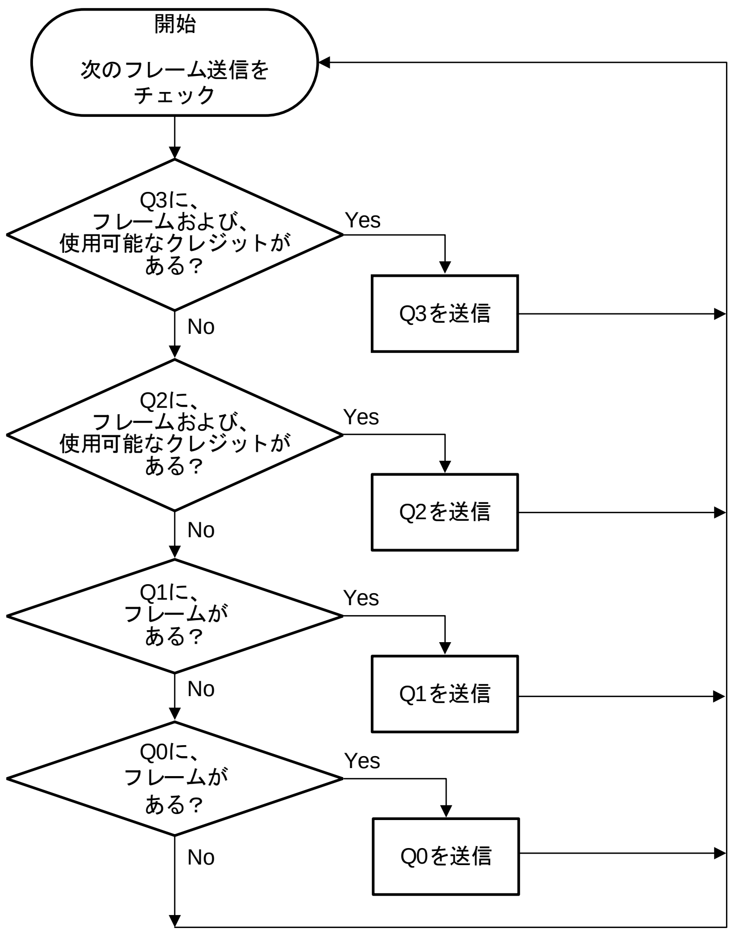


図 26.31　AVB モード 1（デフォルト）の送信選択フロー

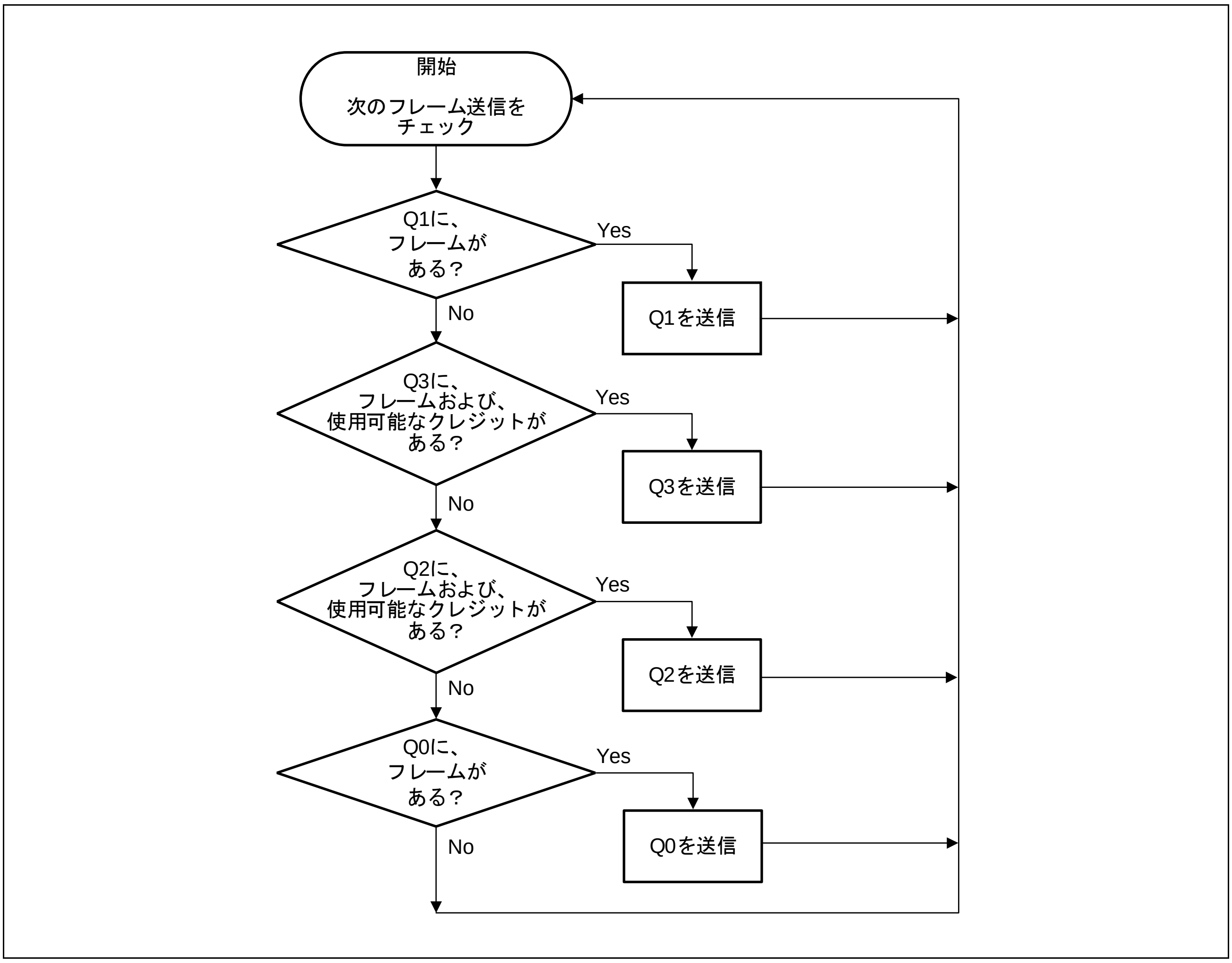


図 26.32　AVB モード 2（代替）の送信選択フロー

(2) 非 AVB 送信モード

非 AVB 送信モードでは、絶対優先方式が適用されます。SR Class には対応しておらず、CBS アルゴリズムは使用されません。

非 AVB 送信モード（送信設定レジスタの送信キュー優先度ビット（ETNBnTGC.TQP[1:0]）が“00_B”）の場合、Q3＞Q2＞Q1＞Q0 の優先順位でフェッチし、送信します。

「**図 26.33 非 AVB モードの送信選択フロー**」に、非 AVB 送信モードの選択フローを示します。

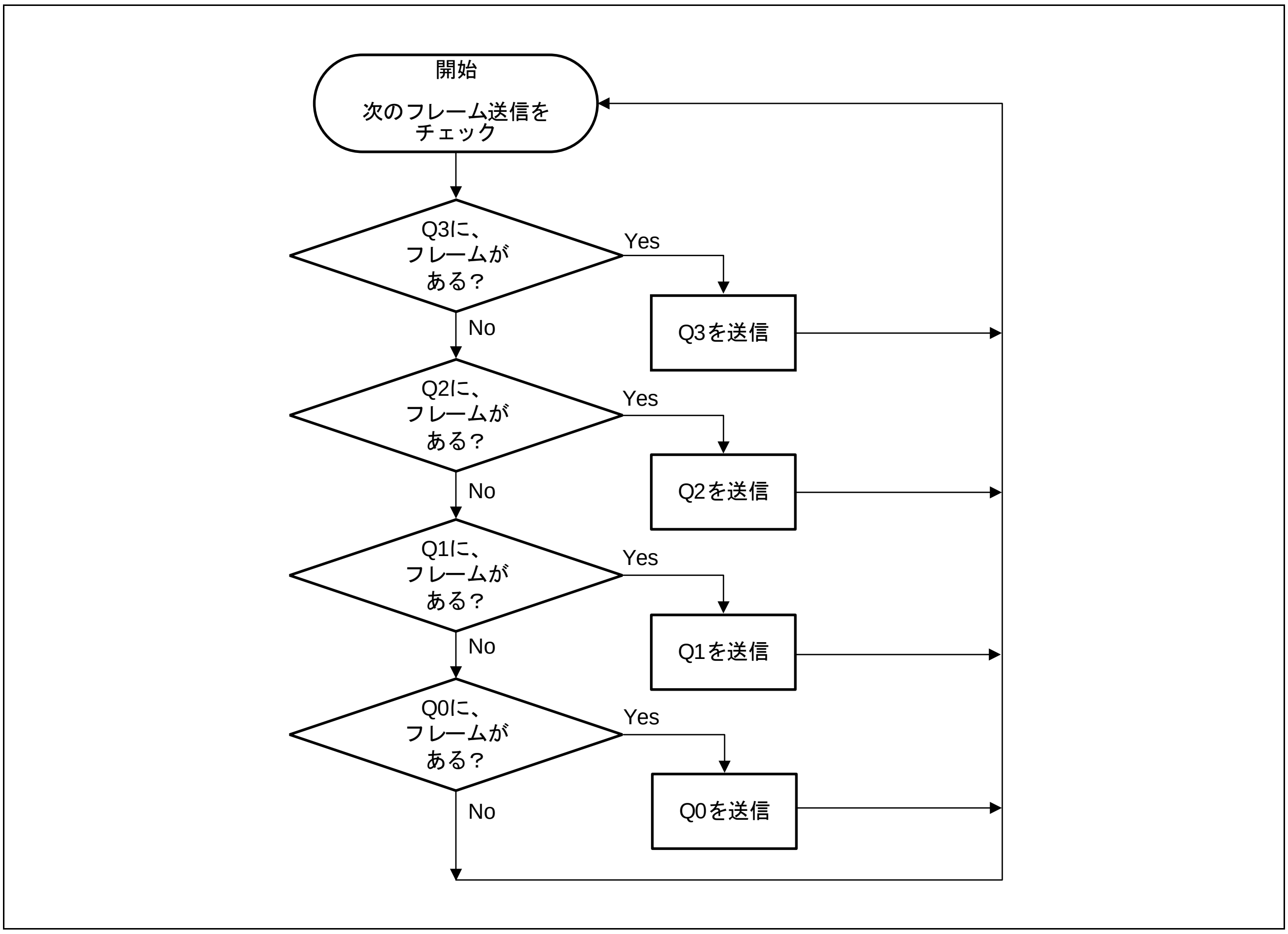


図 26.33 非 AVB モードの送信選択フロー

(3) 送信 FIFO サイズ設定

送信 FIFO は、124 クラスタ搭載されています。それぞれのクラスタは、最大 128 バイトまで格納することができます。

それぞれ 4 つの送信キューが使用する送信 FIFO のサイズは、送信制御レジスタの送信キュー設定 t ビット（ETNBnTGC.TBDt）で設定できます。必要とされるクラスタの最大数は、キューt から送信用最大フレーム長から決定することができます。

一般的な使用例：

Q0：最大 1500 バイトのフレーム→1500 / 128＝11.7→12 クラスタ

Q1：最大 1024 バイトのフレーム→1024 / 128＝8.0→8 クラスタ

Q3：最大 1996 バイトのフレーム→1996 / 128＝15.6→16 クラスタ

Q4：最大 1996 バイトのフレーム→1996 / 128＝15.6→16 クラスタ

すべての送信キューの深さが 2 のとき、次の数だけ、クラスタが必要となります。

2×（12＋8＋16＋16）＋16＝2×52＋16＝120

26.4.5.2 送信用ディスクリプタ設定手順

(1) 送信用ディスクリプタ設定手順

ディスクリプタのタイプは、ディスクリプタタイプ（DESCR.DT）で定義されます。

「**表 26.95 送信ディスクリプタタイプ**」に、送信で使用するディスクリプタタイプを示します。

表 26.95 送信ディスクリプタタイプ

ディスクリプタタイプ（DESCR.DT）	動作	ライトバック
Frame Start (FSTART)	分割フレームの先頭のフレームデータをフェッチ処理し、次のディスクリプタの処理に移る。	FEMPTY
Frame Middle (FMID)	分割フレームの 2 番目以降のフレームデータをフェッチ処理し、次のディスクリプタの処理に移る。	FEMPTY
Frame End (FEND)	分割フレームの最後のフレームデータをフェッチ処理する。 送信 FIFO にフェッチしたフレームデータを E-MAC で送信できるようになると、次のディスクリプタの処理に移る。	FEMPTY
Frame Single (FSINGLE)	フレームデータをフェッチ処理する。 送信 FIFO にフェッチしたフレームデータを E-MAC で送信できるようになると、次のディスクリプタの処理に移る。	FEMPTY
Link (LINK)	DESCR.DPTR で指定したディスクリプタに移る。	LEMPTY
Fixed Link (LINKFIX)	LINK と同じ	変更されない
End Of Set (EOS)	SW で定義した送信停止ポイント 送信開始要求ビット（ETNBnTCCR.TSRQt）がクリアされると、送信処理が停止する。 ETNBnTCCR.TSRQt に“1”を再設定（新しい送信開始要求）すると、次のディスクリプタを処理する。	EEMPTY
Frame Empty (FEMPTY)	送信可能なフレームデータがない 送信開始要求ビット（ETNBnTCCR.TSRQt）がクリアされると、送信処理が停止する。 ETNBnTCCR.TSRQt に“1”を再設定（新しい送信開始要求）すると、このディスクリプタから処理する。	変更されない
Link Empty (LEMPTY)	FEMPTY と同じ	変更されない
EOS Empty (EEMPTY)	FEMPTY と同じ	変更されない

(2) 送信用フレームデータディスクリプタ構成

「**図 26.34 送信フレームのディスクリプタ構成**」に、送信キューで使用するディスクリプタ構成を示します。「**表 26.96 送信ディスクリプタの構成**」に、送信固有フィールド（DESCR.TSR、DESCR.TAG）について示します。

ほかのフィールドやディスクリプタタイプについては、「**26.4.3.6 ディスクリプタタイプ**」を参照してください。

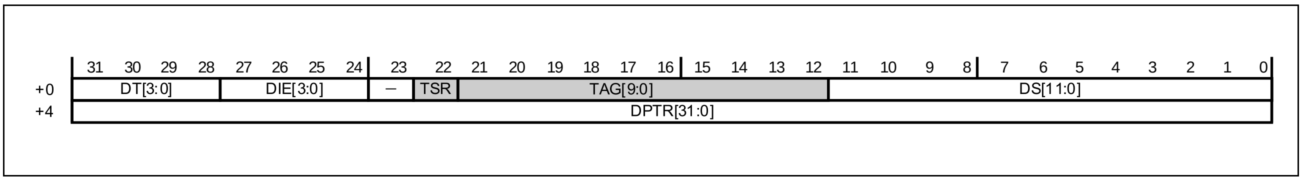


図 26.34 送信フレームのディスクリプタ構成

表 26.96 送信ディスクリプタの構成

ビット名	説明
TSR	タイムスタンプ格納要求ビット 本ビットは送信タイムスタンプを Ethernet AVB 内に格納するかを指定します。 0：Ethernet AVB 内のタイムスタンプ FIFO が送信タイムスタンプを格納しない 1：Ethernet AVB 内のタイムスタンプ FIFO が送信タイムスタンプを格納する 本ビットは DESCR.DT が FEND または FSINGLE のときのみ使用してください。
TAG	フレームタグビット 本 TAG フィールドは、それぞれのフレームデータのタイムスタンプとの関連付けのために使用されます。フレーム TAG は必須ではなく推奨となっている。 本ビットは DESCR.DT が FEND または FSINGLE のときのみ使用してください。

タイムスタンプ FIFO 機能については、「**26.4.5.4 送信タイムスタンプ**」を参照してください。

26.4.5.3 送信処理

(1) フレーム送信

送信設定制御レジスタの送信開始要求ビット（ETNBnTCCR.TSRQt）をセットすると、該当する送信キューに対してフレーム転送を開始します。

まず、キューのカレントディスクリプタアドレス（ETNBnCDARq.CDA）に対するディスクリプタを読み込みます。

このディスクリプタがフレーム送信用のディスクリプタ（FSINGLE など）の場合、AVB-DMAC はディスクリプタデータエリア領域からフレームデータをフェッチし、ディスクリプタタイプ（DESCR.DT）に“FEMPTY”をライトバックしたあとに、次のディスクリプタ処理に進みます。

ディスクリプタが送信用でないディスクリプタの場合は、その指示にしたがい処理します。（ディスクリプタについては、「**26.4.3 ディスクリプタ**」を参照してください。）

ディスクリプタチェイン処理中に、ベースアドレスロード要求が発行された場合（ディスクリプタベースアドレスロード要求レジスタの処理中の送信キュー（ETNBnDLR.LBAq）に“1”を設定）、新しいディスクリプタチェインに進みます。チェインを変えることでフレームフェッチを割り込んでしまうことはありませんが、古いチェイン中のフェッチされなかったフレームは残りますので注意が必要です。

「**図 26.35 送信中のディスクリプタ処理**」に送信中のディスクリプタ処理について示します。

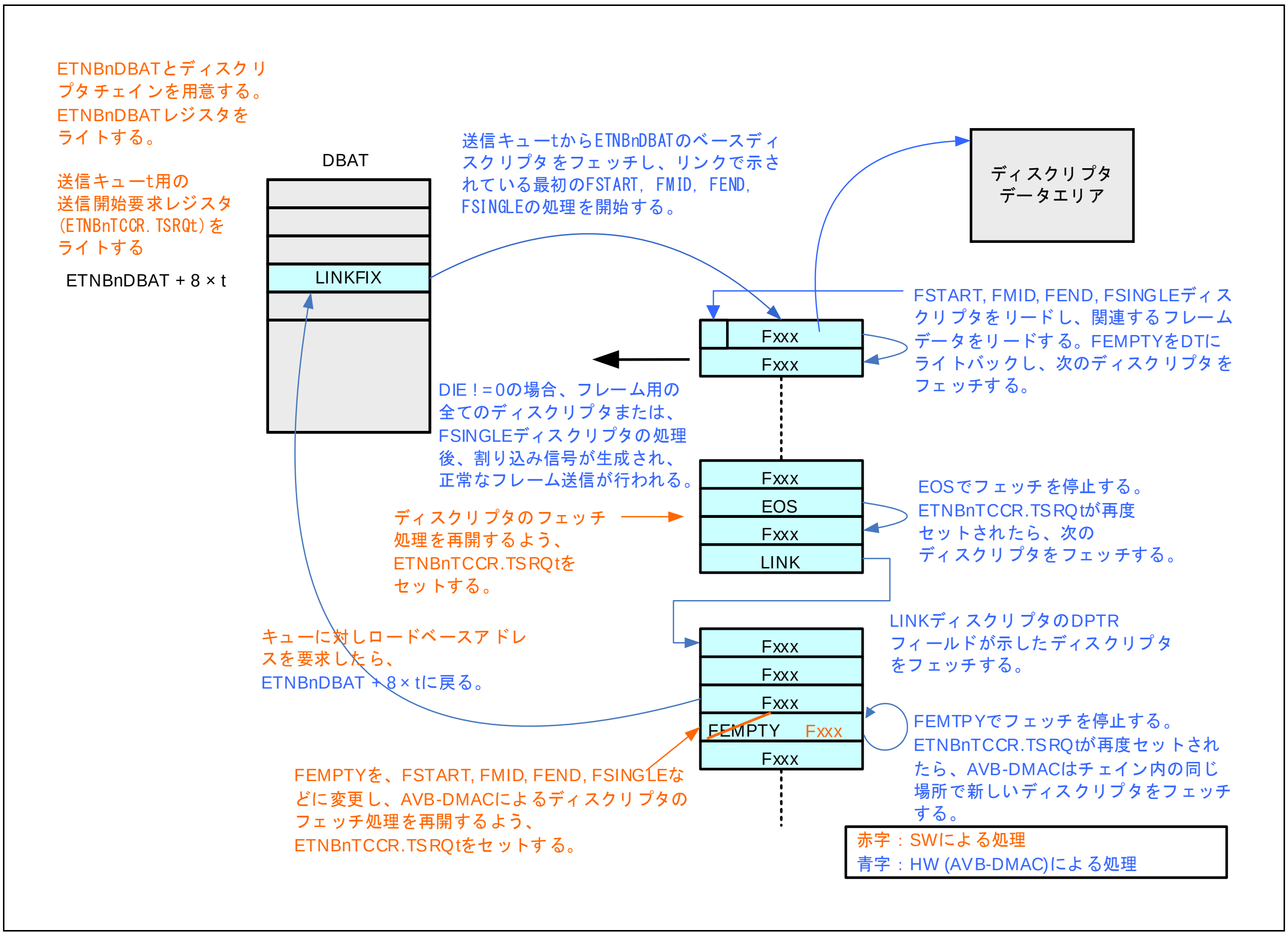


図 26.35 送信中のディスクリプタ処理

(2) ディスクリプタ使用例

(a) 即時フレーム送信

即時フレーム送信とは、SW によりデータがキューに追加された時点で、AVB-DMAC によるフェッチが開始されるパターンです。HW／SW 同期化の停止ポイントには FEMPTY ディスクリプタが使われます。停止ポイントに FEMPTY ディスクリプタを持つディスクリプタチェインを作成してください。

このパターンでの SW フローを「**図 26.36 即時フレーム送信 SW フロー**」に示します。

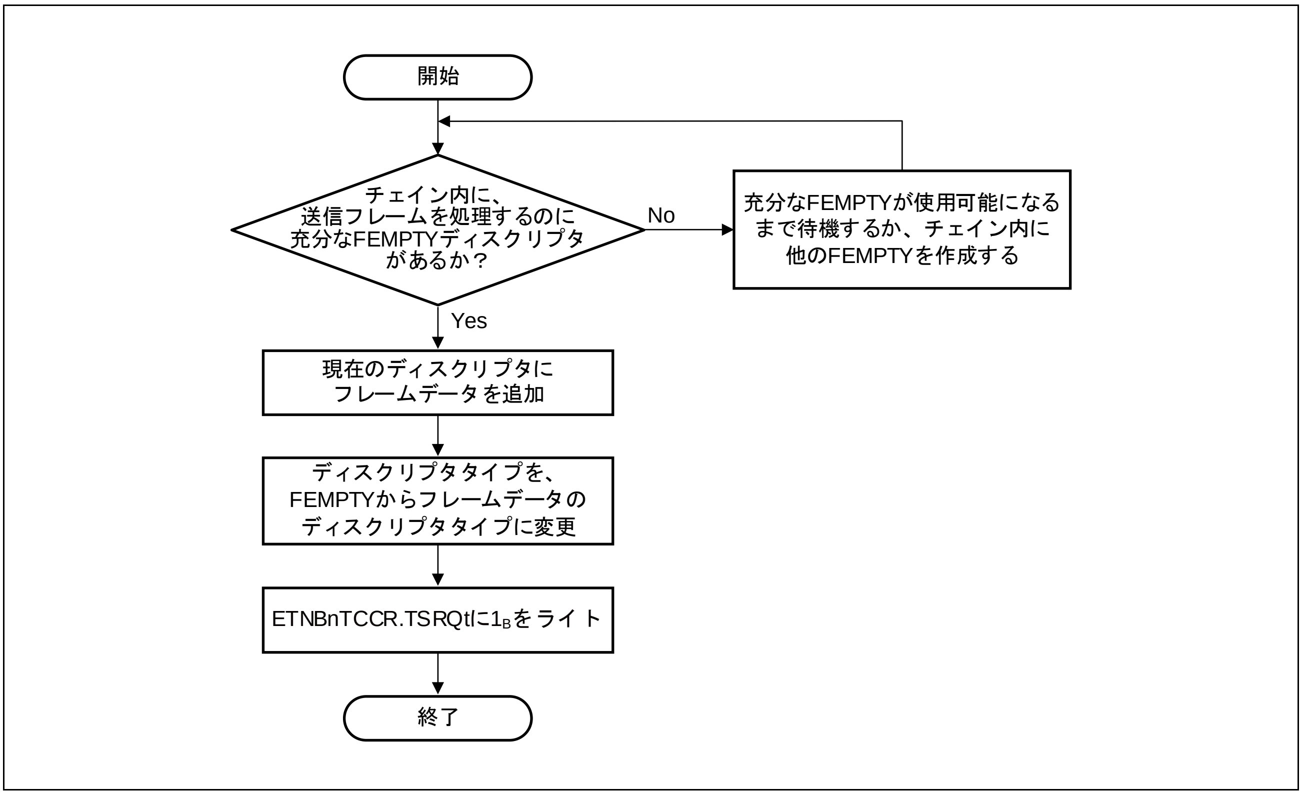


図 26.36 即時フレーム送信 SW フロー

即時フレーム送信における、SW と AVB-DMAC 動作を「**図 26.37 即時フレーム送信 SW／AVB-DMAC 動作**」に示します。

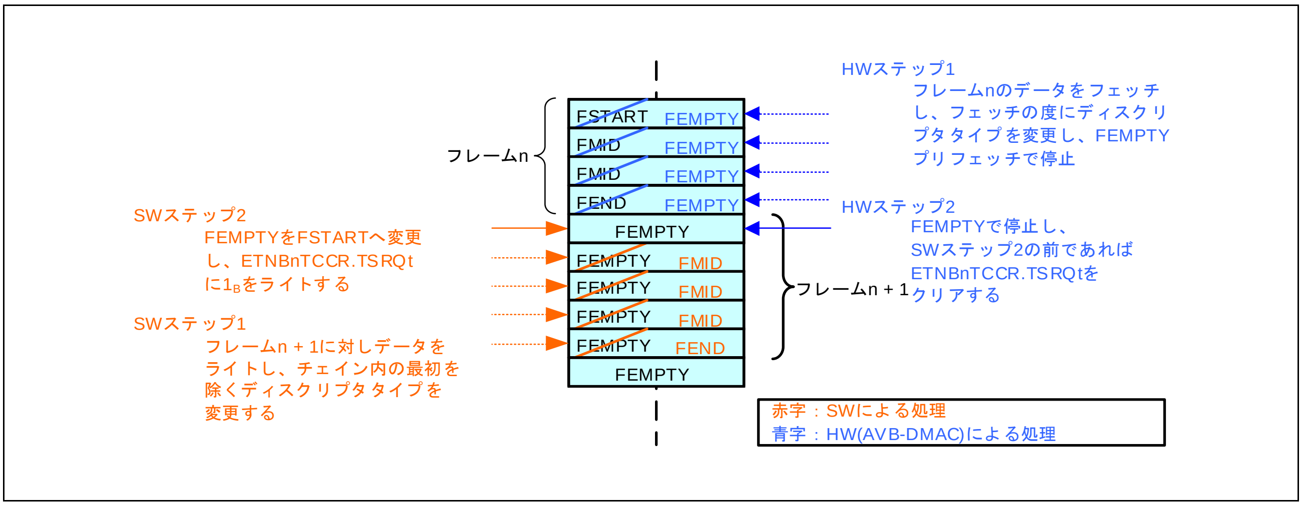


図 26.37　即時フレーム送信 SW／AVB-DMAC 動作

(b)　アクティブディスクリプタチェインを変更したフレームセット送信

このパターンは、即時にデータ送信するのではなく、SW 制御の帯域幅確保などのために遅延させて送信する場合に使用します。停止ポイントには EOS ディスクリプタが使われます。

まずは、停止ポイントに FEMPTY ディスクリプタを持つディスクリプタチェインを作成してください。

このパターンでの SW フローを「**図 26.38　アクティブディスクリプタチェインを変更したフレームセットの送信 SW フロー**」に示します。

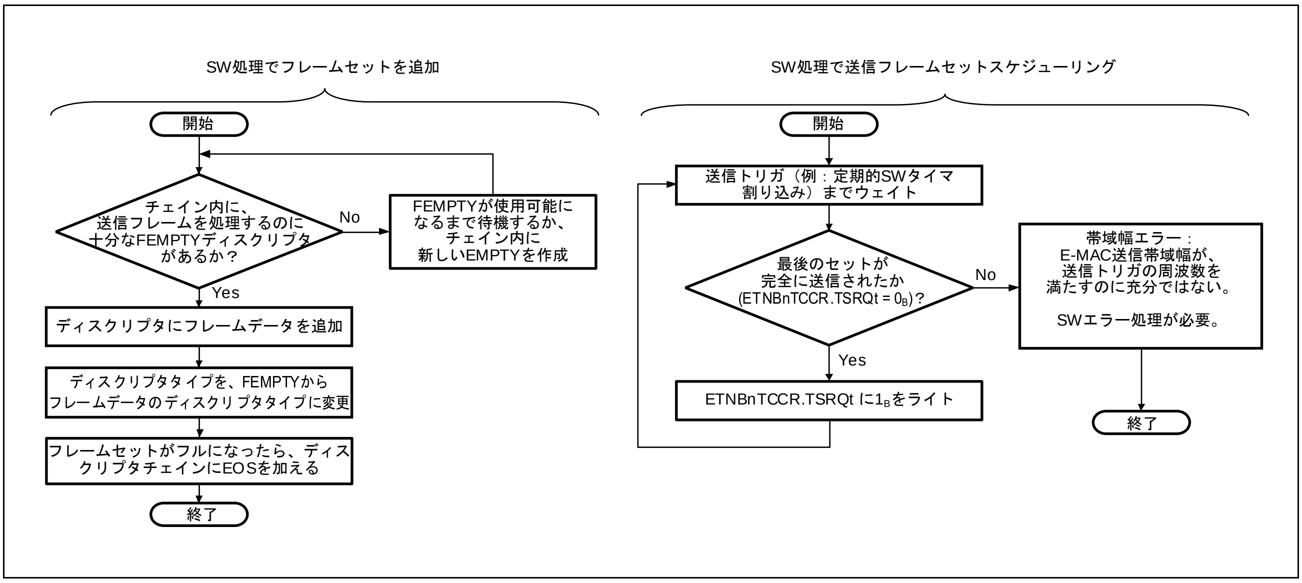


図 26.38　アクティブディスクリプタチェインを変更したフレームセットの送信 SW フロー

フレームセット送信における、SW と AVB-DMAC 動作を「**図 26.39　アクティブディスクリプタチェインを変更したフレームセット送信 SW／AVB-DMAC 動作**」に示します。

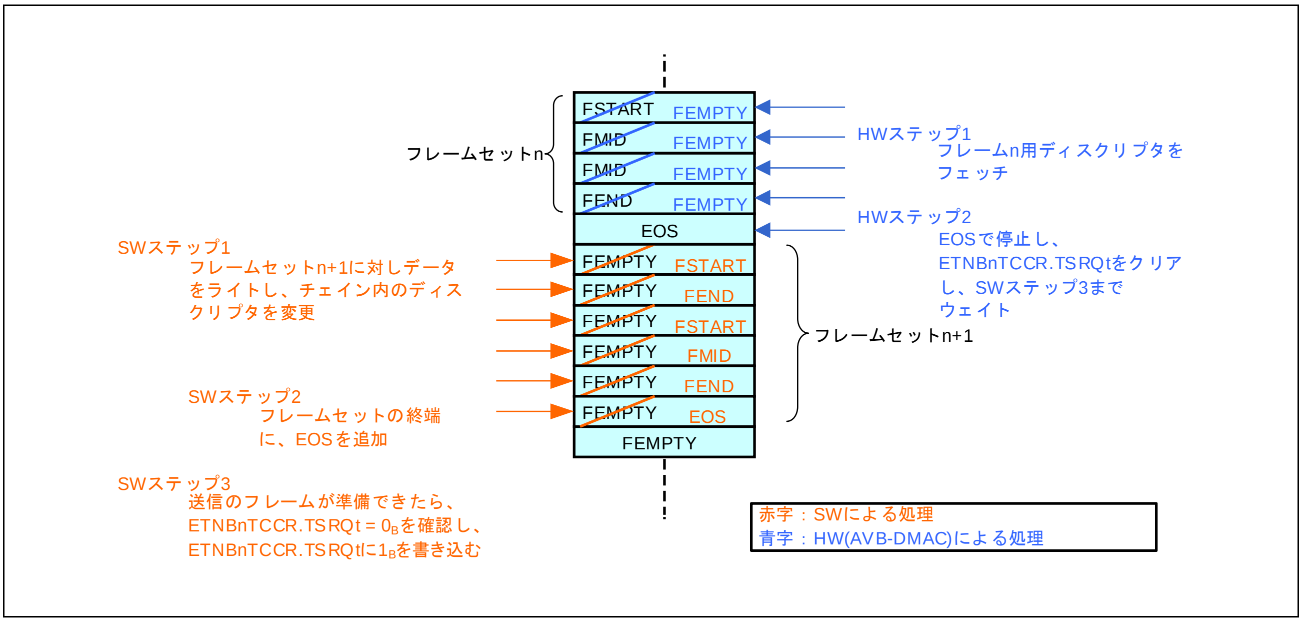


図 26.39　アクティブディスクリプタチェインを変更したフレームセット送信 SW／AVB-DMAC 動作

(c)　シャドウディスクリプタチェインを用いたフレームセット送信

このパターンは、即時にデータ送信するのではなく、SW 制御の帯域幅確保などのために遅延させて送信する場合に使用します。2 つ以上のディスクリプタチェインを使用します。チェインは、アクティブ、シャドウに分類されます。停止ポイントには EOS ディスクリプタが使われます。

停止ポイントに FEMPTY ディスクリプタを持つディスクリプタチェインを作成してください。

このパターンでの SW フローを「**図 26.40　シャドウディスクリプタチェインを用いたフレームセットの送信 SW フロー**」に示します。

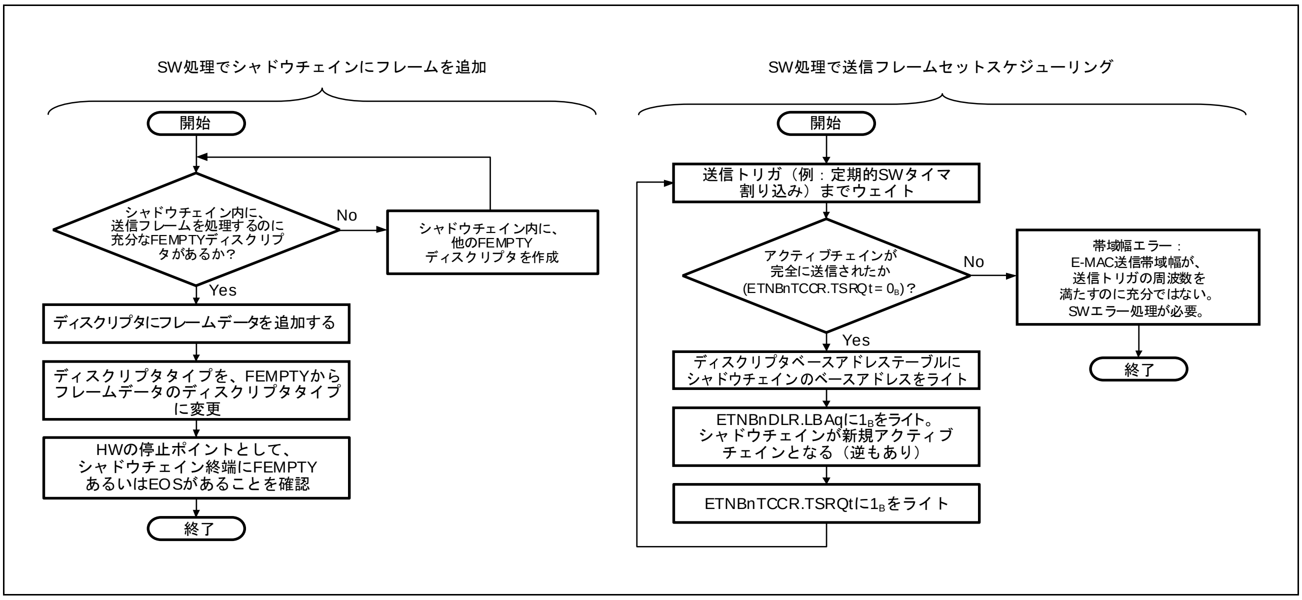


図 26.40　シャドウディスクリプタチェインを用いたフレームセットの送信 SW フロー

フレームセット送信における、SW と AVB-DMAC 動作を「**図 26.41　シャドウディスクリプタチェインを用いたフレームセット送信 SW／AVB-DMAC 動作**」に示します。

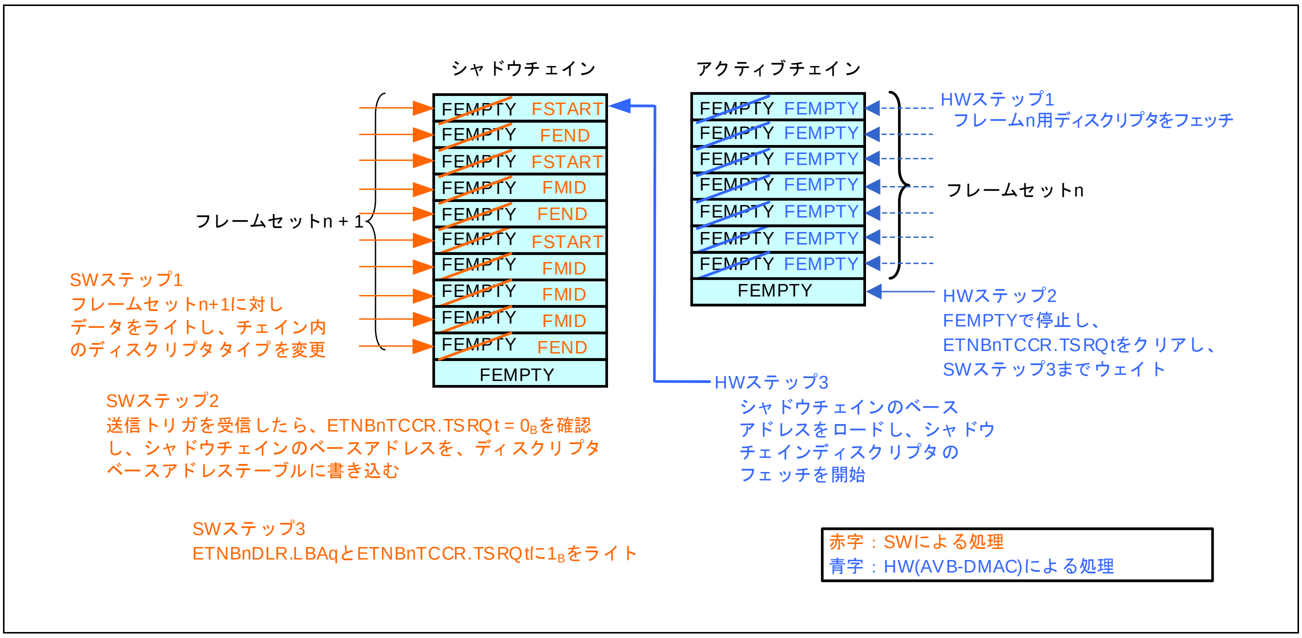


図 26.41　シャドウディスクリプタチェインを用いたフレームセット送信 SW／AVB-DMAC 動作

26.4.5.4 送信タイムスタンプ

送信タイムスタンプは、IEEE802.1AS 規格の時刻同期処理を満たすために重要な情報です。この情報は、ほかのアプリケーションや試験においても、有効です。AVB-DMAC は、送信フレーム用のタイムスタンプの格納をサポートします。タイムスタンプ値は gPTP タイマをベースにしており、送信フレームの Start of Frame Delimiter（SFD）発生時にキャプチャされます。

タイムスタンプ格納要求フィールド（DESCR.TSR）が 1 で、タイムスタンプが格納されるとき、送信フレームのセットの最終ディスクリプタ（FEND）または FSINGLE ディスクリプタのタグフィールド（DESCR.TAG）に定義しているタグ番号も格納されます。識別や関連付けが容易に行えるよう、タイムスタンプ値もタグ番号とともに格納しています。この FIFO は、いつでもアクセス可能です。

「**図 26.42 送信タイムスタンプサポートメカニズム**」に、送信タイムスタンプサポートのメカニズムを示します。

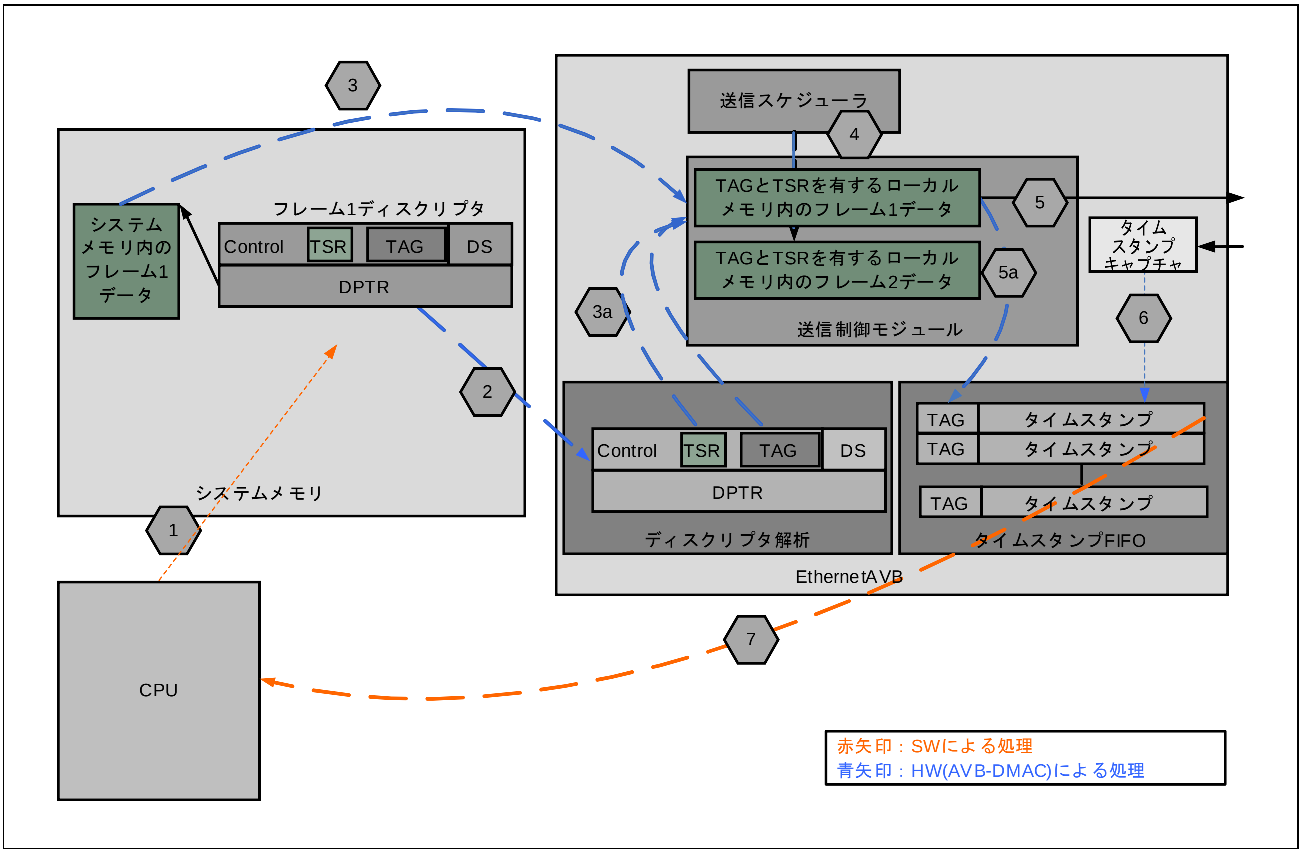


図 26.42 送信タイムスタンプサポートメカニズム

使用方法を以下に示します。

1. タイムスタンプが必要なフレームに対して、URAM 上に領域を確保してください。
   タグフレームフィールド（DESCR.TAG）でフレームにタグ番号を付与し、タイムスタンプ格納要求フィールド（DESCR.TSR）を 1 に設定してください。
2. AVB-DMAC がディスクリプタ解析、フェッチをします。タイムスタンプ格納要求フィールド（DESCR.TSR）が 1 の場合、このフレーム送信時にタイムスタンプの格納が必要であることを認識します。
3. AVB-DMAC がフレーム 1 をフェッチし、スケジューリング用に一時的に、内部メモリに格納されます。
   3a：フェッチされたデータは、フレームタグフィールド（DESCR.TAG）とタイムスタンプ格納要求フィールド（DESCR.TSR）に格納されます。
4. Credit-based shaping（CBS）などの方式に従って、優先度の設定を制御をする際は、送信スケジューラが、フレーム 1 を送信する時間を決定します。
5. フレーム 1 の送信を開始します。
   5a：タイムスタンプ FIFO に、フレーム 1 に関連するタグ情報が格納されます。
6. 送信時の Start of sending the frame delimiter（SFD）によって、gPTP のタイムスタンプがキャプチャされ、タグとともにタイムスタンプ FIFO に格納されます。送信完了後、割り込みが発生します。そのため、ディスクリプタ割り込み制御レジスタ（ETNBnDIC）を事前に、設定しておいてください。
7. タイムスタンプ FIFO から、エントリを読み出すことができます。

IEEE802.1AS 規格の時刻同期のフレームに対し、タイムスタンプ FIFO を使用してください。

ほかのフレームについても、タイムスタンプ機能を使用することはできますが、タイムスタンプ FIFO がオーバフローしないよう注意してください。FIFO がフルになった場合、それ以降に提供されるタイムスタンプは失われます。

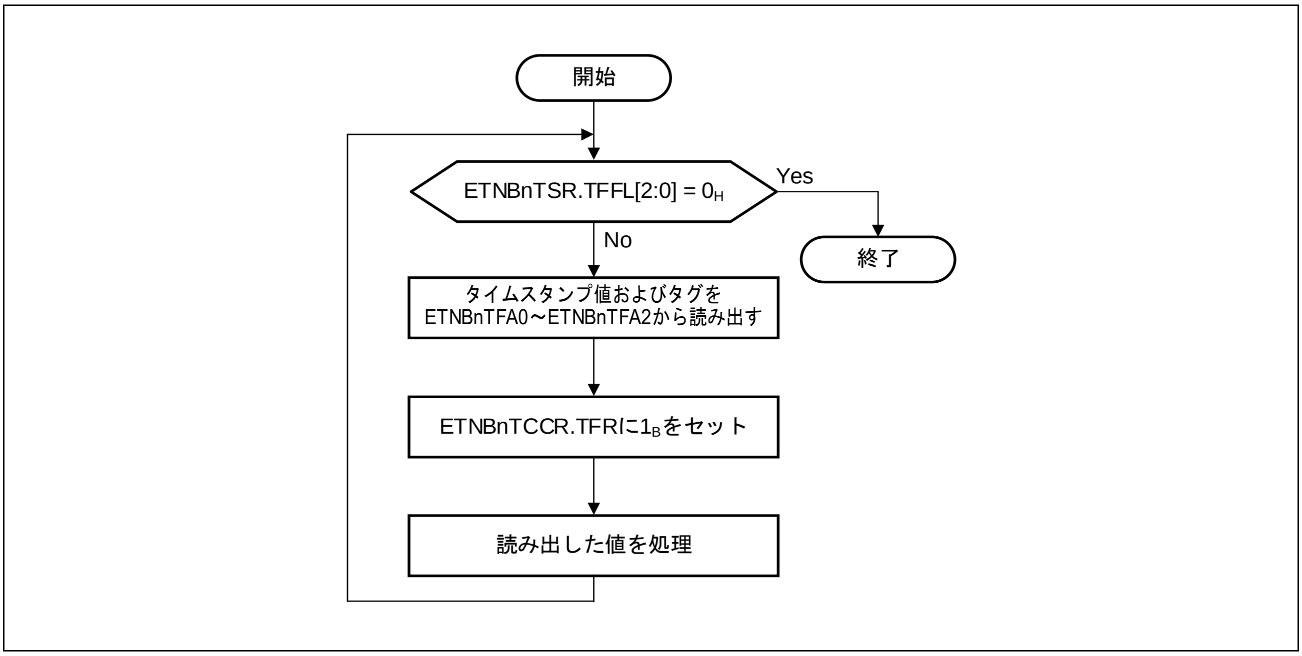


図 26.43　送信タイムスタンプ処理フロー

(1) 送信終了

「**図 26.44 送信終了手順**」に送信終了手順を示します。

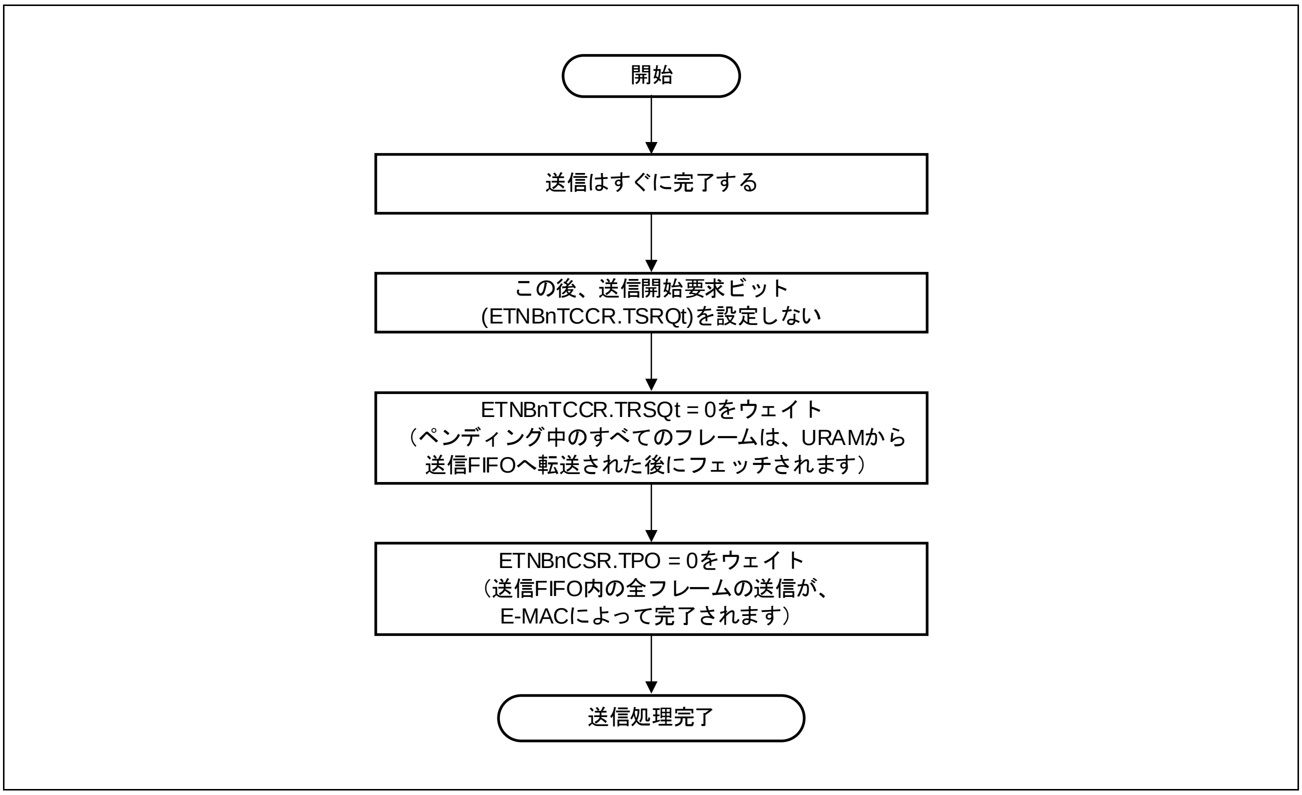


図 26.44　送信終了手順

26.4.6 CBS（Credit-Based Shaping）

AVB 送信モード（送信設定レジスタの送信キュー優先度（ETNBnTGC.TQP）が“01_B”か“11_B”）では、送信キューQ3 と Q2 はそれぞれ Class A と Class B ストリームトラフィックに対応し、FQTSS（Forwarding and Queuing for Time Sensitive Streams）規格（IEEE802.1Q「*第34 章*」、または「*第8.6.8 章*」参照）を満たすために、CBS（Credit Based Shaping）アルゴリズムを適用して送信キューを選択しています。

この CBS アルゴリズムは、それぞれのキューに対する送信クレジットの考え方に基づいています。キューが所定の時間に送信する「権利」の量のことを、「クレジット」いいます。実際、IEEE802.1Q に規定されている AVB 送信モードでは、CBS アルゴリズムの対象となるキューは、以下の条件を満たした場合に送信可能となります。

- キューに 1 つ以上のフレームが格納されていること
- キューに対するクレジットが 0、または正の値であること

送信キューに対するクレジットは、送信 FIFO に 1 つ以上のフレームがある時にキューが送信されていないと、インクリメントされます。この状況は、AVB-DMAC ステータスレジスタのキューt 用の送信プロセスステータスビット（ETNBnCSR.TPOt）が 0 にクリアされていることで示されます。クレジットは、キューからのフレームが送信中になるとデクリメントされます。このメカニズムにより、それぞれのトラフィックキューの送信が、そのキューに割り当てられている一定の最大帯域幅を超えないように、送信をコントロールしています。

IEEE802.1Q では CBS アルゴリズムが動作するそれぞれのキューに対して、以下のパラメータを定義しています。

portTransmitRate	:	外部ポートへの最大送信データレート。このパラメータは E-MAC によって決定される。
bandwidthFraction	:	キューが使用可能な portTransmitRate の最大の割合。
idleSlope :	:	キューが送信されておらず、クレジットの値が増えているときの、キューに対するクレジットの変化率（ビット／秒単位）。一定の条件（フレームの連続ストリームが使用可能）下で、idleSlope はそのキューに対して使用可能な帯域幅の合計（portTransmitRate）の最大分数にも等しい。IEEE802.Q の Annex L を参照してください。 idleSlope＝bandwidthFraction × portTransmitRate
sendSlope	:	キューが送信され、クレジットの値が減っているときの、キューに対するクレジットの変化率（ビット／秒単位）。 sendSlope の値は次のように定義されています。 sendSlope＝idleSlope – portTransmitRate

さらに、アルゴリズムの制御下では、それぞれのトラフィッククラス（キュー）は次の値で定義しています。IEEE802.Q の Annex L を参照してください。

maxFrameSize	:	該当するトラフィッククラスに対し、ポートから送信することができる最大のフレームサイズ（ビット単位）
maxInterferenceSize	:	該当するトラフィッククラスに対し、遅延させることが可能な最大のバーストサイズ（ビット単位）
hiCredit	:	hiCredit : クレジット値の最大値（正数）。以下の式にて求めることができます。 hiCredit＝maxInterferenceSize × (idleSlope / portTransmitRate)
loCredit	:	クレジット値の最小値（負数）。以下の式にて求めることができます。 loCredit＝maxFrameSize × (sendSlope / portTransmitRate)

CBS アルゴリズム動作と、上記パラメータの意味について、「**図 26.45 CBS（Credit Based Shaping）動作**」に示します。

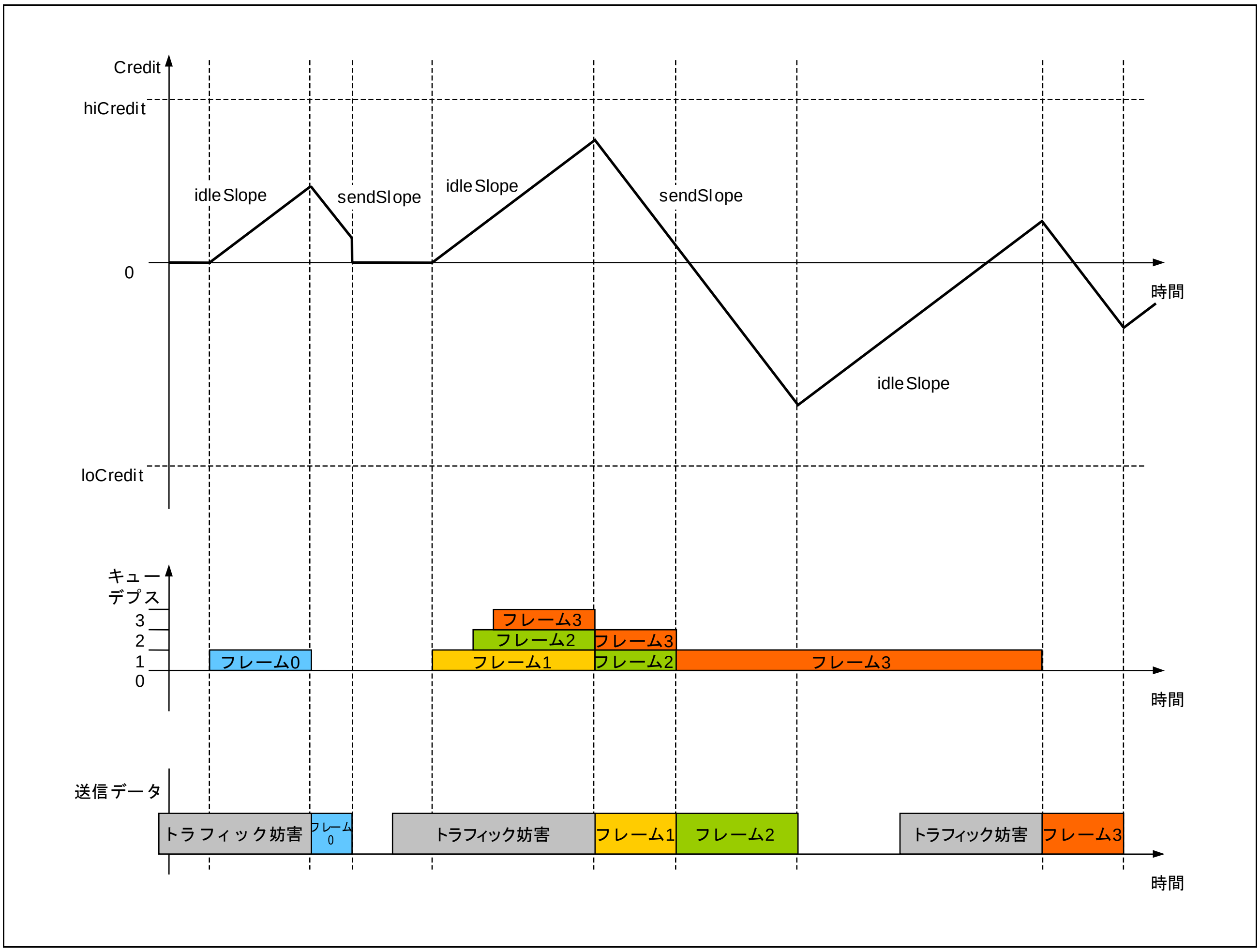


図 26.45　CBS（Credit Based Shaping）動作

AVB-DMAC における CBS（Credit Based Shaping）の実装について、「**図 26.46 AVB-DMAC における CBS（Credit Based Shaping）動作**」に示します。

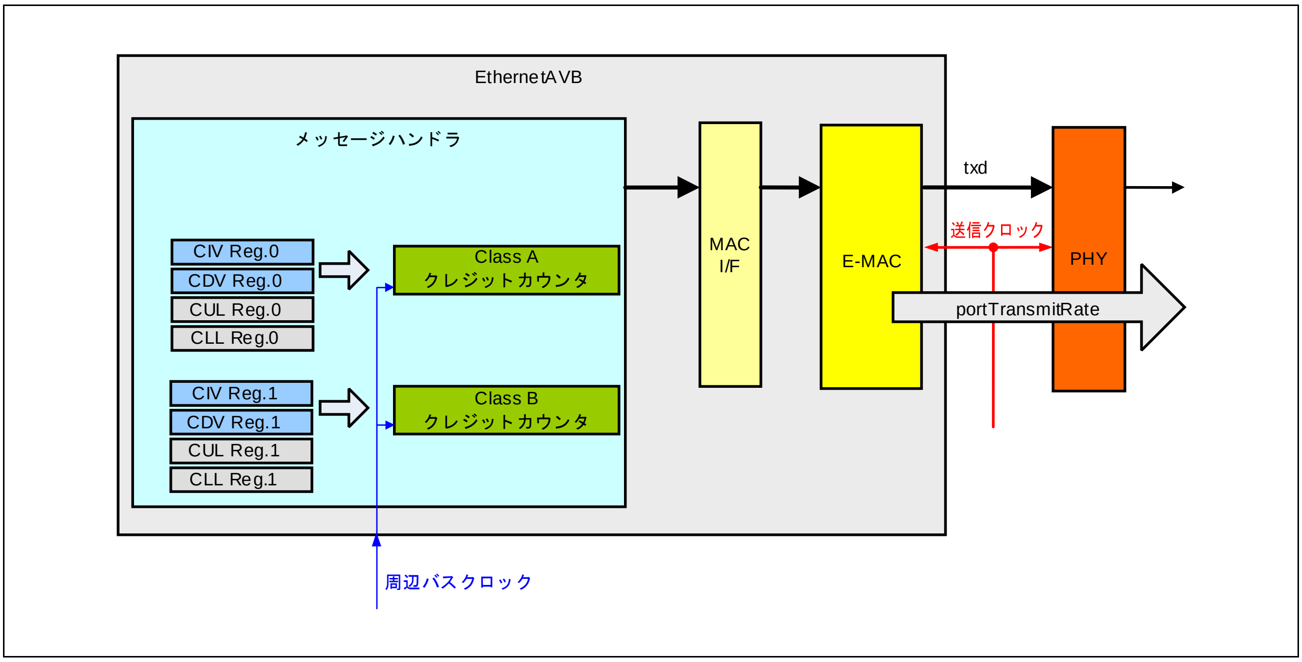


図 26.46 AVB-DMAC における CBS（Credit Based Shaping）動作

上記図は、各トラフィッククラス（SR Class A と Class B）の「クレジットカウンタ」に基づいています。それぞれのクラスには次のパラメータを適用します。

CBS インクリメント値（CIV）：符号つき正数
送信が開始されておらず、キューからのフレームが保留中（idleSlope）、周辺バスクロックサイクルごとにクレジットがインクリメントされる。

CBS デクリメント値（CDV）：符号つき負数
キューからのフレーム送信が進行中（sendSlope）、周辺バスクロックサイクルごとにクレジットがデクリメントされる。

CBS インクリメント値（CIV）、CBS デクリメント値（CDV）は、次のように定義されます。
CIV＝idleSlope × Mfactor
CDV＝sendSlope × Mfactor

Mfactor は正確性が失われないような CIV と CDV にするための乗数です。CIV と CDV は以下の式により算出します。
CIV＝(portTransmitRate/CHI_freq) × bwFraction × Mfactor
CDV＝(portTransmitRate/CHI_freq) × (bwFraction − 1) × Mfactor

CHI_freq は周辺バスクロックの周波数です。クレジットカウンタは周辺バスクロックで動作しており、CBS の slope パラメータ（1/CHI_freq）が必要となります。

Mfactor は CBS パラメータ用にソフトウェアにて準備してください。同じ Class では、CBS パラメータの Mfactor はすべて同じにしてください。所定の Class c に対する Mfactor は、その Class に対してペンディング中の送信がない場合にかぎり（AVB-DMAC ステータスレジスタの送信プロセスステータスビット

（ETNBnCSR.TPOt）＝0）、動作中に変更することが可能です。このとき Class A および Class B のクレジットカウンタ値＝0 となっています。

もしクレジットカウンタが 0 以外のときに Mfactor が変更された場合、クレジット値は新しいインクリメント／デクリメントパラメータと一致しなくなりますので、ご注意ください。Mfactor は、AVB-DMAC レジスタには存在しません。

CIV と CDV パラメータは、CBS インクリメント値レジスタ c（ETNBnCIVRc）と CBS デクリメント値レジスタ c（ETNBnCDVRc）にセットしてください。これはストリームが IEEE802.1Qat にしたがって登録、抹消されたときに更新すべき、動的な設定となります。

AVB-DMAC では、CBS 上限値レジスタ c（ETNBnCULc）（Class A と B のための上限レジスタ）と CBS 下限値レジスタ c（ETNBnCLLc）（Class A と B のための下限レジスタ）があります。クレジット値に一致するように Mfactor をセットし、上記に定義したようにそれぞれのクラスに対し上限値（hiCredit）と下限値（loCredit）を設定してください。

CUL＝hiCredit × Mfactor＝maxInterferenceSize × bwFraction × Mfactor
CLL＝loCredit × Mfactor＝maxFrameSize × (bwFraction − 1) × Mfactor

例：

portTransmitRate＝100Mbps、CHI_freq＝60MHz、bwFraction＝3%ように仮定すると、周辺バスクロックサイクルごとビットで表された idleSlope と sendSlope は以下のようになります。

idleSlope＝(portTransmitRate/CHI_freq) × bwFraction＝100/60 (Mbps/MHz) × 3%＝周辺バスクロックサイクルごとのビットの 0.050

sendSlope＝idleSlope − (portTransmitRate / CHI_freq)＝周辺バスクロックサイクルごとに－1.616 ビット

Mfactor＝100 とすると、CIV と CDV パラメータは以下のように得られます。

CIV＝idleSlope × Mfactor＝5.0
CDV＝sendSlope × Mfactor＝－161.6

26.4.6.1　CIV／CDV／Mfactor 制限

CBS レジスタに設定可能な CIV／CDV の最大値は、クレジットカウンタがオーバフローしない最大（負数の場合は最小）値によって決まります。このクレジット最大値は hiCredit 値のワーストケースに相当し、Class A と Class B では以下のようになります。

<条件>

- Class A 最大値（hiCredit_max_calssA）

  classA bwFraction ≅ 100%
  送信優先順位の関係上、最大フレームサイズ分待機する必要があるものとします。
  hiCredit_max_classA ≅ maxInterferenceSize for Class A＝1 最大サイズのフレームに起因した干渉＝
  ヘッダ ＋ 最大サイズペイロード ＋CRC（2000 バイト）＋ プリアンブル（8 バイト）＋IFG（12 バイト）
  ＋processing_delay（≅ 80 バイト）≅ 2100 バイト

- Class B 最大値（hiCredit_max_calssB）

  classB bwFraction ≅ 100%
  送信優先順位の関係上、Class A の送信キューおよびそのほかの送信キューの最大フレームサイズ分待機する必要があるものとします。
  hiCredit_max_classB ≅ Class B 用 maxInterferenceSize＝2 最大サイズのフレームに起因した干渉＝
  2 × hiCredit_max_classA ≅ 4200 バイト

hiCredit_max_classA＝16800

hiCredit_max_classB＝33600

32 ビット符号つきカウンタで、オーバフローせずに Mfactor で選択できる最大値は以下のようになります。

Mfactor_max_classA＝$2^{31}-1$ / hiCredit_max_classA ≅ 127826

Mfactor_max_classB＝$2^{31}-1$ / hiCredit_max_classB ≅ 63913

狭い帯域幅でも高い正確性が得られます。

Class B において、bandwidthFraction＝0.05%で帯域幅エラー＜0.1%です。

CIV の最大値は、次の数式から算出します。

CIV＝idleSlope x Mfactor＝(portTransmitRate / CHI_freq) × bandwidthFraction × Mfactor

Mfactor が最大値、かつ bandwidthFraction が最大値（～100%）のとき：

CIV_max_classA＝(portTransmitRate / CHI_freq) × Mfactor_max_classA

CIV_max_classB＝(portTransmitRate / CHI_freq) × Mfactor_max_classB

「**表 26.97 Class A と Class B の CIV パラメータの最大値例**」に、portTransmitRate と周辺クロック周波数の値の例を示します。表中の値は、32 ビットのクレジットカウンタがオーバフローしない、CIV の限界の最大値であることに注意してください。CIV パラメータは、16 ビット＋符号ビットとして実装されているため、追加する上限は Class A と Class B のどちらにおいても CIV≦65535 となります。

表 26.97　Class A と Class B の CIV パラメータの最大値例

portTransmitRate	clk_chi[MHz]	CIV_max_classA	CIV_max_classB
100Mbps	50	255652	127826
100Mbps	60	213043	106521

26.4.6.2　フレーム間ギャップ（IFG 中）のクレジットのインクリメント

フレーム送信後のフレーム間ギャップ（IFG）は CBS クレジットカウンタによるフレーム送信動作の一部としていません。IFG 中は、ペンディング中のフレームあるいは負数のクレジットを持つすべての SR キューに対しクレジットがインクリメントされます。

「**図 26.47 IFG 中のクレジットの動作**」に IFG 中のクレジット動作について示します。

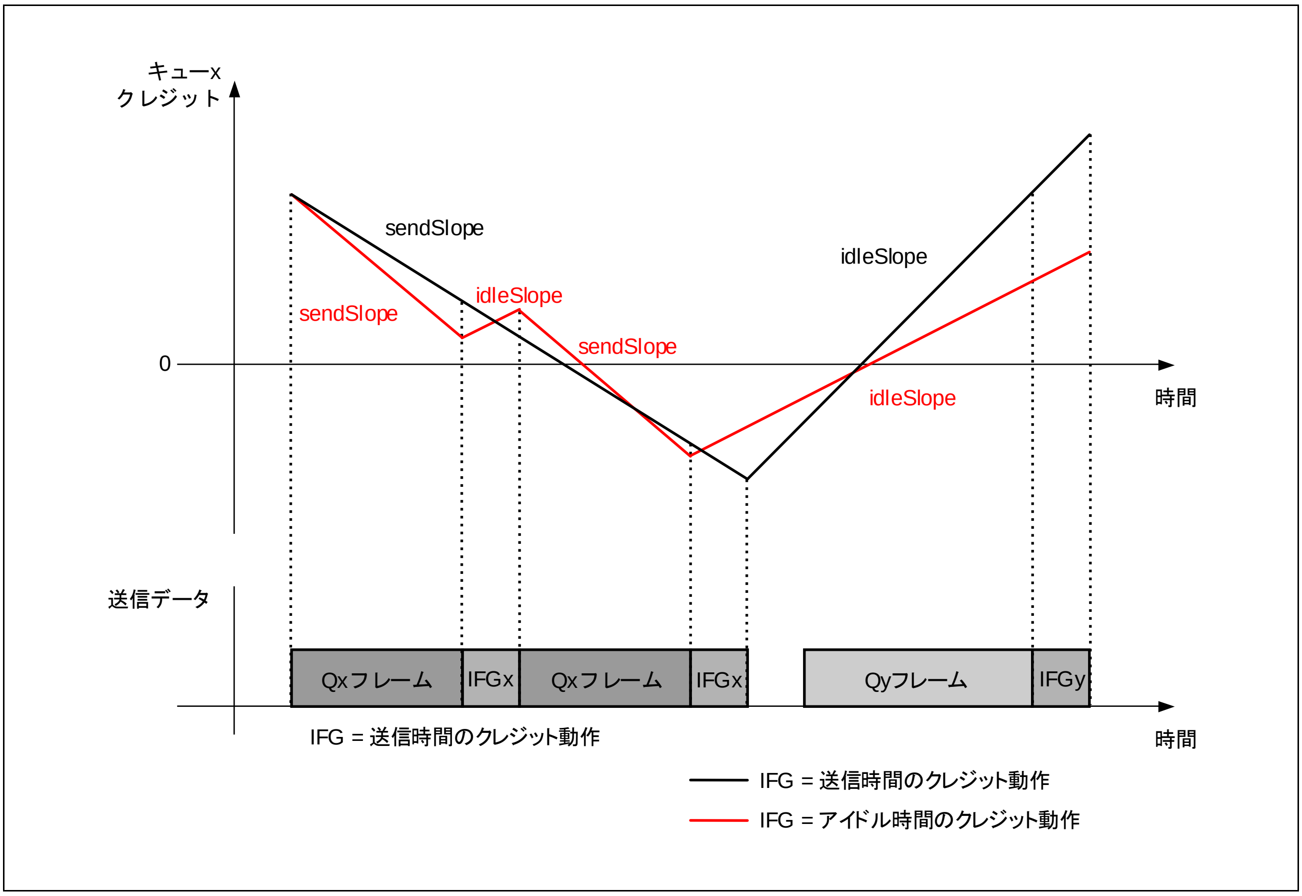


図 26.47　IFG 中のクレジットの動作

これは、idleSlope、sendSlope、そして CIV と CDV パラメータを決定する際は所定の SR Class において帯域幅の要件を計算する時に IFG まで含む必要はないことを意味しています。ただし、すべての SR Class の合計帯域幅割り当てが portTransmitRate の 100%を超えないことを確認するため、IFG も計算に含まなければなりません。このことは、IEEE802.1Q の「*第 35.2.2.8.4 章*」で説明されています。

26.4.6.3　例

Ethernet フレーム中、Class A の 48kHz ステレオオーディオストリームを例に説明します。

フレーム内のオーディオデータには、6 つの 32 ビットサンプルが 2 セットに加え、32 オクテットのヘッダを合わせた 80 オクテットが、Class A 測定間隔（125μs）のたびにフレームごとに格納されています。IEEE Std 802.3 はまた、42 オクテットのメディア固有のフレーミングオーバーヘッド（8 オクテットのプリアンブル、14 オクテットの IEEE802.3 ヘッダ、4 オクテットの IEEE802.1Q priority／VID タグ、4 オクテットの CRC、12 オクテットの IFG）も付加されます。したがって、合計フレームサイズは 80＋42＝122 オクテットとなり、クラス測定間隔ごとに、このようなフレームが送信されます。

このクラスのおよそ 7.8Mbit／秒（122 オクテット×オクテットごとに 8 ビット×毎秒 8000 フレーム）の合計帯域幅を表しています。E-MAC での動作が 100Mbps であると仮定（portTransmitRate）すると、これは Class A キューに対し 7.8%の帯域幅割り当てに相当します。もし、同じ総送信帯域幅をシェアしなければならないトラフィッククラスがほかにもある場合、割り当ての合計が portTransmitRate の 100%よりも大きくないことを確認するために、この 7.8%の帯域幅割り当てが必要です。

CIV と CDV パラメータを求めるには、そのクラスに対し計算されたフレームサイズには IFG が含まれてはいけないので、80 ビットのペイロード＋30 オーバーヘッド＝クラスごとに 110 オクテット測定間隔→このクラスの合計帯域幅＝7.04Mbps＝portTransmitRate の 7.04%となります。

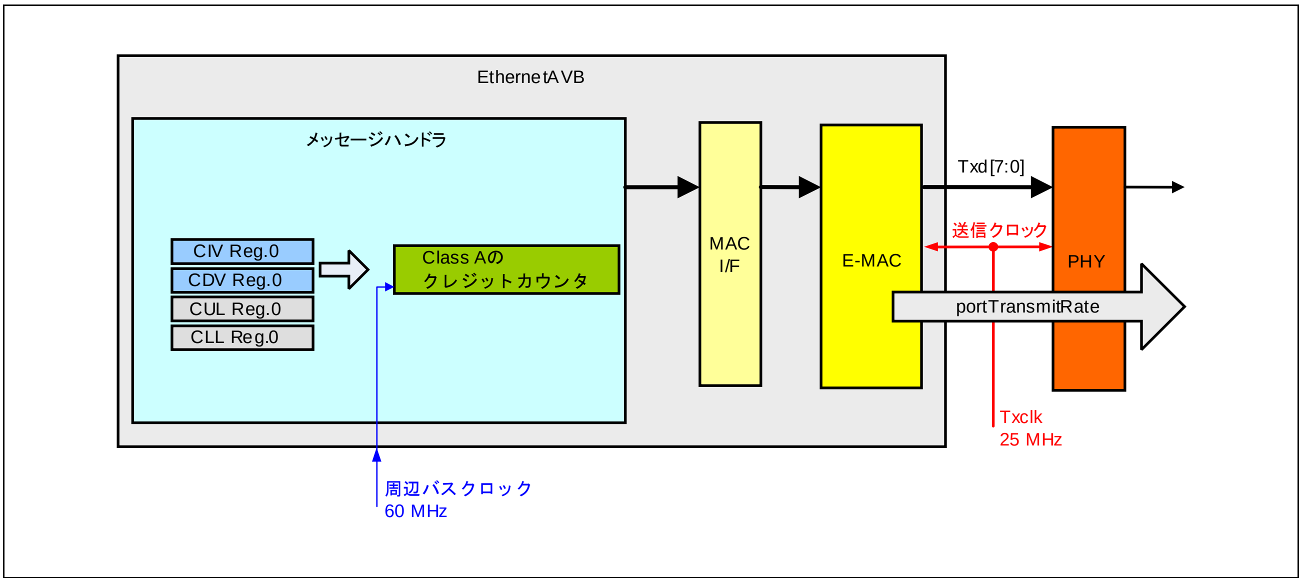


図 26.48　CBS の設定例

以下を仮定すると、

- E-MAC にて 100Mbps 動作：portTransmitRate＝100Mbps
- 周辺バスクロック（クレジットカウンタの動作クロック）周波数＝60MHz

Class A に 7.04Mbit／s の帯域幅を確保する場合、CBS パラメータは、以下のような設定になります。

- bandwidthFraction＝7.04%
- idleSlope＝(portTransmitRate / CHI_freq) × bandwidthFraction ≅ 周辺バスクロックサイクルごとに 0.1173 ビット
- sendSlope＝idleSlope − (portTransmitRate / CHI_freq) ≅ 周辺バスクロックサイクルごとに−1.5493 ビット

Mfactor＝100 の場合、以下のようになります。

- CIV＝idleSlope × Mfactor＝周辺バスクロックサイクルごとに 11.7333 ビット
- CDV＝sendSlope × Mfactor＝周辺バスクロックサイクルごとに－154.9333 ビット

これらが、レジスタ ETNBnCIVR1 と ETNBnCDVR1 に設定される最終値です。

26.4.7　IEEE802.1：gPTP

26.4.7.1　gPTP タイマ

gPTP 機能をサポートするために、84 ビットのタイマが搭載されています。タイマと関連レジスタにおけるビット定義を「**図 26.49 gPTP タイマビットと関連ビットの定義**」に示します。gPTP タイマは、ETNBnCCC.CSEL を設定し、オペレーションモードに移行した後に開始します。

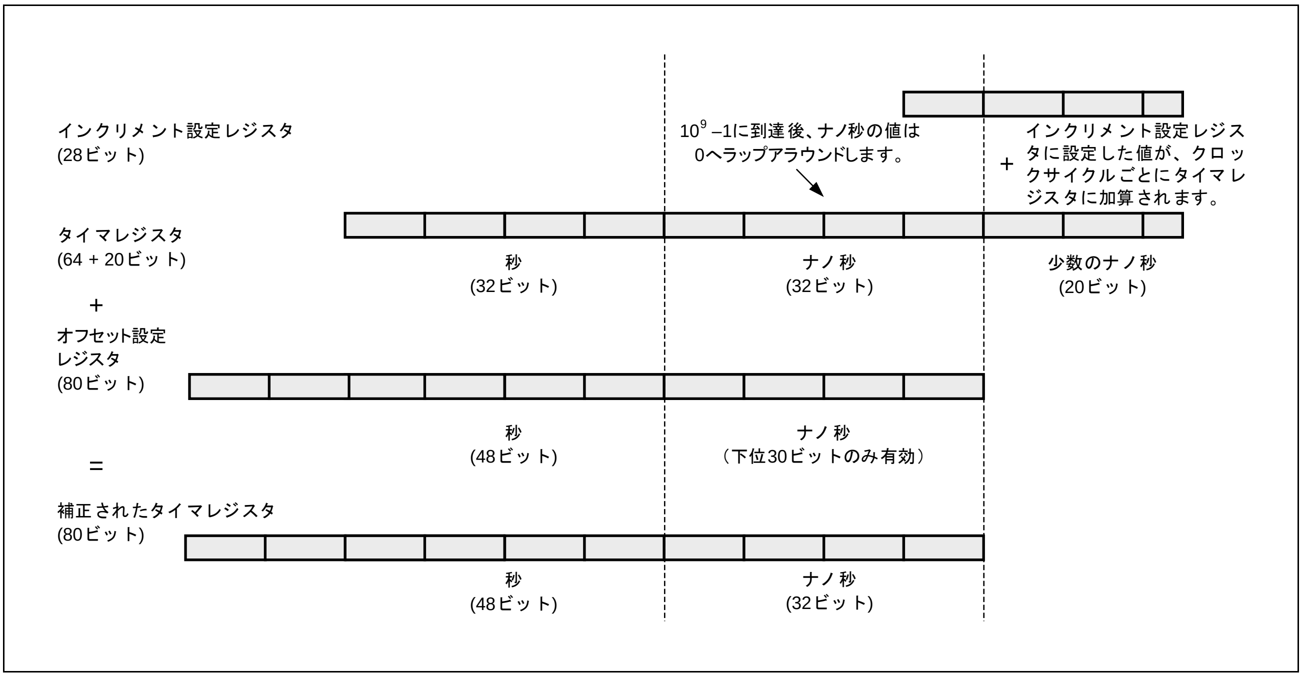


図 26.49　gPTP タイマビットと関連ビットの定義

上位 32 ビットが秒を示します。続く 32 ビットの 1 カウントは 1ns となります。下位 20 ビットは小数部分（1ns 以下）です。SW からは、秒を表す上位 32 ビットと、ナノ秒を表す続く 32 ビット部分のみ読み込み可能です。1ns 以下にあたる下位 20 ビットは読み込み不可です。正確に時間計測するためだけに、AVB-DMAC 内にて使用されるカウンタです。

タイマは、gPTP 設定制御レジスタのタイマ制御要求ビット（ETNBnGCCR.TCR[1:0]）を“01_B”に設定することにより、リセットすることが可能です。本ビットは、タイマリセットが正常終了すると“00_B”になります。

タイマが起動すると、クロックサイクルごとに gPTP タイマインクリメントレジスタ（ETNBnGTI.TIV）に設定された値が、gPTP タイマに加算されます。

gPTP タイマインクリメントレジスタ（ETNBnGTI.TIV）に値を設定した後に、gPTP 設定制御レジスタのタイマインクリメント値設定要求ビット（ETNBnGCCR.LTI）を設定してください。本ビットを“1”に設定しないと、新しい設定値は反映されません。このビットは、設定完了後に“0”となります。

gPTP タイマに、オフセットをつけることも可能です。必要な場合は、gPTP タイマオフセットレジスタ（ETNBnGTOi.TOV）に値を設定してください。本レジスタに値を設定した後に、gPTP 設定制御レジスタのタイマオフセット値設定要求ビット（ETNBnGCCR.LTO）を設定してください。本ビットを“1”に設定しないと、新しい設定値は反映されません。このビットは、設定完了後に“0”となります。オフセットを加算した際、80 ビットを超えないよう注意してください。

gPTP タイマの値は、gPTP タイマキャプチャレジスタ（ETNBnGCT.CTV）から読み込みが可能です。gPTP 設定制御レジスタのタイマキャプチャソース選択ビット（ETNBnGCCR.TCSS）の設定により、キャプチャされたタイマ値は、gPTP タイマ値、補正 gPTP タイマ値（オフセット加算）、AVTP プレゼンテーションタイムのいずれかを読み込むことができます。gPTP 設定制御レジスタのタイマ制御要求ビット（ETNBnGCCR.TCR[1:0]）を“11_B”に設定すると、キャプチャを開始します。タイマのキャプチャが正常完了すると、gPTP 設定制御レジスタのタイマ制御要求ビット（ETNBnGCCR.TCR[1:0]）は“00_B”となります。

gPTP に対応しているタイマはフリーランモードで動作し、Grandmaster クロックに同期化することができます。

26.4.7.2　フリーランモード

IEEE802.1 AS のタイミングや同期化の仕様では、Grandmaster クロックにローカルクロックを物理的に調整する必要はありません。補正手順による悪影響を避けるために、フリーランタイマを使用することを推奨しています。

このフリーランモードでは、ローカルクロックはローカルタイムに基づき、秒あるいはナノ秒でカウントされます。gPTP タイマインクリメントレジスタ（ETNBnGTI.TIV）は、1ns（設定値＝0010 0000_H）とし、gPTP タイマオフセットレジスタ（ETNBnGTOi.TOV）は、“0”とします。gPTP 遅延の計測や同期化処理時に取得したレート比率情報を用いて、Grandmaster クロックと比較した周波数比率を補正します。gPTP 遅延の計測や同期化手順の間に集めた情報を用いて、ローカルクロックから Grandmaster クロックを算出することが可能です。

26.4.7.3　Grandmaster クロックへの同期化

ローカルクロックを Grandmaster クロックに物理的に同期化させる必要がある場合は、調整用に小数のナノ秒部分（gPTP タイマの下位 20 ビット）を使用します。Grandmaster クロックから、クロック周波数偏差を補正するために、インクリメント値を細かく変更することができます。

（スタートアップ時などで）理論値と比較したオフセットを補正するために、タイマオフセット値（gPTP タイマオフセット設定レジスタ（ETNBnGTOi.TOV））を使用してください。タイマの値とオフセットレジスタの合計が「補正されたタイマ」値となります。

gPTP タイマオフセット設定レジスタ（ETNBnGTOi.TOV[31:0]）のナノ秒部のみ、有効です。

以下の数式は、gPTP クロック周波数と Grandmaster クロックからのクロック偏差に基づいてインクリメント値（ETNBnGTI.TIV）を計算する方法を示します。変数 d はクロック偏差です（1ppm に対し d＝10^{-6}）。

$$ETNBnGTI.TIV = round\left(\frac{2^{20}GHz}{f_{GPTP}} \times (1+d)\right)$$

クロック周波数のクロック偏差を調整した後、gPTP タイマインクリメントレジスタ（ETNBnGTI.TIV）を再設定してください。

新しいオフセット値が算出されたら、gPTP タイマオフセット設定レジスタ（ETNBnGTOi.TOV）を再設定してください。

26.4.7.4　送受信用 gPTP タイマサポート

上述のタイマ値は、送受信における Start of Frame Delimiter（SFD）検出時の、タイムスタンプキャプチャに使用されます。

キャプチャされたタイムスタンプ値は、受信の際は対応するディスクリプタに、送信の際はタグ情報とともにタイムスタンプ FIFO に格納されます。そのため、タイムスタンプ値は送受信ともにフレームと相関性があります。

補正されたタイマ値を使用している場合、gPTP 同期化処理でオフセットの補正による誤差が生じる場合があることに注意してください。

さらに、SFD 通知とタイマモジュール間の非同期式のインタフェースによる誤差についても考慮する必要があります。

26.4.8 IEEE1722 サポート

IEEE1722 に関して、以下の 2 つの機能をサポートしています。

- IEEE1722 AVTP プレゼンテーションタイムフォーマットの出力とキャプチャ
- IEEE1722 AVTP プレゼンテーションタイムスタンプの比較

IEEE1722 フレームフォーマットの 32 ビット AVTP タイムスタンプフィールドには、フレーム内の AVTP タイムスタンプ有効ビットが"1"の場合は、AVTP プレゼンテーションタイムが格納されています。この AVTP タイムスタンプフィールドは gPTP タイマから生成しており、次の数式において秒（gPTP_seconds）ならびにナノ秒（gPTP_nanoseconds）で表されます。

AVTP タイムスタンプ ＝ $(\text{gPTP\_seconds} \times 10^9 + \text{gPTP\_nanoseconds}) \text{ modulo } 2^{32}$

AVTP プレゼンテーションタイムは、gPTP タイマキャプチャレジスタ（ETNBnGCTi.CTV）から読み出すことができます。gPTP 設定制御レジスタのタイマキャプチャ選択ビット（ETNBnGCCR.TCSS）を設定し、AVTP プレゼンテーションタイムとしてキャプチャされるタイマ値を選択してください。gPTP 設定制御レジスタのタイマ制御要求ビット（ETNBnGCCR.TCR[1:0]）を"11_B"に設定すると、キャプチャが開始します。この値は、補正タイマ値に、gPTP 最大トランジットタイム設定レジスタ（ETNBnGMTT.MTTV）で定義された最大トランジット時間を加算しています。定義された最大トランジット時間値と、補正されたタイマをベースとしています。AVTP プレゼンテーションタイムはおよそ 4 秒ごとに、ラップアラウンドします。

注 意

ETNBnGCTi.CTV でキャプチャされた AVTP プレゼンテーションタイムは、補正されたタイマ値が Grandmaster クロックと同期化した場合のみ、有効となります。つまり、補正されるタイマインクリメントやタイマオフセット値は、同期化処理中に調整され、物理的に Grandmaster クロックに一致している必要があります。

26.4.9 フロー制御

E-MAC は、全二重動作時、IEEE802.3 準拠のフロー制御をサポートしています。フロー制御は、受信と送信の双方の動作に対して適用することができます。フロー制御をするときの PAUSE フレームの送信には、次の方法があります。

(1) PAUSE フレーム送信

ソフトウェアからの指示により、PAUSE フレームを送信することができます。手動 PAUSE フレーム設定レジスタ（ETNBnMPR）へタイマ値を書き込むと、手動 PAUSE フレームの送信を開始します。この手順による PAUSE フレームの送信は 1 回（1 フレーム）のみです。

(2) PAUSE フレーム受信

PAUSE フレームを受信した場合、タイマ値の示す時間が経過するまで、次のフレーム送信を待ちます。送信中のフレームについては、送信を継続します。PAUSE フレームの受信は E-MAC モードレジスタの受信系フロー制御動作モードビット（ETNBnECMR.RXF）が 1 の場合に有効となります。
PAUSE フレーム受信回数をカウントします。

(3) タイマ値 0 の PAUSE フレーム

TIME パラメータ値が 0 の PAUSE フレームの受信を有効／無効するかを、0 タイム PAUSE フレーム使用許可ビット（ETNBnECMR.ZPF）で指定することができます。

- TIME パラメータ値が 0 の PAUSE フレームの制御が有効になっている場合

  TIME パラメータ値が示す時間が経過していないとき、受信 FIFO の容量が受信 FIFO 警告レベルビット（ETNBnRCR.RFCL[12:0]）の値よりも小さいと、TIME パラメータ値が 0 の PAUSE フレームが送信されます。
  TIME パラメータ値が 0 の PAUSE フレームの受信は、送信スタンバイ状態を解除します。

- TIME パラメータ値が 0 の PAUSE フレームの制御が無効になっている場合

  TIME パラメータ値が 0 の PAUSE フレームが送信されません。TIME パラメータ値が 0 の PAUSE フレームの受信は破棄されます。

26.4.10 割り込み

Ethernet AVB モジュールには、AVB-DMAC からの 3 つの EI レベル割り込みと、E-MAC からの 1 つの EI レベル割り込みがあります。

「**表 26.98 Ethernet AVB 割り込み**」に割り込みの一覧を示します。

表 26.98 Ethernet AVB 割り込み

割り込み要因名
送受信データ管理割り込み
エラー管理割り込み
他の管理（FIFO 注意レベルなど）割り込み
E-MAC 割り込み

AVB-DMAC 関連の割り込みには、ディスクリプタ割り込み（15 要因）、エラー割り込み（5 要因）、受信割り込み（38 要因）、送信割り込み（2 要因）、gPTP 割り込み（3 要因）があり、上記 4 つの割り込み要因のうちの 3 つとして、CPU へ通知されます。

AVB-DMAC 関連の割り込みステータスを以下のレジスタで確認することができます。

- ディスクリプタ割り込みステータスレジスタ（ETNBnDIS）
- エラー割り込みステータスレジスタ（ETNBnEIS）
- 受信割り込みステータスレジスタ（ETNBnRIS0～2）
- 送信割り込みステータスレジスタ（ETNBnTIS）
- gPTP 割り込みステータスレジスタ（ETNBnGIS）

それぞれの割り込みは、対応する割り込みイネーブルビットで制御することができます。しかし、ステータスフラグはこれらのイネーブルビットには依存しません。

割り込みサマリステータスレジスタ（ETNBnISS）、エラー割り込みステータスレジスタのキューフルエラー割り込みステータスビット（ETNBnEIS.QFS）を読み込むだけで、グループ化された割り込みステータスを確認することができ、CPU 負荷を軽減することが可能です。

26.4.10.1 送受信データ管理割り込み

送受信管理割り込みは、以下割り込み要因発生時に通知されます。

- 受信割り込みステータスレジスタ 0 の受信フレーム割り込み（ETNBnRIS0.FRFr）
- ディスクリプタ割り込みステータスレジスタのディスクリプタ割り込み（ETNBnDIS.DPFi）

割り込みサマリステータスレジスタのディスクリプタ割り込みサマリビット（ETNBnISS.DPSi）、受信 FIFO 警告割り込みサマリビット（ETNBnISS.RFWS）を読み込むことで、エラー割り込みステータスの概要を確認できます。

26.4.10.2　エラー管理割り込み

エラー管理割り込みは、以下割り込み要因発生時に通知されます。

- エラー割り込みステータスレジスタのタイムスタンプ FIFO フルエラー割り込み（ETNBnEIS.TFFF）
- エラー割り込みステータスレジスタの CBS 制限各割り込み（ETNBnEIS.CULF1, ETNBnEIS.CULF0, ETNBnEIS.CLLF1, ETNBnEIS.CLLF0）
- エラー割り込みステータスレジスタの分離エラー（ETNBnEIS.SEF）
- エラー割り込みステータスレジスタのキューエラー（ETNBnEIS.QEF）
- エラー割り込みステータスレジスタの MAC 送信エラー（ETNBnEIS.MTEF）
- エラー割り込みステータスレジスタの MAC 受信エラー（ETNBnEIS.MREF）
- 受信割り込みステータスレジスタ 2 の受信 FIFO フル割り込み（ETNBnRIS2.RFFF）
- 受信割り込みステータスレジスタ 2 の受信キューフル割り込み（ETNBnRIS2.QFFr）

割り込みサマリステータスレジスタのエラー割り込みサマリビット（ETNBnISS.ES）を読み込むことで、エラー割り込みステータスの概要を確認できます。

26.4.10.3　他の管理（FIFO 警告など）割り込み

他の管理（FIFO 警告など）割り込みは、以下割り込み要因発生時に通知されます。

(1)　受信関連割り込み

受信割り込みステータスレジスタ 1 の受信 FIFO 警告割り込み（ETNBnRIS1.RFWF）

(2)　送信関連割り込み

送信割り込みステータスレジスタのタイムスタンプ FIFO 警告割り込み（ETNBnTIS.TFWF）

送信割り込みステータスレジスタのタイムスタンプ FIFO 更新割り込み（ETNBnTIS.TFUF）

(3)　gPTP 関連割り込み

gPTP 割り込みステータスレジスタの AVTP プレゼンテーションタイム一致割り込み（ETNBnGIS.PTMF）

割り込みサマリステータスレジスタの受信 FIFO 警告エラー割り込みステータスビット（ETNBnISS.RFWS）、タイムスタンプ FIFO 警告割り込みステータスビット（ETNBnISS.TFWS）、タイムスタンプ FIFO 更新割り込みステータスビット（ETNBnISS.TFUS）、gPTP 割り込みサマリビット（ETNBnISS.CGIS）を読み込むことで、エラー割り込みステータスの概要を確認できます。

26.4.10.4　E-MAC 割り込み

E-MAC 割り込みは、E-MAC 割り込み要因発生時に通知されます。

割り込みサマリステータスレジスタの E-MAC 割り込みサマリビット（ETNBnISS.MS）を読み込むことで、エラー割り込みステータスの概要を確認できます。

26.4.11　動作フロー

26.4.11.1　E-MAC 初期化フロー

E-MAC 初期化フロー（全二重、AVB モード）を「**図 26.50 E-MAC 初期化フロー（全二重、AVB モード）**」に示します。

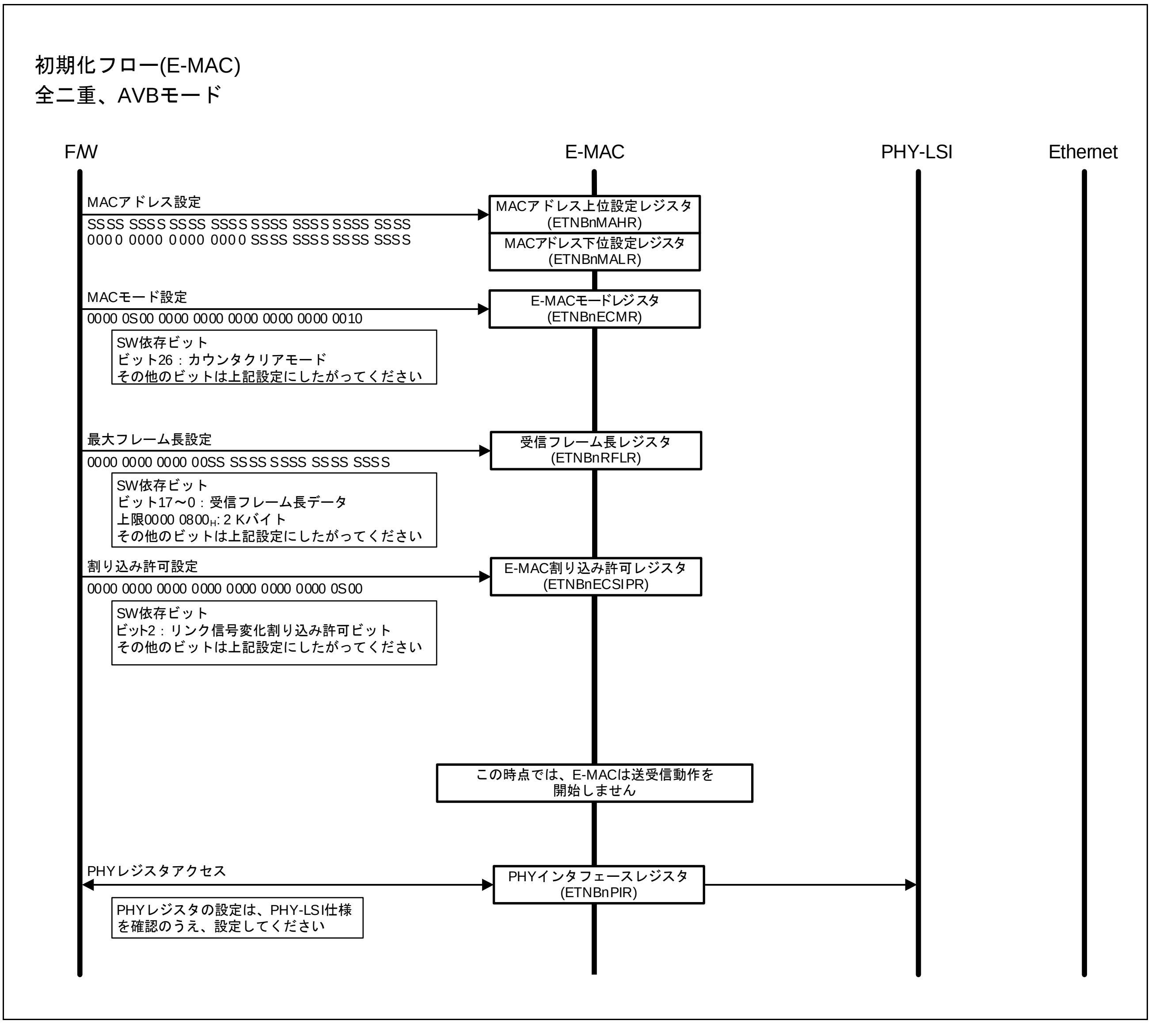


図 26.50　E-MAC 初期化フロー（全二重、AVB モード）

26.4.11.2　AVB-DMAC 初期化フロー

AVB-DMAC 初期化フロー（全二重、AVB モード）を「**図 26.51 AVB-DMAC 初期化フロー（全二重、AVB モード）**」に示します。

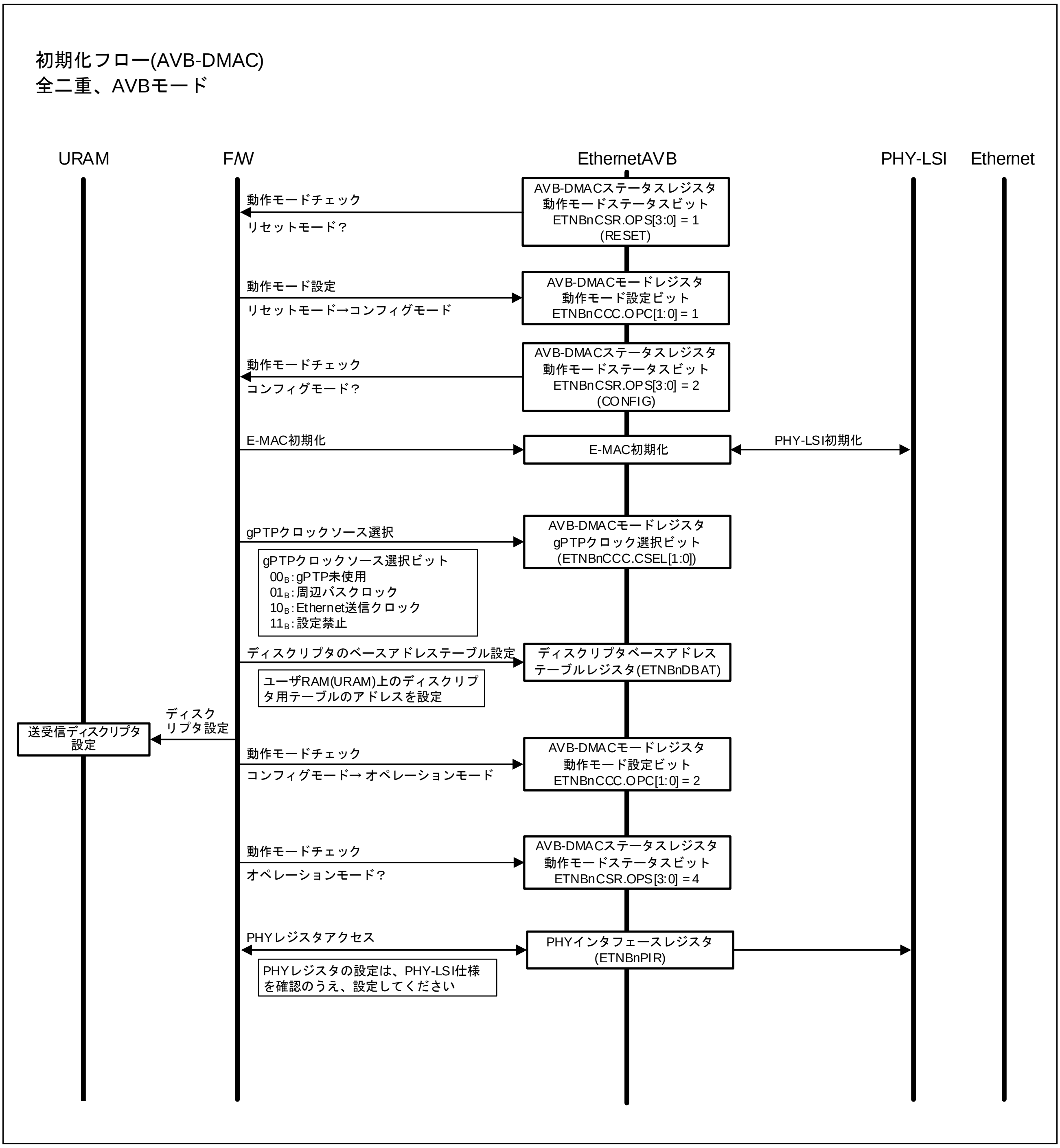


図 26.51　AVB-DMAC 初期化フロー（全二重、AVB モード）

26.4.11.3　AVB-DMAC 受信フロー

AVB-DMAC 受信フロー（全二重、AVB モード）を「**図 26.52 AVB-DMAC 受信フロー（全二重、AVB モード）**」に示します。

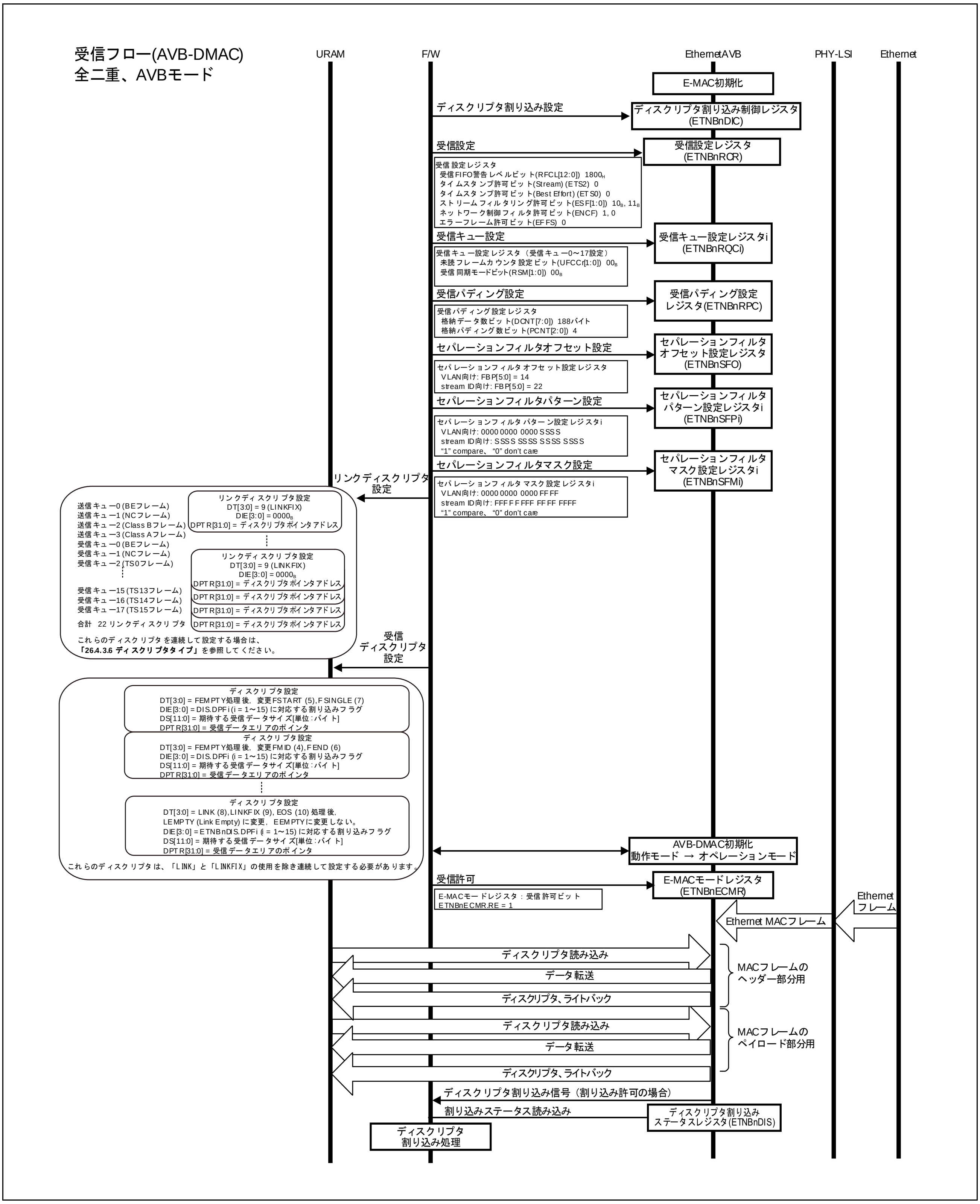


図 26.52　AVB-DMAC 受信フロー（全二重、AVB モード）

26.4.11.4 AVB-DMAC 送信フロー

AVB-DMAC 送信フロー（全二重、AVB モード）を「**図 26.53 AVB-DMAC 送信フロー（全二重、AVB モード）**」に示します。

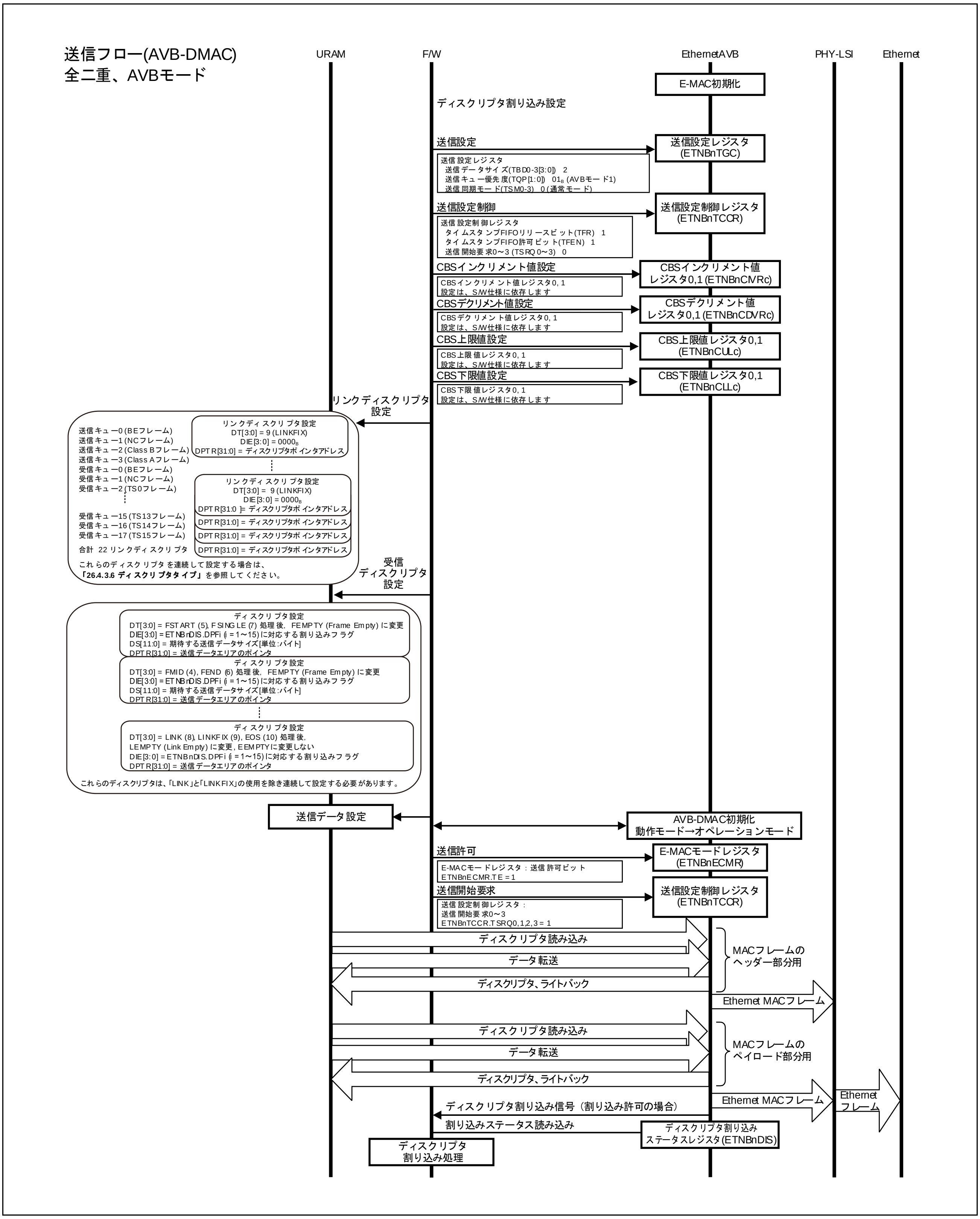


図 26.53 AVB-DMAC 送信フロー（全二重、AVB モード）

26.4.11.5　AVB-DMAC 受信停止フロー

AVB-DMAC 受信停止フロー（通常、全モード共通）を「**図 26.54 AVB-DMAC 受信停止フロー（通常、全モード共通）**」に示します。

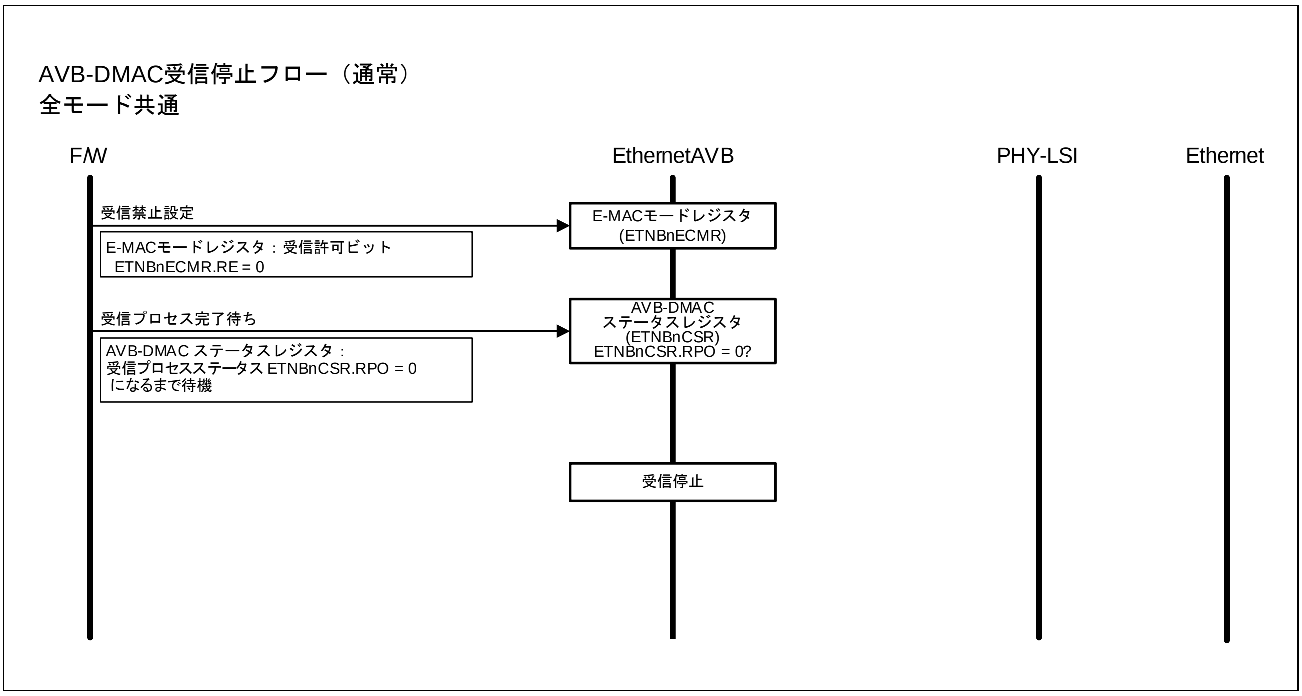


図 26.54　AVB-DMAC 受信停止フロー（通常、全モード共通）

26.4.11.6　AVB-DMAC 送信停止フロー

AVB-DMAC 送信停止フロー（通常、全モード共通）を「**図 26.55 AVB-DMAC 送信停止フロー（通常、全モード共通）**」に示します。

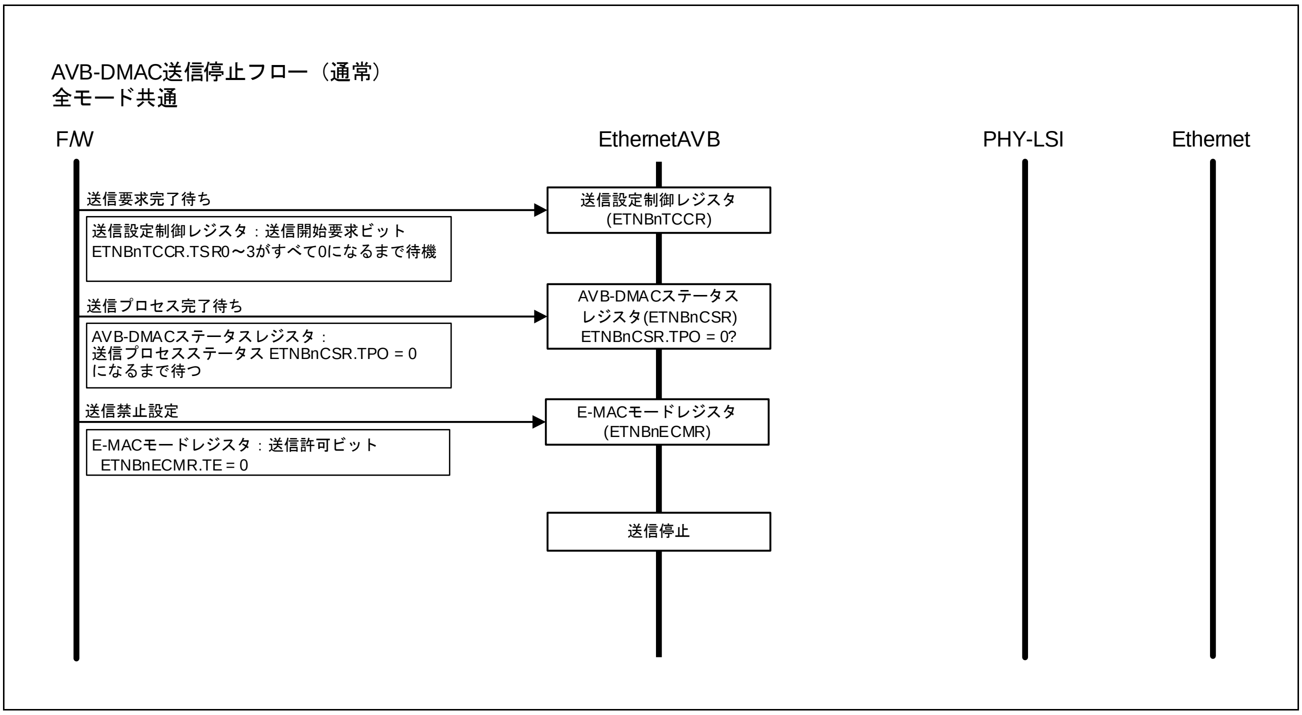


図 26.55　AVB-DMAC 送信停止フロー（通常、全モード共通）

26.4.11.7　AVB-DMAC 停止＆リセットフロー

AVB-DMAC 停止＆リセットフロー（通常、全モード共通）を「**図 26.56 AVB-DMAC 停止＆リセットフロー（通常、全モード共通）**」に示します。

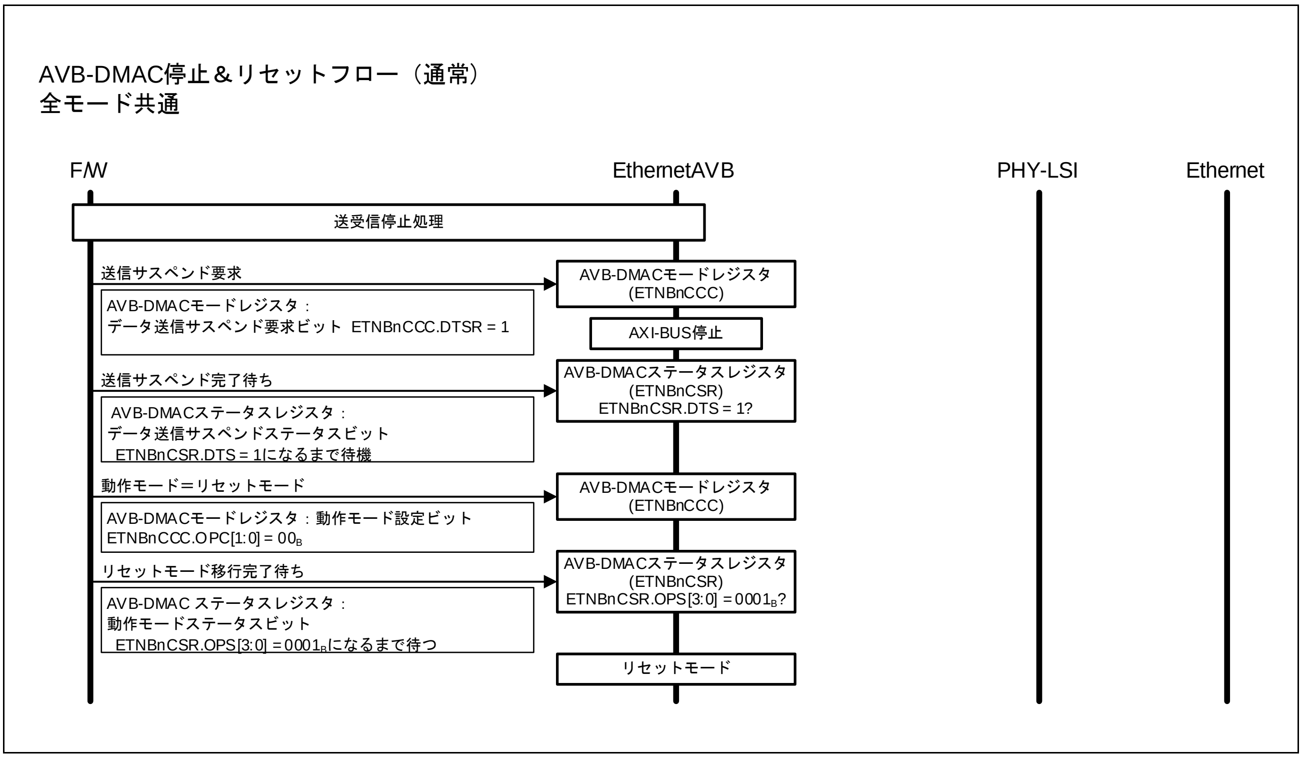


図 26.56　AVB-DMAC 停止＆リセットフロー（通常、全モード共通）

26.4.11.8 AVB-DMAC 緊急停止フロー

AVB-DMAC 緊急停止フロー（通常、全モード共通）を「**図 26.57 AVB-DMAC 緊急停止フロー（通常、全モード共通）**」に示します。

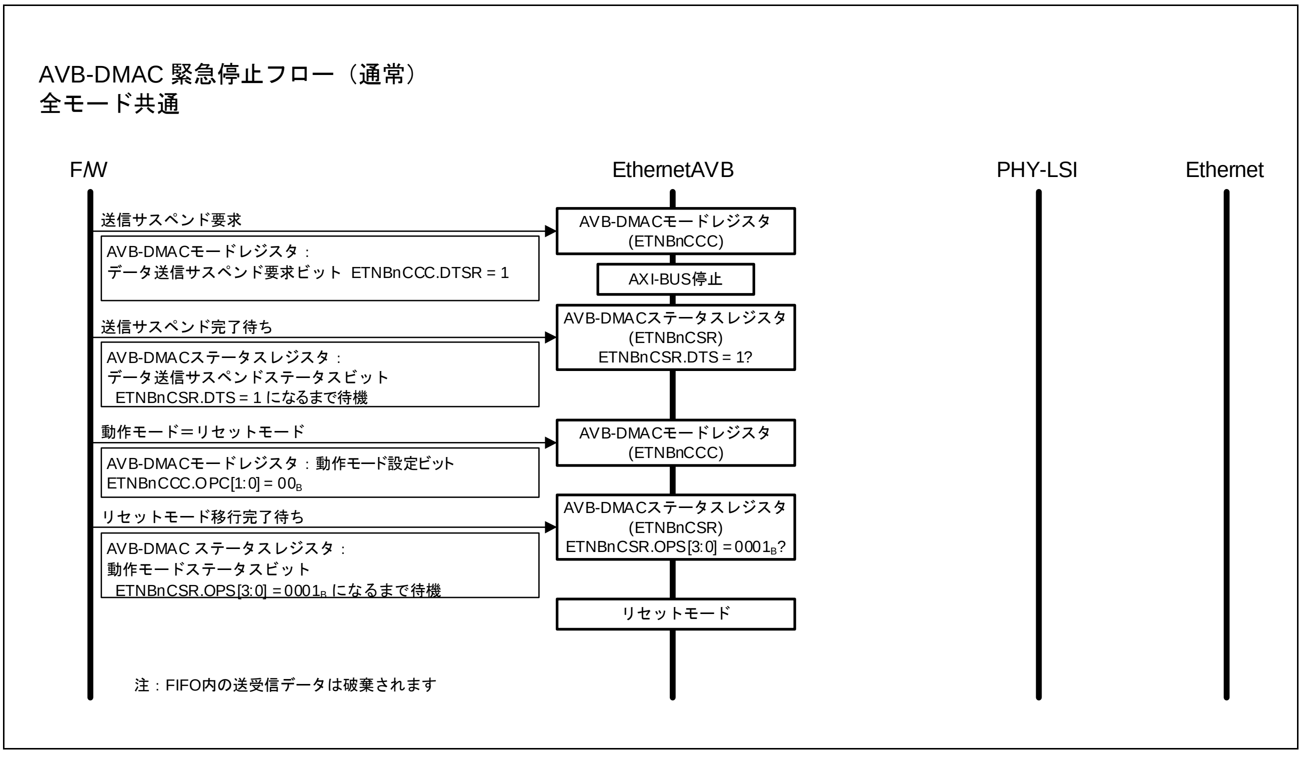


図 26.57 AVB-DMAC 緊急停止フロー（通常、全モード共通）

26.4.11.9 gPTP 初期化フロー

gPTP 初期化フロー（通常、全モード共通）を「**図 26.58 gPTP 初期化フロー（通常、全モード共通）**」に示します。

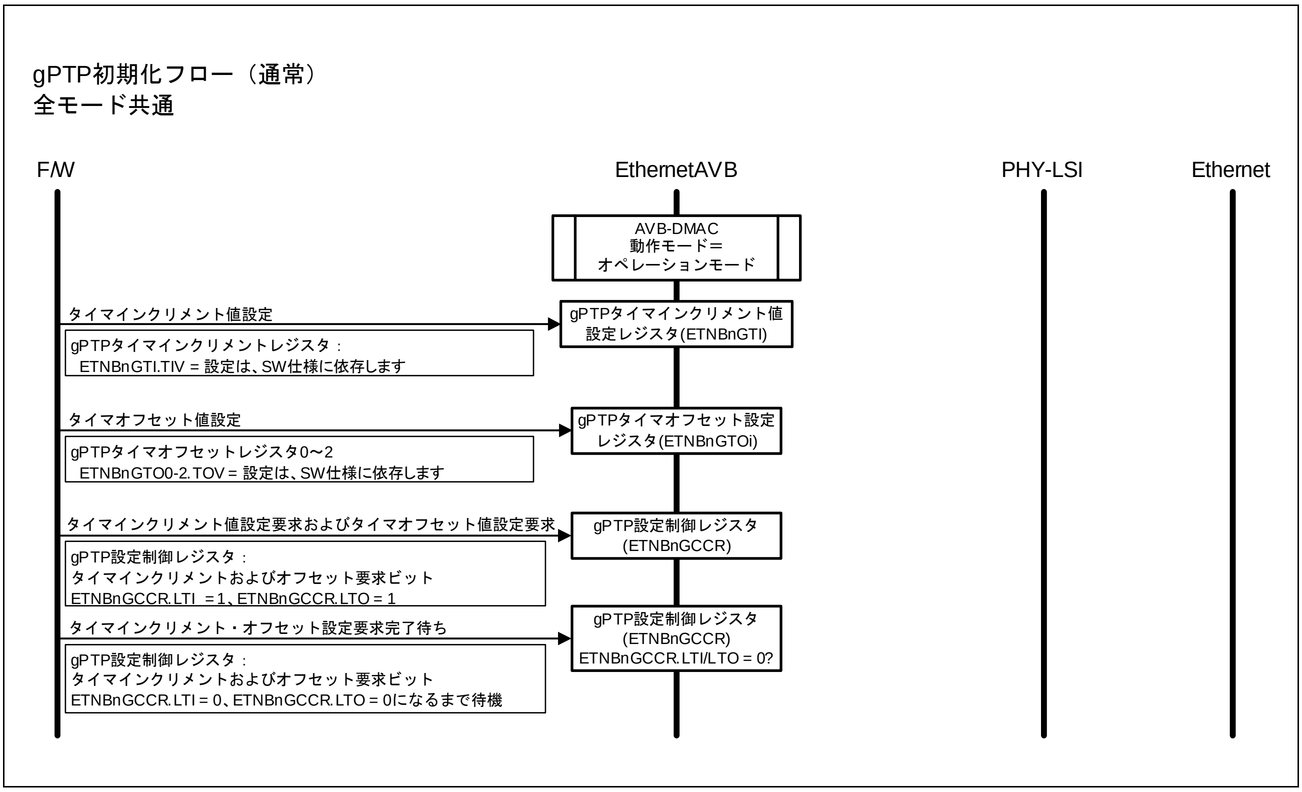


図 26.58 gPTP 初期化フロー（通常、全モード共通）

26.4.11.10 gPTP 送信タイムスタンプ処理フロー

gPTP 送信タイムスタンプ処理フロー（通常、全モード共通）を「**図 26.59 gPTP 送信タイムスタンプ処理フロー（通常、全モード共通）**」に示します。

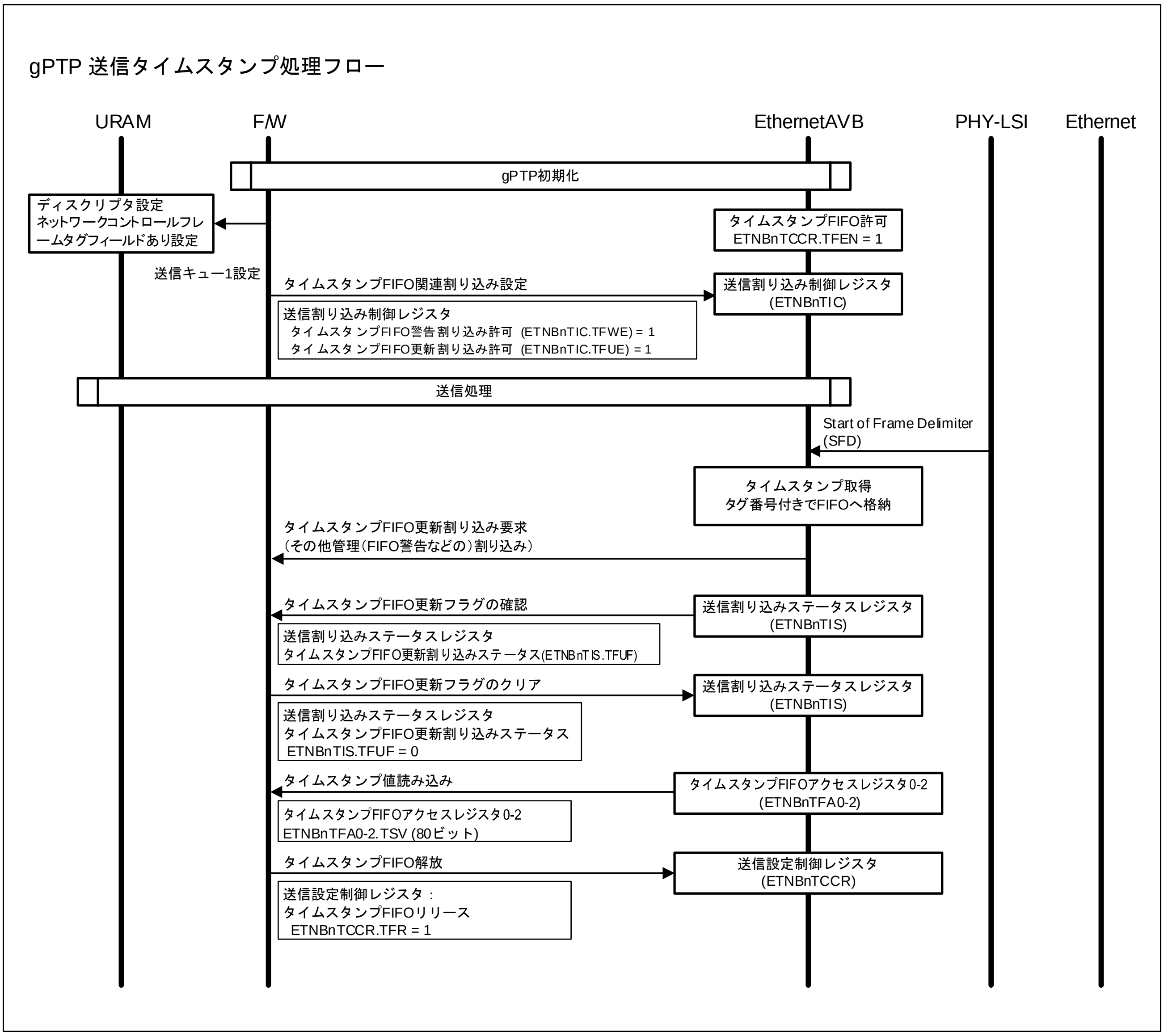


図 26.59 gPTP 送信タイムスタンプ処理フロー（通常、全モード共通）

26.4.11.11 gPTP 受信タイムスタンプ処理および同期化フロー

gPTP 受信タイムスタンプ処理および同期化フロー（通常、全モード共通）を「**図 26.60 gPTP 受信タイムスタンプ処理および同期化フロー（通常、全モード共通）**」に示します。

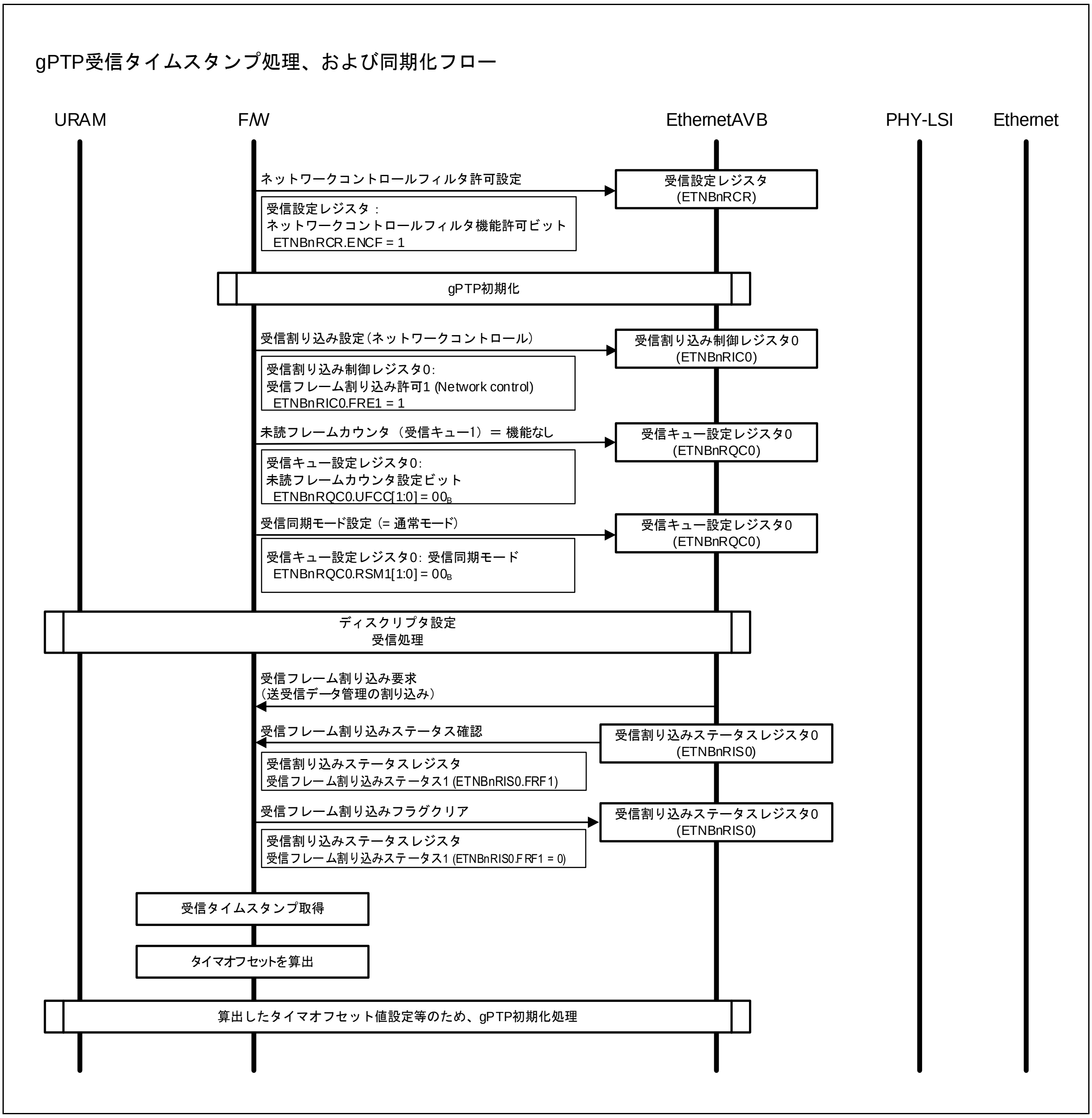


図 26.60　gPTP 受信タイムスタンプ処理および同期化フロー（通常、全モード共通）

26.4.11.12 gPTP プレゼンテーションタイム取得フロー

gPTP プレゼンテーションタイム取得フロー（全モード共通）を「**図 26.61 gPTP プレゼンテーションタイム取得フロー（全モード共通）**」に示します。

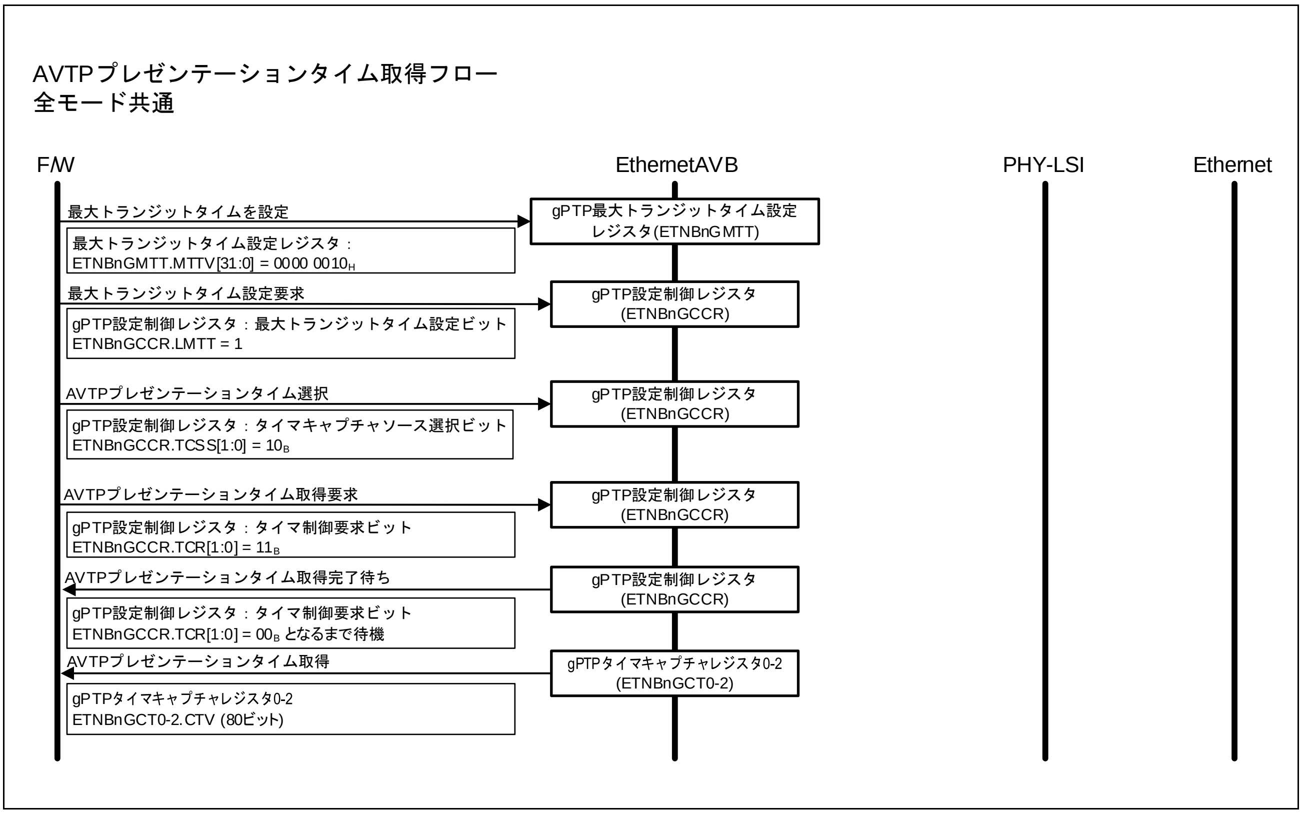


図 26.61 gPTP プレゼンテーションタイム取得フロー（全モード共通）

26.4.11.13 AVTP プレゼンテーションタイム比較フロー

AVTP プレゼンテーションタイム比較フロー（全モード共通）を「**図 26.62 AVTP プレゼンテーションタイム比較フロー（全モード共通）**」に示します。

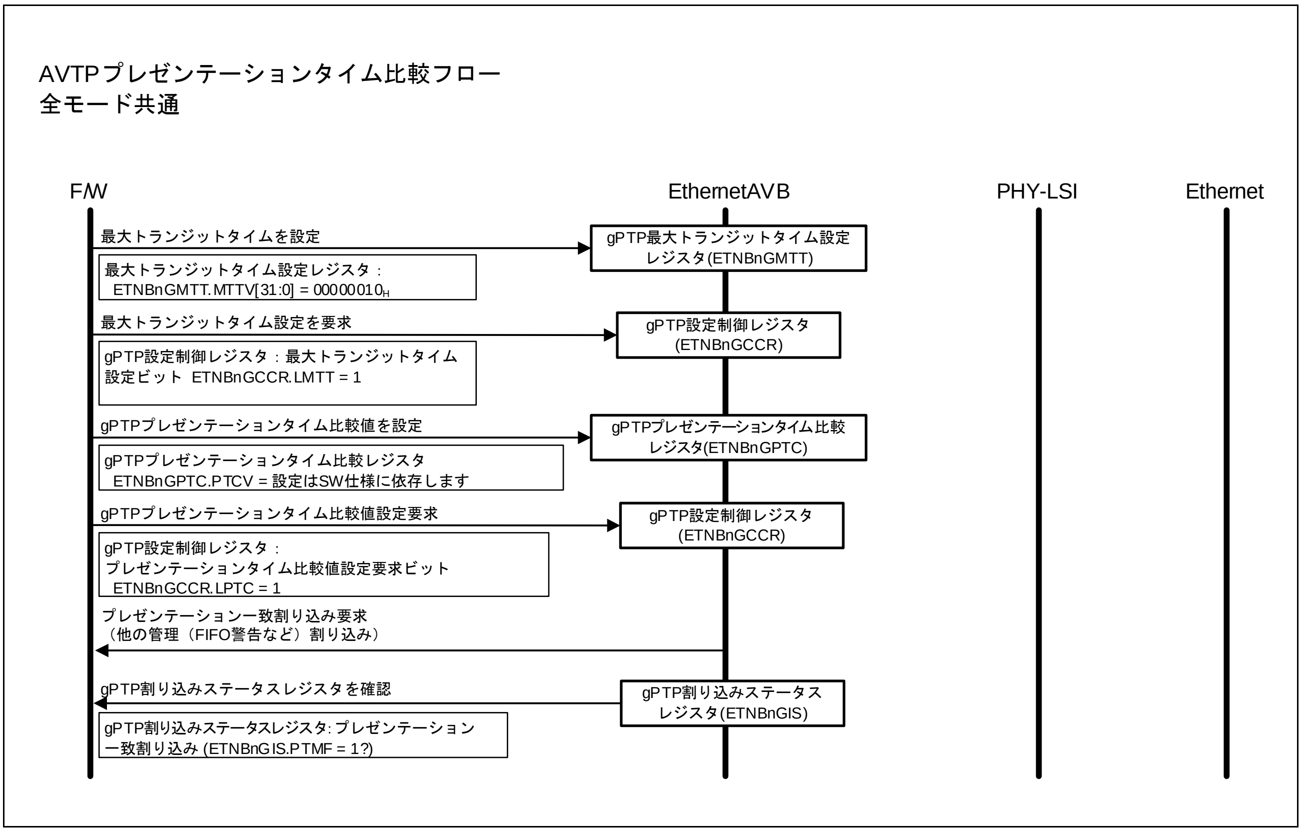


図 26.62　AVTP プレゼンテーションタイム比較フロー（全モード共通）

26.4.11.14 ループバックモードフロー

ループバックモードフローを「**図 26.63 ループバックモードフロー**」に示します。

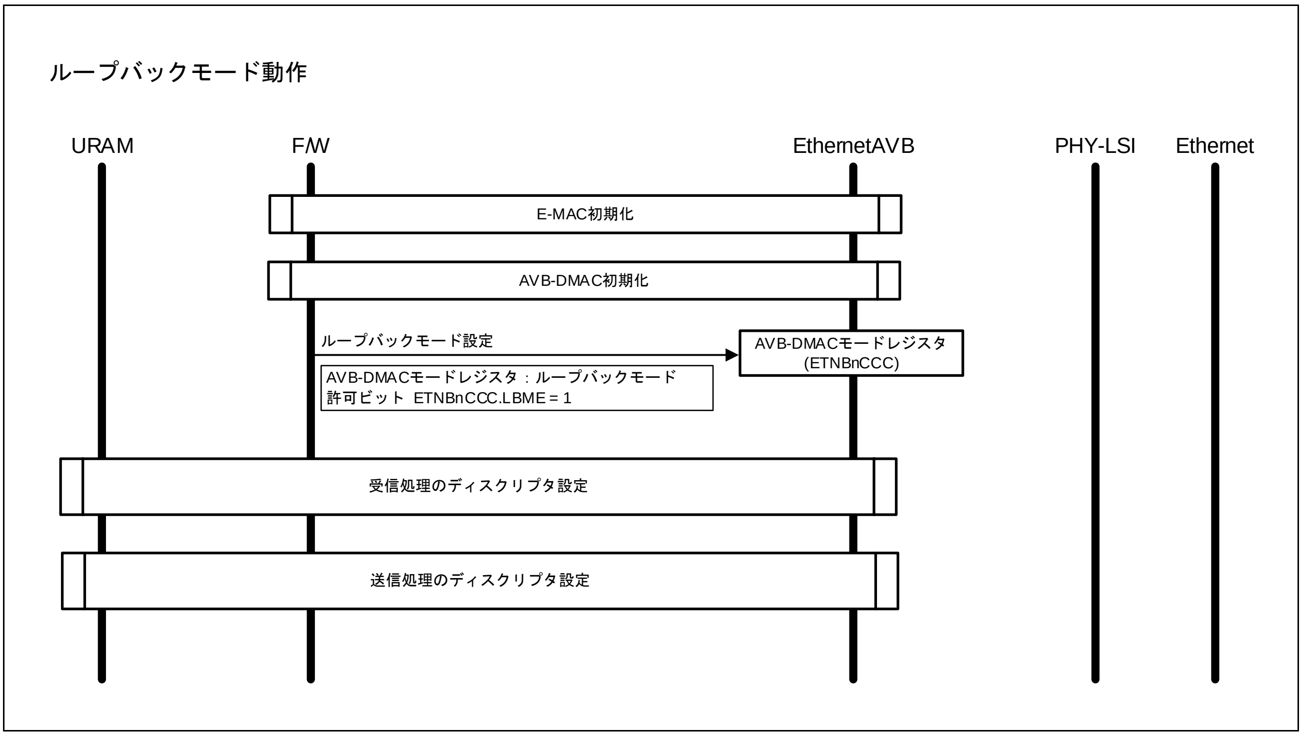


図 26.63 ループバックモードフロー

26.4.12　PHY-LSI との接続

26.4.12.1　MII フレーム送信／受信タイミング

各種 MII フレームの送信／受信タイミングを「**図 26.64　MII フレーム送信タイミング（正常時）**」～「**図 26.68　MII フレーム受信タイミング（受信エラー（2））**」に示します。

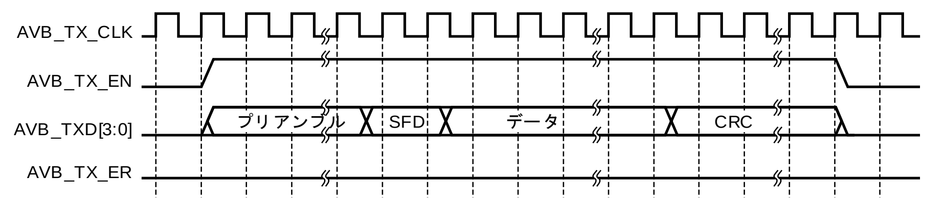


図 26.64　MII フレーム送信タイミング（正常時）

図 26.65　予約

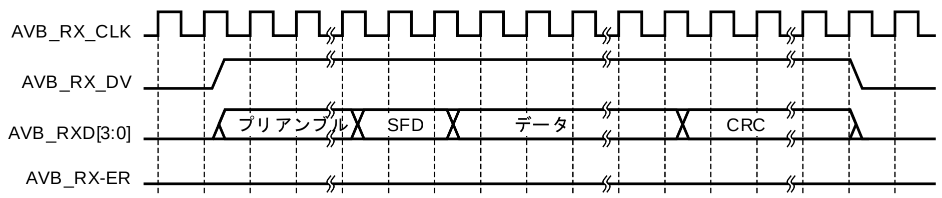


図 26.66　MII フレーム受信タイミング（正常受信）

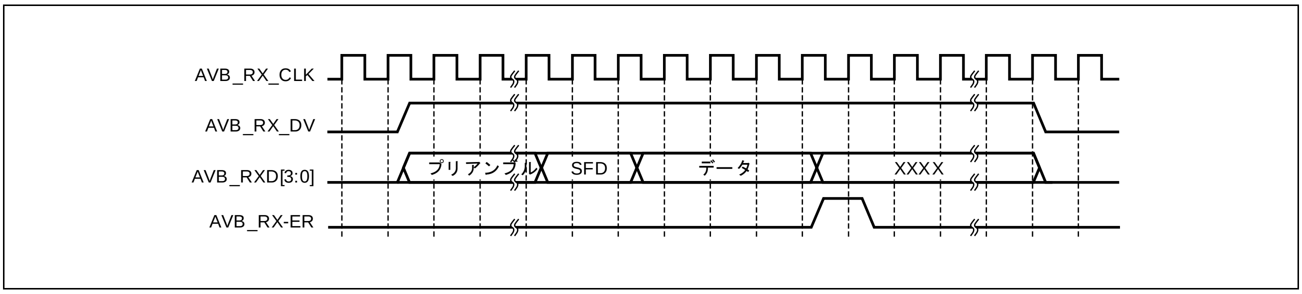


図 26.67　MII フレーム受信タイミング（受信エラー（1））

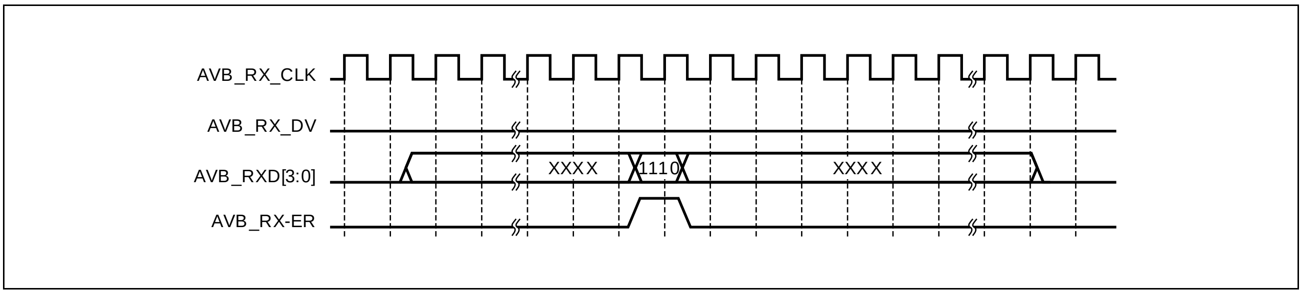


図 26.68　MII フレーム受信タイミング（受信エラー（2））

26.4.12.2　MII 管理レジスタのアクセス方法

PHY-LSI 内にある MII 管理レジスタへは、本 LSI の PHY インタフェースレジスタ（ETNBnPIR）を経由してアクセスします。ETNBnPIR は、IEEE802.3u で規定される MII フレームフォーマットにしたがい、シリアルインタフェースとして使用されます。

(1) MII 管理フレームのフォーマット

MII 管理フレームのフォーマットを「**図 26.69 MII 管理フレームフォーマット**」に示します。MII 管理レジスタをアクセスするには、以下、「**26.4.12.2(2) MII 管理レジスタアクセス手順**」で示す手順にしたがう管理フレームをプログラムによって実現します。

アクセス種別	MII管理フレーム							
項目	PRE	ST	OP	PHYAD	REGAD	TA	DATA	IDLE
ビット数	32	2	2	5	5	2	16	
リード	1..1	01	10	00001	RRRRR	Z0注1	D..D	
ライト	1..1	01	01	00001	RRRRR	10	D..D	X

【略号説明】

PRE　：32 個の連続した 1
ST　：フレームの先頭を示す 01_B のライト
OP　：アクセス種別を示すコードのライト
PHYAD：PHY-LSI のアドレスが 1 の場合、00001_B をライト（MSB から順次ライト）
　PHY-LSI のレジスタアドレスによって可変となります。
REGAD：レジスタのアドレスが 1 の場合、0001_B をライト（MSB から順次ライト）
　PHY-LSI のレジスタアドレスによって可変となります。
TA　：MII インタフェース上でデータの送信元を切り替える時間
　（a）ライト時は 10_B をライト
　（b）リード時は、「バス解放」（Z0 と表記）を行います。
DATA　：16 ビットのデータ。MSB から順次ライトあるいはリード
　（a）ライト時は、16 ビットデータのライト
　（b）リード時は、16 ビットデータのリード
IDLE　：次の MII 管理フォーマット入力までの待機時間
　（a）ライト時は、「単独バス解放」（X と表記）を行います。
　（d）リード時は、すでに TA 時にバス解放済みであり制御不要

注1.　TA の 2 ビット目は、ETNBnPIR.MMD ビットを 0 にした状態で ETNBnPIR.MDC ビットの設定が必要です。

図 26.69　MII 管理フレームフォーマット

(2) MII 管理レジスタアクセス手順

プログラムは、PHY インタフェースレジスタ（ETNBnPIR）を経由して MII 管理レジスタをアクセスします。アクセスは、1 ビット単位のデータライト、1 ビット単位のデータをリードし、バスの解放および単独バス解放の組み合わせによって実現します。MII 管理レジスタアクセスタイミング例を「**図 26.70 1 ビットデータのライトフロー**」～「**図 26.73 単独バス解放フロー（図 26.69 のライト時の IDLE）**」に示します。アクセスタイミングは、PHY-LSI の種類によって異なります。

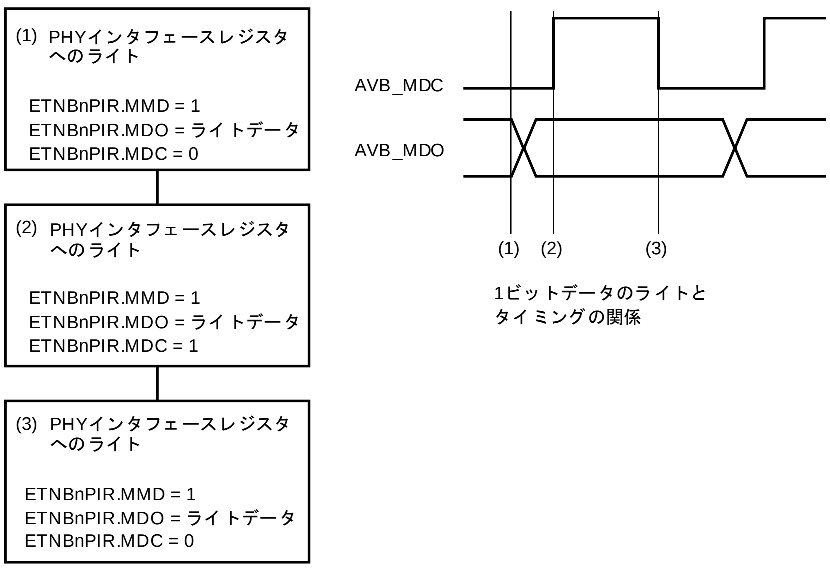


図 26.70　1 ビットデータのライトフロー

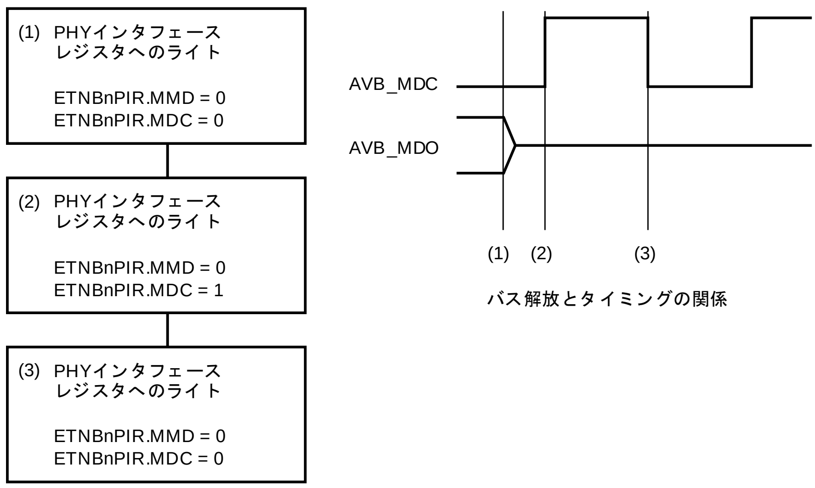


図 26.71　バス解放フロー（**図 26.69** 中のリード時の TA）

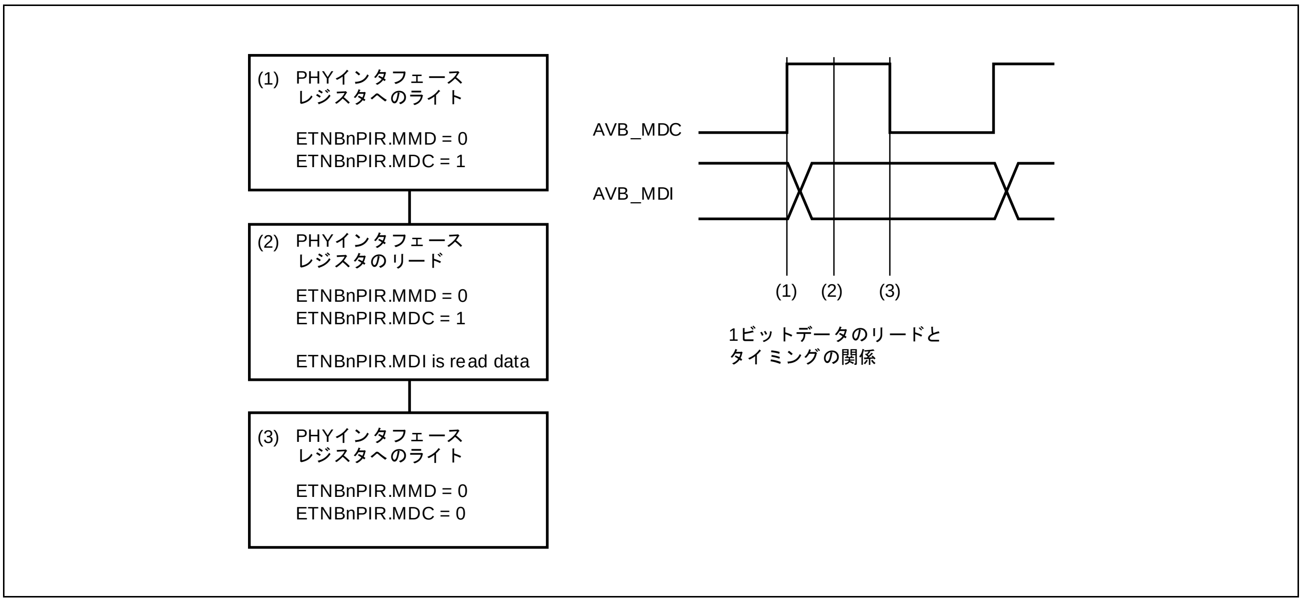


図 26.72 1 ビットデータのリードフロー

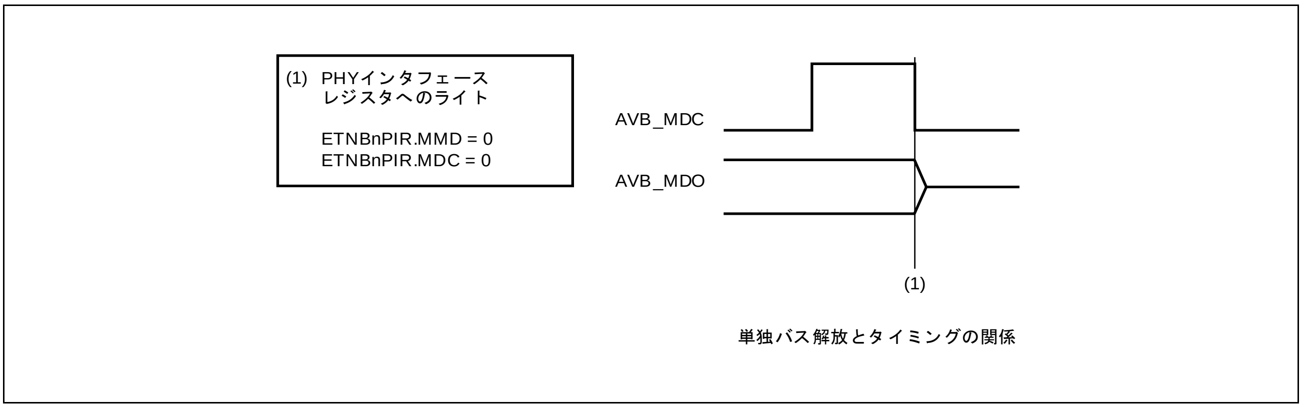


図 26.73 単独バス解放フロー（**図 26.69** のライト時の IDLE）

26.4.13　使用上の注意事項

26.4.13.1　Ethernet フレームのチェックサム計算

本 LSI では、受信フレームのチェックサムデータを計算することができます。チェックサムの計算対象は、Ethernet フレームのデータ部分（長さ／タイプフィールドの直後から、CRC データの直前まで）です。「**図 26.74 チェックサム計算の対象データ**」に Ethernet フレームの計算対象の箇所を示す概念図を示します。計算方法は、16 ビットごとの加算のみで、ビットの反転は行っていません。なお、チェックサムデータ有効時は CRC データ（4 バイト）は受信フレームとしては転送されず、チェックサムデータ（Sum Data）が自動的につきます。「**図 26.75 チェックサムデータ付加後のデータ**」にチェックサムデータが付加された後の Ethernet フレームの概念図を示します。

注　意

VLANTag が挿入されたフレームに対しても、先頭 15 バイト目以降、CRC データの直前までを計算対象としますのでご注意ください。

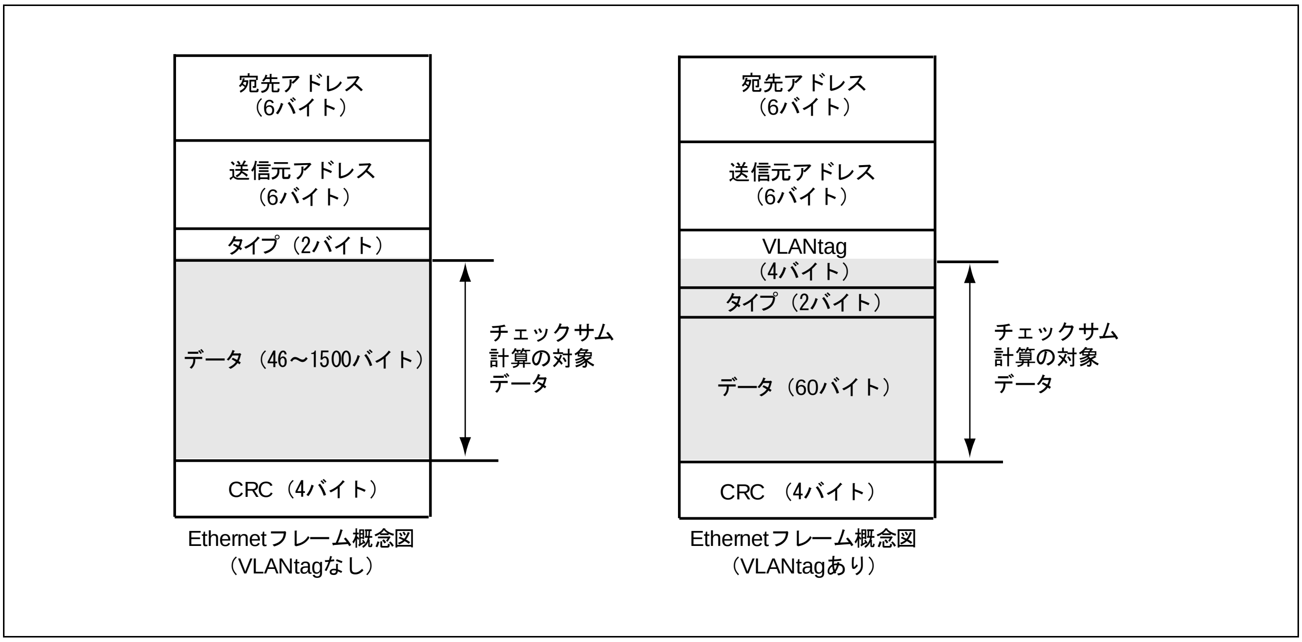


図 26.74　チェックサム計算の対象データ

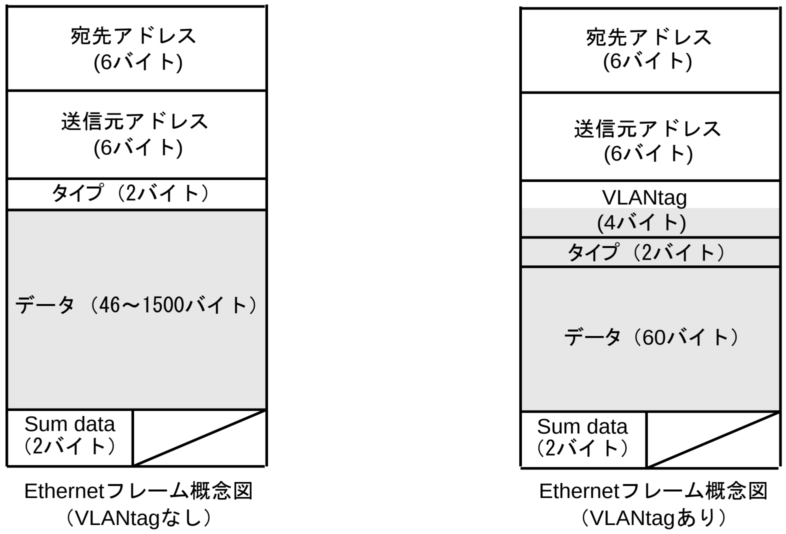


図 26.75　チェックサムデータ付加後のデータ

26.4.13.2　FEMPTY_ND ディスクリプタの使用時に受信 FIFO 読み取りエラーにフラグが立てられないことがある

EMPTY_ND ディスクリプタをターゲットとした最終バイトの読み取り後に、同じフレームの次のディスクリプタをターゲットとした受信 FIFO から最大で 3 バイト読み取られることがあります。FEMPTY_ND が原因の未格納データの受信 FIFO 読み取りエラーについては、ターゲット仕様に基づき、DESCR.EI にも ETNBnEIS.QEF によってもフラグが立てられません。

外部 ECC ロジックフラグが、FEMPTY_ND ディスクリプタをターゲットとした最終バイトに関連する受信 FIFO 読み取りエラーを検出すると、次のディスクリプタ内のデータが通知なしに破損する可能性があります。

この問題の発生は、FEMPTY_ND ディスクリプタを使用して Ethernet AVB およびアプリケーションに受信 FIFO エラー情報が提供される実装に限定されています。

この問題は、受信フレーム内で FEMPTY_ND の次のディスクリプタに保存される最初のバイトのバイト数が 4 の倍数ではない場合にのみ発生します。

エラーフラグを常に立てる必要がある場合は、FEMPTY ディスクリプタを使用して不要なデータを格納してください。

26.4.13.3　存在しないタイムスタンプ FIFO エントリをリリースしようとすると新しい FIFO 更新フラグが失われることがある

タイムスタンプ FIFO が空（ETNBnTSR.TFFL が 0 に設定されている）の間に ETNBnTCCR.TFR に書き込むことにより SW がタイムスタンプ FIFO のエントリをリリースすると、次の FIFO 更新のフラグ付けに一貫性がなくなる可能性があります。次のタイムスタンプは FIFO に正しく格納され、フィルレベルが 1 にインクリメントされますが、ETNBnTIS.TFUF は 1 に設定されません。

この問題の発生は、使用可能なエントリの有無をチェックせずに FIFO エントリをリリースするアプリケーションに限定されています。

存在しない FIFO エントリはリリースしないでください。

26.4.13.4　特定の範囲の比較に対して gPTP 比較が失敗することがある

比較値（ETNBnGPTC.PTCV）が[x – 1〜x + 1]（x は ETNBnGTI.TIV で設定されているインクリメント値）の範囲内にある場合、タイマのラップアラウンド時に比較での一致が検出されない可能性があります。

この問題の発生は、AVTP 比較機能を使用するアプリケーションに限定されています。このクリティカル範囲内で比較値を設定しないでください。

26.4.13.5　受信フレームが失われていなくても UFC 停止レベルにより ETNBnRIS2.QFFr がトリガされる

空のディスクリプタを使用できないために受信フレームが中断されると、ETNBnRIS2.QFFr は正しく 1 に設定されます。

また、ETNBnUFCVi.CVr が設定されている停止レベル（ETNBnUFCS.SLj）に達すると、それ以降の受信フレームが中断される前に、キューフルフラグ（ETNBnRIS2.QFFr）が 1 に設定されます。

この問題の発生は、停止レベル機能とともに未読フレームカウンタを使用するアプリケーションに限定されています。

このようなアプリケーションは、実際には失われていない可能性がある受信フレームが失われたという情報を受け取ります。

26.4.13.6　設定された警告レベル付近またはそのレベル未満でデータ処理が停止すると ETNBnRIS0.FRFr が失われることがある

SW が UFC カウンタ値（CV）を WL-1 にデクリメントしても、直近の新たな格納処理の完了により、結果の CV は WL のままとなり、ETNBnRIS0.FRFr が 0 に設定されることがあります。

これ以降の受信では、ETNBnRIS0.FRFr は正常に設定されます。

この問題の発生は、ETNBnRIS0.FRFr によりトリガされるシングルフレーム割り込みを使用し、時間内に各割り込みを処理できないアプリケーションに限定されています。

この影響により失われる割り込みは、次のフレームの受信により自動的に通常通り回復されます。

26.4.13.7　インテリジェントチェックサム機能の使用時の注意

インテリジェントチェックサム機能を使用してのチェックサム計算は、受信パディング設定レジスタ（ETNBnRPC）によるパディング挿入の影響を受けません。

これは、E-MAC から AVB-DMAC に受信データを転送する際に、チェックサム計算が行われ、AVB-DMAC からメモリ内の受信バッファに受信データを転送する際に、受信データのパディングが行われるためです。

26.4.13.8　データ書き込み完了前の、受信フレーム割り込み、ディスクリプタ割り込み発行

受信フレーム割り込みが発行されたとき、フレームデータの処理の前に、ディスクリプタタイプが正しく更新されているかを、ソフトウェアで確認する必要があります。

ディスクリプタタイプは、ディスクリプタフィールドの DESCR.DT で示されます。（現在のディスクリプタアドレスは、ETNBnCDARq レジスタで示されます。）

DESCR.DT が DMA のハードウェアによってまだ更新されていない場合（例えば、FEMPTY から FEND への更新）、メモリへのデータ書き込みは完了していません。

その場合、更新されるまでソフトウェアでディスクリプタタイプを確認する必要があります。

あるいは、ソフトウェアで未読フレームカウンタ（UFC）値を用いて、処理されたディスクリプタと比較し、最後の受信割り込みから不足のディスクリプタが無いことを確認できます。

26.5 Ethernet AVB RAM のエラー検出／訂正

ECC の詳細は、「**40A.2.6 周辺 RAM の ECC**」、「**40B.2.6 周辺 RAM の ECC**」を参照。

第27章　Single Edge Nibble Transmission (RSENT)

本章では、Renesas シングルエッジニブルトランスミッション（RSENT）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1KH, RH850/F1KM に固有の特長について説明します。

それ以降の節では、RSENT の機能、レジスタについて説明します。

27.1　RH850/F1KH, RH850/F1KM RSENT の特長

27.1.1　ユニット数

本製品は、以下に示すユニット数の RSENT を搭載しています。

RSENT 1 ユニット当たり 1 チャネルのインタフェースを持っています。

表 27.1　ユニット数 (RH850/F1KH-D8)

製品名	RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 324 Pin
ユニット数	2	2	2
名称	RSENTn (n=0, 1)	RSENTn (n=0, 1)	RSENTn (n=0, 1)

表 27.2　ユニット数 (RH850/F1KM-S4)

製品名	RH850/F1KM-S4 100 Pin	RH850/F1KM-S4 144 Pin	RH850/F1KM-S4 176 Pin	RH850/F1KM-S4 233 Pin	RH850/F1KM-S4 272 Pin
ユニット数	1	2	2	2	2
名称	RSENTn (n=1)	RSENTn (n=0, 1)	RSENTn (n=0, 1)	RSENTn (n=0, 1)	RSENTn (n=0, 1)

表 27.3　ユニット数 (RH850/F1KM-S2)

製品名	RH850/F1KM-S2 100 Pin	RH850/F1KM-S2 144 Pin	RH850/F1KM-S2 176 Pin
ユニット数	1	2	2
名称	RSENTn (n=1)	RSENTn (n=0, 1)	RSENTn (n=0, 1)

表 27.4　ユニット数 (RH850/F1KM-S1)

製品名	RH850/F1KM-S1 48 Pin	RH850/F1KM-S1 64 Pin	RH850/F1KM-S1 80 Pin	RH850/F1KM-S1 100 Pin
ユニット数	2	2	2	2
名称	RSENTn (n=0, 1)	RSENTn (n=0, 1)	RSENTn (n=0, 1)	RSENTn (n=0, 1)

表 27.5　添字 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

添字	説明
n	本章では、RSENT の各チャネルを「n」で識別します。たとえば、RSENT タイムスタンプレジスタは RSENTnTSPC（n=0、1）と記述します。

27.1.2 レジスタベースアドレス

RSENT のベースアドレスを以下の表に示します。

RSENT のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 27.6 レジスタベースアドレス (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ベースアドレス名	レジスタベースアドレス
<RSENT0_base>	FFCF 0000_H
<RSENT1_base>	FFCF 0100_H

27.1.3 クロック供給

RSENT のクロック供給を以下の表に示します

表 27.7 クロック供給 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	ユニットクロック名	供給クロック名	説明
RSENTn	SENT 通信クロック	CKSCLK_IPERI2	通信クロック
	レジスタアクセスクロック（PCLK）	CPUCLK_L	バスクロック

備考 通信クロックは、16MHz または 32MHz～40MHz に設定してください。レジスタアクセスクロックの周波数は、16MHz～60MHz の範囲内で設定できます。

27.1.4 割り込み要求

RSENT の割り込み要求を以下の表に示します。

表 27.8 割り込み要求 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
RSENT0			
INTSENT0SI	RSENT ステータス割り込み	347	—
INTSENT0RI	RSENT 受信割り込み	348	123
RSENT1			
INTSENT1SI	RSENT ステータス割り込み	349	—
INTSENT1RI	RSENT 受信割り込み	350	124

27.1.5 リセット要因

RSENT のリセット要因を以下の表に示します。RSENT は以下のリセット要因で初期化されます。

表 27.9 リセット要因 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	リセット要因
RSENTn	すべてのリセット要因（ISORES）

27.1.6　外部入出力信号

RSENT の外部入出力信号を以下の表に示します。

表 27.10　外部入出力信号 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット信号名	説明	ポート端子兼用信号名
RSENT0		
sent_rx	RSENT 受信データ入力	SENT0RX
sent_spc	RSENT SPC 拡張出力	SENT0SPCO
RSENT1		
sent_rx	RSENT 受信データ入力	SENT1RX
sent_spc	RSENT SPC 拡張出力	SENT1SPCO

27.2 概要

機能概要

RSENT インタフェースでは次の標準仕様（SAE J2716 version APR2016）の機能に対応しています（8 ニブルデータに対応するための拡張機能あり）。

- トリプルスピード拡張 Tick Time 対応：クロック周期（1µs～90µs）
- 可変データ転送レート
  - 最大 74.9kbps（3µs クロックレート 8 ニブルデータ基準）
  - 最大 224.7kbps（1µs クロックレート 8 ニブルデータ基準）
- 単方向通信：センサと MCU 間
- 双方向通信：センサと MCU 間（SPC モードによってサポート）
- シングルエッジデータ伝送：データライン上の二つの連続検出立ち下がりエッジの時間的距離によってコード化
- 最大 8 データニブル＋ステータス／コミュニケーションニブルによる送信フレーム
- CRC で保護されたデータ転送可能
  - CRC データは RSENTnSRXD.SCRC ビットおよび、RSENTnFRXD.FCRC ビットにてリード可能
- 各データフレーム（RSENTnCPL.CPLV ビット）でキャリブレーションフェーズ
- 標準拡張機能を持つ RSENT チャネルに複数のセンサが接続可能

  各センサからの受信データはソフトウェアまたは DMA にて検出
- タイムスタンプ機能をサポート：各 RSENT（RSENTnTSPC.TMS ビット）はマスタ／スレーブ選択可能
- RSENT 回路は次の機能で構成されています
  - データ受信部
  - クロックリカバリ
  - レジスタ群

27.2.1 ブロック図

RSENT のブロック図を次に示します。

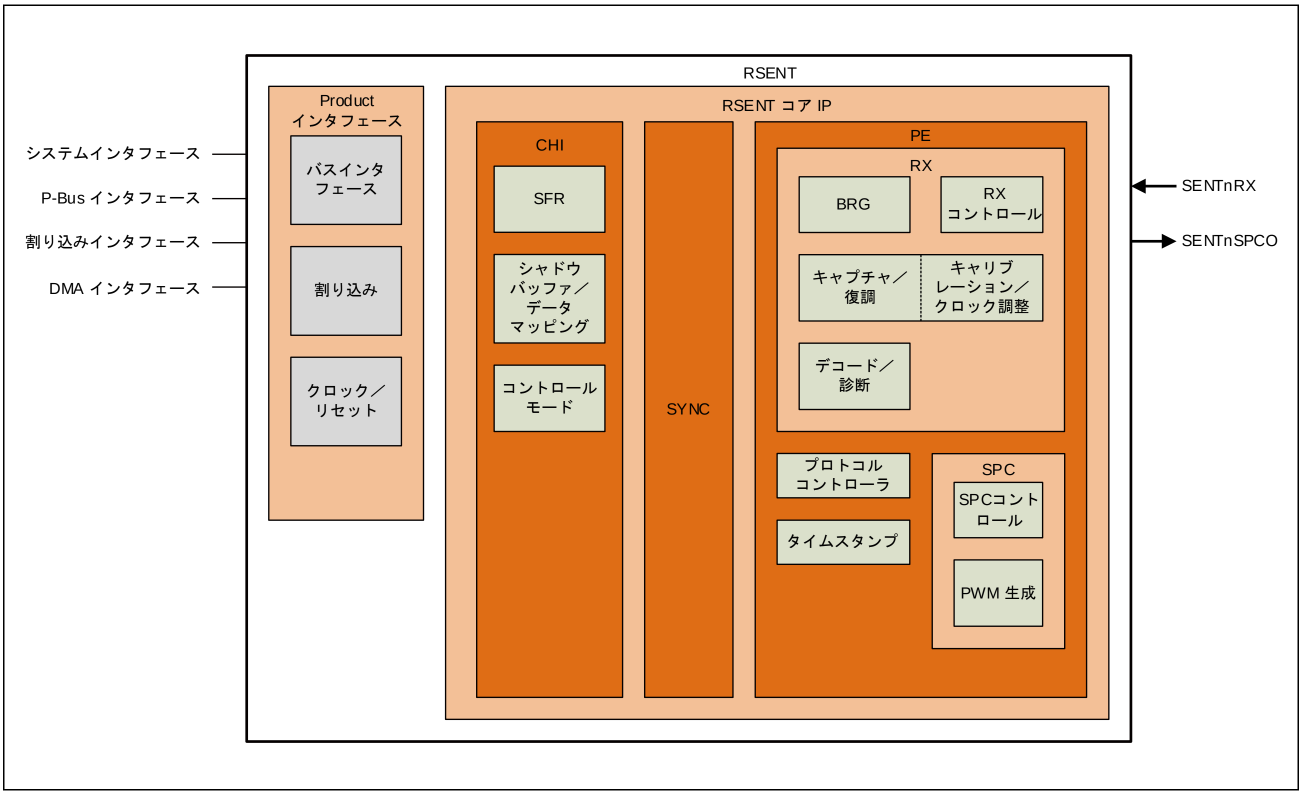


図 27.1 RSENT のブロック図

27.3　レジスタ

27.3.1　レジスター覧

RSENT のレジスター覧を以下の表に示します。

<RSENTn_base>は、「**27.1.2 レジスタベースアドレス**」を参照してください。

表 27.11　レジスター覧

モジュール名	レジスタ名	略号	アドレス
RSENTn	RSENT タイムスタンプレジスタ	RSENTnTSPC	<RSENTn_base> + 0000$_H$
	RSENT タイムスタンプカウンタ	RSENTnTSC	<RSENTn_base> + 0004$_H$
	RSENT 通信設定レジスタ	RSENTnCC	<RSENTn_base> + 0010$_H$
	RSENT ボーレートプリスケーラレジスタ	RSENTnBRP	<RSENTn_base> + 0014$_H$
	RSENT 割り込み／DMA イネーブルレジスタ	RSENTnIDE	<RSENTn_base> + 0018$_H$
	RSENT モード制御レジスタ	RSENTnMDC	<RSENTn_base> + 001C$_H$
	RSENT SPC 送信レジスタ	RSENTnSPCT	<RSENTn_base> + 0020$_H$
	RSENT モードステータスレジスタ	RSENTnMST	<RSENTn_base> + 0024$_H$
	RSENT 通信ステータスレジスタ	RSENTnCS	<RSENTn_base> + 0028$_H$
	RSENT 通信ステータスクリアレジスタ	RSENTnCSC	<RSENTn_base> + 002C$_H$
	RSENT 低速チャネル受信タイムスタンプレジスタ	RSENTnSRTS	<RSENTn_base> + 0030$_H$
	RSENT 低速チャネル受信データレジスタ	RSENTnSRXD	<RSENTn_base> + 0034$_H$
	RSENT キャリブレーションパルス長レジスタ	RSENTnCPL	<RSENTn_base> + 0038$_H$
	RSENT メッセージ長レジスタ	RSENTnML	<RSENTn_base> + 003C$_H$
	RSENT 高速チャネル受信タイムスタンプレジスタ	RSENTnFRTS	<RSENTn_base> + 0040$_H$
	RSENT 高速チャネル受信データレジスタ	RSENTnFRXD	<RSENTn_base> + 0044$_H$
	RSENT キャリブレーションパルス長ミラーレジスタ	RSENTnCPLM	<RSENTn_base> + 0050$_H$
	RSENT メッセージ長ミラーレジスタ	RSENTnMLM	<RSENTn_base> + 0054$_H$
	RSENT 高速チャネル受信タイムスタンプミラーレジスタ	RSENTnFRTSM	<RSENTn_base> + 0058$_H$
	RSENT 拡張高速チャネル受信データレジスタ 0	RSENTnEFRD0	<RSENTn_base> + 005C$_H$
	RSENT 拡張高速チャネル受信データレジスタ 1	RSENTnEFRD1	<RSENTn_base> + 0060$_H$

27.3.2 RSENTnTSPC — RSENT タイムスタンププレジスタ

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <RSENTn_base> + 0000_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TMS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	TTM[6:0]							—	TTPV[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.12 RSENTnTSPC レジスタの内容

ビット位置	ビット名	機能
31～17	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
16	TMS	タイムスタンプモード選択 0：マスタモード 1：スレーブモード
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14～8	TTM[6:0]	タイムスタンプティックの乗算値 0000000_B：1 0000001_B：2 0000010_B：3 : 1111111_B：128
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6～0	TTPV[6:0]	タイムスタンプティックのプリスケーラ値 0000000_B：1 0000001_B：2 0000010_B：3 : 1111111_B：128

RSENTnTSPC.TMS（タイムスタンプモード選択）

本ビットは、タイムスタンプカウンタの同期化を定義します。
タイムスタンプクロックの設定については、「**27.4.2.1 タイムスタンプ**」を参照してください。
本ビットが 0 に設定されると、タイムスタンプカウンタは、マスタモードで動作します。
RSENTnTSC に $0000\ 0000_H$ を書き込むと、タイムスタンプカウンタはクリアされます。さらに、RENT のスレーブとして動作するすべての RSENT タイムスタンプカウンタもクリアされます。マスタースレーブの内部接続については、「**27.4.2.1(2) タイムスタンプカウンタ動作**」を参照。
本ビットが 1 に設定されると、タイムスタンプカウンタは、スレーブモードで動作します。
タイムスタンプカウンタは、マスタモードで動作する RSENT のタイムスタンプカウンタに $0000\ 0000_H$ を書き込んだ場合にのみクリアされます。

RSENT が CONFIGURATION モード（RSENTnMST.OMS＝001_B）の時のみ、CPU は、本ビットに書き込むことができます。
スレーブモードで動作している RSENT は、そのマスタとして動作している RSENT とタイムスタンプカウンタのプリスケーラ設定が同じである必要があります。
マスタモードで動作する RSENT に対して、CPU は、本ビットを 1 に設定しないでください。

RSENTnTSPC.TTM（タイムスタンプティック乗算値）

本ビットは、タイムスタンプカウンタで使用される、1µs ティック時間の乗算値を定義します。
タイムスタンプクロックの設定については、「**27.4.2.1 タイムスタンプ**」を参照してください。
RSENT が CONFIGURATION モード（RSENTnMST.OMS＝001_B）の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnTSPC.TTPV（タイムスタンプティックプリスケーラ値）

本ビットは、1µs クロックティックを発生するプリスケーラ値を定義します。
タイムスタンプクロックの設定については、「**27.4.2.1 タイムスタンプ**」を参照してください。
RSENT が CONFIGURATION モード（RSENTnMST.OMS＝001_B）の時のみ、CPU は、本ビットに書き込むことができます。
供給される通信クロックに基づいて、1µs クロックティックが発生されるよう、CPU は本ビットに値を設定する必要があります。

27.3.3　RSENTnTSC — RSENT タイムスタンプカウンタ

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<RSENTn_base> + 0004_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TS[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.13　RSENTnTSC レジスタの内容

ビット位置	ビット名	機能
31～0	TS[31:0]	タイムスタンプカウンタ値

RSENTnTSC.TS（タイムスタンプ）

本ビットは、現在のタイムスタンプカウンタ値を示しています。
RSENT が CONFIGURATION モード（RSENTnMST.OMS＝001_B）の時のみ、CPU は、本ビットに任意の値を書き込むことができます。
RSENT が OPERATION IDLE または OPERATION ACTIVE モード（RSENTnMST.OMS＝011_B または 101_B）の時、タイムスタンプカウンタがスレーブモード（RSENTnTSPC.TMS＝1）で動作するように設定されると、本レジスタへの書き込みは効果がありません。
RSENT が OPERATION IDLE または OPERATION ACTIVE モード（RSENTnMST.OMS＝011_B または 101_B）の時、タイムスタンプカウンタは、タイムスタンプカウンタティックのたびに（RSENTnTSPC.TTPV と RSENTnTSPC.TTM ビットで設定）、インクリメントされます。
タイムスタンプカウンタが、マスタモード（RSENTnTSPC.TMS＝0）で動作するように設定されると、CPU は本ビットに $0000\ 0000_H$ を書き込み、RSENTnTSC.TS は $0000\ 0000_H$ に設定されます。

チャネル n のタイムスタンプカウンタが、スレーブモード（RSENTnTSPC.TMS＝1）で動作するように設定されると、チャネル n のマスタであるチャネルのタイムスタンプカウンタは、RESNTnTSC.TS ビットは $0000\ 0000_H$ に設定されます。

タイムスタンプモード選択については「**27.4.2.1 タイムスタンプ**」を参照してください。

27.3.4　RSENTnCC — RSENT 通信設定レジスタ

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<RSENTn_base> + 0010_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SOPC	FCM	SCCD	FCCD	DCF	SMF[1:0]		PPTC	PPC	NDN[2:0]			SPCE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.14　RSENTnCC レジスタの内容

ビット位置	ビット名	機能
31～13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	SOPC	SPC 出力極性制御 0：SPC パルスアクティブハイ 1：SPC パルスアクティブロウ
11	FCM	フレームチェック方法 0：次のキャリブレーションパルスに対するチェック 1：前回のキャリブレーションパルスに対するチェック
10	SCCD	低速チャネル CRC チェック 0：低速チャネル CRC チェック有効 1：低速チャネル CRC チェック無効
9	FCCD	高速チャネル CRC チェック 0：高速チャネル CRC チェック有効 1：高速チャネル CRC チェック無効
8	DCF	データニブル CRC 形式 0：SAE J2716 2010/2016 形式 1：pre SAE J2716 2016 形式
7、6	SMF[1:0]	シリアルメッセージ形式 00_B：シリアルメッセージ抽出なし 01_B：ショートシリアルメッセージ形式 10_B：エンハンストシリアルメッセージ形式 11_B：設定禁止
5	PPTC	パルス一時停止タイプ設定 0：可変メッセージ長パルス一時停止 1：固定メッセージ長パルス一時停止
4	PPC	パルス一時停止設定 0：パルス一時停止なし 1：パルス一時停止あり

表 27.14 RSENTnCC レジスタの内容

ビット位置	ビット名	機能
3～1	NDN[2:0]	データニブル数 000_B：1 データニブル 001_B：2 データニブル 010_B：3 データニブル 011_B：4 データニブル 100_B：5 データニブル 101_B：6 データニブル 110_B：7 データニブル 111_B：8 データニブル
0	SPCE	SPC モード有効 0：SPC モード無効 1：SPC モード有効

RSENTnCC.SOPC（SPC 出力極性制御）

本ビットが 0 に設定されると、SPC パルスはアクティブハイ信号として送信されます。デフォルトの出力値はロウレベルです。
本ビットが 1 に設定されると、SPC パルスはアクティブロウ信号として送信されます。デフォルトの出力値はハイレベルです。
SPC の動作については、「**27.4.4 SPC 機能**」を参照してください。
RSENT が CONFIGURATION モード（RSENTnMST.OMS＝001_B）の時のみ、CPU は、本ビットに書き込むことができます。

備 考

本ビットへの設定は、OPERATION ACTIVE モード（RSENTnMST.OMS＝101_B）に移行したタイミングで有効になります。
RESET モード（RSENTnMST.OMS＝000_B）へ移行した場合は、出力値はデフォルト値（ロウレベル）に設定されます。

RSENTnCC.FCM（フレームチェック方法）

本ビットが 0 に設定されると、現在のキャリブレーションパルスが次に受信されるキャリブレーションパルスと比較されます。
バッファは、SAE J2716 2016 で説明された、推奨オプションに従って更新されます。
本ビットが 1 に設定されると、現在のキャリブレーションパルスが以前に受信したキャリブレーションパルスと比較されます。
バッファは、SAE J2716 2016 で説明された、第 2 オプションに従って更新されますが、第 2 オプションは、2 番目のキャリブレーションパルスを処理するための余分なレイテンシが許容できない場合のみ使用してください。
バッファ更新のタイミングについては、「**27.4.3.2(3) 高速チャネルメッセージ受信**」も参照してください。
RSENT が CONFIGURATION モード（RSENTnMST.OMS＝001_B）の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnCC.SCCD（低速チャネル CRC チェック無効）

本ビットが 1 に設定されると、低速チャネルの CRC チェックが無効になります。この場合、メッセージは、受信した CRC と共に、低速チャネルメッセージ受信バッファに保存されます。
本ビットが 1 に設定されると、RSENTnCS.SCS ビットは設定されません。
RSENT が CONFIGURATION モード（RSENTnMST.OMS＝001_B）の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnCC.FCCD（高速チャネル CRC チェック無効）

本ビットが 1 に設定されると、高速チャネルの CRC チェックが無効になります。この場合、メッセージは、受信した CRC と共に、高速チャネルメッセージ受信バッファに保存されます。
本ビットが 1 に設定されると、RSENTnCS.FCS は設定されません。
RSENT が CONFIGURATION モード（RSENTnMST.OMS＝001_B）の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnCC.DCF（データニブル CRC 形式）

本ビットは、SAE J2716 2016 データニブル CRC 形式または Legacy 形式を選択します。
本ビットが 0 に設定されると、SAE J2716 2016, Section 5.4.2.2 に基づいた Recommended CRC が選択されます。
本ビットが 1 に設定されると、SAE J2716 2008（参照：SAE J2716 2016, Section 5.4.2.1）に基づいた Legacy CRC が選択されます。
RSENT が CONFIGURATION モード（RSENTnMST.OMS＝001_B）の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnCC.SMF（シリアルメッセージ形式）

本ビットは、自動抽出して受信されるシリアルメッセージ形式を定義します。
本ビットが 00_B に設定されると、シリアルメッセージは抽出されず、ステータス＆コミュニケーションニブルは RSENTnSRXD レジスタに格納されます。
RSENT が CONFIGURATION モード（RSENTnMST.OMS＝001_B）の時のみ、CPU は、本ビットに書き込むことができます。
RSENTnCC.SPCE が 1 に設定され、RSENT に複数のセンサが接続される際は、CPU は本ビットに 00_B を設定する必要があります。

RSENTnCC.PPTC（パルス一時停止タイプ設定）

本ビットは、パルス一時停止タイプを定義します。
RSENT が CONFIGURATION モード（RSENTnMST.OMS＝001_B）の時のみ、CPU は、本ビットに書き込むことができます。
RSENTnCC.PPC ビットが 0 に設定される際は、CPU は本ビットを 1 に設定しないでください。

RSENTnCC.PPC（パルス一時停止設定）

本ビットは、パルス一時停止の有無を定義します。
RSENT が CONFIGURATION モード（RSENTnMST.OMS＝001_B）の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnCC.NDN（データニブル数）

本ビットは、RSENT メッセージに含まれるデータニブル数を定義します。
RSENT が CONFIGURATION モード（RSENTnMST.OMS＝001_B）の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnCC.SPCE（SPC モード有効）

本ビットは、SPC モードを有効にします。
SPC モードの動作については、「**27.4.4 SPC 機能**」も参照してください。
RSENT モジュールが CONFIGURATION モード（RSENTnMST.OMS＝001_B）の時のみ、CPU は、本ビットに書き込むことができます。

27.3.5　RSENTnBRP — RSENT ボーレートプリスケーラレジスタ

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<RSENTn_base> + 0014_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	TTF[3:0]				—	TTI[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	SCDV[6:0]							—	—	—	SCMV[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 27.15　RSENTnBRP レジスタの内容

ビット位置	ビット名	機能
31～28	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
27～24	TTF[3:0]	タイムティック小数 0000_B : 0.0µs 0001_B : 0.1µs 0010_B : 0.2µs : 1000_B : 0.8µs 1001_B : 0.9µs 上記以外 : 設定禁止
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22～16	TTI[6:0]	タイムティック整数 0000000_B : 1µs 0000001_B : 2µs 0000010_B : 3µs : 1011000_B : 89µs 1011001_B : 90µs 上記以外 : 設定禁止
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14～8	SCDV[6:0]	サンプルクロック分周値 0000000_B : 1 0000001_B : 2 0000010_B : 3 : 1111110_B : 127 1111111_B : 128
7～5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 27.15　RSENTnBRP レジスタの内容

ビット位置	ビット名	機能
4～0	SCMV[4:0]	サンプルクロック乗算値 00000_B : 1 00001_B : 2 00010_B : 3 : 11110_B : 31 11111_B : 32

RSENTnBRP.TTF（タイムティック小数）

本ビットは、0.1μs の長さのティックの小数部分を定義します。
ティックの長さの設定については、「**27.4.2.2(2)　受信と SPC のティック設定**」を参照してください。
RSENT モジュールが CONFIGURATION モード（RSENTnMST.OMS＝001_B）の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnBRP.TTI（タイムティック整数）

本ビットは、ティックの長さの整数部分を定義します。
ティックの長さの設定については、「**27.4.2.2(2)　受信と SPC のティック設定**」を参照してください。
RSENT が CONFIGURATION モード（RSENTnMST.OMS＝001_B）の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnBRP.SCDV（サンプルクロック分周値）

本ビットは、サンプルクロック発生ロジックの分周値を定義します。
RSENTnBRP の設定については、「**27.4.2.2(1)　RX BRP 設定**」を参照してください。
RSENT が CONFIGURATION モード（RSENTnMST.OMS＝001_B）の時のみ、CPU は、本ビットに書き込むことができます。

RSENTnBRP.SCMV（サンプルクロック乗算値）

本ビットは、サンプルクロック発生ロジックの乗算値を定義します。
RSENTnBRP の設定については、「**27.4.2.2(1)　RX BRP 設定**」を参照してください。
RSENT モジュールが CONFIGURATION モード（RSENTnMST.OMS＝001_B）の時のみ、CPU は、本ビットに書き込むことができます。

27.3.6　RSENTnIDE ― RSENT 割り込み／DMA イネーブルレジスタ

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<RSENTn_base> + 0018_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SEIE	SMIE	SCIE	NRIE	CVIE	CLIE	FNIE	FEIE	FMIE	FCIE	FRIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.16　RSENTnIDE レジスタの内容

ビット位置	ビット名	機能
31～11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	SEIE	低速チャネル符号化エラー割り込みイネーブル 0：割り込み無効 1：割り込み有効
9	SMIE	低速チャネルメッセージロスト割り込みイネーブル 0：割り込み無効 1：割り込み有効
8	SCIE	低速チャネル CRC エラー割り込みイネーブル 0：割り込み無効 1：割り込み有効
7	NRIE	応答なしエラー割り込みイネーブル 0：割り込み無効 1：割り込み有効
6	CVIE	キャリブレーションパルス長変動エラー割り込みイネーブル 0：割り込み無効 1：割り込み有効
5	CLIE	キャリブレーションパルス長エラー割り込みイネーブル 0：割り込み無効 1：割り込み有効
4	FNIE	高速チャネルニブルカウントエラー割り込みイネーブル 0：割り込み無効 1：割り込み有効
3	FEIE	高速チャネルニブル符号化エラー割り込みイネーブル 0：割り込み無効 1：割り込み有効
2	FMIE	高速チャネルメッセージロスト割り込みイネーブル 0：割り込み無効 1：割り込み有効
1	FCIE	高速チャネル CRC エラー割り込みイネーブル 0：割り込み無効 1：割り込み有効

表 27.16　RSENTnIDE レジスタの内容

ビット位置	ビット名	機能
0	FRIE	高速チャネル受信割り込みイネーブル 0：割り込み無効 1：割り込み有効

RSENTnIDE.SEIE（低速チャネル符号化エラー割り込みイネーブル）

本ビットは、低速チャネル符号化エラー割り込みの発生を可能にします。
RSENT が RESET モード（RSENTnMST.OMS＝000_B）の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.SMIE（低速チャネルメッセージロスト割り込みイネーブル）

本ビットは、低速チャネルメッセージロスト割り込みの発生を可能にします。
RSENT が RESET モード（RSENTnMST.OMS＝000_B）の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.SCIE（低速チャネル CRC エラー割り込みイネーブル）

本ビットは、低速チャネル CRC エラー割り込みの発生を可能にします。
RSENT が RESET モード（RSENTnMST.OMS＝000_B）の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.NRIE（応答なしエラー割り込みイネーブル）

本ビットは、応答なしエラー割り込みの発生を可能にします。
RSENT が RESET モード（RSENTnMST.OMS＝000_B）の時は、CPU は、本ビットに書き込むことができません。
SPC モードが無効（RSENTnCC.SPCE＝0）の時は、CPU は、本ビットを設定しないでください。

RSENTnIDE.CVIE（キャリブレーションパルス長変動エラー割り込みイネーブル）

本ビットは、キャリブレーションパルス長変動エラー割り込みの発生を可能にします。
RSENT が RESET モード（RSENTnMST.OMS＝000_B）の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.CLIE（キャリブレーションパルス長エラー割り込みイネーブル）

本ビットは、キャリブレーションパルス長エラー割り込みの発生を可能にします。
RSENT が RESET モード（RSENTnMST.OMS＝000_B）の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.FNIE（高速チャネルニブルカウントエラー割り込みイネーブル）

本ビットは、高速チャネルニブルカウントエラー割り込みの発生を可能にします。
RSENT が RESET モード（RSENTnMST.OMS＝000_B）の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.FEIE（高速チャネルニブル符号化エラー割り込みイネーブル）

本ビットは、高速チャネルニブル符号化エラー割り込みの発生を可能にします。
RSENT が RESET モード（RSENTnMST.OMS＝000_B）の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.FMIE（高速チャネルメッセージロスト割り込みイネーブル）

本ビットは、高速チャネルメッセージロスト割り込みの発生を可能にします。
RSENT が RESET モード（RSENTnMST.OMS＝000_B）の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.FCIE（高速チャネル CRC エラー割り込みイネーブル）

本ビットは、高速チャネル CRC エラー割り込みの発生を可能にします。
RSENT が RESET モード（RSENTnMST.OMS＝000_B）の時は、CPU は、本ビットに書き込むことができません。

RSENTnIDE.FRIE（高速チャネル受信割り込みイネーブル）

本ビットは、高速チャネル受信割り込みの発生を可能にします。
高速チャネル受信割り込みは、DMA 要求を通知するためにも使用されます。
RSENT が RESET モード（RSENTnMST.OMS＝000_B）の時は、CPU は、本ビットに書き込むことができません。

27.3.7 RSENTnMDC — RSENT モード制御レジスタ

アクセス	32 ビット単位でリード/ライト可能です。
アドレス	<RSENTn_base> + $001C_H$
リセット後の値	$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	OMC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 27.17 RSENTnMDC レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2～0	OMC[2:0]	動作モード制御 000_B : RESET 001_B : CONFIGURATION 011_B : OPERATION IDLE 101_B : OPERATION ACTIVE 上記以外 : 設定禁止

RSENTnMDC.OMC（動作モード制御）

本ビットは RSENT の動作モードを制御するために使用されます。

- 000_B : RESET

  RESET モードでは、動作モードは、CONFIGURATION モードにのみ、変更することができます。

- 001_B : CONFIGURATION

  CONFIGURATION モードでは、動作モードは、RESET モードまたは OPERATION ACTIVE モードにのみ、変更することができます。

- 011_B : OPERATION IDLE

  OPERATION IDLE モードでは、動作モードは、OPERATION ACTIVE モード、CONFIGURATION モードまたは RESET モードにのみ、変更することができます。

- 101_B : OPERATION ACTIVE

  OPERATION ACTIVE モードでは、動作モードは、OPERATION IDLE モード、CONFIGURATION モードまたは RESET モードにのみ、変更することができます。しかし、最初は OPERATION IDLE モードにすることを推奨します。
  動作モード変更時の、推奨方法については、「**27.4.3.1 動作モードの移行**」を参照してください。

- 上記以外：設定禁止

  CPU は、本レジスタに上記以外の値を書かないでください。
  CPU は、「**27.4.3.1 動作モードの移行**」に示すモード変更手順に従ってください。

27.3.8 RSENTnSPCT — RSENT SPC 送信レジスタ

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <RSENTn_base> + 0020_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	TLL[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 27.18 RSENTnSPCT レジスタの内容

ビット位置	ビット名	機能
31～7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6～0	TLL[6:0]	ティック単位でのロウトリガフェーズの長さ 0000000_B : 1 ティック 0000001_B : 2 ティック 0000010_B : 3 ティック : 1111110_B : 127 ティック 1111111_B : 128 ティック

RSENTnSPCT.TLL（ロウトリガ長）

本ビットは、SPC トリガパルスの長さを定義します。
CPU が本ビットに書き込む時は、設定された長さを持つ SPC トリガパルスは、次の SPC トリガティックから送信されます。RSENTnCS.NRS が RSENT によって設定された場合、SPC トリガパルスは送信されません。
SPC の通信については、「**27.4.4 SPC 機能**」を参照してください。
RSENT が OPERATION ACTIVE モード（RSENTnMST.OMS＝101_B）で、SPC 通信が有効（RSENTnCC.SPCE＝1）の時のみ、CPU は、本ビットに書き込むことができます。
前の要求がまだ開始されていない場合、2 つの連続したライトアクセスは、応答なしエラーを発生しない可能性がありますので、注意してください。
本レジスタへの書き込み後、再度書き込みをする前に、CPU は少なくとも 1 SPC トリガティック、待機してください。

27.3.9　RSENTnMST ― RSENT モードステータスレジスタ

アクセス　32 ビット単位でリードのみ可能です。

アドレス　<RSENTn_base> + 0024_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	OMS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.19　RSENTnMST レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。
2～0	OMS[2:0]	動作モード 000_B：RESET 001_B：CONFIGURATION 011_B：OPERATION IDLE 101_B：OPERATION ACTIVE 上記以外：予約

RSENTnMST.OMS（動作モードステータス）

本ビットは、現在の動作モードを示しています。本ビットは読み出しのみ可能です。
本ビットは、モード変更要求が RSENTnMDC.OMC レジスタに設定された後に、更新されます。

- 000_B：RESET モード

  RESET モードでは、すべてのレジスタはリセット値に設定されており、RSENTnMDC レジスタを除くすべてのレジスタへの書き込みアクセスは無効になっています。
  RESET モードでは、RSENT 通信は無効になります。

- 001_B：CONFIGURATION モード

  CONFIGURATION モードでは、タイムスタンプレジスタ（RSENTnTSPC と RSENTnTSC レジスタ）、設定レジスタ（RSENTnCC と RSENTnBRP レジスタ）、RSENTnIDE レジスタおよびモード制御レジスタ（RSENTnMDC.OMC）への書き込みが有効になっています。CONFIGURATION モードでは、RSENT 通信は無効になります。CONFIGURATION モードへの移行時は、すべてのステータスレジスタと受信バッファレジスタは、リセット値に設定されます。

- 011_B：OPERATION IDLE モード

  OPERATION IDLE モードでは、受信や SPC トリガ送信はできません。
  OPERATION IDLE モードへの移行時は、受信バッファ内のフレームは OPERATION ACTIVE モードとして分析されますが、新しいフレームは受信されません。

- 101_B：OPERATION ACTIVE モード

  OPERATION ACTIVE モードでは、受信や SPC トリガ送信が可能です。
- 上記以外：予約

27.3.10　RSENTnCS — RSENT 通信ステータスレジスタ

アクセス	32 ビット単位でリードのみ可能です。
アドレス	<RSENTn_base> + 0028_H
リセット後の値	$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SES	SMS	SCS	NRS	CVS	CLS	FNS	FES	FMS	FCS	FRS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.20　RSENTnCS レジスタの内容

ビット位置	ビット名	機能
31～11	予約ビット	リードした場合はリセット後の値が読めます。
10	SES	低速チャネル符号化エラー割り込みステータス 0：未検出 1：検出
9	SMS	低速チャネルメッセージロスト割り込みステータス 0：未検出 1：検出
8	SCS	低速チャネル CRC エラー割り込みステータス 0：未検出 1：検出
7	NRS	応答なしエラー割り込みステータス 0：未検出 1：検出
6	CVS	キャリブレーションパルス長変動エラー割り込みステータス 0：未検出 1：検出
5	CLS	キャリブレーションパルス長エラー割り込みステータス 0：未検出 1：検出
4	FNS	高速チャネルニブルカウントエラー割り込みステータス 0：未検出 1：検出
3	FES	高速チャネルニブル符号化エラー割り込みステータス 0：未検出 1：検出
2	FMS	高速チャネルメッセージロスト割り込みステータス 0：未検出 1：検出
1	FCS	高速チャネル CRC エラー割り込みステータス 0：未検出 1：検出

表 27.20　RSENTnCS レジスタの内容

ビット位置	ビット名	機能
0	FRS	高速チャネル受信割り込みステータス 0：未検出 1：検出

RSENTnCS.SES（低速チャネル符号化エラーステータス）

本ビットは、低速チャネル符号化エラーステータスを示します。
本ビットは読み出しのみ可能です。
ショートシリアルメッセージフォーマット（RSENTnCC.SMF＝01_B）では、シリアルスタートビット（ステータス&コミュニケーションニブルのビット 3）の配列が“1000 0000 0000 0000_B”（1 が 1 つ、0 が 15 個）と異なると、本ビットが設定されます。
エンハンストシリアルメッセージフォーマット（RSENTnCC.SMF＝10_B）では、シリアルメッセージ開始フレーム（ステータス&コミュニケーションニブルのビット 3 の配列が 0111 1110_B）を受信後、ビット 13 またはビット 18 が“0”として受信されないと、本ビットが設定されます。
本ビットを、ショートシリアルメッセージフォーマットに設定したとき、受信したステータス&コミュニケーションニブルがシリアルメッセージの構築に使用されます。
本ビットを、拡張シリアルメッセージフォーマットに設定したとき、RSENT モジュールは、受信したステータス&コミュニケーションニブルをシリアルメッセージの構築に使用すると同時に、新しい開始シーケンスの存在をチェックします。
本ビットは、RSENTnCSC.SEC に“1”を書き込むとクリアされます。
RSENTnCSC.SEC に 1 を書き込むと、本ビットはクリアされます。
RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。
設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.SMS（低速チャネルメッセージロストステータス）

本ビットは、低速チャネルメッセージロストステータスを示します。
本ビットは読み出しのみ可能です。
低速チャネルメッセージ受信バッファを更新しようとした際、前のメッセージがまだ読み出されていない場合に、本ビットは設定されます。
RSENTnCSC.SEC に 1 を書き込むと、本ビットはクリアされます。
RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。
設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.SCS（低速チャネル CRC エラーステータス）

本ビットは、低速チャネル CRC エラーステータスを示します。
本ビットは読み出しのみ可能です。
低速チャネルで CRC エラーが検出され、低速チャネル CRC 検出が有効（RSENTnCC.SCCD＝0 に設定）の場合、本ビットは設定されます。
RSENTnCSC.SCC に 1 を書き込むと、本ビットはクリアされます。
RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。
設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.NRS（応答なしエラーステータス）

本ビットは、応答なしエラーステータスを示します。
本ビットは読み出しのみ可能です。
本ビットは、以下の時、設定されます。

- CPU が RSENTnSPCT.TLL へ書き込み
- SPC モードが有効（RSENTnCC.SPCE＝1 に設定）
- 前の SPC トリガに対して、センサから、応答完了の受信なし

本ビットは、CPU が RSENTnSPCT.TLL へ書き込んでから 4PCLK＋5clkc（最大）経過後にセットされます。

RSENTnCSC.NRC に 1 を書き込むと、本ビットはクリアされます。
RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。
設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.CVS（キャリブレーションパルス長変動エラーステータス）

本ビットは、キャリブレーションパルス長変動エラーステータスを示します。
本ビットは読み出しのみ可能です。
RSENTnCC.PPTC が 0 の場合、2 つの連続したキャリブレーションパルスが 1.5625%以上異なると、本ビットは設定されます。
RSENTnCC.PPTC が 1 の場合、本ビットは設定されません。本モード（固定されたメッセージ長で、パルス一時停止）では、CPU は RSENTnCPL と RSENTnML レジスタを読み出すことにより、メッセージ長に対する、キャリブレーションパルス比の変動をチェックする必要があります。
RSENTnCSC.CVC に 1 を書き込むと、本ビットはクリアされます。
RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。
設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.CLS（キャリブレーションパルス長エラーステータス）

本ビットは、キャリブレーションパルス長エラーステータスを示します。
本ビットは読み出しのみ可能です。
測定されたキャリブレーションパルスの長さが 42 クロックティック未満、または 70 クロックティックを超えた（規格値から 25%の偏差）時に、本ビットは設定されます。
RSENTnCSC.CLC に 1 を書き込むと、本ビットはクリアされます。
RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。
設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.FNS（高速チャネルニブルカウントエラーステータス）

本ビットは、高速チャネルニブルカウントエラーステータスを示します。
本ビットは読み出しのみ可能です。
2 つのキャリブレーションパルス間に、予期せぬ数の立ち下がりエッジがあると、本ビットは設定されます。
RSENTnCSC.FNC に 1 を書き込むと、本ビットはクリアされます。
RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。
設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.FES（高速チャネルニブル符号化エラーステータス）

本ビットは、高速チャネルニブル符号化エラーステータスを示します。
本ビットは読み出しのみ可能です。
高速チャネル上で、測定されたニブル期間が 12 クロックティック未満、または 27 クロックティックを超えた時に、本ビットは設定されます。
RSENTnCSC.FEC に 1 を書き込むと、本ビットはクリアされます。

RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。
設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.FMS（高速チャネルメッセージロストステータス）

本ビットは、高速チャネルメッセージロストステータスを示します。
本ビットは読み出しのみ可能です。
高速チャネルメッセージ受信バッファを更新しようとした際、バッファ（foreground と background）内の前のメッセージがまだ読み出されていない場合に、本ビットは設定されます。
RSENTnCSC.FMC に 1 を書き込むと、本ビットはクリアされます。
RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。
設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.FCS（高速チャネル CRC エラーステータス）

本ビットは、高速チャネル CRC エラーステータスを示します。
本ビットは読み出しのみ可能です。
高速チャネルで CRC エラーが検出され、高速チャネル CRC 検出が有効（RSENTnCC.FCCD＝0 に設定）の場合、本ビットは設定されます。
RSENTnRSENTnCSC.FCC に 1 を書き込むと、本ビットはクリアされます。
RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。
設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

RSENTnCS.FRS（高速チャネル受信ステータス）

本ビットは、高速チャネル受信ステータスを示します。
本ビットは読み出しのみ可能です。
高速チャネルメッセージ受信バッファが更新されると、本ビットは設定されます。
CPU が RSENTnFRXD または RSENTnEFRD1 レジスタを読み出すと、本ビットはクリアされます。
RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。
設定条件がクリア条件と同時に発生した場合、本ビットは設定されます。

27.3.11 RSENTnCSC — RSENT 通信ステータスクリアレジスタ

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <RSENTn_base> + 002C$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SEC	SMC	SCC	NRC	CVC	CLC	FNC	FEC	FMC	FCC	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

表 27.21 RSENTnCSC レジスタの内容

ビット位置	ビット名	機能
31～11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10	SEC	低速チャネル符号化エラークリア 0 : — 1 : クリア
9	SMC	低速チャネルメッセージロストクリア 0 : — 1 : クリア
8	SCC	低速チャネル CRC エラークリア 0 : — 1 : クリア
7	NRC	応答なしエラークリア 0 : — 1 : クリア
6	CVC	キャリブレーションパルス長変動エラークリア 0 : — 1 : クリア
5	CLC	キャリブレーションパルス長エラークリア 0 : — 1 : クリア
4	FNC	高速チャネルニブルカウントエラークリア 0 : — 1 : クリア
3	FEC	高速チャネルニブル符号化エラークリア 0 : — 1 : クリア
2	FMC	高速チャネルメッセージロストクリア 0 : — 1 : クリア
1	FCC	高速チャネル CRC エラークリア 0 : — 1 : クリア

表 27.21 RSENTnCSC レジスタの内容

ビット位置	ビット名	機能
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

RSENTnCSC.SEC（低速チャネル符号化エラークリア）

本ビットに 1 を書き込むと、RSENTnCS.SES が 0 にクリアされます。
0 の書き込みは、無効です。本ビットは常に 0 として読み出されます。

RSENTnCSC.SMC（低速チャネルメッセージロストクリア）

本ビットに 1 を書き込むと、RSENTnCS.SMS が 0 にクリアされます。
0 の書き込みは、無効です。本ビットは常に 0 として読み出されます。

RSENTnCSC.SCC（低速チャネル CRC エラークリア）

本ビットに 1 を書き込むと、RSENTnCS.SCS が 0 にクリアされます。
0 の書き込みは、無効です。本ビットは常に 0 として読み出されます。

RSENTnCSC.NRC（応答なしエラークリア）

本ビットに 1 を書き込むと、RSENTnCS.NRS が 0 にクリアされます。
0 の書き込みは、無効です。本ビットは常に 0 として読み出されます。

RSENTnCSC.CVC（キャリブレーションパルス長変動エラークリア）

本ビットに 1 を書き込むと、RSENTnCS.CVS が 0 にクリアされます。
0 の書き込みは、無効です。本ビットは常に 0 として読み出されます。

RSENTnCSC.CLC（キャリブレーションパルス長エラークリア）

本ビットに 1 を書き込むと、RSENTnCS.CLS が 0 にクリアされます。
0 の書き込みは、無効です。本ビットは常に 0 として読み出されます。

RSENTnCSC.FNC（高速チャネルニブルカウントエラークリア）

本ビットに 1 を書き込むと、RSENTnCS.FNS が 0 にクリアされます。
0 の書き込みは、無効です。本ビットは常に 0 として読み出されます。

RSENTnCSC.FEC（高速チャネルニブル符号化エラークリア）

本ビットに 1 を書き込むと、RSENTnCS.FES が 0 にクリアされます。
0 の書き込みは、無効です。本ビットは常に 0 として読み出されます。

RSENTnCSC.FMC（高速チャネルメッセージロストクリア）

本ビットに 1 を書き込むと、RSENTnCS.FMS が 0 にクリアされます。
0 の書き込みは、無効です。本ビットは常に 0 として読み出されます。

RSENTnCSC.FCC（高速チャネル CRC エラークリア）

本ビットに 1 を書き込むと、RSENTnCS.FCS が 0 にクリアされます。
0 の書き込みは、無効です。本ビットは常に 0 として読み出されます。

27.3.12　RSENTnSRTS — RSENT 低速チャネル受信タイムスタンプレジスタ

アクセス　32 ビット単位でリードのみ可能です。

アドレス　<RSENTn_base> + 0030_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	STS[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	STS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.22　RSENTnSRTS レジスタの内容

ビット位置	ビット名	機能
31～0	STS[31:0]	低速チャネル受信タイムスタンプ

RSENTnSRTS.STS（低速チャネル受信タイムスタンプ）

本ビットは読み出しのみ可能です。
低速チャネルメッセージに提供される最後のフレームのタイムスタンプカウンタ値で、低速チャネルメッセージ受信バッファが更新されると、本ビットは更新されます。
RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

27.3.13　RSENTnSRXD — RSENT 低速チャネル受信データ レジスタ

アクセス　32 ビット単位でリードのみ可能です。

アドレス　<RSENTn_base> + 0034_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SND	—	SCRC[5:0]						—	—	—	SMGC	IDD[19:16]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IDD[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.23　RSENTnSRXD レジスタの内容

ビット位置	ビット名	機能
31	SND	低速チャネル新データ 0：低速チャネルフレームデータが、最後の読み出し以降に更新されていない 1：低速チャネルフレームデータが、最後の読み出し以降に更新された
30	予約ビット	リードした場合はリセット後の値が読めます。
29～24	SCRC[5:0]	低速チャネル CRC データ
23～21	予約ビット	リードした場合はリセット後の値が読めます。
20	SMGC	低速チャネルコンフィグレーションビットデータ
19～0	IDD[19:0]	低速チャネルデータと ID 情報を示す

RSENTnSRXD.SND（低速チャネル新データ）

本ビットは、低速チャネルメッセージ受信バッファがまだ読み出されていないデータを保持していることを示しています。

本ビットは読み出しのみ可能です。

低速チャネルメッセージ受信バッファが更新されると、本ビットは設定されます。

本ビットは、読み出される度に、自動的にクリアされます。

RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

RSENTnSRXD.SCRC（低速チャネル CRC）

本ビットは、低速チャネル CRC データを示します。

本ビットは読み出しのみ可能です。

低速チャネルメッセージ受信バッファが更新されると、本ビットは更新されます。

RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

RSENTnSRXD.SMGC（低速チャネルコンフィグレーションビット）

本ビットは、低速チャネルコンフィグレーションビットデータを示します。

本ビットは読み出しのみ可能です。

低速チャネルメッセージ受信バッファが更新されると、本ビットは更新されます。

RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

RSENTnSRXD.IDD（ID/データ）

本ビットは、低速チャネルデータと ID 情報を示します。
本レジスタ内の配置は、メッセージ形式に依存します。詳細については、「**27.4.3.2(5) 低速チャネルメッセージ受信**」を参照してください。
本ビットは読み出しのみ可能です。
低速チャネルメッセージ受信バッファが更新されると、本ビットは更新されます。
RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

27.3.14 RSENTnCPL — RSENT キャリブレーションパルス長レジスタ

アクセス　32 ビット単位でリードのみ可能です。

アドレス　<RSENTn_base> + 0038_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPLV[16]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CPLV[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.24　RSENTnCPL レジスタの内容

ビット位置	ビット名	機能
31～17	予約ビット	リードした場合はリセット後の値が読めます。
16～0	CPLV[16:0]	受信メッセージのキャリブレーションパルス長の値

RSENTnCPL.CPLV（キャリブレーションパルス長の値）

メッセージ診断のため、2 つの連続したキャリブレーションパルスの比、または固定メッセージ長モードでパルス一時停止あり時のキャリブレーションパルスを計算する CPU によって、本ビットは使用されます。詳細は、SAE J2716 2016, Section 5.3.3 を参照してください。

本ビットは読み出しのみ可能です。

固定メッセージ長モードでパルス一時停止あり時（RSENTnCC.PPTC=1_B）、または、SPC モード（RSENTnCC.SPCE=1_B）以外のモード時では、本ビットは無効で、使用できません。

高速チャネルメッセージ受信バッファが更新されると、キャリブレーションパルス長（1 ティック時間×キャリブレーションパルスのティック数）をサンプルクロック（f_{SAMPLE}=16MHz）でカウントした値が格納されます。

RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

27.3.15 RSENTnML — RSENT メッセージ長レジスタ

アクセス 32 ビット単位でリードのみ可能です。

アドレス <RSENTn_base> + $003C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	MLV[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MLV[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.25 RSENTnML レジスタの内容

ビット位置	ビット名	機能
31～21	予約ビット	リードした場合はリセット後の値が読めます。
20～0	MLV[20:0]	受信メッセージのメッセージ長

RSENTnML.MLV（メッセージ長の値）

メッセージ診断のため、固定メッセージ長モードでパルス一時停止あり時のキャリブレーションパルスを計算する CPU によって、本ビットは使用されます。
本ビットは読み出しのみ可能です。
固定されたメッセージ長でパルス一時停止あり以外のモードでは、本ビットは無効で、使用できません。
高速チャネルメッセージ受信バッファが更新されると、メッセージ長をサンプルクロックでカウントした値が格納されます。
RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

27.3.16　RSENTnFRTS — RSENT 高速チャネル受信タイムスタンプレジスタ

アクセス　32 ビット単位でリードのみ可能です。

アドレス　<RSENTn_base> + 0040_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FTS[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FTS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.26　RSENTnFRTS レジスタの内容

ビット位置	ビット名	機能
31～0	FTS[31:0]	高速チャネル受信タイムスタンプ

RSENTnFRTS.FTS（高速チャネル受信タイムスタンプ）

本ビットは読み出しのみ可能です。
高速チャネルメッセージ受信バッファが更新されると、本ビットは、更新されます。
RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

27.3.17 RSENTnFRXD — RSENT 高速チャネル受信データレジスタ

アクセス 32 ビット単位でリードのみ可能です。

アドレス <RSENTn_base> + 0044$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SNDM	FND	FCCN[1:0]		FCRC[3:0]				ND[23:16]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ND[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.27　RSENTnFRXD レジスタの内容

ビット位置	ビット名	機能
31	SNDM	低速チャネル新データのミラー 0：低速チャネルフレームデータが、最後の読み出し以降、更新されない 1：低速チャネルフレームデータが、最後の読み出し以降、更新される
30	FND	高速チャネル新データ 0：高速チャネルフレームデータが、最後の読み出し以降、更新されない 1：高速チャネルフレームデータが、最後の読み出し以降、更新される
29、28	FCCN[1:0]	高速チャネルコミュニケーションニブル
27～24	FCRC[3:0]	高速チャネル CRC データ
23～0	ND[23:0]	高速チャネルニブルデータ

RSENTnFRXD.SNDM（低速チャネル新データミラー）

本ビットは、低速チャネルメッセージ受信バッファが読み出されていないデータを保持していることを示しています。

本ビットは読み出しのみ可能です。

低速チャネルメッセージ受信バッファが更新されると、本ビットは設定されます。

本ビットは、低速チャネル新データビット（RSENTnSRXD.SND）が読み出される度に、自動的にクリアされます。

RSENTnMST.OMS が 001$_B$（CONFIGURATION）に変更されると、本ビットはクリアされます。

RSENTnFRXD.FND（高速チャネル新データ）

本ビットは、高速チャネルメッセージ受信バッファが読み出されていないデータを保持していることを示しています。

本ビットは読み出しのみ可能です。

高速チャネルメッセージ受信バッファが更新されると、本ビットは設定されます。

本ビットは、RSENTnFRXD または RSENTnEFRD1 が読み出される度に、自動的にクリアされます。

RSENTnMST.OMS が 001$_B$（CONFIGURATION）に変更されると、本ビットはクリアされます。

RSENTnFRXD.FCCN（高速チャネルコミュニケーションニブル）

本ビットは、高速チャネルコミュニケーションニブル[1:0]を表わしています。
本ビットは読み出しのみ可能です。
高速チャネルメッセージ受信バッファが更新されると、本ビットは更新されます。
RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

RSENTnFRXD.FCRC（高速チャネル CRC）

本ビットは、高速チャネル CRC データを表しています。
本ビットは読み出しのみ可能です。
高速チャネルメッセージ受信バッファが更新されると、本ビットは更新されます。
RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

RSENTnFRXD.ND（高速チャネルニブルデータ）

本ビットは、高速チャネルニブルデータを表しています。
ニブルデータの配置は、ニブルデータ数に依存します。詳細については、「**27.4.3.2(3) 高速チャネルメッセージ受信**」を参照してください。
本ビットは読み出しのみ可能です。
高速チャネルメッセージ受信バッファが更新されると、本ビットは更新されます。
RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

27.3.18　RSENTnCPLM — RSENT キャリブレーションパルス長ミラーレジスタ

アクセス　32 ビット単位でリードのみ可能です。

アドレス　<RSENTn_base> + 0050_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPLVM[16]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CPLVM[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.28　RSENTnCPLM レジスタの内容

ビット位置	ビット名	機能
31～17	予約ビット	リードした場合はリセット後の値が読めます。
16～0	CPLVM[16:0]	受信メッセージのキャリブレーションパルス長の値（ミラー）

RSENTnCPLM.CPLVM（キャリブレーションパルス長の値（ミラー））

本ビットは、RSENTnCPL.CPLV のミラービットです。
本ビットは読み出しのみ可能です。
固定メッセージ長モードでパルス一時停止あり時（RSENTnCC.PPTC=1_B）、または、SPC モード（RSENTnCC.SPCE=1_B）以外のモード時では、本ビットは無効で、使用できません。
高速チャネルメッセージ受信バッファが更新されると、キャリブレーションパルス長（1 ティック時間×キャリブレーションパルスのティック数）をサンプルクロック（f_{SAMPLE}=16MHz）でカウントした値が格納されます。
RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

27.3.19　RSENTnMLM — RSENT メッセージ長ミラーレジスタ

アクセス　32 ビット単位でリードのみ可能です。

アドレス　<RSENTn_base> + 0054$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	MLVM[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MLVM[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.29　RSENTnMLM レジスタの内容

ビット位置	ビット名	機能
31～21	予約ビット	リードした場合はリセット後の値が読めます。
20～0	MLVM[20:0]	受信メッセージのメッセージ長の値（ミラー）

RSENTnMLM.MLVM（メッセージ長の値（ミラー））

本ビットは、RSENTnML.MLV のミラービットです。
本ビットは読み出しのみ可能です。
高速チャネルメッセージ受信バッファが更新されると、本ビットは更新されます。
RSENTnMST.OMS が 001$_B$（CONFIGURATION）に変更されると、本ビットはクリアされます。

27.3.20　RSENTnFRTSM — RSENT 高速チャネル受信タイムスタンプミラーレジスタ

アクセス　32 ビット単位でリードのみ可能です。

アドレス　<RSENTn_base> + 0058_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FTSM[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FTSM[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.30　RSENTnFRTSM レジスタの内容

ビット位置	ビット名	機能
31～0	FTSM[31:0]	高速チャネル受信タイムスタンプ（ミラー）

RSENTnFRTSM.FTSM（高速チャネル受信タイムスタンプ（ミラー））

本ビットは、RSENTnFRTS.FTS のミラービットです。
本ビットは読み出しのみ可能です。
高速チャネルメッセージ受信バッファが更新されると、本ビットは更新されます。
RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

27.3.21　RSENTnEFRD0 — RSENT 拡張高速チャネル受信データレジスタ 0

アクセス　32 ビット単位でリードのみ可能です。

アドレス　<RSENTn_base> + $005C_H$

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	SNDM	FND	FCCN[1:0]		FCRC[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.31　RSENTnEFRD0 レジスタの内容

ビット位置	ビット名	機能
31〜8	予約ビット	リードした場合はリセット後の値が読めます。
7	SNDM	低速チャネル新データ（ミラー） 0：低速チャネルフレームデータが、最後の読み出し以降、更新されない 1：低速チャネルフレームデータが、最後の読み出し以降、更新される
6	FND	高速チャネル新データ 0：高速チャネルフレームデータが、最後の読み出し以降、更新されない 1：高速チャネルフレームデータが、最後の読み出し以降、更新される
5、4	FCCN[1:0]	高速チャネルコミュニケーションニブルビット[1:0]
3〜0	FCRC[3:0]	高速チャネル CRC データ

RSENTnEFRD0.SNDM（低速チャネル新データ（ミラー））

本ビットは、低速チャネルメッセージ受信バッファが読み出されていないデータを保持していることを示しています。
本ビットは読み出しのみ可能です。
低速チャネルメッセージ受信バッファが更新されると、本ビットは設定されます。
本ビットは、低速チャネル新データビット（RSENTnSRXD.SND）が読み出される度に、自動的にクリアされます。
RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

RSENTnEFRD0.FND（高速チャネル新データ）

本ビットは、高速チャネルメッセージ受信バッファが読み出されていないデータを保持していることを示しています。
本ビットは読み出しのみ可能です。
高速チャネルメッセージ受信バッファが更新されると、本ビットは設定されます。
本ビットは、RSENTnFRXD または RSENTnEFRD1 が読み出される度に、自動的にクリアされます。
RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

RSENTnEFRD0.FCCN（高速チャネルコミュニケーションニブル）

本ビットは、高速チャネルコミュニケーションニブル[1:0]を表わしています。
本ビットは読み出しのみ可能です。
高速チャネルメッセージ受信バッファが更新されると、本ビットは更新されます。
RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

RSENTnEFRD0.FCRC（高速チャネル CRC）

本ビットは、高速チャネル CRC データを表しています。
本ビットは読み出しのみ可能です。
高速チャネルメッセージ受信バッファが更新されると、本ビットは更新されます。
RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

27.3.22　RSENTnEFRD1 — RSENT 拡張高速チャネル受信データレジスタ 1

アクセス　32 ビット単位でリードのみ可能です。

アドレス　<RSENTn_base> + 0060_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ND[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ND[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 27.32　RSENTnEFRD1 レジスタの内容

ビット位置	ビット名	機能
31～0	ND[31:0]	高速チャネルニブルデータ

RSENTnEFRD1.ND（ニブルデータ）

本ビットは、高速チャネルニブルデータを表しています。
ニブルデータの配置は、ニブルデータ数に依存します。詳細については、「**27.4.3.2(3) 高速チャネルメッセージ受信**」を参照してください。
本ビットは読み出しのみ可能です。
高速チャネルメッセージ受信バッファが更新されると、本ビットは更新されます。
RSENTnMST.OMS が 001_B（CONFIGURATION）に変更されると、本ビットはクリアされます。

27.4　動作

27.4.1　動作モード

RSENT は、次のモードのいずれかになります。

- RESET モード
- CONFIGURATION モード
- OPERATION IDLE モード
- OPERATION ACTIVE モード

CPU は、「**27.4.3.1 動作モードの移行**」に示すモード変更手順に従ってください。

現在の動作モードの状態は、RSENTnMST.OMS ビットで見ることができます。

「**図 27.2 動作モード間での遷移**」は、チャネルモード間での可能な遷移を示しています。

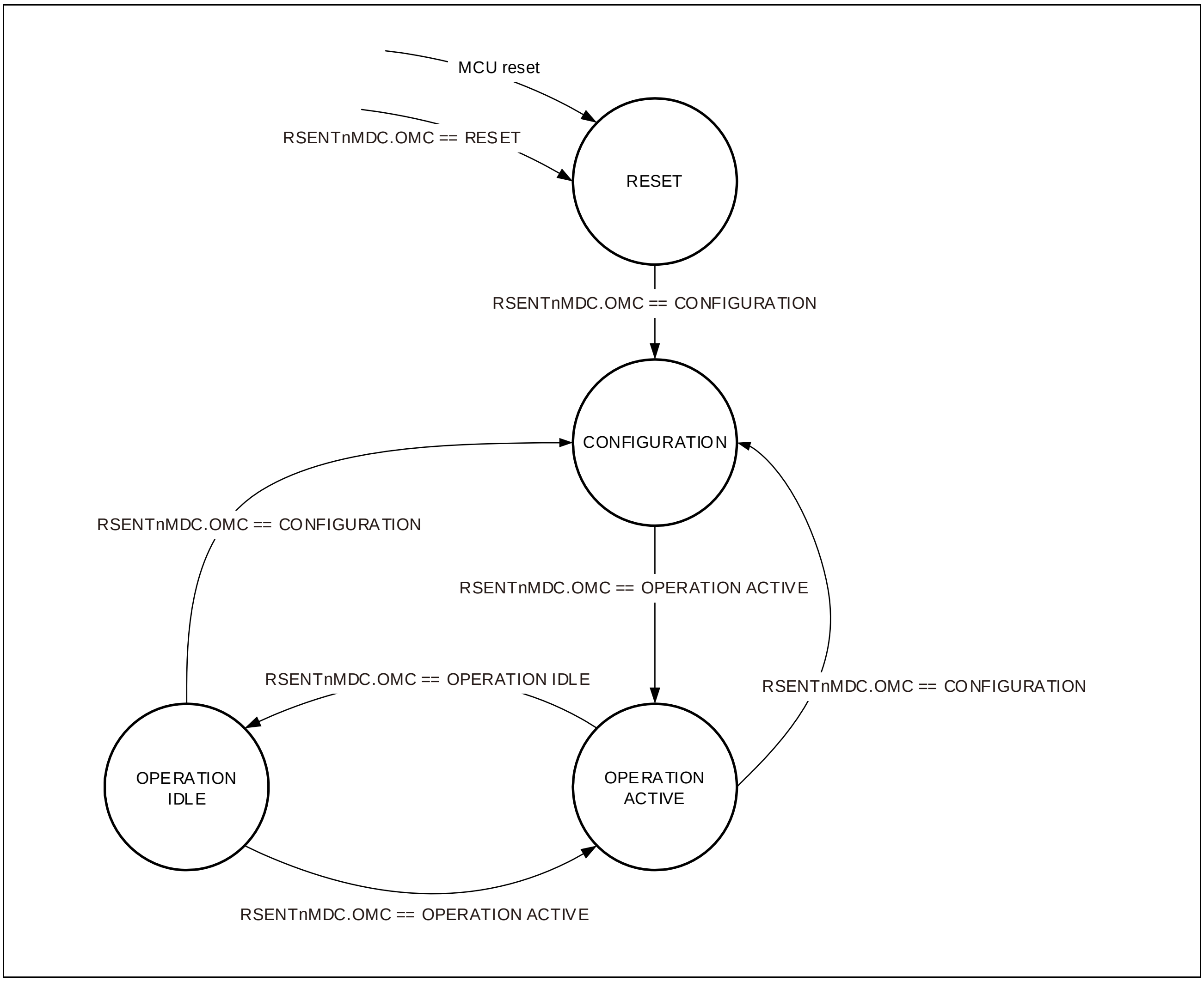


図 27.2　動作モード間での遷移

27.4.1.1　RESET モード

本モードは、ハードウェアリセット（MCU リセット）の解除後、RSENT モジュールが自動的に移行する、初期モードです。RSENT における、レジスタのクリーンリセットを行います。

RSENTnMDC.OMC が 000_B に設定されると、RESET モードに移行します。この状態では、すべての、設定、制御（RSENTnMDC.OMC ビットを除く）およびステータスレジスタが、リセットされます。送信中または受信中の処理は直ちに停止され、RSENT のインタフェース端子は、デフォルト値に設定されます。

この状態では、すべてのレジスタへのリードアクセスが可能です。ライトアクセスは RSENTnMDC レジスタに制限されています。

27.4.1.2　CONFIGURATION モード

RSENTnMDC.OMC が 001_B に設定されると、CONFIGURATION モードに移行します。

RSENT のインタフェース端子は、デフォルト値に設定されます。

SENTnSPCO 端子の出力極性の設定と有効となるタイミングについては「**27.3.4 RSENTnCC ― RSENT 通信設定レジスタ**」の RSENTnCC.SOPC（SPC 出力極性制御）ビットの説明を参照してください。

この状態では、すべてのステータスレジスタ（RSENTnCS）と受信バッファレジスタ（RSENTnSRTS、RSENTnSRXD、RSENTnCPL、RSENTnML、RSENTnFRTS および RSENTnFRXD）はデフォルト値に設定されます。

この状態では、すべてのレジスタへのリードアクセスが可能です。

ライトアクセスは、タイムスタンプレジスタ（RSENTnTSPC および RSENTnTSC）と設定レジスタ（RSENTnCC、RSENTnBRP、RSENTnIDE、RSENTnMDC および RSENTnCSC）に制限されています。

27.4.1.3　OPERATION IDLE モード

RSENTnMDC.OMC が 011_B に設定されると、OPERATION IDLE モードに移行します。

OPERATION IDLE モードでは、受信または送信は行われません。

OPERATION IDLE モードに移行すると、受信バッファ内のフレームは、OPERATION ACTIVE モードの時と同じように、分析することはできますが、新しいフレームは受信されません。

この状態では、すべてのレジスタへのリードアクセスが可能です。

ライトアクセスは、RSENTnTSC、RSENTnIDE、RSENTnMDC および RSENTnCSC で可能です。

27.4.1.4　OPERATION ACTIVE モード

RSENTnMDC.OMC が 101_B に設定されると、OPERATION ACTIVE モードに移行します。

OPERATION ACTIVE モードでは、受信または送信が行われます。

有効なキャリブレーションパルス（最初の立ち下がりエッジを含む）が検出された後、フレームの受信とステータスのフラグが立てられます。

この状態では、すべてのレジスタへのリードアクセスが可能です。

ライトアクセスは、RSENTnTSC、RSENTnIDE、RSENTnMDC、RSENTnSPCT および RSENTnCSC で可能です。

27.4.1.5　動作モードにおけるレジスタ動作

「**表 27.33 動作モードにおけるレジスタ動作**」は、RSENT が以下の動作モード間で移行した際の、レジスタ動作を示しています。この表では、動作モードにおける、アクセス制限の概要も示しています。

表 27.33　動作モードにおけるレジスタ動作

レジスタ名	略称	MCU リセット	RESET		CONFIGURATION		OPERATION IDLE		OPERATION ACTIVE	
		変更	変更	R/W	変更	R/W	変更	R/W	変更	R/W
タイムスタンプレジスタ	RSENTnTSPC	0000 0000$_H$	0000 0000$_H$	R	変更なし	R/W	変更なし	R	変更なし	R
タイムスタンプカウンタレジスタ	RSENTnTSC	0000 0000$_H$	0000 0000$_H$	R	変更なし	R/W	変更なし	R/W 注1	変更なし	R/W 注1
通信設定レジスタ	RSENTnCC	0000 0000$_H$	0000 0000$_H$	R	変更なし	R/W	変更なし	R	変更なし	R
ボーレートプリスケーラレジスタ	RSENTnBRP	0000 0000$_H$	0000 0000$_H$	R	変更なし	R/W	変更なし	R	変更なし	R
割り込み/DMA イネーブルレジスタ	RSENTnIDE	0000 0000$_H$	0000 0000$_H$	R	変更なし	R/W	変更なし	R/W	変更なし	R/W
モード制御レジスタ	RSENTnMDC	0000 0000$_H$	0000 0000$_H$	R/W	変更なし	R/W	変更なし	R/W	変更なし	R/W
SPC 送信レジスタ	RSENTnSPCT	0000 0000$_H$	0000 0000$_H$	R	変更なし	R	変更なし	R	変更なし	R/W
モードステータスレジスタ	RSENTnMST	0000 0000$_H$	0000 0000$_H$	R	0000 0001$_H$	R	0000 0003$_H$	R	0000 0005$_H$	R
通信ステータスレジスタ	RSENTnCS	0000 0000$_H$	0000 0000$_H$	R	0000 0000$_H$	R	変更なし	R	変更なし	R
通信ステータスクリアレジスタ	RSENTnCSC	0000 0000$_H$	0000 0000$_H$	R	変更なし	R/W	変更なし	R/W	変更なし	R/W
低速チャネル受信タイムスタンプレジスタ	RSENTnSRTS	0000 0000$_H$	0000 0000$_H$	R	0000 0000$_H$	R	変更なし	R	変更なし	R
低速チャネル受信データレジスタ	RSENTnSRXD	0000 0000$_H$	0000 0000$_H$	R	0000 0000$_H$	R	変更なし	R	変更なし	R
キャリブレーションパルス長レジスタ	RSENTnCPL	0000 0000$_H$	0000 0000$_H$	R	0000 0000$_H$	R	変更なし	R	変更なし	R
メッセージ長レジスタ	RSENTnML	0000 0000$_H$	0000 0000$_H$	R	0000 0000$_H$	R	変更なし	R	変更なし	R
高速チャネル受信タイムスタンプレジスタ	RSENTnFRTS	0000 0000$_H$	0000 0000$_H$	R	0000 0000$_H$	R	変更なし	R	変更なし	R
高速チャネル受信データレジスタ	RSENTnFRXD	0000 0000$_H$	0000 0000$_H$	R	0000 0000$_H$	R	変更なし	R	変更なし	R
キャリブレーションパルス長ミラーレジスタ	RSENTnCPLM	0000 0000$_H$	0000 0000$_H$	R	0000 0000$_H$	R	変更なし	R	変更なし	R
メッセージ長ミラーレジスタ	RSENTnMLM	0000 0000$_H$	0000 0000$_H$	R	0000 0000$_H$	R	変更なし	R	変更なし	R
高速チャネル受信タイムスタンプミラーレジスタ	RSENTnFRTSM	0000 0000$_H$	0000 0000$_H$	R	0000 0000$_H$	R	変更なし	R	変更なし	R
拡張高速チャネル受信データレジスタ 0	RSENTnEFRD0	0000 0000$_H$	0000 0000$_H$	R	0000 0000$_H$	R	変更なし	R	変更なし	R
拡張高速チャネル受信データレジスタ 1	RSENTnEFRD1	0000 0000$_H$	0000 0000$_H$	R	0000 0000$_H$	R	変更なし	R	変更なし	R

注1.　書き込み制限があります。

27.4.2 クロック設定

27.4.2.1 タイムスタンプ

(1) タイムスタンプクロック設定

RSENT は、タイムスタンプカウンタを搭載しています。

タイムスタンプの最小要求分解能は 1μs となります。使用する通信周波数（clkc）に応じて、ユーザは RSENTnTSPC を設定する必要があります。TTPV ビットを使用して 1μs の分解能を達成します。入力周波数は、設定されたタイムスタンププリスケーラ値、RSENTnTSPC.TTPV で分周されます。

設定されたティック長に応じて、RSENTnTSPC.TTM ビットを設定することにより、分解能を減少させることができます。既に分割された入力周波数は、RSENTnTSPC.TTM ビットの値によって、さらに分割されます。

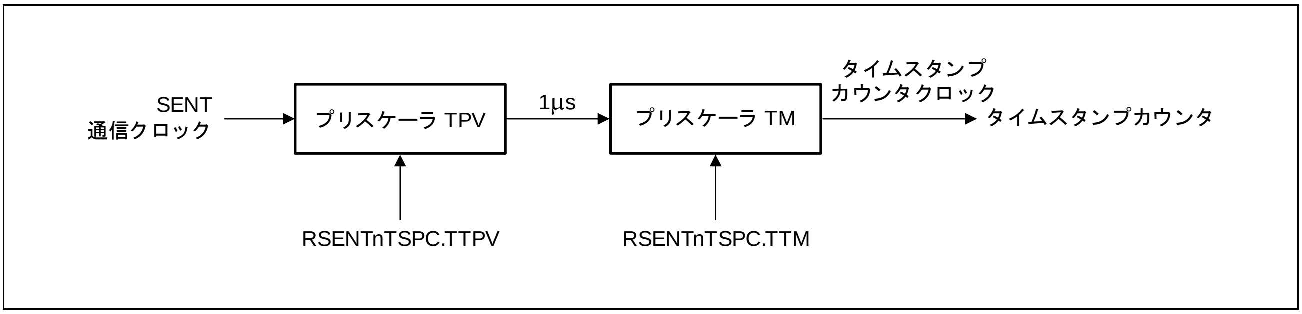


図 27.3 タイムスタンプカウンタクロック生成

(2) タイムスタンプカウンタ動作

RSENT が、CONFIGURATION モードにある時のみ、RSENTnTSC.TS ビットに書き込むことで、タイムスタンプカウンタの値を任意の値に初期化することができます。

タイムスタンプカウンタがマスタモード（RSENTnTSPC.TMS＝0）で動作するように構成されている場合、RSENT が OPERATION IDLE モードまたは OPERATION ACTIVE モードになると、RSENTnTSC.TS ビットに 0000 0000_H を書き込むことによって、CPU はタイムスタンプカウンタをクリアすることができます。

タイムスタンプカウンタがスレーブモード（RSENTnTSPC.TMS＝1）で動作するように構成されている場合、RSENT が OPERATION IDLE または OPERATION ACTIVE モードになると、マスタに設定されているチャネルの RSENTnTSC.TS ビットに CPU が 0000 0000_H を書き込むことによって、タイムスタンプカウンタがクリアされます。タイムスタンプカウンタのプリスケーラ設定はマスタモードで動作するチャネルとそのスレーブモードで動作するチャネルで同じ設定にしてください。タイムスタンプカウンタの同期化が発生すると、内部タイムスタンプカウンタのプリスケーラも同期します。

現在のタイムスタンプカウンタ値は、RSENTnTSC.TS ビットから読み出すことができます。

RSENT が OPERATION ACTIVE モードになると、各受信メッセージは、関連するタイムスタンプに保存されます。タイムスタンプ値は、高速チャネルと低速チャネルデータに使用されます。

キャリブレーションパルスが検出されると、タイムスタンプ値がキャプチャされます。

高速チャネルメッセージ受信バッファが更新されると、高速チャネルのタイムスタンプ値は、RSENTnFRTS.FTS または RSENTnFRTSM.FTSM レジスタフィールドに保存されます。

低速チャネルのタイムスタンプ値は、RSENTnSRTS.STS ビットに保存されます。低速チャネルのタイムスタンプ値は、低速チャネルメッセージに貢献する最後の高速チャネルメッセージのタイムスタンプ値と同じになります。

タイムスタンプカウンタの同期が必要な場合には、以下のフローに従ってください。

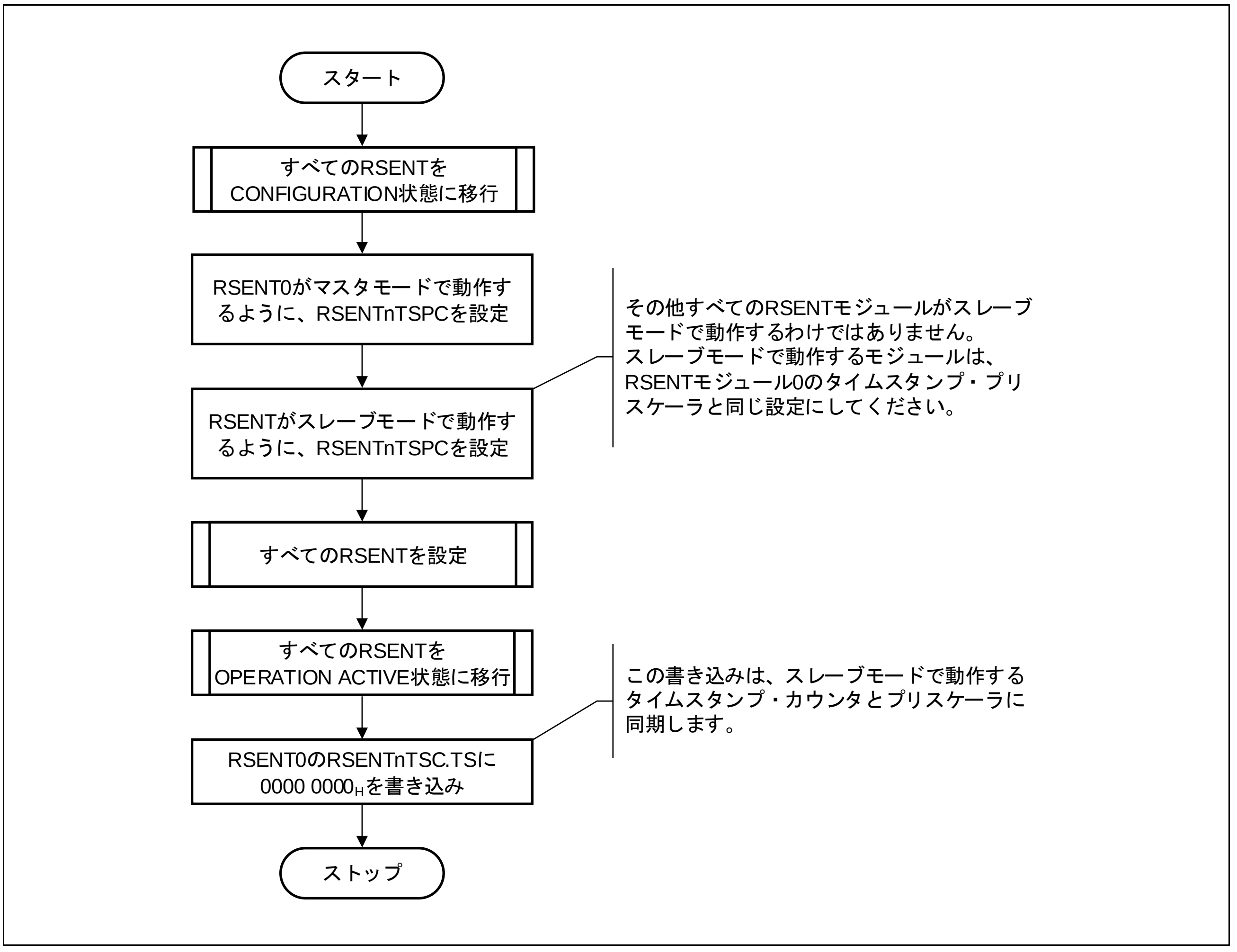


図 27.4 タイムスタンプカウンタの同期

マスタモジュールが OPERARION_ACTIVE もしくは OPERARION_IDLE 状態に遷移している場合、タイムスタンプの同期化が可能です。

27.4.2.2 通信クロック設定

(1) RX BRP 設定

使用する $f_{COMMUNICAITON}$（clkc クロック周波数）に合わせて、サンプルクロック周波数が 16MHz になるように、下記に示す計算式に従って RSENTnBRP.SCDV と RSENTnBRP.SCMV を設定してください（例えば RSENTnBRP.SCDV＝4/RSENTnBRP.SCMV＝6 と設定する場合は、RSENTnBRP.SCDV＝2/RSENTnBRP.SCMV＝3 に置き換えてください）。入力クロック（clkc クロック）は、RSENTnBRP.SCDV と RSENTnBRP.SCM の設定によって分周され、サンプルクロックを生成します。

$f_{COMMUNICATION}$（clkc クロック周波数）は 32MHz から 40MHz（もしくは 16MHz ちょうど）の範囲に入るように選択してください。下記に示す計算式に従って、サンプルクロック周波数が 16MHz になるように RSENTnBRP.SCDV と RSENTnBRP.SCM の値を選択してください。

$$f_{SAMPLE} = 16\ MHz = f_{COMMUNICATION} \times \frac{Sample\ Clock\ Multiplication\ Value\ (RSENTnBRP.SCMV + 1)}{Sample\ Clock\ Division\ Value\ (RSENTnBRP.SCDV + 1)}$$

$$\begin{aligned} Where\ Sample\ Clock\ Multiplication\ Value\ &= 2\ (RSENTnBRP.SCMV\ =\ 5'd1), \\ Sample\ Clock\ Division\ Value\ &= 5\ (RSENTnBRP.SCDV\ =\ 7'd4), \end{aligned}$$

$$\begin{aligned} f_{COMMUNICATION} &= 40MHz \\ f_{SAMPLE} &= 40 \times 2/5 = 16MHz \end{aligned}$$

(2) 受信と SPC のティック設定

受信と SPC 機能で使用されるティック長は、RSENTnBRP.TTI と RSENTnBRP.TTF ビットで設定することができます。0.1µs の分解能で、1.0µs～90.0µs のティック長を設定することができます。

RSENTnBRP.TTI は、ティック長の整数部を保持し、RSENTnBRP.TTF ビットは、ティック長の小数部分を保持しています。ティック長は次式に従って計算されます。

$$T_{TICK} = T_{RSENTnBRP.TTI} + T_{RSENTnBRP.TTF}$$

$$Where\ RSENTnBRP.TTI = 0, RSENTnBRP.TTF = 3$$

$$T_{TICK} = 1 + 0.3 = 1.3\mu s$$

27.4.3 RSENT 動作

27.4.3.1 動作モードの移行

CONFIGURATION モードで初期設定完了後、OPERARION ACTIVE モード移行することで通信動作が有効になります。これは、RSENTnMDC.OMC ビットを OPERATION ACTIVE に設定し、RSENTnMST.OMS が OPERATION ACTIVE に移行するのを待機して、実行されます。

いったん、OPERATION ACTIVE モードになると、設定に応じて、メッセージを受信したり、SPC 通信が起動したりします。

「**図 27.5 有効な通信フロー**」に、リセットモードから通信開始するまでのフローを示します。

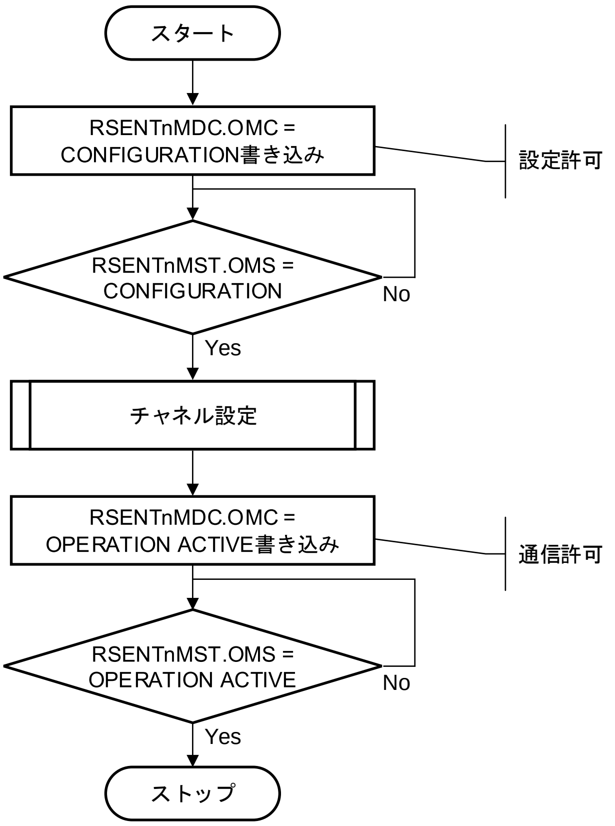


図 27.5 有効な通信フロー

OPERATION ACTIVE モードを終了するには、OPERATION IDLE モードに移行することによってまず、通信を無効にする必要があります。これは、RSENTnMDC.OMC ビットを OPERATION IDLE に設定し、RSENTnMST.OMS ビットが OPERATION IDLE に移行するのを待機して、実行されます。

ただし、SPC モードを有効（RSENTnCC.SPCE＝1 に設定）かつ、SPC 通信が完了（たとえば、前の SPC トリガ送信に対する受信成功）の後、次の SPC トリガ送信を要求していない場合は RSENT は直接 CONFIGURATION モードへ遷移することができます。

OPERATION ACTIVE と OPERATION IDLE 間の遷移は、RSENTnCC.SPCE ビットの設定に依存します。

(1) RSENTnCC.SPCE＝0

受信動作が進行中の時は、受信バッファが更新された時、またはエラーが通知された時に、OPERATION ACTIVE から OPERATION IDLE へのモード移行が行われます（「**27.4.3.2(3) 高速チャネルメッセージ受信**」を参照してください）。

受信動作が進行していない時は、OPERATION ACTIVE から OPERATION IDLE へのモード移行は直ちに行われます。

(2) RSENTnCC.SPCE＝1

受信動作が進行中の時は、終了パルスの立ち下がりエッジを受信した時に、OPERATION ACTIVE から OPERATION IDLE へのモード移行が行われます。

応答なしエラーが発生した場合は、エラー検出と同時に、OPERATION ACTIVE から OPERATION IDLE へのモード移行が行われます。

SPC トリガ後、応答を受信するシーケンスが完了したときに、OPERATION ACTIVE から OPERATION IDLE へのモード移行が行われます。つまり、受信動作完了後にモード移行が行われます。応答が保留されている時は、終了パルスの立ち下がりエッジを受信した時に、OPERATION ACTIVE から OPERATION IDLE へのモード移行が行われます。

RSENTnMST.OMS ビットに CONFIGURATION を書き込み、RSENTnMST.OMS が CONFIGURATION に移行することを待機することで、CONFIGURATION モードに移行することができます。

いったん CONFIGURATION モードに移行すると、ステータスとメッセージ情報が CONFIGURATION モードでクリアされるので、RSENT に保存された、残りのステータスとメッセージ情報は失われます。

「**図 27.6 通信停止フロー**」は、OPERATION ACTIVE モードから通信禁止状態に遷移するフローを示します。

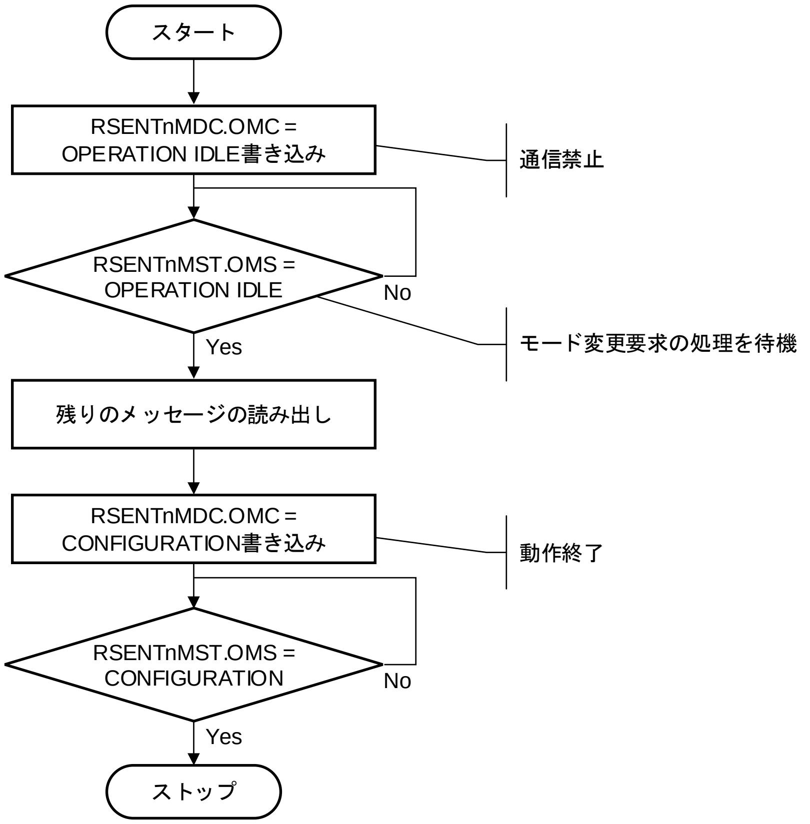


図 27.6 通信停止フロー

27.4.3.2　メッセージの受信

RSENT メッセージの受信は、キャリブレーションパルス受信と、それに続くデータニブルパルス受信から構成されています。

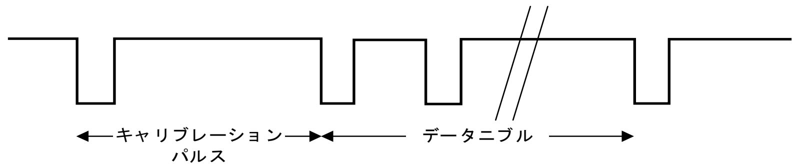


図 27.7　RSENT 受信メッセージ構成

(1) キャリブレーションパルス受信

キャリブレーションパルスにより、内部生成されるクロックティックは、送信クロックに補正されます。

また、キャリブレーションパルスは、前のメッセージ終了、メッセージのエラー判定に使用されます。可変メッセージ長モード（RSENTnCC.PPTC＝0）では、RSENT は、自動キャリブレーションパルス長の診断をサポートしています。キャリブレーションパルス比のチェックが失敗した場合は、キャリブレーションパルス長変動エラーフラグ（RSENTnCS.CVS）が 1 に設定されます。

(2) データニブル受信

RSENT の受信機能は、簡単なキャプチャと比較機能になります。RSENT は、データライン上の 2 つの連続した立ち下がりエッジの時間で符号化されたセンサ情報を受信します。時間的距離（クロックティック数）は、キャプチャされ、実際のニブルの値を決定する、一連の値と比較されます。以下の「**表 27.34　データニブルの符号化**」に、データ符号化について示します。

表 27.34　データニブルの符号化

ニブル期間（クロックティック数）	ニブル値（2 進）
12	0000_B
13	0001_B
14	0010_B
15	0011_B
16	0100_B
17	0101_B
18	0110_B
19	0111_B
20	1000_B
21	1001_B
22	1010_B
23	1011_B
24	1100_B
25	1101_B
26	1110_B
27	1111_B

受信されたデータニブルは、RSENT メッセージとして、高速チャネルメッセージ受信バッファに保存されます。

規定外のニブル期間を受信した場合は高速チャネルニブル符号化エラーとなります。

(3) 高速チャネルメッセージ受信

高速メッセージチャネル上で受信されたメッセージは、受信バッファに保存されます。

高速チャネルメッセージ受信バッファは、キャリブレーションパルス長レジスタ（RSENTnCPL）、メッセージ長レジスタ（RSENTnML）、高速チャネル受信タイムスタンプレジスタ（RSENTnFRTS）と、高速チャネル受信データレジスタ（RSENTnFRXD）から構成されます。

これらのレジスタは、DMA を使用して、メモリにレジスタの内容を転送できるように、連続したアドレスに配置されています。

RSENT は、関連するタイムスタンプとメッセージ長の情報を含む、2 つの完全な RSENT メッセージの保存ができる二重受信バッファ構造になっています。メッセージのデコードと組み立ては、別々のレジスタステージで行われます。

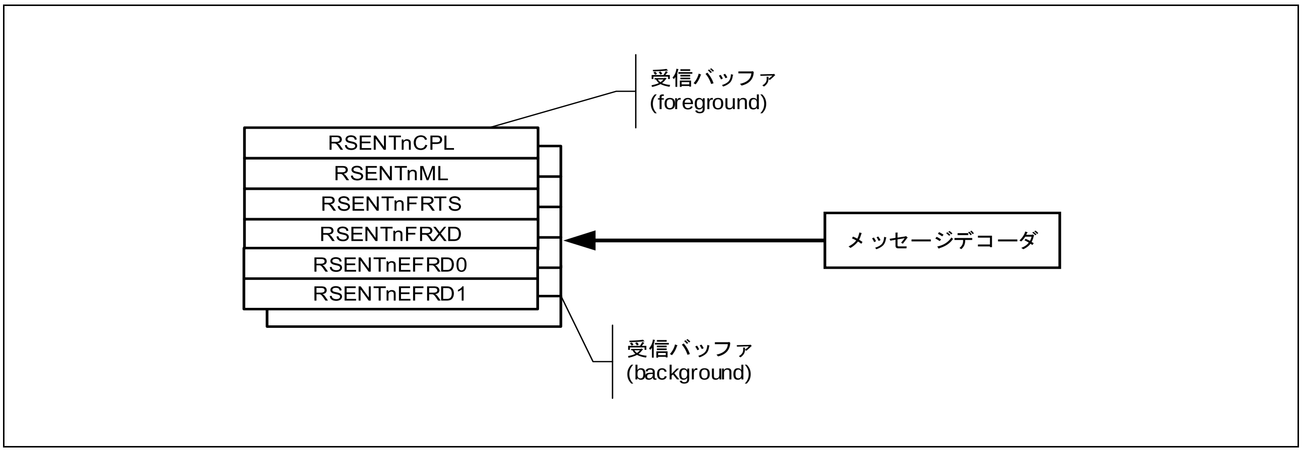


図 27.8 高速チャネルメッセージ受信バッファ

最初の受信メッセージは、CPU によってアクセス可能なメッセージバッファに配置されます。このバッファは（RSENTnFRXD.SNDM ビットおよび RSENTnEFRD0.SNDM ビットを除く）、RSENTnFRXD または RSENTnEFRD1 レジスタが読み出されるまで、更新されません。

新しいメッセージが受信バッファに配置されると、RSENTnFRXD.FND ビットおよび RSENTnEFRD0.FND ビットが設定されます。同時に、RSENTnCS.FRS ビットも設定され、有効になっている場合は、受信割り込み要求が発生します。

受信バッファ（foreground）が、処理されていないメッセージを保持している場合は（RSENTnFRXD.FND ビット＝1 かつ RSENTnEFRD0.FND ビット＝1）、それ以降のメッセージは、受信バッファ（background）に配置されます。受信バッファ（background）は、メッセージがあるたびに、更新されます。受信バッファ（background）にある、処理されていないメッセージが上書きされた場合は、RSENTnCS.FMS ビット＝1 に設定されます。

CPU が RSENTnFRXD または RSENTnEFRD1 レジスタを読み出し、バッファ（background）に有効なデータがある場合は、予めバッファ（background）に置かれたデータが、受信バッファで利用可能になり、CPU からアクセスできるようになります。有効になっている場合は、高速チャネルデータ用に、新しい割り込み要求が生成され、RSENTnCS.FRS が設定されます。

RSENTnFRXD.FND ビットおよび RSENTnEFRD0.FND/RSENTnCS.FRS ビットが設定されていない場合は、受信バッファ内のデータが定義されておらず、CPU は受信バッファにアクセスしないでください。

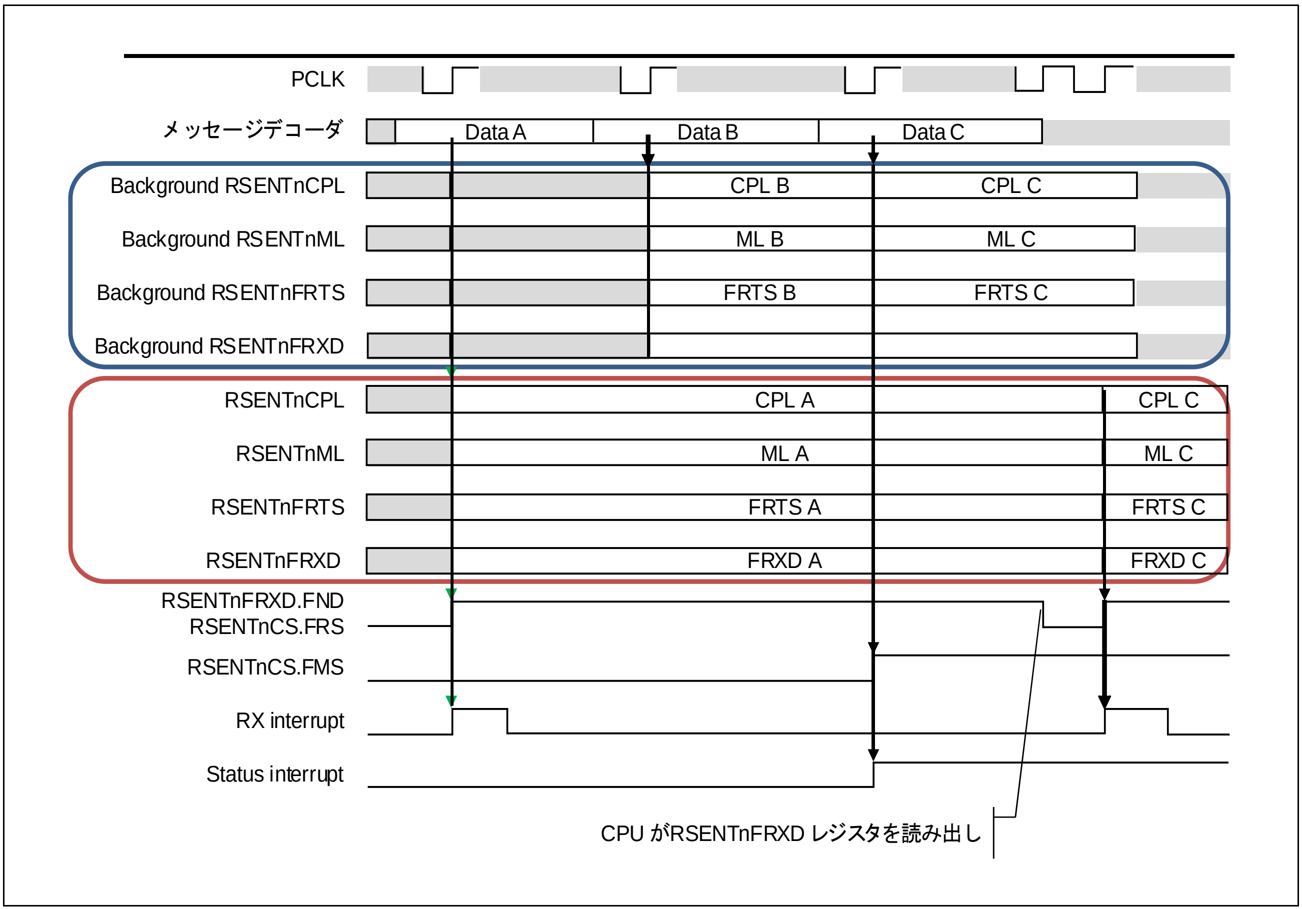


図 27.9　　高速チャネルメッセージ受信バッファ更新タイミング

「**図 27.10　可変メッセージ長と優先チェック法を使用したバッファの更新**」～「**図 27.13　SPC モード時のバッファの更新**」に示すように、受信バッファの更新タイミングは、適用された構成によって異なります。

キャリブレーションパルスが検出された時点での、タイムスタンプカウンタレジスタ値で、RSENTnFRTS レジスタは更新されます。

RSENTnFRXD レジスタのデータ配置は、ニブルデータ数（RSENTnCC.NDN）に依存します。

表 27.35　RSENTnFRXD レジスタにおけるデータニブル配置

RSENTnFRXD RSENTnCC.NDN	23:20	19:16	15:12	11:8	7:4	3:0
000_B	不定	不定	不定	不定	不定	ニブル 1
001_B	不定	不定	不定	不定	ニブル 1	ニブル 2
010_B	不定	不定	不定	ニブル 1	ニブル 2	ニブル 3
011_B	不定	不定	ニブル 1	ニブル 2	ニブル 3	ニブル 4
100_B	不定	ニブル 1	ニブル 2	ニブル 3	ニブル 4	ニブル 5
101_B	ニブル 1	ニブル 2	ニブル 3	ニブル 4	ニブル 5	ニブル 6

表 27.36　RSENTnEFRD1 レジスタにおけるデータニブル配置

RSENTnEFRD1 RSENTnCC.NDN	31:28	27:24	23:20	19:16	15:12	11:8	7:4	3:0
000_B	不定	不定	不定	不定	不定	不定	不定	ニブル 1
001_B	不定	不定	不定	不定	不定	不定	ニブル 1	ニブル 2
010_B	不定	不定	不定	不定	不定	ニブル 1	ニブル 2	ニブル 3
011_B	不定	不定	不定	不定	ニブル 1	ニブル 2	ニブル 3	ニブル 4
100_B	不定	不定	不定	ニブル 1	ニブル 2	ニブル 3	ニブル 4	ニブル 5
101_B	不定	不定	ニブル 1	ニブル 2	ニブル 3	ニブル 4	ニブル 5	ニブル 6
110_B	不定	ニブル 1	ニブル 2	ニブル 3	ニブル 4	ニブル 5	ニブル 6	ニブル 7
111_B	ニブル 1	ニブル 2	ニブル 3	ニブル 4	ニブル 5	ニブル 6	ニブル 7	ニブル 8

(a)　可変メッセージ長と優先チェック法を使用した SAE 動作（RSENTnCC.SPCE＝0, RSENTnCC.PPTC＝0, RSENTnCC.FCM＝0）

この動作モードでは、RSENT は、J2716 2016 仕様に記載された優先度に従って、連続したキャリブレーションパルス変動を自動的にチェックします。このモードでは、メッセージの診断は、メッセージに続くキャリブレーションパルスを受信した後に行われます。

チェックがパスした場合は、メッセージ受信バッファが更新されます。

チェックがパスしない場合は、メッセージ受信バッファは更新されず、RSENTnCS.CVS＝1 に設定されます。

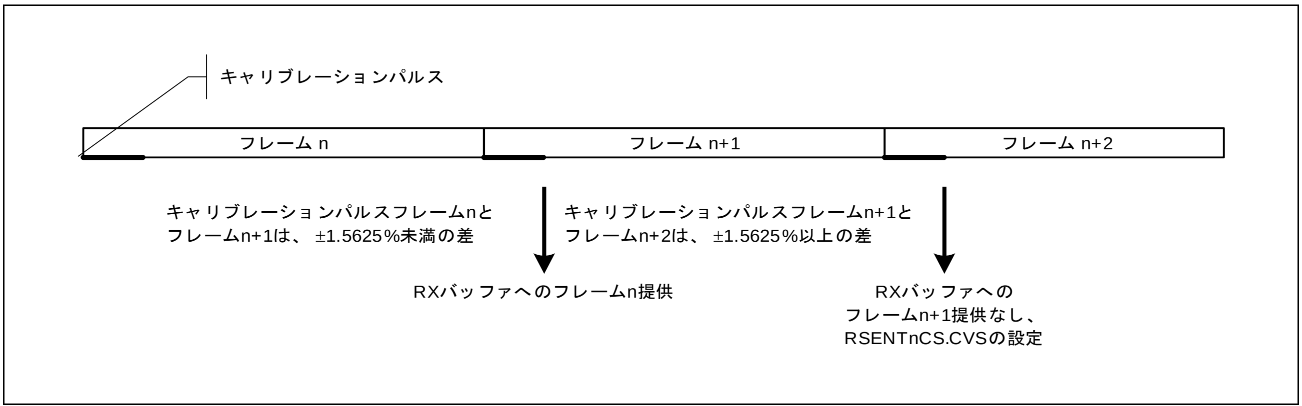


図 27.10　可変メッセージ長と優先チェック法を使用したバッファの更新

(b) 可変メッセージ長とオプションのチェック法を使用した SAE 動作（RSENTnCC.SPCE＝0, RSENTnCC.PPTC＝0, RSENTnCC.FCM＝1）

この動作モードでは、RSENT は、J2716 2016 仕様に記載されたオプションのフレームチェック法に従って、連続したキャリブレーションパルス変動を自動的にチェックします。このモードでは、現在のフレームのキャリブレーションパルスが、直前の有効なフレームのキャリブレーションパルスと比較されます。

チェックがパスした場合は、メッセージ受信バッファが更新されます。

チェックがパスしない場合は、メッセージ受信バッファは更新されず、RSENTnCS.CVS＝1 に設定されます。

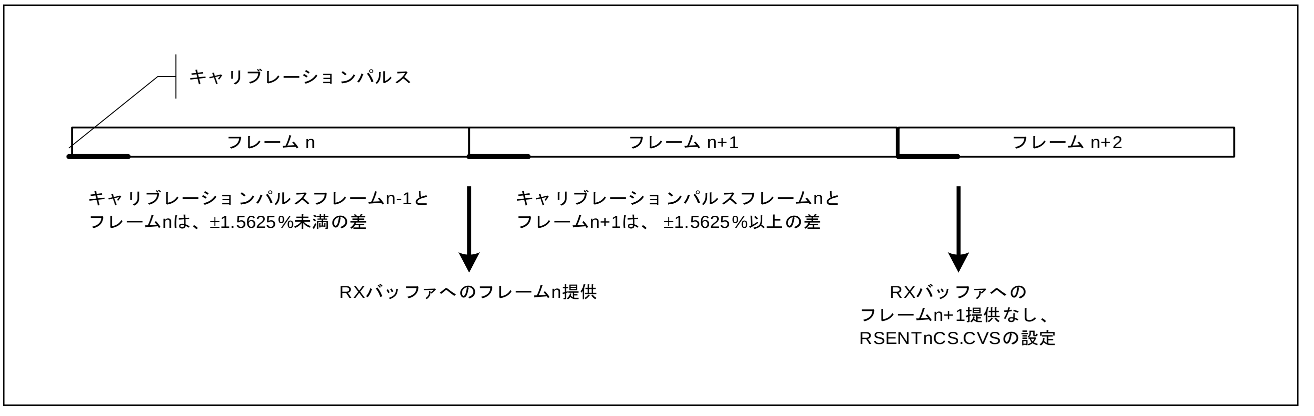


図 27.11　可変メッセージ長とオプションのチェック法を使用したバッファの更新

(c) 固定メッセージ長を使用した SAE 動作（RSENTnCC.SPCE＝0, RSENTnCC.PPTC＝1）

この動作モードでは、RSENT は、J2716 2016 仕様に記載された優先度に従って、キャリブレーションパルスやメッセージ長の比をチェックしません。このモードでは、RSENT は、キャリブレーションパルス長を RSENTnCPL レジスタに、メッセージ長情報を RSENTnML レジスタに提供します。提供する番号はサンプルをベースにしています。

メッセージバッファは、RSENTnCPL と RSENTnML レジスタの値にかかわらず、次のキャリブレーションパルスが開始されると、更新されます。CPU は、比を計算して、メッセージを受け入れたり、破棄したりします。

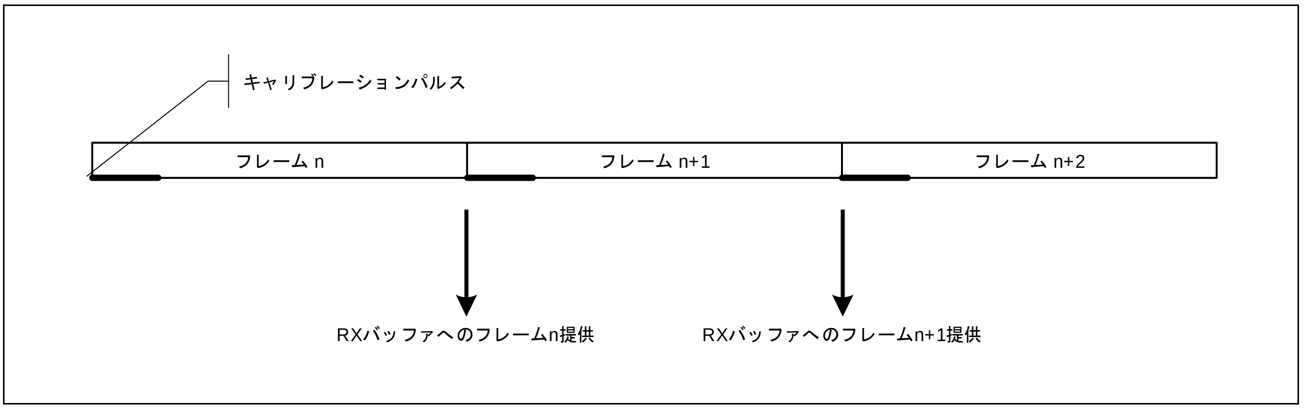


図 27.12　固定メッセージ長を使用したバッファの更新

RSENTnCS.CVS（キャリブレーションパルス幅変動エラーステータス）ビットは、このモードでは、設定されることはありません。

(d) SPC 動作（RSENTnCC.SPCE＝1）

この動作モードでは、センサデータ送信が SPC マスタトリガパルスの後に行われます。SAE SENT 通信では、キャリブレーションパルスまたは一時停止パルスは、直前のメッセージを中断しています。SPC 通信では、センサは、SPC トリガ要求の次にきたデータのみを送信しています。センサによって送信された終了パルスは、メッセージを中断しています。メッセージバッファは、終了パルスが開始されると、更新されます。

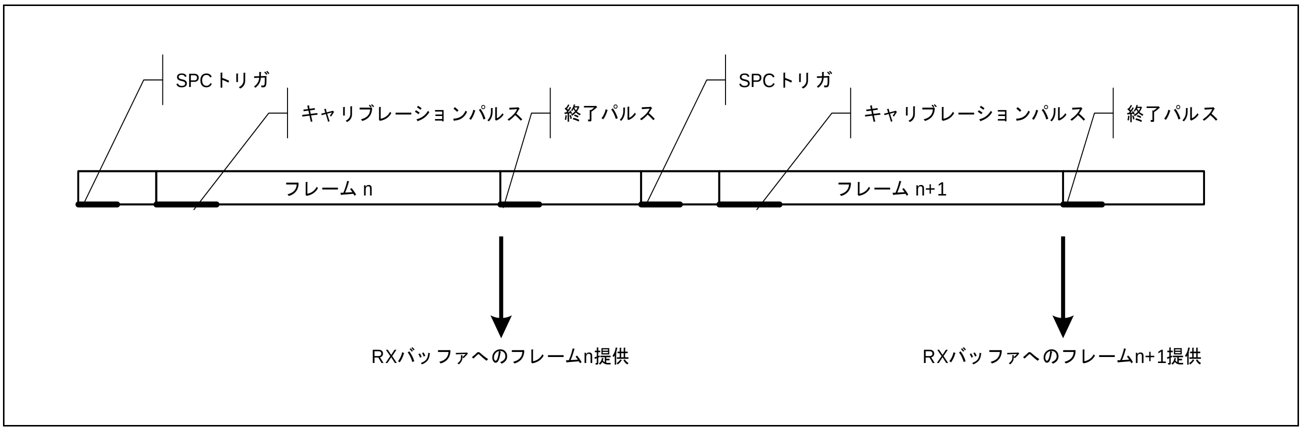


図 27.13 SPC モード時のバッファの更新

RSENTnCS.CVS（キャリブレーションパルス幅変動エラーステータス）ビットは、このモードでは、設定されることはありません。

RSENT は、キャリブレーションパルス長を RSENTnCPL レジスタに、メッセージ長情報を RSENTnML レジスタに提供します。提供する番号はサンプルをベースにしています。CPU は、キャリブレーションパルスやメッセージ長の比を計算して、メッセージを受け入れたり、破棄したりします。

可変メッセージ長モードの場合、次のキャリブレーションパルスの受信タイミングは、次の SPC トリガタイミングに依存するため、RSENT は、このチェックを実行できません。

(4) 高速チャネル受信フロー

「**図 27.14 高速チャネル受信フロー**」に、高速チャネルメッセージ受信バッファ用の、推奨受信フローを示します。

ポーリングまたはイベント駆動型のメソッドを使用すると、CPU は、RSENTnCS.FRS ビットの設定のみを読み出せば、新しい高速チャネルデータの有無をチェックすることができます。

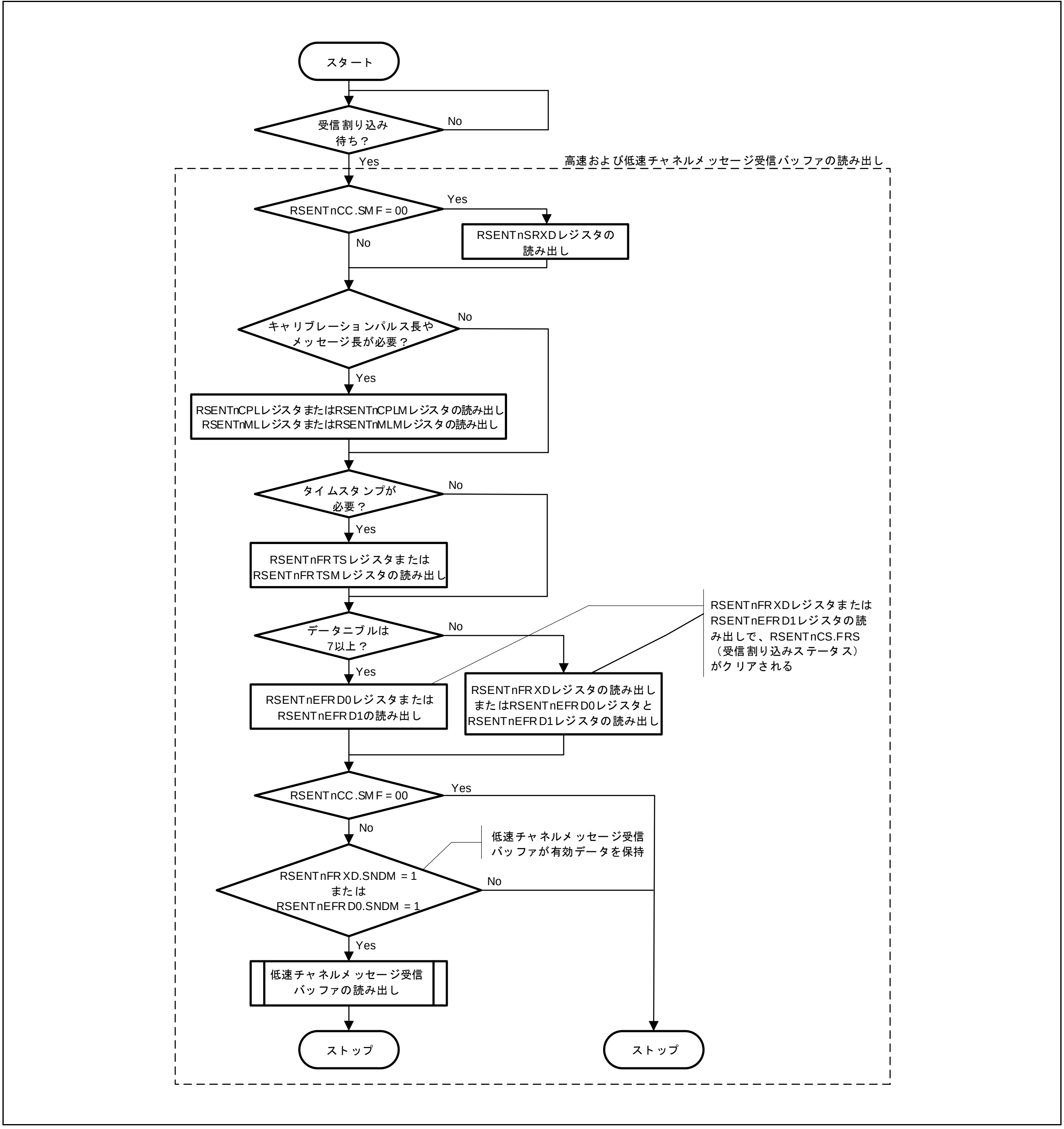


図 27.14 高速チャネル受信フロー

いずれの場合も、CPU は、このフローに示す、受信バッファレジスタの読み出し順序を守る必要があります。RSENTnFRXD または RSENTnEFRD0 レジスタは、最後にアクセスされるレジスタである必要があります。

低速チャネルメッセージ受信バッファの処理については、「**27.4.3.2(6) 低速チャネル受信フロー**」で述べています。

一時停止パルスと固定メッセージ長を使用した SAE 通信では、キャリブレーションパルスの比をチェックすることにより、フローをメッセージ長まで、拡張しなければなりません。この可変チェックは、CPU が行う必要があります。可変チェックが失敗した場合には、CPU は、受信したメッセージを破棄しなければなりません。

(5) 低速チャネルメッセージ受信

RSENT は、ステータス＆コミュニケーションニブルのビット 3、2 を使用して、高速チャネルメッセージから、低速メッセージを抽出することをサポートしています。低速チャネルの抽出をするために、CPU は RSENTnCC.SMF ビットを、期待されるシリアルメッセージフォーマットに設定する必要があります。

シリアルメッセージの抽出が選択されていない場合は（RSENTnCC.SMF＝00_B）、RSENTnSRXD レジスタは、高速チャネルメッセージ受信バッファ構造（バッファ（background）を含む）の一部となり、RSENTnSRTS レジスタは無視されます。ステータス＆コミュニケーションニブルは RSENTnSRXD.IDD ビットに配置されます。さらに、低速チャネル新データと低速チャネルメッセージロストフラグが生成されません。

低速チャネルシリアルメッセージを受信するためには、低速チャネルシリアルメッセージに貢献するすべての高速チャネルのシリアルのメッセージが正常に受信されなければならず、また、受信された低速チャネルシリアルメッセージは、選択されたシリアルメッセージフォーマットに従わなければなりません。

高速チャネルでのメッセージロストは、低速チャネルでの受信に影響しません。

低速チャネルメッセージ受信バッファは、低速チャネル受信タイムスタンプレジスタ（RSENTnSRTS）と低速チャネル受信データレジスタ（RSENTnSRXD）で構成されます。

高速チャネルメッセージ受信バッファとは反対に、低速チャネルメッセージ受信バッファは、二重受信バッファ構造になっておらず、単一の受信バッファ構造です。

メッセージのデコードと組み立ては、別々のレジスタステージで行われます。

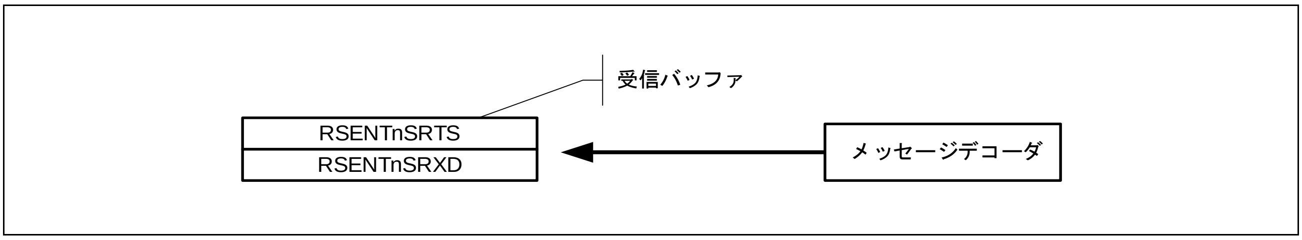


図 27.15 低速チャネルメッセージ受信バッファ

低速チャネルメッセージ受信バッファは、低速チャネルメッセージに必要な、最後のステータスと通信ニブルを保持している、高速チャネルメッセージ受信バッファと同時に更新されます。同時に、RSENTnSRXD.SND ビットも 1 に設定されます。

RSENTnSRXD.SND ビットが読み出されるまで、バッファへの更なる更新は実行されません。

受信バッファが、処理されていないメッセージを保持している場合は（RSENTnSRXD.SND＝1）、それ以降のメッセージは失われます（低速チャネルメッセージ受信バッファは更新されません）。また、RSENTnCS.SMS は 1 に設定されます。

CPU が RSENTnSRXD レジスタを読み出すと、RSENTnSRXD.SND は自動的にクリアされます。

低速チャネルメッセージに貢献する最後のフレームの、現在のタイムスタンプカウンタレジスタ値と一緒に、RSENTnSRTS レジスタは更新されます。

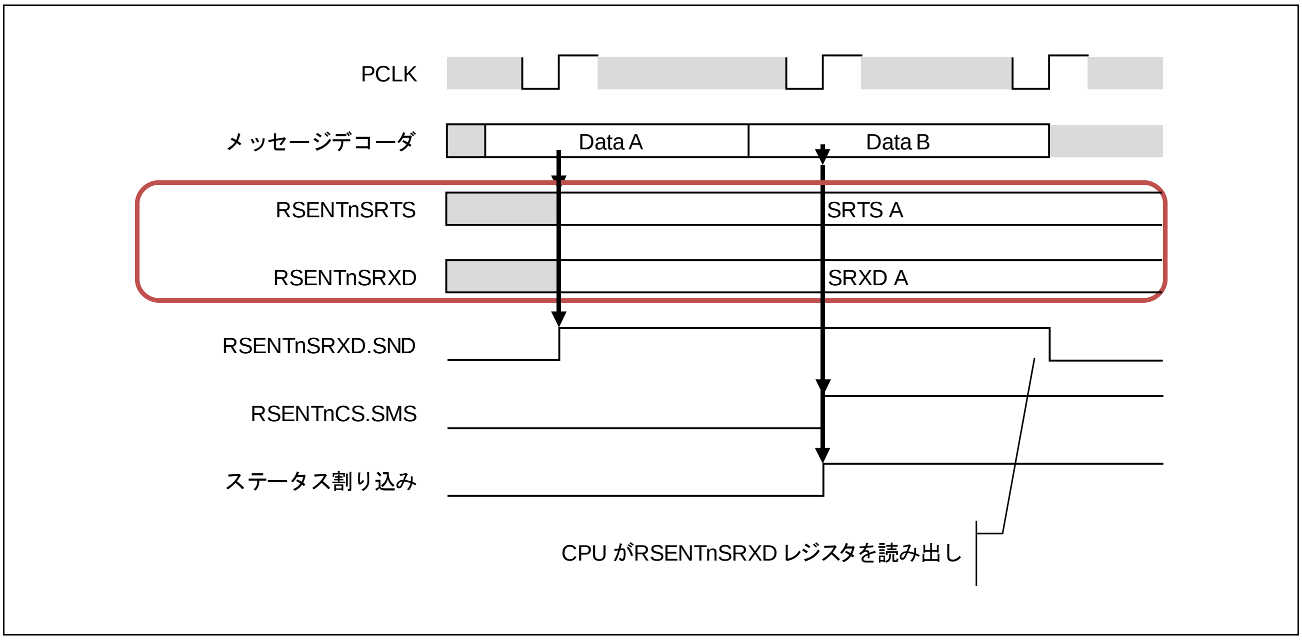


図 27.16　低速チャネルメッセージ受信バッファ更新タイミング

RSENTnSRXD レジスタのデータ配置は、低速チャネルメッセージフォーマット（RSENTnCC.SMF）と受信した設定ビットに依存します。

表 27.37　RSENTnSRXD レジスタにおけるデータ配置

RSENTnCC.SMF	RSENTnSRXD.SMGC	RSENTnSRXD.IDD[19:16]	RSENTnSRXD.IDD[15:12]	RSENTnSRXD.IDD[11:8]	RSENTnSRXD.IDD[7:4]	RSENTnSRXD.IDD[3:0]
00_B	不定	不定	不定	不定	不定	ステータス&コミュニケーションニブル
01_B	不定	不定	不定	メッセージ ID[3:0]	データ[7:4]	データ[3:0]
10_B	0	メッセージ ID[7:4]	メッセージ ID[3:0]	データ[11:8]	データ[7:4]	データ[3:0]
10_B	1	メッセージ ID[3:0]	データ[15:12]	データ[11:8]	データ[7:4]	データ[3:0]

(6) 低速チャネル受信フロー

「**図 27.17 低速チャネル受信フロー**」に、低速チャネルメッセージ受信バッファ用の、推奨受信フローを示します。低速チャネル受信データが要求される場合、このプロセスは、高速チャネル受信フローの一部として実行される必要があります。

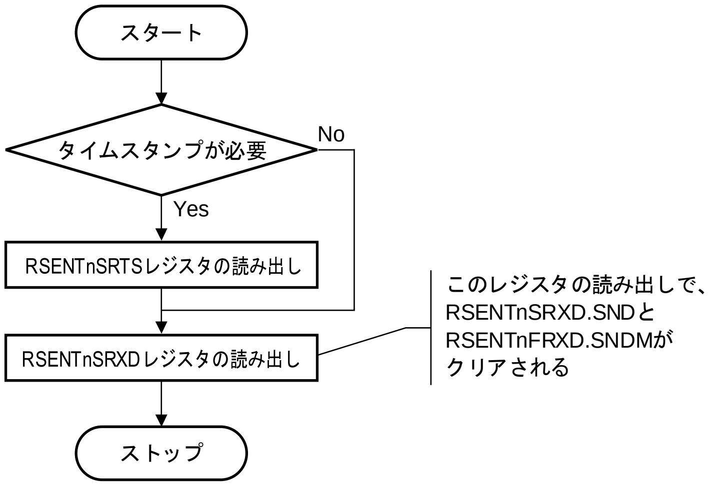


図 27.17　低速チャネル受信フロー

いずれの場合も、CPU は、このフローに示す低速チャネルメッセージ受信バッファレジスタの読み出し順序を守る必要があります。RSENTnSRXD.SND ビットは、最後にアクセスされる必要があります。

(7) DMA フロー

DMA を使用する場合は、DMA 使用の開始アドレスと転送回数が、受信バッファのどの部分が転送されるか、定義します。RSENTnFRXD または RSENTnEFRD1 レジスタは、32 ビット単位のアクセスで、最後にアクセスされるレジスタである必要があります。

一時停止パルスと固定メッセージ長を使用した SAE 通信では、キャリブレーションパルスの比をチェックすることにより、フローをメッセージ長まで、拡張しなければなりません。この可変チェックは、CPU が行う必要があります。可変チェックが失敗した場合には、CPU は、受信したメッセージを破棄しなければなりません。

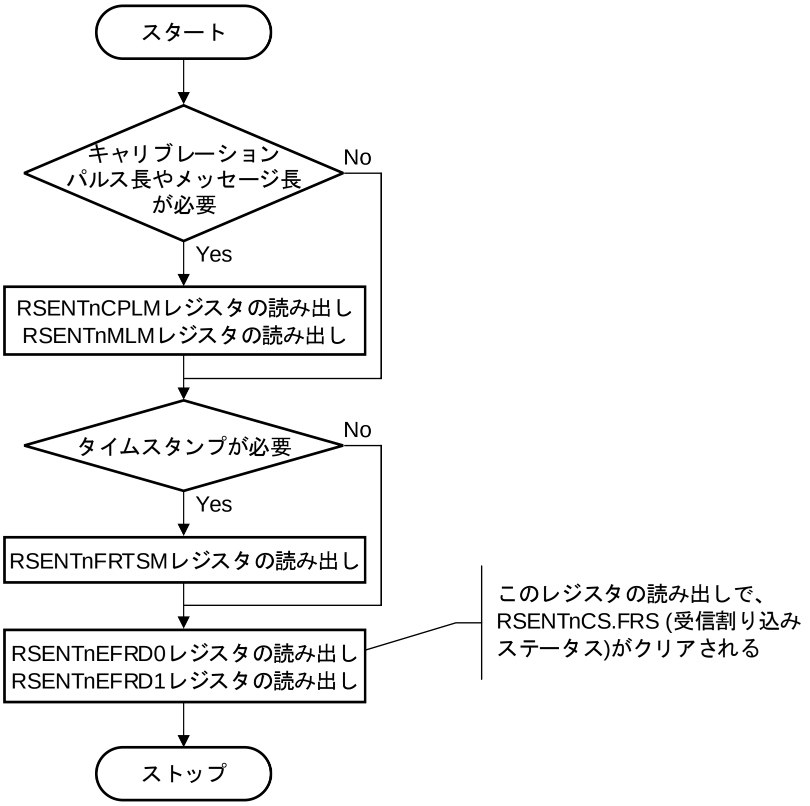


図 27.18　DMA 受信フロー

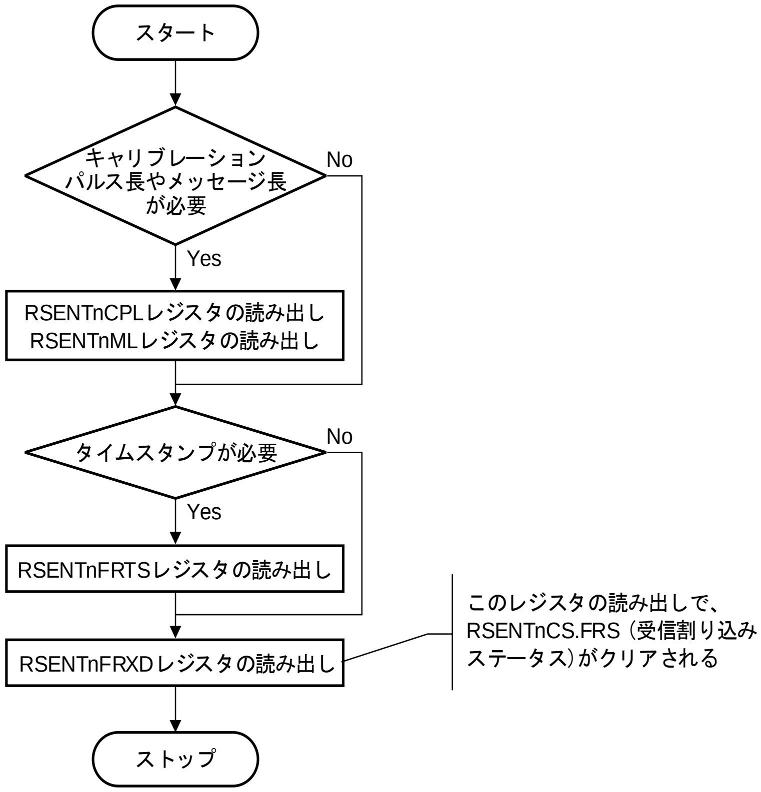


図 27.19　DMA 受信フロー（データニブルは、6 以下）

ソフトウェア処理では、転送データがセットされると、CPU は、転送された RSENTnFRXD.SNDM ビットの状態をチェックする必要があります。このビットが 1 に設定されると、ユーザは必要に応じて、低速チャネルメッセージ受信バッファを読み出す必要があります。

(8) エラーのフラグ

メッセージロストエラーフラグ（RSENTnCS.SMS、RSENTnCS.FMS）は、前回のメッセージを読みだす前に、新しいメッセージの診断が正常と診断された場合にセットされます。

SPC 通信エラー（RSENTnCS.NRS に表示）は、レスポンス受信中／受信前に CPU が RSENTnSPTC.TLL に書き込みを行った場合にセットされます。

高速チャネル受信エラーフラグ（RSENTnCS.CVS、RSENTnCS.CLS、RSENTnCS.FNS、RSENTnCS.FES、RSENTnCS.FCS）および低速チャネル受信エラーフラグ（RSENTnCS.SCS、RSENTnCS.SES）が更新されるタイミングは、通信設定レジスタ（RSENTnCC.SPCE、RSENTnCC.FCM、RSENTnCC.PPC、RSENTnCC.PPTC）のビットの設定に依存して変化します。

それぞれの設定に対応するエラーフラグの更新タイミングを「**表 27.38 エラーフラグセットタイミング（RSENTnCC.SPCE＝0）**」、「**表 27.39 エラーフラグセットタイミング（RSENTnCC.SPCE＝1）**」に示します。

高速チャネルニブル符号化エラーまたはキャリブレーションパルス長エラーが検出された場合は、メッセージ受信が直ちに中断されます。このメッセージに対するこれ以降のエラー検出ビットのセットは行われません。有効なキャリブレーションパルスが検出されると、メッセージのデコードが再開されます。

表 27.38 エラーフラグセットタイミング（RSENTnCC.SPCE＝0）

RSENTnCC.SPCE	0							
RSENTnCC.FCM	0				1			
RSENTnCC.PPC	0		1		0		1	
RSENTnCC.PPTC	0	1	0	1	0	1	0	1
RSENTnCS.FCS	EC	X	EC	IM	IM	X	IM	IM
RSENTnCS.FES	EC	X	EC	IM	IM	X	IM	IM
RSENTnCS.FNS	EC	X	EC	—	—	X	—	—
RSENTnCS.SCS	IM	X	IM	IM	IM	X	IM	IM
RSENTnCS.SES	IM	X	IM	IM	IM	X	IM	IM
RSENTnCS.CLS	IM	X	IM	IM	IM	X	IM	IM
RSENTnCS.CVS	EC	X	EC	—	EC	X	EC	—

備考 EC：End of calibration pulse（有効キャリブレーションパルス立ち下がり）
IM：Immediately upon detection（エラー検出時、即時）
—：エラーフラグ非検出
X：設定禁止

備　考

RSENTnCC.PPC と RSENTnCC.PPTC が 1 のとき、固定メッセージ長モードでパルス一時停止ありになります。
このモードでは、現在の受信フレームを診断するために、次のキャリブレーションパルスを待つ必要がない受信側としてこの診断が使用できるため、RSENTnCS.FNS および RSENTnCS.CVS はセットされません。

表 27.39 エラーフラグセットタイミング（RSENTnCC.SPCE＝1）

RSENTnCC.SPCE	1							
RSENTnCC.FCM	0				1			
RSENTnCC.PPC	0		1		0		1	
RSENTnCC.PPTC	0	1	0	1	0	1	0	1
RSENTnCS.FCS	IM	X	IM	IM	IM	X	IM	IM
RSENTnCS.FES	IM	X	IM	IM	IM	X	IM	IM
RSENTnCS.FNS	—	X	—	—	—	X	—	—
RSENTnCS.SCS	IM	X	IM	IM	IM	X	IM	IM
RSENTnCS.SES	IM	X	IM	IM	IM	X	IM	IM
RSENTnCS.CLS	IM	X	IM	IM	IM	X	IM	IM
RSENTnCS.CVS	—	X	—	—	—	X	—	—

備考 IM：Immediately upon detection（エラー検出時、即時）
—：エラーフラグ非検出
X：設定禁止

備 考

センサが通信を中止した場合、最終メッセージ受信以降は受信バッファの更新やステータスの更新は行われません。ソフトウェアによるタイムアウト確認を行ってください。
SPC トリガによって開始位置から開始される SPC モードは、1 フレームのみの通信です。エラーフラグは検出されると直ちにセットされます。よって、RSENTnCS.FNE および RSENTnCS.CVS はセットされません。

RSENTnMDC.OMC の設定によって OPERATION IDLE モードへ移行しているとき、モード移行が要求されたメッセージでキャリブレーションまたは高速チャネル受信のエラーが検出された場合、エラーのエラーフラグはセットされません。また受信メッセージは破棄されます。

高速チャネル符号化エラーまたはキャリブレーションパルス長エラーが検出された場合、直ちに OPERATION IDLE モードへ移行します。

高速チャネルニブルカウントエラー、高速チャネル CRC エラー、高速チャネルキャリブレーションパルス長変動エラーが検出された場合、次のステータス＆コミュニケーションニブルの終わりで OPERATION IDLE モードへ移行します。

RSENTnCS.FNS は、有効なキャリブレーションパルスが検出され、続くデータニブルが有効な長さ（≧12ticks かつ≦27ticks）のとき、もしくは有効な 2 つのキャリブレーションパルスの間にデータニブルが受信されなかったときにのみセットされます。

RSENTnCS.FES は、ステータス＆コミュニケーションニブル、CRC ニブル、データニブルのいずれかで符号化エラーが発生したときにのみセットされます。

SPC 機能が有効なとき（RSENTnCC.SPCE＝1）、RSENTnCS.CLS は、期待されるキャリブレーションパルス位置にあるパルスの長さが、有効なキャリブレーションパルス幅でない場合にセットされます。SPC 機能が無効なとき（RSENTnCC.SPCE＝0）、RSENTnCS.CLS は、有効なキャリブレーションパルスを受信した次の期待されるキャリブレーションパルス位置にあるパルスの長さが、有効なキャリブレーションパルス幅でない場合にセットされます。

再同期中に追加で発生するエラーフラグは、後続のフレームの受信に影響を与えません。

27.4.4 SPC 機能

RSENT は、SPC として知られている J2716 仕様の拡張をサポートしています。そのため、RSENT は、RSENT メッセージの送信を開始するために、受信ラインをプルダウンすることができます。

ユーザは sent_spc ポートの極性を設定することができます。

次に、RSENTnCC.SOPC の初期設定を使用した、sent_spc ポートの動作について説明します。RSENTnCC.SOPC のリセット後の値が変更されると、sent_spc ポートは、逆極性で動作します。

ユーザは、RSENTnCC.SPCE ビットを設定することによって、SPC 拡張を有効または無効にすることができます。RSENTnCC.SPCE ビットが 0 に設定されている場合は、SPC は無効です。通常の RSENT 受信ができるように、sent_spc ポートは、RSENT によってロウレベルにされます。RSENTnCC.SPCE ビットが 1 に設定されている場合は、SPC が有効になり、センサによってフレームの送信を要求するために、sent_spc ポートは RSENT によってハイレベルにされます。

RSENT の送信機能は、簡単な PWM 機能になります。この機能の目的は、出力 sent_spc によってセンサに方向を伝えることです。sent_spc 出力を使用することで、RSENT は、外部トランジスタで信号線をプルダウンすることができます。

信号線は RSENTnSPCT.TLL ビットで指定されたティック時間の間、ロウレベルに保持されます。

ティック時間は、送信ティック時間と等しい RSENTnBRP.TTI と RSENTnBRP.TTF ビットで構成されます。詳細は、「**27.4.2.2(2) 受信と SPC のティック設定**」を参照してください。

単一のセンサシステムでは、この機能は、センサからのデータ送信をトリガするために使用することができます。さらに、データは、トリガパルス長を変化させることによって、センサに送信することができます。マルチセンサシステムでは、この機能は、専用のセンサに対応し、データ送信を要求するために使用することができます。

いったん、RSENT の SPC 初期化が完了すると、RSENTnSPCT.TLL レジスタにトリガパルス幅を書き込むことによって、送信がトリガされます。送信がトリガされると、設定された長さのトリガパルスが送信されます。その後、フレームの受信が予想されます。フレーム受信が行われた後に、新しいトリガパルスを送信することができます。

RSENTnSPCT.TLL への書き込みで、SPC トリガ送信を要求します。RSENTnSPCT.TLL に書き込んだ後、その前の要求が完了したかどうかをチェックするために、CPU は RSENTnCS.NRS を読み出す必要があります。

RSENTnCS.NRS が設定されている場合は、SPC トリガが送信されず、この時点で潜在的に継続的している受信が中断されます。CPU は RSENTnCSC.NRC に 1 を書き込むことによって、RSENTnCS.NRS をクリアする必要があります。CPU は、SPC トリガ送信を要求するために、RSENTnSPCT.TLL に再度、書き込むことができます。

RSENTnCS.NRS が設定されていない場合は、CPU は、ソフトウェアの受信タイムアウトカウンタを設定する必要があります。タイムアウトカウンタが経過する前に受信が発生すると、ユーザは、高速チャネル受信フロー（**図 27.14 高速チャネル受信フロー**）と低速チャネル受信フロー（**図 27.17 低速チャネル受信フロー**）に示したように、受信した低速および高速チャネルデータを処理する必要があります。

成功した受信がなくタイムアウトカウンタが経過した場合は、指定されたセンサは、有効な応答を送信していないと判断されます。CPU は RSENTnCS レジスタを分析し、成功した受信がない理由を分析する必要があります。RSENTnCS.NRS が SPC トリガが送信されていないことを把握したうえで、新しい要求が設定されます。

タイムアウト機能の目的は、ソフトウェアにおける応答受信用に、タイムアウトウィンドウを定義することです。

「**図 27.20 送信フロー**」は、ソフトウェアで実装されたタイムアウト機能を使用した、送信フローを示します。タイムアウト機能はオプションであり、必要ない場合は省略することができます。

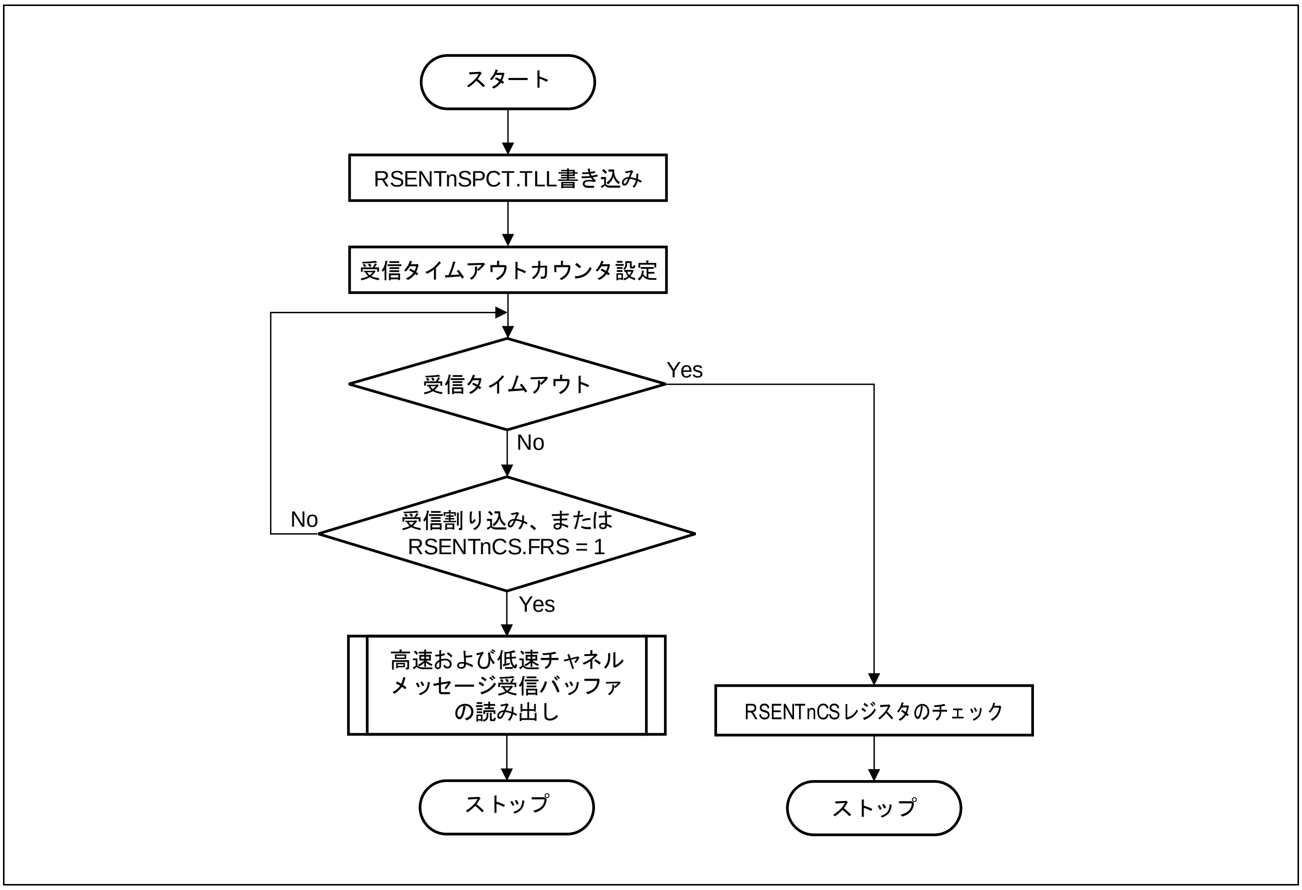


図 27.20　送信フロー

27.4.5　割り込みとチェック

RSENT は、2 つの割り込みラインを提供しています。

成功した高速チャネル受信割り込みが、CPU に、高速チャネルメッセージ受信バッファが更新され、有効な受信データのセットを保持していることを通知します。また、受信ステータスビット（RSENTnCS.FRS）が設定されます。

ステータス割り込みは、CPU に、エラーフラグまたは RSENTnCS レジスタのメッセージロストフラグの少なくとも一方が設定されていることを通知します。

RSENTnCS レジスタ内のステータスフラグが、割り込みイベントの発生に寄与するかどうかは、個別に設定することができます。

CRC チェックの実行は、個別に、低速チャネルおよび高速チャネルに対して無効にすることができます。チェックが無効になっている場合は、受信したメッセージの CRC はチェックされず、関連するエラーフラグもセットされません。

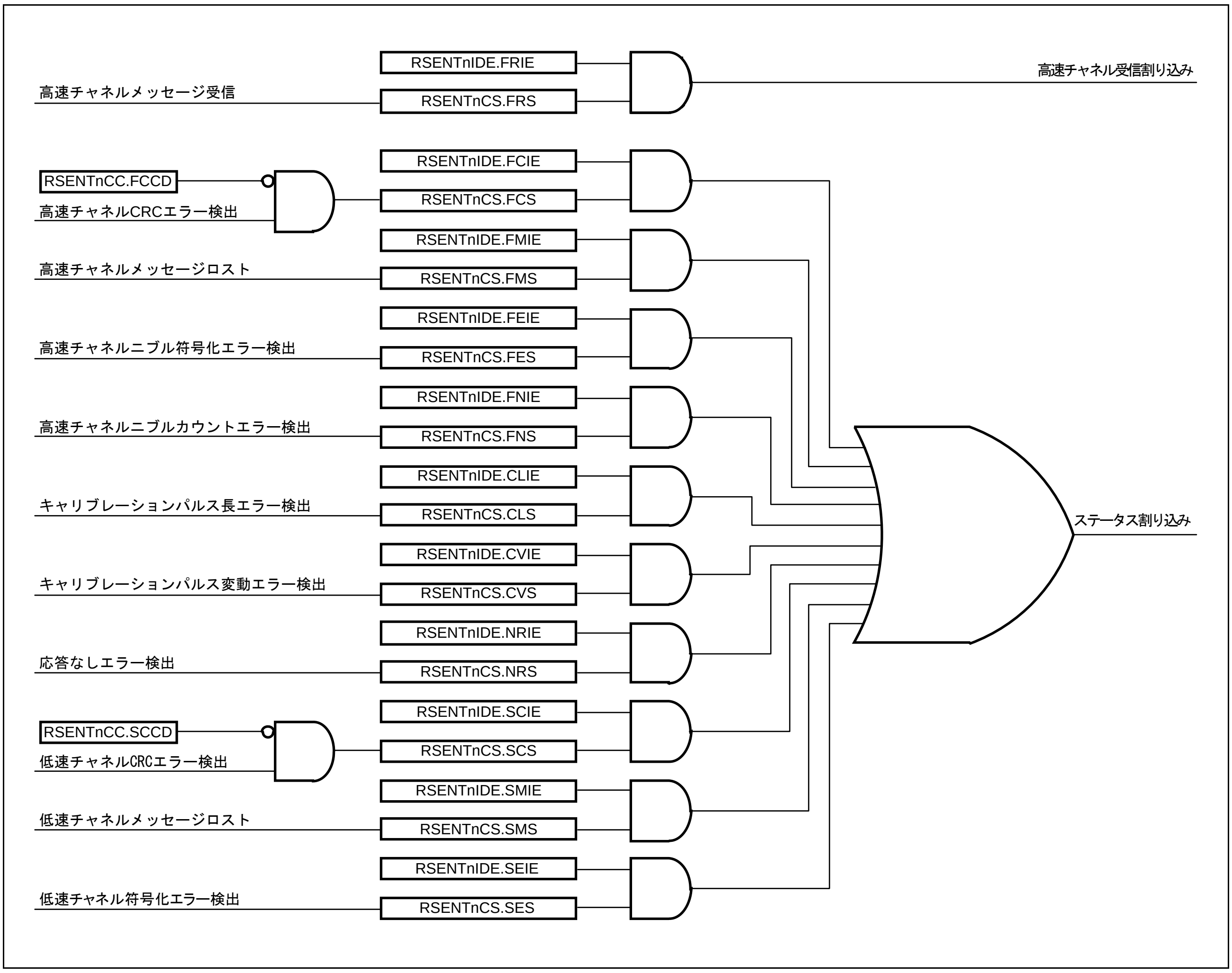


図 27.21　割り込み構造

「**表 27.40 受信バッファ動作に対するステータスフラグの影響**」は、設定されたステータスフラグとバッファ更新の関係についての概要を示します。

表 27.40 受信バッファ動作に対するステータスフラグの影響

RSENTnCS	高速チャネルメッセージ受信バッファ	低速チャネルメッセージ受信バッファ
FRS	更新	すべての低速チャネルメッセージのステータス＆コミュニケーションニブルを受信し、RSENTnCS.SES＝0 と RSENTnCS.SCS＝0 なら、更新
FCS	更新なし	受信処理が中断。新たなスタートコンディションを検索。
FMS	メッセージロスト	影響なし
FES	更新なし	受信処理が中断。新たなスタートコンディションを検索。
FNS	更新なし	受信処理が中断。新たなスタートコンディションを検索。
CLS	更新なし	受信処理が中断。新たなスタートコンディションを検索。
CVS	更新なし	受信処理が中断。新たなスタートコンディションを検索。
NRS	更新なし	受信処理が中断。新たなスタートコンディションを検索。
SCS	影響なし	更新なし
SMS	影響なし	メッセージロスト
SES	影響なし	受信処理が中断。新たなスタートコンディションを検索。

第28章　　予約

第29章　ウインドウウォッチドッグタイマ（WDTA）

本章では、ウインドウウォッチドッグタイマ（WDTA）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1KH, RH850/F1KM に固有の特長について説明します。それ以降の節では、WDTA の機能、レジスタについて説明します。

29.1　RH850/F1KH, RH850/F1KM WDTA の特長

29.1.1　ユニット数

本製品は、以下のユニット数の WDTA を搭載しています。

WDTA 1 ユニット当たり 1 チャネルのインタフェースを持っています。

表 29.1　ユニット数 (RH850/F1KH-D8)

製品名	RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 324 Pin
ユニット数	3	3	3
名称	WDTAn (n＝0～2)	WDTAn (n＝0～2)	WDTAn (n＝0～2)

表 29.2　ユニット数 (RH850/F1KM-S4)

製品名	RH850/F1KM-S4 100 Pin	RH850/F1KM-S4 144 Pin	RH850/F1KM-S4 176 Pin	RH850/F1KM-S4 233 Pin	RH850/F1KM-S4 272 Pin
ユニット数	2	2	2	2	2
名称	WDTAn (n＝0, 1)	WDTAn (n＝0, 1)	WDTAn (n＝0, 1)	WDTAn (n＝0, 1)	WDTAn (n＝0, 1)

表 29.3　ユニット数 (RH850/F1KM-S2)

製品名	RH850/F1KM-S2 100 Pin	RH850/F1KM-S2 144 Pin	RH850/F1KM-S2 176 Pin
ユニット数	2	2	2
名称	WDTAn (n＝0, 1)	WDTAn (n＝0, 1)	WDTAn (n＝0, 1)

表 29.4　ユニット数 (RH850/F1KM-S1)

製品名	RH850/F1KM-S1 48 Pin	RH850/F1KM-S1 64 Pin	RH850/F1KM-S1 80 Pin	RH850/F1KM-S1 100 Pin
ユニット数	2	2	2	2
名称	WDTAn (n＝0, 1)	WDTAn (n＝0, 1)	WDTAn (n＝0, 1)	WDTAn (n＝0, 1)

表 29.5　添字 (RH850/F1KH-D8)

添字	説明
n	本章では、ウインドウウォッチドッグタイマの各ユニットを「n」で識別します。たとえば、WDTAn イネーブルレジスタ（WDTAnWDTE）（n＝0～2）と記述します。

表 29.6　添字 (RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

添字	説明
n	本章では、ウインドウウォッチドッグタイマの各ユニットを「n」で識別します。たとえば、WDTAn イネーブルレジスタ（WDTAnWDTE）（n＝0, 1）と記述します。

29.1.2 レジスタベースアドレス

WDTAn のベースアドレスを以下の表に示します。

WDTAn のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 29.7 レジスタベースアドレス (RH850/F1KH-D8)

ベースアドレス名	ベースアドレス
<WDTA0_base>	FFED 0000_H
<WDTA1_base>	FFED 1000_H
<WDTA2_base>	FFED 2000_H

表 29.8 レジスタベースアドレス (RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ベースアドレス名	ベースアドレス
<WDTA0_base>	FFED 0000_H
<WDTA1_base>	FFED 1000_H

29.1.3 クロック供給

WDTAn のクロック供給を以下の表に示します。

表 29.9 クロック供給 (RH850/F1KH-D8)

ユニット名	ユニットクロック名	供給クロック名	説明
WDTA0	WDTATCKI	CKSCLK_AWDTA	タイマカウントクロック
	レジスタアクセスクロック	CPUCLK_L	バスクロック
WDTA1	WDTATCKI	LS IntOSC f_{RL}	タイマカウントクロック
	レジスタアクセスクロック	CPUCLK_L	バスクロック
WDTA2	WDTATCKI	LS IntOSC f_{RL}	タイマカウントクロック
	レジスタアクセスクロック	CPUCLK_L	バスクロック

表 29.10 クロック供給 (RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	ユニットクロック名	供給クロック名	説明
WDTA0	WDTATCKI	CKSCLK_AWDTA	タイマカウントクロック
	レジスタアクセスクロック	CPUCLK_L	バスクロック
WDTA1	WDTATCKI	LS IntOSC f_{RL}	タイマカウントクロック
	レジスタアクセスクロック	CPUCLK_L	バスクロック

29.1.4　割り込み要求

WDTAn の割り込み要求を以下の表に示します。

表 29.11　割り込み要求 (RH850/F1KH-D8)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
WDTA0			
INTWDTAn	WDTA0 75%割り込み	40	—
WDTA1			
INTWDTAn	WDTA1 75%割り込み	41	—
WDTA2			
INTWDTAn	WDTA2 75%割り込み	42	—

表 29.12　割り込み要求 (RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
WDTA0			
INTWDTAn	WDTA0 75%割り込み	40	—
WDTA1			
INTWDTAn	WDTA1 75%割り込み	41	—

表 29.13　割り込み要求（FE レベルノンマスカブル割り込み） (RH850/F1KH-D8)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
WDTA0			
WDTAnTNMI	WDTA0 FENMI 割り込み （WDTA エラー検出モードが、NMI 要求のとき）	WDTA0NMI	—
WDTA1			
WDTAnTNMI	WDTA1 FENMI 割り込み （WDTA エラー検出モードが、NMI 要求のとき）	WDTA1NMI	—
WDTA2			
WDTAnTNMI	WDTA2 FENMI 割り込み （WDTA エラー検出モードが、NMI 要求のとき）	WDTA2NMI	—

表 29.14　割り込み要求（FE レベルノンマスカブル割り込み） (RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
WDTA0			
WDTAnTNMI	WDTA0 FENMI 割り込み （WDTA エラー検出モードが、NMI 要求のとき）	WDTA0NMI	—
WDTA1			
WDTAnTNMI	WDTA1 FENMI 割り込み （WDTA エラー検出モードが、NMI 要求のとき）	WDTA1NMI	—

29.1.5　リセット要因

WDTAn のリセット要因を以下に示します。WDTAn は以下のリセット要因で初期化されます。

表 29.15　リセット要因 (RH850/F1KH-D8)

ユニット名	リセット要因
WDTA0	リセット要因（AWORES）
WDTA1	すべてのリセット要因（ISORES）
WDTA2	すべてのリセット要因（ISORES）

備考　WDTA1、WDTA2 は STOP モード状態では停止します。

表 29.16　リセット要因 (RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	リセット要因
WDTA0	リセット要因（AWORES）
WDTA1	すべてのリセット要因（ISORES）

備考　WDTA1 は STOP モード状態では停止します。

29.1.6　内部入出力信号

WDTA の内部入出力信号を以下の表に示します。

表 29.17　内部入出力信号 (RH850/F1KH-D8)

ユニット信号名	説明	接続
WDTAnTRES	ウォッチドッグタイマリセット	リセットコントローラ（WDTA0RES）
WDTAnTRES	ウォッチドッグタイマリセット	リセットコントローラ（WDTA1RES）
WDTAnTRES	ウォッチドッグタイマリセット	リセットコントローラ（WDTA2RES）

表 29.18　内部入出力信号 (RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット信号名	説明	接続
WDTAnTRES	ウォッチドッグタイマリセット	リセットコントローラ（WDTA0RES）
WDTAnTRES	ウォッチドッグタイマリセット	リセットコントローラ（WDTA1RES）

29.1.7 RUN モードとスタンバイモードでの状態

RUN モードとスタンバイモードでの WDTA の状態を、以下の表に示します。

表 29.19　RUN モードとスタンバイモードにおける動作状態 (RH850/F1KH-D8)

RUN モード／スタンバイモード	WDTA0 の状態	WDTA1 の状態	WDTA2 の状態
RUN モード（HALT 状態）	動作可能	動作可能	動作可能
STOP モード	動作可能	動作停止	動作停止
DeepSTOP モード	動作可能	パワーオフ	パワーオフ
Cyclic RUN モード	動作可能	動作禁止	動作禁止
Cyclic STOP モード	動作可能	動作停止	動作停止

表 29.20　RUN モードとスタンバイモードにおける動作状態 (RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

RUN モード／スタンバイモード	WDTA0 の状態	WDTA1 の状態
RUN モード（HALT 状態）	動作可能	動作可能
STOP モード	動作可能	動作停止
DeepSTOP モード	動作可能	パワーオフ
Cyclic RUN モード	動作可能	動作禁止
Cyclic STOP モード	動作可能	動作停止

29.2　概要

29.2.1　機能概要

WDTA には次の機能があります。

- オプションバイトによるリセット解除後の動作モード選択

  WDTA の有効・無効、リセット後のカウント開始・停止、カウンタオーバフロー時間の設定、VAC 機能の有効・無効が選択できます。オプションバイトによる WDTA の起動オプションを「**表 29.21 WDTA の起動オプション (RH850/F1KH-D8)**」、「**表 29.22 WDTA の起動オプション (RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)**」に示します。

- WDTA トリガ機能

  WDTA は WDTA トリガレジスタへの起動コード書き込みにより、WDTA の起動およびカウンタをリスタートします。起動コードには、固定起動コードまたは可変起動コード（VAC 機能）があります。可変起動コードでは、WDTA トリガレジスタに前回と異なる値（可変値）の書き込みでカウンタをリスタートします。

- 75%割り込み要求信号

  オーバフローインターバル時間の 75%に達した時に割り込み要求信号を発生することができます（WDTAnMD.WDTAnWIE により有効無効が可能）。

- ウインドウ機能

  WDTA トリガレジスタの書き込み有効期間（ウィンドウオープン期間）を設定することができます。ウインドウオープン期間以外で WDTA トリガレジスタに書き込みを行うとエラーが発生します。

- WDTA エラー検出機能

  エラー検出時はノンマスカブル割り込み要求、または内部リセットが発生します。

  エラー検出要因は「**29.5.3 WDTA エラー検出**」を参照してください。

表 29.21 WDTA の起動オプション (RH850/F1KH-D8)

起動オプション	機能	説明	オプションバイト
OPWDEN	WDTA の設定	WDTA の有効／無効を設定します。 0：WDTA 無効 1：WDTA 有効	● WDTA0：OPBT0.WDT0_0 ● WDTA1：OPBT0.WDT1_0 ● WDTA2：OPBT0.WDT2_0
OPWDOVF[2:0]	オーバフローインターバル時間リセット値の設定	オーバフローインターバル時間制御ビット WDTAnMD.WDTAnOVF[2:0]のリセット値を指定します。	WDTA0/WDTA1/WDTA2: OPBT0.WDT_[2:0]
OPWDRUN	スタートモードの設定	スタートモードを指定します。 0：ソフトウェアトリガスタートモード 1：デフォルトスタートモード 詳細は「**29.5.1 リセット解除後の WDTA**」を参照してください。	● WDTA0：OPBT0.WDT0_1 ● WDTA1：OPBT0.WDT1_1 ● WDTA2：OPBT0.WDT2_1
OPWDVAC	可変起動コードの選択	カウンタオーバフローを回避するためのカウンタリスタートトリガを発生させるトリガレジスタを指定します。 0：WDTAnWDTE（固定） 1：WDTAnEVAC（可変） WDTAnWDTE を選択した場合、このレジスタへの書き込み（起動コード）は、ACH 固定です。WDTAnEVAC を選択した場合、このレジスタへの書き込みは、可変値となります。 詳細は、「**29.5.2 WDTA トリガ**」、「**29.5.2.1 VAC 機能使用時の起動コードの計算**」を参照してください。	● WDTA0：OPBT0.WDT0_3 ● WDTA1：OPBT0.WDT1_3 ● WDTA2：OPBT0.WDT2_3

表 29.22　WDTA の起動オプション (RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

起動オプション	機能	説明	オプションバイト
OPWDEN	WDTA の設定	WDTA の有効／無効を設定します。 0：WDTA 無効 1：WDTA 有効	● WDTA0：OPBT0.WDT0_0 ● WDTA1：OPBT0.WDT1_0
OPWDOVF[2:0]	オーバフローインターバル時間リセット値の設定	オーバフローインターバル時間制御ビット WDTAnMD.WDTAnOVF[2:0]のリセット値を指定します。	WDTA0/WDTA1：OPBT0.WDT_[2:0]
OPWDRUN	スタートモードの設定	スタートモードを指定します。 0：ソフトウェアトリガスタートモード 1：デフォルトスタートモード 詳細は「**29.5.1 リセット解除後の WDTA**」を参照してください。	● WDTA0：OPBT0.WDT0_1 ● WDTA1：OPBT0.WDT1_1
OPWDVAC	可変起動コードの選択	カウンタオーバフローを回避するためのカウンタリスタートトリガを発生させるトリガレジスタを指定します。 0：WDTAnWDTE（固定） 1：WDTAnEVAC（可変） WDTAnWDTE を選択した場合、このレジスタへの書き込み（起動コード）は、ACH 固定です。WDTAnEVAC を選択した場合、このレジスタへの書き込みは、可変値となります。 詳細は、「**29.5.2 WDTA トリガ**」、「**29.5.2.1 VAC 機能使用時の起動コードの計算**」を参照してください。	● WDTA0：OPBT0.WDT0_3 ● WDTA1：OPBT0.WDT1_3

備　考

オプションバイトの設定は「**44.9 オプションバイト**」を参照してください。

29.2.2 ブロック図

WDTA の主な構成要素を「**図 29.1 WDTA のブロック図**」に示します。

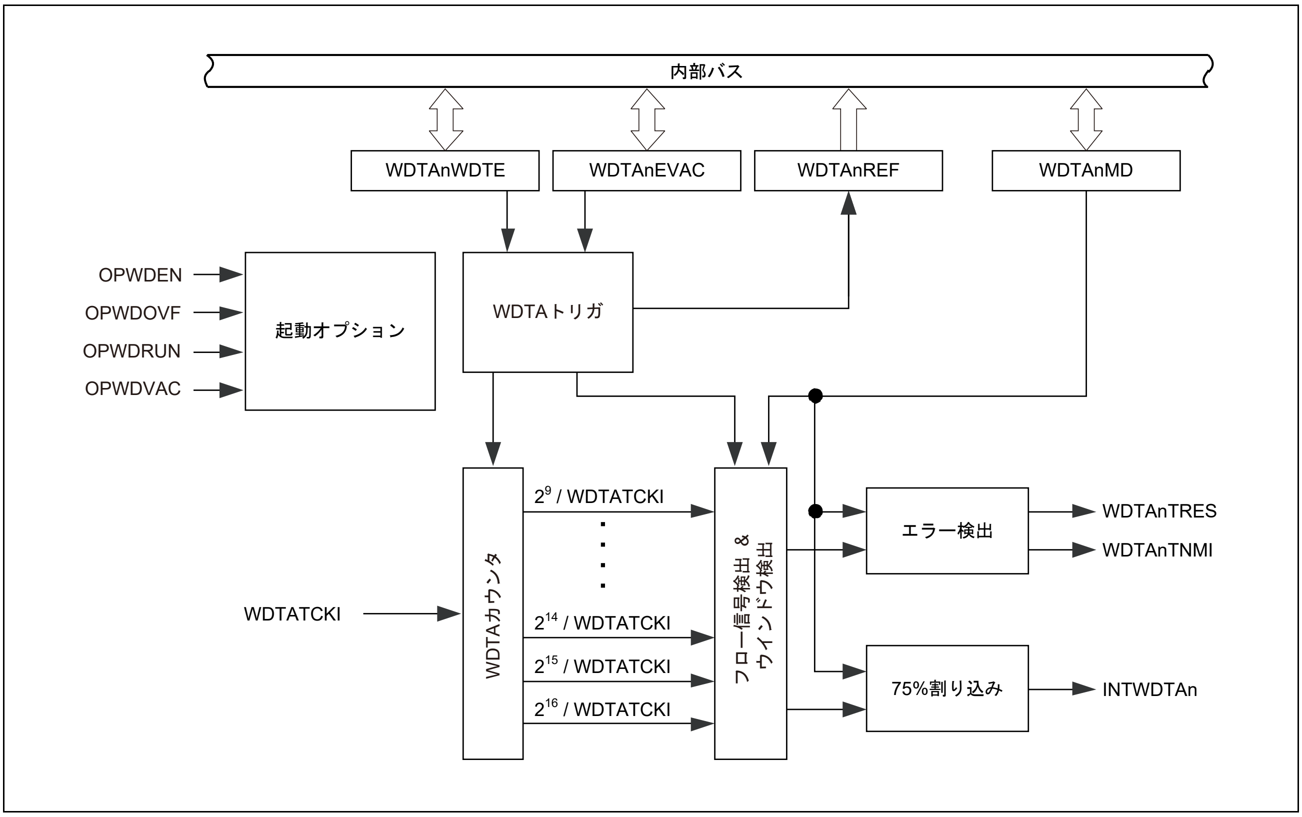


図 29.1 WDTA のブロック図

29.3　レジスタ

29.3.1　レジスタ一覧

WDTA のレジスタ一覧を以下の表に示します。

<WDTAn_base>は「**29.1.2 レジスタベースアドレス**」を参照してください。

表 29.23　レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
WDTAn	WDTA イネーブルレジスタ	WDTAnWDTE	<WDTAn_base> + 0000_H
	WDTA イネーブル VAC レジスタ	WDTAnEVAC	<WDTAn_base> + 0004_H
	WDTA 基準値レジスタ	WDTAnREF	<WDTAn_base> + 0008_H
	WDTA モードレジスタ	WDTAnMD	<WDTAn_base> + $000C_H$

29.3.2　WDTAnWDTE — WDTA イネーブルレジスタ

このレジスタは、VAC 機能を使用していない場合（起動オプション OPWDVAC＝0）の WDTA トリガレジスタです。

ACH を書き込むことにより WDTA トリガを発生し、WDTA カウンタをスタート／リスタートします。
詳細は「**29.5.2 WDTA トリガ**」を参照してください。

このレジスタの動作は、起動オプション（OPWDVAC）の設定によって異なります。「**表 29.26 WDTAnWDTE の動作**」を参照してください。

WDTA0 は、AWORES で初期化されます。

WDTA1 および WDTA2 は、どのリセット要因でも初期化されます。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<WDTAn_base> + 0000_H

リセット後の値　起動オプション（OPWDEN, OPWDRUN, OPWDVAC）により異なります。「**表 29.25 WDTAnRUN7 のリセット後の値**」を参照してください。

ビット	7	6	5	4	3	2	1	0
	WDTAnRUN[7:0]							
リセット後の値	0/1	0	1	0	1	1	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29.24　WDTAnWDTE レジスタの内容

ビット位置	ビット名	機能
7～0	WDTAnRUN[7:0]	固定起動コード（AC_H）を書き込むことにより WDTA トリガを発生し、WDTAn カウントのスタート／リスタートを制御します。AC_H 以外の値を書き込んだ場合、エラーが発生します。スタート後 WDTAn を停止することはできません。 リードした場合、およびライトする場合は、「**表 29.26 WDTAnWDTE の動作**」を参照してください。

WDTAnRUN7 ビットは、WDTA が有効（OPWDEN＝1）かつ VAC 機能が無効（OPWDVAC＝0）の場合のみ有効です。起動オプションによる WDTAnRUN7 ビットのリセット後の値を「**表 29.25 WDTAnRUN7 のリセット後の値**」に示します。

表 29.25　WDTAnRUN7 のリセット後の値

起動オプション			スタートモード	WDTAnRUN7 のリセット後の値
OPWDEN	OPWDVAC	OPWDRUN		
1	0	1	デフォルトスタート	1
		0	ソフトウェアトリガスタート	0

OPWDVAC 設定による WDTAnWDTE へのリード／ライトアクセス動作を「**表 29.26 WDTAnWDTE の動作**」に示します。

表 29.26　WDTAnWDTE の動作

OPWDVAC	説明	WDTAnWDTE	
		リード時	ライト時
0	VAC 機能無効 WDTAnWDTE 有効	$2C_H$ が読めます（ソフトウェアトリガスタートモード、WDTAn 起動前の場合）。 AC_H が読めます（WDTAn 起動後）。	WDTA トリガ AC_H 注 1 を書いてください。
1	VAC 機能有効 WDTAnWDTE 無効	$2C_H$ が読めます。	ライトは無効です。

注1.　これ以外の値を書き込んだ場合、エラーが発生します。

29.3.3 WDTAnEVAC — WDTA イネーブル VAC レジスタ

このレジスタは、VAC 機能を使用している場合（起動オプション OPWDVAC＝1）の WDTA トリガレジスタです。

正しい起動コードを書き込むことにより WDTA トリガを発生し、WDTA カウンタをスタート／リスタートします。詳細は「**29.5.2 WDTA トリガ**」を参照してください。VAC 機能使用時の起動コードは、「**29.5.2.1 VAC 機能使用時の起動コードの計算**」を参照してください。

このレジスタの動作は、起動オプション（OPWDVAC）の設定によって異なります。「**表 29.29 WDTAnEVAC の動作**」を参照してください。

WDTA0 は、AWORES で初期化されます。

WDTA1 および WDTA2 は、どのリセット要因でも初期化されます。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <WDTAn_base> + 0004_H

リセット後の値 起動オプション（OPWDEN, OPWDRUN, OPWDVAC）により異なります。「**表 29.28 WDTAnEVAC7 のリセット後の値**」を参照してください。

ビット	7	6	5	4	3	2	1	0
	WDTAnEVAC[7:0]							
リセット後の値	0/1	0	1	0	1	1	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 29.27 WDTAnEVAC レジスタの内容

ビット位置	ビット名	機能
7～0	WDTAnEVAC[7:0]	可変起動コードを書き込むことにより WDTA トリガを発生し、WDTAn カウントのスタート／リスタートを制御します。誤った起動コードを書き込んだ場合、エラーが発生します。スタート後 WDTAn を停止することはできません。 リードした場合、およびライトする場合は、「**表 29.29 WDTAnEVAC の動作**」を参照してください。

WDTAnEVAC7 ビットは、WDTA が有効（OPWDEN＝1）かつ VAC 機能が有効（OPWDVAC＝1）の場合のみ有効です。起動オプションによる WDTAnEVAC7 ビットのリセット後の値を「**表 29.28 WDTAnEVAC7 のリセット後の値**」に示します。

表 29.28 WDTAnEVAC7 のリセット後の値

起動オプション			スタートモード	WDTAnEVAC7 のリセット後の値
OPWDEN	OPWDVAC	OPWDRUN		
1	1	1	デフォルトスタート	1
		0	ソフトウェアトリガスタート	0

OPWDVAC 設定による WDTAnEVAC へのリード／ライトアクセス動作を「**表 29.29 WDTAnEVAC の動作**」に示します。

表 29.29　WDTAnEVAC の動作

OPWDVAC	説明	WDTAnEVAC	
		リード時	ライト時
0	VAC 機能無効 WDTAnEVAC 無効	$2C_H$ が読めます。	ライトは無効です。
1	VAC 機能有効 WDTAnEVAC 有効	$2C_H$ が読めます（ソフトウェアトリガスタートモード、WDTAn 起動前の場合）。 最後に書き込まれた可変起動コードの値が読めます（WDTAn 起動後）。	可変起動コード[注1]を書いてください。詳細は「**29.5.2.1 VAC 機能使用時の起動コードの計算**」を参照してください。

注1.　これ以外の値を書き込んだ場合、エラーが発生します。

29.3.4　WDTAnREF ― WDTA 基準値レジスタ

このレジスタは、VAC 機能の起動コードを求めるための基準値が格納されます。トリガ動作ごとに自動的に更新されます。詳細は「**29.5.2.1 VAC 機能使用時の起動コードの計算**」を参照してください。

VAC 機能が無効の場合（OPWDVAC＝0）、このレジスタを読み出すと 00_H を返します。

WDTA0 は、AWORES で初期化されます。

WDTA1 および WDTA2 は、どのリセット要因でも初期化されます。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<WDTAn_base> + 0008_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	WDTAnREF[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 29.30　WDTAnREF レジスタの内容

ビット位置	ビット名	機能
7～0	WDTAnREF[7:0]	VAC 機能の起動コードを求めるための基準値

29.3.5　WDTAnMD — WDTA モードレジスタ

オーバフローインターバル時間、75%割り込み許可／禁止、エラーモード、およびウインドウオープン期間を指定します。

このレジスタの値は、リセット解除後、最初のトリガが発生する前に一度だけ変更可能です。変更後の値は、WDTA トリガレジスタが書き込まれてから最大 3 タイマカウントクロックサイクル後に有効になります。

最初の WDTA トリガ発生後に、このレジスタの値を変更するとエラーが発生しますが、同じ値を書き込んだ場合はエラーは発生しません。

WDTA0 は、AWORES で初期化されます。

WDTA1 および WDTA2 は、どのリセット要因でも初期化されます。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<WDTAn_base> + $000C_H$

リセット後の値　起動オプション（OPWDOVF[2:0]）により異なります。「**表 29.21 WDTA の起動オプション (RH850/F1KH-D8)**」、「**表 29.22 WDTA の起動オプション (RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)**」を参照してください。

ビット	7	6	5	4	3	2	1	0
	—	WDTAnOVF[2:0]			WDTAnWIE	WDTAnERM	WDTAnWS[1:0]	
リセット後の値	0	注 1	注 1	注 1	0	1	1	1
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　WDTAnOVF[2:0]のリセット後の値は、起動オプション OPWDOVF[2:0]により設定可能です。

表 29.31　WDTAnMD レジスタの内容（1/2）

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>7</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>6～4</td><td>WDTAnOVF[2:0]</td><td>オーバフローインターバル時間を選択します。
<table>
<tr><th>WDTAnOVF2</th><th>WDTAnOVF1</th><th>WDTAnOVF0</th><th>オーバフローインターバル時間</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>2^{9} / WDTATCKI</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>2^{10} / WDTATCKI</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>2^{11} / WDTATCKI</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>2^{12} / WDTATCKI</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>2^{13} / WDTATCKI</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>2^{14} / WDTATCKI</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>2^{15} / WDTATCKI</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>2^{16} / WDTATCKI</td></tr>
</table></td></tr>
<tr><td>3</td><td>WDTAnWIE</td><td>75%割り込み要求 INTWDTAn の有効／無効
0：INTWDTAn 無効
1：INTWDTAn 有効</td></tr>
<tr><td>2</td><td>WDTAnERM</td><td>エラーモードを指定します。
0：NMI 要求モード
1：リセットモード</td></tr>
</table>

表 29.31　WDTAnMD レジスタの内容（2/2）

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>1、0</td><td>WDTAnWS[1:0]</td><td>ウインドウオープン期間を選択します。
<table>
<tr><th>WDTAnWS1</th><th>WDTAnWS0</th><th>ウインドウオープン期間</th></tr>
<tr><td>0</td><td>0</td><td>25%</td></tr>
<tr><td>0</td><td>1</td><td>50%</td></tr>
<tr><td>1</td><td>0</td><td>75%</td></tr>
<tr><td>1</td><td>1</td><td>100%</td></tr>
</table></td></tr>
</table>

29.4　割り込み要因

WDTA は、WDTA カウンタ値の状態や WDTA 関連レジスタへの不正なアクセスを検出して、割り込み要求を発生します。WDTA の割り込み要求を以下に示します。

(1) INTWDTAn（WDTA タイマカウント 75%割り込み要求）
WDTA タイマのカウントオーバフロー時間の 75%で割り込み要求信号を発生します。
WDTA モードレジスタ WDTAnMD により、割り込み要求信号の有効／無効設定が可能です。

(2) WDTAnTNMI（WDTA エラー検出割り込み）
WDTA エラーの検出により、NMI 割り込み要求を発生します。WDTAnMD により、NMI 割り込みとリセットの切り替えが可能です。内容は、「**29.5.3 WDTA エラー検出**」を参照してください。

29.5　機能

29.5.1　リセット解除後の WDTA

29.5.1.1　スタートモード

リセット解除後の WDTAn の開始には、ソフトウェアスタートモードとデフォルトスタートモードがあります。スタートモードは起動オプションで選択できます。

各スタートモードを「**表 29.32 スタートモード**」に示します。

表 29.32　スタートモード

起動オプション OPWDRUN	スタートモード	説明
0	ソフトウェアトリガスタートモード	● リセット解除後、WDTA のカウンタは停止（0000_H） ● WDTA トリガレジスタへの起動コードの書き込みでスタートします。
1	デフォルトスタートモード	リセット解除後、WDTA のカウンタを開始します。

29.5.1.2　リセット解除後の WDTA の設定

リセット解除後の WDTA の設定を「**表 29.33 リセット解除後の WDTA の設定**」に示します。

表 29.33　リセット解除後の WDTA の設定

機能	設定	備考
WDTA 有効・無効	起動オプションで指定	
スタートモード		
VAC 機能		
WDTA オーバフローインターバル時間	起動オプションで設定	WDTA モードレジスタ WDTAnMD 設定により、1 度のみ変更が可能です。
75%割り込みモード	75%割り込み無効	
エラー時の動作	リセット発生	
ウインドウオープン期間	100%	

WDTA モードレジスタ WDTAnMD の設定は最初の WDTA トリガ（WDTA トリガレジスタ WDTAnWDTE、WDTAnEVAC への起動コード書き込み）の後、最大 3 タイマカウントクロックサイクル後に有効になります。WDTAnMD レジスタの設定を変更する場合、WDTA トリガ前に行ってください。

また、WDTAnMD よる WDTA 設定は 1 度のみです。WDTA トリガ後に WDTAnMD の設定値を変更した場合、エラーが発生します。同じ値を設定した場合はエラーは発生しません。

29.5.1.3　　デフォルトスタートモードのタイミング

デフォルトスタートモードのタイミングと WDTA 設定への変更を「**図 29.2 デフォルトスタートモード時の WDTA スタートのタイミング図**」に示します。

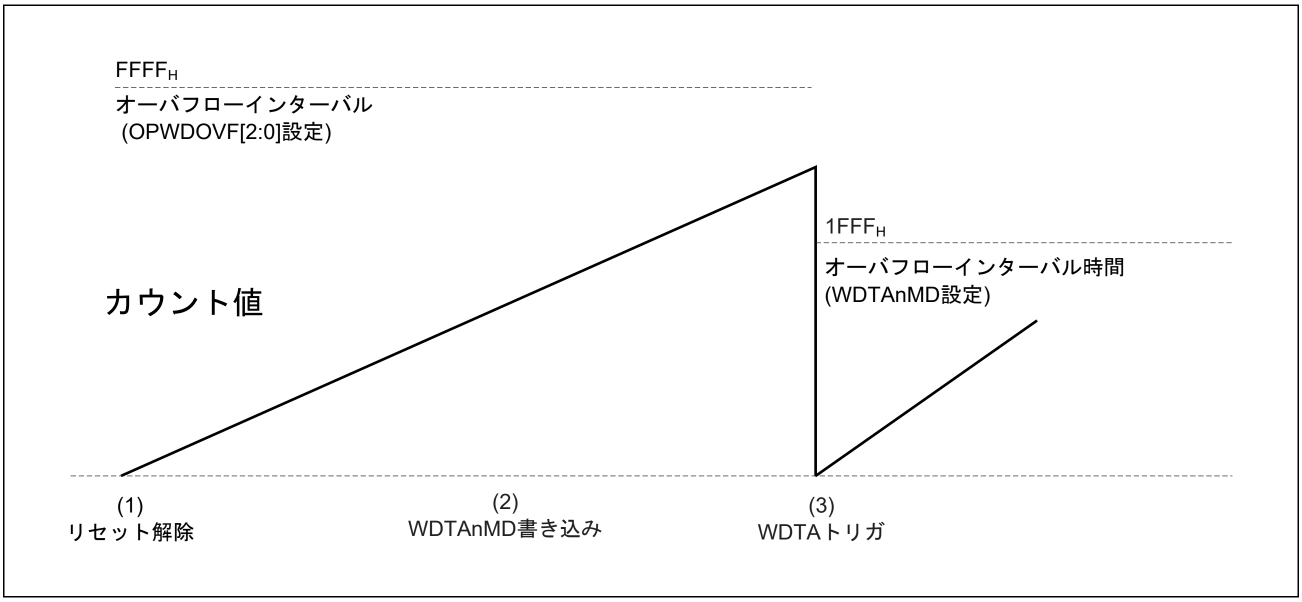


図 29.2　　デフォルトスタートモード時の WDTA スタートのタイミング図

「**図 29.2 デフォルトスタートモード時の WDTA スタートのタイミング図**」のタイミング図は次の動作を示します。

(1) デフォルトスタートモードではリセット解除直後、WDTA カウントをスタートします。リセット解除後のオーバフローインターバル時間は起動オプションで設定します。

例）リセット解除後のオーバフローインターバル時間＝2^{16}/WDTATCKI (OPWDOVF[2:0]＝111_B)

(2) WDTAnMD は WDTA トリガ前に設定します。ただし設定はすぐには適用されません。

(3) WDTA カウンタがオーバフローする前に WDTA トリガレジスタへの書き込みを行ってください。WDTA トリガの後、最大 3 タイマカウントクロック後に WDTAnMD の設定が適用されます。

例）WDTA トリガ後のオーバフローインターバル時間＝2^{13}/WDTATCKI

29.5.1.4　ソフトウェアトリガスタートモードのタイミング

ソフトウェアトリガスタートモードのタイミングと WDTA 設定への変更を「**図 29.3 ソフトウェアトリガスタートモード時の WDTA スタートのタイミング図**」示します。

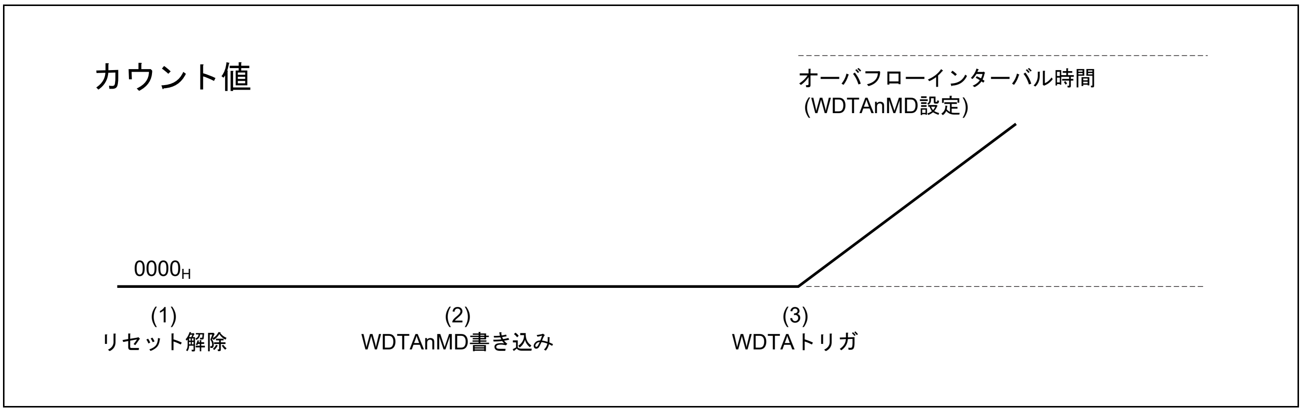


図 29.3　ソフトウェアトリガスタートモード時の WDTA スタートのタイミング図

「**図 29.3 ソフトウェアトリガスタートモード時の WDTA スタートのタイミング図**」のタイミング図は次の動作を示します。

(1) リセット解除後、最初の WDTA トリガまで WDTA カウンタは 0000_H のままです。オーバフローインターバル時間は起動オプションにより設定されますが、カウント動作が行われないため影響はありません。

(2) WDTAnMD は WDTA トリガ前に設定します。ただし設定はすぐには適用されません。

(3) WDTA トリガにより、WDTA カウンタがスタートします。
WDTA トリガ後、最大 3 タイマカウントクロック後に、WDTAnMD で指定したオーバフローインターバル時間とその他の設定が適用されます。

29.5.2 WDTA トリガ

WDTA イネーブルレジスタ WDTAnWDTE、WDTA イネーブル VAC レジスタ WDTAnEVAC に、起動コードと呼ばれる特定の値を書き込むことにより WDTA トリガを発生します。

WDTA トリガには、次の機能があります。

- ソフトウェアトリガスタートモード時の WDTA カウンタの開始
- WDTA カウンタのカウントリスタート
- WDTAnMD レジスタによる WDTA モード設定（リセット解除後、最初の WDTA トリガのみ）

WDTA トリガを発生するレジスタを WDTA トリガレジスタと言い、起動オプション OPWDVAC で指定します。

WDTA トリガレジスタと起動コード設定を「**表 29.34 WDTA トリガレジスタと起動コード**」に示します。

表 29.34　WDTA トリガレジスタと起動コード

起動コードの種類	トリガレジスタ	起動コード
固定 （OPWDVAC＝0）	WDTAnWDTE	AC_H
可変 （OPWDVAC＝1）	WDTAnEVAC	詳細は「**29.5.2.1 VAC 機能使用時の起動コードの計算**」を参照してください。

注　意

- WDTA のクリア処理書き込みを連続で行う場合、以下の期間は次のクリア処理を受け付けません。
  「12×CPU クロック注 1＋6×WDT クロック注 2」
- WDTA のクリア処理書き込み後、上記期間内にスタンバイモードに移行した場合、スタンバイモードから復帰後、以下の期間は次のクリア処理を受け付けません。
  「6×CPU クロック注 1＋3×WDT クロック注 2」

注1.　CPU クロック　:　CKSC_CPUCLKS_CTL, CKSC_CPUCLKD_CTL で選択したクロック

注2.　WDT クロック　:　WDTA0 は、CKSC_AWDTAD_CTL で選択したクロック
WDTA1、WDTA2 は、LS IntOSC。

29.5.2.1　VAC 機能使用時の起動コードの計算

VAC 機能使用時、WDTA トリガレジスタ WDTAnEVAC に設定する可変起動コード（ExpectWDTE）は、WDTA 基準値レジスタ WDTAnREF を使用して、次式で求めます。

ExpectWDTE＝AC_H – WDTAnREF（旧）

なお、WDTAnREF レジスタの値はトリガレジスタ WDTAnEVAC に起動コードが書き込まれるたびに更新されます。WDTAnREF レジスタの更新値は次の式で求められます。

WDTAnREF（新）＝（ExpectWDTE を左に 1 ビットローテートシフト）

WDTA トリガ回数ごとの可変起動コードは「**表 29.35　可変起動コードの展開**」のとおりです。

表 29.35　可変起動コードの展開

回数[注1]	WDTAnREF（旧）		ExpectWDTE (AC_H – WDTAnREF)		WDTAnREF（新）	
0	0000 0000	00_H	1010 1100	AC_H	0101 1001	59_H
1	0101 1001	59_H	0101 0011	53_H	1010 0110	$A6_H$
2	1010 0110	$A6_H$	0000 0110	06_H	0000 1100	$0C_H$
…	…	…	…	…	…	…

注1.　リセット後のトリガ回数

備　考

誤った起動コードを書き込んだ場合、エラーが発生します。

29.5.3 WDTA エラー検出

WDTA は、WDTA のカウントオーバフローの発生や不正な操作をエラーとして検出します。

エラー検出項目を以下に示します。

- WDTA カウンタのオーバフロー
- WDTA トリガレジスタへの誤った起動コードの書き込み
- ウインドウオープン期間以外でのトリガレジスタへの書き込み
- 初回 WDTA トリガ発生後、WDTA モードレジスタ WDTAnMD の設定値を変更しようとした場合
- 初回 WDTA トリガ発生前に、WDTA モードレジスタ WDTAnMD の設定値を 2 回更新する場合[注1]

注1. この場合、WDTAnRES は、WDTA エラーモードビット（WDTAnMD.WDTAnERM）の設定にかかわらず発生します。

29.5.3.1　WDTA エラーモード

WDTA エラーが検出されたとき、WDTA エラーモードビット WDTAnMD.WDTAnERM の設定により、NMI 割り込み、またはリセットが発生します。リセット解除後のエラーモードビット設定はリセットモードです。

- WDTAnMD.WDTAnERM＝0：NMI モード
- WDTAnMD.WDTAnERM＝1：リセットモード

デフォルトスタートモードが選択されているとき、カウンタがオーバフローした場合のリセットまたは NMI 要求の発生を「**図 29.4 WDTA NMI 要求／リセット発生のタイミング図**」に示します。

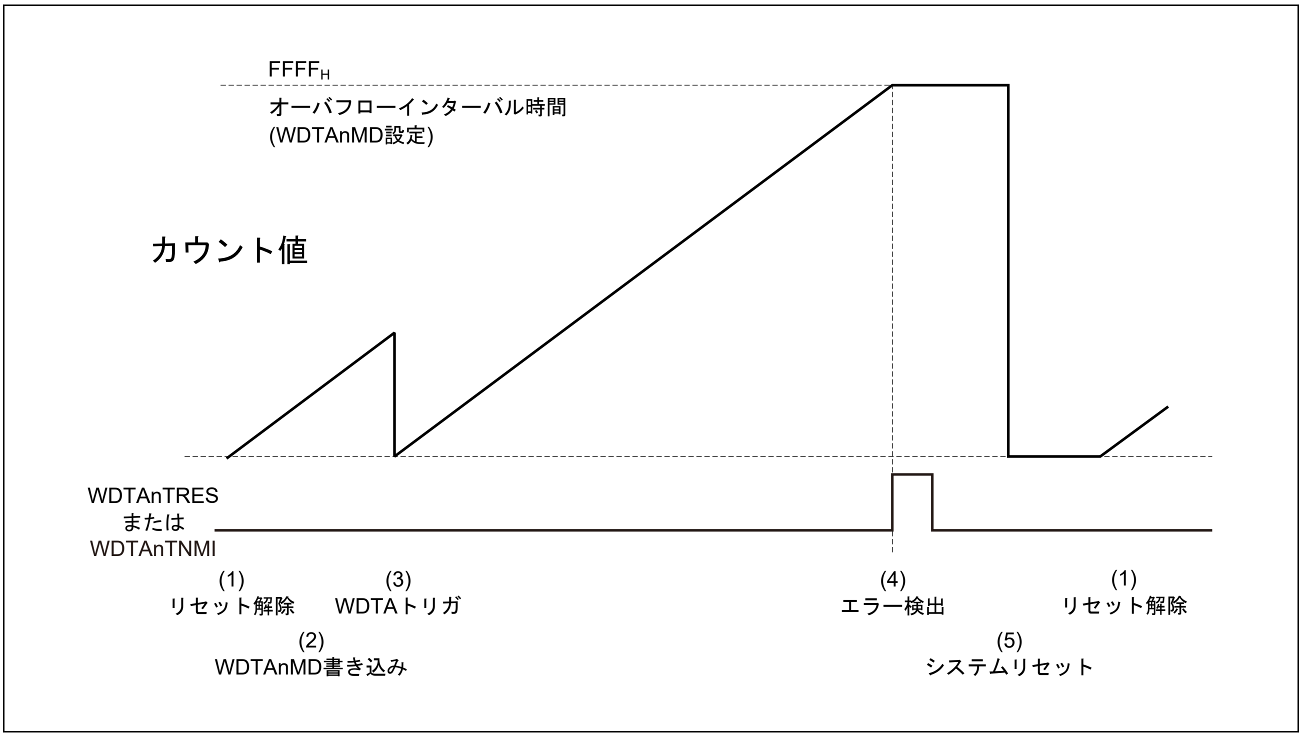


図 29.4　WDTA NMI 要求／リセット発生のタイミング図

「**図 29.4 WDTA NMI 要求／リセット発生のタイミング図**」のタイミング図は次の動作を示します。

(1) デフォルトスタートモードではリセット解除後、WDTA カウントをスタートします。リセット解除後のオーバフローインターバル時間は起動オプションで設定します。

(2) WDTAnMD は WDTA トリガ前に設定します。
ここでは 2^{16}/WDTATCKI をオーバフローインターバル時間に設定しています。

(3) WDTA トリガにより WDTAnMD の設定が適用されます。

(4) カウンタがオーバフローすると、エラーが検出されます。エラーモードによって、割り込み要求 WDTAnTNMI またはリセット WDTAnTRES のいずれかが発生します。
カウンタ値は、システムリセットが行われるまで変わりません。

(5) システムをリセットすると、カウンタはクリアされ、リセットが解除されるまで停止します。

29.5.4　75%割り込み要求信号

WDTA カウンタがオーバフローインターバル設定時間の 75%に達すると、割り込み要求 INTWDTAn が発生します。

WDTAnMD.WDTAnWIE レジスタで、この機能の有効／無効を選択することができます。

次の条件下での 75%割り込み要求の発生を「**図 29.5 WDTA 75%割り込み要求信号のタイミング図**」に示します。

- デフォルトスタートモードを選択
- 最初の WDTA トリガ後より、75%割り込み要求が有効
- WDTA オーバフローインターバル時間：2^{16}/WDTATCKI

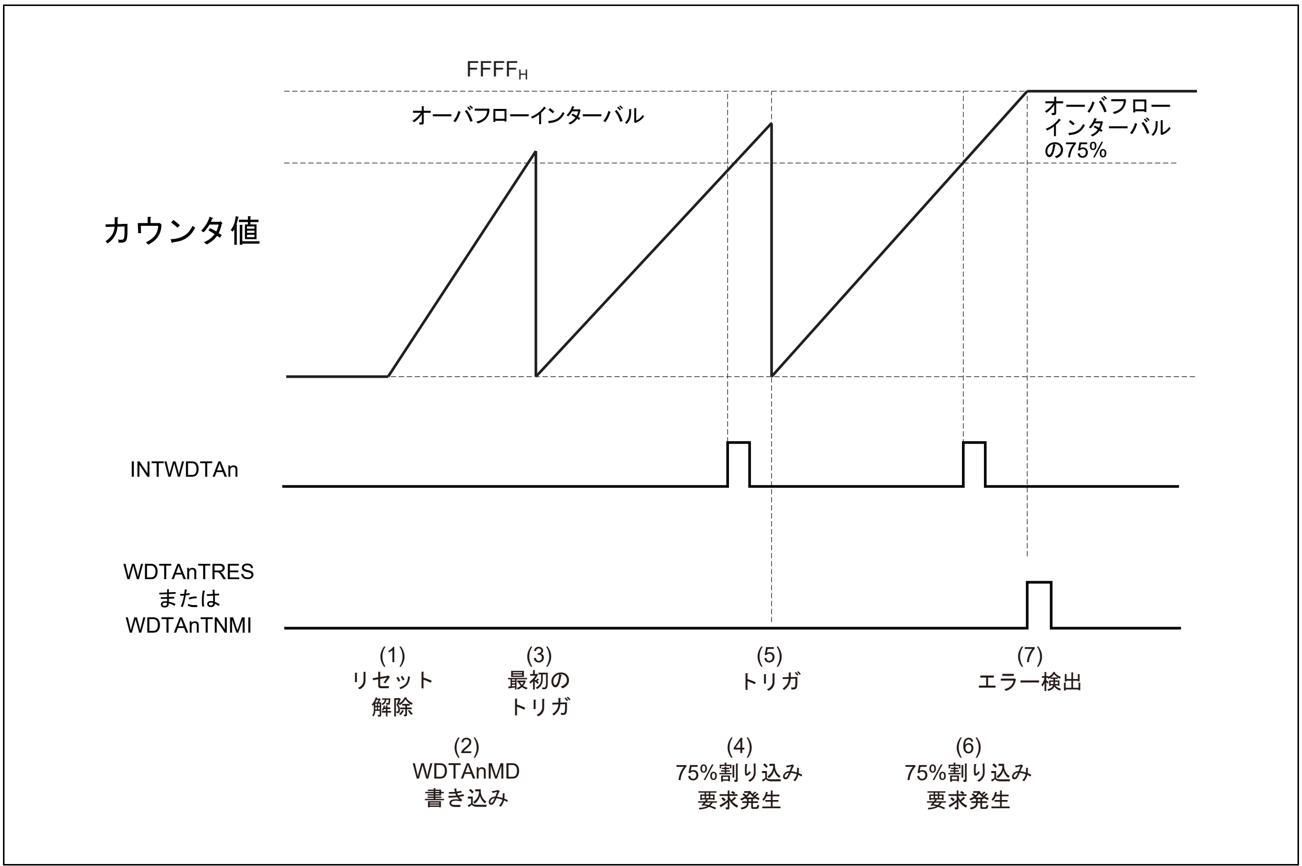


図 29.5　WDTA 75%割り込み要求信号のタイミング図

(1) デフォルトスタートモードではリセット解除後、WDTA カウントをスタートします。リセット解除後のオーバフローインターバル時間は起動オプションによって設定されます。

(2) WDTAnMD は WDTA トリガ前に設定します。ここでは 2^{16}/WDTATCKI をオーバフローインターバル時間に設定しています。

(3) WDTA トリガにより WDTAnMD の設定が適用されます。

(4) WDTA カウンタがオーバフローインターバル設定時間の 75%に達すると、割り込み要求 INTWDTAn が発生します。

(5) WDTA トリガにより、カウントがリスタートします。

(6) WDTA カウンタがオーバフローインターバル設定時間の 75%に達すると、割り込み要求 INTWDTAn が発生します。

(7) カウンタがオーバフローすると、エラーが検出されます。エラーモードによって、割り込み要求 WDTAnTNMI またはリセット WDTAnTRES のいずれかが発生します。カウンタ値は、システムリセットが行われるまで変わりません。

29.5.5 ウインドウ機能

WDTA トリガの有効期間（ウィンドウオープン期間）を設定することができます。ウインドウオープン期間を 100%未満に設定すると、ウインドウオープン期間以外の WDTA トリガによりエラーが発生します。リセット解除後、ウインドウオープン期間は 100%です。最初の WDTA トリガで、WDTAnMD.WDTAnWS[1:0]に設定した値になります。

次の条件下でのウインドウ機能動作を「**図 29.6 WDTA ウインドウ機能のタイミング図**」に示します。

- デフォルトスタートモードを選択
- 最初の WDTA トリガ後より、25%ウインドウオープン期間が有効（WDTAnWS[1:0]＝00_B）
- WDTA オーバフローインターバル時間：2^{16}/WDTATCKI

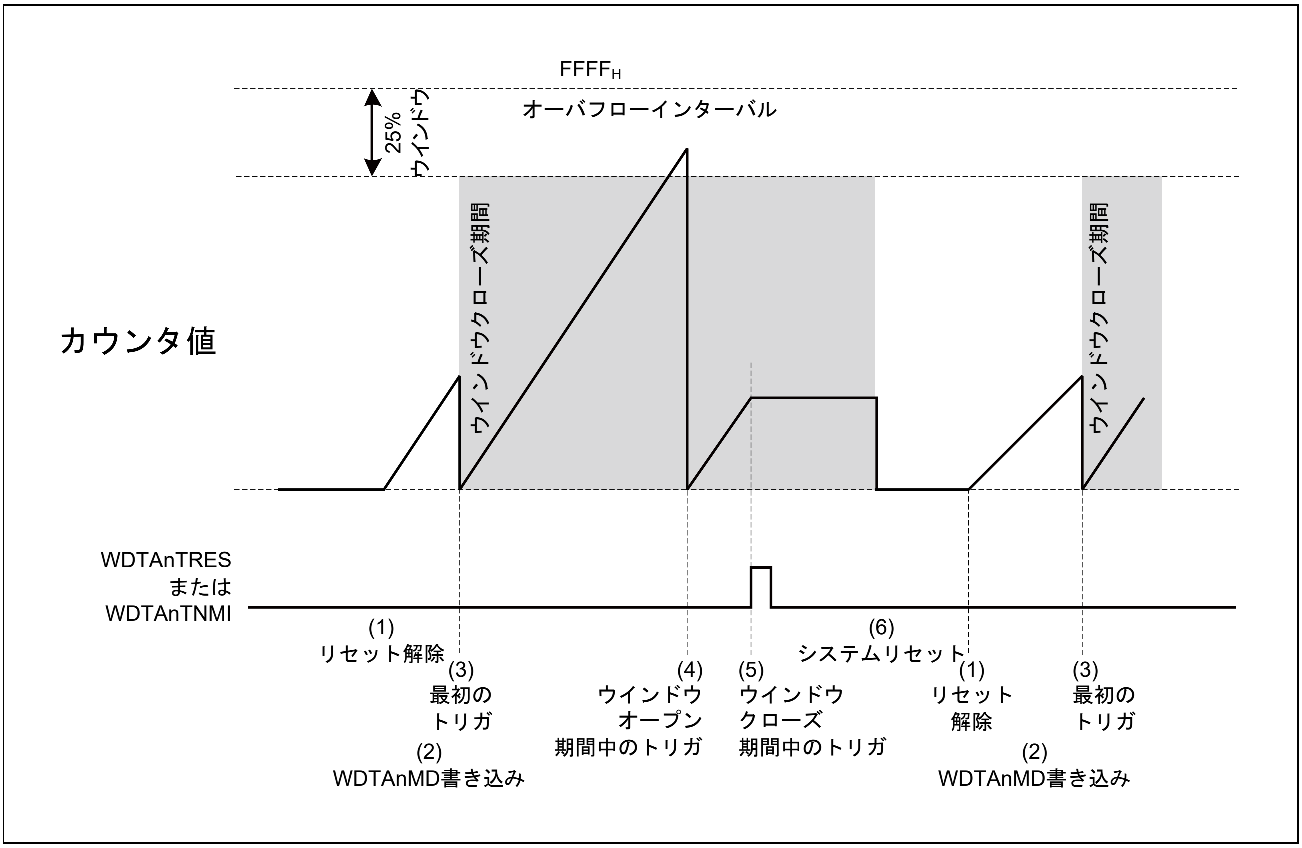


図 29.6　WDTA ウインドウ機能のタイミング図

(1) デフォルトスタートモードではリセット解除後、WDTA カウントをスタートします。リセット解除後のオーバフローインターバル時間は起動オプションで設定します。

(2) WDTAnMD は WDTA トリガ前に設定します。ここでは 2^{16}/WDTATCKI をオーバフローインターバル時間に設定しています。

(3) WDTA トリガにより WDTAnMD の設定が適用されます。

(4) ウインドウオープン期間中に、WDTA トリガにより、カウントがリスタートします。

(5) ウインドウクローズ期間中に、WDTA トリガにより、エラーが検出されます。エラーモードによって、割り込み求 WDTAnTNMI またはリセット WDTAnTRES のいずれかが発生します。カウンタ値は、システムリセットが行われるまで変わりません。

(6) システムをリセットすると、カウンタはクリアされ、リセットが解除されるまで停止します。

第30章　OS タイマ（OSTM）

本章では、OS タイマ（OSTM）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1KH, RH850/F1KM に固有の特長について説明します。
それ以降の節では、OSTM の機能、レジスタについて説明します。

30.1　RH850/F1KH, RH850/F1KM OSTM の特長

30.1.1　ユニット数

本製品は以下のユニット数の OSTM を搭載しています。

OSTM 1 ユニット当たり 1 チャネルのインタフェースを持っています。

表 30.1　ユニット数 (RH850/F1KH-D8)

製品名	RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 324 Pin
ユニット数	10	10	10
名称	OSTMn (n＝0～9)	OSTMn (n＝0～9)	OSTMn (n＝0～9)

表 30.2　ユニット数 (RH850/F1KM-S4)

製品名	RH850/F1KM-S4 100 Pin	RH850/F1KM-S4 144 Pin	RH850/F1KM-S4 176 Pin	RH850/F1KM-S4 233 Pin	RH850/F1KM-S4 272 Pin
ユニット数	5	5	5	5	5
名称	OSTMn (n＝0～4)	OSTMn (n＝0～4)	OSTMn (n＝0～4)	OSTMn (n＝0～4)	OSTMn (n＝0～4)

表 30.3　ユニット数 (RH850/F1KM-S2)

製品名	RH850/F1KM-S2 100 Pin	RH850/F1KM-S2 144 Pin	RH850/F1KM-S2 176 Pin
ユニット数	5	5	5
名称	OSTMn (n＝0～4)	OSTMn (n＝0～4)	OSTMn (n＝0～4)

表 30.4　ユニット数 (RH850/F1KM-S1)

製品名	RH850/F1KM-S1 48 Pin	RH850/F1KM-S1 64 Pin	RH850/F1KM-S1 80 Pin	RH850/F1KM-S1 100 Pin
ユニット数	1	1	1	1
名称	OSTMn (n＝0)	OSTMn (n＝0)	OSTMn (n＝0)	OSTMn (n＝0)

表 30.5　添字 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

添字	説明
n	本章では、OSTM の各ユニットを「n」で識別します。たとえば、OSTM カウンタレジスタは、OSTMnCNT と記述します。

30.1.2　レジスタベースアドレス

OSTM のベースアドレスを以下の表に示します。

OSTM のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 30.6　レジスタベースアドレス (RH850/F1KH-D8)

ベースアドレス名	ベースアドレス
<OSTM0_base>	FFD7 0000_H
<OSTM1_base>	FFD7 0100_H
<OSTM2_base>	FFD7 0200_H
<OSTM3_base>	FFD7 0300_H
<OSTM4_base>	FFD7 0400_H
<OSTM5_base>	FFD7 1000_H
<OSTM6_base>	FFD7 1100_H
<OSTM7_base>	FFD7 1200_H
<OSTM8_base>	FFD7 1300_H
<OSTM9_base>	FFD7 1400_H

表 30.7　レジスタベースアドレス (RH850/F1KM-S4, RH850/F1KM-S2)

ベースアドレス名	ベースアドレス
<OSTM0_base>	FFD7 0000_H
<OSTM1_base>	FFD7 0100_H
<OSTM2_base>	FFD7 0200_H
<OSTM3_base>	FFD7 0300_H
<OSTM4_base>	FFD7 0400_H

表 30.8　レジスタベースアドレス (RH850/F1KM-S1)

ベースアドレス名	ベースアドレス
<OSTM0_base>	FFD7 0000_H

30.1.3　クロック供給

OSTM のクロック供給を以下の表に示します。

表 30.9　クロック供給 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	ユニットクロック名	供給クロック名	説明
OSTMn	PCLK	CPUCLK_L	タイマカウントクロック
	レジスタアクセスクロック	CPUCLK_L	バスクロック

30.1.4　割り込み要求

OSTM の割り込み要求を以下の表に示します。

表 30.10　割り込み要求 (RH850/F1KH-D8)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
OSTM0			
OSTMTINT	OSTM0 割り込み	84 (INTOSTM0)	—
OSTM5			
OSTMTINT	OSTM5 割り込み	314 (INTOSTM5)	—

表 30.11　割り込み要求 (RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
OSTM0			
OSTMTINT	OSTM0 割り込み	84 (INTOSTM0)	—

表 30.12　割り込み要求（FE レベルマスカブル割り込み要求） (RH850/F1KH-D8)

ユニット割り込み信号	説明	割り込み名称	DMA トリガ番号
OSTM0			
OSTMTINT	OSTM0 割り込み	INTOSTM0_FE	—
OSTM1			
OSTMTINT	OSTM1 割り込み	INTOSTM1_FE	—
OSTM2			
OSTMTINT	OSTM2 割り込み	INTOSTM2_FE	—
OSTM3			
OSTMTINT	OSTM3 割り込み	INTOSTM3_FE	—
OSTM4			
OSTMTINT	OSTM4 割り込み	INTOSTM4_FE	—
OSTM5			
OSTMTINT	OSTM5 割り込み	INTOSTM5_FE	—
OSTM6			
OSTMTINT	OSTM6 割り込み	INTOSTM6_FE	—
OSTM7			
OSTMTINT	OSTM7 割り込み	INTOSTM7_FE	—
OSTM8			
OSTMTINT	OSTM8 割り込み	INTOSTM8_FE	—
OSTM9			
OSTMTINT	OSTM9 割り込み	INTOSTM9_FE	—

表 30.13　割り込み要求（FE レベルマスカブル割り込み要求）(RH850/F1KM-S4, RH850/F1KM-S2)

ユニット割り込み信号	説明	割り込み名称	DMA トリガ番号
OSTM0			
OSTMTINT	OSTM0 割り込み	INTOSTM0_FE	—
OSTM1			
OSTMTINT	OSTM1 割り込み	INTOSTM1_FE	—
OSTM2			
OSTMTINT	OSTM2 割り込み	INTOSTM2_FE	—
OSTM3			
OSTMTINT	OSTM3 割り込み	INTOSTM3_FE	—
OSTM4			
OSTMTINT	OSTM4 割り込み	INTOSTM4_FE	—

表 30.14　割り込み要求（FE レベルマスカブル割り込み要求）(RH850/F1KM-S1)

ユニット割り込み信号	説明	割り込み名称	DMA トリガ番号
OSTM0			
OSTMTINT	OSTM0 割り込み	INTOSTM0_FE	—

30.1.5　リセット要因

OSTM のリセット要因を以下に示します。OSTM は以下のリセット要因で初期化されます。

表 30.15　リセット要因 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	リセット要因
OSTMn	すべてのリセット要因（ISORES）

30.2 概要

OSTM は 32 ビットのタイマ／カウンタです。

OSTM は、インターバルタイマモードまたはフリーランニングコンペアモードで使用できます。動作モードを選択することによりカウント方向（ダウン／アップ）を指定し、割り込み要求の生成を制御します。

30.2.1 機能概要

OSTM には、次の機能があります。

- 2 つの動作モード
  - インターバルタイマモード
  - フリーランニングコンペアモード
- OSTMTINT 割り込み

30.2.2 ブロック図

OSTM の主な構成要素を次のブロック図に示します。

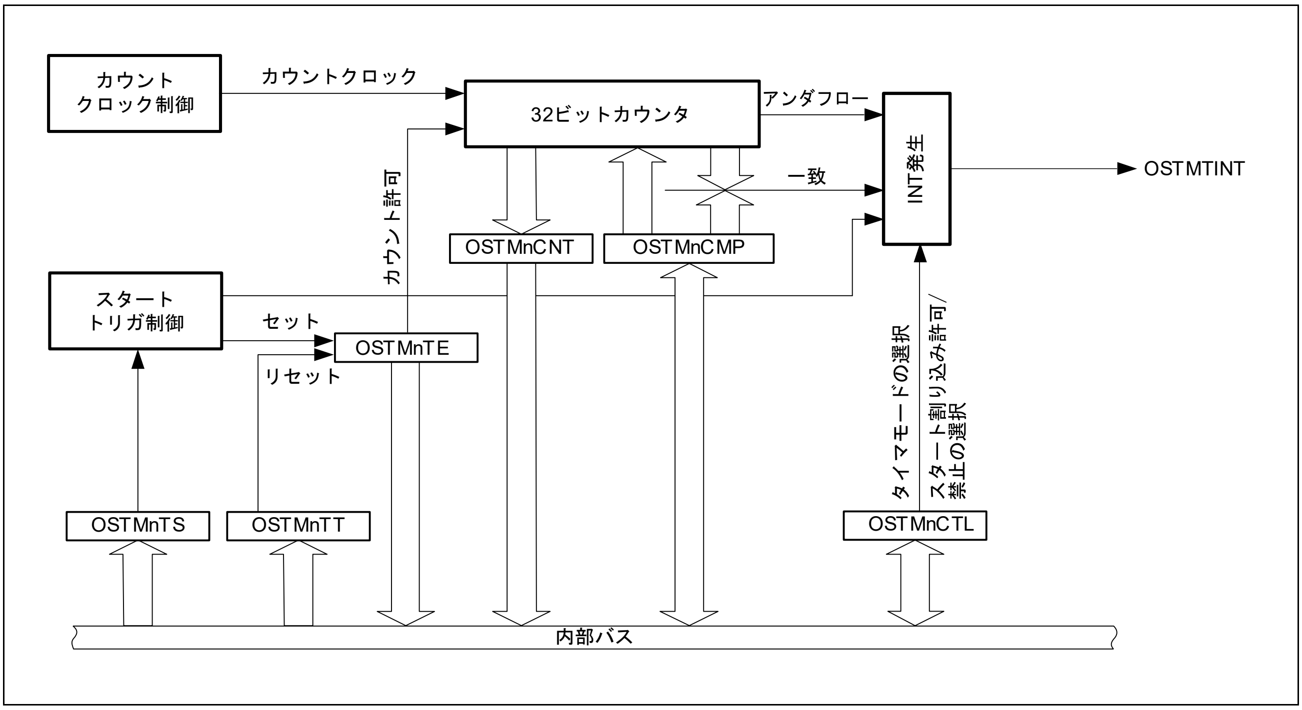


図 30.1　OSTM のブロック図

30.2.3 カウントクロック

OSTM はカウントクロックに PCLK を使用します。

30.2.4 割り込み要求（OSTMTINT）

カウンタアンダフローが発生したとき（インターバルタイマモードの場合）またはカウンタが比較値と一致したとき（フリーランニングコンペアモードの場合）に割り込み要求 OSTMTINT が発生します。

さらに、割り込み要求はカウント開始時またはカウント再開時にも生成できます。これは OSTMnCTL.OSTMnMD0 ビットで制御します。

これを次の図に示します。

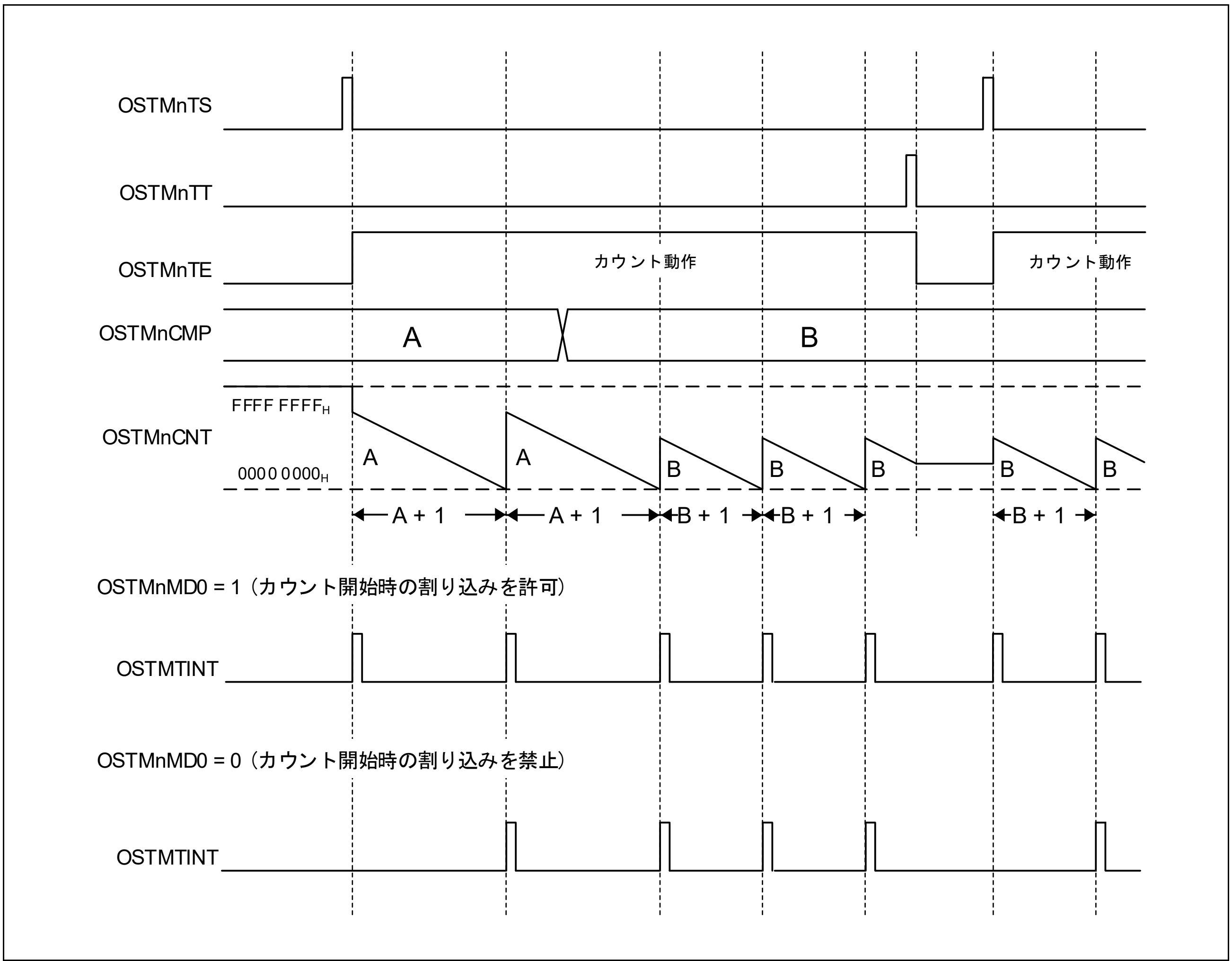


図 30.2 カウント開始時の割り込み生成（インターバルタイマモード）

30.3　レジスタ

30.3.1　レジスター覧

OSTM のレジスター覧を以下の表に示します。

<OSTMn_base>は「**30.1.2 レジスタベースアドレス**」を参照してください。

表 30.16　レジスター覧

モジュール名	レジスタ名	略号	アドレス
OSTMn	OSTMn コンペアレジスタ	OSTMnCMP	<OSTMn_base> + 00_H
	OSTMn カウンタレジスタ	OSTMnCNT	<OSTMn_base> + 04_H
	OSTMn カウントイネーブルステータスレジスタ	OSTMnTE	<OSTMn_base> + 10_H
	OSTMn カウント開始トリガレジスタ	OSTMnTS	<OSTMn_base> + 14_H
	OSTMn カウント停止トリガレジスタ	OSTMnTT	<OSTMn_base> + 18_H
	OSTMn 制御レジスタ	OSTMnCTL	<OSTMn_base> + 20_H
	OSTMn エミュレーションレジスタ	OSTMnEMU	<OSTMn_base> + 24_H

30.3.2 OSTMnCMP — OSTMn コンペアレジスタ

このレジスタは、動作モードによってダウンカウンタの開始値またはカウンタが比較される値を格納します。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <OSTMn_base> + 00_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OSTMnCMP[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OSTMnCMP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 30.17 OSTMnCMP レジスタの内容

ビット位置	ビット名	機能
31～0	OSTMnCMP[31:0]	● インターバルタイマモードの場合：ダウンカウンタの開始値 ● フリーランニングコンペアモードの場合：比較値

30.3.3　OSTMnCNT — OSTMn カウンタレジスタ

このレジスタはタイマのカウント値を示します。

アクセス	32 ビット単位でリードのみ可能です。
アドレス	<OSTMn_base> + 04_H
リセット後の値	FFFF $FFFF_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OSTMnCNT[31:16]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OSTMnCNT[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 30.18　OSTMnCNT レジスタの内容

ビット位置	ビット名	機能
31～0	OSTMnCNT[31:0]	タイマカウンタの値

OSTM の動作モード、カウント方向、スタート値の関係を「**表 30.19 動作モード、カウント方向、スタート値の関係**」に示します。スタート値は動作モードが変更された後にリードされる値です。

表 30.19　動作モード、カウント方向、スタート値の関係

タイマの動作モード	OSTMnCTL.OSTMnMD1	カウント方向	スタート値
インターバルタイマモード	0 注 1	ダウン	FFFF $FFFF_H$
フリーランニングコンペアモード	1	アップ	0000 0000_H

注1.　リセット後の値

30.3.4　OSTMnTE ― OSTMn カウントイネーブルステータスレジスタ

このレジスタは、カウンタの状態を示します。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<OSTMn_base> + 10_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	―	―	―	―	―	―	―	OSTMnTE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 30.20　OSTMnTE レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	リードした場合はリセット後の値が読めます。
0	OSTMnTE	カウンタの状態を示します。 　0：カウンタが停止中 　1：カウンタが動作中 OSTMnTS.OSTMnTS を 1 に設定すると、このビットが 1 になります。 OSTMnTT.OSTMnTT を 1 に設定すると、このビットが 0 にリセットされます。

備　考

カウンタが停止中の間はカウンタ値が保持されます。

カウントを再開した場合は次のようになります。

- インターバルタイマモードでは OSTMnCMP の設定値から再開します。
- フリーランニングコンペアモードでは、カウント値 0000 0000_H で動作を再開します。

30.3.5　OSTMnTS ― OSTMn カウント開始トリガレジスタ

このレジスタは、カウントを開始します。

アクセス　8 ビット単位でライトのみ可能です。

アドレス　<OSTMn_base> + 14_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OSTMnTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 30.21　OSTMnTS レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	OSTMnTS	カウントを開始します。 0：設定は無効です。 1：カウントを開始し、OSTMnTE.OSTMnTE＝1 を設定します。 ● インターバルタイマモードでは、OSTMnTE.OSTMnTE＝1 の場合にこのビットがセットされると、強制リスタートが実行されます。 ● フリーランニングコンペアモードでは、OSTMnTE.OSTMnTE＝1 の場合にこのビットがセットされても無視されます。

30.3.6　OSTMnTT — OSTMn カウント停止トリガレジスタ

このレジスタは、カウンタを停止します。

アクセス　8 ビット単位でライトのみ可能です。

アドレス　<OSTMn_base> + 18_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OSTMnTT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 30.22　OSTMnTT レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	OSTMnTT	カウンタを停止します。 0：設定は無効です。 1：カウンタを停止し、OSTMnTE.OSTMnTE ビットをクリアします。

30.3.7　OSTMnCTL — OSTMn 制御レジスタ

このレジスタは、カウンタの動作モードを指定し、カウント開始時の割り込み要求 OSTMTINT の生成を制御します。

このレジスタはリード／ライト可能ですが、OSTMnTE.OSTMnTE＝0 のときのみ、書き込み可能です。

アクセス	8 ビット単位でリード／ライト可能です。
アドレス	<OSTMn_base> + 20_H
リセット後の値	00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OSTMnMD1	OSTMnMD0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 30.23　OSTMnCTL レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	OSTMnMD1	カウンタの動作モードを指定します。 0：インターバルタイマモード 1：フリーランニングコンペアモード
0	OSTMnMD0	カウント開始時の OSTMTINT 割り込み要求を制御します。 0：カウント開始時の割り込みを禁止 1：カウント開始時の割り込みを許可

30.3.8　OSTMnEMU ― OSTMn エミュレーションレジスタ

このレジスタは SVSTOP による動作を制御します。

アクセス　8 ビット単位でリード／ライト可能です。

カウンタ停止中（OSTMnTE.OSTMnTE＝0、かつ EPC.SVSTOP＝0）のときにライト動作を行ってください。

アドレス　<OSTMn_base> + 24_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	OSTMnSVSDIS	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R

表 30.24　OSTMnEMU レジスタの内容

ビット位置	ビット名	機能
7	OSTMnSVSDIS	（EPC.SVSTOP ビット= 0 のとき） 本ビットの値 (1/0) にかかわらず、デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを継続供給 （EPC.SVSTOP ビット= 1 のとき） 0：デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを停止 1：デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを継続供給
6～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

30.4　動作

30.4.1　OSTM の起動と停止

OSTM は次のように起動し、停止します。

起動

OSTM は以下の設定で起動します。

- OSTMnTS.OSTMnTS ビット= 1 に設定

ステータスビット OSTMnTE.OSTMnTE が 1 に設定されます。

動作モードによって、カウンタはカウントダウンまたはカウントアップを開始します。詳細は「**30.4.2 インターバルタイマモード**」と「**30.4.3 フリーランニングコンペアモード**」を参照してください。

停止

OSTM は、OSTMnTT.OSTMnTT ビット= 1 に設定することで停止します。

ステータスビット OSTMnTE.OSTMnTE がクリアされます。

30.4.2　インターバルタイマモード

インターバルタイマモードでは、OSTM を一定の間隔で割り込み要求を発生する基準タイマとして使用できます。

30.4.2.1　インターバルタイマモードの基本動作

インターバルタイマモードでは、タイマは OSTMnCMP レジスタで指定された値からカウントダウンします。カウンタがアンダフローした（$0000\ 0000_H$ に達した）場合に、割り込み要求 OSTMTINT が発生します。

インターバルタイマモード利用時は OSTMnCTL.OSTMnMD1＝0 に設定します。

OSTMnCMP レジスタは任意のタイミングで書き換えることができます。カウント動作中に書き換えられた場合、カウンタは次に $0000\ 0000_H$ に到達したときに新しい OSTMnCMP の値をロードします。次に、カウンタは新しい値で動作を継続します。

OSTMTINT 期間

OSTMTINT の期間は次のようになります。

- OSTMTINT 発生期間＝カウントクロック期間×（OSTMnCMP＋1）

次の図に、インターバルタイマモードでカウンタスタート割り込みを許可された場合の OSTM の基本動作を示します。

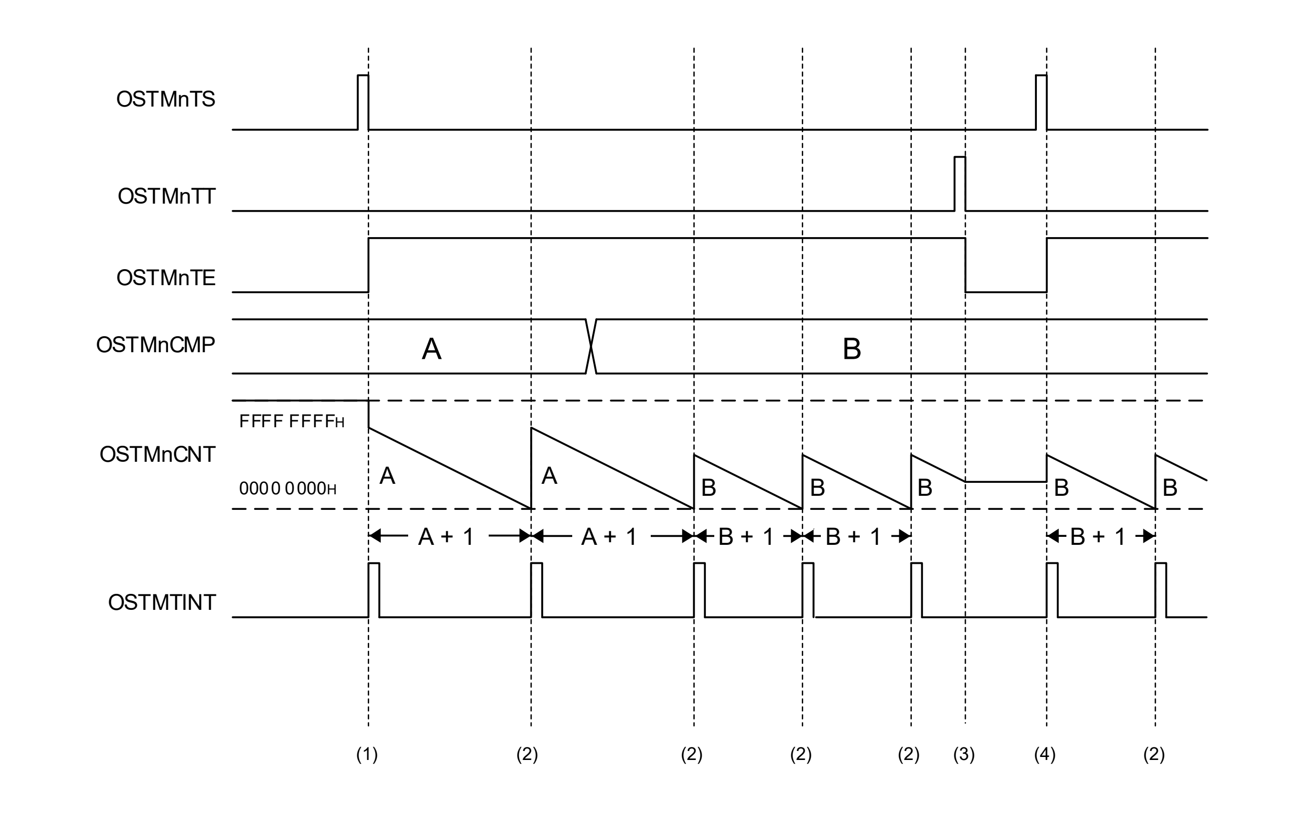


図 30.3　　インターバルタイマモードの OSTM のタイミング図

上記のタイミング図では次の内容を示しています。

(1) カウンタは、OSTMnTS.OSTMnTS＝1 によりカウントを開始します。OSTMnTE.OSTMnTE ビットがセットされ、カウンタが動作中であることを示します。
カウンタは、OSTMnCMP の値からカウントダウンを開始します。
OSTMnCTL.OSTMnMD0＝1 の場合は、カウント開始タイミングで割り込み要求 OSTMTINT が発生します。カウンタ値は OSTMnCNT レジスタで示されます。

(2) カウンタが 0000 0000_H に達すると、割り込み要求 OSTMTINT が発生します。カウンタは、OSTMnCMP から新しい開始値をロードしてカウントダウンを継続します。

(3) OSTMnTT.OSTMnTT＝1 によりカウンタが停止すると、OSTMnTE.OSTMnTE ビットがクリアされ、カウンタが停止中であることを示します。カウンタは、カウントを再開するまでその時点での値を保持します。

(4) OSTMnTS.OSTMnTS＝1 によりカウントを再開すると、カウンタは OSTMnCMP から新しい開始値をロードしてカウントダウンを開始します。

強制リスタート

カウンタの強制リスタートは、カウント動作中に OSTMnTS.OSTMnTS＝1 を設定することによって実行されます。

カウンタは、OSTMnCMP レジスタから開始値をロードしてカウントダウンを継続します。

次の図に、インターバルタイマモードでカウンタスタート割り込みが許可（OSTMnCTL.OSTMnMD0＝1）されるタイミング図を示します。

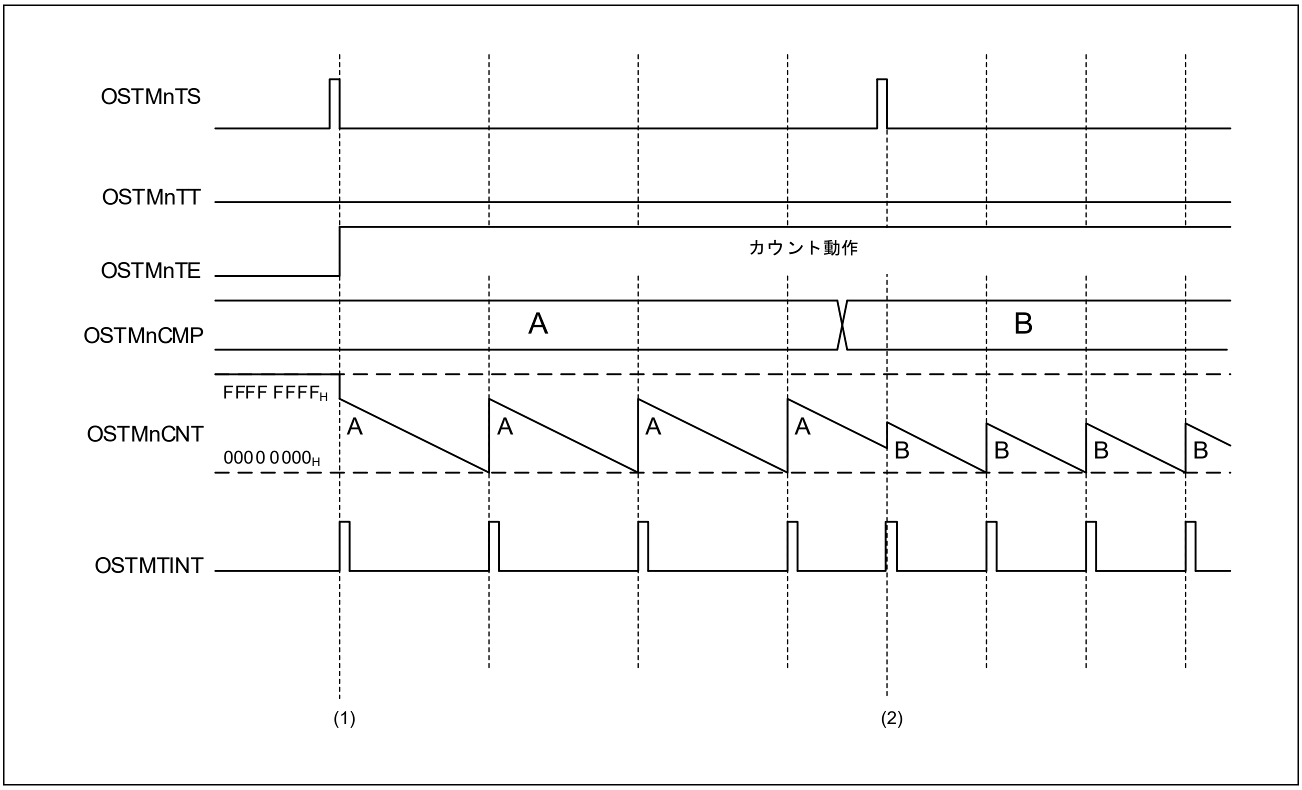


図 30.4 インターバルタイマモードの強制リスタートのタイミング図

上記のタイミング図では次の内容を示しています。

(1) カウンタは、「**図 30.3 インターバルタイマモードの OSTM のタイミング図**」で説明されているように動作を開始します。

(2) カウンタは、動作している間（OSTMnTE.OSTMnTE＝1）OSTMnTS.OSTMnTS＝1 にすると、リスタートします。
カウンタは、ただちに OSTMnCMP の現在値からカウントダウンを再開します。
OSTMnCTL.OSTMnMD0＝1 の場合は、カウント開始タイミングで割り込み要求 OSTMTINT が発生します。

30.4.2.2　OSTMnCMP＝0000 0000_H の場合の動作

OSTMnCMP＝0000 0000_H の場合に、OSTM は次のように動作します。

- カウンタが有効な場合は、割り込み要求 OSTMTINT は常に 1 になります。

次の図に、OSTMnCMP＝0000 0000_H であり、カウンタスタート割り込みが許可された場合の OSTM の動作を示します。

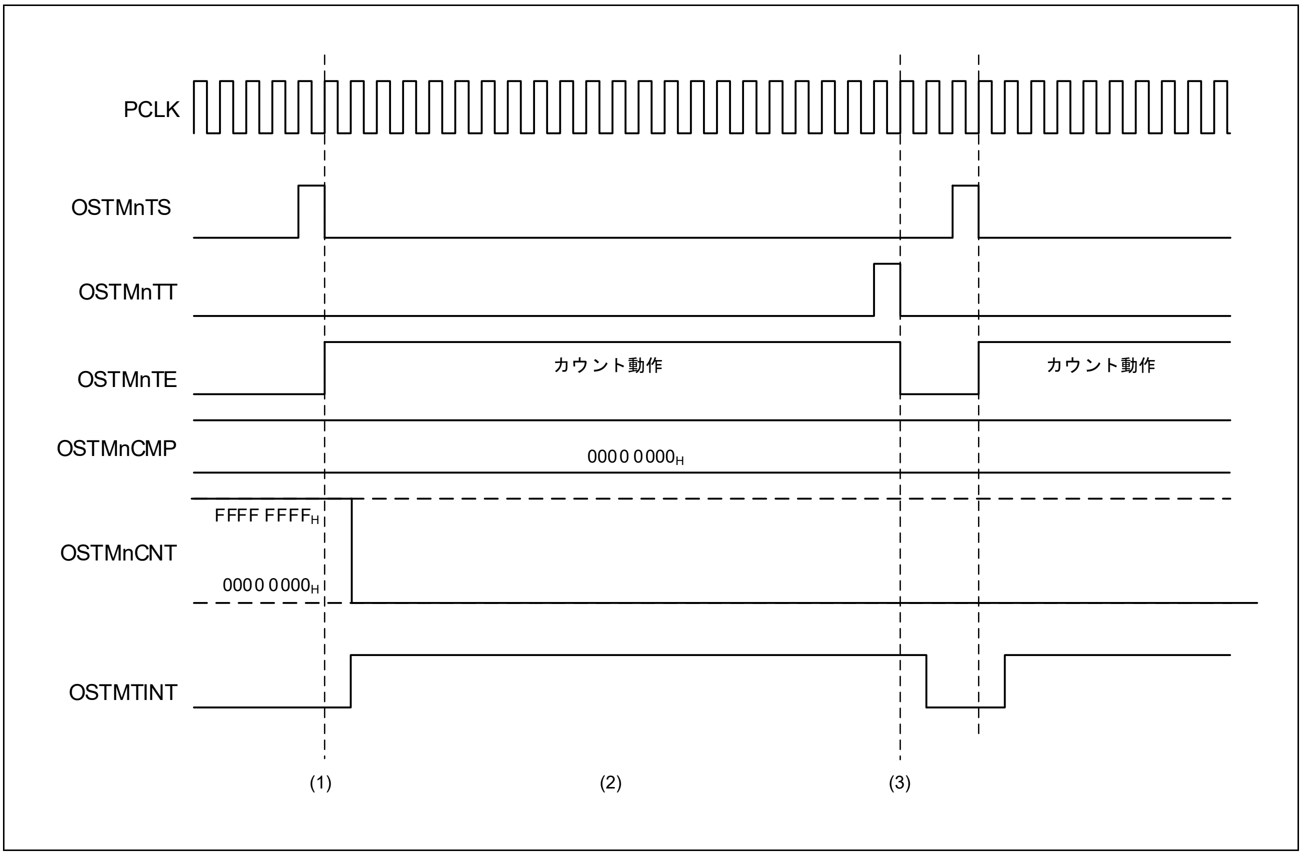


図 30.5　インターバルタイマモードで OSTMnCMP＝0000 0000_H の場合のタイミング図

上記のタイミング図では次の内容を示しています。

(1)　カウンタはカウントを開始しますが、OSTMnCMP の値をリロードするため、0000 0000_H のままです。

(2)　割り込み要求 OSTMTINT が継続的に発生します。

(3)　カウンタが停止すると、割り込み要求 OSTMTINT が停止します。

カウント開始時に割り込み禁止の場合は、カウント開始タイミングで割り込みは発生しません。

30.4.2.3　インターバルタイマモードの設定手順

リセット解除後のインターバルタイマモードの設定手順を次に示します。

設定手順

(1) OSTMnCMP レジスタにカウンタの開始値を設定します。

(2) OSTMnCTL.OSTMnMD1 ビットを 0 に設定することによってインターバルタイマモードを選択します。

(3) カウント開始時の割り込みの許可／禁止を選択します（OSTMnCTL.OSTMnMD0）。

30.4.3　フリーランニングコンペアモード

30.4.3.1　フリーランニングコンペアモードの基本動作

フリーランニングコンペアモードでは、カウンタは 0000 0000_H から FFFF $FFFF_H$ までカウントアップします。OSTMnCMP レジスタの値が現在のカウント値と一致すると、割り込み要求 OSTMTINT が発生します。

フリーランニングコンペアモード利用時は、OSTMnCTL.OSTMnMD1＝1 に設定します。

OSTMnCMP レジスタは任意のタイミングで書き換えることができます。

次の図に、フリーランニングコンペアモードでカウント開始が許可（OSTMnCTL.OSTMnMD0＝1）された場合の OSTM の基本動作を示します。

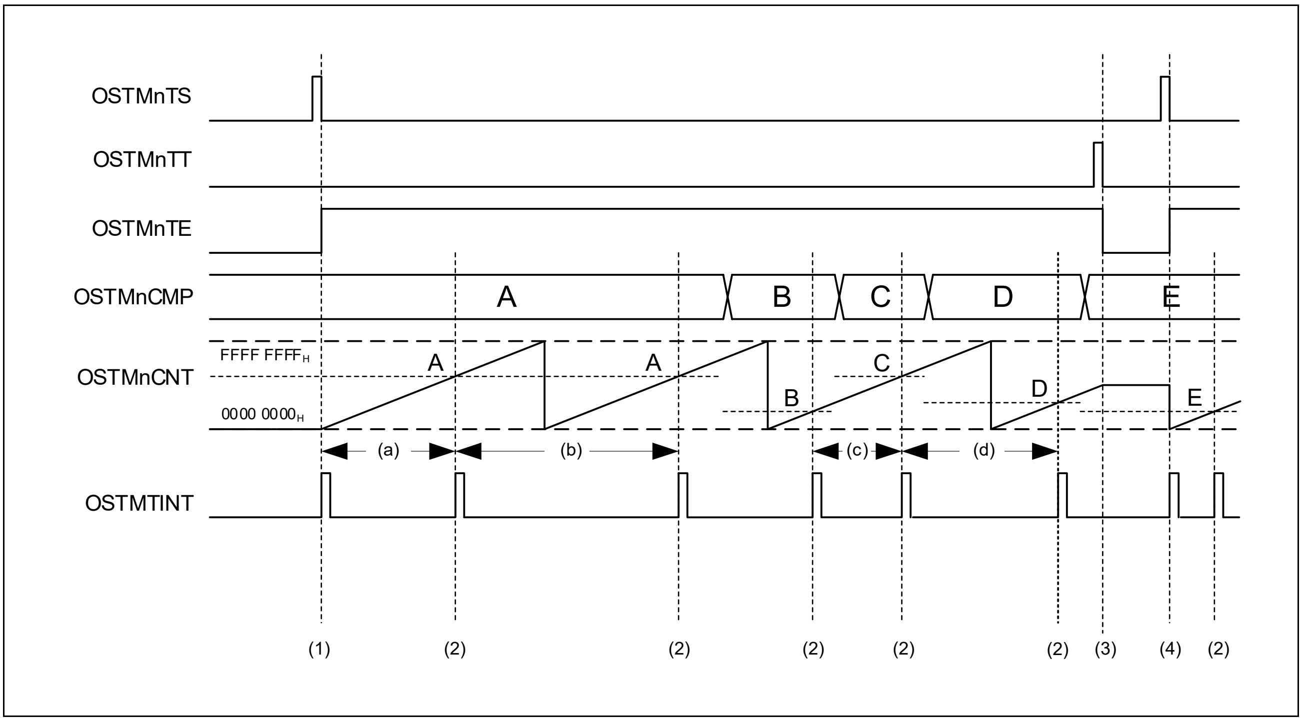


図 30.6　フリーランニングコンペアモードの OSTM のタイミング図

上記のタイミング図では次の内容を示しています。

(1) カウンタは、OSTMnTS.OSTMnTS＝1 によりカウントを開始します。
OSTMnTE.OSTMnTE ビットがセットされ、カウンタが動作中であることを示します。カウンタは 0000 0000_H から FFFF $FFFF_H$ までカウントアップします。カウンタ値はレジスタ OSTMnCNT で示されます。
OSTMnCTL.OSTMnMD0＝1 の場合は、カウント開始タイミングで割り込み要求 OSTMTINT が発生します。

(2) OSTMnCMP レジスタの値が現在のカウンタ値と一致すると、OSTMTINT 割り込み要求が発生します。

(3) カウンタが停止すると（OSTMnTT.OSTMnTT＝1）、OSTMnTE.OSTMnTE ビットがクリアされ、カウンタが停止中であることを示します。
カウンタは、カウントを再開するまでその時点での値を保持します。

(4) OSTMnTS.OSTMnTS＝1 によりカウントを再開すると、カウンタは 0000 0000_H からカウントを開始します。

OSTMTINT 期間

OSTMTINT 発生期間はカウント開始時によって異なり、動作中に OSTMnCMP が書き換えられた場合は古い比較値と新しい比較値の大小関係によって変化します。

表 30.25　OSTMTINT 発生のタイミング

古い比較値	新しい比較値	書き換え時のカウンタ値	OSTMTINT の発生期間	タイミング図のラベル
カウント開始			(A + 1) × カウントクロック期間	(a)
A	A	書き換えなし	(FFFF FFFF$_H$ + 1) × カウントクロック期間	(b)
B	C＞B	B＜カウンタ値＜C	(C – B) × カウントクロック期間	(c)
C	D＜C	カウンタ値＞D、C	(FFFF FFFF$_H$ – C + D + 1) × カウントクロック期間	(d)

強制リスタート

カウント動作中に OSTMnTS.OSTMnTS ビットがセットされた場合、カウンタの強制リスタートは実行されません。カウンタは、この設定を無視してカウントを継続します。

30.4.3.2　OSTMnCMP＝0000 0000_H の場合の動作

次の図に、OSTMnCMP＝0000 0000_H であり、カウンタスタート割り込みが許可（OSTMnCTL.OSTMnMD0＝1）された場合の OSTM の動作を示します。

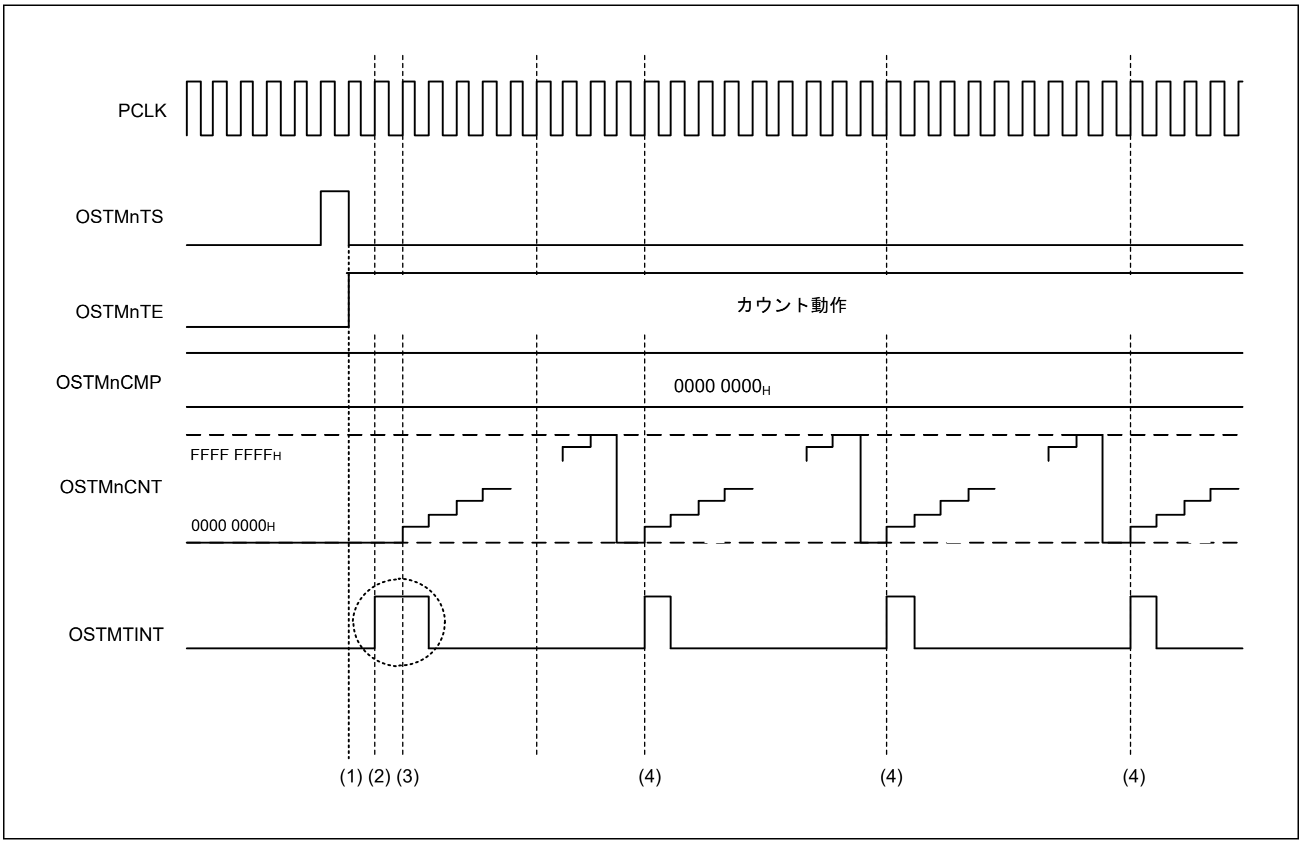


図 30.7　フリーランニングコンペアモードで OSTMnCMP＝0000 0000_H の場合のタイミング図

上記のタイミング図では次の内容を示しています。

(1) カウントを開始すると、カウンタは 0000 0000_H から FFFF $FFFF_H$ までをカウントします。

(2) カウント開始時に割り込み要求 OSTMTINT が発生します。

(3) 現在のカウント値が OSTMnCMP と一致する場合は、割り込み要求 OSTMTINT が発生します。
上記のように OSTMnCMP＝0000 0000_H の場合、OSTMTINT はカウントクロック 2 クロック分発生します。

(4) （FFFF $FFFF_H$ + 1）クロックサイクルごとに、割り込み要求 OSTMTINT が発生します。

カウント開始時に割り込み禁止の場合は、カウント開始タイミングで割り込みは発生しません。

30.4.3.3　フリーランニングコンペアモードの設定手順

リセット解除後のフリーランニングコンペアモードの設定手順を次に示します。

設定手順

(1) OSTMnCMP レジスタに比較値を設定します。

(2) OSTMnCTL.OSTMnMD1 ビットを 1 に設定することによってフリーランニングコンペアモードを選択します。

(3) OSTMnCTL.OSTMnMD0 ビットでカウント開始時の割り込みの許可／禁止を選択します。

第31章　タイマアレイユニット B（TAUB）

本章では、タイマアレイユニット B（TAUB）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1KH, RH850/F1KM に固有の特長について説明します。

それ以降の節では、TAUB の機能、レジスタについて説明します。

31.1　RH850/F1KH, RH850/F1KM TAUB の特長

31.1.1　ユニット数とチャネル数

本製品は、以下のユニット数とチャネル数の TAUB を搭載しています。

表 31.1　ユニット数 (RH850/F1KH-D8)

製品名	RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 324 Pin
ユニット数	2	2	2
名称	TAUBn (n＝0, 1)	TAUBn (n＝0, 1)	TAUBn (n＝0, 1)

表 31.2　ユニット数 (RH850/F1KM-S4)

製品名	RH850/F1KM-S4 100 Pin	RH850/F1KM-S4 144 Pin	RH850/F1KM-S4 176 Pin	RH850/F1KM-S4 233 Pin	RH850/F1KM-S4 272 Pin
ユニット数	1	1	2	2	2
名称	TAUBn (n＝0)	TAUBn (n＝0)	TAUBn (n＝0, 1)	TAUBn (n＝0, 1)	TAUBn (n＝0, 1)

表 31.3　ユニット数 (RH850/F1KM-S2)

製品名	RH850/F1KM-S2 100 Pin	RH850/F1KM-S2 144 Pin	RH850/F1KM-S2 176 Pin
ユニット数	1	1	2
名称	TAUBn (n＝0)	TAUBn (n＝0)	TAUBn (n＝0, 1)

表 31.4　ユニット数 (RH850/F1KM-S1)

製品名	RH850/F1KM-S1 48 Pin	RH850/F1KM-S1 64 Pin	RH850/F1KM-S1 80 Pin	RH850/F1KM-S1 100 Pin
ユニット数	—	—	1	1
名称	—	—	TAUBn (n＝0)	TAUBn (n＝0)

表 31.5　TAUBn のユニット構成とチャネルの対応 (RH850/F1KH-D8)

ユニット名 TAUBn	ユニット チャネル数	RH850/F1KH-D8 176 Pin (32 ch)	RH850/F1KH-D8 233 Pin (32 ch)	RH850/F1KH-D8 324 Pin (32 ch)
TAUB0	16	○	○	○
TAUB1	16	○	○	○

表 31.6　TAUBn のユニット構成とチャネルの対応 (RH850/F1KM-S4)

ユニット名 TAUBn	ユニット チャネル数	RH850/F1KM-S4 100 Pin (16 ch)	RH850/F1KM-S4 144 Pin (16 ch)	RH850/F1KM-S4 176 Pin (32 ch)	RH850/F1KM-S4 233 Pin (32 ch)	RH850/F1KM-S4 272 Pin (32 ch)
TAUB0	16	○	○	○	○	○
TAUB1	16	—	—	○	○	○

表 31.7　TAUBn のユニット構成とチャネルの対応 (RH850/F1KM-S2)

ユニット名 TAUBn	ユニット チャネル数	RH850/F1KM-S2 100 Pin (16 ch)	RH850/F1KM-S2 144 Pin (16 ch)	RH850/F1KM-S2 176 Pin (32 ch)
TAUB0	16	○	○	○
TAUB1	16	—	—	○

表 31.8　TAUBn のユニット構成とチャネルの対応 (RH850/F1KM-S1)

ユニット名 TAUBn	ユニット チャネル数	RH850/F1KM-S1 48 Pin (—)	RH850/F1KM-S1 64 Pin (—)	RH850/F1KM-S1 80 Pin (16 ch)	RH850/F1KM-S1 100 Pin (16 ch)
TAUB0	16	—	—	○	○

表 31.9　添字 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

添字	説明
n	本章では、TAUB の各ユニットを「n」で識別します。たとえば、TAUBn チャネル出力モードレジスタ（TAUBnTOM）と記述します。
m	TAUB には 16 本のチャネルがあります。本章では、各チャネルを「m」で識別しており、特定のチャネルを CHm（m＝0～15）と記述します。 偶数チャネル（m＝0, 2, 4, 6, 8, 10, 12, 14）は CHm_even と記述します。 奇数チャネル（m＝1, 3, 5, 7, 9, 11, 13, 15）は CHm_odd と記述します。

31.1.2　レジスタベースアドレス

TAUBn のベースアドレスを以下の表に示します。

TAUBn のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 31.10　レジスタベースアドレス (RH850/F1KH-D8)

ベースアドレス名	ベースアドレス
<TAUB0_base>	FFE3 0000_H
<TAUB1_base>	FFE3 1000_H

表 31.11　レジスタベースアドレス (RH850/F1KM-S4, RH850/F1KM-S2)

ベースアドレス名	ベースアドレス
<TAUB0_base>	FFE3 0000_H
<TAUB1_base>	FFE3 1000_H

表 31.12　レジスタベースアドレス (RH850/F1KM-S1)

ベースアドレス名	ベースアドレス
<TAUB0_base>	FFE3 0000_H

31.1.3　クロック供給

TAUBn のクロック供給を以下の表に示します。

表 31.13　クロック供給 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	ユニットクロック名	供給クロック名	説明
TAUBn	PCLK	CKSCLK_IPERI2	タイマカウントクロック
	レジスタアクセスクロック	CPUCLK_L, CKSCLK_IPERI2	バスクロック

31.1.4　割り込み要求

TAUBn の割り込み要求を以下の表に示します。

表 31.14　割り込み要求 (RH850/F1KH-D8)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
TAUB0			
INTTAUB0I0	チャネル 0 割り込み	142	33～38
INTTAUB0I1	チャネル 1 割り込み	143	33～38
INTTAUB0I2	チャネル 2 割り込み	144	33～38
INTTAUB0I3	チャネル 3 割り込み	145	33～38
INTTAUB0I4	チャネル 4 割り込み	146	33～38
INTTAUB0I5	チャネル 5 割り込み	147	33～38
INTTAUB0I6	チャネル 6 割り込み	148	33～38
INTTAUB0I7	チャネル 7 割り込み	149	33～38
INTTAUB0I8	チャネル 8 割り込み	150	33～38
INTTAUB0I9	チャネル 9 割り込み	151	33～38
INTTAUB0I10	チャネル 10 割り込み	152	33～38
INTTAUB0I11	チャネル 11 割り込み	153	33～38
INTTAUB0I12	チャネル 12 割り込み	154	33～38
INTTAUB0I13	チャネル 13 割り込み	155	33～38
INTTAUB0I14	チャネル 14 割り込み	156	33～38
INTTAUB0I15	チャネル 15 割り込み	157	33～38
TAUB1			
INTTAUB1I0	チャネル 0 割り込み	256	52～57
INTTAUB1I1	チャネル 1 割り込み	257	52～57
INTTAUB1I2	チャネル 2 割り込み	258	52～57
INTTAUB1I3	チャネル 3 割り込み	259	52～57
INTTAUB1I4	チャネル 4 割り込み	260	52～57
INTTAUB1I5	チャネル 5 割り込み	261	52～57
INTTAUB1I6	チャネル 6 割り込み	262	52～57
INTTAUB1I7	チャネル 7 割り込み	263	52～57
INTTAUB1I8	チャネル 8 割り込み	264	52～57
INTTAUB1I9	チャネル 9 割り込み	265	52～57
INTTAUB1I10	チャネル 10 割り込み	266	52～57
INTTAUB1I11	チャネル 11 割り込み	267	52～57
INTTAUB1I12	チャネル 12 割り込み	268	52～57
INTTAUB1I13	チャネル 13 割り込み	269	52～57
INTTAUB1I14	チャネル 14 割り込み	270	52～57
INTTAUB1I15	チャネル 15 割り込み	271	52～57

表 31.15　割り込み要求 (RH850/F1KM-S4, RH850/F1KM-S2)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
TAUB0			
INTTAUB0I0	チャネル 0 割り込み	142	33～38
INTTAUB0I1	チャネル 1 割り込み	143	33～38
INTTAUB0I2	チャネル 2 割り込み	144	33～38
INTTAUB0I3	チャネル 3 割り込み	145	33～38
INTTAUB0I4	チャネル 4 割り込み	146	33～38
INTTAUB0I5	チャネル 5 割り込み	147	33～38
INTTAUB0I6	チャネル 6 割り込み	148	33～38
INTTAUB0I7	チャネル 7 割り込み	149	33～38
INTTAUB0I8	チャネル 8 割り込み	150	33～38
INTTAUB0I9	チャネル 9 割り込み	151	33～38
INTTAUB0I10	チャネル 10 割り込み	152	33～38
INTTAUB0I11	チャネル 11 割り込み	153	33～38
INTTAUB0I12	チャネル 12 割り込み	154	33～38
INTTAUB0I13	チャネル 13 割り込み	155	33～38
INTTAUB0I14	チャネル 14 割り込み	156	33～38
INTTAUB0I15	チャネル 15 割り込み	157	33～38
TAUB1			
INTTAUB1I0	チャネル 0 割り込み	256	52～57
INTTAUB1I1	チャネル 1 割り込み	257	52～57
INTTAUB1I2	チャネル 2 割り込み	258	52～57
INTTAUB1I3	チャネル 3 割り込み	259	52～57
INTTAUB1I4	チャネル 4 割り込み	260	52～57
INTTAUB1I5	チャネル 5 割り込み	261	52～57
INTTAUB1I6	チャネル 6 割り込み	262	52～57
INTTAUB1I7	チャネル 7 割り込み	263	52～57
INTTAUB1I8	チャネル 8 割り込み	264	52～57
INTTAUB1I9	チャネル 9 割り込み	265	52～57
INTTAUB1I10	チャネル 10 割り込み	266	52～57
INTTAUB1I11	チャネル 11 割り込み	267	52～57
INTTAUB1I12	チャネル 12 割り込み	268	52～57
INTTAUB1I13	チャネル 13 割り込み	269	52～57
INTTAUB1I14	チャネル 14 割り込み	270	52～57
INTTAUB1I15	チャネル 15 割り込み	271	52～57

表 31.16　割り込み要求（RH850/F1KM-S1）

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
TAUB0			
INTTAUB0I0	チャネル 0 割り込み	142	33～38
INTTAUB0I1	チャネル 1 割り込み	143	33～38
INTTAUB0I2	チャネル 2 割り込み	144	33～38
INTTAUB0I3	チャネル 3 割り込み	145	33～38
INTTAUB0I4	チャネル 4 割り込み	146	33～38
INTTAUB0I5	チャネル 5 割り込み	147	33～38
INTTAUB0I6	チャネル 6 割り込み	148	33～38
INTTAUB0I7	チャネル 7 割り込み	149	33～38
INTTAUB0I8	チャネル 8 割り込み	150	33～38
INTTAUB0I9	チャネル 9 割り込み	151	33～38
INTTAUB0I10	チャネル 10 割り込み	152	33～38
INTTAUB0I11	チャネル 11 割り込み	153	33～38
INTTAUB0I12	チャネル 12 割り込み	154	33～38
INTTAUB0I13	チャネル 13 割り込み	155	33～38
INTTAUB0I14	チャネル 14 割り込み	156	33～38
INTTAUB0I15	チャネル 15 割り込み	157	33～38

31.1.5　リセット要因

TAUBn のリセット要因を以下に示します。TAUBn は以下のリセット要因で初期化されます。

表 31.17　リセット要因（RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1）

ユニット名	リセット要因
TAUBn	すべてのリセット要因（ISORES）

31.1.6　外部入出力信号

TAUBn の外部入出力信号を以下の表に示します。

表 31.18　外部入出力信号 (RH850/F1KH-D8)

ユニット信号名	説明	ポート端子兼用信号名
TAUB0		
TAUBTTIN0	チャネル 0 入力注1	TAUB0I0
TAUBTTIN1	チャネル 1 入力注1	TAUB0I1
TAUBTTIN2	チャネル 2 入力注1	TAUB0I2
TAUBTTIN3	チャネル 3 入力注1	TAUB0I3
TAUBTTIN4	チャネル 4 入力注1	TAUB0I4
TAUBTTIN5	チャネル 5 入力注1	TAUB0I5
TAUBTTIN6	チャネル 6 入力注1	TAUB0I6
TAUBTTIN7	チャネル 7 入力注1	TAUB0I7
TAUBTTIN8	チャネル 8 入力注1	TAUB0I8
TAUBTTIN9	チャネル 9 入力注1	TAUB0I9
TAUBTTIN10	チャネル 10 入力注1	TAUB0I10
TAUBTTIN11	チャネル 11 入力注1	TAUB0I11
TAUBTTIN12	チャネル 12 入力注1	TAUB0I12
TAUBTTIN13	チャネル 13 入力注1	TAUB0I13
TAUBTTIN14	チャネル 14 入力注1	TAUB0I14
TAUBTTIN15	チャネル 15 入力注1	TAUB0I15
TAUBTTOUT0	チャネル 0 出力	TAUB0O0
TAUBTTOUT1	チャネル 1 出力	TAUB0O1
TAUBTTOUT2	チャネル 2 出力	TAUB0O2
TAUBTTOUT3	チャネル 3 出力	TAUB0O3
TAUBTTOUT4	チャネル 4 出力	TAUB0O4
TAUBTTOUT5	チャネル 5 出力	TAUB0O5
TAUBTTOUT6	チャネル 6 出力	TAUB0O6
TAUBTTOUT7	チャネル 7 出力	TAUB0O7
TAUBTTOUT8	チャネル 8 出力	TAUB0O8
TAUBTTOUT9	チャネル 9 出力	TAUB0O9
TAUBTTOUT10	チャネル 10 出力	TAUB0O10
TAUBTTOUT11	チャネル 11 出力	TAUB0O11
TAUBTTOUT12	チャネル 12 出力	TAUB0O12
TAUBTTOUT13	チャネル 13 出力	TAUB0O13
TAUBTTOUT14	チャネル 14 出力	TAUB0O14
TAUBTTOUT15	チャネル 15 出力	TAUB0O15

表 31.18　外部入出力信号 (RH850/F1KH-D8)

ユニット信号名	説明	ポート端子兼用信号名
TAUB1		
TAUBTTIN0	チャネル 0 入力注 1	TAUB1I0
TAUBTTIN1	チャネル 1 入力注 1	TAUB1I1
TAUBTTIN2	チャネル 2 入力注 1	TAUB1I2
TAUBTTIN3	チャネル 3 入力注 1	TAUB1I3
TAUBTTIN4	チャネル 4 入力注 1	TAUB1I4
TAUBTTIN5	チャネル 5 入力注 1	TAUB1I5
TAUBTTIN6	チャネル 6 入力注 1	TAUB1I6
TAUBTTIN7	チャネル 7 入力注 1	TAUB1I7
TAUBTTIN8	チャネル 8 入力注 1	TAUB1I8
TAUBTTIN9	チャネル 9 入力注 1	TAUB1I9
TAUBTTIN10	チャネル 10 入力注 1	TAUB1I10
TAUBTTIN11	チャネル 11 入力注 1	TAUB1I11
TAUBTTIN12	チャネル 12 入力注 1	TAUB1I12
TAUBTTIN13	チャネル 13 入力注 1	TAUB1I13
TAUBTTIN14	チャネル 14 入力注 1	TAUB1I14
TAUBTTIN15	チャネル 15 入力注 1	TAUB1I15
TAUBTTOUT0	チャネル 0 出力	TAUB1O0
TAUBTTOUT1	チャネル 1 出力	TAUB1O1
TAUBTTOUT2	チャネル 2 出力	TAUB1O2
TAUBTTOUT3	チャネル 3 出力	TAUB1O3
TAUBTTOUT4	チャネル 4 出力	TAUB1O4
TAUBTTOUT5	チャネル 5 出力	TAUB1O5
TAUBTTOUT6	チャネル 6 出力	TAUB1O6
TAUBTTOUT7	チャネル 7 出力	TAUB1O7
TAUBTTOUT8	チャネル 8 出力	TAUB1O8
TAUBTTOUT9	チャネル 9 出力	TAUB1O9
TAUBTTOUT10	チャネル 10 出力	TAUB1O10
TAUBTTOUT11	チャネル 11 出力	TAUB1O11
TAUBTTOUT12	チャネル 12 出力	TAUB1O12
TAUBTTOUT13	チャネル 13 出力	TAUB1O13
TAUBTTOUT14	チャネル 14 出力	TAUB1O14
TAUBTTOUT15	チャネル 15 出力	TAUB1O15

注1.　チャネル入力端子を使用する場合ポートのノイズフィルタの設定が必要となります。詳細は「**2A.12 ノイズフィルタ＆エッジレベル検出回路**」を参照してください。

表 31.19　外部入出力信号 (RH850/F1KM-S4, RH850/F1KM-S2)

ユニット信号名	説明	ポート端子兼用信号名
TAUB0		
TAUBTTIN0	チャネル 0 入力注 1	TAUB0I0
TAUBTTIN1	チャネル 1 入力注 1	TAUB0I1
TAUBTTIN2	チャネル 2 入力注 1	TAUB0I2
TAUBTTIN3	チャネル 3 入力注 1	TAUB0I3
TAUBTTIN4	チャネル 4 入力注 1	TAUB0I4
TAUBTTIN5	チャネル 5 入力注 1	TAUB0I5
TAUBTTIN6	チャネル 6 入力注 1	TAUB0I6
TAUBTTIN7	チャネル 7 入力注 1	TAUB0I7
TAUBTTIN8	チャネル 8 入力注 1	TAUB0I8
TAUBTTIN9	チャネル 9 入力注 1	TAUB0I9
TAUBTTIN10	チャネル 10 入力注 1	TAUB0I10
TAUBTTIN11	チャネル 11 入力注 1	TAUB0I11
TAUBTTIN12	チャネル 12 入力注 1	TAUB0I12
TAUBTTIN13	チャネル 13 入力注 1	TAUB0I13
TAUBTTIN14	チャネル 14 入力注 1	TAUB0I14
TAUBTTIN15	チャネル 15 入力注 1	TAUB0I15
TAUBTTOUT0	チャネル 0 出力	TAUB0O0
TAUBTTOUT1	チャネル 1 出力	TAUB0O1
TAUBTTOUT2	チャネル 2 出力	TAUB0O2
TAUBTTOUT3	チャネル 3 出力	TAUB0O3
TAUBTTOUT4	チャネル 4 出力	TAUB0O4
TAUBTTOUT5	チャネル 5 出力	TAUB0O5
TAUBTTOUT6	チャネル 6 出力	TAUB0O6
TAUBTTOUT7	チャネル 7 出力	TAUB0O7
TAUBTTOUT8	チャネル 8 出力	TAUB0O8
TAUBTTOUT9	チャネル 9 出力	TAUB0O9
TAUBTTOUT10	チャネル 10 出力	TAUB0O10
TAUBTTOUT11	チャネル 11 出力	TAUB0O11
TAUBTTOUT12	チャネル 12 出力	TAUB0O12
TAUBTTOUT13	チャネル 13 出力	TAUB0O13
TAUBTTOUT14	チャネル 14 出力	TAUB0O14
TAUBTTOUT15	チャネル 15 出力	TAUB0O15

表 31.19　外部入出力信号 (RH850/F1KM-S4, RH850/F1KM-S2)

ユニット信号名	説明	ポート端子兼用信号名
TAUB1		
TAUBTTIN0	チャネル 0 入力注1	TAUB1I0
TAUBTTIN1	チャネル 1 入力注1	TAUB1I1
TAUBTTIN2	チャネル 2 入力注1	TAUB1I2
TAUBTTIN3	チャネル 3 入力注1	TAUB1I3
TAUBTTIN4	チャネル 4 入力注1	TAUB1I4
TAUBTTIN5	チャネル 5 入力注1	TAUB1I5
TAUBTTIN6	チャネル 6 入力注1	TAUB1I6
TAUBTTIN7	チャネル 7 入力注1	TAUB1I7
TAUBTTIN8	チャネル 8 入力注1	TAUB1I8
TAUBTTIN9	チャネル 9 入力注1	TAUB1I9
TAUBTTIN10	チャネル 10 入力注1	TAUB1I10
TAUBTTIN11	チャネル 11 入力注1	TAUB1I11
TAUBTTIN12	チャネル 12 入力注1	TAUB1I12
TAUBTTIN13	チャネル 13 入力注1	TAUB1I13
TAUBTTIN14	チャネル 14 入力注1	TAUB1I14
TAUBTTIN15	チャネル 15 入力注1	TAUB1I15
TAUBTTOUT0	チャネル 0 出力	TAUB1O0
TAUBTTOUT1	チャネル 1 出力	TAUB1O1
TAUBTTOUT2	チャネル 2 出力	TAUB1O2
TAUBTTOUT3	チャネル 3 出力	TAUB1O3
TAUBTTOUT4	チャネル 4 出力	TAUB1O4
TAUBTTOUT5	チャネル 5 出力	TAUB1O5
TAUBTTOUT6	チャネル 6 出力	TAUB1O6
TAUBTTOUT7	チャネル 7 出力	TAUB1O7
TAUBTTOUT8	チャネル 8 出力	TAUB1O8
TAUBTTOUT9	チャネル 9 出力	TAUB1O9
TAUBTTOUT10	チャネル 10 出力	TAUB1O10
TAUBTTOUT11	チャネル 11 出力	TAUB1O11
TAUBTTOUT12	チャネル 12 出力	TAUB1O12
TAUBTTOUT13	チャネル 13 出力	TAUB1O13
TAUBTTOUT14	チャネル 14 出力	TAUB1O14
TAUBTTOUT15	チャネル 15 出力	TAUB1O15

注1.　チャネル入力端子を使用する場合ポートのノイズフィルタの設定が必要となります。詳細は「**2B.12 ノイズフィルタ＆エッジレベル検出回路**」を参照してください。

表 31.20　外部入出力信号 (RH850/F1KM-S1)

ユニット信号名	説明	ポート端子兼用信号名
TAUB0		
TAUBTTIN0	チャネル 0 入力注 1	TAUB0I0
TAUBTTIN1	チャネル 1 入力注 1	TAUB0I1
TAUBTTIN2	チャネル 2 入力注 1	TAUB0I2
TAUBTTIN3	チャネル 3 入力注 1	TAUB0I3
TAUBTTIN4	チャネル 4 入力注 1	TAUB0I4
TAUBTTIN5	チャネル 5 入力注 1	TAUB0I5
TAUBTTIN6	チャネル 6 入力注 1	TAUB0I6
TAUBTTIN7	チャネル 7 入力注 1	TAUB0I7
TAUBTTIN8	チャネル 8 入力注 1	TAUB0I8
TAUBTTIN9	チャネル 9 入力注 1	TAUB0I9
TAUBTTIN10	チャネル 10 入力注 1	TAUB0I10
TAUBTTIN11	チャネル 11 入力注 1	TAUB0I11
TAUBTTIN12	チャネル 12 入力注 1	TAUB0I12
TAUBTTIN13	チャネル 13 入力注 1	TAUB0I13
TAUBTTIN14	チャネル 14 入力注 1	TAUB0I14
TAUBTTIN15	チャネル 15 入力注 1	TAUB0I15
TAUBTTOUT0	チャネル 0 出力	TAUB0O0
TAUBTTOUT1	チャネル 1 出力	TAUB0O1
TAUBTTOUT2	チャネル 2 出力	TAUB0O2
TAUBTTOUT3	チャネル 3 出力	TAUB0O3
TAUBTTOUT4	チャネル 4 出力	TAUB0O4
TAUBTTOUT5	チャネル 5 出力	TAUB0O5
TAUBTTOUT6	チャネル 6 出力	TAUB0O6
TAUBTTOUT7	チャネル 7 出力	TAUB0O7
TAUBTTOUT8	チャネル 8 出力	TAUB0O8
TAUBTTOUT9	チャネル 9 出力	TAUB0O9
TAUBTTOUT10	チャネル 10 出力	TAUB0O10
TAUBTTOUT11	チャネル 11 出力	TAUB0O11
TAUBTTOUT12	チャネル 12 出力	TAUB0O12
TAUBTTOUT13	チャネル 13 出力	TAUB0O13
TAUBTTOUT14	チャネル 14 出力	TAUB0O14
TAUBTTOUT15	チャネル 15 出力	TAUB0O15

注1.　チャネル入力端子を使用する場合ポートのノイズフィルタの設定が必要となります。詳細は「**2C.12 ノイズフィルタ＆エッジレベル検出回路**」を参照してください。

31.1.7　TAUBn 入力の選択

次の図に示すように、ポート TAUBnIm（n＝0, 1、m＝0～15）からの出力を TAUBTTINm（m＝0～15）に入力できます。

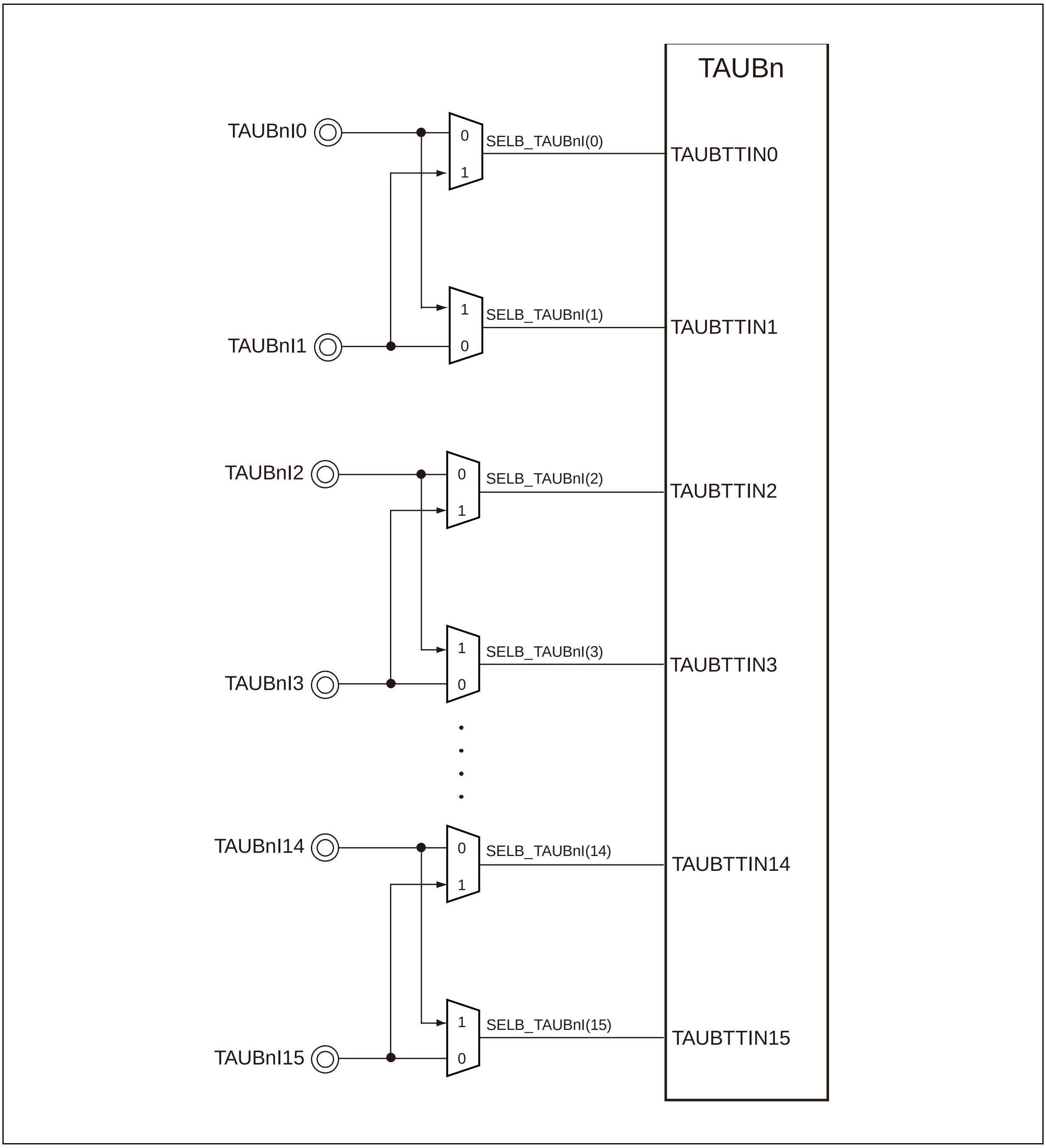


図 31.1　TAUBn 入出力と割り込み要求信号

次の表に TAUBn への入力信号の選択方法について示します。

表 31.21　TAUBn 入力の選択 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

入力信号	機能	設定
TAUBTTIN[m]	ポート TAUBnI[m]	SELB_TAUBnI[m]＝0
	ポート TAUBnI[m + 1]	SELB_TAUBnI[m]＝1
TAUBTTIN[m + 1]	ポート TAUBnI[m + 1]	SELB_TAUBnI[m + 1]＝0
	ポート TAUBnI[m]	SELB_TAUBnI[m + 1]＝1

備考　m＝0, 2, 4, 6, 8, 10, 12, 14

31.1.7.1　レジスタ一覧

入力信号選択レジスタを以下の表に示します。

表 31.22　レジスタ一覧 (RH850/F1KH-D8)

モジュール名	レジスタ名	略号	アドレス
TAUBn 入力選択レジスタ			
SL_TAUBn	TAUBTTINm 入力信号選択レジスタ	SELB_TAUB0I	FFE3 2000_H
	TAUBTTINm 入力信号選択レジスタ	SELB_TAUB1I	FFE3 3000_H

表 31.23　レジスタ一覧 (RH850/F1KM-S4, RH850/F1KM-S2)

モジュール名	レジスタ名	略号	アドレス
TAUBn 入力選択レジスタ			
SL_TAUBn	TAUBTTINm 入力信号選択レジスタ	SELB_TAUB0I	FFE3 2000_H
	TAUBTTINm 入力信号選択レジスタ	SELB_TAUB1I	FFE3 3000_H

表 31.24　レジスタ一覧 (RH850/F1KM-S1)

モジュール名	レジスタ名	略号	アドレス
TAUBn 入力選択レジスタ			
SL_TAUBn	TAUBTTINm 入力信号選択レジスタ	SELB_TAUB0I	FFE3 2000_H

31.1.7.2　SELB_TAUB0I ― TAUBTTINm 入力信号選択レジスタ

本レジスタは、TAUBTTINm への入力信号を選択します。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　FFE3 2000_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SELB_TAUB0I15	SELB_TAUB0I14	SELB_TAUB0I13	SELB_TAUB0I12	SELB_TAUB0I11	SELB_TAUB0I10	SELB_TAUB0I9	SELB_TAUB0I8	SELB_TAUB0I7	SELB_TAUB0I6	SELB_TAUB0I5	SELB_TAUB0I4	SELB_TAUB0I3	SELB_TAUB0I2	SELB_TAUB0I1	SELB_TAUB0I0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.25　SELB_TAUB0I レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>15～0</td><td>SELB_TAUB0Im
(m＝0～15)</td><td>TAUBTTINm 入力信号の選択ビット
<table>
<tr><th>TAUB 入力</th><th>ビット[m+1]</th><th>ビット[m]</th><th>入力信号</th></tr>
<tr><td rowspan="2">TAUBTTIN[m]</td><td>x</td><td>0</td><td>ポート TAUB0I[m]を選択</td></tr>
<tr><td>x</td><td>1</td><td>ポート TAUB0I[m + 1]を選択</td></tr>
<tr><td rowspan="2">TAUBTTIN[m+1]</td><td>0</td><td>x</td><td>ポート TAUB0I[m + 1]を選択</td></tr>
<tr><td>1</td><td>x</td><td>ポート TAUB0I[m]を選択</td></tr>
</table>
備考）　m＝0, 2, 4, 6, 8, 10, 12, 14</td></tr>
</table>

注　意

タイマカウント中のチャネルは、入力信号の切り替えを行わないでください。

31.1.7.3　SELB_TAUB1I ― TAUBTTINm 入力信号選択レジスタ

本レジスタは、TAUBTTINm への入力信号を選択します。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　FFE3 3000H

リセット後の値　0000H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SELB_TAUB1I15	SELB_TAUB1I14	SELB_TAUB1I13	SELB_TAUB1I12	SELB_TAUB1I11	SELB_TAUB1I10	SELB_TAUB1I9	SELB_TAUB1I8	SELB_TAUB1I7	SELB_TAUB1I6	SELB_TAUB1I5	SELB_TAUB1I4	SELB_TAUB1I3	SELB_TAUB1I2	SELB_TAUB1I1	SELB_TAUB1I0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.26　SELB_TAUB1I レジスタの内容

ビット位置	ビット名	機能
15～0	SELB_TAUB1Im (m＝0～15)	TAUBTTINm 入力信号の選択ビット

TAUB 入力	ビット[m+1]	ビット[m]	入力信号
TAUBTTIN[m]	x	0	ポート TAUB1I[m]を選択
	x	1	ポート TAUB1I[m + 1]を選択
TAUBTTIN[m+1]	0	x	ポート TAUB1I[m + 1]を選択
	1	x	ポート TAUB1I[m]を選択

備考）　m＝0, 2, 4, 6, 8, 10, 12, 14

注　意

タイマカウント中のチャネルは、入力信号の切り替えを行わないでください。

31.2　概要

31.2.1　機能概要

TAUB には、次の機能があります。

- 単体動作機能（1 チャネルで動作する機能）
- 連動動作機能（マスタチャネル 1 チャネルとスレーブチャネルの複数チャネルで実現する機能）

TAUB は、各種カウントやタイマ動作を行い、その動作の結果によって異なる信号を出力します。カウントクロックを生成するためのプリスケーラ、カウント開始値および比較値を保持するための 16 ビットカウンタ TAUBnCNTm と 16 ビットデータレジスタ TAUBnCDRm をそれぞれ備えた 16 チャネルを搭載しています。

また、いくつかの制御レジスタおよびステータスレジスタを持っています。

単体および連動動作

各チャネルは、単体で、またはほかのチャネルと連動して、動作することが可能です。1 つのマスタチャネルと 1 つ以上のスレーブチャネルの場合、スレーブチャネルは、マスタチャネルに依存します。
あるチャネルを単体動作させる場合、他のチャネルと無関係に動作できます。連動動作機能は、チャネルグループ（マスタチャネルとスレーブチャネルで構成されます）を組み合わせて実現する機能です。
チャネルの設定には、いくつかのルールがあります。

31.2.2　用語

本章で使用されている用語について説明します。

単体動作機能／連動動作機能

TAUB は 16 チャネルで構成されており、各チャネル単独で動作する単体動作機能と、複数のチャネルを組み合わせて動作する連動動作機能があります。

- 単体動作機能は、他のチャネルと無関係に任意のチャネルで使用可能です。
- 連動動作機能は、チャネルグループ（マスタチャネルとスレーブチャネルで構成されます）を組み合わせて実現する機能です。

チャネルの設定には、いくつかのルールがあります。

チャネルグループ

連動動作機能では、依存関係にあるすべてのチャネルを「チャネルグループ」と呼びます。
1 つのチャネルグループは、1 つのマスタチャネルと 1 つ以上のスレーブチャネルで構成されます。

上位／下位チャネル

チャネル m から見て、小さい番号または大きい番号のチャネルを上位または下位チャネルと呼びます。

- 上位チャネル：小さい番号のチャネル
- 下位チャネル：大きい番号のチャネル

たとえば、チャネル 5 に対してチャネル 3 は上位チャネル、チャネル 9 は下位チャネルです。チャネル 0 が最上位チャネル、チャネル 15 が最下位チャネルです。

機能ブロックを次に説明します。

プリスケーラブロック

プリスケーラブロックは、すべてのチャネルのカウントクロックとして使用することができる最大 4 つのクロック信号（CK0～CK3）を供給します。
カウントクロック CK0～CK3 は、プリスケーラにより PCLK の 2^0～2^{15} の分周したクロックを選択することができます。

クロックおよびカウントクロックの選択

クロックカウントセレクタは、各チャネルに対してクロックソースを次から選択します。

- CK0～CK3 のいずれかのクロック（クロックセレクタにより選択）
- TAUBTTINm 入力信号の有効エッジ

コントローラ

コントローラは、カウンタの主な動作を制御します。

- 動作モード（TAUBnCMORm.TAUBnMD[4:0] ビットにより選択）
- カウント開始許可（TAUBnTS.TAUBnTSm）およびカウント停止（TAUBnTT.TAUBnTTm）
  カウントの開始を許可すると、ステータスフラグ TAUBnTE.TAUBnTEm がセットされます。
- カウント方式（アップ／ダウン）（マスタチャネルにより制御可能）

トリガセレクタ

カウンタは、動作が許可されている場合（TAUBnTE.TAUBnTEm＝1）には自動的に起動、または、外部スタートトリガ信号を待ちます。次の信号をスタートトリガとして使うことができます。

- マスタ、または上位チャネルからの INTTAUBnIm
- マスタチャネルのアップ／ダウン出力トリガ信号
- TAUBTTOUTm 生成ユニットのデッドタイム出力信号

一斉書き換えコントローラ

一斉書き換え制御は、連動動作機能で使える機能です。あるチャネルグループに属する全チャネルのデータレジスタ（TAUBnCDRm）はいつでも書き換えられます。一斉書き換えコントローラは、全チャネルのデータレジスタの新しい値が同時に有効になります。

31.2.3　タイマ動作機能一覧

このタイマは各チャネルを単体で動作させたり、複数チャネルを組み合わせて動作させることで、下記の機能が実現できます。

表 31.27　TAUB 動作機能一覧

動作機能		設定例
チャネル単体動作機能		31.12
	インターバルタイマ機能	31.12.1
	TAUBTTINm 入力インターバルタイマ機能	31.12.2
	クロック分周機能	31.12.3
	外部イベントカウント機能	31.12.4
	ワンパルス出力機能	31.12.5
	TAUBTTINm 入力パルスインターバル測定機能	31.12.6
	TAUBTTINm 入力信号幅測定機能	31.12.7
	TAUBTTINm 入力位置検出機能	31.12.8
	TAUBTTINm 入力期間カウント検出機能	31.12.9
	TAUBTTINm 入力パルスインターバル判定機能	31.12.10
	TAUBTTINm 入力信号幅判定機能	31.12.11
	オーバフロー割り込み出力機能（TAUBTTINm 幅測定時）	31.12.12
	オーバフロー割り込み出力機能（TAUBTTINm 入力期間カウント検出時）	31.12.13
チャネル単体一斉書き換え機能		31.13
	一斉書き換えトリガ生成機能タイプ 1	31.13.1
チャネル連動動作機能		31.14
	PWM 出力機能	31.14.1
	ワンショットパルス出力機能	31.14.2
	ディレイパルス出力機能	31.14.3
	A/D 変換トリガ出力機能タイプ 1	31.14.4
	三角波 PWM 出力機能	31.14.5
	デッドタイム付き三角波 PWM 出力機能	31.14.6
	A/D 変換トリガ出力機能タイプ 2	31.14.7

31.2.4　TAUB 入出力と割り込み要求信号

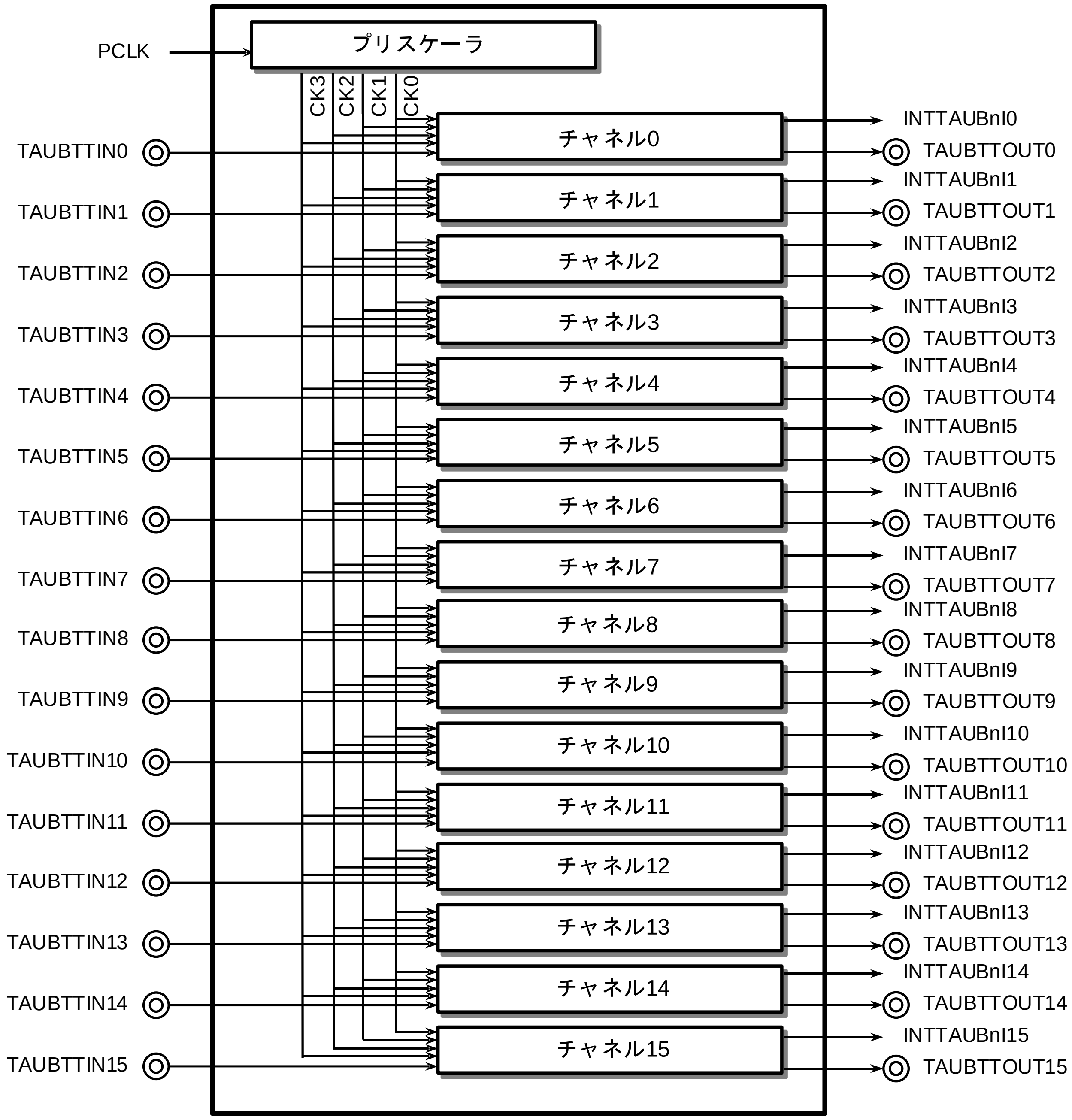


図 31.2　TAUB 入出力と割り込み要求信号

31.2.5　ブロック図

TAUB の主な構成要素を次の図に示します。

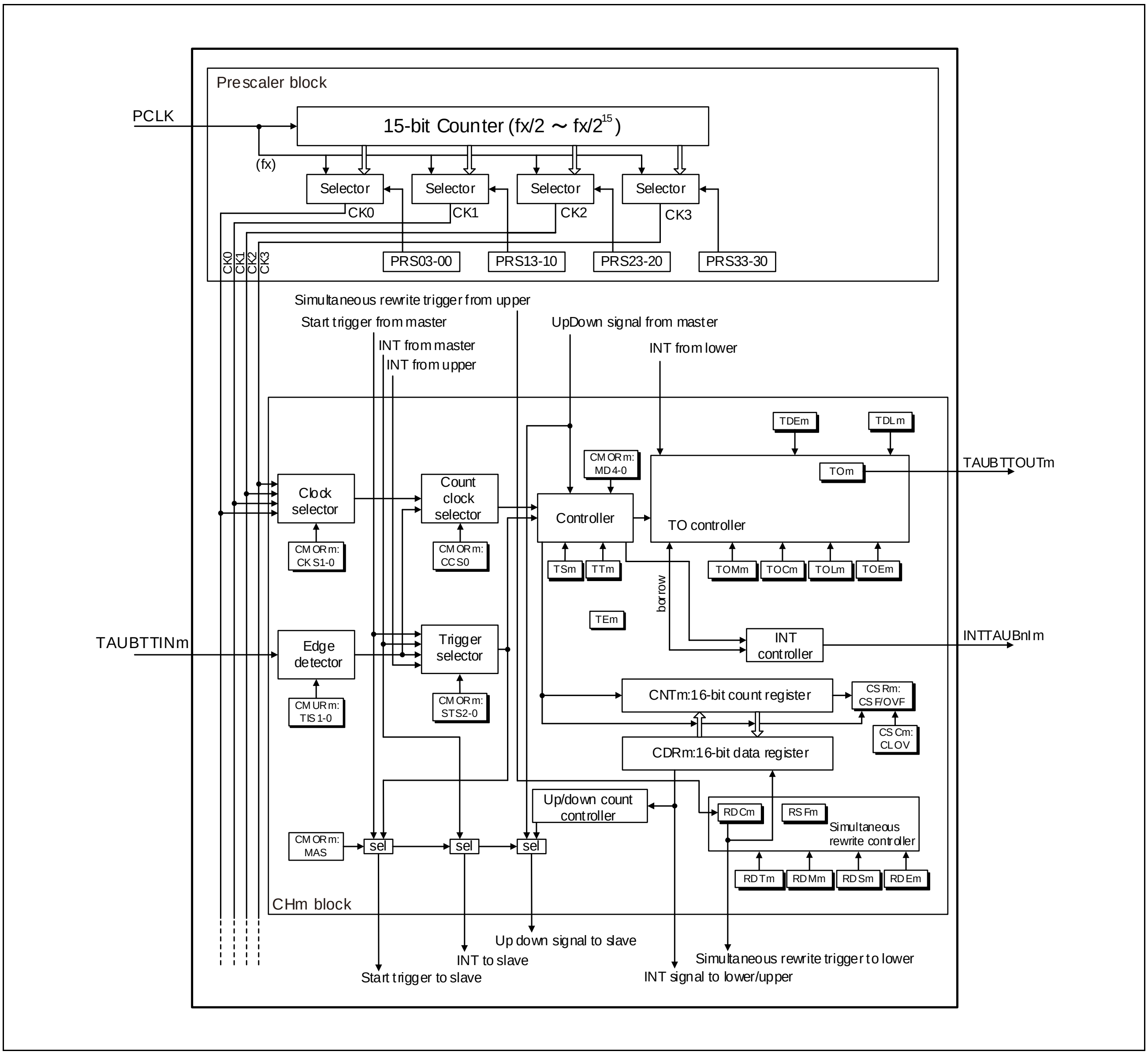


図 31.3　TAUB のブロック図

レジスタ名の「TAUBn」は、図を見やすくするために省略されています。

31.2.6　ブロック図の説明

機能ブロックを次に説明します。

プリスケーラ

プリスケーラは、すべてのチャネルのカウントクロックとして使用することができる最大 4 つのクロック信号（CK0～CK3）を供給します。
カウントクロック CK0～CK3 は、プリスケーラにより PCLK の 2^0～2^{15} の分周したクロックを選択することができます。

クロックおよびカウントクロックの選択

クロックカウントセレクタは、各チャネルに対してクロックソースを次から選択します。

- CK0～CK3 のいずれかのクロック（クロックセレクタにより選択）
- TAUBTTINm 入力信号の有効エッジ

コントローラ

コントローラは、カウンタの主な動作を制御します。

- 動作モード（TAUBnCMORm.TAUBnMD[4:0]ビットにより選択）
- カウント開始許可（TAUBnTS.TAUBnTSm）およびカウント停止（TAUBnTT.TAUBnTTm）カウントの開始を許可すると、ステータスフラグ TAUBnTE.TAUBnTEm がセットされます。
- カウント方式（アップ／ダウン）（マスタチャネルにより制御可能）

トリガセレクタ

選択した動作モードにより、カウンタは、動作が許可されている場合（TAUBnTE.TAUBnTEm＝1）には自動的に起動するか、外部スタートトリガ信号を待ちます。次の信号をスタートトリガとして使うことができます。

- TAUBTTINm 入力の有効エッジ
- マスタ、または上位チャネルからの INTTAUBnIm
- マスタチャネルのアップ／ダウン出力トリガ信号
- TAUBTTOUTm 生成ユニットのデッドタイム出力信号

一斉書き換えコントローラ

一斉書き換え制御は、連動動作機能等、複数チャネル使用時に使える機能です。あるチャネルグループに属する全チャネルのデータレジスタ（TAUBnCDRm）はいつでも書き換えられます。一斉書き換えコントローラは、全チャネルのデータレジスタの新しい値が同時に有効になります。

TAUBnTO コントローラ

各チャネルの出力を制御することにより、PWM 信号や三角波信号などの各種出力信号を出力できます。

31.3　レジスタ

31.3.1　レジスター覧

TAUB のレジスター覧を以下の表に示します。

<TAUBn_base>は「**31.1.2 レジスタベースアドレス**」を参照してください。

表 31.28　レジスター覧

モジュール名	レジスタ名	略号	アドレス
TAUBn プリスケーラレジスタ			
TAUBn	TAUBn プリスケーラクロック選択レジスタ	TAUBnTPS	<TAUBn_base> + 240_H
TAUBn 制御レジスタ			
TAUBn	TAUBn チャネルデータレジスタ	TAUBnCDRm	<TAUBn_base> + 0_H + m × 4_H
	TAUBn チャネルカウンタレジスタ	TAUBnCNTm	<TAUBn_base> + 80_H + m × 4_H
	TAUBn チャネルモード OS レジスタ	TAUBnCMORm	<TAUBn_base> + 200_H + m × 4_H
	TAUBn チャネルモードユーザレジスタ	TAUBnCMURm	<TAUBn_base> + $C0_H$ + m × 4_H
	TAUBn チャネルステータスレジスタ	TAUBnCSRm	<TAUBn_base> + 140_H + m × 4_H
	TAUBn チャネルステータスクリアトリガレジスタ	TAUBnCSCm	<TAUBn_base> + 180_H + m × 4_H
	TAUBn チャネルスタートトリガレジスタ	TAUBnTS	<TAUBn_base> + $1C4_H$
	TAUBn チャネル許可ステータスレジスタ	TAUBnTE	<TAUBn_base> + $1C0_H$
	TAUBn チャネルストップトリガレジスタ	TAUBnTT	<TAUBn_base> + $1C8_H$
TAUBn 出力レジスタ			
TAUBn	TAUBn チャネル出力許可レジスタ	TAUBnTOE	<TAUBn_base> + $5C_H$
	TAUBn チャネル出力レジスタ	TAUBnTO	<TAUBn_base> + 58_H
	TAUBn チャネル出力モードレジスタ	TAUBnTOM	<TAUBn_base> + 248_H
	TAUBn チャネル出力コンフィグレーションレジスタ	TAUBnTOC	<TAUBn_base> + $24C_H$
	TAUBn チャネル出力アクティブレベルレジスタ	TAUBnTOL	<TAUBn_base> + 040_H
	TAUBn チャネルデッドタイム出力許可レジスタ	TAUBnTDE	<TAUBn_base> + 250_H
	TAUBn チャネルデッドタイム出力レベルレジスタ	TAUBnTDL	<TAUBn_base> + 54_H
TAUBn リロードデータレジスタ			
TAUBn	TAUBn チャネルリロードデータ許可レジスタ	TAUBnRDE	<TAUBn_base> + 260_H
	TAUBn チャネルリロードデータモードレジスタ	TAUBnRDM	<TAUBn_base> + 264_H
	TAUBn チャネルリロードデータ制御 CH 選択レジスタ	TAUBnRDS	<TAUBn_base> + 268_H
	TAUBn チャネルリロードデータ制御レジスタ	TAUBnRDC	<TAUBn_base> + $26C_H$
	TAUBn チャネルリロードデータトリガレジスタ	TAUBnRDT	<TAUBn_base> + 44_H
	TAUBn チャネルリロードステータスレジスタ	TAUBnRSF	<TAUBn_base> + 48_H
TAUBn エミュレーションレジスタ			
TAUBn	TAUBn エミュレーションレジスタ	TAUBnEMU	<TAUBn_base> + 290_H

31.3.2　TAUBn プリスケーラレジスタの詳細

31.3.2.1　TAUBnTPS — TAUBn プリスケーラクロック選択レジスタ

PCLK プリスケーラの全チャネルの CK0、CK1、CK2、CK3 クロックを指定するレジスタです。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<TAUBn_base> + 240_H

リセット後の値　$FFFF_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnPRS3[3:0]				TAUBnPRS2[3:0]				TAUBnPRS1[3:0]				TAUBnPRS0[3:0]			
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.29　TAUBnTPS レジスタの内容

ビット位置	ビット名	機能
15～12	TAUBnPRS3[3:0]	CK3 クロックを指定します。 TAUBnPRS3[3:0] → CK3 クロック: 0000_B → PCLK/2^0 0001_B → PCLK/2^1 0010_B → PCLK/2^2 0011_B → PCLK/2^3 0100_B → PCLK/2^4 0101_B → PCLK/2^5 0110_B → PCLK/2^6 0111_B → PCLK/2^7 1000_B → PCLK/2^8 1001_B → PCLK/2^9 1010_B → PCLK/2^{10} 1011_B → PCLK/2^{11} 1100_B → PCLK/2^{12} 1101_B → PCLK/2^{13} 1110_B → PCLK/2^{14} 1111_B → PCLK/2^{15} 本ビットは、CK3 を使用するカウンタがすべて停止している（TAUBnTE.TAUBnTEm＝0）場合のみ書き換え可能です。

表 31.29　TAUBnTPS レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>11～8</td><td>TAUBnPRS2[3:0]</td><td>CK2 クロックを指定します。
<table>
<tr><th>TAUBnPRS2[3:0]</th><th>CK2 クロック</th></tr>
<tr><td>0000_B</td><td>PCLK/2^0</td></tr>
<tr><td>0001_B</td><td>PCLK/2^1</td></tr>
<tr><td>0010_B</td><td>PCLK/2^2</td></tr>
<tr><td>0011_B</td><td>PCLK/2^3</td></tr>
<tr><td>0100_B</td><td>PCLK/2^4</td></tr>
<tr><td>0101_B</td><td>PCLK/2^5</td></tr>
<tr><td>0110_B</td><td>PCLK/2^6</td></tr>
<tr><td>0111_B</td><td>PCLK/2^7</td></tr>
<tr><td>1000_B</td><td>PCLK/2^8</td></tr>
<tr><td>1001_B</td><td>PCLK/2^9</td></tr>
<tr><td>1010_B</td><td>PCLK/2^{10}</td></tr>
<tr><td>1011_B</td><td>PCLK/2^{11}</td></tr>
<tr><td>1100_B</td><td>PCLK/2^{12}</td></tr>
<tr><td>1101_B</td><td>PCLK/2^{13}</td></tr>
<tr><td>1110_B</td><td>PCLK/2^{14}</td></tr>
<tr><td>1111_B</td><td>PCLK/2^{15}</td></tr>
</table>
本ビットは、CK2 を使用するカウンタがすべて停止している（TAUBnTE.TAUBnTEm＝0）場合のみ書き換え可能です。</td></tr>
<tr><td>7～4</td><td>TAUBnPRS1[3:0]</td><td>CK1 クロックを指定します。
<table>
<tr><th>TAUBnPRS1[3:0]</th><th>CK1 クロック</th></tr>
<tr><td>0000_B</td><td>PCLK/2^0</td></tr>
<tr><td>0001_B</td><td>PCLK/2^1</td></tr>
<tr><td>0010_B</td><td>PCLK/2^2</td></tr>
<tr><td>0011_B</td><td>PCLK/2^3</td></tr>
<tr><td>0100_B</td><td>PCLK/2^4</td></tr>
<tr><td>0101_B</td><td>PCLK/2^5</td></tr>
<tr><td>0110_B</td><td>PCLK/2^6</td></tr>
<tr><td>0111_B</td><td>PCLK/2^7</td></tr>
<tr><td>1000_B</td><td>PCLK/2^8</td></tr>
<tr><td>1001_B</td><td>PCLK/2^9</td></tr>
<tr><td>1010_B</td><td>PCLK/2^{10}</td></tr>
<tr><td>1011_B</td><td>PCLK/2^{11}</td></tr>
<tr><td>1100_B</td><td>PCLK/2^{12}</td></tr>
<tr><td>1101_B</td><td>PCLK/2^{13}</td></tr>
<tr><td>1110_B</td><td>PCLK/2^{14}</td></tr>
<tr><td>1111_B</td><td>PCLK/2^{15}</td></tr>
</table>
本ビットは、CK1 を使用するカウンタがすべて停止している（TAUBnTE.TAUBnTEm＝0）場合のみ書き換え可能です。</td></tr>
</table>

表 31.29　TAUBnTPS レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>3～0</td><td>TAUBnPRS0[3:0]</td><td>CK0 クロックを指定します。
<table>
<tr><th>TAUBnPRS0[3:0]</th><th>CK0 クロック</th></tr>
<tr><td>0000_B</td><td>$PCLK/2^0$</td></tr>
<tr><td>0001_B</td><td>$PCLK/2^1$</td></tr>
<tr><td>0010_B</td><td>$PCLK/2^2$</td></tr>
<tr><td>0011_B</td><td>$PCLK/2^3$</td></tr>
<tr><td>0100_B</td><td>$PCLK/2^4$</td></tr>
<tr><td>0101_B</td><td>$PCLK/2^5$</td></tr>
<tr><td>0110_B</td><td>$PCLK/2^6$</td></tr>
<tr><td>0111_B</td><td>$PCLK/2^7$</td></tr>
<tr><td>1000_B</td><td>$PCLK/2^8$</td></tr>
<tr><td>1001_B</td><td>$PCLK/2^9$</td></tr>
<tr><td>1010_B</td><td>$PCLK/2^{10}$</td></tr>
<tr><td>1011_B</td><td>$PCLK/2^{11}$</td></tr>
<tr><td>1100_B</td><td>$PCLK/2^{12}$</td></tr>
<tr><td>1101_B</td><td>$PCLK/2^{13}$</td></tr>
<tr><td>1110_B</td><td>$PCLK/2^{14}$</td></tr>
<tr><td>1111_B</td><td>$PCLK/2^{15}$</td></tr>
</table>
本ビットは、CK0 を使用するカウンタがすべて停止している（TAUBnTE.TAUBnTEm＝0）場合のみ書き換え可能です。</td></tr>
</table>

備　考

TAUBn クロック入力 PCLK については、本章の最初の節内「**31.1.3　クロック供給**」で定義しています。

31.3.3　TAUBn 制御レジスタの詳細

31.3.3.1　TAUBnCDRm — TAUBn チャネルデータレジスタ

このレジスタは、TAUBnCMORm.TAUBnMD[4:1]で指定された動作モードによって、コンペアレジスタもしくはキャプチャレジスタとして機能するレジスタです。

アクセス　16 ビット単位でリード／ライト可能です。

- キャプチャレジスタとして機能時はリードのみ可能です。ライト動作は無視されます。
- コンペアレジスタとして機能時はリード／ライト可能です。

アドレス　<TAUBn_base> + m × 4_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCDR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.30　TAUBnCDRm レジスタの内容

ビット位置	ビット名	機能
15～0	TAUBnCDR[15:0]	キャプチャ値／コンペア値用データレジスタ

31.3.3.2　TAUBnCNTm — TAUBn チャネルカウンタレジスタ

チャネル m カウンタレジスタです。

アクセス　16 ビット単位でリードのみ可能です。

アドレス　<TAUBn_base> + 80_H + m × 4_H

リセット後の値　$FFFF_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCNT[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.31　TAUBnCNTm レジスタの内容

ビット位置	ビット名	機能
15～0	TAUBnCNT[15:0]	16 ビットカウンタ値

リード値は、カウンタ、動作モード変更、TAUBnTS.TAUBnTSm、TAUBnTT.TAUBnTTm ビット値によって異なります。

カウンタの初期リード値は、動作モードとカウンタ停止方法によって異なります。

- リセットによる停止
- カウンタストップトリガによる停止（TAUBnTT.TAUBnTTm＝1）

カウント停止後（TAUBnTE.TAUBnTEm＝0）と再許可後（TAUBnTS.TAUBnTSm＝1）のカウンタの初期リード値を次の表に示します。

また、カウンタがスタートトリガを待っている状態で、カウンタ動作が許可（TAUBnTS.TAUBnTSm＝1）されてから 1 カウント後のカウンタのリード値も示します。

表 31.32　カウント再許可後の TAUBnCNTm リード値

モード名	カウント方式（アップ／ダウン）	TAUBnCNTm		
		スタート値注 1	ストップトリガ後	ワンカウント後
インターバルタイマモード	ダウンカウント	$FFFF_H$	停止値	—
ジャッジモード	ダウンカウント	$FFFF_H$	停止値	—
キャプチャモード	アップカウント	0000_H	停止値	—
イベントカウントモード	ダウンカウント	$FFFF_H$	停止値	—
ワンカウントモード	ダウンカウント	$FFFF_H$	停止値	$FFFF_H$
キャプチャ＆ワンカウントモード	アップカウント	0000_H	停止値	キャプチャ値＋1（TAUBnCDRm）
ジャッジ＆ワンカウントモード	ダウンカウント	$FFFF_H$	停止値	TAUBnCNTm 値－1
アップ／ダウンカウントモード	アップ／ダウンカウント	$FFFF_H$	停止値	—
パルスワンカウントモード	ダウンカウント	$FFFF_H$	停止値	0000_H
カウントキャプチャモード	アップカウント	0000_H	停止値	—
ゲートカウントモード	ダウンカウント	$FFFF_H$	停止値	停止値
キャプチャ＆ゲートカウントモード	アップカウント	0000_H	停止値	停止値

注1.　リセット解除後、動作モードを変更した際に TAUBnCNTm にセットされる値

31.3.3.3　TAUBnCMORm ― TAUBn チャネルモード OS レジスタ

このレジスタは、チャネル m の動作を制御します。

アクセス　16 ビット単位でリード／ライト可能です。カウンタ停止中（TAUBnTE.TAUBnTEm＝0）のときのみ、ライト可能です。

アドレス　<TAUBn_base> + 200_H + m × 4_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS[1:0]		—	TAUBnCCS0	TAUBnMAS	TAUBnSTS[2:0]			TAUBnCOS[1:0]		—	TAUBnMD[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 31.33　TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックを選択します。 動作クロックは TAUBTTINm 入力エッジ検出回路で使用します。 TAUBnCMORm.TAUBnCCS0 ビットの設定により、TAUBnCNTm のカウントクロックとして使用することも可能です。 <table><tr><th>TAUBn CKS1</th><th>TAUBn CKS0</th><th>動作クロック選択</th></tr><tr><td>0</td><td>0</td><td>CK0</td></tr><tr><td>0</td><td>1</td><td>CK1</td></tr><tr><td>1</td><td>0</td><td>CK2</td></tr><tr><td>1</td><td>1</td><td>CK3</td></tr></table>
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	TAUBnCNTm カウンタのカウントクロックを選択します。 <table><tr><th>TAUBn CCS0</th><th>カウントクロック選択</th></tr><tr><td>0</td><td>TAUBnCMORm.TAUBnCKS[1:0]で指定した動作クロック</td></tr><tr><td>1</td><td>TAUBTTINm 入力信号の有効エッジ</td></tr></table>
11	TAUBnMAS	チャネル連動動作時に、そのチャネルがマスタチャネルかスレーブチャネルかを指定します。 0：スレーブ 1：マスタ このビット設定は偶数チャネル（CHm_even）に対してのみ有効です。奇数チャネル（CHm_odd）は、0 に固定されています。

表 31.33　TAUBnCMORm レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>10～8</td><td>TAUBnSTS[2:0]</td><td>外部スタートトリガを選択します。
<table>
<tr><th>TAUBn STS2</th><th>TAUBn STS1</th><th>TAUBn STS0</th><th>機能説明</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>ソフトウェアトリガ</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>TAUBTTINm 入力信号の有効エッジ。
有効エッジは TAUBnCMURm.TAUBnTIS[1:0]で指定</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>TAUBTTINm 入力信号の有効エッジをスタートトリガ、逆エッジをストップトリガとして使用</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>設定禁止</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>マスタチャネルの INTTAUBnIm がスタートトリガ</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>マスタ設定にかかわらず、上位チャネル（m−1）の INTTAUBnIm がスタートトリガ</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>TAUBTTOUTm 生成ユニットのデッドタイム出力信号</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>マスタチャネルのアップ／ダウン出力トリガ信号</td></tr>
</table></td></tr>
<tr><td>7、6</td><td>TAUBnCOS[1:0]</td><td>チャネル m のキャプチャレジスタ TAUBnCDRm とオーバフローフラグ TAUBnCSRm.TAUBnOVF を更新するタイミングを指定します。
これらのビットはチャネル m がキャプチャ機能のときにのみ有効です。
カウントキャプチャモード、キャプチャ＆ゲートカウントモードの時は“01_B”固定としてください。
<table>
<tr><th>TAUBn COS1</th><th>TAUBn COS0</th><th>TAUBnCDRm</th><th>TAUBnCSRm.TAUBnOVF</th></tr>
<tr><td>0</td><td>0</td><td rowspan="2">TAUBTTINm 入力有効エッジを検出すると更新</td><td>TAUBTTINm 入力有効エッジを検出すると更新（クリアまたはセット）
●有効エッジを最後に検出してからカウンタオーバフローが発生している場合は、TAUBnCSRm.TAUBnOVF をセット
●有効エッジを最後に検出してからカウンタオーバフローが発生していない場合は、TAUBnCSRm.TAUBnOVF をクリア</td></tr>
<tr><td>0</td><td>1</td><td>カウンタオーバフロー時にセット、TAUBnCSCm.TAUBnCLOV=1 に設定することでクリア</td></tr>
<tr><td>1</td><td>0</td><td rowspan="2">TAUBTTINm 入力有効エッジ検出およびカウンタオーバフローの発生により更新
● TAUBTTINm 入力有効エッジ検出：カウンタ値が TAUBnCDRm に書き込まれる
●オーバフロー発生：FFFF_H が TAUBnCDRm にロードされる。次の TAUBTTINm 入力有効エッジ検出は無視される</td><td>設定なし</td></tr>
<tr><td>1</td><td>1</td><td>カウンタオーバフロー時にセット、TAUBnCSCm.TAUBnCLOV=1 に設定することでクリア</td></tr>
</table></td></tr>
<tr><td>5</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
</table>

表 31.33　TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
4～0	TAUBnMD[4:0]	動作モードを指定します。詳細は各機能の設定を参照ください。

TAUBn MD4	TAUBn MD3	TAUBn MD2	TAUBn MD1	TAUBn MD0	機能説明
0	0	0	0	1/0	インターバルタイマモード
0	0	0	1	1/0	ジャッジモード
0	0	1	0	1/0	キャプチャモード
0	0	1	1	0	イベントカウントモード
0	1	0	0	1/0	ワンカウントモード
0	1	0	1	1/0	設定禁止
0	1	1	0	0	キャプチャ&ワンカウントモード
0	1	1	1	1/0	ジャッジ&ワンカウントモード
1	0	0	0	0	設定禁止
1	0	0	1	0	アップ／ダウンカウントモード
1	0	1	0	1/0	パルスワンカウントモード
1	0	1	1	1/0	カウントキャプチャモード
1	1	0	0	0	ゲートカウントモード
1	1	0	1	0	キャプチャ&ゲートカウントモード

モード	TAUBnMD0 ビットの役割
インターバルタイマモード キャプチャモード カウントキャプチャモード	カウント動作開始時（スタートトリガ入力時）に、INTTAUBnIm 信号を出力するかどうかを指定します。 0：INTTAUBnIm を出力しない 1：INTTAUBnIm を出力する
イベントカウントモード アップ／ダウンカウントモード	このビットは“0”（カウント動作開始時に INTTAUBnIm 信号を出力しない）に設定してください。
ワンカウントモード パルスワンカウントモード	カウント中のスタートトリガ検出を許可／禁止します。 0：禁止 1：許可 **注意）** ● ワンカウントモードでは、カウント動作開始時に INTTAUBnIm 信号を出力しません。 ●パルスワンカウントモードでは、カウント動作開始時に INTTAUBnIm 信号を出力します。
ゲートカウントモード	このビットは“0”（カウント中のスタートトリガ検出を禁止）に設定してください。
キャプチャ&ワンカウントモード キャプチャ&ゲートカウントモード	このビットは“0”に設定してください。 **注意）** カウント動作開始時に INTTAUBnIm 信号を出力しません。 また、カウント動作中に検出されたスタートトリガは無効です。
ジャッジモード ジャッジ&ワンカウントモード	INTTAUBnIm の出力タイミングを指定します。 0：TAUBnCNTm≦TAUBnCDRm 時 1：TAUBnCNTm＞TAUBnCDRm 時

31.3.3.4　TAUBnCMURm — TAUBn チャネルモードユーザレジスタ

このレジスタは、TAUBTTINm 入力で使用される有効エッジ検出のタイプを指定します。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<TAUBn_base> + $C0_H$ + m × 4_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 31.34　TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7〜2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	TAUBTTINm 入力信号の有効エッジを指定します。

TAUBn TIS1	TAUBn TIS0	機能説明
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	両エッジ検出（ロウレベル幅測定選択） スタートトリガ : 立ち下がりエッジ ストップトリガ（キャプチャ） : 立ち上がりエッジ
1	1	両エッジ検出（ハイレベル幅測定選択） スタートトリガ : 立ち上がりエッジ ストップトリガ（キャプチャ） : 立ち下がりエッジ

- TAUBTTINm 入力信号のエッジ検出は、TAUBnCMORm.TAUBnCKS[1:0]で選択した動作クロックに基づいて行われます。

31.3.3.5　TAUBnCSRm — TAUBn チャネルステータスレジスタ

このレジスタは、チャネル m のカウンタのカウント方向とオーバフロー状態を示します。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<TAUBn_base> + 140_H + m × 4_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnCSF	TAUBnOVF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 31.35　TAUBnCSRm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。
1	TAUBnCSF	カウント方向を示します。 0：アップカウント 1：ダウンカウント このビットのリード値は、次のモード時にのみ有効です。 ● アップ／ダウンカウントモード
0	TAUBnOVF	カウンタオーバフロー状態を示します。 0：オーバフローが発生していない 1：オーバフローが発生 このビットは、次のモード時のみ使用します。 ● キャプチャモード ● キャプチャ＆ワンカウントモード このビットの機能は、制御ビット TAUBnCMORm.TAUBnCOS[1:0]の設定により異なります。

31.3.3.6　TAUBnCSCm — TAUBn チャネルステータスクリアトリガレジスタ

このレジスタは、チャネル m のオーバフローフラグ TAUBnCSRm.TAUBnOVF をクリアするためのトリガレジスタです。

アクセス　8 ビット単位でライトのみ可能です。リード値は常に 00_H です。

アドレス　<TAUBn_base> + 180_H + m × 4_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAUBnCLOV
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 31.36　TAUBnCSCm レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TAUBnCLOV	0：機能なし 1：オーバフローフラグ TAUBnCSRm.TAUBnOVF をクリア

31.3.3.7　TAUBnTS — TAUBn チャネルスタートトリガレジスタ

このレジスタは、各チャネルのカウンタ動作を許可します。

アクセス　16 ビット単位でライトのみ可能です。リード値は常に 0000_H です。

アドレス　<TAUBn_base> + $1C4_H$

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn TS15	TAUBn TS14	TAUBn TS13	TAUBn TS12	TAUBn TS11	TAUBn TS10	TAUBn TS09	TAUBn TS08	TAUBn TS07	TAUBn TS06	TAUBn TS05	TAUBn TS04	TAUBn TS03	TAUBn TS02	TAUBn TS01	TAUBn TS00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 31.37　TAUBnTS レジスタの内容

ビット位置	ビット名	機能
15～0	TAUBnTSm	チャネル m のカウンタ動作を許可します。 0：機能なし 1：カウンタ動作を許可し、TAUBnTE.TAUBnTEm＝1 を設定。 TAUBnTE.TAUBnTEm＝1 を設定しても、カウント動作が許可されるだけです。カウントが開始されるかどうかは、選択されている動作モードによって異なります。

31.3.3.8　TAUBnTE — TAUBn チャネル許可ステータスレジスタ

このレジスタは、カウンタ動作の許可／禁止を示します。

アクセス　16 ビット単位でリードのみ可能です。

アドレス　<TAUBn_base> + $1C0_H$

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn TE15	TAUBn TE14	TAUBn TE13	TAUBn TE12	TAUBn TE11	TAUBn TE10	TAUBn TE09	TAUBn TE08	TAUBn TE07	TAUBn TE06	TAUBn TE05	TAUBn TE04	TAUBn TE03	TAUBn TE02	TAUBn TE01	TAUBn TE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.38　TAUBnTE レジスタの内容

ビット位置	ビット名	機能
15～0	TAUBnTEm	チャネル m のカウンタ動作の許可／禁止を示します。 0：カウンタ動作禁止 1：カウンタ動作許可 TAUBnTS.TAUBnTSm を 1 にセットすると、このビットが 1 に設定されます。 TAUBnTT.TAUBnTTm を 1 にセットすると、このビットが 0 にリセットされます。

31.3.3.9　TAUBnTT — TAUBn チャネルストップトリガレジスタ

このレジスタは、各チャネルのカウンタ動作を停止します。

アクセス	16 ビット単位でライトのみ可能です。リード値は常に 0000_H です。
アドレス	<TAUBn_base> + $1C8_H$
リセット後の値	0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn TT15	TAUBn TT14	TAUBn TT13	TAUBn TT12	TAUBn TT11	TAUBn TT10	TAUBn TT09	TAUBn TT08	TAUBn TT07	TAUBn TT06	TAUBn TT05	TAUBn TT04	TAUBn TT03	TAUBn TT02	TAUBn TT01	TAUBn TT00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 31.39　TAUBnTT レジスタの内容

ビット位置	ビット名	機能
15～0	TAUBnTTm	チャネル m のカウンタ動作を停止します。 　0：機能なし 　1：カウンタ動作を停止し、TAUBnTE.TAUBnTEm をリセットします。 TAUBnCNTm、TAUBnTO.TAUBnTOm、TAUBTTOUTm は、カウント停止前の値を保持します。

31.3.4　TAUBn 一斉書き換えレジスタの詳細

31.3.4.1　TAUBnRDE ― TAUBn チャネルリロードデータ許可レジスタ

このレジスタは、データレジスタ TAUBnCDRm/TAUBnTOLm の一斉書き換えを許可／禁止します。

アクセス　16 ビット単位でリード／ライト可能です。TAUBnTE.TAUBnTEm＝0 のときのみ、ライト可能です。

アドレス　<TAUBn_base> + 260_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn RDE15	TAUBn RDE14	TAUBn RDE13	TAUBn RDE12	TAUBn RDE11	TAUBn RDE10	TAUBn RDE09	TAUBn RDE08	TAUBn RDE07	TAUBn RDE06	TAUBn RDE05	TAUBn RDE04	TAUBn RDE03	TAUBn RDE02	TAUBn RDE01	TAUBn RDE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.40　TAUBnRDE レジスタの内容

ビット位置	ビット名	機能
15～0	TAUBnRDEm	チャネル m のデータレジスタの一斉書き換えを許可／禁止します。 0：一斉書き換え禁止 1：一斉書き換え許可

31.3.4.2　TAUBnRDS ― TAUBn チャネルリロードデータ制御チャネル選択レジスタ

このレジスタは、一斉書き換えを制御するチャネルを選択します。

アクセス　16 ビット単位でリード／ライト可能です。TAUBnTE.TAUBnTEm＝0 のときのみ、ライト可能です。

アドレス　<TAUBn_base> + 268_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn RDS15	TAUBn RDS14	TAUBn RDS13	TAUBn RDS12	TAUBn RDS11	TAUBn RDS10	TAUBn RDS09	TAUBn RDS08	TAUBn RDS07	TAUBn RDS06	TAUBn RDS05	TAUBn RDS04	TAUBn RDS03	TAUBn RDS02	TAUBn RDS01	TAUBn RDS00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.41　TAUBnRDS レジスタの内容

ビット位置	ビット名	機能
15～0	TAUBnRDSm	一斉書き換えトリガを制御するチャネルを選択します。 0：マスタチャネル 1：別の上位チャネル

31.3.4.3　TAUBnRDM ― TAUBn チャネルリロードデータモードレジスタ

このレジスタは、一斉書き換え制御信号を発生させるタイミングを選択します。

アクセス　16 ビット単位でリード／ライト可能です。TAUBnTE.TAUBnTEm＝0 のときのみ、ライト可能です。

アドレス　<TAUBn_base> + 264_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn RDM15	TAUBn RDM14	TAUBn RDM13	TAUBn RDM12	TAUBn RDM11	TAUBn RDM10	TAUBn RDM09	TAUBn RDM08	TAUBn RDM07	TAUBn RDM06	TAUBn RDM05	TAUBn RDM04	TAUBn RDM03	TAUBn RDM02	TAUBn RDM01	TAUBn RDM00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.42　TAUBnRDM レジスタの内容

ビット位置	ビット名	機能
15～0	TAUBnRDMm	一斉書き換えトリガ信号を発生するタイミングを選択します。 0：マスタチャネルのカウンタがカウントを開始したとき 1：三角波周期の山 これらのビット設定は TAUBnRDE.TAUBnRDEm＝1、TAUBnRDS.TAUBnRDSm＝0 時のみ適用されます。

31.3.4.4　TAUBnRDC ― TAUBn チャネルリロードデータ制御レジスタ

このレジスタは、一斉書き換えをトリガする INTTAUBnIm 信号を生成するチャネルを指定します。

アクセス　16 ビット単位でリード／ライト可能です。TAUBnTE.TAUBnTEm＝0 のときのみ、ライト可能です。

アドレス　<TAUBn_base> + $26C_H$

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn RDC15	TAUBn RDC14	TAUBn RDC13	TAUBn RDC12	TAUBn RDC11	TAUBn RDC10	TAUBn RDC09	TAUBn RDC08	TAUBn RDC07	TAUBn RDC06	TAUBn RDC05	TAUBn RDC04	TAUBn RDC03	TAUBn RDC02	TAUBn RDC01	TAUBn RDC00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.43　TAUBnRDC レジスタの内容

ビット位置	ビット名	機能
15～0	TAUBnRDCm	チャネルが一斉書き換えトリガ信号を生成するか否かを指定します。 0：一斉書き換えトリガチャネルとならない。 1：一斉書き換えトリガチャネルとして動作する。 これらのビット設定は TAUBnRDE.TAUBnRDEm＝1、TAUBnRDS.TAUBnRDSm＝1 時のみ適用されます。

31.3.4.5 TAUBnRDT — TAUBn チャネルリロードデータトリガレジスタ

一斉書き換え許可状態をトリガするレジスタです。

アクセス	16 ビット単位でライトのみ可能です。リード値は常に 0000_H です。
アドレス	<TAUBn_base> + 044_H
リセット後の値	0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn RDT15	TAUBn RDT14	TAUBn RDT13	TAUBn RDT12	TAUBn RDT11	TAUBn RDT10	TAUBn RDT09	TAUBn RDT08	TAUBn RDT07	TAUBn RDT06	TAUBn RDT05	TAUBn RDT04	TAUBn RDT03	TAUBn RDT02	TAUBn RDT01	TAUBn RDT00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 31.44 TAUBnRDT レジスタの内容

ビット位置	ビット名	機能
15～0	TAUBnRDTm	一斉書き換え許可状態をトリガします。 0：機能なし。0 を書き込む操作は無視されます（動作に影響しません）。 1：一斉書き換え許可フラグ（TAUBnRSFm）を 1 とし、一斉書き換えトリガ待ち状態となります。 これらのビットの設定は、以下の場合にのみ適用されます。 ● TAUBnRDE.TAUBnRDEm＝1

31.3.4.6 TAUBnRSF — TAUBn チャネルリロードステータスレジスタ

このフラグレジスタは、一斉書き換えのステータスを示します。

アクセス	16 ビット単位でリードのみ可能です。
アドレス	<TAUBn_base> + 048_H
リセット後の値	0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn RSF15	TAUBn RSF14	TAUBn RSF13	TAUBn RSF12	TAUBn RSF11	TAUBn RSF10	TAUBn RSF09	TAUBn RSF08	TAUBn RSF07	TAUBn RSF06	TAUBn RSF05	TAUBn RSF04	TAUBn RSF03	TAUBn RSF02	TAUBn RSF01	TAUBn RSF00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 31.45 TAUBnRSF レジスタの内容

ビット位置	ビット名	機能
15～0	TAUBnRSFm	一斉書き換えの状態を示します。 0：一斉書き換えトリガの発生により、一斉書き換えが完了したことを示します。 1：一斉書き換え許可状態（TAUBnRDTm＝1）で、一斉書き換えのトリガ待ちを示します。

31.3.5　TAUBn 出力レジスタの詳細

31.3.5.1　TAUBnTOE — TAUBn チャネル出力許可レジスタ

このレジスタは、ソフトウェア制御のチャネル単体出力モードを許可／禁止します。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<TAUBn_base> + $5C_H$

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn TOE15	TAUBn TOE14	TAUBn TOE13	TAUBn TOE12	TAUBn TOE11	TAUBn TOE10	TAUBn TOE09	TAUBn TOE08	TAUBn TOE07	TAUBn TOE06	TAUBn TOE05	TAUBn TOE04	TAUBn TOE03	TAUBn TOE02	TAUBn TOE01	TAUBn TOE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.46　TAUBnTOE レジスタの内容

ビット位置	ビット名	機能
15～0	TAUBnTOEm	チャネル単体出力機能を許可／禁止します。 0：タイマ単体出力機能を禁止（ソフトウェア制御） 1：タイマ単体出力機能を許可

31.3.5.2　TAUBnTO — TAUBn チャネル出力レジスタ

このレジスタは、TAUBTTOUTm レベルを指定およびリードします。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<TAUBn_base> + 58_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn TO15	TAUBn TO14	TAUBn TO13	TAUBn TO12	TAUBn TO11	TAUBn TO10	TAUBn TO09	TAUBn TO08	TAUBn TO07	TAUBn TO06	TAUBn TO05	TAUBn TO04	TAUBn TO03	TAUBn TO02	TAUBn TO01	TAUBn TO00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.47　TAUBnTO レジスタの内容

ビット位置	ビット名	機能
15～0	TAUBnTOm	このレジスタは、TAUBTTOUTm レベルを指定およびリードします。 0：ロウレベル 1：ハイレベル チャネル単体出力機能が禁止されている（TAUBnTOEm＝0）TAUBnTOm ビットのみライト可能です。

31.3.5.3　TAUBnTOM ― TAUBn チャネル出力モードレジスタ

このレジスタは、各チャネルの出力モードを指定します。

アクセス　16 ビット単位でリード／ライト可能です。カウンタ停止中（TAUBnTE.TAUBnTEm＝0）のときのみ、ライト可能です。

アドレス　<TAUBn_base> + 248_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn TOM15	TAUBn TOM14	TAUBn TOM13	TAUBn TOM12	TAUBn TOM11	TAUBn TOM10	TAUBn TOM09	TAUBn TOM08	TAUBn TOM07	TAUBn TOM06	TAUBn TOM05	TAUBn TOM04	TAUBn TOM03	TAUBn TOM02	TAUBn TOM01	TAUBn TOM00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.48　TAUBnTOM レジスタの内容

ビット位置	ビット名	機能
15～0	TAUBnTOMm	出力モードを指定します。 0：チャネル単体動作 1：チャネル連動動作

31.3.5.4 TAUBnTOC — TAUBn チャネル出力コンフィグレーションレジスタ

このレジスタは、TAUBnTOMm とともに各チャネルの出力モードを指定します。

アクセス 16 ビット単位でリード／ライト可能です。カウンタ停止中（TAUBnTE.TAUBnTEm＝0）のときのみ、ライト可能です。

アドレス <TAUBn_base> + $24C_H$

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn TOC15	TAUBn TOC14	TAUBn TOC13	TAUBn TOC12	TAUBn TOC11	TAUBn TOC10	TAUBn TOC09	TAUBn TOC08	TAUBn TOC07	TAUBn TOC06	TAUBn TOC05	TAUBn TOC04	TAUBn TOC03	TAUBn TOC02	TAUBn TOC01	TAUBn TOC00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.49 TAUBnTOC レジスタの内容

ビット位置	ビット名	機能
15〜0	TAUBnTOCm	出力モードを指定します。 0：動作モード 1 1：動作モード 2 次の表にあるように、出力モードは TAUBnTOM.TAUBnTOMm の設定によっても異なります。

TOMm	TOCm	機能説明
0	0	トグルモード：INTTAUBnIm 発生時にトグル動作が行われます。
	1	セット／リセットモード：カウント開始時の INTTAUBnIm 発生時にセットされ、TAUBnCNTm、TAUBnCDRm の一致の検出による INTTAUBnIm 発生時にリセットされます。
1	0	チャネル連動動作モード 1：マスタチャネルで INT が発生するとセット、スレーブチャネルで INT が発生するとリセットされます。
	1	チャネル連動動作モード 2：ダウンカウント状態で INTTAUBnIm が発生するとセット、アップカウント状態で INTTAUBnIm が発生するとリセットされます。

31.3.5.5　TAUBnTOL — TAUBn チャネル出力アクティブレベルレジスタ

このレジスタは、チャネル出力ビット（TAUBnTO.TAUBnTOm）の出力論理を指定します。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<TAUBn_base> + 040H

リセット後の値　0000H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn TOL15	TAUBn TOL14	TAUBn TOL13	TAUBn TOL12	TAUBn TOL11	TAUBn TOL10	TAUBn TOL09	TAUBn TOL08	TAUBn TOL07	TAUBn TOL06	TAUBn TOL05	TAUBn TOL04	TAUBn TOL03	TAUBn TOL02	TAUBn TOL01	TAUBn TOL00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.50　TAUBnTOL レジスタの内容

ビット位置	ビット名	機能
15～0	TAUBnTOLm	チャネル m 出力ビット（TAUBnTO.TAUBnTOm）の出力論理を指定します。 0：正論理（アクティブハイ） 1：負論理（アクティブロウ） これらのビット設定は、ソフトウェア制御のチャネル単体出力モードおよびチャネル単体出力モード 1 以外のすべてのチャネル出力モードに適用されます。

31.3.6　TAUBn のデッドタイム出力レジスタの詳細

31.3.6.1　TAUBnTDE — TAUBn チャネルデッドタイム出力許可レジスタ

このレジスタは、全チャネルのデッドタイム動作を許可／禁止します。

アクセス　16 ビット単位でリード／ライト可能です。カウンタ停止中（TAUBnTE.TAUBnTEm＝0）のときのみ、ライト可能です。

アドレス　<TAUBn_base> + 250H

リセット後の値　0000H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn TDE15	TAUBn TDE14	TAUBn TDE13	TAUBn TDE12	TAUBn TDE11	TAUBn TDE10	TAUBn TDE09	TAUBn TDE08	TAUBn TDE07	TAUBn TDE06	TAUBn TDE05	TAUBn TDE04	TAUBn TDE03	TAUBn TDE02	TAUBn TDE01	TAUBn TDE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.51　TAUBnTDE レジスタの内容

ビット位置	ビット名	機能
15～0	TAUBnTDEm	チャネル m のデッドタイム制御動作を許可／禁止します。 0：デッドタイム動作禁止 1：デッドタイム動作許可 対になった偶数／奇数スレーブチャネルには同じ設定をする必要があります。 ● これらのビットの設定は、以下の場合にのみ適用されます。 TAUBnTOE.TAUBnTOEm, TAUBnTOM.TAUBnTOMm, TAUBnTOC.TAUBnTOCm＝1

31.3.6.2　TAUBnTDL ― TAUBn チャネルデッドタイム出力レベルレジスタ

このレジスタは、デッドタイムを付加する位相を選択します。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<TAUBn_base> + 54_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBn TDL15	TAUBn TDL14	TAUBn TDL13	TAUBn TDL12	TAUBn TDL11	TAUBn TDL10	TAUBn TDL09	TAUBn TDL08	TAUBn TDL07	TAUBn TDL06	TAUBn TDL05	TAUBn TDL04	TAUBn TDL03	TAUBn TDL02	TAUBn TDL01	TAUBn TDL00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 31.52　TAUBnTDL レジスタの内容

ビット位置	ビット名	機能
15～0	TAUBnTDLm	デッドタイムを付加する位相を選択します。 0：正相 1：逆相 これらのビットの設定は、以下の場合にのみ適用されます。 ● TAUBnTOE.TAUBnTOEm, TAUBnTOM.TAUBnTOMm, TAUBnTOC.TAUBnTOCm, TAUBnTDE.TAUBnTDEm＝1

31.3.7 TAUBn エミュレーションレジスタ

31.3.7.1 TAUBnEMU ― TAUBn エミュレーションレジスタ

このレジスタは SVSTOP による動作を制御します。

アクセス　8 ビット単位でリード／ライト可能です。
カウンタ停止中（TAUBnTE.TAUBnTEm＝0）、かつ（EPC.SVSTOP＝0）のときにライト動作を行ってください。

アドレス　<TAUBn_base> + 290_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	TAUBnSVSDIS	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R

表 31.53　TAUBnEMU レジスタの内容

ビット位置	ビット名	機能
7	TAUBnSVSDIS	（EPC.SVSTOP ビット＝0 のとき） 本ビットの値(1/0)にかかわらず、デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを継続供給 （EPC.SVSTOP ビット＝1 のとき） 0：デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを停止 1：デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを継続供給
6〜0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

31.4　操作手順

TAUBn の基本操作手順を次に示します。

リセット解除後、各チャネルの動作は停止します。クロックの供給が開始され、各レジスタへの書き込みが可能になります。全チャネルの全回路およびレジスタが初期化されます。TAUBTTOUTm の制御レジスタも初期化され、ロウレベルを出力します。

1. TAUBnTPS レジスタを設定して CK0-CK3 のクロック周波数を指定してください。
2. 任意の TAUBn 機能を設定してください。
   - 動作モードを設定してください。
   - チャネル出力モードを設定してください。
   - その他の制御ビットを設定してください。
3. TAUBnTS.TAUBnTSm ビットを 1 に設定してカウンタ動作を許可してください。
   カウンタは、ビット設定によって、ただちに、または適切なトリガが検出されたときにカウントを開始します。
4. カウント動作中、設定した機能に応じてカウントの停止や強制リスタートを行ってください。カウントの停止は TAUBnTT.TAUBnTTm ビットを 1 に設定してください。強制リスタートは TAUBnTS.TAUBnTSm ビットを 1 に設定してください。
5. TAUBnTT.TAUBnTTm ビットを 1 に設定して機能を停止してください。

備　考

- 必要な制御ビットと各機能の動作の詳細は、下記を参照してください。
  - **「31.12　チャネル単体動作機能」**
  - **「31.14　チャネル連動動作機能」**
- 機能を変更する場合は、カウント停止中（TAUBnTE.TAUBnTEm＝0）に行ってください。

31.5　チャネル連動動作機能の概念

チャネル連動動作機能は、チャネルグループ（マスタチャネルとスレーブチャネルで構成されます）を組み合わせて実現する機能です。

チャネルの設定には、いくつかのルールがあります。

ルールの詳細は、「**31.5.1 チャネル連動動作機能のルール**」に示します。

チャネル連動動作の 2 つの特殊な機能の詳細を次の節で説明します。

- 「**31.5.2 連動チャネルカウンタの同時動作開始／停止**」
- 「**31.6 一斉書き換え**」

31.5.1　チャネル連動動作機能のルール

マスタおよびスレーブチャネル数

- マスタチャネルには、偶数チャネル（CH0、CH2、CH4、…）のみ設定できます。スレーブチャネルには、CH0 を除くすべてのチャネルを設定できます。
- マスタチャネルより下位のチャネルのみスレーブチャネルとして設定でき、1 つのマスタチャネルに対し複数のスレーブチャネルを設定できます。
  例：CH2 がマスタチャネルの場合、CH3 以下（CH3、CH4、CH5、…）をスレーブチャネルに設定できます。
- マスタチャネルを複数使用する場合、マスタチャネルを跨いだスレーブチャネルの設定はできません。
  例：CH0、CH4 がマスタチャネルの場合、CH0 に対して CH1-CH3 までをスレーブチャネルとして設定できますが、CH5-CH15 は設定できません。

動作クロック

- マスタチャネルと連動するスレーブチャネルには同じ動作クロックを設定する必要があります。マスタチャネルとスレーブチャネルの TAUBnCMORm.TAUBnCKS[1:0]ビットの設定値を同じ設定値にしてください。

マスタおよびスレーブチャネルの使用と動作クロックの基本的な概念を「**図 31.4 チャネルのグループ化と動作クロックの割り当て**」に示します。

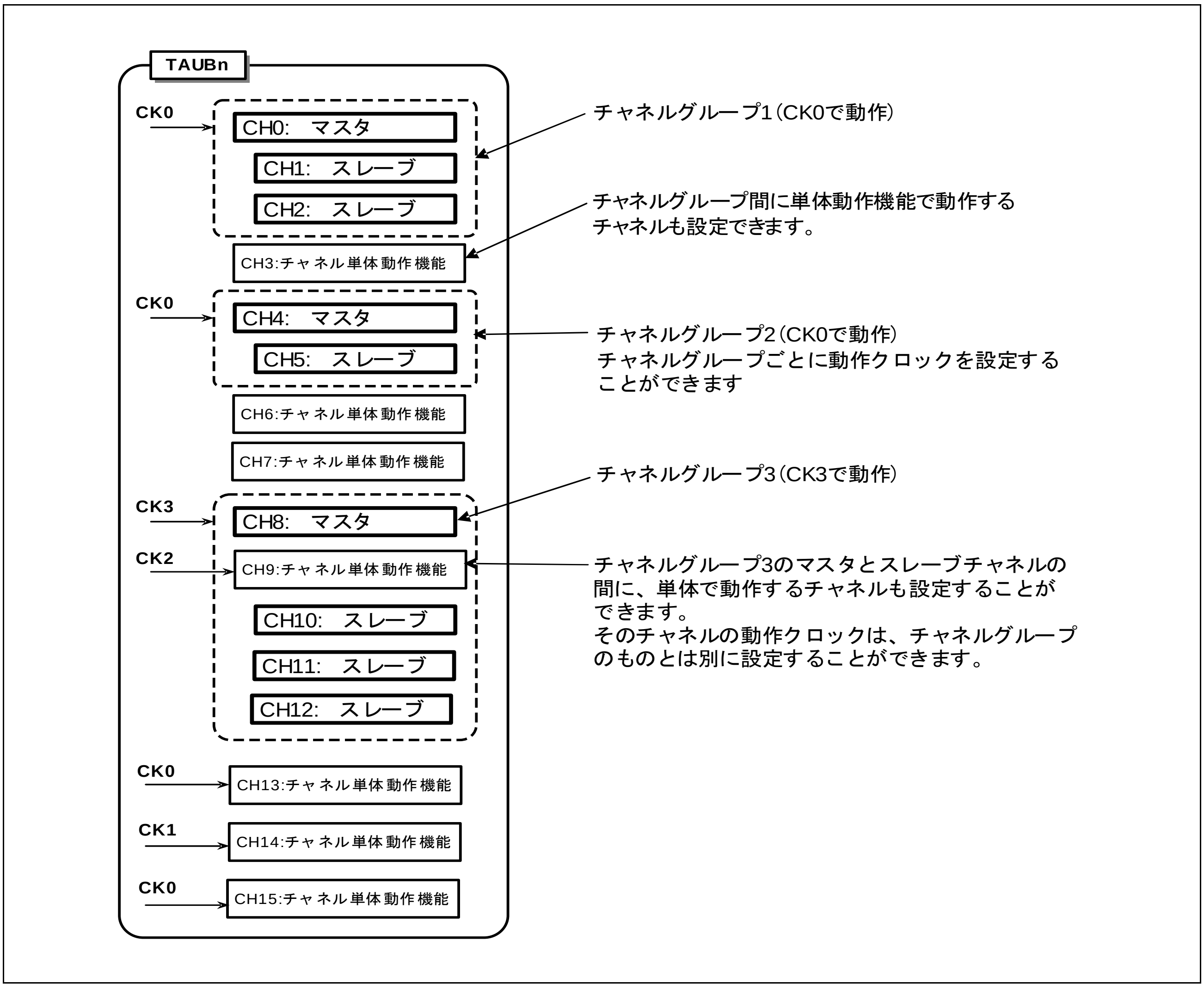


図 31.4　　チャネルのグループ化と動作クロックの割り当て

31.5.2 連動チャネルカウンタの同時動作開始／停止

連動するチャネルは、同じユニット内で同時に開始／停止することができます。

31.5.2.1 ユニット内の連動チャネルカウンタの同時動作開始／停止

- 連動するチャネルを同時に開始させるためには、それらの TAUBnTS.TAUBnTSm ビットを同時に設定する必要があります。
- 連動するチャネルを同時に停止させるためには、それらの TAUBnTT.TAUBnTTm ビットを同時に設定する必要があります。

TAUBnTS.TAUBnTSm ビットに 1 を設定することにより、対応する TAUBnTE.TAUBnTEm ビットが 1 にセットされ、カウント動作を許可します。カウンタのカウント開始タイミングは、動作モードに依存します。

31.6　一斉書き換え

31.6.1　動作概要

一斉書き換えとは、複数チャネルのコンペア／スタート値と出力論理を一斉に書き換えることを指します。

対応するデータと制御レジスタ（TAUBnCDRm、TAUBnTOLm）は常に書き換えることができます。新しい値は、一斉書き換えがトリガされるまでカウンタ動作または出力信号に影響しません。

一斉書き換えは、次の場合にトリガされます。

- マスタチャネルまたは上位チャネル（動作モードによって異なる）のカウンタが特定の値に達した場合
- TAUBnRDC.TAUBnRDCm で指定された上位チャネルにて INTTAUBnIm が発生した場合

一斉書き換えは 3 つの方法で行えます。一斉書き換え方法の指定と、これらの方法で一斉書き換えがトリガされるタイミングを次の表に示します。

表 31.54　一斉書き換え方法とトリガタイミング

方式	トリガ	TAUBnRDE.TAUBnRDEm	TAUBnRDS.TAUBnRDSm	TAUBnRDM.TAUBnRDMm
—	一斉書き換えが行われない場合	0	0	0
A	マスタチャネルがカウントを再開／開始した場合	1	0	0
B	マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の[山]のタイミングでダウンカウントを開始した場合	1	0	1
C1	TAUBnRDC.TAUBnRDCm で指定した上位チャネルにて INTTAUBnIm が発生した場合	1	1	0/1

3 つの方法のうち、各チャネル動作機能で使用できる方法を次の表に示します。各チャネル動作機能の詳細は、「**31.13 チャネル単体一斉書き換え機能**」と「**31.14 チャネル連動動作機能**」を参照してください。

表 31.55　チャネル機能と一斉書き換え方法

説明	A	B	C1	TAUBnTOL.TAUBnTOLm
一斉書き換えトリガ出力機能タイプ 1			○	
PWM 出力機能	○		○	○
ワンショットパルス出力機能	○			
ディレイパルス出力機能	○			
三角波 PWM 出力機能		○	○	○
デッドタイム付き三角波 PWM 出力機能		○	○	
A/D 変換トリガ出力機能タイプ 1	○		○	
A/D 変換トリガ出力機能タイプ 2		○	○	

備考　○：使用可能／（空欄）：使用不可

31.6.2 一斉書き換えの制御方法

一斉書き換え機能を使用する場合の基本手順を次に示します。

3 つの主なブロック（初期設定、カウント開始&カウント動作、一斉書き換え）は後述します。

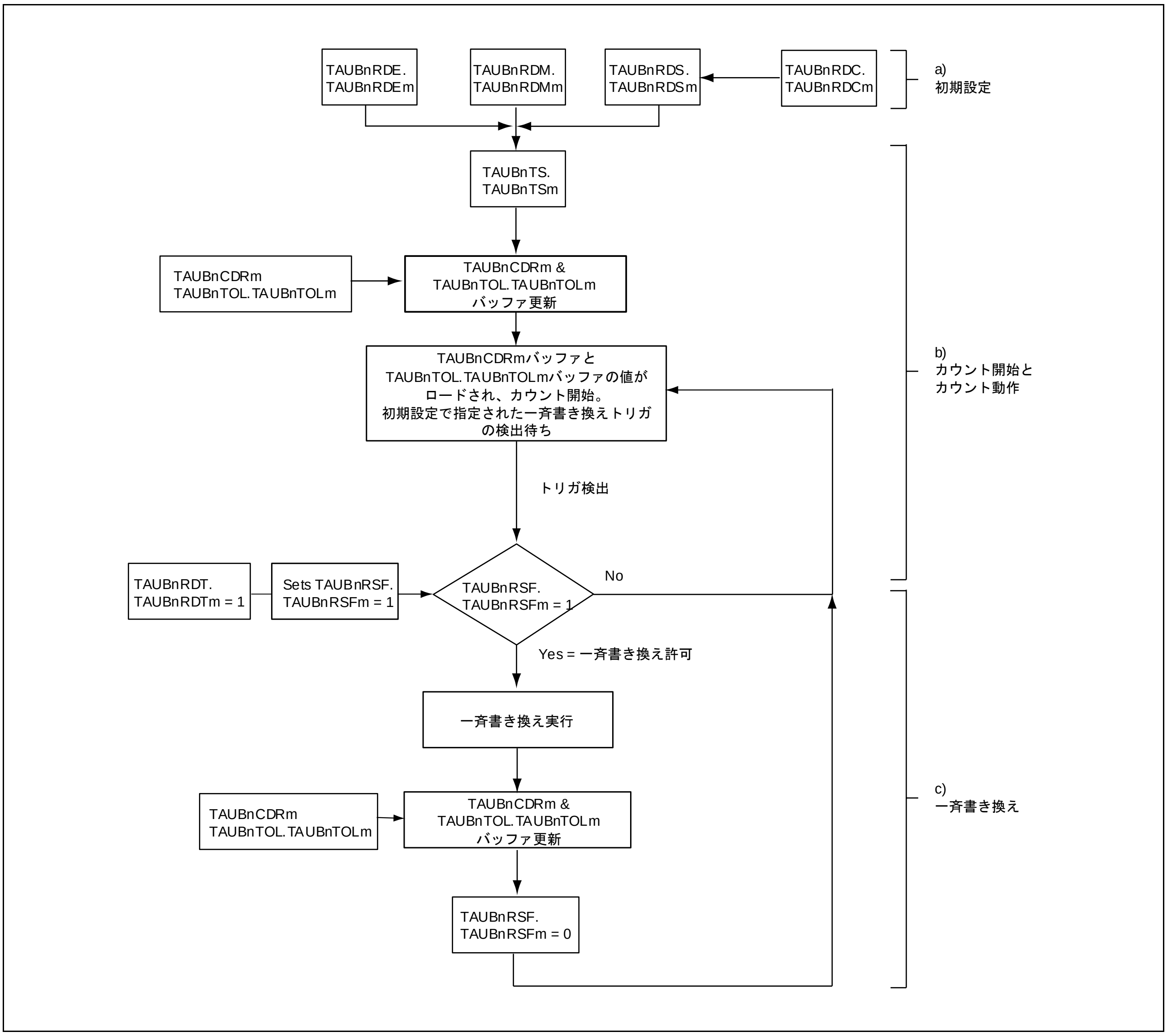


図 31.5 一斉書き換えの基本手順

31.6.2.1　初期設定

- チャネル m にて一斉書き換えを許可するには、TAUBnRDE.TAUBnRDEm＝1 を設定してください。
- 一斉書き換えの種類を選ぶには、TAUBnRDM.TAUBnRDMm と TAUBnRDS.TAUBnRDSm を「**表 31.47 一斉書き換え方法とトリガタイミング**」に示す値に設定してください。
- TAUBnRDC.TAUBnRDCm で、一斉書き換えトリガ生成チャネルを指定してください（前提：上位チャネルに TAUBnRDS.TAUBnRDSm が設定されている）。

31.6.2.2　カウント開始とカウント動作

- チャネルグループに属するすべての TAUBnCNTm カウンタ動作を開始するには、対応する TAUBnTS.TAUBnTSm ビットを 1 に設定してください。TAUBnTOL.TAUBnTOLm とデータレジスタ（TAUBnCDRm）の値は、対応する TAUBnTOL.TAUBnTOLm バッファ（TAUBnTOL.TAUBnTOLm buf）とデータバッファレジスタ（TAUBnCDRm buf）にロードされ、カウンタはカウントを開始します。
- リロードデータトリガビット（TAUBnRDT.TAUBnRDTm）を 1 に設定することにより、リロードフラグ（TAUBnRSF.TAUBnRSFm）が 1 に設定され、一斉書き換えが許可されます。TAUBnRSF.TAUBnRSFm は一斉書き換えが完了するまで 1 のままです。
- 一斉書き換え用に指定されたトリガが検出されると、一斉書き換えが許可（TAUBnRSF.TAUBnRSFm＝1）されているかを確認するために TAUBnRSF.TAUBnRSFm ビットがチェックされます。一斉書き換えが許可されている場合、一斉書き換えが行われます。許可されていない場合、一斉書き換えは行われず、次の一斉書き換えトリガ検出待ちになります。

31.6.2.3　一斉書き換え

- 一斉書き換えが許可（TAUBnRSF.TAUBnRSFm＝1）され、一斉書き換えトリガが検出されると、データレジスタの現在値がバッファにコピーされます。これらの値は、対応するカウンタにロードされ、カウンタがカウントを開始／再開するときに適用されます。
- 一斉書き換えが完了すると、TAUBnRSF.TAUBnRSFm ビットは 0 に設定され、システムは次の一斉書き換えトリガを待ちます。

31.6.3 一斉書き換えのその他の基本ルール

次のルールも適用されます。

- カウンタ動作中（TAUBnTE.TAUBnTEm＝1）は、TAUBnRDE.TAUBnRDEm、TAUBnRDS.TAUBnRDSm、TAUBnRDM.TAUBnRDMm、TAUBnRDC.TAUBnRDCm を変更することはできません。
- PWM 出力機能または三角波 PWM 出力機能は、動作している場合でも TAUBnTOL.TAUBnTOLm を書き換えることができます。ほかの機能は、動作を開始する前に TAUBnTOL.TAUBnTOLm を書き換える必要があります。ほかの機能で動作しているときに書き換えた場合、TAUBTTOUTm は不正な値を出力します。
- 上位チャネルで一斉書き換えトリガを発行した場合（TAUBnRDS.TAUBnRDSm＝1）、すべての下位チャネルは TAUBnRDC.TAUBnRDCm ビットに制御されます。つまり、CH2 と CH7 の TAUBnRDC.TAUBnRDCm ビットを 1 に設定し、ほかのチャネルの TAUBnRDC.TAUBnRDCm ビットを 0 に設定した場合、CH2 と CH7 が一斉書き換えトリガ生成チャネルとなります。CH2 は、下位チャネル CH3-CH6 を制御し、CH7 は、下位チャネル CH8-CH15 を制御します。
- 一斉書き換えを許可し、ある上位チャネルを一斉書き換えトリガ生成チャネルとして選択（TAUBnRDE.TAUBnRDEm、TAUBnRDS.TAUBnRDSm＝1）したにもかかわらず、上位チャネルを設定していない場合（TAUBnRDC.TAUBnRDC[15:0]＝0）、一斉書き換えは行いません。

31.6.4　一斉書き換えの種類

次に、タイミング図を使用して 3 つの一斉書き換え方法を説明します。

31.6.4.1　マスタチャネルがカウントを再開／開始した場合の一斉書き換え（方法 A）

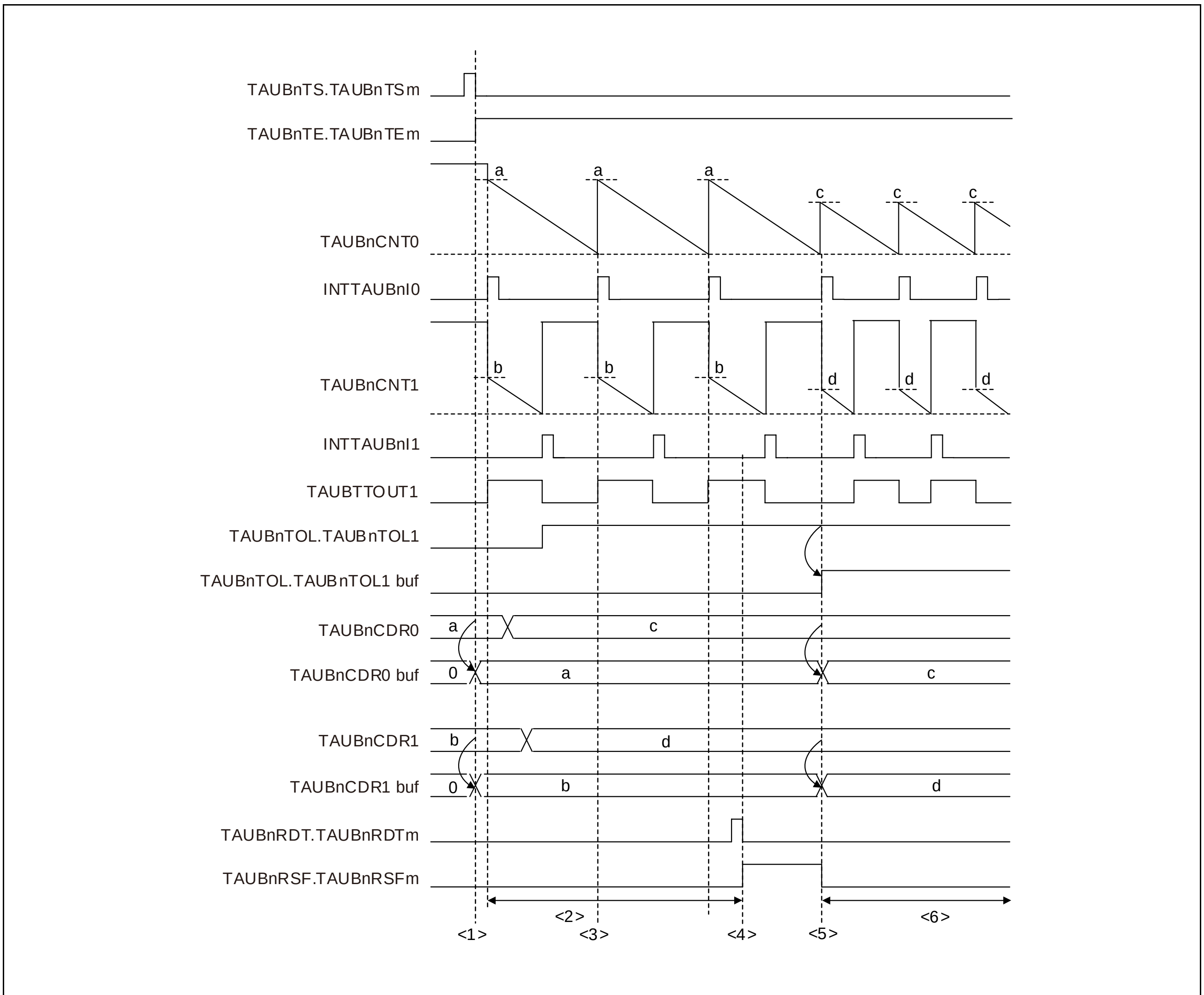


図 31.6　マスタチャネルがカウントを再開／開始した場合の一斉書き換え

設定

CH0 は、ダウンカウントを行うマスタチャネルです。CH1 は、任意のスレーブチャネルです。一斉書き換え方法 A が適用されます。

説明

(1) TAUBnTS.TAUBnTSm＝1 に設定すると、TAUBnCDRm の値が TAUBnCDRm バッファに、TAUBnTOL.TAUBnTOLm の値が TAUBnTOL.TAUBnTOLm バッファにコピーされます。

(2) TAUBnCDRm と TAUBnTOL.TAUBnTOLm レジスタは常に書き込めます。

(3) CH0 はカウントを再開しますが、一斉書き換えは許可されていないため行われません（TAUBnRSF.TAUBnRSFm＝0）。

(4) リロードデータトリガビット（TAUBnRDT.TAUBnRDTm）を“1”に設定することにより、ステータスフラグが設定され（TAUBnRSF.TAUBnRSFm＝1）、一斉書き換えが許可されます。

(5) 一斉書き換えが許可されているため、CH0 のカウント再開時に一斉書き換えが発生します。TAUBnCDRm の値は TAUBnCDRm バッファに、TAUBnTOL.TAUBnTOLm の値は TAUBnTOL.TAUBnTOLm バッファにロードされます。

(6) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUBnCDRm と TAUBnTOL.TAUBnTOLm の値は再変更できます。

31.6.4.2 スレーブチャネルの三角波の[山]のタイミングで一斉書き換え（方法 B）

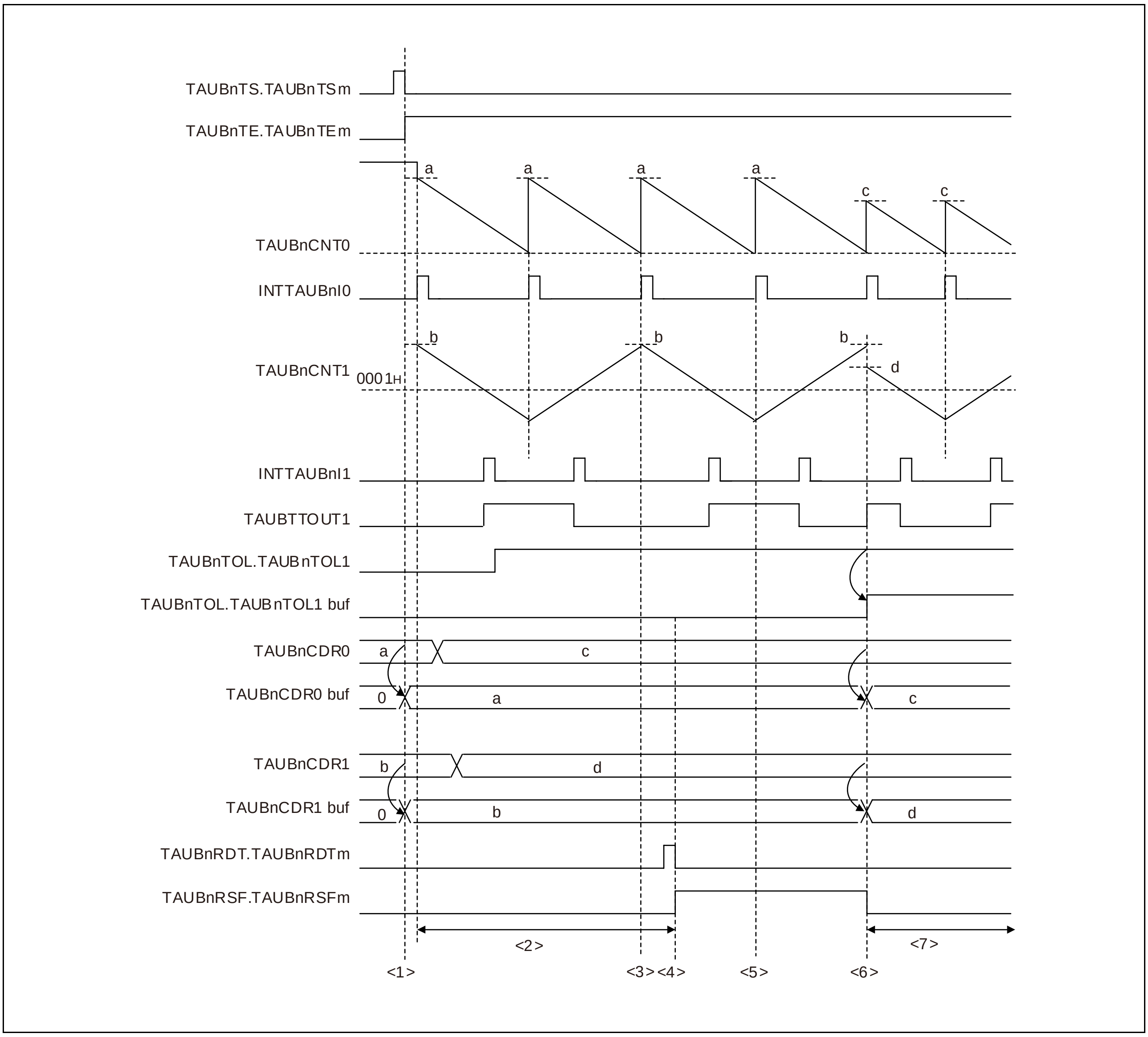


図 31.7 スレーブチャネルの三角波の[山]のタイミングで一斉書き換え

設定

CH0 は、ダウンカウントを行うマスタチャネルです。CH1 は、任意のスレーブチャネルです。一斉書き換え方法 B が適用されます。

説明

(1) TAUBnTS.TAUBnTSm＝1 に設定すると、TAUBnCDRm の値が TAUBnCDRm バッファにコピーされます。

(2) TAUBnCDRm と TAUBnTOL レジスタは常に書き込めます。

(3) 一斉書き換えは許可されていないため行われません（TAUBnRSF.TAUBnRSFm＝0）。

(4) リロードデータトリガビット（TAUBnRDT.TAUBnRDTm）を“1”に設定することにより、ステータスフラグが設定され（TAUBnRSF.TAUBnRSFm＝1）、一斉書き換えが許可されます。

(5) 一斉書き換えは、三角波周期の[谷]のタイミングでは発生しません。

(6) 一斉書き換えは、三角波周期の[山]のスタートタイミングで行われます。TAUBnCDRm の値は TAUBnCDRm バッファに、TAUBnTOL.TAUBnTOLm の値は TAUBnTOL.TAUBnTOLm バッファにロードされます。

(7) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUBnCDRm と TAUBnTOL.TAUBnTOLm の値は再変更できます。

31.6.4.3　TAUBnRDC.TAUBnRDCm で指定した上位チャネルにて INTTAUBnIm が発生した場合の一斉書き換え（方法 C1）

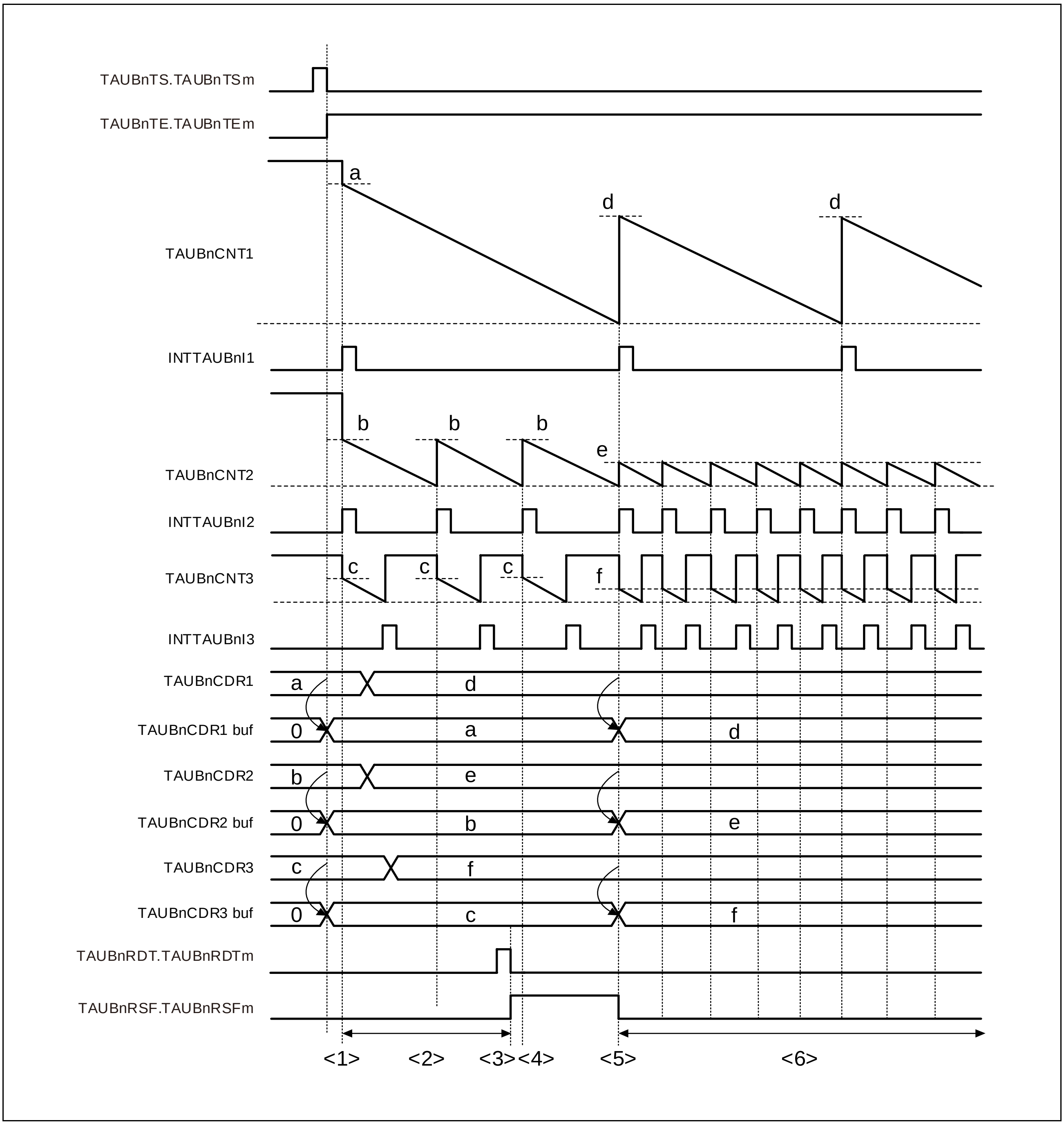


図 31.8　TAUBnRDC.TAUBnRDCm で指定した上位チャネルにて INTTAUBnIm が発生した場合の一斉書き換え

設定

CH1 は、ダウンカウントを行う上位チャネルです。CH2 は、マスタチャネルです。CH3 は、スレーブチャネルです。一斉書き換え方法 C1 が適用されます。TAUBnRDC レジスタで、一斉書き換えトリガ生成チャネルを指定します。

説明

(1) TAUBnTS.TAUBnTSm＝1 に設定すると、TAUBnCDRm の値が TAUBnCDRm バッファにコピーされます。

(2) TAUBnCDRm レジスタは常に書き込めます。

(3) リロードデータトリガビット（TAUBnRDT.TAUBnRDTm）を 1 に設定することにより、ステータスフラグが設定され（TAUBnRSF.TAUBnRSFm＝1）、一斉書き換えが許可されます。

(4) 一斉書き換えは、CH1 の割り込みのみによってトリガされるため、許可されていても行われません。

(5) 一斉書き換えは、カウンタ 1 が 0000_H に達したときに発生する INT1 をトリガとして行われます。TAUBnCDRm の値は対応する TAUBnCDRm バッファにロードされます。

(6) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUBnCDRm レジスタの値は再変更できます。

31.7　チャネル出力モード

TAUBTTOUTm 端子の出力は、2 つの方法で制御することができ、2 つ目の方法はさらに個別のモードに分かれています。

- ソフトウェアによる制御（TAUBnTOE.TAUBnTOEm＝0）

  ソフトウェアで制御した場合、出力レジスタビット（TAUBnTO.TAUBnTOm）に書き込んだ値は、出力端子（TAUBTTOUTm）に転送されます。

- TAUB 信号による制御（TAUBnTOE.TAUBnTOEm＝1）

  TAUB 信号で制御した場合、TAUBTTOUTm の出力レベルはセット／リセット、または内部信号によりトグルされます。これに応じて、TAUBTTOUTm の値を反映するために、TAUBnTO.TAUBnTOm の値は更新されます。

  - 単体制御（TAUBnTOM.TAUBnTOMm＝0）
    単体動作の場合、TAUBTTOUTm 端子の出力はチャネル m の設定のみの影響を受けます。したがって、チャネル単体動作を指定（TAUBnTOM.TAUBnTOMm＝0）する必要があります。

  - 連動制御（TAUBnTOM.TAUBnTOMm＝1）
    連動動作の場合、TAUBTTOUTm 端子の出力は、チャネル m とその他のチャネルの設定の影響を受けます。したがって、すべての連動するチャネルに対してチャネル連動動作を指定する必要があります（TAUBnTOM.TAUBnTOMm＝1）。

TAUBnTO.TAUBnTOm ビットは常にリードすることができ、端子がソフトウェアで制御されている、単体動作している、または連動動作しているにかかわらず、TAUBTTOUTm の現在の値を確認することができます。

制御ビット

特定のチャネル出力モードを選択するために必要な制御ビットの設定は、「**表 31.56 チャネル出力モード**」に示します。
チャネル出力モードの詳細は次の節を参照してください。

- 「**31.7.2 TAUBn 信号により単体制御されるチャネル出力モード**」
- 「**31.7.3 TAUBn 信号により連動制御されるチャネル出力モード**」

TAUBnTOm ビットの一括操作

TAUBnTOm ビットへの設定値の反映／非反映は、TAUBnTOE.TAUBnTOEm ビットにより制御されます。
TAUBnTO レジスタにライトした時に、TAUBnTOE.TAUBnTOEm ビット＝0 を設定したビット（チャネル）にのみ、TAUBnTOm の設定値の書き込みが行われます。TAUBnTOE.TAUBnTOEm ビット＝1 を設定したビット（チャネル）は、TAUBnTOm の設定値は反映されません。

備　考

TAUBnTO.TAUBnTOm ビットは、ビット番号とチャネル番号が対応して配置しています。

出力論理

出力の正論理または負論理は、制御ビット TAUBnTOL.TAUBnTOLm で指定します。
TAUBnTOL.TAUBnTOLm ビット値はカウンタ動作開始前に設定する必要があります。このビットを動作中に書き換えられるのは、PWM 出力機能または三角波 PWM 出力機能時のみです。カウンタ動作開始後に TAUBnTOL.TAUBnTOLm を変更すると、TAUBTTOUTm 信号の出力は不定になります。
「**31.6 一斉書き換え**」を参照してください。

各種チャネル出力モードとチャネル出力制御ビットを「**表 31.56 チャネル出力モード**」に示します。

表 31.56　チャネル出力モード

<table>
<tr><th>チャネル出力モード</th><th>TAUBnTOE.
TAUBnTOEm</th><th>TAUBnTOM.
TAUBnTOMm</th><th>TAUBnTOC.
TAUBnTOCm</th><th>TAUBnTDE.
TAUBnTDEm</th></tr>
<tr><td colspan="5">ソフトウェア制御</td></tr>
<tr><td>ソフトウェア制御のチャネル単体出力モード</td><td>0</td><td colspan="3">x</td></tr>
<tr><td colspan="5">TAUB 信号による単体動作制御</td></tr>
<tr><td>チャネル単体出力モード 1</td><td rowspan="2">1</td><td rowspan="2">0</td><td>0</td><td rowspan="2">0</td></tr>
<tr><td>チャネル単体出力モード 2</td><td>1</td></tr>
<tr><td colspan="5">TAUB 信号による連動動作制御</td></tr>
<tr><td>チャネル連動出力モード 1</td><td rowspan="3">1</td><td rowspan="3">1</td><td>0</td><td>0</td></tr>
<tr><td>チャネル連動出力モード 2</td><td rowspan="2">1</td><td>0</td></tr>
<tr><td>デッドタイム出力を行うチャネル連動出力モード 2</td><td>1</td></tr>
</table>

- 表に記述のない組み合わせは禁止です。
- “x”が記されているビットは、任意の値を設定できます。

備　考

次のビットは、カウント動作中（TAUBnTE.TAUBnTEm＝1）は変更できません。

- TAUBnTOM.TAUBnTOMm
- TAUBnTOC.TAUBnTOCm
- TAUBnTDE.TAUBnTDEm

31.7.1 チャネル出力モードを指定するための基本手順

TAUBTTOUTm チャネル出力モードを指定するための基本手順を次に説明します。タイマ出力動作が禁止されていることが前提になります（TAUBnTOE.TAUBnTOEm＝0）。

(1) TAUBnTO.TAUBnTOm を設定して TAUBTTOUTm 出力の初期レベルを指定してください。

(2) 「**表 31.56 チャネル出力モード**」を参照してチャネル出力モードを設定し、TAUBnTOL.TAUBnTOLm ビットで出力論理を設定してください。

(3) カウンタのカウントを開始してください（TAUBnTS.TAUBnTSm＝1）。

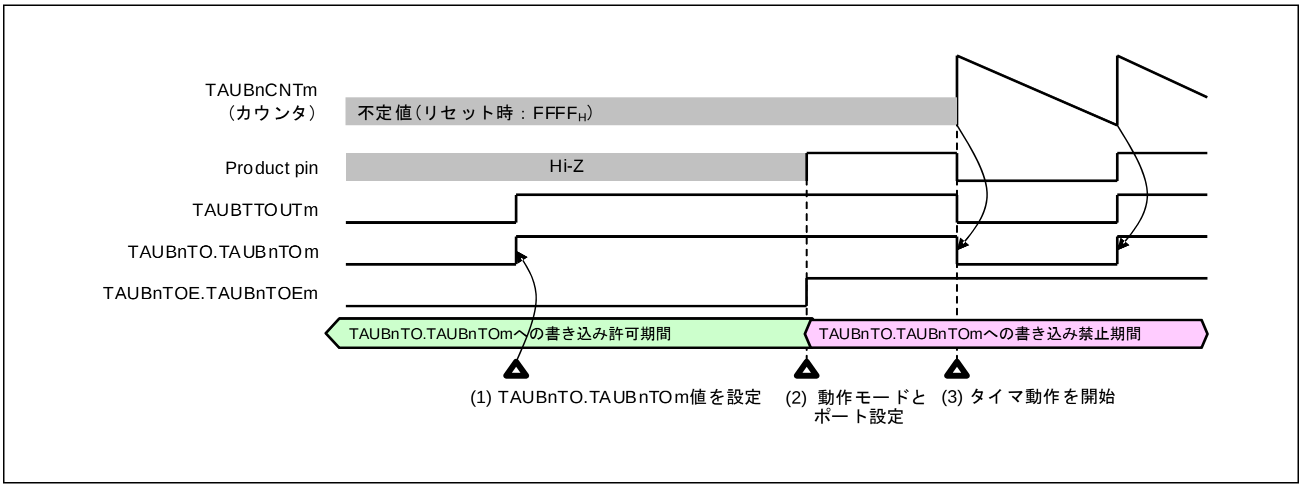


図 31.9 TAUBTTOUTm チャネル出力モードを指定するための基本手順

31.7.2 TAUBn 信号により単体制御されるチャネル出力モード

この節では、TAUBn 信号により単体制御されるチャネル出力モードを示します。モードを指定する制御ビットは、「**表 31.56 チャネル出力モード**」に示します。

31.7.2.1 チャネル単体出力モード 1

セット／リセット条件

この出力モードでは、INTTAUBnIm が検出されると TAUBTTOUTm がトグルされます。
TAUBnTOL.TAUBnTOLm の値は無視されます。

前提条件

「**表 31.56 チャネル出力モード**」に示す条件以外の条件はありません。

31.7.2.2 チャネル単体出力モード 2

セット／リセット条件

この出力モードでは、TAUBTTOUTm は、カウント開始の INTTAUBnIm 発生でセット、TAUBnCNTm と TAUBnCDRm の一致による INTTAUBnIm 発生でリセットされます。

前提条件

「**表 31.56 チャネル出力モード**」に示す条件以外の条件はありません。

31.7.3 TAUBn 信号により連動制御されるチャネル出力モード

この節では、TAUBn 信号により連動制御されるチャネル出力モードを示します。モードを指定する制御ビットは、「**表 31.56 チャネル出力モード**」に示します。

31.7.3.1 チャネル連動出力モード 1

セット／リセット条件

この出力モードでは、マスタチャネルの INTTAUBnIm がセット信号、スレーブチャネルの INTTAUBnIm がリセット信号となります。マスタチャネルの INTTAUBnIm とスレーブチャネルの INTTAUBnIm が同時発生した場合、スレーブチャネルの INTTAUBnIm（リセット信号）は、マスタチャネルの INTTAUBnIm（セット信号）より優先されます（マスタチャネルは無視されます）。

前提条件

「**表 31.56 チャネル出力モード**」に示す条件以外の条件はありません。

31.7.3.2 チャネル連動出力モード 2

この出力モードでは、動作モードをアップ／ダウンカウントモードに設定する必要があります。その結果、TAUBTTOUTm より三角波 PWM が出力されます。詳細は「**31.14.5 三角波 PWM 出力機能**」を参照してください。

セット／リセット条件

スレーブチャネルの TAUBnCNTm は、アップ／ダウンカウントを繰り返します。カウントが 0001_H を越えると、割り込みを発生し、TAUBTTOUTm をトグルします。

前提条件

三角波 PWM 出力を生成するには 2 つで 1 組のチャネルが必要です。TAUBTTOUTm は、機能を開始する前に“0”に設定する必要があります。

31.7.3.3　デッドタイム出力を行うチャネル連動出力モード 2

この出力モードでは、TAUBTTOUTm にデッドタイム遅延が付加されます。セット／リセット条件を「**図 31.10 デッドタイム出力を行うチャネル連動出力モード 2 のセット／リセット条件**」に示します。

セット／リセット条件

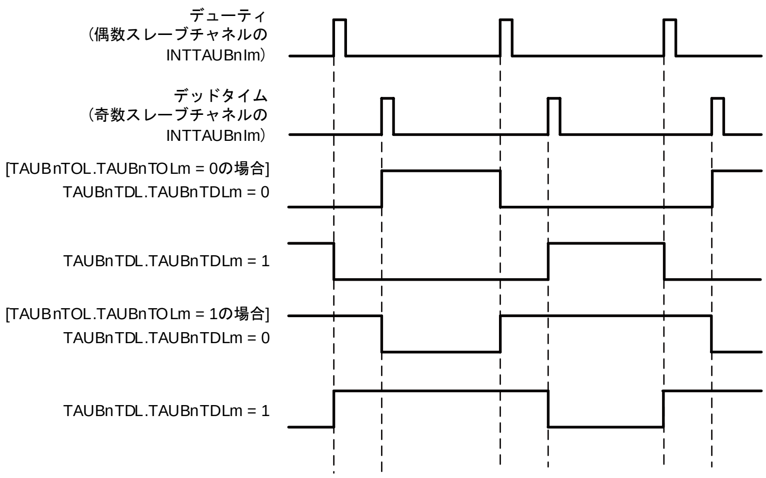


図 31.10　デッドタイム出力を行うチャネル連動出力モード 2 のセット／リセット条件

デッドタイムが付加されるエッジは、立ち上がりエッジの場合は TAUBnTDL.TAUBnTDLm＝0、立ち下がりエッジの場合は TAUBnTDL.TAUBnTDLm＝1 を設定してください。

前提条件

デッドタイムを制御するには、それぞれ次のモードで操作する 3 つで 1 組のチャネルが必要です。

- マスタチャネル

  マスタチャネルは、インターバルタイマモードに設定する必要があります。
- 偶数スレーブチャネル

  偶数スレーブチャネルは、アップ／ダウンカウントモードに設定する必要があります。
- 奇数スレーブチャネル（偶数チャネル＋1）

  奇数スレーブチャネルは、ワンカウントモードに設定する必要があります。

奇数チャネルと偶数チャネルでは、次のビットが同じ値である必要があります。

- TAUBnTOE.TAUBnTOEm
- TAUBnTOM.TAUBnTOMm
- TAUBnTOC.TAUBnTOCm
- TAUBnTDE.TAUBnTDEm

31.8　各動作モードでのカウント開始タイミング

この節では、各動作モードにおいて TAUBnTS.TAUBnTSm を“1”に設定したあとの、カウンタ動作開始タイミングについて説明します。

データレジスタの値と割り込みが発生するかどうかは、モードとレジスタ設定によります。

注　意

本節に記載するカウント開始タイミングは参考例です。実際にはカウントクロックタイミングにより、カウント開始タイミングは前後します。

31.8.1　インターバルタイマモード、ジャッジモード、キャプチャモード、アップ／ダウンカウントモード、カウントキャプチャモード

TAUBnTS.TAUBnTSm が“1”に設定されたあと、カウンタは次のカウントクロックサイクル開始時に動作を開始します。このとき、データレジスタの値もロードされます。

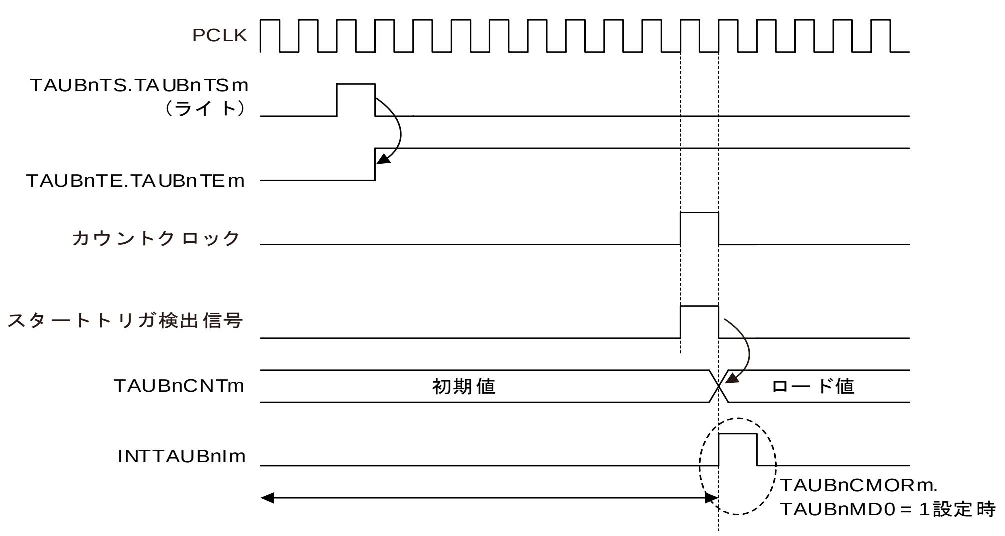


図 31.11　インターバルタイマモード、ジャッジモード、キャプチャモード、アップ／ダウンカウントモード、カウントキャプチャモードでの開始タイミング

備　考

アップ／ダウンカウントモード時は、必ず TAUBnCMORm.TAUBnMD0＝0 に設定してください。

31.8.2　　イベントカウントモード

TAUBnTS.TAUBnTSm が“1”に設定されると、ただちにデータレジスタの値がロードされます。カウンタ動作もただちに開始されます。データレジスタの値は、以降のカウントクロックサイクルの開始時にデクリメントされます。

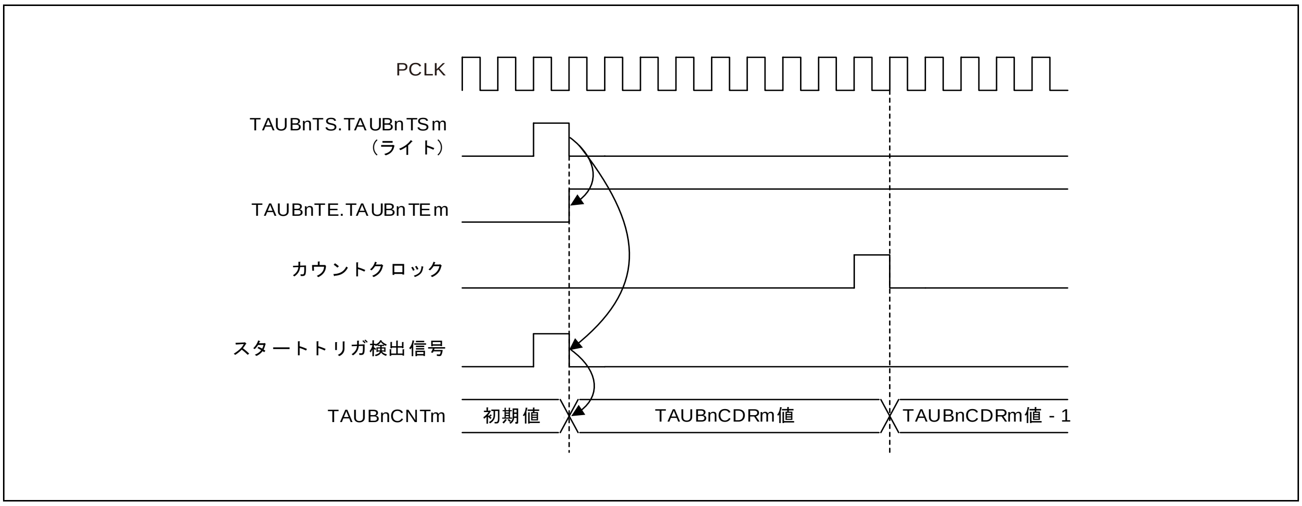


図 31.12　イベントカウントモード時の開始タイミング

31.8.3　　その他の動作モード

その他の動作モードでは、カウンタ動作開始は TAUBTTINm の有効エッジ検出によってのみトリガされます。カウントが開始されると、データレジスタ値もロードされます。カウントクロックサイクルはカウンタ動作開始には関係ありませんが、すべての動作を行う際の周波数を決定します。

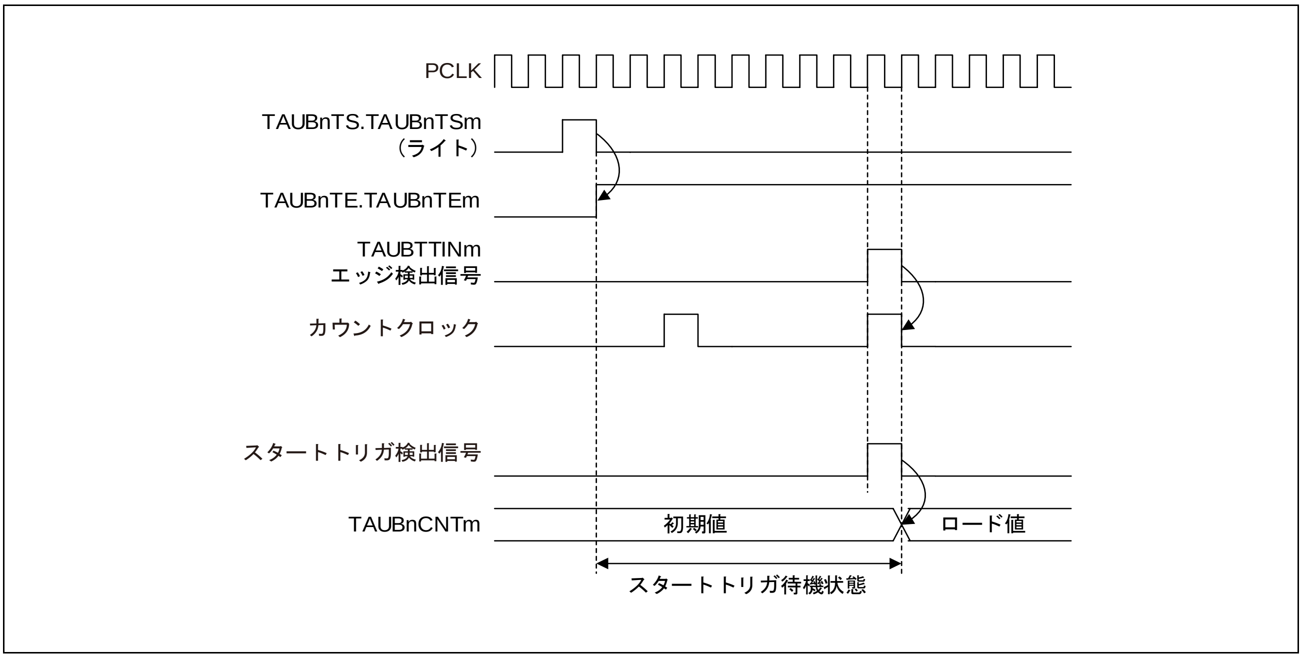


図 31.13　その他の動作モードでのカウント開始タイミング

31.9　カウント開始／リスタート時の TAUBTTOUTm 出力と INTTAUBnIm 生成

カウンタのカウント開始時、TAUBnCMORm.TAUBnMD0 ビットで INTTAUBnIm を発生するかしないかを指定できます。TAUBnCMORm.TAUBnMD0 ビットがカウント開始時の INTTAUBnIm 発生、TAUBTTOUTm に与える影響は、選択した機能に依存します。詳細は各機能の TAUBnCMORm.TAUBnMD0 の説明を参照してください。

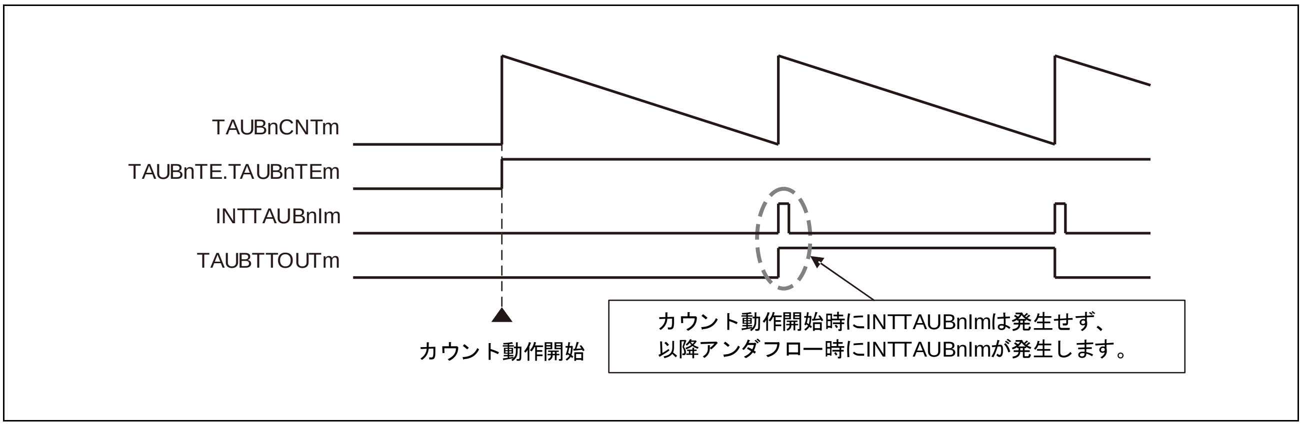


図 31.14　INTTAUBnIm の発生タイミング（TAUBnCMORm.TAUBnMD0＝0 設定時）

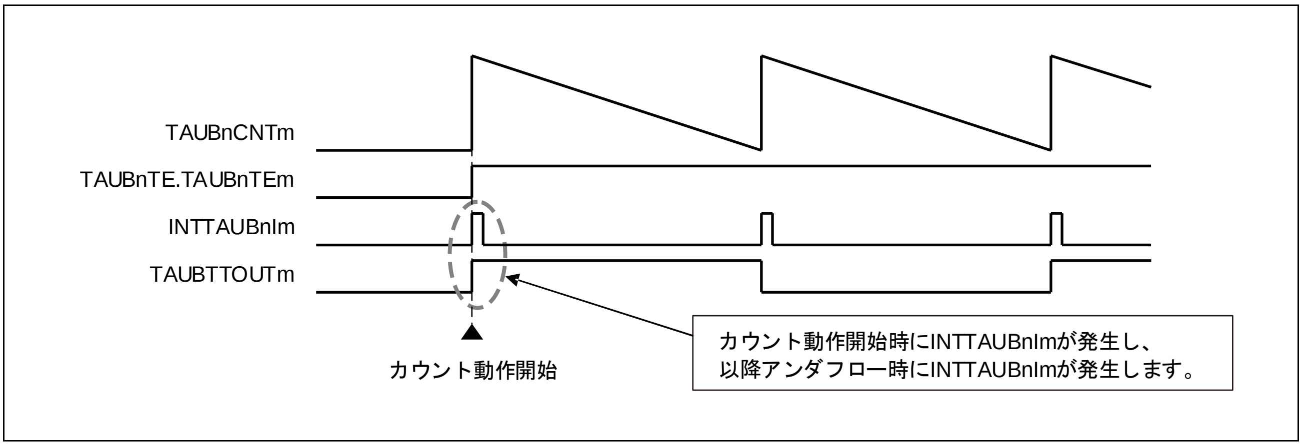


図 31.15　INTTAUBnIm の発生タイミング（TAUBnCMORm.TAUBnMD0＝1 設定時）

31.10 オーバフロー時の割り込み発生

特定の単体機能では、アップカウント時にカウンタ値が $FFFF_H$ になりオーバフローになる際、割り込みが発生しません。この節では、アップカウントを行うモードでのチャネル動作と、ダウンカウントを行うモードでのチャネル動作を組み合わせて割り込みを発生させる方法を説明します。

どの動作モードがセカンドチャネルに適切かは、ファーストチャネルの動作モードによって決まります。ただし、いずれの組み合わせでも原則は同じです。

- セカンドチャネルに、ファーストチャネルでのオーバフロー発生と同時に 0000_H になるようなダウンカウントを行う動作モードを設定します（TAUBnCNTm＝$FFFF_H$）。
- セカンドチャネルの TAUBnCDRm を $FFFF_H$ に設定します。
- 2 つのチャネルは同じ速度でカウントを行う必要があります（つまり、カウントクロックが同じでなければなりません）。
- 両チャネルが同じ TAUBTTINm 入力信号でトリガされます。
- 両チャネルのトリガ検出設定（TAUBnCMORm.TAUBnSTS[2:0]と TAUBnCMURm.TAUBnTIS[1:0]）は同じである必要があります。

結果

ファーストチャネルのアップカウンタでのオーバフロー発生（TAUBnCNTm＝$FFFF_H$）と同時にセカンドチャネルのダウンカウンタが 0000_H になります。そしてセカンドチャネルは任意の割り込みを発生させます。

以降の節で、アップカウントを行う動作モードとの組み合わせに必要なダウンカウントを行う動作モードの一覧と、タイミング図の例を示します。

31.10.1　TAUBTTINm 入力パルスインターバル測定機能と TAUBTTINm 入力インターバルタイマ機能の組み合わせ例

両チャネルの TAUBTTINm に同時にキャプチャトリガを入力することで、TAUBTTINm 入力パルスインターバル測定機能の TAUBnCNTm の $FFFF_H$ オーバフローを TAUBTTINm 入力インターバルタイマ機能の INTTAUBnIm で検出できます。

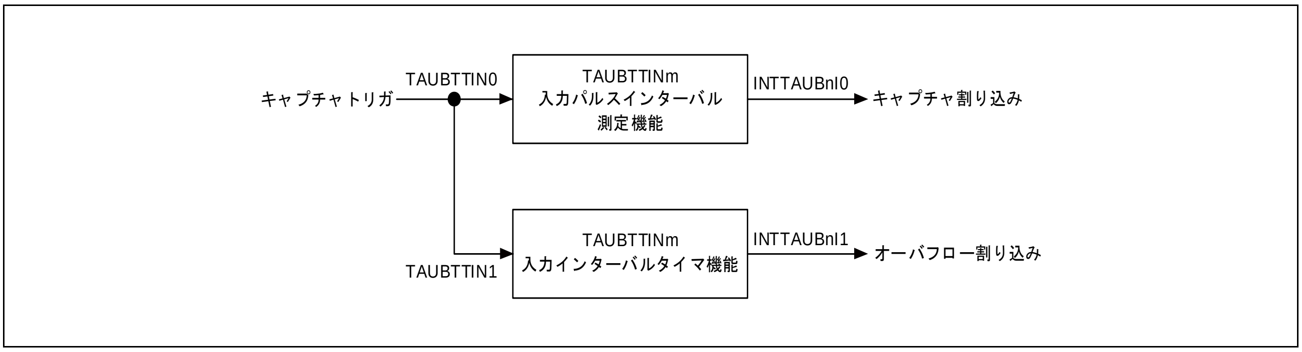


図 31.16　TAUBTTINm 入力パルスインターバル測定機能と TAUBTTINm 入力インターバルタイマ機能の組み合わせ

タイミング図

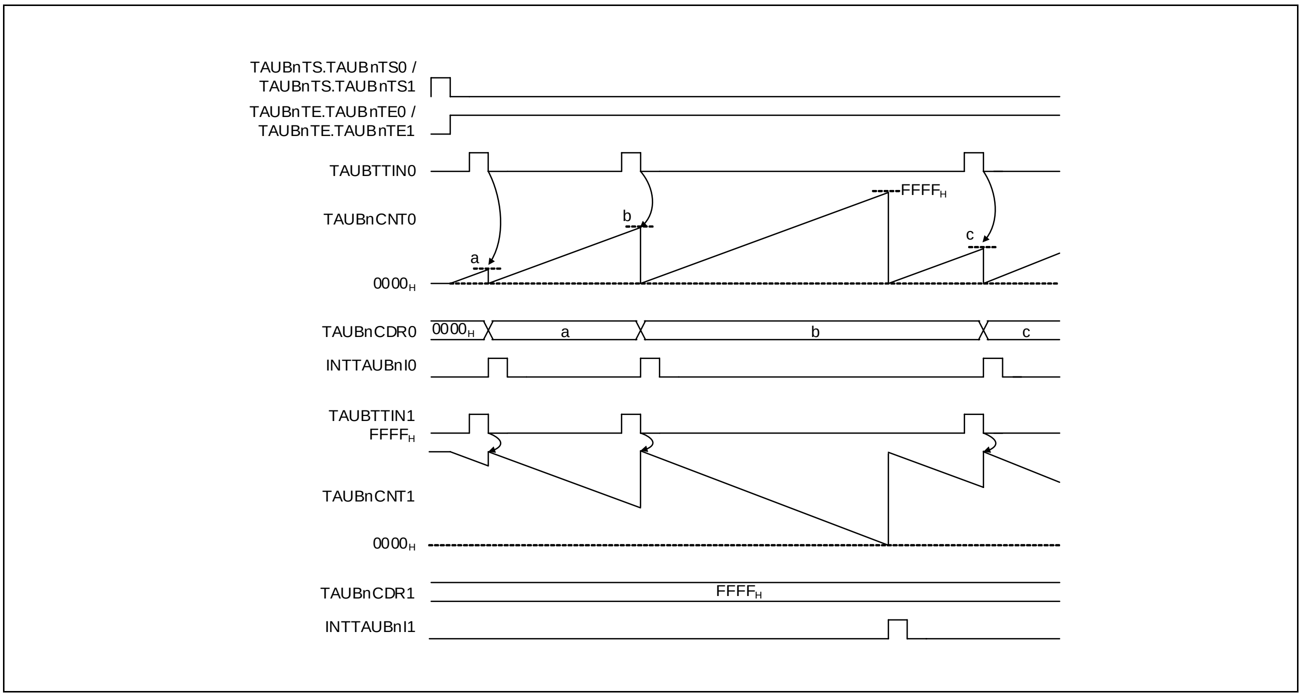


図 31.17　TAUBTTINm 入力パルスインターバル測定機能と TAUBTTINm 入力インターバルタイマ機能の組み合わせによる割り込み発生

31.10.2　TAUBTTINm 入力信号幅測定機能とオーバフロー割り込み出力機能（TAUBTTINm 幅測定時）の組み合わせ例

両チャネルの TAUBTTINm に同時にキャプチャトリガを入力することで、TAUBTTINm 入力信号幅測定機能の TAUBnCNTm の $FFFF_H$ オーバフローをオーバフロー割り込み出力機能（TAUBTTINm 幅測定時）の INTTAUBnIm で検出できます。

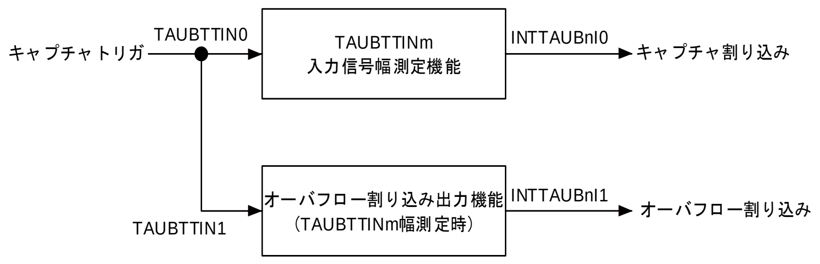


図 31.18　TAUBTTINm 入力信号幅測定機能とオーバフロー割り込み出力機能（TAUBTTINm 幅測定時）の組み合わせ

タイミング図

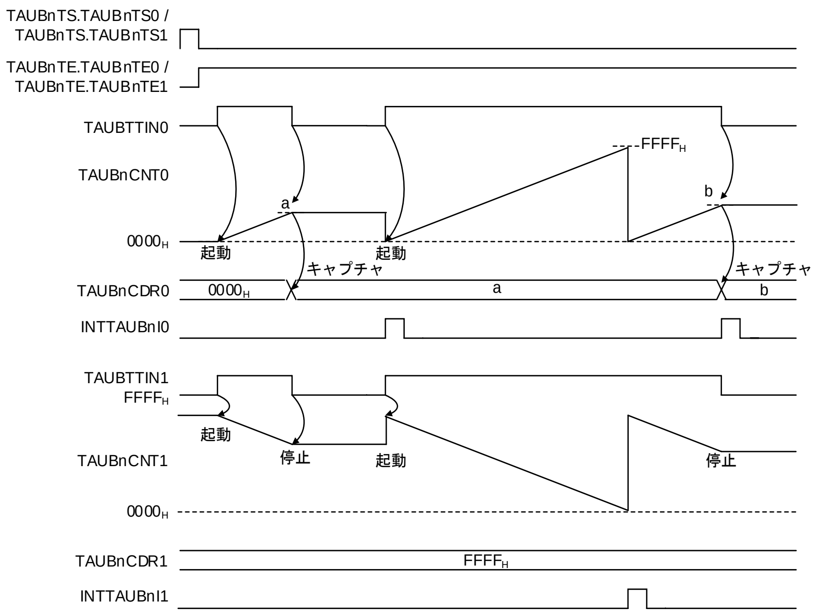


図 31.19　TAUBTTINm 入力信号幅測定機能とオーバフロー割り込み出力機能（TAUBTTINm 幅測定時）の組み合わせによる割り込み発生

31.10.3 TAUBTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ例

両チャネルのカウンタを同時に開始することで、TAUBTTINm 入力位置検出機能の TAUBnCNTm の $FFFF_H$ オーバフローをインターバルタイマ機能の INTTAUBnIm で検出できます。

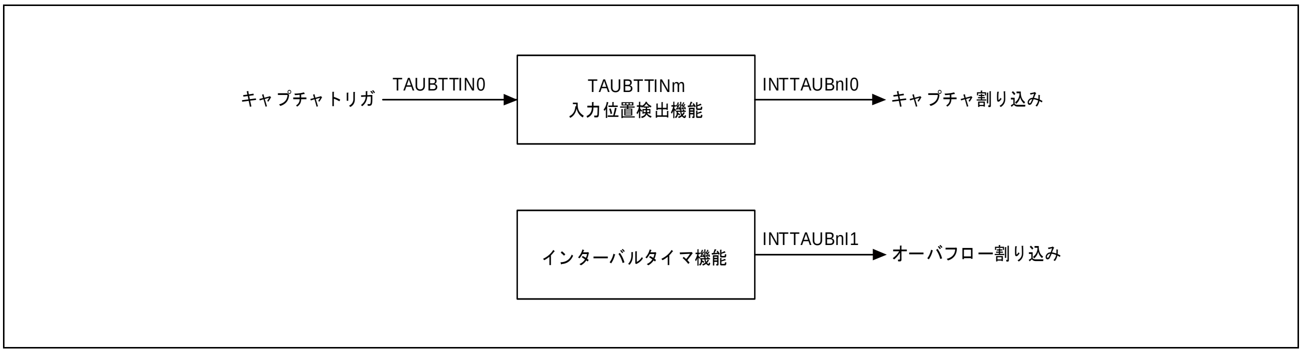


図 31.20 TAUBTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ

タイミング図

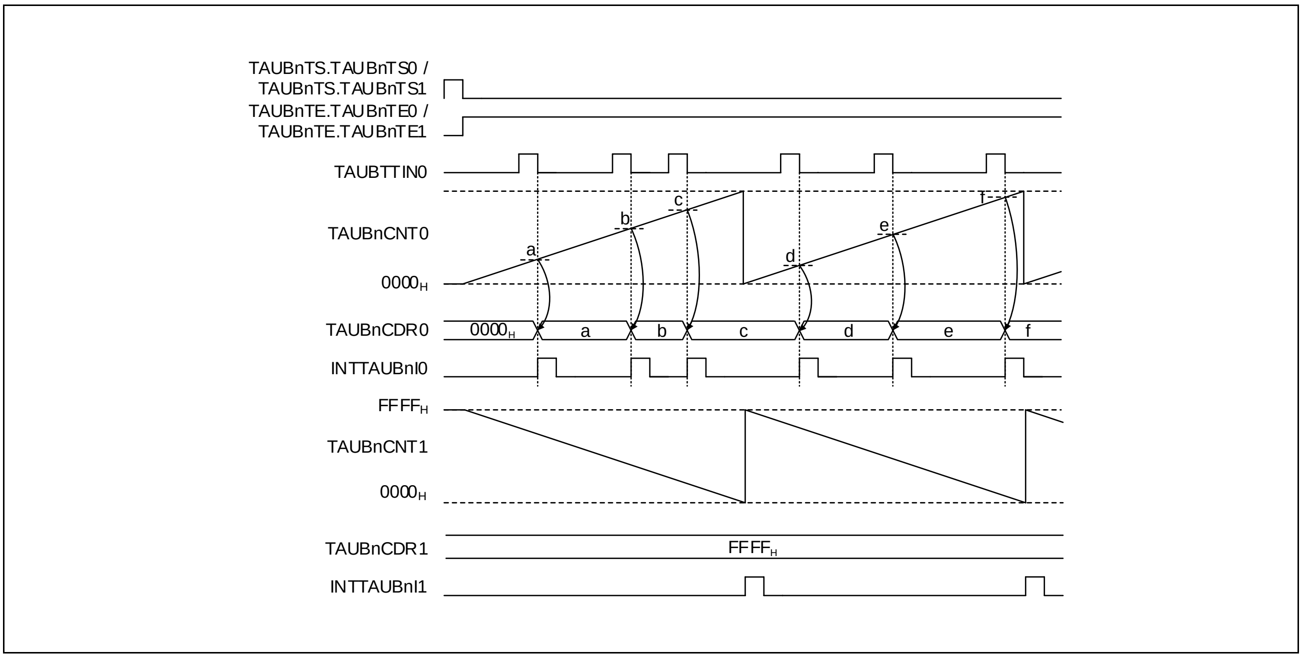


図 31.21 TAUBTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせによる割り込み発生

31.10.4　TAUBTTINm 入力期間カウント検出機能とオーバフロー割り込み出力機能（TAUBTTINm 入力期間カウント検出時）の組み合わせ例

両チャネルの TAUBTTINm に同時にキャプチャトリガを入力することで、TAUBTTINm 入力期間カウント検出機能の TAUBnCNTm の $FFFF_H$ オーバフローをオーバフロー割り込み出力機能（TAUBTTINm 入力期間カウント検出時）の INTTAUBnIm で検出できます。

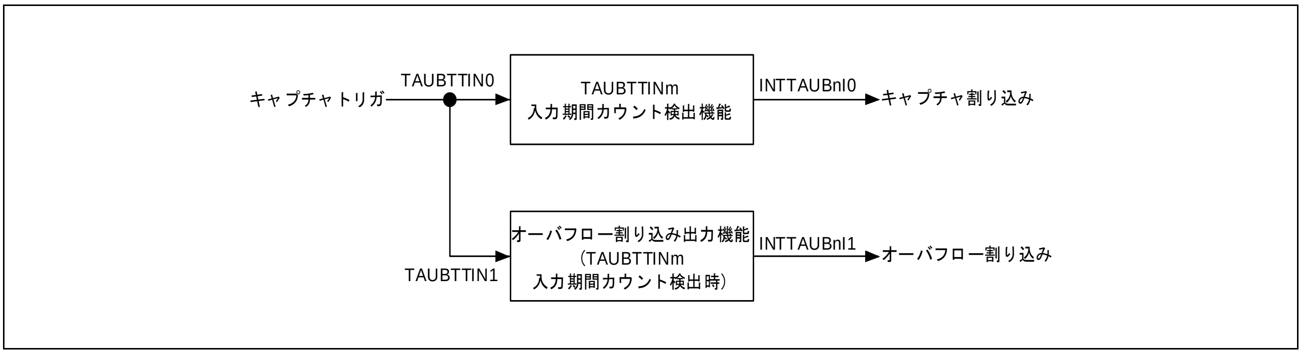


図 31.22　TAUBTTINm 入力期間カウント検出機能とオーバフロー割り込み出力機能（TAUBTTINm 入力期間カウント検出時）の組み合わせ

タイミング図

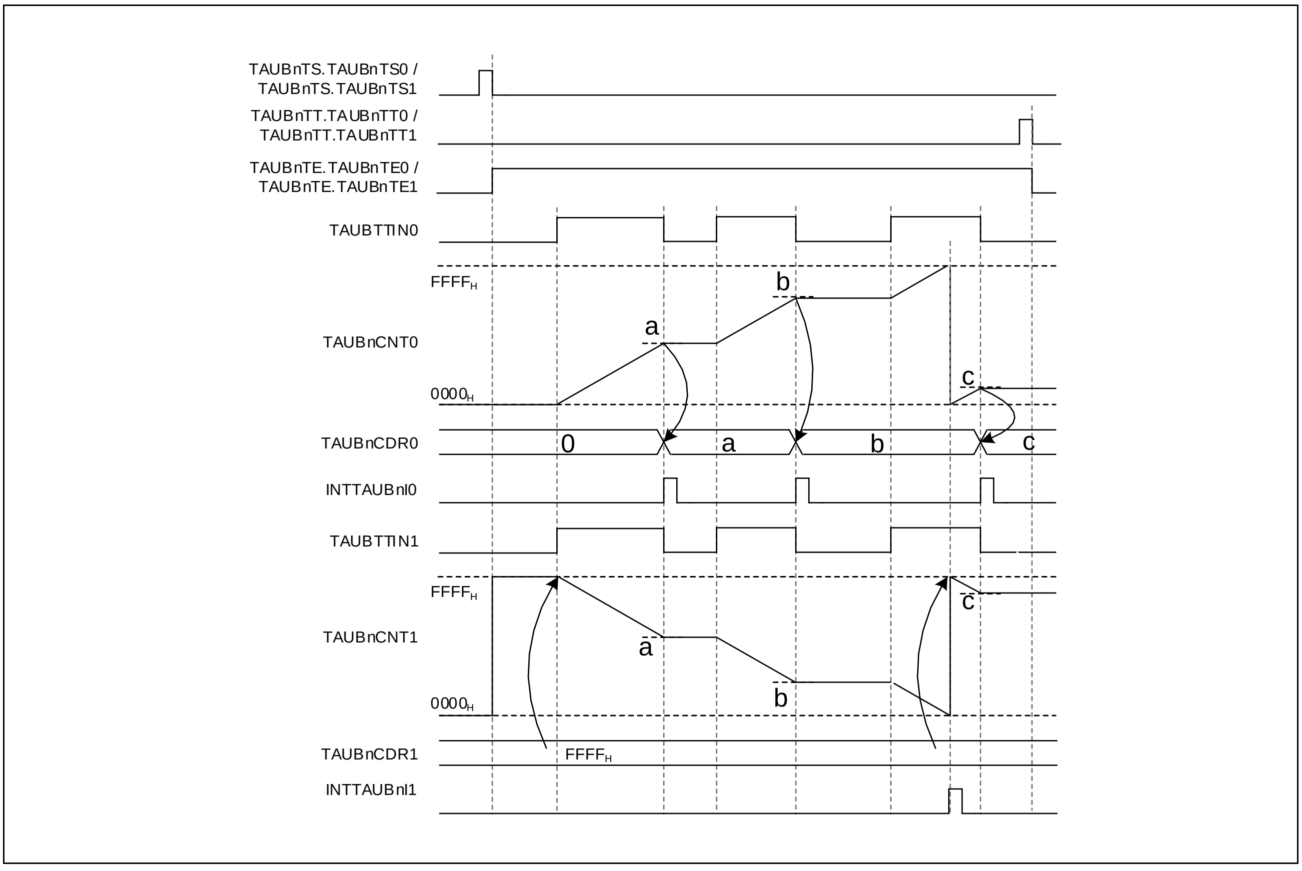


図 31.23　TAUBTTINm 入力期間カウント検出機能とオーバフロー割り込み出力機能（TAUBTTINm 入力期間カウント検出時）の組み合わせによる割り込み発生

31.11 TAUBTTINm エッジ検出

エッジは、動作クロックに基づいて検出されます。つまり、エッジは、動作クロックの次の立ち上がりエッジでのみ検出できます。これにより、最大 1 動作クロック周期の遅延が発生します。

エッジが検出されるタイミングのイメージを次の図に示します。

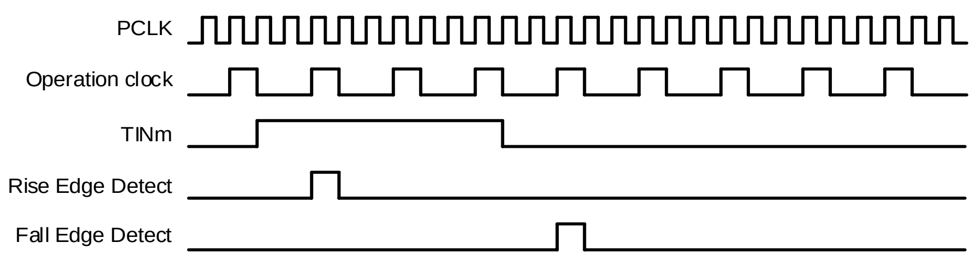


図 31.24　エッジ検出基本動作タイミング

「**図 31.24 エッジ検出基本動作タイミング**」は動作タイミングのイメージです。実際は、TAUBnIm 端子から TAUBn の間にあるノイズフィルタや同期化回路の遅延時間が発生します。

31.12 チャネル単体動作機能

TAUB の各種単体動作機能を次の項で説明します。単体動作機能の概要は、「**31.2 概要**」を参照してください。

31.12.1 インターバルタイマ機能

31.12.1.1 概要

概要

この機能は、一定間隔でタイマ割り込み（INTTAUBnIm）を発生する基準タイマとして使用できます。割り込みが発生すると、TAUBTTOUTm 信号はトグルされ、矩形波を出力します。

機能説明

チャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm＝1 となり、カウントが可能になります。TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタはその TAUBnCDRm 値からダウンカウントを開始します。

カウンタ値が 0000_H になると、INTTAUBnIm が発生し、TAUBTTOUTm 信号がトグルされます。その後、TAUBnCDRm の値を TAUBnCNTm にロードし、以降、動作を継続します。

TAUBnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。TAUBnCNTm と TAUBTTOUTm は停止しますが、値は保持します。TAUBnTS.TAUBnTSm を 1 に設定すると、機能を再開できます。カウント中に TAUBnTS.TAUBnTSm を 1 に設定すると、いったん停止せずにカウントを再開できます（強制リスタート）。

条件

TAUBnCMORm.TAUBnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生せず、TAUBTTOUTm のトグルも行われません。これにより、TAUBnCMORm.TAUBnMD0 が 1 に設定された場合に対して、反転された TAUBTTOUTm 信号が出力されます。

31.12.1.2 算出式

INTTAUBnIm の周期＝カウントクロック周期×（TAUBnCDRm＋1）

TAUBTTOUTm の矩形波周期＝カウントクロック周期×（TAUBnCDRm＋1）×2

31.12.1.3　ブロック図と基本タイミング図

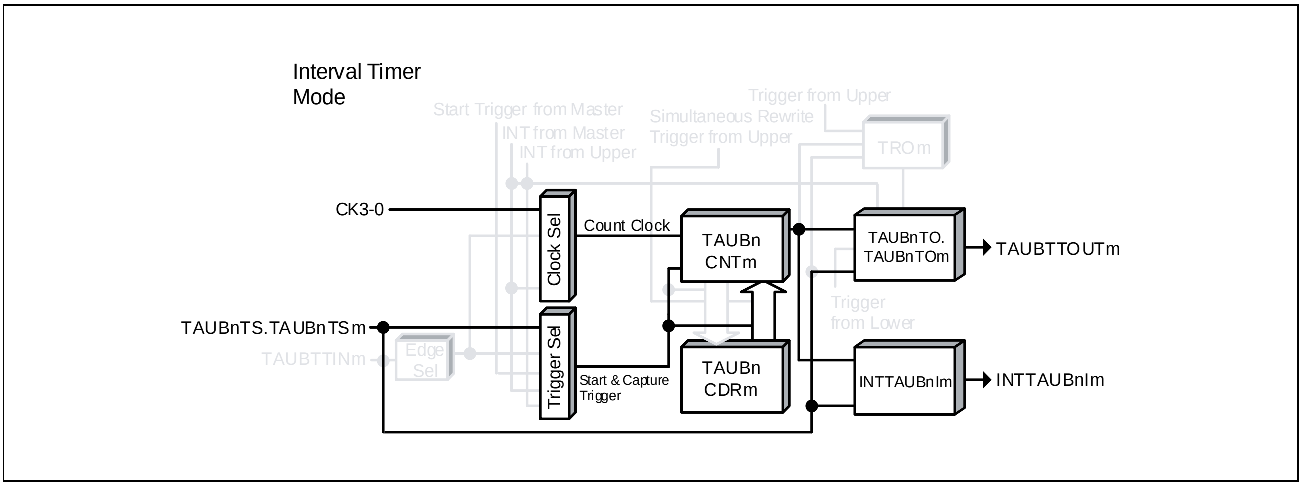


図 31.25　インターバルタイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUBnIm が発生する（TAUBnCMORm.TAUBnMD0＝1）

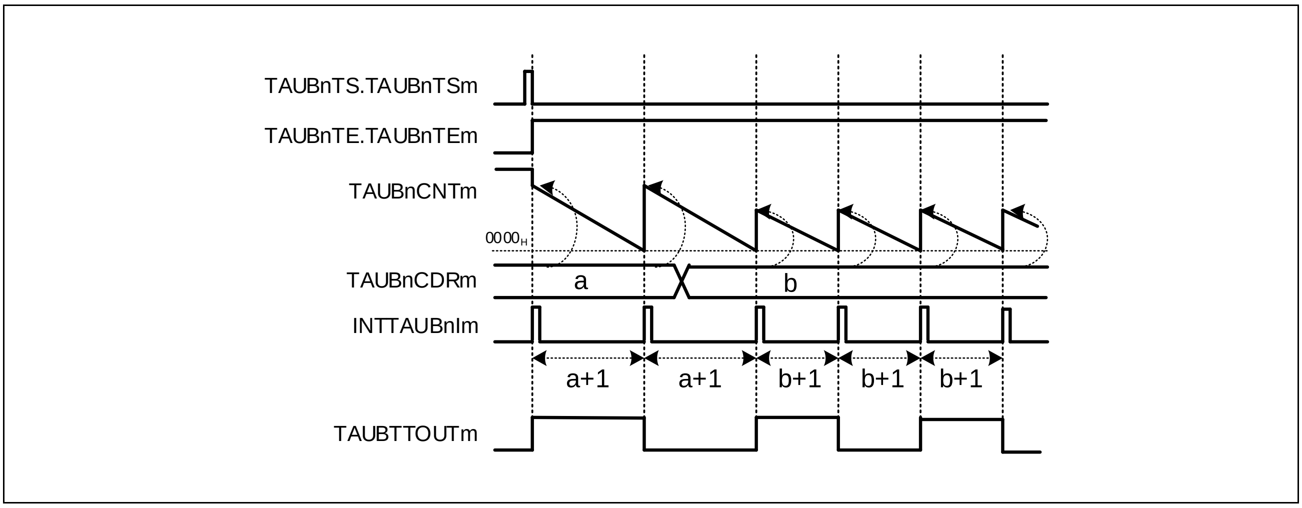


図 31.26　インターバルタイマ機能の基本タイミング図

31.12.1.4　レジスタ設定

(1) TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS[1:0]		—	TAUBnCCS0	TAUBnMAS	TAUBnSTS[2:0]			TAUBnCOS[1:0]		—	TAUBnMD[4:1]				TAUBnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 31.57　インターバルタイマ機能の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10～8	TAUBnSTS[2:0]	000_B を書いてください。
7、6	TAUBnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	0000_B を書いてください。
0	TAUBnMD0	0：動作開始時に INTTAUBnIm が発生せず、TAUBTTOUTm はトグルされない 1：動作開始または再開時に INTTAUBnIm が発生し、TAUBTTOUTm はトグルされる

(2) TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 31.58　インターバルタイマ機能の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00 を設定

(3) チャネル出力モード

表 31.59　チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1_B を書いてください。
TAUBnTOM.TAUBnTOMm	0_B を書いてください。
TAUBnTOC.TAUBnTOCm	0_B を書いてください。
TAUBnTOL.TAUBnTOLm	0_B を書いてください。
TAUBnTDE.TAUBnTDEm	0_B を書いてください。
TAUBnTDL.TAUBnTDLm	0_B を書いてください。

備　考

チャネル出力モードは、TAUBnTOE.TAUBnTOEm＝0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUBTTOUTm を割り込みとは独立させて制御することができます。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC）は、インターバルタイマ機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 31.60　インターバルタイマ機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0：一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0：一斉書き換え禁止時（TAUBnRDE.TAUBnRDEm＝0）、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

31.12.1.5　インターバルタイマ機能の操作手順

表 31.61　インターバルタイマ機能の操作手順

		操作	TAUBn の状態
	チャネルの初期設定	TAUBnCMORm、TAUBnCMURm レジスタを「**表 31.57 インターバルタイマ機能の TAUBnCMORm レジスタの内容**」と「**表 31.58 インターバルタイマ機能の TAUBnCMURm レジスタの内容**」に示すように設定します。 TAUBnCDRm レジスタの値を設定します。 制御ビットを「**表 31.59 チャネル単体出力モード 1 時の制御ビット設定**」に示すように設定して、チャネル出力モードを設定します。	チャネル動作を停止しています。
動作再開	動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、カウントが開始されます。 TAUBnCDRm の値を TAUBnCNTm にロードします。 TAUBnCMORm.TAUBnMD0＝1 の場合、INTTAUBnIm が発生し、TAUBTTOUTm がトグルされます。
	動作中	TAUBnCDRm レジスタ値は任意のタイミングで変更可能です。 TAUBnCNTm レジスタは常に読み出し可能です。	TAUBnCNTm がダウンカウントを行います。カウンタが 0000_H になった場合： ● 再び TAUBnCDRm の値を TAUBnCNTm にロードし、カウント動作を継続します。 ● INTTAUBnIm が発生し、TAUBTTOUTm がトグルされます。
	動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm と TAUBTTOUTm は停止し、現在値を保持します。

31.12.1.6　特定の設定時のタイミング図

(1)　TAUBnCDRm＝0000H、カウントクロック＝PCLK/2

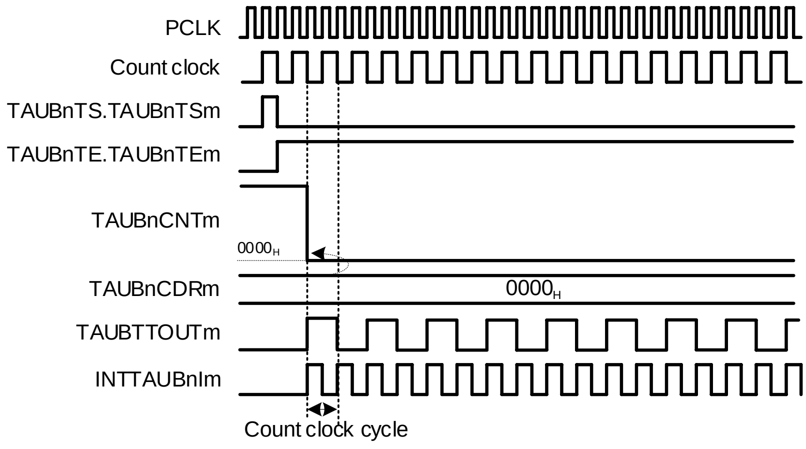


図 31.27　TAUBnCDRm＝0000H、カウントクロック＝PCLK/2

- TAUBnCDRm＝0000H、かつカウントクロック＝PCLK/2 の場合、カウントクロックごとに TAUBnCDRm の値が TAUBnCNTm にロードされます。つまり、TAUBnCNTm は常に 0000H です。
- INTTAUBnIm がカウントクロックごとに発生するので、TAUBTTOUTm はカウントクロックごとにトグルされます。

(2) TAUBnCDRm＝0000$_H$、カウントクロック＝PCLK

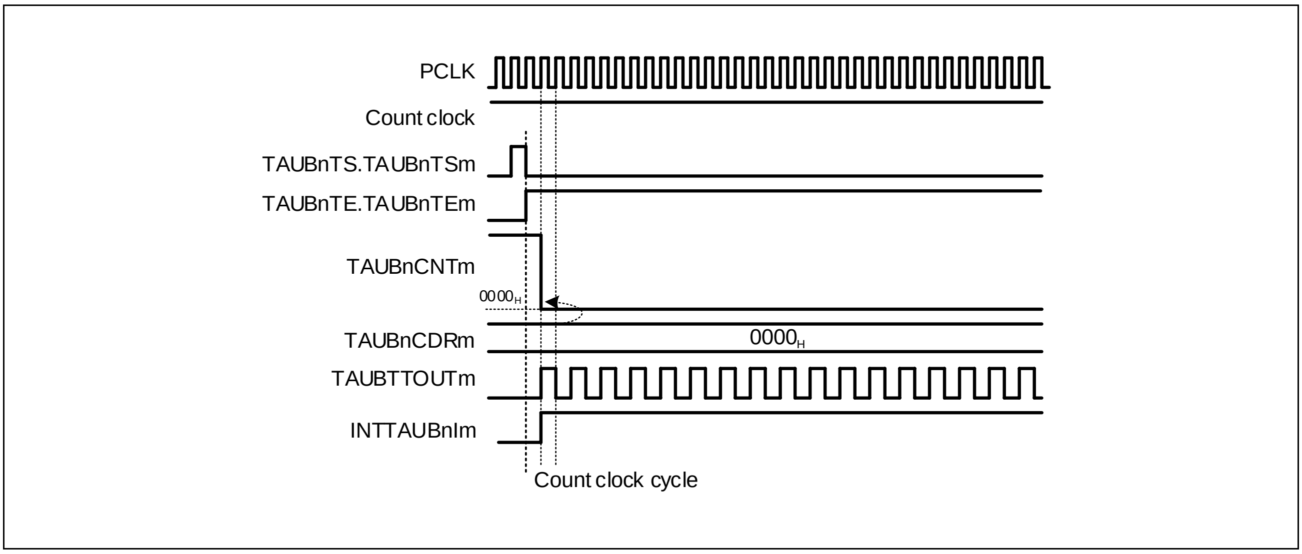


図 31.28　TAUBnCDRm＝0000$_H$、カウントクロック＝PCLK

- TAUBnCDRm＝0000$_H$、かつカウントクロック＝PCLK の場合、PCLK クロックごとに TAUBnCDRm の値が TAUBnCNTm にロードされます。つまり、TAUBnCNTm は常に 0000$_H$ です。
- INTTAUBnIm は、ハイレベル固定になります。1 回目の割り込みは発生しますが、それ以降は発生しません。
  PCLK クロックごとに TAUBTTOUTm がトグルされます。

(3) 動作の停止と再開（TAUBnCMORm.TAUBnMD0＝1）

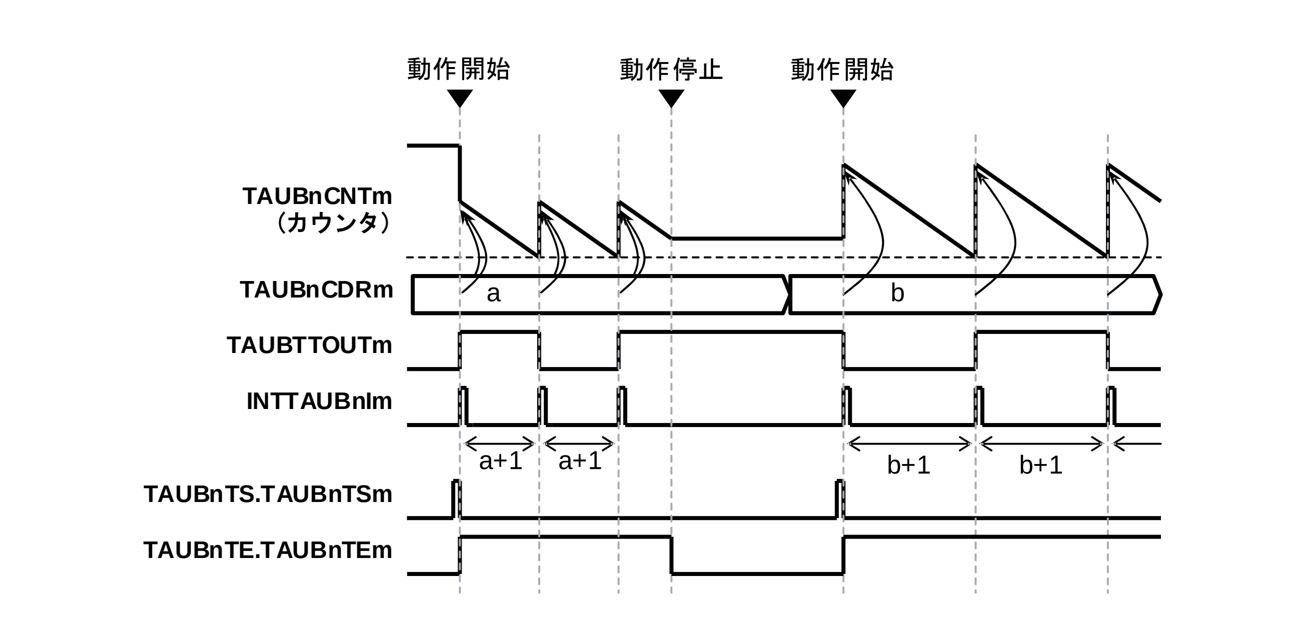


図 31.29 動作の停止と再開（TAUBnCMORm.TAUBnMD0＝1）

- TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。
- TAUBnCNTm と TAUBTTOUTm は停止しますが、値は保持します。
- TAUBnTS.TAUBnTSm を 1 に設定すると、カウントを再開できます。

(4) 動作の停止と再開（TAUBnCMORm.TAUBnMD0＝0）

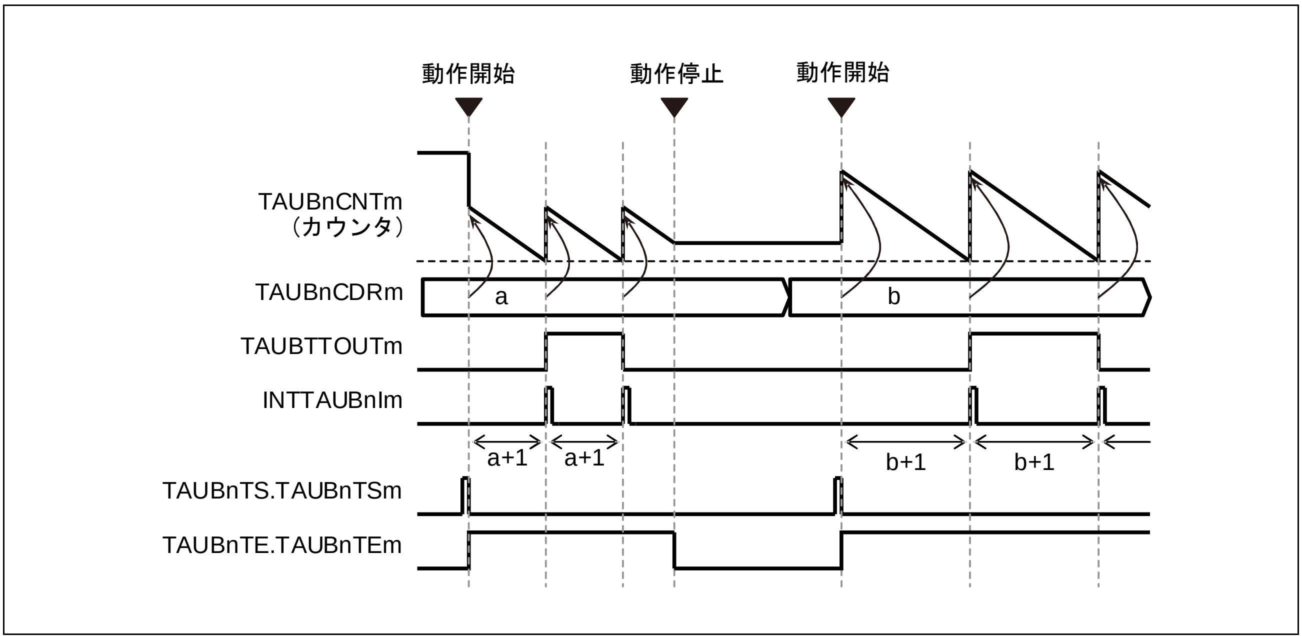


図 31.30 動作の停止と再開（TAUBnCMORm.TAUBnMD0＝0）

(5) 強制リスタート（TAUBnCMORm.TAUBnMD0＝1）

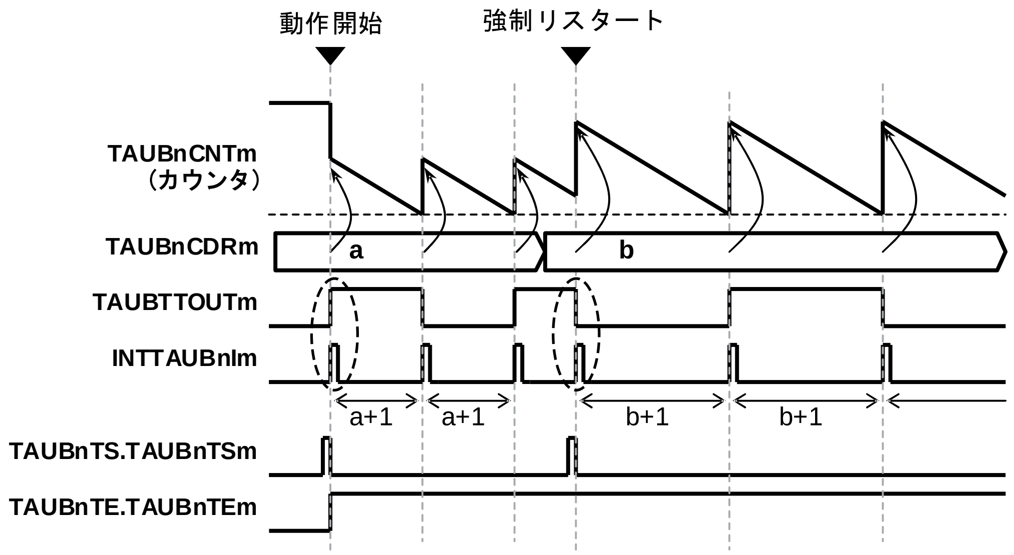


図 31.31　強制リスタート動作（TAUBnCMORm.TAUBnMD0＝1）

- カウント中に TAUBnTS.TAUBnTSm を 1 に設定すると、いったん停止しなくてもカウントを再開できます（強制リスタート）。
- TAUBnCMORm.TAUBnMD0 ビットが 1 に設定されると、動作開始または再開後の最初の割り込みが発生し、TAUBTTOUTm はトグル出力します。

(6) 強制リスタート（TAUBnCMORm.TAUBnMD0＝0）

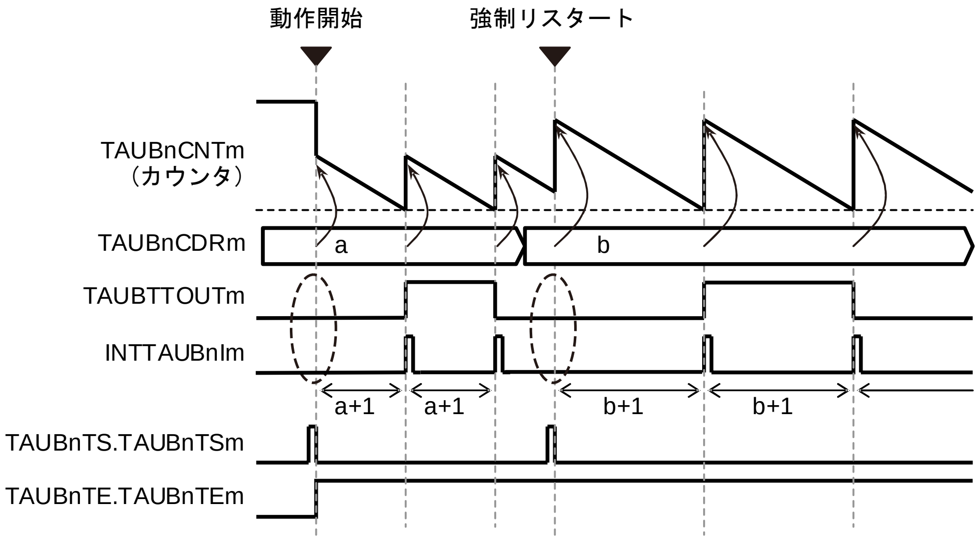


図 31.32　強制リスタート動作（TAUBnCMORm.TAUBnMD0＝0）

- カウント中に TAUBnTS.TAUBnTSm を 1 に設定すると、いったん停止しなくてもカウントを再開できます（強制リスタート）。
- TAUBnCMORm.TAUBnMD0 ビットが 0 に設定されると、動作開始または再開時の最初の割り込みは発生せず、TAUBTTOUTm のトグル出力も行われません。

31.12.2　TAUBTTINm 入力インターバルタイマ機能

31.12.2.1　概要

概要

この機能は、一定間隔または有効な TAUBTTINm 入力エッジが検出された場合に、タイマ割り込み（INTTAUBnIm）を発生するための基準タイマとして使用されます。

機能説明

この機能は、チャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm＝1 となり、カウントが可能になります。
TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタはその TAUBnCDRm 値からダウンカウントを開始します。
カウンタ値が 0000_H になるか、有効な TAUBTTINm 入力エッジで、INTTAUBnIm が発生します。その後、TAUBnCDRm の値を TAUBnCNTm にロードし、以降、動作を継続します。
TAUBnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。
TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。TAUBnCNTm と TAUBTTOUTm は停止しますが、値は保持します。TAUBnTS.TAUBnTSm を 1 に設定すると、機能を再開できます。カウント中に TAUBnTS.TAUBnTSm を 1 に設定すると、いったん停止せずにカウントを再開できます（強制リスタート）。
トリガとして使用するエッジの種類は、TAUBnCMURm.TAUBnTIS[1:0]ビットで設定します。立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジ両方を選択できます。

31.12.2.2　ブロック図と基本タイミング図

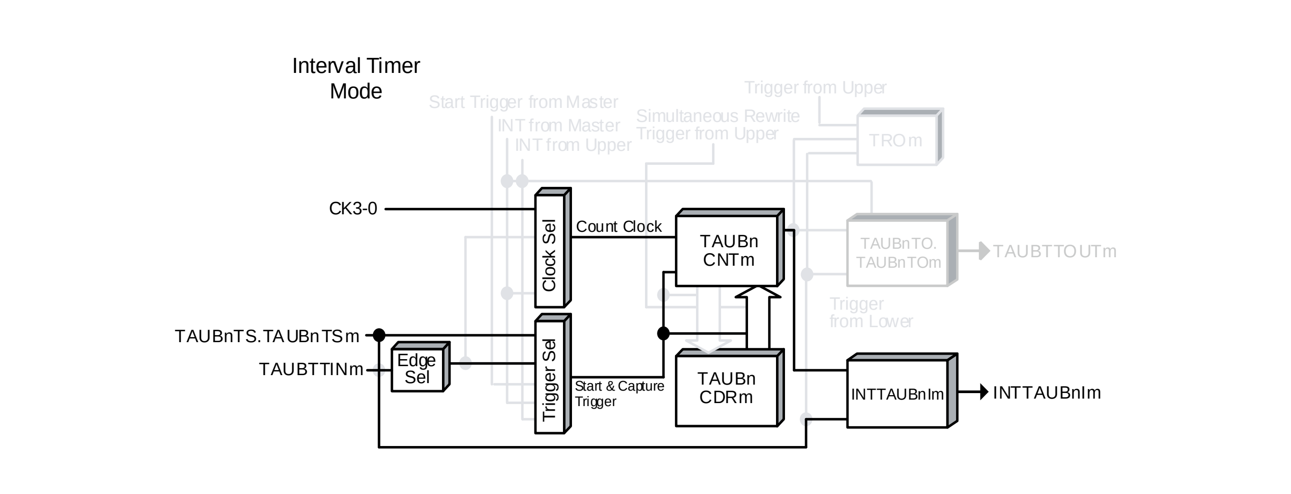


図 31.33　TAUBTTINm 入力インターバルタイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUBnIm が発生する（TAUBnCMORm.TAUBnMD0＝1）
- 立ち上がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0]＝01_B）

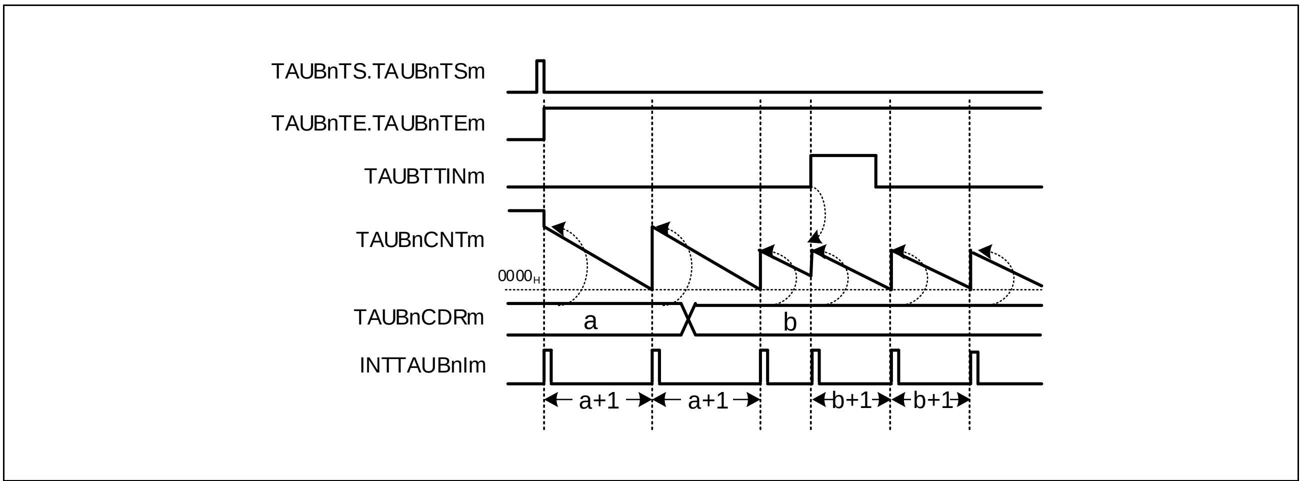


図 31.34　TAUBTTINm 入力インターバルタイマ機能の基本タイミング図

31.12.2.3　レジスタ設定

(1)　TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS[1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS [1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 31.62　TAUBTTINm 入力インターバルタイマ機能の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10〜8	TAUBnSTS[2:0]	001_B を書いてください。
7、6	TAUBnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4〜1	TAUBnMD[4:1]	0000_B を書いてください。
0	TAUBnMD0	0：動作開始時に INTTAUBnIm が発生しない 1：動作開始時に INTTAUBnIm が発生する

(2)　TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 31.63　TAUBTTINm 入力インターバルタイマ機能の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7〜2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3)　チャネル出力モード

この機能ではチャネル出力モードを使用しません。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC）は、TAUBTTINm 入力インターバルタイマ機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 31.64　TAUBTTINm 入力インターバルタイマ機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0：一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0：一斉書き換え禁止時（TAUBnRDE.TAUBnRDEm＝0）、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

31.12.2.4　TAUBTTINm 入力インターバルタイマ機能の操作手順

表 31.65　TAUBTTINm 入力インターバルタイマ機能の操作手順

		操作	TAUBn の状態
	チャネルの初期設定	TAUBnCMORm、TAUBnCMURm レジスタを、「**表 31.62 TAUBTTINm 入力インターバルタイマ機能の TAUBnCMORm レジスタの内容**」と「**表 31.63 TAUBTTINm 入力インターバルタイマ機能の TAUBnCMURm レジスタの内容**」に示すように設定します。 TAUBnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作再開	動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、カウントが開始されます。 TAUBnCDRm の値を TAUBnCNTm にロードします。 TAUBnCMORm.TAUBnMD0＝1 の場合、INTTAUBnIm が発生します。
	動作中	TAUBnCMURm.TAUBnTIS[1:0]、TAUBnCDRm レジスタの値は任意のタイミングで変更可能です。 TAUBnCNTm レジスタは常に読み出し可能です。 TAUBTTINm エッジ検出	TAUBnCNTm がダウンカウントを行います。カウンタが 0000_H になった場合： ● 再び TAUBnCDRm の値を TAUBnCNTm にロードし、カウント動作を継続します。 ● INTTAUBnIm が発生します。 カウント動作中に TAUBTTINm 入力の有効エッジを検出すると、再び TAUBnCDRm の値を TAUBnCNTm にロードし、カウント動作を継続します。 以降、この動作を繰り返します。
	動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm は停止し、現在値を保持します。

31.12.2.5　特定の設定時のタイミング図

「**31.12.1 インターバルタイマ機能**」のタイミング図も適用されますが、それに加えて有効な TAUBTTINm 入力エッジを使用することでカウンタを再開することも可能です。

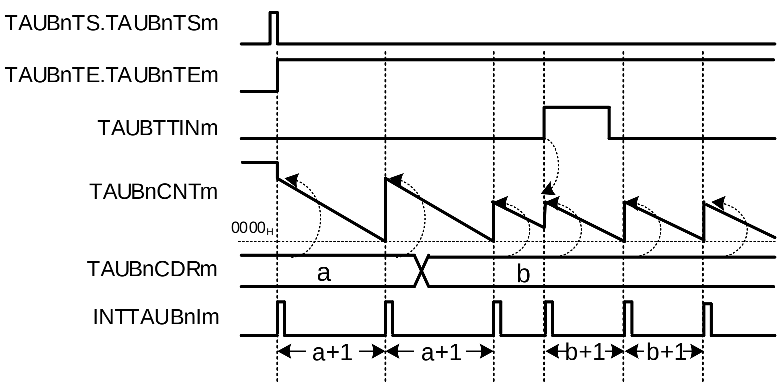


図 31.35　立ち上がり TAUBTTINm 入力エッジ（TAUBnCMURm.TAUBnTIS[1:0]＝01_B）、TAUBnCMORm.TAUBnMD0＝1 でトリガされたカウンタ

- 有効な TAUBTTINm 入力エッジを検出した場合、割り込み INTTAUBnIm が発生します。この例では、有効エッジは立ち上がりエッジ（TAUBnCMURm.TAUBnTIS[1:0]＝01_B）です。

31.12.3　クロック分周機能

31.12.3.1　概要

概要

この機能は、周波数の分周に使用します。TAUBTTINm 入力信号の周波数を TAUBnCDRm の係数で分周し、割り込み INTTAUBnIm が発生します。

前提条件

- TAUBTTINm の周波数は固定である必要があります。
- 動作モードはインターバルタイマモードに設定する必要があります（「**表 31.66 クロック分周機能の TAUBnCMORm レジスタの内容**」参照）。

機能説明

チャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、カウンタ動作が許可されます。
これにより TAUBnTE.TAUBnTEm＝1 となり、カウントが可能になります。TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタは TAUBTTINm をカウントクロックとして使用し、その TAUBnCDRm 値からダウンカウントを開始します。
カウンタ値が 0000_H になると、INTTAUBnIm が発生します。その後、TAUBnCDRm 値を TAUBnCNTm にロードし、以降、動作を継続します。
TAUBnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。
TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。TAUBnCNTm は停止しますが、値は保持します。
TAUBnTS.TAUBnTSm を 1 に設定すると、機能を再開できます。カウント中に TAUBnTS.TAUBnTSm を 1 に設定すると、いったん停止せずにカウントを再開できます（強制リスタート）。

条件

TAUBnCMORm.TAUBnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。

備　考

TAUBTTINm 入力信号は TAUBnCMORm.TAUBnCKS[1:0]ビットで設定した動作クロックの周波数でサンプリングされます。

31.12.3.2　ブロック図と基本タイミング図

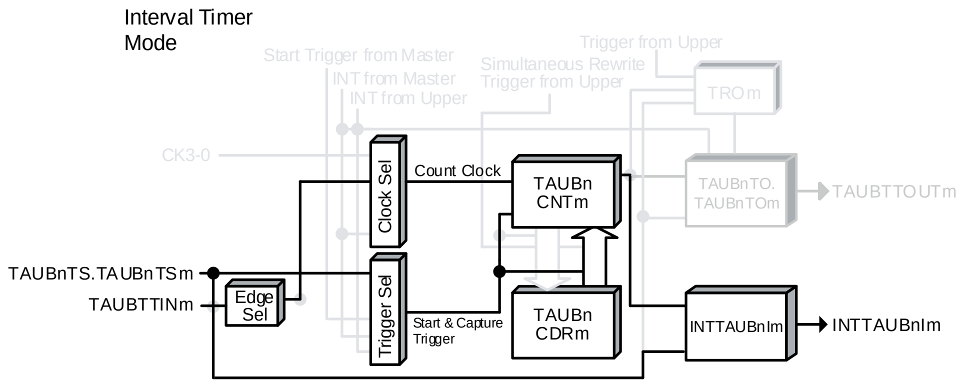


図 31.36　クロック分周機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUBnIm が発生する（TAUBnCMORm.TAUBnMD0＝1）
- 立ち上がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0]＝01_B）

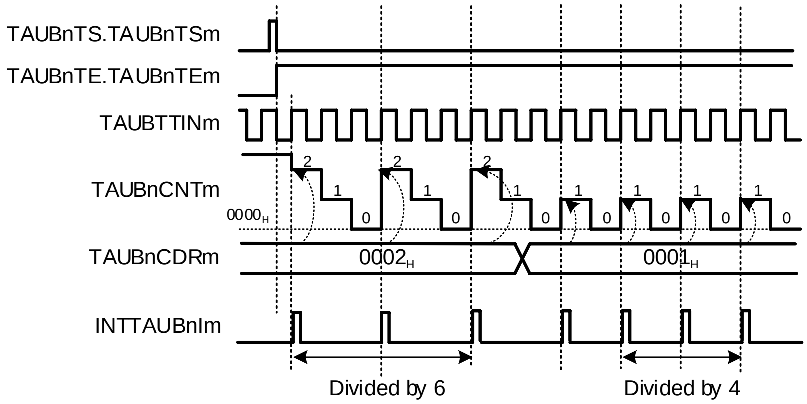


図 31.37　クロック分周機能の基本タイミング図

31.12.3.3　レジスタ設定

(1) TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS[1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS[1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 31.66　クロック分周機能の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	1_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10～8	TAUBnSTS[2:0]	000_B を書いてください。
7、6	TAUBnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	0000_B を書いてください。
0	TAUBnMD0	0：動作開始時に INTTAUBnIm が発生しない 1：動作開始時に INTTAUBnIm が発生する

(2) TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 31.67　クロック分周機能の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しません。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC）は、クロック分周機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 31.68 クロック分周機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0：一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0：一斉書き換え禁止時（TAUBnRDE.TAUBnRDEm＝0）、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

31.12.3.4 クロック分周機能の操作手順

表 31.69 クロック分周機能の操作手順

		操作	TAUBn の状態
	チャネルの初期設定	TAUBnCMORm、TAUBnCMURm レジスタを、「**表 31.66 クロック分周機能の TAUBnCMORm レジスタの内容**」と「**表 31.67 クロック分周機能の TAUBnCMURm レジスタの内容**」に示すように設定します。 TAUBnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作再開	動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、カウントが開始されます。 TAUBnCNTm は TAUBnCDRm 値をロードします。 TAUBnCMORm.TAUBnMD0 が 1 の場合は、INTTAUBnIm が発生します。
	動作中	TAUBnCDRm 値は任意のタイミングで変更可能です。 TAUBnCNTm レジスタは常に読み出し可能です。	TAUBTTINm 入力エッジを検出すると、TAUBnCNTm はダウンカウントを行います。カウンタが 0000_H になった場合： TAUBnCDRm 値を TAUBnCNTm にロードし、カウント動作を継続します。 INTTAUBnIm が発生します。
	動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm は停止し、TAUBnCNTm は現在値を保持します。

31.12.3.5　特定の設定時のタイミング図

(1)　TAUBnCDRm＝0000H

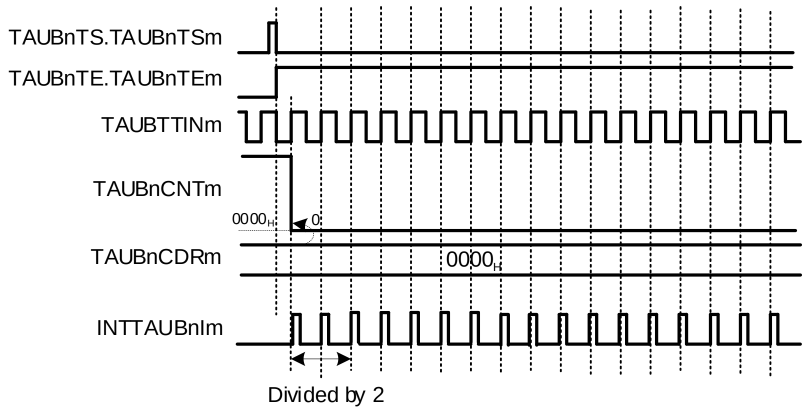


図 31.38　TAUBnCDRm＝0000H, TAUBnCMORm.TAUBnMD0＝1, TAUBnCMURm.TAUBnTIS[1:0]＝01B

- TAUBnCDRm が 0000H ならば、TAUBnCNTm も必ず 0000H です。
- INTTAUBnIm がカウントクロックごとに発生します。

「**図 31.38　TAUBnCDRm＝0000H, TAUBnCMORm.TAUBnMD0＝1, TAUBnCMURm.TAUBnTIS[1:0]＝01B**」は動作タイミングのイメージです。実際は、TAUBnIm 端子から TAUBn の間にあるノイズフィルタや同期化回路の遅延時間が存在します。

(2)　動作再開

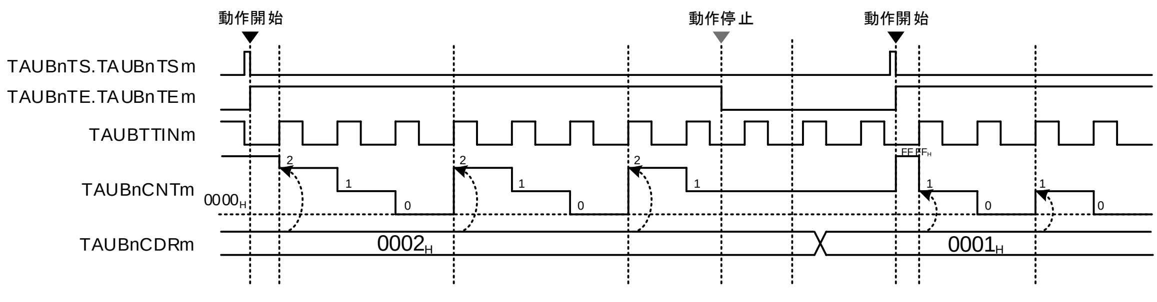


図 31.39　動作再開（TAUBnCMORm.TAUBnMD0＝1, TAUBnCMURm.TAUBnTIS[1:0]＝01B）

(3) 強制リスタート

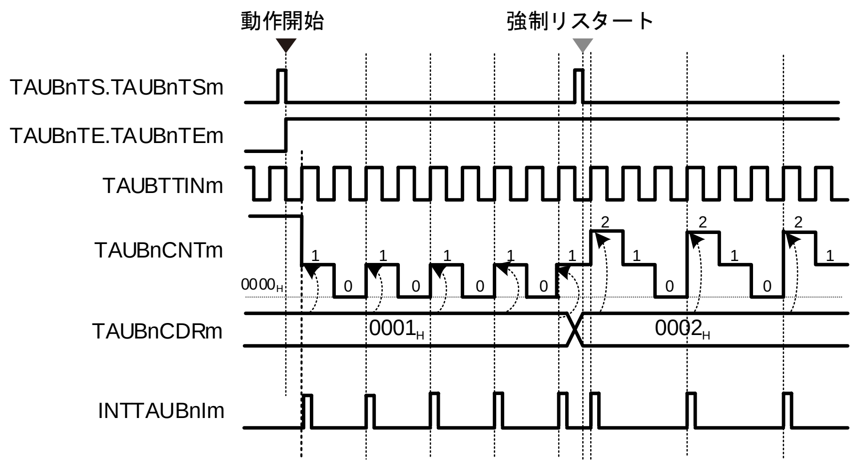


図 31.40　強制リスタート（TAUBnCMORm.TAUBnMD0＝1, TAUBnCMURm.TAUBnTIS[1:0]＝01B）

強制リスタート方法を以下に示します。

- カウント中に TAUBnTS.TAUBnTSm を 1 に設定すると、いったん停止しなくてもカウントを再開できます（強制リスタート）。
- TAUBnCDRm の値が TAUBnCNTm に書き込まれ、カウント動作が再開します。

31.12.4 外部イベントカウント機能

31.12.4.1 概要

概要

この機能は、イベントタイマとして使用します。特定数の TAUBTTINm 入力有効エッジを検出すると割り込み（INTTAUBnIm）を発生します。

前提条件

- 動作モードはイベントカウントモードに設定する必要があります（「**表 31.70 外部イベントカウント機能の TAUBnCMORm レジスタの内容**」参照）。
- この機能では、TAUBTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm＝1 となり、カウントが可能になります。カウントが開始されると、TAUBnCDRm の現在値が TAUBnCNTm にロードされます。
有効な TAUBTTINm 入力エッジを検出すると、TAUBnCNTm 値はデクリメントされます。TAUBnCNTm は、有効な TAUBTTINm 入力エッジが検出されるかカウントが再開するまでこの値を保持します。
有効エッジが TAUBnCDRm＋1 検出されると、INTTAUBnIm が発生します。その後、TAUBnCDRm 値を TAUBnCNTm にロードし、以降、動作を継続します。
TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。TAUBnTS.TAUBnTSm を 1 に設定すると、カウンタ動作を再開できます。カウント中に TAUBnTS.TAUBnTSm を 1 に設定すると、いったん停止せずにカウントを再開できます（強制リスタート）。
TAUBnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

トリガとして使用するエッジの種類は、TAUBnCMURm.TAUBnTIS[1:0]ビットで設定します。

- TAUBnCMURm.TAUBnTIS[1:0]＝00_B のときは、立ち下がりエッジがカウントされます。
- TAUBnCMURm.TAUBnTIS[1:0]＝01_B のときは、立ち上がりエッジがカウントされます。
- TAUBnCMURm.TAUBnTIS[1:0]＝10_B のときは、両エッジがカウントされます。

31.12.4.2 算出式

INTTAUBnIm 発生前に検出される有効エッジ数＝TAUBnCDRm＋1

31.12.4.3　ブロック図と基本タイミング図

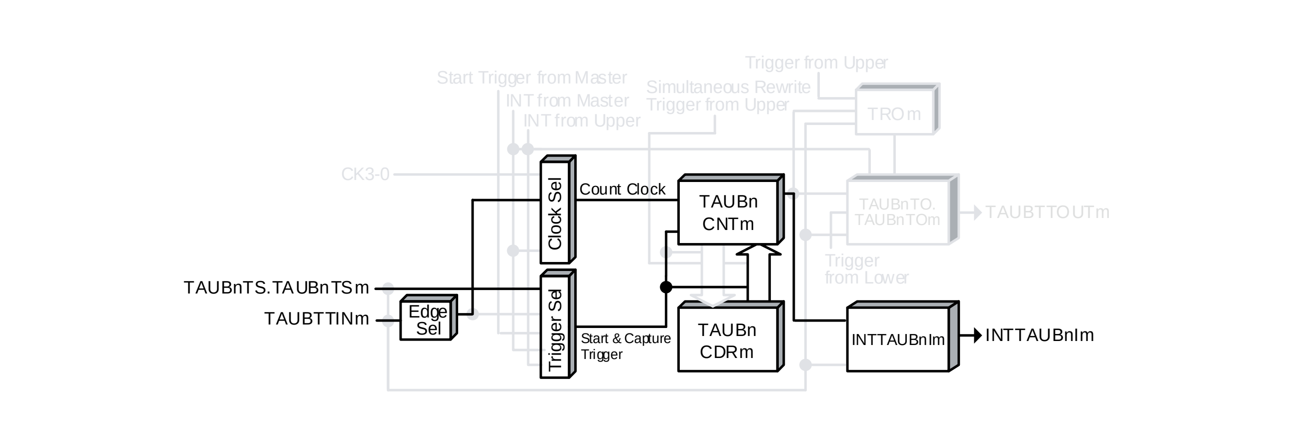


図 31.41　外部イベントカウント機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち上がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0]＝01_B）

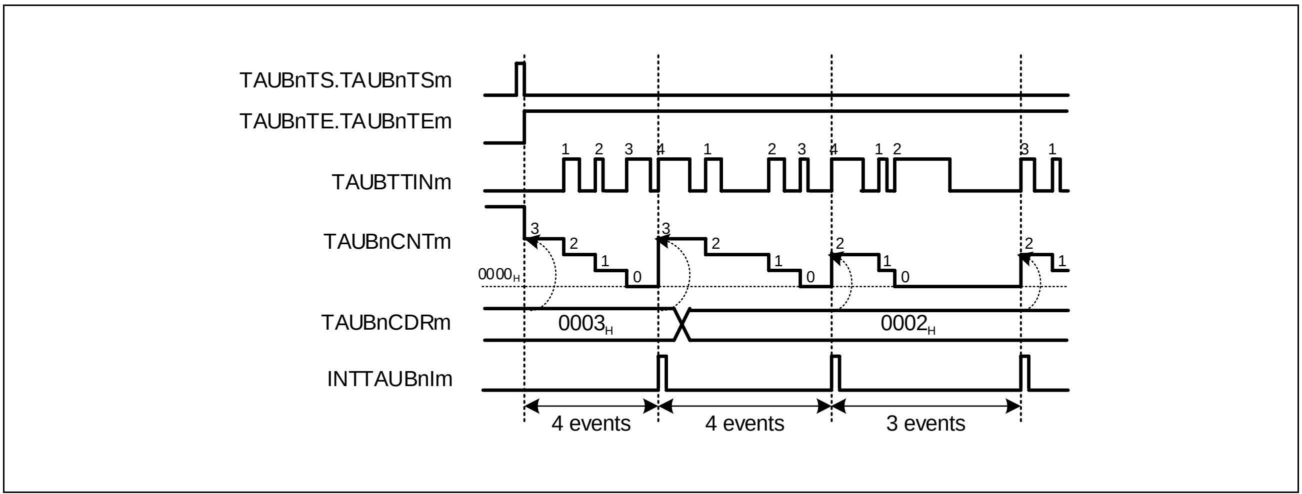


図 31.42　外部イベントカウント機能の基本タイミング図

31.12.4.4　レジスタ設定

(1)　TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS[1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS[1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 31.70　外部イベントカウント機能の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	1_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10～8	TAUBnSTS[2:0]	000_B を書いてください。
7、6	TAUBnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	0011_B を書いてください。
0	TAUBnMD0	0_B を書いてください。

(2)　TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 31.71　外部イベントカウント機能の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3)　チャネル出力モード

この機能ではチャネル出力モードを使用しません。

(4)　一斉書き換え

一斉書き換えレジスタ（TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC）は、外部イベントカウント機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 31.72　外部イベントカウント機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0：一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0：一斉書き換え禁止時（TAUBnRDE.TAUBnRDEm＝0）、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

31.12.4.5　外部イベントカウント機能の操作手順

表 31.73　外部イベントカウント機能の操作手順

	操作	TAUBn の状態
チャネルの初期設定	TAUBnCMORm、TAUBnCMURm レジスタを、「**表 31.70 外部イベントカウント機能の TAUBnCMORm レジスタの内容**」と「**表 31.71 外部イベントカウント機能の TAUBnCMURm レジスタの内容**」に示すように設定します。 TAUBnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、カウントが開始されます。 TAUBnCNTm は TAUBnCDRm 値をロードし、TAUBTTINm 入力エッジ検出を待ちます。
動作中	TAUBTTINm エッジ検出 TAUBnCDRm 値は任意のタイミングで変更可能です。 TAUBnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUBnCNTm は TAUBTTINm 入力エッジを検出するたびに、ダウンカウントを行います。有効エッジが TAUBnCDRm＋1 検出された場合： ● TAUBnCDRm 値を TAUBnCNTm にロードし、カウント動作を継続します。 ● INTTAUBnIm が発生します。 以降、この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm が停止し、現在値を保持します。

動作再開

31.12.4.6 特定の設定時のタイミング図

(1) TAUBnCDRm＝0000H

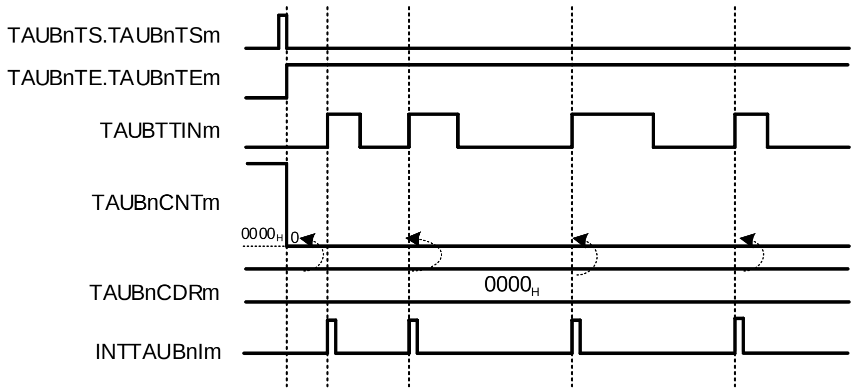


図 31.43 TAUBnCDRm＝0000H, TAUBnCMURm.TAUBnTIS[1:0]＝01B

- 0000H＝TAUBnCDRm の場合、有効な TAUBTTINm 入力エッジが検出されるたびに 0000H が TAUBnCNTm にロードされます。

つまり、有効な TAUBTTINm 入力エッジが検出されるたびに、INTTAUBnIm が発生します。

(2) 動作の停止と再開

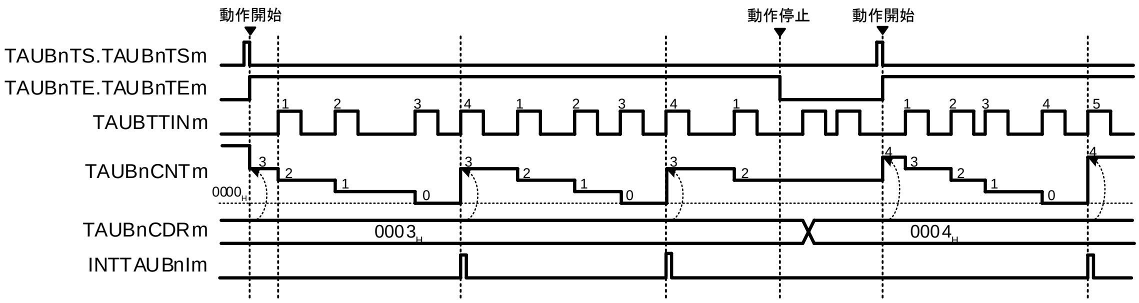


図 31.44 動作の停止と再開（TAUBnCMURm.TAUBnTIS[1:0]＝01B）

- TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。
- TAUBnCNTm が停止し、現在値を保持します。TAUBTTINm は継続し、TAUBnCNTm は有効エッジを無視します。
- TAUBnTS.TAUBnTSm を 1 に設定すると、カウントを再開できます。TAUBnCNTm は TAUBnCDRm 値をロードし、カウント動作を再開します。

(3) 強制リスタート

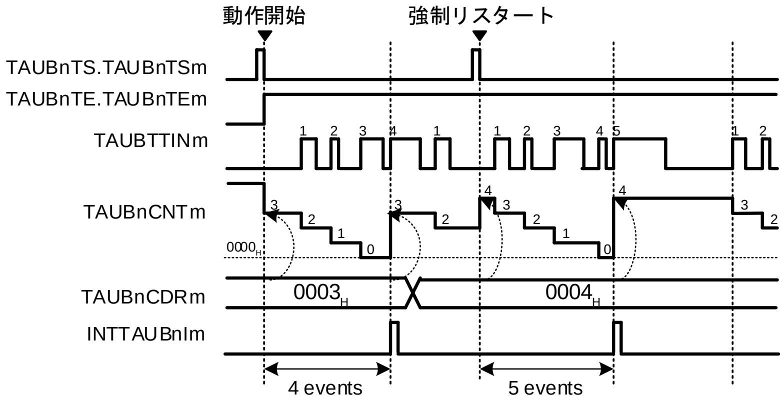


図 31.45　強制リスタート（TAUBnCMURm.TAUBnTIS[1:0]＝01B）

強制リスタートを行うと、変更した TAUBnCDRm の値が TAUBnCNTm に適用されます。

- 動作中に TAUBnTS.TAUBnTSm を 1 に設定すると、いったん停止しなくてもカウントを再開できます。
- TAUBnCDRm の値が TAUBnCNTm にロードされ、カウンタは次の有効な TAUBTTINm 入力エッジを待ちます。

31.12.5　ワンパルス出力機能

31.12.5.1　概要

概要

この機能は、有効な TAUBTTINm 入力エッジ検出時とその後一定の間隔で、割り込み（INTTAUBnIm）を発生します。定められた期間内に発生する TAUBTTINm 入力信号パルスは無視されます。

前提条件

- 動作モードはパルスワンカウントモードに設定する必要があります（「**表 31.74 ワンパルス出力機能の TAUBnCMORm レジスタの内容**」参照）。
- カウント動作中は、トリガ検出を禁止（TAUBnCMORm.TAUBnMD0＝0）にする必要があります。

機能説明

チャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、カウンタ動作が許可されます。
これにより TAUBnTE.TAUBnTEm＝1 となり、カウントが可能になります。
有効な TAUBTTINm 入力エッジを検出すると、カウンタ動作を開始します。TAUBnCDRm の値が TAUBnCNTm にロードされ、カウンタはその TAUBnCDRm 値からダウンカウントを開始し、割り込みが発生します。
カウンタが 0001_H になると、割り込みが発生します。カウンタは 0000_H で動作を停止し、次の有効な TAUBTTINm 入力エッジを待ちます。
カウンタのダウンカウント時は、TAUBTTINm 入力信号が無視されます。つまり、カウンタはリセットされません。
TAUBnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

トリガとして使用するエッジの種類は、TAUBnCMURm.TAUBnTIS[1:0]ビットで設定します。

- TAUBnCMURm.TAUBnTIS[1:0]＝00_B の場合、カウンタは立ち下がりエッジでトリガされます。
- TAUBnCMURm.TAUBnTIS[1:0]＝01_B の場合、カウンタは立ち上がりエッジでトリガされます。
- TAUBnCMURm.TAUBnTIS[1:0]＝10_B の場合、カウンタは立ち下がりエッジ、立ち上がり両エッジでトリガされます。

31.12.5.2　算出式

TAUBTTINm-INTTAUBnIm の間隔＝カウントクロック周期×TAUBnCDRm

31.12.5.3　ブロック図と基本タイミング図

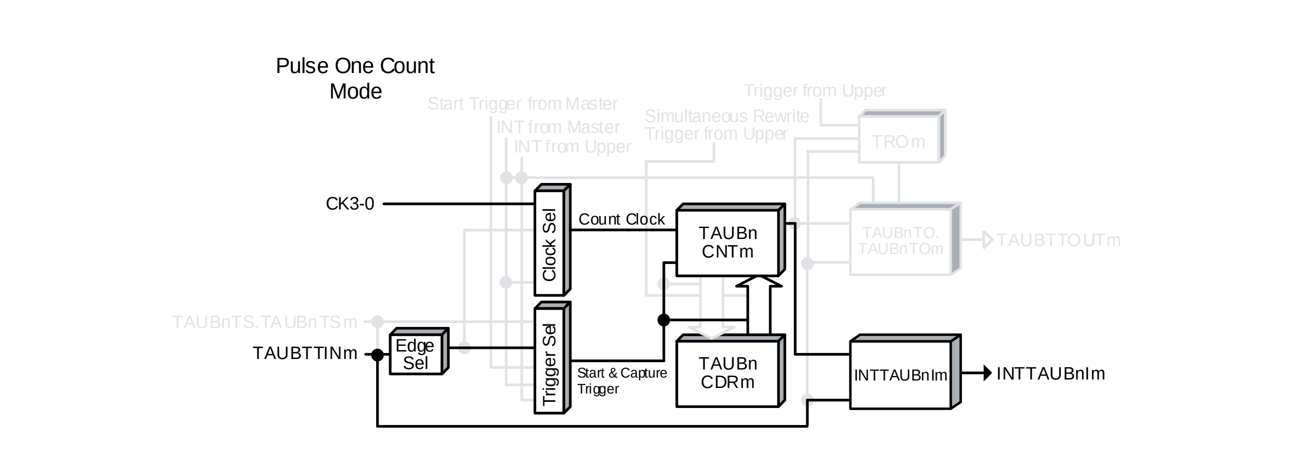


図 31.46　ワンパルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0]＝00_B）

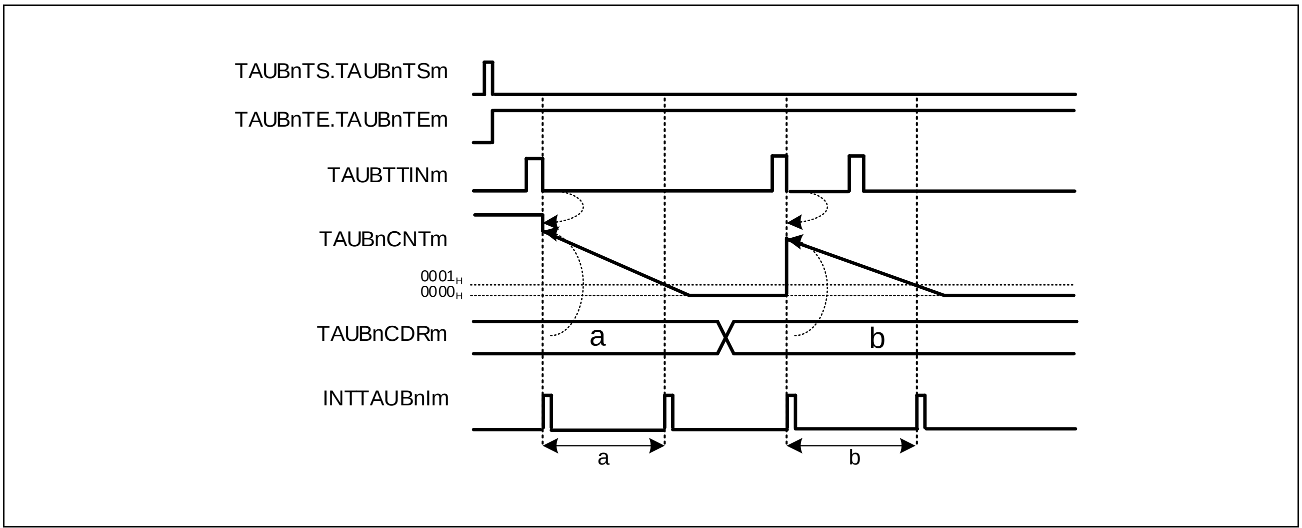


図 31.47　ワンパルス出力機能の基本タイミング図

31.12.5.4　レジスタ設定

(1) TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS[1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS[1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 31.74　ワンパルス出力機能の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10～8	TAUBnSTS[2:0]	001_B を書いてください。
7、6	TAUBnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	1010_B を書いてください。
0	TAUBnMD0	0_B を書いてください。

(2) TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 31.75　ワンパルス出力機能の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しません。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC）は、ワンパルス出力機能では使用できません。
したがって、これらのレジスタは 0 に設定する必要があります。

表 31.76　ワンパルス出力機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0：一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0：一斉書き換え禁止時（TAUBnRDE.TAUBnRDEm＝0）、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

31.12.5.5　ワンパルス出力機能の操作手順

表 31.77　ワンパルス出力機能の操作手順

	操作	TAUBn の状態
チャネルの初期設定	TAUBnCMORm、TAUBnCMURm レジスタを、「**表 31.74 ワンパルス出力機能の TAUBnCMORm レジスタの内容**」と「**表 31.75 ワンパルス出力機能の TAUBnCMURm レジスタの内容**」に示すように設定します。 TAUBnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。 TAUBTTINm スタートエッジ検出	TAUBnTE.TAUBnTEm が 1 に設定され、TAUBnCNTm は TAUBTTINm スタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUBnCNTm は TAUBnCDRm の値をロードします。
動作中	TAUBnCDRm 値は任意のタイミングで変更可能です。 TAUBnCNTm レジスタは常に読み出し可能です。	TAUBnCNTm の開始時に INTTAUBnIm が発生します。 TAUBnCNTm がダウンカウントを行います。カウンタが 0001_H になった場合、INTTAUBnIm が発生します。 TAUBnCNTm はカウントを停止し、トリガを待ちます。 TAUBnCNTm のカウント中に発生するトリガは無視されます。 以降、この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm は停止し、現在値を保持します。

動作再開

31.12.6　TAUBTTINm 入力パルスインターバル測定機能

31.12.6.1　概要

概要

この機能は、カウント値をキャプチャし、その値とオーバフロービット TAUBnCSRm.TAUBnOVF を使用して TAUBTTINm 入力信号の間隔を測定します。

前提条件

この機能では、TAUBTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、カウンタ動作が許可されます。
これにより TAUBnTE.TAUBnTEm＝1 となり、カウントが可能になります。カウンタ TAUBnCNTm は、0000_H からカウントを開始します。有効な TAUBTTINm エッジが検出されると、TAUBnCNTm の値がキャプチャされ、TAUBnCDRm に転送され、割り込み INTTAUBnIm が発生します。カウンタは、0000_H にリセットされ、その後動作を継続します。
有効な TAUBTTINm エッジを検出する前にカウンタが $FFFF_H$ に達すると、カウンタは 0000_H にオーバフローします。カウンタは、0000_H にリセットされ、その後動作を継続します。TAUBnCDRm、TAUBnCSRm.TAUBnOVF それぞれに転送される値は、TAUBnCMORm.TAUBnCOS[1:0]ビットの値によって異なります。

表 31.78　オーバフローの影響

TAUBnCMORm. TAUBnCOS[1:0]	オーバフローが発生した場合		その後、有効な TAUBTTINm 入力が検出された場合	
	TAUBnCDRm	TAUBnCSRm. TAUBnOVF	TAUBnCDRm, TAUBnCNTm	TAUBnCSRm. TAUBnOVF
00	変化しない	0	TAUBnCNTm が TAUBnCDRm にロードされる	1
01		1		
10	$FFFF_H$ に設定	0	TAUBnCNTm は 0 に設定され、TAUBnCDRm は変更されない	変化しない
11		1		

TAUBnCMORm.TAUBnCOS[0]＝1 のとき、オーバフロービット TAUBnCSRm.TAUBnOVF は、TAUBnCSCm.TAUBnCLOV＝1 を設定することでのみクリアできます。
TAUBnCDRm 値と TAUBnCSRm.TAUBnOVF 値の組み合わせを使用することで、TAUBTTINm 信号の間隔を推定できます。ただし、有効な TAUBTTINm 入力が検出される前に複数のオーバフローが発生した場合、オーバフロービット TAUBnCSRm.TAUBnOVF はその複数のオーバフローの発生を示せません。
TAUBnTT.TAUBnTTm＝1 を設定すると機能を停止できます。これにより、TAUBnTE.TAUBnTEm＝0 が設定されます。TAUBnCNTm が停止し、値を保持します。機能停止中、有効な TAUBTTINm 入力エッジの検出と TAUBnCNTm のキャプチャは行われません。
カウンタは、0000_H にリセットされ、その後動作を継続します。

条件

TAUBnCMORm.TAUBnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。

備　考

TAUBnCMORm.TAUBnCOS[1:0]＝10_B, 11_B の場合、オーバフロー後の最初の有効な TAUBTTINm 入力エッジの発生時、TAUBnCNTm の値は TAUBnCDRm にロードされません。ただし、割り込みが発生します。

31.12.6.2　算出式

TAUBTTINm 入力パルスインターバル＝カウントクロック周期×

[（TAUBnCSRm.TAUBnOVF×($FFFF_H$＋1)）＋TAUBnCDRm キャプチャ値＋1]

31.12.6.3　ブロック図と基本タイミング図

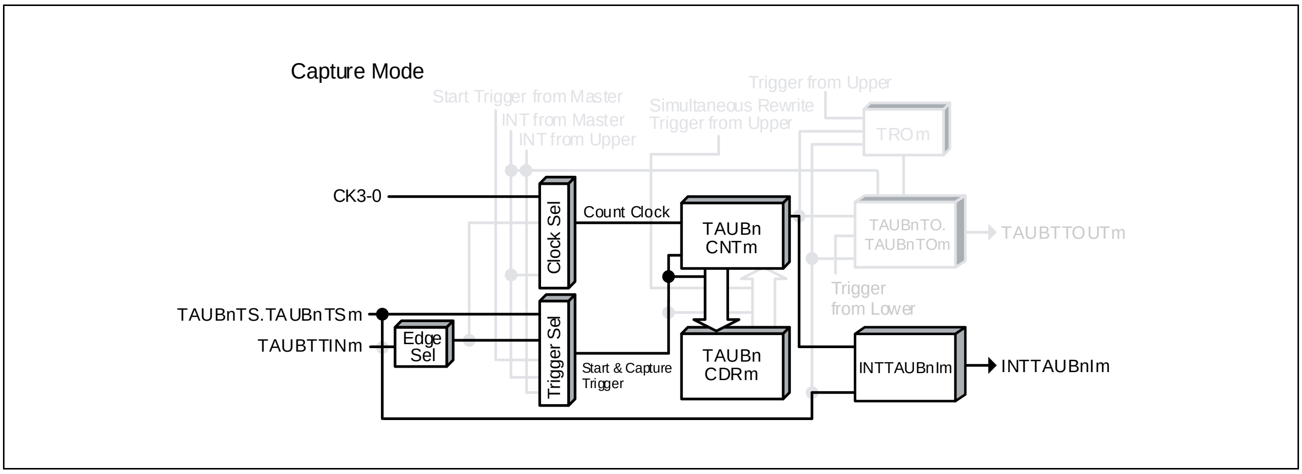


図 31.48　TAUBTTINm 入力パルスインターバル測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUBnIm が発生しない（TAUBnCMORm.TAUBnMD0＝0）
- 立ち下がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0]＝00_B）
- オーバフロー後に有効な TAUBTTINm 入力を検出すると、TAUBnCDRm を変更し、TAUBnCSRm.TAUBnOVF を 1 に設定する（TAUBnCMORm.TAUBnCOS[1:0]＝00_B）

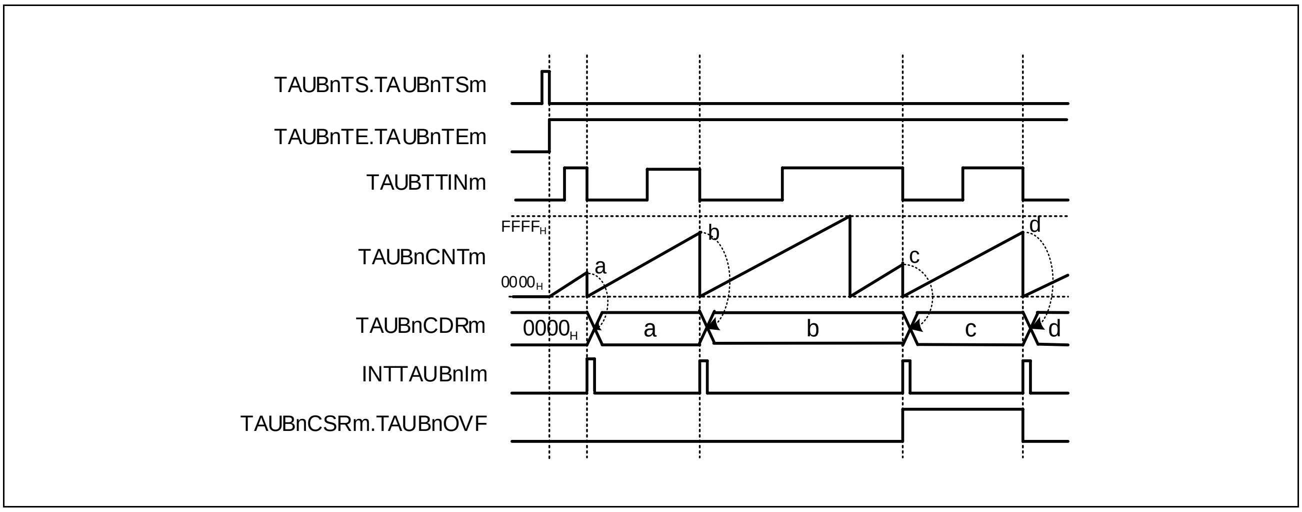


図 31.49　TAUBTTINm 入力パルスインターバル測定機能の基本タイミング図

31.12.6.4 レジスタ設定

(1) TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS[1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS[1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 31.79 TAUBTTINm 入力パルスインターバル測定機能の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10～8	TAUBnSTS[2:0]	001_B を書いてください。
7、6	TAUBnCOS[1:0]	「**表 31.78 オーバフローの影響**」を参照。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	0010_B を書いてください。
0	TAUBnMD0	0：動作開始時に INTTAUBnIm が発生しない 1：動作開始時に INTTAUBnIm が発生する

(2) TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 31.80 TAUBTTINm 入力パルスインターバル測定機能の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC）は、TAUBTTINm 入力パルスインターバル測定機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 31.81 TAUBTTINm 入力パルスインターバル測定機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0：一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0：一斉書き換え禁止時（TAUBnRDE.TAUBnRDEm＝0）、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

31.12.6.5 TAUBTTINm 入力パルスインターバル測定機能の操作手順

表 31.82 TAUBTTINm 入力パルスインターバル測定機能の操作手順

	操作	TAUBn の状態
チャネルの初期設定	TAUBnCMORm、TAUBnCMURm レジスタを、「**表 31.79 TAUBTTINm 入力パルスインターバル測定機能の TAUBnCMORm レジスタの内容**」と「**表 31.80 TAUBTTINm 入力パルスインターバル測定機能の TAUBnCMURm レジスタの内容**」に示すように設定します。 TAUBnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、カウントが開始されます。 TAUBnCNTm が 0000_H にクリアされます。 TAUBnCMORm.TAUBnMD0 が 1 の場合は、INTTAUBnIm が発生します。
動作中	TAUBTTINm エッジ検出 TAUBnCMURm.TAUBnTIS[1:0]ビット値は任意のタイミングで変更可能です。 TAUBnCDRm、TAUBnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUBnCSCm.TAUBnCLOV ビットの 1 書き込みが可能。（TAUBnCSRm.TAUBnOVF ビットを 0 にクリア）	TAUBnCNTm は、0000_H からアップカウントを開始します。TAUBTTINm の有効エッジ検出時： ● TAUBnCNTm が自身の値を TAUBnCDRm に転送（キャプチャ）して、0000_H に戻ります。 ● その後、INTTAUBnIm が発生します。 以降、この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	AUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm は停止し、TAUBnCNTm と TAUBnCSRm.TAUBnOVF は現在値を保持します。

動作再開

31.12.6.6　特定の設定時のタイミング図：オーバフロー動作

(1) TAUBnCMORm.TAUBnCOS[1:0]＝00_B

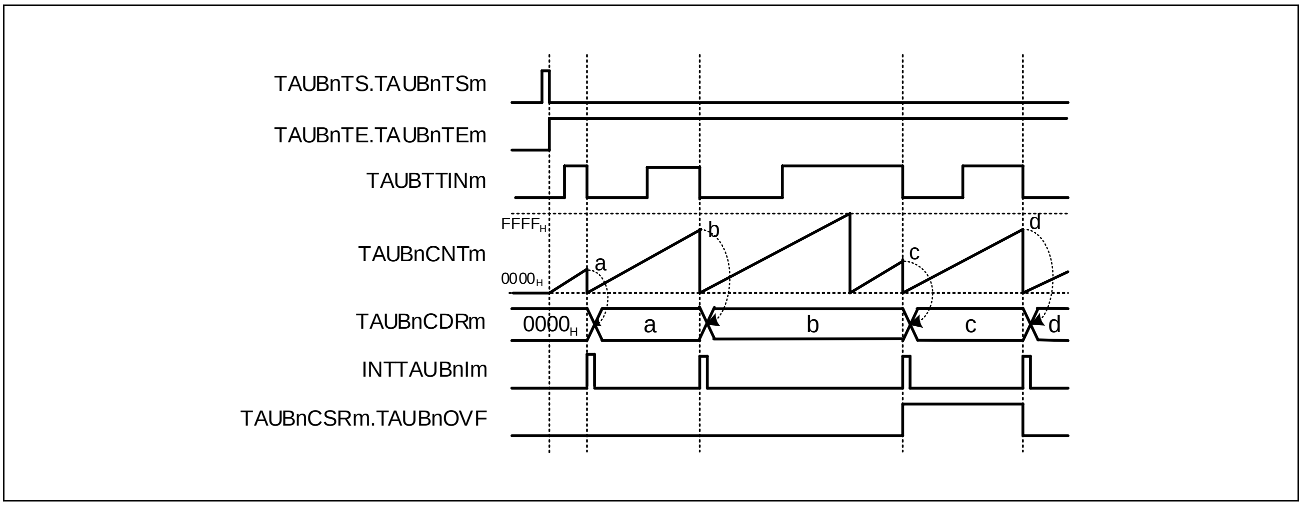


図 31.50　TAUBnCMORm.TAUBnCOS[1:0]＝00_B, TAUBnCMORm.TAUBnMD0＝0, TAUBnCMURm.TAUBnTIS[1:0]＝00_B

- オーバフローが発生すると、TAUBnCDRm の値は変更されず、TAUBnCSRm.TAUBnOVF の値は 0 のままです。
- 次の有効な TAUBTTINm 入力エッジが検出されると、TAUBnCNTm の値が TAUBnCDRm にロードされ、TAUBnCSRm.TAUBnOVF が 1 に設定されます。
- オーバフローが発生していない状態で次の有効な TAUBTTINm 入力エッジが検出されると、TAUBnCSRm.TAUBnOVF が 0 にクリアされます。

(2) TAUBnCMORm.TAUBnCOS[1:0]＝01_B

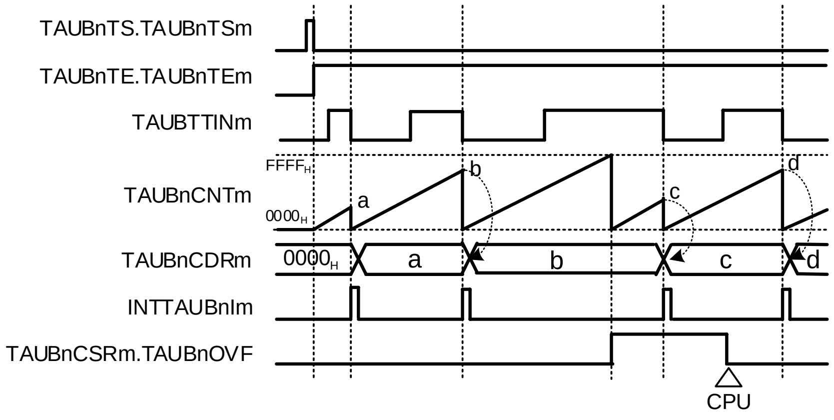


図 31.51 TAUBnCMORm.TAUBnCOS[1:0]＝01_B, TAUBnCMORm.TAUBnMD0＝0, TAUBnCMURm.TAUBnTIS[1:0]＝00_B

- オーバフローが発生すると、TAUBnCDRm の値は変更されず、TAUBnCSRm.TAUBnOVF の値は 1 に設定されます。
- 次の有効な TAUBTTINm 入力エッジが検出されると、TAUBnCNTm の値が TAUBnCDRm にロードされます。
- TAUBnCSRm.TAUBnOVF は、CPU コマンド（TAUBnCSCm.TAUBnCLOV ビット＝1 のセット）でのみクリアされます。

(3) TAUBnCMORm.TAUBnCOS[1:0]＝10_B

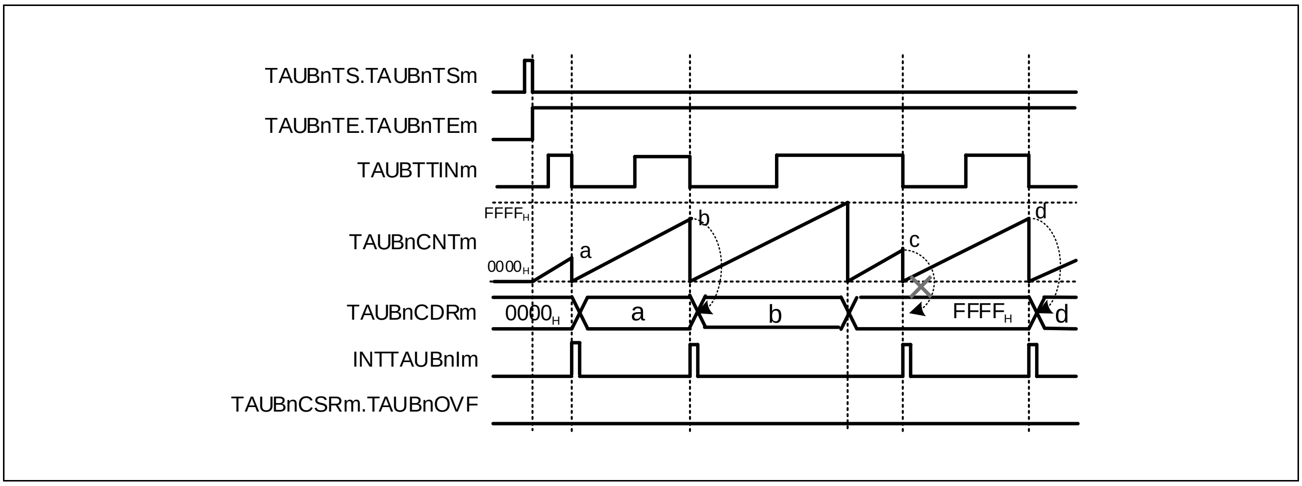


図 31.52　TAUBnCMORm.TAUBnCOS[1:0]＝10_B, TAUBnCMORm.TAUBnMD0＝0, TAUBnCMURm.TAUBnTIS[1:0]＝00_B

- オーバフローが発生すると、TAUBnCDRm は $FFFF_H$ に設定され、TAUBnCSRm.TAUBnOVF の値は 0 のままです。
- 次の有効な TAUBTTINm 入力エッジが検出されると、TAUBnCNTm が 0 にリセットされますが、TAUBnCDRm と TAUBnCSRm.TAUBnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUBTTINm 入力エッジは無視されます。

(4) TAUBnCMORm.TAUBnCOS[1:0]＝11_B

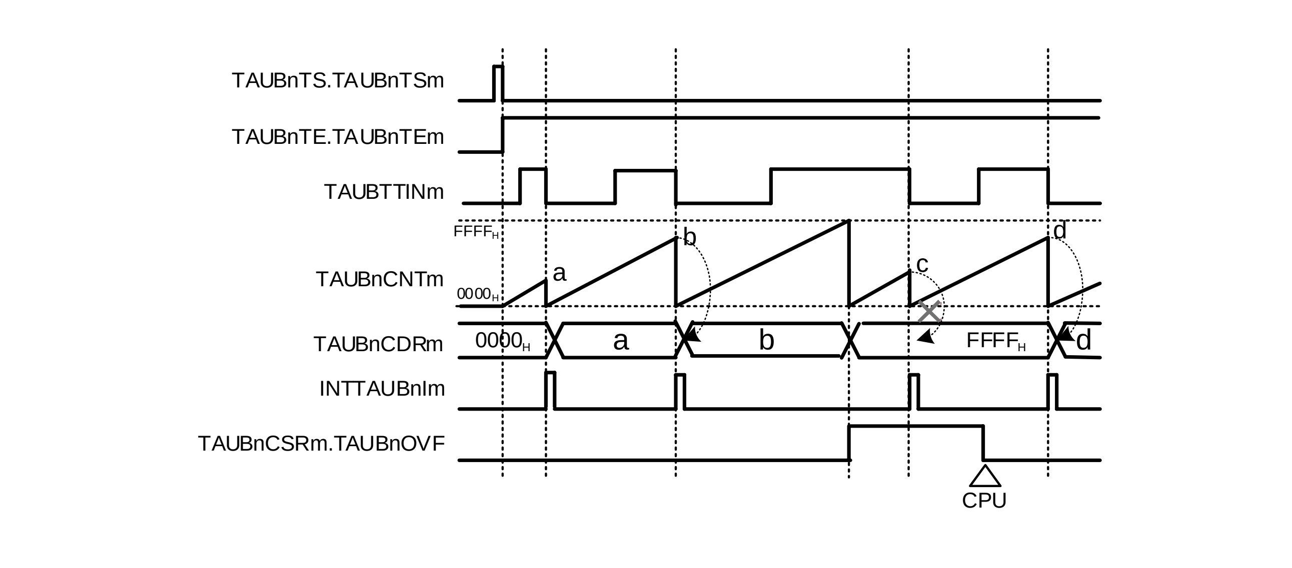


図 31.53　TAUBnCMORm.TAUBnCOS[1:0]＝11_B, TAUBnCMORm.TAUBnMD0＝0,
TAUBnCMURm.TAUBnTIS[1:0]＝00_B

- オーバフローが発生すると、TAUBnCDRm は $FFFF_H$ に設定され、TAUBnCSRm.TAUBnOVF は 1 に設定されます。
- 次の有効な TAUBTTINm 入力エッジが検出されると、TAUBnCNTm が 0 にリセットされますが、TAUBnCDRm と TAUBnCSRm.TAUBnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUBTTINm 入力エッジは無視されます。
- TAUBnCSRm.TAUBnOVF は、TAUBnCSCm.TAUBnCLOV＝1 を設定することでクリアされます。

(5)　両エッジ検出（TAUBnCMORm.TAUBnMD0＝1）

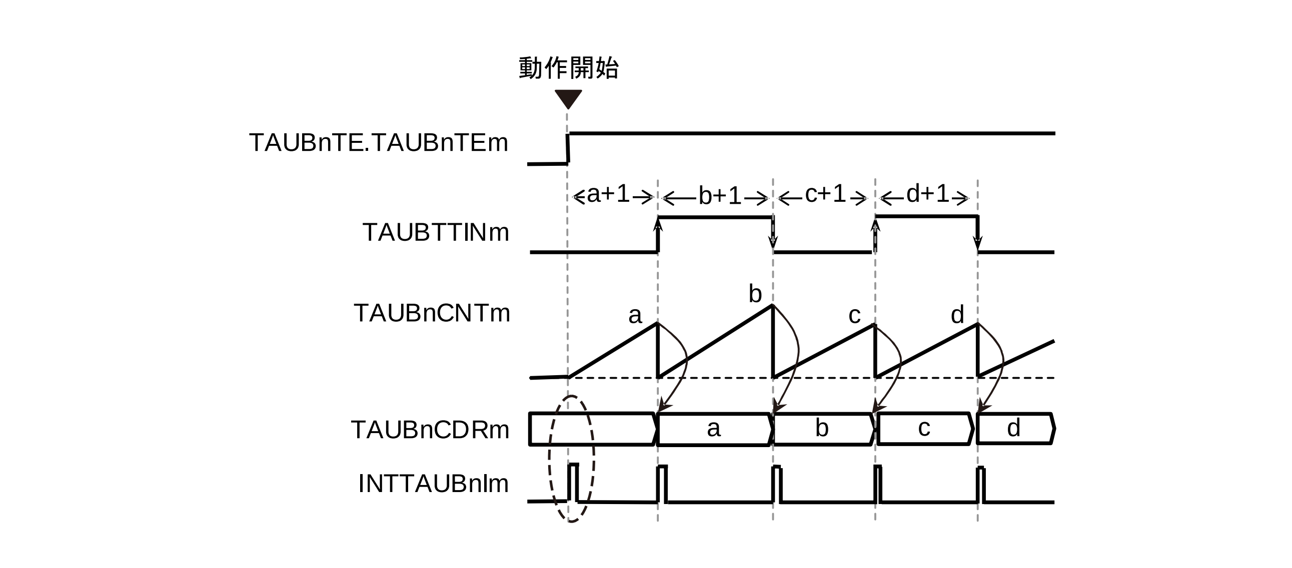


図 31.54　TAUBnCMORm.TAUBnMD0＝1

TAUBnCMURm.TAUBnTIS[1:0]＝10_B に設定（両エッジ検出を選択）することにより、TAUBTTINm の立ち上がり／立ち下がりエッジの間隔を測定します。

(6) 動作停止およびリスタート（TAUBnCMORm.TAUBnMD0＝0）

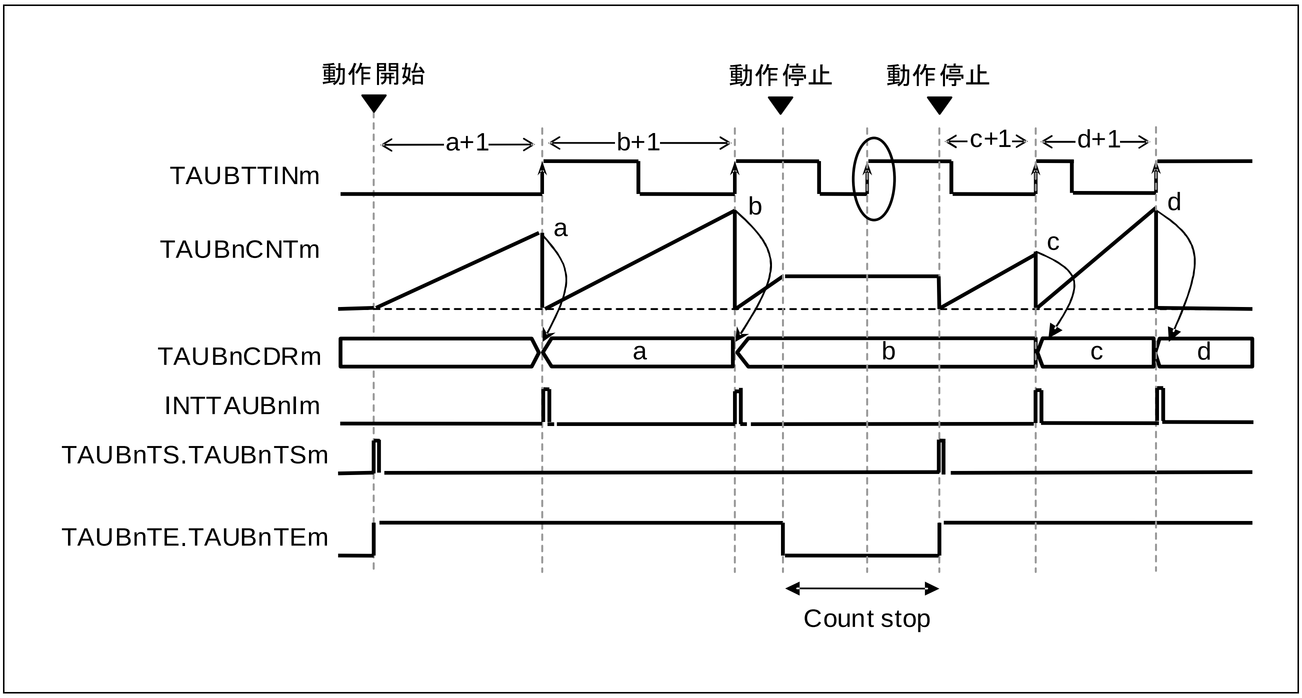


図 31.55　動作の停止と再開（TAUBnCMORm.TAUBnMD0＝0）

TAUBnTT.TAUBnTTm を 1 に設定することによって TAUBnTE.TAUBnTEm が 0 にクリアされ、カウント動作を停止します。このとき、TAUBnCNTm は状態を保持して停止します。

TAUBnTE.TAUBnTEm が 0 を保持（動作を停止）しているとき、TAUBTTINm 入力は無視されます（エッジ検出は無視され、キャプチャ動作は行われません）。

TAUBnTS.TAUBnTSm を 1 に設定すると、カウンタは 0000_H にクリアされ、カウントアップを再開します。

31.12.7　TAUBTTINm 入力信号幅測定機能

31.12.7.1　概要

概要

この機能は、TAUBTTINm の片エッジでカウントをスタートし、もう片エッジでカウント値をキャプチャすることで、TAUBTTINm の信号幅を測定できます。

前提条件

この機能では、TAUBTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、カウンタ動作が許可されます。
これにより TAUBnTE.TAUBnTEm＝1 となり、カウントが可能になります。有効な TAUBTTINm スタートエッジが検出されると、カウンタ TAUBnCNTm は、0000_H からカウントを開始します。有効な TAUBTTINm ストップエッジが検出されると、TAUBnCNTm の値がキャプチャされ、TAUBnCDRm に転送され、割り込み INTTAUBnIm が発生します。カウンタは値（TAUBnCDRm＋1）を保持し、次の有効な TAUBTTINm 入力スタートエッジを待ちます。
有効な TAUBTTINm ストップエッジを検出する前にカウンタが $FFFF_H$ に達すると、カウンタはオーバフローします。カウンタは、0000_H にリセットされ、その後動作を継続します。TAUBnCDRm、TAUBnCSRm.TAUBnOVF それぞれに転送される値は、TAUBnCMORm.TAUBnCOS[1:0]ビットの値によって異なります。

表 31.83　オーバフローの影響

<table>
<tr><th rowspan="2">TAUBnCMORm.
TAUBnCOS[1:0]</th><th colspan="2">オーバフローが発生した場合</th><th colspan="2">有効な TAUBTTINm 入力ストップエッジの検出時</th></tr>
<tr><th>TAUBnCDRm</th><th>TAUBnCSRm.
TAUBnOVF</th><th>TAUBnCDRm, TAUBnCNTm</th><th>TAUBnCSRm.
TAUBnOVF</th></tr>
<tr><td>00</td><td rowspan="2">変化しない</td><td>0</td><td rowspan="2">TAUBnCNTm が TAUBnCDRm にロードされる</td><td rowspan="2">1</td></tr>
<tr><td>01</td><td>1</td></tr>
<tr><td>10</td><td rowspan="2">$FFFF_H$ に設定</td><td>0</td><td rowspan="2">TAUBnCNTm はカウントを停止
TAUBnCDRm は変更されない</td><td rowspan="2">変化しない</td></tr>
<tr><td>11</td><td>1</td></tr>
</table>

TAUBnCMORm.TAUBnCOS[0]＝1 のとき、オーバフロービット TAUBnCSRm.TAUBnOVF は、TAUBnCSCm.TAUBnCLOV＝1 を設定することでのみクリアできます。
TAUBnCDRm 値と TAUBnCSRm.TAUBnOVF 値の組み合わせを使用することで、TAUBTTINm 信号の幅を推定できます。ただし、有効な TAUBTTINm 入力が検出される前に複数のオーバフローが発生した場合、オーバフロービット TAUBnCSRm.TAUBnOVF はその複数のオーバフローの発生を示せません。
この機能は強制的に再開することはできません。

備　考

TAUBnCMORm.TAUBnCOS[1]＝1 の場合、オーバフロー後の最初の有効な TAUBTTINm 入力エッジの発生時、TAUBnCNTm の値は TAUBnCDRm にロードされません。ただし、割り込みが発生します。

31.12.7.2 算出式

TAUBTTINm 入力信号幅＝カウントクロック周期×

[（TAUBnCSRm.TAUBnOVF×(FFFF$_H$＋1)）＋TAUBnCDRm キャプチャ値＋1]

31.12.7.3 ブロック図と基本タイミング図

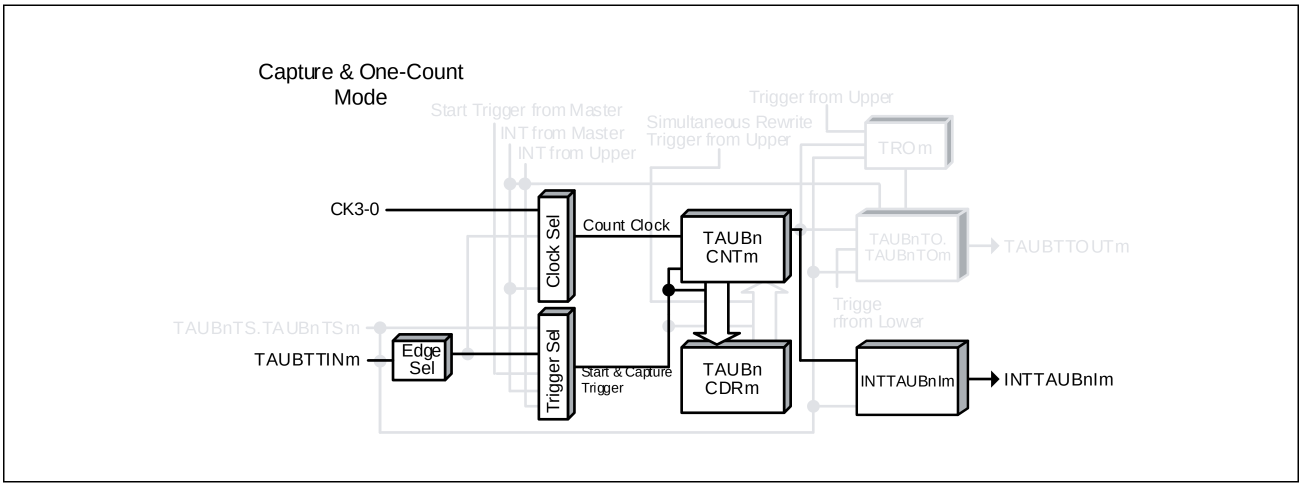


図 31.56 TAUBTTINm 入力信号幅測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出＝ハイレベル幅測定（TAUBnCMURm.TAUBnTIS[1:0]＝11$_B$）
- オーバフロー後に有効な TAUBTTINm 入力を検出すると、TAUBnCDRm を変更し、TAUBnCSRm.TAUBnOVF を 1 に設定する（TAUBnCMORm.TAUBnCOS[1:0]＝00$_B$）

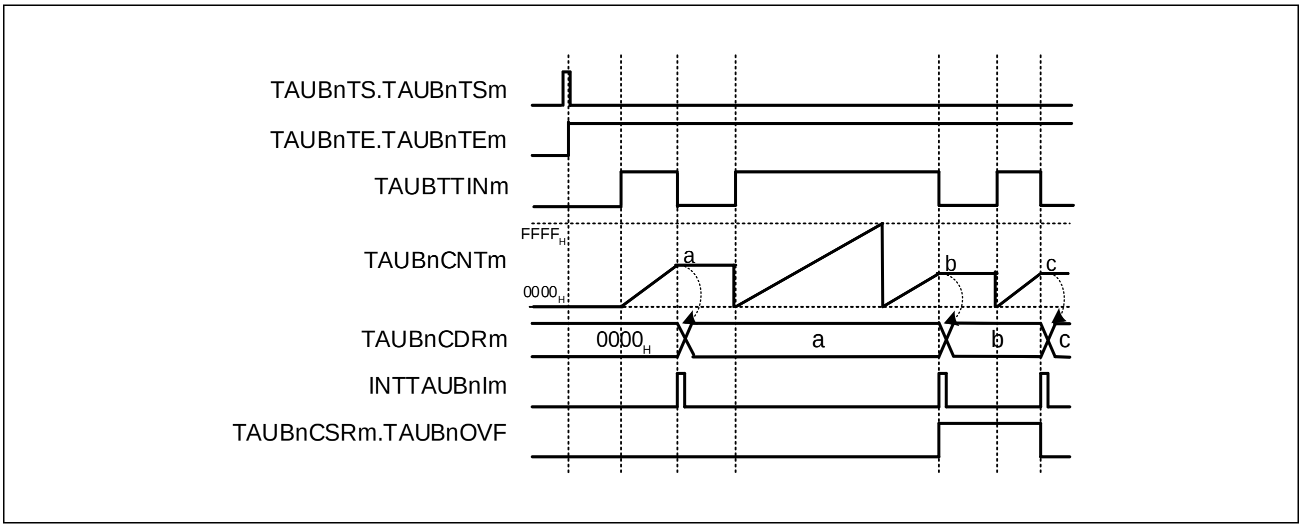


図 31.57 TAUBTTINm 入力信号幅測定機能の基本タイミング図

31.12.7.4　レジスタ設定

(1) TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS[1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS[1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 31.84　TAUBTTINm 入力信号幅測定機能の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10～8	TAUBnSTS[2:0]	010_B を書いてください。
7、6	TAUBnCOS[1:0]	「**表 31.83 オーバフローの影響**」を参照。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	0110_B を書いてください。
0	TAUBnMD0	0_B を書いてください。

(2) TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 31.85　TAUBTTINm 入力信号幅測定機能の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC）は、TAUBTTINm 入力信号幅測定機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 31.86　TAUBTTINm 入力信号幅測定機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0：一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0：一斉書き換え禁止時（TAUBnRDE.TAUBnRDEm＝0）、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

31.12.7.5　TAUBTTINm 入力信号幅測定機能の操作手順

表 31.87　TAUBTTINm 入力信号幅測定機能の操作手順

	操作	TAUBn の状態
チャネルの初期設定	TAUBnCMORm、TAUBnCMURm レジスタを、「**表 31.84 TAUBTTINm 入力信号幅測定機能の TAUBnCMORm レジスタの内容**」と「**表 31.85 TAUBTTINm 入力信号幅測定機能の TAUBnCMURm レジスタの内容**」に示すように設定します。 TAUBnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、TAUBnCNTm は TAUBTTINm スタートエッジ検出を待ちます。 TAUBTTINm スタートエッジを検出すると、TAUBnCNTm はアップカウントを開始します。
動作中	TAUBnCDRm、TAUBnCNTm、TAUBnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUBnCSCm.TAUBnCLOV ビットは、1 にセット可能です。	TAUBnCNTm は、0000_H からアップカウントを開始します。TAUBTTINm の有効エッジ検出時： ● TAUBnCNTm が自身の値を TAUBnCDRm に転送（キャプチャ）して、その値を保持します。 ● INTTAUBnIm が発生します。 ● カウントは TAUBnCDRm に転送した値＋1 の値で停止し、TAUBnCNTm は TAUBTTINm スタートエッジの検出を待ちます。 以降、この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm は停止し、TAUBnCNTm と TAUBnCSRm.TAUBnOVF は現在値を保持します。

動作再開

31.12.7.6　特定の設定時のタイミング図：オーバフロー動作

(1)　TAUBnCMORm.TAUBnCOS[1:0]＝00B

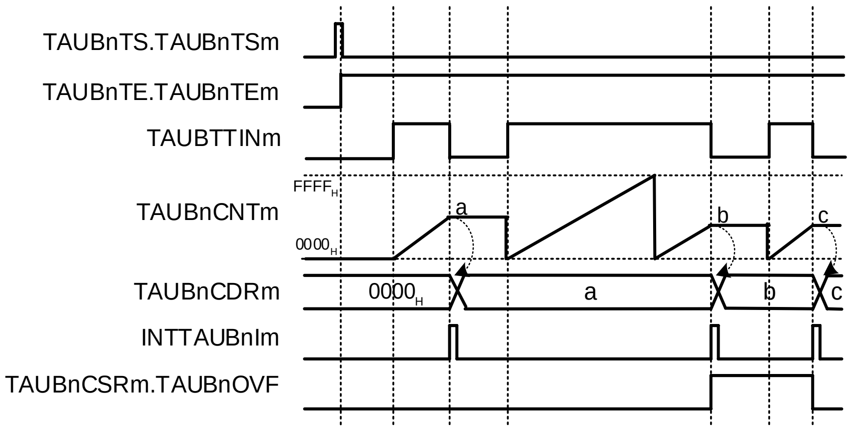


図 31.58　TAUBnCMORm.TAUBnCOS[1:0]＝00B, TAUBnCMORm.TAUBnMD0＝0, TAUBnCMURm.TAUBnTIS[1:0]＝11B

- オーバフローが発生すると、TAUBnCDRm の値は変更されず、TAUBnCSRm.TAUBnOVF の値は 0 のままです。
- 次の有効な TAUBTTINm 入力エッジが検出されると、TAUBnCNTm の値が TAUBnCDRm にロードされ、TAUBnCSRm.TAUBnOVF が 1 に設定されます。
- オーバフローが発生していない状態で次の有効な TAUBTTINm 入力エッジが検出されると、TAUBnCSRm.TAUBnOVF が 0 にクリアされます。

(2) TAUBnCMORm.TAUBnCOS[1:0]＝01_B

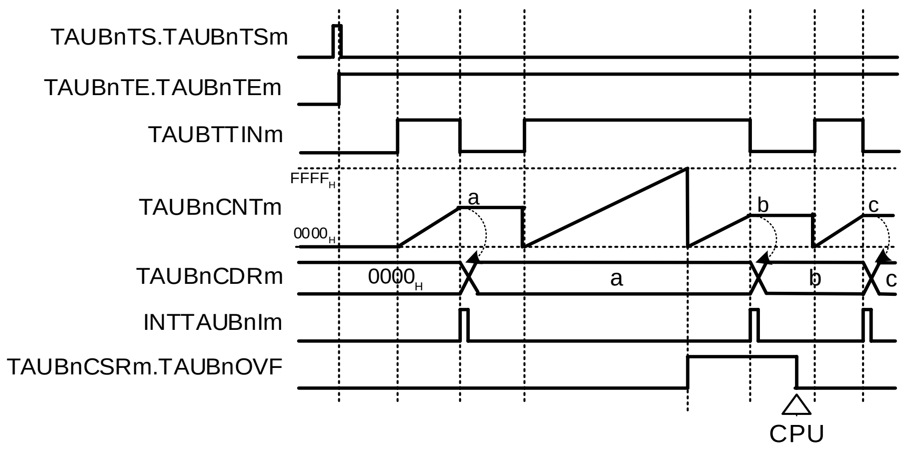


図 31.59 TAUBnCMORm.TAUBnCOS[1:0]＝01_B, TAUBnCMORm.TAUBnMD0＝0, TAUBnCMURm.TAUBnTIS[1:0]＝11_B

- オーバフローが発生すると、TAUBnCDRm の値は変更されず、TAUBnCSRm.TAUBnOVF の値は 1 に設定されます。
- 次の有効な TAUBTTINm 入力エッジが検出されると、TAUBnCNTm の値が TAUBnCDRm にロードされます。
- TAUBnCSRm.TAUBnOVF は、CPU コマンド（TAUBnCSCm.TAUBnCLOV ビット＝1 のセット）でのみクリアされます。

(3) TAUBnCMORm.TAUBnCOS[1:0]＝10_B

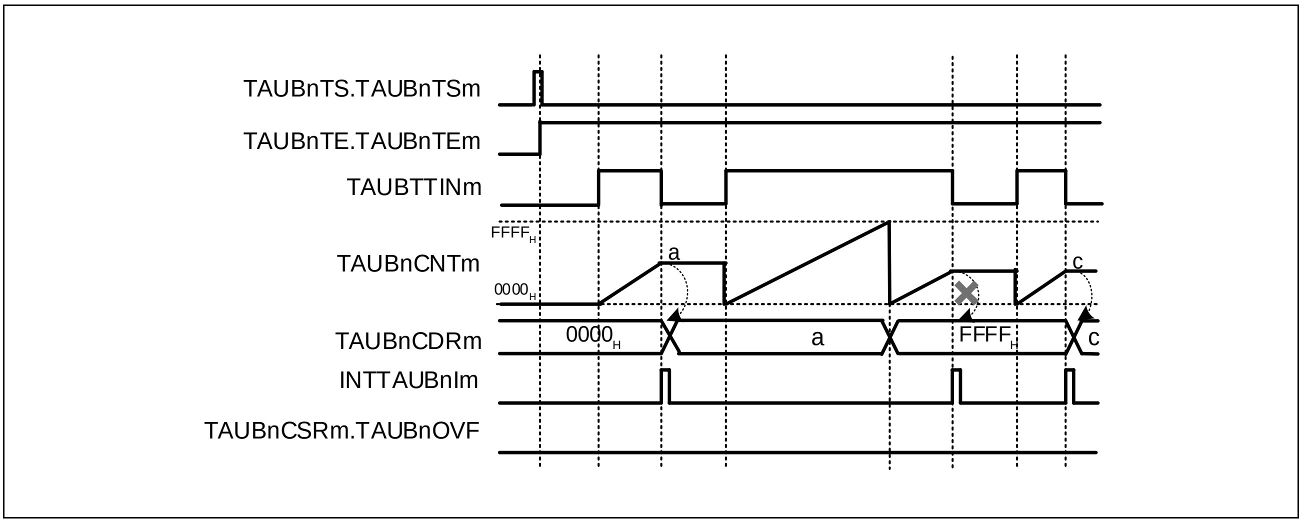


図 31.60　TAUBnCMORm.TAUBnCOS[1:0]＝10_B, TAUBnCMORm.TAUBnMD0＝0, TAUBnCMURm.TAUBnTIS[1:0]＝11_B

- オーバフローが発生すると、TAUBnCDRm は $FFFF_H$ に設定され、TAUBnCSRm.TAUBnOVF の値は 0 のままです。
- 次の有効な TAUBTTINm 入力エッジが検出されると、TAUBnCNTm がカウントを停止し、TAUBnCDRm と TAUBnCSRm.TAUBnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUBTTINm 入力エッジは無視されます。

(4) TAUBnCMORm.TAUBnCOS[1:0]＝11_B

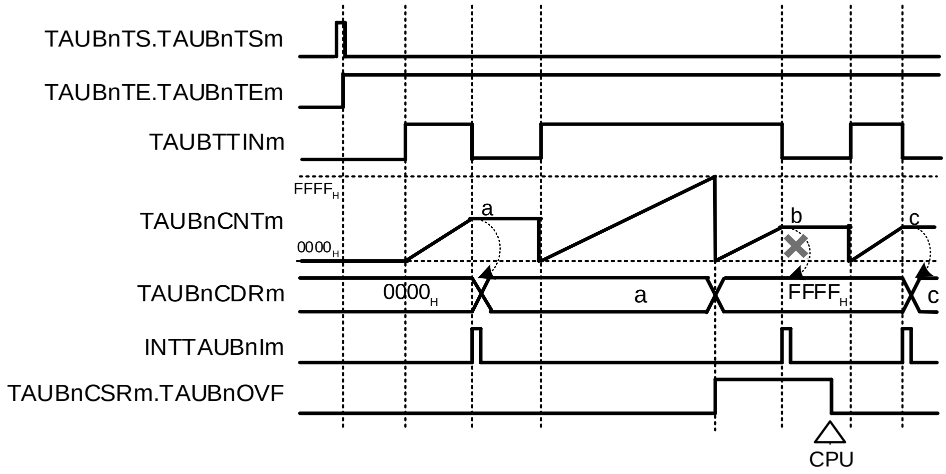


図 31.61 TAUBnCMORm.TAUBnCOS[1:0]＝11_B, TAUBnCMORm.TAUBnMD0＝0, TAUBnCMURm.TAUBnTIS[1:0]＝11_B

- オーバフローが発生すると、TAUBnCDRm は $FFFF_H$ に設定され、TAUBnCSRm.TAUBnOVF は 1 に設定されます。
- 次の有効な TAUBTTINm 入力エッジが検出されると、TAUBnCNTm がカウントを停止し、TAUBnCDRm と TAUBnCSRm.TAUBnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUBTTINm 入力エッジは無視されます。
- TAUBnCSRm.TAUBnOVF は、TAUBnCSCm.TAUBnCLOV＝1 を設定することでクリアされます。

(5) オーバフローが発生した場合（ハイレベル幅測定）

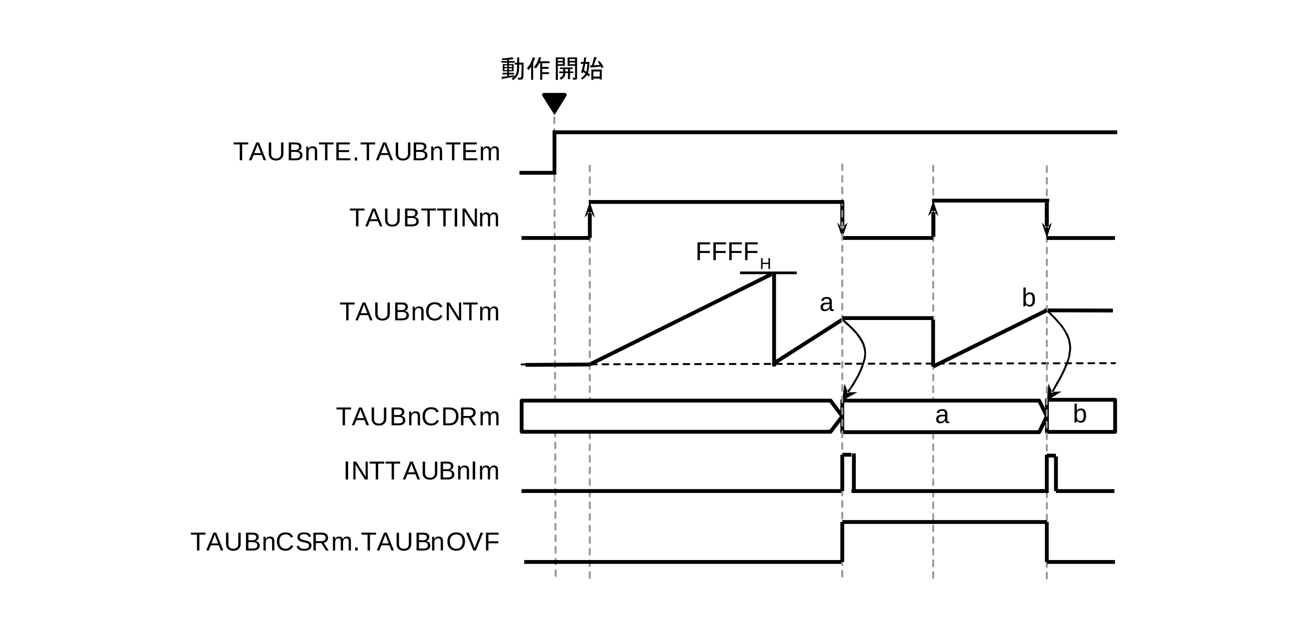


図 31.62　オーバフローが発生した場合

カウント値がオーバフローした後にキャプチャトリガを入力すると、カウント値が TAUBnCDRm に転送され、同時に TAUBnCSRm.TAUBnOVF が 1 に設定されます。

次のキャプチャトリガが発生するまで TAUBnCSRm.TAUBnOVF は 1 のままです。

次のキャプチャトリガがオーバフローをともなわない場合、TAUBnCSRm.TAUBnOVF は 0 クリアされます。

TAUBTTINm 入力信号幅（TAUBnCSRm.TAUBnOVF が 1、TAUBnCDRm が a の場合の例）
＝カウントクロックサイクル×（$(10000_H$ ×TAUBnCSRm.TAUBnOVF)＋(TAUBnCDRm キャプチャ値＋1)）
＝カウントクロックサイクル×（$(10000_H$ ×1)＋(a＋1)）
＝カウントクロックサイクル×（10000_H ＋a＋1）

31.12.8　TAUBTTINm 入力位置検出機能

31.12.8.1　概要

概要

TAUBTTINm の有効エッジでカウント値をキャプチャすることで、入力信号間隔を測定できる機能です。

前提条件

この機能では、TAUBTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm＝1 となり、カウントが可能になります。カウンタは、0000_H からカウントを開始します。有効な TAUBTTINm 入力エッジが検出されると、TAUBnCNTm の現在値が TAUBnCDRm にロードされ、割り込み（INTTAUBnIm）が発生します。カウント動作は継続します。
カウンタ値が $FFFF_H$ になると、カウンタは 0000_H からカウント動作を再開します。

備　考

TAUBTTINm 入力信号は TAUBnCMORm.TAUBnCKS[1:0]ビットで設定した動作クロックの周波数でサンプリングされます。

条件

TAUBnCMORm.TAUBnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。

31.12.8.2　算出式

TAUBTTINm 入力パルスでの機能時間＝

カウントクロック周期×（TAUBnCDRm キャプチャ値＋1）

31.12.8.3　ブロック図と基本タイミング図

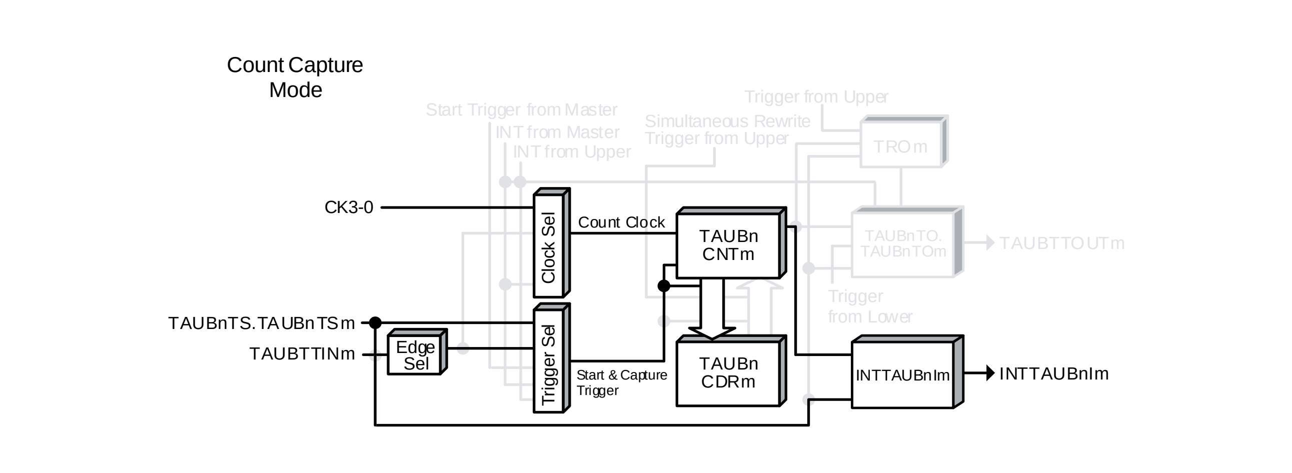


図 31.63　TAUBTTINm 入力位置検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUBnIm が発生しない（TAUBnCMORm.TAUBnMD0＝0）
- 立ち下がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0]＝00_B）

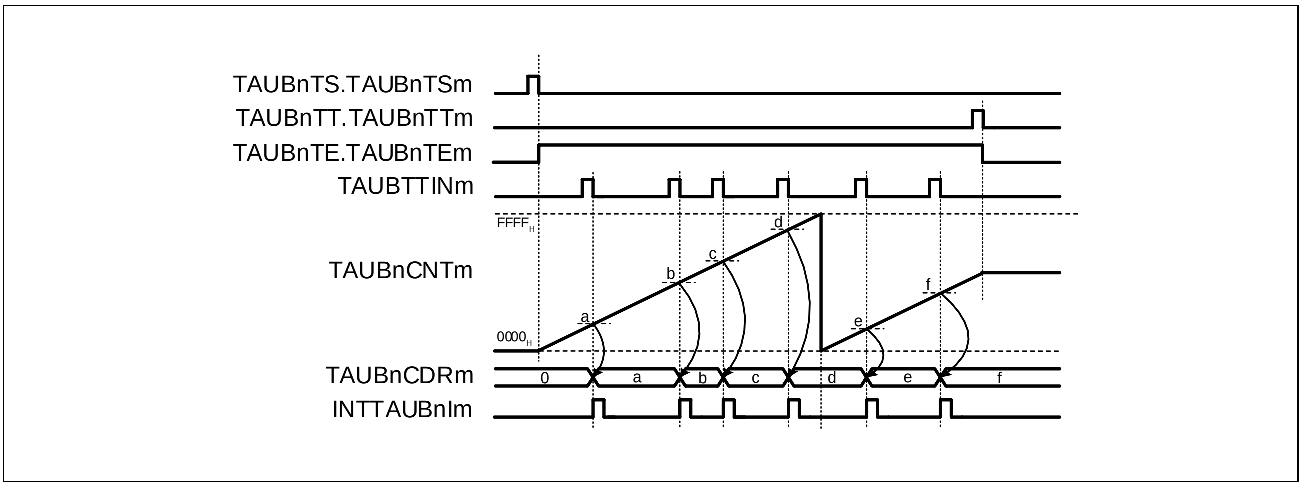


図 31.64　TAUBTTINm 入力位置検出機能の基本タイミング図

31.12.8.4　レジスタ設定

(1)　TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS[1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS[1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 31.88　TAUBTTINm 入力位置検出機能の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10〜8	TAUBnSTS[2:0]	001_B を書いてください。
7、6	TAUBnCOS[1:0]	01_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4〜1	TAUBnMD[4:1]	1011_B を書いてください。
0	TAUBnMD0	0：動作開始時に INTTAUBnIm が発生しない 1：動作開始時に INTTAUBnIm が発生する

(2)　TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 31.89　TAUBTTINm 入力位置検出機能の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7〜2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3)　チャネル出力モード

この機能ではチャネル出力モードを使用しません。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC）は、TAUBTTINm 入力位置検出機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 31.90　TAUBTTINm 入力位置検出機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0：一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0：一斉書き換え禁止時（TAUBnRDE.TAUBnRDEm＝0）、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

31.12.8.5　TAUBTTINm 入力位置検出機能の操作手順

表 31.91　TAUBTTINm 入力位置検出機能の操作手順

	操作	TAUBn の状態
チャネルの初期設定	TAUBnCMORm、TAUBnCMURm レジスタを、**「表 31.88 TAUBTTINm 入力位置検出機能の TAUBnCMORm レジスタの内容」**と**「表 31.89 TAUBTTINm 入力位置検出機能の TAUBnCMURm レジスタの内容」**に示すように設定します。 TAUBnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、カウントが開始されます。 TAUBnCMORm.TAUBnMD0 が 1 の場合は、INTTAUBnIm が発生します。
動作中	TAUBnCMURm.TAUBnTIS[1:0]ビット値は任意のタイミングで変更可能です。 TAUBnCDRm、TAUBnCSRm レジスタは任意のタイミングで読み出し可能です。	TAUBnCNTm は、0000_H からアップカウントを開始します。TAUBTTINm の有効エッジ検出時： ● TAUBnCNTm が自身の値を TAUBnCDRm に転送（キャプチャ）します。 ● INTTAUBnIm を出力します。 ● カウンタ値は 0000_H にクリアされず、TAUBnCNTm はカウント動作を継続します。 以降、この動作を繰り返します。 TAUBnCNTm が $FFFF_H$ に達すると、カウンタは 0000_H からカウント動作を再開します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm は停止し、TAUBnCNTm は現在値を保持します。

動作再開

31.12.8.6　特定の設定時のタイミング図

(1)　動作の停止と再開

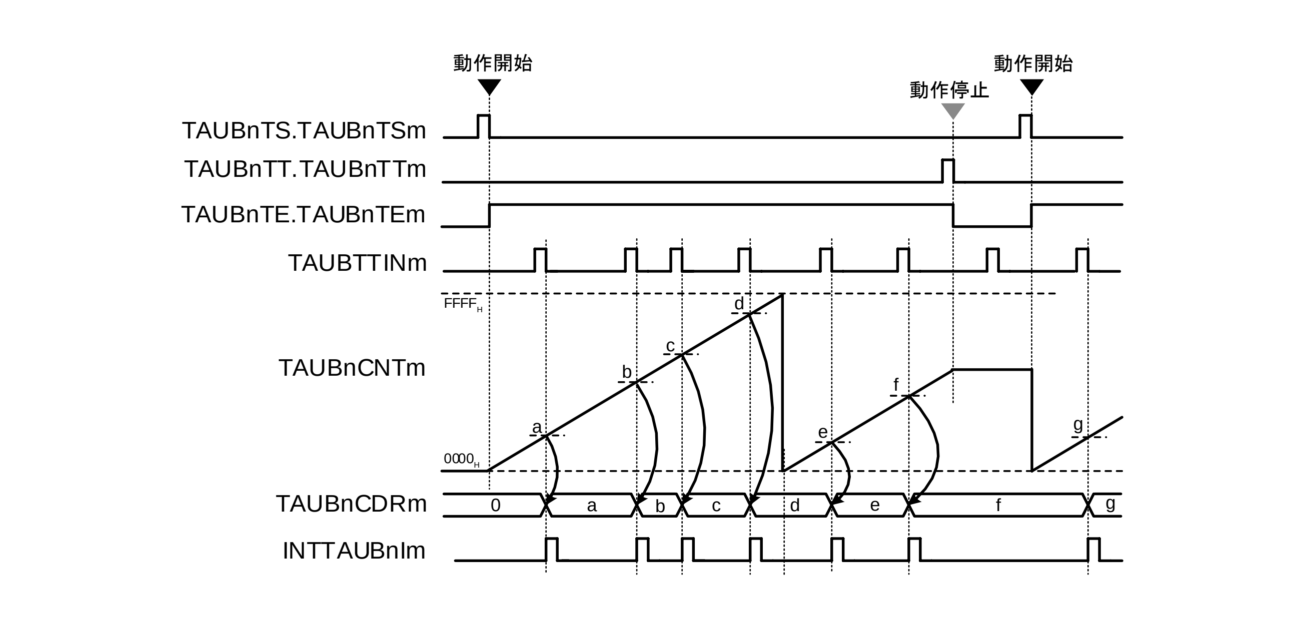


図 31.65　動作の停止と再開（TAUBnCMORm.TAUBnMD0＝0, TAUBnCMURm.TAUBnTIS[1:0]＝00_B）

- TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。
- TAUBnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUBTTINm の有効な入力エッジは無視されます。
- TAUBnTS.TAUBnTSm を 1 に設定すると、カウントを再開できます。TAUBnCNTm は 0000_H からカウントを再開します。

31.12.9 TAUBTTINm 入力期間カウント検出機能

31.12.9.1 概要

概要

この機能は、TAUBTTINm 入力信号の合計幅を測定します。

前提条件

この機能では、TAUBTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、カウンタ動作が許可されます。
これにより TAUBnTE.TAUBnTEm＝1 となり、カウントが可能になります。カウンタは、有効な TAUBTTINm 入力エッジを待ちます。
有効な TAUBTTINm 入力スタートエッジが検出されると、カウンタは、0000_H からカウントを開始します。
有効な TAUBTTINm 入力ストップエッジが検出されると、TAUBnCNTm の現在値が TAUBnCDRm にロードされ、割り込み（INTTAUBnIm）が発生します。次の有効な TAUBTTINm 入力スタートエッジを検出するまで、カウンタは停止し、値（TAUBnCDRm＋1）を保持します。
次の有効な TAUBTTINm 入力スタートエッジが検出されると、カウンタは、停止時の値からカウントを再開します。
カウンタ値が $FFFF_H$ になると、カウンタは 0000_H からカウント動作を再開します。

備　考

1. TAUBTTINm 入力信号は、TAUBnCMORm.TAUBnCKS[1:0]ビットで設定した動作クロックの周波数でサンプリングされます。
2. この機能は、TAUBTTINm 入力の信号幅測定を目的とするため、TAUBnTE.TAUBnTEm＝1 期間中の TAUBnTS.TAUBnTSm のセット（1）は使用できません。

条件

有効なスタートエッジとストップエッジは、TAUBnCMURm.TAUBnTIS[1:0]ビットで設定します。

- TAUBnCMURm.TAUBnTIS[1:0]＝10_B の場合、TAUBTTINm 入力ロウレベル期間をカウントします。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUBnCMURm.TAUBnTIS[1:0]＝11_B の場合、TAUBTTINm 入力ハイレベル期間をカウントします。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

31.12.9.2 算出式

TAUBTTINm 入力幅累計＝

カウントクロック周期×（TAUBnCDRm キャプチャ値＋1）

31.12.9.3　ブロック図と基本タイミング図

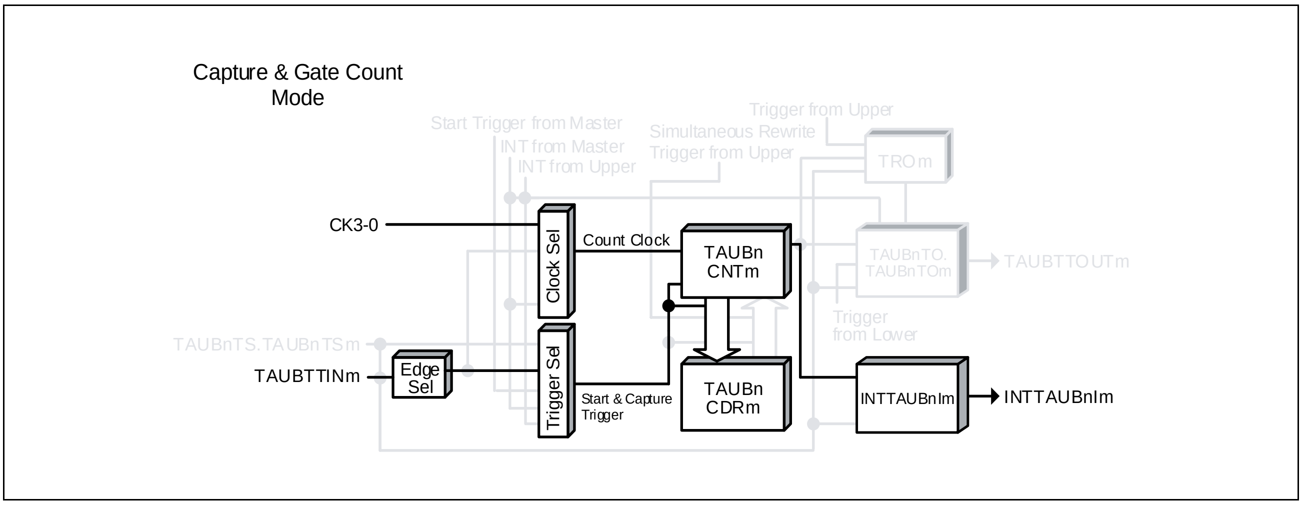


図 31.66　TAUBTTINm 入力期間カウント検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出＝ハイレベル幅測定（TAUBnCMURm.TAUBnTIS[1:0]＝11_B）

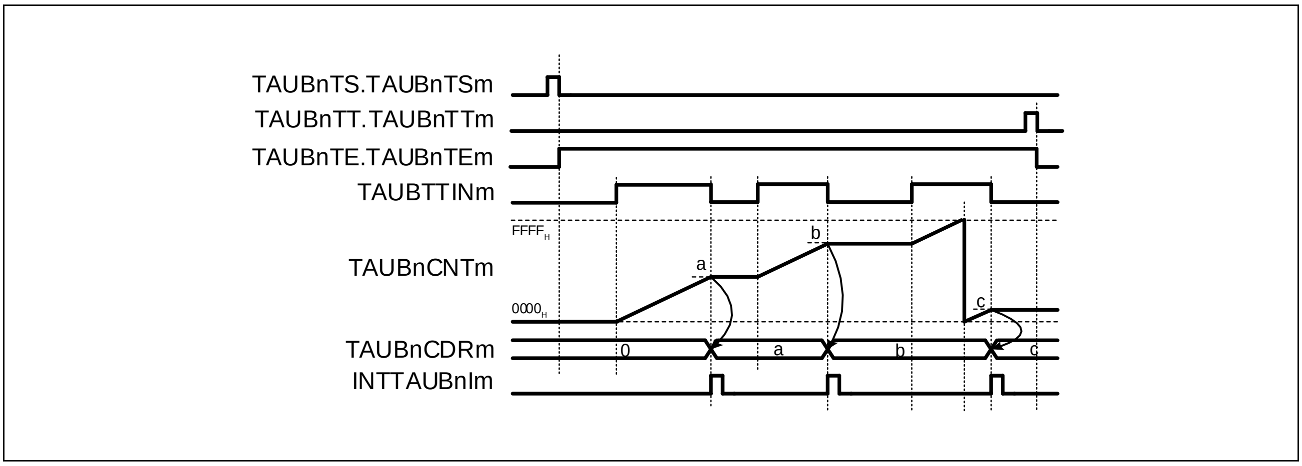


図 31.67　TAUBTTINm 入力期間カウント検出機能の基本タイミング図

31.12.9.4　レジスタ設定

(1)　TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS[1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS[1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 31.92　TAUBTTINm 入力期間カウント検出機能の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10～8	TAUBnSTS[2:0]	010_B を書いてください。
7、6	TAUBnCOS[1:0]	01_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	1101_B を書いてください。
0	TAUBnMD0	0_B を書いてください。

(2)　TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 31.93　TAUBTTINm 入力期間カウント検出機能の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3)　チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC）は、TAUBTTINm 入力期間カウント検出機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 31.94　TAUBTTINm 入力期間カウント検出機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0：一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0：一斉書き換え禁止時（TAUBnRDE.TAUBnRDEm＝0）、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

31.12.9.5　TAUBTTINm 入力期間カウント検出機能の操作手順

表 31.95　TAUBTTINm 入力期間カウント検出機能の操作手順

	操作	TAUBn の状態
チャネルの初期設定	TAUBnCMORm、TAUBnCMURm レジスタを、「**表 31.92 TAUBTTINm 入力期間カウント検出機能の TAUBnCMORm レジスタの内容**」と「**表 31.93 TAUBTTINm 入力期間カウント検出機能の TAUBnCMURm レジスタの内容**」に示すように設定します。 TAUBnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	aTAUBnTE.TAUBnTEm が 1 に設定され、TAUBnCNTm は TAUBTTINm スタートエッジ検出を待ちます。
動作中	TAUBTTINm エッジ検出 TAUBnCDRm、TAUBnCNTm、TAUBnCSRm レジスタは任意のタイミングで読み出しが可能です。	TAUBTTINm スタートエッジ（ハイレベル幅測定なら立ち上がりエッジ、ロウレベル幅測定なら立ち下がりエッジ）を検出すると、TAUBnCNTm は停止値よりアップカウントを開始します。 TAUBnCNTm は、ストップエッジ（ハイレベル幅測定なら立ち下がりエッジ、ロウレベル幅測定なら立ち上がりエッジ）を検出すると、値を TAUBnCDRm に転送し、INTTAUBnIm が発生します。 カウントは TAUBnCDRm に転送した値＋1 の値で停止し、TAUBnCNTm は TAUBTTINm スタートエッジの検出を待ちます。 TAUBnCNTm が $FFFF_H$ に達すると、カウンタは 0000_H からカウント動作を再開します。 以降、この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm は停止し、TAUBnCNTm は現在値を保持します。

動作再開

31.12.9.6　特定の設定時のタイミング図

31.12.9.7　動作の停止と再開

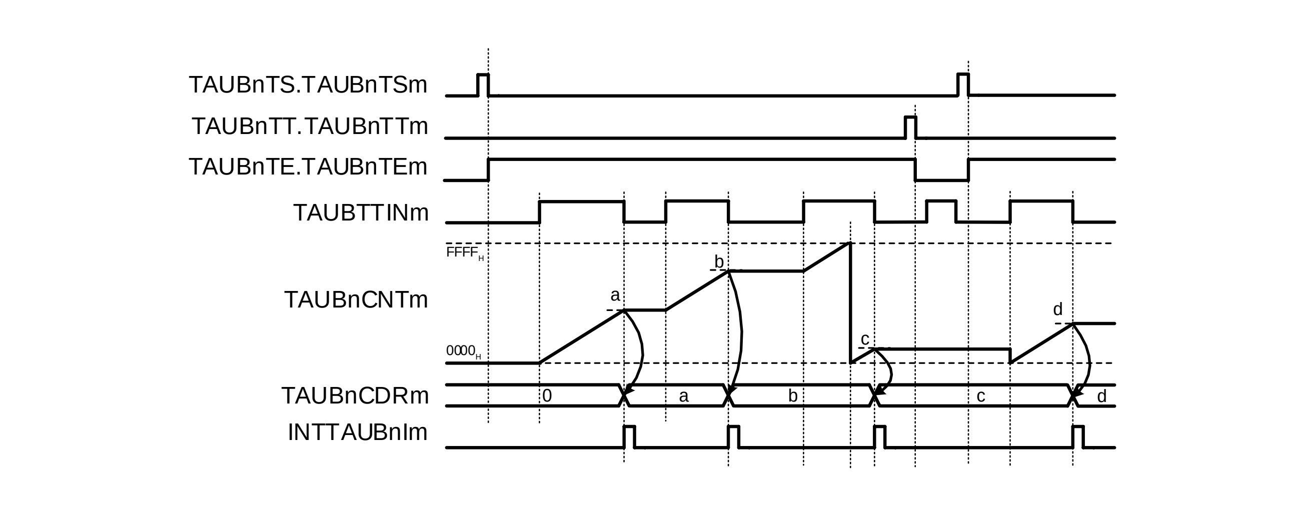


図 31.68　動作の停止と再開（TAUBnCMURm.TAUBnTIS[1:0]＝11_B）

- TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。
- TAUBnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUBTTINm の有効な入力エッジは無視されます。
- TAUBnTS.TAUBnTSm を 1 に設定すると、カウントを再開できます。TAUBnCNTm は 0000_H からカウントを再開します。

31.12.10 TAUBTTINm 入力パルスインターバル判定機能

31.12.10.1 概要

概要

この機能は、TAUBTTINm 入力パルスの発生時、カウント値（TAUBnCNTm）とチャネルデータレジスタ（TAUBnCDRm）の値を比較した結果を出力します。比較の結果が真の場合、割り込み要求信号 INTTAUBnIm が発生します。

前提条件

この機能では、TAUBTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、カウンタ動作が許可されます。
これにより TAUBnTE.TAUBnTEm＝1 となり、カウントが可能になります。TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタはその TAUBnCDRm 値からダウンカウントを開始します。
TAUBTTINm 有効エッジが検出された場合、または TAUBnTS.TAUBnTSm が 1 に設定された場合、この機能は TAUBnCNTm と TAUBnCDRm の現在値を比較します。比較の結果が真の場合、割り込み要求信号 INTTAUBnIm が発生します。TAUBnCNTm は、TAUBnCDRm の値をリロードし、比較の結果に関係なく動作を継続します。
有効な TAUBTTINm エッジを検出する前にカウンタが 0000_H に達すると、TAUBnCNTm はオーバフローし、$FFFF_H$ に設定されます。その後、カウンタはダウンカウントを継続します。
TAUBnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

比較の種類を TAUBnCMORm.TAUBnMD0 ビットで指定します。

- TAUBnCMORm.TAUBnMD0＝0 かつ TAUBnCNTm≦TAUBnCDRm の場合、INTTAUBnIm が発生します。
- TAUBnCMORm.TAUBnMD0＝1 かつ TAUBnCNTm＞TAUBnCDRm の場合、INTTAUBnIm が発生します。

31.12.10.2 ブロック図と基本タイミング図

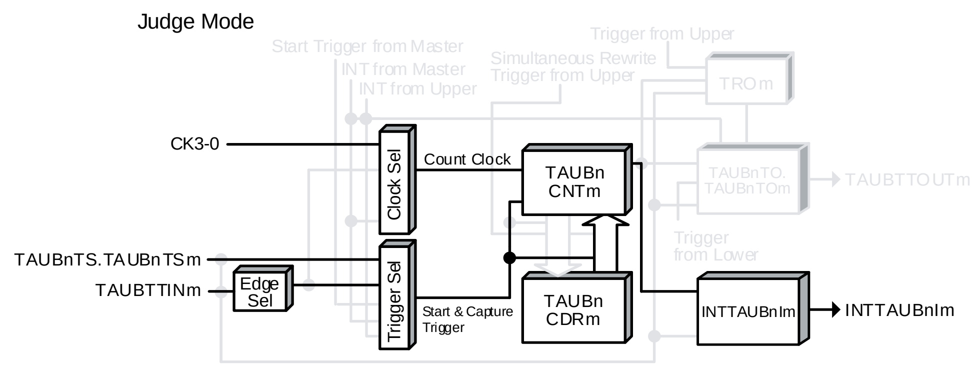


図 31.69　TAUBTTINm 入力パルスインターバル判定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0]＝00_B）

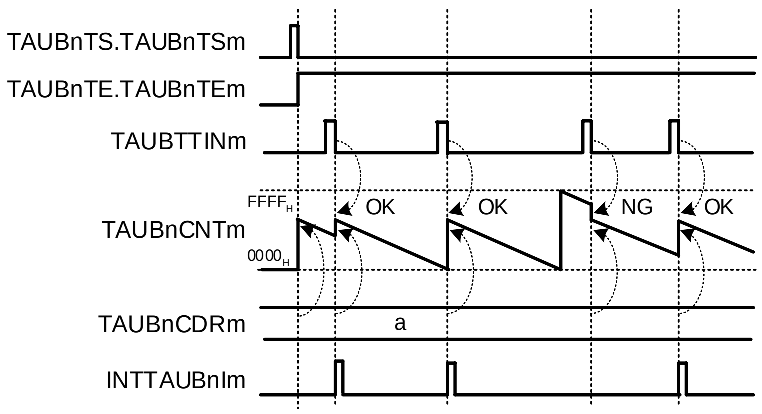


図 31.70　TAUBTTINm 入力パルスインターバル判定機能の基本タイミング図

31.12.10.3 レジスタ設定

(1) TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS[1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS[1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 31.96　TAUBTTINm 入力パルスインターバル判定機能の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10～8	TAUBnSTS[2:0]	001_B を書いてください。
7、6	TAUBnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	0001_B を書いてください。
0	TAUBnMD0	0：TAUBnCNTm≦TAUBnCDRm の場合、INTTAUBnIm が発生 1：TAUBnCNTm＞TAUBnCDRm の場合、INTTAUBnIm が発生

(2) TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 31.97　TAUBTTINm 入力パルスインターバル判定機能の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC）は、TAUBTTINm 入力パルスインターバル判定機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 31.98　TAUBTTINm 入力パルスインターバル判定機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0：一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	：一斉書き換え禁止時（TAUBnRDE.TAUBnRDEm＝0）、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

31.12.10.4 TAUBTTINm 入力パルスインターバル判定機能の操作手順

表 31.99　TAUBTTINm 入力パルスインターバル判定機能の操作手順

	操作	TAUBn の状態
チャネルの初期設定	TAUBnCMORm、TAUBnCMURm レジスタを、「**表 31.96 TAUBTTINm 入力パルスインターバル判定機能の TAUBnCMORm レジスタの内容**」と「**表 31.97 TAUBTTINm 入力パルスインターバル判定機能の TAUBnCMURm レジスタの内容**」に示すように設定します。 TAUBnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、カウントが開始されます。 TAUBnCDRm の値を TAUBnCNTm にロードします。
動作中	任意のタイミングで変更可能なレジスタ TAUBnCDRm レジスタ	TAUBnCMORm.TAUBnMD0＝0 の場合 TAUBTTINm 入力エッジ検出タイミングで TAUBnCNTm≦TAUBnCDRm の場合、INTTAUBnIm が発生します。 TAUBnCMORm.TAUBnMD0＝1 の場合 TAUBTTINm 入力エッジ検出タイミングで TAUBnCNTm＞TAUBnCDRm の場合、INTTAUBnIm が発生します。TAUBTTINm 入力エッジを検出すると、TAUBnCNTm は、TAUBnCDRm の値からダウンカウントを開始します。 以降、この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm が停止し、現在値を保持します。

動作再開

31.12.11 TAUBTTINm 入力信号幅判定機能

31.12.11.1 概要

概要

この機能は、TAUBTTINm 入力信号のハイレベルまたはロウレベル幅期間のカウント値（TAUBnCNTm）と TAUBnCDRm の大小判定の結果を割り込み要求信号 INTTAUBnIm より出力します。

前提条件

この機能では、TAUBTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm＝1 となり、カウントが可能になります。有効な TAUBTTINm 入力スタートエッジが検出されると、TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタはその TAUBnCDRm 値からダウンカウントを開始します。
有効な TAUBTTINm ストップエッジが検出されると、この機能は TAUBnCNTm と TAUBnCDRm の現在値を比較します。比較の結果が真の場合、割り込み要求信号 INTTAUBnIm が発生します。カウンタ TAUBnCNTm は、比較の結果に関係なく、次の有効な TAUBTTINm スタートエッジを検出するまで値を保持します。
有効な TAUBTTINm ストップエッジを検出する前にカウンタが 0000_H に達すると、TAUBnCNTm はオーバフローし、$FFFF_H$ に設定されます。その後、カウンタはダウンカウントを継続します。
TAUBnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

- 比較の種類を TAUBnCMORm.TAUBnMD0 ビットで指定します。
  - TAUBnCMORm.TAUBnMD0＝0 かつ TAUBnCNTm≦TAUBnCDRm の場合、INTTAUBnIm が発生します。
  - TAUBnCMORm.TAUBnMD0＝1 かつ TAUBnCNTm＞TAUBnCDRm の場合、INTTAUBnIm が発生します。
- TAUBnCMURm.TAUBnTIS[1:0]ビットで幅測定のタイプを指定します。
  - ハイレベル幅測定（TAUBnCMURm.TAUBnTIS[1:0]＝11_B の場合）では、TAUBTTINm 立ち上がりエッジをスタートエッジ、TAUBTTINm 立ち下がりエッジをストップエッジとして使用します。
  - ロウレベル幅測定（TAUBnCMURm.TAUBnTIS[1:0]＝10_B の場合）では、TAUBTTINm 立ち下がりエッジをスタートエッジ、TAUBTTINm 立ち上がりエッジをストップエッジとして使用します。
- 動作中に TAUBnTS.TAUBnTSm ビットに 1 を設定することは禁止です。

31.12.11.2 ブロック図と基本タイミング図

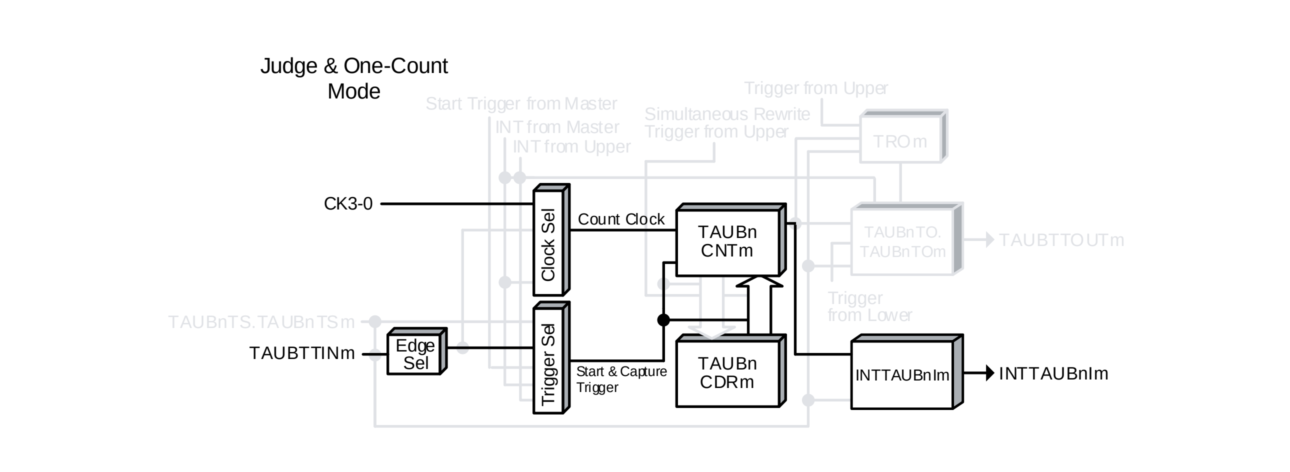


図 31.71　TAUBTTINm 入力信号幅判定機能のブロック図

基本タイミング図での設定は次のようになっています。

- TAUBnCNTm≦TAUBnCDRm（TAUBnCMORm.TAUBnMD0＝0）の場合、INTTAUBnIm が発生します。
- TAUBTTINm 有効スタートエッジ＝立ち上がりエッジ、TAUBTTINm 有効ストップエッジ＝立ち下がりエッジ（TAUBnCMURm.TAUBnTIS[1:0]＝11_B）

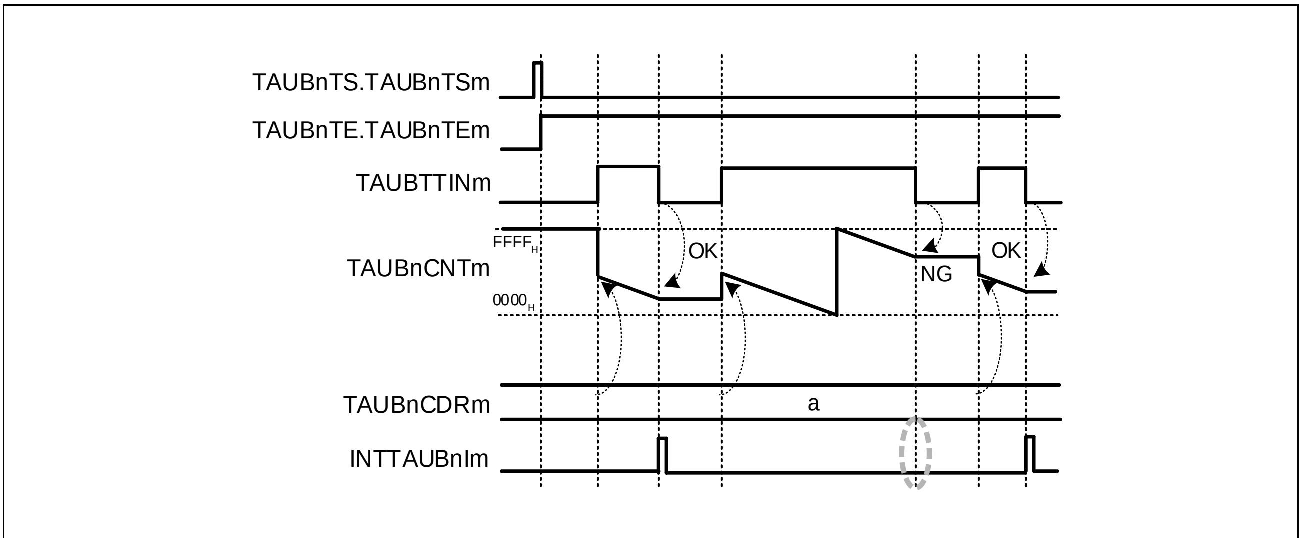


図 31.72　TAUBTTINm 入力信号幅判定機能の基本タイミング図

31.12.11.3 レジスタ設定

(1) TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS[1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS[1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 31.100 TAUBTTINm 入力信号幅判定機能の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10～8	TAUBnSTS[2:0]	010_B を書いてください。
7、6	TAUBnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	0111_B を書いてください。
0	TAUBnMD0	0：TAUBnCNTm≦TAUBnCDRm の場合、INTTAUBnIm が発生 1：TAUBnCNTm＞TAUBnCDRm の場合、INTTAUBnIm が発生

(2) TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 31.101 TAUBTTINm 入力信号幅判定機能の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC）は、TAUBTTINm 入力信号幅判定機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 31.102 TAUBTTINm 入力信号幅判定機能の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	0：一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0：一斉書き換え禁止時（TAUBnRDE.TAUBnRDEm＝0）、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

31.12.11.4 TAUBTTINm 入力信号幅判定機能の操作手順

表 31.103 TAUBTTINm 入力信号幅判定機能の操作手順

	操作	TAUBn の状態
チャネルの初期設定	TAUBnCMORm、TAUBnCMURm レジスタを、「**表 31.100 TAUBTTINm 入力信号幅判定機能の TAUBnCMORm レジスタの内容**」と「**表 31.101 TAUBTTINm 入力信号幅判定機能の TAUBnCMORm レジスタの内容**」に示すように設定します。 TAUBnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、TAUBnCNTm は TAUBTTINm スタートエッジ検出を待ちます。
動作中	任意のタイミングで変更可能なレジスタ ● TAUBnCDRm レジスタ	TAUBTTINm スタートエッジを検出すると、TAUBnCNTm は、TAUBnCDRm の値からダウンカウントを開始します。 TAUBnCMORm.TAUBnMD0＝0 の場合 TAUBTTINm 入力ストップエッジ検出タイミングで TAUBnCNTm≦TAUBnCDRm の場合、INTTAUBnIm が発生します。 TAUBnCMORm.TAUBnMD0＝1 の場合 TAUBTTINm 入力ストップエッジ検出タイミングで TAUBnCNTm＞TAUBnCDRm の場合、INTTAUBnIm が発生します。 以降、この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm が停止し、現在値を保持します。

動作再開

31.12.12 オーバフロー割り込み出力機能（TAUBTTINm 幅測定時）

31.12.12.1 概要

概要

この機能は、各 TAUBTTINm 入力信号の幅を測定します。TAUBTTINm 入力後、（$FFFF_H$＋1）を超えた場合、割り込みが発生します。

前提条件

- この機能では、TAUBTTOUTm は使用しません。
- TAUBnCDRm の値は、$FFFF_H$ に設定する必要があります。

機能説明

チャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm＝1 となり、カウントが可能になります。
有効な TAUBTTINm 入力スタートエッジを検出すると、カウンタ動作を開始します。TAUBnCNTm に $FFFF_H$ がロードされ、カウンタはダウンカウントを開始します。
有効なストップエッジが検出されると、カウンタ動作を停止し現在値を保持します。
次の TAUBTTINm 入力スタートエッジが検出されると、TAUBnCNTm は $FFFF_H$ をロードし、ダウンカウントを開始します。
ストップエッジを検出する前にカウンタが 0000_H に達すると、割り込みが発生します。

条件

有効なスタートエッジとストップエッジは、TAUBnCMURm.TAUBnTIS[1:0]ビットで設定します。

- TAUBnCMURm.TAUBnTIS[1:0]＝10_B の場合、TAUBTTINm 入力ロウレベル幅が測定されます。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUBnCMURm.TAUBnTIS[1:0]＝11_B の場合、TAUBTTINm 入力ハイレベル幅が測定されます。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

備　考

動作中にカウンタ動作を再開することはできません。

31.12.12.2 ブロック図と基本タイミング図

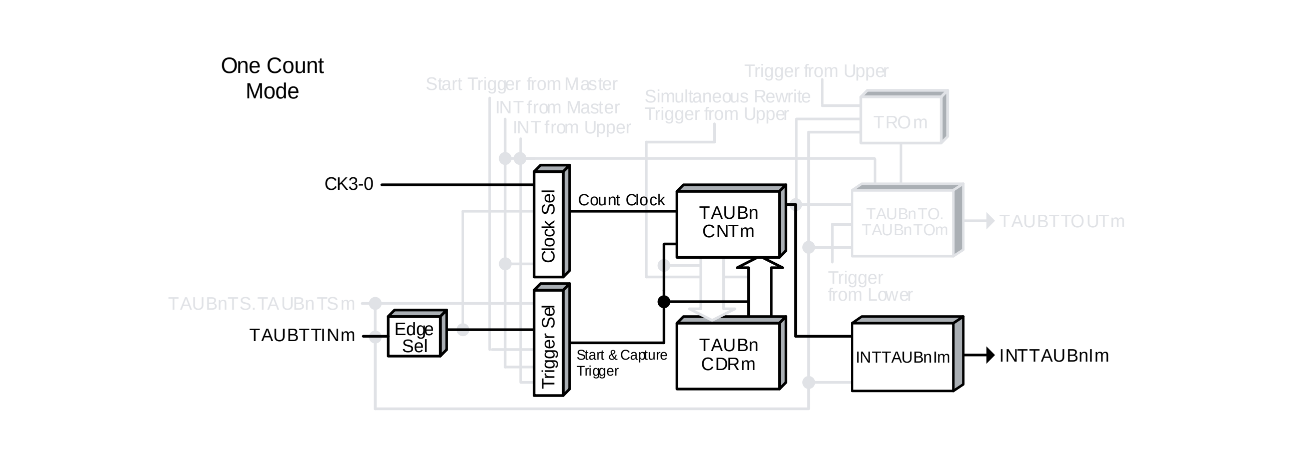


図 31.73　オーバフロー割り込み出力機能のブロック図（TAUBTTINm 幅測定時）

基本タイミング図での設定は次のようになっています。

- 両エッジ検出＝ハイレベル幅測定（TAUBnCMURm.TAUBnTIS[1:0]＝11_B）

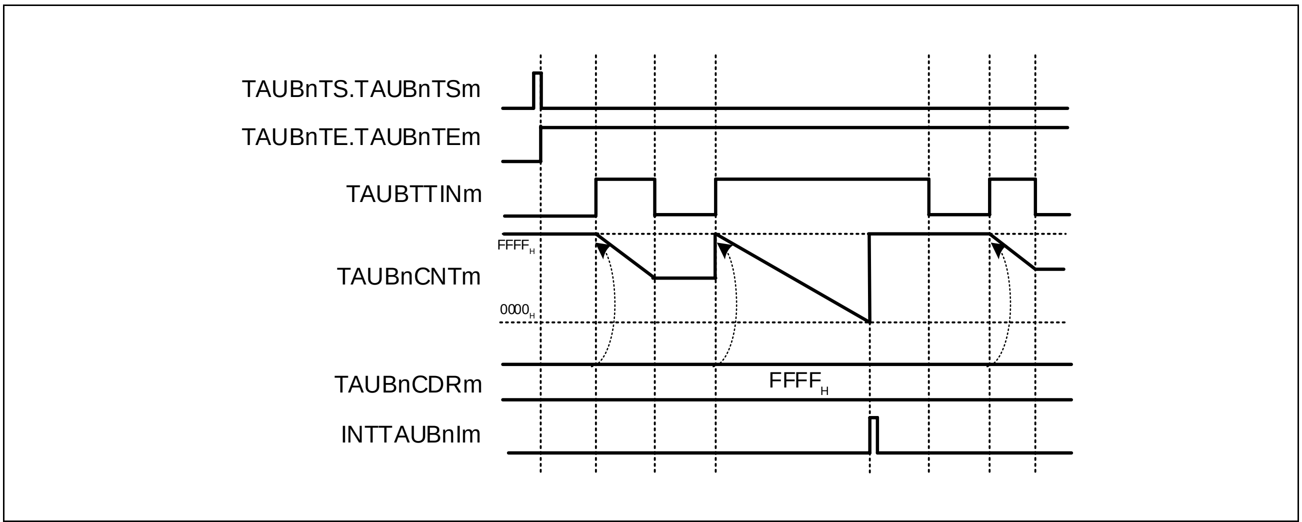


図 31.74　オーバフロー割り込み出力機能の基本タイミング図（TAUBTTINm 幅測定時）

31.12.12.3 レジスタ設定

(1) TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS[1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS[1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 31.104 オーバフロー割り込み出力機能（TAUBTTINm 幅測定時）の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10～8	TAUBnSTS[2:0]	010_B を書いてください。
7、6	TAUBnCOS[1:0]	0_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	0100_B を書いてください。
0	TAUBnMD0	0_B を書いてください。

(2) TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 31.105 オーバフロー割り込み出力機能（TAUBTTINm 幅測定時）の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC）は、オーバフロー割り込み出力機能（TAUBTTINm 幅測定時）では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 31.106 オーバフロー割り込み出力機能の一斉書き換え設定（TAUBTTINm 幅測定時）

ビット名	設定
TAUBnRDE.TAUBnRDEm	0：一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0：一斉書き換え禁止時（TAUBnRDE.TAUBnRDEm＝0）、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

31.12.12.4 オーバフロー割り込み出力機能の操作手順（TAUBTTINm 幅測定時）

表 31.107 オーバフロー割り込み出力機能の操作手順（TAUBTTINm 幅測定時）

	操作	TAUBn の状態
チャネルの初期設定	TAUBnCMORm、TAUBnCMURm レジスタを、「**表 31.104 オーバフロー割り込み出力機能（TAUBTTINm 幅測定時）の TAUBnCMORm レジスタの内容**」と「**表 31.105 オーバフロー割り込み出力機能（TAUBTTINm 幅測定時）の TAUBnCMURm レジスタの内容**」に示すように設定します。 TAUBnCDRm レジスタの値を FFFF$_H$ に設定します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。 TAUBTTINm スタートエッジ検出	TAUBnTE.TAUBnTEm が 1 に設定され、TAUBnCNTm はスタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUBnCDRm の値（FFFF$_H$）を TAUBnCNTm にロードします。
動作中	TAUBnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUBnCNTm がダウンカウントを行います。カウンタが 0000$_H$ になった場合： ● INTTAUBnIm が発生します。 カウント動作中に TAUBTTINm の入力ストップエッジを検出した場合： ● TAUBnCNTm は停止し、現在値を保持します。 カウント停止中に TAUBTTINm 入力スタートエッジを検出した場合： ● 再び TAUBnCDRm の値（FFFF$_H$）を TAUBnCNTm にロードし、ダウンカウントを行います。 以降、この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm が停止し、現在値を保持します。

動作再開

31.12.13 オーバフロー割り込み出力機能（TAUBTTINm 入力期間カウント検出時）

31.12.13.1 概要

概要

この機能は、TAUBTTINm 入力信号の合計幅を測定します。TAUBTTINm 入力合計幅が $FFFF_H$ より大きい場合、割り込みが発生し、オーバフロー割り込みを出力することができます。

前提条件

- この機能では、TAUBTTOUTm は使用しません。
- TAUBnCDRm の値は、$FFFF_H$ に設定する必要があります。

機能説明

チャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm＝1 となり、カウントが可能になります。
有効な TAUBTTINm 入力スタートエッジを検出すると、カウンタ動作を開始します。TAUBnCNTm に $FFFF_H$ がロードされ、カウンタはダウンカウントを開始します。
有効なストップエッジが検出されると、カウンタ動作を停止し、現在値を保持します。カウンタは、次の有効な TAUBTTINm 入力スタートエッジを待ち、現在値からのダウンカウントを継続します。
カウンタが 0000_H になると、割り込みが発生します。TAUBnCNTm に $FFFF_H$ がロードされ、カウンタは TAUBTTINm 入力ストップエッジが検出されるまでダウンカウントを継続します。

条件

有効なスタートエッジとストップエッジは、TAUBnCMURm.TAUBnTIS[1:0]ビットで設定します。

- TAUBnCMURm.TAUBnTIS[1:0]＝10_B の場合、TAUBTTINm 入力ロウレベル期間をカウントします。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUBnCMURm.TAUBnTIS[1:0]＝11_B の場合、TAUBTTINm 入力ハイレベル期間をカウントします。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

備　考

動作中にカウンタ動作を再開することはできません。

31.12.13.2 ブロック図と基本タイミング図

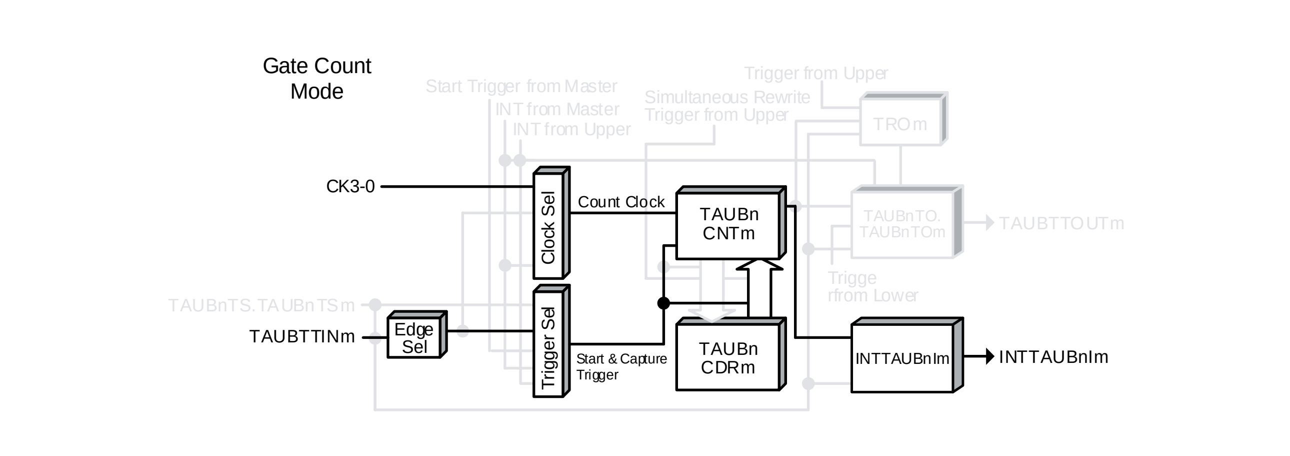


図 31.75 オーバフロー割り込み出力機能のブロック図（TAUBTTINm 入力期間カウント検出時）

基本タイミング図での設定は次のようになっています。

- 両エッジ検出＝ハイレベル幅測定（TAUBnCMURm.TAUBnTIS[1:0]＝11_B）

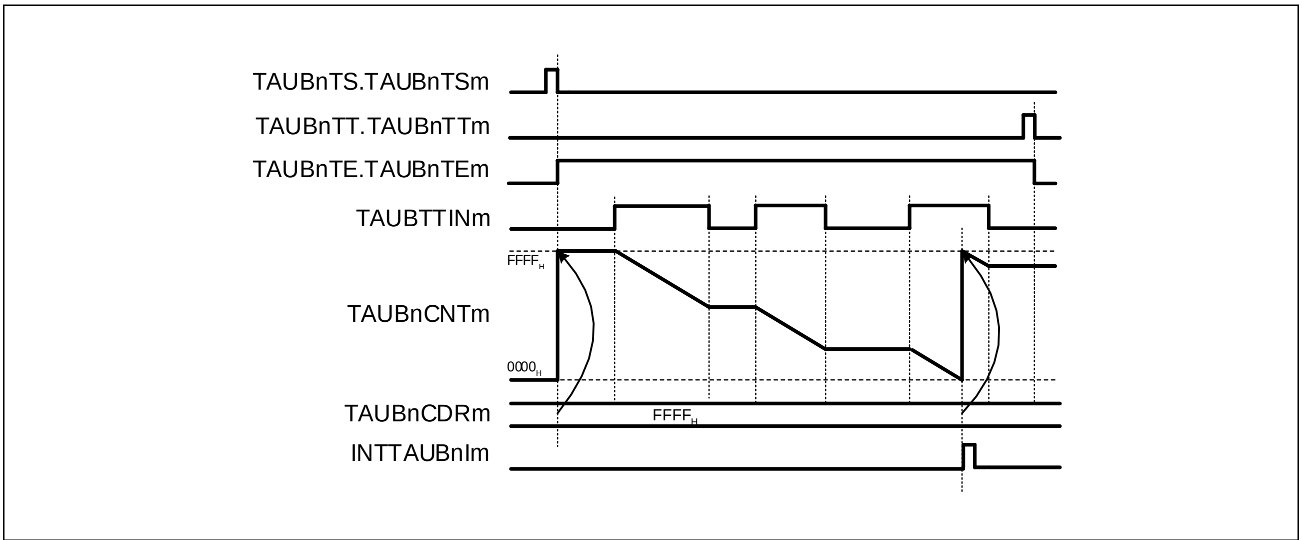


図 31.76 オーバフロー割り込み出力機能の基本タイミング図（TAUBTTINm 入力期間カウント検出時）

31.12.13.3 レジスタ設定

(1) TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS[1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS[1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 31.108 オーバフロー割り込み出力機能（TAUBTTINm 入力期間カウント検出時）の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10～8	TAUBnSTS[2:0]	010_B を書いてください。
7、6	TAUBnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	1100_B を書いてください。
0	TAUBnMD0	0_B を書いてください。

(2) TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 31.109 オーバフロー割り込み出力機能（TAUBTTINm 入力期間カウント検出時）の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUBnRDE、TAUBnRDS、TAUBnRDM、TAUBnRDC）は、オーバフロー割り込み出力機能（TAUBTTINm 入力期間検出時）では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 31.110 オーバフロー割り込み出力機能の一斉書き換え設定（TAUBTTINm 入力期間カウント検出時）

ビット名	設定
TAUBnRDE.TAUBnRDEm	0：一斉書き換え禁止
TAUBnRDS.TAUBnRDSm	0：一斉書き換え禁止時（TAUBnRDE.TAUBnRDEm＝0）、0 を設定
TAUBnRDM.TAUBnRDMm	
TAUBnRDC.TAUBnRDCm	

31.12.13.4 オーバフロー割り込み出力機能の操作手順（TAUBTTINm 入力期間カウント検出時）

表 31.111 オーバフロー割り込み出力機能の操作手順（TAUBTTINm 入力期間カウント検出時）

	操作	TAUBn の状態
チャネルの初期設定	TAUBnCMORm、TAUBnCMURm レジスタを、「**表 31.108 オーバフロー割り込み出力機能（TAUBTTINm 入力期間カウント検出時）の TAUBnCMORm レジスタの内容**」と「**表 31.109 オーバフロー割り込み出力機能（TAUBTTINm 入力期間カウント検出時）の TAUBnCMURm レジスタの内容**」に示すように設定します。 TAUBnCDRm レジスタの値を $FFFF_H$ に設定します。	チャネル動作を停止しています。
動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。 TAUBTTINm スタートエッジ検出	TAUBnTE.TAUBnTEm が 1 に設定され、TAUBnCNTm はスタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUBnCDRm の値（$FFFF_H$）を TAUBnCNTm にロードします。
動作中	TAUBnCNTm レジスタは常に読み出し可能です。	TAUBnCNTm がダウンカウントを行います。カウンタが 0000_H になった場合： ● INTTAUBnIm が発生します。 ● TAUBnCDRm の値（$FFFF_H$）を TAUBnCNTm にロードし、ダウンカウントを継続します。 カウント動作中に TAUBTTINm 入力ストップエッジを検出した場合： ● TAUBnCNTm は停止し、現在値を保持します。 カウント停止中に TAUBTTINm 入力スタートエッジを検出した場合： ● TAUBnCNTm は停止値からダウンカウントを行います。 以降、この動作を繰り返します。
動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm が停止し、現在値を保持します。

動作再開

31.13 チャネル単体一斉書き換え機能

この節では、一斉書き換え機能について説明します。

31.13.1　一斉書き換えトリガ生成機能タイプ 1

31.13.1.1　概要

概要

下位チャネルが一斉書き換えトリガとして使用できる割り込みを、特定チャネル上で発生する機能です。この割り込みは一定間隔で発生します。上位チャネルは一斉書き換えトリガを生成するチャネル（TAUBnRDC.TAUBnRDCm＝1）、下位チャネルは上位チャネルのトリガを受けて一斉書き換えを行うチャネル（TAUBnRDC.TAUBnRDCm＝0）です。

前提条件

- 上位チャネルとして使用するチャネルより下位の 2 チャネル以上で、それぞれ一斉書き換えが許可されている（TAUBnRDE.TAUBnRDEm＝1）。
- 上位チャネルの動作モードは、インターバルタイマモードに設定する必要があります（「**表 31.112 一斉書き換えトリガ生成機能タイプ 1 の上位チャネルの TAUBnCMORm レジスタの内容**」参照）。
- 下位チャネルに設定可能な動作モードは、「**表 31.55 チャネル機能と一斉書き換え方法**」を参照してください。
- この機能では、TAUBTTOUTm はいずれのチャネルでも使用しません。

機能説明

上位チャネル、下位チャネルのチャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm＝1 となり、カウントが可能になります。上位チャネルのデータレジスタバッファ（TAUBnCDRm buf）の現在値がカウンタ（TAUBnCNTm）にロードされ、カウンタはこの値からダウンカウントを開始します。
下位チャネルのカウンタは、選択されている動作モードにしたがってカウントを開始します。
カウンタが 0000_H になると、そのチャネルで割り込みが発生します。
対応する TAUBnCDRm バッファの現在値を TAUBnCNTm にロードし、以降、動作を継続します。
割り込みが発生したチャネルが一斉書き換えのトリガチャネルとして設定されていて（TAUBnRDC.TAUBnRDCm＝1）、さらにそれが上位チャネルである場合、一斉書き換えが可能な状態（TAUBnRSF.TAUBnRSFm＝1）にあるすべての下位チャネルで一斉書き換えが行われます。
データレジスタの値は対応するデータレジスタバッファにコピーされます。カウンタはダウンカウントを開始するたびにデータレジスタバッファの値を読み出して、その値からダウンカウントを行います。
データレジスタの値は任意のタイミングで変更可能ですが、一斉書き換え実行時には対応するデータレジスタバッファに転送されるのみです。

条件

- INTTAUBnIm の発生を検出するチャネルは、該当チャネルに TAUBnRDC.TAUBnRDCm＝1 を設定することにより指定します。一斉書き換えを行う必要のあるその他すべてのチャネルは、TAUBnRDC.TAUBnRDCm ビットを 0 に設定しておく必要があります。

31.13.1.2　算出式

一斉書き換えトリガの生成周期＝カウントクロック周期×（TAUBnCDRm＋1）

一斉書き換えを制御するには、次の条件が満たされている必要があります。

［PWM の場合］

TAUBnCDRm＝[（一斉書き換え対象マスタチャネルの TAUBnCDRm 値＋1）×割り込み数]－1

［三角波 PWM の場合］

TAUBnCDRm＝[（一斉書き換え対象マスタチャネルの TAUBnCDRm 値＋1）×2×割り込み数]－1

つまり、TAUBnCDRm＋1 と一斉書き換え対象マスタチャネルの TAUBnCDRm＋1 の比は整数である必要があります。この整数は割り込み数に対応しています。

三角波 PWM の場合は、周期が 2 倍になるので注意してください。

31.13.1.3　ブロック図と基本タイミング図

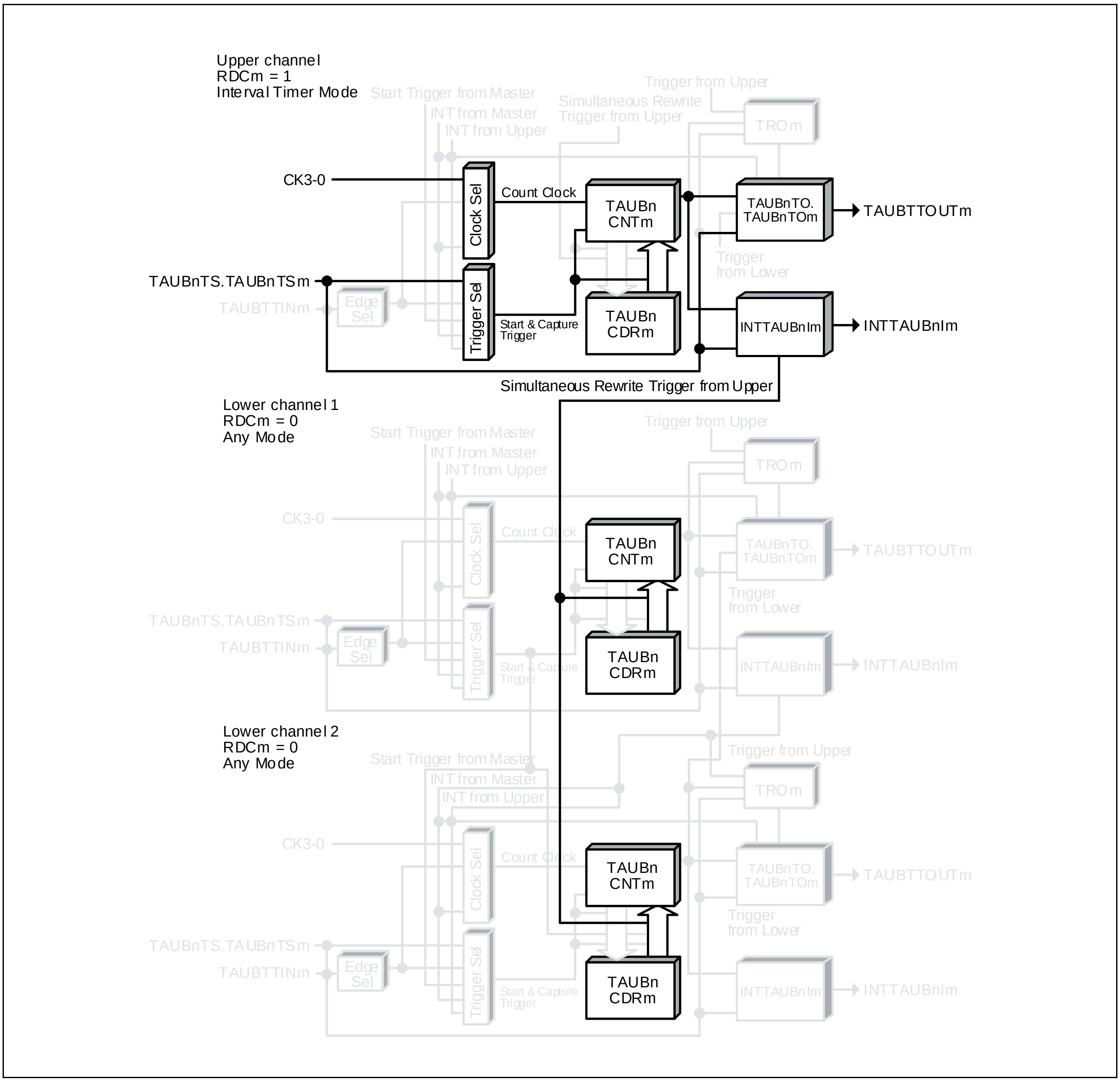


図 31.77　一斉書き換えトリガ生成機能タイプ 1 のブロック図

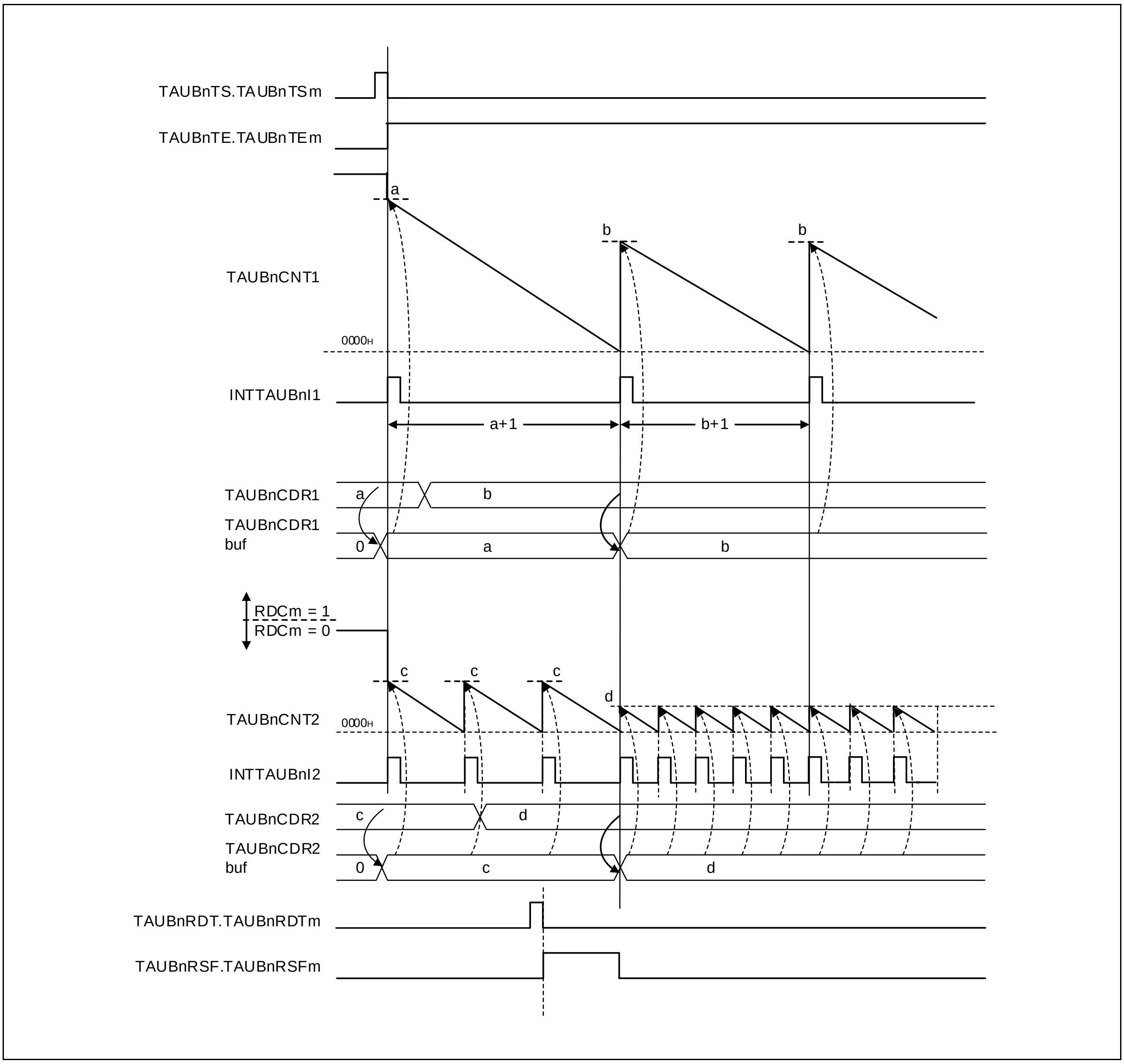


図 31.78　一斉書き換えトリガ生成機能タイプ 1 の基本タイミング図

31.13.1.4　上位チャネルのレジスタ設定

(1)　上位チャネルの TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS[1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS[1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 31.112 一斉書き換えトリガ生成機能タイプ 1 の上位チャネルの TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10～8	TAUBnSTS[2:0]	000_B を書いてください。
7、6	TAUBnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	0000_B を書いてください。
0	TAUBnMD0	1_B を書いてください。

(2)　上位チャネルの TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 31.113 一斉書き換えトリガ生成機能タイプ 1 の上位チャネルの TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00 を設定

(3)　上位チャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(4) 上位チャネルの一斉書き換え

表 31.114 一斉書き換えトリガ生成機能タイプ 1 時の上位チャネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1：一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	1：上位の 1 チャネルを一斉書き換えの制御チャネルとして選択
TAUBnRDM.TAUBnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUBnRDC.TAUBnRDCm	1：チャネルで一斉書き換えのトリガとなる INTTAUBnIm 信号をモニタ

31.13.1.5 下位チャネルのレジスタ設定

(1) 下位チャネルの TAUBnCMORm

下位チャネルの TAUBnCMORm レジスタは、設定可能な動作モードの TAUBnCMORm レジスタ設定にしたがってください（「**表 31.55 チャネル機能と一斉書き換え方法**」を参照してください）。

(2) 下位チャネルの TAUBnCMURm

下位チャネルの TAUBnCMURm レジスタは、設定可能な動作モードの TAUBnCMURm レジスタ設定にしたがってください（「**表 31.55 チャネル機能と一斉書き換え方法**」を参照してください）。

(3) 下位チャネルのチャネル出力モード

下位チャネルの（マスタ、スレーブ）設定に従った出力が可能です。一斉書き換えトリガ生成機能タイプ 1 が使用可能な機能については、**表 31.55 チャネル機能と一斉書き換え方法**」を参照してください。

(4) 下位チャネルの一斉書き換え

表 31.115 一斉書き換えトリガ生成機能タイプ 1 時の下位チャネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1：一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	1：上位の 1 チャネルを一斉書き換えの制御チャネルとして選択
TAUBnRDM.TAUBnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUBnRDC.TAUBnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない

31.13.1.6 一斉書き換えトリガ生成機能タイプ 1 の操作手順

表 31.116 一斉書き換えトリガ生成機能タイプ 1 の操作手順

		操作	TAUBn の状態
	チャネルの初期設定	上位チャネルの TAUBnCMORm レジスタと TAUBnCMURm レジスタを、「**表 31.112 一斉書き換えトリガ生成機能タイプ 1 の上位チャネルの TAUBnCMORm レジスタの内容**」と「**表 31.113 一斉書き換えトリガ生成機能タイプ 1 の上位チャネルの TAUBnCMURm レジスタの内容**」に示すように設定します。 下位チャネルの TAUBnCMORm レジスタと TAUBnCMURm レジスタを、「**31.13.1.5 下位チャネルのレジスタ設定**」に示すように設定します。 TAUBnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作再開	動作開始	TAUBnTS.TAUBnTSm を 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 1 に設定され、カウントが開始されます。 TAUBnCDRm の値を TAUBnCNTm にロードします。 TAUBnCMORm.TAUBnMD0＝1 の場合、INTTAUBnIm が発生します。
	動作中	TAUBnRDT.TAUBnRDTm、TAUBnCDRm.TAUBnCDR は変更可能です。 TAUBnRSF.TAUBnRSFm は常に読み出し可能です。	TAUBnCNTm がダウンカウントを行います。カウンタが 0000_H になった場合： ● 再び TAUBnCDRm の値を TAUBnCNTm にロードし、カウント動作を継続します。 ● INTTAUBnIm が発生します。 TAUBnRDC.TAUBnRDCm が 1 に設定されているチャネルで INTTAUBnIm が発生すると、一斉書き換えが制御されます。 以降、この動作を繰り返します。
	動作停止	TAUBnTT.TAUBnTTm を 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm は停止し、TAUBnCNTm は現在値を保持します。

31.14 チャネル連動動作機能

この節では、TAUB のチャネル連動動作の全機能について説明します。チャネル連動動作の概要については、「**31.2 概要**」を参照してください。

31.14.1 PWM 出力機能

31.14.1.1 概要

概要

マスタチャネルと複数のスレーブチャネルを使用することで、複数の PWM 出力を生成する機能です。これにより、TAUBTTOUTm のパルス周期（周波数）とデューティを設定できます。パルス周期はマスタチャネルで設定します。デューティはスレーブチャネルで設定します。

前提条件

- 2 チャネル
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（「**表 31.117 PWM 出力機能のマスタチャネルの TAUBnCMORm レジスタの内容**」参照）。
- スレーブチャネルの動作モードは、ワンカウントモードに設定する必要があります（「**表 31.120 PWM 出力機能のスレーブチャネルの TAUBnCMORm レジスタの内容**」参照）。
- この機能では、マスタチャネルで TAUBTTOUTm は使用しません。
- スレーブチャネルのチャネル出力モードは、チャネル連動出力モード 1 に設定する必要があります。

機能説明

チャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm＝1 となり、カウントが可能になります。TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタはその TAUBnCDRm 値からダウンカウントを開始します。マスタチャネルで INTTAUBnIm が発生し、TAUBTTOUTm（スレーブ）がセット、リセットされることにより PWM 出力を実現しています。

- マスタチャネル：

  マスタチャネルのカウンタ値が 0000_H になりパルス周期時間が経過すると、INTTAUBnIm が発生します。TAUBnCDRm 値を TAUBnCNTm にロードし、ダウンカウントを行います。

- スレーブチャネル：

  マスタチャネルで INTTAUBnIm が発生すると、スレーブチャネルのカウンタ動作がトリガされます。TAUBnCDRm（スレーブ）の現在値が TAUBnCNTm（スレーブ）にロードされ、カウンタはその TAUBnCDRm 値からダウンカウントを開始します。TAUBTTOUTm 信号がアクティブレベルに設定されます。
  カウンタ値が 0000_H になると（デューティ時間が経過すると）INTTAUBnIm が発生し、TAUBTTOUTm 信号がインアクティブレベルに設定されます。カウンタは $FFFF_H$ に戻り、マスタチャネルの次の INTTAUBnIm（次のパルス周期の開始）を待ちます。

マスタ／スレーブチャネルの TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。マスタ／スレーブチャネルの TAUBnCNTm と TAUBTTOUTm が停止しますが、それぞれの値は保持します。TAUBnTS.TAUBnTSm を 1 に設定すると、カウントを再開できます。

条件

この機能では一斉書き換えの設定をしてください。「**31.6 一斉書き換え**」を参照してください。

31.14.1.2 算出式

パルス周期＝（TAUBnCDRm（マスタ）＋1）×カウントクロック周期

デューティサイクル[%]＝（TAUBnCDRm（スレーブ）／（TAUBnCDRm（マスタ）＋1））×100

- デューティサイクル＝0%
  TAUBnCDRm（スレーブ）＝0000_H
- デューティサイクル＝100%
  TAUBnCDRm（スレーブ）≧TAUBnCDRm（マスタ）＋1

31.14.1.3 ブロック図と基本タイミング図

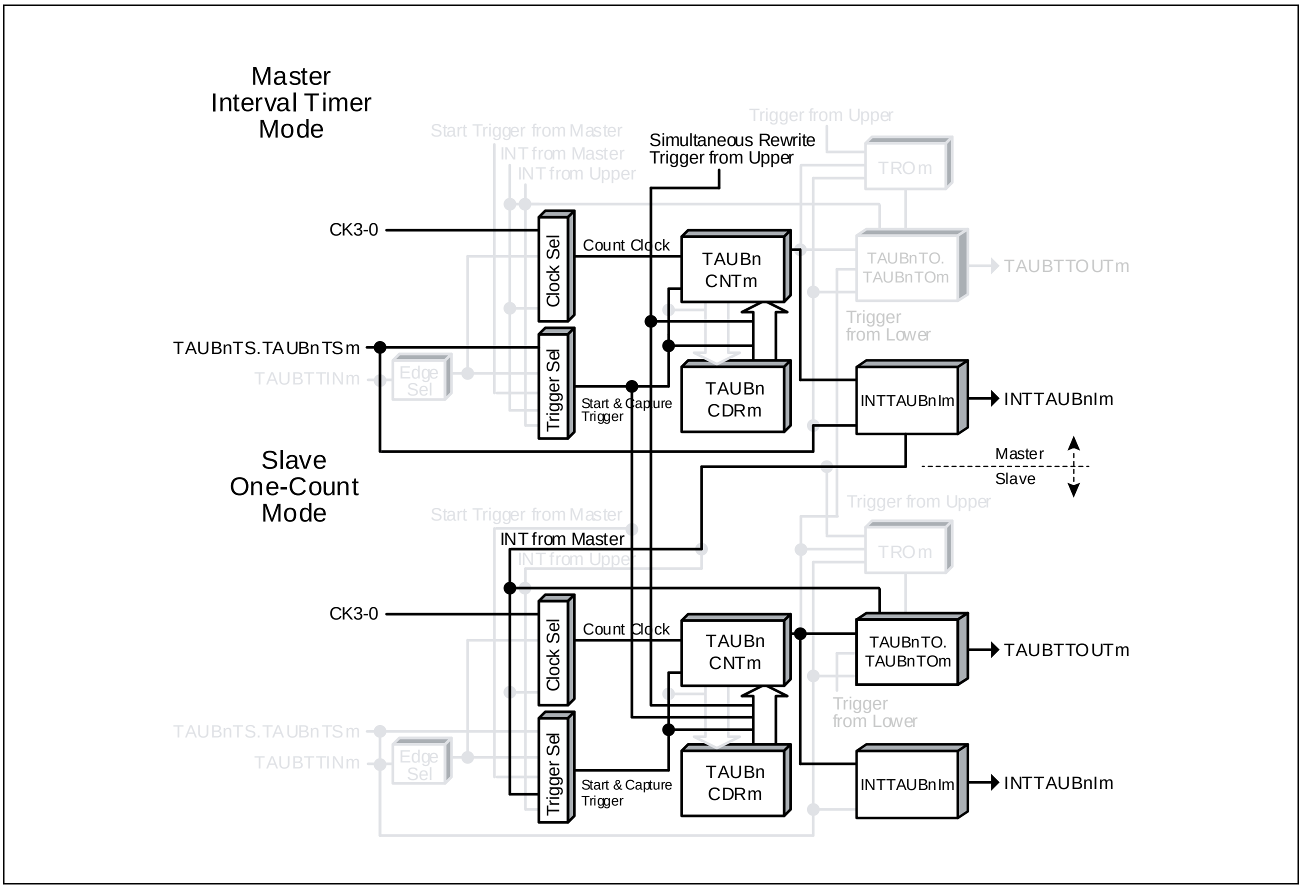


図 31.79 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブチャネル：正論理（TAUBnTOL.TAUBnTOLm＝0）

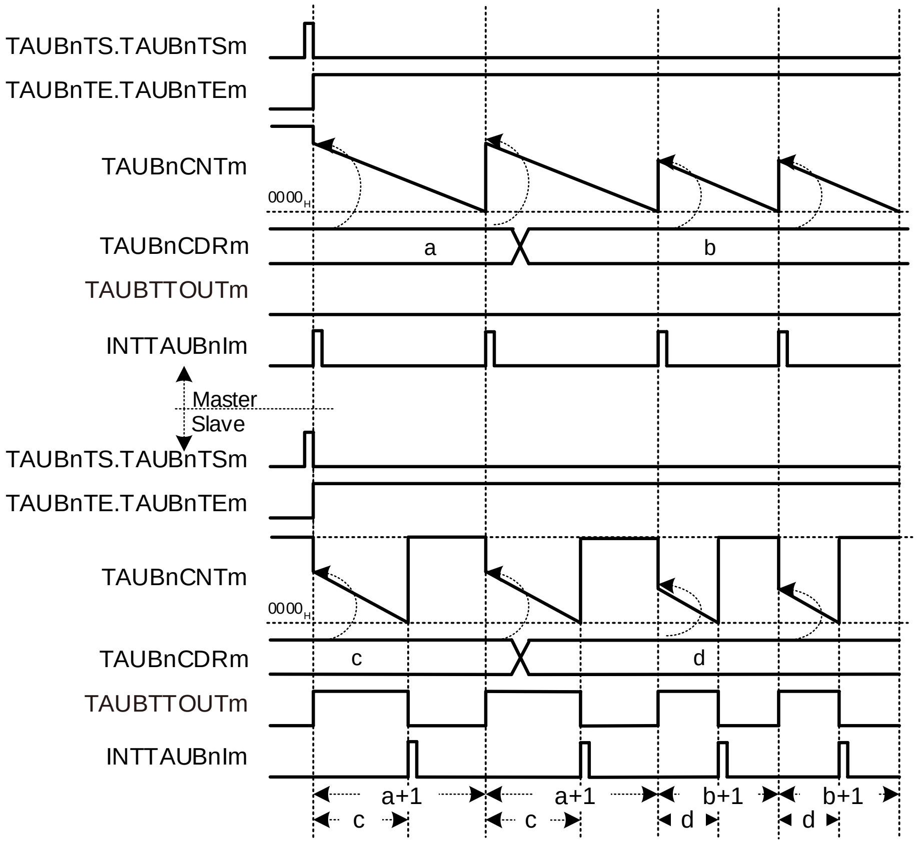


図 31.80 PWM 出力機能の基本タイミング図

備　考

- カウント開始から割り込み発生までの間隔は対応する TAUBnCDRm＋1 の値になります。
- スレーブチャネルの TAUBTTOUTm は、マスタチャネルの INTTAUBnIm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

31.14.1.4　マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS[1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS[1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 31.117 PWM 出力機能のマスタチャネルの TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUBnCKS[1:0]ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	1_B を書いてください。
10～8	TAUBnSTS[2:0]	000_B を書いてください。
7、6	TAUBnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	0000_B を書いてください。
0	TAUBnMD0	1_B を書いてください。

(2) マスタチャネルの TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 31.118 PWM 出力機能のマスタチャネルの TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00 を設定

(3) マスタチャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しません。

(4) マスタチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 31.119 PWM 出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1：一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0：マスタチャネルで一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルで一斉書き換えトリガを選択
TAUBnRDM.TAUBnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

備　考

TAUBnRDS.TAUBnRDSm ビット＝1 で使用する場合、マスタチャネルの上位に「**31.13.1 一斉書き換えトリガ生成機能タイプ 1**」で動作するチャネルが必要になります。
また、下記条件にて動作設定をお願いします。

- 一斉書き換えトリガ出力機能タイプ 1 設定チャネル：TAUBnRDCm＝1、TAUBnRDSm＝1 また、本チャネルの TAUBnCDRm 設定値は下記となります。
  ＝（(一斉書き換え対象のマスタチャネルの TAUBnCDRm 設定値＋1)×割り込み回数）－1
- マスタチャネル：TAUBnRDCm＝0、TAUBnRDSm＝1
- スレーブチャネル：TAUBnRDCm＝0、TAUBnRDSm＝1

TAUBnCDRm（スレーブ）の設定値＞TAUBnCDRm（マスタ）の設定値＋1 の場合は、Duty 値が 100%を超えることになるが、集約し 100%出力とする。

31.14.1.5　スレーブチャネルのレジスタ設定

(1)　スレーブチャネルの TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS[1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS[1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 31.120 PWM 出力機能のスレーブチャネルの TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUBnCKS[1:0]ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10～8	TAUBnSTS[2:0]	100_B を書いてください。
7、6	TAUBnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	0100_B を書いてください。
0	TAUBnMD0	1_B を書いてください。

(2)　スレーブチャネルの TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 31.121 PWM 出力機能のスレーブチャネルの TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00 を設定

(3) スレーブチャネルのチャネル出力モード

表 31.122 チャネル連動出力モード 1 時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1_B を書いてください。
TAUBnTOM.TAUBnTOMm	1_B を書いてください。
TAUBnTOC.TAUBnTOCm	0_B を書いてください。
TAUBnTOL.TAUBnTOLm	0：正論理 1：負論理
TAUBnTDE.TAUBnTDEm	0_B を書いてください。
TAUBnTDL.TAUBnTDLm	0_B を書いてください。

(4) スレーブチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 31.123 PWM 出力機能時のスレーブチャネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1：一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0：マスタチャネルで一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルで一斉書き換えトリガを選択
TAUBnRDM.TAUBnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

31.14.1.6　PWM 出力機能の操作手順

表 31.124 PWM 出力機能の操作手順

		操作	TAUBn の状態
	チャネルの初期設定	マスタチャネル：TAUBnCMORm／TAUBnCMURm レジスタとチャネル出力モードを「**31.14.1.4 マスタチャネルのレジスタ設定**」に示すように設定します。 スレーブチャネル：TAUBnCMORm／TAUBnCMURm レジスタとチャネル出力モードを「**31.14.1.5 スレーブチャネルのレジスタ設定**」に示すように設定します。 全チャネルの TAUBnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作再開	動作開始	マスタチャネルとスレーブチャネルの TAUBnTS.TAUBnTSm を同時に 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm（マスタ／スレーブチャネル）が 1 に設定され、マスタ／スレーブチャネルのカウンタが動作を開始します。 マスタチャネルで INTTAUBnIm が発生し、TAUBTTOUTm（スレーブ）が設定されます。
	動作中	TAUBnCDRm は任意のタイミングで変更可能です。 TAUBnTOL.TAUBnTOLm は変更可能です。 TAUBnCNTm と TAUBnRSF.TAUBnRSFm は任意のタイミングで読み出し可能です。 TAUBnRDT.TAUBnRDTm は動作中に変更可能です。	マスタチャネルの TAUBnCNTm は TAUBnCDRm 値をロードし、ダウンカウントを行います。カウンタが 0000_H になった場合： ● INTTAUBnIm（マスタ）が発生します。 ● TAUBnCDRm 値を TAUBnCNTm（マスタ）にロードし、カウント動作を継続します。 ● TAUBnCDRm 値を TAUBnCNTm（スレーブ）にロードし、ダウンカウントを行います。 ● TAUBTTOUTm（スレーブ）がアクティブレベルに設定されます。 TAUBnCNTm（スレーブ）が 0000_H になった場合： ● TAUBnCNTm（スレーブ）のカウント動作が停止します。 ● INTTAUBnIm（スレーブ）が発生します。 ● TAUBTTOUTm（スレーブ）がインアクティブレベルに設定されます。
	動作停止	マスタチャネルとスレーブチャネルの TAUBnTT.TAUBnTTm を同時に 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm と TAUBTTOUTm は停止し、現在値を保持します。

31.14.1.7 特定の設定時のタイミング図

(1) デューティサイクル＝0%

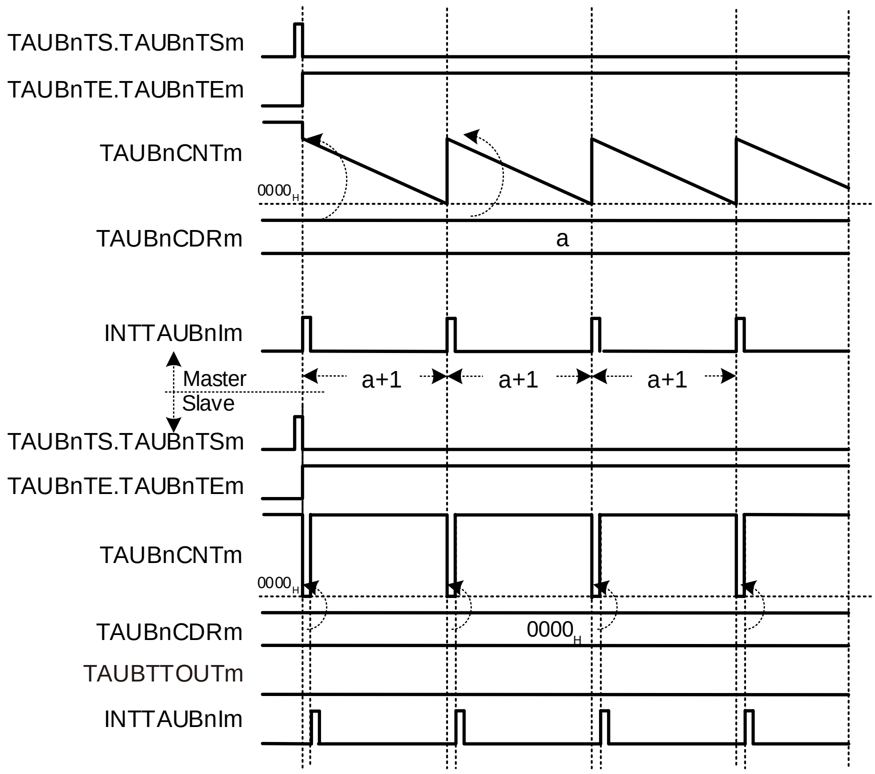


図 31.81 TAUBnCDRm（スレーブ）＝0000_H、
正論理（TAUBnTOL.TAUBnTOLm（スレーブ）＝0）

- マスタチャネルで割り込み（INTTAUBnIm）が発生するたびに、TAUBnCNTm（スレーブ）に 0000_H がロードされます。したがって、スレーブチャネルの割り込み（INTTAUBnIm）が同時発生し、TAUBTTOUTm はアクティブでない状態のままとなります。
- TAUBnCDRm 値を TAUBnCNTm（スレーブ）にロードし、割り込みを発生させます。

(2) デューティサイクル＝100%

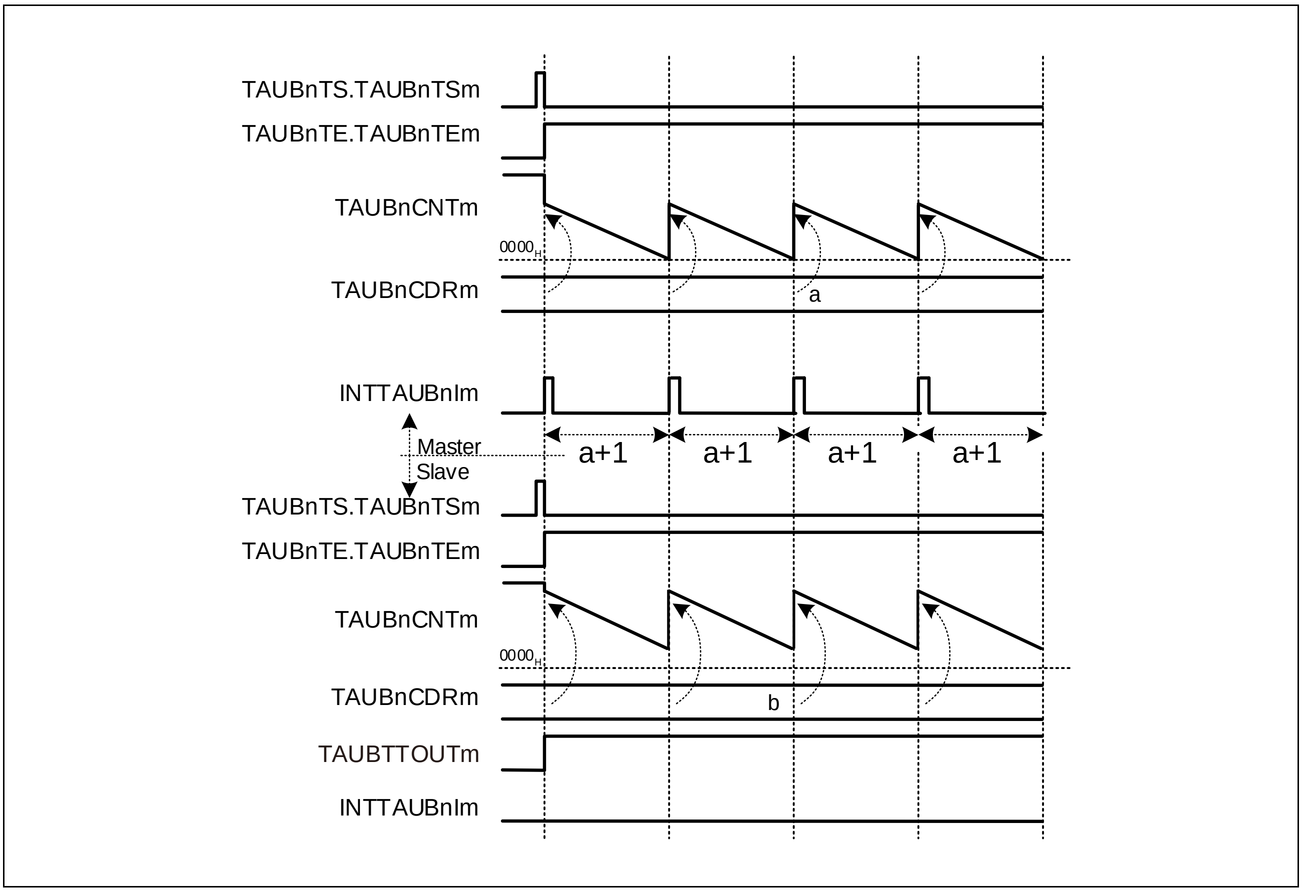


図 31.82 TAUBnCDRm（スレーブ）≧TAUBnCDRm（マスタ）＋1、
正論理（TAUBnTOL.TAUBnTOLm（スレーブ）＝0）

TAUBnCDRm（スレーブ）値が TAUBnCDRm（マスタ）値よりも大きい場合、スレーブチャネルのカウンタは 0000_H にならないため、割り込みが発生しません。TAUBTTOUTm はアクティブ状態のままになります。

(3) 動作の停止と再開

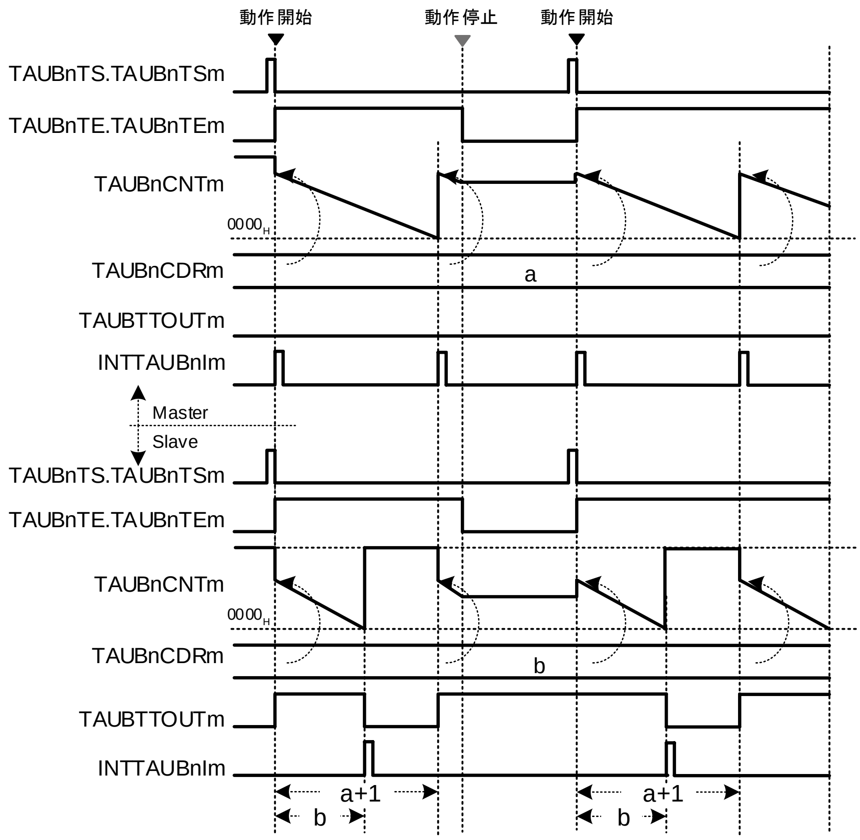


図 31.83　動作の停止と再開、正論理（TAUBnTOL.TAUBnTOLm（スレーブ）＝0）

- マスタ／スレーブチャネルの TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。
- 全チャネルの TAUBnCNTm と TAUBTTOUTm が停止し、現在値を保持します。割り込みは発生しません。
- マスタ／スレーブチャネルの TAUBnTS.TAUBnTSm を 1 に設定すると、カウンタ動作を再開できます。マスタ／スレーブチャネルの TAUBnCDRm 値を TAUBnCNTm にリロードし、この値からダウンカウントを開始します。

(4) 動作の停止と再開（スレーブ出力、初期化）

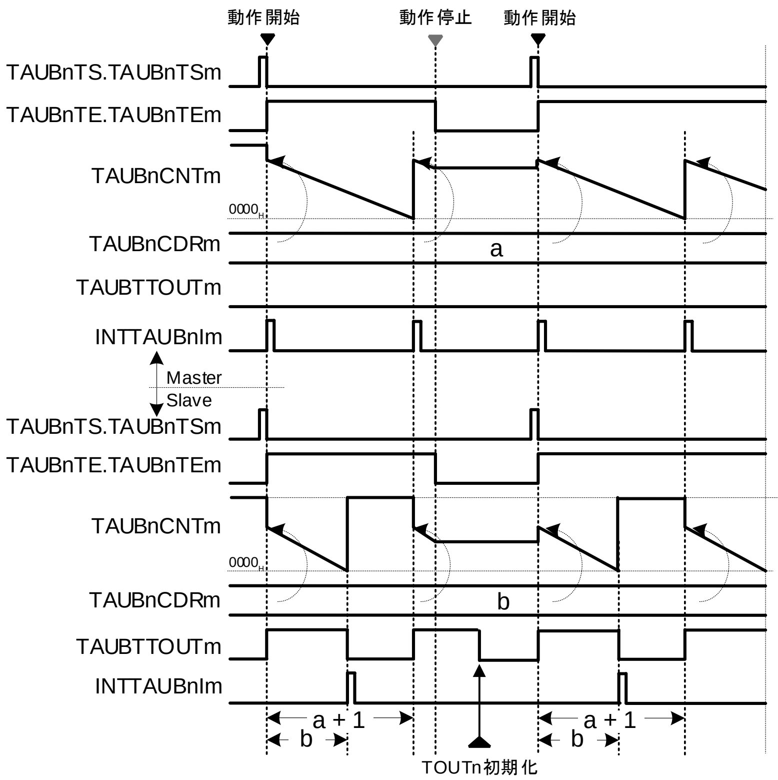


図 31.84 動作の停止と再開（スレーブ出力、初期化）

TAUBnTE.TAUBnTEm＝0 時にスレーブチャネルの TAUBnTOE.TAUBnTOEm を 0 に設定し、TAUBTTOUTm のインアクティブレベルが TAUBnTO.TAUBnTOm に書き込まれると、起動後のカウント動作開始時に INTTAUBnIm が発行されたときに TAUBTTOUTm（スレーブチャネル）の出力レベルがアクティブになります。

31.14.2　ワンショットパルス出力機能

31.14.2.1　概要

概要

マスタチャネルとスレーブチャネルを使って外部入力信号パルスとの比較で定義されているパルス幅と遅延時間で信号パルスを出力する機能です。遅延時間はマスタチャネルで設定します。パルス幅はスレーブチャネルで設定します。

前提条件

- 2 チャネル
- マスタチャネルの動作モードは、ワンカウントトモードに設定する必要があります（「**表 31.125 ワンショットパルス出力機能のマスタチャネルの TAUBnCMORm レジスタの内容**」参照）。
- スレーブチャネルの動作モードは、パルスワンカウントモードに設定する必要があります（「**表 31.128 ワンショットパルス出力機能のスレーブチャネルの TAUBnCMORm レジスタの内容**」参照）。
- この機能では、マスタチャネルで TAUBTTOUTm は使用しません。
- スレーブチャネルのチャネル出力モードは、チャネル単体出力モード 2 に設定する必要があります。
- TAUBTTINm（マスタ）は、TAUBnCNTm（マスタ）と TAUBnCNTm（スレーブ）がトリガを待っている間に検出されなければなりません。また、スレーブはマスタチャネルからの割り込みでのみトリガされ、TAUBTTINm（スレーブ）ではトリガされません。

機能説明

マスタチャネル、スレーブチャネルのチャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm＝1 となり、カウントが可能になります。

- マスタチャネル：

  次の有効な TAUBTTINm 入力エッジが検出されると、TAUBnCDRm の現在値が TAUBnCNTm にロードされます。カウンタは、この TAUBnCDRm 値からダウンカウントを開始します。
  TAUBnCMORm.TAUBnMD0＝0 の場合、遅延時間内に検出されたトリガ（TAUBTTINm）は無視されます。
  マスタチャネルのカウンタが 0000_H になると、INTTAUBnIm が発生します。カウンタは $FFFF_H$ に戻り、次の有効な TAUBTTINm 入力エッジを待ちます。

- スレーブチャネル：

  マスタチャネルで INTTAUBnIm が発生すると、スレーブチャネルのカウンタ動作がトリガされます。
  TAUBnCDRm（スレーブ）の現在値が TAUBnCNTm（スレーブ）にロードされ、カウンタはその TAUBnCDRm 値からダウンカウントを開始します。
  割り込みが発生し、TAUBTTOUTm 信号がセットされます。
  カウンタ値が 0001_H になると、INTTAUBnIm が発生し、TAUBTTOUTm 信号がリセットされます。カウンタは 0000_H で停止し、マスタチャネルの次の INTTAUBnIm を待ちます。

マスタ／スレーブチャネルの TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。マスタ／スレーブチャネルの TAUBnCNTm と TAUBTTOUTm が停止しますが、それぞれの値は保持します。TAUBnTS.TAUBnTSm を 1 に設定すると、カウントを再開できます。

カウント中に TAUBnTS.TAUBnTSm を 1 に設定すると、いったん停止しなくてもマスタチャネルのカウントを再開できます（強制リスタート）。

備　考

1.　動作中に強制リスタートが行われた場合、出力信号の幅は TAUBnCDRm 値（スレーブ）と一致しません。
2.　TAUBTTINm 入力信号は TAUBnCMORm.TAUBnCKS[1:0]ビットで設定した動作クロックの周波数でサンプリングされます。したがって、TAUBTTOUTm の出力クロックの周期には、動作クロック±1 周期分の誤差があります。

条件

- マスタチャネルの TAUBnCMORm.TAUBnMD0 が 0 に設定されている場合、カウント中に検出された TAUBTTINm 入力エッジは無視されます。
- この機能では一斉書き換えを行うことができます。「**31.6 一斉書き換え**」を参照してください。

31.14.2.2　算出式

トリガ入力からパルス出力までの遅延時間

　　＝（TAUBnCDRm（マスタ）＋1）×カウントクロック周期

パルス幅＝（TAUBnCDRm（スレーブ））×カウントクロック周期

31.14.2.3　ブロック図と基本タイミング図

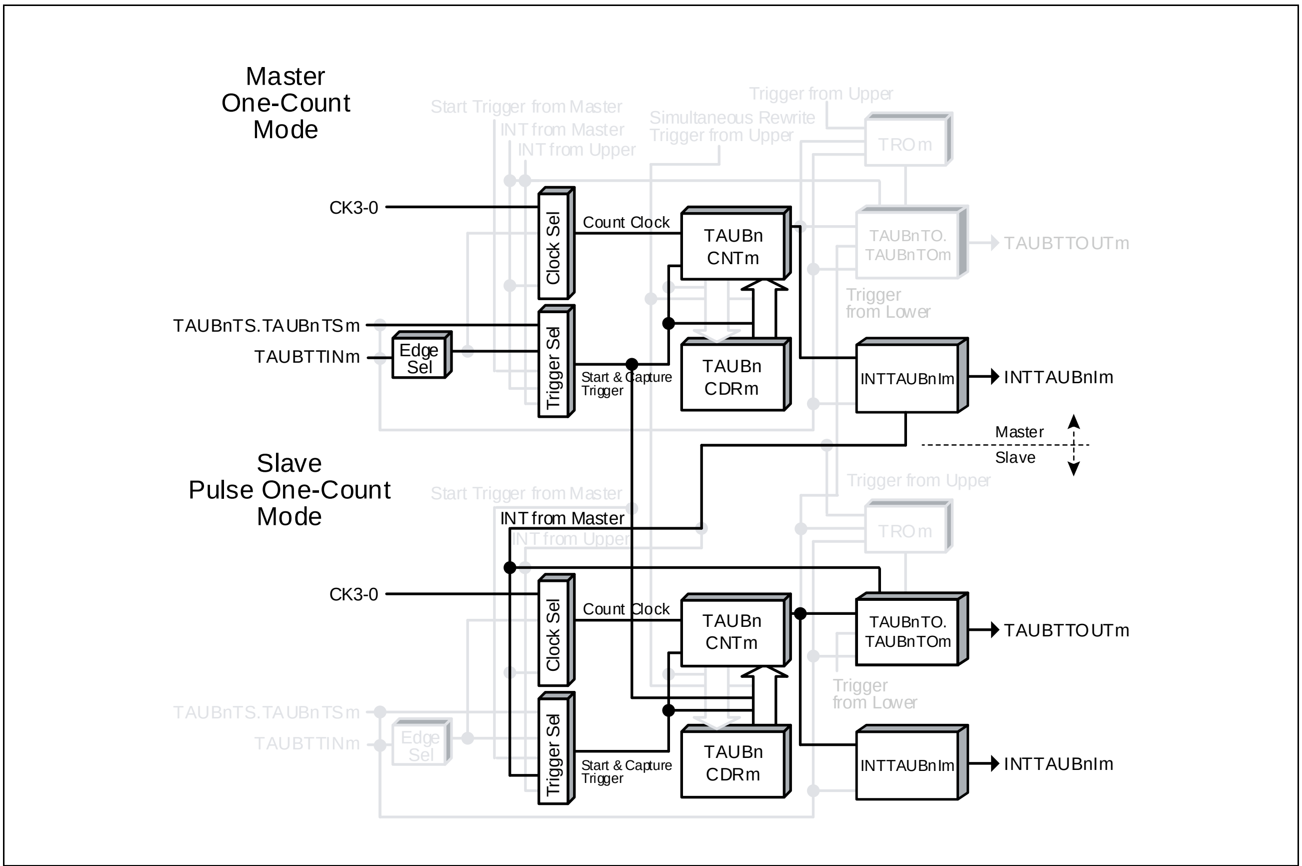


図 31.85　ワンショットパルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- カウント中のスタートトリガ検出は禁止（TAUBnCMORm.TAUBnMD0＝0）
- 立ち下がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0]＝00_B）

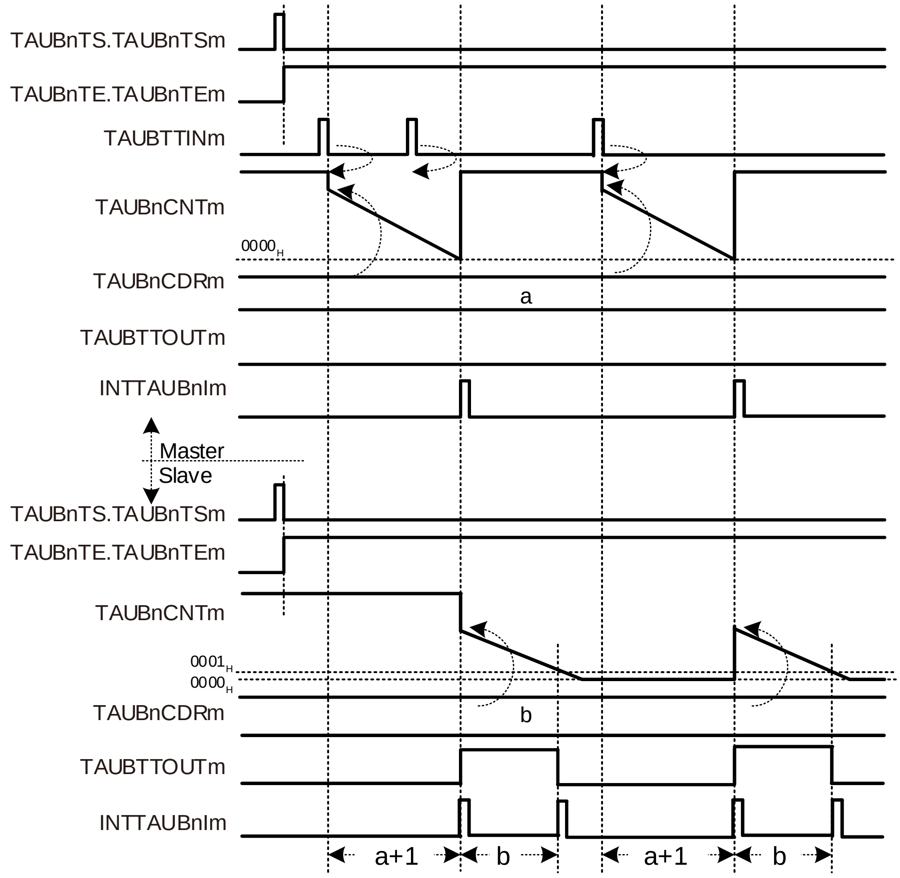


図 31.86　ワンショットパルス出力機能の基本タイミング図

31.14.2.4　マスタチャネルのレジスタ設定

(1)　マスタチャネルの TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS[1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS[1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 31.125 ワンショットパルス出力機能のマスタチャネルの TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUBnCKS[1:0]ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	1_B を書いてください。
10～8	TAUBnSTS[2:0]	001_B を書いてください。
7、6	TAUBnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	0100_B を書いてください。
0	TAUBnMD0	0：カウント中のスタートトリガ検出禁止 1：カウント中のスタートトリガ検出許可

(2)　マスタチャネルの TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 31.126 ワンショットパルス出力機能のマスタチャネルの TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3)　マスタチャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。

(4) マスタチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 31.127 ワンショットパルス出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1：一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0：マスタチャネルが一斉書き換えの制御チャネル
TAUBnRDM.TAUBnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

31.14.2.5　スレーブチャネルのレジスタ設定

(1) スレーブチャネルの TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS[1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS[1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 31.128 ワンショットパルス出力機能のスレーブチャネルの TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUBnCKS[1:0]ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10～8	TAUBnSTS[2:0]	100_B を書いてください。
7、6	TAUBnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	1010_B を書いてください。
0	TAUBnMD0	0：カウント中のスタートトリガ検出禁止 1：カウント中のスタートトリガ検出許可 マスタチャネルとスレーブチャネルの MD0 ビット値は同一である必要があります。

(2) スレーブチャネルの TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 31.129 ワンショットパルス出力機能のスレーブチャネルの TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00 を設定

(3) スレーブチャネルのチャネル出力モード

表 31.130 チャネル単体出力モード 2 のときの制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1：チャネル単体出力モード許可
TAUBnTOM.TAUBnTOMm	0：チャネル単体出力
TAUBnTOC.TAUBnTOCm	1：動作モード 2
TAUBnTOL.TAUBnTOLm	0：正論理 1：負論理
TAUBnTDE.TAUBnTDEm	0：デッドタイム動作禁止
TAUBnTDL.TAUBnTDLm	0：デッドタイム動作禁止時（TAUBnTDE.TAUBnTDEm＝0）、0 を設定

(4) スレーブチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 31.131 ワンショットパルス出力機能時のスレーブチャネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1：一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0：マスタチャネルが一斉書き換えの制御チャネル
TAUBnRDM.TAUBnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

31.14.2.6　ワンショットパルス出力機能時の操作手順

表 31.132 ワンショットパルス出力機能時の操作手順

	操作	TAUBn の状態
チャネルの初期設定	マスタチャネル：TAUBnCMORm／TAUBnCMURm レジスタとチャネル出力モードを「**31.14.2.4 マスタチャネルのレジスタ設定**」に示すように設定します。 スレーブチャネル：TAUBnCMORm／TAUBnCMURm レジスタとチャネル出力モードを「**31.14.2.5 スレーブチャネルのレジスタ設定**」に示すように設定します。 全チャネルの TAUBnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	マスタチャネルとスレーブチャネルの TAUBnTS.TAUBnTSm を同時に 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm（マスタ／スレーブチャネル）が 1 に設定され、マスタチャネルは TAUBTTINm 入力を待ちます。
動作中	TAUBnCDRm は任意のタイミングで変更可能です。 TAUBnCNTm と TAUBnRSF.TAUBnRSFm は任意のタイミングで読み出し可能です。 TAUBnRDT.TAUBnRDTm は動作中に変更可能です。	TAUBTTINm 入力の有効エッジを検出すると、マスタチャネルの TAUBnCDRm の値を TAUBnCNTm にロードし、ダウンカウントを行います。カウンタが 0000$_H$ になった場合： ● INTTAUBnIm（マスタ）が発生します。 ● TAUBnCNTm（マスタ）は FFFF$_H$ に戻り、次の有効な TAUBTTINm 入力エッジを待ちます。 ● 再び TAUBnCDRm の値を TAUBnCNTm（スレーブ）にロードし、ダウンカウント動作を開始します。 ● INTTAUBnIm（スレーブ）が発生します。 ● TAUBTTOUTm（スレーブ）がアクティブレベルになります。 TAUBnCNTm（スレーブ）が 0001$_H$ になった場合： ● TAUBnCNTm（スレーブ）のカウント動作が停止します。 ● INTTAUBnIm（スレーブ）が発生します。 ● TAUBTTOUTm（スレーブ）がインアクティブレベルになります。
動作停止	マスタチャネルとスレーブチャネルの TAUBnTT.TAUBnTTm を同時に 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm と TAUBTTOUTm は停止し、現在値を保持します。

動作再開

31.14.2.7　特定のタイミング図

(1)　TAUBnCDRm（マスタ）＝0000_H

下記のタイミング図での設定は次のようになっています。

- カウント中のスタートトリガ検出は禁止（TAUBnCMORm.TAUBnMD0＝0）
- 立ち下がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0]＝00_B）

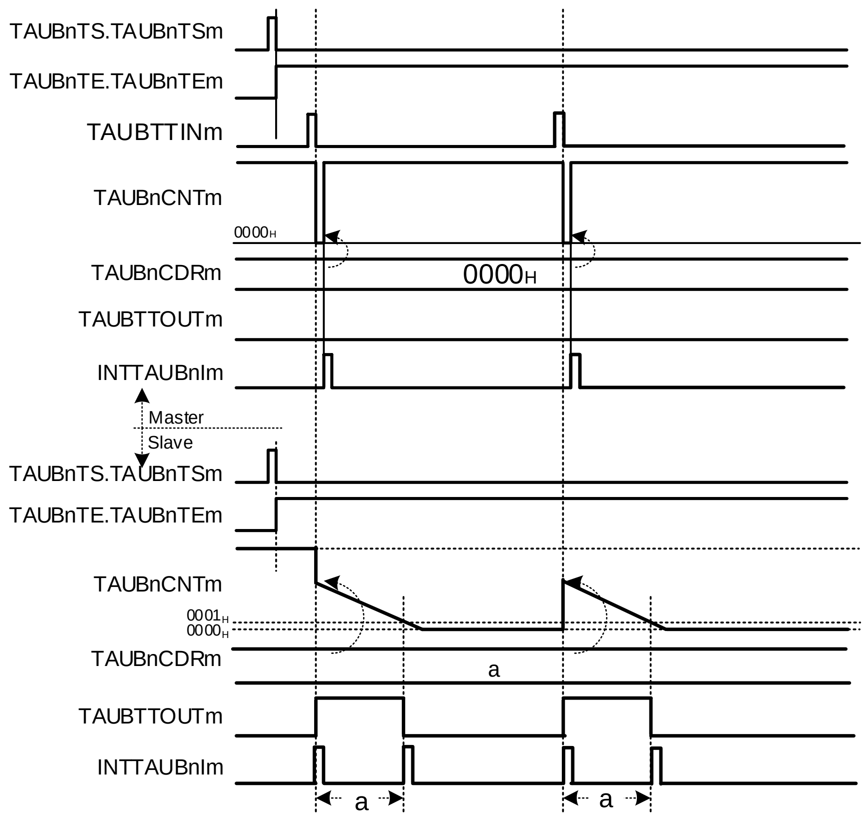


図 31.87　TAUBnCDRm（マスタ）＝0000_H

- TAUBTTINm 入力の有効エッジが検出されたとき、TAUBnCNTm（マスタ）に 0000_H が書き込まれます。カウンタに 0000_H が設定されることにより、1 カウント行うと $FFFF_H$ に戻ります。
したがって、スレーブチャネルのカウンタは TAUBTTINm（マスタ）から 1 カウントクロック遅れて、ダウンカウントを開始します。

(2) TAUBnCDRm（スレーブ）＝0000_H

下記のタイミング図での設定は次のようになっています。

- カウント中のスタートトリガ検出は禁止（TAUBnCMORm.TAUBnMD0＝0）
- 立ち下がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0]＝00_B）

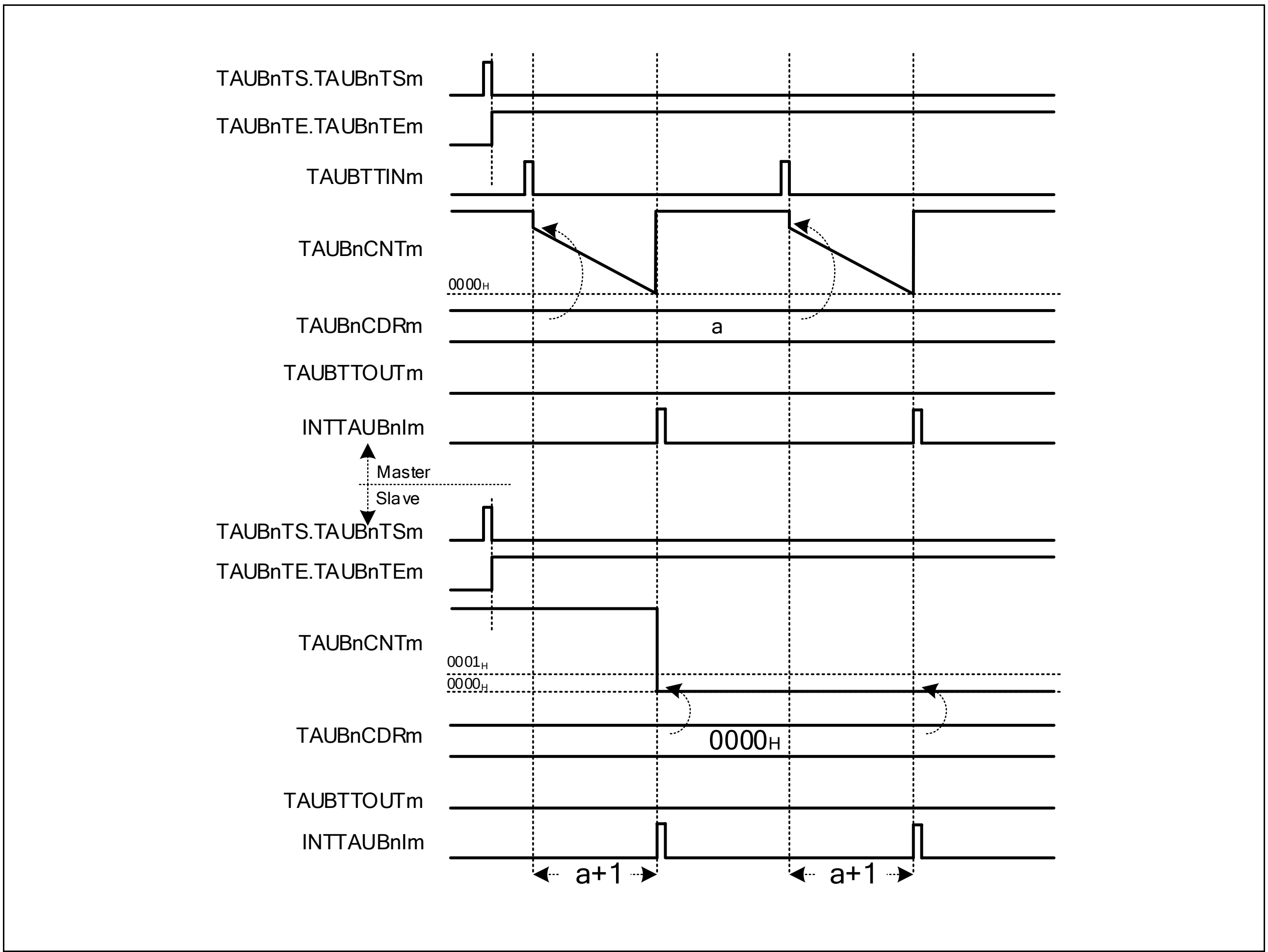


図 31.88　TAUBnCDRm（スレーブ）＝0000_H

- パルス幅が 0 のため、TAUBTTOUTm は非アクティブ状態のままです。

(3) TAUBnCMORm.TAUBnMD0＝0

下記のタイミング図での設定は次のようになっています。

- カウント中のスタートトリガ検出禁止（TAUBnCMORm.TAUBnMD0＝0）
- 立ち下がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0]＝00_B）

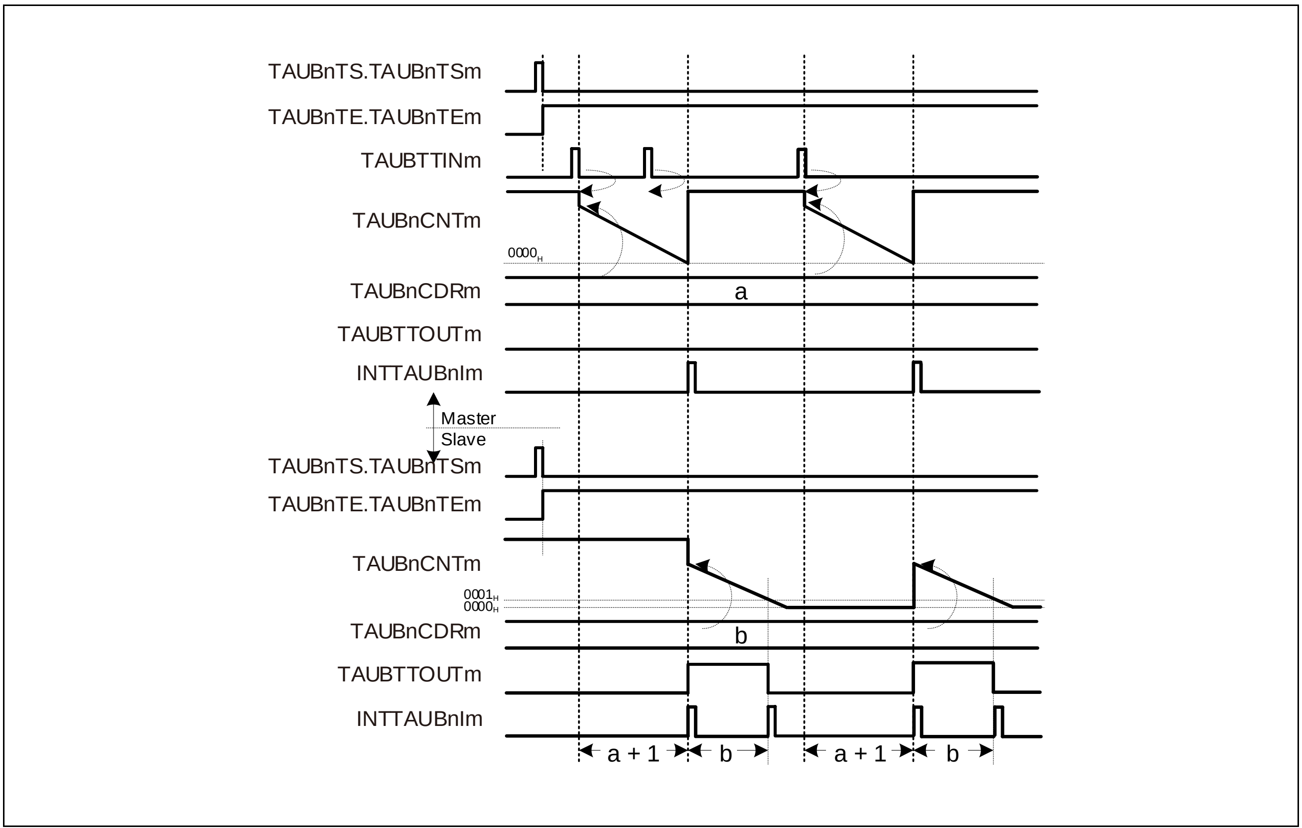


図 31.89　TAUBnCMORm.TAUBnMD0＝0

- マスタチャネルのダウンカウント中に TAUBTTINm に有効エッジの入力があった場合でもカウンタはダウンカウントを継続します。

(4) TAUBnCMORm.TAUBnMD0＝1

下記のタイミング図での設定は次のようになっています。

- カウント中のスタートトリガ検出許可（TAUBnCMORm.TAUBnMD0＝1）
- 立ち下がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0]＝00_B）

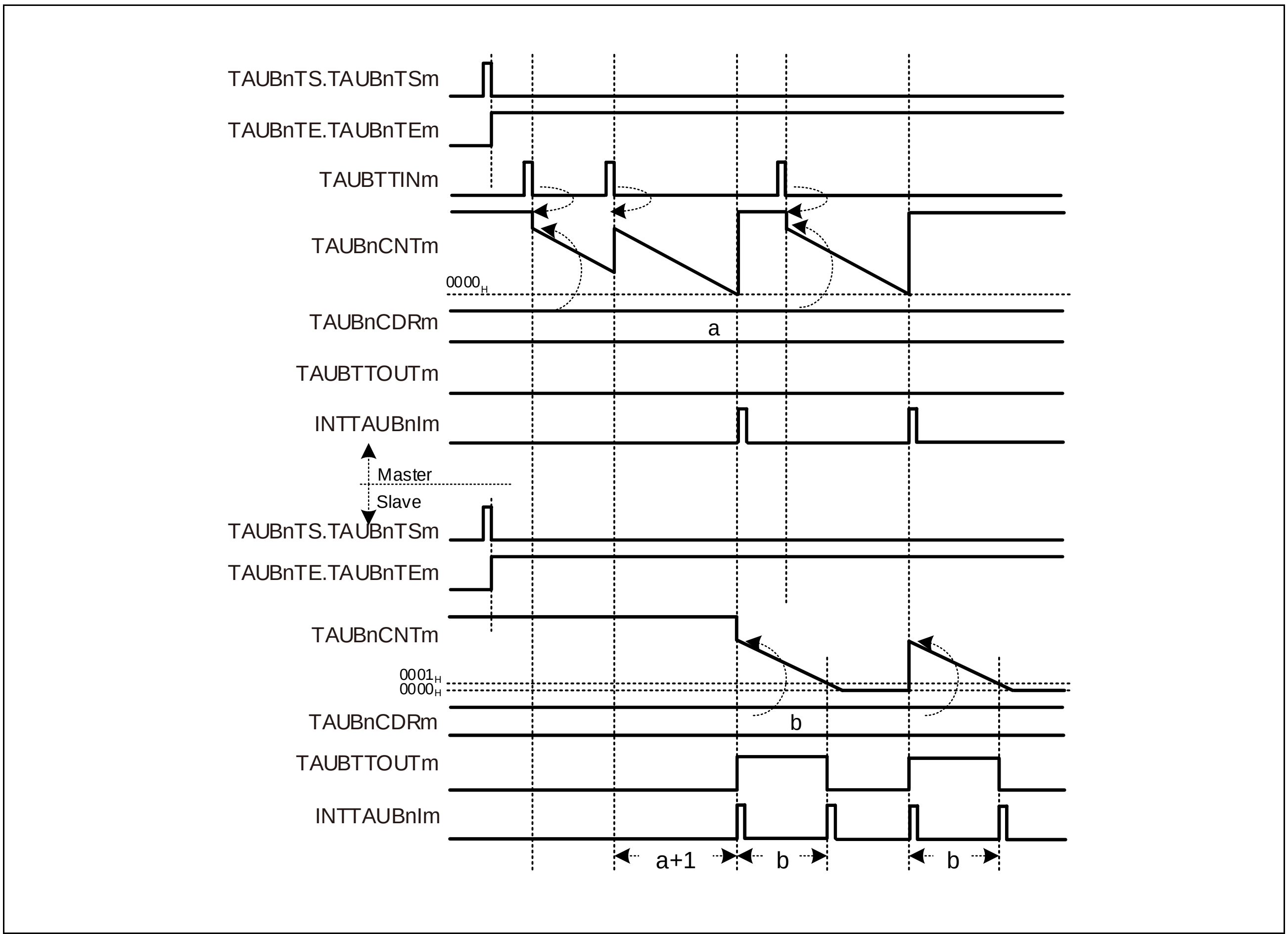


図 31.90　TAUBnCMORm.TAUBnMD0＝1

- マスタチャネルのダウンカウント中に TAUBTTINm 入力の有効エッジが検出された場合、TAUBnCNTm は TAUBnCDRm の値をリロードします。カウンタは、ダウンカウントを再開します。

これは、TAUBTTINm 入力の有効エッジ検出時の TAUBnCNTm の値によって、INTTAUBnIm 発生間隔のディレイが引き延ばされたことを意味します。

(5) 動作の停止と再開

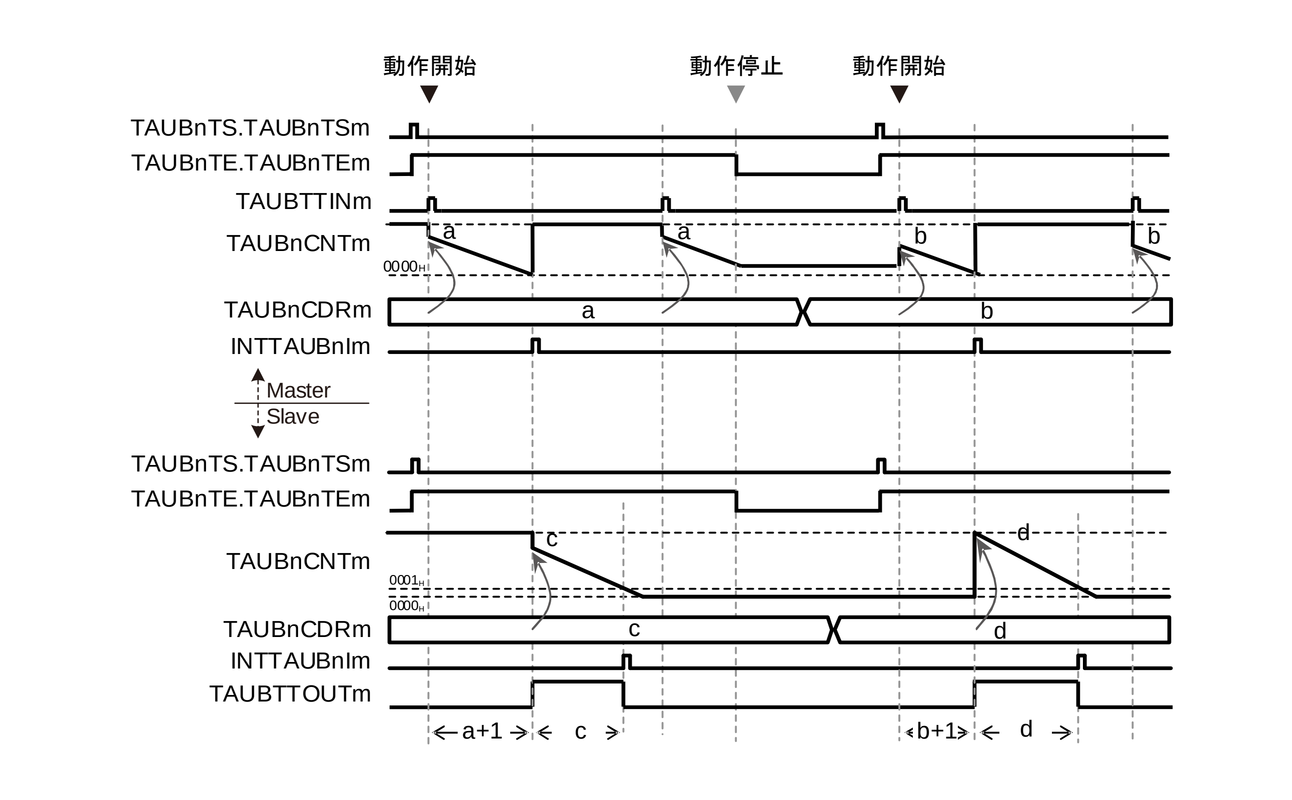


図 31.91　動作の停止と再開

マスタおよびスレーブチャネルの TTm を 1 に設定すると、同時に TAUBnTE.TAUBnTEm が 0 にクリアされます。これにより、カウント動作が停止します。その場合、TAUBnCNTm と TAUBTTOUTm は値を保持した状態で動作を停止します。

マスタおよびスレーブチャネルの TAUBnTS.TAUBnTSm を 1 に設定すると、同時に TAUBnTE.TAUBnTEm が 1 になります。

TAUBnTE.TAUBnTEm が 1 のときスタートトリガが検出されると、TAUBnCDRm の値が TAUBnCNTm に転送され、動作を再開します。

(6) スレーブチャネルカウント中にマスタチャネルがリスタート

下記のタイミング図での設定は次のようになっています。

- カウント中のスタートトリガ検出は禁止（TAUBnCMORm.TAUBnMD0＝0）
- 立ち下がりエッジ検出（TAUBnCMURm.TAUBnTIS[1:0]＝00_B）

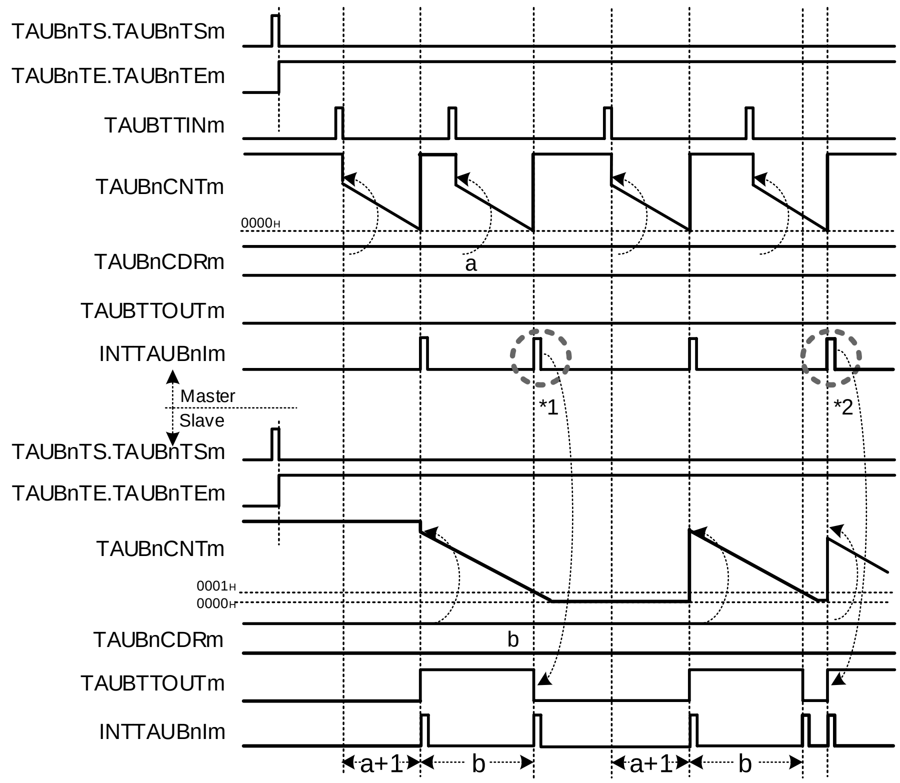


図 31.92　TAUBTTINm 入力間隔≦ディレイ時間＋パルス幅＋1

- スレーブチャネルのカウンタが 0001_H になる前かちょうど 0001_H になったときにマスタチャネルが割り込みを発生した場合（*1）、割り込み（マスタ）は無視されます。
- スレーブチャネルのカウンタが次のトリガを待つ間にマスタチャネルの割り込みが発生した場合は、TAUBnCDRm（スレーブ）の値がリロードされます。割り込みが発生し、TAUBTTOUTm がトグルされます。TAUBnCNTm（スレーブ）がカウント中に TAUBnCNTm（マスタ）がダウンカウントを開始した場合は（*2）、TAUBTTOUTm は期待される遅延時間では出力されません。
- 正しいワンショットパルスを発生するには、マスタチャネルとスレーブチャネルがカウント中でなくスタートトリガ待ち状態のときにマスタチャネルのスタートトリガが検出される必要があります。

31.14.3　ディレイパルス出力機能

31.14.3.1　概要

概要

この機能では、2 種類の信号が出力されます。基準信号のパルス幅とパルス周期は、マスタチャネルとスレーブチャネル 1 を使用して定義されています。スレーブチャネル 2 とスレーブチャネル 3 は設定されている遅延時間後に基準信号を出力します。ディレイ信号は基準信号と同じですが、スレーブチャネル 2 で設定されている時間分、遅延して出力されます。
信号の値は次のように設定されます。

- パルス周期はマスタチャネルで設定します。
- 基準信号のデューティサイクルはスレーブチャネル 1 を、ディレイ信号のデューティサイクルはスレーブチャネル 3 を使用して設定されます。
- 遅延量はスレーブチャネル 2 で設定します。

前提条件

- 4 チャネル
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（「**表 31.133 ディレイパルス出力機能のマスタチャネルの TAUBnCMORm レジスタの内容**」参照）。
- スレーブチャネル 1、2 の動作モードは、ワンカウントモードに設定する必要があります（「**表 31.136 ディレイパルス出力機能のスレーブチャネル 1 の TAUBnCMORm レジスタの内容**」、「**表 31.140 ディレイパルス出力機能のスレーブチャネル 2 の TAUBnCMORm レジスタの内容**」参照）。
- スレーブチャネル 3 の動作モードは、パルスワンカウントモードに設定する必要があります（「**表 31.143 ディレイパルス出力機能のスレーブチャネル 3 の TAUBnCMORm レジスタの内容**」参照）。
- マスタチャネルおよびスレーブチャネル 2 では TAUBTTOUTm を使用しません。
- スレーブチャネル 1 のチャネル出力モードは、チャネル連動出力モード 1 に設定する必要があります。
- スレーブチャネル 3 のチャネル出力モードは、チャネル単体出力モード 2 に設定する必要があります。

機能説明

チャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、チャネルグループのカウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm＝1 となり、カウントが可能になります。

- マスタチャネル：

  TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタはその TAUBnCDRm 値からダウンカウントを開始します。マスタチャネルで INTTAUBnIm が発生します。
  マスタチャネルのカウンタ値が 0000_H になりパルス周期時間が経過すると、INTTAUBnIm が発生します。再び TAUBnCDRm の値をカウンタにロードし、ダウンカウントを行います。

- スレーブチャネル 1、スレーブチャネル 2：

  スレーブチャネル 1、2 はマスタチャネルからの割り込みを検出すると、TAUBnCDRm の現在値からダウンカウントを開始します。TAUBTTOUTm 信号（スレーブ 1）が設定されます。

  – スレーブチャネル 1：
    スレーブチャネル 1 のカウンタ値が 0000_H になると（デューティ時間が経過すると）、INTTAUBnIm が発生し、TAUBTTOUTm 信号がリセットされます。カウンタは $FFFF_H$ に戻り、マスタチャネルの次の INTTAUBnIm を待ちます。

  – スレーブチャネル 2：
    スレーブチャネル 2 のカウンタ値が 0000_H になり遅延時間が経過すると、INTTAUBnIm が発生します。カウンタは $FFFF_H$ に戻り、マスタチャネルの次の INTTAUBnIm を待ちます。
    INTTAUBnIm（スレーブチャネル 2）が発生することにより、スレーブチャネル 3 のカウンタ動作がトリガされます。

- スレーブチャネル 3：

  スレーブチャネル 3 はスレーブチャネル 2 からの割り込みを検出すると、TAUBnCDRm の現在値からダウンカウントを開始します。INTTAUBnIm が発生し、TAUBTTOUTm 信号（スレーブチャネル 3）がセットされます。
  スレーブチャネル 3 のカウンタ値が 0001_H になると、INTTAUBnIm が発生し、TAUBTTOUTm 信号がリセットされます。
  スレーブチャネル 3 からは遅延された PWM パルスが出力されます。

マスタ／スレーブチャネルの TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。マスタ／スレーブチャネルの TAUBnCNTm と TAUBTTOUTm が停止しますが、それぞれの値は保持します。TAUBnTS.TAUBnTSm を 1 に設定すると、カウントを再開できます。

条件

この機能で一斉書き換えを行うことができます。「**31.6 一斉書き換え**」を参照してください。

31.14.3.2 算出式

パルス周期＝（TAUBnCDRm（マスタ）＋1）×カウントクロック周期

デューティ幅 1＝（TAUBnCDRm（スレーブ 1））×カウントクロック周期

遅延幅＝（TAUBnCDRm（スレーブ 2）＋1）×カウントクロック周期

デューティ幅 2＝（TAUBnCDRm（スレーブ 3））×カウントクロック周期

ただし、遅延幅の設定値は下記範囲とすること。

0000_H≦TAUBnCDRm（スレーブ 2）＜TAUBnCDRm（マスタ）

備 考

1. TAUBTTOUTm（スレーブ 3）の出力波形は、TAUBTTOUTm（スレーブ 1）の出力波形をスレーブ 2 で生成したディレイ分遅延させた波形となります。パルス周期以上に遅延させることはできません。
2. スレーブ 3 のカウント中に、スレーブ 2 の INTTAUBnIm が発生した場合、スレーブ 3 は動作を再開します。したがって、TAUBTTOUTm（スレーブ 3）の出力波形は、アクティブレベルを保持します。（この場合、TAUBTTOUTm（Slave-CH-3）は、TAUBTTOUTm（Slave-CH-1）の基本パルスをディレイさせた波形を出力できません。）

31.14.3.3　ブロック図と基本タイミング図

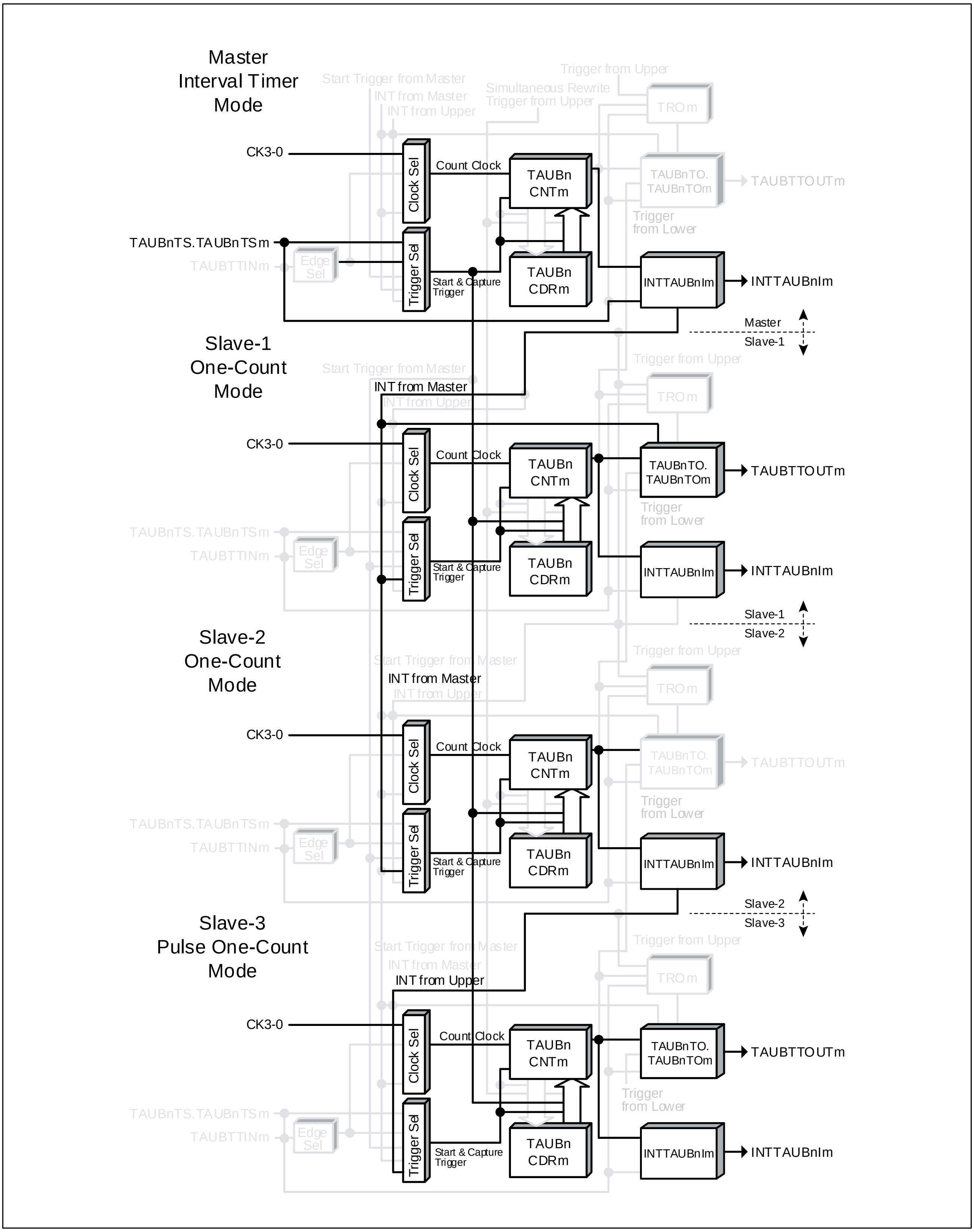


図 31.93　ディレイパルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブチャネル 1：正論理（TAUBnTOL.TAUBnTOLm＝0）
- スレーブチャネル 3：正論理（TAUBnTOL.TAUBnTOLm＝0）

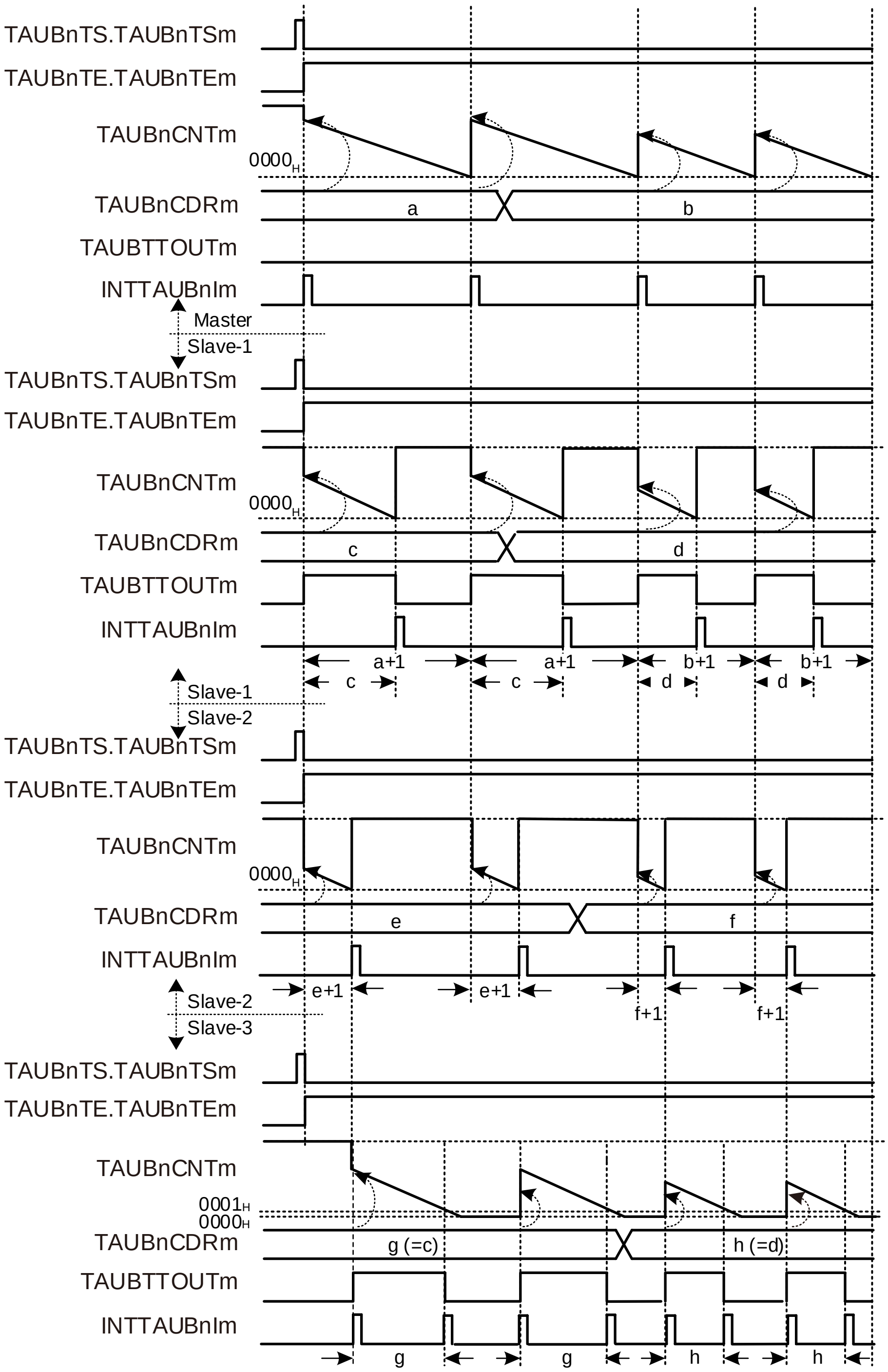


図 31.94　ディレイパルス出力機能の基本タイミング図

31.14.3.4　マスタチャネルのレジスタ設定

(1)　マスタチャネルの TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS[1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS[1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W

表 31.133 ディレイパルス出力機能のマスタチャネルの TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUBnCKS[1:0]ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	1_B を書いてください。
10～8	TAUBnSTS[2:0]	000_B を書いてください。
7、6	TAUBnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	0000_B を書いてください。
0	TAUBnMD0	1_B を書いてください。

(2)　マスタチャネルの TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 31.134 ディレイパルス出力機能のマスタチャネルの TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00 を設定

(3)　マスタチャネルのチャネル出力モード

この機能では、マスタチャネルはチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。

(4) マスタチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 31.135 ディレイパルス出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1：一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0：マスタチャネルが一斉書き換えの制御チャネル
TAUBnRDM.TAUBnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

31.14.3.5　スレーブチャネル 1 のレジスタ設定

(1) スレーブチャネル 1 の TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS[1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS[1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 31.136 ディレイパルス出力機能のスレーブチャネル 1 の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUBnCKS[1:0]ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10～8	TAUBnSTS[2:0]	100_B を書いてください。
7、6	TAUBnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	0100_B を書いてください。
0	TAUBnMD0	1_B を書いてください。

(2) スレーブチャネル 1 の TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 31.137 ディレイパルス出力機能のスレーブチャネル 1 の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00 を設定

(3) スレーブチャネル 1 のチャネル出力モード

表 31.138 チャネル連動出力モード 1 時のスレーブチャネル 1 の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1_B を書いてください。
TAUBnTOM.TAUBnTOMm	1_B を書いてください。
TAUBnTOC.TAUBnTOCm	0_B を書いてください。
TAUBnTOL.TAUBnTOLm	0：正論理 1：負論理
TAUBnTDE.TAUBnTDEm	0_B を書いてください。
TAUBnTDL.TAUBnTDLm	0_B を書いてください。

(4) スレーブチャネル 1 の一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 31.139 ディレイパルス出力機能時のスレーブチャネル 1 の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1：一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0：マスタチャネルが一斉書き換えの制御チャネル
TAUBnRDM.TAUBnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

31.14.3.6　スレーブチャネル 2 のレジスタ設定

(1)　スレーブチャネル 2 の TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS[1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS[1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 31.140 ディレイパルス出力機能のスレーブチャネル 2 の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUBnCKS[1:0]ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10～8	TAUBnSTS[2:0]	100_B を書いてください。
7、6	TAUBnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	0100_B を書いてください。
0	TAUBnMD0	1_B を書いてください。

(2)　スレーブチャネル 2 の TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 31.141 ディレイパルス出力機能のスレーブチャネル 2 の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00 を設定

(3)　スレーブチャネル 2 のチャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUBnTOE.TAUBnTOEm に 0 を設定します。

(4) スレーブチャネル 2 の一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 31.142 ディレイパルス出力機能時のスレーブチャネル 2 の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1：一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0：マスタチャネルが一斉書き換えの制御チャネル
TAUBnRDM.TAUBnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

31.14.3.7 スレーブチャネル 3 のレジスタ設定

(1) スレーブチャネル 3 の TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS[1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS[1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 31.143 ディレイパルス出力機能のスレーブチャネル 3 の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUBnCKS[1:0]ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10～8	TAUBnSTS[2:0]	101_B を書いてください。
7、6	TAUBnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	1010_B を書いてください。
0	TAUBnMD0	1_B を書いてください。

(2) スレーブチャネル 3 の TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 31.144 ディレイパルス出力機能のスレーブチャネル 3 の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00 を設定

(3) スレーブチャネル 3 のチャネル出力モード

表 31.145 チャネル単体出力モード 2 時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1_B を書いてください。
TAUBnTOM.TAUBnTOMm	0_B を書いてください。
TAUBnTOC.TAUBnTOCm	1_B を書いてください。
TAUBnTOL.TAUBnTOLm	0：正論理 1：負論理
TAUBnTDE.TAUBnTDEm	0_B を書いてください。
TAUBnTDL.TAUBnTDLm	0_B を書いてください。

(4) スレーブチャネル 3 の一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 31.146 ディレイパルス出力機能時のスレーブチャネル 3 の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1：一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0：マスタチャネルが一斉書き換えの制御チャネル
TAUBnRDM.TAUBnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUBnRDC.TAUBnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

31.14.3.8 ディレイパルス出力機能時の操作手順

表 31.147 ディレイパルス出力機能時の操作手順

	操作	TAUBn の状態
チャネルの初期設定	マスタチャネル：TAUBnCMORm／TAUBnCMURm レジスタとチャネル出力モードを「**31.14.3.4 マスタチャネルのレジスタ設定**」に示すように設定します。 スレーブチャネル 1：TAUBnCMORm／TAUBnCMURm レジスタとチャネル出力モードを「**31.14.3.5 スレーブチャネル 1 のレジスタ設定**」に示すように設定します。 スレーブチャネル 2：TAUBnCMORm／TAUBnCMURm レジスタとチャネル出力モードを「**31.14.3.6 スレーブチャネル 2 のレジスタ設定**」に示すように設定します。 スレーブチャネル 3：TAUBnCMORm／TAUBnCMURm レジスタとチャネル出力モードを「**31.14.3.7 スレーブチャネル 3 のレジスタ設定**」に示すように設定します。 全チャネルの TAUBnCDRm レジスタの値を設定します。	チャネル動作を停止しています。

表 31.147 ディレイパルス出力機能時の操作手順

		操作	TAUBn の状態
動作再開	動作開始	マスタチャネルとスレーブチャネルの TAUBnTS.TAUBnTSm を同時に 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm（マスタ／スレーブチャネル）が 1 に設定され、マスタチャネルとスレーブチャネル 1／2 のカウンタが動作を開始します。 マスタチャネルで INTTAUBnIm が発生し、TAUBTTOUTm（スレーブチャネル 1）がセットされます。
	動作中	TAUBnCDRm は任意のタイミングで変更可能です。 TAUBnCNTm と TAUBnRSF.TAUBnRSFm は任意のタイミングで読み出し可能です。 TAUBnRDT.TAUBnRDTm は動作中に変更可能です。	マスタチャネルとスレーブチャネル 1／2 の TAUBnCDRm の値を TAUBnCNTm にロードし、ダウンカウントを行います。 マスタチャネルのカウンタが 0000_H になった場合： ● INTTAUBnIm（マスタ）が発生します。 ● 再び TAUBnCDRm の値を TAUBnCNTm（マスタ）にロードし、カウント動作を継続します。 ● 再び TAUBnCDRm の値を TAUBnCNTm（スレーブ 1／2）にロードし、ダウンカウントを開始します。 ● TAUBTTOUTm（スレーブ 1）がセットされます。 TAUBnCNTm（スレーブ 1）が 0000_H になった場合： ● INTTAUBnIm（スレーブ 1）が発生します。 ● TAUBTTOUTm（スレーブ 1）がリセットされます。 TAUBnCNTm（スレーブ 2）が 0000_H になった場合： ● INTTAUBnIm（スレーブ 2）が発生します。 ● INTTAUBnIm（スレーブ 3）が発生します。 ● TAUBTTOUTm（スレーブ 3）がセットされます。 ● 再び TAUBnCDRm の値を TAUBnCNTm（スレーブ 3）にロードし、ダウンカウント動作を開始します。 TAUBnCNTm（スレーブ 3）が 0001_H になった場合： ● INTTAUBnIm（スレーブ 3）が発生します。 ● TAUBTTOUTm（スレーブ 3）がリセットされます。
	動作停止	マスタチャネルとスレーブチャネルの TAUBnTT.TAUBnTTm を同時に 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm と TAUBTTOUTm は停止し、現在値を保持します。

31.14.3.9　特定のタイミング図

(1)　デューティサイクル（スレーブ 3）＝100%

下記のタイミング図での設定は次のようになっています。

- TAUBnCDRm（マスタ）＝000A$_H$
- TAUBnCDRm（スレーブ 1）＝000B$_H$
- TAUBnCDRm（スレーブ 2）＝0000$_H$
- TAUBnCDRm（スレーブ 3）＝000B$_H$

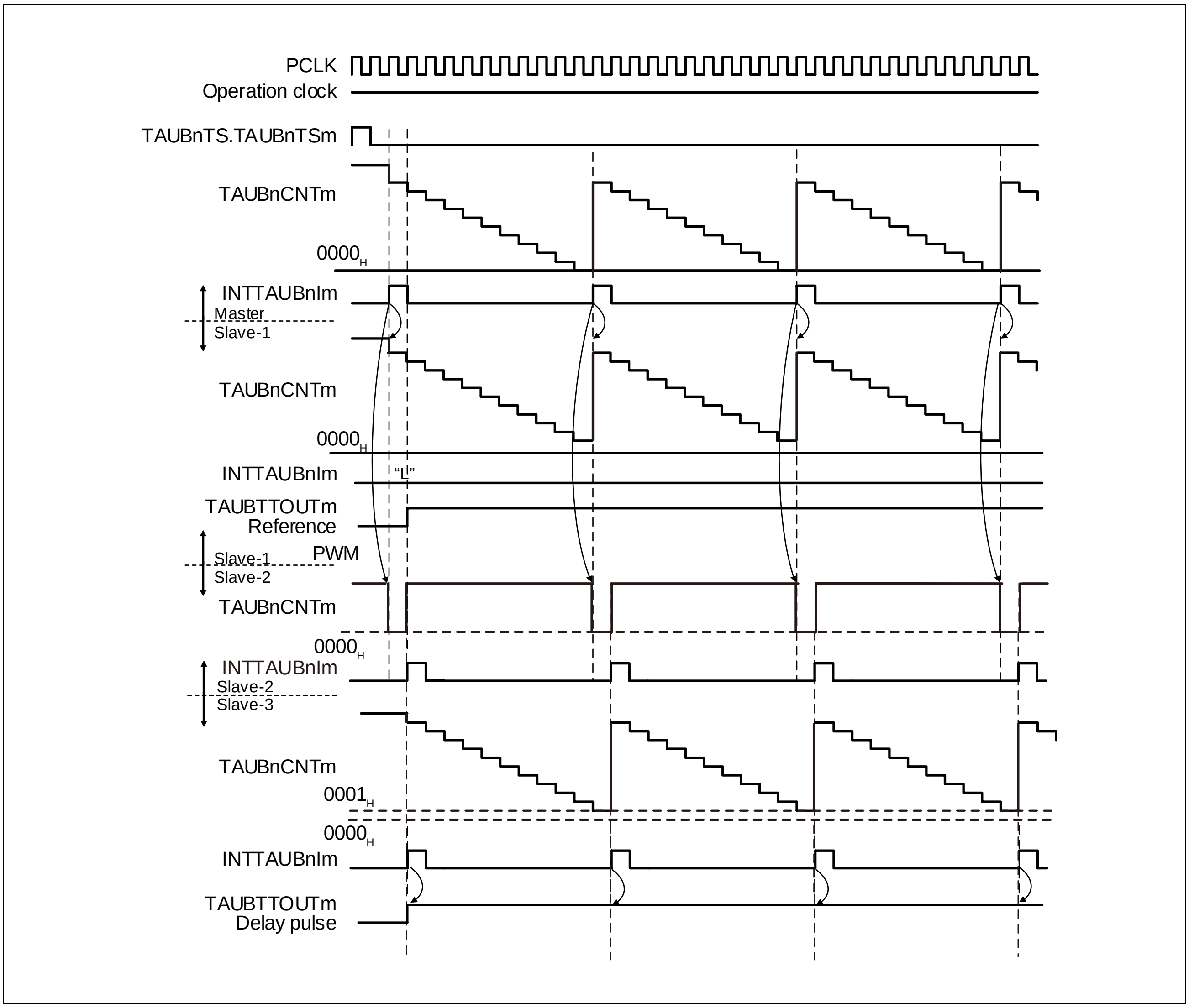


図 31.95　デューティサイクル（スレーブ 3）＝100%

- TAUBnCDRm（スレーブ 1／スレーブ 3）の値が TAUBnCDRm（マスタ）の値を越える場合は、スレーブチャネル 1 のカウンタは 0000$_H$ にならず、割り込みは発生しません。チャネル 1、3 の TAUBTTOUTm は、アクティブ状態のままになります。

(2) TAUBTTOUTm（スレーブ 1）＝TAUBTTOUTm（スレーブ 3）

下記のタイミング図での設定は次のようになっています。

- TAUBnCDRm（マスタ）＝$000A_H$
- TAUBnCDRm（スレーブ 1）＝0005_H
- TAUBnCDRm（スレーブ 2）＝0000_H
- TAUBnCDRm（スレーブ 3）＝0005_H

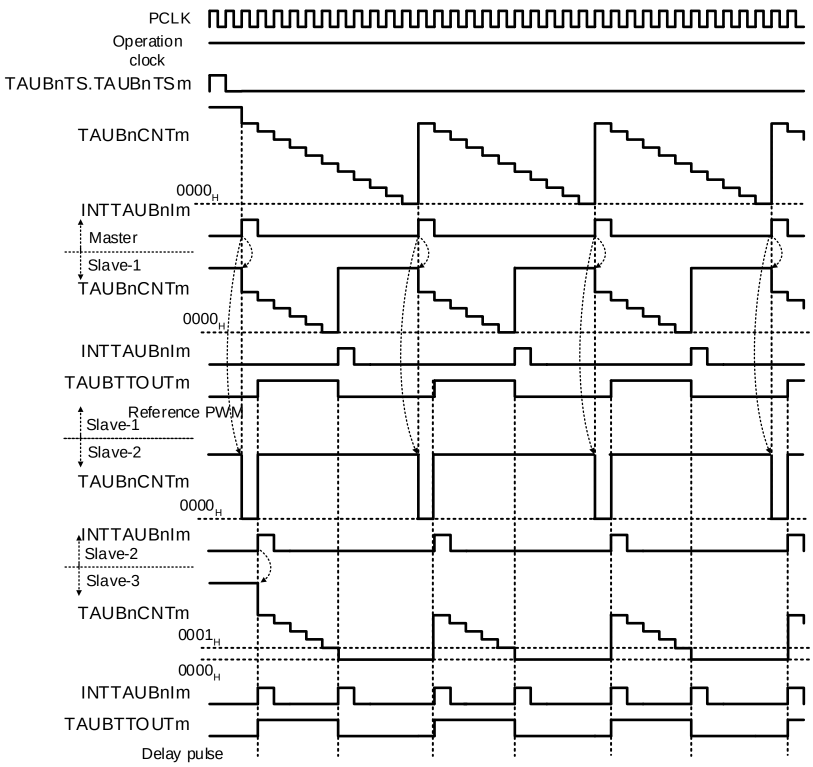


図 31.96　TAUBTTOUTm（スレーブ 1）＝TAUBTTOUTm（スレーブ 3）

- TAUBnCDRm（スレーブ 2）＝0000_H の場合、スレーブチャネル 3 はスレーブチャネル 1 のカウンタから 1 カウントクロック遅れてカウントします。リファレンスパルスとでディレイパルスが 1 カウントクロック遅れて発生します。

31.14.4　A/D 変換トリガ出力機能タイプ 1

31.14.4.1　概要

概要

この機能は、TAUBTTOUTm が出力されないという点を除き、「**31.14.1 PWM 出力機能**」と同じです。
スレーブチャネルの出力モードをソフトウェア制御のチャネル単体出力モードに設定することにより、この機能が有効になります。

31.14.4.2　ブロック図と基本タイミング図

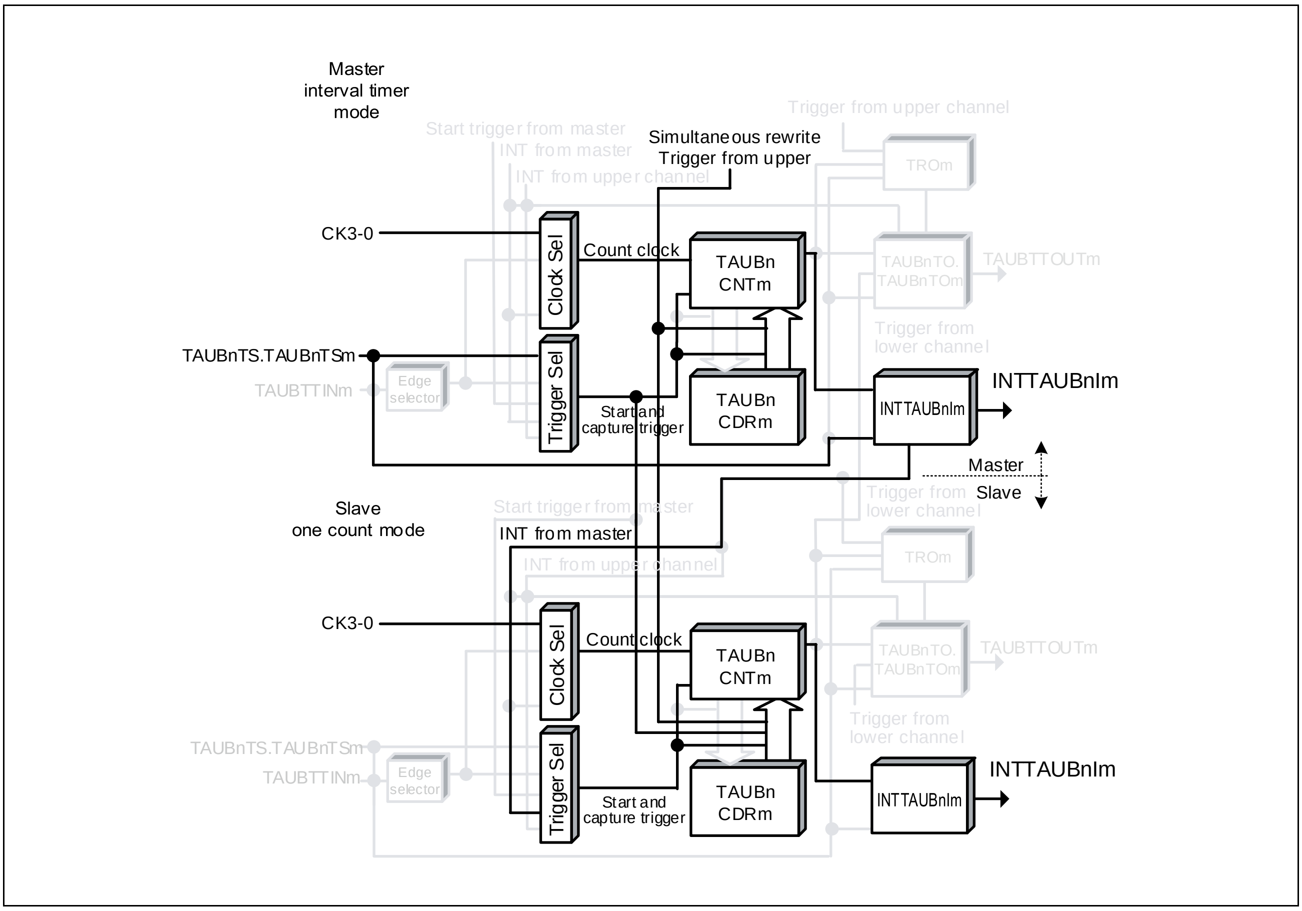


図 31.97　A/D 変換トリガ出力機能タイプ 1 のブロック図

基本タイミング図での設定は次のようになっています。

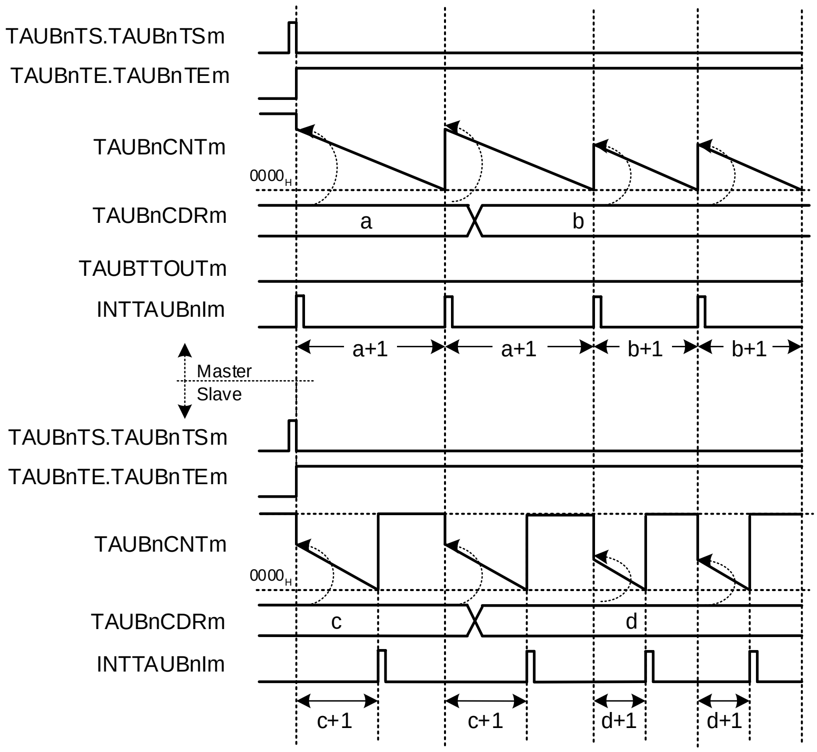


図 31.98　A/D 変換トリガ出力機能タイプ 1 の基本タイミング図

31.14.5　三角波 PWM 出力機能

31.14.5.1　概要

概要

マスタチャネルと 1 つ以上のスレーブチャネルを使用することで、複数の三角波 PWM 出力信号を生成する機能です。マスタ／スレーブチャネルを用いて、TAUBTTOUTm のパルス周期（周波数）とデューティサイクルを設定することができます。
キャリア周期はマスタチャネルで生成します。マスタチャネルの 1 周期目はスレーブカウンタのダウンステータスを、2 周期目はアップステータスを制御します。

前提条件

- 2 チャネル
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（「**表 31.148 三角波 PWM 出力機能のマスタチャネルの TAUBnCMORm レジスタの内容**」参照）。
- スレーブチャネルの動作モードは、アップ／ダウンカウントモードに設定する必要があります（「**表 31.152 三角波 PWM 出力機能のスレーブチャネルの TAUBnCMORm レジスタの内容**」参照）。
- マスタチャネルの出力モードは、チャネル単体出力モード 1 に設定する必要があります。
- スレーブチャネルの出力モードは、チャネル連動出力モード 2 に設定する必要があります。
- 次のような設定により、キャリア周期のダウンステータスの間、TAUBTTOUTm 信号がハイレベルになります。
  - TAUBnCMORm.TAUBnMD0（マスタ）ビットが 0 に設定されている場合、TAUBnTOE.TAUBnTOEm が 0 の間、TAUBnTO.TAUBnTOm を 1 に設定する必要があります。（推奨設定）
  - TAUBnCMORm.TAUBnMD0（マスタ）ビットが 1 に設定されている場合、TAUBnTOE.TAUBnTOEm が 0 の間、TAUBnTO.TAUBnTOm を 0 に設定する必要があります。

機能説明

チャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、すべてのチャネルでカウンタ動作が許可されます。これにより TAUBnTE.TAUBnTEm が設定され、カウントが可能になります。TAUBnCDRm（マスタ／スレーブ）の値が TAUBnCNTm（マスタ／スレーブ）にロードされ、カウンタはその TAUBnCDRm 値からダウンカウントを開始します。マスタチャネルの TAUBnCMORm.TAUBnMD0 ビットが 1 に設定されている場合は、割り込みが発生し、マスタの TAUBTTOUTm 信号がトグルされます。

- マスタチャネル：

  マスタチャネルのカウンタ値が 0000_H になると（パルス周期が経過すると）、INTTAUBnIm が発生し、TAUBTTOUTm 信号がトグルされます。その後、再び TAUBnCDRm の値を TAUBnCNTm にロードし、ダウンカウントを行います。

- スレーブチャネル：

  マスタチャネルで INTTAUBnIm が発生すると、スレーブチャネルのカウンタ動作がトリガされます。
  - スレーブのカウンタがダウンカウント中の場合は、カウント方向が変わります。
  - スレーブのカウンタがアップカウント中の場合は、再び TAUBnCDRm の値がロードされ、カウンタはダウンカウントを開始します。

スレーブチャネルのカウンタがアップ／ダウンカウント中に 0001_H になると、INTTAUBnIm が発生し、TAUBTTOUTm（スレーブ）信号がセット／リセットされます。

カウンタはアップ／ダウンカウントを続け、マスタチャネルの次の INTTAUBnIm を待ちます。
TAUBnTOL.TAUBnTOLm を設定することにより、動作中に TAUBTTOUTm 信号の正相／逆相を切り替えることができます。
マスタ／スレーブチャネルの TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタの動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。マスタ／スレーブチャネルの TAUBnCNTm と TAUBTTOUTm が停止しますが、それぞれの値は保持します。

条件

この機能では一斉書き換えを行うことができます。「**31.6 一斉書き換え**」を参照してください。

31.14.5.2　算出式

パルス周期＝（TAUBnCDRm（マスタ）＋1）×カウントクロック周期

0000_H≦TAUBnCDRm（マスタ）＜$FFFF_H$

キャリア周期（ダウン／アップ）＝（TAUBnCDRm（マスタ）＋1）×2×カウントクロック周期

デューティサイクル＝
[（TAUBnCDRm（マスタ）＋1－TAUBnCDRm（スレーブ））／（TAUBnCDRm（マスタ）＋1）]×100

- デューティサイクル＝100%
  TAUBnCDRm（スレーブ）＝0000_H
- デューティサイクル＝0%
  TAUBnCDRm（スレーブ）≧TAUBnCDRm（マスタ）＋1

31.14.5.3 ブロック図と基本タイミング図

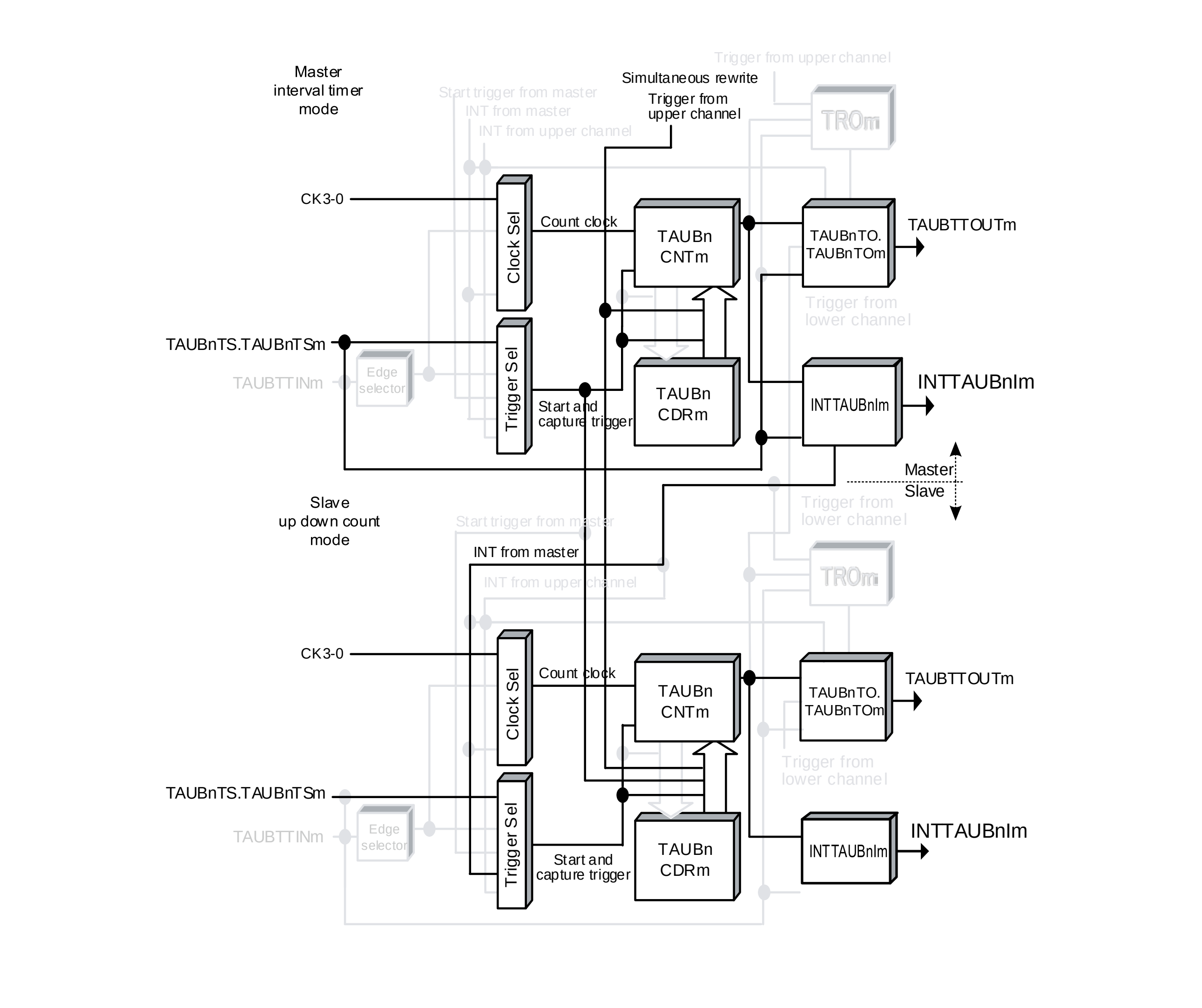


図 31.99 三角波 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャネル
  - 動作開始時に INTTAUBnIm が発生する（TAUBnCMORm.TAUBnMD0＝1）

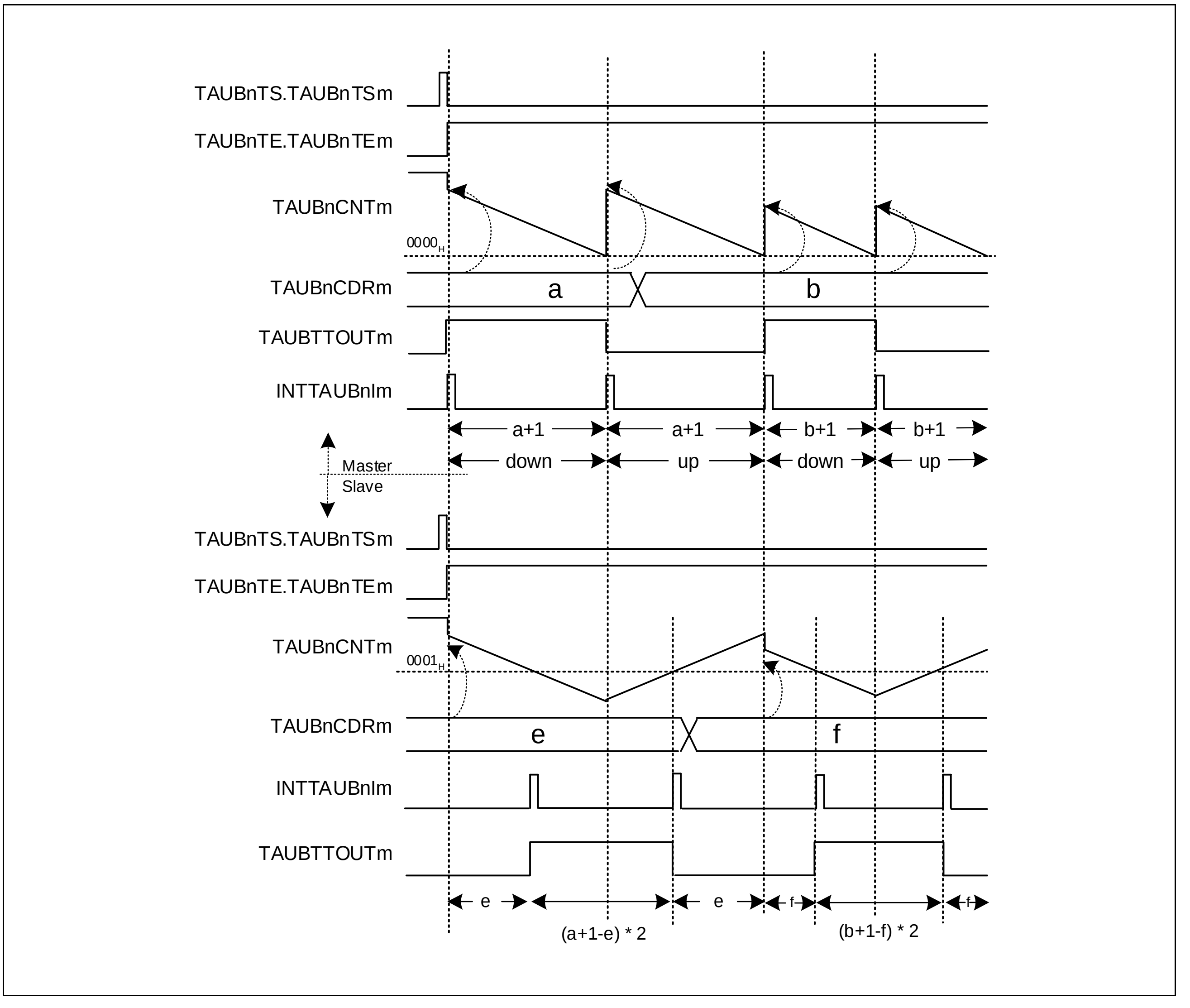


図 31.100 三角波 PWM 出力機能の基本タイミング図

31.14.5.4　マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS[1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS[1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 31.148 三角波 PWM 出力機能のマスタチャネルの TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUBnCKS[1:0]ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	1_B を書いてください。
10～8	TAUBnSTS[2:0]	000_B を書いてください。
7、6	TAUBnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	0000_B を書いてください。
0	TAUBnMD0	0：動作開始時に INTTAUBnIm が発生せず、TAUBTTOUTm はトグルされない 1：動作開始時に INTTAUBnIm が発生し、TAUBTTOUTm はトグルされる

(2) マスタチャネルの TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 31.149 三角波 PWM 出力機能のマスタチャネルの TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00 を設定

(3) マスタチャネルのチャネル出力モード

表 31.150 チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1_B を書いてください。
TAUBnTOM.TAUBnTOMm	0_B を書いてください。
TAUBnTOC.TAUBnTOCm	0_B を書いてください。
TAUBnTOL.TAUBnTOLm	0_B を書いてください。
TAUBnTDE.TAUBnTDEm	0_B を書いてください。
TAUBnTDL.TAUBnTDLm	0_B を書いてください。

(4) マスタチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 31.151 三角波 PWM 出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1：一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0：マスタチャネルで一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルで一斉書き換えトリガを選択
TAUBnRDM.TAUBnRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の[山]のタイミングで発生
TAUBnRDC.TAUBnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

備　考

TAUBnRDS.TAUBnRDSm＝1 の場合、マスタチャネルより上位チャネルに一斉書き換えトリガ信号を生成するチャネルが必要です。

31.14.5.5　スレーブチャネルのレジスタ設定

(1)　スレーブチャネルの TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS[1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS[1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 31.152 三角波 PWM 出力機能のスレーブチャネルの TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUBnCKS[1:0]ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10～8	TAUBnSTS[2:0]	111_B を書いてください。
7、6	TAUBnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	1001_B を書いてください。
0	TAUBnMD0	0_B を書いてください。

(2)　スレーブチャネルの TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 31.153 三角波 PWM 出力機能のスレーブチャネルの TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00 を設定

(3) スレーブチャネルのチャネル出力モード

表 31.154 チャネル連動出力モード 2 のときの制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1_B を書いてください。
TAUBnTOM.TAUBnTOMm	1_B を書いてください。
TAUBnTOC.TAUBnTOCm	1_B を書いてください。
TAUBnTOL.TAUBnTOLm	0：正論理 1：負論理
TAUBnTDE.TAUBnTDEm	0_B を書いてください。
TAUBnTDL.TAUBnTDLm	0_B を書いてください。

(4) スレーブチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 31.155 三角波 PWM 出力機能時のスレーブチャネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1：一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0：マスタチャネルで一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルで一斉書き換えトリガを選択
TAUBnRDM.TAUBnRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の[山]のタイミングで発生
TAUBnRDC.TAUBnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

31.14.5.6　三角波 PWM 出力機能時の操作手順

表 31.156 三角波 PWM 出力機能時の操作手順

		操作	TAUBn の状態
	チャネルの初期設定	マスタチャネル：TAUBnCMORm／TAUBnCMURm レジスタとチャネル出力モードを「**31.14.5.4 マスタチャネルのレジスタ設定**」に示すように設定します。 スレーブチャネル：TAUBnCMORm／TAUBnCMURm レジスタとチャネル出力モードを「**31.14.5.5 スレーブチャネルのレジスタ設定**」に示すように設定します。 全チャネルの TAUBnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作再開	動作開始	マスタチャネルとスレーブチャネルの TAUBnTS.TAUBnTSm を同時に 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm（マスタ／スレーブチャネル）が 1 に設定され、マスタ／スレーブチャネルのカウンタが動作を開始します。 マスタチャネルで TAUBnCMORm.TAUBnMD0 が 1 に設定されている場合は、INTTAUBnIm（マスタ）が発生します。
	動作中	TAUBnCDRm は任意のタイミングで変更可能です。 TAUBnTOL.TAUBnTOLm は変更可能です。 TAUBnCNTm と TAUBnRSF.TAUBnRSFm は任意のタイミングで読み出し可能です。 TAUBnRDT.TAUBnRDTm は動作中に変更可能です。	マスタ／スレーブチャネルの TAUBnCDRm の値を TAUBnCNTm にロードし、ダウンカウントを行います。 マスタチャネルのカウンタが 0000_H になった場合： ● INTTAUBnIm（マスタ）が発生します。 ● TAUBTTOUTm（マスタ）がトグルされます。 ● 再び TAUBnCDRm の値を TAUBnCNTm（マスタ）にロードし、カウント動作を継続します。 ● 再び TAUBnCDRm の値を TAUBnCNTm（スレーブ）にロードするか、反対方向のカウントを開始します。 スレーブチャネルの TAUBnCNTm が 0001_H になった場合： ● INTTAUBnIm（スレーブ）が発生します。 ● TAUBTTOUTm（スレーブ）は、ダウンカウント状態ではセット、アップカウント状態ではリセットされます。
	動作停止	マスタチャネルとスレーブチャネルの TAUBnTT.TAUBnTTm を同時に 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm と TAUBTTOUTm は停止し、現在値を保持します。

31.14.5.7　特定の設定時のタイミング図

(1)　デューティサイクル＝0%

基本タイミング図での設定は次のようになっています。

- マスタチャネル：
  - 動作開始時に INTTAUBnIm が発生する（TAUBnCMORm.TAUBnMD0＝1）
  - TAUBnCDRm＝a＝5_H
- スレーブチャネル：
  - TAUBnCDRm＝6_H

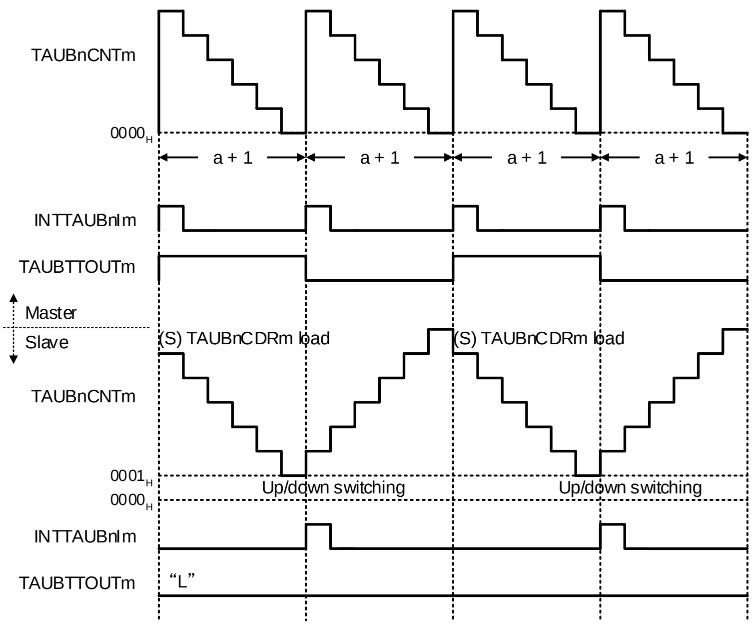


図 31.101 TAUBnCDRm（スレーブ）≧TAUBnCDRm（マスタ）＋1

- TAUBnCDRm（スレーブ）値が TAUBnCDRm（マスタ）＋1 値以上の場合、ダウンカウント中にスレーブチャネルの INTTAUBnIm は発生しません。セット信号が検出されることがないため、TAUBTTOUTm はロウレベル状態のままになります。

(2) デューティサイクル＝100%

基本タイミング図での設定は次のようになっています。

- マスタチャネル：
  - 動作開始時に INTTAUBnIm が発生する（TAUBnCMORm.TAUBnMD0＝1）
  - TAUBnCDRm＝a＝5_H
- スレーブチャネル：
  - TAUBnCDRm＝0_B

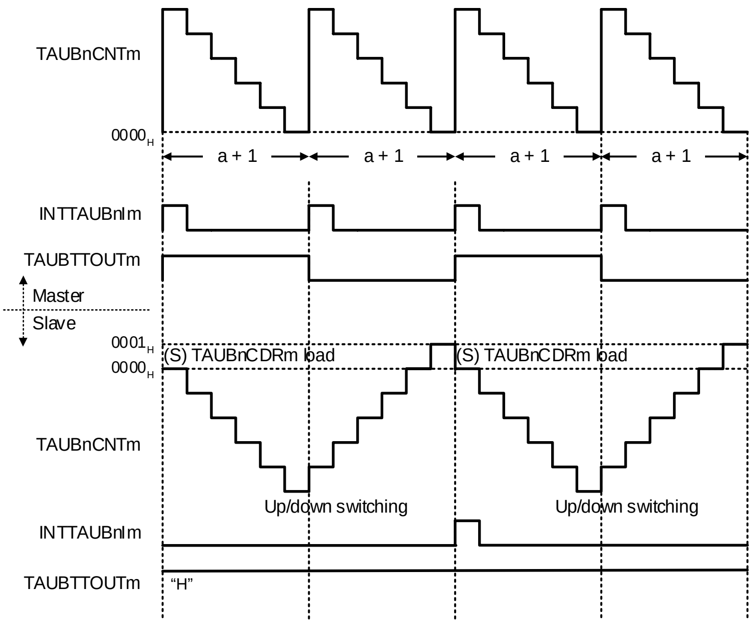


図 31.102 TAUBnCDRm（スレーブ）＝0000_H

- TAUBnCDRm（スレーブ）＝0000_H の場合、アップカウント中にスレーブチャネルの INTTAUBnIm は発生しません。リセット信号が検出されることがないため、TAUBTTOUTm はハイレベル状態のままになります。

31.14.6　デッドタイム付き三角波 PWM 出力機能

31.14.6.1　概要

概要

マスタチャネルと 2 つ以上のスレーブチャネルを使用することで、複数の三角波 PWM 出力信号をあらかじめ定義されたデッドタイムを付加して生成する機能です。デッドタイムが付加された PWM 信号は、スレーブチャネル 2/3 の TAUBTTOUTm から出力されます。これにより、マスタ／スレーブチャネルを使って TAUBTTOUTm のパルス周期（周波数）とデューティサイクルを設定することができます。
キャリア周期はマスタチャネルで生成します。1 周期目のパルスはスレーブカウンタのダウンステータスを、2 周期目のパルスはアップステータスを制御します。
スレーブ 2 で割り込みが発生すると、スレーブチャネルの TAUBTTOUTm がセット／リセットされます。TAUBnTDL.TAUBnTDLm の設定によって、信号の正論理側または負論理側に遅延時間が付加されます（TAUBTTOUTm がただちにセット／リセットされるのか、デッドタイム経過後にセット／リセットされるのかを設定）。デッドタイム時間はスレーブチャネル 3 で設定します。

前提条件

- 3 チャネル。スレーブチャネル 2 と 3 は、偶数チャネル CH（a）と奇数チャネル CH（a+1）を選択してください。
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（「**表 31.158 デッドタイム付き三角波 PWM 出力機能のマスタチャネルの TAUBnCMORm レジスタの内容**」参照）。
- この機能では、スレーブチャネル 1 は使用しません。そのため、スレーブチャネル 2 は必ず偶数チャネル（a）、スレーブチャネル 3 は奇数チャネル（a+1）です。スレーブチャネル 1 は、個別タイマ（単体機能）として使用可能です。
- スレーブチャネル 2 の動作モードは、アップダウンモードに設定する必要があります（「**表 31.162 デッドタイム付き三角波 PWM 出力機能のスレーブチャネル 2 の TAUBnCMORm レジスタの内容**」参照）。また、スレーブチャネル 2 は偶数チャネルでなければなりません。
- スレーブチャネル 3 の動作モードは、ワンカウントモードに設定する必要があります（「**表 31.166 デッドタイム付き三角波 PWM 出力機能のスレーブチャネル 3 の TAUBnCMORm レジスタの内容**」参照）。また、スレーブチャネル 3 は奇数チャネルでなければなりません。
- マスタチャネルのチャネル出力モードは、チャネル単体出力モード 1 に設定する必要があります。
- スレーブチャネル 2/3 の出力モードは、デッドタイム出力を行うチャネル連動出力モード 2 に設定する必要があります。
- 次のような設定により、キャリア周期のダウンステータスの間、TAUBTTOUTm 信号がハイレベルになります。
  - TAUBnCMORm.TAUBnMD0（マスタ）ビットが 0 に設定されている場合、TAUBnTOE.TAUBnTOEm が 0 の間、TAUBnTO.TAUBnTOm を 1 に設定する必要があります。（推奨設定）
  - TAUBnCMORm.TAUBnMD0（マスタ）ビットが 1 に設定されている場合、TAUBnTOE.TAUBnTOEm が 0 の間、TAUBnTO.TAUBnTOm を 0 に設定する必要があります。

備　考

デッドタイム付き三角波 PWM 出力機能では、スレーブチャネル 1 を使用しません。スレーブチャネル 1 は、個別タイマ（単体機能）として使用可能です。

機能説明

チャネルトリガビット（TAUBnTS.TAUBnTSm）を 1 に設定すると、カウンタ動作が開始されます。これにより TAUBnTE.TAUBnTEm＝1 となり、カウントが可能になります。TAUBnCDRm の現在値が TAUBnCNTm にロードされ、カウンタはその TAUBnCDRm 値からダウンカウントを開始します。マスタチャネルの TAUBnCMORm.TAUBnMD0 ビットが 1 に設定されている場合は、割り込みが発生し、マスタの TAUBTTOUTm 信号がトグルされます。

- マスタチャネル：

  マスタチャネルのカウンタ値が 0000_H になると、INTTAUBnIm が発生し、TAUBTTOUTm 信号がトグルされます。再び TAUBnCDRm の値をカウンタにロードし、ダウンカウントを行います。

- スレーブチャネル 2：

  マスタチャネルで INTTAUBnIm が発生すると、スレーブチャネル 2 のカウンタ動作がトリガされます。

  - スレーブのカウンタがダウンカウント中の場合は、カウント方向が変わります。
  - スレーブのカウンタがアップカウント中の場合は、再び TAUBnCDRm の値がロードされ、カウンタはダウンカウントを開始します。

カウンタはアップ／ダウンカウントを続け、マスタチャネルの次の INTTAUBnIm を待ちます。
スレーブチャネル 2 のカウンタ値が 0001_H になると INTTAUBnIm が発生します。

- スレーブチャネル 3：

  スレーブチャネル 2 で INTTAUBnIm が発生すると、スレーブチャネル 3 のカウンタ動作がトリガされます。そして TAUBnCDRm（スレーブ 3）の現在値が TAUBnCNTm（スレーブ 3）にロードされ、カウンタはその TAUBnCDRm 値からダウンカウントを開始します。
  カウンタ値が 0000_H になると、INTTAUBnIm が発生します。カウンタは $FFFF_H$ に戻り、スレーブチャネル 2 の次の INTTAUBnIm を待ちます。

「**表 31.157 スレーブチャネル 2 で割り込みが発生した際の TAUBTTOUTm の動作**」にあるように、対応するチャネルの TAUBnTDL.TAUBnTDLm 設定によって、セット／リセットのタイミング（割り込み発生直後またはデッドタイム経過後）が決まります。
また、TAUBnTOL.TAUBnTOLm の設定によって、対応チャネルからハイレベル信号を出力（TAUBnTOL.TAUBnTOLm＝0）するかロウレベル信号を出力（TAUBnTOL.TAUBnTOLm＝1）するかが決まります。
マスタ／スレーブチャネルの TAUBnTT.TAUBnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUBnTE.TAUBnTEm は 0 に設定されます。マスタ／スレーブチャネルの TAUBnCNTm と TAUBTTOUTm が停止しますが、それぞれの値は保持します。
スレーブチャネル 2 の TAUBnCDRm 値を 0000_H にして、TAUBTTOUTm を 100%出力することができます。

備　考

動作中に強制リスタートが発生した場合、TAUBTTOUTm は三角波 PWM 出力波形を出しません。

条件

この機能では一斉書き換えを行うことができます。「**31.6 一斉書き換え**」を参照してください。
TAUBnTOL.TAUBnTOLm と TAUBnTDL.TAUBnTDLm の設定はカウント動作開始前に行う必要があり、スレーブチャネル 2 とスレーブチャネル 3 は TAUBnTOL.TAUBnTOLm か TAUBnTDL.TAUBnTDLm の設定が反対でなければなりません。

表 31.157 スレーブチャネル 2 で割り込みが発生した際の TAUBTTOUTm の動作

TAUBnTDL.TAUBnTDLm	割り込み発生時のスレーブチャネル 2 のカウント方向	TAUBTTOUTm セット／リセットタイミング
0	ダウンカウント	デッドタイム経過後にセット
	アップカウント	割り込み発生直後にリセット
1	ダウンカウント	割り込み発生直後にセット
	アップカウント	デッドタイム経過後にリセット

31.14.6.2　算出式

パルス周期＝（TAUBnCDRm（マスタ）＋1）×カウントクロック周期

0000_H≦TAUBnCDRm（マスタ）＜$FFFF_H$

キャリア周期（ダウン／アップ）＝（TAUBnCDRm（マスタ）＋1）×2×カウントクロック周期

PWM 信号幅（正相）＝[（TAUBnCDRm（マスタ）＋1－TAUBnCDRm（スレーブ 2））×2－（TAUBnCDRm（スレーブ 3）＋1）]×カウントクロック周期

PWM 信号幅（逆相）＝[（TAUBnCDRm（マスタ）＋1－TAUBnCDRm（スレーブ 2））×2＋（TAUBnCDRm（スレーブ 3）＋1）]×カウントクロック周期

31.14.6.3　ブロック図と基本タイミング図

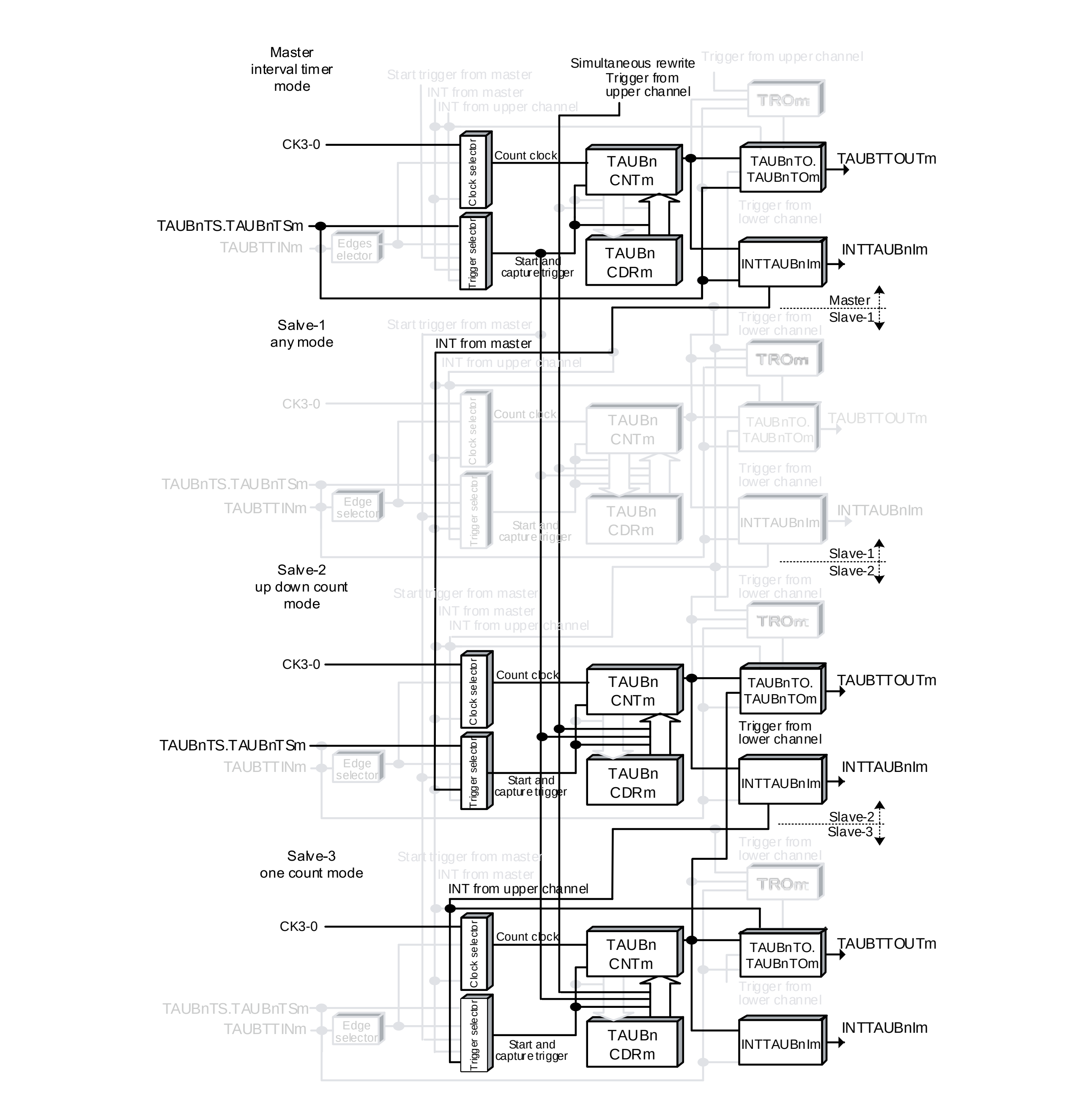


図 31.103 デッドタイム付き三角波 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャネル：
  - 動作開始時に INTTAUBnIm が発生する（TAUBnCMORm.TAUBnMD0＝1）
- スレーブチャネル 2：
  - 動作開始時に INTTAUBnIm が発生しない（TAUBnCMORm.TAUBnMD0＝0）
  - TAUBnTDL.TAUBnTDLm＝0
  - 正論理（TAUBnTOL.TAUBnTOLm＝0）
- スレーブチャネル 3：
  - カウント中のスタートトリガ検出許可（TAUBnCMORm.TAUBnMD0＝1）
  - TAUBnTDL.TAUBnTDLm＝1
  - 正論理（TAUBnTOL.TAUBnTOLm＝0）

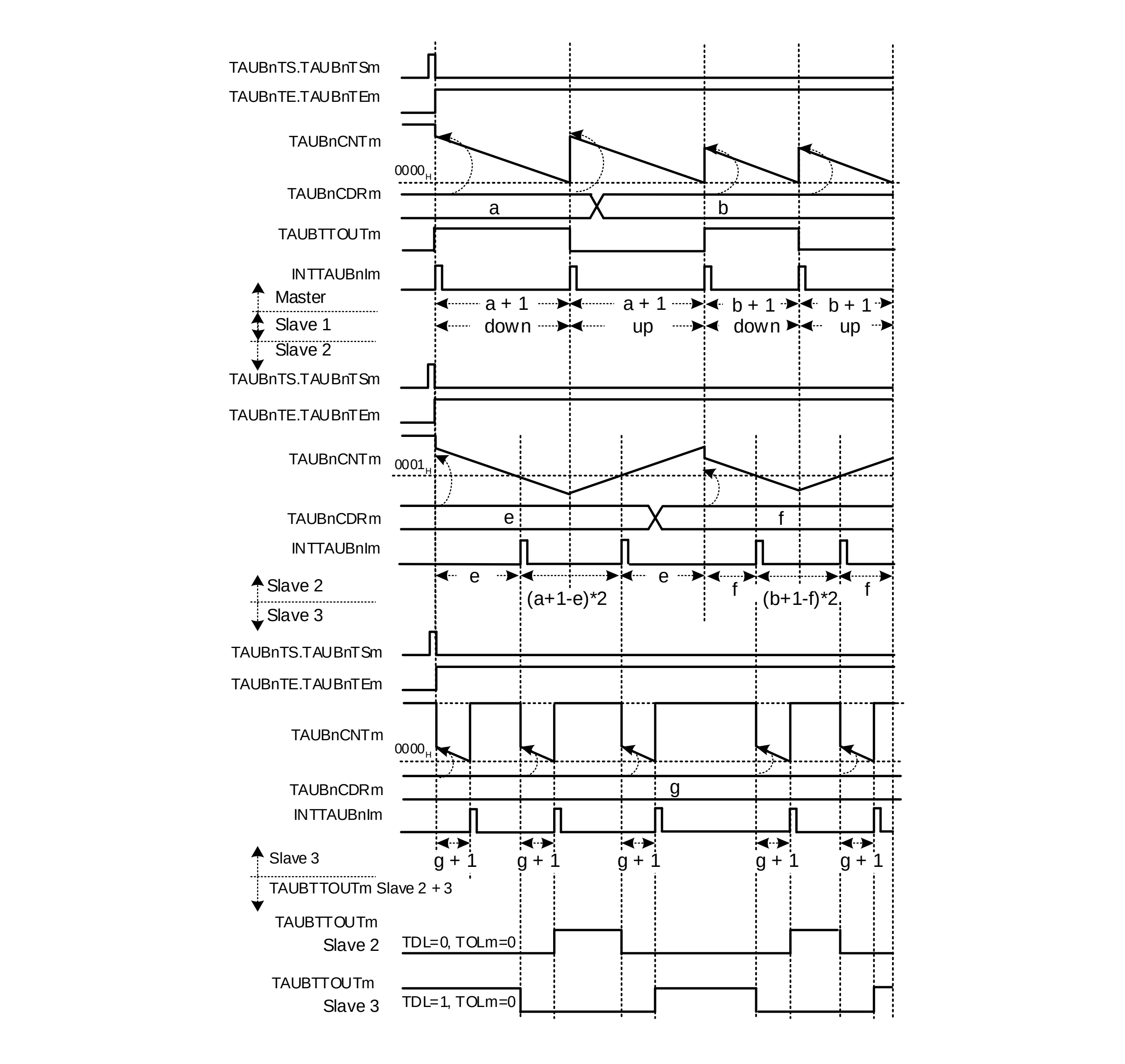


図 31.104 デッドタイム付き三角波 PWM 出力機能の基本タイミング図

31.14.6.4　マスタチャネルのレジスタ設定

(1)　マスタチャネルの TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS[1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS[1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 31.158 デッドタイム付き三角波 PWM 出力機能のマスタチャネルの TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUBnCKS[1:0]ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	1_B を書いてください。
10～8	TAUBnSTS[2:0]	000_B を書いてください。
7、6	TAUBnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	0000_B を書いてください。
0	TAUBnMD0	0：動作開始時に INTTAUBnIm が発生せず、TAUBTTOUTm はトグルされない 1：動作開始時に INTTAUBnIm が発生し、TAUBTTOUTm はトグルされる

(2)　マスタチャネルの TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 31.159 デッドタイム付き三角波 PWM 出力機能のマスタチャネルの TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00 を設定

(3) マスタチャネルのチャネル出力モード

表 31.160 チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1_B を書いてください。
TAUBnTOM.TAUBnTOMm	0_B を書いてください。
TAUBnTOC.TAUBnTOCm	0_B を書いてください。
TAUBnTOL.TAUBnTOLm	0_B を書いてください。
TAUBnTDE.TAUBnTDEm	0_B を書いてください。
TAUBnTDL.TAUBnTDLm	0_B を書いてください。

(4) マスタチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 31.161 デッドタイム付き三角波 PWM 出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1：一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0：マスタチャネルで一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルで一斉書き換えトリガを選択
TAUBnRDM.TAUBnRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の[山]のタイミングで発生
TAUBnRDC.TAUBnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

備　考

TAUBnRDS.TAUBnRDSm＝1 の場合、マスタチャネルより上位チャネルに一斉書き換えトリガ信号を生成するチャネルが必要です。

31.14.6.5　スレーブチャネル 2 のレジスタ設定

(1)　スレーブチャネル 2 の TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS[1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS[1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 31.162 デッドタイム付き三角波 PWM 出力機能のスレーブチャネル 2 の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUBnCKS[1:0]ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10～8	TAUBnSTS[2:0]	111_B を書いてください。
7、6	TAUBnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	1001_B を書いてください。
0	TAUBnMD0	0_B を書いてください。

(2)　スレーブチャネル 2 の TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 31.163 デッドタイム付き三角波 PWM 出力機能のスレーブチャネル 2 の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00 を設定

(3) スレーブチャネル 2 のチャネル出力モード

表 31.164 デッドタイム出力を行うチャネル連動出力モード 2 時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1_B を書いてください。
TAUBnTOM.TAUBnTOMm	1_B を書いてください。
TAUBnTOC.TAUBnTOCm	1_B を書いてください。
TAUBnTOL.TAUBnTOLm	0：正論理 1：負論理
TAUBnTDE.TAUBnTDEm	1_B を書いてください。
TAUBnTDL.TAUBnTDLm	0：正相にデッドタイムを付加 1：逆相にデッドタイムを付加

注　意

TAUBnTDL.TAUBnTDLm は、奇数チャネルと排他設定してください。

(4) スレーブチャネル 2 の一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 31.165 デッドタイム付き三角波 PWM 出力機能時のスレーブチャネル 2 の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1：一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0：マスタチャネルで一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルで一斉書き換えトリガを選択
TAUBnRDM.TAUBnRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の[山]のタイミングで発生
TAUBnRDC.TAUBnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

31.14.6.6　スレーブチャネル 3 のレジスタ設定

(1)　スレーブチャネル 3 の TAUBnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUBnCKS[1:0]		—	TAUBn CCS0	TAUBn MAS	TAUBnSTS[2:0]			TAUBnCOS[1:0]		—	TAUBnMD[4:1]				TAUBn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 31.166 デッドタイム付き三角波 PWM 出力機能のスレーブチャネル 3 の TAUBnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUBnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUBnCKS[1:0]ビット値は同一である必要があります。
13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12	TAUBnCCS0	0_B を書いてください。
11	TAUBnMAS	0_B を書いてください。
10～8	TAUBnSTS[2:0]	110_B を書いてください。
7、6	TAUBnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUBnMD[4:1]	0100_B を書いてください。
0	TAUBnMD0	1_B を書いてください。

(2)　スレーブチャネル 3 の TAUBnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUBnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 31.167 デッドタイム付き三角波 PWM 出力機能のスレーブチャネル 3 の TAUBnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUBnTIS[1:0]	00：未使用、00 を設定

(3) スレーブチャネル 3 のチャネル出力モード

表 31.168 デッドタイム出力を行うチャネル連動出力モード 2 時の制御ビット設定

ビット名	設定
TAUBnTOE.TAUBnTOEm	1_B を書いてください。
TAUBnTOM.TAUBnTOMm	1_B を書いてください。
TAUBnTOC.TAUBnTOCm	1_B を書いてください。
TAUBnTOL.TAUBnTOLm	0：正論理 1：負論理
TAUBnTDE.TAUBnTDEm	1_B を書いてください。
TAUBnTDL.TAUBnTDLm	0：正相にデッドタイムを付加 1：逆相にデッドタイムを付加

注　意

TAUBnTDL.TAUBnTDLm は、偶数チャネルと排他設定してください。

(4) スレーブチャネル 3 の一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 31.169 デッドタイム付き三角波 PWM 出力機能時のスレーブチャネル 3 の一斉書き換え設定

ビット名	設定
TAUBnRDE.TAUBnRDEm	1：一斉書き換えを許可
TAUBnRDS.TAUBnRDSm	0：マスタチャネルで一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルで一斉書き換えトリガを選択
TAUBnRDM.TAUBnRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の[山]のタイミングで発生
TAUBnRDC.TAUBnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

31.14.6.7　デッドタイム付き三角波 PWM 出力機能時の操作手順

表 31.170 デッドタイム付き三角波 PWM 出力機能時の操作手順

		操作	TAUBn の状態
	チャネルの初期設定	マスタチャネル：TAUBnCMORm／TAUBnCMURm レジスタとチャネル出力モードを「**31.14.6.4 マスタチャネルのレジスタ設定**」に示すように設定します。 スレーブチャネル 2：TAUBnCMORm／TAUBnCMURm レジスタとチャネル出力モードを「**31.14.6.5 スレーブチャネル 2 のレジスタ設定**」に示すように設定します。 スレーブチャネル 3：TAUBnCMORm／TAUBnCMURm レジスタとチャネル出力モードを「**31.14.6.6 スレーブチャネル 3 のレジスタ設定**」に示すように設定します。 全チャネルの TAUBnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作再開	動作開始	マスタチャネルとスレーブチャネルの TAUBnTS.TAUBnTSm を同時に 1 に設定します。 TAUBnTS.TAUBnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm（マスタ／スレーブチャネル）が 1 に設定され、マスタ／スレーブチャネルのカウンタが動作を開始します。 マスタチャネルで TAUBnCMORm.TAUBnMD0 が 1 に設定されている場合は、INTTAUBnIm（マスタ）が発生します。
	動作中	TAUBnCDRm は任意のタイミングで変更可能です。 TAUBnCNTm と TAUBnRSF.TAUBnRSFm は任意のタイミングで読み出し可能です。 TAUBnRDT.TAUBnRDTm は動作中に変更可能です。	マスタチャネルとスレーブチャネル 2 の TAUBnCDRm の値を TAUBnCNTm にロードし、ダウンカウントを行います。 マスタチャネルのカウンタが 0000$_H$ になった場合： ● INTTAUBnIm（マスタ）が発生します。 ● 再び TAUBnCDRm の値を TAUBnCNTm（マスタ）にロードし、カウント動作を継続します。 ● 再び TAUBnCDRm の値を TAUBnCNTm（スレーブ 2）にロードするか、反対方向のカウントを開始します。 TAUBnCNTm（スレーブ 2）が 0001$_H$ になった場合： INTTAUBnIm（スレーブ 2）が発生します。 スレーブチャネル 3 の TAUBnCDRm の値を TAUBnCNTm にロードし、ダウンカウントを行います。 スレーブチャネル 3 の TAUBnCNTm が 0000$_H$ になった場合： INTTAUBnIm が発生します。
	動作停止	マスタチャネルとスレーブチャネルの TAUBnTT.TAUBnTTm を同時に 1 に設定します。 TAUBnTT.TAUBnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUBnTE.TAUBnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUBnCNTm と TAUBTTOUTm は停止し、現在値を保持します。

31.14.6.8 特定の設定時のタイミング図

(1) デューティサイクル＝0%

下図での設定は次のようになっています。

- スレーブチャネル 2：
  - 正論理（TAUBnTOL.TAUBnTOLm＝0）
- スレーブチャネル 3：
  - 負論理（TAUBnTOL.TAUBnTOLm＝1）

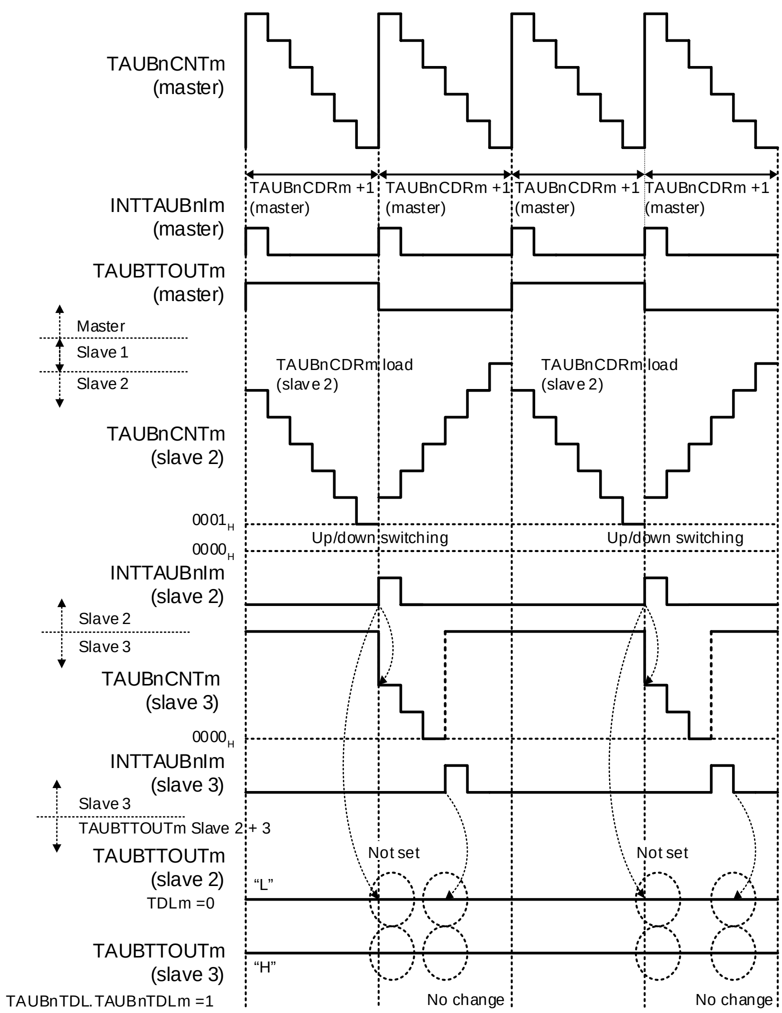


図 31.105 TAUBnCDRm（スレーブ 2）≧TAUBnCDRm（マスタ）＋1

- TAUBnCDRm（スレーブ 2）値が TAUBnCDRm（マスタ）値以上の場合、スレーブチャネルのカウンタはダウンカウント中、0000_H になりません。したがって TAUBTTOUTm 信号のセット／リセットは行われず、初期状態のままになります。アップカウント中にスレーブチャネル 2 で割り込みが発生するため、この信号はリセット信号になります。

(2) デューティサイクル＝100%

下図での設定は次のようになっています。

- スレーブチャネル 2：
  - 正論理（TAUBnTOL.TAUBnTOLm＝0）
- スレーブチャネル 3：
  - 負論理（TAUBnTOL.TAUBnTOLm＝1）

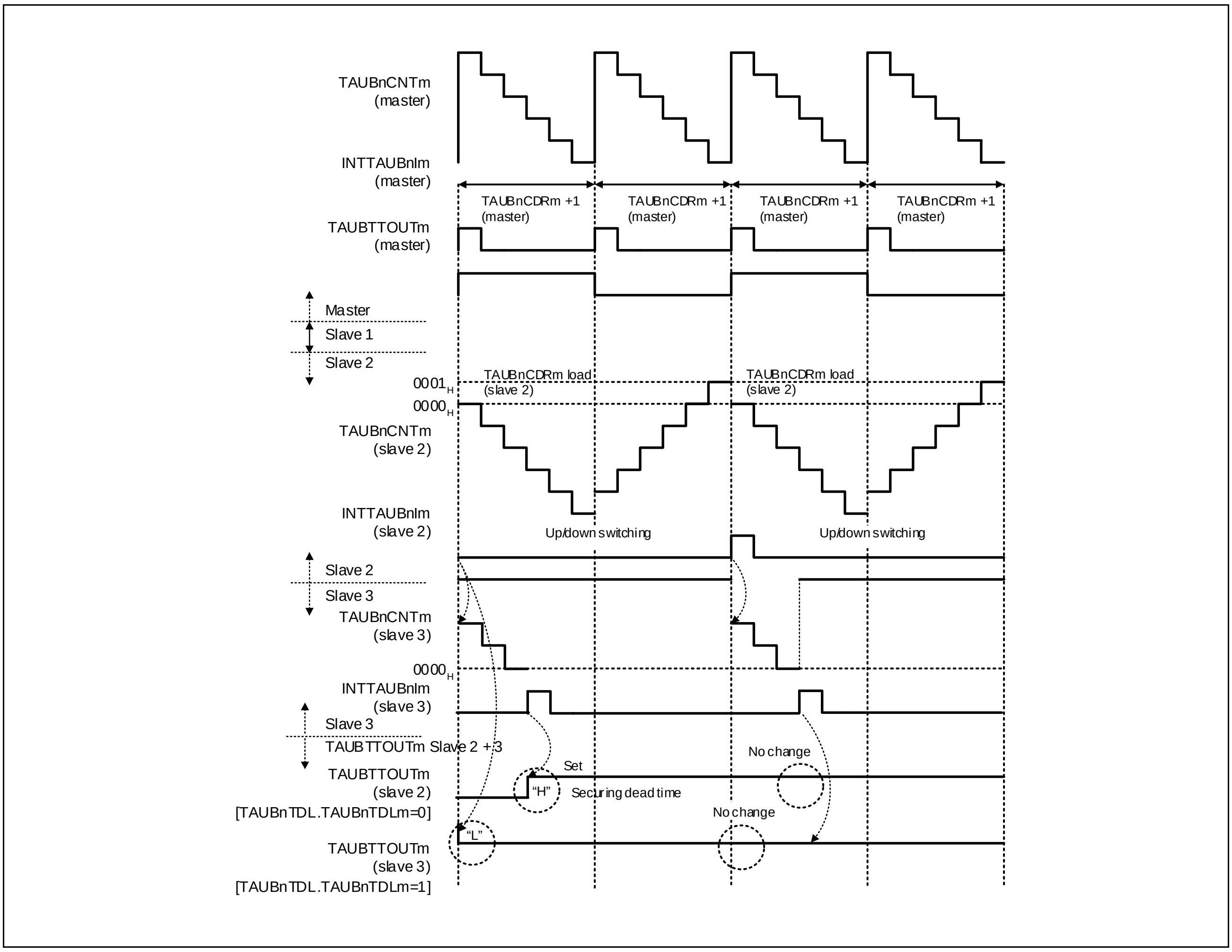


図 31.106 TAUBnCDRm（スレーブ 2）＝0000_H

- TAUBnCDRm（スレーブ 2）＝0000_H の場合、スレーブチャネルのカウンタはアップカウント中、0001_H になりません。したがって、アップカウント中に INTTAUBnIm は発生しません。
  - TAUBnTDL.TAUBnTDLm が 0 に設定されているチャネルでは、デッドタイム経過後にセット条件が満たされます。このようなチャネルではリセット条件が満たされることがないため、TAUBTTOUTm のセット／リセットが行われても、信号は新しく設定された状態のままになります。
  - 上図のスレーブチャネル 3 はカウント開始時にセットされます。
    ただし、TAUBnTDL.TAUBnTDLm が 1 に設定されているスレーブチャネルでは、リセット条件が満たされることがないため、当該チャネルでは TAUBTTOUTm は初期状態のままになります。

(3) TAUBTTOUTm（スレーブ 2）＝0%、TAUBTTOUTm（スレーブ 3）≧0%

下図での設定は次のようになっています。

- スレーブチャネル 2：
  - 正論理（TAUBnTOL.TAUBnTOLm＝0）
- スレーブチャネル 3：
  - 負論理（TAUBnTOL.TAUBnTOLm＝1）

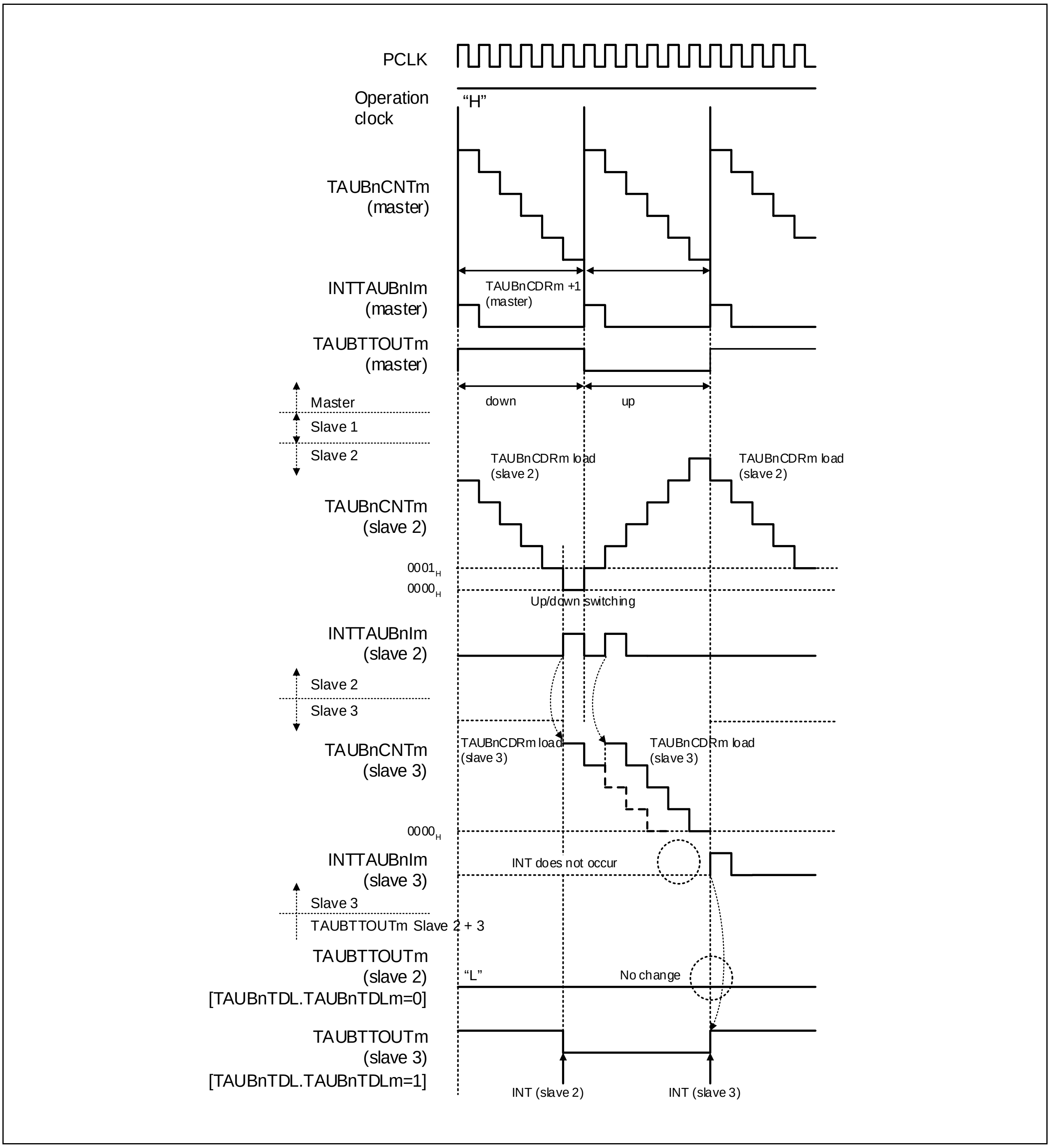


図 31.107 TAUBnCDRm（マスタ）＝0005H、TAUBnCDRm（スレーブ 2）＝0005H、TAUBnCDRm（スレーブ 3）＝0004H

- スレーブチャネル 2 のカウンタが 0001$_H$ になったことを検出後 0000$_H$ になったタイミングで INTTAUBnIm（スレーブ 2）が発生し、スレーブチャネル 3 のダウンカウントが開始します。
- スレーブチャネル 3 がダウンカウント中に INTTAUBnIm（スレーブ 2）が発生した場合、TAUBnCDRm（スレーブ 3）の値はリロードされ、カウンタはこの値でダウンカウントを再開します。
- 上の図では、カウンタがダウンカウント中にチャネル 2 で第 1 の割り込みが発生し、アップカウント中に第 2 の割り込みが発生しています。
- 第 1 の割り込みの後、TAUBnTDL.TAUBnTDLm＝0 となるスレーブは、セットする前にデッドタイムが経過するのを待ちます。ただし、デッドタイムが経過する前にスレーブ 2 で別の割り込みが発生すると、カウンタがアップカウント中のためリセット信号として動作します。つまり、TAUBnTDL.TAUBnTDLm＝0 となるチャネルは常に非アクティブ状態のままです。
- TAUBnTDL.TAUBnTDLm＝1 のスレーブチャネルの TAUBTTOUTm は、対応する INTTAUBnIm が発生するときに通常どおりセット／リセットされます。

(4) TAUBTTOUTm（スレーブ 2）＞0%、TAUBTTOUTm（スレーブ 3）＝100%

下図での設定は次のようになっています。

- スレーブチャネル 2：
  - 正論理（TAUBnTOL.TAUBnTOLm＝0）
- スレーブチャネル 3：
  - 負論理（TAUBnTOL.TAUBnTOLm＝1）

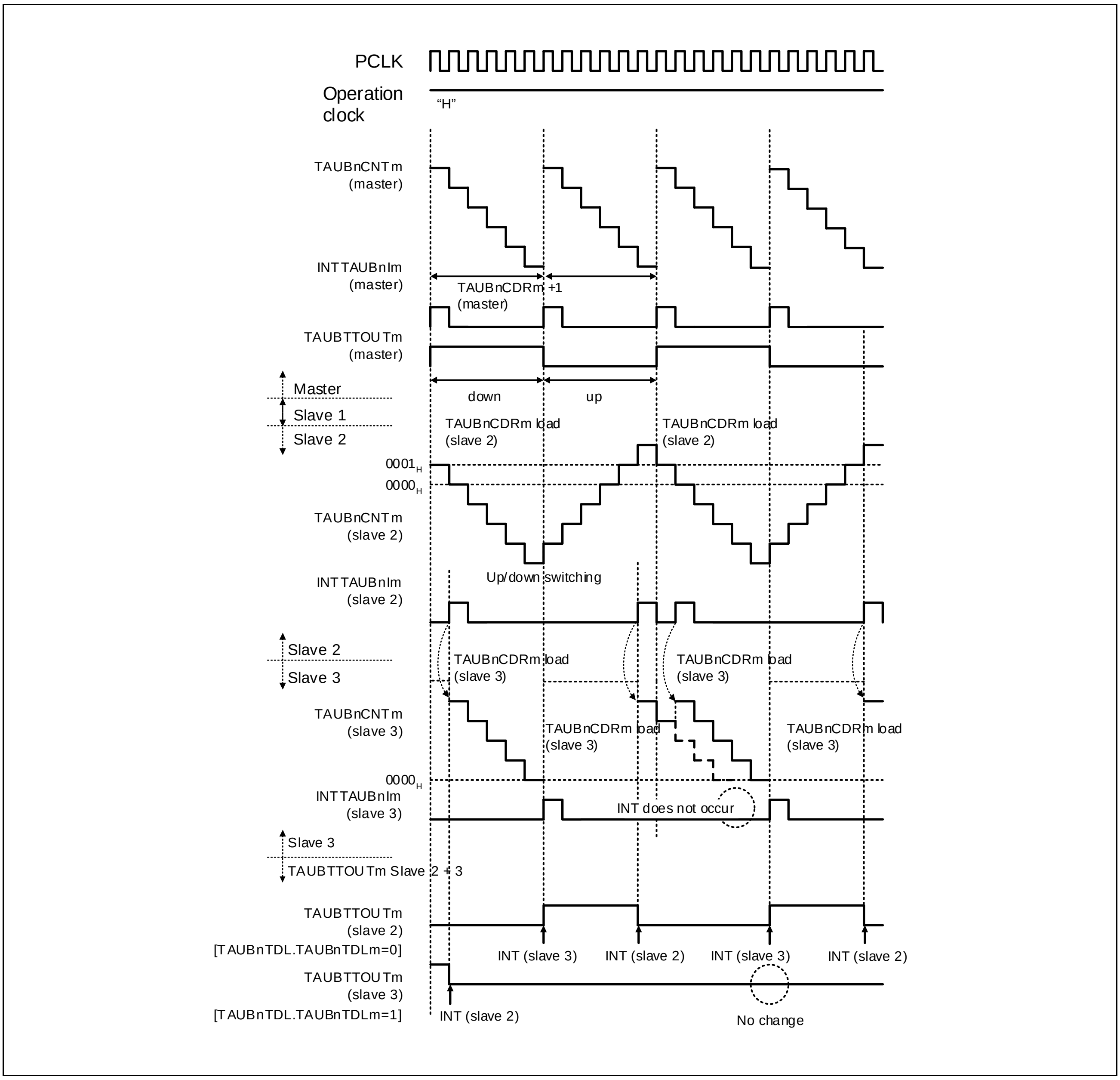


図 31.108 TAUBnCDRm（マスタ）＝0005H、TAUBnCDRm（スレーブ 2）＝0001H、TAUBnCDRm（スレーブ 3）＝0004H、PWM 信号幅（逆相）≧キャリア周期

- スレーブチャネル 2 の第 2 の割り込みの後、TAUBnTDL.TAUBnTDLm＝1 のスレーブはデッドタイム経過後にリセットされます。ただし、デッドタイムが経過する前にスレーブ 2 で別の割り込みが発生するとスレーブ 3 がリスタートされ、次にスレーブチャネル 3 の割り込みが発生するときはカウンタはアップカウント中のためセット信号として動作します。つまり、TAUBnTDL.TAUBnTDLm＝1 のチャネルは常にアクティブな状態のままです。
- TAUBnTDL.TAUBnTDLm＝0 となるスレーブチャネルの TAUBTTOUTm が設定され、対応する INTTAUBnIm が発生するときに正常にリセットされます。

(5) TAUBTTOUTm の正相期間を設定し INTTAUBnIm の生成を禁止する

下図での設定は次のようになっています。

- スレーブチャネル 2：
  - 正論理（TAUBnTOL.TAUBnTOLm＝0）
- スレーブチャネル 3：
  - 負論理（TAUBnTOL.TAUBnTOLm＝1）

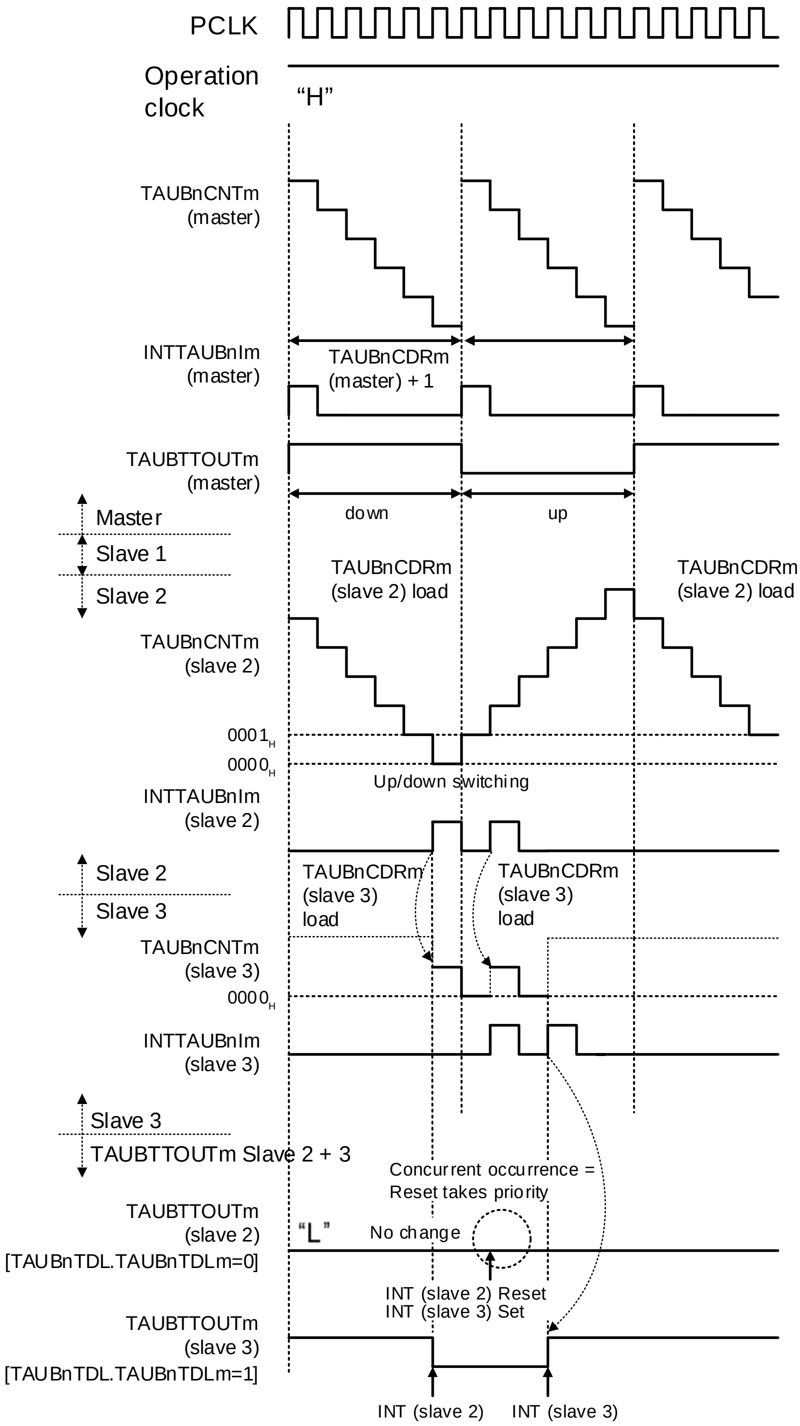


図 31.109 TAUBnCDRm（マスタ）＝0005H、TAUBnCDRm（スレーブ 2）＝0005H、
TAUBnCDRm（スレーブ 3）＝0001H、PWM 信号幅（正相）＝0

- スレーブチャネル 3 のカウンタが 0000_H になると INTTAUBnIm が発生し、TAUBnTDL.TAUBnTDLm＝0（この例ではスレーブチャネル 2）に設定されているスレーブチャネルの TAUBTTOUTm がセットされます。
- スレーブチャネル 2 が INTTAUBnIm を発生し、同時に TAUBTTOUTm をリセットする場合は、TAUBnTOL.TAUBnTOLm＝0 であればリセット信号が優先されます（TAUBnTOL.TAUBnTOLm＝1 の場合はセット信号が優先）。
- TAUBnTDL.TAUBnTDLm＝0 に設定されているスレーブチャネルの TAUBTTOUTm はリセット後の値のままになります。

(6) TAUBTTOUTm の逆相期間を設定し INTTAUBnIm の生成を禁止する

下図での設定は次のようになっています。

- スレーブチャネル 2：
  - 正論理（TAUBnTOL.TAUBnTOLm＝0）
- スレーブチャネル 3：
  - 負論理（TAUBnTOL.TAUBnTOLm＝1）

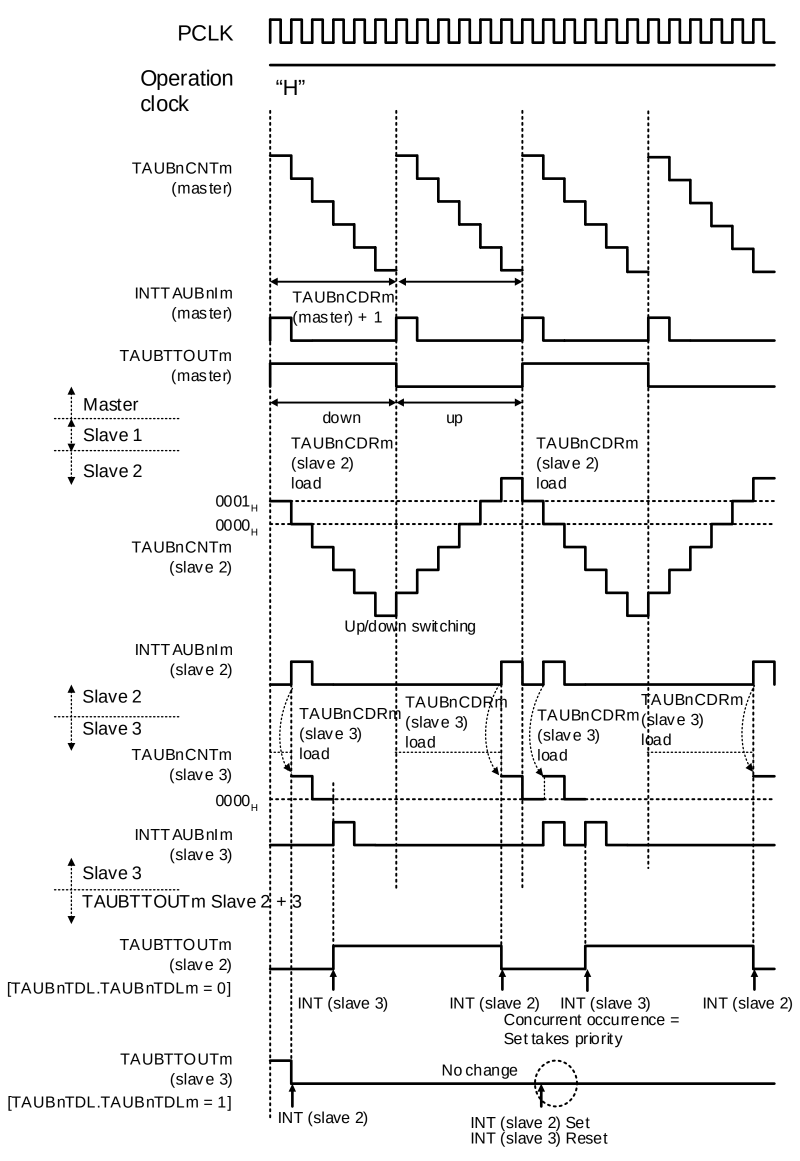


図 31.110 TAUBnCDRm（マスタ）＝0005H、TAUBnCDRm（スレーブ 2）＝0001H、
TAUBnCDRm（スレーブ 3）＝0001H、PWM 信号幅（逆相）＝キャリア周期

- スレーブチャネル 3 のカウンタが 0000_H になると INTTAUBnIm が発生し、TAUBnTDL.TAUBnTDLm＝1（この例ではスレーブチャネル 3）に設定されているスレーブチャネルの TAUBTTOUTm がセットされます。
- スレーブチャネル 2 が INTTAUBnIm を発生し、同時に TAUBTTOUTm をリセットする場合は、TAUBnTOL.TAUBnTOLm＝1 であればセット信号が優先されます（TAUBnTOL.TAUBnTOLm＝0 の場合はリセット信号が優先）。
- TAUBnTDL.TAUBnTDLm＝1 に設定されているスレーブチャネルの TAUBTTOUTm はリセット後の値のままになります。

(7) スレーブ 2 TAUBnCDRm＝000_H（デューティサイクル＝100%）

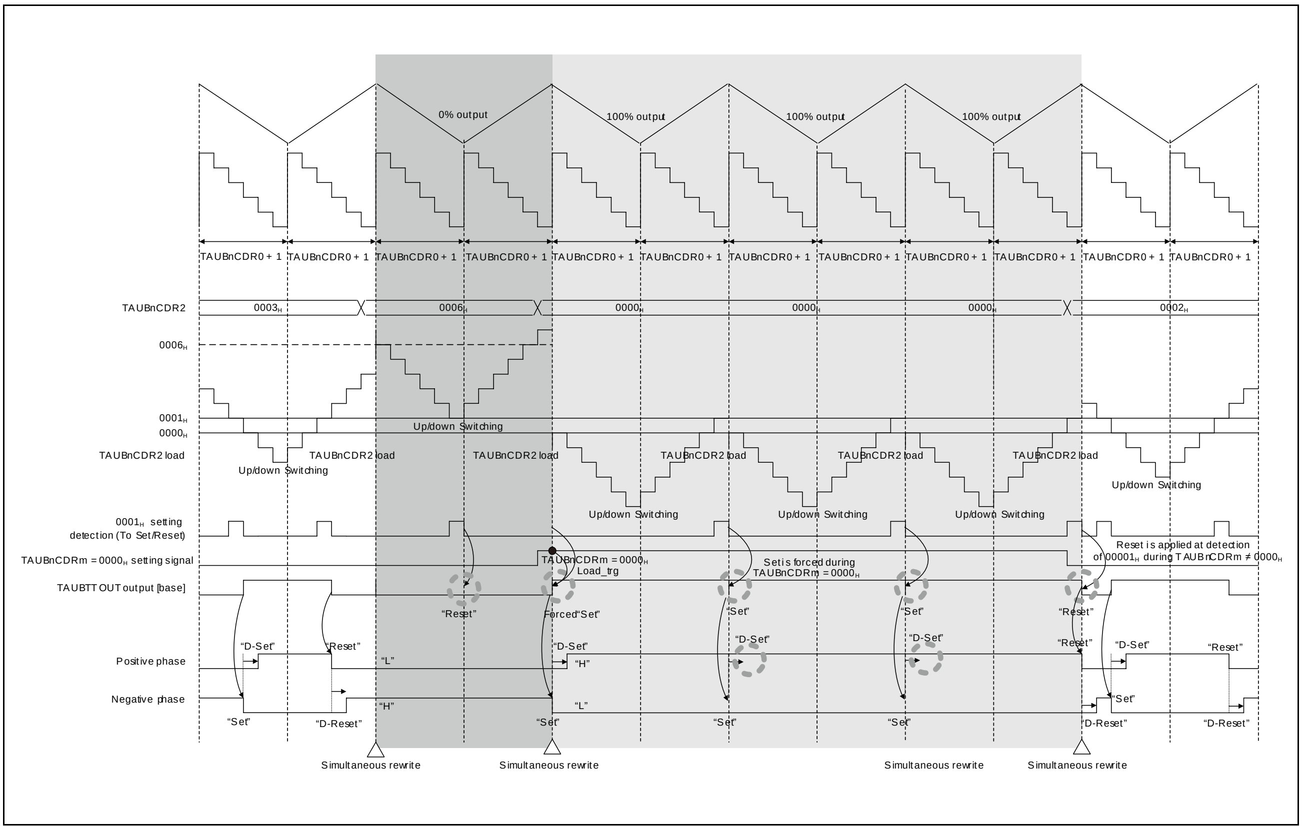


図 31.111 スレーブ 2 TAUBnCDRm＝000_H（デューティサイクル＝100%）

（スレーブチャネル 2）TAUBnCDRm≠0000_H を（スレーブチャネル 2）TAUBnCDRm＝0000_H（100%出力）に書き換える場合、キャリア周期開始時に逆相に設定し、デッドタイムを確保したあと、正相に設定してください。

（スレーブチャネル 2）TAUBnCDRm＝0000_H（100%出力）を（スレーブチャネル 2）TAUBnCDRm≠0000_H に書き換える場合、キャリア周期終了時に正相をリセットし、デッドタイムを確保したあと、逆相に設定してください。

31.14.7　A/D 変換トリガ出力機能タイプ 2

31.14.7.1　概要

概要

この機能は、TAUBTTOUTm が出力されないという点を除き、「**31.14.5 三角波 PWM 出力機能**」と同じです。スレーブチャネルのチャネル出力モードをソフトウェア制御のチャネル単体出力モードに設定することにより、この機能が有効になります。

31.14.7.2　ブロック図と基本タイミング図

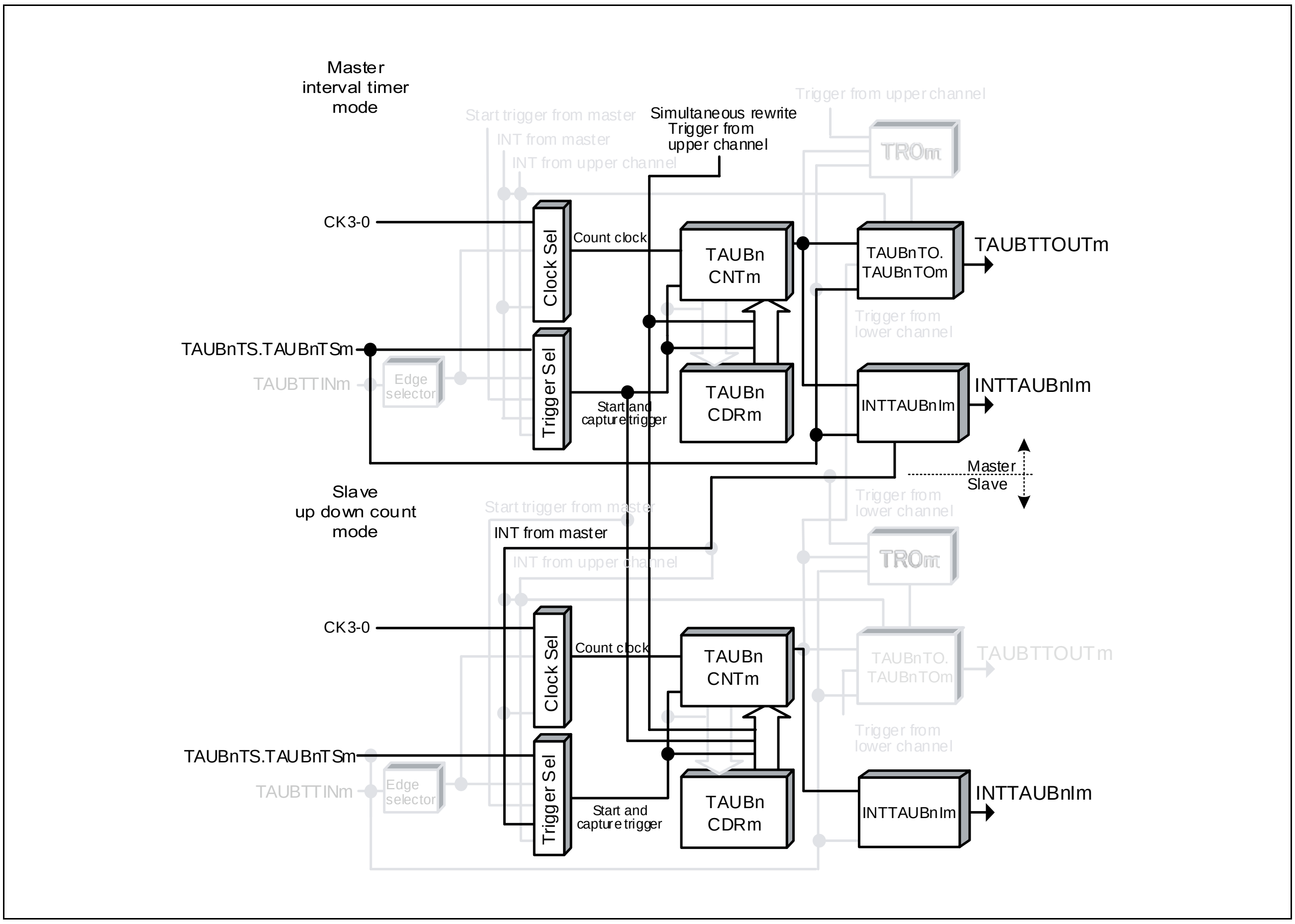


図 31.112 A/D 変換トリガ出力機能タイプ 2 のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャネル
  - 動作開始時に INTTAUBnIm が発生する（TAUBnCMORm.TAUBnMD0＝1）

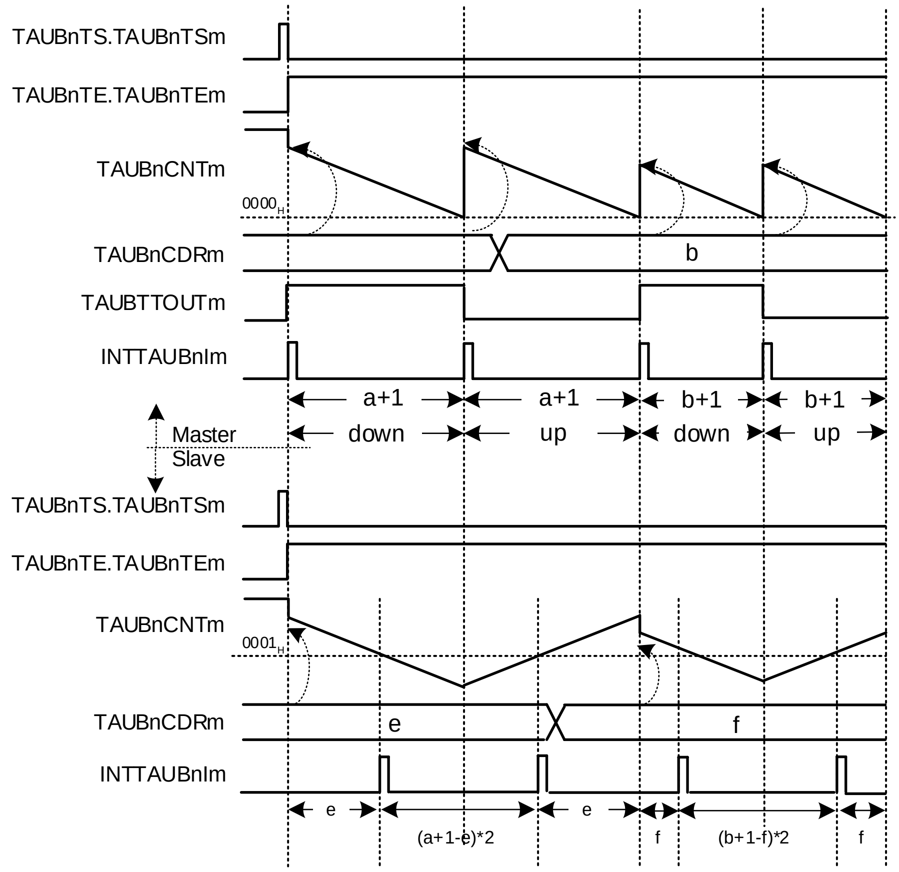


図 31.113 A/D 変換トリガ出力機能タイプ 2 の基本タイミング図

第32章　タイマアレイユニット D（TAUD）

本章では、タイマアレイユニット D（TAUD）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1KH, RH850/F1KM に固有の特長について説明します。

それ以降の節では、TAUD の機能、レジスタについて説明します。

32.1　RH850/F1KH, RH850/F1KM TAUD の特長

32.1.1　ユニット数とチャネル数

本製品は、以下のユニット数とチャネル数の TAUD を搭載しています。

表 32.1　ユニット数 (RH850/F1KH-D8)

製品名	RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 324 Pin
ユニット数	1	1	1
名称	TAUDn (n＝0)	TAUDn (n＝0)	TAUDn (n＝0)

表 32.2　ユニット数 (RH850/F1KM-S4)

製品名	RH850/F1KM-S4 100 Pin	RH850/F1KM-S4 144 Pin	RH850/F1KM-S4 176 Pin	RH850/F1KM-S4 233 Pin	RH850/F1KM-S4 272 Pin
ユニット数	1	1	1	1	1
名称	TAUDn (n＝0)	TAUDn (n＝0)	TAUDn (n＝0)	TAUDn (n＝0)	TAUDn (n＝0)

表 32.3　ユニット数 (RH850/F1KM-S2)

製品名	RH850/F1KM-S2 100 Pin	RH850/F1KM-S2 144 Pin	RH850/F1KM-S2 176 Pin
ユニット数	1	1	1
名称	TAUDn (n＝0)	TAUDn (n＝0)	TAUDn (n＝0)

表 32.4　ユニット数 (RH850/F1KM-S1)

製品名	RH850/F1KM-S1 48 Pin	RH850/F1KM-S1 64 Pin	RH850/F1KM-S1 80 Pin	RH850/F1KM-S1 100 Pin
ユニット数	1	1	1	1
名称	TAUDn (n＝0)	TAUDn (n＝0)	TAUDn (n＝0)	TAUDn (n＝0)

表 32.5　TAUDn のユニット構成とチャネルの対応 (RH850/F1KH-D8)

ユニット名 TAUDn	ユニット チャネル数	RH850/F1KH-D8 176 Pin (16ch)	RH850/F1KH-D8 233 Pin (16ch)	RH850/F1KH-D8 324 Pin (16ch)
TAUD0	16	○	○	○

表 32.6　TAUDn のユニット構成とチャネルの対応 (RH850/F1KM-S4)

ユニット名 TAUDn	ユニット チャネル数	RH850/F1KM-S4 100 Pin (16ch)	RH850/F1KM-S4 144 Pin (16ch)	RH850/F1KM-S4 176 Pin (16ch)	RH850/F1KM-S4 233 Pin (16ch)	RH850/F1KM-S4 272 Pin (16ch)
TAUD0	16	○	○	○	○	○

表 32.7　TAUDn のユニット構成とチャネルの対応 (RH850/F1KM-S2)

ユニット名 TAUDn	ユニット チャネル数	RH850/F1KM-S2 100 Pin (16ch)	RH850/F1KM-S2 144 Pin (16ch)	RH850/F1KM-S2 176 Pin (16ch)
TAUD0	16	○	○	○

表 32.8　TAUDn のユニット構成とチャネルの対応 (RH850/F1KM-S1)

ユニット名 TAUDn	ユニット チャネル数	RH850/F1KM-S1 48 Pin (16ch)	RH850/F1KM-S1 64 Pin (16ch)	RH850/F1KM-S1 80 Pin (16ch)	RH850/F1KM-S1 100 Pin (16ch)
TAUD0	16	○	○	○	○

表 32.9　添字 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

添字	説明
n	本章では、TAUD の各ユニットを「n」で識別します。たとえば、TAUDn チャネル出力モードレジスタ（TAUDnTOM）と記述します。
m	TAUD には 16 本のチャネルがあります。本章では、各チャネルを「m」で識別しており、特定のチャネルを CHm（m＝0～15）と記述します。 偶数チャネル（m＝0, 2, 4, 6, 8, 10, 12, 14）は CHm_even と記述します。 奇数チャネル（m＝1, 3, 5, 7, 9, 11, 13, 15）は CHm_odd と記述します。

32.1.2　レジスタベースアドレス

TAUDn のベースアドレスを以下の表に示します。

TAUDn のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 32.10　レジスタベースアドレス (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ベースアドレス名	ベースアドレス
<TAUD0_base>	FFE2 0000_H

32.1.3　クロック供給

TAUDn のクロック供給を以下の表に示します。

表 32.11　クロック供給 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	ユニットクロック名	供給クロック名	説明
TAUDn	PCLK	CKSCLK_IPERI1	モジュールクロック
	レジスタアクセスクロック	CPUCLK_L, CKSCLK_IPERI1	バスクロック

32.1.4　割り込み要求

TAUDn の割り込み要求を以下の表に示します。

表 32.12　割り込み要求 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
TAUD0			
INTTAUD0I0	チャネル 0 割り込み	8、132	0～3、17、18
INTTAUD0I1	チャネル 1 割り込み	48	0～3、17、18
INTTAUD0I2	チャネル 2 割り込み	9、158	0～3、17、18
INTTAUD0I3	チャネル 3 割り込み	49	0～3、17、18
INTTAUD0I4	チャネル 4 割り込み	10、133	0～3、17、18
INTTAUD0I5	チャネル 5 割り込み	50	0～3、17、18
INTTAUD0I6	チャネル 6 割り込み	11、134	0～3、17、18
INTTAUD0I7	チャネル 7 割り込み	51	0～3、17、18
INTTAUD0I8	チャネル 8 割り込み	12、135	0～3、17、18
INTTAUD0I9	チャネル 9 割り込み	52	0～3、17、18
INTTAUD0I10	チャネル 10 割り込み	13、159	0～3、17、18
INTTAUD0I11	チャネル 11 割り込み	53	0～3、17、18
INTTAUD0I12	チャネル 12 割り込み	14、160	0～3、17、18
INTTAUD0I13	チャネル 13 割り込み	54	0～3、17、18
INTTAUD0I14	チャネル 14 割り込み	15、161	0～3、17、18
INTTAUD0I15	チャネル 15 割り込み	55	0～3、17、18

32.1.5　リセット要因

TAUDn のリセット要因を以下に示します。TAUDn は以下のリセット要因で初期化されます。

表 32.13　リセット要因 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	リセット要因
TAUDn	すべてのリセット要因（ISORES）

32.1.6　外部入出力信号

TAUDn の外部入出力信号を以下の表に示します。

表 32.14　外部入出力信号 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット信号名	説明	ポート端子兼用信号名
TAUD0		
TAUDTTIN0	チャネル 0 入力注 1	TAUD0I0
TAUDTTIN1	チャネル 1 入力注 1	TAUD0I1
TAUDTTIN2	チャネル 2 入力注 1	TAUD0I2
TAUDTTIN3	チャネル 3 入力注 1	TAUD0I3
TAUDTTIN4	チャネル 4 入力注 1	TAUD0I4
TAUDTTIN5	チャネル 5 入力注 1	TAUD0I5
TAUDTTIN6	チャネル 6 入力注 1	TAUD0I6
TAUDTTIN7	チャネル 7 入力注 1	TAUD0I7
TAUDTTIN8	チャネル 8 入力注 1	TAUD0I8
TAUDTTIN9	チャネル 9 入力注 1	TAUD0I9
TAUDTTIN10	チャネル 10 入力注 1	TAUD0I10
TAUDTTIN11	チャネル 11 入力注 1	TAUD0I11
TAUDTTIN12	チャネル 12 入力注 1	TAUD0I12
TAUDTTIN13	チャネル 13 入力注 1	TAUD0I13
TAUDTTIN14	チャネル 14 入力注 1	TAUD0I14
TAUDTTIN15	チャネル 15 入力注 1	TAUD0I15
TAUDTTOUT0	チャネル 0 出力	TAUD0O0
TAUDTTOUT1	チャネル 1 出力	TAUD0O1
TAUDTTOUT2	チャネル 2 出力	TAUD0O2
TAUDTTOUT3	チャネル 3 出力	TAUD0O3
TAUDTTOUT4	チャネル 4 出力	TAUD0O4
TAUDTTOUT5	チャネル 5 出力	TAUD0O5
TAUDTTOUT6	チャネル 6 出力	TAUD0O6
TAUDTTOUT7	チャネル 7 出力	TAUD0O7
TAUDTTOUT8	チャネル 8 出力	TAUD0O8
TAUDTTOUT9	チャネル 9 出力	TAUD0O9
TAUDTTOUT10	チャネル 10 出力	TAUD0O10
TAUDTTOUT11	チャネル 11 出力	TAUD0O11
TAUDTTOUT12	チャネル 12 出力	TAUD0O12
TAUDTTOUT13	チャネル 13 出力	TAUD0O13
TAUDTTOUT14	チャネル 14 出力	TAUD0O14
TAUDTTOUT15	チャネル 15 出力	TAUD0O15

注1.　チャネル入力端子を使用する場合ポートのノイズフィルタの設定が必要となります。詳細は「**2A.12　ノイズフィルタ＆エッジレベル検出回路**」、「**2B.12　ノイズフィルタ＆エッジレベル検出回路**」、「**2C.12　ノイズフィルタ＆エッジレベル検出回路**」を参照してください。

32.1.7　内部入出力信号

TAUDn の内部入出力信号を以下の表に示します。

表 32.15　内部入出力信号 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット信号名	説明	接続先
TAUDnTSSTm	チャネル同時スタートトリガ入力	PIC
TAUDnTUDCm（m＝0, 2, 8）	TAUD マスタアップ／ダウン信号出力	PIC

32.1.8　TAUD0 入力の選択

次の図に示すように、ポート TAUD0Im（m＝0～15）からの出力を TAUDTTINm（m＝0～15）に入力できます。

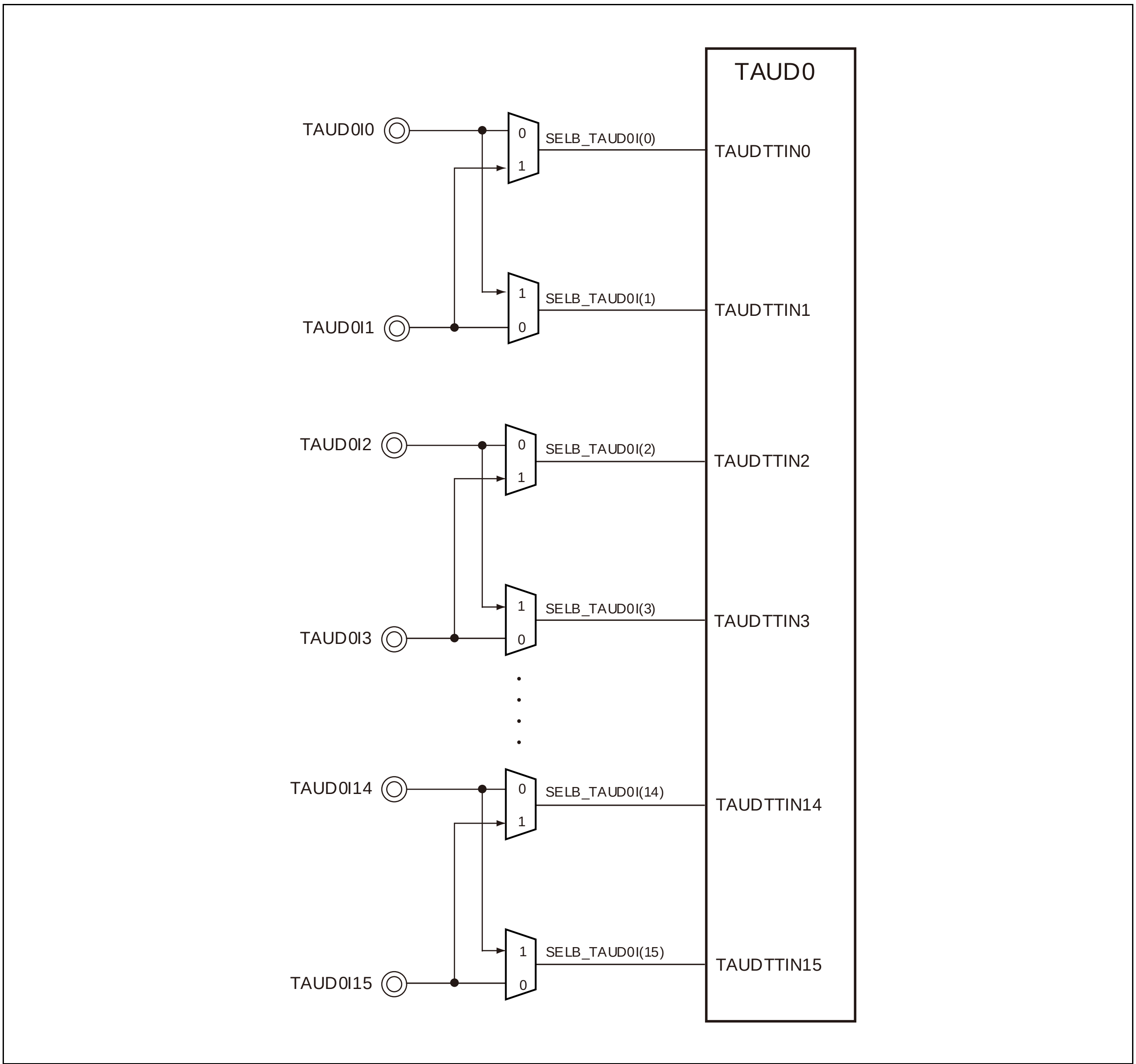


図 32.1　TAUD0 への入力信号の選択

次の表に TAUD0 への入力信号の選択方法について示します。

表 32.16　TAUD0 入力の選択 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

入力信号	機能	設定
TAUDTTIN[m]	ポート TAUD0I[m]	SELB_TAUD0I[m]＝0
	ポート TAUD0I[m + 1]	SELB_TAUD0I[m]＝1
TAUDTTIN[m + 1]	ポート TAUD0I[m + 1]	SELB_TAUD0I[m + 1]＝0
	ポート TAUD0I[m]	SELB_TAUD0I[m + 1]＝1

32.1.8.1　　レジスター覧

入力信号選択レジスタのレジスター覧を以下の表に示します。

表 32.17　レジスター覧

モジュール名	レジスタ名	略号	アドレス
TAUDn 入力選択レジスタ			
SL_TAUDn	TAUDTTINm 入力信号選択レジスタ	SELB_TAUD0I	FFE2 4000H

32.1.8.2　　SELB_TAUD0I — TAUDTTINm 入力信号選択レジスタ

このレジスタは、TAUDTTINm 入力信号を選択するレジスタです。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　FFE2 4000H

リセット後の値　0000H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SELB_TAUD0I15	SELB_TAUD0I14	SELB_TAUD0I13	SELB_TAUD0I12	SELB_TAUD0I11	SELB_TAUD0I10	SELB_TAUD0I9	SELB_TAUD0I8	SELB_TAUD0I7	SELB_TAUD0I6	SELB_TAUD0I5	SELB_TAUD0I4	SELB_TAUD0I3	SELB_TAUD0I2	SELB_TAUD0I1	SELB_TAUD0I0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32.18　SELB_TAUD0I レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>15～0</td><td>SELB_TAUD0Im</td><td>TAUDTTINm の入力信号を選択します。
<table>
<tr><th>TAUD Input</th><th>Bit[m+1]</th><th>Bit[m]</th><th>入力信号</th></tr>
<tr><td rowspan="2">TAUDTTIN[m]</td><td>x</td><td>0</td><td>ポート TAUD0I[m]を選択</td></tr>
<tr><td>x</td><td>1</td><td>ポート TAUD0I[m + 1]を選択</td></tr>
<tr><td rowspan="2">TAUDTTIN[m+1]</td><td>0</td><td>x</td><td>ポート TAUD0I[m + 1]を選択</td></tr>
<tr><td>1</td><td>x</td><td>ポート TAUD0I[m]を選択</td></tr>
</table>
（m＝0、2、4、6、8、10、12、14）</td></tr>
</table>

注　意

タイマカウント中のチャネルは、入力信号の切り替えを行わないでください。

32.2　概要

32.2.1　機能概要

TAUD には、次の機能があります。

- 16 チャネル
- チャネルごとの 16 ビットカウンタおよび 16 ビットデータレジスタ
- チャネル単体動作
- チャネル連動動作（マスタおよびスレーブ動作）
- 異なる種類の出力信号の生成
- リアルタイム出力
- 外部信号によるカウントの開始
- 割り込み発生

TAUD は、各種カウントやタイマ動作を行い、その動作の結果によって異なる信号を出力します。カウントクロックを生成するためのプリスケーラ、カウント開始値および比較値を保持するための 16 ビットカウンタ TAUDnCNTm と 16 ビットデータレジスタ TAUDnCDRm をそれぞれ備えた 16 チャネルを搭載しています。

また、いくつかの制御レジスタおよびステータスレジスタを持っています。

単体および連動動作

各チャネルは、単体で、またはほかのチャネルと連動して、異なる動作モードで動作することが可能です。1 つのマスタチャネルと 1 つ以上のスレーブチャネルの場合、スレーブチャネルは、マスタチャネルに依存します。

あるチャネルを単体動作させる場合、そのチャネルの動作モードと機能は、ほかのチャネルのそれらに影響を受けません。あるチャネルを連動させる場合、そのチャネルはマスタまたはスレーブチャネルです。マスタチャネルには、複数のスレーブチャネルがある可能性があり、あるチャネルの状態にほかのすべてのチャネルが影響を受けます。たとえば、あるチャネルを使って、ほかのチャネルのカウント開始タイミングやリセットタイミング等を制御できます。

32.2.2 用語

本章で使用されている用語について説明します。

単体動作機能／連動動作機能

単体動作機能／連動動作機能は、チャネル間の依存性を示します。

- あるチャネルがほかのすべてのチャネルから独立して動作している場合をチャネル単体動作と呼びます。
- あるチャネルの動作がほかのチャネルに依存している場合をチャネル連動動作と呼びます。

チャネルグループ

チャネル連動動作では、依存関係にあるすべてのチャネルを「チャネルグループ」と呼びます。

1 つのチャネルグループは、1 つのマスタチャネルと 1 つ以上のスレーブチャネルで構成されます。

動作モード

チャネル m ごとに動作モードを指定できます。動作モードは、あるチャネルの基本動作と機能を規定します。

チャネル連動動作では、チャネルグループに属する各チャネルは、異なる動作モードで動作することが可能です。

動作モードには、キャプチャモード、イベントカウントモード、インターバルタイマモードなどがあります。

チャネル出力モード

チャネル出力モードは、次のチャネルの TAUDTTOUTm の動作を規定します。

- 1 つのチャネル（単体出力動作）
- チャネルグループに属するすべてのチャネル（連動出力動作）

チャネル単体出力モード 1、デッドタイム出力付きチャネル連動動作モード 2 などがあります。

チャネル動作機能

チャネル動作機能は、次のチャネルの全機能およびすべての特長を規定します。

- 1 つのチャネル（チャネル単体動作）
- チャネルグループに属するすべてのチャネル（チャネル連動動作）

上位／下位チャネル

チャネル m から見て、小さい番号または大きい番号のチャネルを上位または下位チャネルと呼びます。

- 上位チャネル：小さい番号のチャネル
- 下位チャネル：大きい番号のチャネル

たとえば、チャネル 5 に対してチャネル 3 は上位チャネル、チャネル 9 は下位チャネルです。

32.2.3　タイマ動作機能一覧

このタイマは各チャネルを単体で動作させたり、複数チャネルを組み合わせて動作させることで、下記の機能が実現できます。

表 32.19　TAUD 動作機能一覧

動作機能		設定例
チャネル単体動作機能		**32.12 章**
	インターバルタイマ機能	**32.12.1 章**
	TAUDTTINm 入力インターバルタイマ機能	**32.12.2 章**
	クロック分周機能	**32.12.3 章**
	外部イベントカウント機能	**32.12.4 章**
	ディレイカウント機能	**32.12.5 章**
	ワンパルス出力機能	**32.12.6 章**
	TAUDTTINm 入力パルスインターバル測定機能	**32.12.7 章**
	TAUDTTINm 入力信号幅測定機能	**32.12.8 章**
	TAUDTTINm 入力位置検出機能	**32.12.9 章**
	TAUDTTINm 入力期間カウント検出機能	**32.12.10 章**
	TAUDTTINm 入力パルスインターバル判定機能	**32.12.11 章**
	TAUDTTINm 入力信号幅判定機能	**32.12.12 章**
	オーバフロー割り込み出力機能（TAUDTTINm 幅測定時）	**32.12.13 章**
	オーバフロー割り込み出力機能（TAUDTTINm 入力期間カウント検出時）	**32.12.14 章**
	1 相 PWM 出力機能	**32.12.15 章**
チャネル単体リアルタイム機能		**32.13 章**
	リアルタイム出力機能タイプ 1	**32.13.1 章**
	リアルタイム出力機能タイプ 2	**32.13.2 章**
チャネル単体一斉書き換え機能		**32.14 章**
	一斉書き換えトリガ生成機能タイプ 1	**32.14.1 章**
	一斉書き換えトリガ生成機能タイプ 2	**32.14.2 章**
チャネル連動動作機能		**32.15 章**
	PWM 出力機能	**32.15.1 章**
	ワンショットパルス出力機能	**32.15.2 章**
	トリガスタート PWM 出力機能	**32.15.3 章**
	ディレイパルス出力機能	**32.15.4 章**
	オフセットトリガ出力機能	**32.15.5 章**
	A/D 変換トリガ出力機能タイプ 1	**32.15.6 章**
	三角波 PWM 出力機能	**32.15.7 章**
	デッドタイム付き三角波 PWM 出力機能	**32.15.8 章**
	A/D 変換トリガ出力機能タイプ 2	**32.15.9 章**
	割り込み要求信号間引き機能	**32.15.10 章**
連動非相補方式変調出力機能と連動相補方式変調出力機能		**32.16 章**
	非相補方式変調出力機能タイプ 1	**32.16.1 章**
	非相補方式変調出力機能タイプ 2	**32.16.2 章**
	相補方式変調出力機能	**32.16.3 章**

32.2.4 入出力と割り込み要求信号

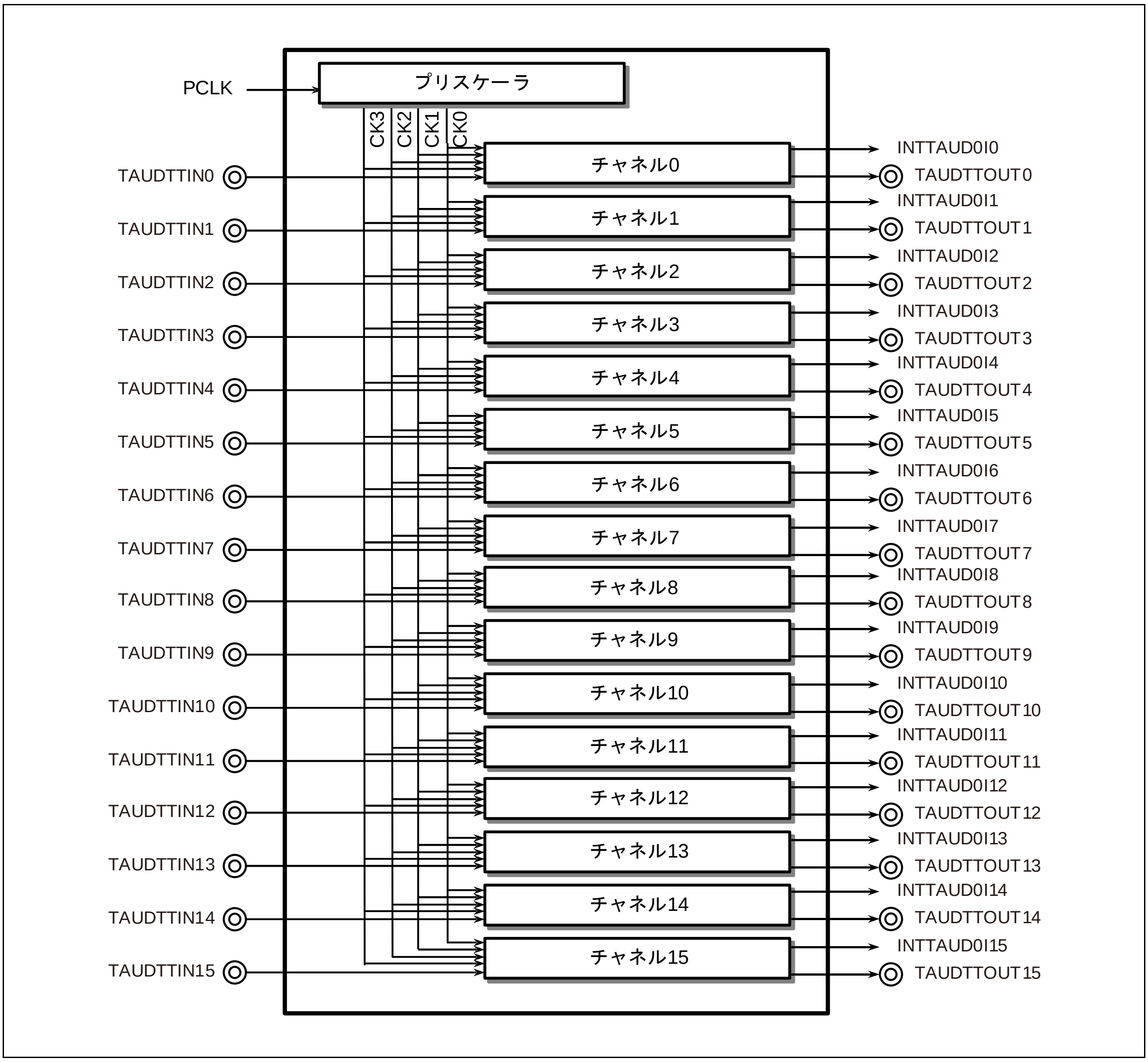


図 32.2 TAUD 入出力と割り込み要求信号

32.2.5　ブロック図

TAUD の主な構成要素を「**図 32.3 TAUD のブロック図**」に示します。

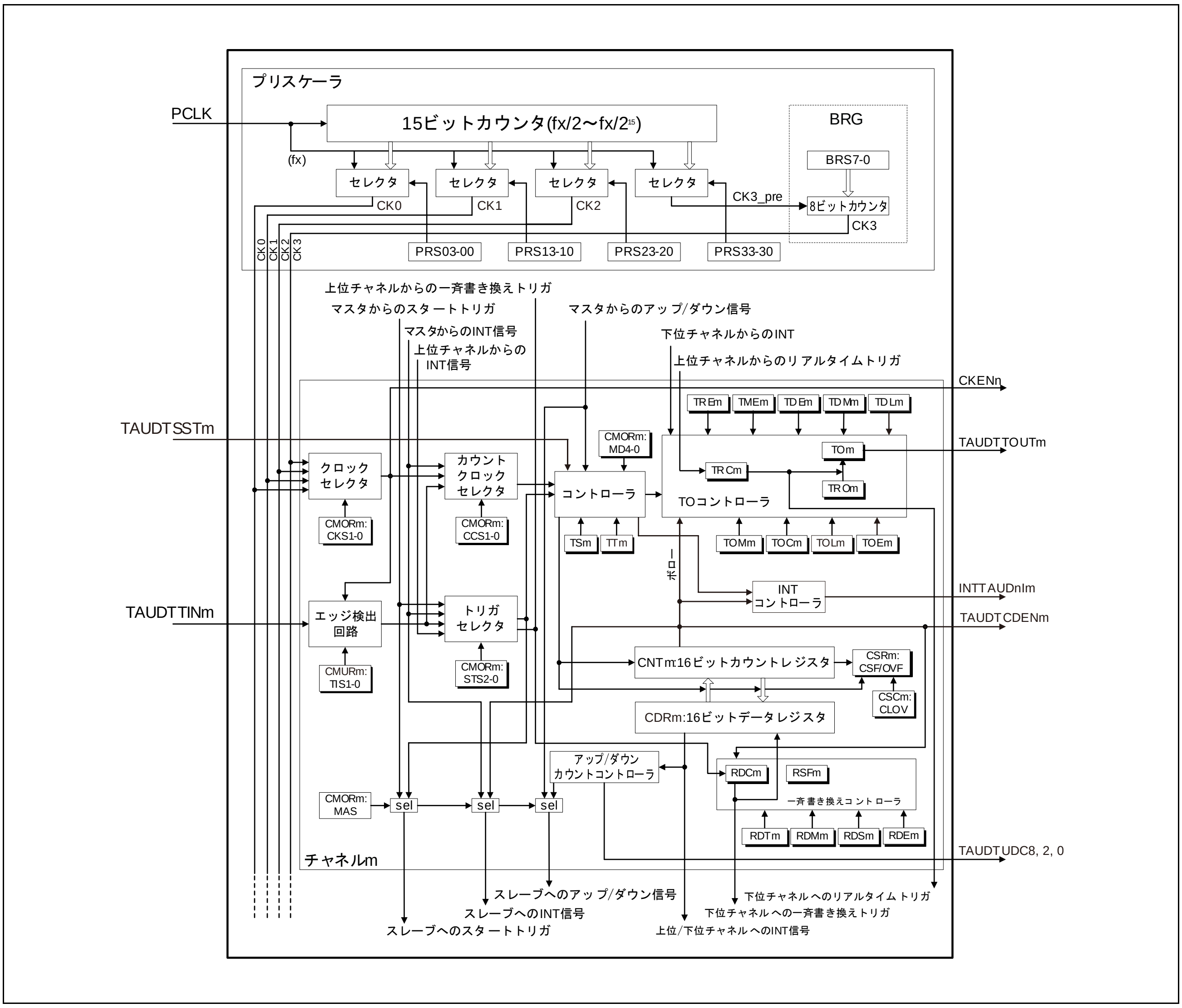


図 32.3　TAUD のブロック図

モジュール名の「TAUDn」は、図を見やすくするために省略されています。

32.2.6 ブロック図の説明

機能ブロックを次に説明します。

プリスケーラ

プリスケーラは、すべてのチャネルのカウントクロックとして使用することができる最大 4 つのクロック信号（CK0～CK3）を供給します。

カウントクロック CK0～CK2 は、プリスケーラにより PCLK の 2^0～2^{15} の分周したクロックを選択することができます。4 つ目のカウントクロック CK3 は、BRG を使用することにより、2 のべき乗以外の分周比を設定することができます。

クロックおよびカウントクロックの選択

クロックカウントセレクタは、各チャネルに対してクロックソースを次から選択します。

- CK0～CK3 のいずれかのクロック（クロックセレクタにより選択）
- マスタチャネルからの INTTAUDnIm
- TAUDTTINm 入力信号の有効エッジ

コントローラ

コントローラは、カウンタの主な動作を制御します。

- 動作モード（TAUDnCMORm.TAUDnMD[4:0]ビットにより選択）
- カウント開始許可（TAUDnTS.TAUDnTSm）およびカウント停止（TAUDnTT.TAUDnTTm）
  カウントの開始を許可すると、ステータスフラグ TAUDnTE.TAUDnTEm がセットされます。
- カウント方式（アップ／ダウン）（マスタチャネルにより制御可能）

トリガセレクタ

選択した動作モードにより、カウンタは、動作が許可されている場合（TAUDnTE.TAUDnTEm＝1）には自動的に起動するか、外部スタートトリガ信号を待ちます。次の信号をスタートトリガとして使うことができます。

- チャネル連動スタートトリガ入力 TAUDnTSSTm
- TAUDTTINm 入力の有効エッジ
- マスタ、または上位チャネルからの INTTAUDnIm
- マスタチャネルのアップ／ダウン出力トリガ信号
- TAUDTTOUTm 生成ユニットのデッドタイム出力信号

一斉書き換えコントローラ

一斉書き換え制御は、連動動作機能で使える機能です。あるチャネルグループに属する全チャネルのデータレジスタ（TAUDnCDRm）はいつでも書き換えられます。一斉書き換えコントローラは、全チャネルのデータレジスタの新しい値が同時に有効になります。

TAUDnTO コントローラ

各チャネルの出力を制御することにより、PWM 信号や三角波信号などの各種出力信号を出力できます。

32.3　レジスタ

32.3.1　レジスタ一覧

TAUDn のレジスタ一覧を以下の表に示します。

<TAUDn_base>は、「**32.1.2 レジスタベースアドレス**」を参照してください。

表 32.20　レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
TAUDn プリスケーラレジスタ			
TAUDn	TAUDn プリスケーラクロック選択レジスタ	TAUDnTPS	<TAUDn_base> + 240_H
	TAUDn プリスケーラボーレート設定レジスタ	TAUDnBRS	<TAUDn_base> + 244_H
TAUDn 制御レジスタ			
TAUDn	TAUDn チャネルデータレジスタ	TAUDnCDRm	<TAUDn_base> + m × 4_H
	TAUDn チャネルカウンタレジスタ	TAUDnCNTm	<TAUDn_base> + 80_H + m × 4_H
	TAUDn チャネルモード OS レジスタ	TAUDnCMORm	<TAUDn_base> + 200_H + m × 4_H
	TAUDn チャネルモードユーザレジスタ	TAUDnCMURm	<TAUDn_base> + $C0_H$ + m × 4_H
	TAUDn チャネルステータスレジスタ	TAUDnCSRm	<TAUDn_base> + 140_H + m × 4_H
	TAUDn チャネルステータスクリアトリガレジスタ	TAUDnCSCm	<TAUDn_base> + 180_H + m × 4_H
	TAUDn チャネルスタートトリガレジスタ	TAUDnTS	<TAUDn_base> + $1C4_H$
	TAUDn チャネル許可ステータスレジスタ	TAUDnTE	<TAUDn_base> + $1C0_H$
	TAUDn チャネルストップトリガレジスタ	TAUDnTT	<TAUDn_base> + $1C8_H$
TAUDn 出力レジスタ			
TAUDn	TAUDn チャネル出力許可レジスタ	TAUDnTOE	<TAUDn_base> + $5C_H$
	TAUDn チャネル出力レジスタ	TAUDnTO	<TAUDn_base> + 58_H
	TAUDn チャネル出力モードレジスタ	TAUDnTOM	<TAUDn_base> + 248_H
	TAUDn チャネル出力コンフィグレーションレジスタ	TAUDnTOC	<TAUDn_base> + $24C_H$
	TAUDn チャネル出力アクティブレベルレジスタ	TAUDnTOL	<TAUDn_base> + 040_H
	TAUDn チャネルデッドタイム出力許可レジスタ	TAUDnTDE	<TAUDn_base> + 250_H
	TAUDn チャネルデッドタイム出力モードレジスタ	TAUDnTDM	<TAUDn_base> + 254_H
	TAUDn チャネルデッドタイム出力レベルレジスタ	TAUDnTDL	<TAUDn_base> + 54_H
	TAUDn チャネルリアルタイム出力レジスタ	TAUDnTRO	<TAUDn_base> + $4C_H$
	TAUDn チャネルリアルタイム出力許可レジスタ	TAUDnTRE	<TAUDn_base> + 258_H
	TAUDn チャネルリアルタイム出力制御レジスタ	TAUDnTRC	<TAUDn_base> + $25C_H$
	TAUDn チャネル変調出力許可レジスタ	TAUDnTME	<TAUDn_base> + 50_H
TAUDn リロードデータレジスタ			
TAUDn	TAUDn チャネルリロードデータ許可レジスタ	TAUDnRDE	<TAUDn_base> + 260_H
	TAUDn チャネルリロードデータモードレジスタ	TAUDnRDM	<TAUDn_base> + 264_H
	TAUDn チャネルリロードデータ制御 CH 選択レジスタ	TAUDnRDS	<TAUDn_base> + 268_H
	TAUDn チャネルリロードデータ制御レジスタ	TAUDnRDC	<TAUDn_base> + $26C_H$
	TAUDn チャネルリロードデータトリガレジスタ	TAUDnRDT	<TAUDn_base> + 44_H
	TAUDn チャネルリロードステータスレジスタ	TAUDnRSF	<TAUDn_base> + 48_H
TAUDn エミュレーションレジスタ			
TAUDn	TAUDn エミュレーションレジスタ	TAUDnEMU	<TAUDn_base> + 290_H

32.3.2 TAUDn プリスケーラレジスタの詳細

32.3.2.1 TAUDnTPS ― TAUDn プリスケーラクロック選択レジスタ

PCLK プリスケーラの全チャネルの CK0、CK1、CK2、CK3_PRE クロックを指定するレジスタです。CK3 は、CK3_PRE を TAUDnBRS で指定した係数で分周することによって生成されます。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TAUDn_base> + 240_H

リセット後の値 $FFFF_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnPRS3[3:0]				TAUDnPRS2[3:0]				TAUDnPRS1[3:0]				TAUDnPRS0[3:0]			
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32.21 TAUDnTPS レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>15～12</td><td>TAUDnPRS3[3:0]</td><td>CK3_PRE クロックを指定します。
CK3_PRE クロックは BRG ユニットの入力クロックです。BRG ユニットは全チャネルに CK3 動作クロックを供給します。
<table>
<tr><th>TAUDnPRS3[3:0]</th><th>CK3_PRE クロック</th></tr>
<tr><td>0000_B</td><td>PCLK/2^{0}</td></tr>
<tr><td>0001_B</td><td>PCLK/2^{1}</td></tr>
<tr><td>0010_B</td><td>PCLK/2^{2}</td></tr>
<tr><td>0011_B</td><td>PCLK/2^{3}</td></tr>
<tr><td>0100_B</td><td>PCLK/2^{4}</td></tr>
<tr><td>0101_B</td><td>PCLK/2^{5}</td></tr>
<tr><td>0110_B</td><td>PCLK/2^{6}</td></tr>
<tr><td>0111_B</td><td>PCLK/2^{7}</td></tr>
<tr><td>1000_B</td><td>PCLK/2^{8}</td></tr>
<tr><td>1001_B</td><td>PCLK/2^{9}</td></tr>
<tr><td>1010_B</td><td>PCLK/2^{10}</td></tr>
<tr><td>1011_B</td><td>PCLK/2^{11}</td></tr>
<tr><td>1100_B</td><td>PCLK/2^{12}</td></tr>
<tr><td>1101_B</td><td>PCLK/2^{13}</td></tr>
<tr><td>1110_B</td><td>PCLK/2^{14}</td></tr>
<tr><td>1111_B</td><td>PCLK/2^{15}</td></tr>
</table>
本ビットは、CK3 を使用するカウンタがすべて停止している（TAUDnTE.TAUDnTEm＝0）場合のみ書き換え可能です。</td></tr>
</table>

表 32.21　TAUDnTPS レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>11～8</td><td>TAUDnPRS2[3:0]</td><td>CK2 クロックを指定します。
<table>
<tr><th>TAUDnPRS2[3:0]</th><th>CK2 クロック</th></tr>
<tr><td>0000_B</td><td>$PCLK/2^{0}$</td></tr>
<tr><td>0001_B</td><td>$PCLK/2^{1}$</td></tr>
<tr><td>0010_B</td><td>$PCLK/2^{2}$</td></tr>
<tr><td>0011_B</td><td>$PCLK/2^{3}$</td></tr>
<tr><td>0100_B</td><td>$PCLK/2^{4}$</td></tr>
<tr><td>0101_B</td><td>$PCLK/2^{5}$</td></tr>
<tr><td>0110_B</td><td>$PCLK/2^{6}$</td></tr>
<tr><td>0111_B</td><td>$PCLK/2^{7}$</td></tr>
<tr><td>1000_B</td><td>$PCLK/2^{8}$</td></tr>
<tr><td>1001_B</td><td>$PCLK/2^{9}$</td></tr>
<tr><td>1010_B</td><td>$PCLK/2^{10}$</td></tr>
<tr><td>1011_B</td><td>$PCLK/2^{11}$</td></tr>
<tr><td>1100_B</td><td>$PCLK/2^{12}$</td></tr>
<tr><td>1101_B</td><td>$PCLK/2^{13}$</td></tr>
<tr><td>1110_B</td><td>$PCLK/2^{14}$</td></tr>
<tr><td>1111_B</td><td>$PCLK/2^{15}$</td></tr>
</table>
本ビットは、CK2 を使用するカウンタがすべて停止している（TAUDnTE.TAUDnTEm＝0）場合のみ書き換え可能です。</td></tr>
<tr><td>7～4</td><td>TAUDnPRS1[3:0]</td><td>CK1 クロックを指定します。
<table>
<tr><th>TAUDnPRS1[3:0]</th><th>CK1 クロック</th></tr>
<tr><td>0000_B</td><td>$PCLK/2^{0}$</td></tr>
<tr><td>0001_B</td><td>$PCLK/2^{1}$</td></tr>
<tr><td>0010_B</td><td>$PCLK/2^{2}$</td></tr>
<tr><td>0011_B</td><td>$PCLK/2^{3}$</td></tr>
<tr><td>0100_B</td><td>$PCLK/2^{4}$</td></tr>
<tr><td>0101_B</td><td>$PCLK/2^{5}$</td></tr>
<tr><td>0110_B</td><td>$PCLK/2^{6}$</td></tr>
<tr><td>0111_B</td><td>$PCLK/2^{7}$</td></tr>
<tr><td>1000_B</td><td>$PCLK/2^{8}$</td></tr>
<tr><td>1001_B</td><td>$PCLK/2^{9}$</td></tr>
<tr><td>1010_B</td><td>$PCLK/2^{10}$</td></tr>
<tr><td>1011_B</td><td>$PCLK/2^{11}$</td></tr>
<tr><td>1100_B</td><td>$PCLK/2^{12}$</td></tr>
<tr><td>1101_B</td><td>$PCLK/2^{13}$</td></tr>
<tr><td>1110_B</td><td>$PCLK/2^{14}$</td></tr>
<tr><td>1111_B</td><td>$PCLK/2^{15}$</td></tr>
</table>
本ビットは、CK1 を使用するカウンタがすべて停止している（TAUDnTE.TAUDnTEm＝0）場合のみ書き換え可能です。</td></tr>
</table>

表 32.21　TAUDnTPS レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>3～0</td><td>TAUDnPRS0[3:0]</td><td>CK0 クロックを指定します。
<table>
<tr><th>TAUDnPRS0[3:0]</th><th>CK0 クロック</th></tr>
<tr><td>0000_B</td><td>$PCLK/2^0$</td></tr>
<tr><td>0001_B</td><td>$PCLK/2^1$</td></tr>
<tr><td>0010_B</td><td>$PCLK/2^2$</td></tr>
<tr><td>0011_B</td><td>$PCLK/2^3$</td></tr>
<tr><td>0100_B</td><td>$PCLK/2^4$</td></tr>
<tr><td>0101_B</td><td>$PCLK/2^5$</td></tr>
<tr><td>0110_B</td><td>$PCLK/2^6$</td></tr>
<tr><td>0111_B</td><td>$PCLK/2^7$</td></tr>
<tr><td>1000_B</td><td>$PCLK/2^8$</td></tr>
<tr><td>1001_B</td><td>$PCLK/2^9$</td></tr>
<tr><td>1010_B</td><td>$PCLK/2^{10}$</td></tr>
<tr><td>1011_B</td><td>$PCLK/2^{11}$</td></tr>
<tr><td>1100_B</td><td>$PCLK/2^{12}$</td></tr>
<tr><td>1101_B</td><td>$PCLK/2^{13}$</td></tr>
<tr><td>1110_B</td><td>$PCLK/2^{14}$</td></tr>
<tr><td>1111_B</td><td>$PCLK/2^{15}$</td></tr>
</table>
本ビットは、CK0 を使用するカウンタがすべて停止している（TAUDnTE.TAUDnTEm＝0）場合のみ書き換え可能です。</td></tr>
</table>

備　考

TAUDn クロック入力 PCLK については、本章の最初の節内「**32.1.3 クロック供給**」で定義しています。

32.3.2.2　TAUDnBRS ― TAUDn プリスケーラボーレート設定レジスタ

プリスケーラクロック CK3 の分周係数を指定するレジスタです。

CK3 は、CK3_PRE をこのレジスタで指定した係数＋1 で分周することによって生成されます。CK3_PRE 用の PCLK プリスケーラは、TAUDnTPS.TAUDnPRS3[3:0]で指定します。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<TAUDn_base> + 244_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	TAUDnBRS[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32.22　TAUDnBRS レジスタの内容

ビット位置	ビット名	機能
7～0	TAUDnBRS[7:0]	CK3 生成のための CK3_PRE クロック分周係数を指定します。

TAUDnBRS[7:0]	CK3 クロック
$0000\ 0000_B$	CK3_PRE / 1
$0000\ 0001_B$	CK3_PRE / 2
$0000\ 0010_B$	CK3_PRE / 3
$0000\ 0011_B$	CK3_PRE / 4
...	...
1111 1110	CK3_PRE / 255
$1111\ 1111_B$	CK3_PRE / 256

32.3.3　TAUDn 制御レジスタの詳細

32.3.3.1　TAUDnCDRm — TAUDn チャネルデータレジスタ

このレジスタは、TAUDnCMORm.TAUDnMD[4:1]で指定された動作モードによって、コンペアレジスタもしくはキャプチャレジスタとして機能するレジスタです。

アクセス　16 ビット単位でリード／ライト可能です。

- キャプチャレジスタ機能時は、リードのみ可能です。ライト動作は無視されます。
- コンペアレジスタ機能時は、リード／ライト可能です。

アドレス　<TAUDn_base> + m × 4_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCDR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32.23　TAUDnCDRm レジスタの内容

ビット位置	ビット名	機能
15～0	TAUDnCDR[15:0]	キャプチャ値／コンペア値用データレジスタ

32.3.3.2　TAUDnCNTm — TAUDn チャネルカウンタレジスタ

チャネル m カウンタレジスタです。

アクセス	16 ビット単位でリードのみ可能です。
アドレス	<TAUDn_base> + 80_H + m × 4_H
リセット後の値	$FFFF_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCNT[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 32.24　TAUDnCNTm レジスタの内容

ビット位置	ビット名	機能
15～0	TAUDnCNT[15:0]	16 ビットカウンタ値

リード値は、カウンタ、動作モード変更、TAUDnTS.TAUDnTSm、TAUDnTT.TAUDnTTm ビット値によって異なります。

カウンタの初期リード値は、動作モードとカウンタ停止方法によって異なります。

- リセットによる停止
- カウンタストップトリガによる停止（TAUDnTT.TAUDnTTm＝1）

カウント停止後（TAUDnTE.TAUDnTEm＝0）と再許可後（TAUDnTS.TAUDnTSm＝1）のカウンタの初期リード値を「**表 32.25 カウント再許可後の TAUDnCNTm リード値**」に示します。

また、カウンタがスタートトリガを待っている状態で、カウンタ動作が許可（TAUDnTS.TAUDnTSm＝1）されてから 1 カウント後のカウンタのリード値も示します。

表 32.25　カウント再許可後の TAUDnCNTm リード値

モード名	カウント方式（アップ／ダウン）	TAUDnCNTm 値		
		スタート値注1	ストップトリガ後	ワンカウント後
インターバルタイマモード	ダウンカウント	$FFFF_H$	停止値	—
ジャッジモード	ダウンカウント	$FFFF_H$	停止値	—
キャプチャモード	アップカウント	0000_H	停止値	—
イベントカウントモード	ダウンカウント	$FFFF_H$	停止値	—
ワンカウントモード	ダウンカウント	$FFFF_H$	停止値	$FFFF_H$
キャプチャ&ワンカウントモード	アップカウント	0000_H	停止値	キャプチャ値+1 (TAUDnCDRm)
ジャッジ&ワンカウントモード	ダウンカウント	$FFFF_H$	停止値	TAUDnCNTm 値 － 1
アップ／ダウンカウントモード	アップ／ダウンカウント	$FFFF_H$	停止値	—
パルスワンカウントモード	ダウンカウント	$FFFF_H$	停止値	0000_H
カウントキャプチャモード	アップカウント	0000_H	停止値	—
ゲートカウントモード	ダウンカウント	$FFFF_H$	停止値	停止値
キャプチャ&ゲートカウントモード	アップカウント	0000_H	停止値	停止値

注1.　リセット解除後、動作モードを変更した際に TAUDnCNTm にセットされる値

32.3.3.3　TAUDnCMORm ― TAUDn チャネルモード OS レジスタ

このレジスタは、チャネル m の動作を制御します。

アクセス	16 ビット単位でリード／ライト可能です。 カウンタ停止中（TAUDnTE.TAUDnTEm＝0）のときのみライト可能です。
アドレス	<TAUDn_base> + 200_H + m × 4_H
リセット後の値	0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.26　TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックを選択します。 動作クロックは TAUDTTINm 入力エッジ検出回路で使用します。 TAUDnCMORm.TAUDnCCS[1:0]ビットの設定により、TAUDnCNTm のカウントクロックとして使用することも可能です。 <table><tr><th>TAUDnCKS1</th><th>TAUDnCKS0</th><th>動作クロック選択</th></tr><tr><td>0</td><td>0</td><td>CK0</td></tr><tr><td>0</td><td>1</td><td>CK1</td></tr><tr><td>1</td><td>0</td><td>CK2</td></tr><tr><td>1</td><td>1</td><td>CK3</td></tr></table>
13、12	TAUDnCCS[1:0]	TAUDnCNTm カウンタのカウントクロックを選択します。 <table><tr><th>TAUDnCCS1</th><th>TAUDnCCS0</th><th>カウントクロック選択</th></tr><tr><td>0</td><td>0</td><td>TAUDnCMORm.TAUDnCKS[1:0]で指定した動作クロック</td></tr><tr><td>0</td><td>1</td><td>TAUDTTINm 入力信号の有効エッジ</td></tr><tr><td>1</td><td>0</td><td>設定禁止</td></tr><tr><td>1</td><td>1</td><td>マスタチャネルの INTTAUDnIm 信号</td></tr></table>
11	TAUDnMAS	チャネル連動動作時に、そのチャネルがマスタチャネルかスレーブチャネルかを指定します。 0：スレーブ 1：マスタ このビット設定は偶数チャネル（CHm_even）に対してのみ有効です。奇数チャネル（CHm_odd）は、“0”に固定されています。

表 32.26　TAUDnCMORm レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>10～8</td><td>TAUDnSTS[2:0]</td><td>外部スタートトリガを選択します。
<table>
<tr><th>TAUDnSTS2</th><th>TAUDnSTS1</th><th>TAUDnSTS0</th><th>機能説明</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>ソフトウェアトリガ</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>TAUDTTINm 入力信号の有効エッジ。有効エッジは TAUDnCMURm.TAUDnTIS[1:0]で指定</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>TAUDTTINm 入力信号の有効エッジをスタートトリガ、逆エッジをストップトリガとして使用</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>一斉書き換えトリガ</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>マスタチャネルの INTTAUDnIm がスタートトリガ</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>マスタ設定にかかわらず、上位チャネル（m − 1）の INTTAUDnIm がスタートトリガ</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>TAUDTTOUTm 生成ユニットのデッドタイム出力信号</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>マスタチャネルのアップ／ダウン出力トリガ信号</td></tr>
</table>
</td></tr>
<tr><td>7、6</td><td>TAUDnCOS[1:0]</td><td>チャネル m のキャプチャレジスタ TAUDnCDRm とオーバフローフラグ TAUDnCSRm.TAUDnOVF を更新するタイミングを指定します。
これらのビットはチャネル m がキャプチャ機能のときにのみ有効です。
カウントキャプチャモード、キャプチャ＆ゲートカウントモードの時は“01_B”固定としてください。
<table>
<tr><th>TAUDn COS1</th><th>TAUDn COS0</th><th>TAUDnCDRm</th><th>TAUDnCSRm.TAUDnOVF</th></tr>
<tr><td>0</td><td>0</td><td rowspan="2">TAUDTTINm 入力有効エッジを検出すると更新</td><td>TAUDTTINm 入力有効エッジを検出すると更新（クリアまたはセット）
● 有効エッジを最後に検出してからカウンタオーバフローが発生している場合は、TAUDnCSRm.TAUDnOVF をセット
● 有効エッジを最後に検出してからカウンタオーバフローが発生していない場合は、TAUDnCSRm.TAUDnOVF をクリア</td></tr>
<tr><td>0</td><td>1</td><td>カウンタオーバフロー時にセット、TAUDnCSCm.TAUDnCLOV=1 に設定することでクリア</td></tr>
<tr><td>1</td><td>0</td><td rowspan="2">TAUDTTINm 入力有効エッジ検出およびカウンタオーバフローの発生により更新
● TAUDTTINm 入力有効エッジ検出：カウンタ値が TAUDnCDRm に書き込まれる
● オーバフロー発生：$FFFF_H$ が TAUDnCDRm にロードされる。次の TAUDTTINm 入力有効エッジ検出は無視される。</td><td>設定なし</td></tr>
<tr><td>1</td><td>1</td><td>カウンタオーバフロー時にセット、TAUDnCSCm.TAUDnCLOV=1 に設定することでクリア</td></tr>
</table>
</td></tr>
<tr><td>5</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
</table>

表 32.26　TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
4〜0	TAUDnMD[4:0]	動作モードを指定します。

TAUDn MD4	TAUDn D3	TAUDn MD2	TAUDn MD1	TAUDn MD0	機能説明
0	0	0	0	1/0	インターバルタイマモード
0	0	0	1	1/0	ジャッジモード
0	0	1	0	1/0	キャプチャモード
0	0	1	1	0	イベントカウントモード
0	1	0	0	1/0	ワンカウントモード
0	1	0	1	1/0	設定禁止
0	1	1	0	0	キャプチャ＆ワンカウントモード
0	1	1	1	1/0	ジャッジ＆ワンカウントモード
1	0	0	0	0	設定禁止
1	0	0	1	0	アップ／ダウンカウントモード
1	0	1	0	1/0	パルスワンカウントモード
1	0	1	1	1/0	カウントキャプチャモード
1	1	0	0	0	ゲートカウントモード
1	1	0	1	0	キャプチャ＆ゲートカウントモード

モード	TAUDnMD0 ビットの役割
インターバルタイマモード キャプチャモード カウントキャプチャモード	カウント動作開始時（スタートトリガ入力時）に、INTTAUDnIm 信号を出力するかどうかを指定します。 0：INTTAUDnIm を出力しない 1：INTTAUDnIm を出力する
イベントカウントモード アップ／ダウンカウントモード	このビットは“0”（カウント動作開始時に INTTAUDnIm 信号を出力しない）に設定してください。
ワンカウントモード パルスワンカウントモード	カウント中のスタートトリガ検出を許可／禁止します。 0：禁止 1：許可 **注意）** ● ワンカウントモードでは、カウント動作開始時に INTTAUDnIm 信号を出力しません。 ● パルスワンカウントモードでは、カウント動作開始時に INTTAUDnIm 信号を出力します。
ゲートカウントモード	このビットは“0”（カウント中のスタートトリガ検出を禁止）に設定してください。
キャプチャ＆ワンカウントモード キャプチャ＆ゲートカウントモード	このビットは“0”に設定してください。 **注意）** カウント動作開始時に INTTAUDnIm 信号を出力しません。 また、カウント動作中に検出されたスタートトリガは無効です。
ジャッジモード ジャッジ＆ワンカウントモード	INTTAUDnIm の出力タイミングを指定します。 0：TAUDnCNTm≦TAUDnCDRm 時 1：TAUDnCNTm＞TAUDnCDRm 時

32.3.3.4　　TAUDnCMURm — TAUDn チャネルモードユーザレジスタ

このレジスタは、TAUDTTINm 入力で使用される有効エッジ検出のタイプを指定します。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<TAUDn_base> + $C0_H$ + m × 4_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.27　TAUDnCMURm レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>7～2</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>1、0</td><td>TAUDnTIS[1:0]</td><td>TAUDTTINm 入力信号の有効エッジを指定します。
<table>
<tr><th>TAUDnTIS1</th><th>TAUDnTIS0</th><th>機能説明</th></tr>
<tr><td>0</td><td>0</td><td>立ち下がりエッジ</td></tr>
<tr><td>0</td><td>1</td><td>立ち上がりエッジ</td></tr>
<tr><td>1</td><td>0</td><td>両エッジ検出（ロウレベル幅測定選択）
スタートトリガ：立ち下がりエッジ
ストップトリガ（キャプチャ）：立ち上がりエッジ</td></tr>
<tr><td>1</td><td>1</td><td>両エッジ検出（ハイレベル幅測定選択）
スタートトリガ：立ち上がりエッジ
ストップトリガ（キャプチャ）：立ち下がりエッジ</td></tr>
</table>
TAUDTTINm 入力信号のエッジ検出は、TAUDnCMORm.TAUDnCKS[1:0]で選択した動作クロックに基づいて行われます。</td></tr>
</table>

32.3.3.5　TAUDnCSRm — TAUDn チャネルステータスレジスタ

このレジスタは、チャネル m のカウンタのカウント方向とオーバフロー状態を示します。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<TAUDn_base> + 140_H + m × 4_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnCSF	TAUDnOVF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 32.28　TAUDnCSRm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。
1	TAUDnCSF	カウント方向を示します。 0：アップカウント 1：ダウンカウント このビットのリード値は、次のモード時にのみ有効です。 ● アップ／ダウンカウントモード
0	TAUDnOVF	カウンタオーバフロー状態を示します。 0：オーバフローが発生していない 1：オーバフローが発生 このビットは、次のモード時のみ使用します。 ● キャプチャモード ● キャプチャ＆ワンカウントモード このビットの機能は、制御ビット TAUDnCMORm.TAUDnCOS[1:0]の設定により異なります。

32.3.3.6 TAUDnCSCm — TAUDn チャネルステータスクリアトリガレジスタ

このレジスタは、チャネル m のオーバフローフラグ TAUDnCSRm.TAUDnOVF をクリアするためのトリガレジスタです。

アクセス 8 ビット単位でライトのみ可能です。リード値は常に 00_H です。

アドレス <TAUDn_base> + 180_H + m × 4_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAUDnCLOV
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 32.29 TAUDnCSCm レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TAUDnCLOV	0：機能なし 1：オーバフローフラグ TAUDnCSRm.TAUDnOVF をクリア

32.3.3.7 TAUDnTS — TAUDn チャネルスタートトリガレジスタ

このレジスタは、各チャネルのカウンタ動作を許可します。

アクセス 16 ビット単位でライトのみ可能です。リード値は常に 0000_H です。

アドレス <TAUDn_base> + $1C4_H$

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TS15	TAUDn TS14	TAUDn TS13	TAUDn TS12	TAUDn TS11	TAUDn TS10	TAUDn TS09	TAUDn TS08	TAUDn TS07	TAUDn TS06	TAUDn TS05	TAUDn TS04	TAUDn TS03	TAUDn TS02	TAUDn TS01	TAUDn TS00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 32.30 TAUDnTS レジスタの内容

ビット位置	ビット名	機能
15～0	TAUDnTSm	チャネル m のカウンタ動作を許可します。 0：機能なし 1：カウンタ動作を許可し、TAUDnTE.TAUDnTEm＝1 を設定。 TAUDnTE.TAUDnTEm＝1 を設定しても、カウント動作が許可されるだけです。カウントが開始されるかどうかは、選択されている動作モードによって異なります。

32.3.3.8　TAUDnTE ― TAUDn チャネル許可ステータスレジスタ

このレジスタは、カウンタ動作の許可／禁止を示します。

アクセス　16 ビット単位でリードのみ可能です。

アドレス　<TAUDn_base> + $1C0_H$

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TE15	TAUDn TE14	TAUDn TE13	TAUDn TE12	TAUDn TE11	TAUDn TE10	TAUDn TE09	TAUDn TE08	TAUDn TE07	TAUDn TE06	TAUDn TE05	TAUDn TE04	TAUDn TE03	TAUDn TE02	TAUDn TE01	TAUDn TE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 32.31　TAUDnTE レジスタの内容

ビット位置	ビット名	機能
15～0	TAUDnTEm	チャネル m のカウンタ動作の許可／禁止を示します。 0：カウンタ動作禁止 1：カウンタ動作許可 TAUDnTSSTm（チャネル連動スタートトリガ信号）のトリガ入力を検知するか、TAUDnTS.TAUDnTSm を“1”にセットすると、このビットが“1”に設定されます。 TAUDnTT.TAUDnTTm を“1”にセットすると、このビットが“0”にリセットされます。

32.3.3.9　TAUDnTT ― TAUDn チャネルストップトリガレジスタ

このレジスタは、各チャネルのカウンタ動作を停止します。

アクセス　16 ビット単位でライトのみ可能です。リード値は常に 0000_H です。

アドレス　<TAUDn_base> + $1C8_H$

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TT15	TAUDn TT14	TAUDn TT13	TAUDn TT12	TAUDn TT11	TAUDn TT10	TAUDn TT09	TAUDn TT08	TAUDn TT07	TAUDn TT06	TAUDn TT05	TAUDn TT04	TAUDn TT03	TAUDn TT02	TAUDn TT01	TAUDn TT00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 32.32　TAUDnTT レジスタの内容

ビット位置	ビット名	機能
15～0	TAUDnTTm	チャネル m のカウンタ動作を停止します。 0：機能なし 1：カウンタ動作を停止し、TAUDnTE.TAUDnTEm をリセットします。 TAUDnCNTm、TAUDnTO.TAUDnTOm、TAUDTTOUTm は、カウント停止前の値を保持します。

32.3.4 TAUDn ― 斉書き換えレジスタの詳細

32.3.4.1 TAUDnRDE ― TAUDn チャネルリロードデータ許可レジスタ

このレジスタは、データレジスタ TAUDnCDRm/TAUDnTOLm の一斉書き換えを許可／禁止します。

アクセス　16 ビット単位でリード／ライト可能です。
TAUDnTE.TAUDnTEm＝0 のときのみ、ライト可能です。

アドレス　<TAUDn_base> + 260_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn RDE15	TAUDn RDE14	TAUDn RDE13	TAUDn RDE12	TAUDn RDE11	TAUDn RDE10	TAUDn RDE09	TAUDn RDE08	TAUDn RDE07	TAUDn RDE06	TAUDn RDE05	TAUDn RDE04	TAUDn RDE03	TAUDn RDE02	TAUDn RDE01	TAUDn RDE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32.33　TAUDnRDE レジスタの内容

ビット位置	ビット名	機能
15～0	TAUDnRDEm	チャネル m のデータレジスタの一斉書き換えを許可／禁止します。 0：一斉書き換え禁止 1：一斉書き換え許可

32.3.4.2 TAUDnRDS ― TAUDn チャネルリロードデータ制御チャネル選択レジスタ

このレジスタは、一斉書き換えを制御するチャネルを選択します。

アクセス　16 ビット単位でリード／ライト可能です。
TAUDnTE.TAUDnTEm＝0 のときのみ、ライト可能です。

アドレス　<TAUDn_base> + 268_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn RDS15	TAUDn RDS14	TAUDn RDS13	TAUDn RDS12	TAUDn RDS11	TAUDn RDS10	TAUDn RDS09	TAUDn RDS08	TAUDn RDS07	TAUDn RDS06	TAUDn RDS05	TAUDn RDS04	TAUDn RDS03	TAUDn RDS02	TAUDn RDS01	TAUDn RDS00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32.34　TAUDnRDS レジスタの内容

ビット位置	ビット名	機能
15～0	TAUDnRDSm	一斉書き換えトリガを制御するチャネルを選択します。 0：マスタチャネル 1：別の上位チャネル

32.3.4.3　TAUDnRDM ― TAUDn チャネルリロードデータモードレジスタ

このレジスタは、一斉書き換え制御信号を発生させるタイミングを選択します。

アクセス	16 ビット単位でリード／ライト可能です。 TAUDnTE.TAUDnTEm＝0 のときのみ、ライト可能です。
アドレス	<TAUDn_base> + 264_H
リセット後の値	0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn RDM15	TAUDn RDM14	TAUDn RDM13	TAUDn RDM12	TAUDn RDM11	TAUDn RDM10	TAUDn RDM09	TAUDn RDM08	TAUDn RDM07	TAUDn RDM06	TAUDn RDM05	TAUDn RDM04	TAUDn RDM03	TAUDn RDM02	TAUDn RDM01	TAUDn RDM00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32.35　TAUDnRDM レジスタの内容

ビット位置	ビット名	機能
15～0	TAUDnRDMm	一斉書き換えトリガ信号を発生するタイミングを選択します。 0：マスタチャネルのカウンタがカウントを開始したとき 1：三角波周期の山 これらのビット設定は TAUDnRDE.TAUDnRDEm＝1、TAUDnRDS.TAUDnRDSm＝0 時のみ適用されます。

32.3.4.4　TAUDnRDC ― TAUDn チャネルリロードデータ制御レジスタ

このレジスタは、一斉書き換えをトリガする INTTAUDnIm 信号を生成するチャネルを指定します。

アクセス	16 ビット単位でリード／ライト可能です。 TAUDnTE.TAUDnTEm＝0 のときのみ、ライト可能です。
アドレス	<TAUDn_base> + $26C_H$
リセット後の値	0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn RDC15	TAUDn RDC14	TAUDn RDC13	TAUDn RDC12	TAUDn RDC11	TAUDn RDC10	TAUDn RDC09	TAUDn RDC08	TAUDn RDC07	TAUDn RDC06	TAUDn RDC05	TAUDn RDC04	TAUDn RDC03	TAUDn RDC02	TAUDn RDC01	TAUDn RDC00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32.36　TAUDnRDC レジスタの内容

ビット位置	ビット名	機能
15～0	TAUDnRDCm	チャネルが一斉書き換えトリガ信号を生成するか否かを指定します。 0：一斉書き換えトリガチャネルとならない。 1：一斉書き換えトリガチャネルとして動作する。 これらのビット設定は TAUDnRDE.TAUDnRDEm＝1、TAUDnRDS.TAUDnRDSm＝1 時のみ適用されます。

32.3.4.5　TAUDnRDT — TAUDn チャネルリロードデータトリガレジスタ

一斉書き換え許可状態をトリガするレジスタです。

アクセス　16 ビット単位でライトのみ可能です。リード値は常に 0000_H です。

アドレス　<TAUDn_base> + 044_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn RDT15	TAUDn RDT14	TAUDn RDT13	TAUDn RDT12	TAUDn RDT11	TAUDn RDT10	TAUDn RDT09	TAUDn RDT08	TAUDn RDT07	TAUDn RDT06	TAUDn RDT05	TAUDn RDT04	TAUDn RDT03	TAUDn RDT02	TAUDn RDT01	TAUDn RDT00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 32.37　TAUDnRDT レジスタの内容

ビット位置	ビット名	機能
15～0	TAUDnRDTm	一斉書き換え許可状態をトリガします。 0：機能なし 1：一斉書き換え許可フラグ（TAUDnRSFm）を“1”とし、一斉書き換えトリガ待ち状態となります。 これらのビットの設定は、以下の場合にのみ適用されます。 ● TAUDnRDE.TAUDnRDEm＝1

32.3.4.6　TAUDnRSF — TAUDn チャネルリロードステータスレジスタ

このフラグレジスタは、一斉書き換えのステータスを示します。

アクセス　16 ビット単位でリードのみ可能です。

アドレス　<TAUDn_base> + 048_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn RSF15	TAUDn RSF14	TAUDn RSF13	TAUDn RSF12	TAUDn RSF11	TAUDn RSF10	TAUDn RSF09	TAUDn RSF08	TAUDn RSF07	TAUDn RSF06	TAUDn RSF05	TAUDn RSF04	TAUDn RSF03	TAUDn RSF02	TAUDn RSF01	TAUDn RSF00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 32.38　TAUDnRSF レジスタの内容

ビット位置	ビット名	機能
15～0	TAUDnRSFm	一斉書き換えの状態を示します。 0：一斉書き換えトリガの発生によって、一斉書き換えが完了したことを示します。 1：一斉書き換え許可状態（TAUDnRDTm＝1）で、一斉書き換えのトリガ待ちを示します。

32.3.5 TAUDn 出力レジスタの詳細

32.3.5.1 TAUDnTOE — TAUDn チャネル出力許可レジスタ

このレジスタは、ソフトウェア制御のチャネル単体出力モードを許可／禁止します。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TAUDn_base> + $5C_H$

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TOE15	TAUDn TOE14	TAUDn TOE13	TAUDn TOE12	TAUDn TOE11	TAUDn TOE10	TAUDn TOE09	TAUDn TOE08	TAUDn TOE07	TAUDn TOE06	TAUDn TOE05	TAUDn TOE04	TAUDn TOE03	TAUDn TOE02	TAUDn TOE01	TAUDn TOE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32.39 TAUDnTOE レジスタの内容

ビット位置	ビット名	機能
15～0	TAUDnTOEm	チャネル単体出力機能を許可／禁止します。 0：タイマ単体出力機能を禁止（ソフトウェア制御） 1：タイマ単体出力機能を許可

32.3.5.2 TAUDnTO — TAUDn チャネル出力レジスタ

このレジスタは、TAUDTTOUTm レベルを指定およびリードします。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス <TAUDn_base> + 58_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TO15	TAUDn TO14	TAUDn TO13	TAUDn TO12	TAUDn TO11	TAUDn TO10	TAUDn TO09	TAUDn TO08	TAUDn TO07	TAUDn TO06	TAUDn TO05	TAUDn TO04	TAUDn TO03	TAUDn TO02	TAUDn TO01	TAUDn TO00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32.40 TAUDnTO レジスタの内容

ビット位置	ビット名	機能
15～0	TAUDnTOm	TAUDTTOUTm レベルを指定およびリードします。 0：ロウレベル 1：ハイレベル チャネル単体出力機能が禁止されている（TAUDnTOEm＝0）TAUDnTOm ビットのみライト可能です。

32.3.5.3　TAUDnTOM ― TAUDn チャネル出力モードレジスタ

このレジスタは、各チャネルの出力モードを指定します。

アクセス　16 ビット単位でリード／ライト可能です。
カウンタ停止中（TAUDnTE.TAUDnTEm＝0）のときのみ、ライト可能です。

アドレス　<TAUDn_base> + 248H

リセット後の値　0000H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TOM15	TAUDn TOM14	TAUDn TOM13	TAUDn TOM12	TAUDn TOM11	TAUDn TOM10	TAUDn TOM09	TAUDn TOM08	TAUDn TOM07	TAUDn TOM06	TAUDn TOM05	TAUDn TOM04	TAUDn TOM03	TAUDn TOM02	TAUDn TOM01	TAUDn TOM00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32.41　TAUDnTOM レジスタの内容

ビット位置	ビット名	機能
15～0	TAUDnTOMm	出力モードを指定します。 0：チャネル単体動作 1：チャネル連動動作

32.3.5.4　TAUDnTOC ― TAUDn チャネル出力コンフィグレーションレジスタ

このレジスタは、TAUDnTOMm とともに各チャネルの出力モードを指定します。

アクセス　16 ビット単位でリード／ライト可能です。
カウンタ停止中（TAUDnTE.TAUDnTEm＝0）のときのみ、ライト可能です。

アドレス　<TAUDn_base> + 24CH

リセット後の値　0000H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TOC15	TAUDn TOC14	TAUDn TOC13	TAUDn TOC12	TAUDn TOC11	TAUDn TOC10	TAUDn TOC09	TAUDn TOC08	TAUDn TOC07	TAUDn TOC06	TAUDn TOC05	TAUDn TOC04	TAUDn TOC03	TAUDn TOC02	TAUDn TOC01	TAUDn TOC00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32.42　TAUDnTOC レジスタの内容

ビット位置	ビット名	機能
15～0	TAUDnTOCm	出力モードを指定します。 0：動作モード 1 1：動作モード 2 次の表にあるように、出力モードは TAUDnTOM.TAUDnTOMm の設定によっても異なります。

TAUDnTOMm	TAUDnTOCm	機能説明
0	0	トグルモード：INTTAUDnIm 発生時にトグル動作が行われます。
0	1	セット／リセットモード：カウント開始時の INTTAUDnIm 発生時にセットされ、TAUDnCNTm、TAUDnCDRm の一致の検出による INTTAUDnIm 発生時にリセットされます。
1	0	チャネル連動動作モード 1：マスタチャネルで INT が発生するとセット、スレーブチャネルで INT が発生するとリセットされます。
1	1	チャネル連動動作モード 2：ダウンカウント状態で INTTAUDnIm が発生するとセット、アップカウント状態で INTTAUDnIm が発生するとリセットされます。

32.3.5.5　TAUDnTOL ― TAUDn チャネル出力アクティブレベルレジスタ

このレジスタは、チャネル出力ビット（TAUDnTO.TAUDnTOm）の出力論理を指定します。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<TAUDn_base> + 040_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TOL15	TAUDn TOL14	TAUDn TOL13	TAUDn TOL12	TAUDn TOL11	TAUDn TOL10	TAUDn TOL09	TAUDn TOL08	TAUDn TOL07	TAUDn TOL06	TAUDn TOL05	TAUDn TOL04	TAUDn TOL03	TAUDn TOL02	TAUDn TOL01	TAUDn TOL00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32.43　TAUDnTOL レジスタの内容

ビット位置	ビット名	機能
15～0	TAUDnTOLm	チャネル m 出力ビット（TAUDnTO.TAUDnTOm）の出力論理を指定します。 0：正論理（アクティブハイ） 1：負論理（アクティブロウ） これらのビット設定は、ソフトウェア制御のチャネル単体出力モード、チャネル単体出力モード 1、リアルタイム出力を行うチャネル単体出力モード 1 以外のすべてのチャネル出力モードに適用されます。

32.3.6　TAUDn のデッドタイム出力レジスタの詳細

32.3.6.1　TAUDnTDE ― TAUDn チャネルデッドタイム出力許可レジスタ

このレジスタは、全チャネルのデッドタイム動作を許可／禁止します。

アクセス　16 ビット単位でリード／ライト可能です。
カウンタ停止中（TAUDnTE.TAUDnTEm＝0）のときのみ、ライト可能です。

アドレス　<TAUDn_base> + 250_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TDE15	TAUDn TDE14	TAUDn TDE13	TAUDn TDE12	TAUDn TDE11	TAUDn TDE10	TAUDn TDE09	TAUDn TDE08	TAUDn TDE07	TAUDn TDE06	TAUDn TDE05	TAUDn TDE04	TAUDn TDE03	TAUDn TDE02	TAUDn TDE01	TAUDn TDE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32.44　TAUDnTDE レジスタの内容

ビット位置	ビット名	機能
15～0	TAUDnTDEm	チャネル m のデッドタイム制御動作を許可／禁止します。 0：デッドタイム動作禁止 1：デッドタイム動作許可 対になった偶数／奇数スレーブチャネルには同じ設定をする必要があります。 これらのビットの設定は、以下の場合にのみ適用されます。 ● TAUDnTOE.TAUDnTOEm、TAUDnTOM.TAUDnTOMm、TAUDnTOC.TAUDnTOCm＝1

32.3.6.2　TAUDnTDM ― TAUDn チャネルデッドタイム出力モードレジスタ

このレジスタは、デッドタイム出力中にデッドタイムを付加するタイミングを指定します。

アクセス　16 ビット単位でリード／ライト可能です。
カウンタ停止中（TAUDnTE.TAUDnTEm＝0）のときのみ、ライト可能です。

アドレス　<TAUDn_base> + 254_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TDM15	TAUDn TDM14	TAUDn TDM13	TAUDn TDM12	TAUDn TDM11	TAUDn TDM10	TAUDn TDM09	TAUDn TDM08	TAUDn TDM07	TAUDn TDM06	TAUDn TDM05	TAUDn TDM04	TAUDn TDM03	TAUDn TDM02	TAUDn TDM01	TAUDn TDM00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32.45　TAUDnTDM レジスタの内容

ビット位置	ビット名	機能
15～0	TAUDnTDMm	デッドタイム出力中にデッドタイムを付加するタイミングを指定します。 0：上位偶数チャネルのデューティサイクル検出時（デューティデッドタイム出力） 1：下位奇数チャネルの TIN 入力エッジ検出時（1 相デッドタイム出力） 対になった偶数／奇数スレーブチャネルには同じ設定をする必要があります。 これらのビットの設定は、以下の場合にのみ適用されます。 ● TAUDnTOE.TAUDnTOEm、TAUDnTOM.TAUDnTOMm、TAUDnTOC.TAUDnTOCm、TAUDnTDE.TAUDnTDEm＝1

32.3.6.3　TAUDnTDL ― TAUDn チャネルデッドタイム出力レベルレジスタ

このレジスタは、デッドタイムを付加する位相を選択します。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<TAUDn_base> + 54_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TDL15	TAUDn TDL14	TAUDn TDL13	TAUDn TDL12	TAUDn TDL11	TAUDn TDL10	TAUDn TDL09	TAUDn TDL08	TAUDn TDL07	TAUDn TDL06	TAUDn TDL05	TAUDn TDL04	TAUDn TDL03	TAUDn TDL02	TAUDn TDL01	TAUDn TDL00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32.46　TAUDnTDL レジスタの内容

ビット位置	ビット名	機能
15～0	TAUDnTDLm	デッドタイムを付加する位相を選択します。 0：正相 1：逆相 これらのビットの設定は、以下の場合にのみ適用されます。 ● TAUDnTOE.TAUDnTOEm、TAUDnTOM.TAUDnTOMm、TAUDnTOC.TAUDnTOCm、TAUDnTDE.TAUDnTDEm＝1

32.3.7 TAUDn のリアルタイム／変調出力レジスタの詳細

32.3.7.1 TAUDnTRE — TAUDn チャネルリアルタイム出力許可レジスタ

このレジスタは、リアルタイム出力を許可／禁止します。

アクセス 16 ビット単位でリード／ライト可能です。
TAUDnTE.TAUDnTEm＝0 のときのみ、ライト可能です。

アドレス <TAUDn_base> + 258_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TRE15	TAUDn TRE14	TAUDn TRE13	TAUDn TRE12	TAUDn TRE11	TAUDn TRE10	TAUDn TRE09	TAUDn TRE08	TAUDn TRE07	TAUDn TRE06	TAUDn TRE05	TAUDn TRE04	TAUDn TRE03	TAUDn TRE02	TAUDn TRE01	TAUDn TRE00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32.47 TAUDnTRE レジスタの内容

ビット位置	ビット名	機能
15～0	TAUDnTREm	チャネル m のリアルタイム出力を許可／禁止します。 0：リアルタイム出力禁止 1：リアルタイム出力許可 これらのビット設定は TAUDnTOE.TAUDnTOEm＝1 時のみ適用されます。 TAUDnTRE.TAUDnTREm＝0 の場合、TAUDTTOUTm はリアルタイム出力の影響を受けません。 TAUDnTRE.TAUDnTREm＝1 の場合、TAUDTTOUTm はタイマ動作に応じてリアルタイム出力ビット TAUDnTRO.TAUDnTROm の値を出力します。

32.3.7.2 TAUDnTRC — TAUDn チャネルリアルタイム出力制御レジスタ

このレジスタは、各チャネルのリアルタイム出力トリガを制御します。

アクセス 16 ビット単位でリード／ライト可能です。
TAUDnTE.TAUDnTEm＝0 のときのみ、ライト可能です。

アドレス <TAUDn_base> + $25C_H$

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TRC15	TAUDn TRC14	TAUDn TRC13	TAUDn TRC12	TAUDn TRC11	TAUDn TRC10	TAUDn TRC09	TAUDn TRC08	TAUDn TRC07	TAUDn TRC06	TAUDn TRC05	TAUDn TRC04	TAUDn TRC03	TAUDn TRC02	TAUDn TRC01	TAUDn TRC00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32.48 TAUDnTRC レジスタの内容

ビット位置	ビット名	機能
15～0	TAUDnTRCm	チャネル m のリアルタイム出力トリガを生成するチャネルを指定します。 0：このビットが“1”に設定されている次の上位チャネル 1：チャネル m これらのビット設定は TAUDnTRE.TAUDnTREm＝1 時のみ適用されます。

32.3.7.3　TAUDnTRO ― TAUDn チャネルリアルタイム出力レジスタ

このレジスタには、TAUDTTOUTm に出力する値を設定します。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<TAUDn_base> + $04C_H$

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TRO15	TAUDn TRO14	TAUDn TRO13	TAUDn TRO12	TAUDn TRO11	TAUDn TRO10	TAUDn TRO09	TAUDn TRO08	TAUDn TRO07	TAUDn TRO06	TAUDn TRO05	TAUDn TRO04	TAUDn TRO03	TAUDn TRO02	TAUDn TRO01	TAUDn TRO00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32.49　TAUDnTRO レジスタの内容

ビット位置	ビット名	機能
15～0	TAUDnTROm	TAUDTTOUTm に出力する値を設定します。 0：ロウレベル 1：ハイレベル TAUDnTRE.TAUDnTREm＝0 のとき、リアルタイム出力トリガが発生しても TAUDnTROm の値は TAUDTTOUTm には出力されません。

32.3.7.4　TAUDnTME ― TAUDn チャネル変調出力許可レジスタ

このレジスタは、タイマ出力とリアルタイム出力の変調出力を許可／禁止します。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<TAUDn_base> + 050_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDn TME15	TAUDn TME14	TAUDn TME13	TAUDn TME12	TAUDn TME11	TAUDn TME10	TAUDn TME09	TAUDn TME08	TAUDn TME07	TAUDn TME06	TAUDn TME05	TAUDn TME04	TAUDn TME03	TAUDn TME02	TAUDn TME01	TAUDn TME00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 32.50　TAUDnTME レジスタの内容

ビット位置	ビット名	機能
15～0	TAUDnTMEm	チャネル m のタイマ出力とリアルタイム出力の変調出力を許可／禁止します。 0：変調禁止 1：変調許可 これらのビット設定は TAUDnTOE.TAUDnTOEm、TAUDnTRE.TAUDnTREm＝1 時にのみ適用されます。

32.3.8　TAUDn エミュレーションレジスタ

32.3.8.1　TAUDnEMU — TAUDn エミュレーションレジスタ

このレジスタは SVSTOP による動作を制御します。

アクセス　8 ビット単位でリード／ライト可能です。
カウンタ停止中（TAUDnTE.TAUDnTEm＝0）、かつ（EPC.SVSTOP＝0）のときにライト動作を行ってください。

アドレス　<TAUDn_base> + 290_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	TAUDnSVSDIS	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R

表 32.51　TAUDnEMU レジスタの内容

ビット位置	ビット名	機能
7	TAUDnSVSDIS	（EPC.SVSTOP ビット＝0 のとき） 本ビットの値（1/0）にかかわらず、デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを継続供給 （EPC.SVSTOP ビット＝1 のとき） 0：デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを停止 1：デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを継続供給
6～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

32.4　操作手順

TAUDn の基本操作手順を次に示します。

リセット解除後、各チャネルの動作は停止します。クロックの供給が開始され、各レジスタへの書き込みが可能になります。全チャネルの全回路およびレジスタが初期化されます。TAUDTTOUTm の制御レジスタも初期化され、ロウレベルを出力します。

(1) TAUDnTPS と TAUDnBRS レジスタを設定して CK0～CK3 のクロック周波数を指定してください。

(2) 任意の TAUDn 機能を設定してください。

- 動作モードを設定してください。
- チャネル出力モードを設定してください。
- その他の制御ビットを設定してください。

(3) TAUDnTS.TAUDnTSm ビットを“1”に設定してカウンタ動作を許可してください。
カウンタは、ビット設定によって、ただちに、または適切なトリガが検出されたときにカウントを開始します。

(4) カウント動作中、設定した機能に応じてカウントの停止や強制リスタートを行ってください。カウントの停止は TAUDnTT.TAUDnTTm ビットを 1 に設定してください。強制リスタートは TAUDnTS.TAUDnTSm ビットを 1 に設定してください。

(5) TAUDnTT.TAUDnTTm ビットを“1”に設定して機能を停止してください。

備　考

1. 必要な制御ビットと各機能の動作の詳細は、
「32.12 チャネル単体動作機能」
「32.15 チャネル連動動作機能」
を参照してください。
2. 機能を変更する場合は、カウント停止中（TAUDnTE.TAUDnTEm＝0）に行ってください。

32.5　チャネル連動動作の概念

連動動作機能は、チャネルグループ（マスタチャネルとスレーブチャネルで構成されます）を組み合わせて実現する機能です。チャネルの設定には、いくつかのルールがあります。ルールの詳細は、「**32.5.1 チャネル連動動作のルール**」に示します。

チャネル連動動作の 2 つの特殊な機能の詳細を次の節で説明します。

- 「**32.5.2 連動チャネルカウンタの同時動作開始／停止**」
- 「**32.6 一斉書き換え**」

32.5.1　チャネル連動動作のルール

マスタおよびスレーブチャネル数

- マスタチャネルには、偶数チャネル（CH0、CH2、CH4、…）のみ設定できます。スレーブチャネルには、CH0 を除くすべてのチャネルを設定できます。
- マスタチャネルより下位のチャネルのみスレーブチャネルとして設定でき、1 つのマスタチャネルに対し複数のスレーブチャネルを設定できます。
  例：CH2 がマスタチャネルの場合、CH3 以下（CH3、CH4、CH5、…）をスレーブチャネルに設定できます。
- マスタチャネルを複数使用する場合、マスタチャネルを跨いだスレーブチャネルの設定はできません。CH0、CH4 がマスタチャネルの場合、CH0 に対して CH1～CH3 までをスレーブチャネルとして設定できますが、CH5～CH15 は設定できません。

動作クロック

- マスタチャネルと連動するスレーブチャネルには同じ動作クロックを設定する必要があります。マスタチャネルとスレーブチャネルの TAUDnCMORm.TAUDnCKS[1:0]ビットの設定値を同じ設定値にしてください。

マスタおよびスレーブチャネルの使用と動作クロックの基本的な概念を「**図 32.4 チャネルのグループ化と動作クロックの割り当て**」に示します。

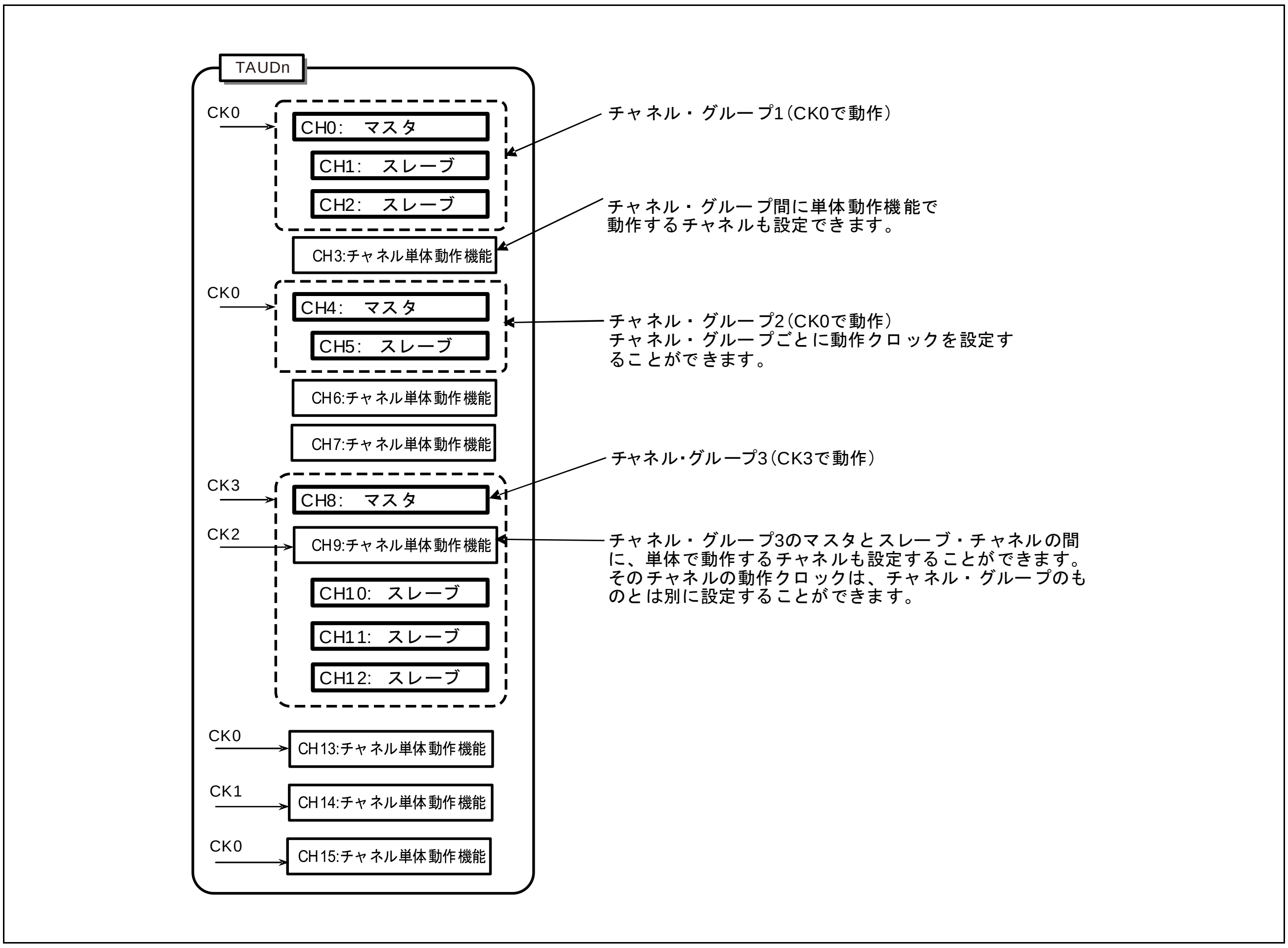


図 32.4　　チャネルのグループ化と動作クロックの割り当て

マスタチャネル、スレーブチャネルの制御トリガ信号

- マスタチャネルは、制御トリガ信号をスレーブチャネルに出力することができます。
- スレーブチャネルは、マスタチャネルの制御トリガ信号を使用できますが、スレーブチャネル自身の制御トリガ信号を下位チャネルに出力することはできません。
- マスタチャネルは、自身より上位のマスタチャネルの制御トリガ信号を使用することはできません。

32.5.2　連動チャネルカウンタの同時動作開始／停止

連動するチャネルは、同じユニット内およびユニット間で同時に開始／停止することができます。

32.5.2.1　ユニット内の連動チャネルカウンタの同時動作開始／停止

- 連動するチャネルを同時に開始させるためには、それらの TAUDnTS.TAUDnTSm ビットを同時に設定する必要があります。
- 連動するチャネルを同時に停止させるためには、それらの TAUDnTT.TAUDnTTm ビットを同時に設定する必要があります。

TAUDnTS.TAUDnTSm ビットに“1”を設定することにより、対応する TAUDnTE.TAUDnTEm ビットが“1”にセットされ、カウント動作を許可します。カウンタのカウント開始タイミングは、動作モードに依存します。

32.5.2.2　ユニット間の同時スタート

異なるユニットのカウンタは、同時トリガ信号を受信する前にカウンタを許可することにより、同時に動作を開始できます。

ユニット間の同時スタート方法の詳細は、「**36.8 同時スタートトリガ機能**」を参照してください。

32.6　一斉書き換え

32.6.1　動作概要

一斉書き換えとは、複数チャネルのコンペア／スタート値と出力論理を一斉に書き換えることを指します。

対応するデータと制御レジスタ（TAUDnCDRm、TAUDnTOLm）は常に書き換えることができます。新しい値は、一斉書き換えがトリガされるまでカウンタ動作または出力信号に影響しません。

一斉書き換えは、次の場合にトリガされます。

- マスタチャネルまたは上位チャネル（動作モードによって異なる）のカウンタが特定の値に達した場合
- TAUDnRDC.TAUDnRDCm で指定された上位チャネルにて INTTAUDnIm が発生した場合

一斉書き換えは 4 つの方法で行えます。一斉書き換え方法の指定と、これらの方法で一斉書き換えがトリガされるタイミングを「**表 32.52 一斉書き換え方法とトリガタイミング**」に示します。

表 32.52　一斉書き換え方法とトリガタイミング

方式	トリガ	TAUDnRDE.TAUDnRDEm	TAUDnRDS.TAUDnRDSm	TAUDnRDM.TAUDnRDMm
—	一斉書き換えが行われない場合	0	0	0
A	マスタチャネルがカウントを再開／開始した場合	1	0	0
B	マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の［山］のタイミングでダウンカウントを開始した場合	1	0	1
C1	TAUDnRDC.TAUDnRDCm で指定した上位チャネルにて INTTAUDnIm が発生した場合	1	1	0/1
C2	外部信号によりトリガされる TAUDnRDC.TAUDnRDCm で指定した上位チャネルにて INTTAUDnIm が発生した場合	1	1	0/1

4 つの方法のうち、各チャネル動作機能で使用できる方法を「**表 32.53 チャネル機能と一斉書き換え方法**」に示します。各チャネル動作機能の詳細は、「**32.14 チャネル単体一斉書き換え機能」、「32.15 チャネル連動動作機能**」、「**32.16 連動非相補方式変調出力機能と連動相補方式変調出力機能**」を参照してください。

表 32.53　チャネル機能と一斉書き換え方法

機能	A	B	C1	C2	TAUDnTOL.TAUDnTOLm
一斉書き換えトリガ出力機能タイプ 1			○		
PWM 出力機能	○		○		○
ワンショットパルス出力機能	○				
トリガスタート PWM 出力機能	○			○	
ディレイパルス出力機能	○				
三角波 PWM 出力機能		○	○		○
デッドタイム付き三角波 PWM 出力機能		○	○		
割り込み要求信号間引き機能	○	○	○		
A/D 変換トリガ出力機能タイプ 1	○		○		
A/D 変換トリガ出力機能タイプ 2		○	○		
非相補方式変調出力機能タイプ 1	○		○		
非相補方式変調出力機能タイプ 2		○	○		
相補方式変調出力機能		○	○		

備考　○：使用可能、空欄：使用不可

32.6.2 一斉書き換えの制御方法

一斉書き換え機能を使用する場合の基本手順を「**図 32.5 一斉書き換えの基本手順**」に示します。3 つの主なブロック（初期設定、カウント開始&カウント動作、一斉書き換え）は後述します。

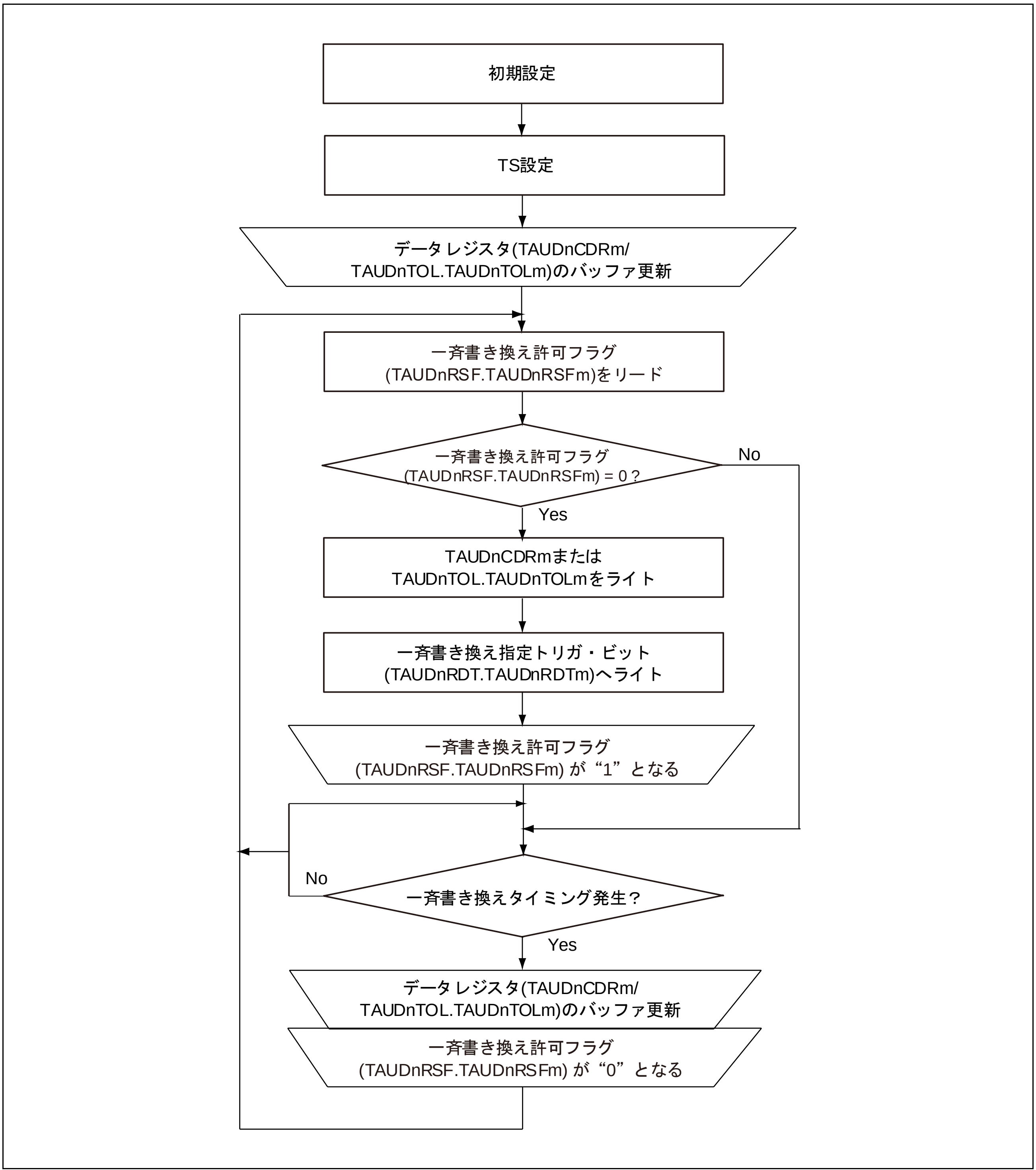


図 32.5 一斉書き換えの基本手順

32.6.2.1 初期設定

- チャネル m にて一斉書き換えを許可するには、TAUDnRDE.TAUDnRDEm＝1 を設定してください。
- 一斉書き換えの種類を選ぶには、TAUDnRDM.TAUDnRDMm と TAUDnRDS.TAUDnRDSm を「**表 32.52 一斉書き換え方法とトリガタイミング**」に示す値に設定してください。
- TAUDnRDC.TAUDnRDCm で、一斉書き換えトリガ生成チャネルを指定してください（前提：上位チャネルに TAUDnRDS.TAUDnRDSm が設定されている）

32.6.2.2 カウント開始とカウント動作

- チャネルグループに属するすべての TAUDnCNTm カウンタ動作を開始するには、対応する TAUDnTS.TAUDnTSm ビットを“1”に設定してください。TAUDnTOL.TAUDnTOLm とデータレジスタ（TAUDnCDRm）の値は、対応する TAUDnTOL.TAUDnTOLm バッファ（TAUDnTOL.TAUDnTOLm buf）とデータバッファレジスタ（TAUDnCDRm buf）にロードされ、カウンタはカウントを開始します。
- リロードデータトリガビット（TAUDnRDT.TAUDnRDTm）を“1”に設定することにより、リロードフラグ（TAUDnRSF.TAUDnRSFm）が“1”に設定され、一斉書き換えが許可されます。
  TAUDnRSF.TAUDnRSFm は一斉書き換えが完了するまで“1”のままです。
- 一斉書き換え用に指定されたトリガが検出されると、一斉書き換えが許可（TAUDnRSF.TAUDnRSFm＝1）されているかを確認するために TAUDnRSF.TAUDnRSFm ビットがチェックされます。一斉書き換えが許可されている場合、一斉書き換えが行われます。許可されていない場合、一斉書き換えは行われず、次の一斉書き換えトリガ検出待ちになります。

32.6.2.3 一斉書き換え

- 一斉書き換えが許可（TAUDnRSF.TAUDnRSFm＝1）され、一斉書き換えトリガが検出されると、データレジスタの現在値がバッファにコピーされます。これらの値は、対応するカウンタにロードされ、カウンタがカウントを開始／再開するときに適用されます。
- 一斉書き換えが完了すると、TAUDnRSF.TAUDnRSFm ビットは“0”に設定され、システムは次の一斉書き換えトリガを待ちます。

32.6.3 一斉書き換えのその他の基本ルール

次のルールも適用されます。

- カウンタ動作中（TAUDnTE.TAUDnTEm＝1）は、TAUDnRDE.TAUDnRDEm、TAUDnRDS.TAUDnRDSm、TAUDnRDM.TAUDnRDMm、TAUDnRDC.TAUDnRDCm を変更することはできません。
- PWM 出力機能または三角波 PWM 出力機能は、動作している場合でも TAUDnTOL.TAUDnTOLm を書き換えることができます。ほかの機能は、動作を開始する前に TAUDnTOL.TAUDnTOLm を書き換える必要があります。ほかの機能で動作しているときに書き換えた場合、TAUDTTOUTm は不正な値を出力します。
- 上位チャネルで一斉書き換えトリガを発行した場合（TAUDnRDS.TAUDnRDSm＝1）、すべての下位チャネルは TAUDnRDC.TAUDnRDCm ビットに制御されます。つまり、CH2 と CH7 の TAUDnRDC.TAUDnRDCm ビットを“1”に設定し、ほかのチャネルの TAUDnRDC.TAUDnRDCm ビットを“0”に設定した場合、CH2 と CH7 が一斉書き換えトリガ生成チャネルとなります。CH2 は、下位チャネル CH3～CH6 を制御し、CH7 は、下位チャネル CH8～CH15 を制御します。
- 一斉書き換えを許可し、ある上位チャネルを一斉書き換えトリガ生成チャネルとして選択（TAUDnRDE.TAUDnRDEm、TAUDnRDS.TAUDnRDSm＝1）したにもかかわらず、上位チャネルを設定していない場合（TAUDnRDC.TAUDnRDC[15:0]＝0）、一斉書き換えは行いません。

32.6.4　一斉書き換えの種類

次に、タイミング図を使用して 4 つの一斉書き換え方法を説明します。

32.6.4.1　マスタチャネルがカウントを再開／開始した場合の一斉書き換え（方法 A）

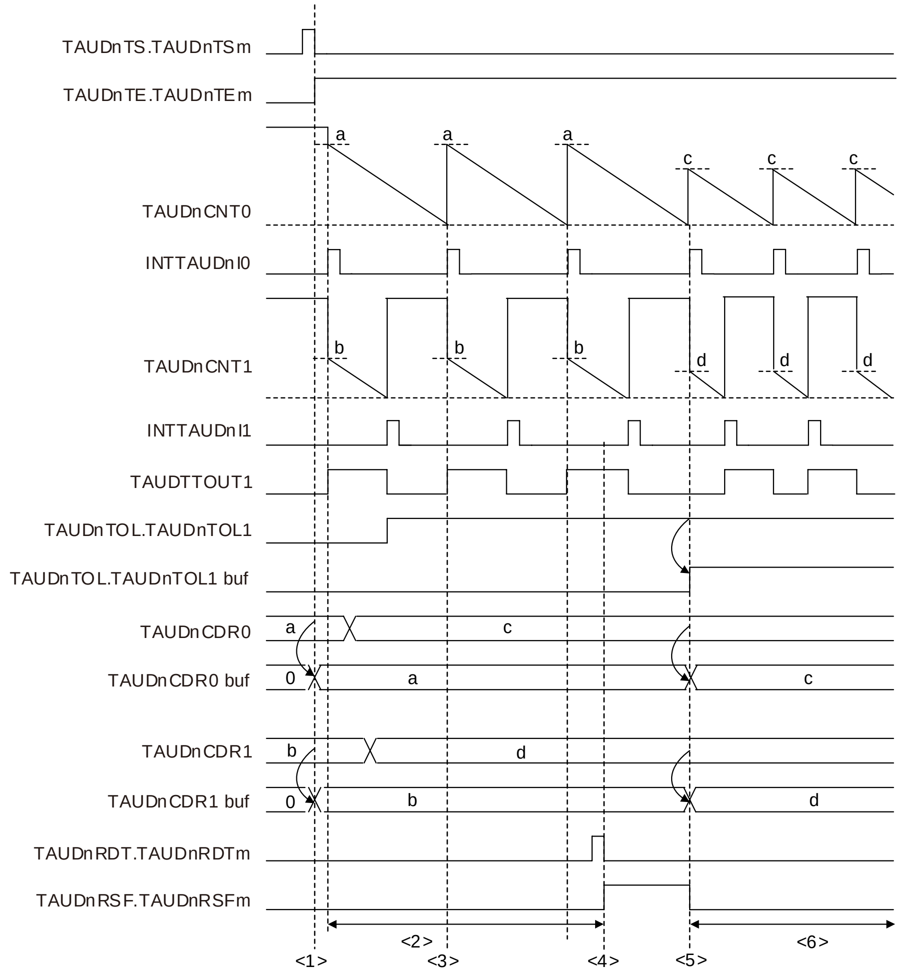


図 32.6　マスタチャネルがカウントを再開／開始した場合の一斉書き換え

設定

CH0 は、ダウンカウントを行うマスタチャネルです。CH1 は、任意のスレーブチャネルです。一斉書き換え方法 A が適用されます。

説明：

(1) TAUDnTS.TAUDnTSm＝1 に設定すると、TAUDnCDRm の値が TAUDnCDRm バッファに、TAUDnTOL.TAUDnTOLm の値が TAUDnTOL.TAUDnTOLm バッファにコピーされます。

(2) TAUDnCDRm と TAUDnTOL.TAUDnTOLm レジスタは常に書き込めます。

(3) CH0 はカウントを再開しますが、一斉書き換えは許可されていないため行われません（TAUDnRSF.TAUDnRSFm＝0）

(4) リロードデータトリガビット（TAUDnRDT.TAUDnRDTm）を“1”に設定することにより、ステータスフラグが設定され（TAUDnRSF.TAUDnRSFm＝1）、一斉書き換えが許可されます。

(5) 一斉書き換えが許可されているため、CH0 のカウント再開時に一斉書き換えが発生します。TAUDnCDRm の値は TAUDnCDRm バッファに、TAUDnTOL.TAUDnTOLm の値は TAUDnTOL.TAUDnTOLm バッファにロードされます。

(6) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUDnCDRm と TAUDnTOL.TAUDnTOLm の値は再変更できます。

32.6.4.2　スレーブチャネルの三角波の［山］のタイミングで一斉書き換え（方法 B）

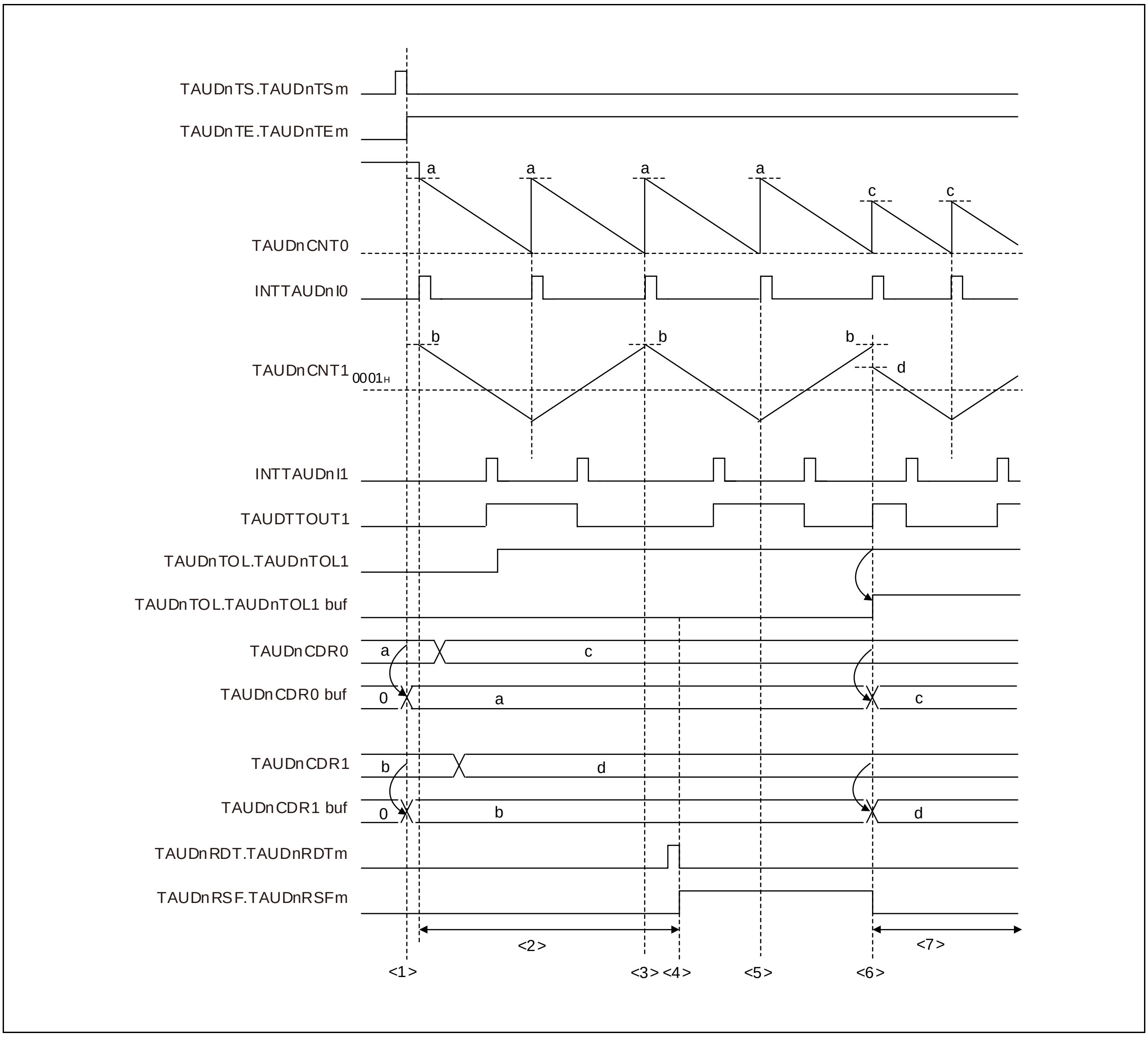


図 32.7　スレーブチャネルの三角波の［山］のタイミングで一斉書き換え

設定

CH0 は、ダウンカウントを行うマスタチャネルです。CH1 は、任意のスレーブチャネルです。一斉書き換え方法 B が適用されます。

説明：

(1) TAUDnTS.TAUDnTSm＝1 に設定すると、TAUDnCDRm の値が TAUDnCDRm バッファにコピーされます。

(2) TAUDnCDRm と TAUDnTOL レジスタは常に書き込めます。

(3) 一斉書き換えは許可されていないため行われません（TAUDnRSF.TAUDnRSFm＝0）。

(4) リロードデータトリガビット（TAUDnRDT.TAUDnRDTm）を“1”に設定することにより、ステータスフラグが設定され（TAUDnRSF.TAUDnRSFm＝1）、一斉書き換えが許可されます。

(5) 一斉書き換えは、三角波周期の［谷］のタイミングでは発生しません。

(6) 一斉書き換えは、三角波周期の［山］のスタートタイミングで行われます。TAUDnCDRm の値は TAUDnCDRm バッファに、TAUDnTOL.TAUDnTOLm の値は TAUDnTOL.TAUDnTOLm バッファにロードされます。

(7) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUDnCDRm と TAUDnTOL.TAUDnTOLm の値は再変更できます。

32.6.4.3 TAUDnRDC.TAUDnRDCm で指定した上位チャネルにて INTTAUDnIm が発生した場合の一斉書き換え（方法 C1）

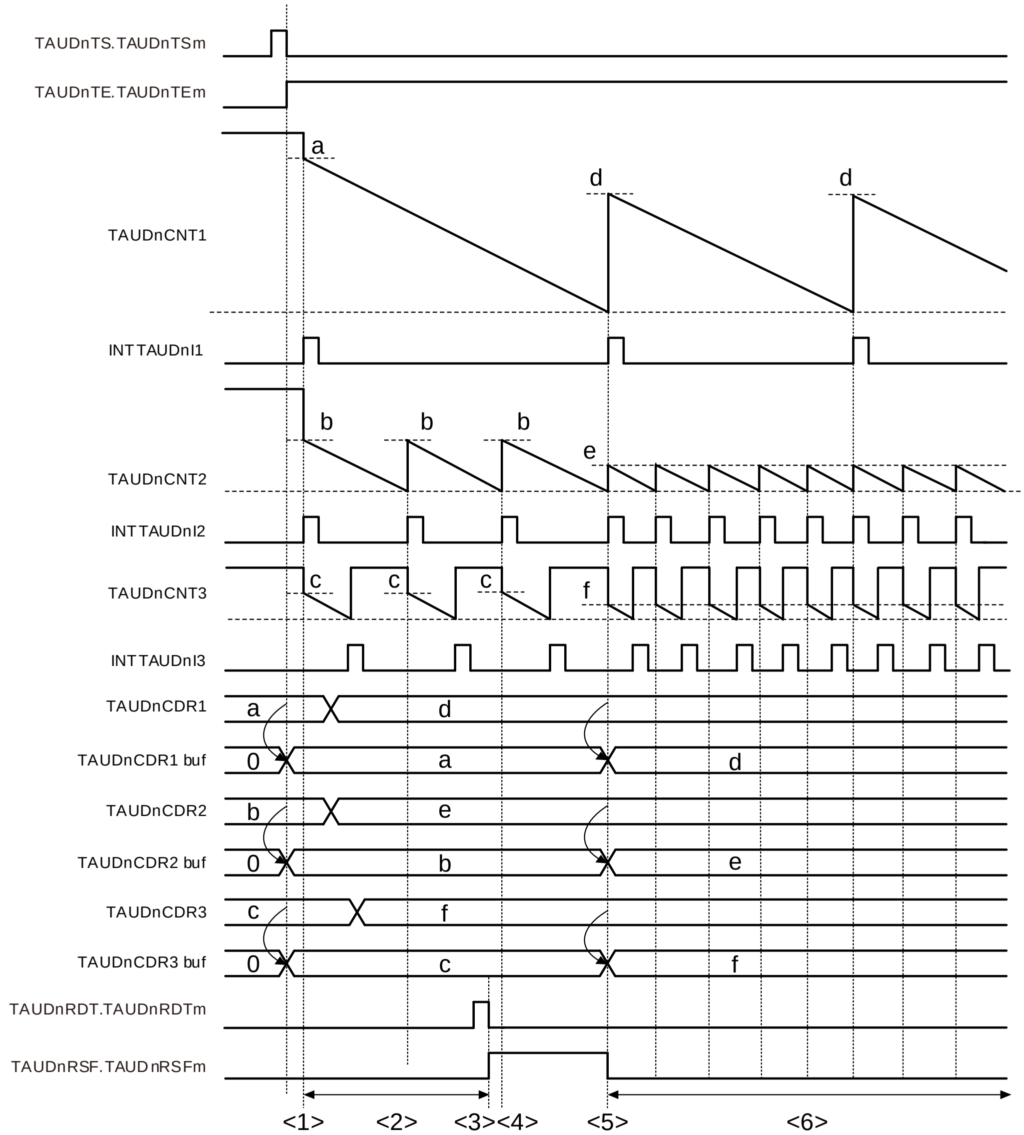


図 32.8　TAUDnRDC.TAUDnRDCm で指定した上位チャネルにて INTTAUDnIm が発生した場合の一斉書き換え

設定

CH1 は、ダウンカウントを行う上位チャネルです。CH2 は、マスタチャネルです。CH3 は、スレーブチャネルです。一斉書き換え方法 C1 が適用されます。TAUDnRDC レジスタで、一斉書き換えトリガ生成チャネルを指定します。

説明：

(1) TAUDnTS.TAUDnTSm＝1 に設定すると、TAUDnCDRm の値が TAUDnCDRm バッファにコピーされます。
(2) TAUDnCDRm レジスタは常に書き込めます。
(3) リロードデータトリガビット（TAUDnRDT.TAUDnRDTm）を“1”に設定することにより、ステータスフラグが設定され（TAUDnRSF.TAUDnRSFm＝1）、一斉書き換えが許可されます。
(4) 一斉書き換えは、CH1 の割り込みのみによってトリガされるため、許可されていても行われません。
(5) 一斉書き換えは、カウンタ 1 が 0000_H に達したときに発生する INT1 をトリガとして行われます。TAUDnCDRm の値は対応する TAUDnCDRm バッファにロードされます。
(6) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUDnCDRm レジスタの値は再変更できます。

32.6.4.4　外部信号によりトリガされる TAUDnRDC.TAUDnRDCm で指定した上位チャネルにて INTTAUDnIm が発生した場合の一斉書き換え（方法 C2）

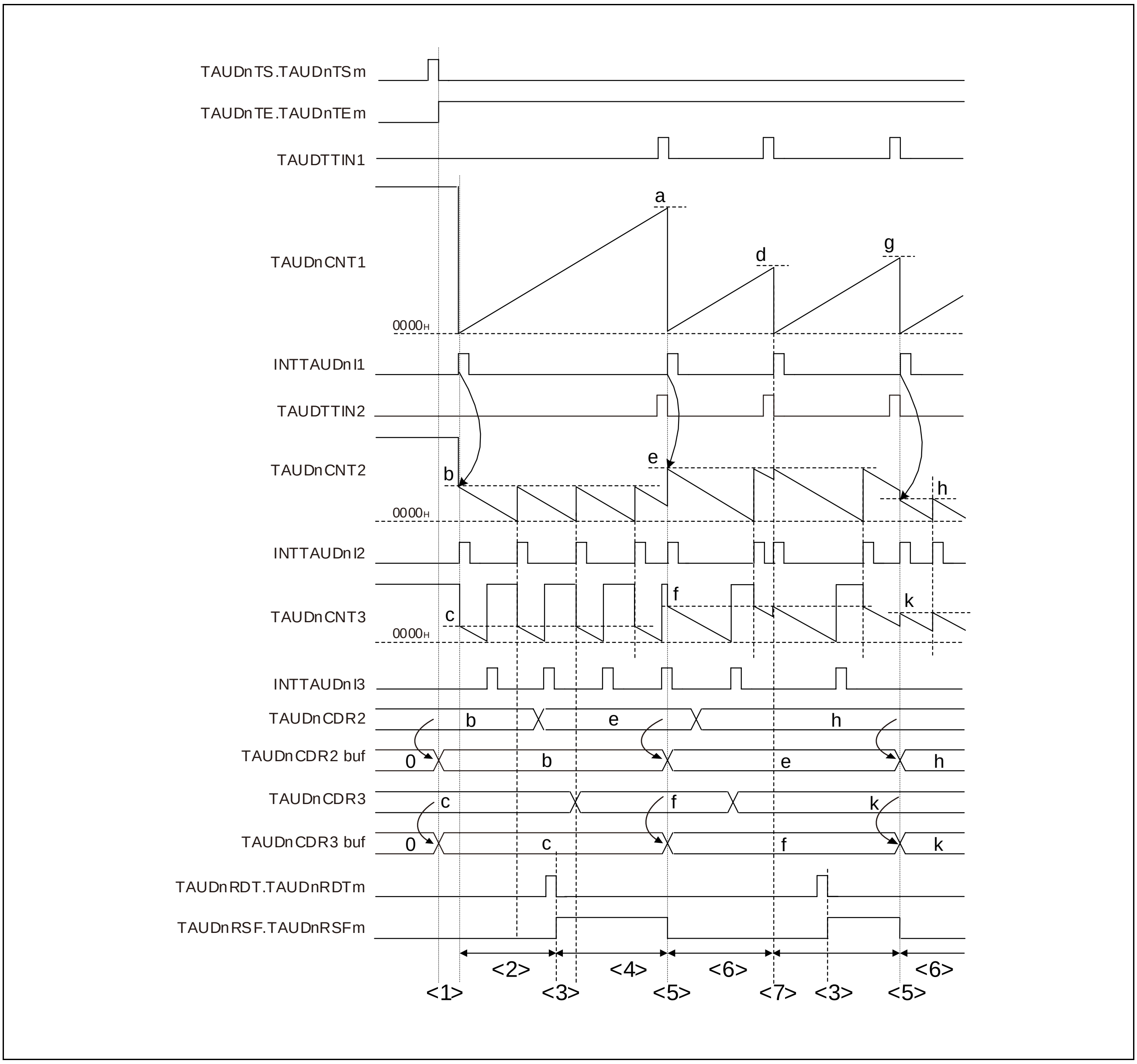


図 32.9　外部信号によりトリガされる TAUDnRDC.TAUDnRDCm で指定した上位チャネルにて INTTAUDnIm が発生した場合の一斉書き換え

設定

CH1 は、アップカウントを行う上位チャネルです。CH2 は、マスタチャネルです。CH3 は、スレーブチャネルです。チャネル連動動作方法 C2 が適用されます。TAUDnRDC レジスタは、INTTAUDnIm トリガにてモニタする上位チャネルを指定します。

説明：

(1)　TAUDnTS.TAUDnTSm＝1 に設定すると、TAUDnCDRm の値が TAUDnCDRm バッファにコピーされます。ただし、TAUDnCDR1 はキャプチャモードのため、TAUDnCDR1 の値が TAUDnCDR1 バッファにコピーされません。

(2) TAUDnCDRm レジスタは常に書き込めます。

(3) リロードデータトリガビット（TAUDnRDT.TAUDnRDTm）を“1”に設定することにより、ステータスフラグが設定され（TAUDnRSF.TAUDnRSFm＝1）、一斉書き換えが許可されます。

(4) 一斉書き換えは、CH1 の割り込みのみによってトリガされるため、許可されていても行われません。

(5) 一斉書き換えは、外部信号 TIN1 で発生する INT1 をトリガとして行われます。TAUDnCDRm の値は、対応する TAUDnCDRm バッファにロードされます。

(6) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUDnCDRm レジスタの値は再変更できます。

(7) TIN2 で外部信号が発生しますが、一斉書き換えは許可されていない（TAUDnRSF.TAUDnRSFm＝0）ため行われません。

32.7　チャネル出力モード

TAUDTTOUTm 端子の出力は、2 つの方法で制御することができ、2 つ目の方法はさらに個別のモードに分かれています。

- ソフトウェアによる制御（TAUDnTOE.TAUDnTOEm＝0）
  ソフトウェアで制御した場合、出力レジスタビット（TAUDnTO.TAUDnTOm）に書き込んだ値は、出力端子（TAUDTTOUTm）に転送されます。
- TAUD 信号による制御（TAUDnTOE.TAUDnTOEm＝1）
  TAUD 信号で制御した場合、TAUDTTOUTm の出力レベルはセット／リセット、または内部信号によりトグルされます。これに応じて、TAUDTTOUTm の値を反映するために、TAUDnTO.TAUDnTOm の値は更新されます。
  - 単体制御（TAUDnTOM.TAUDnTOMm＝0）
    単体動作の場合、TAUDTTOUTm 端子の出力はチャネル m の設定のみの影響を受けます。したがって、チャネル単体動作を指定（TAUDnTOM.TAUDnTOMm＝0）する必要があります。
  - 連動制御（TAUDnTOM.TAUDnTOMm＝1）
    連動動作の場合、TAUDTTOUTm 端子の出力は、チャネル m とその他のチャネルの設定の影響を受けます。したがって、すべての連動するチャネルに対してチャネル連動動作を指定する必要があります（TAUDnTOM.TAUDnTOMm＝1）。

TAUDnTO.TAUDnTOm ビットは常にリードすることができ、端子がソフトウェアで制御されている、単体動作している、または連動動作しているにかかわらず、TAUDTTOUTm の現在の値を確認することができます。

制御ビット

特定のチャネル出力モードを選択するために必要な制御ビットの設定は、「**表 32.54 チャネル出力モード**」に示します。

チャネル出力モードの詳細は次の節を参照してください。

- 「**32.7.2 TAUDn 信号により単体制御されるチャネル出力モード**」
- 「**32.7.3 TAUDn 信号により連動制御されるチャネル出力モード**」

TAUDnTOm ビットの一括操作

TAUDnTOm ビットへの設定値の反映／非反映は、TAUDnTOE.TAUDnTOEm ビットにより制御されます。

TAUDnTO レジスタにライトした時に、TAUDnTOE.TAUDnTOEm ビット＝0 を設定したビット（チャネル）にのみ、TAUDnTOm の設定値の書き込みが行われます。

TAUDnTOE.TAUDnTOEm ビット＝1 を設定したビット（チャネル）は、TAUDnTOm の設定値は反映されません。

備　考

TAUDnTO.TAUDnTOm ビットは、ビット番号とチャネル番号が対応して配置しています。

出力論理

出力の正論理または負論理は、制御ビット TAUDnTOL.TAUDnTOLm で指定します。

TAUDnTOL.TAUDnTOLm ビット値はカウンタ動作開始前に設定する必要があります。このビットを動作中に書き換えられるのは、PWM 出力機能または三角波 PWM 出力機能時のみです。カウンタ動作開始後に TAUDnTOL.TAUDnTOLm を変更すると、TAUDTTOUTm 信号の出力は不定になります。

「**32.6 一斉書き換え**」を参照してください。

各種チャネル出力モードとチャネル出力制御ビットを「**表 32.54 チャネル出力モード**」に示します。

表 32.54　チャネル出力モード

<table>
<tr><th>チャネル出力モード</th><th>TAUDn TOE. TAUDn TOEm</th><th>TAUDn TOM. TAUDn TOMm</th><th>TAUDn TOC. TAUDn TOCm</th><th>TAUDn TDE. TAUDn TDEm</th><th>TAUDn TRE. TAUDn TREm</th><th>TAUDn TME. TAUDn TMEm</th><th>TAUDn TDM. TAUDn TDMm</th></tr>
<tr><td colspan="8">ソフトウェア制御</td></tr>
<tr><td>ソフトウェア制御のチャネル単体出力モード</td><td>0</td><td colspan="6">X</td></tr>
<tr><td colspan="8">TAUD 信号による単体動作制御</td></tr>
<tr><td>チャネル単体出力モード 1</td><td rowspan="3">1</td><td rowspan="3">0</td><td rowspan="2">0</td><td rowspan="3">0</td><td>0</td><td rowspan="3">0</td><td rowspan="3">0</td></tr>
<tr><td>リアルタイム出力を行うチャネル単体出力モード 1</td><td>1</td></tr>
<tr><td>チャネル単体出力モード 2</td><td>1</td><td>0</td></tr>
<tr><td colspan="8">TAUD 信号による連動動作制御</td></tr>
<tr><td>チャネル連動出力モード 1</td><td rowspan="7">1</td><td rowspan="7">1</td><td rowspan="2">0</td><td rowspan="2">0</td><td>0</td><td>0</td><td rowspan="2">0</td></tr>
<tr><td>非相補方式変調出力を行うチャネル連動出力モード 1</td><td>1</td><td>X</td></tr>
<tr><td>チャネル連動出力モード 2</td><td rowspan="4">1</td><td>0</td><td rowspan="3">0</td><td rowspan="3">0</td><td rowspan="2">0</td></tr>
<tr><td>デッドタイム出力を行うチャネル連動出力モード 2</td><td rowspan="3">1</td></tr>
<tr><td>1 相 PWM 出力を行うチャネル連動出力モード 2</td><td>1</td></tr>
<tr><td>相補方式変調出力を行うチャネル連動出力モード 2</td><td rowspan="2">1</td><td rowspan="2">1</td><td rowspan="2">0</td></tr>
<tr><td>非相補方式変調出力を行うチャネル連動出力モード 2</td><td>1</td><td>0</td></tr>
</table>

- 表に記述のない組み合わせは禁止です。
- “x”が記されているビットは、任意の値を設定できます。

備　考

1. 次のビットは、カウント動作中（TAUDnTE.TAUDnTEm＝1）は変更できません。
   - TAUDnTOM.TAUDnTOMm
   - TAUDnTOC.TAUDnTOCm
   - TAUDnTDE.TAUDnTDEm
   - TAUDnTRE.TAUDnTREm
   - TAUDnTDM.TAUDnTDMm
2. 次のビットは、変調出力を行うチャネル出力モードを除き、カウント動作中（TAUDnTE.TAUDnTEm＝1）は変更できません。
   - TAUDnTME.TAUDnTMEm
   - TAUDnTDL.TAUDnTDLm

32.7.1 チャネル出力モードを指定するための基本手順

TAUDTTOUTm チャネル出力モードを指定するための基本手順を次に説明します。タイマ出力動作が禁止されていることが前提になります（TAUDnTOE.TAUDnTOEm＝0）。

(1) TAUDnTO.TAUDnTOm を設定して TAUDTTOUTm 出力の初期レベルを指定してください。

(2) 「**表 32.54 チャネル出力モード**」を参照してチャネル出力モードを設定し、TAUDnTOL.TAUDnTOLm ビットで出力論理を設定してください。

(3) カウンタのカウントを開始してください（TAUDnTS.TAUDnTSm＝1）。

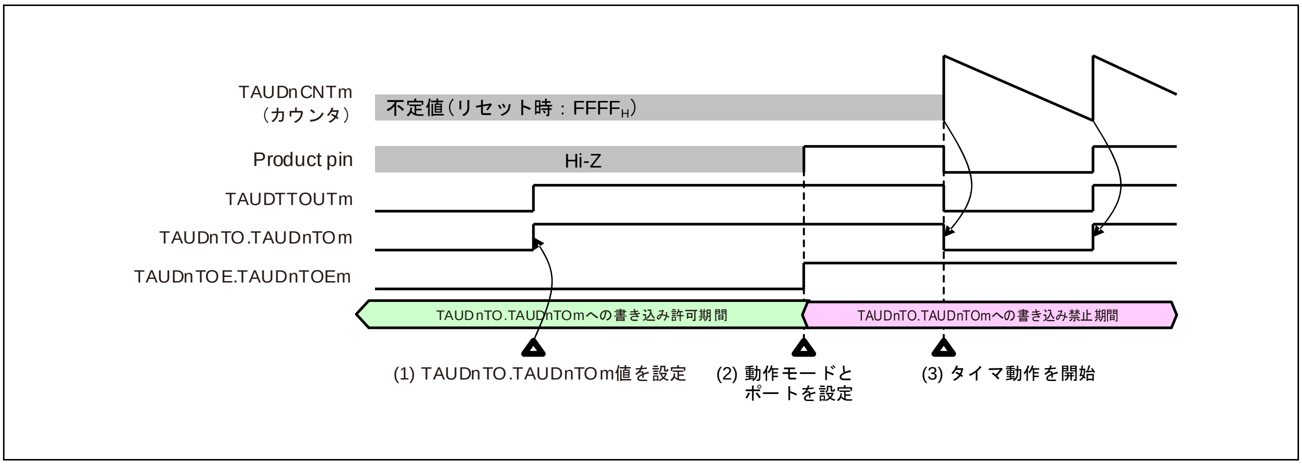


図 32.10　TAUDTTOUTm チャネル出力モードを指定するための基本手順

32.7.2　TAUDn 信号により単体制御されるチャネル出力モード

この節では、TAUDn 信号により単体制御されるチャネル出力モードを示します。モードを指定する制御ビットは、「**表 32.54　チャネル出力モード**」に示します。

32.7.2.1　チャネル単体出力モード 1

セット／リセット条件

この出力モードでは、INTTAUDnIm が検出されると TAUDTTOUTm がトグルされます。

TAUDnTOL.TAUDnTOLm の値は無視されます。

前提条件

「**表 32.54　チャネル出力モード**」に示す条件以外の条件はありません。

32.7.2.2　リアルタイム出力を行うチャネル単体出力モード 1

この出力モードでは、トリガチャネルの TAUDnTRO.TAUDnTROm ビットが TAUDTTOUTm に出力されます。トリガチャネルは、対応する TAUDnTRC.TAUDnTRCm ビットを“1”に設定することで指定します。トリガチャネルは、TAUDnTRC.TAUDnTRCm＝0 が設定されているすべての下位チャネルを制御します。

セット／リセット条件

TAUDnTRO.TAUDnTROm ビットの値は、トリガチャネルで INTTAUDnIm 割り込みが発生した場合にのみ TAUDTTOUTm に転送されます。INTTAUDnIm 割り込みは、次のいずれかの場合に発生します。

- 指定した周期
- 有効な TAUDTTINm 入力エッジ、またはカウント開始の検出

トリガの種類は、TAUDnCMORm.TAUDnMD[4:1]ビットで設定します。

前提条件

マスタチャネルおよびスレーブチャネルは、ともにトリガ生成チャネルとして設定できます。
TAUDnTRC.TAUDnTRCm を“1”に設定したチャネルは、TAUDnTRE.TAUDnTREm の値にかかわらずトリガ生成チャネルとして動作します。

上位チャネルの TAUDnTRC.TAUDnTRCm に“1”を設定したチャネルが上位にない場合、または TAUDnTRC.TAUDnTRC0＝0 を設定したチャネルは、リアルタイム出力を行いません。

これを「**図 32.11 リアルタイム出力**」に示します。

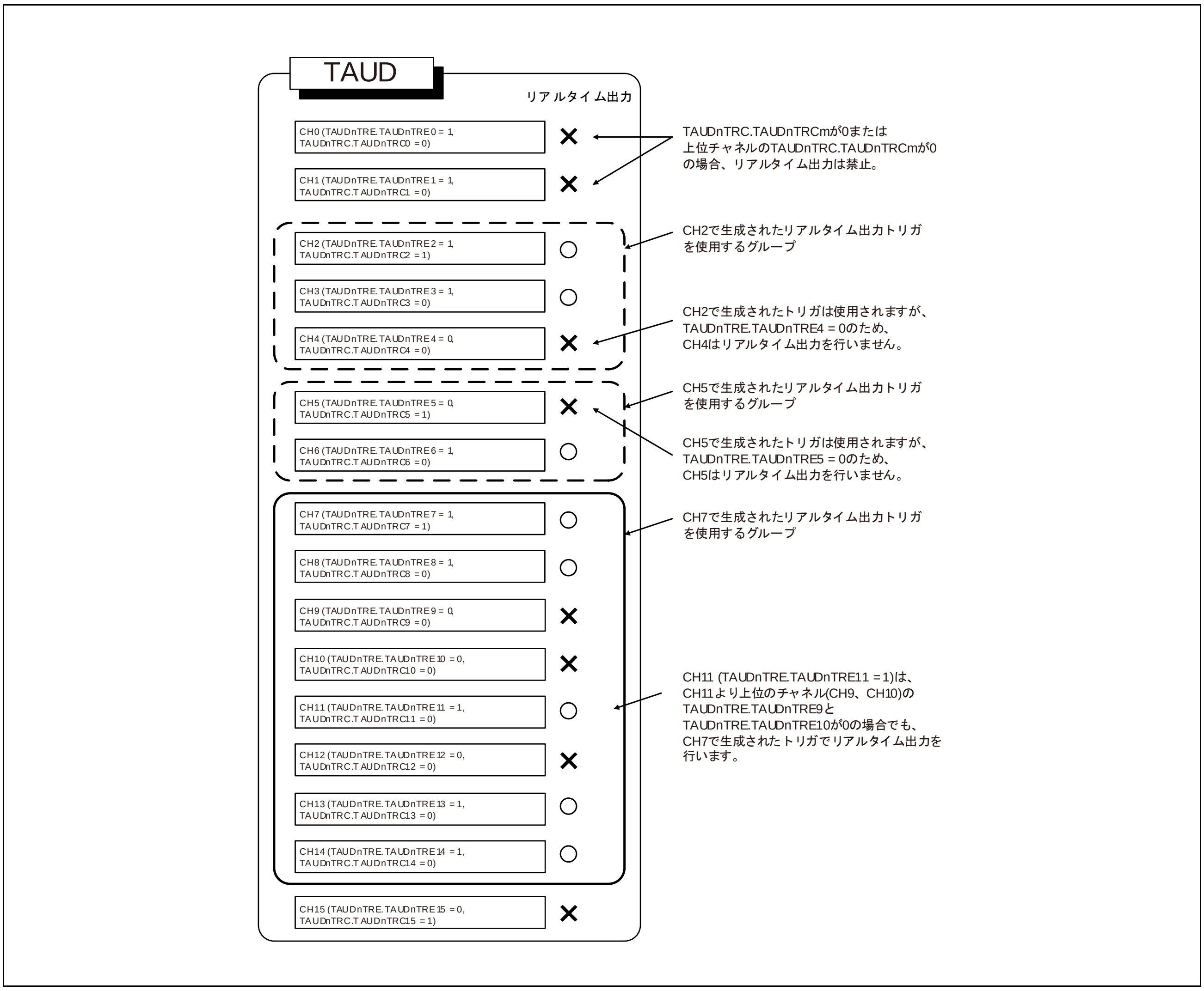


図 32.11　リアルタイム出力

32.7.2.3　　チャネル単体出力モード 2

セット／リセット条件

この出力モードでは、TAUDTTOUTm は、カウント開始の INTTAUDnIm 発生でセット、TAUDnCNTm と TAUDnCDRm の一致による INTTAUDnIm 発生でリセットされます。

前提条件

「**表 32.54 チャネル出力モード**」に示す条件以外の条件はありません。

32.7.3 TAUDn 信号により連動制御されるチャネル出力モード

この節では、TAUDn 信号により連動制御されるチャネル出力モードを示します。モードを指定する制御ビットは、「**表 32.54 チャネル出力モード**」に示します。

32.7.3.1 チャネル連動出力モード 1

セット／リセット条件

この出力モードでは、マスタチャネルの INTTAUDnIm がセット信号、スレーブチャネルの INTTAUDnIm がリセット信号となります。マスタチャネルの INTTAUDnIm とスレーブチャネルの INTTAUDnIm が同時発生した場合、スレーブチャネルの INTTAUDnIm（リセット信号）は、マスタチャネルの INTTAUDnIm（セット信号）より優先されます（マスタチャネルは無視されます）。

前提条件

「**表 32.54 チャネル出力モード**」に示す条件以外の条件はありません。

32.7.3.2 非相補方式変調出力を行うチャネル連動出力モード 1

セット／リセット条件

この出力モードでは、TAUDTTOUTm は、あるチャネルの PWM 出力とリアルタイム出力ビット（TAUDnTRO.TAUDnTROm）間の AND 演算の結果を出力します。

デッドタイムが付加される位相は、正相位相の場合は TAUDnTDL.TAUDnTDLm＝0、逆相位相の場合は TAUDnTDL.TAUDnTDLm＝1 を設定してください。

前提条件

PWM 出力を生成するには 3 つ以上のチャネル 1 組が必要です。マスタチャネルとスレーブチャネル 1 は周期を生成し、スレーブチャネル 2 はデューティサイクルを生成します。代表的なアプリケーションでは、スレーブチャネル 2 と同様に動作するスレーブチャネルをさらに 5 つ使用します。

同じチャネルの PWM 出力とリアルタイム出力ビットのみ組み合わせることができます。

TAUDnTRO.TAUDnTROm、TAUDnTME.TAUDnTMEm、TAUDnTDL.TAUDnTDLm は、カウント動作中のみ変更できます。

- TAUDnTME.TAUDnTMEm を変更した場合、TAUDnTME.TAUDnTMEm の新しい値は、指定したチャネルで INTTAUDnIm が検出されたときに適用されます。
- TAUDnTME.TAUDnTMEm と TAUDnTDL.TAUDnTDLm を変更した場合、新しい値は、マスタチャネルで INTTAUDnIm が検出されたときに適用されます。

32.7.3.3 チャネル連動出力モード 2

この出力モードでは、動作モードをアップ／ダウンカウントモードに設定する必要があります。その結果、TAUDTTOUTm より三角波 PWM が出力されます。詳細は「**32.15.7 三角波 PWM 出力機能**」を参照してください。

セット／リセット条件

スレーブチャネルの TAUDnCNTm は、アップ／ダウンカウントを繰り返します。カウントが 0001_H を越えると、割り込みを発生し、TAUDTTOUTm をトグルします。

前提条件

三角波 PWM 出力を生成するには 2 つで 1 組のチャネルが必要です。TAUDTTOUTm は、機能を開始する前に“0”に設定する必要があります。

32.7.3.4　デッドタイム出力を行うチャネル連動出力モード 2

この出力モードでは、TAUDTTOUTm にデッドタイム遅延が付加されます。セット／リセット条件を「**図 32.12 デッドタイム出力を行うチャネル連動出力モード 2 のセット／リセット条件**」に示します。

セット／リセット条件

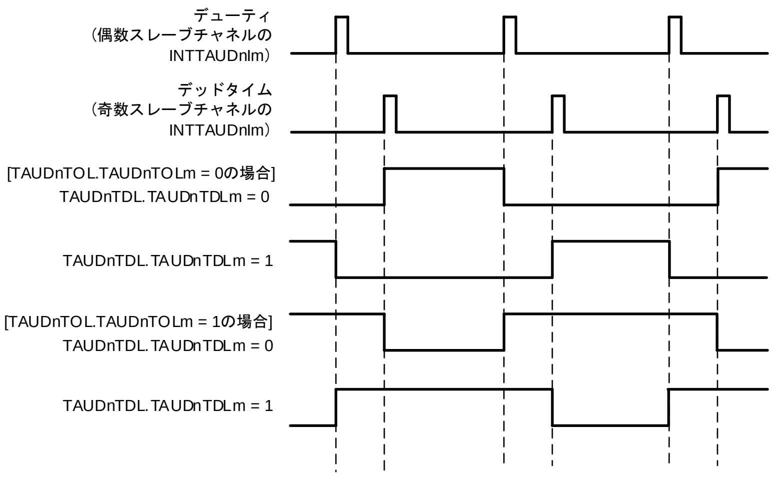


図 32.12　デッドタイム出力を行うチャネル連動出力モード 2 のセット／リセット条件

デッドタイムが付加されるエッジは、立ち上がりエッジの場合は TAUDnTDL.TAUDnTDLm＝0、立ち下がりエッジの場合は TAUDnTDL.TAUDnTDLm＝1 を設定してください。

前提条件

デッドタイムを制御するには、それぞれ次のモードで操作する 3 つで 1 組のチャネルが必要です。

- マスタチャネル
  マスタチャネルは、インターバルタイマモードに設定する必要があります。
- 偶数スレーブチャネル
  偶数スレーブチャネルは、アップ／ダウンカウントモードに設定する必要があります。
- 奇数スレーブチャネル（偶数チャネル＋1）
  奇数スレーブチャネルは、ワンカウントモードに設定する必要があります。

奇数チャネルと偶数チャネルでは、次のビットが同じ値である必要があります。

- TAUDnTOE.TAUDnTOEm
- TAUDnTME.TAUDnTMEm
- TAUDnTRE.TAUDnTREm
- TAUDnTOM.TAUDnTOMm
- TAUDnTOC.TAUDnTOCm

- TAUDnTDE.TAUDnTDEm
- TAUDnTDM.TAUDnTDMm

32.7.3.5　1 相 PWM 出力を行うチャネル連動出力モード 2

この出力モードでは、TAUDTTOUTm にデッドタイム遅延が付加されます。セット／リセット条件を「**図 32.13 1 相 PWM 出力を行うチャネル連動出力モード 2 のセット／リセット条件**」に示します。

セット／リセット条件

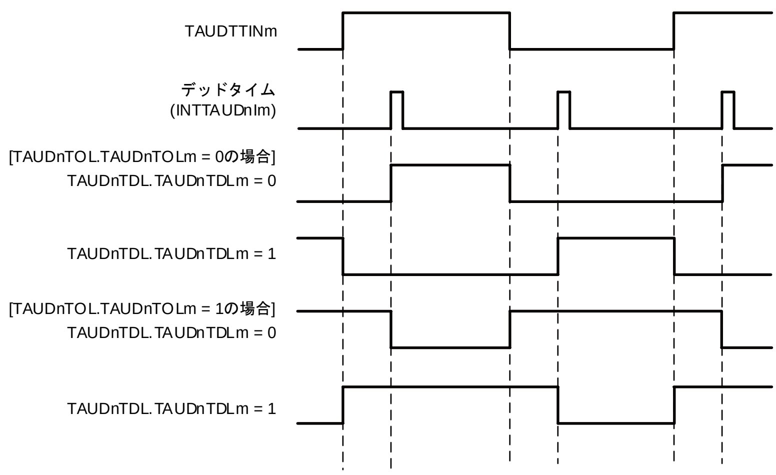


図 32.13　1 相 PWM 出力を行うチャネル連動出力モード 2 のセット／リセット条件

デッドタイムが付加されるエッジは、立ち上がりエッジの場合は TAUDnTDL.TAUDnTDLm＝0、立ち下がりエッジの場合は TAUDnTDL.TAUDnTDLm＝1 を設定してください。

前提条件

1 相 PWM 出力を制御するには、2 つで 1 組のチャネルが必要です。

- 偶数スレーブチャネル
- 奇数スレーブチャネル（偶数チャネル＋1）
  奇数スレーブチャネルは、ワンカウントモードに設定する必要があります。

奇数チャネルと偶数チャネルでは、次のビットが同じ値である必要があります。

- TAUDnTOE.TAUDnTOEm
- TAUDnTME.TAUDnTMEm
- TAUDnTRE.TAUDnTREm
- TAUDnTOM.TAUDnTOMm
- TAUDnTOC.TAUDnTOCm
- TAUDnTDE.TAUDnTDEm
- TAUDnTDM.TAUDnTDMm

32.7.3.6　相補方式変調出力を行うチャネル連動出力モード 2

セット／リセット条件

この出力モードでは、TAUDTTOUTm は、2 つで 1 組のスレーブチャネルのリアルタイム出力ビット（TAUDnTRO.TAUDnTROm）、変調出力ビット（TAUDnTME.TAUDnTMEm）、出力レベルビット（TAUDnTOL.TAUDnTOLm）の値に応じて PWM 信号、ハイレベル信号、またはロウレベル信号を出力します。

詳細は「**32.16.3 相補方式変調出力機能**」を参照してください。

前提条件

このモードでは、4 つ以上のチャネル 1 組が必要です。マスタチャネルとスレーブチャネル 1 は周期を生成し、スレーブチャネル 2 はデューティサイクルを生成し、スレーブチャネル 3 はデッドタイムを生成します。スレーブチャネル 2 とスレーブチャネル 3 は 2 つで 1 組です。代表的なアプリケーションでは、チャネル 2、チャネル 3 と同様に動作するスレーブチャネルをさらに 4 つ使用します。

TAUDnTRO.TAUDnTROm、TAUDnTME.TAUDnTMEm、TAUDnTDL.TAUDnTDLm は、カウント動作中のみ変更できます。

- TAUDnTME.TAUDnTMEm を動作中に変更した場合、TAUDnTME.TAUDnTMEm の新しい値は、指定したチャネルで INTTAUDnIm が検出されたときに適用されます。
- TAUDnTME.TAUDnTMEm と TAUDnTDL.TAUDnTDLm を変更した場合、新しい値は、偶数スレーブチャネルで INTTAUDnIm が検出されたときに適用されます。

32.7.3.7　非相補方式変調出力を行うチャネル連動出力モード 2

非相補方式変調出力を行うチャネル連動出力モード 1 とは PWM 波形が異なります。

モード 1 では矩形波ですが、モード 2 では三角波です。

32.8　各動作モードでのカウント開始タイミング

この節では、各動作モードにおいて TAUDnTS.TAUDnTSm を“1”に設定したあとの、カウンタ動作開始タイミングについて説明します。

データレジスタの値と割り込みが発生するかどうかは、モードとレジスタ設定によります。

注　意

本節に記載するカウント開始タイミングは参考例です。実際にはカウントクロックタイミングにより、カウント開始タイミングは前後します。

32.8.1　インターバルタイマモード、ジャッジモード、キャプチャモード、アップ／ダウンカウントモード、カウントキャプチャモード

TAUDnTS.TAUDnTSm が“1”に設定されたあと、カウンタは次のカウントクロックサイクル開始時に動作を開始します。このとき、データレジスタの値もロードされます。

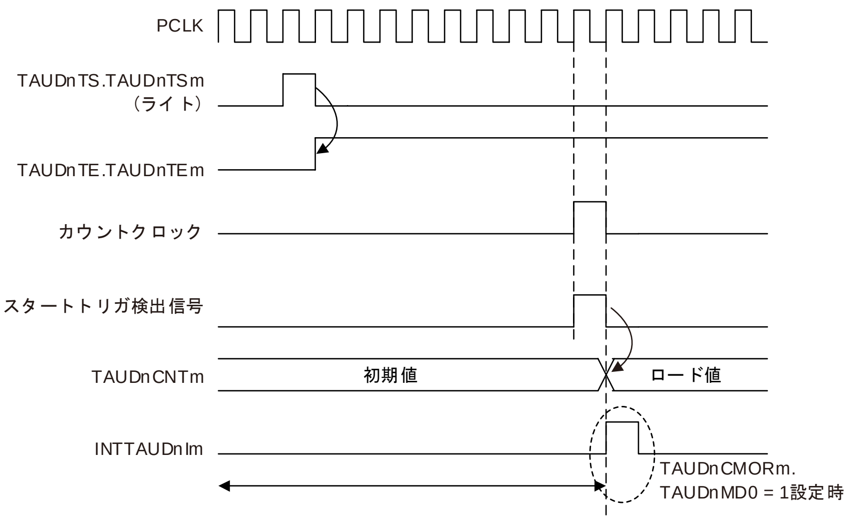


図 32.14　インターバルタイマモード、ジャッジモード、キャプチャモード、アップ／ダウンカウントモード、カウントキャプチャモードでの開始タイミング

備　考

アップ／ダウンカウントモード時は、必ず TAUDnCMORm.TAUDnMD0＝0 に設定してください。

32.8.2　イベントカウントモード

TAUDnTS.TAUDnTSm が“1”に設定されると、ただちにデータレジスタの値がロードされます。カウンタ動作もただちに開始されます。データレジスタの値は、以降のカウントクロックサイクルの開始時にデクリメントされます。

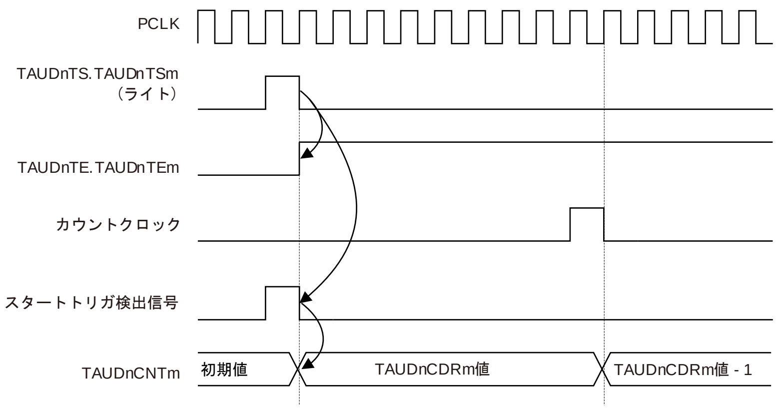


図 32.15　イベントカウントモード時の開始タイミング

32.8.3　その他の動作モード

その他の動作モードでは、カウンタは TAUDTTINm の有効エッジ検出によってのみトリガされます。カウントが開始されると、データレジスタ値もロードされます。カウントクロックサイクルはカウンタ動作開始には関係ありませんが、すべての動作を行う際の周波数を決定します。

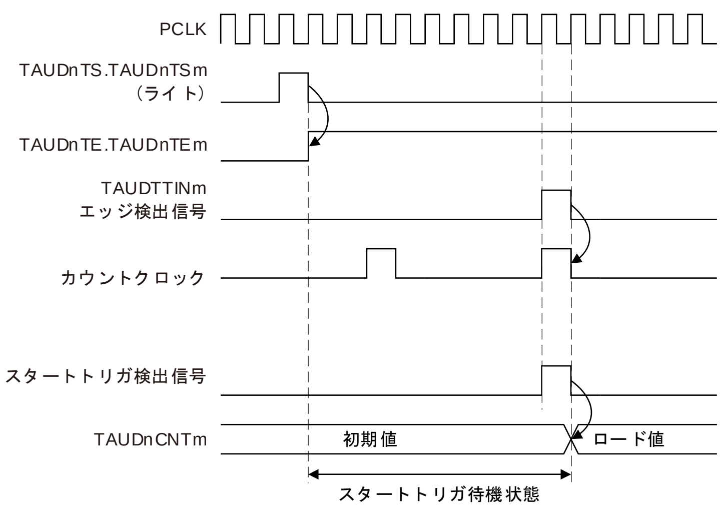


図 32.16　その他の動作モードでのカウント開始タイミング

32.9　カウント開始／リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成

カウンタのカウント開始時、TAUDnCMORm.TAUDnMD0 ビットで INTTAUDnIm を発生するかしないかを指定できます。TAUDnCMORm.TAUDnMD0 ビットがカウント開始時の INTTAUDnIm 発生、TAUDTTOUTm に与える影響は、選択した機能に依存します。詳細は、各機能の TAUDnCMORm.TAUDnMD0 の説明を参照してください。

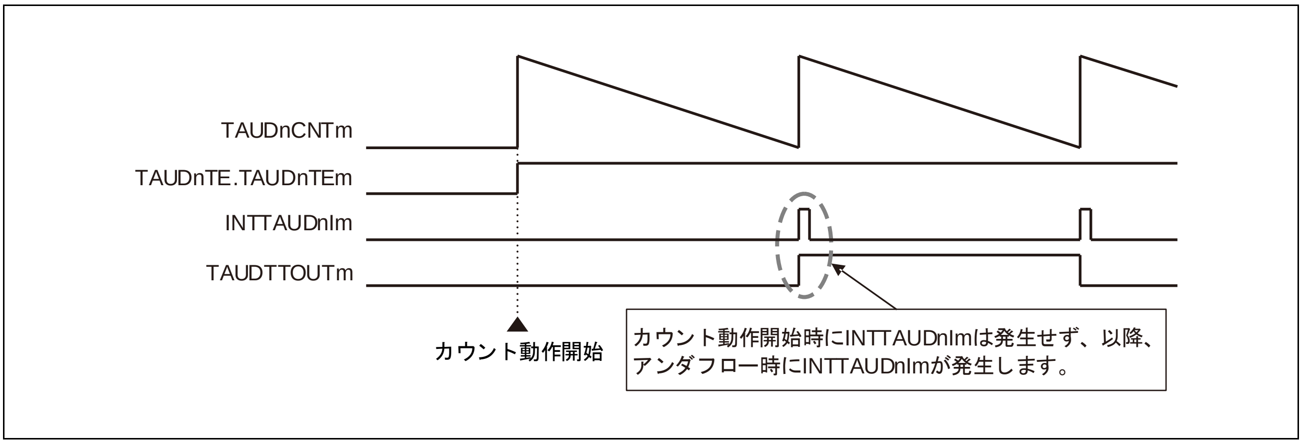


図 32.17　INTTAUDnIm の発生タイミング（TAUDnCMORm.TAUDnMD0＝0 設定時）

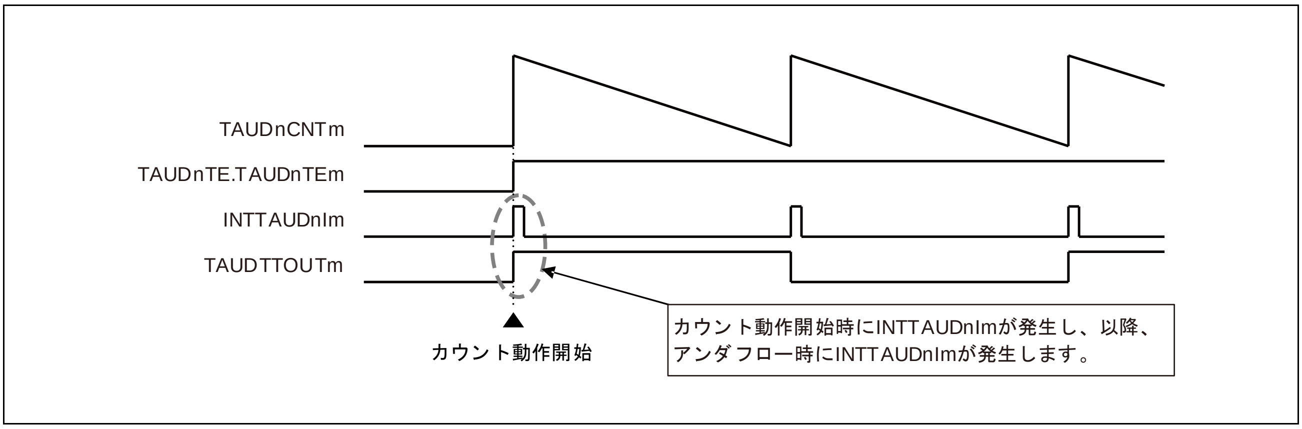


図 32.18　INTTAUDnIm の発生タイミング（TAUDnCMORm.TAUDnMD0＝1 設定時）

32.10 オーバフロー時の割り込み発生

特定の単体機能では、アップカウント時にカウンタ値が $FFFF_H$ になりオーバフローになる際、割り込みが発生しません。この節では、アップカウントを行うモードでのチャネル動作と、ダウンカウントを行うモードでのチャネル動作を組み合わせて割り込みを発生させる方法を説明します。

どの動作モードがセカンドチャネルに適切かは、ファーストチャネルの動作モードによって決まります。ただし、いずれの組み合わせでも原則は同じです。

- セカンドチャネルに、ファーストチャネルでのオーバフロー発生と同時に 0000_H になるようなダウンカウントを行う動作モードを設定します（TAUDnCNTm＝$FFFF_H$）。
- セカンドチャネルの TAUDnCDRm を $FFFF_H$ に設定します。
- 2 つのチャネルは同じ速度でカウントを行う必要があります（つまり、カウントクロックが同じでなければなりません）。
- 両チャネルが同じ TAUDTTINm 入力信号でトリガされます。
- 両チャネルのトリガ検出設定（TAUDnCMORm.TAUDnSTS[2:0]と TAUDnCMURm.TAUDnTIS[1:0]）は同じである必要があります。

結果：

ファーストチャネルのアップカウンタでのオーバフロー発生（TAUDnCNTm＝$FFFF_H$）と同時にセカンドチャネルのダウンカウンタが 0000_H になります。そしてセカンドチャネルは任意の割り込みを発生させます。

以降の節で、アップカウントを行う動作モードとの組み合わせに必要なダウンカウントを行う動作モードの一覧と、タイミング図の例を示します。

32.10.1　TAUDTTINm 入力パルスインターバル測定機能と TAUDTTINm 入力インターバルタイマ機能の組み合わせ

両チャネルの TAUDTTINm に同時にキャプチャトリガを入力することで、TAUDTTINm 入力パルスインターバル測定機能の TAUDnCNTm の FFFF$_H$ オーバフローを TAUDTTINm 入力インターバルタイマ機能の INTTAUDnIm で検出できます。

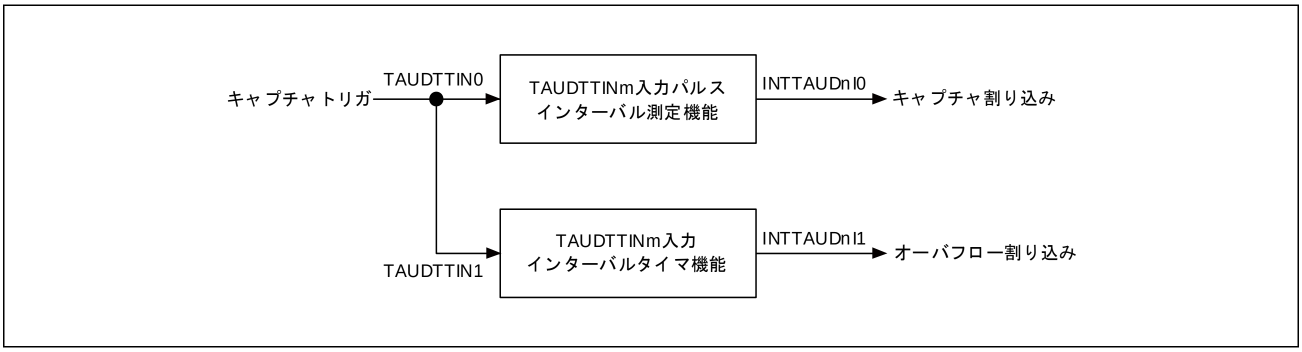


図 32.19　TAUDTTINm 入力パルスインターバル測定機能と TAUDTTINm 入力インターバルタイマ機能の組み合わせ

タイミング図

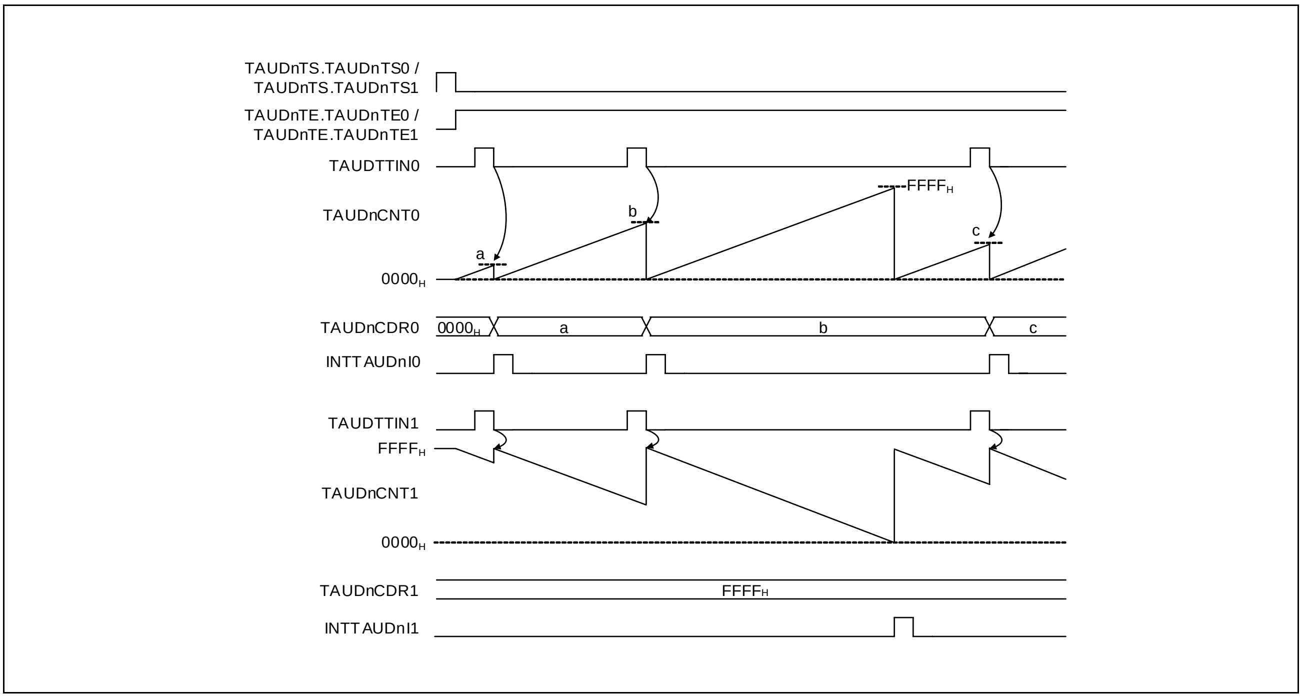


図 32.20　TAUDTTINm 入力パルスインターバル測定機能と TAUDTTINm 入力インターバルタイマ機能の組み合わせによる割り込み発生

32.10.2　TAUDTTINm 入力信号幅測定機能とオーバフロー割り込み出力機能（TAUDTTINm 幅測定時）の組み合わせ

両チャネルの TAUDTTINm に同時にキャプチャトリガを入力することで、TAUDTTINm 入力信号幅測定機能の TAUDnCNTm の $FFFF_H$ オーバフローをオーバフロー割り込み出力機能（TAUDTTINm 幅測定時）の INTTAUDnIm で検出できます。

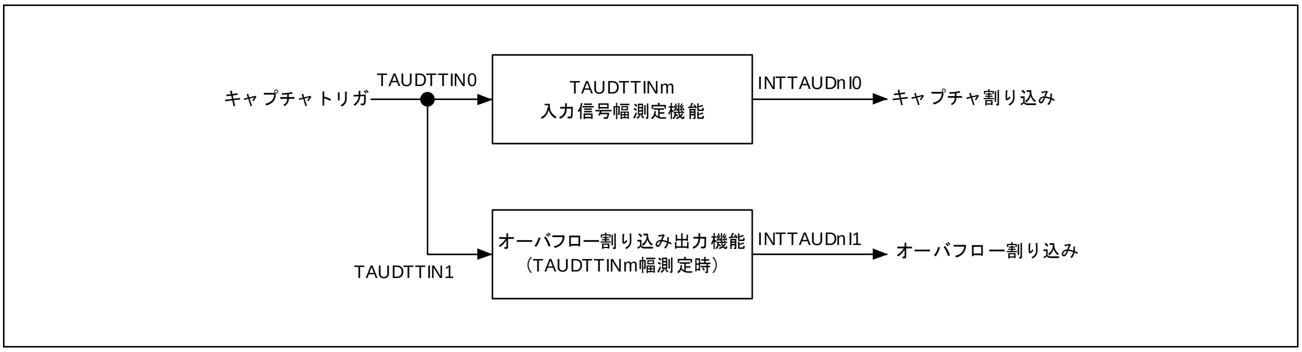


図 32.21　TAUDTTINm 入力信号幅測定機能とオーバフロー割り込み出力機能（TAUDTTINm 幅測定時）の組み合わせ

タイミング図

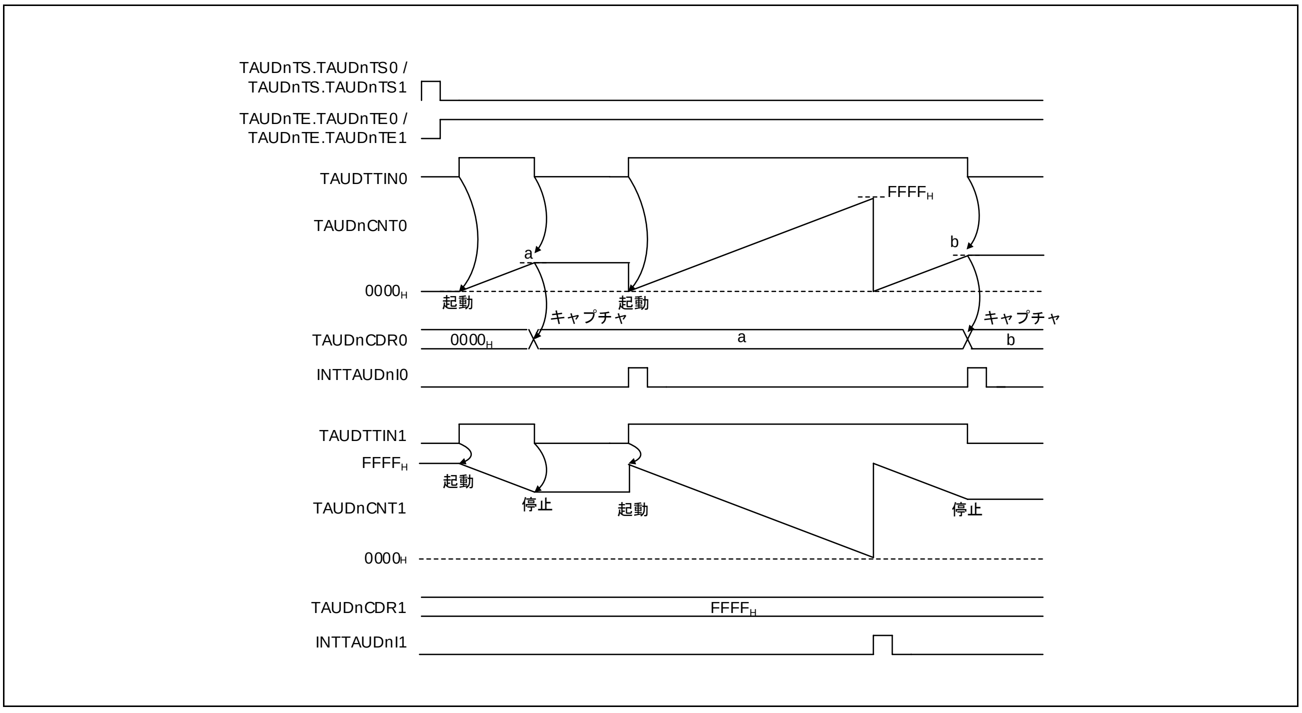


図 32.22　TAUDTTINm 入力信号幅測定機能とオーバフロー割り込み出力機能（TAUDTTINm 幅測定時）の組み合わせによる割り込み発生

32.10.3　TAUDTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ

両チャネルのカウンタを同時に開始することで、TAUDTTINm 入力位置検出機能の TAUDnCNTm の $FFFF_H$ オーバフローをインターバルタイマ機能の INTTAUDnIm で検出できます。

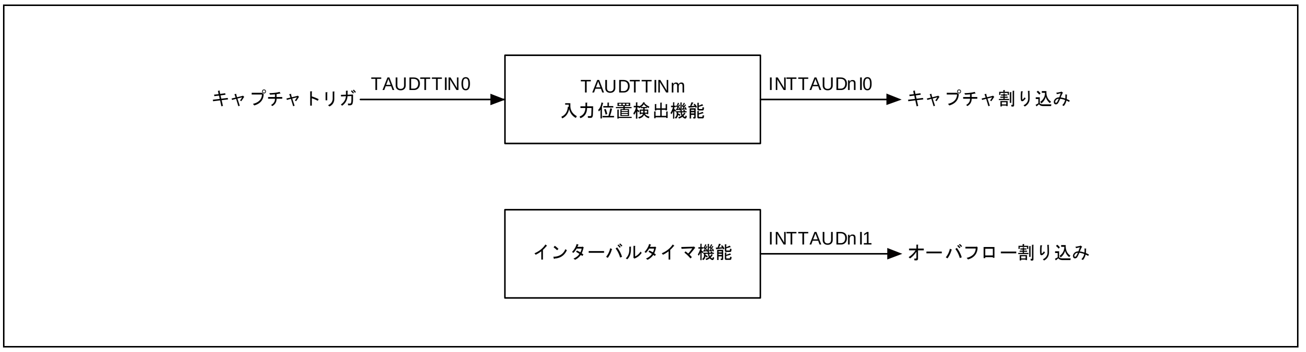


図 32.23　TAUDTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ

タイミング図

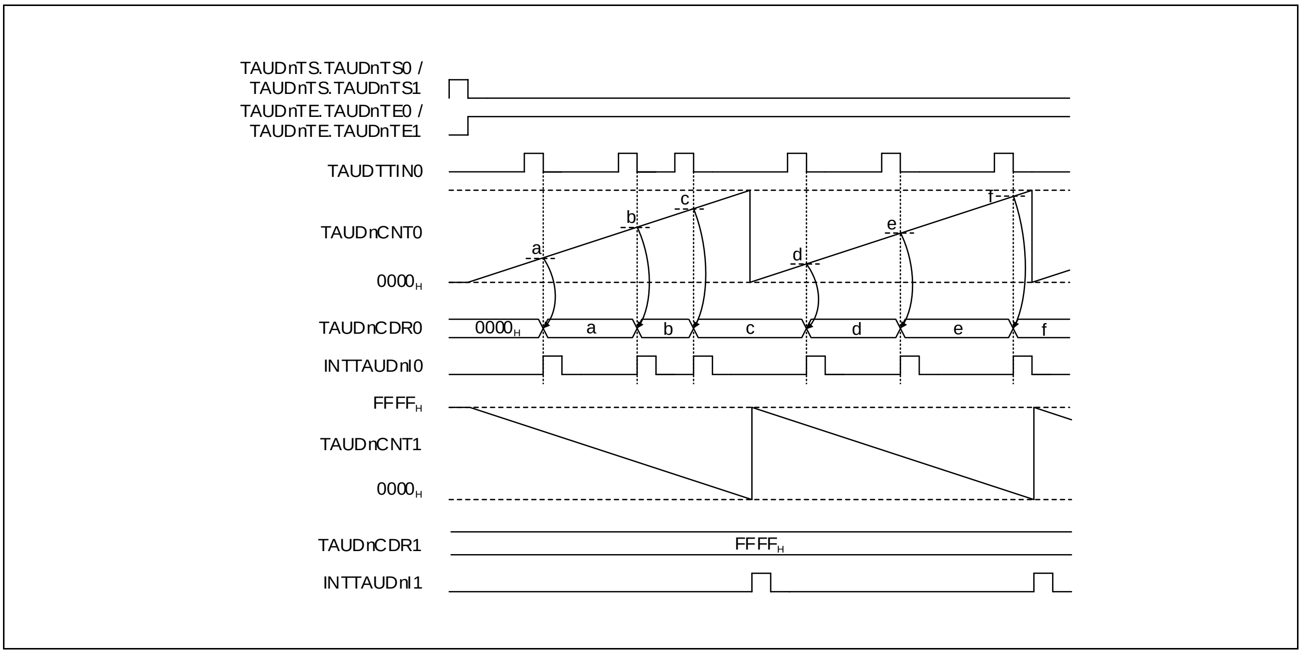


図 32.24　TAUDTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせによる割り込み発生

32.10.4　TAUDTTINm 入力期間カウント検出機能とオーバフロー割り込み出力機能（TAUDTTINm 入力期間カウント検出時）の組み合わせ

両チャネルの TAUDTTINm に同時にキャプチャトリガを入力することで、TAUDTTINm 入力期間カウント検出機能の TAUDnCNTm の $FFFF_H$ オーバフローをオーバフロー割り込み出力機能（TAUDTTINm 入力期間カウント検出時）の INTTAUDnIm で検出できます。

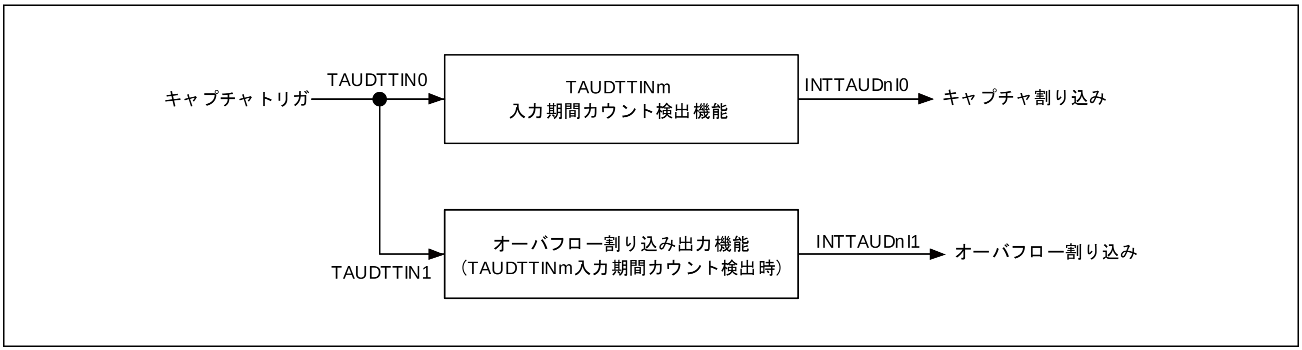


図 32.25　TAUDTTINm 入力期間カウント検出機能とオーバフロー割り込み出力機能（TAUDTTINm 入力期間カウント検出時）の組み合わせ

タイミング図

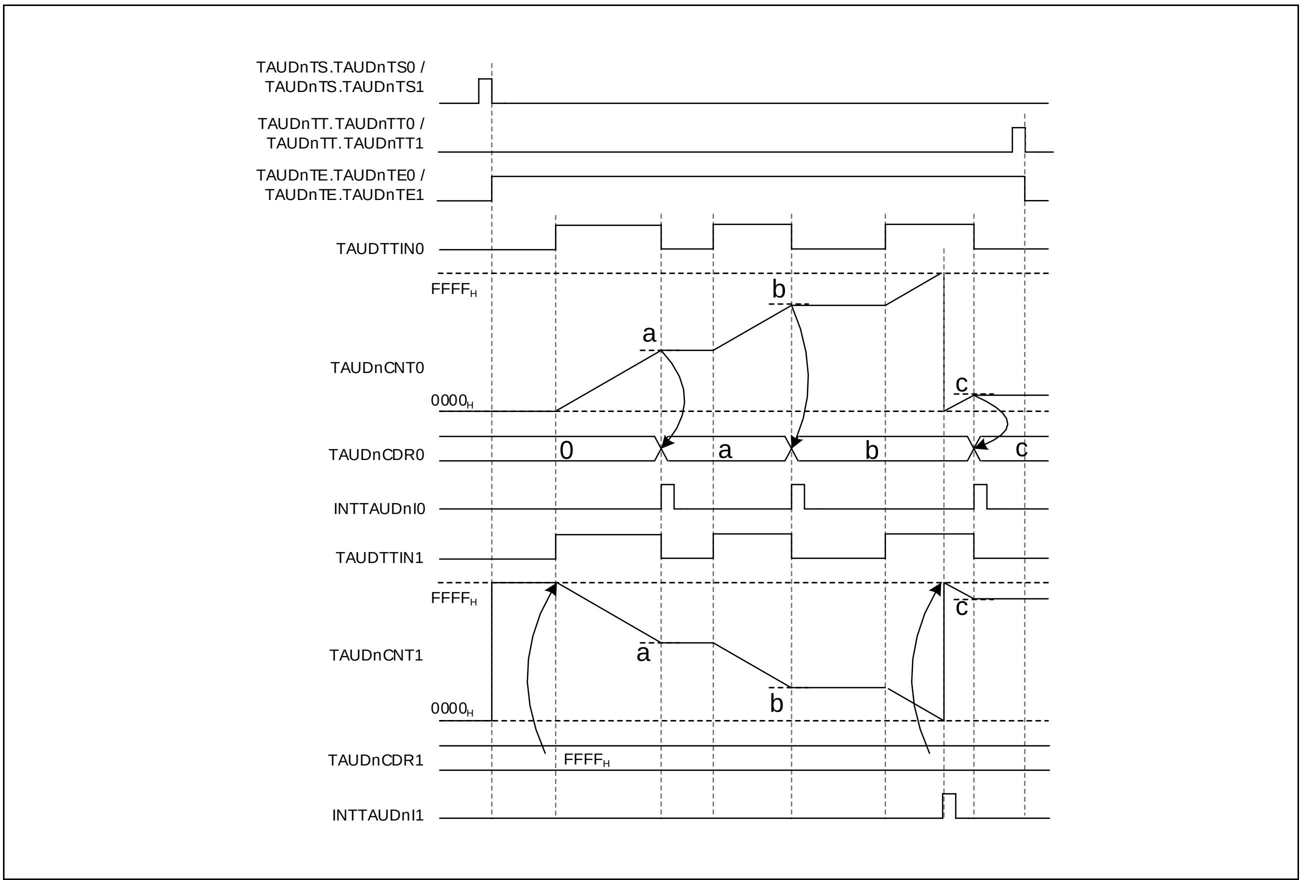


図 32.26　TAUDTTINm 入力期間カウント検出機能とオーバフロー割り込み出力機能（TAUDTTINm 入力期間カウント検出時）の組み合わせによる割り込み発生

32.11 TAUDTTINm エッジ検出

エッジは、動作クロックに基づいて検出されます。つまり、エッジは、動作クロックの次の立ち上がりエッジでのみ検出できます。これにより、最大 1 動作クロック周期の遅延が発生します。

エッジが検出されるタイミングのイメージを「**図 32.27 エッジ検出基本動作タイミング**」に示します。

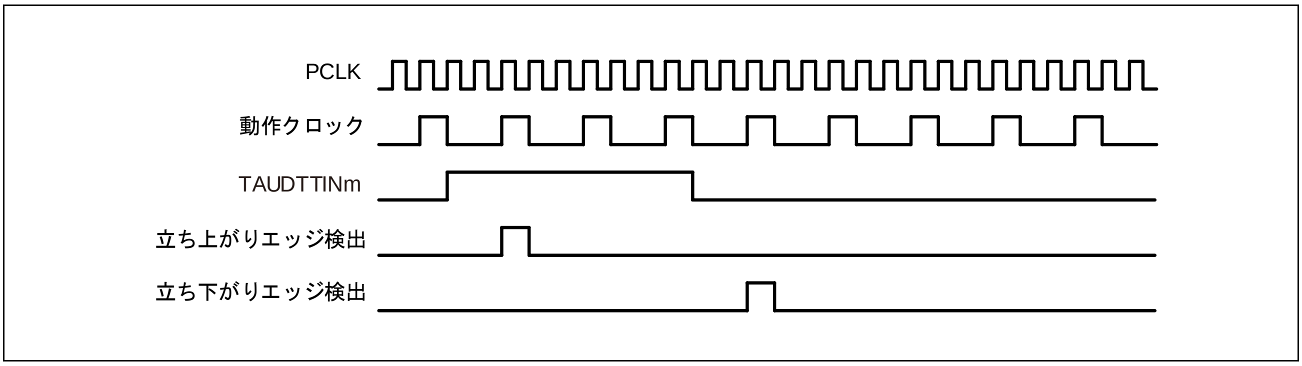


図 32.27　エッジ検出基本動作タイミング

「**図 32.27 エッジ検出基本動作タイミング**」は動作タイミングのイメージです。実際は、TAUDnIm 端子から TAUDn の間にあるノイズフィルタや同期化回路の遅延時間が発生します。

32.12 チャネル単体動作機能

TAUD の各種チャネル単体動作機能を次の項で説明します。チャネル単体動作の概要は、「**32.2 概要**」を参照してください。

この節では、一定間隔または指定した遅延で割り込みを発生する機能を示します。

32.12.1 インターバルタイマ機能

32.12.1.1 概要

概要

この機能は、一定間隔でタイマ割り込み（INTTAUDnIm）を発生する基準タイマとして使用できます。割り込みが発生すると、TAUDTTOUTm 信号はトグルされ、矩形波を出力します。

前提条件

- 動作モードはインターバルタイマモードに設定する必要があります（「**表 32.55 インターバルタイマ機能の TAUDnCMORm レジスタの内容**」参照）。
- チャネル出力モードは、チャネル単体出力モード 1 に設定する必要があります。「**32.7 チャネル出力モード**」を参照してください。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm＝1 となり、カウントが可能になります。TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。

カウンタ値が 0000_H になると、INTTAUDnIm が発生し、TAUDTTOUTm 信号がトグルされます。その後、TAUDnCDRm の値を TAUDnCNTm にロードし、以降、動作を継続します。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。TAUDnCNTm と TAUDTTOUTm は停止しますが、値は保持します。TAUDnTS.TAUDnTSm を“1”に設定すると、機能を再開できます。カウント中に TAUDnTS.TAUDnTSm を“1”に設定すると、いったん停止せずにカウントを再開できます（強制リスタート）。

条件

TAUDnCMORm.TAUDnMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは発生せず、TAUDTTOUTm のトグルも行われません。これにより、TAUDnCMORm.TAUDnMD0 が“1”に設定された場合に対して、反転された TAUDTTOUTm 信号が出力されます。詳細は、「**32.9 カウント開始／リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成**」を参照してください。

32.12.1.2 算出式

INTTAUDnIm の周期＝カウントクロック周期×（TAUDnCDRm＋1）

TAUDTTOUTm の矩形波周期＝カウントクロック周期×（TAUDnCDRm＋1）×2

32.12.1.3　ブロック図と基本タイミング図

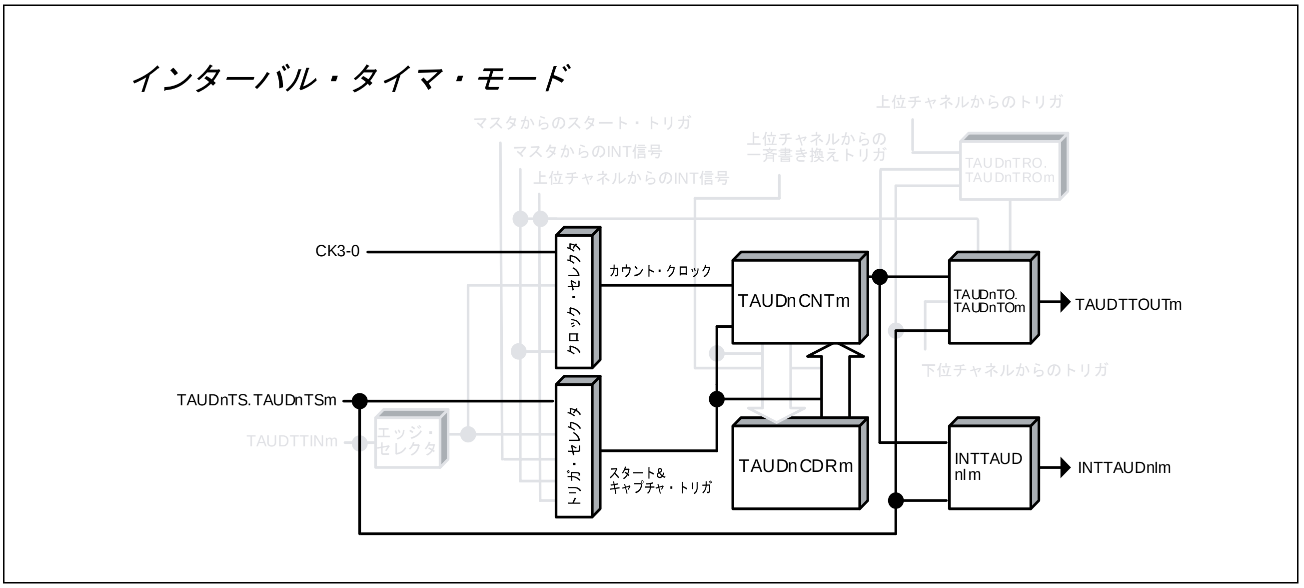


図 32.28　インターバルタイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生する（TAUDnCMORm.TAUDnMD0＝1）

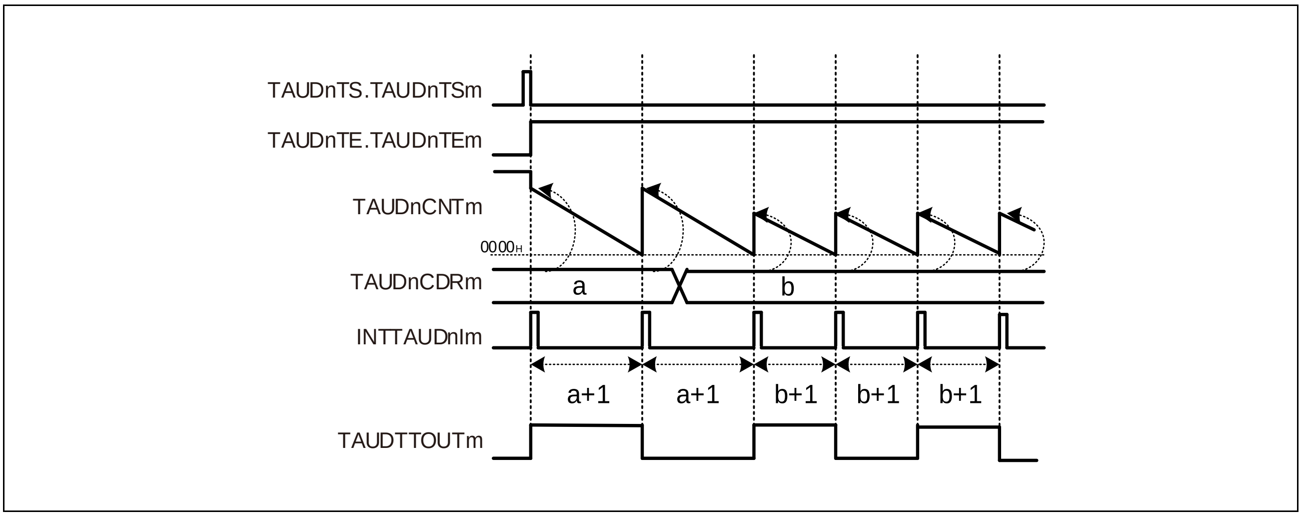


図 32.29　インターバルタイマ機能の基本タイミング図

32.12.1.4　レジスタ設定

(1)　TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.55　インターバルタイマ機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS[2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生せず、TAUDTTOUTm はトグルされない 1：動作開始時に INTTAUDnIm が発生し、TAUDTTOUTm はトグルされる

(2)　TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.56　インターバルタイマ機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) チャネル出力モード

表 32.57　チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0：チャネル単体出力
TAUDnTOC.TAUDnTOCm	0：動作モード 1（TAUDnTOM.TAUDnTOMm＝0 時はトグルモード）
TAUDnTOL.TAUDnTOLm	0：トグルモード時は、設定無効（リセット後の値）となります。
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm＝0）、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm＝0）、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEm	0：変調禁止

備　考

チャネル出力モードは、TAUDnTOE.TAUDnTOEm＝0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUDTTOUTm を割り込みとは独立させて制御することができます。詳細は「**32.7 チャネル出力モード**」を参照してください。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、インターバルタイマ機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 32.58　インターバルタイマ機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0：一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm＝0）、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

32.12.1.5　インターバルタイマ機能の操作手順

表 32.59　インターバルタイマ機能の操作手順

	操作	TAUDn の状態
チャネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを「**表 32.55 インターバルタイマ機能の TAUDnCMORm レジスタの内容**」、「**表 32.56 インターバルタイマ機能の TAUDnCMURm レジスタの内容**」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。 制御ビットを「**表 32.57 チャネル単体出力モード 1 時の制御ビット設定**」に示すように設定して、チャネル出力モードを設定します。	チャネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSm を “1” に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “1” に設定され、カウントが開始されます。 TAUDnCDRm の値を TAUDnCNTm にロードします。 TAUDnCMORm.TAUDnMD0＝1 の場合、INTTAUDnIm が発生し、TAUDTTOUTm がトグルされます。
動作中	TAUDnCDRm レジスタ値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは常に読み出し可能です。	TAUDnCNTm がダウンカウントを行います。カウンタが 0000_H になった場合： ● 再び TAUDnCDRm の値を TAUDnCNTm にロードし、カウント動作を継続します。 ● INTTAUDnIm が発生し、TAUDTTOUTm がトグルされます。
動作停止	TAUDnTT.TAUDnTTm を “1” に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

動作再開

32.12.1.6　特定の設定時のタイミング図

(1)　TAUDnCDRm＝0000H、カウントクロック＝PCLK/2

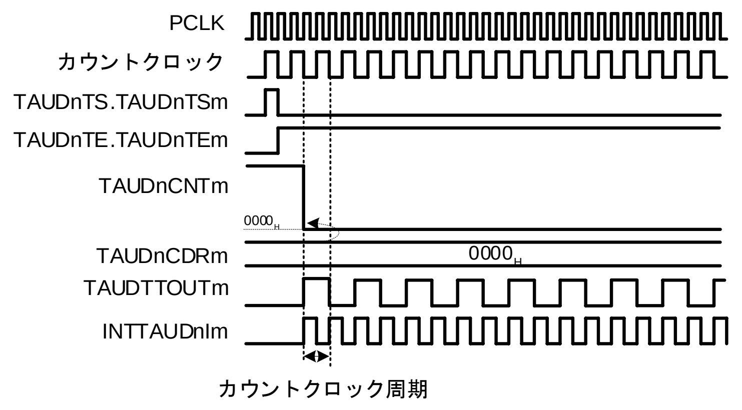


図 32.30　TAUDnCDRm＝0000H、カウントクロック＝PCLK/2

- TAUDnCDRm＝0000H、かつカウントクロック＝PCLK/2 の場合、カウントクロックごとに TAUDnCDRm の値が TAUDnCNTm にロードされます。つまり、TAUDnCNTm は常に 0000H です。
- INTTAUDnIm がカウントクロックごとに発生するので、TAUDTTOUTm はカウントクロックごとにトグルされます。

(2)　TAUDnCDRm＝0000H、カウントクロック＝PCLK

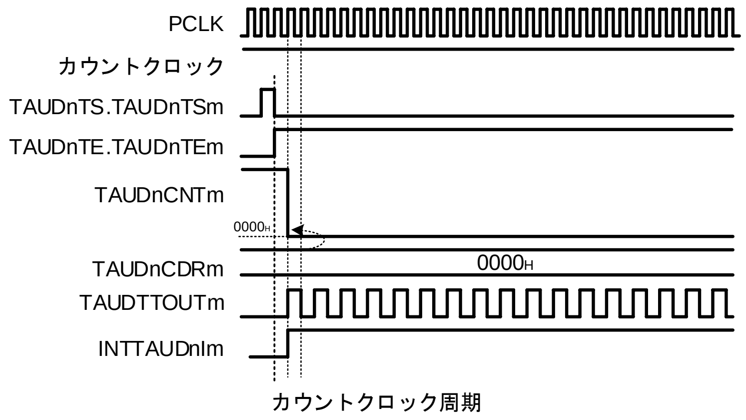


図 32.31　TAUDnCDRm＝0000H、カウントクロック＝PCLK

- TAUDnCDRm＝0000H、かつカウントクロック＝PCLK の場合、PCLK クロックごとに TAUDnCDRm の値が TAUDnCNTm にロードされます。つまり、TAUDnCNTm は常に 0000H です。
- INTTAUDnIm は、ハイレベル固定になります。1 回目の割り込みは発生しますが、それ以降は発生しません。
  PCLK クロックごとに TAUDTTOUTm がトグルされます。

(3) 動作の停止と再開

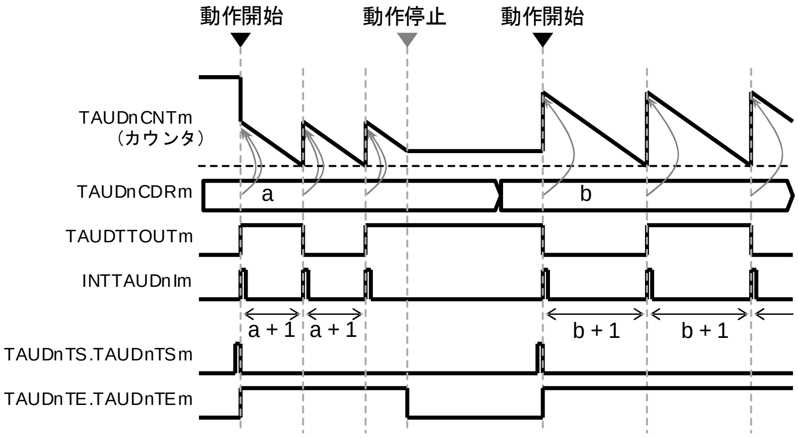


図 32.32　動作の停止と再開（TAUDnCMORm.TAUDnMD0＝1）

- TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。
- TAUDnCNTm と TAUDTTOUTm は停止しますが、値は保持します。
- TAUDnTS.TAUDnTSm を“1”に設定すると、カウントを再開できます。

(4) 強制リスタート（TAUDnCMORm.TAUDnMD0＝1）

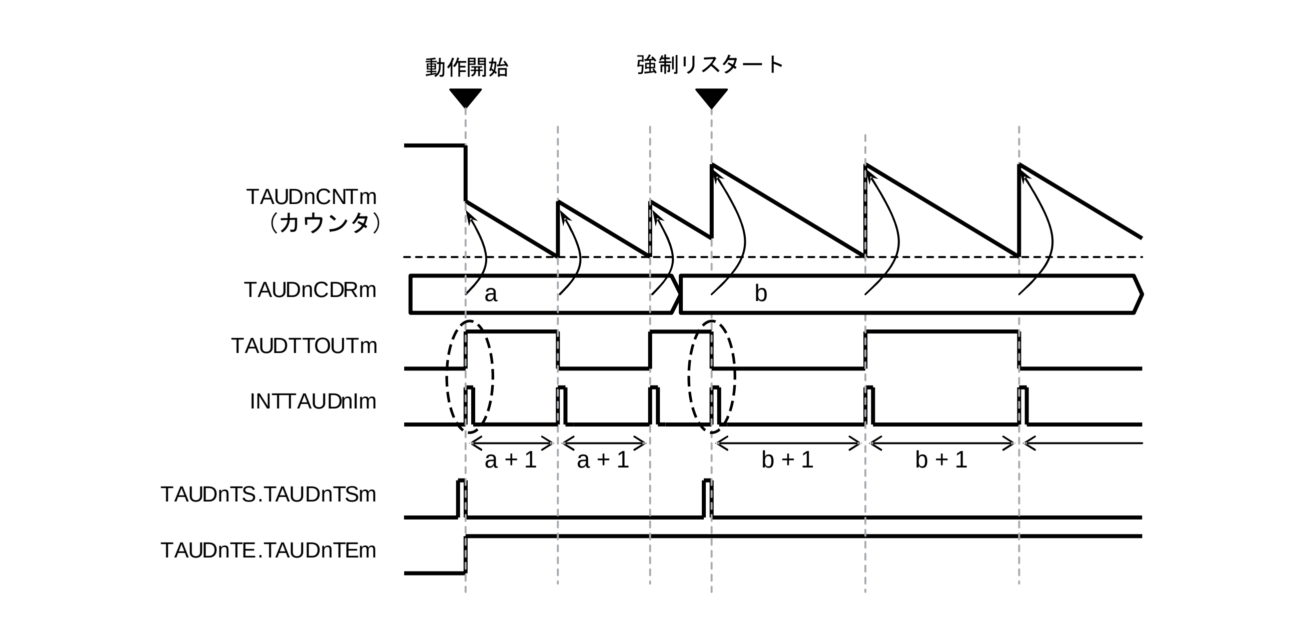


図 32.33　強制リスタート動作（TAUDnCMORm.TAUDnMD0＝1）

- カウント中に TAUDnTS.TAUDnTSm を“1”に設定すると、いったん停止しなくてもカウントを再開できます（強制リスタート）。
- TAUDnCMORm.TAUDnMD0 ビットが“1”に設定されると、動作開始または再開後の最初の割り込みが発生します。
- 強制リスタート時は、TAUDnCDRm の値は、TAUDnCNTm に反映されて、カウントを開始します。変更した TAUDnCDRm の値を即時反映させる場合は、強制リスタートをしてください。
- 強制リスタート時は、割り込み（INTTAUDnIm）が発生し、TAUDTTOUTm が反転します。

(5) 強制リスタート（TAUDnCMORm.TAUDnMD0＝0）

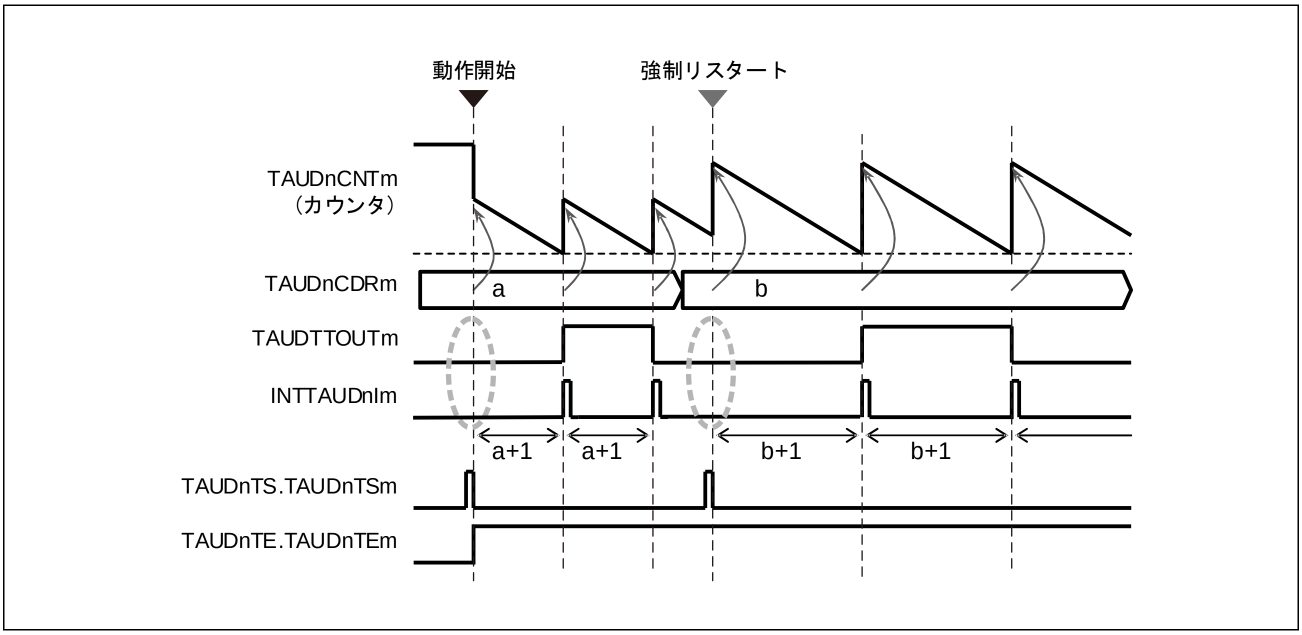


図 32.34　強制リスタート動作（TAUDnCMORm.TAUDnMD0＝0）

- 強制リスタート時は、割り込み（INTTAUDnIm）が発生しません。TAUDTTOUTm も反転しません。

32.12.2　TAUDTTINm 入力インターバルタイマ機能

32.12.2.1　概要

概要

この機能は、一定間隔または有効な TAUDTTINm 入力エッジが検出された場合に、タイマ割り込み（INTTAUDnIm）を発生するための基準タイマとして使用されます。割り込みが発生すると、TAUDTTOUTm 信号はトグルされ、矩形波を出力します。

前提条件

- 動作モードはインターバルタイマモードに設定する必要があります（「**表 32.60 TAUDTTINm 入力インターバルタイマ機能の TAUDnCMORm レジスタの内容**」参照）。
- チャネル出力モードは、チャネル単体出力モード 1 に設定する必要があります。「**32.7 チャネル出力モード**」を参照してください。

機能説明

この機能は、有効な TAUDTTINm 入力エッジで再開される以外、インターバルタイマ機能と同様に動作します（「**32.12.1 インターバルタイマ機能**」参照）。トリガとして使用するエッジの種類は、TAUDnCMURm.TAUDnTIS[1:0]ビットで設定します。立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジ両方を選択できます。

32.12.2.2　算出式

INTTAUDnIm の周期＝カウントクロック周期×（TAUDnCDRm＋1）

TAUDTTOUTm の矩形波周期＝カウントクロック周期×（TAUDnCDRm＋1）×2

32.12.2.3　ブロック図と基本タイミング図

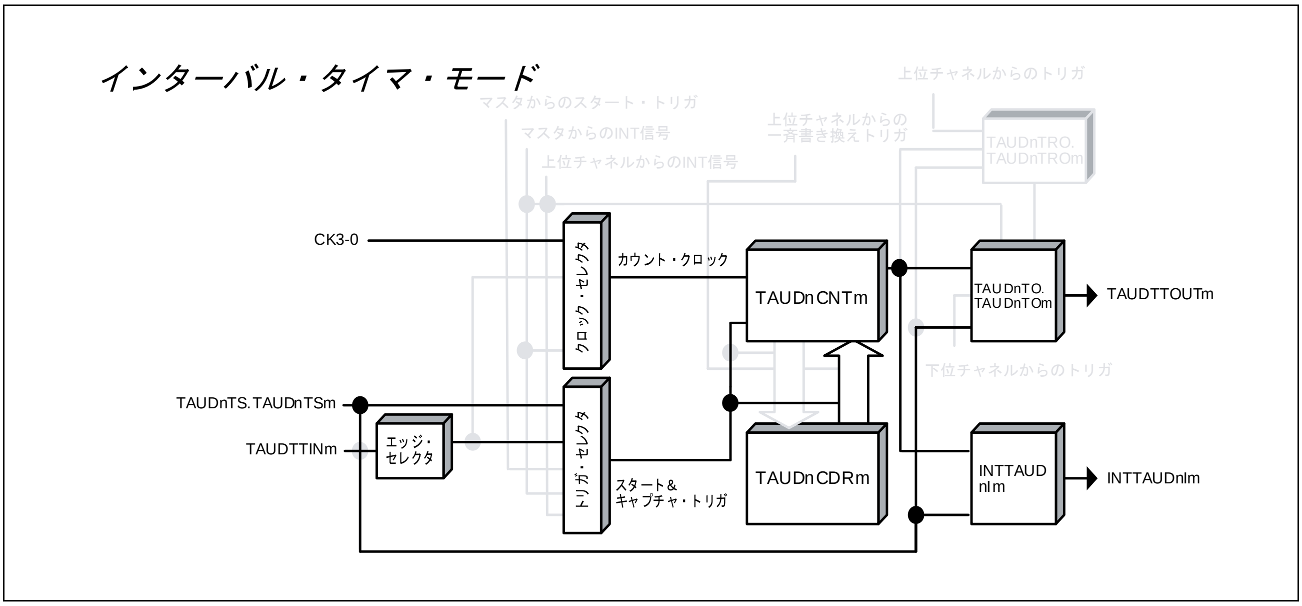


図 32.35　TAUDTTINm 入力インターバルタイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生する（TAUDnCMORm.TAUDnMD0＝1）
- 立ち上がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0]＝01B）

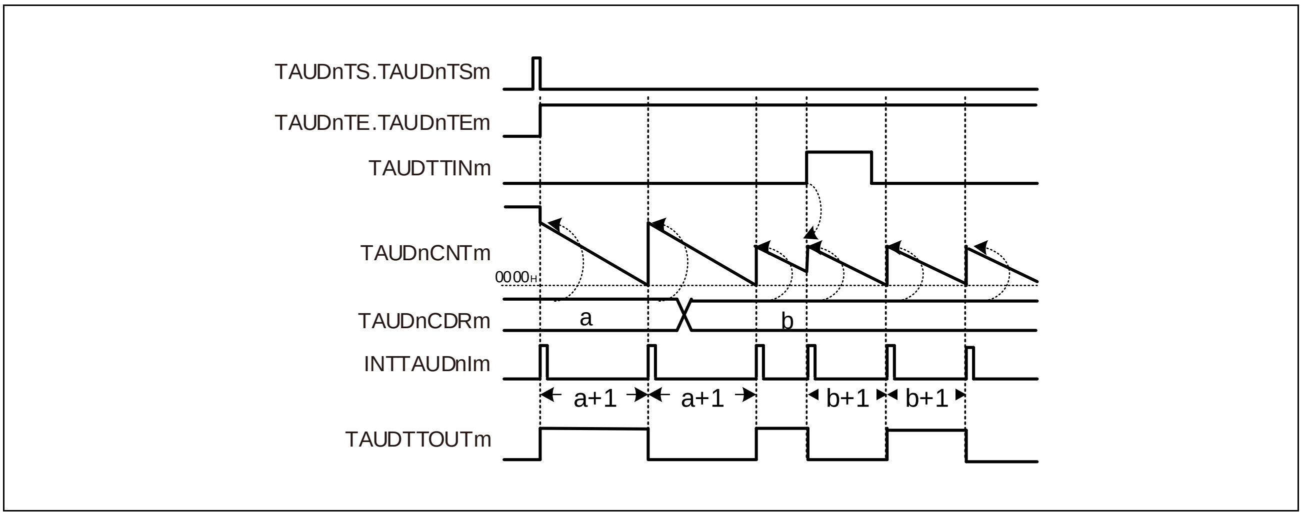


図 32.36　TAUDTTINm 入力インターバルタイマ機能の基本タイミング図

32.12.2.4　レジスタ設定

(1)　TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.60　TAUDTTINm 入力インターバルタイマ機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS[2:0]	001：有効な TAUDTTINm 入力エッジ信号を外部スタートトリガとして使用
7、6	TAUDnCOS[1:0]	00：未使用、“00 を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生せず、TAUDTTOUTm はトグルされない 1：動作開始時に INTTAUDnIm が発生し、TAUDTTOUTm はトグルされる

(2)　TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.61　TAUDTTINm 入力インターバルタイマ機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

表 32.62　チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0：チャネル単体出力
TAUDnTOC.TAUDnTOCm	0：動作モード 1（TAUDnTOM.TAUDnTOMm＝0 時はトグルモード）
TAUDnTOL.TAUDnTOLm	0：トグルモード時は、設定無効（リセット後の値）となります。
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm＝0）、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm＝0）、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEm	0：変調禁止

備　考

チャネル出力モードは、TAUDnTOE.TAUDnTOEm＝0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUDTTOUTm を割り込みとは独立させて制御することができます。詳細は「**32.7 チャネル出力モード**」を参照してください。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、TAUDTTINm 入力インターバルタイマ機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 32.63　TAUDTTINm 入力インターバルタイマ機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0：一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm＝0）、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

32.12.2.5　TAUDTTINm 入力インターバルタイマ機能の操作手順

表 32.64　TAUDTTINm インターバルタイマ機能の操作手順

	操作	TAUDn の状態
チャネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、「**表 32.60 TAUDTTINm 入力インターバルタイマ機能の TAUDnCMORm レジスタの内容**」、「**表 32.61 TAUDTTINm 入力インターバルタイマ機能の TAUDnCMURm レジスタの内容**」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。 制御ビットを「**表 32.62 チャネル単体出力モード 1 時の制御ビット設定**」に示すように設定して、チャネル出力モードを設定します。	チャネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCDRm の値を TAUDnCNTm にロードします。 TAUDnCMORm.TAUDnMD0＝1 の場合、INTTAUDnIm が発生し、TAUDTTOUTm がトグルされます。
動作中	TAUDnCMURm.TAUDnTIS[1:0]、TAUDnCDRm レジスタの値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは常に読み出し可能です。 TAUDTTINm エッジ検出	TAUDnCNTm がダウンカウントを行います。カウンタが 0000_H になった場合： ● 再び TAUDnCDRm の値を TAUDnCNTm にロードし、カウント動作を継続します。 ● INTTAUDnIm が発生し、TAUDTTOUTm がトグルされます。 カウント動作中に TAUDTTINm 入力の有効エッジを検出すると、再び TAUDnCDRm の値を TAUDnCNTm にロードし、カウント動作を継続します。 以降、この動作を繰り返します。
動作停止	TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

動作再開

32.12.2.6　特定の設定時のタイミング図

「**32.12.1 インターバルタイマ機能**」のタイミング図も適用されますが、それに加えて有効な TAUDTTINm 入力エッジを使用することでカウンタを再開することも可能です。

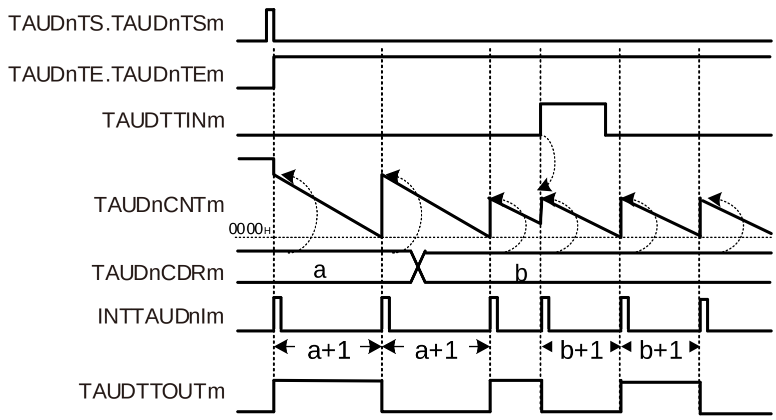


図 32.37　立ち上がり TAUDTTINm 入力エッジ（TAUDnCMURm.TAUDnTIS[1:0]＝01_B）、TAUDnCMORm.TAUDnMD0＝1 でトリガされたカウンタ

- 有効な TAUDTTINm 入力エッジを検出した場合、TAUDTTOUTm をトグルする割り込みが発生します。この例では、有効エッジは立ち上がりエッジ（TAUDnCMURm.TAUDnTIS[1:0]＝01_B）です。

32.12.3　クロック分周機能

32.12.3.1　概要

概要

この機能は、周波数の分周に使用します。TAUDTTINm 入力信号の周波数を TAUDnCDRm の係数で分周し、結果として得られる信号を TAUDTTOUTm に出力します。

前提条件

- TAUDTTINm の周波数は固定である必要があります。
- 動作モードはインターバルタイマモードに設定する必要があります（「**表 32.65 クロック分周機能の TAUDnCMORm レジスタの内容**」参照）。
- チャネル出力モードは、チャネル単体出力モード 1 に設定する必要があります。「**32.7 チャネル出力モード**」を参照してください。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm＝1 となり、カウントが可能になります。TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタは TAUDTTINm をカウントクロックとして使用し、その TAUDnCDRm 値からダウンカウントを開始します。

カウンタ値が 0000_H になると、INTTAUDnIm が発生し、TAUDTTOUTm 信号がトグルされます。その後、TAUDnCDRm 値を TAUDnCNTm にロードし、以降、動作を継続します。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。TAUDnCNTm と TAUDTTOUTm は停止しますが、値は保持します。TAUDnTS.TAUDnTSm を“1”に設定すると、機能を再開できます。カウント中に TAUDnTS.TAUDnTSm を“1”に設定すると、いったん停止せずにカウントを再開できます（強制リスタート）。

条件

TAUDnCMORm.TAUDnMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは発生せず、TAUDTTOUTm のトグルも行われません。これにより、TAUDnCMORm.TAUDnMD0 が“1”に設定された場合に対して、反転された TAUDTTOUTm 信号が出力されます。詳細は「**32.9 カウント開始／リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成**」を参照してください。

備　考

TAUDTTINm 入力信号は TAUDnCMORm.TAUDnCKS[1:0]ビットで設定した動作クロックの周波数でサンプリングされます。したがって、TAUDTTOUTm の出力クロックの周期には、動作クロック±1 周期分の誤差があります。

32.12.3.2　算出式

- 立ち上がりエッジ検出選択時：
  TAUDTTOUTm 周波数＝TAUDTTINm 周波数／［（TAUDnCDRm＋1）×2］
- 立ち下がりエッジ検出選択時：
  TAUDTTOUTm 周波数＝TAUDTTINm 周波数／［（TAUDnCDRm＋1）×2］
- 両エッジ検出選択時：
  TAUDTTOUTm 周波数＝TAUDTTINm 周波数／（TAUDnCDRm＋1）

32.12.3.3　ブロック図と基本タイミング図

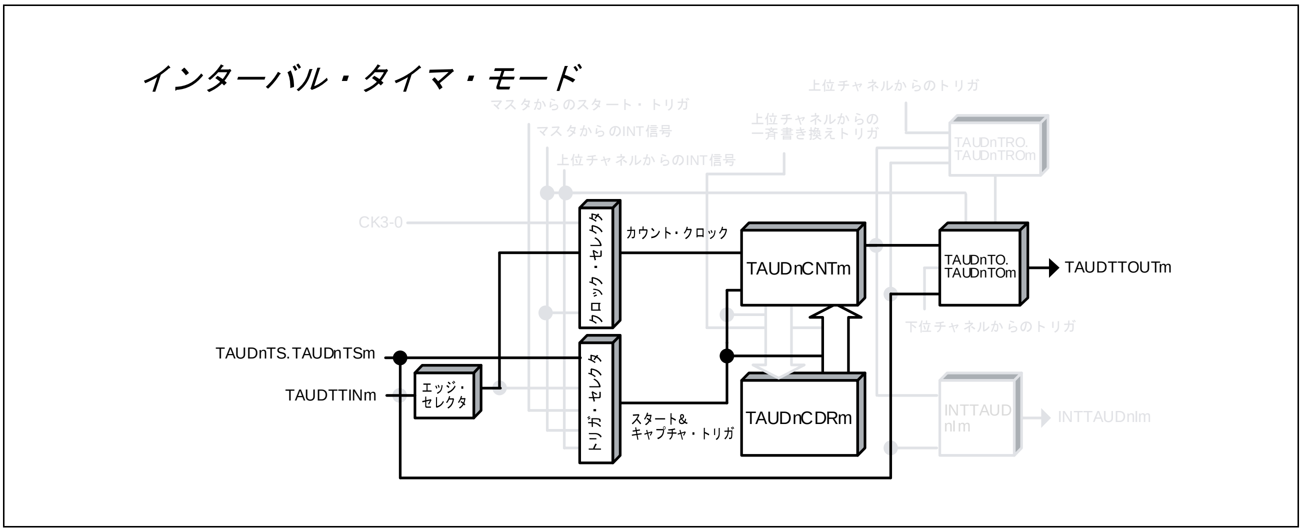


図 32.38　クロック分周機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生する（TAUDnCMORm.TAUDnMD0＝1）
- 立ち上がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0]＝01_B）

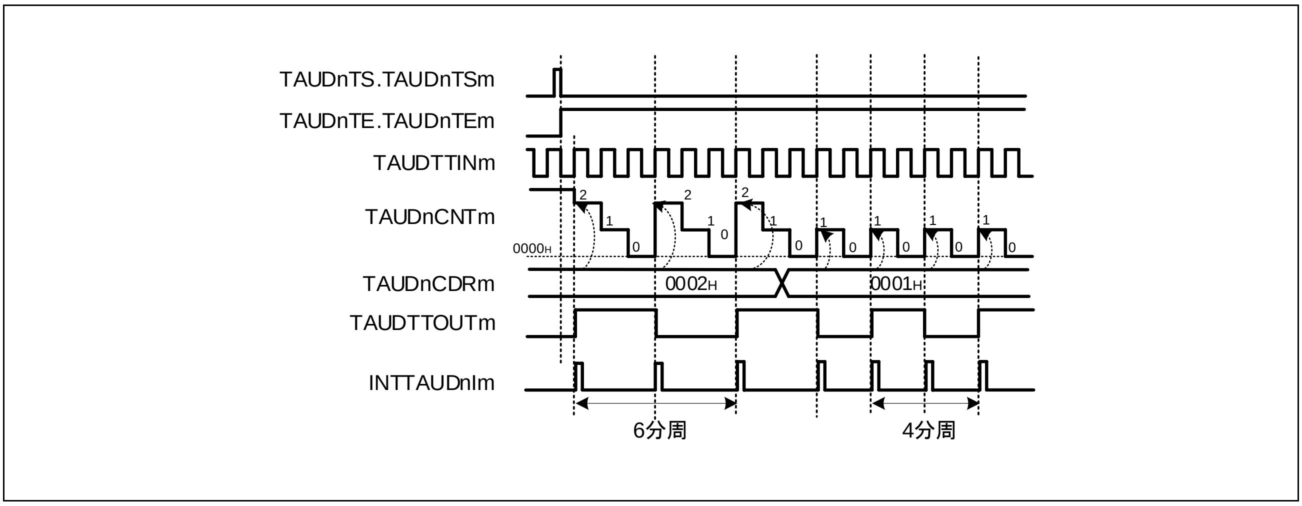


図 32.39　クロック分周機能の基本タイミング図

32.12.3.4　レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.65　クロック分周機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS[1:0]	01：有効な TAUDTTINm 入力エッジをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10〜8	TAUDnSTS[2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4〜1	TAUDnMD[4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生せず、TAUDTTOUTm はトグルされない 1：動作開始時に INTTAUDnIm が発生し、TAUDTTOUTm はトグルされる

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.66　クロック分周機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7〜2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

表 32.67　チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0：チャネル単体出力
TAUDnTOC.TAUDnTOCm	0：動作モード 1（TAUDnTOM.TAUDnTOMm＝0 時はトグルモード）
TAUDnTOL.TAUDnTOLm	0：トグルモード時は、設定無効（リセット後の値）となります。
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm＝0）、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm＝0）、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEm	0：変調禁止

(4) 一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、クロック分周機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 32.68　クロック分周機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0：一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm＝0）、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

32.12.3.5　クロック分周機能の操作手順

表 32.69　クロック分周機能の操作手順

	操作	TAUDn の状態
チャネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、「**表 32.65 クロック分周機能の TAUDnCMORm レジスタの内容**」、「**表 32.66 クロック分周機能の TAUDnCMURm レジスタの内容**」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。 制御ビットを「**表 32.67 チャネル単体出力モード 1 時の制御ビット設定**」に示すように設定して、チャネル出力モードを設定します。	チャネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCNTm は TAUDnCDRm 値をロードします。 TAUDnCMORm.TAUDnMD0 が“1”の場合は、INTTAUDnIm が発生し、TAUDTTOUTm がトグルされます。
動作中	TAUDnCDRm 値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは常に読み出し可能です。	TAUDTTINm 入力エッジを検出すると、TAUDnCNTm はダウンカウントを行います。カウンタが 0000_H になった場合： ● TAUDnCDRm 値を TAUDnCNTm にロードし、カウント動作を継続します。 ● INTTAUDnIm が発生します。 ● TAUDTTOUTm がトグルされます。 以降、この動作を繰り返します。
動作停止	TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm と TAUDTTOUTm は現在値を保持します。

動作再開

32.12.3.6　特定の設定時のタイミング図

(1)　TAUDnCDRm＝0000H

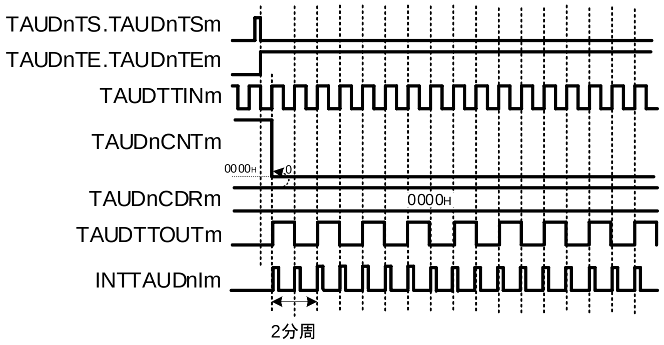


図 32.40　TAUDnCDRm＝0000H、TAUDnCMORm.TAUDnMD0＝1、TAUDnCMURm.TAUDnTIS[1:0]＝01B

- TAUDnCDRm が 0000H ならば、TAUDnCNTm も必ず 0000H です。
- INTTAUDnIm がカウントクロックごとに発生するので、TAUDTTOUTm はカウントクロックごとにトグルされます。

「**図 32.40　TAUDnCDRm＝0000H、TAUDnCMORm.TAUDnMD0＝1、TAUDnCMURm.TAUDnTIS[1:0]＝01B**」は動作タイミングのイメージです。実際は、TAUDnIm 端子から TAUDn の間にあるノイズフィルタや同期化回路の遅延時間があるため、TINm 検出から TOUTm 出力までディレイが存在します。

(2)　動作再開

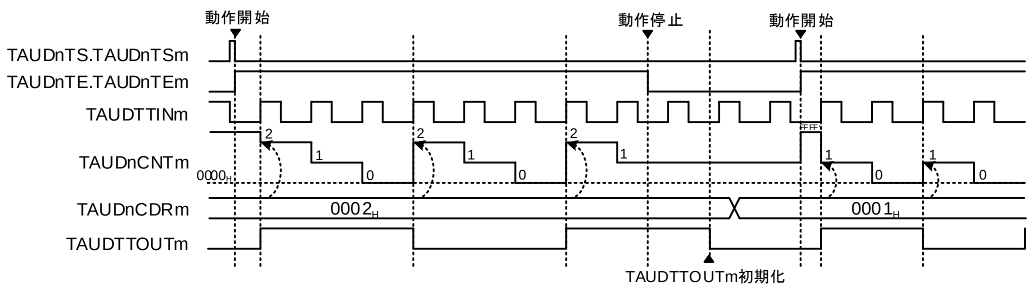


図 32.41　動作再開（TAUDnCMORm.TAUDnMD0＝1、TAUDnCMURm.TAUDnTIS[1:0]＝01B）

TAUDTTOUTm 値のリセット方法を以下に示します。

- カウンタ停止時（TAUDnTE.TAUDnTEm＝0）に TAUDnTOE.TAUDnTOEm＝0 を設定。
- その後、TAUDnTO.TAUDnTOm に“0”または“1”を書き込んで、TAUDTTOUTm の新しいスタート値を設定。

(3) 強制リスタート

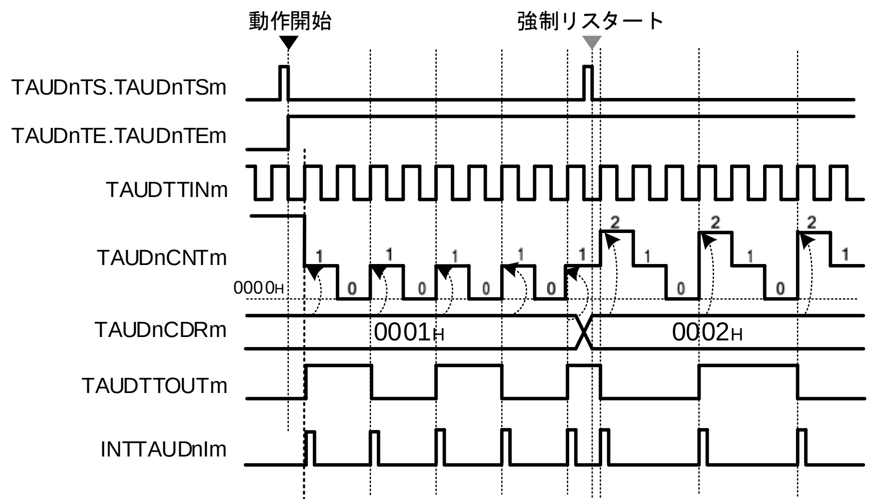


図 32.42　強制リスタート（TAUDnCMORm.TAUDnMD0＝1、TAUDnCMURm.TAUDnTIS[1:0]＝01B）

- 動作中に TAUDnTS.TAUDnTSm＝1 を設定すると、いったん停止しなくてもカウントを強制的に再開できます。
- TAUDnCDRm の値が TAUDnCNTm に書き込まれ、カウント動作が再開されます。
- TAUDTTOUTm は、強制リスタート前の出力レベルで動作が再開されます。

32.12.4　外部イベントカウント機能

32.12.4.1　概要

概要

この機能は、イベントタイマとして使用します。特定数の TAUDTTINm 入力有効エッジを検出すると割り込み（INTTAUDnIm）を発生します。

前提条件

- 動作モードはイベントカウントモードに設定する必要があります（「**表 32.70 外部イベントカウント機能の TAUDnCMORm レジスタの内容**」参照）。
- この機能では、TAUDTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm＝1 となり、カウントが可能になります。カウントが開始されると、TAUDnCDRm の現在値が TAUDnCNTm にロードされます。

有効な TAUDTTINm 入力エッジを検出すると、TAUDnCNTm 値はデクリメントされます。TAUDnCNTm は、有効な TAUDTTINm 入力エッジが検出されるかカウントが再開するまでこの値を保持します。

有効エッジが TAUDnCDRm＋1 検出されると、INTTAUDnIm が発生します。その後、TAUDnCDRm 値を TAUDnCNTm にロードし、以降、動作を継続します。

TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。TAUDnTS.TAUDnTSm を“1”に設定すると、カウンタ動作を再開できます。カウント中に TAUDnTS.TAUDnTSm を“1”に設定すると、いったん停止せずにカウントを再開できます（強制リスタート）。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

トリガとして使用するエッジの種類は、TAUDnCMURm.TAUDnTIS[1:0]ビットで設定します。

- TAUDnCMURm.TAUDnTIS[1:0]＝00_B のときは、立ち下がりエッジがカウントされます。
- TAUDnCMURm.TAUDnTIS[1:0]＝01_B のときは、立ち上がりエッジがカウントされます。
- TAUDnCMURm.TAUDnTIS[1:0]＝10_B のときは、両エッジがカウントされます。

32.12.4.2　算出式

INTTAUDnIm 発生前に検出される有効エッジ数＝TAUDnCDRm＋1

32.12.4.3　ブロック図と基本タイミング図

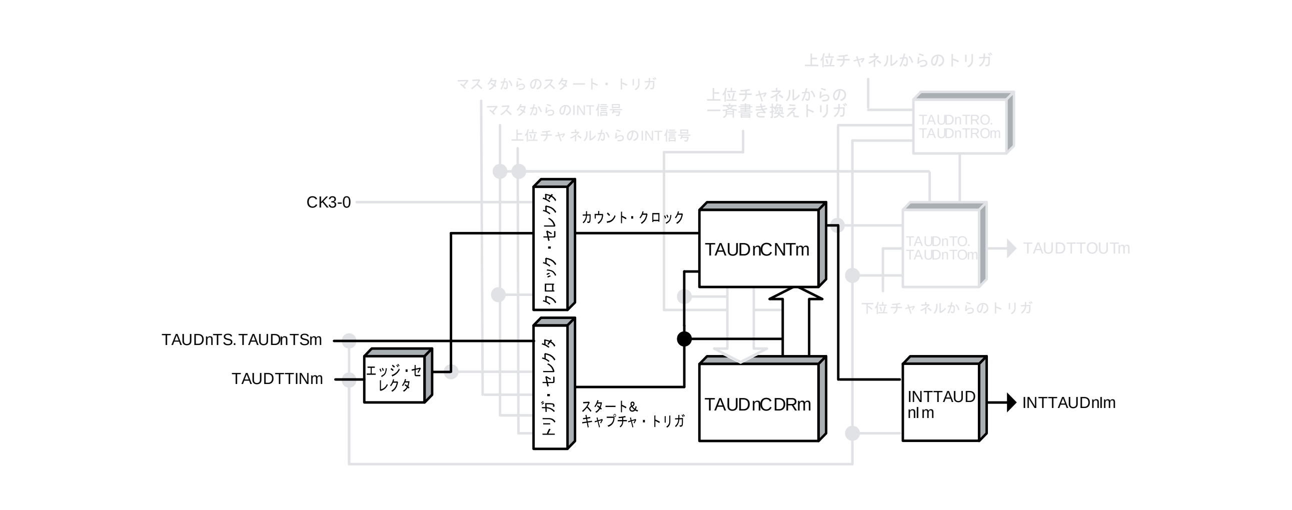


図 32.43　外部イベントカウント機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち上がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0]＝01_B）

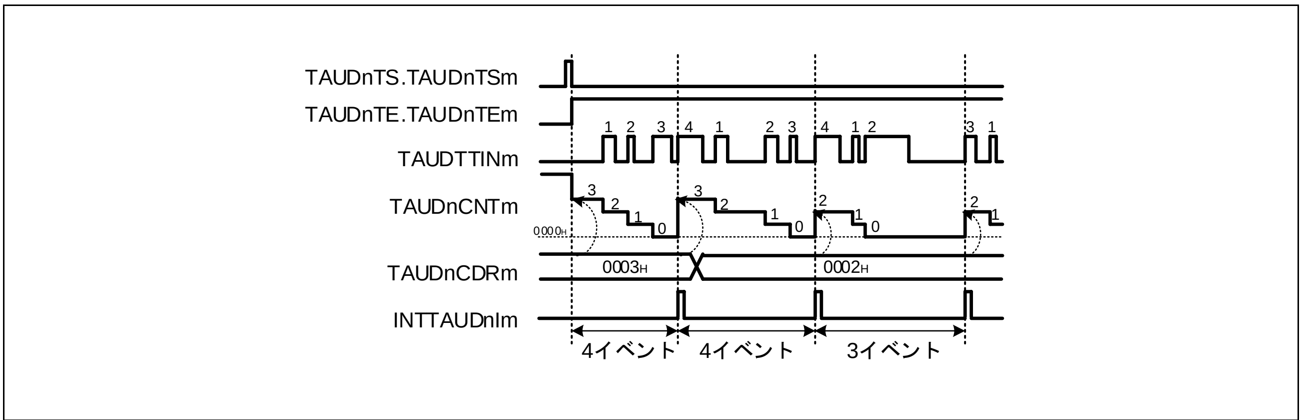


図 32.44　外部イベントカウント機能の基本タイミング図

32.12.4.4　レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.70　外部イベントカウント機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS[1:0]	01：有効な TAUDTTINm 入力エッジをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS[2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0011：イベントカウントモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.71　外部イベントカウント機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しません。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、外部イベントカウント機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 32.72　外部イベントカウント機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0：一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm＝0）、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

32.12.4.5　外部イベントカウント機能の操作手順

表 32.73　外部イベントカウント機能の操作手順

	操作	TAUDn の状態
チャネルの初期	TAUDnCMORm、TAUDnCMURm レジスタを、「**表 32.70 外部イベントカウント機能の TAUDnCMORm レジスタの内容**」、「**表 32.71 外部イベントカウント機能の TAUDnCMURm レジスタの内容**」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCNTm は TAUDnCDRm 値をロードし、TAUDTTINm 入力エッジ検出を待ちます。
動作中	TAUDTTINm エッジ検出 TAUDnCDRm 値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUDnCNTm は TAUDTTINm 入力エッジを検出するたびに、ダウンカウントを行います。有効エッジが TAUDnCDRm＋1 検出された場合： ● TAUDnCDRm 値を TAUDnCNTm にロードし、カウント動作を継続します。 ● INTTAUDnIm が発生します。 以降、この動作を繰り返します。
動作停止	TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm が停止し、現在値を保持します。

動作再開

32.12.4.6　特定の設定時のタイミング図

(1) TAUDnCDRm＝0000H

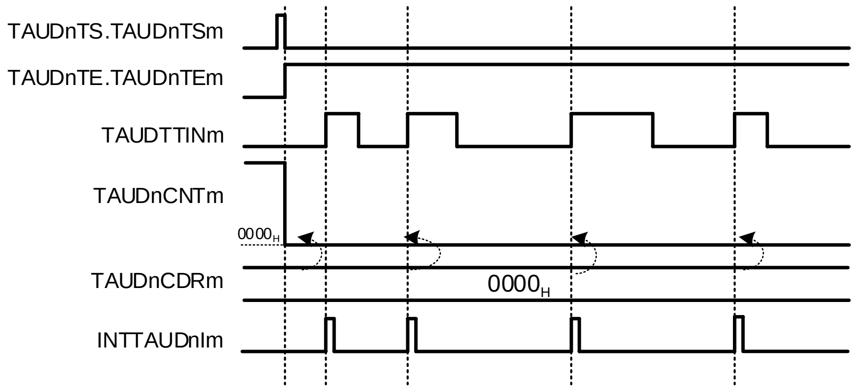


図 32.45　TAUDnCDRm＝0000H、TAUDnCMURm.TAUDnTIS[1:0]＝01B

- 0000H＝TAUDnCDRm の場合、有効な TAUDTTINm 入力エッジが検出されるたびに 0000H が TAUDnCNTm にロードされます。
  つまり、有効な TAUDTTINm 入力エッジが検出されるたびに、INTTAUDnIm が発生します。

(2) 動作の停止と再開

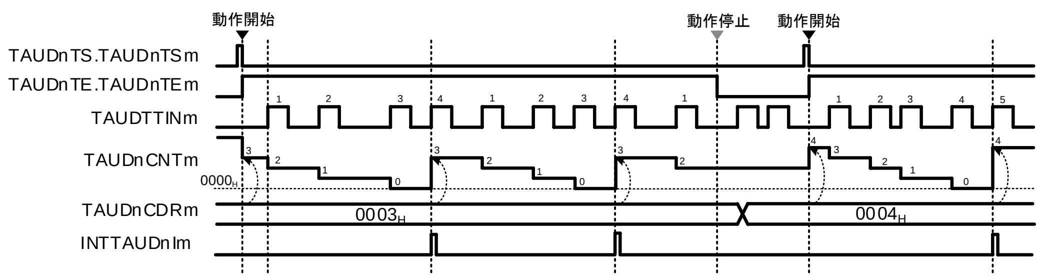


図 32.46　動作の停止と再開（TAUDnCMURm.TAUDnTIS[1:0]＝01B）

- TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。
- TAUDnCNTm が停止し、現在値を保持します。TAUDTTINm は継続し、TAUDnCNTm は有効エッジを無視します。
- TAUDnTS.TAUDnTSm を“1”に設定すると、カウントを再開できます。TAUDnCNTm は TAUDnCDRm 値をロードし、カウント動作を再開します。

(3) 強制リスタート

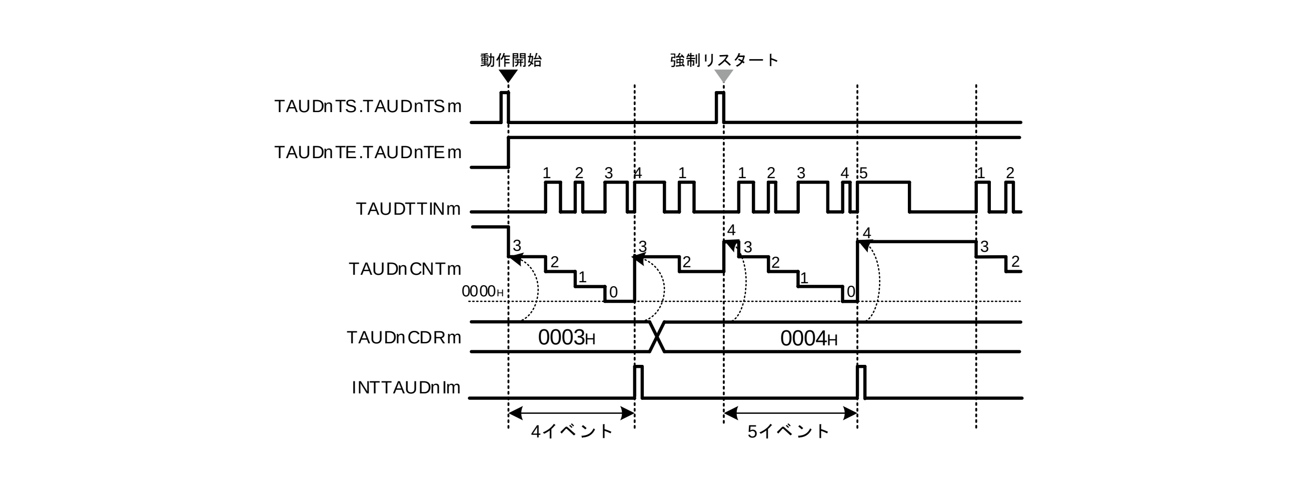


図 32.47　強制リスタート（TAUDnCMURm.TAUDnTIS[1:0]＝01B）

強制リスタートを行うと、変更した TAUDnCDRm の値が TAUDnCNTm に適用されます。

- 動作中に TAUDnTS.TAUDnTSm を“1”に設定すると、いったん停止しなくてもカウントを再開できます。
- TAUDnCDRm の値が TAUDnCNTm にロードされ、カウンタは次の有効な TAUDTTINm 入力エッジを待ちます。

32.12.5　ディレイカウント機能

32.12.5.1　概要

概要

この機能は、TAUDTTINm 入力信号に対して一定の遅延がある割り込み（INTTAUDnIm）を発生します。遅延期間に発生した TAUDTTINm 入力信号パルスは無視されます。

前提条件

- 動作モードはワンカウントモードに設定する必要があります（「**表 32.74 ディレイカウント機能の TAUDnCMORm レジスタの内容**」参照）。
- この機能では、TAUDTTOUTm は使用しません。
- カウント動作中は、スタートトリガを無効（TAUDnCMORm.TAUDnMD0＝0）にする必要があります。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm＝1 となり、カウントが可能になります。

有効な TAUDTTINm 入力スタートエッジを検出すると、カウンタ動作を開始します。TAUDnCDRm の値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。

カウンタが 0000_H になると、割り込みが発生します。カウンタは $FFFF_H$ に戻り、次の有効な TAUDTTINm 入力エッジを待ちます。

カウンタのダウンカウント時は、TAUDTTINm 入力信号が無視されます。つまり、カウンタはリセットされません。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

トリガとして使用するエッジの種類は、TAUDnCMURm.TAUDnTIS[1:0]ビットで設定します。

- TAUDnCMURm.TAUDnTIS[1:0]＝00_B の場合、カウンタは立ち下がりエッジでトリガされます。
- TAUDnCMURm.TAUDnTIS[1:0]＝01_B の場合、カウンタは立ち上がりエッジでトリガされます。
- TAUDnCMURm.TAUDnTIS[1:0]＝10_B の場合、カウンタは立ち下がりエッジ、立ち上がり両エッジでトリガされます。

32.12.5.2　算出式

TAUDTTINm-INTTAUDnIm 間の遅延＝カウントクロック周期×（TAUDnCDRm＋1）

32.12.5.3　ブロック図と基本タイミング図

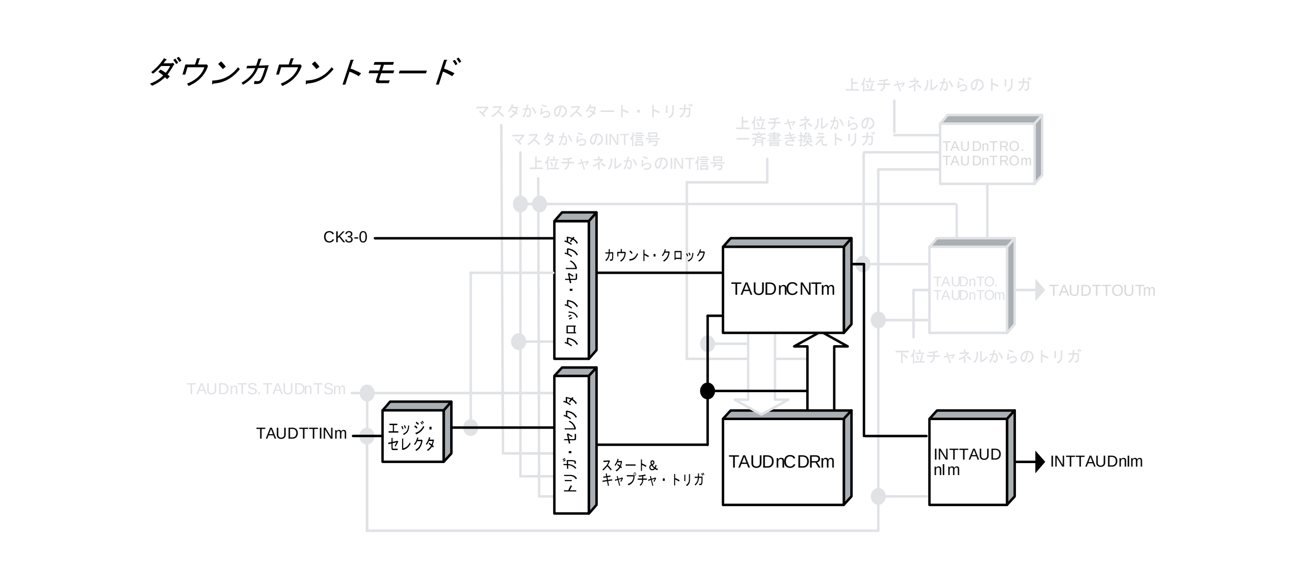


図 32.48　ディレイカウント機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0]＝00_B）

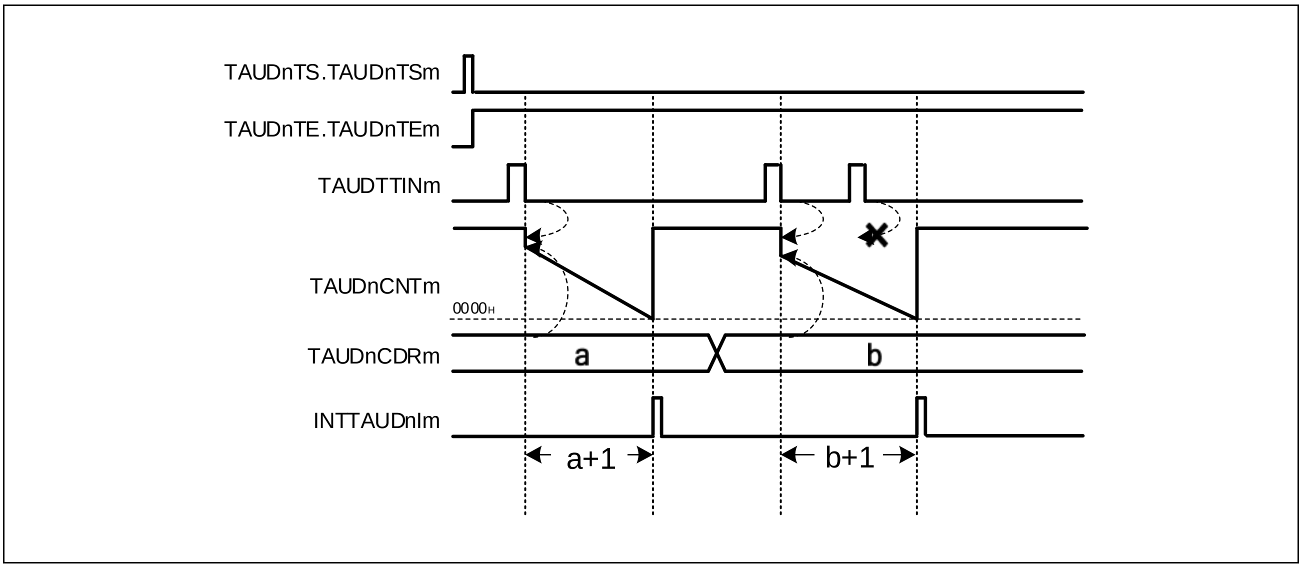


図 32.49　ディレイカウント機能の基本タイミング図

32.12.5.4　レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.74　ディレイカウント機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS[2:0]	001：有効な TAUDTTINm 入力エッジ信号を外部スタートトリガとして使用
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0100：ワンカウントモード
0	TAUDnMD0	0：動作中のスタートトリガは無効とする

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.75　ディレイカウント機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、ディレイカウント機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 32.76　ディレイカウント機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0：一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm＝0）、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

32.12.5.5　ディレイカウント機能の操作手順

表 32.77　ディレイカウント機能の操作手順

		操作	TAUDn の状態
	チャネルの初期	TAUDnCMORm、TAUDnCMURm レジスタを、**「表 32.74 ディレイカウント機能の TAUDnCMORm レジスタの内容」**、**「表 32.75 ディレイカウント機能の TAUDnCMURm レジスタの内容」**に示すように設定します。 TAUDnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作再開	動作開始	TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。 TAUDTTINm スタートエッジ検出	TAUDnTE.TAUDnTEm が“1”に設定され、TAUDnCNTm は TAUDTTINm スタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUDnCDRm の値を TAUDnCNTm にロードします。
	動作中	TAUDnCDRm レジスタ値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは常に読み出し可能です。	TAUDnCNTm がダウンカウントを行います。カウンタが 0000_H になった場合： INTTAUDnIm が発生します。 TAUDnCNTm はカウントを停止し、$FFFF_H$ を戻し、トリガを待ちます。 TAUDnCNTm のカウント中に発生するトリガは無視されます。 以降、この動作を繰り返します。
	動作停止	TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm が停止し、値を保持します。

32.12.6　ワンパルス出力機能

32.12.6.1　概要

概要

この機能は、有効な TAUDTTINm 入力エッジ検出時とその後一定の間隔で、割り込み（INTTAUDnIm）を発生します。定められた期間内に発生する TAUDTTINm 入力信号パルスは無視されます。割り込みが発生すると、TAUDTTOUTm 信号はトグルされ、矩形波を出力します。

前提条件

- 動作モードはパルスワンカウントモードに設定する必要があります（「**表 32.78 ワンパルス出力機能の TAUDnCMORm レジスタの内容**」参照）。
- チャネル出力モードは、チャネル単体出力モード 2 に設定する必要があります。「**32.7 チャネル出力モード**」を参照してください。
- カウント動作中は、トリガ検出を禁止（TAUDnCMORm.TAUDnMD0＝0）にする必要があります。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm＝1 となり、カウントが可能になります。

有効な TAUDTTINm 入力エッジを検出すると、カウンタ動作を開始します。TAUDnCDRm の値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。割り込みが発生し、TAUDTTOUTm がアクティブレベルに設定されます。

カウンタが 0001_H になると、割り込みが発生し、TAUDTTOUTm がインアクティブレベルに設定されます。カウンタは 0000_H で動作を停止し、次の有効な TAUDTTINm 入力エッジを待ちます。

カウンタのダウンカウント時は、TAUDTTINm 入力信号が無視されます。つまり、カウンタはリセットされません。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

トリガとして使用するエッジの種類は、TAUDnCMURm.TAUDnTIS[1:0]ビットで設定します。

- TAUDnCMURm.TAUDnTIS[1:0]＝00_B の場合、カウンタは立ち下がりエッジでトリガされます。
- TAUDnCMURm.TAUDnTIS[1:0]＝01_B の場合、カウンタは立ち上がりエッジでトリガされます。
- TAUDnCMURm.TAUDnTIS[1:0]＝10_B の場合、カウンタは立ち下がりエッジ、立ち上がり両エッジでトリガされます。

32.12.6.2　算出式

TAUDTTINm-INTTAUDnIm の間隔＝TAUDTTOUTm（タイマ出力）幅＝カウントクロック周期×TAUDnCDRm

32.12.6.3　ブロック図と基本タイミング図

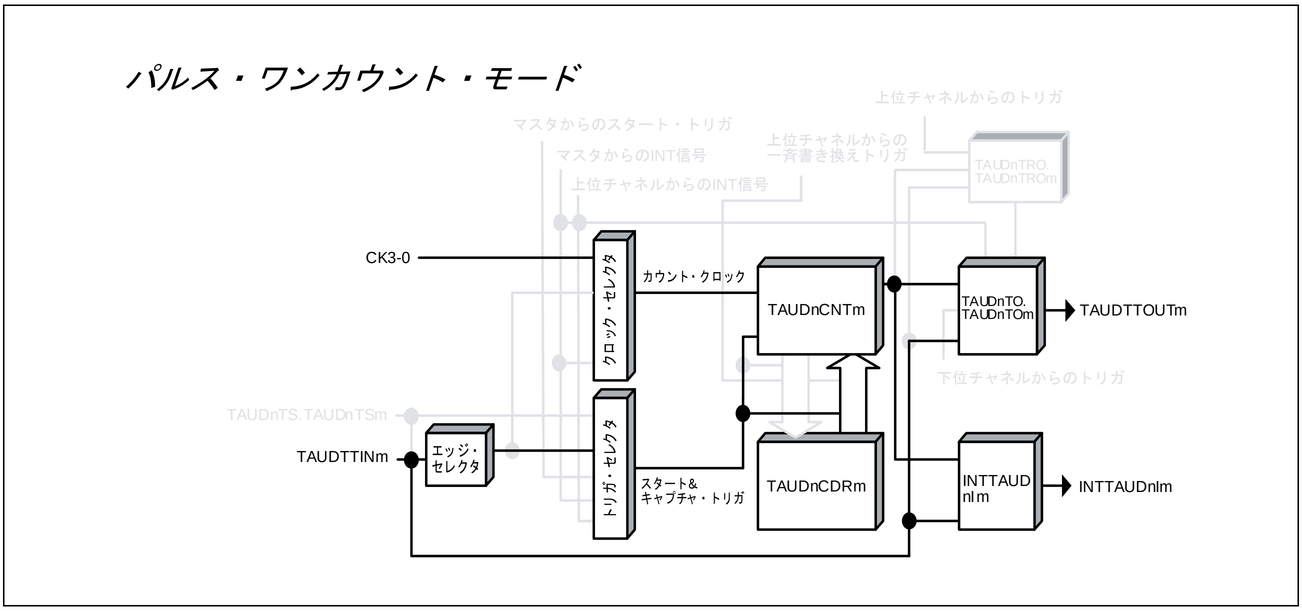


図 32.50　ワンパルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0]＝00_B）

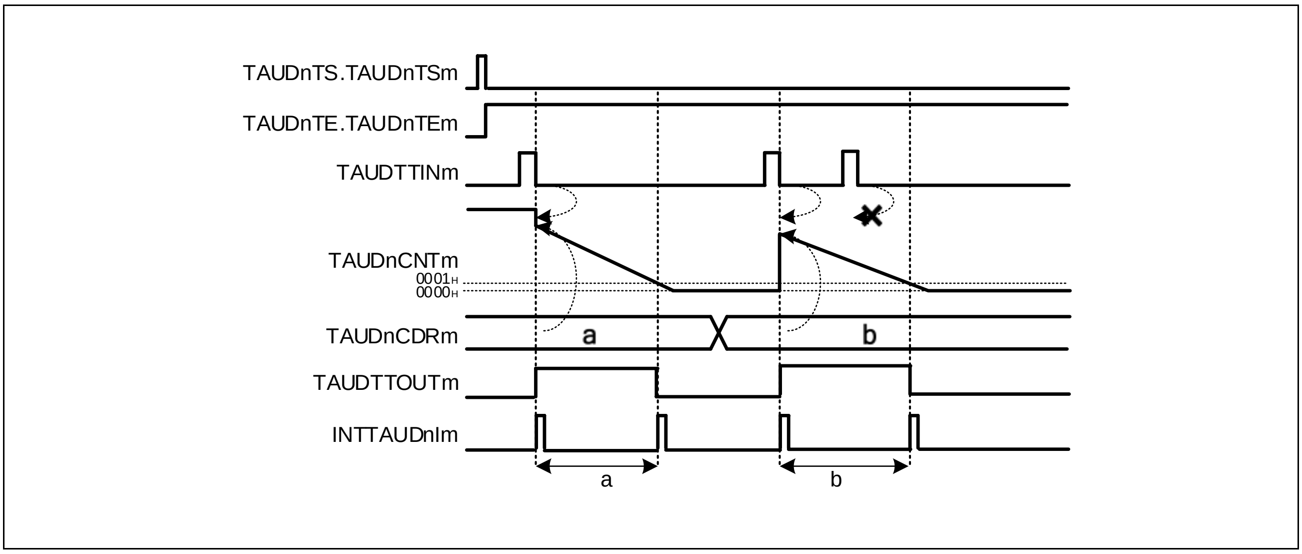


図 32.51　ワンパルス出力機能の基本タイミング図

32.12.6.4　レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.78　ワンパルス出力機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS[2:0]	001：有効な TAUDTTINm 入力エッジ信号を外部スタートトリガとして使用
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	1010：パルスワンカウントモード
0	TAUDnMD0	0：動作中のスタートトリガを無効とする

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.79　ワンパルス出力機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

表 32.80 チャネル単体出力モード 2 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：ソフトウェア制御のチャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0：チャネル単体出力
TAUDnTOC.TAUDnTOCm	1：動作モード 2
TAUDnTOL.TAUDnTOLm	0：正論理 1：負論理
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm＝0）、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm＝0）、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEm	0：変調禁止

備 考

チャネル出力モードは、TAUDnTOE.TAUDnTOEm＝0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUDTTOUTm を割り込みとは独立させて制御することができます。詳細は「**表 32.54 チャネル出力モード**」を参照してください。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、ワンパルス出力機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 32.81 ワンパルス出力機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0：一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm＝0）、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

32.12.6.5　ワンパルス出力機能の操作手順

表 32.82　ワンパルス出力機能の操作手順

		操作	TAUDn の状態
	チャネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、「**表 32.78 ワンパルス出力機能の TAUDnCMORm レジスタの内容**」、「**表 32.79 ワンパルス出力機能の TAUDnCMURm レジスタの内容**」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。 制御ビットを「**表 32.80 チャネル単体出力モード 2 時の制御ビット設定**」に示すように設定して、チャネル出力モードを設定します。	チャネル動作を停止しています。
動作再開	動作開始	TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。 TAUDTTINm スタートエッジ検出	TAUDnTE.TAUDnTEm が“1”に設定され、TAUDnCNTm は TAUDTTINm スタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUDnCNTm は TAUDnCDRm の値をロードします。
動作再開	動作中	TAUDnCDRm 値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは常に読み出し可能です。	TAUDnCNTm の開始時に INTTAUDnIm が発生し、TAUDTTOUTm はアクティブレベルに設定されます。 TAUDnCNTm がダウンカウントを行います。カウンタが 0001_H になった場合： ● INTTAUDnIm が発生します。 ● TAUDTTOUTm がインアクティブレベルに設定されます。 TAUDnCNTm はカウントを停止し、トリガを待ちます。 TAUDnCNTm のカウント中に発生するトリガは無視されます。
動作再開	動作停止	TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

32.12.7　TAUDTTINm 入力パルスインターバル測定機能

32.12.7.1　概要

概要

この機能は、カウント値をキャプチャし、その値とオーバフロービット TAUDnCSRm.TAUDnOVF を使用して TAUDTTINm 入力信号の間隔を測定します。

前提条件

- 動作モードはキャプチャモードに設定する必要があります（「**表 32.84 TAUDTTINm 入力パルスインターバル測定機能の TAUDnCMORm レジスタの内容**」参照）。
- この機能では、TAUDTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm＝1 となり、カウントが可能になります。カウンタ TAUDnCNTm は、0000_H からカウントを開始します。有効な TAUDTTINm エッジが検出されると、TAUDnCNTm の値がキャプチャされ、TAUDnCDRm に転送され、割り込み INTTAUDnIm が発生します。カウンタは、0000_H にリセットされ、その後動作を継続します。

有効な TAUDTTINm エッジを検出する前にカウンタが $FFFF_H$ に達すると、カウンタは 0000_H にオーバフローします。カウンタは、0000_H にリセットされ、その後動作を継続します。TAUDnCDRm、TAUDnCSRm.TAUDnOVF それぞれに転送される値は、TAUDnCMORm.TAUDnCOS[1:0]ビットの値によって異なります。

表 32.83　**オーバフローの影響**

TAUDnCMORm.TAUDnCOS[1:0]	オーバフローが発生した場合		その後、有効な TAUDTTINm 入力が検出された場合	
	TAUDnCDRm	TAUDnCSRm.TAUDnOVF	TAUDnCDRm, TAUDnCNTm	TAUDnCSRm.TAUDnOVF
00	変化しない	0	TAUDnCNTm が TAUDnCDRm にロードされる	1
01		1		
10	$FFFF_H$ に設定	0	TAUDnCNTm は“0”に設定され、TAUDnCDRm は変更されない	変化しない
11		1		

TAUDnCMORm.TAUDnCOS[0]＝1 のとき、オーバフロービット TAUDnCSRm.TAUDnOVF は、TAUDnCSCm.TAUDnCLOV＝1 を設定することでのみクリアできます。

TAUDnCDRm 値と TAUDnCSRm.TAUDnOVF 値の組み合わせを使用することで、TAUDTTINm 信号の間隔を推定できます。ただし、有効な TAUDTTINm 入力が検出される前に複数のオーバフローが発生した場合、オーバフロービット TAUDnCSRm.TAUDnOVF はその複数のオーバフローの発生を示せません。

TAUDnTT.TAUDnTTm＝1 を設定すると機能を停止できます。TAUDnTE.TAUDnTEm＝0 が設定されます。これにより、TAUDnCNTm が停止し、値を保持します。機能停止中、有効な TAUDTTINm 入力エッジの検出と TAUDnCNTm のキャプチャは行われません。

カウンタは、0000_H にリセットされ、その後動作を継続します。

条件

TAUDnCMORm.TAUDnMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は「**32.9 カウント開始／リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成**」を参照してください。

備　考

TAUDnCMORm.TAUDnCOS[1:0]＝10_B、11_B の場合、オーバフロー後の最初の有効な TAUDTTINm 入力エッジの発生時、TAUDnCNTm の値は TAUDnCDRm にロードされません。ただし、割り込みが発生します。

32.12.7.2　算出式

TAUDTTINm 入力パルスインターバル＝カウントクロック周期×［（TAUDnCSRm.TAUDnOVF×（$FFFF_H$＋1））＋TAUDnCDRm キャプチャ値＋1］

32.12.7.3　ブロック図と基本タイミング図

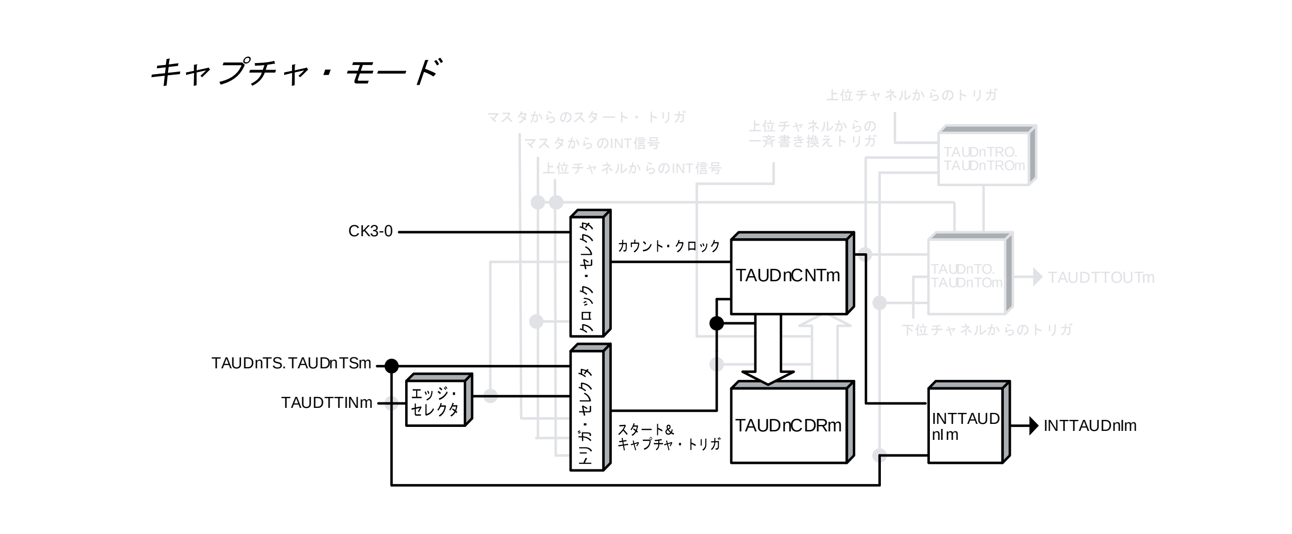


図 32.52　TAUDTTINm 入力パルスインターバル測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生しない（TAUDnCMORm.TAUDnMD0＝0）
- 立ち下がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0]＝00_B）
- オーバフロー後に有効な TAUDTTINm 入力を検出すると、TAUDnCDRm を変更し、TAUDnCSRm.TAUDnOVF を“1”に設定する（TAUDnCMORm.TAUDnCOS[1:0]＝00_B）

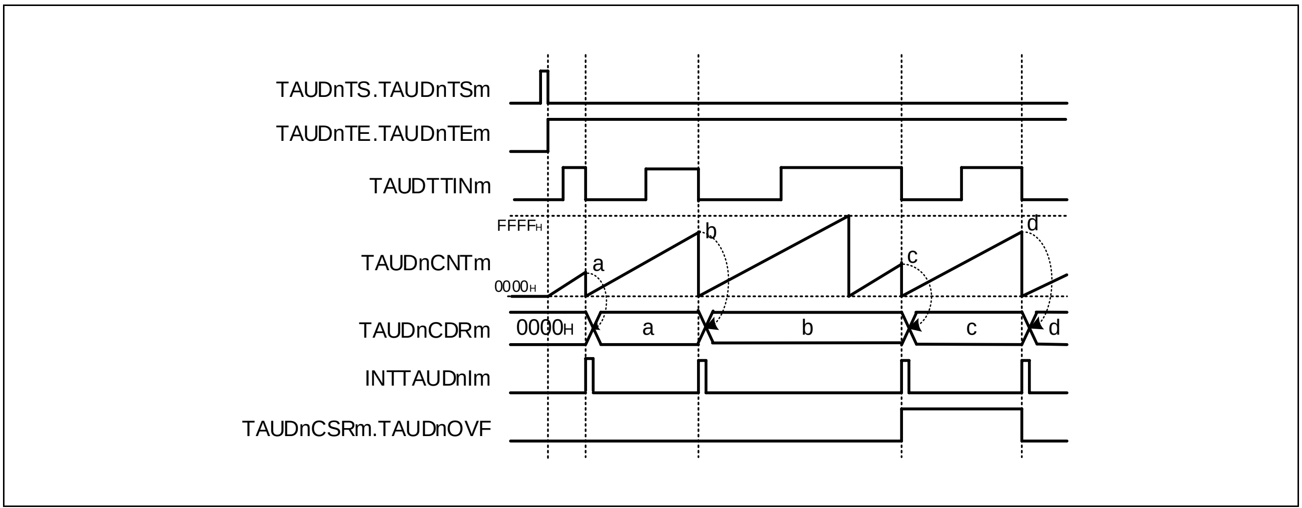


図 32.53　TAUDTTINm 入力パルスインターバル測定機能の基本タイミング図

32.12.7.4　レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.84　TAUDTTINm 入力パルスインターバル測定機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS[2:0]	001：TAUDTTINm 入力信号の有効エッジを外部キャプチャトリガとして使用
7、6	TAUDnCOS[1:0]	**「表 32.83 オーバフローの影響」**を参照。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0010：キャプチャモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない 1：動作開始時に INTTAUDnIm が発生する

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.85　TAUDTTINm 入力パルスインターバル測定機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(4)　一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、TAUDTTINm 入力パルス測定機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 32.86　TAUDTTINm 入力パルスインターバル測定機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0：一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm＝0）、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

32.12.7.5　TAUDTTINm 入力パルスインターバル測定機能の操作手順

表 32.87　TAUDTTINm 入力パルスインターバル測定機能の操作手順

	操作	TAUDn の状態
チャネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、「**表 32.84 TAUDTTINm 入力パルスインターバル測定機能の TAUDnCMORm レジスタの内容**」、「**表 32.85 TAUDTTINm 入力パルスインターバル測定機能の TAUDnCMURm レジスタの内容**」に示すように設定します。 TAUDnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCNTm が 0000$_H$ にクリアされます。 TAUDnCMORm.TAUDnMD0 が“1”の場合は、INTTAUDnIm が発生します。
動作中	TAUDTTINm エッジ検出 TAUDnCMURm.TAUDnTIS[1:0]ビット値は任意のタイミングで変更可能です。TAUDnCDRm、TAUDnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUDnCSCm.TAUDnCLOV ビットの 1 書き込みが可能。（TAUDnCSRm.TAUDnOVF ビットを“0”にクリア）	TAUDnCNTm は、0000$_H$ からアップカウントを開始します。TAUDTTINm の有効エッジ検出時： ● TAUDnCNTm が自身の値を TAUDnCDRm に転送（キャプチャ）して、0000$_H$ に戻ります。 ● その後、INTTAUDnIm が発生します。 以降、この動作を繰り返します。
動作停止	TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm と TAUDnCSRm.TAUDnOVF は現在値を保持します。

動作再開

32.12.7.6　特定の設定時のタイミング図：オーバフロー動作

(1) TAUDnCMORm.TAUDnCOS[1:0]＝00B

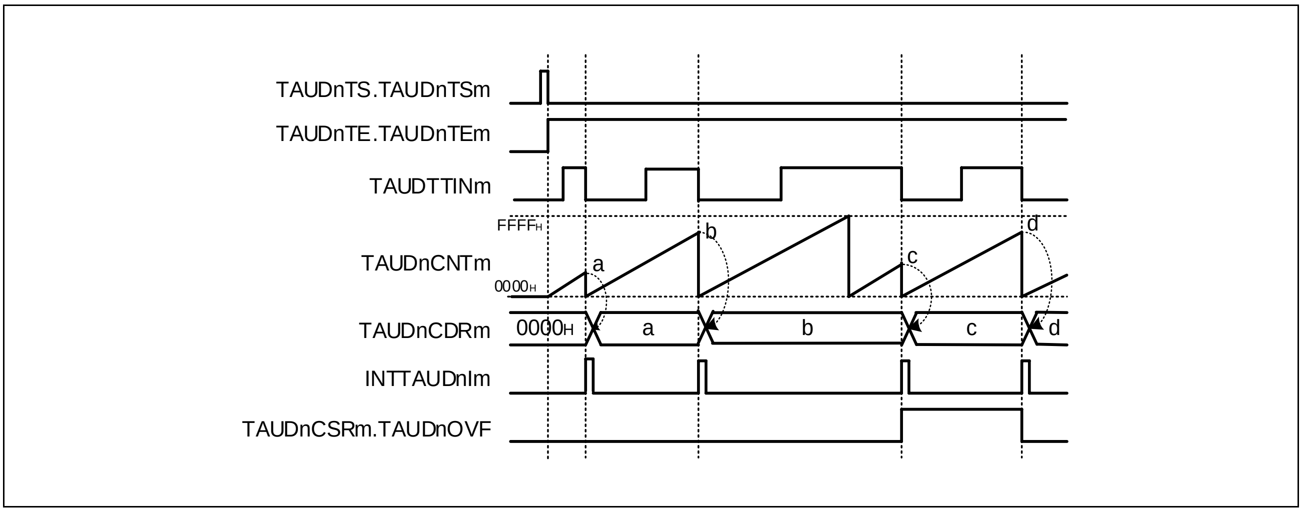


図 32.54　TAUDnCMORm.TAUDnCOS[1:0]＝00B、TAUDnCMORm.TAUDnMD0＝0、TAUDnCMURm.TAUDnTIS[1:0]＝00B

- オーバフローが発生すると、TAUDnCDRm の値は変更されず、TAUDnCSRm.TAUDnOVF の値は“0”のままです。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm の値が TAUDnCDRm にロードされ、TAUDnCSRm.TAUDnOVF が“1”に設定されます。
- オーバフローが発生していない状態で次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCSRm.TAUDnOVF が“0”にクリアされます。

(2) TAUDnCMORm.TAUDnCOS[1:0]＝01B

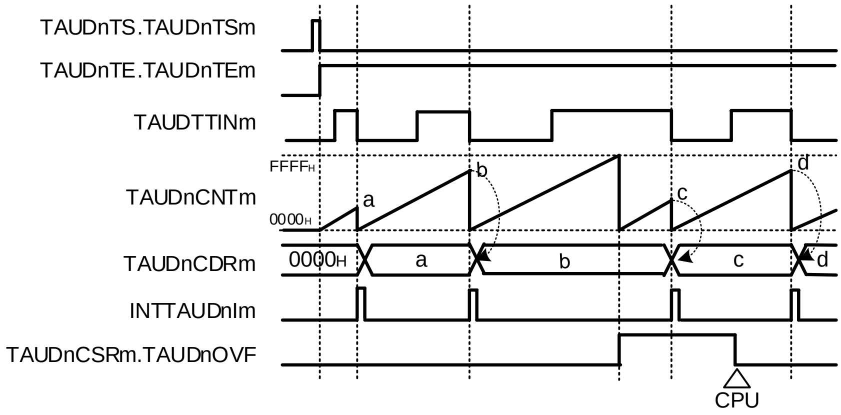


図 32.55　TAUDnCMORm.TAUDnCOS[1:0]＝01B、TAUDnCMORm.TAUDnMD0＝0、TAUDnCMURm.TAUDnTIS[1:0]＝00B

- オーバフローが発生すると、TAUDnCDRm の値は変更されず、TAUDnCSRm.TAUDnOVF の値は“1”に設定されます。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm の値が TAUDnCDRm にロードされます。
- TAUDnCSRm.TAUDnOVF は、CPU コマンド（TAUDnCSCm.TAUDnCLOV ビット＝1 のセット）でのみクリアされます。

(3) TAUDnCMORm.TAUDnCOS[1:0]＝10_B

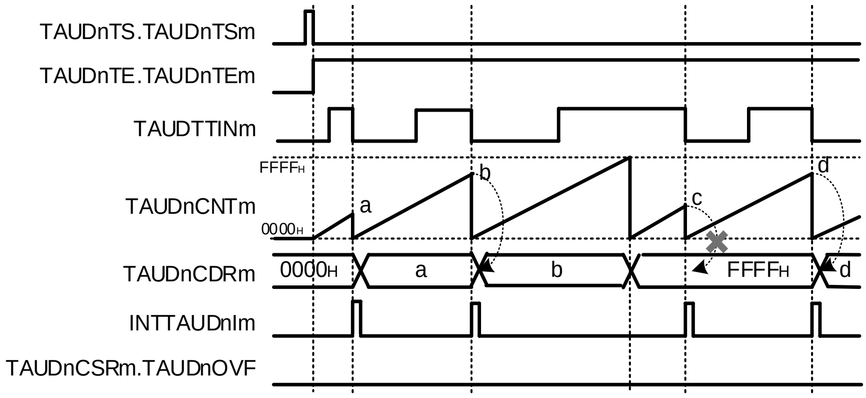


図 32.56　TAUDnCMORm.TAUDnCOS[1:0]＝10_B、TAUDnCMORm.TAUDnMD0＝0、TAUDnCMURm.TAUDnTIS[1:0]＝00_B

- オーバフローが発生すると、TAUDnCDRm は $FFFF_H$ に設定され、TAUDnCSRm.TAUDnOVF の値は“0”のままです。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm が“0”にリセットされますが、TAUDnCDRm と TAUDnCSRm.TAUDnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUDTTINm 入力エッジは無視されます。

(4) TAUDnCMORm.TAUDnCOS[1:0]＝11_B

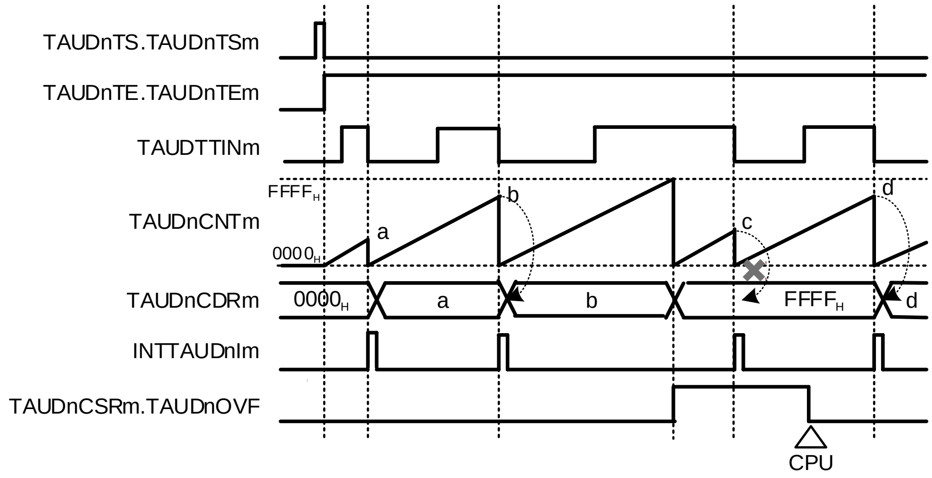


図 32.57　TAUDnCMORm.TAUDnCOS[1:0]＝11_B、TAUDnCMORm.TAUDnMD0＝0、TAUDnCMURm.TAUDnTIS[1:0]＝00_B

- オーバフローが発生すると、TAUDnCDRm は $FFFF_H$ に設定され、TAUDnCSRm.TAUDnOVF は“1”に設定されます。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm が“0”にリセットされますが、TAUDnCDRm と TAUDnCSRm.TAUDnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUDTTINm 入力エッジは無視されます。
- TAUDnCSRm.TAUDnOVF は、TAUDnCSCm.TAUDnCLOV＝1 を設定することでクリアされます。

32.12.8　TAUDTTINm 入力信号幅測定機能

32.12.8.1　概要

概要

この機能は、TAUDTTINm の片エッジでカウントをスタートし、もう片エッジでカウント値をキャプチャすることで、TAUDTTINm の信号幅を測定できます。

前提条件

- 動作モードはキャプチャ&ワンカウントモードに設定する必要があります（「**表 32.89 TAUDTTINm 入力信号幅測定機能の TAUDnCMORm レジスタの内容**」参照）。
- この機能では、TAUDTTOUTm は使用しません。
- TAUDnCMORm.TAUDnMD0 は、“0”に設定する必要があります。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm＝1 となり、カウントが可能になります。有効な TAUDTTINm スタートエッジが検出されると、カウンタ TAUDnCNTm は、0000_H からカウントを開始します。有効な TAUDTTINm ストップエッジが検出されると、TAUDnCNTm の値がキャプチャされ、TAUDnCDRm に転送され、割り込み INTTAUDnIm が発生します。カウンタは値（TAUDnCDRm＋1）を保持し、次の有効な TAUDTTINm 入力スタートエッジを待ちます。

有効な TAUDTTINm ストップエッジを検出する前にカウンタが $FFFF_H$ に達すると、カウンタはオーバフローします。カウンタは、0000_H にリセットされ、その後動作を継続します。TAUDnCDRm、TAUDnCSRm.TAUDnOVF それぞれに転送される値は、TAUDnCMORm.TAUDnCOS[1:0]ビットの値によって異なります。

表 32.88　オーバフローの影響

<table>
<tr><th rowspan="2">TAUDnCMORm.
TAUDnCOS[1:0]</th><th colspan="2">オーバフローが発生した場合</th><th colspan="2">有効な TAUDTTINm 入力ストップエッジの検出時</th></tr>
<tr><th>TAUDnCDRm</th><th>TAUDnCSRm.
TAUDnOVF</th><th>TAUDnCDRm,
TAUDnCNTm</th><th>TAUDnCSRm.
TAUDnOVF</th></tr>
<tr><td>00</td><td rowspan="2">変化しない</td><td>0</td><td rowspan="2">TAUDnCNTm が TAUDnCDRm にロードされる</td><td rowspan="2">1</td></tr>
<tr><td>01</td><td>1</td></tr>
<tr><td>10</td><td rowspan="2">$FFFF_H$ に設定</td><td>0</td><td rowspan="2">TAUDnCNTm はカウントを停止
TAUDnCDRm は変更されない</td><td rowspan="2">変化しない</td></tr>
<tr><td>11</td><td>1</td></tr>
</table>

TAUDnCMORm.TAUDnCOS[0]＝1 のとき、オーバフロービット TAUDnCSRm.TAUDnOVF は、TAUDnCSCm.TAUDnCLOV＝1 を設定することでのみクリアできます。

TAUDnCDRm 値と TAUDnCSRm.TAUDnOVF 値の組み合わせを使用することで、TAUDTTINm 信号の幅を推定できます。ただし、有効な TAUDTTINm 入力が検出される前に複数のオーバフローが発生した場合、オーバフロービット TAUDnCSRm.TAUDnOVF はその複数のオーバフローの発生を示せません。

この機能は強制的に再開することはできません。

備　考

TAUDnCMORm.TAUDnCOS[1]＝1 の場合、オーバフロー後の最初の有効な TAUDTTINm 入力エッジの発生時、TAUDnCNTm の値は TAUDnCDRm にロードされません。ただし、割り込みが発生します。

32.12.8.2　算出式

TAUDTTINm 入力信号幅＝カウントクロック周期×［（TAUDnCSRm.TAUDnOVF×（FFFF$_H$＋1））＋TAUDnCDRm キャプチャ値＋1］

32.12.8.3　ブロック図と基本タイミング図

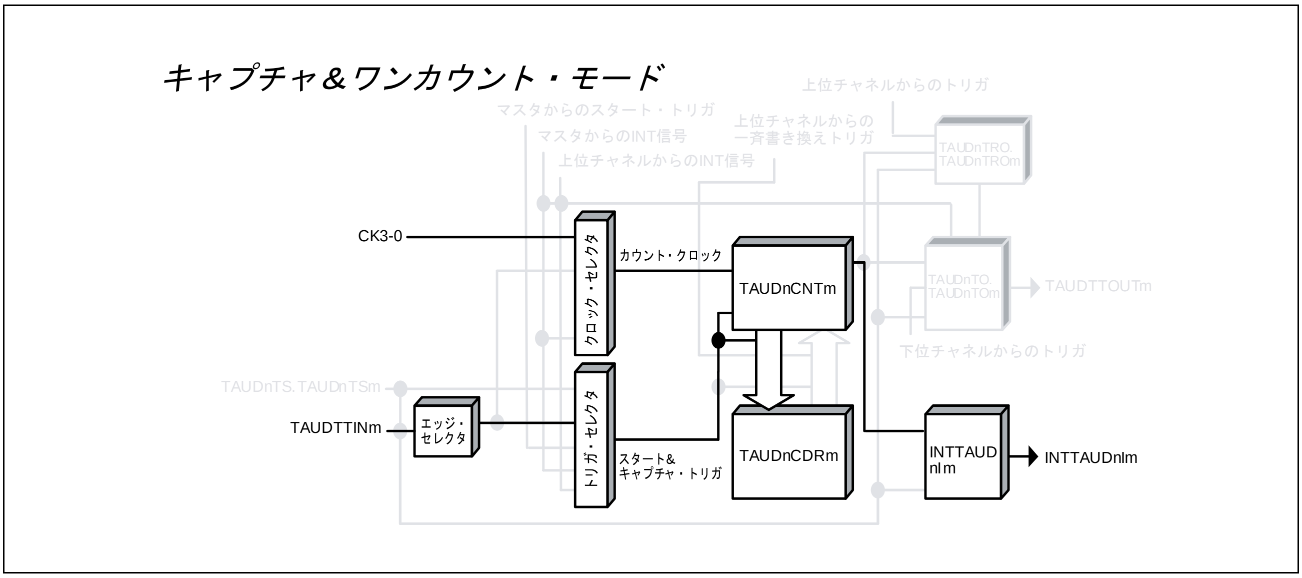


図 32.58　TAUDTTINm 入力信号幅測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出＝ハイレベル幅測定（TAUDnCMURm.TAUDnTIS[1:0]＝11$_B$）
- オーバフロー後に有効な TAUDTTINm 入力を検出すると、TAUDnCDRm を変更し、TAUDnCSRm.TAUDnOVF を“1”に設定する（TAUDnCMORm.TAUDnCOS[1:0]＝00$_B$）

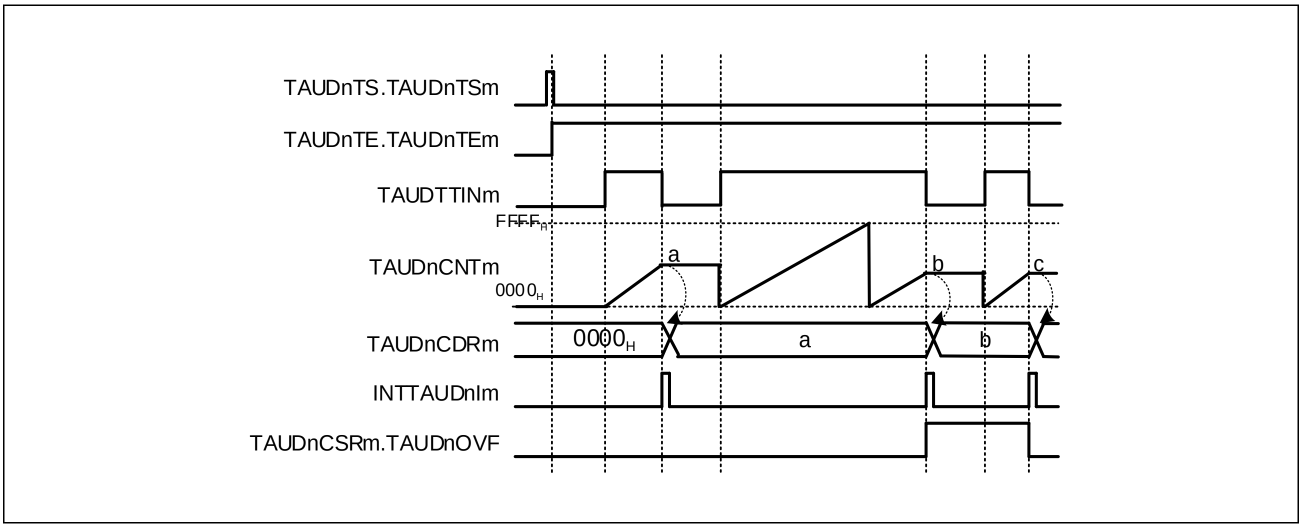


図 32.59　TAUDTTINm 入力信号幅測定機能の基本タイミング図

32.12.8.4　レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.89　TAUDTTINm 入力信号幅測定機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS[2:0]	010：TAUDTTINm 入力信号の有効エッジを外部スタートトリガ、逆エッジをストップトリガとして使用
7、6	TAUDnCOS[1:0]	**「表 32.88 オーバフローの影響」**を参照。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0110：キャプチャ&ワンカウントモード
0	TAUDnMD0	0：動作中のスタートトリガ無効

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.90　TAUDTTINm 入力信号幅測定機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、TAUDTTINm 入力信号幅測定機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 32.91　TAUDTTINm 入力信号幅測定機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0：一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm＝0）、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

32.12.8.5　TAUDTTINm 入力信号幅測定機能の操作手順

表 32.92　TAUDTTINm 入力信号幅測定機能の操作手順

	操作	TAUDn の状態
チャネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、「**表 32.89 TAUDTTINm 入力信号幅測定機能の TAUDnCMORm レジスタの内容**」、「**表 32.90 TAUDTTINm 入力信号幅測定機能の TAUDnCMURm レジスタの内容**」に示すように設定します。 TAUDnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、TAUDnCNTm は TAUDTTINm スタートエッジ検出を待ちます。 TAUDTTINm スタートエッジを検出すると、TAUDnCNTm はアップカウントを開始します。
動作中	TAUDnCDRm、TAUDnCNTm、TAUDnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUDnCSCm.TAUDnCLOV ビットは、“1”にセット可能です。	TAUDnCNTm は、0000_H からアップカウントを開始します。TAUDTTINm の有効エッジ検出時： ● TAUDnCNTm が自身の値を TAUDnCDRm に転送（キャプチャ）して、その値を保持し、INTTAUDnIm が発生します。 カウントは TAUDnCDRm に転送した値＋1 の値で停止し、TAUDnCNTm は TAUDTTINm スタートエッジの検出を待ちます。 以降、この動作を繰り返します。
動作停止	TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm と TAUDnCSRm.TAUDnOVF は現在値を保持します。

動作再開

32.12.8.6　特定の設定時のタイミング図：オーバフロー動作

(1)　TAUDnCMORm.TAUDnCOS[1:0]＝00B

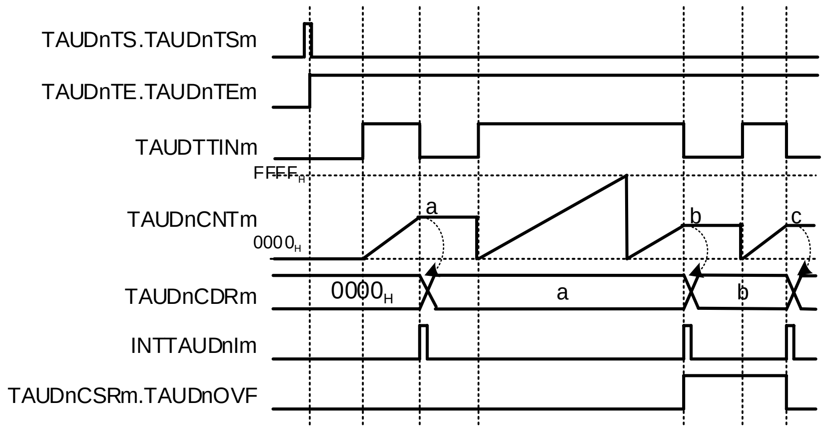


図 32.60　TAUDnCMORm.TAUDnCOS[1:0]＝00B、TAUDnCMORm.TAUDnMD0＝0、TAUDnCMURm.TAUDnTIS[1:0]＝11B

- オーバフローが発生すると、TAUDnCDRm の値は変更されず、TAUDnCSRm.TAUDnOVF の値は"0"のままです。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm の値が TAUDnCDRm にロードされ、TAUDnCSRm.TAUDnOVF が"1"に設定されます。
- オーバフローが発生していない状態で次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCSRm.TAUDnOVF が"0"にクリアされます。

(2) TAUDnCMORm.TAUDnCOS[1:0]＝01_B

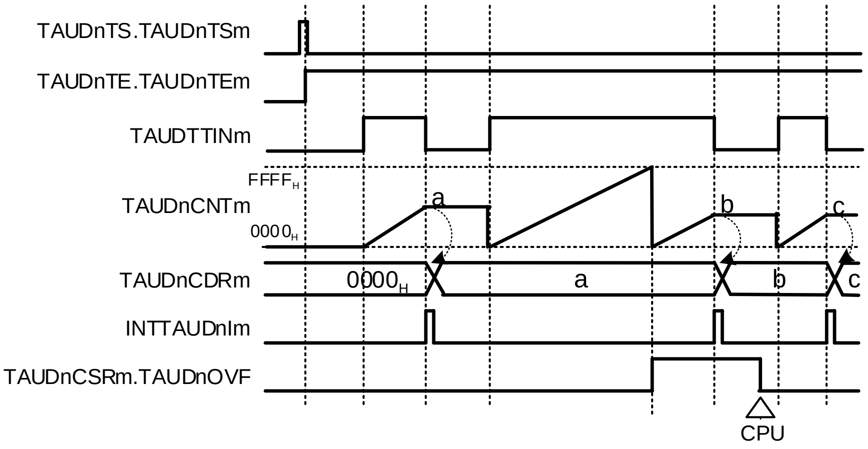


図 32.61　TAUDnCMORm.TAUDnCOS[1:0]＝01_B、TAUDnCMORm.TAUDnMD0＝0、
TAUDnCMURm.TAUDnTIS[1:0]＝11_B

- オーバフローが発生すると、TAUDnCDRm の値は変更されず、TAUDnCSRm.TAUDnOVF の値は“1”に設定されます。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm の値が TAUDnCDRm にロードされます。
- TAUDnCSRm.TAUDnOVF は、CPU コマンド（TAUDnCSCm.TAUDnCLOV ビット＝1 のセット）でのみクリアされます。

(3) TAUDnCMORm.TAUDnCOS[1:0]＝10_B

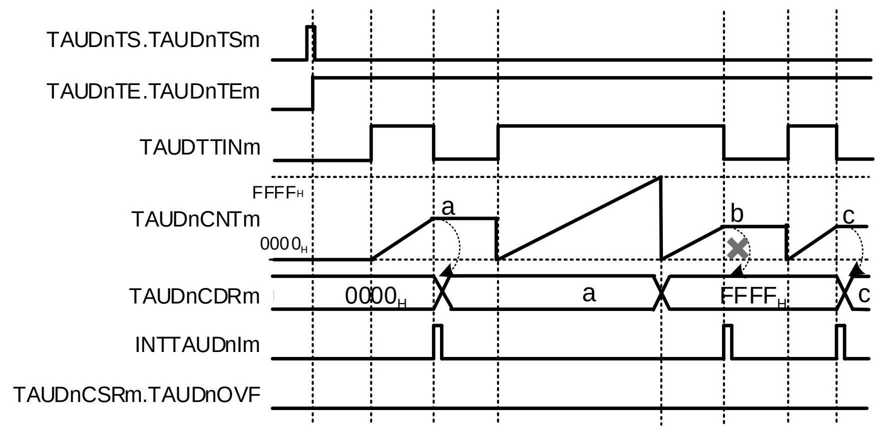


図 32.62　TAUDnCMORm.TAUDnCOS[1:0]＝10_B、TAUDnCMORm.TAUDnMD0＝0、TAUDnCMURm.TAUDnTIS[1:0]＝11_B

- オーバフローが発生すると、TAUDnCDRm は $FFFF_H$ に設定され、TAUDnCSRm.TAUDnOVF の値は“0”のままです。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm がカウントを停止し、TAUDnCDRm と TAUDnCSRm.TAUDnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUDTTINm 入力エッジは無視されます。

(4) TAUDnCMORm.TAUDnCOS[1:0]＝11_B

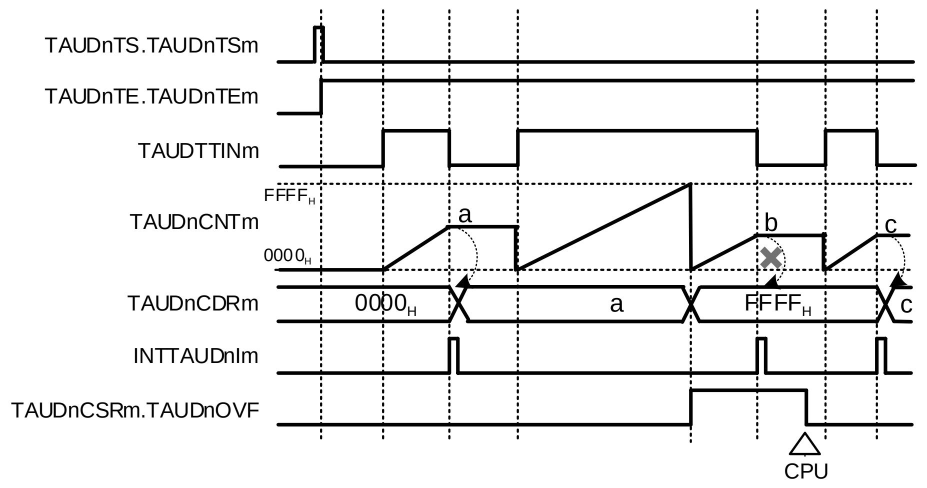


図 32.63　TAUDnCMORm.TAUDnCOS[1:0]＝11_B、TAUDnCMORm.TAUDnMD0＝0、TAUDnCMURm.TAUDnTIS[1:0]＝11_B

- オーバフローが発生すると、TAUDnCDRm は $FFFF_H$ に設定され、TAUDnCSRm.TAUDnOVF は“1”に設定されます。
- 次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm がカウントを停止し、TAUDnCDRm と TAUDnCSRm.TAUDnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUDTTINm 入力エッジは無視されます。
- TAUDnCSRm.TAUDnOVF は、TAUDnCSCm.TAUDnCLOV＝1 を設定することでクリアされます。

32.12.9　TAUDTTINm 入力位置検出機能

32.12.9.1　概要

概要

TAUDTTINm の有効エッジでカウント値をキャプチャすることで、入力信号間隔を測定できる機能です。

前提条件

- 動作モードはカウントキャプチャモードに設定する必要があります（「**表 32.93　TAUDTTINm 入力位置検出機能の TAUDnCMORm レジスタの内容**」参照）。
- この機能では、TAUDTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm＝1 となり、カウントが可能になります。カウンタは、0000_H からカウントを開始します。有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm の現在値が TAUDnCDRm にロードされ、割り込み（INTTAUDnIm）が発生します。カウント動作は継続します。

カウンタ値が $FFFF_H$ になると、カウンタは 0000_H からカウント動作を再開します。

備　考

TAUDTTINm 入力信号は TAUDnCMORm.TAUDnCKS[1:0]ビットで設定した動作クロックの周波数でサンプリングされます。

条件

TAUDnCMORm.TAUDnMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は「**32.9　カウント開始／リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成**」を参照してください。

32.12.9.2　算出式

TAUDTTINm 入力パルスでの機能時間＝カウントクロック周期×（TAUDnCDRm キャプチャ値＋1）

32.12.9.3　ブロック図と基本タイミング図

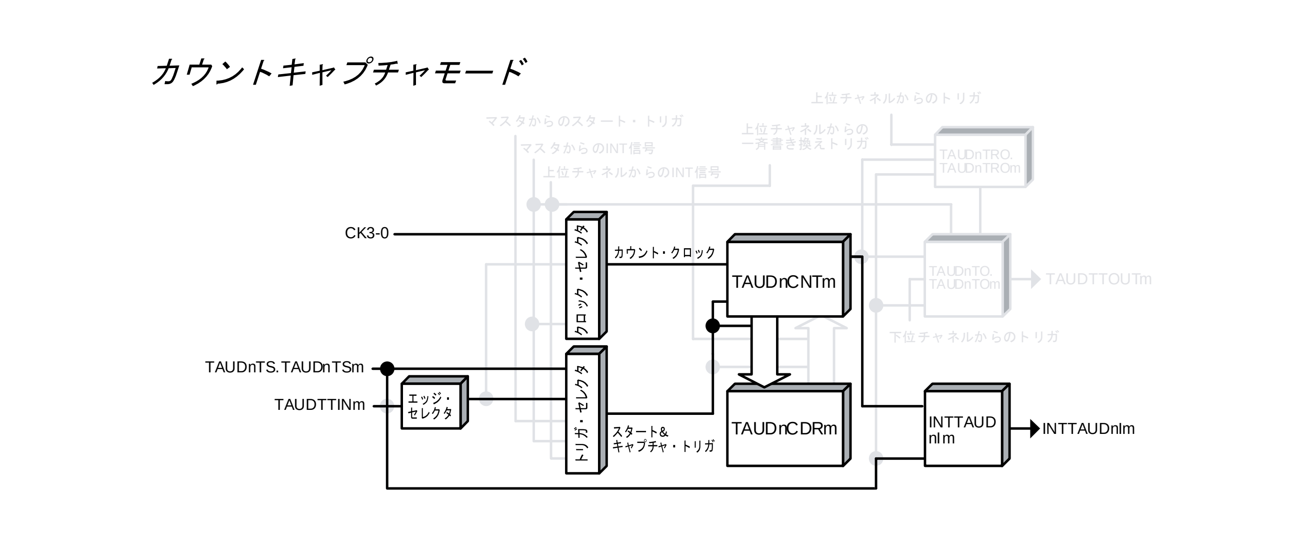


図 32.64　TAUDTTINm 入力位置検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生しない（TAUDnCMORm.TAUDnMD0＝0）
- 立ち下がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0]＝00$_B$）

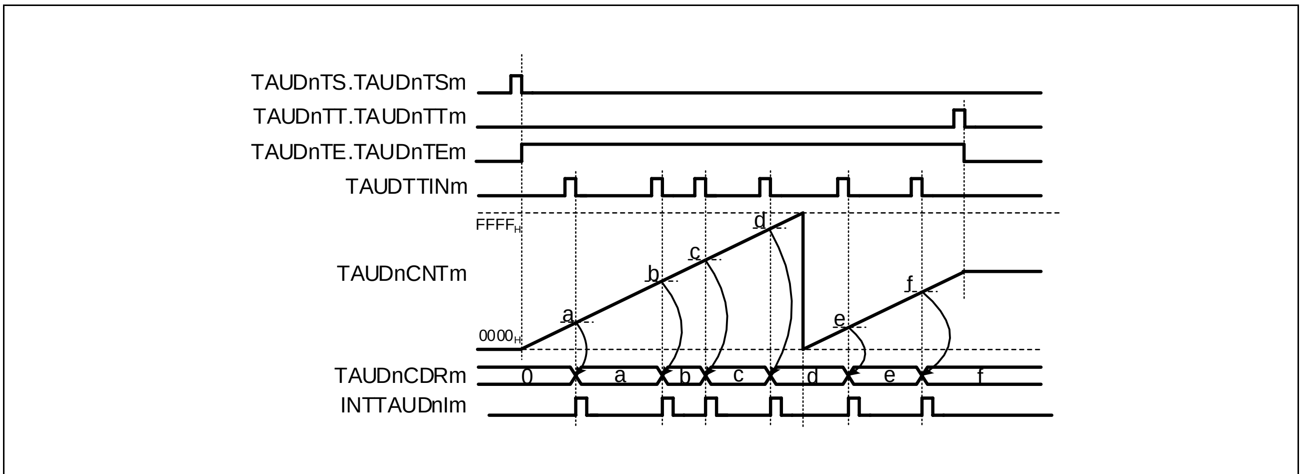


図 32.65　TAUDTTINm 入力位置検出機能の基本タイミング図

32.12.9.4 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.93 TAUDTTINm 入力位置検出機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS[2:0]	001：有効な TAUDTTINm 入力エッジ信号を外部キャプチャトリガとして使用
7、6	TAUDnCOS[1:0]	01：この値に設定してください
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	1011：カウントキャプチャモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない 1：動作開始時に INTTAUDnIm が発生する

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.94 TAUDTTINm 入力位置検出機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しません。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、TAUDTTINm 入力位置検出機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 32.95　TAUDTTINm 入力位置検出機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0：一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm＝0）、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

32.12.9.5　TAUDTTINm 入力位置検出機能の操作手順

表 32.96　TAUDTTINm 入力位置検出機能の操作手順

	操作	TAUDn の状態
チャネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、「**表 32.93 TAUDTTINm 入力位置検出機能の TAUDnCMORm レジスタの内容**」、「**表 32.94 TAUDTTINm 入力位置検出機能の TAUDnCMURm レジスタの内容**」に示すように設定します。 TAUDnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCMORm.TAUDnMD0 が“1”の場合は、INTTAUDnIm が発生します。
動作中	TAUDnCMURm.TAUDnTIS[1:0]ビット値は任意のタイミングで変更可能です。 TAUDnCDRm、TAUDnCSRm レジスタは任意のタイミングで読み出し可能です。	TAUDnCNTm は、0000_H からアップカウントを開始します。TAUDTTINm の有効エッジ検出時： ● TAUDnCNTm が自身の値を TAUDnCDRm に転送（キャプチャ）します。 ● INTTAUDnIm を出力します。 ● カウンタ値は 0000_H にクリアされず、TAUDnCNTm はカウント動作を継続します。 以降、この動作を繰り返します。 TAUDnCNTm が $FFFF_H$ に達すると、カウンタは 0000_H からカウント動作を再開します。
動作停止	TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm は現在値を保持します。

32.12.9.6　特定の設定時のタイミング図

(1)　動作の停止と再開

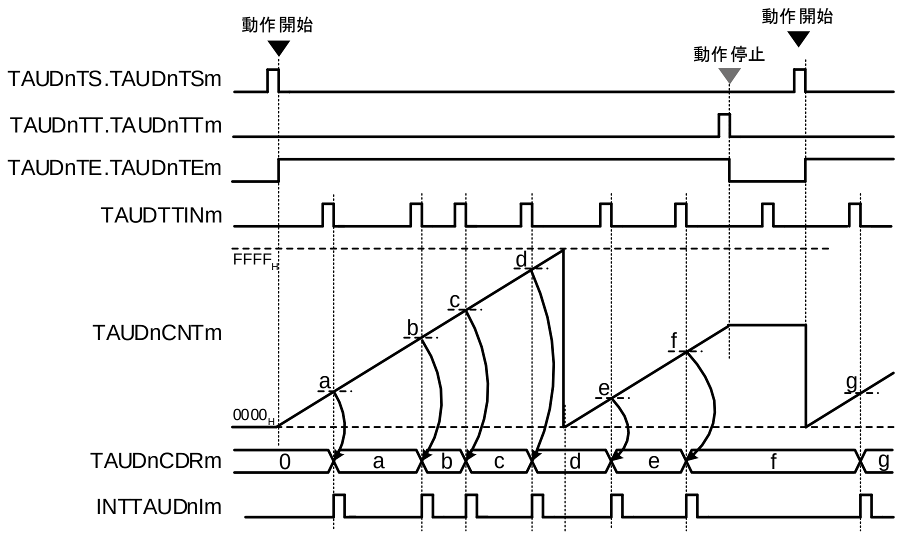


図 32.66　動作の停止と再開（TAUDnCMORm.TAUDnMD0＝0、TAUDnCMURm.TAUDnTIS[1:0]＝00_B）

- TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。
- TAUDnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUDTTINm の有効な入力エッジは無視されます。
- TAUDnTS.TAUDnTSm を“1”に設定すると、カウントを再開できます。TAUDnCNTm は 0000_H からカウントを再開します。

32.12.10 TAUDTTINm 入力期間カウント検出機能

32.12.10.1 概要

概要

この機能は、TAUDTTINm 入力信号の合計幅を測定します。

前提条件

- 動作モードはキャプチャ&ゲートカウントモードに設定する必要があります（「**表 32.97 TAUDTTINm 入力期間カウント検出機能の TAUDnCMORm レジスタの内容**」参照）。
- この機能では、TAUDTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm＝1 となり、カウントが可能になります。カウンタは、有効な TAUDTTINm 入力エッジを待ちます。

有効な TAUDTTINm 入力スタートエッジが検出されると、カウンタは、0000_H からカウントを開始します。

有効な TAUDTTINm 入力ストップエッジが検出されると、TAUDnCNTm の現在値が TAUDnCDRm にロードされ、割り込み（INTTAUDnIm）が発生します。次の有効な TAUDTTINm 入力スタートエッジを検出するまで、カウンタは停止し、値（TAUDnCDRm＋1）を保持します。

次の有効な TAUDTTINm 入力スタートエッジが検出されると、カウンタは、停止時の値からカウントを再開します。

カウンタ値が $FFFF_H$ になると、カウンタは 0000_H からカウント動作を再開します。

備　考

1. TAUDTTINm 入力信号は、TAUDnCMORm.TAUDnCKS[1:0]ビットで設定した動作クロックの周波数でサンプリングされます。
2. この機能は、TAUDTTINm 入力の信号幅測定を目的とするため、TAUDnTE.TAUDnTEm＝1 期間中の TAUDnTS.TAUDnTSm のセット（1）は使用できません。

条件

有効なスタートエッジとストップエッジは、TAUDnCMURm.TAUDnTIS[1:0]ビットで設定します。

- TAUDnCMURm.TAUDnTIS[1:0]＝10_B の場合、TAUDTTINm 入力ロウレベル期間をカウントします。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUDnCMURm.TAUDnTIS[1:0]＝11_B の場合、TAUDTTINm 入力ハイレベル期間をカウントします。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

32.12.10.2 算出式

TAUDTTINm 入力幅累計＝
カウントクロック周期×（TAUDnCDRm キャプチャ値＋1）

32.12.10.3 ブロック図と基本タイミング図

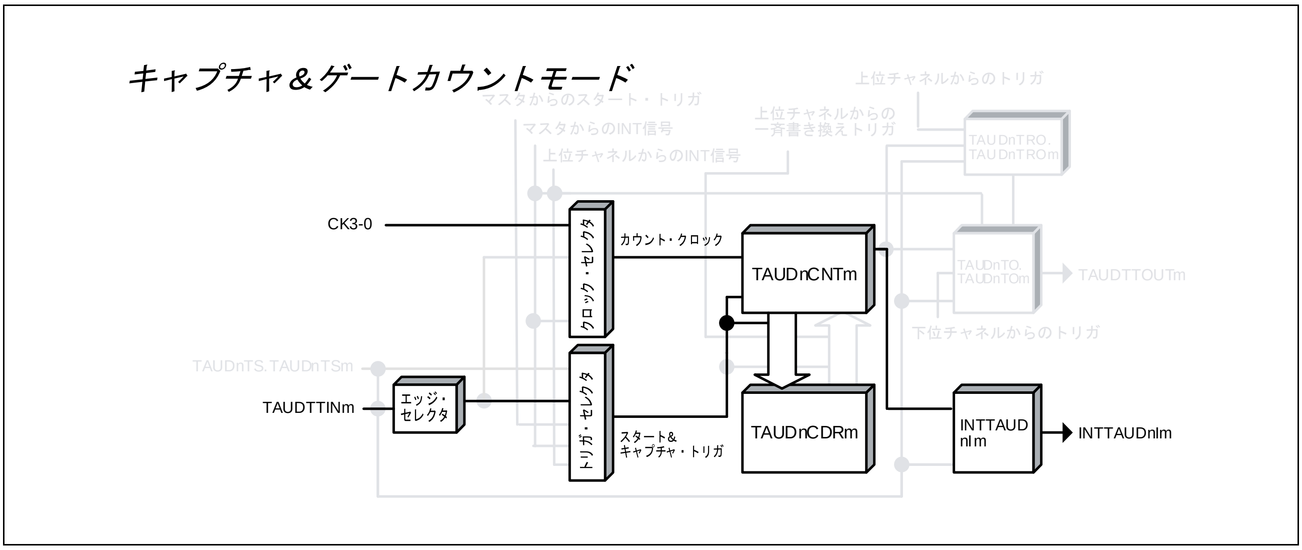


図 32.67　TAUDTTINm 入力期間カウント検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出＝ハイ レベル幅測定（TAUDnCMURm.TAUDnTIS[1:0]＝11_B）

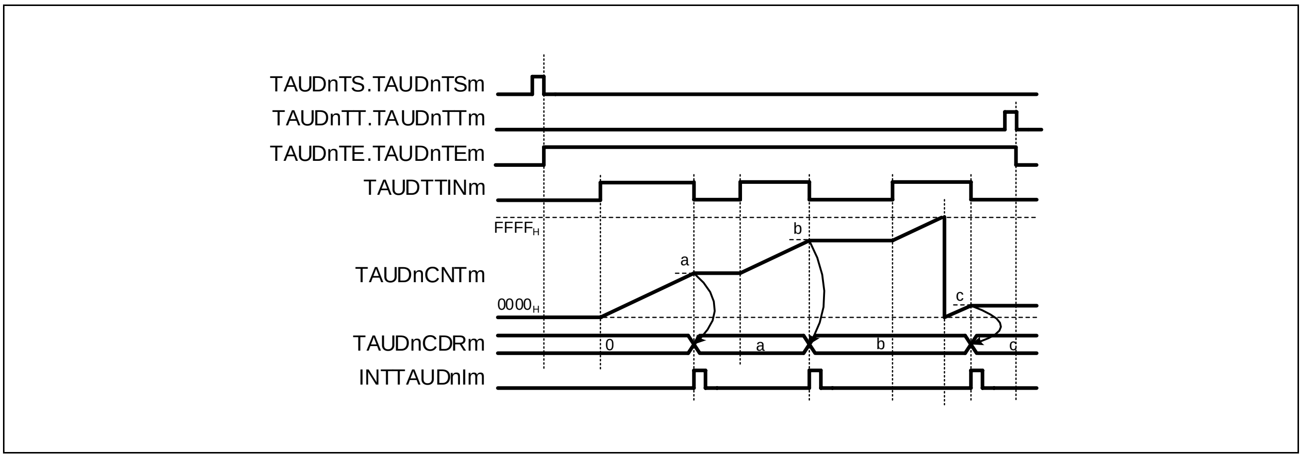


図 32.68　TAUDTTINm 入力期間カウント検出機能の基本タイミング図

32.12.10.4 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.97　TAUDTTINm 入力期間カウント検出機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS[2:0]	010：TAUDTTINm 入力信号の有効エッジを外部スタートトリガ、逆エッジをストップトリガとして使用
7、6	TAUDnCOS[1:0]	01：この値に設定してください
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	1101：キャプチャ&ゲートカウントモード
0	TAUDnMD0	0：動作中のスタートトリガ無効

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.98　TAUDTTINm 入力期間カウント検出機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、TAUDTTINm 入力期間カウント検出機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 32.99　TAUDTTINm 入力期間カウント検出機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0：一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm＝0）、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

32.12.10.5 TAUDTTINm 入力期間カウント検出機能の操作手順

表 32.100 TAUDTTINm 入力期間カウント検出機能の操作手順

	操作	TAUDn の状態
チャネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、「**表 32.97 TAUDTTINm 入力期間カウント検出機能の TAUDnCMORm レジスタの内容**」、「**表 32.98 TAUDTTINm 入力期間カウント検出機能の TAUDnCMURm レジスタの内容**」に示すように設定します。 TAUDnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、TAUDnCNTm は TAUDTTINm スタートエッジ検出を待ちます。
動作中	TAUDTTINm エッジ検出 TAUDnCDRm、TAUDnCNTm、TAUDnCSRm レジスタは任意のタイミングで読み出しが可能です。	TAUDTTINm スタートエッジ（ハイレベル幅測定なら立ち上がりエッジ、ロウレベル幅測定なら立ち下がりエッジ）を検出すると、TAUDnCNTm は停止値よりアップカウントを開始します。 TAUDnCNTm は、ストップエッジ（ハイレベル幅測定なら立ち下がりエッジ、ロウレベル幅測定なら立ち上がりエッジ）を検出すると、値を TAUDnCDRm に転送し、INTTAUDnIm が発生します。 カウントは TAUDnCDRm に転送した値＋1 の値で停止し、TAUDnCNTm は TAUDTTINm スタートエッジの検出を待ちます。 TAUDnCNTm が $\mathrm{FFFF_H}$ に達すると、カウンタは $\mathrm{0000_H}$ からカウント動作を再開します。 以降、この動作を繰り返します。
動作停止	TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm は現在値を保持します。

動作再開

32.12.10.6 特定の設定時のタイミング図

(1) 動作の停止と再開

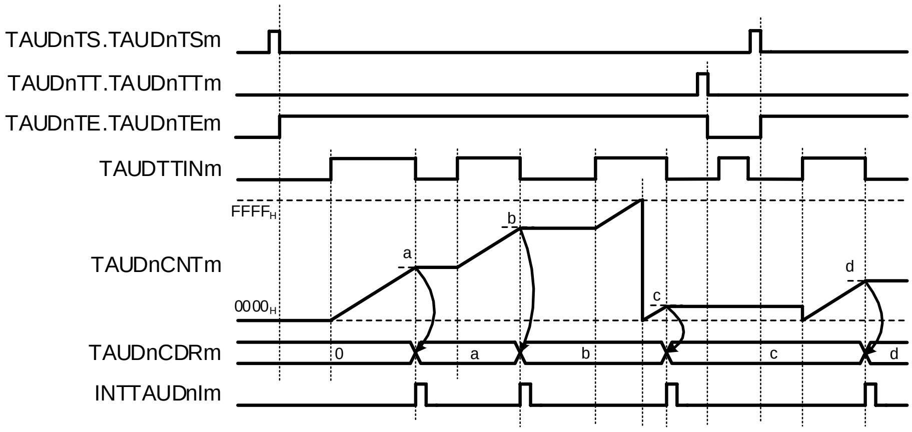


図 32.69　動作の停止と再開（TAUDnCMURm.TAUDnTIS[1:0]＝11_B）

- TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。
- TAUDnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUDTTINm の有効な入力エッジは無視されます。
- TAUDnTS.TAUDnTSm を“1”に設定すると、カウントを再開できます。TAUDnCNTm は 0000_H からカウントを再開します。

32.12.11 TAUDTTINm 入力パルスインターバル判定機能

32.12.11.1 概要

概要

この機能は、TAUDTTINm 入力パルスの発生時、カウント値（TAUDnCNTm）とチャネルデータレジスタ（TAUDnCDRm）の値を比較した結果を出力します。比較の結果が真の場合、割り込み要求信号 INTTAUDnIm が発生します。

前提条件

- 動作モードはジャッジモードに設定する必要があります（「**表 32.101 TAUDTTINm 入力パルスインターバル判定機能の TAUDnCMORm レジスタの内容**」参照）。
- この機能では、TAUDTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を“1”に設定すると、カウンタ動作が許可されます。

これにより TAUDnTE.TAUDnTEm＝1 となり、カウントが可能になります。TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。

TAUDTTINm 有効エッジが検出された場合、または TAUDnTS.TAUDnTSm が“1”に設定された場合、この機能は TAUDnCNTm と TAUDnCDRm の現在値を比較します。比較の結果が真の場合、割り込み要求信号 INTTAUDnIm が発生します。TAUDnCNTm は、TAUDnCDRm の値をリロードし、比較の結果に関係なく動作を継続します。

有効な TAUDTTINm エッジを検出する前にカウンタが 0000_H に達すると、TAUDnCNTm はオーバフローし、$FFFF_H$ に設定されます。その後、カウンタはダウンカウントを継続します。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

比較の種類を TAUDnCMORm.TAUDnMD0 ビットで指定します。

- TAUDnCMORm.TAUDnMD0＝0 かつ TAUDnCNTm≦TAUDnCDRm の場合、INTTAUDnIm が発生します。
- TAUDnCMORm.TAUDnMD0＝1 かつ TAUDnCNTm＞TAUDnCDRm の場合、INTTAUDnIm が発生します。

32.12.11.2 ブロック図と基本タイミング図

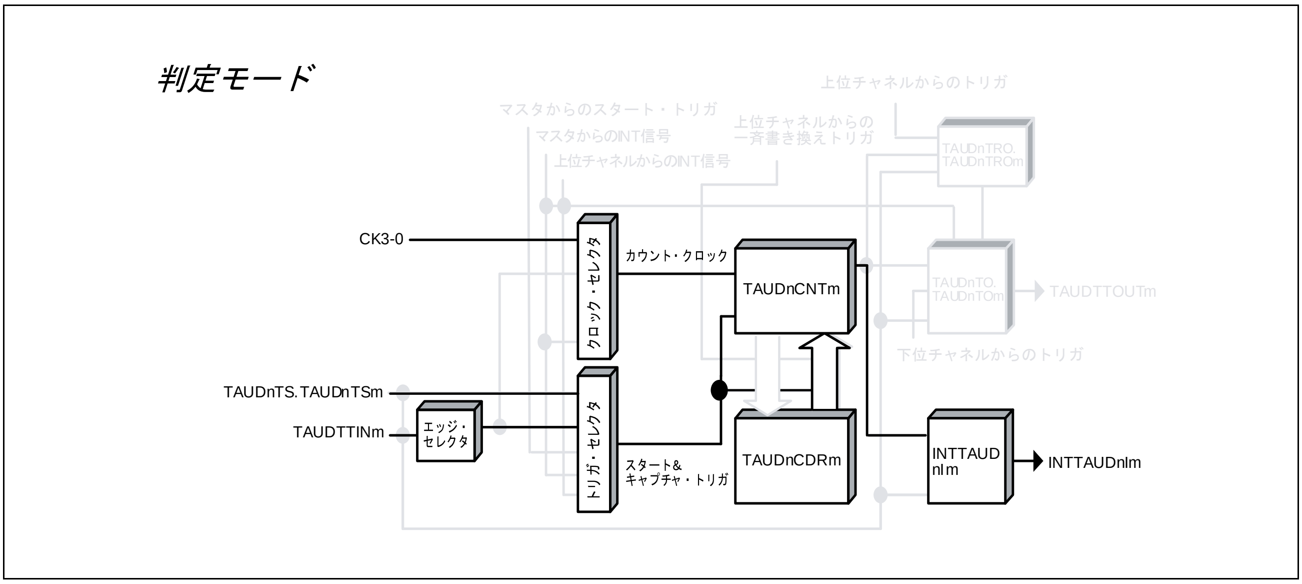


図 32.70　TAUDTTINm 入力パルスインターバル判定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0]＝00_B）

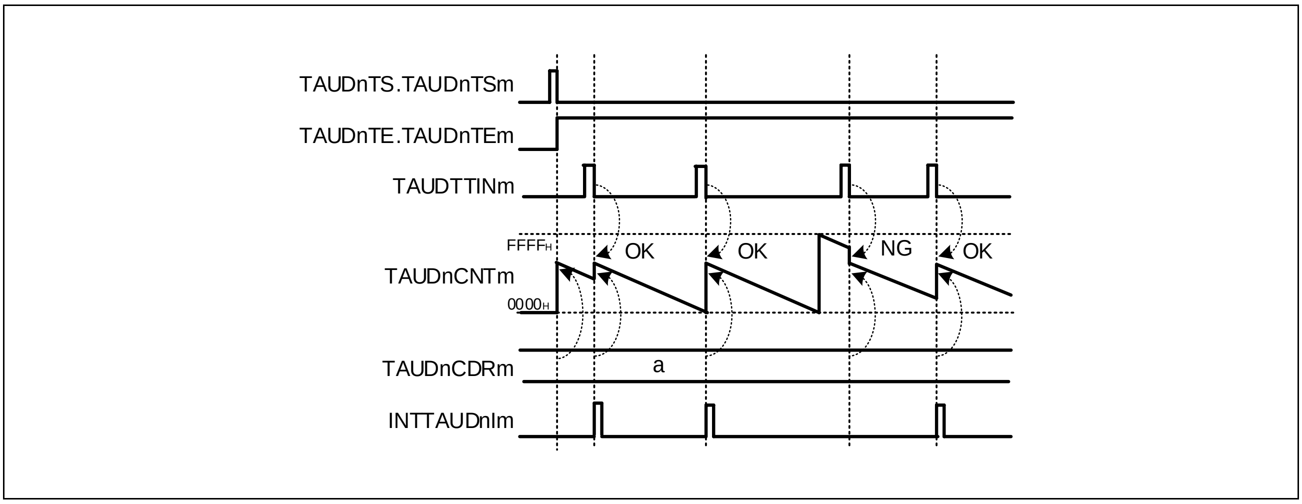


図 32.71　TAUDTTINm 入力パルスインターバル判定機能の基本タイミング図

32.12.11.3 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.101 TAUDTTINm 入力パルスインターバル判定機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS[2:0]	001：TAUDTTINm 入力信号の有効エッジを外部スタートトリガとして使用
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0001：ジャッジモード
0	TAUDnMD0	0：TAUDnCNTm ≦ TAUDnCDRm の場合、INTTAUDnIm が発生 1：TAUDnCNTm ＞ TAUDnCDRm の場合、INTTAUDnIm が発生

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.102 TAUDTTINm 入力パルスインターバル判定機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(4)　一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、TAUDTTINm 入力パルスインターバル判定機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 32.103 TAUDTTINm 入力パルスインターバル判定機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0：一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm＝0）、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

32.12.11.4 TAUDTTINm 入力パルスインターバル判定機能の操作手順

表 32.104 TAUDTTINm 入力パルスインターバル判定機能の操作手順

	操作	TAUDn の状態
チャネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、「**表 32.101 TAUDTTINm 入力パルスインターバル判定機能の TAUDnCMORm レジスタの内容**」、「**表 32.102 TAUDTTINm 入力パルスインターバル判定機能の TAUDnCMURm レジスタの内容**」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCDRm の値を TAUDnCNTm にロードします。
動作中	任意のタイミングで変更可能なレジスタ ● TAUDnCDRm レジスタ	TAUDnCMORm.TAUDnMD0＝0 の場合 TAUDTTINm 入力エッジ検出タイミングで TAUDnCNTm ≦ TAUDnCDRm の場合、INTTAUDnIm 発生します。 TAUDnCMORm.TAUDnMD0＝1 の場合 TAUDTTINm 入力エッジ検出タイミングで TAUDnCNTm ＞ TAUDnCDRm の場合、INTTAUDnIm 発生します。 TAUDTTINm 入力エッジを検出すると、TAUDnCNTm は、TAUDnCDRm の値からダウンカウントを開始します。 以降、この動作を繰り返します。
動作停止	TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm が停止し、現在値を保持します。

動作再開

32.12.12 TAUDTTINm 入力信号幅判定機能

32.12.12.1 概要

概要

この機能は、TAUDTTINm 入力信号のハイレベルまたはロウレベル幅期間のカウント値（TAUDnCNTm）と TAUDnCDRm の大小判定の結果を割り込み要求信号 INTTAUDnIm より出力します。

前提条件

- 動作モードはジャッジ&ワンカウントモードに設定する必要があります（「**表 32.105 TAUDTTINm 入力信号幅判定機能の TAUDnCMORm レジスタの内容**」参照）。
- この機能では、TAUDTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm＝1 となり、カウントが可能になります。有効な TAUDTTINm 入力スタートエッジが検出されると、TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。

有効な TAUDTTINm ストップエッジが検出されると、この機能は TAUDnCNTm と TAUDnCDRm の現在値を比較します。比較の結果が真の場合、割り込み要求信号 INTTAUDnIm が発生します。カウンタ TAUDnCNTm は、比較の結果に関係なく、次の有効な TAUDTTINm スタートエッジを検出するまで値を保持します。

有効な TAUDTTINm ストップエッジを検出する前にカウンタが 0000_H に達すると、TAUDnCNTm はオーバフローし、$FFFF_H$ に設定されます。その後、カウンタはダウンカウントを継続します。

TAUDnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

条件

- 比較の種類を TAUDnCMORm.TAUDnMD0 ビットで指定します。
  - TAUDnCMORm.TAUDnMD0＝0 かつ TAUDnCNTm ≦ TAUDnCDRm の場合、INTTAUDnIm が発生します。
  - TAUDnCMORm.TAUDnMD0＝1 かつ TAUDnCNTm ＞ TAUDnCDRm の場合、INTTAUDnIm が発生します。
- TAUDnCMURm.TAUDnTIS[1:0]ビットで幅測定のタイプを指定します。
  - ハイレベル幅測定（TAUDnCMURm.TAUDnTIS[1:0]＝11_B の場合）では、TAUDTTINm 立ち上がりエッジをスタートエッジ、TAUDTTINm 立ち下がりエッジをストップエッジとして使用します。
  - ロウレベル幅測定（TAUDnCMURm.TAUDnTIS[1:0]＝10_B の場合）では、TAUDTTINm 立ち下がりエッジをスタートエッジ、TAUDTTINm 立ち上がりエッジをストップエッジとして使用します。
- 動作中に TAUDnTS.TAUDnTSm ビットに 1 を設定することは禁止です。

32.12.12.2 ブロック図と基本タイミング図

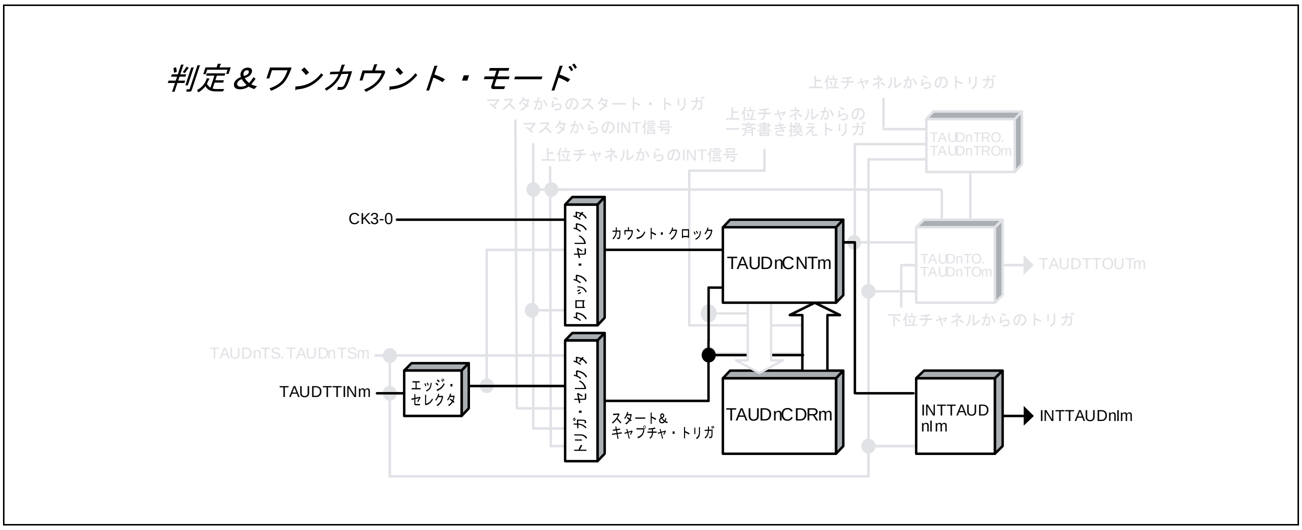


図 32.72 TAUDTTINm 入力信号幅判定機能のブロック図

基本タイミング図での設定は次のようになっています。

- TAUDnCNTm≦TAUDnCDRm（TAUDnCMORm.TAUDnMD0＝0）の場合、INTTAUDnIm が発生します。
- TAUDTTINm 有効スタートエッジ＝立ち上がりエッジ、TAUDTTINm 有効ストップエッジ＝立ち下がりエッジ（TAUDnCMURm.TAUDnTIS[1:0]＝11_B）

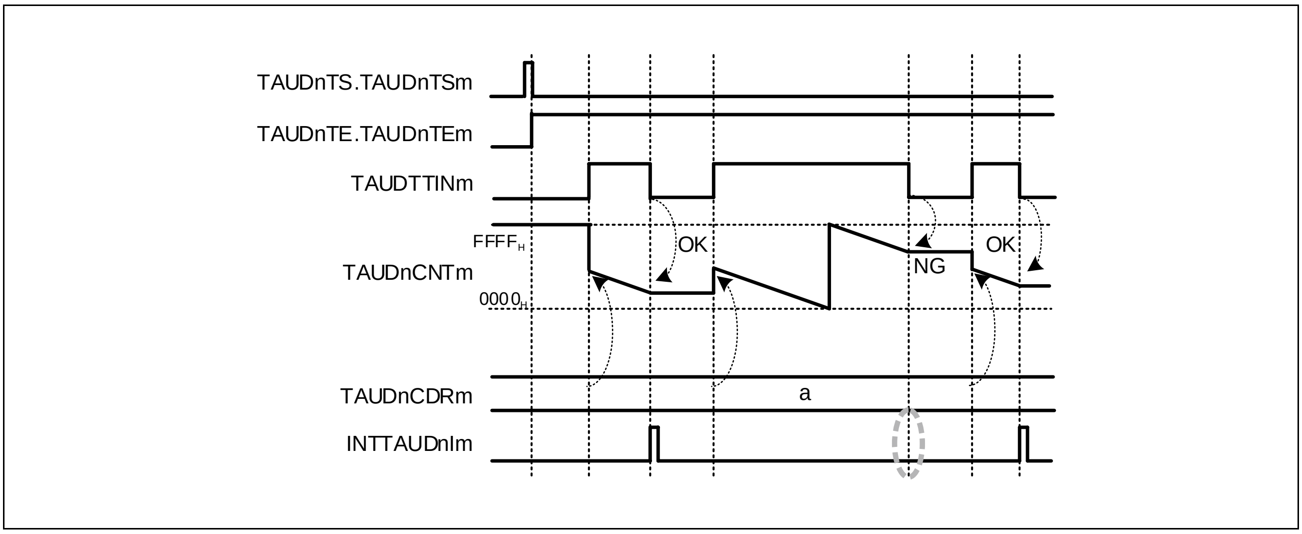


図 32.73 TAUDTTINm 入力信号幅判定機能の基本タイミング図

32.12.12.3 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.105 TAUDTTINm 入力信号幅判定機能の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10〜8	TAUDnSTS[2:0]	010：TAUDTTINm 入力信号の有効エッジを外部スタートトリガ、逆エッジをストップトリガとして使用
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4〜1	TAUDnMD[4:1]	0111：ジャッジ&ワンカウントモード
0	TAUDnMD0	0：TAUDnCNTm ≦ TAUDnCDRm の場合、INTTAUDnIm が発生 1：TAUDnCNTm ＞ TAUDnCDRm の場合、INTTAUDnIm が発生

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.106 TAUDTTINm 入力信号幅判定機能の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7〜2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、TAUDTTINm 入力信号幅判定機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 32.107 TAUDTTINm 入力信号幅判定機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0：一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm＝0）、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

32.12.12.4 TAUDTTINm 入力信号幅判定機能の操作手順

表 32.108 TAUDTTINm 入力信号幅判定機能の操作手順

	操作	TAUDn の状態
チャネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、「**表 32.105 TAUDTTINm 入力信号幅判定機能の TAUDnCMORm レジスタの内容**」、「**表 32.106 TAUDTTINm 入力信号幅判定機能の TAUDnCMURm レジスタの内容**」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、TAUDnCNTm は TAUDTTINm スタートエッジ検出を待ちます。
動作中	任意のタイミングで変更可能なレジスタ ● TAUDnCDRm レジスタ	TAUDTTINm スタートエッジを検出すると、TAUDnCNTm は、TAUDnCDRm の値からダウンカウントを開始します。 TAUDnCMORm.TAUDnMD0＝0 の場合 TAUDTTINm 入力ストップエッジ検出タイミングで TAUDnCNTm ≦ TAUDnCDRm の場合、INTTAUDnIm 発生します。 TAUDnCMORm.TAUDnMD0＝1 の場合 TAUDTTINm 入力ストップエッジ検出タイミングで TAUDnCNTm ＞ TAUDnCDRm の場合、INTTAUDnIm 発生します。 以降、この動作を繰り返します。
動作停止	TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm が停止し、現在値を保持します。

動作再開

32.12.13 オーバフロー割り込み出力機能（TAUDTTINm 幅測定時）

32.12.13.1 概要

概要

この機能は、各 TAUDTTINm 入力信号の幅を測定します。TAUDTTINm 入力後、（FFFF$_H$＋1）を超えた場合、割り込みが発生します。

前提条件

- 動作モードはワンカウントモードに設定する必要があります（「**表 32.109 オーバフロー割り込み出力機能（TAUDTTINm 幅測定時）の TAUDnCMORm レジスタの内容**」参照）。
- この機能では、TAUDTTOUTm は使用しません。
- TAUDnCDRm の値は、FFFF$_H$ に設定する必要があります。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm＝1 となり、カウントが可能になります。

有効な TAUDTTINm 入力スタートエッジを検出すると、カウンタ動作を開始します。TAUDnCNTm に FFFF$_H$ がロードされ、カウンタはダウンカウントを開始します。

有効なストップエッジが検出されると、カウンタ動作を停止し現在値を保持します。

次の TAUDTTINm 入力スタートエッジが検出されると、TAUDnCNTm は FFFF$_H$ をロードし、ダウンカウントを開始します。

ストップエッジを検出する前にカウンタが 0000$_H$ に達すると、割り込みが発生します。

条件

有効なスタートエッジとストップエッジは、TAUDnCMURm.TAUDnTIS[1:0]ビットで設定します。

- TAUDnCMURm.TAUDnTIS[1:0]＝10$_B$ の場合、TAUDTTINm 入力ロウレベル幅が測定されます。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUDnCMURm.TAUDnTIS[1:0]＝11$_B$ の場合、TAUDTTINm 入力ハイレベル幅が測定されます。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

備　考

動作中にカウンタ動作を再開することはできません。

32.12.13.2 ブロック図と基本タイミング図

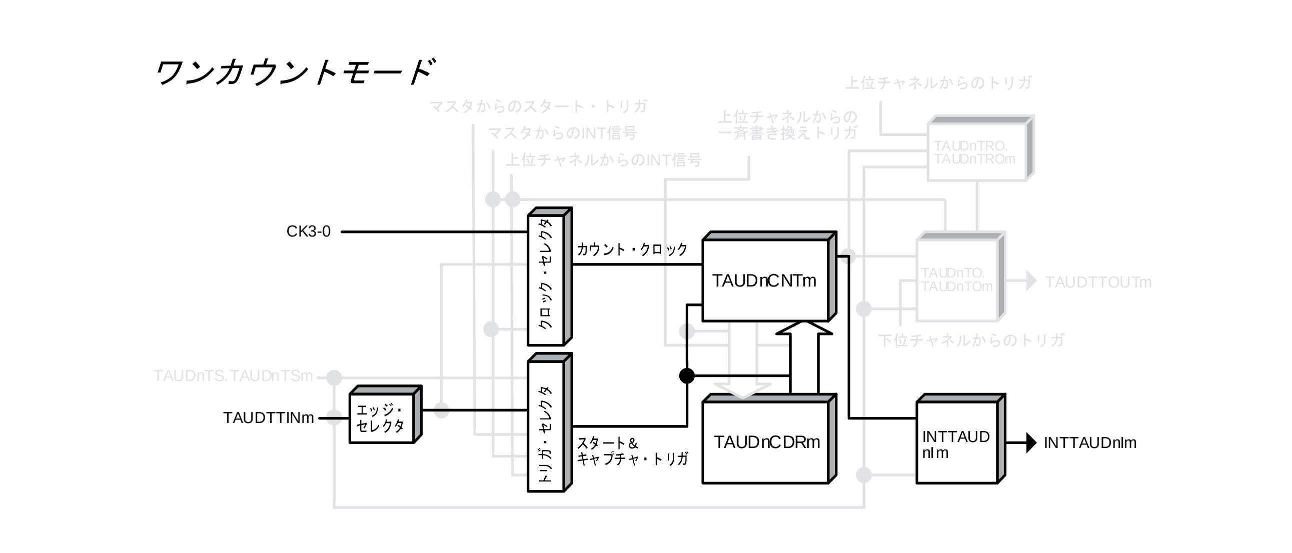


図 32.74　オーバフロー割り込み出力機能のブロック図（TAUDTTINm 幅測定時）

基本タイミング図での設定は次のようになっています。

- 両エッジ検出＝ハイレベル幅測定（TAUDnCMURm.TAUDnTIS[1:0]＝11_B）

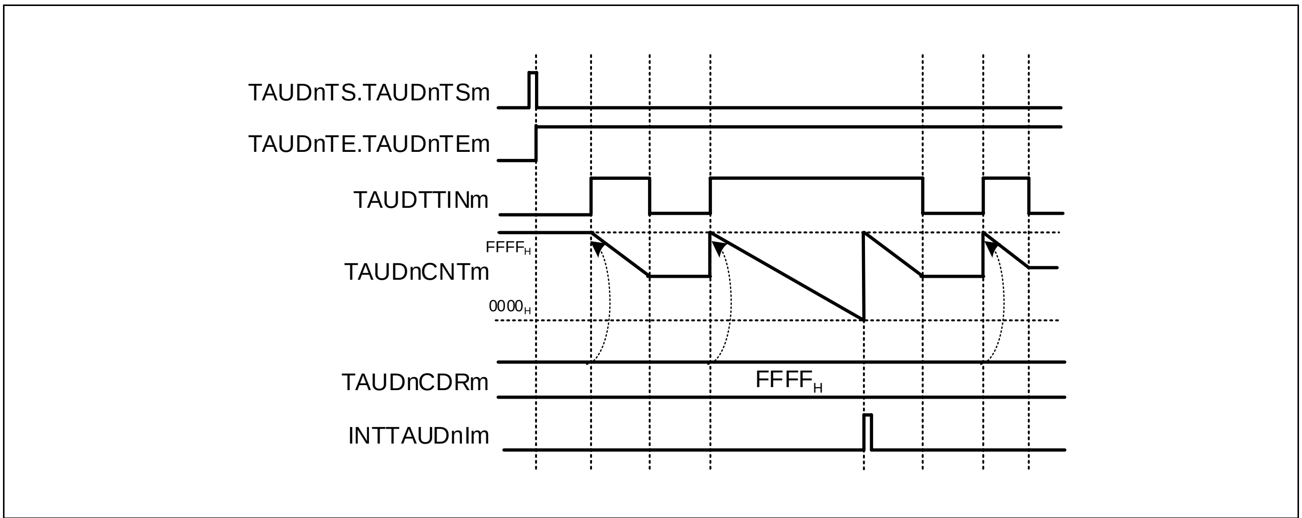


図 32.75　オーバフロー割り込み出力機能の基本タイミング図（TAUDTTINm 幅測定時）

32.12.13.3 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.109 オーバフロー割り込み出力機能（TAUDTTINm 幅測定時）の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS[2:0]	010：TAUDTTINm 入力信号の有効エッジを外部スタートトリガ、逆エッジをストップトリガとして使用
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0100：ワンカウントモード
0	TAUDnMD0	0：動作中のスタートトリガ無効

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.110 オーバフロー割り込み出力機能（TAUDTTINm 幅測定時）の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、オーバフロー割り込み出力機能（TAUDTTINm 幅測定時）では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 32.111 オーバフロー割り込み出力機能の一斉書き換え設定（TAUDTTINm 幅測定時）

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0：一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm＝0）、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

32.12.13.4 オーバフロー割り込み出力機能の操作手順（TAUDTTINm 幅測定時）

表 32.112 オーバフロー割り込み出力機能の操作手順（TAUDTTINm 幅測定時）

		操作	TAUDn の状態
	チャネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、「**表 32.109 オーバフロー割り込み出力機能（TAUDTTINm 幅測定時）の TAUDnCMORm レジスタの内容**」、「**表 32.110 オーバフロー割り込み出力機能（TAUDTTINm 幅測定時）の TAUDnCMURm レジスタの内容**」に示すように設定します。 TAUDnCDRm レジスタの値を FFFF$_H$ に設定します。	チャネル動作を停止しています。
動作再開	動作開始	TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。 TAUDTTINm スタートエッジ検出	TAUDnTE.TAUDnTEm が“1”に設定され、TAUDnCNTm はスタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUDnCDRm の値（FFFF$_H$）を TAUDnCNTm にロードします。
	動作中	TAUDnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUDnCNTm がダウンカウントを行います。カウンタが 0000$_H$ になった場合： INTTAUDnIm が発生します。 カウント動作中に TAUDTTINm 入力ストップエッジを検出した場合： ● TAUDnCNTm は停止し、現在値を保持します。 カウント停止中に TAUDTTINm 入力スタートエッジを検出した場合： ● 再び TAUDnCDRm の値（FFFF$_H$）を TAUDnCNTm にロードし、ダウンカウントを行います。 以降、この動作を繰り返します。
	動作停止	TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm が停止し、現在値を保持します。

32.12.14 オーバフロー割り込み出力機能（TAUDTTINm 入力期間カウント検出時）

32.12.14.1 概要

概要

この機能は、TAUDTTINm 入力信号の合計幅を測定します。TAUDTTINm 入力合計幅が $FFFF_H$ より大きい場合、割り込みが発生し、オーバフロー割り込みを出力することができます。

前提条件

- 動作モードはゲートカウントモードに設定する必要があります（「**表 32.113 オーバフロー割り込み出力機能（TAUDTTINm 入力期間カウント検出時）の TAUDnCMORm レジスタの内容**」参照）。
- この機能では、TAUDTTOUTm は使用しません。
- TAUDnCDRm の値は、$FFFF_H$ に設定する必要があります。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm＝1 となり、カウントが可能になります。

有効な TAUDTTINm 入力スタートエッジを検出すると、カウンタ動作を開始します。TAUDnCNTm に $FFFF_H$ がロードされ、カウンタはダウンカウントを開始します。

有効なストップエッジが検出されると、カウンタ動作を停止し、現在値を保持します。カウンタは、次の有効な TAUDTTINm 入力スタートエッジを待ち、現在値からのダウンカウントを継続します。

カウンタが 0000_H になると、割り込みが発生します。TAUDnCNTm に $FFFF_H$ がロードされ、カウンタは TAUDTTINm 入力ストップエッジが検出されるまでダウンカウントを継続します。

条件

有効なスタートエッジとストップエッジは、TAUDnCMURm.TAUDnTIS[1:0]ビットで設定します。

- TAUDnCMURm.TAUDnTIS[1:0]＝10_B の場合、TAUDTTINm 入力ロウレベル期間をカウントします。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUDnCMURm.TAUDnTIS[1:0]＝11_B の場合、TAUDTTINm 入力ハイレベル期間をカウントします。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

備　考

動作中にカウンタ動作を再開することはできません。

32.12.14.2 ブロック図と基本タイミング図

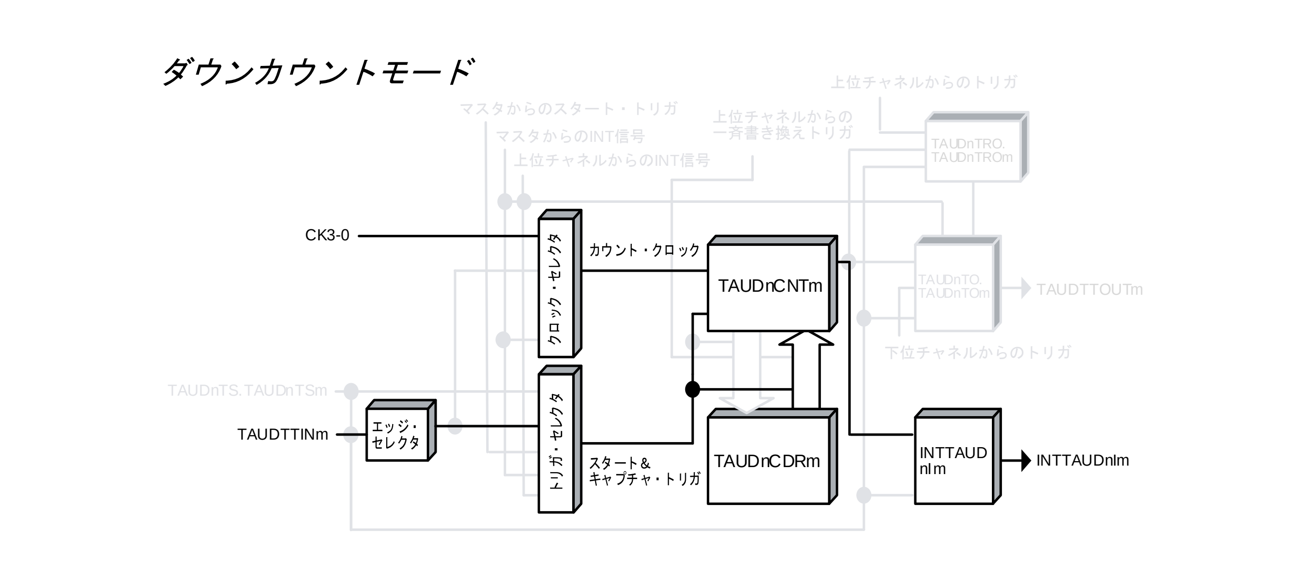


図 32.76 オーバフロー割り込み出力機能のブロック図（TAUDTTINm 入力期間カウント検出時）

基本タイミング図での設定は次のようになっています。

- 両エッジ検出＝ハイレベル幅測定（TAUDnCMURm.TAUDnTIS[1:0]＝11_B）

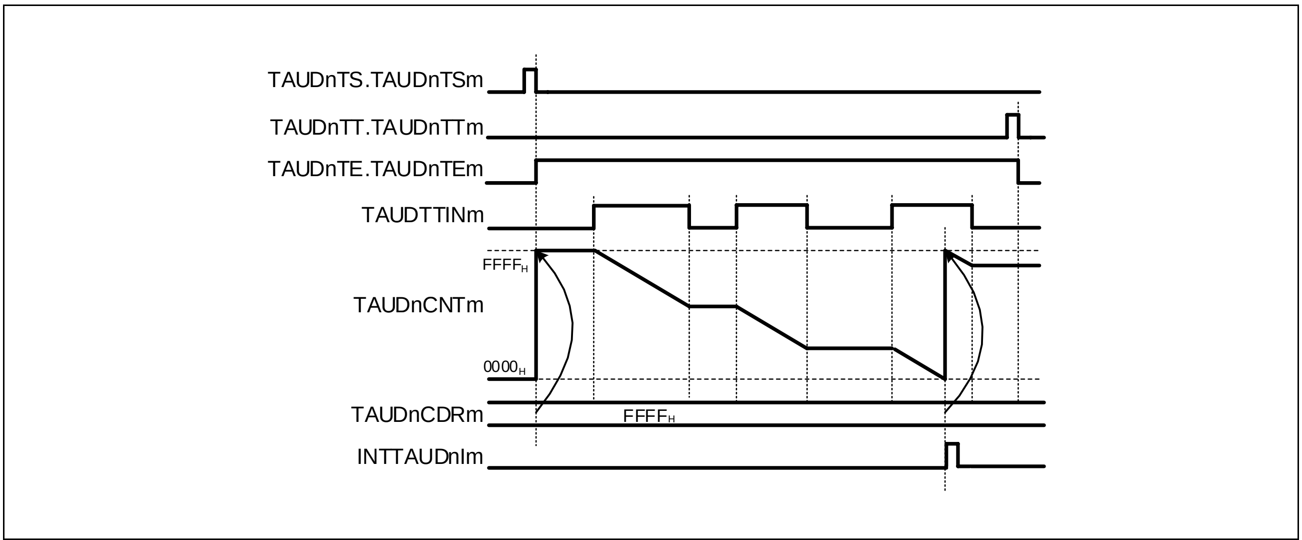


図 32.77 オーバフロー割り込み出力機能の基本タイミング図（TAUDTTINm 入力期間カウント検出時）

32.12.14.3 レジスタ設定

(1) TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.113 オーバフロー割り込み出力機能（TAUDTTINm 入力期間カウント検出時）の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS[2:0]	010：TAUDTTINm 入力信号の有効エッジを外部スタートトリガ、逆エッジをストップトリガとして使用
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	1100：ゲートカウントモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない

(2) TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.114 オーバフロー割り込み出力機能（TAUDTTINm 入力期間カウント検出時）の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(4)　一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、オーバフロー割り込み出力機能（TAUDTTINm 入力期間検出時）では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 32.115 オーバフロー割り込み出力機能の一斉書き換え設定（TAUDTTINm 入力期間カウント検出時）

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0：一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm＝0）、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

32.12.14.4 オーバフロー割り込み出力機能の操作手順（TAUDTTINm 入力期間カウント検出時）

表 32.116 オーバフロー割り込み出力機能の操作手順（TAUDTTINm 入力期間カウント検出時）

	操作	TAUDn の状態
チャネルの初期設定	TAUDnCMORm、TAUDnCMURm レジスタを、「**表 32.113 オーバフロー割り込み出力機能（TAUDTTINm 入力期間カウント検出時）の TAUDnCMORm レジスタの内容**」、「**表 32.114 オーバフロー割り込み出力機能（TAUDTTINm 入力期間カウント検出時）の TAUDnCMURm レジスタの内容**」に示すように設定します。 TAUDnCDRm レジスタの値を FFFF$_H$ に設定します。	チャネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。 TAUDTTINm スタートエッジ検出	TAUDnTE.TAUDnTEm が“1”に設定され、TAUDnCNTm はスタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUDnCDRm の値（FFFF$_H$）を TAUDnCNTm にロードします。
動作中	TAUDnCNTm レジスタは常に読み出し可能です。	TAUDnCNTm がダウンカウントを行います。カウンタが 0000$_H$ になった場合： ● INTTAUDnIm が発生します。 ● TAUDnCDRm の値（FFFF$_H$）を TAUDnCNTm にロードし、ダウンカウントを継続します。 カウント動作中に TAUDTTINm 入力ストップエッジを検出した場合： ● TAUDnCNTm は停止し、現在値を保持します。 カウント停止中に TAUDTTINm 入力スタートエッジを検出した場合： ● TAUDnCNTm は停止値からダウンカウントを行います。 以降、この動作を繰り返します。
動作停止	TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm が停止し、現在値を保持します。

動作再開

32.12.15 1 相 PWM 出力機能

32.12.15.1 概要

概要

TAUDTTINm 入力信号にデッドタイムを付加する機能です。その結果として得られる PWM 信号は、そのチャネルおよび上位チャネルの TAUDTTOUTm から出力されます。

前提条件

- 2 つ（もしくはそれ以上）のチャネルで、それぞれデッドタイム制御が許可されている（TAUDnTDE.TAUDnTDEm＝1）
- 下位チャネルの動作モードは、ワンカウントモードに設定する必要があります（「**表 32.118 1 相 PWM 出力機能の下位チャネルの TAUDnCMORm レジスタの内容**」参照）。
- 上位チャネルには任意の動作モードを設定可能です。
- 上位下位チャネルのチャネル出力モードは、1 相 PWM 出力を行うチャネル連動出力モード 2 に設定する必要があります。「**32.7 チャネル出力モード**」を参照してください。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm＝1 となり、カウントが可能になります。

有効な TAUDTTINm 入力スタートエッジを検出すると、カウンタ動作を開始します。TAUDnCDRm の値が TAUDnCNTm に書き込まれ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。

カウンタが 0000_H になると、割り込みが発生します。カウンタは $FFFF_H$ に戻り、次の有効な TAUDTTINm 入力スタートエッジを待ちます。

表 32.117 デッドタイムが付加される TAUDTTOUTm と TAUDTTINm の状態

TAUDnCMURm.TAUDnTIS[1:0]	TAUDnTOL.TAUDnTOLm	デッドタイムが付加される TAUDTTOUTm	TAUDnTDL.TAUDnTDLm	付加時の TAUDTTINm の状態
10	0	TAUDTTOUTm low	0	ハイレベル
			1	ロウレベル
	1	TAUDTTOUTm high	0	ハイレベル
			1	ロウレベル
11	0	TAUDTTOUTm low	0	ロウレベル
			1	ハイレベル
	1	TAUDTTOUTm high	0	ロウレベル
			1	ハイレベル

条件

- TAUDnCMURm.TAUDnTIS[1:0]ビットで幅測定のタイプを指定します。
  - TAUDnCMURm.TAUDnTIS[1:0]＝10_B：両エッジを有効エッジとして検出（ロウレベル幅測定）
  - TAUDnCMURm.TAUDnTIS[1:0]＝11_B：両エッジを有効エッジとして検出（ハイレベル幅測定）
- TAUDnTDL.TAUDnTDLm ビットで、下位チャネルでの割り込み発生時または有効な TAUDTTINm エッジの検出時の各チャネルの TAUDTTOUTm の動作を指定します。
  - TAUDnTDL.TAUDnTDLm＝0 の場合、割り込みを TAUDTTOUTm セットのトリガ、有効な TAUDTTINm エッジを TAUDTTOUTm リセットのトリガとして使用します。
  - TAUDnTDL.TAUDnTDLm＝1 の場合、有効な TAUDTTINm エッジを TAUDTTOUTm セットのトリガ、割り込みを TAUDTTOUTm リセットのトリガとして使用します。
- この機能では強制リスタートは行えません。

32.12.15.2 ブロック図と基本タイミング図

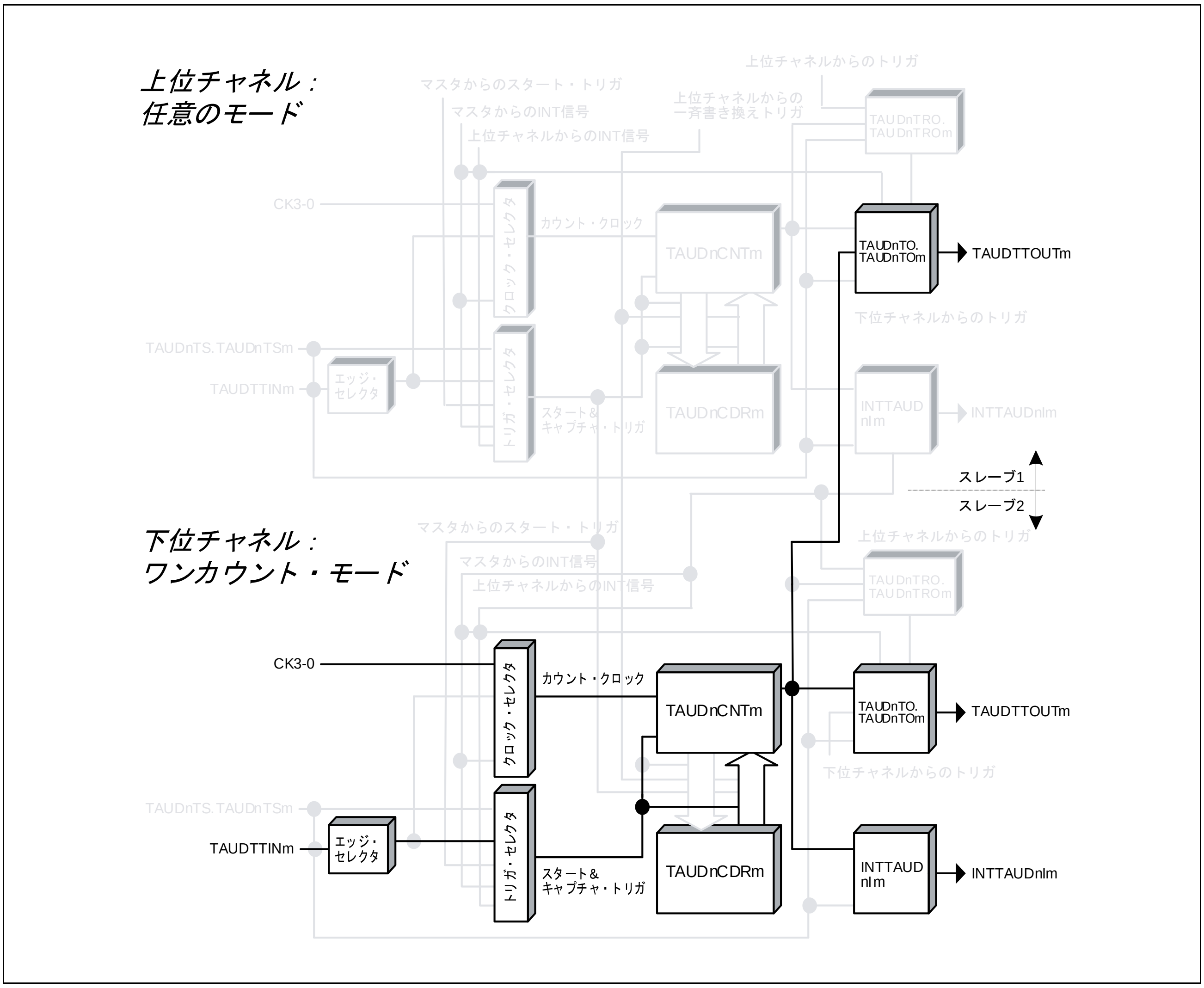


図 32.78　1 相 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出＝ハイレベル幅測定（TAUDnCMURm.TAUDnTIS[1:0]＝11_B）

この設定では、デューティをアクティブハイとして考えています。

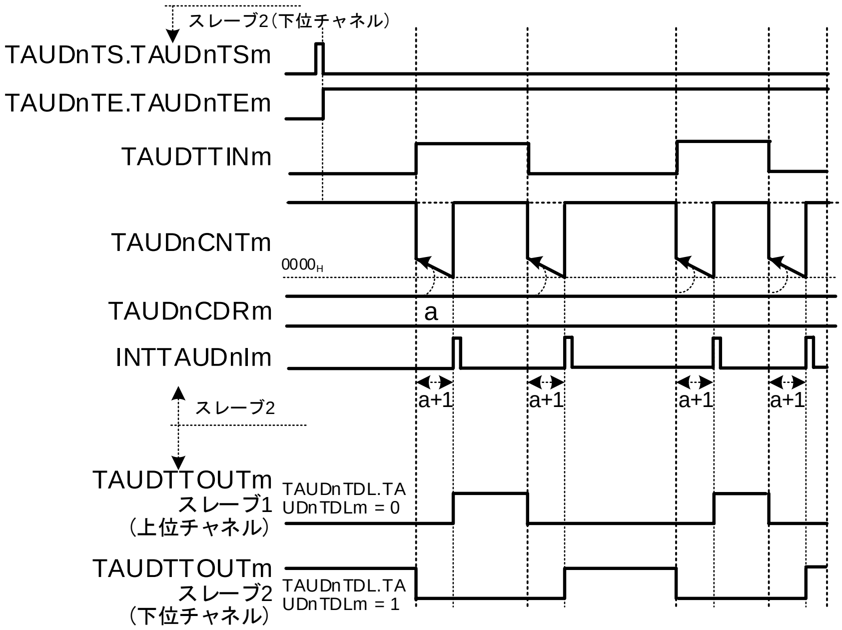


図 32.79　1 相 PWM 出力機能の基本タイミング図

32.12.15.3 下位チャネルのレジスタ設定

(1) 下位チャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.118 1 相 PWM 出力機能の下位チャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS[2:0]	001：TAUDTTINm 入力信号の有効エッジを外部スタートトリガとして使用
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：カウント中のスタートトリガ検出許可

(2) 下位チャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.119 1 相 PWM 出力機能の下位チャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) 下位チャネルのチャネル出力モード

表 32.120 1 相 PWM 出力を行うチャネル連動出力モード 2 の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1：チャネル連動出力
TAUDnTOC.TAUDnTOCm	1：動作モード 2
TAUDnTOL.TAUDnTOLm	0：正論理 1：負論理
TAUDnTDE.TAUDnTDEm	1：デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	1：下位奇数チャネル TAUDTTINm 入力エッジ検出でデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0：正相幅のデットタイムを付加 1：逆相幅のデッドタイムを付加
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm＝0）、“0”を設定
TAUDnTRC.TAUDnTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0：変調禁止

注　意

TAUDnTDL.TAUDnTDLm は、上位チャネルと排他設定してください。

(4) 下位チャネルの一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、1 相 PWM 出力機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 32.121 1 相 PWM 出力機能の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0：一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm＝0）、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

32.12.15.4 上位チャネルのレジスタ設定

(1) 上位チャネルの TAUDnCMORm

上位チャネルの TAUDnCMORm レジスタは任意の設定が可能です。

(2) 上位チャネルの TAUDnCMURm

上位チャネルの TAUDnCMURm レジスタは任意の設定が可能です。

(3) 上位チャネルのチャネル出力モード

表 32.122 1 相 PWM 出力を行うチャネル連動出力モード 2 の上位チャネル制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1：チャネル連動出力
TAUDnTOC.TAUDnTOCm	1：動作モード 2
TAUDnTOL.TAUDnTOLm	0：正論理 1：負論理
TAUDnTDE.TAUDnTDEm	1：デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	1：下位奇数チャネル TAUDTTINm 入力エッジ検出でデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0：正相幅のデットタイムを付加 1：逆相幅のデッドタイムを付加
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm＝0）、“0”を設定
TAUDnTRC.TAUDnTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0：変調禁止

注　意

TAUDnTDL.TAUDnTDLm は、下位チャネルと排他設定してください。

(4) 上位チャネルの一斉書き換え

上位チャネルの一斉書き換えレジスタは任意の設定が可能です。

32.12.15.5 1 相 PWM 出力機能の操作手順

表 32.123 1 相 PWM 出力機能の操作手順

	操作	TAUDn の状態
チャネルの初期設定	下位チャネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、「**表 32.118 1 相 PWM 出力機能の下位チャネルの TAUDnCMORm レジスタの内容**」、「**表 32.119 1 相 PWM 出力機能の下位チャネルの TAUDnCMURm レジスタの内容**」に示すように設定します。 上位チャネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、「**32.12.15.4 上位チャネルのレジスタ設定**」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。 制御ビットを「**表 32.120 1 相 PWM 出力を行うチャネル連動出力モード 2 の制御ビット設定**」に示すように設定して、チャネル出力モードを設定します。	チャネル動作を停止しています。
動作開始	TAUDnTOE.TAUDnTOEm（スレーブチャネル 1、2）を“1”に設定（動作再開時のみ）します。 スレーブチャネル 2 に TAUDnTS.TAUDnTSm＝1 を設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。 TAUDTTINm スタートエッジ検出	TAUDnTE.TAUDnTEm は“1”に設定され（スレーブチャネル 2）、TAUDnCNTm は TAUDTTINm スタートエッジ検出を待ちます。 TAUDnCNTm は TAUDnCDRm 値をロードします。
動作中	TAUDnCDRm レジスタ値は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは任意のタイミングで読み出し可能です。	スレーブチャネル 2 の TAUDnCNTm はダウンカウントを行います。カウンタが 0000_H になった場合： ● INTTAUDnIm が発生します。 ● TAUDnCNTm がカウントを停止します。 TAUDTTINm のエッジ検出信号とスレーブチャネル 2 の INTTAUDnIm 信号により TAUDTTOUTm を変化させせデッドタイム付き 1 相 PWM 波形を出力する。 以降、動作を繰り返す。
動作停止	スレーブチャネル 2 に TAUDnTT.TAUDnTTm＝1 を設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm と TAUDTTOUTm は現在値を保持します。

動作再開

32.13 チャネル単体リアルタイム機能

この節では、TAUDnTRO.TAUDnTROm ビット値をリアルタイム出力する機能について説明します。

32.13.1　リアルタイム出力機能タイプ 1

32.13.1.1　概要

概要

指定したチャネルでの割り込み（INTTAUDnIm）発生時に、TAUDTTOUTm から TAUDnTRO.TAUDnTROm ビット値を出力する機能です。この機能では、設定した一定の間隔で割り込みが発生します。

上位チャネルはリアルタイム出力トリガを生成するチャネル（TAUDnTRC.TAUDnTRCm＝1）、下位チャネルは上位チャネルのトリガを受けてリアルタイム出力を行うチャネル（TAUDnTRC.TAUDnTRCm＝0）です。

前提条件

- 他チャネルの TAUDTTOUTm 制御を使用するチャネル
- 上位チャネルの動作モードは、インターバルタイマモードに設定する必要があります（「**表 32.124 リアルタイム出力機能タイプ 1 の上位チャネルの TAUDnCMORm レジスタの内容**」参照）。
- 下位チャネルには任意の動作モードを設定可能です。
- 全チャネルのチャネル出力モードは、リアルタイム出力を行うチャネル単体出力モード 1 に設定する必要があります。「**32.7 チャネル出力モード**」を参照してください。
- 上位チャネルはリアルタイム出力が許可された状態にしておく必要があります（TAUDnTRE.TAUDnTREm＝1）。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を“1”に設定すると、上位チャネルのカウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm＝1 となり、カウントが可能になります。上位チャネルのデータレジスタ（TAUDnCDRm）の現在値がカウンタ（TAUDnCNTm）にロードされ、カウンタはこの値からダウンカウントを開始します。

上位チャネルのカウンタが 0000_H に達すると、INTTAUDnIm が発生し、TAUDTTOUTm が全チャネルのリアルタイム出力ビット（TAUDnTRO.TAUDnTROm）の現在値を出力します（TAUDnTRE.TAUDnTREm＝1 のチャネルのみ）。その後、再び TAUDnCDRm の値を TAUDnCNTm にロードし、以降、動作を継続します。

TAUDTTOUTm 信号は、割り込み発生時と、その割り込み発生時に TAUDTTOUTm の値が TAUDnTRO.TAUDnTROm の現在値と異なる場合にのみ変化します。

条件

- INTTAUDnIm の発生を検出するチャネルは、該当チャネルに TAUDnTRC.TAUDnTRCm＝1 を設定することにより指定します。リアルタイム出力トリガを生成しない、その他すべてのチャネルは、TAUDnTRC.TAUDnTRCm ビットを“0”に設定しておく必要があります。
- 下位チャネルのリアルタイム出力が禁止（TAUDnTRE.TAUDnTREm＝0）されている場合、またはチャネル自体が書き換えトリガとして使用されている場合（TAUDnTRC.TAUDnTRCm＝1）、そのチャネルでの INTTAUDnIm 発生時にそのチャネルの TAUDnTRO.TAUDnTROm ビット値が出力されます。

- 下位チャネルのリアルタイム出力が許可されていて（TAUDnTRE.TAUDnTREm＝1）、TAUDnTRC.TAUDnTRCm＝0 である場合、上位チャネルでの INTTAUDnIm 発生時にそのチャネルの TAUDnTRO.TAUDnTROm ビット値が出力されます。
- TAUDnCMORm.TAUDnMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは出力されません。詳細は「**32.9 カウント開始／リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成**」を参照してください。

32.13.1.2　算出式

INTTAUDnIm の発生周期＝カウントクロック周期×（TAUDnCDRm 値＋1）

32.13.1.3　ブロック図と基本タイミング図

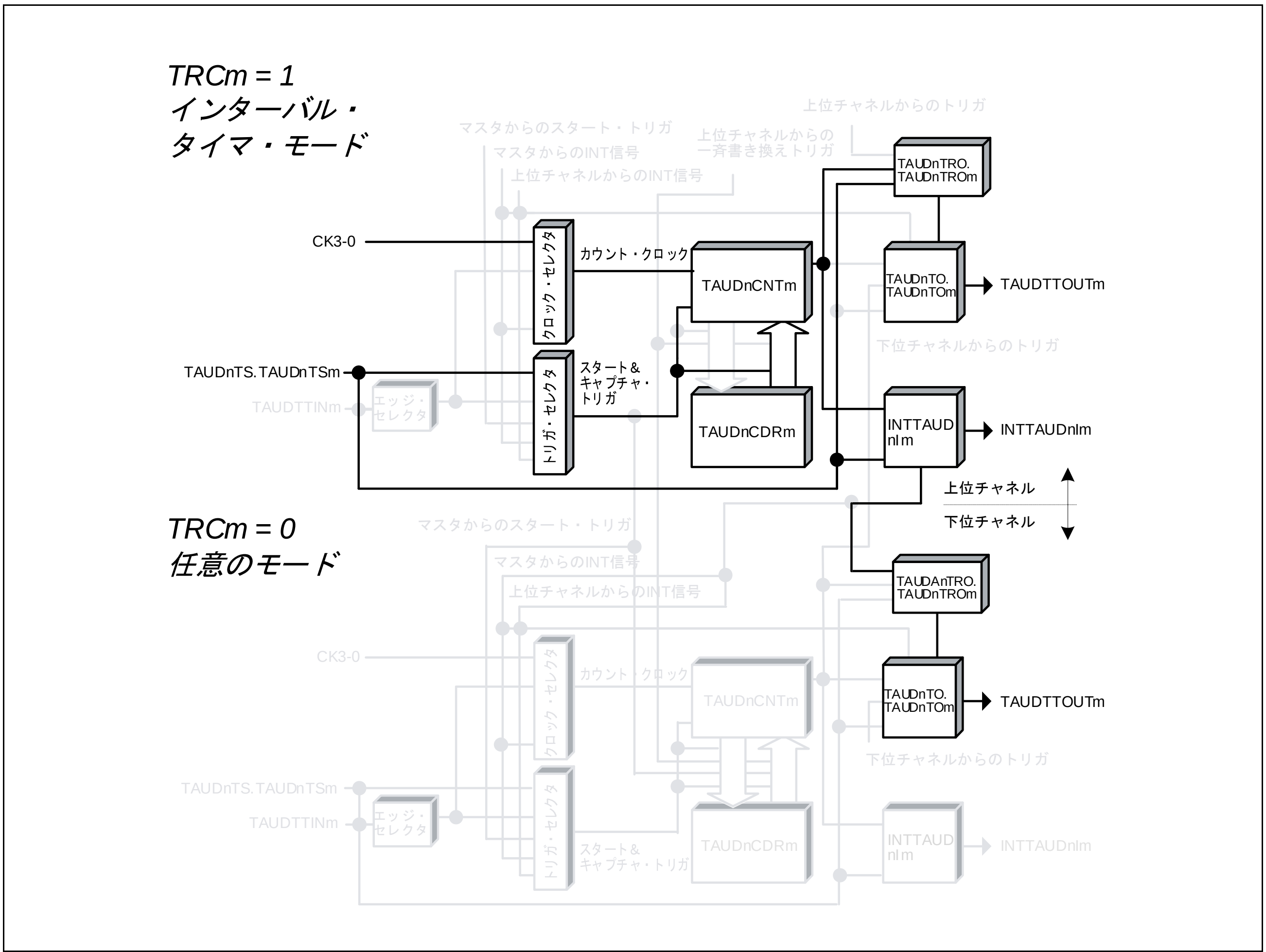


図 32.80　リアルタイム出力機能タイプ 1 のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生する（TAUDnCMORm.TAUDnMD0＝1）

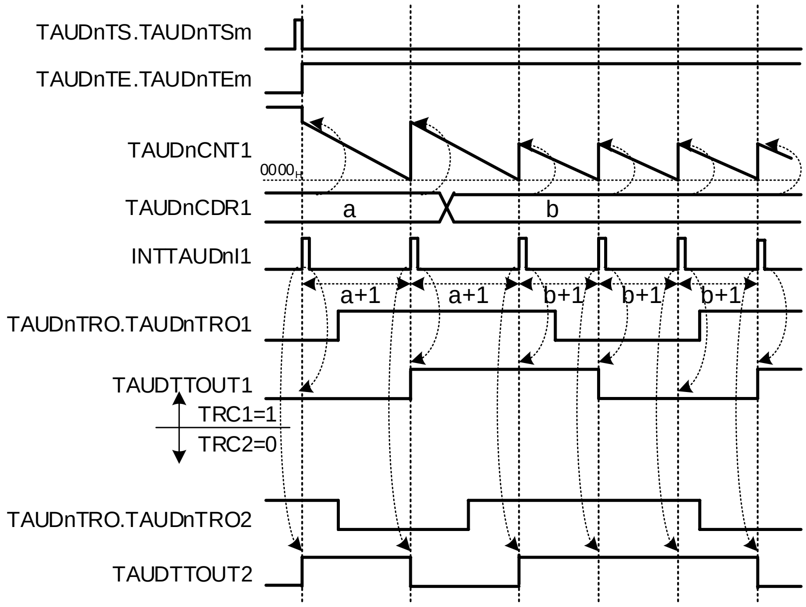


図 32.81　リアルタイム出力機能タイプ 1 の基本タイミング図

32.13.1.4　上位チャネルのレジスタ設定

(1) 上位チャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.124 リアルタイム出力機能タイプ 1 の上位チャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS[2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない 1：動作開始時に INTTAUDnIm が発生する

(2) 上位チャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.125 リアルタイム出力機能タイプ 1 の上位チャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) 上位チャネルのチャネル出力モード

表 32.126 リアルタイム出力を行うチャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0：チャネル単体出力
TAUDnTOC.TAUDnTOCm	0：動作モード 1（TAUDnTOM.TAUDnTOMm＝0 時はトグルモード）
TAUDnTOL.TAUDnTOLm	0：トグルモード時は、設定無効（リセット後の値）となります。
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm＝0）、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	1：リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0：リアルタイム出力はロウレベル 1：リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	1：チャネル m は独自のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEm	0：変調禁止

(4) 上位チャネルの一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、リアルタイム出力機能タイプ 1 では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 32.127 リアルタイム出力機能タイプ 1 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	0：一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm＝0）、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

32.13.1.5　下位チャネルのレジスタ設定

(1) 下位チャネルの TAUDnCMORm

下位チャネルの TAUDnCMORm レジスタは任意の設定が可能です。

(2) 下位チャネルの TAUDnCMURm

下位チャネルの TAUDnCMURm レジスタは任意の設定が可能です。

(3) 下位チャネルのチャネル出力モード

表 32.128 リアルタイム出力を行うチャネル単体出力モード 1 時の下位チャネル制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0：チャネル単体出力
TAUDnTOC.TAUDnTOCm	0：動作モード 1（TAUDnTOM.TAUDnTOMm＝0 時はトグルモード）
TAUDnTOL.TAUDnTOLm	0：トグルモード時は、設定無効（リセット後の値）となります。
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm＝0）、“0”を設定
TAUDnTDL.TAUDnTDLm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm＝0）、“0”を設定
TAUDnTRE.TAUDnTREm	1：リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0：リアルタイム出力はロウレベル 1：リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0：上位チャネルはチャネル m 用のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEm	0：変調禁止

(4) 下位チャネルの一斉書き換え

下位チャネルの一斉書き換えレジスタは任意の設定が可能です。

32.13.1.6　リアルタイム出力機能タイプ 1 の操作手順

表 32.129 リアルタイム出力機能タイプ 1 の操作手順

	操作	TAUDn の状態
チャネルの初期設定	上位チャネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、「**表 32.124 リアルタイム出力機能タイプ 1 の上位チャネルの TAUDnCMORm レジスタの内容**」、「**表 32.125 リアルタイム出力機能タイプ 1 の上位チャネルの TAUDnCMURm レジスタの内容**」に示すように設定します。 下位チャネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、「**32.13.1.5 下位チャネルのレジスタ設定**」に示すように設定します。 TAUDnCDRm レジスタの値を設定します（TAUDnTRC.TAUDnTRCm＝1 のチャネルのみ）。 制御ビットを「**表 32.126 リアルタイム出力を行うチャネル単体出力モード 1 時の制御ビット設定**」に示すように設定して、チャネル出力モードを設定します。 制御ビットを「**表 32.128 リアルタイム出力を行うチャネル単体出力モード 1 時の下位チャネル制御ビット設定**」に示すように設定して、チャネル出力モードを設定します。	チャネル動作を停止しています。
動作開始	TAUDnTRC.TAUDnTRCm が“1”に設定されているチャネルでは、TAUDnTS.TAUDnTSm＝1 を設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	［TAUDnTRC.TAUDnTRCm が“1”に設定されているチャネル］ TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCDRm の値を TAUDnCNTm にロードします。TAUDnCMORm.TAUDnMD0 が“1”の場合は、INTTAUDnIm が発生します。
動作中	TAUDnCDRm レジスタと TAUDnTRO.TAUDnTROm は任意のタイミングで変更可能です。 TAUDnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUDnCNTm がダウンカウントを行います。カウンタが 0000_H になった場合： ● 再び TAUDnCDRm の値を TAUDnCNTm にロードし、カウント動作を継続します。 ● INTTAUDnIm が発生します。 ● TAUDTTOUTm がリアルタイム出力ビット TAUDnTRO.TAUDnTROm の現在値を出力します。 以降、この動作を繰り返します。
動作停止	TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm と TAUDTTOUTm は現在値を保持します。

32.13.1.7　特定の設定時のタイミング図

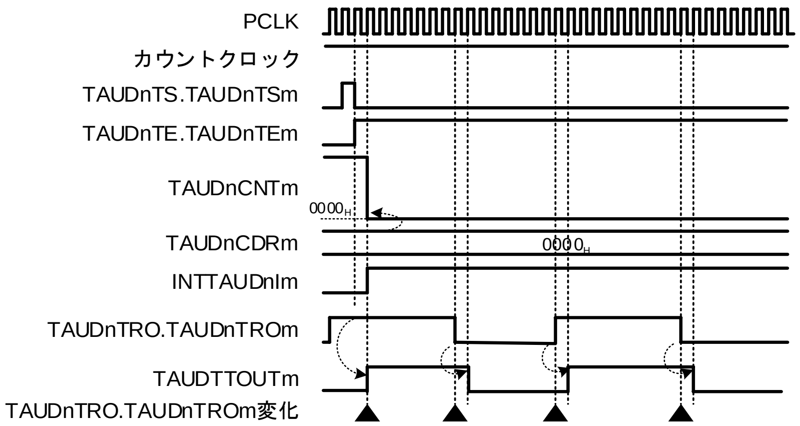


図 32.82　TAUDnCDRm＝0000H、TAUDnCMORm.TAUDnMD0＝1

- TAUDTTOUTm の値は TAUDnTRO.TAUDnTROm の設定値から 1 PCLK 周期遅延して変化します。

32.13.2 リアルタイム出力機能タイプ 2

32.13.2.1 概要

概要

指定したチャネルでの割り込み（INTTAUDnIm）発生時に、TAUDTTOUTm から TAUDnTRO.TAUDnTROm ビット値を出力する機能です。この機能の開始時、または有効な TAUDTTINm 入力エッジが検出されると、割り込みが発生します。

上位チャネルはリアルタイム出力トリガを生成するチャネル（TAUDnTRC.TAUDnTRCm＝1）、下位チャネルは上位チャネルのトリガを受けてリアルタイム出力を行うチャネル（TAUDnTRC.TAUDnTRCm＝0）です。

前提条件

- 他チャネルの TAUDTTOUTm 制御を使用するチャネル
- 上位チャネルの動作モードは、キャプチャモードに設定する必要があります（「**表 32.130 リアルタイム出力機能タイプ 2 の上位チャネルの TAUDnCMORm レジスタの内容**」参照）。
- 下位チャネルには任意の動作モードを設定可能です。
- 全チャネルのチャネル出力モードは、リアルタイム出力を行うチャネル単体出力モード 1 に設定する必要があります。「**32.7 チャネル出力モード**」を参照してください。
- 上位チャネルはリアルタイム出力が許可された状態にしておく必要があります（TAUDnTRE.TAUDnTREm＝1）。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を“1”に設定すると、上位チャネルのカウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm＝1 となり、カウントが可能になります。上位チャネルのカウンタがアップカウントを開始します。

上位チャネルで有効な TAUDTTINm 入力エッジが発生すると、割り込みが発生し、TAUDTTOUTm が全チャネルのリアルタイム出力ビット（TAUDnTRO.TAUDnTROm）の現在値を出力します（TAUDnTRE.TAUDnTREm＝1 のチャネルのみ）。

TAUDTTOUTm 信号は、割り込み発生時と、その割り込み発生時に TAUDTTOUTm の値が TAUDnTRO.TAUDnTROm の現在値と異なる場合にのみ変化します。

条件

- INTTAUDnIm の発生を検出するチャネルは、該当チャネルに TAUDnTRC.TAUDnTRCm＝1 を設定することにより指定します。リアルタイム出力トリガを生成しない、その他すべてのチャネルは、TAUDnTRC.TAUDnTRCm ビットを“0”に設定しておく必要があります。
- 下位チャネルのリアルタイム出力が禁止（TAUDnTRE.TAUDnTREm＝0）されている場合、またはチャネル自体が書き換えトリガとして使用されている場合（TAUDnTRC.TAUDnTRCm＝1）、そのチャネルでの INTTAUDnIm 発生時にそのチャネルの TAUDnTRO.TAUDnTROm ビット値が出力されます。
- 下位チャネルのリアルタイム出力が許可されていて（TAUDnTRE.TAUDnTREm＝1）、TAUDnTRC.TAUDnTRCm＝0 である場合、上位チャネルでの INTTAUDnIm 発生時にそのチャネルの TAUDnTRO.TAUDnTROm ビット値が出力されます。

- TAUDnCMORm.TAUDnMD0 ビットが “0” に設定されている場合、動作開始または再開後の最初の割り込みは出力されません。詳細は「**32.9 カウント開始／リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成**」を参照してください。

32.13.2.2　ブロック図と基本タイミング図

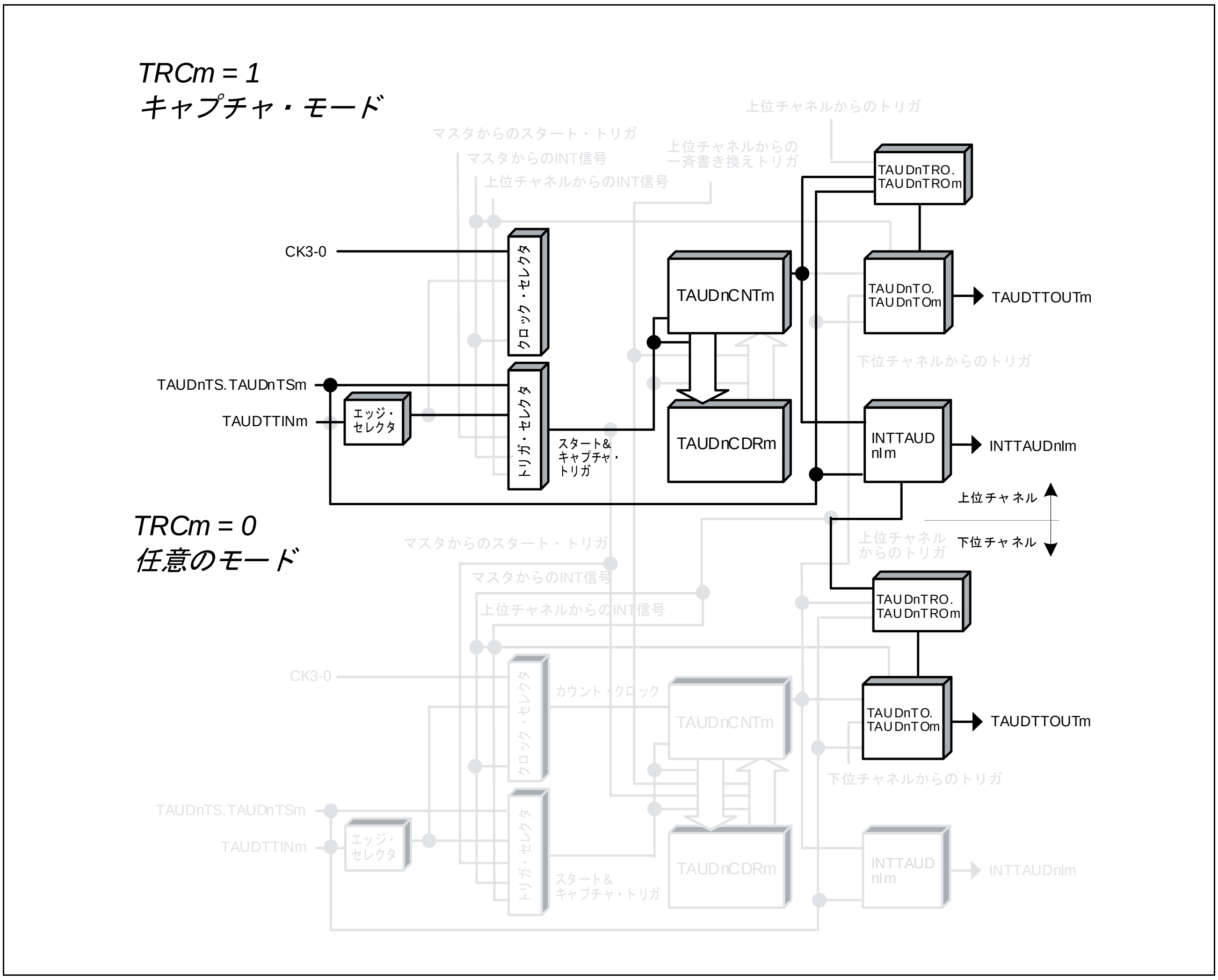


図 32.83　リアルタイム出力機能タイプ 2 のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生しない（TAUDnCMORm.TAUDnMD0＝0）

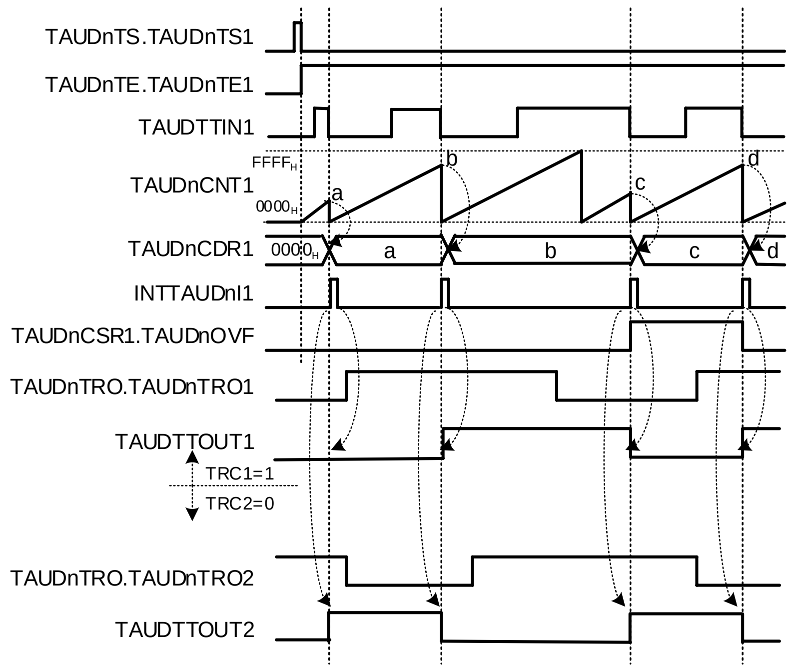


図 32.84　リアルタイム出力機能タイプ 2 の基本タイミング図

32.13.2.3 上位チャネルのレジスタ設定

(1) 上位チャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.130 リアルタイム出力機能タイプ 2 の上位チャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS[2:0]	001：TAUDTTINm 入力信号の有効エッジを外部スタートトリガとして使用
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0010：キャプチャモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない 1：動作開始時に INTTAUDnIm が発生する

(2) 上位チャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.131 リアルタイム出力機能タイプ 2 の上位チャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) 上位チャネルのチャネル出力モード

表 32.132 リアルタイム出力を行うチャネル単体出力モード 1 時の制御ビット設定

<table>
<tr><th>ビット名</th><th>設定</th></tr>
<tr><td>TAUDnTOE.TAUDnTOEm</td><td>1：チャネル単体出力モード許可</td></tr>
<tr><td>TAUDnTOM.TAUDnTOMm</td><td>0：チャネル単体出力</td></tr>
<tr><td>TAUDnTOC.TAUDnTOCm</td><td>0：動作モード 1（TAUDnTOM.TAUDnTOMm＝0 時はトグルモード）</td></tr>
<tr><td>TAUDnTOL.TAUDnTOLm</td><td>0：トグルモード時は、設定無効（リセット後の値）となります。</td></tr>
<tr><td>TAUDnTDE.TAUDnTDEm</td><td>0：デッドタイム動作禁止</td></tr>
<tr><td>TAUDnTDM.TAUDnTDMm</td><td rowspan="2">0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm＝0）、“0”を設定</td></tr>
<tr><td>TAUDnTDL.TAUDnTDLm</td></tr>
<tr><td>TAUDnTRE.TAUDnTREm</td><td>1：リアルタイム出力許可</td></tr>
<tr><td>TAUDnTRO.TAUDnTROm</td><td>0：リアルタイム出力はロウレベル
1：リアルタイム出力はハイレベル</td></tr>
<tr><td>TAUDnTRC.TAUDnTRCm</td><td>1：チャネル m は独自のリアルタイム出力トリガを生成</td></tr>
<tr><td>TAUDnTME.TAUDnTMEm</td><td>0：変調禁止</td></tr>
</table>

(4) 上位チャネルの一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、リアルタイム出力機能タイプ 2 では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 32.133 リアルタイム出力機能タイプ 2 の一斉書き換え設定

<table>
<tr><th>ビット名</th><th>設定</th></tr>
<tr><td>TAUDnRDE.TAUDnRDEm</td><td>0：一斉書き換え禁止</td></tr>
<tr><td>TAUDnRDS.TAUDnRDSm</td><td rowspan="3">0：一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm＝0）、“0”を設定</td></tr>
<tr><td>TAUDnRDM.TAUDnRDMm</td></tr>
<tr><td>TAUDnRDC.TAUDnRDCm</td></tr>
</table>

32.13.2.4　下位チャネルのレジスタ設定

(1)　下位チャネルの TAUDnCMORm

下位チャネルの TAUDnCMORm レジスタは任意の設定が可能です。

(2)　下位チャネルの TAUDnCMURm

下位チャネルの TAUDnCMURm レジスタは任意の設定が可能です。

(3)　下位チャネルのチャネル出力モード

表 32.134 リアルタイム出力を行うチャネル単体出力モード 1 時の下位チャネル制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0：チャネル単体出力
TAUDnTOC.TAUDnTOCm	0：動作モード 1（TAUDnTOM.TAUDnTOMm＝0 時はトグルモード）
TAUDnTOL.TAUDnTOLm	0：トグルモード時は、設定無効（リセット後の値）となります。
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm＝0）、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	1：リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0：リアルタイム出力はロウレベル 1：リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0：上位チャネルはチャネル m 用のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEm	0：変調禁止

(4)　下位チャネルの一斉書き換え

下位チャネルの一斉書き換えレジスタは任意の設定が可能です。

32.13.2.5　リアルタイム出力機能タイプ 2 の操作手順

表 32.135 リアルタイム出力機能タイプ 2 の操作手順

	操作	TAUDn の状態
チャネルの初期設定	上位チャネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、「**表 32.130 リアルタイム出力機能タイプ 2 の上位チャネルの TAUDnCMORm レジスタの内容**」、「**表 32.131 リアルタイム出力機能タイプ 2 の上位チャネルの TAUDnCMURm レジスタの内容**」に示すように設定します。 下位チャネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、「**32.13.2.4 下位チャネルのレジスタ設定**」に示すように設定します。 TAUDnCDRm レジスタはキャプチャレジスタとして動作します（TAUDnTRC.TAUDnTRCm＝1 のチャネル）。 制御ビットを「**表 32.132 リアルタイム出力を行うチャネル単体出力モード 1 時の制御ビット設定**」に示すように設定して、チャネル出力モードを設定します。 制御ビットを「**表 32.134 リアルタイム出力を行うチャネル単体出力モード 1 時の下位チャネル制御ビット設定**」に示すように設定して、チャネル出力モードを設定します。	チャネル動作を停止しています。
動作開始	TAUDnTRC.TAUDnTRCm が “1” に設定されているチャネルでは、TAUDnTS.TAUDnTSm＝1 を設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に “0” にクリアされます。	［TAUDnTRC.TAUDnTRCm が “1” に設定されているチャネル］ TAUDnTE.TAUDnTEm が “1” に設定され、カウントが開始されます。 TAUDnCNTm が 0000_H にクリアされます。 TAUDnCMORm.TAUDnMD0 が “1” の場合は、INTTAUDnIm が発生します。
動作中	TAUDnTRO.TAUDnTROm は任意のタイミングで変更可能です。	TAUDnCNTm は、0000_H からアップカウントを開始します。TAUDTTINm 入力の有効エッジ検出時： ● TAUDnCDRm の値を TAUDnCNTm にキャプチャし、カウンタを 0000_H にクリアします。 ● INTTAUDnIm が発生します。 ● TAUDnCSRm.TAUDnOVF ビットは TAUDTTINm 入力有効エッジを検出したとき、オーバフロー発生後ならば 1 にセット、オーバフロー発生前ならば 0 にクリアされます。 TAUDTTOUTm がリアルタイム出力ビット TAUDnTRO.TAUDnTROm の現在値を出力します。 以降、この動作を繰り返します。
動作停止	TAUDnTT.TAUDnTTm を “1” に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm、TAUDnCSRm.TAUDnOVF、TAUDTTOUTm は現在値を保持します。

動作再開

32.13.2.6　特定のタイミング図

(1) 動作の開始と停止

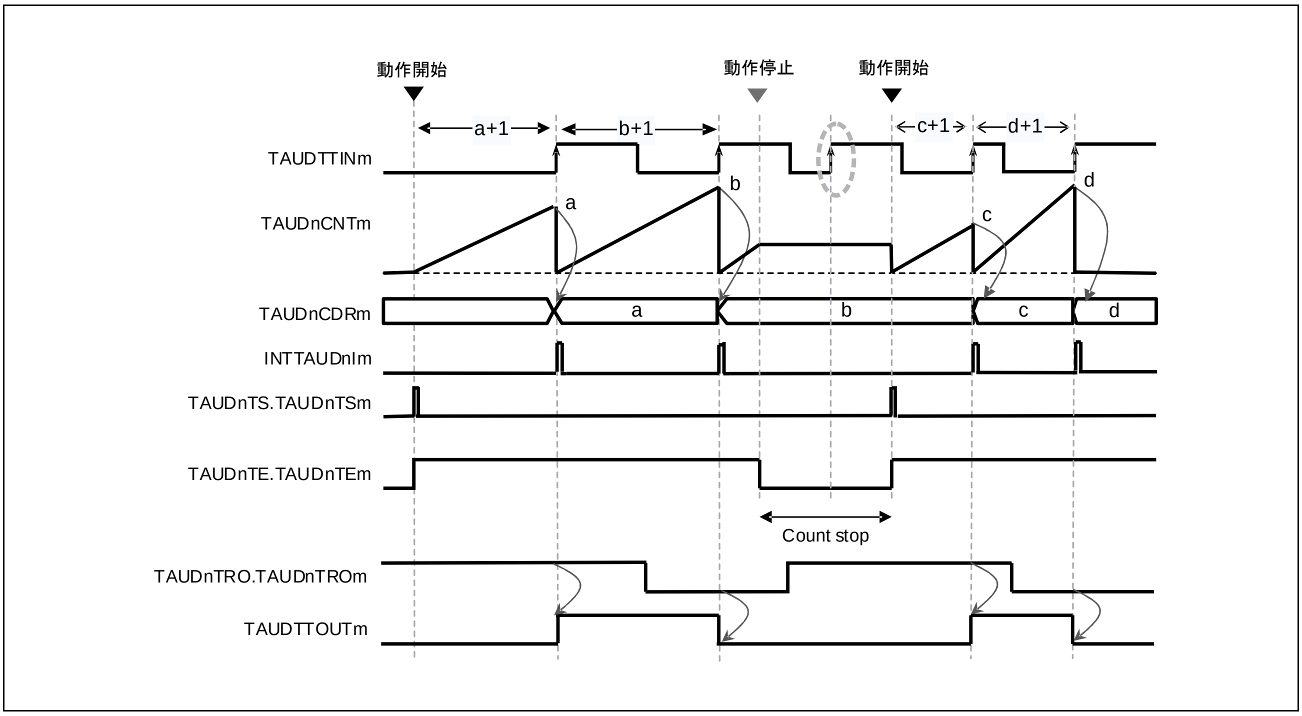


図 32.85　動作の開始と停止（TAUDnCMORm.TAUDnMD0＝0）

- TAUDnTS.TAUDnTSm が“1”に設定され、カウンタがアップカウントを開始します。
- 有効な入力エッジが検出されると、カウンタの現在値がデータレジスタ（TAUDnCDRm）に書き込まれ、割り込みが発生します。
- TAUDTTOUTm はリアルタイム出力ビット（TAUDnTRO.TAUDnTROm）の現在値を出力し、カウンタはリセットされ、アップカウントを再開します。
- TAUDTTOUTm 信号は、割り込み発生時と、その割り込み発生時に TAUDTTOUTm の値が TAUDnTRO.TAUDnTROm の現在値と異なる場合にのみ変化します。
- カウンタが停止している場合（TAUDnTE.TAUDnTEm＝0）、有効な入力エッジは無視され、割り込みは発生しません。

32.14 チャネル単体一斉書き換え機能

この節では、一斉書き換え機能について説明します。

32.14.1　一斉書き換えトリガ生成機能タイプ 1

32.14.1.1　概要

概要

下位チャネルが一斉書き換えトリガとして使用できる割り込みを、特定チャネル上で発生する機能です。この割り込みは一定間隔で発生します。

上位チャネルは一斉書き換えトリガを生成するチャネル（TAUDnRDC.TAUDnRDCm＝1）、下位チャネルは上位チャネルのトリガを受けて一斉書き換えを行うチャネル（TAUDnRDC.TAUDnRDCm＝0）です。

前提条件

- 上位チャネルとして使用するチャネルより下位の 2 チャネル以上で、それぞれ一斉書き換えが許可されている（TAUDnRDE.TAUDnRDEm＝1）。
- 上位チャネルの動作モードは、インターバルタイマモードに設定する必要があります（「**表 32.136　一斉書き換えトリガ生成機能タイプ 1 の上位チャネルの TAUDnCMORm レジスタの内容**」参照）。
- 下位チャネルに設定可能な動作モードは、「**表 32.53　チャネル機能と一斉書き換え方法**」を参照してください。
- この機能では、TAUDTTOUTm はいずれのチャネルでも使用しません。

機能説明

上位チャネル、下位チャネルのチャネルトリガビット（TAUDnTS.TAUDnTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm＝1 となり、カウントが可能になります。上位チャネルのデータレジスタバッファ（TAUDnCDRm buf）の現在値がカウンタ（TAUDnCNTm）にロードされ、カウンタはこの値からダウンカウントを開始します。下位チャネルのカウンタは、選択されている動作モードにしたがってカウントを開始します。

カウンタが 0000_H になると、そのチャネルで割り込みが発生します。対応する TAUDnCDRm バッファの現在値を TAUDnCNTm にロードし、以降、動作を継続します。

割り込みが発生したチャネルが一斉書き換えのトリガチャネルとして設定されていて（TAUDnRDC.TAUDnRDCm＝1）、さらにそれが上位チャネルである場合、一斉書き換えが可能な状態（TAUDnRSF.TAUDnRSFm＝1）にあるすべての下位チャネルで一斉書き換えが行われます。

データレジスタの値は対応するデータレジスタバッファにコピーされます。カウンタはダウンカウントを開始するたびにデータレジスタバッファの値を読み出して、その値からダウンカウントを行います。

データレジスタの値は任意のタイミングで変更可能ですが、一斉書き換え実行時には対応するデータレジスタバッファに転送されるのみです。

条件

- INTTAUDnIm の発生を検出するチャネルは、該当チャネルに TAUDnRDC.TAUDnRDCm＝1 を設定することにより指定します。一斉書き換えを行う必要のあるその他すべてのチャネルは、TAUDnRDC.TAUDnRDCm ビットを“0”に設定しておく必要があります。

- TAUDnCMORm.TAUDnMD0 ビットが“0”に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。「**32.9 カウント開始／リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成**」を参照してください。

32.14.1.2　算出式

一斉書き換えトリガの生成周期＝カウントクロック周期×（TAUDnCDRm＋1）

一斉書き換えを制御するには、次の条件が満たされている必要があります。

［PWM の場合］

TAUDnCDRm＝［（一斉書き換え対象マスタチャネルの TAUDnCDRm 値＋1）×割り込み数］－1

［三角波 PWM の場合］

TAUDnCDRm＝［（一斉書き換え対象マスタチャネルの TAUDnCDRm 値＋1）×2×割り込み数］－1

つまり、TAUDnCDRm＋1 と一斉書き換え対象マスタチャネルの TAUDnCDRm＋1 の比は整数である必要があります。この整数は割り込み数に対応しています。

三角波 PWM の場合は、周期が 2 倍になるので注意してください。

32.14.1.3　ブロック図と基本タイミング図

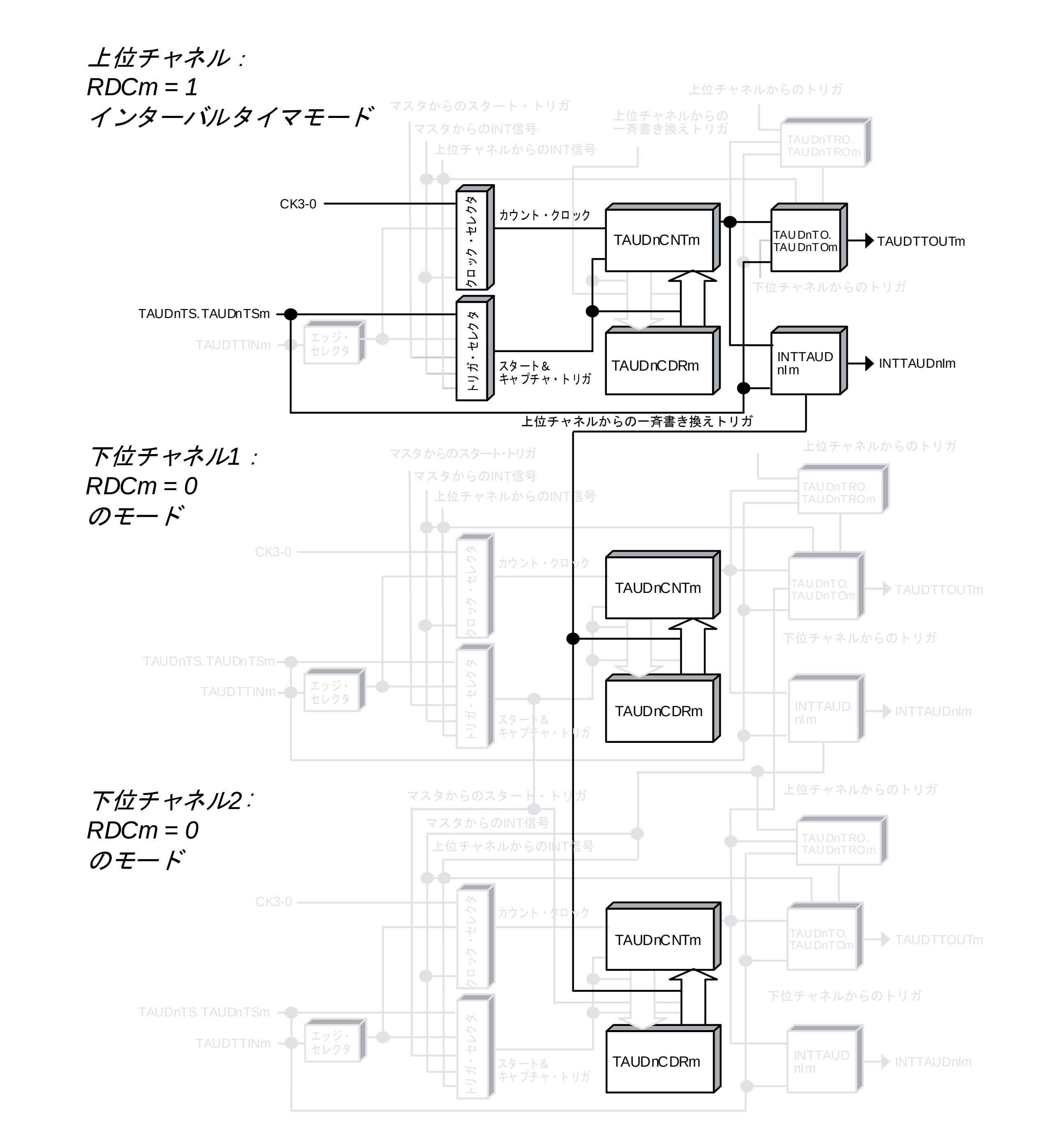


図 32.86　一斉書き換えトリガ生成機能タイプ 1 のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生する（TAUDnCMORm.TAUDnMD0＝1）

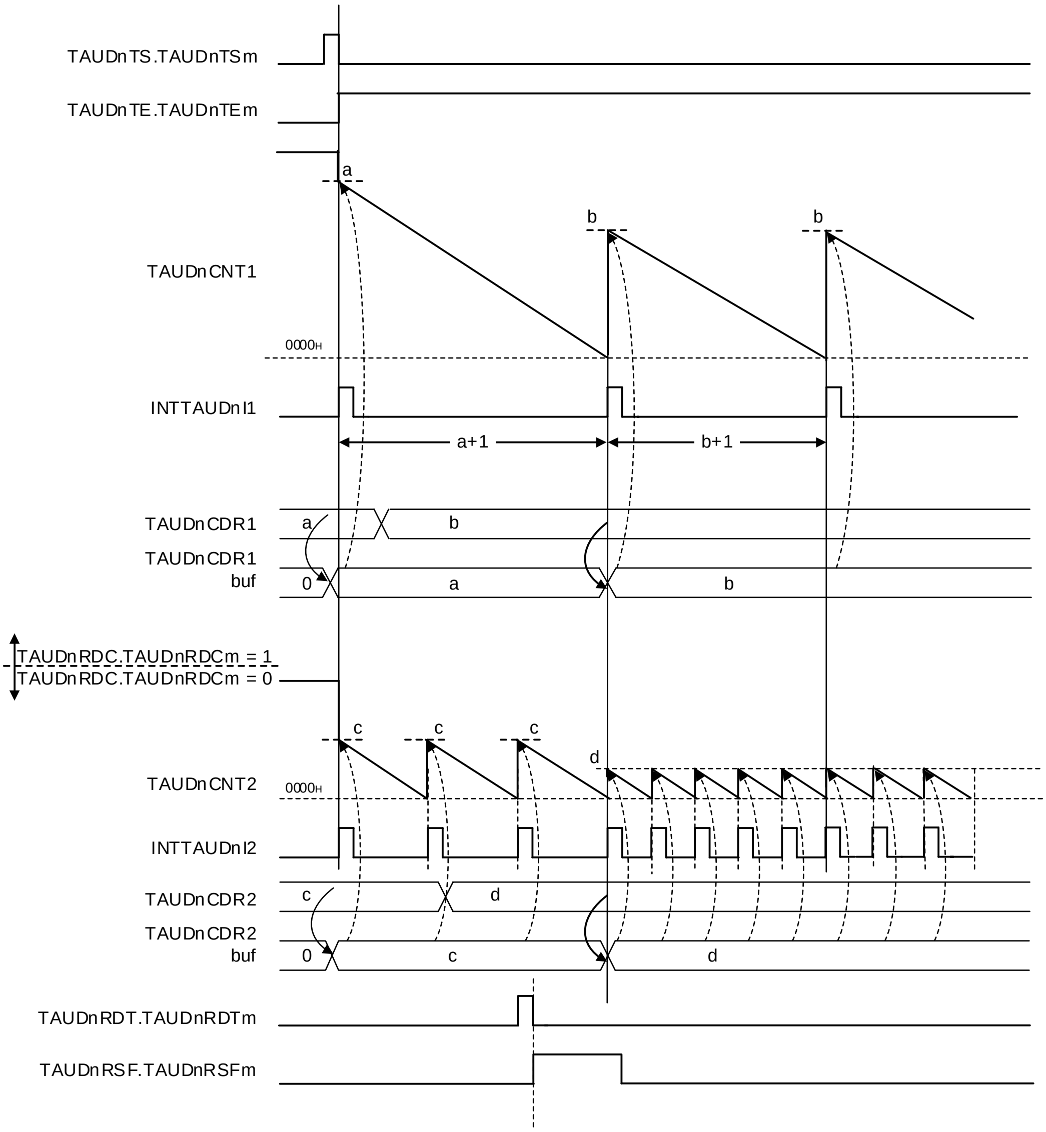


図 32.87　一斉書き換えトリガ生成機能タイプ 1 の基本タイミング図

32.14.1.4 上位チャネルのレジスタ設定

(1) 上位チャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.136 一斉書き換えトリガ生成機能タイプ 1 の上位チャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS[2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない 1：動作開始時に INTTAUDnIm が発生する

(2) 上位チャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.137 一斉書き換えトリガ生成機能タイプ 1 の上位チャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) 上位チャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

(4) 上位チャネルの一斉書き換え

表 32.138 一斉書き換えトリガ生成機能タイプ 1 時の上位チャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	1：上位の 1 チャネルを一斉書き換えの制御チャネルとして選択
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUDnRDC.TAUDnRDCm	1：チャネルで一斉書き換えのトリガとなる INTTAUDnIm 信号をモニタ

32.14.1.5　下位チャネルのレジスタ設定

(1) 下位チャネルの TAUDnCMORm

下位チャネルの TAUDnCMORm レジスタは、設定可能な動作モードの TAUDnCMORm レジスタ設定に従ってください（「**表 32.53 チャネル機能と一斉書き換え方法**」を参照してください）。

(2) 下位チャネルの TAUDnCMURm

下位チャネルの TAUDnCMURm レジスタは、設定可能な動作モードの TAUDnCMURm レジスタ設定に従ってください（「**表 32.53 チャネル機能と一斉書き換え方法**」を参照してください）。

(3) 下位チャネルのチャネル出力モード

下位チャネルの（マスタ、スレーブ）設定に従った出力が可能です。一斉書き換えトリガ生成機能タイプ 1 が使用可能な機能については、「**表 32.52 一斉書き換え方法とトリガタイミング**」を参照してください。

(4) 下位チャネルの一斉書き換え

表 32.139 一斉書き換えトリガ生成機能タイプ 1 時の下位チャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	1：上位の 1 チャネルを一斉書き換えの制御チャネルとして選択
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない

32.14.1.6　一斉書き換えトリガ生成機能タイプ 1 の操作手順

表 32.140 一斉書き換えトリガ生成機能タイプ 1 の操作手順

	操作	TAUDn の状態
チャネルの初期設定	上位チャネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、「**表 32.136 一斉書き換えトリガ生成機能タイプ 1 の上位チャネルの TAUDnCMORm レジスタの内容**」、「**表 32.137 一斉書き換えトリガ生成機能タイプ 1 の上位チャネルの TAUDnCMURm レジスタの内容**」に示すように設定します。 下位チャネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、「**32.14.1.5 下位チャネルのレジスタ設定**」に示すように設定します。 TAUDnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSm を “1” に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “1” に設定され、カウントが開始されます。 TAUDnCDRm の値を TAUDnCNTm にロードします。 TAUDnCMORm.TAUDnMD0＝1 の場合、INTTAUDnIm が発生します。
動作中	TAUDnRDT.TAUDnRDTm、TAUDnCDRm.TAUDnCDR は変更可能です。 TAUDnRSF.TAUDnRSFm は常に読み出し可能です。	TAUDnCNTm がダウンカウントを行います。カウンタが 0000_H になった場合： ● 再び TAUDnCDRm の値を TAUDnCNTm にロードし、カウント動作を継続します。 ● INTTAUDnIm が発生します。 TAUDnRDC.TAUDnRDCm が “1” に設定されているチャネルで INTTAUDnIm が発生すると、一斉書き換えが制御されます。 以降、この動作を繰り返します。
動作停止	TAUDnTT.TAUDnTTm を “1” に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に “0” にクリアされます。	TAUDnTE.TAUDnTEm が “0” にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm は現在値を保持します。

32.14.2　一斉書き換えトリガ生成機能タイプ 2

32.14.2.1　概要

概要

下位チャネルが一斉書き換えトリガとして使用できる割り込みを、特定チャネル上で発生する機能です。この機能の開始時、または有効な TAUDTTINm 入力エッジが検出されると、割り込みが発生します。

上位チャネルは一斉書き換えトリガを生成するチャネル（TAUDnRDC.TAUDnRDCm＝1）、下位チャネルは上位チャネルのトリガを受けて一斉書き換えを行うチャネル（TAUDnRDC.TAUDnRDCm＝0）です。

前提条件

- 上位チャネルとして使用するチャネルより下位の 2 チャネル以上で、それぞれ一斉書き換えが許可されている（TAUDnRDE.TAUDnRDEm＝1）。
- 上位チャネルの動作モードは、キャプチャモードに設定する必要があります（「**表 32.141　一斉書き換えトリガ生成機能タイプ 2 の上位チャネルの TAUDnCMORm レジスタの内容**」参照）。
- 下位チャネルに設定可能な動作モードは、「**表 32.53　チャネル機能と一斉書き換え方法**」を参照してください。

機能説明

上位チャネル、下位チャネルのチャネルトリガビット（TAUDnTS.TAUDnTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm＝1 となり、カウントが可能になります。上位チャネルのカウンタがアップカウントを開始し、下位チャネルのカウンタは選択されている動作モードにしたがってカウントを開始します。

上位チャネルで有効な TAUDTTINm 入力エッジが発生すると、割り込みが発生し、下位チャネルでトリガ検出による割り込みが発生します。

上位チャネルで TAUDnRDC.TAUDnRDCm＝1 の場合、一斉書き換えが可能な状態（TAUDnRSF.TAUDnRSFm＝1）にあるすべての下位チャネルで一斉書き換えが行われます。

データレジスタの値は対応するデータレジスタバッファにコピーされます。

データレジスタの値は任意のタイミングで変更可能ですが、一斉書き換え実行時には対応するデータレジスタバッファに転送されるのみです。

条件

- INTTAUDnIm の発生を検出するチャネルは、該当チャネルに TAUDnRDC.TAUDnRDCm＝1 を設定することにより指定します。一斉書き換えを行う必要のあるその他すべてのチャネルは、TAUDnRDC.TAUDnRDCm ビットを“0”に設定しておく必要があります。
- TAUDnCMORm.TAUDnMD0 ビットを“1”に設定した場合、動作開始時に割り込みが発生します。詳細は「**32.9　カウント開始／リスタート時の TAUDTTOUTm 出力と INTTAUDnIm 生成**」を参照してください。

32.14.2.2　ブロック図と基本タイミング図

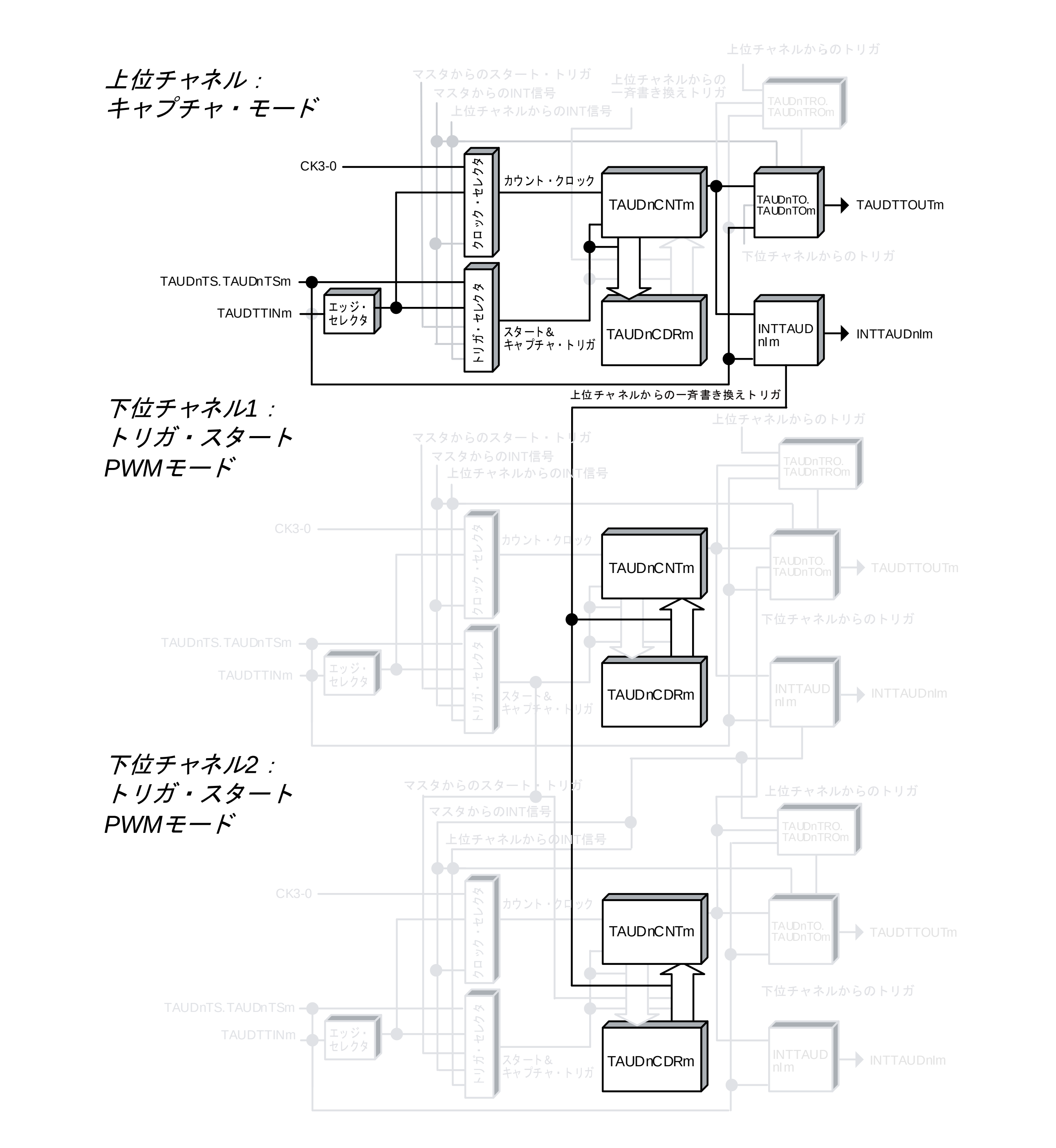


図 32.88　一斉書き換えトリガ生成機能タイプ 2 のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUDnIm が発生する（TAUDnCMORm.TAUDnMD0＝1）
- 立ち下がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0]＝00_B）
- 上位チャネル（CH1）が一斉書き換えトリガを生成

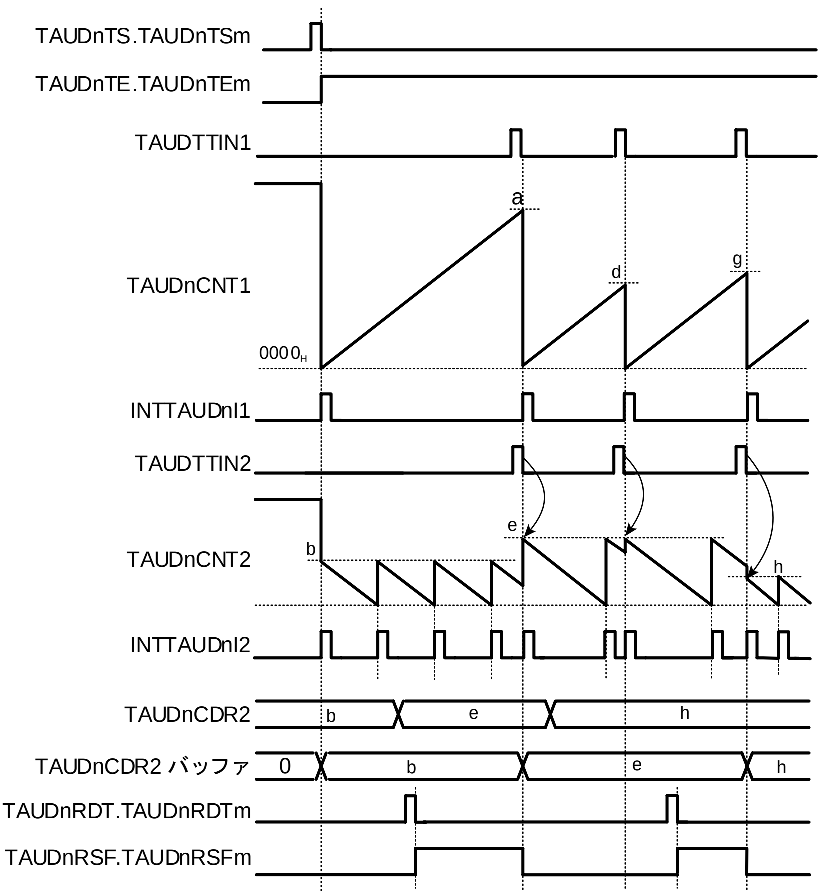


図 32.89　一斉書き換えトリガ生成機能タイプ 2 の基本タイミング図

32.14.2.3 上位チャネルのレジスタ設定

(1) 上位チャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.141 一斉書き換えトリガ生成機能タイプ 2 の上位チャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：単体動作、“0”を設定
10～8	TAUDnSTS[2:0]	001：TAUDTTINm 入力信号の有効エッジを外部キャプチャトリガとして使用
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0010：キャプチャモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない 1：動作開始時に INTTAUDnIm が発生する

(2) 上位チャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.142 一斉書き換えトリガ生成機能タイプ 2 の上位チャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) 上位チャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しません。

(4) 上位チャネルの一斉書き換え

表 32.143 一斉書き換えトリガ生成機能タイプ 2 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	1：上位の 1 チャネルを一斉書き換えの制御チャネルとして選択
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUDnRDC.TAUDnRDCm	1：チャネルで一斉書き換えのトリガとなる INTTAUDnIm 信号をモニタ

32.14.2.4　下位チャネルのレジスタ設定

(1)　下位チャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.144 一斉書き換えトリガ生成機能タイプ 2 の下位チャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10～8	TAUDnSTS[2:0]	001：有効な TAUDTTINm 入力エッジ信号をスタートトリガとして使用
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0000：インターバルタイマモード
0	TAUDnMD0	1：動作開始時に INTTAUDnIm が発生する

(2)　下位チャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.145 一斉書き換えトリガ生成機能タイプ 2 の下位チャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) 下位チャネルのチャネル出力モード

トリガスタート PWM モード設定にしたがった出力が可能です。

(4) 下位チャネルの一斉書き換え

表 32.146 一斉書き換えトリガ生成機能タイプ 2 時の下位チャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	1：上位の 1 チャネルを一斉書き換えの制御チャネルとして選択
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換え制御信号をロード
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない

32.14.2.5　一斉書き換えトリガ生成機能タイプ 2 の操作手順

表 32.147 一斉書き換えトリガ生成機能タイプ 2 の操作手順

	操作	TAUDn の状態
チャネルの初期設定	上位チャネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、**「表 32.141 一斉書き換えトリガ生成機能タイプ 2 の上位チャネルの TAUDnCMORm レジスタの内容」**、**「表 32.142 一斉書き換えトリガ生成機能タイプ 2 の上位チャネルの TAUDnCMURm レジスタの内容」**に示すように設定します。 下位チャネルの TAUDnCMORm レジスタと TAUDnCMURm レジスタを、**「表 32.144 一斉書き換えトリガ生成機能タイプ 2 の下位チャネルの TAUDnCMORm レジスタの内容」**、**「表 32.145 一斉書き換えトリガ生成機能タイプ 2 の下位チャネルの TAUDnCMURm レジスタの内容」**に示すように設定します。 TAUDnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUDnTS.TAUDnTSm を“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“1”に設定され、カウントが開始されます。 TAUDnCNTm が 0000_H にクリアされます。 TAUDnCMORm.TAUDnMD0 が“1”の場合は、INTTAUDnIm が発生します。
動作中	TAUDnRDT.TAUDnRDTm は任意のタイミングで設定可能です。 TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。	TAUDnCNTm は、0000_H からアップカウントを開始します。TAUDTTINm の有効エッジ検出時： ● TAUDnCNTm が自身の値を TAUDnCDRm に転送（キャプチャ）して、0000_H に戻ります。 ● INTTAUDnIm が発生します。 TAUDnRDC.TAUDnRDCm が“1”に設定されているチャネルで INTTAUDnIm が発生すると、一斉書き換えが制御されます。 以降、この動作を繰り返します。
動作停止	TAUDnTT.TAUDnTTm を“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、TAUDnCNTm は現在値を保持します。

動作再開

32.15 チャネル連動動作機能

この節では、TAUD のチャネル連動動作の全機能について説明します。チャネル連動動作の概要については、「**32.2 概要**」を参照してください。

この節では、一定間隔で PWM 信号を発生させる機能について述べます。

32.15.1 PWM 出力機能

32.15.1.1 概要

概要

マスタチャネルと複数のスレーブチャネルを使用することで、複数の PWM 出力を生成する機能です。これにより、TAUDTTOUTm のパルス周期（周波数）とデューティを設定できます。パルス周期はマスタチャネルで設定します。デューティはスレーブチャネルで設定します。

前提条件

- 2 チャネル
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（「**表 32.148 PWM 出力機能のマスタチャネルの TAUDnCMORm レジスタの内容**」参照）
- スレーブチャネルの動作モードは、ワンカウントモードに設定する必要があります（「**表 32.151 PWM 出力機能のスレーブチャネルの TAUDnCMORm レジスタの内容**」参照）。
- この機能では、マスタチャネルで TAUDTTOUTm は使用しません。
- スレーブチャネルのチャネル出力モードは、チャネル連動出力モード 1 に設定する必要があります（「**32.7 チャネル出力モード**」参照）。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm＝1 となり、カウントが可能になります。TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。マスタチャネルで INTTAUDnIm が発生し、TAUDTTOUTm（スレーブ）がセット、リセットされることにより PWM 出力を実現しています。

- マスタチャネル：
  マスタチャネルのカウンタ値が 0000_H になりパルス周期時間が経過すると、INTTAUDnIm が発生します。TAUDnCDRm 値を TAUDnCNTm にロードし、ダウンカウントを行います。
- スレーブチャネル：
  マスタチャネルで INTTAUDnIm が発生すると、スレーブチャネルのカウンタ動作がトリガされます。TAUDnCDRm（スレーブ）の現在値が TAUDnCNTm（スレーブ）にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。TAUDTTOUTm 信号がアクティブレベルに設定されます。
  カウンタ値が 0000_H になると（デューティ時間が経過すると）INTTAUDnIm が発生し、TAUDTTOUTm 信号がインアクティブレベルに設定されます。カウンタは $FFFF_H$ に戻り、マスタチャネルの次の INTTAUDnIm（次のパルス周期の開始）を待ちます。

マスタ／スレーブチャネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。マスタ／スレーブチャネルの TAUDnCNTm

と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSm を“1”に設定すると、カウントを再開できます。

条件

この機能では一斉書き換えの設定をしてください。「**32.6 一斉書き換え**」を参照してください。

32.15.1.2　算出式

パルス周期＝（TAUDnCDRm（マスタ）＋1）×カウントクロック周期

デューティサイクル［%］＝（TAUDnCDRm（スレーブ）／（TAUDnCDRm（マスタ）＋1））×100

- デューティサイクル＝0%
  TAUDnCDRm（スレーブ）＝0000_H
- デューティサイクル＝100%
  TAUDnCDRm（スレーブ）≧TAUDnCDRm（マスタ）＋1

32.15.1.3　ブロック図と基本タイミング図

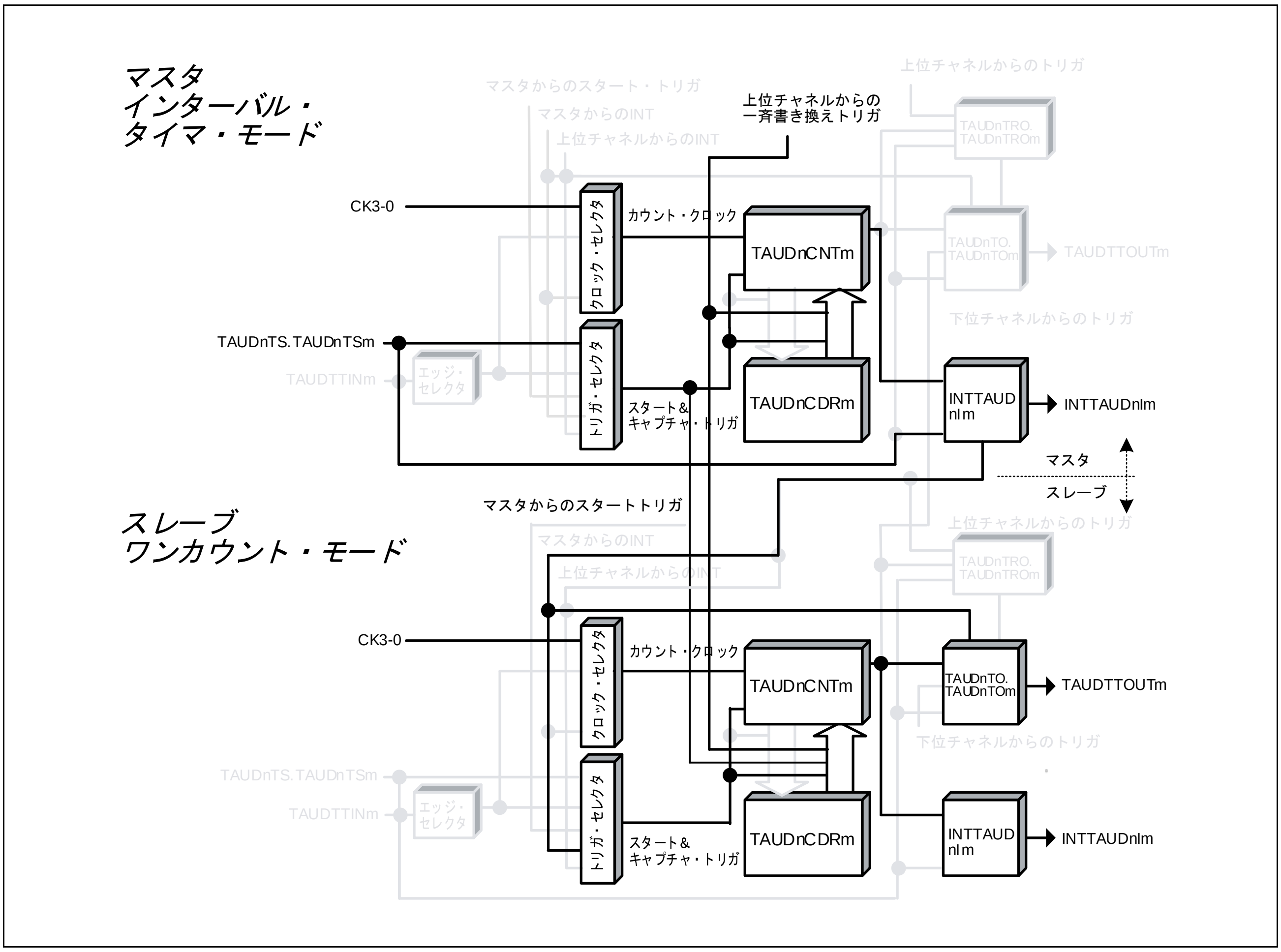


図 32.90　PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブチャネル：正論理（TAUDnTOL.TAUDnTOLm＝0）

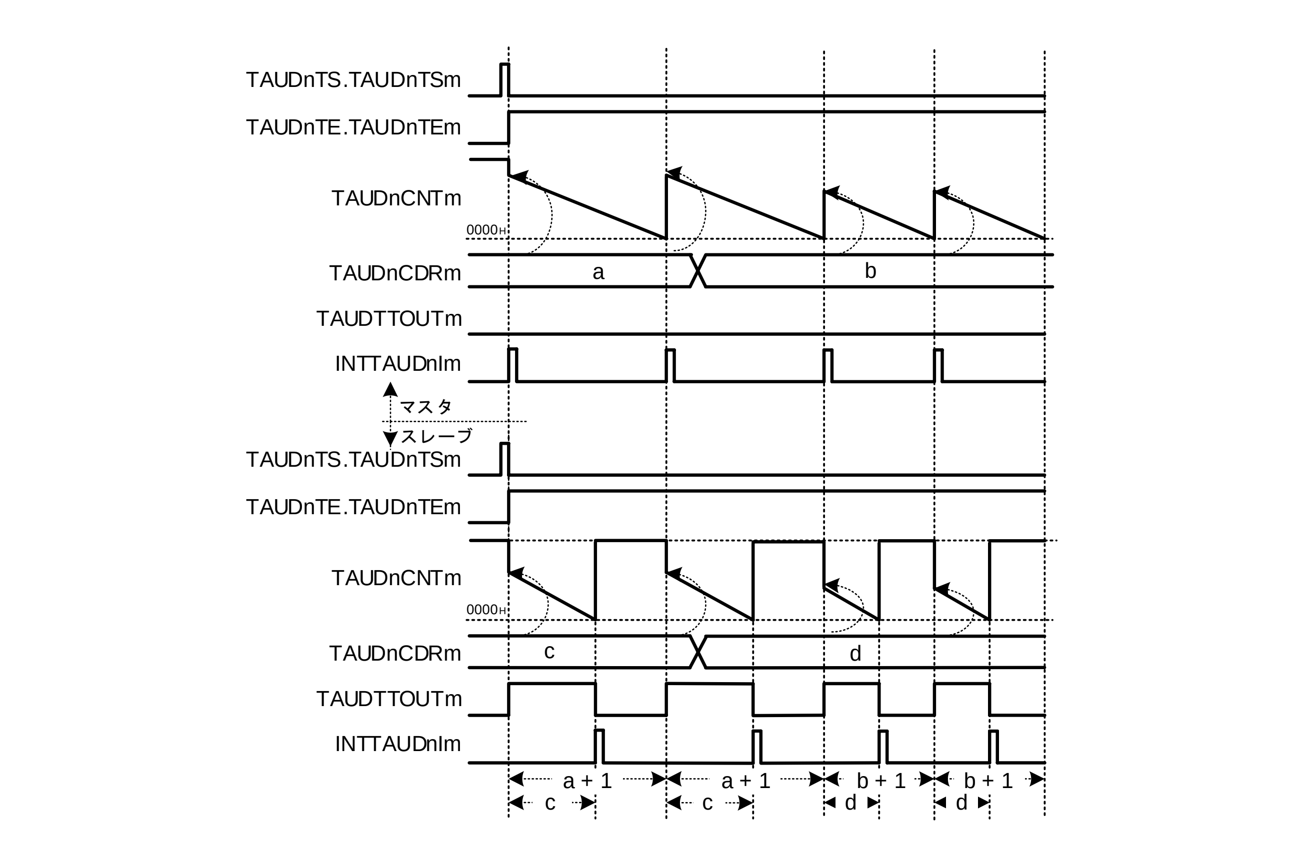


図 32.91　PWM 出力機能の基本タイミング図

備　考

1.　カウント開始から割り込み発生までの間隔は対応する TAUDnCDRm＋1 の値になります。
2.　スレーブチャネルの TAUDTTOUTm は、マスタチャネルの INTTAUDnIm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

32.15.1.4　マスタチャネルのレジスタ設定

(1)　マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.148 PWM 出力機能のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 　00：プリスケーラ出力 CK0 　01：プリスケーラ出力 CK1 　10：プリスケーラ出力 CK2 　11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10～8	TAUDnSTS[2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0000：インターバルタイマモード
0	TAUDnMD0	1：動作開始時に INTTAUDnIm が発生する

(2)　マスタチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.149 PWM 出力機能のマスタチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) マスタチャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しません。

(4) マスタチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 32.150 PWM 出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルの一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

備　考

TAUDnRDS.TAUDnRDSm ビット＝1 で使用する場合、マスタチャネルの上位に「**32.14.1 一斉書き換えトリガ生成機能タイプ 1**」で動作するチャネルが必要になります。

また、下記条件にて動作設定をお願いします。

- 一斉書き換えトリガ出力機能タイプ 1 設定チャネル：TAUDnRDCm＝1、TAUDnRDSm＝1
  また、本チャネルの TAUDnCDRm 設定値は下記となります。
  ＝（（一斉書き換え対象のマスタチャネルの TAUDnCDRm 設定値＋1）×割り込み回数）－1
- マスタチャネル：TAUDnRDCm＝0、TAUDnRDSm＝1
- スレーブチャネル：TAUDnRDCm＝0、TAUDnRDSm＝1

TAUDnCDRm（スレーブ）の設定値 ＞ TAUDnCDRm（マスタ）の設定値＋1 の場合は、Duty 値が 100%を超えることになるが、集約し 100%出力とする。

32.15.1.5　スレーブチャネルのレジスタ設定

(1) スレーブチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.151 PWM 出力機能のスレーブチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10～8	TAUDnSTS[2:0]	100：マスタチャネルの INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：動作中のスタートトリガが有効

(2) スレーブチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.152 PWM 出力機能のスレーブチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャネルのチャネル出力モード

表 32.153 チャネル連動出力モード 1 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1：チャネル連動動作
TAUDnTOC.TAUDnTOCm	0：動作モード 1
TAUDnTOL.TAUDnTOLm	0：正論理 1：負論理
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm＝0）、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm＝0）、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEm	0：変調禁止

(4) スレーブチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 32.154 PWM 出力機能時のスレーブチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルの一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

32.15.1.6　PWM 出力機能の操作手順

表 32.155 PWM 出力機能時の操作手順

	操作	TAUDn の状態
チャネルの初期設定	マスタチャネル：TAUDnCMORm/TAUDnCMURm レジスタとチャネル出力モードを「**32.15.1.4 マスタチャネルのレジスタ設定**」に示すように設定します。 スレーブチャネル：TAUDnCMORm/TAUDnCMURm レジスタとチャネル出力モードを「**32.15.1.5 スレーブチャネルのレジスタ設定**」に示すように設定します。 全チャネルの TAUDnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	マスタチャネルとスレーブチャネルの TAUDnTS.TAUDnTSm を同時に“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm（マスタ／スレーブチャネル）が“1”に設定され、マスタ／スレーブチャネルのカウンタが動作を開始します。 マスタチャネルで INTTAUDnIm が発生し、TAUDTTOUTm（スレーブ）が設定されます。
動作中	TAUDnCDRm は任意のタイミングで変更可能です。 TAUDnTOL.TAUDnTOLm は変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTm は動作中に変更可能です。	マスタチャネルの TAUDnCNTm は TAUDnCDRm 値をロードし、ダウンカウントを行います。カウンタが 0000_H になった場合： ● INTTAUDnIm（マスタ）が発生します。 ● TAUDnCDRm 値を TAUDnCNTm（マスタ）にロードし、カウント動作を継続します。 ● TAUDnCDRm 値を TAUDnCNTm（スレーブ）にロードし、ダウンカウントを行います。 ● TAUDTTOUTm（スレーブ）がアクティブレベルに設定されます。 TAUDnCNTm（スレーブ）が 0000_H になった場合： ● INTTAUDnIm（スレーブ）が発生します。 ● TAUDTTOUTm（スレーブ）がインアクティブレベルに設定されます。また、スレーブチャネルのカウント動作が停止します。
動作停止	マスタチャネルとスレーブチャネルの TAUDnTT.TAUDnTTm を同時に“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

動作再開

32.15.1.7　特定の設定時のタイミング図

(1)　デューティサイクル＝0%

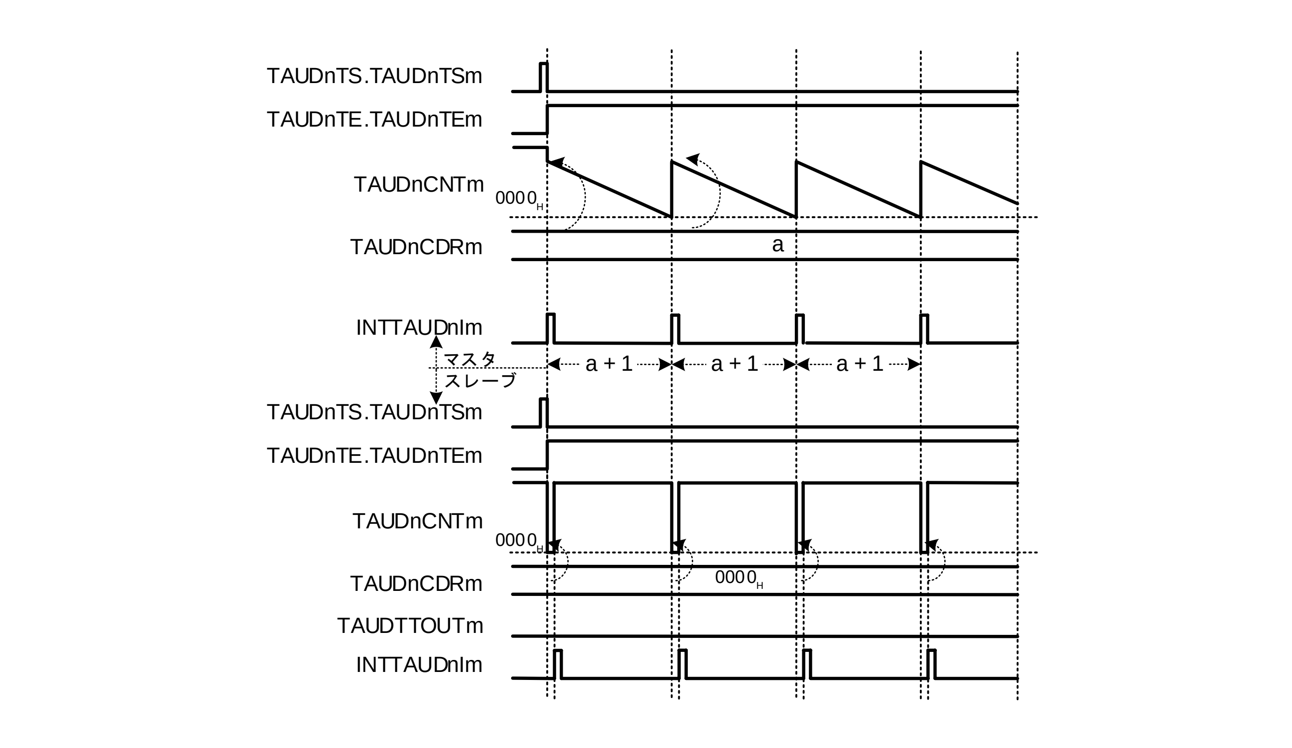


図 32.92　TAUDnCDRm（スレーブ）＝0000H、
正論理（TAUDnTOL.TAUDnTOLm（スレーブ）＝0）

- マスタチャネルで割り込み（INTTAUDnIm）が発生するたびに、TAUDnCNTm（スレーブ）に 0000H がロードされます。したがって、スレーブチャネルの割り込み（INTTAUDnIm）が同時発生し、TAUDTTOUTm はアクティブでない状態のままとなります。
- TAUDnCDRm 値を TAUDnCNTm（スレーブ）にロードし、割り込みを発生させます。

(2) デューティサイクル＝100%

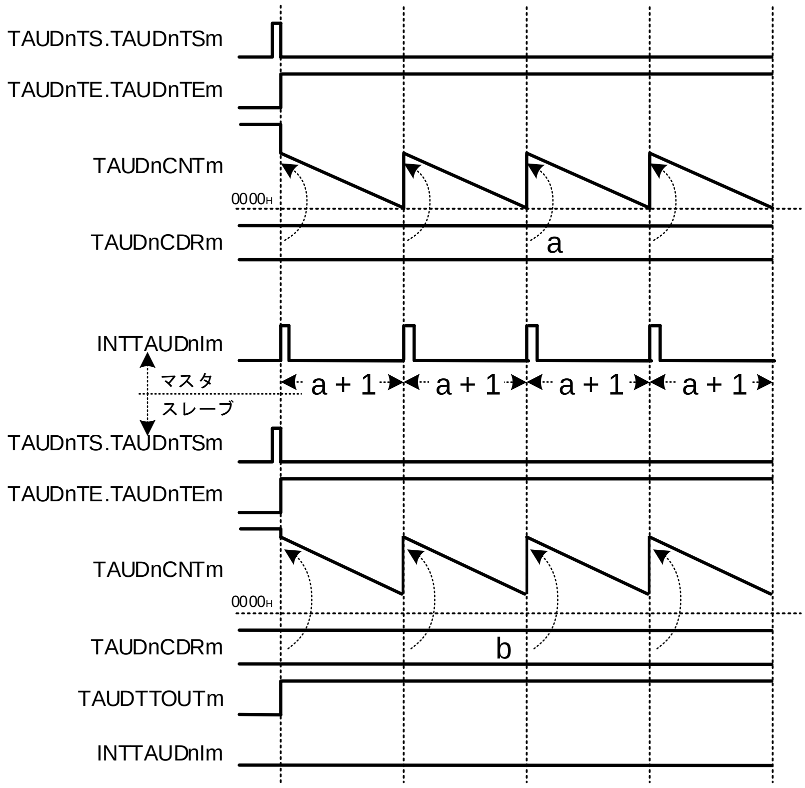


図 32.93　TAUDnCDRm（スレーブ）≧TAUDnCDRm（マスタ）＋1
正論理（TAUDnTOL.TAUDnTOLm（スレーブ）＝0）

- TAUDnCDRm（スレーブ）値が TAUDnCDRm（マスタ）値よりも大きい場合、スレーブチャネルのカウンタは 0000_H にならないため、割り込みが発生しません。TAUDTTOUTm はアクティブ状態のままになります。

(3) 動作の停止と再開

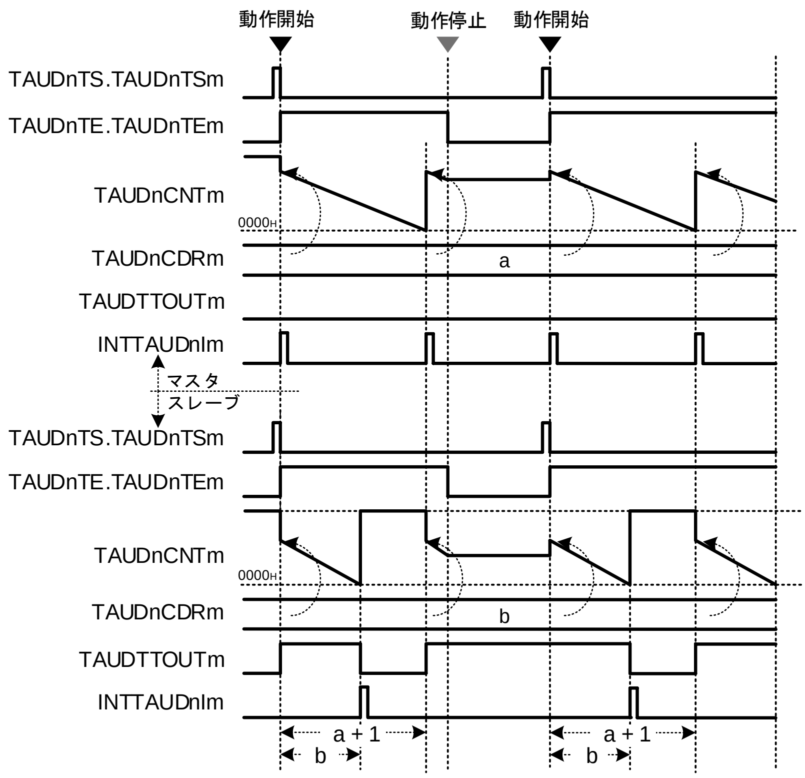


図 32.94　動作の停止と再開
正論理（TAUDnTOL.TAUDnTOLm（スレーブ）＝0）

- マスタ／スレーブチャネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。
- 全チャネルの TAUDnCNTm と TAUDTTOUTm が停止し、現在値を保持します。割り込みは発生しません。
- マスタ／スレーブチャネルの TAUDnTS.TAUDnTSm を“1”に設定すると、カウンタ動作を再開できます。マスタ／スレーブチャネルの TAUDnCDRm 値を TAUDnCNTm にロードし、この値からダウンカウントを開始します。

32.15.2　ワンショットパルス出力機能

32.15.2.1　概要

概要

マスタチャネルとスレーブチャネルを使って外部入力信号パルスとの比較で定義されているパルス幅と遅延時間で信号パルスを出力する機能です。遅延時間はマスタチャネルで設定します。パルス幅はスレーブチャネルで設定します。

前提条件

- 2 チャネル
- マスタチャネルの動作モードは、ワンカウントモードに設定する必要があります（「**表 32.156　ワンショットパルス出力機能のマスタチャネルの TAUDnCMORm レジスタの内容**」参照）。
- スレーブチャネルの動作モードは、パルスワンカウントモードに設定する必要があります（「**表 32.159　ワンショットパルス出力機能のスレーブチャネルの TAUDnCMORm レジスタの内容**」参照）。
- この機能では、マスタチャネルで TAUDTTOUTm は使用しません。
- スレーブチャネルのチャネル出力モードは、チャネル単体出力モード 2 に設定する必要があります（「**32.7　チャネル出力モード**」参照）。
- TAUDTTINm（マスタ）は、TAUDnCNTm（マスタ）と TAUDnCNTm（スレーブ）がトリガを待っている間に検出されなければなりません。また、スレーブはマスタチャネルからの割り込みでのみトリガされ、TAUDTTINm（スレーブ）ではトリガされません。

機能説明

マスタチャネル、スレーブチャネルのチャネルトリガビット（TAUDnTS.TAUDnTSm）を“1”に設定すると、カウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm＝1 となり、カウントが可能になります。

- マスタチャネル：
  次の有効な TAUDTTINm 入力エッジが検出されると、TAUDnCDRm の現在値が TAUDnCNTm にロードされます。カウンタは、この TAUDnCDRm 値からダウンカウントを開始します。
  TAUDnCMORm.TAUDnMD0＝0 の場合、遅延時間内に検出されたトリガ（TAUDTTINm）は無視されます。
  マスタチャネルのカウンタが 0000_H になると、INTTAUDnIm が発生します。カウンタは $FFFF_H$ に戻り、次の有効な TAUDTTINm 入力エッジを待ちます。
- スレーブチャネル：
  マスタチャネルで INTTAUDnIm が発生すると、スレーブチャネルのカウンタ動作がトリガされます。
  TAUDnCDRm（スレーブ）の現在値が TAUDnCNTm（スレーブ）にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。割り込みが発生し、TAUDTTOUTm 信号がセットされます。カウンタ値が 0001_H になると、INTTAUDnIm が発生し、TAUDTTOUTm 信号がリセットされます。カウンタは 0000_H で停止し、マスタチャネルの次の INTTAUDnIm を待ちます。

マスタ／スレーブチャネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。マスタ／スレーブチャネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSm を“1”に設定すると、カウントを再開できます。カウント中に TAUDnTS.TAUDnTSm を“1”に設定すると、いったん停止しなくてもマスタチャネルのカウントを再開できます（強制リスタート）。

条件

- マスタチャネルの TAUDnCMORm.TAUDnMD0 が “0” に設定されている場合、カウント中に検出された TAUDTTINm 入力エッジは無視されます。
- この機能では一斉書き換えを行うことができます。「**32.6 一斉書き換え**」を参照してください。

32.15.2.2　算出式

トリガ入力からパルス出力までの遅延時間
　　　＝（TAUDnCDRm（マスタ）＋1）×カウントクロック周期

パルス幅＝（TAUDnCDRm（スレーブ））×カウントクロック周期

32.15.2.3　ブロック図と基本タイミング図

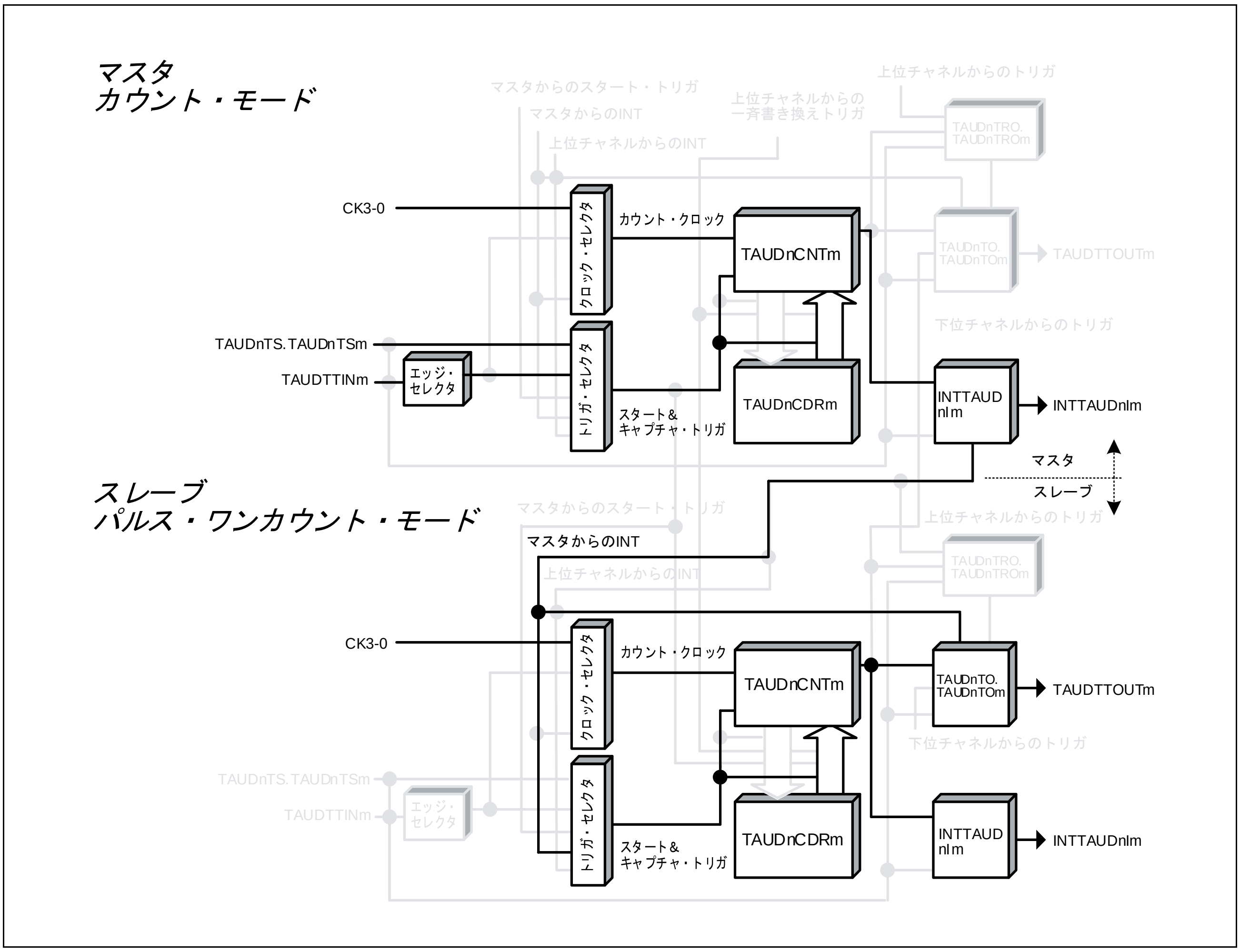


図 32.95　ワンショットパルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- カウント中のスタートトリガ検出は禁止（TAUDnCMORm.TAUDnMD0＝0）
- 立ち下がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0]＝00_B）

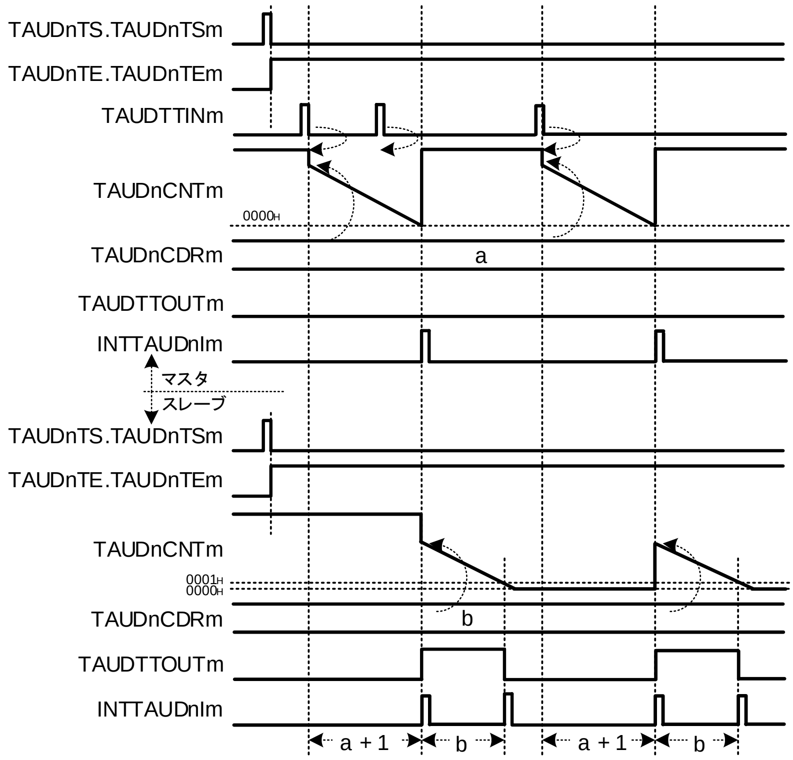


図 32.96　ワンショットパルス出力機能の基本タイミング図

32.15.2.4　マスタチャネルのレジスタ設定

(1)　マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.156 ワンショットパルス出力機能のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10～8	TAUDnSTS[2:0]	001：有効な TAUDTTINm 入力エッジ信号をスタートトリガとして使用
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0100：ワンカウントモード
0	TAUDnMD0	0：カウント中のスタートトリガ検出禁止 1：カウント中のスタートトリガ検出許可 マスタチャネルとスレーブチャネルの MD0 ビット値は同一である必要があります。

(2)　マスタチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.157 ワンショットパルス出力機能のマスタチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) マスタチャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(4) マスタチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 32.158 ワンショットパルス出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルが一斉書き換えの制御チャネル
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

32.15.2.5　スレーブチャネルのレジスタ設定

(1) スレーブチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.159 ワンショットパルス出力機能のスレーブチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10～8	TAUDnSTS[2:0]	100：マスタチャネルの INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	1010：パルスワンカウントモード
0	TAUDnMD0	0：カウント中のスタートトリガ検出禁止 1：カウント中のスタートトリガ検出許可 マスタチャネルとスレーブチャネルの MD0 ビット値は同一である必要があります。

(2) スレーブチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.160 ワンショットパルス出力機能のスレーブチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャネルのチャネル出力モード

表 32.161 チャネル単体出力モード 2 のときの制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0：チャネル単体出力
TAUDnTOC.TAUDnTOCm	1：動作モード 2
TAUDnTOL.TAUDnTOLm	0：正論理 1：負論理
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm＝0）、“0”を設定
TAUDnTDL.TAUDnTDLm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm＝0）、“0”を設定
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm＝0）、“0”を設定
TAUDnTRC.TAUDnTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0：変調禁止

(4) スレーブチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 32.162 ワンショットパルス出力機能時のスレーブチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルが一斉書き換えの制御チャネル
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

32.15.2.6　ワンショットパルス出力機能時の操作手順

表 32.163 ワンショットパルス出力機能時の操作手順

	操作	TAUDn の状態
チャネルの初期設定	マスタチャネル：TAUDnCMORm/TAUDnCMURm レジスタとチャネル出力モードを「**32.15.2.4 マスタチャネルのレジスタ設定**」に示すように設定します。 スレーブチャネル：TAUDnCMORm/TAUDnCMURm レジスタとチャネル出力モードを「**32.15.2.5 スレーブチャネルのレジスタ設定**」に示すように設定します。 全チャネルの TAUDnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	マスタチャネルとスレーブチャネルの TAUDnTS.TAUDnTSm を同時に“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm（マスタ／スレーブチャネル）が“1”に設定され、マスタチャネルは TAUDTTINm 入力を待ちます。
動作中	TAUDnCDRm は任意のタイミングで変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTm は動作中に変更可能です。	TAUDTTINm 入力の有効エッジを検出すると、マスタチャネルの TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。カウンタが 0000_H になった場合： ● INTTAUDnIm（マスタ）が発生します。 ● TAUDnCNTm（マスタ）は $FFFF_H$ に戻り、次の有効な TAUDTTINm 入力エッジを待ちます。 ● 再び TAUDnCDRm の値を TAUDnCNTm（スレーブ）にロードし、ダウンカウント動作を開始します。 ● INTTAUDnIm（スレーブ）が発生します。 ● TAUDTTOUTm（スレーブ）がアクティブレベルになります。 TAUDnCNTm（スレーブ）が 0001_H になった場合： ● INTTAUDnIm（スレーブ）が発生します。 ● TAUDTTOUTm（スレーブ）がインアクティブレベルになります。また、スレーブチャネルのカウント動作が停止します。
動作停止	マスタチャネルとスレーブチャネルの TAUDnTT.TAUDnTTm を同時に“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

32.15.2.7　特定のタイミング図

(1) TAUDnCDRm（マスタ）＝0000_H

この図での設定は次のようになっています。

- カウント中のスタートトリガ検出禁止（TAUDnCMORm.TAUDnMD0＝0）
- 立ち下がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0]＝00_B）

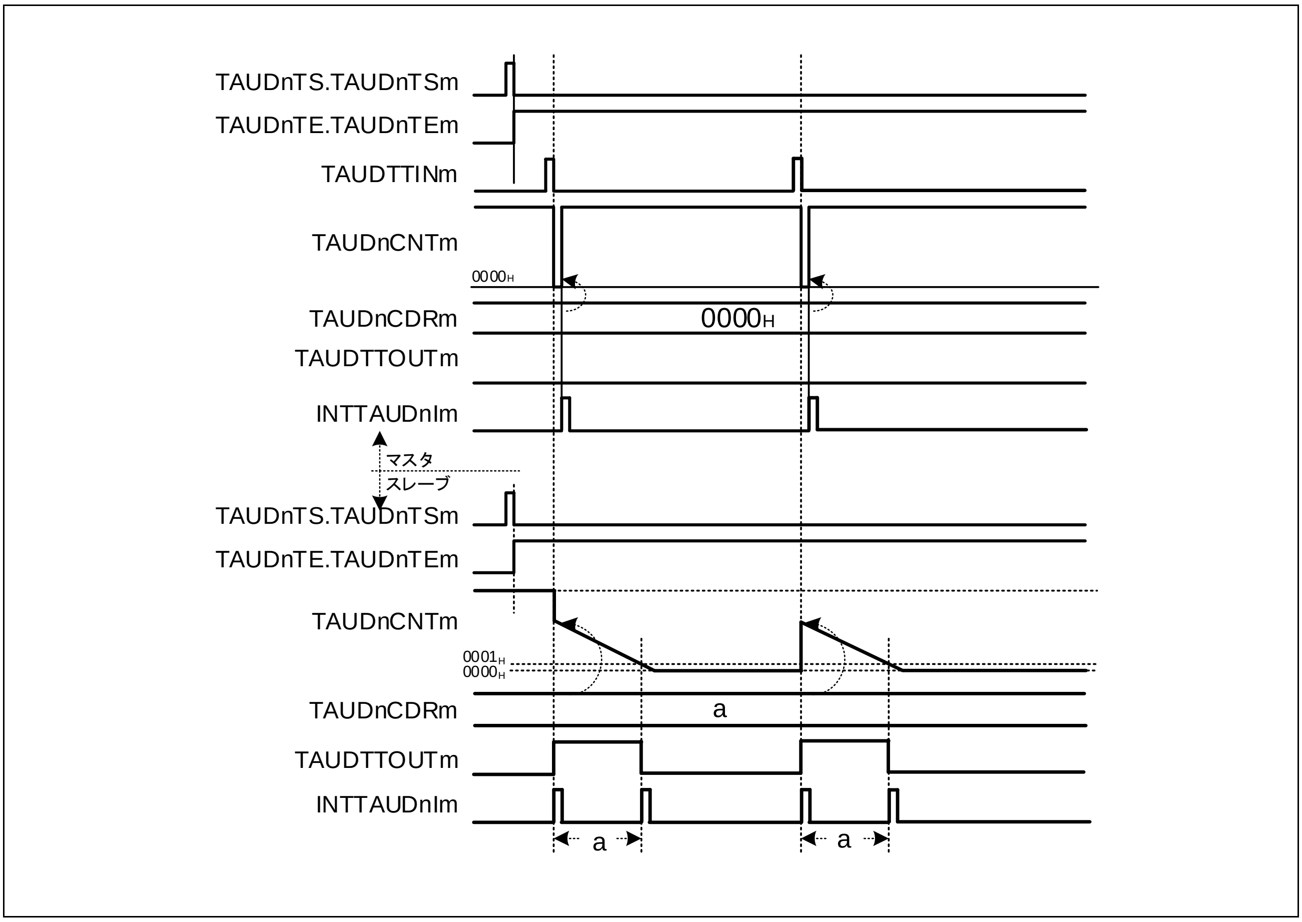


図 32.97　TAUDnCDRm（マスタ）＝0000_H

- 有効な TAUDTTINm 入力エッジが検出されると、TAUDnCNTm（マスタ）に値 0000_H が書き込まれます。カウンタに 0000_H が設定されることにより、1 カウント行うと $FFFF_H$ に戻ります。
  したがって、スレーブチャネルのカウンタは TAUDTTINm（マスタ）から 1 カウントクロック遅れて、ダウンカウントを開始します。

(2)　TAUDnCDRm（スレーブ）＝0000H

この図での設定は次のようになっています。

- カウント中のスタートトリガ検出禁止（TAUDnCMORm.TAUDnMD0＝0）
- 立ち下がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0]＝00B）

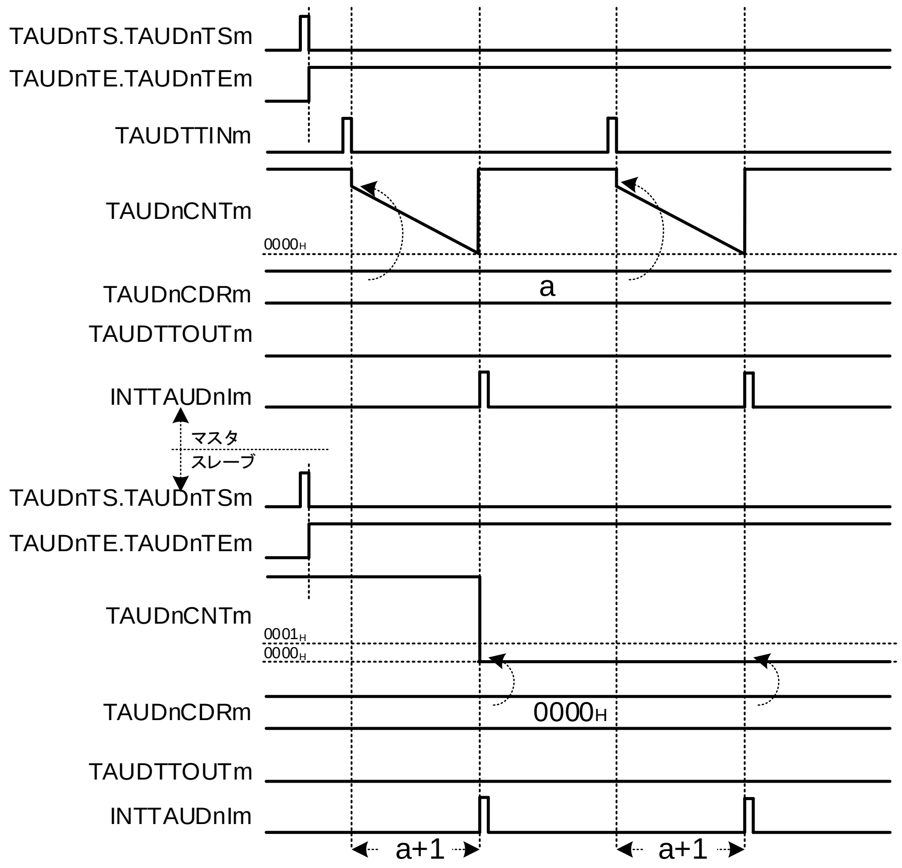


図 32.98　TAUDnCDRm（スレーブ）＝0000H

- パルス幅が“0”のため、TAUDTTOUTm は非アクティブ状態のままです。

(3) TAUDnCMORm.TAUDnMD0＝1

この図での設定は次のようになっています。

- カウント中のスタートトリガ検出許可（TAUDnCMORm.TAUDnMD0＝1）
- 立ち下がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0]＝00_B）

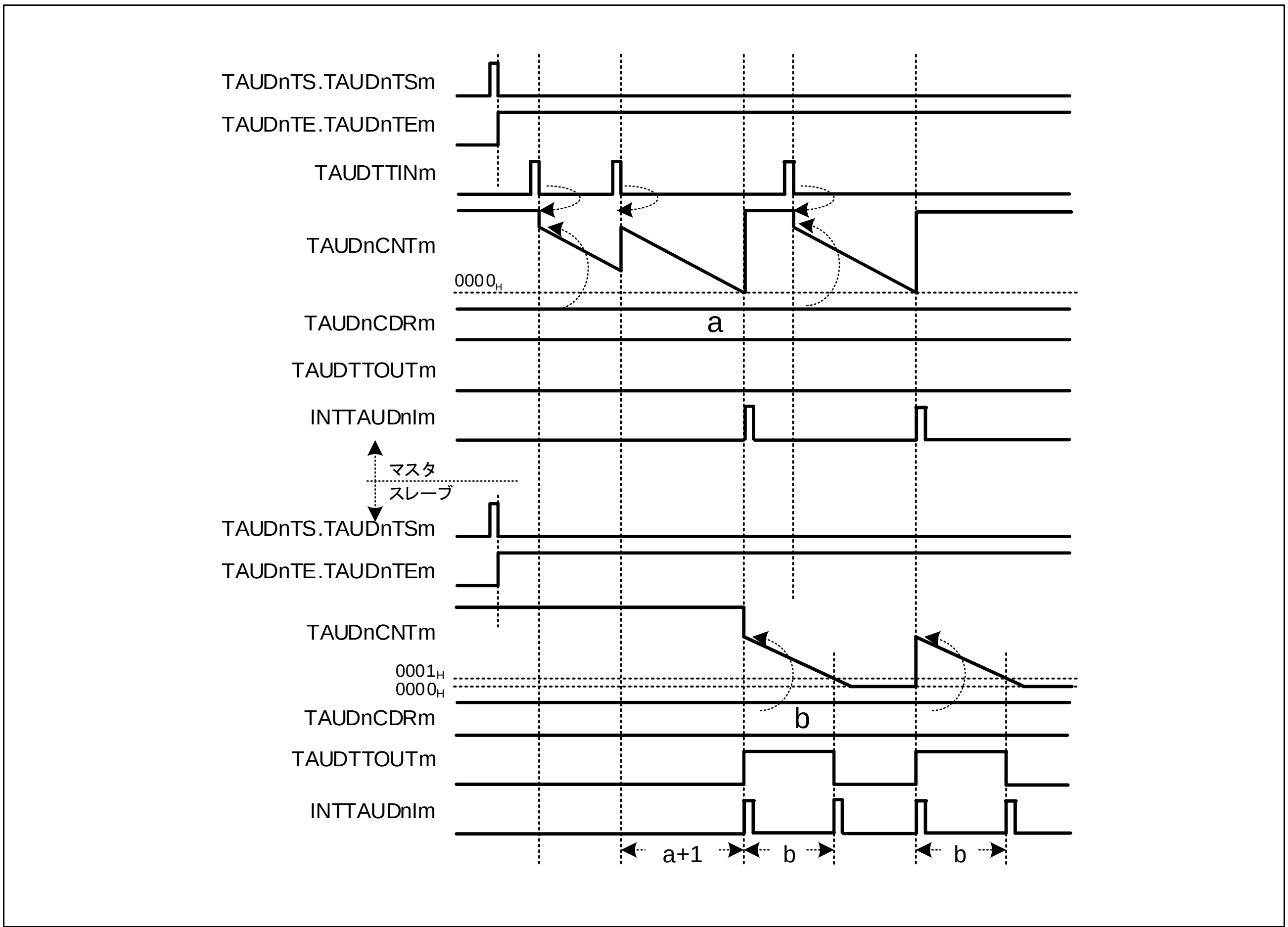


図 32.99 TAUDnCMORm.TAUDnMD0＝1

- マスタチャネルのカウンタがダウンカウント中に TAUDTTINm 入力の有効エッジが検出されると、TAUDnCNTm は TAUDnCDRm の値をリロードします。カウンタはダウンカウントを再開します。
  これは、TAUDTTINm 入力の有効エッジ検出時の TAUDnCNTm の値によってディレイが引き延ばされたことを意味します。

(4) スレーブチャネルカウント中にマスタチャネルがリスタート

この図での設定は次のようになっています。

- カウント中のスタートトリガ検出禁止（TAUDnCMORm.TAUDnMD0＝0）
- 立ち下がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0]＝00_B）

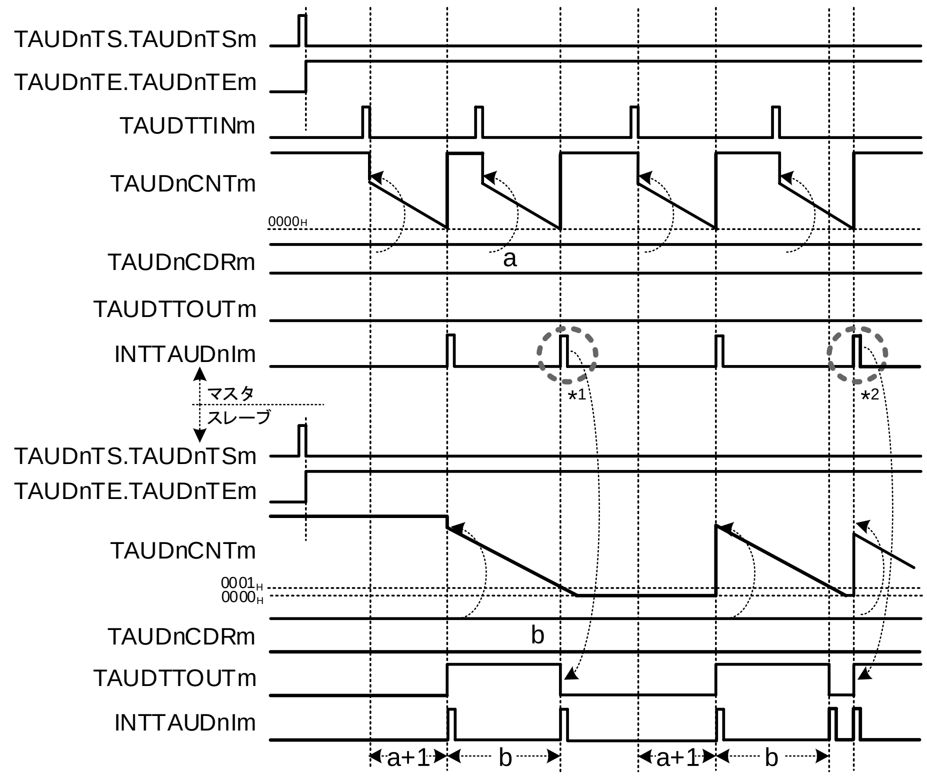


図 32.100 TAUDTTINm 入力間隔 ≦ ディレイ時間＋パルス幅＋1

- スレーブチャネルのカウンタが 0001_H になる前またはちょうど 0001_H になったときにマスタチャネルが割り込みを発生した場合（*1）は、割り込み（マスタ）が無視されます。
- スレーブチャネルのカウンタが次のトリガを待つ間にマスタチャネルの割り込みが発生した場合は、TAUDnCDRm（スレーブ）の値がリロードされます。割り込みが発生し、TAUDTTOUTm がトグルされます。TAUDnCNTm（スレーブ）がカウント中に TAUDnCNTm（マスタ）がダウンカウントを開始した場合（*2）は、TAUDTTOUTm は期待される遅延時間では出力されません。
- 正しいワンショットパルスを発生するには、マスタチャネルとスレーブチャネルがカウント中でなくスタートトリガ待ち状態のときにマスタチャネルのスタートトリガが検出される必要があります。

32.15.3 トリガスタート PWM 出力機能

32.15.3.1 概要

概要

マスタチャネルとスレーブチャネルを 1 つずつ使用して PWM 出力を生成する機能です。これにより、TAUDTTOUTm のパルス周期（周波数）とデューティを設定できます。パルス周期はマスタチャネルで設定します。デューティはスレーブチャネルで設定します。トリガスタート PWM 出力機能は、有効な TAUDTTINm 入力エッジでマスタチャネルをリセット可能である点を除いて PWM 出力機能と同じです。

前提条件

- 2 チャネル
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（「**表 32.164 トリガスタート PWM 出力機能のマスタチャネルの TAUDnCMORm レジスタの内容**」参照）。
- スレーブチャネルの動作モードは、ワンカウントモードに設定する必要があります（「**表 32.167 トリガスタート PWM 出力機能のスレーブチャネルの TAUDnCMORm レジスタの内容**」参照）。
- この機能では、マスタチャネルで TAUDTTOUTm は使用しません。
- スレーブチャネルの出力モードは、チャネル連動出力モード 1 に設定する必要があります（「**32.6 一斉書き換え**」参照）。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を“1”に設定すると、カウンタ（マスタ／スレーブ）動作が許可されます。これにより TAUDnTE.TAUDnTEm＝1 となり、カウントが可能になります。
TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。マスタチャネルで INTTAUDnIm が発生し、TAUDTTOUTm（スレーブ）がセット、リセットされることにより PWM 出力を実現しています。

- マスタチャネル：
  TAUDnCDRm の現在値がカウンタ（TAUDnCNTm）にロードされ、INTTAUDnIm が発生し、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。
  カウンタ値が 0000_H になりパルス周期が経過すると、INTTAUDnIm が発生し、TAUDnCDRm 値を TAUDnCNTm（マスタ／スレーブ）にロードします。
  有効な TAUDTTINm 入力エッジが検出されると、マスタチャネルのカウンタは TAUDnCDRm の現在値をロードしてダウンカウントを再開し、割り込みが発生します。
- スレーブチャネル：
  スレーブチャネルはマスタチャネルからの割り込みを検出すると、TAUDnCDRm の現在値からダウンカウントを開始します。TAUDTTOUTm 信号がアクティブレベルに設定されます。
  カウンタ値が 0000_H になると（デューティ時間が経過すると）、INTTAUDnIm が発生し、TAUDTTOUTm 信号がリセットされます。カウンタは $FFFF_H$ に戻り、マスタチャネルの次の INTTAUDnIm を待ちます。

マスタ／スレーブチャネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。マスタ／スレーブチャネルの TAUDnCNTm と TAUDTTOUTm は停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSm を“1”に設定すると、カウントを再開できます。

条件

この機能では一斉書き換えを行うことができます。「**32.6 一斉書き換え**」を参照してください。

32.15.3.2　算出式

パルス周期＝（TAUDnCDRm（マスタ）＋1）×カウントクロック周期

デューティサイクル［%］＝［TAUDnCDRm（スレーブ）／（TAUDnCDRm（マスタ）＋1）］×100

- デューティサイクル＝0%
  TAUDnCDRm（スレーブ）＝0000_H
- デューティサイクル＝100%
  TAUDnCDRm（スレーブ）≧TAUDnCDRm（マスタ）＋1

32.15.3.3　ブロック図と基本タイミング図

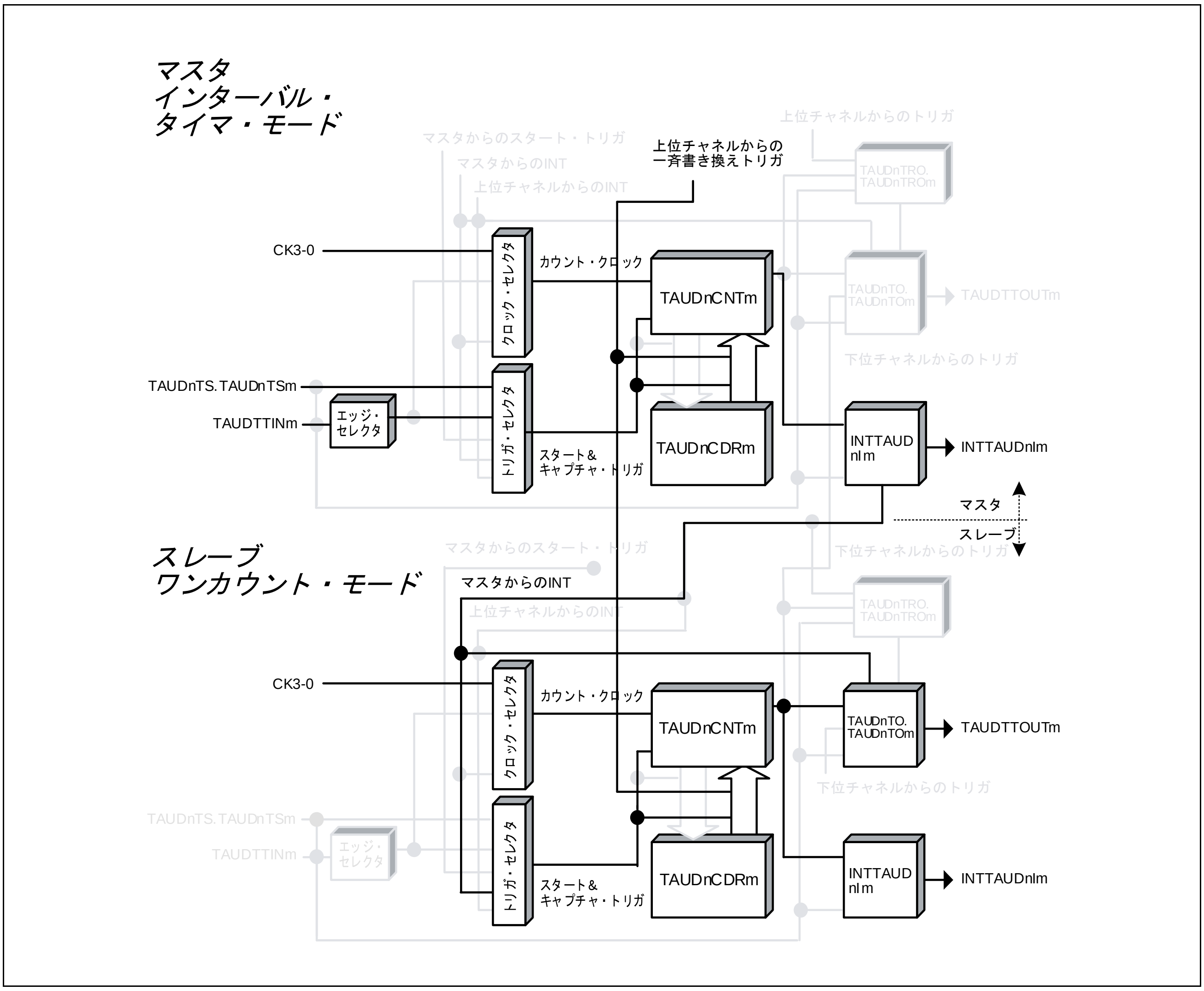


図 32.101 トリガスタート PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち上がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0]＝01_B）
- 正論理（TAUDnTOL.TAUDnTOLm（スレーブ）＝0）

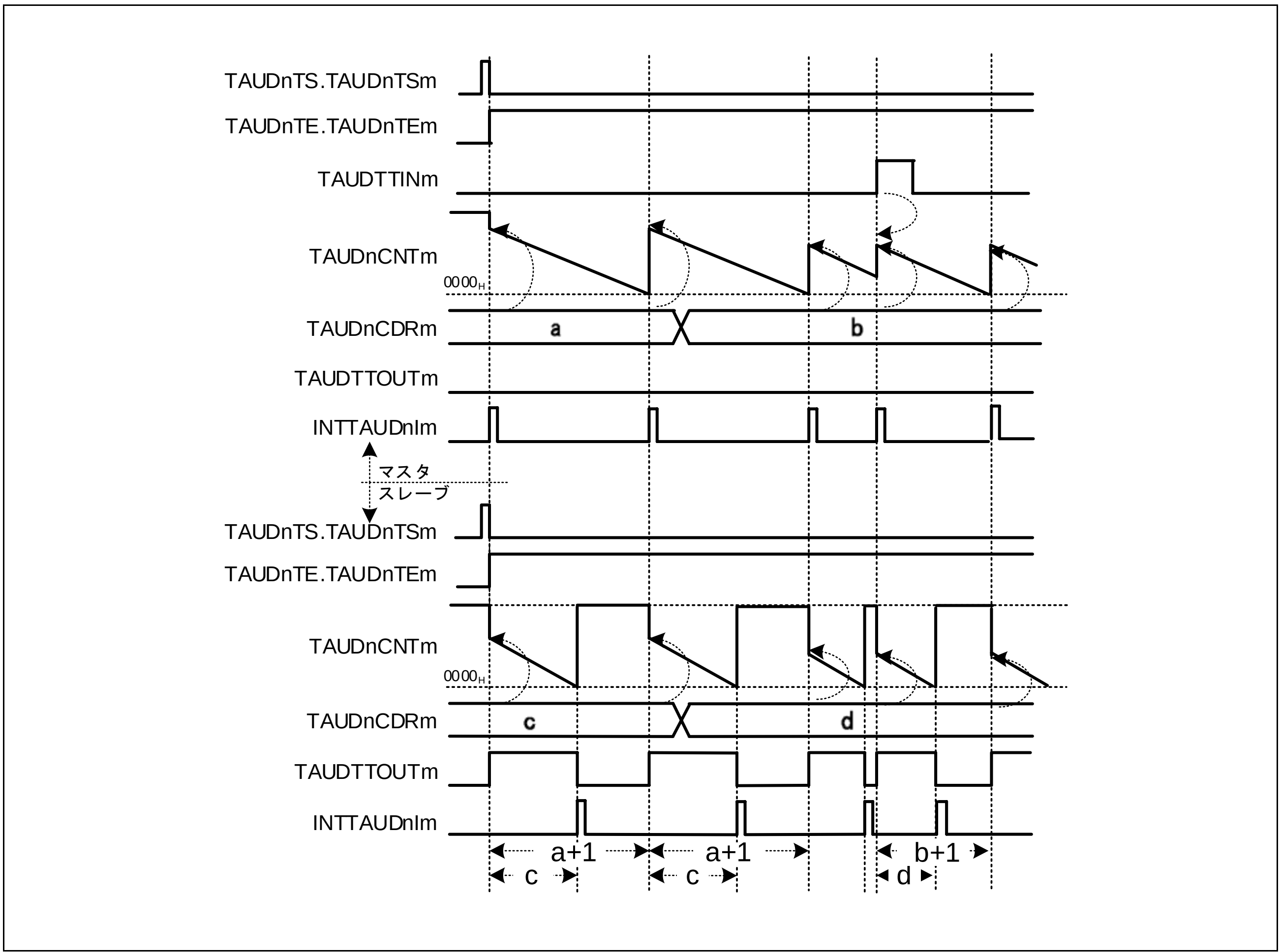


図 32.102 トリガスタート PWM 出力機能の基本タイミング図

備　考

スレーブチャネルの TAUDTTOUTm は、マスタチャネルの INTTAUDnIm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

32.15.3.4　マスタチャネルのレジスタ設定

(1)　マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.164 トリガスタート PWM 出力機能のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10～8	TAUDnSTS[2:0]	001：有効な TAUDTTINm 入力エッジ信号をスタートトリガとして使用
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0000：インターバルタイマモード
0	TAUDnMD0	1：動作開始時に INTTAUDnIm が発生する

(2)　マスタチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.165 トリガスタート PWM 出力機能のマスタチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) マスタチャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しません。

(4) マスタチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 32.166 トリガスタート PWM 出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルの一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

32.15.3.5　スレーブチャネルのレジスタ設定

(1) スレーブチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.167 トリガスタート PWM 出力機能のスレーブチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10～8	TAUDnSTS[2:0]	100：マスタチャネルの INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：動作中のスタートトリガが有効 マスタチャネルとスレーブチャネルの TAUDnMD[0]ビット値は同一である必要があります。

(2) スレーブチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.168 トリガスタート PWM 出力機能のスレーブチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャネルのチャネル出力モード

表 32.169 チャネル連動出力モード 1 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1：チャネル連動動作
TAUDnTOC.TAUDnTOCm	0：動作モード 1
TAUDnTOL.TAUDnTOLm	0：正論理 1：負論理
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm＝0）、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm＝0）、“0”を設定
TAUDnTRC.TAUDnTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0：変調禁止

(4) スレーブチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 32.170 トリガスタート PWM 出力機能時のスレーブチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルの一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

32.15.3.6　トリガスタート PWM 出力機能時の操作手順

表 32.171 トリガスタート PWM 出力機能時の操作手順

		操作	TAUDn の状態
	チャネルの初期設定	マスタチャネル：TAUDnCMORm/TAUDnCMURm レジスタとチャネル出力モードを「**32.15.3.4 マスタチャネルのレジスタ設定**」に示すように設定します。 スレーブチャネル：TAUDnCMORm/TAUDnCMURm レジスタとチャネル出力モードを「**32.15.3.5 スレーブチャネルのレジスタ設定**」に示すように設定します。 全チャネルの TAUDnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作再開	動作開始	マスタチャネルとスレーブチャネルの TAUDnTS.TAUDnTSm を同時に“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm（マスタ／スレーブチャネル）が“1”に設定され、マスタ／スレーブチャネルのカウンタが動作を開始します。 マスタチャネルで INTTAUDnIm が発生します。
	動作中	TAUDnCDRm は任意のタイミングで変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTm は動作中に変更可能です。	マスタチャネルの TAUDnCNTm は TAUDnCDRm 値をロードし、ダウンカウントを行います。カウンタが 0000_H になった場合： ● INTTAUDnIm（マスタ）が発生します。 ● TAUDnCDRm 値を TAUDnCNTm（マスタ）にロードし、カウント動作を継続します。 ● TAUDnCDRm 値を TAUDnCNTm（スレーブ）にロードし、ダウンカウント動作を開始します。 ● TAUDTTOUTm（スレーブ）が設定されます。 スレーブチャネルの TAUDnCNTm が 0000_H になった場合： ● INTTAUDnIm（スレーブ）が発生します。 ● TAUDTTOUTm（スレーブ）がインアクティブレベルに設定されます。また、スレーブチャネルのカウント動作が停止します。 マスタチャネルの TAUDnCNTm がダウンカウント中にマスタチャネルで TAUDTTINm 入力が検出された場合： ● TAUDnCNTm（マスタ／スレーブ）は TAUDnCDRm 値をロードし、ダウンカウントを行います。 ● INTTAUDnIm（マスタ）が発生します。 ● TAUDTTOUTm（スレーブ）がアクティブレベルに設定されます。
	動作停止	マスタチャネルとスレーブチャネルの TAUDnTT.TAUDnTTm を同時に“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

32.15.3.7 特定の設定時のタイミング図

(1) デューティサイクル＝0%

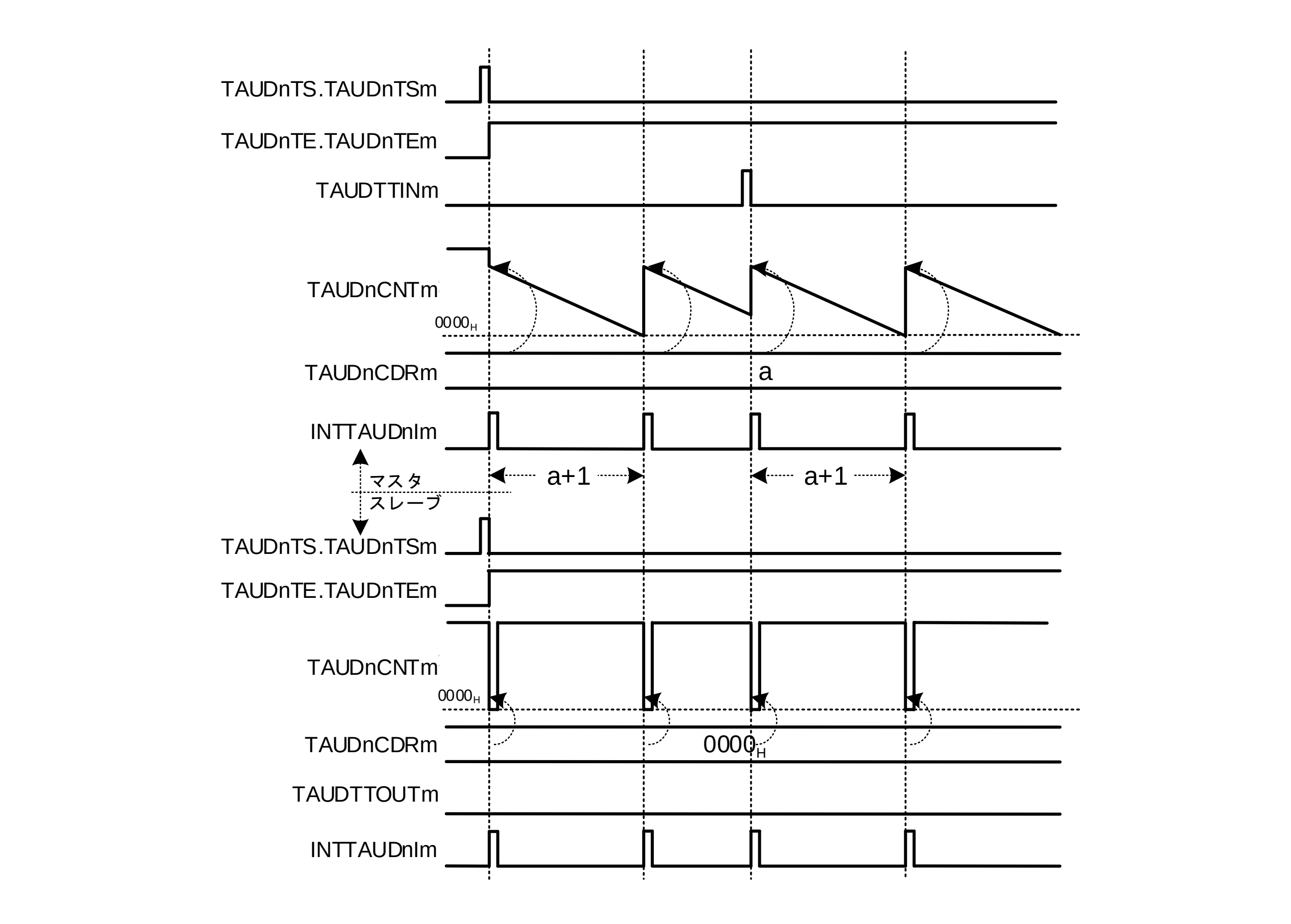


図 32.103 TAUDnCDRm（スレーブ）＝0000H、
正論理（TAUDnTOL.TAUDnTOLm（スレーブ）＝0）
立ち下がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0]＝00B）

- マスタチャネルで割り込み（INTTAUDnIm）が発生するたびに、TAUDnCNTm（スレーブ）に 0000H が ロードされます。したがって、TAUDnCNTm（スレーブ）はカウントを開始できず、TAUDTTOUTm は アクティブでない状態のままとなります。
- TAUDnCNTm（スレーブ）は TAUDnCDRm 値がロードされるたびに割り込みを発生させます。
  有効な TAUDTTINm 入力エッジを検出しても、TAUDTTOUTm（スレーブ）に変化はありません。

(2) デューティサイクル＝100%

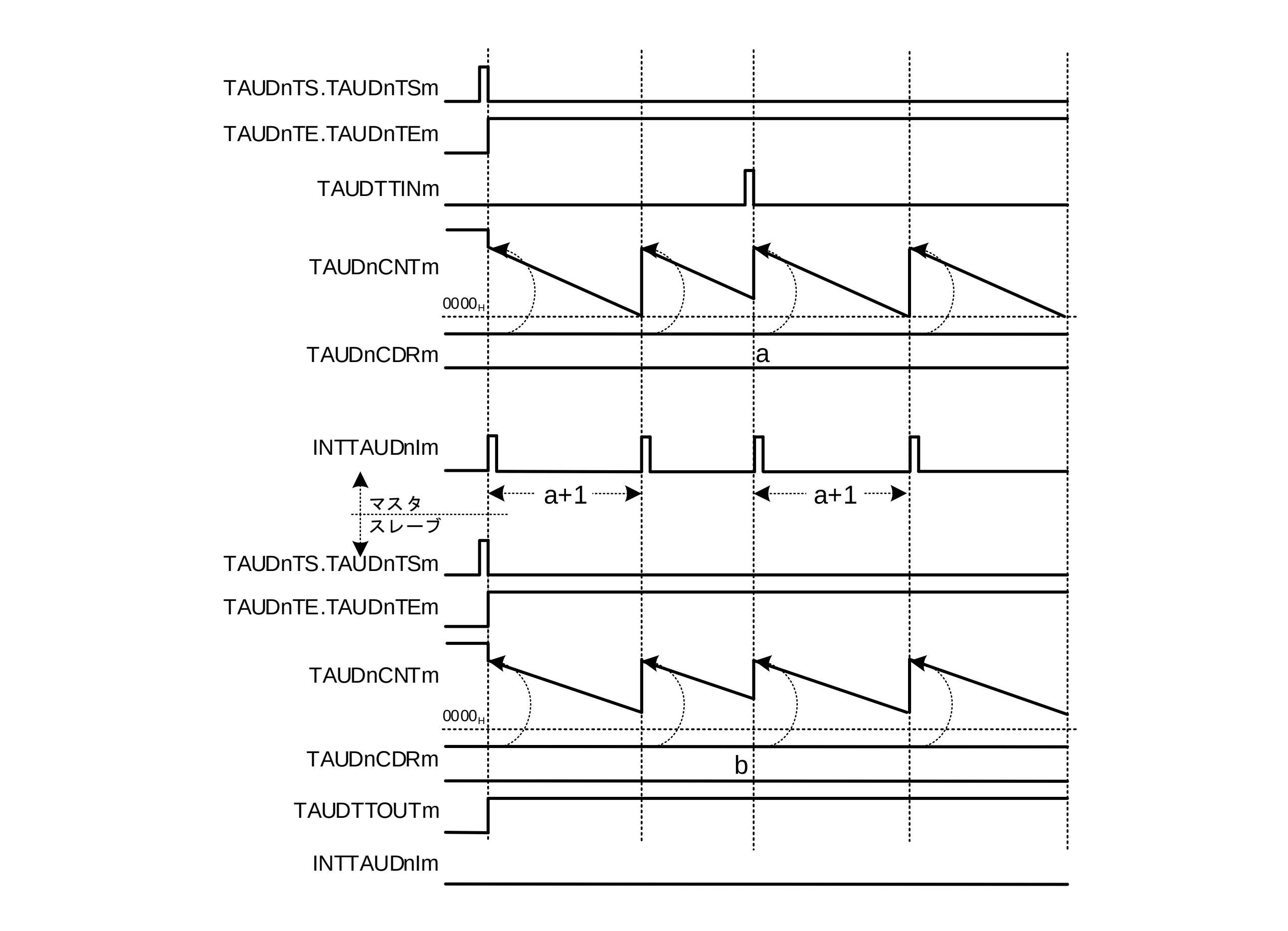


図 32.104 TAUDnCDRm（スレーブ）≧ TAUDnCDRm（マスタ）＋1
正論理（TAUDnTOL.TAUDnTOLm（スレーブ）＝0）
立ち下がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0]＝00B）

- TAUDnCDRm（スレーブ）値が TAUDnCDRm（マスタ）値よりも大きい場合、スレーブチャネルのカウンタは 0000_H にならないため、割り込みが発生しません。
  TAUDTTOUTm はアクティブ状態のままになります。
  有効な TAUDTTINm 入力エッジを検出しても、TAUDTTOUTm（スレーブ）に変化はありません。

(3) TAUDTTINm 検出とアクティブなスレーブカウンタ

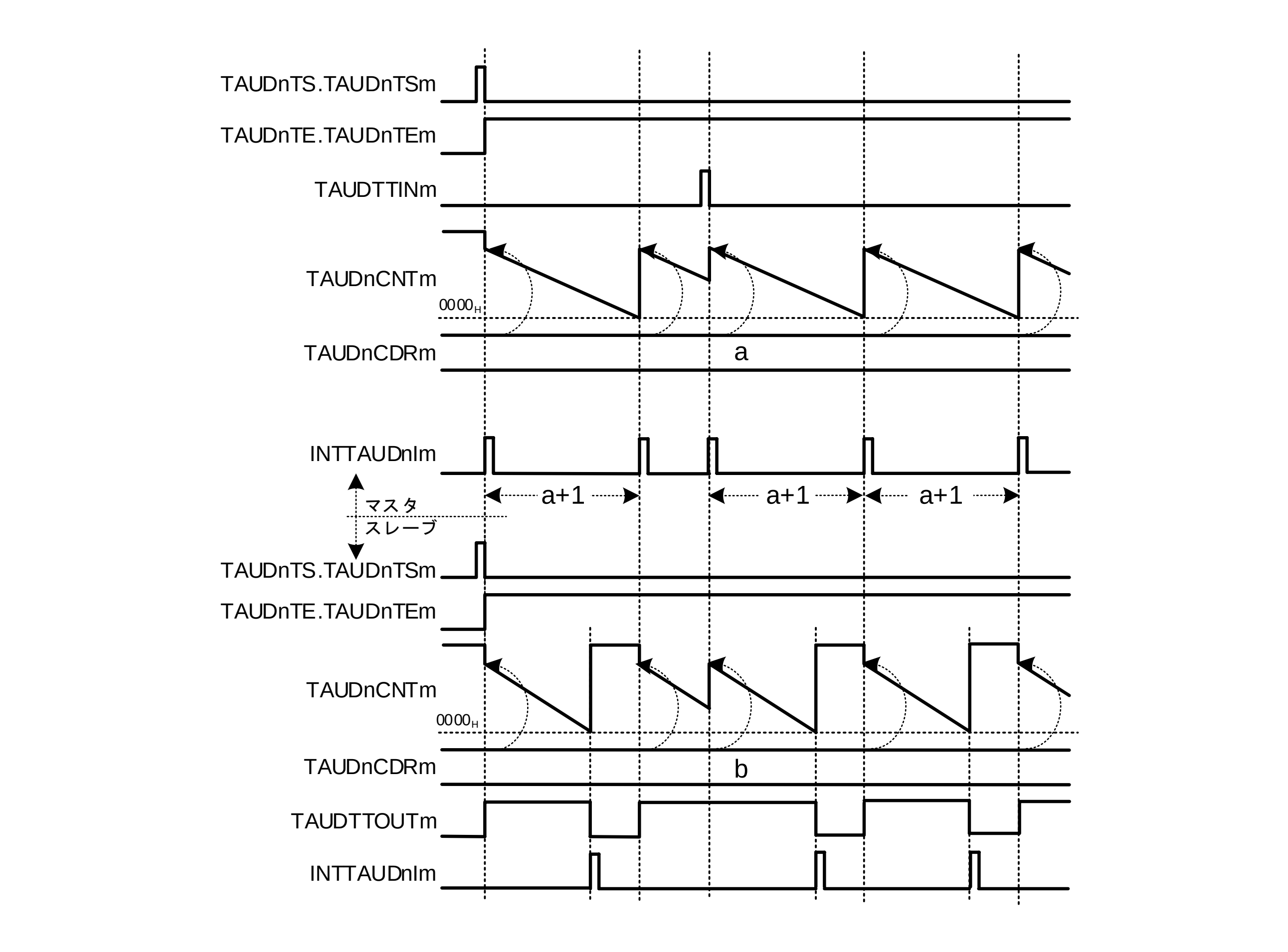


図 32.105 正論理（TAUDnTOL.TAUDnTOLm（スレーブ）＝0）
立ち下がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0]＝00_B）

- TAUDnCNTm（スレーブ）がダウンカウント中に TAUDnCDRm（スレーブ）値をロードした場合、TAUDTTOUTm は変化せず、デューティを拡張します。
  デューティはスレーブチャネルのデータレジスタの値に対応していません。

32.15.4　ディレイパルス出力機能

32.15.4.1　概要

概要

この機能では、2 種類の信号が出力されます。基準信号のパルス幅とパルス周期は、マスタチャネルとスレーブチャネル 1 を使用して定義されています。スレーブチャネル 2 とスレーブチャネル 3 は設定されている遅延時間後に基準信号を出力します。ディレイ信号は基準信号と同じですが、スレーブチャネル 2 で設定されている時間分、遅延して出力されます。

信号の値は次のように設定されます。

- パルス周期はマスタチャネルで設定します。
- 基準信号のデューティサイクルはスレーブチャネル 1 を、ディレイ信号のデューティサイクルはスレーブチャネル 3 を使用して設定されます。
- 遅延量はスレーブチャネル 2 で設定します。

前提条件

- 4 チャネル
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（「**表 32.172 ディレイパルス出力機能のマスタチャネルの TAUDnCMORm レジスタの内容**」参照）。
- スレーブチャネル 1、2 の動作モードは、ワンカウントモードに設定する必要があります（「**表 32.175 ディレイパルス出力機能のスレーブチャネル 1 の TAUDnCMORm レジスタの内容**」、「**表 32.179 ディレイパルス出力機能のスレーブチャネル 2 の TAUDnCMORm レジスタの内容**」参照）。
- スレーブチャネル 3 の動作モードは、パルスワンカウントモードに設定する必要があります（「**表 32.182 ディレイパルス出力機能のスレーブチャネル 3 の TAUDnCMORm レジスタの内容**」参照）。
- マスタチャネルおよびスレーブチャネル 2 では TAUDTTOUTm を使用しません。
- スレーブチャネル 1 のチャネル出力モードは、チャネル連動出力モード 1 に設定する必要があります（「**32.7 チャネル出力モード**」参照）。
- スレーブチャネル 3 のチャネル出力モードは、チャネル単体出力モード 2 に設定する必要があります（「**32.7 チャネル出力モード**」参照）。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を“1”に設定すると、チャネルグループのカウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm＝1 となり、カウントが可能になります。

- マスタチャネル：
  TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。マスタチャネルで INTTAUDnIm が発生します。
  マスタチャネルのカウンタ値が 0000_H になりパルス周期時間が経過すると、INTTAUDnIm が発生します。再び TAUDnCDRm の値をカウンタにロードし、ダウンカウントを行います。
- スレーブチャネル 1、スレーブチャネル 2：
  スレーブチャネル 1、2 はマスタチャネルからの割り込みを検出すると、TAUDnCDRm の現在値からダウンカウントを開始します。TAUDTTOUTm 信号（スレーブ 1）が設定されます。
- スレーブチャネル 1：
  スレーブチャネル 1 のカウンタ値が 0000_H になると（デューティ時間が経過すると）、INTTAUDnIm が

発生し、TAUDTTOUTm 信号がリセットされます。カウンタは $FFFF_H$ に戻り、マスタチャネルの次の INTTAUDnIm を待ちます。

- スレーブチャネル 2：
  スレーブチャネル 2 のカウンタ値が 0000_H になり遅延時間が経過すると、INTTAUDnIm が発生します。カウンタは $FFFF_H$ に戻り、マスタチャネルの次の INTTAUDnIm を待ちます。
  INTTAUDnIm（スレーブチャネル 2）が発生することにより、スレーブチャネル 3 のカウンタ動作がトリガされます。

- スレーブチャネル 3：
  スレーブチャネル 3 はスレーブチャネル 2 からの割り込みを検出すると、TAUDnCDRm の現在値からダウンカウントを開始します。INTTAUDnIm が発生し、TAUDTTOUTm 信号（スレーブチャネル 3）がセットされます。スレーブチャネル 3 のカウンタ値が 0001_H になると、INTTAUDnIm が発生し、TAUDTTOUTm 信号がリセットされます。
  スレーブチャネル 3 からは遅延された PWM パルスが出力されます。

マスタ／スレーブチャネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。マスタ／スレーブチャネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSm を“1”に設定すると、カウントを再開できます。

条件

この機能で一斉書き換えを行うことができます。「**32.6 一斉書き換え**」を参照してください。

32.15.4.2　算出式

パルス周期＝（TAUDnCDRm（マスタ）＋1）×カウントクロック周期

デューティ幅 1＝（TAUDnCDRm（スレーブ 1））×カウントクロック周期

遅延幅＝（TAUDnCDRm（スレーブ 2）＋1）×カウントクロック周期

デューティ幅 2＝（TAUDnCDRm（スレーブ 3））×カウントクロック周期

ただし、遅延幅の設定値は下記範囲とすること。
0000_H ≦ TAUDnCDRm（スレーブ 2）＜ TAUDnCDRm（マスタ）

備　考

1. TAUDTTOUTm（スレーブ 3）の出力波形は、TAUDTTOUTm（スレーブ 1）の出力波形をスレーブ 2 で生成したディレイ分遅延させた波形となります。パルス周期以上に遅延させることはできません。
2. スレーブ 3 のカウント中に、スレーブ 2 の INTTAUD0Im が発生した場合、スレーブ 3 は動作を再開します。従って、TAUDTTOUTm（スレーブ 3）の出力波形は、アクティブレベルを保持します。（この場合、TAUDTTOUTm（Slave-CH-3）は、TAUDTTOUTm（Slave-CH-1）の基本パルスをディレイさせた波形を出力できません。）

32.15.4.3　ブロック図と基本タイミング図

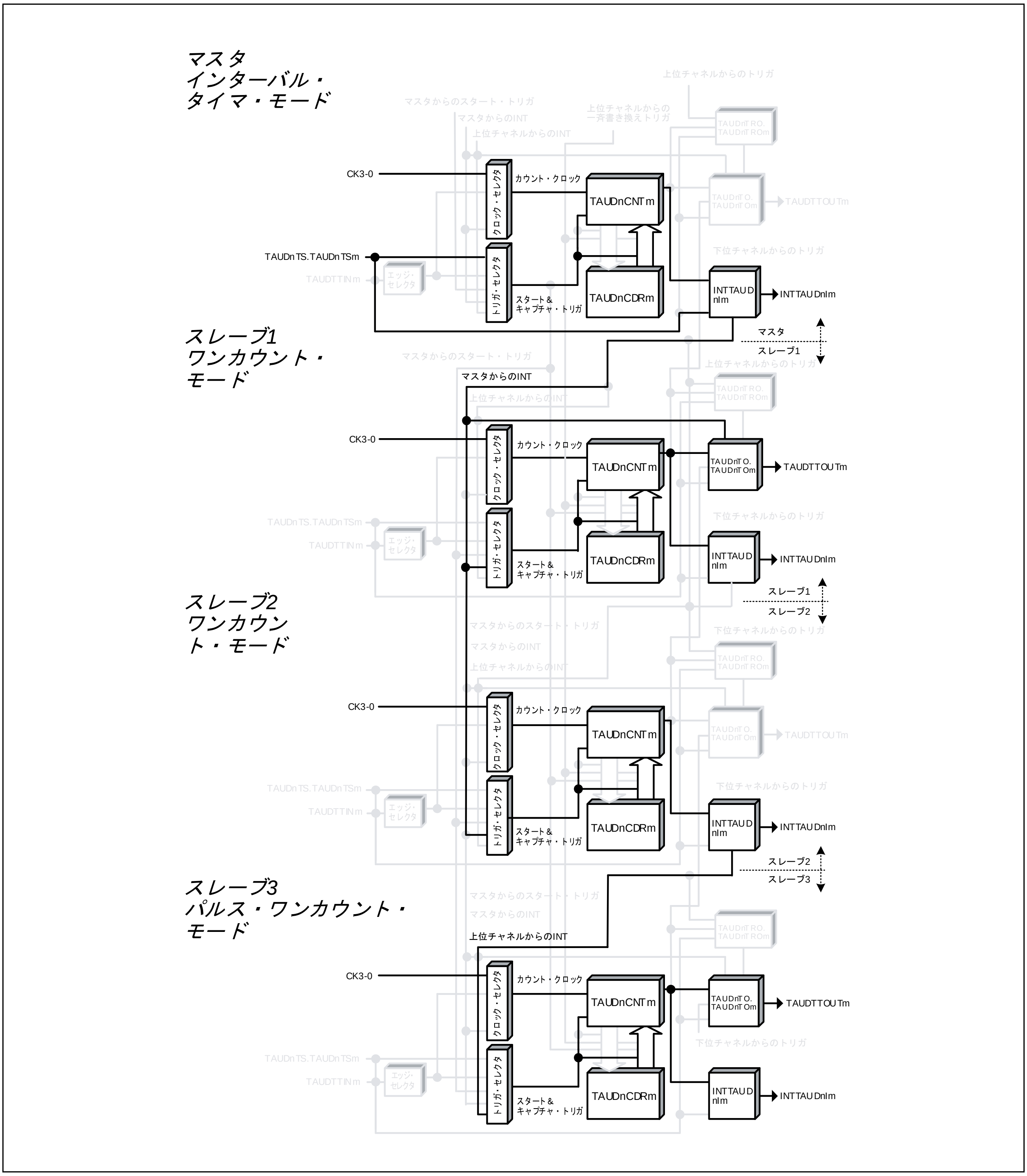


図 32.106 ディレイパルス出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブチャネル 1：正論理（TAUDnTOL.TAUDnTOLm＝0）
- スレーブチャネル 3：正論理（TAUDnTOL.TAUDnTOLm＝0）

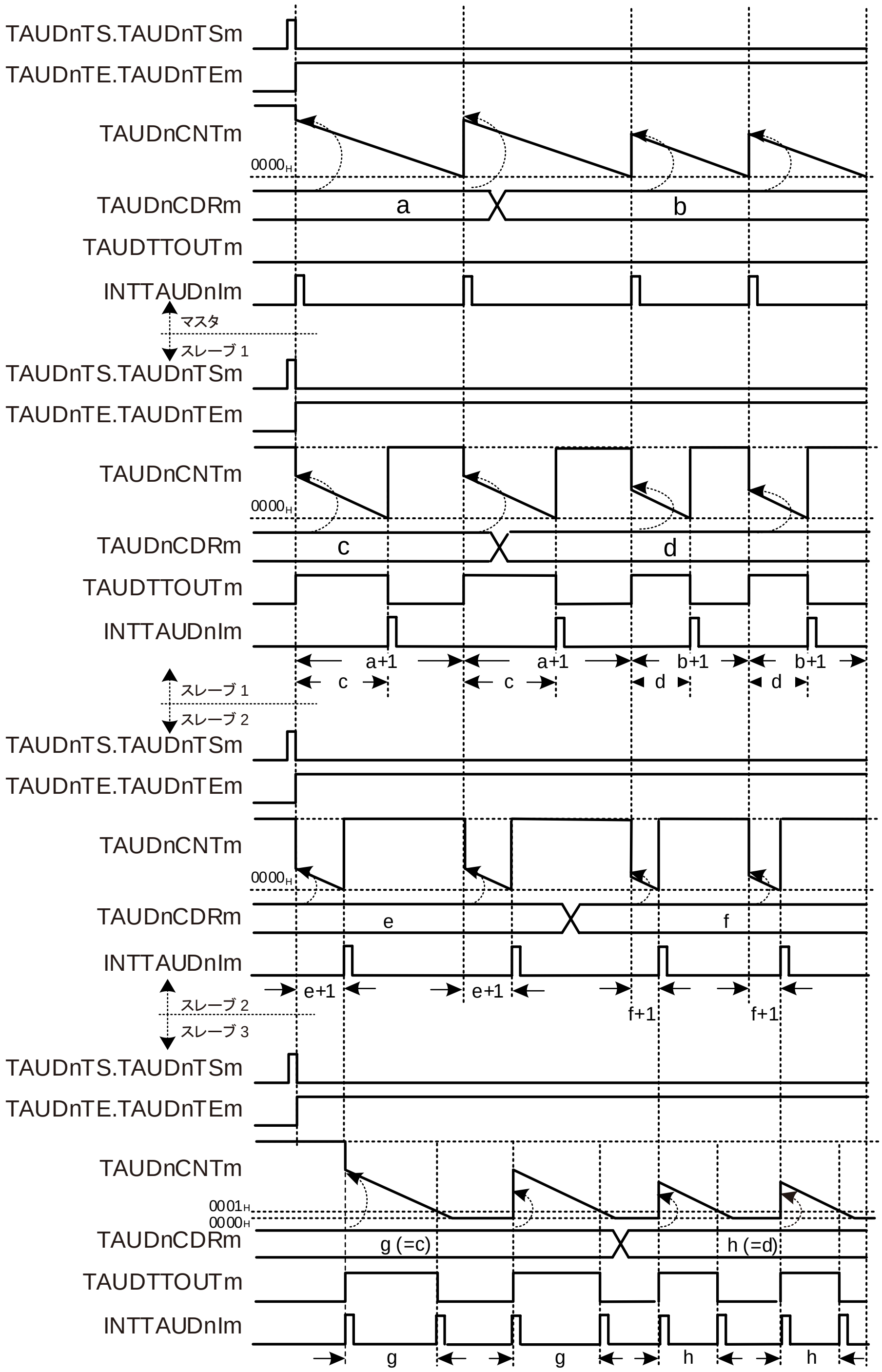


図 32.107 ディレイパルス出力機能の基本タイミング図

備　考

スレーブチャネル 1 の TAUDTTOUTm は、マスタチャネルの INTTAUDnIm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

32.15.4.4　マスタチャネルのレジスタ設定

(1)　マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.172 ディレイパルス出力機能のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10～8	TAUDnSTS[2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0000：インターバルタイマモード
0	TAUDnMD0	1：動作開始時に INTTAUDnIm が発生する

(2)　マスタチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.173 ディレイパルス出力機能のマスタチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) マスタチャネルのチャネル出力モード

この機能では、マスタチャネルはチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(4) マスタチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 32.174 ディレイパルス出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルが一斉書き換えの制御チャネル
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

32.15.4.5　スレーブチャネル 1 のレジスタ設定

(1) スレーブチャネル 1 の TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.175 ディレイパルス出力機能のスレーブチャネル 1 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10～8	TAUDnSTS[2:0]	100：マスタチャネルの INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：動作中のスタートトリガ有効

(2) スレーブチャネル 1 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.176 ディレイパルス出力機能のスレーブチャネル 1 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャネル 1 のチャネル出力モード

表 32.177 チャネル連動出力モード 1 時のスレーブチャネル 1 の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1：チャネル連動動作
TAUDnTOC.TAUDnTOCm	0：動作モード 1
TAUDnTOL.TAUDnTOLm	0：正論理 1：負論理
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm＝0）、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm＝0）、“0”を設定
TAUDnTRC.TAUDnTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0：変調禁止

(4) スレーブチャネル 1 の一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 32.178 ディレイパルス出力機能時のスレーブチャネル 1 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルが一斉書き換えの制御チャネル
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

32.15.4.6　スレーブチャネル 2 のレジスタ設定

(1) スレーブチャネル 2 の TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.179 ディレイパルス出力機能のスレーブチャネル 2 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10～8	TAUDnSTS[2:0]	100：マスタチャネルの INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：動作中のスタートトリガ有効

(2) スレーブチャネル 2 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.180 ディレイパルス出力機能のスレーブチャネル 2 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャネル 2 のチャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(4) スレーブチャネル 2 の一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 32.181 ディレイパルス出力機能時のスレーブチャネル 2 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルが一斉書き換えの制御チャネル
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

32.15.4.7　スレーブチャネル 3 のレジスタ設定

(1) スレーブチャネル 3 の TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.182 ディレイパルス出力機能のスレーブチャネル 3 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10～8	TAUDnSTS[2:0]	101：マスタ設定にかかわらず、上位チャネル（m － 1）の INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	1010：パルスワンカウントモード
0	TAUDnMD0	1：動作中のスタートトリガ有効

(2) スレーブチャネル 3 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.183 ディレイパルス出力機能のスレーブチャネル 3 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャネル 3 のチャネル出力モード

表 32.184 チャネル単体出力モード 2 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0：チャネル単体出力
TAUDnTOC.TAUDnTOCm	1：動作モード 2
TAUDnTOL.TAUDnTOLm	0：正論理 1：負論理
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm＝0）、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm＝0）、“0”を設定
TAUDnTRC.TAUDnTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0：変調禁止

(4) スレーブチャネル 3 の一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 32.185 ディレイパルス出力機能時のスレーブチャネル 3 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルが一斉書き換えの制御チャネル
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

32.15.4.8　ディレイパルス出力機能時の操作手順

表 32.186 ディレイパルス出力機能時の操作手順

	操作	TAUDn の状態
チャネルの初期設定	マスタチャネル：TAUDnCMORm/TAUDnCMURm レジスタとチャネル出力モードを「**32.15.4.4 マスタチャネルのレジスタ設定**」に示すように設定します。 スレーブチャネル 1：TAUDnCMORm/TAUDnCMURm レジスタとチャネル出力モードを「**32.15.4.5 スレーブチャネル 1 のレジスタ設定**」に示すように設定します。 スレーブチャネル 2：TAUDnCMORm/TAUDnCMURm レジスタとチャネル出力モードを「**32.15.4.6 スレーブチャネル 2 のレジスタ設定**」に示すように設定します。 スレーブチャネル 3：TAUDnCMORm/TAUDnCMURm レジスタとチャネル出力モードを「**32.15.4.7 スレーブチャネル 3 のレジスタ設定**」に示すように設定します。 全チャネルの TAUDnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	マスタチャネルとスレーブチャネルの TAUDnTS.TAUDnTSm を同時に“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm（マスタ／スレーブチャネル）が“1”に設定され、マスタチャネルとスレーブチャネル 1 / 2 のカウンタが動作を開始します。 マスタチャネルで INTTAUDnIm が発生し、TAUDTTOUTm（スレーブチャネル 1）が設定されます。
動作中	TAUDnCDRm は任意のタイミングで変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTm は動作中に変更可能です。	マスタチャネルとスレーブチャネル 1 / 2 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。 マスタチャネルのカウンタが 0000_H になった場合： ● INTTAUDnIm（マスタ）が発生します。 ● 再び TAUDnCDRm の値を TAUDnCNTm（マスタ）にロードし、カウント動作を継続します。 ● 再び TAUDnCDRm の値を TAUDnCNTm（スレーブ 1 / 2）にロードし、ダウンカウントを開始します。 ● TAUDTTOUTm（スレーブ 1）がセットされます。 TAUDnCNTm（スレーブ 1）が 0000_H になった場合： ● INTTAUDnIm（スレーブ 1）が発生します。 ● TAUDTTOUTm（スレーブ 1）がリセットされます。 TAUDnCNTm（スレーブ 2）が 0000_H になった場合： ● INTTAUDnIm（スレーブ 2）が発生します。 ● INTTAUDnIm（スレーブ 3）が発生します。 ● TAUDTTOUTm（スレーブ 3）がセットされます。 ● 再び TAUDnCDRm の値を TAUDnCNTm（スレーブ 3）にロードし、ダウンカウント動作を開始します。 TAUDnCNTm（スレーブ 3）が 0001_H になった場合： ● INTTAUDnIm（スレーブ 3）が発生します。 ● TAUDTTOUTm（スレーブ 3）がリセットされます。
動作停止	マスタチャネルとスレーブチャネルの TAUDnTT.TAUDnTTm を同時に“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

動作再開

32.15.4.9　特定のタイミング図

(1)　デューティサイクル（スレーブ 3）＝100%

「**図 32.108　デューティサイクル（スレーブ 3）＝100%**」には以下の値が適用されます。

- TAUDnCDRm（マスタ）＝000A$_H$
- TAUDnCDRm（スレーブ 1）＝000B$_H$
- TAUDnCDRm（スレーブ 2）＝0000$_H$
- TAUDnCDRm（スレーブ 3）＝000B$_H$

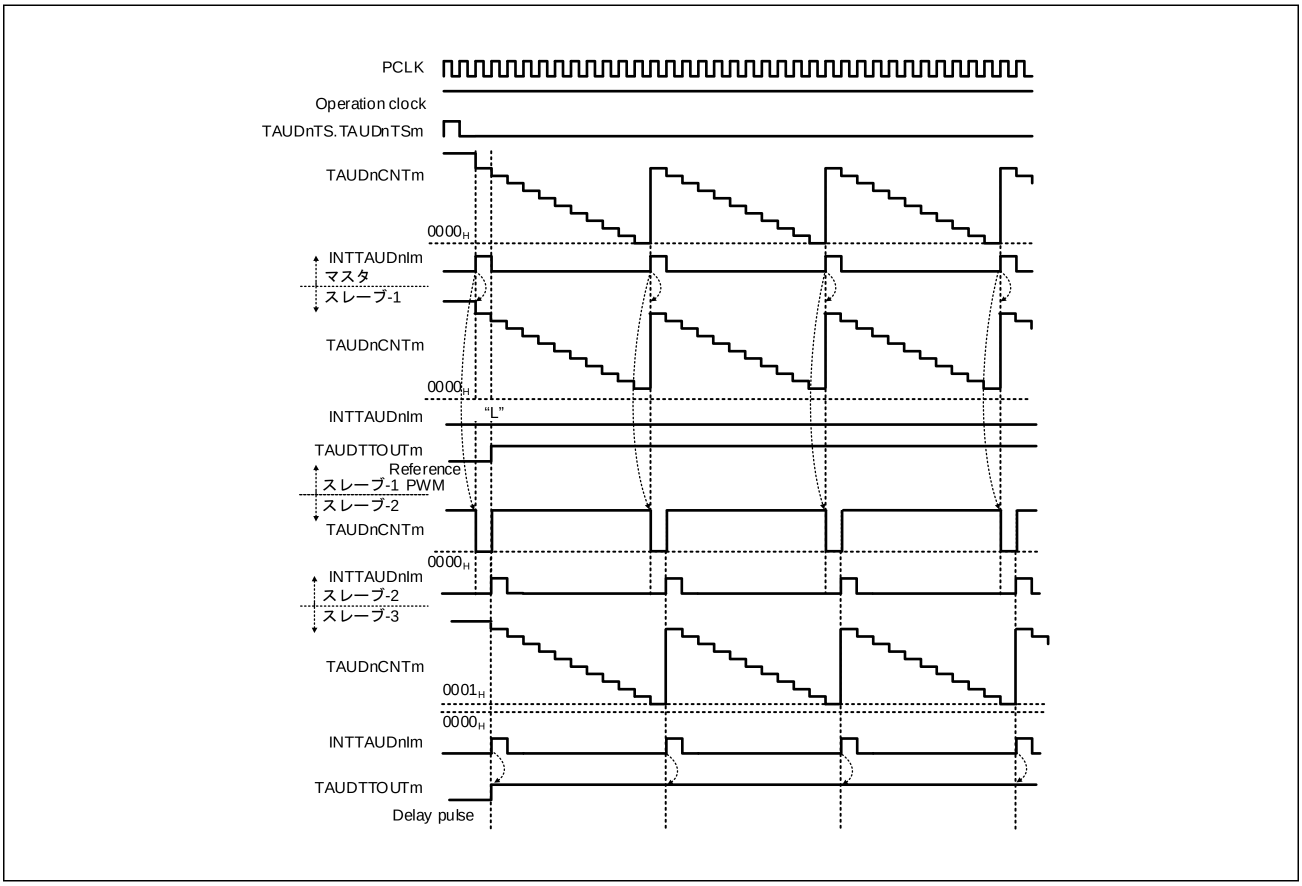


図 32.108 デューティサイクル（スレーブ 3）＝100%

- TAUDnCDRm（スレーブ 1／スレーブ 3）の値が TAUDnCDRm（マスタ）の値を越える場合は、スレーブチャネル 1 のカウンタは 0000$_H$ にならず、割り込みは発生しません。チャネル 1、3 の TAUDTTOUTm は、アクティブ状態のままになります。

(2) TAUDTTOUTm（スレーブ 1）＝TAUDTTOUTm（スレーブ 3）

「**図 32.109 TAUDTTOUTm（スレーブ 1）＝TAUDTTOUTm（スレーブ 3）**」には以下の値が適用されます。

- TAUDnCDRm（マスタ）＝000A$_H$
- TAUDnCDRm（スレーブ 1）＝0005$_H$
- TAUDnCDRm（スレーブ 2）＝0000$_H$
- TAUDnCDRm（スレーブ 3）＝0005$_H$

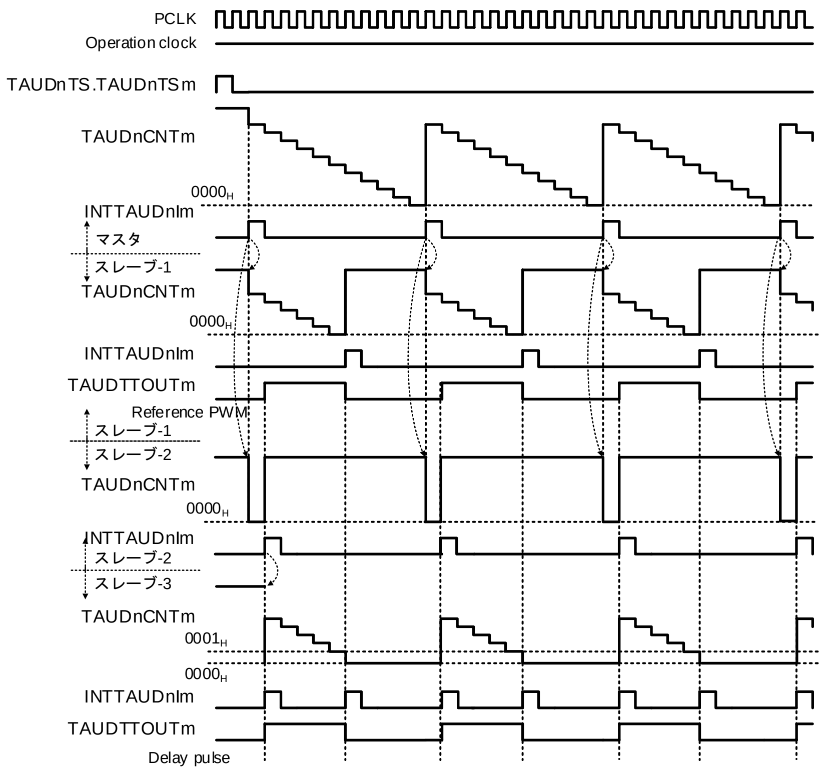


図 32.109 TAUDTTOUTm（スレーブ 1）＝TAUDTTOUTm（スレーブ 3）

- TAUDnCDRm（スレーブ 2）＝0000$_H$ の場合、スレーブチャネル 3 のカウンタはスレーブチャネル 1 のカウンタより 1 クロックカウント後にカウントを開始します。基本パルスとディレイパルスは 1 クロックカウントの遅延で出力されます。

32.15.5　オフセットトリガ出力機能

32.15.5.1　概要

概要

マスタチャネルとスレーブチャネルをひとつずつ使用して、PWM 出力を生成する機能です。これにより、TAUDTTOUTm のパルス幅（期間）を設定できます。パルス周期はマスタチャネルの有効な入力エッジを検出して設定します。パルス幅はスレーブチャネルで設定します。

前提条件

- 2 チャネル
- マスタチャネルの動作モードは、キャプチャモードに設定する必要があります（「**表 32.187 オフセットトリガ出力機能のマスタチャネルの TAUDnCMORm レジスタの内容**」参照）。
- スレーブチャネルの動作モードは、ワンカウントモードに設定する必要があります（「**表 32.190 オフセットトリガ出力機能のスレーブチャネルの TAUDnCMORm レジスタの内容**」参照）。
- スレーブチャネルの出力モードは、チャネル連動出力モード 1 に設定する必要があります（「**32.7 チャネル出力モード**」参照）。
- この機能では、マスタチャネルで TAUDTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を“1”に設定すると、カウンタ動作が開始されます。これにより TAUDnTE.TAUDnTEm＝1 となり、カウントが可能になります。マスタチャネルのカウンタ（TAUDnCNTm）は 0000_H からアップカウントを開始します。

- マスタチャネル：
  有効な TAUDTTINm 入力エッジが検出されると、カウンタ（TAUDnCNTm）の現在値がマスタチャネルのデータレジスタ（TAUDnCDRm）にロードされます。そして INTTAUDnIm が発生し、カウンタは 0000_H からアップカウントを再開します。
- スレーブチャネル：
  マスタチャネルで INTTAUDnIm が発生すると、TAUDTTOUTm 信号（スレーブ）がセットされ、スレーブチャネルのカウンタ動作がトリガされます。TAUDnCDRm（スレーブ）の現在値が TAUDnCNTm（スレーブ）にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。
  カウンタ値が 0000_H になると（デューティ時間が経過すると）、INTTAUDnIm が発生し、TAUDTTOUTm 信号がリセットされます。カウンタは $FFFF_H$ に戻り、マスタチャネルの次の INTTAUDnIm を待ちます。

マスタ／スレーブチャネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。マスタ／スレーブチャネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSm を“1”に設定すると、カウントを再開できます。

32.15.5.2　算出式

パルス幅＝（TAUDnCDRm（スレーブ））×カウントクロック周期

デューティサイクル［%］＝［TAUDnCDRm（スレーブ）／（TAUDnCDRm（マスタ）＋1）］×100

- デューティサイクル＝0%
  TAUDnCDRm（スレーブ）＝0000_H
- – デューティサイクル＝100%
  TAUDnCDRm（スレーブ）≧ TAUDnCDRm（マスタ）＋1

32.15.5.3　ブロック図と基本タイミング図

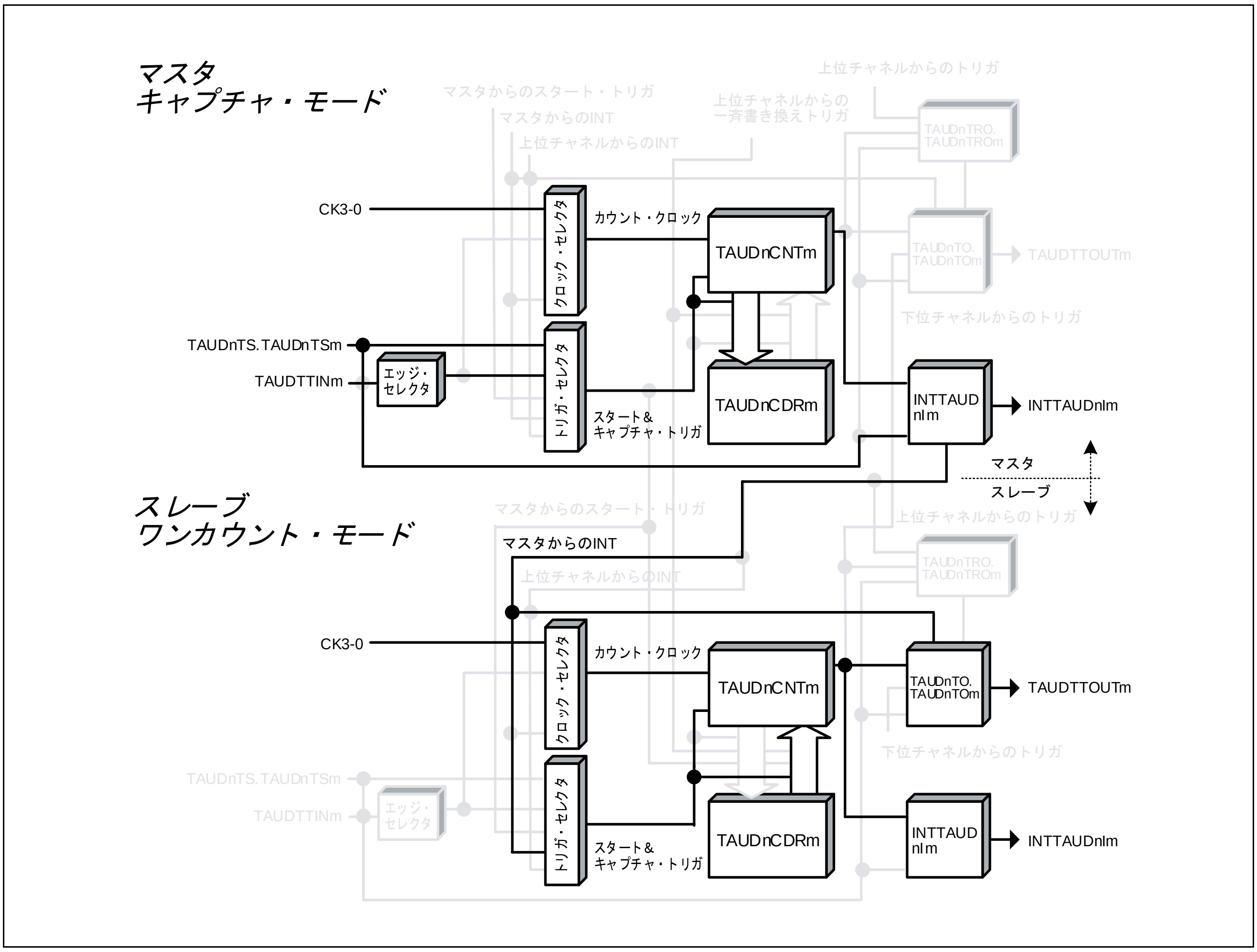


図 32.110 オフセットトリガ出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- 立ち下がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0]＝00_B）

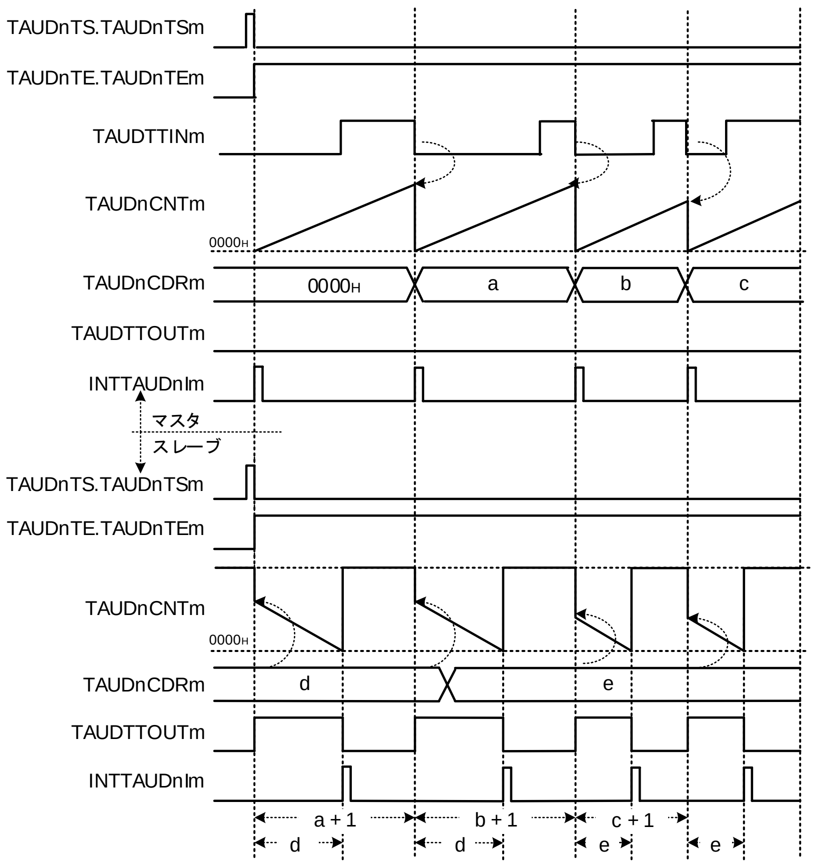


図 32.111 オフセットトリガ出力機能の基本タイミング図

備　考

スレーブチャネルの TAUDTTOUTm は、マスタチャネルの INTTAUDnIm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

32.15.5.4　マスタチャネルのレジスタ設定

(1)　マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.187 オフセットトリガ出力機能のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10～8	TAUDnSTS[2:0]	001：有効な TAUDTTINm 入力エッジ信号をスタートトリガとして使用
7、6	TAUDnCOS[1:0]	11：TAUDTTINm 入力有効エッジ検出およびカウンタオーバフローの発生によって更新： – TAUDTTINm 入力有効エッジ検出：カウンタ値が TAUDnCDRm に書き込まれます。 – オーバフロー発生：TAUDnCDRm に $FFFF_H$ を書き込みます。次に検出される TAUDTTINm 入力有効エッジは無視されます。 TAUDnCSRm.TAUDnOVF はカウンタオーバフロー時に設定され、CPU 命令（TAUDnCSCm.TAUDnCLOV に“1”設定）でクリアされます。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0010：キャプチャモード
0	TAUDnMD0	1：動作開始時に INTTAUDnIm が発生する

(2)　マスタチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.188 オフセットトリガ出力機能のマスタチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) マスタチャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(4) マスタチャネルの一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、オフセットトリガ出力機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 32.189 オフセットトリガ出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm＝0）、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

32.15.5.5 スレーブチャネルのレジスタ設定

(1) スレーブチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.190 オフセットトリガ出力機能のスレーブチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10～8	TAUDnSTS[2:0]	100：マスタチャネルの INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：カウント中のスタートトリガ検出許可

(2) スレーブチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.191 オフセットトリガ出力機能のスレーブチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャネルのチャネル出力モード

表 32.192 チャネル連動出力モード 1 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1：チャネル連動動作
TAUDnTOC.TAUDnTOCm	0：動作モード 1
TAUDnTOL.TAUDnTOLm	0：正論理 1：負論理
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm＝0）、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm＝0）、“0”を設定
TAUDnTRC.TAUDnTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0：変調禁止

(4) スレーブチャネルの一斉書き換え

一斉書き換えレジスタ（TAUDnRDE、TAUDnRDS、TAUDnRDM、TAUDnRDC）は、オフセットトリガ出力機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 32.193 オフセットトリガ出力機能時のスレーブチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	0：一斉書き換え禁止
TAUDnRDS.TAUDnRDSm	一斉書き換え禁止時（TAUDnRDE.TAUDnRDEm＝0）、“0”を設定
TAUDnRDM.TAUDnRDMm	
TAUDnRDC.TAUDnRDCm	

32.15.5.6　オフセットトリガ出力機能時の操作手順

表 32.194 オフセットトリガ出力機能時の操作手順

	操作	TAUDn の状態
チャネルの初期設定	マスタチャネル：TAUDnCMORm/TAUDnCMURm レジスタとチャネル出力モードを「**32.15.5.4　マスタチャネルのレジスタ設定**」に示すように設定します。 スレーブチャネル：TAUDnCMORm/TAUDnCMURm レジスタとチャネル出力モードを「**32.15.5.5　スレーブチャネルのレジスタ設定**」に示すように設定します。 マスタチャネルの TAUDnCDRm レジスタはキャプチャレジスタとして動作します。 スレーブチャネルの TAUDnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	マスタチャネルとスレーブチャネルの TAUDnTS.TAUDnTSm を同時に“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm（マスタ／スレーブチャネル）が“1”に設定され、マスタ／スレーブチャネルのカウンタが動作を開始します。 ● TAUDnCNTm（マスタ）がアップカウントを行います。 ● TAUDnCDRm の値を TAUDnCNTm（スレーブ）にロードし、ダウンカウントを行います。 マスタチャネルで INTTAUDnIm が発生し、TAUDTTOUTm（スレーブ）がセットされます。
動作中	TAUDnCDRm は任意のタイミングで変更可能です。 TAUDnCSCm.TAUDnCLOV は“1”に設定可能です。 スレーブチャネルの TAUDnCDRm は INTTAUDnIm（マスタ）発生後、変更可能です。 TAUDnCNTm と TAUDnCSRm は任意のタイミングで読み出し可能です。	スレーブチャネルの TAUDnCNTm が 0000$_H$ になった場合： ● INTTAUDnIm（スレーブ）が発生します。 ● TAUDTTOUTm（スレーブ）がリセットされ、スレーブのカウントが停止します。 マスタチャネルで TAUDTTINm 入力エッジが検出された場合： ● INTTAUDnIm（マスタ）が発生します。 ● TAUDnCNTm（マスタ）は 0000$_H$ にリセットされ、その後カウント動作を継続します。 ● 再び TAUDnCDRm の値を TAUDnCNTm（スレーブ）にロードし、ダウンカウントを行います。 ● TAUDTTOUTm（スレーブ）がセットされます。
動作停止	マスタチャネルとスレーブチャネルの TAUDnTT.TAUDnTTm を同時に“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

動作再開

32.15.5.7　特定のタイミング図

(1)　デューティサイクル＝0%

この図での設定は次のようになっています。

- 立ち下がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0]＝00_B）

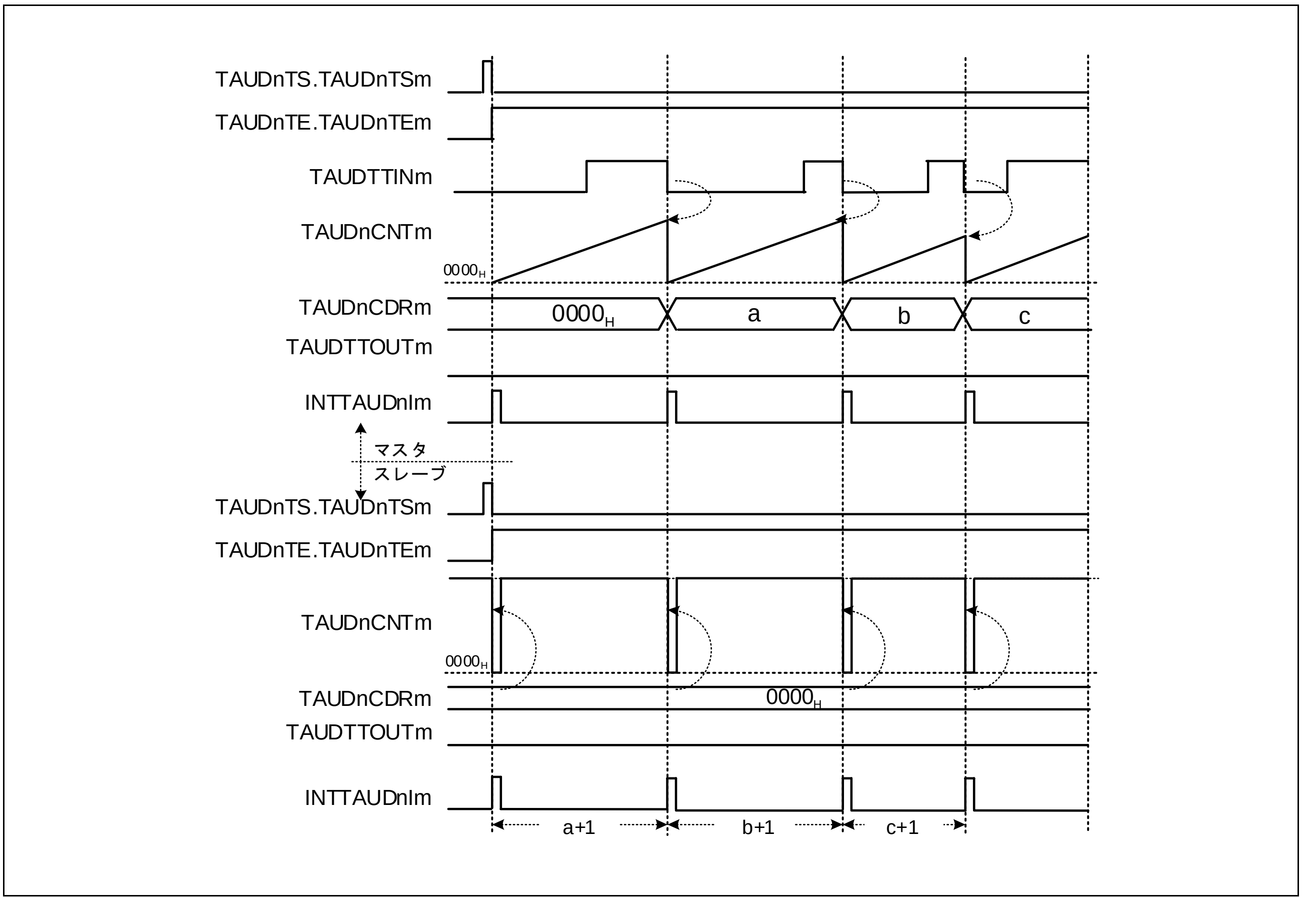


図 32.112 TAUDnCDRm（スレーブ）＝0000_H

- TAUDnCDRm（スレーブ）＝0000_H の場合は、マスタチャネルが割り込み（INTTAUDnIm）を発生するたびに TAUDnCNTm に 0000_H が書き込まれ、TAUDnCNTm はカウントを開始できません。TAUDTTOUTm は非アクティブ状態のままです。
- TAUDnCNTm（スレーブ）は、TAUDnCDRm の値がリロードされるたびに割り込みを発生します。スレーブチャネルとマスタチャネルは同じ周期で割り込みを発生します。

(2) デューティサイクル＝100%

この図での設定は次のようになっています。

- 立ち下がりエッジ検出（TAUDnCMURm.TAUDnTIS[1:0]＝00_B）

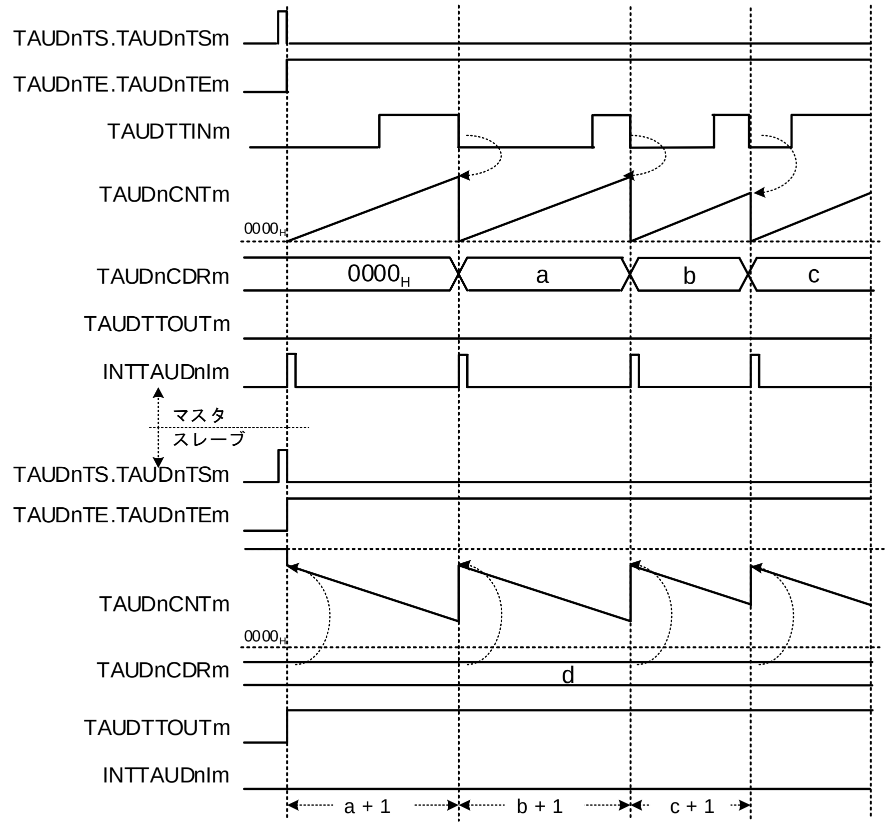


図 32.113 TAUDnCDRm（スレーブ）≧ TAUDnCDRm（マスタ）＋1

- TAUDnCDRm（スレーブ）の値が有効な入力エッジのインターバルを超える場合は、スレーブチャネルのカウンタは 0000_H にはならず、割り込みは発生しません。
  TAUDTTOUTm はアクティブ状態のままになります。

32.15.6　A/D 変換トリガ出力機能タイプ 1

32.15.6.1　概要

概要

この機能は、TAUDTTOUTm が出力されないという点を除き、「**32.15.1 PWM 出力機能**」と同じです。

スレーブチャネルの出力モードをソフトウェア制御のチャネル単体出力モードに設定することにより、この機能が有効になります。

32.15.6.2　ブロック図と基本タイミング図

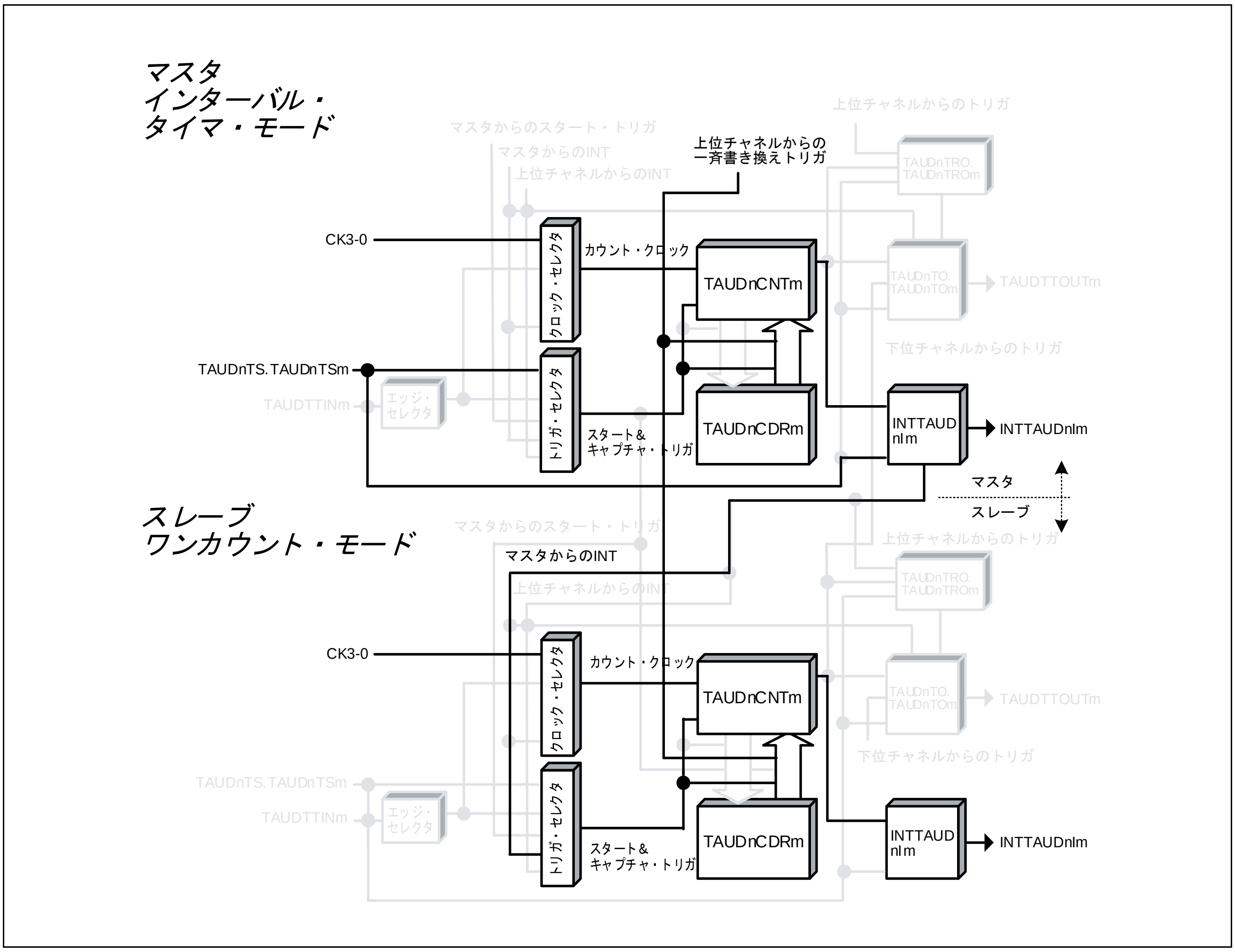


図 32.114 A/D 変換トリガ出力機能タイプ 1 のブロック図

基本タイミング図での設定は次のようになっています。

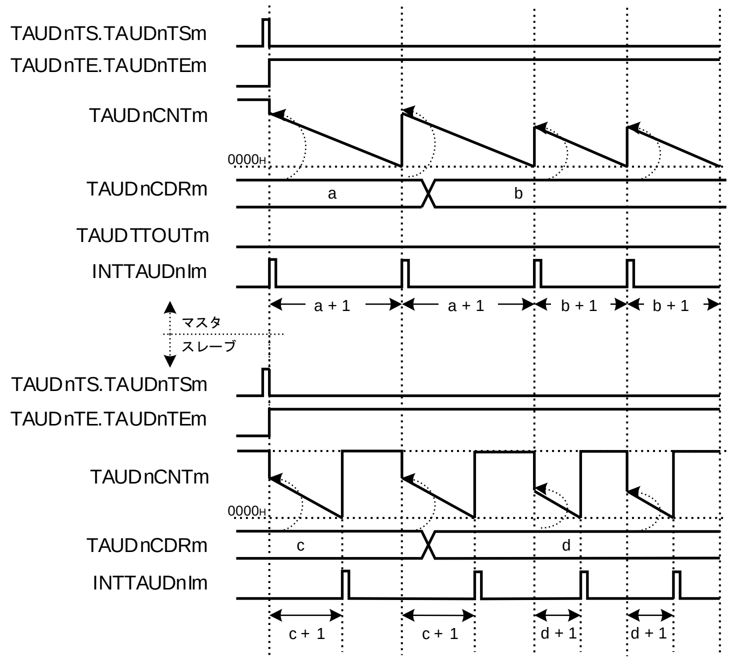


図 32.115 A/D 変換トリガ出力機能タイプ 1 の基本タイミング図

32.15.7　三角波 PWM 出力機能

32.15.7.1　概要

概要

マスタチャネルと 1 つ以上のスレーブチャネルを使用することで、複数の三角波 PWM 出力信号を生成する機能です。マスタ／スレーブチャネルを用いて、TAUDTTOUTm のパルス周期（周波数）とデューティサイクルを設定することができます。

キャリア周期はマスタチャネルで生成します。マスタチャネルの 1 周期目はスレーブカウンタのダウンステータスを、2 周期目はアップステータスを制御します。

前提条件

- 2 チャネル
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（「**表 32.195 三角波 PWM 出力機能のマスタチャネルの TAUDnCMORm レジスタの内容**」参照）。
- スレーブチャネルの動作モードは、アップ／ダウンカウントモードに設定する必要があります（「**表 32.199 三角波 PWM 出力機能のスレーブチャネルの TAUDnCMORm レジスタの内容**」参照）。
- マスタチャネルの出力モードは、チャネル単体出力モード 1 に設定する必要があります（「**32.7 チャネル出力モード**」参照）。
- スレーブチャネルの出力モードは、チャネル連動出力モード 2 に設定する必要があります（「**32.7 チャネル出力モード**」参照）。
- 次のような設定により、キャリア周期のダウンステータスの間、TAUDTTOUTm 信号がハイレベルになります。
  - TAUDnCMORm.TAUDnMD0（マスタ）ビットが“0”に設定されている場合、TAUDnTOE.TAUDnTOEm が“0”の間、TAUDnTO.TAUDnTOm を“1”に設定する必要があります。（推奨設定）
  - TAUDnCMORm.TAUDnMD0（マスタ）ビットが“1”に設定されている場合、TAUDnTOE.TAUDnTOEm が“0”の間、TAUDnTO.TAUDnTOm を“0”に設定する必要があります。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を“1”に設定すると、すべてのチャネルでカウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm が設定され、カウントが可能になります。
TAUDnCDRm（マスタ／スレーブ）の値が TAUDnCNTm（マスタ／スレーブ）にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。マスタチャネルの TAUDnCMORm.TAUDnMD0 ビットが“1”に設定されている場合は、割り込みが発生し、マスタの TAUDTTOUTm 信号がトグルされます。

- マスタチャネル：
  マスタチャネルのカウンタ値が 0000_H になると（パルス周期が経過すると）、INTTAUDnIm が発生し、TAUDTTOUTm 信号がトグルされます。その後、再び TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。
- スレーブチャネル：
  マスタチャネルで INTTAUDnIm が発生すると、スレーブチャネルのカウンタ動作がトリガされます。
  - スレーブのカウンタがダウンカウント中の場合は、カウント方向が変わります。

– スレーブのカウンタがアップカウント中の場合は、再び TAUDnCDRm の値がロードされ、カウンタはダウンカウントを開始します。

スレーブチャネルのカウンタがアップ／ダウンカウント中に 0001_H になると、INTTAUDnIm が発生し、TAUDTTOUTm（スレーブ）信号がセット／リセットされます。

カウンタはアップ／ダウンカウントを続け、マスタチャネルの次の INTTAUDnIm を待ちます。

TAUDnTOL.TAUDnTOLm を設定することにより、動作中に TAUDTTOUTm 信号の正相／逆相を切り替えることができます。

マスタ／スレーブチャネルの TAUDnTT.TAUDnTTm を"1"に設定すると、カウンタの動作を停止できます。これにより、TAUDnTE.TAUDnTEm は"0"に設定されます。マスタ／スレーブチャネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。

条件

この機能では一斉書き換えを行うことができます。「**32.6 一斉書き換え**」を参照してください。

32.15.7.2　算出式

パルス周期＝（TAUDnCDRm（マスタ）＋1）×カウントクロック周期

0000_H ≦ TAUDnCDRm（マスタ）＜ $FFFF_H$

キャリア周期（ダウン／アップ）＝（TAUDnCDRm（マスタ）＋1）×2×カウントクロック周期

デューティサイクル［%］＝
［（TAUDnCDRm（マスタ）＋1－TAUDnCDRm（スレーブ））／（TAUDnCDRm（マスタ）＋1）］×100

– デューティサイクル＝100%
  TAUDnCDRm（スレーブ）＝0000_H

– デューティサイクル＝0%
  TAUDnCDRm（スレーブ）≧TAUDnCDRm（マスタ）＋1

32.15.7.3 ブロック図と基本タイミング図

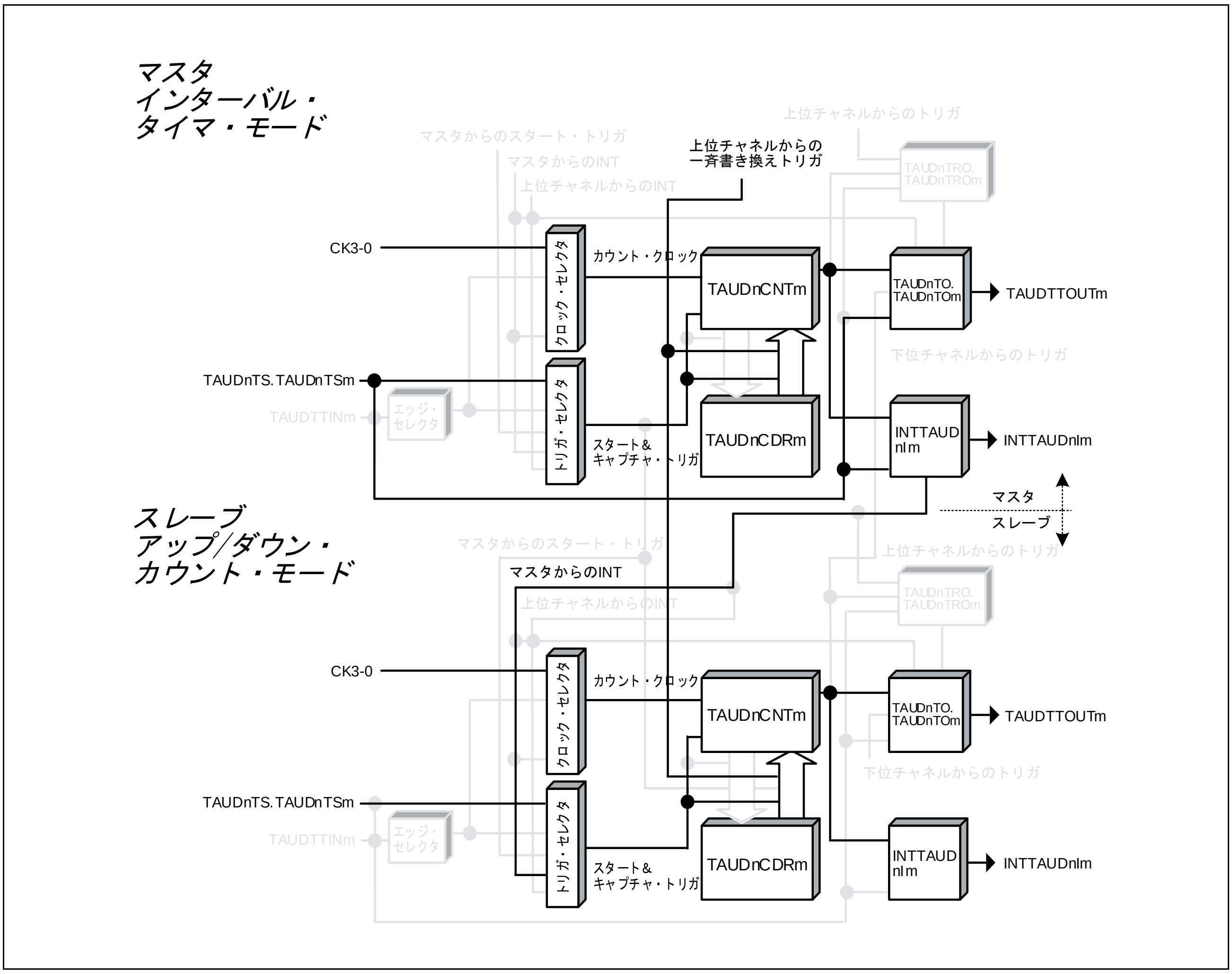


図 32.116 三角波 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャネル
  - 動作開始時に INTTAUDnIm が発生する
    （TAUDnCMORm.TAUDnMD0＝1）

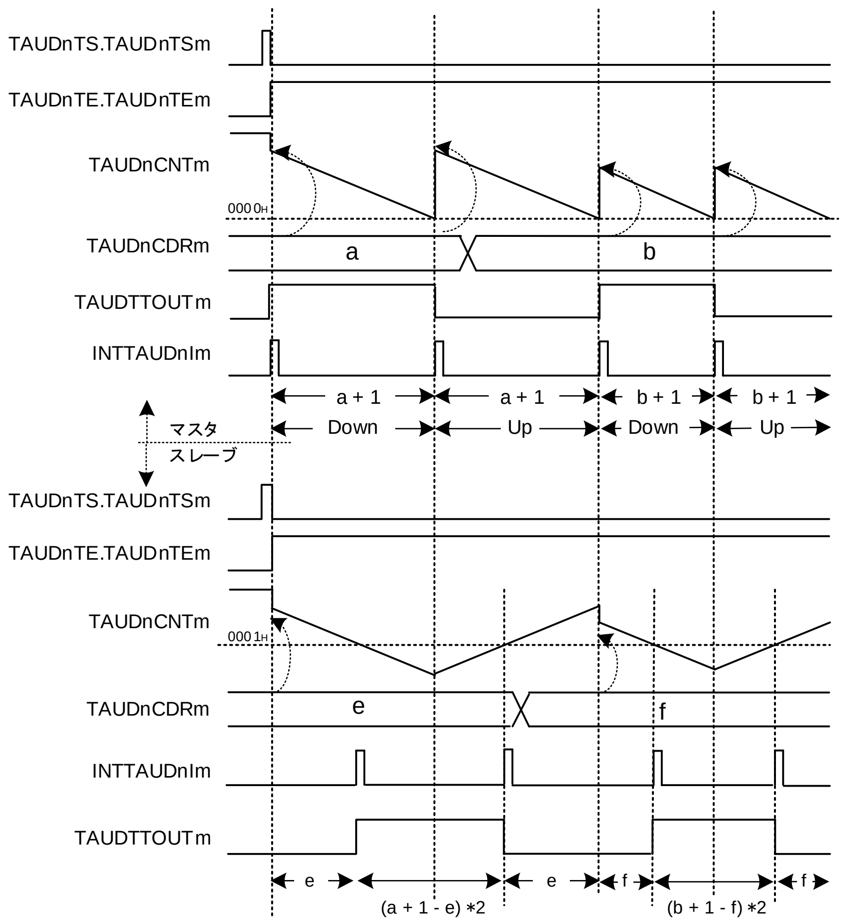


図 32.117 三角波 PWM 出力機能の基本タイミング図

32.15.7.4　マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.195 三角波 PWM 出力機能のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10～8	TAUDnSTS[2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生せず、TAUDTTOUTm はトグルされない 1：動作開始時に INTTAUDnIm が発生し、TAUDTTOUTm はトグルされる

(2) マスタチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.196 三角波 PWM 出力機能のマスタチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) マスタチャネルのチャネル出力モード

表 32.197 チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0：チャネル単体出力
TAUDnTOC.TAUDnTOCm	0：動作モード 1（TAUDnTOM.TAUDnTOMm＝0 時はトグルモード）
TAUDnTOL.TAUDnTOLm	0：トグルモード時は、設定無効（リセット後の値）となります。
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm＝0）、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm＝0）、“0”を設定
TAUDnTRC.TAUDnTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0：変調禁止

(4) マスタチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 32.198 三角波 PWM 出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルの一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の[山] のタイミングで発生
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

備　考

TAUDnRDS.TAUDnRDSm＝1 の場合、マスタチャネルより上位チャネルに一斉書き換えトリガ信号を生成するチャネルが必要です。

32.15.7.5　スレーブチャネルのレジスタ設定

(1) スレーブチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.199 三角波 PWM 出力機能のスレーブチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10～8	TAUDnSTS[2:0]	111：マスタチャネルのアップ／ダウン出力トリガ信号
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	1001：アップ／ダウンカウントモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない

(2) スレーブチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.200 三角波 PWM 出力機能のスレーブチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャネルのチャネル出力モード

表 32.201 チャネル連動出力モード 2 のときの制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1：チャネル連動動作
TAUDnTOC.TAUDnTOCm	1：動作モード 2
TAUDnTOL.TAUDnTOLm	0：正論理 1：負論理
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm＝0）、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm＝0）、“0”を設定
TAUDnTRC.TAUDnTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0：変調禁止

(4) スレーブチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 32.202 三角波 PWM 出力機能時のスレーブチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルの一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の［山］のタイミングで発生
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

32.15.7.6 三角波 PWM 出力機能時の操作手順

表 32.203 三角波 PWM 出力機能時の操作手順

	操作	TAUDn の状態
チャネルの初期設定	マスタチャネル：TAUDnCMORm/TAUDnCMURm レジスタとチャネル出力モードを「**32.15.7.4 マスタチャネルのレジスタ設定**」に示すように設定します。 スレーブチャネル：TAUDnCMORm/TAUDnCMURm レジスタとチャネル出力モードを「**32.15.7.5 スレーブチャネルのレジスタ設定**」に示すように設定します。 全チャネルの TAUDnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	マスタチャネルとスレーブチャネルの TAUDnTS.TAUDnTSm を同時に“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm（マスタ／スレーブチャネル）が“1”に設定され、マスタ／スレーブチャネルのカウンタが動作を開始します。 マスタチャネルで TAUDnCMORm.TAUDnMD0 が“1”に設定されている場合は、INTTAUDnIm（マスタ）が発生します。
動作中	TAUDnCDRm は任意のタイミングで変更可能です。 TAUDnTOL.TAUDnTOLm は変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTm は動作中に変更可能です。	マスタ／スレーブチャネルの TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。 マスタチャネルのカウンタが 0000_H になった場合： ● INTTAUDnIm（マスタ）が発生します。 ● TAUDTTOUTm（マスタ）がトグルされます。 ● 再び TAUDnCDRm の値を TAUDnCNTm（マスタ）にロードし、カウント動作を継続します。 ● 再び TAUDnCDRm の値を TAUDnCNTm（スレーブ）にロードするか、反対方向のカウントを開始します。 スレーブチャネルの TAUDnCNTm が 0001_H になった場合： ● INTTAUDnIm（スレーブ）が発生します。 ● TAUDTTOUTm（スレーブ）は、ダウンカウント状態ではセット、アップカウント状態ではリセットされます。
動作停止	マスタチャネルとスレーブチャネルの TAUDnTT.TAUDnTTm を同時に“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

動作再開

32.15.7.7　特定の設定時のタイミング図

(1) デューティサイクル＝0%

基本タイミング図での設定は次のようになっています。

- マスタチャネル：
  - 動作開始時に INTTAUDnIm が発生する（TAUDnCMORm.TAUDnMD0＝1）
  - TAUDnCDRm＝a＝5_H
- スレーブチャネル：
  - TAUDnCDRm＝6_H

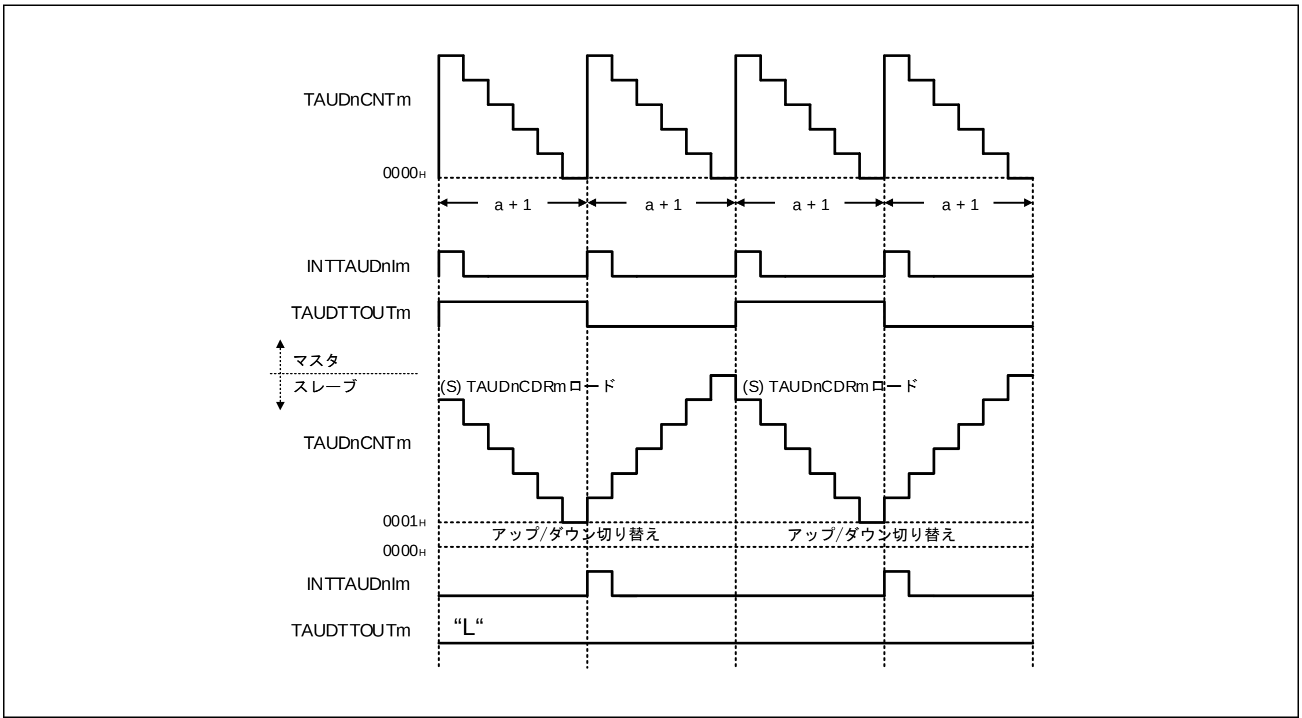


図 32.118 TAUDnCDRm（スレーブ）≧ TAUDnCDRm（マスタ）＋1

- TAUDnCDRm（スレーブ）値が TAUDnCDRm（マスタ）＋1 値以上の場合、ダウンカウント中にスレーブチャネルの INTTAUDnIm は発生しません。セット信号が検出されることがないため、TAUDTTOUTm はロウレベル状態のままになります。

(2) デューティサイクル＝100%

基本タイミング図での設定は次のようになっています。

- マスタチャネル：
  - 動作開始時に INTTAUDnIm が発生する（TAUDnCMORm.TAUDnMD0＝1）
  - TAUDnCDRm＝a＝5_H
- スレーブチャネル：
  - TAUDnCDRm＝0_H

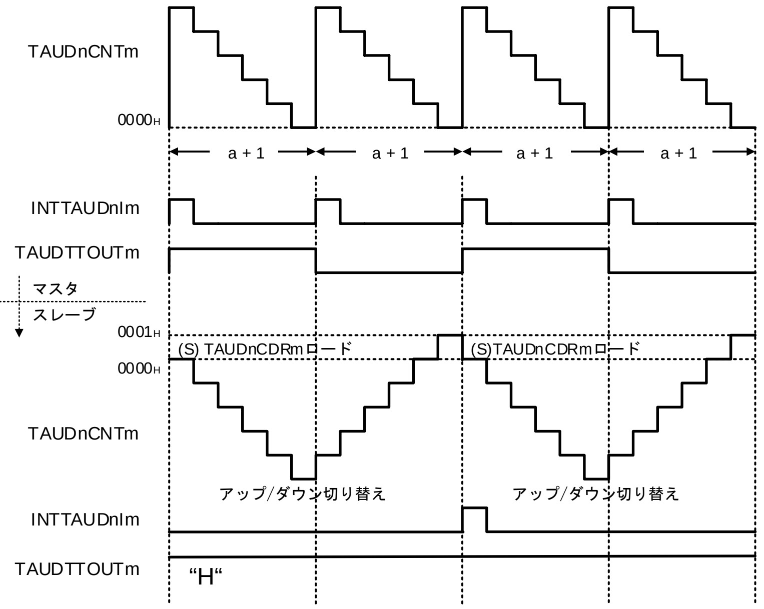


図 32.119 TAUDnCDRm（スレーブ）＝0000_H

- TAUDnCDRm（スレーブ）＝0000_Hの場合、アップカウント中にスレーブチャネルの INTTAUDnIm は発生しません。リセット信号が検出されることがないため、TAUDTTOUTm はハイレベル状態のままになります。

32.15.8　デッドタイム付き三角波 PWM 出力機能

32.15.8.1　概要

概要

マスタチャネルと 2 つ以上のスレーブチャネルを使用することで、複数の三角波 PWM 出力信号をあらかじめ定義されたデッドタイムを付加して生成する機能です。デッドタイムが付加された PWM 信号は、スレーブチャネル 2 / 3 の TAUDTTOUTm から出力されます。これにより、マスタ／スレーブチャネルを使って TAUDTTOUTm のパルス周期（周波数）とデューティサイクルを設定することができます。

キャリア周期はマスタチャネルで生成します。1 周期目のパルスはスレーブカウンタのダウンステータスを、2 周期目のパルスはアップステータスを制御します。

スレーブ 2 で割り込みが発生すると、スレーブチャネルの TAUDTTOUTm がセット／リセットされます。TAUDnTDL.TAUDnTDLm の設定によって、信号の正論理側または負論理側に遅延時間が付加されます（TAUDTTOUTm がただちにセット／リセットされるのか、デッドタイム経過後にセット／リセットされるのかを設定）。デッドタイム時間はスレーブチャネル 3 で設定します。

前提条件

- 3 チャネル。スレーブチャネル 2 と 3 は、偶数チャネル CH（a）と奇数チャネル CH（a+1）を選択してください。
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（「**表 32.205 デッドタイム付き三角波 PWM 出力機能のマスタチャネルの TAUDnCMORm レジスタの内容**」参照）。
- この機能では、スレーブチャネル 1 は使用しません。そのため、スレーブチャネル 2 は必ず偶数チャネル（a）、スレーブチャネル 3 は奇数チャネル（a+1）です。スレーブチャネル 1 は、個別タイマ（単体機能）として使用可能です。
- スレーブチャネル 2 の動作モードは、アップ／ダウンカウントモードに設定する必要があります（「**表 32.209 デッドタイム付き三角波 PWM 出力機能のスレーブチャネル 2 の TAUDnCMORm レジスタの内容**」参照）。また、スレーブチャネル 2 は偶数チャネルでなければなりません。
- スレーブチャネル 3 の動作モードは、ワンカウントモードに設定する必要があります（「**表 32.213 デッドタイム付き三角波 PWM 出力機能のスレーブチャネル 3 の TAUDnCMORm レジスタの内容**」参照）。また、スレーブチャネル 3 は奇数チャネルでなければなりません。
- マスタチャネルのチャネル出力モードは、チャネル単体出力モード 1 に設定する必要があります（「**32.7 チャネル出力モード**」参照）。
- スレーブチャネル 2 / 3 の出力モードは、デッドタイム出力を行うチャネル連動出力モード 2 に設定する必要があります（「**32.7 チャネル出力モード**」参照）。
- 次のような設定により、キャリア周期のダウンステータスの間、TAUDTTOUTm 信号がハイレベルになります。
  - TAUDnCMORm.TAUDnMD0（マスタ）ビットが“0”に設定されている場合、TAUDnTOE.TAUDnTOEm が“0”の間、TAUDnTO.TAUDnTOm を“1”に設定する必要があります。（推奨設定）
  - TAUDnCMORm.TAUDnMD0（マスタ）ビットが“1”に設定されている場合、TAUDnTOE.TAUDnTOEm が“0”の間、TAUDnTO.TAUDnTOm を“0”に設定する必要があります。

備　考

デッドタイム付き三角波 PWM 出力機能では、スレーブチャネル 1 を使用しません。スレーブチャネル 1 は、個別タイマ（単体機能）として使用可能です。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を“1”に設定すると、カウンタ動作が開始されます。これにより TAUDnTE.TAUDnTEm＝1 となり、カウントが可能になります。TAUDnCDRm の現在値が TAUDnCNTm にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。マスタチャネルの TAUDnCMORm.TAUDnMD0 ビットが“1”に設定されている場合は、割り込みが発生し、マスタの TAUDTTOUTm 信号がトグルされます。

- マスタチャネル：
  マスタチャネルのカウンタ値が 0000_H になると、INTTAUDnIm が発生し、TAUDTTOUTm 信号がトグルされます。再び TAUDnCDRm の値をカウンタにロードし、ダウンカウントを行います。
- スレーブチャネル 2：
  マスタチャネルで INTTAUDnIm が発生すると、スレーブチャネル 2 のカウンタ動作がトリガされます。
  - スレーブのカウンタがダウンカウント中の場合は、カウント方向が変わります。
  - スレーブのカウンタがアップカウント中の場合は、再び TAUDnCDRm の値がロードされ、カウンタはダウンカウントを開始します。

カウンタはアップ／ダウンカウントを続け、マスタチャネルの次の INTTAUDnIm を待ちます。
スレーブチャネル 2 のカウンタ値が 0001_H になると INTTAUDnIm が発生します。

- スレーブチャネル 3：
  スレーブチャネル 2 で INTTAUDnIm が発生すると、スレーブチャネル 3 のカウンタ動作がトリガされます。そして TAUDnCDRm（スレーブ 3）の現在値が TAUDnCNTm（スレーブ 3）にロードされ、カウンタはその TAUDnCDRm 値からダウンカウントを開始します。
  カウンタ値が 0000_H になると、INTTAUDnIm が発生します。カウンタは $FFFF_H$ に戻り、スレーブチャネル 2 の次の INTTAUDnIm を待ちます。

「**表 32.204 スレーブチャネル 2 で割り込みが発生した際の TAUDTTOUTm の動作**」にあるように、対応するチャネルの TAUDnTDL.TAUDnTDLm 設定によって、セット／リセットのタイミング（割り込み発生直後またはデッドタイム経過後）が決まります。

また、TAUDnTOL.TAUDnTOLm の設定によって、対応チャネルからハイレベル信号を出力（TAUDnTOL.TAUDnTOLm＝0）するかロウレベル信号を出力（TAUDnTOL.TAUDnTOLm＝1）するかが決まります。

マスタ／スレーブチャネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。マスタ／スレーブチャネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。

スレーブチャネル 2 の TAUDnCDRm 値を 0000_H にして、TAUDTTOUTm を 100％出力することができます。

条件

この機能では一斉書き換えを行うことができます。「**32.6 一斉書き換え**」を参照してください。

TAUDnTOL.TAUDnTOLm と TAUDnTDL.TAUDnTDLm の設定はカウント動作開始前に行う必要があり、スレーブチャネル 2 とスレーブチャネル 3 は TAUDnTDL.TAUDnTDLm の設定が反対でなければなりません。

表 32.204 スレーブチャネル 2 で割り込みが発生した際の TAUDTTOUTm の動作

TAUDnTDL. TAUDnTDLm	割り込み発生時のスレーブチャネル 2 の カウント方向	TAUDTTOUTm セット／リセットタイミング
0	ダウンカウント	デッドタイム経過後にセット
	アップカウント	割り込み発生直後にリセット
1	ダウンカウント	割り込み発生直後にセット
	アップカウント	デッドタイム経過後にリセット

32.15.8.2　算出式

パルス周期＝（TAUDnCDRm（マスタ）＋1）×カウントクロック周期

0000_H ≦ TAUDnCDRm（マスタ）＜ $FFFF_H$

キャリア周期（ダウン／アップ）＝（TAUDnCDRm（マスタ）＋1）×2×カウントクロック周期

PWM 信号幅（正相）＝［（TAUDnCDRm（マスタ）＋1－TAUDnCDRm（スレーブ 2））×2－（TAUDnCDRm（スレーブ 3）＋1）］×カウントクロック周期

PWM 信号幅（逆相）＝［（TAUDnCDRm（マスタ）＋1－TAUDnCDRm（スレーブ 2））×2＋（TAUDnCDRm（スレーブ 3）＋1）］×カウントクロック周期

32.15.8.3　ブロック図と基本タイミング図

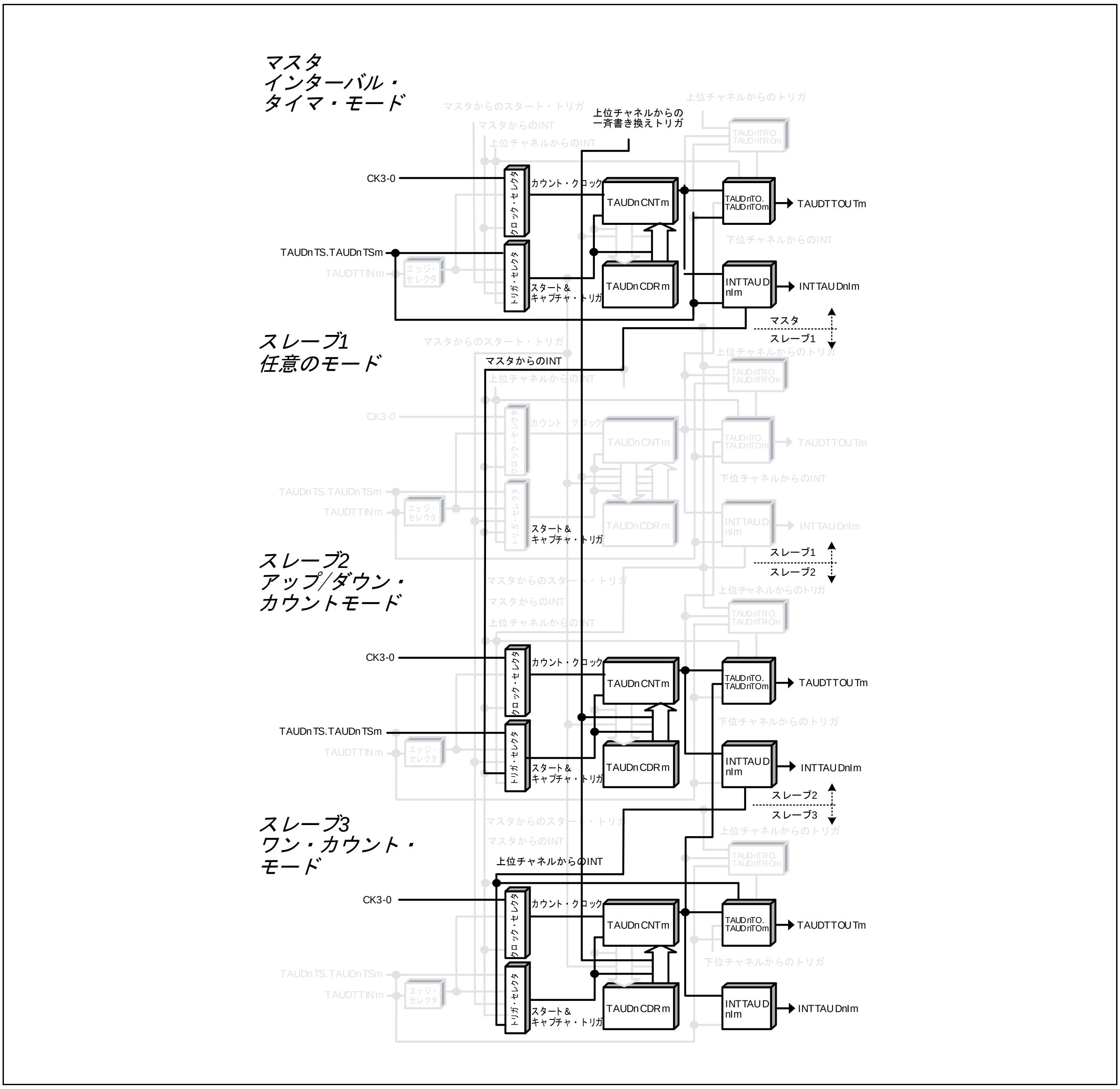


図 32.120 デッドタイム付き三角波 PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャネル：
  - 動作開始時に INTTAUDnIm が発生する（TAUDnCMORm.TAUDnMD0＝1）
- スレーブチャネル 2：
  - 動作開始時に INTTAUDnIm が発生しない（TAUDnCMORm.TAUDnMD0＝0）
  - TAUDnTDL.TAUDnTDLm＝0
  - 正論理（TAUDnTOL.TAUDnTOLm＝0）

- スレーブチャネル 3：
  - カウント中のスタートトリガ検出許可（TAUDnCMORm.TAUDnMD0＝1）
  - TAUDnTDL.TAUDnTDLm＝1
  - 正論理（TAUDnTOL.TAUDnTOLm＝0）

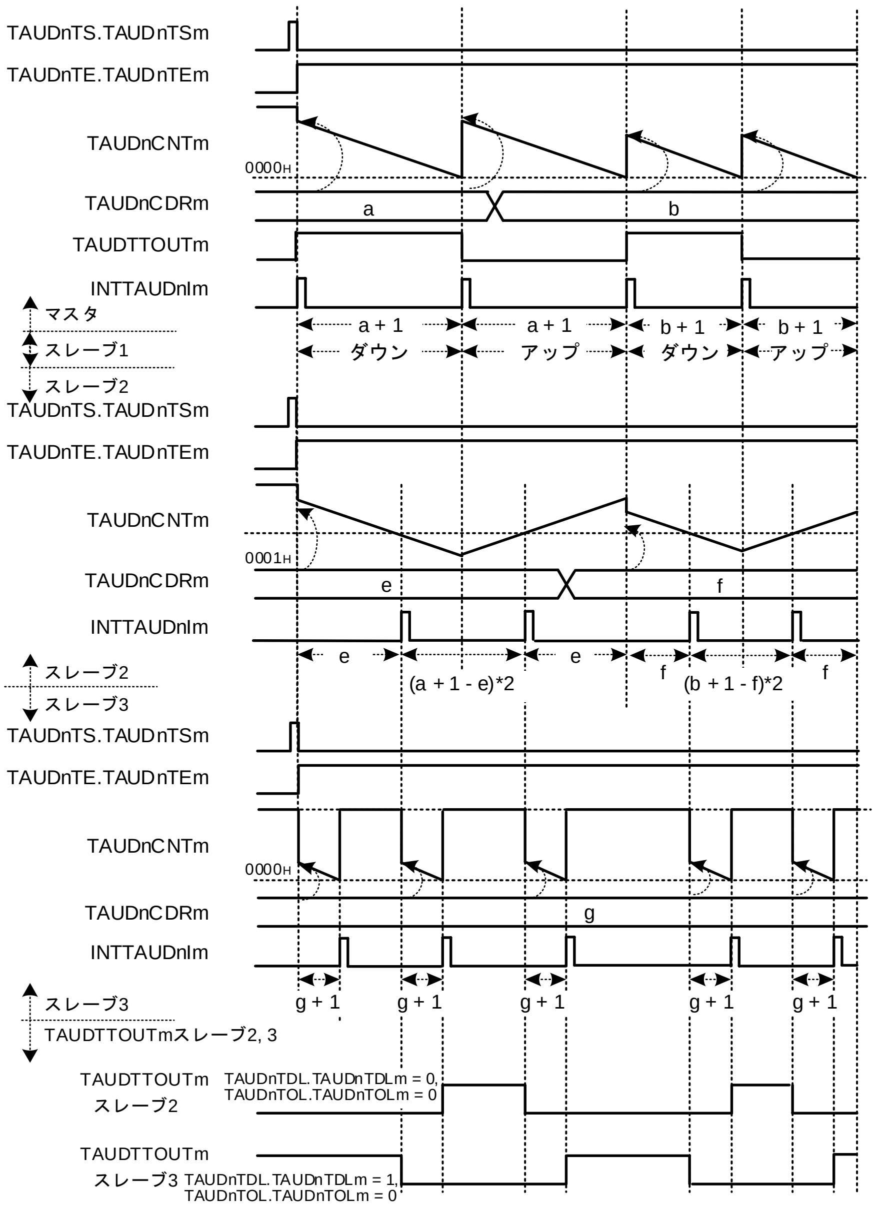


図 32.121 デッドタイム付き三角波 PWM 出力機能の基本タイミング図

32.15.8.4　マスタチャネルのレジスタ設定

(1)　マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.205 デッドタイム付き三角波 PWM 出力機能のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10～8	TAUDnSTS[2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生せず、TAUDTTOUTm はトグルされない 1：動作開始時に INTTAUDnIm が発生し、TAUDTTOUTm はトグルされる

(2)　マスタチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.206 デッドタイム付き三角波 PWM 出力機能のマスタチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) マスタチャネルのチャネル出力モード

表 32.207 チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0：チャネル単体出力
TAUDnTOC.TAUDnTOCm	0：動作モード 1（TAUDnTOM.TAUDnTOMm＝0 時はトグルモード）
TAUDnTOL.TAUDnTOLm	0：トグルモード時は、設定無効（リセット後の値）となります。
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm＝0）、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm＝0）、“0”を設定
TAUDnTRC.TAUDnTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0：変調禁止

(4) マスタチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 32.208 デッドタイム付き三角波 PWM 出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルの一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の［山］のタイミングで発生
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

備　考

TAUDnRDS.TAUDnRDSm＝1 の場合、マスタチャネルより上位チャネルに一斉書き換えトリガ信号を生成するチャネルが必要です。

32.15.8.5　スレーブチャネル 2 のレジスタ設定

(1)　スレーブチャネル 2 の TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.209 デッドタイム付き三角波 PWM 出力機能のスレーブチャネル 2 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10～8	TAUDnSTS[2:0]	111：マスタチャネルのアップ／ダウン出力トリガ信号
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	1001：アップ／ダウンカウントモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない

(2)　スレーブチャネル 2 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.210 デッドタイム付き三角波 PWM 出力機能のスレーブチャネル 2 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャネル 2 のチャネル出力モード

表 32.211 デッドタイム出力を行うチャネル連動出力モード 2 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1：チャネル連動動作
TAUDnTOC.TAUDnTOCm	1：動作モード 2
TAUDnTOL.TAUDnTOLm	0：正論理 1：負論理
TAUDnTDE.TAUDnTDEm	1：デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	0：上位偶数チャネルで割り込みを検出し、なおかつ TAUDnTDL.TAUDnTDLm で設定されている条件に合致している場合にデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0：正相にデッドタイムを付加 1：逆相にデッドタイムを付加
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm＝0）、“0”を設定
TAUDnTRC.TAUDnTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0：変調禁止

注　意

TAUDnTDL.TAUDnTDLm は、奇数チャネルと排他設定してください。

(4) スレーブチャネル 2 の一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 32.212 デッドタイム付き三角波 PWM 出力機能時のスレーブチャネル 2 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルの一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の［山］のタイミングで発生
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

32.15.8.6 スレーブチャネル 3 のレジスタ設定

(1) スレーブチャネル 3 の TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.213 デッドタイム付き三角波 PWM 出力機能のスレーブチャネル 3 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10～8	TAUDnSTS[2:0]	110：TAUDTTOUTm 生成ユニットのデッドタイム出力信号
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：カウント中のスタートトリガ検出許可

(2) スレーブチャネル 3 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.214 デッドタイム付き三角波 PWM 出力機能のスレーブチャネル 3 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャネル 3 のチャネル出力モード

表 32.215 デッドタイム出力を行うチャネル連動出力モード 2 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1：チャネル連動動作
TAUDnTOC.TAUDnTOCm	1：動作モード 2
TAUDnTOL.TAUDnTOLm	0：正論理 1：負論理
TAUDnTDE.TAUDnTDEm	1：デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	0：上位偶数チャネルで割り込みを検出し、なおかつ TAUDnTDL.TAUDnTDLm で設定されている条件に合致している場合にデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0：正相にデッドタイムを付加 1：逆相にデッドタイムを付加
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm＝0）、“0”を設定
TAUDnTRC.TAUDnTRCm	0：リアルタイム出力トリガチャネルとしての動作は禁止
TAUDnTME.TAUDnTMEm	0：変調禁止

注　意

TAUDnTDL.TAUDnTDLm は、偶数チャネルと排他設定してください。

(4) スレーブチャネル 3 の一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 32.216 デッドタイム付き三角波 PWM 出力機能時のスレーブチャネル 3 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルの一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の［山］のタイミングで発生
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

32.15.8.7　デッドタイム付き三角波 PWM 出力機能時の操作手順

表 32.217 デッドタイム付き三角波 PWM 出力機能時の操作手順

	操作	TAUDn の状態
チャネルの初期設定	マスタチャネル：TAUDnCMORm/TAUDnCMURm レジスタとチャネル出力モードを「**32.15.8.4 マスタチャネルのレジスタ設定**」に示すように設定します。 スレーブチャネル 2：TAUDnCMORm/TAUDnCMURm レジスタとチャネル出力モードを「**32.15.8.5 スレーブチャネル 2 のレジスタ設定**」に示すように設定します。 スレーブチャネル 3：TAUDnCMORm/TAUDnCMURm レジスタとチャネル出力モードを「**32.15.8.6 スレーブチャネル 3 のレジスタ設定**」に示すように設定します。 全チャネルの TAUDnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	マスタチャネルとスレーブチャネルの TAUDnTS.TAUDnTSm を同時に“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm（マスタ／スレーブチャネル）が“1”に設定され、マスタ／スレーブチャネルのカウンタが動作を開始します。 マスタチャネルで TAUDnCMORm.TAUDnMD0 が“1”に設定されている場合は、INTTAUDnIm（マスタ）が発生します。
動作中	TAUDnCDRm は任意のタイミングで変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTm は動作中に変更可能です。	マスタチャネルとスレーブチャネル 2 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。マスタチャネルのカウンタが 0000_H になった場合： ● INTTAUDnIm（マスタ）が発生します。 ● 再び TAUDnCDRm の値を TAUDnCNTm（マスタ）にロードし、カウント動作を継続します。 ● 再び TAUDnCDRm の値を TAUDnCNTm（スレーブ 2）にロードするか、反対方向のカウントを開始します。 TAUDnCNTm（スレーブ 2）が 0001_H になった場合： ● INTTAUDnIm（スレーブ 2）が発生します。 ● スレーブチャネル 3 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。 スレーブチャネル 3 の TAUDnCNTm が 0000_H になった場合： ● INTTAUDnIm が発生します。
動作停止	マスタチャネルとスレーブチャネルの TAUDnTT.TAUDnTTm を同時に“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

動作再開

32.15.8.8　特定の設定時のタイミング図

(1)　デューティサイクル＝0%

「**図 32.122　TAUDnCDRm（スレーブ 2）≧ TAUDnCDRm（マスタ）＋1**」での設定は次のようになっています。

- スレーブチャネル 2：
  - 正論理（TAUDnTDL.TAUDnTDLm＝0）
- スレーブチャネル 3：
  - 負論理（TAUDnTDL.TAUDnTDLm＝1）

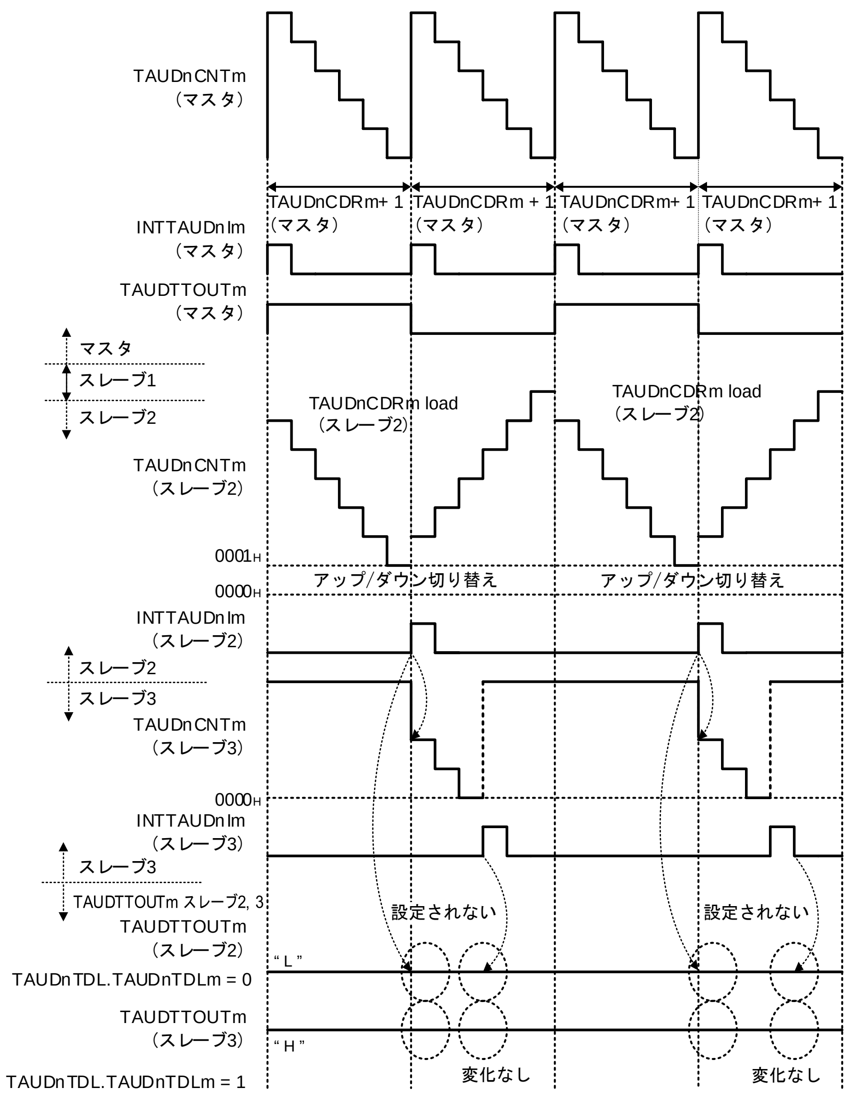


図 32.122 TAUDnCDRm（スレーブ 2）≧ TAUDnCDRm（マスタ）＋1

- TAUDnCDRm（スレーブ 2）値が TAUDnCDRm（マスタ）値以上の場合、スレーブチャネルのカウンタはダウンカウント中、0000_H になりません。したがって TAUDTTOUTm 信号のセット／リセットは行わ

れず、初期状態のままになります。アップカウント中にスレーブチャネル 2 で割り込みが発生するため、この信号はリセット信号になります。

(2) デューティサイクル＝100%

「**図 32.123 TAUDnCDRm（スレーブ）＝0000H**」での設定は次のようになっています。

- スレーブチャネル 2：
  - 正論理（TAUDnTDL.TAUDnTDLm＝0）
- スレーブチャネル 3：
  - 負論理（TAUDnTDL.TAUDnTDLm＝1）

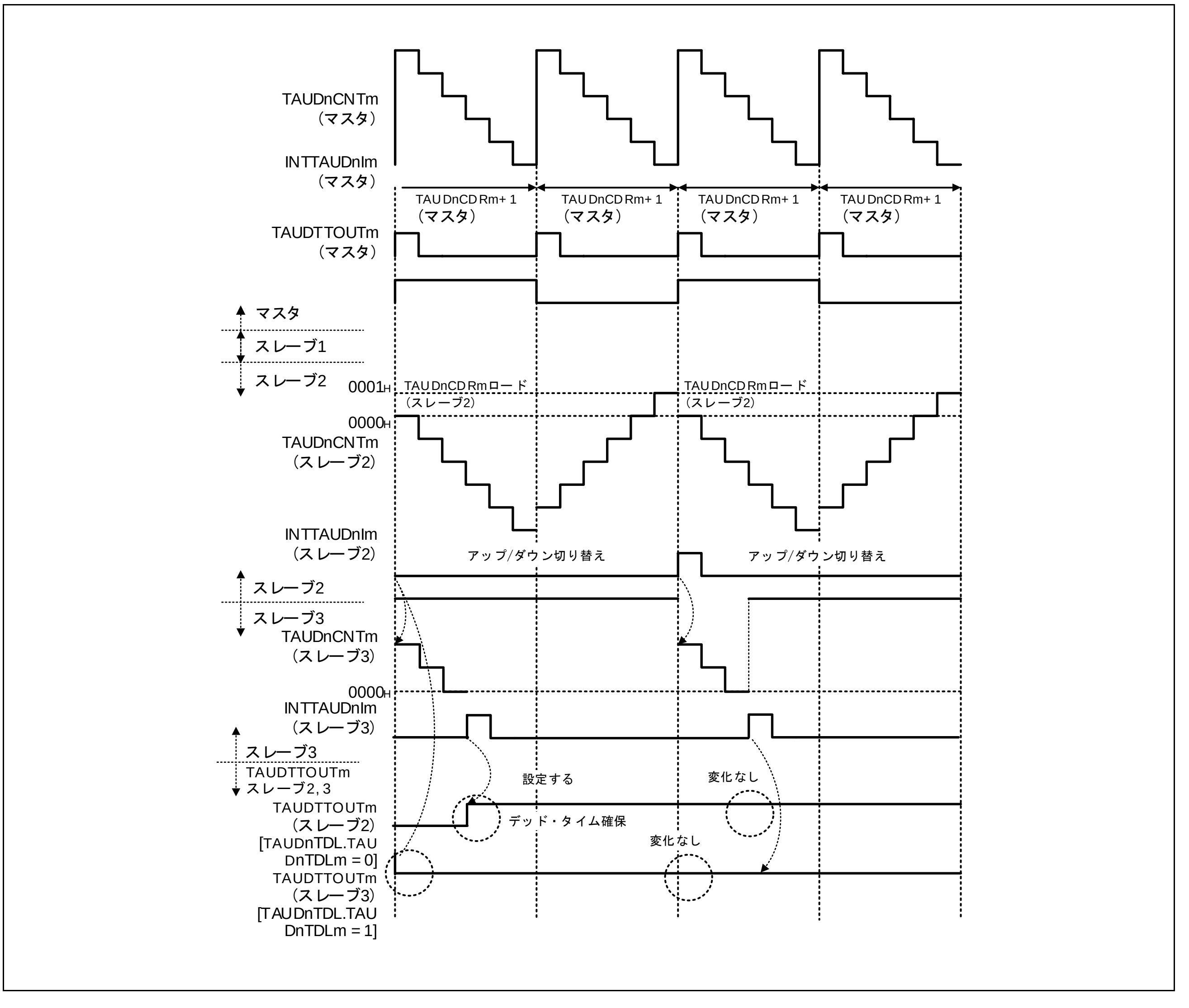


図 32.123 TAUDnCDRm（スレーブ）＝0000_H

- TAUDnCDRm（スレーブ 2）＝0000_H の場合、スレーブチャネルのカウンタはアップカウント中、0001_H になりません。したがって、アップカウント中に INTTAUDnIm は発生しません。
  - TAUDnTDL.TAUDnTDLm が“0”に設定されているチャネルでは、デッドタイム経過後にセット条件が満たされます。このようなチャネルではリセット条件が満たされることがないため、TAUDTTOUTm のセット／リセットが行われても、信号は新しく設定された状態のままになります。

– 上図のスレーブチャネル 3 はカウント開始時にセットされます。ただし、TAUDnTDL.TAUDnTDLm が“1”に設定されているスレーブチャネルでは、リセット条件が満たされることがないため、当該チャネルでは TAUDTTOUTm は初期状態のままになります。

32.15.9　A/D 変換トリガ出力機能タイプ 2

32.15.9.1　概要

概要

この機能は、TAUDTTOUTm が出力されないという点を除き、「**32.15.7 三角波 PWM 出力機能**」と同じです。

スレーブチャネルのチャネル出力モードをソフトウェア制御のチャネル単体出力モードに設定することにより、この機能が有効になります。

32.15.9.2　ブロック図と基本タイミング図

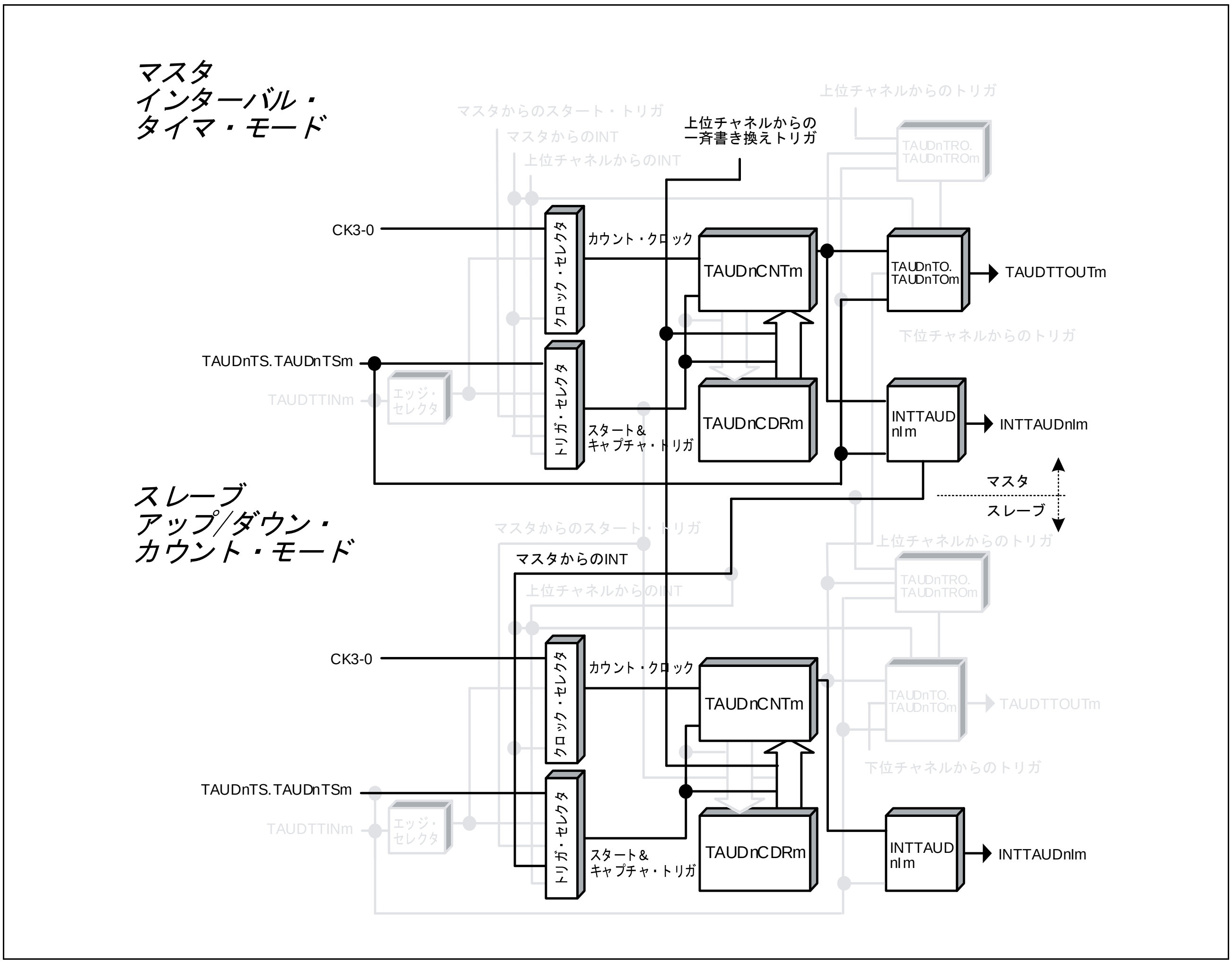


図 32.124 A/D 変換トリガ出力機能タイプ 2 のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャネル
  - 動作開始時に INTTAUDnIm が発生する
    （TAUDnCMORm.TAUDnMD0＝1）

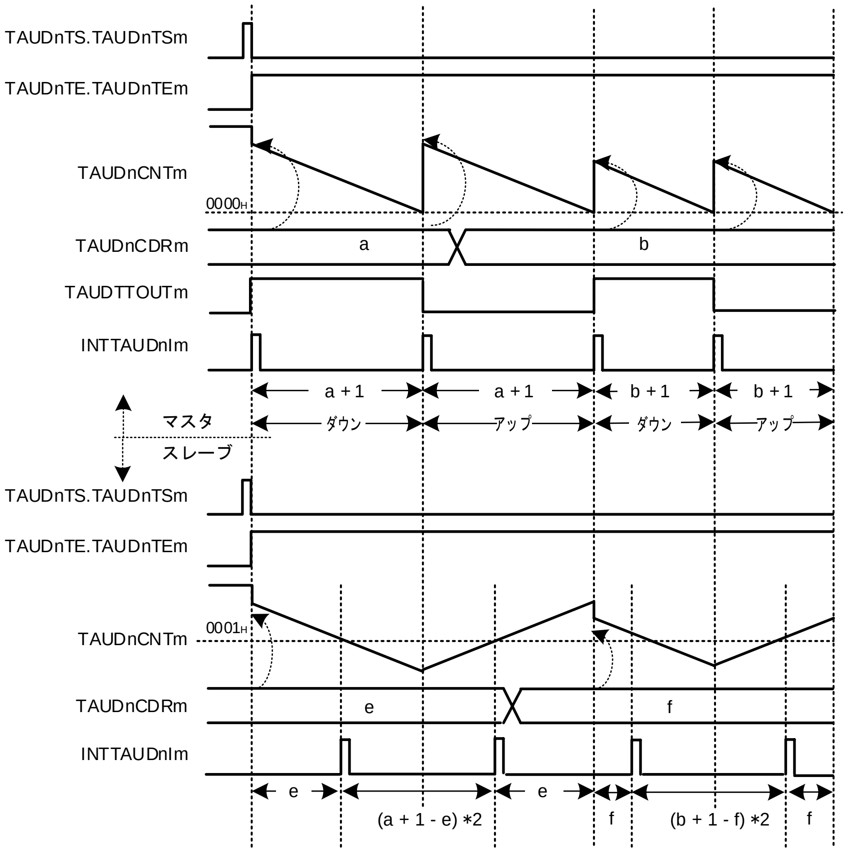


図 32.125 A/D 変換トリガ出力機能タイプ 2 の基本タイミング図

32.15.10 割り込み要求信号間引き機能

32.15.10.1 概要

概要

マスタチャネルの割り込み数を、スレーブチャネルを使って指定した値で割る機能です。

割り込み要求信号間引き機能は、次の機能のサブ機能です。

- PWM 出力機能（「**32.15.1 PWM 出力機能**」参照）
- 三角波 PWM 出力機能（「**32.15.7 三角波 PWM 出力機能**」参照）
- デッドタイム付き三角波 PWM 出力機能（「**32.15.8 デッドタイム付き三角波 PWM 出力機能**」参照）

前提条件

- 2 チャネル
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（「**表 32.218 割り込み要求信号間引き機能のマスタチャネルの TAUDnCMORm レジスタの内容**」参照）。
- スレーブチャネルの動作モードは、イベントカウントモードに設定する必要があります（「**表 32.221 割り込み要求信号間引き機能のスレーブチャネルの TAUDnCMORm レジスタの内容**」参照）。
- この機能では、TAUDTTOUTm を使用しません。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を“1”に設定すると、カウンタ（マスタ／スレーブチャネル両方）の動作が許可されます。これにより TAUDnTE.TAUDnTEm が設定され、カウントが可能になります。マスタチャネルとスレーブチャネルのデータレジスタ（TAUDnCDRm）の現在値がカウンタ（TAUDnCNTm）にロードされます。

- マスタチャネル：
  マスタチャネルのカウンタが 0000_H になると、INTTAUDnIm が発生し、TAUDnCDRm の値が TAUDnCNTm にロードされます。
- スレーブチャネル：
  マスタチャネルで INTTAUDnIm が発生するたびに、スレーブチャネルのカウンタをデクリメントします。カウンタが 0000_H になると、マスタチャネルからの次の割り込みを待ちます。そして TAUDnCDRm の値を TAUDnCNTm（スレーブ）にロードし、INTTAUDnIm が発生します。

この機能では強制リスタートは行えません。マスタ／スレーブチャネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。マスタ／スレーブチャネルの TAUDnCNTm が停止しますが、値は保持します。

条件

この機能では一斉書き換えを行うことができます。「**32.6 一斉書き換え**」を参照してください。

32.15.10.2 算出式

割り込み除算演算子＝TAUDnCDRm（スレーブチャネル）

- TAUDnCDRm（スレーブチャネル）＋1 で定義されたマスタチャネルの INTTAUDnIm 数につき 1 つの INTTAUDnIm が発生します。

32.15.10.3 ブロック図と基本タイミング図

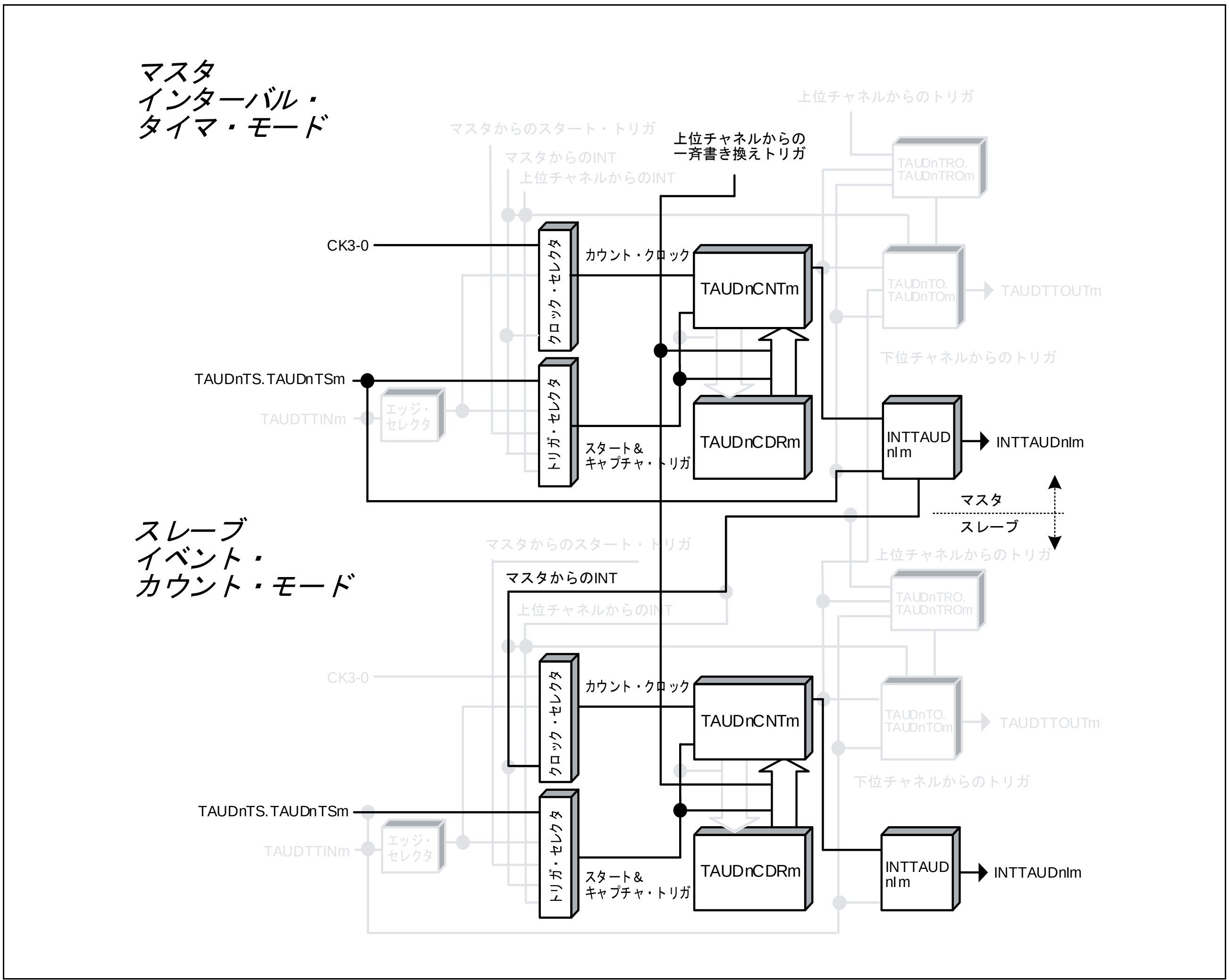


図 32.126 割り込み要求信号間引き機能のブロック図

基本タイミング図での設定は次のようになっています。

マスタチャネル：

- 動作開始時に INTTAUDnIm が発生する（TAUDnCMORm.TAUDnMD0＝1）

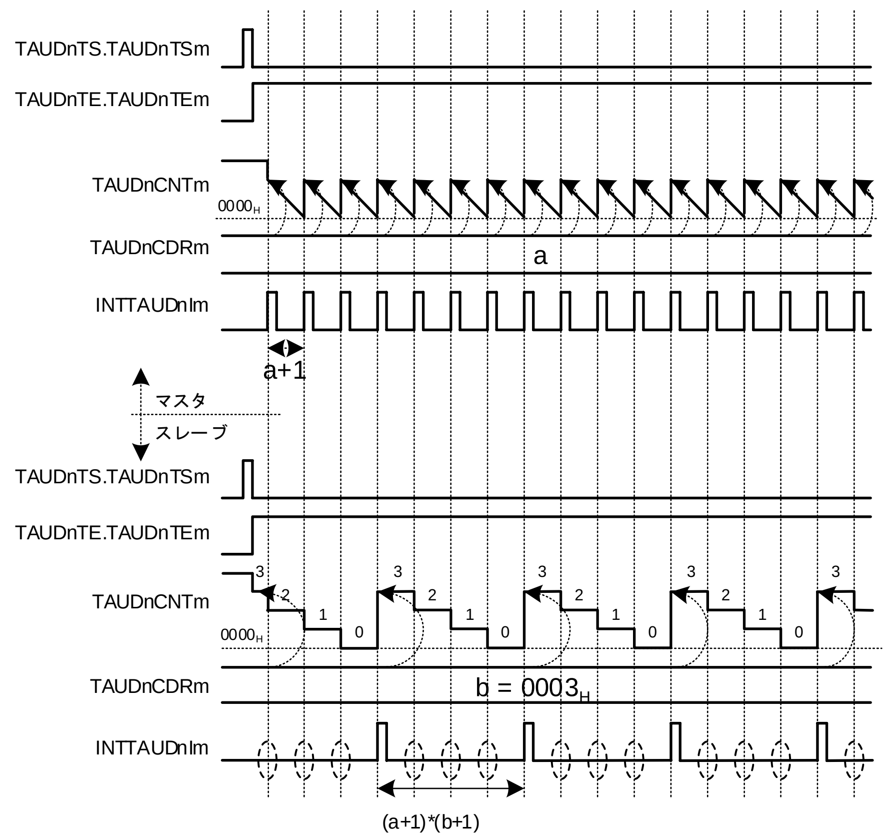


図 32.127 割り込み要求信号間引き機能の基本タイミング図

32.15.10.4 マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.218 割り込み要求信号間引き機能のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10～8	TAUDnSTS[2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない 1：動作開始時に INTTAUDnIm が発生する

(2) マスタチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.219 割り込み要求信号間引き機能のマスタチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) マスタチャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(4) マスタチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 32.220 割り込み要求信号間引き機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルの一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成 1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の［山］のタイミングで発生
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

32.15.10.5 スレーブチャネルのレジスタ設定

(1) スレーブチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.221 割り込み要求信号間引き機能のスレーブチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	11：マスタチャネルの INTTAUDnIm をカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10～8	TAUDnSTS[2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0011：イベントカウントモード
0	TAUDnMD0	0：動作開始時に INTTAUDnIm が発生しない

(2) スレーブチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.222 割り込み要求信号間引き機能のスレーブチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(4) スレーブチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 32.223 割り込み要求信号間引き機能時のスレーブチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルの一斉書き換えトリガを選択 1：チャネルグループ外の上位チャネルの一斉書き換えトリガを選択
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成 1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の［山］のタイミングで発生
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

32.15.10.6 割り込み要求信号間引き機能時の操作手順

表 32.224 割り込み要求信号間引き機能時の操作手順

	操作	TAUDn の状態
チャネルの初期設定	マスタチャネル：TAUDnCMORm/TAUDnCMURm レジスタとチャネル出力モードを「**32.15.10.4 マスタチャネルのレジスタ設定**」に示すように設定します。 スレーブチャネル：TAUDnCMORm/TAUDnCMURm レジスタとチャネル出力モードを「**32.15.10.5 スレーブチャネルのレジスタ設定**」に示すように設定します。 全チャネルの TAUDnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	マスタチャネルとスレーブチャネルの TAUDnTS.TAUDnTSm を同時に“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm（マスタ／スレーブチャネル）が“1”に設定され、マスタ／スレーブチャネルのカウンタが動作を開始します。 マスタチャネルで INTTAUDnIm が発生します。
動作中	TAUDnCDRm は任意のタイミングで変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTm は動作中に変更可能です。	マスタチャネルの TAUDnCNTm は TAUDnCDRm 値をロードし、ダウンカウントを行います。カウンタが 0000_H になった場合： ● INTTAUDnIm（マスタ）が発生します。 ● TAUDnCNTm（マスタ）は TAUDnCDRm 値をロードし、カウント動作を継続します。 ● スレーブチャネルの TAUDnCNTm は、マスタチャネルの INTTAUDnIm が検出されるごとにダウンカウントを行います。 スレーブチャネルの TAUDnCNTm が 0000_H になった場合： ● INTTAUDnIm（スレーブ）が発生します。 ● TAUDnCNTm（スレーブ）は TAUDnCDRm 値をロードし、カウント動作を継続します。
動作停止	マスタチャネルとスレーブチャネルの TAUDnTT.TAUDnTTm を同時に“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm は停止し、現在値を保持します。

動作再開

32.15.10.7 特定の設定時のタイミング図

(1) 割り込み数（マスタ）＝割り込み数（スレーブ）

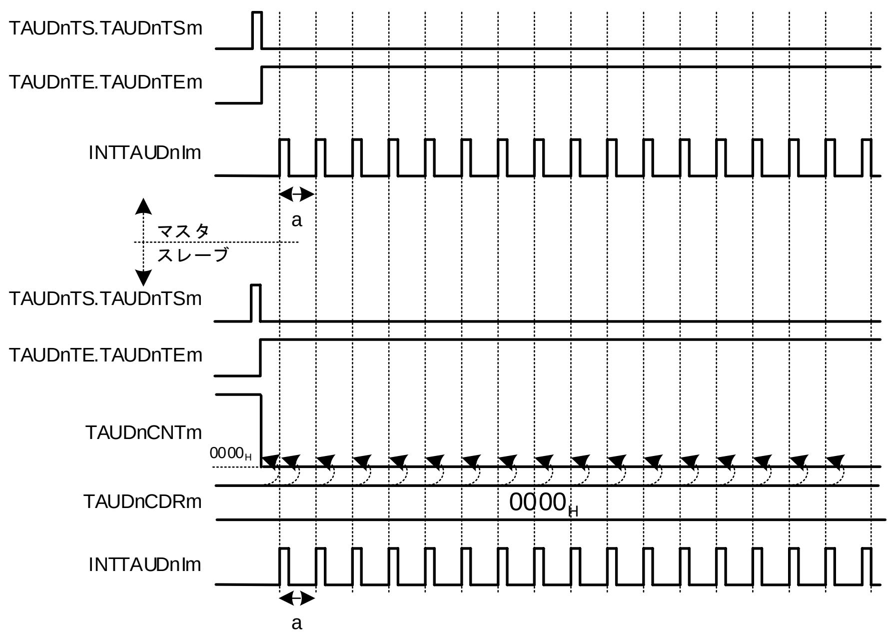


図 32.128 TAUDnCDRm（スレーブ）＝0000_H

- TAUDnCDRm＝0000_H の場合、マスタチャネルの INTTAUDnIm を検出するごとに、スレーブチャネルの TAUDnCDRm の値を TAUDnCNTm にロードします。つまり、TAUDnCNTm は常に 0000_H です。
- したがって、マスタチャネルで割り込みが発生するのと同時に、スレーブチャネルで割り込みが発生することになります。

32.16 連動非相補方式変調出力機能と連動相補方式変調出力機能

この節では、マスタチャネルと 7 個のスレーブチャネルを使用することで、6 相の PWM 出力または三角波 PWM 出力を生成する機能について説明します。

32.16.1　非相補方式変調出力機能タイプ 1

32.16.1.1　概要

概要

この機能では、2 つで 1 組のスレーブチャネルのリアルタイム出力ビット（TAUDnTRO.TAUDnTROm）と変調出力許可ビット（TAUDnTME.TAUDnTMEm）の値に応じて、TAUDTTOUTm から PWM 信号、ハイレベル信号、またはロウレベル信号を出力します。通常は 3 組のチャネルが使用されます。

前提条件

- マスタチャネル×1、スレーブチャネル×7
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（「**表 32.226 非相補方式変調出力機能タイプ 1 のマスタチャネルの TAUDnCMORm レジスタの内容**」参照）。
- スレーブチャネル 1～7 の動作モードは、ワンカウントモードに設定する必要があります（「**表 32.229 非相補方式変調出力機能タイプ 1 のスレーブチャネル 1 の TAUDnCMORm レジスタの内容**」、「**表 32.232 非相補方式変調出力機能タイプ 1 のスレーブチャネル 2～7 の TAUDnCMORm レジスタの内容**」参照）。
- この機能では、マスタチャネルで TAUDTTOUTm は使用しません。
- この機能ではスレーブチャネル 1 の TAUDTTOUTm は使用しませんが、TAUDnTRC.TAUDnTRCm は“1”に設定する必要があります（「**32.7 チャネル出力モード**」参照）。
- スレーブチャネル 2～7 のチャネル出力モードは、非相補方式変調出力を行うチャネル連動出力モード 1 に設定する必要があります（「**32.7 チャネル出力モード**」参照）。
- スレーブチャネル 1 の TAUDnCDRm は、0000_H に設定する必要があります。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を“1”に設定すると、マスタ／スレーブチャネルのカウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm＝1 となり、カウントが可能になります。データレジスタ（TAUDnCDRm）の値がカウンタ（TAUDnCNTm）にロードされ、カウンタはダウンカウントを開始します。カウンタが 0000_H になると、INTTAUDnIm が発生します。

- スレーブチャネル 1：
  スレーブチャネル 1 がリアルタイム出力のトリガチャネルとして設定されているため（TAUDnTRC.TAUDnTRCm＝1）、スレーブチャネル 1（TAUDnCDRm は 0000_H 固定）で割り込みが発生すると、当該チャネルの割り込み発生をモニタしているチャネルのリアルタイム出力ビット（TAUDnTRO.TAUDnTROm）値がそれぞれの TAUDTTOUTm 出力に反映されます。割り込み発生後、カウンタは $FFFF_H$ に戻り、マスタチャネルの次の割り込みを待ちます。
- スレーブチャネル 2：
  スレーブチャネル 2 は PWM 出力を生成します。PWM 出力周期はマスタチャネルで指定し、デューティサイクルはスレーブチャネル 2 で指定します。割り込み発生後、カウンタは $FFFF_H$ に戻り、マスタチャネルの次の割り込みを待ちます。

スレーブチャネル 3～7 はスレーブチャネル 2 と同じように動作します。

「**表 32.225 非相補方式変調出力機能タイプ 1 時のスレーブチャネルの TAUDTTOUTm 出力（TAUDnTOL.TAUDnTOLm＝0）**」にあるように、TAUDTTOUTm から出力される信号は、スレーブチャネルのリアルタイム出力ビット（TAUDnTRO.TAUDnTROm）と変調出力ビット（TAUDnTME.TAUDnTMEm）の値によって決まります。

この機能では強制リスタートは行えません。マスタ／スレーブチャネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。マスタ／スレーブチャネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSm を“1”に設定すると、カウントを再開できます。

条件

- スレーブチャネル 2～7 で TAUDnTME.TAUDnTMEm＝0 が設定されている場合（TAUDnTOL.TAUDnTOLm＝0）：
  - チャネルの TAUDnTRO.TAUDnTROm が“1”の場合、TAUDTTOUTm はハイレベル信号を出力します。
  - チャネルの TAUDnTRO.TAUDnTROm が“0”の場合、TAUDTTOUTm はロウレベル信号を出力します。
- スレーブチャネル 2～7 で TAUDnTME.TAUDnTMEm＝1 が設定されている場合（TAUDnTOL.TAUDnTOLm＝0）：
  - チャネルの TAUDnTRO.TAUDnTROm が“1”の場合、TAUDTTOUTm はそのチャネルの対応する PWM（正論理）を出力します。
  - チャネルの TAUDnTRO.TAUDnTROm が“0”の場合、TAUDTTOUTm はロウレベル信号を出力します。
- TAUDnTOL.TAUDnTOLm が“1”の場合、TAUDTTOUTm から出力されるハイレベル信号とロウレベル信号は反転します。PWM 信号は負論理となります。TAUDnTOL.TAUDnTOLm は初期設定のみ可能です（動作中は変更できません）。

表 32.225 非相補方式変調出力機能タイプ 1 時のスレーブチャネルの TAUDTTOUTm 出力（TAUDnTOL.TAUDnTOLm＝0）

TAUDnTME.TAUDnTMEm	TAUDnTRO.TAUDnTROm	TAUDTTOUTm 出力
0	0	ロウレベル
	1	ハイレベル
1	0	ロウレベル
	1	PWM（正論理）

- この機能では一斉書き換えを行うことができます。「**32.6 一斉書き換え**」を参照してください。
- スレーブチャネル 1 の TAUDnCDRm 値は、スレーブチャネル 2～7 で PWM が生成されるのと同時にリアルタイム出力がトリガされるよう、0000_H に設定する必要があります。
- スレーブチャネル 2～7 で TAUDnTOL.TAUDnTOLm＝0 が設定されている場合、TAUDnTE.TAUDnTEm＝0 に設定する前に TAUDnTO.TAUDnTOm を“0”（ロウレベル）に設定します。
- スレーブチャネル 2～7 で TAUDnTOL.TAUDnTOLm＝1 が設定されている場合、TAUDnTE.TAUDnTEm＝0 に設定する前に TAUDnTO.TAUDnTOm を“1”（ハイレベル）に設定します。

32.16.1.2　算出式

スレーブチャネル 2～7：

パルス周期＝［TAUDnCDRm（マスタ）＋1］×カウントクロック周期

デューティ時間＝［TAUDnCDRm（スレーブ）］×カウントクロック周期

32.16.1.3　ブロック図と基本タイミング図

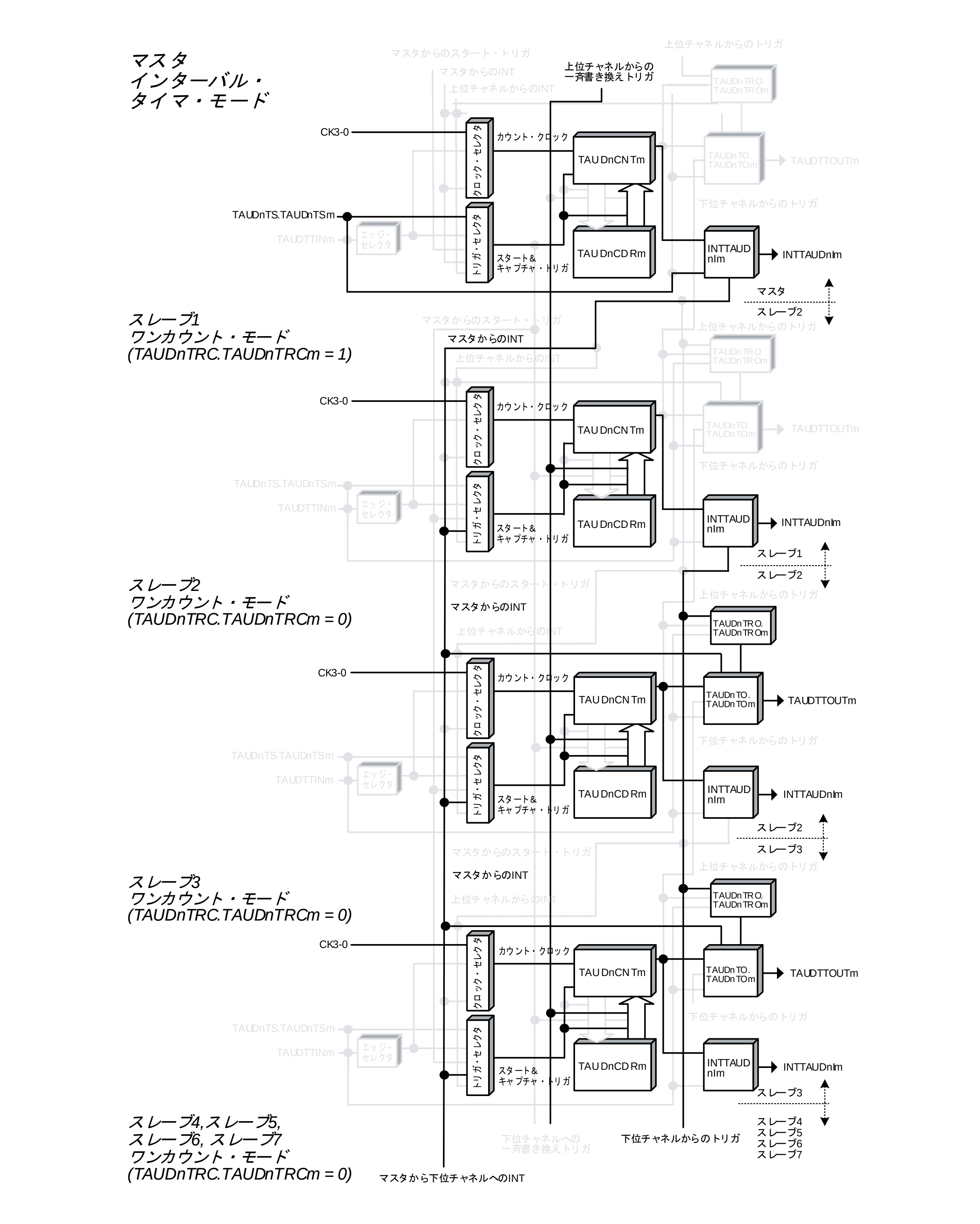


図 32.129 非相補方式変調出力機能タイプ 1 のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブチャネル 2～7：正論理（TAUDnTOL.TAUDnTOLm＝0）

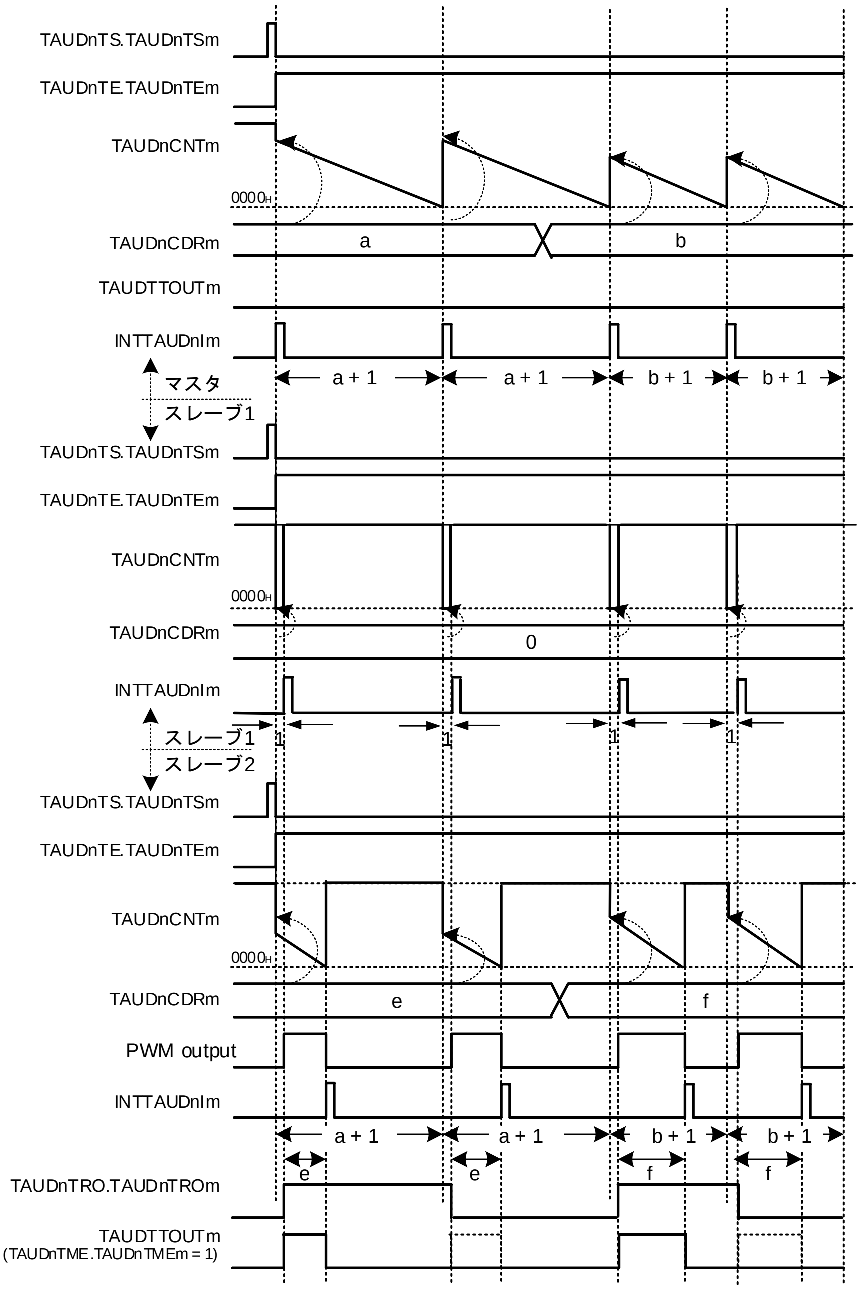


図 32.130 非相補方式変調出力機能タイプ 1 の基本タイミング図

備　考

スレーブチャネル 2 の TAUDTTOUTm は、マスタチャネルの INTTAUDnIm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

32.16.1.4　マスタチャネルのレジスタ設定

(1)　マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.226 非相補方式変調出力機能タイプ 1 のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10～8	TAUDnSTS[2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0000：インターバルタイマモード
0	TAUDnMD0	1：動作開始または再開時に INTTAUDnIm が発生する

(2)　マスタチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.227 非相補方式変調出力機能タイプ 1 のマスタチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) マスタチャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。

(4) マスタチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 32.228 非相補方式変調出力機能タイプ 1 時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルで一斉書き換えトリガをモニタ 1：チャネルグループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。TAUDnRDS.TAUDnRDSm＝0 のとき、このビットの値にかかわらず、マスタチャネルで一斉書き換えトリガをモニタ。

備　考

TAUDnRDS.TAUDnRDSm ビット＝1 で使用する場合、マスタチャネルの上位に「**32.14.1 一斉書き換えトリガ生成機能タイプ 1**」で動作するチャネルが必要になります。

また、下記条件にて動作設定をお願いします。

- 一斉書き換えトリガ出力機能タイプ 1 設定チャネル：TAUDnRDCm＝1、TAUDnRDSm＝1 また、本チャネルの TAUDnCDRm 設定値は下記となります。
  ＝（（一斉書き換え対象のマスタチャネルの TAUDnCDRm 設定値＋1）×割り込み回数）－1
- マスタチャネル：TAUDnRDCm＝0、TAUDnRDSm＝1
- スレーブチャネル：TAUDnRDCm＝0、TAUDnRDSm＝1

32.16.1.5　スレーブチャネル 1 のレジスタ設定

(1) スレーブチャネル 1 の TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.229 非相補方式変調出力機能タイプ 1 のスレーブチャネル 1 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10～8	TAUDnSTS[2:0]	100：マスタチャネルの INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：動作中のスタートトリガが有効

(2) スレーブチャネル 1 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.230 非相補方式変調出力機能タイプ 1 のスレーブチャネル 1 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャネル 1 のチャネル出力モード

この機能では、スレーブチャネル 1 ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

注　意

スレーブチャネル 1 をリアルタイム出力のトリガチャネルとして使用するため、TAUDnTRC.TAUDnTRCm を“1”に設定する必要があります。

(4) スレーブチャネル 1 の一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 32.231 非相補方式変調出力機能タイプ 1 時のスレーブチャネル 1 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルで一斉書き換えトリガをモニタ 1：チャネルグループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。TAUDnRDS.TAUDnRDSm＝0 のとき、このビットの値にかかわらず、マスタチャネルで一斉書き換えトリガをモニタ。

32.16.1.6 スレーブチャネル 2～7 のレジスタ設定

(1) スレーブチャネル 2～7 の TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.232 非相補方式変調出力機能タイプ 1 のスレーブチャネル 2～7 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10～8	TAUDnSTS[2:0]	100：マスタチャネルの INTTAUDnIm がスタートトリガ
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：動作中のスタートトリガが有効

(2) スレーブチャネル 2～7 の TAUDnCMUR

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.233 非相補方式変調出力機能タイプ 1 のスレーブチャネル 2～7 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャネル 2～7 のチャネル出力モード

表 32.234 非相補方式変調出力を行うチャネル連動出力モード 1 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1：チャネル連動出力
TAUDnTOC.TAUDnTOCm	0：動作モード 1
TAUDnTOL.TAUDnTOLm	0：正論理 1：負論理
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm＝0）、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	1：リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0：リアルタイム出力はロウレベル 1：リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0：上位チャネルはチャネル m 用のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEm	0：変調禁止 1：変調許可

(4) スレーブチャネル 2～7 の一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 32.235 非相補方式変調出力機能タイプ 1 時のスレーブチャネル 2～7 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルで一斉書き換えトリガをモニタ 1：チャネルグループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。TAUDnRDS.TAUDnRDSm＝0 のとき、このビットの値にかかわらず、マスタチャネルで一斉書き換えトリガをモニタ。

32.16.1.7 非相補方式変調出力機能タイプ 1 時の操作手順

表 32.236 非相補方式変調出力機能タイプ 1 時の操作手順

	操作	TAUDn の状態
チャネルの初期設定	マスタチャネル：TAUDnCMORm/TAUDnCMURm レジスタとチャネル出力モードを「**32.16.1.4 マスタチャネルのレジスタ設定**」に示すように設定します。 スレーブチャネル 1：TAUDnCMORm/TAUDnCMURm レジスタとチャネル出力モードを「**32.16.1.5 スレーブチャネル 1 のレジスタ設定**」に示すように設定します。 スレーブチャネル 2～7：TAUDnCMORm/TAUDnCMURm レジスタとチャネル出力モードを「**32.16.1.6 スレーブチャネル 2～7 のレジスタ設定**」に示すように設定します。 全チャネルの TAUDnCDRm レジスタの値を設定します。マスタチャネルの TAUDnCDRm にパルス周期、スレーブチャネル 1 の TAUDnCDRm に 0000_H、スレーブチャネル 2～7 の TAUDnCDRm にデューティ幅を設定します。 スレーブチャネル 1 に TAUDnTRC.TAUDnTRCm＝1 を設定します。	チャネル動作を停止しています。

表 32.236 非相補方式変調出力機能タイプ 1 時の操作手順

	操作	TAUDn の状態
動作開始	マスタチャネルとスレーブチャネルの TAUDnTS.TAUDnTSm を同時に“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	マスタ／スレーブチャネルの TAUDnTE.TAUDnTEm が“1”に設定され、カウンタがダウンカウントを開始します。
動作中	TAUDnCDRm、TAUDnTRO.TAUDnTROm、TAUDnTME.TAUDnTMEm は任意のタイミングで変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTm は動作中に変更可能です。	マスタチャネル、スレーブチャネル 1、スレーブチャネル 2~7 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。マスタチャネルのカウンタが 0000_H になった場合： ● INTTAUDnIm が発生します。 ● 再びマスタチャネルの TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを継続します。 ● スレーブチャネル 2~7 の PWM 出力信号がセットされます。 ● 再びスレーブチャネル 1 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。 ● 再びスレーブチャネル 2~7 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。 ● スレーブチャネル 1 のカウンタが 0000_H になった場合： 　– INTTAUDnIm が発生します。 　– スレーブチャネル 2~7 の TAUDnTRO.TAUDnTROm の値が、TAUDTTOUTm 出力に反映されます。 ● スレーブチャネル 2~7 のカウンタが 0000_H になった場合： 　– INTTAUDnIm が発生します。 　– スレーブチャネル 2~7 の PWM 出力信号がセットされます。 スレーブチャネル 2~7 の TAUDTTOUTm は、2 つで 1 組のスレーブチャネルのリアルタイム出力ビット（TAUDnTRO.TAUDnTROm）と変調出力ビット（TAUDnTME.TAUDnTMEm）の値に応じて、PWM 信号、ハイレベル信号、またはロウレベル信号を出力します。
動作停止	マスタチャネルとスレーブチャネルの TAUDnTT.TAUDnTTm を同時に“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

動作再開

32.16.1.8　特定の設定時のタイミング図

特定の設定時のタイミング図での設定は次のようになっています。

- スレーブチャネル 2～7：正論理（TAUDnTOL.TAUDnTOLm＝0）

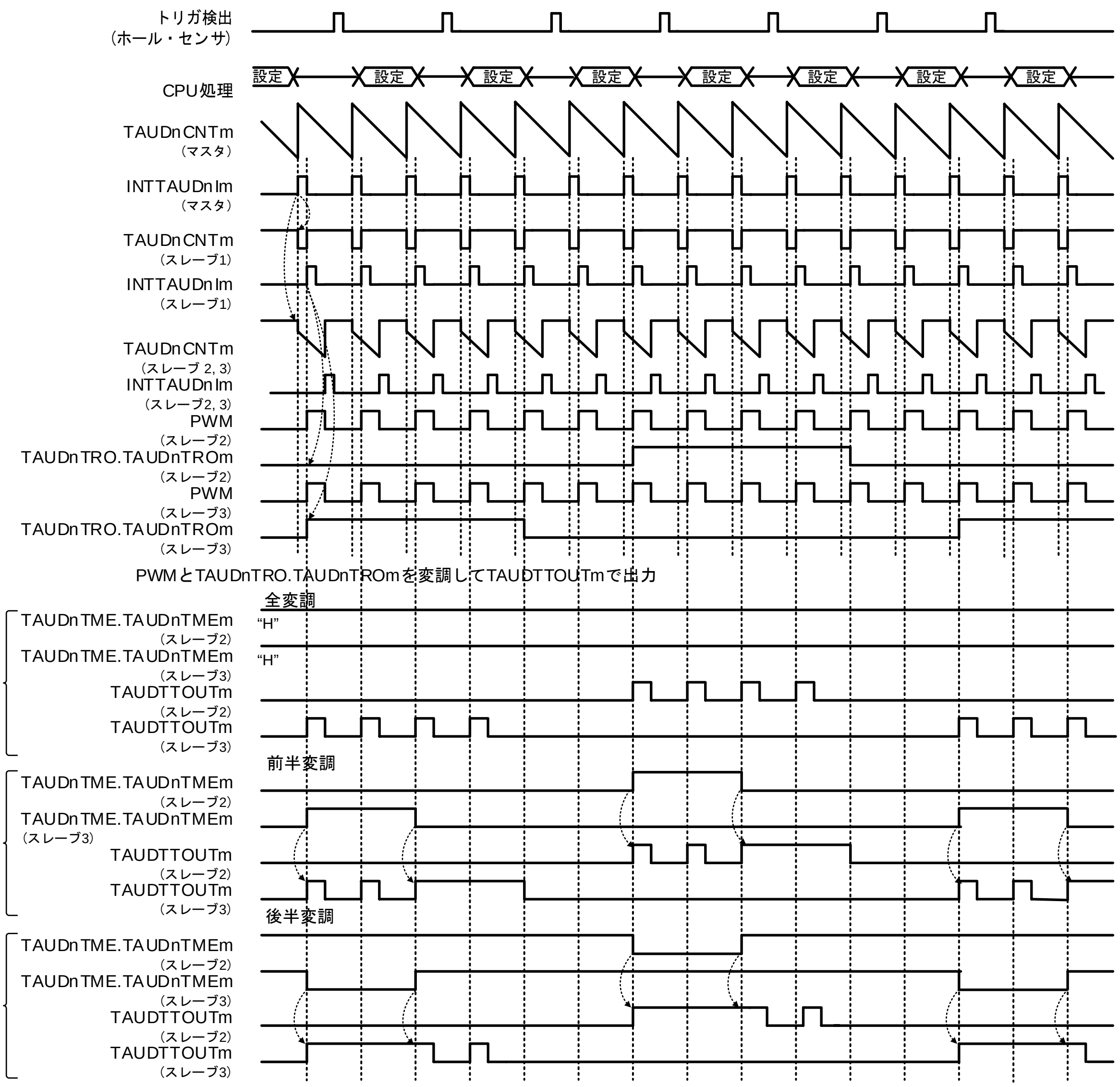


図 32.131 非相補方式変調出力機能タイプ 1 の特定設定時のタイミング図

上のタイミング図では、動作中、下位スレーブチャネルの TAUDnTME.TAUDnTMEm ビットを変更することにより、どのように全変調、前半変調、後半変調を行うのかが示されています。

「設定」とあるところは、TAUDnCDRm、TAUDnTME.TAUDnTMEm、TAUDnTRO.TAUDnTROm の値を変更できる期間を示しています。

TAUDnTME.TAUDnTMEm は、カウント開始タイミングとマスタチャネルの周期検出で設定値が反映されます。変更された設定値に従い、TAUDTTOUTm より変調波形を出力します。

TAUDnTRO.TAUDnTROm ビット値はソフトウェアで設定しますが、新しく設定された値はスレーブチャネル 1 で割り込みが発生しないと適用されません。

32.16.2　非相補方式変調出力機能タイプ 2

32.16.2.1　概要

概要

この機能では、2 つで 1 組のスレーブチャネルのリアルタイム出力ビット（TAUDnTRO.TAUDnTROm）と変調出力許可ビット（TAUDnTME.TAUDnTMEm）の値に応じて、TAUDTTOUTm から三角波 PWM 出力信号、ハイレベル信号、またはロウレベル信号を出力します。通常は 3 組のチャネルが使用されます。

前提条件

- マスタチャネル×1、スレーブチャネル×7
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（「**表 32.238 非相補方式変調出力機能タイプ 2 のマスタチャネルの TAUDnCMORm レジスタの内容**」参照）。
- スレーブチャネル 1 の動作モードは、イベントカウントモードに設定する必要があります（「**表 32.242 非相補方式変調出力機能タイプ 2 のスレーブチャネル 1 の TAUDnCMORm レジスタの内容**」参照）。
- スレーブチャネル 2～7 の動作モードは、アップ／ダウンカウントモードに設定する必要があります（「**表 32.245 非相補方式変調出力機能タイプ 2 のスレーブチャネル 2～7 の TAUDnCMORm レジスタの内容**」参照）。
- マスタチャネルの出力モードは、チャネル単体出力モード 1 に設定する必要があります（「**32.7 チャネル出力モード**」参照）。
- この機能ではスレーブチャネル 1 の TAUDTTOUTm は使用しませんが、TAUDnTRC.TAUDnTRCm は“1”に設定する必要があります（「**32.7 チャネル出力モード**」参照）。
- スレーブチャネル 2～7 のチャネル出力モードは、非相補方式変調出力を行うチャネル連動出力モード 2 に設定する必要があります（「**32.7 チャネル出力モード**」参照）。

機能説明

チャネルトリガビット（TAUDnTS.TAUDnTSm）を“1”に設定すると、マスタ／スレーブチャネルのカウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm＝1 となり、カウントが可能になります。データレジスタ（TAUDnCDRm）の値がカウンタ（TAUDnCNTm）にロードされます。

- マスタチャネル：
  マスタチャネルのカウンタがダウンカウントを開始します。カウンタが 0000_H になると、INTTAUDnIm が発生します。
- スレーブチャネル 1：
  スレーブチャネル 1 がマスタチャネルからの割り込みを検出すると、TAUDnCNTm 値はデクリメントされます。マスタチャネルからの割り込みが TAUDnCDRm＋1 検出されると、INTTAUDnIm が発生します。その後、TAUDnCDRm 値を TAUDnCNTm にロードし、以降、動作を継続します。
  スレーブチャネル 1 がリアルタイム出力のトリガチャネルとして設定されているため（TAUDnTRC.TAUDnTRCm＝1）、スレーブチャネル 1 で割り込みが発生すると、当該チャネルの割り込み発生をモニタしているチャネルのリアルタイム出力ビット（TAUDnTRO.TAUDnTROm）値がそれぞれの TAUDTTOUTm 出力に反映されます。
- スレーブチャネル 2：
  マスタチャネルからの割り込みを検出すると、TAUDnCNTm は逆方向にカウントを行います。アップカウント中に割り込みを検出すると、再び TAUDnCDRm の値をロードしてからダウンカウントを開始します。
  TAUDnCNTm＝0001_H の場合、割り込みが発生し、PWM 出力信号がセット／リセットされます。

マスタチャネルとスレーブチャネル 2 を組み合わせて使用することで、PWM 出力信号を生成します。マスタチャネルは PWM 出力周期を生成し、スレーブチャネル 2 はデューティサイクルを生成します。

スレーブチャネル 3〜7 はスレーブチャネル 2 と同じように動作します。

「**表 32.237 非相補方式変調出力機能タイプ 2 時のスレーブチャネルの TAUDTTOUTm 出力（TAUDnTOL.TAUDnTOLm＝0）**」にあるように、TAUDTTOUTm から出力される信号は、スレーブチャネルのリアルタイム出力ビット（TAUDnTRO.TAUDnTROm）と変調出力ビット（TAUDnTME.TAUDnTMEm）の値によって決まります。

この機能では強制リスタートは行えません。マスタ／スレーブチャネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。マスタ／スレーブチャネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSm を“1”に設定すると、カウントを再開できます。

条件

- スレーブチャネル 2～7 で TAUDnTME.TAUDnTMEm＝0 が設定されている場合（TAUDnTOL.TAUDnTOLm＝0）：
  - チャネルの TAUDnTRO.TAUDnTROm が“1”の場合、TAUDTTOUTm はハイレベル信号を出力します。
  - チャネルの TAUDnTRO.TAUDnTROm が“0”の場合、TAUDTTOUTm はロウレベル信号を出力します。
- スレーブチャネル 2～7 で TAUDnTME.TAUDnTMEm＝1 が設定されている場合（TAUDnTOL.TAUDnTOLm＝0）：
  - チャネルの TAUDnTRO.TAUDnTROm が“1”の場合、TAUDTTOUTm はそのチャネルの対応する PWM（正論理）を出力します。
  - チャネルの TAUDnTRO.TAUDnTROm が“0”の場合、TAUDTTOUTm はロウレベル信号を出力します。
- TAUDnTOL.TAUDnTOLm が“1”の場合、TAUDTTOUTm から出力されるハイレベル信号とロウレベル信号は反転します。PWM 信号は負論理となります。TAUDnTOL.TAUDnTOLm は初期設定のみ可能です（動作中は変更できません）。

表 32.237 非相補方式変調出力機能タイプ 2 時のスレーブチャネルの TAUDTTOUTm 出力（TAUDnTOL.TAUDnTOLm＝0）

TAUDnTME.TAUDnTMEm	TAUDnTRO.TAUDnTROm	TAUDTTOUTm 出力
0	0	ロウレベル
	1	ハイレベル
1	0	ロウレベル
	1	PWM（正論理）

- この機能では一斉書き換えを行うことができます。「**32.6 一斉書き換え**」を参照してください。
- スレーブチャネル 2～7 で TAUDnTOL.TAUDnTOLm＝0 が設定されている場合、TAUDnTE.TAUDnTEm＝0 に設定する前に TAUDnTO.TAUDnTOm を“0”（ロウレベル）に設定します。
- スレーブチャネル 2～7 で TAUDnTOL.TAUDnTOLm＝1 が設定されている場合、TAUDnTE.TAUDnTEm＝0 に設定する前に TAUDnTO.TAUDnTOm を“1”（ハイレベル）に設定します。

32.16.2.2　算出式

スレーブチャネル 2～7：

キャリア周期（ダウン／アップ）
＝［TAUDnCDRm（マスタ）＋1］×2×カウントクロック周期

デューティ時間
＝［TAUDnCDRm（マスタ）＋1－TAUDnCDRm（スレーブ）］×2×カウントクロック周期

32.16.2.3 ブロック図と基本タイミング図

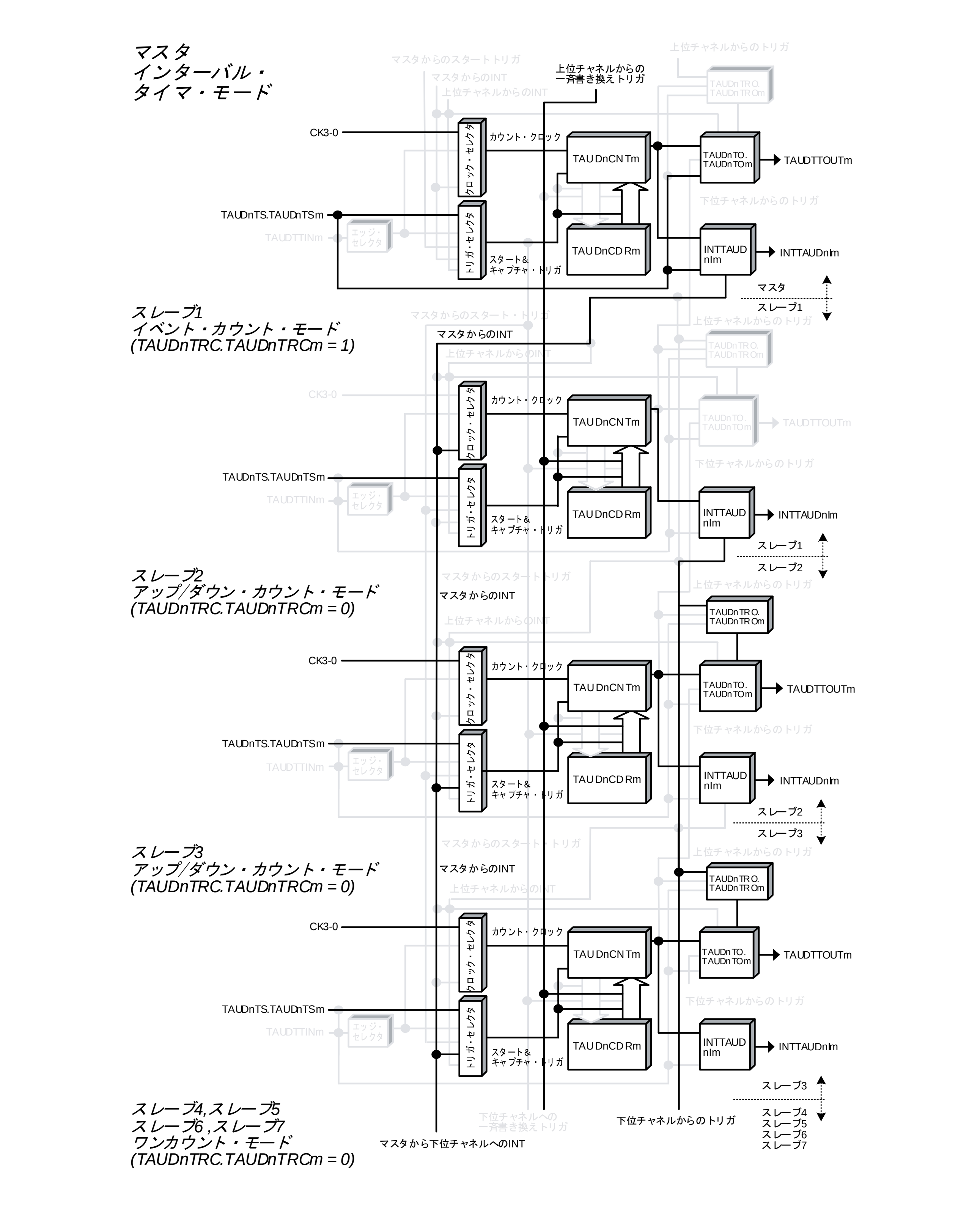


図 32.132 非相補方式変調出力機能タイプ 2 のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャネル：動作開始時に INTTAUDnIm が発生しない（TAUDnCMORm.TAUDnMD0＝0）
- スレーブチャネル 2～7：正論理（TAUDnTOL.TAUDnTOLm＝0）

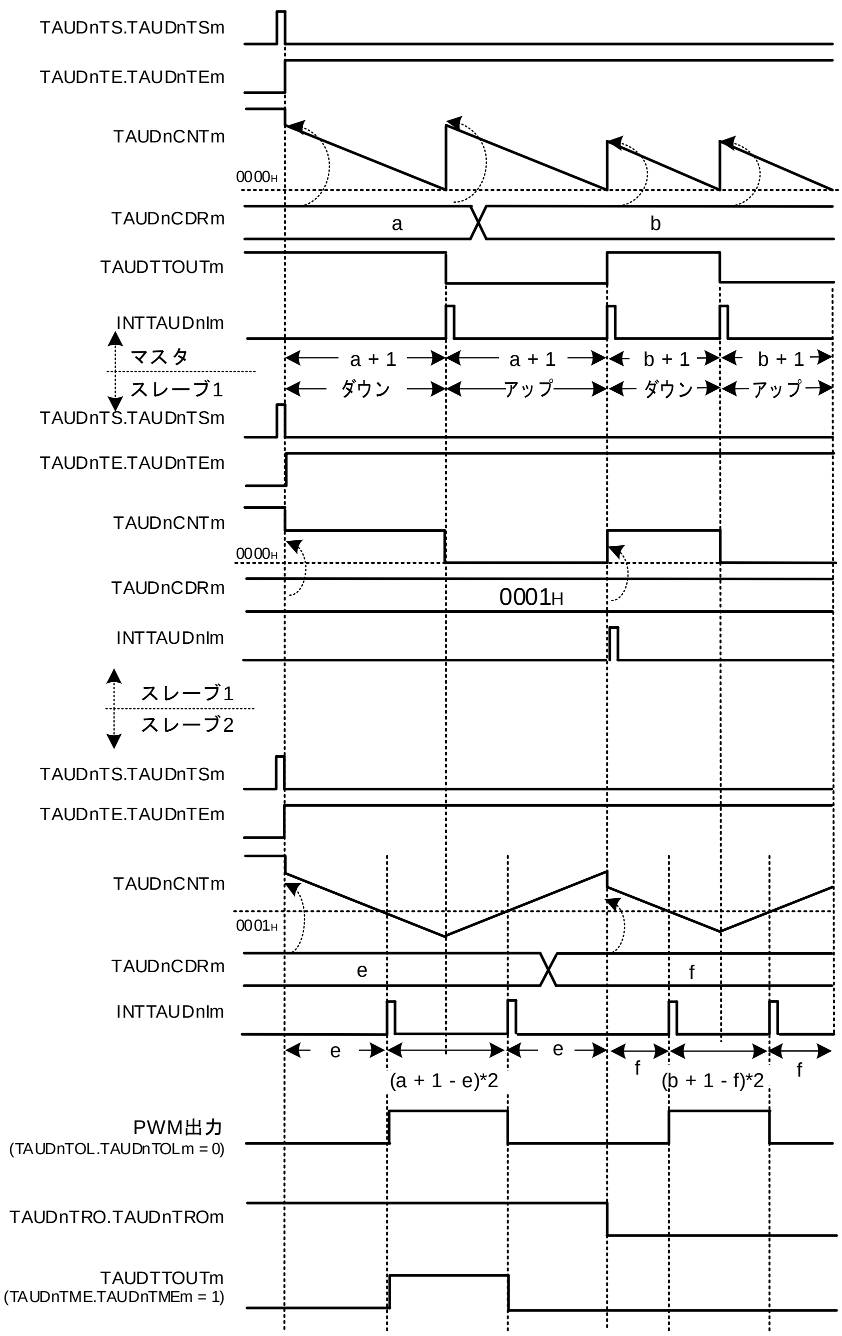


図 32.133 非相補方式変調出力機能タイプ 2 の基本タイミング図

32.16.2.4　マスタチャネルのレジスタ設定

(1)　マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.238 非相補方式変調出力機能タイプ 2 のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10～8	TAUDnSTS[2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始または再開時に INTTAUDnIm が発生しない 1：動作開始または再開時に INTTAUDnIm が発生する

(2)　マスタチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.239 非相補方式変調出力機能タイプ 2 のマスタチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) マスタチャネルのチャネル出力モード

表 32.240 非相補方式変調出力機能タイプ 2 時のマスタチャネルの制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0：チャネル単体出力
TAUDnTOC.TAUDnTOCm	0：動作モード 1（TAUDnTOM.TAUDnTOMm＝0 時はトグルモード）
TAUDnTOL.TAUDnTOLm	0：トグルモード時は、設定無効（リセット後の値）となります。
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm＝0）、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm＝0）、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEm	0：変調禁止

(4) マスタチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 32.241 非相補方式変調出力機能タイプ 2 時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルで一斉書き換えトリガをモニタ 1：チャネルグループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の［山］のタイミングで発生
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。

備　考

TAUDnRDS.TAUDnRDSm＝1 の場合、マスタチャネルより上位チャネルに一斉書き換えトリガ信号を生成するチャネルが必要です。

32.16.2.5　スレーブチャネル 1 のレジスタ設定

(1)　スレーブチャネル 1 の TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.242 非相補方式変調出力機能タイプ 2 のスレーブチャネル 1 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	11：マスタチャネルの INTTAUDnIm をカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10～8	TAUDnSTS[2:0]	000：ソフトウェアでカウンタをトリガ 011：一斉書き換えトリガ
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0011：イベントカウントモード
0	TAUDnMD0	0：動作開始または再開時に INTTAUDnIm が発生しない

(2)　スレーブチャネル 1 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.243 非相補方式変調出力機能タイプ 2 のスレーブチャネル 1 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) チャネル出力モード

この機能では、スレーブチャネル 1 ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

注　意

スレーブチャネル 1 をリアルタイム出力のトリガチャネルとして使用するため、TAUDnTRC.TAUDnTRCm を“1”に設定する必要があります。

(4) スレーブチャネル 1 の一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 32.244 非相補方式変調出力機能タイプ 2 時のスレーブチャネル 1 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルで一斉書き換えトリガをモニタ 1：チャネルグループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の［山］のタイミングで発生
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。TAUDnRDS.TAUDnRDSm＝0 のとき、このビットの値にかかわらず、マスタチャネルで一斉書き換えトリガをモニタ。

32.16.2.6　スレーブチャネル 2～7 のレジスタ設定

(1)　スレーブチャネル 2～7 の TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.245 非相補方式変調出力機能タイプ 2 のスレーブチャネル 2～7 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10～8	TAUDnSTS[2:0]	111：マスタチャネルのアップ／ダウン出力トリガ信号
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	1001：アップ／ダウンカウントモード
0	TAUDnMD0	0：動作開始または再開時に INTTAUDnIm が発生しない

(2)　スレーブチャネル 2～7 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.246 非相補方式変調出力機能タイプ 2 のスレーブチャネル 2～7 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャネル 2～7 のチャネル出力モード

表 32.247 非相補方式変調出力を行うチャネル連動出力モード 2 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1：チャネル連動出力
TAUDnTOC.TAUDnTOCm	1：動作モード 2
TAUDnTOL.TAUDnTOLm	0：正論理 1：負論理
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm＝0）、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	1：リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0：リアルタイム出力はロウレベル 1：リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0：上位チャネルはチャネル m 用のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEm	0：変調禁止 1：変調許可

(4) スレーブチャネル 2～7 の一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 32.248 非相補方式変調出力機能タイプ 2 時のスレーブチャネル 2～7 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルで一斉書き換えトリガをモニタ 1：チャネルグループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の［山］のタイミングで発生
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。TAUDnRDS.TAUDnRDSm＝0 のとき、このビットの値にかかわらず、マスタチャネルで一斉書き換えトリガをモニタ。

32.16.2.7 非相補方式変調出力機能タイプ 2 時の操作手順

表 32.249 非相補方式変調出力機能タイプ 2 時の操作手順

	操作	TAUDn の状態
チャネルの初期設定	マスタチャネル：TAUDnCMORm/TAUDnCMURm レジスタとチャネル出力モードを「**32.16.2.4 マスタチャネルのレジスタ設定**」に示すように設定します。 スレーブチャネル 1：TAUDnCMORm/TAUDnCMURm レジスタとチャネル出力モードを「**32.16.2.5 スレーブチャネル 1 のレジスタ設定**」に示すように設定します。 スレーブチャネル 2〜7：TAUDnCMORm/TAUDnCMURm レジスタとチャネル出力モードを「**32.16.2.6 スレーブチャネル 2〜7 のレジスタ設定**」に示すように設定します。 全チャネルの TAUDnCDRm レジスタの値を設定します。マスタチャネルの TAUDnCDRm でパルス周期を設定し、スレーブチャネル 1 の TAUDnCDRm でスレーブチャネル 1 がリアルタイム出力トリガを生成するまでに無視するマスタチャネルの割り込み数を設定します。また、スレーブチャネル 2〜7 の TAUDnCDRm にデューティ幅を設定します。 スレーブチャネル 1 に TAUDnTRC.TAUDnTRCm＝1 を設定します。	チャネル動作を停止しています。

表 32.249 非相補方式変調出力機能タイプ 2 時の操作手順

動作再開

	操作	TAUDn の状態
動作開始	マスタチャネルとスレーブチャネルの TAUDnTS.TAUDnTSm を同時に“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	マスタ／スレーブチャネルの TAUDnTE.TAUDnTEm が“1”に設定され、カウンタがダウンカウントを開始します。
動作中	TAUDnCDRm、TAUDnTRO.TAUDnTROm、TAUDnTME.TAUDnTMEm は任意のタイミングで変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTm は動作中に変更可能です。	マスタチャネルとスレーブチャネル 2~7 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。スレーブチャネル 1 の TAUDnCDRm の値をロードし、マスタチャネルの割り込みを待ちます。マスタチャネルのカウンタが 0000_H になった場合： ● INTTAUDnIm が発生します。 ● 再び TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを継続します。 ● スレーブチャネル 1 の TAUDnCNTm 値が 1 減少し、マスタチャネルの次の割り込みを待ちます。 ● スレーブチャネル 2~7 の TAUDnCNTm は再び TAUDnCDRm の値をロードするか、反対方向のカウントを開始します。 ● TAUDnCDRm の値がロードされるタイミングで、スレーブチャネル 2~7 の TAUDnTME.TAUDnTMEm の値が、TAUDTTOUTm 出力に反映されます。 ● スレーブチャネル 1 が、マスタチャネルの割り込みを TAUDnCDRm＋1 検出した場合： – INTTAUDnIm が発生します。 – スレーブチャネル 2~7 の TAUDnTRO.TAUDnTROm の値が、TAUDTTOUTm 出力に反映されます。 ● スレーブチャネル 2~7 のカウンタが 0001_H になった場合： – INTTAUDnIm が発生します。 – スレーブチャネル 2~7 の PWM 出力信号がセット／リセットされます。
動作停止	マスタチャネルとスレーブチャネルの TAUDnTT.TAUDnTTm を同時に“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

32.16.2.8　特定の設定時のタイミング図

基本タイミング図での設定は次のようになっています。

- マスタチャネル：動作開始時に INTTAUDnIm が発生しない（TAUDnCMORm.TAUDnMD0＝0）
- スレーブチャネル 2～7：正論理（TAUDnTOL.TAUDnTOLm＝0）

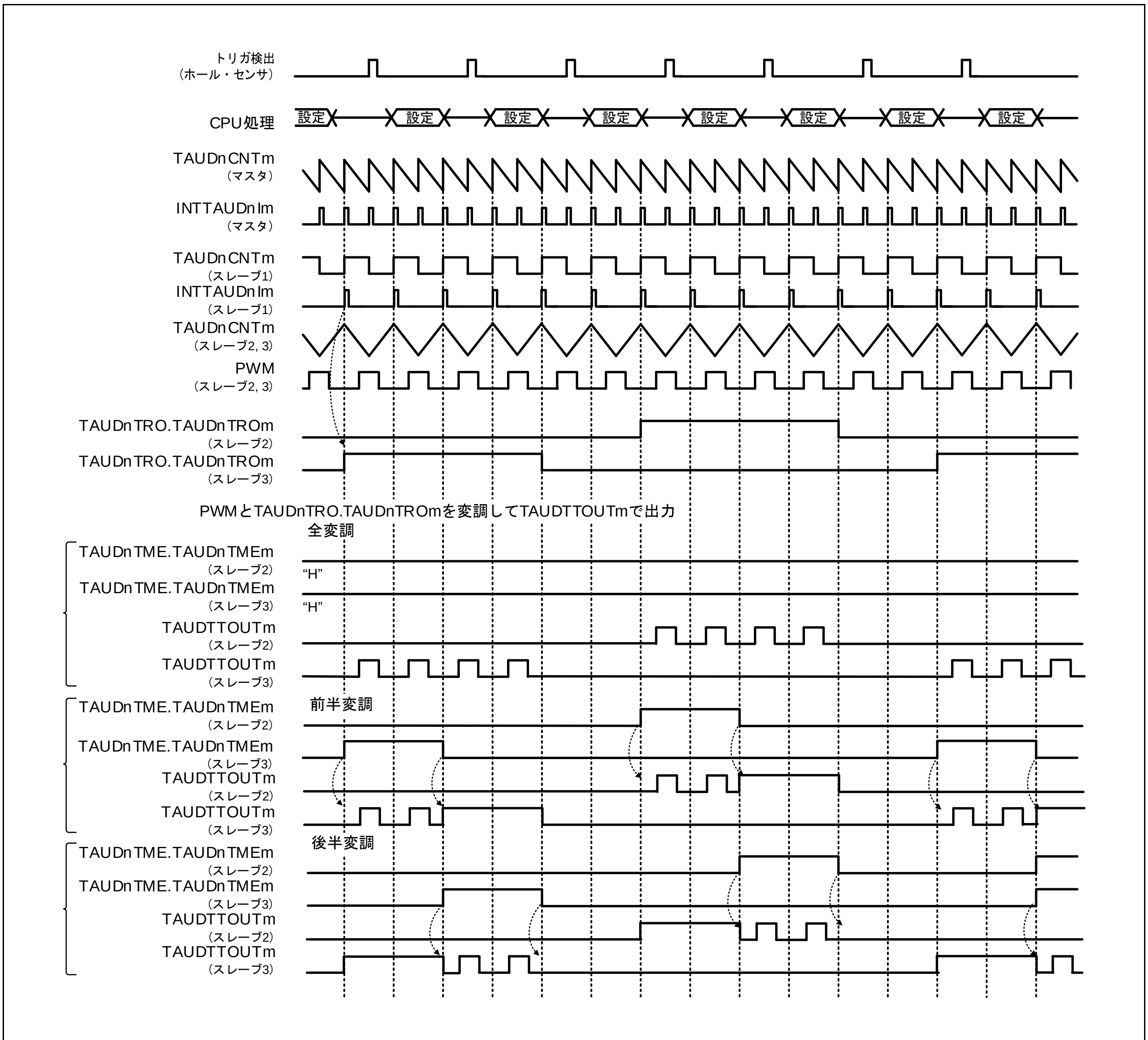


図 32.134 非相補方式変調出力機能タイプ 2 の特定設定時のタイミング図

上のタイミング図では、動作中、下位スレーブチャネルの TAUDnTME.TAUDnTMEm ビットを変更することにより、どのように全変調、前半変調、後半変調を行うのかが示されています。

「設定」とあるところは、TAUDnCDRm、TAUDnTME.TAUDnTMEm、TAUDnTRO.TAUDnTROm の値を変更できる期間を示しています。

TAUDnTME.TAUDnTMEm は、カウント開始タイミングと三角波 PWM のキャリア周期（山割り込みタイミング）検出で設定値が反映されます。

TAUDnTRO.TAUDnTROm ビット値はソフトウェアで設定しますが、新しく設定された値はスレーブチャネル 1 で割り込みが発生しないと適用されません。

32.16.3 相補方式変調出力機能

32.16.3.1 概要

概要

この機能では、2 つで 1 組のスレーブチャネルのリアルタイム出力ビット（TAUDnTRO.TAUDnTROm）、変調出力ビット（TAUDnTME.TAUDnTMEm）、出力レベルビット（TAUDnTDL.TAUDnTDLm）の値に応じて、TAUDTTOUTm から三角波 PWM 出力信号、ハイレベル信号、またはロウレベル信号を、デッドタイムを付加して出力します。通常は 3 組のチャネルが使用されます。

前提条件

- マスタチャネル×1、スレーブチャネル×7
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（「**表 32.251 相補方式変調出力機能のマスタチャネルの TAUDnCMORm レジスタの内容**」参照）。
- スレーブチャネル 1 の動作モードは、イベントカウントモードに設定する必要があります（「**表 32.255 相補方式変調出力機能のスレーブチャネル 1 の TAUDnCMORm レジスタの内容**」参照）。
- スレーブチャネル 2、4、6 の動作モードは、アップ／ダウンカウントモードに設定する必要があります（「**表 32.258 相補方式変調出力機能のスレーブチャネル 2、4、6 の TAUDnCMORm レジスタの内容**」参照）。
- スレーブチャネル 3、5、7 の動作モードは、ワンカウントモードに設定する必要があります（「**表 32.262 相補方式変調出力機能のスレーブチャネル 3、5、7 の TAUDnCMORm レジスタの内容**」参照）。
  また、スレーブチャネル 3、5、7 の割り込みは、キャリア周期内での発生回数が一意に決まらないため、割り込み要因として使用しないでください。
- マスタチャネルの出力モードは、チャネル単体出力モード 1 に設定する必要があります（「**32.7 チャネル出力モード**」参照）。
- この機能ではスレーブチャネル 1 の TAUDTTOUTm は使用しませんが、TAUDnTRC.TAUDnTRCm は“1”に設定する必要があります（「**32.7 チャネル出力モード**」参照）。
- スレーブチャネル 2～7 のチャネル出力モードは、相補方式変調出力を行うチャネル連動出力モード 2 に設定する必要があります（「**32.7 チャネル出力モード**」参照）。

機能説明

- マスタチャネル：
  チャネルトリガビット（TAUDnTS.TAUDnTSm）を“1”に設定すると、マスタチャネルのカウンタ動作が許可されます。これにより TAUDnTE.TAUDnTEm＝1 となり、カウントが可能になります。マスタチャネルのデータレジスタ（TAUDnCDRm）の値がカウンタ（TAUDnCNTm）にロードされ、カウンタはこの値からダウンカウントを開始します。
  マスタチャネルのカウンタが 0000_H になると、INTTAUDnIm が発生します。これによりスレーブチャネル 1 のカウンタ値が 1 減少し、スレーブチャネル 2 のカウンタが反対方向にカウントを開始します。
- スレーブチャネル 1：
  カウンタが 0000_H になると、マスタチャネルからの次の割り込みを待ちます。そして再び TAUDnCDRm の値を TAUDnCNTm（スレーブ 1）にロードし、INTTAUDnIm が発生します。
  スレーブチャネル 1 はリアルタイム出力のトリガチャネルとして設定されます（TAUDnTRC.TAUDnTRCm＝1）。割り込みにより、スレーブチャネル 1 の割り込み発生を検出しているチャネルで、各チャネルのリアルタイム出力ビット（TAUDnTRO.TAUDnTROm）の値が適用されま

す。リアルタイム出力ビット値はアプリケーションソフトで任意のタイミングで変更可能ですが、新しい値はスレーブチャネル 1 で割り込みが発生するまで適用されません。

- スレーブチャネル 2：
  スレーブチャネル 2 のカウンタが 0001_H になると、スレーブチャネル 3 のカウンタがダウンカウントを開始します。スレーブチャネル 3 のカウンタが 0000_H になると、割り込みが発生します。
- スレーブチャネル 2、スレーブチャネル 3：
  マスタチャネルとスレーブチャネル 2 およびスレーブチャネル 3 を組み合わせて使用することで、PWM 出力信号を生成します。マスタチャネルは PWM 出力周期を生成し、スレーブチャネル 2 はデューティサイクルを、スレーブチャネル 3 はデッドタイムを生成します。
- スレーブチャネル 4～7：
  スレーブチャネル 4、6 はスレーブチャネル 2 と同じように動作し、スレーブチャネル 5、7 はスレーブチャネル 3 と同じように動作します。

「**表 32.250 相補方式変調出力機能時のスレーブチャネル 1 組の TAUDTTOUTm 出力（TAUDnTOL.TAUDnTOLm＝0）**」にあるように、TAUDTTOUTm から出力される信号は、スレーブチャネルのリアルタイム出力ビット（TAUDnTRO.TAUDnTROm）、変調出力ビット（TAUDnTME.TAUDnTMEm）、出力レベルビット（TAUDnTDL.TAUDnTDLm）の値によって決まります。

ただし、チャネル 2 とチャネル 3 の両方からハイレベル信号が出力されることは禁止です（モータドライバのショートを防ぐなどの目的のため）。

この機能では強制リスタートは行えません。マスタ／スレーブチャネルの TAUDnTT.TAUDnTTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUDnTE.TAUDnTEm は“0”に設定されます。マスタ／スレーブチャネルの TAUDnCNTm と TAUDTTOUTm が停止しますが、それぞれの値は保持します。TAUDnTS.TAUDnTSm を“1”に設定すると、カウントを再開できます。

条件

- 1 組のチャネルの双方で TAUDnTME.TAUDnTMEm が“1”に設定されている場合（TAUDnTOL.TAUDnTOLm＝0）：
  - 片方のチャネルの TAUDnTRO.TAUDnTROm が“1”の場合、TAUDTTOUTm はそのチャネルの対応する PWM を出力します。
  - 双方のチャネルの TAUDnTRO.TAUDnTROm が“0”の場合、1 組の TAUDTTOUTm はロウレベル信号を出力します。
- 1 組のチャネルの双方で TAUDnTME.TAUDnTMEm が“0”に設定されている場合（TAUDnTOL.TAUDnTOLm＝0）：
  - TAUDnTRO.TAUDnTROm が“1”の場合、そのチャネルの TAUDTTOUTm はハイレベル信号を出力します。
  - TAUDnTRO.TAUDnTROm が“0”の場合、そのチャネルの TAUDTTOUTm はロウレベル信号を出力します。
- TAUDnTOL.TAUDnTOLm が“1”の場合、TAUDTTOUTm から出力されるハイレベル信号とロウレベル信号は反転します。PWM 信号は負論理となります。

表 32.250 相補方式変調出力機能時のスレーブチャネル 1 組の TAUDTTOUTm 出力（TAUDnTOL.TAUDnTOLm＝0）

TAUDnTME. TAUDnTME02	TAUDnTME. TAUDnTME03	TAUDnTRO. TAUDnTRO02	TAUDnTRO. TAUDnTRO03	TAUDnTDL. TAUDnTDL02	TAUDnTDL. TAUDnTDL03	TAUDTTOUT2 出力	TAUDTTOUT3 出力
0	0	0	0	X	X	ロウレベル	ロウレベル
		0	1	1	0	ロウレベル	ハイレベル
		1	0	0	1	ハイレベル	ロウレベル
		1	1	X	X	設定禁止	設定禁止
1	1	0	0	X	X	ロウレベル	ロウレベル
		0	1	1	0	～PWM	PWM
		1	0	0	1	PWM	～PWM
		1	1	X	X	設定禁止	設定禁止

備　考

1. この表の PWM は正相 PWM 信号を示し、～PWM は逆相 PWM 信号を示します（正論理）。正相／逆相は TAUDnTDL.TAUDnTDLm で設定されます。
2. この表に記述のない設定は禁止です。

- 1 組のチャネルの片方で、TAUDnTRO.TAUDnTROm が“1”に設定されている間、TAUDnTME.TAUDnTMEm が継続的に“1”に設定されている場合、その変調は全変調になります。
- 1 組のチャネルの片方で、TAUDnTRO.TAUDnTROm が“1”に設定されている期間の前半で TAUDnTME.TAUDnTMEm が“1”に設定されている場合、その変調は前半変調になります。
- 1 組のチャネルの片方で、TAUDnTRO.TAUDnTROm が“1”に設定されている期間の後半で TAUDnTME.TAUDnTMEm が“1”に設定されている場合、その変調は後半変調になります。
- 2 つのチャネルが同時にハイレベル信号の出力となる場合にデッドタイムが正相 PWM 信号と逆相 PWM 信号のどちらに付加されるかは、TAUDnTDL.TAUDnTDLm ビット値で決まります。
  - TAUDnTDL.TAUDnTDLm＝0 の場合、正相 PWM 信号にデッドタイムを付加
  - TAUDnTDL.TAUDnTDLm＝1 の場合、逆相 PWM 信号にデッドタイムを付加
  - TAUDnTDL.TAUDnTDLm ビット値の操作は、動作中にアプリケーションソフトで行う必要があります。TAUDnTDL.TAUDnTDLm を変更する場合は、TAUDnTRO.TAUDnTROm が 00_B の期間に書き換えてください。
- スレーブチャネル 1 の TAUDnCDRm 値は、キャリア周期（山割り込みタイミング）でスレーブチャネル 1 の INTTAUDnIm を発生させる値に設定する必要があります。
- スレーブチャネル 2～7 で TAUDnTOL.TAUDnTOLm＝0 が設定されている場合：
  - TAUDnTDL.TAUDnTDLm＝0 が設定されている場合、TAUDnTE.TAUDnTEm＝0 に設定する前に TAUDnTO.TAUDnTOm を“0”（ロウレベル）に設定します。
  - －　TAUDnTDL.TAUDnTDLm＝1 が設定されている場合、TAUDnTE.TAUDnTEm＝0 に設定する前に TAUDnTO.TAUDnTOm を“1”（ハイレベル）に設定します。
- スレーブチャネル 2～7 で TAUDnTOL.TAUDnTOLm＝1 が設定されている場合：
  - TAUDnTDL.TAUDnTDLm＝0 が設定されている場合、TAUDnTE.TAUDnTEm＝0 に設定する前に TAUDnTO.TAUDnTOm を“1”（ハイレベル）に設定します。
  - TAUDnTDL.TAUDnTDLm＝1 が設定されている場合、TAUDnTE.TAUDnTEm＝0 に設定する前に TAUDnTO.TAUDnTOm を“0”（ロウレベル）に設定します。
- この機能では一斉書き換えを行うことができます。「**32.6 一斉書き換え**」を参照してください。

32.16.3.2　算出式

パルス周期＝（TAUDnCDRm（マスタ）＋1）×カウントクロック周期

0000H ≦ TAUDnCDRm（マスタ）＜ $FFFF_H$

キャリア周期（ダウン／アップ）＝
（TAUDnCDRm（マスタ）＋1）×2×カウントクロック周期

スレーブチャネル 2、スレーブチャネル 3：

PWM 信号幅（正相）＝［（TAUDnCDRm（マスタ）＋1－TAUDnCDRm（スレーブ 2））×2－（TAUDnCDRm（スレーブ 3）＋1）］×カウントクロック周期

PWM 信号幅（逆相）＝［（TAUDnCDRm（マスタ）＋1－TAUDnCDRm（スレーブ 2））×2＋（TAUDnCDRm（スレーブ 3）＋1）］×カウントクロック周期

スレーブチャネル 4～7：

スレーブチャネル 4、6 はスレーブチャネル 2 と同じように、スレーブチャネル 5、7 はスレーブチャネル 3 と同じように算出してください。

32.16.3.3　ブロック図と基本タイミング図

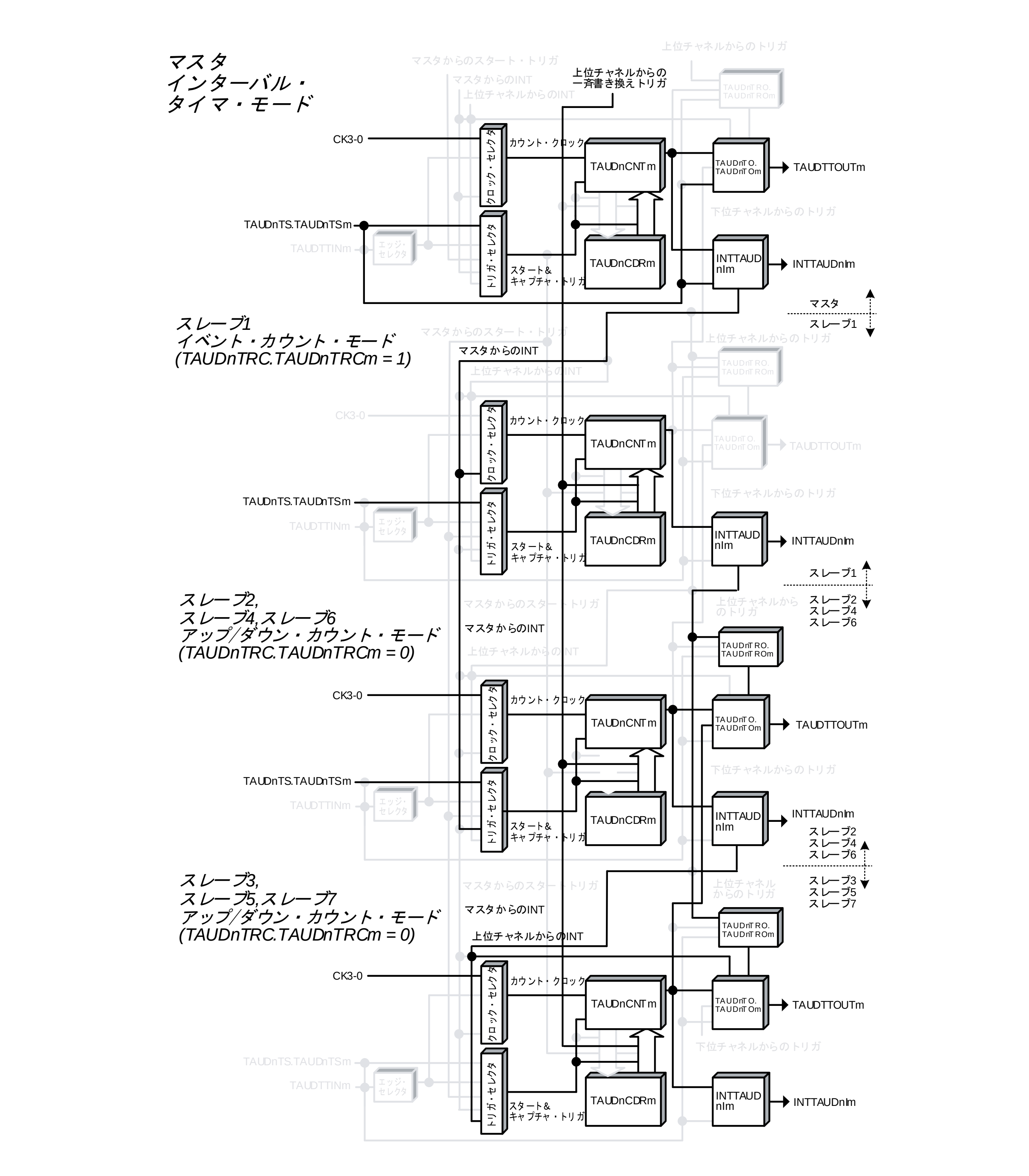


図 32.135 相補方式変調出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- マスタチャネル：動作開始時に INTTAUDnIm が発生しない（TAUDnCMORm.TAUDnMD0＝0）
- スレーブチャネル 1：TAUDnCDRm＝0001H
- スレーブチャネル 2～7：正論理（TAUDnTOL.TAUDnTOLm＝0）

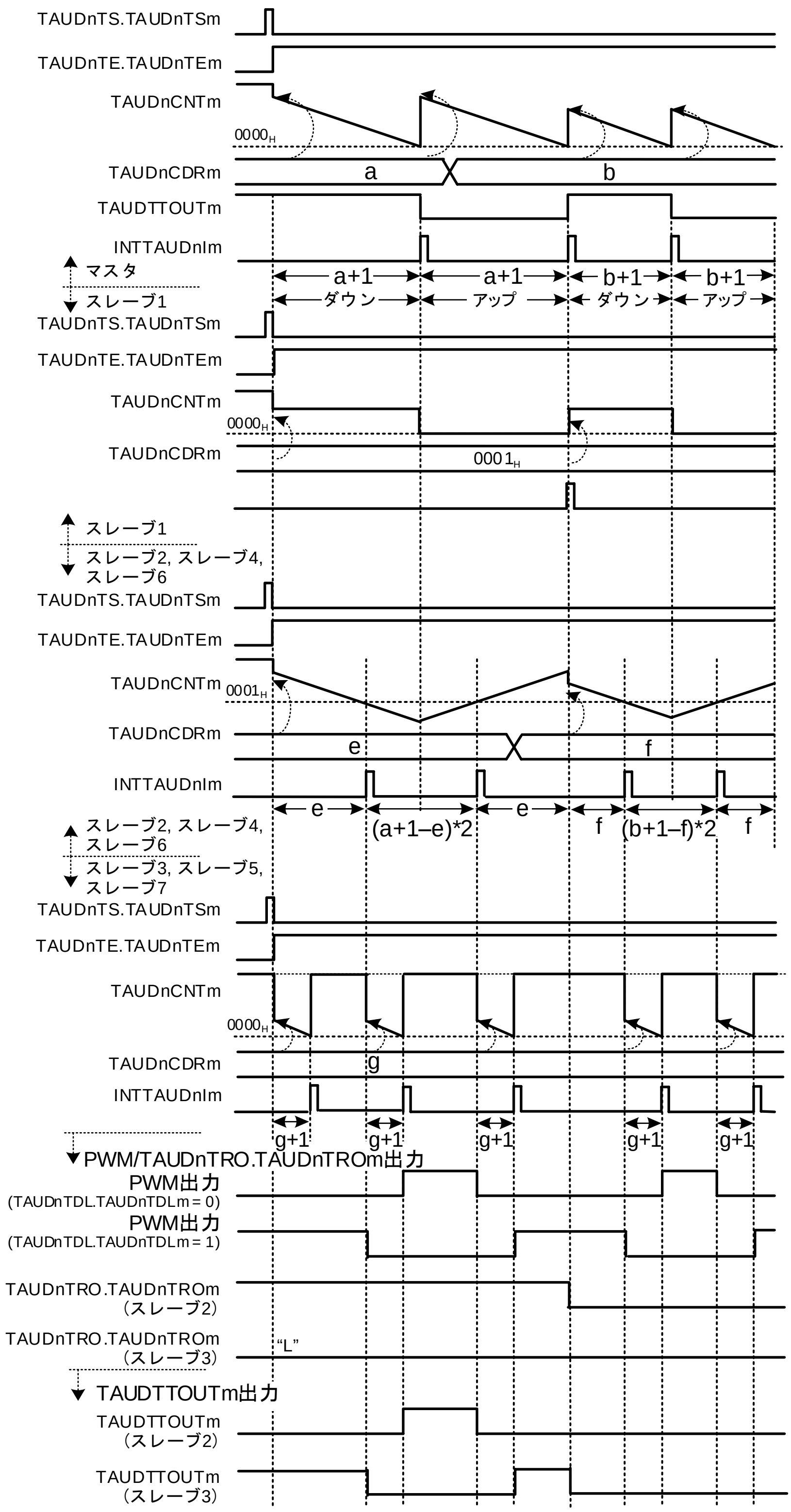


図 32.136 相補方式変調出力機能の基本タイミング図

32.16.3.4 マスタチャネルのレジスタ設定

(1) マスタチャネルの TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.251 相補方式変調出力機能のマスタチャネルの TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	1：チャネルはマスタチャネル
10～8	TAUDnSTS[2:0]	000：ソフトウェアでカウンタをトリガ
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0000：インターバルタイマモード
0	TAUDnMD0	0：動作開始または再開時に INTTAUDnIm が発生せず、TAUDTTOUTm はトグルされない 1：動作開始または再開時に INTTAUDnIm が発生し、TAUDTTOUTm はトグルされる

(2) マスタチャネルの TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.252 相補方式変調出力機能のマスタチャネルの TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) マスタチャネルのチャネル出力モード

表 32.253 チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	0：チャネル単体出力
TAUDnTOC.TAUDnTOCm	0：動作モード 1（TAUDnTOM.TAUDnTOMm＝0 時はトグルモード）
TAUDnTOL.TAUDnTOLm	0：トグルモード時は、設定無効（リセット後の値）となります。
TAUDnTDE.TAUDnTDEm	0：デッドタイム動作禁止
TAUDnTDM.TAUDnTDMm	0：デッドタイム動作禁止時（TAUDnTDE.TAUDnTDEm＝0）、“0”を設定
TAUDnTDL.TAUDnTDLm	
TAUDnTRE.TAUDnTREm	0：リアルタイム出力禁止
TAUDnTRO.TAUDnTROm	0：リアルタイム出力禁止時（TAUDnTRE.TAUDnTREm＝0）、“0”を設定
TAUDnTRC.TAUDnTRCm	
TAUDnTME.TAUDnTMEm	0：変調禁止

(4) マスタチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 32.254 相補方式変調出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルで一斉書き換えトリガをモニタ 1：チャネルグループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の［山］のタイミングで発生
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。TAUDnRDS.TAUDnRDSm＝0 のとき、このビットの値にかかわらず、マスタチャネルで一斉書き換えトリガをモニタ。

備　考

TAUDnRDS.TAUDnRDSm＝1 の場合、マスタチャネルより上位チャネルに一斉書き換えトリガ信号を生成するチャネルが必要です。

32.16.3.5　スレーブチャネル 1 のレジスタ設定

(1)　スレーブチャネル 1 の TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.255 相補方式変調出力機能のスレーブチャネル 1 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	11：マスタチャネルの INTTAUDnIm をカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10～8	TAUDnSTS[2:0]	000：ソフトウェアでカウンタをトリガ 011：一斉書き換えトリガ
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0011：イベントカウントモード
0	TAUDnMD0	0：動作開始または再開時に INTTAUDnIm が発生しない

(2)　スレーブチャネル 1 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.256 相補方式変調出力機能のスレーブチャネル 1 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) チャネル出力モード

この機能では、スレーブチャネル 1 ではチャネル出力モードを使用しないため、TAUDnTOE.TAUDnTOEm に“0”を設定します。ただし、ソフトウェア制御のチャネル単体出力モードでのチャネル出力モードの使用は可能です。

注　意

スレーブチャネル 1 をリアルタイム出力のトリガチャネルとして使用するため、TAUDnTRC.TAUDnTRCm を 1 に設定する必要があります。

(4) スレーブチャネル 1 の一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 32.257 相補方式変調出力機能時のスレーブチャネル 1 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルで一斉書き換えトリガをモニタ 1：チャネルグループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の［山］のタイミングで発生
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。TAUDnRDS.TAUDnRDSm＝0 のとき、このビットの値にかかわらず、マスタチャネルで一斉書き換えトリガをモニタ。

32.16.3.6　スレーブチャネル 2、4、6 のレジスタ設定

(1) スレーブチャネル 2、4、6 の TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDnMAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.258 相補方式変調出力機能のスレーブチャネル 2、4、6 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10～8	TAUDnSTS[2:0]	111：マスタチャネルのアップ／ダウン出力トリガ信号
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	1001：アップ／ダウンカウントモード
0	TAUDnMD0	0：動作開始または再開時に INTTAUDnIm が発生しない

(2) スレーブチャネル 2、4、6 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.259 相補方式変調出力機能のスレーブチャネル 2、4、6 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャネル 2、4、6 の出力モード

表 32.260 相補方式変調出力を行うチャネル連動出力モード 2 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1：チャネル連動出力
TAUDnTOC.TAUDnTOCm	1：動作モード 2
TAUDnTOL.TAUDnTOLm	0：正論理 1：負論理
TAUDnTDE.TAUDnTDEm	1：デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	0：上位偶数チャネルで割り込みを検出し、なおかつ TAUDnTDL.TAUDnTDLm で設定されている条件に合致している場合にデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0：正相にデッドタイムを付加 1：逆相にデッドタイムを付加
TAUDnTRE.TAUDnTREm	1：リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0：リアルタイム出力はロウレベル 1：リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0：上位チャネルはチャネル m 用のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEm	0：変調禁止 1：変調許可

注　意

PWM 出力時、TAUDnTDL.TAUDnTDLm は、奇数チャネルと排他設定してください。

(4) スレーブチャネル 2、4、6 の一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 32.261 相補方式変調出力機能時のスレーブチャネル 2、4、6 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルで一斉書き換えトリガをモニタ 1：チャネルグループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の［山］のタイミングで発生
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。TAUDnRDS.TAUDnRDSm＝0 のとき、このビットの値にかかわらず、マスタチャネルで一斉書き換えトリガをモニタ。

32.16.3.7　スレーブチャネル 3、5、7 のレジスタ設定

(1) スレーブチャネル 3、5、7 の TAUDnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUDnCKS[1:0]		TAUDnCCS[1:0]		TAUDn MAS	TAUDnSTS[2:0]			TAUDnCOS[1:0]		—	TAUDnMD[4:1]				TAUDn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 32.262 相補方式変調出力機能のスレーブチャネル 3、5、7 の TAUDnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUDnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUDnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUDnCCS[1:0]	00：動作クロックをカウントクロックとして使用
11	TAUDnMAS	0：チャネルはスレーブチャネル
10～8	TAUDnSTS[2:0]	110：デッドタイムトリガ
7、6	TAUDnCOS[1:0]	00：未使用、“00”を設定
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUDnMD[4:1]	0100：ワンカウントモード
0	TAUDnMD0	1：カウント中のスタートトリガ検出許可

(2) スレーブチャネル 3、5、7 の TAUDnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUDnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 32.263 相補方式変調出力機能のスレーブチャネル 3、5、7 の TAUDnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUDnTIS[1:0]	00：未使用、“00”を設定

(3) スレーブチャネル 3、5、7 の出力モード

表 32.264 相補方式変調出力を行うチャネル連動出力モード 2 時の制御ビット設定

ビット名	設定
TAUDnTOE.TAUDnTOEm	1：チャネル単体出力モード許可
TAUDnTOM.TAUDnTOMm	1：チャネル連動出力
TAUDnTOC.TAUDnTOCm	1：動作モード 2
TAUDnTOL.TAUDnTOLm	0：正論理 1：負論理
TAUDnTDE.TAUDnTDEm	1：デッドタイム動作許可
TAUDnTDM.TAUDnTDMm	0：上位偶数チャネルで割り込みを検出し、なおかつ TAUDnTDL.TAUDnTDLm で設定されている条件に合致している場合にデッドタイムを付加
TAUDnTDL.TAUDnTDLm	0：正相にデッドタイムを付加 1：逆相にデッドタイムを付加
TAUDnTRE.TAUDnTREm	1：リアルタイム出力許可
TAUDnTRO.TAUDnTROm	0：リアルタイム出力はロウレベル 1：リアルタイム出力はハイレベル
TAUDnTRC.TAUDnTRCm	0：上位チャネルはチャネル m 用のリアルタイム出力トリガを生成
TAUDnTME.TAUDnTMEm	0：変調禁止 1：変調許可

注　意

PWM 出力時、TAUDnTDL.TAUDnTDLm は、偶数チャネルと排他設定してください。

(4) スレーブチャネル 3、5、7 の一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 32.265 相補方式変調出力機能時のスレーブチャネル 3、5、7 の一斉書き換え設定

ビット名	設定
TAUDnRDE.TAUDnRDEm	1：一斉書き換えを許可
TAUDnRDS.TAUDnRDSm	0：マスタチャネルで一斉書き換えトリガをモニタ 1：チャネルグループ外の上位チャネルで一斉書き換えトリガをモニタ
TAUDnRDM.TAUDnRDMm	1：一斉書き換えトリガ信号は、マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の［山］のタイミングで発生
TAUDnRDC.TAUDnRDCm	0：一斉書き換えトリガ生成チャネルとして動作しない。TAUDnRDS.TAUDnRDSm＝0 のとき、このビットの値にかかわらず、マスタチャネルで一斉書き換えトリガをモニタ。

32.16.3.8　相補方式変調出力機能時の操作手順

表 32.266 相補方式変調出力機能時の操作手順

	操作	TAUDn の状態
チャネルの初期設定	マスタチャネル：TAUDnCMORm/TAUDnCMURm レジスタとチャネル出力モードを「**32.16.3.4 マスタチャネルのレジスタ設定**」に示すように設定します。 スレーブチャネル 1：TAUDnCMORm/TAUDnCMURm レジスタとチャネル出力モードを「**32.16.3.5 スレーブチャネル 1 のレジスタ設定**」に示すように設定します。 スレーブチャネル 2、4、6：TAUDnCMORm/TAUDnCMURm レジスタとチャネル出力モードを「**32.16.3.6 スレーブチャネル 2、4、6 のレジスタ設定**」に示すように設定します。 スレーブチャネル 3、5、7：TAUDnCMORm/TAUDnCMURm レジスタとチャネル出力モードを「**32.16.3.7 スレーブチャネル 3、5、7 のレジスタ設定**」に示すように設定します。 全チャネルの TAUDnCDRm レジスタの値を設定します。マスタチャネルの TAUDnCDRm でパルス周期を設定し、スレーブチャネル 1 の TAUDnCDRm で無視されるマスタチャネル割り込み数を設定します。また、スレーブチャネル 2、4、6 の TAUDnCDRm にデューティ幅を、スレーブチャネル 3、5、7 にデッドタイム遅延を設定します。 スレーブチャネル 1 に TAUDnTRC.TAUDnTRCm＝1 を設定します。	チャネル動作を停止しています。

表 32.266 相補方式変調出力機能時の操作手順

動作再開

	操作	TAUDn の状態
動作開始	マスタチャネルとスレーブチャネルの TAUDnTS.TAUDnTSm を同時に“1”に設定します。 TAUDnTS.TAUDnTSm はトリガビットなので、自動的に“0”にクリアされます。	マスタ／スレーブチャネルの TAUDnTE.TAUDnTEm が“1”に設定され、カウンタがダウンカウントを開始します。
動作中	TAUDnCDRm、TAUDnTRO.TAUDnTROm、TAUDnTME.TAUDnTMEm、TAUDnTDL.TAUDnTDLm は任意のタイミングで変更可能です。 TAUDnCNTm と TAUDnRSF.TAUDnRSFm は任意のタイミングで読み出し可能です。 TAUDnRDT.TAUDnRDTm は動作中に変更可能です。	マスタチャネルとスレーブチャネル 2~7 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。スレーブチャネル 1 の TAUDnCDRm の値をロードし、マスタチャネルの割り込みを待ちます。マスタチャネルのカウンタが 0000_H になった場合： ● INTTAUDnIm が発生します。 ● 再び TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを継続します。 ● スレーブチャネル 1 の TAUDnCNTm 値が 1 減少し、マスタチャネルの次の割り込みを待ちます。 ● スレーブチャネル 2、4、6 の TAUDnCNTm は、再び TAUDnCDRm の値をロードするか、反対方向のカウントを開始します。 ● スレーブチャネル 2、4、6 の TAUDnCDRm の値がロードされるタイミングで、スレーブチャネル 2~7 の TAUDnTME.TAUDnTMEm の値が、TAUDTTOUTm 出力に反映されます。 ● スレーブチャネル 1 のカウンタが 0000_H になると、マスタチャネルからの次の割り込みを待ちます。割り込み検出時： – 再び TAUDnCDRm の値を TAUDnCNTm にロードし、マスタチャネルの次の割り込みを待ちます。 – INTTAUDnIm が発生します。 – TAUDnTRO.TAUDnTROm を変更可能です。 ● スレーブチャネル 2、4、6 のカウンタが 0001_H になった場合： – INTTAUDnIm が発生します。 – スレーブチャネル m の PWM 出力がセット／リセットされます（設定したチャネル出力モードの条件に一致した場合）。 – スレーブチャネル 3、5、7 の TAUDnCDRm の値を TAUDnCNTm にロードし、ダウンカウントを行います。 ● スレーブチャネル 3、5、7 のカウンタが 0000_H になった場合： – INTTAUDnIm が発生します。 – スレーブチャネル m の PWM 出力がセット／リセットされます（設定したチャネル出力モードの条件に一致した場合）。
動作停止	マスタチャネルとスレーブチャネルの TAUDnTT.TAUDnTTm を同時に“1”に設定します。 TAUDnTT.TAUDnTTm はトリガビットなので、自動的に“0”にクリアされます。	TAUDnTE.TAUDnTEm が“0”にクリアされ、カウンタ動作が停止します。 TAUDnCNTm と TAUDTTOUTm は停止し、現在値を保持します。

32.16.3.9　特定の設定時のタイミング図

タイミング図での設定は次のようになっています。

- マスタチャネル：動作開始時に INTTAUDnIm が発生しない（TAUDnCMORm.TAUDnMD0＝0）
- スレーブチャネル 1：TAUDnCDRm＝0001$_H$
- スレーブチャネル 2～7：正論理（TAUDnTOL.TAUDnTOLm＝0）

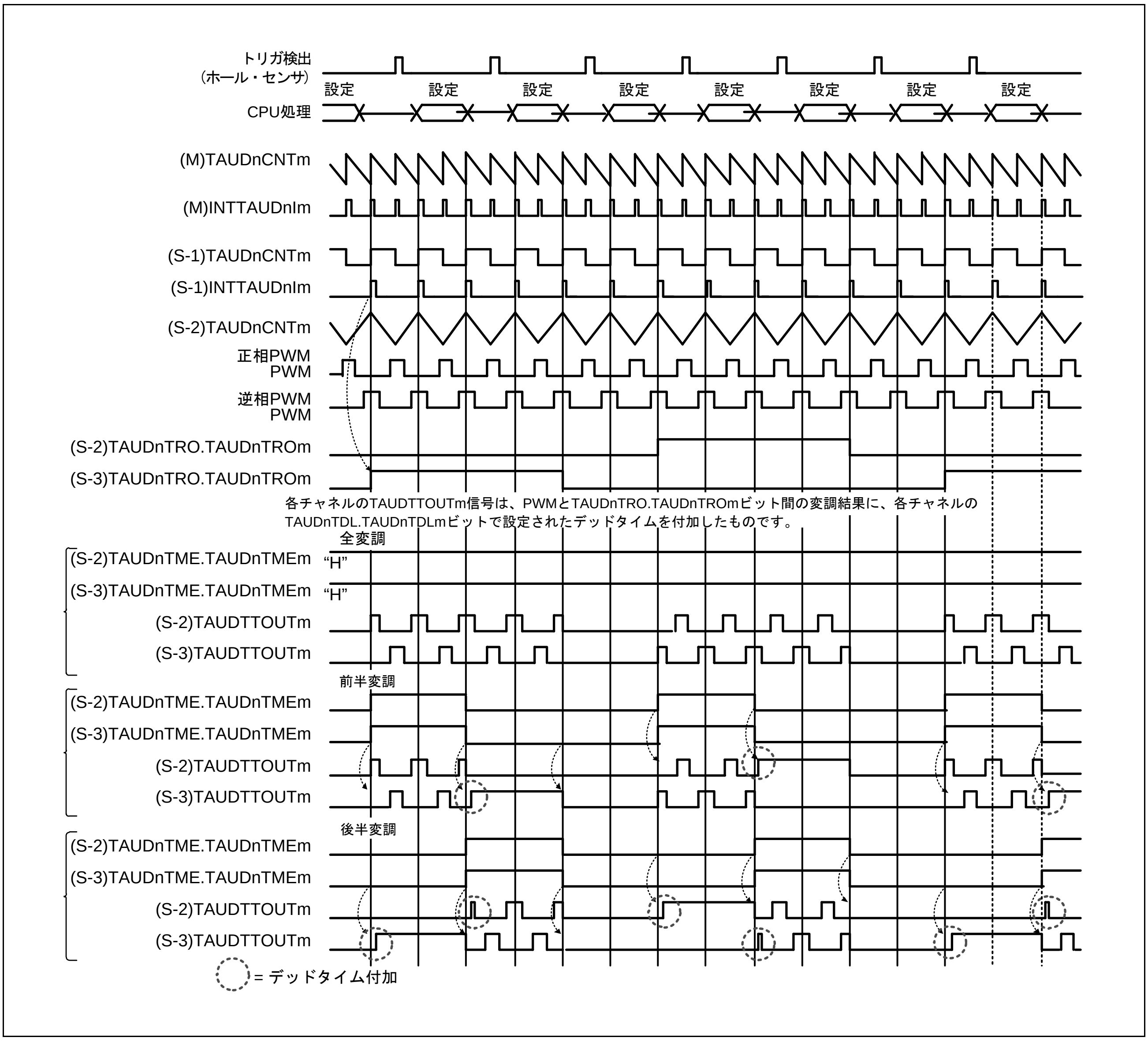


図 32.137 相補方式変調出力機能の特定設定時のタイミング図

上のタイミング図では、動作中、下位スレーブチャネルの TAUDnTME.TAUDnTMEm ビットを変更することにより、どのように全変調、前半変調、後半変調を行うのかが示されています。

スレーブチャネル 2、3 から出力されるのは、変調された PWM 出力信号と TAUDnTRO.TAUDnTROm ビットの値です。

TAUDnTME.TAUDnTMEm、TAUDnTDL.TAUDnTDLm は、カウント開始タイミングと三角波 PWM のキャリア周期（山割り込みタイミング）検出で設定値が反映されます。

TAUDnTRO.TAUDnTROm ビット値はソフトウェアで設定しますが、新しく設定された値はスレーブチャネル 1 で割り込みが発生しないと適用されません。

備　考

デッドタイムは、正相と逆相の PWM のエッジが同時に変化するのを抑制するために付加されます。

「設定」とあるところは、TAUDnCDRm、TAUDnTME.TAUDnTMEm、TAUDnTRO.TAUDnTROm、TAUDnTDL.TAUDnTDLm の値を変更できる期間を示しています。

第33章　タイマアレイユニット J（TAUJ）

本章では、タイマアレイユニット J（TAUJ）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1KH, RH850/F1KM に固有の特長について説明します。

それ以降の節では、TAUJ の機能、レジスタについて説明します。

33.1　RH850/F1KH, RH850/F1KM TAUJ の特長

33.1.1　ユニット数とチャネル数

本製品は、以下のユニット数とチャネル数の TAUJ を搭載しています。

表 33.1　ユニット数 (RH850/F1KH-D8)

製品名	RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 324 Pin
ユニット数	4	4	4
名称	TAUJn (n＝0～3)	TAUJn (n＝0～3)	TAUJn (n＝0～3)

表 33.2　ユニット数 (RH850/F1KM-S4)

製品名	RH850/F1KM-S4 100 Pin	RH850/F1KM-S4 144 Pin	RH850/F1KM-S4 176 Pin	RH850/F1KM-S4 233 Pin	RH850/F1KM-S4 272 Pin
ユニット数	4	4	4	4	4
名称	TAUJn (n＝0～3)	TAUJn (n＝0～3)	TAUJn (n＝0～3)	TAUJn (n＝0～3)	TAUJn (n＝0～3)

表 33.3　ユニット数 (RH850/F1KM-S2)

製品名	RH850/F1KM-S2 100 Pin	RH850/F1KM-S2 144 Pin	RH850/F1KM-S2 176 Pin
ユニット数	4	4	4
名称	TAUJn (n＝0～3)	TAUJn (n＝0～3)	TAUJn (n＝0～3)

表 33.4　ユニット数 (RH850/F1KM-S1)

製品名	RH850/F1KM-S1 48 Pin	RH850/F1KM-S1 64 Pin	RH850/F1KM-S1 80 Pin	RH850/F1KM-S1 100 Pin
ユニット数	4	4	4	4
名称	TAUJn (n＝0～3)	TAUJn (n＝0～3)	TAUJn (n＝0～3)	TAUJn (n＝0～3)

表 33.5　TAUJn のユニット構成とチャネルの対応（RH850/F1KH-D8）

ユニット名 TAUJn	ユニットチャネル数	RH850/F1KH-D8 176 Pin (16 ch)	RH850/F1KH-D8 233 Pin (16 ch)	RH850/F1KH-D8 324 Pin (16 ch)
TAUJ0	4	○	○	○
TAUJ1	4	○	○	○
TAUJ2	4	○	○	○
TAUJ3	4	○	○	○

表 33.6　TAUJn のユニット構成とチャネルの対応（RH850/F1KM-S4）

ユニット名 TAUJn	ユニットチャネル数	RH850/F1KM-S4 100 Pin (16 ch)	RH850/F1KM-S4 144 Pin (16 ch)	RH850/F1KM-S4 176 Pin (16 ch)	RH850/F1KM-S4 233 Pin (16 ch)	RH850/F1KM-S4 272 Pin (16 ch)
TAUJ0	4	○	○	○	○	○
TAUJ1	4	○	○	○	○	○
TAUJ2	4	○	○	○	○	○
TAUJ3	4	○	○	○	○	○

表 33.7　TAUJn のユニット構成とチャネルの対応（RH850/F1KM-S2）

ユニット名 TAUJn	ユニットチャネル数	RH850/F1KM-S2 100 Pin (16 ch)	RH850/F1KM-S2 144 Pin (16 ch)	RH850/F1KM-S2 176 Pin (16 ch)
TAUJ0	4	○	○	○
TAUJ1	4	○	○	○
TAUJ2	4	○	○	○
TAUJ3	4	○	○	○

表 33.8　TAUJn のユニット構成とチャネルの対応（RH850/F1KM-S1）

ユニット名 TAUJn	ユニットチャネル数	RH850/F1KM-S1 48 Pin (16 ch)	RH850/F1KM-S1 64 Pin (16 ch)	RH850/F1KM-S1 80 Pin (16 ch)	RH850/F1KM-S1 100 Pin (16 ch)
TAUJ0	4	○	○	○	○
TAUJ1	4	○	○	○	○
TAUJ2	4	○	○	○	○
TAUJ3	4	○	○	○	○

表 33.9　添字（RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1）

添字	説明
n	本章では、TAUJ の各ユニットを「n」で識別します。たとえば、TAUJn チャネル出力モードレジスタ（TAUJnTOM）と記述します。
m	TAUJ には 4 本のチャネルがあります。本章では、各チャネルを「m」で識別しており、特定のチャネルを CHm（m＝0～3）と記述します。 偶数チャネル（m＝0、2）は CHm_even と記述します。 奇数チャネル（m＝1、3）は CHm_odd と記述します。

33.1.2　レジスタベースアドレス

TAUJn のベースアドレスを以下の表に示します。

TAUJn のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 33.10　レジスタベースアドレス (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ベースアドレス名	ベースアドレス
<TAUJ0_base>	FFE5 0000$_H$
<TAUJ1_base>	FFE5 1000$_H$
<TAUJ2_base>	FFE5 0100$_H$
<TAUJ3_base>	FFE5 1100$_H$

33.1.3　クロック供給

TAUJn のクロック供給を以下の表に示します。

表 33.11　クロック供給 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	ユニットクロック名	供給クロック名	説明
TAUJ0	PCLK	CKSCLK_ATAUJ	タイマカウントクロック
	レジスタアクセスクロック	CPUCLK_L, CKSCLK_ATAUJ	バスクロック
TAUJ1	PCLK	CKSCLK_IPERI1	タイマカウントクロック
	レジスタアクセスクロック	CPUCLK_L, CKSCLK_IPERI1	バスクロック
TAUJ2	PCLK	CKSCLK_ATAUJ	タイマカウントクロック
	レジスタアクセスクロック	CPUCLK_L, CKSCLK_ATAUJ	バスクロック
TAUJ3	PCLK	CKSCLK_IPERI1	タイマカウントクロック
	レジスタアクセスクロック	CPUCLK_L, CKSCLK_IPERI1	バスクロック

33.1.4　割り込み要求

TAUJn の割り込み要求を以下の表に示します。

表 33.12　割り込み要求 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
TAUJ0			
INTTAUJ0I0	チャネル 0 割り込み	80	21
INTTAUJ0I1	チャネル 1 割り込み	81	80
INTTAUJ0I2	チャネル 2 割り込み	82	81
INTTAUJ0I3	チャネル 3 割り込み	83	22
TAUJ1			
INTTAUJ1I0	チャネル 0 割り込み	168	46
INTTAUJ1I1	チャネル 1 割り込み	169	100
INTTAUJ1I2	チャネル 2 割り込み	170	47
INTTAUJ1I3	チャネル 3 割り込み	171	101
TAUJ2			
INTTAUJ2I0	チャネル 0 割り込み	277	103
INTTAUJ2I1	チャネル 1 割り込み	278	104
INTTAUJ2I2	チャネル 2 割り込み	279	105
INTTAUJ2I3	チャネル 3 割り込み	280	106
TAUJ3			
INTTAUJ3I0	チャネル 0 割り込み	281	107
INTTAUJ3I1	チャネル 1 割り込み	282	108
INTTAUJ3I2	チャネル 2 割り込み	283	109
INTTAUJ3I3	チャネル 3 割り込み	284	110

33.1.5　リセット要因

TAUJn のリセット要因を以下に示します。TAUJn は以下のリセット要因で初期化されます。

表 33.13　リセット要因 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	リセット要因
TAUJ0	DeepSTOP モード遷移時を除くリセット要因（AWORES）
TAUJ1	すべてのリセット要因（ISORES）
TAUJ2	DeepSTOP モード遷移時を除くリセット要因（AWORES）
TAUJ3	すべてのリセット要因（ISORES）

33.1.6　外部入出力信号

TAUJn の外部入出力信号を以下の表に示します。

表 33.14　外部入出力信号 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット信号名	説明	ポート端子兼用信号名
TAUJ0		
TAUJTTIN0, TAUJTTIN1	チャネル 0〜1 入力	TAUJ0I0〜TAUJ0I1
TAUJTTIN2	チャネル 2 入力	TAUJ0I2 または RTCA0OUT 注1 または TAUJTTOUT0（TAUJ1）注1
TAUJTTIN3	チャネル 3 入力	TAUJ0I3 または RTCA0OUT 注1 または TAUJTTOUT0（TAUJ1）注1
TAUJTTOUT0 - TAUJTTOUT3	チャネル 0〜3 出力	TAUJ0O0〜TAUJ0O3
TAUJ1		
TAUJTTIN0－TAUJTTIN3	チャネル 0〜3 入力	TAUJ1I0〜TAUJ1I3
TAUJTTOUT0－TAUJTTOUT3	チャネル 0〜3 出力	TAUJ1O0〜TAUJ1O3
TAUJ2		
TAUJTTIN0, TAUJTTIN1	チャネル 0〜1 入力	TAUJ2I0〜TAUJ2I1
TAUJTTIN2	チャネル 2 入力	TAUJ2I2 または TAUJTTOUT0（TAUJ3）注1
TAUJTTIN3	チャネル 3 入力	TAUJ2I3 または TAUJTTOUT0（TAUJ3）注1
TAUJTTOUT0－TAUJTTOUT3	チャネル 0〜3 出力	TAUJ2O0〜TAUJ2O3
TAUJ3		
TAUJTTIN0－TAUJTTIN3	チャネル 0〜3 入力	TAUJ3I0〜TAUJ3I3
TAUJTTOUT0－TAUJTTOUT3	チャネル 0〜3 出力	TAUJ3O0〜TAUJ3O3

注1.　「**33.1.8 TAUJ0／TAUJ2 入力の選択**」を参照してください。

33.1.7　内部入出力信号

TAUJn の内部入出力信号を以下の表に示します。

表 33.15　内部入出力信号 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット信号名	説明	接続先
TAUJnTSSTm 注1	チャネル同時スタートトリガ入力	PIC

注1.　n＝1 のみ。TAUJ0TSSTm は PIC と接続していません。

33.1.8　TAUJ0／TAUJ2 入力の選択

TAUJ0 入力の選択 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

次の図に示すように、RTCA0 からの 1Hz パルス出力（RTCA0OUT）および TAUJ1 からの出力（TAUJTTOUT0）を TAUJTTIN2、TAUJTTIN3 に入力できます。

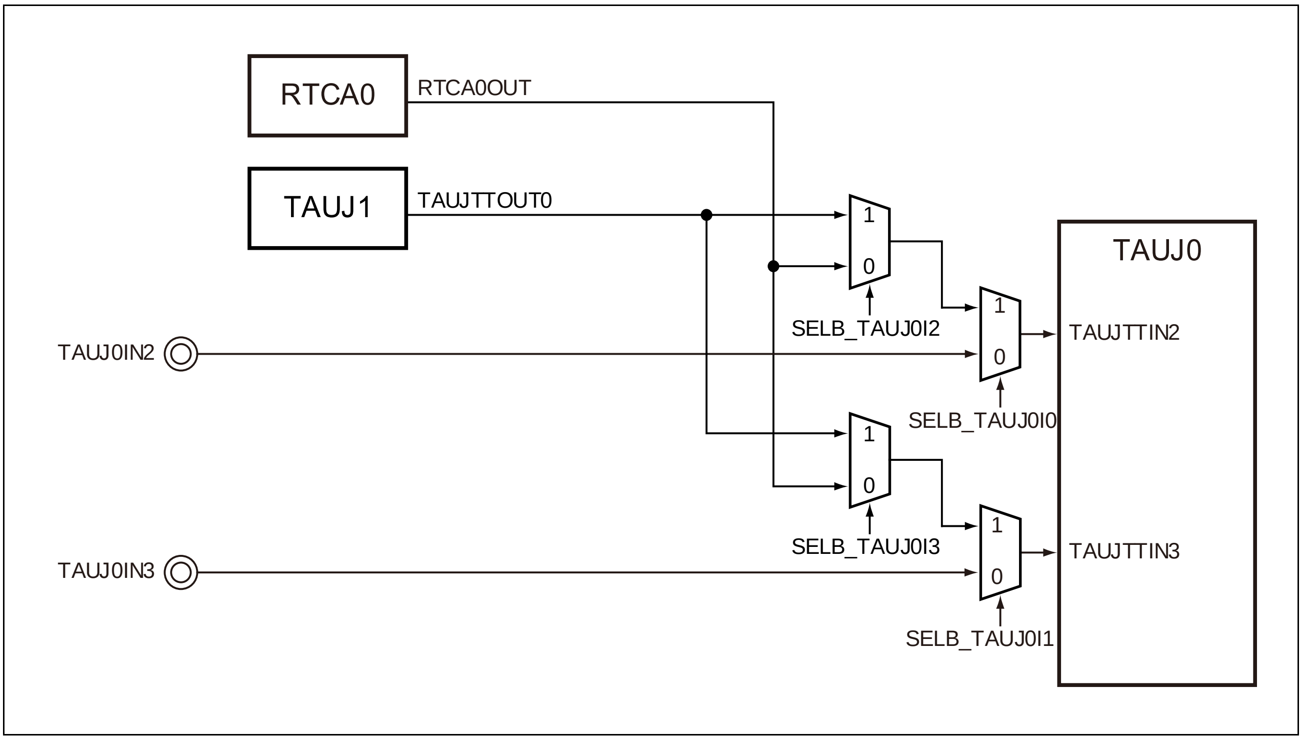


図 33.1　TAUJ0 への入力信号の選択

TAUJ2 入力の選択 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

次の図に示すように、TAUJ3 からの出力（TAUJTTOUT0）を TAUJTTIN2、TAUJTTIN3 に入力できます。

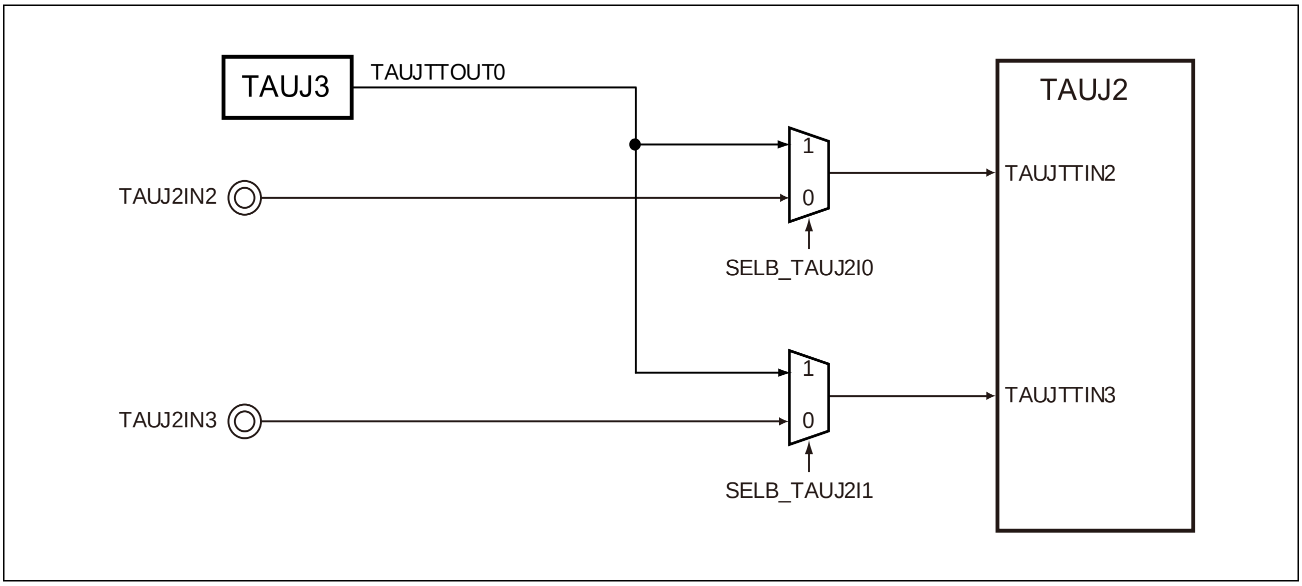


図 33.2　TAUJ2 への入力信号の選択

次の表に TAUJ への入力信号の選択方法について示します。

表 33.16　TAUJ0 入力の選択

入力信号	機能	設定			
		SELB_TAUJ0I3	SELB_TAUJ0I2	SELB_TAUJ0I1	SELB_TAUJ0I0
TAUJTTIN2	ポート TAUJ0I2	—	—	—	0
	RTCA0OUT（リアルタイムクロック 1Hz 出力）	—	0	—	1
	TAUJTTOUT0（TAUJ1）	—	1	—	1
TAUJTTIN3	ポート TAUJ0I3	—	—	0	—
	RTCA0OUT（リアルタイムクロック 1Hz 出力）	0	—	1	—
	TAUJTTOUT0（TAUJ1）	1	—	1	—

表 33.17　TAUJ2 入力の選択

入力信号	機能	設定	
		SELB_TAUJ2I1	SELB_TAUJ2I0
TAUJTTIN2	ポート TAUJ2I2	—	0
	TAUJTTOUT0（TAUJ3）	—	1
TAUJTTIN3	ポート TAUJ2I3	0	—
	TAUJTTOUT0（TAUJ3）	1	—

33.1.8.1　レジスター覧

入力信号選択レジスタのレジスター覧を以下の表に示します。

表 33.18　レジスター覧

モジュール名	レジスタ名	略号	アドレス
TAUJn 入力選択レジスタ			
SL_TAUJn	TAUJTTINm 入力信号選択レジスタ	SELB_TAUJ0I	FFE5 4000_H
	TAUJTTINm 入力信号選択レジスタ	SELB_TAUJ2I	FFE5 4004_H

33.1.8.2　SELB_TAUJ0I — TAUJTTINm 入力信号選択レジスタ

TAUJ0 入力信号を選択するレジスタです。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　FFE5 4000_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	SELB_TAUJ0I3	SELB_TAUJ0I2	SELB_TAUJ0I1	SELB_TAUJ0I0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 33.19　SELB_TAUJ0I レジスタの内容

ビット位置	ビット名	機能
7～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	SELB_TAUJ0I3	TAUJTTIN3 への入力信号の選択： 0：RTCA0OUT 1：TAUJTTOUT0（TAUJ1）
2	SELB_TAUJ0I2	TAUJTTIN2 への入力信号の選択： 0：RTCA0OUT 1：TAUJTTOUT0（TAUJ1）
1	SELB_TAUJ0I1	TAUJTTIN3 への入力信号の選択： 0：ポート TAUJ0I3 1：タイマ入力
0	SELB_TAUJ0I0	TAUJTTIN2 への入力信号の選択： 0：ポート TAUJ0I2 1：タイマ入力

33.1.8.3 SELB_TAUJ2I — TAUJTTINm 入力信号選択レジスタ

TAUJ2 入力信号を選択するレジスタです。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス FFE5 4004_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SELB_TAUJ2I1	SELB_TAUJ2I0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 33.20　SELB_TAUJ2I レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	SELB_TAUJ2I1	TAUJTTIN3 への入力信号の選択： 0：ポート TAUJ2I3 1：TAUJTTOUT0（TAUJ3）
0	SELB_TAUJ2I0	TAUJTTIN2 への入力信号の選択： 0：ポート TAUJ2I2 1：TAUJTTOUT0（TAUJ3）

33.2　概要

33.2.1　機能概要

TAUJ には、次の機能があります。

- 単体動作機能（1 チャネルで動作する機能）
- 連動動作機能（マスタチャネル 1 チャネルとスレーブチャネルの複数チャネルで実現する機能）

TAUJ は、各種カウントやタイマ動作を行い、その動作の結果によって異なる信号を出力します。カウントクロックを生成するためのプリスケーラ、カウント開始値および比較値を保持するための 32 ビットカウンタ TAUJnCNTm と 32 ビットデータレジスタ TAUJnCDRm をそれぞれ備えた 4 チャネルを搭載しています。

また、いくつかの制御レジスタおよびステータスレジスタを持っています。

単体および連動動作

各チャネルは、単体で、またはほかのチャネルと連動して、2 つの動作モードで動作することが可能です。1 つのマスタチャネルと 1 つ以上のスレーブチャネルの場合、スレーブチャネルは、マスタチャネルに依存します。

あるチャネルを単体動作させる場合、他のチャネルと無関係に動作できます。

連動動作機能は、チャネルグループ（マスタチャネルとスレーブチャネルで構成されます）を組み合わせて実現する機能です。

チャネルの設定には、いくつかのルールがあります。

33.2.2　用語

本章で使用されている用語について説明します。

単体動作機能／連動動作機能

TAUJ は 4 チャネルで構成されており、各チャネル単独で動作する単体動作機能と、複数のチャネルを組み合わせて動作する連動動作機能があります。

- 単体動作機能は、他のチャネルと無関係に任意のチャネルで使用可能です。
- 連動動作機能は、チャネルグループ（マスタチャネルとスレーブチャネルで構成されます）を組み合わせて実現する機能です。

チャネルの設定には、いくつかのルールがあります。

チャネルグループ

連動動作機能では、依存関係にあるすべてのチャネルを「チャネルグループ」と呼びます。

1 つのチャネルグループは、1 つのマスタチャネルと 1 つ以上のスレーブチャネルで構成されます。

上位／下位チャネル

チャネル m から見て、小さい番号または大きい番号のチャネルを上位または下位チャネルと呼びます。

- 上位チャネル：小さい番号のチャネル
- 下位チャネル：大きい番号のチャネル

たとえば、チャネル 2 に対してチャネル 1 は上位チャネル、チャネル 3 は下位チャネルです。チャネル 0 が最上位チャネル、チャネル 3 が最下位チャネルです。

33.2.3　タイマ動作機能一覧

このタイマは各チャネルを単体で動作させたり、複数チャネルを組み合わせて動作させることで、下記の機能が実現できます。

表 33.21　TAUJ 動作機能一覧

動作機能		設定例
チャネル単体動作機能		33.12 章
	インターバルタイマ機能	33.12.1 章
	TAUJTTINm 入力インターバルタイマ機能	33.12.2 章
	TAUJTTINm 入力パルスインターバル測定機能	33.12.3 章
	TAUJTTINm 入力信号幅測定機能	33.12.4 章
	TAUJTTINm 入力位置検出機能	33.12.5 章
	TAUJTTINm 入力期間カウント検出機能	33.12.6 章
	オーバフロー割り込み出力機能（TAUJTTINm 幅測定時）	33.12.7 章
	オーバフロー割り込み出力機能（TAUJTTINm 入力期間カウント検出時）	33.12.8 章
チャネル連動動作機能		33.13 章
	PWM 出力機能	33.13.1 章

33.2.4　TAUJ 入出力と割り込み要求信号

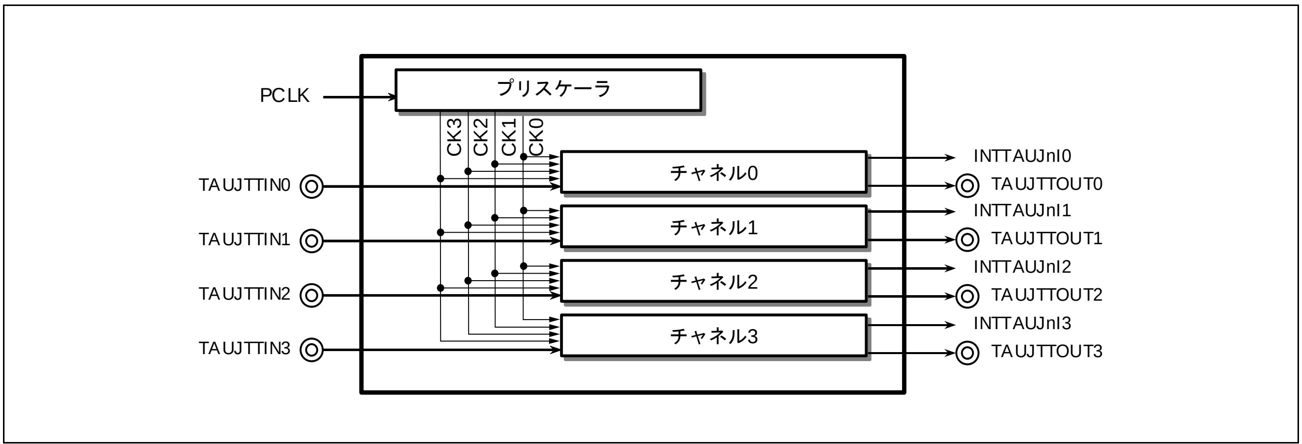


図 33.3　TAUJ 入出力と割り込み要求信号

33.2.5　　ブロック図

TAUJ の主な構成要素を次の図に示します。

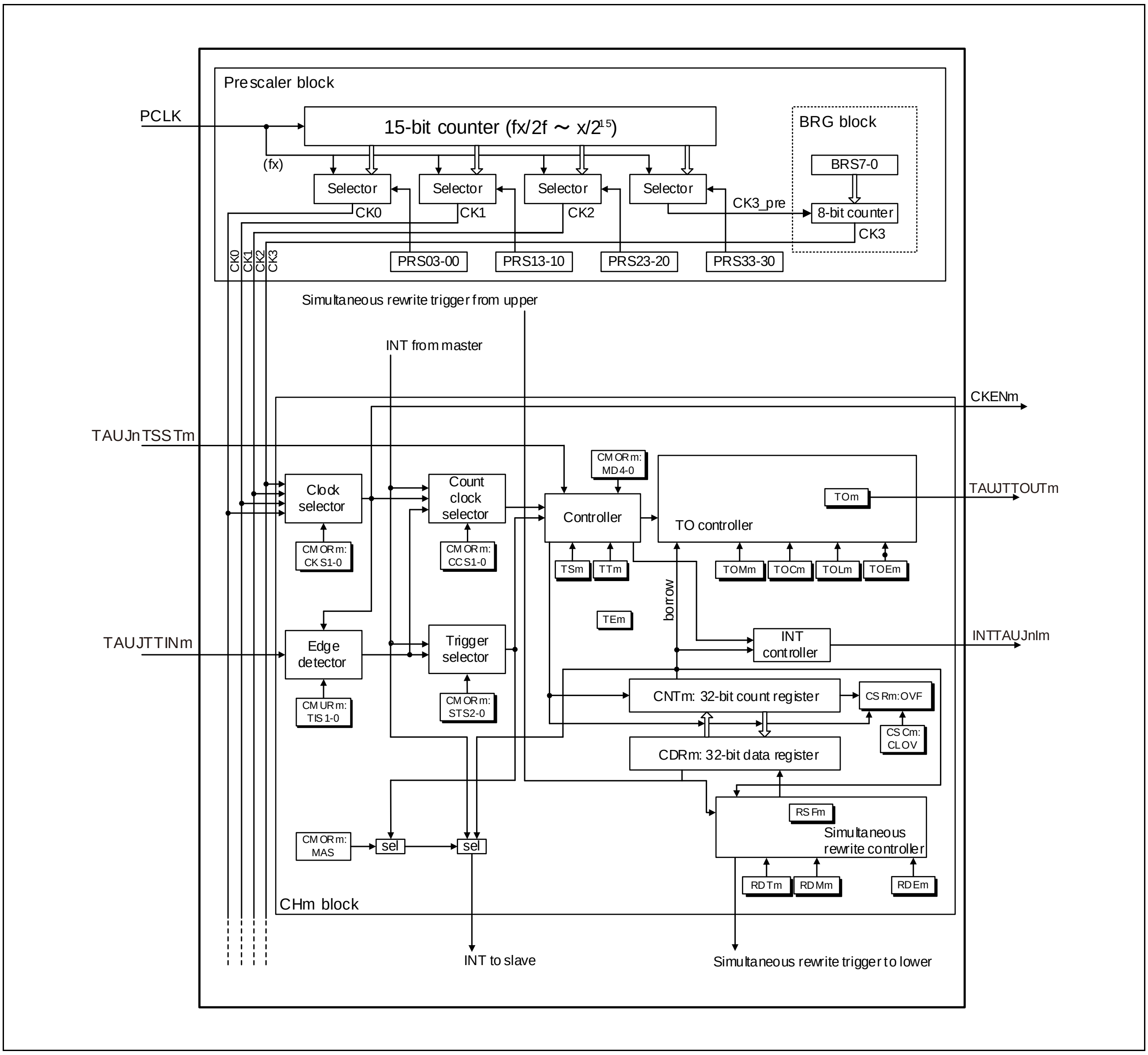


図 33.4　　TAUJ のブロック図

レジスタ名の「TAUJn」は、図を見やすくするために省略されています。

33.2.6　ブロック図の説明

機能ブロックを次に説明します。

プリスケーラ

プリスケーラは、すべてのチャネルのカウントクロックとして使用することができる最大 4 つのクロック信号（CK0-CK3）を供給します。

カウントクロック CK0-CK2 は、プリスケーラにより PCLK の 2^0-2^{15} の分周したクロックを選択することができます。4 つ目のカウントクロック CK3 は、BRG を使用することにより、2 のべき乗以外の分周比を設定することができます。

クロックおよびカウントクロックの選択

クロックカウントセレクタは、各チャネルに対してクロックソースを次から選択します。

– CK0-CK3 のいずれかのクロック（クロックセレクタにより選択）

コントローラ

コントローラは、カウンタの主な動作を制御します。

- 動作モード（TAUJnCMORm.TAUJnMD[4:0]ビットにより選択）
- カウント開始許可（TAUJnTS.TAUJnTSm）およびカウント停止（TAUJnTT.TAUJnTTm）

カウントの開始を許可すると、ステータスフラグ TAUJnTE.TAUJnTEm がセットされます。

トリガセレクタ

カウンタは、動作が許可されている場合（TAUJnTE.TAUJnTEm＝1）には自動的に起動するか、外部スタートトリガ信号を待ちます。次の信号をスタートトリガとして使うことができます。

– チャネル連動スタートトリガ入力 TAUJnTSSTm

– TAUJTTINm 入力の有効エッジ

– マスタチャネルからの INTTAUJnIm

一斉書き換えコントローラ

一斉書き換え制御は、連動動作機能で有効です。あるチャネルグループに属する全チャネルのデータレジスタ（TAUJnCDRm）はいつでも書き換えられます。一斉書き換えコントローラは、全チャネルのデータレジスタの新しい値が同時に有効になります。

TAUJnTO コントローラ

各チャネルの出力を制御することにより、PWM 信号などの各種出力信号を出力できます。

33.3　レジスタ

33.3.1　レジスター覧

TAUJ のレジスター覧を以下の表に示します。

<TAUJn_base>は、「**33.1.2 レジスタベースアドレス**」を参照してください。

表 33.22　レジスター覧

モジュール名	レジスタ名	略号	アドレス
TAUJn プリスケーラレジスタ			
TAUJn	TAUJn プリスケーラクロック選択レジスタ	TAUJnTPS	<TAUJn_base> + 90_H
	TAUJn プリスケーラボーレート設定レジスタ	TAUJnBRS	<TAUJn_base> + 94_H
TAUJn 制御レジスタ			
TAUJn	TAUJn チャネルデータレジスタ	TAUJnCDRm	<TAUJn_base> + m × 4_H
	TAUJn チャネルカウンタレジスタ	TAUJnCNTm	<TAUJn_base> + 10_H + m × 4_H
	TAUJn チャネルモード OS レジスタ	TAUJnCMORm	<TAUJn_base> + 80_H + m × 4_H
	TAUJn チャネルモードユーザレジスタ	TAUJnCMURm	<TAUJn_base> + 20_H + m × 4_H
	TAUJn チャネルステータスレジスタ	TAUJnCSRm	<TAUJn_base> + 30_H + m × 4_H
	TAUJn チャネルステータスクリアトリガレジスタ	TAUJnCSCm	<TAUJn_base> + 40_H + m × 4_H
	TAUJn チャネルスタートトリガレジスタ	TAUJnTS	<TAUJn_base> + 54_H
	TAUJn チャネル許可ステータスレジスタ	TAUJnTE	<TAUJn_base> + 50_H
	TAUJn チャネルストップトリガレジスタ	TAUJnTT	<TAUJn_base> + 58_H
TAUJn 出力レジスタ			
TAUJn	TAUJn チャネル出力許可レジスタ	TAUJnTOE	<TAUJn_base> + 60_H
	TAUJn チャネル出力レジスタ	TAUJnTO	<TAUJn_base> + $5C_H$
	TAUJn チャネル出力モードレジスタ	TAUJnTOM	<TAUJn_base> + 98_H
	TAUJn チャネル出力コンフィグレーションレジスタ	TAUJnTOC	<TAUJn_base> + $9C_H$
	TAUJn チャネル出力アクティブレベルレジスタ	TAUJnTOL	<TAUJn_base> + 64_H
TAUJn リロードデータレジスタ			
TAUJn	TAUJn チャネルリロードデータ許可レジスタ	TAUJnRDE	<TAUJn_base> + $A0_H$
	TAUJn チャネルリロードデータモードレジスタ	TAUJnRDM	<TAUJn_base> + $A4_H$
	TAUJn チャネルリロードデータトリガレジスタ	TAUJnRDT	<TAUJn_base> + 68_H
	TAUJn チャネルリロードステータスレジスタ	TAUJnRSF	<TAUJn_base> + $6C_H$
TAUJn エミュレーションレジスタ			
TAUJn	TAUJn エミュレーションレジスタ	TAUJnEMU	<TAUJn_base> + $A8_H$

33.3.2　TAUJn プリスケーラレジスタの詳細

33.3.2.1　TAUJnTPS — TAUJn プリスケーラクロック選択レジスタ

PCLK プリスケーラの全チャネルの CK0、CK1、CK2、CK3_PRE クロックを指定するレジスタです。CK3 は、CK3_PRE を TAUJnBRS で指定した係数で分周することによって生成されます。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<TAUJn_base> + 90_H

リセット後の値　$FFFF_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnPRS3[3:0]				TAUJnPRS2[3:0]				TAUJnPRS1[3:0]				TAUJnPRS0[3:0]			
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 33.23　TAUJnTPS レジスタの内容

ビット位置	ビット名	機能
15～12	TAUJnPRS3[3:0]	CK3_PRE クロックを指定します。 CK3_PRE クロックは BRG ユニットの入力クロックです。BRG ユニットは全チャネルに CK3 動作クロックを供給します。

TAUJnPRS3[3:0]	CK3_PRE クロック
0000_B	PCLK/2^0
0001_B	PCLK/2^1
0010_B	PCLK/2^2
0011_B	PCLK/2^3
0100_B	PCLK/2^4
0101_B	PCLK/2^5
0110_B	PCLK/2^6
0111_B	PCLK/2^7
1000_B	PCLK/2^8
1001_B	PCLK/2^9
1010_B	PCLK/2^{10}
1011_B	PCLK/2^{11}
1100_B	PCLK/2^{12}
1101_B	PCLK/2^{13}
1110_B	PCLK/2^{14}
1111_B	PCLK/2^{15}

本ビットは、CK3 を使用するカウンタがすべて停止している（TAUJnTE.TAUJnTEm＝0）場合のみ書き換え可能です。

表 33.23　TAUJnTPS レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>11～8</td><td>TAUJnPRS2[3:0]</td><td>CK2 クロックを指定します。
<table>
<tr><th>TAUJnPRS2[3:0]</th><th>CK2 クロック</th></tr>
<tr><td>0000_B</td><td>$PCLK/2^0$</td></tr>
<tr><td>0001_B</td><td>$PCLK/2^1$</td></tr>
<tr><td>0010_B</td><td>$PCLK/2^2$</td></tr>
<tr><td>0011_B</td><td>$PCLK/2^3$</td></tr>
<tr><td>0100_B</td><td>$PCLK/2^4$</td></tr>
<tr><td>0101_B</td><td>$PCLK/2^5$</td></tr>
<tr><td>0110_B</td><td>$PCLK/2^6$</td></tr>
<tr><td>0111_B</td><td>$PCLK/2^7$</td></tr>
<tr><td>1000_B</td><td>$PCLK/2^8$</td></tr>
<tr><td>1001_B</td><td>$PCLK/2^9$</td></tr>
<tr><td>1010_B</td><td>$PCLK/2^{10}$</td></tr>
<tr><td>1011_B</td><td>$PCLK/2^{11}$</td></tr>
<tr><td>1100_B</td><td>$PCLK/2^{12}$</td></tr>
<tr><td>1101_B</td><td>$PCLK/2^{13}$</td></tr>
<tr><td>1110_B</td><td>$PCLK/2^{14}$</td></tr>
<tr><td>1111_B</td><td>$PCLK/2^{15}$</td></tr>
</table>
本ビットは、CK2 を使用するカウンタがすべて停止している（TAUJnTE.TAUJnTEm＝0）場合のみ書き換え可能です。</td></tr>
<tr><td>7～4</td><td>TAUJnPRS1[3:0]</td><td>CK1 クロックを指定します。
<table>
<tr><th>TAUJnPRS1[3:0]</th><th>CK1 クロック</th></tr>
<tr><td>0000_B</td><td>$PCLK/2^0$</td></tr>
<tr><td>0001_B</td><td>$PCLK/2^1$</td></tr>
<tr><td>0010_B</td><td>$PCLK/2^2$</td></tr>
<tr><td>0011_B</td><td>$PCLK/2^3$</td></tr>
<tr><td>0100_B</td><td>$PCLK/2^4$</td></tr>
<tr><td>0101_B</td><td>$PCLK/2^5$</td></tr>
<tr><td>0110_B</td><td>$PCLK/2^6$</td></tr>
<tr><td>0111_B</td><td>$PCLK/2^7$</td></tr>
<tr><td>1000_B</td><td>$PCLK/2^8$</td></tr>
<tr><td>1001_B</td><td>$PCLK/2^9$</td></tr>
<tr><td>1010_B</td><td>$PCLK/2^{10}$</td></tr>
<tr><td>1011_B</td><td>$PCLK/2^{11}$</td></tr>
<tr><td>1100_B</td><td>$PCLK/2^{12}$</td></tr>
<tr><td>1101_B</td><td>$PCLK/2^{13}$</td></tr>
<tr><td>1110_B</td><td>$PCLK/2^{14}$</td></tr>
<tr><td>1111_B</td><td>$PCLK/2^{15}$</td></tr>
</table>
本ビットは、CK1 を使用するカウンタがすべて停止している（TAUJnTE.TAUJnTEm＝0）場合のみ書き換え可能です。</td></tr>
</table>

表 33.23　TAUJnTPS レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>3～0</td><td>TAUJnPRS0[3:0]</td><td>CK0 クロックを指定します。
<table>
<tr><th>TAUJnPRS0[3:0]</th><th>CK0 クロック</th></tr>
<tr><td>0000_B</td><td>$PCLK/2^0$</td></tr>
<tr><td>0001_B</td><td>$PCLK/2^1$</td></tr>
<tr><td>0010_B</td><td>$PCLK/2^2$</td></tr>
<tr><td>0011_B</td><td>$PCLK/2^3$</td></tr>
<tr><td>0100_B</td><td>$PCLK/2^4$</td></tr>
<tr><td>0101_B</td><td>$PCLK/2^5$</td></tr>
<tr><td>0110_B</td><td>$PCLK/2^6$</td></tr>
<tr><td>0111_B</td><td>$PCLK/2^7$</td></tr>
<tr><td>1000_B</td><td>$PCLK/2^8$</td></tr>
<tr><td>1001_B</td><td>$PCLK/2^9$</td></tr>
<tr><td>1010_B</td><td>$PCLK/2^{10}$</td></tr>
<tr><td>1011_B</td><td>$PCLK/2^{11}$</td></tr>
<tr><td>1100_B</td><td>$PCLK/2^{12}$</td></tr>
<tr><td>1101_B</td><td>$PCLK/2^{13}$</td></tr>
<tr><td>1110_B</td><td>$PCLK/2^{14}$</td></tr>
<tr><td>1111_B</td><td>$PCLK/2^{15}$</td></tr>
</table>
本ビットは、CK0 を使用するカウンタがすべて停止している（TAUJnTE.TAUJnTEm＝0）場合のみ書き換え可能です。</td></tr>
</table>

備　考

TAUJn クロック入力 PCLK については、本章の最初の節内「**33.1.3　クロック供給**」で定義しています。

33.3.2.2　TAUJnBRS ― TAUJn プリスケーラボーレート設定レジスタ

プリスケーラクロック CK3 の分周係数を指定するレジスタです。

CK3 は、CK3_PRE をこのレジスタで指定した係数+1 で分周することによって生成されます。CK3_PRE 用の PCLK プリスケーラは、TAUJnTPS.TAUJnPRS3[3:0]で指定します。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<TAUJn_base> + 94_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	TAUJnBRS[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 33.24　TAUJnBRS レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>7～0</td><td>TAUJnBRS[7:0]</td><td>CK3 生成のための CK3_PRE クロック分周係数を指定します。
<table>
<tr><th>TAUJnBRS[7:0]</th><th>CK3 クロック</th></tr>
<tr><td>0000 0000_B</td><td>CK3_PRE/1</td></tr>
<tr><td>0000 0001_B</td><td>CK3_PRE/2</td></tr>
<tr><td>0000 0010_B</td><td>CK3_PRE/3</td></tr>
<tr><td>0000 0011_B</td><td>CK3_PRE/4</td></tr>
<tr><td>...</td><td>...</td></tr>
<tr><td>1111 1110_B</td><td>CK3_PRE/255</td></tr>
<tr><td>1111 1111_B</td><td>CK3_PRE/256</td></tr>
</table></td></tr>
</table>

33.3.3　TAUJn 制御レジスタの詳細

33.3.3.1　TAUJnCDRm ― TAUJn チャネルデータレジスタ

このレジスタは、TAUJnCMORm.TAUJnMD[4:1]で指定された動作モードによって、コンペアレジスタもしくはキャプチャレジスタとして機能するレジスタです。

アクセス　32 ビット単位でリード／ライト可能です。

- キャプチャレジスタ機能時は、リードのみ可能です。ライト動作は無視されます。
- コンペアレジスタ機能時は、リード／ライト可能です。

アドレス　<TAUJn_base> + 0_H + m × 4_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TAUJnCDR[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCDR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 33.25　TAUJnCDRm レジスタの内容

ビット位置	ビット名	機能
31～0	TAUJnCDR[31:0]	キャプチャ値／コンペア値用データレジスタ

33.3.3.2　TAUJnCNTm ― TAUJn チャネルカウンタレジスタ

チャネル m カウンタレジスタです。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　<TAUJn_base> + 10_H + m × 4_H

リセット後の値　FFFF $FFFF_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TAUJnCNT[31:16]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCNT[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 33.26　TAUJnCNTm レジスタの内容

ビット位置	ビット名	機能
31～0	TAUJnCNT[31:0]	32 ビットカウンタ値

リード値は、カウンタ、動作モード変更、TAUJnTS.TAUJnTSm、TAUJnTT.TAUJnTTm ビット値によって異なります。

カウンタの初期リード値は、動作モードとカウンタ停止方法によって異なります。

－ リセットによる停止

－ カウンタストップトリガによる停止（TAUJnTT.TAUJnTTm＝1）

カウント停止後（TAUJnTE.TAUJnTEm＝0）と再許可後（TAUJnTS.TAUJnTSm＝1）のカウンタの初期リード値を次の表に示します。

また、カウンタがスタートトリガを待っている状態で、カウンタ動作が許可（TAUJnTS.TAUJnTSm＝1）されてから 1 カウント後のカウンタのリード値も示します。

表 33.27　カウント再許可後の TAUJnCNTm リード値

モード名	カウント方式（アップ／ダウン）	TAUJnCNTm		
		スタート値注 1	ストップトリガ後	ワンカウント後
インターバルタイマモード	ダウンカウント	FFFF $FFFF_H$	停止値	—
キャプチャモード	アップカウント	0000 0000_H	停止値	—
ワンカウントモード	ダウンカウント	FFFF $FFFF_H$	停止値	FFFF $FFFF_H$
キャプチャ＆ワンカウントモード	アップカウント	0000 0000_H	停止値	キャプチャ値＋1（TAUJnCDRm）
カウントキャプチャモード	アップカウント	0000 0000_H	停止値	—
ゲートカウントモード	ダウンカウント	FFFF $FFFF_H$	停止値	停止値
キャプチャ＆ゲートカウントモード	アップカウント	0000 0000_H	停止値	停止値

注1.　リセット解除後、動作モードを変更した際に TAUJnCNTm にセットされる値

33.3.3.3 TAUJnCMORm ― TAUJn チャネルモード OS レジスタ

このレジスタは、チャネル m の動作を制御します。

アクセス	16 ビット単位でリード／ライト可能です。 カウンタ停止中（TAUJnTE.TAUJnTEm＝0）のときのみライト可能です。
アドレス	<TAUJn_base> + 80_H + m × 4_H
リセット後の値	0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS[1:0]		TAUJnCCS[1:0]		TAUJn MAS	TAUJnSTS[2:0]			TAUJnCOS[1:0]		—	TAUJnMD[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 33.28 TAUJnCMORm レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>15、14</td><td>TAUJnCKS[1:0]</td><td>動作クロックを選択します。動作クロックは TAUJTTINm 入力エッジ検出回路で使用します。
TAUJnCMORm.TAUJnCCS[1:0]ビットの設定により、TAUJnCNTm のカウントクロックとして使用することも可能です。
<table>
<tr><th>TAUJnCKS1</th><th>TAUJnCKS0</th><th>動作クロック選択</th></tr>
<tr><td>0</td><td>0</td><td>CK0</td></tr>
<tr><td>0</td><td>1</td><td>CK1</td></tr>
<tr><td>1</td><td>0</td><td>CK2</td></tr>
<tr><td>1</td><td>1</td><td>CK3</td></tr>
</table></td></tr>
<tr><td>13、12</td><td>TAUJnCCS[1:0]</td><td>TAUJnCNTm カウンタのカウントクロックを選択します。
<table>
<tr><th>TAUJnCCS1</th><th>TAUJnCCS0</th><th>動作クロック選択</th></tr>
<tr><td>0</td><td>0</td><td>TAUJnCMORm.TAUJnCKS[1:0]で指定した動作クロック</td></tr>
<tr><td>0</td><td>1</td><td rowspan="3">設定禁止</td></tr>
<tr><td>1</td><td>0</td></tr>
<tr><td>1</td><td>1</td></tr>
</table></td></tr>
<tr><td>11</td><td>TAUJnMAS</td><td>チャネル連動動作時に、そのチャネルがマスタチャネルかスレーブチャネルかを指定します。
0：スレーブ
1：マスタ
このビット設定は偶数チャネル（CHm_even）に対してのみ有効です。奇数チャネル（CHm_odd）は、0 に固定されています。</td></tr>
</table>

表 33.28　TAUJnCMORm レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>10〜8</td><td>TAUJnSTS[2:0]</td><td>外部スタートトリガを選択します。
<table>
<tr><th>TAUJnSTS2</th><th>TAUJnSTS1</th><th>TAUJnSTS0</th><th>動作クロック選択</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>ソフトウェアトリガ</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>TAUJTTINm 入力信号の有効エッジ。有効エッジはTAUJnCMURm.TAUJnTIS[1:0]で指定</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>TAUJTTINm 入力信号の有効エッジをスタートトリガ、逆エッジをストップトリガとして使用</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>設定禁止</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>マスタチャネルの INTTAUJnIm がスタートトリガ</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td rowspan="3">設定禁止</td></tr>
<tr><td>1</td><td>1</td><td>0</td></tr>
<tr><td>1</td><td>1</td><td>1</td></tr>
</table>
</td></tr>
<tr><td>7、6</td><td>TAUJnCOS[1:0]</td><td>チャネル m のキャプチャレジスタ TAUJnCDRm とオーバフローフラグTAUJnCSRm.TAUJnOVF を更新するタイミングを指定します。
これらのビットはチャネル m がキャプチャ機能のときにのみ有効です。
カウントキャプチャモード、キャプチャ＆ゲートカウントモードの時は“01_B”固定としてください。
<table>
<tr><th>TAUJn COS1</th><th>TAUJn COS0</th><th>TAUJnCDRm</th><th>TAUJnCSRm.TAUJnOVF</th></tr>
<tr><td>0</td><td>0</td><td rowspan="2">TAUJTTINm 入力有効エッジを検出すると更新</td><td>TAUJTTINm 入力有効エッジを検出すると更新（クリアまたはセット）
● 有効エッジを最後に検出してからカウンタオーバフローが発生している場合は、TAUJnCSRm.TAUJnOVF をセット
● 有効エッジを最後に検出してからカウンタオーバフローが発生していない場合は、TAUJnCSRm.TAUJnOVF をクリア</td></tr>
<tr><td>0</td><td>1</td><td>カウンタオーバフロー時にセット、TAUJnCSCm.TAUJnCLOV＝1 に設定することでクリア</td></tr>
<tr><td>1</td><td>0</td><td rowspan="2">TAUJTTINm 入力有効エッジ検出およびカウンタオーバフローの発生により更新
● TAUJTTINm 入力有効エッジ検出：カウンタ値が TAUJnCDRm に書き込まれる
● オーバフロー発生：FFFF FFFF_H が TAUJnCDRm にロードされる。次の TAUJTTINm 入力有効エッジ検出は無視される。</td><td>設定なし</td></tr>
<tr><td>1</td><td>1</td><td>カウンタオーバフロー時にセット、TAUJnCSCm.TAUJnCLOV＝1 に設定することでクリア</td></tr>
</table>
</td></tr>
<tr><td>5</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
</table>

表 33.28　TAUJnCMORm レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>4～0</td><td>TAUJnMD[4:0]</td><td>動作モードを指定します。
<table>
<tr><th>TAUJn MD4</th><th>TAUJn MD3</th><th>TAUJn MD2</th><th>TAUJn MD1</th><th>TAUJn MD0</th><th>機能説明</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1/0</td><td>インターバルタイマモード</td></tr>
<tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1/0</td><td>設定禁止</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>0</td><td>1/0</td><td>キャプチャモード</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td><td>設定禁止</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>0</td><td>1/0</td><td>ワンカウントモード</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>1</td><td>1/0</td><td>設定禁止</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>0</td><td>0</td><td>キャプチャ＆ワンカウントモード</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>1</td><td>1/0</td><td>設定禁止</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>設定禁止</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td><td>設定禁止</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>0</td><td>1/0</td><td>設定禁止</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>1</td><td>1/0</td><td>カウントキャプチャモード</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td><td>ゲートカウントモード</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>1</td><td>0</td><td>キャプチャ＆ゲートカウントモード</td></tr>
</table>
<table>
<tr><th>モード</th><th>TAUJnMD0 ビットの役割</th></tr>
<tr><td>インターバルタイマモード
キャプチャモード
カウントキャプチャモード</td><td>カウント動作開始時（スタートトリガ入力時）に、INTTAUJnIm 信号を出力するかどうかを指定します。
0：INTTAUJnIm を出力しない
1：INTTAUJnIm を出力する</td></tr>
<tr><td>ワンカウントモード</td><td>カウント中のスタートトリガ検出を許可／禁止します。
0：禁止
1：許可
注意）ワンカウントモードでは、カウント動作開始時に INTTAUJnIm 信号を出力しません。</td></tr>
<tr><td>キャプチャ＆ワンカウントモード
ゲートカウントモード
キャプチャ＆ゲートカウントモード</td><td>このビットは“0”に設定してください。
注意）カウント動作開始時に INTTAUJnIm 信号を出力しません。また、カウント動作中に検出されたスタートトリガは無効です。</td></tr>
</table>
</td></tr>
</table>

33.3.3.4　TAUJnCMURm — TAUJn チャネルモードユーザレジスタ

このレジスタは、TAUJTTINm 入力で使用される有効エッジ検出のタイプを指定します。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<TAUJn_base> + 20_H + m × 4_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 33.29　TAUJnCMURm レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>7～2</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>1、0</td><td>TAUJnTIS[1:0]</td><td>TAUJTTINm 入力信号の有効エッジを指定します。
<table>
<tr><th>TAUJnTIS1</th><th>TAUJnTIS0</th><th>機能説明</th></tr>
<tr><td>0</td><td>0</td><td>立ち下がりエッジ</td></tr>
<tr><td>0</td><td>1</td><td>立ち上がりエッジ</td></tr>
<tr><td>1</td><td>0</td><td>両エッジ検出（ロウレベル幅測定選択）
スタートトリガ : 立ち下がりエッジ
ストップトリガ（キャプチャ）: 立ち上がりエッジ</td></tr>
<tr><td>1</td><td>1</td><td>両エッジ検出（ハイレベル幅測定選択）
スタートトリガ : 立ち上がりエッジ
ストップトリガ（キャプチャ）: 立ち下がりエッジ</td></tr>
</table>
TAUJTTINm 入力信号のエッジ検出は、TAUJnCMORm.TAUJnCKS[1:0]で選択した動作クロックに基づいて行われます。</td></tr>
</table>

33.3.3.5　TAUJnCSRm — TAUJn チャネルステータスレジスタ

このレジスタは、チャネル m のオーバフロー状態を示します。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<TAUJn_base> + 30_H + m × 4_H

リセット後の値　$0X_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAUJnOVF
リセット後の値	0	0	0	0	0	0	—	0
R/W	R	R	R	R	R	R	R	R

表 33.30　TAUJnCSRm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。
1	予約ビット	リードした場合は不定値が読めます。
0	TAUJnOVF	カウンタオーバフロー状態を示します。 0：オーバフローが発生していない 1：オーバフローが発生 このビットは、次のモード時のみ使用します。 ● キャプチャモード ● キャプチャ＆ワンカウントモード このビットの機能は、制御ビット TAUJnCMORm.TAUJnCOS[1:0]の設定により異なります。

33.3.3.6　TAUJnCSCm — TAUJn チャネルステータスクリアトリガレジスタ m

このレジスタは、チャネル m のオーバフローフラグ TAUJnCSRm.TAUJnOVF をクリアするためのトリガレジスタです。

アクセス　8 ビット単位でライトのみ可能です。リード値は常に 00_H です。

アドレス　<TAUJn_base> + 40_H + m × 4_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAUJnCLOV
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 33.31　TAUJnCSCm レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TAUJnCLOV	0：機能なし 1：オーバフローフラグ TAUJnCSRm.TAUJnOVF をクリア

33.3.3.7　TAUJnTS — TAUJn チャネルスタートトリガレジスタ

このレジスタは、各チャネルのカウンタ動作を許可します。

アクセス　8 ビット単位でライトのみ可能です。リード値は常に 00_H です。

アドレス　<TAUJn_base> + 54_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTS03	TAUJnTS02	TAUJnTS01	TAUJnTS00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	W	W	W	W

表 33.32　TAUJnTS レジスタの内容

ビット位置	ビット名	機能
7～4	予約ビット	ライトする場合はリセット後の値を書いてください。
3～0	TAUJnTSm	チャネル m のカウンタ動作を許可します。 0：機能なし 1：カウンタ動作を許可し、TAUJnTE.TAUJnTEm＝1 を設定。 TAUJnTE.TAUJnTEm＝1 を設定しても、カウント動作が許可されるだけです。 カウントが開始されるかどうかは、選択されている動作モードによって異なります。

33.3.3.8　TAUJnTE — TAUJn チャネル許可ステータスレジスタ

このレジスタは、カウンタ動作の許可／禁止を示します。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<TAUJn_base> + 50_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTE03	TAUJnTE02	TAUJnTE01	TAUJnTE00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 33.33　TAUJnTE レジスタの内容

ビット位置	ビット名	機能
7～4	予約ビット	リードした場合はリセット後の値が読めます。
3～0	TAUJnTEm	チャネル m のカウンタ動作の許可／禁止を示します。 0：カウンタ動作禁止 1：カウンタ動作許可 TAUJnTSSTm（チャネル連動スタートトリガ信号）のトリガ入力を検知するか、 TAUJnTS.TAUJnTSm を 1 にセットすると、このビットが 1 に設定されます。 TAUJnTT.TAUJnTTm を 1 にセットすると、このビットが 0 にリセットされます。

33.3.3.9　TAUJnTT ― TAUJn チャネルストップトリガレジスタ

このレジスタは、各チャネルのカウンタ動作を停止します。

アクセス	アクセス 8 ビット単位でライトのみ可能です。リード値は常に 00_H です。
アドレス	<TAUJn_base> + 58_H
リセット後の値	00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTT03	TAUJnTT02	TAUJnTT01	TAUJnTT00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	W	W	W	W

表 33.34　TAUJnTT レジスタの内容

ビット位置	ビット名	機能
7～4	予約ビット	ライトする場合はリセット後の値を書いてください。
3～0	TAUJnTTm	チャネル m のカウンタ動作を停止します。 0：機能なし 1：カウンタ動作を停止し、TAUJnTE.TAUJnTEm をリセットします。 TAUJnCNTm、TAUJnTO.TAUJnTOm、TAUJTTOUTm は、カウント停止前の値を保持します。

33.3.4　TAUJn 一斉書き換えレジスタの詳細

33.3.4.1　TAUJnRDE — TAUJn チャネルリロードデータ許可レジスタ

このレジスタは、データレジスタ TAUJnCDRm の一斉書き換えを許可／禁止します。また、PWM 出力機能で動作しているデータレジスタ TAUJnTOLm の一斉書き換えを許可／禁止します。

アクセス　8 ビット単位でリード／ライト可能です。TAUJnTE.TAUJnTEm＝0 のときのみ、ライト可能です。

アドレス　<TAUJn_base> + $A0_H$

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnRDE03	TAUJnRDE02	TAUJnRDE01	TAUJnRDE00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 33.35　TAUJnRDE レジスタの内容

ビット位置	ビット名	機能
7～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3～0	TAUJnRDEm	チャネル m のデータレジスタの一斉書き換えを許可／禁止します。 0：一斉書き換え禁止 1：一斉書き換え許可

33.3.4.2　TAUJnRDM — TAUJn チャネルリロードデータモードレジスタ

このレジスタは、一斉書き換え制御信号を発生させるタイミングを選択します。

アクセス　8 ビット単位でリード／ライト可能です。TAUJnTE.TAUJnTEm＝0 のときのみ、ライト可能です。

アドレス　<TAUJn_base> + $A4_H$

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnRDM03	TAUJnRDM02	TAUJnRDM01	TAUJnRDM00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 33.36　TAUJnRDM レジスタの内容

ビット位置	ビット名	機能
7～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3～0	TAUJnRDMm	一斉書き換えトリガ信号を発生するタイミングを選択します。 0：マスタチャネルのカウンタがカウントを開始したとき 1：機能なし これらのビット設定は TAUJnRDE.TAUJnRDEm＝1 時のみ適用されます。

33.3.4.3　TAUJnRDT — TAUJn チャネルリロードデータトリガレジスタ

一斉書き換え許可状態をトリガするレジスタです。

アクセス　8 ビット単位でライトのみ可能です。リード値は常に 00_H です。

アドレス　<TAUJn_base> + 68_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnRDT03	TAUJnRDT02	TAUJnRDT01	TAUJnRDT00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	W	W	W	W

表 33.37　TAUJnRDT レジスタの内容

ビット位置	ビット名	機能
7～4	予約ビット	ライトする場合はリセット後の値を書いてください。
3～0	TAUJnRDTm	一斉書き換え許可状態をトリガします。 0：機能なし 1：一斉書き換え許可状態をトリガする。一斉書き換え許可フラグ（TAUJnRSFm）が 1 に設定されます。システムは一斉書き換えトリガを待ちます。 これらのビットの設定は、以下の場合にのみ適用されます。 ● TAUJnRDE.TAUJnRDEm＝1

33.3.4.4　TAUJnRSF — TAUJn チャネルリロードステータスレジスタ

このフラグレジスタは、一斉書き換えのステータスを示します。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<TAUJn_base> + $6C_H$

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnRSF03	TAUJnRSF02	TAUJnRSF01	TAUJnRSF00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 33.38　TAUJnRSF レジスタの内容

ビット位置	ビット名	機能
7～4	予約ビット	リードした場合はリセット後の値が読めます。
3～0	TAUJnRSFm	一斉書き換えの状態を示します。 0：一斉書き換えトリガの発生により、一斉書き換えが完了したこと示します。 1：一斉書き換え許可状態（TAUJnRDTm＝1）で、一斉書き換えのトリガ待ちを示します。

33.3.5　TAUJn 出力レジスタの詳細

33.3.5.1　TAUJnTOE — TAUJn チャネル出力許可レジスタ

このレジスタは、ソフトウェア制御のチャネル単体出力モードを許可／禁止します。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<TAUJn_base> + 60$_H$

リセット後の値　00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTOE03	TAUJnTOE02	TAUJnTOE01	TAUJnTOE00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 33.39　TAUJnTOE レジスタの内容

ビット位置	ビット名	機能
7～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3～0	TAUJnTOEm	チャネル単体出力機能を許可／禁止します。 0：タイマ単体出力機能を禁止（ソフトウェア機能） 1：タイマ単体出力機能を許可

33.3.5.2　TAUJnTO — TAUJn チャネル出力レジスタ

このレジスタは、TAUJTTOUTm レベルを指定およびリードします。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<TAUJn_base> + 5C$_H$

リセット後の値　00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTO03	TAUJnTO02	TAUJnTO01	TAUJnTO00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 33.40　TAUJnTO レジスタの内容

ビット位置	ビット名	機能
7～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3～0	TAUJnTOm	このレジスタは、TAUJTTOUTm レベルを指定およびリードします。 0：ロウレベル 1：ハイレベル チャネル単体出力機能が禁止されている（TAUJnTOEm＝0）TAUJnTOm ビットのみライト可能です。

33.3.5.3　TAUJnTOM ― TAUJn チャネル出力モードレジスタ

このレジスタは、各チャネルの出力モードを指定します。

アクセス	8 ビット単位でリード／ライト可能です。 カウンタ停止中（TAUJnTE.TAUJnTEm＝0）のときのみ、ライト可能です。
アドレス	<TAUJn_base> + 98_H
リセット後の値	00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTOM03	TAUJnTOM02	TAUJnTOM01	TAUJnTOM00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 33.41　TAUJnTOM レジスタの内容

ビット位置	ビット名	機能
7～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3～0	TAUJnTOMm	出力モードを指定します。 0：チャネル単体動作 1：チャネル連動動作 出力モードは各チャネル出力制御ビット TAUJnTOE.TAUJnTOEm の設定によって変わります。

33.3.5.4　TAUJnTOC — TAUJn チャネル出力コンフィグレーションレジスタ

このレジスタは、TAUJnTOMm とともに各チャネルの出力モードを指定します。

アクセス　8 ビット単位でリード／ライト可能です。
カウンタ停止中（TAUJnTE.TAUJnTEm＝0）のときのみ、ライト可能です。

アドレス　<TAUJn_base> + $9C_H$

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTOC03	TAUJnTOC02	TAUJnTOC01	TAUJnTOC00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 33.42　TAUJnTOC レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>7～4</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>3～0</td><td>TAUJnTOCm</td><td>出力モードを指定します。
0：動作モード 1（トグルモード）
1：機能なし
ソフトウェア制御のチャネル単体出力モード以外のすべての出力モードでは、必ず 0 に設定してください。
次の表にあるように、出力モードは TAUJnTOM.TAUJnTOMm の設定によっても異なります。
<table>
<tr><th>TAUJnTOMm</th><th>TAUJnTOCm</th><th>機能説明</th></tr>
<tr><td>0</td><td>0</td><td>トグルモード：INTTAUJnIm 発生時にトグル動作が行われます。</td></tr>
<tr><td>0</td><td>1</td><td>機能なし</td></tr>
<tr><td>1</td><td>0</td><td>チャネル連動動作モード 1：マスタチャネルで INT が発生するとセット、スレーブチャネルで INT が発生するとリセットされます。</td></tr>
<tr><td>1</td><td>1</td><td>機能なし</td></tr>
</table></td></tr>
</table>

33.3.5.5　TAUJnTOL — TAUJn チャネル出力アクティブレベルレジスタ

このレジスタは、チャネル出力ビット（TAUJnTO.TAUJnTOm）の出力論理を指定します。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<TAUJn_base> + 64_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAUJnTOL03	TAUJnTOL02	TAUJnTOL01	TAUJnTOL00
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 33.43　TAUJnTOL レジスタの内容

ビット位置	ビット名	機能
7〜4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3〜0	TAUJnTOLm	チャネル m 出力ビット（TAUJnTO.TAUJnTOm）の出力論理を指定します。 0：正論理（アクティブハイ） 1：負論理（アクティブロウ） これらのビット設定は、ソフトウェア制御のチャネル単体出力モードとチャネル単体出力モード 1 以外のすべてのチャネル出力モードに適用されます。

33.3.6　TAUJn エミュレーションレジスタ

33.3.6.1　TAUJnEMU — TAUJn エミュレーションレジスタ

このレジスタは SVSTOP による動作を制御します。

アクセス　8 ビット単位でリード／ライト可能です。
カウンタ停止中（TAUJnTE.TAUJnTEm＝0）、かつ（EPC.SVSTOP＝0）のときにライト動作を行ってください。

アドレス　<TAUJn_base> + A8$_H$

リセット後の値　00$_H$

ビット	7	6	5	4	3	2	1	0
	TAUJnSVSDIS	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R

表 33.44　TAUJnEMU レジスタの内容

ビット位置	ビット名	機能
7	TAUJnSVSDIS	（EPC.SVSTOP ビット＝0 のとき） 本ビットの値（1/0）にかかわらず、デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを継続供給 （EPC.SVSTOP ビット＝1 のとき） 0：デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを停止 1：デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを継続供給
6～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

33.4　操作手順

TAUJn の基本操作手順を次に示します。

リセット解除後、各チャネルの動作は停止します。クロックの供給が開始され、各レジスタへの書き込みが可能になります。全チャネルの全回路およびレジスタが初期化されます。TAUJTTOUTm の制御レジスタも初期化され、ロウレベルを出力します。

1. TAUJnTPS と TAUJnBRS レジスタを設定して CK0-CK3 のクロック周波数を指定してください。
2. 任意の TAUJn 機能を設定してください。
   - 動作モードを設定してください。
   - その他の制御ビットを設定してください。
3. TAUJnTS.TAUJnTSm ビットを 1 に設定してカウンタ動作を許可してください。
   カウンタは、ビット設定によって、ただちに、または適切なトリガが検出されたときにカウントを開始します。
4. カウント動作中、設定した機能に応じてカウントの停止や強制リスタートを行ってください。カウントの停止は TAUJnTT.TAUJnTTm ビットに 1 を設定してください。強制リスタートは TAUJnTS.TAUJnTSm ビットに 1 を設定してください。
5. TAUJnTT.TAUJnTTm ビットを 1 に設定して機能を停止してください。

備　考

1. 必要な制御ビットと各機能の動作の詳細は、「**33.12　チャネル単体動作機能**」、「**33.13　チャネル連動動作機能**」を参照してください。
2. 機能を変更する場合は、カウント停止中（TAUJnTE.TAUJnTEm＝0）に行ってください。

33.5　連動動作機能の概念

連動動作機能は、チャネルグループ（マスタチャネルとスレーブチャネルで構成されます）を組み合わせて実現する機能です。

チャネルの設定には、いくつかのルールがあります。

ルールの詳細は、「**33.5.1 連動動作機能のルール**」に示します。

連動動作機能の詳細を次の節で説明します。

- 「**33.13 チャネル連動動作機能**」

33.5.1　連動動作機能のルール

マスタおよびスレーブチャネル数

- マスタチャネルには、偶数チャネル（CH0、CH2）のみ設定できます。スレーブチャネルには、CH0 を除くすべてのチャネルを設定できます。
- マスタチャネルより下位のチャネルのみスレーブチャネルとして設定でき、1 つのマスタチャネルに対し複数のスレーブチャネルを設定できます。
  例：CH2 がマスタチャネルの場合、CH3 をスレーブチャネルに設定できます。
- マスタチャネルを 2 つ使用する場合、マスタチャネルを跨いだスレーブチャネルの設定はできません。
  例：CH0、CH2 がマスタチャネルの場合、CH0 に対して CH1 をスレーブチャネルとして設定できますが、CH3 は設定できません。

動作クロック

- マスタチャネルと連動するスレーブチャネルには同じ動作クロックを設定する必要があります。マスタチャネルとスレーブチャネルの TAUJnCMORm.TAUJnCKS[1:0]ビットの設定値を同じ設定値にしてください。

マスタおよびスレーブチャネルの使用と動作クロックの基本的な概念を「**図 33.5 チャネルのグループ化と動作クロックの割り当て**」に示します。

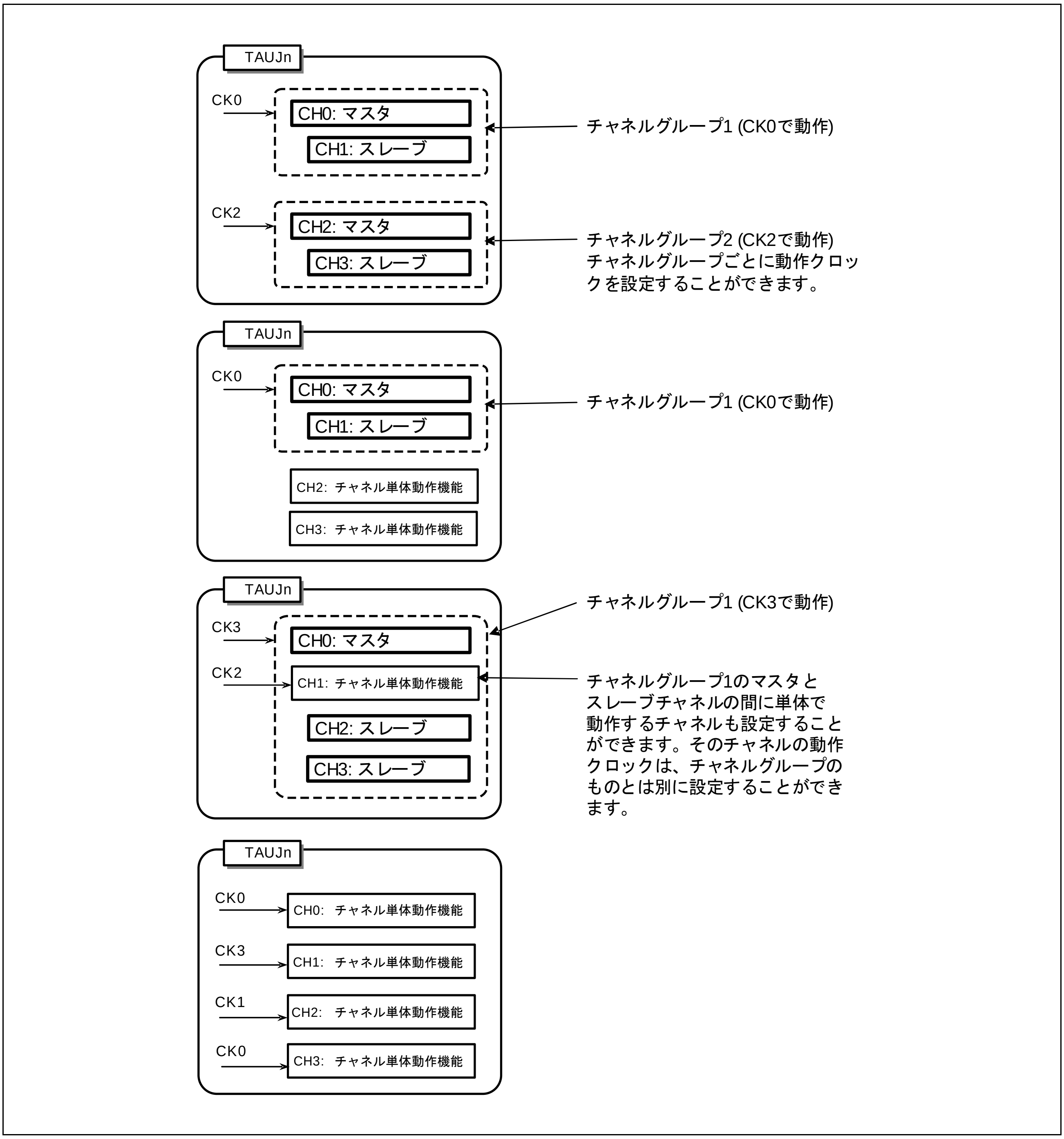


図 33.5　チャネルのグループ化と動作クロックの割り当て

33.5.2 連動チャネルカウンタの同時動作開始／停止

連動するチャネルは、同じユニット内およびユニット間で同時に開始／停止することができます。

33.5.2.1 ユニット内の連動チャネルカウンタの同時動作開始／停止

- 連動するチャネルを同時に開始させるためには、それらの TAUJnTS.TAUJnTSm ビットを同時に設定する必要があります。
- 連動するチャネルを同時に停止させるためには、それらの TAUJnTT.TAUJnTTm ビットを同時に設定する必要があります。

TAUJnTS.TAUJnTSm ビットに 1 を設定することにより、対応する TAUJnTE.TAUJnTEm ビットが 1 にセットされ、カウント動作を許可します。カウンタのカウント開始タイミングは、動作モードに依存します。

33.5.2.2 ユニット間の同時スタート

異なるユニットのカウンタは、同時トリガ信号を受信する前にカウンタを許可することにより、同時に動作を開始できます。

ユニット間の同時スタート方法の詳細は、「**36.8 同時スタートトリガ機能**」を参照してください。

33.6 一斉書き換え

33.6.1 一斉書き換えの制御方法

一斉書き換え機能を使用する場合の基本手順を次に示します。3 つの主なブロック（初期設定、カウント開始&カウント動作、一斉書き換え）は後述します。

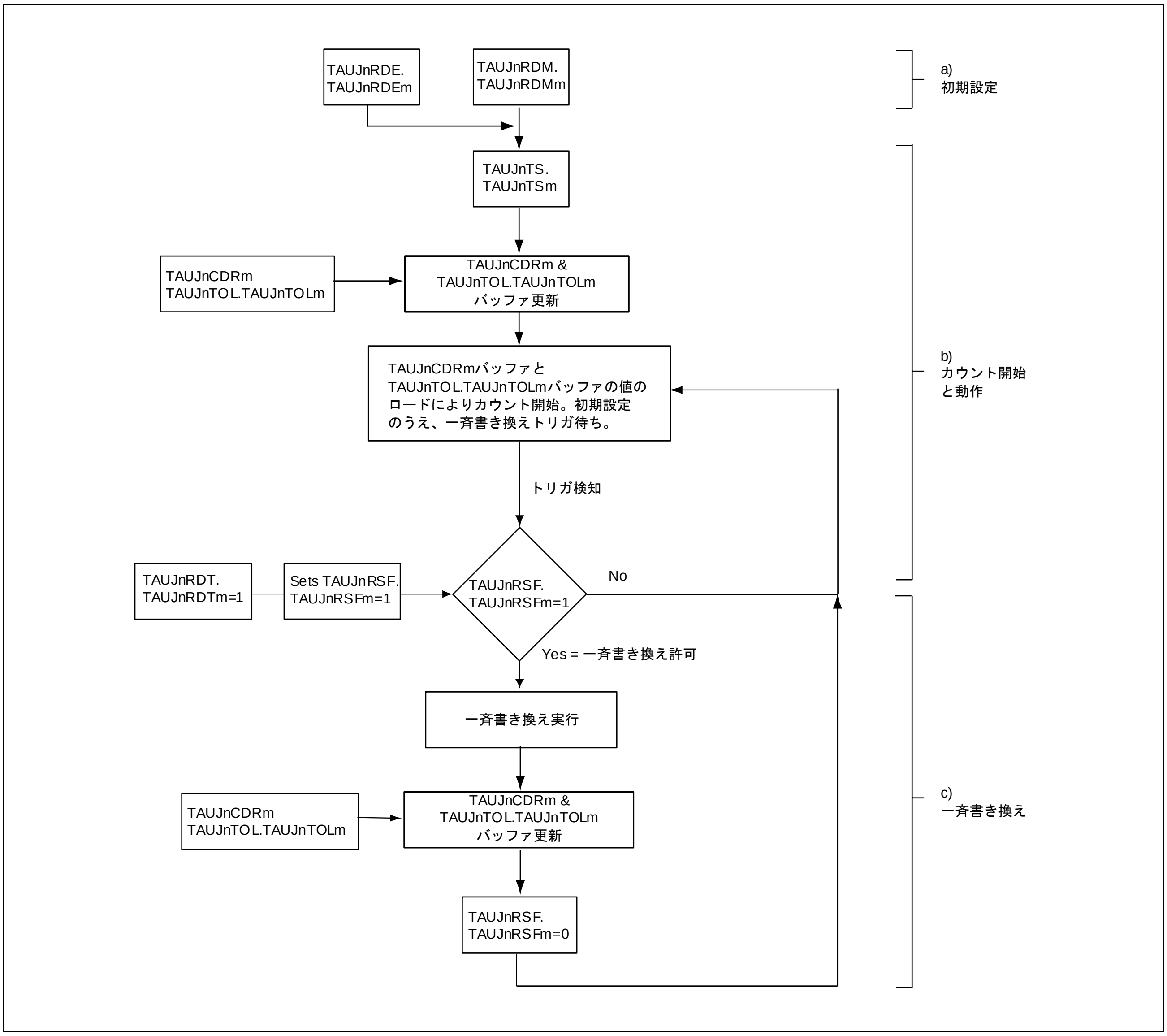


図 33.6 一斉書き換えの基本手順

33.6.1.1　初期設定

- チャネル m にて一斉書き換えを許可するには、TAUJnRDE.TAUJnRDEm＝1 を設定してください。
- マスタチャネルがカウント開始時に一斉書き換えの種類を選ぶには、TAUJnRDM.TAUJnRDMm を設定してください。

33.6.1.2　カウント開始とカウント動作

- チャネルグループに属するすべての TAUJnCNTm カウンタ動作を開始するには、対応する TAUJnTS.TAUJnTSm ビットを 1 に設定してください。TAUJnTOL.TAUJnTOLm とデータレジスタ（TAUJnCDRm）の値は、対応する TAUJnTOL.TAUJnTOLm バッファ（TAUJnTOL.TAUJnTOLm buf）とデータバッファレジスタ（TAUJnCDRm buf）にロードされ、カウンタはカウントを開始します。
- リロードデータトリガビット（TAUJnRDT.TAUJnRDTm）を 1 に設定することにより、リロードフラグ（TAUJnRSF.TAUJnRSFm）が 1 に設定され、一斉書き換えが許可されます。TAUJnRSF.TAUJnRSFm は一斉書き換えが完了するまで 1 のままです。
- 一斉書き換え用に指定されたトリガが検出されると、一斉書き換えが許可（TAUJnRSF.TAUJnRSFm＝1）されているかを確認するために TAUJnRSF.TAUJnRSFm ビットがチェックされます。一斉書き換えが許可されている場合、一斉書き換えが行われます。許可されていない場合、一斉書き換えは行われず、次の一斉書き換えトリガ検出待ちになります。

33.6.1.3　一斉書き換え

- 一斉書き換えトリガが検出され、一斉書き換えが許可（TAUJnRSF.TAUJnRSFm＝1）されると、データレジスタの現在値がバッファにコピーされます。これらの値は、対応するカウンタにロードされ、カウンタがカウントを開始／再開するときに適用されます。
- 一斉書き換えが完了すると、TAUJnRSF.TAUJnRSFm ビットは 0 に設定され、システムは次の一斉書き換えトリガを待ちます。

33.6.2　一斉書き換えのその他の基本ルール

次のルールも適用されます。

- カウンタ動作中（TAUJnTE.TAUJnTEm＝1）は、TAUJnRDE.TAUJnRDEm、TAUJnRDM.TAUJnRDMm を変更することはできません。
- PWM 出力機能は、動作している場合でも TAUJnTOL.TAUJnTOLm を書き換えることができます。ほかの機能は、動作を開始する前に TAUJnTOL.TAUJnTOLm を書き換える必要があります。ほかの機能で動作しているときに書き換えた場合、TAUJTTOUTm は不正な値を出力します。

33.6.3 一斉書き換えの方法

PWM 出力機能での一斉書き換えの方法を次の図で示します。

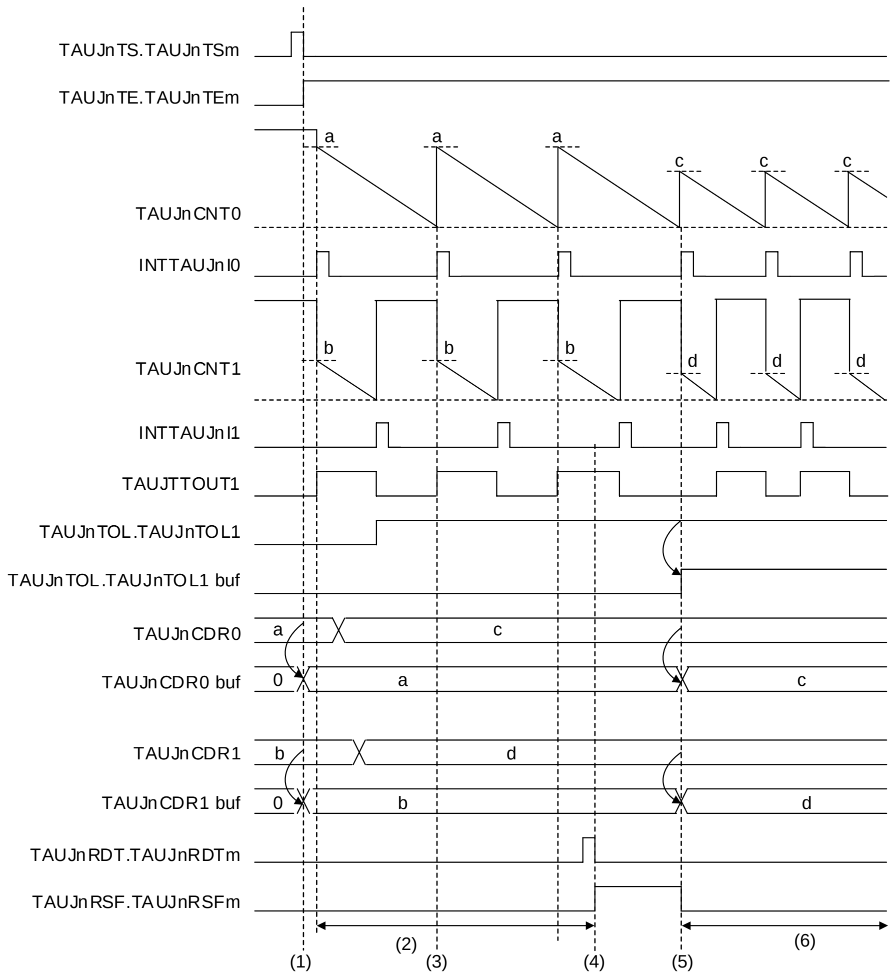


図 33.7 PWM 出力機能での一斉書き換え

設定

CH0 は、PWM 出力機能のマスタチャネルです。CH1 は、PWM 出力機能のスレーブチャネルです。一斉書き換えは、マスタチャネルがカウント開始時に適用されます。

説明：

(1) TAUJnTS.TAUJnTSm＝1 に設定すると、TAUJnCDRm の値が TAUJnCDRm バッファに、TAUJnTOL.TAUJnTOLm の値が TAUJnTOL.TAUJnTOLm バッファにコピーされます。

(2) TAUJnCDRm と TAUJnTOL.TAUJnTOLm レジスタは常に書き込めます。

(3) CH0 はカウントを再開しますが、一斉書き換えは許可されていないため行われません（TAUJnRSF.TAUJnRSFm＝0）。

(4) リロードデータトリガビット（TAUJnRDT.TAUJnRDTm）を 1 に設定することにより、ステータスフラグが設定され（TAUJnRSF.TAUJnRSFm＝1）、一斉書き換えが許可されます。

(5) 一斉書き換えが許可されているため、CH0 のカウント再開時に一斉書き換えが発生します。
TAUJnCDRm の値は TAUJnCDRm バッファに、TAUJnTOL.TAUJnTOLm の値は TAUJnTOL.TAUJnTOLm バッファにロードされます。

(6) カウンタはダウンカウントし、次の一斉書き換えトリガを待ちます。TAUJnCDRm と TAUJnTOL.TAUJnTOLm の値は再変更できます。

33.7　チャネル出力モード

TAUJTTOUTm 端子の出力は、2 つの方法で制御することができ、2 つ目の方法はさらに個別のモードに分かれています。

- ソフトウェアによる制御（TAUJnTOE.TAUJnTOEm＝0）
  ソフトウェアで制御した場合、出力レジスタビット（TAUJnTO.TAUJnTOm）に書き込んだ値は、出力端子（TAUJTTOUTm）に転送されます。
- TAUJ 信号による制御（TAUJnTOE.TAUJnTOEm＝1）
  TAUJ 信号で制御した場合、TAUJTTOUTm の出力レベルはセット／リセット、または内部信号によりトグルされます。これに応じて、TAUJTTOUTm の値を反映するために、TAUJnTO.TAUJnTOm の値は更新されます。
  - 単体制御（TAUJnTOM.TAUJnTOMm＝0）
    単体動作の場合、TAUJTTOUTm 端子の出力はチャネル m の設定のみの影響を受けます。したがって、チャネル単体動作を指定（TAUJnTOM.TAUJnTOMm＝0）する必要があります。
  - 連動制御（TAUJnTOM.TAUJnTOMm＝1）
    連動動作の場合、TAUJTTOUTm 端子の出力は、チャネル m とその他のチャネルの設定の影響を受けます。したがって、すべての連動するチャネルに対してチャネル連動動作を指定する必要があります（TAUJnTOM.TAUJnTOMm＝1）。

TAUJnTO.TAUJnTOm ビットは常にリードすることができ、端子がソフトウェアで制御されている、単体動作している、または連動動作しているにかかわらず、TAUJTTOUTm の現在の値を確認することができます。

制御ビット

特定のチャネル出力モードを選択するために必要な制御ビットの設定は、「**表 33.45 チャネル出力モード**」に示します。

チャネル出力モードの詳細は次の節を参照してください。

- 「**33.7.2 TAUJn 信号により単体制御されるチャネル出力モード**」
- 「**33.7.3 TAUJn 信号により連動制御されるチャネル出力モード**」

TAUJnTOm ビットの一括操作

TAUJnTOm ビットへの設定値の反映／非反映は、TAUJnTOE.TAUJnTOEm ビットにより制御されます。

TAUJnTO レジスタにライトした時に、TAUJnTOE.TAUJnTOEm ビット＝0 を設定したビット（チャネル）にのみ、TAUJnTOm の設定値の書き込みが行われます。TAUJnTOE.TAUJnTOEm ビット＝1 を設定したビット（チャネル）は、TAUJnTOm の設定値は反映されません。

備　考

TAUJnTO.TAUJnTOm ビットは、ビット番号とチャネル番号が対応して配置しています。

出力論理

出力の正論理または負論理は、制御ビット TAUJnTOL.TAUJnTOLm で指定します。

TAUJnTOL.TAUJnTOLm ビット値はカウンタ動作開始前に設定する必要があります。このビットを動作中に書き換えられるのは、PWM 出力機能時のみです。カウンタ動作開始後に TAUJnTOL.TAUJnTOLm を変更すると、TAUJTTOUTm 信号の出力は不定になります。

「**33.6 一斉書き換え**」を参照してください。

各種チャネル出力モードとチャネル出力制御ビットを「**表 33.45 チャネル出力モード**」に示します。

表 33.45　チャネル出力モード

チャネル出力モード	TAUJnTOE.TAUJnTOEm	TAUJnTOM.TAUJnTOMm
ソフトウェア制御		
ソフトウェア制御のチャネル単体出力モード	0	x
TAUJ 信号による単体動作制御		
チャネル単体出力モード 1	1	0
TAUJ 信号による連動動作制御		
チャネル連動出力モード 1	1	1

- 表に記述のない組み合わせは禁止です。
- “x”が記されているビットは、任意の値を設定できます。

備　考

次のビットは、カウント動作中（TAUJnTE.TAUJnTEm＝1）は変更できません。

- TAUJnTOM.TAUJnTOMm
- TAUJnTOC.TAUJnTOCm

33.7.1　チャネル出力モードを指定するための基本手順

TAUJTTOUTm チャネル出力モードを指定するための基本手順を次に説明します。タイマ出力動作が禁止されていることが前提になります（TAUJnTOE.TAUJnTOEm＝0）。

(1) TAUJnTO.TAUJnTOm を設定して TAUJTTOUTm 出力の初期レベルを指定してください。

(2) 「**表 33.45 チャネル出力モード**」を参照してチャネル出力モードを設定し、TAUJnTOL.TAUJnTOLm ビットで出力論理を設定してください。

(3) カウンタのカウントを開始してください（TAUJnTS.TAUJnTSm＝1）。

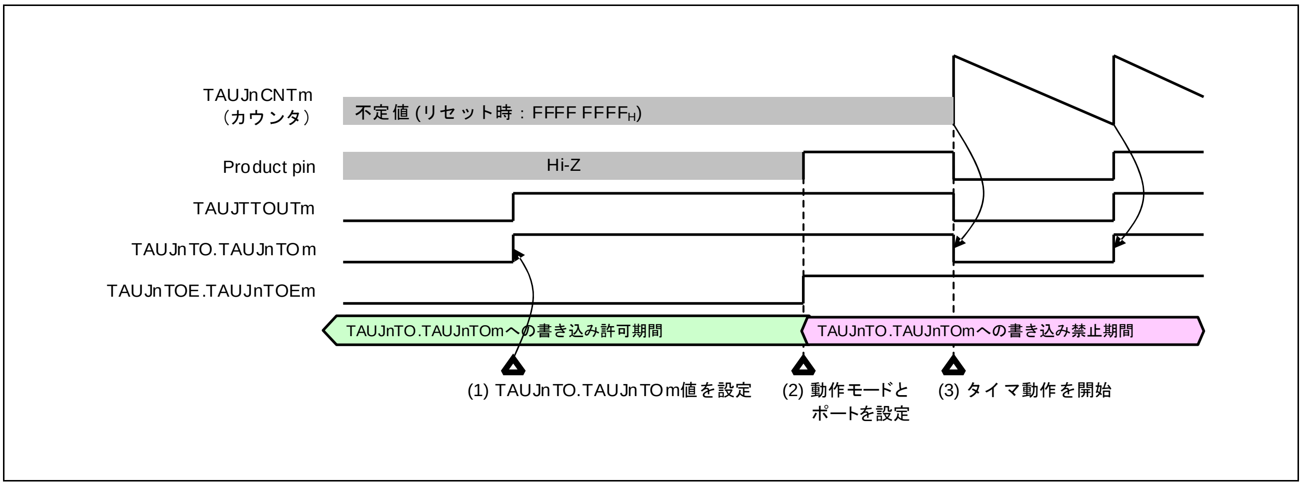


図 33.8　TAUJTTOUTm チャネル出力モードを指定するための基本手順

33.7.2 TAUJn 信号により単体制御されるチャネル出力モード

この節では、TAUJn 信号により単体制御されるチャネル出力モードを示します。モードを指定する制御ビットは、「**表 33.45 チャネル出力モード**」に示します。

33.7.2.1 チャネル単体出力モード 1

セット／リセット条件

この出力モードでは、INTTAUJnIm が検出されると TAUJTTOUTm がトグルされます。
TAUJnTOL.TAUJnTOLm の値は無視されます。

前提条件

「**表 33.45 チャネル出力モード**」に示す条件以外の条件はありません。

33.7.3 TAUJn 信号により連動制御されるチャネル出力モード

この節では、TAUJn 信号により連動制御されるチャネル出力モードを示します。モードを指定する制御ビットは、「**表 33.45 チャネル出力モード**」に示します。

33.7.3.1 チャネル連動出力モード 1

セット／リセット条件

この出力モードでは、マスタチャネルの INTTAUJnIm がセット信号、スレーブチャネルの INTTAUJnIm がリセット信号となります。マスタチャネルの INTTAUJnIm とスレーブチャネルの INTTAUJnIm が同時発生した場合、スレーブチャネルの INTTAUJnIm（リセット信号）は、マスタチャネルの INTTAUJnIm（セット信号）より優先されます（マスタチャネルは無視されます）。

前提条件

「**表 33.45 チャネル出力モード**」に示す条件以外の条件はありません。

33.8　各動作モードでのカウント開始タイミング

この節では、各動作モードにおいて TAUJnTS.TAUJnTSm を“1”に設定したあとの、カウンタ動作開始タイミングについて説明します。

データレジスタの値と割り込みが発生するかどうかは、モードとレジスタ設定によります。

注　意

本節に記載するカウント開始タイミングは参考例です。実際にはカウントクロックタイミングにより、カウント開始タイミングは前後します。

33.8.1　インターバルタイマモード、キャプチャモード、カウントキャプチャモード

TAUJnTS.TAUJnTSm が“1”に設定されたあと、カウンタは次のカウントクロックサイクル開始時に動作を開始します。このとき、データレジスタの値もロードされます。

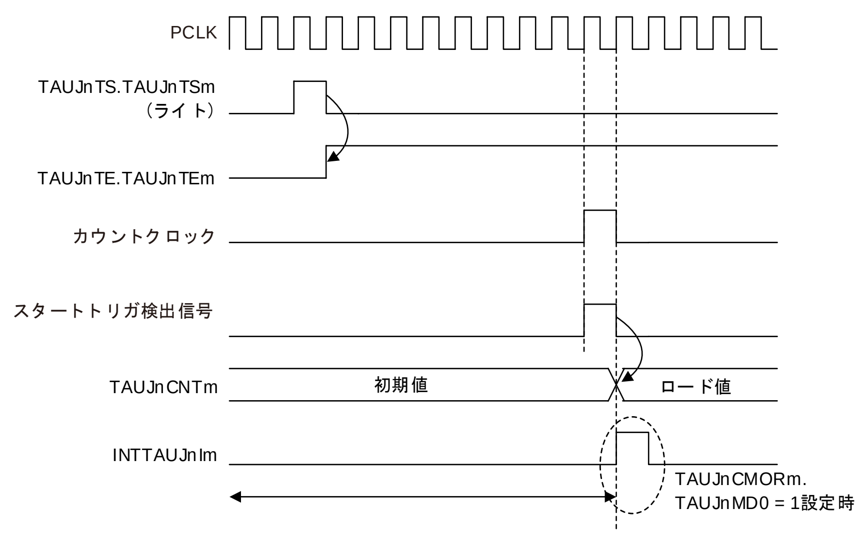


図 33.9　インターバルタイマモード、キャプチャモード、カウントキャプチャモードでの開始タイミング

33.8.2　その他の動作モード

その他の動作モードでは、カウントクロックサイクルはカウンタ動作開始に関係しません。カウンタは TAUJTTINm の有効エッジ検出によってのみトリガされます。カウントが開始されると、データレジスタ値もロードされます。カウントクロックサイクルはカウンタ動作開始には関係ありませんが、すべての動作を行う際の周波数を決定します。

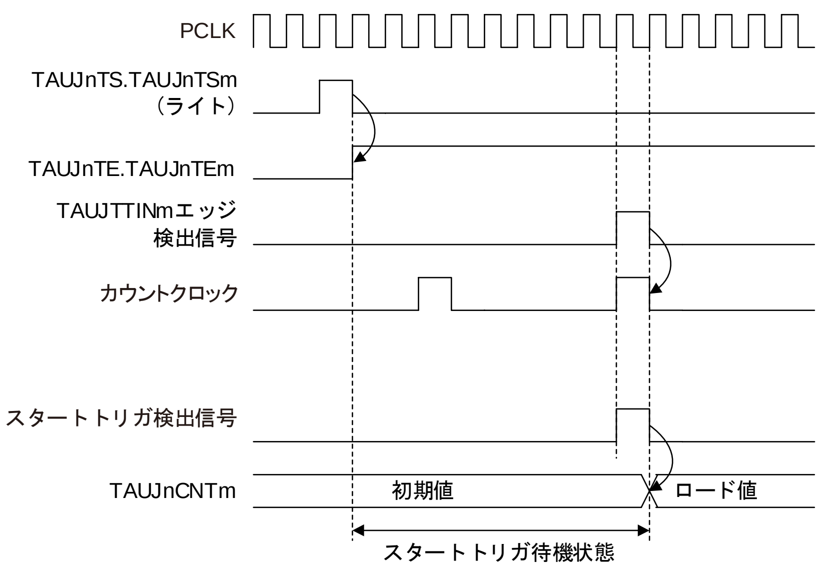


図 33.10　その他の動作モードでのカウント開始タイミング

33.9　カウント開始／リスタート時の TAUJTTOUTm 出力と INTTAUJnIm

生成カウンタのカウント開始時、TAUJnCMORm.TAUJnMD0 ビットで INTTAUJnIm を発生するかしないかを指定できます。TAUJnCMORm.TAUJnMD0 ビットがカウント開始時の INTTAUJnIm 発生、TAUJTTOUTm に与える影響は、選択した機能に依存します。詳細は各機能の TAUJnCMORm.TAUJnMD0 の説明を参照してください。

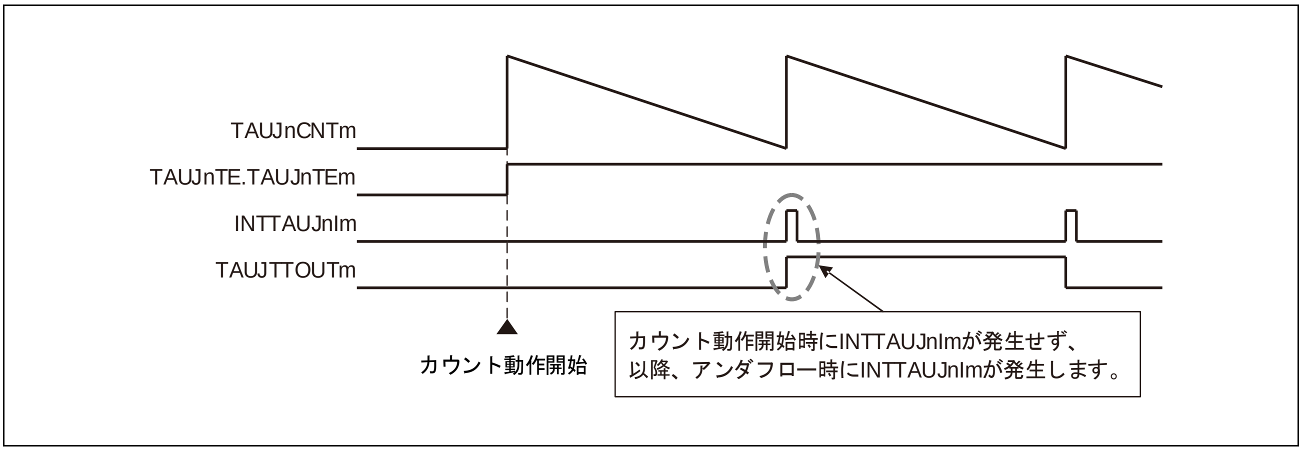


図 33.11　INTTAUJnIm の発生タイミング（TAUJnCMORm.TAUJnMD0＝0 設定時）

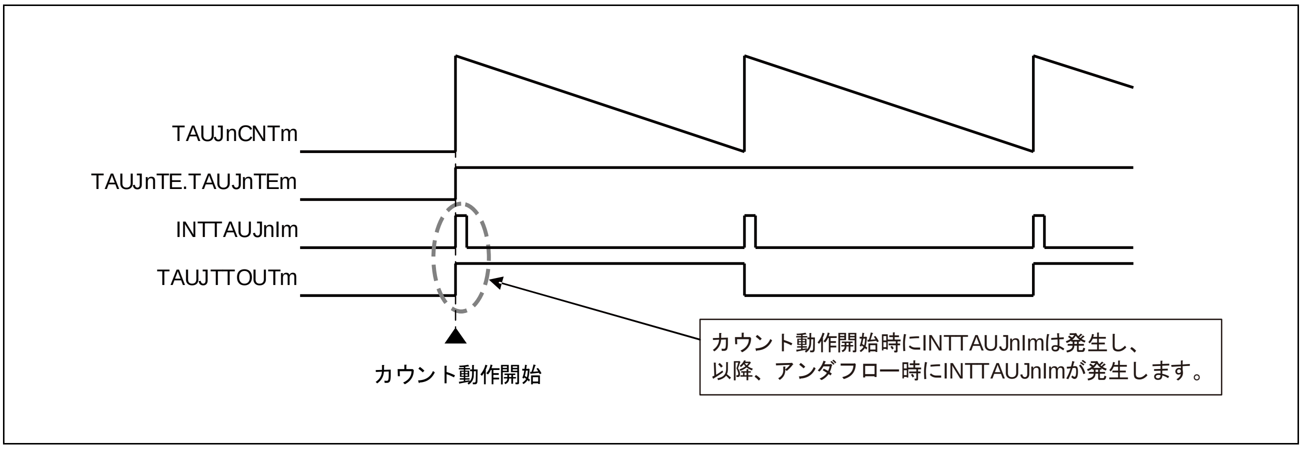


図 33.12　INTTAUJnIm の発生タイミング（TAUJnCMORm.TAUJnMD0＝1 設定時）

33.10 オーバフロー時の割り込み発生

特定の単体機能では、アップカウント時にカウンタ値が FFFF $FFFF_H$ になりオーバフローになる際、割り込みが発生しません。この節では、アップカウントを行うモードでのチャネル動作と、ダウンカウントを行うモードでのチャネル動作を組み合わせて割り込みを発生させる方法を説明します。

どの動作モードがセカンドチャネルに適切かは、ファーストチャネルの動作モードによって決まります。ただし、いずれの組み合わせでも原則は同じです。

- セカンドチャネルに、ファーストチャネルでのオーバフロー発生と同時に 0000 0000_H になるようなダウンカウントを行う動作モードを設定します（TAUJnCNTm＝FFFF $FFFF_H$）。
- セカンドチャネルの TAUJnCDRm を FFFF $FFFF_H$ に設定します。
- 2 つのチャネルは同じ速度でカウントを行う必要があります（つまり、カウントクロックが同じでなければなりません）。
- 両チャネルが同じ TAUJTTINm 入力信号でトリガされます。
- 両チャネルのトリガ検出設定（TAUJnCMORm.TAUJnSTS[2:0]と TAUJnCMURm.TAUJnTIS[1:0]）は同じである必要があります。

結果：

ファーストチャネルのアップカウンタでのオーバフロー発生（TAUJnCNTm＝FFFF $FFFF_H$）と同時にセカンドチャネルのダウンカウンタが 0000 0000_H になります。そしてセカンドチャネルは任意の割り込みを発生させます。

以降の節で、アップカウントを行う動作モードとの組み合わせに必要なダウンカウントを行う動作モードの一覧と、タイミング図の例を示します。

33.10.1　TAUJTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ

両チャネルの TAUJTTINm に同時にキャプチャトリガを入力することで、TAUJTTINm 入力位置検出機能の TAUJnCNTm の FFFF $FFFF_H$ オーバフローをインターバルタイマ機能の INTTAUJnIm で検出できます。

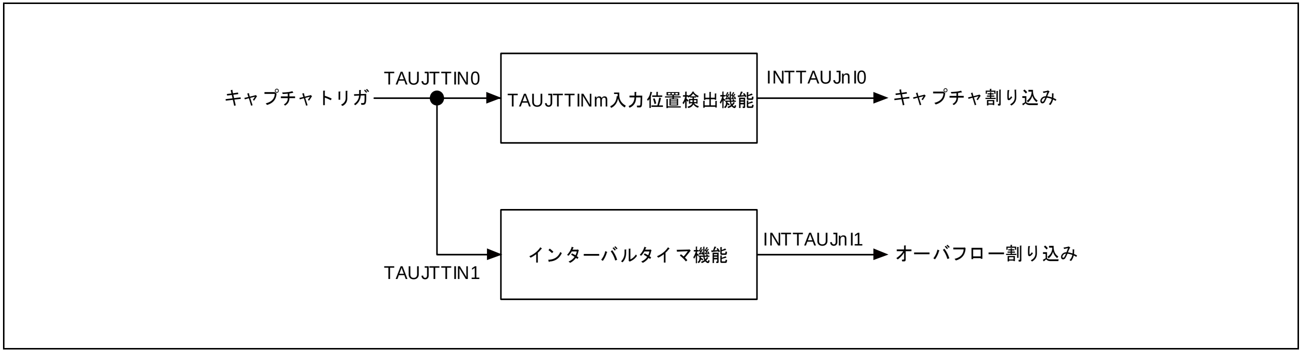


図 33.13　TAUJTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせ

タイミング図

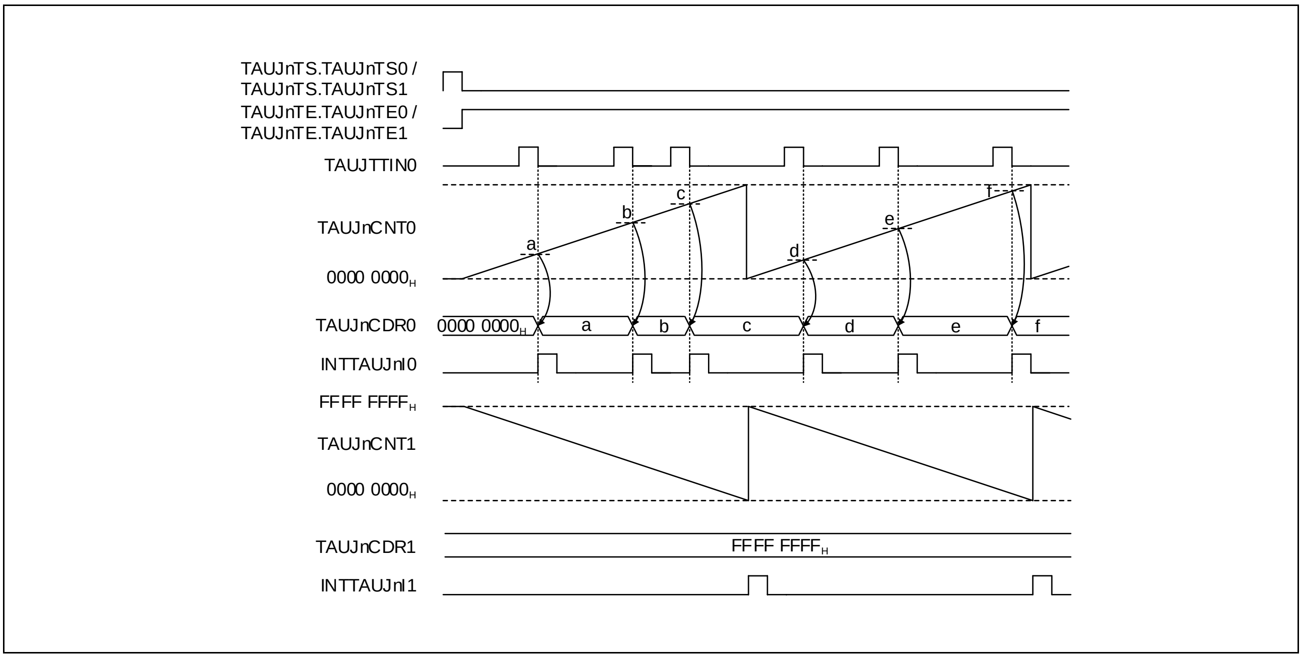


図 33.14　TAUJTTINm 入力位置検出機能とインターバルタイマ機能の組み合わせによる割り込み発生

33.11 TAUJTTINm エッジ検出

エッジは、動作クロックに基づいて検出されます。つまり、エッジは、動作クロックの次の立ち上がりエッジでのみ検出できます。これにより、最大 1 動作クロック周期の遅延が発生します。

エッジが検出されるタイミングのイメージを次の図に示します。

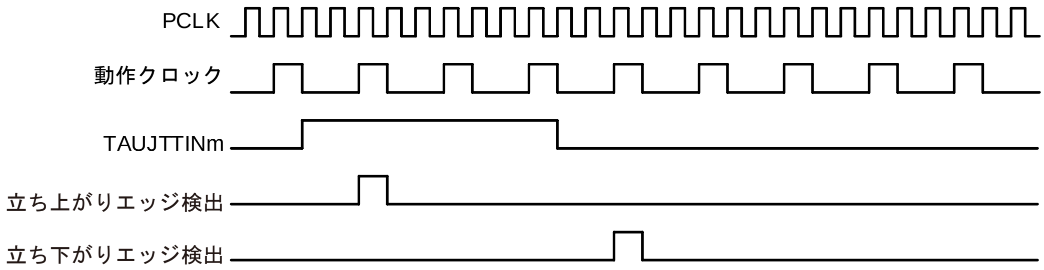


図 33.15　エッジ検出基本動作タイミング

「**図 33.15 エッジ検出基本動作タイミング**」は動作タイミングのイメージです。実際は、TAUJnIm 端子から TAUJn の間にあるノイズフィルタや同期化回路の遅延時間が発生します。

33.12 チャネル単体動作機能

TAUJ の各種単体動作機能を次の項で説明します。単体動作機能の概要は、「**33.2 概要**」を参照してください。

33.12.1 インターバルタイマ機能

33.12.1.1 概要

概要

この機能は、一定間隔でタイマ割り込み（INTTAUJnIm）を発生する基準タイマとして使用できます。割り込みが発生すると、TAUJTTOUTm 信号はトグルされ、矩形波を出力します。

機能説明

チャネルトリガビット（TAUJnTS.TAUJnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm＝1 となり、カウントが可能になります。TAUJnCDRm の現在値が TAUJnCNTm にロードされ、カウンタはその TAUJnCDRm 値からダウンカウントを開始します。

カウンタ値が 0000 0000_H になると、INTTAUJnIm が発生し、TAUJTTOUTm 信号がトグルされます。その後、TAUJnCDRm の値を TAUJnCNTm にロードし、以降、動作を継続します。

TAUJnCDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。TAUJnCNTm と TAUJTTOUTm は停止しますが、値は保持します。
TAUJnTS.TAUJnTSm を 1 に設定すると、機能を再開できます。カウント中に TAUJnTS.TAUJnTSm を 1 に設定すると、いったん停止せずにカウントを再開できます（強制リスタート）。

条件

TAUJnCMORm.TAUJnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生せず、TAUJTTOUTm のトグルも行われません。これにより、TAUJnCMORm.TAUJnMD0 が 1 に設定された場合に対して、反転された TAUJTTOUTm 信号が出力されます。

33.12.1.2 算出式

INTTAUJnIm の周期＝カウントクロック周期×（TAUJnCDRm＋1）

TAUJTTOUTm の矩形波周期＝カウントクロック周期×（TAUJnCDRm＋1）×2

33.12.1.3 ブロック図と基本タイミング図

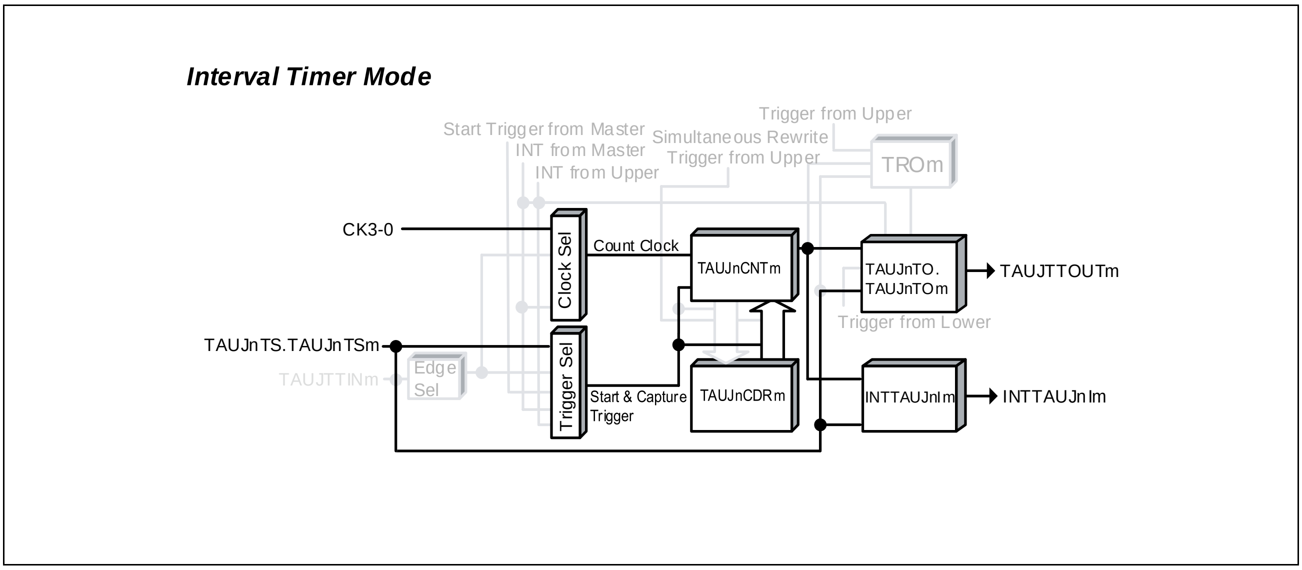


図 33.16 インターバルタイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生する（TAUJnCMORm.TAUJnMD0＝1）

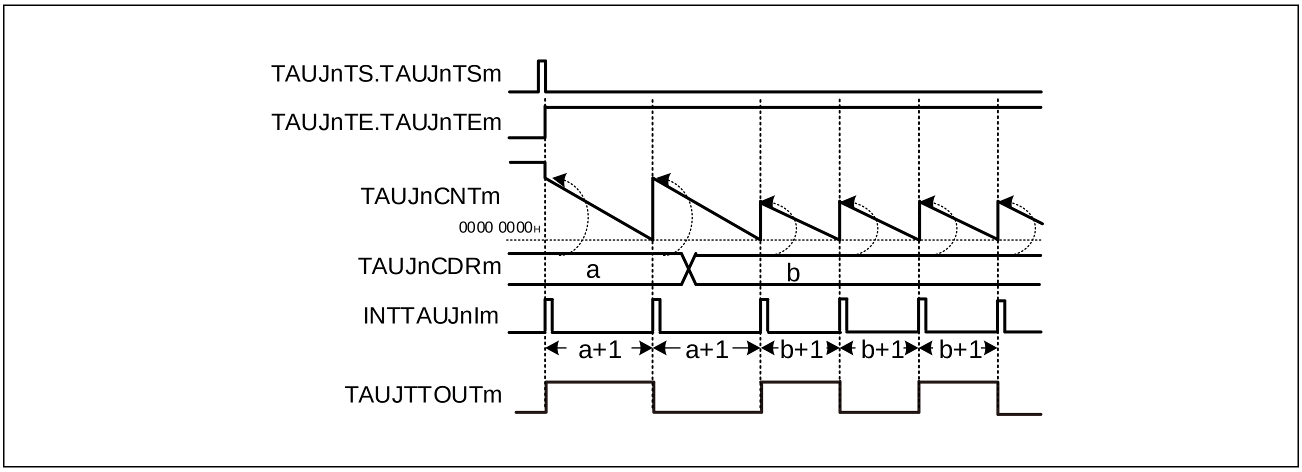


図 33.17 インターバルタイマ機能の基本タイミング図

33.12.1.4　レジスタ設定

(1) TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS[1:0]		TAUJnCCS[1:0]		TAUJnMAS	TAUJnSTS[2:0]			TAUJnCOS[1:0]		—	TAUJnMD[4:1]				TAUJnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 33.46　インターバルタイマ機能の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUJnCCS[1:0]	00_B を書いてください。
11	TAUJnMAS	0_B を書いてください。
10～8	TAUJnSTS[2:0]	000_B を書いてください。
7、6	TAUJnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUJnMD[4:1]	0000_B を書いてください。
0	TAUJnMD0	0：動作開始時に INTTAUJnIm が発生せず、TAUJTTOUTm はトグルされない 1：動作開始または再開時に INTTAUJnIm が発生し、TAUJTTOUTm はトグルされる

(2) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 33.47　インターバルタイマ機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUJnTIS[1:0]	00：未使用、00 を設定

(3) チャネル出力モード

表 33.48　チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUJnTOE.TAUJnTOEm	1_B を書いてください。
TAUJnTOM.TAUJnTOMm	0_B を書いてください。
TAUJnTOC.TAUJnTOCm	0_B を書いてください。
TAUJnTOL.TAUJnTOLm	0_B を書いてください。

備　考

チャネル出力モードは、TAUJnTOE.TAUJnTOEm＝0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUJTTOUTm を割り込みとは独立させて制御することができます。詳細は「**33.7 チャネル出力モード**」を参照してください。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUJnRDE、TAUJnRDM）は、インターバルタイマ機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 33.49　インターバルタイマ機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0：一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0：一斉書き換え禁止時（TAUJnRDE.TAUJnRDEm＝0）、0 を設定

33.12.1.5　インターバルタイマ機能の操作手順

表 33.50　インターバルタイマ機能の操作手順

		操作	TAUJn の状態
	チャネルの初期設定	TAUJnCMORm、TAUJnCMURm レジスタを「**表 33.46 インターバルタイマ機能の TAUJnCMORm レジスタの内容**」、「**表 33.47 インターバルタイマ機能の TAUJnCMURm レジスタの内容**」に示すように設定します。 TAUJnCDRm レジスタの値を設定します。 制御ビットを「**表 33.48 チャネル単体出力モード 1 時の制御ビット設定**」に示すように設定して、チャネル出力モードを設定します。	チャネル動作を停止しています。
動作再開	動作開始	TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、カウントが開始されます。 TAUJnCDRm の値を TAUJnCNTm にロードします。 TAUJnCMORm.TAUJnMD0＝1 の場合、INTTAUJnIm が発生し、TAUJTTOUTm がトグルされます。
	動作中	TAUJnCDRm レジスタ値は任意のタイミングで変更可能です。 TAUJnCNTm レジスタは常に読み出し可能です。	TAUJnCNTm がダウンカウントを行います。カウンタが $0000\ 0000_H$ になった場合： ● 再び TAUJnCDRm の値を TAUJnCNTm にロードし、カウント動作を継続します。 ● INTTAUJnIm が発生し、TAUJTTOUTm がトグルされます。
	動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm と TAUJTTOUTm は停止し、現在値を保持します。

33.12.1.6　特定の設定時のタイミング図

(1) TAUJnCDRm＝0000 0000H、カウントクロック＝PCLK/2

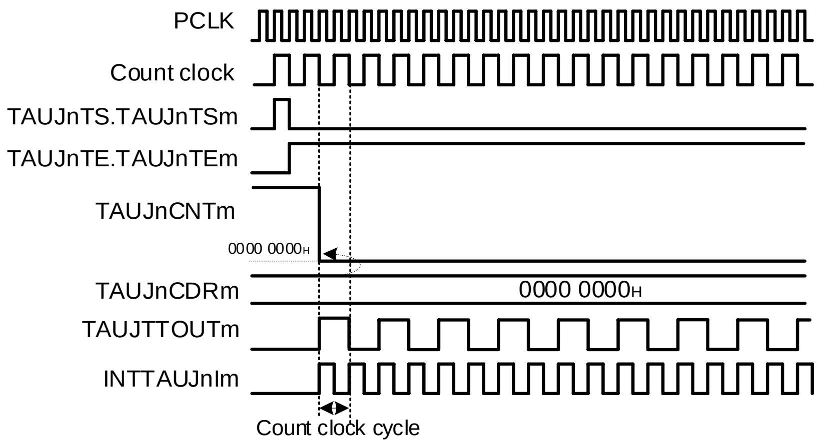


図 33.18　TAUJnCDRm＝0000 0000H、カウントクロック＝PCLK/2

- TAUJnCDRm＝0000 0000_H、かつカウントクロック＝PCLK/2 の場合、カウントクロックごとに TAUJnCDRm の値が TAUJnCNTm にロードされます。つまり、TAUJnCNTm は常に 0000 0000_H です。
- INTTAUJnIm がカウントクロックごとに発生するので、TAUJTTOUTm はカウントクロックごとにトグルされます。

(2) TAUJnCDRm＝0000 0000H、カウントクロック＝PCLK

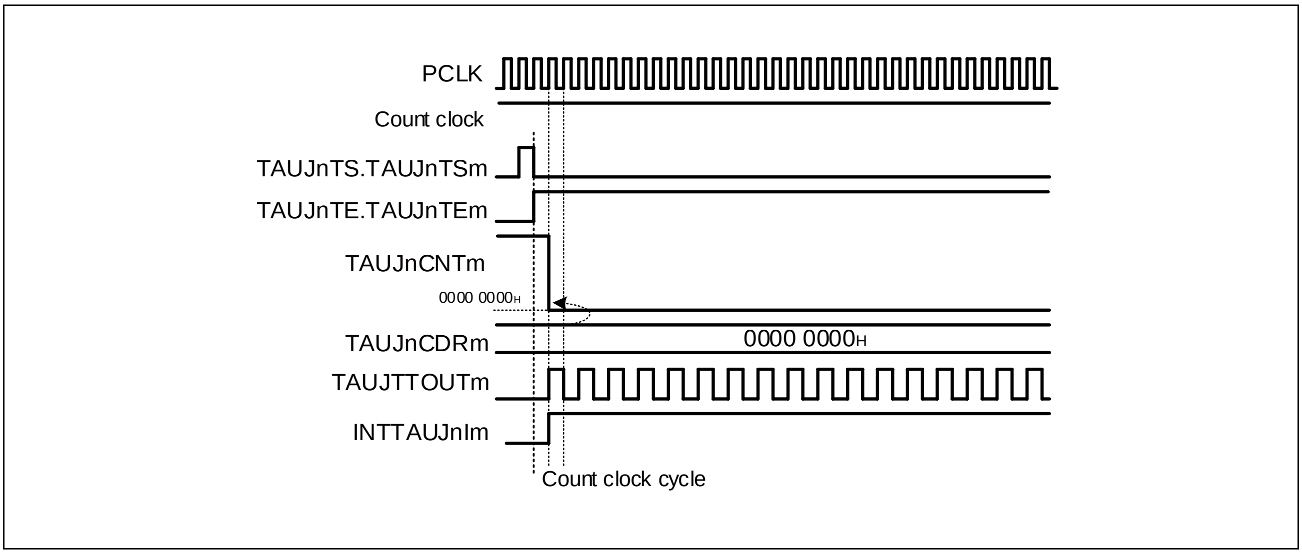


図 33.19　TAUJnCDRm＝0000 0000H、Count Clock＝PCLK

- TAUJnCDRm＝0000 0000H、かつカウントクロック＝PCLK の場合、PCLK クロックごとに TAUJnCDRm の値が TAUJnCNTm にロードされます。つまり、TAUJnCNTm は常に 0000 0000H です。
- INTTAUJnIm は、ハイレベル固定になります。1 回目の割り込みは発生しますが、それ以降は発生しません。
  PCLK クロックごとに TAUJTTOUTm がトグルされます。

(3) 動作の停止と再開

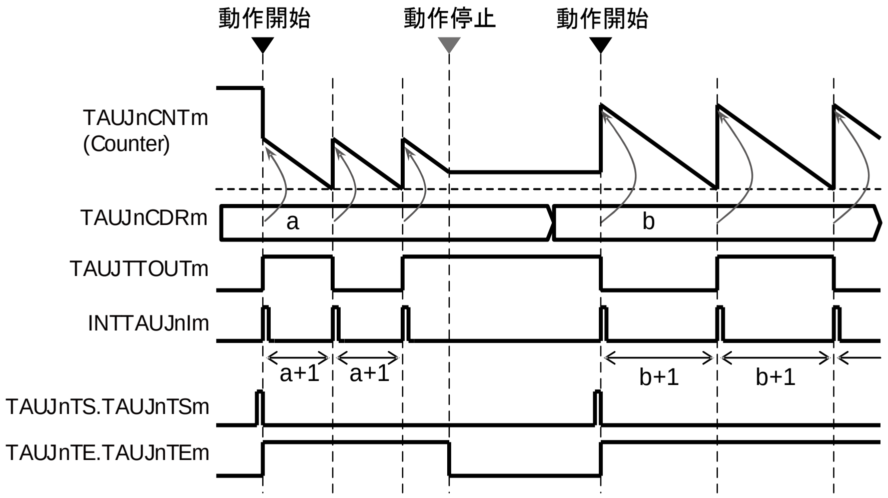


図 33.20　動作の停止と再開（TAUJnCMORm.TAUJnMD0＝1）

- TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。
- TAUJnCNTm と TAUJTTOUTm は停止しますが、値は保持します。
- TAUJnTS.TAUJnTSm を 1 に設定すると、カウントを再開できます。

(4) 強制リスタート

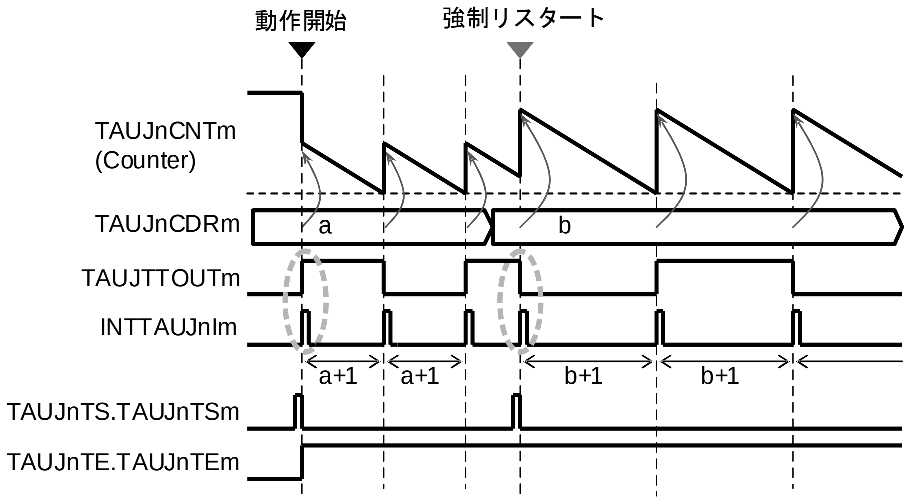


図 33.21　強制リスタート動作（TAUJnCMORm.TAUJnMD0＝1）

- カウント中に TAUJnTS.TAUJnTSm を 1 に設定すると、いったん停止しなくてもカウントを再開できます（強制リスタート）。
- TAUJnCMORm.TAUJnMD0 ビットが 1 に設定されると、動作開始または再開後の最初の割り込みが発生します。
- 強制リスタート時は、TAUJnCDRm の値は、TAUJnCNTm に反映されて、カウントを開始します。変更した TAUJnCDRm の値を即時反映させる場合は、強制リスタートをしてください。

33.12.2　TAUJTTINm 入力インターバルタイマ機能

33.12.2.1　概要

概要

この機能は、一定間隔または有効な TAUJTTINm 入力エッジが検出された場合に、タイマ割り込み（INTTAUJnIm）を発生するための基準タイマとして使用されます。割り込みが発生すると、TAUJTTOUTm 信号はトグルされ、矩形波を出力します。また、矩形波の出力は、TAUJ0 のみ対応しています。

機能説明

この機能は、有効な TAUJTTINm 入力エッジで再開される以外、インターバルタイマ機能と同様に動作します（「**33.12.1 インターバルタイマ機能**」参照）。トリガとして使用するエッジの種類は、TAUJnCMURm.TAUJnTIS[1:0]ビットで設定します。立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジ両方を選択できます。

33.12.2.2　算出式

INTTAUJnIm の周期＝カウントクロック周期×（TAUJnCDRm＋1）

TAUJTTOUTm の矩形波周期＝カウントクロック周期×（TAUJnCDRm＋1）×2

33.12.2.3　ブロック図と基本タイミング図

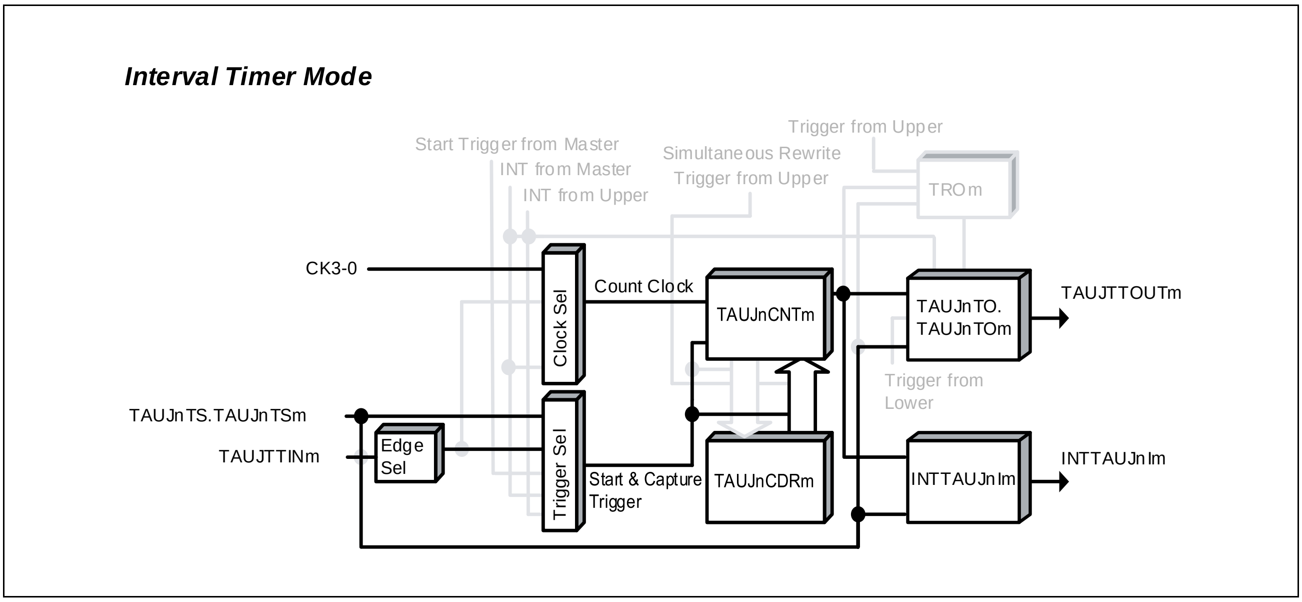


図 33.22　TAUJTTINm 入力インターバルタイマ機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生する（TAUJnCMORm.TAUJnMD0＝1）
- 立ち上がりエッジ検出（TAUJnCMURm.TAUJnTIS[1:0]＝01_B）

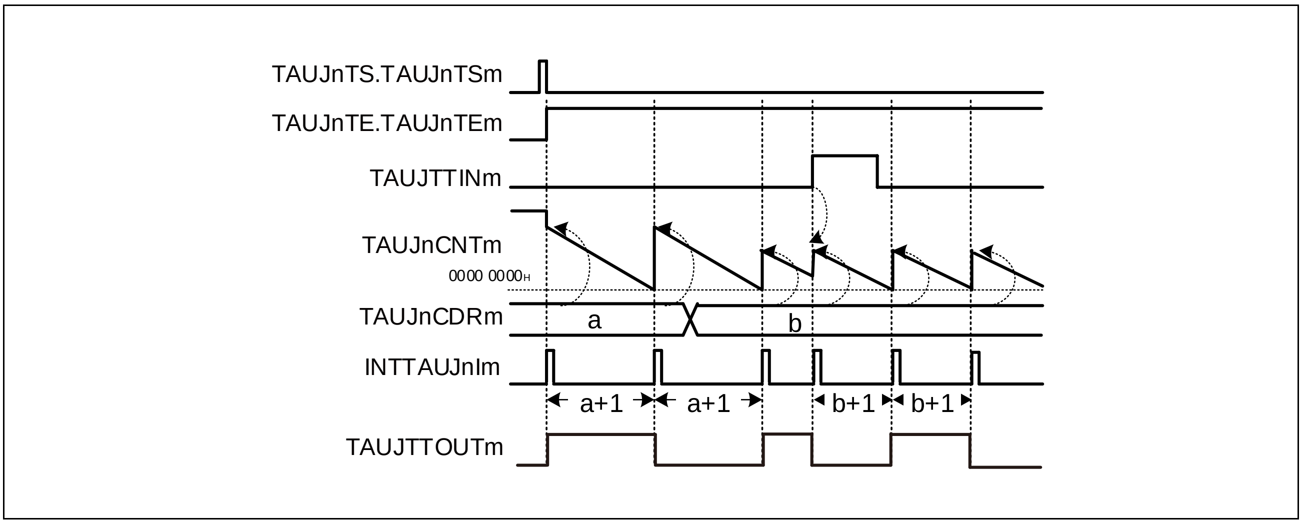


図 33.23　TAUJTTINm 入力インターバルタイマ機能の基本タイミング図

33.12.2.4　レジスタ設定

(1) TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS[1:0]		TAUJnCCS[1:0]		TAUJnMAS	TAUJnSTS[2:0]			TAUJnCOS[1:0]		—	TAUJnMD[4:1]				TAUJnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 33.51　TAUJTTINm 入力インターバルタイマ機能の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUJnCCS[1:0]	00_B を書いてください。
11	TAUJnMAS	0_B を書いてください。
10～8	TAUJnSTS[2:0]	001_B を書いてください。
7、6	TAUJnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUJnMD[4:1]	0000_B を書いてください。
0	TAUJnMD0	0：動作開始時に INTTAUJnIm が発生せず、TAUJTTOUTm はトグルされない 1：動作開始時に INTTAUJnIm が発生し、TAUJTTOUTm はトグルされる

(2) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 33.52　TAUJTTINm 入力インターバルタイマ機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUJnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

表 33.53 チャネル単体出力モード 1 時の制御ビット設定

ビット名	設定
TAUJnTOE.TAUJnTOEm	1_B を書いてください。
TAUJnTOM.TAUJnTOMm	0_B を書いてください。
TAUJnTOC.TAUJnTOCm	0_B を書いてください。
TAUJnTOL.TAUJnTOLm	0_B を書いてください。

備 考

チャネル出力モードは、TAUJnTOE.TAUJnTOEm＝0 を設定して、ソフトウェア制御のチャネル出力モードに設定することも可能です。この場合、TAUJTTOUTm を割り込みとは独立させて制御することができます。詳細は「**33.7 チャネル出力モード**」を参照してください。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUJnRDE、TAUJnRDM）は、TAUJTTINm 入力インターバルタイマ機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 33.54 TAUJTTINm 入力インターバルタイマ機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0：一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0：一斉書き換え禁止時（TAUJnRDE.TAUJnRDEm＝0）、0 を設定

33.12.2.5　TAUJTTINm 入力インターバルタイマ機能の操作手順

表 33.55　TAUJTTINm 入力インターバルタイマ機能の操作手順

	操作	TAUJn の状態
チャネルの初期設定	TAUJnCMORm、TAUJnCMURm レジスタを、「**表 33.51 TAUJTTINm 入力インターバルタイマ機能の TAUJnCMORm レジスタの内容**」、「**表 33.52 TAUJTTINm 入力インターバルタイマ機能の TAUJnCMURm レジスタの内容**」に示すように設定します。 TAUJnCDRm レジスタの値を設定します。 制御ビットを「**表 33.53 チャネル単体出力モード 1 時の制御ビット設定**」に示すように設定して、チャネル出力モードを設定します。	チャネル動作を停止しています。
動作開始	TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、カウントが開始されます。 TAUJnCDRm の値を TAUJnCNTm にロードします。 TAUJnCMORm.TAUJnMD0＝1 の場合、INTTAUJnIm が発生し、TAUJTTOUTm がトグルされます。
動作中	TAUJnCMURm.TAUJnTIS[1:0]、TAUJnCDRm レジスタの値は任意のタイミングで変更可能です。 TAUJnCNTm レジスタは常に読み出し可能です。 TAUJTTINm エッジ検出	TAUJnCNTm がダウンカウントを行います。カウンタが 0000 0000$_H$ になった場合： ● 再び TAUJnCDRm の値を TAUJnCNTm にロードし、カウント動作を継続します。 ● INTTAUJnIm が発生し、TAUJTTOUTm がトグルされます。 カウント動作中に TAUJTTINm 入力の有効エッジを検出すると、再び TAUJnCDRm の値を TAUJnCNTm にロードし、カウント動作を継続します。 以降、この動作を繰り返します。
動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm と TAUJTTOUTm は停止し、現在値を保持します。

動作再開

33.12.2.6 特定の設定時のタイミング図

「**33.12.1 インターバルタイマ機能**」のタイミング図も適用されますが、それに加えて有効な TAUJTTINm 入力エッジを使用することでカウンタを再開することも可能です。

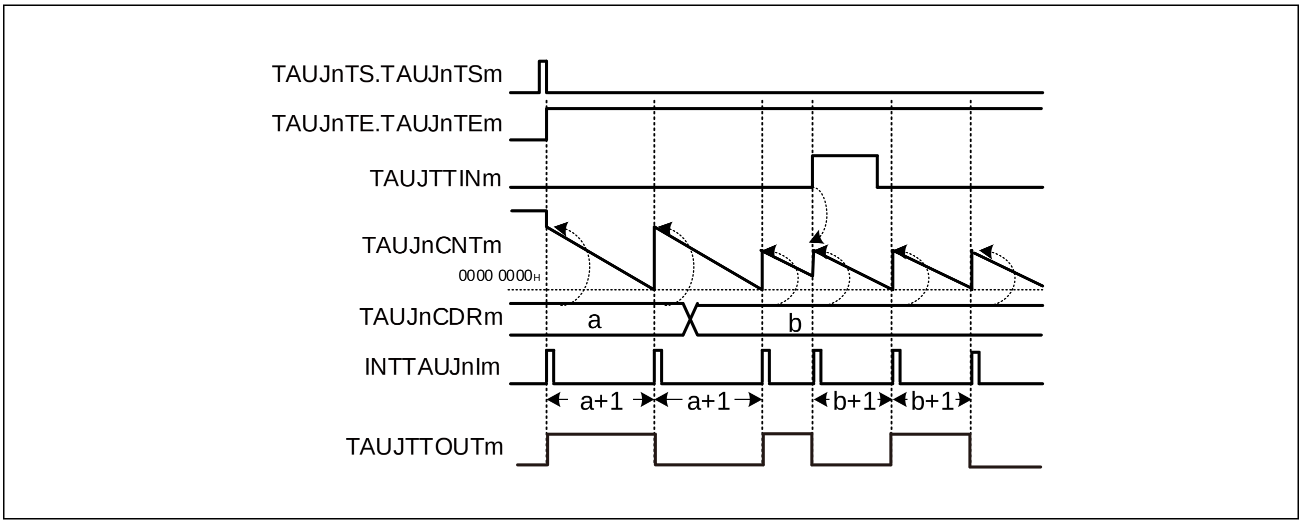


図 33.24 立ち上がり TAUJTTINm 入力エッジ（TAUJnCMURm.TAUJnTIS[1:0]＝01_B）、TAUJnCMORm.TAUJnMD0＝1 でトリガされたカウンタ

有効な TAUJTTINm 入力エッジを検出した場合、TAUJTTOUTm をトグルする割り込みが発生します。この例では、有効エッジは立ち上がりエッジ（TAUJnCMURm.TAUJnTIS[1:0]＝01_B）です。

33.12.3　TAUJTTINm 入力パルスインターバル測定機能

33.12.3.1　概要

概要

この機能は、カウント値をキャプチャし、その値とオーバフロービット TAUJnCSRm.TAUJnOVF を使用して TAUJTTINm 入力信号の間隔を測定します。

前提条件

この機能では、TAUJTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUJnTS.TAUJnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm＝1 となり、カウントが可能になります。カウンタ TAUJnCNTm は、0000 0000_H からカウントを開始します。有効な TAUJTTINm エッジが検出されると、TAUJnCNTm の値がキャプチャされ、TAUJnCDRm に転送され、割り込み INTTAUJnIm が発生します。カウンタは、0000 0000_H にリセットされ、その後動作を継続します。

有効な TAUJTTINm エッジを検出する前にカウンタが FFFF $FFFF_H$ に達すると、カウンタは 0000 0000_H にオーバフローします。カウンタは、0000 0000_H にリセットされ、その後動作を継続します。TAUJnCDRm、TAUJnCSRm.TAUJnOVF それぞれに転送される値は、TAUJnCMORm.TAUJnCOS[1:0] ビットの値によって異なります。

表 33.56　オーバフローの影響

TAUJnCMORm.TAUJnCOS[1:0]	オーバフローが発生した場合		その後、有効な TAUJTTINm 入力が検出された場合	
	TAUJnCDRm	TAUJnCSRm.TAUJnOVF	TAUJnCDRm、TAUJnCNTm	TAUJnCSRm.TAUJnOVF
00	変化しない	0	TAUJnCNTm が TAUJnCDRm にロードされる	1
01		1		
10	FFFF $FFFF_H$ に設定	0	TAUJnCNTm は 0 に設定され、TAUJnCDRm は変更されない	変化しない
11		1		

TAUJnCMORm.TAUJnCOS[0]＝1 のとき、オーバフロービット TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV＝1 を設定することでのみクリアできます。

TAUJnCDRm 値と TAUJnCSRm.TAUJnOVF 値の組み合わせを使用することで、TAUJTTINm 信号の間隔を推定できます。ただし、有効な TAUJTTINm 入力が検出される前に複数のオーバフローが発生した場合、オーバフロービット TAUJnCSRm.TAUJnOVF はその複数のオーバフローの発生を示せません。

TAUJnTT.TAUJnTTm＝1 を設定すると機能を停止できます。これにより、TAUJnTE.TAUJnTEm＝0 が設定されます。TAUJnCNTm が停止し、値を保持します。機能停止中、有効な TAUJTTINm 入力エッジの検出と TAUJnCNTm のキャプチャは行われません。

条件

TAUJnCMORm.TAUJnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。詳細は「**33.9 カウント開始／リスタート時の TAUJTTOUTm 出力と INTTAUJnIm**」を参照してください。

備　考

TAUJnCMORm.TAUJnCOS[1]＝1 の場合、オーバフロー後の最初の有効な TAUJTTINm 入力エッジの発生時、TAUJnCNTm の値は TAUJnCDRm にロードされません。ただし、割り込みが発生します。

33.12.3.2　算出式

TAUJTTINm 入力パルスインターバル＝カウントクロック周期×
　［（TAUJnCSRm.TAUJnOVF×(FFFF FFFF$_H$＋1)）＋TAUJnCDRm キャプチャ値＋1］

33.12.3.3　ブロック図と基本タイミング図

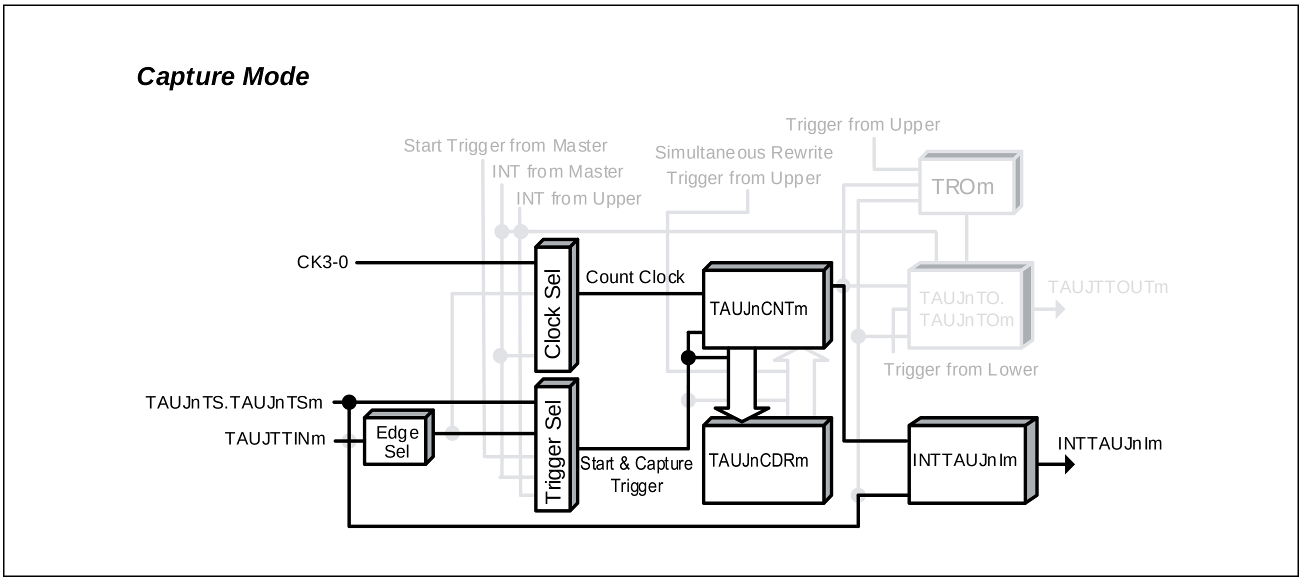


図 33.25　TAUJTTINm 入力パルスインターバル測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生しない（TAUJnCMORm.TAUJnMD0＝0）
- 立ち下がりエッジ検出（TAUJnCMURm.TAUJnTIS[1:0]＝00_B）
- オーバフロー後に有効な TAUJTTINm 入力を検出すると、TAUJnCDRm を変更し、TAUJnCSRm.TAUJnOVF を 1 に設定する（TAUJnCMORm.TAUJnCOS[1:0]＝00_B）

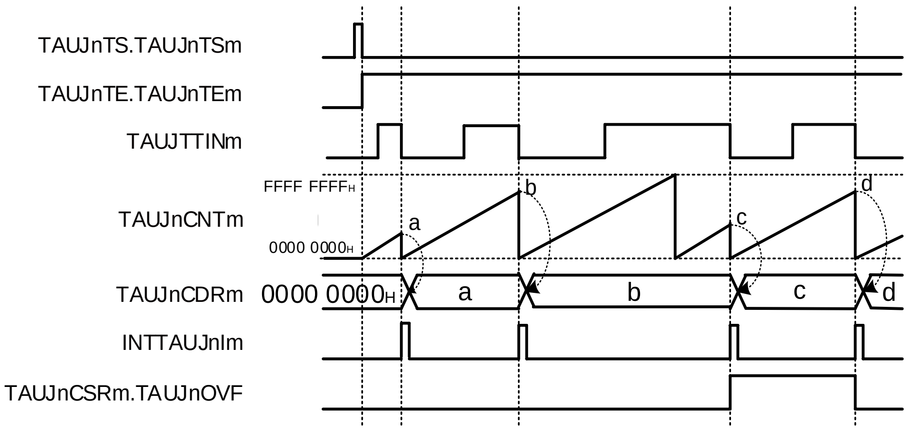


図 33.26 TAUJTTINm 入力パルスインターバル測定機能の基本タイミング図

33.12.3.4　レジスタ設定

(1)　TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS[1:0]		TAUJnCCS[1:0]		TAUJn MAS	TAUJnSTS[2:0]			TAUJnCOS[1:0]		—	TAUJnMD[4:1]				TAUJn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 33.57　TAUJTTINm 入力パルスインターバル測定機能の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUJnCCS[1:0]	00_B を書いてください。
11	TAUJnMAS	0_B を書いてください。
10～8	TAUJnSTS[2:0]	001_B を書いてください。
7、6	TAUJnCOS[1:0]	**「表 33.56 オーバフローの影響」**を参照。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUJnMD[4:1]	0010_B を書いてください。
0	TAUJnMD0	0：動作開始時に INTTAUJnIm が発生しない 1：動作開始時に INTTAUJnIm が発生する

(2)　TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 33.58　TAUJTTINm 入力パルスインターバル測定機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUJnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3)　チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUJnRDE、TAUJnRDM）は、TAUJTTINm 入力パルスインターバル測定機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 33.59　TAUJTTINm 入力パルスインターバル測定機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0：一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0：一斉書き換え禁止時（TAUJnRDE.TAUJnRDEm＝0）、0 を設定

33.12.3.5　TAUJTTINm 入力パルスインターバル測定機能の操作手順

表 33.60　TAUJTTINm 入力パルスインターバル測定機能の操作手順

	操作	TAUJn の状態
チャネルの初期設定	TAUJnCMORm、TAUJnCMURm レジスタを、「**表 33.57 TAUJTTINm 入力パルスインターバル測定機能の TAUJnCMORm レジスタの内容**」、「**表 33.58 TAUJTTINm 入力パルスインターバル測定機能の TAUJnCMURm レジスタの内容**」に示すように設定します。 TAUJnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、カウントが開始されます。 TAUJnCNTm が $0000\ 0000_H$ にクリアされます。 TAUJnCMORm.TAUJnMD0 が 1 の場合は、INTTAUJnIm が発生します。
動作中	TAUJTTINm エッジ検出 TAUJnCMURm.TAUJnTIS[1:0]ビット値は任意のタイミングで変更可能です。 TAUJnCDRm、TAUJnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUJnCSCm.TAUJnCLOV ビットの 1 書き込みが可能。（TAUJnCSRm.TAUJnOVF ビットを 0 にクリア）	TAUJnCNTm は、$0000\ 0000_H$ からアップカウントを開始します。TAUJTTINm の有効エッジ検出時： • TAUJnCNTm が自身の値を TAUJnCDRm に転送（キャプチャ）して、$0000\ 0000_H$ に戻ります。 • その後、INTTAUJnIm が発生します。 以降、この動作を繰り返します。
動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm は停止し、TAUJnCNTm と TAUJnCSRm.TAUJnOVF は現在値を保持します。

動作再開

33.12.3.6 特定の設定時のタイミング図：オーバフロー動作

(1) TAUJnCMORm.TAUJnCOS[1:0]＝00B

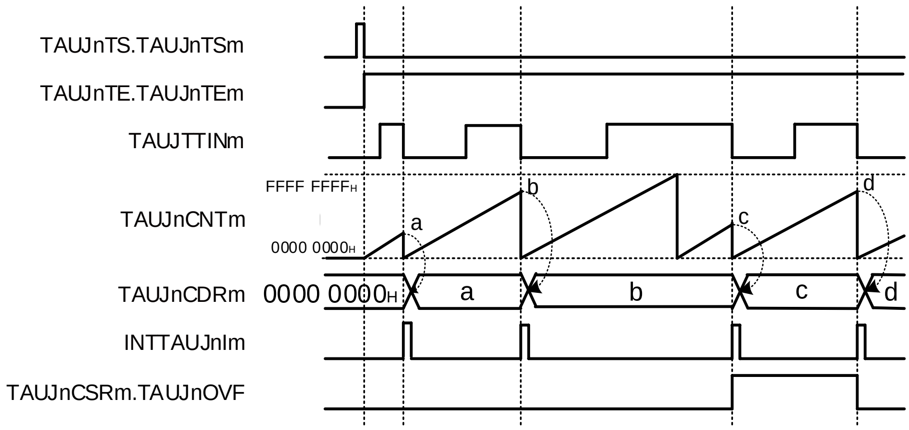


図 33.27 TAUJnCMORm.TAUJnCOS[1:0]＝00B、TAUJnCMORm.TAUJnMD0＝0、TAUJnCMURm.TAUJnTIS[1:0]＝00B

- オーバフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm の値が TAUJnCDRm にロードされ、TAUJnCSRm.TAUJnOVF が 1 に設定されます。
- オーバフローが発生していない状態で次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCSRm.TAUJnOVF が 0 にクリアされます。

(2) TAUJnCMORm.TAUJnCOS[1:0]＝01B

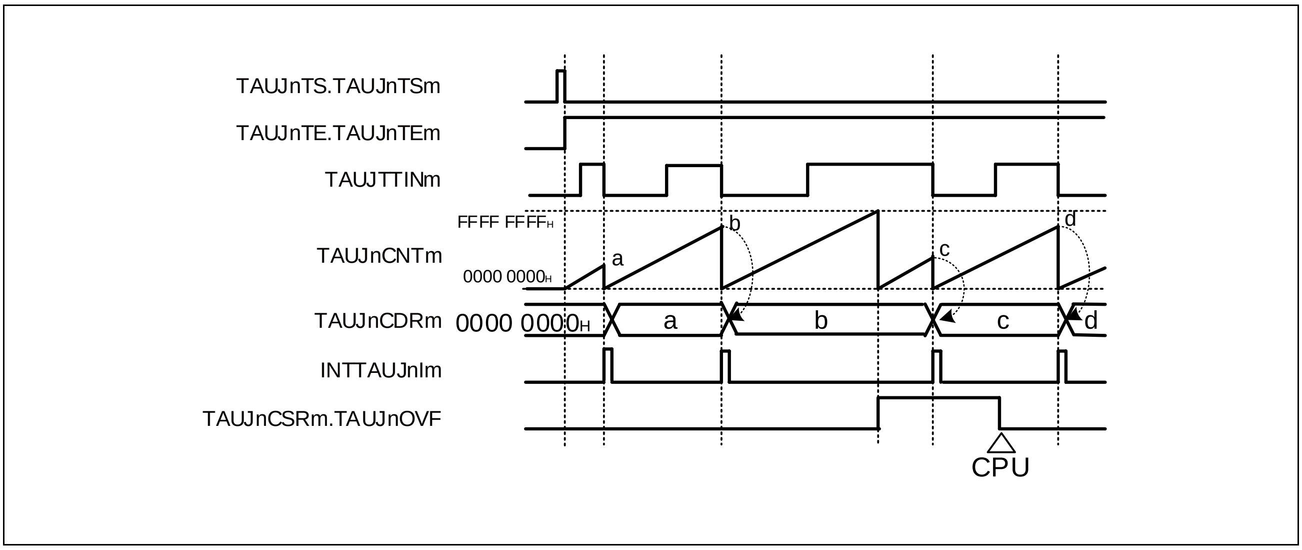


図 33.28　TAUJnCMORm.TAUJnCOS[1:0]＝01B、TAUJnCMORm.TAUJnMD0＝0、TAUJnCMURm.TAUJnTIS[1:0]＝00B

- オーバフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 1 に設定されます。
- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm の値が TAUJnCDRm にロードされます。
- TAUJnCSRm.TAUJnOVF は、CPU コマンド（TAUJnCSCm.TAUJnCLOV＝1 のセット）でのみクリアされます。

(3) TAUJnCMORm.TAUJnCOS[1:0]＝10B

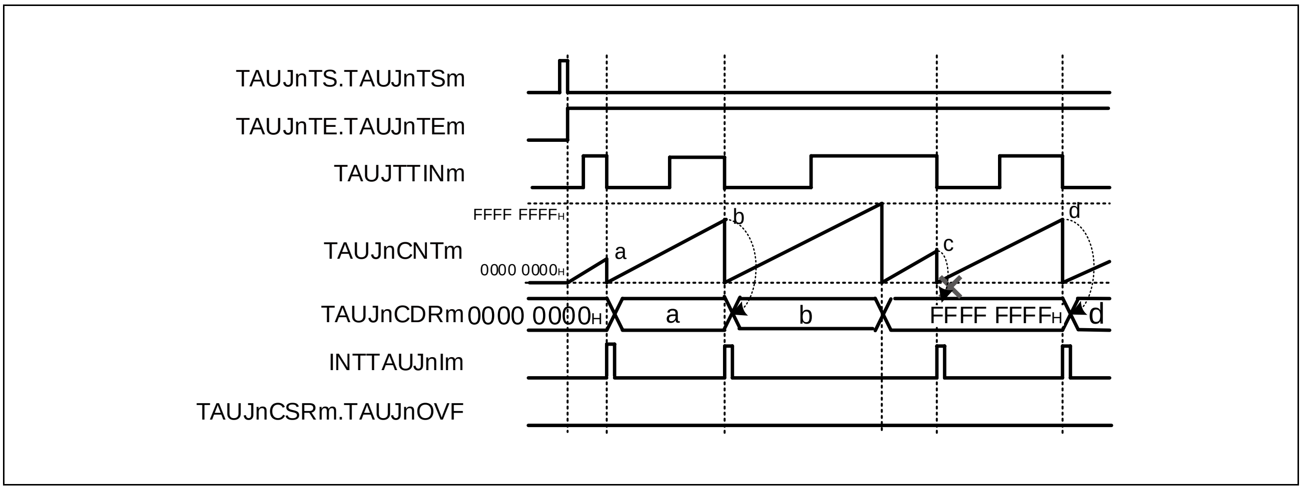


図 33.29　TAUJnCMORm.TAUJnCOS[1:0]＝10B、TAUJnCMORm.TAUJnMD0＝0、TAUJnCMURm.TAUJnTIS[1:0]＝00B

- オーバフローが発生すると、TAUJnCDRm は FFFF FFFFH に設定され、TAUJnCSRm.TAUJnOVF の値は 0 のままです。

- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm が 0 にリセットされますが、TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUJTTINm 入力エッジは無視されます。

(4) TAUJnCMORm.TAUJnCOS[1:0]＝11$_B$

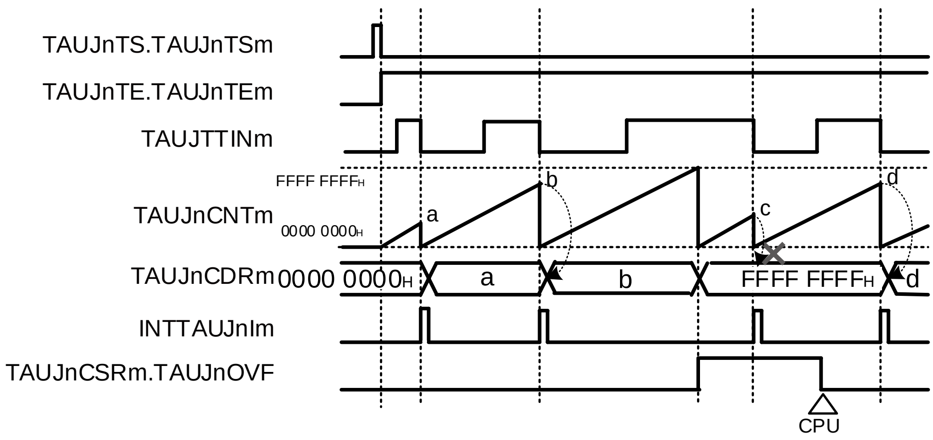


図 33.30 TAUJnCMORm.TAUJnCOS[1:0]＝11$_B$、TAUJnCMORm.TAUJnMD0＝0、TAUJnCMURm.TAUJnTIS[1:0]＝00$_B$

- オーバフローが発生すると、TAUJnCDRm は FFFF FFFF$_H$ に設定され、TAUJnCSRm.TAUJnOVF は 1 に設定されます。
- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm が 0 にリセットされますが、TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUJTTINm 入力エッジは無視されます。
- TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV＝1 を設定することでクリアされます。

33.12.4　TAUJTTINm 入力信号幅測定機能

33.12.4.1　概要

概要

この機能は、TAUJTTINm の片エッジでカウントをスタートし、もう片エッジでカウント値をキャプチャすることで、TAUJTTINm の信号幅を測定できます。

前提条件

この機能では、TAUJTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUJnTS.TAUJnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm＝1 となり、カウントが可能になります。有効な TAUJTTINm スタートエッジが検出されると、カウンタ TAUJnCNTm は、$0000\ 0000_H$ からカウントを開始します。有効な TAUJTTINm ストップエッジが検出されると、TAUJnCNTm の値がキャプチャされ、TAUJnCDRm に転送され、割り込み INTTAUJnIm が発生します。カウンタは値を保持し、次の有効な TAUJTTINm 入力スタートエッジを待ちます。

有効な TAUJTTINm ストップエッジを検出する前にカウンタが $FFFF\ FFFF_H$ に達すると、カウンタはオーバフローします。カウンタは、$0000\ 0000_H$ にリセットされ、その後動作を継続します。TAUJnCDRm、TAUJnCSRm.TAUJnOVF それぞれに転送される値は、TAUJnCMORm.TAUJnCOS[1:0]ビットの値によって異なります。

表 33.61　オーバフローの影響

TAUJnCMORm. TAUJnCOS[1:0]	オーバフローが発生した場合		有効な TAUJTTINm 入力ストップエッジの検出時	
	TAUJnCDRm	TAUJnCSRm. TAUJnOVF	TAUJnCDRm、TAUJnCNTm	TAUJnCSRm. TAUJnOVF
00	変化しない	0	TAUJnCNTm が TAUJnCDRm にロードされる	1
01		1		
10	$FFFF\ FFFF_H$ に設定	0	TAUJnCNTm はカウントを停止、TAUJnCDRm は変更されない	変化しない
11		1		

TAUJnCMORm.TAUJnCOS[0]＝1 のとき、オーバフロービット TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV＝1 を設定することでのみクリアできます。

TAUJnCDRm 値と TAUJnCSRm.TAUJnOVF 値の組み合わせを使用することで、TAUJTTINm 信号の幅を推定できます。ただし、有効な TAUJTTINm 入力が検出される前に複数のオーバフローが発生した場合、オーバフロービット TAUJnCSRm.TAUJnOVF はその複数のオーバフローの発生を示せません。

この機能は強制的に再開することはできません。

備　考

TAUJnCMORm.TAUJnCOS[1]＝1 の場合、オーバフロー後の最初の有効な TAUJTTINm 入力エッジの発生時、TAUJnCNTm の値は TAUJnCDRm にロードされません。ただし、割り込みが発生します。

33.12.4.2　算出式

TAUJTTINm 入力信号幅＝カウントクロック周期×
　［（TAUJnCSRm.TAUJnOVF×（$FFFF\ FFFF_H$＋1））＋TAUJnCDRm キャプチャ値＋1］

33.12.4.3　ブロック図と基本タイミング図

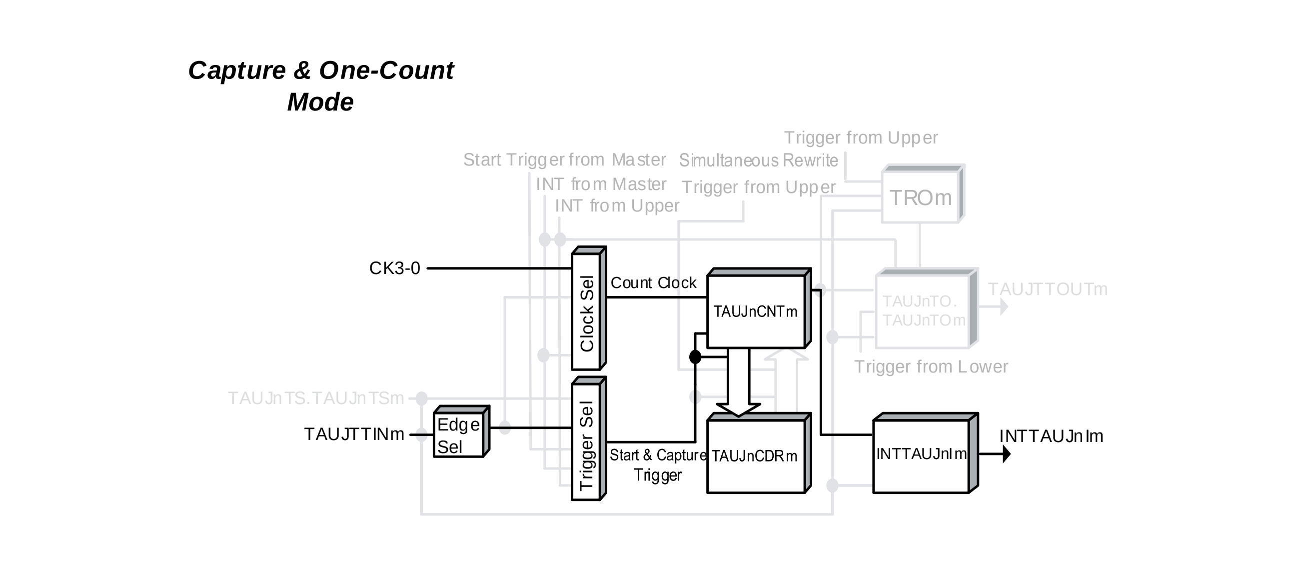


図 33.31　TAUJTTINm 入力信号幅測定機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出＝ハイレベル幅測定（TAUJnCMURm.TAUJnTIS[1:0]＝11_B）
- オーバフロー後に有効な TAUJTTINm 入力を検出すると、TAUJnCDRm を変更し、TAUJnCSRm.TAUJnOVF を 1 に設定する（TAUJnCMORm.TAUJnCOS[1:0]＝00_B）

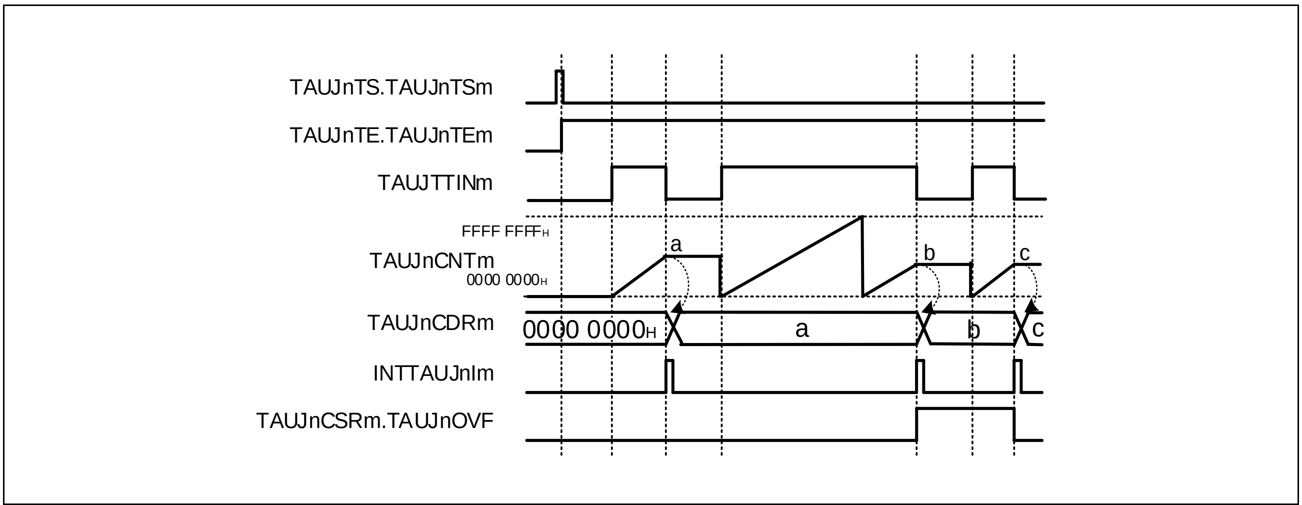


図 33.32　TAUJTTINm 入力信号幅測定機能の基本タイミング図

33.12.4.4 レジスタ設定

(1) TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS[1:0]		TAUJnCCS[1:0]		TAUJnMAS	TAUJnSTS[2:0]			TAUJnCOS[1:0]		—	TAUJnMD[4:1]				TAUJnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 33.62 TAUJTTINm 入力信号幅測定機能の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUJnCCS[1:0]	00_B を書いてください。
11	TAUJnMAS	0_B を書いてください。
10～8	TAUJnSTS[2:0]	010_B を書いてください。
7、6	TAUJnCOS[1:0]	**「表 33.61 オーバフローの影響」**を参照。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUJnMD[4:1]	0110_B を書いてください。
0	TAUJnMD0	0_B を書いてください。

(2) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 33.63 TAUJTTINm 入力信号幅測定機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUJnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUJnRDE、TAUJnRDM）は、TAUJTTINm 入力信号幅測定機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 33.64　TAUJTTINm 入力信号幅測定機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0：一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0：一斉書き換え禁止時（TAUJnRDE.TAUJnRDEm＝0）、0 を設定

33.12.4.5　TAUJTTINm 入力信号幅測定機能の操作手順

表 33.65　TAUJTTINm 入力信号幅測定機能の操作手順

	操作	TAUJn の状態
チャネルの初期設定	TAUJnCMORm、TAUJnCMURm レジスタを、「**表 33.62 TAUJTTINm 入力信号幅測定機能の TAUJnCMORm レジスタの内容**」、「**表 33.63 TAUJTTINm 入力信号幅測定機能の TAUJnCMURm レジスタの内容**」に示すように設定します。 TAUJnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、TAUJnCNTm は TAUJTTINm スタートエッジ検出を待ちます。 TAUJTTINm スタートエッジを検出すると、TAUJnCNTm はアップカウントを開始します。
動作中	TAUJnCDRm、TAUJnCNTm、TAUJnCSRm レジスタは任意のタイミングで読み出しが可能です。 TAUJnCSCm.TAUJnCLOV ビットは、1 にセット可能です。	TAUJnCNTm は、0000 0000_H からアップカウントを開始します。TAUJTTINm の有効エッジ検出時： ● TAUJnCNTm が自身の値を TAUJnCDRm に転送（キャプチャ）して、その値を保持します。 ● その後、INTTAUJnIm が発生します。 ● カウントは TAUJnCDRm に転送した値+1 の値で停止し、TAUJnCNTm は TAUJTTINm スタートエッジの検出を待ちます。 以降、この動作を繰り返します。
動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm は停止し、TAUJnCNTm と TAUJnCSRm.TAUJnOVF は現在値を保持します。

動作再開

33.12.4.6　特定の設定時のタイミング図：オーバフロー動作

(1)　TAUJnCMORm.TAUJnCOS[1:0]＝00_B

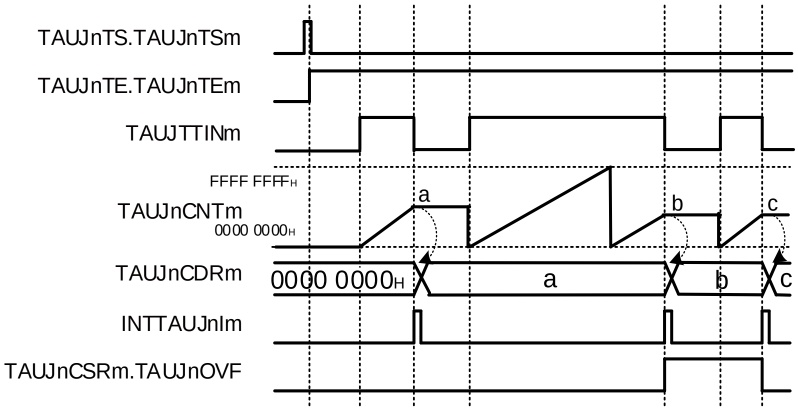


図 33.33　TAUJnCMORm.TAUJnCOS[1:0]＝00_B、TAUJnCMORm.TAUJnMD0＝0、TAUJnCMURm.TAUJnTIS[1:0]＝11_B

- オーバフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm の値が TAUJnCDRm にロードされ、TAUJnCSRm.TAUJnOVF が 1 に設定されます。
- オーバフローが発生していない状態で次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCSRm.TAUJnOVF が 0 にクリアされます。

(2) TAUJnCMORm.TAUJnCOS[1:0]＝01B

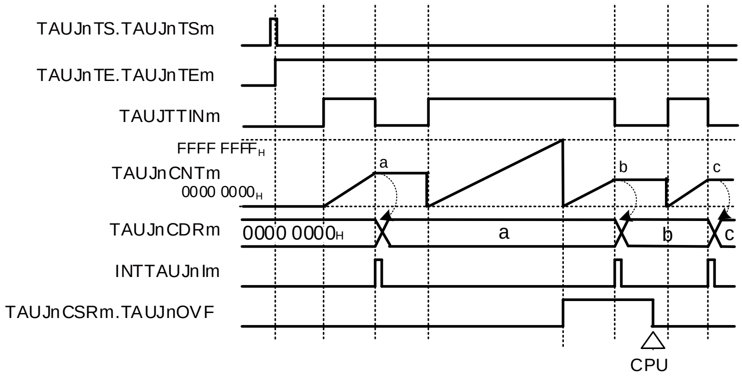


図 33.34　TAUJnCMORm.TAUJnCOS[1:0]＝01B、TAUJnCMORm.TAUJnMD0＝0、TAUJnCMURm.TAUJnTIS[1:0]＝11B

- オーバフローが発生すると、TAUJnCDRm の値は変更されず、TAUJnCSRm.TAUJnOVF の値は 1 に設定されます。
- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm の値が TAUJnCDRm にロードされます。
- TAUJnCSRm.TAUJnOVF は、CPU コマンド（TAUJnCSCm.TAUJnCLOV＝1 のセット）でのみクリアされます。

(3) TAUJnCMORm.TAUJnCOS[1:0]＝10_B

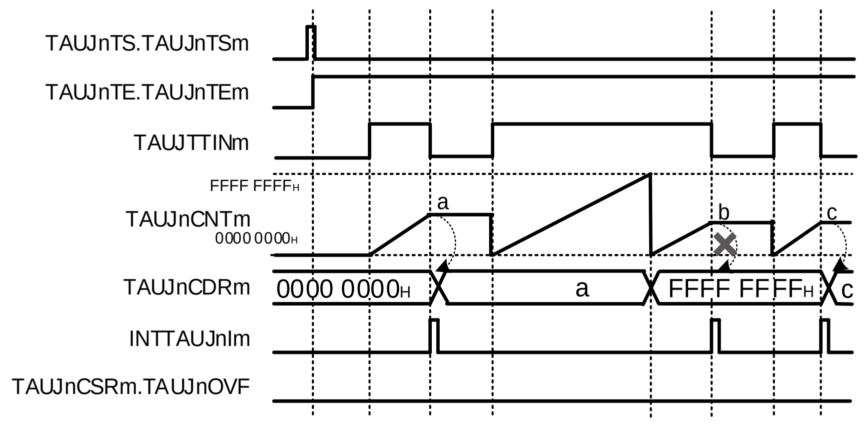


図 33.35　TAUJnCMORm.TAUJnCOS[1:0]＝10_B、TAUJnCMORm.TAUJnMD0＝0、TAUJnCMURm.TAUJnTIS[1:0]＝11_B

- オーバフローが発生すると、TAUJnCDRm は FFFF $FFFF_H$ に設定され、TAUJnCSRm.TAUJnOVF の値は 0 のままです。
- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm がカウントを停止し、TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUJTTINm 入力エッジは無視されます。

(4) TAUJnCMORm.TAUJnCOS[1:0]＝11_B

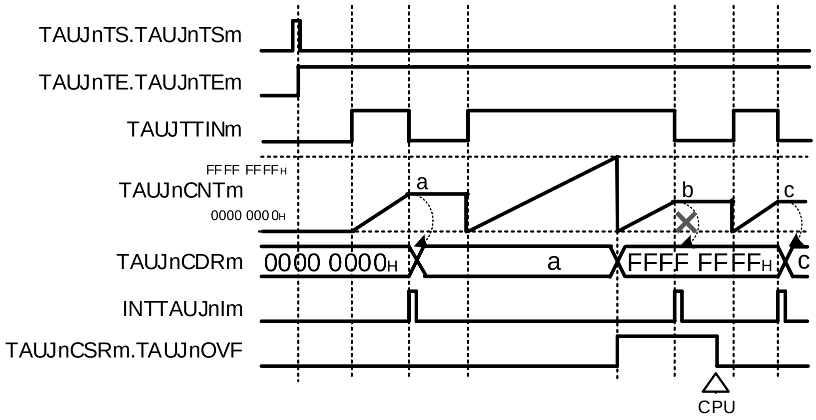


図 33.36　TAUJnCMORm.TAUJnCOS[1:0]＝11_B、TAUJnCMORm.TAUJnMD0＝0、TAUJnCMURm.TAUJnTIS[1:0]＝11_B

- オーバフローが発生すると、TAUJnCDRm は FFFF $FFFF_H$ に設定され、TAUJnCSRm.TAUJnOVF は 1 に設定されます。
- 次の有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm がカウントを停止し、TAUJnCDRm と TAUJnCSRm.TAUJnOVF は変更されません。
- したがって、オーバフロー後の次の有効な TAUJTTINm 入力エッジは無視されます。
- TAUJnCSRm.TAUJnOVF は、TAUJnCSCm.TAUJnCLOV＝1 を設定することでクリアされます。

33.12.5　TAUJTTINm 入力位置検出機能

33.12.5.1　概要

概要

TAUJTTINm の有効エッジでカウント値をキャプチャすることで、入力信号間隔を測定できる機能です。

前提条件

この機能では、TAUJTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUJnTS.TAUJnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm＝1 となり、カウントが可能になります。カウンタは、0000 0000_H からカウントを開始します。有効な TAUJTTINm 入力エッジが検出されると、TAUJnCNTm の現在値が TAUJnCDRm にロードされ、割り込み（INTTAUJnIm）が発生します。カウント動作は継続します。

カウンタ値が FFFF $FFFF_H$ になると、カウンタは 0000 0000_H からカウント動作を再開します。

備　考

TAUJTTINm 入力信号は TAUJnCMORm.TAUJnCKS[1:0]ビットで設定した動作クロックの周波数でサンプリングされます。

条件

TAUJnCMORm.TAUJnMD0 ビットが 0 に設定されている場合、動作開始または再開後の最初の割り込みは発生しません。

33.12.5.2　算出式

TAUJTTINm 入力パルスでの機能時間＝
　カウントクロック周期×（TAUJnCDRm キャプチャ値＋1）

33.12.5.3　ブロック図と基本タイミング図

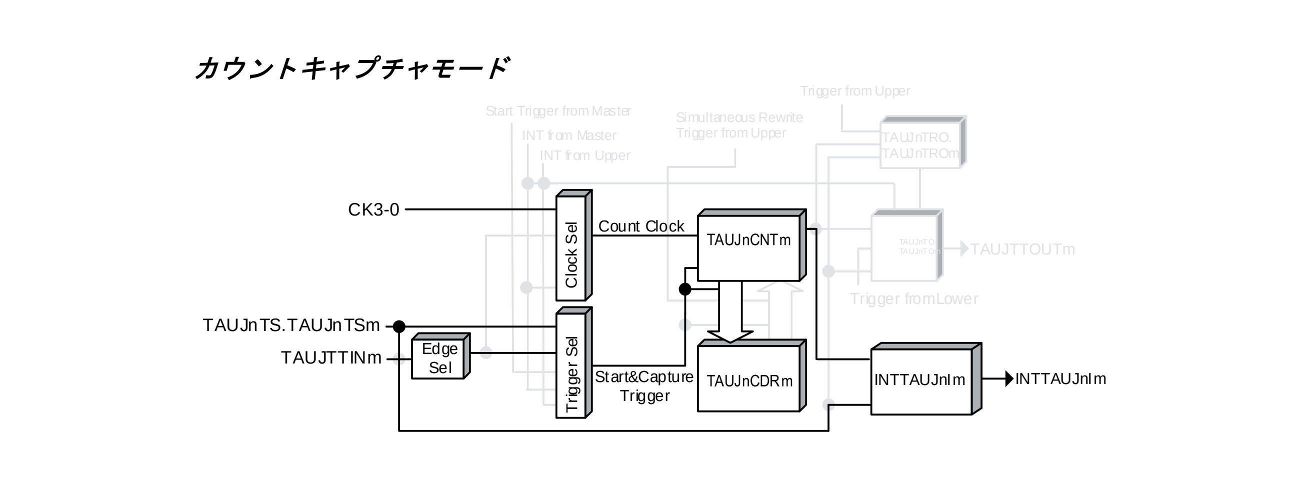


図 33.37　TAUJTTINm 入力位置検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 動作開始時に INTTAUJnIm が発生しない（TAUJnCMORm.TAUJnMD0＝0）
- 立ち下がりエッジ検出（TAUJnCMURm.TAUJnTIS[1:0]＝00_B）

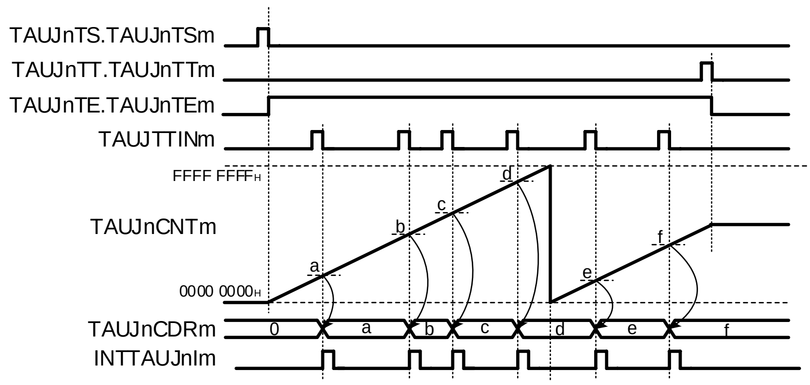


図 33.38　TAUJTTINm 入力位置検出機能の基本タイミング図

33.12.5.4　レジスタ設定

(1) TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS[1:0]		TAUJnCCS[1:0]		TAUJnMAS	TAUJnSTS[2:0]			TAUJnCOS[1:0]		—	TAUJnMD[4:1]				TAUJnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 33.66　TAUJTTINm 入力位置検出機能の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUJnCCS[1:0]	00_B を書いてください。
11	TAUJnMAS	0_B を書いてください。
10～8	TAUJnSTS[2:0]	001_B を書いてください。
7、6	TAUJnCOS[1:0]	01_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUJnMD[4:1]	1011_B を書いてください。
0	TAUJnMD0	0：動作開始時に INTTAUJnIm が発生しない 1：動作開始時に INTTAUJnIm が発生する

(2) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 33.67　TAUJTTINm 入力位置検出機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUJnTIS[1:0]	00：立ち下がりエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出 11：設定禁止

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しません。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUJnRDE、TAUJnRDM）は、TAUJTTINm 入力位置検出機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 33.68　TAUJTTINm 入力位置検出機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0：一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0：一斉書き換え禁止時（TAUJnRDE.TAUJnRDEm＝0）、0 を設定

33.12.5.5　TAUJTTINm 入力位置検出機能の操作手順

表 33.69　TAUJTTINm 入力位置検出機能の操作手順

	操作	TAUJn の状態
チャネルの初期設定	TAUJnCMORm、TAUJnCMURm レジスタを、「**表 33.66 TAUJTTINm 入力位置検出機能の TAUJnCMORm レジスタの内容**」、「**表 33.67 TAUJTTINm 入力位置検出機能の TAUJnCMURm レジスタの内容**」に示すように設定します。 TAUJnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、カウントが開始されます。 TAUJnCMORm.TAUJnMD0 が 1 の場合は、INTTAUJnIm が発生します。
動作中	TAUJnCMURm.TAUJnTIS[1:0]ビット値は任意のタイミングで変更可能です。 TAUJnCDRm、TAUJnCSRm レジスタは任意のタイミングで読み出し可能です。	TAUJnCNTm は、0000 0000$_H$ からアップカウントを開始します。TAUJTTINm の有効エッジ検出時： ● TAUJnCNTm が自身の値を TAUJnCDRm に転送（キャプチャ）します。 ● INTTAUJnIm を出力します。 ● カウンタ値は 0000 0000$_H$ にクリアされず、TAUJnCNTm はカウント動作を継続します。 以降、この動作を繰り返します。 TAUJnCNTm が FFFF FFFF$_H$ に達すると，カウンタは 0000 0000$_H$ からカウント動作を再開します。
動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm は停止し、TAUJnCNTm は現在値を保持します。

動作再開

33.12.5.6　特定の設定時のタイミング図

(1)　動作の停止と再開

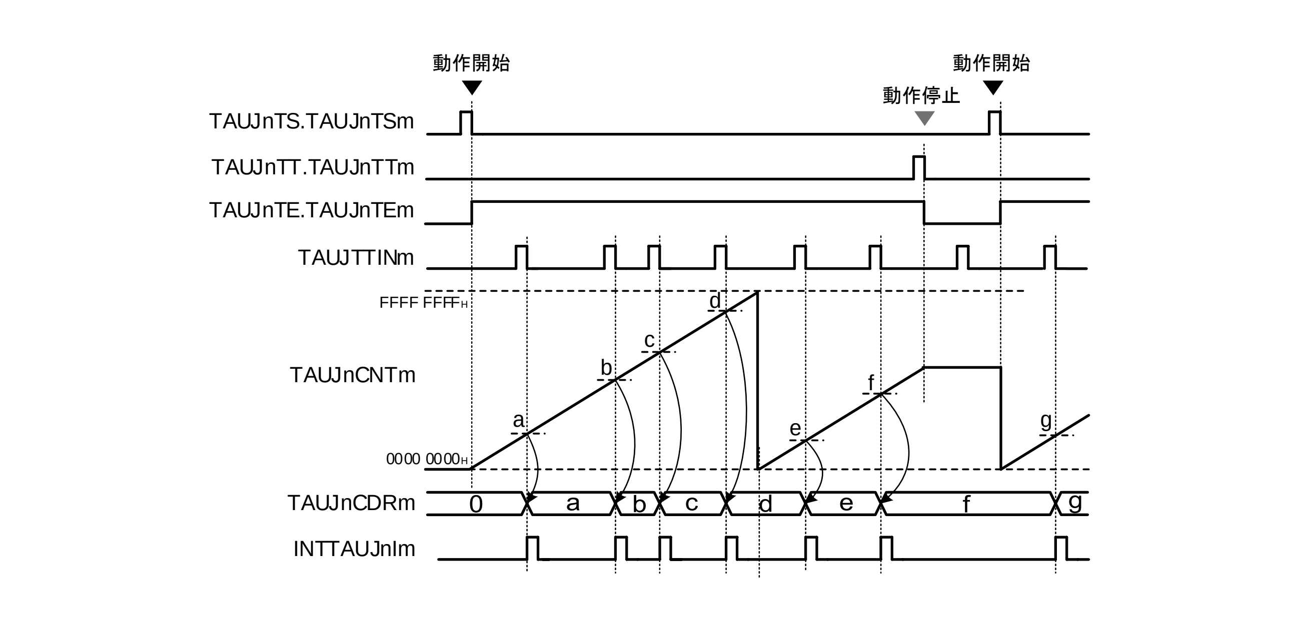


図 33.39　動作の停止と再開（TAUJnCMORm.TAUJnMD0＝0、TAUJnCMURm.TAUJnTIS[1:0]＝00_B）

- TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。
- TAUJnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUJTTINm の有効な入力エッジは無視されます。
- TAUJnTS.TAUJnTSm を 1 に設定すると、カウントを再開できます。TAUJnCNTm は 0000 0000_H からカウントを再開します。

33.12.6 TAUJTTINm 入力期間カウント検出機能

33.12.6.1 概要

概要

この機能は、TAUJTTINm 入力信号の合計幅を測定します。

前提条件

この機能では、TAUJTTOUTm は使用しません。

機能説明

チャネルトリガビット（TAUJnTS.TAUJnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm＝1 となり、カウントが可能になります。カウンタは、有効な TAUJTTINm 入力エッジを待ちます。

有効な TAUJTTINm 入力スタートエッジが検出されると、カウンタは、0000 0000_H からカウントを開始します。

有効な TAUJTTINm 入力ストップエッジが検出されると、TAUJnCNTm の現在値が TAUJnCDRm にロードされ、割り込み（INTTAUJnIm）が発生します。次の有効な TAUJTTINm 入力スタートエッジを検出するまで、カウンタは停止し、値を保持します。

次の有効な TAUJTTINm 入力スタートエッジが検出されると、カウンタは、停止時の値からカウントを再開します。

カウンタ値が FFFF $FFFF_H$ になると、カウンタは 0000 0000_H からカウント動作を再開します。

この機能は、強制的に再開することはできません。

備 考

TAUJTTINm 入力信号は、TAUJnCMORm.TAUJnCKS[1:0]ビットで設定した動作クロックの周波数でサンプリングされます。

条件

有効なスタートエッジとストップエッジは、TAUJnCMURm.TAUJnTIS[1:0]ビットで設定します。

- TAUJnCMURm.TAUJnTIS[1:0]＝10_B の場合、TAUJTTINm 入力ロウレベル期間をカウントします。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUJnCMURm.TAUJnTIS[1:0]＝11_B の場合、TAUJTTINm 入力ハイレベル期間をカウントします。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

33.12.6.2 算出式

TAUJTTINm 入力幅累計＝
　カウントクロック周期×（TAUJnCDRm キャプチャ値＋1）

33.12.6.3 ブロック図と基本タイミング図

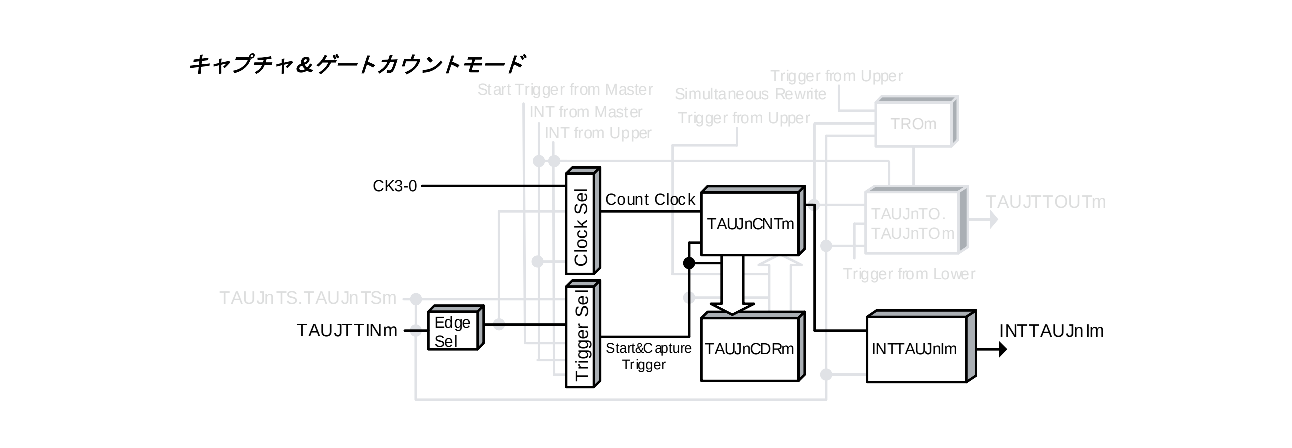


図 33.40 TAUJTTINm 入力期間カウント検出機能のブロック図

基本タイミング図での設定は次のようになっています。

- 両エッジ検出＝ハイレベル幅測定（TAUJnCMURm.TAUJnTIS[1:0]＝11_B）

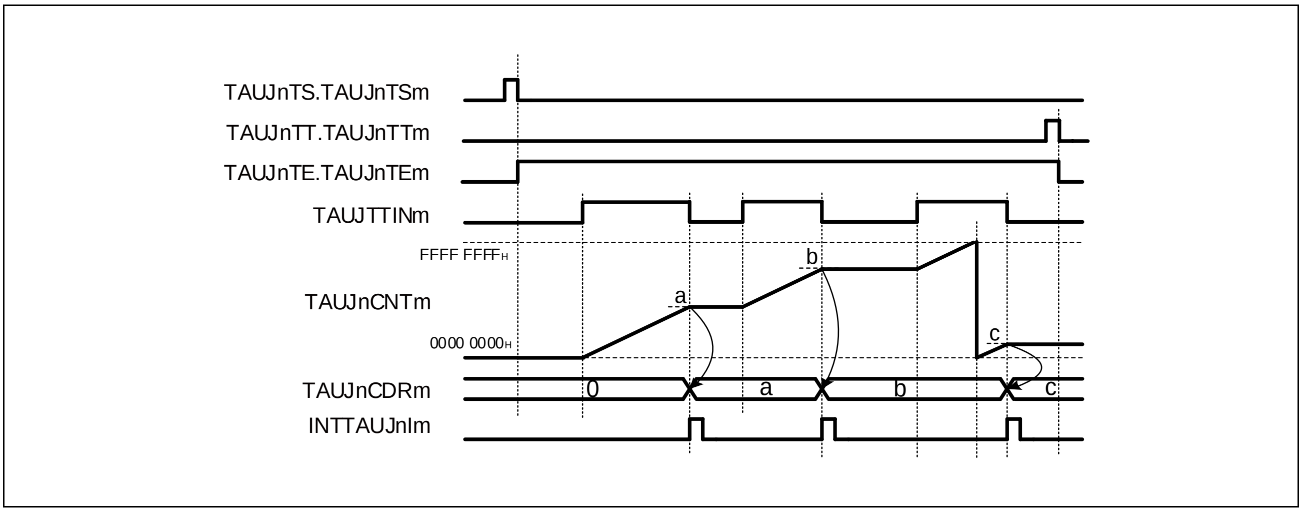


図 33.41 TAUJTTINm 入力期間カウント検出機能の基本タイミング図

33.12.6.4 レジスタ設定

(1) TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS[1:0]		TAUJnCCS[1:0]		TAUJnMAS	TAUJnSTS[2:0]			TAUJnCOS[1:0]		—	TAUJnMD[4:1]				TAUJnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 33.70 TAUJTTINm 入力期間カウント検出機能の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUJnCCS[1:0]	00_B を書いてください。
11	TAUJnMAS	0_B を書いてください。
10～8	TAUJnSTS[2:0]	010_B を書いてください。
7、6	TAUJnCOS[1:0]	01_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUJnMD[4:1]	1101_B を書いてください。
0	TAUJnMD0	0_B を書いてください。

(2) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 33.71 TAUJTTINm 入力期間カウント検出機能の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUJnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUJnRDE、TAUJnRDM）は、TAUJTTINm 入力期間カウント検出機能では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 33.72　TAUJTTINm 入力期間カウント検出機能の一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	0：一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0：一斉書き換え禁止時（TAUJnRDE.TAUJnRDEm＝0）、0 を設定

33.12.6.5　TAUJTTINm 入力期間カウント検出機能の操作手順

表 33.73　TAUJTTINm 入力期間カウント検出機能の操作手順

	操作	TAUJn の状態
チャネルの初期設定	TAUJnCMORm、TAUJnCMURm レジスタを、「**表 33.70 TAUJTTINm 入力期間カウント検出機能の TAUJnCMORm レジスタの内容**」、「**表 33.71 TAUJTTINm 入力期間カウント検出機能の TAUJnCMURm レジスタの内容**」に示すように設定します。 TAUJnCDRm レジスタはキャプチャレジスタとして動作します。	チャネル動作を停止しています。
動作開始	TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 1 に設定され、TAUJnCNTm は TAUJTTINm スタートエッジ検出を待ちます。
動作中	TAUJTTINm エッジ検出 TAUJnCDRm、TAUJnCNTm、TAUJnCSRm レジスタは任意のタイミングで読み出しが可能です。	TAUJTTINm スタートエッジ（ハイレベル幅測定なら立ち上がりエッジ、ロウレベル幅測定なら立ち下がりエッジ）を検出すると、TAUJnCNTm は停止値よりアップカウントを開始します。 TAUJnCNTm は、ストップエッジ（ハイレベル幅測定なら立ち下がりエッジ、ロウレベル幅測定なら立ち上がりエッジ）を検出すると、値を TAUJnCDRm に転送し、INTTAUJnIm が発生します。 カウントは TAUJnCDRm に転送した値＋1 の値で停止し、TAUJnCNTm は TAUJTTINm スタートエッジの検出を待ちます。 TAUJnCNTm が FFFF FFFF_H に達すると、カウンタは 0000 0000_H からカウント動作を再開します。 以降、この動作を繰り返します。
動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm は停止し、TAUJnCNTm は現在値を保持します。

動作再開

33.12.6.6 特定の設定時のタイミング図

(1) 動作の停止と再開

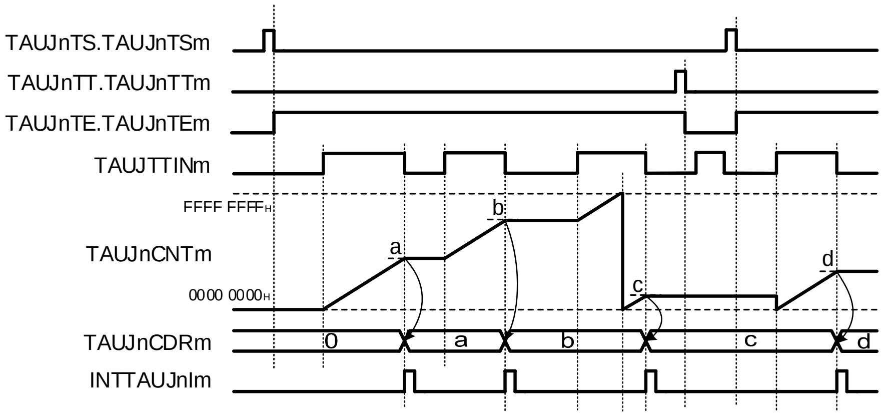


図 33.42 動作の停止と再開（TAUJnCMURm.TAUJnTIS[1:0]＝11B）

- TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。
- TAUJnCNTm が停止し、現在値を保持します。
- カウンタ動作が停止している場合、TAUJTTINm の有効な入力エッジは無視されます。
- TAUJnTS.TAUJnTSm を 1 に設定すると、カウントを再開できます。TAUJnCNTm は 0000 0000_H からカウントを再開します。

33.12.7　オーバフロー割り込み出力機能（TAUJTTINm 幅測定時）

33.12.7.1　概要

概要

この機能は、各 TAUJTTINm 入力信号の幅を測定します。TAUJTTINm 入力後、（FFFF FFFF_H＋1）を超えた場合、割り込みが発生します。

前提条件

- この機能では、TAUJTTOUTm は使用しません。
- TAUJnCDRm の値は、FFFF FFFF_H に設定する必要があります。

機能説明

チャネルトリガビット（TAUJnTS.TAUJnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm＝1 となり、カウンタが可能になります。

有効な TAUJTTINm 入力スタートエッジを検出すると、カウンタ動作を開始します。TAUJnCNTm に

FFFF FFFF_H がロードされ、カウンタはダウンカウントを開始します。

有効なストップエッジが検出されると、カウンタ動作を停止し現在値を保持します。

次の TAUJTTINm 入力スタートエッジが検出されると、TAUJnCNTm は FFFF FFFF_H をロードし、ダウンカウントを開始します。

ストップエッジを検出する前にカウンタが 0000 0000_H に達すると、割り込みが発生します。

条件

有効なスタートエッジとストップエッジは、TAUJnCMURm.TAUJnTIS[1:0]ビットで設定します。

- TAUJnCMURm.TAUJnTIS[1:0]＝10_B の場合、TAUJTTINm 入力ロウレベル幅が測定されます。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUJnCMURm.TAUJnTIS[1:0]＝11_B の場合、TAUJTTINm 入力ハイレベル幅が測定されます。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

備　考

動作中にカウンタ動作を再開することはできません。

33.12.7.2　ブロック図と基本タイミング図

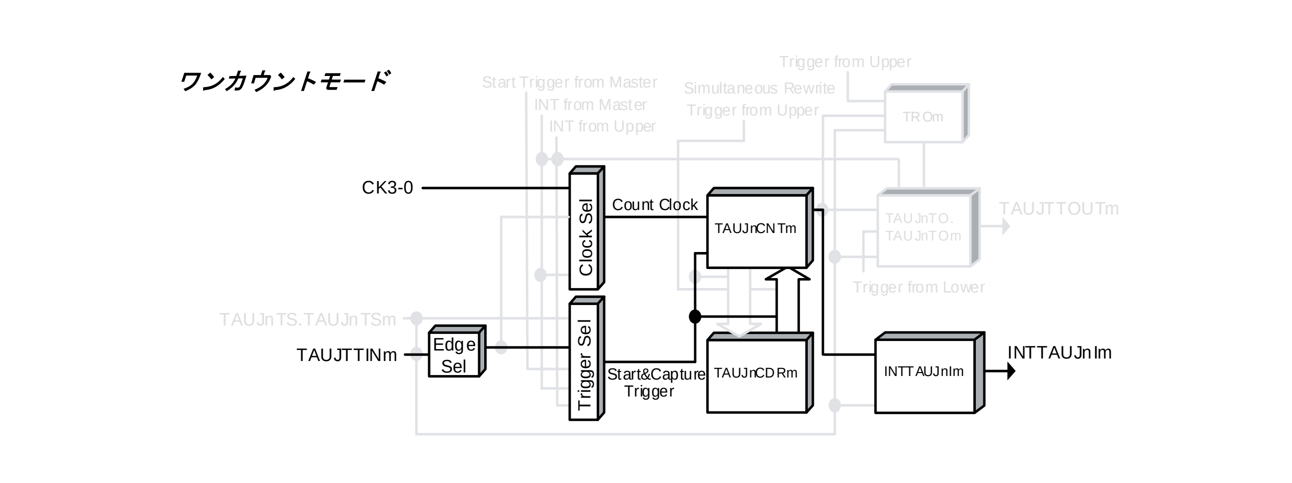


図 33.43　オーバフロー割り込み出力機能のブロック図（TAUJTTINm 幅測定時）

基本タイミング図での設定は次のようになっています。

- 両エッジ検出＝ハイ レベル幅測定（TAUJnCMURm.TAUJnTIS[1:0]＝11_B）

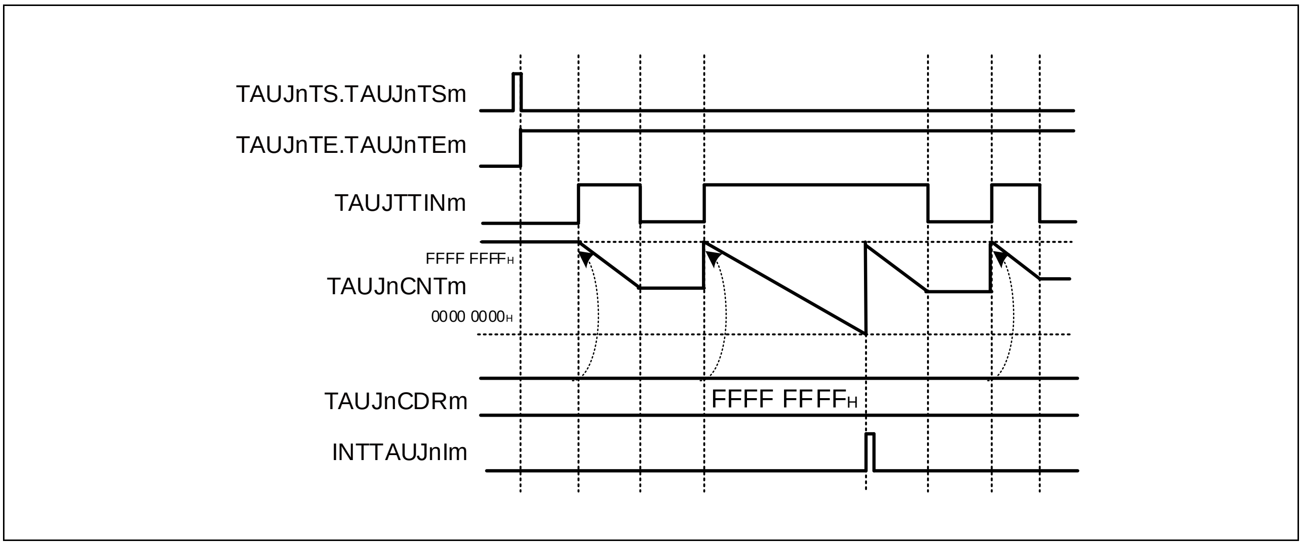


図 33.44　オーバフロー割り込み出力機能の基本タイミング図（TAUJTTINm 幅測定時）

33.12.7.3　レジスタ設定

(1) TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS[1:0]		TAUJnCCS[1:0]		TAUJnMAS	TAUJnSTS[2:0]			TAUJnCOS[1:0]		—	TAUJnMD[4:1]				TAUJnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 33.74　オーバフロー割り込み出力機能（TAUJTTINm 幅測定時）の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUJnCCS[1:0]	00_B を書いてください。
11	TAUJnMAS	0_B を書いてください。
10～8	TAUJnSTS[2:0]	010_B を書いてください。
7、6	TAUJnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUJnMD[4:1]	0100_B を書いてください。
0	TAUJnMD0	0_B を書いてください。

(2) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 33.75　オーバフロー割り込み出力機能（TAUJTTINm 幅測定時）の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUJnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUJnRDE、TAUJnRDM）は、オーバフロー割り込み出力機能（TAUJTTINm 幅測定時）では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 33.76　オーバフロー割り込み出力機能の一斉書き換え設定（TAUJTTINm 幅測定時）

ビット名	設定
TAUJnRDE.TAUJnRDEm	0：一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0：一斉書き換え禁止時（TAUJnRDE.TAUJnRDEm＝0）、0 を設定

33.12.7.4　オーバフロー割り込み出力機能の操作手順（TAUJTTINm 幅測定時）

表 33.77　オーバフロー割り込み出力機能の操作手順（TAUJTTINm 幅測定時）

	操作	TAUJn の状態
チャネルの初期設定	TAUJnCMORm、TAUJnCMURm レジスタを、「**表 33.74 オーバフロー割り込み出力機能（TAUJTTINm 幅測定時）の TAUJnCMORm レジスタの内容**」、「**表 33.75 オーバフロー割り込み出力機能（TAUJTTINm 幅測定時）の TAUJnCMURm レジスタの内容**」に示すように設定します。 TAUJnCDRm レジスタの値を FFFF FFFF$_H$ に設定します。	チャネル動作を停止しています。
動作開始	TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガビットなので、自動的に 0 にクリアされます。 TAUJTTINm スタートエッジ検出	TAUJnTE.TAUJnTEm が 1 に設定され、TAUJnCNTm はスタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUJnCDRm の値（FFFF FFFF$_H$）を TAUJnCNTm にロードします。
動作中	TAUJnCNTm レジスタは任意のタイミングで読み出し可能です。	TAUJnCNTm がダウンカウントを行います。カウンタが 0000 0000$_H$ になった場合： ● INTTAUJnIm が発生します。 カウント動作中に TAUJTTINm の逆エッジを検出した場合： ● TAUJnCNTm はカウントを停止し、トリガを待ちます。 以降、この動作を繰り返します。
動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm が停止し、現在値を保持します。

動作再開

33.12.8 オーバフロー割り込み出力機能（TAUJTTINm 入力期間カウント検出時）

33.12.8.1 概要

概要

この機能は、TAUJTTINm 入力信号の合計幅を測定します。TAUJTTINm 入力合計幅が FFFF $FFFF_H$ より大きい場合、割り込みが発生し、オーバフロー割り込みを出力することができます。

前提条件

- この機能では、TAUJTTOUTm は使用しません。
- TAUJnCDRm の値は、FFFF $FFFF_H$ に設定する必要があります。

機能説明

チャネルトリガビット（TAUJnTS.TAUJnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm＝1 となり、カウントが可能になります。

有効な TAUJTTINm 入力スタートエッジを検出すると、カウンタ動作を開始します。TAUJnCNTm に FFFF $FFFF_H$ がロードされ、カウンタはダウンカウントを開始します。

有効なストップエッジが検出されると、カウンタ動作を停止し、現在値を保持します。カウンタは、次の有効な TAUJTTINm 入力スタートエッジを待ち、現在値からのダウンカウントを継続します。

カウンタが 0000 0000_H になると、割り込みが発生します。TAUJnCNTm に FFFF $FFFF_H$ がロードされ、カウンタは TAUJTTINm 入力ストップエッジが検出されるまでダウンカウントを継続します。

条件

有効なスタートエッジとストップエッジは、TAUJnCMURm.TAUJnTIS[1:0]ビットで設定します。

- TAUJnCMURm.TAUJnTIS[1:0]＝10_B の場合、TAUJTTINm 入力ロウレベル期間をカウントします。スタートトリガは立ち下がりエッジ、ストップトリガは立ち上がりエッジです。
- TAUJnCMURm.TAUJnTIS[1:0]＝11_B の場合、TAUJTTINm 入力ハイレベル期間をカウントします。スタートトリガは立ち上がりエッジ、ストップトリガは立ち下がりエッジです。

備　考

動作中にカウンタ動作を再開することはできません。

33.12.8.2　ブロック図と基本タイミング図

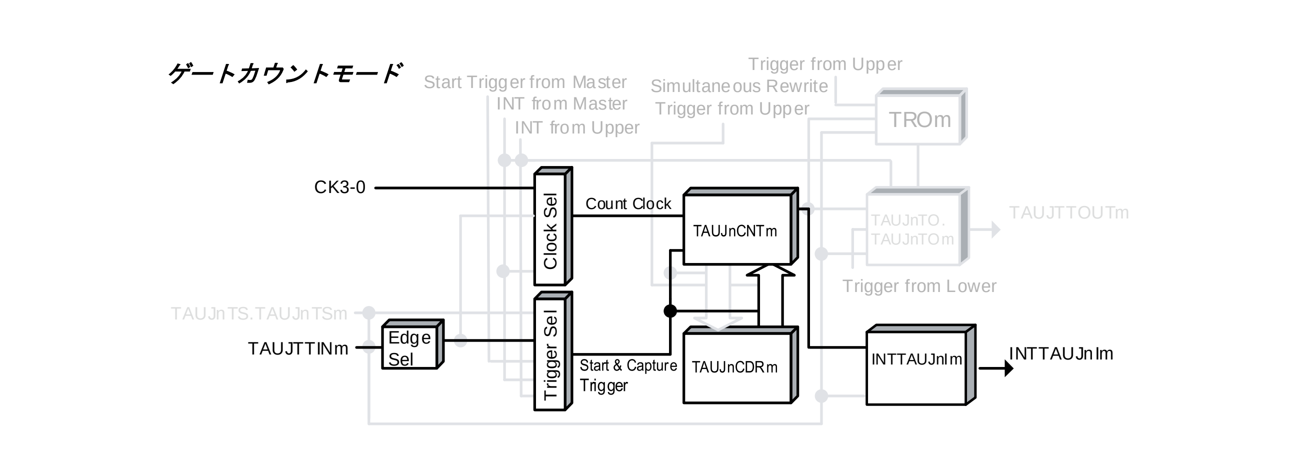


図 33.45　オーバフロー割り込み出力機能のブロック図（TAUJTTINm 入力期間カウント検出時）

基本タイミング図での設定は次のようになっています。

- 両エッジ検出＝ハイレベル幅測定（TAUJnCMURm.TAUJnTIS[1:0]＝11_B）

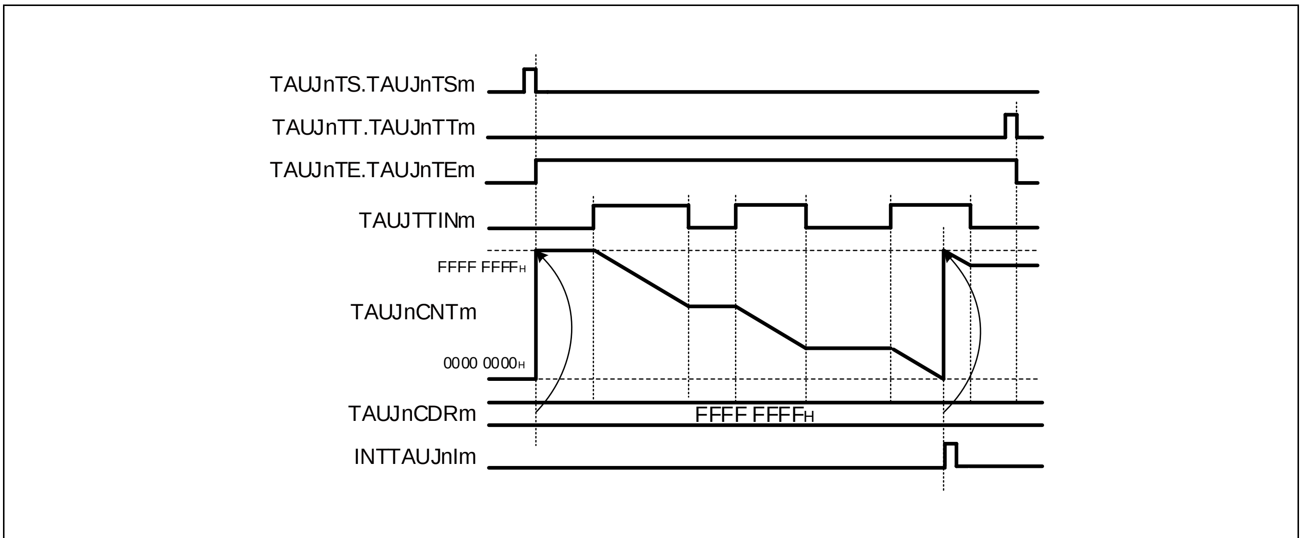


図 33.46　オーバフロー割り込み出力機能の基本タイミング図（TAUJTTINm 入力期間カウント検出時）

33.12.8.3　レジスタ設定

(1) TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS[1:0]		TAUJnCCS[1:0]		TAUJnMAS	TAUJnSTS[2:0]			TAUJnCOS[1:0]		—	TAUJnMD[4:1]				TAUJnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 33.78　オーバフロー割り込み出力機能（TAUJTTINm 入力期間カウント検出時）の TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3
13、12	TAUJnCCS[1:0]	00_B を書いてください。
11	TAUJnMAS	0_B を書いてください。
10～8	TAUJnSTS[2:0]	010_B を書いてください。
7、6	TAUJnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUJnMD[4:1]	1100_B を書いてください。
0	TAUJnMD0	0_B を書いてください。

(2) TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 33.79　オーバフロー割り込み出力機能（TAUJTTINm 入力期間カウント検出時）の TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUJnTIS[1:0]	10：両エッジ検出（ロウレベル幅測定） 11：両エッジ検出（ハイレベル幅測定）

(3) チャネル出力モード

この機能ではチャネル出力モードを使用しないため、TAUJnTOE.TAUJnTOEm に 0 を設定します。

(4) 一斉書き換え

一斉書き換えレジスタ（TAUJnRDE、TAUJnRDM）は、オーバフロー割り込み出力機能（TAUJTTINm 入力期間検出時）では使用できません。したがって、これらのレジスタは 0 に設定する必要があります。

表 33.80　オーバフロー割り込み出力機能の一斉書き換え設定（TAUJTTINm 入力期間カウント検出時）

ビット名	設定
TAUJnRDE.TAUJnRDEm	0：一斉書き換え禁止
TAUJnRDM.TAUJnRDMm	0：一斉書き換え禁止時（TAUJnRDE.TAUJnRDEm＝0）、0 を設定

33.12.8.4　オーバフロー割り込み出力機能の操作手順（TAUJTTINm 入力期間カウント検出時）

表 33.81　オーバフロー割り込み出力機能の操作手順（TAUJTTINm 入力期間カウント検出時）

動作再開

	操作	TAUJn の状態
チャネルの初期設定	TAUJnCMORm、TAUJnCMURm レジスタを、「**表 33.78 オーバフロー割り込み出力機能（TAUJTTINm 入力期間カウント検出時）の TAUJnCMORm レジスタの内容**」、「**表 33.79 オーバフロー割り込み出力機能（TAUJTTINm 入力期間カウント検出時）の TAUJnCMURm レジスタの内容**」に示すように設定します。 TAUJnCDRm レジスタの値を FFFF FFFF$_H$ に設定します。	チャネル動作を停止しています。
動作開始	TAUJnTS.TAUJnTSm を 1 に設定します。 TAUJnTS.TAUJnTSm はトリガビットなので、自動的に 0 にクリアされます。 TAUJTTINm スタートエッジ検出	TAUJnTE.TAUJnTEm が 1 に設定され、TAUJnCNTm はスタートエッジ検出を待ちます。 スタートエッジが検出されると、TAUJnCDRm の値（FFFF FFF$_H$）を TAUJnCNTm にロードします。
動作中	TAUJnCNTm レジスタは常に読み出し可能です。	TAUJnCNTm がダウンカウントを行います。カウンタが 0000 0000$_H$ になった場合： ● INTTAUJnIm が発生します。 ● TAUJnCDRm の値（FFFF FFFF$_H$）を TAUJnCNTm にロードし、ダウンカウントを継続します。 カウント動作中に TAUJTTINm の逆エッジを検出した場合： ● TAUJnCNTm は停止し、停止値を維持します。 カウント停止中に TAUJTTINm の有効エッジを検出した場合： ● TAUJnCNTm は停止値からダウンカウントを行います。 以降、この動作を繰り返します。
動作停止	TAUJnTT.TAUJnTTm を 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm が停止し、現在値を保持します。

33.13 チャネル連動動作機能

この節では、TAUJ のチャネル連動動作の全機能について説明します。チャネル連動動作の概要については、「**33.2 概要**」を参照してください。

33.13.1　PWM 出力機能

33.13.1.1　概要

概要

マスタチャネルと複数のスレーブチャネルを使用することで、複数の PWM 出力を生成する機能です。これにより、TAUJTTOUTm のパルス周期（周波数）とデューティを設定できます。パルス周期はマスタチャネルで設定します。デューティはスレーブチャネルで設定します。

前提条件

- 2 チャネル
- マスタチャネルの動作モードは、インターバルタイマモードに設定する必要があります（「**表 33.82 PWM 出力機能のマスタチャネルの TAUJnCMORm レジスタの内容**」参照）。
- スレーブチャネルの動作モードは、ワンカウントモードに設定する必要があります（「**表 33.85 PWM 出力機能のスレーブチャネルの TAUJnCMORm レジスタの内容**」参照）。
- この機能では、マスタチャネルで TAUJTTOUTm は使用しません。
- スレーブチャネルのチャネル出力モードは、チャネル連動出力モード 1 に設定する必要があります（「**33.7 チャネル出力モード**」参照）。

機能説明

チャネルトリガビット（TAUJnTS.TAUJnTSm）を 1 に設定すると、カウンタ動作が許可されます。これにより TAUJnTE.TAUJnTEm＝1 となり、カウントが可能になります。TAUJnCDRm の現在値が TAUJnCNTm にロードされ、カウンタはその TAUJnCDRm 値からダウンカウントを開始します。マスタチャネルで INTTAUJnIm が発生し、TAUJTTOUTm（スレーブ）がセット、リセットされることにより PWM 出力を実現しています。

- マスタチャネル：

  マスタチャネルのカウンタ値が 0000 0000_H になりパルス周期時間が経過すると、INTTAUJnIm が発生します。TAUJnCDRm 値を TAUJnCNTm にロードし、ダウンカウントを行います。

- スレーブチャネル：

  マスタチャネルで INTTAUJnIm が発生すると、スレーブチャネルのカウンタ動作がトリガされます。TAUJnCDRm（スレーブ）の現在値が TAUJnCNTm（スレーブ）にロードされ、カウンタはその TAUJnCDRm 値からダウンカウントを開始します。TAUJTTOUTm 信号がアクティブレベルに設定されます。
  カウンタ値が 0000 0000_H になると（デューティ時間が経過すると）INTTAUJnIm が発生し、TAUJTTOUTm 信号がインアクティブレベルに設定されます。カウンタは FFFF $FFFF_H$ に戻り、マスタチャネルの次の INTTAUJnIm（次のパルス周期の開始）を待ちます。

マスタ／スレーブチャネルの TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。マスタ／スレーブチャネルの TAUJnCNTm と TAUJTTOUTm が停止しますが、それぞれの値は保持します。TAUJnTS.TAUJnTSm を 1 に設定すると、カウントを再開できます。

条件

この機能では一斉書き換えの設定をしてください。「**33.6　一斉書き換え**」を参照してください。

33.13.1.2　算出式

パルス周期＝（TAUJnCDRm（マスタ）＋1）×カウントクロック周期

デューティサイクル［%］＝（TAUJnCDRm（スレーブ）／（TAUJnCDRm（マスタ）＋1））×100

- デューティサイクル＝0%
  TAUJnCDRm（スレーブ）＝0000 0000_H
- デューティサイクル＝100%
  TAUJnCDRm（スレーブ）≧TAUJnCDRm（マスタ）＋1

33.13.1.3　ブロック図と基本タイミング図

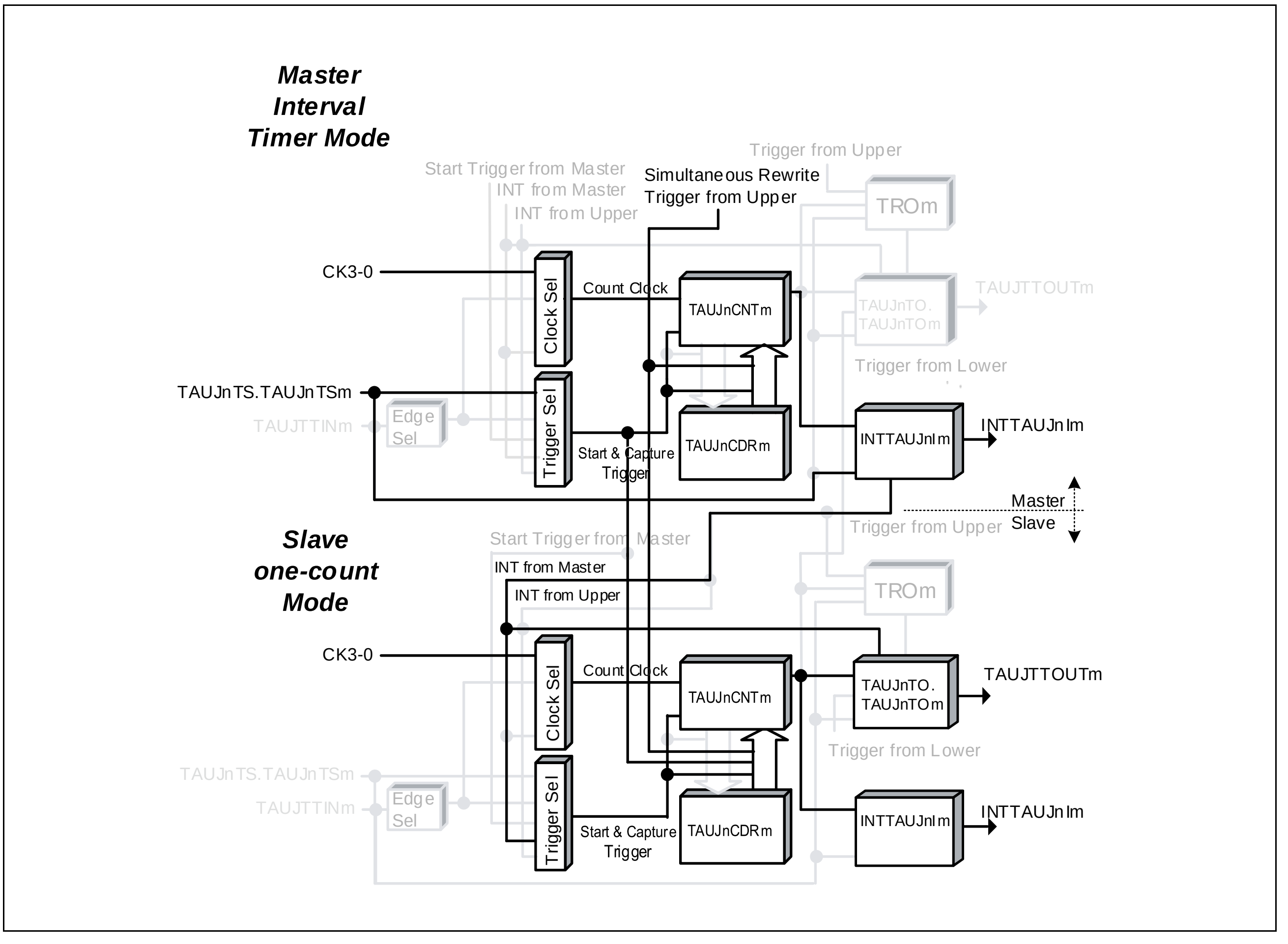


図 33.47　PWM 出力機能のブロック図

基本タイミング図での設定は次のようになっています。

- スレーブチャネル：正論理（TAUJnTOL.TAUJnTOLm＝0）

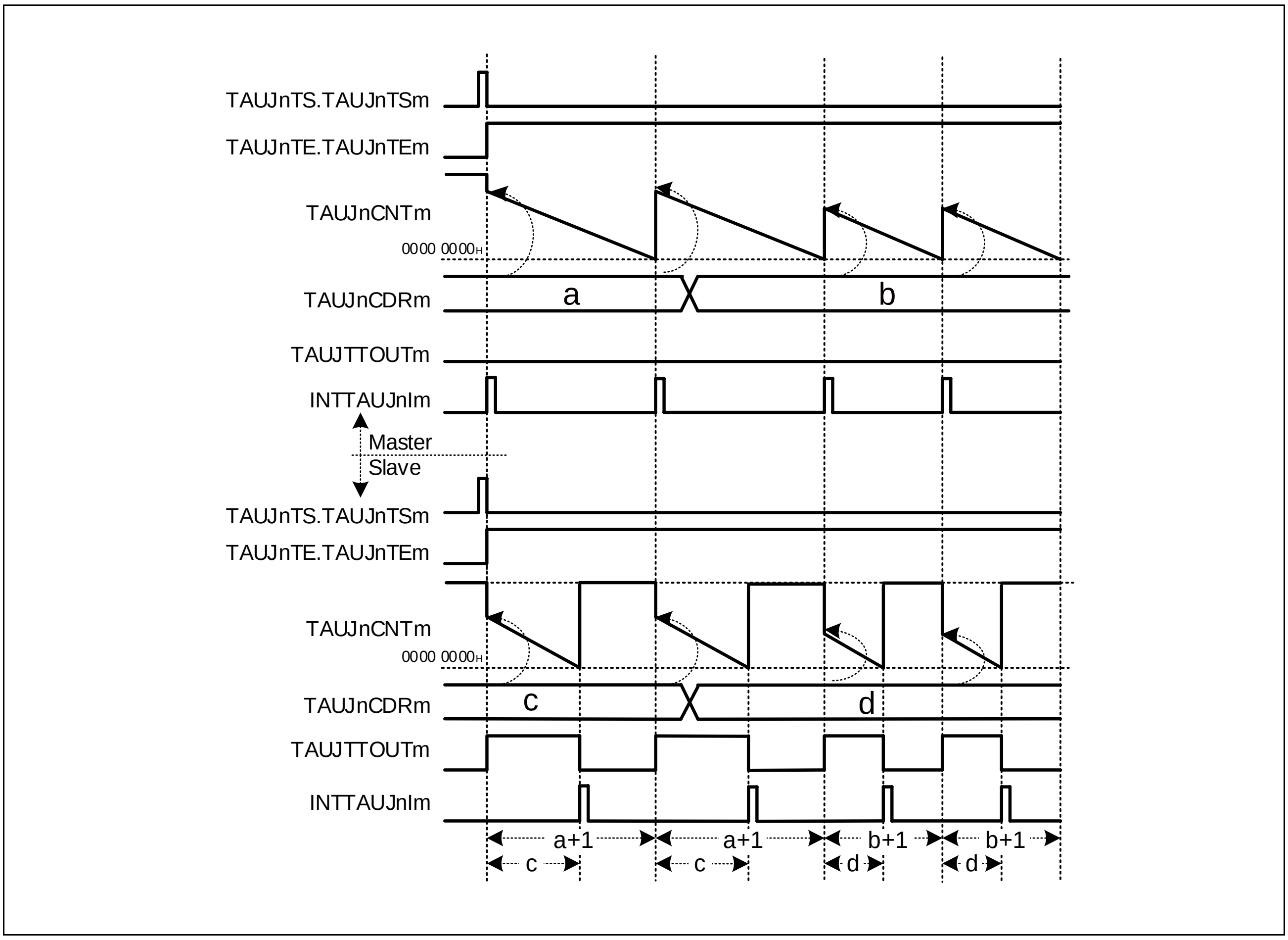


図 33.48　PWM 出力機能の基本タイミング図

備　考

- カウント開始から割り込み発生までの間隔は対応する TAUJnCDRm＋1 の値になります。
- スレーブチャネルの TAUJTTOUTm は、マスタチャネルの INTTAUJnIm の立ち上がりから 1 カウントクロック周期後に立ち上がります。

33.13.1.4　マスタチャネルのレジスタ設定

(1)　マスタチャネルの TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS[1:0]		TAUJnCCS[1:0]		TAUJnMAS	TAUJnSTS[2:0]			TAUJnCOS[1:0]		—	TAUJnMD[4:1]				TAUJnMD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 33.82　PWM 出力機能のマスタチャネルの TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUJnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUJnCCS[1:0]	00_B を書いてください。
11	TAUJnMAS	1_B を書いてください。
10～8	TAUJnSTS[2:0]	000_B を書いてください。
7、6	TAUJnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUJnMD[4:1]	0000_B を書いてください。
0	TAUJnMD0	1_B を書いてください。

(2)　マスタチャネルの TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 33.83　PWM 出力機能のマスタチャネルの TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUJnTIS[1:0]	00：未使用、00 を設定

(3)　マスタチャネルのチャネル出力モード

この機能ではチャネル出力モードを使用しません。

(4) マスタチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 33.84　PWM 出力機能時のマスタチャネルの一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	1：一斉書き換えを許可
TAUJnRDM.TAUJnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成

33.13.1.5　スレーブチャネルのレジスタ設定

(1) スレーブチャネルの TAUJnCMORm

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TAUJnCKS[1:0]		TAUJnCCS[1:0]		TAUJn MAS	TAUJnSTS[2:0]			TAUJnCOS[1:0]		—	TAUJnMD[4:1]				TAUJn MD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

表 33.85　PWM 出力機能のスレーブチャネルの TAUJnCMORm レジスタの内容

ビット位置	ビット名	機能
15、14	TAUJnCKS[1:0]	動作クロックの選択 00：プリスケーラ出力 CK0 01：プリスケーラ出力 CK1 10：プリスケーラ出力 CK2 11：プリスケーラ出力 CK3 マスタチャネルとスレーブチャネルの TAUJnCKS[1:0]ビット値は同一である必要があります。
13、12	TAUJnCCS[1:0]	00_B を書いてください。
11	TAUJnMAS	0_B を書いてください。
10～8	TAUJnSTS[2:0]	100_B を書いてください。
7、6	TAUJnCOS[1:0]	00_B を書いてください。
5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～1	TAUJnMD[4:1]	0100_B を書いてください。
0	TAUJnMD0	1_B を書いてください。

(2) スレーブチャネルの TAUJnCMURm

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAUJnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 33.86　PWM 出力機能のスレーブチャネルの TAUJnCMURm レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	TAUJnTIS[1:0]	00：未使用、00 を設定

(3) スレーブチャネルのチャネル出力モード

表 33.87　チャネル連動出力モード 1 時の制御ビット設定

ビット名	設定
TAUJnTOE.TAUJnTOEm	1_B を書いてください。
TAUJnTOM.TAUJnTOMm	1_B を書いてください。
TAUJnTOC.TAUJnTOCm	0_B を書いてください。
TAUJnTOL.TAUJnTOLm	0：正論理 1：負論理

(4) スレーブチャネルの一斉書き換え

マスタチャネルとスレーブチャネルの一斉書き換え設定は同じである必要があります。

表 33.88　PWM 出力機能時のスレーブチャネルの一斉書き換え設定

ビット名	設定
TAUJnRDE.TAUJnRDEm	1：一斉書き換えを許可
TAUJnRDM.TAUJnRDMm	0：マスタチャネルがカウントを開始すると、一斉書き換えトリガ信号を生成

33.13.1.6　PWM 出力機能の操作手順

表 33.89　PWM 出力機能時の操作手順

	操作	TAUJn の状態
チャネルの初期設定	マスタチャネル：TAUJnCMORm／TAUJnCMURm レジスタとチャネル出力モードを「**33.13.1.4 マスタチャネルのレジスタ設定**」に示すように設定します。 スレーブチャネル：TAUJnCMORm／TAUJnCMURm レジスタとチャネル出力モードを「**33.13.1.5 スレーブチャネルのレジスタ設定**」に示すように設定します。 全チャネルの TAUJnCDRm レジスタの値を設定します。	チャネル動作を停止しています。
動作開始	マスタチャネルとスレーブチャネルの TAUJnTS.TAUJnTSm を同時に 1 に設定します。 TAUJnTS.TAUJnTSm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm（マスタ／スレーブチャネル）が 1 に設定され、マスタ／スレーブチャネルのカウンタが動作を開始します。 マスタチャネルで INTTAUJnIm が発生し、TAUJTTOUTm（スレーブ）が設定されます。
動作中	TAUJnCDRm は任意のタイミングで変更可能です。 TAUJnCNTm と TAUJnRSF.TAUJnRSFm は任意のタイミングで読み出し可能です。 TAUJnRDT.TAUJnRDTm は動作中に変更可能です。	マスタチャネルの TAUJnCNTm は TAUJnCDRm 値をロードし、ダウンカウントを行います。カウンタが 0000 0000_H になった場合： ● INTTAUJnIm（マスタ）が発生します。 ● TAUJnCDRm 値を TAUJnCNTm（マスタ）にロードし、カウント動作を継続します。 ● TAUJnCDRm 値を TAUJnCNTm（スレーブ）にロードし、ダウンカウントを行います。 ● TAUJTTOUTm（スレーブ）がアクティブレベルに設定されます。 TAUJnCNTm（スレーブ）が 0000 0000_H になった場合： ● INTTAUJnIm（スレーブ）が発生します。 ● TAUJTTOUTm（スレーブ）がインアクティブレベルに設定されます。
動作停止	マスタチャネルとスレーブチャネルの TAUJnTT.TAUJnTTm を同時に 1 に設定します。 TAUJnTT.TAUJnTTm はトリガビットなので、自動的に 0 にクリアされます。	TAUJnTE.TAUJnTEm が 0 にクリアされ、カウンタ動作が停止します。 TAUJnCNTm と TAUJTTOUTm は停止し、現在値を保持します。

動作再開

33.13.1.7　特定の設定時のタイミング図

(1)　デューティサイクル＝0%

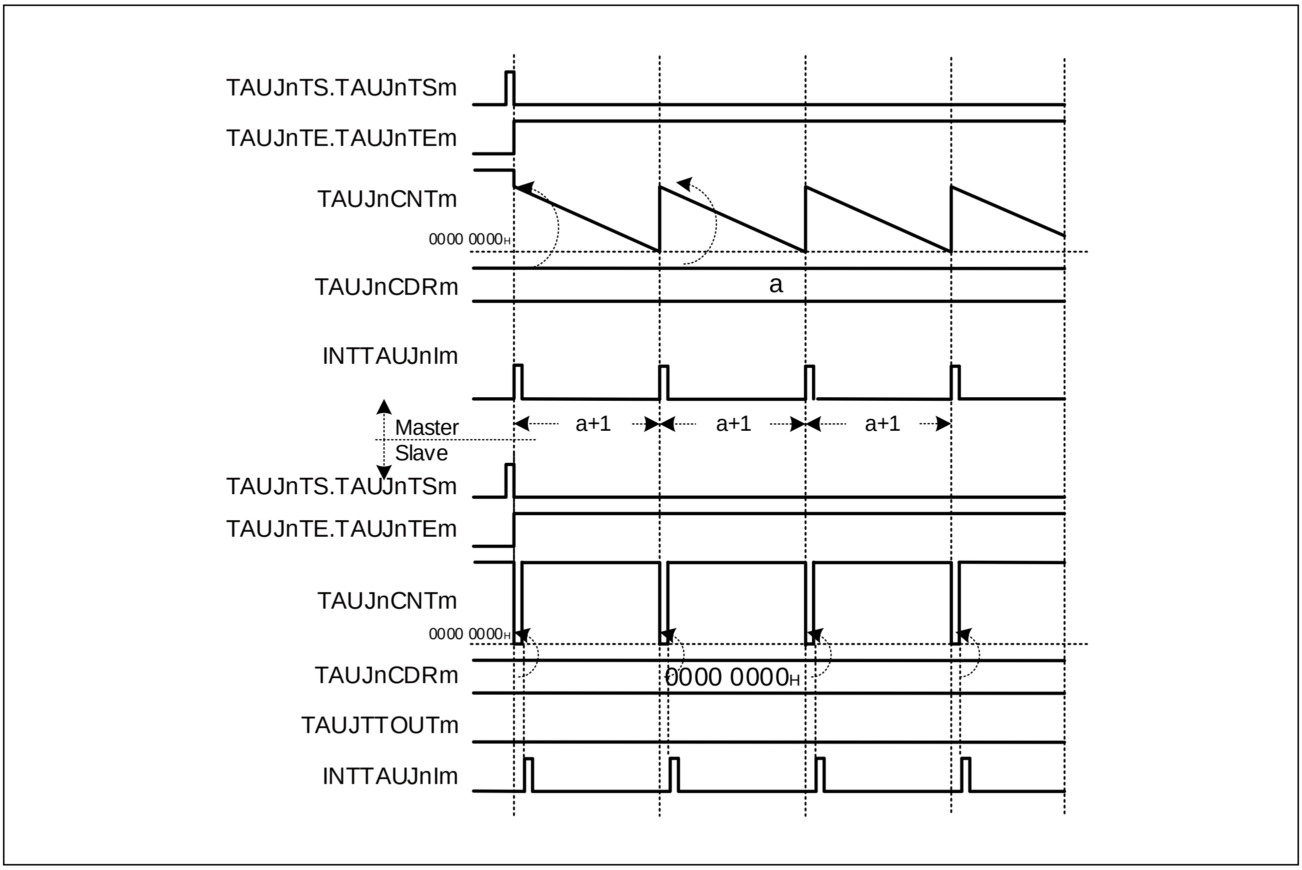


図 33.49　TAUJnCDRm（スレーブ）＝0000 0000H、正論理（TAUJnTOL.TAUJnTOLm（スレーブ）＝0）

- マスタチャネルで割り込み（INTTAUJnIm）が発生するたびに、TAUJnCNTm（スレーブ）に 0000 0000H がロードされます。したがって、スレーブチャネルの割り込み（INTTAUJnIm）が同時発生し、TAUJTTOUTm はアクティブでない状態のままとなります。
- TAUJnCDRm 値を TAUJnCNTm（スレーブ）にロードし、割り込みを発生させます。

(2)　デューティサイクル＝100%

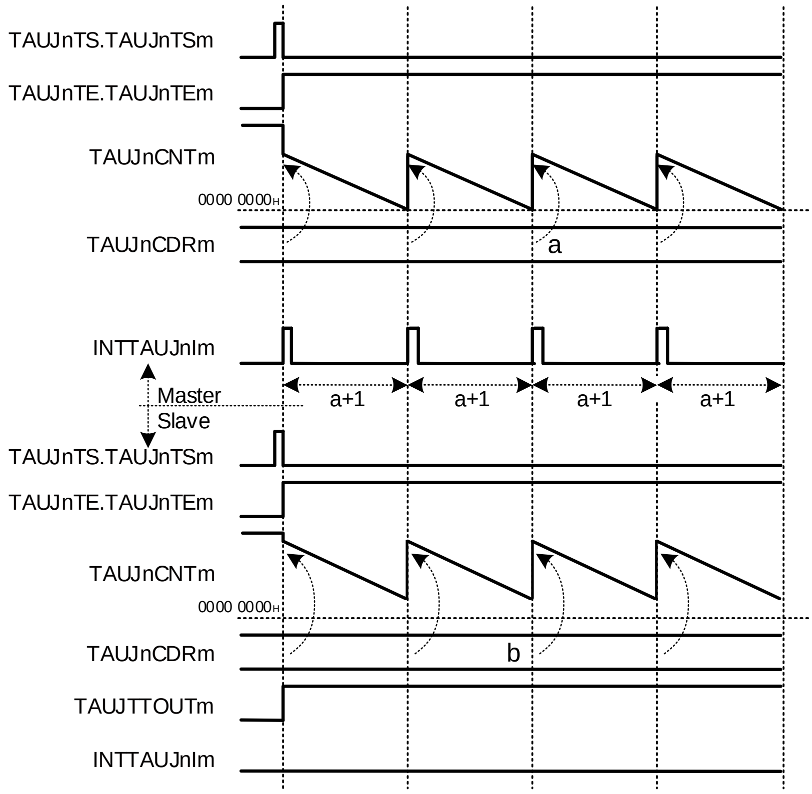


図 33.50　TAUJnCDRm（スレーブ）≧TAUJnCDRm（マスタ）＋1、正論理（TAUJnTOL.TAUJnTOLm（スレーブ）＝0）

TAUJnCDRm（スレーブ）値が TAUJnCDRm（マスタ）値よりも大きい場合、スレーブチャネルのカウンタは 0000 0000_H にならないため、割り込みが発生しません。TAUJTTOUTm はアクティブ状態のままになります。

(3) 動作の停止と再開

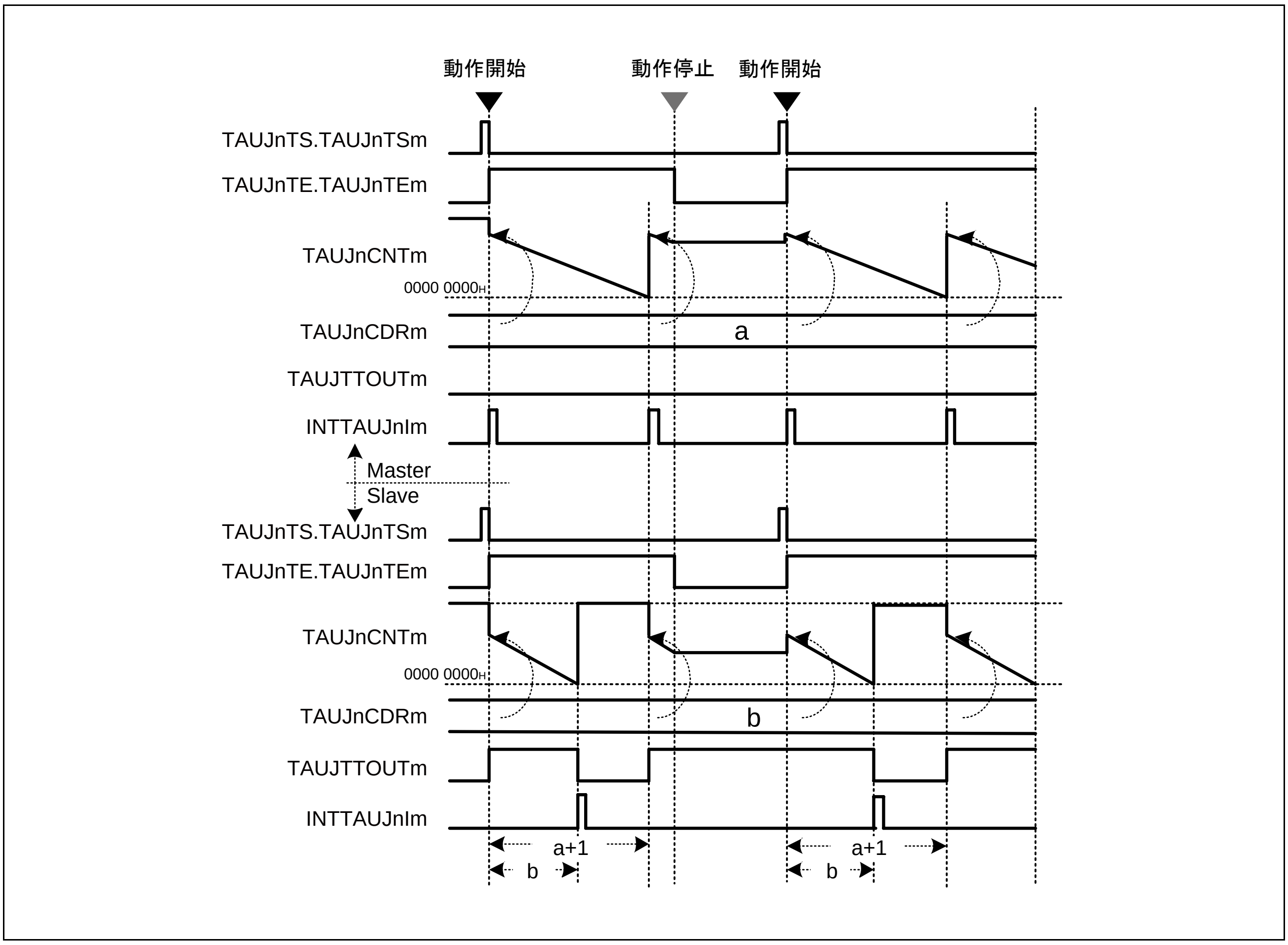


図 33.51　動作の停止と再開、正論理（TAUJnTOL.TAUJnTOLm（スレーブ）＝0）

- マスタ／スレーブチャネルの TAUJnTT.TAUJnTTm を 1 に設定すると、カウンタ動作を停止できます。これにより、TAUJnTE.TAUJnTEm は 0 に設定されます。
- 全チャネルの TAUJnCNTm と TAUJTTOUTm が停止し、現在値を保持します。割り込みは発生しません。
- マスタ／スレーブチャネルの TAUJnTS.TAUJnTSm を 1 に設定すると、カウンタ動作を再開できます。マスタ／スレーブチャネルの TAUJnCDRm 値を TAUJnCNTm にロードし、この値からダウンカウントを開始します。

第34章　　リアルタイムクロック（RTCA）

本章では、リアルタイムクロック（RTCA）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1KH, RH850/F1KM に固有の特長について説明します。

それ以降の節では、RTCA の機能、レジスタについて説明します。

34.1　RH850/F1KH, RH850/F1KM RTCA の特長

34.1.1　　ユニット数

本製品は以下のユニット数の RTCA を搭載しています。

表 34.1　　ユニット数 (RH850/F1KH-D8)

製品名	RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 324 Pin
ユニット数	1	1	1
名称	RTCAn (n=0)	RTCAn (n=0)	RTCAn (n=0)

表 34.2　　ユニット数 (RH850/F1KM-S4)

製品名	RH850/F1KM-S4 100 Pin	RH850/F1KM-S4 144 Pin	RH850/F1KM-S4 176 Pin	RH850/F1KM-S4 233 Pin	RH850/F1KM-S4 272 Pin
ユニット数	1	1	1	1	1
名称	RTCAn (n=0)	RTCAn (n=0)	RTCAn (n=0)	RTCAn (n=0)	RTCAn (n=0)

表 34.3　　ユニット数 (RH850/F1KM-S2)

製品名	RH850/F1KM-S2 100 Pin	RH850/F1KM-S2 144 Pin	RH850/F1KM-S2 176 Pin
ユニット数	1	1	1
名称	RTCAn (n=0)	RTCAn (n=0)	RTCAn (n=0)

表 34.4　　ユニット数 (RH850/F1KM-S1)

製品名	RH850/F1KM-S1 48 Pin	RH850/F1KM-S1 64 Pin	RH850/F1KM-S1 80 Pin	RH850/F1KM-S1 100 Pin
ユニット数	1	1	1	1
名称	RTCAn (n=0)	RTCAn (n=0)	RTCAn (n=0)	RTCAn (n=0)

表 34.5　　添字 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

添字	説明
n	本章では、リアルタイムクロック A の各ユニットを「n」で識別します。たとえば、RTCAn コントロールレジスタ 0 は RTCAnCTL0（n=0）と記述します。

34.1.2 レジスタベースアドレス

RTCAn のベースアドレスを以下の表に示します。

RTCAn のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 34.6 レジスタベースアドレス (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ベースアドレス名	ベースアドレス
<RTCA0_base>	FFE7 8000$_H$

34.1.3 クロック供給

RTCAn のクロック供給を以下の表に示します。

表 34.7 クロック供給 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	ユニットクロック名	供給クロック名	説明
RTCAn	RTCATCKI	CKSCLK_ARTCA	マクロクロック
	PCLK	CPUCLK_L	モジュールクロック
	レジスタアクセスクロック	CPUCLK_L	バスクロック

34.1.4 割り込み要求

RTCAn の割り込み要求を以下の表に示します。

表 34.8 割り込み要求 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
RTCA0			
INTRTCA01S	1 秒インターバル割り込み	209	—
INTRTCA0AL	アラーム割り込み	210	—
INTRTCA0R	定周期割り込み	211	—

34.1.5 リセット要因

RTCAn のリセット要因を以下に示します。RTCAn は以下のリセット要因で初期化されます。

表 34.9 リセット要因 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	リセット要因
RTCAn	パワーアップリセット（PURES）

34.1.6 外部入出力信号

RTCAn の外部入出力信号を以下の表に示します。

表 34.10 外部入出力信号 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット信号名	説明	ポート端子兼用信号名
RTCA0		
RTCAT1HZ	1Hz パルス出力	RTCA0OUT [注 1]

注1. RTCA0OUT は TAUJ0 に接続されます。詳細は、「**第 33 章 タイマアレイユニット J（TAUJ）**」を参照してください。

注 意

P8_6 端子を RTCA0OUT として使用する場合、リセット中およびリセット解除後、P8_6 端子（$\overline{\text{RESETOUT}}$ 信号）からロウレベルを出力します。

詳細は「**2A.11.1.1 P8_6：$\overline{\textbf{RESETOUT}}$**」、「**2B.11.1.1 P8_6：$\overline{\textbf{RESETOUT}}$**」、「**2C.11.1.1 P8_6：$\overline{\textbf{RESETOUT}}$**」を参照してください。

34.2　概要

34.2.1　機能概要

RTCA には、次の機能があります。

- 32kHz～4MHz のカウントクロックの選択
- 年、月、日、曜日、時間、分、秒のカウンタおよびサブカウンタを用いて最長 99 年までカウント可能。うるう年はハードウェアで自動的に処理。
- 1Hz パルス出力機能
- 定周期割り込み機能
- アラーム割り込み機能
- 32.768kHz カウントクロック使用時のクロック誤差補正機能

34.2.2　ブロック図

RTCA の主な構成要素を次のブロック図に示します。

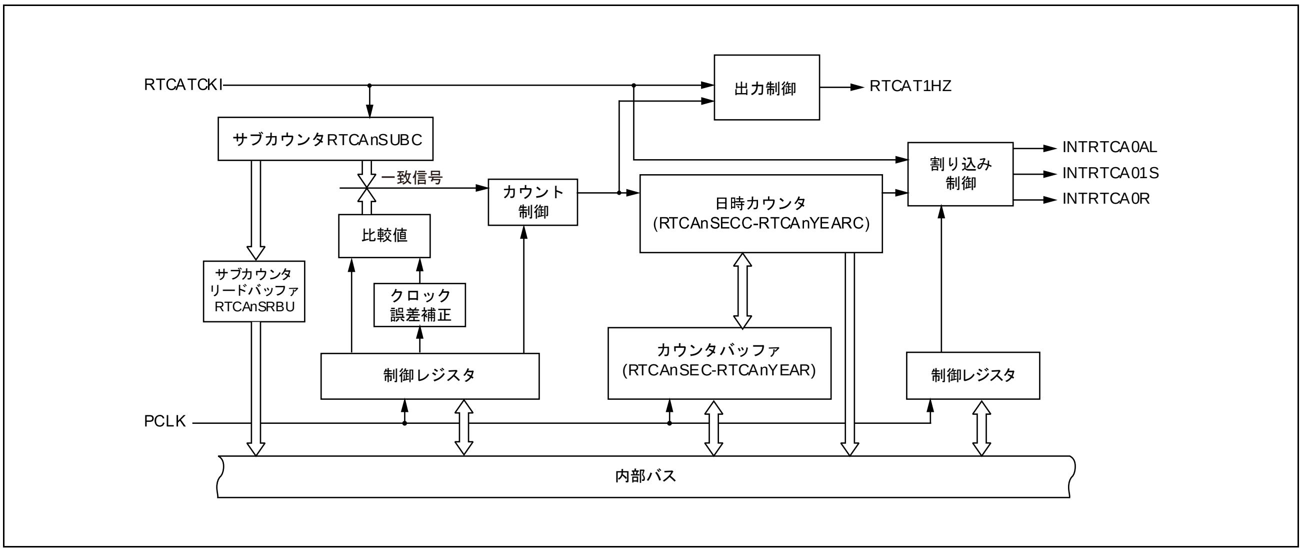


図 34.1　RTCA のブロック図

34.2.3 ブロック図の用語

リアルタイムクロック RTCA は、現在の日付と時刻に関する情報を提供し、ウェイクアップ信号（割り込み、アラーム）を発生します。この情報はカウントクロック RTCATCKI から得られます。

サブカウンタ

RTCATCKI はサブカウンタ RTCAnSUBC への入力です。サブカウンタは、0 から比較値に達するまでカウントアップします。比較値は、常に RTCATCKI の周波数－1（Hz）で定義します。したがって、サブカウンタは 1 秒後にオーバフローします。オーバフロー後サブカウンタは 0 にリセットされ、続いて秒カウンタ RTCAnSECC が（指定によって割り込み RTCATINT1S も）カウントアップされます。

サブカウンタは、0.25 秒、0.5 秒、または 1 秒ごとの定周期割り込みと、1Hz の出力パルスを発生できます。

時刻と日付のカウンタ

分、時間、曜日、日、月、年のカウンタもカウントアップします。各カウンタには固有のオーバフロー値が設定されています。下位のすべてのカウンタがオーバフローすると、上位のカウンタをカウントアップします。

日カウンタ（RTCAnDAYC）のオーバフロー値は、現在の月によって変わります（28 日、30 日、31 日のいずれか）。また、2 月の場合は年カウンタ RTCAnYEARC によっても変わります（0、4、8、12 などはうるう年と見なされる）。

時カウンタ RTCAnHOURC は、12 時間表示と 24 時間表示との切り替えが可能です。

秒、分、時間、日、月のカウンタは、オーバフローによって定周期割り込み（INTRTCA0R）を発生できます。

また、分、時間、曜日のカウンタは、指定の時刻（例：毎週火曜日と木曜日の 10:32）にアラーム割り込み（INTRTCA0AL）を発生できます。

カウンタバッファ

すべてのカウンタは任意のタイミングで直接読み出すことができます。リード／ライトレジスタにアクセスするためのクロック信号とカウントクロックは、通常非同期です。読み出し動作中にサブカウンタがオーバフローした場合、すべての読み出し値が最新ではない可能性があります。したがって、カウンタの読み出しは特定の手順で実行する必要があります。詳細は「**34.5.3 クロックカウンタの読み出し**」を参照してください。

同期を維持するために、カウンタへの直接書き込みは禁止されています。

すべてのカウンタには、読み出しおよび書き込み用のバッファレジスタが用意されています。バッファレジスタにより、同期を維持しながらカウンタの値を読み出し、日付と時刻の設定を行うことができます。バッファレジスタを使用する場合、まずサブカウンタの動作を中断し、再起動する必要があります（「**34.5.3 クロックカウンタの読み出し**」および「**34.5.2 クロックカウンタの更新**」を参照）。

RTCAnTIMEC レジスタと RTCAnCALC レジスタ、およびそれぞれに対応するバッファレジスタを使用すると、時刻（時間、分、秒）および日付（曜日、日、月、年）の確認と設定を 1 回の読み出し／書き込み動作で行うことができます。

34.3 レジスタ

34.3.1 レジスター覧

RTCA のレジスター覧を以下の表に示します。

<RTCAn_base>は「**34.1.2 レジスタベースアドレス**」を参照してください。

表 34.11 レジスター覧

モジュール名	レジスタ名	略号	アドレス
RTCA 制御レジスタ			
RTCAn	RTCA 制御レジスタ 0	RTCAnCTL0	<RTCAn_base> + 00_H
	RTCA 制御レジスタ 1	RTCAnCTL1	<RTCAn_base> + 04_H
	RTCA 制御レジスタ 2	RTCAnCTL2	<RTCAn_base> + 08_H
RTCA サブカウンタレジスタ			
RTCAn	RTCA サブカウントレジスタ	RTCAnSUBC	<RTCAn_base> + $0C_H$
	RTCA サブカウントレジスタリードバッファ	RTCAnSRBU	<RTCAn_base> + 10_H
	RTCA クロック誤差補正レジスタ	RTCAnSUBU	<RTCAn_base> + 38_H
	RTCA サブカウンタコンペアレジスタ	RTCAnSCMP	<RTCAn_base> + $3C_H$
RTCA クロックカウンタレジスタとバッファレジスタ			
RTCAn	RTCA 秒カウントレジスタ	RTCAnSECC	<RTCAn_base> + $4C_H$
	RTCA 秒カウントバッファレジスタ	RTCAnSEC	<RTCAn_base> + 14_H
	RTCA 分カウントレジスタ	RTCAnMINC	<RTCAn_base> + 50_H
	RTCA 分カウントバッファレジスタ	RTCAnMIN	<RTCAn_base> + 18_H
	RTCA 時カウントレジスタ	RTCAnHOURC	<RTCAn_base> + 54_H
	RTCA 時カウントバッファレジスタ	RTCAnHOUR	<RTCAn_base> + $1C_H$
	RTCA 曜日カウントレジスタ	RTCAnWEEKC	<RTCAn_base> + 58_H
	RTCA 曜日カウントバッファレジスタ	RTCAnWEEK	<RTCAn_base> + 20_H
	RTCA 日カウントレジスタ	RTCAnDAYC	<RTCAn_base> + $5C_H$
	RTCA 日カウントバッファレジスタ	RTCAnDAY	<RTCAn_base> + 24_H
	RTCA 月カウントレジスタ	RTCAnMONC	<RTCAn_base> + 60_H
	RTCA 月カウントバッファレジスタ	RTCAnMONTH	<RTCAn_base> + 28_H
	RTCA 年カウントレジスタ	RTCAnYEARC	<RTCAn_base> + 64_H
	RTCA 年カウントバッファレジスタ	RTCAnYEAR	<RTCAn_base> + $2C_H$
RTCA 特定カウンタレジスタとバッファレジスタ			
RTCAn	RTCA 時間カウントレジスタ	RTCAnTIMEC	<RTCAn_base> + 68_H
	RTCA 時間カウントバッファレジスタ	RTCAnTIME	<RTCAn_base> + 30_H
	RTCA カレンダカウントレジスタ	RTCAnCALC	<RTCAn_base> + $6C_H$
	RTCA カレンダカウントバッファレジスタ	RTCAnCAL	<RTCAn_base> + 34_H
RTCA アラーム時間設定レジスタ			
RTCAn	RTCA アラーム分設定レジスタ	RTCAnALM	<RTCAn_base> + 40_H
	RTCA アラーム時設定レジスタ	RTCAnALH	<RTCAn_base> + 44_H
	RTCA アラーム曜日設定レジスタ	RTCAnALW	<RTCAn_base> + 48_H
RTCA エミュレーションレジスタ			
RTCAn	RTCA エミュレーションレジスタ	RTCAnEMU	<RTCAn_base> + 74_H

34.3.2 RTCA 制御レジスタの詳細

34.3.2.1 RTCAnCTL0 — RTCA 制御レジスタ 0

サブカウンタ RTCAnSUBC のカウント動作、時カウンタ RTCAnHOURC とアラーム時設定レジスタ RTCAnALH の時間表示（12 時間表示／24 時間表示）、および動作モードを制御します。

アクセス 8/1 ビット単位でリード／ライト可能です。

アドレス <RTCAn_base> + 00_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	RTCAnCE	RTCAnCEST	RTCAnAMPM	RTCAnSLSB	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R/W	R/W	R	R	R	R

表 34.12 RTCAnCTL0 レジスタの内容

ビット位置	ビット名	機能
7	RTCAnCE	サブカウンタ RTCAnSUBC の動作を開始／停止します。 0：サブカウンタ動作停止 出力端子と制御レジスタ RTCAnCTL2 内の状態フラグはすべてクリアされます。 1：サブカウンタ動作開始 サブカウンタはカウントアップします。
6	RTCAnCEST	サブカウンタの動作／停止状態を示します。 0：サブカウンタ停止状態 1：サブカウンタ動作状態 この状態フラグの使い方については、「**34.5.1 RTCA の初期設定**」を参照してください。
5	RTCAnAMPM	時カウンタ RTCAnHOURC とアラーム時設定レジスタ RTCAnALH の時間表示を選択します。 0：12 時間表示（1～12、午前／午後） 1：24 時間表示（0～23） 時間表示については、「**表 34.24 12 時間表示と 24 時間表示**」を参照してください。
4	RTCAnSLSB	動作モードを選択します。 0：32.768kHz モード[注 1] 1：周波数選択モード 動作モードについては、「**34.4 動作**」を参照してください。 サブカウンタ動作許可時（RTCAnCTL0.RTCAnCEST＝1）は動作モードを変更できません。 RTCAn の初期設定については、「**34.5.1 RTCA の初期設定**」を参照してください。
3～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注1. 本設定は、RH850/F1KM-S4 の 100-pin 製品、RH850/F1KM-S2 の 100-pin 製品および RH850/F1KM-S1 の全製品では、サポートされていません。

34.3.2.2　RTCAnCTL1 — RTCA 制御レジスタ 1

割り込み要求発生と 1Hz パルス出力を制御します。

アクセス　8/1 ビット単位でリード／ライト可能です。

アドレス　<RTCAn_base> + 04_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	RTCAnEN1HZ	RTCAnENALM	RTCAnEN1S	RTCAnCT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 34.13　RTCAnCTL1 レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	RTCAnEN1HZ	1Hz パルス出力（RTCAT1HZ）の許可／禁止を指定します。 0：RTCAT1HZ 禁止（RTCAT1HZ は 0 に固定） 1：RTCAT1HZ 許可
4	RTCAnENALM	アラーム割り込み要求発生（INTRTCA0AL）の許可／禁止を指定します。 0：INTRTCA0AL 禁止 1：INTRTCA0AL 許可
3	RTCAnEN1S	1 秒割り込み要求発生（INTRTCA01S）の許可／禁止を設定します。 0：INTRTCA01S 禁止 1：INTRTCA01S 許可
2～0	RTCAnCT[2:0]	定周期割り込み要求（INTRTCA0R）の設定を行います。（下表参照） サブカウンタ動作許可時（RTCAnCTL0.RTCAnCE＝1）に RTCAnCT[2:0]の設定を変更すると、INTRTCA0R にグリッチが出力されます。そのため、割り込みをマスクする処理を行ってください。

RTCAnCT[2:0]	INTRTCA0R 割り込み要求発生	
	インターバル	タイミング
000	割り込み要求発生なし	
001	0.25 秒に一度	0.25 秒、0.5 秒、0.75 秒、1 秒
010	0.5 秒に一度	0.5 秒、1 秒
011	1 秒に一度	毎秒
100	1 分に一度	毎分 00 秒
101	1 時間に一度	毎時 00 分 00 秒
110	1 日に一度	毎日 00 時 00 分 00 秒 （毎日午前 0 時）
111	1 月に一度	毎月 1 日 00 時 00 分 00 秒 （毎月 1 日午前 0 時）

34.3.2.3　RTCAnCTL2 — RTCA 制御レジスタ 2

ステータス情報を格納し、サブカウンタ RTCAnSUBC から専用のサブカウンタリードバッファ RTCAnSRBU へのデータ転送とクロックカウンタ（RTCAnSECC-RTCAnYEARC）の動作設定を制御します。

アクセス　8/1 ビット単位でリード／ライト可能です。

アドレス　<RTCAn_base> + 08_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	RTCAnWUST	RTCAnWSST	RTCAnRSST	RTCAnRSUB	RTCAnWST	RTCAnWAIT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R	R/W

表 34.14　RTCAnCTL2 レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	RTCAnWUST	RTCAnSUBU への書き込み動作が完了したかどうかを示します。 0：RTCAnSUBU への書き込み完了 1：RTCAnSUBU への書き込み実行中 書き込み動作は次にサブカウンタがオーバフローすると終了します。 サブカウンタ動作許可時（RTCAnCTL0.RTCAnCE＝1）に RTCAnSUBU への書き込み動作が完了した場合、このビットに 1 が設定されます。 詳細は「**34.5.5　RTCAnSUBU への書き込み**」を参照してください。
4	RTCAnWSST	RTCAnSCMP への書き込み動作が完了したかどうかを示します。 0：RTCAnSCMP への書き込み完了 1：RTCAnSCMP への書き込み実行中 書き込み動作は次にサブカウンタがオーバフローすると終了します。 サブカウンタ動作許可時（RTCAnCTL0.RTCAnCE＝1）に RTCAnSCMP への書き込み動作が完了した場合、このビットに 1 が設定されます。 詳細は「**34.5.6　RTCAnSCMP への書き込み**」を参照してください。
3	RTCAnRSST	サブカウンタ（RTCAnSUBC）の値がサブカウントレジスタリードバッファ（RTCAnSRBU）に転送されたかどうかを示します。 0：転送中、もしくは転送トリガ待ち中 1：転送完了 このビットは RTCAnRSUB＝1 によりクリア（転送がトリガ）されます。転送が完了すると自動的にセットされます。 詳細は「**34.5.4　RTCAnSRBU の読み出し**」を参照してください。
2	RTCAnRSUB	サブカウントレジスタリードバッファ（RTCAnSRBU）へのサブカウンタ（RTCAnSUBC）値の転送のトリガ／転送状態のクリアをします。 0：転送状態（RTCAnRSST）のクリア 1：転送のトリガ サブカウンタ動作許可時（RTCAnCTL0.RTCAnCE＝1）に RTCAnSRBU の値を読みたいときは、このビットを使います。RTCAnSUBC の値は、RTCATCKI に同期して RTCAnSRBU にロードされます。 詳細は「**34.5.4　RTCAnSRBU の読み出し**」を参照してください。

表 34.14　RTCAnCTL2 レジスタの内容

ビット位置	ビット名	機能
1	RTCAnWST	すべてのクロックカウンタ（RTCAnSECC-RTCAnYEARC）の状態を示します。 0：すべてのクロックカウンタが動作中 1：すべてのクロックカウンタが停止 サブカウンタは動作を継続 サブカウンタ動作許可時（RTCAnCTL0.RTCAnCE＝1）にクロックカウンタの値を読み出したり書き込んだりする場合は、クロックカウンタを停止する必要があります。クロックカウンタを停止するには RTCAnWAIT＝1 に設定してください。
0	RTCAnWAIT	すべてのクロックカウンタ（RTCAnSECC-RTCAnYEARC）の動作を再開／停止します。 0：すべてのクロックカウンタの動作を、ただちに、またはクロックカウンタの書き込み動作完了直後に再開 1：すべてのクロックカウンタの動作を一時的に停止サブカウンタは動作を継続 サブカウンタ動作許可時（RTCAnCTL0.RTCAnCE＝1）にカウンタバッファを読み出したり書き込んだりする場合は、クロックカウンタを停止する必要があります。 **注意）** オーバフローしたことは、1 回分しか保持できません。したがって、オーバフローが 2 回発生した場合でも、リスタート時に秒カウンタは、＋1 しかしません。そのため、処理は 1 秒以内に完了する必要があります。

34.3.3　RTCA サブカウンタレジスタの詳細

34.3.3.1　RTCAnSUBC — RTCA サブカウントレジスタ

1 秒の基準時間をカウントします。このレジスタはカウントクロック RTCATCKI を使用して動作します。

アクセス	32 ビット単位でリードのみ可能です。
アドレス	<RTCAn_base> + $0C_H$
リセット後の値	$0000\ 0000_H$

次の場合も初期化されます。

- 秒カウントバッファレジスタ（RTCAnSEC）または時間カウントバッファレジスタ（RTCAnTIME）に値を書き込み、秒カウントレジスタに値が反映されるとき

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	RTCAnSUBC[21:16]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RTCAnSUBC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 34.15　RTCAnSUBC レジスタの内容

ビット位置	ビット名	機能
31～22	予約ビット	リードした場合はリセット後の値が読めます。
21～0	RTCAnSUBC[21:0]	サブカウンタの値 サブカウンタは、RTCAnCTL0.RTCAnCEST＝1 の場合のみ動作します。

備　考

1. このサブカウンタは、読み出し動作が PCLK 同期で行われているときに、RTCATCKI に同期して動作します。このサブカウンタを動作中（RTCAnCTL0.RTCAnCEST＝1）に読み出した場合、RTCATCKI に同期しないため、誤った結果が得られることがあります。
動作中にサブカウンタの値を読み出す場合は、サブカウントレジスタリードバッファを使用してください。
詳細は「**34.5.4 RTCAnSRBU の読み出し**」を参照してください。
2. このサブカウンタのカウント動作は、選択した動作モードによって異なります。詳細は「**34.4 動作**」を参照してください。

34.3.3.2　RTCAnSRBU ― RTCA サブカウントレジスタリードバッファ

サブカウンタ RTCAnSUBC のリードバッファです。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　<RTCAn_base> + 10_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	RTCAnSRBU[21:16]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RTCAnSRBU[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 34.16　RTCAnSRBU レジスタの内容

ビット位置	ビット名	機能
31～22	予約ビット	リードした場合はリセット後の値が読めます。
21～0	RTCAnSRBU[21:0]	サブカウンタ RTCAnSUBC を最後に読み出したときの値 RTCAnCTL2.RTCAnRSUB ビットを 1 に設定すると、このリードバッファに、RTCATCKI に同期して、RTCAnSUBC の値がロードされます。

備　考

RTCAnSRBU の読み出しは、「**34.5.4　RTCAnSRBU の読み出し**」に示すフローチャートに従って実行してください。

34.3.3.3 RTCAnSUBU ― RTCA クロック誤差補正レジスタ

クロック誤差補正を有効にし、指定します。このレジスタの設定は、32.768kHz モード時（RTCAnCTL0.RTCAnSLSB＝0）にのみ適用されます。

クロック誤差補正については、「**34.4.4 クロック誤差補正**」を参照してください。

アクセス 8 ビット単位でリード／ライト可能です。

サブカウンタ動作中にこのレジスタに書き込みを行う場合は、次の点に注意してください。

- 前回の RTCAnSUBU への書き込み処理が完了している必要があります（RTCAnCTL2.RTCAnWUST＝0）。
- 書き込み動作は次にサブカウンタがオーバフローすると終了します。

アドレス <RTCAn_base> + 38_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	RTCAnDEV	RTCAnF6	RTCAnF[5:0]					
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 34.17 RTCAnSUBU レジスタの内容

ビット位置	ビット名	機能
7	RTCAnDEV	クロック誤差補正を 1 分間に何度実行するかを指定します。 0：毎分 3 回（RTCAnSECC＝00、20、40 時） 1：毎分 1 回（RTCAnSECC＝00 時）
6	RTCAnF6	サブカウンタの値を増加させるか減少させるかを指定します。 0：増加（＋の補正） 増加値＝（RTCAnF[5:0]の値－1）×2 1：減少（－の補正） 減少値＝（RTCAnF[5:0]を反転した値＋1）×2
5～0	RTCAnF[5:0]	誤差補正値

備 考

1. RTCAnF[5:1]＝00000_B の場合、クロック誤差補正は実行されません。
2. RTCAnSUBU への書き込みは、次の説明に従って実行してください。
   - **「34.5.1 RTCA の初期設定」**
   - **「34.5.5 RTCAnSUBU への書き込み」**

34.3.3.4　RTCAnSCMP ― RTCA サブカウンタコンペアレジスタ

周波数選択モード時（RTCAnCTL0.RTCAnSLSB＝1）の、サブカウンタ RTCAnSUBC の比較値を設定します。

サブカウンタの値がこのレジスタの値に一致すると、オーバフロー信号を秒カウンタ RTCAnSECC に出力し、サブカウンタ値をクリアします。

このレジスタの値は、入力クロック RTCATCKI の周波数に応じて設定してください。

アクセス　32 ビット単位でリード／ライト可能です。
サブカウンタ動作中にこのレジスタに書き込みを行う場合は、次の点に注意してください。

- 前回の RTCAnSCMP への書き込み処理が完了している必要があります（RTCAnCTL2.RTCAnWSST＝0）。
- 書き込み動作は次にサブカウンタがオーバフローすると終了します。

アドレス　<RTCAn_base> + $3C_H$

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	RTCAnSCMP[21:16]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RTCAnSCMP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 34.18　RTCAnSCMP レジスタの内容

ビット位置	ビット名	機能
31～22	予約ビット	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
21～0	RTCAnSCMP[21:0]	周波数選択モードでのサブカウンタ比較値

例

RTCAnSCMP の設定例を次に示します。

- RTCATCKI＝4MHz＝4,000,000Hz
- RTCAnSCMP＝4,000,000－1＝3,999,999（10 進値）＝$3D08FF_H$
- サブカウンタの値が $3D08FF_H$ から 0_H に変わると、秒カウンタ RTCAnSECC がカウントアップされます。

備　考

1. このレジスタに 3198（10 進値）以下の値が設定された場合、RTCA の動作は保証できません。
2. RTCAnSCMP への書き込みは、「**34.5.1 RTCA の初期設定**」と「**34.5.6 RTCAnSCMP への書き込み**」の説明に従って実行してください。

34.3.4 RTCA クロックカウンタレジスタとバッファレジスタの詳細

34.3.4.1 RTCAnSECC — RTCA 秒カウントレジスタ

このレジスタは秒カウンタです。秒を 00 から 59 まで（BCD）カウントします。

本レジスタは以下のカウント動作を行います。

- サブカウンタ RTCAnSUBC のオーバフローによってカウントアップされます。

  秒カウンタ停止中（RTCAnCTL2.RTCAnWST＝1）にサブカウンタがオーバフローすると、秒カウンタは次のように動作します。

  - 秒カウンタ停止中にサブカウンタが 1 回オーバフローした場合、オーバフローは内部で保持されます。
    秒カウンタは、リスタートしたときに＋1 カウントアップします。
  - 秒カウンタ停止中にサブカウンタが 2 回以上オーバフローした場合、オーバフローの回数は内部で保持できません。
    秒カウンタは、リスタートしたときに＋1 カウントアップします。
  - 秒カウンタ停止中に秒カウンタが更新された場合、サブカウンタのオーバフローは無視されます。
- 秒カウンタは、その値が 59 から 00 に変わったときにオーバフロー信号を発生します。このオーバフロー信号は分カウンタ（RTCAnMINC）のトリガとなります。

アクセス	8 ビット単位でリードのみ可能です。
アドレス	<RTCAn_base> + $4C_H$
リセット後の値	00_H

ビット	7	6	5	4	3	2	1	0
	—	RTCAnSECC[6:0]						
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 34.19　RTCAnSECC レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。
6～0	RTCAnSECC[6:0]	秒（BCD）

備　考

1. RTCAnSECC の読み出しは、**「34.5.3 クロックカウンタの読み出し」**に示すフローチャートに従って実行してください。
2. このレジスタの開始値は、秒カウントバッファレジスタ RTCAnSEC または時間カウントバッファレジスタ RTCAnTIME を設定することによって指定できます。次の項を参照してください。
   - **「34.5.1 RTCA の初期設定」**
   - **「34.5.2 クロックカウンタの更新」**

34.3.4.2　RTCAnSEC ― RTCA 秒カウントバッファレジスタ

秒カウンタ RTCAnSECC の読み出し／書き込み用バッファレジスタです。

アクセス	8 ビット単位でリード／ライト可能です。
アドレス	<RTCAn_base> + 14_H
リセット後の値	00_H

ビット	7	6	5	4	3	2	1	0
	—	RTCAnSEC[6:0]						
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 34.20　RTCAnSEC レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6～0	RTCAnSEC[6:0]	秒（BCD）

備　考

1.　このレジスタへの書き込みには、00～59（BCD）のみ使用できます。
2.　RTCAnSEC の読み出しと書き込みは、次の説明に従って実行してください。
    - **「34.5.1　RTCA の初期設定」**
    - **「34.5.2　クロックカウンタの更新」**
    - **「34.5.3　クロックカウンタの読み出し」**

34.3.4.3 RTCAnMINC — RTCA 分カウントレジスタ

このレジスタは分カウンタです。分を 00 から 59 まで（BCD）カウントします。

本レジスタは以下のカウント動作を行います。

- 秒カウンタ RTCAnSECC のオーバフローによってカウントアップされます。
- 分カウンタは、その値が 59 から 00 に変わったときにオーバフロー信号を発生します。このオーバフロー信号は時カウンタ（RTCAnHOURC）のトリガとなります。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<RTCAn_base> + 50_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	RTCAnMINC[6:0]						
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 34.21　RTCAnMINC レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。
6～0	RTCAnMINC[6:0]	分（BCD）

備　考

1. RTCAnMINC の読み出しは、「**34.5.3 クロックカウンタの読み出し**」に示すフローチャートに従って実行してください。
2. このレジスタの開始値は、分カウントバッファレジスタ RTCAnMIN または時間カウントバッファレジスタ RTCAnTIME を設定することによって指定できます。次の項を参照してください。
   - 「**34.5.1 RTCA の初期設定**」
   - 「**34.5.2 クロックカウンタの更新**」

34.3.4.4 RTCAnMIN ― RTCA 分カウントバッファレジスタ

分カウンタ RTCAnMINC の読み出し／書き込み用バッファレジスタです。

アクセス	8 ビット単位でリード／ライト可能です。
アドレス	<RTCAn_base> + 18_H
リセット後の値	00_H

ビット	7	6	5	4	3	2	1	0
	—	RTCAnMIN[6:0]						
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 34.22 RTCAnMIN レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6～0	RTCAnMIN[6:0]	分（BCD）

備 考

1. このレジスタへの書き込みには、00～59（BCD）のみ使用できます。
2. RTCAnMIN の読み出しと書き込みは、次の説明に従って実行してください。
   - **「34.5.1 RTCA の初期設定」**
   - **「34.5.2 クロックカウンタの更新」**
   - **「34.5.3 クロックカウンタの読み出し」**

34.3.4.5 RTCAnHOURC — RTCA 時カウントレジスタ

このレジスタは時カウンタです。時間を BCD でカウントします。カウント範囲は、選択した時間表示によって異なります。「**表 34.24 12 時間表示と 24 時間表示**」を参照してください。

本レジスタは以下のカウント動作を行います。

- 分カウンタ RTCAnMINC のオーバフローによってカウントアップされます。
- 時カウンタは、その値が 23 から 00 に変わったとき（24 時間表示の場合）、または 31 から 12 に変わったとき（12 時間表示の場合）に、オーバフロー信号を発生します。このオーバフロー信号は次の 2 つのカウンタのトリガとなります。
  - 曜日カウンタ（RTCAnWEEKC）
  - 日カウンタ（RTCAnDAYC）

アクセス	8 ビット単位でリードのみ可能です。
アドレス	<RTCAn_base> + 54_H
リセット後の値	12_H

ビット	7	6	5	4	3	2	1	0
	—	—	RTCAnHOURC[5:0]					
リセット後の値	0	0	0	1	0	0	1	0
R/W	R	R	R	R	R	R	R	R

表 34.23 RTCAnHOURC レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。
5〜0	RTCAnHOURC[5:0]	時間（BCD） 詳細は「**表 34.24 12 時間表示と 24 時間表示**」を参照してください。

備 考

1. RTCAnHOURC の読み出しは、「**34.5.3 クロックカウンタの読み出し**」に示すフローチャートに従って実行してください。
2. このレジスタの開始値は、時カウントバッファレジスタ RTCAnHOUR または時間カウントバッファレジスタ RTCAnTIME を設定することによって指定できます。次の項を参照してください。
   - 「**34.5.1 RTCA の初期設定**」
   - 「**34.5.2 クロックカウンタの更新**」

12 時間表示と 24 時間表示

RTCAnHOURC のカウント値は、選択した時間表示によって異なります。

12 時間表示を選択した場合（RTCAnCTL0.RTCAnAMPM＝0）、RTCAnHOURC レジスタのビット 5 は午前／午後を示します。

- RTCAnHOURC[5]＝0：午前
- RTCAnHOURC[5]＝1：午後

12 時間表示と 24 時間表示における RTCAnHOURC のカウント範囲を次の表に示します。

表 34.24　12 時間表示と 24 時間表示

12 時間表示（RTCAnAMPM＝0）	
時間	RTCAnHOURC
午前 0 時	12_{H}
午前 1 時	01_{H}
午前 2 時	02_{H}
午前 3 時	03_{H}
午前 4 時	04_{H}
午前 5 時	05_{H}
午前 6 時	06_{H}
午前 7 時	07_{H}
午前 8 時	08_{H}
午前 9 時	09_{H}
午前 10 時	10_{H}
午前 11 時	11_{H}
午後 0 時	32_{H}
午後 1 時	21_{H}
午後 2 時	22_{H}
午後 3 時	23_{H}
午後 4 時	24_{H}
午後 5 時	25_{H}
午後 6 時	26_{H}
午後 7 時	27_{H}
午後 8 時	28_{H}
午後 9 時	29_{H}
午後 10 時	30_{H}
午後 11 時	31_{H}

↓
12 時間表示では、
RTCAnHOUR.RTCAnHOUR[5]＝1
にて午後を指定

24 時間表示（RTCAnAMPM＝1）	
時間	RTCAnHOURC
0	00_{H}
1	01_{H}
2	02_{H}
3	03_{H}
4	04_{H}
5	05_{H}
6	06_{H}
7	07_{H}
8	08_{H}
9	09_{H}
10	10_{H}
11	11_{H}
12	12_{H}
13	13_{H}
14	14_{H}
15	15_{H}
16	16_{H}
17	17_{H}
18	18_{H}
19	19_{H}
20	20_{H}
21	21_{H}
22	22_{H}
23	23_{H}

34.3.4.6　RTCAnHOUR — RTCA 時カウントバッファレジスタ

時カウンタ RTCAnHOURC の読み出し／書き込み用バッファレジスタです。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RTCAn_base> + $1C_H$

リセット後の値　12_H

ビット	7	6	5	4	3	2	1	0
	—	—	RTCAnHOUR[5:0]					
リセット後の値	0	0	0	1	0	0	1	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 34.25　RTCAnHOUR レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5～0	RTCAnHOUR[5:0]	時間（BCD） 詳細は「**表 34.24　12 時間表示と 24 時間表示**」を参照してください。

備　考

1. このレジスタへの書き込みには、次の値（BCD）のみ使用できます。
   - 12 時間表示（RTCAnCTL0.RTCAnAMPM＝0）：
01～12 または 21～32
   - 24 時間表示（RTCAnCTL0.RTCAnAMPM＝1）：
00～23
2. RTCAnHOUR の読み出しと書き込みは、次の説明に従って実行してください。
   - 「**34.5.1　RTCA の初期設定**」
   - 「**34.5.2　クロックカウンタの更新**」
   - 「**34.5.3　クロックカウンタの読み出し**」

34.3.4.7　RTCAnWEEKC — RTCA 曜日カウントレジスタ

このレジスタは曜日カウンタです。0 から 6 までカウントします。

本レジスタは以下のカウント動作を行います。

- 時カウンタ RTCAnHOURC のオーバフローによってカウントアップされます。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<RTCAn_base> + 58_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	RTCAnWEEKC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 34.26　RTCAnWEEKC レジスタの内容

ビット位置	ビット名	機能
7～3	予約ビット	リードした場合はリセット後の値が読めます。
2～0	RTCAnWEEKC [2:0]	曜日

備　考

1. RTCAnWEEKC の読み出しは、「**34.5.3 クロックカウンタの読み出し**」に示すフローチャートに従って実行してください。
2. このレジスタの開始値は、曜日カウントバッファレジスタ RTCAnWEEK またはカレンダカウントバッファレジスタ RTCAnCAL を設定することによって指定できます。次の項を参照してください。
   - 「**34.5.1 RTCA の初期設定**」
   - 「**34.5.2 クロックカウンタの更新**」

34.3.4.8　RTCAnWEEK — RTCA 曜日カウントバッファレジスタ

曜日カウンタ RTCAnWEEKC の読み出し／書き込み用バッファレジスタです。

RTCAnWEEK の値と曜日との特定の対応はありません。用途に応じて対応を設定してください。

例：0＝日曜日、1＝月曜日、…、6＝土曜日

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RTCAn_base> + 20_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	RTCAnWEEK[2:0]		
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 34.27　RTCAnWEEK レジスタの内容

ビット位置	ビット名	機能
7～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2～0	RTCAnWEEK[2:0]	曜日

備　考

1. このレジスタへの書き込みには、0～6（BCD）のみ使用できます。
2. RTCAnWEEK の読み出しと書き込みは、次の説明に従って実行してください。
   - **「34.5.1 RTCA の初期設定」**
   - **「34.5.2 クロックカウンタの更新」**
   - **「34.5.3 クロックカウンタの読み出し」**

34.3.4.9 RTCAnDAYC — RTCA 日カウントレジスタ

このレジスタは日カウンタです。月カウンタ（RTCAnMONC）と年カウンタ（RTCAnYEARC）の値に応じて、01 から最大 31 まで（BCD）カウントします。

- 01～31（1 月、3 月、5 月、7 月、8 月、10 月、12 月）
- 01～30（4 月、6 月、9 月、11 月）
- 01～29（2 月、うるう年）
- 01～28（2 月、通常年）

0、4、8、12 年などがうるう年となります。

本レジスタは以下のカウント動作を行います。

- 時カウンタ RTCAnHOURC のオーバフローによってカウントアップされます。
- 日カウンタは、その値が 28、29、30、31 のいずれかから 01 に変わったときに、オーバフロー信号を発生します。このオーバフロー信号は月カウンタ（RTCAnMONC）のトリガとなります。

アクセス 8 ビット単位でリードのみ可能です。

アドレス <RTCAn_base> + $5C_H$

リセット後の値 01_H

ビット	7	6	5	4	3	2	1	0
	—	—	RTCAnDAYC[5:0]					
リセット後の値	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R

表 34.28 RTCAnDAYC レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。
5～0	RTCAnDAYC[5:0]	日（BCD）

備 考

1. RTCAnDAYC の読み出しは、「**34.5.3 クロックカウンタの読み出し**」に示すフローチャートに従って実行してください。
2. このレジスタの開始値は、日カウントバッファレジスタ RTCAnDAY またはカレンダカウントバッファレジスタ RTCAnCAL を設定することによって指定できます。次の項を参照してください。
   - 「**34.5.1 RTCA の初期設定**」
   - 「**34.5.2 クロックカウンタの更新**」

34.3.4.10　RTCAnDAY — RTCA 日カウントバッファレジスタ

日カウンタ RTCAnDAYC の読み出し／書き込み用バッファレジスタです。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RTCAn_base> + 24_H

リセット後の値　01_H

ビット	7	6	5	4	3	2	1	0
	—	—	RTCAnDAY[5:0]					
リセット後の値	0	0	0	0	0	0	0	1
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 34.29　RTCAnDAY レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5～0	RTCAnDAY[5:0]	日（BCD）

備　考

1. このレジスタへの書き込みには、01～31（BCD）のみ使用できます。
   - 01～31（1 月、3 月、5 月、7 月、8 月、10 月、12 月）
   - 01～30（4 月、6 月、9 月、11 月）
   - 01～29（2 月、うるう年）
   - 01～28（2 月、通常年）
2. RTCAnDAY の読み出しと書き込みは、次の説明に従って実行してください。
   - 「**34.5.1　RTCA の初期設定**」
   - 「**34.5.2　クロックカウンタの更新**」
   - 「**34.5.3　クロックカウンタの読み出し**」

34.3.4.11　RTCAnMONC — RTCA 月カウントレジスタ

このレジスタは月カウンタです。年間の月を 01 から 12 まで（BCD）カウントします。

本レジスタは以下のカウント動作を行います。

- 日カウンタ RTCAnDAYC のオーバフローによってカウントアップされます。
- 月カウンタは、その値が 12 から 01 に変わったときにオーバフロー信号を発生します。このオーバフロー信号は年カウンタ（RTCAnYEARC）のトリガとなります。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<RTCAn_base> + 60_H

リセット後の値　01_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	RTCAnMONC[4:0]				
リセット後の値	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R

表 34.30　RTCAnMONC レジスタの内容

ビット位置	ビット名	機能
7～5	予約ビット	リードした場合はリセット後の値が読めます。
4～0	RTCAnMONC[4:0]	月（BCD）

備　考

1. RTCAnMONC の読み出しは、「**34.5.3 クロックカウンタの読み出し**」に示すフローチャートに従って実行してください。
2. このレジスタの開始値は、月カウントバッファレジスタ RTCAnMONTH またはカレンダカウントバッファレジスタ RTCAnCAL を設定することによって指定できます。次の項を参照してください。
   - 「**34.5.1 RTCA の初期設定**」
   - 「**34.5.2 クロックカウンタの更新**」

34.3.4.12　RTCAnMONTH — RTCA 月カウントバッファレジスタ

月カウンタ RTCAnMONC の読み出し／書き込み用バッファレジスタです。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RTCAn_base> + 28_H

リセット後の値　01_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	RTCAnMONTH[4:0]				
リセット後の値	0	0	0	0	0	0	0	1
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 34.31　RTCAnMONTH レジスタの内容

ビット位置	ビット名	機能
7～5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4～0	RTCAnMONTH [4:0]	月（BCD）

備　考

1. このレジスタへの書き込みには、01～12（BCD）のみ使用できます。
2. RTCAnMONTH の読み出しと書き込みは、次の説明に従って実行してください。
   - 「**34.5.1 RTCA の初期設定**」
   - 「**34.5.2 クロックカウンタの更新**」
   - 「**34.5.3 クロックカウンタの読み出し**」

34.3.4.13　RTCAnYEARC ― RTCA 年カウントレジスタ

このレジスタは年カウンタです。年を 00 から最大 99 まで（BCD）カウントします。

00、04、08、…、92、96 年（4 年ごと）はうるう年となります。

本レジスタは以下のカウント動作を行います。

- 月カウンタ RTCAnMONC のオーバフローによってカウントアップされます。

アクセス	8 ビット単位でリードのみ可能です。
アドレス	<RTCAn_base> + 64_H
リセット後の値	00_H

ビット	7	6	5	4	3	2	1	0
	RTCAnYEARC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 34.32　RTCAnYEARC レジスタの内容

ビット位置	ビット名	機能
7～0	RTCAnYEARC[7:0]	年（BCD）

備　考

1. RTCAnYEARC の読み出しは、「**34.5.3 クロックカウンタの読み出し**」に示すフローチャートに従って実行してください。
2. このレジスタの開始値は、年カウントバッファレジスタ RTCAnYEAR またはカレンダカウントバッファレジスタ RTCAnCAL を設定することによって指定できます。次の項を参照してください。
   - 「**34.5.1 RTCA の初期設定**」
   - 「**34.5.2 クロックカウンタの更新**」

34.3.4.14　RTCAnYEAR — RTCA 年カウントバッファレジスタ

年カウンタ RTCAnYEARC の読み出し／書き込み用バッファレジスタです。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RTCAn_base> + $2C_H$

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	RTCAnYEAR[7:0]							
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 34.33　RTCAnYEAR レジスタの内容

ビット位置	ビット名	機能
7～0	RTCAnYEAR[7:0]	年（BCD）

備　考

1. このレジスタへの書き込みには、00～99（BCD）のみ使用できます。
2. RTCAnYEAR の読み出しと書き込みは、次の説明に従って実行してください。
   - **「34.5.1 RTCA の初期設定」**
   - **「34.5.2 クロックカウンタの更新」**
   - **「34.5.3 クロックカウンタの読み出し」**

34.3.5　RTCA 特定カウンタレジスタとバッファレジスタの詳細

34.3.5.1　RTCAnTIMEC — RTCA 時間カウントレジスタ

RTCAnHOURC、RTCAnMINC、RTCAnSECC の各カウンタ値を同時に読み出すことができます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　<RTCAn_base> + 68_H

リセット後の値　$0012\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	RTCAnHOURC[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	RTCAnMINC[6:0]							—	RTCAnSECC[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 34.34　RTCAnTIMEC レジスタの内容

ビット位置	ビット名	機能
31～22	予約ビット	リードした場合はリセット後の値が読めます。
21～16	RTCAnHOURC [5:0]	時間（BCD） 詳細は「**表 34.24　12 時間表示と 24 時間表示**」を参照してください。
15	予約ビット	リードした場合はリセット後の値が読めます。
14～8	RTCAnMINC[6:0]	分（BCD）
7	予約ビット	リードした場合はリセット後の値が読めます。
6～0	RTCAnSECC[6:0]	秒（BCD）

備　考

1. RTCAnTIMEC の読み出しは、「**34.5.3　クロックカウンタの読み出し**」に示すフローチャートに従って実行してください。
2. このレジスタの開始値は、時間カウントバッファレジスタ RTCAnTIME を設定することによって指定できます。次の項を参照してください。
   - 「**34.5.1　RTCA の初期設定**」
   - 「**34.5.2　クロックカウンタの更新**」

34.3.5.2 RTCAnTIME — RTCA 時間カウントバッファレジスタ

RTCAnHOUR、RTCAnMIN、RTCAnSEC の各バッファレジスタ値を同時に読み出したり、書き込んだりすることができます。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	<RTCAn_base> + 30_H
リセット後の値	0012 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	RTCAnHOUR[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	RTCAnMIN[6:0]							—	RTCAnSEC[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 34.35 RTCAnTIME レジスタの内容

ビット位置	ビット名	機能
31～22	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
21～16	RTCAnHOUR[5:0]	時間（BCD） 詳細は「**表 34.24 12 時間表示と 24 時間表示**」を参照してください。
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14～8	RTCAnMIN[6:0]	分（BCD）
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6～0	RTCAnSEC[6:0]	秒（BCD）

備 考

RTCAnTIME の読み出しと書き込みは、次の説明に従って実行してください。

- 「**34.5.1 RTCA の初期設定**」
- 「**34.5.2 クロックカウンタの更新**」
- 「**34.5.3 クロックカウンタの読み出し**」

34.3.5.3　RTCAnCALC ― RTCA カレンダカウントレジスタ

RTCAnYEARC、RTCAnMONC、RTCAnDAYC、RTCAnWEEKC の各カウンタ値を同時に読み出すことができます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　<RTCAn_base> + $6C_H$

リセット後の値　$0001\ 0100_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RTCAnYEARC[7:0]								—	—	—	RTCAnMONC[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	RTCAnDAYC[5:0]						—	—	—	—	—	RTCAnWEEKC[2:0]		
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 34.36　RTCAnCALC レジスタの内容

ビット位置	ビット名	機能
31～24	RTCAnYEARC[7:0]	年（BCD）
23～21	予約ビット	リードした場合はリセット後の値が読めます。
20～16	RTCAnMONC[4:0]	月（BCD）
15、14	予約ビット	リードした場合はリセット後の値が読めます。
13～8	RTCAnDAYC[5:0]	日（BCD）
7～3	予約ビット	リードした場合はリセット後の値が読めます。
2～0	RTCAnWEEKC [2:0]	曜日（BCD）

備　考

1. RTCAnCALC の読み出しは、「**34.5.3　クロックカウンタの読み出し**」に示すフローチャートに従って実行してください。
2. このレジスタの開始値は、カレンダカウントバッファレジスタ RTCAnCAL を設定することによって指定できます。次の項を参照してください。
   - 「**34.5.1　RTCA の初期設定**」
   - 「**34.5.2　クロックカウンタの更新**」

34.3.5.4　RTCAnCAL ― RTCA カレンダカウントバッファレジスタ

RTCAnYEAR、RTCAnMONTH、RTCAnDAY、RTCAnWEEK の各バッファレジスタ値を同時に読み出したり、書き込んだりすることができます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<RTCAn_base> + 34_H

リセット後の値　$0001\ 0100_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RTCAnYEAR[7:0]								—	—	—	RTCAnMONTH[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	RTCAnDAY[5:0]						—	—	—	—	—	RTCAnWEEK[2:0]		
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

表 34.37　RTCAnCAL レジスタの内容

ビット位置	ビット名	機能
31～24	RTCAnYEAR[7:0]	年（BCD）
23～21	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
20～16	RTCAnMONTH [4:0]	月（BCD）
15、14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13～8	RTCAnDAY[5:0]	日（BCD）
7～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2～0	RTCAnWEEK[2:0]	曜日（BCD）

備　考

RTCAnCAL の読み出しと書き込みは、次の説明に従って実行してください。

- 「**34.5.1 RTCA の初期設定**」
- 「**34.5.2 クロックカウンタの更新**」
- 「**34.5.3 クロックカウンタの読み出し**」

34.3.6　RTCA アラーム時間設定レジスタの詳細

34.3.6.1　RTCAnALM — RTCA アラーム分設定レジスタ

アラーム割り込み発生時間の「分」を指定します。

詳細な説明と設定例は、「**34.4.3 アラーム割り込み機能**」を参照してください。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RTCAn_base> + 40_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	RTCAnALM[6:0]						
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 34.38　RTCAnALM レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6～0	RTCAnALM[6:0]	アラーム割り込み発生時間の「分」（BCD）

備　考

1. 00～59（BCD）以外の値を設定すると、アラーム割り込み要求は発生しません。
2. サブカウンタ動作許可時（RTCAnCTL0.RTCAnCE＝1）に RTCAnALM の設定を変更すると、INTRTCA0AL にグリッチが出力されるため、割り込みをマスクする処理を行ってください。

34.3.6.2　RTCAnALH ― RTCA アラーム時設定レジスタ

アラーム割り込み発生時間の「時」を指定します。

詳細な説明と設定例は、「**34.4.3 アラーム割り込み機能**」を参照してください。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RTCAn_base> + 44_H

リセット後の値　12_H

ビット	7	6	5	4	3	2	1	0
	—	—	RTCAnALH[5:0]					
リセット後の値	0	0	0	1	0	0	1	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 34.39　RTCAnALH レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5～0	RTCAnALH[5:0]	アラーム割り込み発生時間の「時」（BCD）

備　考

1. 次の範囲以外の値を設定した場合、アラーム割り込み要求は発生しません。
   - 12 時間表示（RTCAnCTL0.RTCAnAMPM＝0）：01～12 または 21～32
   - 24 時間表示（RTCAnCTL0.RTCAnAMPM＝1）：00～23
2. サブカウンタ動作許可時（RTCAnCTL0.RTCAnCEST＝1）に RTCAnALH の設定を変更すると、INTRTCA0AL にグリッチが出力されるため、割り込みをマスクする処理を行ってください。

34.3.6.3　RTCAnALW — RTCA アラーム曜日設定レジスタ

アラーム割り込み発生時間の「曜日」を指定します。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RTCAn_base> + 48_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	RTCAnALW[6:0]						
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 34.40　RTCAnALW レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6～0	RTCAnALW[6:0]	アラーム割り込み要求発生時間の曜日 m（m＝0～6）を指定します。 0：曜日 m にアラーム割り込み要求は発生しない 1：曜日 m の、RTCAnALM と RTCAnALH で設定した時間にアラーム割り込み要求を発生する このレジスタのビットは、曜日カウンタ（RTCAnWEEKC）のカウント値に対応します。

備　考

サブカウンタ動作許可時（RTCAnCTL0.RTCAnCE＝1）に RTCAnALW の設定を変更すると、INTRTCA0AL にグリッチが出力されるため、割り込みをマスクする処理を行ってください。

例

日曜日を RTCAnWEEK＝0、月曜日を RTCAnWEEK＝1、火曜日を RTCAnWEEK＝2、… 土曜日を RTCAnWEEK＝6 と設定した場合：

- アラームを日曜日に設定するには、RTCAnALW＝0000 0001_B を設定します。
- アラームを月曜日と水曜日に設定するには、RTCAnALW＝0000 1010_B を設定します。
- アラームを火曜日、木曜日、土曜日に設定するには、RTCAnALW＝0101 0100_B を設定します

その他の例は、「**34.4.3 アラーム割り込み機能**」を参照してください。

34.3.7　RTCA エミュレーションレジスタ

34.3.7.1　RTCAnEMU — RTCA エミュレーションレジスタ

このレジスタは SVSTOP による動作を制御します。

アクセス　8/1 ビット単位でリード／ライト可能です。
EPC.SVSTOP＝0 のときにライト動作を行ってください。

アドレス　<RTCAn_base> + 74_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	RTCAnSVSDIS	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R

表 34.41　RTCAnEMU レジスタの内容

ビット位置	ビット名	機能
7	RTCAnSVSDIS	（EPC.SVSTOP ビット＝0 のとき） 本ビットの値（1/0）に関わらず、デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを継続供給 （EPC.SVSTOP ビット＝1 のとき） 0：デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを停止 1：デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを継続供給
6～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

34.4　動作

RTCA には次の 2 つの動作モードがあります。

- 周波数選択モード
- 32.768kHz モード

使用可能な入力クロック RTCATCKI によって使用できる動作モードが異なります。動作モードによって、秒カウンタとそれに伴うすべての後続カウンタのカウント動作のトリガとなるサブカウンタの比較値が異なります。クロック誤差補正は 32.768kHz モード時のみ使用可能です。

2 つの動作モードの主な特徴を次の表に示します。

表 34.42　RTCA 動作モードの概要

	周波数選択モード	32.768kHz モード	
		クロック誤差補正無効時	クロック誤差補正有効時
使用可能な入力クロック RTCATCKI	32kHz～4MHz の任意の周波数	32.768kHz	32.76180000kHz～32.77420000kHz の任意の周波数
サブカウンタ RTCAnSUBC の動作	• RTCAnSCMP の値に達するとオーバフロー • RTCAnSCMP は RTCATCKI−1（Hz）に設定	$7FFF_H$ に達するとオーバフロー	次の条件でオーバフロー： $7FFF_H$ または 20 秒または 60 秒ごとに $7FFF_H$±RTCAnSUBU.RTCAnF[5:0]

動作モードは制御ビット RTCAnCTL0.RTCAnSLSB で選択します。RTCA の初期設定で動作モードを設定する方法については、「**34.5.1 RTCA の初期設定**」を参照してください。

注　意

1. 入力クロック RTCATCKI は有効周波数範囲内である必要があります。
2. 動作モードは、サブカウンタ動作許可状態（RTCAnCTL0.RTCAnCEST＝1）では変更できません。

34.4.1　クロックカウンタの表示形式

クロックカウンタ（RTCAnSECC-RTCAnYEARC）は BCD コード（2 進化 10 進数）で動作します。各桁はそれぞれ 2 進数列で表されます。

数値の各桁を表すビット数は有効データ範囲に応じて異なります。たとえば、年カウンタの月の 10 の位は 1 ビット（0、1）ですが、分カウンタの 10 の位は 3 ビット（0～5）です。

10 進数の 0 から 59 を 2 進数と BCD で表したものを次の表に示します。

表 34.43　BCD コードの例：秒カウンタまたは分カウンタ（0～59）

10 進数	2 進数	BCD
0	000000	000 0000
1	000001	000 0001
2	000010	000 0010
3	000011	000 0011
4	000100	000 0100
5	000101	000 0101
6	000110	000 0110
7	000111	000 0111
8	001000	000 1000
9	001001	000 1001
10	001010	001 0000
11	001011	001 0001
12	001100	001 0010
:	:	:
58	111010	101 1000
59	111011	101 1001

34.4.2　定周期割り込み機能

割り込み INTRTCA0R は、発生タイミングを 0.25 秒、0.5 秒、1 秒（毎秒）、1 分（毎分）、1 時間（毎時）、1 日（毎日）、または 1 月（毎月）に指定して発生させることができます。

定周期割り込み機能は、RTCAnCTL1.RTCAnCT[2:0]ビットによって制御されます。

34.4.3　アラーム割り込み機能

特定の曜日（1 つ以上）の特定の時刻に割り込み INTRTCA0AL を発生するよう指定できます。この割り込みはウェイクアップ信号として使用できます。

アラーム割り込み機能の有効／無効は RTCAnCTL1.RTCAnENALM ビットで指定します。

アラームの設定は、次の制御レジスタで指定します。

- RTCAnALW は曜日（1 つ以上）を選択します。

曜日を指定するビットの割り当ては、曜日カウントバッファレジスタ RTCAnWEEK で定義します。

- RTCAnALH と RTCAnALM は時間と分を BCD で指定します。

例

アラーム制御レジスタの設定例を、12 時間表示と 24 時間表示の両方についてそれぞれ次の表に示します。

この例では、日曜日が RTCAnWEEK＝0、月曜日が RTCAnWEEK＝1、火曜日が RTCAnWEEK＝2、…土曜日が RTCAnWEEK＝6 です。

表 34.44　12 時間表示（RTCAnCTL0.RTCAnAMPM＝0）のアラーム時間設定例

アラーム設定時間	RTCAnALW	RTCAnALH	RTCAnALM
日曜日　午前 7:00	01_H	07_H	00_H
日曜日と月曜日　午後 12:15	03_H	32_H	15_H
月曜日、水曜日、金曜日　午後 5:30	$2A_H$	25_H	30_H
毎日　午後 10:45	$7F_H$	30_H	45_H

表 34.45　24 時間表示（RTCAnCTL0.RTCAnAMPM＝1）のアラーム時間設定例

アラーム設定時間	RTCAnALW	RTCAnALH	RTCAnALM
日曜日　7:00	01_H	07_H	00_H
日曜日と月曜日　12:15	03_H	12_H	15_H
月曜日、水曜日、金曜日　17:30	$2A_H$	17_H	30_H
毎日　22:45	$7F_H$	22_H	45_H

34.4.4 クロック誤差補正

注　意

本機能は、RH850/F1KM-S4 の 100-pin 製品、RH850/F1KM-S2 の 100-pin 製品および RH850/F1KM-S1 の全製品では、サポートされていません。

クロック誤差補正機能は、発振回路の公称クロック速度からの偏差を補正します。クロック誤差補正では、入力クロック速度として 32.76180kHz から 32.77420kHz を指定できます。

クロック誤差補正は 32.768kHz 動作モード時のみ使用可能です。この動作モードでは、公称クロック速度が 32.768kHz に想定されており、サブカウンタのオーバフロー値は $7FFF_H$ に固定されています。

入力クロック速度が公称クロックから逸脱している場合のクロック誤差を次の図に示します。

RTCATCKI＝32.768kHz

「**図 34.2 RTCATCKI＝32.768kHz、クロック誤差補正不要**」に、RTCATCKI が公称クロック速度 32.768kHz に一致している場合のタイミング図を示します。この場合、クロック誤差補正は必要ありません。

32.768kHz のクロックで 0 から 32767 まで（0～$7FFF_H$）カウントすると、ちょうど 1 秒になります。

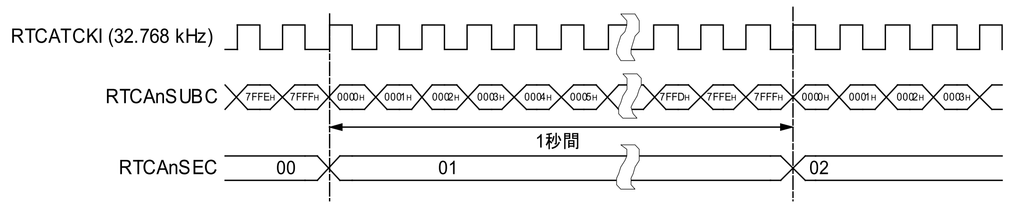


図 34.2　RTCATCKI＝32.768kHz、クロック誤差補正不要

RTCATCKI＝32.769kHz

「**図 34.3 RTCATCKI＝32.769kHz、クロック誤差補正無効**」に、RTCATCKI が公称クロック速度 32.768kHz から逸脱している場合のタイミング図を示します。この例では、RTCATCKI は 32.769kHz の発振回路と接続しています。クロック誤差補正は許可されていません。

32.769kHz のクロックで 0 から 32767 まで（0～$7FFF_H$）カウントすると、約 0.99997 秒（32768/32769）になります。このとき「正の誤差」（32.768kHz より速い）が発生し、1 か月では RTCA には実際の時刻から約－79 秒の偏差が発生することになります。

誤差＝（32768/32769－1）×60（秒）×60（分）×24（時間）×30（日）

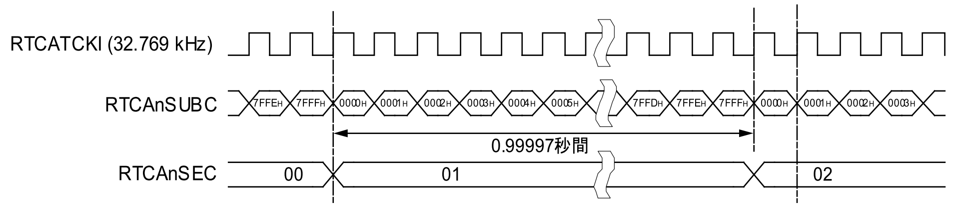


図 34.3　RTCATCKI＝32.769kHz、クロック誤差補正無効

クロック誤差補正は、サブカウンタの 1 秒間を定期的に延長または短縮して実行します。RTCAnSUBU レジスタの次のパラメータを設定することによって、サブカウンタの上限値 $7FFF_H$ を増減できます。

- 1 より大きい補正値
- 演算子（+／–）
- 周期（20 秒ごとまたは 60 秒ごと）

補正されたオーバフローの値が 20 秒ごとまたは 60 秒ごとに適用され、平均して RTCAnSECC がちょうど 1 秒ごとにトリガされるようにします。

34.4.4.1　補正値と演算子の設定

補正値と演算子は、RTCAnSUBU レジスタの RTCAnF6, RTCAnF[5:0]ビットで指定します。

- RTCAnF6 は、オーバフローの値を増加させるか減少させるかを指定します。
- RTCAnF[5:0]は補正値を指定します。

補正値は次のように計算されます。

表 34.46　補正値の設定

RTCAnF6	増加／減少	補正値
0	増加	（RTCAnF[5:0]の値－1）×2
1	減少	（RTCAnF[5:0]を反転した値＋1）×2

補正値の設定例を次の表に示します。

表 34.47　補正値の設定例

RTCAnF6	RTCAnF[5:0]	補正値	RTCAnSUBC のカウント上限値
0	15_H	$(15_H – 1) × 2＝40$	32768 + 40＝32808
1	15_H	$(15_H + 1) × 2$ $＝(2A_H + 1) × 2$ ＝86	32768 – 86＝32682

34.4.4.2　反復周期の影響

RTCAnF6, RTCAnF[5:0]で設定された補正値による RTCAnSUBC のカウント上限値の変更は、毎秒行われるわけではありません。補正値を適用する周期は、RTCAnDEV ビットで指定します。

このビットの設定は、補正可能な周波数範囲と補正精度にも影響します。

RTCAnDEV の設定の概要を次の表に示します。

表 34.48　RTCAnSUBU.RTCAnDEV ビットの設定

RTCAnDEV	RTCAnSUBC カウント上限値の変更タイミング	補正可能な周波数範囲	補正精度
0	20 秒ごと （RTCAnSECC＝00、20、40）	32.76180000～32.77420000kHz	
1	60 秒ごと （RTCAnSECC＝00）	32.76593333～32.77006667kHz	RTCAnDEV＝0 時の 3 倍の補正精度

34.4.4.3　設定例

補正可能な周波数を、RTCAnDEV および RTCAnF6, RTCAnF[5:0]の設定値とあわせて次の表に示します。

表 34.49　RTCAnDEV＝0 時に補正可能な周波数範囲

入力クロック周波数	RTCAnF6	RTCAnF[5:0]	RTCAnSUBC の補正値
—	0	000000	補正なし
—	0	000001	補正なし
32.76810000kHz	0	000010	20 秒ごと、RTCAnSUBC カウント値＋2
32.76820000kHz	0	000011	20 秒ごと、RTCAnSUBC カウント値＋4
32.76830000kHz	0	000100	20 秒ごと、RTCAnSUBC カウント値＋6
...	...	...	...
32.77400000kHz	0	111101	20 秒ごと、RTCAnSUBC カウント値＋120
32.77410000kHz	0	111110	20 秒ごと、RTCAnSUBC カウント値＋122
32.77420000kHz（上限）	0	111111	20 秒ごと、RTCAnSUBC カウント値＋124
—	1	000000	補正なし
—	1	000001	補正なし
32.76180000kHz（下限）	1	000010	20 秒ごと、RTCAnSUBC カウント値－124
32.76190000kHz	1	000011	20 秒ごと、RTCAnSUBC カウント値－122
32.76200000kHz	1	000100	20 秒ごと、RTCAnSUBC カウント値－120
...	...	...	...
32.76770000kHz	1	111101	20 秒ごと、RTCAnSUBC カウント値－6
32.76780000kHz	1	111110	20 秒ごと、RTCAnSUBC カウント値－4
32.76790000kHz	1	111111	20 秒ごと、RTCAnSUBC カウント値－2

表 34.50　RTCAnDEV＝1 時に補正可能な周波数範囲

入力クロック周波数	RTCAnF6	RTCAnF[5:0]	RTCAnSUBC の補正値
—	0	000000	補正なし
—	0	000001	補正なし
32.76803333kHz	0	000010	60 秒ごと、RTCAnSUBC カウント値＋2
32.76806667kHz	0	000011	60 秒ごと、RTCAnSUBC カウント値＋4
32.76810000kHz	0	000100	60 秒ごと、RTCAnSUBC カウント値＋6
...	...	...	...
32.77000000kHz	0	111101	60 秒ごと、RTCAnSUBC カウント値＋120
32.77003333kHz	0	111110	60 秒ごと、RTCAnSUBC カウント値＋122
32.77006667kHz（上限）	0	111111	60 秒ごと、RTCAnSUBC カウント値＋124
—	1	000000	補正なし
—	1	000001	補正なし
32.76593333kHz（下限）	1	000010	60 秒ごと、RTCAnSUBC カウント値－124
32.76596667kHz	1	000011	60 秒ごと、RTCAnSUBC カウント値－122
32.76600000kHz	1	000100	60 秒ごと、RTCAnSUBC カウント値－120
...	...	...	...
32.76790000kHz	1	111101	60 秒ごと、RTCAnSUBC カウント値－6
32.76793333kHz	1	111110	60 秒ごと、RTCAnSUBC カウント値－4
32.76796667kHz	1	111111	60 秒ごと、RTCAnSUBC カウント値－2

34.5　設定、書き込み、読み出しの手順

以降の各項では、RTCA の設定と RTCA クロックカウンタの読み出しおよび書き込みの手順を説明するフローを示します。

34.5.1　RTCA の初期設定

各カウンタの初期設定値を設定する前に、RTCA を停止させる必要があります。

34.5.1.1　RTCA の停止手順

RTCA の停止は次のフローチャートに従って実行してください。

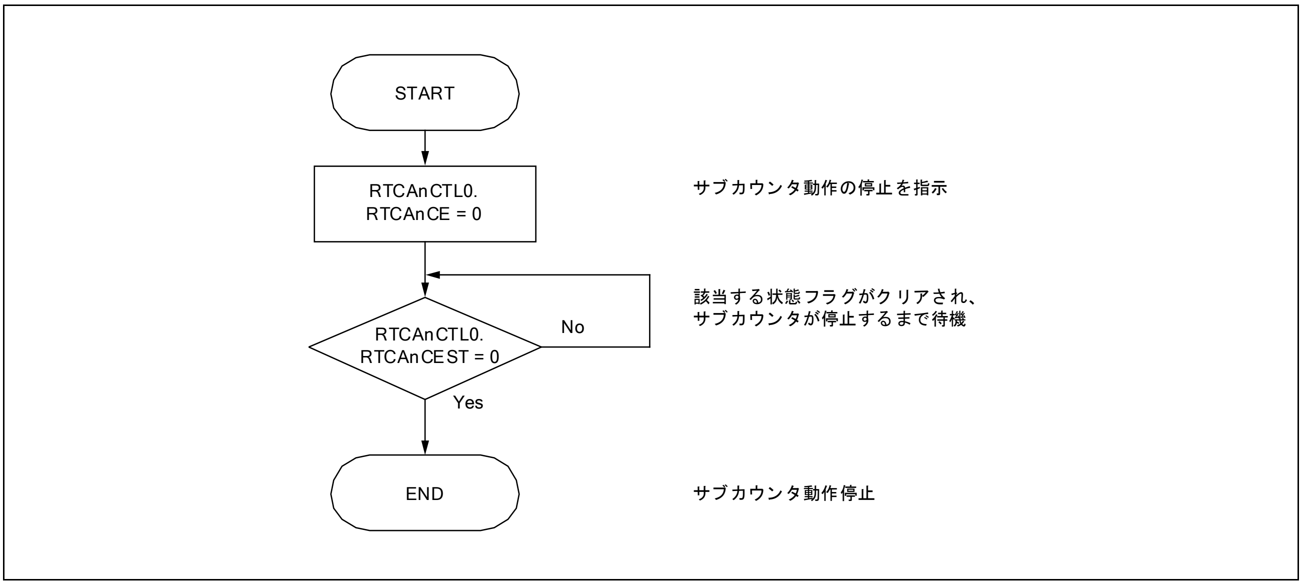


図 34.4　RTCA の停止手順

34.5.1.2　RTCA の初期設定手順

RTCA の初期設定は次のフローチャートに従って実行してください。

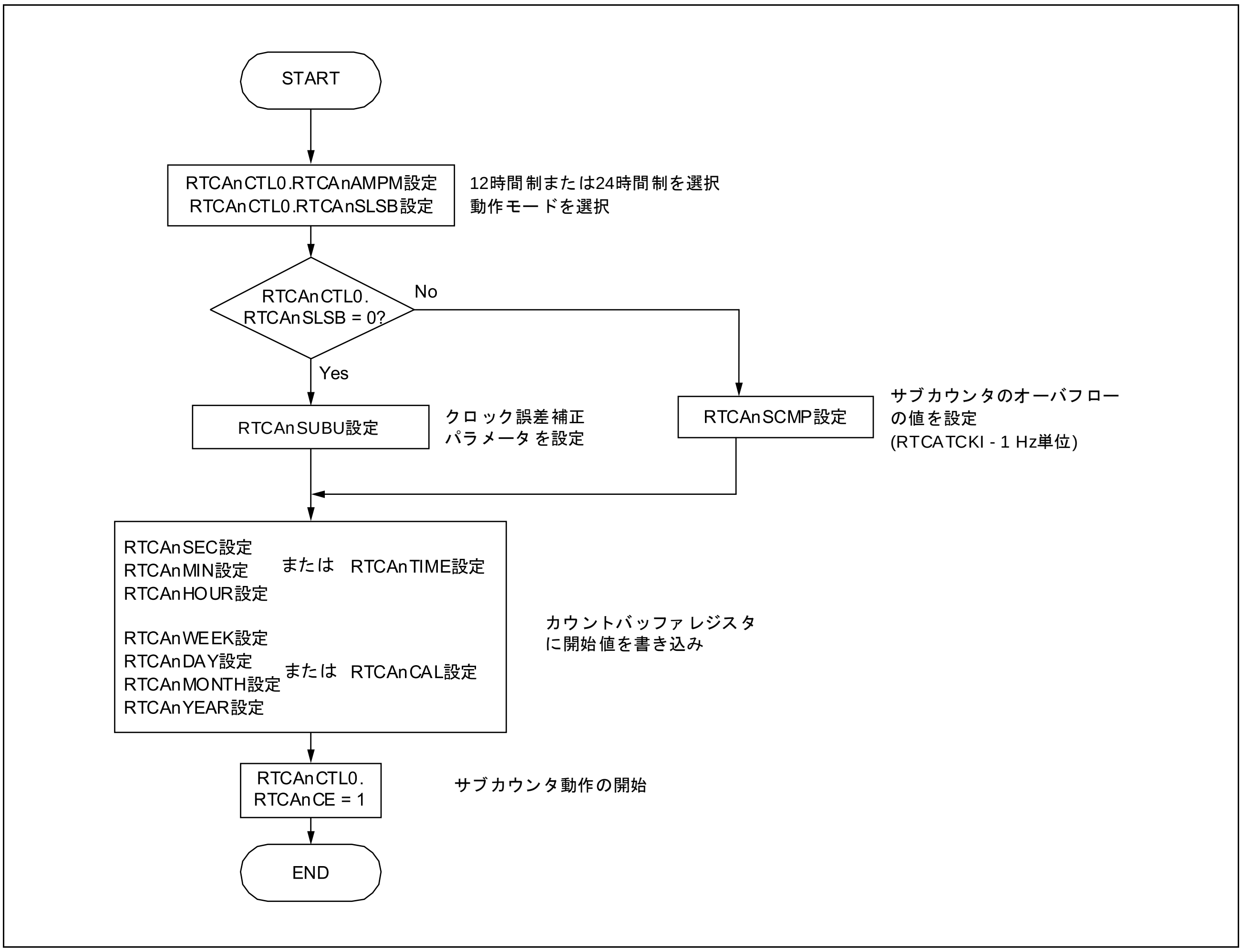


図 34.5　RTCA の初期設定手順

注　意

内部クロックカウンタは RTCATCKI と同期して作動します。

また、上記フローの終了後、クロックカウンタ動作前に RTCATCKI 期間×2 が必要です。

したがって、PCLK は、初期設定完了まで連続的に供給する必要があります。

RTCA 初期設定値設定後に PCLK 供給を止めるには、最初に RTCAnCTL0.RTCAnCEST＝1 であることを確認してください。

34.5.2　クロックカウンタの更新

クロックカウンタ RTCAnSECC-RTCAnYEARC は、サブカウンタ動作中に停止したり更新したりできます。

サブカウンタ動作許可時（RTCAnCTL0.RTCAnCE＝1）にクロックカウンタの更新を行う場合は、次のフローチャートに従って実行してください。

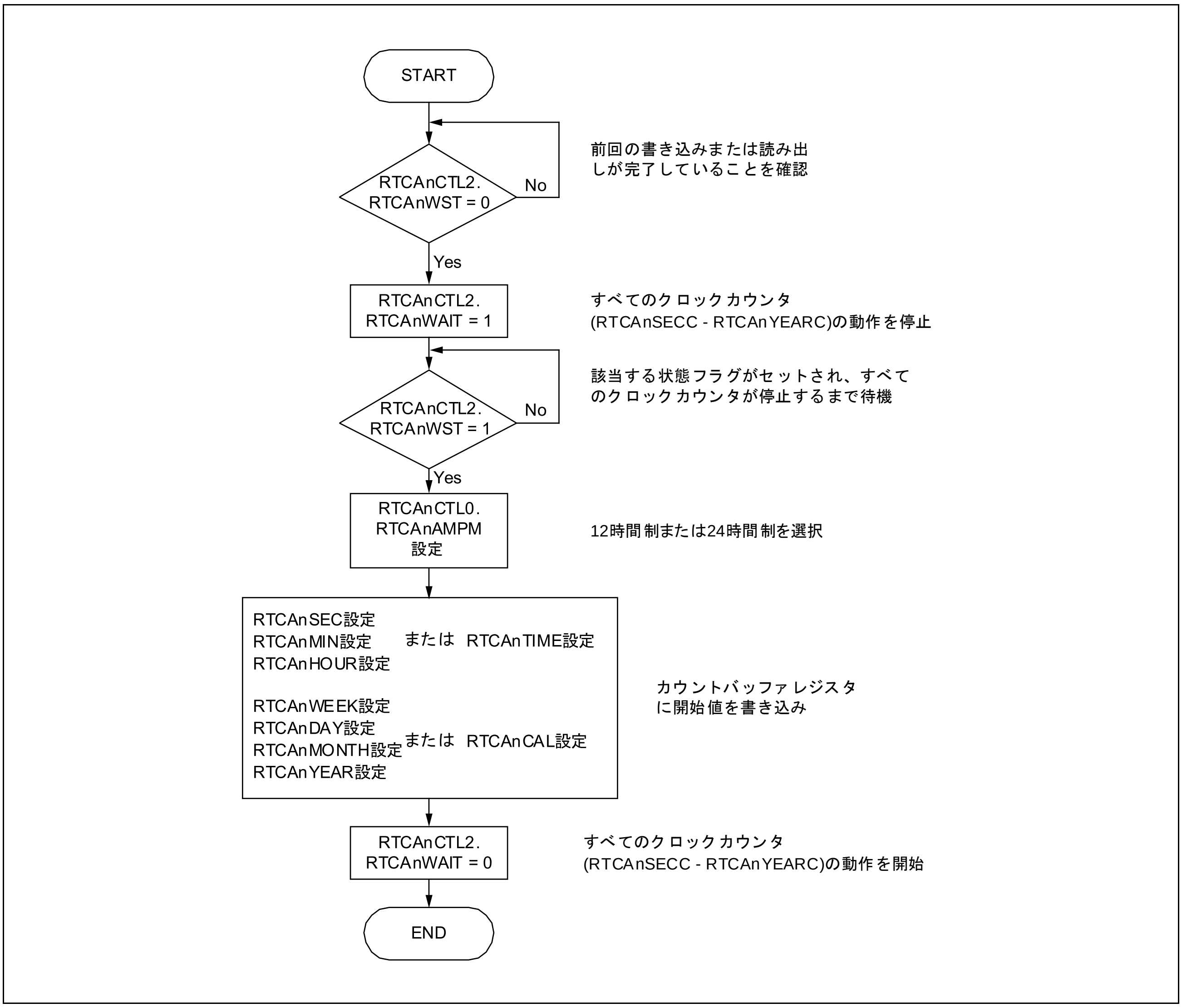


図 34.6　　クロックカウンタ値の更新

注　意

1. 内部クロックカウンタは RTCATCKI と同期して作動します。
   また、上記フローの終了後、クロックカウンタ更新前に RTCATCKI 期間×2 が必要です。
   したがって、PCLK は、クロックカウンタの更新完了まで連続的に供給する必要があります。クロックカウンタの更新後に PCLK 供給を止めるには、最初に RTCAnCTL2.RTCAnWST＝0 であることを確認してください。
2. 更新処理は 1 秒以内に完了する必要があります。更新処理が 1 秒以内に完了しなかった場合、リアルタイムクロックは正しくカウントしなくなります。
3. サブカウンタのオーバフローは内部に 1 回分だけ保持でき、クロックカウンタのリスタート後に値が保持されていれば、秒カウンタを＋1 カウントアップします。
4. クロックカウンタ停止中にサブカウンタが 2 回以上オーバフローした場合、オーバフローの回数は内部で保持できません。秒カウンタは、リスタートしたときに＋2 でなく＋1 だけカウントアップします。

34.5.3 クロックカウンタの読み出し

サブカウンタ動作許可時にクロックカウンタを読み出すには、次の 2 つの方法があります。

- カウントバッファレジスタの読み出し
- カウンタレジスタの読み出し

2 つの方法の利点と欠点の概要を次の表に示します。

表 34.51　2 つの読み出し方法の比較

	利点	欠点
カウントバッファレジスタの読み出し	各クロックカウンタの読み出しは互いに同期して行われるため、何度も読み出す必要がありません。	RTCAnCTL2.RTCAnWAIT＝1 の設定からデータ転送の完了までプログラムのウェイトステートが発生します。
カウンタレジスタの読み出し	プログラムのウェイトステートは発生しません。	クロックカウンタの読み出しは RTCATCKI と非同期に行われるため、リード中にサブカウンタのカウントアップが発生した場合は、読み出しを数回行う必要があります。

34.5.3.1 カウントバッファレジスタ読み出し手順

次の操作を行ってください。

1. すべてのクロックカウンタを停止します（RTCAnCTL2.RTCAnWAIT＝1）。
   各クロックカウンタの値が、それぞれ対応するカウントバッファレジスタに転送されます。
2. カウントバッファレジスタを読み出します。

RTCAnCTL2.RTCAnWAIT＝1 の設定からデータ転送の完了までプログラムのウェイトステートが発生します。

最大遅延時間は、PCLK 期間×3＋RTCATCKI 期間×2 です。たとえば、RTCA が PCLK＝40MHz と RTCATCKI＝32.768kHz で動作する場合、遅延時間は約 61µsec となります。

サブカウンタ動作許可時（RTCAnCTL0.RTCAnCEST＝1）にカウントバッファレジスタ読み出しを行う場合は、次のフローチャートに従って実行してください。

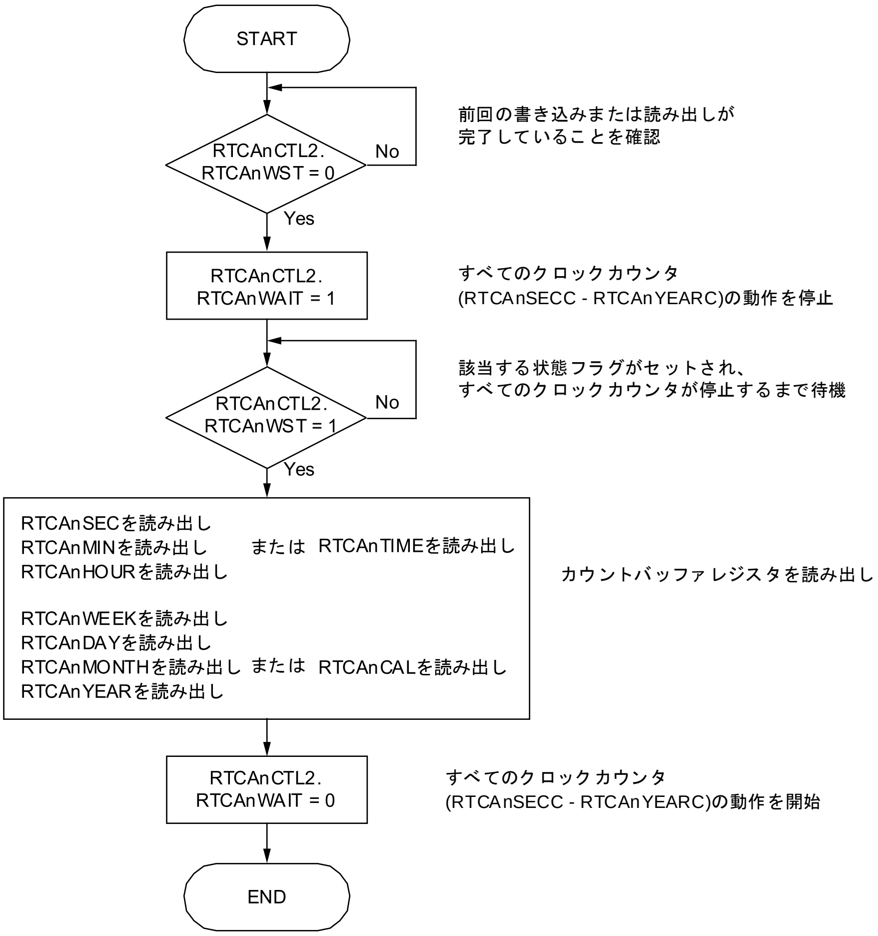


図 34.7　　クロックカウントバッファレジスタの読み出し

注　意

1. 内部クロックカウンタは RTCATCKI と同期して作動します。
また、上記フローの終了後、クロックカウンタのカウント動作再開前に RTCATCKI 期間×2 が必要です。
したがって、PCLK は、クロックカウンタのカウント動作再開まで連続的に供給する必要があります。
カウントバッファレジスタ読み出し後に PCLK 供給を止めるには、最初に RTCAnCTL0.RTCAnCEST＝1 であることを確認してください。
2. 読み出し処理は 1 秒以内に完了する必要があります。読み出し処理が 1 秒以内に完了しなかった場合、リアルタイムクロックは正しくカウントしなくなります。
3. サブカウンタのオーバフローは内部に 1 回分だけ保持でき、クロックカウンタのリスタート後に秒カウンタを＋1 カウントアップします。
4. クロックカウンタ停止中にサブカウンタが 2 回以上オーバフローした場合、オーバフローの回数は内部で保持できません。秒カウンタは、リスタートしたときに＋2 でなく＋1 だけカウントアップします。

34.5.3.2 カウンタレジスタ直接読み出し手順

カウンタの読み出し中にサブカウンタがオーバフローしたかどうかを確認するために、秒カウンタ RTCAnSECC を二度（手順開始時と終了時）読み出す必要があります。最初の読み出し値と 2 回目の読み出し値を比較します。

- 最初の読み出し値＝2 回目の読み出し値：
  カウンタ読み出し動作中にサブカウンタのオーバフローは発生していません。
- 最初の読み出し値≠2 回目の読み出し値：
  カウンタ読み出し動作中にサブカウンタのオーバフローが発生しています。再度読み出しを行って、現在のカウンタ値を取得する必要があります。

サブカウンタ動作許可時（RTCAnCTL0.RTCAnCE＝1）にカウンタレジスタ直接読み出しを行う場合は、次のフローチャートに従って実行してください。

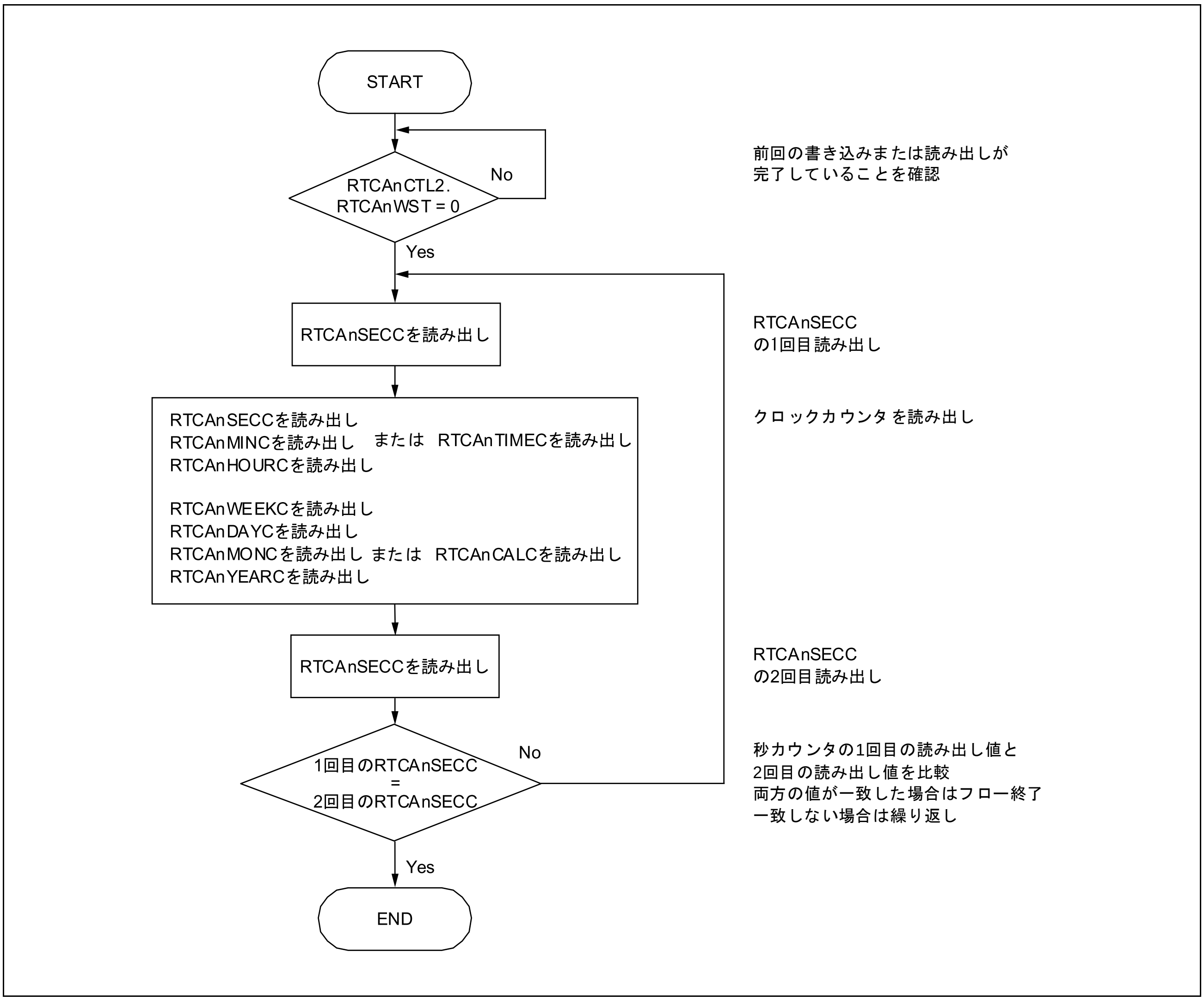


図 34.8　クロックカウンタレジスタの読み出し

備　考

読み出し処理は 1 秒以内に完了する必要があります。

34.5.4　RTCAnSRBU の読み出し

RTCAnSRBU はサブカウンタのリードバッファレジスタです。

サブカウンタ動作許可時（RTCAnCTL0.RTCAnCE＝1）に RTCAnSRBU を読み出す場合は、次のフローチャートに従って実行してください。

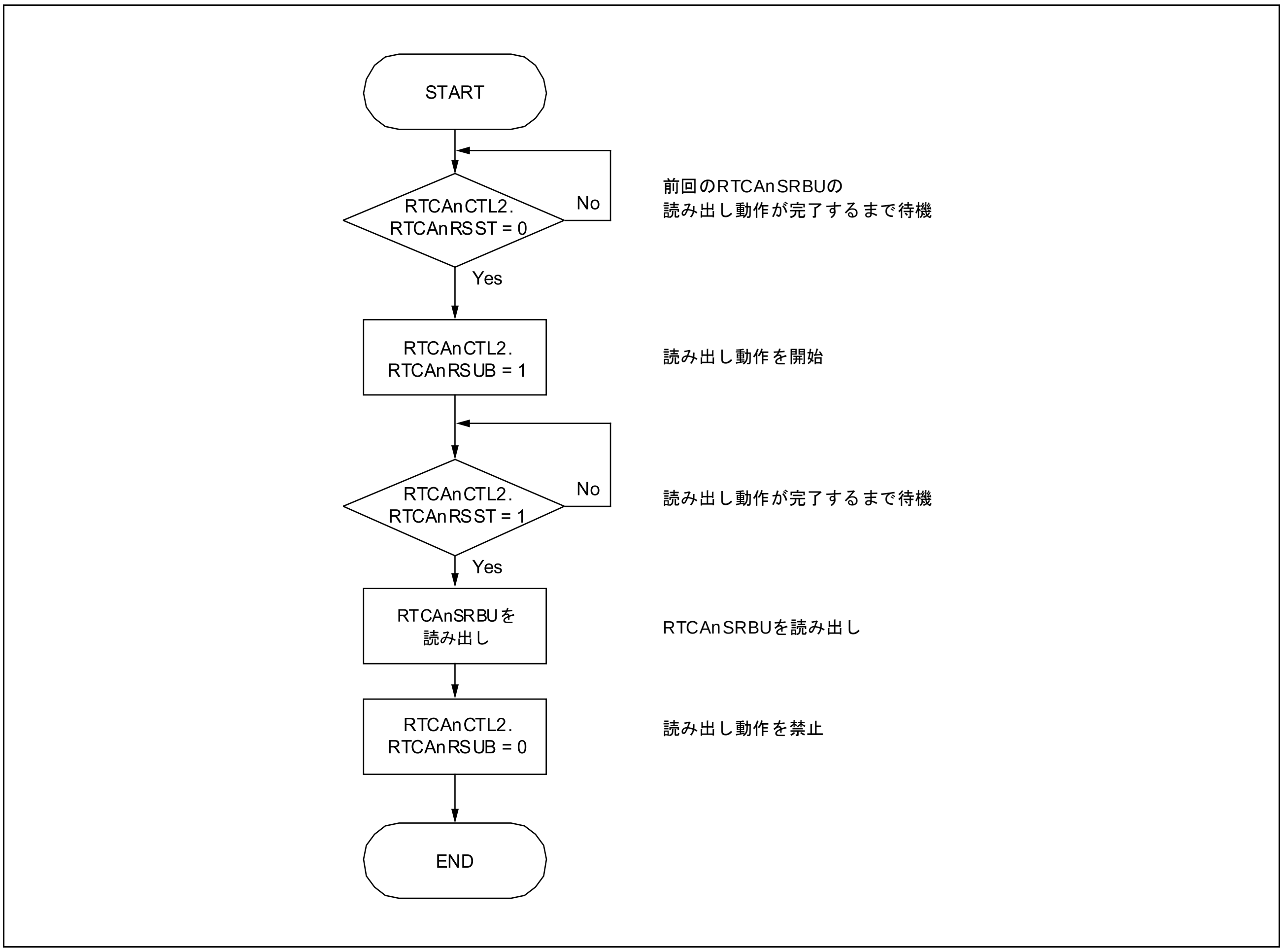


図 34.9　RTCAnSRBU レジスタの読み出し

34.5.5 RTCAnSUBU への書き込み

RTCAnSUBU はサブカウンタのクロック誤差補正レジスタです。

サブカウンタ動作許可時（RTCAnCTL0.RTCAnCE＝1）に RTCAnSUBU への書き込みを行う場合は、次のフローチャートに従って実行してください。

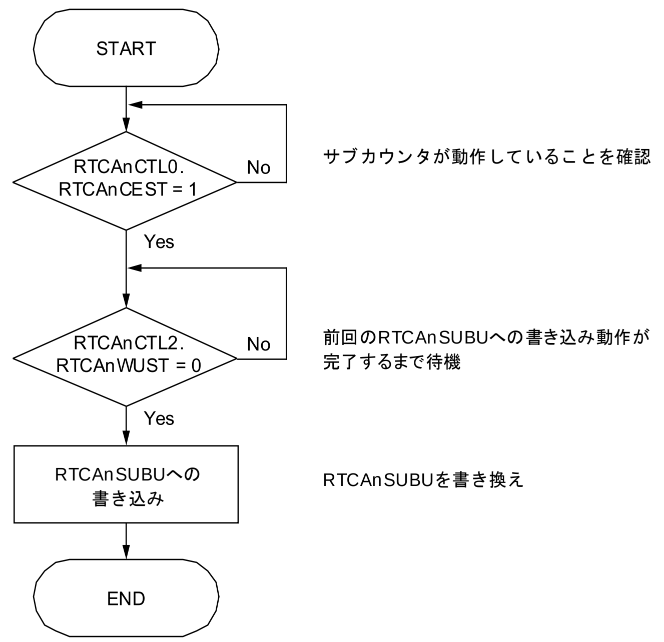


図 34.10　RTCAnSUBU レジスタへの書き込み

備　考

サブカウンタ動作許可時（RTCAnCTL0.RTCAnCE＝1）に RTCAnSUBU への書き込みを行うと、状態フラグ RTCAnCTL2.RTCAnWUST がセットされます。この状態フラグは、RTCAnSUBU への書き込み動作が完了するとクリアされます。これは次回の RTCAnSUBC のオーバフローと同期します。

RTCAnCTL2.RTCAnWUST は最大 1 秒間セットされます。そのためポーリング（このフローの最初で RTCAnCTL2.RTCAnWUST＝1 を確認）する際は、ご注意ください。

34.5.6　RTCAnSCMP への書き込み

RTCAnSCMP はサブカウンタコンペアレジスタです。

サブカウンタ動作許可時（RTCAnCTL0.RTCAnCE＝1）に RTCAnSCMP への書き込みを行う場合は、次のフローチャートに従って実行してください。

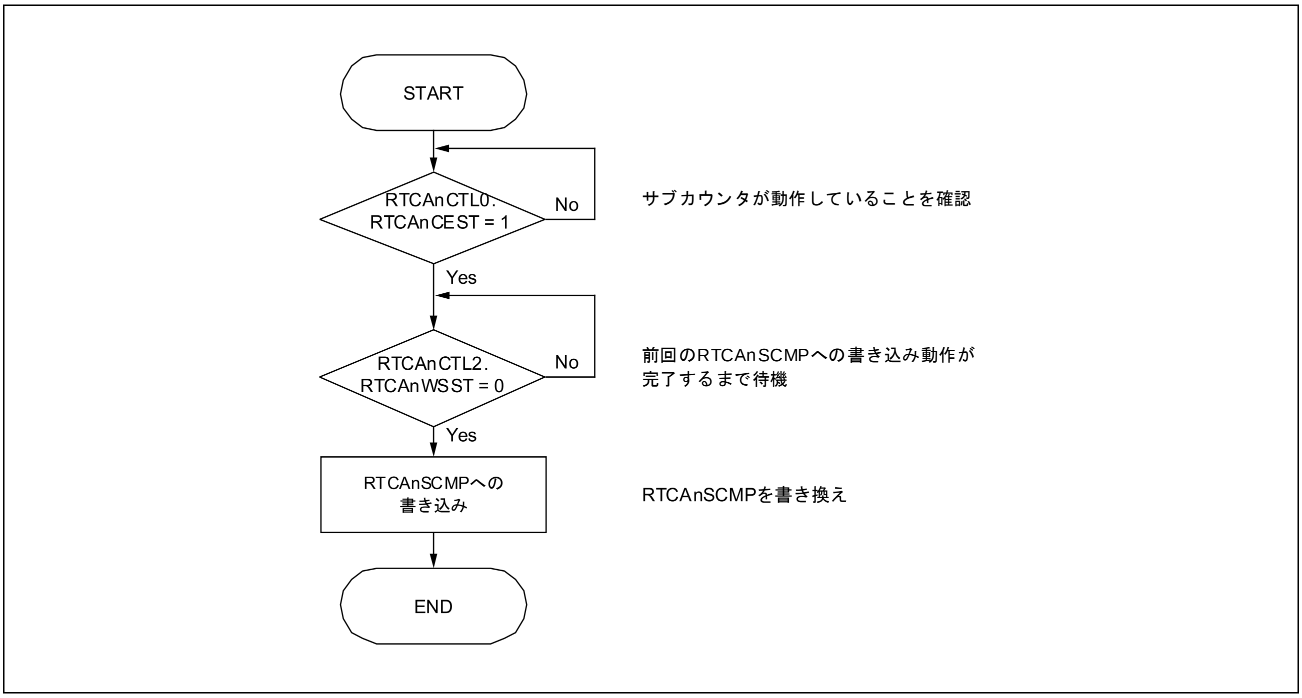


図 34.11　RTCAnSCMP レジスタへの書き込み

備　考

サブカウンタ動作許可時（RTCAnCTL0.RTCAnCE＝1）に RTCAnSCMP への書き込みを行うと、状態フラグ RTCAnCTL2.RTCAnWSST がセットされます。この状態フラグは、RTCAnSCMP への書き込み動作が完了するとクリアされます。これは次回の RTCAnSUBC のオーバフローと同期します。

RTCAnCTL2.RTCAnWSST は最大 1 秒間セットされます。そのためポーリング（このフローの最初で RTCAnCTL2.RTCAnWSST＝1 を確認）する際は、ご注意ください。

34.6　タイミング図

34.6.1　カウンタスタートのタイミング

バッファレジスタに時間を設定してからカウンタがスタートするまでのタイミングを次の図に示します。

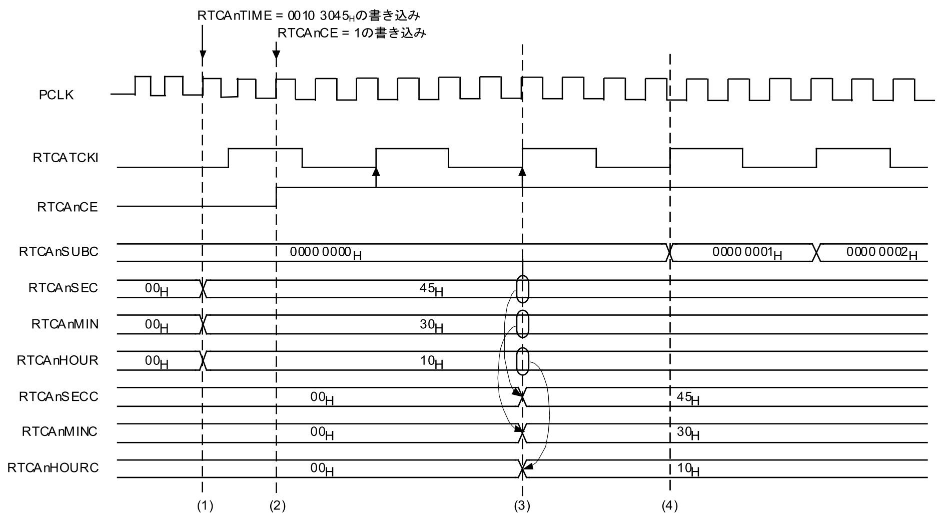


図 34.12　カウンタスタートタイミング

上記のタイミング図における各動作について説明します。

(1) RTCAnTIME＝0010 3045_H を設定することで、時間カウントバッファの初期設定値が 10:30:45 に設定される。
カウントバッファレジスタ RTCAnSEC、RTCAnMIN、RTCAnHOUR にも自動的に書き込まれる。

(2) RTCAnCTL0.RTCAnCE＝1 によって、サブカウンタが動作を開始する。

(3) RTCATCKI の 2 回目の立ち上がりエッジで、各バッファレジスタの値が対応するカウントレジスタにロードされる。

(4) RTCATCKI の次の立ち上がりエッジで、サブカウンタのカウントアップを開始する。

34.6.2　カウンタ動作許可時のクロックカウンタ更新のタイミング

バッファレジスタに時間を設定してからカウンタが動作を再開するまでのタイミングを次の図に示します。

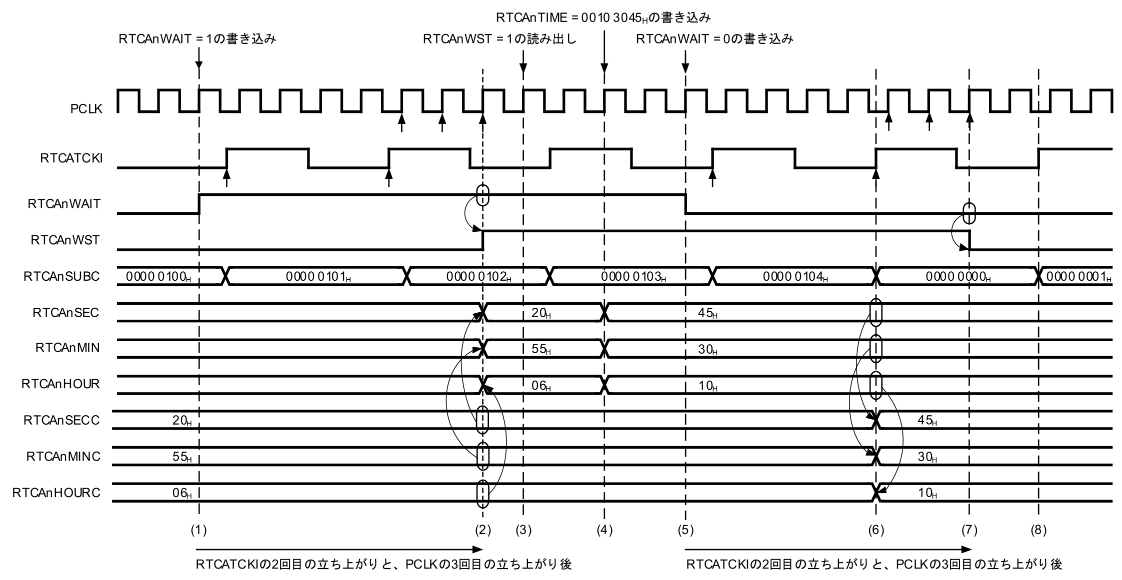


図 34.13　クロックカウンタ更新タイミング

上記のタイミング図における各動作について説明します。

(1) クロックカウンタの停止をトリガ（RTCAnCTL2.RTCAnWAIT＝1）。

(2) RTCATCKI の 2 回目の立ち上がりエッジと PCLK の 3 回目の立ち上がりエッジ後に、RTCAnCTL2.RTCAnWST＝1 が設定され、クロックカウンタが停止する。
サブカウンタはカウント動作を継続する。

(3) RTCAnCTL2.RTCAnWST＝1 が読み出し可能状態になる。

(4) RTCAnTIME＝0010 3045_H を設定することで、時間カウントバッファの初期設定値が 10:30:45 に設定される。
カウントバッファレジスタ RTCAnSEC, RTCAnMIN, RTCAnHOUR にも自動的に書き込まれる。

(5) クロックカウンタのリスタートをトリガ（RTCAnCTL2.RTCAnWAIT＝0）

(6) RTCATCKI の 2 回目の立ち上がりエッジで、各バッファレジスタの値が対応するカウントレジスタにロードされる。RTCAnSECC への書き込みが行われ、RTCAnSUBC がクリアされる。

(7) PCLK の 3 回目の立ち上がりエッジで、RTCAnCTL2.RTCAnWST＝0 が設定される。

(8) クロックカウンタが動作を再開する。

34.6.3　カウンタ動作許可時のサブカウンタリードバッファ読み出しのタイミング

サブカウンタリードバッファ RTCAnSRBU を読み出すタイミングを次の図に示します。

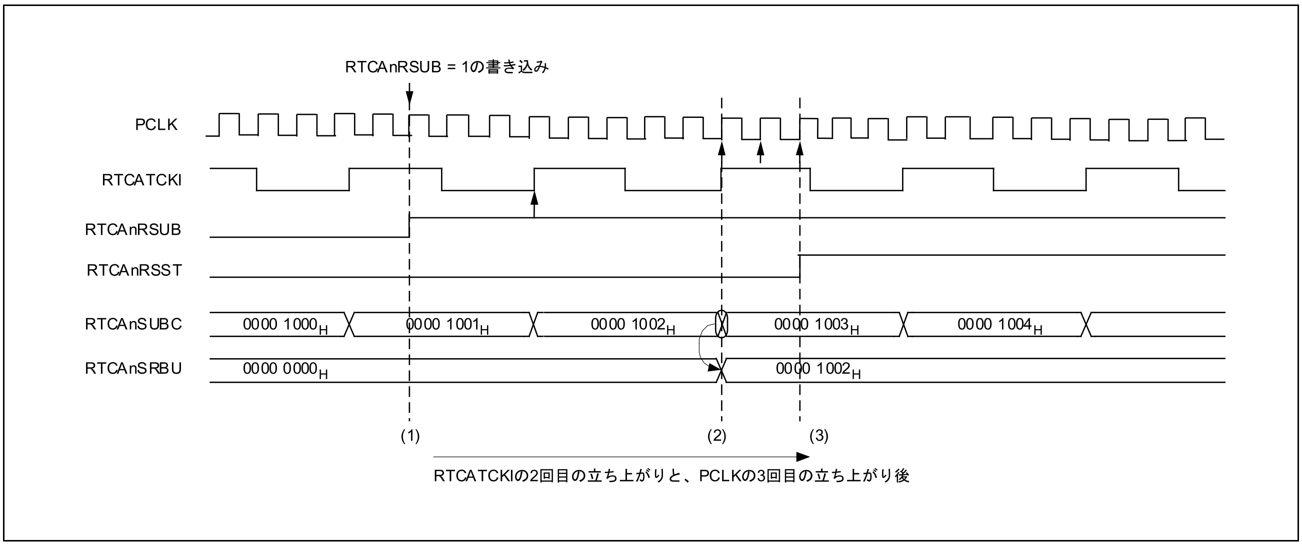


図 34.14　サブカウンタリードバッファレジスタ読み出しタイミング

上記のタイミング図における各動作について説明します。

(1) RTCAnRSUB＝1 を設定することで、サブカウンタ値を RTCAnSRBU へロードするトリガとなる。

(2) RTCATCKI の 2 回目の立ち上がりエッジで、RTCAnSUBC の値が RTCAnSRBU にロードされる。

(3) PCLK の 3 回目の立ち上がりエッジで、RTCAnCTL2.RTCAnRSST＝1 が設定され、RTCAnSRBU が読み出し可能状態になる。

第35章　エンコーダタイマ（ENCA）

本章では、エンコーダタイマ（ENCA）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1KH, RH850/F1KM に固有の特長について説明します。

それ以降の節では、ENCA の機能、レジスタについて説明します。

35.1　RH850/F1KH, RH850/F1KM ENCA の特長

35.1.1　ユニット数

本製品は以下のユニット数の ENCA を搭載しています。

表 35.1　ユニット数 (RH850/F1KH-D8)

製品名	RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 324 Pin
ユニット数	1	1	1
名称	ENCAn (n＝0)	ENCAn (n＝0)	ENCAn (n＝0)

表 35.2　ユニット数 (RH850/F1KM-S4)

製品名	RH850/F1KM-S4 100 Pin	RH850/F1KM-S4 144 Pin	RH850/F1KM-S4 176 Pin	RH850/F1KM-S4 233 Pin	RH850/F1KM-S4 272 Pin
ユニット数	1	1	1	1	1
名称	ENCAn (n＝0)	ENCAn (n＝0)	ENCAn (n＝0)	ENCAn (n＝0)	ENCAn (n＝0)

表 35.3　ユニット数 (RH850/F1KM-S2)

製品名	RH850/F1KM-S2 100 Pin	RH850/F1KM-S2 144 Pin	RH850/F1KM-S2 176 Pin
ユニット数	1	1	1
名称	ENCAn (n＝0)	ENCAn (n＝0)	ENCAn (n＝0)

表 35.4　ユニット数 (RH850/F1KM-S1)

製品名	RH850/F1KM-S1 48 Pin	RH850/F1KM-S1 64 Pin	RH850/F1KM-S1 80 Pin	RH850/F1KM-S1 100 Pin
ユニット数	1	1	1	1
名称	ENCAn (n＝0)	ENCAn (n＝0)	ENCAn (n＝0)	ENCAn (n＝0)

表 35.5　添字 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

添字	説明
n	本章では、エンコーダタイマの各ユニットを「n」で識別します。たとえば、ENCAn 制御レジスタは ENCAnCTL（n＝0）と記述します。

35.1.2 レジスタベースアドレス

ENCAn のベースアドレスを以下の表に示します。

ENCAn のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 35.6 レジスタベースアドレス (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ベースアドレス名	ベースアドレス
<ENCA0_base>	FFE8 0000_H

35.1.3 クロック供給

ENCAn のクロック供給を以下の表に示します。

表 35.7 クロック供給 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	ユニットクロック名	供給クロック名	説明
ENCAn	PCLK	CKSCLK_IPERI1	モジュールクロック
	レジスタアクセスクロック	CPUCLK_L, CKSCLK_IPERI1	バスクロック

35.1.4 割り込み要求

ENCAn の割り込み要求を以下の表に示します。

表 35.8 割り込み要求 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
ENCA0			
ENCATIOV	オーバフロー割り込み	85	—
ENCATIUD	アンダフロー割り込み	86	—
ENCATINT0	キャプチャ／コンペア一致割り込み 0	87	—
ENCATINT1	キャプチャ／コンペア一致割り込み 1	88	—
ENCATIEC	エンコーダクリア割り込み	89	—

35.1.5 リセット要因

ENCAn のリセット要因を以下に示します。ENCAn は以下のリセット要因で初期化されます。

表 35.9 リセット要因 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	リセット要因
ENCAn	すべてのリセット要因 (ISORES)

35.1.6　外部入出力信号

ENCAn の外部入出力信号を以下の表に示します。

表 35.10　外部入出力信号 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット信号名	説明	ポート端子兼用信号名
ENCA0		
ENCATTIN0	ENCAn キャプチャトリガ入力 0 注 1	ENCA0TIN0
ENCATTIN1	ENCAn キャプチャトリガ入力 1 注 1	ENCA0TIN1
ENCAnE0	ENCAn エンコーダ入力 0 注 1	ENCA0E0
ENCAnE1	ENCAn エンコーダ入力 1 注 1	ENCA0E1
ENCAnEC	ENCAn エンコーダクリア入力注 1	ENCA0EC

注1.　各入力端子を使用する場合ポートのノイズフィルタの設定が必要となります。詳細は**「2A.12 ノイズフィルタ＆エッジレベル検出回路」**、**「2B.12 ノイズフィルタ＆エッジレベル検出回路」**、**「2C.12 ノイズフィルタ＆エッジレベル検出回路」**を参照してください。

35.1.7　内部入出力信号

ENCA-PIC 間で接続する入出力信号を以下の表に示します。

表 35.11　内部入出力信号 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット信号名	説明	接続
ENCATSST	同時スタートトリガ	PIC
ENCATTIN1	ENCAn キャプチャトリガ入力 1	PIC

35.2　概要

35.2.1　機能概要

- エンコーダ入力信号からカウンタ制御信号を生成し、PCLK と同期してカウント動作を実行
- 外部トリガ信号を利用してカウンタ値をキャプチャするキャプチャ機能
- カウンタ値とのコンペア一致判定を行うコンペア機能
- キャプチャとコンペア用に別々に設定できる 2 つのキャプチャ／コンペアレジスタ
- コンペア動作中にコンペア一致と判定された結果、生成される割り込み要求信号出力をマスクするための割り込みマスク機能
- アンダフローが発生したときにキャプチャ／コンペアレジスタの値をカウンタにロードする機能
- タイマカウンタのクリア条件にエンコーダ入力信号を利用可能
- タイマカウンタクリア条件を満たすエンコーダ入力信号の判定基準としてエッジまたはレベルを選択可能
- カウンタのオーバフローとアンダフローの検出機能およびエラーフラグとエラー発生割り込みの出力機能
- 5 つの割り込み：キャプチャ／コンペア割り込み（2）、カウンタクリア割り込み（1）、オーバフロー割り込み（1）、アンダフロー割り込み（1）

35.2.2　ブロック図

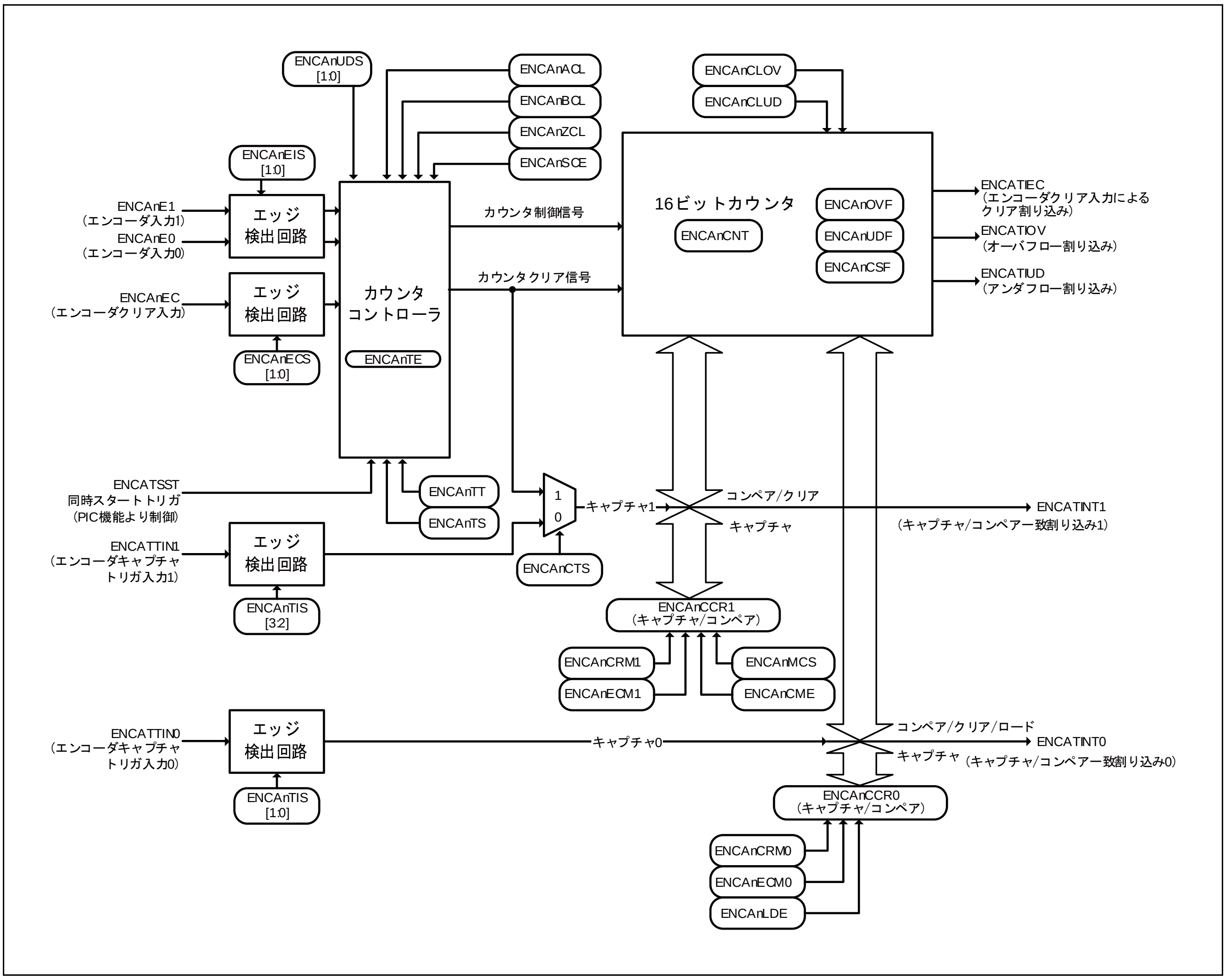


図 35.1　ENCA のブロック図

35.3　レジスタ

35.3.1　レジスタ一覧

ENCA のレジスタ一覧を以下の表に示します。

<ENCAn_base>は「**35.1.2 レジスタベースアドレス**」を参照してください。

表 35.12　レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
ENCAn	ENCAn キャプチャ／コンペアレジスタ 0	ENCAnCCR0	<ENCAn_base>
	ENCAn キャプチャ／コンペアレジスタ 1	ENCAnCCR1	<ENCAn_base> + 04_H
	ENCAn カウンタレジスタ	ENCAnCNT	<ENCAn_base> + 08_H
	ENCAn ステータスフラグレジスタ	ENCAnFLG	<ENCAn_base> + $0C_H$
	ENCAn ステータスフラグクリアレジスタ	ENCAnFGC	<ENCAn_base> + 10_H
	ENCAn タイマイネーブルステータスレジスタ	ENCAnTE	<ENCAn_base> + 14_H
	ENCAn タイマスタートトリガレジスタ	ENCAnTS	<ENCAn_base> + 18_H
	ENCAn タイマストップトリガレジスタ	ENCAnTT	<ENCAn_base> + $1C_H$
	ENCAn I/O 制御レジスタ 0	ENCAnIOC0	<ENCAn_base> + 20_H
	ENCAn 制御レジスタ	ENCAnCTL	<ENCAn_base> + 40_H
	ENCAn I/O 制御レジスタ 1	ENCAnIOC1	<ENCAn_base> + 44_H
	ENCAn エミュレーションレジスタ	ENCAnEMU	<ENCAn_base> + 48_H

35.3.2　ENCAnCTL ― ENCAn 制御レジスタ

本レジスタは、エンコーダタイマのさまざまな動作の設定に使用されます。

アクセス　16 ビット単位でリード／ライト可能です。
動作中の本レジスタへの書き込みは禁止されています。

アドレス　<ENCAn_base> + 40_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ENCAn CME	ENCAn MCS	—	—	—	—	ENCAn CRM1	ENCAn CRM0	ENCAn CTS	—	—	ENCAn LDE	ENCAn ECM1	ENCAn ECM0	ENCAnUDS [1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W

表 35.13　ENCAnCTL レジスタの内容

ビット位置	ビット名	機能
15	ENCAnCME	エンコーダクリアマスクイネーブルビット このビットは、コンペア機能が使用されているときにコンペアー致割り込み検出のマスキングを有効または無効にするために使用されます。 0：ENCAnCCR1 レジスタのコンペアー致割り込み（ENCATINT1）マスク機能を無効にします。 1：ENCAnCCR1 レジスタのコンペアー致割り込み（ENCATINT1）マスク機能を有効にします。 このビットは ENCAnCRM1＝0 のときにのみ有効になります。 このビットが“1”にセットされているときに ENCAnECM1 を“1”にセットすることは禁止されています。
14	ENCAnMCS	エンコーダマスククリア選択ビット このビットは、コンペア機能が使用されているときにコンペアー致割り込み検出 ENCATINT1 のマスキングをキャンセルするためのトリガの選択に使用されます。 このビットは ENCAnCRM1＝0 のときにのみ有効になります。 0：ENCAnCCR1 レジスタへの書き込みが行われると、コンペアー致割り込み検出のマスキングをキャンセルします。 1：以下の 3 つの動作のいずれかが実行されたときにコンペアー致割り込み検出のマスキングをキャンセルします。 ● エンコーダクリア入力によるタイマカウンタクリア動作 ● ENCAnECM0＝1 のときに ENCAnCNT と ENCAnCCR0 がコンペアー致したときのタイマカウンタクリア動作 ● ENCAnLDE＝1 のときのアンダフローの検出による ENCAnCCR0 からタイマカウンタへのロード
13～10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	ENCAnCRM1	ENCAnCCR1 レジスタモードビット 0：ENCAnCCR1 をコンペアレジスタとして使用します。 1：ENCAnCCR1 をキャプチャレジスタとして使用します。
8	ENCAnCRM0	ENCAnCCR0 レジスタモードビット 0：ENCAnCCR0 をコンペアレジスタとして使用します。 1：ENCAnCCR0 をキャプチャレジスタとして使用します。
7	ENCAnCTS	ENCAnCCR1 キャプチャトリガ選択ビット ENCAnCCR1 レジスタへのキャプチャ動作のトリガを選択するビットです。 このビットは ENCAnCRM1＝1 のときにのみ有効になります。 0：キャプチャトリガ 1 信号の ENCATTIN1 を ENCAnCCR1 レジスタへのキャプチャトリガとして使用します。 1：ENCAnSCE で選択されるカウンタクリア信号を、ENCAnCCR1 レジスタへのキャプチャトリガとして使用します。

表 35.13　ENCAnCTL レジスタの内容

ビット位置	ビット名	機能
6、5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	ENCAnLDE	ENCAn カウンタロードイネーブルビット このビットは、アンダフローが発生したときに設定値をカウンタにロードすることを許可または禁止するために使用されます。 このビットは ENCAnCRM0＝0 のときにのみ有効になります。 ENCAnCRM0＝1 のときは、このビットの値にかかわらず、アンダフローの発生によるカウンタへの ENCAnCCR0 レジスタの設定値のロードは行われません。 0：カウンタのアンダフローが発生したときに ENCAnCCR0 レジスタの設定値をカウンタにロードすることを禁止します。 1：カウンタのアンダフローが発生したときに ENCAnCCR0 レジスタの設定値をカウンタにロードすることを許可します。
3	ENCAnECM1	エンコーダクリアモードビット 1 このビットは、カウンタ値と ENCAnCCR1 の設定値が一致したときのカウンタクリア動作の設定に使用されます。 このビットは ENCAnCRM1＝0 のときにのみ有効になります。 0：タイマカウンタ値と ENCAnCCR1 の設定値が一致したときにカウンタを 0000_H にクリアしません。 1：次のカウントがダウンカウントであれば、タイマカウンタ値と ENCAnCCR1 の設定値が一致したときにカウンタを 0000_H にクリアします。
2	ENCAnECM0	エンコーダクリアモードビット 0 このビットは、カウンタ値と ENCAnCCR0 の設定値が一致したときのカウンタクリア動作の設定に使用されます。 このビットは ENCAnCRM0＝0 のときにのみ有効になります。 0：タイマカウンタ値と ENCAnCCR0 の設定値が一致したときにカウンタを 0000_H にクリアしません。 1：次のカウントがアップカウントであれば、タイマカウンタ値と ENCAnCCR0 の設定値が一致したときにカウンタを 0000_H にクリアします。
1、0	ENCAnUDS[1:0]	アップダウンカウント選択ビット 1 と 0 ENCAnE0 と ENCAnE1 を使用するカウンタアップ／ダウン制御ビットです。 00：ENCAnE0 の有効エッジを検出したときに以下のカウントを実行します ● ENCAnE1＝H の場合はダウンカウント ● ENCAnE1＝L の場合はアップカウント 01：ENCAnE0 の有効エッジを検出したときにアップカウントを実行します。 ENCAnE1 の有効エッジを検出したときにダウンカウントを実行します。 10：ENCAnE0 の立ち上がりエッジでダウンカウントを実行します。 ENCAnE0 の立ち下がりエッジでアップカウントを実行します。ただし、カウントは ENCAnE1＝L のときにのみ実行されます。 11：ENCAnE0 と ENCAnE1 の両方のエッジを検出します。検出されたエッジとレベル両方の組み合わせに基づいてカウント動作を決定します。

35.3.3　ENCAnIOC0 ― ENCAn I/O 制御レジスタ 0

本レジスタは、キャプチャトリガ 0 と 1（ENCATTIN0 と ENCATTIN1）の入力エッジの選択に使用されます。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<ENCAn_base> + 20_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	ENCAnTIS[3:2]		ENCAnTIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 35.14　ENCAnIOC0 レジスタの内容

ビット位置	ビット名	機能
7～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3、2	ENCAnTIS[3:2]	キャプチャトリガ 1 の入力エッジ選択ビットです。 これらのビットは ENCAnCTL レジスタの ENCAnCRM1＝1 かつ ENCAnCTS＝0 である場合にのみ有効になります。 ENCAnCRM1 と ENCAnCTS がそれ以外の値に設定されているときは無効です。 00：エッジを検出しません。 01：立ち上がりエッジを検出します。 10：立ち下がりエッジを検出します。 11：両方のエッジを検出します。
1、0	ENCAnTIS[1:0]	キャプチャトリガ 0 の入力エッジ選択ビットです。 これらのビットは ENCAnCTL.ENCAnCRM0＝1 の場合にのみ有効になります。 00：エッジを検出しません。 01：立ち上がりエッジを検出します。 10：立ち下がりエッジを検出します。 11：両方のエッジを検出します。

35.3.4　ENCAnIOC1 ― ENCAn I/O 制御レジスタ 1

このレジスタは、エンコーダ入力に対するクリア条件の設定とエッジの選択に使用されます。

アクセス	8 ビット単位でリード／ライト可能です。 動作中の本レジスタへの書き込みは禁止されています。
アドレス	<ENCAn_base> + 44_H
リセット後の値	00_H

ビット	7	6	5	4	3	2	1	0
	ENCAnSCE	ENCAnZCL	ENCAnBCL	ENCAnACL	ENCAnECS[1:0]		ENCAnEIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 35.15　ENCAnIOC1 レジスタの内容

ビット位置	ビット名	機能
7	ENCAnSCE	エンコーダ特殊クリアイネーブルビット これはエンコーダ特殊クリアイネーブルビットです。 このビットを“1”にセットする場合は、ENCAnUDS[1:0]を 10_B または 11_B に設定してください。ENCAnUDS[1:0]が 00_B または 01_B に設定された状態でこのビットを“1”にセットした場合の動作は保証されません。 0：（ENCAnECS[1:0]で設定された）ENCAnEC の有効エッジを検出すると、カウンタをクリアします。 1：（ENCAnZCL ビット、ENCAnBCL ビット、ENCAnACL ビットで設定された）ENCAnE0、ENCAnE1、ENCAnEC の入力レベル条件を検出すると、カウンタをクリアします。
6	ENCAnZCL	入力 Z クリア条件選択ビット このビットは、エンコーダ特殊クリア機能を使用するときのエンコーダクリア入力（ENCAnEC）のクリア条件の設定に使用されます。 このビットは ENCAnSCE＝1 のときにのみ有効であり、ENCAnSCE＝0 のときは無効です。 0：クリア条件：ロウレベル 1：クリア条件：ハイレベル
5	ENCAnBCL	入力 B クリア条件選択ビット このビットは、エンコーダ特殊クリア機能を使用するときのエンコーダ入力 1（ENCAnE1）のクリア条件の設定に使用されます。 このビットは ENCAnSCE＝1 のときにのみ有効であり、ENCAnSCE＝0 のときは無効です。 0：クリア条件：ロウレベル 1：クリア条件：ハイレベル
4	ENCAnACL	入力 A クリア条件選択ビット このビットは、エンコーダ特殊クリア機能を使用するときのエンコーダ入力 0（ENCAnE0）のクリア条件の設定に使用されます。 このビットは ENCAnSCE＝1 のときにのみ有効であり、ENCAnSCE＝0 のときは無効です。 0：クリア条件：ロウレベル 1：クリア条件：ハイレベル
3、2	ENCAnECS[1:0]	エンコーダクリア入力エッジ選択ビット 1 と 0 これらはエンコーダクリア入力エッジ選択ビットです。 これらのビットは ENCAnSCE＝0 のときにのみ有効であり、ENCAnSCE＝1 のときは無効です。 00：エッジを検出しません。 01：立ち上がりエッジを検出します。 10：立ち下がりエッジを検出します。 11：両方のエッジを検出します。

表 35.15　ENCAnIOC1 レジスタの内容

ビット位置	ビット名	機能
1、0	ENCAnEIS[1:0]	エンコーダエッジ入力選択ビット 1 と 0 これらはエンコーダ入力エッジ選択ビットです。 これらのビットは、ENCAnUDS[1:0]が 00_B または 01_B のときにのみ有効であり、ENCAnUDS[1:0]が 10_B または 11_B のときは無効です。 00：エッジを検出しません。 01：立ち上がりエッジを検出します。 10：立ち下がりエッジを検出します。 11：両方のエッジを検出します。

35.3.5　ENCAnFLG — ENCAn ステータスフラグレジスタ

本レジスタには ENCAn のタイマカウンタのステータスフラグが格納されます。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<ENCAn_base> + $0C_H$

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	ENCAnCSF	ENCAnUDF	ENCAnOVF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 35.16　ENCAnFLG レジスタの内容

ビット位置	ビット名	機能
7～3	予約ビット	リードした場合はリセット後の値が読めます。
2	ENCAnCSF	カウンタステータスフラグ このビットには現在のタイマカウンタの動作が反映されます。 0：タイマカウンタがアップカウント状態にあります。 1：タイマカウンタがダウンカウント状態にあります。
1	ENCAnUDF	アンダフローフラグ このビットには、タイマカウンタの動作中にアンダフローが発生したかどうかが反映されます。 このビットはカウント動作の開始時にクリアされます。 0：次のいずれかの場合に、このフラグは“0”にクリアされます。 ● ENCAnFGC レジスタの ENCAnCLUD に“1”が書き込まれる ● ENCAnTE＝0 のときに ENCAnTS ビットを“1”にセットすること、または同時スタートトリガ入力（ENCATSST 信号）を“ハイレベル”にすることによってフラグが“0”にクリアされます。 1：エンコーダタイマカウント動作中にアンダフローが発生すると、このフラグが“1”にセットされます。
0	ENCAnOVF	オーバフローフラグ このビットには、タイマカウンタの動作中にオーバフローが発生したかどうかが反映されます。 このビットはカウント動作の開始時にクリアされます。 0：次のいずれかの場合に、このフラグは“0”にクリアされます。 ● ENCAnFGC レジスタの ENCAnCLOV に“1”が書き込まれる ● ENCAnTE＝0 のときに ENCAnTS ビットを“1”にセットすること、または同時スタートトリガ入力（ENCATSST 信号）を“ハイレベル”にすることによってフラグが“0”にクリアされます。 1：エンコーダタイマカウント動作中にオーバフローが発生すると、このフラグが“1”にセットされます。

35.3.6 ENCAnFGC ― ENCAn ステータスフラグクリアレジスタ

本レジスタは ENCAnFLG のタイマカウンタステータスフラグをクリアするために使用されます。

アクセス　8 ビット単位でライトのみ可能です。
本レジスタは、読み出すと常に 0 を返します。

アドレス　<ENCAn_base> + 10_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	ENCAnCLUD	ENCAnCLOV
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	W	W

表 35.17　ENCAnFGC レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	ライトする場合はリセット後の値を書いてください。
1	ENCAnCLUD	アンダフローフラグクリア このビットはアンダフローフラグをクリアします。 0：書き込みは無視されます。 1：ENCAnFLG レジスタの ENCAnUDF をクリアします（アンダフロー検出のクリア）。
0	ENCAnCLOV	オーバフローフラグクリア このビットはオーバフローフラグをクリアします。 0：書き込みは無視されます。 1：ENCAnFLG レジスタの ENCAnOVF をクリアします（オーバフロー検出のクリア）。

35.3.7　ENCAnCCR0 — ENCAn キャプチャ／コンペアレジスタ 0

このレジスタは 16 ビットのキャプチャ／コンペアレジスタ 0 です。

アクセス　16 ビット単位でリード／ライト可能です。
キャプチャレジスタ機能時は、リードのみ可能です。ライト動作は無視されます。
コンペアレジスタ機能時は、リード／ライト可能です。

アドレス　<ENCAn_base> + 00_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ENCAnCCR0[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 35.18　ENCAnCCR0 レジスタの内容

ビット位置	ビット名	機能
15～0	ENCAnCCR0[15:0]	キャプチャ／コンペアレジスタ 0 アンダフローが発生した場合は、ENCAnCTL.ENCAnLDE の設定に従って、本レジスタの設定値をカウンタにロードすることができます。詳細については、レジスタ ENCAnCTL の ENCAnLDE ビットの説明を参照してください。 ● ENCAnCTL.ENCAnCRM0＝0 の場合：ENCAnCCR0 はコンペアレジスタになります。タイマカウンタ値との比較の対象になる値を設定します。 ● ENCAnCTL.ENCAnCRM0＝1 の場合：ENCAnCCR0 はキャプチャレジスタになります。キャプチャされたタイマカウンタ値が格納されます。

35.3.8　ENCAnCCR1 — ENCAn キャプチャ／コンペアレジスタ 1

このレジスタは 16 ビットのキャプチャ／コンペアレジスタ 1 です。

アクセス	16 ビット単位でリード／ライト可能です。 キャプチャレジスタ機能時は、リードのみ可能です。ライト動作は無視されます。 コンペアレジスタ機能時は、リード／ライト可能です。
アドレス	<ENCAn_base> + 04_H
リセット後の値	0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ENCAnCCR1[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 35.19　ENCAnCCR1 レジスタの内容

ビット位置	ビット名	機能
15～0	ENCAnCCR1[15:0]	キャプチャ／コンペアレジスタ 1 キャプチャ動作中、本レジスタへのキャプチャトリガは、ENCAnCTL.ENCAnCTS の設定によって異なります。詳細については、ENCA 制御レジスタ ENCAnCTL の ENCAnCTS ビットの説明を参照してください。 ● ENCAnCTL.ENCAnCRM1＝0 の場合：ENCAnCCR1 はコンペアレジスタになります。 タイマカウンタ値との比較の対象になる値を設定します。 ● ENCAnCTL.ENCAnCRM1＝1 の場合：ENCAnCCR1 はキャプチャレジスタになります。 キャプチャされたタイマカウンタ値が格納されます。

35.3.9　ENCAnCNT — ENCAn カウンタ レジスタ

本レジスタは 16 ビットのタイマカウンタレジスタです。

アクセス	16 ビット単位でリード／ライト可能です。 本レジスタへの書き込みは、動作の停止中にのみ行うことができます。
アドレス	<ENCAn_base> + 08_H
リセット後の値	0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ENCAnCNT[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 35.20　ENCAnCNT レジスタの内容

ビット位置	ビット名	機能
15～0	ENCAnCNT[15:0]	カウンタ レジスタ ● ENCAnTE.ENCAnTE の状態：0（初期設定）： カウント停止任意の値をタイマカウンタに設定できます。 ● ENCAnTE.ENCAnTE の状態：0→1（動作開始）： カウント動作開始設定された任意の値からのアップ／ダウンカウント動作を開始します。 ● ENCAnTE.ENCAnTE の状態：1（動作中）： カウント実行中アップ／ダウンカウント動作を実行中です。 ● ENCAnTE.ENCAnTE の状態：1→0（停止）： カウント停止動作停止直前のカウンタ値が保持され、カウント動作が停止します。

35.3.10　ENCAnTE — ENCAn タイマイネーブルステータスレジスタ

本レジスタは ENCAn の動作状態を示します。

アクセス	8 ビット単位でリードのみ可能です。
アドレス	<ENCAn_base> + 14_H
リセット後の値	00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ENCAnTE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 35.21　ENCAnTE レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	リードした場合はリセット後の値が読めます。
0	ENCAnTE	タイマステータスイネーブルビット ENCAn の動作可能／停止状態を示すステータスビットです。 このビットは、ENCAnTT.ENCAnTT に“1”が書き込まれると“0”にクリアされます。 また、このビットは、ENCAnTS.ENCAnTS に“1”が書き込まれるか、ENCATSST 信号にハイレベルが入力されると“1”にセットされます。 0：動作停止状態 1：動作可能状態

35.3.11 ENCAnTS — ENCAn タイマスタートトリガレジスタ

本レジスタは、ENCAn を動作可能状態に設定するトリガビットです。

アクセス 8 ビット単位でライトのみ可能です。
常に 00_H としてリードされます。本レジスタへの書き込みは ENCAnTE.ENCAnTE が 0 のときにのみ行うことができます。

アドレス <ENCAn_base> + 18_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ENCAnTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 35.22 ENCAnTS レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	ENCAnTS	タイマスタートトリガビット ENCAn を動作可能状態に設定するトリガビットです。 0：書き込みは無視されます。 1：ENCAnTE.ENCAnTE＝1 に設定し、ENCAn を動作可能状態に設定します。

35.3.12 ENCAnTT — ENCAn タイマストップトリガレジスタ

本レジスタは、ENCAn を動作停止状態に設定するトリガビットです。

アクセス 8 ビット単位でライトのみ可能です。
常に 00_H としてリードされます。

アドレス <ENCAn_base> + $1C_H$

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ENCAnTT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 35.23 ENCAnTT レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	ENCAnTT	タイマストップトリガビット ENCAn を動作停止状態に設定するトリガビットです。 0：書き込みは無視されます。 1：ENCAnTE.ENCAnTE を“0”にクリアし、ENCAn をカウント動作停止状態に設定します。

35.3.13　ENCAnEMU ― ENCAn エミュレーションレジスタ

このレジスタは SVSTOP による動作を制御します。

アクセス	8 ビット単位でリード／ライト可能です。 カウンタ停止中（ENCAnTE.ENCAnTE＝0、かつ EPC.SVSTOP＝0）のときにライト動作を行ってください。
アドレス	<ENCAn_base> + 48_H
リセット後の値	00_H

ビット	7	6	5	4	3	2	1	0
	ENCAnSVSDIS	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R

表 35.24　ENCAnEMU レジスタの内容

ビット位置	ビット名	機能
7	ENCAnSVSDIS	●（EPC.SVSTOP ビット＝0 のとき） 本ビットの値（1/0）に関わらず、デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを継続供給 ●（EPC.SVSTOP ビット＝1 のとき） 0：デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを停止 1：デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを継続供給
6～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

35.4　動作

ENCAn は、エンコーダ入力を利用してカウンタアップ／ダウン制御とクリア制御を行うことでタイマカウンタを動作させます。ENCAnCCR0 レジスタと ENCAnCCR1 レジスタは、専用のコンペアレジスタとしても専用のキャプチャレジスタとしても使用することができます。

35.4.1　タイマカウンタの動作

以下で ENCAn のタイマカウンタの動作について説明します。

以下の図では段階ごとに動作を示しています。個々の動作の詳しい説明については、図中の番号に対応する番号を参照してください。

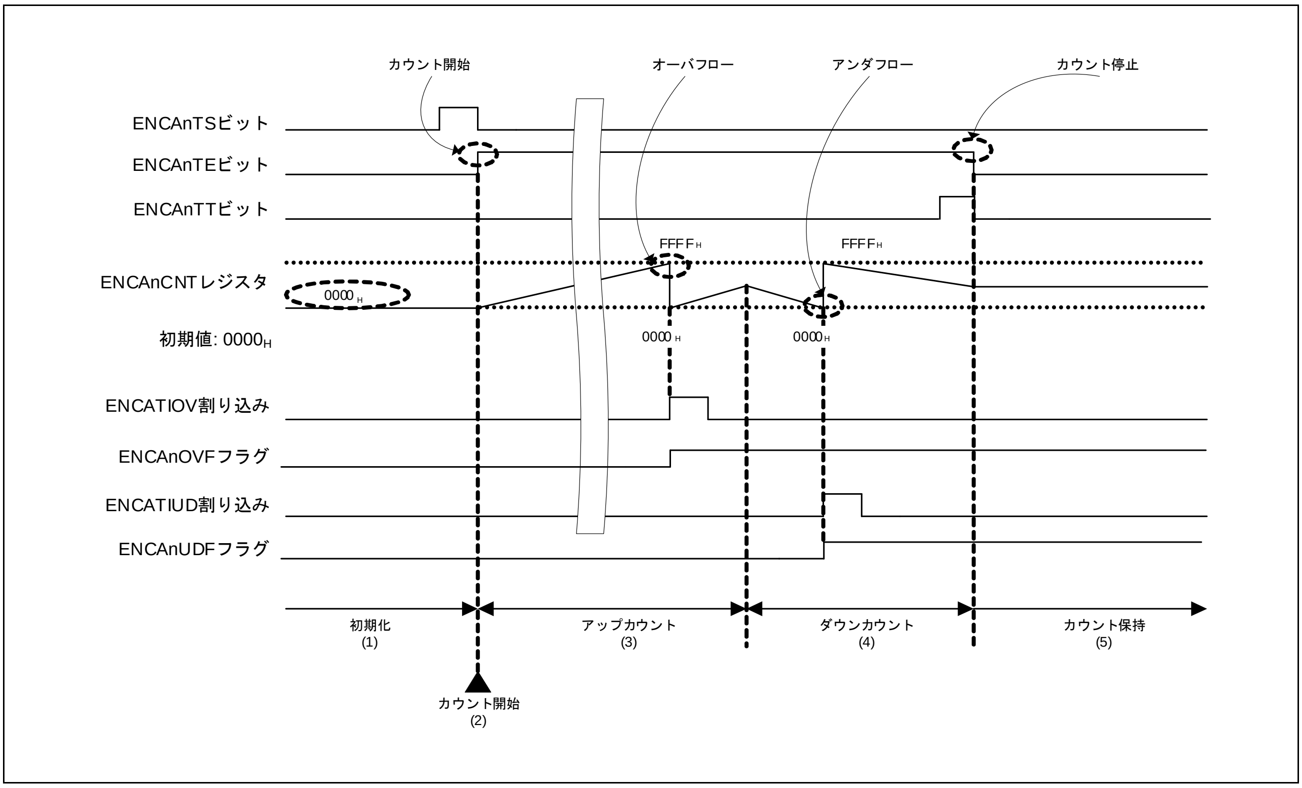


図 35.2　タイマカウンタの初期設定値設定／開始／停止

(1) タイマカウンタの初期値設定

カウンタ動作停止状態（ENCAnTE＝0）のときに ENCAn カウンタレジスタ（ENCAnCNT）の初期値を設定することができます。

(2) タイマカウンタの起動

タイマスタートトリガビット（ENCAnTS）に“1”を書き込むことによってタイマステータスイネーブルビット（ENCAnTE）が“1”にセットされ、カウント動作許可状態となり、エンコーダ入力の有効エッジが検出されるとカウント動作が実行されます。

(3) オーバフロー動作

カウンタ値が $FFFF_H$ のときにアップカウントが実行されると、オーバフローが発生します。カウンタ値が $FFFF_H$ から 0000_H になると、オーバフロー割り込み（ENCATIOV）が発生し、オーバフローフラグ

（ENCAnOVF）が“1”にセットされます。オーバフローフラグクリアビット（ENCAnCLOV）が“1”にセットされると、オーバフローフラグ（ENCAnOVF）が“0”にクリアされます。動作の詳細については、「**35.6.1 オーバフローの発生とオーバフローフラグクリア操作**」を参照してください。

(4) アンダフローの動作

カウンタ値が 0000_H のときにダウンカウントが実行されると、アンダフローが発生します。カウンタ値が 0000_H から $FFFF_H$ になると、アンダフロー割り込み（ENCATIUD）が発生し、アンダフローフラグ（ENCAnUDF）が“1”にセットされます。アンダフローフラグクリアビット（ENCAnCLUD）が“1”にセットされると、アンダフローフラグ（ENCAnUDF）が“0”にクリアされます。動作の詳細については、「**35.6.2 アンダフローの発生とアンダフローフラグクリア操作**」を参照してください。

(5) タイマカウンタの停止

タイマストップトリガビット（ENCAnTT）に“1”を書き込むことによって、タイマステータスイネーブルビット（ENCAnTE）が“0”にクリアされ、カウント動作が停止します。その時点で、タイマカウンタは 0000_H にリセットされず、カウント動作が停止する直前の値を保持します。

35.4.2　タイマカウンタのアップ／ダウン制御

アップ／ダウン制御は、ENCAnUDS[1:0]の設定に従ってエンコーダ入力（ENCAnE0, ENCAnE1）の位相を判定することによって行われます。

35.4.2.1　ENCAnCTL レジスタの ENCAnUDS[1:0]ビット＝00_B の場合

表 35.25　ENCAnUDS[1:0]ビット＝00_B の場合

ENCAnUDS1	ENCAnUDS0	動作の説明		
		ENCAnE0 端子	ENCAnE1 端子	カウント動作
0	0	立ち上がりエッジ	ハイレベル	ダウン
		立ち下がりエッジ		
		両方のエッジ		
		立ち上がりエッジ	ロウレベル	アップ
		立ち下がりエッジ		
		両方のエッジ		

ENCAnE0 の有効エッジは、ENCAnEIS[1:0]を設定することによって指定します。

カウント動作は ENCAnE0 と ENCAnE1 端子の有効エッジとレベルが一致するとアップ／ダウンカウントを行います。

以下のタイミング図は、ENCAnUDS[1:0]ビット＝00_B のときのカウント動作を示しています。

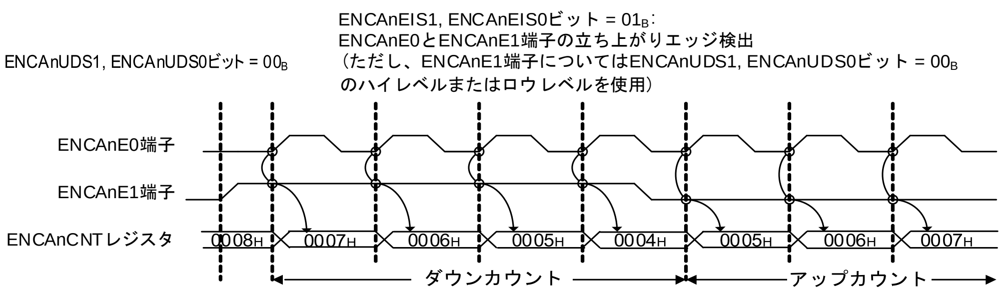


図 35.3　ENCAnCTL レジスタの ENCAnUDS[1:0]ビット＝00_B のときのカウント動作

35.4.2.2　ENCAnCTL レジスタの ENCAnUDS[1:0]ビット＝01B の場合

表 35.26　ENCAnUDS[1:0]ビット＝01B の場合

ENCAnUDS1	ENCAnUDS0	動作の説明		
		ENCAnE0 端子	ENCAnE1 端子	カウント動作
0	1	ロウレベル	立ち上がりエッジ	ダウン
			立ち下がりエッジ	
			両方のエッジ	
		ハイレベル	立ち上がりエッジ	
			立ち下がりエッジ	
			両方のエッジ	
		立ち上がりエッジ	ロウレベル	アップ
		立ち下がりエッジ		
		両方のエッジ		
		立ち上がりエッジ	ハイレベル	
		立ち下がりエッジ		
		両方のエッジ		
		同時入力		保持

ENCAnE0 と ENCAnE1 の有効エッジは、ENCAnEIS[1:0]を設定することによって指定します。

カウント動作は、ENCAnE0 と ENCAnE1 端子の有効エッジとレベルが一致するとアップ／ダウンカウントを行います。また、有効エッジが重なるとカウントを保持します。

以下のタイミング図は、ENCAnUDS[1:0]ビット＝01B のときのカウント動作を示しています。

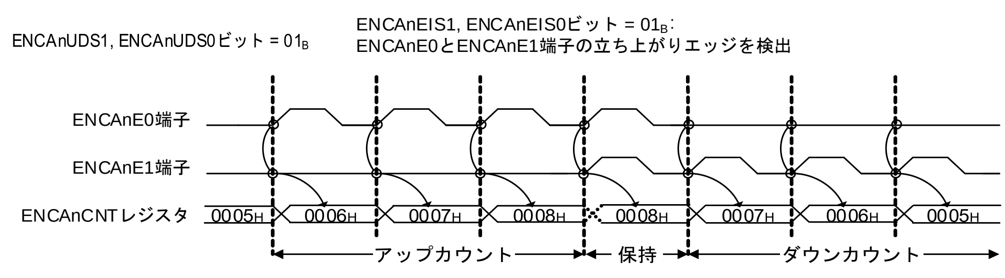


図 35.4　ENCAnCTL レジスタの ENCAnUDS[1:0]ビット＝01B のときのカウント動作

35.4.2.3　ENCAnCTL レジスタの ENCAnUDS[1:0]ビット＝10_Bの場合

表 35.27　ENCAnUDS[1:0]ビット＝10_Bの場合

ENCAnUDS1	ENCAnUDS0	動作の説明		
		ENCAnE0 端子	ENCAnE1 端子	カウント動作
1	0	立ち上がりエッジ	ロウレベル	ダウン
		立ち上がりエッジ	立ち下がりエッジ	
		立ち下がりエッジ	ロウレベル	アップ
		立ち下がりエッジ	立ち下がりエッジ	
		ロウレベル	立ち上がりエッジ	保持
		立ち上がりエッジ	立ち上がりエッジ	
		ハイレベル	立ち上がりエッジ	
		立ち下がりエッジ	立ち上がりエッジ	
		ロウレベル	立ち下がりエッジ	
		立ち上がりエッジ	ハイレベル	
		ハイレベル	立ち下がりエッジ	
		立ち下がりエッジ	ハイレベル	

ENCAnE0 と ENCAnE1 の有効エッジの指定（ENCAnEIS[1:0]ビットの設定）は無効です。

以下のタイミング図は、ENCAnUDS[1:0]ビット＝10_Bのときのカウント動作を示しています。

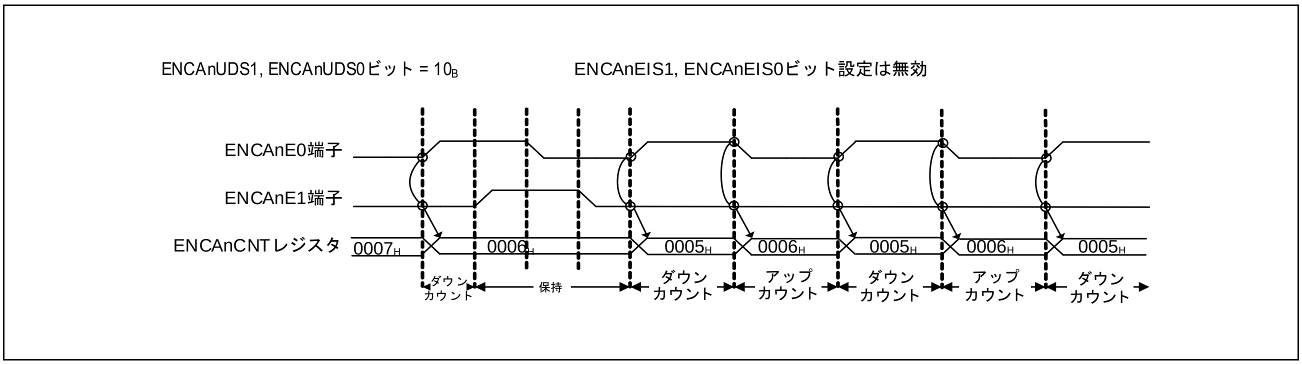


図 35.5　ENCAnCTL レジスタの ENCAnUDS[1:0]ビット＝10_Bのときのカウント動作

35.4.2.4　ENCAnCTL レジスタの ENCAnUDS[1:0]ビット＝11_B の場合

表 35.28　ENCAnUDS[1:0]ビット＝11_B の場合

ENCAnUDS1	ENCAnUDS0	動作の説明		
		ENCAnE0 端子	ENCAnE1 端子	カウント動作
1	1	ロウレベル	立ち下がりエッジ	ダウン
		立ち上がりエッジ	ロウレベル	
		ハイレベル	立ち上がりエッジ	
		立ち下がりエッジ	ハイレベル	
		立ち上がりエッジ	ハイレベル	アップ
		ハイレベル	立ち下がりエッジ	
		立ち下がりエッジ	ロウレベル	
		ロウレベル	立ち上がりエッジ	
		同時入力保持		保持

ENCAnE0 と ENCAnE1 の有効エッジの指定（ENCAnEIS[1:0]ビットの設定）は無効です。

ENCAnE0 と ENCAnE1 の有効エッジが重なるとカウンタ値が保持されます。

以下のタイミング図は、ENCAnUDS[1:0]ビット＝11_B のときのカウント動作を示しています。

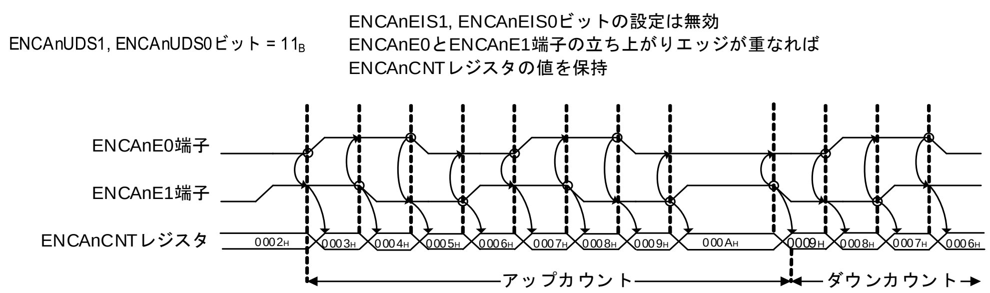


図 35.6　ENCAnCTL レジスタの ENCAnUDS[1:0]ビット＝11_B のときのカウント動作

35.4.3　エンコーダ入力によるタイマカウンタクリア制御

タイマカウンタは、エンコーダクリア入力（ENCAnEC）によって 0000_H にクリアされます。

ENCAnIOC1 レジスタの ENCAnSCE ビット、ENCAnZCL ビット、ENCAnBCL ビット、ENCAnACL ビット、および ENCAnECS[1:0]ビットを制御することによって、2 種類のクリア方法を選択できます。

表 35.29　エンコーダ入力によるタイマカウンタクリア制御の内容

クリア方法	ENCAnSCE	ENCAnZCL	ENCAnBCL	ENCAnACL	ENCAnECS1, ENCAnECS0
(1)	0	無効	無効	無効	有効
(2)	1	有効	有効	有効	無効

35.4.3.1　ENCAnSCE＝0 のときのクリア方法

- ENCAnEC の有効エッジを検出すると、タイマカウンタは動作クロックと同期して 0000_H にクリアされます。
- ENCAnEC の有効エッジは ENCAnECS[1:0]ビットを設定することによって指定します。
- ENCAnZCL ビット、ENCAnBCL ビット、ENCAnACL ビットの設定は無効です。
- タイマカウンタがクリアされると同時に、エンコーダクリア割り込み要求信号（ENCATIEC）が出力されます。

ENCAnSCE＝0 のときのクリア動作については、「**35.6.19 ENCAnSCE＝0 のときに ENCAnEC によるクリアのタイミングで行われるキャプチャ動作**」のタイミング図を参照してください。

35.4.3.2　ENCAnSCE＝1 のときのクリア方法

- ENCAnEC 入力、ENCAnE1 入力、ENCAnE0 入力のクリアレベルを検出すると、タイマカウンタは動作クロックと同期して 0000_H にクリアされます。
- ENCAnEC 入力、ENCAnE1 入力、ENCAnE0 入力のクリアレベルは、ENCAnZCL ビット、ENCAnBCL ビット、ENCAnACL ビットを設定することによって指定します。
- ENCAnECS[1:0]ビットの設定は無効です。
- タイマカウンタがクリアされると同時に、エンコーダクリア割り込み要求信号（ENCATIEC）が出力されます。

ENCAnZCL、ENCAnBCL、ENCAnACL の設定に従って行われるタイマカウンタのクリア条件を「**表 35.30 タイマカウンタのクリア条件**」の表に示します。

表 35.30　タイマカウンタのクリア条件

カウンタクリア条件の設定			エンコーダの端子入力レベル		
ENCAnZCL	ENCAnBCL	ENCAnACL	ENCAnEC	ENCAnE1	ENCAnE0
0	0	0	ロウ	ロウ	ロウ
0	0	1	ロウ	ロウ	ハイ
0	1	0	ロウ	ハイ	ロウ
0	1	1	ロウ	ハイ	ハイ
1	0	0	ハイ	ロウ	ロウ
1	0	1	ハイ	ロウ	ハイ
1	1	0	ハイ	ハイ	ロウ
1	1	1	ハイ	ハイ	ハイ

35.4.4　ENCAnCCR0 の機能

35.4.4.1　コンペア機能

- ENCAnCRM0＝0 のとき、ENCAnCCR0 レジスタは専用のコンペアレジスタとして機能します。
- タイマカウンタの値と ENCAnCCR0 の設定値がコンペア一致すると、コンペア 0 一致割り込み（ENCATINT0）が出力されます。
- ENCAnECM0＝1 の場合、次のカウント動作がアップカウントであれば、コンペア一致が発生すると同時にタイマカウンタが動作クロックと同期して 0000_H にクリアされます。

表 35.31　ENCAnCCR0 のコンペア機能

ENCAnCCR0 の機能	コンペア一致クリア制御	次のカウント動作	ENCAnCCR0 とのコンペア一致が発生したときのタイマカウンタのクリア
ENCAnCRM0	ENCAnECM0		
0（コンペア）	0	アップカウント	タイマカウンタをクリアしません（カウント動作を継続します）。
		ダウンカウント	
	1	アップカウント	タイマカウンタを 0000_H にクリアします。
		ダウンカウント	タイマカウンタをクリアしません（カウント動作を継続します）。

ENCAnLDE＝1 の場合

- アンダフローが発生すると、ENCAnCCR0 レジスタの設定値がタイマカウンタにロードされます。
- アンダフロー割り込み（ENCATIUD）が出力されます。

備　考

ENCAnLDE＝1 のときのタイミング図については「**35.6.8 開始直後の ENCAnLDE 機能の利用**」から「**35.6.12 ENCAnLDE 機能（カウンタ値のロード）とエンコーダクリア入力によるクリア動作との競合があった後のアップカウント**」を参照してください。

35.4.4.2　キャプチャ機能

- ENCAnCRM0＝1 のとき、ENCAnCCR0 レジスタは専用のキャプチャレジスタとして機能します。
- キャプチャトリガ入力 0（ENCATTIN0）の有効エッジを検出すると、タイマカウンタの値が ENCAnCCR0 に格納されます。
- キャプチャ動作中にキャプチャ 0 割り込み（ENCATINT0）が出力されます。

備　考

ENCAnCCR0 へのキャプチャ動作については、「**35.6.14 カウントクロック間のキャプチャ動作（ENCAnCCR0）**」と「**35.6.17 コンペア一致クリア制御無効時のエンコーダの動作**」のタイミング図を参照してください。

35.4.5　ENCAnCCR1 の機能

35.4.5.1　コンペア機能

- ENCAnCRM1＝0 のとき、ENCAnCCR1 レジスタは、専用のコンペアレジスタとして機能します。
- タイマカウンタの値と ENCAnCCR1 の設定値がコンペア一致すると、コンペア 1 一致割り込み（ENCATINT1）が出力されます。
- ENCAnECM1＝1 の場合は、次のカウント動作がダウンカウントであれば、コンペア一致が発生すると同時にタイマカウンタが動作クロックと同期して 0000_H にクリアされます。

表 35.32　ENCAnCCR1 のコンペア機能

ENCAnCCR1 の機能	コンペア一致クリア制御	次のカウント動作	ENCAnCCR1 とのコンペア一致が発生したときのタイマカウンタのクリア
ENCAnCRM1	ENCAnECM1		
0 （コンペア）	0	アップカウント	タイマカウンタをクリアしません（カウント動作を継続します）。
		ダウンカウント	
	1	アップカウント	タイマカウンタをクリアしません（カウント動作を継続します）。
		ダウンカウント	タイマカウンタを 0000_H にクリアします。

コンペア一致割り込みマスク機能

- ENCAnCME＝1 のときは、コンペア 1 一致割り込みマスク機能が有効です。この状態では、タイマカウンタの値と ENCAnCCR1 の設定値が初めて一致したときにコンペア 1 一致割り込みが出力されますが、2 回目以降のコンペア一致によって生成される割り込みはマスクされます。
- ENCAnCME＝1 かつ ENCAnMCS＝0 のときは、ENCAnCCR1 レジスタへの書き込み操作によって、最初のコンペア一致でコンペア 1 一致割り込みが 1 回出力されます（再度キャンセルトリガが発生するまで 2 回目以降のコンペア一致によって生成される割り込みはマスクされます）。
- ENCAnCME＝1 かつ ENCAnMCS＝1 のときは、エンコーダクリア入力によるタイマカウンタのクリア動作または ENCAnCCR0 レジスタ値とタイマカウンタ値との一致によるタイマカウンタのクリア動作によって、最初のコンペア一致でコンペア 1 一致割り込み 1 回出力されます（再度キャンセルトリガが発生するまで 2 回目以降のコンペア一致によって生成される割り込みはマスクされます）。
- ENCAnCME＝1 かつ ENCAnMCS＝1 かつ ENCAnLDE＝1 のときは、アンダフロー検出時の ENCAnCCR0 レジスタからタイマカウンタへのロード動作によって、最初のコンペア一致でコンペア 1 一致割り込みが 1 回出力されます（再度キャンセルトリガが発生するまで 2 回目以降のコンペア一致によって生成される割り込みはマスクされます）。
- コンペア 1 一致割り込みマスク機能を有効にする場合、ENCAnECM1 を“1”にセットすることはできません。

表 35.33　ENCAnCCR1 のコンペア一致割り込みマスク機能

ENCAnCCR1 の機能	コンペア 1 一致割り込みマスク	割り込みマスクキャンセルトリガ	ENCAnCCR1 とコンペアが一致したときのコンペア 1 一致割り込みの出力
ENCAnCRM1	ENCAnCME	ENCAnMCS	
0 （コンペア）	0 （マスク機能無効）	— （設定無効）	コンペア一致が発生するたびにコンペア 1 一致割り込みを出力します。
	1 （マスク機能有効）	0 （ENCAnCCR1 への書き込み操作）	最初のコンペア一致でコンペア 1 一致割り込みを 1 回出力します（キャンセルトリガが発生するまで、2 回目以降の一致によって生成される割り込みはマスクされます）。
		1 （タイマカウンタクリア動作） （ENCAnLDE＝1 のときのアンダフロー発生による ENCAnCCR0 からタイマカウンタへのロード）	

35.4.5.2　キャプチャ機能

ENCAnCRM1＝1 のとき、ENCAnCCR1 レジスタは、専用のキャプチャレジスタとして機能します。

備　考

ENCAnCCR1 へのキャプチャ動作については、**「35.6.13 カウントクロック間のキャプチャ動作（ENCAnCCR1）」**のタイミング図を参照してください。

ENCAnCTS のさまざまな設定に対応する動作を以下の表に示します。

表 35.34　ENCAnCTS のさまざまな設定に対応する動作

ENCAnCCR1 の機能	キャプチャトリガの選択	キャプチャトリガ信号	タイマカウンタのクリア	割り込みの発生
ENCAnCRM1	ENCAnCTS			
1 （キャプチャ）	0	キャプチャトリガ 1 入力（ENCATTIN1）	タイマカウンタをクリアしません。	(1) キャプチャ 1 割り込み（ENCATINT1）
	1	エンコーダクリア入力（ENCAnSCE で設定）	タイマカウンタをクリアします。	(1) キャプチャ 1 割り込み（ENCATINT1） (2) エンコーダクリア割り込み（ENCATIEC）

備　考

ENCAnCTS＝0 または ENCAnCTS＝1 のときのタイミング図については、以下を参照してください。

- **「35.6.3 エンコーダクリア入力（ENCAnEC 端子）によるカウントクリアとキャプチャ動作」**
- **「35.6.4 オーバフローの発生とエンコーダクリア入力（ENCAnEC 端子）によるクリア動作との競合」**
- **「35.6.5 アンダフローの発生とエンコーダクリア入力（ENCAnEC 端子）によるクリア動作との競合」**
- **「35.6.11 ENCAnLDE 機能（カウンタ値のロード）とエンコーダクリア入力（ENCAnEC 端子）の入力によるクリア動作との競合」**
- **「35.6.12 ENCAnLDE 機能（カウンタ値のロード）とエンコーダクリア入力によるクリア動作との競合があった後のアップカウント」**

35.4.5.3　コンペアレジスタが一致したときのタイマカウンタのクリア

タイマカウンタ値と ENCAnCCR0, ENCAnCCR1 の設定値がコンペア一致したときに、ENCAnCTL レジスタの ENCAnECM[1:0]ビットの設定に従って行われるタイマカウンタのクリア動作の詳細を以下の表に示します。

表 35.35　コンペアレジスタが一致したときのタイマカウンタのクリア動作の詳細

ENCAnECM[1:0]	次のカウント動作	ENCAnCCR1 とのコンペア一致が発生したときのタイマカウンタのクリア	ENCAnCCR0 とのコンペア一致が発生したときのタイマカウンタのクリア
00	アップカウント	タイマカウンタをクリアしません（カウント動作を継続します）	タイマカウンタをクリアしません（カウント動作を継続します）
	ダウンカウント	タイマカウンタをクリアしません（カウント動作を継続します）	タイマカウンタをクリアしません（カウント動作を継続します）
01	アップカウント	タイマカウンタをクリアしません（カウント動作を継続します）	タイマカウンタを 0000_H にクリアします。
	ダウンカウント	タイマカウンタをクリアしません（カウント動作を継続します）	タイマカウンタをクリアしません（カウント動作を継続します）
10	アップカウント	タイマカウンタをクリアしません（カウント動作を継続します）	タイマカウンタをクリアしません（カウント動作を継続します）
	ダウンカウント	タイマカウンタを 0000_H にクリアします。	タイマカウンタをクリアしません（カウント動作を継続します）
11	アップカウント	タイマカウンタをクリアしません（カウント動作を継続します）	タイマカウンタを 0000_H にクリアします。
	ダウンカウント	タイマカウンタを 0000_H にクリアします。	タイマカウンタをクリアしません（カウント動作を継続します）

35.4.6　タイマカウンタの起動／停止

35.4.6.1　タイマの起動

ENCAnTS ビットを“1”にセットすることによってタイマの動作を開始することができます。

PIC を設定することにより、他のタイマと同時スタートが可能です。詳細は、「**36.8　同時スタートトリガ機能**」を参照してください。

35.4.6.2　タイマの停止

ENCAnTT ビットが“1”にセットされると ENCAnTE ビットが“0”になり、タイマが停止します。

35.5　設定の順序

35.5.1　ENCAn の設定手順

以下で ENCAn の設定の手順を説明します。

表 35.36　ENCAn の設定の手順

操作		設定の状態
初期設定	リセット解除	電源オン状態、動作停止状態。 （各レジスタへの書き込みは許可）
ENCAn の初期設定	以下の初期設定を実行します。 ● カウンタの設定 ● カウンタクリアの設定 ● ENCAnCCR0 レジスタの設定 ● ENCAnCCR1 レジスタの設定	カウント動作停止状態です。 動作状態を示す ENCAnTE ビット＝0 です。
	カウンタの初期値の設定を実行します。 ● ENCAnCNT レジスタに任意の 16 ビット値を設定します。（このレジスタを設定した後、ENCAnTS ビットを “1” にセットすると、設定されたカウント値からカウンタの動作が開始されます）。	ここで設定される値がカウンタレジスタの初期値として設定されます。
動作開始	カウンタ動作開始の設定を実行します。 ● ENCAnTS ビットを “1” にセットします。	カウンタ動作開始状態です。 動作状態を示す ENCAnTE ビットの値が “1” であり、カウントクロックが内部回路に供給されます。
動作中	動作中に設定を変更できるレジスタのみを書き換えることができます。 ● ENCAnCCR0 レジスタの設定 ● ENCAnCCR1 レジスタの設定 ● ENCAnIOC0 レジスタの設定	初期設定で設定されたカウント動作が実行され、ENCAnE0 端子と ENCAnE1 端子に従ってアップカウント／ダウンカウントが実行されます。
動作停止	動作中にカウンタ動作停止の設定を実行します。 ● ENCAnTT ビットを “1” に設定します。	カウンタ動作停止状態です。 動作状態を示す ENCAnTE ビット＝0 です。
ENCAn 停止	リセット	設定レジスタが初期化されます。

35.5.1.1　カウンタの初期設定手順

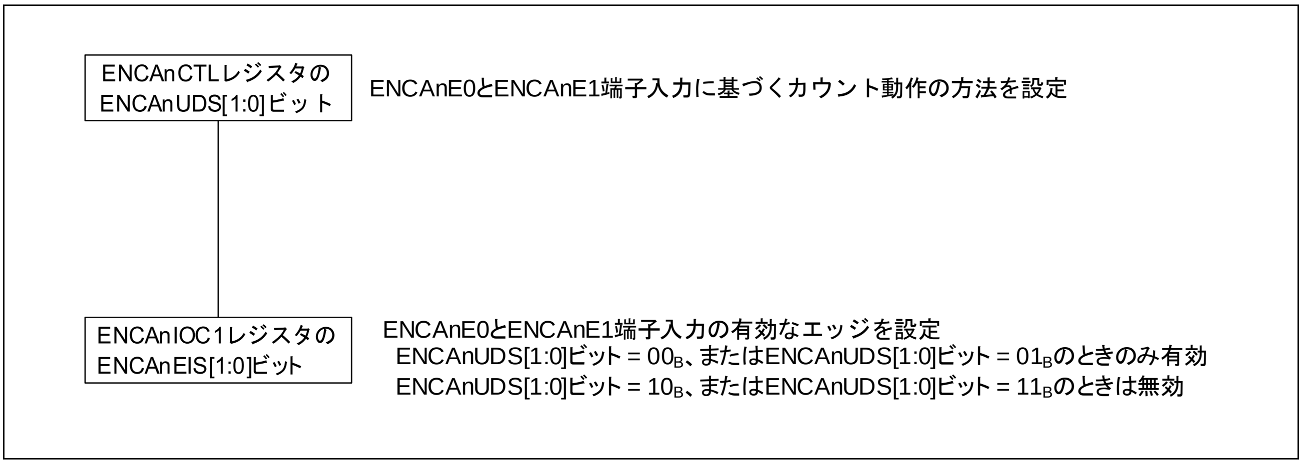


図 35.7　カウンタの初期設定手順

35.5.1.2　カウンタクリアのための初期設定手順

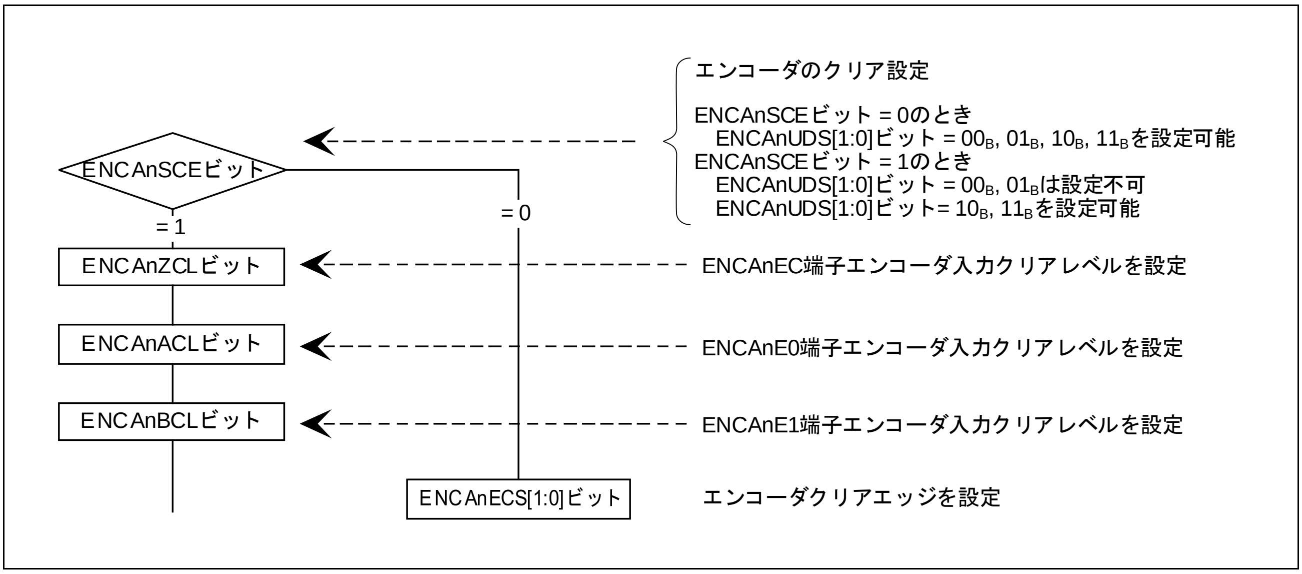


図 35.8　カウンタクリアのための初期設定手順

35.5.1.3　ENCAnCCR0 レジスタの設定手順

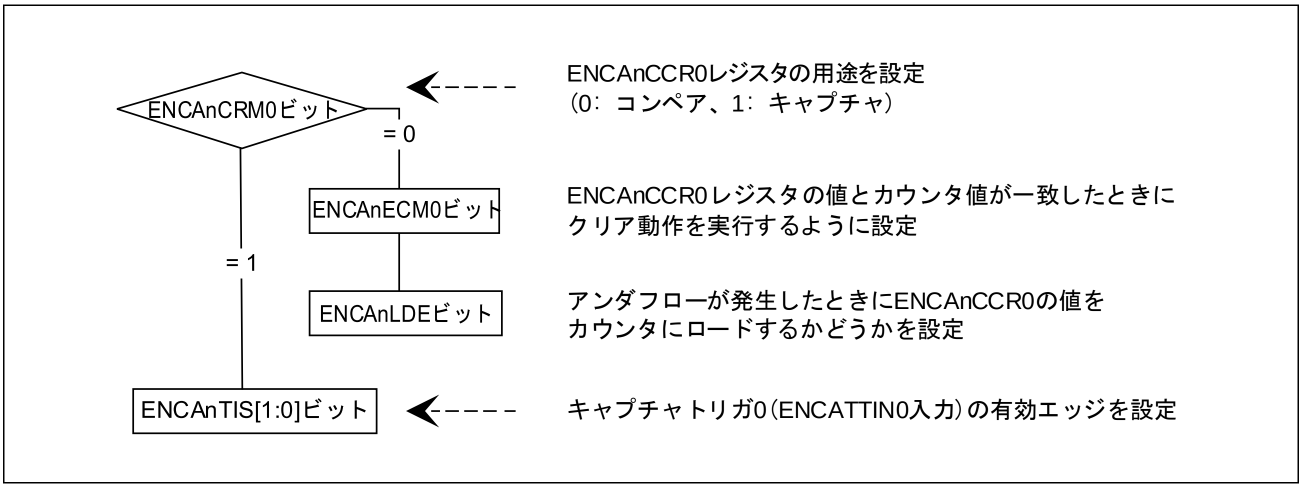


図 35.9　ENCAnCCR0 レジスタの設定手順

35.5.1.4　ENCAnCCR1 レジスタの設定手順

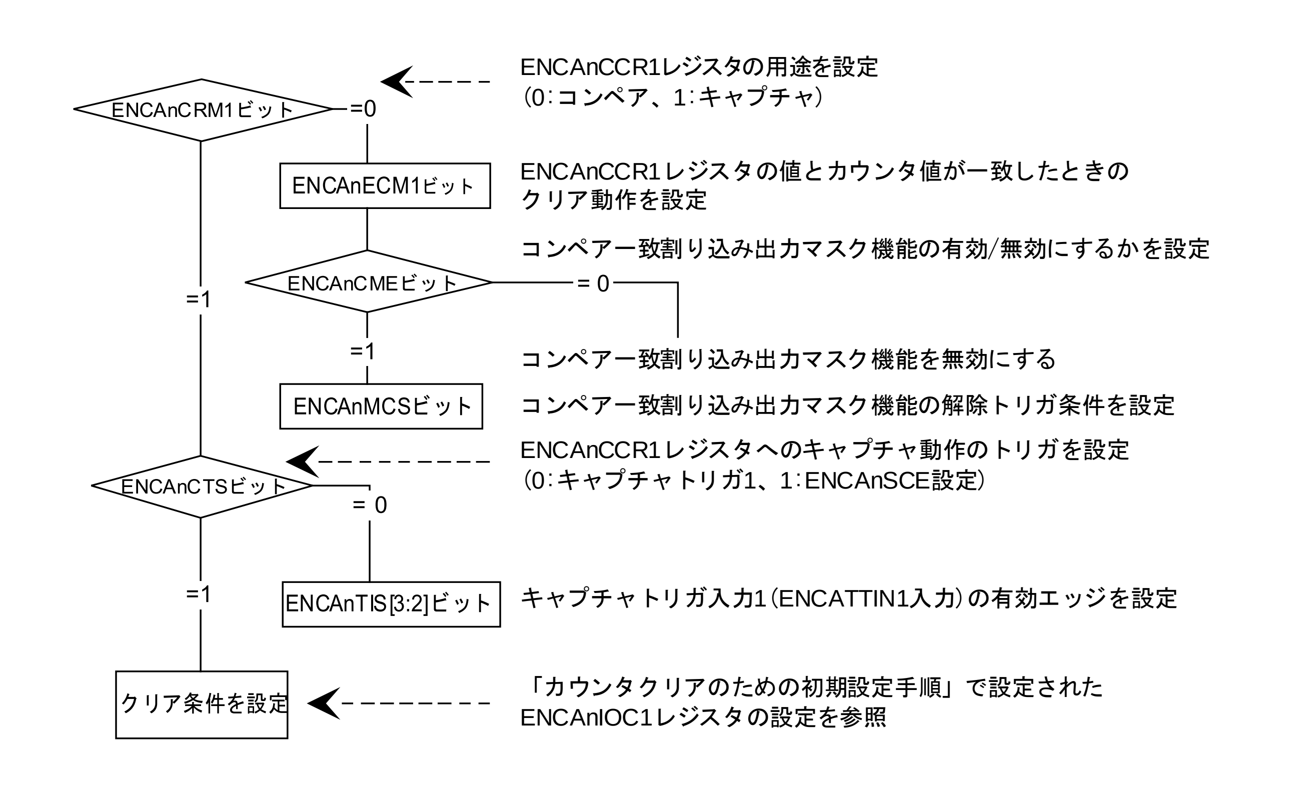


図 35.10　ENCAnCCR1 レジスタの設定手順

35.6　タイミング図

35.6.1　オーバフローの発生とオーバフローフラグクリア操作

カウンタ値が $FFFF_H$ のときにアップカウントが実行されると、オーバフローが発生します。

オーバフローが発生すると、オーバフロー割り込み（ENCATIOV）が出力され、オーバフローフラグ（ENCAnOVF）が“1”にセットされます。オーバフロークリアビット（ENCAnCLOV）が“1”にセットされると、オーバフローフラグ（ENCAnOVF）が“0”にクリアされます。

オーバフロー発生とオーバフローフラグクリアの動作について説明します。

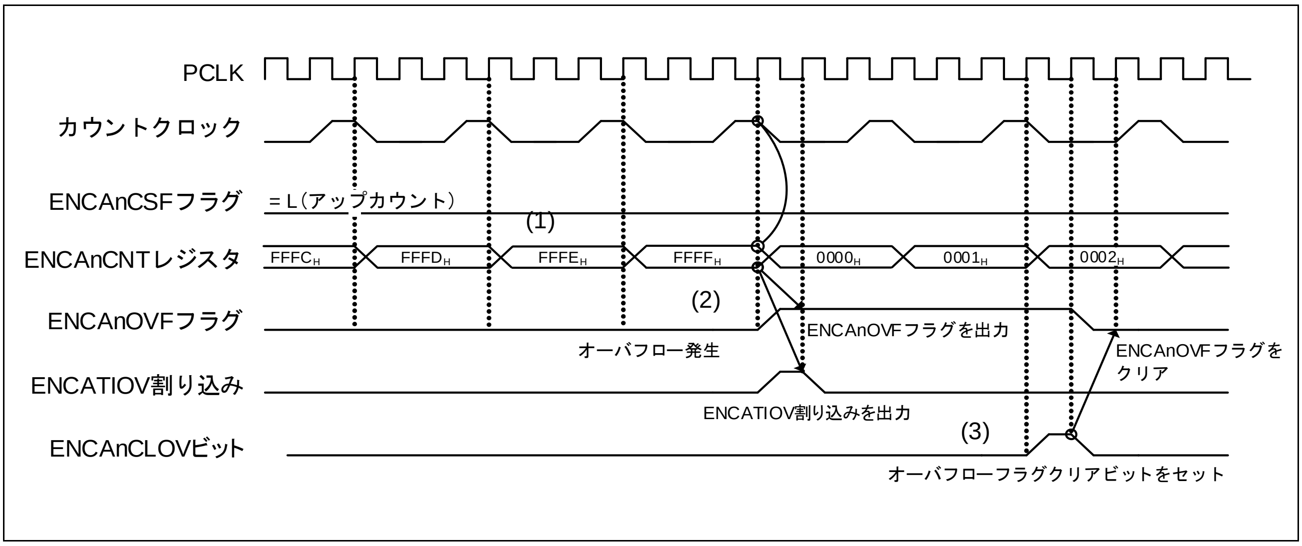


図 35.11　オーバフローの発生とオーバフローフラグクリアの設定

(1) カウント値が $FFFE_H$ から $FFFF_H$ にアップカウントします。

(2) カウント値が $FFFF_H$ から 0000_H に変化するとオーバフローが発生します。同時に、オーバフロー割り込みが出力され、オーバフローフラグが“1”にセットされます。

(3) オーバフローフラグのクリア方法で、ENCAnFGC レジスタの ENCAnCLOV ビットを“1”にセットすることで“0”にクリアされます。また、ENCAnTE レジスタの ENCAnTE ビット＝0 のときに ENCAnTS レジスタの ENCAnTS ビットに“1”を設定するか、ENCATSST（同時スタートトリガ入力）の入力信号を“ハイレベル”にすることでもオーバフローフラグはクリアされます。

35.6.2　アンダフローの発生とアンダフローフラグクリア操作

カウンタ値が 0000_H のときにダウンカウントが実行されると、アンダフローが発生します。

アンダフローが発生すると、アンダフロー割り込み（ENCATIUD）が出力され、アンダフローフラグ（ENCAnUDF）が“1”にセットされます。アンダフロークリアビット（ENCAnCLUD）が“1”にセットされると、アンダフローフラグ（ENCAnUDF）が“0”にクリアされます。

アンダフロー発生とアンダフローフラグクリアの動作について説明します。

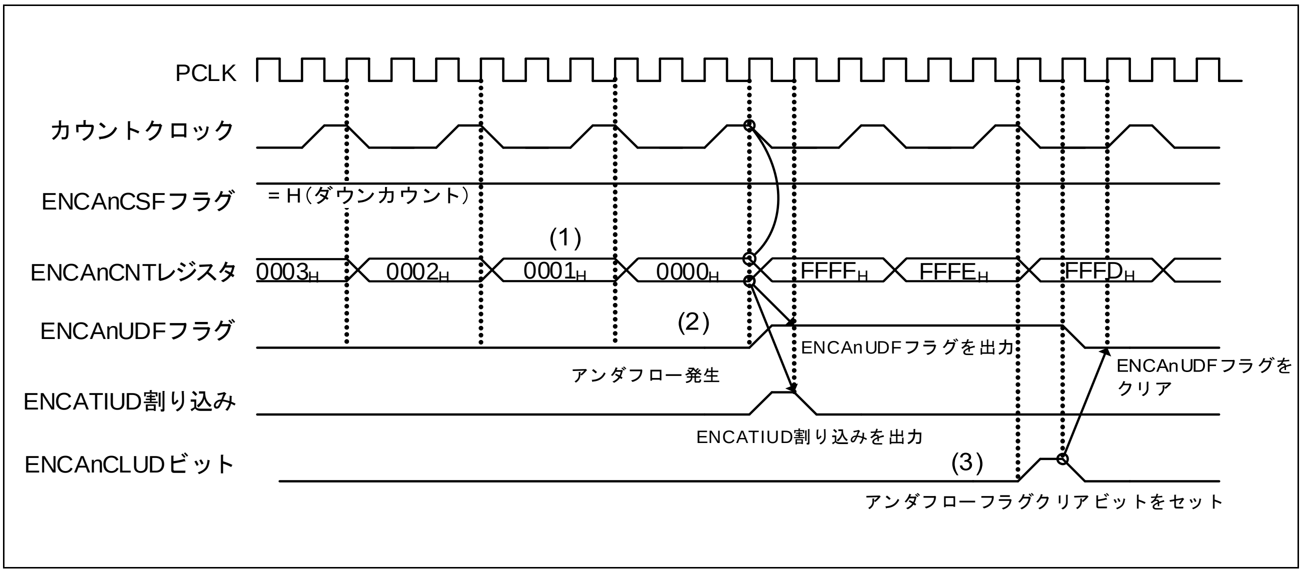


図 35.12　アンダフローの発生とアンダフローフラグクリアの設定

(1) カウント値が 0001_H から 0000_H にダウンカウントします。

(2) カウント値が 0000_H から $FFFF_H$ に変化するとアンダフローが発生します。同時に、アンダフロー割り込みが出力され、アンダフローフラグが“1”にセットされます。

(3) アンダフローフラグのクリア方法で、ENCAnFGC レジスタの ENCAnCLUD ビットを“1”にセットすることで“0”にクリアされます。また、ENCAnTE レジスタの ENCAnTE ビット＝0 のときに ENCAnTS レジスタの ENCAnTS ビットに“1”を設定するか、ENCATSST（同時スタートトリガ）の入力信号を“ハイレベル”にすることでもオーバフローフラグはクリアされます。

35.6.3　エンコーダクリア入力（ENCAnEC 端子）によるカウントクリアとキャプチャ動作

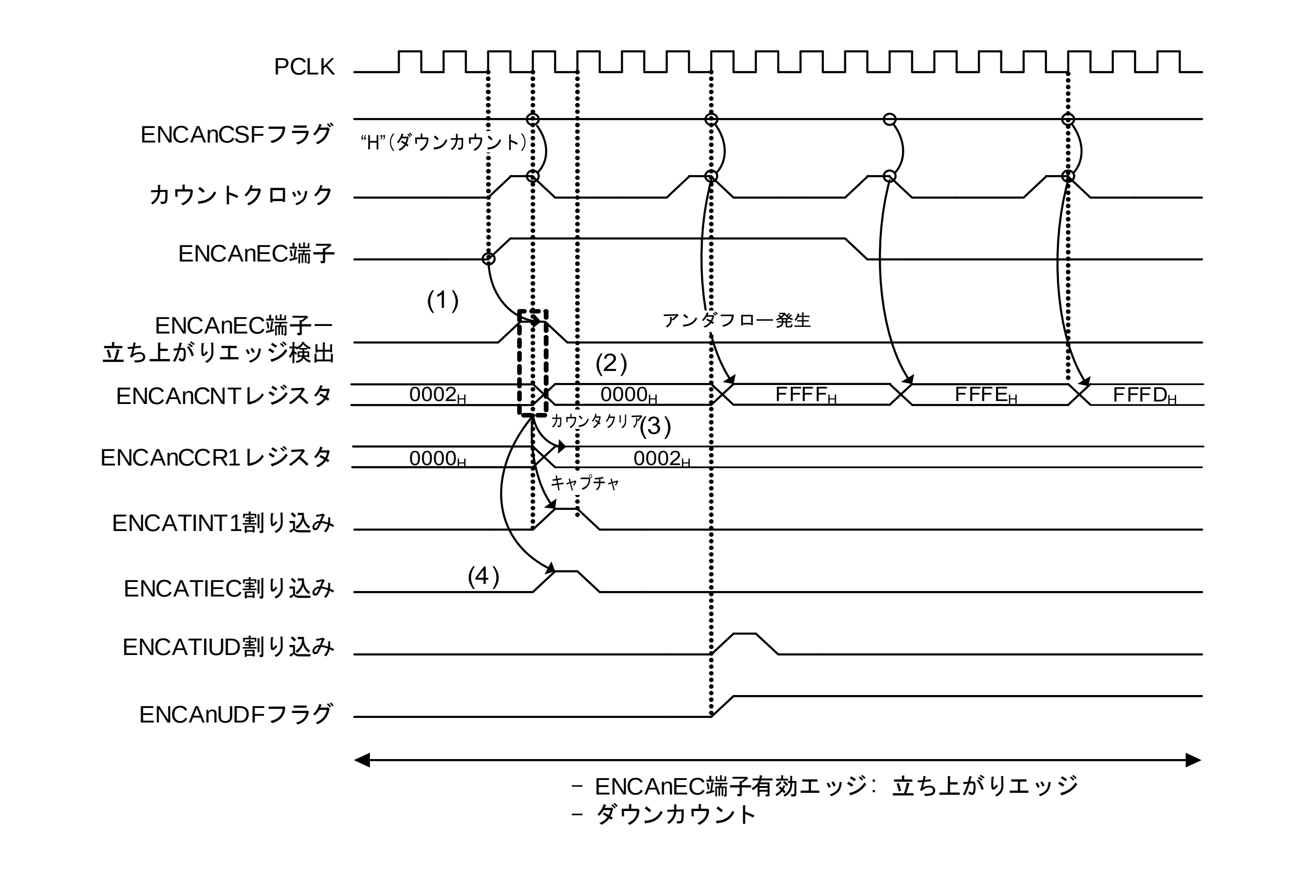


図 35.13　エンコーダクリア入力（ENCAnEC 端子）によるカウントクリアとキャプチャ動作のタイミング図

設定条件

- ENCAnCTL レジスタの ENCAnCRM1 ビット＝1
  （ENCAnCCR1 レジスタをキャプチャとして選択）
- ENCAnCTL レジスタの ENCAnCTS ビット＝1
  （ENCAnEC 端子入力をキャプチャトリガ入力として選択）
- ENCAnIOC1 レジスタの ENCAnECS[1:0]ビット＝01_B
  （ENCAnEC 端子入力の立ち上がりエッジ検出として選択）

(1) ENCAnEC 端子入力トリガの立ち上がりエッジでキャプチャ動作が実行されます。

(2) ENCAnEC 端子の入力によるクリア動作が実行され、カウント値が 0000_H にセットされます。

(3) ENCAnEC 端子入力の立ち上がりエッジでカウンタ値（0002_H）が ENCAnCCR1 レジスタにキャプチャされます。

(4) 同時に、ENCAnEC 端子の入力によるクリア割り込み（ENCATIEC）とキャプチャ割り込み（ENCATINT1）が出力されます。

35.6.4　オーバフローの発生とエンコーダクリア入力（ENCAnEC 端子）によるクリア動作との競合

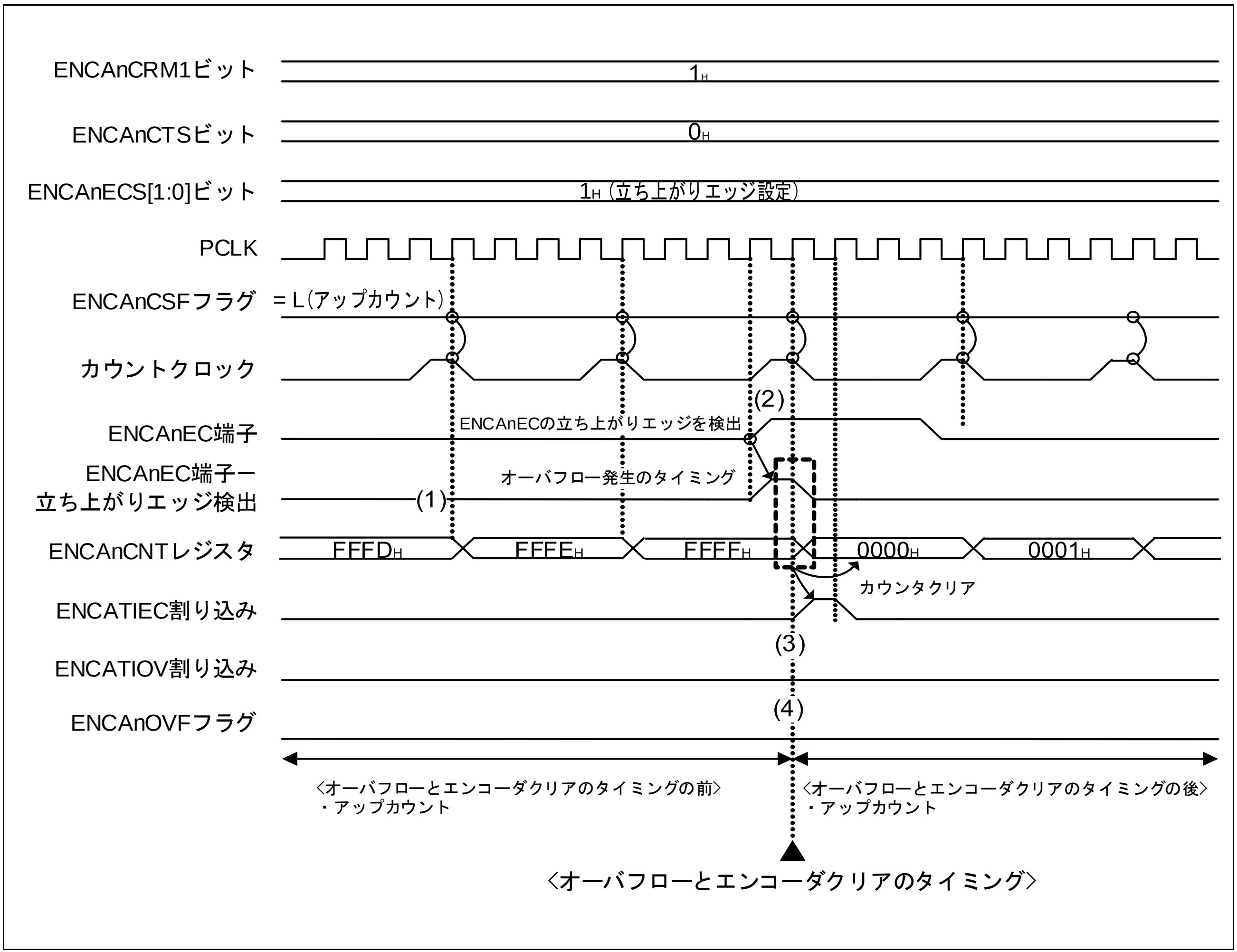


図 35.14　オーバフローの発生とエンコーダクリア入力（ENCAnEC 端子）によるクリア動作との競合

(1) FFFD$_H$ からのアップカウントが継続的に実行されます。

(2) カウント値 FFFF$_H$ でオーバフローが発生すると同時に ENCAnEC の立ち上がりエッジが検出されると、エンコーダクリア入力によるクリア動作が実行されます。カウンタ値が 0000$_H$ にクリアされます。

(3) エンコーダクリア入力によるカウンタ値のクリアが実行されると同時に、エンコーダクリア入力によるクリア割り込み（ENCATIEC）が出力されます。エンコーダクリア入力によるクリアがオーバフローの発生と同時に行われるため、オーバフロー割り込みは出力されません（オーバフローは発生しません。エンコーダクリア入力によるクリアが実行されます）。

(4) ステップ（3）と同様にオーバフローが発生しないため、オーバフローフラグもセットされません。

35.6.5　アンダフローの発生とエンコーダクリア入力（ENCAnEC 端子）によるクリア動作との競合

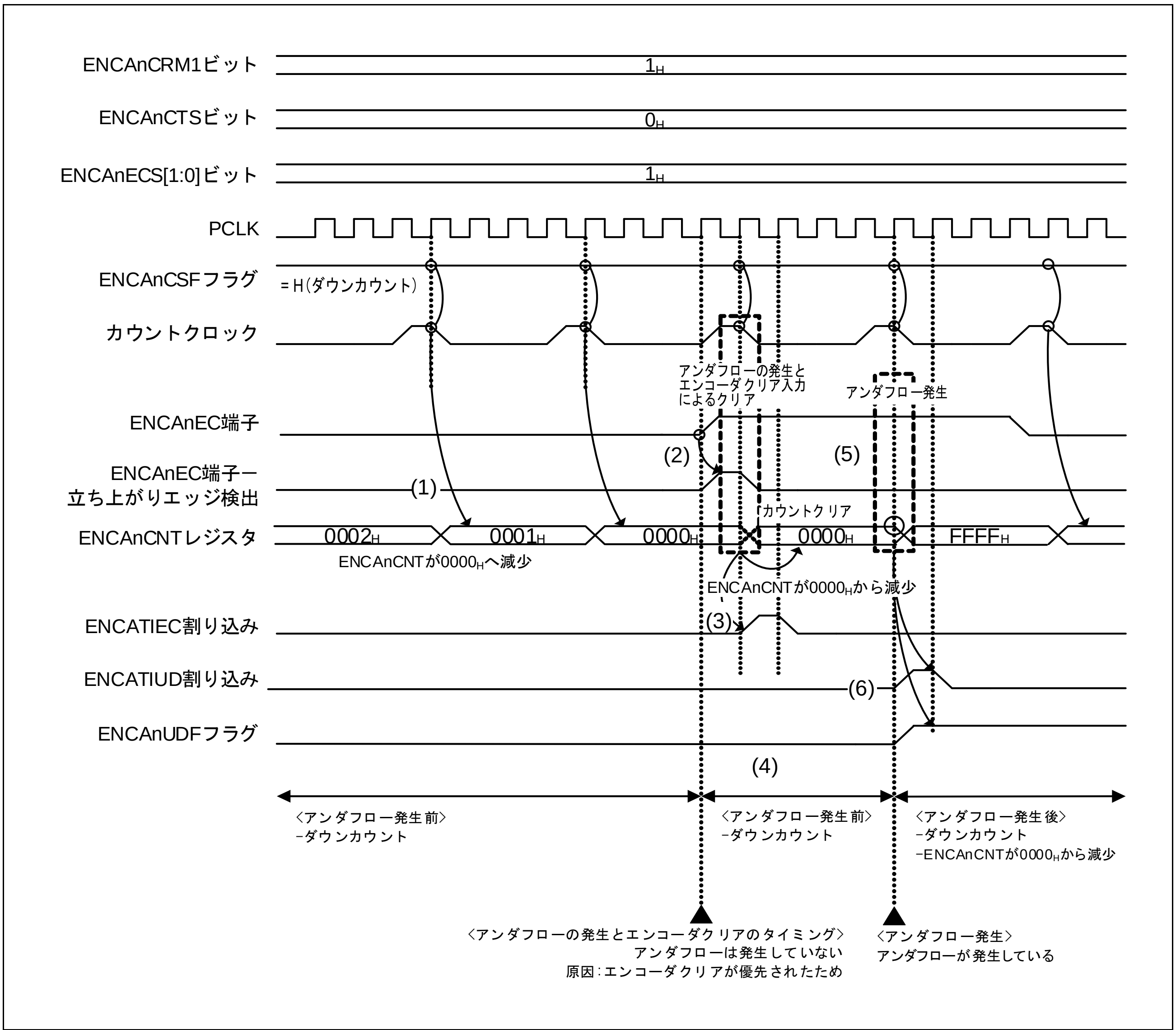


図 35.15　アンダフローの発生とエンコーダクリア入力（ENCAnEC 端子）によるクリア動作との競合

(1)　0002_H からのダウンカウントが継続的に実行されます。

(2)　カウント値 0000_H でアンダフローが発生すると同時に ENCAnEC の立ち上がりエッジが検出されると、エンコーダクリア入力によるクリア動作が実行されます。クリア動作中に次のクロック信号が入力されても、カウンタ値は 0000_H のまま変わりません。

(3)　エンコーダクリア入力によるカウンタ値のクリアが実行されると同時に、エンコーダクリア割り込み（ENCATIEC）が出力されます。エンコーダクリア入力によるクリアがアンダフローの発生と同時に行われるため、アンダフロー割り込みは出力されません（アンダフローは発生しません。エンコーダクリア入力によるクリアが実行されます）。

(4)　ステップ（3）と同様にアンダフローが発生しないため、アンダフローフラグもセットされません。

(5)　エンコーダクリア入力によるクリア動作によってカウンタ値が 0000_H になったあと、さらにダウンカウントが行われることで、カウンタ値が 0000_H から $FFFF_H$ へ変化し、アンダフローが発生します。

(6) アンダフローが発生すると、アンダフロー割り込み（ENCATIUD）が出力され、アンダフローフラグ（ENCAnUDF）がセットされます。

35.6.6 開始直後のオーバフロー動作

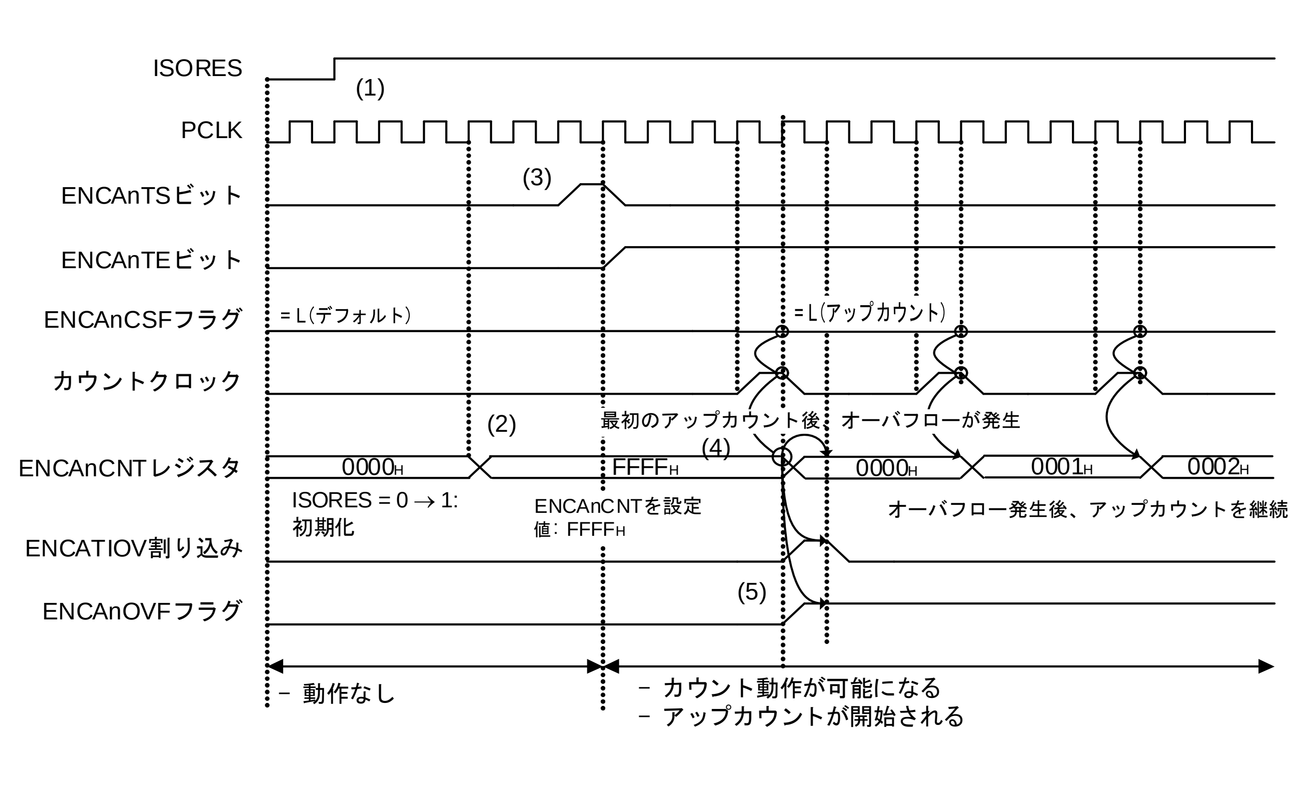


図 35.16 開始直後のオーバフロー動作

(1) ISORES の値が“0”から“1”に変わると、ステータスがリセットからリセット解除されます。

(2) FFFF$_H$ がタイマカウンタに初期設定値として設定されます。

(3) ENCAnTS が“1”にセットされ、動作が開始されます。ENCAnTE が“1”になり、動作が可能になったことを示します。

(4) 初期設定されたカウント値である FFFF$_H$ からのアップカウントが実行されることで、カウンタ値が FFFF$_H$ から 0000$_H$ へ変化し、動作開始直後にオーバフローが発生します。

(5) 同時に、動作開始直後のオーバフローの発生によって、オーバフロー割り込み（ENCATIOV）が出力され、オーバフローフラグ（ENCAnOVF）がセットされます。

35.6.7　開始直後のアンダフロー動作

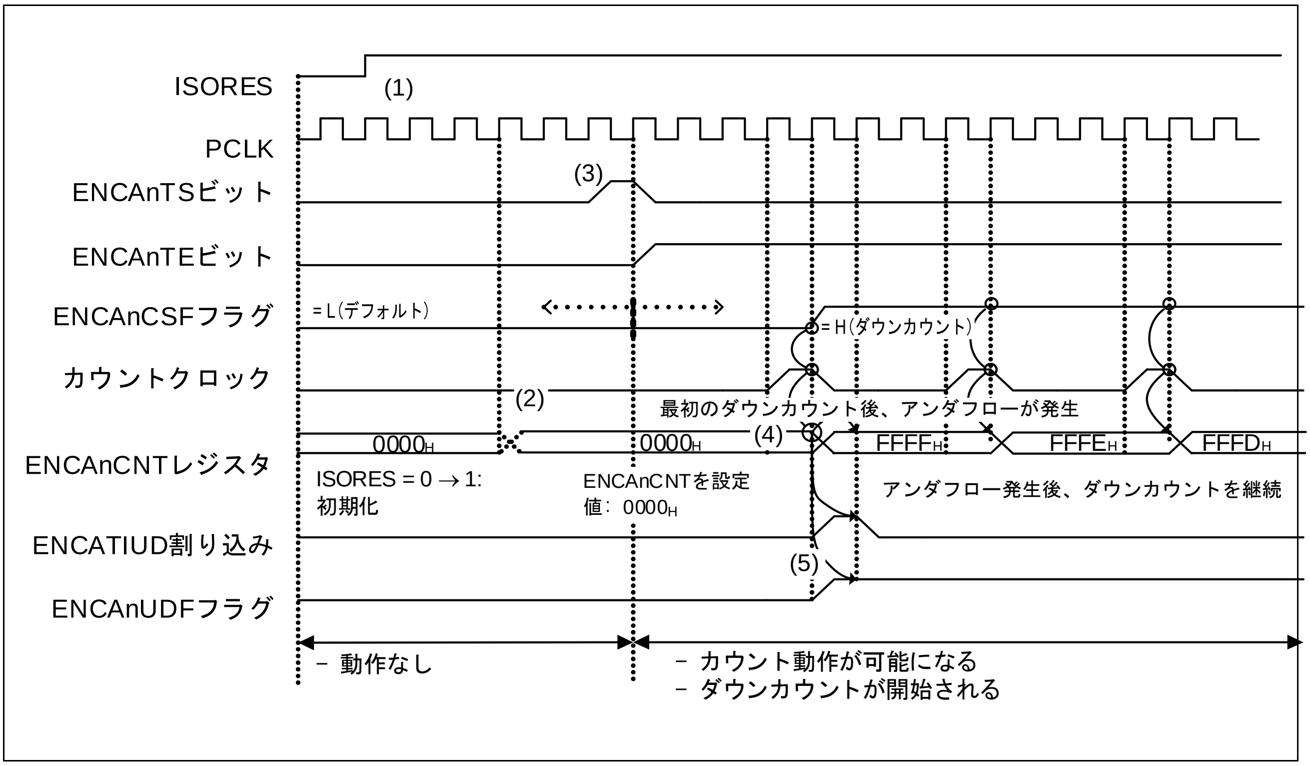


図 35.17　開始直後のアンダフロー動作

(1) ISORES の値が“0”から“1”に変わると、ステータスがリセットからリセット解除されます。

(2) 0000_H がタイマカウンタに初期設定値として設定されます。

(3) ENCAnTS が“1”にセットされ、動作が開始されます。ENCAnTE が“1”になり、動作が可能になったことを示します。

(4) 初期設定されたカウント値である 0000_H からのダウンカウントが実行されることで、カウンタ値が 0000_H から $FFFF_H$ へ変化し、動作開始直後にアンダフローが発生します。

(5) 同時に、動作開始直後のアンダフローの発生によって、アンダフロー割り込み（ENCATIUD）が出力され、アンダフローフラグ（ENCAnUDF）がセットされます。

35.6.8 開始直後の ENCAnLDE 機能の利用

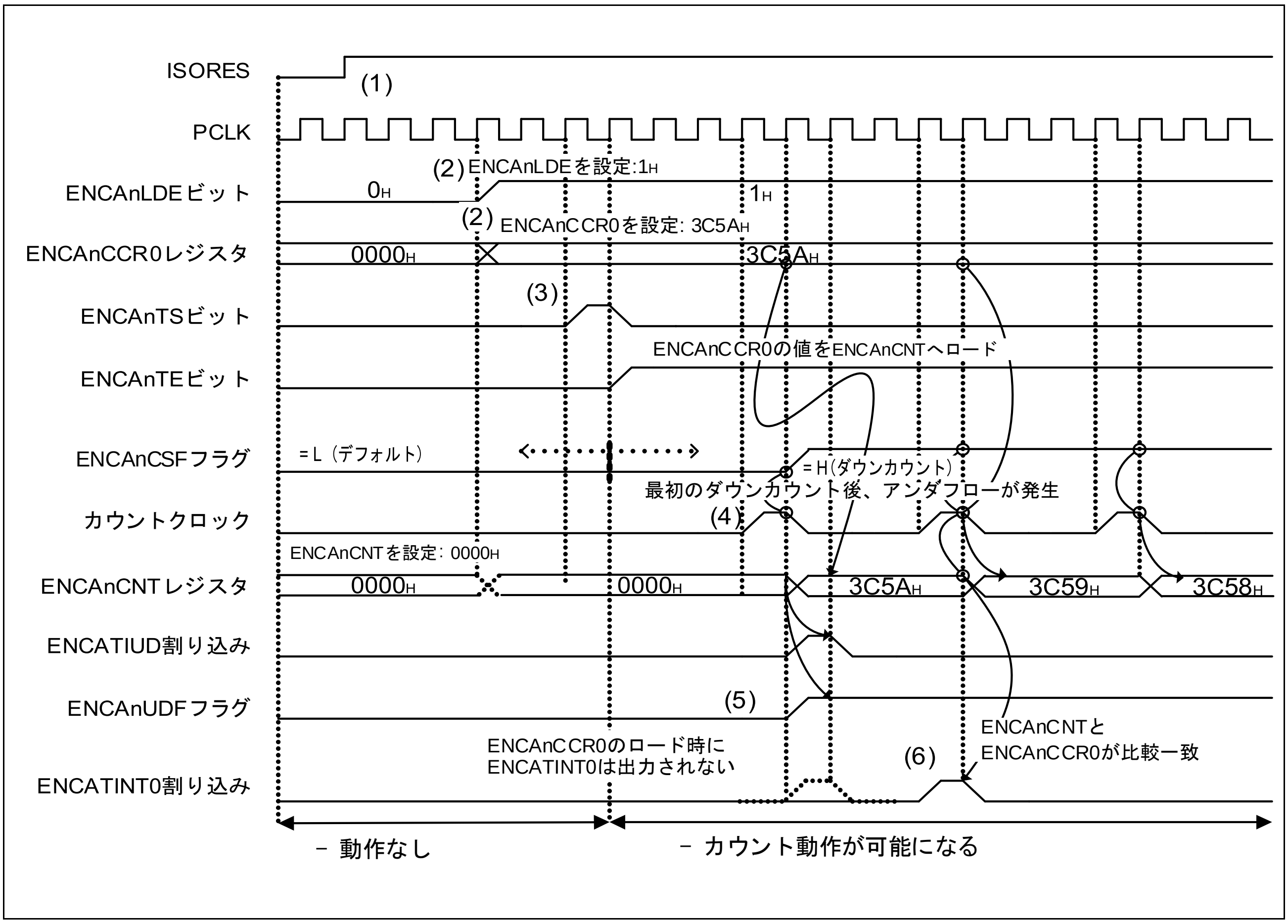


図 35.18　開始直後の ENCAnLDE 機能の利用

(1) ISORES の値が“0”から“1”に変わると、ステータスがリセットからリセット解除されます。

(2) ロードドイネーブルビット（ENCAnLDE）が“1”にセットされ、キャプチャ／コンペアレジスタ 0（ENCAnCCR0）が 3C5A$_H$ に設定され、タイマカウンタが初期設定値 0000$_H$ に設定されます。

(3) ENCAnTS が“1”にセットされ、動作が開始されます。ENCAnTE が“1”になり、動作が可能になったことを示します。

(4) 初期設定されたカウント値である 0000$_H$ からのダウンカウントが実行されることで、動作開始直後にアンダフローが発生します。ENCAnLDE が“1”にセットされているため、ENCAnCCR0 の値である 3C5A$_H$ がタイマカウンタにロードされます（ENCATINT0 はロード時に出力されません）。

(5) 同時に、動作開始直後のアンダフローの発生によって、アンダフロー割り込み（ENCATIUD）が出力され、アンダフローフラグ（ENCAnUDF）がセットされます（アンダフローが発生した後、ロードされた値（3C5A$_H$）からのダウンカウント動作が継続します）。

(6) ENCAnCCR0 の値が ENCAnCNT にロードされたあと、ENCAnCCR0 との一致が検出され、ENCATINT0 が出力されます。

35.6.9 ENCAnLDE 機能（カウント値のロード）

(1) <ENCAnLDE＝0 の場合>

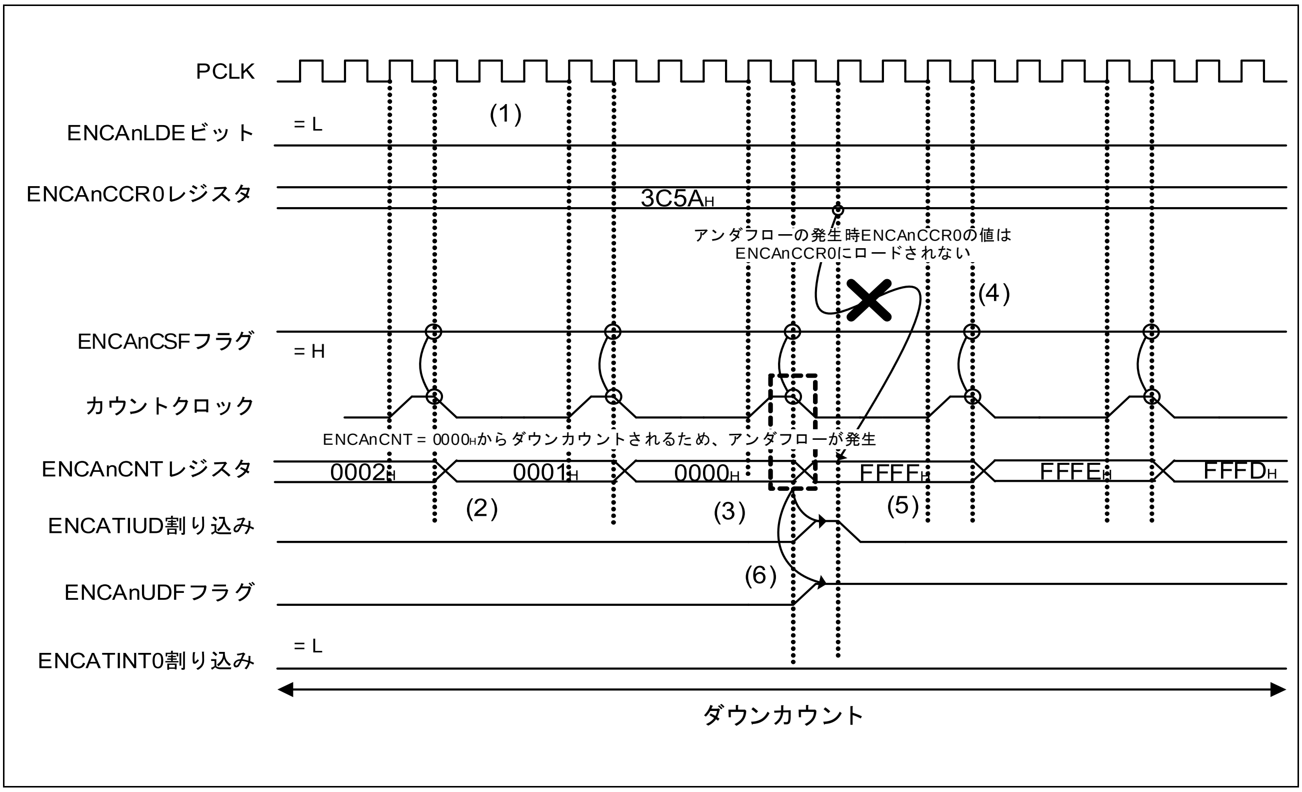


図 35.19 ENCAnLDE 機能（ENCAnLDE＝0 の場合）

(1) ENCAnLDE が“0”に設定されています（アンダフローが発生しても、ENCAnCCR0 の値はロードされません）。

(2) ダウンカウントが実行されます：0002_H→0001_H→0000_H

(3) カウンタ値が 0000_H になったあと、さらにダウンカウントが実行されることでアンダフローが発生します。

(4) ENCAnLDE が“0”に設定されているため、アンダフローが発生したときに ENCAnCCR0 レジスタの設定値はカウンタにロードされません。

(5) 動作がアンダフロー動作に変化します（カウンタ値：0000_H→$FFFF_H$）。

(6) アンダフロー割り込み（ENCATIUD）が出力され、アンダフローフラグ（ENCAnUDF）がセットされます。

(2) <ENCAnLDE＝1 の場合>

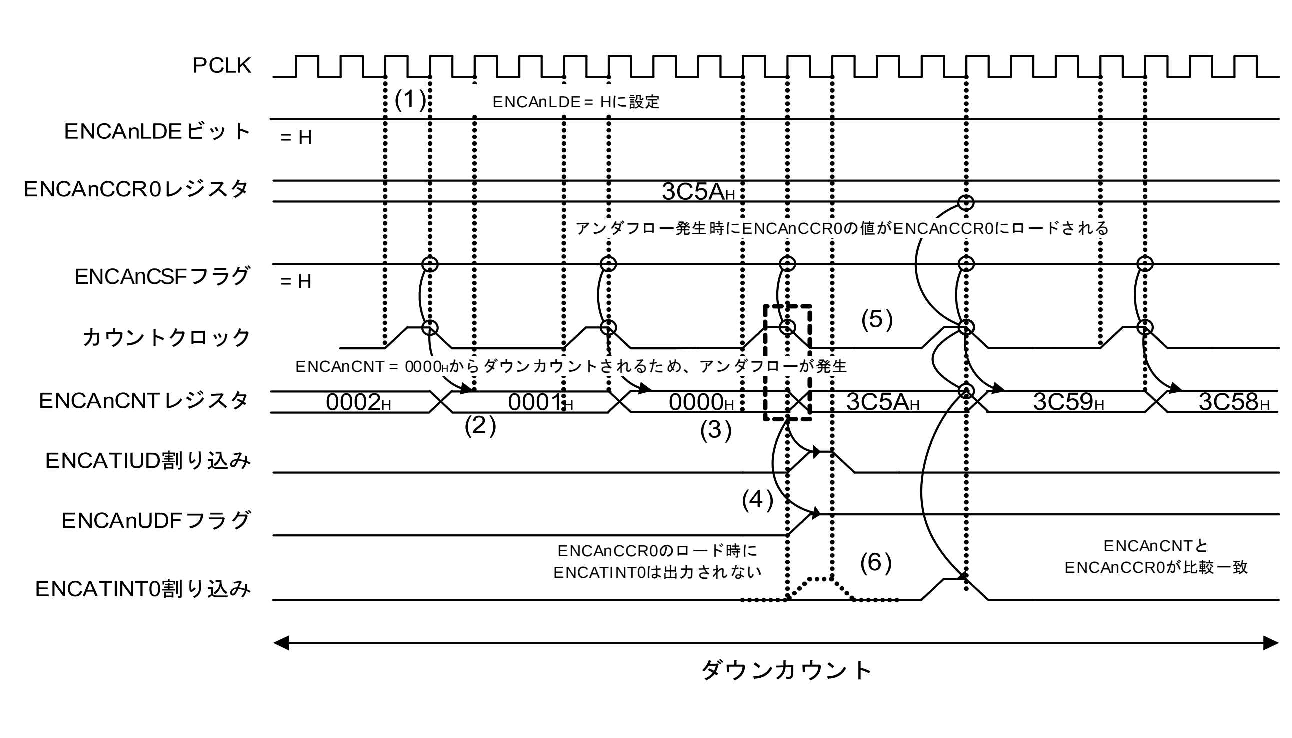


図 35.20　ENCAnLDE 機能（ENCAnLDE＝1 の場合）

(1) ENCAnLDE が “1” に設定されています（アンダフローが発生すると、ENCAnCCR0 の値がカウンタにロードされます）。

(2) ダウンカウントが実行されます：$0002_H \rightarrow 0001_H \rightarrow 0000_H$

(3) カウンタ値が 0000_H になったあと、さらにダウンカウントが実行されることでアンダフローが発生します。

(4) アンダフロー割り込みが出力され、アンダフローフラグがセットされます。

(5) ENCAnLDE が “1” にセットされているため、アンダフローが発生すると ENCAnCCR0 レジスタの設定値がカウンタにロードされます。ENCAnCNT が $3C5A_H$ に設定されます。

(6) ENCAnCCR0 の値が ENCAnCNT に設定された後、ENCAnCNT の値と ENCAnCCR0 の値がカウントクロックで一致すれば、コンペア一致割り込み（ENCATINT0）が出力されます。

35.6.10　ENCAnLDE 機能（カウンタ値のロード）と ENCAnCCR0 レジスタの書き換えとの競合

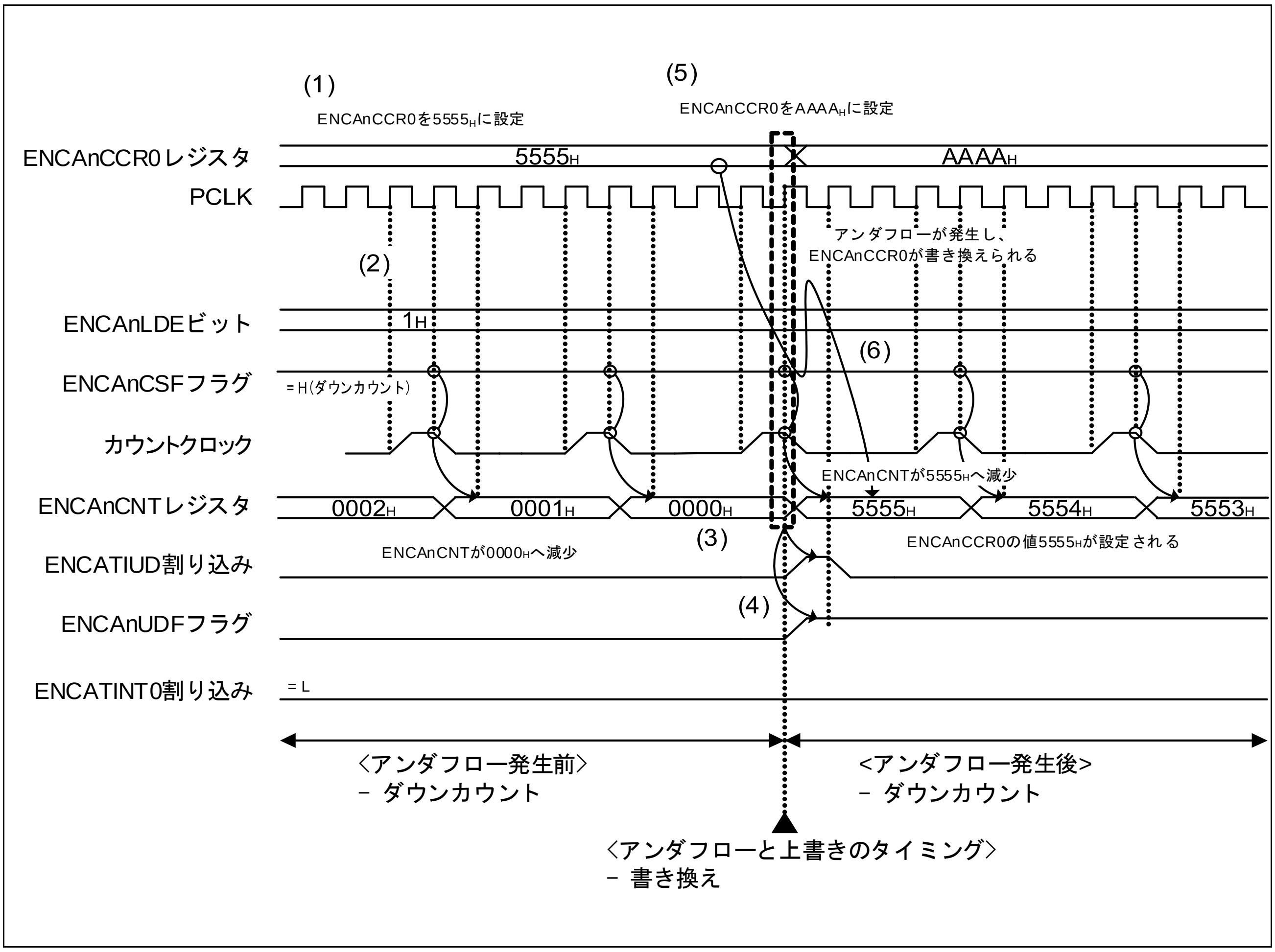


図 35.21　ENCAnLDE 機能と ENCAnCCR0 レジスタの書き換えとの競合

(1) ENCAnCCR0 レジスタは、現在 5555_H に設定されています。

(2) ENCAnLDE は現在“1”にセットされています。

(3) $0002_H \rightarrow 0001_H \rightarrow 0000_H$ とダウンカウントが実行され、アンダフローが発生します。

(4) アンダフロー割り込み（ENCATIUD）が出力され、アンダフローフラグ（ENCAnUDF）がセットされます。

(5) アンダフローが発生すると同時に、ENCAnCCR0 レジスタの値が 5555_H から $AAAA_H$ に書き換えられます。

(6) さらに、アンダフローが発生すると同時に、書き換えられる前の ENCAnCCR0 の値（5555_H）が ENCAnCNT に設定されます。

35.6.11　ENCAnLDE 機能（カウンタ値のロード）とエンコーダクリア入力（ENCAnEC 端子）の入力によるクリア動作との競合

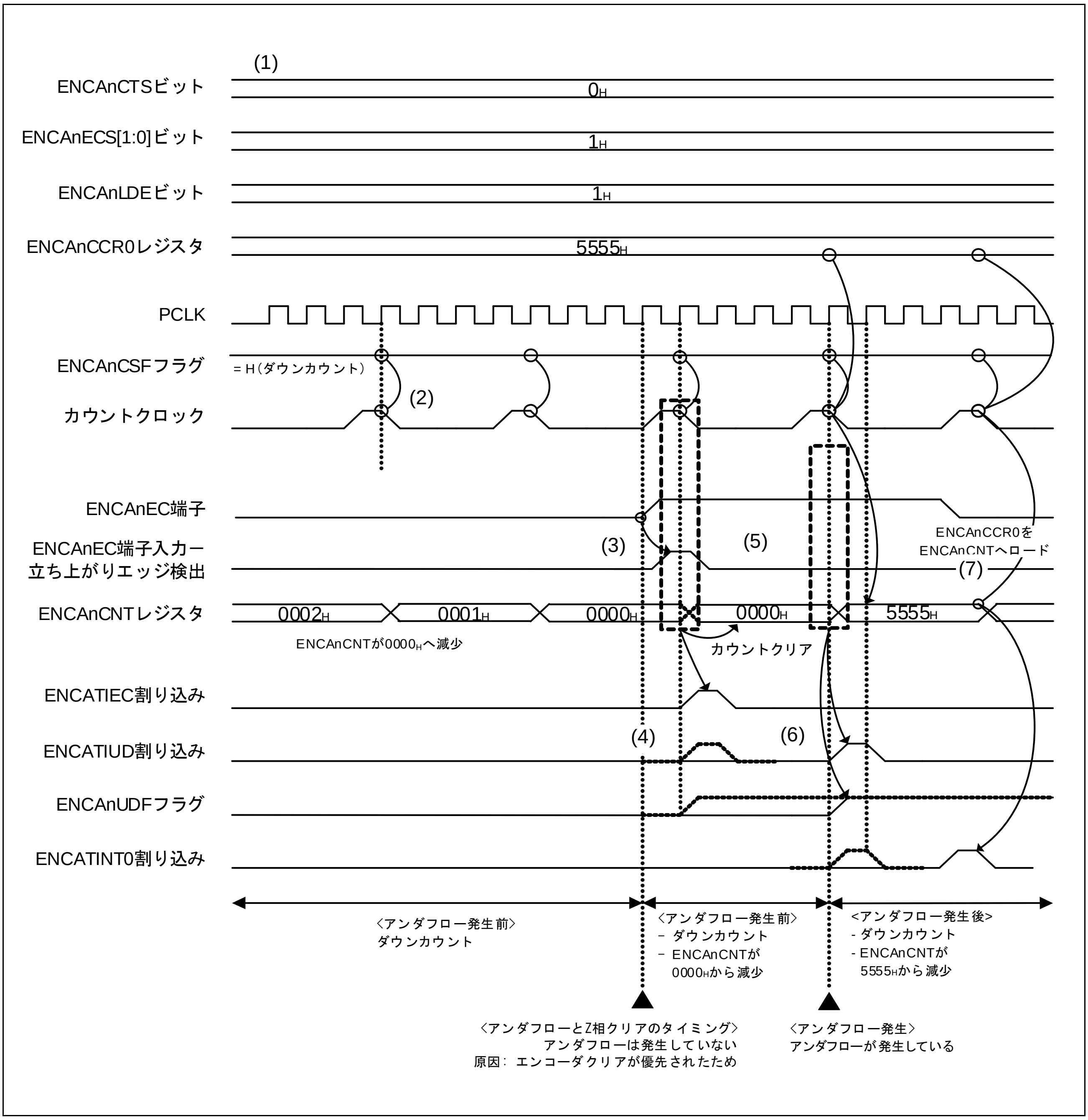


図 35.22　ENCAnLDE 機能とエンコーダクリア入力によるクリア動作との競合

(1) 以下の値が設定されています。ENCAnCTS＝0、ENCAnECS[1:0]＝01_B、ENCAnLDE＝1、ENCAnCCR0＝5555_H。

(2) ダウンカウントが実行されます：0002_H→0001_H→0000_H。

(3) カウント値が 0000_H になったときに ENCAnEC 端子の立ち上がりエッジが検出され、エンコーダクリア入力によるクリアが実行されます。

(4) カウント値が 0000_H に達したときにカウントクリアが実行されたため、エンコーダクリア入力によるカウンタクリア割り込み（ENCATIEC）が出力されます。さらに、カウント値 0000_H でダウンカウントが

行われなかったため、アンダフローは発生しません。したがって、アンダフロー割り込み（ENCATIUD）は出力されず、アンダフローフラグ（ENCAnUDF）もセットされません。

(5) エンコーダクリア入力によるクリアによってカウント値が 0000_H にクリアされたあと、ダウンカウントが実行され、アンダフローが発生します。

(6) アンダフロー割り込み（ENCATIUD）が出力され、アンダフローフラグ（ENCAnUDF）がセットされます。

(7) ENCAnLDE＝1 であるため、アンダフローが発生すると ENCAnCCR0 の値が ENCAnCNT にロードされます。

(8) ENCAnCCR0 の値が ENCAnCNT に設定されたあと、カウントクロックに基づいてコンペア一致の検出が行われ、ENCAnCNT と ENCAnCCR0 が一致するとコンペア一致割り込み（ENCATINT0）が出力されます。

35.6.12　ENCAnLDE 機能（カウンタ値のロード）とエンコーダクリア入力によるクリア動作との競合があった後のアップカウント

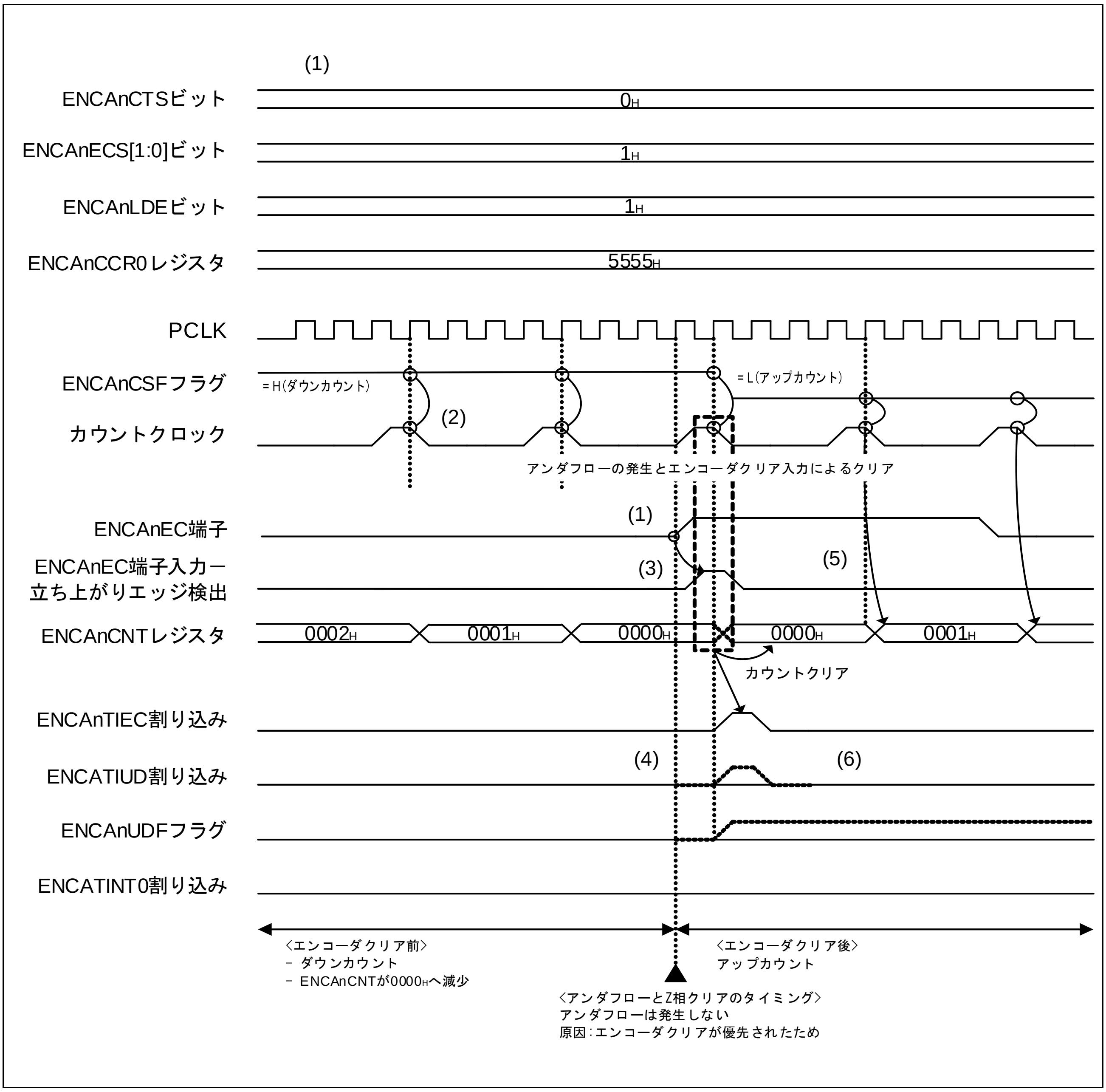


図 35.23　ENCAnLDE 機能とエンコーダクリアとの競合後のアップカウント

(1)　以下の値が設定されています。ENCAnCTS＝0、ENCAnECS[1:0]＝01_B、ENCAnLDE＝1、ENCAnCCR0＝5555_H。

(2)　ダウンカウントが実行されます：0002_H→0001_H→0000_H。

(3)　カウント値が 0000_H になったときに ENCAnEC 端子の立ち上がりエッジが検出され、エンコーダクリア入力によるクリアが実行されます。

(4)　カウント値が 0000_H に達したときにカウントクリアが実行されたため、エンコーダクリア入力によるカウンタクリア割り込み（ENCATIEC）が出力されます。さらに、カウント値 0000_H のときにダウンカウ

ントが行われなかったため、アンダフローは発生しません。したがって、アンダフロー割り込み（ENCATIUD）は出力されず、アンダフローフラグ（ENCAnUDF）もセットされません。

(5) エンコーダクリア入力によるクリアによってカウント値が 0000_H にクリアされたあと、アップカウントが実行されます。

(6) アンダフロー割り込み（ENCATIUD）は出力されず、アンダフローフラグ（ENCAnUDF）もセットされません。

35.6.13　カウントクロック間のキャプチャ動作（ENCAnCCR1）

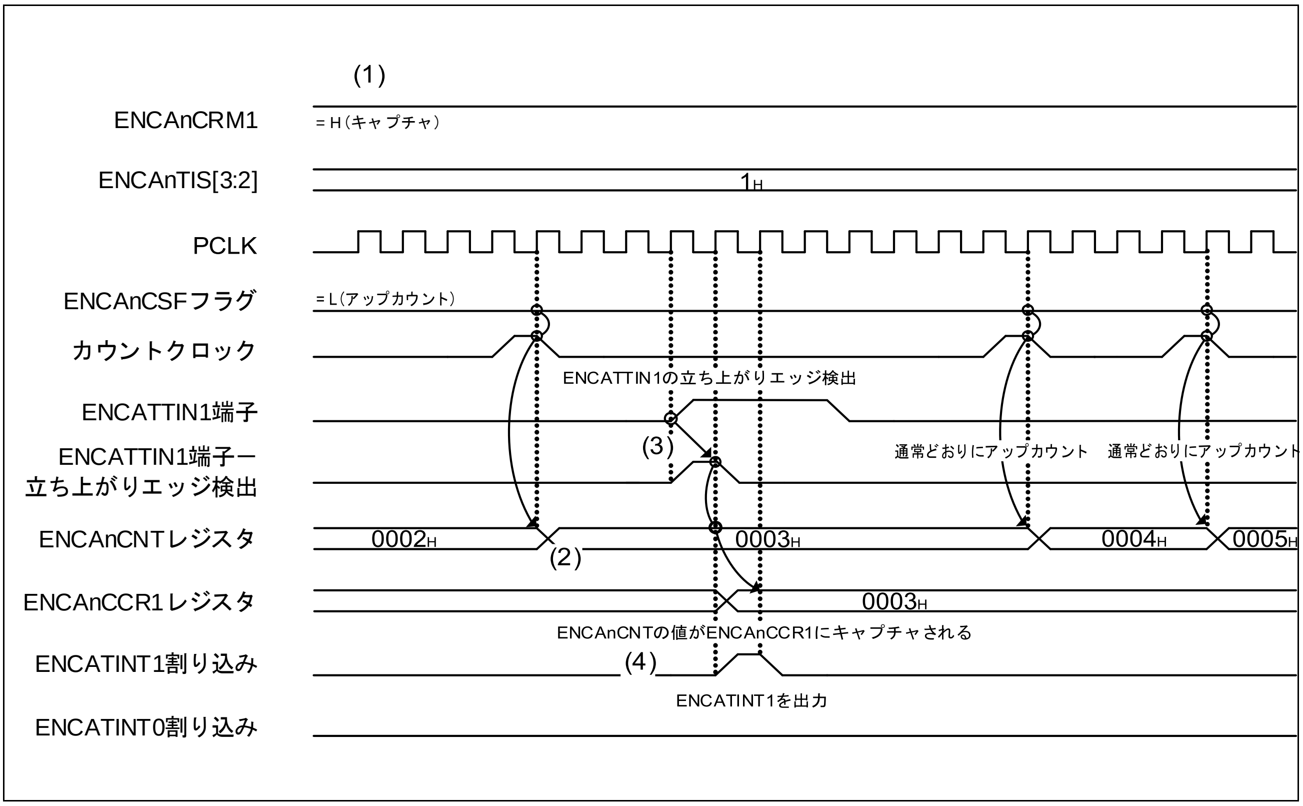


図 35.24　カウントクロック間のキャプチャ動作（ENCAnCCR1）

(1)　以下の値が設定されています。ENCAnCRM1＝1、ENCAnTIS[3:2]＝01_B。

(2)　アップカウントが実行されます。

(3)　NCATTIN1 入力の立ち上がりエッジが検出され、カウント値が ENCAnCCR1 にキャプチャされます。

(4)　ENCAnCCR1 レジスタへのキャプチャに対応する割り込み（ENCATINT1）が出力されます。

35.6.14　カウントクロック間のキャプチャ動作（ENCAnCCR0）

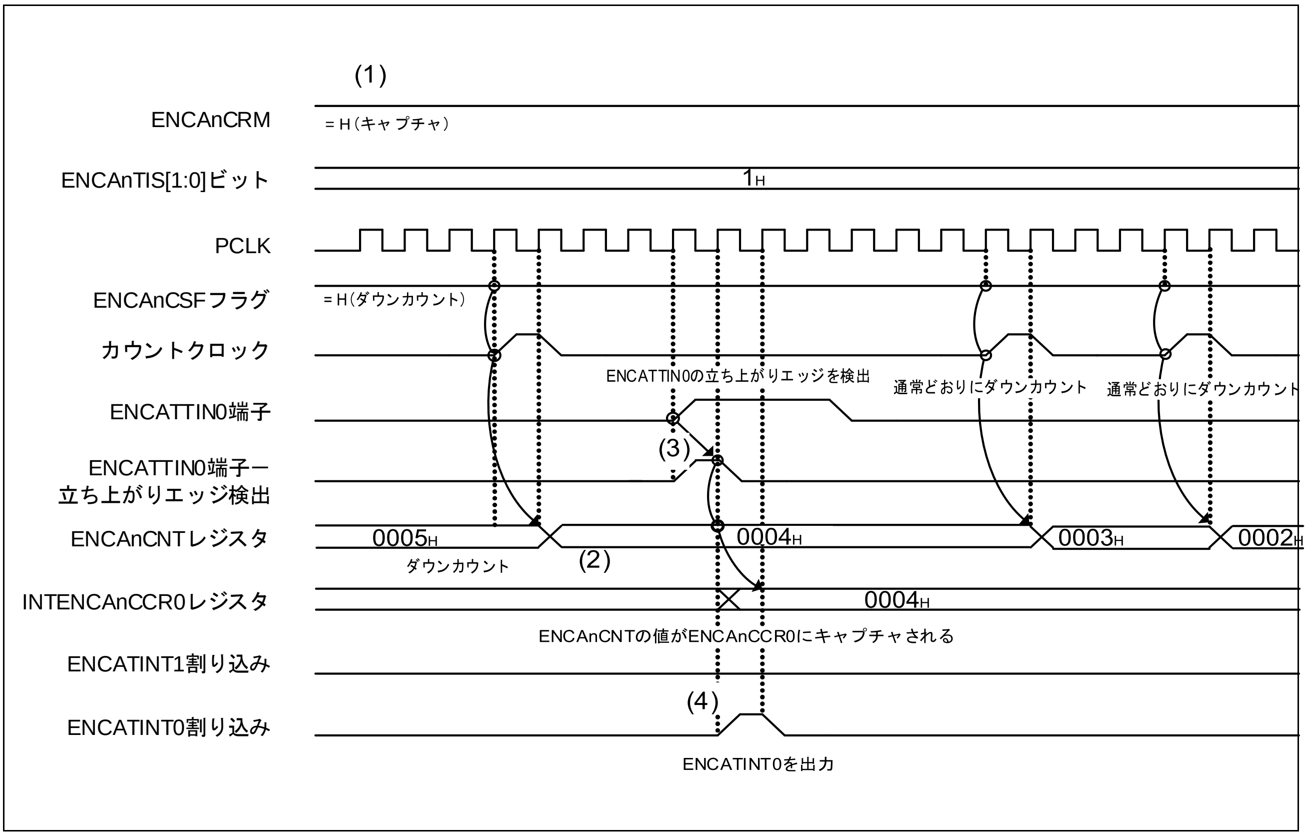


図 35.25　カウントクロック間のキャプチャ動作（ENCAnCCR0）

(1)　以下の値が設定されています。ENCAnCRM0＝1、ENCAnTIS[1:0]＝01_B。

(2)　ダウンカウントが実行されます。

(3)　ENCATTIN0 入力の立ち上がりエッジが検出され、カウント値が ENCAnCCR0 にキャプチャされます。

(4)　ENCAnCCR0 レジスタへのキャプチャに対応する割り込み（ENCATINT0）が出力されます。

35.6.15 コンペア一致クリア制御有効かつ ENCAnCTS＝0 のときのエンコーダの動作

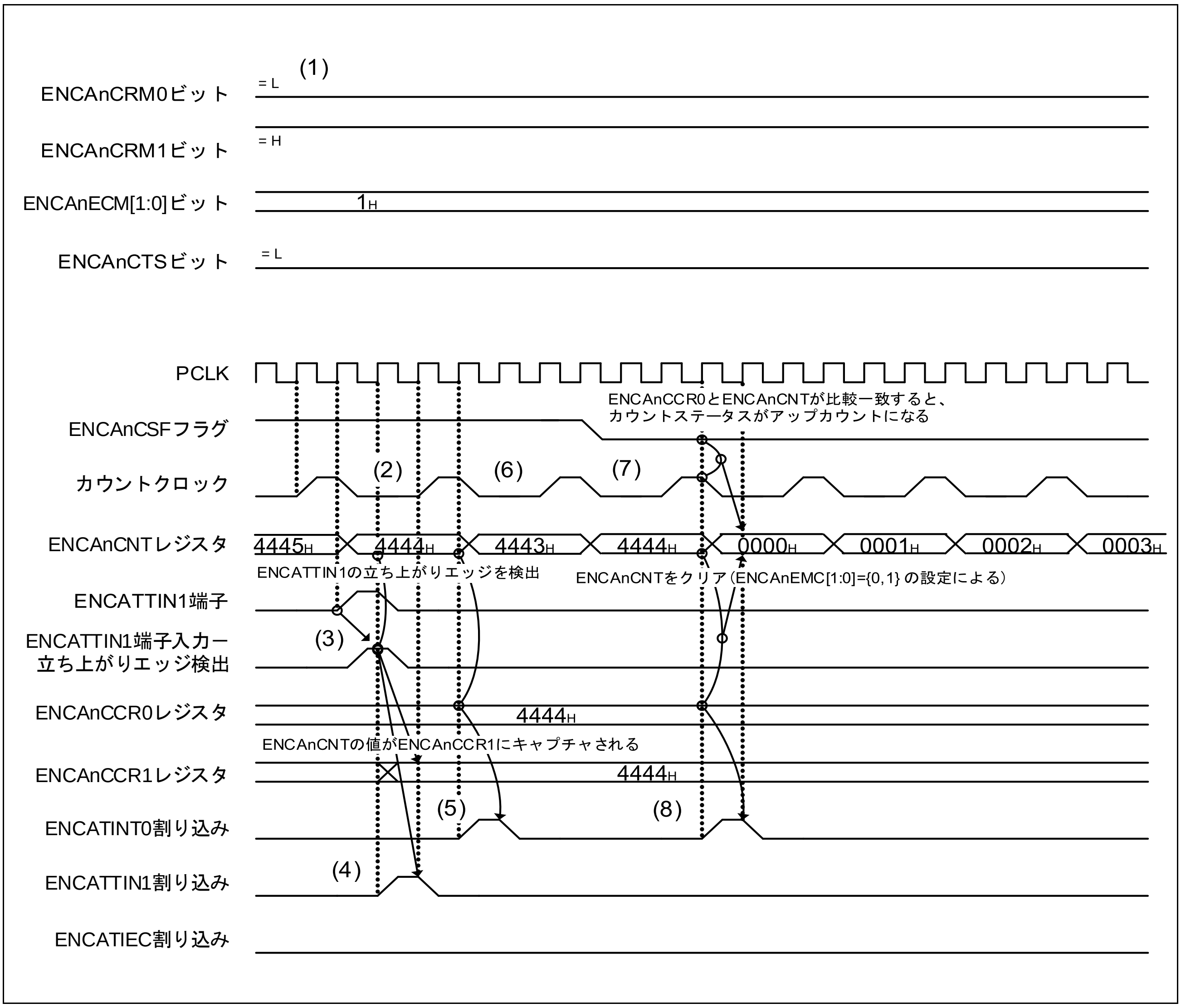


図 35.26 コンペア一致クリア制御有効かつ ENCAnCTS＝0 のときのエンコーダの動作

(1) 以下の値が設定されています。ENCAnCCR0＝4444$_H$、ENCAnCRM0＝0、ENCAnCRM1＝1、ENCAnECM[1:0]＝01$_B$、ENCAnCTS＝0。

(2) ダウンカウントが実行されます。

(3) ENCATTIN1 の立ち上がりエッジが検出され、ENCAnCNT の値 4444$_H$ が ENCAnCCR1 レジスタにキャプチャされます。

(4) ENCAnCCR1 へのキャプチャに対応する割り込み（ENCATINT1）が出力されます。

(5) ENCAnCNT（4445$_H$ から 4444$_H$ へダウンカウントされる）と ENCAnCCR0（4444$_H$）がコンペア一致すると、ENCAnCCR0 とのコンペア一致割り込み（ENCATINT0）が出力されます。

(6) カウント動作がアップカウントに変わります。

(7) ENCAnCNT が 4443$_H$ から 4444$_H$ へカウントアップされると ENCAnCCR0 とのコンペア一致が再び発生します。コンペア一致が発生したときのカウント動作がアップカウントであるため、ENCAnECM[1:0] の設定（01$_B$）に従ってカウント値がクリアされ、ENCAnCNT の値が 0000$_H$ になります。

(8) ENCAnCNT が 4444_H になると、ENCAnCCR0 とのコンペア一致割り込み（ENCATINT0）が出力されます。

35.6.16　コンペアー致クリア制御有効かつ ENCAnCTS＝1 のときのエンコーダの動作

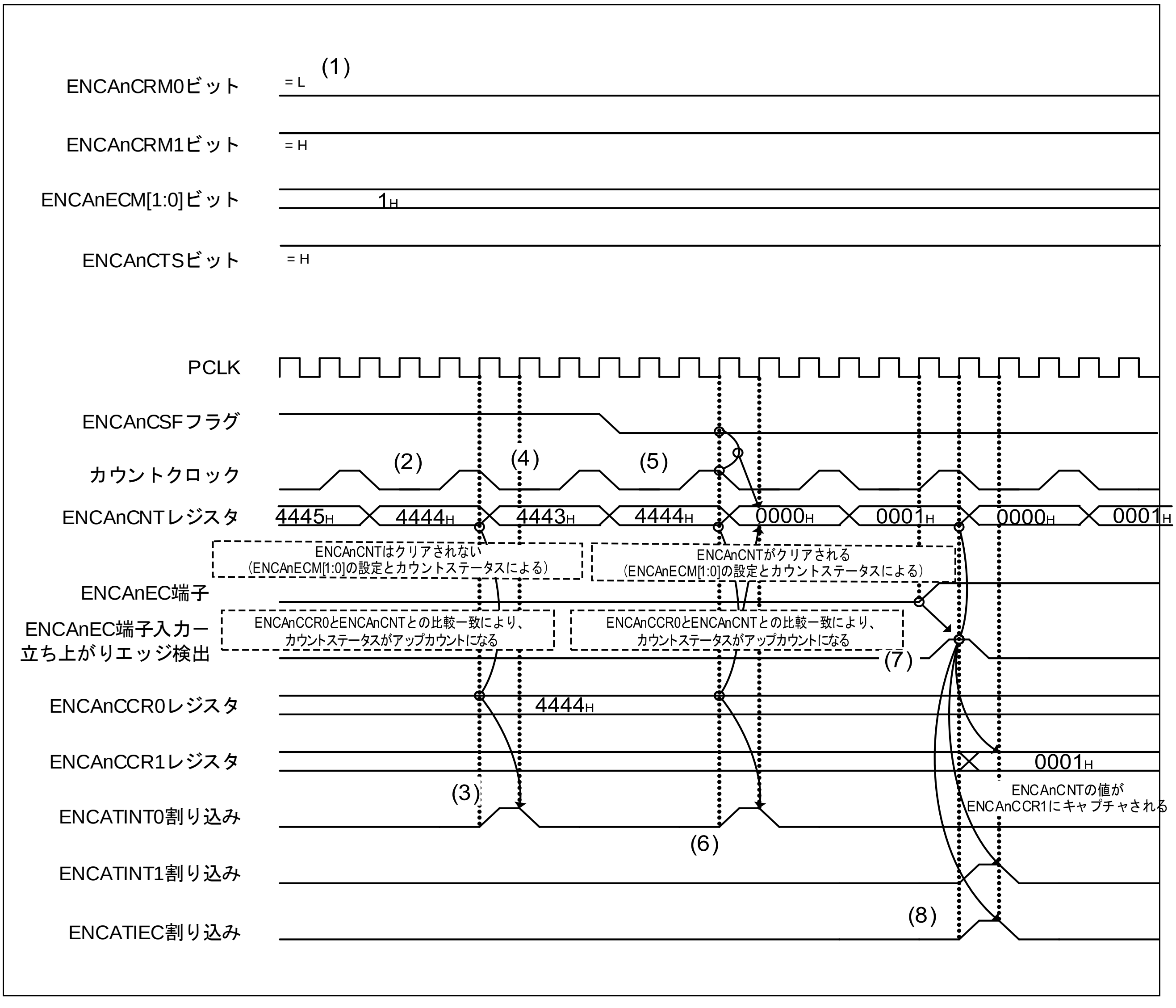


図 35.27　コンペアー致クリア制御有効かつ ENCAnCTS＝1 のときのエンコーダの動作

(1) 以下の値が設定されています。ENCAnCCR0＝4444$_H$、ENCAnCRM0＝0、ENCAnCRM1＝1、ENCAnECM[1:0]＝01$_B$、ENCAnCTS＝1。

(2) ダウンカウントが実行されます。

(3) ENCAnCNT（4445$_H$ から 4444$_H$ へダウンカウントされる）と ENCAnCCR0（4444$_H$）がコンペアー致すると、コンペア／キャプチャ割り込み 0（ENCATINT0）が出力されます。

(4) カウント動作がアップカウントに変わります。

(5) ENCAnCNT が 4443$_H$ から 4444$_H$ へカウントアップされると ENCAnCCR0 とのコンペアー致が再び発生します。コンペアー致が発生したときのカウント動作がアップカウントであるため、ENCAnECM[1:0] の設定（01$_B$）に従ってカウント値がクリアされ、ENCAnCNT の値が 0000$_H$ になります。

(6) ENCAnCNT が 4444$_H$ になると、ENCAnCCR0 とのコンペアー致割り込み（ENCATINT0）が出力されます。

(7) カウントがクリアされたあと、アップカウントが実行され、カウント値が 0001_H になります。この時点で ENCAnEC 信号の立ち上がりエッジが検出されることによって ENCAnCNT の値 0001_H が ENCAnCCR1 にキャプチャされ、カウンタが 0000_H にクリアされます。

(8) ENCAnCCR1 レジスタへのキャプチャに対応する割り込み（ENCATINT1）と ENCAnEC によるクリア割り込み（ENCATIEC）が出力されます。

35.6.17　コンペア一致クリア制御無効時のエンコーダの動作

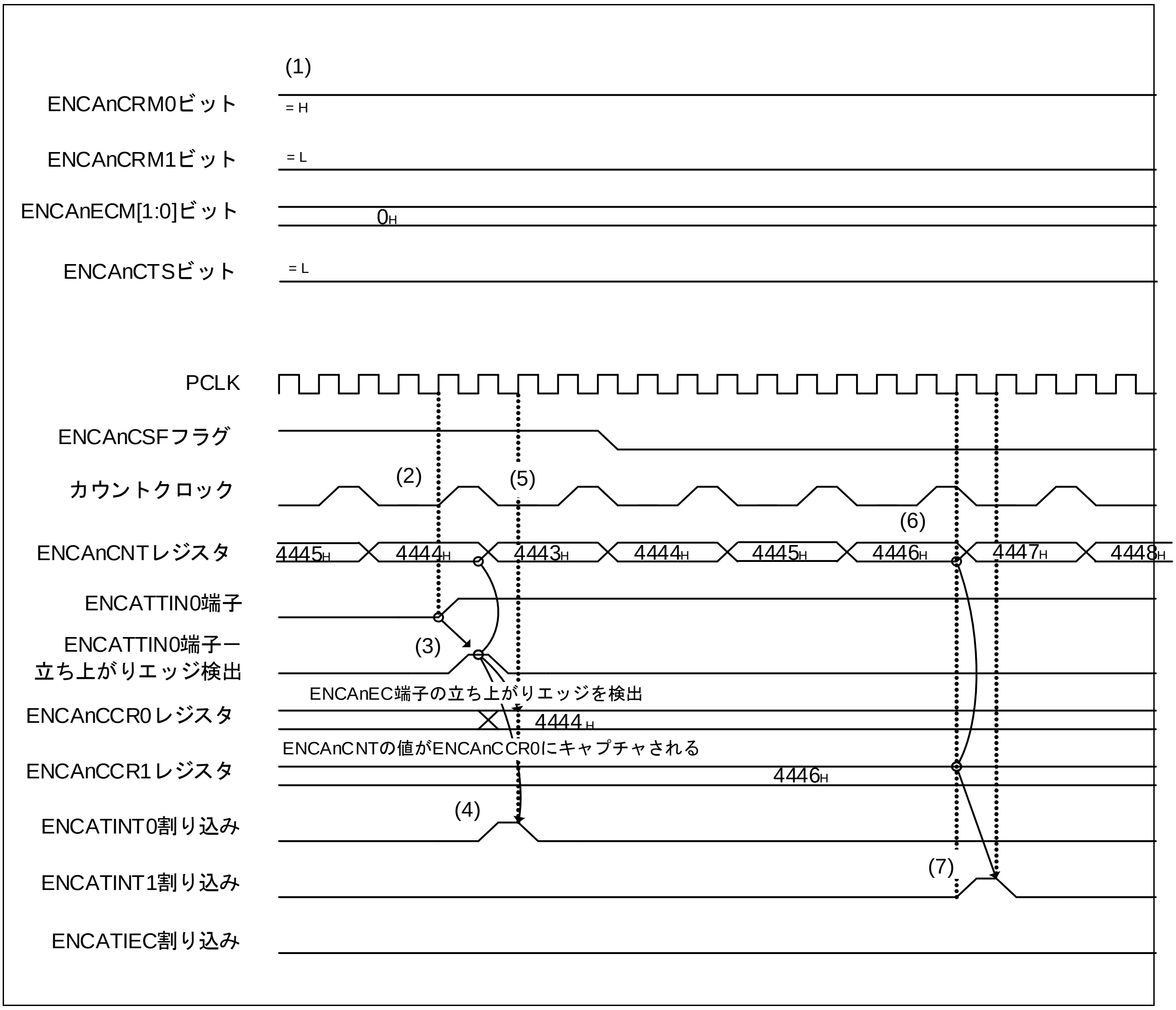


図 35.28　コンペア一致クリア制御無効時のときのエンコーダの動作

(1) 以下の値が設定されています。ENCAnCCR1＝4446$_H$、ENCAnCRM0＝1、ENCAnCRM1＝0、ENCAnECM[1:0]＝00$_B$、ENCAnCTS＝0。

(2) ダウンカウントが実行されます。

(3) ENCATTIN0 の立ち上がりエッジが検出されると、ENCAnCNT の値（4444$_H$）が ENCAnCCR0 にキャプチャされます。

(4) ENCAnCCR0 へのキャプチャに対応する割り込み（ENCATINT0）が出力されます。

(5) カウント動作がアップカウントに変わります。

(6) ENCAnCNT が 4446$_H$ になると、ENCAnCCR1 とのコンペア一致が検出されます。

(7) ENCAnCCR1 とのコンペア一致割り込み（ENCATINT1）が出力されます。

35.6.18　ENCAnSCE＝1 のときに ENCAnEC、ENCAnE0、ENCAnE1 によるクリアのタイミングで行われるキャプチャ動作

35.6.18.1　付随するキャプチャ動作

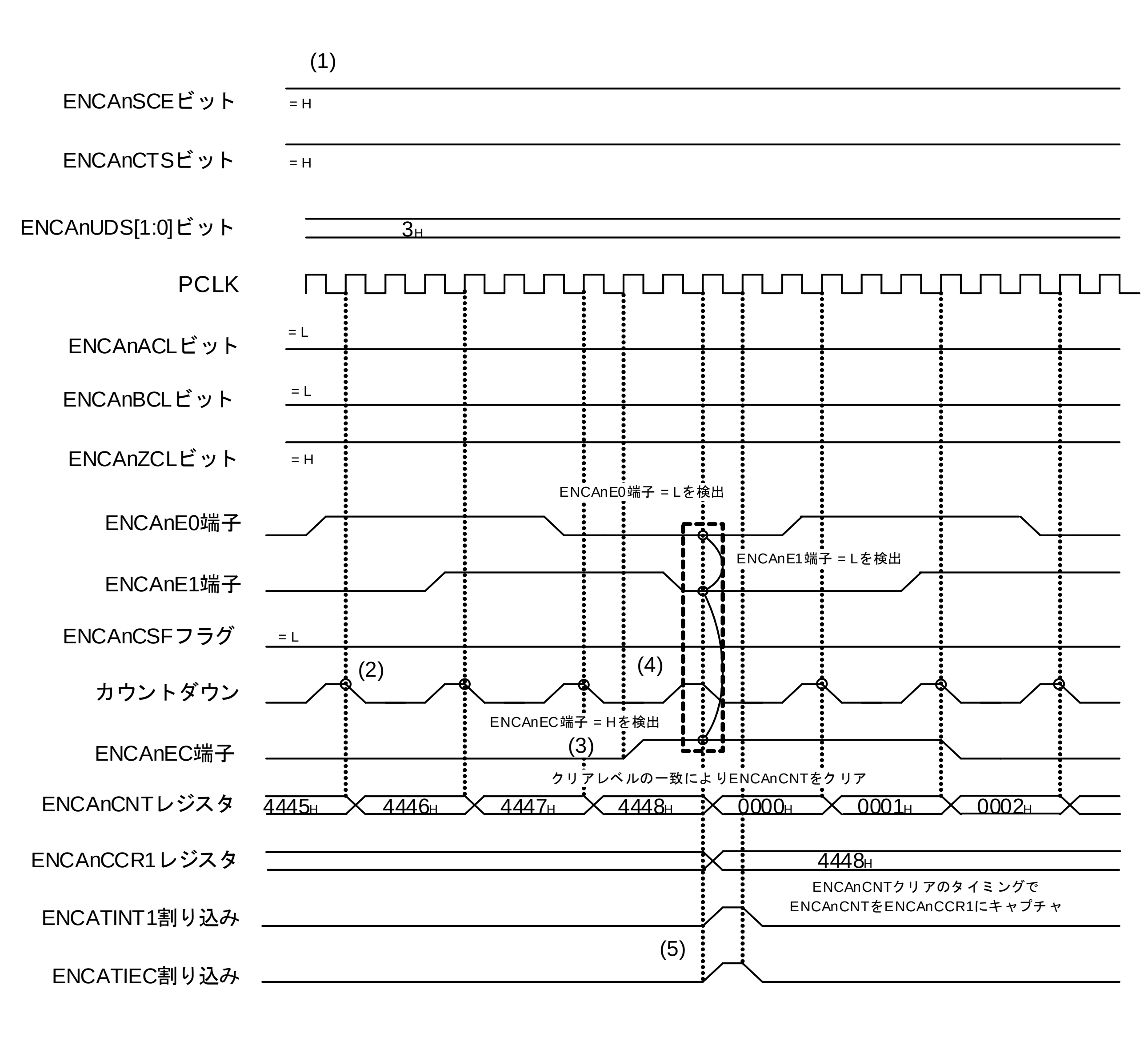


図 35.29　ENCAnSCE＝1 のときに ENCAnEC、ENCAnE0、ENCAnE1 によるクリアのタイミングで行われるキャプチャ動作

(1) 以下の設定が行われています。ENCAnSCE＝1、ENCAnCTS＝1、ENCAnUDS[1:0]＝11_B、ENCAnACL＝0、ENCAnBCL＝0、ENCAnZCL＝1。

(2) アップカウントが実行されます。

(3) ENCAnEC の立ち上がりエッジではカウント値はクリアされません。

(4) ENCAnE0、ENCAnE1、ENCAnEC が設定されたクリアレベルに達すると、カウント値がクリアされます。クリアのタイミングでカウント値が ENCAnCCR1 にキャプチャされます。

(5) クリアのタイミングで、ENCAnCCR1 へのキャプチャに対応する割り込み（ENCATINT1）と ENCAnEC によるクリア割り込み（ENCATIEC）が出力されます。

35.6.18.2　アップカウント中に ENCAnEC の入力のタイミングが ENCAnE1 の入力のタイミングより遅かった場合（ENCAnACL＝1、ENCAnBCL＝0、ENCAnZCL＝1、ENCAnUDS[1:0]＝11_B のとき）

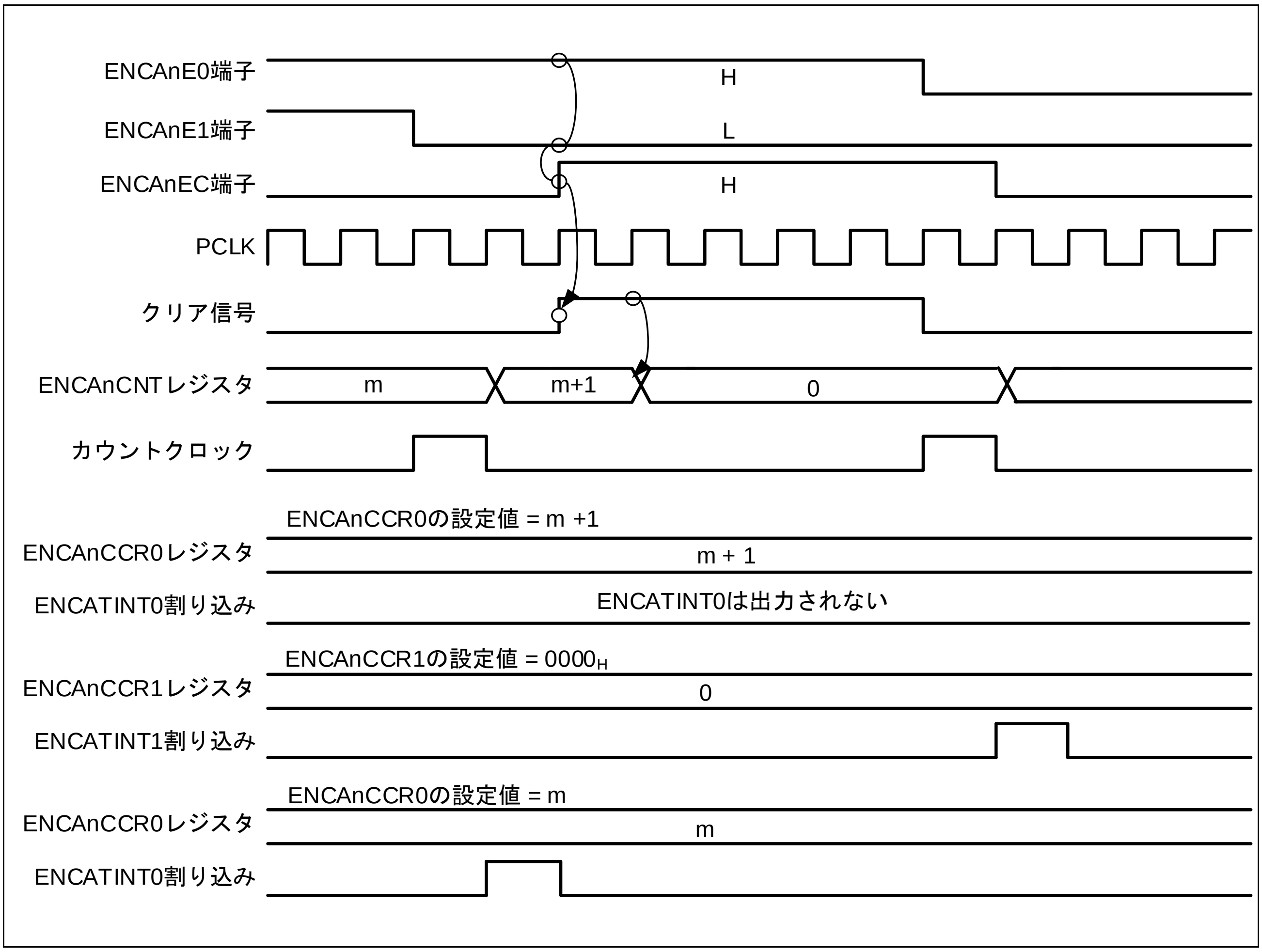


図 35.30　アップカウント中に ENCAnEC の入力のタイミングが ENCAnE1 の入力のタイミングより遅かった場合のクリアのタイミング

35.6.18.3　アップカウント中に ENCAnEC の入力のタイミングが ENCAnE1 の入力のタイミングと同じだった場合（ENCAnACL＝1、ENCAnBCL＝0、ENCAnZCL＝1、ENCAnUDS[1:0]＝11_B のとき）

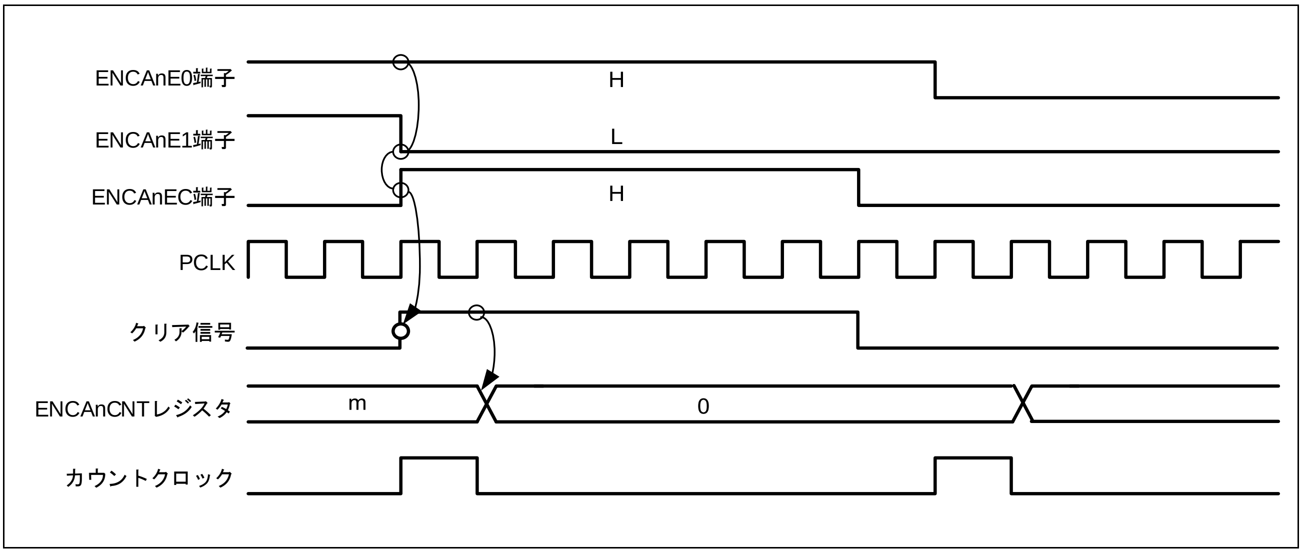


図 35.31　アップカウント中に ENCAnEC の入力のタイミングが ENCAnE1 の入力のタイミングと同じだった場合のクリアのタイミング

35.6.18.4　アップカウント中に ENCAnEC の入力のタイミングが ENCAnE1 の入力のタイミングより早かった場合（ENCAnACL＝1、ENCAnBCL＝0、ENCAnZCL＝1、ENCAnUDS[1:0]＝11_B のとき）

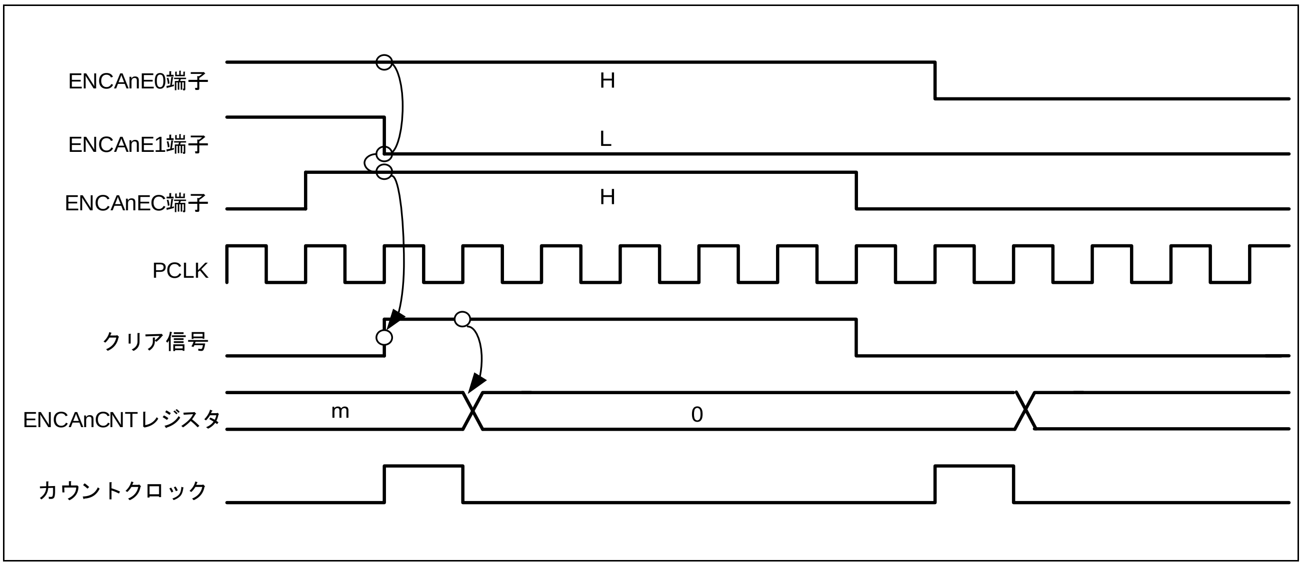


図 35.32　アップカウント中に ENCAnEC の入力のタイミングが ENCAnE1 の入力のタイミングより早かった場合のクリアのタイミング

35.6.18.5 ダウンカウント中に ENCAnEC の入力のタイミングが ENCAnE1 の入力のタイミングより遅かった場合（ENCAnACL＝1、ENCAnBCL＝0、ENCAnZCL＝1、ENCAnUDS[1:0]＝11_B のとき）

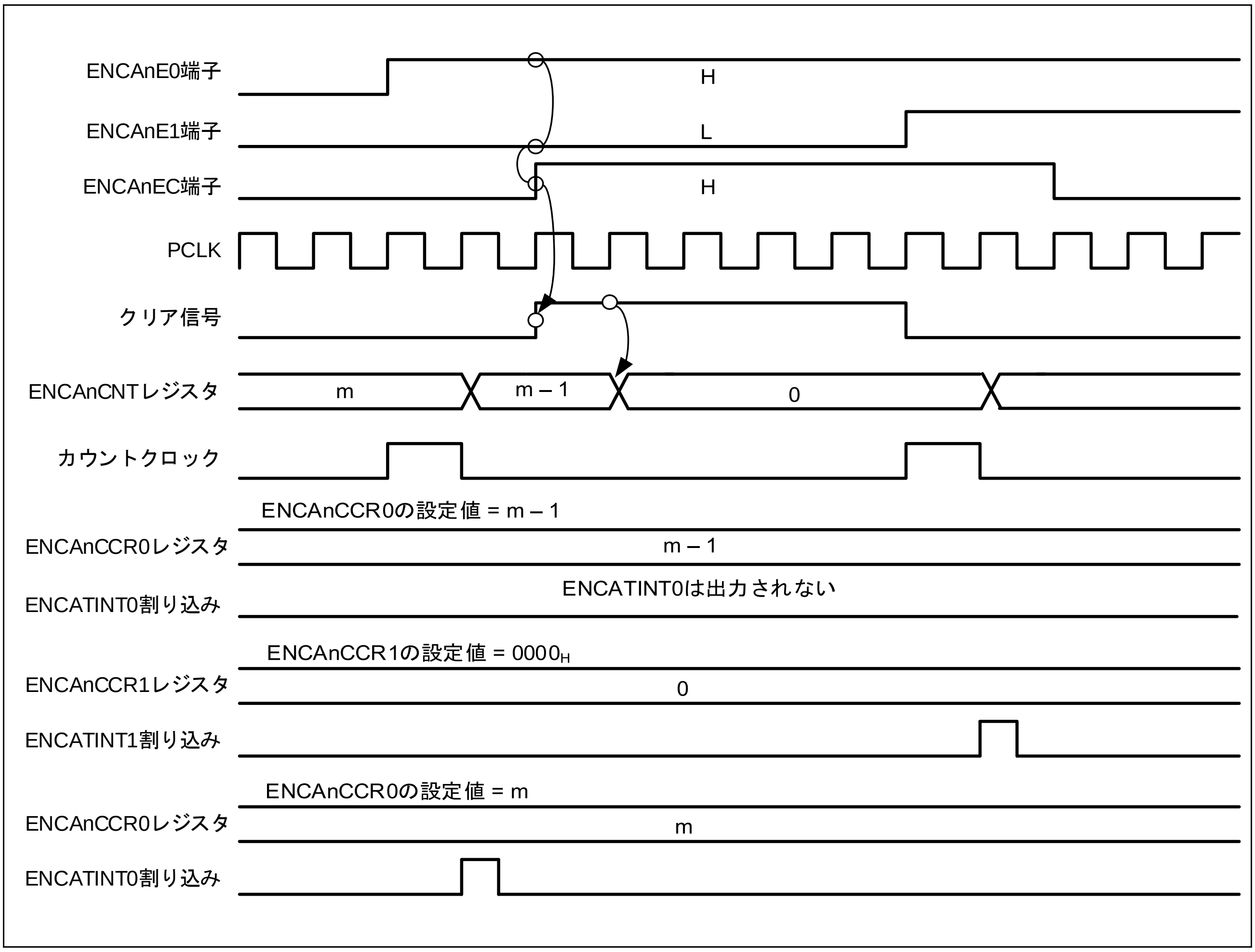


図 35.33 ダウンカウント中に ENCAnEC の入力のタイミングが ENCAnE1 の入力のタイミングより遅かった場合のクリアのタイミング

35.6.19 ENCAnSCE＝0 のときに ENCAnEC によるクリアのタイミングで行われるキャプチャ動作

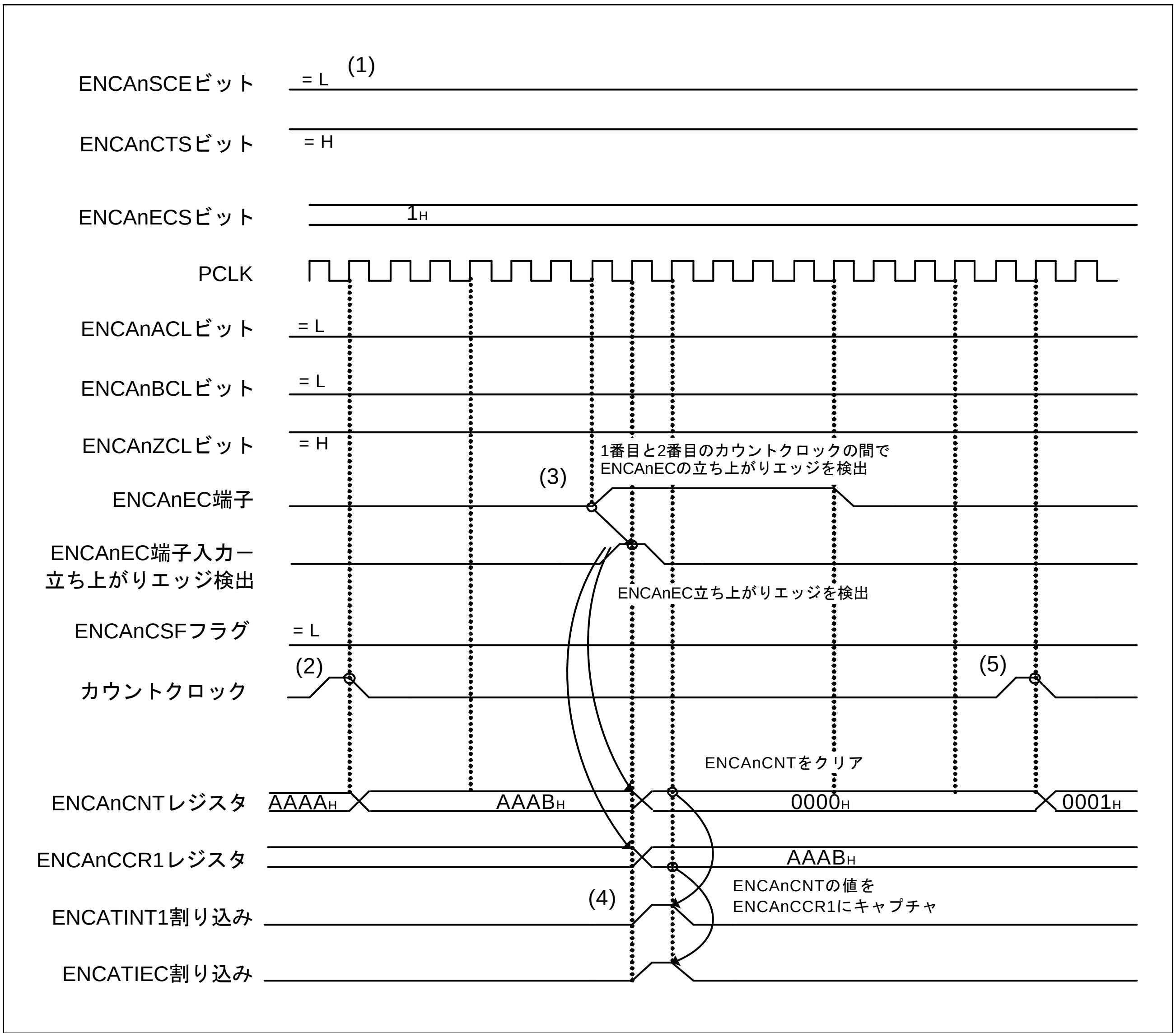


図 35.34 ENCAnSCE＝0 のときに ENCAnEC によるクリアのタイミングで行われるキャプチャ動作

(1) 以下の値が設定されています。ENCAnSCE＝0、ENCAnCTS＝1、ENCAnECS[1:0]＝01_B。

(2) アップカウントが実行されます。

(3) ENCAnEC の立ち上がりエッジが検出され、ENCAnCNT の値（$AAAB_H$）が ENCAnCCR1 にキャプチャされます。同時に、ENCAnEC によるクリア動作が行われるため、ENCAnCNT は 0000_H にクリアされます。

(4) ENCAnCCR1 へのキャプチャ割り込み 1（ENCATINT1）と ENCAnEC によるエンコーダクリア割り込み（ENCATIEC）が出力されます。

(5) カウントがクリアされたあと、アップカウントが実行され、カウント値が 0001_H になります。

第36章　モータ制御

本章では、モータ制御全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1KH, RH850/F1KM に固有の特長について説明します。

それ以降の節では、モータ制御機能、レジスタについて説明します。

36.1　RH850/F1KH, RH850/F1KM モータ制御の特長

36.1.1　ユニット数

モータ制御機能は、タイマモータ制御ユニット（TAPA）と TAPA と周辺タイマを接続するペリフェラルインタコネクション（PIC）で構成し、周辺タイマおよび A/D コンバータとの組み合わせによりモータ制御波形を生成します。

本製品は、以下のユニット数の TAPA および PIC を搭載しています。

表 36.1　ユニット数 (RH850/F1KH-D8)

製品名	RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 324 Pin
TAPA			
ユニット数	1	1	1
名称	TAPAn (n=0)	TAPAn (n=0)	TAPAn (n=0)
PIC			
ユニット数	1	1	1
名称	PIC0	PIC0	PIC0

表 36.2　ユニット数 (RH850/F1KM-S4)

製品名	RH850/F1KM-S4 100 Pin	RH850/F1KM-S4 144 Pin	RH850/F1KM-S4 176 Pin	RH850/F1KM-S4 233 Pin	RH850/F1KM-S4 272 Pin
TAPA					
ユニット数	1	1	1	1	1
名称	TAPAn (n=0)	TAPAn (n=0)	TAPAn (n=0)	TAPAn (n=0)	TAPAn (n=0)
PIC					
ユニット数	1	1	1	1	1
名称	PIC0	PIC0	PIC0	PIC0	PIC0

表 36.3　ユニット数 (RH850/F1KM-S2)

製品名	RH850/F1KM-S2 100 Pin	RH850/F1KM-S2 144 Pin	RH850/F1KM-S2 176 Pin
TAPA			
ユニット数	1	1	1
名称	TAPAn (n=0)	TAPAn (n=0)	TAPAn (n=0)
PIC			
ユニット数	1	1	1
名称	PIC0	PIC0	PIC0

表 36.4　ユニット数 (RH850/F1KM-S1)

製品名	RH850/F1KM-S1 48 Pin	RH850/F1KM-S1 64 Pin	RH850/F1KM-S1 80 Pin	RH850/F1KM-S1 100 Pin
TAPA				
ユニット数	1	1	1	1
名称	TAPAn (n＝0)	TAPAn (n＝0)	TAPAn (n＝0)	TAPAn (n＝0)
PIC				
ユニット数	1	1	1	1
名称	PIC0	PIC0	PIC0	PIC0

表 36.5　添字 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

添字	説明
n	本章では、TAPA、およびモータ制御機能が使用するタイマ、A/D コンバータのユニットを「n」で識別します。たとえば、TAPAn 制御レジスタ 0 は TAPAnCTL0（n＝0）と記述します。
m	使用するタイマ、A/D コンバータのチャネルを「m」で識別します。たとえば、TAUDn のチャネルは CHm と記述します。
x	A/D コンバータのスキャングループを「x」（x＝1～3）で識別します。
j	A/D コンバータのスキャントリガ番号を「j」（j＝0～2）で識別します。

各製品の添字が示す値を以下に示します。

表 36.6　各製品の添字対応 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

各製品の添字対応
全製品
m＝0～15 （例、TAUDn）
x＝1～3
j＝0～2

36.1.2　レジスタベースアドレス

TAPAn および PIC0 のベースアドレスを以下の表に示します。

TAPAn、PIC0 のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 36.7　レジスタベースアドレス (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ベースアドレス名	ベースアドレス
<TAPA0_base>	FFE9 0000_H
<PIC0_base>	FFDD 0000_H

36.1.3　クロック供給

TAPAn、PIC0 のクロック供給を以下の表に示します。

表 36.8　クロック供給 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	ユニットクロック名	供給クロック名	説明
TAPAn	PCLK	CKSCLK_IPERI1	モジュールクロック
	レジスタアクセスクロック	CPUCLK_L, CKSCLK_IPERI1	バスクロック
PIC0	PCLK	CKSCLK_IPERI1	モジュールクロック
	レジスタアクセスクロック	CPUCLK_L, CKSCLK_IPERI1	バスクロック

36.1.4　割り込み要求

TAPA0 の割り込み要求を以下の表に示します。

表 36.9　割り込み要求 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
TAPA0			
INTTAPA0IPEK0	山割り込み 0	16、116	—
INTTAPA0IVLY0	谷割り込み 0	17、117	—

36.1.5　リセット要因

TAPAn、PIC0 のリセット要因を以下に示します。TAPAn、PIC0 は以下のリセット要因で初期化されます。

表 36.10　リセット要因 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	リセット要因
TAPAn	すべてのリセット要因（ISORES）
PIC0	すべてのリセット要因（ISORES）

36.1.6　外部入出力信号

TAPAn、PIC0 の外部出力信号を以下の表に示します。

表 36.11　外部入出力信号 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット信号名	説明	ポート端子兼用信号名
PIC0		
TOUTU	モータ制御出力 U 相（正相）	TAPA0UP
TOUTUB	モータ制御出力 U 相（逆相）	TAPA0UN
TOUTV	モータ制御出力 V 相（正相）	TAPA0VP
TOUTVB	モータ制御出力 V 相（逆相）	TAPA0VN
TOUTW	モータ制御出力 W 相（正相）	TAPA0WP
TOUTWB	モータ制御出力 W 相（逆相）	TAPA0WN
TAPA0		
TAPATHASIN	モータ制御出力 Hi-Z 制御入力	TAPA0ESO

注　意

TAPA0UP、TAPA0UN、TAPA0VP、TAPA0VN、TAPA0WP、TAPA0WN として使用するポートは、出力ドライバ強度をハイドライブ強度（PDSCn_m＝1）に設定してください。

36.1.7　　内部出力信号

TAPAn、PIC0 の内部出力信号を以下の表に示します。

表 36.12　内部出力信号 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット信号名	説明	接続先
TAPA0		
$\overline{\text{TAPATHZOUT0}}$	TAPA0UP/TAPA0UN 出力バッファ Hi-Z 制御出力[注1]	ポート
$\overline{\text{TAPATHZOUT1}}$	TAPA0VP/TAPA0VN 出力バッファ Hi-Z 制御出力[注1]	ポート
$\overline{\text{TAPATHZOUT2}}$	TAPA0WP/TAPA0WN 出力バッファ Hi-Z 制御出力[注1]	ポート
TAPATADOUT0	A/D 変換トリガ信号 0 出力[注2]	ADCA0 ハードウェアトリガ拡張
TAPATADOUT1	A/D 変換トリガ信号 1 出力[注2]	ADCA0 ハードウェアトリガ拡張
PIC0		
TAPATHASIN	TAPA0 非同期 Hi-Z 制御信号[注1、注2]	TAPA0
TAPATSIM0	TAUD マスタチャネル割り込み信号 （TAUD0：INTTAUD0I0、INTTAUD0I2、INTTAUD0I8）	TAPA0
TAPATUDCM0	TAUD マスタアップ／ダウン信号 （TAUD0：TAUD0UDC0、TAUD0UDC2、TAUD0UDC8）	TAPA0
TAPATCDENS0	TAUD スレーブ 0 一致検出[注4] （ADCA0 ハードウェアトリガ拡張：ADOPA1ADCATTIN00）	TAPA0
TAPATCDENS1	TAUD スレーブ 1 一致検出[注4] （ADCA0 ハードウェアトリガ拡張：ADOPA2ADCATTIN00）	TAPA0

注1.　詳細については、「**36.4.6 TAPA0 Hi-Z 制御入力選択**」を参照してください。

注2.　これらの信号は、A/D 変換開始用のトリガソースとして使用できます。「**表 38.84 A/D 変換ハードウェアトリガ一覧**」を参照してください。

注3.　この信号はノイズフィルタを経由します。「**2A.12 ノイズフィルタ＆エッジレベル検出回路**」、「**2B.12 ノイズフィルタ＆エッジレベル検出回路**」、「**2C.12 ノイズフィルタ＆エッジレベル検出回路**」、「**2A.13 ポートノイズフィルタ＆エッジ／レベル検出機能説明**」、「**2B.13 ポートノイズフィルタ＆エッジ／レベル検出機能説明**」および「**2C.13 ポートノイズフィルタ＆エッジ／レベル検出機能説明**」を参照してください。

注4.　これらの信号は、A/D コンバータ ADCA0 ハードウェアトリガ選択にて選択されます。「**表 38.84 A/D 変換ハードウェアトリガ一覧**」を参照してください。

36.2　概要

36.2.1　機能概要

モータ制御機能は、モータ制御ユニット（TAPA）とタイマアレイユニットD（TAUDn）や A/D（ADCAn）を組み合わせて以下の機能を実現します。

- 非同期 Hi-Z 制御機能
  端子入力やエラー信号による TAUDn 出力の Hi-Z 制御が可能
- 割り込み信号出力機能
  TAUDn が出力する INTn 信号により山割り込み、谷割り込み要求信号出力が可能
- A/D 変換開始トリガ選択機能
  TAUDn が出力する INTn 信号により A/D 変換開始トリガ出力が可能

また、ペリフェラルインタコネクション（PIC）との組み合わせにより以下の機能を実現します。

- タイマ同時スタートトリガ
  TAUD0、TAUJ1 各チャネル、ENCAn タイマの同時スタートが可能
- トリガ＆パルス幅測定機能
  ENCAn の割り込み信号を TAUDn や TAUJ1 に入力し、トリガ周期測定が可能
- A/D トリガエンコーダキャプチャ機能
  A/D 変換開始トリガタイミングで、ENCAn のカウンタ値のキャプチャが可能
- デッドタイム付き 3 相 PWM 出力機能／デッドタイム付き高精度三角波 PWM 出力機能
  TAUDn によるデッドタイム付 3 相 PWM 出力が可能
- デッドタイム付きディレイパルス出力機能
  周期タイミングに対するディレイパルス出力（デッドタイム付）が可能

36.2.2　モータ制御機能の構成

モータ制御機能の周辺ブロック構成を以下に示します。

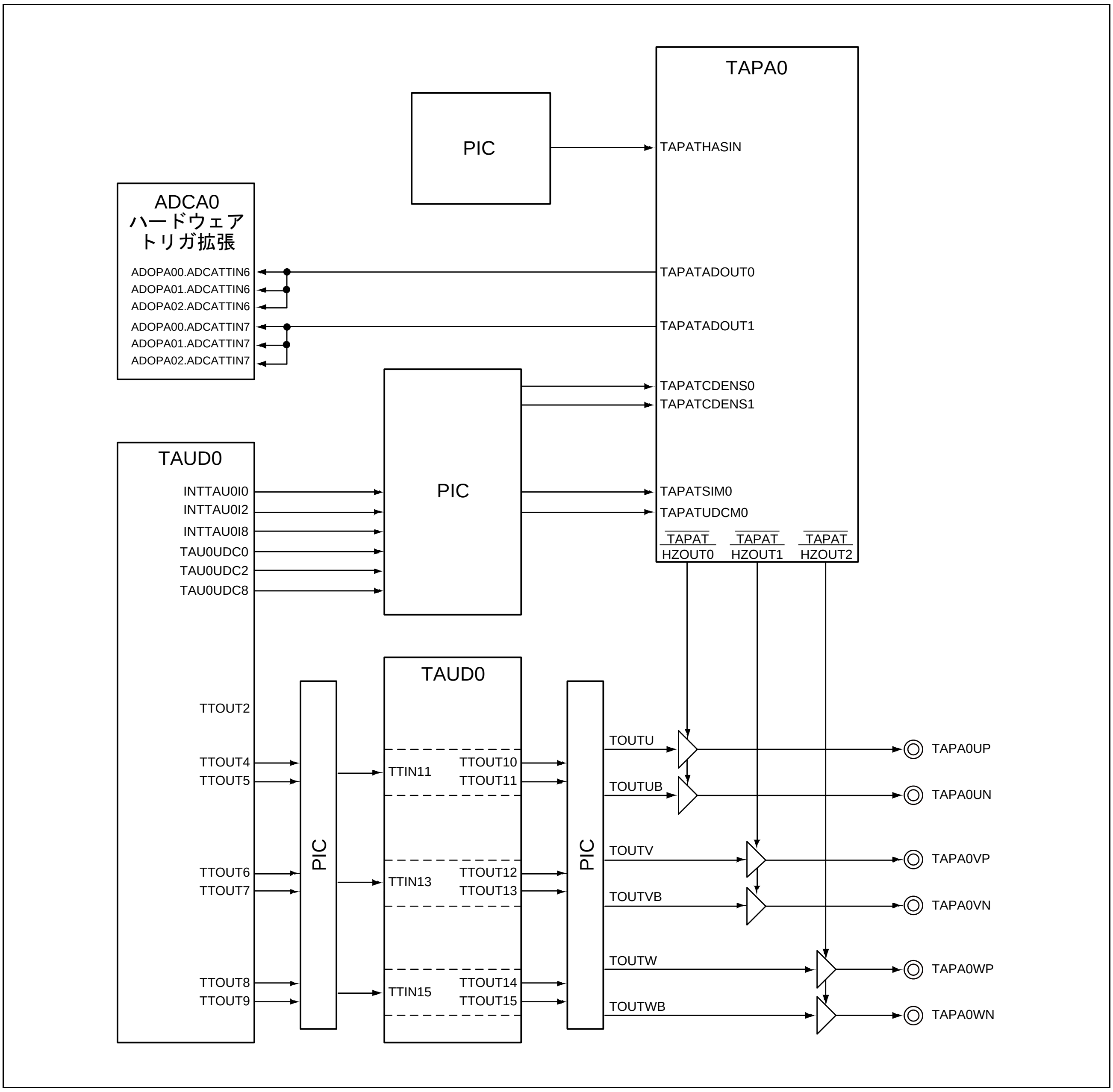


図 36.1　モータ制御の構成

TAUDn と PIC を使用して、モータ制御出力信号（デッドタイム付三相 PWM 出力信号）を生成します。

タイマ制御ユニット（TAPA）は、モータ制御出力の Hi-Z 制御を行います。

また、PIC は TAUDn、TAUJ1 の各チャネルや ENCAn、および TAPA 間を組み合わせることによりモータ用途向けの機能を実現します。

36.2.3 ブロック図

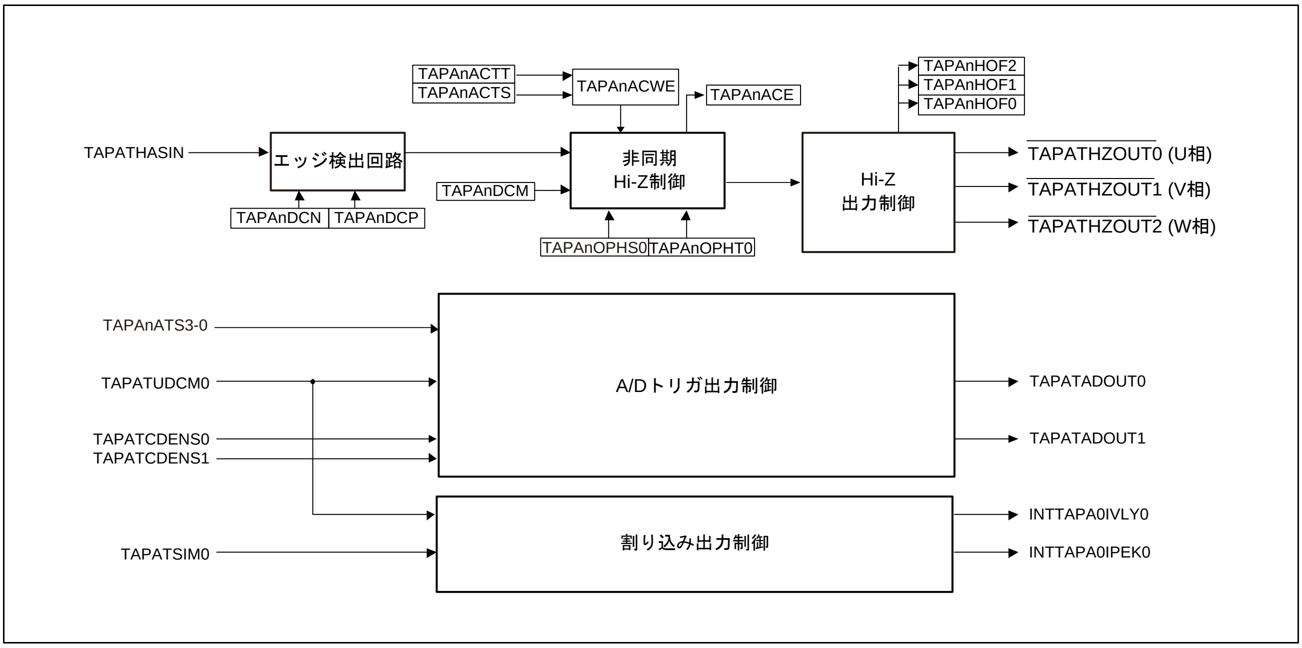


図 36.2 TAPA の周辺ブロック図

備 考

PIC の周辺ブロック図は、各機能説明の節を参照してください。

36.2.4　用語説明

タイマカウンタの「山」と「谷」、「山割り込み」と「谷割り込み」について

このドキュメントでは、TAUD のカウントアップステータスから、マスタチャネルの INT 発生までを「山」期間とし、発生するマスタチャネルの INT を「山割り込み」と定義します。

また、TAUD のカウントダウンステータスから、マスタチャネルの INT 発生までを「谷」期間とし、発生するマスタチャネルの INT を「谷割り込み」と定義します。

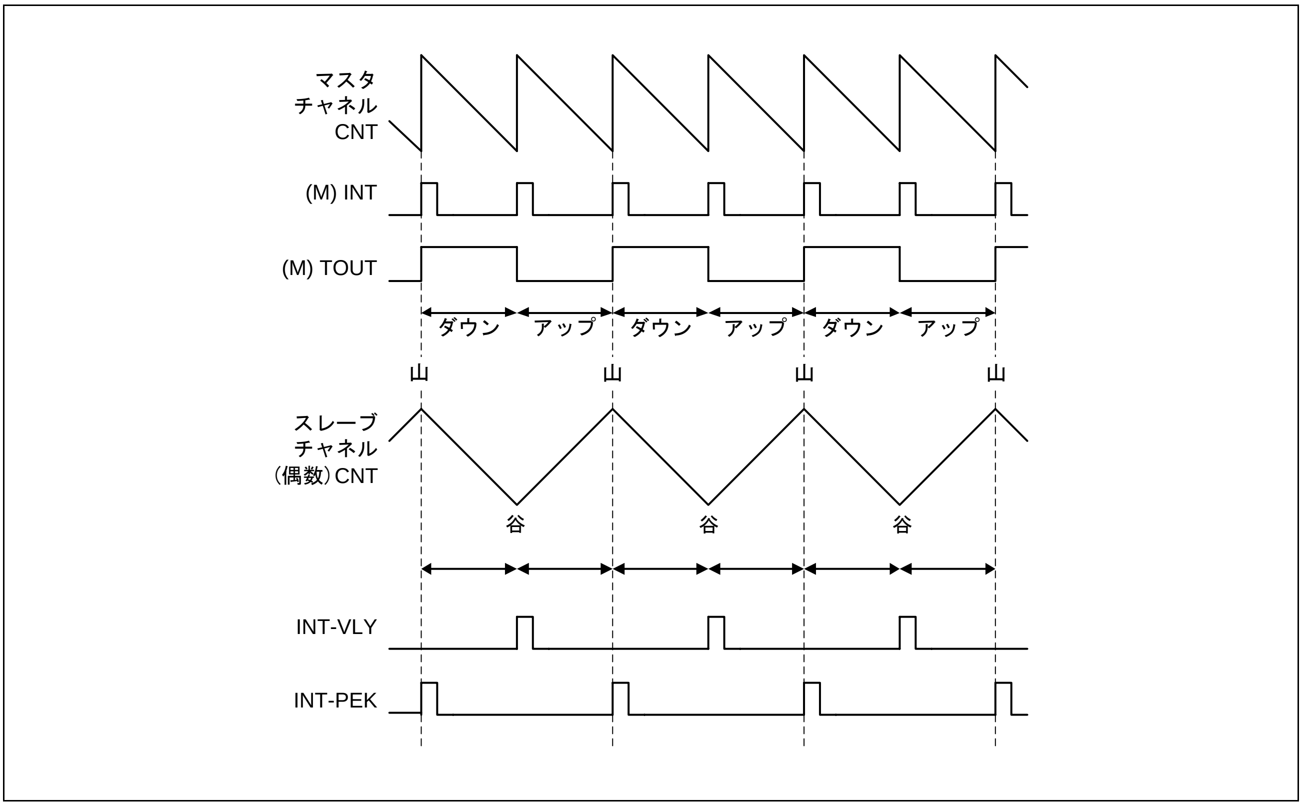


図 36.3　山割り込みと谷割り込み

36.3　レジスタ

36.3.1　レジスタ一覧

TAPAn および PIC0 のレジスタ一覧を以下の表に示します。

<TAPAn_base>および<PIC0_base>は「**36.1.2 レジスタベースアドレス**」を参照してください。

表 36.13　レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
TAPAn	TAPA 制御レジスタ 0	TAPAnCTL0	<TAPAn_base> + 20_H
	TAPA 制御レジスタ 1	TAPAnCTL1	<TAPAn_base> + 24_H
	TAPA フラグレジスタ	TAPAnFLG	<TAPAn_base> + 00_H
	TAPA 非同期 Hi-Z 制御ライトイネーブルレジスタ	TAPAnACWE	<TAPAn_base> + 04_H
	TAPA 非同期 Hi-Z 制御スタートトリガレジスタ	TAPAnACTS	<TAPAn_base> + 08_H
	TAPA 非同期 Hi-Z 制御ストップトリガレジスタ	TAPAnACTT	<TAPAn_base> + $0C_H$
	TAPA Hi-Z スタートトリガレジスタ	TAPAnOPHS	<TAPAn_base> + 14_H
	TAPA Hi-Z ストップトリガレジスタ	TAPAnOPHT	<TAPAn_base> + 18_H
	TAPA エミュレーションレジスタ	TAPAnEMU	<TAPAn_base> + 28_H
PIC0	同時スタートトリガ制御レジスタ	PIC0SST	<PIC0_base> + 04_H
	同時スタート制御レジスタ 0	PIC0SSER0	<PIC0_base> + 10_H
	同時スタート制御レジスタ 2	PIC0SSER2	<PIC0_base> + 18_H
	Hi-Z 出力制御レジスタ 0	PIC0HIZCEN0	<PIC0_base> + 80_H
	A/D 変換トリガ出力制御レジスタ 400	PIC0ADTEN400	<PIC0_base> + 90_H
	A/D 変換トリガ出力制御レジスタ 401	PIC0ADTEN401	<PIC0_base> + 94_H
	A/D 変換トリガ出力制御レジスタ 402	PIC0ADTEN402	<PIC0_base> + 98_H
	タイマ入出力制御レジスタ 200	PIC0REG200	<PIC0_base> + $C0_H$
	タイマ入出力制御レジスタ 201	PIC0REG201	<PIC0_base> + $C4_H$
	タイマ入出力制御レジスタ 202	PIC0REG202	<PIC0_base> + $C8_H$
	タイマ入出力制御レジスタ 203	PIC0REG203	<PIC0_base> + CC_H
	タイマ入出力制御レジスタ 30	PIC0REG30	<PIC0_base> + $E8_H$
	タイマ入出力制御レジスタ 31	PIC0REG31	<PIC0_base> + EC_H

備　考

PIC 関連レジスタは、各機能説明の節を参照してください。

36.3.2　TAPAnCTL0 — TAPA 制御レジスタ 0

このレジスタで、非同期 Hi-Z 制御機能の設定を行います。

このレジスタの値は、TAPAnFLG.TAPAnACE＝0、かつ、対応する TAUD のマスタチャネルの TAUDnTEm＝0 の場合のみ書き換えることができます。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<TAPAn_base> + 20_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	TAPAn DCM	TAPAn DCN	TAPAn DCP	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

表 36.14　TAPAnCTL0 レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>15～5</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>4</td><td>TAPAnDCM</td><td>クリア条件指定ビット
Hi-Z 制御出力のクリア条件を指定するビットです。
0：TAPATHASIN 信号入力に関係なく、TAPAnOPHT0 ビットの操作を有効
1：TAPATHASIN 信号入力がインアクティブの場合にのみ、TAPAnOPHT0 ビット操作を有効</td></tr>
<tr><td>3、2</td><td>TAPAnDCN、
TAPAnDCP</td><td>Hi-Z 入力エッジ選択ビット
TAPATHASIN 信号の有効エッジを指定する制御ビットです。
<table>
<tr><th>TAPAnDCN</th><th>TAPAnDCP</th><th>動作説明</th></tr>
<tr><td>0</td><td>0</td><td>有効エッジを検出しない</td></tr>
<tr><td>0</td><td>1</td><td>立ち上がりエッジを有効エッジとして検出（アクティブレベル=High）</td></tr>
<tr><td>1</td><td>0</td><td>立ち下がりエッジを有効エッジとして検出（アクティブレベル=Low）</td></tr>
<tr><td>1</td><td>1</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>1、0</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
</table>

36.3.3　TAPAnCTL1 — TAPA 制御レジスタ 1

このレジスタで、A/D 変換トリガを指定します。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<TAPAn_base> + 24_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	TAPAnATS3	TAPAnATS2	TAPAnATS1	TAPAnATS0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 36.15　TAPAnCTL1 レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>7～4</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>3、2</td><td>TAPAnATS3、
TAPAnATS2</td><td>A/D 変換トリガ 1 選択ビット
A/D 変換トリガ出力 1（TAPATADOUT1 信号）を指定する制御ビットです。
<table>
<tr><th>TAPAnATS3</th><th>TAPAnATS2</th><th>動作説明</th></tr>
<tr><td>0</td><td>0</td><td>三角波のダウンカウント中の INT 信号</td></tr>
<tr><td>0</td><td>1</td><td>三角波のアップカウント中の INT 信号</td></tr>
<tr><td>1</td><td>0</td><td>三角波のアップ／ダウンカウント中の INT 信号</td></tr>
<tr><td>1</td><td>1</td><td>三角波のアップ／ダウンカウント中の INT 信号と谷割り込み TAPATIVLY0 信号</td></tr>
</table></td></tr>
<tr><td>1、0</td><td>TAPAnATS1、
TAPAnATS0</td><td>A/D 変換トリガ 0 選択ビット
A/D 変換トリガ出力 0（TAPATADOUT0 信号）を指定する制御ビットです。
<table>
<tr><th>TAPAnATS1</th><th>TAPAnATS0</th><th>動作説明</th></tr>
<tr><td>0</td><td>0</td><td>三角波のダウンカウント中の INT 信号</td></tr>
<tr><td>0</td><td>1</td><td>三角波のアップカウント中の INT 信号</td></tr>
<tr><td>1</td><td>0</td><td>三角波のアップ／ダウンカウント中の INT 信号</td></tr>
<tr><td>1</td><td>1</td><td>三角波のアップ／ダウンカウント中の INT 信号と谷割り込み TAPATIVLY0 信号</td></tr>
</table></td></tr>
</table>

36.3.4　TAPAnFLG — TAPA フラグレジスタ

非同期 Hi-Z 制御のフラグレジスタです。

アクセス　16 ビット単位でリードのみ可能です。

アドレス　<TAPAn_base> + 00_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	TAPAn HOF2	TAPAn HOF1	TAPAn HOF0	—	—	—	—	—	—	—	TAPAn ACE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 36.16　TAPAnFLG レジスタの内容

ビット位置	ビット名	機能
15～11	予約ビット	リードした場合はリセット後の値が読めます。
10	TAPAnHOF2	W 相 Hi-Z 制御モニタビット Hi-Z 制御のモニタビットです。 0：TAPAnTHZOUT2 の現在の出力がハイレベル 1：TAPAnTHZOUT2 の現在の出力がロウレベル
9	TAPAnHOF1	V 相 Hi-Z 制御モニタビット Hi-Z 制御のモニタビットです。 0：TAPAnTHZOUT1 の現在の出力がハイレベル 1：TAPAnTHZOUT1 の現在の出力がロウレベル
8	TAPAnHOF0	U 相 Hi-Z 制御モニタビット Hi-Z 制御のモニタビットです。 0：TAPAnTHZOUT0 の現在の出力がハイレベル 1：TAPAnTHZOUT0 の現在の出力がロウレベル
7～1	予約ビット	リードした場合はリセット後の値が読めます。
0	TAPAnACE	非同期 Hi-Z 制御イネーブルビット 0：非同期 Hi-Z 制御が停止状態 1：非同期 Hi-Z 制御が許可状態 このビットのセット条件とクリア条件は次のとおりです。 クリア条件：TAPAnACWE ビット＝1 時の TAPAnACTT への“1”書き込み セット条件：TAPAnACWE ビット＝1 時の TAPAnACTS への“1”書き込み

36.3.5 TAPAnACWE — TAPA 非同期 Hi-Z 制御ライトイネーブルレジスタ

非同期 Hi-Z 制御のための書き込みを許可します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <TAPAn_base> + 04_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAPAnACWE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 36.17　TAPAnACWE レジスタの内容

ビット位置	ビット名	機能
7〜1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TAPAnACWE	非同期制御ライトイネーブルビット 非同期 Hi-Z 制御用の書き込み許可ビットです。 “1”に書き込み後、TAPAnACTS ビットと TAPAnACTT ビットに“1”を書き込むことによって、自動的に“0”にクリアされます。 0：TAPAnACTS ビットと TAPAnACTT ビットへの書き込み禁止 1：TAPAnACTS ビットと TAPAnACTT ビットへの書き込み許可

36.3.6 TAPAnACTS — TAPA 非同期 Hi-Z 制御スタートトリガレジスタ

非同期 Hi-Z 制御用のスタートトリガを許可します。

アクセス 8 ビット単位でライトのみ可能です。読み出し値は常に 00_H となります。

アドレス <TAPAn_base> + 08_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAPAnACTS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 36.18　TAPAnACTS レジスタの内容

ビット位置	ビット名	機能
7〜1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TAPAnACTS	非同期 Hi-Z 制御スタートトリガビット 非同期 Hi-Z 制御用のスタートトリガを許可します。 このビットの設定は、TAPAnACWE＝1 の場合のみ有効となります。 0：“0”書き込みは、無視されます（機能として意味を持ちません）。 1：TAPAnACWE＝1 の場合に非同期 Hi-Z 制御を許可

36.3.7　TAPAnACTT — TAPA 非同期 Hi-Z 制御ストップトリガレジスタ

非同期 Hi-Z 制御用のストップトリガを許可します。

アクセス　8 ビット単位でライトのみ可能です。読み出し値は常に 00_H となります。

アドレス　<TAPAn_base> + $0C_H$

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAPAnACTT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 36.19　TAPAnACTT レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TAPAnACTT	非同期 Hi-Z 制御ストップトリガビット 非同期 Hi-Z 制御用のストップトリガを許可します。 このビットの設定は、TAPAnACWE＝1 の場合のみ有効となります。 0：“0”書き込みは無視されます（機能として意味を持ちません）。 1：TAPAnACWE＝1 の場合に非同期 Hi-Z 制御を停止

36.3.8　TAPAnOPHS — TAPA Hi-Z スタートトリガレジスタ

モータ制御出力端子に対する Hi-Z 制御を開始するためのソフトウェアトリガレジスタです。

アクセス　8 ビット単位でライトのみ可能です。読み出し値は常に 00_H となります。

アドレス　<TAPAn_base> + 14_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAPAnOPHS0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 36.20　TAPAnOPHS レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TAPAnOPHS0	Hi-Z 制御スタートトリガビット モータ制御出力端子の Hi-Z 制御を開始します。 0：“0”書き込みは無視されます（機能として意味を持ちません）。 1：Hi-Z 制御を開始

36.3.9　TAPAnOPHT ― TAPA Hi-Z ストップトリガレジスタ

モータ制御出力端子に対する Hi-Z 制御を停止するためのソフトウェアトリガレジスタです。

アクセス　8 ビット単位でライトのみ可能です。読み出し値は常に 00_H となります。

アドレス　<TAPAn_base> + 18_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TAPAnOPHT0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 36.21　TAPAnOPHT レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	TAPAnOPHT0	Hi-Z 制御ストップトリガビット モータ制御出力端子の Hi-Z 制御を停止します。 0：“0”書き込みは無視されます（機能として意味を持ちません）。 1：Hi-Z 制御を停止。本ビットの設定有効／無効の条件は TAPAnCTL0.TAPAnDCM で設定します。

36.3.10　TAPAnEMU ― TAPA エミュレーションレジスタ

このレジスタは、エミュレーションのために SVSTOP による動作を制御します。

アクセス　8 ビット単位でリード／ライト可能です。（EPC.SVSTOP＝0 の場合は、書き換えのみ可能です。）

アドレス　<TAPAn_base> + 28_H

リセット後の値　リードすると常に 00_H が読めます。

ビット	7	6	5	4	3	2	1	0
	TAPAnSVSDIS	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R

表 36.22　TAPAnEMU レジスタの内容

ビット位置	ビット名	機能
7	TAPAnSVSDIS	SVSTOP の禁止に使用します。 0：SVSTOP が有効。（SVSTOP＝1 が入力された場合、Hi-Z 制御出力をロウレベルに設定する） 1：SVSTOP が無効。（Hi-Z 制御出力のレベルは SVSTOP 入力のレベルによって変化しない）
6～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

36.4　非同期 Hi-Z 制御機能

マイコンによって制御されるタイマモータ制御機能の動作が異常な場合、外部に接続しているモータの回転も異常になります。モータの異常検出時に、マイコンによる制御とは関係なく、モータ制御出力を強制的に Hi-Z 状態に設定します。

36.4.1　概要

非同期 Hi-Z 制御により、TAPAn からの出力を強制的に停止する機能です。

- TAPATHASIN がアクティブレベルになると、モータ制御出力端子のレベルは Hi-Z に設定され、モータ制御出力は強制的に停止します。
- Hi-Z 状態になったモータ制御出力は、Hi-Z ストップトリガレジスタ（TAPAnOPHT0）への書き込みによって再開することができます。
- モータ制御出力の Hi-Z 状態設定は、Hi-Z 制御スタートトリガレジスタ（TAPAnOPHS）への書き込みにより行うことも可能です。
- PIC の設定により、エラー発生時の Hi-Z 制御入力の許可・禁止が可能です。

36.4.2 システム構成例

モータ制御出力（TAPA0UP／TAPA0UN／TAPA0VP／TAPA0VN／TAPA0WP／TAPA0WN）を、外部エラー検出信号（TAPA0ESO 信号）にて Hi-Z 制御する場合のシステム構成例を下記に示します。

外部エラー検出信号の有効エッジを検出すると、モータ制御出力を Hi-Z にします。

エラー発生時にマイコンがフリーズする可能性を想定し、外部のエラー検出信号を継続的に処理することによって、クロックがない状態でもモータ制御用タイマ出力を Hi-Z にできるようにしています。

なお、エラーは、エラー検出信号の有効エッジを検出したときにのみ検出されます。したがって、出力レベルが固定されている場合エラーは検出されず、信号レベルは変化しません。

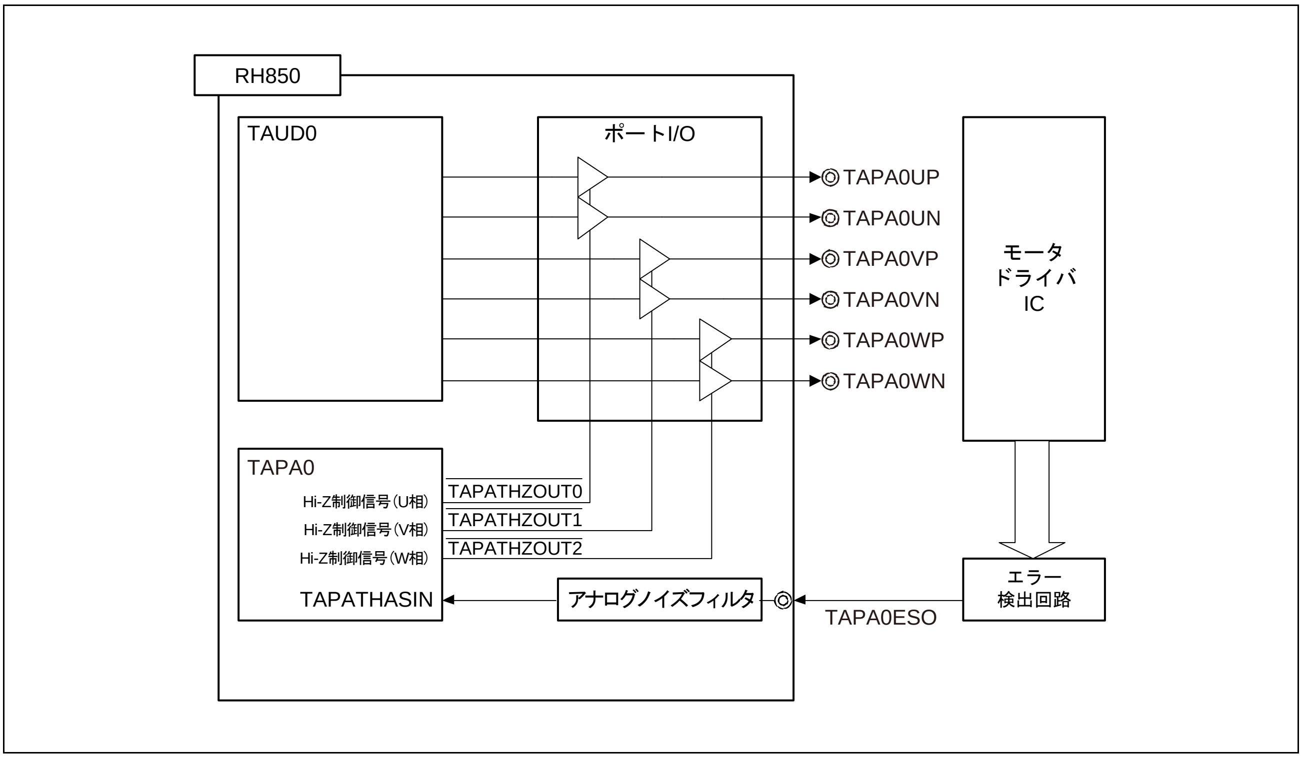


図 36.4 端子入力に対応した非同期 Hi-Z 制御のシステム構成例

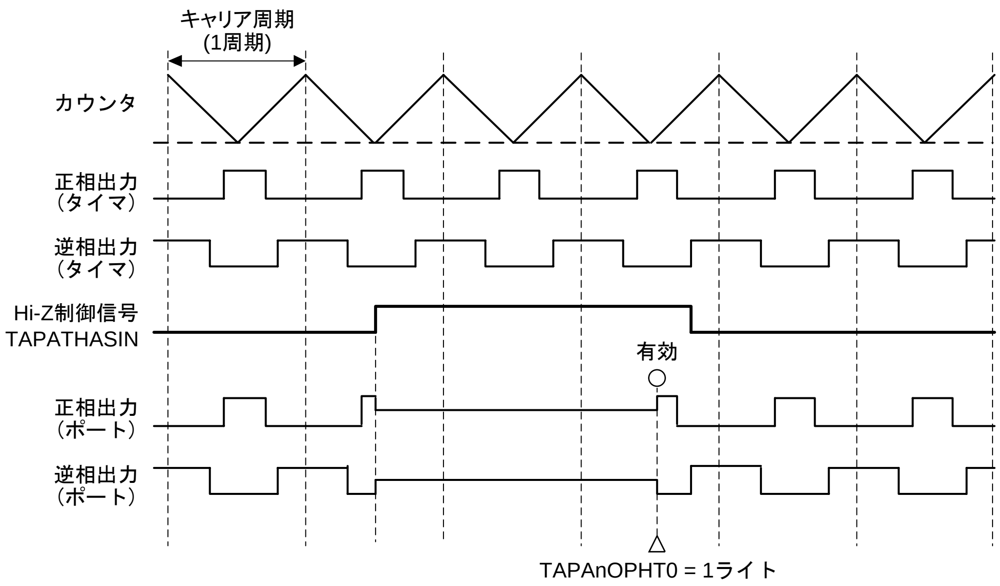
36.4.3　基本動作

モータ制御出力端子の Hi-Z 制御は次の方法で開始できます。

- 非同期 Hi-Z 制御信号（TAPATHASIN）の有効エッジ検出
- Hi-Z 制御信号のスタートトリガビット（TAPAnOPHS.TAPAnOPHS0）をセット

Hi-Z 制御信号のストップトリガビット（TAPAnOPHT.TAPAnOPHT0）をセットするまで、モータ制御出力端子が Hi-Z 状態になります。ただし、TAPAnOPHT0 ビットの設定有効／無効の条件は、TAPAnCTL0.TAPAnDCM で設定します。

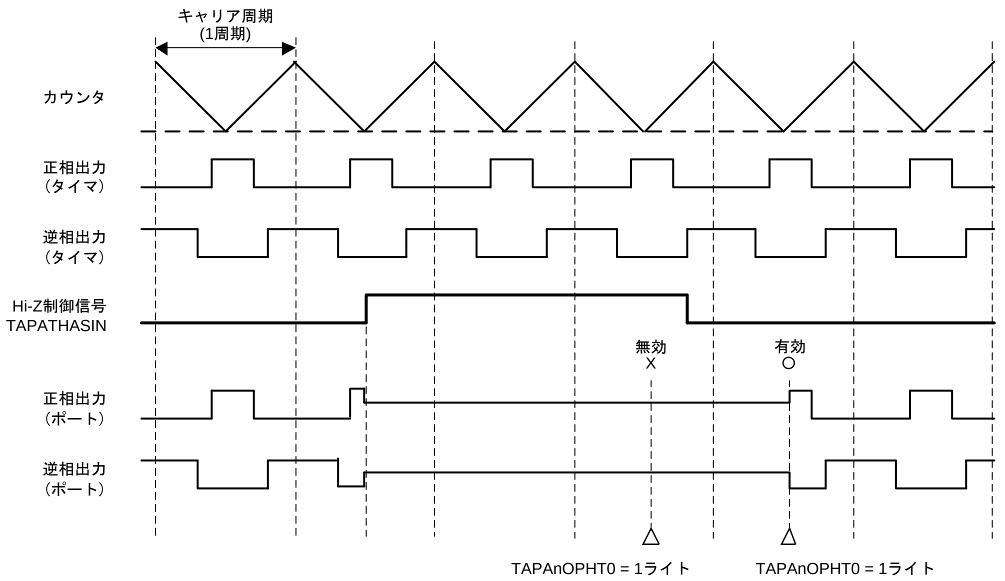
(1) TAPAnCTL0.TAPAnDCM＝0、TAPAnDCP＝1、TAPAnDCN＝0 時



TAPATHASIN の有効エッジを検出すると、モータ制御出力を強制的に停止（Hi-Z 出力）します。

TAPATHASIN のレベルに関係なく、TAPAnOPHT.TAPAnOPHT0 に“1”を書き込むことによって、モータ制御出力が再開します。

(2) TAPAnCTL0.TAPAnDCM＝1、TAPAnDCP＝1、TAPAnDCN＝0 時



TAPATHASIN の有効エッジを検出すると、モータ制御出力を強制的に停止（Hi-Z 出力）します。

TAPATHASIN がアクティブレベル（TAPAnCTL0.TAPAnDCP＝1 のためハイレベル）の間、Hi-Z 制御信号のストップトリガビット（TAPAnOPHT.TAPAnOPHT0）への“1”書き込みは無視されます。

TAPATHASIN がインアクティブ（TAPAnCTL0.TAPAnDCP＝1 のためロウレベル）レベルとなったあと、TAPAnOPHT.TAPAnOPHT0 に“1”を書き込むことによって、モータ制御出力が再開します。

36.4.4 ソフトウェアトリガによる非同期 Hi-Z 制御

Hi-Z 制御スタートトリガビット（TAPAnOPHS.TAPAnOPHS0）および Hi-Z 制御ストップトリガビット（TAPAnOPHT.TAPAnOPHT0）で、モータ制御出力の Hi-Z 制御ができます。

(1) Hi-Z 制御スタートトリガビット（TAPAnOPHS.TAPAnOPHS0）の動作

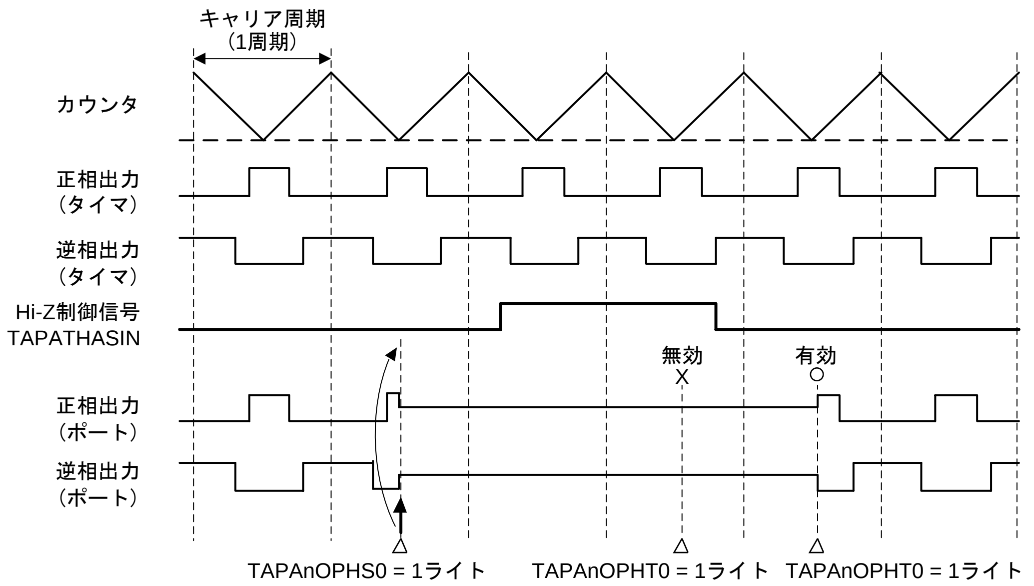
TAPAnDCM	動作
0/1	TAPAnOPHS0 ビットに“1”を書き込むことによって、Hi-Z 制御を開始し、モータ制御出力を強制的に停止（Hi-Z 出力）します。

(2) Hi-Z 制御ストップトリガビット（TAPAnOPHT.TAPAnOPHT0）の動作

Hi-Z 制御ストップトリガの有効／無効は次の条件に依存します。

TAPAnDCM	動作
0	TAPAnOPHT0 ビットに“1”を書き込むことによって、Hi-Z 制御を停止し、モータ制御出力を再開します。
1	TAPATHASIN がインアクティブ中、TAPAnOPHT0 ビットに“1”を書き込むことによって、Hi-Z 制御を停止し、モータ制御出力を再開します。

(3) TAPAnCTL0.TAPAnDCM＝1、TAPAnDCP＝1、TAPAnDCN＝0 時



TAPAnOPHS0 ビットに“1”を書き込むことによってモータ制御出力を強制的に停止（Hi-Z 出力）します。

その後、TAPATHASIN の立ち上がりエッジを検出しても、モータ制御出力は Hi-Z のままです。

TAPATHASIN がアクティブレベル（TAPAnDCN＝0、TAPAnDCP＝1 のためハイレベル）の間、TAPAnOPHT0 ビットへの書き込みは無視されます。

TAPATHASIN の立ち下がりエッジ検出後、TAPATHASIN がインアクティブ（TAPAnDCN＝0、TAPAnDCP＝1 のためロウレベル）の期間に TAPAnOPHT0 ビットに“1”を書き込むことによってモータ制御出力が再開します。

36.4.5　操作手順

以下に非同期入力 Hi-Z 制御機能の操作手順を示します。

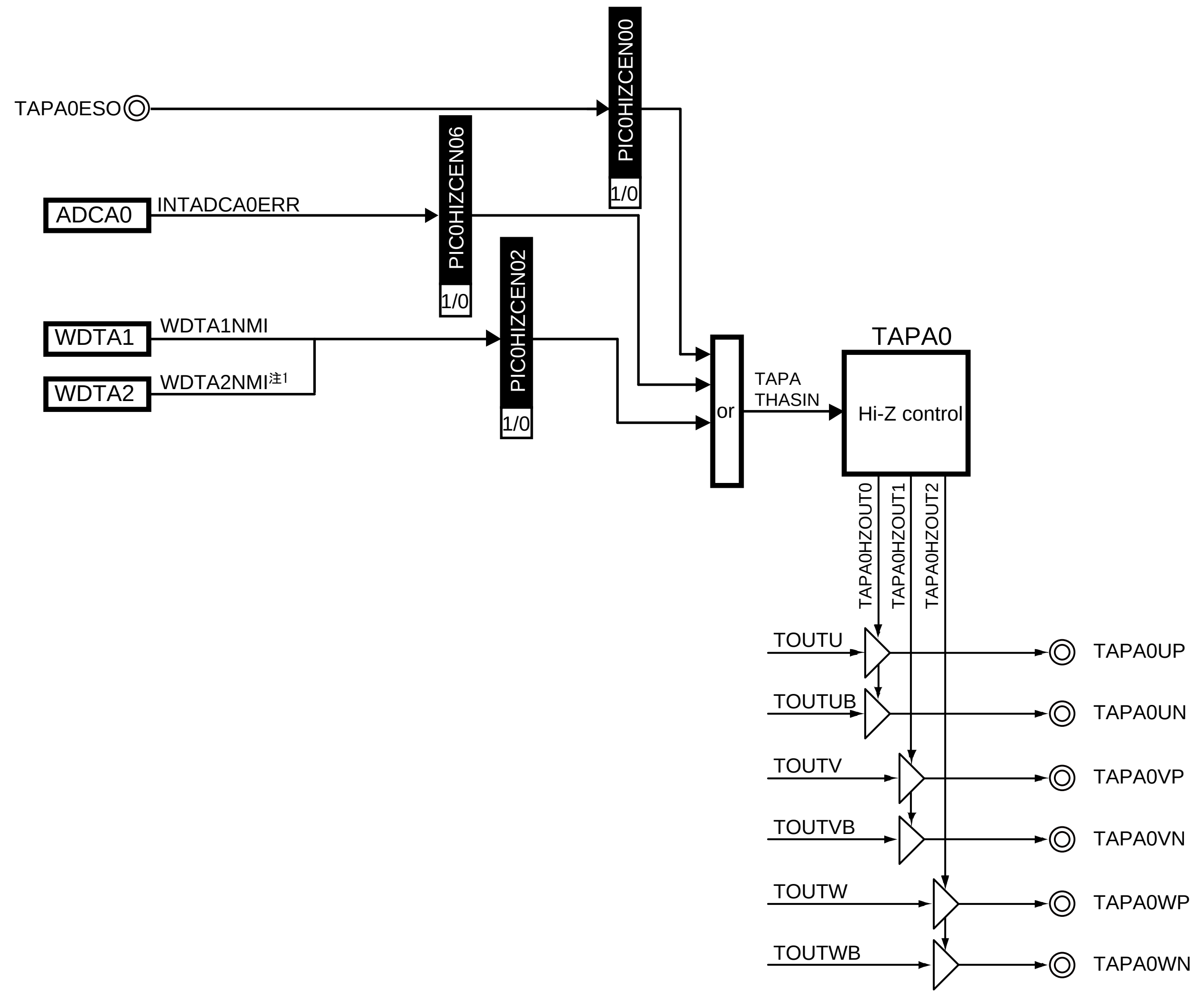
	動作	TAPA の状態
初期設定	TAPAnCTL0 レジスタを設定します。 TAPAnDCP ビット、TAPAnDCN ビットを設定（入力エッジ選択） TAPAnDCM ビットを設定（クリアモード選択）	非同期 Hi-Z 制御停止 （TAPAnFLG.TAPAnACE＝0）
動作開始	TAPAnACWE レジスタを設定します。 TAPAnACWE ビットに“1”を設定 TAPAnACTS レジスタを設定します。 TAPAnACTS ビットに“1”を設定	 TAPAnACTS ビットの書き込み可能 非同期 Hi-Z 制御許可 （TAPAnFLG.TAPAnACE＝1）
動作中	タイマ機能の出力に対して Hi-Z 制御を開始（スタート）する方法は、以下のとおりです。 ● TAPAnOPHS レジスタで制御 ● 非同期 Hi-Z 制御信号（TAPATHASIN）で制御 タイマ機能出力の Hi-Z 制御を終了（ストップ）する方法は、以下のとおりです。 ● TAPAnOPHT レジスタで制御 （TAPAnDCM ビット＝1 の場合は TAPATHASIN 信号がインアクティブ時のみ TAPAnOPHT レジスタによる制御が可能） TAPAnFLG レジスタで常に TAPA の動作状態が読み出し可能です。	非同期 Hi-Z 制御信号（TAPATHASIN）の有効エッジ検出、または Hi-Z 制御スタートトリガビットを設定（TAPAnOPHS0 ビット＝1）することによって、モータ制御出力端子の Hi-Z 制御を開始。 TAPAnDCM ビットで設定した動作モードに従い、Hi-Z 制御ストップトリガビットを設定（TAPAnOPHT0 ビット＝1）することによって、モータ制御出力端子の Hi-Z 制御を停止。
動作停止	TAPAnACWE レジスタを設定します。 TAPAnACWE ビットに“1”を設定 TAPAnACTT レジスタを設定します。 TAPAnACTT ビットに“1”を設定	 TAPAnACTT ビットの書き込み許可 非同期 Hi-Z 制御停止 （TAPAnFLG.TAPAnACE＝0）

動作再開

36.4.6 TAPA0 Hi-Z 制御入力選択

エラー発生時にモータ制御出力を停止するには、下図に示すように、PIC にてエラーイベントを選択し、TAPA0 にてモータ制御出力を Hi-Z 状態にします。

PIC0HIZCEN0＝00H 設定、または TAPA0ACWE＝01H 設定後、TAPA0ACTT＝01H 設定することにより、TAPA 機能を停止できます。



注1. この機能は、RH850/F1KH-D8 が対応しています。

図 36.5 Hi-Z 制御ブロック図

Hi-Z 状態への切り替えは、以下の入力により可能です。

- TAPA0ESO 端子入力
- A/D コンバータ ADCA0 エラー信号 ADCA0ERR

- RH850/F1KH-D8
  ウインドウウォッチドッグタイマ WDTA1 ノンマスカブル割り込み WDTA1NMI および、ウインドウウォッチドッグタイマ WDTA2 ノンマスカブル割り込み WDTA2NMI

  RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1
  ウインドウウォッチドッグタイマ WDTA1 ノンマスカブル割り込み WDTA1NMI

これらの信号の詳細については、各機能の説明を参照してください。

36.4.7 レジスタ

36.4.7.1 PIC0HIZCENn — Hi-Z 出力制御レジスタ n（n＝0）

PIC0HIZCENn レジスタは、TAPAn の Hi-Z 出力制御信号を選択します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <PIC0_base> + 80_H

リセット後の値 00_H

ビット	7	6	5	4	3	2	1	0
	—	PIC0HIZCENn6	—	—	—	PIC0HIZCENn2	—	PIC0HIZCENn0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R	R	R	R/W	R	R/W

表 36.23 PIC0HIZCENn レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	PIC0HIZCENn6	INTADCA0ERR 割り込み信号による Hi-Z 出力制御の許可／禁止を選択します。 0：禁止 1：許可
5～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	PIC0HIZCENn2	RH850/F1KH-D8 WDTA1NMI、WDTA2NMI 割り込み信号による Hi-Z 出力制御の許可／禁止を選択します。 0：禁止 1：許可 RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1 WDTA1NMI 割り込み信号による Hi-Z 出力制御の許可／禁止を選択します。 0：禁止 1：許可
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	PIC0HIZCENn0	TAPAnESO 端子入力による Hi-Z 出力制御の許可／禁止を選択します。 0：禁止 1：許可

36.5　INT 信号出力選択機能

36.5.1　INT 信号出力選択機能の構成

TAUD の三角波キャリア周期生成チャネル（マスタ）の INT 信号が接続された TAPATSIM0 信号とカウンタのアップ／ダウン信号が接続された TAPATUDCM0 信号から、山割り込み TAPATIPEK0 と谷割り込み TAPATIVLY0 を生成する機能です。

本製品における TAPATSIM0 信号の接続先は「**36.1.7 内部出力信号**」を参照してください。

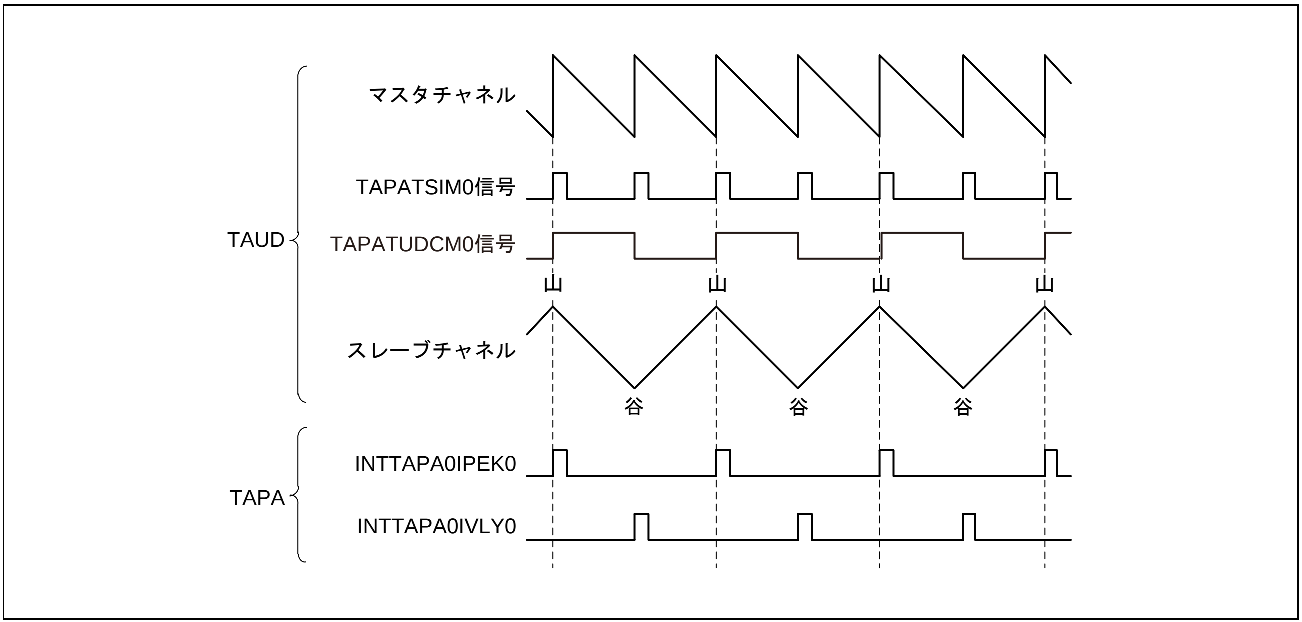


図 36.6　INT 信号出力選択機能の基本動作タイミング

マスタチャネルで三角波キャリア周期を生成します。

1/2 三角波キャリア周期ごとに発生するマスタチャネルの INT 信号は TAPATSIM0 信号として TAPAn に入力されます。TAPAn は入力された TAPATSIM0 信号と TAPATUDCM0 信号により、TAPATUDCM0 信号がハイ・レベルの間、TAPATIPEK0 信号（山割り込み）を生成し、TAPATUDCM0 信号がロウ・レベルの間、TAPATIVLY0 信号（谷割り込み）を生成します。

注　意

山割り込み TAPATIPEK0 と谷割り込み TAPATIVLY0 は TAUD のマスタチャネルの機能にかかわらず発生します。

これらの山割り込み、谷割り込みを使用しない場合は、それぞれ ICTAPAnIPEK0 レジスタと ICTAPAnIVLY0 レジスタにてマスクしてください。

36.5.2　ブロック図

INT 信号出力選択機能は下記レジスタにて TAUDn と TAPAn を接続します。

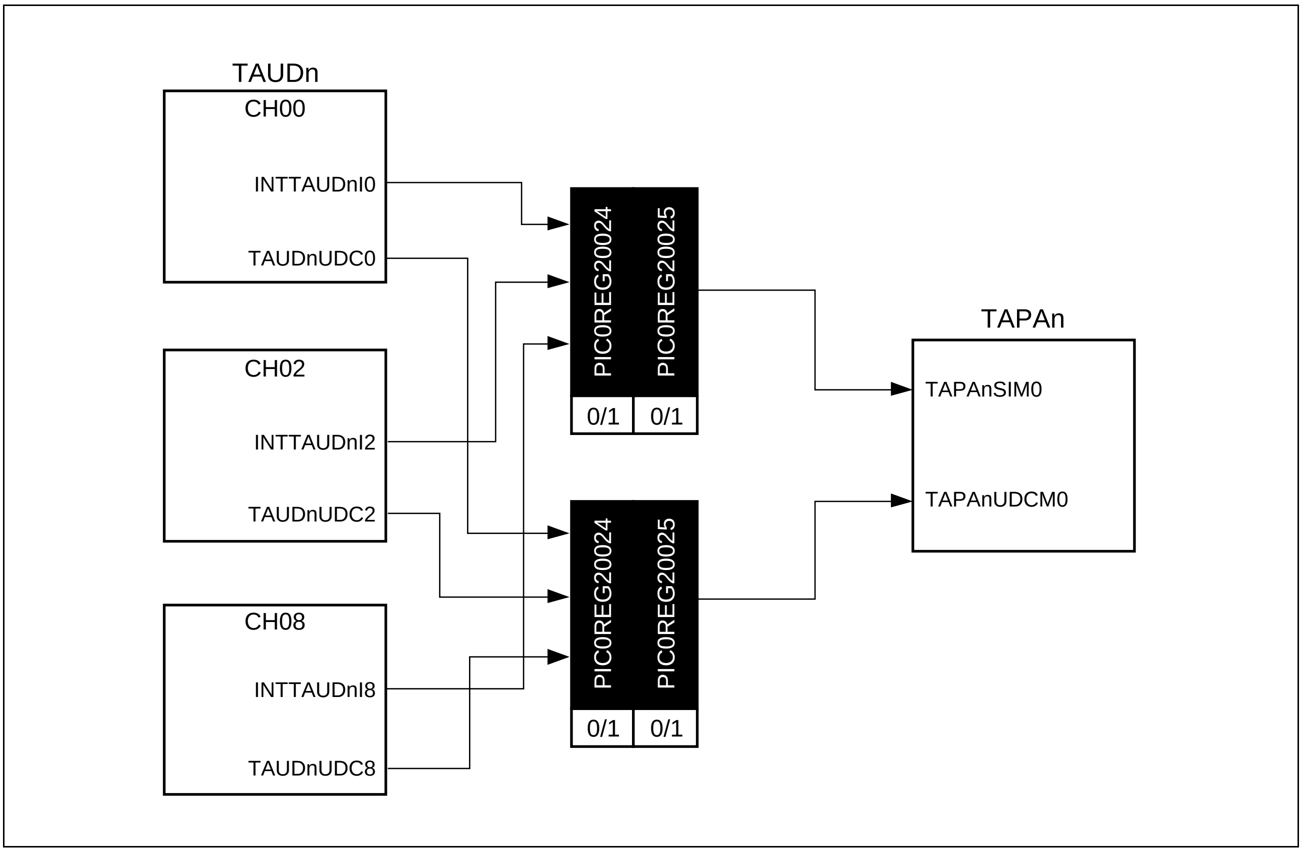


図 36.7　INT 信号の接続

36.5.3　レジスタ

36.5.3.1　PIC0REG2n0 ― タイマ入出力制御レジスタ 2n0（n＝0）

TAPA0 の入力選択を行うレジスタです。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　PIC0REG200：FFDD 00C0H

リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	PIC0REG2n025	PIC0REG2n024	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 36.24　PIC0REG2n0 レジスタの内容

ビット位置	ビット名	機能
31～26	予約ビット	注 1
25、24	PIC0REG2n025、PIC0REG2n024	TAPATSIM0、TAPATUDCM0 で使用する TAUDn のチャネルを選択します。 00：選択なし 01：TAUD0 チャネル 0 選択 10：TAUD0 チャネル 2 選択 11：TAUD0 チャネル 8 選択
23～0	予約ビット	注 1

注1.　PIC0REG2n0 レジスタに“0”を定義しているビットは、他のタイマ接続機能で定義していることがあります。その場合、該当するタイマ接続機能のビット定義を適用してください。

36.6　A/D コンバータ変換トリガ選択機能

TAUD の三角波キャリア周期とのコンペア一致割り込みに接続された TAPATCDENS0 信号／TAPATCDENS1 信号、または谷割り込み信号（TAPATIVLY0）から A/D コンバータ変換トリガ用信号（TAPATADOUT0/TAPATADOUT1）を出力する機能です。

36.6.1　A/D コンバータ変換トリガ選択機能の構成

表 36.25　TAPATADOUT 信号生成に使用する信号一覧

出力信号	スレーブ一致検出信号	谷割り込み信号
TAPATADOUT0	TAPATCDENS0	INTTAPA0IVLY0
TAPATADOUT1	TAPATCDENS1	INTTAPA0IVLY0

表 36.26　TAPAnCTL1.TAPAnATS[3:2]、TAPATADOUT1 の動作

TAPAnATS3	TAPAnATS2	動作説明
0	0	三角波のダウンカウント中の INT 信号を TAPATADOUT1 から出力
0	1	三角波のアップカウント中の INT 信号を TAPATADOUT1 から出力
1	0	三角波のアップ／ダウンカウント中の INT 信号を TAPATADOUT1 から出力
1	1	三角波のアップ／ダウンカウント中の INT 信号と谷割り込み TAPATIVLY0 を TAPATADOUT1 から出力

表 36.27　TAPAnCTL1.TAPAnATS[1:0]、TAPATADOUT0 の動作

TAPAnATS1	TAPAnATS0	動作説明
0	0	三角波のダウンカウント中の INT 信号を TAPATADOUT0 から出力
0	1	三角波のアップカウント中の INT 信号を TAPATADOUT0 から出力
1	0	三角波のアップ／ダウンカウント中の INT 信号を TAPATADOUT0 から出力
1	1	三角波のアップ／ダウンカウント中の INT 信号と谷割り込み TAPATIVLY0 を TAPATADOUT0 から出力

36.6.2　ブロック図

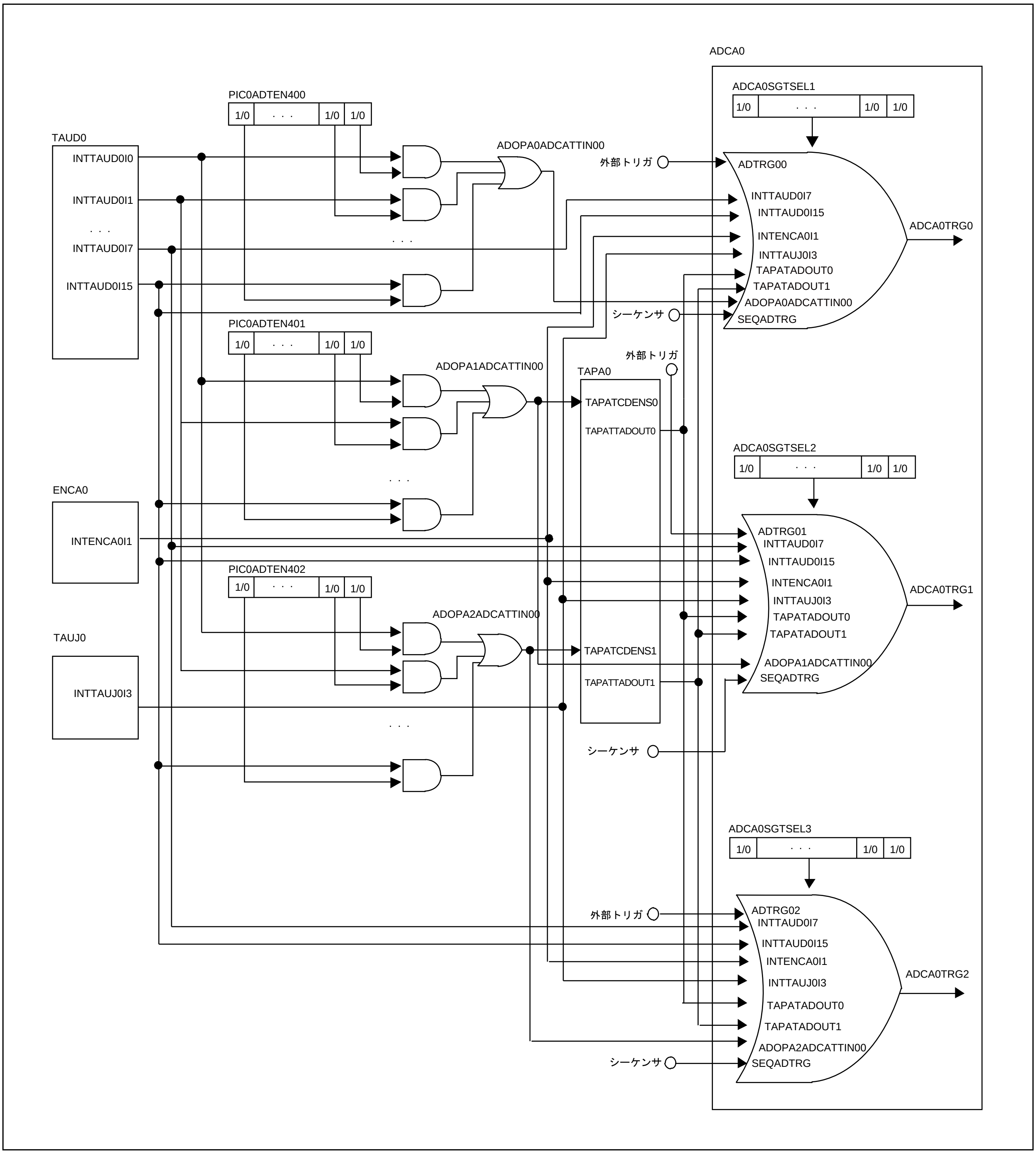


図 36.8　　A/D 変換トリガ選択機能のブロック図

備　考

ADCA0SGTSEL レジスタ設定の詳細については、「**38.3.4.1 ADCAnSGTSELx — スキャングループ x 開始トリガ制御レジスタ**」を参照ください。

36.6.3　三角波 PWM モード時の A/D コンバータトリガ出力制御動作波形

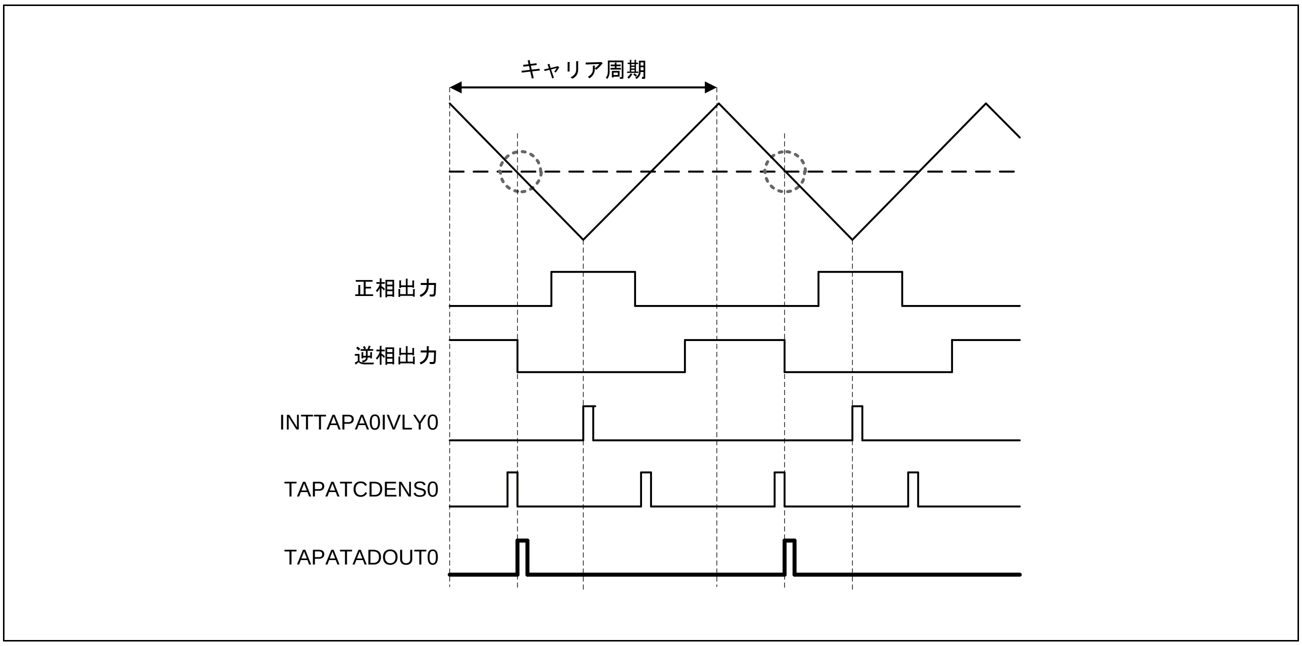


図 36.9　TAPAnATS[1:0]ビット＝00_B：三角波がダウンカウント中に INT 信号を出力

三角波がダウンカウント中の TAPATCDENS0 信号／TAPATCDENS1 信号は、A/D コンバータ変換トリガ用信号（TAPATADOUT0/TAPATADOUT1）として出力されます。

三角波がアップカウント中は、A/D コンバータ変換トリガ用信号は出力されません。

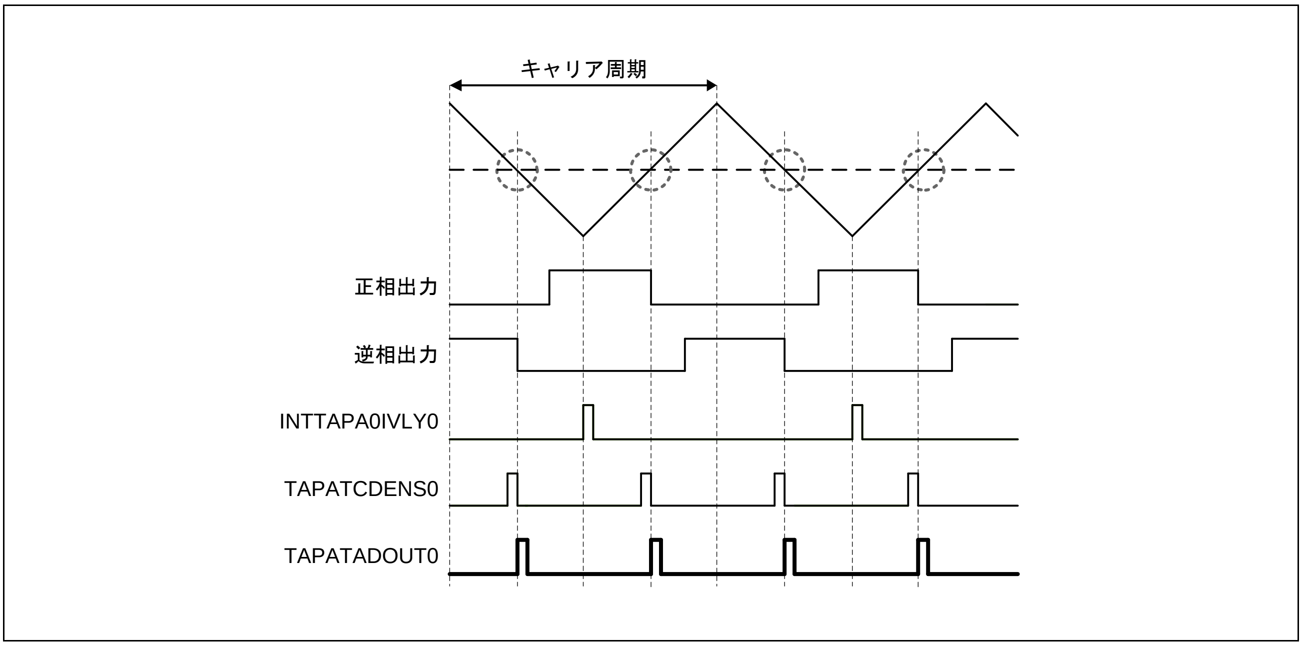


図 36.10　TAPAnATS[1:0]ビット＝10_B：三角波がアップ／ダウンカウント中に INT 信号を出力

TAPATCDENS0 信号／TAPATCDENS1 信号は A/D コンバータ変換トリガ用信号（TAPATADOUT0/TAPATADOUT1）として出力されます。

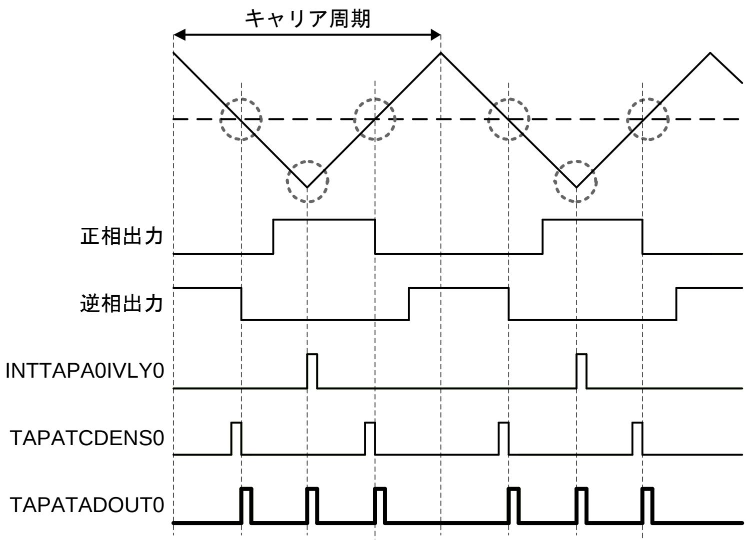


図 36.11　TAPAnATS[1:0]ビット＝11_B：三角波がアップ／ダウンカウント中の INT 信号と谷割り込みを出力

TAPATCDENS0 信号／TAPATCDENS1 信号と谷割り込み TAPATIVLY0 が A/D コンバータ変換トリガ用信号（TAPATADOUT0/TAPATADOUT1）として出力されます。

36.6.4 A/D コンバータ変換トリガ選択機能の操作手順

以下に A/D コンバータ変換トリガ選択機能の操作手順を示します。

動作再開

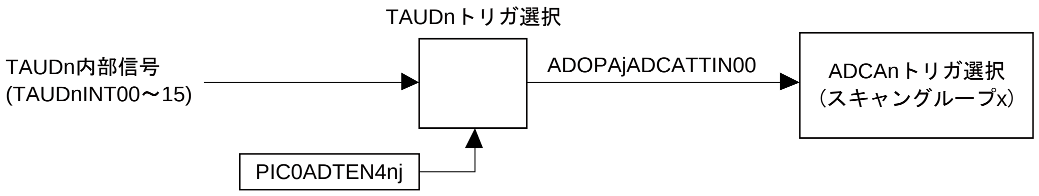
	動作	TAUD、TAPA の状態
初期設定	TAUD を初期設定します。 タイマ動作モードを確定 TAPAnCTL1 レジスタを設定します。 TAPAnATS[1:0]を設定（TAPATADOUT0 の設定） TAPAnATS[3:2]を設定（TAPATADOUT1 の設定） 使用する信号に合わせて PIC0ADTEN4nj、PIC0REG2n0 レジスタを設定します。 PIC0ADTEN4nj を設定（TAPATCDENS0、1 の設定） PIC0REG2n0 を設定（TAPATIVLY0 の設定）	TAUD、TAPA は動作停止。
動作開始	TAUD を動作開始します。	TAUD のカウント動作が開始します。
動作中	TAUD は、各機能の設定に従って動作します。	A/D 変換トリガ選択機能は、TAUD からの割り込み入力（TAPATCDENS1/TAPATCDENS0）、TAPA で生成した谷割り込み信号（TAPATIVLY0）をもとに、TAPAnATS[1:0]の設定に従って TAPATADOUT0、または TAPAnATS[3:2]の設定に従って TAPATADOUT1 を出力します。
動作停止	TAUD を動作停止します。	TAUD のカウント動作が停止します。

36.7　ADCA トリガ選択機能

36.7.1　機能概要

TAUDn の各チャネル出力を使って、ADCA ハードウェアトリガ信号を生成する機能です。

36.7.2　構成



備考　**「図 36.8　A/D 変換トリガ選択機能のブロック図」**を参照してください。

図 36.12　ADCA トリガ選択機能ブロック図

36.7.3 レジスタ

36.7.3.1 PIC0ADTEN4nj — A/D 変換トリガ出力制御レジスタ 4nj（n＝0、j＝0～2）

TAUDn チャネル m からの ADCA0 開始トリガソースを選択します。（m＝0～15）

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<PIC0_base> + 90_H + 4 × j

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC0 ADTEN 4nj15	PIC0 ADTEN 4nj14	PIC0 ADTEN 4nj13	PIC0 ADTEN 4nj12	PIC0 ADTEN 4nj11	PIC0 ADTEN 4nj10	PIC0 ADTEN 4nj09	PIC0 ADTEN 4nj08	PIC0 ADTEN 4nj07	PIC0 ADTEN 4nj06	PIC0 ADTEN 4nj05	PIC0 ADTEN 4nj04	PIC0 ADTEN 4nj03	PIC0 ADTEN 4nj02	PIC0 ADTEN 4nj01	PIC0 ADTEN 4nj00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 36.28　PIC0ADTEN4nj レジスタの内容

ビット位置	ビット名	機能
15～0	PIC0ADTEN4nj15 ～ PIC0ADTEN4nj00	TAUDn の CHm（m＝0～15）のトリガソースを設定 0：TAUDn CHm の A/D トリガソース禁止 1：TAUDn CHm の A/D トリガソース許可

36.7.4 動作機能の設定例

(1) 初期設定：使用する TAUD0 の各チャネルの機能を設定します。

(2) A/D 変換トリガ出力制御レジスタ 4nj（PIC0ADTEN4nj）設定：
TAUD0 の各チャネルからの割り込み要求信号を A/D 変換のスキャングループのトリガとして選択するには、A/D 変換トリガ出力レジスタ 4nj（PIC0ADTEN4nj）のビットを "1" にしてください。

– レジスタ設定操作は、A/D 停止時に行ってください。

(3) A/D 変換トリガ選択制御レジスタ（ADCA0SGTSELx）設定：
各トリガに対応するビットを 1 にすることで各トリガからの論理和（OR）を取った信号を A/D 変換のスキャングループの開始トリガに使用できます。

– レジスタ設定操作は、A/D 停止時に行ってください。

(4) TAUD0 の動作許可：
(1)で設定した TAUD0 の各チャネルがスタートします。

36.7.5 設定フロー

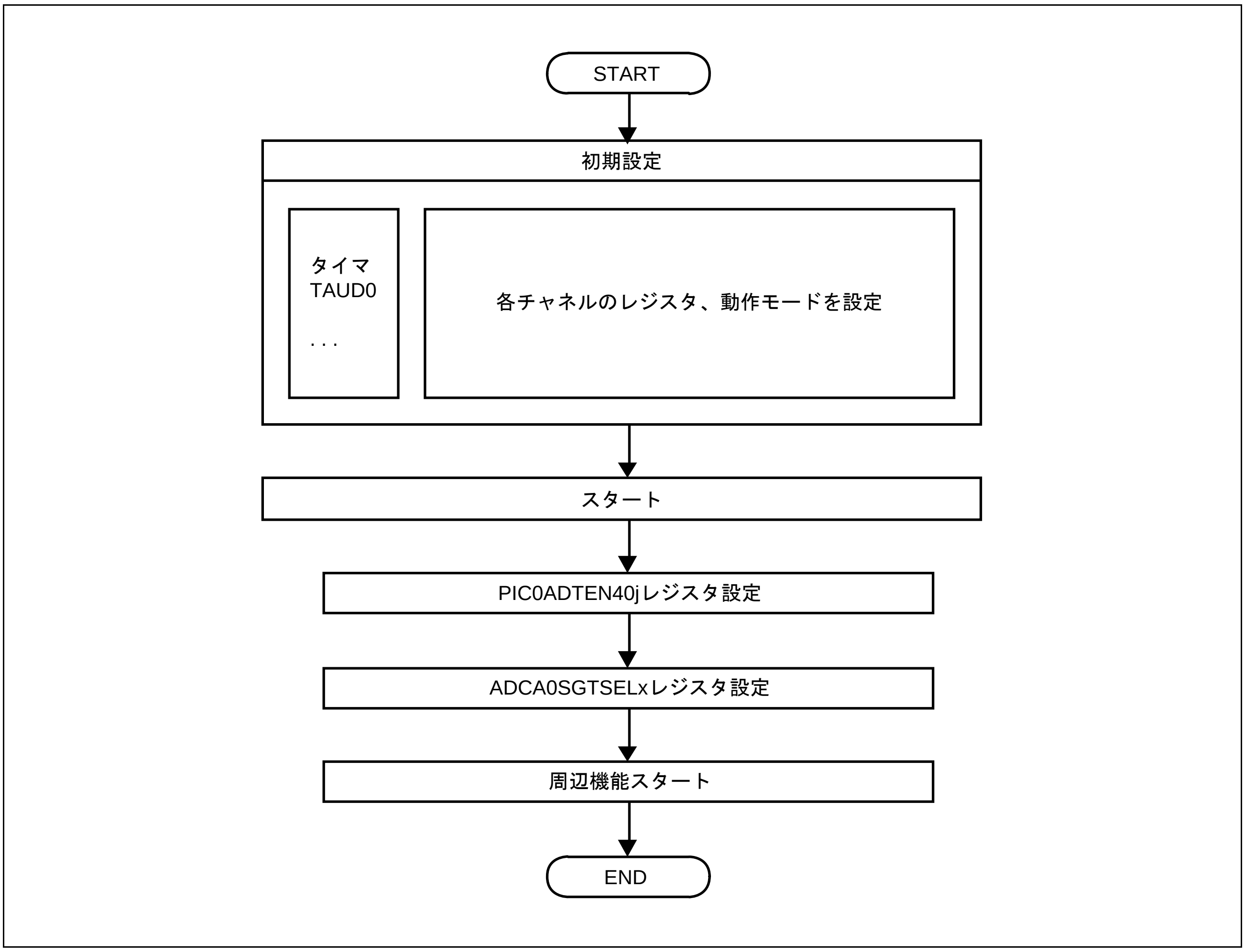


図 36.13 設定フロー（j＝0～2）

36.8　同時スタートトリガ機能

36.8.1　機能概要

各タイマ（TAUD0、TAUJ1、ENCA0）の任意の組み合わせでの同時スタートが可能です。

36.8.2　構成

(1) 構成

表 36.29　同時スタートトリガ機能の構成

構成／タイマ機能	タイマ
タイマ構成	TAUD0、TAUJ1、ENCA0

(2) ブロック図

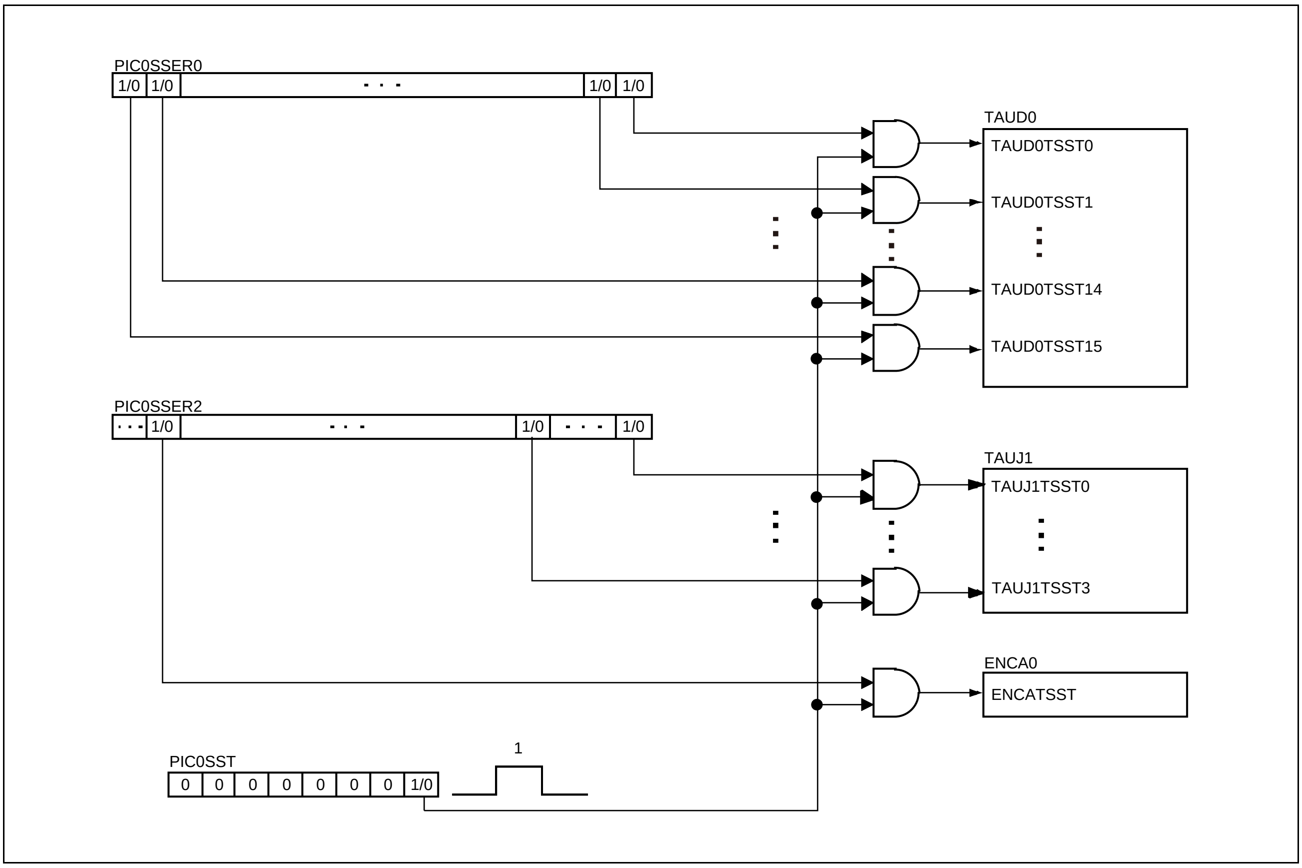


図 36.14　同時スタートトリガのブロック図

36.8.3　レジスタ

36.8.3.1　PIC0SSER0 — 同時スタート制御レジスタ 0

PIC0SSER0 レジスタは、TAUD0 の各チャネルのスタートトリガ許可を行うレジスタです。

アクセス　16 ビット単位でリード／ライト可能です。
アドレス　<PIC0_base> + 10_H
リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC0SSER015	PIC0SSER014	PIC0SSER013	PIC0SSER012	PIC0SSER011	PIC0SSER010	PIC0SSER009	PIC0SSER008	PIC0SSER007	PIC0SSER006	PIC0SSER005	PIC0SSER004	PIC0SSER003	PIC0SSER002	PIC0SSER001	PIC0SSER000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 36.30　PIC0SSER0 レジスタの内容

ビット位置	ビット名	機能
15～0	PIC0SSER015～PIC0SSER000	TAUD0 の CHm の同時スタートトリガ許可を設定します。 0：同時スタートトリガ禁止 1：同時スタートトリガ許可

36.8.3.2　PIC0SSER2 — 同時スタート制御レジスタ 2

PIC0SSER2 レジスタは、ENCA0、TAUJ1 のスタートトリガ許可を行うレジスタです。

アクセス　16 ビット単位でリード／ライト可能です。
アドレス　<PIC0_base> + 18_H
リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PIC0SSER214(ENCA0)	—	—	—	—	—	—	—	—	—	—	PIC0SSER203	PIC0SSER202	PIC0SSER201	PIC0SSER200
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 36.31　PIC0SSER2 レジスタの内容

ビット位置	ビット名	機能
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14	PIC0SSER214	ENCA0 の同時スタートトリガ許可を設定します。 0：同時スタートトリガ禁止 1：同時スタートトリガ許可
13～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3～0	PIC0SSER203～PIC0SSER200	TAUJ1 の CHm の同時スタートトリガ許可を設定します。 0：同時スタートトリガ禁止 1：同時スタートトリガ許可

36.8.3.3　PIC0SST — 同時スタートトリガ制御レジスタ

アクセス　8 ビット単位でライトのみ可能です。

アドレス　<PIC0_base> + 04_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	SYNCTRG
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 36.32　PIC0SST レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	SYNCTRG	同時スタート許可に設定したタイマに対して、スタートトリガを生成します。リード時は常に“0”が読めます。 0：無効 1：同時スタートトリガ生成（1PCLK 幅のパルスを出力）

36.8.4 動作例

(1) タイマ構成の動作例：
任意の動作モードで動作する各タイマの任意の組み合わせでの同時スタートを行います。

(2) 同時スタート許可設定：
同時スタートさせる対象タイマについて、PIC0SSER0、PIC0SSER2 の該当ビットを 1 にすることで、各タイマの同時スタートを許可します。

(3) スタートトリガ出力：
PIC0SST の SYNCTRG ビットに 1 をライトすることで、(2)で設定された対象タイマが同時にスタートします。

(4) スタートしていないチャネルに対して(2)、(3)を繰り返すことで、異なる対象タイマを複数回に分けて同時にスタートできます。

36.8.5　設定フロー

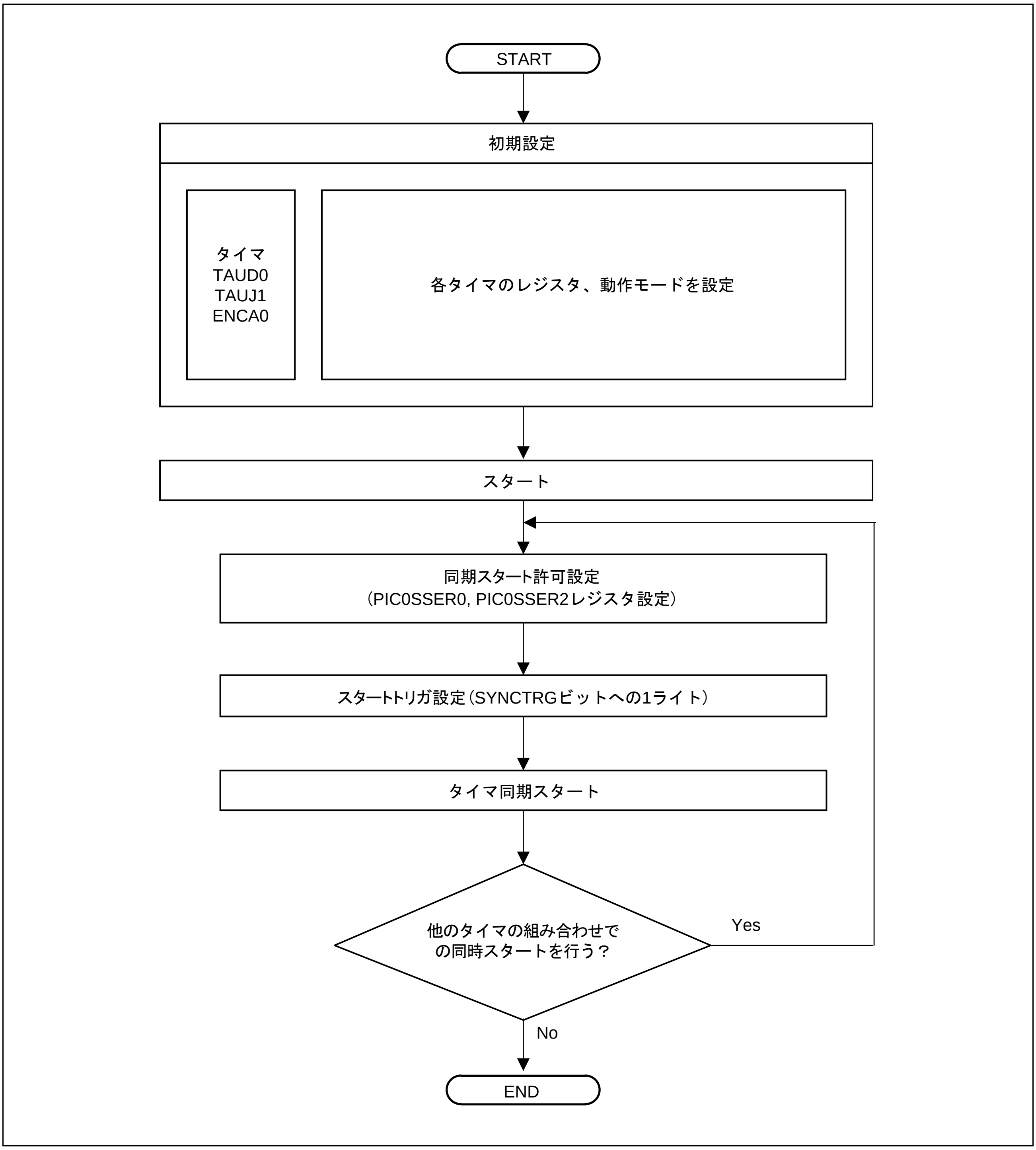


図 36.15　設定フロー

36.9　トリガ＆パルス幅測定機能

36.9.1　機能概要

ENCA0 から出力されるトリガを TAUJ1、TAUD0 に入力し、トリガの周期を測定することが可能です。

36.9.2　構成

(1)　構成

表 36.33　トリガ＆パルス幅測定機能の構成

構成／タイマ機能	タイマ
タイマ構成	ENCA0、TAUD0、TAUJ1

表 36.34　TAUJ1/TAUD0 各チャネル機能設定

TAU	チャネル	機能名	M/S 注1	パルス幅測定対象トリガ
TAUJ1	00	TINm 入力パルスインターバル測定機能	S	ENCAT0IEC 注2
	01	TINm 入力パルスインターバル測定機能	S	ENCAT0IEC 注2
TAUD0	00	TINm 入力パルスインターバル測定機能	S	ENCAT0EQ0、ENCAT0EQ1
	01	TINm 入力パルスインターバル測定機能	S	ENCAT0EQ1
	02	TINm 入力パルスインターバル測定機能	S	ENCAT0EQ0

注1.　M：マスタチャネル　S：スレーブチャネル

注2.　ENCAT0EIC は「**表 35.8　割り込み要求 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)**」の ENCATIEC（エンコーダクリア割り込み）と読み替えてください。

(2) ブロック図

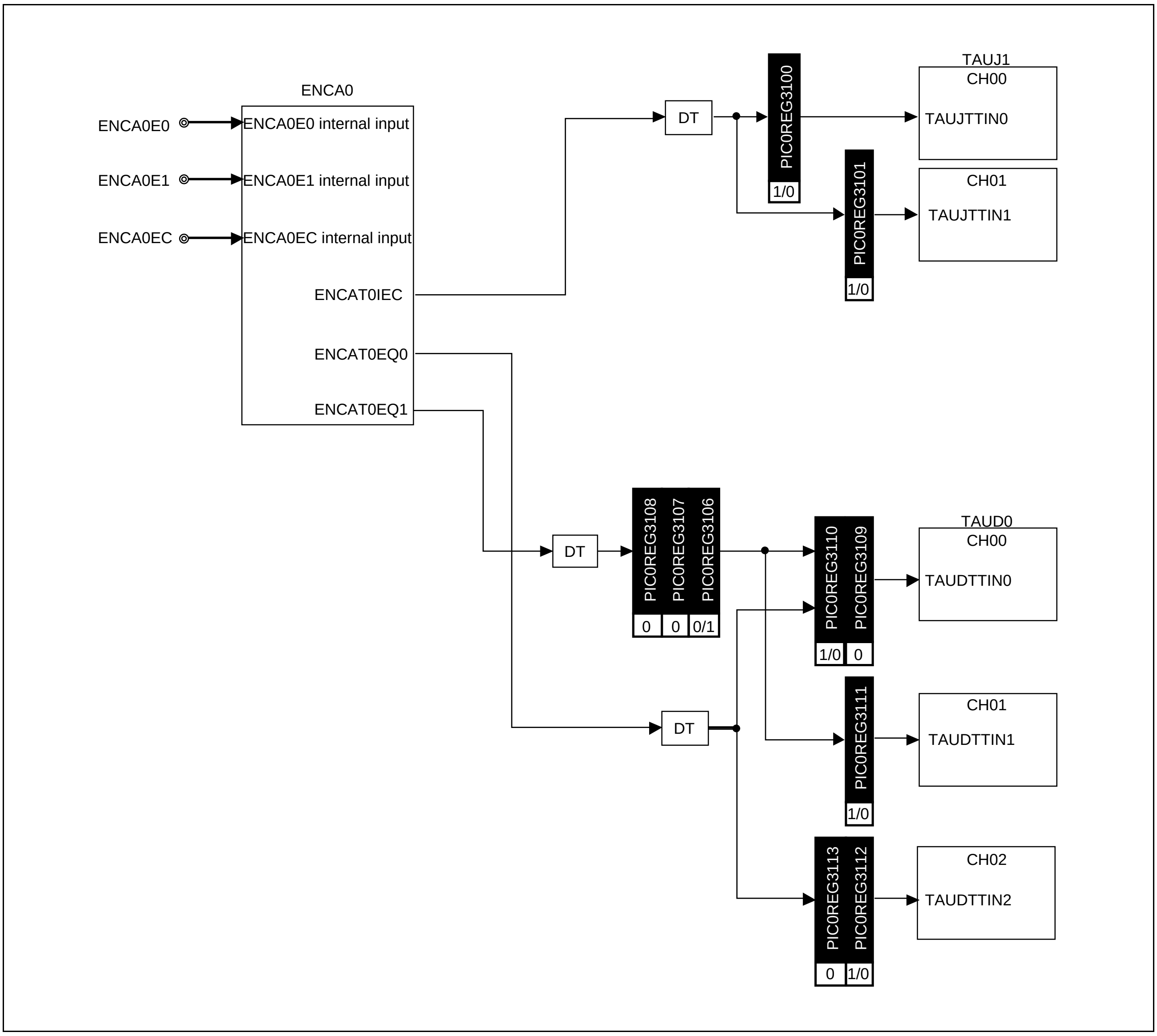


図 36.16　トリガ＆パルス幅測定機能のブロック図

36.9.3　レジスタ

36.9.3.1　PIC0REG31 ― タイマ入出力制御レジスタ 31

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<PIC0_base> + $\mathrm{EC_H}$

リセット後の値　0000 $\mathrm{0000_H}$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PIC0REG3113	PIC0REG3112	PIC0REG3111	PIC0REG3110	PIC0REG3109	PIC0REG3108	PIC0REG3107	PIC0REG3106	—	—	—	—	PIC0REG3101	PIC0REG3100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

表 36.35　PIC0REG31 レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>31～14</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>13、12</td><td>PIC0REG3113～
PIC0REG3112</td><td>TAUD0 の CH2 への TIN 入力信号を選択します。
<table>
<tr><th>PIC0REG3113</th><th>PIC0REG3112</th><th>入力信号</th></tr>
<tr><td>0</td><td>0</td><td>TAUD0 の CH2 をトリガ幅測定に使用しない</td></tr>
<tr><td>0</td><td>1</td><td>ENCAT0EQ0 の DT 出力信号</td></tr>
<tr><td colspan="2">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>11</td><td>PIC0REG3111</td><td>TAUD0 の CH1 への TIN 入力信号を選択します。
0：TAUD0 の CH1 をトリガ幅測定に使用しない。
1：PIC0REG3106～PIC0REG3108 で選択した信号（ENCATEQ1 信号測定時）</td></tr>
<tr><td>10、9</td><td>PIC0REG3110～
PIC0REG3109</td><td>TAUD0 の CH0 への TIN 入力信号を選択します。
<table>
<tr><th>PIC0REG3110</th><th>PIC0REG3109</th><th>入力信号</th></tr>
<tr><td>0</td><td>0</td><td>PIC0REG3106～PIC0REG3108 で選択した信号</td></tr>
<tr><td>0</td><td>1</td><td>ENCAT0EQ0 の DT 出力信号</td></tr>
<tr><td colspan="2">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>8～6</td><td>PIC0REG3108～
PIC0REG3106</td><td>TAUD0 の CH0、CH1 への TIN 入力信号を選択します。
<table>
<tr><th>PIC0REG3108</th><th>PIC0REG3107</th><th>PIC0REG3106</th><th>入力信号</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>TAUD0 の CH0 をトリガ測定に使用しない</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>ENCAT0EQ1 の DT 出力信号</td></tr>
<tr><td colspan="3">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>5～2</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>1</td><td>PIC0REG3101</td><td>TAUJ1 の CH1 への TIN 入力信号を選択します。
0：TAUJ1 の CH1 をトリガ幅測定に使用しない。
1：ENCAT0IEC の DT 出力信号</td></tr>
<tr><td>0</td><td>PIC0REG3100</td><td>TAUJ1 の CH0 への TIN 入力信号を選択します。
0：TAUJ1 の CH0 をトリガ幅測定に使用しない。
1：ENCAT0IEC の DT 出力信号</td></tr>
</table>

36.9.4　動作例

ENCA0 のトリガ信号（ENCAT0IEC、ENCAT0EQ0、ENCAT0EQ1）と、TAUD0、TAUJ1 の次の機能の組み合わせにより実現します。

- TAUDTTINm 入力パルスインターバル測定機能（TAUD0）
- TAUJTTINm 入力パルスインターバル測定機能（TAUJ1）

また、TINm に入力するトリガ信号をレベル変化のトグル信号へ変換するため、PIC 内の以下機能を使用します。

- DT 回路

トリガ&パルス幅測定機能は、ENCA0 から出力されるトリガ信号の間隔を TAUD0 の TAUDTTINm 入力パルスインターバル測定機能、TAUJ1 の TAUJTTINm 入力パルスインターバル測定機能により測定できる機能を実現します。

(1)　TAUDTTINm 入力パルスインターバル測定機能、TAUJTTINm 入力パルスインターバル測定機能

TAUD0、TAUJ1 の TINm の有効エッジを検出すると CNTm の値を CDRm にキャプチャし、CNTm をクリアします。

注　意

本機能では、TINm で検出する有効エッジを両エッジ検出（TAUD0CMURm.TAUD0TIS[1:0]＝10B、TAUJ1CMURm.TAUJ1TIS[1:0]＝10B）とする設定にしてください。

TAUD、TAUJ の機能の詳細については、それぞれの章を参照してください。

(2)　DT 回路

ENCA0 が出力するトリガ信号をレベル変化のトグル信号に変換します。

「**図 36.17　DT 回路動作**」に示すとおり、入力であるトリガ信号の発生ごとに出力信号をトグルさせます。

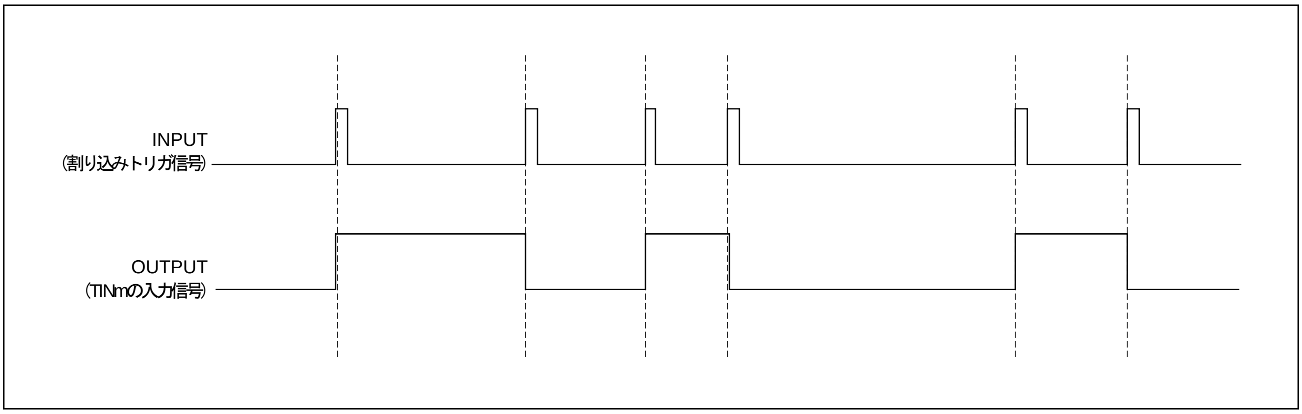


図 36.17　DT 回路動作

PIC は、ENCA0 からのトリガ信号の発生間隔を測定するための TAUD0、TAUJ1 への入力信号変換および信号接続を提供します。

次にトリガ＆パルス幅測定機能のタイミング図を示します。

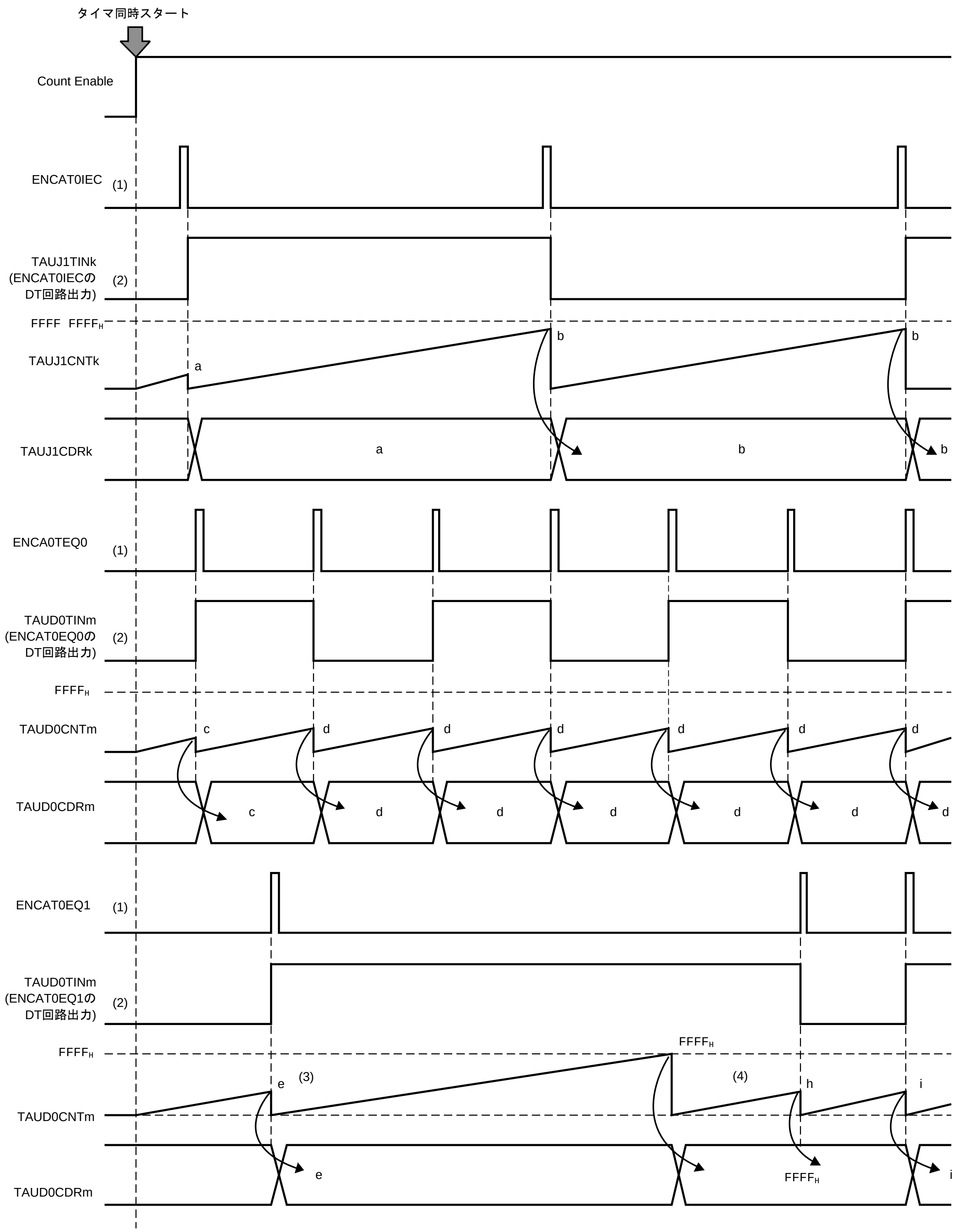


図 36.18　トリガ＆パルス幅測定機能の動作例（m＝0～2、k＝0, 1）

(1) ENCA0 は次のトリガ信号を出力します。

- ENCAT0IEC（ENCA0EC 入力によりタイマカウンタ値がクリアされた時出力される割り込みトリガ信号）
- ENCAT0EQ0（タイマカウンタ値とコンペアレジスタ 0 の値が一致したタイミングで出力されるトリガ信号）
- ENCAT0EQ1（タイマカウンタ値とコンペアレジスタ 1 の値が一致したタイミングで出力されるトリガ信号）

(2) ENCA0 から出力された各トリガ信号は DT 回路によりレベル変化のトグル信号に変換し TAUD0 および TAUJ1 の TINm へ出力します。

(3) TAUD0 および TAUJ1 の TINm 有効エッジを両エッジ設定とすることにより、TINm のトグルタイミングで CNTm 値を CDRm へ取り込みます。同時に CNTm を 0000$_{H}$ にクリアする動作を繰り返します。
動作開始から最初にキャプチャした値（図中で a）は、TAUJ 動作開始から、トリガ入力までの期間です。

(4) オーバフロー時は FFFF$_{H}$（TAUJ の場合は、FFFF FFFF$_{H}$）をキャプチャし、その後の最初のトリガではカウント値をキャプチャしません。

以上の動作により、トリガ発生間隔を測定できます。

次の表にトリガ信号と計測タイマの組み合わせおよびその経路を設定する PIC レジスタと入出力を選択するレジスタのビット設定の一覧を示します。計測するトリガ信号と使用する計測タイマに応じて、適宜設定してください。

表 36.36　トリガ信号と計測タイマの組み合わせ

割り込みトリガ信号	計測タイマ	PIC レジスタのビット設定	
ENCAT0IEC	TAUJ1CH0	PIC0REG3100＝1	
	TAUJ1CH1	PIC0REG3101＝1	
ENCAT0EQ0	TAUD0CH0	PIC0REG3109＝0 PIC0REG3110＝1	
	TAUD0CH2	PIC0REG3112＝1 PIC0REG3113＝0	
ENCAT0EQ1	TAUD0CH0	PIC0REG3106＝1 PIC0REG3107＝0 PIC0REG3108＝0	PIC0REG3109＝0 PIC0REG3110＝0
	TAUD0CH1		PIC0REG3111＝1

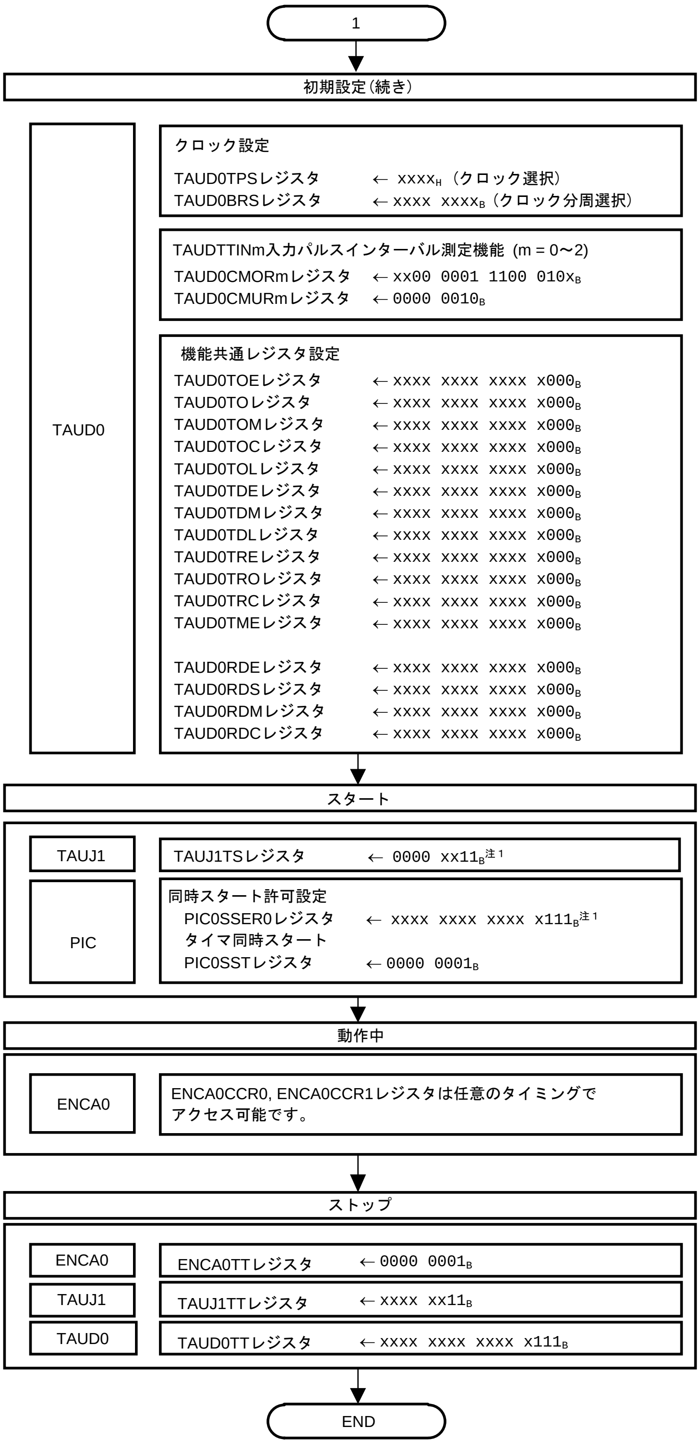
36.9.5　設定フロー

本節に示す設定フローは，以下の組み合わせすべてでパルス間隔を計測する設定フローを記載しています。
トリガ信号と測定に使用するタイマの組み合わせについては「**表 36.36 トリガ信号と計測タイマの組み合わせ**」を参照してください。

エンコーダタイマ	トリガ信号	計測タイマ
ENCA0	ENCAT0IEC	TAUJ1 CH0、TAUJ1 CH1
	ENCAT0EQ0	TAUD0 CH0、TAUD0 CH2
	ENCAT0EQ1	TAUD0 CH0、TAUD0 CH1

注1. 測定したいトリガ信号と測定に使用するタイマの組み合わせによって適宜設定を変更してください。

図 36.19 設定フロー



注1.　測定したいトリガ信号と測定に使用するタイマの組み合わせによって適宜設定を変更してください。

図 36.20　設定フロー（続き）

36.9.6　動作機能の設定例

各レジスタの設定値の例を示します。

本節に示す設定例は，以下の組み合わせすべてでパルス間隔を計測する設定を記載しています。トリガ信号と測定に使用するタイマの組み合わせについては「**表 36.36 トリガ信号と計測タイマの組み合わせ**」を参照してください。

エンコーダタイマ	トリガ信号	計測タイマ
ENCA0	ENCAT0IEC	TAUJ1 CH0、TAUJ1 CH1
	ENCAT0EQ0	TAUD0 CH0、TAUD0 CH2
	ENCAT0EQ1	TAUD0 CH0、TAUD0 CH1

表 36.37　ENCA0 設定

レジスタ	ビット位置	ビット名	設定値	備考
ENCA0CTL	15	ENCA0CME	任意	コンペアー致割り込み検出マスク許可／禁止を選択
	14	ENCA0MCS	任意	コンペアー致割り込み検出マスク解除トリガ選択
	13〜10		0	0 固定
	9	ENCA0CRM1	任意	ENCA0CCR1 レジスタの用途を選択
	8	ENCA0CRM0	任意	ENCA0CCR0 レジスタの用途を選択
	7	ENCA0CTS	任意	ENCA0CCR1 のキャプチャ動作のトリガ選択
	6、5		0	0 固定
	4	ENCA0LDE	任意	アンダフロー発生時のリロード許可／禁止を選択
	3	ENCA0ECM1	任意	ENCA0CCR1 のコンペアー致時のカウンタクリアの許可／禁止を選択
	2	ENCA0ECM0	任意	ENCA0CCR0 のコンペアー致時のカウンタクリアの許可／禁止を選択
	1、0	ENCA0UDS[1:0]	任意	ENCA0E0 および ENCA0E1 によるカウンタアップ／ダウン制御を選択
ENCA0IOC0	7〜4		0	0 固定
	3、2	ENCA0TIS[3:2]	任意	キャプチャトリガ 1（ENCA0I1）の有効エッジを選択
	1、0	ENCA0TIS[1:0]	任意	キャプチャトリガ 0（ENCA0I0）の有効エッジを選択
ENCA0IOC1	7	ENCA0SCE	任意	エンコーダ特殊クリア許可を選択
	6	ENCA0ZCL	任意	エンコーダ特殊クリアの Z 相のクリアレベルを選択
	5	ENCA0BCL	任意	エンコーダ特殊クリアの B 相のクリアレベルを選択
	4	ENCA0ACL	任意	エンコーダ特殊クリアの A 相のクリアレベルを選択
	3、2	ENCA0ECS[1:0]	任意	エンコーダクリア入力（Z 相）エッジを選択
	1、0	ENCA0EIS[1:0]	任意	エンコーダ入力（A、B 相）エッジを選択

表 36.38 TAUJ1 の設定（k＝0、1）
TAUJ1（TAUJTTINm 入力パルスインターバル測定機能）

レジスタ	ビット位置	ビット名	設定値	備考
TAUJ1CMORk	15、14	TAUJ1CKS[1:0]	任意	動作クロック設定
	13、12	TAUJ1CCS[1:0]	00	
	11	TAUJ1MAS	0	
	10、9、8	TAUJ1STS[2:0]	001	
	7、6	TAUJ1COS[1:0]	11	
	5		0	0 固定
	4、3、2、1	TAUJ1MD[4:1]	0010	
	0	TAUJ1MD0	任意	
TAUJ1CMURk	1、0	TAUJ1TIS[1:0]	10	

備　考

TAUJ1CMORk を TAUDTTINm 入力パルスインターバル測定機能として使用する場合、TAUJ1CKS[1:0]（動作クロック選択）、TAUJ1MD0（カウント開始時の INTm 出力制御）の各ビットは任意に設定できます。

TAUJ1COS[1:0]（オーバフロー動作の選択）ビットも任意設定可能ですが本機能では固定値で使用してください。

他の制御ビットは固定値となります。詳細については、「**第 33 章 タイマアレイユニット J（TAUJ）**」を参照してください。

TAUJ 共通レジスタ（TAUJ1TOE、TAUJ1TO、TAUJ1TOM、TAUJ1TOC、TAUJ1TOL、TAUJ1RDE、TAUJ1RDM）については，使用するチャネルに対応するビットのみ「0」に設定してください。

表 36.39 TAUD0 の設定（m＝0～2）
TAUD0（TAUDTTINm 入力パルスインターバル測定機能）

レジスタ	ビット位置	ビット名	設定値	備考
TAUD0CMORm	15、14	TAUD0CKS[1:0]	任意	動作クロック設定
	13、12	TAUD0CCS[1:0]	00	
	11	TAUD0MAS	0	
	10～8	TAUD0STS[2:0]	001	
	7、6	TAUD0COS[1:0]	11	
	5		0	0 固定
	4～1	TAUD0MD[4:1]	0010	
	0	TAUD0MD0	任意	
TAUD0CMURm	1、0	TAUD0TIS[1:0]	10	

備　考

TAUD0CMORm を TAUDTTINm 入力パルスインターバル測定機能として使用する場合、TAUD0CKS[1:0]（動作クロック選択）、TAUD0MD0（カウント開始時の INTm 出力制御）の各ビットは任意に設定できます。

TAUD0COS[1:0]（オーバフロー動作の選択）ビットも任意設定可能ですが本機能では固定値で使用してください。

他の制御ビットは固定値となります。詳細については、「**第 32 章 タイマアレイユニット D（TAUD）**」を参照してください。

TAUD 共通レジスタ（TAUD0TOE、TAUD0TO、TAUD0TOM、TAUD0TOC、TAUD0TOL、TAUD0TDE、TAUD0TDM、TAUD0TDL、TAUD0TRE、TAUD0TRO、TAUD0TRC、TAUD0TME、TAUD0RDE、TAUD0RDS、TAUD0RDM、TAUD0RDC）については、使用するチャネルに対応するビットのみ「0」に設定してください。

表 36.40　PIC の設定

レジスタ	ビット位置	ビット名	設定値	備考
PIC0REG31	13、12	PIC0REG3113 PIC0REG3112	0 1	TAUD0TTIN2 への入力信号に ENCAT0EQ0 の DT 出力信号を選択
	11	PIC0REG3111	1	TAUD0TTIN1 への入力信号に PIC0REG3106～08 で選択した信号（ENCAT0EQ1 の DT 出力信号）を選択
	10、9	PIC0REG3110 PIC0REG3109	1 0	TAUD0TTIN0 への入力信号に ENCAT0EQ0 の DT 出力信号を選択
	8～6	PIC0REG3108 PIC0REG3107 PIC0REG3106	0 0 1	TAUD0TTIN1、TAUD0TTIN0 への入力信号として ENCAT0EQ1 の DT 出力信号を選択
	1	PIC0REG3101	1	TAUJ1TTIN1 への入力信号に ENCAT0IEC の DT 出力信号を選択
	0	PIC0REG3100	1	TAUJ1TTIN0 への入力信号に ENCAT0IEC の DT 出力信号を選択

36.10 A/D トリガエンコーダキャプチャ機能

36.10.1 機能概要

A/D 変換トリガ信号を ENCA0 のキャプチャ信号として使用することにより、A/D 変換に同期したエンコーダカウンタ値を取得することが可能です。

36.10.2 構成

(1) 構成

表 36.41 A/D トリガエンコーダキャプチャ機能の構成

A/D コンバータ	エンコーダタイマ
ADCA0	ENCA0

(2) ブロック図

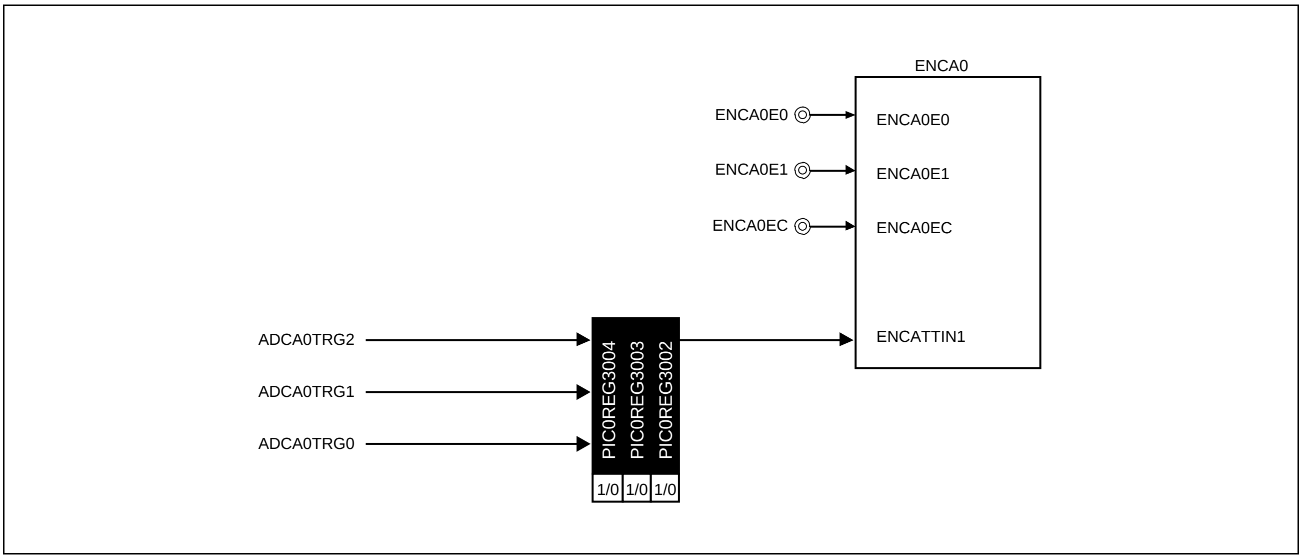


図 36.21 A/D トリガエンコーダキャプチャ機能のブロック図

注 意

1. ENCA0 が ENCA0TIN1 端子の入力信号をキャプチャするまでのクロック数に比べて、ADCA0TRG0、ADCA0TRG1、ADCA0TRG2 端子の入力信号をキャプチャするまでのクロック数は、CKSCLK_IPERI1 で 1 クロックと CKSCLK_AADCA で 3 クロックを加えた遅延が発生するため、遅延を考慮した構成にしてください。
2. エッジ検出機能は、デジタルノイズ除去フィルタのエッジ検出機能レジスタ FCLA0CTL0_ADC0、FCLA0CTL1_ADC0、FCLA0CTL2_ADC0（詳細については、「**2A.12.1.4 デジタルフィルタタイプ D 付き入力端子**」、「**2B.12.1.4 デジタルフィルタタイプ D 付き入力端子**」および「**2C.12.1.4 デジタルフィルタタイプ D 付き入力端子**」を参照してください。）で設定し、ENCA0 の ENCA0TIN1 キャプチャのエッジ検出機能は、立ち上がりエッジ設定（ENCA0IOC0.ENCA0TIS[3:2]＝01B）にしてください。ENCA0IOC0.ENCA0TIS[3:2]＝10B（立ち下りエッジ）、ENCA0IOC0.ENCA0TIS[3:2]＝11B（両エッジ）の設定はしないでください。
3. ADCA0TRG0-2 は、「**図 36.8 A/D 変換トリガ選択機能のブロック図**」に示す ADCA0SGTSEL1-3 信号で選択されます。

36.10.3　レジスタ

36.10.3.1　PIC0REG30 — タイマ入出力制御レジスタ 30

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<PIC0_base> + $E8_H$

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	PIC0REG3004	PIC0REG3003	PIC0REG3002	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

表 36.42　PIC0REG30 レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>31～5</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>4～2</td><td>PIC0REG3004～
PIC0REG3002</td><td>ENCATTIN1 への入力信号を選択します。
<table>
<tr><th>PIC0REG3004</th><th>PIC0REG3003</th><th>PIC0REG3002</th><th>入力信号</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>ENCA0 で A/D トリガ信号によるキャプチャは行わない</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>ADCA0TRG2</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>ADCA0TRG1</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>ADCA0TRG0</td></tr>
<tr><td colspan="3">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>1、0</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
</table>

36.10.4　動作例

A/D 変換トリガ信号 ADCAnTRGi（n＝0、i＝0～2）を ENCA0 に接続することで実現します。

注　意

本機能を使用する場合は、ENCA0 の割り込み信号 ENCATINT1 を A/D コンバータトリガとして選択しないでください。選択した場合、「ADCAnTRG1 発生→ENCA0 キャプチャ動作→キャプチャ実行による ENCATINT1 発生→ADCAnTRG1 発生」のループが成立してしまい正常動作できなくなります。

次に ADCA0TRG1 をトリガとした A/D トリガエンコーダキャプチャ機能のタイミング図を示します。

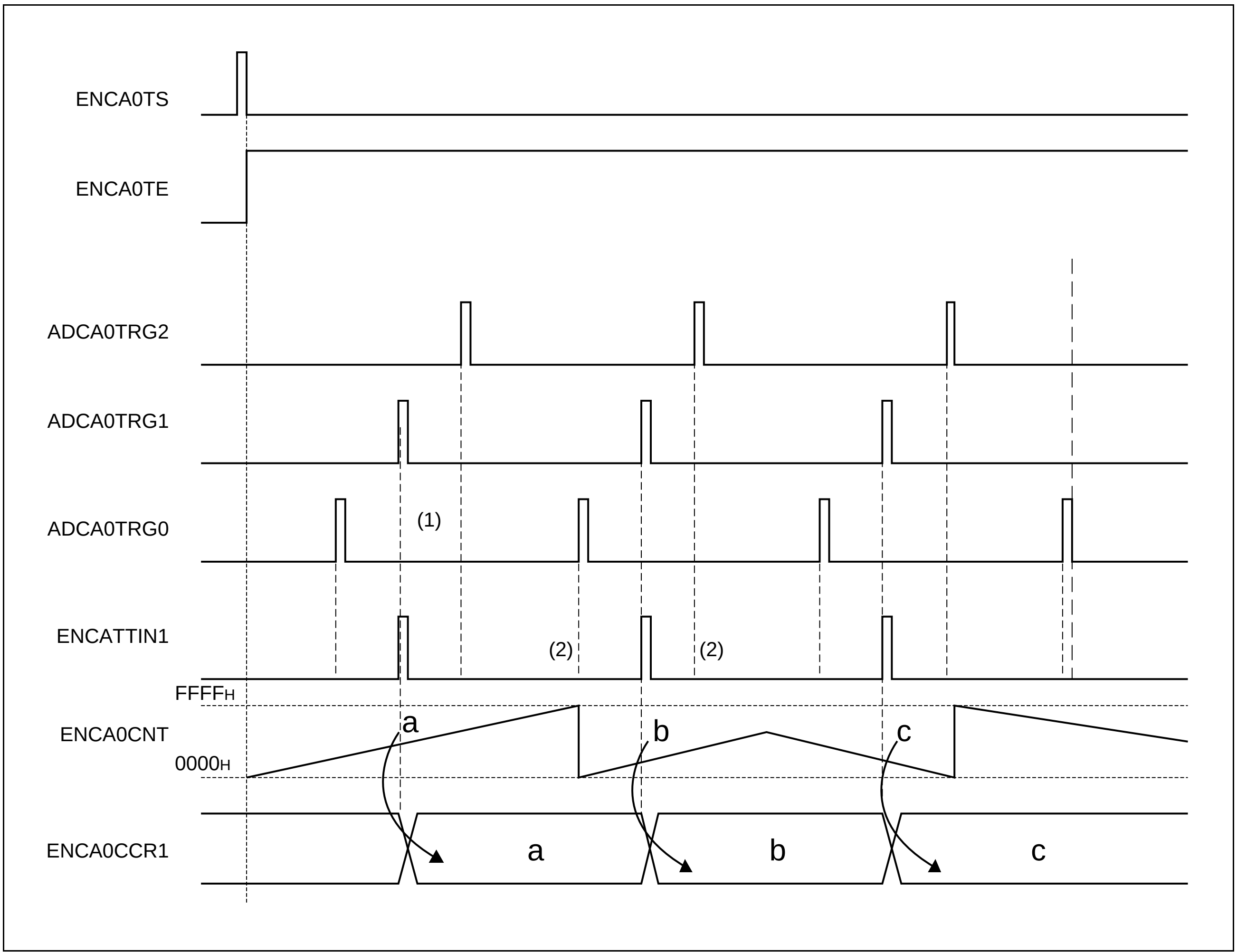


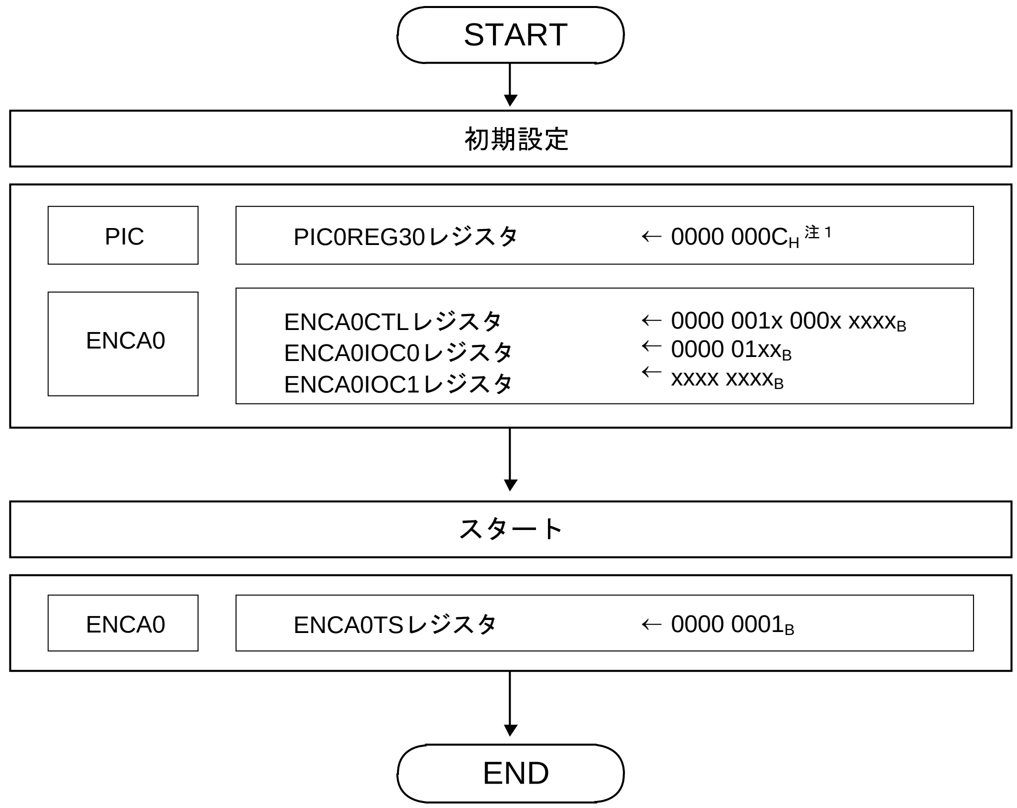
図 36.22　トリガエンコーダキャプチャ機能の動作例

(1) ENCA0 のキャプチャトリガ 1 信号 ENCATTIN1 として ADCA0TRG1 を選択した場合、有効となる ADCA0TRG1 を ENCATTIN1 信号として ENCA0 に入力するため、ENCA0 のキャプチャが発生します。

(2) ADCA0TRG1 以外のハードウェアトリガ信号（ADCA0TRG0、ADCA0TRG2）の発生では、ENCATTIN1 信号が発生しないため、ENCA0 のキャプチャ動作は実行されません。

36.10.5　設定フロー

本節に示す設定フローは、エンコーダタイマ ENCA0 のキャプチャ動作を ADCA0TRG1 信号で実行する設定フローを記載しています。



注1.　キャプチャ動作を実行するハードウェアトリガによって適宜設定を変更してください。

図 36.23　設定フロー

36.10.6　動作機能の設定例

各レジスタの設定値の例を示します。

本節に示す設定値は、エンコーダタイマ ENCA0 のキャプチャ動作を ADCA0TRG1 信号で実行する設定値を記載しています。キャプチャ動作を実行するハードウェアトリガによって適宜設定を変更してください。

表 36.43　ENCAn 設定

レジスタ	ビット位置	ビット名	設定値	備考
ENCAnCTL	15	ENCAnCME	0	コンペアー致割り込み検出マスク禁止を選択
	14	ENCAnMCS	0	コンペアー致割り込み検出マスク解除トリガ選択
	13～10		0	0 固定
	9	ENCAnCRM1	1	ENCAnCCR1 レジスタをキャプチャ用に設定
	8	ENCAnCRM0	任意	ENCAnCCR0 レジスタの用途を選択
	7	ENCAnCTS	0	ENCATTIN1 をキャプチャトリガとして選択。
	6、5		0	0 固定
	4	ENCAnLDE	任意	ENCAnCCR0 レジスタのアンダフロー発生時のリロード許可／禁止を選択
	3	ENCAnECM1	任意	ENCAnCCR1 のコンペアー致時のカウンタ・クリアの許可／禁止を選択
	2	ENCAnECM0	任意	ENCAnCCR0 レジスタのコンペアー致時のカウンタクリアの許可／禁止を選択
	1、0	ENCAnUDS[1:0]	任意	ENCAnE0 と ENCAnE1 によるカウンタアップ／ダウン制御を選択
ENCAnIOC0	7～4		0	0 固定
	3、2	ENCAnTIS[3:2]	0 注1 1 注1	キャプチャトリガ 1（ENCATTIN1）の有効エッジを立ち上がりエッジ検出に選択
	1、0	ENCAnTIS[1:0]	任意	キャプチャトリガ 0（ENCATTIN0）の有効エッジを選択
ENCAnIOC1	7	ENCAnSCE	任意	エンコーダ特殊クリア許可を選択
	6	ENCAnZCL	任意	エンコーダ特殊クリアの Z 相のクリア条件（入力レベル）を選択
	5	ENCAnBCL	任意	エンコーダ特殊クリアの B 相のクリア条件（入力レベル）を選択
	4	ENCAnACL	任意	エンコーダ特殊クリアの A 相のクリア条件（入力レベル）を選択
	3、2	ENCAnECS[1:0]	任意	エンコーダクリア入力（Z 相）エッジを選択
	1、0	ENCAnEIS[1:0]	任意	エンコーダ入力（A、B 相）エッジを選択
PIC0REG30	4	PIC0REG3004	任意	ENCATTIN1 の ADCA0 トリガ信号を選択
	3	PIC0REG3003	任意	
	2	PIC0REG3002	任意	

注1.　キャプチャ動作を実行するハードウェアトリガによって適宜設定を変更してください。

備　考

ENCA0CTL の ENCA0CRM1＝1（ENCA0CCR1 レジスタの用途）、ENCA0CTS＝0（ENCA0CCR1 レジスタへのキャプチャトリガ要因）のみ固定値となります。その他は任意設定可能です。

36.11 デッドタイム付き 3 相 PWM 出力機能

36.11.1 機能概要

1 周期にそれぞれ 1 回以下のセット信号（アクティブレベル変化タイミング信号）、クリア信号（非アクティブレベル変化タイミング信号）を生成し、それらを利用したデッドタイム付き 3 相 PWM 波形を出力します。

TAUD の PWM 出力機能では、デューティ値指定により 1 周期にクリアタイミングのみ設定しますが、本機能によりセットタイミングも指定可能となり、より自由度の高いデッドタイム付き PWM を出力できます。

36.11.2 構成

本機能のユニット、チャネル構成を下記に示します。（n＝0）

表 36.44　デッドタイム付き 3 相 PWM 出力機能の構成

タイマ	タイマモータ制御機能
TAUD0 CH2、CH4～CH15（使用チャネル固定）	TAPA0

以下の説明に使用している信号名は略称です。実際の信号名は以下のように読み替えてください。

－ INTm→INTTAUDnIm（TAUDn チャネル m 割り込み）

－ TINm→TAUDTTINm（TAUDn チャネル m 入力）

－ TOUTm→TAUDTTOUTm（TAUDn チャネル m 出力）

－ CDRm→TAUDnCDRm（TAUDn チャネル m データレジスタ）

－ CNTm→TAUDnCNTm（TAUDn チャネル m カウンタレジスタ）

(1) TAUDn 設定

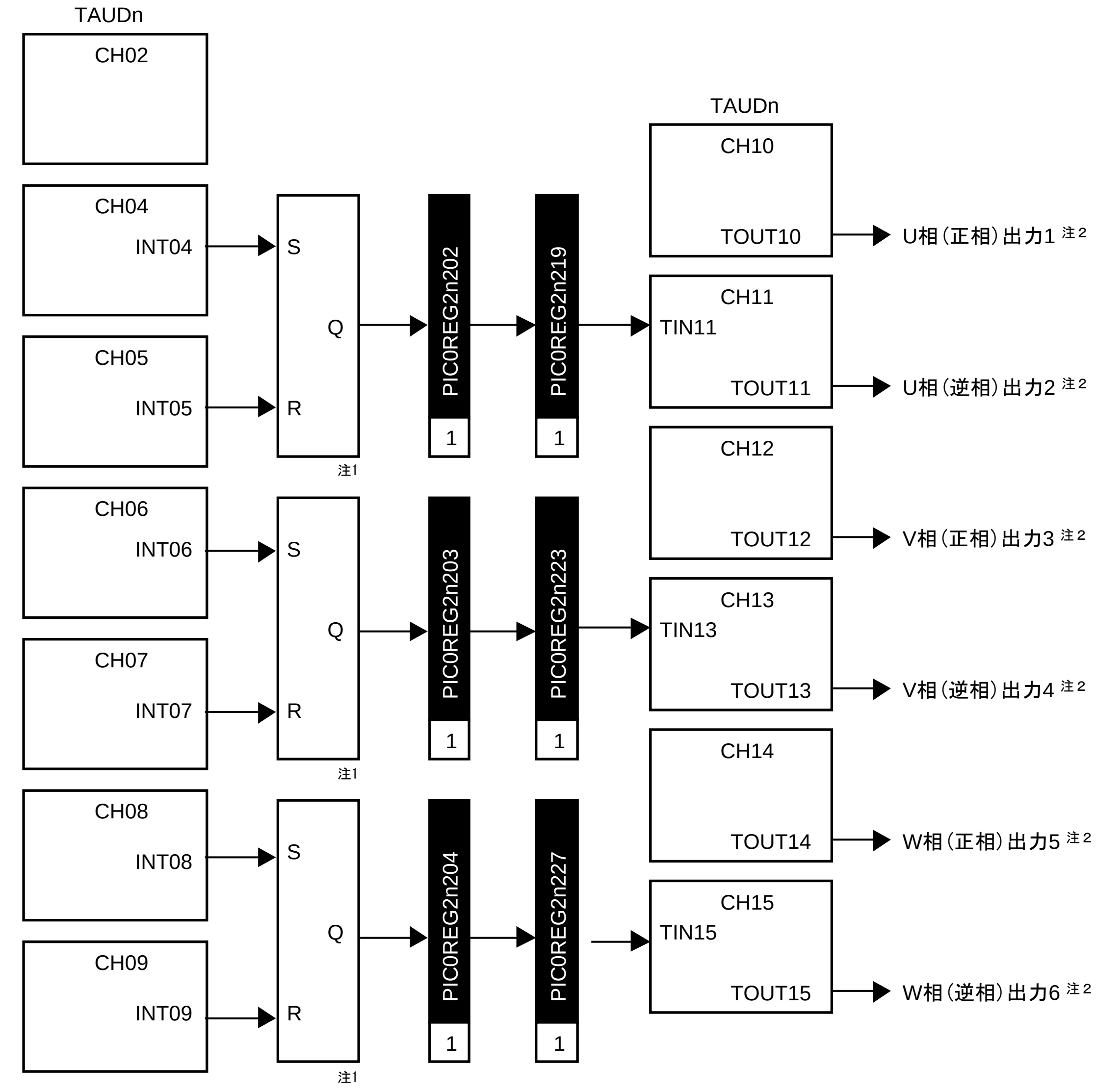
CH10、12、14 は、TOUTm のみ使用するため、TOUTm を使用しない機能であれば使用可能です（m＝10、12、14）。

表 36.45　TAUDn 設定

CH	機能名	M/S	CDR 設定値	説明
2	PWM 出力機能（CH2 は CH4-CH9 のマスタチャネル）	M	周期	
4		S	デューティ（U 相セット）	
5		S	デューティ（U 相クリア）	
6		S	デューティ（V 相セット）	
7		S	デューティ（V 相クリア）	
8		S	デューティ（W 相セット）	
9		S	デューティ（W 相クリア）	
10	TOUT10 を使用しない機能であれば任意	S		TOUT10 : U 相出力
11	1 相 PWM 出力機能	S	デッドタイム（U 相）	TOUT11 : UB 相出力
12	TOUT12 を使用しない機能であれば任意	S		TOUT12 : V 相出力
13	1 相 PWM 出力機能	S	デッドタイム（V 相）	TOUT13 : VB 相出力
14	TOUT14 を使用しない機能であれば任意	S		TOUT14 : W 相出力
15	1 相 PWM 出力機能	S	デッドタイム（W 相）	TOUT15 : WB 相出力

備考　M : マスタチャネル、S : スレーブチャネル

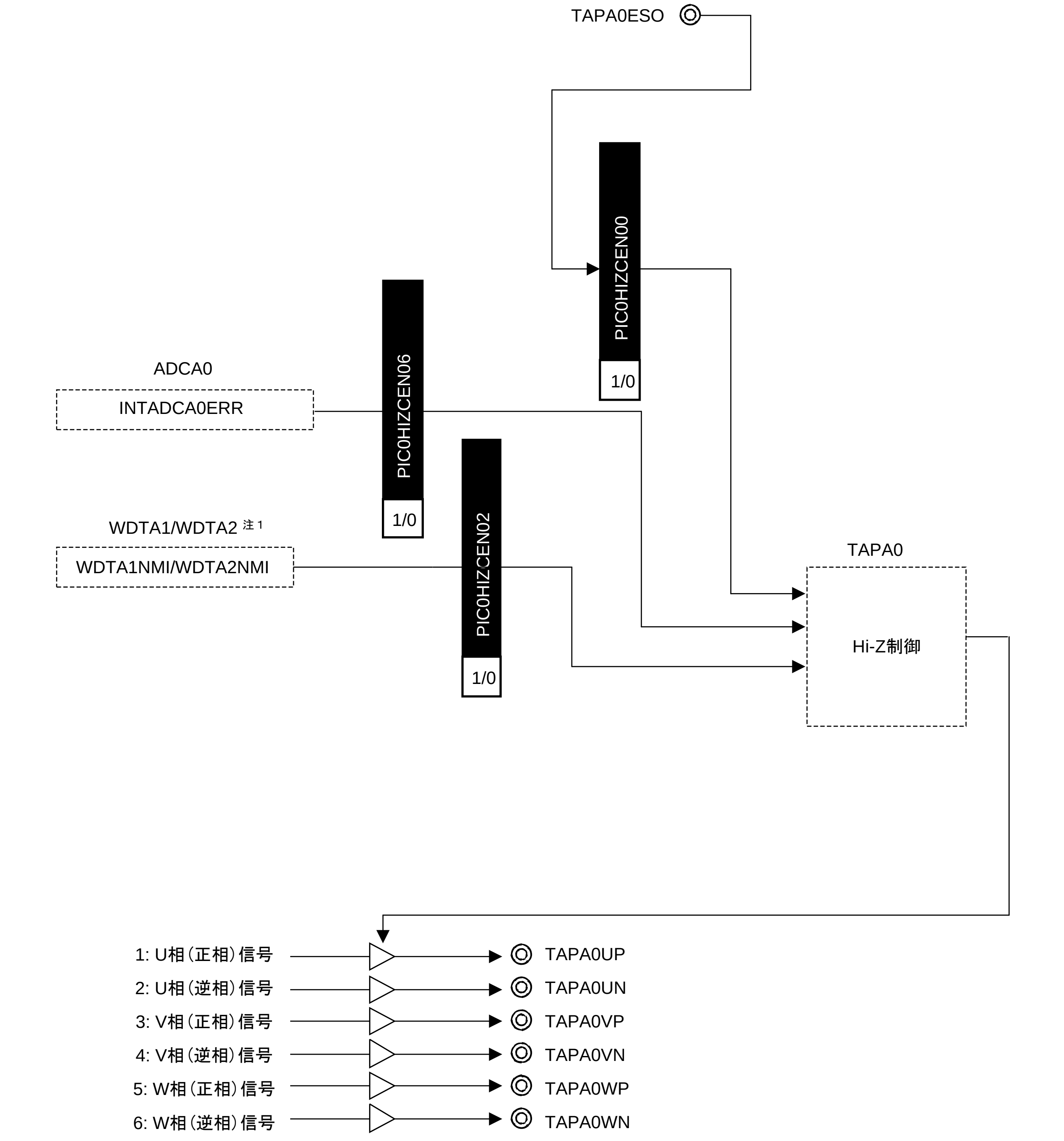
(2) ブロック図



注1.　SR フリップフロップ回路

注2.　接続先は「**図 36.25　モータ出力バッファ制御ブロック図**」を参照してください。

図 36.24　デッドタイム付き 3 相 PWM 出力のブロック図



注1. WDTA2 は、RH850/F1KH-D8 が対応しています。

備考 この破線ブロックは各機能の章を参照してください。
- ADCA0：「**第 38 章 A/D コンバータ（ADCA）**」
- TAPA0：「**36.4 非同期 Hi-Z 制御機能**」
- WDTA1/WDTA2：「**第 29 章 ウインドウウォッチドッグタイマ（WDTA）**」

図 36.25 モータ出力バッファ制御ブロック図

36.11.3 レジスタ

36.11.3.1 PIC0REG2n2 — タイマ入出力制御レジスタ 2n2（n＝0）

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	PIC0REG202：FFDD 00C8$_H$
リセット後の値	0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	PIC0REG2n227	—	—	—	PIC0REG2n223	—	—	—	PIC0REG2n219	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	PIC0REG2n204	PIC0REG2n203	PIC0REG2n202	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

表 36.46 PIC0REG2n2 レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>31～28</td><td>予約ビット</td><td>注 1</td></tr>
<tr><td>27</td><td>PIC0REG2n227</td><td>TAUDTTIN15 への入力信号を選択します。<table><tr><th>PIC0REG2n227</th><th>入力信号</th></tr><tr><td>1</td><td>PIC0REG2n204 ビットで選択した信号</td></tr><tr><td>上記以外</td><td>設定禁止</td></tr></table></td></tr>
<tr><td>26～24</td><td>予約ビット</td><td>注 1</td></tr>
<tr><td>23</td><td>PIC0REG2n223</td><td>TAUDTTIN13 への入力信号を選択します。<table><tr><th>PIC0REG2n223</th><th>入力信号</th></tr><tr><td>1</td><td>PIC0REG2n203 ビットで選択した信号</td></tr><tr><td>上記以外</td><td>設定禁止</td></tr></table></td></tr>
<tr><td>22～20</td><td>予約ビット</td><td>注 1</td></tr>
<tr><td>19</td><td>PIC0REG2n219</td><td>TAUDTTIN11 への入力信号を選択します。<table><tr><th>PIC0REG2n219</th><th>入力信号</th></tr><tr><td>1</td><td>PIC0REG2n202 ビットで選択した信号</td></tr><tr><td>上記以外</td><td>設定禁止</td></tr></table></td></tr>
<tr><td>18～5</td><td>予約ビット</td><td>注 1</td></tr>
<tr><td>4</td><td>PIC0REG2n204</td><td>TAUDTTIN15 への TIN 入力信号を選択します。
0：設定禁止
1：INTTAUDnI8、INTTAUDnI9 によるセット／クリア出力を選択</td></tr>
<tr><td>3</td><td>PIC0REG2n203</td><td>TAUDTTIN13 への TIN 入力信号を選択します。
0：設定禁止
1：INTTAUDnI6、INTTAUDnI7 によるセット／クリア出力を選択</td></tr>
<tr><td>2</td><td>PIC0REG2n202</td><td>TAUDTTIN11 への TIN 入力信号を選択します。
0：設定禁止
1：INTTAUDnI4、INTTAUDnI5 によるセット／クリア出力を選択</td></tr>
<tr><td>1、0</td><td>予約ビット</td><td>注 1</td></tr>
</table>

注1. PIC0REG2n2 レジスタに "0" を定義しているビットは、ほかのタイマ接続機能で定義していることがあります。その場合、該当するタイマ接続機能のビット定義を適用してください。

36.11.3.2　PIC0HIZCENn　―　Hi-Z 出力制御レジスタ n（n＝0）

PIC0HIZCENn レジスタは、TAPAn の Hi-Z 出力制御用入力信号を選択します。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<PIC0_base> + 80_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	PIC0HIZCENn6	—	—	—	PIC0HIZCENn2	—	PIC0HIZCENn0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R	R	R	R/W	R	R/W

表 36.47　PIC0HIZCENn レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	PIC0HIZCENn6	INTADCA0ERR 割り込み信号による Hi-Z 出力制御の許可／禁止を選択します。 0：禁止 1：許可
5～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	PIC0HIZCENn2	RH850/F1KH-D8 WDTA1NMI、WDTA2NMI 割り込み信号による Hi-Z 出力制御の許可／禁止を選択します。 0：禁止 1：許可 RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1 WDTA1NMI 割り込み信号による Hi-Z 出力制御の許可／禁止を選択します。 0：禁止 1：許可
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	PIC0HIZCENn0	TAPAnESO 端子入力による Hi-Z 出力制御の許可／禁止を選択します。 0：禁止 1：許可

36.11.4　動作例

1 周期にそれぞれ 1 回以下のセット信号、クリア信号を生成し、それらを利用したデッドタイム付き 3 相 PWM 波形を出力します。

TAUD の次の機能の組み合わせにより実現します。

－ PWM 出力機能

－ 1 相 PWM 出力機能

また、PWM 出力機能で生成するセット信号、クリア信号から 1 相 PWM 出力機能の入力 TINm（m＝11、13、15）へ供給する PWM 波形を作成するため、PIC 内の以下機能を使用します。

－ SR フリップフロップ回路

3 相 PWM 出力は、上記機能で実現したデッドタイム付き 1 相 PWM 出力をそれぞれ U 相、V 相、W 相に割り当てる事により実現します。したがって、PWM 出力のセット／クリア信号は、各相の PWM ごとに自由に設定できます。各相の違いは割り当てられたチャネルの違いのみなので、ここでは 1 相（U 相）についてのみ説明を行います。

36.11.4.1　PWM 出力機能

CH2、CH4、CH5 の組み合わせで使用します。

CDR02 に周期、CDR04 に U 相セット値、CDR05 に U 相クリア値を設定することで、INT04、05 から 1 相 PWM 出力機能の入力 TIN11 を生成する SR フリップフロップ回路へのセット／クリア信号を生成します。

V 相、W 相については、上記 U 相のセット／クリア信号生成で使用した CH4、CH5 をそれぞれ CH6、CH7（V 相）、CH8、CH09（W 相）で実現します。

36.11.4.2　1 相 PWM 出力機能

CH10、CH11 の組み合わせで 1 相 PWM を TOUT10、TOUT11 から出力します。

CDR11 にデッドタイム値を設定することで、TIN11 入力に対してデッドタイム付 1 相 PWM を出力します。

V 相、W 相については、それぞれ CH12、CH13（V 相）、CH14、CH15（W 相）で、同様にデッドタイム付き 1 相 PWM を出力します。

注　意

PWM 出力機能、1 相 PWM 出力機能で使用する TAUDn 各チャネルの動作クロック設定は同一クロックを設定してください。

TAUD の機能の詳細については、「**第 32 章 タイマアレイユニット D（TAUD）**」を参照してください。

36.11.4.3　SR フリップフロップ回路

TAUD の CH4 で生成される U 相セット信号、CH5 で生成される U 相クリア信号を入力とし、1 相 PWM 出力機能の入力 TIN11 へ供給する PWM 波形を生成します。

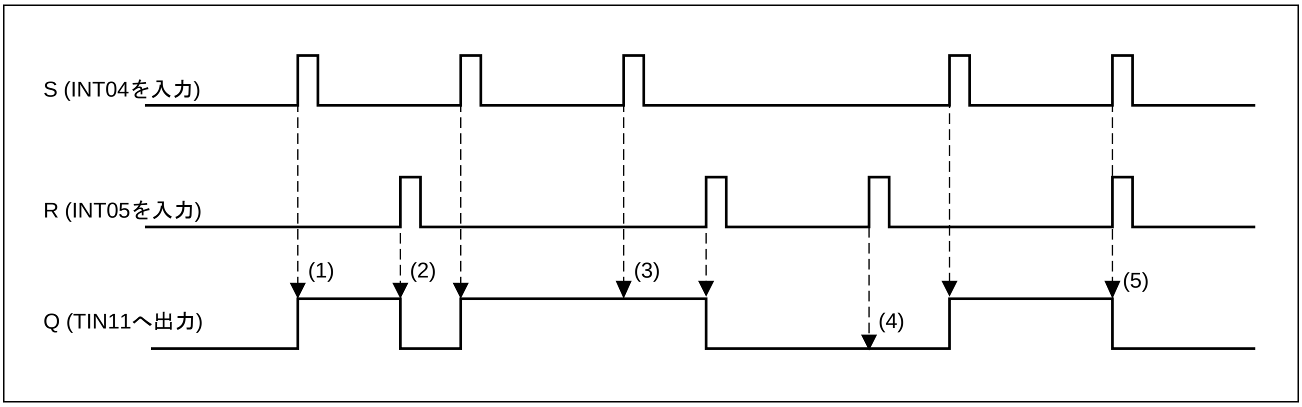


図 36.26　フリップフロップ回路の動作タイミング図（U 相の例）

(1) 入力 S に信号が入力されると、S の立ち上がりで出力 Q がハイレベルになります。

(2) 入力 R に信号が入力されると、R の立ち上がりで出力 Q はロウレベルになります。

(3) 出力 Q がハイレベルの状態で入力 S に信号が入力されても出力 Q には影響しません。

(4) 出力 Q がロウレベルの状態で入力 R に信号が入力されても出力 Q には影響しません。

(5) 入力 S および入力 R に同時に信号が入力された場合、入力 R が優先され R の立ち上がりで出力 Q はロウレベルになります。

V 相、W 相については、それぞれ INT06、INT07（V 相）、INT08、INT09（W 相）を入力とし、TIN13（V 相）、TIN15（W 相）へ供給する PWM 波形を生成します。

「1 相 PWM 出力機能」で生成する PWM の出力変化タイミングを「PWM 出力機能」により生成します。

「PWM 出力機能」は、PWM のアクティブレベル出力タイミングのセット信号、非アクティブレベル出力タイミングのクリア信号を生成します。このセット／クリア信号を SR フリップフロップ回路に入力することにより、任意タイミングで変化する PWM 信号を生成します。

「1 相 PWM 出力機能」は、生成された PWM 信号の変化にしたがい、正相／逆相 PWM の生成、デッドタイム付加を行い 1 相 PWM 信号の出力を行います。

PIC は、「PWM 出力機能」で生成されたセット／クリア信号を「SR フリップフロップ回路」によって「1 相 PWM 出力機能」の TIN 入力として使用する接続を提供します。

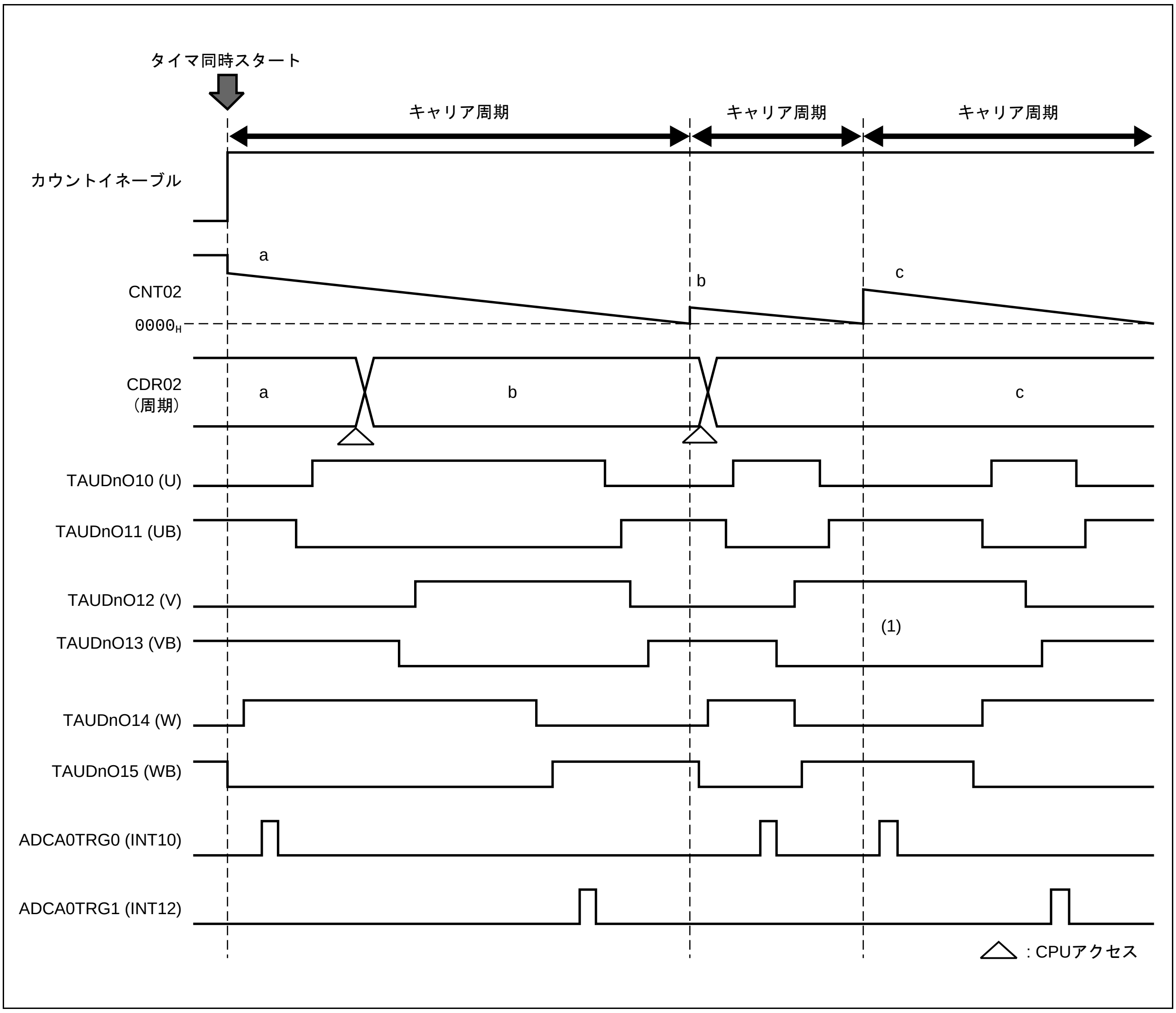


図 36.27　デッドタイム付加の 3 相 PWM（U・UB、V・VB、W・WB）出力例

「**図 36.27 デッドタイム付加の 3 相 PWM（U・UB、V・VB、W・WB）出力例**」にデッドタイム付き 3 相 PWM 出力機能の代表的出力例を示します。

セット／クリア信号出力タイミングの設定次第では、キャリア周期を跨いだ PWM 出力（①部分）なども可能になります。

下段 ADCA0TRG0、ADCA0TRG1 は、「1 相 PWM 出力機能」では使用しない、CH10、CH12 の CNT および INT 信号を使用し、「A/D トリガ出力機能 Type-1」機能による A/D トリガ信号出力を実行した例です。

このように、1 相 PWM 出力機能では、正相出力を行うチャネルでは信号出力を行う TOUTm のみを使用するため、CNTm、CDRm、INTm を使用する任意の機能を設定可能です。詳細については、「**第 32 章 タイマアレイユニット D（TAUD）**」を参照してください（m＝10、12、14）。

次の図以降に、デッドタイム付き 3 相 PWM 出力機能のタイミング図を示します。

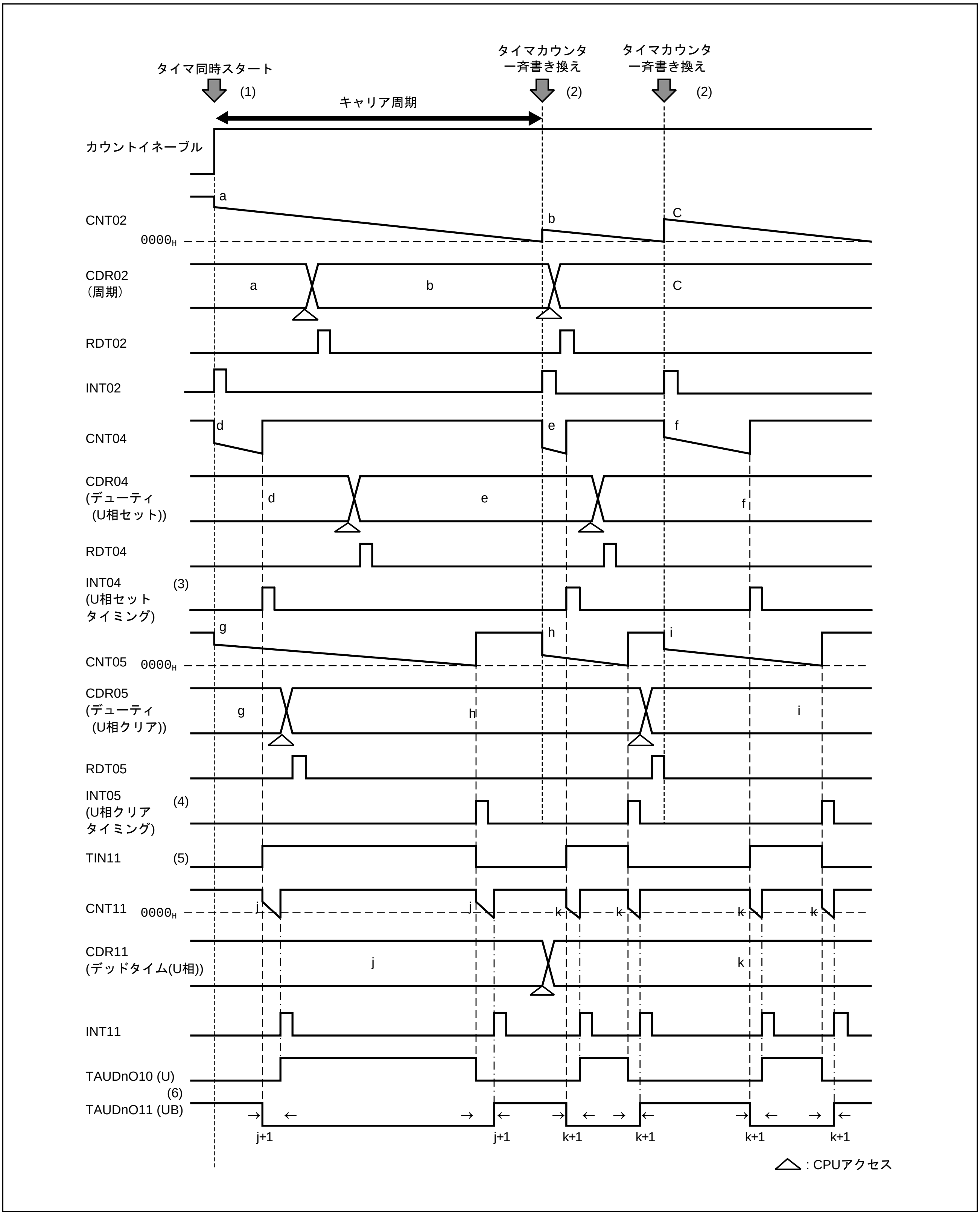


図 36.28　デッドタイム付加の 1 相 PWM（U 相、UB 相）出力例

「**図 36.28　デッドタイム付加の 1 相 PWM（U 相、UB 相）出力例**」の U 相 PWM 出力を行うタイマ構成の動作例について説明します。

(1) タイマ同時スタートにより、CH2（キャリア周期タイマ）、CH4（U 相セット信号出力タイミングタイマ）、CH5（U 相クリア信号出力タイミングタイマ）が同時スタートします。
CH11 もタイマスタートしていますが、カウント開始タイミングである TIN11 のエッジが検出されるまで、カウント動作は行われません。

(2) CH4、CH5 は、CH2 のアンダフローにより、CDR04、CDR05 からそれぞれ CNT04、CNT05 へ設定値のリロードが行われます。

(3) CH4 のアンダフローにより、U 相セットタイミング信号（INT04）が発生します。

(4) CH5 のアンダフローにより、U 相クリアタイミング信号（INT05）が発生します。

(5) INT04（セットタイミング信号）、INT05（クリアタイミング信号）を入力とした SR フリップフロップ回路の出力を PIC 機能により、「1 相 PWM 出力機能」の入力 TIN11 へ供給します。

(6) 「1 相 PWM 出力機能」は TIN11 のエッジ検出により、デッドタイムを付加した PWM 波形を生成し出力します。

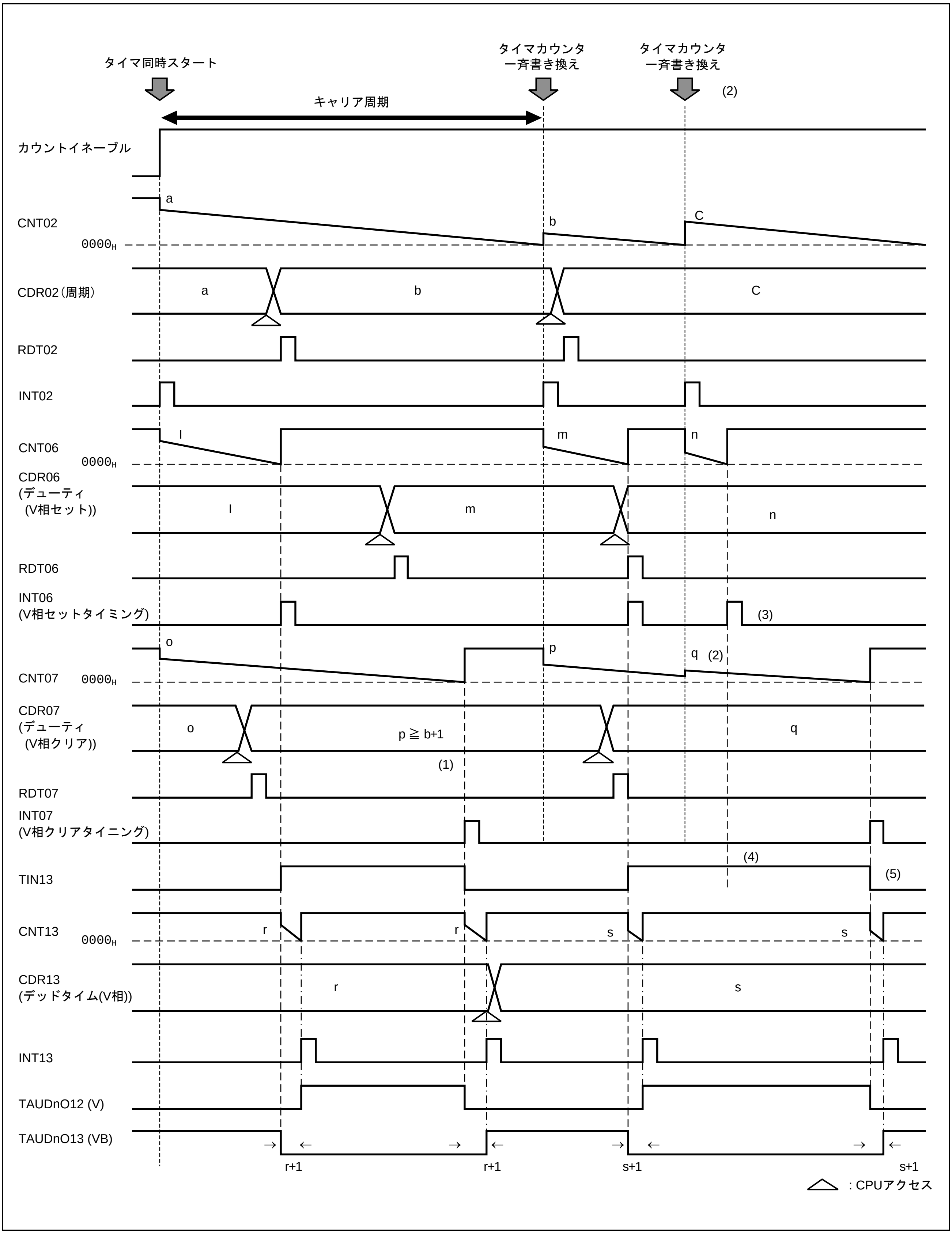


図 36.29　デッドタイム付加の 1 相 PWM（V 相、VB 相）出力例

「**図 36.29 デッドタイム付加の 1 相 PWM（V 相、VB 相）出力例**」の V 相 PWM 出力を行うタイマ構成の動作例について説明します。

タイマ同時スタートから「1 相 PWM 出力機能」による PWM 出力までの動作については U 相の動作例の説明を参照してください。

(1) V 相クリアタイミング信号（INT07）を生成する CH7（V 相クリア信号出力タイミングタイマ）設定値を CH2（キャリア周期タイマ）設定値より大きくした場合

(2) CH7 のアンダフローによる V 相クリアタイミング信号（INT07）発生前に、CH2（キャリア周期タイマ）のアンダフローが発生し、CH7 の設定値はリロードされます。

(3) これにより、本来発生すべき V 相クリアタイミング信号（INT07）は発生せず、V 相セットタイミング信号（INT06）が連続して発生することになります。

(4) この場合、V 相セットタイミング信号（INT06）は SR フリップフロップ回路により無視されるため、PWM 出力波形に影響しません。このため、出力される PWM 出力はキャリア周期を跨ぐ波形が出力されます。

(5) PWM 出力は次の V 相クリアタイミング信号（INT07）のタイミングで変化します。

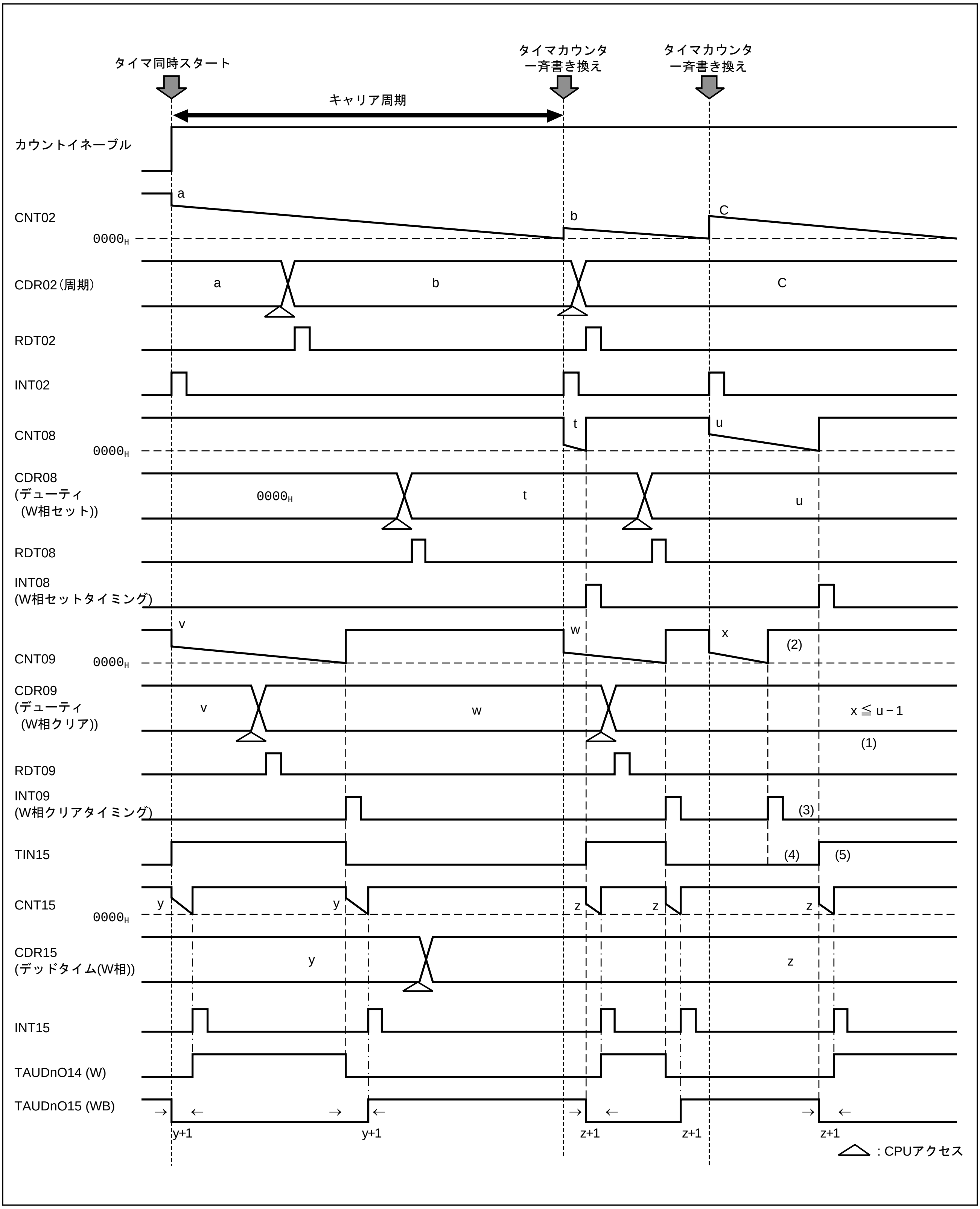


図 36.30 デッドタイム付加の 1 相 PWM（W 相、WB 相）出力例

「**図 36.30 デッドタイム付加の 1 相 PWM（W 相、WB 相）出力例**」の W 相 PWM 出力を行うタイマ構成の動作例について説明します。

タイマ同時スタートから「1 相 PWM 出力機能」による PWM 出力までの動作については U 相の動作例の説明を参照してください。

(1) W 相クリアタイミング信号（INT09）を生成する CH09（W 相クリア信号出力タイミングタイマ）設定値を CH8（W 相セット信号出力タイミングタイマ）設定値より小さくした場合

(2) CH8 のアンダフローによる W 相セットタイミング信号（INT08）発生前に、CH09（W 相クリア信号出力タイミングタイマ）のアンダフローが発生し、W 相クリアタイミング信号（INT09）が発生します。

(3) これにより、W 相クリアタイミング信号（INT09）が連続して発生することになります。

(4) この場合、連続して発生した W 相クリアタイミング信号（INT09）は SR フリップフロップ回路により無視されるため PWM 出力波形に影響しません。

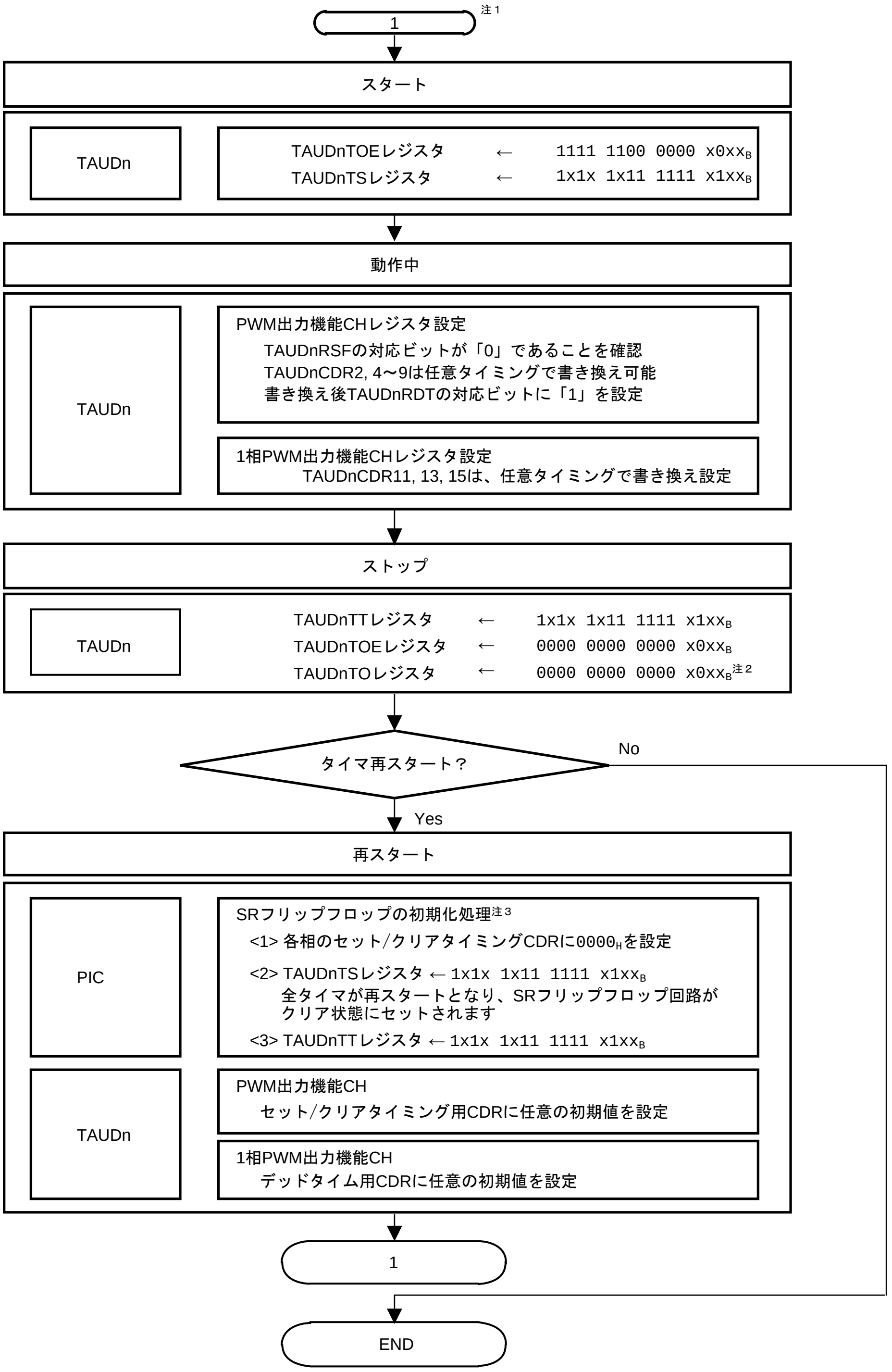
(5) PWM 出力は次の W 相セットタイミング信号（INT08）のタイミングで変化します。

36.11.5　設定フロー

注1.　TOUTm を使用しない機能を指定してください。

注2.　出力する PWM のアクティブレベルによって設定値を変更してください。

図 36.31　設定フロー（アクティブハイの例）



注1. 選択レジスタと使用する出力ポートの設定は、PIC とタイマの初期設定後に行ってください。

注2. 出力する PWM のアクティブレベルによって設定値を変更してください。

注3. 初期化処理を行わない場合、SR フリップフロップ回路の状態がタイマ停止時の状態となり、場合によってはタイマ再スタートの出力パルスが意図しないレベルで出力される可能性があります。

図 36.32 設定フロー（アクティブハイの例）（続き）

36.11.6　動作機能の設定例

各レジスタの設定値の例を示します。

36.11.6.1　TAUDn 設定（アクティブハイの例）

表 36.48　TAUDn CH2 関連（PWM 出力機能マスタチャネル[注1]）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMOR2	15、14	TAUDnCKS[1:0]	任意[注2]	動作クロック設定
	13、12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	1	
	10〜8	TAUDnSTS[2:0]	000	
	7、6	TAUDnCOS[1:0]	00	
	5		0	0 固定
	4〜1	TAUDnMD[4:1]	0000	
	0	TAUDnMD0	1	
TAUDnCMUR2	1、0	TAUDnTIS[1:0]	00	

注1.　マスタチャネルおよびスレーブチャネルは TAUD の PWM 出力機能で定義されている名称です。詳細については、「**第 32 章 タイマアレイユニット D（TAUD）**」を参照してください。

注2.　動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。

表 36.49　TAUDn CH4-CH9 関連（PWM 出力機能スレーブチャネル[注1]）(m＝4〜9)

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMORm	15、14	TAUDnCKS[1:0]	任意[注2]	動作クロック設定
	13、12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	0	
	10〜8	TAUDnSTS[2:0]	100	
	7、6	TAUDnCOS[1:0]	00	
	5		0	0 固定
	4〜1	TAUDnMD[4:1]	0100	
	0	TAUDnMD0	1	
TAUDnCMURm	1、0	TAUDnTIS[1:0]	00	

注1.　マスタチャネルおよびスレーブチャネルは TAUD の PWM 出力機能で定義されている名称です。詳細については、「**第 32 章 タイマアレイユニット D（TAUD）**」を参照してください。

注2.　動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。

備　考

PWM 出力機能の TAUDnCMORm は、TAUDnCKS[1:0]（動作クロック選択）のみ任意に設定できますが、他の制御ビットは固定値となります。詳細については、「**第 32 章 タイマアレイユニット D（TAUD）**」を参照してください。

表 36.50　TAUDn CH11, 13, 15 関連（1 相 PWM 出力機能）（m＝11, 13, 15）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMORm	15、14	TAUDnCKS[1:0]	任意注 1	動作クロック設定
	13、12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	0	
	10～8	TAUDnSTS[2:0]	001	
	7、6	TAUDnCOS[1:0]	00	
	5		0	0 固定
	4～1	TAUDnMD[4:1]	0100	
	0	TAUDnMD0	1	
TAUDnCMURm	1、0	TAUDnTIS[1:0]	11	TINm 両エッジを有効エッジとして検出（High 幅）

注1.　動作クロックは、PWM 出力機能のマスタチャネル（CH2）と同一のクロック設定にしてください。

備　考

1 相 PWM 出力機能の TAUDnCMORm は、TAUDnCKS[1:0]（動作クロック選択）のみ任意に設定できますが、他の制御ビットは固定値となります。CH10、12、14 については TOUTm 出力を使用しない機能（A/D トリガ出力など）であれば、任意に使用可能です。詳細については、「**第 32 章　タイマアレイユニット D（TAUD）**」を参照してください。

表 36.51　TAUDn チャネル共通

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnTOE	15～10	TAUDnTOE15～TAUDnTOE10	0 1	タイマ動作禁止 タイマ動作許可
	9～4	TAUDnTOE09～TAUDnTOE04	0	TOUT09～TOUT04 は未使用のため 0 固定
	3	TAUDnTOE03	任意	
	2	TAUDnTOE02	0	TOUT02 は未使用のため 0 固定
	1、0	TAUDnTOE01 TAUDnTOE00	任意	
TAUDnTO	15～10	TAUDnTO15～TAUDnTO10	0 注 1	TOUT15～TOUT10 にロウレベルを出力
	9～4	TAUDnTO09～TAUDnTO04	0	TOUT09～TOUT04 にロウレベルを出力
	3	TAUDnTO03	任意	
	2	TAUDnTO02	0	TOUT02 にロウレベルを出力
	1、0	TAUDnTO01 TAUDnTO00	任意	
TAUDnTOM	15～4	TAUDnTOM15～TAUDnTOM04	1	連動動作モード
	3	TAUDnTOM03	任意	
	2	TAUDnTOM02	0	単体動作モード
	1、0	TAUDnTOM01 TAUDnTOM00	任意	

表 36.51 TAUDn チャネル共通

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnTOC	15～10	TAUDnTOC15～TAUDnTOC10	1	連動動作モード 2
	9～4	TAUDnTOC09～TAUDnTOC04	0	連動動作モード 1
	3	TAUDnTOC03	任意	
	2	TAUDnTOC02	0	動作モード 1
	1、0	TAUDnTOC01 TAUDnTOC00	任意	
TAUDnTOL	15～4	TAUDnTOL15～TAUDnTOL04	0 注 1	正論理出力（アクティブハイ）
	3	TAUDnTOL03	任意	
	2	TAUDnTOL02	0	正論理出力（アクティブハイ）
	1、0	TAUDnTOL01 TAUDnTOL00	任意	
TAUDnTDE	15～10	TAUDnTDE15～TAUDnTDE10	1	デッドタイム制御可能注 2
	9～4	TAUDnTDE09～TAUDnTDE04	0	デッドタイム制御禁止
	3	TAUDnTDE03	任意	
	2	TAUDnTDE02	0	デッドタイム制御禁止
	1、0	TAUDnTDE01 TAUDnTDE00	任意	
TAUDnTDM	15～10	TAUDnTDM15～TAUDnTDM10	1	下位奇数チャネルの TINm 入力エッジ検出でデッドタイムを生成する。
	9～4	TAUDnTDM09～TAUDnTDM04	0	デッドタイム制御禁止のため無効
	3	TAUDnTDM03	任意	
	2	TAUDnTDM02	0	デッドタイム制御禁止のため無効
	1、0	TAUDnTDM01 TAUDnTDM00	任意	
TAUDnTDL	15	TAUDnTDL15	1 注 1	デッドタイムは W 相逆相出力として動作
	14	TAUDnTDL14	0 注 1	デッドタイムは W 相正相出力として動作
	13	TAUDnTDL13	1 注 1	デッドタイムは V 相逆相出力として動作
	12	TAUDnTDL12	0 注 1	デッドタイムは V 相正相出力として動作
	11	TAUDnTDL11	1 注 1	デッドタイムは U 相逆相出力として動作
	10	TAUDnTDL10	0 注 1	デッドタイムは U 相正相出力として動作
	9～4	TAUDnTDL09～TAUDnTDL04	0	デッドタイム制御禁止のため無効
	3	TAUDnTDL03	任意	
	2	TAUDnTDL02	0	デッドタイム制御禁止のため無効
	1、0	TAUDnTDL01 TAUDnTDL00	任意	
TAUDnTRE	15～4	TAUDnTRE15～TAUDnTRE04	0	リアルタイム出力停止
	3	TAUDnTRE03	任意	
	2	TAUDnTRE02	0	リアルタイム出力停止
	1、0	TAUDnTRE01 TAUDnTRE00	任意	

表 36.51　TAUDn チャネル共通

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnTRO	15～4	TAUDnTRO15～ TAUDnTRO04	0	リアルタイム出力禁止のため無効
	3	TAUDnTRO03	任意	
	2	TAUDnTRO02	0	リアルタイム出力禁止のため無効
	1、0	TAUDnTRO01 TAUDnTRO00	任意	
TAUDnTRC	15～4	TAUDnTRC15～ TAUDnTRC04	0	リアルタイム出力トリガ生成チャネルとして動作しない。
	3	TAUDnTRC03	任意	
	2	TAUDnTRC02	0	リアルタイム出力トリガ生成チャネルとして動作しない。
	1、0	TAUDnTRC01 TAUDnTRC00	任意	
TAUDnTME	15～4	TAUDnTME15～ TAUDnTME04	0	タイマ出力とリアルタイム出力の変調出力禁止
	3	TAUDnTME03	任意	
	2	TAUDnTME02	0	タイマ出力とリアルタイム出力の変調出力禁止
	1、0	TAUDnTME01 TAUDnTME00	任意	
TAUDnRDE	15	TAUDnRDE15	0	一斉書き換え禁止
	14	TAUDnRDE14	任意	
	13	TAUDnRDE13	0	一斉書き換え禁止
	12	TAUDnRDE12	任意	
	11	TAUDnRDE11	0	一斉書き換え禁止
	10	TAUDnRDE10	任意	
	9～4	TAUDnRDE09～ TAUDnRDE04	1	一斉書き換え許可
	3	TAUDnRDE03	任意	
	2	TAUDnRDE02	1	一斉書き換え許可
	1、0	TAUDnRDE01 TAUDnRDE00	任意	
TAUDnRDS	15	TAUDnRDS15	0	別の上位チャネルにより、一斉書き換えを許可しない
	14	TAUDnRDS14	任意	
	13	TAUDnRDS13	0	別の上位チャネルにより、一斉書き換えを許可しない
	12	TAUDnRDS12	任意	
	11	TAUDnRDS11	0	別の上位チャネルにより、一斉書き換えを許可しない
	10	TAUDnRDS10	任意	
	9～4	TAUDnRDS09～ TAUDnRDS04	0	マスタチャネルにより一斉書き換えを許可する
	3	TAUDnRDS03	任意	
	2	TAUDnRDS02	0	マスタチャネルにより一斉書き換えを許可する
	1、0	TAUDnRDS01 TAUDnRDS00	任意	

表 36.51　TAUDn チャネル共通

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnRDM	15	TAUDnRDM15	0	一斉書き換えを許可しないので無効
	14	TAUDnRDM14	任意	
	13	TAUDnRDM13	0	一斉書き換えを許可しないので無効
	12	TAUDnRDM12	任意	
	11	TAUDnRDM11	0	一斉書き換えを許可しないので無効
	10	TAUDnRDM10	任意	
	9～4	TAUDnRDM09～ TAUDnRDM04	0	マスタチャネルのカウント開始タイミングで信号をロード
	3	TAUDnRDM03	任意	
	2	TAUDnRDM02	0	マスタチャネルのカウント開始タイミングで信号をロード
	1、0	TAUDnRDM01 TAUDnRDM00	任意	
TAUDnRDC	15	TAUDnRDC15	0	一斉書き換えを許可しないので無効
	14	TAUDnRDC14	任意	
	13	TAUDnRDC13	0	一斉書き換えを許可しないので無効
	12	TAUDnRDC12	任意	
	11	TAUDnRDC11	0	一斉書き換えを許可しないので無効
	10	TAUDnRDC10	任意	
	9～4	TAUDnRDC09～ TAUDnRDC04	0	一斉書き換えトリガ生成チャネルとして動作しない
	3	TAUDnRDC03	任意	
	2	TAUDnRDC02	0	一斉書き換えトリガ生成チャネルとして動作しない
	1、0	TAUDnRDC01 TAUDnRDC00	任意	

注1.　使用システムによって設定を変更してください。

注2.　デッドタイム制御を行うため、偶数チャネルと奇数チャネルを対とした正逆相の波形出力制御を行います。詳細については、「**第 32 章　タイマアレイユニット D（TAUD）**」を参照してください。

36.11.6.2　PIC の設定

表 36.52　PIC の設定

レジスタ	ビット位置	ビット名	設定値	備考
PIC0REG2n2	27	PIC0REG2n227	1	PIC0REG2n204 ビットで選択した入力を選択
	23	PIC0REG2n223	1	PIC0REG2n203 ビットで選択した入力を選択
	19	PIC0REG2n219	1	PIC0REG2n202 ビットで選択した入力を選択
	4	PIC0REG2n204	1	INTTAUDnI8、INTTAUDnI9 によるセット／クリア出力を選択
	3	PIC0REG2n203	1	INTTAUDnI6、INTTAUDnI7 によるセット／クリア出力を選択
	2	PIC0REG2n202	1	INTTAUDnI4、INTTAUDnI5 によるセット／クリア出力を選択

36.12 デッドタイム付き高精度三角波 PWM 出力機能

36.12.1　機能概要

TAUD の「デッドタイム付き三角波 PWM 出力機能」に対し、デューティ 100%および 0%近傍のデッドタイム可変領域の制御を可能にする機能です。より高精度な三角波 PWM を出力できます。

TAUD のデッドタイム付き三角波 PWM 機能による PWM 出力では、たとえば三角波を U 相 0%出力に遷移させた場合、UB 相のデッドタイムパルスを出力することができません（**図 36.33 TAUD のデッドタイム付き三角波 PWM 出力機能によるデッドタイム出力タイミング**参照）

本機能では、TAUD のタイマ出力を組み合わせてパルスを生成し、PWM 出力に対してデッドタイムパルスを擬似的に付加します。

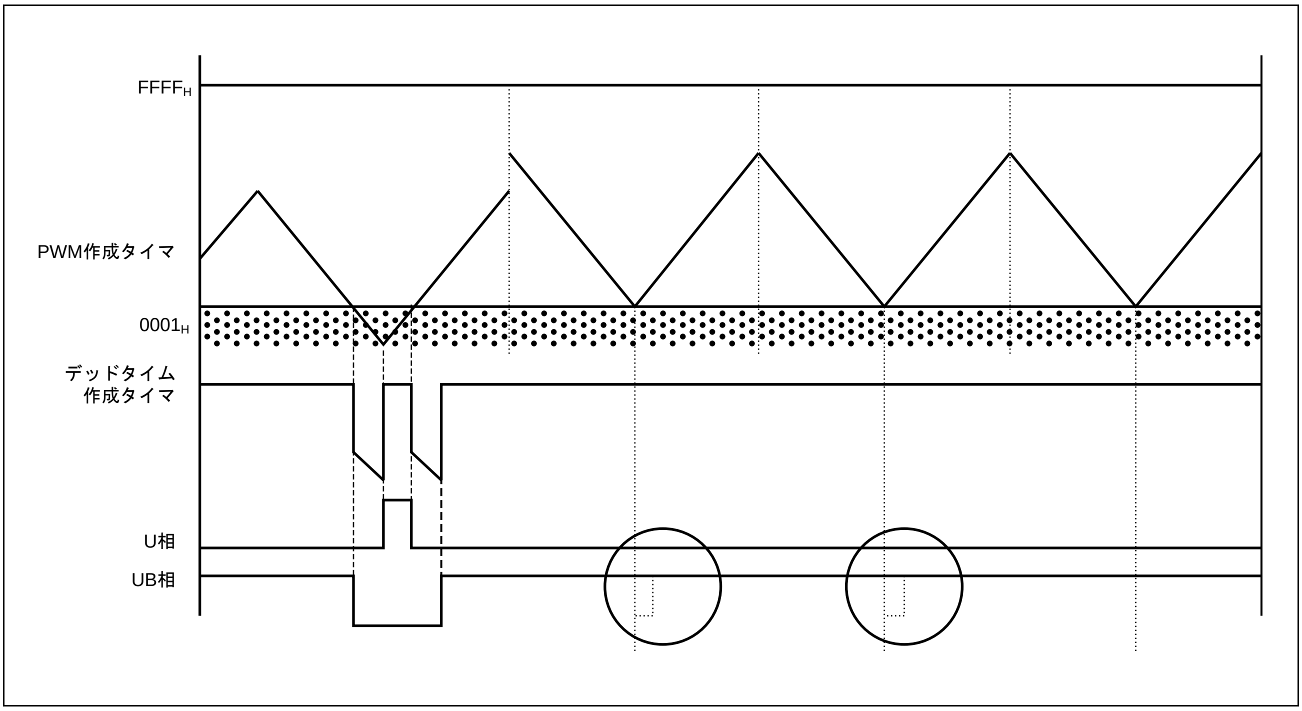


図 36.33　TAUD のデッドタイム付き三角波 PWM 出力機能によるデッドタイム出力タイミング

36.12.2　構成

本機能のユニット、チャネル構成を下記に示します。（n＝0）

表 36.53　デッドタイム付きディレイパルス出力機能の構成

タイマ	タイマモータ制御機能
TAUD0 CH2、CH4～CH15（使用チャネル固定）	TAPA0

以下の説明に使用している信号名は略称です。実際の信号名は以下のように読み替えてください。

－ INTm→INTTAUDnIm（TAUDn チャネル m 割り込み）

－ TINm→TAUDTTINm（TAUDn チャネル m 入力）

－ TOUTm→TAUDTTOUTm（TAUDn チャネル m 出力）

－ CDRm→TAUDnCDRm（TAUDn チャネル m データレジスタ）

－ CNTm→TAUDnCNTm（TAUDn チャネル m カウンタレジスタ）

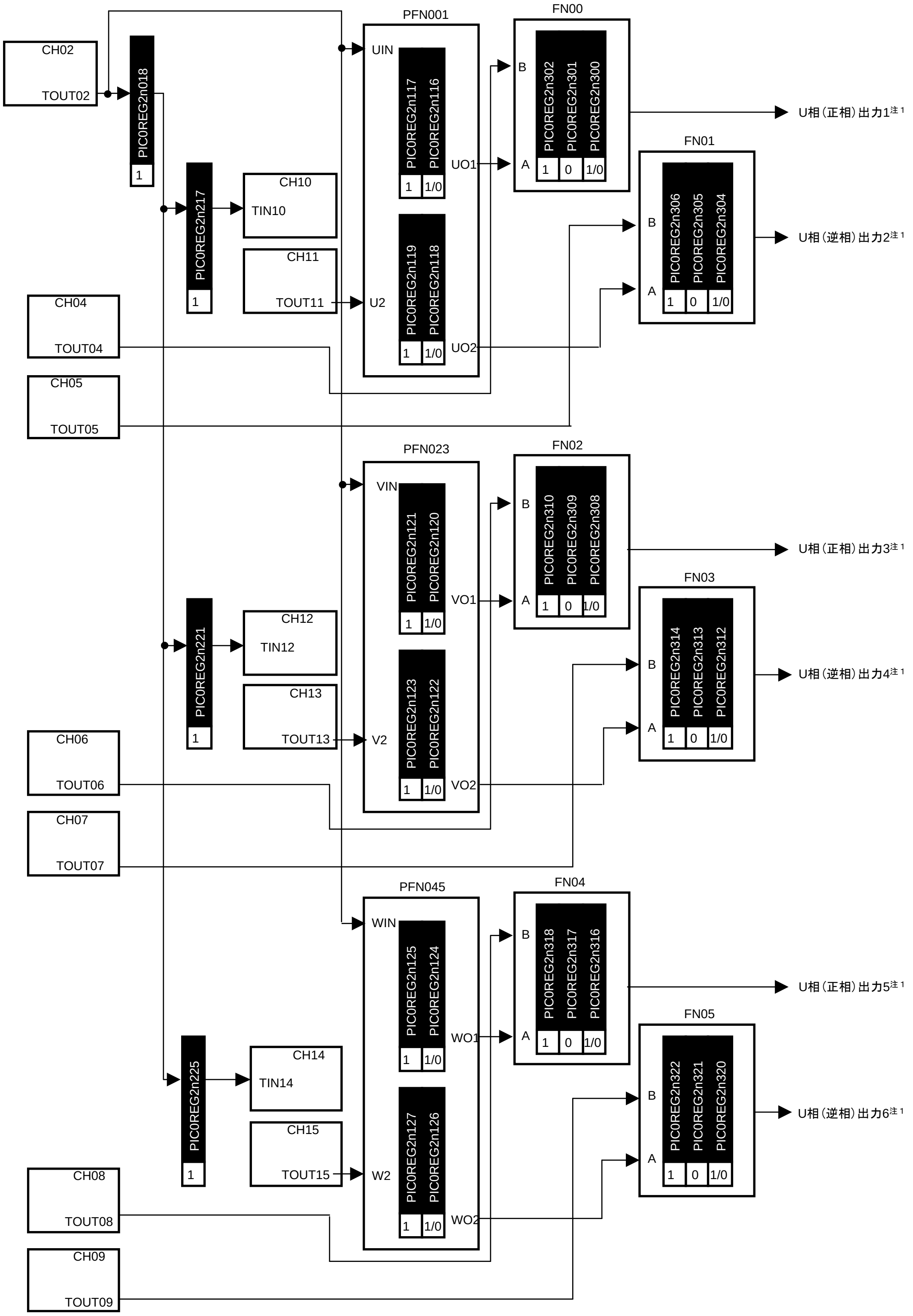
(1) TAUDn 構成

表 36.54　TAUD 構成

CH	機能名	M/S	CDR 設定値	説明
2	デッドタイム付き三角波 PWM 出力機能（CH2 は CH4～CH09 のマスタチャネル）	M	周期	
4		S	デューティ（U 相）	
5		S	デッドタイム（U 相）	
6		S	デューティ（V 相）	
7		S	デッドタイム（V 相）	
8		S	デューティ（W 相）	
9		S	デッドタイム（W 相）	
10	ワンショットパルス出力機能	M	ディレイ	U 相 PWM にデッドタイム可変領域で挿入するパルスを生成
11		S	パルス幅	
12	ワンショットパルス出力機能	M	ディレイ	V 相 PWM にデッドタイム可変領域で挿入するパルスを生成
13		S	パルス幅	
14	ワンショットパルス出力機能	M	ディレイ	W 相 PWM にデッドタイム可変領域で挿入するパルスを生成
15		S	パルス幅	

備考　M：マスタチャネル、S：スレーブチャネル

(2)　ブロック図



注1.　接続先は「**図 36.25　モータ出力バッファ制御ブロック図**」を参照してください。

図 36.34　デッドタイム付き高精度三角波 PWM 出力機能のブロック図

36.12.3　レジスタ

36.12.3.1　PIC0REG2n0 ― タイマ入出力制御レジスタ 2n0（n＝0）

TAUDn の入力選択を行うレジスタです。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	PIC0REG200：FFDD 00C0$_H$
リセット後の値	0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	PIC0REG2n018	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 36.55　PIC0REG2n0 レジスタの内容

ビット位置	ビット名	機能
31～19	予約ビット	注 1
18	PIC0REG2n018	TAUDTTIN10、TAUDTTIN12、TAUDTTIN14 への TIN 入力信号を選択します。 0：設定禁止 1：TAUDTTOUT2 を選択
17～0	予約ビット	注 1

注1.　PIC0REG2n0 レジスタに“0”を定義しているビットは、他のタイマ接続機能で定義していることがあります。その場合、該当するタイマ接続機能のビット定義を適用してください。

36.12.3.2　PIC0REG2n1 ― タイマ入出力制御レジスタ 2n1（n＝0）

組み合わせ回路の論理選択を行うレジスタです。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　PIC0REG201：FFDD 00C4H

リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	―	―	―	―	PIC0REG2n127	PIC0REG2n126	PIC0REG2n125	PIC0REG2n124	PIC0REG2n123	PIC0REG2n122	PIC0REG2n121	PIC0REG2n120	PIC0REG2n119	PIC0REG2n118	PIC0REG2n117	PIC0REG2n116
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 36.56　PIC0REG2n1 レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>31～28</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>27、26</td><td>PIC0REG2n127、PIC0REG2n126</td><td>TAUDn の CH9 に設定した出力論理に合わせて、FN05 A 入力信号を選択します。
<table>
<tr><th>PIC0REG2n127</th><th>PIC0REG2n126</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>組み合わせ回路出力
（アクティブハイ設定時に選択（TAUDnTOL09＝0））</td></tr>
<tr><td>1</td><td>1</td><td>組み合わせ回路反転出力
（アクティブロウ設定時に選択（TAUDnTOL09＝1））</td></tr>
<tr><td colspan="2">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>25、24</td><td>PIC0REG2n125、PIC0REG2n124</td><td>TAUDn の CH8 に設定した出力論理に合わせて、FN04 A 入力信号を選択します。
<table>
<tr><th>PIC0REG2n125</th><th>PIC0REG2n124</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>組み合わせ回路出力
（アクティブハイ設定時に選択（TAUDnTOL08＝0））</td></tr>
<tr><td>1</td><td>1</td><td>組み合わせ回路反転出力
（アクティブロウ設定時に選択（TAUDnTOL08＝1））</td></tr>
<tr><td colspan="2">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>23、22</td><td>PIC0REG2n123、PIC0REG2n122</td><td>TAUDn の CH7 に設定した出力論理に合わせて、FN03 A 入力信号を選択します。
<table>
<tr><th>PIC0REG2n123</th><th>PIC0REG2n122</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>組み合わせ回路出力
（アクティブハイ設定時に選択（TAUDnTOL07＝0））</td></tr>
<tr><td>1</td><td>1</td><td>組み合わせ回路反転出力
（アクティブロウ設定時に選択（TAUDnTOL07＝1））</td></tr>
<tr><td colspan="2">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
</table>

表 36.56　PIC0REG2n1 レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>21、20</td><td>PIC0REG2n121、
PIC0REG2n120</td><td>TAUDn の CH6 に設定した出力論理に合わせて、FN02 A 入力信号を選択します。
<table>
<tr><th>PIC0REG2n121</th><th>PIC0REG2n120</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>組み合わせ回路出力
（アクティブハイ設定時に選択（TAUDnTOL06=0））</td></tr>
<tr><td>1</td><td>1</td><td>組み合わせ回路反転出力
（アクティブロウ設定時に選択（TAUDnTOL06=1））</td></tr>
<tr><td colspan="2">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>19、18</td><td>PIC0REG2n119、
PIC0REG2n118</td><td>TAUDn の CH5 に設定した出力論理に合わせて、FN01 A 入力信号を選択します。
<table>
<tr><th>PIC0REG2n119</th><th>PIC0REG2n118</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>組み合わせ回路出力
（アクティブハイ設定時に選択（TAUDnTOL05=0））</td></tr>
<tr><td>1</td><td>1</td><td>組み合わせ回路反転出力
（アクティブロウ設定時に選択（TAUDnTOL05=1））</td></tr>
<tr><td colspan="2">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>17、16</td><td>PIC0REG2n117、
PIC0REG2n116</td><td>TAUDn の CH4 に設定した出力論理に合わせて、FN00 A 入力信号を選択します。
<table>
<tr><th>PIC0REG2n117</th><th>PIC0REG2n116</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>組み合わせ回路出力
（アクティブハイ設定時に選択（TAUDnTOL04=0））</td></tr>
<tr><td>1</td><td>1</td><td>組み合わせ回路反転出力
（アクティブロウ設定時に選択（TAUDnTOL04=1））</td></tr>
<tr><td colspan="2">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>15～0</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
</table>

36.12.3.3　PIC0REG2n2 ― タイマ入出力制御レジスタ 2n2（n＝0）

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　PIC0REG202：FFDD 00C8$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	PIC0REG2n225	—	—	—	PIC0REG2n221	—	—	—	PIC0REG2n217	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 36.57　PIC0REG2n2 レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>31～26</td><td>予約ビット</td><td>注 1</td></tr>
<tr><td>25</td><td>PIC0REG2n225</td><td>TAUDTTIN14 への TIN 入力信号を選択します
<table><tr><th>PIC0REG2n225</th><th>入力信号</th></tr><tr><td>1</td><td>PIC0REG2n018 ビットで選択した信号（TAUDn の CH2 の TOUT）</td></tr><tr><td>上記以外</td><td>設定禁止</td></tr></table></td></tr>
<tr><td>24～22</td><td>予約ビット</td><td>注 1</td></tr>
<tr><td>21</td><td>PIC0REG2n221</td><td>TAUDTTIN12 への TIN 入力信号を選択します。
<table><tr><th>PIC0REG2n221</th><th>入力信号</th></tr><tr><td>1</td><td>PIC0REG2n018 ビットで選択した信号（TAUDn の CH2 の TOUT）</td></tr><tr><td>上記以外</td><td>設定禁止</td></tr></table></td></tr>
<tr><td>20～18</td><td>予約ビット</td><td>注 1</td></tr>
<tr><td>17</td><td>PIC0REG2n217</td><td>TAUDTTIN10 への TIN 入力信号を選択します。
<table><tr><th>PIC0REG2n217</th><th>入力信号</th></tr><tr><td>1</td><td>PIC0REG2n018 ビットで選択した信号（TAUDn の CH2 の TOUT）</td></tr><tr><td>上記以外</td><td>設定禁止</td></tr></table></td></tr>
<tr><td>16～0</td><td>予約ビット</td><td>注 1</td></tr>
</table>

注1.　PIC0REG2n2 レジスタに“0”を定義しているビットは、ほかのタイマ接続機能で定義していることがあります。その場合、該当するタイマ接続機能のビット定義を適用してください。

36.12.3.4　PIC0REG2n3 — タイマ入出力制御レジスタ 2n3（n＝0）

組み合わせ回路の論理選択を行うレジスタです。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　PIC0REG203：FFDD 00CC$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—		—	—	PIC0REG2n322	PIC0REG2n321	PIC0REG2n320	—	PIC0REG2n318	PIC0REG2n317	PIC0REG2n316
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PIC0REG2n314	PIC0REG2n313	PIC0REG2n312	—	PIC0REG2n310	PIC0REG2n309	PIC0REG2n308	—	PIC0REG2n306	PIC0REG2n305	PIC0REG2n304	—	PIC0REG2n302	PIC0REG2n301	PIC0REG2n300
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

表 36.58　PIC0REG2n3 レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>31～23</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>22、21、20</td><td>PIC0REG2n322、
PIC0REG2n321、
PIC0REG2n320</td><td>TAUDn の CH9 に設定した出力論理に合わせて、入力信号 A、B の論理演算を選択します。
<table>
<tr><th>PIC0REG 2n322</th><th>PIC0REG 2n321</th><th>PIC0REG 2n320</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>0</td><td>A and B
（アクティブハイ設定時に選択（TAUDnTOL09=0））</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>A or B
（アクティブロウ設定時に選択（TAUDnTOL09=1））</td></tr>
<tr><td colspan="3">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>19</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>18、17、16</td><td>PIC0REG2n318、
PIC0REG2n317、
PIC0REG2n316</td><td>TAUDn の CH8 に設定した出力論理にあわせて、入力信号 A、B の論理演算を選択します。
<table>
<tr><th>PIC0REG 2n318</th><th>PIC0REG 2n317</th><th>PIC0REG 2n316</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>0</td><td>A and B
（アクティブハイ設定時に選択（TAUDnTOL08=0））</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>A or B
（アクティブロウ設定時に選択（TAUDnTOL08=1））</td></tr>
<tr><td colspan="3">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>15</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>14、13、12</td><td>PIC0REG2n314、
PIC0REG2n313、
PIC0REG2n312</td><td>TAUDn の CH7 に設定した出力論理にあわせて、入力信号 A、B の論理演算を選択します。
<table>
<tr><th>PIC0REG 2n314</th><th>PIC0REG 2n313</th><th>PIC0REG 2n312</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>0</td><td>A and B
（アクティブハイ設定時に選択（TAUDnTOL07=0））</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>A or B
（アクティブロウ設定時に選択（TAUDnTOL07=1））</td></tr>
<tr><td colspan="3">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>11</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
</table>

表 36.58　PIC0REG2n3 レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>10、9、8</td><td>PIC0REG2n310、
PIC0REG2n309、
PIC0REG2n308</td><td>TAUDn の CH6 に設定した出力論理にあわせて、入力信号 A、B の論理演算を選択します。
<table>
<tr><th>PIC0REG
2n310</th><th>PIC0REG
2n309</th><th>PIC0REG
2n308</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>0</td><td>A and B
（アクティブハイ設定時に選択（TAUDnTOL06＝0））</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>A or B
（アクティブロウ設定時に選択（TAUDnTOL06＝1））</td></tr>
<tr><td colspan="3">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>7</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>6、5、4</td><td>PIC0REG2n306、
PIC0REG2n305、
PIC0REG2n304</td><td>TAUDn の CH5 に設定した出力論理にあわせて、入力信号 A、B の論理演算を選択します。
<table>
<tr><th>PIC0REG
2n306</th><th>PIC0REG
2n305</th><th>PIC0REG
2n304</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>0</td><td>A and B
（アクティブハイ設定時に選択（TAUDnTOL05＝0））</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>A or B
（アクティブロウ設定時に選択（TAUDnTOL05＝1））</td></tr>
<tr><td colspan="3">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>3</td><td>予約ビット</td><td>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</td></tr>
<tr><td>2、1、0</td><td>PIC0REG2n302、
PIC0REG2n301、
PIC0REG2n300</td><td>TAUDn の CH4 に設定した出力論理にあわせて、入力信号 A、B の論理演算を選択します。
<table>
<tr><th>PIC0REG
2n302</th><th>PIC0REG
2n301</th><th>PIC0REG
2n300</th><th>入力信号</th></tr>
<tr><td>1</td><td>0</td><td>0</td><td>A and B
（アクティブハイ設定時に選択（TAUDnTOL04＝0））</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>A or B
（アクティブロウ設定時に選択（TAUDnTOL04＝1））</td></tr>
<tr><td colspan="3">上記以外</td><td>設定禁止</td></tr>
</table></td></tr>
</table>

36.12.3.5　PIC0HIZCENn — Hi-Z 出力制御レジスタ n（n＝0）

TAPAn の Hi-Z 出力制御用入力信号を選択します。

アクセス	8 ビット単位でリード／ライト可能です。
アドレス	PIC0HIZCEN0：FFDD 0080_H
リセット後の値	00_H

ビット	7	6	5	4	3	2	1	0
	—	PIC0HIZCENn6	—	—	—	PIC0HIZCENn2	—	PIC0HIZCENn0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R	R	R	R/W	R	R/W

表 36.59　PIC0HIZCENn レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	PIC0HIZCENn6	INTADCA0ERR 割り込み信号による Hi-Z 出力制御の許可／禁止を選択します。 0：禁止 1：許可
5～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	PIC0HIZCENn2	RH850/F1KH-D8 WDTA1NMI、WDTA2NMI 割り込み信号による Hi-Z 出力制御の許可／禁止を選択します。 0：禁止 1：許可 RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1 WDTA1NMI 割り込み信号による Hi-Z 出力制御の許可／禁止を選択します。 0：禁止 1：許可
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	PIC0HIZCENn0	TAPAnESO 端子入力による Hi-Z 出力制御の許可／禁止を選択します。 0：禁止 1：許可

36.12.4　動作例

TAUD の次の機能の組み合わせにより実現します。

- デッドタイム付き三角波 PWM 出力機能
- ワンショットパルス出力機能

また、デッドタイム可変領域で挿入するデッドタイム可変領域パルスを正相／逆相用に生成するため、PIC 内の以下機能を使用します。

- 組み合わせ回路（PFN001、PFN023、PFN045）

また、デッドタイム可変領域で挿入するデッドタイム可変領域パルスを三角波 PWM 出力波形と合成するため、PIC 内の以下機能を使用します。

- 論理演算回路（FN0i）（i＝0～5）

デッドタイム付き高精度三角波 PWM 出力機能は、上記機能で実現した PWM 出力をそれぞれ U 相、V 相、W 相に割り当てることにより実現します。したがって、PWM 出力のデッドタイムは、各相の PWM ごとに自由に設定できます。各相の違いは割り当てられたチャネルの違いのみなので、ここでは 1 相（U 相）について説明を行います。

36.12.4.1　デッドタイム付き三角波 PWM 出力機能

CH2、CH4、CH5 を組み合わせて使用し、TOUT04、TOUT05 よりデッドタイム付き三角波 PWM が出力されます。

36.12.4.2　ワンショットパルス出力機能

CH10、CH11 を組み合わせて使用し、CH10 の TIN10（TOUT02）の有効エッジからディレイ（CDR10）分遅らせた幅 CDR11 のパルスを TOUT11 として出力します。

このパルスはデューティ 100%および 0%近傍で使用するデッドタイム可変領域パルスとして利用します。

注　意

ワンショットパルス出力機能の各 CDR 設定値は、次の条件を満たすように設定してください。
CDR05 ≧（CDR10＋CDR11）

上記条件を満たさない値を設定した場合、出力波形に影響を与える可能性があります。影響を最小にするには、上記設定値条件とともに、デッドタイム可変領域パルスが必要になる状況まで、CDR11 には 0000_H を設定しておいてください。
TIN10（TOUT02）の有効エッジは両エッジ検出、また TAUDnTOL11＝1（アクティブロウ）に設定してください。
デッドタイム付き三角波 PWM 出力機能、ワンショットパルス出力機能で使用する TAUDn の各チャネルの動作クロック設定は同一クロックを設定してください。

TAUD の機能の詳細については、「**第 32 章 タイマアレイユニット D（TAUD）**」を参照してください。

36.12.4.3　U 相組み合わせ回路（PFN001）

ワンショットパルス出力機能で生成したパルスを、デッドタイム付き三角波 PWM 出力機能で生成された三角波 PWM へ付加するためのデッドタイム可変領域パルス（FN00 A、FN01 A）を生成します。

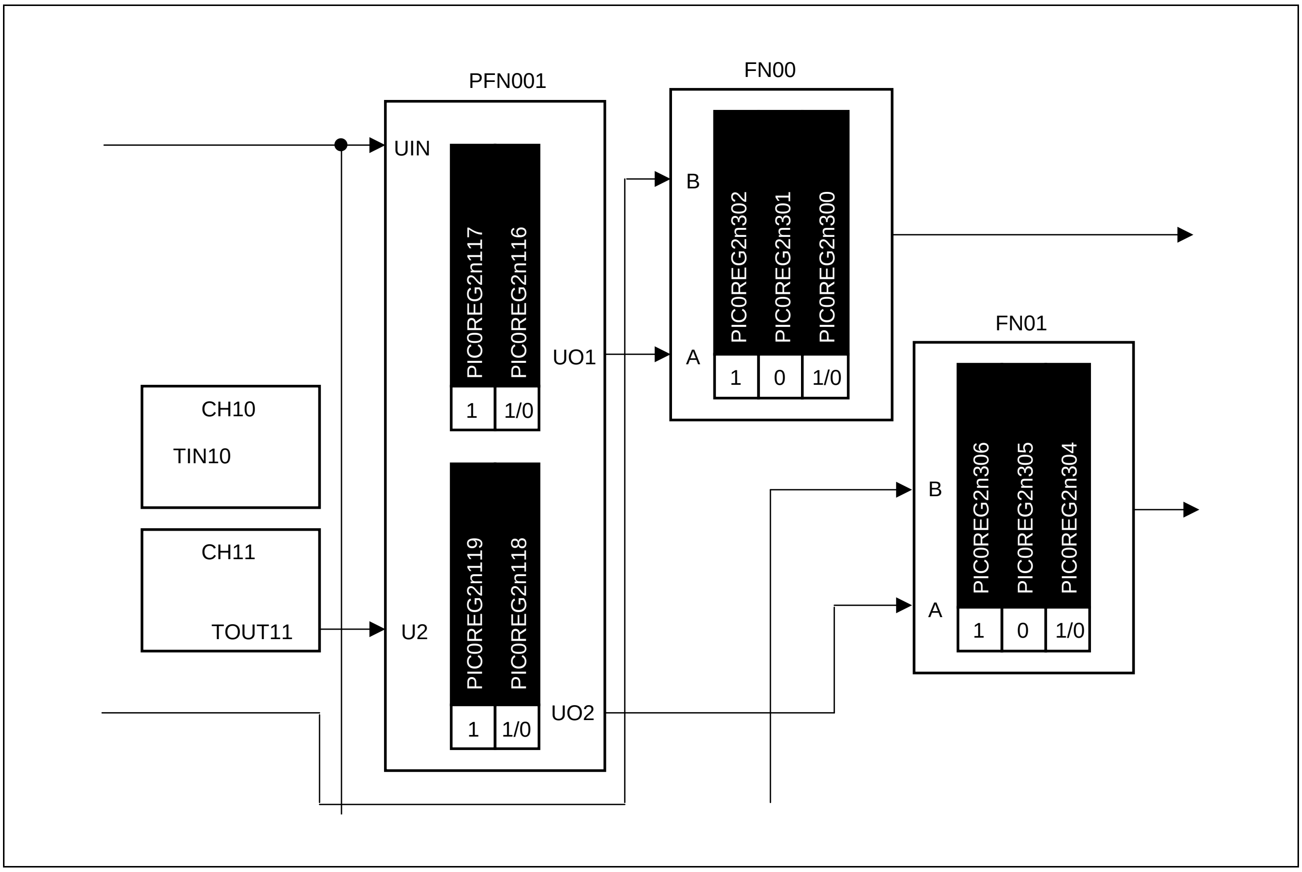


図 36.35　ブロック図抜粋（PFN001、FN00、FN01）

組み合わせ回路の入力（UIN、U2）と出力（UO1、UO2）の関係を以下の表に示します。

表 36.60　U、UB 相組み合わせ回路（PFN001）の入出力表

● UO1（U 相デッドタイム可変領域パルス）出力

UIN (TOUT02)	U2 (TOUT11)	UO1	
		PIC0REG2n117、16＝10_B U 相出力アクティブハイ （TAUDnTOL04＝0）	PIC0REG2n117、16＝11_B U 相出力アクティブロウ （TAUDnTOL04＝1）
0	0	1	0
0	1	1	0
1	0	0	1
1	1	1	0

● UO2（UB 相デッドタイム可変領域パルス）出力

UIN (TOUT02)	U2 (TOUT11)	UO2	
		PIC0REG2n119、18＝10B UB 相出力アクティブハイ (TAUDnTOL05＝0)	PIC0REG2n119、18＝11B UB 相出力アクティブロウ (TAUDnTOL05＝1)
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0

備　考

PIC0REG2n116、PIC0REG2n117、PIC0REG2n118、PIC0REG2n119 の設定は、デッドタイム付き三角波 PWM 出力機能で生成された三角波 PWM の U 相／UB 相アクティブレベルによって設定を変更します。

36.12.4.4　論理演算回路（FN0i）（i＝0, 1）

デッドタイム付き三角波 PWM 出力機能の三角波 PWM 出力（TOUT04、TOUT05）と組み合わせ回路出力（PFN001 の UO1、UO2）を合成し、デッドタイム可変領域パルスを付加した PWM を生成します。

論理演算回路は PIC0REG2n3 レジスタの設定（U 相出力はビット 0 からビット 2 まで、UB 相出力はビット 4 からビット 6 までを設定）によって、合成論理を切り替えます。

本機能での設定は、以下の表のように設定してください。TAPAnUP 端子と TAPAnUM 端子からは設定された合成論理に従い合成した信号を出力します。

表 36.61　論理演算回路（FN0i）（i＝0, 1）設定と TAPAnUP、TAPAnUM 端子出力

- U 相出力（TOUT04）

アクティブレベル	PIC0REG2n302～00	TAPAnUP 端子の出力波形
アクティブハイ（TAUDnTOL04＝0）	100_B	FN00 B（TOUT04）と FN00 A（UO1）の AND
アクティブロウ（TAUDnTOL04＝1）	101_B	FN00 B（TOUT04）と FN00 A（UO1）の OR

- UB 相出力（TOUT05）

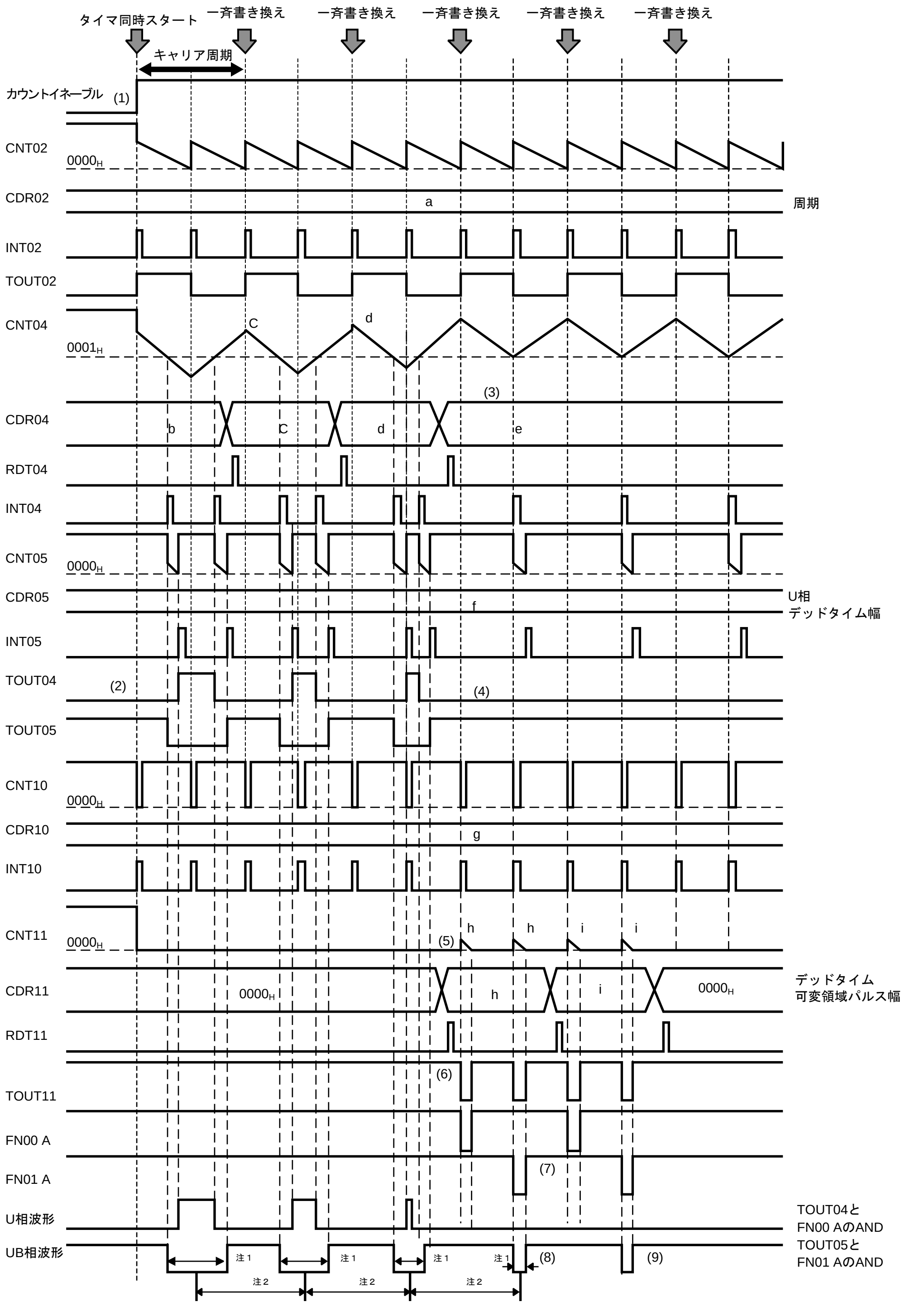
アクティブレベル	PIC0REG2n306～04	TAPAnUM 端子出力
アクティブハイ（TAUDnTOL05＝0）	100_B	FN01 B（TOUT05）と FN01 A（UO2）の AND
アクティブロウ（TAUDnTOL05＝1）	101_B	FN01 B（TOUT05）と FN01 A（UO2）の OR

これにより TAUD においてもデューティが 0%または 100%近傍時に、出力精度確保を目的としたデッドタイム可変制御が可能となるため TAUD 機能のデッドタイム付き三角波 PWM 出力機能よりも高精度な三角波 PWM を出力することができます。

V、VB 相、W、WB 相については「**図 36.34 デッドタイム付き高精度三角波 PWM 出力機能のブロック図**」に示す通り、使用するチャネルやレジスタの設定ビットが異なりますが、設定値は同じになります。

PIC は、「デッドタイム付き三角波 PWM 出力機能」で生成された PWM 信号に「ワンショットパルス出力機能」によって生成されたパルスを PIC 機能の「組み合わせ回路」および「論理演算回路」により付加する接続を提供します。

次の図以降にデッドタイム付き高精度三角波 PWM 出力機能のタイミング図を示します。



注1. デッドタイム可変領域パルスは、三角波を使用している両側伸縮するパルスとは異なり、鋸波を使用しているため片側伸縮となります。

注2. デッドタイム可変領域パルスが片側伸縮のため、デッドタイム可変領域での 1 相 PWM の出力周期は、付加するデッドタイム可変領域パルス幅の 1/2 分長くなります。

図 36.36　デッドタイム付き高精度 PWM 出力（U 相 0%、UB 相 100%）例（TAUDnTOL04＝0（アクティブハイ）、TAUDnTOL05＝0（アクティブハイ）の場合）

「**図 36.36 デッドタイム付き高精度 PWM 出力（U 相 0%、UB 相 100%）例（TAUDnTOL04＝0（アクティブハイ）、TAUDnTOL05＝0（アクティブハイ）の場合）**」の U 相 PWM 出力を行うタイマ構成で U 相 0%、UB 相 100%に遷移する場合の動作例について説明します。デッドタイム付き三角波 PWM 出力機能の出力はアクティブハイです。

(1) タイマ動作開始により、TAUDn の CH2、CH4、CH5 によるデッドタイム付き三角波 PWM 出力機能を開始します。

(2) デッドタイム付き三角波 PWM 出力機能により、TOUT04、TOUT05 からデッドタイム付き PWM 波形が出力されます。

(3) CDR04 に U 相デューティ 0%出力値を設定します。

(4) (3)の設定により、TOUT04 の出力は非アクティブレベル、TOUT05 の出力はアクティブレベルとなります。ただし、この動作ではデッドタイム可変領域のパルスは出力されません。

(5) デッドタイム可変領域パルスを作成するため、(3)の U 相デューティ 0%設定時に、デッドタイム可変領域パルス幅となる値を CDR11 に設定します。
この例では、出力 PWM への影響を考慮し、デッドタイム可変領域に入るまで CDR11 の設定値を 0000_H に固定しています。

(6) デッドタイム可変領域パルスは、TOUT02 のエッジタイミングで CDR10 に設定されているディレイ時間経過後、CDR11 に設定された幅のパルスとして出力されます。

(7) (6)で出力されたパルスは、組み合わせ回路（PFN001）により U 相用（FN00 A）、UB 相用（FN01 A）のデッドタイム可変領域パルスに変換されます。

(8) (7)で生成されたパルスは、論理演算回路（FN00、FN01）で、TOUT04、TOUT05 出力波形と合成され、TAPAnUP（U 相出力）および TAPAnUM（UB 相出力）から出力されます。

(9) 以後、デッドタイム可変領域パルス幅を指定する CDR11 への設定値を変更することにより、任意のデッドタイム可変領域パルスをが付加されます。

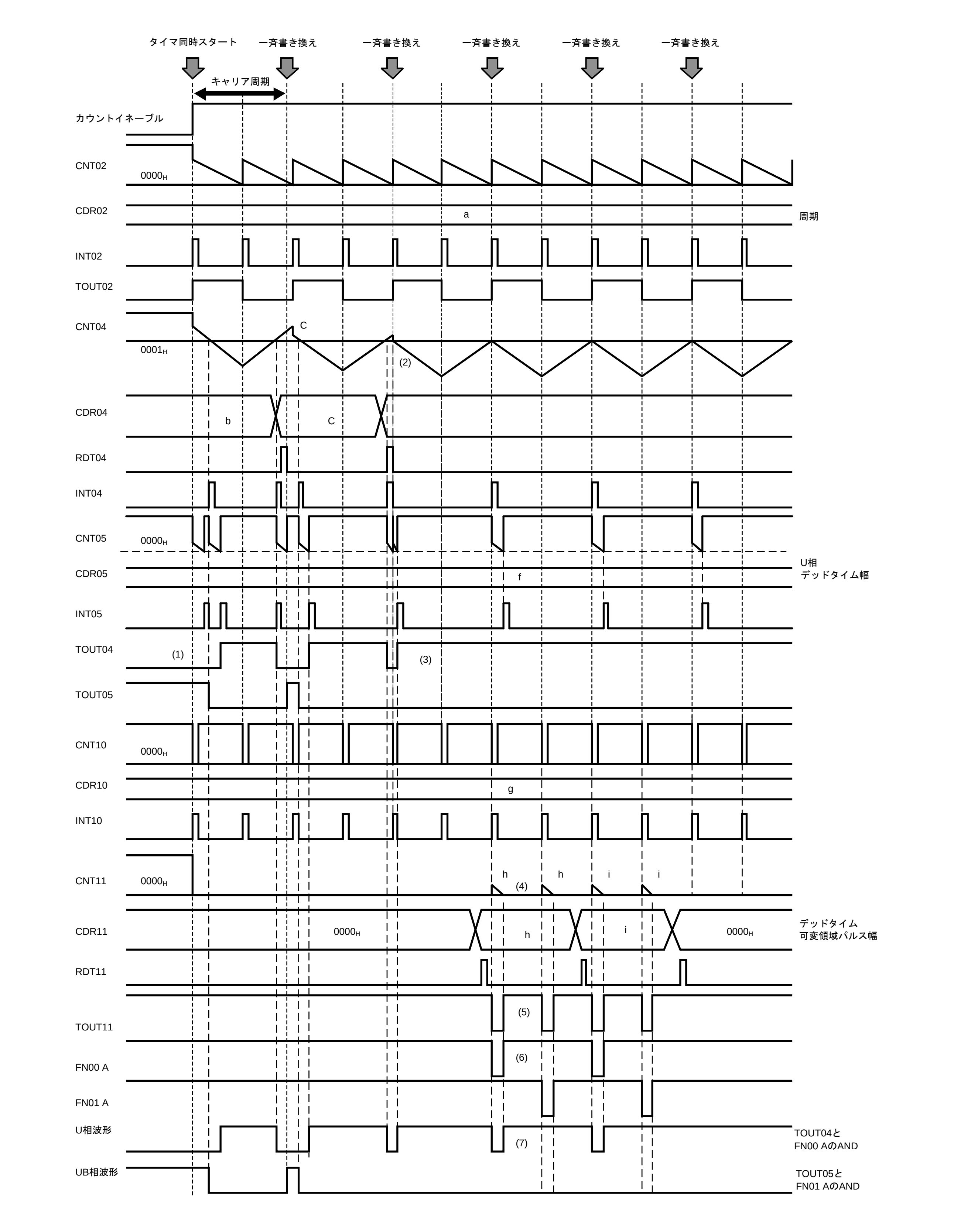


図 36.37　デッドタイム付き高精度 PWM 出力（U 相 100%、UB 相 0%）例（TAUDnTOL04＝0（アクティブハイ）、TAUDnTOL05＝0（アクティブハイ）の場合）

「**図 36.37 デッドタイム付き高精度 PWM 出力（U 相 100%、UB 相 0%）例（TAUDnTOL04＝0（アクティブハイ）、TAUDnTOL05＝0（アクティブハイ）の場合）**」の U 相 PWM 出力を行うタイマ構成で U 相 100%、UB 相 0%に遷移する場合の動作例について説明します。デッドタイム付き三角波 PWM 出力機能の出力はアクティブハイです。

(1) タイマ動作開始からデッドタイム付き三角波 PWM 出力までのタイマ動作は同じです。

(2) CDR04 に U 相デューティ 100%出力値（CDR04＝0000_H）を設定します。

(3) (2)の設定により、TOUT04 の出力はアクティブレベル、TOUT05 の出力は非アクティブレベルとなります。ただし、この動作ではデッドタイム可変領域パルスは出力されません。

(4) デッドタイム可変領域パルスを作成するため、(2)の U 相デューティ 100%設定から 1 周期後に、デッドタイム可変領域パルス幅となる値を CDR11 に設定します。
この例では、出力 PWM への影響を考慮し、デッドタイム可変領域に入るまで CDR11 の設定値を 0000_H に固定しています。

(5) デッドタイム可変領域パルスは、TOUT02 のエッジタイミングで CDR10 に設定されているディレイ時間経過後、CDR11 に設定された幅のパルスとして出力されます。

(6) (5)で出力されたパルスは、組み合わせ回路（PFN001）により U 相用（FN00 A）、UB 相用（FN01 A）のデッドタイム可変領域パルスに変換されます。

(7) (6)で生成されたパルスは、論理演算回路（FN00、FN01）で、TOUT04、TOUT05 出力波形と合成され、TAPAnUP（U 相出力）および TAPAnUM（UB 相出力）から出力されます。

注　意

CDR04 への U 相デューティ 100%設定と同時に CDR11 にデッドタイム可変領域パルス幅を設定した場合、「**図 36.37 デッドタイム付き高精度 PWM 出力（U 相 100%、UB 相 0%）例（TAUDnTOL04＝0（アクティブハイ）、TAUDnTOL05＝0（アクティブハイ）の場合）**」で示す通り、機能仕様上(1)で示す TOUT04 から出力される最後の PWM に対し、(2)で示される分、デッドタイム可変領域パルスが影響を与えてしまいます。
この影響をキャンセルするため、CDR11 の設定は 1 周期後としています。

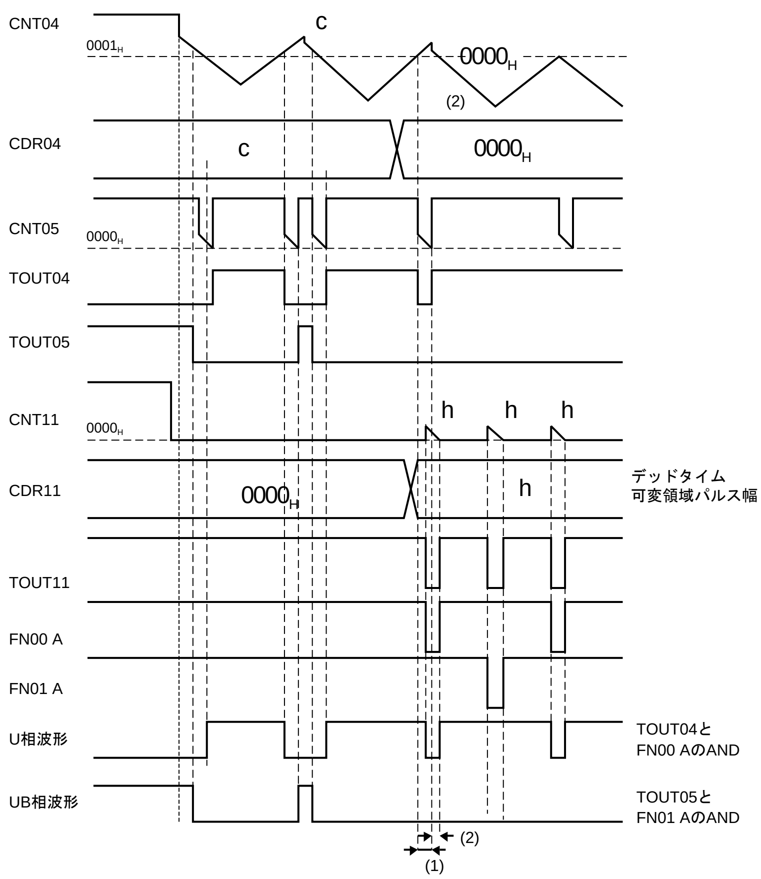


図 36.38　デッドタイム可変領域パルスがデッドタイム付き三角波 PWM 出力に影響する例

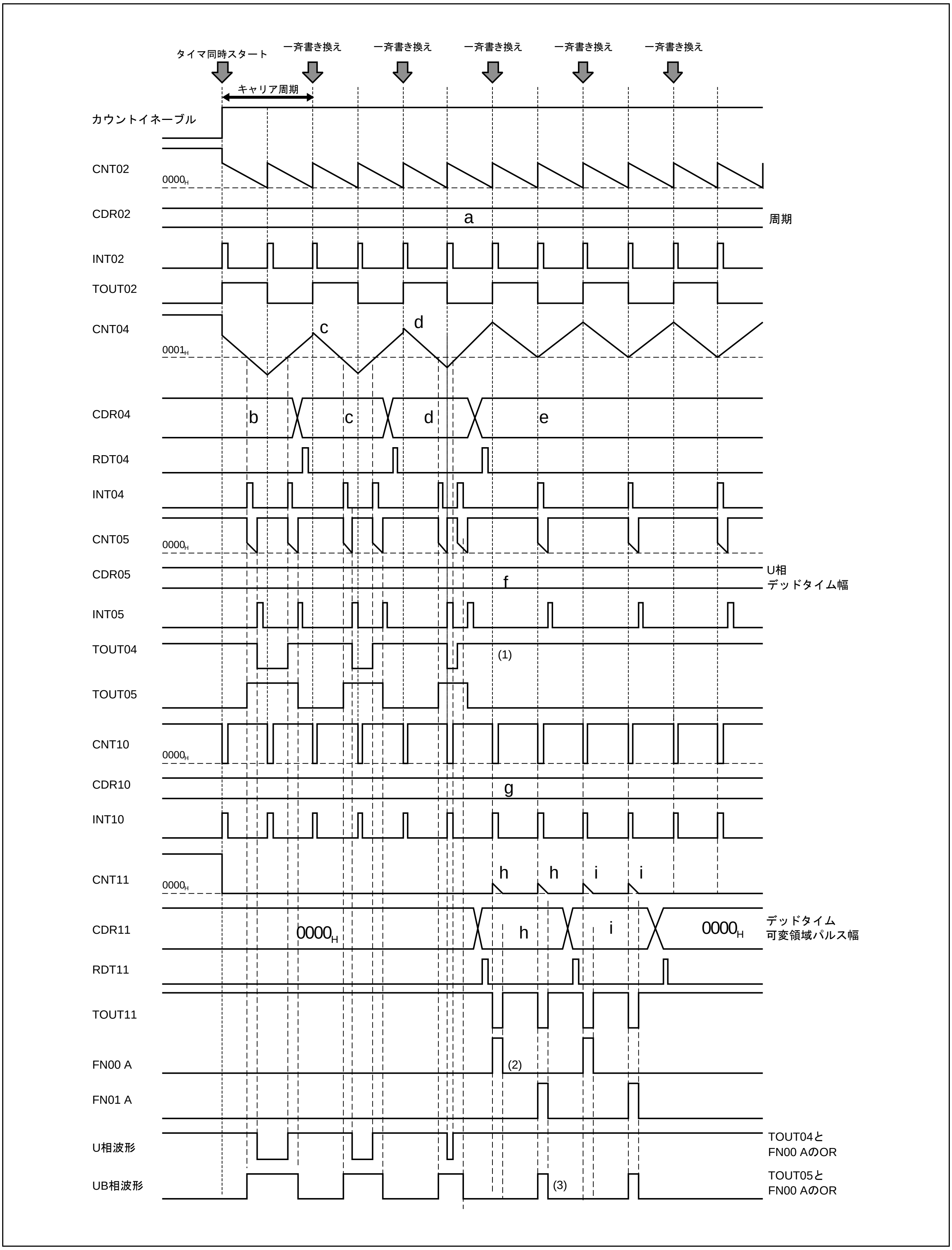


図 36.39　デッドタイム付き高精度 PWM 出力（U 相 100%、UB 相 0%）例（TAUDnTOL04＝1（アクティブロウ）、TAUDnTOL05＝1（アクティブロウ）の場合）

「**図 36.39 デッドタイム付き高精度 PWM 出力（U 相 100%、UB 相 0%）例（TAUDnTOL04＝1（アクティブロウ）、TAUDnTOL05＝1（アクティブロウ）の場合）**」の U 相 PWM 出力を行うタイマ構成で U 相 100%、UB 相 0%に遷移する場合の動作例について説明します。デッドタイム付き三角波 PWM 出力機能の出力はアクティブロウです。

(1) タイマ動作開始からデッドタイム付き三角波 PWM 出力までのタイマ動作は、「**図 36.36 デッドタイム付き高精度 PWM 出力（U 相 0%、UB 相 100%）例（TAUDnTOL04＝0（アクティブハイ）、TAUDnTOL05＝0（アクティブハイ）の場合）**」と同じです。ただし、PWM 出力として TOUT04 と TOUT05 からはアクティブロウの PWM が出力されます。

(2) そのため、組み合わせ回路設定（PIC0REG2n116, 17、PIC0REG2n118, 19）を PWM 出力に合わせたアクティブロウ出力に設定します。これによりアクティブロウ用のデッドタイム可変領域パルスが U 相用（FN00 A）、UB 相用（FN01 A）として出力されます。

(3) さらに、論理演算回路設定（PIC0REG2n302～00、PIC0REG2n306～04）も PWM 出力に合わせたアクティブロウ出力に設定します。(2)で生成されたパルスは、TOUT04、TOUT05 出力波形と合成され、TAPAnUP（U 相出力）および TAPAnUM（UB 相出力）からアクティブロウ用 PWM として出力されます。

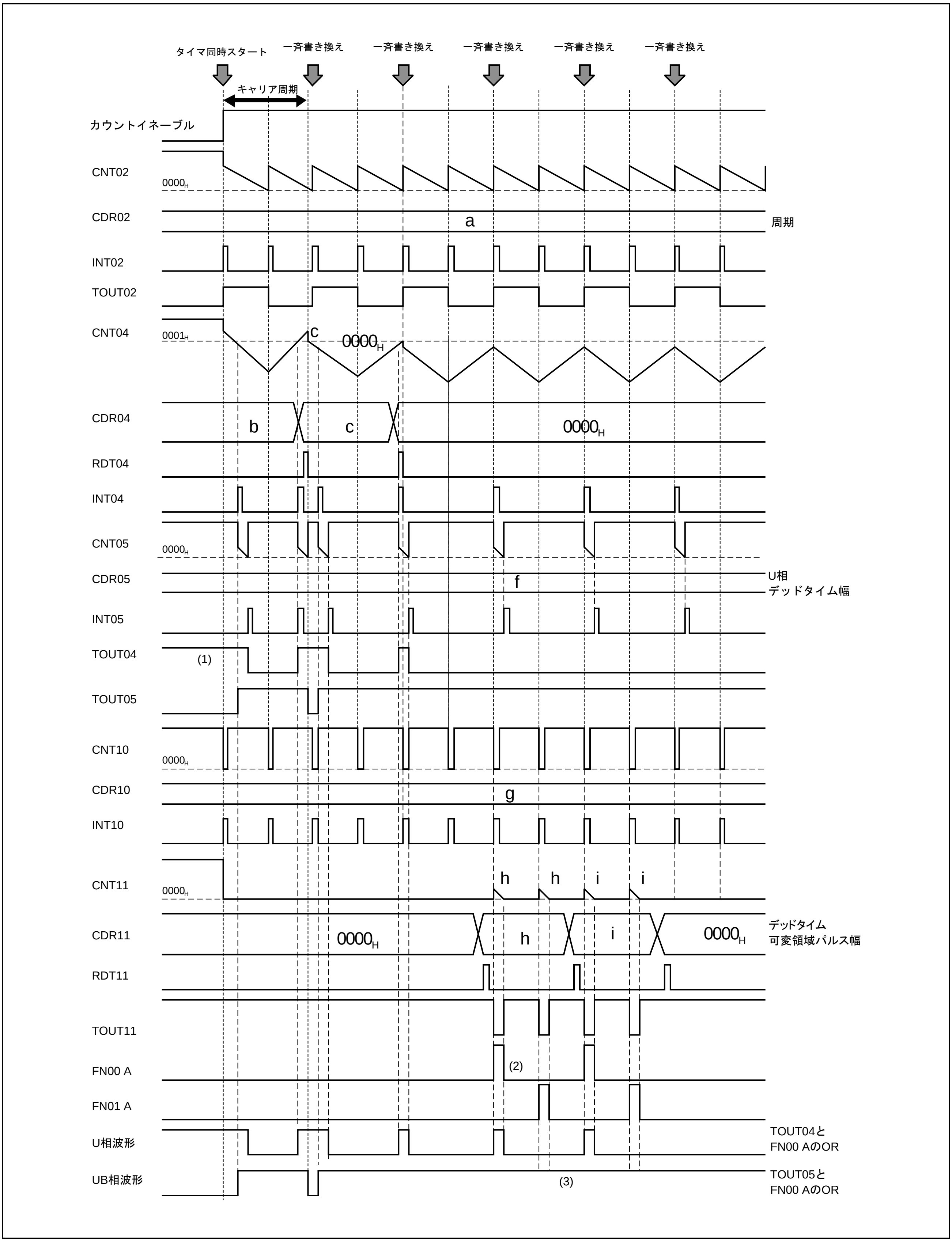


図 36.40 デッドタイム付き高精度 PWM 出力（U 相 0%、UB 相 100%）例（TAUDnTOL04＝0（アクティブロウ）、TAUDnTOL05＝0（アクティブロウ）の場合）

「**図 36.40 デッドタイム付き高精度 PWM 出力（U 相 0%、UB 相 100%）例（TAUDnTOL04＝0（アクティブロウ）、TAUDnTOL05＝0（アクティブロウ）の場合）**」の U 相 PWM 出力を行うタイマ構成で U 相 0%、UB 相 100%に遷移する場合の動作例について説明します。デッドタイム付き三角波 PWM 出力機能の出力はアクティブロウです。

(1) タイマ動作開始からデッドタイム付き三角波 PWM 出力までのタイマ動作は「**図 36.37 デッドタイム付き高精度 PWM 出力（U 相 100%、UB 相 0%）例（TAUDnTOL04＝0（アクティブハイ）、TAUDnTOL05＝0（アクティブハイ）の場合）**」と同じです。ただし、PWM 出力としてアクティブロウの PWM が出力されます。

(2) そのため、組み合わせ回路設定（PIC0REG2n116, 17、PIC0REG2n118, 19）を PWM 出力に合わせたアクティブロウ出力に設定します。これによりアクティブロウ用のデッドタイム可変領域パルスが U 相用（FN00A）、UB 相用（FN01A）として出力されます。

(3) さらに、論理演算回路設定（PIC0REG2n302～00、PIC0REG2n306～04）も PWM 出力に合わせたアクティブロウ出力に設定します。(2)で生成されたパルスは、TOUT04、TOUT05 出力波形と合成され、TAPAnUP（U 相出力）および TAPAnUM（UB 相出力）からアクティブロウ用 PWM として出力されます。

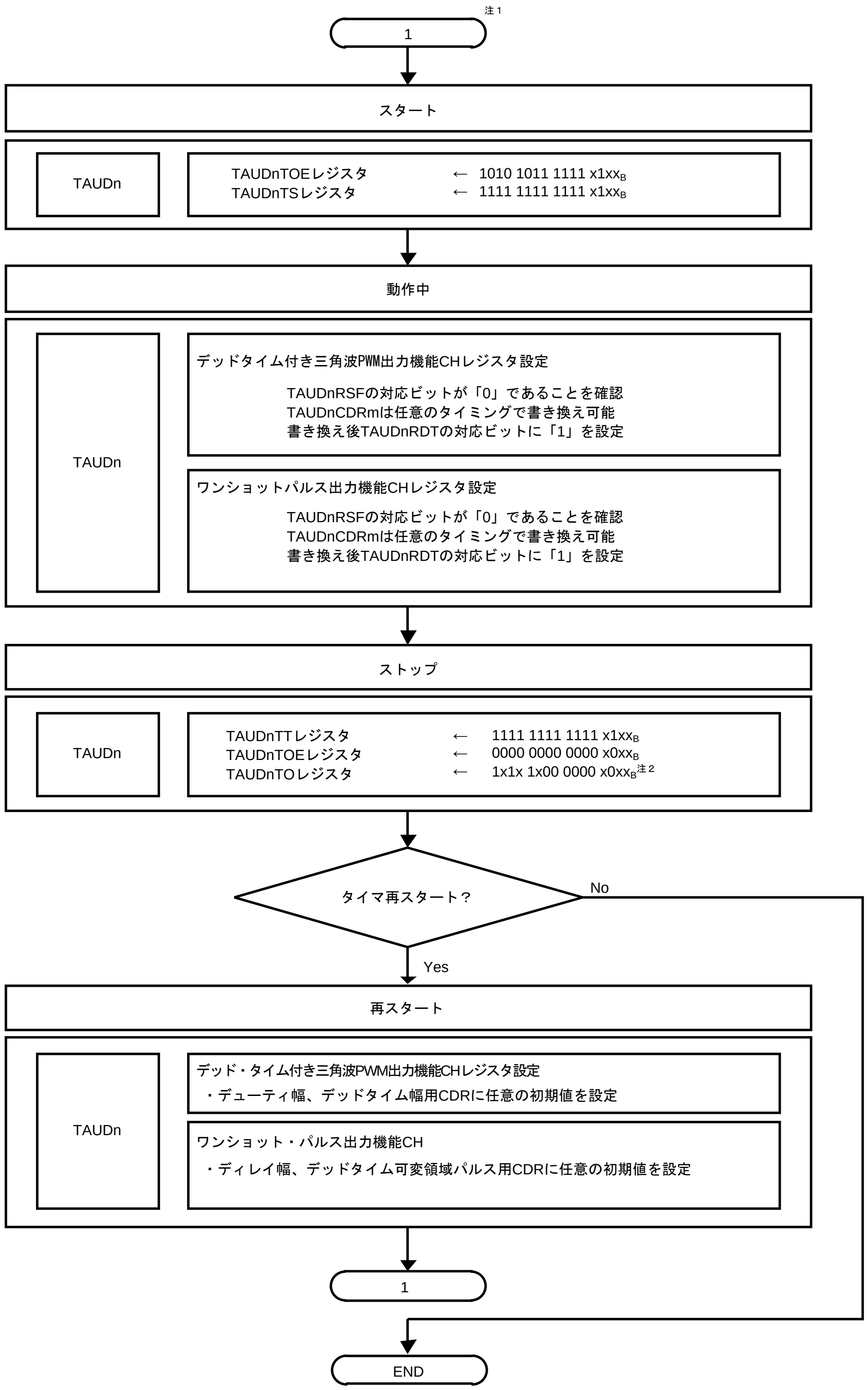
注　意

CDR04 へ U 相デューティ 100%設定と同時に CDR11 にデッドタイム可変領域パルス幅の値を設定した場合、機能仕様上 TOUT04 から出力される最後の PWM に影響を与えてしまいます。
この影響をキャンセルするため、CDR11 の設定は 1 周期後としています。
詳細については、「**図 36.38 デッドタイム可変領域パルスがデッドタイム付き三角波 PWM 出力に影響する例**」を参照してください。

36.12.5 設定フロー

注1. 出力する PWM のアクティブレベルによって設定値を変更してください。

図 36.41 設定フロー（アクティブハイの例）



注1.　選択レジスタと使用する出力ポートの設定は、PIC とタイマの初期設定後に行ってください。

注2.　出力する PWM のアクティブレベルによって設定値を変更してください。

図 36.42　設定フロー（アクティブハイの例）（続き）

36.12.6　動作機能の設定例

各レジスタの設定値の例を示します。

36.12.6.1　TAUDn 設定（アクティブハイの例）

表 36.62　TAUDn CH2 関連（デッドタイム付き三角波 PWM 出力機能マスタチャネル[注 1]）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMOR2	15、14	TAUDnCKS[1:0]	任意[注 2]	動作クロック設定
	13、12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	1	
	10～8	TAUDnSTS[2:0]	000	
	7、6	TAUDnCOS[1:0]	00	
	5		0	
	4～1	TAUDnMD[4:1]	0000	
	0	TAUDnMD0	1	動作開始時に、INTm を出力し、TOUTm もトグル動作を行う
TAUDnCMUR2	1、0	TAUDnTIS[1:0]	00	固定

注1.　マスタチャネルおよびスレーブチャネルは TAUD のデッドタイム付き三角波 PWM 出力機能で定義されている名称です。詳細については、「**第 32 章　タイマアレイユニット D（TAUD）**」を参照してください。

注2.　動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。

備　考

デッドタイム付き三角波 PWM 出力機能のマスタチャネルの TAUDnCMORm は、TAUDnCKS[1:0]（動作クロック選択）と TAUDnMD0 のみ任意に設定できますが、ほかの制御ビットは固定値となります。詳細については、「**第 32 章　タイマアレイユニット D（TAUD）**」を参照してください。
本機能では、TAUDnMD0＝1 を設定してください。

表 36.63　TAUDnCH4, 6, 8 関連（デッドタイム付き三角波 PWM 出力機能スレーブチャネル 2 [注 1]）（m＝4, 6, 8）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMORm	15、14	TAUDnCKS[1:0]	任意[注 2]	動作クロック設定
	13、12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	0	
	10～8	TAUDnSTS[2:0]	111	
	7、6	TAUDnCOS[1:0]	00	
	5		0	
	4～1	TAUDnMD[4:1]	1001	
	0	TAUDnMD0	0	
TAUDnCMURm	1、0	TAUDnTIS[1:0]	00	

注1.　動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。デッドタイム付き三角波 PWM 出力機能のスレーブチャネル 2、スレーブチャネル 3 の TAUDnCMORm は、TAUDnCKS[1:0]（動作クロック選択）のみ任意に設定できますが、ほかの制御ビットは固定値となります。詳細については、「**第 32 章　タイマアレイユニット D（TAUD）**」を参照してください。

注2.　動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。

表 36.64 TAUDn CH5, 7, 9 関連（デッドタイム付き三角波 PWM 出力機能スレーブチャネル 3 注1）（m＝5, 7, 9）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMORm	15、14	TAUDnCKS[1:0]	任意注2	動作クロック設定
	13、12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	0	
	10～8	TAUDnSTS[2:0]	110	
	7、6	TAUDnCOS[1:0]	00	
	5		0	
	4～1	TAUDnMD[4:1]	0100	
	0	TAUDnMD0	1	
TAUDnCMURm	1、0	TAUDnTIS[1:0]	00	

注1. 動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。デッドタイム付き三角波 PWM 出力機能のスレーブチャネル 2、スレーブチャネル 3 の TAUDnCMORm は、TAUDnCKS[1:0]（動作クロック選択）のみ任意に設定できますが、ほかの制御ビットは固定値となります。詳細については、**「第 32 章 タイマアレイユニット D（TAUD）」**を参照してください。

注2. 動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。

表 36.65 TAUDn CH10、12、14 関連（ワンショットパルス出力機能マスタチャネル注1）（m＝10、12、14）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMORm	15、14	TAUDnCKS[1:0]	任意注2	動作クロック設定
	13、12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	1	
	10～8	TAUDnSTS[2:0]	001	
	7、6	TAUDnCOS[1:0]	00	
	5		0	
	4～1	TAUDnMD[4:1]	0100	
	0	TAUDnMD0	0	カウント中のスタートトリガは無効
TAUDnCMURm	1、0	TAUDnTIS[1:0]	10	両エッジを有効エッジとして検出

注1. マスタチャネルおよびスレーブチャネルは TAUD のワンショットパルス出力機能で定義されている名称です。詳細については、**「第 32 章 タイマアレイユニット D（TAUD）」**を参照してください。

注2. 動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。

表 36.66　TAUDn CH11, 13, 15 関連（ワンショットパルス出力機能スレーブチャネル注1）（m＝11, 13, 15）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMORm	15、14	TAUDnCKS[1:0]	任意注2	動作クロック設定
	13、12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	0	
	10～8	TAUDnSTS[2:0]	100	
	7、6	TAUDnCOS[1:0]	00	
	5		0	
	4～1	TAUDnMD[4:1]	1010	
	0	TAUDnMD0	0	カウント中のスタートトリガは無効
TAUDnCMURm	1、0	TAUDnTIS[1:0]	00	

注1.　マスタチャネルおよびスレーブチャネルは TAUD のワンショットパルス出力機能で定義されている名称です。詳細については、「**第 32 章　タイマアレイユニット D（TAUD）**」を参照してください。

注2.　動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。またデッドタイム付き三角波 PWM 出力機能のマスタチャネル（CH2）と同一のクロック設定にしてください。

備　考

ワンショットパルス出力機能の TAUDnCMORm は、TAUDnCKS[1:0]（動作クロック選択）と TAUDnMD0 のみ任意に設定できますが、ほかの制御ビットは固定値となります。詳細については、「**第 32 章　タイマアレイユニット D（TAUD）**」を参照してください。
本機能では、TAUDnMD0＝0 に設定してください。

表 36.67　TAUDn チャネル共通

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnTOE	15	TAUDnTOE15	0 1	タイマ動作禁止 タイマ動作許可
	14	TAUDnTOE14	0	
	13	TAUDnTOE13	0 1	タイマ動作禁止 タイマ動作許可
	12	TAUDnTOE12	0	
	11	TAUDnTOE11	0 1	タイマ動作禁止 タイマ動作許可
	10	TAUDnTOE10	0	
	9～4	TAUDnTOE09～ TAUDnTOE04	0 1	タイマ動作禁止 タイマ動作許可
	3	TAUDnTOE03	任意	
	2	TAUDnTOE02	0 1	タイマ動作禁止 タイマ動作許可
	1、0	TAUDnTOE01 TAUDnTOE00	任意	

表 36.67　TAUDn チャネル共通

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnTO	15	TAUDnTO15	1 注1	TOUT15 にハイレベルを出力
	14	TAUDnTO14	任意	
	13	TAUDnTO13	1 注1	TOUT13 にハイレベルを出力
	12	TAUDnTO12	任意	
	11	TAUDnTO11	1 注1	TOUT11 にハイレベルを出力
	10	TAUDnTO10	任意	
	9～4	TAUDnTO09～ TAUDnTO04	0 注1	TOUT09～TOUT04 にロウレベルを出力
	3	TAUDnTO03	任意	
	2	TAUDnTO02	0	TOUT02 にロウレベルを出力
	1、0	TAUDnTO01 TAUDnTO00	任意	
TAUDnTOM	15～10	TAUDnTOM15～ TAUDnTOM10	0	単体動作モード
	9～4	TAUDnTOM09～ TAUDnTOM04	1	連動動作モード
	3	TAUDnTOM03	任意	
	2	TAUDnTOM02	0	単体動作モード
	1、0	TAUDnTOM01 TAUDnTOM00	任意	
TAUDnTOC	15	TAUDnTOC15	1	動作モード 2
	14	TAUDnTOC14	0	動作モード 1
	13	TAUDnTOC13	1	動作モード 2
	12	TAUDnTOC12	0	動作モード 1
	11	TAUDnTOC11	1	動作モード 2
	10	TAUDnTOC10	0	動作モード 1
	9～4	TAUDnTOC09～ TAUDnTOC04	1	動作モード 2
	3	TAUDnTOC03	任意	
	2	TAUDnTOC02	0	動作モード 1
	1、0	TAUDnTOC01 TAUDnTOC00	任意	
TAUDnTOL	15	TAUDnTOL15	1 注1	反転論理出力（アクティブロウ）
	14	TAUDnTOL14	任意	
	13	TAUDnTOL13	1 注1	反転論理出力（アクティブロウ）
	12	TAUDnTOL12	任意	
	11	TAUDnTOL11	1 注1	反転論理出力（アクティブロウ）
	10	TAUDnTOL10	任意	
	9～4	TAUDnTOL09～ TAUDnTOL04	0 注1	正論理出力（アクティブハイ）
	3	TAUDnTOL03	任意	
	2	TAUDnTOL02	0	正論理出力（アクティブハイ）
	1、0	TAUDnTOL01 TAUDnTOL00	任意	

表 36.67　TAUDn チャネル共通

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnTDE	15～10	TAUDnTDE15～ TAUDnTDE10	0	デッドタイム制御禁止
	9～4	TAUDnTDE09～ TAUDnTDE04	1	デッドタイム制御許可注 2
	3	TAUDnTDE03	任意	
	2	TAUDnTDE02	0	デッドタイム制御禁止
	1、0	TAUDnTDE01 TAUDnTDE00	任意	
TAUDnTDM	15～9	TAUDnTDM15～ TAUDnTDM09	0	
	3	TAUDnTDM03	任意	
	2	TAUDnTDM02	0	デッドタイム制御禁止のため無効
	1、0	TAUDnTDM01 TAUDnTDM00	任意	
TAUDnTDL	15～10	TAUDnTDL15～ TAUDnTDL10	0	デッドタイム制御禁止のため無効
	9	TAUDnTDL09	1 注 1	デッドタイムは W 相逆相出力として動作
	8	TAUDnTDL08	0 注 1	デッドタイムは W 相正相出力として動作
	7	TAUDnTDL07	1 注 1	デッドタイムは V 相逆相出力として動作
	6	TAUDnTDL06	0 注 1	デッドタイムは V 相正相出力として動作
	5	TAUDnTDL05	1 注 1	デッドタイムは U 相逆相出力として動作
	4	TAUDnTDL04	0 注 1	デッドタイムは U 相正相出力として動作
	3	TAUDnTDL03	任意	
	2	TAUDnTDL02	0	デッドタイム制御禁止のため無効
	1、0	TAUDnTDL01 TAUDnTDL00	任意	
TAUDnTRE	15～4	TAUDnTRE15～ TAUDnTRE04	0	リアルタイム出力禁止
	3	TAUDnTRE03	任意	
	2	TAUDnTRE02	0	リアルタイム出力禁止
	1、0	TAUDnTRE01 TAUDnTRE00	任意	
TAUDnTRO	15～4	TAUDnTRO15～ TAUDnTRO04	0	リアルタイム出力禁止のため無効
	3	TAUDnTRO03	任意	
	2	TAUDnTRO02	0	リアルタイム出力禁止のため無効
	1、0	TAUDnTRO01	任意	
TAUDnTRC	15～4	TAUDnTRC15～ TAUDnTRC04	0	リアルタイム出力トリガ生成チャネルとして動作しない
	3	TAUDnTRC03	任意	
	2	TAUDnTRC02	0	リアルタイム出力トリガ生成チャネルとして動作しない
	1、0	TAUDnTRC01 TAUDnTRC00	任意	
TAUDnTME	15～4	TAUDnTME15～ TAUDnTME04	0	タイマ出力とリアルタイム出力の変調出力禁止
	3	TAUDnTME03	任意	
	2	TAUDnTME02	0	タイマ出力とリアルタイム出力の変調出力禁止
	1、0	TAUDnTME01 TAUDnTME00	任意	

表 36.67　TAUDn チャネル共通

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnRDE	15～4	TAUDnRDE15～TAUDnRDE04	1	一斉書き換え許可
	3	TAUDnRDE03	任意	
	2	TAUDnRDE02	1	一斉書き換え許可
	1、0	TAUDnRDE01 TAUDnRDE00	任意	
TAUDnRDS	15～4	TAUDnRDS15～TAUDnRDS04	0	別の上位チャネルにより、一斉書き換えを許可しない
	3	TAUDnRDS03	任意	
	2	TAUDnRDS02	0	別の上位チャネルにより、一斉書き換えを許可しない
	1、0	TAUDnRDS01 TAUDnRDS00	任意	
TAUDnRDM	15～10	TAUDnRDM15～TAUDnRDM10	0	マスタチャネルのカウント開始タイミングで一斉書き換えする
	9～4	TAUDnRDM09～TAUDnRDM04	1	マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の［山］のタイミングで一斉書き換えする
	3	TAUDnRDM03	任意	
	2	TAUDnRDM02	1	マスタチャネルでのカウントが開始され、対応するスレーブチャネルの三角波の［山］のタイミングで一斉書き換えする
	1、0	TAUDnRDM01 TAUDnRDM00	任意	
TAUDnRDC	15～4	TAUDnRDC15～TAUDnRDC04	0	一斉書き換えトリガ生成チャネルとして動作しない
	3	TAUDnRDC03	任意	
	2	TAUDnRDC02	0	一斉書き換えトリガ生成チャネルとして動作しない
	1、0	TAUDnRDC01 TAUDnRDC00	任意	

注1.　使用システムによって設定を変更してください。

注2.　デッドタイム制御行うため、偶数チャネルと奇数チャネルを対とした正逆相の波形出力制御を行います。詳細については、「**第 32 章 タイマアレイユニット D（TAUD）**」を参照してください。

36.12.6.2　PIC の設定（アクティブハイの例）

表 36.68　PIC の設定

レジスタ	ビット位置	ビット名	設定値	備考
PIC0REG2n0	18	PIC0REG2n018	1	TAUDn の CH2 の TOUT を選択
PIC0REG2n1	27、26	PIC0REG2n127 PIC0REG2n126	1 0	W 相逆相アクティブハイ組合せ回路出力
	25、24	PIC0REG2n125 PIC0REG2n124	1 0	W 相正相アクティブハイ組合せ回路出力
	23、22	PIC0REG2n123 PIC0REG2n122	1 0	V 相逆相アクティブハイ組合せ回路出力
	21、20	PIC0REG2n121 PIC0REG2n120	1 0	V 相正相アクティブハイ組合せ回路出力
	19、18	PIC0REG2n119 PIC0REG2n118	1 0	U 相逆相アクティブハイ組合せ回路出力
	17、16	PIC0REG2n117 PIC0REG2n116	1 0	U 相正相アクティブハイ組合せ回路出力
PIC0REG2n2	25	PIC0REG2n225	1	PIC0REG2n018 ビットで選択した入力を選択
	21	PIC0REG2n221	1	PIC0REG2n018 ビットで選択した入力を選択
	17	PIC0REG2n217	1	PIC0REG2n018 ビットで選択した入力を選択
PIC0REG2n3	22、21、20	PIC0REG2n322 PIC0REG2n321 PIC0REG2n320	1 0 0	W 相逆相アクティブハイ論理演算回路出力
	18、17、16	PIC0REG2n318 PIC0REG2n317 PIC0REG2n316	1 0 0	W 相正相アクティブハイ論理演算回路出力
	14、13、12	PIC0REG2n314 PIC0REG2n313 PIC0REG2n312	1 0 0	V 相逆相アクティブハイ論理演算回路出力
	10、9、8	PIC0REG2n310 PIC0REG2n309 PIC0REG2n308	1 0 0	V 相正相アクティブハイ論理演算回路出力
	6、5、4	PIC0REG2n306 PIC0REG2n305 PIC0REG2n304	1 0 0	U 相逆相アクティブハイ論理演算回路出力
	2、1、0	PIC0REG2n302 PIC0REG2n301 PIC0REG2n300	1 0 0	U 相正相アクティブハイ論理演算回路出力

36.13 デッドタイム付きディレイパルス出力機能

36.13.1　機能概要

周期タイミングからディレイ分遅らせたデッドタイム付き 3 相 PWM を出力します。

「デッドタイム付き 3 相 PWM 出力機能」と異なり、次の周期内にリセットを持つ PWM も出力可能です。

36.13.2　構成

本機能のユニット、チャネル構成を下記に示します。（n＝0、m＝0～15）

表 36.69　デッドタイム付きディレイパルス出力機能の構成

タイマ	タイマモータ制御機能
TAUD0 CH2～CH15（使用チャネル固定）	TAPA0

以下の説明に使用している信号名は略称です。実際の信号名は以下のように読み替えてください。

- INTm→INTTAUDnIm（TAUDn チャネル m 割り込み）
- TINm→TAUDTTINm（TAUDn チャネル m 入力）
- TOUTm→TAUDTTOUTm（TAUDn チャネル m 出力）
- CDRm→TAUDnCDRm（TAUDn チャネル m データレジスタ）
- CNTm→TAUDnCNTm（TAUDn チャネル m カウンタレジスタ）

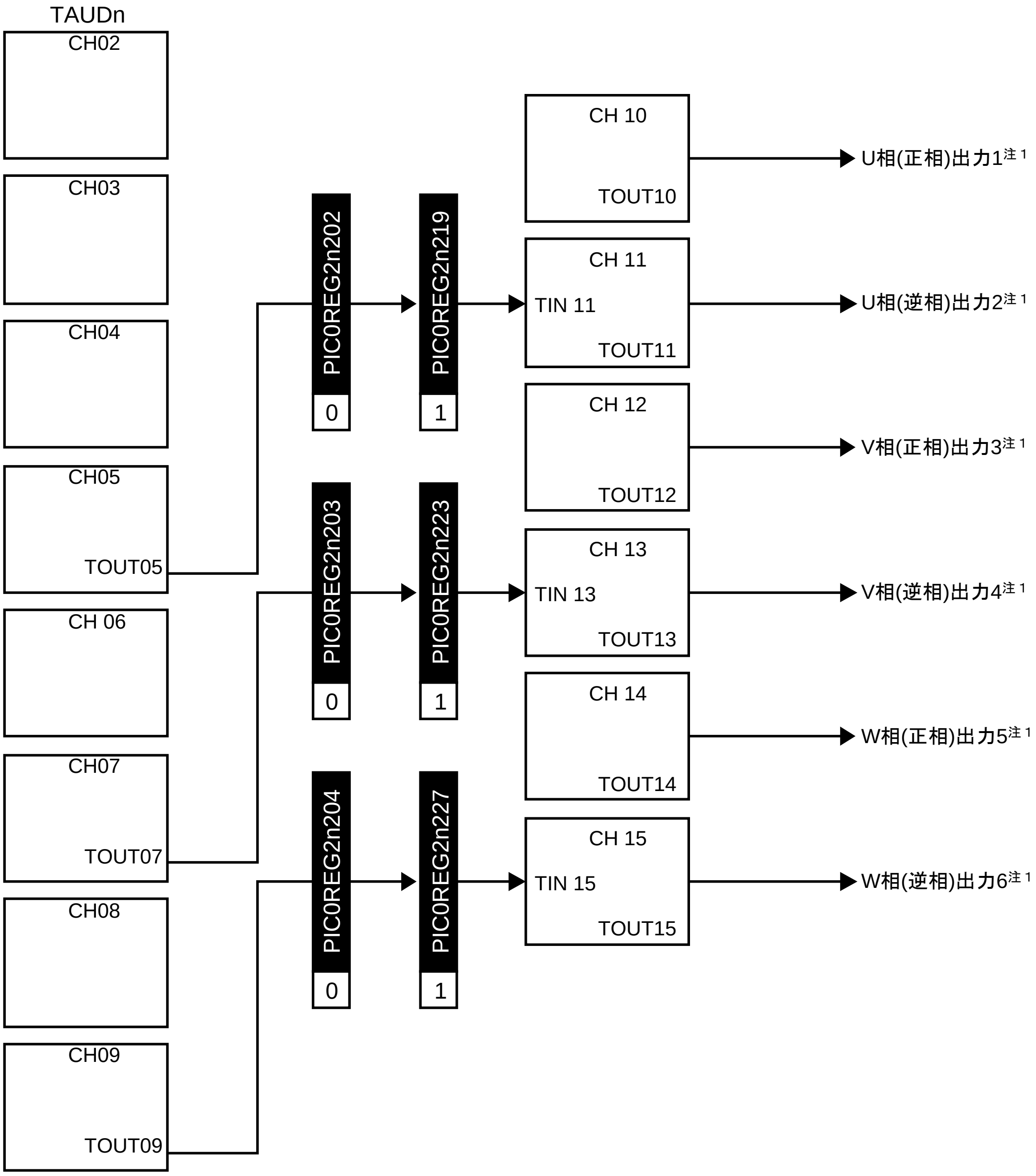
36.13.2.1　TAUDn 構成

CH3 の CDRm 値は TOUT0～TOUT15 に影響を与えないため、CH3 の INTm は A/D 変換トリガ生成などほかの用途に使用することも可能です。

表 36.70　TAUDn 構成

CH	機能名	M/S	CDR 設定値	説明
2	ディレイパルス出力機能 （CH2 は CH3～CH9 のマスタチャネル）	M	周期	
3		S		予約
4		S	ディレイ（U 相）	
5		S	パルス幅（U 相）	
6		S	ディレイ（V 相）	
7		S	パルス幅（V 相）	
8		S	ディレイ（W 相）	
9		S	パルス幅（W 相）	
10	TOUTm を使用しない機能であれば任意	S		TOUT : U 相出力
11	1 相 PWM 出力機能	S	デッドタイム（U 相）	TOUT : UB 相出力
12	TOUTm を使用しない機能であれば任意	S		TOUT : V 相出力
13	1 相 PWM 出力機能	S	デッドタイム（V 相）	TOUT : VB 相出力
14	TOUTm を使用しない機能であれば任意	S		TOUT : W 相出力
15	1 相 PWM 出力機能	S	デッドタイム（W 相）	TOUT : WB 相出力

備考　M : マスタチャネル、S : スレーブチャネル



注1.　接続先は「**図 36.25　モータ出力バッファ制御ブロック図**」を参照してください。

図 36.43　デッドタイム付きディレイパルス出力のブロック図

36.13.3 レジスタ

36.13.3.1 PIC0REG2n2 — タイマ入出力制御レジスタ 2n2（n＝0）

TAUDn CHm 入力信号の選択を行うレジスタです。ここでは、デッドタイム付きディレイパルス出力機能で使用するビットについて説明します。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	PIC0REG202：FFDD 00C8H
リセット後の値	0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	PIC0REG2n227	—	—	—	PIC0REG2n223	—	—	—	PIC0REG2n219	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	PIC0REG2n204	PIC0REG2n203	PIC0REG2n202	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

表 36.71 PIC0REG2n2 レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>31～28</td><td>予約ビット</td><td>注 1</td></tr>
<tr><td>27</td><td>PIC0REG2n227</td><td>TAUDTTIN15 への TIN 入力信号を選択します。<table><tr><th>PIC0REG2n227</th><th>入力信号</th></tr><tr><td>1</td><td>PIC0REG2n204 ビットで選択した信号</td></tr><tr><td>上記以外</td><td>設定禁止</td></tr></table></td></tr>
<tr><td>26～24</td><td>予約ビット</td><td>注 1</td></tr>
<tr><td>23</td><td>PIC0REG2n223</td><td>TAUDTTIN13 への TIN 入力信号を選択します。<table><tr><th>PIC0REG2n223</th><th>入力信号</th></tr><tr><td>1</td><td>PIC0REG2n203 ビットで選択した信号</td></tr><tr><td>上記以外</td><td>設定禁止</td></tr></table></td></tr>
<tr><td>22～20</td><td>予約ビット</td><td>注 1</td></tr>
<tr><td>19</td><td>PIC0REG2n219</td><td>TAUDTTIN11 への TIN 入力信号を選択します。<table><tr><th>PIC0REG2n219</th><th>入力信号</th></tr><tr><td>1</td><td>PIC0REG2n202 ビットで選択した信号</td></tr><tr><td>上記以外</td><td>設定禁止</td></tr></table></td></tr>
<tr><td>18～5</td><td>予約ビット</td><td>注 1</td></tr>
<tr><td>4</td><td>PIC0REG2n204</td><td>TAUDTTIN15 へ供給する信号を選択します
0：TAUDTTOUT9 を選択
1：設定禁止</td></tr>
<tr><td>3</td><td>PIC0REG2n203</td><td>TAUDTTIN13 へ供給する信号を選択します
0：TAUDTTOUT7 を選択
1：設定禁止</td></tr>
</table>

表 36.71　PIC0REG2n2 レジスタの内容

ビット位置	ビット名	機能
2	PIC0REG2n202	TAUDTTIN11 へ供給する信号を選択します 0：TAUDTTOUT5 を選択 1：設定禁止
1、0	予約ビット	注 1

注1.　PIC0REG2n2 レジスタに“0”を定義しているビットは、ほかのタイマ接続機能で定義していることがあります。その場合、該当するタイマ接続機能のビット定義を適用してください。

36.13.3.2　PIC0HIZCENn — Hi-Z 出力制御レジスタ n（n＝0）

TAPAn の Hi-Z 出力制御用入力信号を選択します。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　PIC0HIZCEN0：FFDD 0080H

リセット後の値　00H

ビット	7	6	5	4	3	2	1	0
	—	PIC0HIZCENn6	—	—	—	PIC0HIZCENn2	—	PIC0HIZCENn0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R	R	R	R/W	R	R/W

表 36.72　PIC0HIZCENn レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	PIC0HIZCENn6	INTADCA0ERR 割り込み信号による Hi-Z 出力制御の許可／禁止を選択します。 0：禁止 1：許可
5～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2	PIC0HIZCENn2	RH850/F1KH-D8 WDTA1NMI、WDTA2NMI 割り込み信号による Hi-Z 出力制御の許可／禁止を選択します。 0：禁止 1：許可 RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1 WDTA1NMI 割り込み信号による Hi-Z 出力制御の許可／禁止を選択します。 0：禁止 1：許可
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	PIC0HIZCENn0	TAPAnESO 端子入力による Hi-Z 出力制御の許可／禁止を選択します。 0：禁止 1：許可

36.13.4　動作例

TAUD の次の機能の組み合わせにより実現します。

– ディレイパルス出力機能

– 1 相 PWM 出力機能

ディレイパルス出力機能により、周期タイミングからディレイ分遅れた PWM を生成します。次に 1 相 PWM 出力機能により、その PWM に対しデッドタイムを付加した 1 相 PWM を出力します。

デッドタイム付きディレイパルス出力機能は、上記機能で実現した PWM 出力をそれぞれ U 相、V 相、W 相に割り当てる事により実現します。したがって、PWM 出力のデッドタイムは、各相の PWM ごとに自由に設定できます。各相の違いは割り当てられたチャネルの違いのみなので、ここでは 1 相（U 相）について説明を行います。

36.13.4.1　ディレイパルス出力機能

CH2、CH4、CH5 を組み合わせて使用し、CH2 で設定した周期に対し、CH4 で生成したディレイ分だけ遅れた、1 相 PWM 出力用基本 PWMTOUT05 より出力されます。

なお、CH3 は本機能実現のための予約タイマとしていますので、他機能では使用しないでください。

注　意

周期を超えるディレイ量の設定はしないでください。

36.13.4.2　1 相 PWM 出力機能

CH10、CH11 の組み合わせで 1 相 PWM を TOUT10、TOUT11 から出力します。

CDR11 にデッドタイム値を設定することで、TIN11 入力に対してデッドタイム付 1 相 PWM を出力します。

V 相、W 相については、それぞれ CH12、CH13（V 相）、CH14、CH15（W 相）を使用し、同様にデッドタイム付 1 相 PWM を出力します。

注　意

ディレイパルス出力機能、1 相 PWM 出力機能で使用する TAUDn の各チャネルの動作クロック設定は同一クロックを設定してください。

TAUD 機能の詳細については、「**第 32 章 タイマアレイユニット D（TAUD）**」を参照してください。

「デッドタイム付きディレイパルス出力機能」と「デッドタイム付き 3 相 PWM 出力機能」の違いについて説明します。

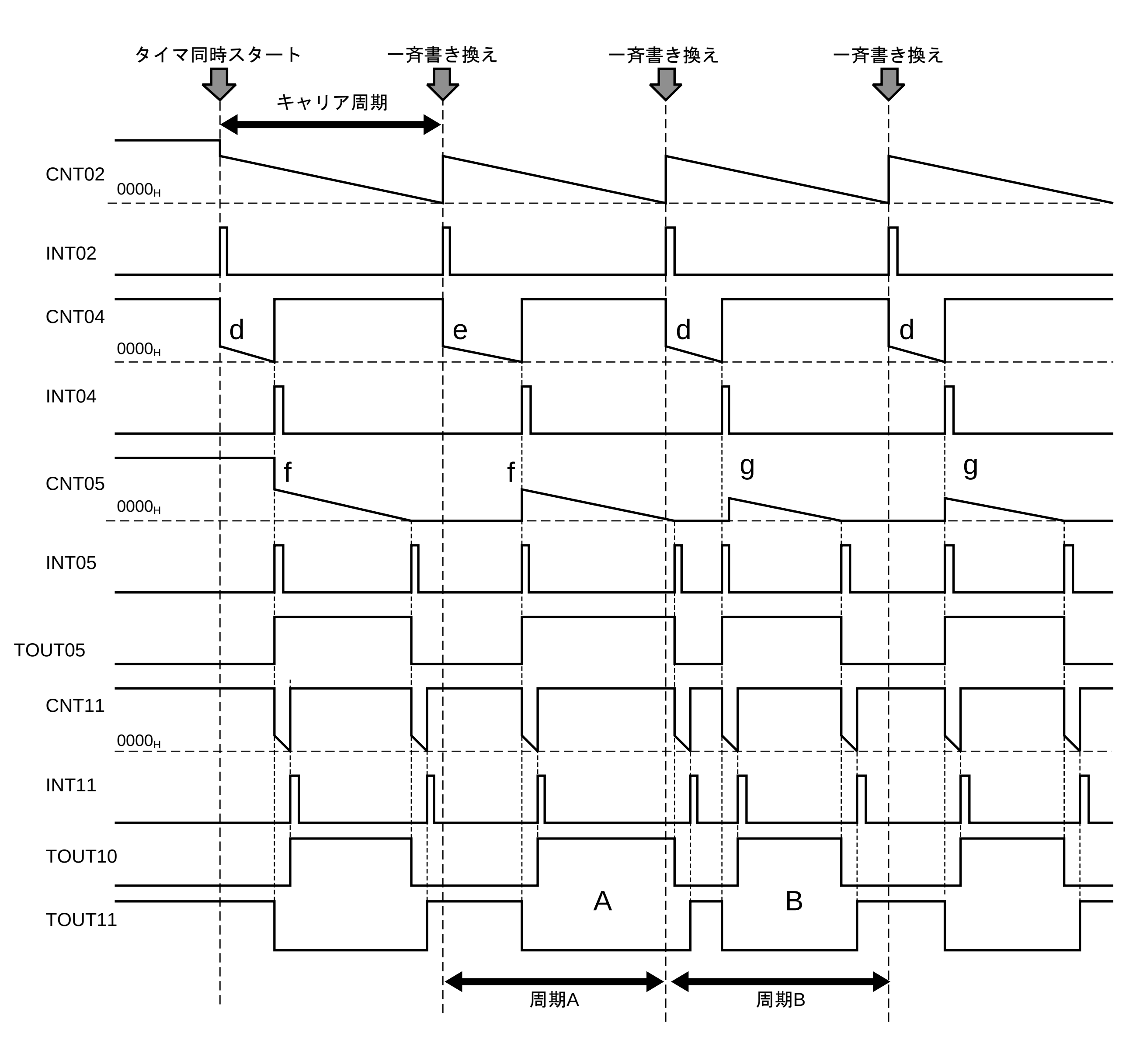


図 36.44　デッドタイム付ディレイパルス出力による PWM 出力

「**図 36.44 デッドタイム付ディレイパルス出力による PWM 出力**」では、PWM 波形 A は周期 A の範囲で出力されるべき PWM 波形ですが、ディレイタイミングを長く取っているため PWM クリア位置が周期 A を超えた位置で発生しています。それに続き、周期 B の PWM 波形である PWM 波形 B が出力されています。

「**図 36.44 デッドタイム付ディレイパルス出力による PWM 出力**」を「デッドタイム付き 3 相 PWM 出力機能」で実現しようとした場合、以下のような動作となります。

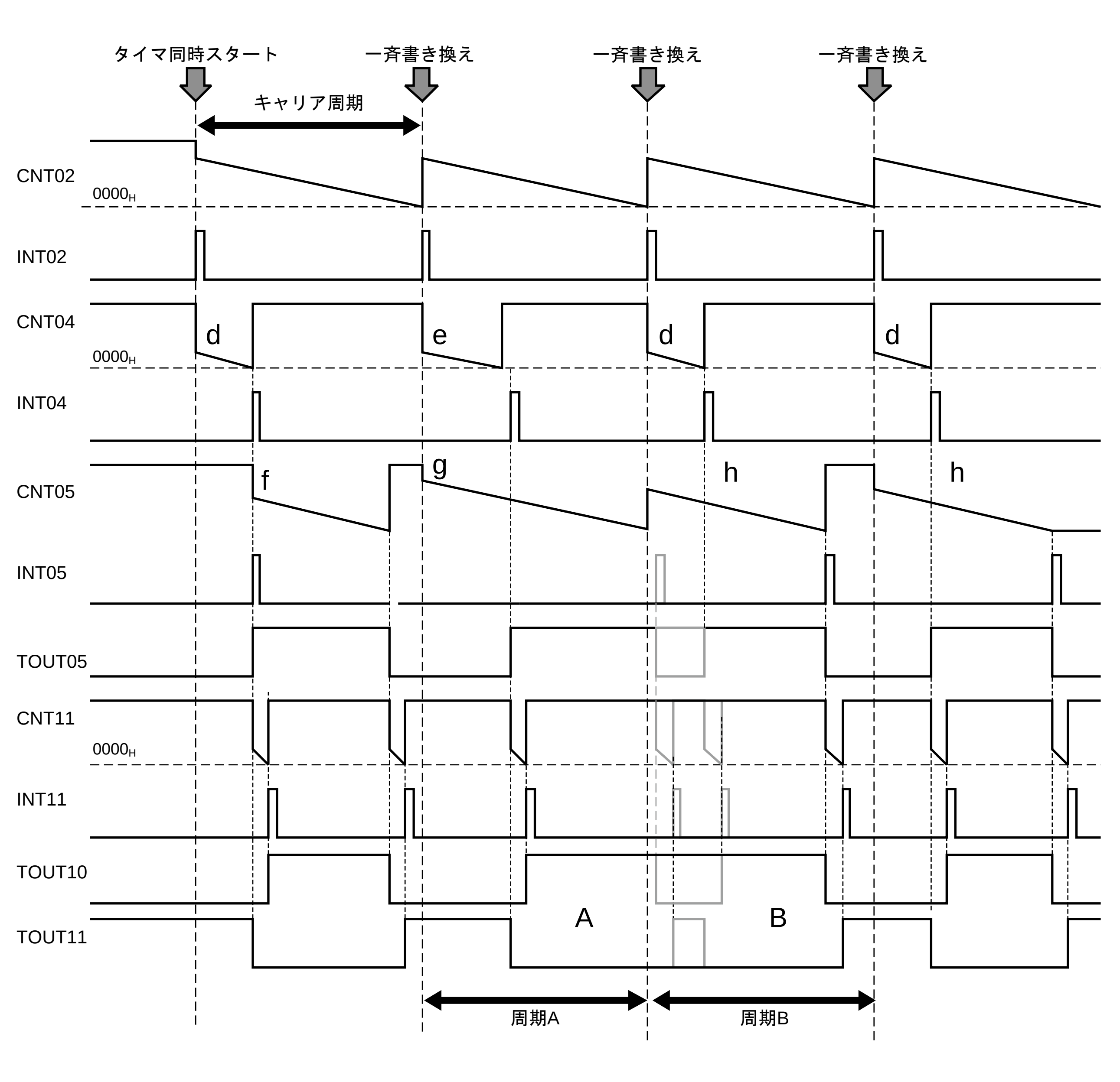


図 36.45　デッドタイム付き 3 相 PWM 出力機能による PWM 出力①

「**図 36.45 デッドタイム付き 3 相 PWM 出力機能による PWM 出力①**」は、「デッドタイム付き 3 相 PWM 出力機能」のセットタイミングを遅らせ、クリアタイミングをキャリア周期より長くとることで、出力される PWM がキャリア周期 A を超える様に設定した例です。

周期 A に対する PWM 波形 A のセットタイミングは前頁の図と同じですが、クリアタイミングが周期 A より長いため、先に周期によるリロード動作が発生してしまい、PWM 波形 A のクリアタイミングが発生しません。

さらに、周期 B に対応する PWM 波形 B のセットタイミングでは、すでに PWM 波形がセット状態であるためセットタイミングは無視されます。結果、周期 B のクリアタイミングまで PWM 波形の変化は発生せず、PWM 波形 A と PWM 波形 B を合わせた PWM 波形が出力されることになります。

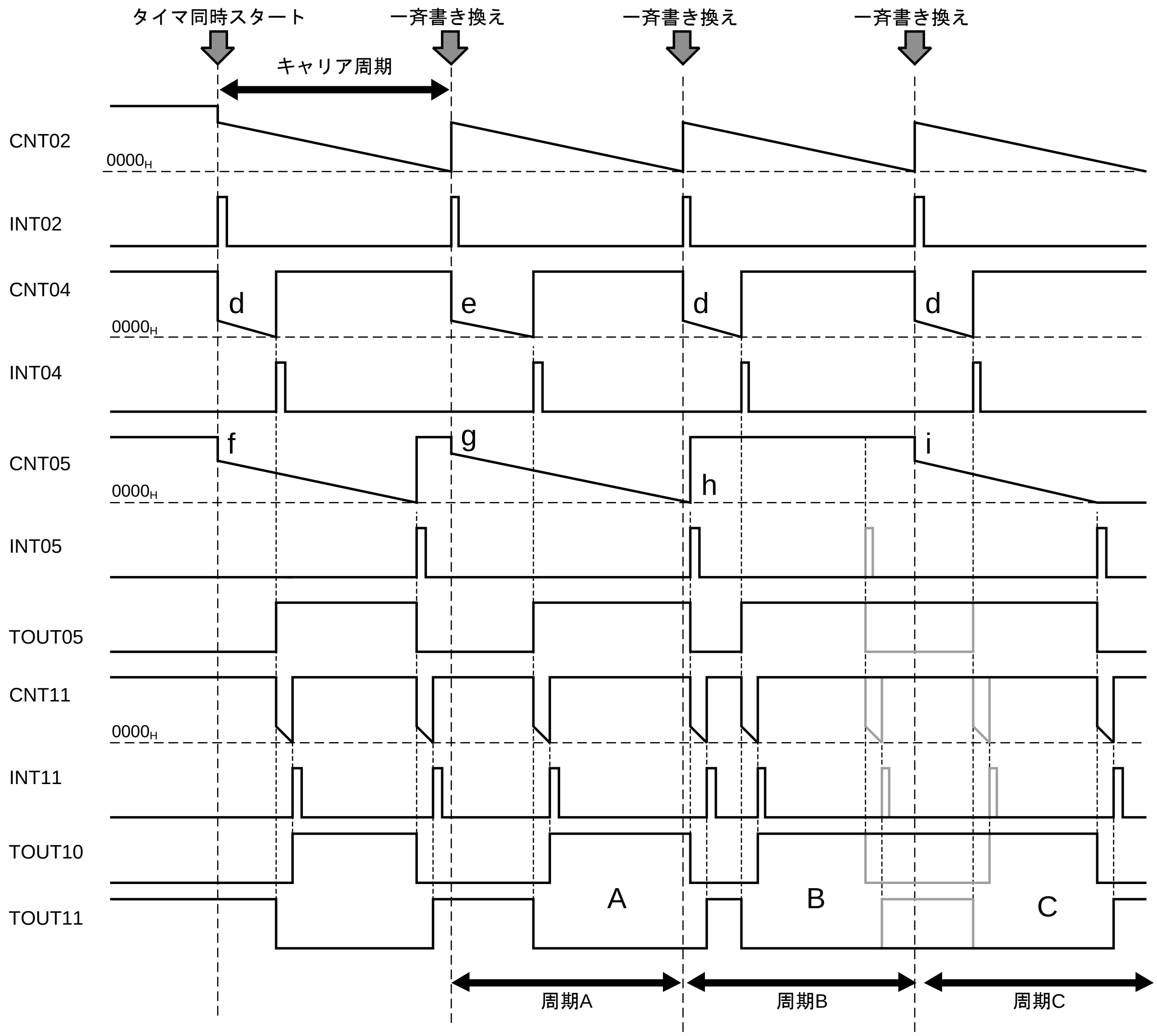


図 36.46　デッドタイム付き 3 相 PWM 出力機能による PWM 出力②

「図 36.46 デッドタイム付き 3 相 PWM 出力機能による PWM 出力②」は、「デッドタイム付き 3 相 PWM 出力機能」で周期 A より長いクリアタイミングのカウンタ動作を周期 B で引継ぎ、周期 B の先頭で PWM 出力 A のクリアを行うよう動作させた例です。

周期 A に対する PWM 波形 A は「デッドタイム付きディレイパルス出力機能」と同様の出力となりますが、クリアタイミングを周期 B の先頭で使用してしまっているため、周期 B で出力すべき PWM 出力 B のクリアタイミングが発生しません。

さらに、周期 C に対応する PWM 波形 C のセットタイミングでは、すでに PWM 波形がセット状態であるためセットタイミングは無視されます。結果、周期 C のクリアタイミングまで PWM 波形の変化は発生せず、PWM 波形 B と PWM 波形 C を合わせた PWM 波形が出力されることになります。

このように、「デッドタイム付きディレイパルス出力機能」では「デッドタイム付き 3 相 PWM 出力機能」よりも自由度の高い PWM 出力タイミングを実現することが可能です。

PIC は、「ディレイパルス出力機能」により生成された PWM 出力タイミングを「1 相 PWM 出力機能」の入力とする接続を提供します。

「**図 36.47　デッドタイム付きディレイパルス出力**」に「デッドタイム付きディレイパルス出力機能」のタイミング図を示します。

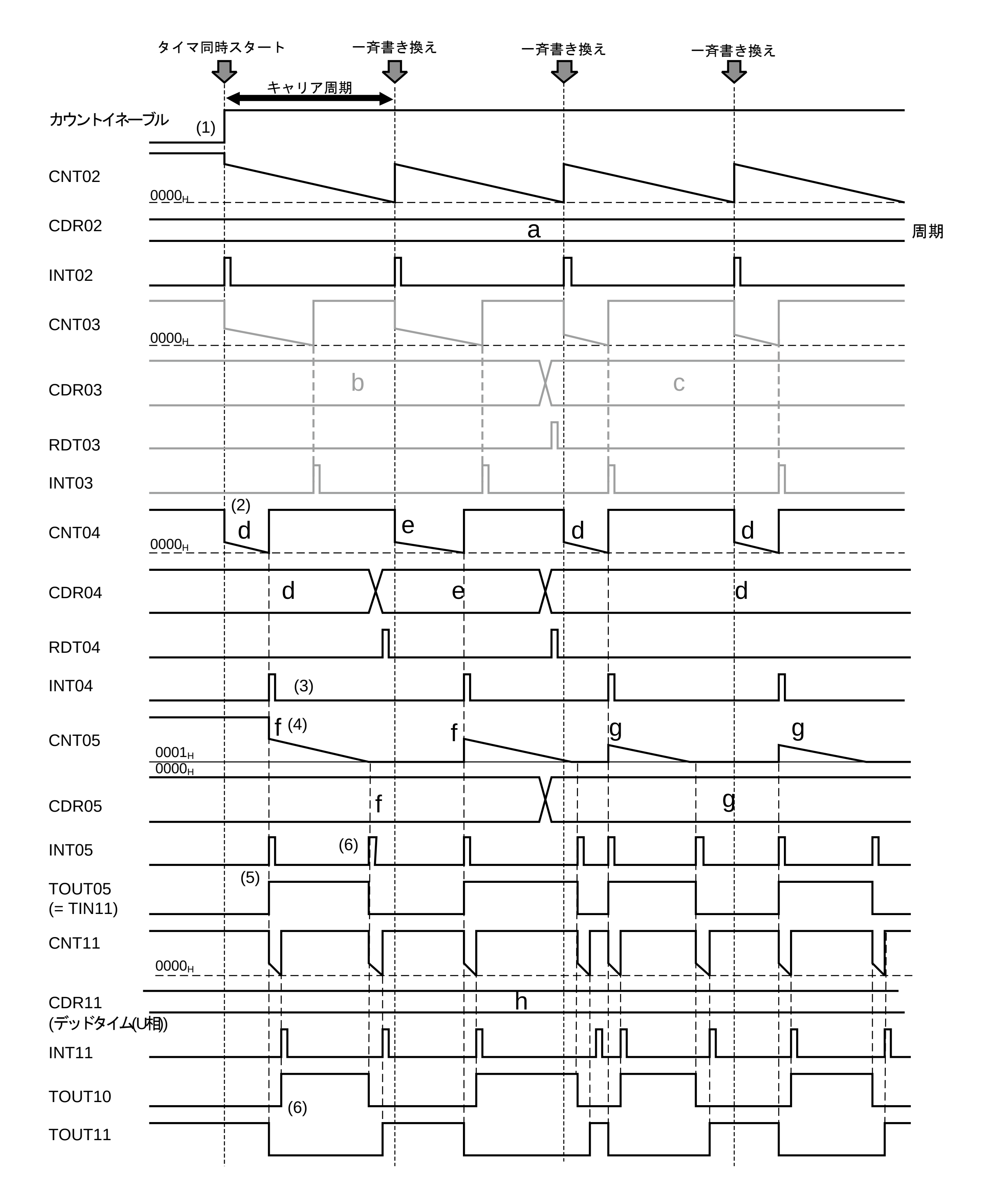


図 36.47　デッドタイム付きディレイパルス出力

「**図 36.47 デッドタイム付きディレイパルス出力**」のデッドタイム付きディレイパルス出力について説明します。

(1) タイマ同時スタートにより、CH2（キャリア周期タイマ）、CH4（ディレイタイミングタイマ）が同時スタートします。
CH5（PWM デューティタイマ）、CH11（デッドタイムタイマ）もタイマスタートしていますが、CH5 のカウント開始タイミングである INT04 および、CH11 のカウント開始タイミングである TIN11 のエッジが検出されるまで、カウント動作は行われません。
CH3 は本機能での PWM 出力に影響しないため説明を省略します。

(2) CH4 は、CH2 のアンダフローにより、CDR04 から CNT04 へ設定値のリロードが行われます。

(3) CH4 のアンダフローにより、ディレイタイミング信号（INT04）が発生します。

(4) INT04 の発生により、CDR05 から CNT05 に設定値がリロードされ CH5（PWM デューティタイマ）が動作開始します。

(5) このとき、INT05 が発生し TOUT05 の出力レベルがアクティブレベルに変化します。

(6) CH5 のアンダフローにより再び INT05 が発生するとともに、TOUT05 がインアクティブレベルに変化します。この CH4 および CH5 のアンダフローで変化する TOUT05 を「1 相 PWM 出力機能」の入力 TIN11 へ供給します。

(7) 「1 相 PWM 出力機能」は TIN11 のエッジ検出により、デッドタイムを付加した PWM 波形を生成し出力します。

36.13.5　設定フロー

START

↓

初期設定

PIC

PIC0REG2n2レジスタ ← $0888\ 0000_H$
PIC0HIZCENnレジスタ ← $0x00\ 0x0x_B$
（Hi-Z出力制御に使用する信号に依存）

TAUDn

クロック設定
TAUDnTPSレジスタ ← $xxxx_H$（クロック選択）
TAUDnBRSレジスタ ← $xxxx\ xxxx_B$（任意）
（クロック選択）

ディレイパルス出力機能CHレジスタ設定
Master-CH(CH2)設定
TAUDnCDR2レジスタ ← $xxxx_H$（キャリア周期）
TAUDnCMOR2レジスタ ← $xx00\ 1000\ 0000\ 0001_B$
TAUDnCMUR2レジスタ ← $0000\ 0000_B$
Slave-CH-1（デューティ）(CH3)設定注1
TAUDnCDRmレジスタ ← $xxxx_H$（デューティ幅）
TAUDnCMORmレジスタ ← $xx00\ 0100\ 0000\ 1001_B$
TAUDnCMURmレジスタ ← $0000\ 0000_B$
Slave-CH-2（ディレイ）(CH4, CH6, CH8)設定
TAUDnCDRmレジスタ ← $xxxx_H$（ディレイ幅）
TAUDnCMORmレジスタ ← $xx00\ 0100\ 0000\ 1001_B$
TAUDnCMURmレジスタ ← $0000\ 0000_B$
Slave-CH-3（デューティ）(CH5, CH7, CH9)設定
TAUDnCDRmレジスタ ← $xxxx_H$（デューティ幅）
TAUDnCMORmレジスタ ← $xx00\ 0101\ 0001\ 0101_B$
TAUDnCMURmレジスタ ← $0000\ 0000_B$

1相PWM出力機能CHレジスタ設定
Slave-CH-2 (CH11, CH13, CH15)設定
TAUDnCDRmレジスタ ← $xxxx_H$（デッドタイム幅）
TAUDnCMORmレジスタ ← $xx00\ 0001\ 0000\ 1001_B$
TAUDnCMURmレジスタ ← $0000\ 0011_B$
Slave-CH-1 (CH10, CH12, CH14)設定
TAUDnCDRmレジスタ ← $xxxx_H$（任意）注2
TAUDnCMORmレジスタ ← $xxxx_H$（任意）注2
TAUDnCMURmレジスタ ← xx_H（任意）注2

↓

1

注1.　本機能では動作に影響しないスレーブチャネルですが、ディレイパルス出力機能の構成チャネルのため設定は行います。

注2.　TOUTm を使用しない機能を指定してください。

図 36.48　設定フロー（アクティブハイの例）

1

↓

初期設定

TAUDn

機能共通レジスタ設定

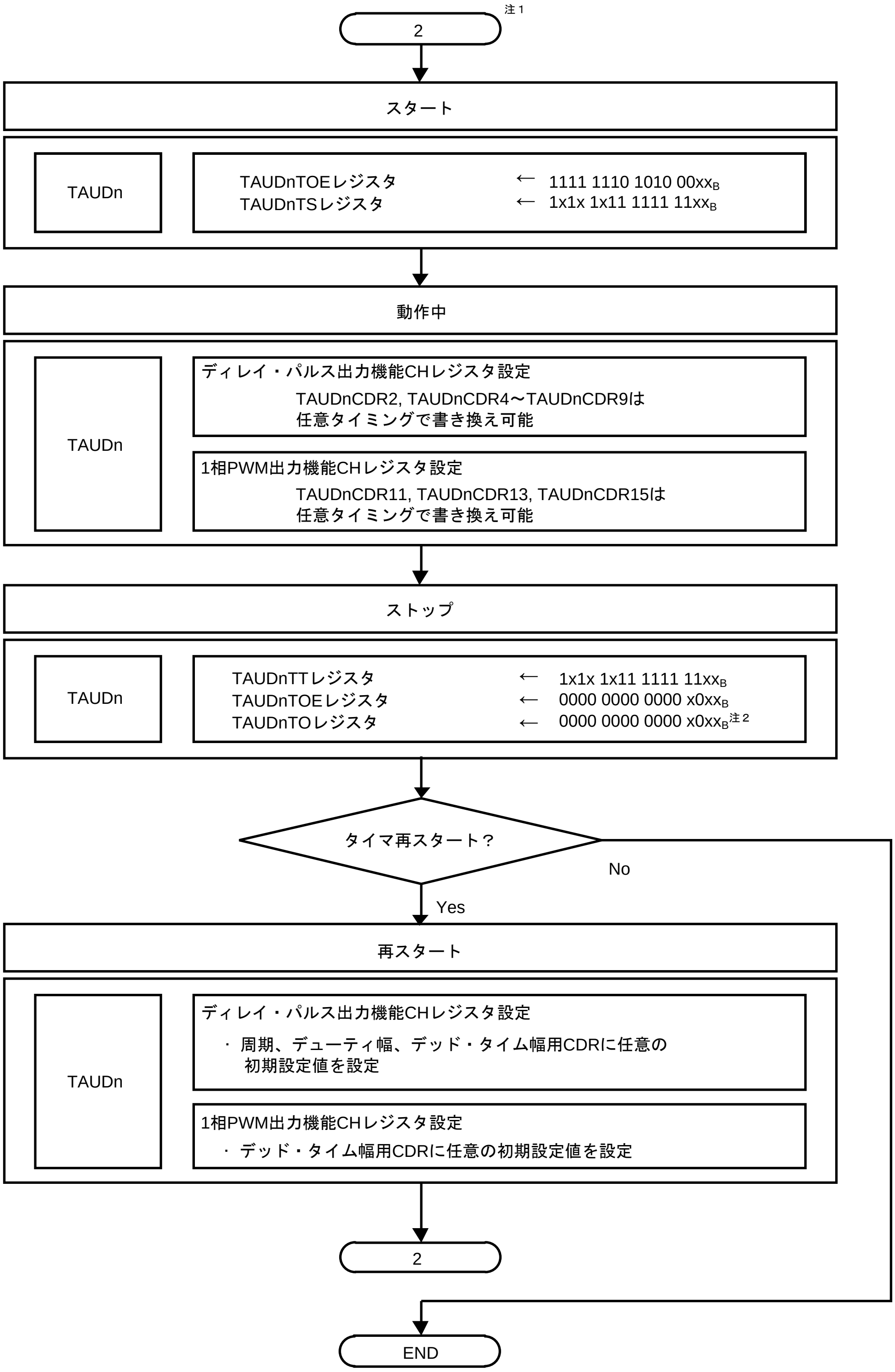
TAUDnTOE レジスタ	←	0000 0000 0000 00xx$_B$
TAUDnTO レジスタ	←	0000 0000 0000 00xx$_B$[注1]
TAUDnTOM レジスタ	←	1111 1100 0000 10xx$_B$
TAUDnTOC レジスタ	←	1111 1110 1010 00xx$_B$
TAUDnTOL レジスタ	←	0000 0000 0000 00xx$_B$[注1]
TAUDnTDE レジスタ	←	1111 1100 0000 00xx$_B$
TAUDnTDM レジスタ	←	1111 1100 0000 00xx$_B$
TAUDnTDL レジスタ	←	1010 1000 0000 00xx$_B$[注1]
TAUDnTRE レジスタ	←	0000 0000 0000 00xx$_B$
TAUDnTRO レジスタ	←	0000 0000 0000 00xx$_B$
TAUDnTRC レジスタ	←	0000 0000 0000 00xx$_B$
TAUDnTME レジスタ	←	0000 0000 0000 00xx$_B$
TAUDnRDE レジスタ	←	0x0x 0x11 1111 11xx$_B$
TAUDnRDS レジスタ	←	0x0x 0x00 0000 00xx$_B$
TAUDnRDM レジスタ	←	0x0x 0x00 0000 00xx$_B$
TAUDnRDC レジスタ	←	0x0x 0x00 0000 00xx$_B$

↓

2

注1.　出力する PWM のアクティブレベルによって設定値を変更してください

図 36.49　設定フロー（アクティブハイの例）（続き）



注1.　選択レジスタと使用する出力ポートの設定は、PIC とタイマの初期設定後に行ってください。

注2.　出力する PWM のアクティブレベルによって設定値を変更してください。

図 36.50　設定フロー（アクティブハイの例）（続き）

36.13.6　動作機能の設定例

各レジスタの設定値の例を示します。

36.13.6.1　TAUDn 設定

表 36.73　TAUDn CH2 関連（ディレイパルス出力機能マスタチャネル注 1）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMOR2	15、14	TAUDnCKS[1:0]	任意注 2	動作クロック設定
	13、12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	1	
	10～8	TAUDnSTS[2:0]	000	
	7、6	TAUDnCOS[1:0]	00	
	5		0	0 固定
	4～1	TAUDnMD[4:1]	0000	
	0	TAUDnMD0	1	動作開始時に INTm を出力する
TAUDnCMUR2	1、0	TAUDnTIS[1:0]	00	

注1.　マスタチャネルおよびスレーブチャネルは TAUD のディレイパルス出力機能で定義されている名称です。詳細については、**「第 32 章　タイマアレイユニット D（TAUD）」**を参照してください。

注2.　動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。

表 36.74　TAUDn CH3 関連（ディレイパルス出力機能スレーブチャネル注 1、注 2）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMOR3	15、14	TAUDnCKS[1:0]	任意注 3	動作クロック設定
	13、12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	0	
	10～8	TAUDnSTS[2:0]	100	スタートトリガ：マスタチャネルの INTm 検出
	7、6	TAUDnCOS[1:0]	00	
	5		0	0 固定
	4～1	TAUDnMD[4:1]	0100	
	0	TAUDnMD0	1	カウント中のスタートトリガは有効
TAUDnCMUR3	1、0	TAUDnTIS[1:0]	00	

注1.　マスタチャネルおよびスレーブチャネルは TAUD のディレイパルス出力機能で定義されている名称です。詳細については、**「第 32 章　タイマアレイユニット D（TAUD）」**を参照してください。

注2.　動作クロックは、マスタチャネルとスレーブチャネルで同一設定にする必要があります。

注3.　本機能では動作に影響しないチャネルですが、ディレイパルス出力機能の構成チャネルのため設定は行います。

備　考

ディレイパルス出力機能の TAUDnCMORm では、TAUDnCKS[1:0]（動作クロック選択）のみ任意に設定できますが、他の制御ビットは固定値となります。詳細については、**「第 32 章　タイマアレイユニット D（TAUD）」**を参照してください。

表 36.75　TAUDn CH4, 06, 08 関連（ディレイパルス出力機能スレーブチャネル 2 注 1）（m＝4, 6, 8）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMORm	15、14	TAUDnCKS[1:0]	任意注 2	動作クロック設定
	13、12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	0	
	10～8	TAUDnSTS[2:0]	100	スタートトリガ：マスタチャネルの INTm 検出
	7、6	TAUDnCOS[1:0]	00	
	5		0	0 固定
	4～1	TAUDnMD[4:1]	0100	
	0	TAUDnMD0	1	カウント中のスタートトリガは有効
TAUDnCMURm	1、0	TAUDnTIS[1:0]	00	

注1.　マスタチャネルおよびスレーブチャネルは TAUD のディレイパルス出力機能で定義されている名称です。詳細については、**「第 32 章　タイマアレイユニット D（TAUD）」**を参照してください。

注2.　動作クロックは、スレーブチャネルとマスタチャネルで同一設定にする必要があります。

備　考

ディレイパルス出力機能の TAUDnCMORm では、TAUDnCKS[1:0]（動作クロック選択）のみ任意に設定できますが、他の制御ビットは固定値となります。詳細については、**「第 32 章　タイマアレイユニット D（TAUD）」**を参照してください。

表 36.76　TAUDn CH5, 07, 09 関連（ディレイパルス出力機能スレーブチャネル 3 注 1）（m＝5, 7, 9）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMORm	15、14	TAUDnCKS[1:0]	任意注 2	動作クロック設定
	13、12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	0	
	10～8	TAUDnSTS[2:0]	101	スタートトリガ：上位チャネルの INTm 検出
	7、6	TAUDnCOS[1:0]	00	
	5		0	0 固定
	4～1	TAUDnMD[4:1]	1010	
	0	TAUDnMD0	1	カウント中のスタートトリガは有効
TAUDnCMURm	1、0	TAUDnTIS[1:0]	00	

注1.　マスタチャネルおよびスレーブチャネルは TAUD のディレイパルス出力機能で定義されている名称です。詳細については、**「第 32 章　タイマアレイユニット D（TAUD）」**を参照してください。

注2.　動作クロックは、スレーブチャネルとマスタチャネルで同一設定にする必要があります。

備　考

ディレイパルス出力機能の TAUDnCMORm では、TAUDnCKS[1:0]（動作クロック選択）のみ任意に設定できますが、ほかの制御ビットは固定値となります。詳細については、**「第 32 章　タイマアレイユニット D（TAUD）」**を参照してください。

表 36.77　TAUDn CH11, 13, 15 関連（1 相 PWM 出力機能）（m＝11, 13, 15）

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnCMORm	15、14	TAUDnCKS[1:0]	任意注1	動作クロック設定
	13、12	TAUDnCCS[1:0]	00	
	11	TAUDnMAS	0	
	10～8	TAUDnSTS[2:0]	001	スタートトリガ：TINm 入力の有効エッジ検出
	7、6	TAUDnCOS[1:0]	00	
	5		0	0 固定
	4～1	TAUDnMD[4:1]	0100	
	0	TAUDnMD0	1	カウント中のスタートトリガは有効
TAUDnCMURm	1、0	TAUDnTIS[1:0]	11	TINm 両エッジを有効エッジとして検出（High 幅）

注1.　動作クロックは、PWM 出力機能のマスタチャネル（CH2）と同一のクロック設定にしてください。

備　考

1 相 PWM 出力機能の TAUDnCMORm では、TAUDnCKS[1:0]（動作クロック選択）のみ任意に設定できますが、他の制御ビットは固定値となります。詳細については、「**第 32 章　タイマアレイユニット D（TAUD）**」を参照してください。

CH10、12、14 については TOUTm 出力を使用しない機能（A/D トリガ出力など）であれば、任意に使用可能です。

表 36.78　TAUDn チャネル共通

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnTOE	15～10	TAUDnTOE15～ TAUDnTOE10	0 1	タイマ動作禁止 タイマ動作許可
	9	TAUDnTOE09	0 1	タイマ動作禁止 タイマ動作許可
	8	TAUDnTOE08	0	TOUT08 は未使用のため 0 固定
	7	TAUDnTOE07	0 1	タイマ動作禁止 タイマ動作許可
	6	TAUDnTOE06	0	TOUT06 は未使用のため 0 固定
	5	TAUDnTOE05	0 1	タイマ動作禁止 タイマ動作許可
	4	TAUDnTOE04	0	TOUT04 は未使用のため 0 固定
	3	TAUDnTOE03	0	TOUT03 は未使用のため 0 固定
	2	TAUDnTOE02	0	TOUT02 は未使用のため 0 固定
	1、0	TAUDnTOE01 TAUDnTOE00	任意	
TAUDnTO	15～10	TAUDnTO15～ TAUDnTO10	0 注1	TOUT15～TOUT10 にロウレベルを出力
	9～2	TAUDnTO09～ TAUDnTO02	0	TOUT09～TOUT02 にロウレベルを出力
	1、0	TAUDnTO01 TAUDnTO00	任意	

表 36.78　TAUDn チャネル共通

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnTOM	15～10	TAUDnTOM15～ TAUDnTOM10	1	連動動作モード
	9～4	TAUDnTOM09～ TAUDnTOM04	0	単体動作モード
	3	TAUDnTOM03	1	連動動作モード
	2	TAUDnTOM02	0	単体動作モード
	1、0	TAUDnTOM01 TAUDnTOM00	任意	
TAUDnTOC	15～10	TAUDnTOC15～ TAUDnTOC10	1	連動動作モード 2
	9～4	TAUDnTOC09～ TAUDnTOC04	1、0、1、 0、1、0	CH5、CH7、CH9：動作モード 2 CH4、CH6、CH8：動作モード 1
	3	TAUDnTOC03	0	動作モード 1
	2	TAUDnTOC02	0	動作モード 1
	1、0	TAUDnTOC01 TAUDnTOC00	任意	
TAUDnTOL	15～10	TAUDnTOL15～ TAUDnTOL10	0 注 1	正論理出力（アクティブハイ）
	9～2	TAUDnTOL09～ TAUDnTOL02	0	正論理出力（アクティブハイ）
	1、0	TAUDnTOL01 TAUDnTOL00	任意	
TAUDnTDE	15～10	TAUDnTDE15～ TAUDnTDE10	1	デッドタイム制御許可注 2
	9～2	TAUDnTDE09～ TAUDnTDE02	0	デッドタイム制御禁止
	1、0	TAUDnTDE01 TAUDnTDE00	任意	
TAUDnTDM	15～10	TAUDnTDM15～ TAUDnTDM10	1	下位奇数チャネルの TINm 入力エッジ検出でデッドタイムを生成する。
	9～2	TAUDnTDM09～ TAUDnTDM02	0	デッドタイム制御停止のため無効
	1、0	TAUDnTDM01 TAUDnTDM00	任意	
TAUDnTDL	15	TAUDnTDL15	1 注 1	デッドタイムを W 相逆相位相に追加
	14	TAUDnTDL14	0 注 1	デッドタイムを W 相正相位相に追加
	13	TAUDnTDL13	1 注 1	デッドタイムを V 相逆相位相に追加
	12	TAUDnTDL12	0 注 1	デッドタイムを V 相正相位相に追加
	11	TAUDnTDL11	1 注 1	デッドタイムを U 相逆相位相に追加
	10	TAUDnTDL10	0 注 1	デッドタイムを U 相正相位相に追加
	9～2	TAUDnTDL09～ TAUDnTDL02	0	デッドタイム制御禁止のため無効
	1、0	TAUDnTDL01 TAUDnTDL00	任意	
TAUDnTRE	15～2	TAUDnTRE15～ TAUDnTRE02	0	リアルタイム出力禁止
	1、0	TAUDnTRE01 TAUDnTRE00	任意	

表 36.78　TAUDn チャネル共通

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnTRO	15〜2	TAUDnTRO15〜 TAUDnTRO02	0	リアルタイム出力禁止のため無効
	1、0	TAUDnTRO01 TAUDnTRO00	任意	
TAUDnTRC	15〜2	TAUDnTRC15〜 TAUDnTRC02	0	リアルタイム出力トリガ生成チャネルとして動作しない。
	1、0	TAUDnTRC01 TAUDnTRC00	任意	
TAUDnTME	15〜2	TAUDnTME15〜 TAUDnTME02	0	タイマ出力とリアルタイム出力の変調出力禁止
	1、0	TAUDnTME01 TAUDnTME00	任意	
TAUDnRDE	15	TAUDnRDE15	0	一斉書き換え禁止
	14	TAUDnRDE14	任意	
	13	TAUDnRDE13	0	一斉書き換え禁止
	12	TAUDnRDE12	任意	
	11	TAUDnRDE11	0	一斉書き換え禁止
	10	TAUDnRDE10	任意	
	9〜2	TAUDnRDE09〜 TAUDnRDE02	1	一斉書き換え禁止
	1、0	TAUDnRDE01 TAUDnRDE00	任意	
TAUDnRDS	15	TAUDnRDS15	0	別の上位チャネルにより、一斉書き換えを許可しない
	14	TAUDnRDS14	任意	
	13	TAUDnRDS13	0	別の上位チャネルにより、一斉書き換えを許可しない
	12	TAUDnRDS12	任意	
	11	TAUDnRDS11	0	別の上位チャネルにより、一斉書き換えを許可しない
	10	TAUDnRDS10	任意	
	9〜2	TAUDnRDS09〜 TAUDnRDS02	0	マスタチャネルにより一斉書き換えを許可する
	1、0	TAUDnRDS01 TAUDnRDS00	任意	
TAUDnRDM	15	TAUDnRDM15	0	一斉書き換えを許可しないので無効
	14	TAUDnRDM14	任意	
	13	TAUDnRDM13	0	一斉書き換えを許可しないので無効
	12	TAUDnRDM12	任意	
	11	TAUDnRDM11	0	一斉書き換えを許可しないので無効
	10	TAUDnRDM10	任意	
	9〜2	TAUDnRDM09〜 TAUDnRDM02	0	マスタチャネルのカウント開始タイミングで信号をロード
	1、0	TAUDnRDM01 TAUDnRDM00	任意	

表 36.78　TAUDn チャネル共通

レジスタ	ビット位置	ビット名	設定値	備考
TAUDnRDC	15	TAUDnRDC15	0	一斉書き換えを許可しないので無効
	14	TAUDnRDC14	任意	
	13	TAUDnRDC13	0	一斉書き換えを許可しないので無効
	12	TAUDnRDC12	任意	
	11	TAUDnRDC11	0	一斉書き換えを許可しないので無効
	10	TAUDnRDC10	任意	
	9～2	TAUDnRDC09～ TAUDnRDC02	0	一斉書き換えトリガ生成チャネルとして動作しない
	1、0	TAUDnRDC01 TAUDnRDC00	任意	

注1.　使用システムによって設定を変更してください。

注2.　デッドタイム制御を行うため、偶数チャネルと奇数チャネルを対とした正逆相の波形出力制御を行います。詳細については、「**第 32 章 タイマアレイユニット D（TAUD）**」を参照してください。

36.13.6.2　PIC の設定

表 36.79　PIC の設定

レジスタ	ビット位置	ビット名	設定値	備考
PIC0REG2n2	27	PIC0REG2n227	1	PIC0REG2n204 ビットで選択した入力を選択
	23	PIC0REG2n223	1	PIC0REG2n203 ビットで選択した入力を選択
	19	PIC0REG2n219	1	PIC0REG2n202 ビットで選択した入力を選択
	4	PIC0REG2n204	0	TAUDTTOUT9 を選択
	3	PIC0REG2n203	0	TAUDTTOUT7 を選択
	2	PIC0REG2n202	0	TAUDTTOUT5 を選択

第37章　PWM 出力／診断（PWM-Diag）

本章では、PWM 出力／診断（PWM-Diag）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1KH, RH850/F1KM に固有の特長について説明します。

それ以降の節では、PWM-Diag の機能、レジスタについて説明します。

37.1　RH850/F1KH, RH850/F1KM PWM-Diag の特長

37.1.1　ユニット数

PWM-Diag は、クロックを生成する PWBA、PWM を生成する PWGA、A/D 変換トリガを生成する PWSA で構成します。各ユニット数を以下に示します。

PWGA 1 ユニット当たり 1 チャネルのインタフェースを持っています。本章の PWGA ユニット数とチャネル数は同義です。

表 37.1　ユニット数 (RH850/F1KH-D8)

製品名	RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 324 Pin
PWBA			
ユニット数	1	1	1
名称	PWBAn (n＝0)	PWBAn (n＝0)	PWBAn (n＝0)
PWGA			
ユニット数	72	80	96
名称	PWGAn (n＝0～71)	PWGAn (n＝0～79)	PWGAn (n＝0～95)
PWSA			
ユニット数	1	1	1
名称	PWSAn (n＝0)	PWSAn (n＝0)	PWSAn (n＝0)

表 37.2　ユニット数 (RH850/F1KM-S4)

製品名	RH850/F1KM-S4 100 Pin	RH850/F1KM-S4 144 Pin	RH850/F1KM-S4 176 Pin	RH850/F1KM-S4 233 Pin	RH850/F1KM-S4 272 Pin
PWBA					
ユニット数	1	1	1	1	1
名称	PWBAn (n＝0)	PWBAn (n＝0)	PWBAn (n＝0)	PWBAn (n＝0)	PWBAn (n＝0)
PWGA					
ユニット数	44	64	72	80	96
名称	PWGAn (n＝0～13, 16～23, 26～47)	PWGAn (n＝0～63)	PWGAn (n＝0～71)	PWGAn (n＝0～79)	PWGAn (n＝0～95)
PWSA					
ユニット数	1	1	1	1	1
名称	PWSAn (n＝0)	PWSAn (n＝0)	PWSAn (n＝0)	PWSAn (n＝0)	PWSAn (n＝0)

表 37.3　ユニット数 (RH850/F1KM-S2)

製品名	RH850/F1KM-S2 100 Pin	RH850/F1KM-S2 144 Pin	RH850/F1KM-S2 176 Pin
PWBA			
ユニット数	1	1	1
名称	PWBAn (n＝0)	PWBAn (n＝0)	PWBAn (n＝0)
PWGA			
ユニット数	44	64	72
名称	PWGAn (n＝0～13, 16～23, 26～47)	PWGAn (n＝0～63)	PWGAn (n＝0～71)
PWSA			
ユニット数	1	1	1
名称	PWSAn (n＝0)	PWSAn (n＝0)	PWSAn (n＝0)

表 37.4　ユニット数 (RH850/F1KM-S1)

製品名	RH850/F1KM-S1 48 Pin	RH850/F1KM-S1 64 Pin	RH850/F1KM-S1 80 Pin	RH850/F1KM-S1 100 Pin
PWBA				
ユニット数	1	1	1	1
名称	PWBAn (n＝0)	PWBAn (n＝0)	PWBAn (n＝0)	PWBAn (n＝0)
PWGA				
ユニット数	13	24	24	48
名称	PWGAn (n＝0～12)	PWGAn (n＝0～23)	PWGAn (n＝0～23)	PWGAn (n＝0～47)
PWSA				
ユニット数	1	1	1	1
名称	PWSAn (n＝0)	PWSAn (n＝0)	PWSAn (n＝0)	PWSAn (n＝0)

表 37.5　添字 (RH850/F1KH-D8)

添字	説明
n	本章では、PWM-Diag 機能を構成する各ユニットを「n」で識別します。たとえば、PWBAn のステータスレジスタは、PWBAnTE と記述します。
m	PWBA の生成クロックを「m」で識別します。たとえば、PWMCLKm のクロック周期設定レジスタは PWBAnBRSm（m＝0～3）と記述します。
x、y	PWM-Diag チャネルに対応する A/D コンバータ設定レジスタ番号を「x、y」で識別します。たとえば PWSAnPVCRx_y（x_y＝00_01, 02_03, ..., 94_95）と記述します。
j	PWGAn からのトリガチャネル番号（エンコード値）を格納するレジスタを「j」で識別します。たとえば PWSAnQUEj（j＝0～7）レジスタと記述します。
k	同じ機能を持つレジスタを「k」で識別します。たとえば、SLPWGAk（k＝0～2）レジスタと記述します。
z	PWSAnPVCRx_y レジスタに対応する A/D 変換結果を、「z」で識別します。たとえば、PWSAnPWDDIRz（z＝00, 01, ..., 95）と記述します。
h	同じ機能を持つレジスタを「h」で識別します。たとえば、PWGAINTFhk（h＝0, 1）レジスタと記述します。

表 37.6　　添字 (RH850/F1KM-S4)

添字	説明
n	本章では、PWM-Diag 機能を構成する各ユニットを「n」で識別します。たとえば、PWBAn のステータスレジスタは、PWBAnTE と記述します。
m	PWBA の生成クロックを「m」で識別します。たとえば、PWMCLKm のクロック周期設定レジスタは PWBAnBRSm（m＝0〜3）と記述します。
x、y	PWM-Diag チャネルに対応する A/D コンバータ設定レジスタ番号を「x、y」で識別します。たとえば PWSAnPVCRx_y（x_y＝00_01, 02_03, ..., 94_95）と記述します。
j	PWGAn からのトリガチャネル番号（エンコード値）を格納するレジスタを「j」で識別します。たとえば PWSAnQUEj（j＝0〜7）レジスタと記述します。
k	同じ機能を持つレジスタを「k」で識別します。たとえば、SLPWGAk（k=0〜2）レジスタと記述します。
z	PWSAnPVCRx_y レジスタに対応する A/D 変換結果を、「z」で識別します。たとえば、PWSAnPWDDIRz（z＝00, 01, ..., 95）と記述します。
h	同じ機能を持つレジスタを「h」で識別します。たとえば、PWGAINTFhk（h=0）レジスタと記述します。

表 37.7　　添字 (RH850/F1KM-S2)

添字	説明
n	本章では、PWM-Diag 機能を構成する各ユニットを「n」で識別します。たとえば、PWBAn のステータスレジスタは、PWBAnTE と記述します。
m	PWBA の生成クロックを「m」で識別します。たとえば、PWMCLKm のクロック周期設定レジスタは PWBAnBRSm（m＝0〜3）と記述します。
x、y	PWM-Diag チャネルに対応する A/D コンバータ設定レジスタ番号を「x、y」で識別します。たとえば PWSAnPVCRx_y（x_y＝00_01, 02_03, ..., 70_71）と記述します。
j	PWGAn からのトリガチャネル番号（エンコード値）を格納するレジスタを「j」で識別します。たとえば PWSAnQUEj（j＝0〜7）レジスタと記述します。
k	同じ機能を持つレジスタを「k」で識別します。たとえば、SLPWGAk（k=0〜2）レジスタと記述します。
z	PWSAnPVCRx_y レジスタに対応する A/D 変換結果を、「z」で識別します。たとえば、PWSAnPWDDIRz（z＝00, 01, ..., 71）と記述します。
h	同じ機能を持つレジスタを「h」で識別します。たとえば、PWGAINTFhk（h=0）レジスタと記述します。

表 37.8　　添字 (RH850/F1KM-S1)

添字	説明
n	本章では、PWM-Diag 機能を構成する各ユニットを「n」で識別します。たとえば、PWBAn のステータスレジスタは、PWBAnTE と記述します。
m	PWBA の生成クロックを「m」で識別します。たとえば、PWMCLKm のクロック周期設定レジスタは PWBAnBRSm（m＝0〜3）と記述します。
x、y	PWM-Diag チャネルに対応する A/D コンバータ設定レジスタ番号を「x、y」で識別します。たとえば PWSAnPVCRx_y（x_y＝00_01, 02_03, ..., 46_47）と記述します。
j	PWGAn からのトリガチャネル番号（エンコード値）を格納するレジスタを「j」で識別します。たとえば PWSAnQUEj（j＝0〜7）レジスタと記述します。
k	同じ機能を持つレジスタを「k」で識別します。たとえば、SLPWGAk（k=0、1）レジスタと記述します。
z	PWSAnPVCRx_y レジスタに対応する A/D 変換結果を、「z」で識別します。たとえば、PWSAnPWDDIRz（z＝00, 01, ..., 47）と記述します。
h	同じ機能を持つレジスタを「h」で識別します。たとえば、PWGAINTFhk（h=0）レジスタと記述します。

各製品の添字が示す値を以下に示します。

表 37.9　各製品の添字対応（RH850/F1KH-D8）

各製品の添字対応		
176 Pin	233 Pin	324 Pin
x＝00, 02, ..., 70 y＝01, 03, ..., 71 z＝00, 01, ..., 71	x＝00, 02, ..., 78 y＝01, 03, ..., 79 z＝00, 01, ..., 79	x＝00, 02, ..., 94 y＝01, 03, ..., 95 z＝00, 01, ..., 95
j＝0～7	j＝0～7	j＝0～7
k＝0～2	k＝0～2	k＝0～2
h＝0、1	h＝0、1	h＝0、1

表 37.10　各製品の添字対応（RH850/F1KM-S4）

各製品の添字対応				
100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
x＝00, 02, ..., 12, 16, ..., 22, 26, ..., 46 y＝01, 03, ..., 13, 17, ..., 23, 27, ...,47 z＝00, 01, ..., 13, 16, ..., 23, 26, ..., 47	x＝00, 02, ..., 62 y＝01, 03, ..., 63 z＝00, 01, ..., 63	x＝00, 02, ..., 70 y＝01, 03, ..., 71 z＝00, 01, ..., 71	x＝00, 02, ..., 78 y＝01, 03, ..., 79 z＝00, 01, ..., 79	x＝00, 02, ..., 94 y＝01, 03, ..., 95 z＝00, 01, ..., 95
j＝0～7	j＝0～7	j＝0～7	j＝0～7	j＝0～7
k＝0、1	k＝0、1	k＝0～2	k＝0～2	k＝0～2
h＝0	h＝0	h＝0	h＝0	h＝0

表 37.11　各製品の添字対応（RH850/F1KM-S2）

各製品の添字対応		
100 Pin	144 Pin	176 Pin
x＝00, 02, ..., 12, 16, ..., 22, 26, ..., 46 y＝01, 03, ..., 13, 17, ..., 23, 27, ...,47 z＝00, 01, ..., 13, 16, ..., 23, 26, ..., 47	x＝00, 02, ..., 62 y＝01, 03, ..., 63 z＝00, 01, ..., 63	x＝00, 02, ..., 70 y＝01, 03, ..., 71 z＝00, 01, ..., 71
j＝0～7	j＝0～7	j＝0～7
k＝0、1	k＝0、1	k＝0～2
h＝0	h＝0	h＝0

表 37.12　各製品の添字対応（RH850/F1KM-S1）

各製品の添字対応			
48 Pin	64 Pin	80 Pin	100 Pin
x＝00, 02, ..., 12 y＝01, 03, ..., 13 注1 z＝00, 01, ..., 12	x＝00, 02, ..., 22 y＝01, 03, ..., 23 z＝00, 01, ..., 23	x＝00, 02, ..., 22 y＝01, 03, ..., 23 z＝00, 01, ..., 23	x＝00, 02, ..., 46 y＝01, 03, ..., 47 z＝00, 01, ..., 47
j＝0～7	j＝0～7	j＝0～7	j＝0～7
k＝0	k＝0	k＝0	k＝0、1
h＝0	h＝0	h＝0	h＝0

注1.　PWM-Diag ではチャネル 0～12 を提供します。

37.1.2 レジスタベースアドレス

PWM-Diag のベースアドレスを以下の表に示します。

PWM-Diag のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 37.13 レジスタベースアドレス (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ベースアドレス名	ベースアドレス
<PWBAn_base>	FFE7 2800_H
<PWGAn_base>	FFE7 1000_H + 40_H × n
<PWSAn_base>	FFE7 0000_H
<SLPW_base>	FFE7 3000_H
<PWGAINTF_base>	FFE7 3100_H

37.1.3 クロック供給

PWM-Diag のクロック供給を以下の表に示します。

表 37.14 クロック供給 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	ユニットクロック名	供給クロック名	説明
PWBAn	PCLK	CKSCLK_IPERI2	モジュールクロック
	レジスタアクセスクロック	CPUCLK_L、CKSCLK_IPERI2	バスクロック
PWGAn	PCLK	CKSCLK_IPERI2	モジュールクロック
	レジスタアクセスクロック	CPUCLK_L、CKSCLK_IPERI2	バスクロック
PWSAn	PCLK	CKSCLK_IPERI2	モジュールクロック
	レジスタアクセスクロック	CPUCLK_L、CKSCLK_IPERI2	バスクロック

37.1.4 割り込み要求

PWM-Diag の割り込み要求を以下の表に示します。
割り込み接続イメージについては、「**図 37.1 PWGA 割り込み接続イメージ（PWGA96 チャネル組み込み）**」を参照してください。

表 37.15 割り込み要求 (RH850/F1KH-D8)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
PWGA_INT0	PWGA0 割り込み	92, 95	—
PWGA_INT1	PWGA1 割り込み	92, 95	—
PWGA_INT2	PWGA2 割り込み	92, 95	—
PWGA_INT3	PWGA3 割り込み	92, 95	—
PWGA_INT4	PWGA4 割り込み	92, 95	—
PWGA_INT5	PWGA5 割り込み	92, 95	—
PWGA_INT6	PWGA6 割り込み	92, 95	—
PWGA_INT7	PWGA7 割り込み	92, 95	—
PWGA_INT8	PWGA8 割り込み	92, 95	—
PWGA_INT9	PWGA9 割り込み	92, 95	—
PWGA_INT10	PWGA10 割り込み	92, 95	—
PWGA_INT11	PWGA11 割り込み	92, 95	—
PWGA_INT12	PWGA12 割り込み	92, 95	—
PWGA_INT13	PWGA13 割り込み	92, 95	—

表 37.15　割り込み要求 (RH850/F1KH-D8)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
PWGA_INT14	PWGA14 割り込み	92, 95	—
PWGA_INT15	PWGA15 割り込み	92, 95	—
PWGA_INT16	PWGA16 割り込み	92, 95	—
PWGA_INT17	PWGA17 割り込み	92, 95	—
PWGA_INT18	PWGA18 割り込み	92, 95	—
PWGA_INT19	PWGA19 割り込み	92, 95	—
PWGA_INT20	PWGA20 割り込み	92, 95	—
PWGA_INT21	PWGA21 割り込み	92, 95	—
PWGA_INT22	PWGA22 割り込み	92, 95	—
PWGA_INT23	PWGA23 割り込み	92, 95	—
PWGA_INT24	PWGA24 割り込み	92, 95	—
PWGA_INT25	PWGA25 割り込み	92, 95	—
PWGA_INT26	PWGA26 割り込み	92, 95	—
PWGA_INT27	PWGA27 割り込み	92, 95	—
PWGA_INT28	PWGA28 割り込み	92, 95	—
PWGA_INT29	PWGA29 割り込み	92, 95	—
PWGA_INT30	PWGA30 割り込み	92, 95	—
PWGA_INT31	PWGA31 割り込み	92, 95	—
PWGA_INT32	PWGA32 割り込み	93, 96	—
PWGA_INT33	PWGA33 割り込み	93, 96	—
PWGA_INT34	PWGA34 割り込み	93, 96	—
PWGA_INT35	PWGA35 割り込み	93, 96	—
PWGA_INT36	PWGA36 割り込み	93, 96	—
PWGA_INT37	PWGA37 割り込み	93, 96	—
PWGA_INT38	PWGA38 割り込み	93, 96	—
PWGA_INT39	PWGA39 割り込み	93, 96	—
PWGA_INT40	PWGA40 割り込み	93, 96	—
PWGA_INT41	PWGA41 割り込み	93, 96	—
PWGA_INT42	PWGA42 割り込み	93, 96	—
PWGA_INT43	PWGA43 割り込み	93, 96	—
PWGA_INT44	PWGA44 割り込み	93, 96	—
PWGA_INT45	PWGA45 割り込み	93, 96	—
PWGA_INT46	PWGA46 割り込み	93, 96	—
PWGA_INT47	PWGA47 割り込み	93, 96	—
PWGA_INT48	PWGA48 割り込み	93, 96	—
PWGA_INT49	PWGA49 割り込み	93, 96	—
PWGA_INT50	PWGA50 割り込み	93, 96	—
PWGA_INT51	PWGA51 割り込み	93, 96	—
PWGA_INT52	PWGA52 割り込み	93, 96	—
PWGA_INT53	PWGA53 割り込み	93, 96	—
PWGA_INT54	PWGA54 割り込み	93, 96	—
PWGA_INT55	PWGA55 割り込み	93, 96	—
PWGA_INT56	PWGA56 割り込み	93, 96	—
PWGA_INT57	PWGA57 割り込み	93, 96	—
PWGA_INT58	PWGA58 割り込み	93, 96	—

表 37.15　割り込み要求 (RH850/F1KH-D8)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
PWGA_INT59	PWGA59 割り込み	93, 96	—
PWGA_INT60	PWGA60 割り込み	93, 96	—
PWGA_INT61	PWGA61 割り込み	93, 96	—
PWGA_INT62	PWGA62 割り込み	93, 96	—
PWGA_INT63	PWGA63 割り込み	93, 96	—
PWGA_INT64	PWGA64 割り込み	94, 97	—
PWGA_INT65	PWGA65 割り込み	94, 97	—
PWGA_INT66	PWGA66 割り込み	94, 97	—
PWGA_INT67	PWGA67 割り込み	94, 97	—
PWGA_INT68	PWGA68 割り込み	94, 97	—
PWGA_INT69	PWGA69 割り込み	94, 97	—
PWGA_INT70	PWGA70 割り込み	94, 97	—
PWGA_INT71	PWGA71 割り込み	94, 97	—
PWGA_INT72	PWGA72 割り込み	94, 97	—
PWGA_INT73	PWGA73 割り込み	94, 97	—
PWGA_INT74	PWGA74 割り込み	94, 97	—
PWGA_INT75	PWGA75 割り込み	94, 97	—
PWGA_INT76	PWGA76 割り込み	94, 97	—
PWGA_INT77	PWGA77 割り込み	94, 97	—
PWGA_INT78	PWGA78 割り込み	94, 97	—
PWGA_INT79	PWGA79 割り込み	94, 97	—
PWGA_INT80	PWGA80 割り込み	94, 97	—
PWGA_INT81	PWGA81 割り込み	94, 97	—
PWGA_INT82	PWGA82 割り込み	94, 97	—
PWGA_INT83	PWGA83 割り込み	94, 97	—
PWGA_INT84	PWGA84 割り込み	94, 97	—
PWGA_INT85	PWGA85 割り込み	94, 97	—
PWGA_INT86	PWGA86 割り込み	94, 97	—
PWGA_INT87	PWGA87 割り込み	94, 97	—
PWGA_INT88	PWGA88 割り込み	94, 97	—
PWGA_INT89	PWGA89 割り込み	94, 97	—
PWGA_INT90	PWGA90 割り込み	94, 97	—
PWGA_INT91	PWGA91 割り込み	94, 97	—
PWGA_INT92	PWGA92 割り込み	94, 97	—
PWGA_INT93	PWGA93 割り込み	94, 97	—
PWGA_INT94	PWGA94 割り込み	94, 97	—
PWGA_INT95	PWGA95 割り込み	94, 97	—
INTQFULL	PWSA キューフル割り込み	91	—

表 37.16 割り込み要求 (RH850/F1KM-S4)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
PWGA_INT0	PWGA0 割り込み	92	—
PWGA_INT1	PWGA1 割り込み	92	—
PWGA_INT2	PWGA2 割り込み	92	—
PWGA_INT3	PWGA3 割り込み	92	—
PWGA_INT4	PWGA4 割り込み	92	—
PWGA_INT5	PWGA5 割り込み	92	—
PWGA_INT6	PWGA6 割り込み	92	—
PWGA_INT7	PWGA7 割り込み	92	—
PWGA_INT8	PWGA8 割り込み	92	—
PWGA_INT9	PWGA9 割り込み	92	—
PWGA_INT10	PWGA10 割り込み	92	—
PWGA_INT11	PWGA11 割り込み	92	—
PWGA_INT12	PWGA12 割り込み	92	—
PWGA_INT13	PWGA13 割り込み	92	—
PWGA_INT14	PWGA14 割り込み	92	—
PWGA_INT15	PWGA15 割り込み	92	—
PWGA_INT16	PWGA16 割り込み	92	—
PWGA_INT17	PWGA17 割り込み	92	—
PWGA_INT18	PWGA18 割り込み	92	—
PWGA_INT19	PWGA19 割り込み	92	—
PWGA_INT20	PWGA20 割り込み	92	—
PWGA_INT21	PWGA21 割り込み	92	—
PWGA_INT22	PWGA22 割り込み	92	—
PWGA_INT23	PWGA23 割り込み	92	—
PWGA_INT24	PWGA24 割り込み	92	—
PWGA_INT25	PWGA25 割り込み	92	—
PWGA_INT26	PWGA26 割り込み	92	—
PWGA_INT27	PWGA27 割り込み	92	—
PWGA_INT28	PWGA28 割り込み	92	—
PWGA_INT29	PWGA29 割り込み	92	—
PWGA_INT30	PWGA30 割り込み	92	—
PWGA_INT31	PWGA31 割り込み	92	—
PWGA_INT32	PWGA32 割り込み	93	—
PWGA_INT33	PWGA33 割り込み	93	—
PWGA_INT34	PWGA34 割り込み	93	—
PWGA_INT35	PWGA35 割り込み	93	—
PWGA_INT36	PWGA36 割り込み	93	—
PWGA_INT37	PWGA37 割り込み	93	—
PWGA_INT38	PWGA38 割り込み	93	—
PWGA_INT39	PWGA39 割り込み	93	—
PWGA_INT40	PWGA40 割り込み	93	—
PWGA_INT41	PWGA41 割り込み	93	—
PWGA_INT42	PWGA42 割り込み	93	—
PWGA_INT43	PWGA43 割り込み	93	—
PWGA_INT44	PWGA44 割り込み	93	—

表 37.16　割り込み要求 (RH850/F1KM-S4)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
PWGA_INT45	PWGA45 割り込み	93	—
PWGA_INT46	PWGA46 割り込み	93	—
PWGA_INT47	PWGA47 割り込み	93	—
PWGA_INT48	PWGA48 割り込み	93	—
PWGA_INT49	PWGA49 割り込み	93	—
PWGA_INT50	PWGA50 割り込み	93	—
PWGA_INT51	PWGA51 割り込み	93	—
PWGA_INT52	PWGA52 割り込み	93	—
PWGA_INT53	PWGA53 割り込み	93	—
PWGA_INT54	PWGA54 割り込み	93	—
PWGA_INT55	PWGA55 割り込み	93	—
PWGA_INT56	PWGA56 割り込み	93	—
PWGA_INT57	PWGA57 割り込み	93	—
PWGA_INT58	PWGA58 割り込み	93	—
PWGA_INT59	PWGA59 割り込み	93	—
PWGA_INT60	PWGA60 割り込み	93	—
PWGA_INT61	PWGA61 割り込み	93	—
PWGA_INT62	PWGA62 割り込み	93	—
PWGA_INT63	PWGA63 割り込み	93	—
PWGA_INT64	PWGA64 割り込み	94	—
PWGA_INT65	PWGA65 割り込み	94	—
PWGA_INT66	PWGA66 割り込み	94	—
PWGA_INT67	PWGA67 割り込み	94	—
PWGA_INT68	PWGA68 割り込み	94	—
PWGA_INT69	PWGA69 割り込み	94	—
PWGA_INT70	PWGA70 割り込み	94	—
PWGA_INT71	PWGA71 割り込み	94	—
PWGA_INT72	PWGA72 割り込み	94	—
PWGA_INT73	PWGA73 割り込み	94	—
PWGA_INT74	PWGA74 割り込み	94	—
PWGA_INT75	PWGA75 割り込み	94	—
PWGA_INT76	PWGA76 割り込み	94	—
PWGA_INT77	PWGA77 割り込み	94	—
PWGA_INT78	PWGA78 割り込み	94	—
PWGA_INT79	PWGA79 割り込み	94	—
PWGA_INT80	PWGA80 割り込み	94	—
PWGA_INT81	PWGA81 割り込み	94	—
PWGA_INT82	PWGA82 割り込み	94	—
PWGA_INT83	PWGA83 割り込み	94	—
PWGA_INT84	PWGA84 割り込み	94	—
PWGA_INT85	PWGA85 割り込み	94	—
PWGA_INT86	PWGA86 割り込み	94	—
PWGA_INT87	PWGA87 割り込み	94	—
PWGA_INT88	PWGA88 割り込み	94	—
PWGA_INT89	PWGA89 割り込み	94	—

表 37.16 割り込み要求 (RH850/F1KM-S4)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
PWGA_INT90	PWGA90 割り込み	94	—
PWGA_INT91	PWGA91 割り込み	94	—
PWGA_INT92	PWGA92 割り込み	94	—
PWGA_INT93	PWGA93 割り込み	94	—
PWGA_INT94	PWGA94 割り込み	94	—
PWGA_INT95	PWGA95 割り込み	94	—
INTQFULL	PWSA キューフル割り込み	91	—

表 37.17　割り込み要求 (RH850/F1KM-S2)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
PWGA_INT0	PWGA0 割り込み	92	—
PWGA_INT1	PWGA1 割り込み	92	—
PWGA_INT2	PWGA2 割り込み	92	—
PWGA_INT3	PWGA3 割り込み	92	—
PWGA_INT4	PWGA4 割り込み	92	—
PWGA_INT5	PWGA5 割り込み	92	—
PWGA_INT6	PWGA6 割り込み	92	—
PWGA_INT7	PWGA7 割り込み	92	—
PWGA_INT8	PWGA8 割り込み	92	—
PWGA_INT9	PWGA9 割り込み	92	—
PWGA_INT10	PWGA10 割り込み	92	—
PWGA_INT11	PWGA11 割り込み	92	—
PWGA_INT12	PWGA12 割り込み	92	—
PWGA_INT13	PWGA13 割り込み	92	—
PWGA_INT14	PWGA14 割り込み	92	—
PWGA_INT15	PWGA15 割り込み	92	—
PWGA_INT16	PWGA16 割り込み	92	—
PWGA_INT17	PWGA17 割り込み	92	—
PWGA_INT18	PWGA18 割り込み	92	—
PWGA_INT19	PWGA19 割り込み	92	—
PWGA_INT20	PWGA20 割り込み	92	—
PWGA_INT21	PWGA21 割り込み	92	—
PWGA_INT22	PWGA22 割り込み	92	—
PWGA_INT23	PWGA23 割り込み	92	—
PWGA_INT24	PWGA24 割り込み	92	—
PWGA_INT25	PWGA25 割り込み	92	—
PWGA_INT26	PWGA26 割り込み	92	—
PWGA_INT27	PWGA27 割り込み	92	—
PWGA_INT28	PWGA28 割り込み	92	—
PWGA_INT29	PWGA29 割り込み	92	—
PWGA_INT30	PWGA30 割り込み	92	—
PWGA_INT31	PWGA31 割り込み	92	—
PWGA_INT32	PWGA32 割り込み	93	—
PWGA_INT33	PWGA33 割り込み	93	—
PWGA_INT34	PWGA34 割り込み	93	—
PWGA_INT35	PWGA35 割り込み	93	—
PWGA_INT36	PWGA36 割り込み	93	—
PWGA_INT37	PWGA37 割り込み	93	—
PWGA_INT38	PWGA38 割り込み	93	—
PWGA_INT39	PWGA39 割り込み	93	—
PWGA_INT40	PWGA40 割り込み	93	—
PWGA_INT41	PWGA41 割り込み	93	—
PWGA_INT42	PWGA42 割り込み	93	—
PWGA_INT43	PWGA43 割り込み	93	—
PWGA_INT44	PWGA44 割り込み	93	—

表 37.17　割り込み要求 (RH850/F1KM-S2)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
PWGA_INT45	PWGA45 割り込み	93	—
PWGA_INT46	PWGA46 割り込み	93	—
PWGA_INT47	PWGA47 割り込み	93	—
PWGA_INT48	PWGA48 割り込み	93	—
PWGA_INT49	PWGA49 割り込み	93	—
PWGA_INT50	PWGA50 割り込み	93	—
PWGA_INT51	PWGA51 割り込み	93	—
PWGA_INT52	PWGA52 割り込み	93	—
PWGA_INT53	PWGA53 割り込み	93	—
PWGA_INT54	PWGA54 割り込み	93	—
PWGA_INT55	PWGA55 割り込み	93	—
PWGA_INT56	PWGA56 割り込み	93	—
PWGA_INT57	PWGA57 割り込み	93	—
PWGA_INT58	PWGA58 割り込み	93	—
PWGA_INT59	PWGA59 割り込み	93	—
PWGA_INT60	PWGA60 割り込み	93	—
PWGA_INT61	PWGA61 割り込み	93	—
PWGA_INT62	PWGA62 割り込み	93	—
PWGA_INT63	PWGA63 割り込み	93	—
PWGA_INT64	PWGA64 割り込み	94	—
PWGA_INT65	PWGA65 割り込み	94	—
PWGA_INT66	PWGA66 割り込み	94	—
PWGA_INT67	PWGA67 割り込み	94	—
PWGA_INT68	PWGA68 割り込み	94	—
PWGA_INT69	PWGA69 割り込み	94	—
PWGA_INT70	PWGA70 割り込み	94	—
PWGA_INT71	PWGA71 割り込み	94	—
INTQFULL	PWSA キューフル割り込み	91	—

表 37.18　割り込み要求 (RH850/F1KM-S1)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
PWGA_INT0	PWGA0 割り込み	92	—
PWGA_INT1	PWGA1 割り込み	92	—
PWGA_INT2	PWGA2 割り込み	92	—
PWGA_INT3	PWGA3 割り込み	92	—
PWGA_INT4	PWGA4 割り込み	92	—
PWGA_INT5	PWGA5 割り込み	92	—
PWGA_INT6	PWGA6 割り込み	92	—
PWGA_INT7	PWGA7 割り込み	92	—
PWGA_INT8	PWGA8 割り込み	92	—
PWGA_INT9	PWGA9 割り込み	92	—
PWGA_INT10	PWGA10 割り込み	92	—
PWGA_INT11	PWGA11 割り込み	92	—
PWGA_INT12	PWGA12 割り込み	92	—
PWGA_INT13	PWGA13 割り込み	92	—
PWGA_INT14	PWGA14 割り込み	92	—
PWGA_INT15	PWGA15 割り込み	92	—
PWGA_INT16	PWGA16 割り込み	92	—
PWGA_INT17	PWGA17 割り込み	92	—
PWGA_INT18	PWGA18 割り込み	92	—
PWGA_INT19	PWGA19 割り込み	92	—
PWGA_INT20	PWGA20 割り込み	92	—
PWGA_INT21	PWGA21 割り込み	92	—
PWGA_INT22	PWGA22 割り込み	92	—
PWGA_INT23	PWGA23 割り込み	92	—
PWGA_INT24	PWGA24 割り込み	92	—
PWGA_INT25	PWGA25 割り込み	92	—
PWGA_INT26	PWGA26 割り込み	92	—
PWGA_INT27	PWGA27 割り込み	92	—
PWGA_INT28	PWGA28 割り込み	92	—
PWGA_INT29	PWGA29 割り込み	92	—
PWGA_INT30	PWGA30 割り込み	92	—
PWGA_INT31	PWGA31 割り込み	92	—
PWGA_INT32	PWGA32 割り込み	93	—
PWGA_INT33	PWGA33 割り込み	93	—
PWGA_INT34	PWGA34 割り込み	93	—

表 37.18　割り込み要求 (RH850/F1KM-S1)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
PWGA_INT35	PWGA35 割り込み	93	—
PWGA_INT36	PWGA36 割り込み	93	—
PWGA_INT37	PWGA37 割り込み	93	—
PWGA_INT38	PWGA38 割り込み	93	—
PWGA_INT39	PWGA39 割り込み	93	—
PWGA_INT40	PWGA40 割り込み	93	—
PWGA_INT41	PWGA41 割り込み	93	—
PWGA_INT42	PWGA42 割り込み	93	—
PWGA_INT43	PWGA43 割り込み	93	—
PWGA_INT44	PWGA44 割り込み	93	—
PWGA_INT45	PWGA45 割り込み	93	—
PWGA_INT46	PWGA46 割り込み	93	—
PWGA_INT47	PWGA47 割り込み	93	—
INTQFULL	PWSA キューフル割り込み	91	—

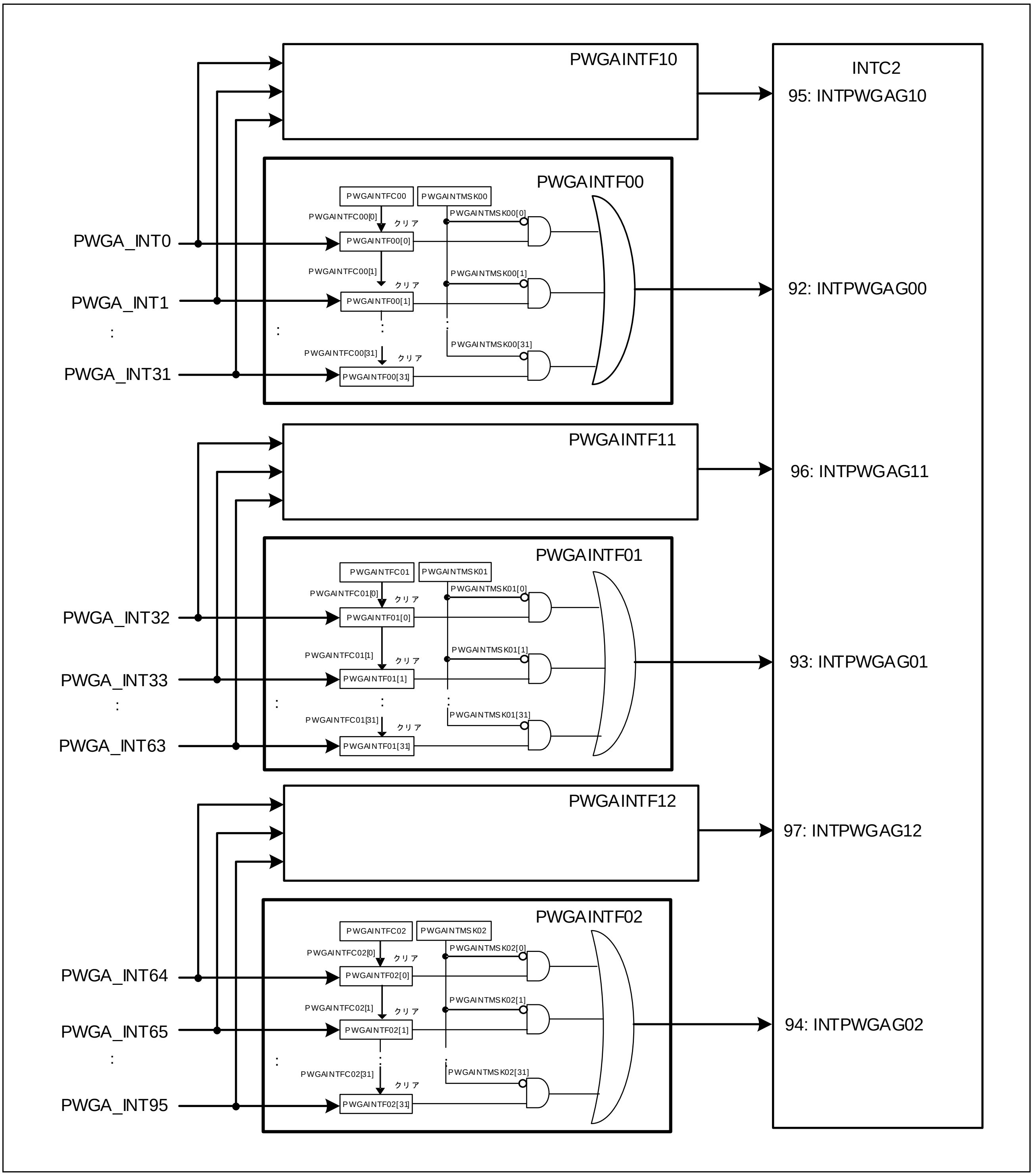


図 37.1 PWGA 割り込み接続イメージ（PWGA96 チャネル組み込み）

37.1.5　リセット要因

PWM-Diag のリセット要因を以下に示します。PWM-Diag の各ユニットは以下のリセット要因で初期化されます。

表 37.19　リセット要因 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	リセット要因
PWBAn	すべてのリセット要因（ISORES）
PWGAn	
PWSAn	

37.1.6　外部入出力信号

PWM-Diag の外部入出力信号を以下の表に示します。

表 37.20　外部入出力信号 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット信号名	説明	ポート端子兼用信号名
PWGA_TOUTn（ユニット：PWGA）	PWGA ユニット n 出力	PWGAnO

注　意

P8_6 端子を PWGA38O として使用する場合、リセット中およびリセット解除後、P8_6 端子（ $\overline{\text{RESETOUT}}$ 信号）からロウレベルを出力します。

詳細は「**2A.11.1.1 P8_6: $\overline{\text{RESETOUT}}$** 」、「**2B.11.1.1 P8_6: $\overline{\text{RESETOUT}}$** 」、「**2C.11.1.1 P8_6: $\overline{\text{RESETOUT}}$** 」を参照してください。

37.1.7　内部出力信号

PWM-Diag 間、PWM-Diag と他の機能を接続する入出力信号を以下の表に示します。

表 37.21　内部出力信号 (RH850/F1KH-D8)

ユニット信号名	説明	接続先
PWBA0		
PWMCLK0	PWGA カウントクロック 0	PWGAn
PWMCLK1	PWGA カウントクロック 1	PWGAn
PWMCLK2	PWGA カウントクロック 2	PWGAn
PWMCLK3	PWGA カウントクロック 3	PWGAn
PWGAn		
PWGA_TRGOUTn	PWGAn トリガ	PWSA0
PWSA0		
PWSA_ADTRG[1:0]	A/D コンバータユニット選択信号	ADCA0、ADCA1
PWSA_PVCR_VALUE[13:0]	A/D コンバータ制御信号	ADCA0、ADCA1
ADCAn		
ADC_CONV_ENDn	A/D 変換終了信号	PWSA0
ADC_PWDDRn[15:0]	A/D 変換結果信号	PWSA0

表 37.22　内部出力信号 (RH850/F1KM-S4, RH850/F1KM-S2)

ユニット信号名	説明	接続先
PWBA0		
PWMCLK0	PWGA カウントクロック 0	PWGAn
PWMCLK1	PWGA カウントクロック 1	PWGAn
PWMCLK2	PWGA カウントクロック 2	PWGAn
PWMCLK3	PWGA カウントクロック 3	PWGAn
PWGAn		
PWGA_TRGOUTn	PWGAn トリガ	PWSA0
PWSA0		
PWSA_ADTRG[1:0]	A/D コンバータユニット選択信号	ADCA0、ADCA1
PWSA_PVCR_VALUE[13:0]	A/D コンバータ制御信号	ADCA0、ADCA1
ADCAn		
ADC_CONV_ENDn	A/D 変換終了信号	PWSA0
ADC_PWDDRn[15:0]	A/D 変換結果信号	PWSA0

表 37.23　内部出力信号 (RH850/F1KM-S1)

ユニット信号名	説明	接続先
PWBA0		
PWMCLK0	PWGA カウントクロック 0	PWGAn
PWMCLK1	PWGA カウントクロック 1	PWGAn
PWMCLK2	PWGA カウントクロック 2	PWGAn
PWMCLK3	PWGA カウントクロック 3	PWGAn
PWGAn		
PWGA_TRGOUTn	PWGAn トリガ	PWSA0
PWSA0		
PWSA_ADTRG[0]	A/D コンバータユニット選択信号	ADCA0
PWSA_PVCR_VALUE[13:0]	A/D コンバータ制御信号	ADCA0
ADCAn		
ADC_CONV_ENDn	A/D 変換終了信号	PWSA0
ADC_PWDDRn[15:0]	A/D 変換結果信号	PWSA0

37.1.8　機能概要

本機能はクロック分周（PWBA）、PWM ジェネレータ（PWGA）、A/D 変換トリガ選択機能（PWSA）、A/D コンバータ（ADCA）の 4 種類のユニットから構成されます。

PWBA

- クロック分周

  PWBA は PCLK を分周した PWMCLKm カウントクロックを生成し、PWM ジェネレータ PWGA に供給します。
  PWMCLKm カウントクロックの周期は、PWBAnBRSm レジスタの設定により、次式で表されます。

  （PWBAnBRSm＝1～2047 のとき）
  PWMCLKm カウントクロックの周期＝（PWBAnBRSm の設定値×2）×PCLK 周期

  （PWBAnBRSm＝0 のとき）
  PWMCLKm カウントクロックの周期＝PCLK 周期

  また、PWBA はオンチップデバッグユニット使用時の動作を PWBAnEMU レジスタにより制御可能です。

PWGA

PWGA は、PWBA からの入力クロック PWMCLKm より、PWM 波形と PWSA への A/D 変換トリガを出力します。

- PWM 波形出力 PWGA_TOUTn

  PWM 波形は PWGA_TOUTn 端子より出力します。PWM サイクルは、PWGAnCNT レジスタ値と PWGA_PERIOD 入力値の一致タイミングによって制御されます。PWGA_PERIOD 入力値は、PWGAPRD および PWGAPRDSLk レジスタで設定されます。PWM 出力のハイ期間は PWGAnCSDR および PWGAnCRDR レジスタに設定します。
  PWM 波形の周期および Duty は次の式で表されます。

  PWM 波形の周期＝（PWGA_PERIOD＋1）×PWMCLKm カウントクロックの周期

  PWGAnCRDR[11:0]＞PWGAnCSDR[11:0]のとき、

  PWM 波形のハイレベル期間＝　（PWGAnCRDR レジスタ設定値－PWGAnCSDR レジスタ設定値）
  ×PWMCLKm カウントクロックの周期

  PWM 波形の Duty（%）　＝ PWM 波形のハイレベル期間÷PWM 波形周期×100
  ＝ （PWGAnCRDR レジスタ設定値－PWGAnCSDR レジスタ設定値）
  ÷（PWGA_PERIOD＋1）×100

  なお、PWGAnCRDR レジスタ設定値＝PWGAnCSDR レジスタ設定値のとき、PWM 出力はロウレベル固定になります。
  PWGAnCRDR レジスタに $1xxx_H$ または PWGA_PERIOD 以上の値が設定されている場合（たとえば、ビット 12 が 1 にセットされている場合）、PWM 出力はハイレベルに固定されます。

- A/D 変換トリガ出力 PWGA_TRGOUTn

  PWGAnCTDR レジスタの値と PWGAnCNT レジスタの値が一致し、そのタイミングが PWGAnOCL で設定可能な場合、PWSA 用の A/D 変換トリガ信号 PWGA_TRGOUTn が発生します。

PWGA_TRGOUTn の出力許可／禁止は PWGAnTCR レジスタで制御します。タイミングは、以下の式で計算されます。

A/D 変換トリガ信号発生タイミング＝ PWGAnCTDR レジスタ設定値
×PWMCLKm カウントクロックの周期

- PWGA 割り込み要求信号 PWGA_INTn

PWGA は、PWM 出力 PWGA_TOUTn の立下りで割り込み要求信号 PWGA_INTn を発生します。
PWM 出力がロウレベルに固定されているときは、PWGAnCRDR レジスタ値と PWGAnCNT レジスタ値が一致すると、PWGA_INTn が発生します。PWM 出力がハイレベルに固定されているときは、PWGAnCNT レジスタ値と PWGA_PERIOD 入力値が一致すると、PWGA_INTn が発生します。

PWSA

PWSA は、PWM ジェネレータ（PWGA）からの A/D 変換トリガ信号 PWGA_TRGOUTn により、A/D コンバータに対して必要な設定情報を送信し、A/D 変換開始トリガを出力します。

- PWSA による A/D 変換制御

PWSA は、PWGAn から入力されたトリガのチャネル番号に対応した PWSAnPVCRx_y レジスタに設定された A/D 変換に必要な情報（ADC の物理チャネル情報、外付け MPX 制御情報、エラー検出レベル選択情報）を A/D コンバータに出力します。
同じタイミングで、ADCA0 または ADCA1 に A/D 変換トリガ（PWSA_ADTRG）を出力します。（A/D 変換中に受けた入力トリガ信号 PWGA_TRGOUTn の情報は、PWSAnQUE に最大 8 個まで格納し保持されます。）
A/D コンバータに出力する設定情報は次のトリガ発生時まで保持されます。
A/D コンバータで PWM-Diag 機能からトリガされた A/D 変換が完了すると、PWSA は PWSAnQUE レジスタに格納された次の A/D 変換をトリガします。

- PWGA からの A/D 変換トリガキュー

PWGAn からの A/D 変換トリガ信号 PWGA_TRGOUTn の入力は、PWSAnQUEj レジスタにチャネル番号として格納されます。PWSAnQUEj レジスタは、キュー構造により、A/D 変換中に受けた A/D 変換トリガ信号 PWGA_TRGOUTn のチャネル番号を最大 8 個格納します。
PWSAnQUEj レジスタのキューがフルになる以下の状態において、PWSA キューフル割り込みが発生します。

 – PWSAnQUE7 へのトリガ番号の書き込みが生じた場合
 – PWGA_TRGOUTn 入力時、既に PWSAnQUE7 にトリガ番号の書き込まれていて書き込み先がない場合

- A/D 変換結果の格納

A/D 変換結果は PWSAnPWDDIRz レジスタに格納されます。

ADCA

PWSA から、A/D 変換に必要な情報と A/D 変換トリガを受けて A/D 変換を実施します。
A/D 変換は PWM-Diag 専用のスキャングループを用いて実施し、A/D 変換完了後は、PWSA に A/D 変換完了を通知します。
A/D コンバータの基本的な動作については、「**第 38 章　A/D コンバータ（ADCA）**」を参照してください。
PWM-Diag 機能使用時の A/D コンバータの動作については「**38.4.7.1　PWM-Diag 機能時の A/D 変換動作**」を参照してください。

37.1.9　ブロック図

PWM-Diag と A/D コンバータを組み合わせた LED 接続回路の回路例を示します。

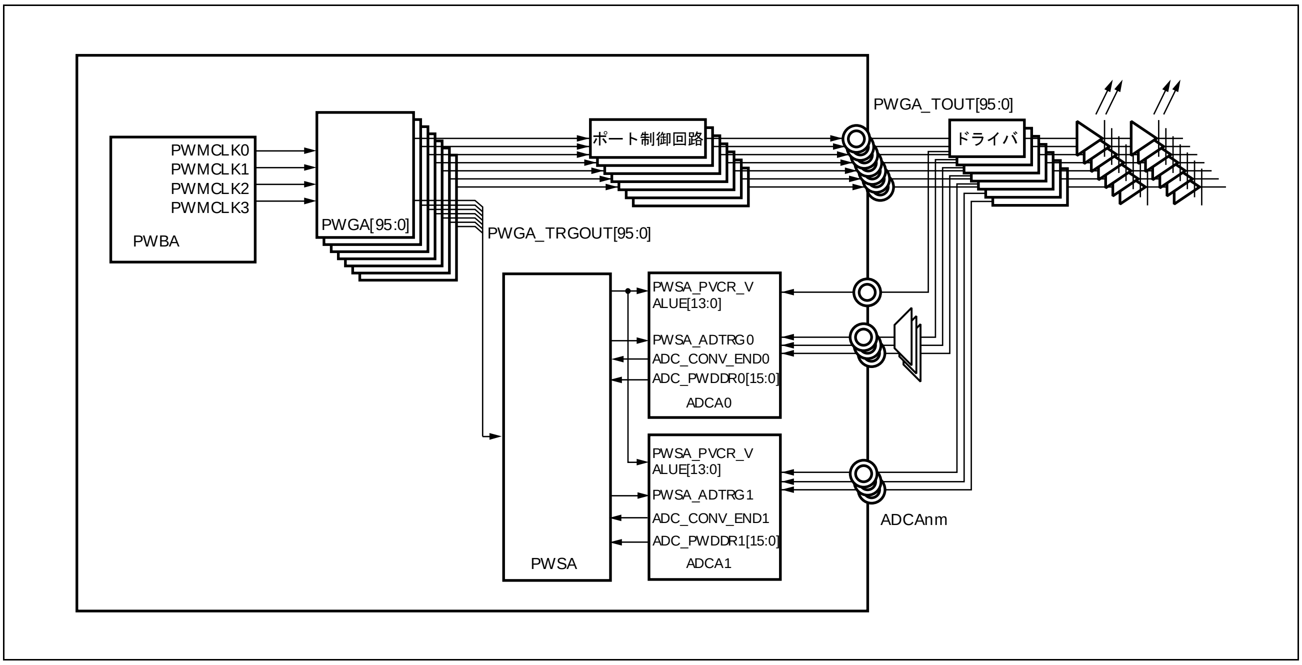


図 37.2　PWM-Diag と A/D コンバータを使用した LED 制御回路の接続例

37.2　レジスタ

37.2.1　レジスター覧

PWM 出力／診断のレジスタ一覧を以下の表に示します。

<PWBAn_base>、<PWSAn_base>、<PWGAn_base>は、「**37.1.2 レジスタベースアドレス**」を参照してください。

表 37.24　レジスター覧

モジュール名	レジスタ名	略号	アドレス
PWBAn	PWMCLKm 周期設定レジスタ	PWBAnBRSm	<PWBAn_base> + 0004_H × m
	PWMCLKm イネーブルステータスレジスタ	PWBAnTE	<PWBAn_base> + 0010_H
	PWMCLKm スタートトリガレジスタ	PWBAnTS	<PWBAn_base> + 0014_H
	PWMCLKm ストップトリガレジスタ	PWBAnTT	<PWBAn_base> + 0018_H
	PWBA エミュレーションレジスタ	PWBAnEMU	<PWBAn_base> + $001C_H$
PWGAn	PWM 出力セット条件レジスタ	PWGAnCSDR	<PWGAn_base> + 0000_H
	PWM 出力リセット条件レジスタ	PWGAnCRDR	<PWGAn_base> + 0004_H
	PWGA_TRGOUTn 発生条件レジスタ	PWGAnCTDR	<PWGAn_base> + 0008_H
	バッファレジスタリロードトリガレジスタ	PWGAnRDT	<PWGAn_base> + $000C_H$
	バッファレジスタリロードステータスレジスタ	PWGAnRSF	<PWGAn_base> + 0010_H
	PWM 周期カウントレジスタ	PWGAnCNT	<PWGAn_base> + 0014_H
	PWGA_TRGOUTn 制御レジスタ	PWGAnTCR	<PWGAn_base> + 0018_H
	PWGAnTCR バッファレジスタ	PWGAnTCBR	<PWGAn_base> + $001C_H$
	PWGA 制御レジスタ	PWGAnCTL	<PWGAn_base> + 0020_H
	PWGAnCSDR バッファレジスタ	PWGAnCSBR	<PWGAn_base> + 0024_H
	PWGAnCRDR バッファレジスタ	PWGAnCRBR	<PWGAn_base> + 0028_H
	PWGAnCTDR バッファレジスタ	PWGAnCTBR	<PWGAn_base> + $002C_H$
SLPWG	PWGA 同期トリガレジスタ	SLPWGAk	<SLPW_base> + k × 4_H
	PWGA 期間設定レジスタ	PWGAPRD	<SLPW_base> + $000C_H$
	PWGA 期間選択レジスタ	PWGAPRDSLk	<SLPW_base> + 0010_H + k × 4_H
PWSAn	PWSA 制御レジスタ	PWSAnCTL	<PWSAn_base> + 0000_H
	トリガキューステータスレジスタ	PWSAnSTR	<PWSAn_base> + 0004_H
	トリガキューステータスクリアレジスタ	PWSAnSTC	<PWSAn_base> + 0008_H
	トリガキューレジスタ	PWSAnQUEj	<PWSAn_base> + 0020_H + j × 4_H
	PWM-Diag モード A/D 設定レジスタ	PWSAnPVCRx_y	<PWSAn_base> + 0040_H + x × 2_H
	PWM-Diag データ補足情報レジスタ	PWSAnPWDDIRz	<PWSAn_base> + 0200_H + z × 4_H
	PWSA エミュレーション制御レジスタ	PWSAnEMU	<PWSAn_base> + $000C_H$
PWGA_INTF	PWGA 割り込み要因レジスタ	PWGAINTFhk	<PWGAINTF_base> + h × 30_H + k × 10_H
	PWGA 割り込みマスクレジスタ	PWGAINTMSKhk	<PWGAINTF_base> + h × 30_H + k × 10H + 4_H
	PWGA 割り込み要因クリアレジスタ	PWGAINTFChk	<PWGAINTF_base> + h × 30_H + k × 10_H + 8_H

37.2.1.1 PWBAnBRSm — PWMCLKm 周期設定レジスタ

本レジスタは、PWMCLKm のクロック周期を設定するレジスタです。

アクセス 16 ビット単位でリード／ライト可能です

アドレス <PWBAn_base> + 0004_H × m

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	PWBAnBRSm[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 37.25　PWBAnBRSm レジスタの内容

ビット位置	ビット名	機能
15〜11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10〜0	PWBAnBRSm [10:0]	PWMCLKm のクロック周期設定レジスタ – PWBAnBRSm＝0：PWMCLKm＝PCLK – PWBAnBRSm＝1：PWMCLKm＝PCLK / (2 × 1) – PWBAnBRSm＝2：PWMCLKm＝PCLK / (2 × 2) … – PWBAnBRSm＝n：PWMCLKm＝PCLK / (2 × n) (n＝1〜2047) 本ビットは、PWMCLKm を使用するカウンタがすべて停止している（PWBAnTE.PWBATEm＝0）場合のみ書き換え可能です。

37.2.1.2 PWBAnTE — PWMCLKm イネーブルステータスレジスタ

本レジスタは、PWMCLKm（m＝0～3）の出力状態を示すステータスレジスタです。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<PWBAn_base> + 0010_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	PWBAnTE3	PWBAnTE2	PWBAnTE1	PWBAnTE0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 37.26　PWBAnTE レジスタの内容

ビット位置	ビット名	機能
7～4	予約ビット	リードした場合はリセット後の値が読めます。
3	PWBAnTE3	PWMCLK3 の動作状態を示すステータスフラグ 0：停止中 1：動作中
2	PWBAnTE2	PWMCLK2 の動作状態を示すステータスフラグ 0：停止中 1：動作中
1	PWBAnTE1	PWMCLK1 の動作状態を示すステータスフラグ 0：停止中 1：動作中
0	PWBAnTE0	PWMCLK0 の動作状態を示すステータスフラグ 0：停止中 1：動作中

37.2.1.3　PWBAnTS — PWMCLKm スタートトリガレジスタ

本レジスタは、PWMCLKm（m＝0～3）のスタートトリガレジスタです。

アクセス　8 ビット単位でライトのみ可能です。

アドレス　<PWBAn_base> + 0014_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	PWBAnTS3	PWBAnTS2	PWBAnTS1	PWBAnTS0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	W	W	W	W

表 37.27　PWBAnTS レジスタの内容

ビット位置	ビット名	機能
7～4	予約ビット	ライトする場合はリセット後の値を書いてください。
3	PWBAnTS3	PWMCLK3 のスタートトリガビット 0：“0”書き込みは機能として意味をもちません。 1：PWMCLK3 の出力を開始します。
2	PWBAnTS2	PWMCLK2 のスタートトリガビット 0：“0”書き込みは機能として意味をもちません。 1：PWMCLK2 の出力を開始します。
1	PWBAnTS1	PWMCLK1 のスタートトリガビット 0：“0”書き込みは機能として意味をもちません。 1：PWMCLK1 の出力を開始します。
0	PWBAnTS0	PWMCLK0 のスタートトリガビット 0：“0”書き込みは機能として意味をもちません。 1：PWMCLK0 の出力を開始します。

37.2.1.4　PWBAnTT — PWMCLKm ストップトリガレジスタ

本レジスタは、PWMCLKm（m＝0～3）のストップトリガレジスタです。

アクセス　8 ビット単位でライトのみ可能です。

アドレス　<PWBAn_base> + 0018_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	PWBAnTT3	PWBAnTT2	PWBAnTT1	PWBAnTT0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	W	W	W	W

表 37.28　PWBAnTT レジスタの内容

ビット位置	ビット名	機能
7～4	予約ビット	ライトする場合はリセット後の値を書いてください。
3	PWBAnTT3	PWMCLK3 のストップトリガビット 0：“0”書き込みは機能として意味をもちません。 1：PWMCLK3 の出力を停止します。
2	PWBAnTT2	PWMCLK2 のストップトリガビット 0：“0”書き込みは機能として意味をもちません。 1：PWMCLK2 の出力を停止します。
1	PWBAnTT1	PWMCLK1 のストップトリガビット 0：“0”書き込みは機能として意味をもちません。 1：PWMCLK1 の出力を停止します。
0	PWBAnTT0	PWMCLK0 のストップトリガビット 0：“0”書き込みは機能として意味をもちません。 1：PWMCLK0 の出力を停止します。

37.2.1.5　PWBAnEMU — PWBA エミュレーションレジスタ

本レジスタは、エミュレーション時の動作を設定するレジスタです。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<PWBAn_base> + 001C$_H$

リセット後の値　00$_H$

ビット	7	6	5	4	3	2	1	0
	PWBAnSVSDIS	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R

表 37.29　PWBAnEMU レジスタの内容

ビット位置	ビット名	機能
7	PWBAnSVSDIS	（EPC.SVSTOP ビット＝0 のとき） 本ビットの値（1/0）にかかわらず、デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを継続供給 （EPC.SVSTOP ビット＝1 のとき） 0：デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを停止 1：デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）カウントクロックを継続供給 本ビットは、PWMCLKm を使用するカウンタがすべて停止している（PWBAnTE.PWBATEm＝0）場合のみ書き換え可能です。
6～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

37.2.1.6　PWGAnCTL ― PWGA 制御レジスタ

PWGAnCTL レジスタは、PWGA からのカウントクロックを選択し、PWGA_TRGOUTn の出力条件を設定します。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<PWGAn_base> + 0020_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	PWGAnOCL	—	PWGAnTCUT[1:0]		—	—	PWGAnCKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R/W	R/W	R	R	R/W	R/W

表 37.30　PWGAnCTL レジスタの内容

ビット位置	ビット名	機能
7	PWGAnOCL	PWGA_TOUTn に関連する PWGA_TRGOUTn 出力条件を選択します。 0：PWGA_TOUTn がハイレベル状態で、PWGA_TRGOUTn 出力 1：PWGA_TOUTn がハイレベルとロウレベルの両方の状態で、PWGA_TRGOUTn 出力
6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5、4	PWGAnTCUT[1:0]	PWGAnTCBR レジスタの更新タイミングを選択します。 00：更新なし 01：PWGAnTCBR レジスタの書き換え中（PWGAnRSFT＝1）は、PWGA_TOUTn の立ち上がりエッジで更新 10：PWGAnTCBR レジスタの書き換え中（PWGAnRSFT＝1）は、PWGA_TOUTn の立ち下がりエッジで更新 11：即時更新（PWGAnTCBR 書き換え要求トリガ PWGAnRDTT＝1 の設定は無効）
3、2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	PWGAnCKS[1:0]	カウントクロックイネーブル入力 PWMCLK3～PWMCLK0 の選択ビット 00：カウントクロックとして、PWMCLK0 を使用 01：カウントクロックとして、PWMCLK1 を使用 10：カウントクロックとして、PWMCLK2 を使用 11：カウントクロックとして、PWMCLK3 を使用 本ビットは、PWGAn 動作停止時（SLPWGAk.SLPWGA[31:0]＝0）のみ書き換え可能です。

37.2.1.7　PWGAnCNT ― PWM 周期カウントレジスタ

本レジスタは、カウンタレジスタです。

アクセス　16 ビット単位でリードのみ可能です。

アドレス　<PWGAn_base> + 0014_H

リセット後の値　$0FFF_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PWGAnCNT[11:0]											
リセット後の値	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 37.31　PWGAnCNT レジスタの内容

ビット位置	ビット名	機能
15～12	予約ビット	リードした場合はリセット後の値が読めます。
11～0	PWGAnCNT[11:0]	12 ビットカウンタ値

37.2.1.8　PWGAnCSDR ― PWM 出力セット条件レジスタ

本レジスタは、PWGA_TOUTn 出力のセット条件を設定するレジスタです。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<PWGAn_base> + 0000_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PWGAnCSDR[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 37.32　PWGAnCSDR レジスタの内容

ビット位置	ビット名	機能
15～12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11～0	PWGAnCSDR[11:0]	PWM 出力のセット条件を設定します。 PWGAn 動作開始時（対象 CH の SLPWGAk.SLPWGA を 1 に設定）、または一斉書き換え時（PWGAnRDT.PWGAnRDT＝1）に設定値が PWGAnCSBR レジスタに反映されます。

備　考

PWM 期間を PWGAPRD、PWGAPRDSLk レジスタで変更する場合は、PWGAnCSDR＞PWGA_PERIOD の設定を禁止します。

37.2.1.9　PWGAnCRDR — PWM 出力リセット条件レジスタ

本レジスタは、PWGA_TOUTn 出力のリセット条件を設定するレジスタです。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<PWGAn_base> + 0004_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PWGAnCRDR[12:0]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 37.33　PWGAnCRDR レジスタの内容

ビット位置	ビット名	機能
15～13	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
12～0	PWGAnCRDR [12:0]	PWM 出力のリセット条件を設定します。 PWGAn 動作開始時（対象 CH の SLPWGAk.SLPWGA を 1 に設定）、または一斉書き換え時（PWGAnRDT.PWGAnRDT＝1）に設定値が PWGAnCRBR レジスタに反映されます。

37.2.1.10　PWGAnCTDR — PWGA_TRGOUTn 発生条件レジスタ

本レジスタは、PWGA_TRGOUTn の発生条件を設定するレジスタです。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<PWGAn_base> + 0008_H

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PWGAnCTDR[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 37.34　PWGAnCTDR レジスタの内容

ビット位置	ビット名	機能
15～12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11～0	PWGAnCTDR [11:0]	PWSAn への A/D 変換トリガ発生条件を設定します。 PWGAn 動作開始時（対象 CH の SLPWGAk.SLPWGA を 1 に設定）、または一斉書き換え時（PWGAnRDT.PWGAnRDT＝1）に設定値が PWGAnCTBR レジスタに反映されます。

37.2.1.11 PWGAnTCR ― PWGA_TRGOUTn 制御レジスタ

本レジスタは、PWGA_TRGOUTn の有効／無効を制御します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <PWGAn_base> + 0018_H

リセット後の値 01_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PWGAnTOE
リセット後の値	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R/W

表 37.35 PWGAnTCR レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	PWGAnTOE	PWGA_TRGOUTn の出力許可/禁止を設定します。 0：PWGA_TRGOUTn の出力禁止 1：PWGA_TRGOUTn の出力許可 本レジスタの値は、PWGAnTCUT[1:0]で選択された更新タイミングで、PWGAnTCBR レジスタに反映されます。

備 考

カウント動作の前に PWGAnTOE ビットをセットしてください。また、PWGAnTCUT＝01_B または 10_B の場合は、PWGAnTCBR 書き換え要求の前に、PWGAnTOE ビットをセットしてください。

37.2.1.12 PWGAnCSBR ― PWGAnCSDR バッファレジスタ

本レジスタは、PWGAnCSDR レジスタのバッファレジスタです。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <PWGAn_base> + 0024_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PWGAnCSBR[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 37.36 PWGAnCSBR レジスタの内容

ビット位置	ビット名	機能
15～12	予約ビット	リードした場合はリセット後の値が読めます。
11～0	PWGAnCSBR [11:0]	PWGAn 動作開始時（対象 CH の SLPWGAk.SLPWGA を 1 に設定）、または一斉書き換え時（PWGAnRDT.PWGAnRDT＝1）に PWGAnCSDR の設定値が反映されます。 PWGAnCNT レジスタと値が一致すると端子出力がハイレベルになります。

37.2.1.13 PWGAnCRBR — PWGAnCRDR バッファレジスタ

本レジスタは、PWGA_TOUTn のリセット条件のバッファレジスタです。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <PWGAn_base> + 0028_H

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PWGAnCRBR[12:0]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 37.37 PWGAnCRBR レジスタの内容

ビット位置	ビット名	機能
15～13	予約ビット	リードした場合はリセット後の値が読めます。
12～0	PWGAnCRBR [12:0]	PWGAn 動作開始時（対象 CH の SLPWGAk.SLPWGA を 1 に設定）、または一斉書き換え時（PWGAnRDT.PWGAnRDT＝1）に PWGAnCRDR の設定値が反映されます。 PWGAnCNT レジスタと値が一致すると端子出力がロウレベルになります。

37.2.1.14 PWGAnCTBR — PWGAnCTDR バッファレジスタ

本レジスタは、PWGA_TRGOUTn の発生条件を示すバッファレジスタです。

アクセス 16 ビット単位でリードのみ可能です。

アドレス <PWGAn_base> + $002C_H$

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PWGAnCTBR[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 37.38 PWGAnCTBR レジスタの内容

ビット位置	ビット名	機能
15～12	予約ビット	リードした場合はリセット後の値が読めます。
11～0	PWGAnCTBR [11:0]	PWGAn 動作開始時（対象 CH の SLPWGAk.SLPWGA を 1 に設定）、または一斉書き換え時（PWGAnRDT.PWGAnRDT＝1）に PWGAnCTDR の設定値が反映されます。 PWGAnCNT レジスタと値が一致すると PWSAn へトリガを送信します。

37.2.1.15　PWGAnTCBR — PWGAnTCR バッファレジスタ

本レジスタは、PWGAnTCR レジスタのバッファレジスタです。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<PWGAn_base> + $001C_H$

リセット後の値　01_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PWGAnTOBE
リセット後の値	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R

表 37.39　PWGAnTCBR レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	リードした場合はリセット後の値が読めます。
0	PWGAnTOBE	PWGAnCTRL.TCUT[1:0]で選択された更新タイミングで、PWGAnTCR レジスタの値が本レジスタに反映されます。 0：PWGA_TRGOUTn の出力禁止 1：PWGA_TRGOUTn の出力許可

37.2.1.16　PWGAnRSF — バッファレジスタリロードステータスレジスタ

本レジスタは、一斉書き換え制御のステータスレジスタです。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<PWGAn_base> + 0010_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PWGAnRSFT	PWGAnRSF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 37.40　PWGAnRSF レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。
1	PWGAnRSFT	PWGAnTCBR 書き換え制御ステータスビット 0：PWGAnTCBR レジスタの書き換えが許可されています。この値は、PWGAnTCBR 書き換えトリガ信号発生後は、PWGAnTCBR レジスタの書き換えの完了を示します。PWGAnTCUT＝00_B または 11_B の場合、本ビットは常に“0”を示します。 1：PWGAnTCBR レジスタの書き換えが進行中です。この値は、完了待ち状態を示します。
0	PWGAnRSF	コンペアバッファレジスター斉書き換え制御ステータスビット 0：一斉書き換え許可状態。一斉書き換えトリガ信号発生後は、一斉書き換えの完了を示す。 1：一斉書き換え処理実行中で、完了待ち状態

37.2.1.17　PWGAnRDT ― バッファレジスタリロードトリガレジスタ

本レジスタは、一斉書き換え要求トリガレジスタです。

アクセス　8 ビット単位でライトのみ可能です。

アドレス　<PWGAn_base> + $000C_H$

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PWGAnRDTT	PWGAnRDT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	W	W

表 37.41　PWGAnRDT レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	ライトする場合はリセット後の値を書いてください。
1	PWGAnRDTT	PWGAnTCBR 書き換え要求トリガビット 0：“0”書き込みは機能として意味をもちません。 1：PWGAnTCBR レジスタの書き換え要求をトリガし、PWGA0RSF.PWGA0RSFT を 1 にセットします。PWGAnTCUT＝00_B または 11_B の場合、本ビットに“1”を書き込んでも無効です。
0	PWGAnRDT	コンペアバッファレジスター斉書き換え要求トリガビット 0：“0”書き込みは機能として意味をもちません。 1：コンペアレジスタ（PWGAnCSDR, PWGAnCRDR, PWGAnCTDR）の一斉書き換え要求をトリガする。PWGAnRSF.PWGAnRSF を“1”にセットする。

37.2.1.18　SLPWGAk — PWGA 同期トリガレジスタ（k＝0～2）

本レジスタは、各チャネルを同時に開始、停止をトリガするレジスタです。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<SLPW_base> + k × 4_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SLPWGA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SLPWGA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 37.42　SLPWGAk レジスタの内容

ビット位置	ビット名	機能
31～0	SLPWGA[31:0]	複数のチャネルに同時に開始、停止をトリガします。 0：該当するチャネルを停止する 1：該当するチャネルを開始する 各ビットは以下のチャネルに該当します。 SLPWGA0.SLPWGA[31:0]：PWGA31 - PWGA0 SLPWGA1.SLPWGA[31:0]：PWGA63 - PWGA32 SLPWGA2.SLPWGA[31:0]：PWGA95 - PWGA64

37.2.1.19　PWGAPRD ― PWGA 期間設定レジスタ

本レジスタは、PWGA カウンタの期間を設定します。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<SLPW_base> + $000C_H$

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PWGAPRD[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 37.43　PWGAPRD レジスタの内容

ビット位置	ビット名	機能
15～12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11～0	PWGAPRD[11:0]	PWGA カウンタの期間を設定します。（＝PWGA_PERIOD） PWGAPRDSLk が 1 に設定されている場合、本レジスタを設定することにより、PWGA_TOUTn の期間を柔軟に変更することが出来ます。PWGAPRDSLk が 0 に設定されている場合、PWGA_PERIOD の値は FFF_H です。

備　考

カウント動作中は、PWGAPRD レジスタの設定変更は禁止です。

37.2.1.20　PWGAPRDSLk ― PWGA 期間選択レジスタ（k＝0～2）

本レジスタは、12 ビットフリーランニングまたは PWGAPRD レジスタ設定のいずれかを、PWGA カウンタ期間として選択します。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	<SLPW_base> + 0010_H + k × 4_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PWGAPRDSL[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PWGAPRDSL[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 37.44　PWGAPRDSLk レジスタの内容

ビット位置	ビット名	機能
31～0	PWGAPRDSL [31:0]	12 ビットフリーランニングまたは PWGAPRD レジスタ設定のいずれかを、PWGA カウンタ期間として選択します。 0：12 ビットフリーランニングを選択 1：PWGAPRD レジスタ設定を選択 本ビットは、以下のチャネルに対応します。 PWGAPRDSL0.SLPWGA[31:0]：PWGA31 - PWGA0 PWGAPRDSL1.SLPWGA[31:0]：PWGA63 - PWGA32 PWGAPRDSL2.SLPWGA[31:0]：PWGA95 - PWGA64

37.2.1.21　PWSAnCTL — PWSA 制御レジスタ

本レジスタは、PWSA の動作制御レジスタです。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<PWSAn_base> + 0000_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	PWSAnARSE	—	—	—	—	—	—	PWSAnENBL
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R/W

表 37.45　PWSAnCTL レジスタの内容

ビット位置	ビット名	機能
7	PWSAnARSE	A/D 変換結果格納制御ビット 0：ADCAnPWDDIR レジスタを PWSAnPWDDIRz レジスタに格納することができません。 1：ADCAnPWDDIR レジスタを PWSAnPWDDIRz レジスタに格納することが可能です。
6～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	PWSAnENBL	動作許可制御ビット 0：動作禁止（初期状態） “0”を書き込むことで PWSAnSTR、PWSAnQUEj、PWSAnOWE、PWSAnWFLG が初期化されます 1：動作許可

備　考

トリガの状態が入力されておらず（PWSAnQUE0＝$7F_H$）、また、PWGA からトリガが入力していない状態で、PWSAnARSE の設定を変更する必要があります。

37.2.1.22　PWSAnSTR — トリガキューステータスレジスタ

本レジスタは、A/D 変換トリガが生成されたチャネルの番号が、PWSAnQUEj レジスタに格納されているかどうかを示すステータスレジスタです。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<PWSAn_base> + 0004_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PWSAnQFL	PWSAnQNE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 37.46　PWSAnSTR レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。
1	PWSAnQFL	A/D 変換トリガのキューイングの状態を示します。 0：チャネル番号が格納されていない PWSAnQUEj レジスタが存在する 1：全ての PWSAnQUEj レジスタにチャネル番号が格納された状態を示す
0	PWSAnQNE	トリガキューにトリガが入っている状態を表すビット 0：PWSAnQUEj レジスタにチャネル番号が格納されていない、または PWSAnQUE0 にのみチャネル番号が格納された、A/D 変換中の状態 1：PWSAnQUEj レジスタの j=1 以降に変換待ちのチャネルが格納されている状態

37.2.1.23　PWSAnSTC — トリガキューステータスクリアレジスタ

本レジスタは、PWSAnSTR レジスタのステータスをクリアするレジスタです。

アクセス　8 ビット単位でライトのみ可能です。

アドレス　<PWSAn_base> + 0008_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PWSAnCLFL	PWSAnCLNE
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	W	W

表 37.47　PWSAnSTC レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	ライトする場合はリセット後の値を書いてください。
1	PWSAnCLFL	PWSAnQFL クリアビット 0：PWSAnQFL は状態を保持（“0”書き込みは機能として意味を持たない） 1：PWSAnQFL を 0 クリアする
0	PWSAnCLNE	PWSAnQNE クリアビット 0：PWSAnQNE は状態を保持（“0”書き込みは機能として意味を持たない） 1：PWSAnQNE を 0 クリアする

37.2.1.24　PWSAnQUEj — トリガキューレジスタ（j＝0～7）

本レジスタは、PWGAn からのトリガを受けたチャネルの番号を格納するレジスタです。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<PWSAn_base> + 0020_H + j × 4_H

リセット後の値　$7F_H$

ビット	7	6	5	4	3	2	1	0
	—	PWSAnQUEj[6:0]						
リセット後の値	0	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R

表 37.48　PWSAnQUEj レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。
6～0	PWSAnQUEj[6:0]	トリガの発生した PWGA のチャネル番号（0～95）が PWSAnQUE0 から PWSAnQUE7 まで順番に格納されます。 PWSAnQUE0 の A/D 変換完了後、PWSAnQUE1～PWSAnQUE7 の値が PWSAnQUE0～PWSAnQUE6 にシフトします。

備　考

複数チャネルで同時にトリガが発生した場合、チャネル番号の小さいトリガが優先されます。

37.2.1.25　PWSAnPVCRx_y ― PWM-Diag モード A/D 設定レジスタ

本レジスタは、各チャネルに対応する A/D コンバータの設定を行います。

PWSA0PVCR02_03 のように連続する 2 つのチャネルを設定し、上位 16bit が奇数チャネル、下位 16bit が偶数チャネルに該当します。

トリガ発生時に設定値は A/D コンバータの ADCAnPWDVCR レジスタに送られます。

ADCAnPWDVCR レジスタについては「**第 38 章　A/D コンバータ（ADCA）**」を参照してください。

アクセス　PWSAnPVCRx_y : 32 ビット単位でリード／ライト可能です。

PWSAnPVCRx_yL, PWSAnPVCRx_yH : 16 ビット単位でリード／ライト可能です。

アドレス　PWSAnPVCRx_y : <PWSAn_base> + 0040_H + x × 2_H

PWSAnPVCRx_yL : <PWSAn_base> + 0040_H + x × 2_H

PWSAnPVCRx_yH : <PWSAn_base> + 0040_H + x × 2_H + 2_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	PWSAnVRDTy[29:28]		PWSAnSLADy	PWSAnVRDTy[27]	PWSAnVRDTy[26:24]			PWSAnVRDTy[23:22]		PWSAnVRDTy[21:16]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PWSAnVRDTx[13:12]		PWSAnSLADx	PWSAnVRDTx[11]	PWSAnVRDTx[10:8]			PWSAnVRDTx[7:6]		PWSAnVRDTx[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 37.49　PWSAnPVCRx_y レジスタの内容

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
30、29	PWSAnVRDTy [29:28]	ADCAnPWDVCR.ULS[3:2]ビットの設定値となります。（奇数チャネル）
28	PWSAnSLADy	RH850/F1KM-S4 100-pin 製品、RH850/F1KM-S2 100-pin 製品、RH850/F1KM-S1 製品： ライトする場合はリセット後の値を書いてください。 RH850/F1KH-D8 製品、RH850/F1KM-S4 144/176/233/272-pin 製品、RH850/F1KM-S2 144/176-pin 製品： ADCA 選択ビット（奇数チャネル） 0：ADCA0 に出力 1：ADCA1 に出力
27	PWSAnVRDTy[27]	ADCAnPWDVCR.MPXE ビットの設定値となります。注 1（奇数チャネル）
26～24	PWSAnVRDTy [26:24]	ADCAnPWDVCR.MPXV[2:0]ビットの設定値となります。注 1（奇数チャネル）
23、22	PWSAnVRDTy [23:22]	ADCAnPWDVCR.ULS[1:0]ビットの設定値となります。（奇数チャネル）
21～16	PWSAnVRDTy [21:16]	ADCAnPWDVCR.GCTRL[5:0]ビットの設定値となります。（奇数チャネル）
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14、13	PWSAnVRDTx [13:12]	ADCAnPWDVCR.ULS[3:2]ビットの設定値となります。（偶数チャネル）

表 37.49　PWSAnPVCRx_y レジスタの内容

ビット位置	ビット名	機能
12	PWSAnSLADx	RH850/F1KM-S4 100-pin 製品、RH850/F1KM-S2 100-pin 製品、RH850/F1KM-S1 製品： 　ライトする場合はリセット後の値を書いてください。 RH850/F1KH-D8 製品、RH850/F1KM-S4 144/176/233/272-pin 製品、RH850/F1KM-S2 144/176-pin 製品： 　ADCA 選択ビット（偶数チャネル） 　0：ADCA0 に出力 　1：ADCA1 に出力
11	PWSAnVRDTx[11]	ADCAnPWDVCR.MPXE ビットの設定値となります。注1（偶数チャネル）
10～8	PWSAnVRDTx [10:8]	ADCAnPWDVCR.MPXV[2:0]ビットの設定値となります。注1（偶数チャネル）
7、6	PWSAnVRDTx[7:6]	ADCAnPWDVCR.ULS[1:0]ビットの設定値となります。（偶数チャネル）
5～0	PWSAnVRDTx[5:0]	ADCAnPWDVCR.GCTRL[5:0]ビットの設定値となります。（偶数チャネル）

注1.　これらのビットは、ADCA0 のみサポートしています。

37.2.1.26　PWSAnPWDDIRz ― PWM-Diag データ補足情報レジスタ

本レジスタは、PWSAnPVCRx_y レジスタに対応した A/D 変換結果を格納します。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　<PWSAn_base> + 0200_H + z × 4_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PWSAnMPXE	PWSAnMPXV[2:0]			—	PWSAnOWE	PWSAnWFLG	—	—	—	PWSAnID[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PWSAnPWDDR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 37.50　PWSAnPWDDIRz レジスタの内容

ビット位置	ビット名	機能
31	PWSAnMPXE	本ビットは、PWSAnVRDTx[11]または PWSAnVRDTy[27]のミラーです。
30～28	PWSAnMPXV[2:0]	本ビットは、PWSAnVRDTx[10:8]または PWSAnVRDTy[26:24]のミラーです。
27	予約ビット	リードした場合はリセット後の値が読めます。
26	PWSAnOWE	本ビットは、A/D 変換結果格納の上書きエラーフラグを示します。設定タイミングは、PWSAnWFLG＝1 のときの PWSAnPWDDR の格納タイミングです。 0：上書きエラーは検出されませんでした。 1：上書きエラーが検出されました。 セット条件： PWSAnWFLG＝1 の時に、新たな A/D 変換結果が PWSAnPWDDR[15:0]に書き込まれた場合 クリア条件： 本レジスタを読み出すか、または PWSAnENBL ビットをクリアした場合
25	PWSAnWFLG	本ビットは、A/D 変換結果格納のライトフラグを示します。設定タイミングは、PWSAnPWDDR の格納タイミングです。 0：本レジスタをリード、または A/D 変換が完了しなかった。 1：A/D 変換結果が格納された（ただし、未読）。 セット条件： A/D 変換結果が PWSAnPWDDR[15:0]に書き込まれた場合 クリア条件： 本レジスタを読み出すか、または PWSAnENBL ビットをクリアした場合
24～22	予約ビット	リードした場合はリセット後の値が読めます。
21～16	PWSAnID[5:0]	本ビットは、PWSAnVRDTx[5:0]または PWSAnVRDTy[21:16]のミラーです。
15～0	PWSAnPWDDR[15:0]	本ビットは、ADCAn から ADC_PWDDRn[15:0] pin で送信される A/D 変換結果を示します。 データフォーマットは、ADCAnPWDTSNDR.PWDDR[15:0]と同じです。

37.2.1.27　PWSAnEMU — PWSA エミュレーション制御レジスタ

本レジスタは、エミュレーション時の動作を設定するレジスタです。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<PWSAn_base> + $000C_H$

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PWSAnSVSDIS
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 37.51　PWSAnEMU レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	PWSAnSVSDIS	（EPC.SVSTOP ビット＝0 のとき） 本ビットの値（1/0）にかかわらず、デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）動作を継続 （EPC.SVSTOP ビット＝1 のとき） 0：デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで） – A/D への出力状態を保持し、ブレークポイント期間中に入力された ADC_CONV_ENDn 入力は内部保持してブレーク解除後に PWSAnQUEj の更新を行う。 – PWGA_TRGOUTn 入力はブレーク期間中も受け付け、INTQFULL も出力する。 – レジスタに対する書き込みと読み出しは可能である。 1：デバッガがマイクロコントローラの制御を取得した場合に（ブレークポイントなどで）動作を継続 本ビットは、PWMCLKm を使用するカウンタがすべて停止している（PWBAnTE.PWBATEm＝0）、すべてのチャネル PWGAn が停止中（SLPWGAk.SLPWGA）、すべてのチャネル PWGAn からトリガが発生していない（PWSAnQUE0 がリセット後の値）場合のみ書き換え可能です。

37.2.1.28　PWGAINTFhk — PWGA 割り込み要因レジスタ（k＝0～2）

本レジスタは、PWGAINTMSKhk の設定に依存せずに生成された、PWGAn 割り込み（PWGA_INTn）に関する情報を含みます。ブロック図イメージについては、「**図 37.1 PWGA 割り込み接続イメージ（PWGA96 チャネル組み込み）**」を参照してください。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　<PWGAINTF_base> + h × 30_H + k × 10_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PWGAINTFhk[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PWGAINTFhk[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 37.52　PWGAINTFhk レジスタの内容

ビット位置	ビット名	機能
31～0	PWGAINTFhk [31:0]	PWGA_INTn 割り込みの発生ビット 0：割り込みが発生しなかった 1：割り込みが発生した 本ビットは、以下のチャネルに対応します。 PWGAINTFh0[31:0]：PWGA31 - PWGA0 PWGAINTFh1[31:0]：PWGA63 - PWGA32 PWGAINTFh2[31:0]：PWGA95 - PWGA64

37.2.1.29　PWGAINTMSKhk ― PWGA 割り込みマスクレジスタ（k＝0～2）

本レジスタは、INTC2 への PWGAn 割り込み出力を各チャネルごとにマスクします。ブロック図イメージについては、「**図 37.1 PWGA 割り込み接続イメージ（PWGA96 チャネル組み込み）**」を参照してください。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<PWGAINTF_base> + h × 30_H + k × 10_H + 4_H

リセット後の値　FFFF $FFFF_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PWGAINTMSKhk[31:16]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PWGAINTMSKhk[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 37.53　PWGAINTMSKhk レジスタの内容

ビット位置	ビット名	機能
31～0	PWGAINTMSKhk [31:0]	INTC2 への PWGA 割り込み出力マスクビット 　0：マスクされていない 　1：マスクされた 本ビットは、以下のチャネルに対応します。 　PWGAINTMSKh0[31:0]：PWGA31 - PWGA0 　PWGAINTMSKh1[31:0]：PWGA63 - PWGA32 　PWGAINTMSKh2[31:0]：PWGA95 - PWGA64

37.2.1.30 PWGAINTFChk — PWGA 割り込み要因クリアレジスタ（k＝0～2）

本レジスタは、PWGA 割り込み要因レジスタ（PWGAINTF0k）のビットをクリアします。ブロック図イメージについては、「**図 37.1 PWGA 割り込み接続イメージ（PWGA96 チャネル組み込み）**」を参照してください。

アクセス 32 ビット単位でライトのみ可能です。

アドレス <PWGAINTF_base> + h × 30_H + k × 10_H + 8_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PWGAINTFChk[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PWGAINTFChk[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

表 37.54 PWGAINTFChk レジスタの内容

ビット位置	ビット名	機能
31～0	PWGAINTFChk [31:0]	PWGAINTFhk[31:0]フラグクリアビット 0：— 1：クリア 本ビットは、以下のチャネルに対応します。 PWGAINTFCh0[31:0]：PWGA31 - PWGA0 PWGAINTFCh1[31:0]：PWGA63 - PWGA32 PWGAINTFCh2[31:0]：PWGA95 - PWGA64

37.3 操作手順

PWM-Diag の動作開始、動作停止の設定手順を以下に示します。

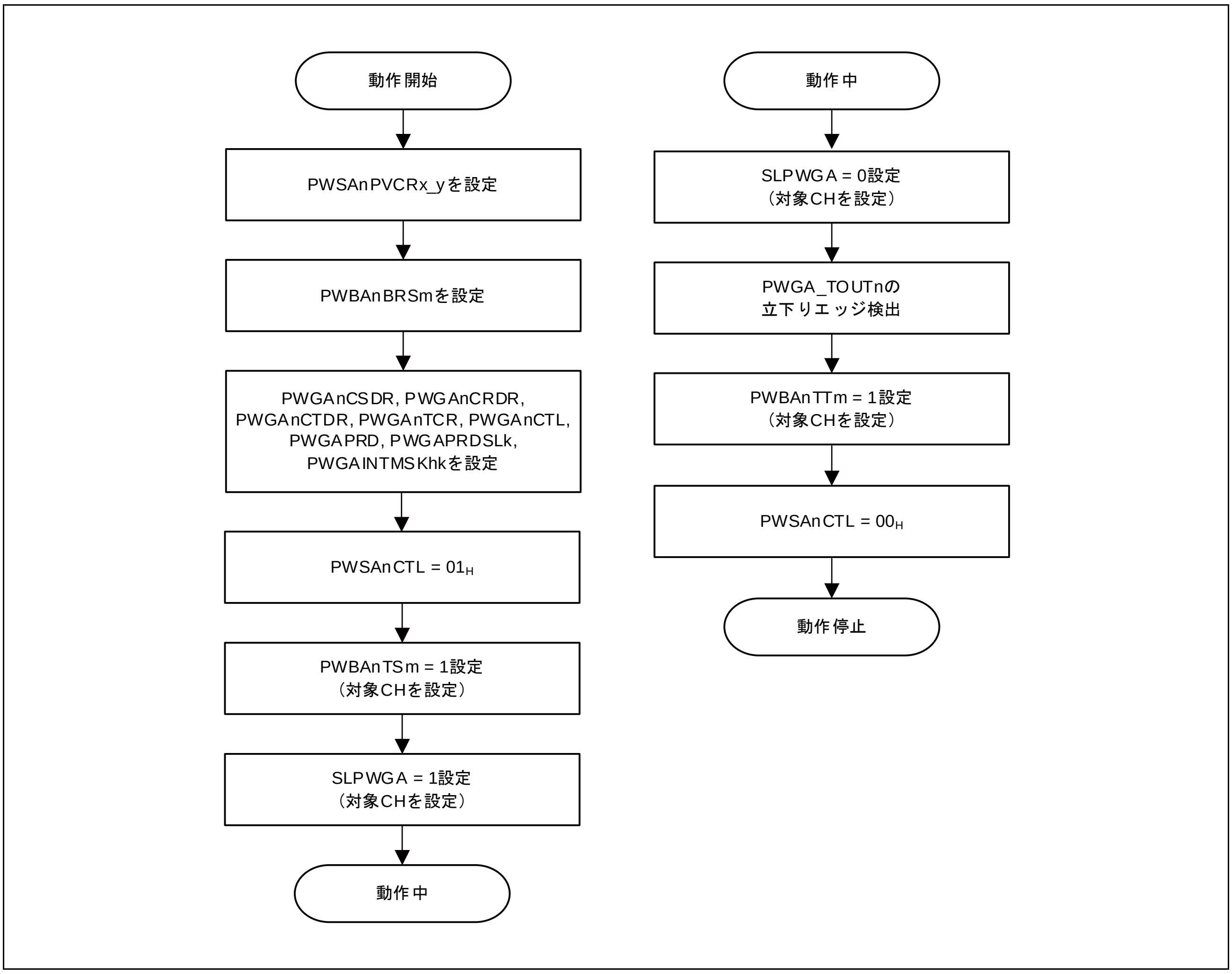
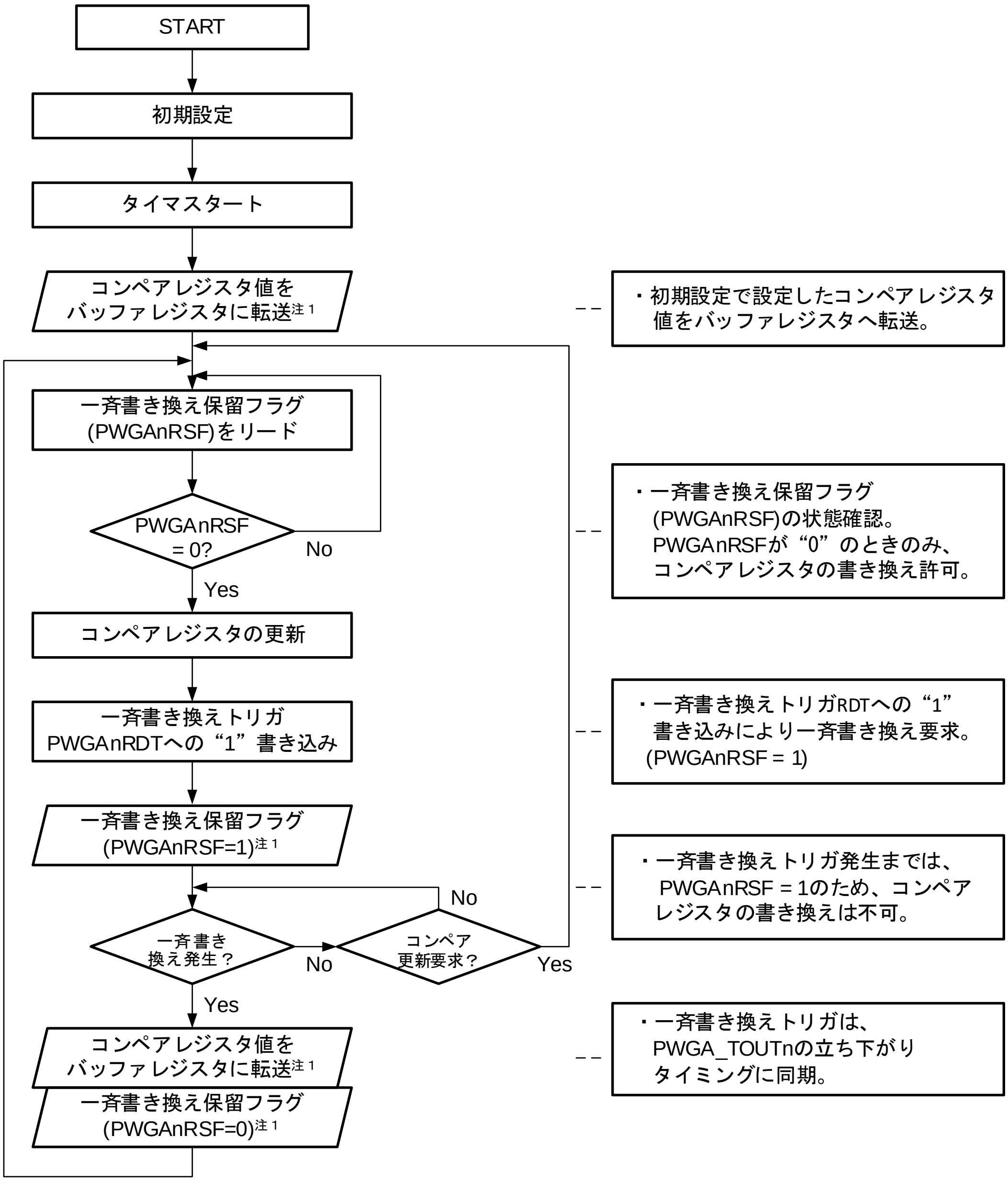


図 37.3 PWM-Diag の操作手順

PWGA のコンペアバッファレジスタ一斉書き換え手順を、以下に示します。

「コンペアレジスタ」と記載している箇所は、「PWGAnCSDR」、「PWGAnCRDR」、「PWGAnCTDR」を意味します。

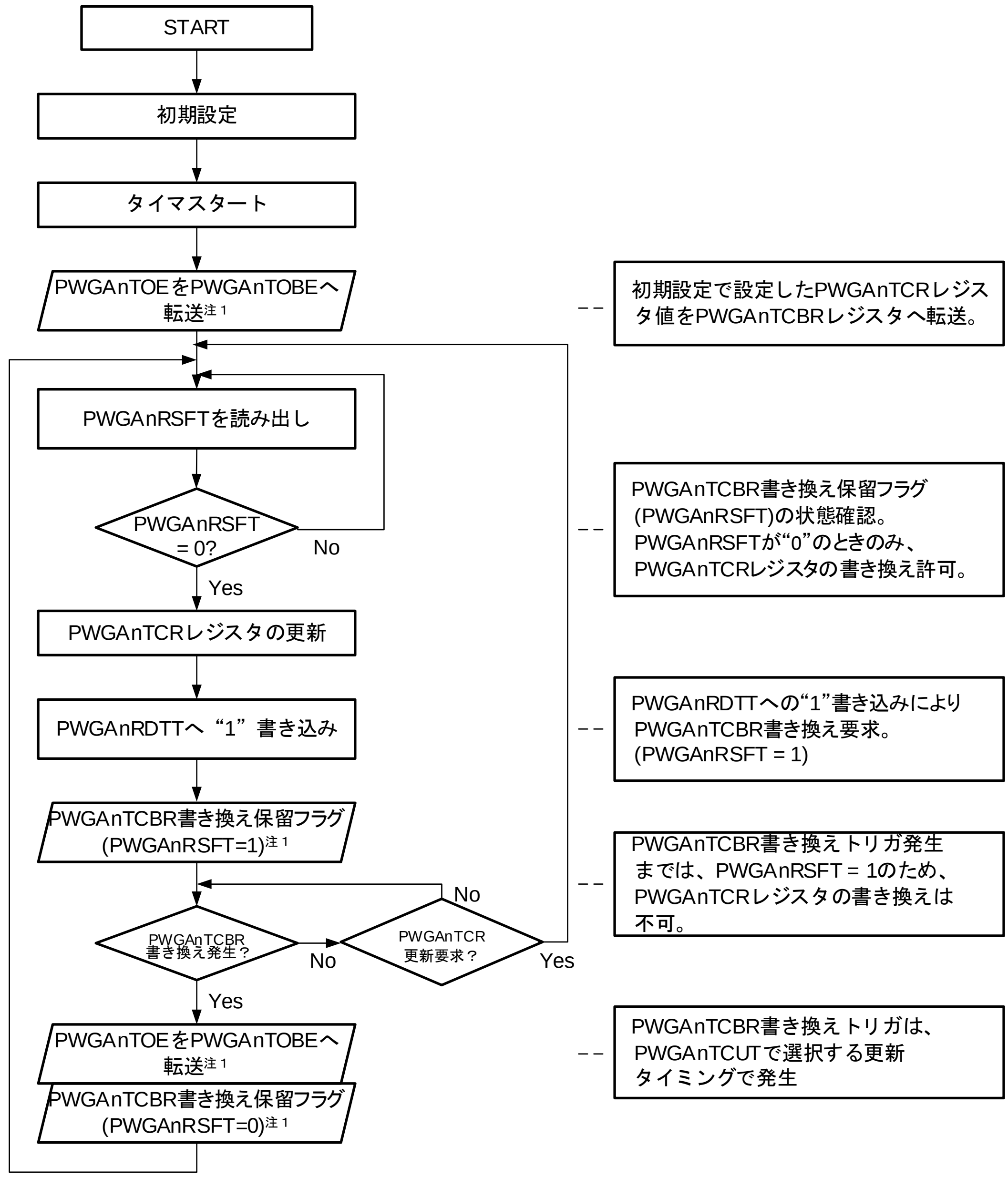
また、「バッファレジスタ」と記載している箇所は、「PWGAnCSBR」、「PWGAnCRBR」、「PWGAnCTBR」を意味します。



注1. ハードウェアによる遷移です。

図 37.4 コンペアバッファレジスタ一斉書き換え手順

PWGA の PWGAnTCBR レジスタ書き換え手順を、以下に示します。



注1.　ハードウェアによる遷移です。

図 37.5　　PWGAnTCBR レジスタ書き換え手順

37.4　PWM-Diag の動作波形

37.4.1　PWGA による PWM 波形出力と A/D 変換トリガ出力の動作波形

37.4.1.1　PWGA の基本動作波形

PWGA の基本動作波形を以下に示します。

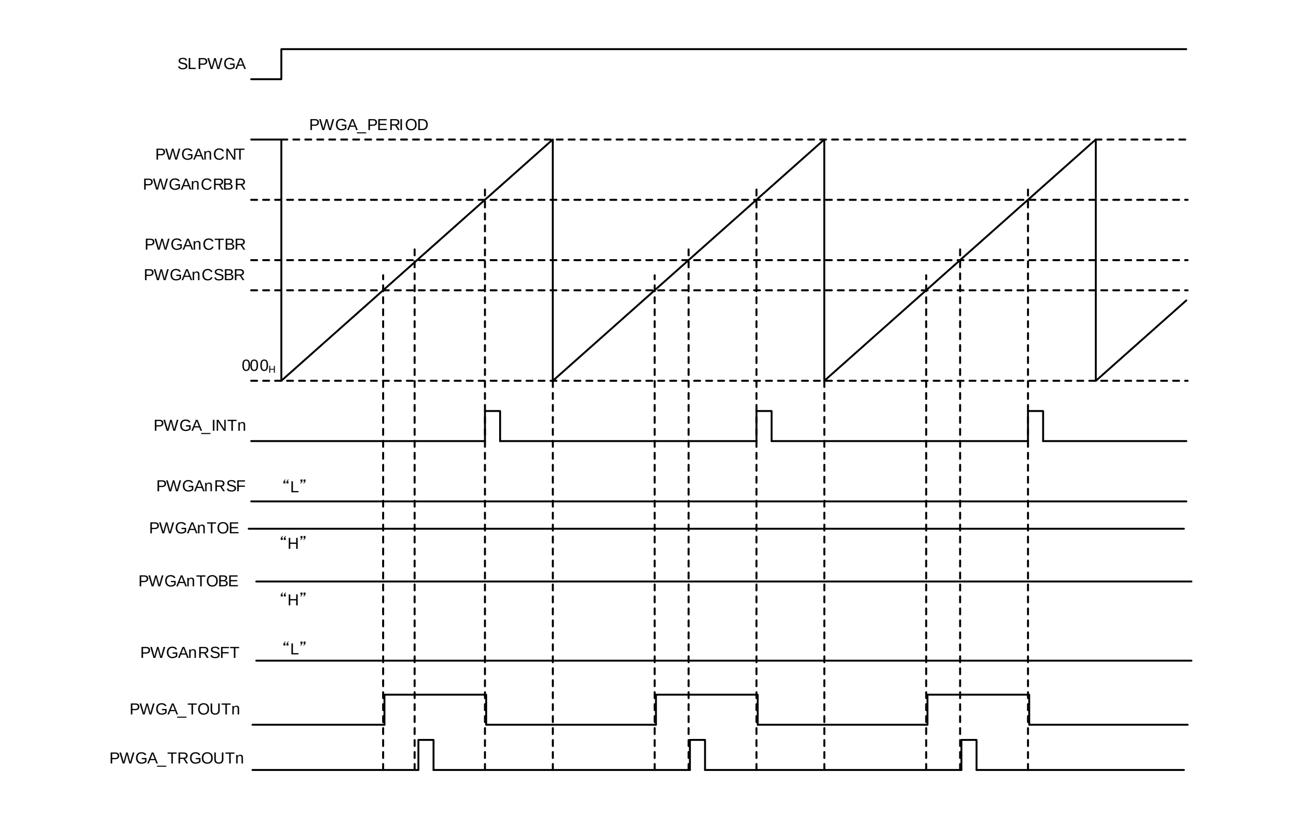


図 37.6　基本波形図

37.4.1.2 PWGA のコンペアバッファレジスター斉書き換え実行時の動作波形

PWGA のコンペアバッファレジスター斉書き換え実行時の動作波形を以下に示します。

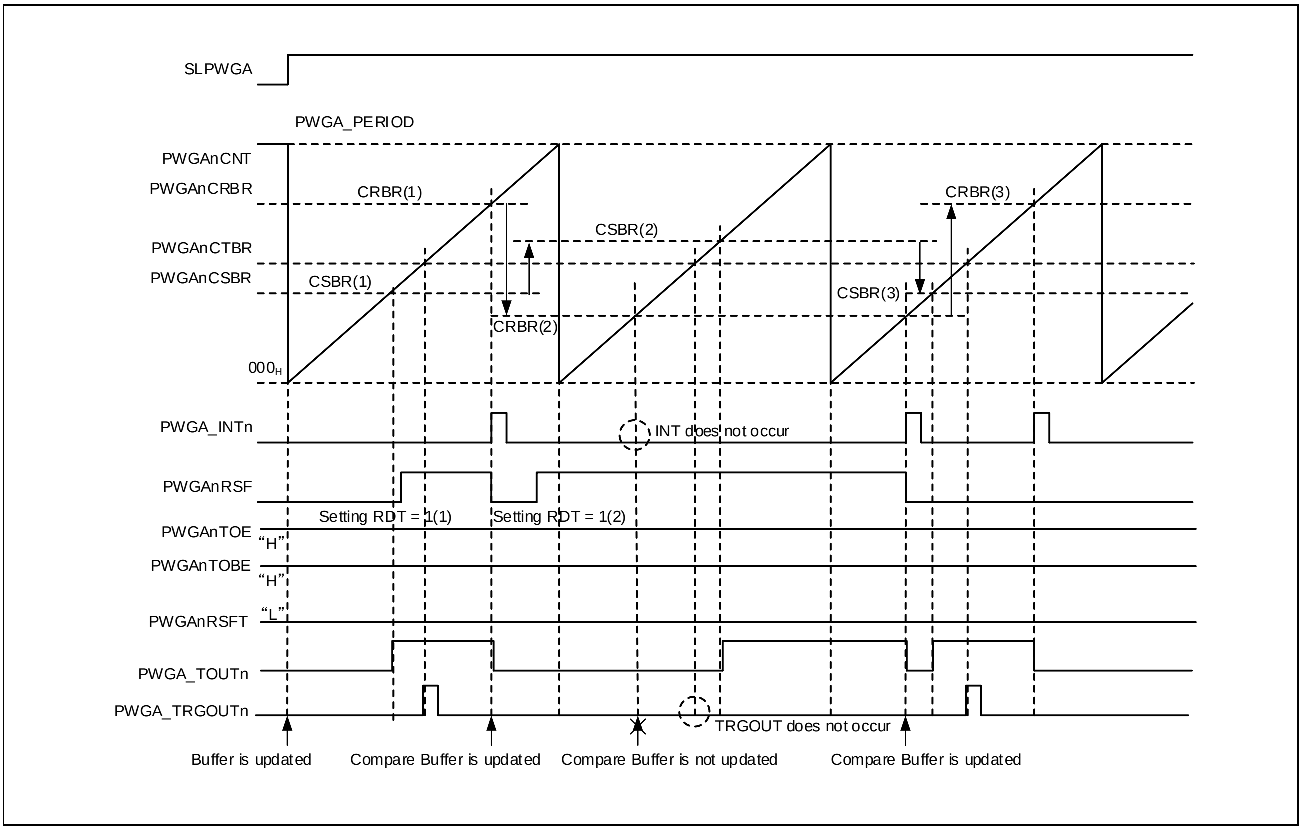


図 37.7 コンペアバッファレジスター斉書き換え実行時の波形（PWGAnOCL＝0）

コンペアバッファレジスター斉書き換えは、PWGAnCSDR レジスタと PWGAnCRDR レジスタを再設定し、次に PWGAnRDT レジスタまたは SLPWGAk レジスタのいずれかを設定することによって実行されます。

また、1 インターバルで設定値の関係が PWGAnCSDR＞PWGAnCRDR の場合は、そのインターバルでの立下りは意味をなさず、次のインターバルの立下りが有効となります。

PWGAnOCL＝1 の場合、「**図 37.7 コンペアバッファレジスター斉書き換え実行時の波形（PWGAnOCL＝0）**」の「TRGOUT が発生していない」タイミングでも PWGAn_TRGOUTn が発生します。

37.4.1.3 PWGA の PWGAnTCBR レジスタ書き換え実行時の動作波形

PWGA の PWGAnTCBR レジスタ書き換え実行時の動作波形を以下に示します。

PWGAnTCBR レジスタの書き換えは、PWGAnRDTT レジスタ設定の後に PWGAnTCR レジスタを再設定することで行われます。

PWGAnRDTT が要求する、PWGAnTCBR レジスタの更新タイミングは、PWGAnTCUT の設定に依存します。

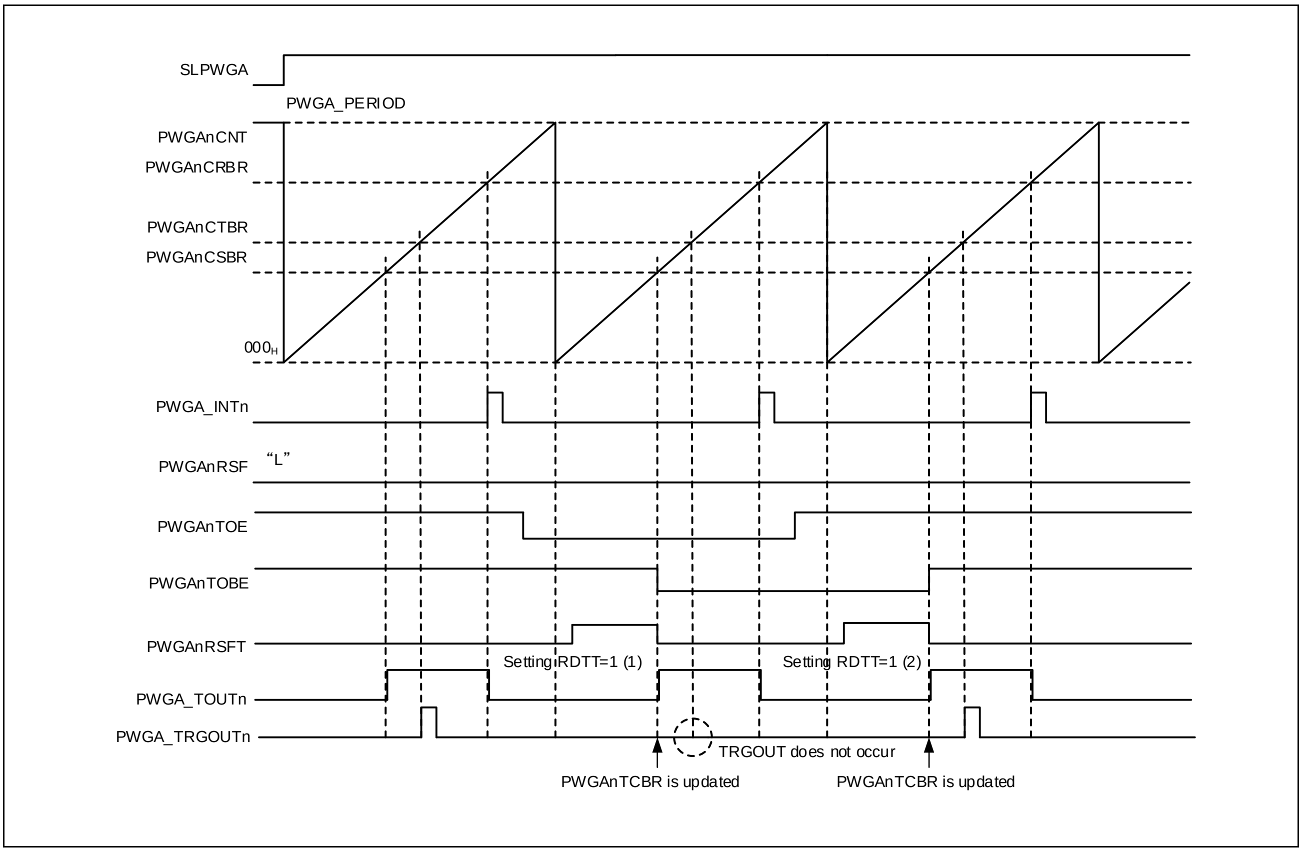


図 37.8 PWGAnTCBR レジスタ書き換え実行時の波形（PWGAnOCL＝0、PWGAnTCUT＝01B）

PWGAnOCL＝1 でも PWGAnTOBE＝0 なので、「**図 37.8 PWGAnTCBR レジスタ書き換え実行時の波形（PWGAnOCL＝0、PWGAnTCUT＝01B）**」の「TRGOUT が発生していない」タイミングで PWGAn_TRGOUTn は発生しません。

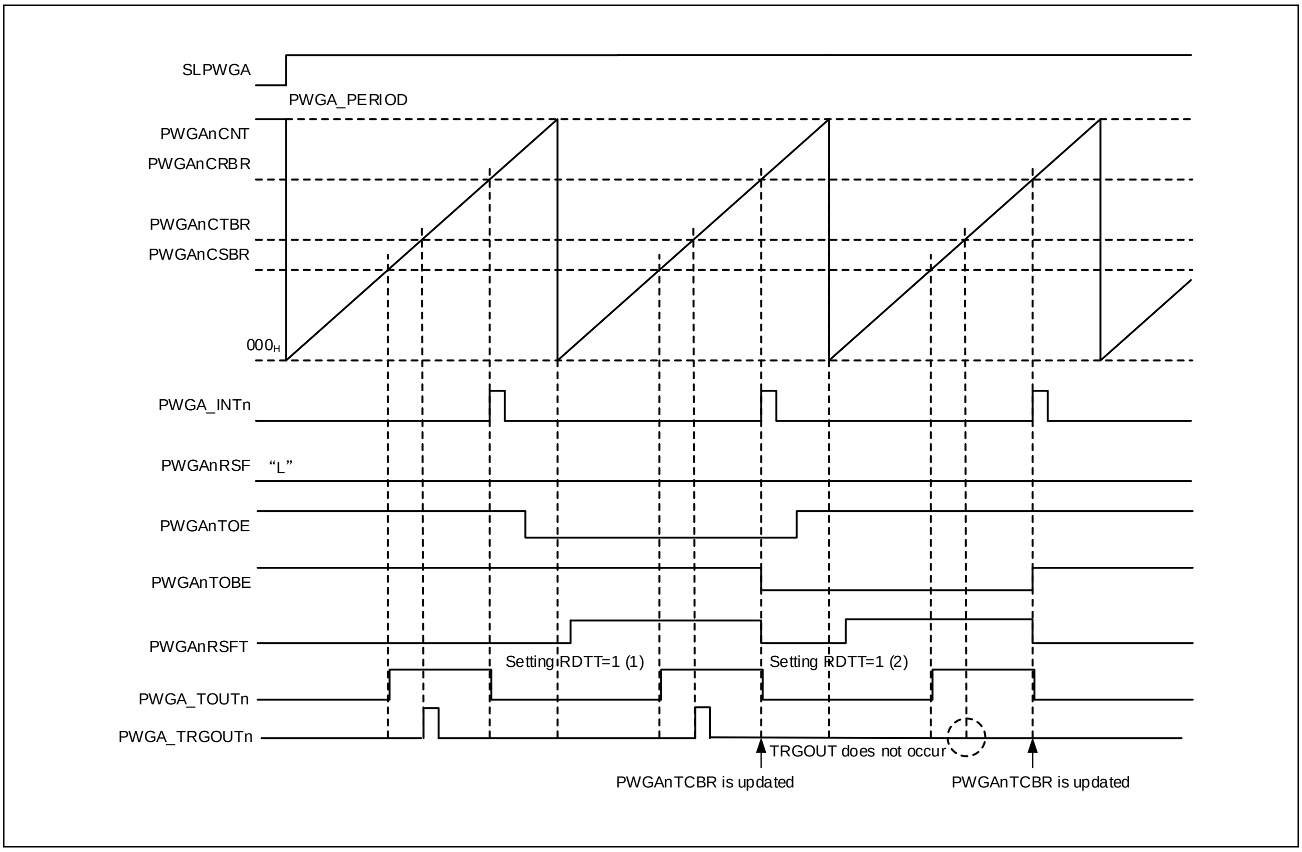


図 37.9 PWGAnTCBR レジスタ書き換え実行時の波形（PWGAnOCL＝0、PWGAnTCUT＝10B）

PWGAnOCL＝1 でも PWGAnTOBE＝0 なので、「**図 37.9 PWGAnTCBR レジスタ書き換え実行時の波形（PWGAnOCL＝0、PWGAnTCUT＝10B）**」の「TRGOUT が発生していない」タイミングで PWGAn_TRGOUTn は発生しません。

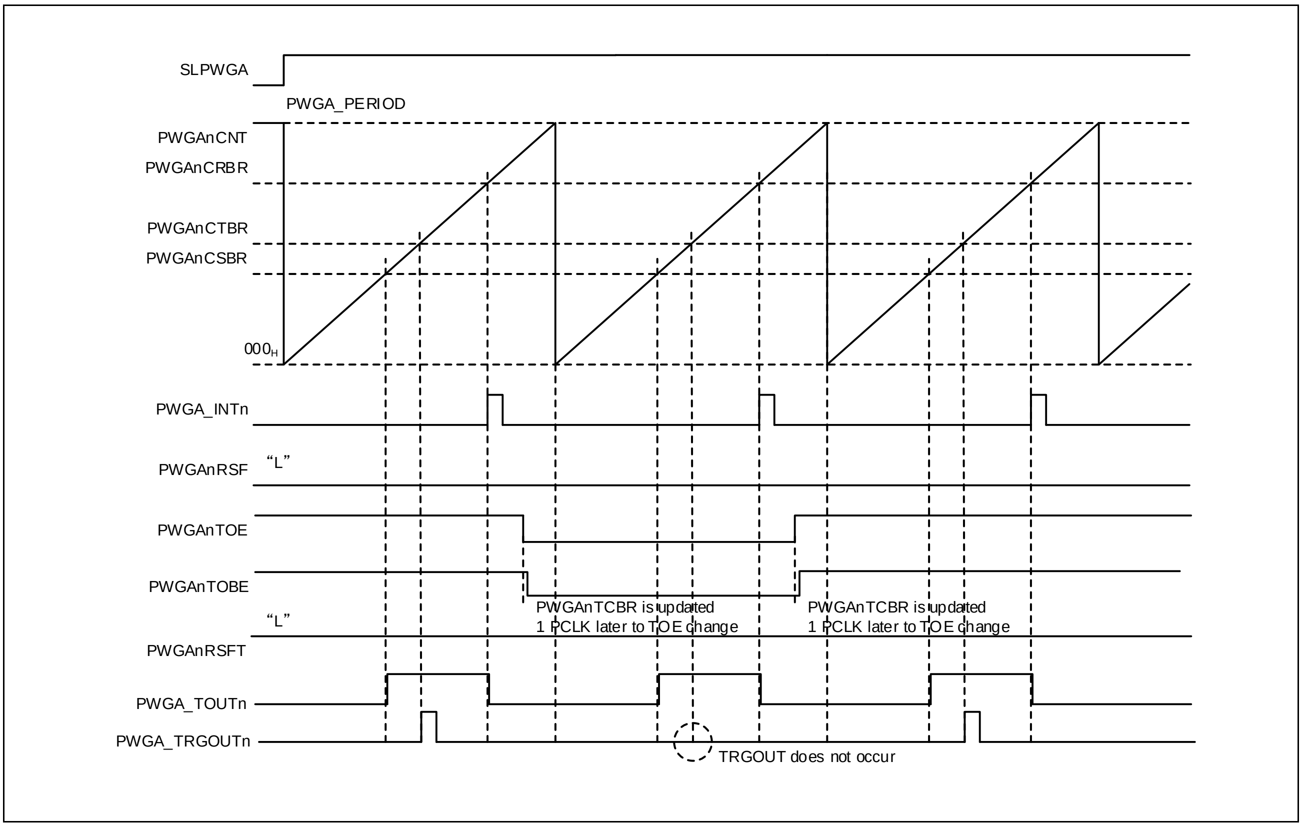


図 37.10　PWGAnTCBR レジスタ書き換え実行時の波形（PWGAnOCL＝0、PWGAnTCUT＝11B）

PWGAnOCL＝1 でも PWGAnTOBE＝0 なので、「**図 37.10 PWGAnTCBR レジスタ書き換え実行時の波形（PWGAnOCL＝0、PWGAnTCUT＝11B）**」の「TRGOUT が発生していない」タイミングで PWGAn_TRGOUTn は発生しません。

37.4.1.4 PWGA の動作停止・再開時の動作波形

PWGA の動作停止・再開時の動作波形を以下に示します。

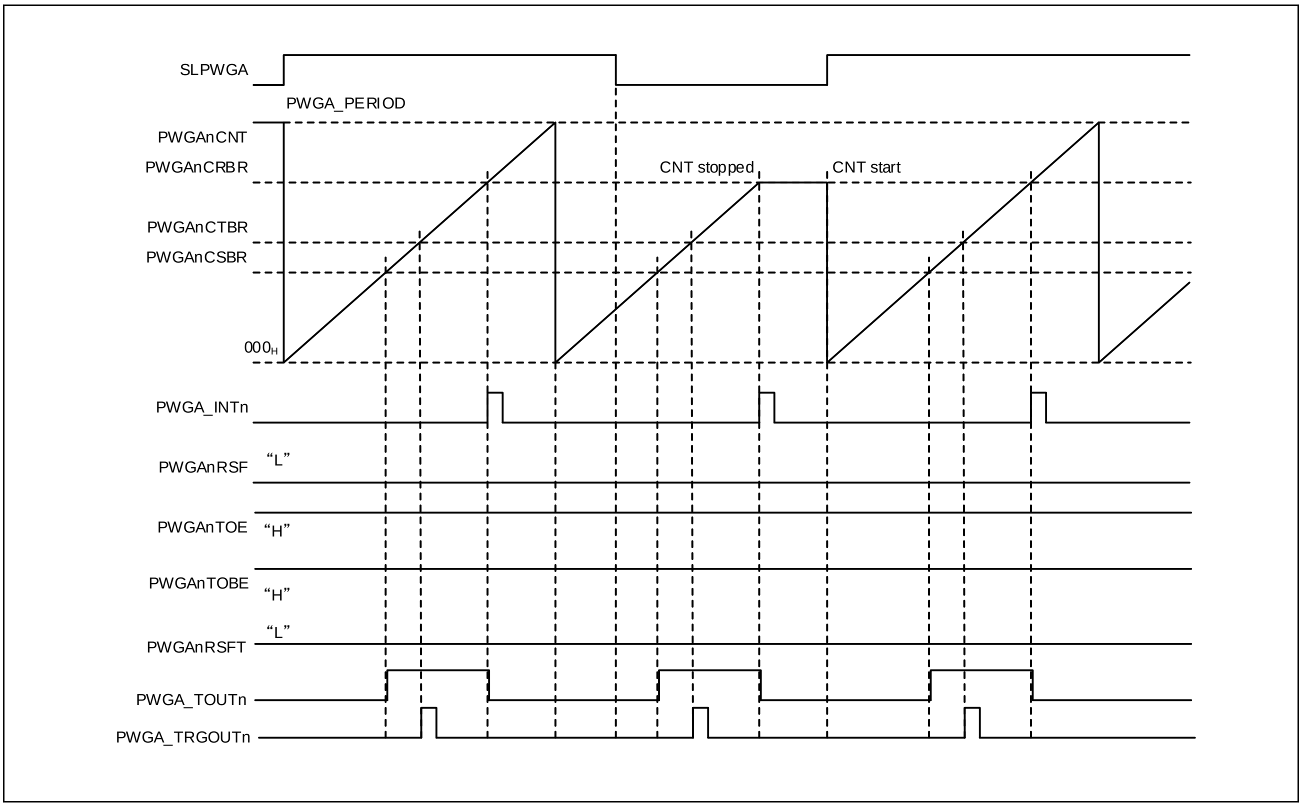


図 37.11 動作停止動作再開（1）

SLPWGA＝1→0 設定後、PWGA_INTn 発生により、PWGAnCNT は動作を停止します。

PWGA_INTn 発生後、SLPWGA＝0→1 設定により、PWGAnCNT が 000_H からカウント動作を再開します。

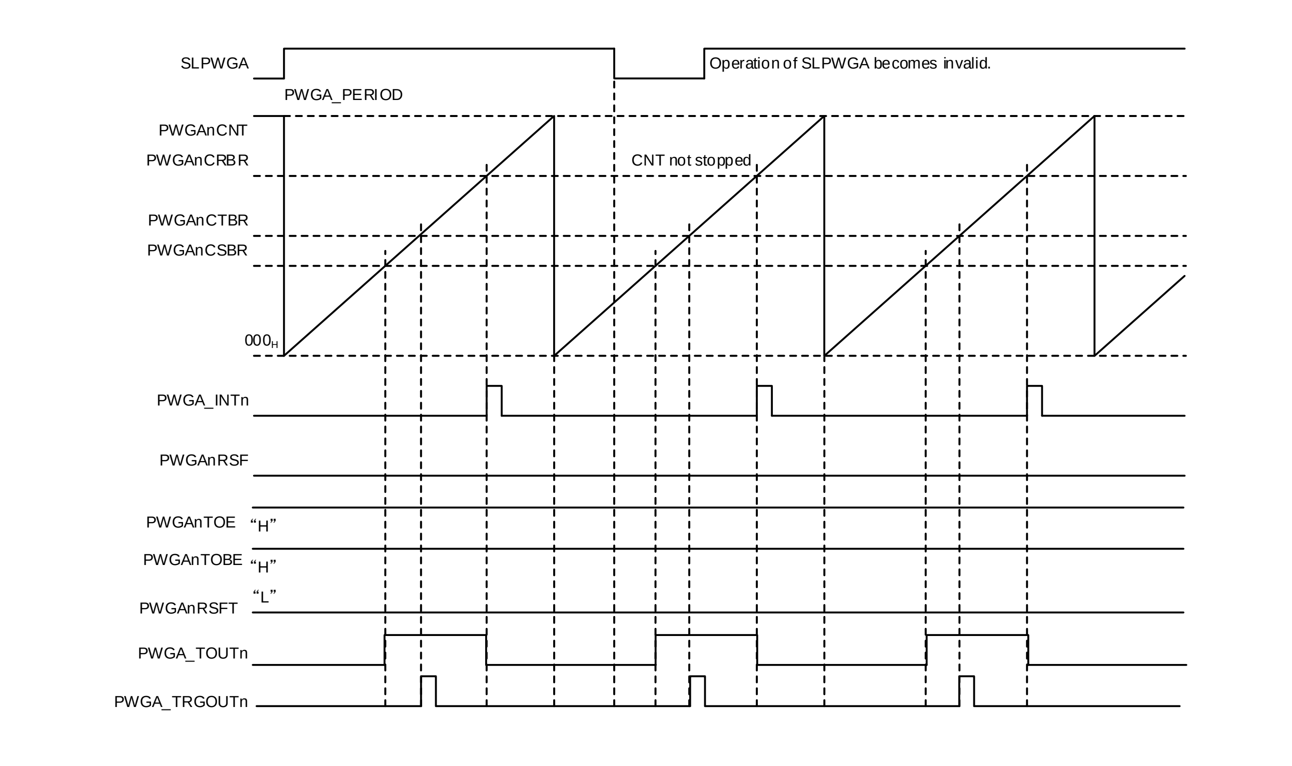


図 37.12　動作停止動作再開（2）

SLPWGA＝1→0 設定後、PWGA_INTn 発生前に SLPWGA＝0→1 設定した場合、SLPWGA の操作は無効となり、PWGAnCNT はカウント動作を継続します。

37.4.1.5　PWGA の特定の設定時の動作波形

PWGA の特定の設定時の動作波形を以下に示します。

PWGAnOCL が 0 に設定され、PWGAnCSBR が PWGAnCRBR に等しいとき、PWGA_TOUTn はロウレベルに固定され、図で示されるように、PWGA_TRGOUTn は有効になりません。

PWGAnOCL が 1 にセットされると、PWGA_TOUTn レベルに関係なく、PWGAnCNT が PWGAnCTBR に一致するタイミングで PWGA_TRGOUTn が発生します。

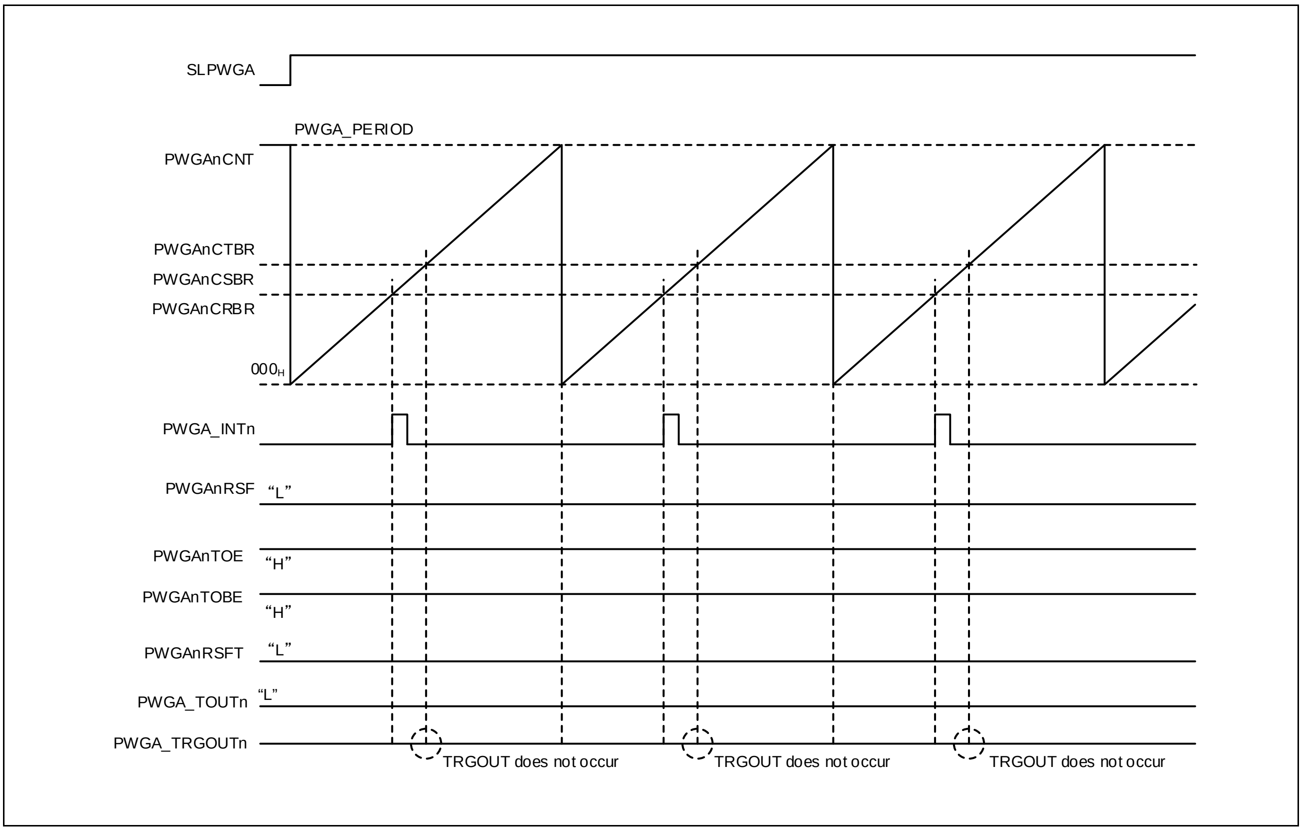


図 37.13　PWGA_TOUTn＝0%出力波形

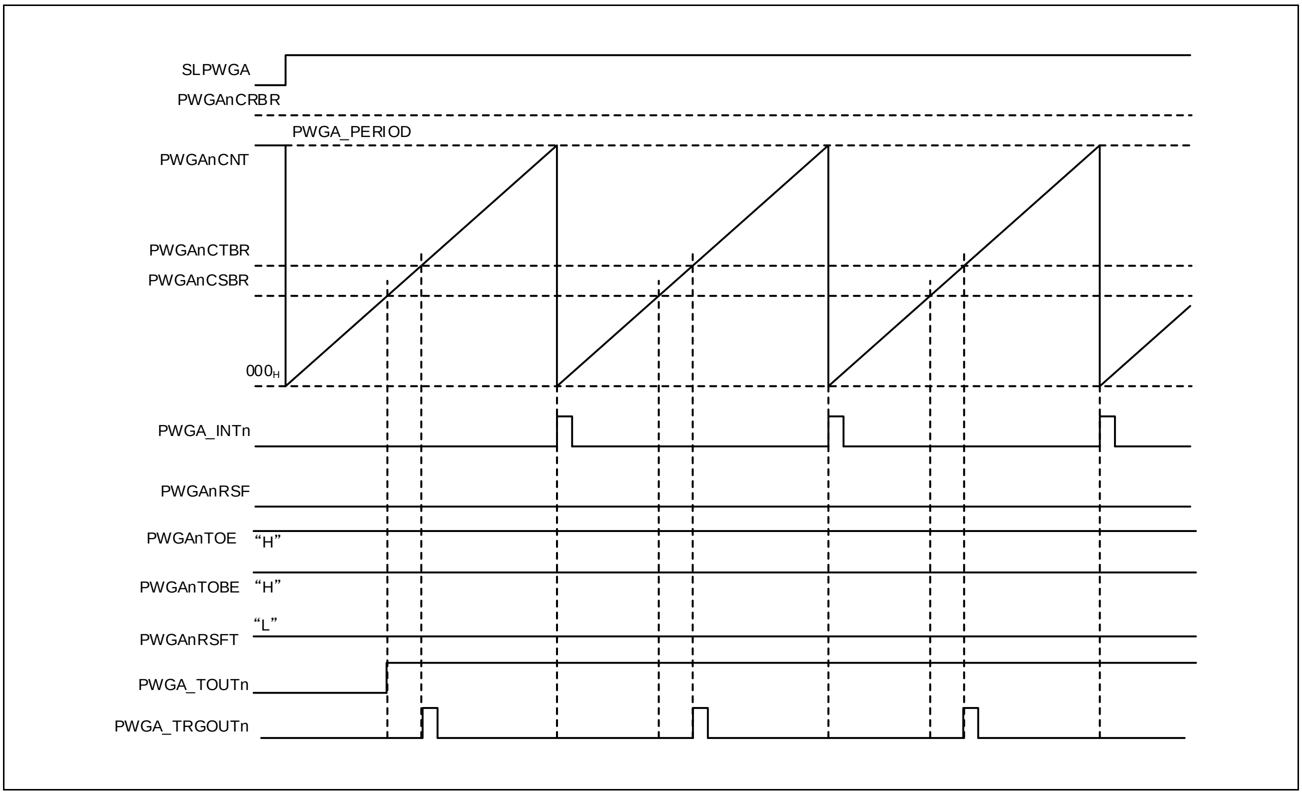
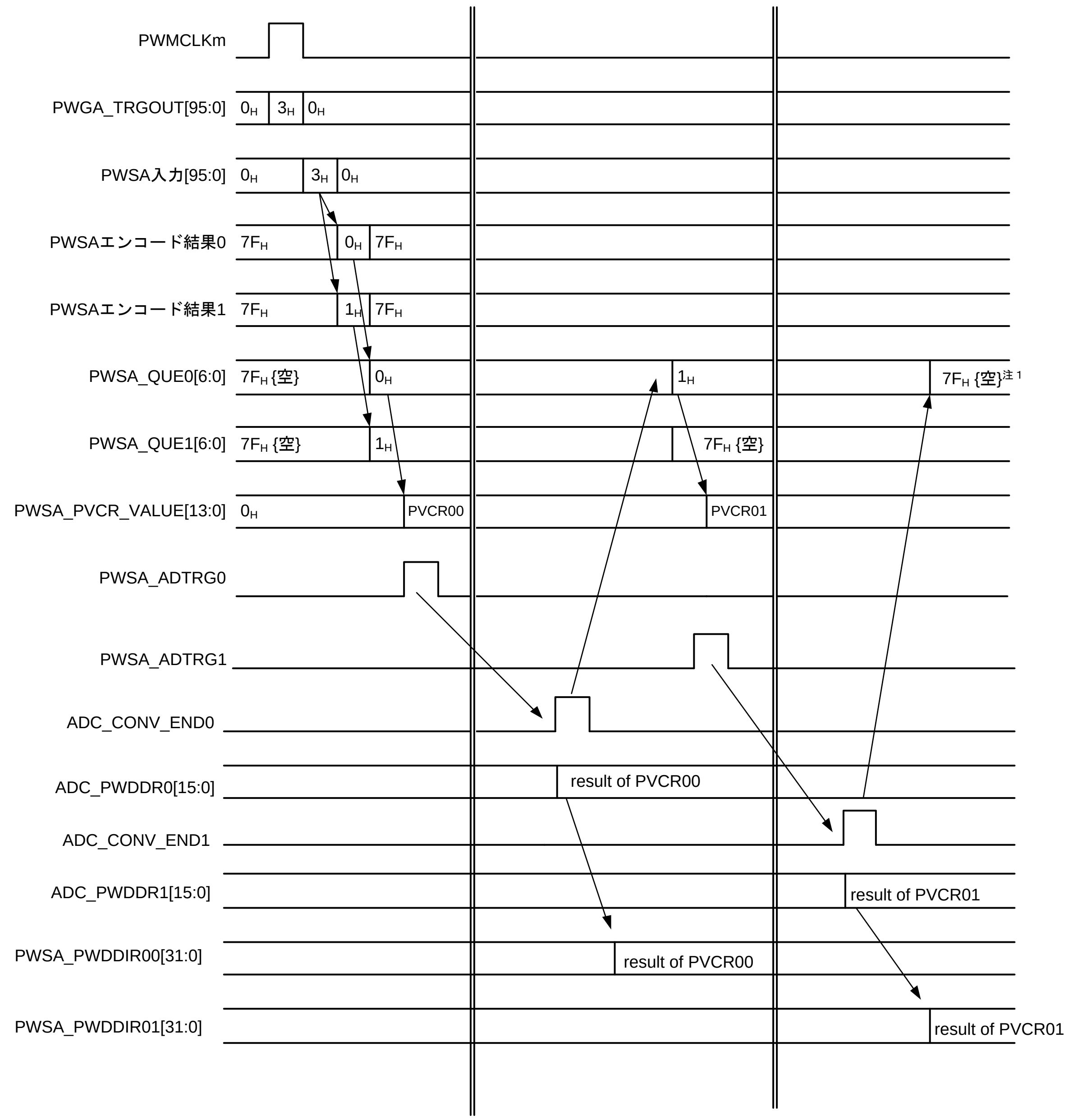


図 37.14　PWGA_TOUTn＝100%出力波形

37.4.2　PWSA による A/D 変換トリガ発生時の動作波形

PWSA の動作例を以下に示します。



注1.　QUE0 は A/D 変換実行中の PWGA_TRG 番号を表します。$7F_H$ は初期値（AD 変換が実行されていない状態）を表しています。

図 37.15　PWSA の動作例

(1) PWGA のチャネル 0、1 で同時にトリガが発生。チャネル番号の小さいチャネル 0 が PWSAnQUE0、番号の大きいチャネル 1 が PWSAnQUE1 に格納される。PWSAnQUE0 に格納された値に対応する PWSAnPVCR00_01 の下位 16bit の情報を A/D コンバータに送信、A/D コンバータにトリガを出力する。
ADCA0 または ADCA1 の A/D コンバータが、PWSAnPVCR00_01 の PWSAnSLAD00 ビットによって選択される。この例では、PWSAnSLAD00 が 0 で、ADCA0 が選択されていることを示している。
このときチャネル 1 に対応する A/D 変換は待機状態となるため、PWSAnSTR.PWSAnQNE ビットがセットされる。

(2) ステップ(1)で実行した A/D 変換が完了すると、PWSAnPWDDIR00 の下位 16 ビットに A/D 変換結果が格納される。PWSAnPWDDIR00 の上位 16 ビットは、PWSAnPVCR00_01[15:0]ビット情報のミラーとなる。PWSAnQUE1 のチャネル番号が PWSAnQUE0 にシフトし、PWSAnQUE1 が空の状態になる。
その後、ステップ(1)と同様に、PWSAnQUE0 に格納された値に対応する PWSAnPVCR00_01 の上位 16 ビットの情報を A/D コンバータに送信、A/D コンバータにトリガを出力する。この例では、PWSAnSLAD01 が 1 で、ADCA1 が選択されていることを示している。

(3) ステップ(2)で実行した A/D 変換が完了すると、PWSAnPWDDIR01 の下位 16 ビットに A/D 変換結果が格納される。PWSAnPWDDIR01 の上位 16 ビットは、PWSAnPVCR00_01[31:16]ビット情報のミラーとなる。PWSAnQUE0 が空の状態になる。

37.5　A/D コンバータ（ADCA）の PWM-Diag 関連機能

本節では、PWM-Diag 機能で使用する A/D コンバータについて説明します。

37.6　PWM-Diag 機能使用時の ADCA レジスタ

- PWSA の動作開始前に、以下のレジスタを使用して A/D コンバータの設定を行う必要があります。
  - PWM-Diag 用スキャングループ制御レジスタ（ADCAnPWDSGCR）
- PWM-Diag 動作中は変換中のチャネルに対応する PWSAnPVCRx_y の設定値が A/D コンバータの以下のレジスタに設定されます。
  - PWM-Diag 仮想チャネルレジスタ（ADCAnPWDVCR）
- A/D 変換完了後は、以下のレジスタをリードすることで変換結果を確認できます。
  - PWM-Diag データレジスタ（ADCAnPWDTSNDR）
  - PWM-Diag データ付帯情報レジスタ（ADCAnPWDDIR, PWSAnPWDDIRz 注1）
- 上限／下限エラー検出機能を使用することで、A/D 変換結果が期待値の範囲を超えていることを確認できます。上限／下限エラー検出機能は以下のレジスタで設定します。
  - 上限／下限エラーレジスタ（ADCAnULER）
- PWM-Diag スキャングループのスキャン終了フラグは以下のレジスタでクリアできます。
  - PWM-Diag スキャン終了フラグクリアレジスタ（ADCAnPWDSGSEFCR）

注1. PWSAnPWDDIRz レジスタは PWSA にあります。

第38章　A/D コンバータ（ADCA）

本章では、A/D コンバータ（ADCA）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1KH, RH850/F1KM に固有の特長について説明します。

それ以降の節では、ADCA の機能、レジスタについて説明します。

38.1　RH850/F1KH, RH850/F1KM ADCA の特長

38.1.1　ユニット数とチャネル数

本製品は、以下のユニット数の ADCA を搭載しています。

表 38.1　ユニット数 (RH850/F1KH-D8)

製品名	RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 324 Pin
ユニット数	2	2	2
名称	ADCAn (n＝0, 1)	ADCAn (n＝0, 1)	ADCAn (n＝0, 1)

表 38.2　ユニット数 (RH850/F1KM-S4)

製品名	RH850/F1KM-S4 100 Pin	RH850/F1KM-S4 144 Pin	RH850/F1KM-S4 176 Pin	RH850/F1KM-S4 233 Pin	RH850/F1KM-S4 272 Pin
ユニット数	1	2	2	2	2
名称	ADCAn (n＝0)	ADCAn (n＝0, 1)	ADCAn (n＝0, 1)	ADCAn (n＝0, 1)	ADCAn (n＝0, 1)

表 38.3　ユニット数 (RH850/F1KM-S2)

製品名	RH850/F1KM-S2 100 Pin	RH850/F1KM-S2 144 Pin	RH850/F1KM-S2 176 Pin
ユニット数	1	2	2
名称	ADCAn (n＝0)	ADCAn (n＝0, 1)	ADCAn (n＝0, 1)

表 38.4　ユニット数 (RH850/F1KM-S1)

製品名	RH850/F1KM-S1 48 Pin	RH850/F1KM-S1 64 Pin	RH850/F1KM-S1 80 Pin	RH850/F1KM-S1 100 Pin
ユニット数	1	1	1	1
名称	ADCAn (n＝0)	ADCAn (n＝0)	ADCAn (n＝0)	ADCAn (n＝0)

ADCAn ユニットには A/D 入力端子に対応した物理チャネルと A/D 変換結果の格納先に対応した仮想チャネルがあります。各製品が使用できるチャネル数は以下の通りです。

表 38.5　ADCAn のユニット構成と物理チャネルの対応（RH850/F1KH-D8）

ユニット名 ADCAn		RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 324 Pin
ADCA0	12 ビット変換用端子[注1]	16	16	16
	10 ビット変換用端子[注2]	18	18	18
ADCA1	12 ビット変換用端子[注1]	16	16	16
	10 ビット変換用端子[注2]	8	20	20

注1.　10 ビットモード選択時は 10 ビット変換用端子として使用可能です。

注2.　12 ビットモード選択時は 10 ビット変換用端子の変換結果の下位 2 ビットをマスクして使用する必要があります。

表 38.6　ADCAn のユニット構成と物理チャネルの対応（RH850/F1KM-S4）

ユニット名 ADCAn		RH850/F1KM-S4 100 Pin	RH850/F1KM-S4 144 Pin	RH850/F1KM-S4 176 Pin	RH850/F1KM-S4 233 Pin	RH850/F1KM-S4 272 Pin
ADCA0	12 ビット変換用端子[注1]	16	16	16	16	16
	10 ビット変換用端子[注2]	16	18	18	18	18
ADCA1	12 ビット変換用端子[注1]	—	8	16	16	16
	10 ビット変換用端子[注2]	—	4	8	20	20

注1.　10 ビットモード選択時は 10 ビット変換用端子として使用可能です。

注2.　12 ビットモード選択時は 10 ビット変換用端子の変換結果の下位 2 ビットをマスクして使用する必要があります。

表 38.7　ADCAn のユニット構成と物理チャネルの対応（RH850/F1KM-S2）

ユニット名 ADCAn		RH850/F1KM-S2 100 Pin	RH850/F1KM-S2 144 Pin	RH850/F1KM-S2 176 Pin
ADCA0	12 ビット変換用端子[注1]	16	16	16
	10 ビット変換用端子[注2]	16	18	18
ADCA1	12 ビット変換用端子[注1]	—	8	16
	10 ビット変換用端子[注2]	—	4	8

注1.　10 ビットモード選択時は 10 ビット変換用端子として使用可能です。

注2.　12 ビットモード選択時は 10 ビット変換用端子の変換結果の下位 2 ビットをマスクして使用する必要があります。

表 38.8　ADCAn のユニット構成と物理チャネルの対応（RH850/F1KM-S1）

ユニット名 ADCAn		RH850/F1KM-S1 48 Pin	RH850/F1KM-S1 64 Pin	RH850/F1KM-S1 80 Pin	RH850/F1KM-S1 100 Pin
ADCA0	12 ビット変換用端子[注1]	8	10	11	16
	10 ビット変換用端子[注2]	4	11	14	20

注1.　10 ビットモード選択時は 10 ビット変換用端子として使用可能です。

注2.　12 ビットモード選択時は 10 ビット変換用端子の変換結果の下位 2 ビットをマスクして使用する必要があります。

表 38.9　ADCAn のユニット構成と仮想チャネルの対応（RH850/F1KH-D8）

ユニット名 ADCAn	RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 324 Pin
ADCA0	50	50	50
ADCA1	36	36	36

表 38.10　ADCAn のユニット構成と仮想チャネルの対応（RH850/F1KM-S4）

ユニット名 ADCAn	RH850/F1KM-S4 100 Pin	RH850/F1KM-S4 144 Pin	RH850/F1KM-S4 176 Pin	RH850/F1KM-S4 233 Pin	RH850/F1KM-S4 272 Pin
ADCA0	50	50	50	50	50
ADCA1	—	36	36	36	36

表 38.11　ADCAn のユニット構成と仮想チャネルの対応 (RH850/F1KM-S2)

ユニット名 ADCAn	RH850/F1KM-S2 100 Pin	RH850/F1KM-S2 144 Pin	RH850/F1KM-S2 176 Pin
ADCA0	50	50	50
ADCA1	—	36	36

表 38.12　ADCAn のユニット構成と仮想チャネルの対応 (RH850/F1KM-S1)

ユニット名 ADCAn	RH850/F1KM-S1 48 Pin	RH850/F1KM-S1 64 Pin	RH850/F1KM-S1 80 Pin	RH850/F1KM-S1 100 Pin
ADCA0	20	29	37	50

表 38.13　添字 (RH850/F1KH-D8)

添字	説明
n	本章では、ADCA の各ユニットを「n」で識別します。たとえば、PWM-Diag 仮想チャネルレジスタを ADCAnPWDVCR（n＝0、1）と記述します。
m	本章では、ADCAn の各物理チャネル（ユニット内チャネル）を「m」で識別しています。たとえば、ANInm と記述します。
j	本章では、ADCAn の各仮想チャネルを「j」で識別しています。たとえば、仮想チャネルレジスタを ADCAnVCRj と記述します。
x	本章では、ADCAn の各スキャングループ（SG）を「x」で識別します。たとえば、スキャングループ x 開始制御レジスタを ADCAnSGSTCRx（x＝1～3）と記述します。
k	本章では、T&H 対応の各物理チャネル番号を「k」で識別します。たとえば、T&H イネーブルレジスタ ADCAnTHER の T&H イネーブルビットを THkE（k＝0～5）と記述します。

表 38.14　添字 (RH850/F1KM-S4, RH850/F1KM-S2)

添字	説明
n	本章では、ADCA の各ユニットを「n」で識別します。たとえば、PWM-Diag 仮想チャネルレジスタを ADCAnPWDVCR（n＝0、1）と記述します。
m	本章では、ADCAn の各物理チャネル（ユニット内チャネル）を「m」で識別しています。たとえば、ANInm と記述します。
j	本章では、ADCAn の各仮想チャネルを「j」で識別しています。たとえば、仮想チャネルレジスタを ADCAnVCRj と記述します。
x	本章では、ADCAn の各スキャングループ（SG）を「x」で識別します。たとえば、スキャングループ x 開始制御レジスタを ADCAnSGSTCRx（x＝1～3）と記述します。
k	本章では、T&H 対応の各物理チャネル番号を「k」で識別します。たとえば、T&H イネーブルレジスタ ADCAnTHER の T&H イネーブルビットを THkE（k＝0～5）と記述します。

表 38.15　添字 (RH850/F1KM-S1)

添字	説明
n	本章では、ADCA の各ユニットを「n」で識別します。たとえば、PWM-Diag 仮想チャネルレジスタを ADCAnPWDVCR（n＝0）と記述します。
m	本章では、ADCAn の各物理チャネル（ユニット内チャネル）を「m」で識別しています。たとえば、ANInm と記述します。
j	本章では、ADCAn の各仮想チャネルを「j」で識別しています。たとえば、仮想チャネルレジスタを ADCAnVCRj と記述します。
x	本章では、ADCAn の各スキャングループ（SG）を「x」で識別します。たとえば、スキャングループ x 開始制御レジスタを ADCAnSGSTCRx（x＝1～3）と記述します。
k	本章では、T&H 対応の各物理チャネル番号を「k」で識別します。たとえば、T&H イネーブルレジスタ ADCAnTHER の T&H イネーブルビットを THkE（k＝0～5）と記述します。

各製品の添字が示す値を以下に示します。

表 38.16 各製品の添字対応（RH850/F1KH-D8）

各製品の添字対応		
RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 324 Pin
m＝0～27, 30～35 (ADCA0) m＝0～23 (ADCA1)	m＝0～27, 30～35 (ADCA0) m＝0～35 (ADCA1)	m＝0～27, 30～35 (ADCA0) m＝0～35 (ADCA1)
j＝00～49 (ADCA0) j＝00～35 (ADCA1)	j＝00～49 (ADCA0) j＝00～35 (ADCA1)	j＝00～49 (ADCA0) j＝00～35 (ADCA1)
x＝1～3 (ADCA0) x＝1～3 (ADCA1)	x＝1～3 (ADCA0) x＝1～3 (ADCA1)	x＝1～3 (ADCA0) x＝1～3 (ADCA1)
k＝0～5 (ADCA0)	k＝0～5 (ADCA0)	k＝0～5 (ADCA0)

表 38.17 各製品の添字対応（RH850/F1KM-S4）

各製品の添字対応				
RH850/F1KM-S4 100 Pin	RH850/F1KM-S4 144 Pin	RH850/F1KM-S4 176 Pin	RH850/F1KM-S4 233 Pin	RH850/F1KM-S4 272 Pin
m＝0～15, 18～27, 30～35 (ADCA0)	m＝0～27, 30～35 (ADCA0) m＝0～7, 16～19 (ADCA1)	m＝0～27, 30～35 (ADCA0) m＝0～23 (ADCA1)	m＝0～27, 30～35 (ADCA0) m＝0～35 (ADCA1)	m＝0～27, 30～35 (ADCA0) m＝0～35 (ADCA1)
j＝00～49 (ADCA0)	j＝00～49 (ADCA0) j＝00～35 (ADCA1)	j＝00～49 (ADCA0) j＝00～35 (ADCA1)	j＝00～49 (ADCA0) j＝00～35 (ADCA1)	j＝00～49 (ADCA0) j＝00～35 (ADCA1)
x＝1～3 (ADCA0)	x＝1～3 (ADCA0) x＝1～3 (ADCA1)	x＝1～3 (ADCA0) x＝1～3 (ADCA1)	x＝1～3 (ADCA0) x＝1～3 (ADCA1)	x＝1～3 (ADCA0) x＝1～3 (ADCA1)
k＝0～5 (ADCA0)	k＝0～5 (ADCA0)	k＝0～5 (ADCA0)	k＝0～5 (ADCA0)	k＝0～5 (ADCA0)

表 38.18 各製品の添字対応（RH850/F1KM-S2）

各製品の添字対応		
RH850/F1KM-S2 100 Pin	RH850/F1KM-S2 144 Pin	RH850/F1KM-S2 176 Pin
m＝0～15, 18～27, 30～35 (ADCA0)	m＝0～27, 30～35 (ADCA0) m＝0～7, 16～19 (ADCA1)	m＝0～27, 30～35 (ADCA0) m＝0～23 (ADCA1)
j＝00～49 (ADCA0)	j＝00～49 (ADCA0) j＝00～35 (ADCA1)	j＝00～49 (ADCA0) j＝00～35 (ADCA1)
x＝1～3 (ADCA0)	x＝1～3 (ADCA0) x＝1～3 (ADCA1)	x＝1～3 (ADCA0) x＝1～3 (ADCA1)
k＝0～5 (ADCA0)	k＝0～5 (ADCA0)	k＝0～5 (ADCA0)

表 38.19 各製品の添字対応（RH850/F1KM-S1）

各製品の添字対応			
RH850/F1KM-S1 48 Pin	RH850/F1KM-S1 64 Pin	RH850/F1KM-S1 80 Pin	RH850/F1KM-S1 100 Pin
m＝0～7, 16～19 (ADCA0)	m＝0～9, 16～26 (ADCA0)	m＝0～10, 16～29 (ADCA0)	m＝0～35 (ADCA0)
j＝00～19 [注1] (ADCA0)	j＝00～28 [注1] (ADCA0)	j＝00～36 (ADCA0)	j＝00～49 (ADCA0)
x＝1～3 (ADCA0)	x＝1～3 (ADCA0)	x＝1～3 (ADCA0)	x＝1～3 (ADCA0)
k＝0, 2, 4 (ADCA0)	k＝0, 2, 4 (ADCA0)	k＝0, 2, 4 (ADCA0)	k＝0～5 (ADCA0)

注1. 33～35 は、T&H 回路の診断のみに対応しています。

38.1.2 レジスタベースアドレス

ADCAn のベースアドレスを以下の表に示します。

ADCAn のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 38.20 レジスタベースアドレス (RH850/F1KH-D8)

ベースアドレス名	ベースアドレス
<ADCA0_base>	FFF2 0000$_H$
<ADCA1_base>	FFD6 D000$_H$

表 38.21 レジスタベースアドレス (RH850/F1KM-S4, RH850/F1KM-S2)

ベースアドレス名	ベースアドレス
<ADCA0_base>	FFF2 0000$_H$
<ADCA1_base>	FFD6 D000$_H$

表 38.22 レジスタベースアドレス (RH850/F1KM-S1)

ベースアドレス名	ベースアドレス
<ADCA0_base>	FFF2 0000$_H$

38.1.3 クロック供給

ADCAn のクロック供給を以下の表に示します。

表 38.23 クロック供給 (RH850/F1KH-D8)

ユニット名	ユニットクロック名	供給クロック名	説明
ADCA0	ADCLK	CKSCLK_AADCA	モジュールクロック
	レジスタアクセスクロック	CPUCLK_L, CKSCLK_AADCA	バスクロック
ADCA1	ADCLK	CKSCLK_IADCA	モジュールクロック
	レジスタアクセスクロック	CPUCLK_L	バスクロック

表 38.24 クロック供給 (RH850/F1KM-S4, RH850/F1KM-S2)

ユニット名	ユニットクロック名	供給クロック名	説明
ADCA0	ADCLK	CKSCLK_AADCA	モジュールクロック
	レジスタアクセスクロック	CPUCLK_L, CKSCLK_AADCA	バスクロック
ADCA1	ADCLK	CKSCLK_IADCA	モジュールクロック
	レジスタアクセスクロック	CPUCLK_L	バスクロック

表 38.25 クロック供給 (RH850/F1KM-S1)

ユニット名	ユニットクロック名	供給クロック名	説明
ADCA0	ADCLK	CKSCLK_AADCA	モジュールクロック
	レジスタアクセスクロック	CPUCLK_L	バスクロック
		CKSCLK_AADCA	

38.1.4　割り込み要求

ADCAn の割り込み要求を以下の表に示します。

表 38.26　割り込み要求 (RH850/F1KH-D8)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号	その他トリガ信号
ADCA0				
INT_ADE	A/D エラー割り込み	56	—	モータ制御
INT_SG1	スキャングループ 1（SG1）終了割り込み	18	4	LPS
INT_SG2	スキャングループ 2（SG2）終了割り込み	19	5	LPS
INT_SG3	スキャングループ 3（SG3）終了割り込み	20, 32	6	LPS
ADC_CONV_END0	スキャングループ 4（SG4）A/D 変換終了信号	—	7	—
ADCA1				
INT_ADE	A/D エラー割り込み	212	—	—
INT_SG1	スキャングループ 1（SG1）終了割り込み	213	115	—
INT_SG2	スキャングループ 2（SG2）終了割り込み	214	116	—
INT_SG3	スキャングループ 3（SG3）終了割り込み	215	117	—
ADC_CONV_END1	スキャングループ 4（SG4）A/D 変換終了信号	—	118	—

表 38.27　割り込み要求 (RH850/F1KM-S4, RH850/F1KM-S2)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号	その他トリガ信号
ADCA0				
INT_ADE	A/D エラー割り込み	56	—	モータ制御
INT_SG1	スキャングループ 1（SG1）終了割り込み	18	4	LPS
INT_SG2	スキャングループ 2（SG2）終了割り込み	19	5	LPS
INT_SG3	スキャングループ 3（SG3）終了割り込み	20, 32	6	LPS
ADC_CONV_END0	スキャングループ 4（SG4）A/D 変換終了信号	—	7	—
ADCA1				
INT_ADE	A/D エラー割り込み	212	—	—
INT_SG1	スキャングループ 1（SG1）終了割り込み	213	115	—
INT_SG2	スキャングループ 2（SG2）終了割り込み	214	116	—
INT_SG3	スキャングループ 3（SG3）終了割り込み	215	117	—
ADC_CONV_END1	スキャングループ 4（SG4）A/D 変換終了信号	—	118	—

表 38.28　割り込み要求 (RH850/F1KM-S1)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号	その他トリガ信号
ADCA0				
INT_ADE	A/D エラー割り込み	56	—	モータ制御
INT_SG1	スキャングループ 1（SG1）終了割り込み	18	4	LPS
INT_SG2	スキャングループ 2（SG2）終了割り込み	19	5	LPS
INT_SG3	スキャングループ 3（SG3）終了割り込み	20, 32	6	LPS
ADC_CONV_END0	スキャングループ 4（SG4）A/D 変換終了信号	—	7	—

38.1.5　リセット要因

ADCAn のリセット要因を以下に示します。ADCAn は以下のリセット要因で初期化されます。

表 38.29　リセット要因 (RH850/F1KH-D8)

ユニット名	リセット要因
ADCA0	DeepSTOP モード遷移時を除くリセット要因（AWORES）
ADCA1	すべてのリセット要因（ISORES）

表 38.30　リセット要因 (RH850/F1KM-S4, RH850/F1KM-S2)

ユニット名	リセット要因
ADCA0	DeepSTOP モード遷移時を除くリセット要因（AWORES）
ADCA1	すべてのリセット要因（ISORES）

表 38.31　リセット要因 (RH850/F1KM-S1)

ユニット名	リセット要因
ADCA0	DeepSTOP モード遷移時を除くリセット要因（AWORES）

38.1.6　外部入出力信号

ADCAn の外部入出力信号を以下の表に示します。

表 38.32　ADCA0 アナログ入力信号 (RH850/F1KH-D8)

ユニット信号名	ポート端子兼用信号名	分解能	T&H	RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 272 Pin	RH850/F1KH-D8 324 Pin
ANI000	ADCA0I0	12	○	○	○	—	○
ANI001	ADCA0I1	12	○	○	○	—	○
ANI002	ADCA0I2	12	○	○	○	—	○
ANI003	ADCA0I3	12	○	○	○	—	○
ANI004	ADCA0I4	12	○	○	○	—	○
ANI005	ADCA0I5	12	○	○	○	—	○
ANI006	ADCA0I6	12	—	○	○	—	○
ANI007	ADCA0I7	12	—	○	○	—	○
ANI008	ADCA0I8	12	—	○	○	—	○
ANI009	ADCA0I9	12	—	○	○	—	○
ANI010	ADCA0I10	12	—	○	○	—	○
ANI011	ADCA0I11	12	—	○	○	—	○
ANI012	ADCA0I12	12	—	○	○	—	○
ANI013	ADCA0I13	12	—	○	○	—	○
ANI014	ADCA0I14	12	—	○	○	—	○
ANI015	ADCA0I15	12	—	○	○	—	○
ANI016	ADCA0I0S	10	—	○	○	—	○
ANI017	ADCA0I1S	10	—	○	○	—	○
ANI018	ADCA0I2S	10	—	○	○	—	○
ANI019	ADCA0I3S	10	—	○	○	—	○
ANI020	ADCA0I4S	10	—	○	○	—	○
ANI021	ADCA0I5S	10	—	○	○	—	○
ANI022	ADCA0I6S	10	—	○	○	—	○
ANI023	ADCA0I7S	10	—	○	○	—	○
ANI024	ADCA0I8S	10	—	○	○	—	○
ANI025	ADCA0I9S	10	—	○	○	—	○
ANI026	ADCA0I10S	10	—	○	○	—	○
ANI027	ADCA0I11S	10	—	○	○	—	○
ANI028	ADCA0I12S	10	—	注 1	注 1	—	注 1
ANI029	ADCA0I13S	10	—	注 1	注 1	—	注 1
ANI030	ADCA0I14S	10	—	○	○	—	○
ANI031	ADCA0I15S	10	—	○	○	—	○
ANI032	ADCA0I16S	10	—	○	○	—	○
ANI033	ADCA0I17S	10	—	○	○	—	○
ANI034	ADCA0I18S	10	—	○	○	—	○
ANI035	ADCA0I19S	10	—	○	○	—	○

注1.　本機能は、RH850/F1KH-D8 製品ではサポートされていません。

表 38.33 ADCA0 アナログ入力信号 (RH850/F1KM-S4)

ユニット信号名	ポート端子兼用信号名	分解能	T&H	RH850/ F1KM-S4 100 Pin	RH850/ F1KM-S4 144 Pin	RH850/ F1KM-S4 176 Pin	RH850/ F1KM-S4 233 Pin	RH850/ F1KM-S4 272 Pin
ANI000	ADCA0I0	12	○	○	○	○	○	○
ANI001	ADCA0I1	12	○	○	○	○	○	○
ANI002	ADCA0I2	12	○	○	○	○	○	○
ANI003	ADCA0I3	12	○	○	○	○	○	○
ANI004	ADCA0I4	12	○	○	○	○	○	○
ANI005	ADCA0I5	12	○	○	○	○	○	○
ANI006	ADCA0I6	12	—	○	○	○	○	○
ANI007	ADCA0I7	12	—	○	○	○	○	○
ANI008	ADCA0I8	12	—	○	○	○	○	○
ANI009	ADCA0I9	12	—	○	○	○	○	○
ANI010	ADCA0I10	12	—	○	○	○	○	○
ANI011	ADCA0I11	12	—	○	○	○	○	○
ANI012	ADCA0I12	12	—	○	○	○	○	○
ANI013	ADCA0I13	12	—	○	○	○	○	○
ANI014	ADCA0I14	12	—	○	○	○	○	○
ANI015	ADCA0I15	12	—	○	○	○	○	○
ANI016	ADCA0I0S	10	—	—	○	○	○	○
ANI017	ADCA0I1S	10	—	—	○	○	○	○
ANI018	ADCA0I2S	10	—	○	○	○	○	○
ANI019	ADCA0I3S	10	—	○	○	○	○	○
ANI020	ADCA0I4S	10	—	○	○	○	○	○
ANI021	ADCA0I5S	10	—	○	○	○	○	○
ANI022	ADCA0I6S	10	—	○	○	○	○	○
ANI023	ADCA0I7S	10	—	○	○	○	○	○
ANI024	ADCA0I8S	10	—	○	○	○	○	○
ANI025	ADCA0I9S	10	—	○	○	○	○	○
ANI026	ADCA0I10S	10	—	○	○	○	○	○
ANI027	ADCA0I11S	10	—	○	○	○	○	○
ANI028	ADCA0I12S	10	—	注 1	注 1	注 1	注 1	注 1
ANI029	ADCA0I13S	10	—	注 1	注 1	注 1	注 1	注 1
ANI030	ADCA0I14S	10	—	○	○	○	○	○
ANI031	ADCA0I15S	10	—	○	○	○	○	○
ANI032	ADCA0I16S	10	—	○	○	○	○	○
ANI033	ADCA0I17S	10	—	○	○	○	○	○
ANI034	ADCA0I18S	10	—	○	○	○	○	○
ANI035	ADCA0I19S	10	—	○	○	○	○	○

注1. 本機能は、RH850/F1KM-S4 製品ではサポートされていません。

表 38.34　ADCA0 アナログ入力信号 (RH850/F1KM-S2)

ユニット信号名	ポート端子兼用信号名	分解能	T&H	RH850/F1KM-S2 100 Pin	RH850/F1KM-S2 144 Pin	RH850/F1KM-S2 176 Pin
ANI000	ADCA0I0	12	○	○	○	○
ANI001	ADCA0I1	12	○	○	○	○
ANI002	ADCA0I2	12	○	○	○	○
ANI003	ADCA0I3	12	○	○	○	○
ANI004	ADCA0I4	12	○	○	○	○
ANI005	ADCA0I5	12	○	○	○	○
ANI006	ADCA0I6	12	—	○	○	○
ANI007	ADCA0I7	12	—	○	○	○
ANI008	ADCA0I8	12	—	○	○	○
ANI009	ADCA0I9	12	—	○	○	○
ANI010	ADCA0I10	12	—	○	○	○
ANI011	ADCA0I11	12	—	○	○	○
ANI012	ADCA0I12	12	—	○	○	○
ANI013	ADCA0I13	12	—	○	○	○
ANI014	ADCA0I14	12	—	○	○	○
ANI015	ADCA0I15	12	—	○	○	○
ANI016	ADCA0I0S	10	—	—	○	○
ANI017	ADCA0I1S	10	—	—	○	○
ANI018	ADCA0I2S	10	—	○	○	○
ANI019	ADCA0I3S	10	—	○	○	○
ANI020	ADCA0I4S	10	—	○	○	○
ANI021	ADCA0I5S	10	—	○	○	○
ANI022	ADCA0I6S	10	—	○	○	○
ANI023	ADCA0I7S	10	—	○	○	○
ANI024	ADCA0I8S	10	—	○	○	○
ANI025	ADCA0I9S	10	—	○	○	○
ANI026	ADCA0I10S	10	—	○	○	○
ANI027	ADCA0I11S	10	—	○	○	○
ANI028	ADCA0I12S	10	—	注 1	注 1	注 1
ANI029	ADCA0I13S	10	—	注 1	注 1	注 1
ANI030	ADCA0I14S	10	—	○	○	○
ANI031	ADCA0I15S	10	—	○	○	○
ANI032	ADCA0I16S	10	—	○	○	○
ANI033	ADCA0I17S	10	—	○	○	○
ANI034	ADCA0I18S	10	—	○	○	○
ANI035	ADCA0I19S	10	—	○	○	○

注1.　本機能は、RH850/F1KM-S2 製品ではサポートされていません。

表 38.35　ADCA0 アナログ入力信号 (RH850/F1KM-S1)

ユニット信号名	ポート端子兼用信号名	分解能	T&H	RH850/ F1KM-S1 48 Pin	RH850/ F1KM-S1 64 Pin	RH850/ F1KM-S1 80 Pin	RH850/ F1KM-S1 100 Pin
ANI000	ADCA0I0	12	○	○	○	○	○
ANI001	ADCA0I1	12	○注 1	○	○	○	○
ANI002	ADCA0I2	12	○	○	○	○	○
ANI003	ADCA0I3	12	○注 1	○	○	○	○
ANI004	ADCA0I4	12	○	○	○	○	○
ANI005	ADCA0I5	12	○注 1	○	○	○	○
ANI006	ADCA0I6	12	—	○	○	○	○
ANI007	ADCA0I7	12	—	○	○	○	○
ANI008	ADCA0I8	12	—	—	○	○	○
ANI009	ADCA0I9	12	—	—	○	○	○
ANI010	ADCA0I10	12	—	—	—	○	○
ANI011	ADCA0I11	12	—	—	—	—	○
ANI012	ADCA0I12	12	—	—	—	—	○
ANI013	ADCA0I13	12	—	—	—	—	○
ANI014	ADCA0I14	12	—	—	—	—	○
ANI015	ADCA0I15	12	—	—	—	—	○
ANI016	ADCA0I0S	10	—	○	○	○	○
ANI017	ADCA0I1S	10	—	○	○	○	○
ANI018	ADCA0I2S	10	—	○	○	○	○
ANI019	ADCA0I3S	10	—	○	○	○	○
ANI020	ADCA0I4S	10	—	—	○	○	○
ANI021	ADCA0I5S	10	—	—	○	○	○
ANI022	ADCA0I6S	10	—	—	○	○	○
ANI023	ADCA0I7S	10	—	—	○	○	○
ANI024	ADCA0I8S	10	—	—	○	○	○
ANI025	ADCA0I9S	10	—	—	○	○	○
ANI026	ADCA0I10S	10	—	—	○	○	○
ANI027	ADCA0I11S	10	—	—	—	○	○
ANI028	ADCA0I12S	10	—	—	—	○	○
ANI029	ADCA0I13S	10	—	—	—	○	○
ANI030	ADCA0I14S	10	—	—	—	—	○
ANI031	ADCA0I15S	10	—	—	—	—	○
ANI032	ADCA0I16S	10	—	—	—	—	○
ANI033	ADCA0I17S	10	—	—	—	—	○
ANI034	ADCA0I18S	10	—	—	—	—	○
ANI035	ADCA0I19S	10	—	—	—	—	○

注1.　ANI0m（m＝01、03、05）のトラックアンドホールド回路（T&H）は、100 pin の RH850/F1KM-S1 デバイスにのみ含まれています。

表 38.36　ADCA0 外部入出力信号 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット信号名	説明	ポート端子兼用信号名
ADCA0		
ADCA0TRG0	外部トリガ端子（スキャングループ 1）注 1	ADCA0TRG0
ADCA0TRG1	外部トリガ端子（スキャングループ 2）注 1	ADCA0TRG1
ADCA0TRG2	外部トリガ端子（スキャングループ 3）注 1	ADCA0TRG2
ADCA0SEL0	外付けアナログマルチプレクサ（MPX）出力端子 0	ADCA0SEL0
ADCA0SEL1	外付けアナログマルチプレクサ（MPX）出力端子 1	ADCA0SEL1
ADCA0SEL2	外付けアナログマルチプレクサ（MPX）出力端子 2	ADCA0SEL2

注1.　外部トリガ端子を使用する場合ポートのノイズフィルタの設定が必要となります。詳細は、**「2A.12 ノイズフィルタ＆エッジレベル検出回路」**、**「2B.12 ノイズフィルタ＆エッジレベル検出回路」**および**「2C.12 ノイズフィルタ＆エッジレベル検出回路」**を参照してください。

注　意

- ポート P8_6 を ADCA0I8S として使用する場合、リセット中およびリセット解除後、ポート P8_6（ $\overline{\text{RESETOUT}}$ 信号）からロウレベルを出力します。
  詳細は、**「2A.11.1.1 P8_6: $\overline{\text{RESETOUT}}$ 」**、**「2B.11.1.1 P8_6: $\overline{\text{RESETOUT}}$ 」**および**「2C.11.1.1 P8_6: $\overline{\text{RESETOUT}}$ 」**を参照してください。
- RH850/F1KH-D8, RH850/F1KM-S4 および RH850/F1KM-S2 には ANI028（ADCA0I12S）pin と ANI029（ADCA0I13S）pin がありませんので、対応するビットへの書き込みや、信号の制御は行わないでください。本章での ANI028（ADCA0I12S）および ANI029（ADCA0I13S）についての説明は、ANI028（ADCA0I12S）および ANI029（ADCA0I13S）がサポートされていないことを念頭に置いて、お読みください。

表 38.37 ADCA1 アナログ入力信号 (RH850/F1KH-D8)

ユニット信号名	ポート端子兼用信号名	分解能	T&H	RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 272 Pin	RH850/F1KH-D8 324 Pin
ANI100	ADCA1I0	12	—	○	○	—	○
ANI101	ADCA1I1	12	—	○	○	—	○
ANI102	ADCA1I2	12	—	○	○	—	○
ANI103	ADCA1I3	12	—	○	○	—	○
ANI104	ADCA1I4	12	—	○	○	—	○
ANI105	ADCA1I5	12	—	○	○	—	○
ANI106	ADCA1I6	12	—	○	○	—	○
ANI107	ADCA1I7	12	—	○	○	—	○
ANI108	ADCA1I8	12	—	○	○	—	○
ANI109	ADCA1I9	12	—	○	○	—	○
ANI110	ADCA1I10	12	—	○	○	—	○
ANI111	ADCA1I11	12	—	○	○	—	○
ANI112	ADCA1I12	12	—	○	○	—	○
ANI113	ADCA1I13	12	—	○	○	—	○
ANI114	ADCA1I14	12	—	○	○	—	○
ANI115	ADCA1I15	12	—	○	○	—	○
ANI116	ADCA1I0S	10	—	○	○	—	○
ANI117	ADCA1I1S	10	—	○	○	—	○
ANI118	ADCA1I2S	10	—	○	○	—	○
ANI119	ADCA1I3S	10	—	○	○	—	○
ANI120	ADCA1I4S	10	—	○	○	—	○
ANI121	ADCA1I5S	10	—	○	○	—	○
ANI122	ADCA1I6S	10	—	○	○	—	○
ANI123	ADCA1I7S	10	—	○	○	—	○
ANI124	ADCA1I8S	10	—	—	○	—	○
ANI125	ADCA1I9S	10	—	—	○	—	○
ANI126	ADCA1I10S	10	—	—	○	—	○
ANI127	ADCA1I11S	10	—	—	○	—	○
ANI128	ADCA1I12S	10	—	—	○	—	○
ANI129	ADCA1I13S	10	—	—	○	—	○
ANI130	ADCA1I14S	10	—	—	○	—	○
ANI131	ADCA1I15S	10	—	—	○	—	○
ANI132	ADCA1I16S	10	—	—	○	—	○
ANI133	ADCA1I17S	10	—	—	○	—	○
ANI134	ADCA1I18S	10	—	—	○	—	○
ANI135	ADCA1I19S	10	—	—	○	—	○

表 38.38　ADCA1 アナログ入力信号 (RH850/F1KM-S4)

ユニット信号名	ポート端子兼用信号名	分解能	T&H	RH850/ F1KM-S4 100 Pin	RH850/ F1KM-S4 144 Pin	RH850/ F1KM-S4 176 Pin	RH850/ F1KM-S4 233 Pin	RH850/ F1KM-S4 272 Pin
ANI100	ADCA1I0	12	—	—	○	○	○	○
ANI101	ADCA1I1	12	—	—	○	○	○	○
ANI102	ADCA1I2	12	—	—	○	○	○	○
ANI103	ADCA1I3	12	—	—	○	○	○	○
ANI104	ADCA1I4	12	—	—	○	○	○	○
ANI105	ADCA1I5	12	—	—	○	○	○	○
ANI106	ADCA1I6	12	—	—	○	○	○	○
ANI107	ADCA1I7	12	—	—	○	○	○	○
ANI108	ADCA1I8	12	—	—	—	○	○	○
ANI109	ADCA1I9	12	—	—	—	○	○	○
ANI110	ADCA1I10	12	—	—	—	○	○	○
ANI111	ADCA1I11	12	—	—	—	○	○	○
ANI112	ADCA1I12	12	—	—	—	○	○	○
ANI113	ADCA1I13	12	—	—	—	○	○	○
ANI114	ADCA1I14	12	—	—	—	○	○	○
ANI115	ADCA1I15	12	—	—	—	○	○	○
ANI116	ADCA1I0S	10	—	—	○	○	○	○
ANI117	ADCA1I1S	10	—	—	○	○	○	○
ANI118	ADCA1I2S	10	—	—	○	○	○	○
ANI119	ADCA1I3S	10	—	—	○	○	○	○
ANI120	ADCA1I4S	10	—	—	—	○	○	○
ANI121	ADCA1I5S	10	—	—	—	○	○	○
ANI122	ADCA1I6S	10	—	—	—	○	○	○
ANI123	ADCA1I7S	10	—	—	—	○	○	○
ANI124	ADCA1I8S	10	—	—	—	—	○	○
ANI125	ADCA1I9S	10	—	—	—	—	○	○
ANI126	ADCA1I10S	10	—	—	—	—	○	○
ANI127	ADCA1I11S	10	—	—	—	—	○	○
ANI128	ADCA1I12S	10	—	—	—	—	○	○
ANI129	ADCA1I13S	10	—	—	—	—	○	○
ANI130	ADCA1I14S	10	—	—	—	—	○	○
ANI131	ADCA1I15S	10	—	—	—	—	○	○
ANI132	ADCA1I16S	10	—	—	—	—	○	○
ANI133	ADCA1I17S	10	—	—	—	—	○	○
ANI134	ADCA1I18S	10	—	—	—	—	○	○
ANI135	ADCA1I19S	10	—	—	—	—	○	○

表 38.39 ADCA1 アナログ入力信号 (RH850/F1KM-S2)

ユニット信号名	ポート端子兼用信号名	分解能	T&H	RH850/F1KM-S2 100 Pin	RH850/F1KM-S2 144 Pin	RH850/F1KM-S2 176 Pin
ANI100	ADCA1I0	12	—	—	○	○
ANI101	ADCA1I1	12	—	—	○	○
ANI102	ADCA1I2	12	—	—	○	○
ANI103	ADCA1I3	12	—	—	○	○
ANI104	ADCA1I4	12	—	—	○	○
ANI105	ADCA1I5	12	—	—	○	○
ANI106	ADCA1I6	12	—	—	○	○
ANI107	ADCA1I7	12	—	—	○	○
ANI108	ADCA1I8	12	—	—	—	○
ANI109	ADCA1I9	12	—	—	—	○
ANI110	ADCA1I10	12	—	—	—	○
ANI111	ADCA1I11	12	—	—	—	○
ANI112	ADCA1I12	12	—	—	—	○
ANI113	ADCA1I13	12	—	—	—	○
ANI114	ADCA1I14	12	—	—	—	○
ANI115	ADCA1I15	12	—	—	—	○
ANI116	ADCA1I0S	10	—	—	○	○
ANI117	ADCA1I1S	10	—	—	○	○
ANI118	ADCA1I2S	10	—	—	○	○
ANI119	ADCA1I3S	10	—	—	○	○
ANI120	ADCA1I4S	10	—	—	—	○
ANI121	ADCA1I5S	10	—	—	—	○
ANI122	ADCA1I6S	10	—	—	—	○
ANI123	ADCA1I7S	10	—	—	—	○

表 38.40　ADCA1 外部入出力信号 (RH850/F1KH-D8)

ユニット信号名	説明	ポート端子兼用信号名
ADCA1		
ADCA1TRG0	外部トリガ端子（スキャングループ 1）注 1	ADCA1TRG0
ADCA1TRG1	外部トリガ端子（スキャングループ 2）注 1	ADCA1TRG1
ADCA1TRG2	外部トリガ端子（スキャングループ 3）注 1	ADCA1TRG2

注1.　外部トリガ端子を使用する場合ポートのノイズフィルタの設定が必要となります。詳細は、「**2A.12 ノイズフィルタ＆エッジレベル検出回路**」を参照してください。

表 38.41　ADCA1 外部入出力信号 (RH850/F1KM-S4, RH850/F1KM-S2)

ユニット信号名	説明	ポート端子兼用信号名
ADCA1		
ADCA1TRG0	外部トリガ端子（スキャングループ 1）注 1	ADCA1TRG0
ADCA1TRG1	外部トリガ端子（スキャングループ 2）注 1	ADCA1TRG1
ADCA1TRG2	外部トリガ端子（スキャングループ 3）注 1	ADCA1TRG2

注1.　外部トリガ端子を使用する場合ポートのノイズフィルタの設定が必要となります。詳細は、「**2B.12 ノイズフィルタ＆エッジレベル検出回路**」を参照してください。

38.2　概要

38.2.1　機能概要

ADCA の特長を以下に示します。

- 10 ビットと 12 ビット分解能をサポート
- 逐次比較変換方式
- A/D 入力チャネル数
  ADCA0 は最大 34 チャネル、ADCA1 は最大 36 チャネルの A/D 変換ができます。また ADCA0 は、外付けアナログマルチプレクサ（MPX）の接続に対応しアナログ入力チャネルを拡張できます。
- トラック＆ホールド（T&H）回路を内蔵
  ADCA0 の ANI000～ANI005（ADCA0I0～ADCA0I5）はトラック＆ホールド回路を内蔵しています。最大 6 チャネルのアナログ入力を同時サンプリングできます。
- スキャングループによる A/D 変換制御
  スキャングループごとに A/D 変換チャネルや変換モード（スキャンモード）を設定することができます。
- 2 種類のスキャンモード
  マルチサイクルスキャンモード：指定された回数のスキャンを実行します。
- 連続スキャンモード：スキャンを繰り返し実行します。
- 非同期／同期サスペンド&レジューム機能
  スキャングループの処理中に別のスキャングループの処理を割り込むことができます。
- 各スキャングループのスタート／ストップトリガ
  ソフトウェア、ハードウェア、および外部トリガは、各スキャングループの処理を開始することができます。ソフトウェアは、各スキャングループの処理を停止することができます。
- スキャン終了割り込みと DMA 転送をサポート
  各スキャングループは、終了仮想チャネルポインタが指す仮想チャネルの処理が終了もしくは任意の仮想チャネルが終了するたびに INTC に対して割り込み要求の発生、および DMA 転送の起動ができます。
- A/D 変換チャネルリピート機能
  同じチャネルを 2 もしくは 4 回連続で A/D 変換し、結果をデータレジスタに格納します。
- 豊富なセーフティ機能
  A/D 変換回路の診断、チャネルマルチプレクサの診断、オープン端子の診断、T&H 回路の診断、8 組の A/D 変換結果の上限/下限チェックなど、豊富なセーフティ機能を備えています。また、バーチャルチャネル用のエラーフラグレジスタを持ち、データレジスタのオーバライトチェック、データレジスタのリード&クリアを実行します。
- 1 チャネルあたりの最短 A/D 変換時間
  1.15μs（MPX 未使用時）
  2.30μs（MPX 使用時）
- MPX アナログ入力用、設定可能な安定時間
  安定時間は、物理チャネルごとに、8 パターンのカウンタ設定から選択できます。
  最小値：1μs
  最高値：250μs

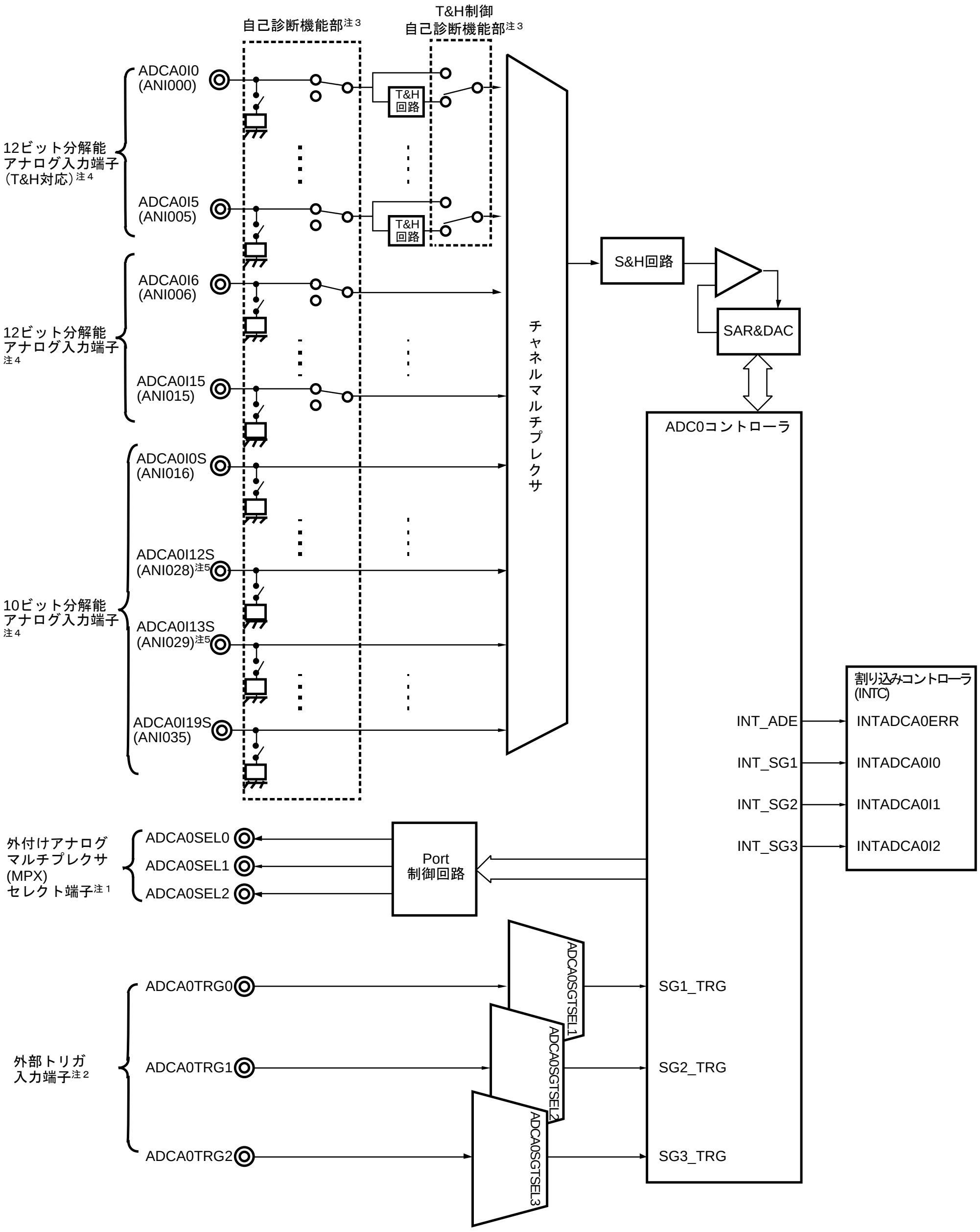
備　考

- 物理チャネル（ANInm）
  ADCA0, 1 各ユニットの A/D 入力チャネルを物理チャネルと呼びます。各ユニットの物理チャネルを ADCA0 では ANI0m（m＝0～27、30～35）、ADCA1 では ANI1m（m＝0～35）で表します。
  RH850/F1KH, RH850/F1KM ポート兼用端子名では 12 ビット分解能の A/D 入力チャネルを ADCAnIm、10 ビット分解能の A/D 入力チャネルを ADCAnImS で表します。本章では物理チャネルと RH850/F1KH, RH850/F1KM のポート兼用端子名を併記しています。
- 仮想チャネル（ADCAnVCRj）
  ADCA0 に最大 50 チャネル、ADCA1 に最大 36 チャネル分の仮想チャネルがあります。仮想チャネルにはスキャン対象となる物理チャネルを指定します。
  仮想チャネル番号が小さい順番にスキャンしていきます。仮想チャネルを用いることで、スキャンする順番を任意に設定することができます。またスキャン結果は仮想チャネルに対応したデータレジスタ（ADCAnDRj）に格納されます。
- スキャングループ（SGx）
  3 系統のスキャングループ（SG1, 2, 3）、および 1 系統の PWM-Diag グループ（SG4）があります。A/D 変換はスキャングループ単位で行われ、各グループの変換チャネルは、変換開始および変換終了の仮想チャネル（スキャン範囲）を設定することで任意に選択できます。

38.2.2　ブロック図

ADCA0 のブロック図を「**図 38.1 ADCA0 ブロック図**」に、ADCA1 のブロック図を「**図 38.2 ADCA1 ブロック図**」に示します。

(1) ADCA0 の構成



注1.　外付けアナログマルチプレクサの接続例については「**図 38.4　外付けアナログマルチプレクサの接続例**」を参照してください。

注2.　詳細は、「**図 38.3　外部トリガ入力端子内部接続図**」を参照してください。

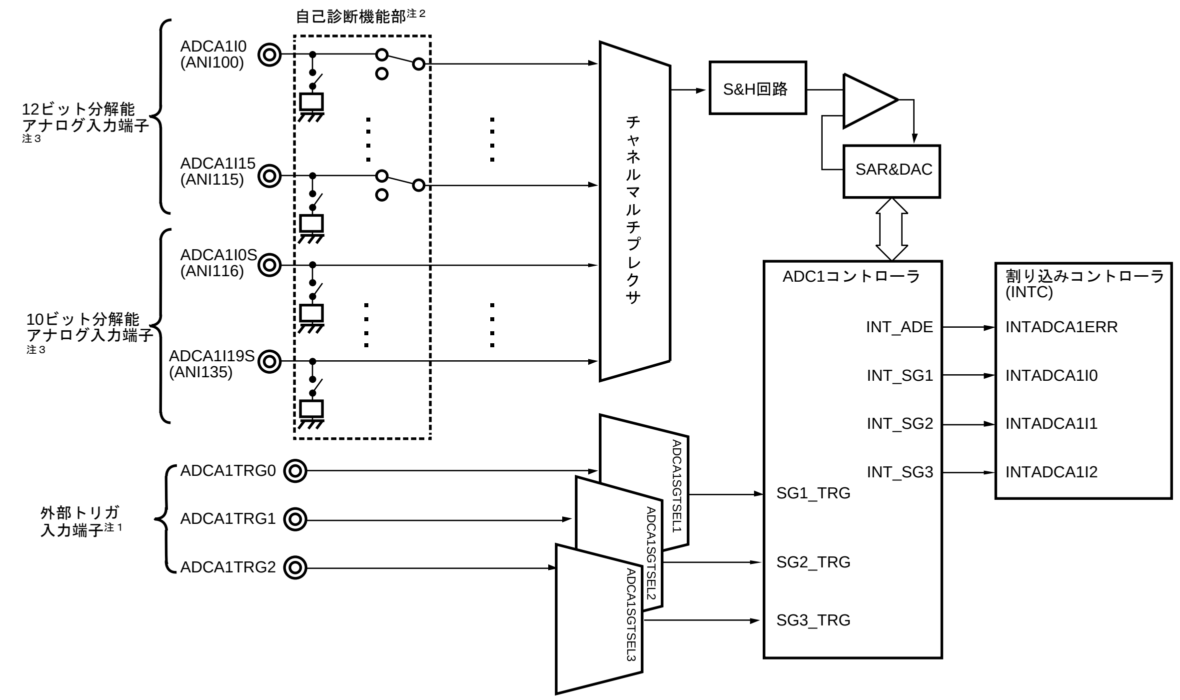
注3.　自己診断機能部については「**38.5　自己診断機能**」を参照してください。

注4.　各製品のアナログ入力については、「**表 38.32　ADCA0 アナログ入力信号 (RH850/F1KH-D8)**」、「**表 38.33　ADCA0 アナログ入力信号 (RH850/F1KM-S4)**」、「**表 38.34　ADCA0 アナログ入力信号 (RH850/F1KM-S2)**」および「**表 38.35　ADCA0 アナログ入力信号 (RH850/F1KM-S1)**」を参照してください。

注5.　RH850/F1KH-D8, RH850/F1KM-S4 および RH850/F1KM-S2 には、ADCA0I12S（ANI028）端子、ADCA0I13S（ANI029）端子がありません。

図 38.1　　ADCA0 ブロック図

(2) ADCA1 の構成



注1. 詳細は、「**図 38.3 外部トリガ入力端子内部接続図**」を参照してください。

注2. 自己診断機能部については「**38.5 自己診断機能**」を参照してください。

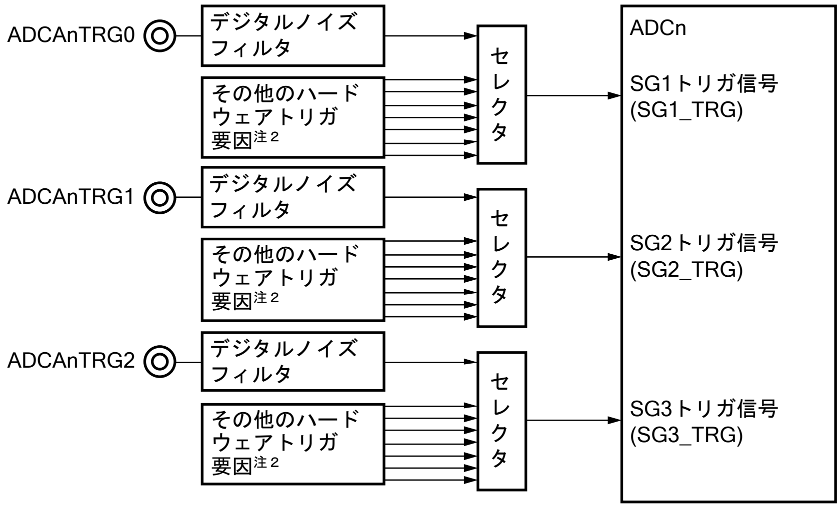
注3. 各製品のアナログ入力については、「**表 38.37 ADCA1 アナログ入力信号 (RH850/F1KH-D8)** 」、「**表 38.38 ADCA1 アナログ入力信号 (RH850/F1KM-S4)**」および「**表 38.39 ADCA1 アナログ入力信号 (RH850/F1KM-S2)**」を参照してください。

図 38.2 ADCA1 ブロック図

(3) 外部トリガ入力端子の構成

外部トリガ入力端子は、ADCAn の起動要因であるハードウェアトリガの一要因です。

外部トリガ入力端子の構成を次に示します。



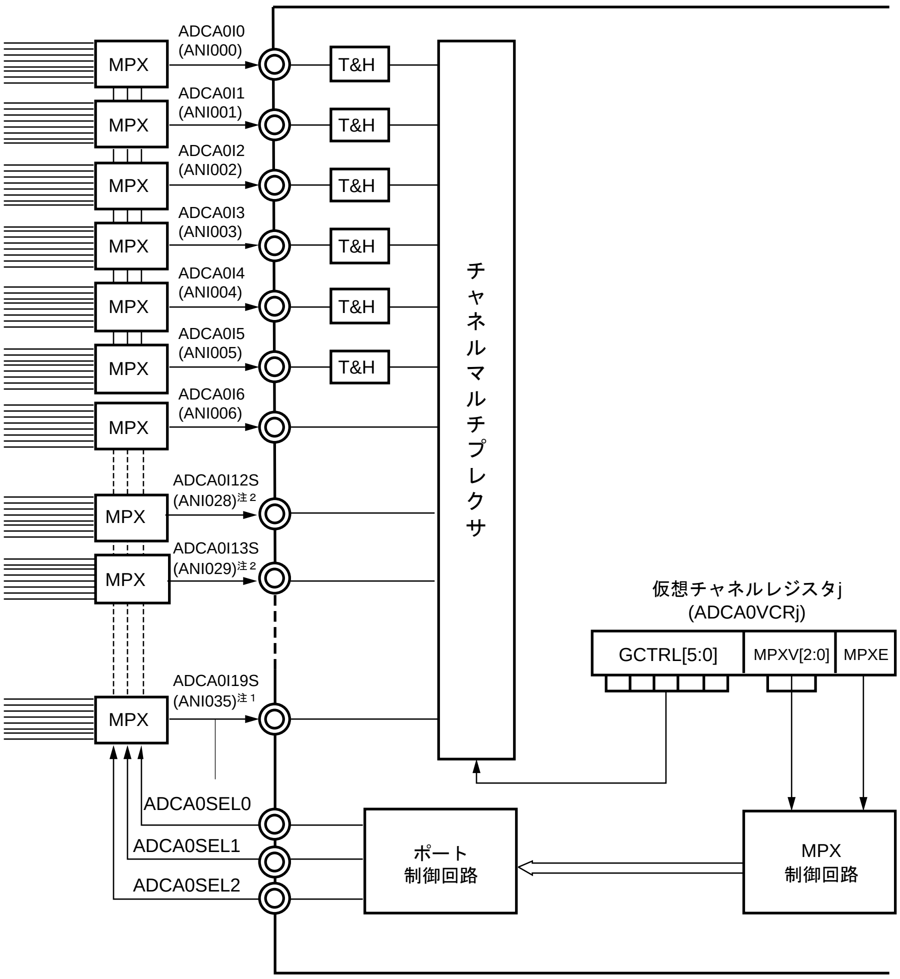
注1. 外部トリガ入力端子によるトリガ受付条件の設定は「**2A.12 ノイズフィルタ＆エッジ/レベル検出回路**」、「**2B.12 ノイズフィルタ＆エッジ/レベル検出回路**」および「**2C.12 ノイズフィルタ＆エッジ/レベル検出回路**」を参照してください。

注2. ハードウェアトリガ要因については「**表 38.84 A/D 変換ハードウェアトリガ一覧**」を参照してください。

図 38.3 外部トリガ入力端子内部接続図

(4) 外付けアナログマルチプレクサ（MPX）の構成

外付けアナログマルチプレクサ（MPX）は ADCA0I0～ADCA0I19S の任意の入力信号端子への接続が可能です。外付けアナログマルチプレクサの接続例を次に示します。



備考　外付けアナログマルチプレクサ（MPX）を使用時、T&H 機能は使用できません。

注1. アナログ入力信号については、「**表 38.32 ADCA0 アナログ入力信号（RH850/F1KH-D8）**」、「**表 38.33 ADCA0 アナログ入力信号（RH850/F1KM-S4）**」、「**表 38.34 ADCA0 アナログ入力信号（RH850/F1KM-S2）**」および「**表 38.35 ADCA0 アナログ入力信号（RH850/F1KM-S1）**」を参照してください。

注2. RH850/F1KH-D8, RH850/F1KM-S4 および RH850/F1KM-S2 には、ADCA0I12S（ANI028）端子、ADCA0I13S（ANI029）端子がありません。

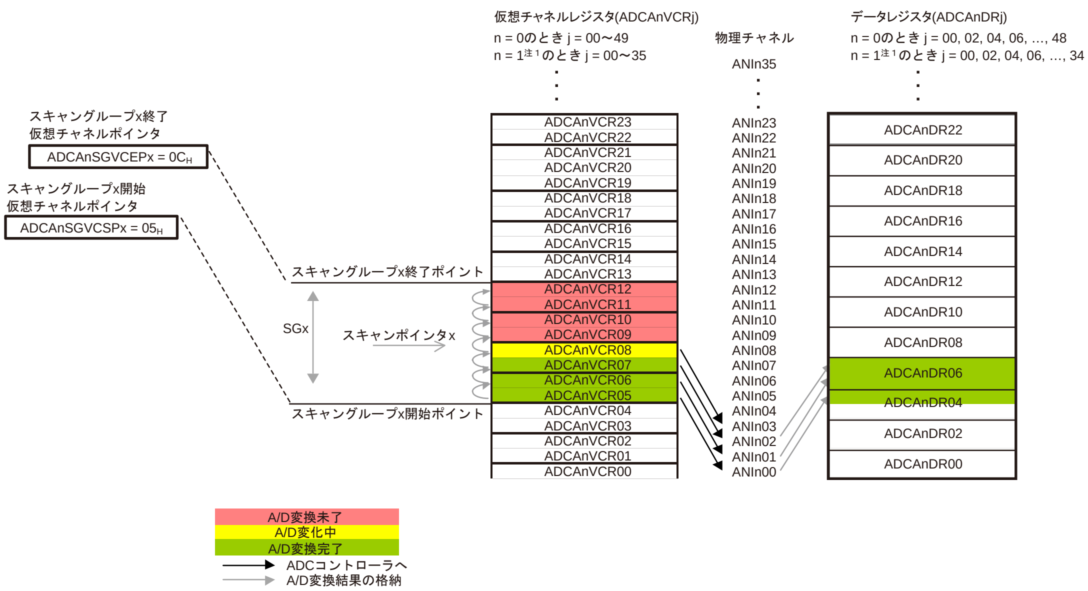
図 38.4　外付けアナログマルチプレクサの接続例

(5) 仮想チャネル

仮想チャネルはスキャン対象となる物理チャネルを指定します。

仮想チャネルは ADCAnVCRj レジスタにて制御します。

仮想チャネルの使用例を次に示します。



注1.　RH850/F1KM-S4 の 100-pin 製品、RH850/F1KM-S2 の 100-pin 製品および RH850/F1KM-S1 は対応していません。

例）仮想チャネル 5 チャネル目から 12 チャネル目をスキャングループ x でスキャンを開始したとき

1. ADCAnVCRj レジスタには仮想チャネル j がどの物理チャネル（ANInm）を A/D 変換するかを設定します。A/D 変換する端子の順番を自由に設定することができます（ここでは ANIn0 から ANIn7 を選択した場合の例を示します）
2. スキャンポインタ x は“スキャングループ x 開始ポイント”から“スキャングループ x 終了ポイント”まで順次 ADCAnVCRj レジスタに設定された物理チャネルを読み取って、読み取った物理アドレスに対して A/D 変換を開始します。
3. 仮想チャネル j のスキャン結果はデータレジスタ j に格納されます。

図 38.5　　仮想レジスタの使用例

38.3 レジスタ

38.3.1 レジスター覧

ADCA のレジスタ一覧を以下の表に示します。

<ADCAn_base>は「**38.1.2 レジスタベースアドレス**」を参照してください。

表 38.42 レジスター覧

モジュール名	レジスタ名	略号	アドレス
ADCA 固有レジスタ（仮想チャネル）			
ADCAn	仮想チャネルレジスタ j	ADCAnVCRj	<ADCAn_base> + j × 4_H
	PWM-Diag 仮想チャネルレジスタ	ADCAnPWDVCR	<ADCAn_base> + $0F4_H$
	データレジスタ j	ADCAnDRj	<ADCAn_base> + 100_H + j × 2_H
	データ付帯情報レジスタ j	ADCAnDIRj	<ADCAn_base> + 200_H + j × 4_H
	PWM-Diag データレジスタ	ADCAnPWDTSNDR	<ADCAn_base> + 178_H
	PWM-Diag データ付帯情報レジスタ	ADCAnPWDDIR	<ADCAn_base> + $2F4_H$
ADCA 固有レジスタ（制御）			
ADCAn	A/D 強制終了レジスタ	ADCAnADHALTR	<ADCAn_base> + 300_H
	A/D 制御レジスタ	ADCAnADCR	<ADCAn_base> + 304_H
	MPX カレントレジスタ	ADCAnMPXCURR	<ADCAn_base> + $30C_H$
	T&H サンプリング開始制御レジスタ	ADCAnTHSMPSTCR	<ADCAn_base> + 314_H
	T&H 制御レジスタ	ADCAnTHCR	<ADCAn_base> + 318_H
	T&H グループ A ホールド開始制御レジスタ	ADCAnTHAHLDSTCR	<ADCAn_base> + $31C_H$
	T&H グループ B ホールド開始制御レジスタ	ADCAnTHBHLDSTCR	<ADCAn_base> + 320_H
	T&H グループ A 制御レジスタ	ADCAnTHACR	<ADCAn_base> + 324_H
	T&H グループ B 制御レジスタ	ADCAnTHBCR	<ADCAn_base> + 328_H
	T&H イネーブルレジスタ	ADCAnTHER	<ADCAn_base> + $32C_H$
	T&H グループ選択レジスタ	ADCAnTHGSR	<ADCAn_base> + 330_H
	サンプリング制御レジスタ	ADCAnSMPCR	<ADCAn_base> + 380_H
	MPX 安定時間選択レジスタ 0	ADCAnMPXSTBTSELR0	<ADCAn_base> + $5F0_H$
	MPX 安定時間選択レジスタ 1	ADCAnMPXSTBTSELR1	<ADCAn_base> + $5F4_H$
	MPX 安定時間選択レジスタ 2	ADCAnMPXSTBTSELR2	<ADCAn_base> + $5F8_H$
	MPX 安定時間選択レジスタ 3	ADCAnMPXSTBTSELR3	<ADCAn_base> + $5FC_H$
	MPX 安定時間選択レジスタ 4	ADCAnMPXSTBTSELR4	<ADCAn_base> + 600_H
	MPX 安定時間設定レジスタ 0	ADCAnMPXSTBTR0	<ADCAn_base> + 610_H
	MPX 安定時間設定レジスタ 1	ADCAnMPXSTBTR1	<ADCAn_base> + 614_H
	MPX 安定時間設定レジスタ 2	ADCAnMPXSTBTR2	<ADCAn_base> + 618_H
	MPX 安定時間設定レジスタ 3	ADCAnMPXSTBTR3	<ADCAn_base> + $61C_H$
	MPX 安定時間設定レジスタ 4	ADCAnMPXSTBTR4	<ADCAn_base> + 620_H
	MPX 安定時間設定レジスタ 5	ADCAnMPXSTBTR5	<ADCAn_base> + 624_H
	MPX 安定時間設定レジスタ 6	ADCAnMPXSTBTR6	<ADCAn_base> + 628_H
	MPX 安定時間設定レジスタ 7	ADCAnMPXSTBTR7	<ADCAn_base> + $62C_H$

表 38.42　レジスター覧

モジュール名	レジスタ名	略号	アドレス
ADCA 固有レジスタ（セーフティ関連）			
ADCAn	セーフティ制御レジスタ	ADCAnSFTCR	<ADCAn_base> + 334$_H$
	上限／下限テーブルレジスタ 0	ADCAnULLMTBR0	<ADCAn_base> + 338$_H$
	上限／下限テーブルレジスタ 1	ADCAnULLMTBR1	<ADCAn_base> + 33C$_H$
	上限／下限テーブルレジスタ 2	ADCAnULLMTBR2	<ADCAn_base> + 340$_H$
	エラークリアレジスタ	ADCAnECR	<ADCAn_base> + 344$_H$
	上限／下限エラーレジスタ	ADCAnULER	<ADCAn_base> + 348$_H$
	オーバライトエラーレジスタ	ADCAnOWER	<ADCAn_base> + 34C$_H$
	上限／下限エラーVC フラグレジスタ 0	ADCAnULEVCFR0	<ADCAn_base> + 540$_H$
	上限／下限エラーVC フラグレジスタ 1	ADCAnULEVCFR1	<ADCAn_base> + 544$_H$
	上限／下限テーブルレジスタ 3	ADCAnULLMTBR3	<ADCAn_base> + 564$_H$
	上限／下限テーブルレジスタ 4	ADCAnULLMTBR4	<ADCAn_base> + 568$_H$
	上限／下限テーブルレジスタ 5	ADCAnULLMTBR5	<ADCAn_base> + 56C$_H$
	上限／下限テーブルレジスタ 6	ADCAnULLMTBR6	<ADCAn_base> + 570$_H$
	上限／下限テーブルレジスタ 7	ADCAnULLMTBR7	<ADCAn_base> + 574$_H$
スキャングループ（SG）固有レジスタ			
ADCAn	スキャングループ x 開始制御レジスタ	ADCAnSGSTCRx	<ADCAn_base> + x × 40$_H$ + 400$_H$
	PWM-Diag 用スキャンストップ制御レジスタ	ADCAnPWDSGSTPCR	<ADCAn_base> + 504$_H$
	PWM-Diag 用スキャングループ制御レジスタ	ADCAnPWDSGCR	<ADCAn_base> + 508$_H$
	スキャングループ x 制御レジスタ	ADCAnSGCRx	<ADCAn_base> + x × 40$_H$ + 408$_H$
	スキャングループ x 開始仮想チャネルポインタ	ADCAnSGVCSPx	<ADCAn_base> + x × 40$_H$ + 40C$_H$
	スキャングループ x 終了仮想チャネルポインタ	ADCAnSGVCEPx	<ADCAn_base> + x × 40$_H$ + 410$_H$
	スキャングループ x マルチサイクルレジスタ	ADCAnSGMCYCRx	<ADCAn_base> + x × 40$_H$ + 414$_H$
	PWM-Diag スキャン終了フラグクリアレジスタ	ADCAnPWDSGSEFCR	<ADCAn_base> + 518$_H$
	スキャングループ x スキャン終了フラグクリアレジスタ	ADCAnSGSEFCRx	<ADCAn_base> + x × 40$_H$ + 418$_H$
	スキャングループステータスレジスタ	ADCAnSGSTR	<ADCAn_base> + 308$_H$
	スキャングループ x ストップ制御レジスタ	ADCAnSGSTPCRx	<ADCAn_base> + x × 40$_H$ + 404$_H$
ハードウェアトリガ固有レジスタ			
ADCAn	スキャングループ x 開始トリガ制御レジスタ	ADCAnSGTSELx	<ADCAn_base> + x × 40$_H$ + 41C$_H$
自己診断固有レジスタ			
ADCAn	自己診断制御レジスタ 0	ADCAnDGCTL0	<ADCAn_base> + 350$_H$
	自己診断制御レジスタ 1	ADCAnDGCTL1	<ADCAn_base> + 354$_H$
	プルダウン制御レジスタ 1	ADCAnPDCTL1	<ADCAn_base> + 358$_H$
	プルダウン制御レジスタ 2	ADCAnPDCTL2	<ADCAn_base> + 35C$_H$
エミュレーション固有レジスタ			
ADCAn	エミュレーション制御レジスタ	ADCAnEMU	<ADCAn_base> + 388$_H$

38.3.2 ADCA 固有レジスタ

ADCA0 と ADCA1 で個別に備えるレジスタを説明します。

38.3.2.1 ADCAnVCRj — 仮想チャネルレジスタ j

仮想チャネルを制御するレジスタです。

アクセス　ADCAnVCRj は 32 ビット単位でリード／ライト可能です。
ADCAnVCRjL は 16 ビット単位でリード／ライト可能です。
ADCAnVCRjLL および ADCAnVCRjLH は 8 ビット単位でリード／ライト可能です。

アドレス　ADCAnVCRj：<ADCAn_base> + j × 4_H
ADCAnVCRjL：<ADCAn_base> + j × 4_H
ADCAnVCRjLL：<ADCAn_base> + j × 4_H
ADCAnVCRjLH：<ADCAn_base> + j × 4_H + 1_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MPXE[注1、注2]	MPXV[2:0][注1]			ULS[3:2]		CNVCLS[注1、注3]	ADIE	ULS[1:0]		GCTRL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 38.43　ADCAnVCRj レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	MPXE[注1、注2]	MPX イネーブルビット 0：MPX の使用を禁止します。 A/D 変換する前にウェイトを挿入しません 1：MPX の使用を許可します。仮想チャネルの開始時に MPXV[2:0]を ADCAnSEL0-2 から出力します。A/D 変換する前に 1 A/D 変換時間のウェイトを挿入します。
14～12	MPXV[2:0][注1]	外付けアナログマルチプレクサに転送する MPX の値を設定する。
11、10	ULS[3:2]	上限値／下限値テーブル選択ビット[注4]
9	CNVCLS[注1、注3]	自己診断時の A/D 変換種別選択ビット 0：自己診断時にホールド値 A/D 変換 1：自己診断時に通常 A/D 変換 ただし、自己診断時に通常 A/D 変換を実施する場合で、かつ MPX を使用する場合（MPXE をセット）には、A/D 変換する前に、1 A/D 変換時間のウェイトを挿入します。一方、自己診断時にホールド値 A/D 変換を実施する場合は MPX は使用できません。
8	ADIE	A/D 変換終了割り込みイネーブルビット 0：SGx の仮想チャネル j の A/D 変換終了でスキャングループ x 終了割り込み（INT_SGx）を発生しない 1：SGx の仮想チャネル j の A/D 変換終了でスキャングループ x 終了割り込み（INT_SGx）を発生する
7、6	ULS[1:0]	上限値／下限値テーブル選択ビット[注4]

表 38.43　ADCAnVCRj レジスタの内容

ビット位置	ビット名	機能
5～0	GCTRL[5:0]	物理チャネル選択ビット： 0_H～23_H：対応する ANIn を選択 24_H：A/D コンバータの診断チャネルを選択 その他：設定禁止 **備考）** 本ビットは対応する物理チャネルを設定します。**「表 38.16 各製品の添字対応 (RH850/F1KH-D8)」**、**「表 38.17 各製品の添字対応 (RH850/F1KM-S4)」**、**「表 38.18 各製品の添字対応 (RH850/F1KM-S2)」**、**「表 38.19 各製品の添字対応 (RH850/F1KM-S1)」**、**「表 38.32 ADCA0 アナログ入力信号 (RH850/F1KH-D8)」**、**「表 38.33 ADCA0 アナログ入力信号 (RH850/F1KM-S4)」**、**「表 38.34 ADCA0 アナログ入力信号 (RH850/F1KM-S2)」**、**「表 38.35 ADCA0 アナログ入力信号 (RH850/F1KM-S1)」**、**「表 38.37 ADCA1 アナログ入力信号 (RH850/F1KH-D8)」**、**「表 38.38 ADCA1 アナログ入力信号 (RH850/F1KM-S4)」**および**「表 38.39 ADCA1 アナログ入力信号 (RH850/F1KM-S2)」**を参照してください。

注1.　本ビットは ADCA0 のみ対応しています。ADCA1 において、ライトする場合はリセット後の値を書いてください。

注2.　GCTRL[5:0]を 24_H（自己診断チャネル）に設定した時は、MPXE を 0 に設定してください。

注3.　本ビットは j＝33～35 のときのみ対応しています。それ以外の場合、ライトする場合はリセット後の値を書いてください。

注4.　ULS[3:0]＝

0000：上限と下限はチェックされません。
0001：ADCAnULLMTBR0 の上限と下限がチェックされます。
0010：ADCAnULLMTBR1 の上限と下限がチェックされます。
0011：ADCAnULLMTBR2 の上限と下限がチェックされます。
0100：ADCAnULLMTBR3 の上限と下限がチェックされます。
0101：ADCAnULLMTBR4 の上限と下限がチェックされます。
0110：ADCAnULLMTBR5 の上限と下限がチェックされます。
0111：ADCAnULLMTBR6 の上限と下限がチェックされます。
1000：ADCAnULLMTBR7 の上限と下限がチェックされます。
上記以外：設定禁止（本設定時は上限、下限はチェックされません。）

注　意

誤動作を防ぐため、ADCAnVCRj の設定は（スキャングループ停止時の ADIE＝0 設定を除き）、対象スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ対象スキャングループの TRGMD が 0 のとき、行ってください。

表 38.44 物理チャネルの選択

GCTRL5	GCTRL4	GCTRL3	GCTRL2	GCTRL1	GCTRL0	選択されるアナログ入力端子
0	0	0	0	0	0	ADCAnI0（物理チャネル ANIn00）
0	0	0	0	0	1	ADCAnI1（物理チャネル ANIn01）
0	0	0	0	1	0	ADCAnI2（物理チャネル ANIn02）
0	0	0	0	1	1	ADCAnI3（物理チャネル ANIn03）
0	0	0	1	0	0	ADCAnI4（物理チャネル ANIn04）
0	0	0	1	0	1	ADCAnI5（物理チャネル ANIn05）
0	0	0	1	1	0	ADCAnI6（物理チャネル ANIn06）
0	0	0	1	1	1	ADCAnI7（物理チャネル ANIn07）
0	0	1	0	0	0	ADCAnI8（物理チャネル ANIn08）
0	0	1	0	0	1	ADCAnI9（物理チャネル ANIn09）
0	0	1	0	1	0	ADCAnI10（物理チャネル ANIn10）
0	0	1	0	1	1	ADCAnI11（物理チャネル ANIn11）
0	0	1	1	0	0	ADCAnI12（物理チャネル ANIn12）
0	0	1	1	0	1	ADCAnI13（物理チャネル ANIn13）
0	0	1	1	1	0	ADCAnI14（物理チャネル ANIn14）
0	0	1	1	1	1	ADCAnI15（物理チャネル ANIn15）
0	1	0	0	0	0	ADCAnI0S（物理チャネル ANIn16）
0	1	0	0	0	1	ADCAnI1S（物理チャネル ANIn17）
0	1	0	0	1	0	ADCAnI2S（物理チャネル ANIn18）
0	1	0	0	1	1	ADCAnI3S（物理チャネル ANIn19）
0	1	0	1	0	0	ADCAnI4S（物理チャネル ANIn20）
0	1	0	1	0	1	ADCAnI5S（物理チャネル ANIn21）
0	1	0	1	1	0	ADCAnI6S（物理チャネル ANIn22）
0	1	0	1	1	1	ADCAnI7S（物理チャネル ANIn23）
0	1	1	0	0	0	ADCAnI8S（物理チャネル ANIn24）
0	1	1	0	0	1	ADCAnI9S（物理チャネル ANIn25）
0	1	1	0	1	0	ADCAnI10S（物理チャネル ANIn26）
0	1	1	0	1	1	ADCAnI11S（物理チャネル ANIn27）
0	1	1	1	0	0	ADCAnI12S（物理チャネル ANIn28）
0	1	1	1	0	1	ADCAnI13S（物理チャネル ANIn29）
0	1	1	1	1	0	ADCAnI14S（物理チャネル ANIn30）
0	1	1	1	1	1	ADCAnI15S（物理チャネル ANIn31）
1	0	0	0	0	0	ADCAnI16S（物理チャネル ANIn32）
1	0	0	0	0	1	ADCAnI17S（物理チャネル ANIn33）
1	0	0	0	1	0	ADCAnI18S（物理チャネル ANIn34）
1	0	0	0	1	1	ADCAnI19S（物理チャネル ANIn35）
1	0	0	1	0	0	A/D 変換回路の診断チャネル
上記以外						設定禁止

38.3.2.2 ADCAnPWDVCR — PWM-Diag 仮想チャネルレジスタ

PWM-Diag（SG4）の仮想チャネル設定（PWSAnPVCRx_y.レジスタ設定）を示すレジスタです。

アクセス ADCAnPWDVCR は 32 ビット単位でリードのみ可能です。
ADCAnPWDVCRL は 16 ビット単位でリードのみ可能です。
ADCAnPWDVCRLL は 8 ビット単位でリードのみ可能です。
ADCAnPWDVCRLH は 8 ビット単位でリードのみ可能です。

アドレス ADCAnPWDVCR：<ADCAn_base> + $0F4_H$
ADCAnPWDVCRL：<ADCAn_base> + $0F4_H$
ADCAnPWDVCRLL：<ADCAn_base> + $0F4_H$
ADCAnPWDVCRLH：<ADCAn_base> + $0F4_H$ + 1_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MPXE 注 1	MPXV[2:0]注 1			ULS[3:2]		—	—	ULS[1:0]		GCTRL[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 38.45 ADCAnPWDVCR レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。
15	MPXE 注 1	PWSAnPVCRx_y.PWSAnVRDTy[27]（奇数チャネル）、または PWSAnPVCRx_y.PWSAnVRDTx[11]（偶数チャネル）ビットにより以下の設定を行います。 MPX イネーブルビット 外付けアナログマルチプレクサを使用するときにセットします。 0：MPX の使用を禁止します。 1：MPX の使用を許可します。仮想チャネルの開始時に MPXV[2:0]を ADCAnSEL0-2 から出力します。A/D 変換する前に 1 A/D 変換時間のウェイトを挿入します。
14～12	MPXV[2:0]注 1	PWSAnPVCRx_y.PWSAnVRDTy[26:24]（奇数チャネル）、または PWSAnPVCRx_y.PWSAnVRDTx[10:8]（偶数チャネル）ビットにより、外付けアナログマルチプレクサに転送する MPX の値を設定します。
11、10	ULS[3:2]	PWSAnPVCRx_y.PWSAnVRDTy[29:28]（奇数チャネル）、または PWSAnPVCRx_y.PWSAnVRDTx[13:12]（偶数チャネル）により以下の設定を行います。 上限値／下限値テーブル選択ビット注 2
9、8	予約ビット	リードした場合はリセット後の値が読めます。
7、6	ULS[1:0]	PWSAnPVCRx_y.PWSAnVRDTy[23:22]（奇数チャネル）、または PWSAnPVCRx_y.PWSAnVRDTx[7:6]（偶数チャネル）により以下の設定を行います。 上限値／下限値テーブル選択ビット注 2
5～0	GCTRL[5:0]	PWSAnPVCRx_y.PWSAnVRDTy[21:16]（奇数チャネル）、または PWSAnPVCRx_y.PWSAnVRDTx[5:0]（偶数チャネル）により以下の設定を行います。 物理チャネル選択ビット 仮想チャネル j に割り当てる、物理チャネルを指定します。 チャネルの選択は、「**表 38.44 物理チャネルの選択**」を参照してください。

注1.　本ビットは ADCA0 のみ対応しています。ADCA1 においてはリードした場合はリセット後の値が読めます。

注2.　ULS[3:0]＝

0000：上限と下限はチェックされません。

0001：ADCAnULLMTBR0 の上限と下限がチェックされます。

0010：ADCAnULLMTBR1 の上限と下限がチェックされます。

0011：ADCAnULLMTBR2 の上限と下限がチェックされます。

0100：ADCAnULLMTBR3 の上限と下限がチェックされます。

0101：ADCAnULLMTBR4 の上限と下限がチェックされます。

0110：ADCAnULLMTBR5 の上限と下限がチェックされます。

0111：ADCAnULLMTBR6 の上限と下限がチェックされます。

1000：ADCAnULLMTBR7 の上限と下限がチェックされます。

上記以外：設定禁止（本設定時は上限、下限はチェックされません。）

38.3.2.3　ADCAnDRj — データレジスタ j

ADCAnVCRj、ADCAnVCR(j+1)に対応した A/D 変換結果を格納する 32/16 ビットの読み出し専用レジスタです。A/D 変換結果は、上位に ADCAnVCR(j+1)の変換結果（ADCAnDR(j+1)）を格納し、下位に ADCAnVCRj の変換結果（ADCAnDRj）を格納します。

アクセス　ADCAnDRj は 32 ビット単位でリードのみ可能です。
ADCAnDRjL, ADCAnDRjH は 16 ビット単位でリードのみ可能です。

アドレス　ADCAnDRj：<ADCAn_base> + 100_H + j × 2_H
ADCAnDRjL：<ADCAn_base> + 100_H + j × 2_H
ADCAnDRjH：<ADCAn_base> + 100_H + j × 2_H + 2_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DR(j+1)[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRj[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 38.46　ADCAnDRj レジスタの内容

ビット位置	ビット名	機能
31～16	DR(j+1)[15:0]	A/D 変換結果データを格納する。 （ADCAnVCR(j+1)で設定されたチャネルに対しての A/D 変換結果を転送する）
15～0	DRj[15:0]	A/D 変換結果データを格納する。 （ADCAnVCRj で設定されたチャネルに対しての A/D 変換結果を転送する）

注　意

ADCAnDIRj.WFLG と ADCAnDIR(j+1).WFLG は、ADCAnDRjL、または ADCAnDRjH の 16 ビット単位の読み出しでクリアされるため、注意してください。また、仮想チャネル 33, 34, 35 を自己診断専用で使用する場合、チャネル 32 用の下位ビット（DRj[15:0]）は使用不可になります。

備　考

1. j＝00, 02, …, 46, 48（ADCA0 の場合）
   j＝00, 02, …, 32, 34（ADCA1 の場合）
2. 本レジスタのデータフォーマットは、ADCAnADCR.CRAC、ADCAnADCR.CTYP を制御することで、以下に示すデータフォーマットとなります。
   - ADCAnADCR.CTYP＝“0”、ADCAnADCR.CRAC＝“0”→右詰め
     →ADCAnVCR（j+1）の A/D 変換結果は bit27-16 に、ADCAnVCRj の A/D 変換結果は bit11-0 に転送される。
   - ADCAnADCR.CTYP＝“0”、ADCAnADCR.CRAC＝“1”→左詰め
     →ADCAnVCR（j+1）の A/D 変換結果は bit31-bit20 に、ADCAnVCRj の A/D 変換結果は bit15-4 に転送される。
   - ADCAnADCR.CTYP＝“1”、ADCAnADCR.CRAC＝“0”→右詰め
     →ADCAnVCR（j+1）の A/D 変換結果は bit25-16 に、ADCAnVCRj の A/D 変換結果は bit9-0 に転送される。
   - ADCAnADCR.CTYP＝“1”、ADCAnADCR.CRAC＝“1”→左詰め
     →ADCAnVCR（j+1）の A/D 変換結果は bit31-22 に、ADCAnVCRj の A/D 変換結果は bit15-6 に転送される。

38.3.2.4　ADCAnDIRj ― データ付帯情報レジスタ j

ADCAnDRj の A/D 変換結果と A/D 変換値に付帯する情報を格納する 32 ビットの読み出し専用のレジスタです。

A/D 変換結果は ADCAnDRj の値が転送され、A/D 変換値に付帯する情報は、ライトフラグ（WFLG）、MPX 値（MPXV[2:0]）、物理チャネル（ID[5:0]）が転送されます。ADCAnDIRj に格納される A/D 変換結果は、ADCAnDRj レジスタのデータフォーマットと同等です。

アクセス	32 ビット単位でリードのみ可能です。
アドレス	<ADCAn_base> + 200$_H$ + j × 4$_H$
リセット後の値	0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MPXE[注1]	MPXV[2:0][注1]			—	—	WFLG	—	—	—	ID[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 38.47　ADCAnDIRj レジスタの内容

ビット位置	ビット名	機能
31	MPXE[注1]	MPX イネーブルフラグビット 0：MPX 機能を使用していない 1：MPX 機能を使用している
30～28	MPXV[2:0][注1]	MPX 値を格納します。 格納される MPX 値は、直前の変換結果の MPX 値となります。
27、26	予約ビット	リードした場合はリセット後の値が読めます。
25	WFLG	ライトフラグ 0：ADCAnDRj もしくは ADCAnDIRj をリードした（読み出されたときにクリア） 1：ADCAnDRj に A/D 変換値を格納した（格納したときにセット）
24～22	予約ビット	リードした場合はリセット後の値が読めます。
21～16	ID[5:0]	変換結果に対応する物理チャネル番号（GCTRL）を格納します。 格納される物理チャネル番号は、直前の変換結果に対応する物理チャネル番号です。
15～0	DR[15:0]	A/D 変換結果を格納します。

注1.　本ビットは ADCA0 のみ対応しています。
　　　ADCA1 においては、リードした場合はリセット後の値が読めます。

38.3.2.5　ADCAnPWDTSNDR — PWM-Diag データレジスタ

PWM-Diag の A/D 変換結果を格納する 32/16 ビットの読み出し専用レジスタです。変換結果は、上位に PWM-Diag の変換結果（PWDDR）を格納します。

アクセス　ADCAnPWDTSNDR は 32 ビット単位でリードのみ可能です。
ADCAnPWDTSNDRH は 16 ビット単位でリードのみ可能です。

アドレス　ADCAnPWDTSNDR：<ADCAn_base> + 178_H
ADCAnPWDTSNDRH：<ADCAn_base> + $17A_H$

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PWDDR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 38.48　ADCAnPWDTSNDR レジスタの内容

ビット位置	ビット名	機能
31～16	PWDDR[15:0]	PWM-Diag A/D 変換結果データを格納する。
15～0	予約ビット	リードした場合はリセット後の値が読めます。

備　考

本レジスタのデータフォーマットは、ADCAnADCR.CRAC、ADCAnADCR.CTYP を制御することで、以下に示すデータフォーマットとなります。

- ADCAnADCR.CTYP＝“0”、ADCAnADCR.CRAC＝“0”→右詰め
  →ADCAnPWDVCR の A/D 変換結果は bit27-16 に転送される。
- ADCAnADCR.CTYP＝“0”、ADCAnADCR.CRAC＝“1”→左詰め
  →ADCAnPWDVCR の A/D 変換結果は bit31-bit20 に転送される。
- ADCAnADCR.CTYP＝“1”、ADCAnADCR.CRAC＝“0”→右詰め
  →ADCAnPWDVCR の A/D 変換結果は bit25-16 に転送される。
- ADCAnADCR.CTYP＝“1”、ADCAnADCR.CRAC＝“1”→左詰め
  →ADCAnPWDVCR の A/D 変換結果は bit31-22 に転送される。

38.3.2.6 ADCAnPWDDIR ― PWM-Diag データ付帯情報レジスタ

PWM-Diag 使用時の A/D 変換結果と A/D 変換値に付帯する情報を格納する 32 ビットの読み出し専用のレジスタです。

A/D 変換結果は ADCAnPWDTSNDR.PWDDR[15:0]の値が転送され、A/D 変換値に付帯する情報は、ライトフラグ（WFLG）、MPX 値（MPXV[2:0]）、物理チャネル（ID[5:0]）が転送されます。ADCAnPWDDIR に格納される A/D 変換結果は、ADCAnPWDTSNDR レジスタのデータフォーマットと同等です。また、PWDDR[15:0]は、PWSAnPWDDIRz レジスタで設定された、対応する PWGA チャネルで読み出すことができます。詳細は、「**第 37 章 PWM 出力/診断（PWM-Diag）**」を参照してください。

アクセス 32 ビット単位でリードのみ可能です。

アドレス <ADCAn_base> + $2F4_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MPXE 注1	MPXV[2:0]注1			—	—	WFLG	—	—	—	ID[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PWDDR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 38.49 ADCAnPWDDIR レジスタの内容

ビット位置	ビット名	機能
31	MPXE 注1	MPX イネーブルフラグビット 0：MPX 機能を使用していない 1：MPX 機能を使用している
30～28	MPXV[2:0]注1	MPX 値を格納します。 格納される MPX 値は、直前の変換結果の MPX 値となります。
27、26	予約ビット	リードした場合はリセット後の値が読めます。
25	WFLG	ライトフラグ 0：ADCAnPWDTSNDR もしくは、ADCAnPWDDIR をリードした（読み出されたときにクリア） 1：ADCAnPWDTSNDR に A/D 変換値を格納した（格納したときにセット）
24～22	予約ビット	リードした場合はリセット後の値が読めます。
21～16	ID[5:0]	変換結果に対応する物理チャネル番号（GCTRL）を格納します。 格納される物理チャネル番号は、直前の変換結果に対応する物理チャネル番号です。
15～0	PWDDR[15:0]	PWM-Diag A/D 変換結果を格納します。

注1. 本ビットは ADCA0 のみ対応しています。
ADCA1 においては、リードした場合はリセット後の値が読めます。

38.3.2.7　ADCAnADHALTR ― A/D 強制終了レジスタ

ADCAn のすべての SG の変換を終了するレジスタです。読み出しは常に 0 が読み出されます。

アクセス	ADCAnADHALTR は 32 ビット単位でライトのみ可能です。 ADCAnADHALTRL は 16 ビット単位でライトのみ可能です。 ADCAnADHALTRLL は 8 ビット単位でライトのみ可能です。
アドレス	ADCAnADHALTR：<ADCAn_base> + 300_H ADCAnADHALTRL：<ADCAn_base> + 300_H ADCAnADHALTRLL：<ADCAn_base> + 300_H
リセット後の値	$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	HALT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 38.50　ADCAnADHALTR レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	HALT	ADCA 強制終了トリガ 全スキャングループを終了かつ初期化し、ADCA をアイドル状態にします。 　0 の書き込み：機能なし 　1 の書き込み：終了する

38.3.2.8　ADCAnADCR — A/D 制御レジスタ

ADCAn の共通制御を行うレジスタです。

アクセス	ADCAnADCR は 32 ビット単位でリード／ライト可能です。 ADCAnADCRL は 16 ビット単位でリード／ライト可能です。 ADCAnADCRLL は 8 ビット単位でリード／ライト可能です。
アドレス	ADCAnADCR：<ADCAn_base> + 304_H ADCAnADCRL：<ADCAn_base> + 304_H ADCAnADCRLL：<ADCAn_base> + 304_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DGON	—	CRAC	CTYP	—	—	SUSMTD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R	R	R/W	R/W

表 38.51　ADCAnADCR レジスタの内容

ビット位置	ビット名	機能
31～8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	DGON	自己診断電圧スタンバイ制御ビット 0：自己診断電圧回路を OFF します。 1：自己診断電圧回路を ON、または基準電圧の更新を行います。
6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	CRAC	アライメント制御ビット 0：PWDDR, ADCAnDRj への変換結果の格納を右詰めにする。 1：PWDDR, ADCAnDRj への変換結果の格納を左詰めにする。
4	CTYP	12/10 ビット選択モードビット 0：12 ビットモード 1：10 ビットモード
3、2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	SUSMTD [1:0]	サスペンドモード選択ビット 高優先スキャングループが低優先スキャングループに割り込むときのサスペンド方式を選択します。 00：高優先度 SG および SVSTOP が割り込むとき同期サスペンド 01：SG1 に高優先度 SG（SG2, 3, 4）と SVSTOP が割り込むときは非同期サスペンド SG2 に高優先度 SG（SG3, 4）と SVSTOP が割り込むときは同期サスペンド SG3 に高優先度 SG（SG4）と SVSTOP が割り込むときは同期サスペンド 10：高優先度 SG および SVSTOP が割り込むとき非同期サスペンド 11：設定禁止

注　意

誤動作を防ぐため、ADCAnADCR の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの TRGMD が 0 のとき、行ってください。

備　考

- 同期サスペンド：
  低優先 SG を処理中に高優先 SG の要求が発生したとき、A/D 変換中のチャネルの処理が終了してから高優先 SG の A/D 変換を実行します。高優先 SG の処理が終了後、低優先 SG の A/D チャネルの変換を再開します。
- 非同期サスペンド：
  低優先 SG を処理中に高優先 SG の要求が発生したとき、A/D 変換中のチャネルの処理を中断し高優先 SG の A/D 変換を実行します。高優先 SG の処理が終了後、低優先 SG の中断した A/D チャネルから変換を再開します。

詳細は、「**図 38.25　同期サスペンド&レジューム動作例**」および「**図 38.26　非同期サスペンド&レジューム動作例**」を参照してください。

38.3.2.9　ADCAnMPXCURR ― MPX カレントレジスタ

外付けアナログマルチプレクサ用の MPX 値を格納するレジスタです。

アクセス　ADCAnMPXCURR は 32 ビット単位でリードのみ可能です。
ADCAnMPXCURRL は 16 ビット単位でリードのみ可能です。
ADCAnMPXCURRLL は 8 ビット単位でリードのみ可能です。

アドレス　ADCAnMPXCURR：<ADCAn_base> + $30C_H$
ADCAnMPXCURRL：<ADCAn_base> + $30C_H$
ADCAnMPXCURRLL：<ADCAn_base> + $30C_H$

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	MPXCUR[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 38.52　ADCAnMPXCURR レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。
2～0	MPXCUR[2:0]	カレントの MPX 値を格納します。 ADCAnVCRj.MPXE＝1 に設定し、仮想チャネルの変換を開始した場合は、ADCAnVCRj.MPXV[2:0]の設定値を格納します。 ADCAnPWDVCR.MPXE＝1 に設定し、仮想チャネルの変換を開始した場合は、ADCAnPWDVCR.MPXV[2:0]の設定値を格納します。

備　考

RH850/F1KH, RH850/F1KM では ADCA0 のみ対応しています。

38.3.2.10 ADCAnTHSMPSTCR — T&H サンプリング開始制御レジスタ

全 T&Hk（k＝0～5）のサンプリング開始を制御するレジスタです。読み出しは常に 0 です。

アクセス ADCAnTHSMPSTCR は、32 ビット単位でライトのみ可能です。
ADCAnTHSMPSTCRL は、16 ビット単位でライトのみ可能です。
ADCAnTHSMPSTCRLL は、8 ビット単位でライトのみ可能です。

アドレス ADCAnTHSMPSTCR：<ADCAn_base> + 314_H
ADCAnTHSMPSTCRL：<ADCAn_base> + 314_H
ADCAnTHSMPSTCRLL：<ADCAn_base> + 314_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SMPST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 38.53 ADCAnTHSMPSTCR レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	SMPST	T&H サンプリング開始制御トリガ 0：機能しません 1：全 T&H のサンプリングを開始します T&H 回路がサンプリング状態となる条件は以下のとおりです。 ● T&H 停止中のサンプリング開始条件： ADCAnTHER.THkE＝1（k＝0～5）の状態で、ADCAnTHSMPSTCR.SMPST に 1 を書き込んだとき。 ● オートサンプリング時の連続サンプリング開始条件： ADCAnTHER.THkE＝1（k＝0～5）の状態、かつ ADCAnTHCR.ASMPMSK＝1 の状態で、T&Hk のホールド値の A/D 変換が終了したとき。

備 考

RH850/F1KH, RH850/F1KM では ADCA0 のみ対応しています。

38.3.2.11　ADCAnTHCR — T&H 制御レジスタ

T&H 回路にホールドされた値の A/D 変換終了後のサンプリング遷移を制御するレジスタです。

T&H 回路にホールドされた値の A/D 変換終了後の T&H 回路のサンプリングを自動的に開始することで、次回以降のホールド完了トリガ発生までの時間を短縮します。

アクセス　ADCAnTHCR は、32 ビット単位でリード／ライト可能です。
ADCAnTHCRL は、16 ビット単位でリード／ライト可能です。
ADCAnTHCRLL は、8 ビット単位でリード／ライト可能です。

アドレス　ADCAnTHCR：<ADCAn_base> + 318_H
ADCAnTHCRL：<ADCAn_base> + 318_H
ADCAnTHCRLL：<ADCAn_base> + 318_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ASMPMSK
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 38.54　ADCAnTHCR レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ASMPMSK	自動サンプリングマスク制御ビット 0：自動サンプリングをしない 1：自動サンプリングする

注　意

誤動作を防ぐため、ADCAnTHCR の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの TRGMD が 0 のとき、行ってください。

備　考

RH850/F1KH, RH850/F1KM では ADCA0 のみ対応しています。

38.3.2.12　ADCAnTHAHLDSTCR — T&H グループ A ホールド開始制御レジスタ

T&H グループ A のホールド開始を制御するレジスタです。読み出しは常に 0 です。

アクセス	ADCAnTHAHLDSTCR は、32 ビット単位でライトのみ可能です。 ADCAnTHAHLDSTCRL は、16 ビット単位でライトのみ可能です。 ADCAnTHAHLDSTCRLL は、8 ビット単位でライトのみ可能です。
アドレス	ADCAnTHAHLDSTCR：<ADCAn_base> + $31C_H$ ADCAnTHAHLDSTCRL：<ADCAn_base> + $31C_H$ ADCAnTHAHLDSTCRLL：<ADCAn_base> + $31C_H$
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	HLDST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 38.55　ADCAnTHAHLDSTCR レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	HLDST	T&H グループ A ホールド開始制御トリガ 0：機能しません 1：T&H グループ A のホールドを開始します T&H 回路グループ A がホールド状態となる条件は以下のとおりです。 ADCAnTHER.THkE＝1（k＝0～5）の状態、かつ ADCAnTHGSR.THkGS＝0（k＝0～5）の状態で、ADCAnTHAHLDSTCR.HLDST に 1 を書き込んだとき

備　考

RH850/F1KH, RH850/F1KM では ADCA0 のみ対応しています。

38.3.2.13　ADCAnTHBHLDSTCR ― T&H グループ B ホールド開始制御レジスタ

T&H グループ B のホールド開始を制御するレジスタです。読み出しは常に 0 です。

アクセス	ADCAnTHBHLDSTCR は、32 ビット単位でライトのみ可能です。 ADCAnTHBHLDSTCRL は、16 ビット単位でライトのみ可能です。 ADCAnTHBHLDSTCRLL は、8 ビット単位でライトのみ可能です。
アドレス	ADCAnTHBHLDSTCR：<ADCAn_base> + 320_H ADCAnTHBHLDSTCRL：<ADCAn_base> + 320_H ADCAnTHBHLDSTCRLL：<ADCAn_base> + 320_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	HLDST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 38.56　ADCAnTHBHLDSTCR レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	HLDST	T&H グループ B　ホールド開始制御トリガ 0：機能しません 1：T&H グループ B のホールドを開始します T&H 回路グループ B がホールド状態となる条件は以下のとおりです。 ADCAnTHER.THkE＝1（k＝0～5）の状態、かつ ADCAnTHGSR.THkGS＝1（k＝0～5）の状態で、ADCAnTHBHLDSTCR.HLDST に 1 を書き込んだとき

備　考

RH850/F1KH, RH850/F1KM では ADCA0 のみ対応しています。

38.3.2.14　ADCAnTHACR — T&H グループ A 制御レジスタ

T&H グループ A を制御するレジスタです。

アクセス　ADCAnTHACR は、32 ビット単位でリード／ライト可能です。
ADCAnTHACRL は、16 ビット単位でリード／ライト可能です。
ADCAnTHACRLL は、8 ビット単位でリード／ライト可能です。

アドレス　ADCAnTHACR：<ADCAn_base> + 324_H
ADCAnTHACRL：<ADCAn_base> + 324_H
ADCAnTHACRLL：<ADCAn_base> + 324_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	HLDCTE	HLDTE	—	—	SGS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

表 38.57　ADCAnTHACR レジスタの内容

ビット位置	ビット名	機能
31～6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	HLDCTE	T&H グループ A ホールド完了トリガイネーブルビット 本ビットは、T&H 回路の自己診断時に使用します。 0：自己診断を行わない 1：自己診断を行う **備考）** ADCAnTHACR の SGS[1:0]と ADCAnTHBCR の SGS[1:0]で選択されていないスキャングループのトリガ入力は、SGx_TRG（x=1～3）トリガが選択されます。
4	HLDTE	T&H グループ A ホールドトリガイネーブルビット 0：T&H グループ A のホールド開始トリガに、SGS[1:0]で選択した SGx（x=1～3）トリガを選択する 1：T&H グループ A のホールド開始トリガに、SGS[1:0]で選択した SGx（x=1～3）トリガを選択しない **備考）** ADCAnTHACR.HLDTE の設定にかかわらず、ADCAnTHAHLDSTCR.HLDST はホールド開始トリガとなります。 また、T&H 回路の自己診断を行う際は、本ビットは 0 をセットしてください。
3、2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	SGS[1:0]	T&H グループ A スキャングループ選択ビット 00：T&H グループ A にスキャングループを選択しない。 01：T&H グループ A に SG1 を選択する。 10：T&H グループ A に SG2 を選択する。 11：T&H グループ A に SG3 を選択する。 **備考）** 1. ADCAnTHACR.SGS[1:0]=0_H に設定した場合は、T&H は動作しません。 ADCAnTHER.THkE で T&Hk を有効にする場合は、必ず SGS[1:0]でスキャングループを指定してください。 2. T&H グループ B と同じスキャングループを選択することは禁止です。

注　意

誤動作を防ぐため、ADCAnTHACR の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの TRGMD が 0 のとき、行ってください。

備　考

RH850/F1KH, RH850/F1KM では ADCA0 のみ対応しています。

38.3.2.15　ADCAnTHBCR ― T&H グループ B 制御レジスタ

T&H グループ B を制御するレジスタです。

アクセス　ADCAnTHBCR は、32 ビット単位でリード／ライト可能です。
ADCAnTHBCRL は、16 ビット単位でリード／ライト可能です。
ADCAnTHBCRLL は、8 ビット単位でリード／ライト可能です。

アドレス　ADCAnTHBCR：<ADCAn_base> + 328_H
ADCAnTHBCRL：<ADCAn_base> + 328_H
ADCAnTHBCRLL：<ADCAn_base> + 328_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	HLDCTE	HLDTE	—	—	SGS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

表 38.58　ADCAnTHBCR レジスタの内容

ビット位置	ビット名	機能
31～6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	HLDCTE	T&H グループ B ホールド完了トリガイネーブルビット 本ビットは、T&H 回路の自己診断時に使用します。 0：自己診断を行わない 1：自己診断を行う **備考）** ADCAnTHACR の SGS[1:0]と ADCAnTHBCR の SGS[1:0]で選択されていないスキャングループのトリガ入力は、SGx_TRG（x＝1～3）トリガが選択されます。
4	HLDTE	T&H グループ B ホールドトリガイネーブルビット 0：T&H グループ B のホールド開始トリガに、SGS[1:0]で選択した SGx（x＝1～3）トリガを選択する 1：T&H グループ B のホールド開始トリガに、SGS[1:0]で選択した SGx（x＝1～3）トリガを選択しない **備考）** ADCAnTHBCR.HLDTE の設定にかかわらず、ADCAnTHBHLDSTCR.HLDST はホールド開始トリガとなります。 また、T&H 回路の自己診断を行う際は、本ビットは 0 をセットしてください。
3、2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	SGS[1:0]	T&H グループ B スキャングループ選択ビット 00：T&H グループ B にスキャングループを選択しない。 01：T&H グループ B に SG1 を選択する。 10：T&H グループ B に SG2 を選択する。 11：T&H グループ B に SG3 を選択する。 **備考）** 1. ADCAnTHBCR.SGS[1:0]＝0_H に設定した場合は、T&H は動作しません。 ADCAnTHER.THkE で T&Hk を有効にする場合は、必ず SGS[1:0]でスキャングループを指定してください。 2. T&H グループ A と同じスキャングループを選択することは禁止です。

注　意

誤動作を防ぐため、ADCAnTHBCR の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの TRGMD が 0 のとき、行ってください。

備　考

RH850/F1KH, RH850/F1KM では ADCA0 のみ対応しています。

38.3.2.16　ADCAnTHER ― T&H イネーブルレジスタ

各 T&H の有効／無効を制御するレジスタです。

アクセス　ADCAnTHER は 32 ビット単位でリード／ライト可能です。
ADCAnTHERL は 16 ビット単位でリード／ライト可能です。
ADCAnTHERLL は 8 ビット単位でリード／ライト可能です。

アドレス　ADCAnTHER：<ADCAn_base> + $32C_H$
ADCAnTHERL：<ADCAn_base> + $32C_H$
ADCAnTHERLL：<ADCAn_base> + $32C_H$

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	TH5E	TH4E	TH3E	TH2E	TH1E	TH0E
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 38.59　ADCAnTHER レジスタの内容

ビット位置	ビット名	機能
31～6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	TH5E	T&H5 イネーブルビット 0：T&H5 無効 1：T&H5 有効 **備考）** TH5E＝0 に設定した場合、T&H5 は常に停止状態です。
4	TH4E	T&H4 イネーブルビット 0：T&H4 無効 1：T&H4 有効 **備考）** TH4E＝0 に設定した場合、T&H4 は常に停止状態です。
3	TH3E	T&H3 イネーブルビット 0：T&H3 無効 1：T&H3 有効 **備考）** TH3E＝0 に設定した場合、T&H3 は常に停止状態です。
2	TH2E	T&H2 イネーブルビット 0：T&H2 無効 1：T&H2 有効 **備考）** TH2E＝0 に設定した場合、T&H2 は常に停止状態です。
1	TH1E	T&H1 イネーブルビット 0：T&H1 無効 1：T&H1 有効 **備考）** TH1E＝0 に設定した場合、T&H1 は常に停止状態です。

表 38.59　ADCAnTHER レジスタの内容

ビット位置	ビット名	機能
0	TH0E	T&H0 イネーブルビット 0：T&H0 無効 1：T&H0 有効 **備考）** TH0E＝0 に設定した場合、T&H0 は常に停止状態です。

注　意

誤動作を防ぐため、ADCAnTHER の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの TRGMD が 0 のとき、行ってください。

備　考

RH850/F1KH, RH850/F1KM では ADCA0 のみ対応しています。

38.3.2.17　ADCAnTHGSR ― T&H グループ選択レジスタ

各 T&H の T&H グループを選択するレジスタです。

アクセス　ADCAnTHGSR は、32 ビット単位でリード／ライト可能です。
ADCAnTHGSRL は、16 ビット単位でリード／ライト可能です。
ADCAnTHGSRLL は、8 ビット単位でリード／ライト可能です。

アドレス　ADCAnTHGSR：<ADCAn_base> + 330_H
ADCAnTHGSRL：<ADCAn_base> + 330_H
ADCAnTHGSRLL：<ADCAn_base> + 330_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	TH5GS	TH4GS	TH3GS	TH2GS	TH1GS	TH0GS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 38.60　ADCAnTHGSR レジスタの内容

ビット位置	ビット名	機能
31～6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	TH5GS	T&H5 グループ選択ビット 0：T&H5 をグループ A に選択 1：T&H5 をグループ B に選択
4	TH4GS	T&H4 グループ選択ビット 0：T&H4 をグループ A に選択 1：T&H4 をグループ B に選択
3	TH3GS	T&H3 グループ選択ビット 0：T&H3 をグループ A に選択 1：T&H3 をグループ B に選択
2	TH2GS	T&H2 グループ選択ビット 0：T&H2 をグループ A に選択 1：T&H2 をグループ B に選択
1	TH1GS	T&H1 グループ選択ビット 0：T&H1 をグループ A に選択 1：T&H1 をグループ B に選択
0	TH0GS	T&H0 グループ選択ビット 0：T&H0 をグループ A に選択 1：T&H0 をグループ B に選択

注 意

- T&H0～T&H2 を T&H3～T&H5 と同じグループに設定しないでください。
  例）
  - グループ A：0ch、1ch、2ch
    グループ B：3ch、4ch、5ch→設定可能
  - グループ A：0ch
    グループ B：1ch、2ch→設定可能
  - グループ A：0ch、1ch、3ch
    グループ B：2ch、4ch→設定禁止
- 誤動作を防ぐため、ADCAnTHGSR の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの TRGMD が 0 のとき、行ってください。

備 考

RH850/F1KH, RH850/F1KM では ADCA0 のみ対応しています。

38.3.2.18　ADCAnSMPCR — サンプリング制御レジスタ

サンプリング時間を設定するレジスタです。

SG4（PWM-Diag）と SG1-3 のサンプリング時間を制御します。

アクセス	ADCAnSMPCR は、32 ビット単位でリード／ライト可能です。 ADCAnSMPCRL は、16 ビット単位でリード／ライト可能です。 ADCAnSMPCRLL は、8 ビット単位でリード／ライト可能です。
アドレス	ADCAnSMPCR：<ADCAn_base> + 380_H ADCAnSMPCRL：<ADCAn_base> + 380_H ADCAnSMPCRLL：<ADCAn_base> + 380_H
リセット後の値	0000 0018_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	SMPT[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 38.61　ADCAnSMPCR レジスタの内容

ビット位置	ビット名	機能
31～8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7～0	SMPT[7:0]	サンプリング時間（サイクル数）設定ビットです。 　12_H：18 サイクル（ADCLK＝8MHz～32MHz） 　18_H：24 サイクル（ADCLK＝8MHz～40MHz） これ以外の値は設定禁止です。

注　意

- 誤動作を防ぐため、ADCAnSMPCR の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの TRGMD が 0 のとき、行ってください。
- SMPT を変更した場合、仮想チャネルレジスタ j（ADCAnVCRj）、または PWM-Diag 仮想チャネルレジスタ（ADCAnPWDVCR）によって MPX を使用する際の、A/D 変換ウェイト時間も変更されます。

38.3.2.19 ADCAnMPXSTBTSELR0～4 ― MPX 安定時間選択レジスタ 0～4

外部マルチプレクサを使用する時は、本レジスタは、それぞれの物理チャネルの安定時間を選択します。

ADCAnMPXSTBTSELR0 は物理チャネル ANIn00～ANIn07 に対応し、ADCAnMPXSTBTSELR1 は物理チャネル ANIn08～ANIn15 に対応し、ADCAnMPXSTBTSELR2 は物理チャネル ANIn16～ANIn23 に対応し、ADCAnMPXSTBTSELR3 は物理チャネル ANIn24～ANIn31 に対応し、ADCAnMPXSTBTSELR4 は物理チャネル ANIn32～ANIn35 に対応します。

アクセス ADCAnMPXSTBTSELR0～4 は、32 ビット単位でリード／ライト可能です。
ADCAnMPXSTBTSELR0L～4L は、16 ビット単位でリード／ライト可能です。
ADCAnMPXSTBTSELR0H～3H は、16 ビット単位でリード／ライト可能です。

アドレス ADCAnMPXSTBTSELR0 : <ADCAn_base> + $5F0_H$
ADCAnMPXSTBTSELR1 : <ADCAn_base> + $5F4_H$
ADCAnMPXSTBTSELR2 : <ADCAn_base> + $5F8_H$
ADCAnMPXSTBTSELR3 : <ADCAn_base> + $5FC_H$
ADCAnMPXSTBTSELR4 : <ADCAn_base> + 600_H

ADCAnMPXSTBTSELR0L : <ADCAn_base> + $5F0_H$
ADCAnMPXSTBTSELR1L : <ADCAn_base> + $5F4_H$
ADCAnMPXSTBTSELR2L : <ADCAn_base> + $5F8_H$
ADCAnMPXSTBTSELR3L : <ADCAn_base> + $5FC_H$
ADCAnMPXSTBTSELR4L : <ADCAn_base> + 600_H

ADCAnMPXSTBTSELR0H : <ADCAn_base> + $5F0_H$ + 2_H
ADCAnMPXSTBTSELR1H : <ADCAn_base> + $5F4_H$ + 2_H
ADCAnMPXSTBTSELR2H : <ADCAn_base> + $5F8_H$ + 2_H
ADCAnMPXSTBTSELR3H : <ADCAn_base> + $5FC_H$ + 2_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	STBTCHhh[2:0]			—	STBTCHgg[2:0]			—	STBTCHff[2:0]			—	STBTCHee[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	STBTCHdd[2:0]			—	STBTCHcc[2:0]			—	STBTCHbb[2:0]			—	STBTCHaa[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

表 38.62 ADCAnMPXSTBTSELR0～4 レジスタの内容

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
30～28	STBTCHhh[2:0]注 1	MPX 安定時間用に、ADCAnMPXSTBTR0～7 の値を選択注 2.
27	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
26～24	STBTCHgg[2:0]注 1	MPX 安定時間用に、ADCAnMPXSTBTR0～7 の値を選択注 2.
23	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
22～20	STBTCHff[2:0]注 1	MPX 安定時間用に、ADCAnMPXSTBTR0～7 の値を選択注 2.
19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 38.62 ADCAnMPXSTBTSELR0～4 レジスタの内容

ビット位置	ビット名	機能
18～16	STBTCHee[2:0]注 1	MPX 安定時間用に、ADCAnMPXSTBTR0～7 の値を選択注 2.
15	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
14～12	STBTCHdd[2:0]注 1	MPX 安定時間用に、ADCAnMPXSTBTR0～7 の値を選択注 2.
11	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10～8	STBTCHcc[2:0]注 1	MPX 安定時間用に、ADCAnMPXSTBTR0～7 の値を選択注 2.
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6～4	STBTCHbb[2:0]注 1	MPX 安定時間用に、ADCAnMPXSTBTR0～7 の値を選択注 2.
3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2～0	STBTCHaa[2:0]注 1	MPX 安定時間用に、ADCAnMPXSTBTR0～7 の値を選択注 2.

注1. 物理チャネルとレジスタシンボルとの関係を下表に示します。ADCAn012S と ADCA0I13S は RH850/F1KH-D8, RH850/F1KM-S4 および RH850/F1KM-S2 ではサポートされていません。対応するビット（ADCA0MPXSTBTSELR3 レジスタの STBTCH28[2:0]ビット、STBTCH29[2:0]ビット）に書き込むときは、リセット後の値を書き込んでください。

注2. STBTCH00[2:0]～STBTCH35[2:0]＝
000：ADCAnMPXSTBTR0 の設定値は MPX 安定時間用です。
001：ADCAnMPXSTBTR1 の設定値は MPX 安定時間用です。
010：ADCAnMPXSTBTR2 の設定値は MPX 安定時間用です。
011：ADCAnMPXSTBTR3 の設定値は MPX 安定時間用です。
100：ADCAnMPXSTBTR4 の設定値は MPX 安定時間用です。
101：ADCAnMPXSTBTR5 の設定値は MPX 安定時間用です。
110：ADCAnMPXSTBTR6 の設定値は MPX 安定時間用です。
111：ADCAnMPXSTBTR7 の設定値は MPX 安定時間用です。

物理チャネル		選択レジスタ	シンボル	
ANIn00	ADCAnI0	ADCAnMPXSTBTSELR0	aa	00
ANIn08	ADCAnI8	ADCAnMPXSTBTSELR1		08
ANIn16	ADCAnI0S	ADCAnMPXSTBTSELR2		16
ANIn24	ADCAnI8S	ADCAnMPXSTBTSELR3		24
ANIn32	ADCAnI16S	ADCAnMPXSTBTSELR4		32
ANIn01	ADCAnI1	ADCAnMPXSTBTSELR0	bb	01
ANIn09	ADCAnI9	ADCAnMPXSTBTSELR1		09
ANIn17	ADCAnI1S	ADCAnMPXSTBTSELR2		17
ANIn25	ADCAnI9S	ADCAnMPXSTBTSELR3		25
ANIn33	ADCAnI17S	ADCAnMPXSTBTSELR4		33
ANIn02	ADCAnI2	ADCAnMPXSTBTSELR0	cc	02
ANIn10	ADCAnI10	ADCAnMPXSTBTSELR1		10
ANIn18	ADCAnI2S	ADCAnMPXSTBTSELR2		18
ANIn26	ADCAnI10S	ADCAnMPXSTBTSELR3		26
ANIn34	ADCAnI18S	ADCAnMPXSTBTSELR4		34
ANIn03	ADCAnI3	ADCAnMPXSTBTSELR0	dd	03
ANIn11	ADCAnI11	ADCAnMPXSTBTSELR1		11
ANIn19	ADCAnI3S	ADCAnMPXSTBTSELR2		19
ANIn27	ADCAnI11S	ADCAnMPXSTBTSELR3		27
ANIn35	ADCAnI19S	ADCAnMPXSTBTSELR4		35

物理チャネル		選択レジスタ	シンボル	
ANIn04	ADCAnI4	ADCAnMPXSTBTSELR0	ee	04
ANIn12	ADCAnI12	ADCAnMPXSTBTSELR1		12
ANIn20	ADCAnI4S	ADCAnMPXSTBTSELR2		20
ANIn28	ADCAnI12S	ADCAnMPXSTBTSELR3		28
ANIn05	ADCAnI5	ADCAnMPXSTBTSELR0	ff	05
ANIn13	ADCAnI13	ADCAnMPXSTBTSELR1		13
ANIn21	ADCAnI5S	ADCAnMPXSTBTSELR2		21
ANIn29	ADCAnI13S	ADCAnMPXSTBTSELR3		29
ANIn06	ADCAnI6	ADCAnMPXSTBTSELR0	gg	06
ANIn14	ADCAnI14	ADCAnMPXSTBTSELR1		14
ANIn22	ADCAnI6S	ADCAnMPXSTBTSELR2		22
ANIn30	ADCAnI14S	ADCAnMPXSTBTSELR3		30
ANIn07	ADCAnI7	ADCAnMPXSTBTSELR0	hh	07
ANIn15	ADCAnI15	ADCAnMPXSTBTSELR1		15
ANIn23	ADCAnI7S	ADCAnMPXSTBTSELR2		23
ANIn31	ADCAnI15S	ADCAnMPXSTBTSELR3		31

備　考

- ADCAnVCRj レジスタまたは ADCAnPWDVCR レジスタの MPXE ビットが 1 にセットされると、STBTCH00[2:0]～STBTCH35[2:0]が有効になります。
- RH850/F1KH, RH850/F1KM では、ADCA0 のみが本機能をサポートしています。

注　意

誤動作を防ぐため、ADCAnMPXSTBTSELR0～ADCAnMPXSTBTSELR4 の設定は、すべてのスキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ、すべてのスキャングループの TRGMD が 0 のとき、行ってください。

38.3.2.20　ADCAnMPXSTBTR0～7 ― MPX 安定時間設定レジスタ 0～7

外部マルチプレクサ使用時の安定時間を設定するレジスタです。

このレジスタを設定することによって、ADCAnMPXSTBTSEL0～4 レジスタで選択された物理チャネルに対応する安定時間が設定されます。

アクセス　ADCAnMPXSTBTR0～7 は、32 ビット単位でリード／ライト可能です。
ADCAnMPXSTBTR0L～7L は、16 ビット単位でリード／ライト可能です。

アドレス　ADCAnMPXSTBTR0：<ADCAn_base> + 610_H
ADCAnMPXSTBTR1：<ADCAn_base> + 614_H
ADCAnMPXSTBTR2：<ADCAn_base> + 618_H
ADCAnMPXSTBTR3：<ADCAn_base> + $61C_H$
ADCAnMPXSTBTR4：<ADCAn_base> + 620_H
ADCAnMPXSTBTR5：<ADCAn_base> + 624_H
ADCAnMPXSTBTR6：<ADCAn_base> + 628_H
ADCAnMPXSTBTR7：<ADCAn_base> + $62C_H$

ADCAnMPXSTBTR0L：<ADCAn_base> + 610_H
ADCAnMPXSTBTR1L：<ADCAn_base> + 614_H
ADCAnMPXSTBTR2L：<ADCAn_base> + 618_H
ADCAnMPXSTBTR3L：<ADCAn_base> + $61C_H$
ADCAnMPXSTBTR4L：<ADCAn_base> + 620_H
ADCAnMPXSTBTR5L：<ADCAn_base> + 624_H
ADCAnMPXSTBTR6L：<ADCAn_base> + 628_H
ADCAnMPXSTBTR7L：<ADCAn_base> + $62C_H$

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	STBTIME[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 38.63　ADCAnMPXSTBTR0～7 レジスタの内容

ビット位置	ビット名	機能
31～14	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
13～0	STBTIME[13:0]	外部アナログマルチプレクサのみを使用する場合は、アナログ入力安定時間を指定してください。 ビットがすべて“0”（リセット値）の場合、1 回の A/D 変換用のウェイト時間が挿入されます。 すべてが“0”でない場合は、以下の式に従って、A/D 変換の前にウェイト時間が挿入されます。 計算式：STBTIME[13:0] / ADCLK 例として、「**表 38.64 ADCAnMPXSTBR0～7 レジスタの設定例**」を参照してください。安定時間は 1μs～250μs の範囲で設定する必要があります。

表 38.64 ADCAnMPXSTBR0～7 レジスタの設定例

安定時間（μs）	ADCLK（MHz）						
	8	10	12	16	20	24	40
1	0008_H	$000A_H$	$000C_H$	0010_H	0014_H	0018_H	0028_H
100	0320_H	$03E8_H$	$04B0_H$	0640_H	$07D0_H$	0960_H	$0FA0_H$
250	$07D0_H$	$09C4_H$	$0BB8_H$	$0FA0_H$	1388_H	1770_H	2710_H

備考 この設定は、A/D 変換クロックの選択に応じて、変更してください。

注 意

誤動作を防ぐため、ADCAnMPXSTBTR0～ADCAnMPXSTBTR7 の設定は、すべてのスキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ、すべてのスキャングループの TRGMD が 0 のとき、行ってください。

備 考

RH850/F1KH, RH850/F1KM では、ADCA0 のみが本機能をサポートしています。

38.3.2.21　ADCAnSFTCR — セーフティ制御レジスタ

セーフティ制御に関するレジスタです。

アクセス　ADCAnSFTCR は、32 ビット単位でリード／ライト可能です。
ADCAnSFTCRL は、16 ビット単位でリード／ライト可能です。
ADCAnSFTCRLL は、8 ビット単位でリード／ライト可能です。

アドレス　ADCAnSFTCR：<ADCAn_base> + 334_H
ADCAnSFTCRL：<ADCAn_base> + 334_H
ADCAnSFTCRLL：<ADCAn_base> + 334_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	RDCLRE	ULEIE	OWEIE	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

表 38.65　ADCAnSFTCR レジスタの内容

ビット位置	ビット名	機能
31～5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	RDCLRE	リード&クリアイネーブル A/D 変換結果をリードした時に A/D 変換結果をハードウェアでクリアするか選択します。 0：ADCAnPWDTSNDR/ADCAnDRj もしくは ADCAnPWDDIR/ADCAnDIRj のリードで ADCAnPWDTSNDR/ADCAnDRj と ADCAnPWDDIR/ADCAnDIRj をクリアしない 1：ADCAnPWDTSNDR/ADCAnDRj もしくは ADCAnPWDDIR/ADCAnDIRj のリードで ADCAnPWDTSNDR/ADCAnDRj と ADCAnPWDDIR/ADCAnDIRj をクリアする ADCAnDIRj の WFLG は、RDCLRE によらず、ADCAnDRj もしくは ADCAnDIRj のリードでクリアされます。 RDCLRE＝1 に設定した状態で、ADCAnDRj, ADCAnPWDTSNDR へ 16bit アクセスによる読み出しを行った場合でも 32bit レジスター括で消去されます。
3	ULEIE	上限／下限エラー検出時の A/D エラー割り込み（INT_ADE）イネーブル 0：禁止 1：許可
2	OWEIE	オーバライトエラー検出時の A/D エラー割り込み（INT_ADE）イネーブル 0：禁止 1：許可
1、0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注　意

誤動作を防ぐため、ADCAnSFTCR の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの TRGMD が 0 のとき行ってください。

38.3.2.22　ADCAnULLMTBR0～7 ― 上限／下限テーブルレジスタ 0～7

A/D 変換値の上限／下限エラー検出閾値を設定するレジスタです。ADCAnPWDVCR.ULS[3:0]、ADCAnVCRj.ULS[3:0]の設定により、ADCAnULLMTBR0～7 のいずれかを指定し、それぞれ ADCAnPWDTSNDR、ADCAnDRj と比較します。

アクセス　ADCAnULLMTBR0～7 は、32 ビット単位でリード／ライト可能です。
ADCAnULLMTBR0L～7L、ADCAnULLMTBR0H～7H は、16 ビット単位でリード／ライト可能です。

アドレス
ADCAnULLMTBR0：<ADCAn_base> + 338$_H$
ADCAnULLMTBR1：<ADCAn_base> + 33C$_H$
ADCAnULLMTBR2：<ADCAn_base> + 340$_H$
ADCAnULLMTBR3：<ADCAn_base> + 564$_H$
ADCAnULLMTBR4：<ADCAn_base> + 568$_H$
ADCAnULLMTBR5：<ADCAn_base> + 56C$_H$
ADCAnULLMTBR6：<ADCAn_base> + 570$_H$
ADCAnULLMTBR7：<ADCAn_base> + 574$_H$

ADCAnULLMTBR0L：<ADCAn_base> + 338$_H$
ADCAnULLMTBR1L：<ADCAn_base> + 33C$_H$
ADCAnULLMTBR2L：<ADCAn_base> + 340$_H$
ADCAnULLMTBR3L：<ADCAn_base> + 564$_H$
ADCAnULLMTBR4L：<ADCAn_base> + 568$_H$
ADCAnULLMTBR5L：<ADCAn_base> + 56C$_H$
ADCAnULLMTBR6L：<ADCAn_base> + 570$_H$
ADCAnULLMTBR7L：<ADCAn_base> + 574$_H$

ADCAnULLMTBR0H：<ADCAn_base> + 338$_H$ + 2$_H$
ADCAnULLMTBR1H：<ADCAn_base> + 33C$_H$ + 2$_H$
ADCAnULLMTBR2H：<ADCAn_base> + 340$_H$ + 2$_H$
ADCAnULLMTBR3H：<ADCAn_base> + 564$_H$ + 2$_H$
ADCAnULLMTBR4H：<ADCAn_base> + 568$_H$ + 2$_H$
ADCAnULLMTBR5H：<ADCAn_base> + 56C$_H$ + 2$_H$
ADCAnULLMTBR6H：<ADCAn_base> + 570$_H$ + 2$_H$
ADCAnULLMTBR7H：<ADCAn_base> + 574$_H$ + 2$_H$

リセット後の値　FFF0 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ULMTB[11:0]												—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LLMTB[11:0]												—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

表 38.66　ADCAnULLMTBR0～7 レジスタの内容

ビット位置	ビット名	機能
31～20	ULMTB[11:0]	上限テーブル A/D 変換値の上限エラー検出閾値を指定します。下記条件が成立したとき上限エラー（ADCAnULER.UE）をセットします。 ULMTB[11:0] ＜ A/D 変換値
19～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 38.66　ADCAnULLMTBR0～7 レジスタの内容

ビット位置	ビット名	機能
15～4	LLMTB[11:0]	下限テーブル A/D 変換値の下限エラー検出閾値を指定します。下記条件が成立したとき下限エラー（ADCAnULER.LE）をセットします。 LLMTB[11:0] ＞ A/D 変換値
3～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注　意

- A/D 変換を 10 ビットモード（ADCAnADCR.CTYP＝1）で指定した場合、ULMTB[1:0]は 11_B、LLMTB[1:0]は 00_B にセットしてください。
- 誤動作を防ぐため、ADCAnULLMTBR0～7 の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの TRGMD が 0 のとき、行ってください。
- 上限テーブル（ULMTB[11:0]）＞下限テーブル（LLMTB[11:0]）となるように設定してください。

38.3.2.23　ADCAnECR ― エラークリアレジスタ

エラークリアを制御するレジスタです。読み出しは常に 0 が読み出されます。

アクセス　ADCAnECR は、32 ビット単位でライトのみ可能です。
ADCAnECRL は、16 ビット単位でライトのみ可能です。
ADCAnECRLL は、8 ビット単位でライトのみ可能です。

アドレス　ADCAnECR：<ADCAn_base> + 344_H
ADCAnECRL：<ADCAn_base> + 344_H
ADCAnECRLL：<ADCAn_base> + 344_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	ULEC	OWEC	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	W	W	R	R

表 38.67　ADCAnECR レジスタの内容

ビット位置	ビット名	機能
31～4	予約ビット	ライトする場合はリセット後の値を書いてください。
3	ULEC	上限エラーフラグ（ADCAnULER.UE）および、下限エラーフラグ（ADCAnULER.LE）クリア、上限／下限エラーキャプチャ（ADCAnULER.ULECAP[5:0]）、上限／下限エラー発生時のスキャングループビット（ULSG[1:0]）、MPX 使用有無ビット（MPXE）、および上限／下限エラー発生時の MPX 値格納ビット（MPXV[2:0]）クリア 上限／下限エラーVC フラグ（ADCAnULEVCFR0-1.ULEVC[49:0], ADCAnULEVCFR1.ULEPWDVC）クリア 0：機能しません 1：クリアします
2	OWEC	オーバライトエラーフラグ（ADCAnOWER.OWE）および、オーバライトエラーキャプチャ（ADCAnOWER.OWECAP[5:0]）クリア 0：機能しません 1：クリアします
1、0	予約ビット	ライトする場合はリセット後の値を書いてください。

38.3.2.24　ADCAnULER — 上限／下限エラーレジスタ

上限／下限エラーに関する情報を示す読み出し専用レジスタです。

アクセス	ADCAnULER は、32 ビット単位でリードのみ可能です。 ADCAnULERL は、16 ビット単位でリードのみ可能です。 ADCAnULERLH は、8 ビット単位でリードのみ可能です。 ADCAnULERLL は、8 ビット単位でリードのみ可能です。
アドレス	ADCAnULER：<ADCAn_base> + 348$_H$ ADCAnULERL：<ADCAn_base> + 348$_H$ ADCAnULERLL：<ADCAn_base> + 348$_H$ ADCAnULERLH：<ADCAn_base> + 348$_H$ + 1$_H$
リセット後の値	0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UE	LE	ULSG[1:0]		MPXE	MPXV[2:0]			—	—	ULECAP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 38.68　ADCAnULER レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。
15	UE	上限エラーフラグ 0：上限エラー未検出 1：上限エラー検出 ［セット条件］ A/D 変換値が、指定した上限／下限テーブルレジスタ 0～7（ADCAnULLMTBR0～7）で設定した上限閾値を上回ったとき。 本ビットがセットされている状態で、以降の A/D 変換による上限値エラーを検出した場合は、ADCAnULER レジスタの更新は行いません。 ［クリア条件］ ADCAnECR.ULEC に 1 を書き込んだとき
14	LE	下限エラーフラグ 0：下限エラー未検出 1：下限エラー検出 ［セット条件］ A/D 変換値が、指定した上限／下限テーブルレジスタ 0～7（ADCAnULLMTBR0～7）で設定した下限閾値を下回ったとき。 本ビットがセットされている状態で、以降の A/D 変換による下限値エラーを検出した場合は、ADCAnULER レジスタの更新は行いません。 ［クリア条件］ ADCAnECR.ULEC に 1 を書き込んだとき。

表 38.68　ADCAnULER レジスタの内容

ビット位置	ビット名	機能
13、12	ULSG[1:0]	上限／下限エラー発生時のスキャングループビット 00：上限／下限エラーなし 01：上限／下限エラー発生時のスキャングループが SG1-SG3 10：上限／下限エラー発生時のスキャングループが PWM-Diag ［キャプチャ条件］ UE＝0 かつ LE＝0 の状態で A/D 変換値が指定した上限／下限テーブルの範囲を超えたとき ［クリア条件］ ADCAnECR.ULEC に 1 を書き込んだとき
11	MPXE 注 1	MPX 使用有無ビット 0：上限／下限エラー発生時、MPX 機能を使用していない。 1：上限／下限エラー発生時、MPX 機能を使用している。 ［キャプチャ条件］ UE＝0 かつ LE＝0 の状態で A/D 変換値が指定した上限／下限テーブルの範囲を超えたとき ［クリア条件］ ADCAnECR.ULEC に 1 を書き込んだとき
10～8	MPXV[2:0]注 1	上限／下限エラー発生時の MPX 値を格納する。 ［キャプチャ条件］ UE＝0 かつ LE＝0 の状態で A/D 変換値が指定した上限／下限テーブルの範囲を超えたとき ［クリア条件］ ADCAnECR.ULEC に 1 を書き込んだとき
7	予約ビット	リードした場合は不定値が読めます。
6	予約ビット	リードした場合はリセット後の値が読めます。
5～0	ULECAP[5:0]	上限／下限エラーキャプチャ 上限／下限エラーが発生したときの物理チャネルをキャプチャします。 ［キャプチャ条件］ UE＝0 かつ LE＝0 の状態で A/D 変換値が指定した上限／下限テーブルの範囲を超えたとき ［クリア条件］ ADCAnECR.ULEC に 1 を書き込んだとき

注1.　本ビットは ADCA0 のみ対応しています。
　　　ADCA1 においては、リードした場合はリセット後の値が読めます。

備　考

ADCAnULER は、A/D 変換値が ADCAnDRj または ADCAnPWDTSNDR にセットされるときに更新されます。

38.3.2.25　ADCAnOWER — オーバライトエラーレジスタ

オーバライトエラーを示す 32/16/8 ビットの読み出し専用レジスタです。オーバライトエラーの対象は SG1-SG3 であり PWM-Diag では実施されません。

アクセス　ADCAnOWER は、32 ビット単位でリードのみ可能です。
ADCAnOWERL は、16 ビット単位でリードのみ可能です。
ADCAnOWERLL は、8 ビット単位でリードのみ可能です。

アドレス　ADCAnOWER：<ADCAn_base> + $34C_H$
ADCAnOWERL：<ADCAn_base> + $34C_H$
ADCAnOWERLL：<ADCAn_base> + $34C_H$

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	OWE	—	OWECAP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 38.69　ADCAnOWER レジスタの内容

ビット位置	ビット名	機能
31～8	予約ビット	リードした場合はリセット後の値が読めます。
7	OWE	オーバライトエラーフラグ 0：オーバライトエラー未検出 1：オーバライトエラー検出 ［セット条件］ ADCAnDIRj.WFLG＝1 の状態で A/D 変換値が ADCAnDRj に書き込まれたとき。 本ビットがセットされている状態で、以降の A/D 変換によるオーバライトエラーを検出した場合は、ADCAnOWER レジスタの更新は行いません。 ［クリア条件］ ADCAnECR.OWEC に 1 を書き込んだとき
6	予約ビット	リードした場合はリセット後の値が読めます。
5～0	OWECAP[5:0]	オーバライトエラーキャプチャ オーバライトエラーが発生した時の仮想チャネル番号をキャプチャします。 ［キャプチャ条件］ OWE＝0 かつ ADCAnDIRj.WFLG＝1 の状態で A/D 変換値が ADCAnDRj に書き込まれたとき ［クリア条件］ ADCAnECR.OWEC に 1 を書き込んだとき

備　考

ADCAnOWER は、A/D 変換値が ADCAnDRj にセットされるときに更新されます。

38.3.2.26 ADCAnULEVCFR0 — 上限／下限エラーVC フラグレジスタ 0

各仮想チャンネルの上限または下限エラーを示すフラグレジスタです。ADCAnULEVCFR0 は ADCAnVCRj（j＝0〜31）に対応します。

アクセス ADCAnULEVCFR0 は、32 ビット単位でリードのみ可能です。

アドレス ADCAnULEVCFR0：<ADCAn_base> + 540_H

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ULEVC[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ULEVC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 38.70 ADCAnULEVCFR0 レジスタの内容

ビット位置	ビット名	機能
31〜0	ULEVC[31:0]	ADCAnVCRj（j＝0〜31）上限／下限エラーフラグ 0：上限／下限エラーが未検出 1：上限／下限エラーが検出 ［セット条件］ A/D 変換値が、上限／下限テーブルレジスタ 0〜7（ADCAnULLMTBR0〜ADCAnULLMTBR7）で指定された上限／下限閾値を超えたとき ［クリア条件］ ADCAnECR.ULEC に 1 を書き込んだとき

38.3.2.27　ADCAnULEVCFR1 — 上限／下限エラーVC フラグレジスタ 1

各仮想チャンネルの上限または下限エラーを示すフラグレジスタです。ADCAnULEVCFR1 は ADCAnVCRj（j＝32～49）と ADCAnPWDVCR に対応します。

アクセス　ADCAnULEVCFR1 は、32 ビット単位でリードのみ可能です。

アドレス　ADCAnULEVCFR1：<ADCAn_base> + 544_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ULEPWDVC	—	—	—	—	—	—	—	—	—	—	—	—	—	ULEVC[49:48]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ULEVC[47:32]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 38.71　ADCAnULEVCFR1 レジスタの内容

ビット位置	ビット名	機能
31	ULEPWDVC	ADCAnPWDVCR 上限／下限エラーフラグ 0：上限／下限エラーが未検出 1：上限／下限エラーが検出 ［セット条件］ A/D 変換値が、上限／下限テーブルレジスタ 0～7（ADCAnULLMTBR0～ADCAnULLMTBR7）で指定された上限／下限閾値を超えたとき ［クリア条件］ ADCAnECR.ULEC に 1 を書き込んだとき
30～18	予約ビット	リードした場合はリセット後の値が読めます。
17～0	ULEVC[49:32]	ADCAnVCRj（j＝32～49）上限／下限エラーフラグ 0：上限／下限エラーが未検出 1：上限／下限エラーが検出 ［セット条件］ A/D 変換値が、上限／下限テーブルレジスタ 0～7（ADCAnULLMTBR0～ADCAnULLMTBR7）で指定された上限／下限閾値を超えたとき ［クリア条件］ ADCAnECR.ULEC に 1 を書き込んだとき

38.3.3　スキャングループ（SG）固有レジスタ

各スキャングループで個別に備えるレジスタを説明します。

38.3.3.1　ADCAnSGSTCRx ― スキャングループ x 開始制御レジスタ

スキャングループ x の開始を制御するレジスタです。読み出しは常に 0 が読み出されます。

アクセス　ADCAnSGSTCRx は、32 ビット単位でライトのみ可能です。
ADCAnSGSTCRxL は、16 ビット単位でライトのみ可能です。
ADCAnSGSTCRxLL は、8 ビット単位でライトのみ可能です。

アドレス　ADCAnSGSTCRx：<ADCAn_base> + x × 40_H + 400_H
ADCAnSGSTCRxL：<ADCAn_base> + x × 40_H + 400_H
ADCAnSGSTCRxLL：<ADCAn_base> + x × 40_H + 400_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SGST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 38.72　ADCAnSGSTCRx レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	SGST	スキャングループ開始トリガ ADCAnSGSTR.SGACT[3:1]＝0 の状態で SGST に 1 を書き込むと、対象 SGx が開始されます。

38.3.3.2 ADCAnPWDSGSTPCR — PWM-Diag 用スキャンストップ制御レジスタ

PWM-Diag のスキャングループを停止する制御レジスタです。読み出しは常に 0 が読み出されます。

アクセス ADCAnPWDSGSTPCR は、32 ビット単位でライトのみ可能です。
ADCAnPWDSGSTPCRL は、16 ビット単位でライトのみ可能です。
ADCAnPWDSGSTPCRLL は、8 ビット単位でライトのみ可能です。

アドレス ADCAnPWDSGSTPCR：<ADCAn_base> + 504_H
ADCAnPWDSGSTPCRL：<ADCAn_base> + 504_H
ADCAnPWDSGSTPCRLL：<ADCAn_base> + 504_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PWDS GSTP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 38.73 ADCAnPWDSGSTPCR レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	PWDSGSTP	PWM-Diag スキャングループのストップトリガ ADCAnSGSTR.SGACT[4]＝1 の状態で、PWDSGSTP に 1 を書き込む。

38.3.3.3 ADCAnPWDSGCR — PWM-Diag 用スキャングループ制御レジスタ

本レジスタは、PWM-Diag を制御します。

アクセス ADCAnPWDSGCR は、32 ビット単位でリード／ライト可能です。
ADCAnPWDSGCRL は、16 ビット単位でリード／ライト可能です。
ADCAnPWDSGCRLL は、8 ビット単位でリード／ライト可能です。

アドレス ADCAnPWDSGCR：<ADCAn_base> + 508_H
ADCAnPWDSGCRL：<ADCAn_base> + 508_H
ADCAnPWDSGCRLL：<ADCAn_base> + 508_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PWDTRGMD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 38.74 ADCAnPWDSGCR レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	PWDTRGMD	PWM-Diag トリガモード選択ビット 0：PWSA_ADTRG トリガ入力を禁止 1：PWM-Diag スキャングループへのトリガ入力として、PWSA_ADTRG を選択

注 意

誤動作を防ぐため、ADCAnPWDSGCR の設定は（A/D 変換終了に伴う PWDTRGMD のクリアを除き）、PWM-Diag スキャングループ（SG4）の SGACT が 0 の状態（スキャングループ起動前）で、行ってください。

38.3.3.4　ADCAnSGCRx — スキャングループ x 制御レジスタ

スキャングループ x の制御に関するレジスタです。

アクセス　ADCAnSGCRx は、32 ビット単位でリード／ライト可能です。
ADCAnSGCRxL は、16 ビット単位でリード／ライト可能です。
ADCAnSGCRxLL は、8 ビット単位でリード／ライト可能です。

アドレス　ADCAnSGCRx : <ADCAn_base> + x × 40_H + 408_H
ADCAnSGCRxL : <ADCAn_base> + x × 40_H + 408_H
ADCAnSGCRxLL : <ADCAn_base> + x × 40_H + 408_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	SCANMD	ADIE	SCT[1:0]		—	TRGMD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W

表 38.75　ADCAnSGCRx レジスタの内容

ビット位置	ビット名	機能
31～6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	SCANMD	スキャンモード 0：マルチサイクルスキャンモード 1：連続スキャンモード SG2, SG3 の場合、本ビットには 0 をライトしてください。
4	ADIE	スキャン終了割り込みイネーブル 0：SGx のスキャン終了で INT_SGx を出力しない 1：SGx のスキャン終了で INT_SGx を出力する
3、2	SCT[1:0]	チャネルリピート回数選択ビット 00：チャネルリピート回数を 1 回に選択する。 01：チャネルリピート回数を 2 回に選択する。 10：チャネルリピート回数を 4 回に選択する。 11：設定禁止
1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	TRGMD	トリガモード 0：SGx_TRG へのトリガ入力無効（ハードウェアトリガ無効） 1：SGx へのトリガ入力に SGx_TRG 開始トリガもしくはホールド完了トリガ A/B を選択 TRGMD ビットの設定に関わらず、ソフトウェアトリガは有効です。

注　意

誤動作を防ぐため、ADCAnSGCRx の設定は（A/D 変換完了時の TRGMD のクリア、スキャングループの停止作業時の ADIE＝0 設定を除く）、すべてのスキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ、すべてのスキャングループの TRGMD が 0 のとき、行ってください。

38.3.3.5 ADCAnSGVCSPx — スキャングループ x 開始仮想チャネルポインタ

仮想チャネルの開始ポインタを指定するレジスタです。

アクセス　ADCAnSGVCSPx は、32 ビット単位でリード／ライト可能です。
ADCAnSGVCSPxL は、16 ビット単位でリード／ライト可能です。
ADCAnSGVCSPxLL は、8 ビット単位でリード／ライト可能です。

アドレス　ADCAnSGVCSPx：<ADCAn_base> + x × 40_H + $40C_H$
ADCAnSGVCSPxL：<ADCAn_base> + x × 40_H + $40C_H$
ADCAnSGVCSPxLL：<ADCAn_base> + x × 40_H + $40C_H$

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	VCSP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 38.76　ADCAnSGVCSPx レジスタの内容

ビット位置	ビット名	機能
31～6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5～0	VCSP[5:0]	開始仮想チャネルポインタ SGx のスキャンを開始する仮想チャネルを指定します。

注　意

- ADCAnSGVCSPx≦ADCAnSGVCEPx となるように設定してください。
- チャネルポインタへの書き込みは、ADCAnSGVCSPx→ADCAnSGVCEPx の順番で続けて行ってください。SGx を起動すると、ADCAnSGVCSPx から ADCAnSGVCEPx で指定された仮想チャネルの A/D 変換を実行します。
- ADCAnSGVCSPx は、A/D 変換動作中に書き込みは可能ですが、レジスタへの反映は ADCAnSGVCEPx 書き込み時です。書き換え後は次回の SGx を起動するときに反映されます。
- ハードウェアトリガを使用する場合は、動作中の書き込みは禁止です。

38.3.3.6　ADCAnSGVCEPx ― スキャングループ x 終了仮想チャネルポインタ

仮想チャネルの終了ポインタを指定するレジスタです。

アクセス　ADCAnSGVCEPx は、32 ビット単位でリード／ライト可能です。
ADCAnSGVCEPxL は、16 ビット単位でリード／ライト可能です。
ADCAnSGVCEPxLL は、8 ビット単位でリード／ライト可能です。

アドレス　ADCAnSGVCEPx：<ADCAn_base> + x × 40_H + 410_H
ADCAnSGVCEPxL：<ADCAn_base> + x × 40_H + 410_H
ADCAnSGVCEPxLL：<ADCAn_base> + x × 40_H + 410_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	VCEP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 38.77　ADCAnSGVCEPx レジスタの内容

ビット位置	ビット名	機能
31～6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5～0	VCEP[5:0]	終了仮想チャネルポインタ SGx のスキャンを終了する仮想チャネルを指定します。

注　意

- ADCAnSGVCSPx≦ADCAnSGVCEPx となるように設定してください。
- SGx を起動すると、ADCAnSGVCSPx から ADCAnSGVCEPx の仮想チャネルを実行します。
- SGx 処理中であっても ADCAnSGVCEPx の書き換えは可能です。書き換え後は次回の SGx を起動するときに反映されます。

38.3.3.7 ADCAnSGMCYCRx — スキャングループ x マルチサイクルレジスタ

マルチサイクルスキャンモード時のスキャン回数を指定する 32/16/8 ビットの読み出し／書き込み可能なレジスタです。

アクセス ADCAnSGMCYCRx は、32 ビット単位でリード／ライト可能です。
ADCAnSGMCYCRxL は、16 ビット単位でリード／ライト可能です。
ADCAnSGMCYCRxLL は、8 ビット単位でリード／ライト可能です。

アドレス ADCAnSGMCYCRx：<ADCAn_base> + x × 40_H + 414_H
ADCAnSGMCYCRxL：<ADCAn_base> + x × 40_H + 414_H
ADCAnSGMCYCRxLL：<ADCAn_base> + x × 40_H + 414_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MCYC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 38.78 ADCAnSGMCYCRx レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1、0	MCYC[1:0]	マルチサイクル数指定 マルチサイクルスキャンモード時のスキャン回数を指定します。 00_B：スキャン回数 1 回 01_B：スキャン回数 2 回 10_B：設定禁止 11_B：スキャン回数 4 回

注　意

- 誤動作を防ぐため、ADCAnSGMCYCRx の設定はスキャングループ x の SGACT が 0 の状態（スキャングループ起動前）かつ TRGMD が 0 のとき、行ってください。
- SGx を起動すると、ADCAnSGVCSPx から ADCAnSGVCEPx までの仮想チャネルのスキャンを ADCAnSGMCYCRx で指定した回数だけ繰り返し実行します。

38.3.3.8 ADCAnPWDSGSEFCR ― PWM-Diag スキャン終了フラグクリアレジスタ

PWM-Diag 用のスキャン終了フラグ（SEF）のクリアを制御するレジスタです。読み出しは常に 0 です。

アクセス　ADCAnPWDSGSEFCR は、32 ビット単位でライトのみ可能です。
ADCAnPWDSGSEFCRL は、16 ビット単位でライトのみ可能です。
ADCAnPWDSGSEFCRLL は、8 ビット単位でライトのみ可能です。

アドレス　ADCAnPWDSGSEFCR：<ADCAn_base> + 518_H
ADCAnPWDSGSEFCRL：<ADCAn_base> + 518_H
ADCAnPWDSGSEFCRLL：<ADCAn_base> + 518_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PWDSEFC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 38.79　ADCAnPWDSGSEFCR レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	PWDSEFC	PWM-Diag 用スキャン終了フラグクリアトリガビット 0：機能しません 1：PWM-Diag 用スキャン終了フラグ（ADCAnSGSTR.SEF[4]）をクリアします

38.3.3.9　ADCAnSGSEFCRx ― スキャングループ x スキャン終了フラグクリアレジスタ

スキャン終了フラグ（ADCAnSGSTR.SEFx）をクリアする書き込み専用のレジスタです。読み出しは常に 0 が読み出されます。

アクセス　ADCAnSGSEFCRx は、32 ビット単位でライトのみ可能です。
ADCAnSGSEFCRxL は、16 ビット単位でライトのみ可能です。
ADCAnSGSEFCRxLL は、8 ビット単位でライトのみ可能です。

アドレス　ADCAnSGSEFCRx：<ADCAn_base> + x × 40_H + 418_H
ADCAnSGSEFCRxL：<ADCAn_base> + x × 40_H + 418_H
ADCAnSGSEFCRxLL：<ADCAn_base> + x × 40_H + 418_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SEFC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 38.80　ADCAnSGSEFCRx レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	SEFC	スキャン終了フラグクリアトリガビット 0：機能しません 1：対象 SG のスキャン終了フラグ（ADCAnSGSTR.SEFx）をクリアします

38.3.3.10 ADCAnSGSTR — スキャングループステータスレジスタ

T&H、SVSTOP、スキャングループ x、PWM-Diag スキャングループの状態を示すレジスタです。SHACT、SGACT は HALT 実行時にクリアされます。

アクセス	ADCAnSGSTR は 32 ビット単位でリードのみ可能です。 ADCAnSGSTRL は 16 ビット単位でリードのみ可能です。
アドレス	ADCAnSGSTR：<ADCAn_base> + 308_H ADCAnSGSTRL：<ADCAn_base> + 308_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	SHACT	SGACT[5:1]					—	—	—	—	SEF[4:1]				—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 38.81 ADCAnSGSTR レジスタの内容

ビット位置	ビット名	機能
31～15	予約ビット	リードした場合はリセット後の値が読めます。
14	SHACT	T&H ステータスフラグビット 0：T&H 停止中 1：T&H 変換中もしくはサンプリング中
13	SGACT[5]	SVSTOP ステータスフラグビット 0：SVSTOP を解除 1：SVSTOP を受け付け
12	SGACT[4]	PWM-Diag 用スキャングループ（SG4）ステータスフラグ 0：PWM-Diag（SG4）A/D 変換完了 1：PWM-Diag（SG4）A/D 変換中もしくはサスペンド状態
11	SGACT[3]	スキャングループ 3（SG3）ステータスフラグ 0：スキャングループ 3 A/D 変換完了 1：スキャングループ 3 A/D 変換中もしくはサスペンド状態
10	SGACT[2]	スキャングループ 2（SG2）ステータスフラグ 0：スキャングループ 2 A/D 変換完了 1：スキャングループ 2 A/D 変換中もしくはサスペンド状態
9	SGACT[1]	スキャングループ 1（SG1）ステータスフラグ 0：スキャングループ 1 A/D 変換完了 1：スキャングループ 1 A/D 変換中もしくはサスペンド状態
8～5	予約ビット	リードした場合はリセット後の値が読めます。
4	SEF[4]	PWM-Diag 用スキャン終了フラグ スキャン結果データのステータスを示します。 0：いずれかの操作が行われたときクリアされます。 ・PWM-Diag の ADCAnPWDTSNDR を読み出したとき ・PWM-Diag の ADCAnPWDDIR を読み出したとき ・ADCAnPWDSGSEFCR.PWDSEFC に“1”を書いたとき 1：PWM-Diag の ADCAnPWDTSNDR に A/D 変換結果が書き込まれたとき

表 38.81　ADCAnSGSTR レジスタの内容

ビット位置	ビット名	機能
3	SEF[3]	SG3 スキャン終了フラグ スキャン結果データのステータスを示します。 0：いずれかの操作が行われたときクリアされます。 ・ADCAnSGVCEP3 が示す仮想チャネルの ADCAnDRj を読み出したとき ・ADCAnSGVCEP3 が示す仮想チャネルの ADCAnDIRj を読み出したとき ・ADCAnSGSEFCRx.SEFC に“1”を書いたとき 1：ADCAnSGVCEP3 が示す仮想チャネルの ADCAnDRj に A/D 変換結果が書き込まれたとき
2	SEF[2]	SG2 スキャン終了フラグ スキャン結果データのステータスを示します。 0：いずれかの操作が行われたときクリアされます。 ・ADCAnSGVCEP2 が示す仮想チャネルの ADCAnDRj を読み出したとき ・ADCAnSGVCEP2 が示す仮想チャネルの ADCAnDIRj を読み出したとき ・ADCAnSGSEFCRx.SEFC に“1”を書いたとき 1：ADCAnSGVCEP2 が示す仮想チャネルの ADCAnDRj に A/D 変換結果が書き込まれたとき
1	SEF[1]	SG1 スキャン終了フラグ スキャン結果データのステータスを示します。 0：いずれかの操作が行われたときクリアされます。 ・ADCAnSGVCEP1 が示す仮想チャネルの ADCAnDRj を読み出したとき ・ADCAnSGVCEP1 が示す仮想チャネルの ADCAnDIRj を読み出したとき ・ADCAnSGSEFCRx.SEFC に“1”を書いたとき 1：ADCAnSGVCEP1 が示す仮想チャネルの ADCAnDRj に A/D 変換結果が書き込まれたとき
0	予約ビット	リードした場合はリセット後の値が読めます。

38.3.3.11　ADCAnSGSTPCRx ― スキャングループ x ストップ制御レジスタ

スキャングループ x を停止する制御レジスタです。読み出しは常に 0 が読み出されます。

アクセス　ADCAnSGSTPCRx は、32 ビット単位でライトのみ可能です。
ADCAnSGSTPCRxL は、16 ビット単位でライトのみ可能です。
ADCAnSGSTPCRxLL は、8 ビット単位でライトのみ可能です。

アドレス　ADCAnSGSTPCRx：<ADCAn_base> + x × 40_H + 404_H
ADCAnSGSTPCRxL：<ADCAn_base> + x × 40_H + 404_H
ADCAnSGSTPCRxLL：<ADCAn_base> + x × 40_H + 404_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SGSTP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 38.82　ADCAnSGSTPCRx レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	SGSTP	スキャングループ×のストップトリガ ADCAnSGSTR.SGACT[3:1]＝1 の状態で、SGSTP に 1 を書き込むと、対象 SGx が停止します。

38.3.4 ハードウェアトリガ固有レジスタ

38.3.4.1 ADCAnSGTSELx — スキャングループ x 開始トリガ制御レジスタ

SGx に対する、A/D 変換トリガ（ハードウェアトリガ）を設定するレジスタです。

アクセス ADCAnSGTSELx は、32 ビット単位でリード／ライト可能です。
ADCAnSGTSELxL は、16 ビット単位でリード／ライト可能です。

アドレス ADCAnSGTSELx : <ADCAn_base> + x × 40_H + $41C_H$
ADCAnSGTSELxL : <ADCAn_base> + x × 40_H + $41C_H$

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TxSEL9 注 1	TxSEL8 注 1	TxSEL7 注 1	TxSEL6 注 1	TxSEL5 注 1	TxSEL4 注 1	TxSEL3 注 1	TxSEL2 注 1	TxSEL1 注 1	TxSEL0 注 1
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1. ADCA1 は TxSEL0～TxSEL4 のみ対応しています。それ以外のビットについて、ライトする場合はリセット後の値を書いてください。

表 38.83 ADCAnSGTSELx レジスタの内容

ビット位置	ビット名	機能
31～10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9～0	TxSELp （p＝0～9）	A/D 変換トリガ（ハードウェアトリガ）選択ビット 0：ハードウェアトリガ禁止 1：ハードウェアトリガ許可 **注意）** TxSELp を 1 にセットする場合は、いずれか一つのビットのみを 1 にセットしてください

選択できるハードウェアトリガを次に示します。

表 38.84 A/D 変換ハードウェアトリガ一覧

ユニット	制御レジスタ／ビット		トリガ入力信号	
	レジスタ名	ビット名	名称	接続先ユニット
ADCA0	ADCA0SGTSEL1	T1SEL0	ADCA0TRG0	外部トリガ端子
		T1SEL1	INTTAUJ0I3	TAUJ0
		T1SEL2	INTTAUD0I7	TAUD0
		T1SEL3	INTTAUD0I15	TAUD0
		T1SEL4	SEQADTRG	LPS
		T1SEL5	INTENCA0I1	ENCA0
		T1SEL6	TAPATADOUT0	モータ制御（TAPA0）
		T1SEL7	TAPATADOUT1	モータ制御（TAPA0）
		T1SEL8	ADOPA0ADCATTIN00	モータ制御（PIC0）
		T1SEL9	INTTAUJ2I3	TAUJ2

表 38.84　A/D 変換ハードウェアトリガ一覧

ユニット	制御レジスタ／ビット		トリガ入力信号	
	レジスタ名	ビット名	名称	接続先ユニット
ADCA0	ADCA0SGTSEL2	T2SEL0	ADCA0TRG1	外部トリガ端子
		T2SEL1	INTTAUJ0I3	TAUJ0
		T2SEL2	INTTAUD0I7	TAUD0
		T2SEL3	INTTAUD0I15	TAUD0
		T2SEL4	SEQADTRG	LPS
		T2SEL5	INTENCA0I1	ENCA0
		T2SEL6	TAPATADOUT0	モータ制御（TAPA0）
		T2SEL7	TAPATADOUT1	モータ制御（TAPA0）
		T2SEL8	ADOPA1ADCATTIN00	モータ制御（PIC0）
		T2SEL9	INTTAUJ2I3	TAUJ2
	ADCA0SGTSEL3	T3SEL0	ADCA0TRG2	外部トリガ端子
		T3SEL1	INTTAUJ0I3	TAUJ0
		T3SEL2	INTTAUD0I7	TAUD0
		T3SEL3	INTTAUD0I15	TAUD0
		T3SEL4	SEQADTRG	LPS
		T3SEL5	INTENCA0I1	ENCA0
		T3SEL6	TAPATADOUT0	モータ制御（TAPA0）
		T3SEL7	TAPATADOUT1	モータ制御（TAPA0）
		T3SEL8	ADOPA2ADCATTIN00	モータ制御（PIC0）
		T3SEL9	INTTAUJ2I3	TAUJ2
ADCA1	ADCA1SGTSEL1	T1SEL0	ADCA1TRG0	外部トリガ端子
		T1SEL1	INTTAUJ1I3	TAUJ1
		T1SEL2	INTTAUB0I7	TAUB0
		T1SEL3	INTTAUB0I15	TAUB0
		T1SEL4	INTTAUJ3I3	TAUJ3
	ADCA1SGTSEL2	T2SEL0	ADCA1TRG1	外部トリガ端子
		T2SEL1	INTTAUJ1I3	TAUJ1
		T2SEL2	INTTAUB0I7	TAUB0
		T2SEL3	INTTAUB0I15	TAUB0
		T2SEL4	INTTAUJ3I3	TAUJ3
	ADCA1SGTSEL3	T3SEL0	ADCA1TRG2	外部トリガ端子
		T3SEL1	INTTAUJ1I3	TAUJ1
		T3SEL2	INTTAUB0I7	TAUB0
		T3SEL3	INTTAUB0I15	TAUB0
		T3SEL4	INTTAUJ3I3	TAUJ3

注　意

1. LPS のトリガ要因（SEQADTRG）を許可する場合は、ADCA0SGTSEL1.T1SEL4、ADCA0SGTSEL2.T2SEL4 または ADCA0SGTSEL3.T3SEL4 から 1 つのみを許可してください。
2. 誤動作を防ぐため、ADCAnSGTSELx の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）、かつ全スキャングループの TRGMD が 0 のときに行ってください。

38.3.5 自己診断固有レジスタ

38.3.5.1 ADCAnDGCTL0 — 自己診断制御レジスタ 0

自己診断電圧レベルを制御するレジスタです。

アクセス　ADCAnDGCTL0 は、32 ビット単位でリード／ライト可能です。
ADCAnDGCTL0L は、16 ビット単位でリード／ライト可能です。
ADCAnDGCTL0LL は、8 ビット単位でリード／ライト可能です。

アドレス　ADCAnDGCTL0：<ADCAn_base> + 350_H
ADCAnDGCTL0L：<ADCAn_base> + 350_H
ADCAnDGCTL0LL：<ADCAn_base> + 350_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	PSEL2	PSEL1	PSEL0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 38.85　ADCAnDGCTL0 レジスタの内容

ビット位置	ビット名	機能
31～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2～0	PSEL[2:0]	自己診断電圧レベル選択ビット。

ADCAnDGCTL0			出力信号			
PSEL2	PSEL1	PSEL0	ADDIAGOUT	DIAGOUT2	DIAGOUT1	DIAGOUT0
0	0	0	Hi-z	Hi-z	Hi-z	Hi-z
0	0	1	AnVSS	$2/3AnV_{REF}$	$1/2AnV_{REF}$	$1/3AnV_{REF}$
0	1	0	$1/3AnV_{REF}$	$1/3AnV_{REF}$	$2/3AnV_{REF}$	$1/2AnV_{REF}$
0	1	1	$1/2AnV_{REF}$	$1/2AnV_{REF}$	$1/3AnV_{REF}$	$2/3AnV_{REF}$
1	0	0	$2/3AnV_{REF}$	Hi-z	Hi-z	Hi-z
1	0	1	AnV_{REF}	$1/3AnV_{REF}$	$1/3AnV_{REF}$	$1/3AnV_{REF}$
1	1	0	AnV_{REF}	$1/2AnV_{REF}$	$1/2AnV_{REF}$	$1/2AnV_{REF}$
1	1	1	AnV_{REF}	$2/3AnV_{REF}$	$2/3AnV_{REF}$	$2/3AnV_{REF}$

備　考

ADCAnDGCTL0.PSEL[2:0]ビットの値は、

- ADCAnADCR.DGON＝1
- サンプリング完了後

に反映されます。

38.3.5.2　ADCAnDGCTL1 — 自己診断制御レジスタ 1

自己診断チャネルを制御するレジスタです。

アクセス　ADCAnDGCTL1 は、32 ビット単位でリード／ライト可能です。
ADCAnDGCTL1L は、16 ビット単位でリード／ライト可能です。

アドレス　ADCAnDGCTL1：<ADCAn_base> + 354_H
ADCAnDGCTL1L：<ADCAn_base> + 354_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CDG[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 38.86　ADCAnDGCTL1 レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15、12、9、6、3、0	CDG [15, 12, 9, 6, 3, 0]	自己診断チャネル選択ビット 0：ANInm を選択 1：DIAGOUT0 を選択
13、10、7、4、1	CDG [13, 10, 7, 4, 1]	自己診断チャネル選択ビット 0：ANInm を選択 1：DIAGOUT1 を選択
14、11、8、5、2	CDG [14, 11, 8, 5, 2]	自己診断チャネル選択ビット 0：ANInm を選択 1：DIAGOUT2 を選択

注　意

誤動作を防ぐため、ADCAnDGCTL1 の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）、かつ全スキャングループの TRGMD が 0 のときに行ってください。

38.3.5.3 ADCAnPDCTL1 — プルダウン制御レジスタ 1

プルダウン抵抗を接続するチャネルを指定します。

詳細は、「**38.5.3 オープン端子の診断**」を参照してください。

アクセス	ADCAnPDCTL1 は、32 ビット単位でリード／ライト可能です。 ADCAnPDCTL1L は、16 ビット単位でリード／ライト可能です。
アドレス	ADCAnPDCTL1：<ADCAn_base> + 358_H ADCAnPDCTL1L：<ADCAn_base> + 358_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PDNA[15:0]注1															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1. ADCAnPDCTL1.PDNA[15:0]は、ANInI15～ANInI0 に対応しています。
詳細は、「**表 38.32 ADCA0 アナログ入力信号（RH850/F1KH-D8）**」、「**表 38.33 ADCA0 アナログ入力信号（RH850/F1KM-S4）**」、「**表 38.34 ADCA0 アナログ入力信号（RH850/F1KM-S2）**」、「**表 38.35 ADCA0 アナログ入力信号（RH850/F1KM-S1）**」、「**表 38.37 ADCA1 アナログ入力信号（RH850/F1KH-D8）**」、「**表 38.38 ADCA1 アナログ入力信号（RH850/F1KM-S4）**」および「**表 38.39 ADCA1 アナログ入力信号（RH850/F1KM-S2）**」を参照してください。未使用の ANIn 信号に対応するビットへ書き込む場合は、リセット後の値を書いてください。

表 38.87 ADCAnPDCTL1 レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15～0	PDNA[15:0]	プルダウンイネーブル制御ビット 対応する物理チャネル（ANIn[00:15]）の端子に、内蔵プルダウン抵抗を接続するか否かを設定します。 0：内蔵プルダウン抵抗を接続しません 1：内蔵プルダウン抵抗を接続します

注 意

誤動作を防ぐため、ADCAnPDCTL1 の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）、かつ全スキャングループの TRGMD が 0 のときに行ってください。

備 考

内蔵プルダウン抵抗値については「**第 47A 章 RH850/F1KH-D8 の電気的特性**」、「**第 47B 章 RH850/F1KM-S4, RH850/F1KM-S2 の電気的特性**」、「**第 47C 章 RH850/F1KM-S1 の電気的特性**」を参照してください。

38.3.5.4 ADCAnPDCTL2 — プルダウン制御レジスタ 2

プルダウン抵抗を接続するチャネルを指定します。

詳細は、「**38.5.3 オープン端子の診断**」を参照してください。

アクセス ADCAnPDCTL2 は、32 ビット単位でリード／ライト可能です。
ADCAnPDCTL2H および ADCAnPDCTL2L は、16 ビット単位でリード／ライト可能です。
ADCAnPDCTL2HL, ADCAnPDCTL2LH および ADCAnPDCTL2LL は、8 ビット単位でリード／ライト可能です。

アドレス ADCAnPDCTL2：<ADCAn_base> + 35C$_H$
ADCAnPDCTL2L：<ADCAn_base> + 35C$_H$
ADCAnPDCTL2H：<ADCAn_base> + 35C$_H$ + 2$_H$
ADCAnPDCTL2HL：<ADCAn_base> + 35C$_H$ +2$_H$
ADCAnPDCTL2LL：<ADCAn_base> + 35C$_H$
ADCAnPDCTL2LH：<ADCAn_base> + 35C$_H$ + 1$_H$

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	PDNB[19:16]注 1			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PDNB[15:0]注 1															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1. ADCAnPDCTL2.PDNB[19:0]は、ANInI19S～ANInI0S に対応しています。
詳細は、**「表 38.32 ADCA0 アナログ入力信号 (RH850/F1KH-D8)」**、**「表 38.33 ADCA0 アナログ入力信号 (RH850/F1KM-S4)」**、**「表 38.34 ADCA0 アナログ入力信号 (RH850/F1KM-S2)」**、**「表 38.35 ADCA0 アナログ入力信号 (RH850/F1KM-S1)」**、**「表 38.37 ADCA1 アナログ入力信号 (RH850/F1KH-D8)」**、**「表 38.38 ADCA1 アナログ入力信号 (RH850/F1KM-S4)」**および**「表 38.39 ADCA1 アナログ入力信号 (RH850/F1KM-S2)」**を参照してください。未使用の ANIn 信号に対応するビットへ書き込む場合は、リセット後の値を書いてください。

表 38.88 ADCAnPDCTL2 レジスタの内容

ビット位置	ビット名	機能
31～20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19～0	PDNB[19:0]	プルダウンイネーブル制御ビット 対応する物理チャネル（ANIn[16:35]）の端子に、内蔵プルダウン抵抗を接続するか否かを設定します。 0：内蔵プルダウン抵抗を接続しません 1：内蔵プルダウン抵抗を接続します

注　意

誤動作を防ぐため、ADCAnPDCTL2 の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）、かつ全スキャングループの TRGMD が 0 のときに行ってください。

備　考

内蔵プルダウン抵抗値については「**第 47A 章　RH850/F1KH-D8 の電気的特性**」、「**第 47B 章　RH850/F1KM-S4, RH850/F1KM-S2 の電気的特性**」、「**第 47C 章　RH850/F1KM-S1 の電気的特性**」を参照してください。

38.3.6　エミュレーション固有レジスタ

38.3.6.1　ADCAnEMU ― エミュレーション制御レジスタ

SVSTOP ディセーブル信号を制御するレジスタです。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<ADCAn_base> + 388_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	SVSDIS	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R

表 38.89　ADCAnEMU レジスタの内容

ビット位置	ビット名	機能
7	SVSDIS	SVSTOP ディセーブルビット 0：SVSTOP を有効にする 1：SVSTOP を無効にする SVSTOP 有効時の A/D 変換動作は、「**38.4.10.3 SVSTOP 動作**」を参照してください。
6～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

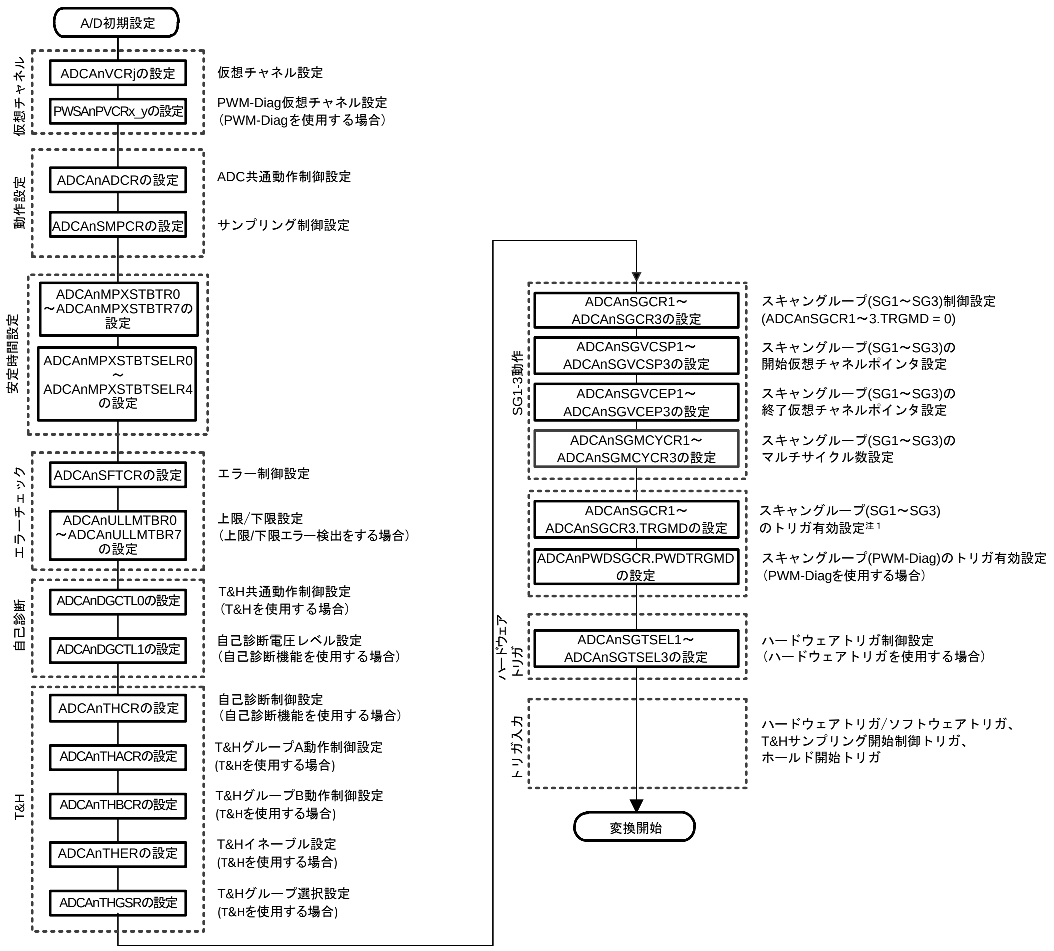
注　意

誤動作を防ぐため、SVSDIS の設定は全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの TRGMD が 0 のときに実施してください。

38.4　動作

38.4.1　初期設定

「**図 38.6 初期設定フロー**」に A/D 変換の初期設定例を示します。トリガ入力については、「**図 38.7 トリガ入力フロー**」を参照してください。割り込み要求信号については、「**38.4.12 スキャン終了割り込み要求**」を参照してください。



備考　必要に応じて設定してください。

注1.　ADCAnSGTSEL1-3 の設定前に、「**表 38.84 A/D 変換ハードウェアトリガ一覧**」で示すトリガ入力信号が動作する場合は、**表 38.84** の注意事項に従ってください。

図 38.6　初期設定フロー

38.4.2　　トリガ入力

トリガ入力のフローチャートを、以下の図に示します。

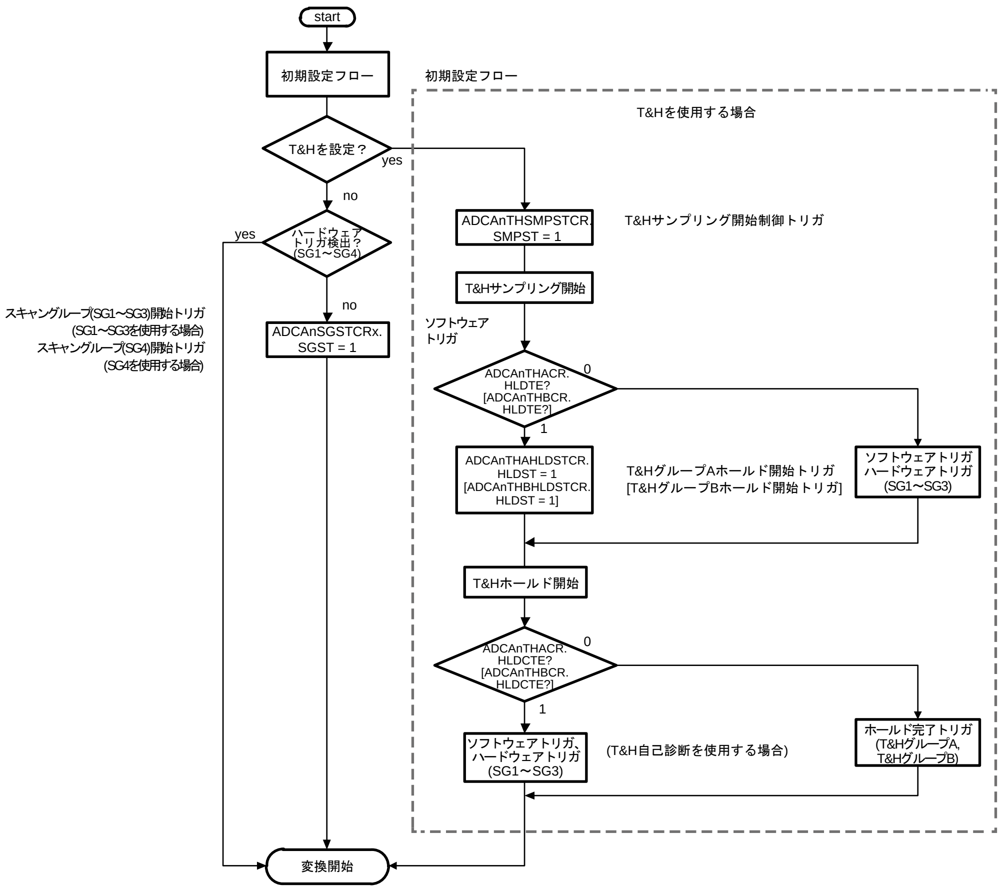


図 38.7　　トリガ入力フロー

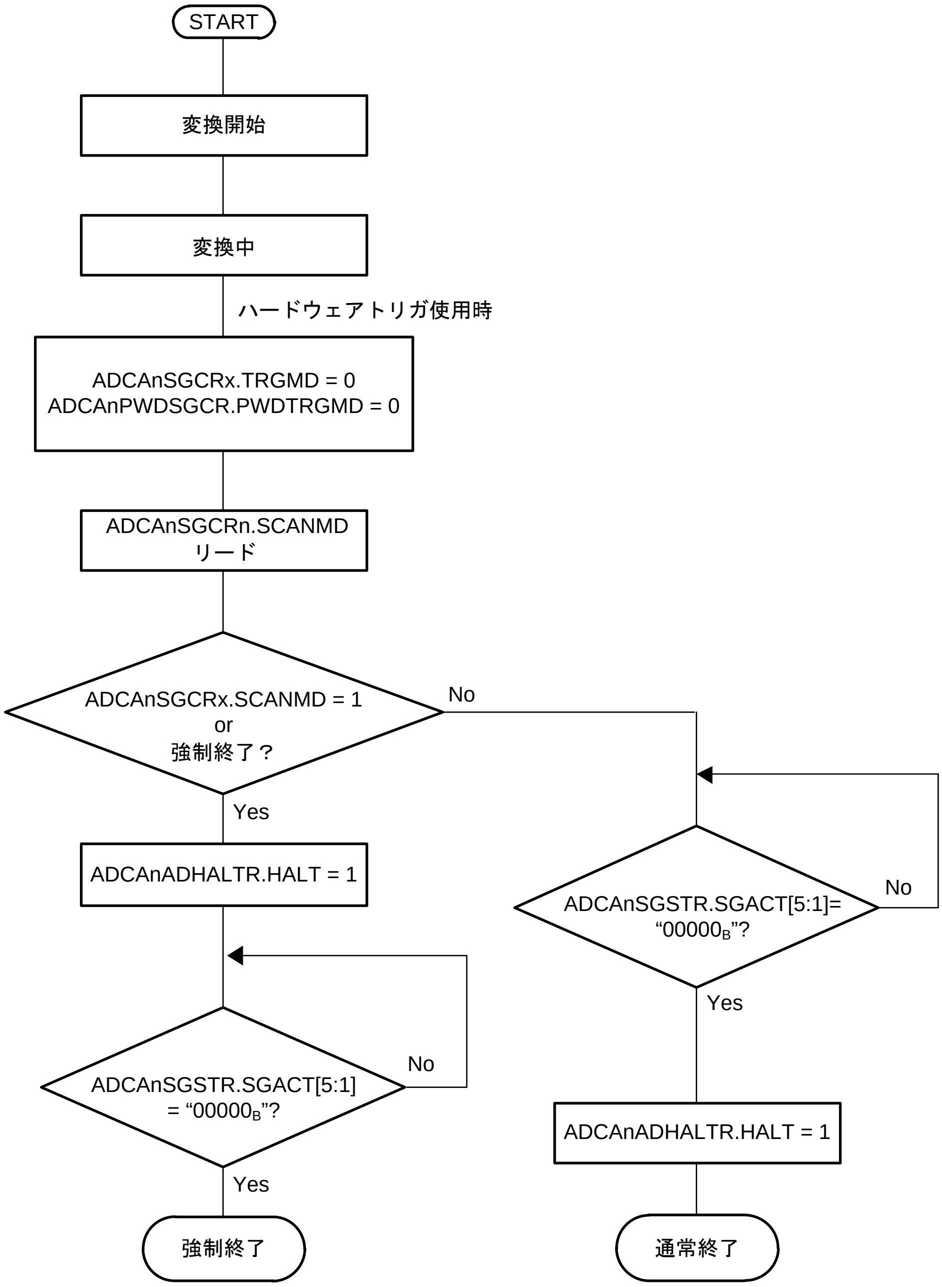
備　考

スキャン動作中に SG 起動トリガが発生した場合、SG 起動トリガは無視されます。

38.4.3 A/D 変換の終了／停止

38.4.3.1 ADHALT による終了

A/D 変換終了フローは以下の通りです。



備考 通常終了時の最後の HALT セットは変換状態と IDLE 状態を明確にする処理です。通常終了時の HALT セット有無による A/D 変換精度には影響ありません。

図 38.8 ADHALT による A/D 変換終了のフローチャート

38.4.3.2　　SGSTP による停止（スキャングループ用）

スキャングループごとに A/D 変換を停止するフローを、SG1 を例に以下に示します。T&H グループ（グループ A またはグループ B）で選択されたスキャングループは、T&H（グループ A またはグループ B）の停止後に、停止する必要があります。

他のスキャングループは、対応するビット（ADCAnSGSTPCR2.SGSTP、ADCAnSGSTPCR3.SGSTP および ADCAnPWDSGSTPCR.PWDSGSTP）によって制御することもできます。SGSTP＝1 に設定されている場合は、SGACT の対応するスキャングループがクリアされたことを確認してください。

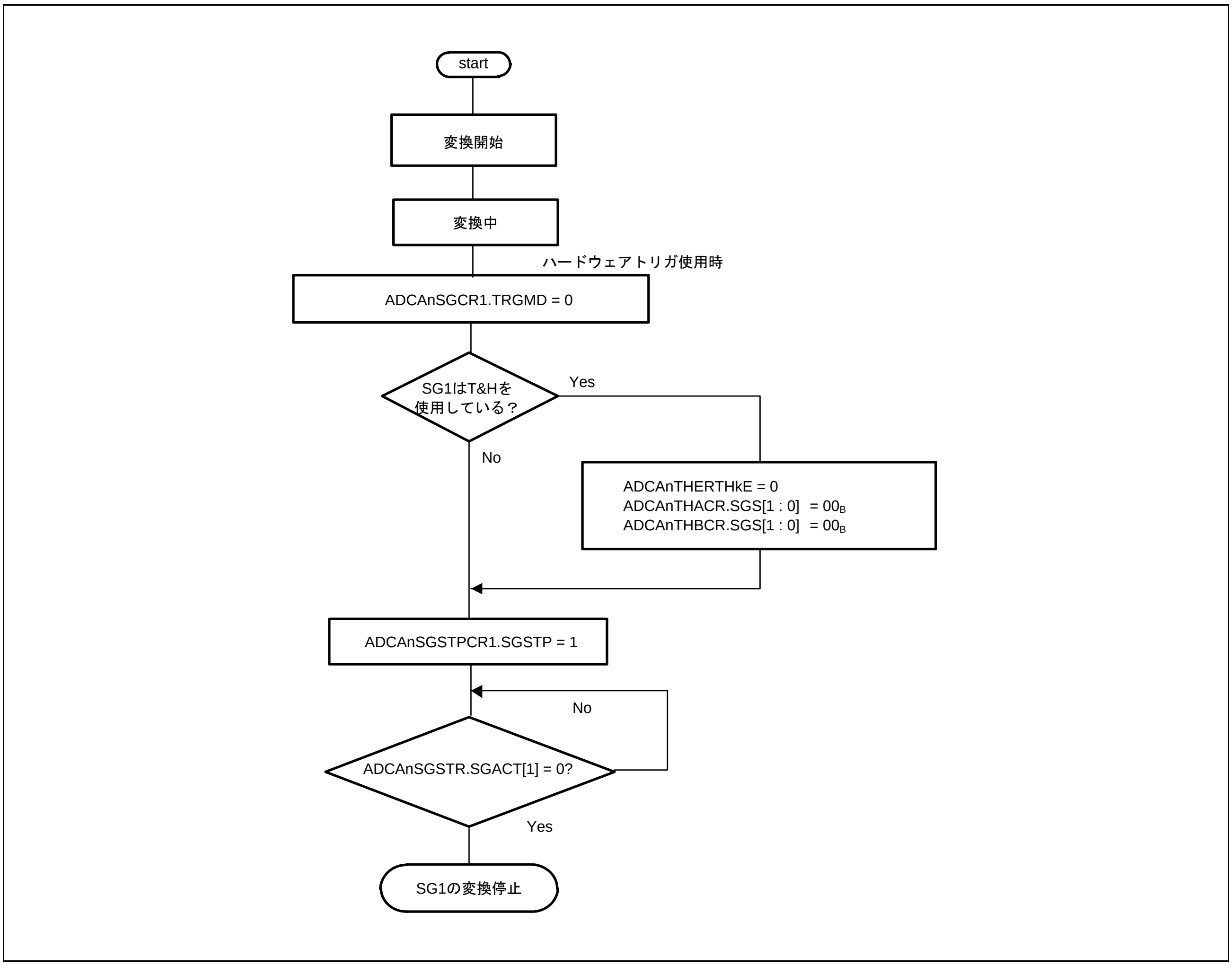


図 38.9　　各スキャングループ（SG1）の A/D 変換停止フローチャート

注　意

スキャングループの停止設定後、A/D 変換結果を正しく処理してレジスタを再設定するには、14 バスクロック以上（ダミーリード 7 回分）待たなければなりません。割り込みを使用する場合、この手順は必要ありません。

備　考

A/D 変換終了直前にスキャングループストップビットをセットすると、対応するスキャングループはアイドル状態に遷移しますが、A/D 変換終了割り込みまたはスキャン終了割り込みが出力されることがあります。システムに不都合がある場合は、割り込みを無効にしてからストップビットを設定してください。

スキャングループのストップビット（ADCAnSGSTPCRx.SGSTP、ADCAnPWDSGSTPCR.PWDSGST）が設定されると、対応するスキャングループはアイドル状態になり、進行中の仮想チャネルのスキャン終了後に、SGACT は 0 にクリアされます。動作例を以下に示します。

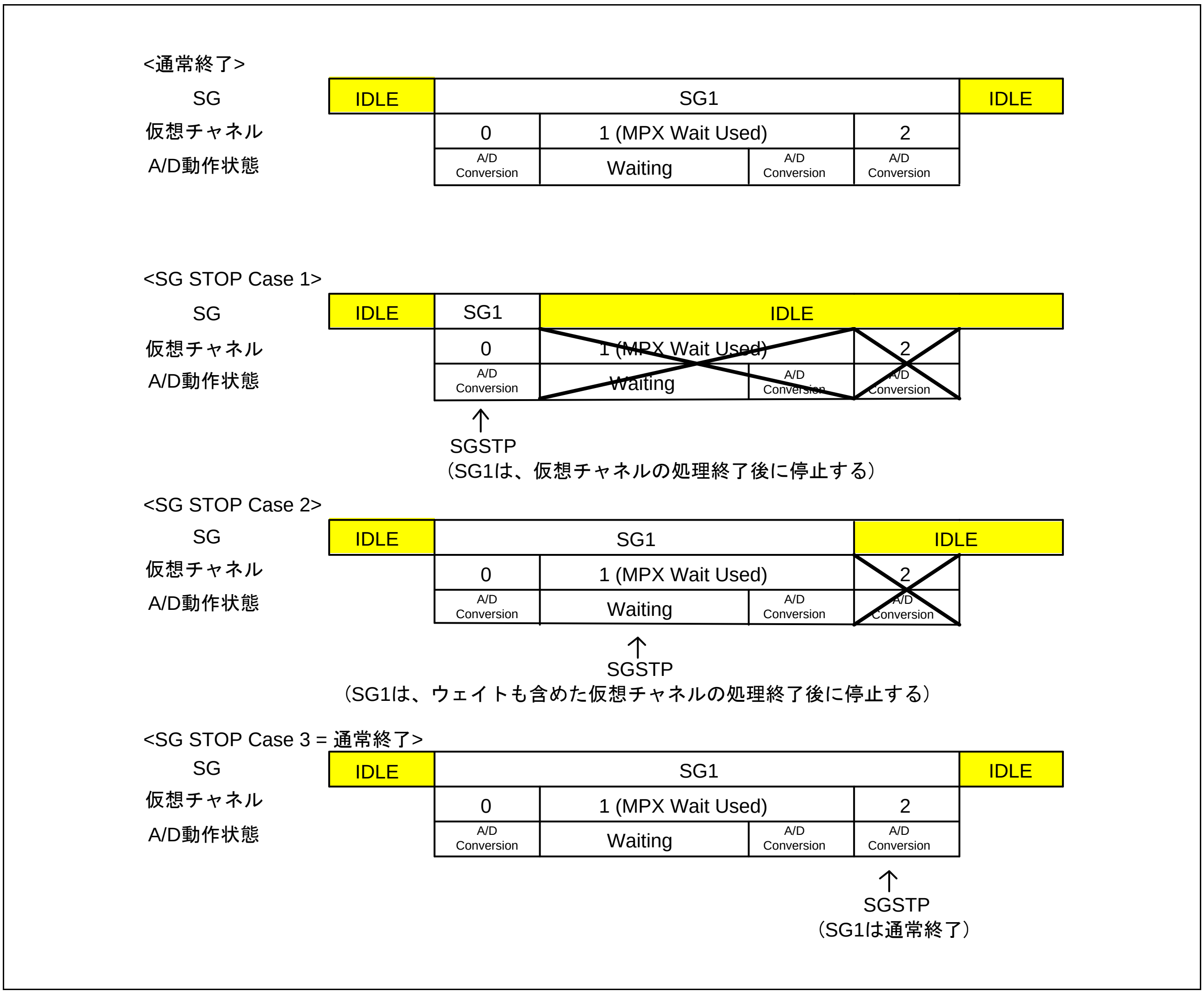


図 38.10　スキャングループ停止動作例（SG1）

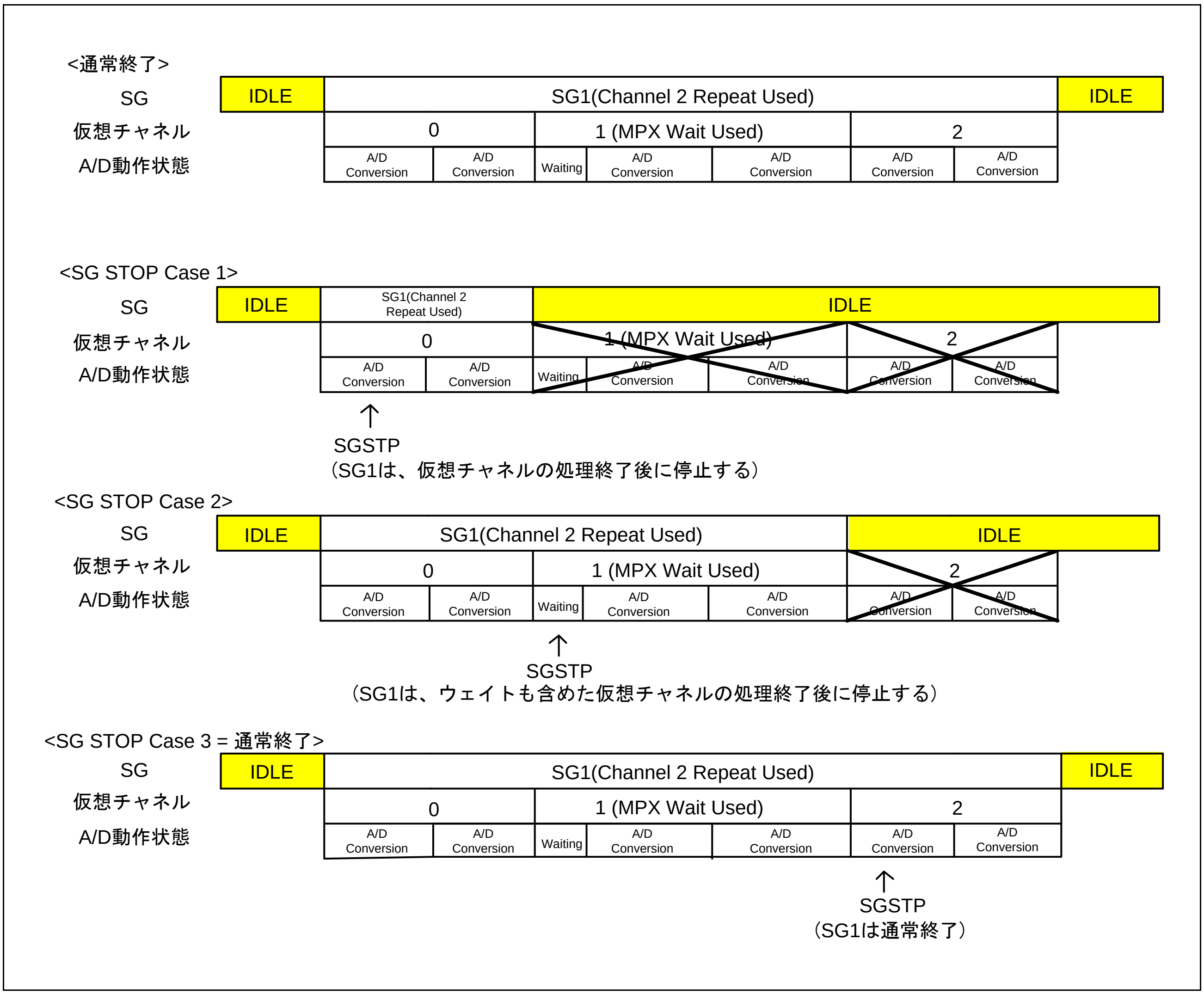


図 38.11　スキャングループ停止動作例（SG1 チャネルリピート）

同期／非同期サスペンドにより中断されたスキャングループのストップビットがセットされると、対応するスキャングループはアイドル状態になり、SGACT は処理を再開せずに、0 にクリアされます。

仮想チャネルの処理中にスキャングループストップビットがセットされ、高優先度のスキャングループによる割り込みで、非同期サスペンドが発生すると、「**図 38.12 スキャングループ停止動作の例（SG1 の非同期サスペンド）**」に示すように仮想チャネルのスキャン処理が停止し、仮想チャネルはアイドル状態になり、SGACT は 0 にクリアされます。

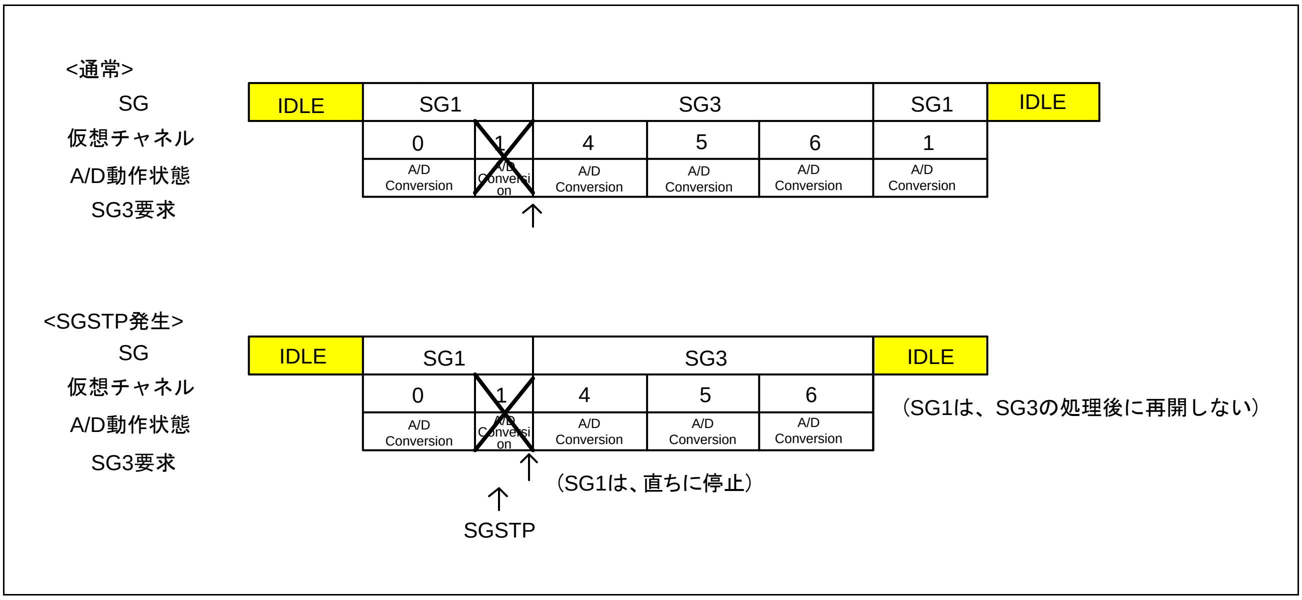
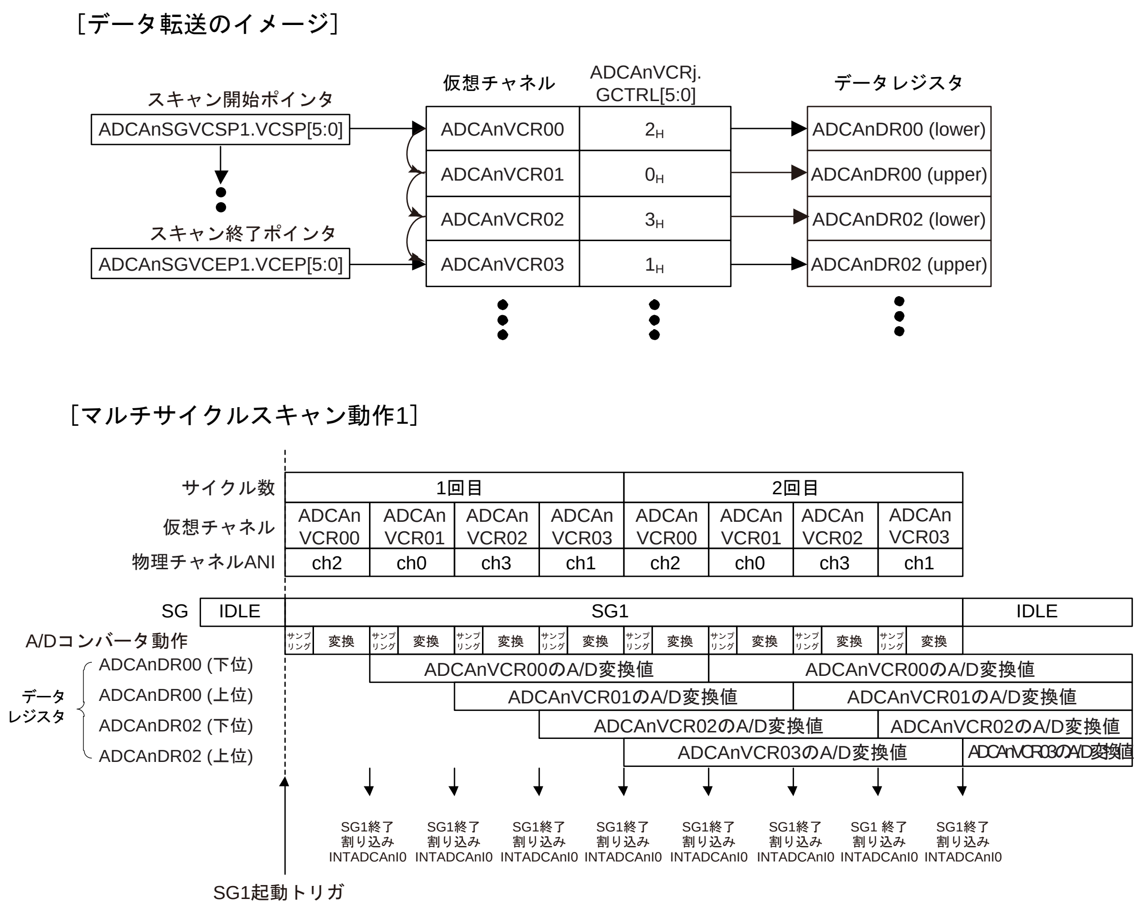


図 38.12　スキャングループ停止動作の例（SG1 の非同期サスペンド）

38.4.4 スキャングループ動作例

(1) マルチサイクルスキャンモード

スキャングループ 1 にてマルチサイクルスキャンモードの 2 サイクルスキャンで仮想チャネルを 4 チャネル分変換する場合の動作例を示します。

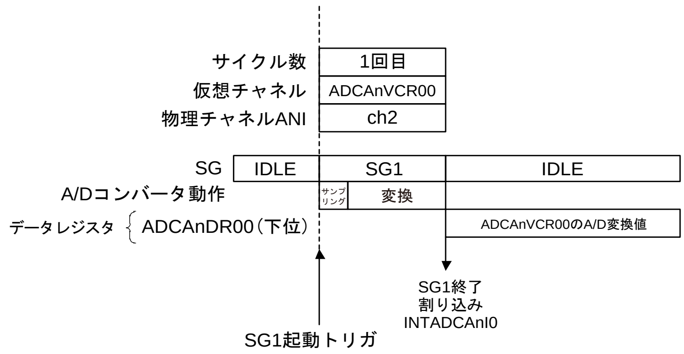


[条件]

スキャングループ 1：マルチサイクルスキャンモード、2 サイクルスキャン、仮想チャネル 0～3 の A/D 変換

図 38.13 マルチサイクルスキャン動作例 1

マルチサイクルスキャンモードを使用し、1 端子を 1 回スキャンする場合の動作例を示します。



［条件］

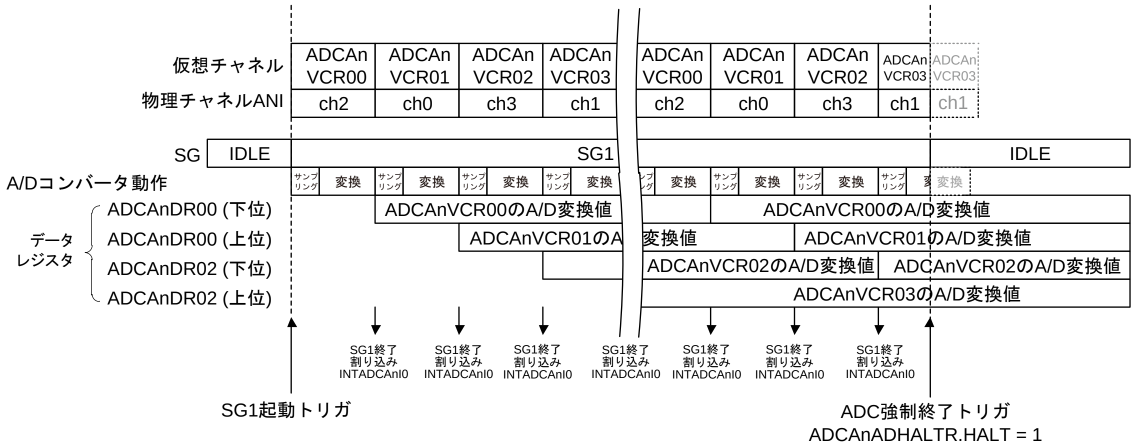
スキャングループ 1：マルチサイクルスキャンモード、1 端子を 1 回スキャン、仮想チャネル 0 の A/D 変換

図 38.14　マルチサイクルスキャン動作例 2

(2)　連続スキャンモード

連続スキャンモードでは、ADCAnSGVCSPx.VCSP[5:0]～ADCAnSGVCEPx.VCEP[5:0]で指定されたポインタによって示される、SG チャネルの A/D 変換が、ADCAnADHALTR.HALT または ADCAnSGSTPCRx.SGSTP がアサートされるまで継続することができます。本連続スキャンモードは、SG1 のみ対応します。

次に、連続スキャンモードの動作例を示します。



［条件］

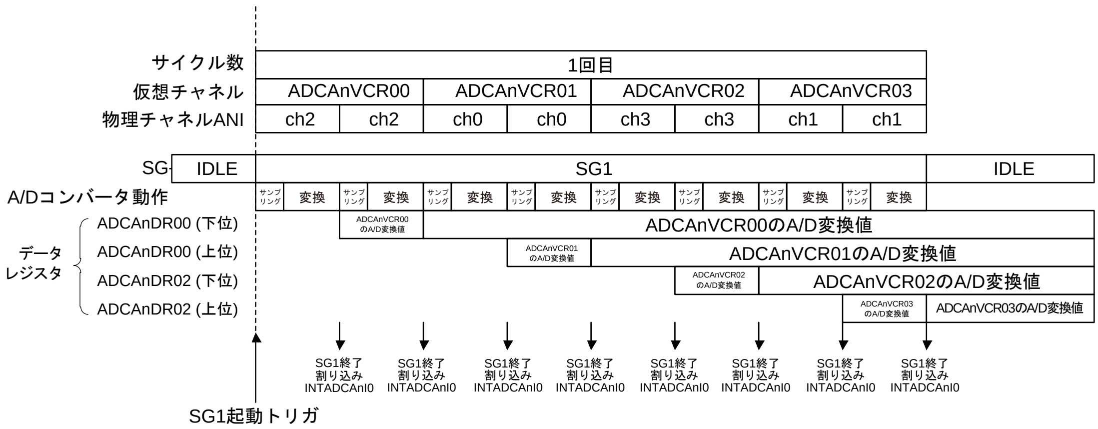
スキャングループ 1：連続スキャンモード、仮想チャネル 0～3 の A/D 変換

図 38.15　連続スキャンの動作例

38.4.5　チャネルリピートモード

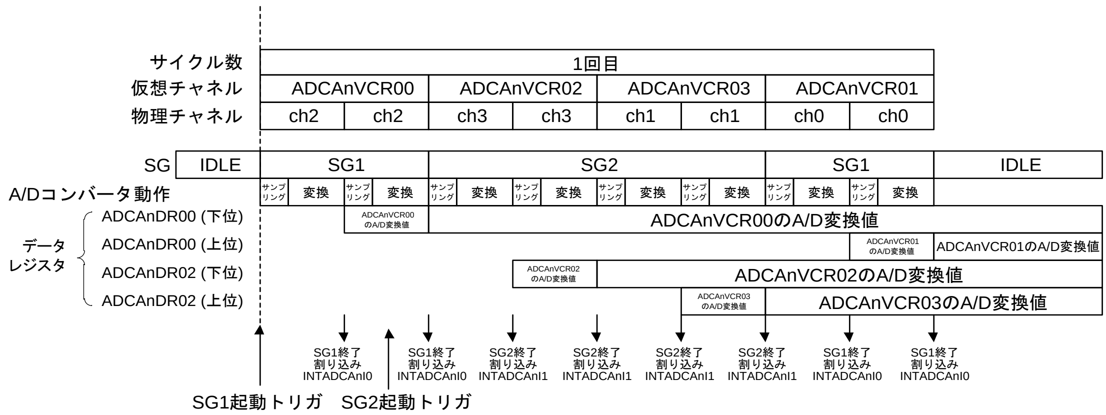
チャネルリピートモードは、ADCAnSGVCSPx.VCSP[5:0]～ADCAnSGVCEPx.VCEP[5:0]で指定したポインタが示す SG のチャネルを、ADCAnSGCRx.SCT[1:0]で指定したチャネルリピート回数分の A/D 変換を実施するモードです。各 SG で排他的に動作し、チャネルリピート回数は、1 回、2 回、4 回数分の選択が可能です。

次に、それぞれの条件での動作例を示します。



［条件］

スキャングループ 1：マルチサイクルスキャンモード、チャネルリピート 2 回、1 端子を 1 回スキャン、仮想チャネル 0～3 の A/D 変換

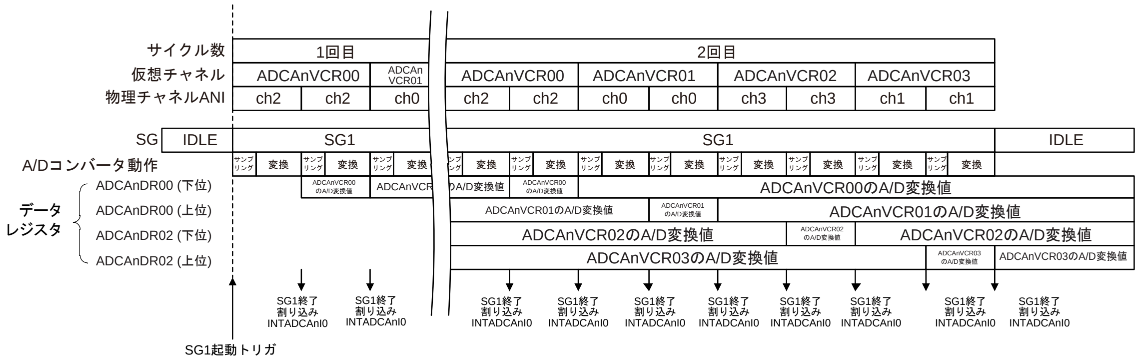


［条件］

スキャングループ 1：マルチサイクルスキャンモード、チャネルリピート 2 回、1 端子を 1 回スキャン、仮想チャネル 0～1 の A/D 変換

スキャングループ 2：マルチサイクルスキャンモード、チャネルリピート 2 回、1 端子を 1 回スキャン、仮想チャネル 2～3 の A/D 変換

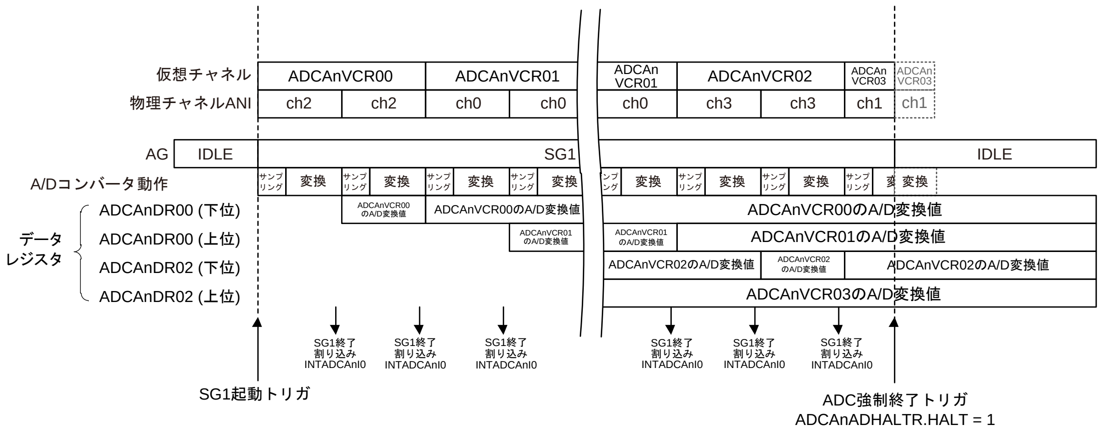
図 38.16　チャネルリピート動作例 1



［条件］

スキャングループ 1：マルチサイクルスキャンモード、チャネルリピート 2 回、2 サイクルスキャン、仮想チャネル 0～3 の A/D 変換

図 38.17 チャネルリピート動作例 2



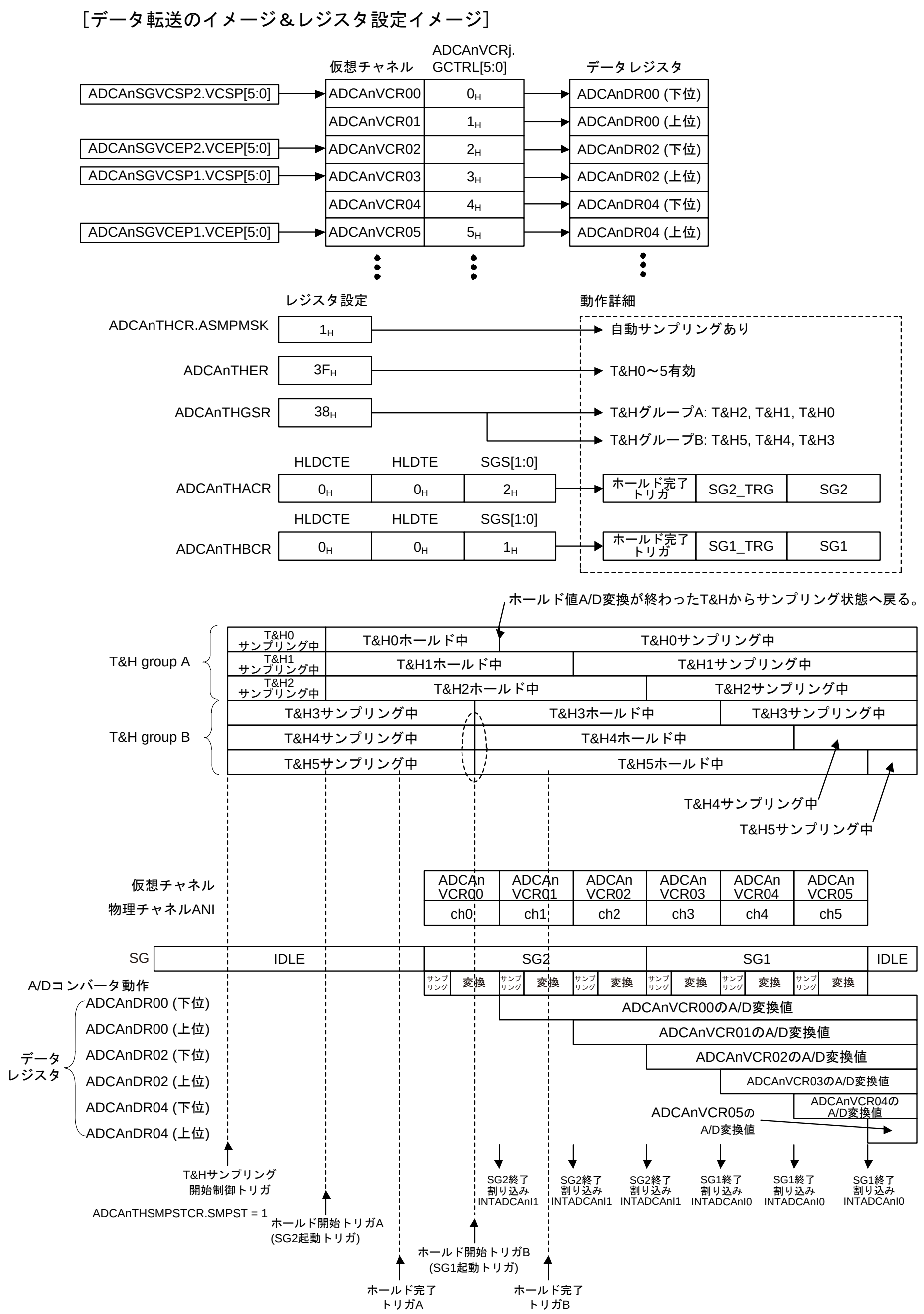
［条件］

スキャングループ 1：連続スキャンモード、チャネルリピート 2 回、仮想チャネル 0～3 の A/D 変換

図 38.18 チャネルリピート動作例 3

38.4.6　同時トラック&ホールド動作例

同時トラック&ホールドの動作例を「**図 38.19　同時トラック&ホールド動作例 1**」に示します。



［条件］

スキャングループ 1：マルチサイクルスキャンモード、1 端子を 1 回スキャン、仮想チャネル 3～5 の A/D 変換

スキャングループ 2：マルチサイクルスキャンモード、1 端子を 1 回スキャン、仮想チャネル 0～2 の A/D 変換

図 38.19　同時トラック&ホールド動作例 1

注 意

- 異なるグループで同じ物理チャネルを指定しないでください。
- マルチサイクルスキャンモードでの 2 サイクル（またはそれ以上）のスキャンと、連続スキャンモードでのトラック＆ホールド動作は禁止されています。
- ADCAnTHSMPSTCR.SMPST はグループ A, B 共通となっているため、グループ A, B の両方の T&H 動作を終了させてから、セットしてください。
- ADCAnTHACR レジスタまたは ADCAnTHBCR レジスタの HLDCTE＝1、HLDTE＝1 に設定し、ADCAnTHAHLDSTCR レジスタまたは ADCAnTHBHLDSTCR レジスタの HLDST をライトし T&H をホールド状態にする前に、ハードウェアトリガをアサートするとスキャン動作を開始します。その場合、T&H はサンプリング状態のままチャネルスイッチが開くため、スキャン結果は全て不定となります。HLDCTE＝1、HLDTE＝1 に設定し、HLDST のライト前にハードウェアトリガをアサートすることは禁止です。
- 0-2 チャネルのいずれかと 3-5 チャネルのいずれかを同じグループに設定することは禁止です。
- T&H サンプリング開始制御トリガからホールド開始トリガまでの間が 450ns 以上となるように使用してください。
- ホールド開始トリガからグループの A/D 変換完了までは 10μs 以内となるよう設定してください。
  サスペンドモードでは、サスペンド期間が 10μs を超える場合は、低優先度のスキャングループのチャネルに T&H を使用しないでください。

38.4.7 外付けアナログマルチプレクサでの A/D 変換

それぞれの A/D 変換例を示します。

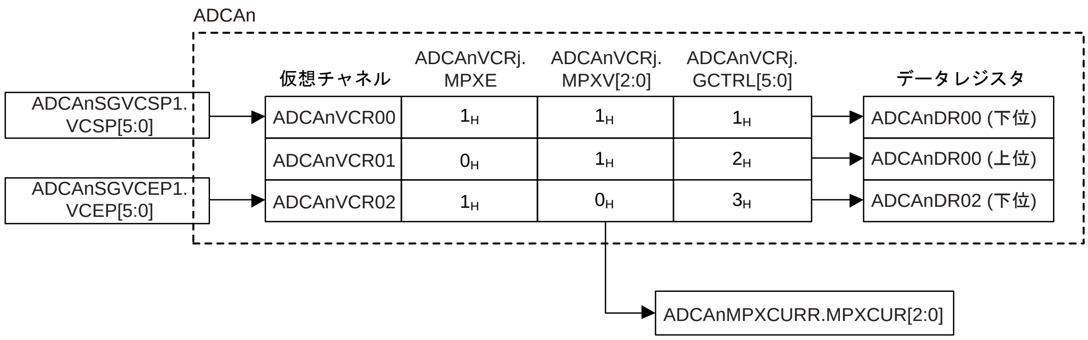
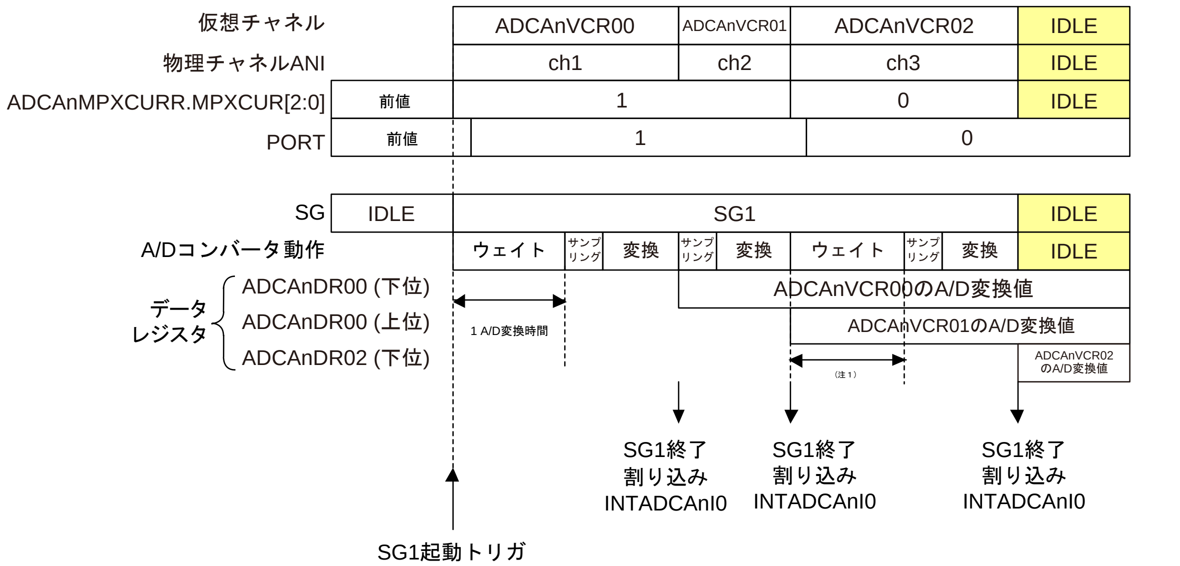


図 38.20 データ転送＆レジスタ設定イメージ



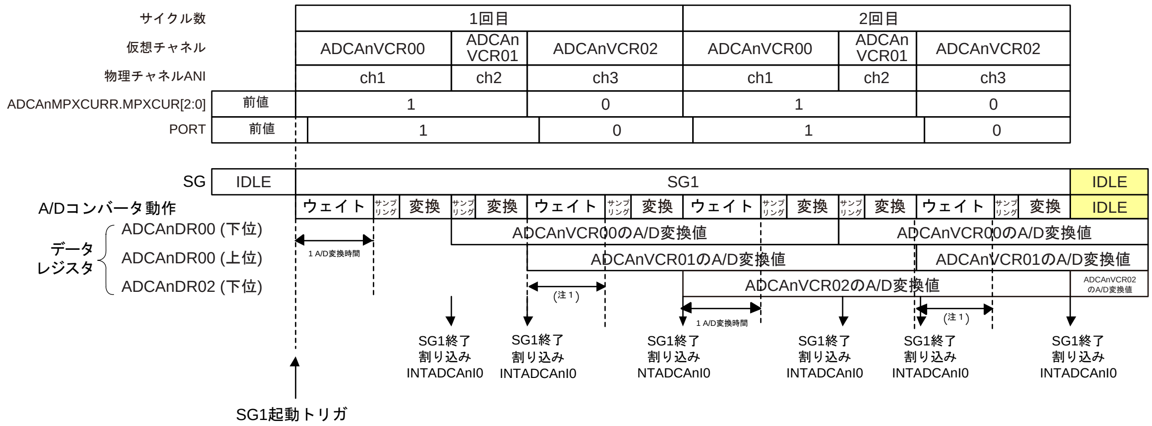
[条件]

スキャングループ 1：マルチサイクルスキャンモード、1 端子を 1 回スキャン、仮想チャネル 0～2 の A/D 変換

MPX アナログ入力の安定時間は、物理チャネル入力（ANI 3）の安定時間で設定できます。
（ADCAnMPXSTBTSELR.STBTCH03＝7_H）

注1. ウェイト時間は、ADCAnMPXSTBTR7 レジスタの設定に依存します。

図 38.21 外付けアナログマルチプレクサでの A/D 変換動作 1



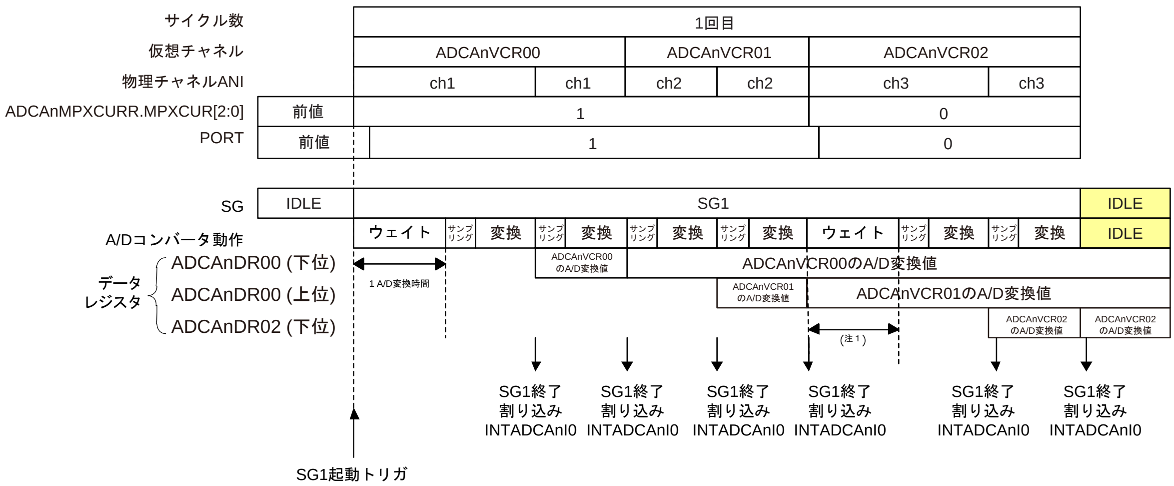
［条件］

スキャングループ 1：マルチサイクルスキャンモード、2 サイクルスキャン、仮想チャネル 0〜2 の A/D 変換

MPX アナログ入力の安定時間は、物理チャネル入力（ANI 3）の安定時間で設定できます。（ADCAnMPXSTBTSELR.STBTCH03＝7H）

注1.　ウェイト時間は、ADCAnMPXSTBTR7 レジスタの設定に依存します。

図 38.22　外付けアナログマルチプレクサでの A/D 変換動作 2



［条件］

スキャングループ 1：マルチサイクルスキャンモード、チャネルリピート 2 回、1 端子を 1 回スキャン、仮想チャネル 0〜2 の A/D 変換

MPX アナログ入力の安定時間は、物理チャネル入力（ANI 3）の安定時間で設定できます。（ADCAnMPXSTBTSELR.STBTCH03＝7H）

注1.　ウェイト時間は、ADCAnMPXSTBTR7 レジスタの設定に依存します。

図 38.23　外付けアナログマルチプレクサでの A/D 変換動作 3

38.4.7.1 PWM-Diag 機能時の A/D 変換動作

PWM-Diag 機能使用時は、A/D コンバータは PWM-Diag からの信号により、A/D 変換を行います。

PWM-Diag 機能の詳細は、「**第 37 章 PWM 出力／診断（PWM-Diag）**」を参照してください。

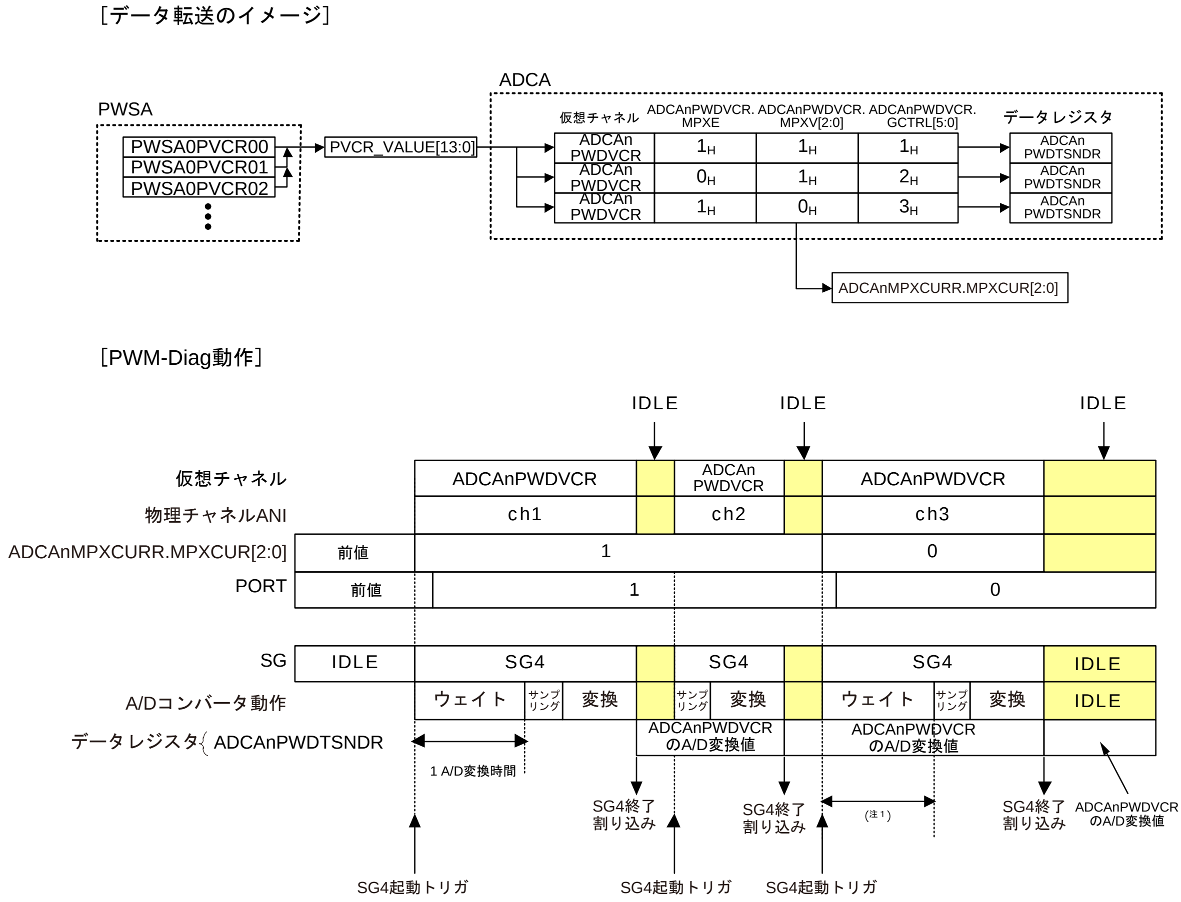
A/D コンバータは、A/D 変換トリガ選択（PWSA）の信号により、MPX の設定情報を受け取り A/D 変換を制御します。PWM-Diag 機能時の A/D 変換フローは次の通りです。

1. ADCAnPWDVCR.MPXV[2:0]に MPX のチャネル MPX 値を設定します。MPX には最大で 8 チャネルの指定が可能です。
2. PWM-Diag からのトリガ信号 PWSA_ADTRG により、A/D 変換を開始します。また、MPX イネーブルビット（ADCAnPWDVCR.MPXE）が 1 のときは、A/D 変換を行う前に、1 回の A/D 変換用のウェイト時間、または ADCAnMPXSTBTR0～ADCAnMPXSTBTR7 および ADCAnMPXSTBTSELR0～ADCAnMPXSTBTSELR4 で指定されたウェイト時間が挿入されます。
3. A/D 変換終了時、PWM-Diag に対してスキャン終了を通知します。

注 意

PWM-Diag 機能のトリガ信号 PWSA_ADTRG は、SGx_TRG（x＝1～3）よりも高優先度の為、他のスキャングループは、PWM-Diag が終了するまで待たされる場合があります。

MPX を使用した PWM-Diag 動作の例を「**図 38.24 PWM-Diag 動作**」に示します。



MPX アナログ入力の安定時間は、物理チャネル入力（ANI 3）の安定時間で設定できます。
（ADCAnMPXSTBTSELR.STBTCH03＝7_H）

注1. ウェイト時間は、ADCAnMPXSTBTR7 レジスタの設定に依存します。

図 38.24 PWM-Diag 動作

38.4.8　同期サスペンド&レジューム動作例

同期サスペンド&レジューム動作の例を「**図 38.25 同期サスペンド&レジューム動作例**」に示します。低優先 SG に対して高優先 SG が割り込む場合についての動作です。

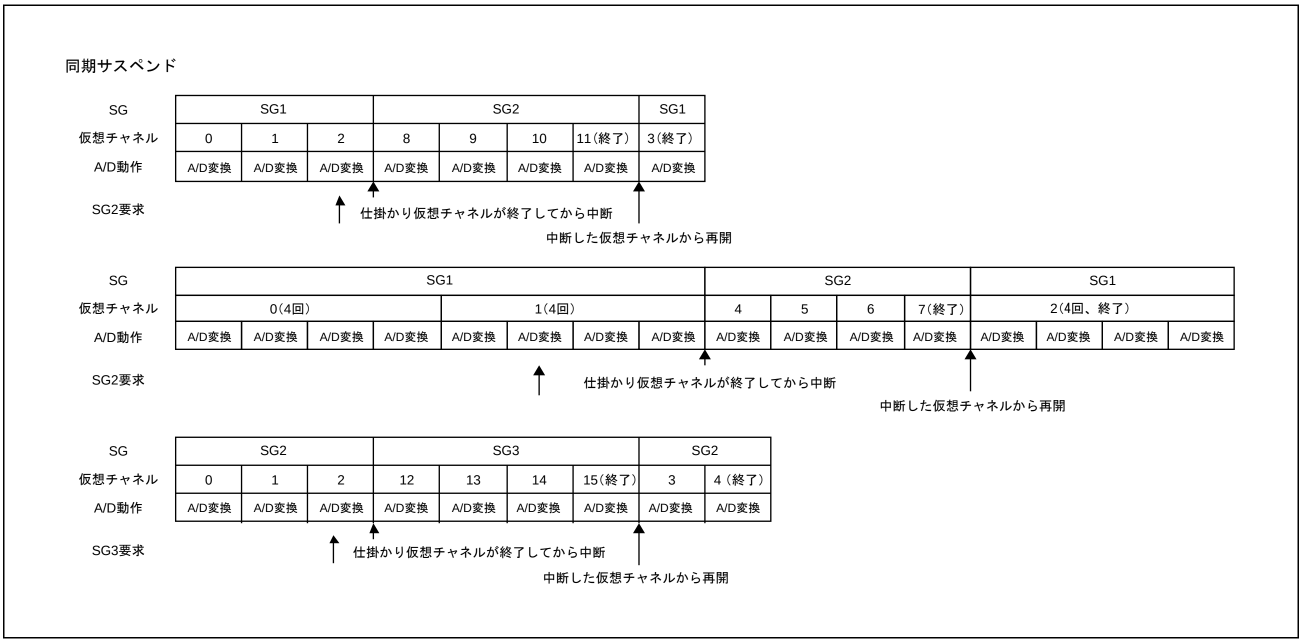


図 38.25　同期サスペンド&レジューム動作例

備　考

スキャングループの優先順位は、次の通りです。

低い　　　　　　　　高い

SG1 ＜ SG2 ＜ SG3 ＜ PWM-Diag（SG4）

38.4.9　非同期サスペンド& レジューム動作例

非同期サスペンド&レジューム動作の例を「**図 38.26 非同期サスペンド&レジューム動作例**」に示します。低優先 SG に対して高優先 SG が割り込む場合の動作です。

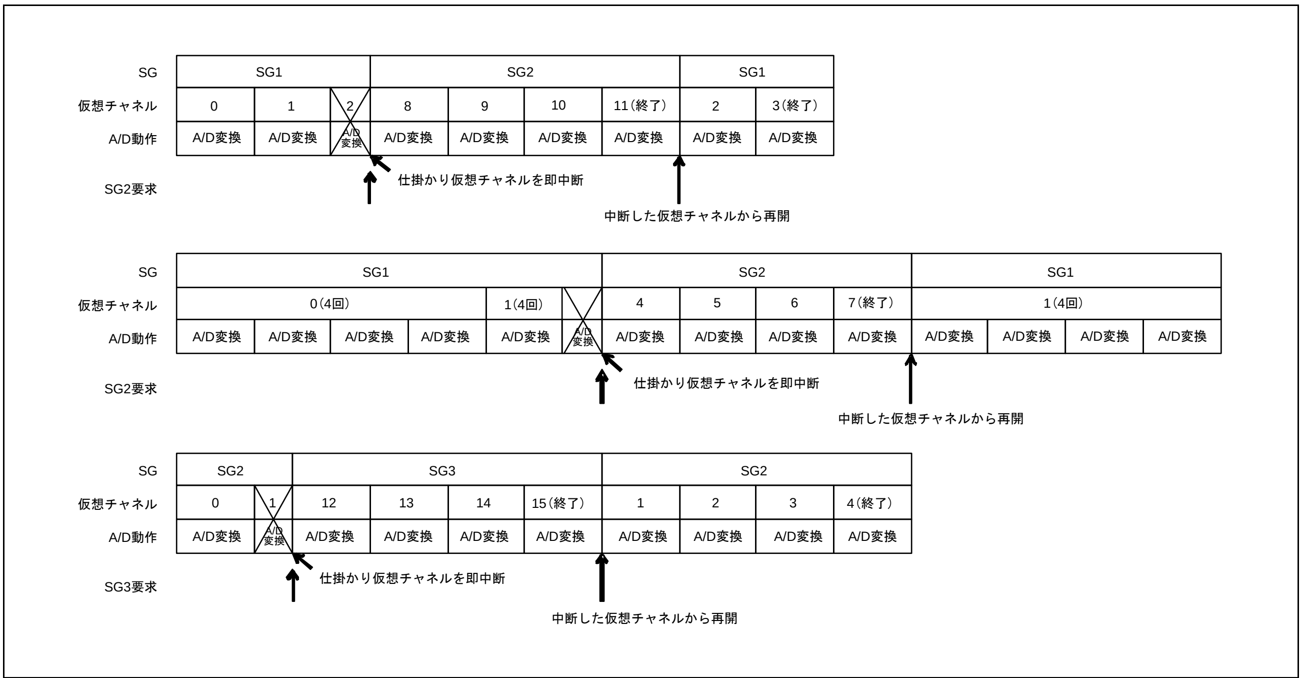


図 38.26　非同期サスペンド&レジューム動作例

備　考

スキャングループの優先順位は、次の通りです。

低い　　　　　　　　　　高い

SG1 ＜ SG2 ＜ SG3 ＜ PWM-Diag（SG4）

38.4.10 エラー検出機能

ADCAn は上限／下限エラーとオーバライトエラーに対応しています。

38.4.10.1 上限／下限エラー検出機能

上限／下限エラー検出機能は、A/D 変換終了時に、A/D 変換データが上限テーブル ADCAnULLMTBR0.ULMTB[11:0]～ADCAnULLMTBR7.ULMTB[11:0]より大きいか、下限テーブル ADCAnULLMTBR0.LLMTB[11:0]～ADCAnULLMTBR7.LLMTB[11:0]より小さいかを判定します。

38.4.10.2 オーバライトエラー検出機能

ADCAnDIRj.WFLG＝1（A/D 変換結果が格納）状態で、仮想チャネルの ADCAnDIRj レジスタまたは ADCAnDRj レジスタがリードされず、次の A/D 変換結果が ADCAnDRj レジスタにライトされたとき、オーバライトエラーを検出します。

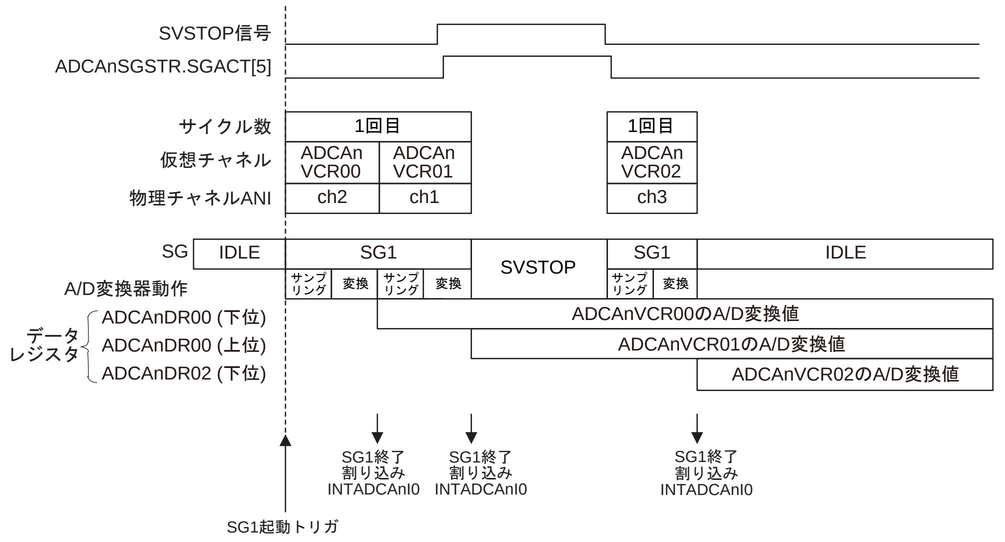
38.4.10.3 SVSTOP 動作

オンチップデバッガコントロールユニットにより供給される SVSTOP 信号により、SVSTOP 機能をサポートしています。SVSTOP 機能は、エミュレーションのブレーク時に SVSTOP 信号が入力されることで、A/D コンバータの変換動作を停止します。SVSTOP 期間中は、外部アクセスによって ADCAnDRj、ADCAnDIRj、ADCAnSGSTR、ADCAnULER、ADCAnOWER、ADCAnPWDTSNDR、ADCAnPWDDIR、ADCAnULEVCFR0、ADCAnULEVCFR1 レジスタをリードした場合でも各レジスタへの影響はありません。

ADCAnEMU.SVSDIS＝0 を設定時に、SVSTOP＝ハイレベルを入力した時に、ADCAnSGSTR.SGACT[5]に 1 をセットし、SVSTOP 状態に遷移します。尚、SVSTOP 中のハードウェアトリガとソフトウェアトリガは有効です。また、ADCAnEMU.SVSDIS＝1 を設定時に、SVSTOP＝ハイレベルを入力した場合は、SVSTOP 状態に遷移しません。ADCAnSGSTPCRx による ADHALT（A/D 変換の強制終了）およびスキャングループ停止は、SVSTOP 状態では実行しないでください。

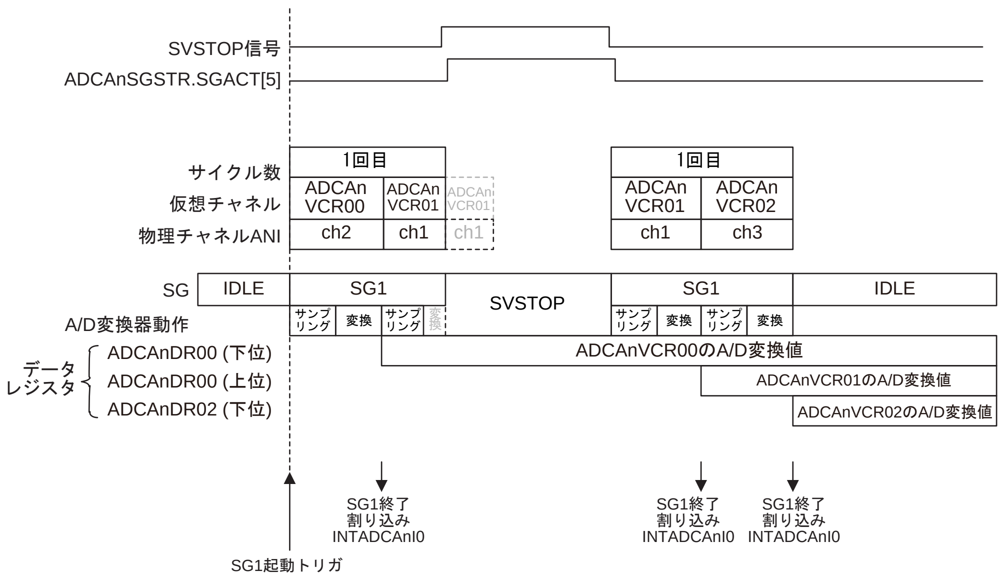
同期サスペンドの場合、SVSTOP＝ハイレベルを入力してから変換中のチャネルが終了するまでの間、新たな起動トリガを受け付けることができません。この時間は最大 1 A/D 変換時間となります。

以下に、SVSTOP による動作例を示します。



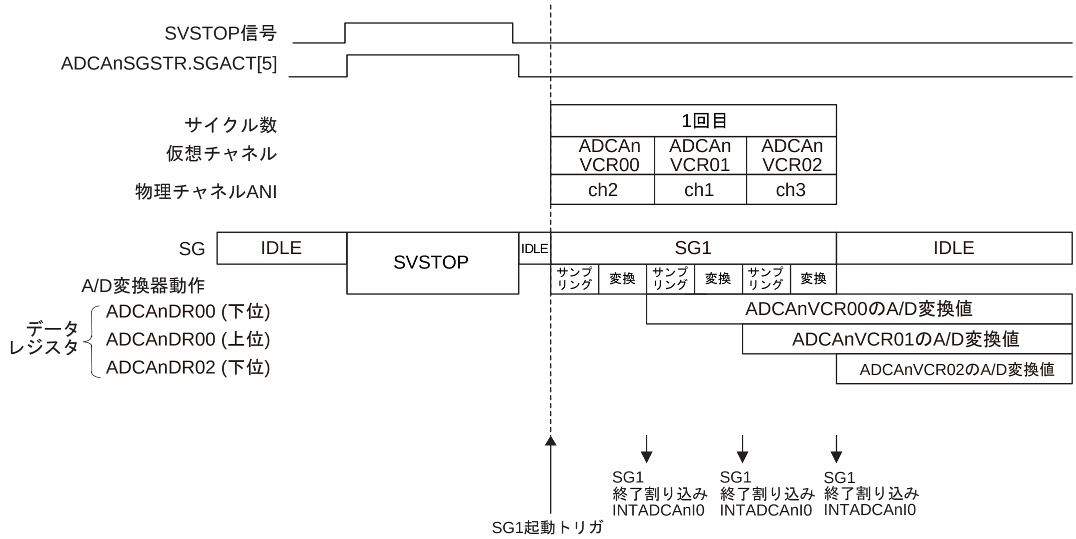
備考　変換完了後は SVSTOP 中も SG 起動トリガを受け付けます。

図 38.27　SVSTOP 動作例（ADCAnADCR.SUSMTD＝“00”, ADCAnEMU.SVSDIS＝“0”）



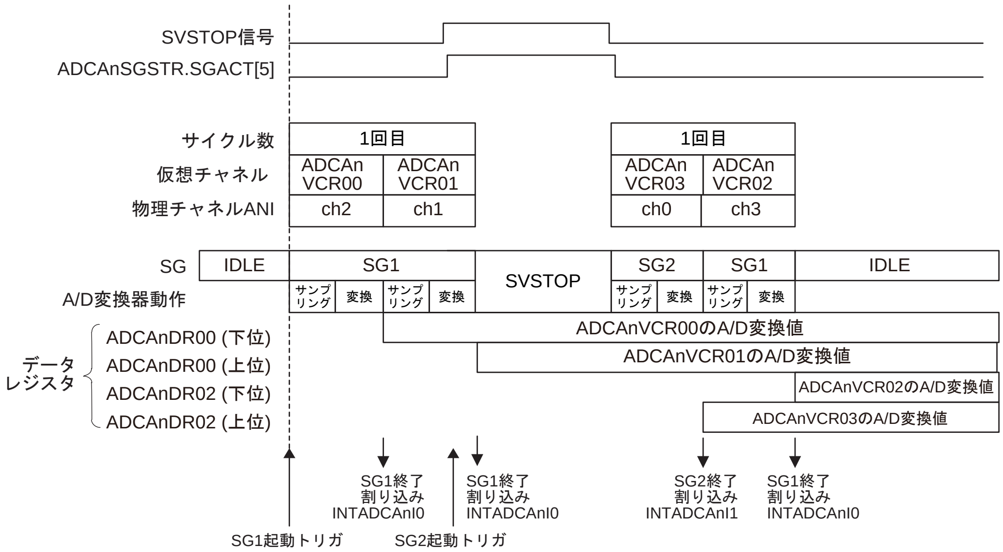
備考　SVSTOP 中も SG 起動トリガを受け付けます。

図 38.28　SVSTOP 動作例（ADCAnADCR.SUSMTD＝“10”, ADCAnEMU.SVSDIS＝“0”）



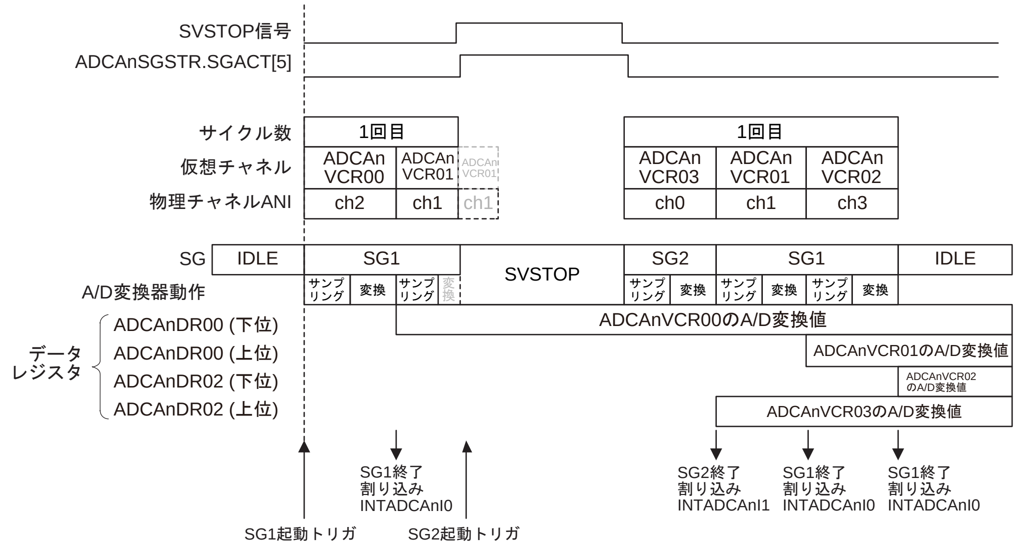
備考　SVSTOP 中も SG 起動トリガを受け付けます。

図 38.29　IDLE 期間中の SVSTOP 動作例（ADCAnADCR.SUSMTD＝“00”, ADCAnEMU.SVSDIS＝“0”）



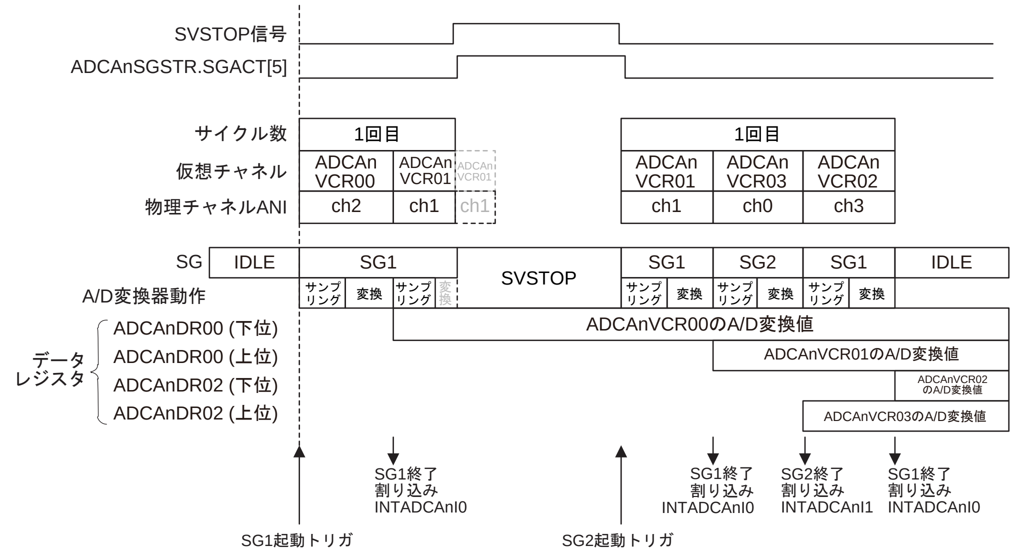
備考　変換完了後は SVSTOP 中も SG 起動トリガを受け付けます。

図 38.30　SVSTOP 開始と高優先 SG 開始トリガの競合（ADCAnADCR.SUSMTD＝“00”, ADCAnEMU.SVSDIS＝“0”）



備考　SVSTOP 中も SG 起動トリガを受け付けます。

図 38.31　SVSTOP 開始と高優先 SG 開始トリガの競合（ADCAnADCR.SUSMTD＝“10”, ADCAnEMU.SVSDIS＝“0”）



備考　SVSTOP 中も SG 起動トリガを受け付けます。
SVSTOP のクリアとスキャングループ開始トリガセットが競合した場合は、優先度に依存せず中断したスキャングループから再開します。

図 38.32　SVSTOP クリアと高優先 SG 開始トリガの競合（ADCAnADCR.SUSMTD＝“10”, ADCAnEMU.SVSDIS＝“0”）

38.4.11　ハードウェアトリガによるスキャングループの起動

SGx_TRG へのハードウェアトリガ入力で、スキャングループ x を起動することができます。使用できるハードウェア要因は「**表 38.84 A/D 変換ハードウェアトリガ一覧**」を参照してください。ハードウェアトリガで SGx_TRG を起動するときは、トリガに使用する周辺機能を設定し、A/D 変換トリガ選択制御レジスタ（ADCAnSGTSELx）に開始トリガを設定してください。

外部トリガ入力端子によるハードウェアトリガではデジタルフィルタの設定を行ってください。詳細は、「**2A.12 ノイズフィルタ＆エッジレベル検出回路**」、「**2B.12 ノイズフィルタ＆エッジレベル検出回路**」および「**2C.12 ノイズフィルタ＆エッジレベル検出回路**」を参照してください。開始トリガは複数設定することができます。

38.4.11.1　ADHALT によるスキャングループ停止

ADCAnADHALTR.HALT（A/D 強制終了トリガ）をセットすることで、A/D 変換を強制終了し、スキャングループステータスレジスタ（ADCAnSGSTR）をクリアします。ADCAnULER、ADCAnULEVCFR0、ADCAnULEVCFR1（上限／下限エラーレジスタ）のエラーフラグは、クリアされません。
ADCAnADHALTR.HALT をセットした場合は、ADCAnSGSTR.SGACT がクリアされたことを確認してください。

38.4.12　スキャン終了割り込み要求

スキャングループ x は、INTC へのスキャン終了割り込み要求（INT_SGx）を発生することができます。ADCAnSGCRx の ADIE を 1 に設定すると SGx のスキャン終了で INT_SGx を出力し、0 に設定すると SGx のスキャン終了時の INT_SGx の出力を禁止できます。また、ADCAnVCRj の ADIE を 1 に設定すると SGx の仮想チャネル j の A/D 変換終了で INT_SGx を出力し、0 に設定すると SGx の仮想チャネル j の A/D 変換終了時の INT_SGx の出力を禁止できます。ADCAnSGCRx と ADCAnVCRj の ADIE を“1”にしたとき、SGx のスキャン終了と仮想チャネル j の A/D 変換終了が同じタイミングとなるため、INT_SGx は 1 度のみ発生します。

例 1）ADCAnSGCR1 の ADIE＝0、VCR0 の ADIE＝1、VCR1 の ADIE＝0、SG1 で仮想チャネル 0～1 のスキャン実行
仮想チャネル 0 の A/D 変換終了で INT_SG1 が出力します。

例 2）ADCAnSGCR2 の ADIE＝0、VCR0 の ADIE＝1、VCR1 の ADIE＝1、SG2 で仮想チャネル 0～1 のスキャン実行
仮想チャネル 0 と仮想チャネル 1 の A/D 変換終了で INT_SG2 が出力します。

例 3）ADCAnSGCR3 の ADIE＝1、VCR0 の ADIE＝0、VCR1 の ADIE＝0、SG3 で仮想チャネル 0～1 のスキャン実行
スキャン終了（仮想チャネル 1 の A/D 変換終了）で INT_SG3 が出力します。

さらに、スキャン終了時に DMA を起動することができます。

DMA の設定については「**第 8 章　DMA コントローラ**」を参照してください。

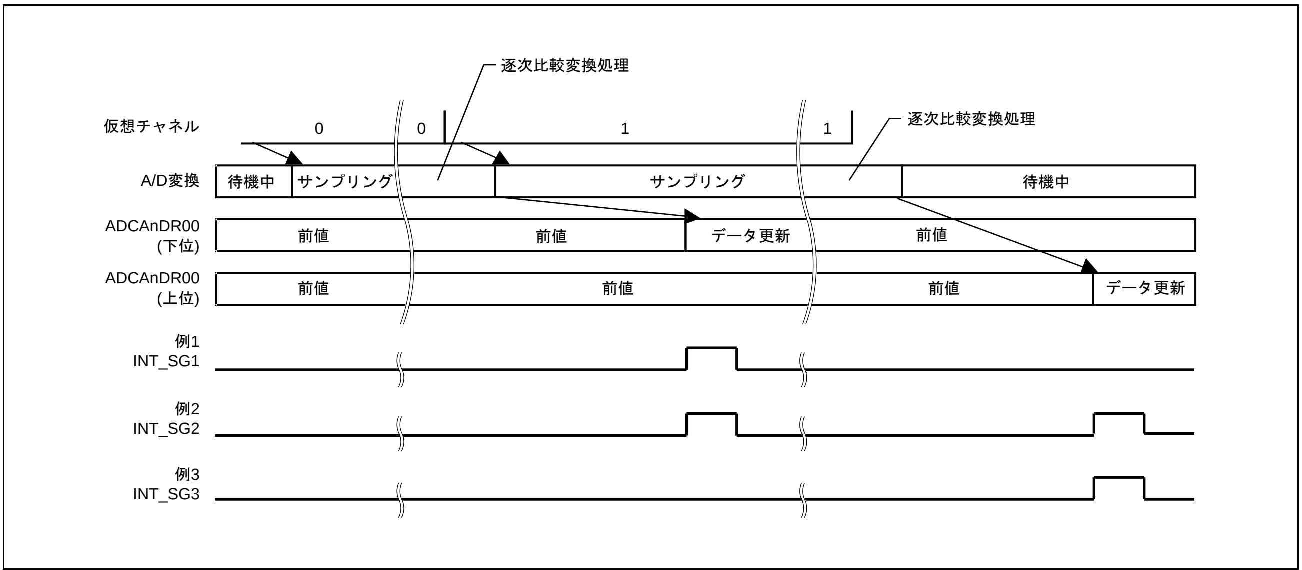


図 38.33　スキャン変換終了割り込み発生

38.4.13 A/D エラー割り込み要求

ADCA は、INTC への A/D エラー割り込み要求（INT_ADE）を発生することができます。ADCAnSFTCR の ULEIE、OWEIE が 1 に設定されたエラー要因の OR 条件を INT_ADE として発生します。0 に設定されたエラー要因の INT_ADE は、割り込みを出力しません。

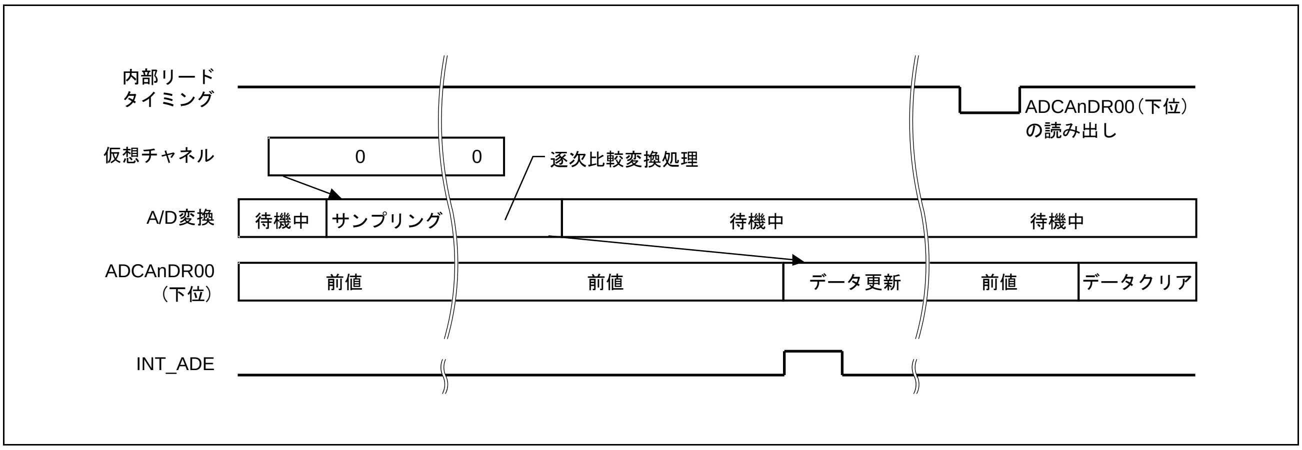


図 38.34 A/D エラー割り込み（例：オーバライトエラー）

38.5　自己診断機能

ADCAn が機能しているかどうかを確認するために、次の自己診断機能が使用できます。

「**38.5.1 A/D 変換回路の診断**」

「**38.5.2 チャネルマルチプレクサの診断**」

「**38.5.3 オープン端子の診断**」

「**38.5.4 T&H 回路の診断**」

自己診断機能の概要を次の図に示し、詳細を後続の項で説明します。

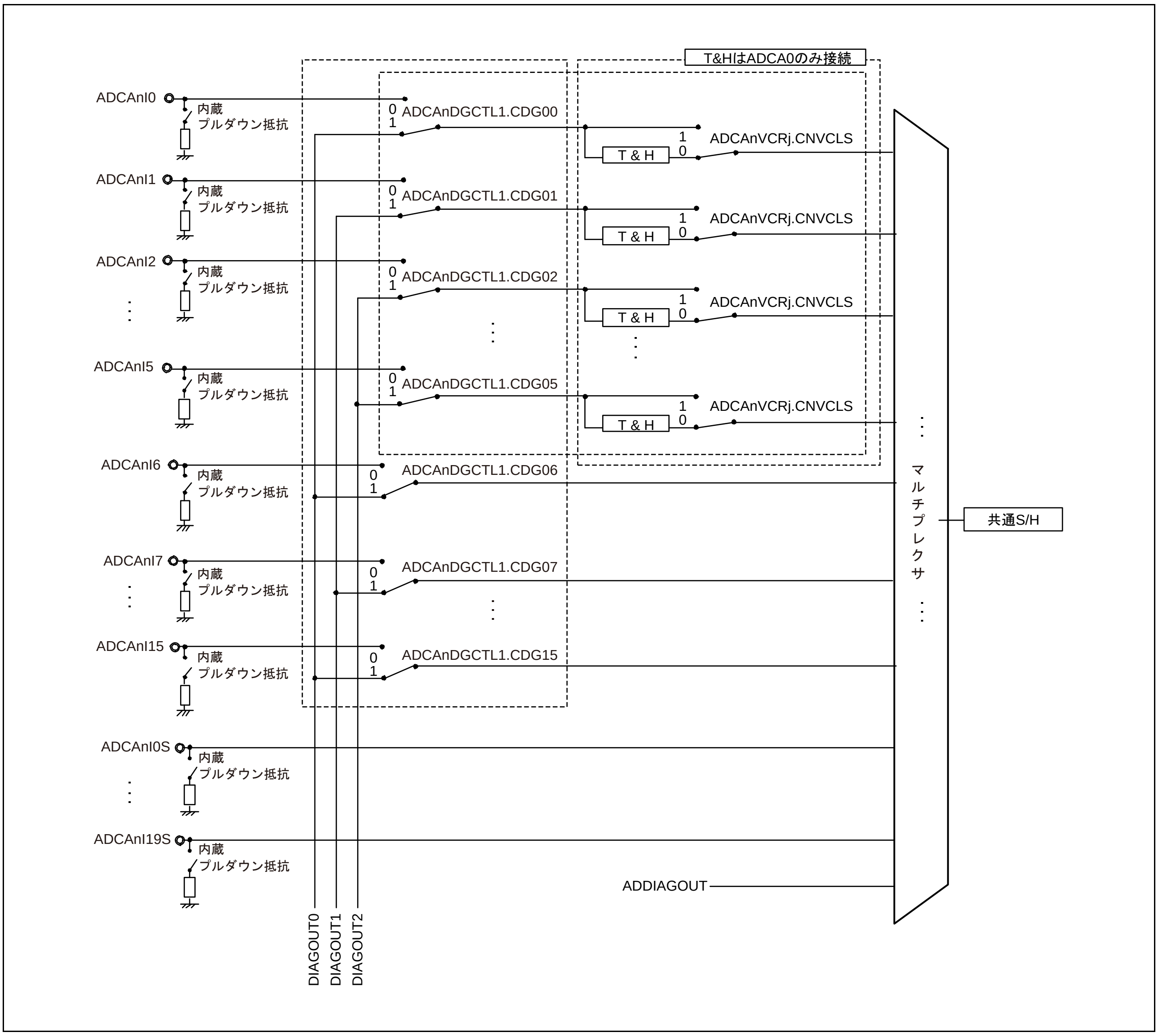


図 38.35　自己診断機能の概要

備　考

点線で囲まれた部分は製品依存の機能です。

38.5.1 A/D 変換回路の診断

A/D 変換回路の診断は、自己診断電圧（ADDIAGOUT）に対する A/D 変換と変換結果の確認とにより、A/D 変換回路が正常に動作していることを確認することができます。A/D 変換結果が期待値と異なる場合、内部回路が破損している可能性があります。A/D 変換回路自己診断機能の特徴を以下に示します。

- ADCAnDGCTL0.PSEL[2:0]レジスタにより、自己診断電圧（ADDIAGOUT）レベルとして AnVREF, 2/3AnVREF, 1/3AnVREF, 1/2AnVREF, AnVSS を選択できます。
- A/D 変換回路の自己診断は、SG1-3 の A/D 変換のいずれかを実施することで、A/D 変換回路の診断が可能です。

38.5.1.1 診断手順

以下に診断手順を示します。

ADC の共通設定は自己診断を行う前に行ってください。

1. ADCAnADCR.DGON＝1 に設定し、自己診断電圧回路を有効にする。
2. 500ns 待つ。
3. ADCAnDGCTL0.PSEL[2:0]ビットを設定し、自己診断電圧レベルを選択する。
4. ADCAnADCR.DGON＝1 に設定し、電圧レベルを更新する。
5. 500ns 待つ。
6. 任意の ADCAnVCRj.GCTRL[5:0]ビットを 100100_B に設定し、診断チャネルを選択する。
7. ADCAnVCRj.ADIE＝1 に設定し、A/D 変換完了割り込みを有効にする。
8. ADCAnSGVCSPx を設定し、仮想チャネルの開始ポインタを指定する。
9. ADCAnSGVCEPx を設定し、仮想チャネルの完了ポインタを指定する。
10. A/D 変換を実行するために、スキャングループの開始トリガを生成する。
11. 変換割り込みが発生すると、結果をリードし、期待値と比較する。
12. 結果が期待値である場合、A/D 変換は正常に実行されている。

備 考

- A/D 変換中でも、ADCAnDGCTL0.PSEL[2:0]への書き込みで、自己診断電圧レベルを変更することができます。この場合、ADCAnDGCTL0.PSEL[2:0]の値は、次の A/D 変換から有効になります。
- ADCAnADCR.DGON をクリア（0）する際は、次の手順で実行してください。
  1. 全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの TRGMD が 0 であることを確認します。
  2. ADCAnDGCTL0.PSEL[2:0]をクリアします。
  3. ADCAnADCR.DGON をクリアします。

38.5.2 チャネルマルチプレクサの診断

チャネルマルチプレクサの診断は、アナログ入力から A/D 変換回路までの経路が正常であることを診断する機能です。

診断 A/D 変換用電圧（DIAGOUT0, DIAGOUT1, DIAGOUT2）を ADCAnDGCTL0.PSEL[2:0]と、接続するチャネルを ADCAnDGCTL1 レジスタで設定し、複数のアナログチャネルを使用した A/D 変換を行います。

A/D 変換結果が期待値と異なる場合、内部回路が破損していることがあります。以下に、チャネルマルチプレクサの自己診断機能について示します。

- 診断するチャネル（ADCA0I0～ADCA0I15、ADCA1I0～ADCA1I15）を任意に選択できます。
- 自己診断電圧レベルは、2/3AnV$_{REF}$、1/3AnV$_{REF}$、1/2AnV$_{REF}$ を選択でき、各チャネルには、3 つの基準電圧のうちひとつを割り当てることができます。

表 38.90 診断チャネルの選択

接続先	選択チャネル
DIAGOUT0	チャネル 0, 3, 6, 9, 12, 15
DIAGOUT1	チャネル 1, 4, 7, 10, 13
DIAGOUT2	チャネル 2, 5, 8, 11, 14

- 複数のチャネルを使用して SG1-3 の A/D 変換のいずれかを実施することで、チャネルマルチプレクサの診断が可能です。

38.5.2.1 診断手順

以下に診断手順を示します。

ADC の共通設定は自己診断を行う前に行ってください。

1. ADCAnADCR.DGON＝1 に設定し、自己診断電圧回路を有効にする。
2. 500ns 待つ。
3. ADCAnDGCTL0.PSEL[2:0]ビットを設定し、自己診断電圧レベルを選択する。
4. ADCAnADCR.DGON＝1 に設定し、電圧レベルを更新する。
5. 500ns 待つ。
6. 2 つ以上の ADCAnVCRj レジスタを使用する。
   ADCAnVCRj.GCTRL[5:0]ビットを設定し、物理チャネルを選択する。
   ADCAnVCRj.ADIE ビットを設定し、A/D 変換完了割り込みを有効にする。
7. ADCAnSGVCSPx レジスタを設定し、仮想チャネルの開始ポインタを指定する。
8. ADCAnSGVCEPx レジスタを設定し、仮想チャネルの完了ポインタを指定する。
9. ADCAnDGCTL1 レジスタを設定し、物理チャネルを自己診断チャネルに指定する。
10. A/D 変換を実行するために、スキャングループの開始トリガを生成する。
11. 変換割り込みが発生すると、結果をリードし、期待値と比較する。
12. 結果が期待値である場合、A/D 変換は正常に実行されている。

備　考

- A/D 変換中でも、ADCAnDGCTL0.PSEL[2:0]への書き込みで、自己診断電圧レベルを変更することができます。この場合、ADCAnDGCTL0.PSEL[2:0]ビットの値は、次の A/D 変換から有効になります。
- ADCAnADCR.DGON をクリア（0）する際は、次の手順で実行してください。
  1. 全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの TRGMD が 0 であることを確認します。
  2. ADCAnDGCTL0.PSEL[2:0]をクリアします。
  3. ADCAnADCR.DGON をクリアします。

38.5.3 オープン端子の診断

オープン端子の診断は、アナログ入力端子 （ADCAnIm、ADCAnImS）が断線などの理由によりオープン状態となっていることを検出する機能です。

内蔵プルダウン抵抗は、アナログ入力端子を診断するために接続できます。

アナログ入力端子（ADCAnIm、ADCAnImS）に、自己診断機能用のプルダウン抵抗を接続して対象チャネルの A/D 変換を行います。

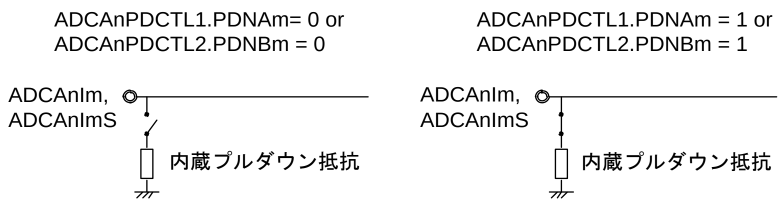


図 38.36 内蔵プルダウン抵抗の設定

断線が起こっている場合、変換結果はほぼ 0V に減衰し、オープン検出と判断することが可能です。

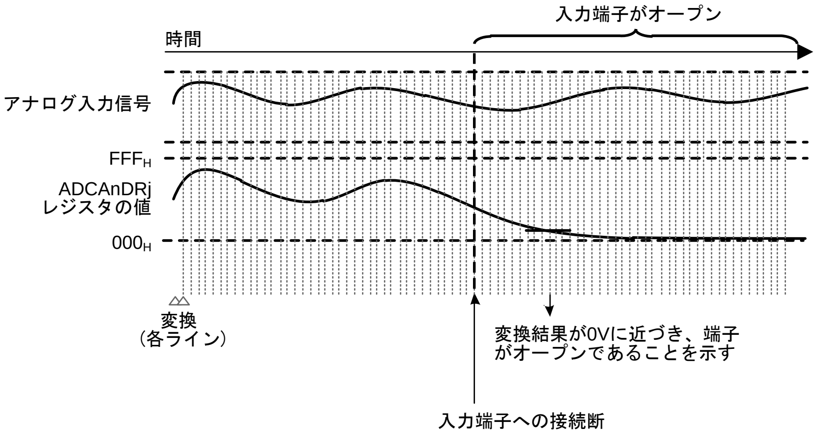


図 38.37 アナログ入力信号の断線検出

注 意

1. 通常の A/D 変換動作中は、プルダウン抵抗を接続しないでください。接続されたプルダウン抵抗は、入力電圧の低下をもたらし、誤った A/D 変換結果になる可能性があります。
2. プルダウン抵抗を接続しても、電圧レベルがアナログ入力電圧にほぼ等しい場合、本機能で切断を検出することはできません。

38.5.3.1 診断手順

1. 診断したいアナログ入力端子（ADCAnIm、ADCAnImS）に対応する ADCAnPDCTL1.PDNA または ADCAnPDCTL2.PDNB を設定し、プルダウン抵抗を有効にする。
2. A/D 変換を実行するために、スキャングループの開始トリガを生成する。
3. 同じアナログ入力に対し、A/D 変換を複数回実行する。
4. チャネルの A/D 変換結果を監視し、結果がほぼ 0V まで低下するかどうかを確認する。

38.5.4 T&H 回路の診断

T&H 回路の診断は、ADCA0I0～ADCA0I5 の T&H0～T&H5 回路が正しく機能していることを診断することが可能です。

仮想チャネルレジスタ 33～35（ADCA0VCR33～35）を専用で使用し、T&H 回路を経由する電位の変換結果と T&H 回路を経由しない電位の変換結果を比較することで、T&H 回路の故障を検出することができます。

この診断では ADCA0THACR.HLDCTE＝1（ADCA0THBCR.HLDCTE＝1）、ADCA0THACR.HLDTE＝0（ADCA0THBCR.HLDTE＝0）に設定し、A/D 変換トリガをホールド開始トリガおよびホールド完了トリガとして使用します。ADCAnDGCTL0.PSEL[2:0]で選択された基準電圧（DIAGOUT0、DIAGOUT1、DIAGOUT2）を、診断対象となるチャネルへ ADCAnDGCTL1 レジスタにより接続してください。

38.5.4.1 診断手順（T&H 回路チャネル 0 の診断の例）

1. ADCA0ADCR.DGON＝1 に設定し、自己診断電圧回路を有効にする。
2. 500ns 待つ。
3. ADCA0DGCTL0.PSEL[2:0]＝001_B に設定し、1/3AnV$_{REF}$ 電圧レベルを選択する。
4. ADCA0ADCR.DGON＝1 に設定し、電圧レベルを更新する。
5. 500ns 待つ。
6. ADCA0DGCTL1.CDG0＝1 に設定し、DIAGOUT0 を有効にする。
7. ADCA0VCR33～35.GCTRL[5:0]＝000000_B に設定し、物理チャネル 0 を選択する。
8. ADCA0VCR33, 34.CNVCLS＝1 に設定し、通常の変換を選択する。
9. ADCA0VCR35.CNVCLS＝0 に設定し、ホールド値の変換を選択する。
10. ADCA0THACR.SGS[1:0]＝01_B に設定し、SG1 を“T&H グループ A”に設定する。
11. ADCA0THER.TH0E＝1 に設定し、T&H 回路チャネル 0 を有効にする。
12. ADCA0THGSR.TH0GS＝0 に設定し、T&H 回路チャネル 0 を“T&H グループ A”に設定する。
13. ADCA0SGVCSP1.VCSP[5:0]＝100001_B に設定し、SG1 の開始ポインタを VCR33 に設定する。
14. ADCA0SGVCEP1.VCEP[5:0]＝100011_B に設定し、SG1 の完了ポインタを VCR35 に設定する。
15. ADCA0DGCTL0.PSEL[2:0]＝011_B に設定し、2/3AnV$_{REF}$ 電圧レベルを選択する。
16. ADCA0THSMPSTCR.SMPST＝1 に設定し、T&H サンプリングを実行する。
17. 500ns 待つ。
18. ADCA0SGSTCR1.SGST＝1 に設定し、SG1 の A/D 変換を実行する。
19. ADCA0DIR33～35 をリードし、SG1 の A/D 変換が完了したどうか、A/D 変換結果を確認する。

備　考

ADCAnADCR.DGON をクリア（0）する際は、次の手順で実行してください。

1. 全スキャングループの SGACT が 0 の状態（スキャングループ起動前）かつ全スキャングループの TRGMD が 0 であることを確認します。
2. ADCAnTHER レジスタにより、診断を行った T&Hk を無効にします。
3. ADCAnDGCTL0.PSEL[2:0]をクリアします。
4. ADCAnADCR.DGON をクリアします。

38.5.4.2 診断方法

(1) 基準電圧“A”は、基準電圧信号 DIAGOUT0～DIAGOUT2 のいずれかに適用されます。T&H 回路は、電圧“A”を保持し、A/D 変換は T&H 回路を使用せずに行われます。

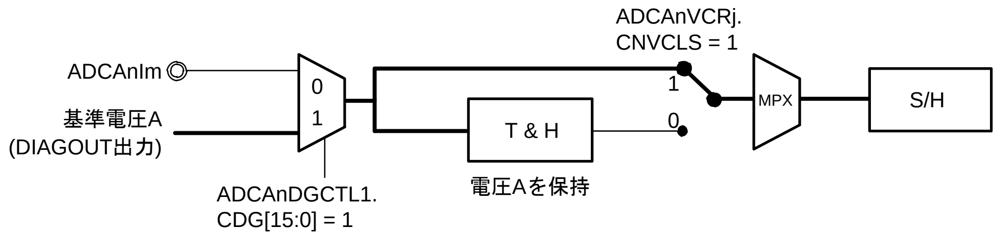


図 38.38 T&H 回路診断手順（1）

(2) 基準電圧“B”は、基準電圧信号 DIAGOUT0～DIAGOUT2 のいずれかに適用されます。T&H 回路は、電圧“A”をまだ保持し、A/D 変換は T&H 回路を使用せずに行われます（基準電圧“A”がホールド中であるので、基準電圧“B”はホールドされません）。

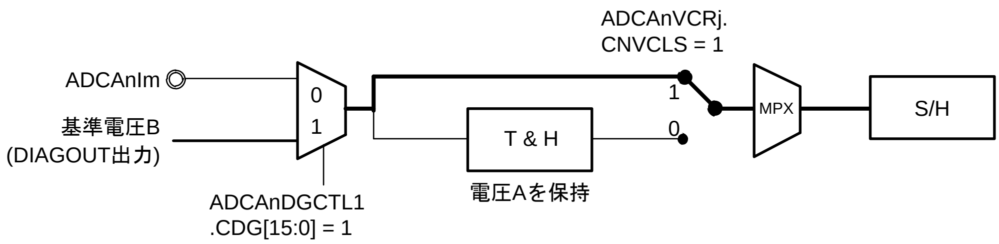


図 38.39 T&H 回路診断手順（2）

(3) A/D 変換が T&H 回路を使用して行われます。T&H 回路は、電圧 A を保持し続けます。

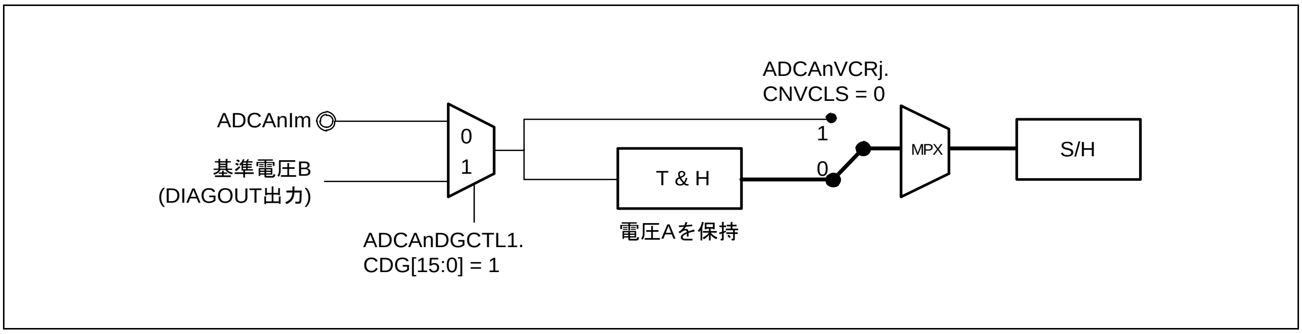


図 38.40 T&H 回路診断手順（3）

(4) T&H 回路の診断が正常に実行された場合、以下の結果になります。
1. 最初（1）の結果は、電圧“A”です。
2. 2 番目（2）の結果は、電圧“B”です。
3. 最後（3）の結果は、再度、電圧“A”です。

38.6　A/D 変換精度の定義

以下に、A/D 変換精度の定義を示します。

- 分解能
  A/D コンバータのデジタル出力コード値
- 量子化誤差
  A/D コンバータが本質的に有する誤差であり、1/2LSB で与えられる（**図 38.41　A/D 変換精度の定義**）。
- オフセット誤差
  デジタル出力が最小電圧値 000_H から 001_H に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差。ただし、量子化誤差を含まない。
- フルスケール誤差
  デジタル出力が FFE_H から FFF_H に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差。ただし、量子化誤差を含まない。
- DNL（微分非直線性誤差）
  理想デジタル出力コード幅（Vq）と実際のデジタル出力コード幅（Va）との偏差であり、（Va − Vq）/Vq で与えられる。ただし、オフセット誤差、フルスケール誤差、および量子化誤差を含まない。
- INL（積分非直線性誤差）
  ゼロ電圧からフルスケール電圧までの間の理想 A/D 変換特性からの偏差であり、000_H から任意のデジタル出力コードまでの DNL の積分で与えられる。ただし、オフセット誤差、フルスケール誤差、および量子化誤差を含まない。
- 絶対精度
  デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差、DNL、および INL を含む。
- 総合誤差
  デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、DNL、および INL を含む。ただし量子化誤差は含みません。

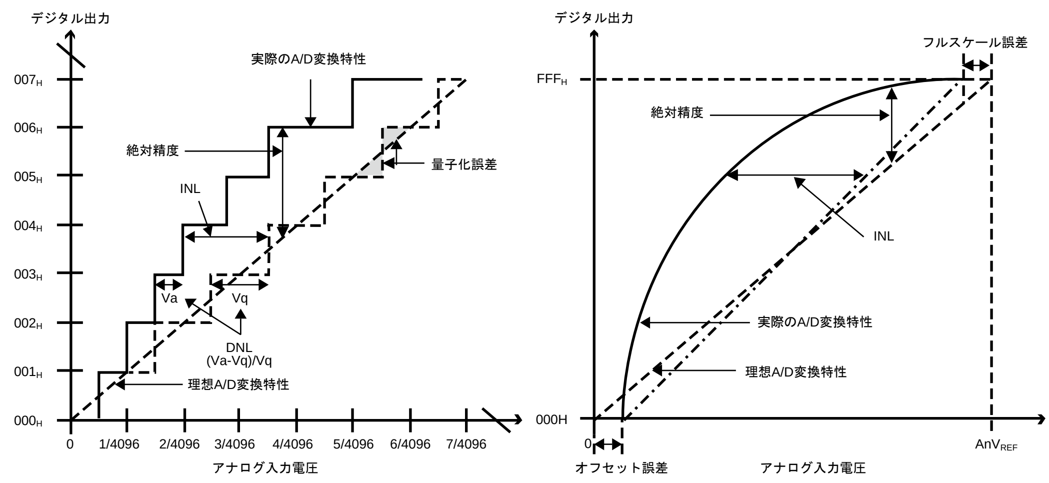


図 38.41　A/D 変換精度の定義

38.7　使用上の注意事項

38.7.1　チャネル入力電圧の範囲

注　意

ADCAnIm、ADCAnImS 入力電圧は規格の範囲内で使用してください。チャネル入力電圧が AnVREF を上回るか AnVSS を下回ると、過電圧／注入電流条件が適用されます。

1. ADCAnIm 端子に（注入電流規定の範囲内で）過電圧が印加され、同じ端子で ADC 自己診断（チャネル・マルチプレクサの診断）を実行すると、診断電圧に対するオフセット電圧が測定されます。
2. ADCAnIm 端子に（注入電流規定の範囲内で）過電圧が印加され、その隣接端子で ADC 自己診断（チャネル・マルチプレクサの診断）を実行すると、TESH0SN の範囲内の AD 変換結果が測定されます。

例：注入電流は、2 つの端子（以下の例では ADCA0I0 と ADCA0I1）にのみ適用されており、ADC 自己診断を実行する。

- ADCA0I0 と ADCA0I1 に注入電流が適用され、ADC 自己診断を実行（CDG0-15＝1：DIAGOUTn を選択）
  → オフセット電圧を伴う TESH0SN の変換結果
- ADCA0I2～15 に注入電流は適用されていない、ADC 自己診断を実行（CDG0-15＝1：DIAGOUTn を選択）
  → オフセット電圧を伴わない TESH0SN の変換結果

38.7.2　アプリケーション設計上の注意事項

(1) アナログ入力端子（ADCAnIm, ADCAnImS）

- ADCAnIm, ADCAnImS 端子の入力電圧は規格の範囲内でご使用ください。AnVREF 以上または AnVSS 以下の電圧が入力されることを避けるため、V_F が 0.3V 以下のダイオードでクランプすることを推奨します。特に AnVREF 以上、AnVSS 以下の電圧を入力すると、そのチャネルの変換値は不定となり、保証できません。また、ほかのチャネルの変換値にも影響を与えることがあります。
- アナログ入力端子（ADCAnIm, ADCAnImS）は、外部のアナログ信号入力源との間に抵抗 Re を接続、AnVSS 端子間にコンデンサ Ce を接続しノイズを除去してください。
- アナログ信号線とデジタル信号線を交差させたり近接させたりすることは極力避けてください。ノイズの誘導などによって A/D 変換特性が悪化する恐れがあります。
- ADCAnIm, ADCAnImS 端子に近いポートは、入力、出力ともに、大きな電流駆動を避け、トグルによるスイッチングを極力控えることを推奨します。
- スタンバイ機能を使用する場合は、「**38.4.3 A/D 変換の終了／停止**」のフローで、強制停止または正常終了を確認してください。その後、スタンバイ時に有効となる ADCAnTHER.THkE ビットを 0 に設定してください。
- ADCA0 を LPS に使う場合（スタンバイ機能使用時も含む）は、ADCA0SGCRx.TRGMD を 1 にして、ADCA0SGTSELx.TxSEL は SEQTRG（LPS）のみ有効にしてください（詳細は、「**第 15 章 ロウパワーサンプラ（LPS）**」を参照してください）。
- T&H で使用するチャネルは、外付けアナログマルチプレクサへ接続しないでください。
- T&H を使用する場合は、動作中に物理チャネルおよび仮想チャネルの変更は禁止です。
- PWM-Diag を使用しない場合は PWM-Diag 関係のレジスタのライトアクセスは禁止です。リードした場合の値は不定です。

(2) 電源の配線

デジタル回路のスイッチングノイズなどが、A/D コンバータ精度に及ぼす影響を最小限にするため、次の対策を推奨します。

- 電源ラインは、片面ベタとするか、または、極力太いパターンで格子状に接続してください。
- 電源端子（EVCC, BVCC, AnVREF）とグランド端子（EVSS, BVSS, AnVSS）間の端子リード直近にバイパスコンデンサを挿入してください。
- アナログ電源（AnVREF）は、デジタル電源（EVCC, BVCC）から分離し、シリーズレギュレータより供給することを推奨します。デジタル電源と共通にする場合、電源供給元でアナログ電源、デジタル電源と電解コンデンサを 1 点ショートし、ボード上のパターンを別々に配線してください。
  さらに、アナログ電源入口にチップインダクタの挿入を推奨します。また、アナロググランドも、電源グランド元でアナロググランド、デジタルグランドと電解コンデンサを 1 点アースし、ボード上のパターンを別々に配線してください。
  なお、本製品のアナログ電源は、アナログ基準電圧も兼ねています。

(3) A/D 変換結果のばらつきについて

電源電圧の変動やノイズなどの影響により A/D 変換結果がばらつくことがあります。また、アナログ入力端子（ADCAnIm, ADCAnImS）および基準電圧入力端子（AnVREF, AnVSS）にノイズがのる場合は、ノイズにより不正な変換結果が生じることがあります。

これらのばらつきや、不正な変換結果により、システムに悪影響を与えることを避けるために、ソフトウェア処理で軽減させてください。

次にソフトウェア処理の例を示します。

- 複数回の A/D 変換結果の平均値を、A/D 変換結果として使用する。
- 複数回の A/D 変換を連続して行い、特異な変換結果が得られた場合、この値を除外した変換結果を使用する。
- システムに異常が発生したと判断されるような A/D 変換結果が得られた場合、ただちに異常処理を行わず、再度異常発生を確認した上で異常処理を行う。

以下の両方の条件が当てはまると、高優先 SG の A/D 変換精度が低下することがあります。

(1) 低優先 SG（SG1 など）の A/D 変換中に、高優先 SG（SG3 など）の変換トリガが発生する。

(2) 高優先 SG（SG3 など）のチャネル T&H 機能が有効化されている。

上記の例は、SG の組み合わせの一例です。SG の優先度は、SG4＞SG3＞SG2＞SG1 となります。変換エラーの変動は、外部回路およびカスタマボードに搭載されているデバイスに応じて異なります。

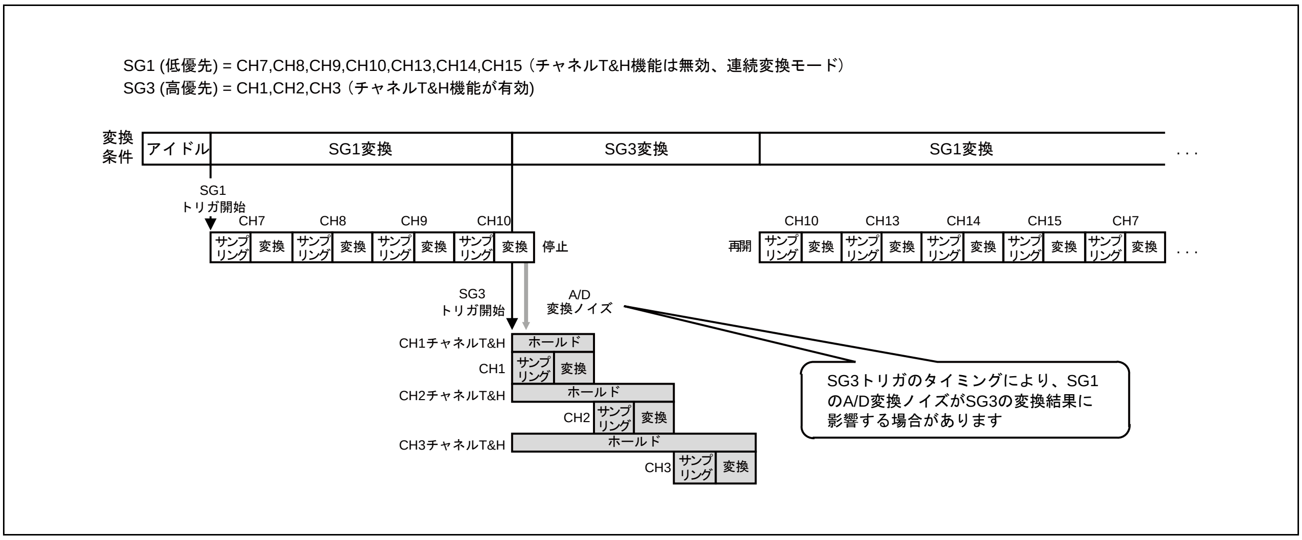


図 38.42　SG の優先度

ソフトウェア処理の例を以下に示します。

- SG3 にチャネル T&H が使用可能なチャネルが含まれる場合、低優先 SG（SG1 など）の A/D 変換は、高優先 SG（SG3 など）の変換トリガの 3 ADCLK 前に終了する必要があります。
- 低優先 SG（SG1 など）の変換中に高優先 SG（SG3 など）の変換トリガが発生することがある場合は、高優先 SG のチャネル T&H 機能を無効にします。
- 前述の両方の条件を使用する必要がある場合は、低優先 SG（SG1 など）の A/D 変換中に、次のタイミング（次の図で矢印付きの線で示した期間）と同期するように、高優先 SG（SG3 など）の変換トリガタイミングを調整します。

推奨される時間以上にトリガ時間を調整しても、**「第 47A 章　RH850/F1KH-D8 の電気的特性」**、**「第 47B 章　RH850/F1KM-S4, RH850/F1KM-S2 の電気的特性」**、**「第 47C 章　RH850/F1KM-S1 の電気的特性」**で指定されている変換エラーは排除できません。

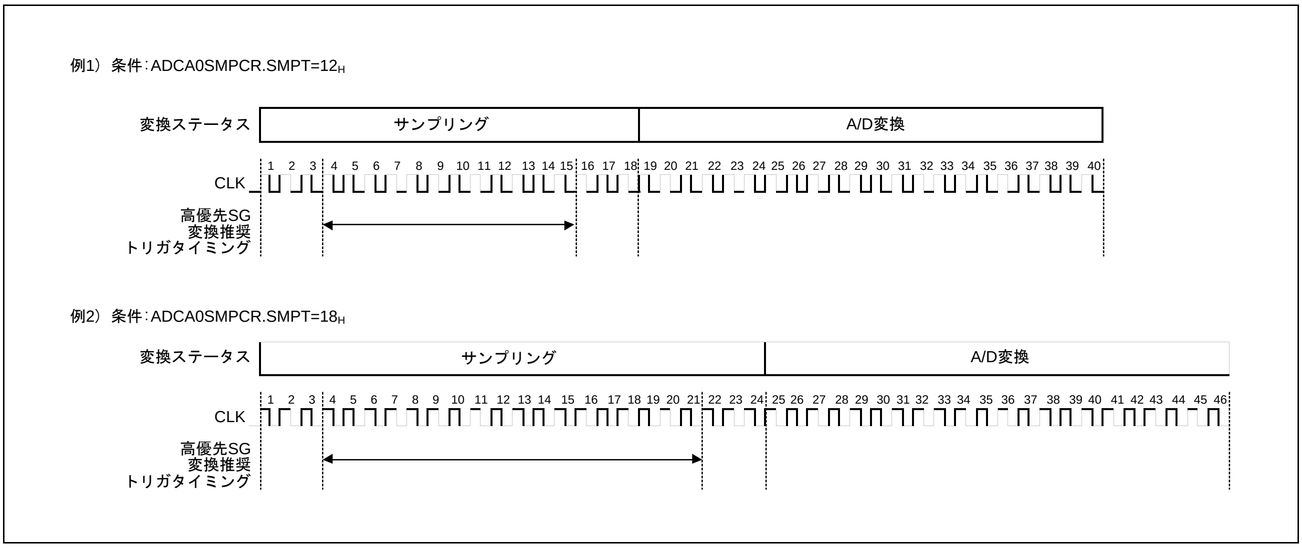


図 38.43　SG 変換トリガタイミング

前述の 3 つのソフトウェア処理を使用できない場合は、以下の処理が推奨されます。

– A/D 変換を数回実行し、それらの A/D 変換結果の平均を使用する。
– 連続 A/D 変換を数回実行し、異常な変換結果を除外し、その他の結果のみを使用する。
– 異常な A/D 変換結果が検出された場合は、直ちに異常な動作に進まずに、A/D 変換をもう 1 回実行してから、異常な動作に進む。

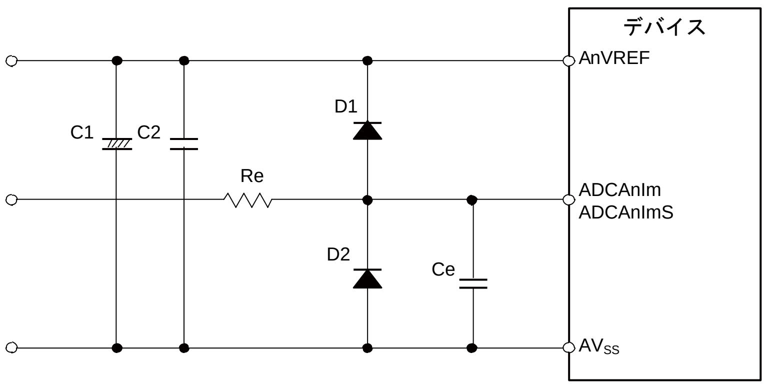
上記の処理の効果は、外部回路およびカスタマボードに搭載されているデバイスに応じて異なります。システムの十分な評価を行うことが推奨されます。

(4) 兼用入出力について

アナログ入力（ADCAnIm、ADCAnImS）端子はポート端子と兼用になっています。

ADCAnIm 端子、ADCAnImS 端子のいずれかを選択して A/D 変換をする場合、変換中に入力ポートへの読み出し命令、または出力ポートへの書き込み命令を 実行しないでください。変換精度が低下することがあります。

また、A/D 変換中に出力ポートに設定している端子でポートに接続される外部回路の影響で出力電流が変動する場合も、変換精度が低下することがあります。A/D 変換中の端子に隣接する端子へデジタルパルスを印加したりデジタルパルスを出力したりすると、カップリングノイズによって A/D 変換値が期待どおりに得られないこともあります。したがって、A/D 変換中の端子に隣接する端子へのパルス印加またはパルス出力はしないでください。

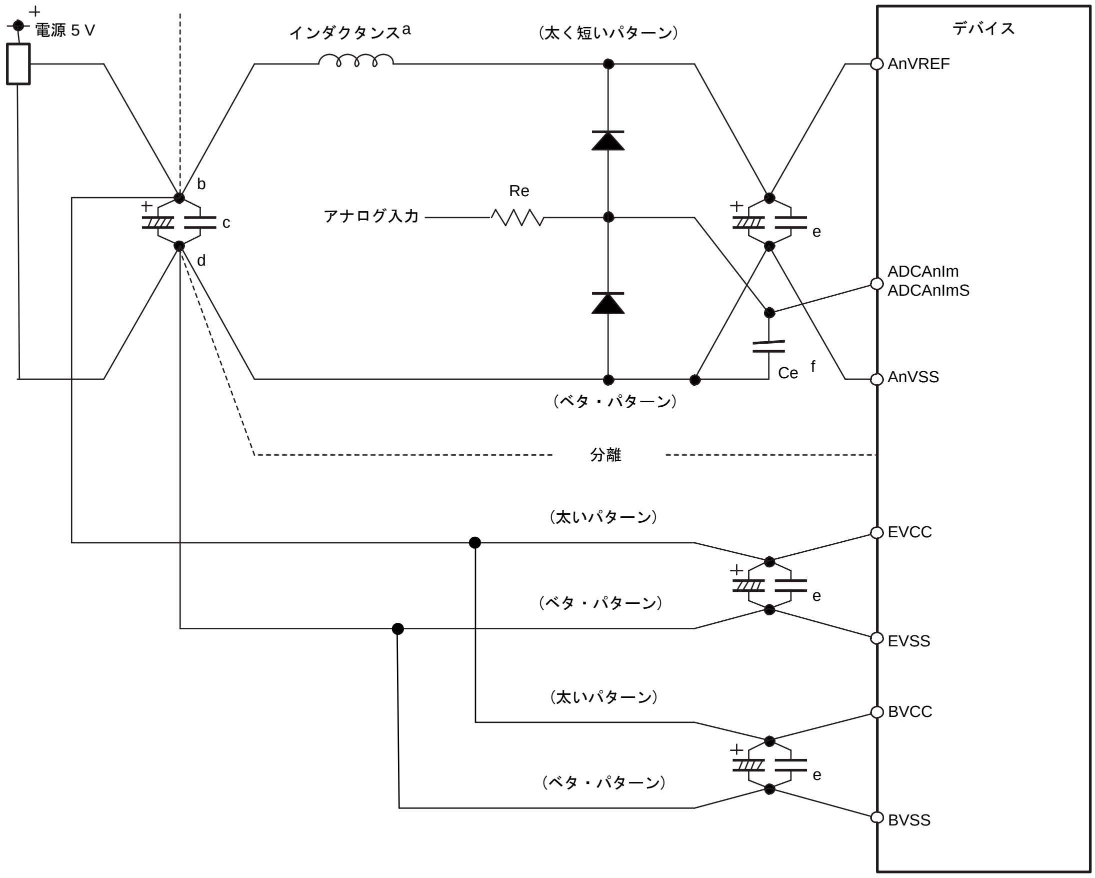


備考　C1：4.7μF～10μF
C2：0.01μF～0.1μF
Ce：5～10nF
Re：0～1kΩ
上記は参考値となります。
D1, D2：VF≦0.3V

図 38.44　アナログ入力回路のノイズ対策例

コンデンサ C1 は低周波のノイズに、コンデンサ C2、Ce は高周波のノイズに効果があります。

なお、A/D 変換動作を停止した状態から動作開始した直後は AnVREF 端子にかかる電圧が不安定になり、A/D 変換精度の悪化が生じる場合があります。このような場合には AnVREF 端子にコンデンサ C1 と C2 を接続してください。



a) アナログ電源入口にインダクタを挿入。

b) アナログ電源とデジタル電源を 5V 電源のそばで 1 点ショートし、ボード上のパターンを分離配線

c) 供給電源のそばにバイパスコンデンサ（電解コンデンサ、積層セラミックコンデンサ）を配置

d) アナロググランドとデジタルグランドを電源のそばで 1 点ショートし、ボード上のパターンを分離配線

e) デバイスの各電源端子のそばにバイパスコンデンサ（電解コンデンサ、積層セラミックコンデンサ）を配置

f) デバイスのアナログ入力端子のそばにコンデンサ Ce を配置

図 38.45　電源配線例

第39章 キーリターン（KR）

本章では、キーリターン（KR）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1KH, RH850/F1KM に固有の特長について説明します。

それ以降の節では、KR の機能、レジスタについて説明します。

39.1 RH850/F1KH, RH850/F1KM KR の特長

39.1.1 ユニット数とチャネル数

本製品は以下のユニット数とチャネル数のキーリターンを搭載しています。

表 39.1 ユニット数 (RH850/F1KH-D8)

製品名	RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 324 Pin
ユニット数	1	1	1
名称	KRn (n=0)	KRn (n=0)	KRn (n=0)

表 39.2 ユニット数 (RH850/F1KM-S4)

製品名	RH850/F1KM-S4 100 Pin	RH850/F1KM-S4 144 Pin	RH850/F1KM-S4 176 Pin	RH850/F1KM-S4 233 Pin	RH850/F1KM-S4 272 Pin
ユニット数	1	1	1	1	1
名称	KRn (n=0)	KRn (n=0)	KRn (n=0)	KRn (n=0)	KRn (n=0)

表 39.3 ユニット数 (RH850/F1KM-S2)

製品名	RH850/F1KM-S2 100 Pin	RH850/F1KM-S2 144 Pin	RH850/F1KM-S2 176 Pin
ユニット数	1	1	1
名称	KRn (n=0)	KRn (n=0)	KRn (n=0)

表 39.4 ユニット数 (RH850/F1KM-S1)

製品名	RH850/F1KM-S1 48 Pin	RH850/F1KM-S1 64 Pin	RH850/F1KM-S1 80 Pin	RH850/F1KM-S1 100 Pin
ユニット数	1	1	1	1
名称	KRn (n=0)	KRn (n=0)	KRn (n=0)	KRn (n=0)

表 39.5 KRn のユニット構成とチャネルの対応 (RH850/F1KH-D8)

ユニット名 KRn	RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 324 Pin
KR0	8ch	8ch	8ch

表 39.6 KRn のユニット構成とチャネルの対応 (RH850/F1KM-S4)

ユニット名 KRn	RH850/F1KM-S4 100 Pin	RH850/F1KM-S4 144 Pin	RH850/F1KM-S4 176 Pin	RH850/F1KM-S4 233 Pin	RH850/F1KM-S4 272 Pin
KR0	8ch	8ch	8ch	8ch	8ch

表 39.7　KRn のユニット構成とチャネルの対応 (RH850/F1KM-S2)

ユニット名 KRn	RH850/F1KM-S2 100 Pin	RH850/F1KM-S2 144 Pin	RH850/F1KM-S2 176 Pin
KR0	8ch	8ch	8ch

表 39.8　KRn のユニット構成とチャネルの対応 (RH850/F1KM-S1)

ユニット名 KRn	RH850/F1KM-S1 48 Pin	RH850/F1KM-S1 64 Pin	RH850/F1KM-S1 80 Pin	RH850/F1KM-S1 100 Pin
KR0	6ch	8ch	8ch	8ch

表 39.9　添字 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

添字	説明
n	本章では、キーリターンの各ユニットを「n」で識別します。たとえば、キーリターンモードレジスタを KRnKRM（n＝0）と記述します。
m	本章では、キーリターンの各チャネルを「m」で識別します。たとえば、KRnKRM（キーリターンモードレジスタ）のキー入力許可ビットは KRnKRMm（m＝0～7）と記述します。

39.1.2　レジスタベースアドレス

KRn のベースアドレスを以下の表に示します。

KRn のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 39.10　レジスタベースアドレス (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ベースアドレス名	ベースアドレス
<KR0_base>	FFF7 8000_H

39.1.3　クロック供給

KRn のクロック供給を以下の表に示します。

表 39.11　クロック供給 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	ユニットクロック名	供給クロック名	説明
KRn	PCLK	CPUCLK_UL	モジュールクロック
	レジスタアクセスクロック	CPUCLK_UL	バスクロック

39.1.4　割り込み要求

KRn の割り込み要求を以下の表に示します。

表 39.12　割り込み要求 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット割り込み信号	説明	割り込み番号	DMA トリガ番号
KR0			
INTKRn	キー割り込み	90	—

39.1.5　リセット要因

KRn のリセット要因を以下に示します。KRn は以下のリセット要因で初期化されます。

表 39.13　リセット要因 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	リセット要因
KRn	すべてのリセット要因（ISORES）

39.1.6　外部入出力信号

KRn の外部入出力信号を以下の表に示します。

表 39.14　外部入出力信号 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット信号名	説明	ポート端子兼用信号名
KR0		
KRnTPKR7～KRnTPKR0	キー入力信号	KR0I7～KR0I0

39.2　概要

39.2.1　機能概要

キーリターン機能は以下の特徴を持っています。

8 つのキー入力端子（KRnTPKR7～KRnTPKR0）のいずれかにハイからロウの立ち下がり信号を入力することによってキー割り込み要求信号（INTKRn）を生成することができます。

39.2.2　ブロック図

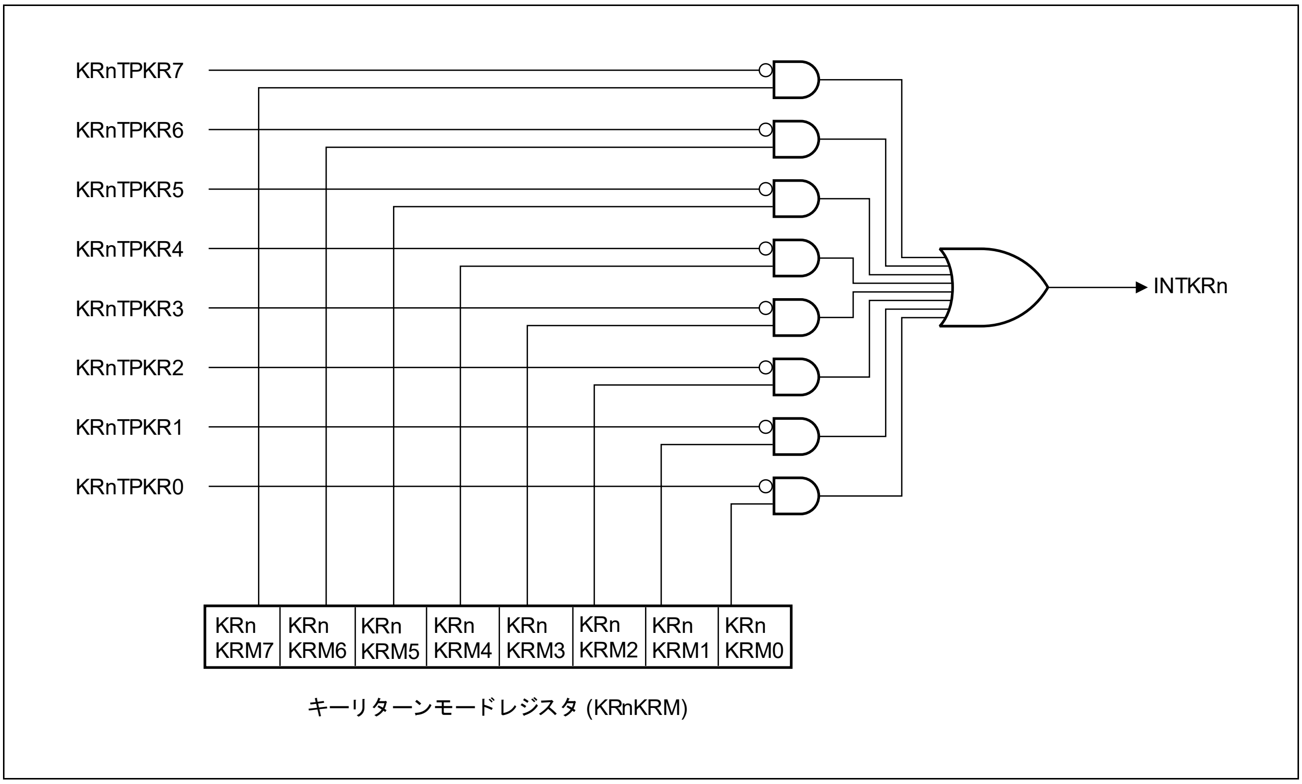


図 39.1　キーリターン機能のブロック図

39.3　レジスタ

39.3.1　レジスター覧

KR のレジスター覧を以下の表に示します。

<KRn_base>は「**39.1.2 レジスタベースアドレス**」を参照してください。

表 39.15　レジスター覧

モジュール名	レジスタ名	略号	アドレス
KRn	キーリターンモードレジスタ	KRnKRM	<KRn_base>

39.3.2　KRnKRM — キーリターンモードレジスタ

本レジスタでは、キー入力信号の検出を許可または禁止します。

アクセス　8/1 ビット単位でリード／ライト可能です。

アドレス　<KRn_base>

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	KRnKRM7	KRnKRM6	KRnKRM5	KRnKRM4	KRnKRM3	KRnKRM2	KRnKRM1	KRnKRM0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 39.16　KRnKRM レジスタの内容

ビット位置	ビット名	機能
7～0	KRnKRMm	キー入力信号の検出を許可または禁止します。 0：禁止 1：許可

39.4　動作

39.4.1　割り込み要求 INTKRn

キー入力端子（KRnTPKRm）への入力が許可されているときに（KRnKRM.KRnKRMm＝1）、対応するキー入力端子（KRnTPKRm）にハイレベルからロウレベルに変化すると、割り込み要求 INTKRn を生成します。

「**図 39.2 割り込み要求の生成**」は割り込み要求が生成される仕組みを示しています。

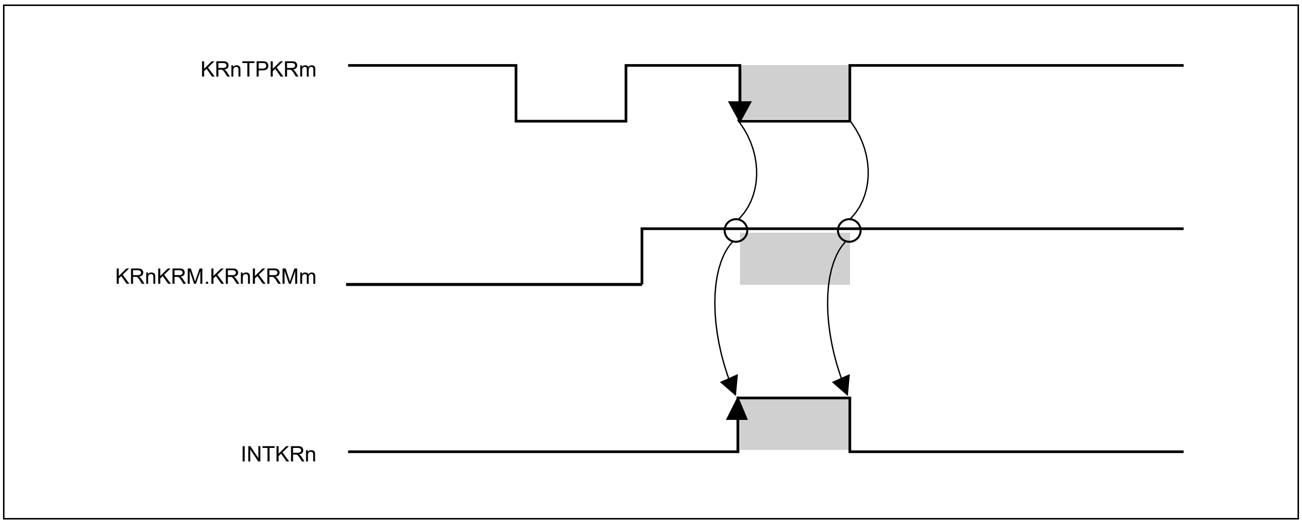


図 39.2　割り込み要求の生成

注　意

1. キー入力端子 KRnTPKRm のいずれかがロウレベルのとき、別のキー入力がハイレベルからロウレベルに変化しても INTKRn は生成されません。全てのキー入力端子がハイレベルになってからロウレベルに変化することで次の INTKRn が発生します。
2. KRnKRM.KRnKRMm の設定変更と同時にキー入力値が変化すると、意図しないキー割り込み要求 INTKRn が生成されることがあります。
   したがって、KRnKRM.KRnKRMm を 0 から 1 へ、または 1 から 0 へ変更する前に、割り込みコントローラの INTKRn をマスク（禁止）してください。

第40A章 RH850/F1KH-D8 のファンクショナルセーフティ

本章は RH850/F1KH シリーズに搭載している安全機構の概要を記載しています。

本マイコンは ISO26262 における SEooC（Safety Element out of Context）として開発しております。

開発プロセスや安全機構の詳細に関しては、当社の営業窓口までお問い合わせください。

以下に本マイコンの備える故障検出機能を示します。

40A.1　概要

ECC

メモリやデータ転送経路の故障検出や、一部の故障に対して訂正を行います。

メモリ保護

メモリや周辺回路への誤ったアクセスを検出し、これらのデータを誤ったアクセスから保護します。

クロックモニタ

クロックの動作を監視し、異常な動作を検出します。
詳細は、「**第 13 章 クロックモニタ（CLMA）**」を参照してください。

データ CRC

CRC を生成することにより、データの誤りを検出します。
詳細は、「**第 41 章 データ CRC（DCRA）**」を参照してください。

書き込み保護レジスタ

書き込み保護されたレジスタを、不正なプログラムの実行による不注意な書き込みアクセスから保護します。
詳細は、「**第 5 章 書き込み保護レジスタ**」を参照してください。

40A.2　ECC

40A.2.1　概要

本製品は、以下のメモリに対して ECC を搭載しています。これによって、メモリに保持しているデータに生じたエラーの検出や訂正が可能です。また、ECC エンコーダとメモリの間や、メモリと ECC デコーダの間で生じたエラーに対しても同様の検出や訂正が可能です。

表 40A.1　ECC 概要

対象メモリ		対象データ幅 [bit]	エラー検出時の動作					故障注入
			検出／訂正	SYSERR	割り込み通知	エラーステータス	アドレスキャプチャ	
Code flash		128	SEC-DED	SED/DED 注2	SEC-DED	○	○	○
Data flash		32	SEC-DED	—	SEC-DED	○	○	○
ローカル RAM (CPU1/CPU2/Self)		32	SEC-DED	SED/DED 注2	SEC-DED	○	○	○
グローバル RAM リテンション RAM		32	SEC-DED	SED/DED 注2	SEC-DED	○	○	○
周辺 RAM 注1	CSIH	32	SEC-DED	—	SEC-DED	○	○	○
	RS-CANFD	32	SEC-DED	—	SEC-DED	○	○	○
	FlexRay	32	SEC-DED	—	SEC-DED	○	○	○
	Ethernet	32	SEC-DED	—	SEC-DED	○	○	○
	MMCA	32	SEC-DED	—	SEC-DED	○	○	○

注1.　各周辺 IP 用の ECC の詳細は、「**40A.2.6　周辺 RAM の ECC**」を参照してください。

注2.　詳細は「**40A.2.2.2　割り込み要求**」、「**40A.2.4.2　割り込み要求**」、および「**40A.2.5.2　割り込み要求**」を参照してください。

対象データ幅

ECC エンコードの対象となるデータ幅を示します。

これより小さいビット幅のデータを書き込む場合は、以下の処理が必要となります。このとき、（1）の読み出し時にも ECC はチェックされます。

(1)　書き換え対象データを含む ECC エンコード対象データの読み出し

(2)　書き換え対象データの入れ替え

(3)　(2)で生成したデータの書き戻し

検出／訂正

SEC-DED：1 ビットエラーの訂正および検出と、2 ビットエラーの検出が可能です。

SED-DED：1 ビットエラーおよび 2 ビットエラーの検出が可能です。

SYSERR

エラー検出時に SYSERR を発生させることが可能です。

割り込み通知

エラー検出時に割り込みを発生させることが可能です。

エラーステータス

検出したエラー内容のステータスを保持します。

アドレスキャプチャ

検出したエラー内容のアドレスを保持します。

故障注入

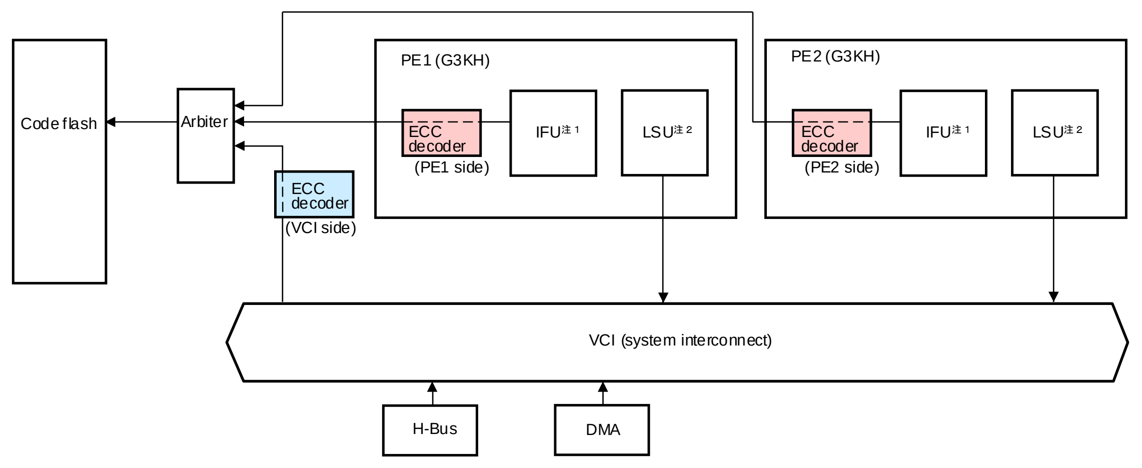
意図的に ECC エラーを発生させることによって、ECC デコーダが正しくエラー通知できるかを自己診断することができます。

40A.2.2　　Code Flash の ECC

40A.2.2.1　　概要

RH850/F1KH は 3 つの Code Flash 用 ECC デコーダ回路を持っており、2 つはプロセッサエレメント（PE1/PE2）の内部に、1 つは VCI（システム相互接続）上に実装されています。

「**図 40A.1 Code Flash の ECC ブロック図**」に 3 つの Code Flash 用 ECC デコーダの位置を示します。



注1.　命令フェッチユニット

注2.　ロードストアユニット

図 40A.1　　Code Flash の ECC ブロック図

Code Flash 用 ECC の概要を以下に示します。

表 40A.2　　Code Flash 用 ECC 概要

項目	説明
ECC エラー検出・訂正	ECC エラー検出・訂正の有効／無効を選択可能 有効時は下記設定を選択可能 ● 2 ビットエラー検出と 1 ビットエラー検出・訂正を行います。 ● 2 ビットエラー検出と 1 ビットエラー検出を行います。 無効時はエラー検出・訂正を行いません。 初期状態では、本機能は有効で、1 ビットエラー検出・訂正、2 ビットエラー検出を行います。
エラー通知	ECC エラー発生時は、エラー通知を行います。 ● ECC2 ビットエラーを検出した場合のエラー通知を、許可または禁止できます。（CFERRINT_PE1/PE2 レジスタではサポートされていません。）データアクセスおよび命令フェッチ中に ECC2 ビットエラーが検出された場合のエラー（SYSERR 例外）通知を、許可または禁止できます。 ● ECC1 ビットエラーを検出した場合のエラー通知を、許可または禁止できます。データアクセスおよび命令フェッチ中に ECC1 ビットエラー（SECDIS＝1）が検出された場合のエラー（SYSERR 例外）通知を、許可または禁止にできます。SYSERR の詳細については、「**第 3A 章　RH850/F1KH-D8 の CPU システム**」を参照してください。 ECC コントローラの初期状態では、ECC2 ビットエラー検出時および ECC1 ビットエラー検出時にエラー通知が許可されます。 ただし、割り込みコントローラの FEINTFMSK レジスタで割り込みをマスクしている場合、割り込み処理は行われません。
エラーステータス	ECC2 ビットエラーおよび ECC1 ビットエラーの検出をモニタできます。 ECC1 ビットエラーステータスは、どのエラーステータスもセットされていない状態でのみセットされます。 ECC2 ビットエラーステータスは、ECC1 ビットエラーステータスがセットされていてもセットされます。 エラーステータスのクリアレジスタを搭載します。
アドレスキャプチャ	どの ECC エラーステータスもセットされていない場合、最初の ECC エラー発生時のアドレスをキャプチャします。さらに、保持しているアドレス要因が ECC1 ビットエラーの場合、ECC2 ビットエラーのアドレスもキャプチャされます。
自己診断	ECC ビットをダイレクトに読み出すことができます。
命令実行抑制	命令フェッチ時の ECC2 ビットエラー検出に応じて SYSERR 例外を発生させ、不正命令の実行を回避することができます。

40A.2.2.2　　割り込み要求

コードフラッシュ ECC の割り込み要求を以下に示します。

表 40A.3　　コードフラッシュ ECC の割り込み要求（CPU フェッチアクセス時）

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	コードフラッシュの ECC1 ビットエラー割り込み	SYSERR, INTECCFLI0 注 1 (SED & SECDIS＝1)	—
		INTECCFLI0 (SED & SECDIS＝0)	—
—	コードフラッシュの ECC2 ビットエラー割り込み	SYSERR	—

注1.　SYSERR からの復帰が不可能なため、ECCFLI0FEIF フラグのセットは SYSERR 処理で読みだすことができます。（FEINT のハンドラアドレスにジャンプしません）。

表 40A.4　　コードフラッシュ ECC の割り込み要求（CPU データアクセス時）

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	コードフラッシュの ECC1 ビットエラー割り込み	SYSERR, INTECCFLI0 (SED & SECDIS＝1)	—
		INTECCFLI0 (SED & SECDIS＝0)	—
—	コードフラッシュの ECC2 ビットエラー割り込み	SYSERR, INTECCFLI0	—

表 40A.5　　コードフラッシュ ECC の割り込み要求（CPU アクセス以外のバスマスタデータアクセス時）

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	コードフラッシュの ECC1 ビットエラー割り込み	INTECCFLI0	—
—	コードフラッシュの ECC2 ビットエラー割り込み	INTECCFLI0	—

40A.2.2.3　　レジスター覧

表 40A.6　　レジスター覧

モジュール名	レジスタ名	略号注 1	アドレス
CFECC_VCI	Code Flash ECC コントロールレジスタ（VCI）	CFECCCTL_VCI	FFC6 2200$_H$
	Code Flash エラー情報コントロールレジスタ（VCI）	CFERRINT_VCI	FFC6 2204$_H$
	Code Flash ステータスクリアレジスタ（VCI）	CFSTCLR_VCI	FFC6 2208$_H$
	Code Flash エラーカウントオーバフローステータスレジスタ（VCI）	CFOVFSTR_VCI	FFC6 220C$_H$
	Code Flash 1st エラーステータスレジスタ（VCI）	CF1STERSTR_VCI	FFC6 2210$_H$
	Code Flash 1st エラーアドレスレジスタ（VCI）	CF1STEADR0_VCI	FFC6 2250$_H$
CFECC_CPU1	Code Flash ECC コントロールレジスタ（PE1）	CFECCCTL_PE1	FFC6 2400$_H$
	Code Flash エラー情報コントロールレジスタ（PE1）	CFERRINT_PE1	FFC6 2404$_H$
	Code Flash ステータスクリアレジスタ（PE1）	CFSTCLR_PE1	FFC6 2408$_H$
	Code Flash エラーカウントオーバフローステータスレジスタ（PE1）	CFOVFSTR_PE1	FFC6 240C$_H$
	Code Flash 1st エラーステータスレジスタ（PE1）	CF1STERSTR_PE1	FFC6 2410$_H$
	Code Flash 1st エラーアドレスレジスタ（PE1）	CF1STEADR0_PE1	FFC6 2450$_H$
CFECC_CPU2	Code Flash ECC コントロールレジスタ（PE2）	CFECCCTL_PE2	FFC6 2600$_H$
	Code Flash エラー情報コントロールレジスタ（PE2）	CFERRINT_PE2	FFC6 2604$_H$
	Code Flash ステータスクリアレジスタ（PE2）	CFSTCLR_PE2	FFC6 2608$_H$
	Code Flash エラーカウントオーバフローステータスレジスタ（PE2）	CFOVFSTR_PE2	FFC6 260C$_H$
	Code Flash 1st エラーステータスレジスタ（PE2）	CF1STERSTR_PE2	FFC6 2610$_H$
	Code Flash 1st エラーアドレスレジスタ（PE2）	CF1STEADR0_PE2	FFC6 2650$_H$
CFECC_VCI	Code Flash サブテストコントロールレジスタ（VCI）	CFSTSTCTL_VCI	FFC6 2350$_H$

注1.　略号において、“_VCI”、“_PE1”、“_PE2”が付いているレジスタは、各アクセスポートに対応する ECC コントローラごとに用意されているレジスタとなります。“_VCI”はシステムインタコネクトから Code Flash へのデータアクセス用、“_PE1”は CPU1 からのフェッチアクセス用、“_PE2”は CPU2 からのフェッチアクセス用の ECC コントローラを示します。

40A.2.2.4　レジスタ詳細

(1) CFECCCTL_VCI/PE1/PE2 ― Code Flash ECC コントロールレジスタ

CFECCCTL_VCI/PE1/PE2 レジスタは、ECC エラー検出・訂正の有効／無効、1 ビットエラー訂正の許可／禁止を設定するレジスタです。CFECCCTL_VCI/PE1/PE2 レジスタへの書き込みは PROT1、PROT0 を 01_B にして実行してください。

アクセス　CFECCCTL_VCI、CFECCCTL_PE1、CFECCCTL_PE2 レジスタは、32 ビット単位でリード／ライト可能です。
CFECCCTL_VCIL、CFECCCTL_PE1L、CFECCCTL_PE2L レジスタは、16 ビット単位でリード／ライト可能です。

アドレス　CFECCCTL_VCI：FFC6 2200_H
CFECCCTL_VCIL：FFC6 2200_H
CFECCCTL_PE1：FFC6 2400_H
CFECCCTL_PE1L：FFC6 2400_H
CFECCCTL_PE2：FFC6 2600_H
CFECCCTL_PE2L：FFC6 2600_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 40A.7　CFECCCTL_VCI/PE1/PE2 レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	PROT1	ECCDIS ビット、SECDIS ビットの書き換え可否を設定するためのビットです。 書き込みデータは保持されません。読み出すと常に 0 が読み出されます。 本レジスタへの書き込みは、PROT1, PROT0＝0, 1 で行ってください。
14	PROT0	
13～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	SECDIS	1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正の許可／禁止を設定するためのビットです。このビットの書き込み時は PROT1, PROT0＝0, 1 を同時に書き込む必要があります。 0：1 ビットエラー検出時にエラー訂正する 1：1 ビットエラー検出時にエラー訂正しない
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正機能の有効／無効を設定できます。このビットの書き込み時は（PROT1, PROT0）＝（0, 1）を同時に書き込む必要があります。 0：ECC エラー検出・訂正機能が有効 1：ECC エラー検出・訂正機能が無効

(2) CFERRINT_VCI/PE1/PE2 ― Code Flash エラー情報コントロールレジスタ

CFERRINT_VCI/PE1/PE2 レジスタは、ECC2 ビットエラー検出時、ECC1 ビットエラー検出時に、割り込みコントローラへのエラー通知信号発生の有効／無効を設定するためのレジスタです。

アクセス　CFERRINT_VCI、CFERRINT_PE1、CFERRINT_PE2 レジスタは、32 ビット単位でリード／ライト可能です。
CFERRINT_VCIL、CFERRINT_PE1L、CFERRINT_PE2L レジスタは、16 ビット単位でリード／ライト可能です。
CFERRINT_VCILL、CFERRINT_PE1LL、CFERRINT_PE2LL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　CFERRINT_VCI：FFC6 2204H
CFERRINT_VCIL：FFC6 2204H
CFERRINT_VCILL：FFC6 2204H
CFERRINT_PE1：FFC6 2404H
CFERRINT_PE1L：FFC6 2404H
CFERRINT_PE1LL：FFC6 2404H
CFERRINT_PE2：FFC6 2604H
CFERRINT_PE2L：FFC6 2604H
CFERRINT_PE2LL：FFC6 2604H

リセット後の値　0000 0003H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDIE 注 1	SEDIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 40A.8　　CFERRINT_VCI/PE1/PE2 レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	DEDIE 注 1	ECC2 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知信号の発生を禁止／許可するビットです。 0：ECC2 ビットエラー通知禁止 1：ECC2 ビットエラー通知許可
0	SEDIE	ECC1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知信号の発生を禁止／許可するビットです。 0：ECC1 ビットエラー通知禁止 1：ECC1 ビットエラー通知許可

注1.　本ビットは CFERRINT_PE1/PE2 ではサポートされていません。CFERRINT_PE1/PE2 の本ビットに書き込む場合は、常に 1 を書き込みます。

注2.　割り込み要求については、「**40A.2.2.2 割り込み要求**」を参照してください。

(3) CFSTCLR_VCI/PE1/PE2 — Code Flash ステータスクリアレジスタ

CFSTCLR_VCI/PE1/PE2 レジスタは、エラーステータスレジスタ（CF1STERSTR_VCI/PE1/PE2）のエラーフラグ、エラーオーバフローステータスレジスタ（CFOVFSTR_VCI/PE1/PE2）のオーバフローフラグ、およびエラーアドレスレジスタ（CF1STEADR0_VCI/PE1/PE2）をクリアするためのレジスタです。

アクセス　CFSTCLR_VCI、CFSTCLR_PE1、CFSTCLR_PE2 レジスタは、は、32 ビット単位でライトのみ可能です。
CFSTCLR_VCIL、CFSTCLR_PE1L、CFSTCLR_PE2L レジスタは、16 ビット単位でライトのみ可能です。
CFSTCLR_VCILL、CFSTCLR_PE1LL、CFSTCLR_PE2LL レジスタは、8 ビット単位でライトのみ可能です。

アドレス　CFSTCLR_VCI：FFC6 2208H
CFSTCLR_VCIL：FFC6 2208H
CFSTCLR_VCILL：FFC6 2208H
CFSTCLR_PE1：FFC6 2408H
CFSTCLR_PE1L：FFC6 2408H
CFSTCLR_PE1LL：FFC6 2408H
CFSTCLR_PE2：FFC6 2608H
CFSTCLR_PE2L：FFC6 2608H
CFSTCLR_PE2LL：FFC6 2608H

リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STCLR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 40A.9　　CFSTCLR_VCI/PE1/PE2 レジスタの内容

ビット位置	ビット名	機能
31〜1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	STCLR0	エラーステータスクリアビット 0：無効（“0”を設定しても CF1STERSTR_VCI/PE1/PE2 レジスタの DEDF0、SEDF0 フラグ、CFOVFSTR_VCI/PE1/PE2 レジスタの ERROVF0 フラグ、および CF1STEADR0_VCI/PE1/PE2 レジスタに影響はありません） 1：CF1STERSTR_VCI/PE1/PE2 レジスタの DEDF0、SEDF0 フラグ、CFOVFSTR_VCI/PE1/PE2 レジスタの ERROVF0 フラグ、および CF1STEADR0_VCI/PE1/PE2 レジスタをクリアします。

(4) CFOVFSTR_VCI/PE1/PE2 ― Code Flash エラーカウントオーバフローステータスレジスタ

CFOVFSTR_VCI/PE1/PE2 レジスタは、エラーオーバフロー発生を監視するためのレジスタです。1st エラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の 2nd エラーが発生した場合に本フラグがセットされます。ただし、2nd エラーの内容が、1st エラーと全く同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。

アクセス　CFOVFSTR_VCI、CFOVFSTR_PE1、CFOVFSTR_PE2 レジスタは、32 ビット単位でリードのみ可能です。
CFOVFSTR_VCIL、CFOVFSTR_PE1L、CFOVFSTR_PE2L レジスタは、16 ビット単位でリードのみ可能です。
CFOVFSTR_VCILL、CFOVFSTR_PE1LL、CFOVFSTR_PE2LL レジスタは、8 ビット単位でリードのみ可能です。

アドレス　CFOVFSTR_VCI：FFC6 220C$_H$
CFOVFSTR_VCIL：FFC6 220C$_H$
CFOVFSTR_VCILL：FFC6 220C$_H$
CFOVFSTR_PE1：FFC6 240C$_H$
CFOVFSTR_PE1L：FFC6 240C$_H$
CFOVFSTR_PE1LL：FFC6 240C$_H$
CFOVFSTR_PE2：FFC6 260C$_H$
CFOVFSTR_PE2L：FFC6 260C$_H$
CFOVFSTR_PE2LL：FFC6 260C$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERROVF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40A.10　CFOVFSTR_VCI/PE1/PE2 レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。
0	ERROVF0	エラーオーバフローフラグ エラーステータスレジスタのいずれかのエラーフラグ（DEDF0、SEDF0）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生したかどうかを示します。 0：発生していない 1：発生した クリア条件： CFSTCLR_VCI/PE1/PE2 レジスタの STCLR0 ビットへの 1 セット

(5) CF1STERSTR_VCI/PE1/PE2 ― Code Flash 1st エラーステータスレジスタ

CF1STERSTR_VCI/PE1/PE2 レジスタは、ECC エラー検出／訂正が有効の場合、1st エラーの発生を監視するレジスタです。エラーフラグが 0 の状態でエラーが発生した場合に、エラーステータスがセットされます。また、ECC1 ビットのエラーモニタフラグがセットされている状態で、ECC2 ビットエラーが発生すると、ECC1 ビットのエラーフラグを保持したまま、ECC2 ビットエラーのエラーフラグがセットされます。

アクセス　CF1STERSTR_VCI、CF1STERSTR_PE1、CF1STERSTR_PE2 レジスタは、32 ビット単位でリードのみ可能です。

CF1STERSTR_VCIL、CF1STERSTR_PE1L、CF1STERSTR_PE2L レジスタは、16 ビット単位でリードのみ可能です。

CF1STERSTR_VCILL、CF1STERSTR_PE1LL、CF1STERSTR_PE2LL レジスタは、8 ビット単位でリードのみ可能です。

アドレス　CF1STERSTR_VCI：FFC6 2210_H

CF1STERSTR_VCIL：FFC6 2210_H

CF1STERSTR_VCILL：FFC6 2210_H

CF1STERSTR_PE1：FFC6 2410_H

CF1STERSTR_PE1L：FFC6 2410_H

CF1STERSTR_PE1LL：FFC6 2410_H

CF1STERSTR_PE2：FFC6 2610_H

CF1STERSTR_PE2L：FFC6 2610_H

CF1STERSTR_PE2LL：FFC6 2610_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDF0	SEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40A.11　CF1STERSTR_VCI/PE1/PE2 レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1	DEDF0	ECC2 ビットエラーモニタフラグ 0：ECC2 ビットエラーは検出していません。 1：ECC2 ビットエラーは検出しました。 クリア条件： CFSTCLR_VCI/PE1/PE2.STCLR0 ビットに 1 をセット セット条件： DEDF0 が 0 の状態で、ECC2 ビットエラー検出
0	SEDF0	ECC1 ビットエラーモニタフラグ 0：ECC1 ビットエラーは検出していません。 1：ECC1 ビットエラーは検出しました。 クリア条件： CFSTCLR_VCI/PE1/PE2.STCLR0 ビットに 1 をセット セット条件： DEDF0, SEDF0 どちらも 0 の状態で、ECC1 ビットエラー検出

(6) CF1STEADR0_VCI/PE1/PE2 ― Code Flash 1st エラーアドレスレジスタ

CF1STEADR0_VCI/PE1/PE2 レジスタは、エラー発生時のアドレスを保持するためのレジスタです。

CF1STERSTR_VCI/PE1/PE2 レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを更新します。1st エラーとして ECC1 ビットエラーがセットされている状態で ECC2 ビットエラーが発生した場合に、アドレス情報を更新します。ECC2 ビットエラーが既に発生している場合は、アドレス情報の更新はしません。

また、本レジスタの EADR[24:4]ビットは、実アドレスの[24:4]ビットに対応しています。実アドレスは、コードフラッシュがマッピングされている上位アドレス[31:25]ビットを追加することによって、ベースアドレスとして計算できます。

CF1STEADR0_VCI/PE1/PE2 レジスタは内部リセット、外部リセット、または CFSTCLR_VCI/PE1/PE2 レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

アクセス	CF1STEADR0_VCI、CF1STEADR0_PE1、CF1STEADR0_PE2 レジスタは、32 ビット単位でリードのみ可能です。 CF1STEADR0_VCIL、CF1STEADR0_VCIH、CF1STEADR0_PE1L、CF1STEADR0_PE1H、CF1STEADR0_PE2L、CF1STEADR0_PE2H レジスタは、16 ビット単位でリードのみ可能です。 CF1STEADR0_VCILL、CF1STEADR0_VCILH、CF1STEADR0_VCIHL、CF1STEADR0_VCIHH、CF1STEADR0_PE1LL、CF1STEADR0_PE1LH、CF1STEADR0_PE1HL、CF1STEADR0_PE1HH、CF1STEADR0_PE2LL、CF1STEADR0_PE2LH、CF1STEADR0_PE2HL、CF1STEADR0_PE2HH レジスタは、8 ビット単位でリードのみ可能です。
アドレス	CF1STEADR0_VCI：FFC6 2250_H CF1STEADR0_VCIL：FFC6 2250_H CF1STEADR0_VCIH：FFC6 2252_H CF1STEADR0_VCILL：FFC6 2250_H CF1STEADR0_VCILH：FFC6 2251_H CF1STEADR0_VCIHL：FFC6 2252_H CF1STEADR0_VCIHH：FFC6 2253_H CF1STEADR0_PE1：FFC6 2450_H CF1STEADR0_PE1L：FFC6 2450_H CF1STEADR0_PE1H：FFC6 2452_H CF1STEADR0_PE1LL：FFC6 2450_H CF1STEADR0_PE1LH：FFC6 2451_H CF1STEADR0_PE1HL：FFC6 2452_H CF1STEADR0_PE1HH：FFC6 2453_H CF1STEADR0_PE2L：FFC6 2650_H CF1STEADR0_PE2H：FFC6 2652_H CF1STEADR0_PE2LL：FFC6 2650_H CF1STEADR0_PE2LH：FFC6 2651_H CF1STEADR0_PE2HL：FFC6 2652_H CF1STEADR0_PE2HH：FFC6 2653_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	EADR[24:16]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EADR[15:4]												—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40A.12　CF1STEADR0_VCI/PE1/PE2 レジスタの内容

ビット位置	ビット名	機能
31～25	予約ビット	リードした場合はリセット後の値が読めます。
24～4	EADR[24:4]	1st エラー発生アドレス 1st エラー発生時のアドレスをモニタするためのレジスタです。 CF1STERSTR_VCI/PE1/PE2 レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを更新します。1st エラーとして ECC1 ビットエラーフラグがセットされている状態で ECC2 ビットエラーが発生した場合に、アドレス情報を更新します。ECC2 ビットエラーが既に発生している場合は、アドレス情報の更新はしません クリア条件： 　CFSTCLR_VCI/PE1/PE2 レジスタの STCLR0 ビットを 1 にセット
3～0	予約ビット	リードした場合はリセット後の値が読めます。

(7) CFSTSTCTL_VCI — Code Flash サブテストコントロールレジスタ

CFSTSTCTL_VCI レジスタは ECC テスト（自己診断）時に使用するレジスタです。本レジスタは、Code Flash 専用のレジスタです。ECC テストモード（ECCTST＝1）に設定後、ECC ビットのデータをダイレクトに読み出すことができます。本レジスタへの書き込みは PROT1、PROT0 を 01_B にして実行してください。

アクセス	CFSTSTCTL_VCI レジスタは、32 ビット単位でリード／ライト可能です。 CFSTSTCTL_VCIL レジスタは、16 ビット単位でリード／ライト可能です。
アドレス	CFSTSTCTL_VCI：FFC6 2350_H CFSTSTCTL_VCIL：FFC6 2350_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	—	ECCTST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 40A.13　CFSTSTCTL_VCI レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	PROT1	ECCTST ビットの書き換え可否を設定するためのビットです。 書き込みデータは保持されません。読み出すと常に 0 が読み出されます。 本レジスタへの書き込みは、PROT1, PROT0＝0, 1 で行ってください。
14	PROT0	
13～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ECCTST	ECC テストビット ECC テストモード（ECCTST＝1）に設定後、ECC ビットのデータをダイレクトにリードすることができます。このビットの書き込み時は、PROT1, PROT0＝0, 1 を同時に書き込む必要があります。

CPU には小容量のデータバッファを備えています。このバッファに古い値が残っていると、ECCTST ビットを切り替えても正しい値を読み出すことができません。ECCTST ビット切り替えの際は、必ずデータバッファをクリアしてください。クリア方法については、「**第 3A 章　RH850/F1KH-D8 の CPU システム**」を参照してください。

ECC テストモードに設定した Code Flash アクセスポートからは、16n 番地にアラインされた 4 バイトリードでアクセスしてください。この時、Code Flash の読み出し結果は以下のとおりです。

表 40A.14　Code Flash の読み出し結果

ビット番号	意味	ビット位置	内容
[31:10]	all-0	31～10	常に 0 です。
[9]	予約ビット	9	不定
[8:0]	ECC ビット	8～0	ECC ビット

40A.2.3　Data Flash の ECC

40A.2.3.1　概要

Data Flash 用 ECC の概要を以下に示します。

表 40A.15　Data Flash 用 ECC 概要

項目	説明
ECC エラー検出・訂正	ECC エラー検出・訂正の有効／無効を選択可能 有効時は下記設定を選択可能 ● 2 ビットエラー検出と 1 ビットエラー検出・訂正を行います。 ● 2 ビットエラー検出と 1 ビットエラー検出を行います。 無効時はエラー検出・訂正を行いません。 初期状態では、本機能は有効で、1 ビットエラー検出・訂正、2 ビットエラー検出を行います。
エラー通知	ECC エラー発生時は、エラー通知を行います。 ● ECC2 ビットエラー検出時のエラー通知の許可／禁止を選択することが可能です。 ● ECC1 ビットエラー検出時のエラー通知の許可／禁止を選択することが可能です。 ECC コントローラの初期状態では、ECC2 ビットエラー検出時のエラー通知許可、1 ビットエラー検出時のエラー通知禁止。ただし、割り込みコントローラの FEINTFMSK レジスタで割り込みをマスクしている場合、割り込み処理は行われません。
エラーステータス	ECC2 ビットエラーおよび ECC1 ビットエラー検出を監視できます。 本機能は、どのエラーステータスもセットされていない状態でのみセットされます。エラーステータスのクリアレジスタを搭載します。
アドレスキャプチャ	どの ECC エラーステータスもセットされていない場合、最初の ECC エラー発生時のアドレスがキャプチャされます。DFERSTR の SEDF ビットと DEDF ビットが共に 0 の場合、ECC エラーアドレスがキャプチャされます。
自己診断	ROM データと、ECC ビットをダイレクトに読み出すことができます。 ROM データと、ECC ビットに任意のデータを書き込むことができます。

40A.2.3.2　割り込み要求

データフラッシュ ECC の割り込み要求を以下に示します。

表 40A.16　データフラッシュ ECC の割り込み要求（データアクセス時）

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	データフラッシュの ECC1 ビットエラー割り込み	INTECCEEP0	—
—	データフラッシュの ECC2 ビットエラー割り込み	INTECCEEP0	—

40A.2.3.3 レジスター覧

表 40A.17 レジスター覧

モジュール名	レジスタ名	略号	アドレス
DFECC	Data Flash ECC コントロールレジスタ	DFECCCTL	FFC6 $2A00_H$
	Data Flash エラーステータスレジスタ	DFERSTR	FFC6 $2A04_H$
	Data Flash エラーステータスクリアレジスタ	DFERSTC	FFC6 $2A08_H$
	Data Flash エラーオーバフローステータスレジスタ	DFOVFSTR	FFC6 $2A0C_H$
	Data Flash エラーオーバフローステータスクリアレジスタ	DFOVFSTC	FFC6 $2A10_H$
	Data Flash エラー通知コントロールレジスタ	DFERRINT	FFC6 $2A14_H$
	Data Flash 1st エラーアドレスレジスタ	DFEADR	FFC6 $2A18_H$
	Data Flash テストコントロールレジスタ	DFTSTCTL	FFC6 $2A1C_H$

40A.2.3.4　　レジスタ詳細

(1) DFECCCTL — Data Flash ECC コントロールレジスタ

DFECCCTL レジスタは、ECC エラー検出・訂正の有効／無効、1 ビットエラー訂正の許可／禁止を設定するレジスタです。DFECCCTL レジスタへの書き込みは PROT1、PROT0 を 01_B にして実行してください。

アクセス　DFECCCTL レジスタは、16 ビット単位でリード／ライト可能です。

アドレス　DFECCCTL：FFC6 $2A00_H$

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 40A.18　DFECCCTL レジスタの内容

ビット位置	ビット名	機能
15	PROT1	ECCDIS ビット、SECDIS ビットの書き換え可否を設定するためのビットです。書き込み値は保持されません。読み出すと常に 0 が読み出されます。本レジスタへの書き込みは、PROT1, PROT0＝0, 1 で行ってください。
14	PROT0	
13～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	SECDIS	1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正の許可／禁止を設定するためのビットです。このビットの書き込み時は PROT1, PROT0＝0, 1 を同時に書き込む必要があります。 0：1 ビットエラー検出時にエラー訂正します 1：1 ビットエラー検出時にエラー訂正しません
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正機能の有効／無効を設定できます。 このビットの書き込み時は PROT1, PROT0＝0, 1 を同時に書き込む必要があります。 初期状態は ECC エラー検出・訂正機能が有効です。 0：ECC エラー検出・訂正機能が有効 1：ECC エラー検出・訂正機能が無効

(2) DFERSTR ― Data Flash エラーステータスレジスタ

DFERSTR レジスタは、発生したエラーをモニタするためのレジスタです。

ECC エラー訂正・検出有効時に、ECC1 ビットエラーが検出されると SEDF ビットがセットされ、ECC2 ビットエラーが検出されると DEDF ビットがセットされます。

アクセス　DFERSTR レジスタは、8 ビット単位でリードのみ可能です。

アドレス　DFERSTR：FFC6 2A04$_H$

リセット後の値　00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DEDF	SEDF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 40A.19　DFERSTR レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。
1	DEDF	ECC2 ビットエラーモニタフラグ 0：ECC2 ビットエラーは検出していません。 1：ECC2 ビットエラーは検出しました。 クリア条件： DFERSTC.ERRCLR ビットに 1 をセット セット条件： SEDF、DEDF がすべて 0 の状態で、ECC2 ビットエラー検出
0	SEDF	ECC1 ビットエラーモニタフラグ 0：ECC1 ビットエラーは検出していません。 1：ECC1 ビットエラーは検出しました。 クリア条件： DFERSTC.ERRCLR ビットに 1 をセット セット条件： SEDF、DEDF がすべて 0 の状態で、ECC1 ビットエラー検出

(3) DFERSTC — Data Flash エラーステータスクリアレジスタ

DFERSTC レジスタは、Data Flash エラーステータスレジスタのエラーフラグをクリアするためのレジスタです。

アクセス　DFERSTC レジスタは、8 ビット単位でライトのみ可能です。

アドレス　DFERSTC : FFC6 2A08H

リセット後の値　00H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ERRCLR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 40A.20　DFERSTC レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	ERRCLR	SEDF、DEDF フラグクリアビット 0：無効（“0”を設定しても DFERSTR レジスタの DEDF、SEDF フラグに影響はありません。） 1：DFERSTR レジスタの DEDF、SEDF フラグをクリアします。

(4) DFOVFSTR — Data Flash エラーオーバフローステータスレジスタ

DFOVFSTR レジスタは、Data Flash エラーオーバフローの発生を監視するためのレジスタです。

アクセス　DFOVFSTR レジスタは、8 ビット単位でリードのみ可能です。

アドレス　DFOVFSTR : FFC6 2A0CH

リセット後の値　00H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ERROVF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 40A.21　DFOVFSTR レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	リードした場合はリセット後の値が読めます。
0	ERROVF	エラーオーバフローフラグ エラーアドレスレジスタがフルの場合に、ECC エラーが発生したときセットされます。 0：発生していない 1：発生した クリア条件： Data Flash エラーオーバフローステータスクリアレジスタの ERROVFCLR ビットのセット

(5) DFOVFSTC — Data Flash エラーオーバフローステータスクリアレジスタ

DFOVFSTC レジスタは、Data Flash エラーオーバフローフラグをクリアするためのレジスタです。

アクセス　DFOVFSTC レジスタは、8 ビット単位でライトのみ可能です。

アドレス　DFOVFSTC：FFC6 2A10$_H$

リセット後の値　00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ERROVFCLR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 40A.22　DFOVFSTC レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	ERROVFCLR	エラーオーバフローフラグクリアビット 0：無効（ERROVFCLR ビットに 0 を設定しても DFOVFSTR レジスタの ERROVF フラグに影響はありません。） 1：DFOVFSTR レジスタの ERROVF フラグをクリアします。

(6) DFERRINT — Data Flash エラー通知コントロールレジスタ

DFERRINT レジスタは、ECC2 ビットエラー検出時、ECC1 ビットエラー検出時に、エラー通知信号発生の有効／無効を設定するためのレジスタです。

アクセス　DFERRINT レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　DFERRINT：FFC6 2A14$_H$

リセット後の値　02$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DEDIE	SEDIE
リセット後の値	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R/W	R/W

表 40A.23　DFERRINT レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	DEDIE	ECC2 ビットエラー通知制御ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時にエラー通知の発生を禁止／許可するビットです。 0：ECC2 ビットエラー通知禁止 1：ECC2 ビットエラー通知許可
0	SEDIE	ECC1 ビットエラー通知制御ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時にエラー通知の発生を禁止／許可するビットです。 0：ECC1 ビットエラー通知禁止 1：ECC1 ビットエラー通知許可

(7) DFEADR ― Data Flash 1st エラーアドレスレジスタ

DFEADR レジスタは、Data Flash エラーステータスレジスタの SEDF と DEDF ビットの両方が 0 の状態で発生した ECC エラーのアドレスを保持するためのレジスタです。

アクセス　DFEADR レジスタは、32 ビット単位でリードのみ可能です。

アドレス　DFEADR：FFC6 2A18$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	DFEADR[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DFEADR[15:2]														—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40A.24　DFEADR レジスタの内容

ビット位置	ビット名	機能
31～21	予約ビット	リードした場合はリセット後の値が読めます。
20～2	DFEADR[20:2]	ECC エラーアドレス ECC エラーが発生したアドレスを監視するための読み出し専用フィールドです。 内部アドレスを保持します。 データフラッシュベースアドレス FF20 0000$_H$ を加算して実アドレスに変換します。
1、0	予約ビット	リードした場合はリセット後の値が読めます。

(8) DFTSTCTL — Data Flash テストコントロールレジスタ

DFTSTCTL レジスタは ECC テスト時に使用するレジスタです。

ECC テストモード（ECCTST＝1）設定後、ECC ビットのデータを読み出すことができます。

DFTSTCTL レジスタへの書き込みは、PROT1, PROT0 を“01_B”にして実行してください。

アクセス　DFTSTCTL レジスタは、16 ビット単位でリード／ライト可能です。

アドレス　DFTSTCTL：FFC6 $2A1C_H$

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	—	ECCTST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 40A.25　DFTSTCTL レジスタの内容

ビット位置	ビット名	機能
15	PROT1	ECCTST ビットの書き換え可否を設定するためのビットです。 書き込み値は保持されません。読み出すと常に 0 が読み出されます。 DFTSTCTL レジスタへの書き込みは、PROT1, PROT0＝0, 1 で行ってください。
14	PROT0	
13～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ECCTST	ECC テストモードビット ECC テストモードに設定します。 このビットの書き込み時は、PROT1, PROT0＝0, 1 を同時に書き込む必要があります。

40A.2.4　ローカル RAM の ECC

40A.2.4.1　概要

CPU1/CPU2 のローカル RAM 用 ECC の仕様概要を以下に示します。

表 40A.26　ローカル RAM 用 ECC 概要（CPU1/CPU2）

項目	説明
ECC エラー検出・訂正	ECC エラー検出・訂正の有効／無効を選択可能。有効時は下記設定のいずれかを選択可能。 ● 2 ビットエラー検出と 1 ビットエラー検出・訂正を行います。 ● 2 ビットエラー検出と 1 ビットエラー検出を行います。 無効時はエラー検出・訂正を行いません。 初期状態では、ECC 機能は有効で 1 ビットエラー検出・訂正、2 ビットエラー検出を行います。
エラー通知	ECC エラー発生時は、エラー通知を行います。 ● ECC2 ビットエラーを検出した場合のエラー通知を、許可または禁止できます。 データアクセスおよび命令フェッチ中に ECC2 ビットエラーが検出された場合のエラー（SYSERR 例外）通知を、許可または禁止できます。 ● ECC1 ビットエラーを検出した場合のエラー通知を、許可または禁止できます。 データアクセスおよび命令フェッチ中に ECC1 ビットエラー（SECDIS＝1）が検出された場合のエラー（SYSERR 例外）通知を、許可または禁止できます。 SYSERR の詳細については、**「第 3A 章　RH850/F1KH-D8 の CPU システム」**を参照してください。 ECC コントローラの初期状態では、ECC2 ビットエラー検出時および ECC1 ビットエラー検出時にエラー通知が許可されます。ただし、割り込みコントローラの FEINTFMSK レジスタで割り込みをマスクしている場合、割り込み処理は行われません。
エラーステータス	ECC2 ビットエラーおよび ECC1 ビットエラーの検出を監視します。 どのエラーステータスもセットされていない場合のみ、本機能はセットされます。エラーステータスはクリアレジスタによってクリア可能です。
アドレスキャプチャ	どの ECC エラーステータスもセットされていない場合、最初のエラー発生時のアドレスがキャプチャされます。さらに、保持しているアドレス要因が ECC1 ビットエラーの場合、ECC2 ビットエラー検出した場合もキャプチャされます。
自己診断	RAM データと ECC ビットに任意のデータを書き込むことができます。 RAM データと ECC ビットをダイレクトに読み出すことができます。
その他	命令フェッチ時に ECC2 ビットエラー検出に応じて SYSERR 例外を発生させ、不正命令の実行を回避することができます。

注　意

ローカル RAM に対して、ECC エラー検出・訂正を有効にしてアクセスする場合、RAM を使用する前に、RAM アクセスの 32 ビット長で初期化してください。初期化前の RAM を読み出した場合、FE レベルのマスク可能な割り込みまたは SYSERR 例外処理を発生する可能性があります。

また、32 ビット長で初期化しなかった場合（例えば 8 ビットや 16 ビットのアクセスで初期化した場合）、FE レベルのマスク可能な割り込みまたは SYSERR 例外処理を発生する可能性があります。

40A.2.4.2　割り込み要求

ローカル RAM ECC の割り込み要求を以下に示します。

表 40A.27　ローカル RAM ECC の割り込み要求（CPU フェッチアクセス時）

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	RAM の ECC1 ビットエラー割り込み	SYSERR, INTECCRAM (SED & SECDIS＝1)	—
		INTECCRAM (SED & SECDIS＝0)	—
—	RAM の ECC2 ビットエラー割り込み	SYSERR、INTECCRAM	—

表 40A.28　ローカル RAM ECC の割り込み要求（CPU データアクセス時）

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	RAM の ECC1 ビットエラー割り込み	SYSERR, INTECCRAM (SED & SECDIS＝1)	—
		INTECCRAM (SED & SECDIS＝0)	—
—	RAM の ECC2 ビットエラー割り込み	SYSERR、INTECCRAM	—

表 40A.29　ローカル RAM ECC の割り込み要求（CPU アクセス以外のデータアクセス時）

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	RAM の ECC1 ビットエラー割り込み	INTECCRAM	—
—	RAM の ECC2 ビットエラー割り込み	INTECCRAM	—

40A.2.4.3　レジスター覧

表 40A.30　レジスター覧

モジュール名	アドレス	略号	レジスタ名	R/W	リセット後の値	アクセスサイズ
LRTST	FFC6 5004$_H$	LRTSTCTL_PE1	ローカル RAM テストコントロールレジスタ（PE1）	R/W	0000 0000$_H$	16/32
	FFC6 5008$_H$	LRTDATBF0_PE1	ローカル RAM テストデータリードバッファ 0（PE1）	R	0000 0000$_H$	32
	FFC6 5024$_H$	LRTSTCTL_PE2	ローカル RAM テストコントロールレジスタ（PE2）	R/W	0000 0000$_H$	16/32
	FFC6 5028$_H$	LRTDATBF0_PE2	ローカル RAM テストデータリードバッファ 0（PE2）	R	0000 0000$_H$	32
LRECC	FFC6 5400$_H$	LRECCCTL_PE1	ローカル RAM ECC コントロールレジスタ（PE1）	R/W	0000 0000$_H$	16/32
	FFC6 5404$_H$	LRERRINT_PE1	ローカル RAM エラー情報コントロールレジスタ（PE1）	R/W	0000 0003$_H$	8/16/32
	FFC6 5408$_H$	LRSTCLR_PE1	ローカル RAM ステータスクリアレジスタ（PE1）	W	0000 0000$_H$	8/16/32
	FFC6 540C$_H$	LROVFSTR_PE1	ローカル RAM エラーカウントオーバフローステータスレジスタ（PE1）	R	0000 0000$_H$	8/16/32
	FFC6 5410$_H$	LR1STERSTR_PE1	ローカル RAM 1st エラーステータスレジスタ（PE1）	R	0000 0000$_H$	8/16/32
	FFC6 5450$_H$	LR1STEADR0_PE1	ローカル RAM 1st エラーアドレスレジスタ 0（PE1）	R	0000 0000$_H$	8/16/32
	FFC6 5600$_H$	LRECCCTL_PE2	ローカル RAM ECC コントロールレジスタ（PE2）	R/W	0000 0000$_H$	16/32
	FFC6 5604$_H$	LRERRINT_PE2	ローカル RAM エラー情報コントロールレジスタ（PE2）	R/W	0000 0003$_H$	8/16/32
	FFC6 5608$_H$	LRSTCLR_PE2	ローカル RAM ステータスクリアレジスタ（PE2）	W	0000 0000$_H$	8/16/32
	FFC6 560C$_H$	LROVFSTR_PE2	ローカル RAM エラーカウントオーバフローステータスレジスタ（PE2）	R	0000 0000$_H$	8/16/32
	FFC6 5610$_H$	LR1STERSTR_PE2	ローカル RAM 1st エラーステータスレジスタ（PE2）	R	0000 0000$_H$	8/16/32
	FFC6 5650$_H$	LR1STEADR0_PE2	ローカル RAM 1st エラーアドレスレジスタ 0（PE2）	R	0000 0000$_H$	8/16/32

40A.2.4.4　レジスタ詳細

(1) LRTSTCTL_PE1/PE2 ― ローカル RAM テストコントロールレジスタ

LRTSTCTL_PE1/PE2 レジスタは ECC テスト（自己診断）時に使用するレジスタです。ECC テストモード（ECCTST＝1）設定後、ECC ビットへ任意のデータを書き込むことができます。RAM データ、ECC ビットの選択は DATSEL ビットで行います。

LRTSTCTL_PE1/PE2 レジスタへの書き込みは、PROT1, PROT0 を 01_B にして実行してください。

アクセス　LRTSTCTL_PE1、LRTSTCTL_PE2 レジスタは 32 ビット単位でリード／ライト可能です。
LRTSTCTL_PE1L、LRTSTCTL_PE2L レジスタは 16 ビット単位でリード／ライト可能です。

アドレス　LRTSTCTL_PE1：FFC6 5004_H
LRTSTCTL_PE1L：FFC6 5004_H
LRTSTCTL_PE2：FFC6 5024_H
LRTSTCTL_PE2L：FFC6 5024_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	ECCTST	DATSEL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 40A.31　LRTSTCTL_PE1/PE2 レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	PROT1	ECCTST、DATSEL ビットの書き換え可否を設定するためのビットです。 書き込み値は保持されません。読み出すと常に 0 が読み出されます。本レジスタへの書き込みは、PROT1, PROT0＝0, 1 で行ってください。
14	PROT0	
13～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	ECCTST	ECC テストビット ECC テストモード（ECCTST＝1）に設定すると、LRTDATBF0_PE1/PE2 レジスタを読み出すことによって ECC ビットのデータをリード、または直接 ECC ビットに書き込むことができます。 このビットの書き込み時は、PROT1, PROT0＝0, 1 を同時に書き込む必要があります。
0	DATSEL	データ選択ビット ECCTST＝1 のときに有効。書き込み時にアクセスできる RAM ビットを選択します。 このビットの書き込み時は、PROT1, PROT0＝0, 1 を同時に書き込む必要があります。 0：RAM データ選択 1：ECC ビット選択

注　意

ローカル RAM の ECC テストモードを有効（ECCTST＝1）にした場合、ローカル RAM へのアクセスは 4 バイト単位で実施してください。

(2) LRTDATBF0_PE1/PE2 ― ローカル RAM テストデータリードバッファ 0

ECC テスト（自己診断）時、ECC ビットを読み出すことができます。ローカル RAM テストコントロールレジスタ LRTSTCTL_PE1/PE2 で ECCTST＝1 のときに、ローカル RAM を読み出すと、ECC ビットが読み出され本バッファに保持されます。

アクセス　LRTDATBF0_PE1、LRTDATBF0_PE2 レジスタは 32 ビット単位でリードのみ可能です。

アドレス　LRTDATBF0_PE1：FFC6 5008_H

LRTDATBF0_PE2：FFC6 5028_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	LRTDATBF[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40A.32　LRTDATBF0_PE1/PE2 レジスタの内容

ビット位置	ビット名	機能
31～7	予約ビット	リードした場合はリセット後の値が読めます。
6～0	LRTDATBF[6:0]	ローカル RAM テストコントロールレジスタで ECCTST＝1（テストモード選択時）時に有効です。 ローカル RAM 読み出し時に、ローカル RAM の ECC ビットが LRTDATABF[6:0]に格納されます。

(3) LRECCCTL_PE1/PE2 ― ローカル RAM ECC コントロールレジスタ

LRECCCTL_PE1/PE2 レジスタは、ECC エラー検出・訂正の有効／無効、1 ビットエラー訂正の許可／禁止を設定するレジスタです。

LRECCCTL_PE1/PE2 レジスタへの書き込みは、PROT1, PROT0 を“01_B”にして実行してください。

アクセス	LRECCCTL_PE1、LRECCCTL_PE2 レジスタは 32 ビット単位でリード／ライト可能です。 LRECCCTL_PE1L、LRECCCTL_PE2L レジスタは 16 ビット単位でリード／ライト可能です。
アドレス	LRECCCTL_PE1：FFC6 5400_H LRECCCTL_PE1L：FFC6 5400_H LRECCCTL_PE2：FFC6 5600_H LRECCCTL_PE2L：FFC6 5600_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 40A.33　LRECCCTL_PE1/PE2 レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	PROT1	ECCDIS ビット、SECDIS ビットの書き換え可否を設定するためのビットです。書き込み値は保持されません。読み出すと常に 0 が読み出されます。本レジスタへの書き込みは、PROT1, PROT0＝0, 1 で行ってください。
14	PROT0	
13～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	SECDIS	1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正を許可／禁止するためのビットです。このビットの書き込み時は PROT1, PROT0＝0, 1 を同時に書き込む必要があります。 0：1 ビットエラー検出時にエラー訂正を許可する 1：1 ビットエラー検出時にエラー訂正を禁止する
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正の有効／無効を設定できます。このビットの書き込み時は PROT1, PROT0＝0, 1 を同時に書き込む必要があります。 0：ECC エラー検出・訂正が有効 1：ECC エラー検出・訂正が無効

(4) LRERRINT_PE1/PE2 — ローカル RAM エラー情報コントロールレジスタ

LRERRINT_PE1/PE2 レジスタは、ECC2 ビットエラーまたは ECC1 ビットエラー検出時に、割り込みコントローラへのエラー通知信号発生の有効／無効を設定するためのレジスタです。

アクセス　LRERRINT_PE1、LRERRINT_PE2 レジスタは、32 ビット単位でリード／ライト可能です。
LRERRINT_PE1L、LRERRINT_PE2L レジスタは、16 ビット単位でリード／ライト可能です。
LRERRINT_PE1LL、LRERRINT_PE2LL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　LRERRINT_PE1：FFC6 5404_H
LRERRINT_PE1L：FFC6 5404_H
LRERRINT_PE1LL：FFC6 5404_H
LRERRINT_PE2：FFC6 5604_H
LRERRINT_PE2L：FFC6 5604_H
LRERRINT_PE2LL：FFC6 5604_H

リセット後の値　0000 0003_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDIE	SEDIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 40A.34　LRERRINT_PE1/PE2 レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	DEDIE	ECC2 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知信号の発生を禁止／許可するビットです。 0：ECC2 ビットエラー通知禁止 1：ECC2 ビットエラー通知許可
0	SEDIE	ECC1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知信号の発生を禁止／許可するビットです。 0：ECC1 ビットエラー通知禁止 1：ECC1 ビットエラー通知許可

(5) LRSTCLR_PE1/PE2 ― ローカル RAM ステータスクリアレジスタ

LRSTCLR_PE1/PE2 レジスタは、エラーステータスレジスタ（LR1STERSTR_PE1/PE2）のエラーフラグ、エラーオーバフローステータスレジスタ（LROVFSTR_PE1/PE2）のオーバフローフラグ、およびエラーアドレスレジスタ（LR1STEADR0_PE1/PE2）をクリアするためのレジスタです。書き込み専用レジスタで読み出し値は常に 0 です。

アクセス　LRSTCLR_PE1、LRSTCLR_PE2 レジスタは、32 ビット単位でライトのみ可能です。
LRSTCLR_PE1L、LRSTCLR_PE2L レジスタは、16 ビット単位でライトのみ可能です。
LRSTCLR_PE1LL、LRSTCLR_PE2LL レジスタは、8 ビット単位でライトのみ可能です。

アドレス　LRSTCLR_PE1：FFC6 5408_H
LRSTCLR_PE1L：FFC6 5408_H
LRSTCLR_PE1LL：FFC6 5408_H
LRSTCLR_PE2：FFC6 5608_H
LRSTCLR_PE2L：FFC6 5608_H
LRSTCLR_PE2LL：FFC6 5608_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STCLR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 40A.35　LRSTCLR_PE1/PE2 レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	STCLR0	エラーステータスフラグクリアビット 本ビットに 1 を書き込むことで LR1STERSTR_PE1/PE2 レジスタの DEDF0, SEDF0 フラグ、LROVFSTR_PE1/PE2 レジスタの ERROVF0 フラグおよび LR1STEADR0_PE1/PE2 レジスタをクリアします。

(6) LROVFSTR_PE1/PE2 ― ローカル RAM エラーカウントオーバフローステータスレジスタ

LROVFSTR_PE1/PE2 レジスタは、エラーオーバフロー発生を監視するためのレジスタです。1st エラーが発生後、2nd エラーが発生した場合（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）、本レジスタのフラグがセットされます。ただし、2nd エラーの内容が、1st エラーと全く同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。ERROVF0 フラグは内部リセット、外部リセット、または LRSTCLR_PE1/PE2 レジスタの STCLR0 ビットへ 1 をセットすることでクリアされます。

アクセス　LROVFSTR_PE1、LROVFSTR_PE2 レジスタは、32 ビット単位でリードのみ可能です。
LROVFSTR_PE1L、LROVFSTR_PE2L レジスタは、16 ビット単位でリードのみ可能です。
LROVFSTR_PE1LL、LROVFSTR_PE2LL レジスタは、8 ビット単位でリードのみ可能です。

アドレス　LROVFSTR_PE1：FFC6 540C$_H$
LROVFSTR_PE1L：FFC6 540C$_H$
LROVFSTR_PE1LL：FFC6 540C$_H$
LROVFSTR_PE2：FFC6 560C$_H$
LROVFSTR_PE2L：FFC6 560C$_H$
LROVFSTR_PE2LL：FFC6 560C$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERROVF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40A.36　LROVFSTR_PE1/PE2 レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。
0	ERROVF0	エラーオーバフローフラグ エラーステータスレジスタのいずれかのエラーフラグ（DEDF0, SEDF0）がセットされている状態で 2nd エラーが発生した場合、ERROVF0 はセットされます。その際、2nd エラーのエラーアドレスとエラー要因共に 1st エラーと同じ場合を除きます。

(7) LR1STERSTR_PE1/PE2 ― ローカル RAM 1st エラーステータスレジスタ

LR1STERSTR_PE1/PE2 レジスタは、ECC エラー検出・訂正が有効の場合に、最初に発生したエラーを監視するためのレジスタです。エラーフラグが 0 の状態でエラーが発生した場合に、エラーステータスがセットされます。

なお、同時に複数のエラーが発生した場合は、該当するエラーフラグはすべてセットされます。
LR1STERSTR_PE1/PE2 レジスタは内部リセット、外部リセット、または LRSTCLR_PE1/PE2 レジスタの STCLR0 ビットへ 1 をセットすることでクリアされます。

アクセス	LR1STERSTR_PE1、R1STERSTR_PE2 レジスタは、32 ビット単位でリードのみ可能です。 LR1STERSTR_PE1L、LR1STERSTR_PE2L レジスタは、16 ビット単位でリードのみ可能です。 LR1STERSTR_PE1LL、LR1STERSTR_PE2LL レジスタは、8 ビット単位でリードのみ可能です。
アドレス	LR1STERSTR_PE1：FFC6 5410_H LR1STERSTR_PE1L：FFC6 5410_H LR1STERSTR_PE1LL：FFC6 5410_H LR1STERSTR_PE2：FFC6 5610_H LR1STERSTR_PE2L：FFC6 5610_H LR1STERSTR_PE2LL：FFC6 5610_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDF0	SEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40A.37　LR1STERSTR_PE1/PE2 レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1	DEDF0	ECC2 ビットエラーモニタフラグ 0：ECC2 ビットエラーは検出していません。 1：ECC2 ビットエラーは検出しました。 クリア条件： LRSTCLR_PE1/PE2.STCLR0 ビットに 1 をセット セット条件： DEDF0 が 0 の状態で、ECC2 ビットエラー検出
0	SEDF0	ECC1 ビットエラーモニタフラグ 0：ECC1 ビットエラーは検出していません。 1：ECC1 ビットエラーは検出しました。 クリア条件： LRSTCLR_PE1/PE2.STCLR0 ビットに 1 をセット セット条件： DEDF0、SEDF0 がどちらも 0 の状態で、ECC1 ビットエラー検出

(8) LR1STEADR0_PE1/PE2 ― ローカル RAM 1st エラーアドレスレジスタ 0

LR1STEADR0_PE1/PE2 レジスタは、エラー発生時のアドレスを保持するためのレジスタです。

LR1STERSTR_PE1/PE2 レジスタのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスをセットします。1st エラーとして ECC1 ビットエラーフラグをセットした状態で ECC2 ビットエラーが発生すると、アドレス情報を更新します。一度 ECC2 ビットエラーが発生すると、アドレス情報の更新はしません。

本レジスタには内部アドレスが保持されますので、各メモリのベースアドレス[31:19]ビットを加算して実アドレスへ変換してください。R1STEADR0_PE1/PE2 レジスタは内部リセット、外部リセット、または LRSTCLR_PE1/PE2 レジスタの STCLR0 ビットへ 1 をセットすることでクリアされます。

アクセス LR1STEADR0_PE1、LR1STEADR0_PE2 レジスタは、32 ビット単位でリードのみ可能です。

LR1STEADR0_PE1L、LR1STEADR0_PE1H、LR1STEADR0_PE2L、LR1STEADR0_PE2H レジスタは、16 ビット単位でリードのみ可能です。

LR1STEADR0_PE1LL、LR1STEADR0_PE1LH、LR1STEADR0_PE1HL、LR1STEADR0_PE2LL、LR1STEADR0_PE2LH、LR1STEADR0_PE2HL レジスタは、8 ビット単位でリードのみ可能です。

アドレス LR1STEADR0_PE1 : FFC6 5450_H

LR1STEADR0_PE1L : FFC6 5450_H

LR1STEADR0_PE1H : FFC6 5452_H

LR1STEADR0_PE1LL : FFC6 5450_H

LR1STEADR0_PE1LH : FFC6 5451_H

LR1STEADR0_PE1HL : FFC6 5452_H

LR1STEADR0_PE2 : FFC6 5650_H

LR1STEADR0_PE2L : FFC6 5650_H

LR1STEADR0_PE2H : FFC6 5652_H

LR1STEADR0_PE2LL : FFC6 5650_H

LR1STEADR0_PE2LH : FFC6 5651_H

LR1STEADR0_PE2HL : FFC6 5652_H

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	EADR[18:16]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EADR[15:2]														—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40A.38　LR1STEADR0_PE1/PE2 レジスタの内容

ビット位置	ビット名	機能
31～19	予約ビット	リードした場合はリセット後の値が読めます。
18～2	EADR[18:2]	1st エラー発生アドレス 1st エラー発生時のアドレスを監視するためのレジスタです。 LR1STERSTR_PE1/PE2 レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。1st エラーとして ECC1 ビットエラーフラグがセットされている状態で ECC2 ビットエラーが発生すると、アドレス情報を更新します。ECC2 ビットエラー発生後はアドレス情報の更新はしません。
1、0	予約ビット	リードした場合はリセット後の値が読めます。

40A.2.5　グローバル RAM（リテンション RAM を含む）の ECC

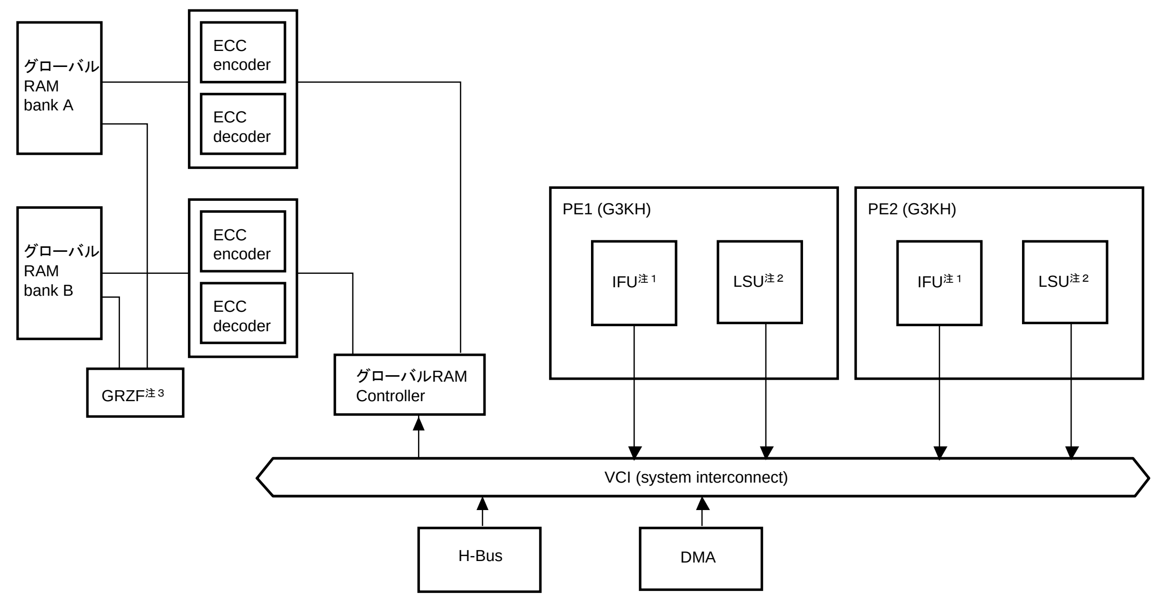
40A.2.5.1　概要

注　意

リテンション RAM は、グローバル RAM の一部です。リテンション RAM に対する ECC はグローバル RAM と共有されています。したがって、リテンション RAM の場合もグローバル RAM と同じレジスタを使用します。

RH850/F1KH では、ECC エンコーダと ECC デコーダがバンク毎（バンク A とバンク B）に用意されています。

「**図 40A.2 グローバル RAM ECC のブロック図**」にグローバル RAM の 2 つの ECC エンコーダと ECC デコーダの配置を示します。



注1.　命令フェッチユニット

注2.　ロードストアユニット

注3.　GRZF から RAM に直接アクセスします。詳細は、「**45.3 グローバル RAM ゼロフィル（GRZF）**」を参照してください。

図 40A.2　　グローバル RAM ECC のブロック図

グローバル RAM 用 ECC の概要を以下に示します。

表 40A.39　グローバル RAM 用 ECC 概要

項目	説明
ECC エラー検出・訂正	ECC エラー検出・訂正の有効／無効を選択可能 有効時は下記設定のいずれかを選択可能。 ● 2 ビットエラー検出と 1 ビットエラー検出・訂正を行います。 ● 2 ビットエラー検出と 1 ビットエラー検出を行います。 無効時はエラー検出・訂正を行いません。 初期状態では、ECC 機能は有効で 1 ビットエラー検出・訂正、2 ビットエラー検出を行います。
エラー通知	ECC エラー発生時は、エラー通知を行います。 ● ECC1 ビットエラーを検出した場合のエラー通知を、許可または禁止できます。 データアクセスおよび命令フェッチ中に ECC1 ビットエラー（SECDIS＝1）が検出された場合のエラー（SYSERR 例外）通知を、許可または禁止できます。 SYSERR の詳細については、**「第 3A 章　RH850/F1KH-D8 の CPU システム」**を参照してください。 ECC コントローラの初期状態では、ECC2 ビットエラー検出時および ECC1 ビットエラー検出時にエラー通知が許可されます。 ただし、割り込みコントローラの FEINTFMSK レジスタで割り込みをマスクしている場合、割り込み処理は行われません。
エラーステータス	ECC2 ビットエラー検出、ECC1 ビットエラー検出の状態を示すステータスレジスタを備えます。どのエラーステータスもセットされていない状態でエラーが発生したとき、対応するステータスがセットされます。 エラーステータスはクリアレジスタによってクリア可能です。
アドレスキャプチャ	どの ECC エラーステータスもセットされていない場合、最初の ECC エラー発生時のアドレスをキャプチャします。さらに、保持しているアドレス要因が ECC1 ビットエラーの場合、ECC2 ビットエラーのアドレスもキャプチャされます。
自己診断	RAM データと ECC ビットに任意のデータを書き込むことができます。 RAM データをダイレクトに読み出すことができます。
その他	命令フェッチ時の ECC2 ビットエラー検出に応じて SYSERR 例外を発生させ、不正命令の実行を回避することができます。

40A.2.5.2　割り込み要求

グローバル RAM ECC の割り込み要求を以下に示します。

表 40A.40　グローバル RAM ECC の割り込み要求（CPU フェッチアクセス時）

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	RAM の ECC1 ビットエラー割り込み	SYSERR, INTECCRAM (SED & SECDIS＝1)	—
		INTECCRAM (SED & SECDIS＝0)	—
—	RAM の ECC2 ビットエラー割り込み	SYSERR, INTECCRAM	—

表 40A.41　グローバル RAM ECC の割り込み要求（CPU データアクセス時）

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	RAM の ECC1 ビットエラー割り込み	SYSERR, INTECCRAM (SED & SECDIS＝1)	—
		INTECCRAM (SED & SECDIS＝0)	—
—	RAM の ECC2 ビットエラー割り込み	SYSERR, INTECCRAM	—

表 40A.42　グローバル RAM ECC の割り込み要求（CPU アクセス以外のデータアクセス時）

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	RAM の ECC1 ビットエラー割り込み	INTECCRAM	—
—	RAM の ECC2 ビットエラー割り込み	INTECCRAM	—

40A.2.5.3 レジスタ一覧

表 40A.43 レジスタ一覧

モジュール名	アドレス	略号	レジスタ名	R/W	リセット後の値	アクセスサイズ
GRECC	FFC6 4000_H	GRECCCTL_BKA	グローバル RAM ECC コントロールレジスタ（バンク A）	R/W	0000 0000_H	16/32
	FFC6 4004_H	GRERRINT_BKA	グローバル RAM エラー情報コントロールレジスタ（バンク A）	R/W	0000 0001_H	8/16/32
	FFC6 4010_H	GRSTCLR_BKA	グローバル RAM ステータスクリアレジスタ（バンク A）	W	0000 0000_H	8/16/32
	FFC6 4014_H	GROVFSTR_BKA	グローバル RAM エラーカウントオーバフローステータスレジスタ（バンク A）	R	0000 0000_H	8/16/32
	FFC6 4018_H	GR1STERSTR_BKA	グローバル RAM 1st エラーステータスレジスタ（バンク A）	R	0000 0000_H	8/16/32
	FFC6 $401C_H$	GR1STEADR_BKA	グローバル RAM 1st エラーアドレスレジスタ（バンク A）	R	FEE0 0000_H	8/16/32
	FFC6 4020_H	GRTSTCTL_BKA	グローバル RAM テストコントロールレジスタ（バンク A）	R/W	0000 0000_H	16/32
	FFC6 4024_H	GRDECINBF1_BKA	グローバル RAM ECC デコーダ入力データバッファ 1（バンク A）	R/W	0000 0000_H	8/16/32
	FFC6 4200_H	GRECCCTL_BKB	グローバル RAM ECC コントロールレジスタ（バンク B）	R/W	0000 0000_H	16/32
	FFC6 4204_H	GRERRINT_BKB	グローバル RAM エラー情報コントロールレジスタ（バンク B）	R/W	0000 0001_H	8/16/32
	FFC6 4210_H	GRSTCLR_BKB	グローバル RAM ステータスクリアレジスタ（バンク B）	W	0000 0000_H	8/16/32
	FFC6 4214_H	GROVFSTR_BKB	グローバル RAM エラーカウントオーバフローステータスレジスタ（バンク B）	R	0000 0000_H	8/16/32
	FFC6 4218_H	GR1STERSTR_BKB	グローバル RAM 1st エラーステータスレジスタ（バンク B）	R	0000 0000_H	8/16/32
	FFC6 $421C_H$	GR1STEADR_BKB	グローバル RAM 1st エラーアドレスレジスタ（バンク B）	R	FEF0 0000_H	8/16/32
	FFC6 4220_H	GRTSTCTL_BKB	グローバル RAM テストコントロールレジスタ（バンク B）	R/W	0000 0000_H	16/32
	FFC6 4224_H	GRDECINBF1_BKB	グローバル RAM ECC デコーダ入力データバッファ 1（バンク B）	R/W	0000 0000_H	8/16/32

備考 略号において、“_BKA”、“_BKB”が付いているレジスタは、各バンクごとに用意されているレジスタとなります。“BKA”はバンク A、“BKB”はバンク B を示します。

40A.2.5.4　レジスタ詳細

(1) GRECCCTL_BKA/BKB — グローバル RAM ECC コントロールレジスタ

GRECCCTL_BKA/BKB レジスタは、ECC エラー検出・訂正の有効／無効、1 ビットエラー訂正の許可／禁止を設定するレジスタです。GRECCCTL_BKA/BKB レジスタへの書き込みは PROT1、PROT0 を 01_B にして実行してください。

本レジスタの設定は、対応するアクセスポートを経由するアクセスに反映されます。

アクセス　GRECCCTL_BKA、GRECCCTL_BKB レジスタは、32 ビット単位でリード／ライト可能です。
GRECCCTL_BKAL、GRECCCTL_BKBL レジスタは、16 ビット単位でリード／ライト可能です。

アドレス　GRECCCTL_BKA : FFC6 4000_H
GRECCCTL_BKAL : FFC6 4000_H
GRECCCTL_BKB : FFC6 4200_H
GRECCCTL_BKBL : FFC6 4200_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 40A.44　GRECCCTL_BKA/BKB レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	PROT1	ECCDIS ビット、SECDIS ビットの書き換え可否を設定するためのビットです。 書き込みデータは保持されません。読み出すと常に 0 が読み出されます。 本レジスタへの書き込みは、PROT1, PROT0＝0, 1 で行ってください。
14	PROT0	
13～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	SECDIS	1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正の許可／禁止を設定するためのビットです。このビットの書き込み時は PROT1, PROT0＝0, 1 を同時に書き込む必要があります。 0 : 1 ビットエラー検出時にエラー訂正する 1 : 1 ビットエラー検出時にエラー訂正しない
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正機能の有効／無効を設定できます。このビットの書き込み時は PROT1, PROT0＝0, 1 を同時に書き込む必要があります。 0 : ECC エラー検出・訂正機能が有効 1 : ECC エラー検出・訂正機能が無効

(2) GRERRINT_BKA/BKB — グローバル RAM エラー情報コントロールレジスタ

GRERRINT_BKA/BKB レジスタは、ECC1 ビットエラー検出時にエラー通知信号発生の有効／無効を設定するためのレジスタです。

本レジスタの設定は、対応するアクセスポートを経由するアクセスに反映されます。

アクセス　GRERRINT_BKA、GRERRINT_BKB レジスタは、32 ビット単位でリード／ライト可能です。
GRERRINT_BKAL、GRERRINT_BKBL レジスタは、16 ビット単位でリード／ライト可能です。
GRERRINT_BKALL、GRERRINT_BKBLL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　GRERRINT_BKA：FFC6 4004_H
GRERRINT_BKAL：FFC6 4004_H
GRERRINT_BKALL：FFC6 4004_H
GRERRINT_BKB：FFC6 4204_H
GRERRINT_BKBL：FFC6 4204_H
GRERRINT_BKBLL：FFC6 4204_H

リセット後の値　0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SEDIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 40A.45　GRERRINT_BKA/BKB レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
0	SEDIE	ECC1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知の発生を制御するビットです。 0：ECC1 ビットエラー通知禁止 1：ECC1 ビットエラー通知許可

(3) GRSTCLR_BKA/BKB ― グローバル RAM ステータスクリアレジスタ

GRSTCLR_BKA/BKB レジスタは、エラーステータスレジスタ（GR1STERSTR_BKA/BKB）のエラーフラグ、エラーオーバフローステータスレジスタ（GROVFSTR_BKA/BKB）のオーバフローフラグ、およびエラーアドレスレジスタ（GR1STEADR_BKA/BKB）をクリアするためのレジスタです。書き込み専用レジスタで読み出し値は常に 0 です。

本レジスタの設定は、対応するアクセスポートを経由するアクセスに反映されます。

アクセス　GRSTCLR_BKA、GRSTCLR_BKB レジスタは、32 ビット単位でライトのみ可能です。
GRSTCLR_BKAL、GRSTCLR_BKBL レジスタは、16 ビット単位でライトのみ可能です。
GRSTCLR_BKALL、GRSTCLR_BKBLL レジスタは、8 ビット単位でライトのみ可能です。

アドレス　GRSTCLR_BKA：FFC6 4010H
GRSTCLR_BKAL：FFC6 4010H
GRSTCLR_BKALL：FFC6 4010H
GRSTCLR_BKB：FFC6 4210H
GRSTCLR_BKBL：FFC6 4210H
GRSTCLR_BKBLL：FFC6 4210H

リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STCLR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 40A.46　GRSTCLR_BKA/BKB レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	書き込み時は 0 を書き込んでください。
0	STCLR0	エラーステータスフラグクリアビット GR1STERSTR_BKA/BKB レジスタの DEDF, SEDF フラグ、GROVFSTR_BKA/BKB レジスタの ERROVF0 フラグ、および GR1STEADR_BKA/BKB レジスタの EADR[19:0]をクリアします。

(4) GROVFSTR_BKA/BKB — グローバル RAM エラーカウントオーバフローステータスレジスタ

GROVFSTR_BKA/BKB レジスタは、エラーオーバフロー発生を監視するためのレジスタです。1st エラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の 2nd エラーが発生した場合に本フラグがセットされます。ただし、2nd エラーの内容が、1st エラーと全く同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。

本レジスタの設定は、対応するアクセスポートを経由するアクセスに反映されます。

アクセス　GROVFSTR_BKA、GROVFSTR_BKB レジスタは、32 ビット単位でリードのみ可能です。
GROVFSTR_BKAL、GROVFSTR_BKBL レジスタは、16 ビット単位でリードのみ可能です。
GROVFSTR_BKALL、GROVFSTR_BKBLL レジスタは、8 ビット単位でリードのみ可能です。

アドレス　GROVFSTR_BKA：FFC6 4014_H
GROVFSTR_BKAL：FFC6 4014_H
GROVFSTR_BKALL：FFC6 4014_H
GROVFSTR_BKB：FFC6 4214_H
GROVFSTR_BKBL：FFC6 4214_H
GROVFSTR_BKBLL：FFC6 4214_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERROVF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40A.47　GROVFSTR_BKA/BKB レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。
0	ERROVF0	エラーオーバフローフラグ エラーステータスレジスタのいずれかのエラーフラグ（DEDF, SEDF）が発生している状態で、2nd エラーが発生した場合にセットされます。 2nd エラーの内容が、エラー要因、エラーアドレスともに 1st エラーと同じ場合はセットされません。

(5) GR1STERSTR_BKA/BKB — グローバル RAM 1st エラーステータスレジスタ

GR1STERSTR_BKA/BKB レジスタは、最初に発生したエラーをモニタするためのレジスタです。エラーフラグが 0 の状態でエラーが発生した場合に、エラーステータスがセットされます。ただし、SEDF ビットがセットされている状態で ECC2 ビットエラーが発生した場合のみ、エラーフラグはセットされます。

GR1STERSTR_BKA/BKB レジスタは内部リセット、外部リセット、または GRSTCLR_BKA/BKB レジスタの STCLR0 ビットへ 1 をセットすることでクリアされます。

本レジスタの設定は、対応するアクセスポートを経由するアクセスに反映されます。

アクセス　GR1STERSTR_BKA、GR1STERSTR_BKB レジスタは、32 ビット単位でリードのみ可能です。
GR1STERSTR_BKAL、GR1STERSTR_BKBL レジスタは、16 ビット単位でリードのみ可能です。
GR1STERSTR_BKALL、GR1STERSTR_BKBLL レジスタは、8 ビット単位でリードのみ可能です。

アドレス　GR1STERSTR_BKA：FFC6 4018_H
GR1STERSTR_BKAL：FFC6 4018_H
GR1STERSTR_BKALL：FFC6 4018_H
GR1STERSTR_BKB：FFC6 4218_H
GR1STERSTR_BKBL：FFC6 4218_H
GR1STERSTR_BKBLL：FFC6 4218_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDF	SEDF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40A.48　GR1STERSTR_BKA/BKB レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1	DEDF	ECC2 ビットエラーモニタフラグ 0：ECC2 ビットエラーが検出されていません。 1：ECC2 ビットエラーが検出されました。 クリア条件： GRSTCLR_BKA/BKB レジスタの STCLR0 ビットのセット セット条件： DEDF が 0 の状態で、ECC2 ビットエラーを検出
0	SEDF	ECC1 ビットエラーモニタフラグ 0：ECC1 ビットエラーが検出されていません。 1：ECC1 ビットエラーが検出されました。 クリア条件： GRSTCLR_BKA/BKB レジスタの STCLR0 ビットのセット セット条件： DEDF、SEDF がすべて 0 の状態で、ECC1 ビットエラーを検出

(6) GR1STEADR_BKA/BKB — グローバル RAM 1st エラーアドレスレジスタ

GR1STEADR_BKA/BKB レジスタは、エラー発生時のアドレスを保持するためのレジスタです。

GR1STERSTR_BKA/BKB レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを更新します。また、1st エラーのエラーフラグが ECC1 ビットエラーの場合に ECC2 ビットエラーが発生するとアドレス情報を更新します。ECC2 ビットエラー発生後はアドレス情報の更新はしません。

GR1STEADR_BKA/BKB レジスタは内部リセット、外部リセット、または GRSTCLR_BKA/BKB レジスタの STCLR0 ビットへ 1 をセットすることでクリアされます。

本レジスタの設定は、対応するアクセスポートを経由するアクセスに反映されます。

アクセス　GR1STEADR_BKA、GR1STEADR_BKB レジスタは、32 ビット単位でリードのみ可能です。

GR1STEADR_BKAL、GR1STEADR_BKBL、GR1STEADR_BKAH、GR1STEADR_BKBH レジスタは、16 ビット単位でリードのみ可能です。

GR1STEADR_BKALL、GR1STEADR_BKALH、GR1STEADR_BKAHL、GR1STEADR_BKBLL、GR1STEADR_BKBLH、GR1STEADR_BKBHL レジスタは、8 ビット単位でリードのみ可能です。

アドレス　GR1STEADR_BKA：FFC6 401C$_H$

GR1STEADR_BKAL：FFC6 401C$_H$

GR1STEADR_BKALL：FFC6 401C$_H$

GR1STEADR_BKALH：FFC6 401D$_H$

GR1STEADR_BKAH：FFC6 401E$_H$

GR1STEADR_BKAHL：FFC6 401E$_H$

GR1STEADR_BKB：FFC6 421C$_H$

GR1STEADR_BKBL：FFC6 421C$_H$

GR1STEADR_BKBLL：FFC6 421C$_H$

GR1STEADR_BKBLH：FFC6 421D$_H$

GR1STEADR_BKBH：FFC6 421E$_H$

GR1STEADR_BKBHL：FFC6 421E$_H$

リセット後の値　GR1STEADR_BKA：FEE0 0000$_H$, GR1STEADR_BKB：FEF0 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	EADR[19:16]			
リセット後の値	1	1	1	1	1	1	1	0	1	1	1	0/1 注1	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EADR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40A.49　 GR1STEADR_BKA/BKB レジスタの内容

ビット位置	ビット名	機能
31～20	予約ビット	リードした場合はリセット後の値が読めます。
19～0	EADR[19:0]	1st エラー発生アドレス 1st エラー発生時のアドレスをモニタするためのレジスタです。 GR1STERSTR_BKA/BKB レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを更新します。また、1st エラーのエラーフラグが ECC1 ビットエラーの場合に ECC2 ビットエラーが発生するとアドレス情報を更新します。ECC2 ビットエラー発生後はアドレス情報の更新はしません。

注1.　リセット後の値はバンク A、バンク B によって異なります。

(7) GRTSTCTL_BKA/BKB — グローバル RAM テストコントロールレジスタ

ECC テスト（自己診断）時に使用するレジスタです。ECC テストモード（ECCTST＝1）設定後、ECC ビットへ任意のデータを書き込むことができます。

また、グローバル RAM コントローラ内の ECC デコーダの入出力を制御し、テスト（自己診断）することが可能です。

本レジスタへの書き込みは、PROT1、PROT0 を 1 にして実行してください。

アクセス	GRTSTCTL_BKA、GRTSTCTL_BKB レジスタは、32 ビット単位でリード／ライト可能です。 GRTSTCTL_BKAL、GRTSTCTL_BKBL レジスタは、16 ビット単位でリード／ライト可能です。
アドレス	GRTSTCTL_BKA：FFC6 4020_H GRTSTCTL_BKAL：FFC6 4020_H GRTSTCTL_BKB：FFC6 4220_H GRTSTCTL_BKBL：FFC6 4220_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	—	ECCTST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 40A.50 GRTSTCTL_BKA/BKB レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
15	PROT1	ECCTST ビットの書き換え可否を設定するためのビットです。 書き込みデータは保持されません。読みだすと常に 0 が読みだされます。 本レジスタへの書き込みは、PROT1, PROT0＝0, 1 で行ってください。
14	PROT0	
13～1	予約ビット	常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
0	ECCTST	ECC テストビット RAM に書き込む ECC データの切り替えを許可するためのビットです。 本レジスタへの書き込みは、PROT1, PROT0＝0, 1 で行ってください。 0：ECC エンコーダの出力を RAM 用 ECC データとします。 1：レジスタ出力を RAM 用 ECC データとします。

(8) GRDECINBF1_BKA/BKB — グローバル RAM ECC デコーダ入力データバッファ 1

本レジスタの値は、GRTSTCTL_BKA/BKB.ECCTST＝1（テストモード）時にグローバル RAM にライトアクセスすると、グローバル RAM の 7 ビットの ECC データとして扱う事ができます。

アクセス　GRDECINBF1_BKA、GRDECINBF1_BKB レジスタは、32 ビット単位でリード／ライト可能です。
GRDECINBF1_BKAL、GRDECINBF1_BKBL レジスタは、16 ビット単位でリード／ライト可能です。
GRDECINBF1_BKALL、GRDECINBF1_BKBLL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　GRDECINBF1_BKA：FFC6 4024_H
GRDECINBF1_BKAL：FFC6 4024_H
GRDECINBF1_BKALL：FFC6 4024_H
GRDECINBF1_BKB：FFC6 4224_H
GRDECINBF1_BKBL：FFC6 4224_H
GRDECINBF1_BKBLL：FFC6 4224_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	GRDECINBF1[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 40A.51　GRDECINBF1_BKA/BKB レジスタの内容

ビット位置	ビット名	機能
31～7	予約ビット	常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
6～0	GRDECINBF1[6:0]	ECCTST＝1（テストモード）時に有効です。グローバル RAM への書き込み動作により、本レジスタのデータは 7 ビットの ECC RAM に書き込まれるデータとなります。

40A.2.6 周辺 RAM の ECC

40A.2.6.1 概要

以下の周辺モジュールの RAM 用の ECC モジュールです。

- MMCA
- CSIH
- RS-CANFD
- FlexRay
- Ethernet AVB

表 40A.52 周辺 RAM ECC の機能一覧

項目	説明
ECC エラー検出／訂正	ECC エラーの検出と訂正を有効または無効にすることができます。 次のいずれかの設定を選択できます。 ● 2 ビットエラー検出と 1 ビットエラー検出／訂正 ● 2 ビットエラー検出と 1 ビットエラー検出 ECC エラー検出／訂正を無効にすることもできます（スルーモード時）。 初期状態は、2 ビットエラー検出と 1 ビットエラー検出／訂正です。
エラー通知	ECC エラー発生時は、エラー通知を行います。 ● ECC2 ビットエラー検出時のエラー通知許可／禁止を選択可 ● ECC1 ビットエラー検出時のエラー通知許可／禁止を選択可 ECC コントローラの初期状態では、2 ビットエラー検出時のエラー通知許可、および 1 ビットエラー検出時のエラー通知禁止。ただし、FEINTFMSK レジスタで割り込みをマスクしている場合、割り込み処理は行われません。
エラーステータス	ECC2 ビットエラー検出、ECC1 ビットエラー検出をモニタできます。 エラーステータスのクリアレジスタを搭載しています。
アドレスキャプチャ	ECC エラーが発生した 1 つのアドレスのみをキャプチャできます。 ECC2 ビットまたは 1 ビットエラーの検出時に信号が生成され、この信号をトリガとしてエラー発生アドレスがキャプチャされます（フラグクリア後の最初の（1 ビットまたは 2 ビット）エラー検出時）。

注　意

ECC によるエラー検出・訂正を行う場合、RS-CANFD と FlexRay については RAM 領域の初期化を行ってから使用してください。

40A.2.6.2 割り込み要求

以下に周辺 RAM の ECC 割り込み要求を示します。

表 40A.53　MMCA ECC の割り込み要求（FE レベルマスカブル割り込み）

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	MMCA0 ECC1 ビットエラー／ECC2 ビットエラー割り込み	INTECCMMCA0RAM	—

表 40A.54　CSIHn ECC の割り込み要求（FE レベルマスカブル割り込み）

ユニット割り込み信号	説明	名称	DMA トリガ番号
INTECCCSIHn	CSIHn ECC1 ビットエラー／ECC2 ビットエラー割り込み	INTECCCSIH0	—
		INTECCCSIH1	
		INTECCCSIH2	
		INTECCCSIH3	
		INTECCCSIH4	

表 40A.55　RCFDCn ECC の割り込み要求（FE レベルマスカブル割り込み）

ユニット割り込み信号	説明	名称	DMA トリガ番号
ECCCNFDRAMFEIF	RCFDCn ECC1 ビットエラー／ECC2 ビットエラー割り込み	INTECCCNFDRAM0	—
		INTECCCNFDRAM1	

表 40A.56　FlexRay ECC の割り込み要求（FE レベルマスカブル割り込み）

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	FLXA0 ECC1 ビットエラー／ECC2 ビットエラー割り込み	INTECCFLRAM	—

表 40A.57　Ethernet AVB ECC の割り込み要求（FE レベルマスカブル割り込み）

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	ETNBn ECC1 ビットエラー／ECC2 ビットエラー割り込み	INTECCETH0	—
		INTECCETH1	

40A.2.6.3　レジスタ一覧

(1) ECC モジュール一覧

複数の周辺機能の RAM に対して、本 ECC モジュールが搭載されています。以下に、本 ECC モジュールを実装している周辺機能と、それに対応する ECC モジュール名、各 ECC モジュールのベースアドレスを示します。

表 40A.58　ECC モジュール一覧

対応する周辺機能		モジュール名	ECC モジュール名とレジスタベースアドレス	
			ベースアドレス名	ベースアドレス <base_addr>
MMCA0	転送バッファ（TBFA）	ECCMMCA0A	<ECCMMCA0A_base>	FFED $A000_H$
	転送バッファ（TBFB）	ECCMMCA0B	<ECCMMCA0B_base>	FFED $A100_H$
CSIHn	バッファ I/O（CSIH RAM）	ECCCSIH0	<ECCCSIH0_base>	FFC7 0100_H
		ECCCSIH1	<ECCCSIH1_base>	FFC7 0200_H
		ECCCSIH2	<ECCCSIH2_base>	FFC7 0300_H
		ECCCSIH3	<ECCCSIH3_base>	FFC7 0400_H
		ECCCSIH4	<ECCCSIH4_base>	FFC7 0500_H
RCFDC0	メッセージバッファ RAM（MB RAM）	ECCCFD0MB	<ECCCFD0MB_base>	FFC7 1300_H
	アクセプタンスフィルタリスト RAM0（AFL0 RAM）	ECCCFD0AFL0	<ECCCFD0AFL0_base>	FFC7 1400_H
	アクセプタンスフィルタリスト RAM1（AFL1 RAM）	ECCCFD0AFL1	<ECCCFD0AFL1_base>	FFC7 1500_H
RCFDC1	メッセージバッファ RAM（MB RAM）	ECCCFD1MB	<ECCCFD1MB_base>	FFC7 $1A00_H$
	アクセプタンスフィルタリスト RAM0（AFL0 RAM）	ECCCFD1AFL0	<ECCCFD1AFL0_base>	FFC7 $1B00_H$
	アクセプタンスフィルタリスト RAM1（AFL1 RAM）	ECCCFD1AFL1	<ECCCFD1AFL1_base>	FFC7 $1C00_H$
FLXA0	メッセージ RAM（MRAM）	ECCFLXA0	<ECCFLXA0_base>	FFC7 3100_H
	テンポラリバッファ（TBFA）	ECCFLXA0T0	<ECCFLXA0T0_base>	FFC7 3200_H
	テンポラリバッファ（TBFB）	ECCFLXA0T1	<ECCFLXA0T1_base>	FFC7 3300_H
ETNB0	送信 FIFO RAM（TXRAM）	ECCETNB0TX	<ECCETNB0TX_base>	FFC7 4100_H
	受信 FIFO RAM（RXRAM）	ECCETNB0RX	<ECCETNB0RX_base>	FFC7 4200_H
ETNB1	送信 FIFO RAM（TXRAM）	ECCETNB1TX	<ECCETNB1TX_base>	FFC7 4300_H
	受信 FIFO RAM（RXRAM）	ECCETNB1RX	<ECCETNB1RX_base>	FFC7 4400_H

(2) レジスター覧

各 ECC モジュールは以下のレジスタを備えます。

表 40A.59　レジスター覧

モジュール名	レジスタ名	略称	アドレス
「表 40A.58 ECC モジュール一覧」を参照	ECC コントロールレジスタ	<Module_Name>CTL	<base_addr> + 00_H
	ECC テストモードコントロールレジスタ	<Module_Name>TMC	<base_addr> + 04_H
	ECC エンコード／デコード入出力代替テストレジスタ	<Module_Name>TED	<base_addr> + $0C_H$
	ECC 冗長ビットデータコントロールテストレジスタ	<Module_Name>TRC	<base_addr> + 08_H
	ECC デコードシンドロームデータレジスタ	<Module_Name>SYND	<base_addr> + $0B_H$
	ECC7 ビット冗長ビットデータ保持テストレジスタ	<Module_Name>HORD	<base_addr> + $0A_H$
	ECC エンコードテストレジスタ	<Module_Name>ECRD	<base_addr> + 09_H
	ECC リダンタントビット入出力代替バッファレジスタ	<Module_Name>ERDB	<base_addr> + 08_H
	ECC エラーアドレスレジスタ 0	<Module_Name>AD0	<base_addr> + 10_H
SL_READTEST	ECCREAD テスト選択レジスタ	SELB_READTEST	FFC7 8000_H

40A.2.6.4　レジスタ詳細

(1) <Module_Name>CTL — ECC コントロールレジスタ

<Module_Name>CTL レジスタは対象となる周辺モジュールの ECC のモードを制御、およびステータスの制御を行うレジスタです。

ビット 7、5～3 の設定（書き込み）は対象周辺モジュールが動作していない時に行ってください。

また、ビット 7 への書き込みは EMCA1, EMCA0 を 01_B にして実行してください。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　**「表 40A.58 ECC モジュール一覧」**、**「表 40A.59 レジスター覧」**を参照。

リセット後の値　$001X_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EMCA1	EMCA0	—	—	ECCOVFF	ECER2C	ECER1C	—	ECTHM	—	EC1ECP	EC2EDIC	EC1EDIC	ECER2F	ECER1F	ECEMF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	—
R/W	R/W[注1]	R/W[注1]	R	R	R	R/W[注1]	R/W[注1]	R	R/W	R	R/W	R/W	R/W	R	R	R

注1.　リード値は常に 0 が読み出されます。

表 40A.60　<Module_Name>CTL レジスタの内容

ビット位置	ビット名	機能
15	EMCA1	ECC モード選択ビットへのアクセス制御ビット 1、0 本ビットは ECTHM（ビット 7）の書き換え可否を設定するためのビットです。 書き込みデータは保持されません。読み出すと常に 0 が読み出されます。本ビットのデータ値が 01_B のとき、ビット 7 への書込みが可能になります。
14	EMCA0	
13、12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11	ECCOVFF	エラーステータスがセットされ、新しいエラーのアドレスがラッチ済みのものとは異なる場合（クリアされておらず、リセットも行われていない）、エラーを検出すると、このビットがセットされます。 0：ECER2F、ECER1F をクリアしてリセットした後、オーバフローは発生しない。 1：エラーアドレスレジスタでオーバフローが発生する。 **備考）**　このビットのクリア条件は以下となります。 (1) リセット (2) ECER2F＝1 での ECER2C＝1 の書き込み、または ECER1F＝1 での ECER1C＝1 の書き込み (3) スルーモード許可選択（ECTHM＝1）
10	ECER2C	2 ビット ECC エラー検出フラグクリアビット 本ビットは ECER2F（ビット 2）の 2 ビットエラー検出フラグをクリアするためのビットです。読み出すと常に 0 が読み出されます。0 書き込みは無効です。 ECER2F ビットがセットされている際に、本ビットに 1 書き込みを行うことで ECER2F ビットがクリアされます。1 書き込みと ECER2F のセット要因が競合した際には本ビットの書き込みが優先されます。 また、ECER2F ビットがセットされている際に本ビットを 1 にすることで、ECCOVFF ビットがクリアされます。
9	ECER1C	1 ビット ECC エラー検出訂正累積フラグクリアビット 本ビットは ECER1F（ビット 1）の 1 ビットエラー検出／訂正フラグをクリアするためのビットです。読み出すと常に 0 が読み出されます。0 書き込みは無効です。 ECER1F ビットがセットされている際に、本ビットに 1 書き込みを行うことで ECER1F ビットがクリアされます。1 書き込みと ECER1F のセット要因が競合した際には本ビットの書き込みが優先されます。 また、ECER1F ビットがセットされている際に本ビットを 1 にすることで、ECCOVFF ビットがクリアされます。

表 40A.60　<Module_Name>CTL レジスタの内容

ビット位置	ビット名	機能
8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	ECTHM	ECC 機能スルーモード選択ビット 本ビットは、ECC 機能の有効／無効を設定するビットです。セット“1”することで、ECC 機能を無効にすることができます。 このビットの書き込み時は EMCA1, EMCA0＝0, 1 を同時に書き込む必要があります。 0：スルーモード禁止（通常動作モード） 1：スルーモード許可（ECC 機能無効）
6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	EC1ECP	1 ビットエラー訂正許可ビット 本ビットは ECC エラー検出／訂正の有効時に、1 ビットエラー訂正の許可／禁止を設定するためのビットです。 0：1 ビットエラー検出時にエラー訂正を行う。 1：1 ビットエラー検出時にエラー訂正を行わない。
4	EC2EDIC	2 ビットエラー検出割り込み制御ビット 本ビットは 2 ビットエラー検出時に割り込みを発生させるかを制御するビットです。 0：2 ビットエラー検出時に対象周辺モジュールの割り込みを発生させない。 1：2 ビットエラー検出時に対象周辺モジュールの割り込みを発生させる。
3	EC1EDIC	1 ビットエラー検出割り込み制御ビット 本ビットは 1 ビットエラー検出時に割り込みを発生させるかを制御するビットです。 0：1 ビットエラー検出時に対象周辺モジュールの割り込みを発生させない。 1：1 ビットエラー検出時に対象周辺モジュールの割り込みを発生させる。
2	ECER2F	2 ビットエラー検出フラグビット 本ビットはエラー判定許可状態（ECTHM＝0）で RAM へのリードアクセス時に 2 ビットエラーが検出されたことを示すフラグです。2 ビットエラー割り込み許可状態（EC2EDIC＝1）で、本フラグがセットされると ECC2 ビットエラー割り込み（対象周辺モジュールの割り込み）が発生します。 クリアの際には ECER2C ビット（ビット 10）へ 1 書き込みを行ってください。 スルーモード許可選択（ECTHM＝1）時も本ビットはクリアされます。本ビットがセットされた状態で再度 2 ビットのビットエラーが検出されても割り込みは発生しません。 0：本ビットクリア後、2 ビットエラーは発生していない。 1：2 ビットエラーが発生したことがある。 本ビットはリード専用であり、0 または 1 書き込みを行っても内部状態に変化はありません。
1	ECER1F	1 ビットエラー検出／訂正フラグビット 本ビットはエラー判定許可状態（ECTHM＝0）で RAM へのリードアクセス時に 1 ビットエラーが検出されたことを示すフラグです。クリアの際には ECER1C ビット（ビット 9）へ 1 書き込みを行ってください。スルーモード許可選択（ECTHM＝1）時も本ビットはクリアされます。 0：本ビットクリア後、1 ビットエラーは発生していない。 1：1 ビットエラーが発生 本ビットはリード専用であり、0 または 1 書き込みを行っても内部状態に変化はありません。
0	ECEMF	ECC エラー表示フラグ 本ビットは現在のリードデータバスに対してエラーが存在することを示すフラグです。本ビットは RAM 出力データごとに更新されます。スルーモード許可選択（ECTHM＝1）時、およびデコード回路入力データに 1 ビットエラーがないときも本ビットはクリアされます。 0：現在の RAM 出力データには、ビットエラーが存在していない。 1：現在の RAM 出力データでは、ビットエラーが存在する。

注　意

ビット 2、1 をクリアする場合には、ECC エラー表示フラグ（ECEMF）がセットされていない時にクリアする必要があります。

(2) <Module_Name>TMC ― ECC テストモードコントロールレジスタ

<Module_Name>TMC レジスタはテストモードへの切り替え、およびテストモード制御のためのレジスタです。

本レジスタは対象となる周辺モジュールが RAM アクセスしないときに使用できます。

ビット 7 への書き込みは、ETMA1, ETMA0 を 10_B にして実行してください。

アクセス 16 ビット単位でリード／ライト可能です。

アドレス **「表 40A.58 ECC モジュール一覧」**、**「表 40A.59 レジスタ一覧」**を参照。

リセット後の値 0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ETMA1	ETMA0	―	―	―	―	―	―	ECTMCE	―	―	ECTRRS	ECREOS	ECENS	ECDCS	ECREIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W 注1	R/W 注1	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W

注1. リード値は常に 0 が読み出されます。

表 40A.61 <Module_Name>TMC レジスタの内容

ビット位置	ビット名	機能
15	ETMA1	ECC テストモードビットへのアクセス制御ビット 1、0 本ビットは ECTMCE（ビット 7）の書き換え可否を設定するためのビットです。 書き込みデータは保持されません。読み出すと常に 0 が読み出されます。 本ビットのデータ値が 10_B のとき、ビット 7 への書き込みが可能になります。
14	ETMA0	
13～8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	ECTMCE	ECC テストモードイネーブルビット 本ビットはテストレジスタおよび、本レジスタのテスト制御ビットへのアクセスを許可するかを選択するビットです。このビットの書き込み時は、ETMA1, ETMA0＝1, 0 を同時に書き込む必要があります。 0：テストモードレジスタおよびビットに対するアクセスを禁止する 1：テストモードレジスタおよびビットに対するアクセスを許可する テストレジスタ ： <Module_Name>TED, <Module_Name>TRC, <Module_Name>SYND, <Module_Name>HORD, <Module_Name>ECRD, <Module_Name>ERDB レジスタテスト制御ビット ： ECTRRS, ECREOS, ECENS, ECDCS, ECREIS
6、5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	ECTRRS	ECC RAM リードテストモード選択ビット 本ビットは<Module_Name>TED レジスタをリードする際の読み込み先、および<Module_Name>ERDB レジスタをリードする際の読み込み先を選択します。 本ビットへのライトアクセスは、ECTMCE＝1 のときのみ有効です（同時設定可能）。 また、本ビットは ECTMCE＝0 によりクリアされます（同期クリア）。 0：<Module_Name>TED レジスタのリード値は、<Module_Name>TED レジスタの書き込み値となります。 <Module_Name>ERDB レジスタのリード値は、<Module_Name>ERDB レジスタの書き込み値となります。 1：<Module_Name>TED レジスタのリード値は、RAM データが読み出せます。 <Module_Name>ERDB レジスタのリード値は、RAM に書き込まれる ECC データとなります。

表 40A.61　<Module_Name>TMC レジスタの内容

ビット位置	ビット名	機能
3	ECREOS	ECC 冗長ビット出力データ選択ビット 本ビットは RAM に格納する ECC データを書き込みデータに対して生成された ECC データとするか、または<Module_Name>ERDB レジスタの値とするかを選択するビットです。 本ビットへのライトアクセスは、ECTMCE＝1 のときのみ有効です（同時設定可能）。 また、本ビットは ECTMCE＝0 によりクリアされます（同期クリア）。 0：書き込みデータに対して生成された ECC データを RAM に格納する。 1：<Module_Name>ERDB レジスタの値を RAM に格納する。
2	ECENS	ECC エンコード入力選択ビット 本ビットは ECC データを生成する際の対象データを RAM への書き込みデータとするか、または<Module_Name>TED レジスタの値とするかを選択するビットです。 本ビットへのライトアクセスは、ECTMCE＝1 のときのみ有効です（同時設定可能）。 また、本ビットは ECTMCE＝0 によりクリアされます（同期クリア）。 0：RAM へのライトデータから ECC データを生成する。 1：<Module_Name>TED レジスタの値から ECC データを生成する。
1	ECDCS	ECC デコード入力選択ビット 本ビットはシンドロームコードの生成と誤り検出を行う際の対象データを、RAM データとするか、または<Module_Name>TED レジスタの値とするかを選択するビットです。 本ビットへのライトアクセスは、ECTMCE＝1 のときのみ有効です（同時設定可能）。 また、本ビットは ECTMCE＝0 によりクリアされます（同期クリア）。 0：RAM データからシンドロームコードの生成と誤り検出を行う。 1：<Module_Name>TED レジスタの値からシンドロームコードの生成と誤り検出を行う。
0	ECREIS	ECC 冗長ビット入力データ選択ビット 本ビットはシンドロームコードの生成と誤り検出を行う際の対象 ECC データを、RAM に格納された ECC データとするか、または<Module_Name>ERDB レジスタの値とするかを選択するビットです。 本ビットへのライトアクセスは、ECTMCE＝1 のときのみ有効です（同時設定可能）。 また、本ビットは ECTMCE＝0 によりクリアされます（同期クリア）。 0：RAM に格納された ECC データからシンドロームコードの生成と、誤り検出を行う。 1：<Module_Name>ERDB レジスタの値からシンドロームコードの生成と、誤り検出を行う。

(3) <Module_Name>TED ― ECC エンコード／デコード入出力代替テストレジスタ

ECC テストモードにおいて、テストデータを扱うレジスタです。

本レジスタの値から、ECC データの生成またはシンドロームコードの生成を行います。

ECC テストモードがイネーブル（<Module_Name>TMC.ECTMCE＝1）である場合にアクセス可能です。<Module_Name>TMC.ECTMCE＝0 の場合は、書き込みは無効、読み出し値は 0000 0000_H となります。

本レジスタは対象周辺モジュールが RAM アクセスしていないときに使用できます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　「**表 40A.58 ECC モジュール一覧**」、「**表 40A.59 レジスタ一覧**」を参照。

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECEDB[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECEDB[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 40A.62　<Module_Name>TED レジスタの内容

ビット位置	ビット名	機能
31～0	ECEDB[31:0]	<Module_Name>TMC.ECENS＝1 において、本レジスタの値から ECC データを生成し、RAM へ格納します。 <Module_Name>TMC.ECDCS＝1 において、本レジスタの値からシンドロームコードを生成し、ECC デコードシンドロームデータレジスタ（<Module_Name>SYND）に格納します。 また、<Module_Name>TMC.ECTRRS＝1 の際には本レジスタのリード値は書き込んだデータではなく、RAM データ[31:0]が読み出されます。

(4) <Module_Name>TRC — ECC 冗長ビットデータコントロールテストレジスタ

ECC テストモードにおいて、ECC データに対するテストレジスタで、<Module_Name>SYND、<Module_Name>HORD、<Module_Name>ECRD、<Module_Name>ERDB の 4 つの 8 ビットレジスタで構成されます。

ECC テストモードがイネーブル（<Module_Name>TMC.ECTMCE＝1）である場合にアクセス可能です。<Module_Name>TMC.ECTMCE＝0 の場合は、書き込みは無効、読み出し値は 0000 0000_H となります。

本レジスタは対象周辺モジュールが RAM アクセスしていないときに使用できます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　**「表 40A.58 ECC モジュール一覧」**、**「表 40A.59 レジスタ一覧」**を参照。

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	<Module_Name>SYND（**(6)** 参照）								<Module_Name>HORD（**(7)** 参照）							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<Module_Name>ECRD（**(8)** 参照）								<Module_Name>ERDB（**(9)** 参照）							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(5) <Module_Name>AD0 — 対象 ECC エラーアドレスレジスタ 0

ECC エラー発生アドレスを格納するリード専用レジスタです。

ECC エラー判定許可状態で ECC エラーが検出されると、検出信号をトリガとして RAM アドレスがキャプチャされ、これが、エラー発生アドレスとして格納されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　「**表 40A.58 ECC モジュール一覧**」、「**表 40A.59 レジスタ一覧**」を参照。

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	ECEAD[30:16]														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECEAD[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40A.63　<Module_Name>AD0 レジスタの内容

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。
30〜0	ECEAD[30:0]	ECEAD0 は ECC エラー発生アドレスを格納するリード専用レジスタです。 ECC エラー検出許可時に ECC エラーを検出すると、検出信号をトリガとして RAM アドレスがラッチされ、このアドレスが ECC エラー発生アドレスとして ECEAD0 に格納されます。 エラーステータスがセットされていなくても、最初の ECC エラー検出時にアドレスが格納されますが、1 ビットエラーの後に 2 ビットエラーが発生すると、格納されるのは 2 ビットエラーのアドレスとなります。 ECEAD0 には 1 つのアドレスしか格納できません。

(6) <Module_Name>SYND ― ECC デコードシンドロームデータレジスタ

ECC テストモードにおいて、生成されたシンドロームコードが格納されるリード専用レジスタです。

書き込みは無効です。

ECC テストモードがイネーブル（<Module_Name>TMC.ECTMCE＝1）のときリードアクセスのみ可能、ディセーブル（<Module_Name>TMC.ECTMCE＝0）のとき読み出し値は 00_H となります。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　「**表 40A.58 ECC モジュール一覧**」、「**表 40A.59 レジスタ一覧**」を参照。

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	SYND6	SYND5	SYND4	SYND3	SYND2	SYND1	SYND0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 40A.64　<Module_Name>SYND レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。
6～0	SYND[6:0]	生成されたシンドロームコードが随時格納されます。

(7) <Module_Name>HORD ― ECC7 ビット冗長ビットデータ保持テストレジスタ

ECC テストモードにおいて、読み出した RAM データに対する ECC データが格納されるレジスタです。

書き込みは無効です。

ECC テストモードがイネーブル（<Module_Name>TMC.ECTMCE＝1）のときリードアクセスのみ可能、ディセーブル（<Module_Name>TMC.ECTMCE＝0）のとき読み出し値は 00_H となります。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　「**表 40A.58 ECC モジュール一覧**」、「**表 40A.59 レジスタ一覧**」を参照。

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	HORD6	HORD5	HORD4	HORD3	HORD2	HORD1	HORD0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 40A.65　<Module_Name>HORD レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。
6～0	HORD[6:0]	読み出した RAM データに対する ECC コードが随時格納されます。 また、<Module_Name>TMC.ECTRRS＝1 の場合、<Module_Name>TED レジスタをリードした際にも ECC コードが格納されます。

(8) <Module_Name>ECRD — ECC エンコードテストレジスタ

ECC テストモードにおいて、書き込んだ RAM データに対して生成された ECC データが格納されるリード専用レジスタです。

書き込みは無効です。

ECC テストモードがイネーブル（<Module_Name>TMC.ECTMCE＝1）のときリードアクセスのみ可能、ディセーブル（<Module_Name>TMC.ECTMCE＝0）のとき読み出し値は 00_H となります。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　「**表 40A.58 ECC モジュール一覧**」、「**表 40A.59 レジスタ一覧**」を参照。

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	ECRD6	ECRD5	ECRD4	ECRD3	ECRD2	ECRD1	ECRD0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 40A.66　<Module_Name>ECRD レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6～0	ECRD[6:0]	RAM データ書き込み時に生成される ECC データを読み出すことができます。 また、<Module_Name>MC.ECENS＝1 の際には、<Module_Name>TED レジスタに書き込んだデータに対する ECC データを読み出すことができます。

(9) <Module_Name>ERDB — ECC リダンタントビット入出力代替バッファレジスタ

ECC テストモードおいて、ECC データを扱うレジスタです。

本レジスタの値は、RAM への書き込み時に生成される ECC データ、または RAM データの読み出し時に読み込まれる ECC データとして扱うことができます。

ECC テストモードがイネーブル（<Module_Name>TMC.ECTMCE＝1）である場合に、アクセスが可能です。<Module_Name>TMC.ECTMCE＝0 の場合は、書き込みは無効、読み出し値は 00_H となります。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　「**表 40A.58 ECC モジュール一覧**」、「**表 40A.59 レジスタ一覧**」を参照。

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	ERDB6	ERDB5	ERDB4	ERDB3	ERDB2	ERDB1	ERDB0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 40A.67　<Module_Name>ERDB レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6～0	ERDB[6:0]	<Module_Name>TMC.ECREOS＝1 の場合、本レジスタの値を ECC データとして RAM へ格納します。 <Module_Name>TMC.ECREIS＝1 の場合、本レジスタの値を RAM から読み出された ECC データとします。 また、<Module_Name>TMC.ECTRRS＝1 の際には本レジスタのリード値は書き込んだデータではなく、RAM に格納する ECC データが読み出されます。

(10) SELB_READTEST — ECCREAD テスト選択レジスタ

対象となる周辺モジュールの RAM ECC のレジスタのリード／ライトチェックに使用します。

各機能に対応するビットを“1”に設定することで、リードオンリービットにライトすることが可能になります。

アクセス　SELB_READTESTW は、32 ビット単位でリード／ライト可能です。

SELB_READTEST、SELB_READTESTH は、16 ビット単位でリード／ライト可能です。

アドレス　SELB_READTESTW：FFC7 8000H

SELB_READTEST：FFC7 8000H

SELB_READTESTH：FFC7 8002H

リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	RTMMC0BRAM	RTMMC0ARAM	RTCANFD1E7A03	RTCANFD1E7A02	RTCANFD1E7A01	RTETH1RXRAM	RTETH1TXRAM	RTCSIHE7A4
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RTCANFD0E7A03	RTCANFD0E7A02	RTCANFD0E7A01	RTETH0RXRAM	RTETH0TXRAM	—	—	—	—	RTFLXAE7A0	RTFLXATRAM1	RTFLXATRAM0	RTCSIHE7A3	RTCSIHE7A2	RTCSIHE7A1	RTCSIHE7A0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 40A.68　SELB_READTEST レジスタの内容

ビット位置	ビット名	機能
31～24	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
23	RTMMC0BRAM	MMCA0（TBFB）の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（MMCA0 (TBFB) ECC のリードオンリービットへの書き込み可能）
22	RTMMC0ARAM	MMCA0（TBFA）の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（MMCA0 (TBFA) ECC のリードオンリービットへの書き込み可能）
21	RTCANFD1E7A03	RCFDC1（AFL バッファ 1）の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（RCFDC1 (AFL バッファ 1) ECC のリードオンリービットへの書き込み可能）
20	RTCANFD1E7A02	RCFDC1（AFL バッファ 0）の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（RCFDC1 (AFL バッファ 0) ECC のリードオンリービットへの書き込み可能）
19	RTCANFD1E7A01	RCFDC1（メッセージバッファ）の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（RCFDC1 (メッセージバッファ) ECC のリードオンリービットへの書き込み可能）
18	RTETH1RXRAM	ETNB1（RXRAM）の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（The ETNB1 (RXRAM) ECC のリードオンリービットへの書き込み可能）

表 40A.68　SELB_READTEST レジスタの内容

ビット位置	ビット名	機能
17	RTETH1TXRAM	ETNB1（TXRAM）の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（The ETNB1 (TXRAM) ECC のリードオンリービットへの書き込み可能）
16	RTCSIHE7A4	CSIH4 の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（CSIH4 ECC のリードオンリービットへの書き込み可能）
15	RTCANFD0E7A03	RCFDC0（AFL バッファ 1）の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（RCFDC0 (AFL バッファ 1) ECC のリードオンリービットへの書き込み可能）
14	RTCANFD0E7A02	RCFDC0（AFL バッファ 0）の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（RCFDC0 (AFL バッファ 0) ECC のリードオンリービットへの書き込み可能）
13	RTCANFD0E7A01	RCFDC0（メッセージバッファ）の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（RCFDC0 (メッセージバッファ) ECC のリードオンリービットへの書き込み可能）
12	RTETH0RXRAM	ETNB0（RXRAM）の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（ETNB0 (RXRAM) ECC のリードオンリービットへの書き込み可能）
11	RTETH0TXRAM	ETNB0（TXRAM）の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（ETNB0 (TXRAM) ECC のリードオンリービットへの書き込み可能）
10～7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	RTFLXAE7A0	FLXA0（MRAM）の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（FLXA0 (MRAM) ECC のリードオンリービットへの書き込み可能）
5	RTFLXATRAM1	FLXA0（TBFB）の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（FLXA0 (TBFB) ECC のリードオンリービットへの書き込み可能）
4	RTFLXATRAM0	FLXA0（TBFA）の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（FLXA0 (TBFA) ECC のリードオンリービットへの書き込み可能）
3	RTCSIHE7A3	CSIH3 の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（CSIH3 ECC のリードオンリービットへの書き込み可能）
2	RTCSIHE7A2	CSIH2 の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（CSIH2 ECC のリードオンリービットへの書き込み可能）
1	RTCSIHE7A1	CSIH1 の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（CSIH1 ECC のリードオンリービットへの書き込み可能）
0	RTCSIHE7A0	CSIH0 の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（CSIH0 ECC のリードオンリービットへの書き込み可能）

40A.3　メモリ保護

40A.3.1　概要

本製品は、メモリ上のデータや周辺回路の制御レジスタを、誤ったアクセスから保護するためのメモリ保護機能を搭載しています。

- MPU

  CPU が、自分自身の不正なアクセスからメモリを保護します。MPU で禁止されたアドレスに対するアクセスは、CPU から発行されることはありません。詳細は、「*RH850 Family User's Manual: Software*」を参照してください。

- スレーブガード

  あらゆるバスマスタの不正なアクセスから、特定のメモリを保護します。スレーブガードには以下のものがあります。詳細は次節以降に示します。

  – PEG
  ローカル RAM を不正なアクセスから保護します。ただし、ローカル RAM を備える CPU 自身からのアクセスは保護対象外です。例えば、CPU1 から CPU1 内のローカル RAM へのアクセスは、PEG によってプロテクトされることはありません。詳細は「**第 3A 章 RH850/F1KH-D8 の CPU システム**」を参照してください。

  – IPG
  CPU Peripheral を不正なアクセスから保護します。
  詳細は「**第 3A 章 RH850/F1KH-D8 の CPU システム**」を参照してください。

  – GRG
  グローバル RAM を不正なアクセスから保護します。

  – PBG/HBG
  周辺回路の制御レジスタを不正なアクセスから保護します。詳細は「**40A.3.3 PBG/HBG**」を参照してください。

  – PBGC
  CPU システムには、CPU システム用 PBG と呼ばれる専用の PBG 機能があります。詳細は「**40A.3.4 CPU システム用 PBG**」を参照してください。

40A.3.1.1　スレーブガードの識別子

スレーブガード機能では、以下の識別子によってプロテクトすべき不正アクセスを指定することができます。

表 40A.69　スレーブガードの識別子

識別子	機能
UM	CPU のアクセス時に、その CPU の動作モードを示します。 0：スーパバイザモード 1：ユーザモード PDMA のアクセス時には、本識別子の値はチャネルマスタ設定レジスタの設定値となります。 その他のマスタのアクセス時には、本識別子の値は必ず 0 となります。
SPID	CPU のアクセス時に、その CPU に MCFG0.SPID で設定されたシステム保護識別子 SPID を示します。 PDMA のアクセス時には、本識別子の値はチャネルマスタ設定レジスタの値となります。 その他のマスタ（H-BUS に接続される周辺装置）のアクセス時には、本識別子の値は必ず 00_B となります。
PEID	アクセス元のバスマスタを示します。 001_B：CPU1 010_B：CPU2 100_B：上記以外のバスマスタ（H-Bus バスマスタ） PDMA のアクセス時には、本識別子の値はチャネルマスタ設定レジスタの設定値となります。

40A.3.2 GRG (グローバル RAM Guard)

本製品は、4 チャネルの GRG を実装しています。以下に GRG の詳細を記します。

注　意

リテンション RAM は、グローバル RAM の一部です。リテンション RAM に対する保護機能はグローバル RAM と共有されています。したがって、リテンション RAM の場合もグローバル RAM と同じレジスタを使用します。

40A.3.2.1 レジスター覧

表 40A.70 レジスター覧

モジュール名	アドレス	略称	レジスタ名	R/W	リセット後の値	アクセスサイズ
MGDGR	FFC4 9000H	MGDGRPROT0_BKA	GRG プロテクション設定レジスタ 0（バンク A）	R/W	03FE 01F0H	8/16/32
	FFC4 9004H	MGDGRBAD0_BKA	GRG コンペアベースアドレスレジスタ 0（バンク A）	R/W	0000 0000H	8/16/32
	FFC4 9008H	MGDGRADV0_BKA	GRG コンペアアドレス有効レジスタ 0（バンク A）	R/W	0000 0000H	8/16/32
	FFC4 9010H	MGDGRPROT1_BKA	GRG プロテクション設定レジスタ 1（バンク A）	R/W	03FE 01F0H	8/16/32
	FFC4 9014H	MGDGRBAD1_BKA	GRG コンペアベースアドレスレジスタ 1（バンク A）	R/W	0000 0000H	8/16/32
	FFC4 9018H	MGDGRADV1_BKA	GRG コンペアアドレス有効レジスタ 1（バンク A）	R/W	0000 0000H	8/16/32
	FFC4 9020H	MGDGRPROT2_BKA	GRG プロテクション設定レジスタ 2（バンク A）	R/W	03FE 01F0H	8/16/32
	FFC4 9024H	MGDGRBAD2_BKA	GRG コンペアベースアドレスレジスタ 2（バンク A）	R/W	0000 0000H	8/16/32
	FFC4 9028H	MGDGRADV2_BKA	GRG コンペアアドレス有効レジスタ 2（バンク A）	R/W	0000 0000H	8/16/32
	FFC4 9030H	MGDGRPROT3_BKA	GRG プロテクション設定レジスタ 3（バンク A）	R/W	03FE 01F0H	8/16/32
	FFC4 9034H	MGDGRBAD3_BKA	GRG コンペアベースアドレスレジスタ 3（バンク A）	R/W	0000 0000H	8/16/32
	FFC4 9038H	MGDGRADV3_BKA	GRG コンペアアドレス有効レジスタ 3（バンク A）	R/W	0000 0000H	8/16/32
	FFC4 9040H	MGDGRSCTL_BKA	GRG コントロールレジスタ（バンク A）	W	0000 0000H	8/16/32
	FFC4 9044H	MGDGRSSTAT_BKA	GRG エラーステータスレジスタ（バンク A）	R	0000 0000H	8/16/32
	FFC4 9048H	MGDGRSTYPE_BKA	GRG エラーアクセスタイプレジスタ（バンク A）	R	0000 0000H	8/16/32
	FFC4 904CH	MGDGRSAD_BKA	GRG エラーアドレスレジスタ（バンク A）	R	FEE0 0000H	8/16/32
	FFC4 9200H	MGDGRPROT0_BKB	GRG プロテクション設定レジスタ 0（バンク B）	R/W	03FE 01F0H	8/16/32
	FFC4 9204H	MGDGRBAD0_BKB	GRG コンペアベースアドレスレジスタ 0（バンク B）	R/W	0000 0000H	8/16/32
	FFC4 9208H	MGDGRADV0_BKB	GRG コンペアアドレス有効レジスタ 0（バンク B）	R/W	0000 0000H	8/16/32
	FFC4 9210H	MGDGRPROT1_BKB	GRG プロテクション設定レジスタ 1（バンク B）	R/W	03FE 01F0H	8/16/32
	FFC4 9214H	MGDGRBAD1_BKB	GRG コンペアベースアドレスレジスタ 1（バンク B）	R/W	0000 0000H	8/16/32
	FFC4 9218H	MGDGRADV1_BKB	GRG コンペアアドレス有効レジスタ 1（バンク B）	R/W	0000 0000H	8/16/32
	FFC4 9220H	MGDGRPROT2_BKB	GRG プロテクション設定レジスタ 2（バンク B）	R/W	03FE 01F0H	8/16/32
	FFC4 9224H	MGDGRBAD2_BKB	GRG コンペアベースアドレスレジスタ 2（バンク B）	R/W	0000 0000H	8/16/32
	FFC4 9228H	MGDGRADV2_BKB	GRG コンペアアドレス有効レジスタ 2（バンク B）	R/W	0000 0000H	8/16/32
	FFC4 9230H	MGDGRPROT3_BKB	GRG プロテクション設定レジスタ 3（バンク B）	R/W	03FE 01F0H	8/16/32
	FFC4 9234H	MGDGRBAD3_BKB	GRG コンペアベースアドレスレジスタ 3（バンク B）	R/W	0000 0000H	8/16/32
	FFC4 9238H	MGDGRADV3_BKB	GRG コンペアアドレス有効レジスタ 3（バンク B）	R/W	0000 0000H	8/16/32
	FFC4 9240H	MGDGRSCTL_BKB	GRG コントロールレジスタ（バンク B）	W	0000 0000H	8/16/32
	FFC4 9244H	MGDGRSSTAT_BKB	GRG エラーステータスレジスタ（バンク B）	R	0000 0000H	8/16/32
	FFC4 9248H	MGDGRSTYPE_BKB	GRG エラーアクセスタイプレジスタ（バンク B）	R	0000 0000H	8/16/32
	FFC4 924CH	MGDGRSAD_BKB	GRG エラーアドレスレジスタ（バンク B）	R	FEF0 0000H	8/16/32

備考 MGDGRPROTn_BKA/BKB、MGDGRBADn_BKA/BKB、MGDGRADVn_BKA/BKB は、各チャネルの保護内容を設定します。（n：0～3）
MGDGRSCTL_*、MGDGRSSTAT_*、MGDGRSTYPE_*、MGDGRSAD_*は、各バンクにおけるエラー情報を示します。
“BKA”はバンク A、“BKB”はバンク B を示します。

40A.3.2.2　レジスタ詳細

(1) MGDGRPROTn_BKA/BKB ― GRG プロテクション設定レジスタ n（n＝0～3）

アクセス　MGDGRPROTn_BKA、MGDGRPROTn_BKB レジスタは、32 ビット単位でリード／ライト可能です。

MGDGRPROTn_BKAL、MGDGRPROTn_BKBL、MGDGRPROTn_BKAH、MGDGRPROTn_BKBH レジスタは、16 ビット単位でリード／ライト可能です。

MGDGRPROTn_BKALL、MGDGRPROTn_BKAHL、MGDGRPROTn_BKAHH、MGDGRPROTn_BKBLL、MGDGRPROTn_BKBHL、MGDGRPROTn_BKBHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　MGDGRPROTn_BKA：FFC4 9000$_H$ + n × 10$_H$

MGDGRPROTn_BKAL：FFC4 9000$_H$ + n × 10$_H$

MGDGRPROTn_BKALL：FFC4 9000$_H$ + n × 10$_H$

MGDGRPROTn_BKAH：FFC4 9002$_H$ + n × 10$_H$

MGDGRPROTn_BKAHL：FFC4 9002$_H$ + n × 10$_H$

MGDGRPROTn_BKAHH：FFC4 9003$_H$ + n × 10$_H$

MGDGRPROTn_BKB：FFC4 9200$_H$ + n × 10$_H$

MGDGRPROTn_BKBL：FFC4 9200$_H$ + n × 10$_H$

MGDGRPROTn_BKBLL：FFC4 9200$_H$ + n × 10$_H$

MGDGRPROTn_BKBH：FFC4 9202$_H$ + n × 10$_H$

MGDGRPROTn_BKBHL：FFC4 9202$_H$ + n × 10$_H$

MGDGRPROTn_BKBHH：FFC4 9203$_H$ + n × 10$_H$

リセット後の値　03FE 01F0$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	EN	—	—	—	—	UM	—	—	—	PEID4	—	PEID2	PEID1	—	—
リセット後の値	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	0
R/W	R	R/W	R	R	R	R	R/W	R	R	R	R/W	R	R/W	R/W	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	SPID3	SPID2	SPID1	SPID0	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	1	1	1	1	1	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R

表 40A.71　MGDGRPROTn_BKA/BKB レジスタの内容

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
30	EN	保護イネーブル 0：保護を禁止します。 1：保護を許可します。 本レジスタで許可したアクセスのみ可能。
29～26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25	UM	ユーザモードでのアクセス 0：スーパバイザモードでのアクセスを許可します。 1：ユーザモードとスーパバイザモードでのアクセスを許可します。
24～22	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 40A.71 MGDGRPROTn_BKA/BKB レジスタの内容

ビット位置	ビット名	機能
21	PEID4	PEID＝4（H-BUS に接続された周辺デバイス）によるアクセス[注1] 0：PEID4 でのアクセスを禁止します。 1：PEID4 でのアクセスを許可します。
20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19	PEID2	PEID＝2（CPU2）によるアクセス[注1] 0：PEID2 でのアクセスを禁止します。 1：PEID2 でのアクセスを許可します。
18	PEID1	PEID＝1（CPU1）によるアクセス[注1] 0：PEID1 でのアクセスを禁止します。 1：PEID1 でのアクセスを許可します。
17～9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	SPID3	SPID＝3 によるアクセス[注2、注3] 0：SPID3 でのアクセスを禁止します。 1：SPID3 でのアクセスを許可します。
7	SPID2	SPID＝2（CPU2）によるアクセス[注2、注3] 0：SPID2 でのアクセスを禁止します。 1：SPID2 でのアクセスを許可します。
6	SPID1	SPID＝1（CPU1）によるアクセス[注2、注3] 0：SPID1 でのアクセスを禁止します。 1：SPID1 でのアクセスを許可します。
5	SPID0	SPID＝0 によるアクセス[注2、注3] 0：SPID0 でのアクセスを禁止します。 1：SPID0 でのアクセスを許可します。
4～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注1. PEID によるアクセス
PEID は各ビットがそれぞれ 1 つの PEID 値に対応するビットリストです。
複数のビットを設定することによって同時に複数のバスマスタの ID 値を許可します。

注2. SPID によるアクセス
SPID は各ビットがそれぞれ 1 つの SPID 値に対応するビットリストです。
複数のビットを設定することによって同時に複数のマスタの ID 値を許可します。

注3. SPID については、「**表 40A.69 スレーブガードの識別子**」を参照してください。

注 意

グローバル RAM Guard（GRG）はライトアクセスのみ適用されます。リードアクセスに対しては、保護機能の設定は無効となります。

(2) MGDGRBADn_BKA/BKB — GRG コンペアベースアドレスレジスタ n（n＝0～3）

アクセス　MGDGRBADn_BKA、MGDGRBADn_BKB レジスタは、32 ビット単位でリード／ライト可能です。

MGDGRBADn_BKAL、MGDGRBADn_BKAH、MGDGRBADn_BKBL、MGDGRBADn_BKBH レジスタは、16 ビット単位でリード／ライト可能です。

MGDGRBADn_BKALH、MGDGRBADn_BKAHL、MGDGRBADn_BKBLH、MGDGRBADn_BKBHL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　MGDGRBADn_BKA：FFC4 9004$_H$ + n × 10$_H$

MGDGRBADn_BKAL：FFC4 9004$_H$ + n × 10$_H$

MGDGRBADn_BKALH：FFC4 9005$_H$ + n × 10$_H$

MGDGRBADn_BKAH：FFC4 9006$_H$ + n × 10$_H$

MGDGRBADn_BKAHL：FFC4 9006$_H$ + n × 10$_H$

MGDGRBADn_BKB：FFC4 9204$_H$ + n × 10$_H$

MGDGRBADn_BKBL：FFC4 9204$_H$ + n × 10$_H$

MGDGRBADn_BKBLH：FFC4 9205$_H$ + n × 10$_H$

MGDGRBADn_BKBH：FFC4 9206$_H$ + n × 10$_H$

MGDGRBADn_BKBHL：FFC4 9206$_H$ + n × 10$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	AD[19:16]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD[15:11]					—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R

表 40A.72　MGDGRBADn_BKA/BKB レジスタの内容

ビット位置	ビット名	機能
31～20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19～11	AD[19:11]	コンペアベースアドレス注1 GRG プロテクション設定レジスタ n（MGDGRPROTn_BKA/BKB）で指定した保護設定の適用範囲のベースアドレスを設定します。
10～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注1.　詳細については、「**40A.3.2.2(3) MGDGRADVn_BKA/BKB — GRG コンペアアドレス有効レジスタ n（n=0～3）**」を参照してください。

(3) MGDGRADVn_BKA/BKB ― GRG コンペアアドレス有効レジスタ n（n＝0～3）

アクセス　MGDGRADVn_BKA、MGDGRADVn_BKB レジスタは、32 ビット単位でリード／ライト可能です。

MGDGRADVn_BKAL、MGDGRADVn_BKAH、MGDGRADVn_BKBL、MGDGRADVn_BKBH レジスタは、16 ビット単位でリード／ライト可能です。

MGDGRADVn_BKALH、MGDGRADVn_BKAHL、MGDGRADVn_BKBLH、MGDGRADVn_BKBHL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　MGDGRADVn_BKA：FFC4 9008_H + n × 10_H

MGDGRADVn_BKAL：FFC4 9008_H + n × 10_H

MGDGRADVn_BKALH：FFC4 9009_H + n × 10_H

MGDGRADVn_BKAH：FFC4 $900A_H$ + n × 10_H

MGDGRADVn_BKAHL：FFC4 $900A_H$ + n × 10_H

MGDGRADVn_BKB：FFC4 9208_H + n × 10_H

MGDGRADVn_BKBL：FFC4 9208_H + n × 10_H

MGDGRADVn_BKBLH：FFC4 9209_H + n × 10_H

MGDGRADVn_BKBH：FFC4 $920A_H$ + n × 10_H

MGDGRADVn_BKBHL：FFC4 $920A_H$ + n × 10_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	ADV[19:16]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADV[15:11]					—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R

表 40A.73　MGDGRADVn_BKA/BKB レジスタの内容

ビット位置	ビット名	機能
31～20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19～11	ADV[19:11]	コンペアアドレス有効ビット MGDGRADVn_BKA/BKB[19:11]＝1 のビットはアドレスコンペアを実行します。 MGDGRADVn_BKA/BKB[19:11]が全て 1 の場合は MGDGRBADn_BKA/BKB で指定されたアドレスをベースに最小単位である 2K バイトが保護対象となります。ただし、MGDGRADVn_BKA/BKB[19:11]が全て 0 の場合はグローバル RAM 全域が保護対象となります。
10～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

設定例

MGDGRBADn_BKA.AD[19:11]＝170$_{H}$、MGDGRADVn_BKA.ADV[19:11]＝1FD$_{H}$に設定した場合、グローバル RAM ガード保護領域 n は FEEB 8000$_{H}$～FEEB 87FF$_{H}$と FEEB 9000$_{H}$～FEEB 97FF$_{H}$になります。

MGDGRBADn_BKB.AD[19:11]＝170$_{H}$、MGDGRADVn_BKB.ADV[19:11]＝1FD$_{H}$に設定した場合、グローバル RAM ガード保護領域 n は FEFB 8000$_{H}$～FEFB 87FF$_{H}$と FEFB 9000$_{H}$～FEFB 97FF$_{H}$になります。

考え方（例：バンク A の場合）

MGDGRBADn_BKA.AD[19:11]＝170$_{H}$をセットするとベースアドレスは FEEB 8000$_{H}$となり、設定可能範囲を下線で示すと、次のようになります。

1 1 1 1	1 1 1 0	1 1 1 0	1 0 1 1	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	B
F	E	E	B	8	0	0	0	H

MGDGRADVn_BKA.ADV[19:11]＝1FD$_{H}$の場合、次のようになります。

0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 0	1 0 0 0	0 0 0 0	0 0 0 0	B

0 をセットしたビットと下位 11 ビットは対象外なので、保護対象領域は以下となります。

0 0 0 0	0 0 0 0	0 0 0 0	1 0 1 1	1 0 0 x	0 x x x	x x x x	x x x x	B

よって保護対象範囲は次のようになります。

1 1 1 1	1 1 1 0	1 1 1 0	1 0 1 1	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	B
F	E	E	B	8	0	0	0	H

から

1 1 1 1	1 1 1 0	1 1 1 0	1 0 1 1	1 0 0 0	0 1 1 1	1 1 1 1	1 1 1 1	B
F	E	E	B	8	7	F	F	H

および

1 1 1 1	1 1 1 0	1 1 1 0	1 0 1 1	1 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	B
F	E	E	B	9	0	0	0	H

から

1 1 1 1	1 1 1 0	1 1 1 0	1 0 1 1	1 0 0 1	0 1 1 1	1 1 1 1	1 1 1 1	B
F	E	E	B	9	7	F	F	H

16 進数で表すと次の各 2K バイト、計 4K バイトを保護します。

- FEEB 8000$_{H}$～FEEB 87FF$_{H}$
- FEEB 9000$_{H}$～FEEB 97FF$_{H}$

(4) MGDGRSCTL_BKA/BKB — GRG コントロールレジスタ

アクセス　MGDGRSCTL_BKA、MGDGRSCTL_BKB レジスタは、32 ビット単位でライトのみ可能です。
MGDGRSCTL_BKAL、MGDGRSCTL_BKBL レジスタは、16 ビット単位でライトのみ可能です。
MGDGRSCTL_BKALL、MGDGRSCTL_BKBLL レジスタは、8 ビット単位でライトのみ可能です。

アドレス　MGDGRSCTL_BKA：FFC4 9040_H
MGDGRSCTL_BKAL：FFC4 9040_H
MGDGRSCTL_BKALL：FFC4 9040_H
MGDGRSCTL_BKB：FFC4 9240_H
MGDGRSCTL_BKBL：FFC4 9240_H
MGDGRSCTL_BKBLL：FFC4 9240_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERRCLO	ERRCLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W

表 40A.74　MGDGRSCTL_BKA/BKB レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	ライトする場合はリセット後の値を書いてください。
1	ERRCLO	エラーエントリオーバフローフラグクリア 0：動作しません。 1：オーバフローフラグをクリアします。
0	ERRCLE	GRG 保護違反フラグクリア 0：動作しません。 1：エラーフラグをクリアします。 ただし「**表 40A.75 ERRCLO と ERRCLE の組み合わせ**」に示す通り ERRCLO と同時にセットしてください。

表 40A.75　ERRCLO と ERRCLE の組み合わせ

ERRCLO	ERRCLE	機能
0	0	いずれのビットもクリアしません。
0	1	設定禁止
1	0	OVF ビットをクリアします。
1	1	OVF ビットおよび ERR ビットをクリアします。

(5) MGDGRSSTAT_BKA/BKB ― GRG エラーステータスレジスタ

アクセス　MGDGRSSTAT_BKA、MGDGRSSTAT_BKB レジスタは、32 ビット単位でリードのみ可能です。
MGDGRSSTAT_BKAL、MGDGRSSTAT_BKBL レジスタは、16 ビット単位でリードのみ可能です。
MGDGRSSTAT_BKALL、MGDGRSSTAT_BKBLL レジスタは、8 ビット単位でリードのみ可能です。

アドレス　MGDGRSSTAT_BKA：FFC4 9044_H
MGDGRSSTAT_BKAL：FFC4 9044_H
MGDGRSSTAT_BKALL：FFC4 9044_H
MGDGRSSTAT_BKB：FFC4 9244_H
MGDGRSSTAT_BKBL：FFC4 9244_H
MGDGRSSTAT_BKBLL：FFC4 9244_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OVF	ERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40A.76　MGDGRSSTAT_BKA/BKB レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1	OVF	エラーエントリオーバフローフラグ 0：オーバフローなし 1：オーバフロー発生 GRG のエラーエントリ段数は 1 のため、最初のガード違反が発生し、エラー検出フラグがセットされた状態で再度ガード違反が発生した場合、エラーエントリがオーバフローし、本フラグがセットされます。 このオーバフローは INTGUARD に通知されます。 なお、INTGUARD の発生ではオーバフローが起きているかは判別できません。本ビットの値を確認してください。またオーバフローした際のガード違反のエラー情報はキャプチャされません。
0	ERR	GRG 保護違反エラーフラグ 0：GRG 保護違反未発生 1：GRG 保護違反発生

(6) MGDGRSTYPE_BKA/BKB — GRG エラーアクセスタイプレジスタ

アクセス　MGDGRSTYPE_BKA、MGDGRSTYPE_BKB レジスタは、32 ビット単位でリードのみ可能です。

MGDGRSTYPE_BKAL、MGDGRSTYPE_BKBL レジスタは、16 ビット単位でリードのみ可能です。

MGDGRSTYPE_BKALL、MGDGRSTYPE_BKALH、MGDGRSTYPE_BKBLL、MGDGRSTYPE_BKBLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　MGDGRSTYPE_BKA：FFC4 9048_H

MGDGRSTYPE_BKAL：FFC4 9048_H

MGDGRSTYPE_BKALL：FFC4 9048_H

MGDGRSTYPE_BKALH：FFC4 9049_H

MGDGRSTYPE_BKB：FFC4 9248_H

MGDGRSTYPE_BKBL：FFC4 9248_H

MGDGRSTYPE_BKBLL：FFC4 9248_H

MGDGRSTYPE_BKBLH：FFC4 9249_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PEID[2:0]			—	—	—	SPID[1:0]		—	UM	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40A.77　MGDGRSTYPE_BKA/BKB レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。
15～13	PEID[2:0]	GRG 保護違反を発生させたアクセスのアクセス元の PEID
12～10	予約ビット	リードした場合はリセット後の値が読めます。
9～8	SPID[1:0]	GRG 保護違反を発生させたアクセスのアクセス元の SPID
7	予約ビット	リードした場合はリセット後の値が読めます。
6	UM	GRG 保護違反を発生させたアクセスのアクセス元の UM
5～0	予約ビット	リードした場合はリセット後の値が読めます。

(7) MGDGRSAD_BKA/BKB — GRG エラーアドレスレジスタ

アクセス　MGDGRSAD_BKA、MGDGRSAD_BKB レジスタは、32 ビット単位でリードのみ可能です。

MGDGRSAD_BKAL、MGDGRSAD_BKAH、MGDGRSAD_BKBL、MGDGRSAD_BKBH レジスタは、16 ビット単位でリードのみ可能です。

MGDGRSAD_BKALL、MGDGRSAD_BKALH、MGDGRSAD_BKAHL、MGDGRSAD_BKBLL、MGDGRSAD_BKBLH、MGDGRSAD_BKBHL レジスタは、8 ビット単位でリードのみ可能です。

アドレス　MGDGRSAD_BKA：FFC4 904C$_H$

MGDGRSAD_BKAL：FFC4 904C$_H$

MGDGRSAD_BKALL：FFC4 904C$_H$

MGDGRSAD_BKALH：FFC4 904D$_H$

MGDGRSAD_BKAH：FFC4 904E$_H$

MGDGRSAD_BKAHL：FFC4 904E$_H$

MGDGRSAD_BKB：FFC4 924C$_H$

MGDGRSAD_BKBL：FFC4 924C$_H$

MGDGRSAD_BKBLL：FFC4 924C$_H$

MGDGRSAD_BKBLH：FFC4 924D$_H$

MGDGRSAD_BKBH：FFC4 924E$_H$

MGDGRSAD_BKBHL：FFC4 924E$_H$

リセット後の値　MGDGRSAD_BKA：FEE0 0000$_H$, MGDGRSAD_BKB：FEF0 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	SAD[19:16]			
リセット後の値	1	1	1	1	1	1	1	0	1	1	1	0/1 注1	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SAD[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40A.78　MGDGRSAD_BKA/BKB レジスタの内容

ビット位置	ビット名	機能
31～20	予約ビット	リードした場合はリセット後の値が読めます。
19～0	SAD[19:0]	GRG 保護違反発生時のアドレス

注1.　リセット後の値は、バンク A、バンク B によって異なります。

40A.3.3　PBG/HBG

PBG/HBG モジュールは複数の PBG/HBG グループに分かれており、各グループは最大 16 個の保護チャネルを備えています。1 つの PBG/HBG チャネルで、1 つの周辺回路に対して保護すべきアクセスを指定できます。

PBG/HBG グループごとに、拒否したアクセスの情報を保持することができます。

保護対象の周辺回路と、対応する PBG/HBG グループ名および PBG/HBG チャネル番号を以下の表に示します。

表 40A.79　PBG/HBG グループとチャネルおよび対象モジュール

PBG/HBG グループ	グループ番号（レジスタ名の添字）注 3	PBG/HBG チャネル番号	保護対象モジュール	対象レジスタ
PBG10	00	0	ECON_NMI	WDTNMIF WDTNMIFC
		1	ECON_FEINT	FEINTF FEINTFMSK FEINTFC
		2	SL_INTC	SELB_INTC1
		3	ADCA0	ADCA0 のすべてのレジスタ
		4	KR0	KR0KRM
		5	PORT（グループ A_ISO）	P9, P10, P11, P12, P13, P18, P19, P20, P21, P22, P23, P24, AP1 のレジスタ（Pn, PSRn, PPRn, PNOTn, PIBCn を除く）
		6	PORT（グループ A_AWO）	P0, P1, P2, P3, P8, AP0, IP0 のレジスタ（Pn, PSRn, PPRn, PNOTn, PIBCn を除く）
		7	JTAG（グループ A）	JP0 レジスタ（JP0, JPSR0, JPPR0, JPNOT0, JPIBC0 を除く）
		8	RLN30	RLIN30 のすべてのレジスタ
		9	RLN31	RLIN31 のすべてのレジスタ
		10	RLN32	RLIN32 のすべてのレジスタ
		11	RLN33	RLIN33 のすべてのレジスタ
		12	RLN34	RLIN34 のすべてのレジスタ
		13	RLN35	RLIN35 のすべてのレジスタ
		14	RLN36	RLIN36 のすべてのレジスタ
		15	RLN37	RLIN37 のすべてのレジスタ
PBG11	01	0	DNF (TAUD0)	DNFATAUD0ICTL DNFATAUD0IEN
		1	DNF (ADCA0)	DNFAADCTL0CTL DNFAADCTL0EN
		2	FCLA0 (ADCA0)	FCLA0CTLn_ADC0（n＝0～2）
		3	FCLA0 (NMI)	FCLA0CTL0_NMI
		4	FCLA0 (INTPn)	FCLA0CTLn_INTPL（n＝0～7）
		5	FCLA0 (INTPn)	FCLA0CTLn_INTPH（n＝0～7）
		6	DNF (ENCA0)	DNFAENCA0ICTL DNFAENCA0IEN
		7	DNF (ADCA1)	DNFAADCTL1CTL DNFAADCTL1EN
		8	FCLA0 (ADCA1)	FCLA0CTLn_ADC1（n＝0～2）

表 40A.79　PBG/HBG グループとチャネルおよび対象モジュール

PBG/HBG グループ	グループ番号（レジスタ名の添字）注 3	PBG/HBG チャネル番号	保護対象モジュール	対象レジスタ
PBG11	01	9	DNF (TAUB0)	DNFATAUB0ICTL DNFATAUB0IEN
		10	DNF (TAUB1)	DNFATAUB1ICTL DNFATAUB1IEN
		11	予約領域	—
		12	PORT（グループ B_ISO）	P9, P10, P11, P12, P13, P18, P19, P20, P21, P22, P23, P24, AP1 のレジスタ（Pn, PSRn, PPRn, PNOTn, PIBCn）
		13	PORT（グループ B_AWO）	P0, P1, P2, P3, P8, AP0, IP0 のレジスタ（Pn, PSRn, PPRn, PNOTn, PIBCn）
		14	JTAG（グループ B）	JP0 レジスタ（JP0, JPSR0, JPPR0, JPNOT0, JPIBC0）
		15	FCLA0 (INTPn)	FCLA0CTLn_INTPU（n＝0～7）
PBG12	07	0	RLN240 (Global)	RLN240 のすべてのグローバルレジスタ
		1	RLN2400	RLN2400 のすべてのチャネルレジスタ
		2	RLN2401	RLN2401 のすべてのチャネルレジスタ
		3	RLN2402	RLN2402 のすべてのチャネルレジスタ
		4	RLN2403	RLN2403 のすべてのチャネルレジスタ
		5	RLN241 (Global)	RLN241 のすべてのグローバルレジスタ
		6	RLN2414	RLN2414 のすべてのチャネルレジスタ
		7	RLN2415	RLN2415 のすべてのチャネルレジスタ
		8	RLN2416	RLN2416 のすべてのチャネルレジスタ
		9	RLN2417	RLN2417 のすべてのチャネルレジスタ
		10	RLN242 (Global)	RLN242 のすべてのグローバルレジスタ
		11	RLN2428	RLN2428 のすべてのチャネルレジスタ
		12	RLN2429	RLN2429 のすべてのチャネルレジスタ
		13	RLN24210	RLN24210 のすべてのチャネルレジスタ
		14	RLN24211	RLN24211 のすべてのチャネルレジスタ
		15	DNF (RSENTn)	DNFASENTICTL DNFASENTIEN
PBG13	08	0	DCRA0	DCRA0 のすべてのレジスタ
		1	DCRA1	DCRA1 のすべてのレジスタ
		2	DCRA2	DCRA2 のすべてのレジスタ
		3	DCRA3	DCRA3 のすべてのレジスタ
		4	RIIC0	RIIC0 のすべてのレジスタ
		5	SL_READTEST	SELB_READTEST
		6	SL_DMAC	DTFSEL_TAUD0/DTFSEL_TAUB0/DTFSEL_TAUB1
		7	GRZF	GRZF のすべてのレジスタ
		8	RIIC1	RIIC1 のすべてのレジスタ
		9	予約領域	—
		10	予約領域	—
		11	予約領域	—
		12	予約領域	—
		13	RSENT0	RSENT0 のすべてのレジスタ
		14	RSENT1	RSENT1 のすべてのレジスタ

表 40A.79　PBG/HBG グループとチャネルおよび対象モジュール

PBG/HBG グループ	グループ番号（レジスタ名の添字）注 3	PBG/HBG チャネル番号	保護対象モジュール	対象レジスタ
PBG14	12	0	RLN243 (Global)	RLN243 のすべてのグローバルレジスタ
		1	RLN24312	RLN24312 のすべてのチャネルレジスタ
		2	RLN24313	RLN24313 のすべてのチャネルレジスタ
		3	RLN24314	RLN24314 のすべてのチャネルレジスタ
		4	RLN24315	RLN24315 のすべてのチャネルレジスタ
PBG20	02	0	TAUD0	TAUD0 のすべてのレジスタ（SELB_TAUD0I を除く）
		1	SL_TAUD0	SELB_TAUD0I
		2	TAUJ0	TAUJ0 のすべてのレジスタ（SELB_TAUJ0I を除く）
		3	SL_TAUJ0	SELB_TAUJ0I
		4	RTCA0	RTCA0 のすべてのレジスタ
		5	WDTA0	WDTA0 のすべてのレジスタ
		6	WDTA1	WDTA1 のすべてのレジスタ
		7	WDTA2	WDTA2 のすべてのレジスタ
		8	PIC0	PIC0 のすべてのレジスタ
		9	TAPA0	TAPA0 のすべてのレジスタ
		10	ENCA0	ENCA0 のすべてのレジスタ
		11	TAUJ1	TAUJ1 のすべてのレジスタ
		12	TAUB0	TAUB0 のすべてのレジスタ（SELB_TAUB0I を除く）
		13	TAUB1	TAUB1 のすべてのレジスタ（SELB_TAUB1I を除く）
		14	PWBAn PWGAn PWSAn SLPWG PWGA_INTF	PWM-Diag のすべてのレジスタ
		15	SL_TAUJ2	SELB_TAUJ2I
PBG21	09	0	予約領域	—
		1	予約領域	—
		2	予約領域	—
		3	予約領域	—
		4	予約領域	—
		5	SL_TAUB0	SELB_TAUB0I
		6	SL_TAUB1	SELB_TAUB1I
		7	予約領域	—
		8	TAUJ2	TAUJ2 のすべてのレジスタ（SELB_TAUJ2I を除く）
		9	TAUJ3	TAUJ3 のすべてのレジスタ
		10	MMCA0	MMCA0 のすべてのレジスタ
		11	ECCMMCA0A	ECC MMCA0A のすべてのレジスタ
		12	ECCMMCA0B	ECC MMCA0B のすべてのレジスタ

表 40A.79　PBG/HBG グループとチャネルおよび対象モジュール

PBG/HBG グループ	グループ番号（レジスタ名の添字）注 3	PBG/HBG チャネル番号	保護対象モジュール	対象レジスタ
PBG30	03	0	予約領域	—
		1	予約領域	—
		2	予約領域	—
		3	予約領域	—
		4	予約領域	—
		5	予約領域	—
		6	予約領域	—
		7	予約領域	—
		8	予約領域	—
		9	予約領域	—
		10	ETNB0	ETNB0 のすべてのレジスタ（ETNB0IFCTL を除く）
		11	予約領域	—
		12	ADCA1	ADCA1 のすべてのレジスタ
		13	ECCETNB0TX	ECCETNB0TX グループのすべてのレジスタ
		14	ECCETNB0RX	ECCETNB0RX グループのすべてのレジスタ
PBG31	04	0	OSTM0	OSTM0 のすべてのレジスタ
		1	OSTM1-4	OSTM1, OSTM2, OSTM3, OSTM4 のすべてのレジスタ
		2	OSTM5	OSTM5 のすべてのレジスタ
		3	OSTM6-9	OSTM6, OSTM7, OSTM8, OSTM9 のすべてのレジスタ
		4	ECCCSIH0	ECC CSIH0 のすべてのレジスタ
		5	ECCCSIH1	ECC CSIH1 のすべてのレジスタ
		6	ECCCSIH2	ECC CSIH2 のすべてのレジスタ
		7	ECCCSIH3	ECC CSIH3 のすべてのレジスタ
		8	予約領域	—
		9	予約領域	—
		10	予約領域	—
		11	予約領域	—
		12	ECCFLXA0	ECCFLXA0 グループのすべてのレジスタ
		13	ECCFLXA0T0	ECCFLXA0T0 グループのすべてのレジスタ
		14	ECCFLXA0T1	ECCFLXA0T1 グループのすべてのレジスタ

表 40A.79　PBG/HBG グループとチャネルおよび対象モジュール

PBG/HBG グループ	グループ番号（レジスタ名の添字）注 3	PBG/HBG チャネル番号	保護対象モジュール	対象レジスタ
PBG32	05	0	CSIH0（グループ A）	CSIH0CTL0～2, CSIH0STR0, CSIH0STCR0, CSIH0EMU
		1	CSIH0（グループ B）	上記以外の CSIH0 レジスタ
		2	CSIH1（グループ A）	CSIH1CTL0～2, CSIH1STR0, CSIH1STCR0, CSIH1EMU
		3	CSIH1（グループ B）	上記以外の CSIH1 レジスタ
		4	CSIH2（グループ A）	CSIH2CTL0～2, CSIH2STR0, CSIH2STCR0, CSIH2EMU
		5	CSIH2（グループ B）	上記以外の CSIH2 レジスタ
		6	CSIH3（グループ A）	CSIH3CTL0～2, CSIH3STR0, CSIH3STCR0, CSIH3EMU
		7	CSIH3（グループ B）	上記以外の CSIH3 レジスタ
		8	CSIG0（グループ A）	CSIG0CTL0～2, CSIG0STR0, CSIG0STCR0, CSIG0EMU
		9	CSIG0（グループ B）	上記以外の CSIG0 レジスタ
		10	CSIG1（グループ A）	CSIG1CTL0～2, CSIG1STR0, CSIG1STCR0, CSIG1EMU
		11	CSIG1（グループ B）	上記以外の CSIG1 レジスタ
		12	CSIG2（グループ A）	CSIG2CTL0～2, CSIG2STR0, CSIG2STCR0, CSIG2EMU
		13	CSIG2（グループ B）	上記以外の CSIG2 レジスタ
		14	CSIG3（グループ A）	CSIG3CTL0～2, CSIG3STR0, CSIG3STCR0, CSIG3EMU
		15	CSIG3（グループ B）	上記以外の CSIG3 レジスタ
PBG33	13	0	CSIH4（グループ A）	CSIH4CTL0-2, CSIH4STR0, CSIH4STCR0, CSIH4EMU
		1	CSIH4（グループ B）	上記以外の CSIH4 レジスタ
		2	ECCCSIH4	ECC CSIH4 のすべてのレジスタ
		3	CSIG4（グループ A）	CSIG4CTL0-2, CSIG4STR0, CSIG4STCR0, CSIG4EMU
		4	CSIG4（グループ B）	上記以外の CSIG4 レジスタ
		5	ETNB1	ETNB1 のすべてのレジスタ（ETNB1IFCTL を除く）
		6	ECCETNB1TX	ECCETNB1TX グループのすべてのレジスタ
		7	ECCETNB1RX	ECCETNB1RX グループのすべてのレジスタ
PBG40	10	0	フラッシュメモリ（DCIB）	EEPRDCYCL
		1	DFECC	DFECCCTL, DFERSTR, DFERSTC, DFOVFSTR, DFOVFSTC, DFERRINT, DFEADR, DFTSTCTL
PBG50	06	0	システムコントロール注 1	書き込み保護機能、リセットコントローラ、電源回路、電源電圧モニタ、クロックコントローラ、クロックモニタ、スタンバイコントローラ、ロウパワーサンプラのすべてのレジスタ注 1（STBC0PSC, STBC0STPT, SWRESA, PROTCMD0, PROTS0, JPPCMD0, JPPROTS0, PPCMD0～3, PPCMD8～13, PPCMD18～24, PPROTS0～3, PPROTS8～13, PPROTS18～24, FLMDPCMD, FLMDPS を除く）
		1	STBC0	STBC0PSC, STBC0STPT
		2	予約領域	—
		3	予約領域	—
		4	RESCTL	SWRESA
		5	フラッシュメモリ（セルフプログラミング）	FLMD 注 2
		6	フラッシュメモリ（制御）	—注 2
		7	フラッシュメモリ（SCDS）	PRDNAME1～3, CHIPID1～2
		8	WPROTR	PROTCMD0 PROTS0

表 40A.79　PBG/HBG グループとチャネルおよび対象モジュール

PBG/HBG グループ	グループ番号（レジスタ名の添字）注 3	PBG/HBG チャネル番号	保護対象モジュール	対象レジスタ
PBG60	11	0	RCFDC0 (channel 0)	RCFDC0 Ch0 グループのすべてのレジスタ注 4
		1	RCFDC0 (channel 1)	RCFDC0 Ch1 グループのすべてのレジスタ注 4
		2	RCFDC0 (channel 2)	RCFDC0 Ch2 グループのすべてのレジスタ注 4
		3	RCFDC0 (channel 3)	RCFDC0 Ch3 グループのすべてのレジスタ注 4
		4	RCFDC0 (channel 4)	RCFDC0 Ch4 グループのすべてのレジスタ注 4
		5	RCFDC0 (channel 5)	RCFDC0 Ch5 グループのすべてのレジスタ注 4
		6	RCFDC0 (channel 6)	RCFDC0 Ch6 グループのすべてのレジスタ注 4
		7	RCFDC0 (channel 7)	RCFDC0 Ch7 グループのすべてのレジスタ注 4
		8	RCFDC0 (Global)	RCFDC0 Global グループのすべてのレジスタ注 4
		9	ECCCFD0MB	ECCCFD0MB のすべてのレジスタ
		10	ECCCFD0AFL0	ECCCFD0AFL0 のすべてのレジスタ
		11	ECCCFD0AFL1	ECCCFD0AFL1 のすべてのレジスタ
PBG61	14	0	RCFDC1_CAN0	RCFDC1 Ch0 グループのすべてのレジスタ
		1	RCFDC1_CAN1	RCFDC1 Ch1 グループのすべてのレジスタ
		2	RCFDC1_CAN2	RCFDC1 Ch2 グループのすべてのレジスタ
		3	RCFDC1_CAN3	RCFDC1 Ch3 グループのすべてのレジスタ
		4	RCFDC1_Global	RCFDC1 Global グループのすべてのレジスタ
		5	ECCCFD1MB	ECCCFD1MB のすべてのレジスタ
		6	ECCCFD1AFL0	ECCCFD1AFL0 のすべてのレジスタ
		7	ECCCFD1AFL1	ECCCFD1AFL1 のすべてのレジスタ
HBG00	00	0	MEMC0	MEMC0 のすべてのレジスタ
		1	MEMC0_CS0	外部メモリ領域（CS0）
		2	MEMC0_CS1	外部メモリ領域（CS1）
		3	MEMC0_CS2	外部メモリ領域（CS2）
		4	MEMC0_CS3	外部メモリ領域（CS3）
HBG01	01	0	SFMA0	SFMA0 のすべてのレジスタ
		1	SFMA0_MEM	外部シリアルフラッシュメモリ領域
HBG02	02	0	FLXA0	FLXA0 のすべてのレジスタ

注1. 詳細は、**「第 5 章　書き込み保護レジスタ」**、**「第 9A 章　RH850/F1KH-D8 のリセット」**、**「第 10A 章　電源とパワードメイン (RH850/F1KH-D8)」**、**「第 11A 章　電源電圧モニタ (RH850/F1KH-D8)」**、**「第 12AB 章　クロックコントローラ (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2)」**、**「第 13 章　クロックモニタ（CLMA）」**、**「第 14 章　スタンバイコントローラ（STBC）」**、**「第 15 章　ロウパワーサンプラ（LPS）」**を参照してください。

注2.　フラッシュメモリ用の PBG レジスタについては、「*RH850/F1KH, F1KM, F1K　フラッシュメモリ　ユーザーズマニュアル　ハードウェアインタフェース編*」を参照してください。

注3.　PBG レジスタのアドレスについては、**「表 40A.80　PBG/HBG 保護レジスタ一覧」**を参照してください。

注4.　RS-CANFD ガードグループについては、**「第 24 章　CANFD インタフェース（RS-CANFD）」**を参照してください。

備　考

各クロックドメインのレジスタアクセスクロックを無効にする前に、PBG/HBG を有効にして下さい。

40A.3.3.1　レジスタ一覧

PBG/HBG グループごとに実装されるレジスタを以下の表に示します。PBG/HBG グループは、そのままモジュール名となります。

表 40A.80　PBG/HBG 保護レジスタ一覧

PBG/HBG グループ 注 1	グループ番号注 2	略号	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ	パワードメイン
PBG10	00	FSGD00PROT0	PBG00 保護レジスタ 0	R/W	$066F\ FFF7_H$	$FFC4\ 0000_H$	8/16/32	ISO
		FSGD00PROT1	PBG00 保護レジスタ 1	R/W	$066F\ FFF7_H$	$FFC4\ 0004_H$	8/16/32	
		FSGD00PROT2	PBG00 保護レジスタ 2	R/W	$066F\ FFF7_H$	$FFC4\ 0008_H$	8/16/32	
		FSGD00PROT3	PBG00 保護レジスタ 3	R/W	$066F\ FFF7_H$	$FFC4\ 000C_H$	8/16/32	
		FSGD00PROT4	PBG00 保護レジスタ 4	R/W	$066F\ FFF7_H$	$FFC4\ 0010_H$	8/16/32	
		FSGD00PROT5	PBG00 保護レジスタ 5	R/W	$066F\ FFF7_H$	$FFC4\ 0014_H$	8/16/32	
		FSGD00PROT6	PBG00 保護レジスタ 6	R/W	$066F\ FFF7_H$	$FFC4\ 0018_H$	8/16/32	
		FSGD00PROT7	PBG00 保護レジスタ 7	R/W	$066F\ FFF7_H$	$FFC4\ 001C_H$	8/16/32	
		FSGD00PROT8	PBG00 保護レジスタ 8	R/W	$066F\ FFF7_H$	$FFC4\ 0020_H$	8/16/32	
		FSGD00PROT9	PBG00 保護レジスタ 9	R/W	$066F\ FFF7_H$	$FFC4\ 0024_H$	8/16/32	
		FSGD00PROT10	PBG00 保護レジスタ 10	R/W	$066F\ FFF7_H$	$FFC4\ 0028_H$	8/16/32	
		FSGD00PROT11	PBG00 保護レジスタ 11	R/W	$066F\ FFF7_H$	$FFC4\ 002C_H$	8/16/32	
		FSGD00PROT12	PBG00 保護レジスタ 12	R/W	$066F\ FFF7_H$	$FFC4\ 0030_H$	8/16/32	
		FSGD00PROT13	PBG00 保護レジスタ 13	R/W	$066F\ FFF7_H$	$FFC4\ 0034_H$	8/16/32	
		FSGD00PROT14	PBG00 保護レジスタ 14	R/W	$066F\ FFF7_H$	$FFC4\ 0038_H$	8/16/32	
		FSGD00PROT15	PBG00 保護レジスタ 15	R/W	$066F\ FFF7_H$	$FFC4\ 003C_H$	8/16/32	
PBG11	01	FSGD01PROT0	PBG01 保護レジスタ 0	R/W	$066F\ FFF7_H$	$FFC4\ 0100_H$	8/16/32	ISO
		FSGD01PROT1	PBG01 保護レジスタ 1	R/W	$066F\ FFF7_H$	$FFC4\ 0104_H$	8/16/32	
		FSGD01PROT2	PBG01 保護レジスタ 2	R/W	$066F\ FFF7_H$	$FFC4\ 0108_H$	8/16/32	
		FSGD01PROT3	PBG01 保護レジスタ 3	R/W	$066F\ FFF7_H$	$FFC4\ 010C_H$	8/16/32	
		FSGD01PROT4	PBG01 保護レジスタ 4	R/W	$066F\ FFF7_H$	$FFC4\ 0110_H$	8/16/32	
		FSGD01PROT5	PBG01 保護レジスタ 5	R/W	$066F\ FFF7_H$	$FFC4\ 0114_H$	8/16/32	
		FSGD01PROT6	PBG01 保護レジスタ 6	R/W	$066F\ FFF7_H$	$FFC4\ 0118_H$	8/16/32	
		FSGD01PROT7	PBG01 保護レジスタ 7	R/W	$066F\ FFF7_H$	$FFC4\ 011C_H$	8/16/32	
		FSGD01PROT8	PBG01 保護レジスタ 8	R/W	$066F\ FFF7_H$	$FFC4\ 0120_H$	8/16/32	
		FSGD01PROT9	PBG01 保護レジスタ 9	R/W	$066F\ FFF7_H$	$FFC4\ 0124_H$	8/16/32	
		FSGD01PROT10	PBG01 保護レジスタ 10	R/W	$066F\ FFF7_H$	$FFC4\ 0128_H$	8/16/32	
		—	予約	—	—	$FFC4\ 012C_H$	—	
		FSGD01PROT12	PBG01 保護レジスタ 12	R/W	$066F\ FFF7_H$	$FFC4\ 0130_H$	8/16/32	
		FSGD01PROT13	PBG01 保護レジスタ 13	R/W	$066F\ FFF7_H$	$FFC4\ 0134_H$	8/16/32	
		FSGD01PROT14	PBG01 保護レジスタ 14	R/W	$066F\ FFF7_H$	$FFC4\ 0138_H$	8/16/32	
		FSGD01PROT15	PBG01 保護レジスタ 15	R/W	$066F\ FFF7_H$	$FFC4\ 013C_H$	8/16/32	

表 40A.80　PBG/HBG 保護レジスター覧

PBG/HBG グループ 注 1	グループ番号注 2	略号	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ	パワードメイン
PBG12	07	FSGD07PROT0	PBG07 保護レジスタ 0	R/W	066F FFF7H	FFC4 0400H	8/16/32	ISO
		FSGD07PROT1	PBG07 保護レジスタ 1	R/W	066F FFF7H	FFC4 0404H	8/16/32	
		FSGD07PROT2	PBG07 保護レジスタ 2	R/W	066F FFF7H	FFC4 0408H	8/16/32	
		FSGD07PROT3	PBG07 保護レジスタ 3	R/W	066F FFF7H	FFC4 040CH	8/16/32	
		FSGD07PROT4	PBG07 保護レジスタ 4	R/W	066F FFF7H	FFC4 0410H	8/16/32	
		FSGD07PROT5	PBG07 保護レジスタ 5	R/W	066F FFF7H	FFC4 0414H	8/16/32	
		FSGD07PROT6	PBG07 保護レジスタ 6	R/W	066F FFF7H	FFC4 0418H	8/16/32	
		FSGD07PROT7	PBG07 保護レジスタ 7	R/W	066F FFF7H	FFC4 041CH	8/16/32	
		FSGD07PROT8	PBG07 保護レジスタ 8	R/W	066F FFF7H	FFC4 0420H	8/16/32	
		FSGD07PROT9	PBG07 保護レジスタ 9	R/W	066F FFF7H	FFC4 0424H	8/16/32	
		FSGD07PROT10	PBG07 保護レジスタ 10	R/W	066F FFF7H	FFC4 0428H	8/16/32	
		FSGD07PROT11	PBG07 保護レジスタ 11	R/W	066F FFF7H	FFC4 042CH	8/16/32	
		FSGD07PROT12	PBG07 保護レジスタ 12	R/W	066F FFF7H	FFC4 0430H	8/16/32	
		FSGD07PROT13	PBG07 保護レジスタ 13	R/W	066F FFF7H	FFC4 0434H	8/16/32	
		FSGD07PROT14	PBG07 保護レジスタ 14	R/W	066F FFF7H	FFC4 0438H	8/16/32	
		FSGD07PROT15	PBG07 保護レジスタ 15	R/W	066F FFF7H	FFC4 043CH	8/16/32	
PBG13	08	FSGD08PROT0	PBG08 保護レジスタ 0	R/W	066F FFF7H	FFC4 0500H	8/16/32	ISO
		FSGD08PROT1	PBG08 保護レジスタ 1	R/W	066F FFF7H	FFC4 0504H	8/16/32	
		FSGD08PROT2	PBG08 保護レジスタ 2	R/W	066F FFF7H	FFC4 0508H	8/16/32	
		FSGD08PROT3	PBG08 保護レジスタ 3	R/W	066F FFF7H	FFC4 050CH	8/16/32	
		FSGD08PROT4	PBG08 保護レジスタ 4	R/W	066F FFF7H	FFC4 0510H	8/16/32	
		FSGD08PROT5	PBG08 保護レジスタ 5	R/W	066F FFF7H	FFC4 0514H	8/16/32	
		FSGD08PROT6	PBG08 保護レジスタ 6	R/W	066F FFF7H	FFC4 0518H	8/16/32	
		FSGD08PROT7	PBG08 保護レジスタ 7	R/W	066F FFF7H	FFC4 051CH	8/16/32	
		FSGD08PROT8	PBG08 保護レジスタ 8	R/W	066F FFF7H	FFC4 0520H	8/16/32	
		—	予約	—	—	FFC4 0524H	—	
		—	予約	—	—	FFC4 0528H	—	
		—	予約	—	—	FFC4 052CH	—	
		—	予約	—	—	FFC4 0530H	—	
		FSGD08PROT13	PBG08 保護レジスタ 13	R/W	066F FFF7H	FFC4 0534H	8/16/32	
		FSGD08PROT14	PBG08 保護レジスタ 14	R/W	066F FFF7H	FFC4 0538H	8/16/32	
PBG14	12	FSGD12PROT0	PBG12 保護レジスタ 0	R/W	066F FFF7H	FFC4 0600H	8/16/32	ISO
		FSGD12PROT1	PBG12 保護レジスタ 1	R/W	066F FFF7H	FFC4 0604H	8/16/32	
		FSGD12PROT2	PBG12 保護レジスタ 2	R/W	066F FFF7H	FFC4 0608H	8/16/32	
		FSGD12PROT3	PBG12 保護レジスタ 3	R/W	066F FFF7H	FFC4 060CH	8/16/32	
		FSGD12PROT4	PBG12 保護レジスタ 4	R/W	066F FFF7H	FFC4 0610H	8/16/32	

表 40A.80　PBG/HBG 保護レジスタ一覧

PBG/HBG グループ 注 1	グループ番号注 2	略号	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ	パワードメイン
PBG20	02	FSGD02PROT0	PBG02 保護レジスタ 0	R/W	066F FFF7H	FFDD D000H	8/16/32	ISO
		FSGD02PROT1	PBG02 保護レジスタ 1	R/W	066F FFF7H	FFDD D004H	8/16/32	
		FSGD02PROT2	PBG02 保護レジスタ 2	R/W	066F FFF7H	FFDD D008H	8/16/32	
		FSGD02PROT3	PBG02 保護レジスタ 3	R/W	066F FFF7H	FFDD D00CH	8/16/32	
		FSGD02PROT4	PBG02 保護レジスタ 4	R/W	066F FFF7H	FFDD D010H	8/16/32	
		FSGD02PROT5	PBG02 保護レジスタ 5	R/W	066F FFF7H	FFDD D014H	8/16/32	
		FSGD02PROT6	PBG02 保護レジスタ 6	R/W	0607 FE77H	FFDD D018H	8/16/32	
		FSGD02PROT7	PBG02 保護レジスタ 7	R/W	060B FEB7H	FFDD D01CH	8/16/32	
		FSGD02PROT8	PBG02 保護レジスタ 8	R/W	066F FFF7H	FFDD D020H	8/16/32	
		FSGD02PROT9	PBG02 保護レジスタ 9	R/W	066F FFF7H	FFDD D024H	8/16/32	
		FSGD02PROT10	PBG02 保護レジスタ 10	R/W	066F FFF7H	FFDD D028H	8/16/32	
		FSGD02PROT11	PBG02 保護レジスタ 11	R/W	066F FFF7H	FFDD D02CH	8/16/32	
		FSGD02PROT12	PBG02 保護レジスタ 12	R/W	066F FFF7H	FFDD D030H	8/16/32	
		FSGD02PROT13	PBG02 保護レジスタ 13	R/W	066F FFF7H	FFDD D034H	8/16/32	
		FSGD02PROT14	PBG02 保護レジスタ 14	R/W	066F FFF7H	FFDD D038H	8/16/32	
		FSGD02PROT15	PBG02 保護レジスタ 15	R/W	066F FFF7H	FFDD D03CH	8/16/32	
PBG21	09	—	予約	—	—	FFDD D100H	—	ISO
		—	予約	—	—	FFDD D104H	—	
		—	予約	—	—	FFDD D108H	—	
		—	予約	—	—	FFDD D10CH	—	
		—	予約	—	—	FFDD D110H	—	
		FSGD09PROT5	PBG09 保護レジスタ 5	R/W	066F FFF7H	FFDD D114H	8/16/32	
		FSGD09PROT6	PBG09 保護レジスタ 6	R/W	066F FFF7H	FFDD D118H	8/16/32	
		—	予約	—	—	FFDD D11CH	—	
		FSGD09PROT8	PBG09 保護レジスタ 8	R/W	066F FFF7H	FFDD D120H	8/16/32	
		FSGD09PROT9	PBG09 保護レジスタ 9	R/W	066F FFF7H	FFDD D124H	8/16/32	
		FSGD09PROT10	PBG09 保護レジスタ 10	R/W	066F FFF7H	FFDD D128H	8/16/32	
		FSGD09PROT11	PBG09 保護レジスタ 11	R/W	066F FFF7H	FFDD D12CH	8/16/32	
		FSGD09PROT12	PBG09 保護レジスタ 12	R/W	066F FFF7H	FFDD D130H	8/16/32	
PBG30	03	—	予約	—	—	FFF9 4000H	—	ISO
		—	予約	—	—	FFF9 4004H	—	
		—	予約	—	—	FFF9 4008H	—	
		—	予約	—	—	FFF9 400CH	—	
		—	予約	—	—	FFF9 4010H	—	
		—	予約	—	—	FFF9 4014H	—	
		—	予約	—	—	FFF9 4018H	—	
		—	予約	—	—	FFF9 401CH	—	
		—	予約	—	—	FFF9 4020H	—	
		—	予約	—	—	FFF9 4024H	—	
		FSGD03PROT10	PBG03 保護レジスタ 10	R/W	066F FFF7H	FFF9 4028H	8/16/32	
		—	予約	—	—	FFF9 402CH	—	
		FSGD03PROT12	PBG03 保護レジスタ 12	R/W	066F FFF7H	FFF9 4030H	8/16/32	
		FSGD03PROT13	PBG03 保護レジスタ 13	R/W	066F FFF7H	FFF9 4034H	8/16/32	
		FSGD03PROT14	PBG03 保護レジスタ 14	R/W	066F FFF7H	FFF9 4038H	8/16/32	

表 40A.80　PBG/HBG 保護レジスター覧

PBG/HBG グループ 注 1	グループ番号注 2	略号	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ	パワードメイン
PBG31	04	FSGD04PROT0	PBG04 保護レジスタ 0	R/W	066F FFF7$_H$	FFF9 4100$_H$	8/16/32	ISO
		FSGD04PROT1	PBG04 保護レジスタ 1	R/W	0607 FE77$_H$	FFF9 4104$_H$	8/16/32	
		FSGD04PROT2	PBG04 保護レジスタ 2	R/W	066F FFF7$_H$	FFF9 4108$_H$	8/16/32	
		FSGD04PROT3	PBG04 保護レジスタ 3	R/W	060B FEB7$_H$	FFF9 410C$_H$	8/16/32	
		FSGD04PROT4	PBG04 保護レジスタ 4	R/W	066F FFF7$_H$	FFF9 4110$_H$	8/16/32	
		FSGD04PROT5	PBG04 保護レジスタ 5	R/W	066F FFF7$_H$	FFF9 4114$_H$	8/16/32	
		FSGD04PROT6	PBG04 保護レジスタ 6	R/W	066F FFF7$_H$	FFF9 4118$_H$	8/16/32	
		FSGD04PROT7	PBG04 保護レジスタ 7	R/W	066F FFF7$_H$	FFF9 411C$_H$	8/16/32	
		—	予約	—	—	FFF9 4120$_H$	—	
		—	予約	—	—	FFF9 4124$_H$	—	
		—	予約	—	—	FFF9 4128$_H$	—	
		—	予約	—	—	FFF9 412C$_H$	—	
		FSGD04PROT12	PBG04 保護レジスタ 12	R/W	066F FFF7$_H$	FFF9 4130$_H$	8/16/32	
		FSGD04PROT13	PBG04 保護レジスタ 13	R/W	066F FFF7$_H$	FFF9 4134$_H$	8/16/32	
		FSGD04PROT14	PBG04 保護レジスタ 14	R/W	066F FFF7$_H$	FFF9 4138$_H$	8/16/32	
PBG32	05	FSGD05PROT0	PBG05 保護レジスタ 0	R/W	066F FFF7$_H$	FFF9 4200$_H$	8/16/32	ISO
		FSGD05PROT1	PBG05 保護レジスタ 1	R/W	066F FFF7$_H$	FFF9 4204$_H$	8/16/32	
		FSGD05PROT2	PBG05 保護レジスタ 2	R/W	066F FFF7$_H$	FFF9 4208$_H$	8/16/32	
		FSGD05PROT3	PBG05 保護レジスタ 3	R/W	066F FFF7$_H$	FFF9 420C$_H$	8/16/32	
		FSGD05PROT4	PBG05 保護レジスタ 4	R/W	066F FFF7$_H$	FFF9 4210$_H$	8/16/32	
		FSGD05PROT5	PBG05 保護レジスタ 5	R/W	066F FFF7$_H$	FFF9 4214$_H$	8/16/32	
		FSGD05PROT6	PBG05 保護レジスタ 6	R/W	066F FFF7$_H$	FFF9 4218$_H$	8/16/32	
		FSGD05PROT7	PBG05 保護レジスタ 7	R/W	066F FFF7$_H$	FFF9 421C$_H$	8/16/32	
		FSGD05PROT8	PBG05 保護レジスタ 8	R/W	066F FFF7$_H$	FFF9 4220$_H$	8/16/32	
		FSGD05PROT9	PBG05 保護レジスタ 9	R/W	066F FFF7$_H$	FFF9 4224$_H$	8/16/32	
		FSGD05PROT10	PBG05 保護レジスタ 10	R/W	066F FFF7$_H$	FFF9 4228$_H$	8/16/32	
		FSGD05PROT11	PBG05 保護レジスタ 11	R/W	066F FFF7$_H$	FFF9 422C$_H$	8/16/32	
		FSGD05PROT12	PBG05 保護レジスタ 12	R/W	066F FFF7$_H$	FFF9 4230$_H$	8/16/32	
		FSGD05PROT13	PBG05 保護レジスタ 13	R/W	066F FFF7$_H$	FFF9 4234$_H$	8/16/32	
		FSGD05PROT14	PBG05 保護レジスタ 14	R/W	066F FFF7$_H$	FFF9 4238$_H$	8/16/32	
		FSGD05PROT15	PBG05 保護レジスタ 15	R/W	066F FFF7$_H$	FFF9 423C$_H$	8/16/32	
PBG33	13	FSGD13PROT0	PBG13 保護レジスタ 0	R/W	066F FFF7$_H$	FFF9 4300$_H$	8/16/32	ISO
		FSGD13PROT1	PBG13 保護レジスタ 1	R/W	066F FFF7$_H$	FFF9 4304$_H$	8/16/32	
		FSGD13PROT2	PBG13 保護レジスタ 2	R/W	066F FFF7$_H$	FFF9 4308$_H$	8/16/32	
		FSGD13PROT3	PBG13 保護レジスタ 3	R/W	066F FFF7$_H$	FFF9 430C$_H$	8/16/32	
		FSGD13PROT4	PBG13 保護レジスタ 4	R/W	066F FFF7$_H$	FFF9 4310$_H$	8/16/32	
		FSGD13PROT5	PBG13 保護レジスタ 5	R/W	066F FFF7$_H$	FFF9 4314$_H$	8/16/32	
		FSGD13PROT6	PBG13 保護レジスタ 6	R/W	066F FFF7$_H$	FFF9 4318$_H$	8/16/32	
		FSGD13PROT7	PBG13 保護レジスタ 7	R/W	066F FFF7$_H$	FFF9 431C$_H$	8/16/32	
PBG40	10	FSGD10PROT0	PBG10 保護レジスタ 0	R/W	066F FFF7$_H$	FFC5 9C00$_H$	8/16/32	ISO
		FSGD10PROT1	PBG10 保護レジスタ 1	R/W	066F FFF7$_H$	FFC5 9C04$_H$	8/16/32	

表 40A.80　PBG/HBG 保護レジスター覧

PBG/HBG グループ 注1	グループ番号注2	略号	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ	パワードメイン
PBG50	06	FSGD06PROT0	PBG06 保護レジスタ 0	R/W	066F FFF7H	FFF9 0000H	8/16/32	ISO
		FSGD06PROT1	PBG06 保護レジスタ 1	R/W	0647 FF77H	FFF9 0004H	8/16/32	
		—	予約	—	—	FFF9 0008H	—	
		—	予約	—	—	FFF9 000CH	—	
		FSGD06PROT4	PBG06 保護レジスタ 4	R/W	066F FFF7H	FFF9 0010H	8/16/32	
		FSGD06PROT5	PBG06 保護レジスタ 5	R/W	066F FFF7H	FFF9 0014H	8/16/32	
		—	予約	—	—	FFF9 0018H	—	
		FSGD06PROT7	PBG06 保護レジスタ 7	R/W	066F FFF7H	FFF9 001CH	8/16/32	
		FSGD06PROT8	PBG06 保護レジスタ 8	R/W	066F FFF7H	FFF9 0020H	8/16/32	
PBG60	11	FSGD11PROT0	PBG11 保護レジスタ 0	R/W	066F FFF7H	FFC7 1800H	8/16/32	ISO
		FSGD11PROT1	PBG11 保護レジスタ 1	R/W	066F FFF7H	FFC7 1804H	8/16/32	
		FSGD11PROT2	PBG11 保護レジスタ 2	R/W	066F FFF7H	FFC7 1808H	8/16/32	
		FSGD11PROT3	PBG11 保護レジスタ 3	R/W	066F FFF7H	FFC7 180CH	8/16/32	
		FSGD11PROT4	PBG11 保護レジスタ 4	R/W	066F FFF7H	FFC7 1810H	8/16/32	
		FSGD11PROT5	PBG11 保護レジスタ 5	R/W	066F FFF7H	FFC7 1814H	8/16/32	
		FSGD11PROT6	PBG11 保護レジスタ 6	R/W	066F FFF7H	FFC7 1818H	8/16/32	
		FSGD11PROT7	PBG11 保護レジスタ 7	R/W	066F FFF7H	FFC7 181CH	8/16/32	
		FSGD11PROT8	PBG11 保護レジスタ 8	R/W	066F FFF7H	FFC7 1820H	8/16/32	
		FSGD11PROT9	PBG11 保護レジスタ 9	R/W	066F FFF7H	FFC7 1824H	8/16/32	
		FSGD11PROT10	PBG11 保護レジスタ 10	R/W	066F FFF7H	FFC7 1828H	8/16/32	
		FSGD11PROT11	PBG11 保護レジスタ 11	R/W	066F FFF7H	FFC7 182CH	8/16/32	
PBG61	14	FSGD14PROT0	PBG14 保護レジスタ 0	R/W	066F FFF7H	FFC7 1900H	8/16/32	ISO
		FSGD14PROT1	PBG14 保護レジスタ 1	R/W	066F FFF7H	FFC7 1904H	8/16/32	
		FSGD14PROT2	PBG14 保護レジスタ 2	R/W	066F FFF7H	FFC7 1908H	8/16/32	
		FSGD14PROT3	PBG14 保護レジスタ 3	R/W	066F FFF7H	FFC7 190CH	8/16/32	
		FSGD14PROT4	PBG14 保護レジスタ 4	R/W	066F FFF7H	FFC7 1910H	8/16/32	
		FSGD14PROT5	PBG14 保護レジスタ 5	R/W	066F FFF7H	FFC7 1914H	8/16/32	
		FSGD14PROT6	PBG14 保護レジスタ 6	R/W	066F FFF7H	FFC7 1918H	8/16/32	
		FSGD14PROT7	PBG14 保護レジスタ 7	R/W	066F FFF7H	FFC7 191CH	8/16/32	
HBG00	00	HFSGD00PROT0	HBG00 保護レジスタ 0	R/W	066F FFF7H	FFF9 C000H	8/16/32	ISO
		HFSGD00PROT1	HBG00 保護レジスタ 1	R/W	066F FFF7H	FFF9 C004H	8/16/32	
		HFSGD00PROT2	HBG00 保護レジスタ 2	R/W	066F FFF7H	FFF9 C008H	8/16/32	
		HFSGD00PROT3	HBG00 保護レジスタ 3	R/W	066F FFF7H	FFF9 C00CH	8/16/32	
		HFSGD00PROT4	HBG00 保護レジスタ 4	R/W	066F FFF7H	FFF9 C010H	8/16/32	
HBG01	01	HFSGD01PROT0	HBG01 保護レジスタ 0	R/W	066F FFF7H	FFF9 C100H	8/16/32	ISO
		HFSGD01PROT1	HBG01 保護レジスタ 1	R/W	066F FFF7H	FFF9 C104H	8/16/32	
HBG02	02	HFSGD02PROT0	HBG02 保護レジスタ 0	R/W	066F FFF7H	FFF9 C200H	8/16/32	ISO

注1.　モジュール名を示します。

注2.　レジスタ名の添字

PBG/HBG グループごとに実装されるレジスタを以下の表に示します。

表 40A.81　PBG/HBG エラーレジスタ一覧

モジュール名	略号	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ
PBGxx	ERRSLVxxCTL	PBGxx エラーコントロールレジスタ	W	0000 0000$_H$	<base_addr0> + 0$_H$	8/16/32
	ERRSLVxxSTAT	PBGxx エラーステータスレジスタ	R	0000 0000$_H$	<base_addr0> + 4$_H$	8/16/32
	ERRSLVxxADDR	PBGxx エラーアドレスレジスタ	R	0000 0000$_H$	<base_addr0> + 8$_H$	32
	ERRSLVxxTYPE	PBGxx エラータイプレジスタ	R	0000 0000$_H$	<base_addr0> + C$_H$	16/32
HBGxx	HERRSLVxxCTL	HBGxx エラーコントロールレジスタ	W	0000 0000$_H$	<base_addr1> + 0$_H$	8/16/32
	HERRSLVxxSTAT	HBGxx エラーステータスレジスタ	R	0000 0000$_H$	<base_addr1> + 4$_H$	8/16/32
	HERRSLVxxADDR	HBGxx エラーアドレスレジスタ	R	0000 0000$_H$	<base_addr1> + 8$_H$	32
	HERRSLVxxTYPE	HBGxx エラータイプレジスタ	R	0000 0000$_H$	<base_addr1> + C$_H$	16/32

上記の表では、レジスタ名や略号の“xx”は PBG のグループ番号を示します。以下の表に各 PBG グループ番号とチャネル番号に対応するベースアドレス値<base_addr0>、および各 HBG グループ番号とチャネル番号に対応するベースアドレス値<base_addr1>を示します。

表 40A.82　PBG グループ番号とエラーベースアドレス

PBG グループ	PBG グループ番号	<base_addr0>
PBG10	00	FFC4 0040$_H$
PBG11	01	FFC4 0140$_H$
PBG12	07	FFC4 0440$_H$
PBG13	08	FFC4 0540$_H$
PBG14	12	FFC4 0640$_H$
PBG20	02	FFDD D040$_H$
PBG21	09	FFDD D140$_H$
PBG30	03	FFF9 4040$_H$
PBG31	04	FFF9 4140$_H$
PBG32	05	FFF9 4240$_H$
PBG33	13	FFF9 4340$_H$
PBG40	10	FFC5 9C40$_H$
PBG50	06	FFF9 0040$_H$
PBG60	11	FFC7 1840$_H$
PBG61	14	FFC7 1940$_H$

表 40A.83　HBG グループ番号とエラーベースアドレス

HBG グループ	HBG グループ番号	<base_addr1>
HBG00	00	FFF9 C040$_H$
HBG01	01	FFF9 C140$_H$
HBG02	02	FFF9 C240$_H$

40A.3.3.2　　レジスタ詳細

(1) FSGDxxPROTn ― PBGxx 保護レジスタ n
HFSGDxxPROTn ― HBGxx 保護レジスタ n

FSGDxxPROTn および HFSGDxxPROTn レジスタは、保護対象である周辺回路制御レジスタに対するアクセス禁止／許可を指定します。いずれかの識別子で禁止されたアクセスは、不正アクセスとして拒否されます。レジスタ名および略号の“n”は、PBG/HBG チャネル番号を表します。

アクセス　FSGDxxPROTn、HFSGDxxPROTn レジスタは、32 ビット単位でリード／ライト可能です。

FSGDxxPROTnL、FSGDxxPROTnH、HFSGDxxPROTnL、HFSGDxxPROTnH レジスタは、16 ビット単位でリード／ライト可能です。

FSGDxxPROTnLL、FSGDxxPROTnHL、FSGDxxPROTnHH、HFSGDxxPROTnLL、HFSGDxxPROTnHL、HFSGDxxPROTnHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　「**表 40A.80 PBG/HBG 保護レジスタ一覧**」を参照してください。

リセット後の値　「**表 40A.80 PBG/HBG 保護レジスタ一覧**」を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PROTLOCK	—	—	—	—	—	PROTUM	—	—	—	PROTPEID4	—	PROTPEID2	PROTPEID1	—	—
リセット後の値	0	0	0	0	0	1	1	注1	注1	注1	注1	注1	注1	注1	注1	1
R/W	R/W	R	R	R	R	R	R/W	R	R	R	R/W	R	R/W	R/W	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PROTSPID3	PROTSPID2	PROTSPID1	PROTSPID0	—	PROTRDPDEF	PROTWRPDEF	PROTRD	PROTWR
リセット後の値	1	1	1	1	1	1	1	注1	注1	注1	注1	1	0	1	1	1
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W

注1.　各レジスタで異なります。「**40A.3.3.1 レジスタ一覧**」を参照してください。

表 40A.84　FSGDxxPROTn/HFSGxxPROTn レジスタの内容

ビット位置	ビット名	機能
31	PROTLOCK	レジスタのロック 0：FSGDxxPROTn/HFSGDxxPROTn レジスタの書き換え許可 1：FSGDxxPROTn/HFSGDxxPROTn レジスタの書き換え禁止 PROTLOCK を 1 にセットすると、リセットが発生するまで値が保持されます。
30～26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25	PROTUM	ユーザモードでのアクセス 0：スーパバイザモードでのアクセスを許可します。 1：ユーザモードとスーパバイザモードのアクセスを許可します。
24～22	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
21	PROTPEID4	PEID＝4（H-BUS に接続される周辺装置）によるアクセス[注1] 0：PEID4 でのアクセスを禁止します。 1：PEID4 でのアクセスを許可します。
20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19	PROTPEID2	PEID＝2（CPU2）によるアクセス[注1] 0：PEID2 でのアクセスを禁止します。 1：PEID2 でのアクセスを許可します。

表 40A.84　FSGDxxPROTn/HFSGxxPROTn レジスタの内容

ビット位置	ビット名	機能
18	PROTPEID1	PEID＝1（CPU1）によるアクセス注1 0：PEID1 でのアクセスを禁止します。 1：PEID1 でのアクセスを許可します。
17～9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	PROTSPID3	SPID＝3 によるアクセス注2、注3 0：SPID3 でのアクセスを禁止します。 1：SPID3 でのアクセスを許可します。
7	PROTSPID2	SPID＝2（CPU2）によるアクセス注2、注3 0：SPID2 でのアクセスを禁止します。 1：SPID2 でのアクセスを許可します。
6	PROTSPID1	SPID＝1（CPU1）によるアクセス注2、注3 0：SPID1 でのアクセスを禁止します。 1：SPID1 でのアクセスを許可します。
5	PROTSPID0	SPID＝0 によるアクセス注2、注3 0：SPID0 でのアクセスを禁止します。 1：SPID0 でのアクセスを許可します。
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	PROTRDPDEF	デフォルトリード保護 0：本レジスタでの他の設定にかかわらず、いずれのマスタからのリードアクセスを許可します。 1：PROTRD ビットの設定に依存します。
2	PROTWRPDEF	デフォルトライト保護 0：本レジスタでの他の設定にかかわらず、いずれのマスタからのライトアクセスを許可します。 1： PROTWR ビットの設定に依存します。
1	PROTRD	読み出し許可 0：フィルタリングされたバスマスタによるリードアクセスを禁止します。 1：フィルタリングされたバスマスタによるリードアクセスを許可します。
0	PROTWR	書き込み許可 0：フィルタリングされたバスマスタによるライトアクセスを禁止します。 1：フィルタリングされたバスマスタによるライトアクセスを許可します。

注1.　PEID によるアクセス
　　PROTPEID は各ビットがそれぞれ 1 つの PEID 値に対応するビットリストです。
　　複数のビットを設定することによって同時に複数のバスマスタの ID 値を許可します。

注2.　SPID によるアクセス
　　PROTSPID は各ビットがそれぞれ 1 つの SPID 値に対応するビットリストです。
　　複数のビットを設定することによって同時に複数のマスタの ID 値を許可します。

注3.　SPID については、「**表 40A.69　スレーブガードの識別子**」を参照してください

(2) ERRSLVxxCTL ― PBGxx エラーコントロールレジスタ
HERRSLVxxCTL ― HBGxx エラーコントロールレジスタ

ERRSLVxxCTL および HERRSLVxxCTL レジスタは PBGxx/HBGxx のエラーステータスレジスタのステータスをクリアするためのレジスタです。

アクセス	ERRSLVxxCTL、HERRSLVxxCTL レジスタは、32 ビット単位でライトのみ可能です。 ERRSLVxxCTLL、HERRSLVxxCTLL レジスタは、16 ビット単位でライトのみ可能です。 ERRSLVxxCTLLL、HERRSLVxxCTLLL レジスタは、8 ビット単位でライトのみ可能です。
アドレス	ERRSLVxxCTL：<base_addr0> + 0_H ERRSLVxxCTLL：<base_addr0> + 0_H ERRSLVxxCTLLL：<base_addr0> + 0_H HERRSLVxxCTL：<base_addr1> + 0_H HERRSLVxxCTLL：<base_addr1> + 0_H HERRSLVxxCTLLL：<base_addr1> + 0_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLRO	CLRE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W

表 40A.85　ERRSLVxxCTL/HERRSLVxxCTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	ライトする場合はリセット後の値を書いてください。
1	CLRO	オーバフローフラグをクリアします。 0：オーバフローフラグをクリアしません。 1：オーバフローフラグをクリアします。
0	CLRE	エラーフラグをクリアします。 0：エラーフラグをクリアしません。 1：エラーフラグをクリアします。

表 40A.86　ERRSLVxxCTL レジスタの CLRO および CLRE

CLRO	CLRE	機能
0	0	どちらのビットもクリアしません。
0	1	設定禁止
1	0	OVF ビットをクリアします。
1	1	OVF と ERR ビットをクリアします。

(3) ERRSLVxxSTAT — PBGxx エラーステータスレジスタ HERRSLVxxSTAT — HBGxx エラーステータスレジスタ

ERRSLVxxSTAT および HERRSLVxxSTAT レジスタは PBGxx/HBGxx で拒否した不正アクセスのステータスを保持するためのレジスタです。

アクセス　ERRSLVxxSTAT、HERRSLVxxSTAT レジスタは、32 ビット単位でリードのみ可能です。
ERRSLVxxSTATL、HERRSLVxxSTATL レジスタは、16 ビット単位でリードのみ可能です。
ERRSLVxxSTATLL、HERRSLVxxSTATLL レジスタは、8 ビット単位でリードのみ可能です。

アドレス　ERRSLVxxSTAT : <base_addr0> + 4_H
ERRSLVxxSTATL : <base_addr0> + 4_H
ERRSLVxxSTATLL : <base_addr0> + 4_H
HERRSLVxxSTAT : <base_addr1> + 4_H
HERRSLVxxSTATL : <base_addr1> + 4_H
HERRSLVxxSTATLL : <base_addr1> + 4_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OVF	ERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40A.87　ERRSLVxxSTAT/HERRSLVxxSTAT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1	OVF	エラーエントリオーバフローフラグ 0：オーバフローなし 1：オーバフロー発生 PBG/HBG のエラーエントリ段数は 1 のため、最初のガード違反が発生し、エラーステータスフラグがセットされた状態で再度ガード違反が発生した場合、エラーエントリがオーバフローし、本フラグがセットされます。 このオーバフローは INTGUARD に通知されます。 さらに、INTGUARD によってオーバフローが発生したかどうかを判断することはできません。オーバフロー・チェックの場合、OVF ビットをチェックする必要があります。オーバフローが発生した際のガード違反のエラー情報はキャプチャされません。
0	ERR	エラーステータスフラグ 0：PBG/HBG 保護違反なし 1：PBG/HBG 保護違反発生

注　意

HERRSLVxxCTL への書き込み後、以下の処理を行った後に、HERRSLVxxSTAT の値が反映されます。

－ SYNCM を実行
－ 24CPU クロック[注1]サイクル待機

注1.　CPU クロック：CKSC_CPUCLKS_CTRL および CKSC_CPUCLKD_CTL で選択したクロック

(4) ERRSLVxxADDR ― PBGxx エラーアドレスレジスタ
HERRSLVxxADDR ― HBGxx エラーアドレスレジスタ

ERRSLVxxADDR レジスタは PBGxx で拒否した不正アクセスのアドレスを保持するためのレジスタです。対応する ERRSLVxxSTAT.ERR が 1 の場合は、本レジスタは更新されません。

HERRSLVxxADDR レジスタは HBGxx で拒否した不正アクセスのアドレスを保持するためのレジスタです。対応する HERRSLVxxSTAT.ERR が 1 の場合は、本レジスタは更新されません。

アクセス　ERRSLVxxADDR、HERRSLVxxADDR レジスタは、32 ビット単位でリードのみ可能です。

アドレス　ERRSLVxxADDR：<base_addr0> + 8_H

HERRSLVxxADDR：<base_addr1> + 8_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADDR[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADDR[15:2]														—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40A.88　ERRSLVxxADDR/HERRSLVxxADDR レジスタの内容

ビット位置	ビット名	機能
31～2	ADDR[31:2]	PBG/HBG 保護違反が生成されたアドレス
1、0	予約ビット	ERRSLVxxADDR:リードした場合はリセット後の値が読めます。 HERRSLVxxADDR:リードした場合は不定値が読めます。

(5) ERRSLVxxTYPE — PBGxx エラータイプレジスタ
HERRSLVxxTYPE — HBGxx エラータイプレジスタ

ERRSLVxxTYPE レジスタは PBGxx で拒否した不正アクセスのタイプを保持するためのレジスタです。対応する ERRSLVxxSTAT.ERR が 1 の場合は、本レジスタは更新されません。

HERRSLVxxTYPE レジスタは HBGxx で拒否した不正アクセスのタイプを保持するためのレジスタです。対応する HERRSLVxxSTAT.ERR が 1 の場合は、本レジスタは更新されません。

アクセス	ERRSLVxxTYPE、HERRSLVxxTYPE レジスタは、32 ビット単位でリードのみ可能です。 ERRSLVxxTYPEL、HERRSLVxxTYPEL レジスタは、16 ビット単位でリードのみ可能です。
アドレス	ERRSLVxxTYPE : <base_addr0> + C_H ERRSLVxxTYPEL : <base_addr0> + C_H HERRSLVxxTYPE : <base_addr1> + C_H HERRSLVxxTYPEL : <base_addr1> + C_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PEID[2:0]			—	—	—	SPID[1:0]		—	UM	—	—	—	—	—	WRITE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40A.89　ERRSLVxxTYPE/HERRSLVxxTYPE レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。
15～13	PEID[2:0]	PBG/HBG 保護違反を発生させたアクセス元の PEID。
12～10	予約ビット	リードした場合はリセット後の値が読めます。
9、8	SPID[1:0]	PBG/HBG 保護違反を発生させたアクセス元の SPID。
7	予約ビット	リードした場合はリセット後の値が読めます。
6	UM	PBG/HBG 保護違反を発生させたアクセス元の UM。
5	予約ビット	リードした場合はリセット後の値が読めます。
4～1	予約ビット	リードした場合は不定値が読めます。
0	WRITE	PBG/HBG 保護違反を発生させたアクセスがライトの場合、1 が設定されます。

40A.3.4 CPU システム用 PBG

PBGC モジュールは、PBGC0 と PBGC1 の 2 つの PBGC グループに分かれています。PBGC0 グループには、INTC2 および DMA 機能に対する保護レジスタが含まれています。PBGC1 グループには、ECC コントロール機能などに対する保護レジスタが含まれています。各 PBGC グループには、拒否されたアクセスに関する情報が格納されます。

保護対象のレジスタおよび対応する PBGC グループ名を以下の表に示します。

表 40A.90　CPU サブシステム用 PBG に対する対象レジスタ

PBGC グループ	グループ番号	チャネル番号	保護対象モジュール	対象レジスタ
PBGC0	C0 （CPU システムに対する PBC グループ 0）	0	INTC2	ICxxx、IBDxxx（xxx=32〜381） IMRm（m=1〜11） （**「第 7A 章　RH850/F1KH-D8 の例外／割り込み」**を参照）
		1	PDMA0	DMA コントローラ内のすべてのレジスタ（**「第 8 章　DMA コントローラ」**を参照）
		2	PDMA1	DMA コントローラ内のすべてのレジスタ（**「第 8 章　DMA コントローラ」**を参照）

表 40A.90　CPU サブシステム用 PBG に対する対象レジスタ

PBGC グループ	グループ番号	チャネル番号	保護対象モジュール	対象レジスタ
PBGC1	C1 （CPU システムに対する PBC グループ 1）	0	フラッシュメモリ（プログラミング機能）	BFASELR 注1
		1	コードフラッシュ ECC コントロールレジスタ（VCI）	CFECCCTL_VCI CFERRINT_VCI CFSTCLR_VCI CFOVFSTR_VCI CF1STERSTR_VCI CF1STEADR0_VCI CFSTSTCTL_VCI
		2	コードフラッシュ ECC コントロールレジスタ（PE1）	CFECCCTL_PE1 CFERRINT_PE1 CFSTCLR_PE1 CFOVFSTR_PE1 CF1STERSTR_PE1 CF1STEADR0_PE1
		3	ローカル RAM ECC コントロールレジスタ（PE1）	LRTSTCTL_PE1 LRTDATBF0_PE1 LRECCCTL_PE1 LRERRINT_PE1 LRSTCLR_PE1 LROVFSTR_PE1 LR1STERSTR_PE1 LR1STEADR0_PE1
		4	システムコントロールモジュール	BOOTCTRL（**「第 3A 章 RH850/F1KH-D8 の CPU システム」**を参照） EPC（**「第 43 章 オンチップデバッグユニット（OCD）」**を参照）
		5	バッファコントローラ	FBUFCCTL（**「第 3A 章 RH850/F1KH-D8 の CPU システム」**を参照）
		6	グローバル RAM ECC コントロールレジスタ（バンク A）	GRECCCTL_BKA GRERRINT_BKA GRSTCLR_BKA GROVFSTR_BKA GR1STERSTR_BKA GR1STEADR_BKA GRTSTCTL_BKA GRDECINBF1_BKA
		7	グローバル RAM ECC コントロールレジスタ（バンク B）	GRECCCTL_BKB GRERRINT_BKB GRSTCLR_BKB GROVFSTR_BKB GR1STERSTR_BKB GR1STEADR_BKB GRTSTCTL_BKB GRDECINBF1_BKB
		8	コードフラッシュ ECC コントロールレジスタ（PE2）	CFECCCTL_PE2 CFERRINT_PE2 CFSTCLR_PE2 CFOVFSTR_PE2 CF1STERSTR_PE2 CF1STEADR0_PE2
		9	ローカル RAM ECC コントロールレジスタ（PE2）	LRTSTCTL_PE2 LRTDATBF0_PE2 LRECCCTL_PE2 LRERRINT_PE2 LRSTCLR_PE2 LROVFSTR_PE2 LR1STERSTR_PE2 LR1STEADR0_PE2

注1.　フラッシュメモリ用の PBGC レジスタについては、「*RH850/F1KH, F1KM, F1K フラッシュメモリ ユーザーズマニュアル ハードウェアインタフェース編*」を参照してください。

40A.3.4.1　　レジスター覧

PBGC グループごとに実装されるレジスタを以下の表に示します。PBG グループは、そのままモジュール名となります。

表 40A.91　PBGC 保護レジスター覧

PBG グループ 注 1	グループ番号	略号	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ	パワードメイン
PBGC0	C0	FSGDC0PROT0	PBGC0 保護レジスタ 0	R/W	07FF FFFF$_H$	FFC4 C000$_H$	8/16/32	ISO
		FSGDC0PROT1	PBGC0 保護レジスタ 1	R/W	07FF FFFF$_H$	FFC4 C004$_H$	8/16/32	
		FSGDC0PROT2	PBGC0 保護レジスタ 2	R/W	07FF FFFF$_H$	FFC4 C008$_H$	8/16/32	
PBGC1	C1	FSGDC1PROT0	PBGC1 保護レジスタ 0	R/W	07FF FFFF$_H$	FFC4 C120$_H$	8/16/32	ISO
		FSGDC1PROT1	PBGC1 保護レジスタ 1	R/W	07FF FFFF$_H$	FFC4 C124$_H$	8/16/32	
		FSGDC1PROT2	PBGC1 保護レジスタ 2	R/W	07FF FFFF$_H$	FFC4 C128$_H$	8/16/32	
		FSGDC1PROT3	PBGC1 保護レジスタ 3	R/W	07FF FFFF$_H$	FFC4 C12C$_H$	8/16/32	
		FSGDC1PROT4	PBGC1 保護レジスタ 4	R/W	07FF FFFF$_H$	FFC4 C130$_H$	8/16/32	
		FSGDC1PROT5	PBGC1 保護レジスタ 5	R/W	07FF FFFF$_H$	FFC4 C134$_H$	8/16/32	
		FSGDC1PROT6	PBGC1 保護レジスタ 6	R/W	07FF FFFF$_H$	FFC4 C118$_H$	8/16/32	
		FSGDC1PROT7	PBGC1 保護レジスタ 7	R/W	07FF FFFF$_H$	FFC4 C11C$_H$	8/16/32	
		FSGDC1PROT8	PBGC1 保護レジスタ 8	R/W	07FF FFFF$_H$	FFC4 C138$_H$	8/16/32	
		FSGDC1PROT9	PBGC1 保護レジスタ 9	R/W	07FF FFFF$_H$	FFC4 C13C$_H$	8/16/32	

注1.　モジュール名を示します。

表 40A.92　PBGC エラーレジスター覧

モジュール名	略号	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ
PBGC0	ERRSLVC0CTL	PBGC0 エラーコントロールレジスタ	W	0000 0000$_H$	FFC4 C800$_H$	8/16/32
	ERRSLVC0STAT	PBGC0 エラーステータスレジスタ	R	0000 0000$_H$	FFC4 C804$_H$	8/16/32
	ERRSLVC0ADDR	PBGC0 エラーアドレスレジスタ	R	0000 0000$_H$	FFC4 C808$_H$	32
	ERRSLVC0TYPE	PBGC0 エラータイプレジスタ	R	0000 0000$_H$	FFC4 C80C$_H$	16/32
PBGC1	ERRSLVC1CTL	PBGC1 エラーコントロールレジスタ	W	0000 0000$_H$	FFC4 C900$_H$	8/16/32
	ERRSLVC1STAT	PBGC1 エラーステータスレジスタ	R	0000 0000$_H$	FFC4 C904$_H$	8/16/32
	ERRSLVC1ADDR	PBGC1 エラーアドレスレジスタ	R	0000 0000$_H$	FFC4 C908$_H$	32
	ERRSLVC1TYPE	PBGC1 エラータイプレジスタ	R	0000 0000$_H$	FFC4 C90C$_H$	16/32

40A.3.4.2 レジスタ詳細

(1) FSGDCxPROTn — PBGCx 保護レジスタ n（x＝0, 1）

FSGDCxPROTn レジスタは、保護対象であるレジスタに対するアクセス禁止／許可を指定します。いずれかの識別子で禁止されたアクセスは、不正アクセスとして拒否されます。

レジスタ名および略号の“n”は、PBGC チャネル番号を表します。

アクセス	FSGDCxPROTn レジスタは、32 ビット単位でリード／ライト可能です。 FSGDCxPROTnL、FSGDCxPROTnH レジスタは、16 ビット単位でリード／ライト可能です。 FSGDCxPROTnLL、FSGDCxPROTnHL、FSGDCxPROTnHH レジスタは、8 ビット単位でリード／ライト可能です。
アドレス	「**表 40A.91 PBGC 保護レジスター覧**」を参照してください。
リセット後の値	「**表 40A.91 PBGC 保護レジスター覧**」を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PROTLOCK	—	—	—	—	—	PROTUM	—	—	—	PROTPEID4	—	PROTPEID2	PROTPEID1	—	—
リセット後の値	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R	R	R	R	R	R/W	R	R	R	R/W	R	R/W	R/W	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PROTSPID3	PROTSPID2	PROTSPID1	PROTSPID0	—	PROTRDPDEF	PROTWRPDEF	PROTRD	PROTWR
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W

表 40A.93 FSGDCxPROTn レジスタの内容

ビット位置	ビット名	機能
31	PROTLOCK	本レジスタへの書き込みロック 0：レジスタの書き換えが可能 1：本レジスタへの書き込みは無視されます。本ビットはリセットでクリアできます。
30～26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25	PROTUM	ユーザモードでのアクセス 0：スーパバイザモードでのアクセスを許可します。 1：ユーザモードとスーパバイザモードでのアクセスを許可します。
24～22	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
21	PROTPEID4	PEID＝4（H-BUS に接続される周辺装置）によるアクセス注 1 0：PEID4 でのアクセスを禁止します。 1：PEID4 でのアクセスを許可します。
20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19	PROTPEID2	PEID＝2（CPU2）によるアクセス注 1 0：PEID2 でのアクセスを禁止します。 1：PEID2 でのアクセスを許可します。
18	PROTPEID1	PEID＝1（CPU1）によるアクセス注 1 0：PEID1 でのアクセスを禁止します。 1：PEID1 でのアクセスを許可します。
17～9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 40A.93　FSGDCxPROTn レジスタの内容

ビット位置	ビット名	機能
8	PROTSPID3	SPID＝3 によるアクセス[注 2、注 3] 0：SPID3 でのアクセスを禁止します。 1：SPID3 でのアクセスを許可します。
7	PROTSPID2	SPID＝2（CPU2）によるアクセス[注 2、注 3] 0：SPID2 でのアクセスを禁止します。 1：SPID2 でのアクセスを許可します。
6	PROTSPID1	SPID＝1（CPU1）によるアクセス[注 2、注 3] 0：SPID1 でのアクセスを禁止します。 1：SPID1 でのアクセスを許可します。
5	PROTSPID0	SPID＝0 によるアクセス[注 2、注 3] 0：SPID0 でのアクセスを禁止します。 1：SPID0 でのアクセスを許可します。
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	PROTRDPDEF	デフォルトリード保護 0：本レジスタでの他の設定にかかわらず、いずれのマスタからのリードアクセスを許可します。 1：PROTRD ビットの設定に依存します。
2	PROTWRPDEF	デフォルトライト保護 0：本レジスタでの他の設定にかかわらず、いずれのマスタからのライトアクセスを許可します。 1：PROTWR ビットの設定に依存します。
1	PROTRD	読み出し許可 0：フィルタリングされたバスマスタによるリードアクセスを禁止します。 1：フィルタリングされたバスマスタによるリードアクセスを許可します。
0	PROTWR	書き込み許可 0：フィルタリングされたバスマスタによるライトアクセスを禁止します。 1：フィルタリングされたバスマスタによるライトアクセスを許可します。

注1.　PEID によるアクセス
PROTPEID は各ビットがそれぞれ 1 つの PEID 値に対応するビットリストです。
複数のビットを設定することによって同時に複数のバスマスタの ID 値を許可します。

注2.　SPID によるアクセス
PROTSPID は各ビットがそれぞれ 1 つの SPID 値に対応するビットリストです。
複数のビットを設定することによって同時に複数のマスタの ID 値を許可します。

注3.　SPID については、「**表 40A.69　スレーブガードの識別子**」を参照してください。

(2) ERRSLVCxCTL — PBGCx エラーコントロールレジスタ（x＝0, 1）

ERRSLVCxCTL レジスタは PBGCx エラーステータスレジスタのステータスをクリアするためのレジスタです。

アクセス　ERRSLVCxCTL レジスタは、32 ビット単位でライトのみ可能です。
ERRSLVCxCTLL レジスタは、16 ビット単位でライトのみ可能です。
ERRSLVCxCTLLL レジスタは、8 ビット単位でライトのみ可能です。

アドレス　ERRSLVCxCTL：FFC4 C800$_H$ + (100$_H$ × x)
ERRSLVCxCTLL：FFC4 C800$_H$ + (100$_H$ × x)
ERRSLVCxCTLLL：FFC4 C800$_H$ + (100$_H$ × x)

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLRO	CLRE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W

表 40A.94　ERRSLVCxCTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	ライトする場合はリセット後の値を書いてください。
1	CLRO	オーバフローフラグをクリアします。 0：オーバフローフラグをクリアしません。 1：オーバフローフラグをクリアします。
0	CLRE	エラーフラグをクリアします。 0：エラーフラグをクリアしません。 1：エラーフラグをクリアします。

表 40A.95　ERRSLVCxxCTL レジスタの CLRO および CLRE

CLRO	CLRE	機能
0	0	どちらのビットもクリアしません。
0	1	設定禁止
1	0	OVF ビットをクリアします。
1	1	OVF と ERR ビットをクリアします。

(3) ERRSLVCxSTAT ― PBGCx エラーステータスレジスタ（x＝0, 1）

ERRSLVCxSTAT レジスタは PBGCx で拒否した不正アクセスのステータスを保持するためのレジスタです。

アクセス ERRSLVCxSTAT レジスタは、32 ビット単位でリードのみ可能です。
ERRSLVCxSTATL レジスタは、16 ビット単位でリードのみ可能です。
ERRSLVCxSTATLL レジスタは、8 ビット単位でリードのみ可能です。

アドレス ERRSLVCxSTAT：FFC4 $C804_H$ + (100_H × x)
ERRSLVCxSTATL：FFC4 $C804_H$ + (100_H × x)
ERRSLVCxSTATLL：FFC4 $C804_H$ + (100_H × x)

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OVF	ERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40A.96　ERRSLVCxSTAT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1	OVF	エラーエントリオーバフローフラグ 0：オーバフローなし 1：オーバフロー発生 PBGC のエラーエントリ段数は 1 のため、最初のガード違反が発生し、エラーステータスフラグがセットされた状態で再度ガード違反が発生した場合、エラーエントリがオーバフローし、本フラグがセットされます。 このオーバフローは INTGUARD に通知されます。 さらに、INTGUARD によってオーバフローが発生したかどうかを判断することはできません。オーバフロー・チェックの場合、OVF ビットをチェックする必要があります。オーバフローが発生した際のガード違反のエラー情報はキャプチャされません。
0	ERR	エラーステータスフラグ 0：PBGC 保護違反なし 1：PBGC 保護違反発生

(4) ERRSLVCxADDR — PBGCx エラーアドレスレジスタ（x＝0, 1）

ERRSLVCxADDR レジスタは PBGCx で拒否した不正アクセスのアドレスを保持するためのレジスタです。対応する ERRSLVCxSTAT.ERR が 1 の場合は、本レジスタは更新されません。

アクセス	ERRSLVCxADDR レジスタは、32 ビット単位でリードのみ可能です。
アドレス	FFC4 $C808_H$ + (100_H × x)
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADDR[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADDR[15:2]														—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40A.97　ERRSLVCxADDR レジスタの内容

ビット位置	ビット名	機能
31～2	ADDR[31:2]	PBGC 保護違反が生成されたアドレス
1、0	予約ビット	リードした場合はリセット後の値が読めます。

(5) ERRSLVCxTYPE — PBGCx エラータイプレジスタ（x＝0, 1）

ERRSLVCxTYPE レジスタは PBGCx で拒否した不正アクセスのタイプを保持するためのレジスタです。

対応する ERRSLVCxSTAT.ERR が 1 の場合は、本レジスタは更新されません。

アクセス　ERRSLVCxTYPE レジスタは、32 ビット単位でリードのみ可能です。
ERRSLVCxTYPEL レジスタは、16 ビット単位でリードのみ可能です。

アドレス　ERRSLVCxTYPE：FFC4 C80C$_H$ + (100$_H$ × x)
ERRSLVCxTYPEL：FFC4 C80C$_H$ + (100$_H$ × x)

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PEID[2:0]			—	—	—	SPID[1:0]		—	UM	—	—	—	—	—	WRITE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40A.98　ERRSLVCxTYPE レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。
15～13	PEID[2:0]	PBGC 保護違反を発生させたアクセス元の PEID。
12～10	予約ビット	リードした場合はリセット後の値が読めます。
9、8	SPID[1:0]	PBGC 保護違反を発生させたアクセス元の SPID。
7	予約ビット	リードした場合はリセット後の値が読めます。
6	UM	PBGC 保護違反を発生させたアクセス元の UM。
5～1	予約ビット	リードした場合はリセット後の値が読めます。
0	WRITE	PBGC 保護違反を発生させたアクセスがライトの場合、1 が設定されます。

第40B章　RH850/F1KM-S4, RH850/F1KM-S2 のファンクショナルセーフティ

本章は RH850/F1KM シリーズに搭載している安全機構の概要を記載しています。

本マイコンは ISO26262 における SEooC（Safety Element out of Context）として開発しております。

開発プロセスや安全機構の詳細に関しては、当社の営業窓口までお問い合わせください。

以下に本マイコンの備える故障検出機能を示します。

40B.1　概要

ECC

メモリやデータ転送経路の故障検出や、一部の故障に対して訂正を行います。

メモリ保護

メモリや周辺回路への誤ったアクセスを検出し、これらのデータを誤ったアクセスから保護します。

クロックモニタ

クロックの動作を監視し、異常な動作を検出します。

詳細は、「**第 13 章　クロックモニタ（CLMA）**」を参照してください。

データ CRC

CRC を生成することにより、データの誤りを検出します。

詳細は、「**第 41 章　データ CRC（DCRA）**」を参照してください。

書き込み保護レジスタ

書き込み保護されたレジスタを、不正なプログラムの実行による不注意な書き込みアクセスから保護します。

詳細は、「**第 5 章　書き込み保護レジスタ**」を参照してください。

40B.2　ECC

40B.2.1　概要

本製品は、以下のメモリに対して ECC を搭載しています。これによって、メモリに保持しているデータに生じたエラーの検出や訂正が可能です。また、ECC エンコーダとメモリの間や、メモリと ECC デコーダの間で生じたエラーに対しても同様の検出や訂正が可能です。

表 40B.1　ECC 概要

<table>
<tr><th colspan="2" rowspan="2">対象メモリ</th><th rowspan="2">対象データ幅
[bit]</th><th colspan="5">エラー検出時の動作</th><th rowspan="2">故障注入</th></tr>
<tr><th>検出／訂正</th><th>SYSERR</th><th>割り込み
通知</th><th>エラー
ステータス</th><th>アドレス
キャプチャ</th></tr>
<tr><td colspan="2">Code flash</td><td>128</td><td>SEC-DED</td><td>SED/DED 注 2</td><td>SEC-DED</td><td>○</td><td>○</td><td>○</td></tr>
<tr><td colspan="2">Data flash</td><td>32</td><td>SEC-DED</td><td>—</td><td>SEC-DED</td><td>○</td><td>○</td><td>○</td></tr>
<tr><td colspan="2">ローカル RAM (CPU1/Self)</td><td>32</td><td>SEC-DED</td><td>SED/DED 注 2</td><td>SEC-DED</td><td>○</td><td>○</td><td>○</td></tr>
<tr><td colspan="2">グローバル RAM
リテンション RAM</td><td>32</td><td>SEC-DED</td><td>SED/DED 注 2</td><td>SEC-DED</td><td>○</td><td>○</td><td>○</td></tr>
<tr><td rowspan="4">周辺 RAM 注 1</td><td>CSIH</td><td>32</td><td>SEC-DED</td><td>—</td><td>SEC-DED</td><td>○</td><td>○</td><td>○</td></tr>
<tr><td>RS-CANFD</td><td>32</td><td>SEC-DED</td><td>—</td><td>SEC-DED</td><td>○</td><td>○</td><td>○</td></tr>
<tr><td>FlexRay 注 3</td><td>32</td><td>SEC-DED</td><td>—</td><td>SEC-DED</td><td>○</td><td>○</td><td>○</td></tr>
<tr><td>Ethernet 注 3</td><td>32</td><td>SEC-DED</td><td>—</td><td>SEC-DED</td><td>○</td><td>○</td><td>○</td></tr>
</table>

注1.　各周辺 IP 用の ECC の詳細は、「**40B.2.6　周辺 RAM の ECC**」を参照してください。
注2.　詳細は「**40B.2.2.2　割り込み要求**」、「**40B.2.4.2　割り込み要求**」、および「**40B.2.5.2　割り込み要求**」を参照してください。
注3.　本機能は、RH850/F1KM-S2 製品ではサポートされていません。

対象データ幅

ECC エンコードの対象となるデータ幅を示します。
これより小さいビット幅のデータを書き込む場合は、以下の処理が必要となります。このとき、（1）の読み出し時にも ECC はチェックされます。

(1)　書き換え対象データを含む ECC エンコード対象データの読み出し

(2)　書き換え対象データの入れ替え

(3)　(2)で生成したデータの書き戻し

検出／訂正

SEC-DED : 1 ビットエラーの訂正および検出と、2 ビットエラーの検出が可能です。
SED-DED : 1 ビットエラーおよび 2 ビットエラーの検出が可能です。

SYSERR

エラー検出時に SYSERR を発生させることが可能です。

割り込み通知

エラー検出時に割り込みを発生させることが可能です。

エラーステータス

検出したエラー内容のステータスを保持します。

アドレスキャプチャ

検出したエラー内容のアドレスを保持します。

故障注入

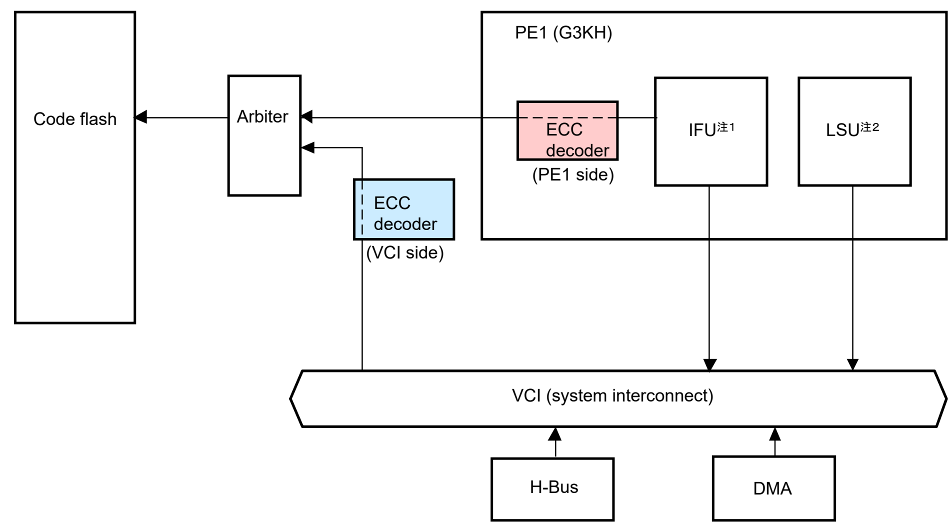
意図的に ECC エラーを発生させることによって、ECC デコーダが正しくエラー通知できるかを自己診断することができます。

40B.2.2　Code Flash の ECC

40B.2.2.1　概要

RH850/F1KM は 2 つの Code Flash 用 ECC デコーダ回路を持っており、1 つはプロセッサエレメント（PE1）の内部に、1 つは VCI（システム相互接続）上に実装されています。

「**図 40B.1 Code Flash の ECC ブロック図**」に 2 つの Code Flash 用 ECC デコーダの位置を示します。



注1. 命令フェッチユニット

注2. ロードストアユニット

図 40B.1　Code Flash の ECC ブロック図

Code Flash 用 ECC の概要を以下に示します。

表 40B.2　Code Flash 用 ECC 概要

項目	説明
ECC エラー検出・訂正	ECC エラー検出・訂正の有効／無効を選択可能 有効時は下記設定を選択可能 ● 2 ビットエラー検出と 1 ビットエラー検出・訂正を行います。 ● 2 ビットエラー検出と 1 ビットエラー検出を行います。 無効時はエラー検出・訂正を行いません。 初期状態では、本機能は有効で、1 ビットエラー検出・訂正、2 ビットエラー検出を行います。
エラー通知	ECC エラー発生時は、エラー通知を行います。 ● ECC2 ビットエラーを検出した場合のエラー通知を、許可または禁止できます。（CFERRINT_PE1 レジスタではサポートされていません。）データアクセスおよび命令フェッチ中に ECC2 ビットエラーが検出された場合のエラー（SYSERR 例外）通知を、許可または禁止できます。 ● ECC1 ビットエラーを検出した場合のエラー通知を、許可または禁止できます。データアクセスおよび命令フェッチ中に ECC1 ビットエラー（SECDIS＝1）が検出された場合のエラー（SYSERR 例外）通知を、許可または禁止にできます。SYSERR の詳細については、「**第 3BC 章　RH850/F1KM の CPU システム**」を参照してください。 ECC コントローラの初期状態では、ECC2 ビットエラー検出時および ECC1 ビットエラー検出時にエラー通知が許可されます。 ただし、割り込みコントローラの FEINTFMSK レジスタで割り込みをマスクしている場合、割り込み処理は行われません。
エラーステータス	ECC2 ビットエラーおよび ECC1 ビットエラーの検出をモニタできます。 ECC1 ビットエラーステータスは、どのエラーステータスもセットされていない状態でのみセットされます。 ECC2 ビットエラーステータスは、ECC1 ビットエラーステータスがセットされていてもセットされます。 エラーステータスのクリアレジスタを搭載します。
アドレスキャプチャ	どの ECC エラーステータスもセットされていない場合、最初の ECC エラー発生時のアドレスをキャプチャします。さらに、保持しているアドレス要因が ECC1 ビットエラーの場合、ECC2 ビットエラーのアドレスもキャプチャされます。
自己診断	ECC ビットをダイレクトに読み出すことができます。
命令実行抑制	命令フェッチ時の ECC2 ビットエラー検出に応じて SYSERR 例外を発生させ、不正命令の実行を回避することができます。

40B.2.2.2 割り込み要求

コードフラッシュ ECC の割り込み要求を以下に示します。

表 40B.3 コードフラッシュ ECC の割り込み要求（CPU フェッチアクセス時）

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	コードフラッシュの ECC1 ビットエラー割り込み	SYSERR, INTECCFLI0 注1 (SED & SECDIS＝1)	—
		INTECCFLI0 (SED & SECDIS＝0)	—
—	コードフラッシュの ECC2 ビットエラー割り込み	SYSERR	—

注1. SYSERR からの復帰が不可能なため、ECCFLI0FEIF フラグのセットは SYSERR 処理で読みだすことができます。（FEINT のハンドラアドレスにジャンプしません）。

表 40B.4 コードフラッシュ ECC の割り込み要求（CPU データアクセス時）

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	コードフラッシュの ECC1 ビットエラー割り込み	SYSERR, INTECCFLI0 (SED & SECDIS＝1)	—
		INTECCFLI0 (SED & SECDIS＝0)	—
—	コードフラッシュの ECC2 ビットエラー割り込み	SYSERR, INTECCFLI0	—

表 40B.5 コードフラッシュ ECC の割り込み要求（CPU アクセス以外のバスマスタデータアクセス時）

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	コードフラッシュの ECC1 ビットエラー割り込み	INTECCFLI0	—
—	コードフラッシュの ECC2 ビットエラー割り込み	INTECCFLI0	—

40B.2.2.3　　レジスター覧

表 40B.6　　レジスター覧

モジュール名	レジスタ名	略号注 1	アドレス
CFECC_VCI	Code Flash ECC コントロールレジスタ（VCI）	CFECCCTL_VCI	FFC6 2200_H
	Code Flash エラー情報コントロールレジスタ（VCI）	CFERRINT_VCI	FFC6 2204_H
	Code Flash ステータスクリアレジスタ（VCI）	CFSTCLR_VCI	FFC6 2208_H
	Code Flash エラーカウントオーバフローステータスレジスタ（VCI）	CFOVFSTR_VCI	FFC6 $220C_H$
	Code Flash 1st エラーステータスレジスタ（VCI）	CF1STERSTR_VCI	FFC6 2210_H
	Code Flash 1st エラーアドレスレジスタ（VCI）	CF1STEADR0_VCI	FFC6 2250_H
CFECC_CPU1	Code Flash ECC コントロールレジスタ（PE1）	CFECCCTL_PE1	FFC6 2400_H
	Code Flash エラー情報コントロールレジスタ（PE1）	CFERRINT_PE1	FFC6 2404_H
	Code Flash ステータスクリアレジスタ（PE1）	CFSTCLR_PE1	FFC6 2408_H
	Code Flash エラーカウントオーバフローステータスレジスタ（PE1）	CFOVFSTR_PE1	FFC6 $240C_H$
	Code Flash 1st エラーステータスレジスタ（PE1）	CF1STERSTR_PE1	FFC6 2410_H
	Code Flash 1st エラーアドレスレジスタ（PE1）	CF1STEADR0_PE1	FFC6 2450_H
CFECC_VCI	Code Flash サブテストコントロールレジスタ（VCI）	CFSTSTCTL_VCI	FFC6 2350_H

注1.　略号において、“_VCI”、“_PE1”が付いているレジスタは、各アクセスポートに対応する ECC コントローラごとに用意されているレジスタとなります。“_VCI”はシステムインタコネクトから Code Flash へのデータアクセス用、“_PE1”は CPU1 からのフェッチアクセス用の ECC コントローラを示します。

40B.2.2.4　　レジスタ詳細

(1) CFECCCTL_VCI/PE1 ― Code Flash ECC コントロールレジスタ

CFECCCTL_VCI/PE1 レジスタは、ECC エラー検出・訂正の有効／無効、1 ビットエラー訂正の許可／禁止を設定するレジスタです。CFECCCTL_VCI/PE1 レジスタへの書き込みは PROT1、PROT0 を 01_B にして実行してください。

アクセス　CFECCCTL_VCI、CFECCCTL_PE1 レジスタは、32 ビット単位でリード／ライト可能です。
CFECCCTL_VCIL、CFECCCTL_PE1L レジスタは、16 ビット単位でリード／ライト可能です。

アドレス　CFECCCTL_VCI : FFC6 2200_H
CFECCCTL_VCIL : FFC6 2200_H
CFECCCTL_PE1 : FFC6 2400_H
CFECCCTL_PE1L : FFC6 2400_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 40B.7　　CFECCCTL_VCI/PE1 レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	PROT1	ECCDIS ビット、SECDIS ビットの書き換え可否を設定するためのビットです。 書き込みデータは保持されません。読み出すと常に 0 が読み出されます。 本レジスタへの書き込みは、PROT1, PROT0＝0, 1 で行ってください。
14	PROT0	
13～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	SECDIS	1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正の許可／禁止を設定するためのビットです。このビットの書き込み時は PROT1, PROT0＝0, 1 を同時に書き込む必要があります。 0 : 1 ビットエラー検出時にエラー訂正する 1 : 1 ビットエラー検出時にエラー訂正しない
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正機能の有効／無効を設定できます。このビットの書き込み時は（PROT1, PROT0）＝（0, 1）を同時に書き込む必要があります。 0 : ECC エラー検出・訂正機能が有効 1 : ECC エラー検出・訂正機能が無効

(2) CFERRINT_VCI/PE1 ― Code Flash エラー情報コントロールレジスタ

CFERRINT_VCI/PE1 レジスタは、ECC2 ビットエラー検出時、ECC1 ビットエラー検出時に、割り込みコントローラへのエラー通知信号発生の有効／無効を設定するためのレジスタです。

アクセス　CFERRINT_VCI、CFERRINT_PE1 レジスタは、32 ビット単位でリード／ライト可能です。
CFERRINT_VCIL、CFERRINT_PE1L レジスタは、16 ビット単位でリード／ライト可能です。
CFERRINT_VCILL、CFERRINT_PE1LL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　CFERRINT_VCI：FFC6 2204_H
CFERRINT_VCIL：FFC6 2204_H
CFERRINT_VCILL：FFC6 2204_H
CFERRINT_PE1：FFC6 2404_H
CFERRINT_PE1L：FFC6 2404_H
CFERRINT_PE1LL：FFC6 2404_H

リセット後の値　0000 0003_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDIE 注1	SEDIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 40B.8　CFERRINT_VCI/PE1 レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	DEDIE 注1	ECC2 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知信号の発生を禁止／許可するビットです。 0：ECC2 ビットエラー通知禁止 1：ECC2 ビットエラー通知許可
0	SEDIE	ECC1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知信号の発生を禁止／許可するビットです。 0：ECC1 ビットエラー通知禁止 1：ECC1 ビットエラー通知許可

注1.　本ビットは CFERRINT_PE1 ではサポートされていません。CFERRINT_PE1 の本ビットに書き込む場合は、常に 1 を書き込みます。

注2.　割り込み要求については、「**40B.2.2.2 割り込み要求**」を参照してください。

(3) CFSTCLR_VCI/PE1 ― Code Flash ステータスクリアレジスタ

CFSTCLR_VCI/PE1 レジスタは、エラーステータスレジスタ（CF1STERSTR_VCI/PE1）のエラーフラグ、エラーオーバフローステータスレジスタ（CFOVFSTR_VCI/PE1）のオーバフローフラグ、およびエラーアドレスレジスタ（CF1STEADR0_VCI/PE1）をクリアするためのレジスタです。

アクセス	CFSTCLR_VCI、CFSTCLR_PE1 レジスタは、は、32 ビット単位でライトのみ可能です。 CFSTCLR_VCIL、CFSTCLR_PE1L レジスタは、16 ビット単位でライトのみ可能です。 CFSTCLR_VCILL、CFSTCLR_PE1LL レジスタは、8 ビット単位でライトのみ可能です。
アドレス	CFSTCLR_VCI：FFC6 2208_H CFSTCLR_VCIL：FFC6 2208_H CFSTCLR_VCILL：FFC6 2208_H CFSTCLR_PE1：FFC6 2408_H CFSTCLR_PE1L：FFC6 2408_H CFSTCLR_PE1LL：FFC6 2408_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STCLR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 40B.9　CFSTCLR_VCI/_PE1 レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	STCLR0	エラーステータスクリアビット 0：無効（“0”を設定しても CF1STERSTR_VCI/PE1 レジスタの DEDF0、SEDF0 フラグ、CFOVFSTR_VCI/PE1 レジスタの ERROVF0 フラグ、および CF1STEADR0_VCI/PE1 レジスタに影響はありません） 1：CF1STERSTR_VCI/PE1 レジスタの DEDF0、SEDF0 フラグ、CFOVFSTR_VCI/PE1 レジスタの ERROVF0 フラグ、および CF1STEADR0_VCI/PE1 レジスタをクリアします。

(4) CFOVFSTR_VCI/PE1 ― Code Flash エラーカウントオーバフローステータスレジスタ

CFOVFSTR_VCI/PE1 レジスタは、エラーオーバフロー発生を監視するためのレジスタです。1st エラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の 2nd エラーが発生した場合に本フラグがセットされます。ただし、2nd エラーの内容が、1st エラーと全く同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。

アクセス　CFOVFSTR_VCI、CFOVFSTR_PE1 レジスタは、32 ビット単位でリードのみ可能です。
CFOVFSTR_VCIL、CFOVFSTR_PE1L レジスタは、16 ビット単位でリードのみ可能です。
CFOVFSTR_VCILL、CFOVFSTR_PE1LL レジスタは、8 ビット単位でリードのみ可能です。

アドレス　CFOVFSTR_VCI : FFC6 220C$_H$
CFOVFSTR_VCIL : FFC6 220C$_H$
CFOVFSTR_VCILL : FFC6 220C$_H$
CFOVFSTR_PE1 : FFC6 240C$_H$
CFOVFSTR_PE1L : FFC6 240C$_H$
CFOVFSTR_PE1LL : FFC6 240C$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERROVF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40B.10　CFOVFSTR_VCI/PE1 レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。
0	ERROVF0	エラーオーバフローフラグ エラーステータスレジスタのいずれかのエラーフラグ（DEDF0、SEDF0）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生したかどうかを示します。 0：発生していない 1：発生した クリア条件： CFSTCLR_VCI/PE1 レジスタの STCLR0 ビットへの 1 セット

(5) CF1STERSTR_VCI/PE1 — Code Flash 1st エラーステータスレジスタ

CF1STERSTR_VCI/PE1 レジスタは、ECC エラー検出／訂正が有効の場合、1st エラーの発生を監視するレジスタです。エラーフラグが 0 の状態でエラーが発生した場合に、エラーステータスがセットされます。また、ECC1 ビットのエラーモニタフラグがセットされている状態で、ECC2 ビットエラーが発生すると、ECC1 ビットのエラーフラグを保持したまま、ECC2 ビットエラーのエラーフラグがセットされます。

アクセス	CF1STERSTR_VCI、CF1STERSTR_PE1 レジスタは、32 ビット単位でリードのみ可能です。 CF1STERSTR_VCIL、CF1STERSTR_PE1L レジスタは、16 ビット単位でリードのみ可能です。 CF1STERSTR_VCILL、CF1STERSTR_PE1LL レジスタは、8 ビット単位でリードのみ可能です。
アドレス	CF1STERSTR_VCI：FFC6 2210_H CF1STERSTR_VCIL：FFC6 2210_H CF1STERSTR_VCILL：FFC6 2210_H CF1STERSTR_PE1：FFC6 2410_H CF1STERSTR_PE1L：FFC6 2410_H CF1STERSTR_PE1LL：FFC6 2410_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDF0	SEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40B.11　CF1STERSTR_VCI/PE1 レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1	DEDF0	ECC2 ビットエラーモニタフラグ 0：ECC2 ビットエラーは検出していません。 1：ECC2 ビットエラーは検出しました。 クリア条件： CFSTCLR_VCI/PE1.STCLR0 ビットに 1 をセット セット条件： DEDF0 が 0 の状態で、ECC2 ビットエラー検出
0	SEDF0	ECC1 ビットエラーモニタフラグ 0：ECC1 ビットエラーは検出していません。 1：ECC1 ビットエラーは検出しました。 クリア条件： CFSTCLR_VCI/PE1.STCLR0 ビットに 1 をセット セット条件： DEDF0, SEDF0 どちらも 0 の状態で、ECC1 ビットエラー検出

(6) CF1STEADR0_VCI/PE1 — Code Flash 1st エラーアドレスレジスタ

CF1STEADR0_VCI/PE1 レジスタは、エラー発生時のアドレスを保持するためのレジスタです。

CF1SCF1STERSTR_VCI/PE1 レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを更新します。1st エラーとして ECC1 ビットエラーがセットされている状態で ECC2 ビットエラーが発生した場合に、アドレス情報を更新します。ECC2 ビットエラーが既に発生している場合は、アドレス情報の更新はしません。

また、本レジスタの EADR[24:4]ビットは、実アドレスの[24:4]ビットに対応しています。実アドレスは、コードフラッシュがマッピングされている上位アドレス[31:25]ビットを追加することによって、ベースアドレスとして計算できます。

CF1STEADR0_VCI/PE1 レジスタは内部リセット、外部リセット、または CFSTCLR_VCI/PE1 レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

アクセス　CF1STEADR0_VCI、CF1STEADR0_PE1 レジスタは、32 ビット単位でリードのみ可能です。

CF1STEADR0_VCIL、CF1STEADR0_VCIH、CF1STEADR0_PE1L、CF1STEADR0_PE1H レジスタは、16 ビット単位でリードのみ可能です。

CF1STEADR0_VCILL、CF1STEADR0_VCILH、CF1STEADR0_VCIHL、CF1STEADR0_VCIHH、CF1STEADR0_PE1LL、CF1STEADR0_PE1LH、CF1STEADR0_PE1HL、CF1STEADR0_PE1HH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　CF1STEADR0_VCI : FFC6 2250_H

CF1STEADR0_VCIL : FFC6 2250_H

CF1STEADR0_VCIH : FFC6 2252_H

CF1STEADR0_VCILL : FFC6 2250_H

CF1STEADR0_VCILH : FFC6 2251_H

CF1STEADR0_VCIHL : FFC6 2252_H

CF1STEADR0_VCIHH : FFC6 2253_H

CF1STEADR0_PE1 : FFC6 2450_H

CF1STEADR0_PE1L : FFC6 2450_H

CF1STEADR0_PE1H : FFC6 2452_H

CF1STEADR0_PE1LL : FFC6 2450_H

CF1STEADR0_PE1LH : FFC6 2451_H

CF1STEADR0_PE1HL : FFC6 2452_H

CF1STEADR0_PE1HH : FFC6 2453_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	EADR[24:16]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EADR[15:4]												—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40B.12　CF1STEADR0_VCI/PE1 レジスタの内容

ビット位置	ビット名	機能
31～25	予約ビット	リードした場合はリセット後の値が読めます。
24～4	EADR[24:4]	1st エラー発生アドレス 1st エラー発生時のアドレスをモニタするためのレジスタです。 CF1STERSTR_VCI/PE1 レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを更新します。1st エラーとして ECC1 ビットエラーフラグがセットされている状態で ECC2 ビットエラーが発生した場合に、アドレス情報を更新します。ECC2 ビットエラーが既に発生している場合は、アドレス情報の更新はしません クリア条件： 　CFSTCLR_VCI/PE1 レジスタの STCLR0 ビットを 1 にセット
3～0	予約ビット	リードした場合はリセット後の値が読めます。

(7) CFSTSTCTL_VCI ― Code Flash サブテストコントロールレジスタ

CFSTSTCTL_VCI レジスタは ECC テスト（自己診断）時に使用するレジスタです。本レジスタは、Code Flash 専用のレジスタです。ECC テストモード（ECCTST＝1）に設定後、ECC ビットのデータをダイレクトに読み出すことができます。本レジスタへの書き込みは PROT1、PROT0 を 01_B にして実行してください。

アクセス　CFSTSTCTL_VCI レジスタは、32 ビット単位でリード／ライト可能です。
CFSTSTCTL_VCIL レジスタは、16 ビット単位でリード／ライト可能です。

アドレス　CFSTSTCTL_VCI：FFC6 2350_H
CFSTSTCTL_VCIL：FFC6 2350_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	—	ECCTST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 40B.13　CFSTSTCTL_VCI レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	PROT1	ECCTST ビットの書き換え可否を設定するためのビットです。 書き込みデータは保持されません。読み出すと常に 0 が読み出されます。 本レジスタへの書き込みは、PROT1, PROT0＝0, 1 で行ってください。
14	PROT0	
13～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ECCTST	ECC テストビット ECC テストモード（ECCTST＝1）に設定後、ECC ビットのデータをダイレクトにリードすることができます。このビットの書き込み時は、PROT1, PROT0＝0, 1 を同時に書き込む必要があります。

CPU には小容量のデータバッファを備えています。このバッファに古い値が残っていると、ECCTST ビットを切り替えても正しい値を読み出すことができません。ECCTST ビット切り替えの際は、必ずデータバッファをクリアしてください。クリア方法については、「**第 3BC 章 RH850/F1KM の CPU システム**」を参照してください。

ECC テストモードに設定した Code Flash アクセスポートからは、16n 番地にアラインされた 4 バイトリードでアクセスしてください。この時、Code Flash の読み出し結果は以下のとおりです。

表 40B.14　Code Flash の読み出し結果

ビット番号	意味	ビット位置	内容
[31:10]	all-0	31～10	常に 0 です。
[9]	予約ビット	9	不定
[8:0]	ECC ビット	8～0	ECC ビット

40B.2.3　Data Flash の ECC

40B.2.3.1　概要

Data Flash 用 ECC の概要を以下に示します。

表 40B.15　Data Flash 用 ECC 概要

項目	説明
ECC エラー検出・訂正	ECC エラー検出・訂正の有効／無効を選択可能 有効時は下記設定を選択可能 ● 2 ビットエラー検出と 1 ビットエラー検出・訂正を行います。 ● 2 ビットエラー検出と 1 ビットエラー検出を行います。 無効時はエラー検出・訂正を行いません。 初期状態では、本機能は有効で、1 ビットエラー検出・訂正、2 ビットエラー検出を行います。
エラー通知	ECC エラー発生時は、エラー通知を行います。 ● ECC2 ビットエラー検出時のエラー通知の許可／禁止を選択することが可能です。 ● ECC1 ビットエラー検出時のエラー通知の許可／禁止を選択することが可能です。 ECC コントローラの初期状態では、ECC2 ビットエラー検出時のエラー通知許可、1 ビットエラー検出時のエラー通知禁止。ただし、割り込みコントローラの FEINTFMSK レジスタで割り込みをマスクしている場合、割り込み処理は行われません。
エラーステータス	ECC2 ビットエラーおよび ECC1 ビットエラー検出を監視できます。 本機能は、どのエラーステータスもセットされていない状態でのみセットされます。エラーステータスのクリアレジスタを搭載します。
アドレスキャプチャ	どの ECC エラーステータスもセットされていない場合、最初の ECC エラー発生時のアドレスがキャプチャされます。DFERSTR の SEDF ビットと DEDF ビットが共に 0 の場合、ECC エラーアドレスがキャプチャされます。
自己診断	ROM データと、ECC ビットをダイレクトに読み出すことができます。 ROM データと、ECC ビットに任意のデータを書き込むことができます。

40B.2.3.2　割り込み要求

データフラッシュ ECC の割り込み要求を以下に示します。

表 40B.16　データフラッシュ ECC の割り込み要求（データアクセス時）

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	データフラッシュの ECC1 ビットエラー割り込み	INTECCEEP0	—
—	データフラッシュの ECC2 ビットエラー割り込み	INTECCEEP0	—

40B.2.3.3　レジスター覧

表 40B.17　レジスター覧

モジュール名	レジスタ名	略号	アドレス
DFECC	Data Flash ECC コントロールレジスタ	DFECCCTL	FFC6 2A00$_H$
	Data Flash エラーステータスレジスタ	DFERSTR	FFC6 2A04$_H$
	Data Flash エラーステータスクリアレジスタ	DFERSTC	FFC6 2A08$_H$
	Data Flash エラーオーバフローステータスレジスタ	DFOVFSTR	FFC6 2A0C$_H$
	Data Flash エラーオーバフローステータスクリアレジスタ	DFOVFSTC	FFC6 2A10$_H$
	Data Flash エラー通知コントロールレジスタ	DFERRINT	FFC6 2A14$_H$
	Data Flash 1st エラーアドレスレジスタ	DFEADR	FFC6 2A18$_H$
	Data Flash テストコントロールレジスタ	DFTSTCTL	FFC6 2A1C$_H$

40B.2.3.4　レジスタ詳細

(1) DFECCCTL — Data Flash ECC コントロールレジスタ

DFECCCTL レジスタは、ECC エラー検出・訂正の有効／無効、1 ビットエラー訂正の許可／禁止を設定するレジスタです。DFECCCTL レジスタへの書き込みは PROT1、PROT0 を 01_B にして実行してください。

アクセス　DFECCCTL レジスタは、16 ビット単位でリード／ライト可能です。

アドレス　DFECCCTL：FFC6 $2A00_H$

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 40B.18　DFECCCTL レジスタの内容

ビット位置	ビット名	機能
15	PROT1	ECCDIS ビット、SECDIS ビットの書き換え可否を設定するためのビットです。書き込み値は保持されません。読み出すと常に 0 が読み出されます。本レジスタへの書き込みは、PROT1, PROT0＝0, 1 で行ってください。
14	PROT0	
13～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	SECDIS	1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正の許可／禁止を設定するためのビットです。このビットの書き込み時は PROT1, PROT0＝0, 1 を同時に書き込む必要があります。 0：1 ビットエラー検出時にエラー訂正します 1：1 ビットエラー検出時にエラー訂正しません
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正機能の有効／無効を設定できます。 このビットの書き込み時は PROT1, PROT0＝0, 1 を同時に書き込む必要があります。 初期状態は ECC エラー検出・訂正機能が有効です。 0：ECC エラー検出・訂正機能が有効 1：ECC エラー検出・訂正機能が無効

(2) DFERSTR ― Data Flash エラーステータスレジスタ

DFERSTR レジスタは、発生したエラーをモニタするためのレジスタです。

ECC エラー訂正・検出有効時に、ECC1 ビットエラーが検出されると SEDF ビットがセットされ、ECC2 ビットエラーが検出されると DEDF ビットがセットされます。

アクセス　DFERSTR レジスタは、8 ビット単位でリードのみ可能です。

アドレス　DFERSTR：FFC6 2A04$_H$

リセット後の値　00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DEDF	SEDF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 40B.19　DFERSTR レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。
1	DEDF	ECC2 ビットエラーモニタフラグ 0：ECC2 ビットエラーは検出していません。 1：ECC2 ビットエラーは検出しました。 クリア条件： DFERSTC.ERRCLR ビットに 1 をセット セット条件： SEDF、DEDF がすべて 0 の状態で、ECC2 ビットエラー検出
0	SEDF	ECC1 ビットエラーモニタフラグ 0：ECC1 ビットエラーは検出していません。 1：ECC1 ビットエラーは検出しました。 クリア条件： DFERSTC.ERRCLR ビットに 1 をセット セット条件： SEDF、DEDF がすべて 0 の状態で、ECC1 ビットエラー検出

(3) DFERSTC — Data Flash エラーステータスクリアレジスタ

DFERSTC レジスタは、Data Flash エラーステータスレジスタのエラーフラグをクリアするためのレジスタです。

アクセス　DFERSTC レジスタは、8 ビット単位でライトのみ可能です。

アドレス　DFERSTC : FFC6 2A08$_H$

リセット後の値　00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ERRCLR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 40B.20　DFERSTC レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	ERRCLR	SEDF、DEDF フラグクリアビット 0：無効（“0”を設定しても DFERSTR レジスタの DEDF、SEDF フラグに影響はありません。） 1：DFERSTR レジスタの DEDF、SEDF フラグをクリアします。

(4) DFOVFSTR — Data Flash エラーオーバフローステータスレジスタ

DFOVFSTR レジスタは、Data Flash エラーオーバフローの発生を監視するためのレジスタです。

アクセス　DFOVFSTR レジスタは、8 ビット単位でリードのみ可能です。

アドレス　DFOVFSTR : FFC6 2A0C$_H$

リセット後の値　00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ERROVF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 40B.21　DFOVFSTR レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	リードした場合はリセット後の値が読めます。
0	ERROVF	エラーオーバフローフラグ エラーアドレスレジスタがフルの場合に、ECC エラーが発生したときセットされます。 0：発生していない 1：発生した クリア条件： Data Flash エラーオーバフローステータスクリアレジスタの ERROVFCLR ビットのセット

(5) DFOVFSTC — Data Flash エラーオーバフローステータスクリアレジスタ

DFOVFSTC レジスタは、Data Flash エラーオーバフローフラグをクリアするためのレジスタです。

アクセス　DFOVFSTC レジスタは、8 ビット単位でライトのみ可能です。

アドレス　DFOVFSTC : FFC6 2A10H

リセット後の値　00H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ERROVFCLR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 40B.22　DFOVFSTC レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	ERROVFCLR	エラーオーバフローフラグクリアビット 0：無効（ERROVFCLR ビットに 0 を設定しても DFOVFSTR レジスタの ERROVF フラグに影響はありません。） 1：DFOVFSTR レジスタの ERROVF フラグをクリアします。

(6) DFERRINT — Data Flash エラー通知コントロールレジスタ

DFERRINT レジスタは、ECC2 ビットエラー検出時、ECC1 ビットエラー検出時に、エラー通知信号発生の有効／無効を設定するためのレジスタです。

アクセス　DFERRINT レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　DFERRINT : FFC6 2A14H

リセット後の値　02H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DEDIE	SEDIE
リセット後の値	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R/W	R/W

表 40B.23　DFERRINT レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	DEDIE	ECC2 ビットエラー通知制御ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時にエラー通知の発生を禁止／許可するビットです。 0：ECC2 ビットエラー通知禁止 1：ECC2 ビットエラー通知許可
0	SEDIE	ECC1 ビットエラー通知制御ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時にエラー通知の発生を禁止／許可するビットです。 0：ECC1 ビットエラー通知禁止 1：ECC1 ビットエラー通知許可

(7) DFEADR ― Data Flash 1st エラーアドレスレジスタ

DFEADR レジスタは、Data Flash エラーステータスレジスタの SEDF と DEDF ビットの両方が 0 の状態で発生した ECC エラーのアドレスを保持するためのレジスタです。

アクセス　DFEADR レジスタは、32 ビット単位でリードのみ可能です。

アドレス　DFEADR：FFC6 2A18H

リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	DFEADR[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DFEADR[15:2]														—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40B.24　DFEADR レジスタの内容

ビット位置	ビット名	機能
31～21	予約ビット	リードした場合はリセット後の値が読めます。
20～2	DFEADR[20:2]	ECC エラーアドレス ECC エラーが発生したアドレスを監視するための読み出し専用フィールドです。 内部アドレスを保持します。 データフラッシュベースアドレス FF20 0000H を加算して実アドレスに変換します。
1、0	予約ビット	リードした場合はリセット後の値が読めます。

(8) DFTSTCTL — Data Flash テストコントロールレジスタ

DFTSTCTL レジスタは ECC テスト時に使用するレジスタです。

ECC テストモード（ECCTST＝1）設定後、ECC ビットのデータを読み出すことができます。

DFTSTCTL レジスタへの書き込みは、PROT1, PROT0 を“01_B”にして実行してください。

アクセス　DFTSTCTL レジスタは、16 ビット単位でリード／ライト可能です。

アドレス　DFTSTCTL：FFC6 2A1C$_H$

リセット後の値　0000$_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	—	ECCTST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 40B.25　DFTSTCTL レジスタの内容

ビット位置	ビット名	機能
15	PROT1	ECCTST ビットの書き換え可否を設定するためのビットです。 書き込み値は保持されません。読み出すと常に 0 が読み出されます。 DFTSTCTL レジスタへの書き込みは、PROT1, PROT0=0, 1 で行ってください。
14	PROT0	
13～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ECCTST	ECC テストモードビット ECC テストモードに設定します。 このビットの書き込み時は、PROT1, PROT0＝0, 1 を同時に書き込む必要があります。

40B.2.4　ローカル RAM の ECC

40B.2.4.1　概要

CPU1 のローカル RAM 用 ECC の仕様概要を以下に示します。

表 40B.26　ローカル RAM 用 ECC 概要（CPU1）

項目	説明
ECC エラー検出・訂正	ECC エラー検出・訂正の有効／無効を選択可能。有効時は下記設定のいずれかを選択可能。 ● 2 ビットエラー検出と 1 ビットエラー検出・訂正を行います。 ● 2 ビットエラー検出と 1 ビットエラー検出を行います。 無効時はエラー検出・訂正を行いません。 初期状態では、ECC 機能は有効で 1 ビットエラー検出・訂正、2 ビットエラー検出を行います。
エラー通知	ECC エラー発生時は、エラー通知を行います。 ● ECC2 ビットエラーを検出した場合のエラー通知を、許可または禁止できます。 データアクセスおよび命令フェッチ中に ECC2 ビットエラーが検出された場合のエラー（SYSERR 例外）通知を、許可または禁止できます。 ● ECC1 ビットエラーを検出した場合のエラー通知を、許可または禁止できます。 データアクセスおよび命令フェッチ中に ECC1 ビットエラー（SECDIS＝1）が検出された場合のエラー（SYSERR 例外）通知を、許可または禁止できます。 SYSERR の詳細については、「**第 3BC 章　RH850/F1KM の CPU システム**」を参照してください。 ECC コントローラの初期状態では、ECC2 ビットエラー検出時および ECC1 ビットエラー検出時にエラー通知が許可されます。ただし、割り込みコントローラの FEINTFMSK レジスタで割り込みをマスクしている場合、割り込み処理は行われません。
エラーステータス	ECC2 ビットエラーおよび ECC1 ビットエラーの検出を監視します。 どのエラーステータスもセットされていない場合のみ、本機能はセットされます。エラーステータスはクリアレジスタによってクリア可能です。
アドレスキャプチャ	どの ECC エラーステータスもセットされていない場合、最初のエラー発生時のアドレスがキャプチャされます。さらに、保持しているアドレス要因が ECC1 ビットエラーの場合、ECC2 ビットエラー検出した場合もキャプチャされます。
自己診断	RAM データと ECC ビットに任意のデータを書き込むことができます。 RAM データと ECC ビットをダイレクトに読み出すことができます。
その他	命令フェッチ時に ECC2 ビットエラー検出に応じて SYSERR 例外を発生させ、不正命令の実行を回避することができます。

注　意

ローカル RAM に対して、ECC エラー検出・訂正を有効にしてアクセスする場合、RAM を使用する前に、RAM アクセスの 32 ビット長で初期化してください。初期化前の RAM を読み出した場合、FE レベルのマスク可能な割り込みまたは SYSERR 例外処理を発生する可能性があります。

また、32 ビット長で初期化しなかった場合（例えば 8 ビットや 16 ビットのアクセスで初期化した場合）、FE レベルのマスク可能な割り込みまたは SYSERR 例外処理を発生する可能性があります。

40B.2.4.2　割り込み要求

ローカル RAM ECC の割り込み要求を以下に示します。

表 40B.27　ローカル RAM ECC の割り込み要求（CPU フェッチアクセス時）

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	RAM の ECC1 ビットエラー割り込み	SYSERR, INTECCRAM (SED & SECDIS＝1)	—
		INTECCRAM (SED & SECDIS＝0)	—
—	RAM の ECC2 ビットエラー割り込み	SYSERR、INTECCRAM	—

表 40B.28　ローカル RAM ECC の割り込み要求（CPU データアクセス時）

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	RAM の ECC1 ビットエラー割り込み	SYSERR, INTECCRAM (SED & SECDIS＝1)	—
		INTECCRAM (SED & SECDIS＝0)	—
—	RAM の ECC2 ビットエラー割り込み	SYSERR、INTECCRAM	—

表 40B.29　ローカル RAM ECC の割り込み要求（CPU アクセス以外のデータアクセス時）

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	RAM の ECC1 ビットエラー割り込み	INTECCRAM	—
—	RAM の ECC2 ビットエラー割り込み	INTECCRAM	—

40B.2.4.3　レジスター覧

表 40B.30　レジスター覧

モジュール名	アドレス	略号	レジスタ名	R/W	リセット後の値	アクセスサイズ
LRTST	FFC6 5004_H	LRTSTCTL_PE1	ローカル RAM テストコントロールレジスタ（PE1）	R/W	0000 0000_H	16/32
	FFC6 5008_H	LRTDATBF0_PE1	ローカル RAM テストデータリードバッファ 0（PE1）	R	0000 0000_H	32
LRECC	FFC6 5400_H	LRECCCTL_PE1	ローカル RAM ECC コントロールレジスタ（PE1）	R/W	0000 0000_H	16/32
	FFC6 5404_H	LRERRINT_PE1	ローカル RAM エラー情報コントロールレジスタ（PE1）	R/W	0000 0003_H	8/16/32
	FFC6 5408_H	LRSTCLR_PE1	ローカル RAM ステータスクリアレジスタ（PE1）	W	0000 0000_H	8/16/32
	FFC6 $540C_H$	LROVFSTR_PE1	ローカル RAM エラーカウントオーバフローステータスレジスタ（PE1）	R	0000 0000_H	8/16/32
	FFC6 5410_H	LR1STERSTR_PE1	ローカル RAM 1st エラーステータスレジスタ（PE1）	R	0000 0000_H	8/16/32
	FFC6 5450_H	LR1STEADR0_PE1	ローカル RAM 1st エラーアドレスレジスタ 0（PE1）	R	0000 0000_H	8/16/32

40B.2.4.4　レジスタ詳細

(1) LRTSTCTL_PE1 ― ローカル RAM テストコントロールレジスタ

LRTSTCTL_PE1 レジスタは ECC テスト（自己診断）時に使用するレジスタです。ECC テストモード（ECCTST＝1）設定後、ECC ビットへ任意のデータを書き込むことができます。RAM データ、ECC ビットの選択は DATSEL ビットで行います。

LRTSTCTL レジスタへの書き込みは、PROT1, PROT0 を 01_B にして実行してください。

アクセス	LRTSTCTL_PE1 レジスタは 32 ビット単位でリード／ライト可能です。 LRTSTCTL_PE1L レジスタは 16 ビット単位でリード／ライト可能です。
アドレス	LRTSTCTL_PE1：FFC6 5004_H LRTSTCTL_PE1L：FFC6 5004_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	ECCTST	DATSEL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 40B.31　LRTSTCTL_PE1 レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	PROT1	ECCTST、DATSEL ビットの書き換え可否を設定するためのビットです。 書き込み値は保持されません。読み出すと常に 0 が読み出されます。本レジスタへの書き込みは、PROT1, PROT0＝0, 1 で行ってください。
14	PROT0	
13～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	ECCTST	ECC テストビット ECC テストモード（ECCTST＝1）に設定すると、LRTDATBF0_PE1 レジスタを読み出すことによって ECC ビットのデータをリード、または直接 ECC ビットに書き込むことができます。 このビットの書き込み時は、PROT1, PROT0＝0, 1 を同時に書き込む必要があります。
0	DATSEL	データ選択ビット ECCTST＝1 のときに有効。書き込み時にアクセスできる RAM ビットを選択します。 このビットの書き込み時は、PROT1, PROT0＝0, 1 を同時に書き込む必要があります。 0：RAM データ選択 1：ECC ビット選択

注　意

ローカル RAM の ECC テストモードを有効（ECCTST＝1）にした場合、ローカル RAM へのアクセスは 4 バイト単位で実施してください。

(2) LRTDATBF0_PE1 — ローカル RAM テストデータリードバッファ 0

ECC テスト（自己診断）時、ECC ビットを読み出すことができます。ローカル RAM テストコントロールレジスタ LRTSTCTL_PE1 で ECCTST＝1 のときに、ローカル RAM を読み出すと、ECC ビットが読み出され本バッファに保持されます。

アクセス	LRTDATBF0_PE1 レジスタは 32 ビット単位でリードのみ可能です。
アドレス	LRTDATBF0_PE1：FFC6 5008$_H$
リセット後の値	0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	LRTDATBF[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40B.32　LRTDATBF0_PE1 レジスタの内容

ビット位置	ビット名	機能
31～7	予約ビット	リードした場合はリセット後の値が読めます。
6～0	LRTDATBF[6:0]	ローカル RAM テストコントロールレジスタで ECCTST＝1（テストモード選択時）時に有効です。 ローカル RAM 読み出し時に、ローカル RAM の ECC ビットが LRTDATABF[6:0]に格納されます。

(3) LRECCCTL_PE1 ― ローカル RAM ECC コントロールレジスタ

LRECCCTL_PE1 レジスタは、ECC エラー検出・訂正の有効／無効、1 ビットエラー訂正の許可／禁止を設定するレジスタです。

LRECCCTL_PE1 レジスタへの書き込みは、PROT1, PROT0 を “01_B” にして実行してください。

アクセス　LRECCCTL_PE1 レジスタは 32 ビット単位でリード／ライト可能です。
LRECCCTL_PE1L レジスタは 16 ビット単位でリード／ライト可能です。

アドレス　LRECCCTL_PE1：FFC6 5400_H
LRECCCTL_PE1L：FFC6 5400_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 40B.33　LRECCCTL_PE1 レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	PROT1	ECCDIS ビット、SECDIS ビットの書き換え可否を設定するためのビットです。書き込み値は保持されません。読み出すと常に 0 が読み出されます。本レジスタへの書き込みは、PROT1, PROT0＝0, 1 で行ってください。
14	PROT0	
13～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	SECDIS	1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正を許可／禁止するためのビットです。このビットの書き込み時は PROT1, PROT0＝0, 1 を同時に書き込む必要があります。 0：1 ビットエラー検出時にエラー訂正を許可する 1：1 ビットエラー検出時にエラー訂正を禁止する
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正の有効／無効を設定できます。このビットの書き込み時は PROT1, PROT0＝0, 1 を同時に書き込む必要があります。 0：ECC エラー検出・訂正が有効 1：ECC エラー検出・訂正が無効

(4) LRERRINT_PE1 ― ローカル RAM エラー情報コントロールレジスタ

LRERRINT_PE1 レジスタは、ECC2 ビットエラーまたは ECC1 ビットエラー検出時に、割り込みコントローラへのエラー通知信号発生の有効／無効を設定するためのレジスタです。

アクセス	LRERRINT_PE1 レジスタは、32 ビット単位でリード／ライト可能です。 LRERRINT_PE1L レジスタは、16 ビット単位でリード／ライト可能です。 LRERRINT_PE1LL レジスタは、8 ビット単位でリード／ライト可能です。
アドレス	LRERRINT_PE1 : FFC6 5404_H LRERRINT_PE1L : FFC6 5404_H LRERRINT_PE1LL : FFC6 5404_H
リセット後の値	0000 0003_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDIE	SEDIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 40B.34　LRERRINT_PE1 レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	DEDIE	ECC2 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知信号の発生を禁止／許可するビットです。 0 : ECC2 ビットエラー通知禁止 1 : ECC2 ビットエラー通知許可
0	SEDIE	ECC1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知信号の発生を禁止／許可するビットです。 0 : ECC1 ビットエラー通知禁止 1 : ECC1 ビットエラー通知許可

(5) LRSTCLR_PE1 ― ローカル RAM ステータスクリアレジスタ

LRSTCLR_PE1 レジスタは、エラーステータスレジスタ（LR1STERSTR_PE1）のエラーフラグ、エラーオーバフローステータスレジスタ（LROVFSTR_PE1）のオーバフローフラグ、およびエラーアドレスレジスタ（LR1STEADR0_PE1）をクリアするためのレジスタです。書き込み専用レジスタで読み出し値は常に 0 です。

アクセス	LRSTCLR_PE1 レジスタは、32 ビット単位でライトのみ可能です。 LRSTCLR_PE1L レジスタは、16 ビット単位でライトのみ可能です。 LRSTCLR_PE1LL レジスタは、8 ビット単位でライトのみ可能です。
アドレス	LRSTCLR_PE1：FFC6 5408_H LRSTCLR_PE1L：FFC6 5408_H LRSTCLR_PE1LL：FFC6 5408_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STCLR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 40B.35　LRSTCLR_PE1 レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	STCLR0	エラーステータスフラグクリアビット 本ビットに 1 を書き込むことで LR1STERSTR_PE1 レジスタの DEDF0, SEDF0 フラグ、LROVFSTR_PE1 レジスタの ERROVF0 フラグおよび LR1STEADR0_PE1 レジスタをクリアします。

(6) LROVFSTR_PE1 — ローカル RAM エラーカウントオーバフローステータスレジスタ

LROVFSTR_PE1 レジスタは、エラーオーバフロー発生を監視するためのレジスタです。1st エラーが発生後、2nd エラーが発生した場合（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）、本レジスタのフラグがセットされます。ただし、2nd エラーの内容が、1st エラーと全く同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。ERROVF0 フラグは内部リセット、外部リセット、または LRSTCLR_PE1 レジスタの STCLR0 ビットへ 1 をセットすることでクリアされます。

アクセス　LROVFSTR_PE1 レジスタは、32 ビット単位でリードのみ可能です。
LROVFSTR_PE1L レジスタは、16 ビット単位でリードのみ可能です。
LROVFSTR_PE1LL レジスタは、8 ビット単位でリードのみ可能です。

アドレス　LROVFSTR_PE1 : FFC6 540C$_H$
LROVFSTR_PE1L : FFC6 540C$_H$
LROVFSTR_PE1LL : FFC6 540C$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERROVF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40B.36　LROVFSTR_PE1 レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。
0	ERROVF0	エラーオーバフローフラグ エラーステータスレジスタのいずれかのエラーフラグ（DEDF0, SEDF0）がセットされている状態で 2nd エラーが発生した場合、ERROVF0 はセットされます。その際、2nd エラーのエラーアドレスとエラー要因共に 1st エラーと同じ場合を除きます。

(7) LR1STERSTR_PE1 — ローカル RAM 1st エラーステータスレジスタ

LR1STERSTR_PE1 レジスタは、ECC エラー検出・訂正が有効の場合に、最初に発生したエラーを監視するためのレジスタです。エラーフラグが 0 の状態でエラーが発生した場合に、エラーステータスがセットされます。

なお、同時に複数のエラーが発生した場合は、該当するエラーフラグはすべてセットされます。
LR1STERSTR_PE1 レジスタは内部リセット、外部リセット、または LRSTCLR_PE1 レジスタの STCLR0 ビットへ 1 をセットすることでクリアされます。

アクセス　LR1STERSTR_PE1 レジスタは、32 ビット単位でリードのみ可能です。
LR1STERSTR_PE1L レジスタは、16 ビット単位でリードのみ可能です。
LR1STERSTR_PE1LL レジスタは、8 ビット単位でリードのみ可能です。

アドレス　LR1STERSTR_PE1：FFC6 5410_H
LR1STERSTR_PE1L：FFC6 5410_H
LR1STERSTR_PE1LL：FFC6 5410_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDF0	SEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40B.37　LR1STERSTR_PE1 レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1	DEDF0	ECC2 ビットエラーモニタフラグ 0：ECC2 ビットエラーは検出していません。 1：ECC2 ビットエラーは検出しました。 クリア条件： LRSTCLR_PE1.STCLR0 ビットに 1 をセット セット条件： DEDF0 が 0 の状態で、ECC2 ビットエラー検出
0	SEDF0	ECC1 ビットエラーモニタフラグ 0：ECC1 ビットエラーは検出していません。 1：ECC1 ビットエラーは検出しました。 クリア条件： LRSTCLR_PE1.STCLR0 ビットに 1 をセット セット条件： DEDF0、SEDF0 がどちらも 0 の状態で、ECC1 ビットエラー検出

(8) LR1STEADR0_PE1 — ローカル RAM 1st エラーアドレスレジスタ 0

LR1STEADR0_PE1 レジスタは、エラー発生時のアドレスを保持するためのレジスタです。

LR1STERSTR_PE1 レジスタのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスをセットします。1st エラーとして ECC1 ビットエラーフラグをセットした状態で ECC2 ビットエラーが発生すると、アドレス情報を更新します。一度 ECC2 ビットエラーが発生すると、アドレス情報の更新はしません。

本レジスタには内部アドレスが保持されますので、各メモリのベースアドレス[31:19]ビットを加算して実アドレスへ変換してください。LR1STEADR0_PE1 レジスタは内部リセット、外部リセット、または LRSTCLR_PE1 レジスタの STCLR0 ビットへ 1 をセットすることでクリアされます。

アクセス　LR1STEADR0_PE1 レジスタは、32 ビット単位でリードのみ可能です。
LR1STEADR0_PE1L、LR1STEADR0_PE1H レジスタは、16 ビット単位でリードのみ可能です。
LR1STEADR0_PE1LL、LR1STEADR0_PE1LH、LR1STEADR0_PE1HL レジスタは、8 ビット単位でリードのみ可能です。

アドレス　LR1STEADR0_PE1 : FFC6 5450_H
LR1STEADR0_PE1L : FFC6 5450_H,
LR1STEADR0_PE1H : FFC6 5452_H
LR1STEADR0_PE1LL : FFC6 5450_H,
LR1STEADR0_PE1LH : FFC6 5451_H,
LR1STEADR0_PE1HL : FFC6 5452_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	EADR[18:16]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EADR[15:2]														—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40B.38　LR1STEADR0_PE1 レジスタの内容

ビット位置	ビット名	機能
31～19	予約ビット	リードした場合はリセット後の値が読めます。
18～2	EADR[18:2]	1st エラー発生アドレス 1st エラー発生時のアドレスを監視するためのレジスタです。 LR1STEADR0_PE1 レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。1st エラーとして ECC1 ビットエラーフラグがセットされている状態で ECC2 ビットエラーが発生すると、アドレス情報を更新します。ECC2 ビットエラー発生後はアドレス情報の更新はしません。
1、0	予約ビット	リードした場合はリセット後の値が読めます。

40B.2.5　グローバル RAM（リテンション RAM を含む）の ECC

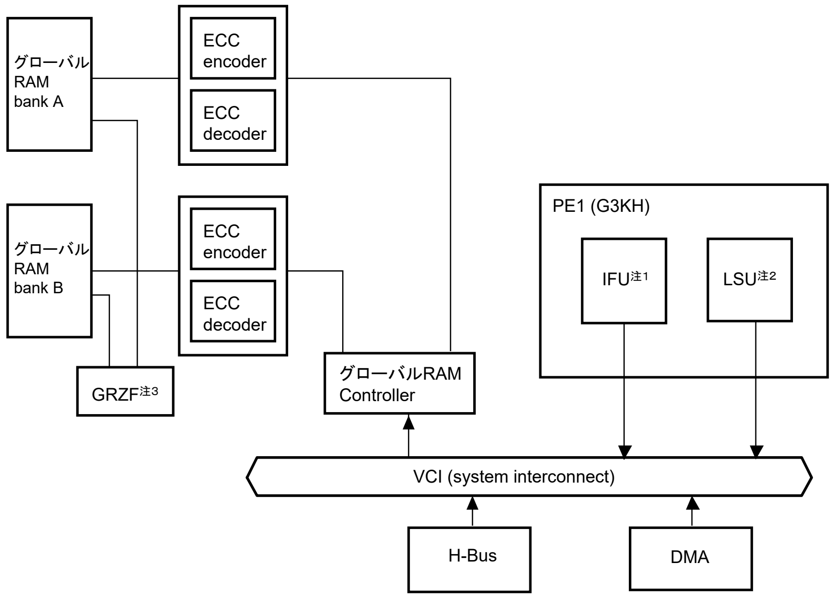
40B.2.5.1　概要

注　意

リテンション RAM は、グローバル RAM の一部です。リテンション RAM に対する ECC はグローバル RAM と共有されています。したがって、リテンション RAM の場合もグローバル RAM と同じレジスタを使用します。

RH850/F1KM-S4 および RH850/F1KM-S2 では、ECC エンコーダと ECC デコーダがバンク毎（バンク A とバンク B）に用意されています。

「**図 40B.2 グローバル RAM ECC のブロック図**」にグローバル RAM の 2 つの ECC エンコーダと ECC デコーダの配置を示します。



注1.　命令フェッチユニット

注2.　ロードストアユニット

注3.　GRZF から RAM に直接アクセスします。詳細は、「**45.3 グローバル RAM ゼロフィル（GRZF）**」を参照してください。

図 40B.2　グローバル RAM ECC のブロック図

グローバル RAM ECC の概要を以下に示します。

表 40B.39　グローバル RAM ECC 概要

項目	説明
ECC エラー検出・訂正	ECC エラー検出・訂正の有効／無効を選択可能 有効時は下記設定のいずれかを選択可能。 ● 2 ビットエラー検出と 1 ビットエラー検出・訂正を行います。 ● 2 ビットエラー検出と 1 ビットエラー検出を行います。 無効時はエラー検出・訂正を行いません。 初期状態では、ECC 機能は有効で 1 ビットエラー検出・訂正、2 ビットエラー検出を行います。
エラー通知	ECC エラー発生時は、エラー通知を行います。 ● ECC1 ビットエラーを検出した場合のエラー通知を、許可または禁止できます。 データアクセスおよび命令フェッチ中に ECC1 ビットエラー（SECDIS＝1）が検出された場合のエラー（SYSERR 例外）通知を、許可または禁止できます。 SYSERR の詳細については、**「第 3BC 章　RH850/F1KM の CPU システム」**を参照してください。 ECC コントローラの初期状態では、ECC2 ビットエラー検出時および ECC1 ビットエラー検出時にエラー通知が許可されます。 ただし、割り込みコントローラの FEINTFMSK レジスタで割り込みをマスクしている場合、割り込み処理は行われません。
エラーステータス	ECC2 ビットエラー検出、ECC1 ビットエラー検出の状態を示すステータスレジスタを備えます。どのエラーステータスもセットされていない状態でエラーが発生したとき、対応するステータスがセットされます。 エラーステータスはクリアレジスタによってクリア可能です。
アドレスキャプチャ	どの ECC エラーステータスもセットされていない場合、最初の ECC エラー発生時のアドレスをキャプチャします。さらに、保持しているアドレス要因が ECC1 ビットエラーの場合、ECC2 ビットエラーのアドレスもキャプチャされます。
自己診断	RAM データと ECC ビットに任意のデータを書き込むことができます。 RAM データをダイレクトに読み出すことができます。
その他	命令フェッチ時の ECC2 ビットエラー検出に応じて SYSERR 例外を発生させ、不正命令の実行を回避することができます。

40B.2.5.2　　割り込み要求

グローバル RAM ECC の割り込み要求を以下に示します。

表 40B.40　グローバル RAM ECC の割り込み要求（CPU フェッチアクセス時）

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	RAM の ECC1 ビットエラー割り込み	SYSERR, INTECCRAM (SED & SECDIS＝1)	—
		INTECCRAM (SED & SECDIS＝0)	—
—	RAM の ECC2 ビットエラー割り込み	SYSERR, INTECCRAM	—

表 40B.41　グローバル RAM ECC の割り込み要求（CPU データアクセス時）

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	RAM の ECC1 ビットエラー割り込み	SYSERR, INTECCRAM (SED & SECDIS＝1)	—
		INTECCRAM (SED & SECDIS＝0)	—
—	RAM の ECC2 ビットエラー割り込み	SYSERR, INTECCRAM	—

表 40B.42　グローバル RAM ECC の割り込み要求（CPU アクセス以外のデータアクセス時）

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	RAM の ECC1 ビットエラー割り込み	INTECCRAM	—
—	RAM の ECC2 ビットエラー割り込み	INTECCRAM	—

40B.2.5.3 レジスター覧

表 40B.43 レジスター覧

モジュール名	アドレス	略号	レジスタ名	R/W	リセット後の値	アクセスサイズ
GRECC	FFC6 4000H	GRECCCTL_BKA	グローバル RAM ECC コントロールレジスタ（バンク A）	R/W	0000 0000H	16/32
	FFC6 4004H	GRERRINT_BKA	グローバル RAM エラー情報コントロールレジスタ（バンク A）	R/W	0000 0001H	8/16/32
	FFC6 4010H	GRSTCLR_BKA	グローバル RAM ステータスクリアレジスタ（バンク A）	W	0000 0000H	8/16/32
	FFC6 4014H	GROVFSTR_BKA	グローバル RAM エラーカウントオーバフローステータスレジスタ（バンク A）	R	0000 0000H	8/16/32
	FFC6 4018H	GR1STERSTR_BKA	グローバル RAM 1st エラーステータスレジスタ（バンク A）	R	0000 0000H	8/16/32
	FFC6 401CH	GR1STEADR_BKA	グローバル RAM 1st エラーアドレスレジスタ（バンク A）	R	FEE0 0000H	8/16/32
	FFC6 4020H	GRTSTCTL_BKA	グローバル RAM テストコントロールレジスタ（バンク A）	R/W	0000 0000H	16/32
	FFC6 4024H	GRDECINBF1_BKA	グローバル RAM ECC デコーダ入力データバッファ 1（バンク A）	R/W	0000 0000H	8/16/32
	FFC6 4200H	GRECCCTL_BKB	グローバル RAM ECC コントロールレジスタ（バンク B）	R/W	0000 0000H	16/32
	FFC6 4204H	GRERRINT_BKB	グローバル RAM エラー情報コントロールレジスタ（バンク B）	R/W	0000 0001H	8/16/32
	FFC6 4210H	GRSTCLR_BKB	グローバル RAM ステータスクリアレジスタ（バンク B）	W	0000 0000H	8/16/32
	FFC6 4214H	GROVFSTR_BKB	グローバル RAM エラーカウントオーバフローステータスレジスタ（バンク B）	R	0000 0000H	8/16/32
	FFC6 4218H	GR1STERSTR_BKB	グローバル RAM 1st エラーステータスレジスタ（バンク B）	R	0000 0000H	8/16/32
	FFC6 421CH	GR1STEADR_BKB	グローバル RAM 1st エラーアドレスレジスタ（バンク B）	R	FEF0 0000H	8/16/32
	FFC6 4220H	GRTSTCTL_BKB	グローバル RAM テストコントロールレジスタ（バンク B）	R/W	0000 0000H	16/32
	FFC6 4224H	GRDECINBF1_BKB	グローバル RAM ECC デコーダ入力データバッファ 1（バンク B）	R/W	0000 0000H	8/16/32

備考 _略号において、“_BKA”、“_BKB”が付いているレジスタは、各バンクごとに用意されているレジスタとなります。
“BKA”はバンク A、“BKB”はバンク B を示します。

40B.2.5.4　　レジスタ詳細

(1)　GRECCCTL_BKA/BKB ― グローバル RAM ECC コントロールレジスタ

GRECCCTL_BKA/BKB レジスタは、ECC エラー検出・訂正の有効／無効、1 ビットエラー訂正の許可／禁止を設定するレジスタです。GRECCCTL_BKA/BKB レジスタへの書き込みは PROT1、PROT0 を 01_B にして実行してください。

本レジスタの設定は、対応するアクセスポートを経由するアクセスに反映されます。

アクセス　GRECCCTL_BKA、GRECCCTL_BKB レジスタは、32 ビット単位でリード／ライト可能です。
GRECCCTL_BKAL、GRECCCTL_BKBL レジスタは、16 ビット単位でリード／ライト可能です。

アドレス　GRECCCTL_BKA：FFC6 4000_H
GRECCCTL_BKAL：FFC6 4000_H
GRECCCTL_BKB：FFC6 4200_H
GRECCCTL_BKBL：FFC6 4200_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 40B.44　GRECCCTL_BKA/BKB レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	PROT1	ECCDIS ビット、SECDIS ビットの書き換え可否を設定するためのビットです。 書き込みデータは保持されません。読み出すと常に 0 が読み出されます。 本レジスタへの書き込みは、PROT1, PROT0＝0, 1 で行ってください。
14	PROT0	
13～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	SECDIS	1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正の許可／禁止を設定するためのビットです。このビットの書き込み時は PROT1, PROT0＝0, 1 を同時に書き込む必要があります。 0：1 ビットエラー検出時にエラー訂正する 1：1 ビットエラー検出時にエラー訂正しない
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正機能の有効／無効を設定できます。このビットの書き込み時は PROT1, PROT0＝0, 1 を同時に書き込む必要があります。 0：ECC エラー検出・訂正機能が有効 1：ECC エラー検出・訂正機能が無効

(2) GRERRINT_BKA/BKB — グローバル RAM エラー情報コントロールレジスタ

GRERRINT_BKA/BKB レジスタは、ECC1 ビットエラー検出時にエラー通知信号発生の有効／無効を設定するためのレジスタです。

本レジスタの設定は、対応するアクセスポートを経由するアクセスに反映されます。

アクセス　GRERRINT_BKA、GRERRINT_BKB レジスタは、32 ビット単位でリード／ライト可能です。
GRERRINT_BKAL、GRERRINT_BKBL レジスタは、16 ビット単位でリード／ライト可能です。
GRERRINT_BKALL、GRERRINT_BKBLL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　GRERRINT_BKA：FFC6 4004_H
GRERRINT_BKAL：FFC6 4004_H
GRERRINT_BKALL：FFC6 4004_H
GRERRINT_BKB：FFC6 4204_H
GRERRINT_BKBL：FFC6 4204_H
GRERRINT_BKBLL：FFC6 4204_H

リセット後の値　0000 0001_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SEDIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 40B.45　GRERRINT_BKA/BKB レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
0	SEDIE	ECC1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知の発生を制御するビットです。 0：ECC1 ビットエラー通知禁止 1：ECC1 ビットエラー通知許可

(3) GRSTCLR_BKA/BKB — グローバル RAM ステータスクリアレジスタ

GRSTCLR_BKA/BKB レジスタは、エラーステータスレジスタ（GR1STERSTR_BKA/BKB）のエラーフラグ、エラーオーバフローステータスレジスタ（GROVFSTR_BKA/BKB）のオーバフローフラグ、およびエラーアドレスレジスタ（GR1STEADR_BKA/BKB）をクリアするためのレジスタです。書き込み専用レジスタで読み出し値は常に 0 です。

本レジスタの設定は、対応するアクセスポートを経由するアクセスに反映されます。

アクセス　GRSTCLR_BKA、GRSTCLR_BKB レジスタは、32 ビット単位でライトのみ可能です。
GRSTCLR_BKAL、GRSTCLR_BKBL レジスタは、16 ビット単位でライトのみ可能です。
GRSTCLR_BKALL、GRSTCLR_BKBLL レジスタは、8 ビット単位でライトのみ可能です。

アドレス　GRSTCLR_BKA：FFC6 4010H
GRSTCLR_BKAL：FFC6 4010H
GRSTCLR_BKALL：FFC6 4010H
GRSTCLR_BKB：FFC6 4210H
GRSTCLR_BKBL：FFC6 4210H
GRSTCLR_BKBLL：FFC6 4210H

リセット後の値　0000 0000H

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STCLR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 40B.46　GRSTCLR_BKA/BKB レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	書き込み時は 0 を書き込んでください。
0	STCLR0	エラーステータスフラグクリアビット GR1STERSTR_BKA/BKB レジスタの DEDF, SEDF フラグ、GROVFSTR_BKA/BKB レジスタの ERROVF0 フラグ、および GR1STEADR_BKA/BKB レジスタの EADR[19:0]をクリアします。

(4) GROVFSTR_BKA/BKB — グローバル RAM エラーカウントオーバフローステータスレジスタ

GROVFSTR_BKA/BKB レジスタは、エラーオーバフロー発生を監視するためのレジスタです。1st エラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の 2nd エラーが発生した場合に本フラグがセットされます。ただし、2nd エラーの内容が、1st エラーと全く同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。

本レジスタの設定は、対応するアクセスポートを経由するアクセスに反映されます。

アクセス　GROVFSTR_BKA、GROVFSTR_BKB レジスタは、32 ビット単位でリードのみ可能です。
GROVFSTR_BKAL、GROVFSTR_BKBL レジスタは、16 ビット単位でリードのみ可能です。
GROVFSTR_BKALL、GROVFSTR_BKBLL レジスタは、8 ビット単位でリードのみ可能です。

アドレス　GROVFSTR_BKA：FFC6 4014_H
GROVFSTR_BKAL：FFC6 4014_H
GROVFSTR_BKALL：FFC6 4014_H
GROVFSTR_BKB：FFC6 4214_H
GROVFSTR_BKBL：FFC6 4214_H
GROVFSTR_BKBLL：FFC6 4214_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERROVF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40B.47　GROVFSTR_BKA/BKB レジスタの内容

ビット位置	ビット名	機能
31〜1	予約ビット	リードした場合はリセット後の値が読めます。
0	ERROVF0	エラーオーバフローフラグ エラーステータスレジスタのいずれかのエラーフラグ（DEDF, SEDF）が発生している状態で、2nd エラーが発生した場合にセットされます。 2nd エラーの内容が、エラー要因、エラーアドレスともに 1st エラーと同じ場合はセットされません。

(5) GR1STERSTR_BKA/BKB — グローバル RAM 1st エラーステータスレジスタ

GR1STERSTR_BKA/BKB レジスタは、最初に発生したエラーをモニタするためのレジスタです。エラーフラグが 0 の状態でエラーが発生した場合に、エラーステータスがセットされます。ただし、SEDF ビットがセットされている状態で ECC2 ビットエラーが発生した場合のみ、エラーフラグはセットされます。

GR1STERSTR_BKA/BKB レジスタは内部リセット、外部リセット、または GRSTCLR_BKA/BKB レジスタの STCLR0 ビットへ 1 をセットすることでクリアされます。

本レジスタの設定は、対応するアクセスポートを経由するアクセスに反映されます。

アクセス	GR1STERSTR_BKA、GR1STERSTR_BKB レジスタは、32 ビット単位でリードのみ可能です。 GR1STERSTR_BKAL、GR1STERSTR_BKBL レジスタは、16 ビット単位でリードのみ可能です。 GR1STERSTR_BKALL、GR1STERSTR_BKBLL レジスタは、8 ビット単位でリードのみ可能です。
アドレス	GR1STERSTR_BKA : FFC6 4018_H GR1STERSTR_BKAL : FFC6 4018_H GR1STERSTR_BKALL : FFC6 4018_H GR1STERSTR_BKB : FFC6 4218_H GR1STERSTR_BKBL : FFC6 4218_H GR1STERSTR_BKBLL : FFC6 4218_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDF	SEDF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40B.48　GR1STERSTR_BKA/BKB レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1	DEDF	ECC2 ビットエラーモニタフラグ 0：ECC2 ビットエラーが検出されていません。 1：ECC2 ビットエラーが検出されました。 クリア条件： GRSTCLR_BKA/BKB レジスタの STCLR0 ビットのセット セット条件： DEDF が 0 の状態で、ECC2 ビットエラーを検出
0	SEDF	ECC1 ビットエラーモニタフラグ 0：ECC1 ビットエラーが検出されていません。 1：ECC1 ビットエラーが検出されました。 クリア条件： GRSTCLR_BKA/BKB レジスタの STCLR0 ビットのセット セット条件： DEDF、SEDF がすべて 0 の状態で、ECC1 ビットエラーを検出

(6) GR1STEADR_BKA/BKB — グローバル RAM 1st エラーアドレスレジスタ

GR1STEADR_BKA/BKB レジスタは、エラー発生時のアドレスを保持するためのレジスタです。

GR1STERSTR_BKA/BKB レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを更新します。また、1st エラーのエラーフラグが ECC1 ビットエラーの場合に ECC2 ビットエラーが発生するとアドレス情報を更新します。ECC2 ビットエラー発生後はアドレス情報の更新はしません。

GR1STEADR_BKA/BKB レジスタは内部リセット、外部リセット、または GRSTCLR_BKA/BKB レジスタの STCLR0 ビットへ 1 をセットすることでクリアされます。

本レジスタの設定は、対応するアクセスポートを経由するアクセスに反映されます。

アクセス　GR1STEADR_BKA、GR1STEADR_BKB レジスタは、32 ビット単位でリードのみ可能です。

GR1STEADR_BKAL、GR1STEADR_BKBL、GR1STEADR_BKAH、GR1STEADR_BKBH レジスタは、16 ビット単位でリードのみ可能です。

GR1STEADR_BKALL、GR1STEADR_BKALH、GR1STEADR_BKAHL、GR1STEADR_BKBLL、GR1STEADR_BKBLH、GR1STEADR_BKBHL レジスタは、8 ビット単位でリードのみ可能です。

アドレス　GR1STEADR_BKA：FFC6 $401C_H$

GR1STEADR_BKAL：FFC6 $401C_H$

GR1STEADR_BKALL：FFC6 $401C_H$

GR1STEADR_BKALH：FFC6 $401D_H$

GR1STEADR_BKAH：FFC6 $401E_H$

GR1STEADR_BKAHL：FFC6 $401E_H$

GR1STEADR_BKB：FFC6 $421C_H$

GR1STEADR_BKBL：FFC6 $421C_H$

GR1STEADR_BKBLL：FFC6 $421C_H$

GR1STEADR_BKBLH：FFC6 $421D_H$

GR1STEADR_BKBH：FFC6 $421E_H$

GR1STEADR_BKBHL：FFC6 $421E_H$

リセット後の値　GR1STEADR_BKA：FEE0 0000_H, GR1STEADR_BKB：FEF0 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	EADR[19:16]			
リセット後の値	1	1	1	1	1	1	1	0	1	1	1	0/1 注1	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EADR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40B.49　GR1STEADR_BKA/BKB レジスタの内容

ビット位置	ビット名	機能
31〜20	予約ビット	リードした場合はリセット後の値が読めます。
19〜0	EADR[19:0]	1st エラー発生アドレス 1st エラー発生時のアドレスをモニタするためのレジスタです。 GR1STERSTR_BKA/BKB レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを更新します。また、1st エラーのエラーフラグが ECC1 ビットエラーの場合に ECC2 ビットエラーが発生するとアドレス情報を更新します。ECC2 ビットエラー発生後はアドレス情報の更新はしません。

注1.　リセット後の値はバンク A、バンク B によって異なります。

(7) GRTSTCTL_BKA/BKB ― グローバル RAM テストコントロールレジスタ

ECC テスト（自己診断）時に使用するレジスタです。ECC テストモード（ECCTST＝1）設定後、ECC ビットへ任意のデータを書き込むことができます。

また、グローバル RAM コントローラ内の ECC デコーダの入出力を制御し、テスト（自己診断）することが可能です。

本レジスタへの書き込みは、PROT1、PROT0 を 1 にして実行してください。

アクセス　GRTSTCTL_BKA、GRTSTCTL_BKB レジスタは、32 ビット単位でリード／ライト可能です。
GRTSTCTL_BKAL、GRTSTCTL_BKBL レジスタは、16 ビット単位でリード／ライト可能です。

アドレス　GRTSTCTL_BKA：FFC6 4020_H
GRTSTCTL_BKAL：FFC6 4020_H
GRTSTCTL_BKB：FFC6 4220_H
GRTSTCTL_BKBL：FFC6 4220_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	—	ECCTST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 40B.50　GRTSTCTL_BKA/BKB レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
15	PROT1	ECCTST ビットの書き換え可否を設定するためのビットです。 書き込みデータは保持されません。読みだすと常に 0 が読みだされます。 本レジスタへの書き込みは、PROT1, PROT0＝0, 1 で行ってください。
14	PROT0	
13～1	予約ビット	常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
0	ECCTST	ECC テストビット RAM に書き込む ECC データの切り替えを許可するためのビットです。 本レジスタへの書き込みは、PROT1, PROT0＝0, 1 で行ってください。 0：ECC エンコーダの出力を RAM 用 ECC データとします。 1：レジスタ出力を RAM 用 ECC データとします。

(8) GRDECINBF1_BKA/BKB ― グローバル RAM ECC デコーダ入力データバッファ 1

本レジスタの値は、GRTSTCTL_BKA/BKB.ECCTST＝1（テストモード）時にグローバル RAM にライトアクセスすると、グローバル RAM の 7 ビットの ECC データとして扱う事ができます。

アクセス　GRDECINBF1_BKA、GRDECINBF1_BKB レジスタは、32 ビット単位でリード／ライト可能です。
GRDECINBF1_BKAL、GRDECINBF1_BKBL レジスタは、16 ビット単位でリード／ライト可能です。
GRDECINBF1_BKALL、GRDECINBF1_BKBLL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　GRDECINBF1_BKA：FFC6 4024_H
GRDECINBF1_BKAL：FFC6 4024_H
GRDECINBF1_BKALL：FFC6 4024_H
GRDECINBF1_BKB：FFC6 4224_H
GRDECINBF1_BKBL：FFC6 4224_H
GRDECINBF1_BKBLL：FFC6 4224_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	GRDECINBF1[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 40B.51　GRDECINBF1_BKA/BKB レジスタの内容

ビット位置	ビット名	機能
31～7	予約ビット	常に 0 が読み出されます。書き込み時は 0 を書き込んでください。
6～0	GRDECINBF1[6:0]	ECCTST＝1（テストモード）時に有効です。グローバル RAM への書き込み動作により、本レジスタのデータは 7 ビットの ECC RAM に書き込まれるデータとなります。

40B.2.6　周辺 RAM の ECC

40B.2.6.1　概要

以下の周辺モジュールの RAM 用の ECC モジュールです。

- CSIH
- RS-CANFD
- FlexRay
- Ethernet AVB

表 40B.52　周辺 RAM ECC の機能一覧

項目	説明
ECC エラー検出／訂正	ECC エラーの検出と訂正を有効または無効にすることができます。 次のいずれかの設定を選択できます。 ● 2 ビットエラー検出と 1 ビットエラー検出／訂正 ● 2 ビットエラー検出と 1 ビットエラー検出 ECC エラー検出／訂正を無効にすることもできます（スルーモード時）。 初期状態は、2 ビットエラー検出と 1 ビットエラー検出／訂正です。
エラー通知	ECC エラー発生時は、エラー通知を行います。 ● ECC2 ビットエラー検出時のエラー通知許可／禁止を選択可 ● ECC1 ビットエラー検出時のエラー通知許可／禁止を選択可 ECC コントローラの初期状態では、2 ビットエラー検出時のエラー通知許可、および 1 ビットエラー検出時のエラー通知禁止。ただし、FEINTFMSK レジスタで割り込みをマスクしている場合、割り込み処理は行われません。
エラーステータス	ECC2 ビットエラー検出、ECC1 ビットエラー検出をモニタできます。 エラーステータスのクリアレジスタを搭載しています。
アドレスキャプチャ	ECC エラーが発生した 1 つのアドレスのみをキャプチャできます。 ECC2 ビットまたは 1 ビットエラーの検出時に信号が生成され、この信号をトリガとしてエラー発生アドレスがキャプチャされます（フラグクリア後の最初の（1 ビットまたは 2 ビット）エラー検出時）。

注　意

ECC によるエラー検出・訂正を行う場合、RS-CANFD と FlexRay については RAM 領域の初期化を行ってから使用してください。

40B.2.6.2　　割り込み要求

以下に周辺 RAM の ECC 割り込み要求を示します。

表 40B.53　CSIHn ECC の割り込み要求（FE レベルマスカブル割り込み）

ユニット割り込み信号	説明	名称	DMA トリガ番号
INTECCCSIHn	CSIHn ECC1 ビットエラー／ECC2 ビットエラー割り込み	INTECCCSIH0	—
		INTECCCSIH1	
		INTECCCSIH2	
		INTECCCSIH3	

表 40B.54　RCFDCn ECC の割り込み要求（FE レベルマスカブル割り込み）

ユニット割り込み信号	説明	名称	DMA トリガ番号
ECCCNFDRAMFEIF	RCFDC0 ECC1 ビットエラー／ECC2 ビットエラー割り込み	INTECCCNFDRAM	—

表 40B.55　FlexRay ECC の割り込み要求（FE レベルマスカブル割り込み）(RH850/F1KM-S4)

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	FLXA0 ECC1 ビットエラー／ECC2 ビットエラー割り込み	INTECCFLRAM	—

表 40B.56　Ethernet AVB ECC の割り込み要求（FE レベルマスカブル割り込み）(RH850/F1KM-S4)

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	ETNB0 ECC1 ビットエラー／ECC2 ビットエラー割り込み	INTECCETH	—

40B.2.6.3　　レジスター覧

(1) ECC モジュール一覧

複数の周辺機能の RAM に対して、本 ECC モジュールが搭載されています。以下に、本 ECC モジュールを実装している周辺機能と、それに対応する ECC モジュール名、各 ECC モジュールのベースアドレスを示します。

表 40B.57　ECC モジュール一覧 (RH850/F1KM-S4)

対応する周辺機能		モジュール名	ECC モジュール名とレジスタベースアドレス	
			ベースアドレス名	ベースアドレス <base_addr>
CSIHn	バッファ I/O（CSIH RAM）	ECCCSIH0	<ECCCSIH0_base>	FFC7 0100_H
		ECCCSIH1	<ECCCSIH1_base>	FFC7 0200_H
		ECCCSIH2	<ECCCSIH2_base>	FFC7 0300_H
		ECCCSIH3	<ECCCSIH3_base>	FFC7 0400_H
RCFDC0	メッセージバッファ RAM（MB RAM）	ECCCFD0MB	<ECCCFD0MB_base>	FFC7 1300_H
	アクセプタンスフィルタリスト RAM0（AFL0 RAM）	ECCCFD0AFL0	<ECCCFD0AFL0_base>	FFC7 1400_H
	アクセプタンスフィルタリスト RAM1（AFL1 RAM）	ECCCFD0AFL1	<ECCCFD0AFL1_base>	FFC7 1500_H
FLXA0	メッセージ RAM（MRAM）	ECCFLXA0	<ECCFLXA0_base>	FFC7 3100_H
	テンポラリバッファ（TBFA）	ECCFLXA0T0	<ECCFLXA0T0_base>	FFC7 3200_H
	テンポラリバッファ（TBFB）	ECCFLXA0T1	<ECCFLXA0T1_base>	FFC7 3300_H
ETNB0	送信 FIFO RAM（TXRAM）	ECCETNB0TX	<ECCETNB0TX_base>	FFC7 4100_H
	受信 FIFO RAM（RXRAM）	ECCETNB0RX	<ECCETNB0RX_base>	FFC7 4200_H

表 40B.58　ECC モジュール一覧 (RH850/F1KM-S2)

対応する周辺機能		モジュール名	ECC モジュール名とレジスタベースアドレス	
			ベースアドレス名	ベースアドレス <base_addr>
CSIHn	バッファ I/O（CSIH RAM）	ECCCSIH0	<ECCCSIH0_base>	FFC7 0100_H
		ECCCSIH1	<ECCCSIH1_base>	FFC7 0200_H
		ECCCSIH2	<ECCCSIH2_base>	FFC7 0300_H
		ECCCSIH3	<ECCCSIH3_base>	FFC7 0400_H
RCFDC0	メッセージバッファ RAM（MB RAM）	ECCCFD0MB	<ECCCFD0MB_base>	FFC7 1300_H
	アクセプタンスフィルタリスト RAM0（AFL0 RAM）	ECCCFD0AFL0	<ECCCFD0AFL0_base>	FFC7 1400_H
	アクセプタンスフィルタリスト RAM1（AFL1 RAM）	ECCCFD0AFL1	<ECCCFD0AFL1_base>	FFC7 1500_H

(2) レジスター覧

各 ECC モジュールは以下のレジスタを備えます。

表 40B.59　レジスター覧

モジュール名	レジスタ名	略称	アドレス
「表 40B.57 ECC モジュール一覧」を参照	ECC コントロールレジスタ	<Module_Name>CTL	<base_addr> + 00_H
	ECC テストモードコントロールレジスタ	<Module_Name>TMC	<base_addr> + 04_H
	ECC エンコード／デコード入出力代替テストレジスタ	<Module_Name>TED	<base_addr> + $0C_H$
	ECC 冗長ビットデータコントロールテストレジスタ	<Module_Name>TRC	<base_addr> + 08_H
	ECC デコードシンドロームデータレジスタ	<Module_Name>SYND	<base_addr> + $0B_H$
	ECC7 ビット冗長ビットデータ保持テストレジスタ	<Module_Name>HORD	<base_addr> + $0A_H$
	ECC エンコードテストレジスタ	<Module_Name>ECRD	<base_addr> + 09_H
	ECC リダンタントビット入出力代替バッファレジスタ	<Module_Name>ERDB	<base_addr> + 08_H
	ECC エラーアドレスレジスタ 0	<Module_Name>AD0	<base_addr> + 10_H
SL_READTEST	ECCREAD テスト選択レジスタ	SELB_READTEST	FFC7 8000_H

40B.2.6.4　レジスタ詳細

(1) <Module_Name>CTL — ECC コントロールレジスタ

<Module_Name>CTL レジスタは対象となる周辺モジュールの ECC のモードを制御、およびステータスの制御を行うレジスタです。

ビット 7、5～3 の設定（書き込み）は対象周辺モジュールが動作していない時に行ってください。

また、ビット 7 への書き込みは EMCA1, EMCA0 を 01_B にして実行してください。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　「**表 40B.57 ECC モジュール一覧 (RH850/F1KM-S4)**」、「**表 40B.58 ECC モジュール一覧 (RH850/F1KM-S2)**」および「**表 40B.59 レジスター覧**」を参照。

リセット後の値　$001X_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EMCA1	EMCA0	—	—	ECCOVFF	ECER2C	ECER1C	—	ECTHM	—	EC1ECP	EC2EDIC	EC1EDIC	ECER2F	ECER1F	ECEMF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	—
R/W	R/W 注1	R/W 注1	R	R	R	R/W 注1	R/W 注1	R	R/W	R	R/W	R/W	R/W	R	R	R

注1.　リード値は常に 0 が読み出されます。

表 40B.60　<Module_Name>CTL レジスタの内容

ビット位置	ビット名	機能
15	EMCA1	ECC モード選択ビットへのアクセス制御ビット 1、0 本ビットは ECTHM（ビット 7）の書き換え可否を設定するためのビットです。 書き込みデータは保持されません。読み出すと常に 0 が読み出されます。本ビットのデータ値が 01_B のとき、ビット 7 への書込みが可能になります。
14	EMCA0	
13、12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11	ECCOVFF	エラーステータスがセットされ、新しいエラーのアドレスがラッチ済みのものとは異なる場合（クリアされておらず、リセットも行われていない）、エラーを検出すると、このビットがセットされます。 0：ECER2F、ECER1F をクリアしてリセットした後、オーバフローは発生しない。 1：エラーアドレスレジスタでオーバフローが発生する。 **備考）** このビットのクリア条件は以下となります。 (1) リセット (2) ECER2F＝1 での ECER2C＝1 の書き込み、または ECER1F＝1 での ECER1C＝1 の書き込み (3) スルーモード許可選択（ECTHM＝1）
10	ECER2C	2 ビット ECC エラー検出フラグクリアビット 本ビットは ECER2F（ビット 2）の 2 ビットエラー検出フラグをクリアするためのビットです。読み出すと常に 0 が読み出されます。0 書き込みは無効です。 ECER2F ビットがセットされている際に、本ビットに 1 書き込みを行うことで ECER2F ビットがクリアされます。1 書き込みと ECER2F のセット要因が競合した際には本ビットの書き込みが優先されます。 また、ECER2F ビットがセットされている際に本ビットを 1 にすることで、ECCOVFF ビットがクリアされます。

表 40B.60　<Module_Name>CTL レジスタの内容

ビット位置	ビット名	機能
9	ECER1C	1 ビット ECC エラー検出訂正累積フラグクリアビット 本ビットは ECER1F（ビット 1）の 1 ビットエラー検出／訂正フラグをクリアするためのビットです。読み出すと常に 0 が読み出されます。0 書き込みは無効です。 ECER1F ビットがセットされている際に、本ビットに 1 書き込みを行うことで ECER1F ビットがクリアされます。1 書き込みと ECER1F のセット要因が競合した際には本ビットの書き込みが優先されます。 また、ECER1F ビットがセットされている際に本ビットを 1 にすることで、ECCOVFF ビットがクリアされます。
8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	ECTHM	ECC 機能スルーモード選択ビット 本ビットは、ECC 機能の有効／無効を設定するビットです。セット “1” することで、ECC 機能を無効にすることができます。 このビットの書き込み時は EMCA1, EMCA0＝0, 1 を同時に書き込む必要があります。 0：スルーモード禁止（通常動作モード） 1：スルーモード許可（ECC 機能無効）
6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	EC1ECP	1 ビットエラー訂正許可ビット 本ビットは ECC エラー検出／訂正の有効時に、1 ビットエラー訂正の許可／禁止を設定するためのビットです。 0：1 ビットエラー検出時にエラー訂正を行う。 1：1 ビットエラー検出時にエラー訂正を行わない。
4	EC2EDIC	2 ビットエラー検出割り込み制御ビット 本ビットは 2 ビットエラー検出時に割り込みを発生させるかを制御するビットです。 0：2 ビットエラー検出時に対象周辺モジュールの割り込みを発生させない。 1：2 ビットエラー検出時に対象周辺モジュールの割り込みを発生させる。
3	EC1EDIC	1 ビットエラー検出割り込み制御ビット 本ビットは 1 ビットエラー検出時に割り込みを発生させるかを制御するビットです。 0：1 ビットエラー検出時に対象周辺モジュールの割り込みを発生させない。 1：1 ビットエラー検出時に対象周辺モジュールの割り込みを発生させる。
2	ECER2F	2 ビットエラー検出フラグビット 本ビットはエラー判定許可状態（ECTHM＝0）で RAM へのリードアクセス時に 2 ビットエラーが検出されたことを示すフラグです。2 ビットエラー割り込み許可状態（EC2EDIC＝1）で、本フラグがセットされると ECC2 ビットエラー割り込み（対象周辺モジュールの割り込み）が発生します。 クリアの際には ECER2C ビット（ビット 10）へ 1 書き込みを行ってください。 スルーモード許可選択（ECTHM＝1）時も本ビットはクリアされます。本ビットがセットされた状態で再度 2 ビットのビットエラーが検出されても割り込みは発生しません。 0：本ビットクリア後、2 ビットエラーは発生していない。 1：2 ビットエラーが発生したことがある。 本ビットはリード専用であり、0 または 1 書き込みを行っても内部状態に変化はありません。
1	ECER1F	1 ビットエラー検出／訂正フラグビット 本ビットはエラー判定許可状態（ECTHM＝0）で RAM へのリードアクセス時に 1 ビットエラーが検出されたことを示すフラグです。クリアの際には ECER1C ビット（ビット 9）へ 1 書き込みを行ってください。スルーモード許可選択（ECTHM＝1）時も本ビットはクリアされます。 0：本ビットクリア後、1 ビットエラーは発生していない。 1：1 ビットエラーが発生 本ビットはリード専用であり、0 または 1 書き込みを行っても内部状態に変化はありません。
0	ECEMF	ECC エラー表示フラグ 本ビットは現在のリードデータバスに対してエラーが存在することを示すフラグです。本ビットは RAM 出力データごとに更新されます。スルーモード許可選択（ECTHM＝1）時、およびデコード回路入力データに 1 ビットエラーがないときも本ビットはクリアされます。 0：現在の RAM 出力データには、ビットエラーが存在していない。 1：現在の RAM 出力データでは、ビットエラーが存在する。

注　意
ビット 2、1 をクリアする場合には、ECC エラー表示フラグ（ECEMF）がセットされていない時にクリアする必要があります。

(2) <Module_Name>TMC — ECC テストモードコントロールレジスタ

<Module_Name>TMC レジスタはテストモードへの切り替え、およびテストモード制御のためのレジスタです。

本レジスタは対象となる周辺モジュールが RAM アクセスしないときに使用できます。

ビット 7 への書き込みは、ETMA1, ETMA0 を 10_B にして実行してください。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　**「表 40B.57 ECC モジュール一覧 (RH850/F1KM-S4)」**、**「表 40B.58 ECC モジュール一覧 (RH850/F1KM-S2)」** および **「表 40B.59 レジスタ一覧」** を参照。

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ETMA1	ETMA0	—	—	—	—	—	—	ECTMCE	—	—	ECTRRS	ECREOS	ECENS	ECDCS	ECREIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W[注1]	R/W[注1]	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W

注1.　リード値は常に 0 が読み出されます。

表 40B.61　<Module_Name>TMC レジスタの内容

ビット位置	ビット名	機能
15	ETMA1	ECC テストモードビットへのアクセス制御ビット 1、0 本ビットは ECTMCE（ビット 7）の書き換え可否を設定するためのビットです。 書き込みデータは保持されません。読み出すと常に 0 が読み出されます。 本ビットのデータ値が 10_B のとき、ビット 7 への書き込みが可能になります。
14	ETMA0	
13～8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	ECTMCE	ECC テストモードイネーブルビット 本ビットはテストレジスタおよび、本レジスタのテスト制御ビットへのアクセスを許可するかを選択するビットです。このビットの書き込み時は、ETMA1, ETMA0＝1, 0 を同時に書き込む必要があります。 0：テストモードレジスタおよびビットに対するアクセスを禁止する 1：テストモードレジスタおよびビットに対するアクセスを許可する テストレジスタ　：<Module_Name>TED, <Module_Name>TRC, <Module_Name>SYND, <Module_Name>HORD, <Module_Name>ECRD, <Module_Name>ERDB レジスタテスト制御ビット　：ECTRRS, ECREOS, ECENS, ECDCS, ECREIS
6、5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	ECTRRS	ECC RAM リードテストモード選択ビット 本ビットは<Module_Name>TED レジスタをリードする際の読み込み先、および<Module_Name>ERDB レジスタをリードする際の読み込み先を選択します。 本ビットへのライトアクセスは、ECTMCE＝1 のときのみ有効です（同時設定可能）。 また、本ビットは ECTMCE＝0 によりクリアされます（同期クリア）。 0：<Module_Name>TED レジスタのリード値は、<Module_Name>TED レジスタの書き込み値となります。 <Module_Name>ERDB レジスタのリード値は、<Module_Name>ERDB レジスタの書き込み値となります。 1：<Module_Name>TED レジスタのリード値は、RAM データが読み出せます。 <Module_Name>ERDB レジスタのリード値は、RAM に書き込まれる ECC データとなります。

表 40B.61　<Module_Name>TMC レジスタの内容

ビット位置	ビット名	機能
3	ECREOS	ECC 冗長ビット出力データ選択ビット 本ビットは RAM に格納する ECC データを書き込みデータに対して生成された ECC データとするか、または<Module_Name>ERDB レジスタの値とするかを選択するビットです。 本ビットへのライトアクセスは、ECTMCE＝1 のときのみ有効です（同時設定可能）。 また、本ビットは ECTMCE＝0 によりクリアされます（同期クリア）。 0：書き込みデータに対して生成された ECC データを RAM に格納する。 1：<Module_Name>ERDB レジスタの値を RAM に格納する。
2	ECENS	ECC エンコード入力選択ビット 本ビットは ECC データを生成する際の対象データを RAM への書き込みデータとするか、または<Module_Name>TED レジスタの値とするかを選択するビットです。 本ビットへのライトアクセスは、ECTMCE＝1 のときのみ有効です（同時設定可能）。 また、本ビットは ECTMCE＝0 によりクリアされます（同期クリア）。 0：RAM へのライトデータから ECC データを生成する。 1：<Module_Name>TED レジスタの値から ECC データを生成する。
1	ECDCS	ECC デコード入力選択ビット 本ビットはシンドロームコードの生成と誤り検出を行う際の対象データを、RAM データとするか、または<Module_Name>TED レジスタの値とするかを選択するビットです。 本ビットへのライトアクセスは、ECTMCE＝1 のときのみ有効です（同時設定可能）。 また、本ビットは ECTMCE＝0 によりクリアされます（同期クリア）。 0：RAM データからシンドロームコードの生成と誤り検出を行う。 1：<Module_Name>TED レジスタの値からシンドロームコードの生成と誤り検出を行う。
0	ECREIS	ECC 冗長ビット入力データ選択ビット 本ビットはシンドロームコードの生成と誤り検出を行う際の対象 ECC データを、RAM に格納された ECC データとするか、または<Module_Name>ERDB レジスタの値とするかを選択するビットです。 本ビットへのライトアクセスは、ECTMCE＝1 のときのみ有効です（同時設定可能）。 また、本ビットは ECTMCE＝0 によりクリアされます（同期クリア）。 0：RAM に格納された ECC データからシンドロームコードの生成と、誤り検出を行う。 1：<Module_Name>ERDB レジスタの値からシンドロームコードの生成と、誤り検出を行う。

(3) <Module_Name>TED ― ECC エンコード／デコード入出力代替テストレジスタ

ECC テストモードにおいて、テストデータを扱うレジスタです。

本レジスタの値から、ECC データの生成またはシンドロームコードの生成を行います。

ECC テストモードがイネーブル（<Module_Name>TMC.ECTMCE＝1）である場合にアクセス可能です。<Module_Name>TMC.ECTMCE＝0 の場合は、書き込みは無効、読み出し値は 0000 0000_H となります。

本レジスタは対象周辺モジュールが RAM アクセスしていないときに使用できます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　「**表 40B.57 ECC モジュール一覧 (RH850/F1KM-S4)**」、「**表 40B.58 ECC モジュール一覧 (RH850/F1KM-S2)**」および「**表 40B.59 レジスター覧**」を参照。

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECEDB[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECEDB[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 40B.62　<Module_Name>TED レジスタの内容

ビット位置	ビット名	機能
31～0	ECEDB[31:0]	<Module_Name>TMC.ECENS＝1 において、本レジスタの値から ECC データを生成し、RAM へ格納します。 <Module_Name>TMC.ECDCS＝1 において、本レジスタの値からシンドロームコードを生成し、ECC デコードシンドロームデータレジスタ（<Module_Name>SYND）に格納します。 また、<Module_Name>TMC.ECTRRS＝1 の際には本レジスタのリード値は書き込んだデータではなく、RAM データ[31:0]が読み出されます。

(4) <Module_Name>TRC — ECC 冗長ビットデータコントロールテストレジスタ

ECC テストモードにおいて、ECC データに対するテストレジスタで、<Module_Name>SYND、<Module_Name>HORD、<Module_Name>ECRD、<Module_Name>ERDB の 4 つの 8 ビットレジスタで構成されます。

ECC テストモードがイネーブル（<Module_Name>TMC.ECTMCE＝1）である場合にアクセス可能です。<Module_Name>TMC.ECTMCE＝0 の場合は、書き込みは無効、読み出し値は 0000 0000_H となります。

本レジスタは対象周辺モジュールが RAM アクセスしていないときに使用できます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　「**表 40B.57 ECC モジュール一覧 (RH850/F1KM-S4)**」、「**表 40B.58 ECC モジュール一覧 (RH850/F1KM-S2)**」および「**表 40B.59 レジスタ一覧**」を参照。

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	<Module_Name>SYND（**(6)** 参照）								<Module_Name>HORD（**(7)** 参照）							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<Module_Name>ECRD（**(8)** 参照）								<Module_Name>ERDB（**(9)** 参照）							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(5) <Module_Name>AD0 — 対象 ECC エラーアドレスレジスタ 0

ECC エラー発生アドレスを格納するリード専用レジスタです。

ECC エラー判定許可状態で ECC エラーが検出されると、検出信号をトリガとして RAM アドレスがキャプチャされ、これが、エラー発生アドレスとして格納されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　「**表 40B.57 ECC モジュール一覧 (RH850/F1KM-S4)**」、「**表 40B.58 ECC モジュール一覧 (RH850/F1KM-S2)**」および「**表 40B.59 レジスタ一覧**」を参照。

リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	ECEAD[30:16]														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECEAD[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40B.63　<Module_Name>AD0 レジスタの内容

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。
30～0	ECEAD[30:0]	ECEAD0 は ECC エラー発生アドレスを格納するリード専用レジスタです。 ECC エラー検出許可時に ECC エラーを検出すると、検出信号をトリガとして RAM アドレスがラッチされ、このアドレスが ECC エラー発生アドレスとして ECEAD0 に格納されます。 エラーステータスがセットされていなくても、最初の ECC エラー検出時にアドレスが格納されますが、1 ビットエラーの後に 2 ビットエラーが発生すると、格納されるのは 2 ビットエラーのアドレスとなります。 ECEAD0 には 1 つのアドレスしか格納できません。

(6) <Module_Name>SYND — ECC デコードシンドロームデータレジスタ

ECC テストモードにおいて、生成されたシンドロームコードが格納されるリード専用レジスタです。

書き込みは無効です。

ECC テストモードがイネーブル（<Module_Name>TMC.ECTMCE＝1）のときリードアクセスのみ可能、ディセーブル（<Module_Name>TMC.ECTMCE＝0）のとき読み出し値は 00_H となります。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　**「表 40B.57 ECC モジュール一覧 (RH850/F1KM-S4)」**、**「表 40B.58 ECC モジュール一覧 (RH850/F1KM-S2)」** および **「表 40B.59 レジスター覧」** を参照。

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	SYND6	SYND5	SYND4	SYND3	SYND2	SYND1	SYND0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 40B.64　<Module_Name>SYND レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。
6～0	SYND[6:0]	生成されたシンドロームコードが随時格納されます。

(7) <Module_Name>HORD — ECC7 ビット冗長ビットデータ保持テストレジスタ

ECC テストモードにおいて、読み出した RAM データに対する ECC データが格納されるレジスタです。

書き込みは無効です。

ECC テストモードがイネーブル（<Module_Name>TMC.ECTMCE＝1）のときリードアクセスのみ可能、ディセーブル（<Module_Name>TMC.ECTMCE＝0)のとき読み出し値は 00_H となります。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　**「表 40B.57 ECC モジュール一覧 (RH850/F1KM-S4)」**、**「表 40B.58 ECC モジュール一覧 (RH850/F1KM-S2)」** および **「表 40B.59 レジスター覧」** を参照。

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	HORD6	HORD5	HORD4	HORD3	HORD2	HORD1	HORD0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 40B.65　<Module_Name>HORD レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。
6～0	HORD[6:0]	読み出した RAM データに対する ECC コードが随時格納されます。 また、<Module_Name>TMC.ECTRRS＝1 の場合、<Module_Name>TED レジスタをリードした際にも ECC コードが格納されます。

(8) <Module_Name>ECRD — ECC エンコードテストレジスタ

ECC テストモードにおいて、書き込んだ RAM データに対して生成された ECC データが格納されるリード専用レジスタです。

書き込みは無効です。

ECC テストモードがイネーブル（<Module_Name>TMC.ECTMCE＝1）のときリードアクセスのみ可能、ディセーブル（<Module_Name>TMC.ECTMCE＝0）のとき読み出し値は 00_H となります。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　「**表 40B.57 ECC モジュール一覧 (RH850/F1KM-S4)**」、「**表 40B.58 ECC モジュール一覧 (RH850/F1KM-S2)**」および「**表 40B.59 レジスター覧**」を参照。

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	ECRD6	ECRD5	ECRD4	ECRD3	ECRD2	ECRD1	ECRD0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 40B.66　<Module_Name>ECRD レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6～0	ECRD[6:0]	RAM データ書き込み時に生成される ECC データを読み出すことができます。 また、<Module_Name>MC.ECENS＝1 の際には、<Module_Name>TED レジスタに書き込んだデータに対する ECC データを読み出すことができます。

(9) <Module_Name>ERDB — ECC リダンタントビット入出力代替バッファレジスタ

ECC テストモードおいて、ECC データを扱うレジスタです。

本レジスタの値は、RAM への書き込み時に生成される ECC データ、または RAM データの読み出し時に読み込まれる ECC データとして扱うことができます。

ECC テストモードがイネーブル（<Module_Name>TMC.ECTMCE＝1）である場合に、アクセスが可能です。<Module_Name>TMC.ECTMCE＝0 の場合は、書き込みは無効、読み出し値は 00_H となります。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　「**表 40B.57 ECC モジュール一覧 (RH850/F1KM-S4)**」、「**表 40B.58 ECC モジュール一覧 (RH850/F1KM-S2)**」および「**表 40B.59 レジスタ一覧**」を参照。

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	ERDB6	ERDB5	ERDB4	ERDB3	ERDB2	ERDB1	ERDB0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 40B.67　<Module_Name>ERDB レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6～0	ERDB[6:0]	<Module_Name>TMC.ECREOS＝1 の場合、本レジスタの値を ECC データとして RAM へ格納します。 <Module_Name>TMC.ECREIS＝1 の場合、本レジスタの値を RAM から読み出された ECC データとします。 また、<Module_Name>TMC.ECTRRS＝1 の際には本レジスタのリード値は書き込んだデータではなく、RAM に格納する ECC データが読み出されます。

(10) SELB_READTEST — ECCREAD テスト選択レジスタ

対象となる周辺モジュールの RAM ECC のレジスタのリード／ライトチェックに使用します。

各機能に対応するビットを“1”に設定することで、リードオンリービットにライトすることが可能になります。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　「**表 40B.57 ECC モジュール一覧 (RH850/F1KM-S4)**」、「**表 40B.58 ECC モジュール一覧 (RH850/F1KM-S2)**」および「**表 40B.59 レジスタ一覧**」を参照。

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RTCANFDE7A03	RTCANFDE7A02	RTCANFDE7A01	RTETHRXRAM	RTETHTXRAM	—	—	—	—	RTFLXAE7A0	RTFLXATRAM1	RTFLXATRAM0	RTCSIHE7A3	RTCSIHE7A2	RTCSIHE7A1	RTCSIHE7A0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 40B.68　SELB_READTEST レジスタの内容

ビット位置	ビット名	機能
15	RTCANFDE7A03	RCFDC0（AFL バッファ 1）の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（RCFDC0 ECC のリードオンリービットへの書き込み可能）
14	RTCANFDE7A02	RCFDC0（AFL バッファ 0）の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（RCFDC0 ECC のリードオンリービットへの書き込み可能）
13	RTCANFDE7A01	RCFDC0（メッセージバッファ）の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（RCFDC0 ECC のリードオンリービットへの書き込み可能）
12	RH850/F1KM-S4： RTETHRXRAM RH850/F1KM-S2： 予約ビット	RH850/F1KM-S4： ETNB0（RXRAM）の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（ETNB0 (RXRAM) ECC のリードオンリービットへの書き込み可能） RH850/F1KM-S2： リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11	RH850/F1KM-S4： RTETHTXRAM RH850/F1KM-S2： 予約ビット	RH850/F1KM-S4： ETNB0（TXRAM）の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（ETNB0 (TXRAM) ECC のリードオンリービットへの書き込み可能） RH850/F1KM-S2： リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
10～7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6	RH850/F1KM-S4： RTFLXAE7A0 RH850/F1KM-S2： 予約ビット	RH850/F1KM-S4： FLXA0（MRAM）の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（FLXA0 (MRAM) ECC のリードオンリービットへの書き込み可能） RH850/F1KM-S2： リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 40B.68　SELB_READTEST レジスタの内容

ビット位置	ビット名	機能
5	RH850/F1KM-S4： RTFLXATRAM1 RH850/F1KM-S2： 予約ビット	RH850/F1KM-S4： FLXA0（TBFB）の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（FLXA0 (TBFB) ECC のリードオンリービットへの書き込み可能） RH850/F1KM-S2： リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	RH850/F1KM-S4： RTFLXATRAM0 RH850/F1KM-S2： 予約ビット	RH850/F1KM-S4： FLXA0（TBFA）の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（FLXA0 (TBFA) ECC のリードオンリービットへの書き込み可能） RH850/F1KM-S2： リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	RTCSIHE7A3	CSIH3 の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（CSIH3 ECC のリードオンリービットへの書き込み可能）
2	RTCSIHE7A2	CSIH2 の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（CSIH2 ECC のリードオンリービットへの書き込み可能）
1	RTCSIHE7A1	CSIH1 の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（CSIH1 ECC のリードオンリービットへの書き込み可能）
0	RTCSIHE7A0	CSIH0 の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（CSIH0 ECC のリードオンリービットへの書き込み可能）

40B.3 メモリ保護

40B.3.1 概要

本製品は、メモリ上のデータや周辺回路の制御レジスタを、誤ったアクセスから保護するためのメモリ保護機能を搭載しています。

- MPU

  CPU が、自分自身の不正なアクセスからメモリを保護します。MPU で禁止されたアドレスに対するアクセスは、CPU から発行されることはありません。詳細は、「*RH850 Family User's Manual: Software*」を参照してください。

- スレーブガード

  あらゆるバスマスタの不正なアクセスから、特定のメモリを保護します。スレーブガードには以下のものがあります。詳細は次節以降に示します。

  – PEG
  ローカル RAM を不正なアクセスから保護します。ただし、ローカル RAM を備える CPU 自身からのアクセスは保護対象外です。例えば、CPU1 から CPU1 内のローカル RAM へのアクセスは、PEG によってプロテクトされることはありません。詳細は「**第 3BC 章 RH850/F1KM の CPU システム**」を参照してください。

  – IPG
  CPU Peripheral を不正なアクセスから保護します。
  詳細は「**第 3BC 章 RH850/F1KM の CPU システム**」を参照してください。

  – GRG
  グローバル RAM を不正なアクセスから保護します。

  – PBG/HBG
  周辺回路の制御レジスタを不正なアクセスから保護します。詳細は「**40B.3.3 PBG/HBG**」を参照してください。

  – PBGC
  CPU システムには、CPU システム用 PBG と呼ばれる専用の PBG 機能があります。詳細は「**40B.3.4 CPU システム用 PBG**」を参照してください。

40B.3.1.1　　スレーブガードの識別子

スレーブガード機能では、以下の識別子によってプロテクトすべき不正アクセスを指定することができます。

表 40B.69　スレーブガードの識別子

識別子	機能
UM	CPU のアクセス時に、その CPU の動作モードを示します。 0：スーパバイザモード 1：ユーザモード PDMA のアクセス時には、本識別子の値はチャネルマスタ設定レジスタの設定値となります。 その他のマスタのアクセス時には、本識別子の値は必ず 0 となります。
SPID	CPU のアクセス時に、その CPU に MCFG0.SPID で設定されたシステム保護識別子 SPID を示します。 PDMA のアクセス時には、本識別子の値はチャネルマスタ設定レジスタの値となります。 その他のマスタ（H-BUS に接続される周辺装置）のアクセス時には、本識別子の値は必ず 00_B となります。
PEID	アクセス元のバスマスタを示します。 001_B：CPU1 100_B：上記以外のバスマスタ（H-Bus バスマスタ） PDMA のアクセス時には、本識別子の値はチャネルマスタ設定レジスタの設定値となります。

40B.3.2　GRG (グローバル RAM Guard)

本製品は、4 チャネルの GRG を実装しています。以下に GRG の詳細を記します。

注　意

リテンション RAM は、グローバル RAM の一部です。リテンション RAM に対する保護機能はグローバル RAM と共有されています。したがって、リテンション RAM の場合もグローバル RAM と同じレジスタを使用します。

40B.3.2.1　　レジスター覧

表 40B.70　 レジスター覧

モジュール名	アドレス	略称	レジスタ名	R/W	リセット後の値	アクセスサイズ
MGDGR	FFC4 9000H	MGDGRPROT0_BKA	GRG プロテクション設定レジスタ 0（バンク A）	R/W	03FE 01F0H	8/16/32
	FFC4 9004H	MGDGRBAD0_BKA	GRG コンペアベースアドレスレジスタ 0（バンク A）	R/W	0000 0000H	8/16/32
	FFC4 9008H	MGDGRADV0_BKA	GRG コンペアアドレス有効レジスタ 0（バンク A）	R/W	0000 0000H	8/16/32
	FFC4 9010H	MGDGRPROT1_BKA	GRG プロテクション設定レジスタ 1（バンク A）	R/W	03FE 01F0H	8/16/32
	FFC4 9014H	MGDGRBAD1_BKA	GRG コンペアベースアドレスレジスタ 1（バンク A）	R/W	0000 0000H	8/16/32
	FFC4 9018H	MGDGRADV1_BKA	GRG コンペアアドレス有効レジスタ 1（バンク A）	R/W	0000 0000H	8/16/32
	FFC4 9020H	MGDGRPROT2_BKA	GRG プロテクション設定レジスタ 2（バンク A）	R/W	03FE 01F0H	8/16/32
	FFC4 9024H	MGDGRBAD2_BKA	GRG コンペアベースアドレスレジスタ 2（バンク A）	R/W	0000 0000H	8/16/32
	FFC4 9028H	MGDGRADV2_BKA	GRG コンペアアドレス有効レジスタ 2（バンク A）	R/W	0000 0000H	8/16/32
	FFC4 9030H	MGDGRPROT3_BKA	GRG プロテクション設定レジスタ 3（バンク A）	R/W	03FE 01F0H	8/16/32
	FFC4 9034H	MGDGRBAD3_BKA	GRG コンペアベースアドレスレジスタ 3（バンク A）	R/W	0000 0000H	8/16/32
	FFC4 9038H	MGDGRADV3_BKA	GRG コンペアアドレス有効レジスタ 3（バンク A）	R/W	0000 0000H	8/16/32
	FFC4 9040H	MGDGRSCTL_BKA	GRG コントロールレジスタ（バンク A）	W	0000 0000H	8/16/32
	FFC4 9044H	MGDGRSSTAT_BKA	GRG エラーステータスレジスタ（バンク A）	R	0000 0000H	8/16/32
	FFC4 9048H	MGDGRSTYPE_BKA	GRG エラーアクセスタイプレジスタ（バンク A）	R	0000 0000H	8/16/32
	FFC4 904CH	MGDGRSAD_BKA	GRG エラーアドレスレジスタ（バンク A）	R	FEE0 0000H	8/16/32
	FFC4 9200H	MGDGRPROT0_BKB	GRG プロテクション設定レジスタ 0（バンク B）	R/W	03FE 01F0H	8/16/32
	FFC4 9204H	MGDGRBAD0_BKB	GRG コンペアベースアドレスレジスタ 0（バンク B）	R/W	0000 0000H	8/16/32
	FFC4 9208H	MGDGRADV0_BKB	GRG コンペアアドレス有効レジスタ 0（バンク B）	R/W	0000 0000H	8/16/32
	FFC4 9210H	MGDGRPROT1_BKB	GRG プロテクション設定レジスタ 1（バンク B）	R/W	03FE 01F0H	8/16/32
	FFC4 9214H	MGDGRBAD1_BKB	GRG コンペアベースアドレスレジスタ 1（バンク B）	R/W	0000 0000H	8/16/32
	FFC4 9218H	MGDGRADV1_BKB	GRG コンペアアドレス有効レジスタ 1（バンク B）	R/W	0000 0000H	8/16/32
	FFC4 9220H	MGDGRPROT2_BKB	GRG プロテクション設定レジスタ 2（バンク B）	R/W	03FE 01F0H	8/16/32
	FFC4 9224H	MGDGRBAD2_BKB	GRG コンペアベースアドレスレジスタ 2（バンク B）	R/W	0000 0000H	8/16/32
	FFC4 9228H	MGDGRADV2_BKB	GRG コンペアアドレス有効レジスタ 2（バンク B）	R/W	0000 0000H	8/16/32
	FFC4 9230H	MGDGRPROT3_BKB	GRG プロテクション設定レジスタ 3（バンク B）	R/W	03FE 01F0H	8/16/32
	FFC4 9234H	MGDGRBAD3_BKB	GRG コンペアベースアドレスレジスタ 3（バンク B）	R/W	0000 0000H	8/16/32
	FFC4 9238H	MGDGRADV3_BKB	GRG コンペアアドレス有効レジスタ 3（バンク B）	R/W	0000 0000H	8/16/32
	FFC4 9240H	MGDGRSCTL_BKB	GRG コントロールレジスタ（バンク B）	W	0000 0000H	8/16/32
	FFC4 9244H	MGDGRSSTAT_BKB	GRG エラーステータスレジスタ（バンク B）	R	0000 0000H	8/16/32
	FFC4 9248H	MGDGRSTYPE_BKB	GRG エラーアクセスタイプレジスタ（バンク B）	R	0000 0000H	8/16/32
	FFC4 924CH	MGDGRSAD_BKB	GRG エラーアドレスレジスタ（バンク B）	R	FEF0 0000H	8/16/32

備考　MGDGRPROTn_BKA/BKB、MGDGRBADn_BKA/BKB、MGDGRADVn_BKA/BKB は、各チャネルの保護内容を設定します。（n：0～3）

MGDGRSCTL_*、MGDGRSSTAT_*、MGDGRSTYPE_*、MGDGRSAD_*は、各バンクにおけるエラー情報を示します。

“BKA”はバンク A、“BKB”はバンク B を示します。

40B.3.2.2　　レジスタ詳細

(1) MGDGRPROTn_BKA/BKB — GRG プロテクション設定レジスタ n（n＝0～3）

アクセス　MGDGRPROTn_BKA、MGDGRPROTn_BKB レジスタは、32 ビット単位でリード／ライト可能です。

MGDGRPROTn_BKAL、MGDGRPROTn_BKBL、MGDGRPROTn_BKAH、MGDGRPROTn_BKBH レジスタは、16 ビット単位でリード／ライト可能です。

MGDGRPROTn_BKALL、MGDGRPROTn_BKAHL、MGDGRPROTn_BKAHH、MGDGRPROTn_BKBLL、MGDGRPROTn_BKBHL、MGDGRPROTn_BKBHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　MGDGRPROTn_BKA : FFC4 9000_H + n × 10_H

MGDGRPROTn_BKAL : FFC4 9000_H + n × 10_H

MGDGRPROTn_BKALL : FFC4 9000_H + n × 10_H

MGDGRPROTn_BKAH : FFC4 9002_H + n × 10_H

MGDGRPROTn_BKAHL : FFC4 9002_H + n × 10_H

MGDGRPROTn_BKAHH : FFC4 9003_H + n × 10_H

MGDGRPROTn_BKB : FFC4 9200_H + n × 10_H

MGDGRPROTn_BKBL : FFC4 9200_H + n × 10_H

MGDGRPROTn_BKBLL : FFC4 9200_H + n × 10_H

MGDGRPROTn_BKBH : FFC4 9202_H + n × 10_H

MGDGRPROTn_BKBHL : FFC4 9202_H + n × 10_H

MGDGRPROTn_BKBHH : FFC4 9203_H + n × 10_H

リセット後の値　03FE $01F0_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	EN	—	—	—	—	UM	—	—	—	PEID4	—	—	PEID1	—	—
リセット後の値	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	0
R/W	R	R/W	R	R	R	R	R/W	R	R	R	R/W	R	R	R/W	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	SPID3	SPID2	SPID1	SPID0	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	1	1	1	1	1	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R

表 40B.71　MGDGRPROTn_BKA/BKB レジスタの内容

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
30	EN	保護イネーブル 　0：保護を禁止します。 　1：保護を許可します。 本レジスタで許可したアクセスのみ可能。
29～26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25	UM	ユーザモードでのアクセス 　0：スーパバイザモードでのアクセスを許可します。 　1：ユーザモードとスーパバイザモードでのアクセスを許可します。
24～22	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 40B.71　MGDGRPROTn_BKA/BKB レジスタの内容

ビット位置	ビット名	機能
21	RH850/F1KM-S4： PEID4 RH850/F1KM-S2： 予約ビット	RH850/F1KM-S4： PEID＝4（H-BUS に接続された周辺デバイス）によるアクセス注1 0：PEID4 でのアクセスを禁止します。 1：PEID4 でのアクセスを許可します。 RH850/F1KM-S2： リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
20、19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
18	PEID1	PEID＝1（CPU1）によるアクセス注1 0：PEID1 でのアクセスを禁止します。 1：PEID1 でのアクセスを許可します。
17～9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	SPID3	SPID＝3 によるアクセス注2、注3 0：SPID3 でのアクセスを禁止します。 1：SPID3 でのアクセスを許可します。
7	SPID2	SPID＝2 によるアクセス注2、注3 0：SPID2 でのアクセスを禁止します。 1：SPID2 でのアクセスを許可します。
6	SPID1	SPID＝1（CPU1）によるアクセス注2、注3 0：SPID1 でのアクセスを禁止します。 1：SPID1 でのアクセスを許可します。
5	SPID0	SPID＝0 によるアクセス注2、注3 0：SPID0 でのアクセスを禁止します。 1：SPID0 でのアクセスを許可します。
4～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注1.　PEID によるアクセス
PEID は各ビットがそれぞれ 1 つの PEID 値に対応するビットリストです。
複数のビットを設定することによって同時に複数のバスマスタの ID 値を許可します。

注2.　SPID によるアクセス
SPID は各ビットがそれぞれ 1 つの SPID 値に対応するビットリストです。
複数のビットを設定することによって同時に複数のマスタの ID 値を許可します。

注3.　SPID については、「**表 40B.69　スレーブガードの識別子**」を参照してください。

注　意

グローバル RAM Guard（GRG）はライトアクセスのみ適用されます。リードアクセスに対しては、保護機能の設定は無効となります。

(2) MGDGRBADn_BKA/BKB — GRG コンペアベースアドレスレジスタ n（n＝0～3）

アクセス　MGDGRBADn_BKA、MGDGRBADn_BKB レジスタは、32 ビット単位でリード／ライト可能です。

MGDGRBADn_BKAL、MGDGRBADn_BKAH、MGDGRBADn_BKBL、MGDGRBADn_BKBH レジスタは、16 ビット単位でリード／ライト可能です。

MGDGRBADn_BKALH、MGDGRBADn_BKAHL、MGDGRBADn_BKBLH、MGDGRBADn_BKBHL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　MGDGRBADn_BKA：FFC4 9004_H + n × 10_H

MGDGRBADn_BKAL：FFC4 9004_H + n × 10_H

MGDGRBADn_BKALH：FFC4 9005_H + n × 10_H

MGDGRBADn_BKAH：FFC4 9006_H + n × 10_H

MGDGRBADn_BKAHL：FFC4 9006_H + n × 10_H

MGDGRBADn_BKB：FFC4 9204_H + n × 10_H

MGDGRBADn_BKBL：FFC4 9204_H + n × 10_H

MGDGRBADn_BKBLH：FFC4 9205_H + n × 10_H

MGDGRBADn_BKBH：FFC4 9206_H + n × 10_H

MGDGRBADn_BKBHL：FFC4 9206_H + n × 10_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	AD[19:16]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD[15:11]					—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R

表 40B.72　MGDGRBADn_BKA/BKB レジスタの内容

ビット位置	ビット名	機能
31～20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19～11	AD[19:11]	コンペアベースアドレス 注 1 GRG プロテクション設定レジスタ n（MGDGRPROTn_BKA/BKB）で指定した保護設定の適用範囲のベースアドレスを設定します。
10～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

注1.　詳細については、「**40B.3.2.2(3) MGDGRADVn_BKA/BKB — GRG コンペアアドレス有効レジスタ n（n＝0～3）**」を参照してください。

(3) MGDGRADVn_BKA/BKB — GRG コンペアアドレス有効レジスタ n（n＝0～3）

アクセス　MGDGRADVn_BKA、MGDGRADVn_BKB レジスタは、32 ビット単位でリード／ライト可能です。

MGDGRADVn_BKAL、MGDGRADVn_BKAH、MGDGRADVn_BKBL、MGDGRADVn_BKBH レジスタは、16 ビット単位でリード／ライト可能です。

MGDGRADVn_BKALH、MGDGRADVn_BKAHL、MGDGRADVn_BKBLH、MGDGRADVn_BKBHL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　MGDGRADVn_BKA：FFC4 9008_H + n × 10_H

MGDGRADVn_BKAL：FFC4 9008_H + n × 10_H

MGDGRADVn_BKALH：FFC4 9009_H + n × 10_H

MGDGRADVn_BKAH：FFC4 $900A_H$ + n × 10_H

MGDGRADVn_BKAHL：FFC4 $900A_H$ + n × 10_H

MGDGRADVn_BKB：FFC4 9208_H + n × 10_H

MGDGRADVn_BKBL：FFC4 9208_H + n × 10_H

MGDGRADVn_BKBLH：FFC4 9209_H + n × 10_H

MGDGRADVn_BKBH：FFC4 $920A_H$ + n × 10_H

MGDGRADVn_BKBHL：FFC4 $920A_H$ + n × 10_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	ADV[19:16]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADV[15:11]					—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R

表 40B.73　MGDGRADVn_BKA/BKB レジスタの内容

ビット位置	ビット名	機能
31～20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19～11	ADV[19:11]	コンペアアドレス有効ビット MGDGRADVn_BKA/BKB[19:11]＝1 のビットはアドレスコンペアを実行します。 MGDGRADVn_BKA/BKB[19:11]が全て 1 の場合は MGDGRBADn_BKA/BKB で指定されたアドレスをベースに最小単位である 2K バイトが保護対象となります。ただし、MGDGRADVn_BKA/BKB[19:11]が全て 0 の場合はグローバル RAM 全域が保護対象となります。
10～0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

設定例

MGDGRBADn_BKA.AD[19:11]＝1D0$_{H}$、MGDGRADVn_BKA.ADV[19:11]＝1FD$_{H}$に設定した場合、グローバル RAM ガード保護領域 n は FEEE 8000$_{H}$～FEEE 87FF$_{H}$と FEEE 9000$_{H}$～FEEE 97FF$_{H}$になります。

MGDGRBADn_BKB.AD[19:11]＝1D0$_{H}$、MGDGRADVn_BKB.ADV[19:11]＝1FD$_{H}$に設定した場合、グローバル RAM ガード保護領域 n は FEFE 8000$_{H}$～FEFE 87FF$_{H}$と FEFE 9000$_{H}$～FEFE 97FF$_{H}$になります。

考え方（例：バンク A の場合）

MGDGRBADn_BKA.AD[19:11]＝1D0$_{H}$をセットするとベースアドレスは FEEE 8000$_{H}$となり、設定可能範囲を下線で示すと、次のようになります。

1 1 1 1	1 1 1 0	1 1 1 0	1 1 1 0	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	B
F	E	E	E	8	0	0	0	H

MGDGRADVn_BKA.ADV[19:11]＝1FD$_{H}$の場合、次のようになります。

0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 0	1 0 0 0	0 0 0 0	0 0 0 0	B

0 をセットしたビットと下位 11 ビットは対象外なので、保護対象領域は以下となります。

0 0 0 0	0 0 0 0	0 0 0 0	1 1 1 0	1 0 0 x	0 x x x	x x x x	x x x x	B

よって保護対象範囲は次のようになります。

1 1 1 1	1 1 1 0	1 1 1 0	1 1 1 0	1 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	B
F	E	E	E	8	0	0	0	H

から

1 1 1 1	1 1 1 0	1 1 1 0	1 1 1 0	1 0 0 0	0 1 1 1	1 1 1 1	1 1 1 1	B
F	E	E	E	8	7	F	F	H

および

1 1 1 1	1 1 1 0	1 1 1 0	1 1 1 0	1 0 0 1	0 0 0 0	0 0 0 0	0 0 0 0	B
F	E	E	E	9	0	0	0	H

から

1 1 1 1	1 1 1 0	1 1 1 0	1 1 1 0	1 0 0 1	0 1 1 1	1 1 1 1	1 1 1 1	B
F	E	E	E	9	7	F	F	H

16 進数で表すと次の各 2K バイト、計 4K バイトを保護します。

- FEEE 8000$_{H}$～FEEE 87FF$_{H}$
- FEEE 9000$_{H}$～FEEE 97FF$_{H}$

(4) MGDGRSCTL_BKA/BKB — GRG コントロールレジスタ

アクセス　MGDGRSCTL_BKA、MGDGRSCTL_BKB レジスタは、32 ビット単位でライトのみ可能です。
MGDGRSCTL_BKAL、MGDGRSCTL_BKBL レジスタは、16 ビット単位でライトのみ可能です。
MGDGRSCTL_BKALL、MGDGRSCTL_BKBLL レジスタは、8 ビット単位でライトのみ可能です。

アドレス　MGDGRSCTL_BKA：FFC4 9040H
MGDGRSCTL_BKAL：FFC4 9040H
MGDGRSCTL_BKALL：FFC4 9040H
MGDGRSCTL_BKB：FFC4 9240H
MGDGRSCTL_BKBL：FFC4 9240H
MGDGRSCTL_BKBLL：FFC4 9240H

リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERRCLO	ERRCLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W

表 40B.74　MGDGRSCTL_BKA/BKB レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	ライトする場合はリセット後の値を書いてください。
1	ERRCLO	エラーエントリオーバフローフラグクリア 0：動作しません。 1：オーバフローフラグをクリアします。
0	ERRCLE	GRG 保護違反フラグクリア 0：動作しません。 1：エラーフラグをクリアします。 ただし「**表 40B.75 ERRCLO と ERRCLE の組み合わせ**」に示す通り ERRCLO と同時にセットしてください。

表 40B.75　ERRCLO と ERRCLE の組み合わせ

ERRCLO	ERRCLE	機能
0	0	いずれのビットもクリアしません。
0	1	設定禁止
1	0	OVF ビットをクリアします。
1	1	OVF ビットおよび ERR ビットをクリアします。

(5) MGDGRSSTAT_BKA/BKB ― GRG エラーステータスレジスタ

アクセス　MGDGRSSTAT_BKA、MGDGRSSTAT_BKB レジスタは、32 ビット単位でリードのみ可能です。
MGDGRSSTAT_BKAL、MGDGRSSTAT_BKBL レジスタは、16 ビット単位でリードのみ可能です。
MGDGRSSTAT_BKALL、MGDGRSSTAT_BKBLL レジスタは、8 ビット単位でリードのみ可能です。

アドレス　MGDGRSSTAT_BKA : FFC4 9044_H
MGDGRSSTAT_BKAL : FFC4 9044_H
MGDGRSSTAT_BKALL : FFC4 9044_H
MGDGRSSTAT_BKB : FFC4 9244_H
MGDGRSSTAT_BKBL : FFC4 9244_H
MGDGRSSTAT_BKBLL : FFC4 9244_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OVF	ERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40B.76　MGDGRSSTAT_BKA/BKB レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1	OVF	エラーエントリオーバフローフラグ 0：オーバフローなし 1：オーバフロー発生 GRG のエラーエントリ段数は 1 のため、最初のガード違反が発生し、エラー検出フラグがセットされた状態で再度ガード違反が発生した場合、エラーエントリがオーバフローし、本フラグがセットされます。 このオーバフローは INTGUARD に通知されます。 なお、INTGUARD の発生ではオーバフローが起きているかは判別できません。本ビットの値を確認してください。またオーバフローした際のガード違反のエラー情報はキャプチャされません。
0	ERR	GRG 保護違反エラーフラグ 0：GRG 保護違反未発生 1：GRG 保護違反発生

(6) MGDGRSTYPE_BKA/BKB — GRG エラーアクセスタイプレジスタ

アクセス　MGDGRSTYPE_BKA、MGDGRSTYPE_BKB レジスタは、32 ビット単位でリードのみ可能です。

MGDGRSTYPE_BKAL、MGDGRSTYPE_BKBL レジスタは、16 ビット単位でリードのみ可能です。

MGDGRSTYPE_BKALL、MGDGRSTYPE_BKALH、MGDGRSTYPE_BKBLL、MGDGRSTYPE_BKBLH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　MGDGRSTYPE_BKA：FFC4 9048_H

MGDGRSTYPE_BKAL：FFC4 9048_H

MGDGRSTYPE_BKALL：FFC4 9048_H

MGDGRSTYPE_BKALH：FFC4 9049_H

MGDGRSTYPE_BKB：FFC4 9248_H

MGDGRSTYPE_BKBL：FFC4 9248_H

MGDGRSTYPE_BKBLL：FFC4 9248_H

MGDGRSTYPE_BKBLH：FFC4 9249_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PEID[2:0]			—	—	—	SPID[1:0]		—	UM	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40B.77　MGDGRSTYPE_BKA/BKB レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。
15～13	PEID[2:0]	GRG 保護違反を発生させたアクセスのアクセス元の PEID
12～10	予約ビット	リードした場合はリセット後の値が読めます。
9～8	SPID[1:0]	GRG 保護違反を発生させたアクセスのアクセス元の SPID
7	予約ビット	リードした場合はリセット後の値が読めます。
6	UM	GRG 保護違反を発生させたアクセスのアクセス元の UM
5～0	予約ビット	リードした場合はリセット後の値が読めます。

(7) MGDGRSAD_BKA/BKB — GRG エラーアドレスレジスタ

アクセス　MGDGRSAD_BKA、MGDGRSAD_BKB レジスタは、32 ビット単位でリードのみ可能です。

MGDGRSAD_BKAL、MGDGRSAD_BKAH、MGDGRSAD_BKBL、MGDGRSAD_BKBH レジスタは、16 ビット単位でリードのみ可能です。

MGDGRSAD_BKALL、MGDGRSAD_BKALH、MGDGRSAD_BKAHL、MGDGRSAD_BKBLL、MGDGRSAD_BKBLH、MGDGRSAD_BKBHL レジスタは、8 ビット単位でリードのみ可能です。

アドレス　MGDGRSAD_BKA : FFC4 904C$_H$

MGDGRSAD_BKAL : FFC4 904C$_H$

MGDGRSAD_BKALL : FFC4 904C$_H$

MGDGRSAD_BKALH : FFC4 904D$_H$

MGDGRSAD_BKAH : FFC4 904E$_H$

MGDGRSAD_BKAHL : FFC4 904E$_H$

MGDGRSAD_BKB : FFC4 924C$_H$

MGDGRSAD_BKBL : FFC4 924C$_H$

MGDGRSAD_BKBLL : FFC4 924C$_H$

MGDGRSAD_BKBLH : FFC4 924D$_H$

MGDGRSAD_BKBH : FFC4 924E$_H$

MGDGRSAD_BKBHL : FFC4 924E$_H$

リセット後の値　MGDGRSAD_BKA : FEE0 0000$_H$, MGDGRSAD_BKB : FEF0 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	SAD[19:16]			
リセット後の値	1	1	1	1	1	1	1	0	1	1	1	0/1 注1	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SAD[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40B.78　MGDGRSAD_BKA/BKB レジスタの内容

ビット位置	ビット名	機能
31～20	予約ビット	リードした場合はリセット後の値が読めます。
19～0	SAD[19:0]	GRG 保護違反発生時のアドレス

注1.　リセット後の値は、バンク A、バンク B によって異なります。

40B.3.3 PBG/HBG

PBG/HBG モジュールは複数の PBG/HBG グループに分かれており、各グループは最大 16 個の保護チャネルを備えています。1 つの PBG/HBG チャネルで、1 つの周辺回路に対して保護すべきアクセスを指定できます。

PBG/HBG グループごとに、拒否したアクセスの情報を保持することができます。

保護対象の周辺回路と、対応する PBG/HBG グループ名および PBG/HBG チャネル番号を以下の表に示します。

表 40B.79　PBG/HBG グループとチャネルおよび対象モジュール (RH850/F1KM-S4)

PBG/HBG グループ	グループ番号（レジスタ名の添字）注 3	PBG/HBG チャネル番号	保護対象モジュール	対象レジスタ
PBG10	00	0	ECON_NMI	WDTNMIF WDTNMIFC
		1	ECON_FEINT	FEINTF FEINTFMSK FEINTFC
		2	SL_INTC	SELB_INTC1
		3	ADCA0	ADCA0 のすべてのレジスタ
		4	KR0	KR0KRM
		5	PORT（グループ A_ISO）	P9, P10, P11, P12, P13, P18, P19, P20, P21, P22, AP1 のレジスタ（Pn, PSRn, PPRn, PNOTn, PIBCn を除く）
		6	PORT（グループ A_AWO）	P0, P1, P2, P3, P8, AP0, IP0 のレジスタ（Pn, PSRn, PPRn, PNOTn, PIBCn を除く）
		7	JTAG（グループ A）	JP0 レジスタ（JP0, JPSR0, JPPR0, JPNOT0, JPIBC0 を除く）
		8	RLN30	RLIN30 のすべてのレジスタ
		9	RLN31	RLIN31 のすべてのレジスタ
		10	RLN32	RLIN32 のすべてのレジスタ
		11	RLN33	RLIN33 のすべてのレジスタ
		12	RLN34	RLIN34 のすべてのレジスタ
		13	RLN35	RLIN35 のすべてのレジスタ
		14	RLN36	RLIN36 のすべてのレジスタ
		15	RLN37	RLIN37 のすべてのレジスタ
PBG11	01	0	DNF (TAUD0)	DNFATAUD0ICTL DNFATAUD0IEN
		1	DNF (ADCA0)	DNFAADCTL0CTL DNFAADCTL0EN
		2	FCLA0 (ADCA0)	FCLA0CTLn_ADC0（n＝0～2）
		3	FCLA0 (NMI)	FCLA0CTL0_NMI
		4	FCLA0 (INTPn)	FCLA0CTLn_INTPL（n＝0～7）
		5	FCLA0 (INTPn)	FCLA0CTLn_INTPH（n＝0～7）
		6	DNF (ENCA0)	DNFAENCA0ICTL DNFAENCA0IEN
		7	DNF (ADCA1)	DNFAADCTL1CTL DNFAADCTL1EN
		8	FCLA0 (ADCA1)	FCLA0CTLn_ADC1（n＝0～2）

表 40B.79　PBG/HBG グループとチャネルおよび対象モジュール (RH850/F1KM-S4)

PBG/HBG グループ	グループ番号（レジスタ名の添字）注 3	PBG/HBG チャネル番号	保護対象モジュール	対象レジスタ
PBG11	01	9	DNF (TAUB0)	DNFATAUB0ICTL DNFATAUB0IEN
		10	DNF (TAUB1)	DNFATAUB1ICTL DNFATAUB1IEN
		11	予約領域	—
		12	PORT（グループ B_ISO）	P9, P10, P11, P12, P13, P18, P19, P20, P21, P22, AP1 のレジスタ（Pn, PSRn, PPRn, PNOTn, PIBCn）
		13	PORT（グループ B_AWO）	P0, P1, P2, P3, P8, AP0, IP0 のレジスタ（Pn, PSRn, PPRn, PNOTn, PIBCn）
		14	JTAG（グループ B）	JP0 レジスタ（JP0, JPSR0, JPPR0, JPNOT0, JPIBC0）
		15	FCLA0 (INTPn)	FCLA0CTLn_INTPU（n＝0～7）
PBG12	07	0	RLN240 (Global)	RLN240 のすべてのグローバルレジスタ
		1	RLN2400	RLN2400 のすべてのチャネルレジスタ
		2	RLN2401	RLN2401 のすべてのチャネルレジスタ
		3	RLN2402	RLN2402 のすべてのチャネルレジスタ
		4	RLN2403	RLN2403 のすべてのチャネルレジスタ
		5	RLN241 (Global)	RLN241 のすべてのグローバルレジスタ
		6	RLN2414	RLN2414 のすべてのチャネルレジスタ
		7	RLN2415	RLN2415 のすべてのチャネルレジスタ
		8	RLN2416	RLN2416 のすべてのチャネルレジスタ
		9	RLN2417	RLN2417 のすべてのチャネルレジスタ
		10	RLN242 (Global)	RLN242 のすべてのグローバルレジスタ
		11	RLN2428	RLN2428 のすべてのチャネルレジスタ
		12	RLN2429	RLN2429 のすべてのチャネルレジスタ
		13	RLN24210	RLN24210 のすべてのチャネルレジスタ
		14	RLN24211	RLN24211 のすべてのチャネルレジスタ
		15	DNF (RSENTn)	DNFASENTICTL DNFASENTIEN
PBG13	08	0	DCRA0	DCRA0 のすべてのレジスタ
		1	DCRA1	DCRA1 のすべてのレジスタ
		2	DCRA2	DCRA2 のすべてのレジスタ
		3	DCRA3	DCRA3 のすべてのレジスタ
		4	RIIC0	RIIC0 のすべてのレジスタ
		5	SL_READTEST	SELB_READTEST
		6	SL_DMAC	DTFSEL_TAUD0/DTFSEL_TAUB0/DTFSEL_TAUB1
		7	GRZF	GRZF のすべてのレジスタ
		8	RIIC1	RIIC1 のすべてのレジスタ
		9	予約領域	—
		10	予約領域	—
		11	予約領域	—
		12	予約領域	—
		13	RSENT0	RSENT0 のすべてのレジスタ
		14	RSENT1	RSENT1 のすべてのレジスタ

表 40B.79　PBG/HBG グループとチャネルおよび対象モジュール (RH850/F1KM-S4)

PBG/HBG グループ	グループ番号（レジスタ名の添字）注 3	PBG/HBG チャネル番号	保護対象モジュール	対象レジスタ
PBG20	02	0	TAUD0	TAUD0 のすべてのレジスタ（SELB_TAUD0I を除く）
		1	SL_TAUD0	SELB_TAUD0I
		2	TAUJ0	TAUJ0 のすべてのレジスタ（SELB_TAUJ0I を除く）
		3	SL_TAUJ0	SELB_TAUJ0I
		4	RTCA0	RTCA0 のすべてのレジスタ
		5	WDTA0	WDTA0 のすべてのレジスタ
		6	WDTA1	WDTA1 のすべてのレジスタ
		7	予約領域	—
		8	PIC0	PIC0 のすべてのレジスタ
		9	TAPA0	TAPA0 のすべてのレジスタ
		10	ENCA0	ENCA0 のすべてのレジスタ
		11	TAUJ1	TAUJ1 のすべてのレジスタ
		12	TAUB0	TAUB0 のすべてのレジスタ（SELB_TAUB0I を除く）
		13	TAUB1	TAUB1 のすべてのレジスタ（SELB_TAUB1I を除く）
		14	PWBAn PWGAn PWSAn SLPWG PWGA_INTF	PWM-Diag のすべてのレジスタ
		15	SL_TAUJ2	SELB_TAUJ2I
PBG21	09	0	予約領域	—
		1	予約領域	—
		2	予約領域	—
		3	予約領域	—
		4	予約領域	—
		5	SL_TAUB0	SELB_TAUB0I
		6	SL_TAUB1	SELB_TAUB1I
		7	予約領域	—
		8	TAUJ2	TAUJ2 のすべてのレジスタ（SELB_TAUJ2I を除く）
		9	TAUJ3	TAUJ3 のすべてのレジスタ
PBG30	03	0	予約領域	—
		1	予約領域	—
		2	予約領域	—
		3	予約領域	—
		4	予約領域	—
		5	予約領域	—
		6	予約領域	—
		7	予約領域	—
		8	予約領域	—
		9	予約領域	—
		10	ETNB0	ETNB0 のすべてのレジスタ（ETNB0IFCTL を除く）
		11	予約領域	—
		12	ADCA1	ADCA1 のすべてのレジスタ
		13	ECCETNB0TX	ECCETNB0TX グループのすべてのレジスタ
		14	ECCETNB0RX	ECCETNB0RX グループのすべてのレジスタ

表 40B.79　PBG/HBG グループとチャネルおよび対象モジュール (RH850/F1KM-S4)

PBG/HBG グループ	グループ番号（レジスタ名の添字）注 3	PBG/HBG チャネル番号	保護対象モジュール	対象レジスタ
PBG31	04	0	OSTM0	OSTM0 のすべてのレジスタ
		1	OSTM1-4	OSTM1, OSTM2, OSTM3, OSTM4 のすべてのレジスタ
		2	予約領域	—
		3	予約領域	—
		4	ECCCSIH0	ECC CSIH0 のすべてのレジスタ
		5	ECCCSIH1	ECC CSIH1 のすべてのレジスタ
		6	ECCCSIH2	ECC CSIH2 のすべてのレジスタ
		7	ECCCSIH3	ECC CSIH3 のすべてのレジスタ
		8	予約領域	—
		9	予約領域	—
		10	予約領域	—
		11	予約領域	—
		12	ECCFLXA0	ECCFLXA0 グループのすべてのレジスタ
		13	ECCFLXA0T0	ECCFLXA0T0 グループのすべてのレジスタ
		14	ECCFLXA0T1	ECCFLXA0T1 グループのすべてのレジスタ
PBG32	05	0	CSIH0（グループ A）	CSIH0CTL0～2, CSIH0STR0, CSIH0STCR0, CSIH0EMU
		1	CSIH0（グループ B）	上記以外の CSIH0 レジスタ
		2	CSIH1（グループ A）	CSIH1CTL0～2, CSIH1STR0, CSIH1STCR0, CSIH1EMU
		3	CSIH1（グループ B）	上記以外の CSIH1 レジスタ
		4	CSIH2（グループ A）	CSIH2CTL0～2, CSIH2STR0, CSIH2STCR0, CSIH2EMU
		5	CSIH2（グループ B）	上記以外の CSIH2 レジスタ
		6	CSIH3（グループ A）	CSIH3CTL0～2, CSIH3STR0, CSIH3STCR0, CSIH3EMU
		7	CSIH3（グループ B）	上記以外の CSIH3 レジスタ
		8	CSIG0（グループ A）	CSIG0CTL0～2, CSIG0STR0, CSIG0STCR0, CSIG0EMU
		9	CSIG0（グループ B）	上記以外の CSIG0 レジスタ
		10	CSIG1（グループ A）	CSIG1CTL0～2, CSIG1STR0, CSIG1STCR0, CSIG1EMU
		11	CSIG1（グループ B）	上記以外の CSIG1 レジスタ
		12	CSIG2（グループ A）	CSIG2CTL0～2, CSIG2STR0, CSIG2STCR0, CSIG2EMU
		13	CSIG2（グループ B）	上記以外の CSIG2 レジスタ
		14	CSIG3（グループ A）	CSIG3CTL0～2, CSIG3STR0, CSIG3STCR0, CSIG3EMU
		15	CSIG3（グループ B）	上記以外の CSIG3 レジスタ
PBG40	10	0	フラッシュメモリ (DCIB)	EEPRDCYCL
		1	DFECC	DFECCCTL, DFERSTR, DFERSTC, DFOVFSTR, DFOVFSTC, DFERRINT, DFEADR, DFTSTCTL

表 40B.79　PBG/HBG グループとチャネルおよび対象モジュール (RH850/F1KM-S4)

PBG/HBG グループ	グループ番号（レジスタ名の添字）注3	PBG/HBG チャネル番号	保護対象モジュール	対象レジスタ
PBG50	06	0	システムコントロール注1	書き込み保護機能、リセットコントローラ、電源回路、電源電圧モニタ、クロックコントローラ、クロックモニタ、スタンバイコントローラ、ロウパワーサンプラのすべてのレジスタ注1（STBC0PSC, STBC0STPT, SWRESA, PROTCMD0, PROTS0, JPPCMD0, JPPROTS0, PPCMD0～3, PPCMD8～13, PPCMD18～22, PPROTS0～3, PPROTS8～13, PPROTS18～22, FLMDPCMD, FLMDPS を除く）
		1	STBC0	STBC0PSC, STBC0STPT
		2	予約領域	—
		3	予約領域	—
		4	RESCTL	SWRESA
		5	フラッシュメモリ（セルフプログラミング）	FLMD 注2
		6	フラッシュメモリ（制御）	—注2
		7	フラッシュメモリ（SCDS）	PRDNAME1～3, CHIPID1～2
		8	WPROTR	PROTCMD0 PROTS0
PBG60	11	0	RCFDC0 (channel 0)	RCFDC0 Ch0 グループのすべてのレジスタ注4
		1	RCFDC0 (channel 1)	RCFDC0 Ch1 グループのすべてのレジスタ注4
		2	RCFDC0 (channel 2)	RCFDC0 Ch2 グループのすべてのレジスタ注4
		3	RCFDC0 (channel 3)	RCFDC0 Ch3 グループのすべてのレジスタ注4
		4	RCFDC0 (channel 4)	RCFDC0 Ch4 グループのすべてのレジスタ注4
		5	RCFDC0 (channel 5)	RCFDC0 Ch5 グループのすべてのレジスタ注4
		6	RCFDC0 (channel 6)	RCFDC0 Ch6 グループのすべてのレジスタ注4
		7	RCFDC0 (channel 7)	RCFDC0 Ch7 グループのすべてのレジスタ注4
		8	RCFDC0 (Global)	RCFDC0 Global グループのすべてのレジスタ注4
		9	ECCCFD0MB	ECCCFD0MB のすべてのレジスタ
		10	ECCCFD0AFL0	ECCCFD0AFL0 のすべてのレジスタ
		11	ECCCFD0AFL1	ECCCFD0AFL1 のすべてのレジスタ
HBG00	00	0	MEMC0	MEMC0 のすべてのレジスタ
		1	MEMC0_CS0	外部メモリ領域（CS0）
		2	MEMC0_CS1	外部メモリ領域（CS1）
		3	MEMC0_CS2	外部メモリ領域（CS2）
		4	MEMC0_CS3	外部メモリ領域（CS3）
HBG01	01	0	SFMA0	SFMA0 のすべてのレジスタ
		1	SFMA0_MEM	外部シリアルフラッシュメモリ領域
HBG02	02	0	FLXA0	FLXA0 のすべてのレジスタ

注1.　詳細は、**「第 5 章　書き込み保護レジスタ」**、**「第 9BC 章　RH850/F1KM のリセット」**、**「第 10B 章　電源とパワードメイン (RH850/F1KM-S4, RH850/F1KM-S2)」**、**「第 11BC 章　電源電圧モニタ (RH850/F1KM)」**、**「第 12AB 章　クロックコントローラ (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2)」**、**「第 13 章　クロックモニタ（CLMA）」**、**「第 14 章　スタンバイコントローラ（STBC）」**、**「第 15 章　ロウパワーサンプラ（LPS）」**を参照してください。

注2.　フラッシュメモリ用の PBG レジスタについては、「*RH850/F1KH, F1KM, F1K　フラッシュメモリ　ユーザーズマニュアル　ハードウェアインタフェース編*」を参照してください。

注3.　PBG レジスタのアドレスについては、**「表 40B.81　PBG/HBG 保護レジスタ一覧 (RH850/F1KM-S4)」**を参照してください。

注4.　RS-CANFD ガードグループについては、**「第 24 章　CANFD インタフェース（RS-CANFD）」**を参照してください。

備　考

各クロックドメインのレジスタアクセスクロックを無効にする前に、PBG/HBG を有効にして下さい。

表 40B.80　PBG/HBG グループとチャネルおよび対象モジュール (RH850/F1KM-S2)

PBG/HBG グループ	グループ番号（レジスタ名の添字）注 3	PBG/HBG チャネル番号	保護対象モジュール	対象レジスタ
PBG10	00	0	ECON_NMI	WDTNMIF WDTNMIFC
		1	ECON_FEINT	FEINTF FEINTFMSK FEINTFC
		2	SL_INTC	SELB_INTC1
		3	ADCA0	ADCA0 のすべてのレジスタ
		4	KR0	KR0KRM
		5	PORT（グループ A_ISO）	P9, P10, P11, P12, P18, P20, AP1 のレジスタ（Pn, PSRn, PPRn, PNOTn, PIBCn を除く）
		6	PORT（グループ A_AWO）	P0, P1, P2, P8, AP0, IP0 のレジスタ（Pn, PSRn, PPRn, PNOTn, PIBCn を除く）
		7	JTAG（グループ A）	JP0 レジスタ（JP0, JPSR0, JPPR0, JPNOT0, JPIBC0 を除く）
		8	RLN30	RLIN30 のすべてのレジスタ
		9	RLN31	RLIN31 のすべてのレジスタ
		10	RLN32	RLIN32 のすべてのレジスタ
		11	RLN33	RLIN33 のすべてのレジスタ
		12	RLN34	RLIN34 のすべてのレジスタ
		13	RLN35	RLIN35 のすべてのレジスタ
		14	RLN36	RLIN36 のすべてのレジスタ
		15	RLN37	RLIN37 のすべてのレジスタ
PBG11	01	0	DNF (TAUD0)	DNFATAUD0ICTL DNFATAUD0IEN
		1	DNF (ADCA0)	DNFAADCTL0CTL DNFAADCTL0EN
		2	FCLA0 (ADCA0)	FCLA0CTLn_ADC0（n＝0～2）
		3	FCLA0 (NMI)	FCLA0CTL0_NMI
		4	FCLA0 (INTPn)	FCLA0CTLn_INTPL（n＝0～7）
		5	FCLA0 (INTPn)	FCLA0CTLn_INTPH（n＝0～7）
		6	DNF (ENCA0)	DNFAENCA0ICTL DNFAENCA0IEN
		7	DNF (ADCA1)	DNFAADCTL1CTL DNFAADCTL1EN
		8	FCLA0 (ADCA1)	FCLA0CTLn_ADC1（n＝0～2）

表 40B.80　PBG/HBG グループとチャネルおよび対象モジュール (RH850/F1KM-S2)

PBG/HBG グループ	グループ番号（レジスタ名の添字）注 3	PBG/HBG チャネル番号	保護対象モジュール	対象レジスタ
PBG11	01	9	DNF (TAUB0)	DNFATAUB0ICTL DNFATAUB0IEN
		10	DNF (TAUB1)	DNFATAUB1ICTL DNFATAUB1IEN
		11	予約領域	—
		12	PORT（グループ B_ISO）	P9, P10, P11, P12, P18, P20, AP1 のレジスタ（Pn, PSRn, PPRn, PNOTn, PIBCn）
		13	PORT（グループ B_AWO）	P0, P1, P2, P8, AP0, IP0 のレジスタ（Pn, PSRn, PPRn, PNOTn, PIBCn）
		14	JTAG（グループ B）	JP0 レジスタ（JP0, JPSR0, JPPR0, JPNOT0, JPIBC0）
		15	FCLA0 (INTPn)	FCLA0CTLn_INTPU（n＝0～7）
PBG12	07	0	RLN240 (Global)	RLN240 のすべてのグローバルレジスタ
		1	RLN2400	RLN2400 のすべてのチャネルレジスタ
		2	RLN2401	RLN2401 のすべてのチャネルレジスタ
		3	RLN2402	RLN2402 のすべてのチャネルレジスタ
		4	RLN2403	RLN2403 のすべてのチャネルレジスタ
		5	RLN241 (Global)	RLN241 のすべてのグローバルレジスタ
		6	RLN2414	RLN2414 のすべてのチャネルレジスタ
		7	RLN2415	RLN2415 のすべてのチャネルレジスタ
		8	RLN2416	RLN2416 のすべてのチャネルレジスタ
		9	RLN2417	RLN2417 のすべてのチャネルレジスタ
		10	RLN242 (Global)	RLN242 のすべてのグローバルレジスタ
		11	RLN2428	RLN2428 のすべてのチャネルレジスタ
		12	RLN2429	RLN2429 のすべてのチャネルレジスタ
		13	予約領域	—
		14	予約領域	—
		15	DNF (RSENTn)	DNFASENTICTL DNFASENTIEN
PBG13	08	0	DCRA0	DCRA0 のすべてのレジスタ
		1	DCRA1	DCRA1 のすべてのレジスタ
		2	DCRA2	DCRA2 のすべてのレジスタ
		3	DCRA3	DCRA3 のすべてのレジスタ
		4	RIIC0	RIIC0 のすべてのレジスタ
		5	SL_READTEST	SELB_READTEST
		6	SL_DMAC	DTFSEL_TAUD0/DTFSEL_TAUB0/DTFSEL_TAUB1
		7	GRZF	GRZF のすべてのレジスタ
		8	RIIC1	RIIC1 のすべてのレジスタ
		9	予約領域	—
		10	予約領域	—
		11	予約領域	—
		12	予約領域	—
		13	RSENT0	RSENT0 のすべてのレジスタ
		14	RSENT1	RSENT1 のすべてのレジスタ

表 40B.80　PBG/HBG グループとチャネルおよび対象モジュール (RH850/F1KM-S2)

PBG/HBG グループ	グループ番号（レジスタ名の添字）注 3	PBG/HBG チャネル番号	保護対象モジュール	対象レジスタ
PBG20	02	0	TAUD0	TAUD0 のすべてのレジスタ（SELB_TAUD0I を除く）
		1	SL_TAUD0	SELB_TAUD0I
		2	TAUJ0	TAUJ0 のすべてのレジスタ（SELB_TAUJ0I を除く）
		3	SL_TAUJ0	SELB_TAUJ0I
		4	RTCA0	RTCA0 のすべてのレジスタ
		5	WDTA0	WDTA0 のすべてのレジスタ
		6	WDTA1	WDTA1 のすべてのレジスタ
		7	予約領域	—
		8	PIC0	PIC0 のすべてのレジスタ
		9	TAPA0	TAPA0 のすべてのレジスタ
		10	ENCA0	ENCA0 のすべてのレジスタ
		11	TAUJ1	TAUJ1 のすべてのレジスタ
		12	TAUB0	TAUB0 のすべてのレジスタ（SELB_TAUB0I を除く）
		13	TAUB1	TAUB1 のすべてのレジスタ（SELB_TAUB1I を除く）
		14	PWBAn PWGAn PWSAn SLPWG PWGA_INTF	PWM-Diag のすべてのレジスタ
		15	SL_TAUJ2	SELB_TAUJ2I
PBG21	09	0	予約領域	—
		1	予約領域	—
		2	予約領域	—
		3	予約領域	—
		4	予約領域	—
		5	SL_TAUB0	SELB_TAUB0I
		6	SL_TAUB1	SELB_TAUB1I
		7	予約領域	—
		8	TAUJ2	TAUJ2 のすべてのレジスタ（SELB_TAUJ2I を除く）
		9	TAUJ3	TAUJ3 のすべてのレジスタ
PBG30	03	0	予約領域	—
		1	予約領域	—
		2	予約領域	—
		3	予約領域	—
		4	予約領域	—
		5	予約領域	—
		6	予約領域	—
		7	予約領域	—
		8	予約領域	—
		9	予約領域	—
		10	予約領域	—
		11	予約領域	—
		12	ADCA1	ADCA1 のすべてのレジスタ
		13	予約領域	—
		14	予約領域	—

表 40B.80　PBG/HBG グループとチャネルおよび対象モジュール (RH850/F1KM-S2)

PBG/HBG グループ	グループ番号（レジスタ名の添字）注 3	PBG/HBG チャネル番号	保護対象モジュール	対象レジスタ
PBG31	04	0	OSTM0	OSTM0 のすべてのレジスタ
		1	OSTM1-4	OSTM1, OSTM2, OSTM3, OSTM4 のすべてのレジスタ
		2	予約領域	—
		3	予約領域	—
		4	ECCCSIH0	ECC CSIH0 のすべてのレジスタ
		5	ECCCSIH1	ECC CSIH1 のすべてのレジスタ
		6	ECCCSIH2	ECC CSIH2 のすべてのレジスタ
		7	ECCCSIH3	ECC CSIH3 のすべてのレジスタ
		8	予約領域	—
		9	予約領域	—
		10	予約領域	—
		11	予約領域	—
		12	予約領域	—
		13	予約領域	—
		14	予約領域	—
PBG32	05	0	CSIH0（グループ A）	CSIH0CTL0～2, CSIH0STR0, CSIH0STCR0, CSIH0EMU
		1	CSIH0（グループ B）	上記以外の CSIH0 レジスタ
		2	CSIH1（グループ A）	CSIH1CTL0～2, CSIH1STR0, CSIH1STCR0, CSIH1EMU
		3	CSIH1（グループ B）	上記以外の CSIH1 レジスタ
		4	CSIH2（グループ A）	CSIH2CTL0～2, CSIH2STR0, CSIH2STCR0, CSIH2EMU
		5	CSIH2（グループ B）	上記以外の CSIH2 レジスタ
		6	CSIH3（グループ A）	CSIH3CTL0～2, CSIH3STR0, CSIH3STCR0, CSIH3EMU
		7	CSIH3（グループ B）	上記以外の CSIH3 レジスタ
		8	CSIG0（グループ A）	CSIG0CTL0～2, CSIG0STR0, CSIG0STCR0, CSIG0EMU
		9	CSIG0（グループ B）	上記以外の CSIG0 レジスタ
		10	CSIG1（グループ A）	CSIG1CTL0～2, CSIG1STR0, CSIG1STCR0, CSIG1EMU
		11	CSIG1（グループ B）	上記以外の CSIG1 レジスタ
		12	CSIG2（グループ A）	CSIG2CTL0～2, CSIG2STR0, CSIG2STCR0, CSIG2EMU
		13	CSIG2（グループ B）	上記以外の CSIG2 レジスタ
		14	CSIG3（グループ A）	CSIG3CTL0～2, CSIG3STR0, CSIG3STCR0, CSIG3EMU
		15	CSIG3（グループ B）	上記以外の CSIG3 レジスタ
PBG40	10	0	フラッシュメモリ (DCIB)	EEPRDCYCL
		1	DFECC	DFECCCTL, DFERSTR, DFERSTC, DFOVFSTR, DFOVFSTC, DFERRINT, DFEADR, DFTSTCTL

表 40B.80　PBG/HBG グループとチャネルおよび対象モジュール (RH850/F1KM-S2)

PBG/HBG グループ	グループ番号（レジスタ名の添字）注3	PBG/HBG チャネル番号	保護対象モジュール	対象レジスタ
PBG50	06	0	システムコントロール注1	書き込み保護機能、リセットコントローラ、電源回路、電源電圧モニタ、クロックコントローラ、クロックモニタ、スタンバイコントローラ、ロウパワーサンプラのすべてのレジスタ注1（STBC0PSC, STBC0STPT, SWRESA, PROTCMD0, PROTS0, JPPCMD0, JPPROTS0, PPCMD0～3, PPCMD8～13, PPCMD18～22, PPROTS0～3, PPROTS8～13, PPROTS18～22, FLMDPCMD, FLMDPS を除く）
		1	STBC0	STBC0PSC, STBC0STPT
		2	予約領域	—
		3	予約領域	—
		4	RESCTL	SWRESA
		5	フラッシュメモリ（セルフプログラミング）	FLMD 注2
		6	フラッシュメモリ（制御）	—注2
		7	フラッシュメモリ（SCDS）	PRDNAME1～3, CHIPID1～2
		8	WPROTR	PROTCMD0 PROTS0
PBG60	11	0	RCFDC0 (channel 0)	RCFDC0 Ch0 グループのすべてのレジスタ注4
		1	RCFDC0 (channel 1)	RCFDC0 Ch1 グループのすべてのレジスタ注4
		2	RCFDC0 (channel 2)	RCFDC0 Ch2 グループのすべてのレジスタ注4
		3	RCFDC0 (channel 3)	RCFDC0 Ch3 グループのすべてのレジスタ注4
		4	RCFDC0 (channel 4)	RCFDC0 Ch4 グループのすべてのレジスタ注4
		5	RCFDC0 (channel 5)	RCFDC0 Ch5 グループのすべてのレジスタ注4
		6	RCFDC0 (channel 6)	RCFDC0 Ch6 グループのすべてのレジスタ注4
		7	RCFDC0 (channel 7)	RCFDC0 Ch7 グループのすべてのレジスタ注4
		8	RCFDC0 (Global)	RCFDC0 Global グループのすべてのレジスタ注4
		9	ECCCFD0MB	ECCCFD0MB のすべてのレジスタ
		10	ECCCFD0AFL0	ECCCFD0AFL0 のすべてのレジスタ
		11	ECCCFD0AFL1	ECCCFD0AFL1 のすべてのレジスタ
HBG00	00	0	予約領域	—
		1	予約領域	—
		2	予約領域	—
		3	予約領域	—
		4	予約領域	—
HBG01	01	0	SFMA0	SFMA0 のすべてのレジスタ
		1	SFMA0_MEM	外部シリアルフラッシュメモリ領域
HBG02	02	0	予約領域	—

注1.　詳細は、**「第 5 章　書き込み保護レジスタ」**、**「第 9BC 章　RH850/F1KM のリセット」**、**「第 10B 章　電源とパワードメイン (RH850/F1KM-S4, RH850/F1KM-S2)」**、**「第 11BC 章　電源電圧モニタ (RH850/F1KM)」**、**「第 12AB 章　クロックコントローラ (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2)」**、**「第 13 章　クロックモニタ（CLMA）」**、**「第 14 章　スタンバイコントローラ（STBC）」**、**「第 15 章　ロウパワーサンプラ（LPS）」**を参照してください。

注2.　フラッシュメモリ用の PBG レジスタについては、「*RH850/F1KH, F1KM, F1K　フラッシュメモリ　ユーザーズマニュアル　ハードウェアインタフェース編*」を参照してください。

注3.　PBG レジスタのアドレスについては、**「表 40B.82　PBG/HBG 保護レジスタ一覧 (RH850/F1KM-S2)」**を参照してください。

注4.　RS-CANFD ガードグループについては、**「第 24 章　CANFD インタフェース（RS-CANFD）」**を参照してください。

備　考

各クロックドメインのレジスタアクセスクロックを無効にする前に、PBG/HBG を有効にして下さい。

40B.3.3.1　レジスター覧

PBG/HBG グループごとに実装されるレジスタを以下の表に示します。PBG/HBG グループは、そのままモジュール名となります。

表 40B.81　PBG/HBG 保護レジスター覧 (RH850/F1KM-S4)

PBG/HBG グループ 注 1	グループ番号注 2	略号	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ	パワードメイン
PBG10	00	FSGD00PROT0	PBG00 保護レジスタ 0	R/W	066F FFF7H	FFC4 0000H	8/16/32	ISO
		FSGD00PROT1	PBG00 保護レジスタ 1	R/W	066F FFF7H	FFC4 0004H	8/16/32	
		FSGD00PROT2	PBG00 保護レジスタ 2	R/W	066F FFF7H	FFC4 0008H	8/16/32	
		FSGD00PROT3	PBG00 保護レジスタ 3	R/W	066F FFF7H	FFC4 000CH	8/16/32	
		FSGD00PROT4	PBG00 保護レジスタ 4	R/W	066F FFF7H	FFC4 0010H	8/16/32	
		FSGD00PROT5	PBG00 保護レジスタ 5	R/W	066F FFF7H	FFC4 0014H	8/16/32	
		FSGD00PROT6	PBG00 保護レジスタ 6	R/W	066F FFF7H	FFC4 0018H	8/16/32	
		FSGD00PROT7	PBG00 保護レジスタ 7	R/W	066F FFF7H	FFC4 001CH	8/16/32	
		FSGD00PROT8	PBG00 保護レジスタ 8	R/W	066F FFF7H	FFC4 0020H	8/16/32	
		FSGD00PROT9	PBG00 保護レジスタ 9	R/W	066F FFF7H	FFC4 0024H	8/16/32	
		FSGD00PROT10	PBG00 保護レジスタ 10	R/W	066F FFF7H	FFC4 0028H	8/16/32	
		FSGD00PROT11	PBG00 保護レジスタ 11	R/W	066F FFF7H	FFC4 002CH	8/16/32	
		FSGD00PROT12	PBG00 保護レジスタ 12	R/W	066F FFF7H	FFC4 0030H	8/16/32	
		FSGD00PROT13	PBG00 保護レジスタ 13	R/W	066F FFF7H	FFC4 0034H	8/16/32	
		FSGD00PROT14	PBG00 保護レジスタ 14	R/W	066F FFF7H	FFC4 0038H	8/16/32	
		FSGD00PROT15	PBG00 保護レジスタ 15	R/W	066F FFF7H	FFC4 003CH	8/16/32	
PBG11	01	FSGD01PROT0	PBG01 保護レジスタ 0	R/W	066F FFF7H	FFC4 0100H	8/16/32	ISO
		FSGD01PROT1	PBG01 保護レジスタ 1	R/W	066F FFF7H	FFC4 0104H	8/16/32	
		FSGD01PROT2	PBG01 保護レジスタ 2	R/W	066F FFF7H	FFC4 0108H	8/16/32	
		FSGD01PROT3	PBG01 保護レジスタ 3	R/W	066F FFF7H	FFC4 010CH	8/16/32	
		FSGD01PROT4	PBG01 保護レジスタ 4	R/W	066F FFF7H	FFC4 0110H	8/16/32	
		FSGD01PROT5	PBG01 保護レジスタ 5	R/W	066F FFF7H	FFC4 0114H	8/16/32	
		FSGD01PROT6	PBG01 保護レジスタ 6	R/W	066F FFF7H	FFC4 0118H	8/16/32	
		FSGD01PROT7	PBG01 保護レジスタ 7	R/W	066F FFF7H	FFC4 011CH	8/16/32	
		FSGD01PROT8	PBG01 保護レジスタ 8	R/W	066F FFF7H	FFC4 0120H	8/16/32	
		FSGD01PROT9	PBG01 保護レジスタ 9	R/W	066F FFF7H	FFC4 0124H	8/16/32	
		FSGD01PROT10	PBG01 保護レジスタ 10	R/W	066F FFF7H	FFC4 0128H	8/16/32	
		—	予約	—	—	FFC4 012CH	—	
		FSGD01PROT12	PBG01 保護レジスタ 12	R/W	066F FFF7H	FFC4 0130H	8/16/32	
		FSGD01PROT13	PBG01 保護レジスタ 13	R/W	066F FFF7H	FFC4 0134H	8/16/32	
		FSGD01PROT14	PBG01 保護レジスタ 14	R/W	066F FFF7H	FFC4 0138H	8/16/32	
		FSGD01PROT15	PBG01 保護レジスタ 15	R/W	066F FFF7H	FFC4 013CH	8/16/32	

表 40B.81　PBG/HBG 保護レジスター覧 (RH850/F1KM-S4)

PBG/HBG グループ 注 1	グループ番号注 2	略号	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ	パワードメイン
PBG12	07	FSGD07PROT0	PBG07 保護レジスタ 0	R/W	$066F\ FFF7_H$	$FFC4\ 0400_H$	8/16/32	ISO
		FSGD07PROT1	PBG07 保護レジスタ 1	R/W	$066F\ FFF7_H$	$FFC4\ 0404_H$	8/16/32	
		FSGD07PROT2	PBG07 保護レジスタ 2	R/W	$066F\ FFF7_H$	$FFC4\ 0408_H$	8/16/32	
		FSGD07PROT3	PBG07 保護レジスタ 3	R/W	$066F\ FFF7_H$	$FFC4\ 040C_H$	8/16/32	
		FSGD07PROT4	PBG07 保護レジスタ 4	R/W	$066F\ FFF7_H$	$FFC4\ 0410_H$	8/16/32	
		FSGD07PROT5	PBG07 保護レジスタ 5	R/W	$066F\ FFF7_H$	$FFC4\ 0414_H$	8/16/32	
		FSGD07PROT6	PBG07 保護レジスタ 6	R/W	$066F\ FFF7_H$	$FFC4\ 0418_H$	8/16/32	
		FSGD07PROT7	PBG07 保護レジスタ 7	R/W	$066F\ FFF7_H$	$FFC4\ 041C_H$	8/16/32	
		FSGD07PROT8	PBG07 保護レジスタ 8	R/W	$066F\ FFF7_H$	$FFC4\ 0420_H$	8/16/32	
		FSGD07PROT9	PBG07 保護レジスタ 9	R/W	$066F\ FFF7_H$	$FFC4\ 0424_H$	8/16/32	
		FSGD07PROT10	PBG07 保護レジスタ 10	R/W	$066F\ FFF7_H$	$FFC4\ 0428_H$	8/16/32	
		FSGD07PROT11	PBG07 保護レジスタ 11	R/W	$066F\ FFF7_H$	$FFC4\ 042C_H$	8/16/32	
		FSGD07PROT12	PBG07 保護レジスタ 12	R/W	$066F\ FFF7_H$	$FFC4\ 0430_H$	8/16/32	
		FSGD07PROT13	PBG07 保護レジスタ 13	R/W	$066F\ FFF7_H$	$FFC4\ 0434_H$	8/16/32	
		FSGD07PROT14	PBG07 保護レジスタ 14	R/W	$066F\ FFF7_H$	$FFC4\ 0438_H$	8/16/32	
		FSGD07PROT15	PBG07 保護レジスタ 15	R/W	$066F\ FFF7_H$	$FFC4\ 043C_H$	8/16/32	
PBG13	08	FSGD08PROT0	PBG08 保護レジスタ 0	R/W	$066F\ FFF7_H$	$FFC4\ 0500_H$	8/16/32	ISO
		FSGD08PROT1	PBG08 保護レジスタ 1	R/W	$066F\ FFF7_H$	$FFC4\ 0504_H$	8/16/32	
		FSGD08PROT2	PBG08 保護レジスタ 2	R/W	$066F\ FFF7_H$	$FFC4\ 0508_H$	8/16/32	
		FSGD08PROT3	PBG08 保護レジスタ 3	R/W	$066F\ FFF7_H$	$FFC4\ 050C_H$	8/16/32	
		FSGD08PROT4	PBG08 保護レジスタ 4	R/W	$066F\ FFF7_H$	$FFC4\ 0510_H$	8/16/32	
		FSGD08PROT5	PBG08 保護レジスタ 5	R/W	$066F\ FFF7_H$	$FFC4\ 0514_H$	8/16/32	
		FSGD08PROT6	PBG08 保護レジスタ 6	R/W	$066F\ FFF7_H$	$FFC4\ 0518_H$	8/16/32	
		FSGD08PROT7	PBG08 保護レジスタ 7	R/W	$066F\ FFF7_H$	$FFC4\ 051C_H$	8/16/32	
		FSGD08PROT8	PBG08 保護レジスタ 8	R/W	$066F\ FFF7_H$	$FFC4\ 0520_H$	8/16/32	
		—	予約	—	—	$FFC4\ 0524_H$	—	
		—	予約	—	—	$FFC4\ 0528_H$	—	
		—	予約	—	—	$FFC4\ 052C_H$	—	
		—	予約	—	—	$FFC4\ 0530_H$	—	
		FSGD08PROT13	PBG08 保護レジスタ 13	R/W	$066F\ FFF7_H$	$FFC4\ 0534_H$	8/16/32	
		FSGD08PROT14	PBG08 保護レジスタ 14	R/W	$066F\ FFF7_H$	$FFC4\ 0538_H$	8/16/32	

表 40B.81　PBG/HBG 保護レジスター覧 (RH850/F1KM-S4)

PBG/HBG グループ 注 1	グループ番号 注 2	略号	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ	パワードメイン
PBG20	02	FSGD02PROT0	PBG02 保護レジスタ 0	R/W	066F FFF7H	FFDD D000H	8/16/32	ISO
		FSGD02PROT1	PBG02 保護レジスタ 1	R/W	066F FFF7H	FFDD D004H	8/16/32	
		FSGD02PROT2	PBG02 保護レジスタ 2	R/W	066F FFF7H	FFDD D008H	8/16/32	
		FSGD02PROT3	PBG02 保護レジスタ 3	R/W	066F FFF7H	FFDD D00CH	8/16/32	
		FSGD02PROT4	PBG02 保護レジスタ 4	R/W	066F FFF7H	FFDD D010H	8/16/32	
		FSGD02PROT5	PBG02 保護レジスタ 5	R/W	066F FFF7H	FFDD D014H	8/16/32	
		FSGD02PROT6	PBG02 保護レジスタ 6	R/W	0607 FE77H	FFDD D018H	8/16/32	
		—	予約	—	—	FFDD D01CH	—	
		FSGD02PROT8	PBG02 保護レジスタ 8	R/W	066F FFF7H	FFDD D020H	8/16/32	
		FSGD02PROT9	PBG02 保護レジスタ 9	R/W	066F FFF7H	FFDD D024H	8/16/32	
		FSGD02PROT10	PBG02 保護レジスタ 10	R/W	066F FFF7H	FFDD D028H	8/16/32	
		FSGD02PROT11	PBG02 保護レジスタ 11	R/W	066F FFF7H	FFDD D02CH	8/16/32	
		FSGD02PROT12	PBG02 保護レジスタ 12	R/W	066F FFF7H	FFDD D030H	8/16/32	
		FSGD02PROT13	PBG02 保護レジスタ 13	R/W	066F FFF7H	FFDD D034H	8/16/32	
		FSGD02PROT14	PBG02 保護レジスタ 14	R/W	066F FFF7H	FFDD D038H	8/16/32	
		FSGD02PROT15	PBG02 保護レジスタ 15	R/W	066F FFF7H	FFDD D03CH	8/16/32	
PBG21	09	—	予約	—	—	FFDD D100H	—	ISO
		—	予約	—	—	FFDD D104H	—	
		—	予約	—	—	FFDD D108H	—	
		—	予約	—	—	FFDD D10CH	—	
		—	予約	—	—	FFDD D110H	—	
		FSGD09PROT5	PBG09 保護レジスタ 5	R/W	066F FFF7H	FFDD D114H	8/16/32	
		FSGD09PROT6	PBG09 保護レジスタ 6	R/W	066F FFF7H	FFDD D118H	8/16/32	
		—	予約	—	—	FFDD D11CH	—	
		FSGD09PROT8	PBG09 保護レジスタ 8	R/W	066F FFF7H	FFDD D120H	8/16/32	
		FSGD09PROT9	PBG09 保護レジスタ 9	R/W	066F FFF7H	FFDD D124H	8/16/32	
PBG30	03	—	予約	—	—	FFF9 4000H	—	ISO
		—	予約	—	—	FFF9 4004H	—	
		—	予約	—	—	FFF9 4008H	—	
		—	予約	—	—	FFF9 400CH	—	
		—	予約	—	—	FFF9 4010H	—	
		—	予約	—	—	FFF9 4014H	—	
		—	予約	—	—	FFF9 4018H	—	
		—	予約	—	—	FFF9 401CH	—	
		—	予約	—	—	FFF9 4020H	—	
		—	予約	—	—	FFF9 4024H	—	
		FSGD03PROT10	PBG03 保護レジスタ 10	R/W	066F FFF7H	FFF9 4028H	8/16/32	
		—	予約	—	—	FFF9 402CH	—	
		FSGD03PROT12	PBG03 保護レジスタ 12	R/W	066F FFF7H	FFF9 4030H	8/16/32	
		FSGD03PROT13	PBG03 保護レジスタ 13	R/W	066F FFF7H	FFF9 4034H	8/16/32	
		FSGD03PROT14	PBG03 保護レジスタ 14	R/W	066F FFF7H	FFF9 4038H	8/16/32	

表 40B.81　PBG/HBG 保護レジスタ一覧 (RH850/F1KM-S4)

PBG/HBG グループ 注 1	グループ 番号注 2	略号	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ	パワードメイン
PBG31	04	FSGD04PROT0	PBG04 保護レジスタ 0	R/W	066F FFF7$_H$	FFF9 4100$_H$	8/16/32	ISO
		FSGD04PROT1	PBG04 保護レジスタ 1	R/W	0607 FE77$_H$	FFF9 4104$_H$	8/16/32	
		—	予約	—	—	FFF9 4108$_H$	—	
		—	予約	—	—	FFF9 410C$_H$	—	
		FSGD04PROT4	PBG04 保護レジスタ 4	R/W	066F FFF7$_H$	FFF9 4110$_H$	8/16/32	
		FSGD04PROT5	PBG04 保護レジスタ 5	R/W	066F FFF7$_H$	FFF9 4114$_H$	8/16/32	
		FSGD04PROT6	PBG04 保護レジスタ 6	R/W	066F FFF7$_H$	FFF9 4118$_H$	8/16/32	
		FSGD04PROT7	PBG04 保護レジスタ 7	R/W	066F FFF7$_H$	FFF9 411C$_H$	8/16/32	
		—	予約	—	—	FFF9 4120$_H$	—	
		—	予約	—	—	FFF9 4124$_H$	—	
		—	予約	—	—	FFF9 4128$_H$	—	
		—	予約	—	—	FFF9 412C$_H$	—	
		FSGD04PROT12	PBG04 保護レジスタ 12	R/W	066F FFF7$_H$	FFF9 4130$_H$	8/16/32	
		FSGD04PROT13	PBG04 保護レジスタ 13	R/W	066F FFF7$_H$	FFF9 4134$_H$	8/16/32	
		FSGD04PROT14	PBG04 保護レジスタ 14	R/W	066F FFF7$_H$	FFF9 4138$_H$	8/16/32	
PBG32	05	FSGD05PROT0	PBG05 保護レジスタ 0	R/W	066F FFF7$_H$	FFF9 4200$_H$	8/16/32	ISO
		FSGD05PROT1	PBG05 保護レジスタ 1	R/W	066F FFF7$_H$	FFF9 4204$_H$	8/16/32	
		FSGD05PROT2	PBG05 保護レジスタ 2	R/W	066F FFF7$_H$	FFF9 4208$_H$	8/16/32	
		FSGD05PROT3	PBG05 保護レジスタ 3	R/W	066F FFF7$_H$	FFF9 420C$_H$	8/16/32	
		FSGD05PROT4	PBG05 保護レジスタ 4	R/W	066F FFF7$_H$	FFF9 4210$_H$	8/16/32	
		FSGD05PROT5	PBG05 保護レジスタ 5	R/W	066F FFF7$_H$	FFF9 4214$_H$	8/16/32	
		FSGD05PROT6	PBG05 保護レジスタ 6	R/W	066F FFF7$_H$	FFF9 4218$_H$	8/16/32	
		FSGD05PROT7	PBG05 保護レジスタ 7	R/W	066F FFF7$_H$	FFF9 421C$_H$	8/16/32	
		FSGD05PROT8	PBG05 保護レジスタ 8	R/W	066F FFF7$_H$	FFF9 4220$_H$	8/16/32	
		FSGD05PROT9	PBG05 保護レジスタ 9	R/W	066F FFF7$_H$	FFF9 4224$_H$	8/16/32	
		FSGD05PROT10	PBG05 保護レジスタ 10	R/W	066F FFF7$_H$	FFF9 4228$_H$	8/16/32	
		FSGD05PROT11	PBG05 保護レジスタ 11	R/W	066F FFF7$_H$	FFF9 422C$_H$	8/16/32	
		FSGD05PROT12	PBG05 保護レジスタ 12	R/W	066F FFF7$_H$	FFF9 4230$_H$	8/16/32	
		FSGD05PROT13	PBG05 保護レジスタ 13	R/W	066F FFF7$_H$	FFF9 4234$_H$	8/16/32	
		FSGD05PROT14	PBG05 保護レジスタ 14	R/W	066F FFF7$_H$	FFF9 4238$_H$	8/16/32	
		FSGD05PROT15	PBG05 保護レジスタ 15	R/W	066F FFF7$_H$	FFF9 423C$_H$	8/16/32	
PBG40	10	FSGD10PROT0	PBG10 保護レジスタ 0	R/W	066F FFF7$_H$	FFC5 9C00$_H$	8/16/32	ISO
		FSGD10PROT1	PBG10 保護レジスタ 1	R/W	066F FFF7$_H$	FFC5 9C04$_H$	8/16/32	
PBG50	06	FSGD06PROT0	PBG06 保護レジスタ 0	R/W	066F FFF7$_H$	FFF9 0000$_H$	8/16/32	ISO
		FSGD06PROT1	PBG06 保護レジスタ 1	R/W	0647 FF77$_H$	FFF9 0004$_H$	8/16/32	
		—	予約	—	—	FFF9 0008$_H$	—	
		—	予約	—	—	FFF9 000C$_H$	—	
		FSGD06PROT4	PBG06 保護レジスタ 4	R/W	066F FFF7$_H$	FFF9 0010$_H$	8/16/32	
		FSGD06PROT5	PBG06 保護レジスタ 5	R/W	066F FFF7$_H$	FFF9 0014$_H$	8/16/32	
		—	予約	—	—	FFF9 0018$_H$	—	
		FSGD06PROT7	PBG06 保護レジスタ 7	R/W	066F FFF7$_H$	FFF9 001C$_H$	8/16/32	
		FSGD06PROT8	PBG06 保護レジスタ 8	R/W	066F FFF7$_H$	FFF9 0020$_H$	8/16/32	

表 40B.81　PBG/HBG 保護レジスタ一覧 (RH850/F1KM-S4)

PBG/HBG グループ 注 1	グループ番号注 2	略号	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ	パワードメイン
PBG60	11	FSGD11PROT0	PBG11 保護レジスタ 0	R/W	066F $FFF7_H$	FFC7 1800_H	8/16/32	ISO
		FSGD11PROT1	PBG11 保護レジスタ 1	R/W	066F $FFF7_H$	FFC7 1804_H	8/16/32	
		FSGD11PROT2	PBG11 保護レジスタ 2	R/W	066F $FFF7_H$	FFC7 1808_H	8/16/32	
		FSGD11PROT3	PBG11 保護レジスタ 3	R/W	066F $FFF7_H$	FFC7 $180C_H$	8/16/32	
		FSGD11PROT4	PBG11 保護レジスタ 4	R/W	066F $FFF7_H$	FFC7 1810_H	8/16/32	
		FSGD11PROT5	PBG11 保護レジスタ 5	R/W	066F $FFF7_H$	FFC7 1814_H	8/16/32	
		FSGD11PROT6	PBG11 保護レジスタ 6	R/W	066F $FFF7_H$	FFC7 1818_H	8/16/32	
		FSGD11PROT7	PBG11 保護レジスタ 7	R/W	066F $FFF7_H$	FFC7 $181C_H$	8/16/32	
		FSGD11PROT8	PBG11 保護レジスタ 8	R/W	066F $FFF7_H$	FFC7 1820_H	8/16/32	
		FSGD11PROT9	PBG11 保護レジスタ 9	R/W	066F $FFF7_H$	FFC7 1824_H	8/16/32	
		FSGD11PROT10	PBG11 保護レジスタ 10	R/W	066F $FFF7_H$	FFC7 1828_H	8/16/32	
		FSGD11PROT11	PBG11 保護レジスタ 11	R/W	066F $FFF7_H$	FFC7 $182C_H$	8/16/32	
HBG00	00	HFSGD00PROT0	HBG00 保護レジスタ 0	R/W	066F $FFF7_H$	FFF9 $C000_H$	8/16/32	ISO
		HFSGD00PROT1	HBG00 保護レジスタ 1	R/W	066F $FFF7_H$	FFF9 $C004_H$	8/16/32	
		HFSGD00PROT2	HBG00 保護レジスタ 2	R/W	066F $FFF7_H$	FFF9 $C008_H$	8/16/32	
		HFSGD00PROT3	HBG00 保護レジスタ 3	R/W	066F $FFF7_H$	FFF9 $C00C_H$	8/16/32	
		HFSGD00PROT4	HBG00 保護レジスタ 4	R/W	066F $FFF7_H$	FFF9 $C010_H$	8/16/32	
HBG01	01	HFSGD01PROT0	HBG01 保護レジスタ 0	R/W	066F $FFF7_H$	FFF9 $C100_H$	8/16/32	ISO
		HFSGD01PROT1	HBG01 保護レジスタ 1	R/W	066F $FFF7_H$	FFF9 $C104_H$	8/16/32	
HBG02	02	HFSGD02PROT0	HBG02 保護レジスタ 0	R/W	066F $FFF7_H$	FFF9 $C200_H$	8/16/32	ISO

注1.　モジュール名を示します。

注2.　レジスタ名の添字

表 40B.82　PBG/HBG 保護レジスター覧 (RH850/F1KM-S2)

PBG/HBG グループ 注 1	グループ番号注 2	略号	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ	パワードメイン
PBG10	00	FSGD00PROT0	PBG00 保護レジスタ 0	R/W	066F FFF7H	FFC4 0000H	8/16/32	ISO
		FSGD00PROT1	PBG00 保護レジスタ 1	R/W	066F FFF7H	FFC4 0004H	8/16/32	
		FSGD00PROT2	PBG00 保護レジスタ 2	R/W	066F FFF7H	FFC4 0008H	8/16/32	
		FSGD00PROT3	PBG00 保護レジスタ 3	R/W	066F FFF7H	FFC4 000CH	8/16/32	
		FSGD00PROT4	PBG00 保護レジスタ 4	R/W	066F FFF7H	FFC4 0010H	8/16/32	
		FSGD00PROT5	PBG00 保護レジスタ 5	R/W	066F FFF7H	FFC4 0014H	8/16/32	
		FSGD00PROT6	PBG00 保護レジスタ 6	R/W	066F FFF7H	FFC4 0018H	8/16/32	
		FSGD00PROT7	PBG00 保護レジスタ 7	R/W	066F FFF7H	FFC4 001CH	8/16/32	
		FSGD00PROT8	PBG00 保護レジスタ 8	R/W	066F FFF7H	FFC4 0020H	8/16/32	
		FSGD00PROT9	PBG00 保護レジスタ 9	R/W	066F FFF7H	FFC4 0024H	8/16/32	
		FSGD00PROT10	PBG00 保護レジスタ 10	R/W	066F FFF7H	FFC4 0028H	8/16/32	
		FSGD00PROT11	PBG00 保護レジスタ 11	R/W	066F FFF7H	FFC4 002CH	8/16/32	
		FSGD00PROT12	PBG00 保護レジスタ 12	R/W	066F FFF7H	FFC4 0030H	8/16/32	
		FSGD00PROT13	PBG00 保護レジスタ 13	R/W	066F FFF7H	FFC4 0034H	8/16/32	
		FSGD00PROT14	PBG00 保護レジスタ 14	R/W	066F FFF7H	FFC4 0038H	8/16/32	
		FSGD00PROT15	PBG00 保護レジスタ 15	R/W	066F FFF7H	FFC4 003CH	8/16/32	
PBG11	01	FSGD01PROT0	PBG01 保護レジスタ 0	R/W	066F FFF7H	FFC4 0100H	8/16/32	ISO
		FSGD01PROT1	PBG01 保護レジスタ 1	R/W	066F FFF7H	FFC4 0104H	8/16/32	
		FSGD01PROT2	PBG01 保護レジスタ 2	R/W	066F FFF7H	FFC4 0108H	8/16/32	
		FSGD01PROT3	PBG01 保護レジスタ 3	R/W	066F FFF7H	FFC4 010CH	8/16/32	
		FSGD01PROT4	PBG01 保護レジスタ 4	R/W	066F FFF7H	FFC4 0110H	8/16/32	
		FSGD01PROT5	PBG01 保護レジスタ 5	R/W	066F FFF7H	FFC4 0114H	8/16/32	
		FSGD01PROT6	PBG01 保護レジスタ 6	R/W	066F FFF7H	FFC4 0118H	8/16/32	
		FSGD01PROT7	PBG01 保護レジスタ 7	R/W	066F FFF7H	FFC4 011CH	8/16/32	
		FSGD01PROT8	PBG01 保護レジスタ 8	R/W	066F FFF7H	FFC4 0120H	8/16/32	
		FSGD01PROT9	PBG01 保護レジスタ 9	R/W	066F FFF7H	FFC4 0124H	8/16/32	
		FSGD01PROT10	PBG01 保護レジスタ 10	R/W	066F FFF7H	FFC4 0128H	8/16/32	
		—	予約	—	—	FFC4 012CH	—	
		FSGD01PROT12	PBG01 保護レジスタ 12	R/W	066F FFF7H	FFC4 0130H	8/16/32	
		FSGD01PROT13	PBG01 保護レジスタ 13	R/W	066F FFF7H	FFC4 0134H	8/16/32	
		FSGD01PROT14	PBG01 保護レジスタ 14	R/W	066F FFF7H	FFC4 0138H	8/16/32	
		FSGD01PROT15	PBG01 保護レジスタ 15	R/W	066F FFF7H	FFC4 013CH	8/16/32	

表 40B.82　PBG/HBG 保護レジスタ一覧 (RH850/F1KM-S2)

PBG/HBG グループ 注 1	グループ番号注 2	略号	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ	パワードメイン
PBG12	07	FSGD07PROT0	PBG07 保護レジスタ 0	R/W	066F FFF7H	FFC4 0400H	8/16/32	ISO
		FSGD07PROT1	PBG07 保護レジスタ 1	R/W	066F FFF7H	FFC4 0404H	8/16/32	
		FSGD07PROT2	PBG07 保護レジスタ 2	R/W	066F FFF7H	FFC4 0408H	8/16/32	
		FSGD07PROT3	PBG07 保護レジスタ 3	R/W	066F FFF7H	FFC4 040CH	8/16/32	
		FSGD07PROT4	PBG07 保護レジスタ 4	R/W	066F FFF7H	FFC4 0410H	8/16/32	
		FSGD07PROT5	PBG07 保護レジスタ 5	R/W	066F FFF7H	FFC4 0414H	8/16/32	
		FSGD07PROT6	PBG07 保護レジスタ 6	R/W	066F FFF7H	FFC4 0418H	8/16/32	
		FSGD07PROT7	PBG07 保護レジスタ 7	R/W	066F FFF7H	FFC4 041CH	8/16/32	
		FSGD07PROT8	PBG07 保護レジスタ 8	R/W	066F FFF7H	FFC4 0420H	8/16/32	
		FSGD07PROT9	PBG07 保護レジスタ 9	R/W	066F FFF7H	FFC4 0424H	8/16/32	
		FSGD07PROT10	PBG07 保護レジスタ 10	R/W	066F FFF7H	FFC4 0428H	8/16/32	
		FSGD07PROT11	PBG07 保護レジスタ 11	R/W	066F FFF7H	FFC4 042CH	8/16/32	
		FSGD07PROT12	PBG07 保護レジスタ 12	R/W	066F FFF7H	FFC4 0430H	8/16/32	
		—	予約	—	—	FFC4 0434H	—	
		—	予約	—	—	FFC4 0438H	—	
		FSGD07PROT15	PBG07 保護レジスタ 15	R/W	066F FFF7H	FFC4 043CH	8/16/32	
PBG13	08	FSGD08PROT0	PBG08 保護レジスタ 0	R/W	066F FFF7H	FFC4 0500H	8/16/32	ISO
		FSGD08PROT1	PBG08 保護レジスタ 1	R/W	066F FFF7H	FFC4 0504H	8/16/32	
		FSGD08PROT2	PBG08 保護レジスタ 2	R/W	066F FFF7H	FFC4 0508H	8/16/32	
		FSGD08PROT3	PBG08 保護レジスタ 3	R/W	066F FFF7H	FFC4 050CH	8/16/32	
		FSGD08PROT4	PBG08 保護レジスタ 4	R/W	066F FFF7H	FFC4 0510H	8/16/32	
		FSGD08PROT5	PBG08 保護レジスタ 5	R/W	066F FFF7H	FFC4 0514H	8/16/32	
		FSGD08PROT6	PBG08 保護レジスタ 6	R/W	066F FFF7H	FFC4 0518H	8/16/32	
		FSGD08PROT7	PBG08 保護レジスタ 7	R/W	066F FFF7H	FFC4 051CH	8/16/32	
		FSGD08PROT8	PBG08 保護レジスタ 8	R/W	066F FFF7H	FFC4 0520H	8/16/32	
		—	予約	—	—	FFC4 0524H	—	
		—	予約	—	—	FFC4 0528H	—	
		—	予約	—	—	FFC4 052CH	—	
		—	予約	—	—	FFC4 0530H	—	
		FSGD08PROT13	PBG08 保護レジスタ 13	R/W	066F FFF7H	FFC4 0534H	8/16/32	
		FSGD08PROT14	PBG08 保護レジスタ 14	R/W	066F FFF7H	FFC4 0538H	8/16/32	

表 40B.82　PBG/HBG 保護レジスタ一覧 (RH850/F1KM-S2)

PBG/HBG グループ 注 1	グループ番号注 2	略号	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ	パワードメイン
PBG20	02	FSGD02PROT0	PBG02 保護レジスタ 0	R/W	066F FFF7H	FFDD D000H	8/16/32	ISO
		FSGD02PROT1	PBG02 保護レジスタ 1	R/W	066F FFF7H	FFDD D004H	8/16/32	
		FSGD02PROT2	PBG02 保護レジスタ 2	R/W	066F FFF7H	FFDD D008H	8/16/32	
		FSGD02PROT3	PBG02 保護レジスタ 3	R/W	066F FFF7H	FFDD D00CH	8/16/32	
		FSGD02PROT4	PBG02 保護レジスタ 4	R/W	066F FFF7H	FFDD D010H	8/16/32	
		FSGD02PROT5	PBG02 保護レジスタ 5	R/W	066F FFF7H	FFDD D014H	8/16/32	
		FSGD02PROT6	PBG02 保護レジスタ 6	R/W	0607 FE77H	FFDD D018H	8/16/32	
		—	予約	—	—	FFDD D01CH	—	
		FSGD02PROT8	PBG02 保護レジスタ 8	R/W	066F FFF7H	FFDD D020H	8/16/32	
		FSGD02PROT9	PBG02 保護レジスタ 9	R/W	066F FFF7H	FFDD D024H	8/16/32	
		FSGD02PROT10	PBG02 保護レジスタ 10	R/W	066F FFF7H	FFDD D028H	8/16/32	
		FSGD02PROT11	PBG02 保護レジスタ 11	R/W	066F FFF7H	FFDD D02CH	8/16/32	
		FSGD02PROT12	PBG02 保護レジスタ 12	R/W	066F FFF7H	FFDD D030H	8/16/32	
		FSGD02PROT13	PBG02 保護レジスタ 13	R/W	066F FFF7H	FFDD D034H	8/16/32	
		FSGD02PROT14	PBG02 保護レジスタ 14	R/W	066F FFF7H	FFDD D038H	8/16/32	
		FSGD02PROT15	PBG02 保護レジスタ 15	R/W	066F FFF7H	FFDD D03CH	8/16/32	
PBG21	09	—	予約	—	—	FFDD D100H	—	ISO
		—	予約	—	—	FFDD D104H	—	
		—	予約	—	—	FFDD D108H	—	
		—	予約	—	—	FFDD D10CH	—	
		—	予約	—	—	FFDD D110H	—	
		FSGD09PROT5	PBG09 保護レジスタ 5	R/W	066F FFF7H	FFDD D114H	8/16/32	
		FSGD09PROT6	PBG09 保護レジスタ 6	R/W	066F FFF7H	FFDD D118H	8/16/32	
		—	予約	—	—	FFDD D11CH	—	
		FSGD09PROT8	PBG09 保護レジスタ 8	R/W	066F FFF7H	FFDD D120H	8/16/32	
		FSGD09PROT9	PBG09 保護レジスタ 9	R/W	066F FFF7H	FFDD D124H	8/16/32	
PBG30	03	—	予約	—	—	FFF9 4000H	—	ISO
		—	予約	—	—	FFF9 4004H	—	
		—	予約	—	—	FFF9 4008H	—	
		—	予約	—	—	FFF9 400CH	—	
		—	予約	—	—	FFF9 4010H	—	
		—	予約	—	—	FFF9 4014H	—	
		—	予約	—	—	FFF9 4018H	—	
		—	予約	—	—	FFF9 401CH	—	
		—	予約	—	—	FFF9 4020H	—	
		—	予約	—	—	FFF9 4024H	—	
		—	予約	—	—	FFF9 4028H	—	
		—	予約	—	—	FFF9 402CH	—	
		FSGD03PROT12	PBG03 保護レジスタ 12	R/W	066F FFF7H	FFF9 4030H	8/16/32	
		—	予約	—	—	FFF9 4034H	—	
		—	予約	—	—	FFF9 4038H	—	

表 40B.82　PBG/HBG 保護レジスター覧 (RH850/F1KM-S2)

PBG/HBG グループ 注 1	グループ番号注 2	略号	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ	パワードメイン
PBG31	04	FSGD04PROT0	PBG04 保護レジスタ 0	R/W	066F FFF7$_H$	FFF9 4100$_H$	8/16/32	ISO
		FSGD04PROT1	PBG04 保護レジスタ 1	R/W	0607 FE77$_H$	FFF9 4104$_H$	8/16/32	
		—	予約	—	—	FFF9 4108$_H$	—	
		—	予約	—	—	FFF9 410C$_H$	—	
		FSGD04PROT4	PBG04 保護レジスタ 4	R/W	066F FFF7$_H$	FFF9 4110$_H$	8/16/32	
		FSGD04PROT5	PBG04 保護レジスタ 5	R/W	066F FFF7$_H$	FFF9 4114$_H$	8/16/32	
		FSGD04PROT6	PBG04 保護レジスタ 6	R/W	066F FFF7$_H$	FFF9 4118$_H$	8/16/32	
		FSGD04PROT7	PBG04 保護レジスタ 7	R/W	066F FFF7$_H$	FFF9 411C$_H$	8/16/32	
		—	予約	—	—	FFF9 4120$_H$	—	
		—	予約	—	—	FFF9 4124$_H$	—	
		—	予約	—	—	FFF9 4128$_H$	—	
		—	予約	—	—	FFF9 412C$_H$	—	
		—	予約	—	—	FFF9 4130$_H$	—	
		—	予約	—	—	FFF9 4134$_H$	—	
		—	予約	—	—	FFF9 4138$_H$	—	
PBG32	05	FSGD05PROT0	PBG05 保護レジスタ 0	R/W	066F FFF7$_H$	FFF9 4200$_H$	8/16/32	ISO
		FSGD05PROT1	PBG05 保護レジスタ 1	R/W	066F FFF7$_H$	FFF9 4204$_H$	8/16/32	
		FSGD05PROT2	PBG05 保護レジスタ 2	R/W	066F FFF7$_H$	FFF9 4208$_H$	8/16/32	
		FSGD05PROT3	PBG05 保護レジスタ 3	R/W	066F FFF7$_H$	FFF9 420C$_H$	8/16/32	
		FSGD05PROT4	PBG05 保護レジスタ 4	R/W	066F FFF7$_H$	FFF9 4210$_H$	8/16/32	
		FSGD05PROT5	PBG05 保護レジスタ 5	R/W	066F FFF7$_H$	FFF9 4214$_H$	8/16/32	
		FSGD05PROT6	PBG05 保護レジスタ 6	R/W	066F FFF7$_H$	FFF9 4218$_H$	8/16/32	
		FSGD05PROT7	PBG05 保護レジスタ 7	R/W	066F FFF7$_H$	FFF9 421C$_H$	8/16/32	
		FSGD05PROT8	PBG05 保護レジスタ 8	R/W	066F FFF7$_H$	FFF9 4220$_H$	8/16/32	
		FSGD05PROT9	PBG05 保護レジスタ 9	R/W	066F FFF7$_H$	FFF9 4224$_H$	8/16/32	
		FSGD05PROT10	PBG05 保護レジスタ 10	R/W	066F FFF7$_H$	FFF9 4228$_H$	8/16/32	
		FSGD05PROT11	PBG05 保護レジスタ 11	R/W	066F FFF7$_H$	FFF9 422C$_H$	8/16/32	
		FSGD05PROT12	PBG05 保護レジスタ 12	R/W	066F FFF7$_H$	FFF9 4230$_H$	8/16/32	
		FSGD05PROT13	PBG05 保護レジスタ 13	R/W	066F FFF7$_H$	FFF9 4234$_H$	8/16/32	
		FSGD05PROT14	PBG05 保護レジスタ 14	R/W	066F FFF7$_H$	FFF9 4238$_H$	8/16/32	
		FSGD05PROT15	PBG05 保護レジスタ 15	R/W	066F FFF7$_H$	FFF9 423C$_H$	8/16/32	
PBG40	10	FSGD10PROT0	PBG10 保護レジスタ 0	R/W	066F FFF7$_H$	FFC5 9C00$_H$	8/16/32	ISO
		FSGD10PROT1	PBG10 保護レジスタ 1	R/W	066F FFF7$_H$	FFC5 9C04$_H$	8/16/32	
PBG50	06	FSGD06PROT0	PBG06 保護レジスタ 0	R/W	066F FFF7$_H$	FFF9 0000$_H$	8/16/32	ISO
		FSGD06PROT1	PBG06 保護レジスタ 1	R/W	0647 FF77$_H$	FFF9 0004$_H$	8/16/32	
		—	予約	—	—	FFF9 0008$_H$	—	
		—	予約	—	—	FFF9 000C$_H$	—	
		FSGD06PROT4	PBG06 保護レジスタ 4	R/W	066F FFF7$_H$	FFF9 0010$_H$	8/16/32	
		FSGD06PROT5	PBG06 保護レジスタ 5	R/W	066F FFF7$_H$	FFF9 0014$_H$	8/16/32	
		—	予約	—	—	FFF9 0018$_H$	—	
		FSGD06PROT7	PBG06 保護レジスタ 7	R/W	066F FFF7$_H$	FFF9 001C$_H$	8/16/32	
		FSGD06PROT8	PBG06 保護レジスタ 8	R/W	066F FFF7$_H$	FFF9 0020$_H$	8/16/32	

表 40B.82 PBG/HBG 保護レジスター覧 (RH850/F1KM-S2)

PBG/HBG グループ 注1	グループ番号 注2	略号	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ	パワードメイン
PBG60	11	FSGD11PROT0	PBG11 保護レジスタ 0	R/W	066F FFF7H	FFC7 1800H	8/16/32	ISO
		FSGD11PROT1	PBG11 保護レジスタ 1	R/W	066F FFF7H	FFC7 1804H	8/16/32	
		FSGD11PROT2	PBG11 保護レジスタ 2	R/W	066F FFF7H	FFC7 1808H	8/16/32	
		FSGD11PROT3	PBG11 保護レジスタ 3	R/W	066F FFF7H	FFC7 180CH	8/16/32	
		FSGD11PROT4	PBG11 保護レジスタ 4	R/W	066F FFF7H	FFC7 1810H	8/16/32	
		FSGD11PROT5	PBG11 保護レジスタ 5	R/W	066F FFF7H	FFC7 1814H	8/16/32	
		FSGD11PROT6	PBG11 保護レジスタ 6	R/W	066F FFF7H	FFC7 1818H	8/16/32	
		FSGD11PROT7	PBG11 保護レジスタ 7	R/W	066F FFF7H	FFC7 181CH	8/16/32	
		FSGD11PROT8	PBG11 保護レジスタ 8	R/W	066F FFF7H	FFC7 1820H	8/16/32	
		FSGD11PROT9	PBG11 保護レジスタ 9	R/W	066F FFF7H	FFC7 1824H	8/16/32	
		FSGD11PROT10	PBG11 保護レジスタ 10	R/W	066F FFF7H	FFC7 1828H	8/16/32	
		FSGD11PROT11	PBG11 保護レジスタ 11	R/W	066F FFF7H	FFC7 182CH	8/16/32	
HBG00	00	—	予約	—	—	FFF9 C000H	—	ISO
		—	予約	—	—	FFF9 C004H	—	
		—	予約	—	—	FFF9 C008H	—	
		—	予約	—	—	FFF9 C00CH	—	
		—	予約	—	—	FFF9 C010H	—	
HBG01	01	HFSGD01PROT0	HBG01 保護レジスタ 0	R/W	066F FFF7H	FFF9 C100H	8/16/32	ISO
		HFSGD01PROT1	HBG01 保護レジスタ 1	R/W	066F FFF7H	FFF9 C104H	8/16/32	
HBG02	02	—	予約	—	—	FFF9 C200H	—	ISO

注1. モジュール名を示します。

注2. レジスタ名の添字

PBG/HBG グループごとに実装されるレジスタを以下の表に示します。

表 40B.83　PBG/HBG エラーレジスター覧

モジュール名	略号	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ
PBGxx	ERRSLVxxCTL	PBGxx エラーコントロールレジスタ	W	0000 0000$_H$	<base_addr0> + 0$_H$	8/16/32
	ERRSLVxxSTAT	PBGxx エラーステータスレジスタ	R	0000 0000$_H$	<base_addr0> + 4$_H$	8/16/32
	ERRSLVxxADDR	PBGxx エラーアドレスレジスタ	R	0000 0000$_H$	<base_addr0> + 8$_H$	32
	ERRSLVxxTYPE	PBGxx エラータイプレジスタ	R	0000 0000$_H$	<base_addr0> + C$_H$	16/32
HBGxx	HERRSLVxxCTL	HBGxx エラーコントロールレジスタ	W	0000 0000$_H$	<base_addr1> + 0$_H$	8/16/32
	HERRSLVxxSTAT	HBGxx エラーステータスレジスタ	R	0000 0000$_H$	<base_addr1> + 4$_H$	8/16/32
	HERRSLVxxADDR	HBGxx エラーアドレスレジスタ	R	0000 0000$_H$	<base_addr1> + 8$_H$	32
	HERRSLVxxTYPE	HBGxx エラータイプレジスタ	R	0000 0000$_H$	<base_addr1> + C$_H$	16/32

上記の表では、レジスタ名や略号の“xx”は PBG のグループ番号を示します。以下の表に各 PBG グループ番号とチャネル番号に対応するベースアドレス値<base_addr0>、および各 HBG グループ番号とチャネル番号に対応するベースアドレス値<base_addr1>を示します。

表 40B.84　PBG グループ番号とエラーベースアドレス

PBG グループ	PBG グループ番号	<base_addr0>
PBG10	00	FFC4 0040$_H$
PBG11	01	FFC4 0140$_H$
PBG12	07	FFC4 0440$_H$
PBG13	08	FFC4 0540$_H$
PBG20	02	FFDD D040$_H$
PBG21	09	FFDD D140$_H$
PBG30	03	FFF9 4040$_H$
PBG31	04	FFF9 4140$_H$
PBG32	05	FFF9 4240$_H$
PBG40	10	FFC5 9C40$_H$
PBG50	06	FFF9 0040$_H$
PBG60	11	FFC7 1840$_H$

表 40B.85　HBG グループ番号とエラーベースアドレス

HBG グループ	HBG グループ番号	<base_addr1>
HBG00 注 1	00	FFF9 C040$_H$
HBG01	01	FFF9 C140$_H$
HBG02 注 1	02	FFF9 C240$_H$

注1.　本機能は、RH850/F1KM-S2 製品ではサポートされていません。

40B.3.3.2　　レジスタ詳細

(1) FSGDxxPROTn ― PBGxx 保護レジスタ n HFSGDxxPROTn ― HBGxx 保護レジスタ n

FSGDxxPROTn および HFSGDxxPROTn レジスタは、保護対象である周辺回路制御レジスタに対するアクセス禁止／許可を指定します。いずれかの識別子で禁止されたアクセスは、不正アクセスとして拒否されます。レジスタ名および略号の“n”は、PBG/HBG チャネル番号を表します。

アクセス　FSGDxxPROTn、HFSGDxxPROTn レジスタは、32 ビット単位でリード／ライト可能です。

FSGDxxPROTnL、FSGDxxPROTnH、HFSGDxxPROTnL、HFSGDxxPROTnH レジスタは、16 ビット単位でリード／ライト可能です。

FSGDxxPROTnLL、FSGDxxPROTnHL、FSGDxxPROTnHH、HFSGDxxPROTnLL、HFSGDxxPROTnHL、HFSGDxxPROTnHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　**「表 40B.81 PBG/HBG 保護レジスター覧 (RH850/F1KM-S4)」**、**「表 40B.82 PBG/HBG 保護レジスター覧 (RH850/F1KM-S2)」**を参照してください。

リセット後の値　**「表 40B.81 PBG/HBG 保護レジスター覧 (RH850/F1KM-S4)」**、**「表 40B.82 PBG/HBG 保護レジスター覧 (RH850/F1KM-S2)」**を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PROTLOCK	—	—	—	—	—	PROTUM	—	—	—	PROTPEID4	—	—	PROTPEID1	—	—
リセット後の値	0	0	0	0	0	1	1	注1	注1	注1	注1	注1	注1	注1	注1	1
R/W	R/W	R	R	R	R	R	R/W	R	R	R	R/W	R	R	R/W	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PROTSPID3	PROTSPID2	PROTSPID1	PROTSPID0	—	PROTRDPDEF	PROTWRPDEF	PROTRD	PROTWR
リセット後の値	1	1	1	1	1	1	1	注1	注1	注1	注1	1	0	1	1	1
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W

注1.　各レジスタで異なります。**「40B.3.3.1 レジスター覧」**を参照してください。

表 40B.86　FSGDxxPROTn/HFSGxxPROTn レジスタの内容

ビット位置	ビット名	機能
31	PROTLOCK	レジスタのロック 0：FSGDxxPROTn/HFSGDxxPROTn レジスタの書き換え許可 1：FSGDxxPROTn/HFSGDxxPROTn レジスタの書き換え禁止 PROTLOCK を 1 にセットすると、リセットが発生するまで値が保持されます。
30～26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25	PROTUM	ユーザモードでのアクセス 0：スーパバイザモードでのアクセスを許可します。 1：ユーザモードとスーパバイザモードのアクセスを許可します。
24～22	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
21	RH850/F1KM-S4： PROTPEID4 RH850/F1KM-S2： 予約ビット	RH850/F1KM-S4： PEID＝4（H-BUS に接続される周辺装置）によるアクセス[注1] 0：PEID4 でのアクセスを禁止します。 1：PEID4 でのアクセスを許可します。 RH850/F1KM-S2： リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 40B.86　 FSGDxxPROTn/HFSGxxPROTn レジスタの内容

ビット位置	ビット名	機能
20、19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
18	PROTPEID1	PEID＝1（CPU1）によるアクセス注 1 0：PEID1 でのアクセスを禁止します。 1：PEID1 でのアクセスを許可します。
17〜9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	PROTSPID3	SPID＝3 によるアクセス注 2、注 3 0：SPID3 でのアクセスを禁止します。 1：SPID3 でのアクセスを許可します。
7	PROTSPID2	SPID＝2 によるアクセス注 2、注 3 0：SPID2 でのアクセスを禁止します。 1：SPID2 でのアクセスを許可します。
6	PROTSPID1	SPID＝1（CPU1）によるアクセス注 2、注 3 0：SPID1 でのアクセスを禁止します。 1：SPID1 でのアクセスを許可します。
5	PROTSPID0	SPID＝0 によるアクセス注 2、注 3 0：SPID0 でのアクセスを禁止します。 1：SPID0 でのアクセスを許可します。
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	PROTRDPDEF	デフォルトリード保護 0：本レジスタでの他の設定にかかわらず、いずれのマスタからのリードアクセスを許可します。 1：PROTRD ビットの設定に依存します。
2	PROTWRPDEF	デフォルトライト保護 0：本レジスタでの他の設定にかかわらず、いずれのマスタからのライトアクセスを許可します。 1：PROTWR ビットの設定に依存します。
1	PROTRD	読み出し許可 0：フィルタリングされたバスマスタによるリードアクセスを禁止します。 1：フィルタリングされたバスマスタによるリードアクセスを許可します。
0	PROTWR	書き込み許可 0：フィルタリングされたバスマスタによるライトアクセスを禁止します。 1：フィルタリングされたバスマスタによるライトアクセスを許可します。

注1.　PEID によるアクセス
PROTPEID は各ビットがそれぞれ 1 つの PEID 値に対応するビットリストです。
複数のビットを設定することによって同時に複数のバスマスタの ID 値を許可します。

注2.　SPID によるアクセス
PROTSPID は各ビットがそれぞれ 1 つの SPID 値に対応するビットリストです。
複数のビットを設定することによって同時に複数のマスタの ID 値を許可します。

注3.　SPID については、「**表 40B.69　スレーブガードの識別子**」を参照してください。

(2) ERRSLVxxCTL ― PBGxx エラーコントロールレジスタ
HERRSLVxxCTL ― HBGxx エラーコントロールレジスタ

ERRSLVxxCTL および HERRSLVxxCTL レジスタは PBGxx/HBGxx のエラーステータスレジスタのステータスをクリアするためのレジスタです。

アクセス	ERRSLVxxCTL、HERRSLVxxCTL レジスタは、32 ビット単位でライトのみ可能です。 ERRSLVxxCTLL、HERRSLVxxCTLL レジスタは、16 ビット単位でライトのみ可能です。 ERRSLVxxCTLLL、HERRSLVxxCTLLL レジスタは、8 ビット単位でライトのみ可能です。
アドレス	ERRSLVxxCTL : <base_addr0> + 0_H ERRSLVxxCTLL : <base_addr0> + 0_H ERRSLVxxCTLLL : <base_addr0> + 0_H HERRSLVxxCTL : <base_addr1> + 0_H HERRSLVxxCTLL : <base_addr1> + 0_H HERRSLVxxCTLLL : <base_addr1> + 0_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLRO	CLRE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W

表 40B.87　ERRSLVxxCTL/HERRSLVxxCTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	ライトする場合はリセット後の値を書いてください。
1	CLRO	オーバフローフラグをクリアします。 0：オーバフローフラグをクリアしません。 1：オーバフローフラグをクリアします。
0	CLRE	エラーフラグをクリアします。 0：エラーフラグをクリアしません。 1：エラーフラグをクリアします。

表 40B.88　ERRSLVxxCTL レジスタの CLRO および CLRE

CLRO	CLRE	機能
0	0	どちらのビットもクリアしません。
0	1	設定禁止
1	0	OVF ビットをクリアします。
1	1	OVF と ERR ビットをクリアします。

(3) ERRSLVxxSTAT — PBGxx エラーステータスレジスタ
HERRSLVxxSTAT — HBGxx エラーステータスレジスタ

ERRSLVxxSTAT および HERRSLVxxSTAT レジスタは PBGxx/HBGxx で拒否した不正アクセスのステータスを保持するためのレジスタです。

アクセス	ERRSLVxxSTAT、HERRSLVxxSTAT レジスタは、32 ビット単位でリードのみ可能です。 ERRSLVxxSTATL、HERRSLVxxSTATL レジスタは、16 ビット単位でリードのみ可能です。 ERRSLVxxSTATLL、HERRSLVxxSTATLL レジスタは、8 ビット単位でリードのみ可能です。
アドレス	ERRSLVxxSTAT : <base_addr0> + 4_H ERRSLVxxSTATL : <base_addr0> + 4_H ERRSLVxxSTATLL : <base_addr0> + 4_H HERRSLVxxSTAT : <base_addr1> + 4_H HERRSLVxxSTATL : <base_addr1> + 4_H HERRSLVxxSTATLL : <base_addr1> + 4_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OVF	ERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40B.89　ERRSLVxxSTAT/HERRSLVxxSTAT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1	OVF	エラーエントリオーバフローフラグ 　0：オーバフローなし 　1：オーバフロー発生 PBG/HBG のエラーエントリ段数は 1 のため、最初のガード違反が発生し、エラーステータスフラグがセットされた状態で再度ガード違反が発生した場合、エラーエントリがオーバフローし、本フラグがセットされます。 このオーバフローは INTGUARD に通知されます。 さらに、INTGUARD によってオーバフローが発生したかどうかを判断することはできません。オーバフロー・チェックの場合、OVF ビットをチェックする必要があります。オーバフローが発生した際のガード違反のエラー情報はキャプチャされません。
0	ERR	エラーステータスフラグ 　0：PBG/HBG 保護違反なし 　1：PBG/HBG 保護違反発生

注　意

HERRSLVxxCTL への書き込み後、以下の処理を行った後に、HERRSLVxxSTAT の値が反映されます。

- SYNCM を実行
- 24CPU クロック[注1]サイクル待機

注1.　CPU クロック：CKSC_CPUCLKS_CTRL および CKSC_CPUCLKD_CTL で選択したクロック

(4) ERRSLVxxADDR — PBGxx エラーアドレスレジスタ
HERRSLVxxADDR — HBGxx エラーアドレスレジスタ

ERRSLVxxADDR レジスタは PBGxx で拒否した不正アクセスのアドレスを保持するためのレジスタです。対応する ERRSLVxxSTAT.ERR が 1 の場合は、本レジスタは更新されません。

HERRSLVxxADDR レジスタは HBGxx で拒否した不正アクセスのアドレスを保持するためのレジスタです。対応する HERRSLVxxSTAT.ERR が 1 の場合は、本レジスタは更新されません。

アクセス	ERRSLVxxADDR、HERRSLVxxADDR レジスタは、32 ビット単位でリードのみ可能です。
アドレス	ERRSLVxxADDR : <base_addr0> + 8_H
	HERRSLVxxADDR : <base_addr1> + 8_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADDR[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADDR[15:2]														—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40B.90　ERRSLVxxADDR/HERRSLVxxADDR レジスタの内容

ビット位置	ビット名	機能
31～2	ADDR[31:2]	PBG/HBG 保護違反が生成されたアドレス
1、0	予約ビット	ERRSLVxxADDR:リードした場合はリセット後の値が読めます。 HERRSLVxxADDR:リードした場合は不定値が読めます。

(5) ERRSLVxxTYPE — PBGxx エラータイプレジスタ
HERRSLVxxTYPE — HBGxx エラータイプレジスタ

ERRSLVxxTYPE レジスタは PBGxx で拒否した不正アクセスのタイプを保持するためのレジスタです。対応する ERRSLVxxSTAT.ERR が 1 の場合は、本レジスタは更新されません。

HERRSLVxxTYPE レジスタは HBGxx で拒否した不正アクセスのタイプを保持するためのレジスタです。対応する HERRSLVxxSTAT.ERR が 1 の場合は、本レジスタは更新されません。

アクセス	ERRSLVxxTYPE、HERRSLVxxTYPE レジスタは、32 ビット単位でリードのみ可能です。 ERRSLVxxTYPEL、HERRSLVxxTYPEL レジスタは、16 ビット単位でリードのみ可能です。
アドレス	ERRSLVxxTYPE：<base_addr0> + C_H ERRSLVxxTYPEL：<base_addr0> + C_H HERRSLVxxTYPE：<base_addr1> + C_H HERRSLVxxTYPEL：<base_addr1> + C_H
リセット後の値	$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PEID[2:0]			—	—	—	SPID[1:0]		—	UM	—	—	—	—	—	WRITE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40B.91　ERRSLVxxTYPE/HERRSLVxxTYPE レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。
15～13	PEID[2:0]	PBG/HBG 保護違反を発生させたアクセス元の PEID。
12～10	予約ビット	リードした場合はリセット後の値が読めます。
9、8	SPID[1:0]	PBG/HBG 保護違反を発生させたアクセス元の SPID。
7	予約ビット	リードした場合はリセット後の値が読めます。
6	UM	PBG/HBG 保護違反を発生させたアクセス元の UM。
5	予約ビット	リードした場合はリセット後の値が読めます。
4～1	予約ビット	リードした場合は不定値が読めます。
0	WRITE	PBG/HBG 保護違反を発生させたアクセスがライトの場合、1 が設定されます。

40B.3.4　CPU システム用 PBG

PBGC モジュールは、PBGC0 と PBGC1 の 2 つの PBGC グループに分かれています。PBGC0 グループには、INTC2 および DMA 機能に対する保護レジスタが含まれています。PBGC1 グループには、ECC コントロール機能などに対する保護レジスタが含まれています。各 PBGC グループには、拒否されたアクセスに関する情報が格納されます。

保護対象のレジスタおよび対応する PBGC グループ名を以下の表に示します。

表 40B.92　CPU サブシステム用 PBG に対する対象レジスタ

PBGC グループ	グループ番号	チャネル番号	保護対象モジュール	対象レジスタ
PBGC0	C0 （CPU システムに対する PBC グループ 0）	0	INTC2	ICxxx（xxx＝32～376） IMRm（m＝1～11） （**「第 7BC 章　RH850/F1KM の例外／割り込み」**を参照）
		1	PDMA0	DMA コントローラ内のすべてのレジスタ（**「第 8 章　DMA コントローラ」**を参照）
PBGC1	C1 （CPU システムに対する PBC グループ 1）	0	フラッシュメモリ（プログラミング機能）	BFASELR 注1
		1	コードフラッシュ ECC コントロールレジスタ（VCI）	CFECCCTL_VCI CFERRINT_VCI CFSTCLR_VCI CFOVFSTR_VCI CF1STERSTR_VCI CF1STEADR0_VCI CFSTSTCTL_VCI
		2	コードフラッシュ ECC コントロールレジスタ（PE1）	CFECCCTL_PE1 CFERRINT_PE1 CFSTCLR_PE1 CFOVFSTR_PE1 CF1STERSTR_PE1 CF1STEADR0_PE1
		3	ローカル RAM ECC コントロールレジスタ（PE1）	LRTSTCTL_PE1 LRTDATBF0_PE1 LRECCCTL_PE1 LRERRINT_PE1 LRSTCLR_PE1 LROVFSTR_PE1 LR1STERSTR_PE1 LR1STEADR0_PE1
		4	オンチップデバッグモジュール	EPC （**「第 43 章　オンチップデバッグユニット（OCD）」**を参照）
		5	バッファコントローラ	FBUFCCTL （**「第 3BC 章　RH850/F1KM の CPU システム」**を参照）
		6	グローバル RAM ECC コントロールレジスタ（バンク A）	GRECCCTL_BKA GRERRINT_BKA GRSTCLR_BKA GROVFSTR_BKA GR1STERSTR_BKA GR1STEADR_BKA GRTSTCTL_BKA GRDECINBF1_BKA
		7	グローバル RAM ECC コントロールレジスタ（バンク B）	GRECCCTL_BKB GRERRINT_BKB GRSTCLR_BKB GROVFSTR_BKB GR1STERSTR_BKB GR1STEADR_BKB GRTSTCTL_BKB GRDECINBF1_BKB

注1.　フラッシュメモリ用の PBGC レジスタについては、「*RH850/F1KH, F1KM, F1K　フラッシュメモリ　ユーザーズマニュアル　ハードウェアインタフェース編*」を参照してください。

40B.3.4.1　　レジスター覧

PBGC グループごとに実装されるレジスタを以下の表に示します。PBG グループは、そのままモジュール名となります。

表 40B.93　PBGC 保護レジスター覧

PBG グループ 注 1	グループ番号	略号	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ	パワードメイン
PBGC0	C0	FSGDC0PROT0	PBGC0 保護レジスタ 0	R/W	07FF $FFFF_H$	FFC4 $C000_H$	8/16/32	ISO
		FSGDC0PROT1	PBGC0 保護レジスタ 1	R/W	07FF $FFFF_H$	FFC4 $C004_H$	8/16/32	
PBGC1	C1	FSGDC1PROT0	PBGC1 保護レジスタ 0	R/W	07FF $FFFF_H$	FFC4 $C120_H$	8/16/32	ISO
		FSGDC1PROT1	PBGC1 保護レジスタ 1	R/W	07FF $FFFF_H$	FFC4 $C124_H$	8/16/32	
		FSGDC1PROT2	PBGC1 保護レジスタ 2	R/W	07FF $FFFF_H$	FFC4 $C128_H$	8/16/32	
		FSGDC1PROT3	PBGC1 保護レジスタ 3	R/W	07FF $FFFF_H$	FFC4 $C12C_H$	8/16/32	
		FSGDC1PROT4	PBGC1 保護レジスタ 4	R/W	07FF $FFFF_H$	FFC4 $C130_H$	8/16/32	
		FSGDC1PROT5	PBGC1 保護レジスタ 5	R/W	07FF $FFFF_H$	FFC4 $C134_H$	8/16/32	
		FSGDC1PROT6	PBGC1 保護レジスタ 6	R/W	07FF $FFFF_H$	FFC4 $C118_H$	8/16/32	
		FSGDC1PROT7	PBGC1 保護レジスタ 7	R/W	07FF $FFFF_H$	FFC4 $C11C_H$	8/16/32	

注1.　モジュール名を示します。

表 40B.94　PBGC エラーレジスター覧

モジュール名	略号	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ
PBGC0	ERRSLVC0CTL	PBGC0 エラーコントロールレジスタ	W	0000 0000_H	FFC4 $C800_H$	8/16/32
	ERRSLVC0STAT	PBGC0 エラーステータスレジスタ	R	0000 0000_H	FFC4 $C804_H$	8/16/32
	ERRSLVC0ADDR	PBGC0 エラーアドレスレジスタ	R	0000 0000_H	FFC4 $C808_H$	32
	ERRSLVC0TYPE	PBGC0 エラータイプレジスタ	R	0000 0000_H	FFC4 $C80C_H$	16/32
PBGC1	ERRSLVC1CTL	PBGC1 エラーコントロールレジスタ	W	0000 0000_H	FFC4 $C900_H$	8/16/32
	ERRSLVC1STAT	PBGC1 エラーステータスレジスタ	R	0000 0000_H	FFC4 $C904_H$	8/16/32
	ERRSLVC1ADDR	PBGC1 エラーアドレスレジスタ	R	0000 0000_H	FFC4 $C908_H$	32
	ERRSLVC1TYPE	PBGC1 エラータイプレジスタ	R	0000 0000_H	FFC4 $C90C_H$	16/32

40B.3.4.2　レジスタ詳細

(1) FSGDCxPROTn — PBGCx 保護レジスタ n（x＝0, 1）

FSGDCxPROTn レジスタは、保護対象であるレジスタに対するアクセス禁止／許可を指定します。いずれかの識別子で禁止されたアクセスは、不正アクセスとして拒否されます。

レジスタ名および略号の“n”は、PBGC チャネル番号を表します。

アクセス	FSGDCxPROTn レジスタは、32 ビット単位でリード／ライト可能です。 FSGDCxPROTnL、FSGDCxPROTnH レジスタは、16 ビット単位でリード／ライト可能です。 FSGDCxPROTnLL、FSGDCxPROTnHL、FSGDCxPROTnHH レジスタは、8 ビット単位でリード／ライト可能です。
アドレス	「**表 40B.93 PBGC 保護レジスタ一覧**」を参照してください。
リセット後の値	「**表 40B.93 PBGC 保護レジスタ一覧**」を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PROTLOCK	—	—	—	—	—	PROTUM	—	—	—	PROTPEID4	—	—	PROTPEID1	—	—
リセット後の値	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R	R	R	R	R	R/W	R	R	R	R/W	R	R	R/W	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PROTSPID3	PROTSPID2	PROTSPID1	PROTSPID0	—	PROTRDPDEF	PROTWRPDEF	PROTRD	PROTWR
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W

表 40B.95　FSGDCxPROTn レジスタの内容

ビット位置	ビット名	機能
31	PROTLOCK	本レジスタへの書き込みロック 0：レジスタの書き換えが可能 1：本レジスタへの書き込みは無視されます。本ビットはリセットでクリアできます。
30～26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25	PROTUM	ユーザモードでのアクセス 0：スーパバイザモードでのアクセスを許可します。 1：ユーザモードとスーパバイザモードでのアクセスを許可します。
24～22	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
21	RH850/F1KM-S4： PROTPEID4 RH850/F1KM-S2： 予約ビット	RH850/F1KM-S4： PEID＝4（H-BUS に接続される周辺装置）によるアクセス[注 1] 0：PEID4 でのアクセスを禁止します。 1：PEID4 でのアクセスを許可します。 RH850/F1KM-S2： リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
20、19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
18	PROTPEID1	PEID＝1（CPU1）によるアクセス[注 1] 0：PEID1 でのアクセスを禁止します。 1：PEID1 でのアクセスを許可します。
17～9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 40B.95　FSGDCxPROTn レジスタの内容

ビット位置	ビット名	機能
8	PROTSPID3	SPID＝3 によるアクセス[注2、注3] 0：SPID3 でのアクセスを禁止します。 1：SPID3 でのアクセスを許可します。
7	PROTSPID2	SPID＝2 によるアクセス[注2、注3] 0：SPID2 でのアクセスを禁止します。 1：SPID2 でのアクセスを許可します。
6	PROTSPID1	SPID＝1（CPU1）によるアクセス[注2、注3] 0：SPID1 でのアクセスを禁止します。 1：SPID1 でのアクセスを許可します。
5	PROTSPID0	SPID＝0 によるアクセス[注2、注3] 0：SPID0 でのアクセスを禁止します。 1：SPID0 でのアクセスを許可します。
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	PROTRDPDEF	デフォルトリード保護 0：本レジスタでの他の設定にかかわらず、いずれのマスタからのリードアクセスを許可します。 1：PROTRD ビットの設定に依存します。
2	PROTWRPDEF	デフォルトライト保護 0：本レジスタでの他の設定にかかわらず、いずれのマスタからのライトアクセスを許可します。 1：PROTWR ビットの設定に依存します。
1	PROTRD	読み出し許可 0：フィルタリングされたバスマスタによるリードアクセスを禁止します。 1：フィルタリングされたバスマスタによるリードアクセスを許可します。
0	PROTWR	書き込み許可 0：フィルタリングされたバスマスタによるライトアクセスを禁止します。 1：フィルタリングされたバスマスタによるライトアクセスを許可します。

注1.　PEID によるアクセス
PROTPEID は各ビットがそれぞれ 1 つの PEID 値に対応するビットリストです。
複数のビットを設定することによって同時に複数のバスマスタの ID 値を許可します。

注2.　SPID によるアクセス
PROTSPID は各ビットがそれぞれ 1 つの SPID 値に対応するビットリストです。
複数のビットを設定することによって同時に複数のマスタの ID 値を許可します。

注3.　SPID については、「**表 40B.69　スレーブガードの識別子**」を参照してください。

(2) ERRSLVCxCTL — PBGCx エラーコントロールレジスタ（x＝0, 1）

ERRSLVCxCTL レジスタは PBGCx エラーステータスレジスタのステータスをクリアするためのレジスタです。

アクセス　ERRSLVCxCTL レジスタは、32 ビット単位でライトのみ可能です。
ERRSLVCxCTLL レジスタは、16 ビット単位でライトのみ可能です。
ERRSLVCxCTLLL レジスタは、8 ビット単位でライトのみ可能です。

アドレス　ERRSLVCxCTL：FFC4 C800$_H$ + (100$_H$ × x)
ERRSLVCxCTLL：FFC4 C800$_H$ + (100$_H$ × x)
ERRSLVCxCTLLL：FFC4 C800$_H$ + (100$_H$ × x)

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLRO	CLRE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W

表 40B.96　ERRSLVCxCTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	ライトする場合はリセット後の値を書いてください。
1	CLRO	オーバフローフラグをクリアします。 0：オーバフローフラグをクリアしません。 1：オーバフローフラグをクリアします。
0	CLRE	エラーフラグをクリアします。 0：エラーフラグをクリアしません。 1：エラーフラグをクリアします。

表 40B.97　ERRSLVCxxCTL レジスタの CLRO および CLRE

CLRO	CLRE	機能
0	0	どちらのビットもクリアしません。
0	1	設定禁止
1	0	OVF ビットをクリアします。
1	1	OVF と ERR ビットをクリアします。

(3) ERRSLVCxSTAT ― PBGCx エラーステータスレジスタ（x＝0, 1）

ERRSLVCxSTAT レジスタは PBGCx で拒否した不正アクセスのステータスを保持するためのレジスタです。

アクセス　ERRSLVCxSTAT レジスタは、32 ビット単位でリードのみ可能です。
ERRSLVCxSTATL レジスタは、16 ビット単位でリードのみ可能です。
ERRSLVCxSTATLL レジスタは、8 ビット単位でリードのみ可能です。

アドレス　ERRSLVCxSTAT：FFC4 $C804_H$ + (100_H × x)
ERRSLVCxSTATL：FFC4 $C804_H$ + (100_H × x)
ERRSLVCxSTATLL：FFC4 $C804_H$ + (100_H × x)

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OVF	ERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40B.98　ERRSLVCxSTAT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1	OVF	エラーエントリオーバフローフラグ 0：オーバフローなし 1：オーバフロー発生 PBGC のエラーエントリ段数は 1 のため、最初のガード違反が発生し、エラーステータスフラグがセットされた状態で再度ガード違反が発生した場合、エラーエントリがオーバフローし、本フラグがセットされます。 このオーバフローは INTGUARD に通知されます。 さらに、INTGUARD によってオーバフローが発生したかどうかを判断することはできません。オーバフロー・チェックの場合、OVF ビットをチェックする必要があります。オーバフローが発生した際のガード違反のエラー情報はキャプチャされません。
0	ERR	エラーステータスフラグ 0：PBGC 保護違反なし 1：PBGC 保護違反発生

(4) ERRSLVCxADDR — PBGCx エラーアドレスレジスタ（x＝0, 1）

ERRSLVCxADDR レジスタは PBGCx で拒否した不正アクセスのアドレスを保持するためのレジスタです。対応する ERRSLVCxSTAT.ERR が 1 の場合は、本レジスタは更新されません。

アクセス　ERRSLVCxADDR レジスタは、32 ビット単位でリードのみ可能です。

アドレス　FFC4 C808$_H$ + (100$_H$ × x)

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADDR[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADDR[15:2]														—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40B.99　ERRSLVCxADDR レジスタの内容

ビット位置	ビット名	機能
31～2	ADDR[31:2]	PBGC 保護違反が生成されたアドレス
1、0	予約ビット	リードした場合はリセット後の値が読めます。

(5) ERRSLVCxTYPE ― PBGCx エラータイプレジスタ（x＝0, 1）

ERRSLVCxTYPE レジスタは PBGCx で拒否した不正アクセスのタイプを保持するためのレジスタです。

対応する ERRSLVCxSTAT.ERR が 1 の場合は、本レジスタは更新されません。

アクセス	ERRSLVCxTYPE レジスタは、32 ビット単位でリードのみ可能です。 ERRSLVCxTYPEL レジスタは、16 ビット単位でリードのみ可能です。
アドレス	ERRSLVCxTYPE：FFC4 C80C$_H$ + (100$_H$ × x) ERRSLVCxTYPEL：FFC4 C80C$_H$ + (100$_H$ × x)
リセット後の値	0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PEID[2:0]			—	—	—	SPID[1:0]		—	UM	—	—	—	—	—	WRITE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40B.100　ERRSLVCxTYPE レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。
15～13	PEID[2:0]	PBGC 保護違反を発生させたアクセス元の PEID。
12～10	予約ビット	リードした場合はリセット後の値が読めます。
9、8	SPID[1:0]	PBGC 保護違反を発生させたアクセス元の SPID。
7	予約ビット	リードした場合はリセット後の値が読めます。
6	UM	PBGC 保護違反を発生させたアクセス元の UM。
5～1	予約ビット	リードした場合はリセット後の値が読めます。
0	WRITE	PBGC 保護違反を発生させたアクセスがライトの場合、1 が設定されます。

第40C章 RH850/F1KM-S1 のファンクショナルセーフティ

本章は RH850/F1KM シリーズに搭載している安全機構の概要を記載しています。

本マイコンは ISO26262 における SEooC（Safety Element out of Context）として開発しております。
開発プロセスや安全機構の詳細に関しては、当社の営業窓口までお問い合わせください。

以下に本マイコンの備える故障検出機能を示します。

40C.1 概要

ECC

メモリやデータ転送経路の故障検出や、一部の故障に対して訂正を行います。

メモリ保護

メモリや周辺回路への誤ったアクセスを検出し、これらのデータを誤ったアクセスから保護します。

クロックモニタ

クロックの動作を監視し、異常な動作を検出します。詳細は、「**第 13 章 クロックモニタ（CLMA）**」を参照してください。

データ CRC

CRC を生成することにより、データの誤りを検出します。

詳細は、「**第 41 章 データ CRC（DCRA）**」を参照してください。

書き込み保護レジスタ

書き込み保護されたレジスタを、不正なプログラムの実行による不注意な書き込みアクセスから保護します。

詳細は、「**第 5 章 書き込み保護レジスタ**」を参照してください。

40C.2　ECC

40C.2.1　概要

本製品は、以下のメモリに対して ECC を搭載しています。これによって、メモリに保持しているデータに生じたエラーの検出や訂正が可能です。また、ECC エンコーダとメモリの間や、メモリと ECC デコーダの間で生じたエラーに対しても同様の検出や訂正が可能です。

表 40C.1　ECC 概要

<table>
<tr><th colspan="2" rowspan="2">対象メモリ</th><th rowspan="2">対象データ幅
[bit]</th><th colspan="6">エラー検出時の動作</th><th rowspan="2">故障注入</th></tr>
<tr><th>検出／訂正</th><th>SYSERR</th><th>割り込み通知</th><th>エラー
ステータス</th><th>アドレス
キャプチャ</th></tr>
<tr><td colspan="2">Code flash</td><td>128</td><td>SEC-DED</td><td>SED/DED 注 2</td><td>SEC-DED</td><td>○</td><td>○</td><td>○</td></tr>
<tr><td colspan="2">Data flash</td><td>32</td><td>SEC-DED</td><td>—</td><td>SEC-DED</td><td>○</td><td>○</td><td>○</td></tr>
<tr><td colspan="2">ローカル RAM (CPU1/Self)
リテンション RAM (CPU1/Self)</td><td>32</td><td>SEC-DED</td><td>SED/DED 注 2</td><td>SEC-DED</td><td>○</td><td>○</td><td>○</td></tr>
<tr><td rowspan="2">周辺 RAM 注 1</td><td>CSIH</td><td>32</td><td>SEC-DED</td><td>—</td><td>SEC-DED</td><td>○</td><td>○</td><td>○</td></tr>
<tr><td>RS-CANFD</td><td>32</td><td>SEC-DED</td><td>—</td><td>SEC-DED</td><td>○</td><td>○</td><td>○</td></tr>
</table>

注1.　各周辺 IP 用の ECC の詳細は、「**40C.2.5　周辺 RAM の ECC**」を参照してください。

注2.　詳細は「**40C.2.2.2　割り込み要求**」および「**40C.2.4.2　割り込み要求**」を参照してください。

対象データ幅

ECC エンコードの対象となるデータ幅を示します。

これより小さいビット幅のデータを書き込む場合は、以下の処理が必要となります。このとき、（1）の読み出し時にも ECC はチェックされます。

(1)　書き換え対象データを含む ECC エンコード対象データの読み出し

(2)　書き換え対象データの入れ替え

(3)　(2)で生成したデータの書き戻し

検出／訂正

SEC-DED：1 ビットエラーの訂正および検出と、2 ビットエラーの検出が可能です。

SED-DED：1 ビットエラーおよび 2 ビットエラーの検出が可能です。

SYSERR

エラー検出時に SYSERR を発生させることが可能です。

割り込み通知

エラー検出時に割り込みを発生させることが可能です。

エラーステータス

検出したエラー内容のステータスを保持します。

アドレスキャプチャ

検出したエラー内容のアドレスを保持します。

故障注入

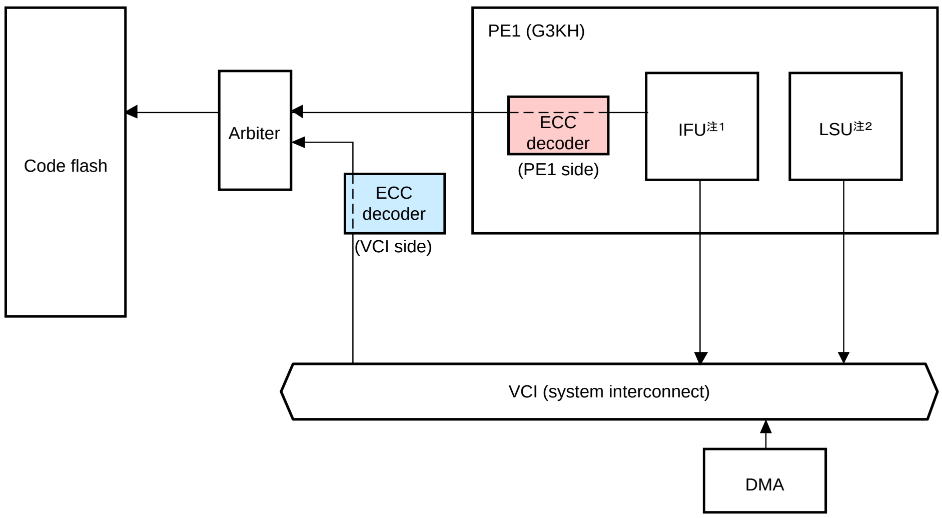
意図的に ECC エラーを発生させることによって、ECC デコーダが正しくエラー通知できるかを自己診断することができます。

40C.2.2 Code Flash の ECC

40C.2.2.1 概要

RH850/F1KM は 2 つの Code Flash 用 ECC デコーダ回路を持っており、1 つはプロセッサエレメント（PE1）の内部に、1 つは VCI（システム相互接続）上に実装されています。

「**図 40C.1 Code Flash の ECC ブロック図**」に 2 つの Code Flash 用 ECC デコーダの位置を示します。



注1. 命令フェッチユニット

注2. ロードストアユニット

図 40C.1 Code Flash の ECC ブロック図

Code Flash 用 ECC の概要を以下に示します。

表 40C.2　　Code Flash 用 ECC 概要

項目	説明
ECC エラー検出・訂正	ECC エラー検出・訂正の有効／無効を選択可能 有効時は下記設定を選択可能 ● 2 ビットエラー検出と 1 ビットエラー検出・訂正を行います。 ● 2 ビットエラー検出と 1 ビットエラー検出を行います。 無効時はエラー検出・訂正を行いません。 初期状態では、本機能は有効で、1 ビットエラー検出・訂正、2 ビットエラー検出を行います。
エラー通知	エラー通知 ECC エラー発生時は、エラー通知を行います。 ● ECC2 ビットエラーを検出した場合のエラー通知を、許可または禁止できます。 （CFERRINT_PE1 レジスタではサポートされていません。） データアクセスおよび命令フェッチ中に ECC2 ビットエラーが検出された場合のエラー（SYSERR 例外）通知を、許可または禁止できます。 ● ECC1 ビットエラーを検出した場合のエラー通知を、許可または禁止できます。 データアクセスおよび命令フェッチ中に ECC1 ビットエラー（SECDIS＝1）が検出された場合のエラー（SYSERR 例外）通知を、許可または禁止にできます。 SYSERR の詳細については、「**第 3BC 章　RH850/F1KM の CPU システム**」を参照してください。 ECC コントローラの初期状態では、ECC2 ビットエラー検出時および ECC1 ビットエラー検出時にエラー通知が許可されます。 ただし、割り込みコントローラの FEINTFMSK レジスタで割り込みをマスクしている場合、割り込み処理は行われません。
エラーステータス	ECC2 ビットエラーおよび ECC1 ビットエラーの検出をモニタできます。 ECC1 ビットエラーステータスは、どのエラーステータスもセットされていない状態でのみセットされます。 ECC2 ビットエラーステータスは、ECC1 ビットエラーステータスがセットされていてもセットされます。エラーステータスのクリアレジスタを搭載します。
アドレスキャプチャ	どの ECC エラーステータスもセットされていない場合、最初の ECC エラー発生時のアドレスをキャプチャします。さらに、保持しているアドレス要因が ECC1 ビットエラーの場合、ECC2 ビットエラーのアドレスもキャプチャされます。
自己診断	ECC ビットをダイレクトに読み出すことができます。
命令実行抑制	命令フェッチ時に ECC2 ビットエラー検出に応じて SYSERR 例外を発生させ、不正命令の実行を回避することができます。

40C.2.2.2　割り込み要求

コードフラッシュ ECC の割り込み要求を以下に示します。

表 40C.3　　コードフラッシュ ECC の割り込み要求（CPU フェッチアクセス時）

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	コードフラッシュの ECC1 ビットエラー割り込み	SYSERR, INTECCFLI0 注 1 (SED & SECDIS＝1)	—
		INTECCFLI0 (SED & SECDIS＝0)	—
—	コードフラッシュの ECC2 ビットエラー割り込み	SYSERR	—

注1.　SYSERR からの復帰が不可能なため、ECCFLI0FEIF フラグのセットは SYSERR 処理で読みだすことができます。（FEINT のハンドラアドレスにジャンプしません）。

表 40C.4　　コードフラッシュ ECC の割り込み要求（CPU データアクセス時）

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	コードフラッシュの ECC1 ビットエラー割り込み	SYSERR, INTECCFLI0 (SED & SECDIS＝1)	—
		INTECCFLI0 (SED & SECDIS＝0)	—
—	コードフラッシュの ECC2 ビットエラー割り込み	SYSERR, INTECCFLI0	—

表 40C.5　　コードフラッシュ ECC の割り込み要求（CPU アクセス以外のバスマスタデータアクセス時）

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	コードフラッシュの ECC1 ビットエラー割り込み	INTECCFLI0	—
—	コードフラッシュの ECC2 ビットエラー割り込み	INTECCFLI0	—

40C.2.2.3　レジスター覧

表 40C.6　　レジスター覧

モジュール名	レジスタ名	略号注 1	アドレス
CFECC_VCI	Code Flash ECC コントロールレジスタ（VCI）	CFECCCTL_VCI	FFC6 2200_H
	Code Flash エラー情報コントロールレジスタ（VCI）	CFERRINT_VCI	FFC6 2204_H
	Code Flash ステータスクリアレジスタ（VCI）	CFSTCLR_VCI	FFC6 2208_H
	Code Flash エラーカウントオーバフローステータスレジスタ（VCI）	CFOVFSTR_VCI	FFC6 $220C_H$
	Code Flash 1st エラーステータスレジスタ（VCI）	CF1STERSTR_VCI	FFC6 2210_H
	Code Flash 1st エラーアドレスレジスタ（VCI）	CF1STEADR0_VCI	FFC6 2250_H
CFECC_CPU1	Code Flash ECC コントロールレジスタ（PE1）	CFECCCTL_PE1	FFC6 2400_H
	Code Flash エラー情報コントロールレジスタ（PE1）	CFERRINT_PE1	FFC6 2404_H
	Code Flash ステータスクリアレジスタ（PE1）	CFSTCLR_PE1	FFC6 2408_H
	Code Flash エラーカウントオーバフローステータスレジスタ（PE1）	CFOVFSTR_PE1	FFC6 $240C_H$
	Code Flash 1st エラーステータスレジスタ（PE1）	CF1STERSTR_PE1	FFC6 2410_H
	Code Flash 1st エラーアドレスレジスタ（PE1）	CF1STEADR0_PE1	FFC6 2450_H
CFECC_VCI	Code Flash サブテストコントロールレジスタ（VCI）	CFSTSTCTL_VCI	FFC6 2350_H

注1.　略号において、“_VCI”、“_PE1”が付いているレジスタは、各アクセスポートに対応する ECC コントローラごとに用意されているレジスタとなります。“_VCI”はシステムインタコネクトから Code Flash へのデータアクセス用、“_PE1”は CPU1 からのフェッチアクセス用の ECC コントローラを示します。

40C.2.2.4　　レジスタ詳細

(1) CFECCCTL_VCI/PE1 — Code Flash ECC コントロールレジスタ

CFECCCTL_VCI/PE1 レジスタは、ECC エラー検出・訂正の有効／無効、1 ビットエラー訂正の許可／禁止を設定するレジスタです。CFECCCTL_VCI/PE1 レジスタへの書き込みは PROT1、PROT0 を 01_B にして実行してください。

アクセス　CFECCCTL_VCI、CFECCCTL_PE1 レジスタは、32 ビット単位でリード／ライト可能です。
CFECCCTL_VCIL、CFECCCTL_PE1L レジスタは、16 ビット単位でリード／ライト可能です。

アドレス　CFECCCTL_VCI：FFC6 2200_H
CFECCCTL_VCIL：FFC6 2200_H
CFECCCTL_PE1：FFC6 2400_H
CFECCCTL_PE1L：FFC6 2400_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 40C.7　　CFECCCTL_VCI/PE1 レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	PROT1	ECCDIS ビット、SECDIS ビットの書き換え可否を設定するためのビットです。書き込みデータは保持されません。読み出すと常に 0 が読み出されます。本レジスタへの書き込みは、PROT1, PROT0＝0, 1 で行ってください。
14	PROT0	
13～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	SECDIS	1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正の許可／禁止を設定するためのビットです。このビットの書き込み時は PROT1, PROT0＝0, 1 を同時に書き込む必要があります。 0：1 ビットエラー検出時にエラー訂正する 1：1 ビットエラー検出時にエラー訂正しない
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正機能の有効／無効を設定できます。このビットの書き込み時は（PROT1, PROT0）＝（0, 1）を同時に書き込む必要があります。 0：ECC エラー検出・訂正機能が有効 1：ECC エラー検出・訂正機能が無効

(2) CFERRINT_VCI/PE1 ― Code Flash エラー情報コントロールレジスタ

CFERRINT_VCI/PE1 レジスタは、ECC2 ビットエラー検出時、ECC1 ビットエラー検出時に、割り込みコントローラへのエラー通知信号発生の有効／無効を設定するためのレジスタです。

アクセス　CFERRINT_VCI、CFERRINT_PE1 レジスタは、32 ビット単位でリード／ライト可能です。
CFERRINT_VCIL、CFERRINT_PE1L レジスタは、16 ビット単位でリード／ライト可能です。
CFERRINT_VCILL、CFERRINT_PE1LL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　CFERRINT_VCI：FFC6 2204_H
CFERRINT_VCIL：FFC6 2204_H
CFERRINT_VCILL：FFC6 2204_H
CFERRINT_PE1：FFC6 2404_H
CFERRINT_PE1L：FFC6 2404_H
CFERRINT_PE1LL：FFC6 2404_H

リセット後の値　0000 0003_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDIE 注1	SEDIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 40C.8　CFERRINT_VCI/PE1 レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	DEDIE 注1	ECC2 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知信号の発生を禁止／許可するビットです。 0：ECC2 ビットエラー通知禁止 1：ECC2 ビットエラー通知許可
0	SEDIE	ECC1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知信号の発生を禁止／許可するビットです。 0：ECC1 ビットエラー通知禁止 1：ECC1 ビットエラー通知許可

注1.　本ビットは CFERRINT_PE1 ではサポートされていません。CFERRINT_PE1 の本ビットに書き込む場合は、常に 1 を書き込みます。

注2.　割り込み要求については、「**40C.2.2.2 割り込み要求**」を参照してください。

(3) CFSTCLR_VCI/PE1 ― Code Flash ステータスクリアレジスタ

CFSTCLR_VCI/PE1 レジスタは、エラーステータスレジスタ（CF1STERSTR_VCI/PE1）のエラーフラグ、エラーオーバフローステータスレジスタ（CFOVFSTR_VCI/PE1）のオーバフローフラグ、およびエラーアドレスレジスタ（CF1STEADR0_VCI/PE1）をクリアするためのレジスタです。

アクセス	CFSTCLR_VCI、CFSTCLR_PE1 レジスタは、32 ビット単位でライトのみ可能です。 CFSTCLR_VCIL、CFSTCLR_PE1L レジスタは、16 ビット単位でライトのみ可能です。 CFSTCLR_VCILL、CFSTCLR_PE1LL レジスタは、8 ビット単位でライトのみ可能です。
アドレス	CFSTCLR_VCI：FFC6 2208_H CFSTCLR_VCIL：FFC6 2208_H CFSTCLR_VCILL：FFC6 2208_H CFSTCLR_PE1：FFC6 2408_H CFSTCLR_PE1L：FFC6 2408_H CFSTCLR_PE1LL：FFC6 2408_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STCLR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 40C.9　　CFSTCLR_VCI/_PE1 レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	STCLR0	エラーステータスクリアビット 0：無効（“0”を設定しても CF1STERSTR_VCI/PE1 レジスタの DEDF0、SEDF0 フラグ、CFOVFSTR_VCI/PE1 レジスタの ERROVF0 フラグ、および CF1STEADR0_VCI/PE1 レジスタに影響はありません） 1：CF1STERSTR_VCI/PE1 レジスタの DEDF0、SEDF0 フラグ、CFOVFSTR_VCI/PE1 レジスタの ERROVF0 フラグ、および CF1STEADR0_VCI/PE1 レジスタをクリアします。

(4) CFOVFSTR_VCI/PE1 — Code Flash エラーカウントオーバフローステータスレジスタ

CFOVFSTR_VCI/PE1 レジスタは、エラーオーバフロー発生を監視するためのレジスタです。1st エラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の 2nd エラーが発生した場合に本フラグがセットされます。ただし、2nd エラーの内容が、1st エラーと全く同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。

アクセス　CFOVFSTR_VCI、CFOVFSTR_PE1 レジスタは、32 ビット単位でリードのみ可能です。
CFOVFSTR_VCIL、CFOVFSTR_PE1L レジスタは、16 ビット単位でリードのみ可能です。
CFOVFSTR_VCILL、CFOVFSTR_PE1LL レジスタは、8 ビット単位でリードのみ可能です。

アドレス　CFOVFSTR_VCI：FFC6 220C$_H$
CFOVFSTR_VCIL：FFC6 220C$_H$
CFOVFSTR_VCILL：FFC6 220C$_H$
CFOVFSTR_PE1：FFC6 240C$_H$
CFOVFSTR_PE1L：FFC6 240C$_H$
CFOVFSTR_PE1LL：FFC6 240C$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERROVF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40C.10　CFOVFSTR_VCI/PE1 レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。
0	ERROVF0	エラーオーバフローフラグ エラーステータスレジスタのいずれかのエラーフラグ（DEDF0, SEDF0）が発生している状態で、同じエラーアドレスの同じ要因以外のエラーが発生したかどうかを示します。 　0：発生していない 　1：発生した クリア条件： 　CFSTCLR_VCI/PE1 レジスタの STCLR0 ビットへの 1 セット

(5) CF1STERSTR_VCI/PE1 ― Code Flash 1st エラーステータスレジスタ

CF1STERSTR_VCI/PE1 レジスタは、ECC エラー検出／訂正が有効の場合、1st エラーの発生を監視するレジスタです。エラーフラグが 0 の状態でエラーが発生した場合に、エラーステータスがセットされます。また、ECC1 ビットのエラーモニタフラグがセットされている状態で、ECC2 ビットエラーが発生すると、ECC1 ビットのエラーフラグを保持したまま、ECC2 ビットエラーのエラーフラグがセットされます。

アクセス　CF1STERSTR_VCI、CF1STERSTR_PE1 レジスタは、32 ビット単位でリードのみ可能です。
CF1STERSTR_VCIL、CF1STERSTR_PE1L レジスタは、16 ビット単位でリードのみ可能です。
CF1STERSTR_VCILL、CF1STERSTR_PE1LL レジスタは、8 ビット単位でリードのみ可能です。

アドレス　CF1STERSTR_VCI：FFC6 2210_H
CF1STERSTR_VCIL：FFC6 2210_H
CF1STERSTR_VCILL：FFC6 2210_H
CF1STERSTR_PE1：FFC6 2410_H
CF1STERSTR_PE1L：FFC6 2410_H
CF1STERSTR_PE1LL：FFC6 2410_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDF0	SEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40C.11　CF1STERSTR_VCI/PE1 レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1	DEDF0	ECC2 ビットエラーモニタフラグ 0：ECC2 ビットエラーは検出していません。 1：ECC2 ビットエラーは検出しました。 クリア条件： CFSTCLR_VCI/PE1.STCLR0 ビットに 1 をセット セット条件： DEDF0 が 0 の状態で、ECC2 ビットエラー検出
0	SEDF0	ECC1 ビットエラーモニタフラグ 0：ECC1 ビットエラーは検出していません。 1：ECC1 ビットエラーは検出しました。 クリア条件： CFSTCLR_VCI/PE1.STCLR0 ビットに 1 をセット セット条件： DEDF0, SEDF0 どちらも 0 の状態で、ECC1 ビットエラー検出

(6) CF1STEADR0_VCI/PE1 ― Code Flash 1st エラーアドレスレジスタ

CF1STEADR0_VCI/PE1 レジスタは、エラー発生時のアドレスを保持するためのレジスタです。

CF1SCF1STERSTR_VCI/PE1 レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを更新します。1st エラーとして ECC1 ビットエラーがセットされている状態で ECC2 ビットエラーが発生した場合に、アドレス情報を更新します。ECC2 ビットエラーが既に発生している場合は、アドレス情報の更新はしません。

また、本レジスタの EADR[24:4]ビットは、実アドレスの[24:4]ビットに対応しています。実アドレスは、コードフラッシュがマッピングされている上位アドレス[31:25]ビットを追加することによって、ベースアドレスとして計算できます。

CF1STEADR0_VCI/PE1 レジスタは内部リセット、外部リセット、または CFSTCLR_VCI/PE1 レジスタの STCLR ビットへ 1 をセットすることでクリアされます。

アクセス　CF1STEADR0_VCI、CF1STEADR0_PE1 レジスタは、32 ビット単位でリードのみ可能です。

CF1STEADR0_VCIL、CF1STEADR0_VCIH、CF1STEADR0_PE1L、CF1STEADR0_PE1H レジスタは、16 ビット単位でリードのみ可能です。

CF1STEADR0_VCILL、CF1STEADR0_VCILH、CF1STEADR0_VCIHL、CF1STEADR0_VCIHH、CF1STEADR0_PE1LL、CF1STEADR0_PE1LH、CF1STEADR0_PE1HL、CF1STEADR0_PE1HH レジスタは、8 ビット単位でリードのみ可能です。

アドレス　CF1STEADR0_VCI：FFC6 2250_H

CF1STEADR0_VCIL：FFC6 2250_H

CF1STEADR0_VCIH：FFC6 2252_H

CF1STEADR0_VCILL：FFC6 2250_H

CF1STEADR0_VCILH：FFC6 2251_H

CF1STEADR0_VCIHL：FFC6 2252_H

CF1STEADR0_VCIHH：FFC6 2253_H

CF1STEADR0_PE1：FFC6 2450_H

CF1STEADR0_PE1L：FFC6 2450_H

CF1STEADR0_PE1H：FFC6 2452_H

CF1STEADR0_PE1LL：FFC6 2450_H

CF1STEADR0_PE1LH：FFC6 2451_H

CF1STEADR0_PE1HL：FFC6 2452_H

CF1STEADR0_PE1HH：FFC6 2453_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	EADR[24:16]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EADR[15:4]												—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40C.12　CF1STEADR0_VCI/PE1 レジスタの内容

ビット位置	ビット名	機能
31～25	予約ビット	リードした場合はリセット後の値が読めます。
24～4	EADR[24:4]	1st エラー発生アドレス 1st エラー発生時のアドレスをモニタするためのレジスタです。 CF1STERSTR_VCI/PE1 レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを更新します。1st エラーとして ECC1 ビットエラーフラグがセットされている状態で ECC2 ビットエラーが発生した場合に、アドレス情報を更新します。ECC2 ビットエラーが既に発生している場合は、アドレス情報の更新はしません クリア条件： 　CFSTCLR_VCI/PE1 レジスタの STCLR0 ビットを 1 にセット
3～0	予約ビット	リードした場合はリセット後の値が読めます。

(7) CFSTSTCTL_VCI ― Code Flash サブテストコントロールレジスタ

CFSTSTCTL_VCI レジスタは ECC テスト（自己診断）時に使用するレジスタです。本レジスタは、Code Flash 専用のレジスタです。ECC テストモード（ECCTST＝1）に設定後、ECC ビットのデータをダイレクトに読み出すことができます。本レジスタへの書き込みは PROT1、PROT0 を 01_B にして実行してください。

アクセス　CFSTSTCTL_VCI レジスタは、32 ビット単位でリード／ライト可能です。
CFSTSTCTL_VCIL レジスタは、16 ビット単位でリード／ライト可能です。

アドレス　CFSTSTCTL_VCI：FFC6 2350_H
CFSTSTCTL_VCIL：FFC6 2350_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	—	ECCTST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 40C.13　CFSTSTCTL_VCI レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	PROT1	ECCTST ビットの書き換え可否を設定するためのビットです。 書き込みデータは保持されません。読み出すと常に 0 が読み出されます。本レジスタへの書き込みは、PROT1, PROT0＝0, 1 で行ってください。
14	PROT0	
13～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ECCTST	ECC テストビット ECC テストモード（ECCTST＝1）に設定後、ECC ビットのデータをダイレクトにリードすることができます。このビットの書き込み時は、PROT1, PROT0＝0, 1 を同時に書き込む必要があります。

CPU には小容量のデータバッファを備えています。このバッファに古い値が残っていると、ECCTST ビットを切り替えても正しい値を読み出すことができません。ECCTST ビット切り替えの際は、必ずデータバッファをクリアしてください。クリア方法については、「**第 3BC 章　RH850/F1KM の CPU システム**」を参照してください。

ECC テストモードに設定した Code Flash アクセスポートからは、16n 番地にアラインされた 4 バイトリードでアクセスしてください。この時、Code Flash の読み出し結果は以下のとおりです。

表 40C.14　Code Flash の読み出し結果

ビット番号	意味	ビット位置	内容
[31:10]	all-0	31～10	常に 0 です。
[9]	予約ビット	9	不定
[8:0]	ECC ビット	8～0	ECC ビット

40C.2.3　Data Flash の ECC

40C.2.3.1　概要

Data Flash 用 ECC の概要を以下に示します。

表 40C.15　Code Flash 用 ECC 概要

項目	説明
ECC エラー検出・訂正	ECC エラー検出・訂正の有効／無効を選択可能 有効時は下記設定を選択可能 ● 2 ビットエラー検出と 1 ビットエラー検出・訂正を行います。 ● 2 ビットエラー検出と 1 ビットエラー検出を行います。 無効時はエラー検出・訂正を行いません。 初期状態では、本機能は有効で、1 ビットエラー検出・訂正、2 ビットエラー検出を行います。
エラー通知	ECC エラー発生時は、エラー通知を行います。 ● ECC2 ビットエラー検出時のエラー通知の許可／禁止を選択することが可能です。 ● ECC1 ビットエラー検出時のエラー通知の許可／禁止を選択することが可能です。 ECC コントローラの初期状態では、ECC2 ビットエラー検出時のエラー通知許可、1 ビットエラー検出時のエラー通知禁止。ただし、割り込みコントローラの FEINTFMSK レジスタで割り込みをマスクしている場合、割り込み処理は行われません。
エラーステータス	ECC2 ビットエラーおよび ECC1 ビットエラー検出をモニタできます。 本機能は、どのエラーステータスもセットされていない状態でのみセットされます。エラーステータスのクリアレジスタを搭載します。
アドレスキャプチャ	どの ECC エラーステータスもセットされていない場合、最初の ECC エラー発生時のアドレスがキャプチャされます。DFERSTR の SEDF ビットと DEDF ビットが共に 0 の場合、ECC エラーアドレスがキャプチャされます。
自己診断	ROM データと、ECC ビットをダイレクトに読み出すことができます。 ROM データと、ECC ビットに任意のデータを書き込むことができます。

40C.2.3.2　割り込み要求

データフラッシュ ECC の割り込み要求を以下に示します。

表 40C.16　データフラッシュ ECC の割り込み要求（データアクセス時）

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	データフラッシュの ECC1 ビットエラー割り込み	INTECCEEP0	—
—	データフラッシュの ECC2 ビットエラー割り込み	INTECCEEP0	—

40C.2.3.3　　レジスタ一覧

表 40C.17　レジスタ一覧

モジュール名	レジスタ名	略号	アドレス
DFECC	Data Flash ECC コントロールレジスタ	DFECCCTL	FFC6 $2A00_H$
	Data Flash エラーステータスレジスタ	DFERSTR	FFC6 $2A04_H$
	Data Flash エラーステータスクリアレジスタ	DFERSTC	FFC6 $2A08_H$
	Data Flash エラーオーバフローステータスレジスタ	DFOVFSTR	FFC6 $2A0C_H$
	Data Flash エラーオーバフローステータスクリアレジスタ	DFOVFSTC	FFC6 $2A10_H$
	Data Flash エラー通知コントロールレジスタ	DFERRINT	FFC6 $2A14_H$
	Data Flash 1st エラーアドレスレジスタ	DFEADR	FFC6 $2A18_H$
	Data Flash テストコントロールレジスタ	DFTSTCTL	FFC6 $2A1C_H$

40C.2.3.4　　レジスタ詳細

(1) DFECCCTL ― Data Flash ECC コントロールレジスタ

DFECCCTL レジスタは、ECC エラー検出・訂正の有効／無効、1 ビットエラー訂正の許可／禁止を設定するレジスタです。DFECCCTL レジスタへの書き込みは PROT1、PROT0 を 01_B にして実行してください。

アクセス　DFECCCTL レジスタは、16 ビット単位でリード／ライト可能です。

アドレス　DFECCCTL：FFC6 $2A00_H$

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 40C.18　DFECCCTL レジスタの内容

ビット位置	ビット名	機能
15	PROT1	ECCDIS ビット、SECDIS ビットの書き換え可否を設定するためのビットです。書き込み値は保持されません。読み出すと常に 0 が読み出されます。本レジスタへの書き込みは、PROT1, PROT0＝0, 1 で行ってください。
14	PROT0	
13～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	SECDIS	1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正の許可／禁止を設定するためのビットです。このビットの書き込み時は PROT1, PROT0＝0, 1 を同時に書き込む必要があります。 0：1 ビットエラー検出時にエラー訂正します 1：1 ビットエラー検出時にエラー訂正しません
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正機能の有効／無効を設定できます。 このビットの書き込み時は PROT1, PROT0＝0, 1 を同時に書き込む必要があります。 初期状態は ECC エラー検出・訂正機能が有効です。 0：ECC エラー検出・訂正機能が有効 1：ECC エラー検出・訂正機能が無効

(2) DFERSTR — Data Flash エラーステータスレジスタ

DFERSTR レジスタは、発生したエラーをモニタするためのレジスタです。

ECC エラー訂正・検出有効時に、ECC1 ビットエラーが検出されると SEDF ビットがセットされ、ECC2 ビットエラーが検出されると DEDF ビットがセットされます。

アクセス　DFERSTR レジスタは、8 ビット単位でリードのみ可能です。

アドレス　DFERSTR：FFC6 2A04H

リセット後の値　00H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DEDF	SEDF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 40C.19　DFERSTR レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。
1	DEDF	ECC2 ビットエラーモニタフラグ 0：ECC2 ビットエラーは検出していません。 1：ECC2 ビットエラーは検出しました。 クリア条件： DFERSTC.ERRCLR ビットに 1 をセット セット条件： SEDF、DEDF がすべて 0 の状態で、ECC2 ビットエラー検出
0	SEDF	ECC1 ビットエラーモニタフラグ 0：ECC1 ビットエラーは検出していません。 1：ECC1 ビットエラーは検出しました。 クリア条件： DFERSTC.ERRCLR ビットに 1 をセット セット条件： SEDF、DEDF がすべて 0 の状態で、ECC1 ビットエラー検出

(3) DFERSTC — Data Flash エラーステータスクリアレジスタ

DFERSTC レジスタは、Data Flash エラーステータスレジスタのエラーフラグをクリアするためのレジスタです。

アクセス　DFERSTC レジスタは、8 ビット単位でライトのみ可能です。

アドレス　DFERSTC : FFC6 2A08$_H$

リセット後の値　00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ERRCLR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 40C.20　DFERSTC レジスタの内容

ビット位置	ビット名	機能
7〜1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	ERRCLR	SEDF、DEDF フラグクリアビット 0 : 無効（“0” を設定しても DFERSTR レジスタの DEDF、SEDF フラグに影響はありません。） 1 : DFERSTR レジスタの DEDF、SEDF フラグをクリアします。

(4) DFOVFSTR — Data Flash エラーオーバフローステータスレジスタ

DFOVFSTR レジスタは、Data Flash エラーオーバフローの発生をモニタするためのレジスタです。

アクセス　DFOVFSTR レジスタは、8 ビット単位でリードのみ可能です。

アドレス　DFOVFSTR : FFC6 2A0C$_H$

リセット後の値　00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ERROVF
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 40C.21　DFOVFSTR レジスタの内容

ビット位置	ビット名	機能
7〜1	予約ビット	リードした場合はリセット後の値が読めます。
0	ERROVF	エラーオーバフローフラグ エラーアドレスレジスタがフルの場合に、ECC エラーが発生したときセットされます。 0 : 発生していない 1 : 発生した クリア条件 : Data Flash エラーオーバフローステータスクリアレジスタの ERROVFCLR ビットのセット

(5) DFOVFSTC — Data Flash エラーオーバフローステータスクリアレジスタ

DFOVFSTC レジスタは、Data Flash エラーオーバフローフラグをクリアするためのレジスタです。

アクセス　DFOVFSTC レジスタは、8 ビット単位でライトのみ可能です。

アドレス　DFOVFSTC：FFC6 2A10$_H$

リセット後の値　00$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ERROVFCLR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	W

表 40C.22　DFOVFSTC レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	予約ビットライトする場合はリセット後の値を書いてください。
0	ERROVFCLR	エラーオーバフローフラグクリアビット 0：無効（ERROVFCLR ビットに 0 を設定しても DFOVFSTR レジスタの ERROVF フラグに影響はありません。） 1：DFOVFSTR レジスタの ERROVF フラグをクリアします。

(6) DFERRINT — Data Flash エラー通知コントロールレジスタ

DFERRINT レジスタは、ECC2 ビットエラー検出時、ECC1 ビットエラー検出時に、エラー通知信号発生の有効／無効を設定するためのレジスタです。

アクセス　DFERRINT レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　DFERRINT：FFC6 2A14$_H$

リセット後の値　02$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DEDIE	SEDIE
リセット後の値	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R	R	R/W	R/W

表 40C.23　DFERRINT レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	DEDIE	ECC2 ビットエラー通知制御ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時にエラー通知の発生を禁止／許可するビットです。 0：ECC2 ビットエラー通知禁止 1：ECC2 ビットエラー通知許可
0	SEDIE	ECC1 ビットエラー通知制御ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時にエラー通知の発生を禁止／許可するビットです。 0：ECC1 ビットエラー通知禁止 1：ECC1 ビットエラー通知許可

(7) DFEADR — Data Flash 1st エラーアドレスレジスタ

DFEADR レジスタは、Data Flash エラーステータスレジスタの SEDF と DEDF ビットの両方が 0 の状態で発生した ECC エラーのアドレスを保持するためのレジスタです。

アクセス　DFEADR レジスタは、32 ビット単位でリードのみ可能です。

アドレス　DFEADR：FFC6 2A18$_H$

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	DFEADR[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DFEADR[15:2]														—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40C.24　DFEADR レジスタの内容

ビット位置	ビット名	機能
31～21	予約ビット	リードした場合はリセット後の値が読めます。
20～2	DFEADR[20:2]	ECC エラーアドレス ECC エラーが発生したアドレスを監視するための読み出し専用フィールドです。 本ジレスタは、内部アドレスを保持します。 データフラッシュベースアドレス FF20 0000$_H$ を加算して実アドレスに変換します。
1、0	予約ビット	リードした場合はリセット後の値が読めます。

(8) DFTSTCTL — Data Flash テストコントロールレジスタ

DFTSTCTL レジスタは ECC テスト時に使用するレジスタです。

ECC テストモード（ECCTST＝1）設定後、ECC ビットのデータを読み出すことができます。

DFTSTCTL レジスタへの書き込みは、PROT1, PROT0 を“01_B”にして実行してください。

アクセス　DFTSTCTL レジスタは、16 ビット単位でリード／ライト可能です。

アドレス　DFTSTCTL：FFC6 $2A1C_H$

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	—	ECCTST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 40C.25　DFTSTCTL レジスタの内容

ビット位置	ビット名	機能
15	PROT1	ECCTST ビットの書き換え可否を設定するためのビットです。 書き込み値は保持されません。読み出すと常に 0 が読み出されます。DFTSTCTL レジスタへの書き込みは、PROT1, PROT0＝0, 1 で行ってください。
14	PROT0	
13～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ECCTST	ECC テストモードビット ECC テストモードに設定します。 このビットの書き込み時は、PROT1, PROT0＝0, 1 を同時に書き込む必要があります。

40C.2.4　ローカル RAM（リテンション RAM を含む）の ECC

40C.2.4.1　概要

注　意

リテンション RAM は、ローカル RAM の一部です。リテンション RAM に対する ECC はローカル RAM と共有されています。したがって、リテンション RAM の場合もローカル RAM と同じレジスタを使用します。

CPU1 のローカル RAM 用 ECC の仕様概要を以下に示します。

表 40C.26　ローカル RAM 用 ECC 概要（CPU1）

項目	説明
ECC エラー検出・訂正	ECC エラー検出・訂正の有効／無効を選択可能。有効時は下記設定のいずれかを選択可能。 ● 2 ビットエラー検出と 1 ビットエラー検出・訂正を行います。 ● 2 ビットエラー検出と 1 ビットエラー検出を行います。 無効時はエラー検出・訂正を行いません。 初期状態では、ECC 機能は有効で 1 ビットエラー検出・訂正、2 ビットエラー検出を行います。
エラー通知	ECC エラー発生時は、エラー通知を行います。 ● ECC2 ビットエラーを検出した場合のエラー通知を、許可または禁止できます。 データアクセスおよび命令フェッチ中に ECC2 ビットエラーが検出された場合のエラー（SYSERR 例外）通知を、許可または禁止できます。 ● ECC1 ビットエラーを検出した場合のエラー通知を、許可または禁止できます。 データアクセスおよび命令フェッチ中に ECC1 ビットエラー（SECDIS＝1）が検出された場合のエラー（SYSERR 例外）通知を、許可または禁止できます。 SYSERR の詳細については、「**第 3BC 章　RH850/F1KM の CPU システム**」を参照してください。 ECC コントローラの初期状態では、ECC2 ビットエラー検出時および ECC1 ビットエラー検出時にエラー通知が許可されます。 ただし、割り込みコントローラの FEINTFMSK レジスタで割り込みをマスクしている場合、割り込み処理は行われません。
エラーステータス	ECC 2 ビットエラーおよび ECC1 ビットエラーの検出をモニタします。 どのエラーステータスもセットされていない場合のみ、本機能はセットされます。エラーステータスはクリアレジスタによってクリア可能です。
アドレスキャプチャ	どの ECC エラーステータスもセットされていない場合、最初のエラー発生時のアドレスがキャプチャされます。さらに、保持しているアドレス要因が ECC1 ビットエラーの場合、ECC2 ビットエラー検出した場合もキャプチャされます。
自己診断	RAM データと ECC ビットに任意のデータを書き込むことができます。 RAM データと ECC ビットをダイレクトに読み出すことができます。
その他	命令フェッチ時に ECC2 ビットエラー検出に応じて SYSERR 例外を発生させ、不正命令の実行を回避することができます。

注　意

ローカル RAM に対して、ECC エラー検出・訂正を有効にしてアクセスする場合、RAM を使用する前に、RAM アクセスの 32 ビット長で初期化してください。初期化前の RAM を読み出した場合、FE レベルのマスク可能な割り込みまたは SYSERR 例外処理を発生する可能性があります。

また、32 ビット長で初期化しなかった場合（例えば 8 ビットや 16 ビットのアクセスで初期化した場合）、FE レベルのマスク可能な割り込みまたは SYSERR 例外処理を発生する可能性があります。

40C.2.4.2　割り込み要求

ローカル RAM ECC の割り込み要求を以下に示します。

表 40C.27　ローカル RAM ECC の割り込み要求（CPU フェッチアクセス時）

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	RAM の ECC1 ビットエラー割り込み	SYSERR, INTECCRAM (SED & SECDIS＝1)	—
		INTECCRAM (SED & SECDIS＝0)	—
—	RAM の ECC2 ビットエラー割り込み	SYSERR、INTECCRAM	—

表 40C.28　ローカル RAM ECC の割り込み要求（CPU データアクセス時）

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	RAM の ECC1 ビットエラー割り込み	SYSERR, INTECCRAM (SED & SECDIS＝1)	—
		INTECCRAM (SED & SECDIS＝0)	—
—	RAM の ECC2 ビットエラー割り込み	SYSERR、INTECCRAM	—

表 40C.29　ローカル RAM ECC の割り込み要求（CPU アクセス以外のデータアクセス時）

ユニット割り込み信号	説明	名称	DMA トリガ番号
—	RAM の ECC1 ビットエラー割り込み	INTECCRAM	—
—	RAM の ECC2 ビットエラー割り込み	INTECCRAM	—

40C.2.4.3　レジスター覧

表 40C.30　レジスター覧

モジュール名	アドレス	略号	レジスタ名	R/W	リセット後の値	アクセスサイズ
LRTST	FFC6 5004$_H$	LRTSTCTL_PE1	ローカル RAM テストコントロールレジスタ（PE1）	R/W	0000 0000$_H$	16/32
	FFC6 5008$_H$	LRTDATBF0_PE1	ローカル RAM テストデータリードバッファ 0（PE1）	R	0000 0000$_H$	32
LRECC	FFC6 5400$_H$	LRECCCTL_PE1	ローカル RAM ECC コントロールレジスタ（PE1）	R/W	0000 0000$_H$	16/32
	FFC6 5404$_H$	LRERRINT_PE1	ローカル RAM エラー情報コントロールレジスタ（PE1）	R/W	0000 0003$_H$	8/16/32
	FFC6 5408$_H$	LRSTCLR_PE1	ローカル RAM ステータスクリアレジスタ（PE1）	W	0000 0000$_H$	8/16/32
	FFC6 540C$_H$	LROVFSTR_PE1	ローカル RAM エラーカウントオーバフローステータスレジスタ（PE1）	R	0000 0000$_H$	8/16/32
	FFC6 5410$_H$	LR1STERSTR_PE1	ローカル RAM 1st エラーステータスレジスタ（PE1）	R	0000 0000$_H$	8/16/32
	FFC6 5450$_H$	LR1STEADR0_PE1	ローカル RAM 1st エラーアドレスレジスタ 0（PE1）	R	0000 0000$_H$	8/16/32

40C.2.4.4　レジスタ詳細

(1) LRTSTCTL_PE1 ― ローカル RAM テストコントロールレジスタ

LRTSTCTL_PE1 レジスタは ECC テスト（自己診断）時に使用するレジスタです。ECC テストモード（ECCTST＝1）設定後、ECC ビットへ任意のデータを書き込むことができます。RAM データ、ECC ビットの選択は DATSEL ビットで行います。LRTSTCTL_PE1 レジスタへの書き込みは、PROT1, PROT0 を“01_B”にして実行してください。

アクセス　LRTSTCTL_PE1 レジスタは 32 ビット単位でリード／ライト可能です。
LRTSTCTL_PE1L レジスタは 16 ビット単位でリード／ライト可能です。

アドレス　LRTSTCTL_PE1：FFC6 5004_H
LRTSTCTL_PE1L：FFC6 5004_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	ECCTST	DATSEL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 40C.31　LRTSTCTL_PE1 レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	PROT1	ECCTST、DATSEL ビットの書き換え可否を設定するためのビットです。 書き込み値は保持されません。読み出すと常に 0 が読み出されます。本レジスタへの書き込みは、PROT1, PROT0＝0, 1 で行ってください。
14	PROT0	
13～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	ECCTST	ECC テストビット ECC テストモード（ECCTST＝1）に設定すると、LRTDATBF0_PE1 レジスタを読み出すことによって ECC ビットのデータをリード、または直接 ECC ビットに書き込むことができます。 このビットの書き込み時は、PROT1, PROT0＝0, 1 を同時に書き込む必要があります。
0	DATSEL	データ選択ビット ECCTST＝1 のときに有効。書き込み時にアクセスできる RAM ビットを選択します。 このビットの書き込み時は、PROT1, PROT0＝0, 1 を同時に書き込む必要があります。 0：RAM データ選択 1：ECC ビット選択

注　意

ローカル RAM の ECC テストモードを有効（ECCTST＝1）にした場合、ローカル RAM へのアクセスは 4 バイト単位で実施してください。

(2) LRTDATBF0_PE1 ― ローカル RAM テストデータリードバッファ 0

ECC テスト（自己診断）時、ECC ビットを読み出すことができます。ローカル RAM テストコントロールレジスタ LRTSTCTL_PE1 で ECCTST＝1 のときに、ローカル RAM を読み出すと、ECC ビットが読み出され本バッファに保持されます。

アクセス　LRTDATBF0_PE1 レジスタは 32 ビット単位でリードのみ可能です。

アドレス　LRTDATBF0_PE1：FFC6 5008H

リセット後の値　0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	LRTDATBF[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40C.32　LRTDATBF0_PE1 レジスタの内容

ビット位置	ビット名	機能
31～7	予約ビット	リードした場合はリセット後の値が読めます。
6～0	LRTDATBF[6:0]	ローカル RAM テストコントロールレジスタで ECCTST＝1（テストモード選択時）時に有効です。 ローカル RAM 読み出し時に、ローカル RAM の ECC ビットが LRTDATABF[6:0]に格納されます。

(3) LRECCCTL_PE1 ― ローカル RAM ECC コントロールレジスタ

LRECCCTL_PE1 レジスタは、ECC エラー検出・訂正の有効／無効、1 ビットエラー訂正の許可／禁止を設定するレジスタです。

LRECCCTL_PE1 レジスタへの書き込みは、PROT1, PROT0 を“01_B”にして実行してください。

アクセス　LRECCCTL_PE1 レジスタは 32 ビット単位でリード／ライト可能です。
LRECCCTL_PE1L レジスタは 16 ビット単位でリード／ライト可能です。

アドレス　LRECCCTL_PE1：FFC6 5400_H
LRECCCTL_PE1L：FFC6 5400_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROT1	PROT0	—	—	—	—	—	—	—	—	—	—	—	—	SECDIS	ECCDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 40C.33　LRECCCTL_PE1 レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
15	PROT1	ECCDIS ビット、SECDIS ビットの書き換え可否を設定するためのビットです。書き込み値は保持されません。読み出すと常に 0 が読み出されます。本レジスタへの書き込みは、PROT1, PROT0＝0, 1 で行ってください。
14	PROT0	
13～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	SECDIS	1 ビットエラー訂正ディスエーブルビット ECC のエラー検出・訂正の有効時に、1 ビットエラー訂正を許可／禁止するためのビットです。このビットの書き込み時は PROT1, PROT0＝0, 1 を同時に書き込む必要があります。 0：1 ビットエラー検出時にエラー訂正する 1：1 ビットエラー検出時にエラー訂正しない
0	ECCDIS	ECC ディスエーブルビット ECC エラー検出・訂正の有効／無効を設定できます。このビットの書き込み時は PROT1, PROT0＝0, 1 を同時に書き込む必要があります。 0：ECC エラー検出・訂正が有効 1：ECC エラー検出・訂正が無効

(4) LRERRINT_PE1 ― ローカル RAM エラー情報コントロールレジスタ

LRERRINT_PE1 レジスタは、ECC2 ビットエラーまたは ECC1 ビットエラー検出時に、割り込みコントローラへのエラー通知信号発生の有効／無効を設定するためのレジスタです。

アクセス　LRERRINT_PE1 レジスタは、32 ビット単位でリード／ライト可能です。
LRERRINT_PE1L レジスタは、16 ビット単位でリード／ライト可能です。
LRERRINT_PE1LL レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　LRERRINT_PE1：FFC6 5404_H
LRERRINT_PE1L：FFC6 5404_H
LRERRINT_PE1LL：FFC6 5404_H

リセット後の値　0000 0003_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDIE	SEDIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 40C.34　LRERRINT_PE1 レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	DEDIE	ECC2 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、2 ビットエラー検出時のエラー通知信号の発生を禁止／許可するビットです。 0：ECC2 ビットエラー通知禁止 1：ECC2 ビットエラー通知許可
0	SEDIE	ECC1 ビットエラー通知許可ビット ECC のエラー検出・訂正有効時に、1 ビットエラー検出時のエラー通知信号の発生を禁止／許可するビットです。 0：ECC1 ビットエラー通知禁止 1：ECC1 ビットエラー通知許可

(5) LRSTCLR_PE1 ― ローカル RAM ステータスクリアレジスタ

LRSTCLR_PE1 レジスタは、エラーステータスレジスタ（LR1STERSTR_PE1）のエラーフラグ、エラーオーバフローステータスレジスタ（LROVFSTR_PE1）のオーバフローフラグ、およびエラーアドレスレジスタ（LR1STEADR0_PE1）をクリアするためのレジスタです。書き込み専用レジスタで読み出し値は常に 0 です。

アクセス	LRSTCLR_PE1 レジスタは、32 ビット単位でライトのみ可能です。 LRSTCLR_PE1L レジスタは、16 ビット単位でライトのみ可能です。 LRSTCLR_PE1LL レジスタは、8 ビット単位でライトのみ可能です。
アドレス	LRSTCLR_PE1：FFC6 5408_H LRSTCLR_PE1L：FFC6 5408_H LRSTCLR_PE1LL：FFC6 5408_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STCLR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

表 40C.35　LRSTCLR_PE1 レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	ライトする場合はリセット後の値を書いてください。
0	STCLR0	エラーステータスフラグクリアビット 本ビットに 1 を書き込むことで LR1STERSTR_PE1 レジスタの DEDF0 および SEDF0 フラグ、LROVFSTR_PE1 レジスタの ERROVF0 フラグ、および LR1STEADR0_PE1 レジスタをクリアします。

(6) LROVFSTR_PE1 ― ローカル RAM エラーカウントオーバフローステータスレジスタ

LROVFSTR_PE1 レジスタは、エラーオーバフロー発生を監視するためのレジスタです。1st エラーが発生している状態（エラーステータスレジスタのいずれかのエラーフラグがセットされている状態）で、次の 2nd エラーが発生した場合に本フラグがセットされます。ただし、2nd エラーの内容が、1st エラーと全く同じ場合（エラー要因、エラーアドレスともに同じ場合）は、本フラグはセットされません。ERROVF0 フラグは内部リセット、外部リセット、または LRSTCLR_PE1 レジスタの STCLR0 ビットへ 1 をセットすることでクリアされます。

アクセス	LROVFSTR_PE1 レジスタは、32 ビット単位でリードのみ可能です。
	LROVFSTR_PE1L レジスタは、16 ビット単位でリードのみ可能です。
	LROVFSTR_PE1LL レジスタは、8 ビット単位でリードのみ可能です。
アドレス	LROVFSTR_PE1：FFC6 540C$_H$
	LROVFSTR_PE1L：FFC6 540C$_H$
	LROVFSTR_PE1LL：FFC6 540C$_H$
リセット後の値	0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERROVF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40C.36　LROVFSTR_PE1 レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。
0	ERROVF0	エラーオーバフローフラグ エラーステータスレジスタのいずれかのエラーフラグ（DEDF0, SEDF0）がセットされている状態で 2nd エラーが発生した場合、ERROVF0 はセットされます。その際、2nd エラーのエラーアドレスとエラー要因共に 1st エラーと同じ場合を除きます。

(7) LR1STERSTR_PE1 ― ローカル RAM 1st エラーステータスレジスタ

LR1STERSTR_PE1 レジスタは、ECC エラー検出・訂正が有効の場合に、最初に発生したエラーを監視するためのレジスタです。エラーフラグが 0 の状態でエラーが発生した場合に、エラーステータスがセットされます。

なお、同時に複数のエラーが発生した場合は、該当するエラーフラグはすべてセットされます。

LR1STERSTR_PE1 レジスタは内部リセット、外部リセット、または LRSTCLR_PE1 レジスタの STCLR0 ビットへ 1 をセットすることでクリアされます。

アクセス	LR1STERSTR_PE1 レジスタは、32 ビット単位でリードのみ可能です。 LR1STERSTR_PE1L レジスタは、16 ビット単位でリードのみ可能です。 LR1STERSTR_PE1LL レジスタは、8 ビット単位でリードのみ可能です。
アドレス	LR1STERSTR_PE1：FFC6 5410_H LR1STERSTR_PE1L：FFC6 5410_H LR1STERSTR_PE1LL：FFC6 5410_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEDF0	SEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40C.37　LR1STERSTR_PE1 レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1	DEDF0	ECC2 ビットエラーモニタフラグ 　0：ECC2 ビットエラーは検出していません。 　1：ECC2 ビットエラーは検出しました。 クリア条件： 　LRSTCLR_PE1.STCLR0 ビットに 1 をセット セット条件： 　DEDF0 が 0 の状態で、ECC2 ビットエラー検出
0	SEDF0	ECC1 ビットエラーモニタフラグ 　0：ECC1 ビットエラーは検出していません。 　1：ECC1 ビットエラーは検出しました。 クリア条件： 　LRSTCLR_PE1.STCLR0 ビットに 1 をセット セット条件： 　DEDF0、SEDF0 がどちらも 0 の状態で、ECC1 ビットエラー検出

(8) LR1STEADR0_PE1 ― ローカル RAM 1st エラーアドレスレジスタ 0

LR1STEADR0_PE1 レジスタは、エラー発生時のアドレスを保持するためのレジスタです。

LR1STERSTR_PE1 レジスタのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスをセットします。1st エラーとして ECC1 ビットエラーフラグをセットした状態で ECC2 ビットエラーが発生すると、アドレス情報を更新します。一度 ECC2 ビットエラーが発生すると、アドレス情報の更新はしません。

本レジスタには内部アドレスが保持されますので、各メモリのベースアドレス[31:19]ビットを加算して実アドレスへ変換してください。LR1STEADR0_PE1 レジスタは内部リセット、外部リセット、または LRSTCLR_PE1 レジスタの STCLR0 ビットへ 1 をセットすることでクリアされます。

アクセス　LR1STEADR0_PE1 レジスタは、32 ビット単位でリードのみ可能です。
LR1STEADR0_PE1L、LR1STEADR0_PE1H レジスタは、16 ビット単位でリードのみ可能です。
LR1STEADR0_PE1LL、LR1STEADR0_PE1LH、LR1STEADR0_PE1HL レジスタは、8 ビット単位でリードのみ可能です。

アドレス　LR1STEADR0_PE1：FFC6 5450_H
LR1STEADR0_PE1L：FFC6 5450_H
LR1STEADR0_PE1H：FFC6 5452_H
LR1STEADR0_PE1LL：FFC6 5450_H
LR1STEADR0_PE1LH：FFC6 5451_H
LR1STEADR0_PE1HL：FFC6 5452_H

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	EADR[18:16]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EADR[15:2]														—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40C.38　LR1STEADR0_PE1 レジスタの内容

ビット位置	ビット名	機能
31～19	予約ビット	リードした場合はリセット後の値が読めます。
18～2	EADR[18:2]	1st エラー発生アドレス 1st エラー発生時のアドレスをモニタするためのレジスタです。 LR1STERSTR_PE1 レジスタのすべてのエラーフラグが 0 の状態でエラーが発生した場合に、エラーアドレスを保持します。1st エラーとして ECC1 ビットエラーフラグがセットされている状態で ECC2 ビットエラーが発生すると、アドレス情報を更新します。
1、0	予約ビット	リードした場合はリセット後の値が読めます。

40C.2.5　周辺 RAM の ECC

40C.2.5.1　概要

以下の周辺モジュールの RAM 用の ECC モジュールです。

- CSIH
- RS-CANFD

表 40C.39　周辺 RAM ECC の機能一覧

項目	説明
ECC エラー検出／訂正	ECC エラーの検出と訂正を有効または無効にすることができます。 次のいずれかの設定を選択できます。 ● 2 ビットエラー検出と 1 ビットエラー検出／訂正 ● 2 ビットエラー検出と 1 ビットエラー検出 ECC エラー検出／訂正を無効にすることもできます（スルーモード時）。 初期状態は、2 ビットエラー検出と 1 ビットエラー検出／訂正です。
エラー通知	ECC エラー発生時は、エラー通知を行います。 ● ECC2 ビットエラー検出時のエラー通知許可／禁止を選択可 ● ECC1 ビットエラー検出時のエラー通知許可／禁止を選択可 ECC コントローラの初期状態では、2 ビットエラー検出時のエラー通知許可、および 1 ビットエラー検出時のエラー通知禁止。ただし、FEINTFMSK レジスタで割り込みをマスクしている場合、割り込み処理は行われません。
エラーステータス	ECC2 ビットエラー検出、ECC1 ビットエラー検出をモニタできます。 エラーステータスのクリアレジスタを搭載しています。
アドレスキャプチャ	ECC エラーが発生した 1 つのアドレスのみをキャプチャできます。 ECC 2 ビットまたは 1 ビットエラーの検出時に信号が生成され、この信号をトリガとしてエラー発生アドレスがキャプチャされます（フラグクリア後の最初の（1 ビットまたは 2 ビット）エラー検出時）。

注　意

ECC によるエラー検出・訂正を行う場合、RS-CANFD については RAM 領域の初期化を行ってから使用してください。

40C.2.5.2　割り込み要求

以下に周辺 RAM の ECC 割り込み要求を示します。

表 40C.40　CSIHn ECC の割り込み要求（FE レベルマスカブル割り込み）

ユニット割り込み信号	説明	名称	DMA トリガ番号
INTECCCSIHn	CSIHn ECC1 ビットエラー／ECC2 ビットエラー割り込み	INTECCCSIH0	—
		INTECCCSIH1	
		INTECCCSIH2	
		INTECCCSIH3	

表 40C.41　RCFDCn ECC の割り込み要求（FE レベルマスカブル割り込み）

ユニット割り込み信号	説明	名称	DMA トリガ番号
ECCCNFDRAMFEIF	RCFDC0 ECC1 ビットエラー／ECC2 ビットエラー割り込み	INTECCCNFDRAM	—

40C.2.5.3　レジスター覧

(1) ECC モジュール一覧

複数の周辺機能の RAM に対して、本 ECC モジュールが搭載されています。以下に、本 ECC モジュールを実装している周辺機能と、それに対応する ECC モジュール名、各 ECC モジュールのベースアドレスを示します。

表 40C.42　ECC モジュール一覧

対応する周辺機能		モジュール名	ECC モジュール名とレジスタベースアドレス	
			ベースアドレス名	ベースアドレス <base_addr>
CSIHn	バッファ I/O（CSIH RAM）	ECCCSIH0	<ECCCSIH0_base>	FFC7 0100$_H$
		ECCCSIH1	<ECCCSIH1_base>	FFC7 0200$_H$
		ECCCSIH2	<ECCCSIH2_base>	FFC7 0300$_H$
		ECCCSIH3	<ECCCSIH3_base>	FFC7 0400$_H$
RCFDC0	メッセージバッファ RAM（MB RAM）	ECCCFD0MB	<ECCCFD0MB_base>	FFC7 1300$_H$
	アクセプタンスフィルタリスト RAM0（AFL0 RAM）	ECCCFD0AFL0	<ECCCFD0AFL0_base>	FFC7 1400$_H$
	アクセプタンスフィルタリスト RAM1（AFL1 RAM）	ECCCFD0AFL1	<ECCCFD0AFL1_base>	FFC7 1500$_H$

(2) レジスター覧

各 ECC モジュールは以下のレジスタを備えます。

表 40C.43　レジスター覧

モジュール名	レジスタ名	略号	アドレス
「**表 40C.42 ECC モジュール一覧**」を参照	ECC コントロールレジスタ	<Module_Name>CTL	<base_addr> + 00$_H$
	ECC テストモードコントロールレジスタ	<Module_Name>TMC	<base_addr> + 04$_H$
	ECC エンコード／デコード入出力代替テストレジスタ	<Module_Name>TED	<base_addr> + 0C$_H$
	ECC 冗長ビットデータコントロールテストレジスタ	<Module_Name>TRC	<base_addr> + 08$_H$
	ECC デコードシンドロームデータレジスタ	<Module_Name>SYND	<base_addr> + 0B$_H$
	ECC7 ビット冗長ビットデータ保持テストレジスタ	<Module_Name>HORD	<base_addr> + 0A$_H$
	ECC エンコードテストレジスタ	<Module_Name>ECRD	<base_addr> + 09$_H$
	ECC リダンタントビット入出力代替バッファレジスタ	<Module_Name>ERDB	<base_addr> + 08$_H$
	ECC エラーアドレスレジスタ 0	<Module_Name>AD0	<base_addr> + 10$_H$
SL_READTEST	ECCREAD テスト選択レジスタ	SELB_READTEST	FFC7 8000$_H$

40C.2.5.4　　レジスタ詳細

(1) <Module_Name>CTL — ECC コントロールレジスタ

<Module_Name>CTL レジスタは対象となる周辺モジュールの ECC のモードを制御、およびステータスの制御を行うレジスタです。

ビット 7、5～3 の設定（書き込み）は対象周辺モジュールが動作していない時に行ってください。

また、ビット 7 への書き込みは EMCA1, EMCA0 を 01_B にして実行してください。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　**「表 40C.42 ECC モジュール一覧」**、**「表 40C.43 レジスタ一覧」**を参照。

リセット後の値　$001X_H$

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EMCA1	EMCA0	—	—	ECCOVFF	ECER2C	ECER1C	—	ECTHM	—	EC1ECP	EC2EDIC	EC1EDIC	ECER2F	ECER1F	ECEMF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	—
R/W	R/W 注1	R/W 注1	R	R	R	R/W 注1	R/W 注1	R	R/W	R	R/W	R/W	R/W	R	R	R

注1.　リード値は常に 0 が読み出されます。

表 40C.44　<Module_Name>CTL レジスタの内容

ビット位置	ビット名	機能
15	EMCA1	ECC モード選択ビットへのアクセス制御ビット 1、0 本ビットは ECTHM（ビット 7）の書き換え可否を設定するためのビットです。 書き込みデータは保持されません。読み出すと常に 0 が読み出されます。本ビットのデータ値が 01_B のとき、ビット 7 への書込みが可能になります。
14	EMCA0	
13、12	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
11	ECCOVFF	エラーステータスがセットされ、新しいエラーのアドレスがラッチ済みのものとは異なる場合（クリアされておらず、リセットも行われていない）、エラーを検出すると、このビットがセットされます。 0：ECER2F、ECER1F をクリアしてリセットした後、オーバフローは発生しない。 1：エラーアドレスレジスタでオーバフローが発生する。 **備考）**　このビットのクリア条件は以下となります。 (1) リセット (2) ECER2F＝1 での ECER2C＝1 の書き込み、または ECER1F＝1 での ECER1C＝1 の書き込み (3) スルーモード許可選択（ECTHM＝1）
10	ECER2C	2 ビット ECC エラー検出フラグクリアビット 本ビットは ECER2F（ビット 2）の 2 ビットエラー検出フラグをクリアするためのビットです。読み出すと常に 0 が読み出されます。0 書き込みは無効です。 ECER2F ビットがセットされている際に、本ビットに 1 書き込みを行うことで ECER2F ビットがクリアされます。1 書き込みと ECER2F のセット要因が競合した際には本ビットの書き込みが優先されます。 また、ECER2F ビットがセットされている際に本ビットを 1 にすることで、ECCOVFF ビットがクリアされます。

表 40C.44　<Module_Name>CTL レジスタの内容

ビット位置	ビット名	機能
9	ECER1C	1 ビット ECC エラー検出訂正累積フラグクリアビット 本ビットは ECER1F（ビット 1）の 1 ビットエラー検出／訂正フラグをクリアするためのビットです。読み出すと常に 0 が読み出されます。0 書き込みは無効です。 ECER1F ビットがセットされている際に、本ビットに 1 書き込みを行うことで ECER1F ビットがクリアされます。1 書き込みと ECER1F のセット要因が競合した際には本ビットの書き込みが優先されます。 また、ECER1F ビットがセットされている際に本ビットを 1 にすることで、ECCOVFF ビットがクリアされます。
8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	ECTHM	ECC 機能スルーモード選択ビット 本ビットは、ECC 機能の有効／無効を設定するビットです。セット“1”することで、ECC 機能を無効にすることができます。 このビットの書き込み時は EMCA1, EMCA0＝0, 1 を同時に書き込む必要があります。 　0：スルーモード禁止（通常動作モード） 　1：スルーモード許可（ECC 機能無効）
6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	EC1ECP	1 ビットエラー訂正許可ビット 本ビットは ECC エラー検出／訂正の有効時に、1 ビットエラー訂正の許可／禁止を設定するためのビットです。 　0：1 ビットエラー検出時にエラー訂正を行う。 　1：1 ビットエラー検出時にエラー訂正を行わない。
4	EC2EDIC	2 ビットエラー検出割り込み制御ビット 本ビットは 2 ビットエラー検出時に割り込みを発生させるかを制御するビットです。 　0：2 ビットエラー検出時に対象周辺モジュールの割り込みを発生させない。 　1：2 ビットエラー検出時に対象周辺モジュールの割り込みを発生する。
3	EC1EDIC	1 ビットエラー検出割り込み制御ビット 本ビットは 1 ビットエラー検出時に割り込みを発生させるかを制御するビットです。 　0：1 ビットエラー検出時に対象周辺モジュールの割り込みを発生させない。 　1：1 ビットエラー検出時に対象周辺モジュールの割り込みを発生する。
2	ECER2F	2 ビットエラー検出フラグビット 本ビットはエラー判定許可状態（ECTHM＝0）で RAM へのリードアクセス時に 2 ビットエラーが検出されたことを示すフラグです。2 ビットエラー割り込み許可状態（EC2EDIC＝1）で、本フラグがセットされると ECC2 ビットエラー割り込み（対象周辺モジュールの割り込み）が発生します。 クリアの際には ECER2C ビット（ビット 10）へ 1 書き込みを行ってください。 スルーモード許可選択（ECTHM＝1）時も本ビットはクリアされます。本ビットがセットされた状態で再度 2 ビットのビットエラーが検出されても割り込みは発生しません。 　0：本ビットクリア後、2 ビットエラーは発生していない。 　1：2 ビットエラーが発生したことがある。 本ビットはリード専用であり、0 または 1 書き込みを行っても内部状態に変化はありません。
1	ECER1F	1 ビットエラー検出／訂正フラグビット 本ビットはエラー判定許可状態（ECTHM＝0）で RAM へのリードアクセス時に 1 ビットエラーが検出されたことを示すフラグです。クリアの際には ECER1C ビット（ビット 9）へ 1 書き込みを行ってください。スルーモード許可選択（ECTHM＝1）時も本ビットはクリアされます。 　0：本ビットクリア後、1 ビットエラーは発生していない。 　1：1 ビットエラーが発生 本ビットはリード専用であり、0 または 1 書き込みを行っても内部状態に変化はありません。
0	ECEMF	ECC エラー表示フラグ 本ビットは現在のリードデータバスに対してエラーが存在することを示すフラグです。本ビットは RAM 出力データごとに更新されます。スルーモード許可選択（ECTHM＝1）時、およびデコード回路入力データに 1 ビットエラーがないときも本ビットはクリアされます。 　0：現在の RAM 出力データには、ビットエラーが存在していない。 　1：現在の RAM 出力データでは、ビットエラーが存在する。

注　意

ビット 2、1 をクリアする場合には、ECC エラー表示フラグ（ECEMF）がセットされていない時にクリアする必要があります。

(2) <Module_Name>TMC — ECC テストモードコントロールレジスタ

<Module_Name>TMC レジスタはテストモードへの切り替え、およびテストモード制御のためのレジスタです。

本レジスタは対象となる周辺モジュールが RAM アクセスしないときに使用できます。

ビット 7 への書き込みは、ETMA1, ETMA0 を 10_B にして実行してください。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　**「表 40C.42 ECC モジュール一覧」**、**「表 40C.43 レジスター覧」**を参照。

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ETMA1	ETMA0	—	—	—	—	—	—	ECTMCE	—	—	ECTRRS	ECREOS	ECENS	ECDCS	ECREIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W 注1	R/W 注1	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W

注1.　リード値は常に 0 が読み出されます。

表 40C.45　<Module_Name>TMC レジスタの内容

ビット位置	ビット名	機能
15	ETMA1	ECC テストモードビットへのアクセス制御ビット 1、0 本ビットは ECTMCE（ビット 7）の書き換え可否を設定するためのビットです。 書き込みデータは保持されません。読み出すと常に 0 が読み出されます。 本ビットのデータ値が 10_B のとき、ビット 7 への書き込みが可能になります。
14	ETMA0	
13～8	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
7	ECTMCE	ECC テストモードイネーブルビット 本ビットはテストレジスタおよび、本レジスタのテスト制御ビットへのアクセスを許可するかを選択するビットです。このビットの書き込み時は、ETMA1, ETMA0＝1, 0 を同時に書き込む必要があります。 0：テストモードレジスタおよびビットに対するアクセスを禁止する 1：テストモードレジスタおよびビットに対するアクセスを許可する テストレジスタ　:　<Module_Name>TED, <Module_Name>TRC, <Module_Name>SYND, <Module_Name>HORD, <Module_Name>ECRD, <Module_Name>ERDB レジスタテスト制御ビット　:　ECTRRS, ECREOS, ECENS, ECDCS, ECREIS
6、5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	ECTRRS	ECC RAM リードテストモード選択ビット 本ビットは<Module_Name>TED レジスタをリードする際の読み込み先、および<Module_Name>ERDB レジスタをリードする際の読み込み先を選択します。 本ビットへのライトアクセスは、ECTMCE＝1 のときのみ有効です（同時設定可能）。 また、本ビットは ECTMCE＝0 によりクリアされます（同期クリア）。 0：<Module_Name>TED レジスタのリード値は、<Module_Name>TED レジスタの書き込み値となります。 <Module_Name>ERDB レジスタのリード値は、<Module_Name>ERDB レジスタの書き込み値となります。 1：<Module_Name>TED レジスタのリード値は、RAM データが読み出せます。 <Module_Name>ERDB レジスタのリード値は、RAM に書き込まれる ECC データとなります。

表 40C.45　<Module_Name>TMC レジスタの内容

ビット位置	ビット名	機能
3	ECREOS	ECC 冗長ビット出力データ選択ビット 本ビットは RAM に格納する ECC データを書き込みデータに対して生成された ECC データとするか、または<Module_Name>ERDB レジスタの値とするかを選択するビットです。 本ビットへのライトアクセスは、ECTMCE＝1 のときのみ有効です（同時設定可能）。 また、本ビットは ECTMCE＝0 によりクリアされます（同期クリア）。 0：書き込みデータに対して生成された ECC データを RAM に格納する。 1：<Module_Name>ERDB レジスタの値を RAM に格納する。
2	ECENS	ECC エンコード入力選択ビット 本ビットは ECC データを生成する際の対象データを RAM への書き込みデータとするか、または<Module_Name>TED レジスタの値とするかを選択するビットです。 本ビットへのライトアクセスは、ECTMCE＝1 のときのみ有効です（同時設定可能）。 また、本ビットは ECTMCE＝0 によりクリアされます（同期クリア）。 0：RAM へのライトデータから ECC データを生成する。 1：<Module_Name>TED レジスタの値から ECC データを生成する。
1	ECDCS	ECC デコード入力選択ビット 本ビットはシンドロームコードの生成と誤り検出を行う際の対象データを、RAM データとするか、または<Module_Name>TED レジスタの値とするかを選択するビットです。 本ビットへのライトアクセスは、ECTMCE＝1 のときのみ有効です（同時設定可能）。 また、本ビットは ECTMCE＝0 によりクリアされます（同期クリア）。 0：RAM データからシンドロームコードの生成と誤り検出を行う。 1：<Module_Name>TED レジスタの値からシンドロームコードの生成と誤り検出を行う。
0	ECREIS	ECC 冗長ビット入力データ選択ビット 本ビットはシンドロームコードの生成と誤り検出を行う際の対象 ECC データを、RAM に格納された ECC データとするか、または<Module_Name>ERDB レジスタの値とするかを選択するビットです。 本ビットへのライトアクセスは、ECTMCE＝1 のときのみ有効です（同時設定可能）。 また、本ビットは ECTMCE＝0 によりクリアされます（同期クリア）。 0：RAM に格納された ECC データからシンドロームコードの生成と、誤り検出を行う。 1：<Module_Name>ERDB レジスタの値からシンドロームコードの生成と、誤り検出を行う。

(3) <Module_Name>TED ― ECC エンコード／デコード入出力代替テストレジスタ

ECC テストモードにおいて、テストデータを扱うレジスタです。

本レジスタの値から、ECC データの生成またはシンドロームコードの生成を行います。

ECC テストモードがイネーブル（<Module_Name>TMC.ECTMCE＝1）である場合にアクセス可能です。
<Module_Name>TMC.ECTMCE＝0 の場合は、書き込みは無効、読み出し値は 0000 0000$_H$ となります。

本レジスタは対象周辺モジュールが RAM アクセスしていないときに使用できます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス 「**表 40C.42 ECC モジュール一覧**」、「**表 40C.43 レジスタ一覧**」を参照。

リセット後の値 0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECEDB[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECEDB[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 40C.46 <Module_Name>TED レジスタの内容

ビット位置	ビット名	機能
31～0	ECEDB[31:0]	<Module_Name>TMC.ECENS＝1 において、本レジスタの値から ECC データを生成し、RAM へ格納します。 <Module_Name>TMC.ECDCS＝1 において、本レジスタの値からシンドロームコードを生成し、ECC デコードシンドロームデータレジスタ（<Module_Name>SYND）に格納します。 また、<Module_Name>TMC.ECTRRS＝1 の際には本レジスタのリード値は書き込んだデータではなく、RAM データ[31:0]が読み出されます。

(4) <Module_Name>TRC — ECC 冗長ビットデータコントロールテストレジスタ

ECC テストモードにおいて、ECC データに対するテストレジスタで、<Module_Name>SYND、<Module_Name>HORD、<Module_Name>ECRD、<Module_Name>ERDB の 4 つの 8 ビットレジスタで構成されます。

ECC テストモードがイネーブル（<Module_Name>TMC.ECTMCE＝1）である場合にアクセス可能です。<Module_Name>TMC.ECTMCE＝0 の場合は、書き込みは無効、読み出し値は 0000 0000_H となります。

本レジスタは対象周辺モジュールが RAM アクセスしていないときに使用できます。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス 「**表 40C.42 ECC モジュール一覧**」、「**表 40C.43 レジスタ一覧**」を参照。

リセット後の値 0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	<Module_Name>SYND（**(6)** 参照）								<Module_Name>HORD（**(7)** 参照）							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<Module_Name>ECRD（**(8)** 参照）								<Module_Name>ERDB（**(9)** 参照）							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(5) <Module_Name>AD0 — 対象 ECC エラーアドレスレジスタ 0

ECC エラー発生アドレスを格納するリード専用レジスタです。

ECC エラー判定許可状態で ECC エラーが検出されると、検出信号をトリガとして RAM アドレスがキャプチャされ、これが、エラー発生アドレスとして格納されます。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　「**表 40C.42 ECC モジュール一覧**」、「**表 40C.43 レジスタ一覧**」を参照。

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	ECEAD[30:16]														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECEAD[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40C.47　<Module_Name>AD0 レジスタの内容

ビット位置	ビット名	機能
31	予約ビット	リードした場合はリセット後の値が読めます。
30〜0	ECEAD[30:0]	ECEAD0 は ECC エラー発生アドレスを格納するリード専用レジスタです。 ECC エラー検出許可時に ECC エラーを検出すると、検出信号をトリガとして RAM アドレスがラッチされ、このアドレスが ECC エラー発生アドレスとして ECEAD0 に格納されます。 エラーステータスがセットされていなくても、最初の ECC エラー検出時にアドレスが格納されますが、1 ビットエラーの後に 2 ビットエラーが発生すると、格納されるのは 2 ビットエラーのアドレスとなります。 ECEAD0 には 1 つのアドレスしか格納できません。

(6) <Module_Name>SYND — ECC デコードシンドロームデータレジスタ

ECC テストモードにおいて、生成されたシンドロームコードが格納されるリード専用レジスタです。

書き込みは無効です。

ECC テストモードがイネーブル（<Module_Name>TMC.ECTMCE＝1）のときリードアクセスのみ可能、ディセーブル（<Module_Name>TMC.ECTMCE＝0）のとき読み出し値は 00_H となります。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　「表 40C.42 ECC モジュール一覧」、「表 40C.43 レジスタ一覧」を参照。

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	SYND6	SYND5	SYND4	SYND3	SYND2	SYND1	SYND0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 40C.48 <Module_Name>SYND レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。
6～0	SYND[6:0]	生成されたシンドロームコードが随時格納されます。

(7) <Module_Name>HORD — ECC7 ビット冗長ビットデータ保持テストレジスタ

ECC テストモードにおいて、読み出した RAM データに対する ECC データが格納されるレジスタです。

書き込みは無効です。

ECC テストモードがイネーブル（<Module_Name>TMC.ECTMCE＝1）のときリードアクセスのみ可能、ディセーブル（<Module_Name>TMC.ECTMCE＝0)のとき読み出し値は 00_H となります。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　「表 40C.42 ECC モジュール一覧」、「表 40C.43 レジスタ一覧」を参照。

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	HORD6	HORD5	HORD4	HORD3	HORD2	HORD1	HORD0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 40C.49 <Module_Name>HORD レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。
6～0	HORD[6:0]	読み出した RAM データに対する ECC コードが随時格納されます。 また、<Module_Name>TMC.ECTRRS＝1 の場合、<Module_Name>TED レジスタをリードした際にも ECC コードが格納されます。

(8) <Module_Name>ECRD — ECC エンコードテストレジスタ

ECC テストモードにおいて、書き込んだ RAM データに対して生成された ECC データが格納されるリード専用レジスタです。

書き込みは無効です。

ECC テストモードがイネーブル（<Module_Name>TMC.ECTMCE＝1）のときリードアクセスのみ可能、ディセーブル（<Module_Name>TMC.ECTMCE＝0）のとき読み出し値は 00_H となります。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　「**表 40C.42 ECC モジュール一覧**」、「**表 40C.43 レジスタ一覧**」を参照。

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	ECRD6	ECRD5	ECRD4	ECRD3	ECRD2	ECRD1	ECRD0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 40C.50　<Module_Name>ECRD レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6～0	ECRD[6:0]	RAM データ書き込み時に生成される ECC データを読み出すことができます。 また、<Module_Name>MC.ECENS＝1 の際には、<Module_Name>TED レジスタに書き込んだデータに対する ECC データを読み出すことができます。

(9) <Module_Name>ERDB — ECC リダンタントビット入出力代替バッファレジスタ

ECC テストモードおいて、ECC データを扱うレジスタです。

本レジスタの値は、RAM への書き込み時に生成される ECC データ、または RAM データの読み出し時に読み込まれる ECC データとして扱うことができます。

ECC テストモードがイネーブル（<Module_Name>TMC.ECTMCE＝1）である場合に、アクセスが可能です。<Module_Name>TMC.ECTMCE＝0 の場合は、書き込みは無効、読み出し値は 00_H となります。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　**「表 40C.42 ECC モジュール一覧」**、**「表 40C.43 レジスタ一覧」**を参照。

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	ERDB6	ERDB5	ERDB4	ERDB3	ERDB2	ERDB1	ERDB0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 40C.51　<Module_Name>ERDB レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6～0	ERDB[6:0]	<Module_Name>TMC.ECREOS＝1 の場合、本レジスタの値を ECC データとして RAM へ格納します。 <Module_Name>TMC.ECREIS＝1 の場合、本レジスタの値を RAM から読み出された ECC データとします。 また、<Module_Name>TMC.ECTRRS＝1 の際には本レジスタのリード値は書き込んだデータではなく、RAM に格納する ECC データが読み出されます。

(10) SELB_READTEST — ECCREAD テスト選択レジスタ

対象となる周辺モジュールの RAM ECC のレジスタのリード／ライトチェックに使用します。

各機能に対応するビットを“1”に設定することで、リードオンリービットにライトすることが可能になります。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　「**表 40C.42 ECC モジュール一覧**」、「**表 40C.43 レジスター覧**」を参照。

リセット後の値　0000_H

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RTCANFDE7A03	RTCANFDE7A02	RTCANFDE7A01	—	—	—	—	—	—	—	—	—	RTCSIHE7A3	RTCSIHE7A2	RTCSIHE7A1	RTCSIHE7A0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

表 40C.52　SELB_READTEST レジスタの内容

ビット位置	ビット名	機能
15	RTCANFDE7A03	RCFDC0（AFL バッファ 1）の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（RCFDC0 ECC のリードオンリービットへの書き込み可能）
14	RTCANFDE7A02	RCFDC0（AFL バッファ 0）の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（RCFDC0 ECC のリードオンリービットへの書き込み可能）
13	RTCANFDE7A01	RCFDC0（メッセージバッファ）の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（RCFDC0 ECC のリードオンリービットへの書き込み可能）
12～4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	RTCSIHE7A3	CSIH3 の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（CSIH3 ECC のリードオンリービットへの書き込み可能）
2	RTCSIHE7A2	CSIH2 の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（CSIH2 ECC のリードオンリービットへの書き込み可能）
1	RTCSIHE7A1	CSIH1 の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（CSIH1 ECC のリードオンリービットへの書き込み可能）
0	RTCSIHE7A0	CSIH0 の ECC レジスタテストライト許可／禁止ビット 0：テストライト禁止。 1：テストライト許可。（CSIH0 ECC のリードオンリービットへの書き込み可能）

40C.3　メモリ保護

40C.3.1　概要

本製品は、メモリ上のデータや周辺回路の制御レジスタを、誤ったアクセスから保護するためのメモリ保護機能を搭載しています。

- MPU

  CPU が、自分自身の不正なアクセスからメモリを保護します。MPU で禁止されたアドレスに対するアクセスは、CPU から発行されることはありません。詳細は、「*RH850 Family User's Manual: Software*」を参照してください。

- スレーブガード

  あらゆるバスマスタの不正なアクセスから、特定のメモリを保護します。スレーブガードには以下のものがあります。詳細は次節以降に示します。

  – PEG
  ローカル RAM を不正なアクセスから保護します。ただし、ローカル RAM を備える CPU 自身からのアクセスは保護対象外です。例えば、CPU1 から CPU1 内のローカル RAM へのアクセスは、PEG によってプロテクトされることはありません。詳細は「**第 3BC 章　RH850/F1KM の CPU システム**」を参照してください。

  – IPG
  CPU Peripheral を不正なアクセスから保護します。詳細は「**第 3BC 章　RH850/F1KM の CPU システム**」を参照してください。

  – PBG
  周辺回路の制御レジスタを不正なアクセスから保護します。詳細は、「**40C.3.2　PBG**」を参照してください。

  – PBGC
  CPU システムには、CPU システム用 PBG と呼ばれる専用の PBG 機能があります。詳細は、「**40C.3.3　CPU システム用 PBG**」を参照してください。

40C.3.1.1　スレーブガードの識別子

スレーブガード機能では、以下の識別子によってプロテクトすべき不正アクセスを指定することができます。

表 40C.53　スレーブガードの識別子

識別子	機能
UM	CPU のアクセス時に、その CPU の動作モードを示します。 0：スーパバイザモード 1：ユーザモード PDMA のアクセス時には、本識別子の値はチャネルマスタ設定レジスタの設定値となります。 その他のマスタのアクセス時には、本識別子の値は必ず 0 となります。
SPID	CPU のアクセス時に、その CPU に MCFG0.SPID で設定されたシステム保護識別子 SPID を示します。 PDMA のアクセス時には、本識別子の値はチャネルマスタ設定レジスタの値となります。 その他のマスタのアクセス時には、本識別子の値は必ず 00_B となります。
PEID	アクセス元のバスマスタを示します。 001_B：CPU1 PDMA のアクセス時には、本識別子の値はチャネルマスタ設定レジスタの設定値となります。

40C.3.2 PBG

PBG モジュールは複数の PBG グループに分かれており、各グループは最大 16 個の保護チャネルを備えています。1 つの PBG チャネルで、1 つの周辺回路に対して保護すべきアクセスを指定できます。

PBG グループごとに、拒否したアクセスの情報を保持することができます。

保護対象の周辺回路と、対応する PBG グループ名、および PBG チャネル番号を以下の表に示します。

表 40C.54　PBG グループとチャネルおよび対象モジュール

PBG グループ	グループ番号注 3	PBG チャネル番号	保護対象モジュール	対象レジスタ
PBG10	00	0	ECON_NMI	WDTNMIF WDTNMIFC
		1	ECON_FEINT	FEINTF FEINTFMSK FEINTFC
		2	SL_INTC	SELB_INTC1
		3	ADCA0	ADCA0 のすべてのレジスタ
		4	KR0	KR0KRM
		5	PORT （グループ A_ISO）	P9, P10, P11 のレジスタ（Pn, PSRn, PPRn, PNOTn, PIBCn を除く）
		6	PORT （グループ A_AWO）	P0, P8, AP0 のレジスタ（Pn, PSRn, PPRn, PNOTn, PIBCn を除く）
		7	JTAG （グループ A）	JP0 レジスタ（JP0, JPSR0, JPPR0, JPNOT0,JPIBC0 を除く）
		8	RLN30	RLIN30 のすべてのレジスタ
		9	RLN31	RLIN31 のすべてのレジスタ
		10	RLN32	RLIN32 のすべてのレジスタ
		11	RLN33	RLIN33 のすべてのレジスタ
PBG11	01	0	DNF (TAUD0)	DNFATAUD0ICTL DNFATAUD0IEN
		1	DNF (ADCA0)	DNFAADCTL0CTL DNFAADCTL0EN
		2	FCLA0 (ADCA0)	FCLA0CTLn_ADC0（n＝0～2）
		3	FCLA0 (NMI)	FCLA0CTL0_NMI
		4	FCLA0 (INTPn)	FCLA0CTLn_INTPL (n＝0～7)
		5	FCLA0 (INTPn)	FCLA0CTLn_INTPH（n＝0, 2～5）
		6	DNF (ENCA0)	DNFAENCA0ICTL DNFAENCA0IEN
		9	DNF (TAUB0)	DNFATAUB0ICTL DNFATAUB0IEN
		12	PORT （グループ B_ISO）	P9, P10, P11 のレジスタ（Pn, PSRn, PPRn, PNOTn, PIBCn）
		13	PORT （グループ B_AWO）	P0, P8, AP0 のレジスタ（Pn, PSRn, PPRn, PNOTn, PIBCn）
		14	JTAG（グループ B）	JP0 レジスタ（JP0, JPSR0, JPPR0,JPNOT0, JPIBC0）
PBG12	07	0	RLN240 (Global)	RLN240 のすべてのグローバルレジスタ
		1	RLN2400	RLN2400 のすべてのチャネルレジスタ
		2	RLN2401	RLN2401 のすべてのチャネルレジスタ
		3	RLN2402	RLN2402 のすべてのチャネルレジスタ
		15	DNF (RSENTn)	DNFASENTICTL DNFASENTIEN

表 40C.54　PBG グループとチャネルおよび対象モジュール

PBG グループ	グループ番号注 3	PBG チャネル番号	保護対象モジュール	対象レジスタ
PBG13	08	0	DCRA0	DCRA0 のすべてのレジスタ
		1	DCRA1	DCRA1 のすべてのレジスタ
		2	DCRA2	DCRA2 のすべてのレジスタ
		3	DCRA3	DCRA3 のすべてのレジスタ
		4	RIIC0	RIIC0 のすべてのレジスタ
		5	SL_READTEST	SELB_READTEST
		6	SL_DMAC	DTFSEL_TAUD0/DTFSEL_TAUB0
		8	RIIC1	RIIC1 のすべてのレジスタ
		9	予約領域	—
		10	予約領域	—
		11	予約領域	—
		13	RSENT0	RSENT0 のすべてのレジスタ
		14	RSENT1	RSENT1 のすべてのレジスタ
PBG20	02	0	TAUD0	TAUD0 のすべてのレジスタ（SELB_TAUD0I を除く）
		1	SL_TAUD0	SELB_TAUD0I
		2	TAUJ0	TAUJ0 のすべてのレジスタ（SELB_TAUJ0I を除く）
		3	SL_TAUJ0	SELB_TAUJ0I
		4	RTCA0	RTCA0 のすべてのレジスタ
		5	WDTA0	WDTA0 のすべてのレジスタ
		6	WDTA1	WDTA1 のすべてのレジスタ
		8	PIC0	PIC0 のすべてのレジスタ
		9	TAPA0	TAPA0 のすべてのレジスタ
		10	ENCA0	ENCA0 のすべてのレジスタ
		11	TAUJ1	TAUJ1 のすべてのレジスタ
PBG20	02	12	TAUB0	TAUB0 のすべてのレジスタ（SELB_TAUB0I 除く）
		13	予約領域	—
		14	PWBAn PWGAn PWSAn SLPWG PWGA_INTF	PWM-Diag のすべてのレジスタ
		15	SL_TAUJ2	SELB_TAUJ2I
PBG21	09	0	フラッシュメモリ（DCIB）	EEPRDCYCL
		1	DFECC	DFECCCTL, DFERSTR, DFERSTC, DFOVFSTR, DFOVFSTC, DFERRINT, DFEADR, DFTSTCTL
		5	SL_TAUB0	SELB_TAUB0I
		8	TAUJ2	TAUJ2 のすべてのレジスタ（SELB_TAUJ2I 除く）
		9	TAUJ3	TAUJ3 のすべてのレジスタ
PBG30	03	0	RCFDC0 (チャネル 0)	RCFDC0 Ch0 グループ注 4 のすべてのレジスタ
		1	RCFDC0 (チャネル 1)	RCFDC0 Ch1 グループ注 4 のすべてのレジスタ
		2	RCFDC0 (チャネル 2)	RCFDC0 Ch2 グループ注 4 のすべてのレジスタ
		3	RCFDC0 (チャネル 3)	RCFDC0 Ch3 グループ注 4 のすべてのレジスタ
		4	RCFDC0 (チャネル 4)	RCFDC0 Ch4 グループ注 4 のすべてのレジスタ
		5	RCFDC0 (チャネル 5)	RCFDC0 Ch5 グループ注 4 のすべてのレジスタ
		8	RCFDC0 (Global)	RCFDC0 グローバルグループ注 4 のすべてのレジスタ

表 40C.54　PBG グループとチャネルおよび対象モジュール

PBG グループ	グループ番号注 3	PBG チャネル番号	保護対象モジュール	対象レジスタ
PBG31	04	0	OSTM0	OSTM0 のすべてのレジスタ
		4	ECCCSIH0	ECC CSIH0 のすべてのレジスタ
		5	ECCCSIH1	ECC CSIH1 のすべてのレジスタ
		6	ECCCSIH2	ECC CSIH2 のすべてのレジスタ
		7	ECCCSIH3	ECC CSIH3 のすべてのレジスタ
		8	ECCCFD0MB	ECCCFD0MB のすべてのレジスタ
		9	ECCCFD0AFL0	ECCCFD0AFL0 のすべてのレジスタ
		10	ECCCFD0AFL1	ECCCFD0AFL1 のすべてのレジスタ
PBG32	05	0	CSIH0（グループ A）	CSIH0CTL0～2, CSIH0STR0, CSIH0STCR0, CSIH0EMU
		1	CSIH0（グループ B）	上記以外の CSIH0 レジスタ
		2	CSIH1（グループ A）	CSIH1CTL0～2, CSIH1STR0, CSIH1STCR0, CSIH1EMU
		3	CSIH1（グループ B）	上記以外の CSIH1 レジスタ
		4	CSIH2（グループ A）	CSIH2CTL0～2, CSIH2STR0, CSIH2STCR0, CSIH2EMU
		5	CSIH2（グループ B）	上記以外の CSIH2 レジスタ
		6	CSIH3（グループ A）	CSIH3CTL0～2, CSIH3STR0, CSIH3STCR0, CSIH3EMU
		7	CSIH3（グループ B）	上記以外の CCSIH3 レジスタ
		8	CSIG0（グループ A）	CSIG0CTL0～2, CSIG0STR0, CSIG0STCR0, CSIG0EMU
		9	CSIG0（グループ B）	上記以外の CSIG0 レジスタ
PBG50	06	0	システムコントロール注 1	書き込み保護機能、リセットコントローラ、電源回路、電源電圧モニタ、クロックコントローラ、クロックモニタ、スタンバイコントローラ、ロウパワーサンプラのすべてのレジスタ注 1（STBC0PSC, STBC0STPT, SWRESA, PROTCMD0, PROTS0, JPPCMD0, JPPROTS0, PPCMD0, PPCMD8～11, PPROTS0, PPROTS8～11, FLMDPCMD, FLMDPS を除く）
		1	STBC0	STBC0PSC, STBC0STPT
		4	RESCTL	SWRESA
		5	フラッシュメモリ（セルフプログラミング）	FLMD 注 2
		6	フラッシュメモリ（制御）	—注 2
		7	フラッシュメモリ（SCDS）	PRDNAME1～3, CHIPID1～2
		8	WPROTR	PROTCMD0 PROTS0

注1.　詳細は、**「第 5 章　書き込み保護レジスタ」**、**「第 9BC 章　RH850/F1KM のリセット」**、**「第 10C 章　電源とパワードメイン (RH850/F1KM-S1)」**、**「第 11BC 章　電源電圧モニタ (RH850/F1KM)」**、**「第 12C 章　クロックコントローラ (RH850/F1KM-S1)」**、**「第 13 章　クロックモニタ（CLMA）」**、**「第 14 章　スタンバイコントローラ（STBC）」**、**「第 15 章　ロウパワーサンプラ（LPS）」**を参照してください。

注2.　フラッシュメモリ用の PBG レジスタについては、「*RH850/F1KH, F1KM, F1K　フラッシュメモリ　ユーザーズマニュアル　ハードウェアインタフェース編*」を参照してください。

注3.　PBG レジスタのアドレスについては、**「表 40C.55　PBG 保護レジスター覧」**を参照してください。

注4.　RS-CANFD ガードグループについては、**「第 24 章　CANFD インタフェース（RS-CANFD）」**を参照してください。

備　考

各クロックドメインのレジスタアクセスクロックを無効にする前に、PBG を有効にして下さい。

40C.3.2.1　レジスター覧

PBG グループごとに実装されるレジスタを以下の表に示します。PBG グループは、そのままモジュール名となります。

表 40C.55　PBG 保護レジスター覧

PBG グループ注 1	グループ番号注 2	略号	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ	パワードメイン
PBG10	00	FSGD00PROT0	PBG00 保護レジスタ 0	R/W	066F FFF7H	FFC4 0000H	8/16/32	ISO
		FSGD00PROT1	PBG00 保護レジスタ 1	R/W	066F FFF7H	FFC4 0004H	8/16/32	
		FSGD00PROT2	PBG00 保護レジスタ 2	R/W	066F FFF7H	FFC4 0008H	8/16/32	
		FSGD00PROT3	PBG00 保護レジスタ 3	R/W	066F FFF7H	FFC4 000CH	8/16/32	
		FSGD00PROT4	PBG00 保護レジスタ 4	R/W	066F FFF7H	FFC4 0010H	8/16/32	
		FSGD00PROT5	PBG00 保護レジスタ 5	R/W	066F FFF7H	FFC4 0014H	8/16/32	
		FSGD00PROT6	PBG00 保護レジスタ 6	R/W	066F FFF7H	FFC4 0018H	8/16/32	
		FSGD00PROT7	PBG00 保護レジスタ 7	R/W	066F FFF7H	FFC4 001CH	8/16/32	
		FSGD00PROT8	PBG00 保護レジスタ 8	R/W	066F FFF7H	FFC4 0020H	8/16/32	
		FSGD00PROT9	PBG00 保護レジスタ 9	R/W	066F FFF7H	FFC4 0024H	8/16/32	
		FSGD00PROT10	PBG00 保護レジスタ 10	R/W	066F FFF7H	FFC4 0028H	8/16/32	
		FSGD00PROT11	PBG00 保護レジスタ 11	R/W	066F FFF7H	FFC4 002CH	8/16/32	
PBG11	01	FSGD01PROT0	PBG01 保護レジスタ 0	R/W	066F FFF7H	FFC4 0100H	8/16/32	ISO
		FSGD01PROT1	PBG01 保護レジスタ 1	R/W	066F FFF7H	FFC4 0104H	8/16/32	
		FSGD01PROT2	PBG01 保護レジスタ 2	R/W	066F FFF7H	FFC4 0108H	8/16/32	
		FSGD01PROT3	PBG01 保護レジスタ 3	R/W	066F FFF7H	FFC4 010CH	8/16/32	
		FSGD01PROT4	PBG01 保護レジスタ 4	R/W	066F FFF7H	FFC4 0110H	8/16/32	
		FSGD01PROT5	PBG01 保護レジスタ 5	R/W	066F FFF7H	FFC4 0114H	8/16/32	
		FSGD01PROT6	PBG01 保護レジスタ 6	R/W	066F FFF7H	FFC4 0118H	8/16/32	
		—	予約	—	—	FFC4 011CH	—	
		—	予約	—	—	FFC4 0120H	—	
		FSGD01PROT9	PBG01 保護レジスタ 9	R/W	066F FFF7H	FFC4 0124H	8/16/32	
		—	予約	—	—	FFC4 0128H	—	
		—	予約	—	—	FFC4 012CH	—	
		FSGD01PROT12	PBG01 保護レジスタ 12	R/W	066F FFF7H	FFC4 0130H	8/16/32	
		FSGD01PROT13	PBG01 保護レジスタ 13	R/W	066F FFF7H	FFC4 0134H	8/16/32	
		FSGD01PROT14	PBG01 保護レジスタ 14	R/W	066F FFF7H	FFC4 0138H	8/16/32	
PBG12	07	FSGD07PROT0	PBG07 保護レジスタ 0	R/W	066F FFF7H	FFC4 0400H	8/16/32	ISO
		FSGD07PROT1	PBG07 保護レジスタ 1	R/W	066F FFF7H	FFC4 0404H	8/16/32	
		FSGD07PROT2	PBG07 保護レジスタ 2	R/W	066F FFF7H	FFC4 0408H	8/16/32	
		FSGD07PROT3	PBG07 保護レジスタ 3	R/W	066F FFF7H	FFC4 040CH	8/16/32	
		—	予約	—	—	FFC4 0410H	—	
		—	予約	—	—	FFC4 0414H	—	
		—	予約	—	—	FFC4 0418H	—	
		—	予約	—	—	FFC4 041CH	—	
		—	予約	—	—	FFC4 0420H	—	
		—	予約	—	—	FFC4 0424H	—	
		—	予約	—	—	FFC4 0428H	—	
		—	予約	—	—	FFC4 042CH	—	
		—	予約	—	—	FFC4 0430H	—	
		FSGD07PROT15	PBG07 保護レジスタ 15	R/W	066F FFF7H	FFC4 043CH	8/16/32	

表 40C.55　PBG 保護レジスター覧

PBG グループ注 1	グループ番号注 2	略号	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ	パワードメイン
PBG13	08	FSGD08PROT0	PBG08 保護レジスタ 0	R/W	$066F\ FFF7_H$	$FFC4\ 0500_H$	8/16/32	ISO
		FSGD08PROT1	PBG08 保護レジスタ 1	R/W	$066F\ FFF7_H$	$FFC4\ 0504_H$	8/16/32	
		FSGD08PROT2	PBG08 保護レジスタ 2	R/W	$066F\ FFF7_H$	$FFC4\ 0508_H$	8/16/32	
		FSGD08PROT3	PBG08 保護レジスタ 3	R/W	$066F\ FFF7_H$	$FFC4\ 050C_H$	8/16/32	
		FSGD08PROT4	PBG08 保護レジスタ 4	R/W	$066F\ FFF7_H$	$FFC4\ 0510_H$	8/16/32	
		FSGD08PROT5	PBG08 保護レジスタ 5	R/W	$066F\ FFF7_H$	$FFC4\ 0514_H$	8/16/32	
		FSGD08PROT6	PBG08 保護レジスタ 6	R/W	$066F\ FFF7_H$	$FFC4\ 0518_H$	8/16/32	
		—	予約	—	—	$FFC4\ 051C_H$	—	
		FSGD08PROT8	PBG08 保護レジスタ 8	R/W	$066F\ FFF7_H$	$FFC4\ 0520_H$	8/16/32	
		—	予約	—	—	$FFC4\ 0524_H$	—	
		—	予約	—	—	$FFC4\ 0528_H$	—	
		—	予約	—	—	$FFC4\ 052C_H$	—	
		—	予約	—	—	$FFC4\ 0530_H$	—	
		FSGD08PROT13	PBG08 保護レジスタ 13	R/W	$066F\ FFF7_H$	$FFC4\ 0534_H$	8/16/32	
		FSGD08PROT14	PBG08 保護レジスタ 14	R/W	$066F\ FFF7_H$	$FFC4\ 0538_H$	8/16/32	
PBG20	02	FSGD02PROT0	PBG02 保護レジスタ 0	R/W	$066F\ FFF7_H$	$FFDD\ D000_H$	8/16/32	ISO
		FSGD02PROT1	PBG02 保護レジスタ 1	R/W	$066F\ FFF7_H$	$FFDD\ D004_H$	8/16/32	
		FSGD02PROT2	PBG02 保護レジスタ 2	R/W	$066F\ FFF7_H$	$FFDD\ D008_H$	8/16/32	
		FSGD02PROT3	PBG02 保護レジスタ 3	R/W	$066F\ FFF7_H$	$FFDD\ D00C_H$	8/16/32	
		FSGD02PROT4	PBG02 保護レジスタ 4	R/W	$066F\ FFF7_H$	$FFDD\ D010_H$	8/16/32	
		FSGD02PROT5	PBG02 保護レジスタ 5	R/W	$066F\ FFF7_H$	$FFDD\ D014_H$	8/16/32	
		FSGD02PROT6	PBG02 保護レジスタ 6	R/W	$0607\ FE77_H$	$FFDD\ D018_H$	8/16/32	
		—	予約	—	—	$FFDD\ D01C_H$	—	
		FSGD02PROT8	PBG02 保護レジスタ 8	R/W	$066F\ FFF7_H$	$FFDD\ D020_H$	8/16/32	
		FSGD02PROT9	PBG02 保護レジスタ 9	R/W	$066F\ FFF7_H$	$FFDD\ D024_H$	8/16/32	
		FSGD02PROT10	PBG02 保護レジスタ 10	R/W	$066F\ FFF7_H$	$FFDD\ D028_H$	8/16/32	
		FSGD02PROT11	PBG02 保護レジスタ 11	R/W	$066F\ FFF7_H$	$FFDD\ D02C_H$	8/16/32	
		FSGD02PROT12	PBG02 保護レジスタ 12	R/W	$066F\ FFF7_H$	$FFDD\ D030_H$	8/16/32	
		—	予約	—	—	$FFDD\ D034_H$	—	
		FSGD02PROT14	PBG02 保護レジスタ 14	R/W	$066F\ FFF7_H$	$FFDD\ D038_H$	8/16/32	
		FSGD02PROT15	PBG02 保護レジスタ 15	R/W	$066F\ FFF7_H$	$FFDD\ D03C_H$	8/16/32	
PBG21	09	FSGD09PROT0	PBG09 保護レジスタ 0	R/W	$066F\ FFF7_H$	$FFDD\ D100_H$	8/16/32	ISO
		FSGD09PROT1	PBG09 保護レジスタ 1	R/W	$066F\ FFF7_H$	$FFDD\ D104_H$	8/16/32	
		—	予約	—	—	$FFDD\ D108_H$	—	
		—	予約	—	—	$FFDD\ D10C_H$	—	
		—	予約	—	—	$FFDD\ D110_H$	—	
		FSGD09PROT5	PBG09 保護レジスタ 5	R/W	$066F\ FFF7_H$	$FFDD\ D114_H$	8/16/32	
		—	予約	—	—	$FFDD\ D118_H$	—	
		—	予約	—	—	$FFDD\ D11C_H$	—	
		FSGD09PROT8	PBG09 保護レジスタ 8	R/W	$066F\ FFF7_H$	$FFDD\ D120_H$	8/16/32	
		FSGD09PROT9	PBG09 保護レジスタ 9	R/W	$066F\ FFF7_H$	$FFDD\ D124_H$	8/16/32	

表 40C.55　PBG 保護レジスター覧

PBG グループ[注1]	グループ番号[注2]	略号	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ	パワードメイン
PBG30	03	FSGD03PROT0	PBG03 保護レジスタ 0	R/W	066F FFF7$_H$	FFF9 4000$_H$	8/16/32	ISO
		FSGD03PROT1	PBG03 保護レジスタ 1	R/W	066F FFF7$_H$	FFF9 4004$_H$	8/16/32	
		FSGD03PROT2	PBG03 保護レジスタ 2	R/W	066F FFF7$_H$	FFF9 4008$_H$	8/16/32	
		FSGD03PROT3	PBG03 保護レジスタ 3	R/W	066F FFF7$_H$	FFF9 400C$_H$	8/16/32	
		FSGD03PROT4	PBG03 保護レジスタ 4	R/W	066F FFF7$_H$	FFF9 4010$_H$	8/16/32	
		FSGD03PROT5	PBG03 保護レジスタ 5	R/W	066F FFF7$_H$	FFF9 4014$_H$	8/16/32	
		—	予約	—	—	FFF9 4018$_H$	—	
		—	予約	—	—	FFF9 401C$_H$	—	
		FSGD03PROT8	PBG03 保護レジスタ 8	R/W	066F FFF7$_H$	FFF9 4020$_H$	8/16/32	
PBG31	04	FSGD04PROT0	PBG04 保護レジスタ 0	R/W	066F FFF7$_H$	FFF9 4100$_H$	8/16/32	ISO
		—	予約	—	—	FFF9 4104$_H$	—	
		—	予約	—	—	FFF9 4108$_H$	—	
		—	予約	—	—	FFF9 410C$_H$	—	
		FSGD04PROT4	PBG04 保護レジスタ 4	R/W	066F FFF7$_H$	FFF9 4110$_H$	8/16/32	
		FSGD04PROT5	PBG04 保護レジスタ 5	R/W	066F FFF7$_H$	FFF9 4114$_H$	8/16/32	
		FSGD04PROT6	PBG04 保護レジスタ 6	R/W	066F FFF7$_H$	FFF9 4118$_H$	8/16/32	
		FSGD04PROT7	PBG04 保護レジスタ 7	R/W	066F FFF7$_H$	FFF9 411C$_H$	8/16/32	
		FSGD04PROT8	PBG04 保護レジスタ 8	R/W	066F FFF7$_H$	FFF9 4120$_H$	8/16/32	
		FSGD04PROT9	PBG04 保護レジスタ 9	R/W	066F FFF7$_H$	FFF9 4124$_H$	8/16/32	
		FSGD04PROT10	PBG04 保護レジスタ 10	R/W	066F FFF7$_H$	FFF9 4128$_H$	8/16/32	
PBG32	05	FSGD05PROT0	PBG05 保護レジスタ 0	R/W	066F FFF7$_H$	FFF9 4200$_H$	8/16/32	ISO
		FSGD05PROT1	PBG05 保護レジスタ 1	R/W	066F FFF7$_H$	FFF9 4204$_H$	8/16/32	
		FSGD05PROT2	PBG05 保護レジスタ 2	R/W	066F FFF7$_H$	FFF9 4208$_H$	8/16/32	
		FSGD05PROT3	PBG05 保護レジスタ 3	R/W	066F FFF7$_H$	FFF9 420C$_H$	8/16/32	
		FSGD05PROT4	PBG05 保護レジスタ 4	R/W	066F FFF7$_H$	FFF9 4210$_H$	8/16/32	
		FSGD05PROT5	PBG05 保護レジスタ 5	R/W	066F FFF7$_H$	FFF9 4214$_H$	8/16/32	
		FSGD05PROT6	PBG05 保護レジスタ 6	R/W	066F FFF7$_H$	FFF9 4218$_H$	8/16/32	
		FSGD05PROT7	PBG05 保護レジスタ 7	R/W	066F FFF7$_H$	FFF9 421C$_H$	8/16/32	
		FSGD05PROT8	PBG05 保護レジスタ 8	R/W	066F FFF7$_H$	FFF9 4220$_H$	8/16/32	
		FSGD05PROT9	PBG05 保護レジスタ 9	R/W	066F FFF7$_H$	FFF9 4224$_H$	8/16/32	
PBG50	06	FSGD06PROT0	PBG06 保護レジスタ 0	R/W	066F FFF7$_H$	FFF9 0000$_H$	8/16/32	ISO
		FSGD06PROT1	PBG06 保護レジスタ 1	R/W	0647 FF77$_H$	FFF9 0004$_H$	8/16/32	
		—	予約	—	—	FFF9 0008$_H$	—	
		—	予約	—	—	FFF9 000C$_H$	—	
		FSGD06PROT4	PBG06 保護レジスタ 4	R/W	066F FFF7$_H$	FFF9 0010$_H$	8/16/32	
		FSGD06PROT5	PBG06 保護レジスタ 5	R/W	066F FFF7$_H$	FFF9 0014$_H$	8/16/32	
		—	予約	—	—	FFF9 0018$_H$	—	
		FSGD06PROT7	PBG06 保護レジスタ 7	R/W	066F FFF7$_H$	FFF9 001C$_H$	8/16/32	
		FSGD06PROT8	PBG06 保護レジスタ 8	R/W	066F FFF7$_H$	FFF9 0020$_H$	8/16/32	

注1.　モジュール名を示します。

注2.　レジスタ名の添字

PBG グループごとに実装されるレジスタを以下の表に示します。

表 40C.56　PBG エラーレジスタ一覧

モジュール名	略号	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ
PBGxx	ERRSLVxxCTL	PBGxx エラーコントロールレジスタ	W	0000 0000_H	<base_addr0> + 0_H	8/16/32
	ERRSLVxxSTAT	PBGxx エラーステータスレジスタ	R	0000 0000_H	<base_addr0> + 4_H	8/16/32
	ERRSLVxxADDR	PBGxx エラーアドレスレジスタ	R	0000 0000_H	<base_addr0> + 8_H	32
	ERRSLVxxTYPE	PBGxx エラータイプレジスタ	R	0000 0000_H	<base_addr0> + C_H	16/32

上記の表では、レジスタ名や略号の“xx”は PBG のグループ番号を示します。以下の表に各 PBG グループ番号に対応するベースアドレス値<base_addr0>を示します。

表 40C.57　PBG グループ番号とエラーベースアドレス

PBG グループ	PBG グループ番号	<base_addr0>
PBG10	00	FFC4 0040_H
PBG11	01	FFC4 0140_H
PBG12	07	FFC4 0440_H
PBG13	08	FFC4 0540_H
PBG20	02	FFDD $D040_H$
PBG21	09	FFDD $D140_H$
PBG30	03	FFF9 4040_H
PBG31	04	FFF9 4140_H
PBG32	05	FFF9 4240_H
PBG50	06	FFF9 0040_H

40C.3.2.2　　レジスタ詳細

(1) FSGDxxPROTn ― PBGxx 保護レジスタ n

FSGDxxPROTn レジスタは、保護対象である周辺回路制御レジスタに対するアクセス禁止／許可を指定します。いずれかの識別子で禁止されたアクセスは、不正アクセスとして拒否されます。レジスタ名および略号の“n”は、PBG チャネル番号を表します。

アクセス　FSGDxxPROTn レジスタは、32 ビット単位でリード／ライト可能です。
FSGDxxPROTnL、FSGDxxPROTnH レジスタは、16 ビット単位でリード／ライト可能です。
FSGDxxPROTnLL、FSGDxxPROTnHL、FSGDxxPROTnHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　「**表 40C.55 PBG 保護レジスター覧**」を参照してください。

リセット後の値　「**表 40C.55 PBG 保護レジスター覧**」を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PROTLOCK	—	—	—	—	—	PROTUM	—	—	—	—	—	—	PROTPEID1	—	—
リセット後の値	0	0	0	0	0	1	1	注1	注1	注1	注1	注1	注1	注1	注1	1
R/W	R/W	R	R	R	R	R	R/W	R	R	R	R	R	R	R/W	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PROTSPID3	PROTSPID2	PROTSPID1	PROTSPID0	—	PROTRDPDEF	PROTWRPDEF	PROTRD	PROTWR
リセット後の値	1	1	1	1	1	1	1	注1	注1	注1	注1	1	0	1	1	1
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W

注1.　各レジスタで異なります。「**40C.3.2.1 レジスター覧**」を参照してください。

表 40C.58　FSGDxxPROTn レジスタの内容

ビット位置	ビット名	機能
31	PROTLOCK	レジスタのロック 0：FSGDxxPROTn レジスタの書き換え許可 1：FSGDxxPROTn レジスタの書き換え禁止 PROTLOCK を 1 にセットすると、リセットがアサートするまで値が保持されます。
30～26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25	PROTUM	ユーザモードでのアクセス 0：スーパバイザモードでのアクセスを許可します。 1：ユーザモードとスーパバイザモードのアクセスを許可します。
24～19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
18	PROTPEID1	PEID＝1（CPU1）によるアクセス[注1] 0：PEID1 のアクセスを禁止します。 1：PEID1 のアクセスを許可します。
17～9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	PROTSPID3	SPID＝3 によるアクセス[注2、注3] 0：SPID3 でのアクセスを禁止します。 1：SPID3 でのアクセスを許可します。
7	PROTSPID2	SPID＝2 によるアクセス[注2、注3] 0：SPID2 でのアクセスを禁止します。 1：SPID2 でのアクセスを許可します。

表 40C.58　FSGDxxPROTn レジスタの内容

ビット位置	ビット名	機能
6	PROTSPID1	SPID＝1（CPU1）によるアクセス[注 2、注 3] 0：SPID1 でのアクセスを禁止します。 1：SPID1 でのアクセスを許可します。
5	PROTSPID0	SPID＝0 によるアクセス[注 2、注 3] 0：SPID0 でのアクセスを禁止します。 1：SPID0 でのアクセスを許可します。
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	PROTRDPDEF	デフォルトリード保護 0：本レジスタでの他の設定にかかわらず、いずれのマスタからのリードアクセスを許可します。 1：PROTRD ビットの設定に依存します。
2	PROTWRPDEF	デフォルトライト保護 0：本レジスタでの他の設定にかかわらず、いずれのマスタからのライトアクセスを許可します。 1：PROTWR ビットの設定に依存します。
1	PROTRD	読み出し許可 0：フィルタリングされたバスマスタによるリードアクセスを禁止します。 1：フィルタリングされたバスマスタによるリードアクセスを許可します。
0	PROTWR	書き込み許可 0：フィルタリングされたバスマスタによるライトアクセスを禁止します。 1：フィルタリングされたバスマスタによるライトアクセスを許可します。

注1.　PEID によるアクセス
PROTPEID は各ビットがそれぞれ 1 つの PEID 値に対応するビットリストです。
複数のビットを設定することによって同時に複数のバスマスタの ID 値を許可します。

注2.　SPID によるアクセス
PROTSPID は各ビットがそれぞれ 1 つの SPID 値に対応するビットリストです。
複数のビットを設定することによって同時に複数のマスタの ID 値を許可します。

注3.　SPID については、「**表 40C.53　スレーブガードの識別子**」を参照してください。

(2) ERRSLVxxCTL — PBGxx エラーコントロールレジスタ

ERRSLVxxCTL レジスタは PBGxx のエラーステータスレジスタのステータスをクリアするためのレジスタです。

アクセス	ERRSLVxxCTL レジスタは、32 ビット単位でライトのみ可能です。 ERRSLVxxCTLL レジスタは、16 ビット単位でライトのみ可能です。 ERRSLVxxCTLLL レジスタは、8 ビット単位でライトのみ可能です。
アドレス	ERRSLVxxCTL：<base_addr0> + 0_H ERRSLVxxCTLL：<base_addr0> + 0_H ERRSLVxxCTLLL：<base_addr0> + 0_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLRO	CLRE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W

表 40C.59　ERRSLVxxCTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	ライトする場合はリセット後の値を書いてください。
1	CLRO	オーバフローフラグをクリアします。 0：オーバフローフラグをクリアしません。 1：オーバフローフラグをクリアします。
0	CLRE	エラーフラグをクリアします。 0：エラーフラグをクリアしません。 1：エラーフラグをクリアします。

表 40C.60　ERRSLVxxCTL レジスタの CLRO および CLRE

CLRO	CLRE	機能
0	0	どちらのビットもクリアしません。
0	1	設定禁止
1	0	OVF ビットをクリアします。
1	1	OVF と ERR ビットをクリアします。

(3) ERRSLVxxSTAT — PBGxx エラーステータスレジスタ

ERRSLVxxSTAT レジスタは PBGxx で拒否した不正アクセスのステータスを保持するためのレジスタです。

アクセス	ERRSLVxxSTAT レジスタは、32 ビット単位でリードのみ可能です。 ERRSLVxxSTATL レジスタは、16 ビット単位でリードのみ可能です。 ERRSLVxxSTATLL レジスタは、8 ビット単位でリードのみ可能です。
アドレス	ERRSLVxxSTAT : <base_addr0> + 4_H ERRSLVxxSTATL : <base_addr0> + 4_H ERRSLVxxSTATLL : <base_addr0> + 4_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OVF	ERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40C.61　ERRSLVxxSTAT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1	OVF	エラーエントリオーバフローフラグ 0：オーバフローなし 1：オーバフロー発生 PBG のエラーエントリ段数は 1 のため、最初のガード違反が発生し、エラーステータスフラグがセットされた状態で再度ガード違反が発生した場合、エラーエントリがオーバフローし、本フラグがセットされます。 このオーバフローは INTGUARD に通知されます。 さらに、INTGUARD によってオーバフローが発生したかどうかを判断することはできません。オーバフロー・チェックの場合、OVF ビットをチェックする必要があります。オーバフローが発生した際のガード違反のエラー情報はキャプチャされません。
0	ERR	エラーステータスフラグ 0：PBG 保護違反なし 1：PBG 保護違反発生

(4) ERRSLVxxADDR ― PBGxx エラーアドレスレジスタ

ERRSLVxxADDR レジスタは PBGxx で拒否した不正アクセスのアドレスを保持するためのレジスタです。
対応する ERRSLVxSTAT.ERR が 1 の場合は、本レジスタは更新されません。

アクセス　ERRSLVxxADDR レジスタは、32 ビット単位でリードのみ可能です。

アドレス　ERRSLVxxADDR：<base_addr0> + 8_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADDR[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADDR[15:2]														―	―
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40C.62　ERRSLVxxADDR レジスタの内容

ビット位置	ビット名	機能
31～2	ADDR[31:2]	PBG 保護違反が生成されたアドレス
1、0	予約ビット	リードした場合はリセット後の値が読めます。

(5) ERRSLVxxTYPE ― PBGxx エラータイプレジスタ

ERRSLVxxTYPE レジスタは PBGxx で拒否した不正アクセスのタイプを保持するためのレジスタです。対応する ERRSLVxxSTAT.ERR が 1 の場合は、本レジスタは更新されません。

アクセス	ERRSLVxxTYPE レジスタは、32 ビット単位でリードのみ可能です。
	ERRSLVxxTYPEL レジスタは、16 ビット単位でリードのみ可能です。
アドレス	ERRSLVxxTYPE：<base_addr0> + C_H
	ERRSLVxxTYPEL：<base_addr0> + C_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PEID[2:0]			—	—	—	SPID[1:0]		—	UM	—	—	—	—	—	WRITE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40C.63　ERRSLVxxTYPE レジスタの内容

ビット位置	ビット名	ビット名機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。
15～13	PEID[2:0]	PBG 保護違反を発生させたアクセス元の PEID。
12～10	予約ビット	リードした場合はリセット後の値が読めます。
9、8	SPID[1:0]	PBG 保護違反を発生させたアクセス元の SPID。
7	予約ビット	リードした場合はリセット後の値が読めます。
6	UM	PBG 保護違反を発生させたアクセス元の UM。
5	予約ビット	リードした場合はリセット後の値が読めます。
4～1	予約ビット	リードした場合は不定値が読めます。
0	WRITE	PBG 保護違反を発生させたアクセスがライトの場合、1 が設定されます。

40C.3.3 CPU システム用 PBG

PBGC モジュールは、PBGC0 と PBGC1 の 2 つの PBGC グループに分かれています。PBGC0 グループには、INTC2 および DMA 機能に対する保護レジスタが含まれています。PBGC1 グループには、ECC コントロール機能などに対する保護レジスタが含まれています。各 PBGC グループには、拒否されたアクセスに関する情報が格納されます。

保護対象のレジスタおよび対応する PBGC グループ名を以下の表に示します。

表 40C.64 CPU サブシステム用 PBG に対する対象レジスタ

PBGC グループ	グループ番号	チャネル番号	保護対象モジュール	保護対象モジュール対象レジスタ
PBGC0	C0 （CPU システムに対する PBC グループ 0）	0	INTC2	ICxxx（xxx＝32～357） IMRm（m＝1～11） （**「第 7BC 章 RH850/F1KM の例外／割り込み」**を参照）
		1	PDMA0	DMA コントローラ内のすべてのレジスタ （**「第 8 章 DMA コントローラ」**を参照）
PBGC1	C1 （CPU システムに対する PBC グループ 1）	0	フラッシュメモリ （プログラミング機能）	BFASELR 注 1
		1	コードフラッシュ ECC コントロールレジスタ（VCI）	CFECCCTL_VCI CFERRINT_VCI CFSTCLR_VCI CFOVFSTR_VCI CF1STERSTR_VCI CF1STEADR0_VCI CFSTSTCTL_VCI
		2	コードフラッシュ ECC コントロールレジスタ（PE1）	CFECCCTL_PE1 CFERRINT_PE1 CFSTCLR_PE1 CFOVFSTR_PE1 CF1STERSTR_PE1 CF1STEADR0_PE1
		3	ローカル RAM ECC コントロールレジスタ（PE1）	LRTSTCTL_PE1 LRTDATBF0_PE1 LRECCCTL_PE1 LRERRINT_PE1 LRSTCLR_PE1 LROVFSTR_PE1 LR1STERSTR_PE1 LR1STEADR0_PE1
		4	オンチップデバッグモジュール	EPC （**「第 43 章 オンチップデバッグユニット（OCD）」**を参照）
		5	バッファコントローラ	FBUFCCTL （**「第 3BC 章 RH850/F1KM の CPU システム」**を参照）

注1. フラッシュメモリ用の PBGC レジスタについては、「*RH850/F1KH, F1KM, F1K フラッシュメモリ ユーザーズマニュアル ハードウェアインタフェース編*」を参照してください。

40C.3.3.1　レジスター覧

PBGC グループごとに実装されるレジスタを以下の表に示します。PBG グループは、そのままモジュール名となります。

表 40C.65　PBGC 保護レジスター覧

PBG グループ注1	グループ番号	略号	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ	パワードメイン
PBGC0	C0	FSGDC0PROT0	PBGC0 保護レジスタ 0	R/W	07FF FFFF$_H$	FFC4 C000$_H$	8/16/32	ISO
		FSGDC0PROT1	PBGC0 保護レジスタ 1	R/W	07FF FFFF$_H$	FFC4 C004$_H$	8/16/32	
PBGC1	C1	FSGDC1PROT0	PBGC1 保護レジスタ 0	R/W	07FF FFFF$_H$	FFC4 C120$_H$	8/16/32	ISO
		FSGDC1PROT1	PBGC1 保護レジスタ 1	R/W	07FF FFFF$_H$	FFC4 C124$_H$	8/16/32	
		FSGDC1PROT2	PBGC1 保護レジスタ 2	R/W	07FF FFFF$_H$	FFC4 C128$_H$	8/16/32	
		FSGDC1PROT3	PBGC1 保護レジスタ 3	R/W	07FF FFFF$_H$	FFC4 C12C$_H$	8/16/32	
		FSGDC1PROT4	PBGC1 保護レジスタ 4	R/W	07FF FFFF$_H$	FFC4 C130$_H$	8/16/32	
		FSGDC1PROT5	PBGC1 保護レジスタ 5	R/W	07FF FFFF$_H$	FFC4 C134$_H$	8/16/32	

注1.　モジュール名を示します。

表 40C.66　PBGC エラーレジスター覧

モジュール名	略号	レジスタ名	R/W	リセット後の値	アドレス	アクセスサイズ
PBGC0	ERRSLVC0CTL	PBGC0 エラーコントロールレジスタ	W	0000 0000$_H$	FFC4 C800$_H$	8/16/32
	ERRSLVC0STAT	PBGC0 エラーステータスレジスタ	R	0000 0000$_H$	FFC4 C804$_H$	8/16/32
	ERRSLVC0ADDR	PBGC0 エラーアドレスレジスタ	R	0000 0000$_H$	FFC4 C808$_H$	32
	ERRSLVC0TYPE	PBGC0 エラータイプレジスタ	R	0000 0000$_H$	FFC4 C80C$_H$	16/32
PBGC1	ERRSLVC1CTL	PBGC1 エラーコントロールレジスタ	W	0000 0000$_H$	FFC4 C900$_H$	8/16/32
	ERRSLVC1STAT	PBGC1 エラーステータスレジスタ	R	0000 0000$_H$	FFC4 C904$_H$	8/16/32
	ERRSLVC1ADDR	PBGC1 エラーアドレスレジスタ	R	0000 0000$_H$	FFC4 C908$_H$	32
	ERRSLVC1TYPE	PBGC1 エラータイプレジスタ	R	0000 0000$_H$	FFC4 C90C$_H$	16/32

40C.3.3.2　レジスタ詳細

(1) FSGDCxPROTn ― PBGCx 保護レジスタ n（x＝0, 1）

FSGDCxPROTn レジスタは、保護対象である周辺回路制御レジスタに対するアクセス禁止／許可を指定します。いずれかの識別子で禁止されたアクセスは、不正アクセスとして拒否されます。

レジスタ名および略号の“n”は、PBGC チャネル番号を表します。

アクセス	FSGDCxPROTn レジスタは、32 ビット単位でリード／ライト可能です。 FSGDCxPROTnL、FSGDCxPROTnH レジスタは、16 ビット単位でリード／ライト可能です。 FSGDCxPROTnLL、FSGDCxPROTnHL、FSGDCxPROTnHH レジスタは、8 ビット単位でリード／ライト可能です。
アドレス	「**表 40C.65 PBGC 保護レジスタ一覧**」を参照してください。
リセット後の値	「**表 40C.65 PBGC 保護レジスタ一覧**」を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	PROTUM	—	—	—	—	—	—	PROTPEID1	—	—
リセット後の値	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R/W	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PROTSPID3	PROTSPID2	PROTSPID1	PROTSPID0	—	PROTRDPDEF	PROTWRPDEF	PROTRD	PROTWR
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W

表 40C.67　FSGDCxPROTn レジスタの内容

ビット位置	ビット名	機能
31～26	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
25	PROTUM	ユーザモードでのアクセス 0：スーパバイザモードでのアクセスを許可します。 1：ユーザモードとスーパバイザモードでのアクセスを許可します。
24～19	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
18	PROTPEID1	PEID＝1（CPU1）によるアクセス[注1] 0：PEID1 でのアクセスを禁止します。 1：PEID1 でのアクセスを許可します。
17～9	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8	PROTSPID3	SPID＝3 によるアクセス[注2、注3] 0：SPID3 でのアクセスを禁止します。 1：SPID3 でのアクセスを許可します。
7	PROTSPID2	SPID＝2 によるアクセス[注2、注3] 0：SPID2 でのアクセスを禁止します。 1：SPID2 でのアクセスを許可します。
6	PROTSPID1	SPID＝1（CPU1）によるアクセス[注2、注3] 0：SPID1 でのアクセスを禁止します。 1：SPID1 でのアクセスを許可します。

表 40C.67　FSGDCxPROTn レジスタの内容

ビット位置	ビット名	機能
5	PROTSPID0	SPID＝0 によるアクセス注2、注3 0：SPID0 でのアクセスを禁止します。 1：SPID0 でのアクセスを許可します。
4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3	PROTRDPDEF	デフォルトリード保護 0：本レジスタでの他の設定にかかわらず、いずれのマスタからのリードアクセスを許可します。 1：PROTRD ビットの設定に依存します。
2	PROTWRPDEF	デフォルトライト保護 0：本レジスタでの他の設定にかかわらず、いずれのマスタからのライトアクセスを許可します。 1：PROTWR ビットの設定に依存します。
1	PROTRD	読み出し許可 0：フィルタリングされたバスマスタによるリードアクセスを禁止します。 1：フィルタリングされたバスマスタによるリードアクセスを許可します。
0	PROTWR	書き込み許可 0：フィルタリングされたバスマスタによるライトアクセスを禁止します。 1：フィルタリングされたバスマスタによるライトアクセスを許可します。

注1.　PEID によるアクセス
PROTPEID は各ビットがそれぞれ 1 つの PEID 値に対応するビットリストです。
複数のビットを設定することによって同時に複数のバスマスタの ID 値を許可します。

注2.　SPID によるアクセス
PROTSPID は各ビットがそれぞれ 1 つの SPID 値に対応するビットリストです。
複数のビットを設定することによって同時に複数のマスタの ID 値を許可します。

注3.　SPID については、「**表 40C.53　スレーブガードの識別子**」を参照してください。

(2) ERRSLVCxCTL — PBGCx エラー制御レジスタ（x＝0, 1）

ERRSLVCxCTL レジスタは PBGCx のエラーステータスレジスタのステータスをクリアするためのレジスタです。

アクセス	ERRSLVCxCTL レジスタは、32 ビット単位でライトのみ可能です。 ERRSLVCxCTLL レジスタは、16 ビット単位でライトのみ可能です。 ERRSLVCxCTLLL レジスタは、8 ビット単位でライトのみ可能です。
アドレス	ERRSLVCxCTL : FFC4 C800$_H$ + (100$_H$ × x) ERRSLVCxCTLL : FFC4 C800$_H$ + (100$_H$ × x) ERRSLVCxCTLLL : FFC4 C800$_H$ + (100$_H$ × x)
リセット後の値	0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLRO	CLRE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W

表 40C.68　ERRSLVCxCTL レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	ライトする場合はリセット後の値を書いてください。
1	CLRO	オーバフローフラグをクリアします。 0：オーバフローフラグをクリアしません。 1：オーバフローフラグをクリアします。
0	CLRE	エラーフラグをクリアします。 0：エラーフラグをクリアしません。 1：エラーフラグをクリアします。

表 40C.69　ERRSLVCxxCTL レジスタの CLRO および CLRE

CLRO	CLRE	機能
0	0	どちらのビットもクリアしません。
0	1	設定禁止
1	0	OVF ビットをクリアします。
1	1	OVF と ERR ビットをクリアします。

(3) ERRSLVCxSTAT — PBGCx エラーステータスレジスタ（x＝0, 1）

ERRSLVCxSTAT レジスタは PBGCx で拒否した不正アクセスのステータスを保持するためのレジスタです。

アクセス　ERRSLVCxSTAT レジスタは、32 ビット単位でリードのみ可能です。
ERRSLVCxSTATL レジスタは、16 ビット単位でリードのみ可能です。
ERRSLVCxSTATLL レジスタは、8 ビット単位でリードのみ可能です。

アドレス　ERRSLVCxSTAT：FFC4 C804$_H$ + (100$_H$ × x)
ERRSLVCxSTATL：FFC4 C804$_H$ + (100$_H$ × x)
ERRSLVCxSTATLL：FFC4 C804$_H$ + (100$_H$ × x)

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OVF	ERR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40C.70　ERRSLVCxSTAT レジスタの内容

ビット位置	ビット名	機能
31～2	予約ビット	リードした場合はリセット後の値が読めます。
1	OVF	エラーエントリオーバフローフラグ 0：オーバフローなし 1：オーバフロー発生 PBGC のエラーエントリ段数は 1 のため、最初のガード違反が発生し、エラーステータスフラグがセットされた状態で再度ガード違反が発生した場合、エラーエントリがオーバフローし、本フラグがセットされます。 このオーバフローは INTGUARD に通知されます。 さらに、INTGUARD によってオーバフローが発生したかどうかを判断することはできません。オーバフロー・チェックの場合、OVF ビットをチェックする必要があります。オーバフローが発生した際のガード違反のエラー情報はキャプチャされません。
0	ERR	エラーステータスフラグ 0：PBGC 保護違反なし 1：PBGC 保護違反発生

(4) ERRSLVCxADDR — PBGCx エラーアドレスレジスタ（x＝0, 1）

ERRSLVCxADDR レジスタは PBGCx で拒否した不正アクセスのアドレスを保持するためのレジスタです。
対応する ERRSLVCxSTAT.ERR が 1 の場合は、本レジスタは更新されません。

アクセス　ERRSLVCxADDR レジスタは、32 ビット単位でリードのみ可能です。

アドレス　$FFC4\ C808_H + (100_H \times x)$

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADDR[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADDR[15:2]														—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40C.71　ERRSLVCxADDR レジスタの内容

ビット位置	ビット名	機能
31～2	ADDR[31:2]	PBGC 保護違反が生成されたアドレス
1、0	予約ビット	リードした場合はリセット後の値が読めます。

(5) ERRSLVCxTYPE — PBGCx エラータイプレジスタ（x＝0, 1）

ERRSLVCxTYPE レジスタは PBGCx で拒否した不正アクセスのタイプを保持するためのレジスタです。対応する ERRSLVCxSTAT.ERR が 1 の場合は、本レジスタは更新されません。

アクセス　ERRSLVCxTYPE レジスタは、32 ビット単位でリードのみ可能です。
ERRSLVCxTYPEL レジスタは、16 ビット単位でリードのみ可能です。

アドレス　ERRSLVCxTYPE：FFC4 C80C$_H$ + (100$_H$ × x)
ERRSLVCxTYPEL：FFC4 C80C$_H$ + (100$_H$ × x)

リセット後の値　0000 0000$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PEID[2:0]			—	—	—	SPID[1:0]		—	UM	—	—	—	—	—	WRITE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 40C.72　ERRSLVCxTYPE レジスタの内容

ビット位置	ビット名	機能
31～16	予約ビット	リードした場合はリセット後の値が読めます。
15～13	PEID[2:0]	PBGC 保護違反を発生させたアクセス元の PEID。
12～10	予約ビット	リードした場合はリセット後の値が読めます。
9、8	SPID[1:0]	PBGC 保護違反を発生させたアクセス元の SPID。
7	予約ビット	リードした場合はリセット後の値が読めます。
6	UM	PBGC 保護違反を発生させたアクセス元の UM。
5～1	予約ビット	リードした場合はリセット後の値が読めます。
0	WRITE	PBGC 保護違反を発生させたアクセスがライトの場合、1 が設定されます。

第41章　データ CRC（DCRA）

本章では、データ CRC 機能 A（DCRA）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、RH850/F1KH, RH850/F1KM に固有の特長について説明します。

それ以降の節では、DCRA の機能、レジスタについて説明します。

41.1　RH850/F1KH, RH850/F1KM DCRA の特長

41.1.1　ユニット数

本製品は以下のユニット数の DCRA を搭載しています。

DCRA 1 ユニット当たりは 1 チャネルのインタフェースを持っています。

表 41.1　ユニット数 (RH850/F1KH-D8)

製品名	RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 324 Pin
ユニット数	4	4	4
名称	DCRAn (n=0～3)	DCRAn (n=0～3)	DCRAn (n=0～3)

表 41.2　ユニット数 (RH850/F1KM-S4)

製品名	RH850/F1KM-S4 100 Pin	RH850/F1KM-S4 144 Pin	RH850/F1KM-S4 176 Pin	RH850/F1KM-S4 233 Pin	RH850/F1KM-S4 272 Pin
ユニット数	4	4	4	4	4
名称	DCRAn (n=0～3)	DCRAn (n=0～3)	DCRAn (n=0～3)	DCRAn (n=0～3)	DCRAn (n=0～3)

表 41.3　ユニット数 (RH850/F1KM-S2)

製品名	RH850/F1KM-S2 100 Pin	RH850/F1KM-S2 144 Pin	RH850/F1KM-S2 176 Pin
ユニット数	4	4	4
名称	DCRAn (n=0～3)	DCRAn (n=0～3)	DCRAn (n=0～3)

表 41.4　ユニット数 (RH850/F1KM-S1)

製品名	RH850/F1KM-S1 48 Pin	RH850/F1KM-S1 64 Pin	RH850/F1KM-S1 80 Pin	RH850/F1KM-S1 100 Pin
ユニット数	1	1	4	4
名称	DCRAn (n=0)	DCRAn (n=0)	DCRAn (n=0～3)	DCRAn (n=0～3)

表 41.5　添字 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

添字	説明
n	本章では、データ CRC 機能 A の各ユニットを「n」で識別します。たとえば、DCRAn 制御レジスタは DCRAnCTL（n=0～3）と記述します。

41.1.2 レジスタベースアドレス

DCRAn のベースアドレスを以下の表に示します。

DCRAn のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 41.6 レジスタベースアドレス (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ベースアドレス名	ベースアドレス
<DCRA0_base>	FFF7 0000_H
<DCRA1_base>	FFF7 1000_H
<DCRA2_base>	FFF7 2000_H
<DCRA3_base>	FFF7 3000_H

41.1.3 クロック供給

DCRAn のクロック供給を以下の表に示します。

表 41.7 クロック供給 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	ユニットクロック名	供給クロック名	説明
DCRAn	PCLK	CPUCLK_UL	モジュール クロック
	レジスタアクセスクロック	CPUCLK_UL	バス クロック

41.1.4 リセット要因

DCRAn のリセット要因を以下に示します。DCRAn は以下のリセット要因で初期化されます。

表 41.8 リセット要因 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

ユニット名	リセット要因
DCRAn	すべてのリセット要因（ISORES）

41.2 概要

41.2.1 機能概要

データ CRC 機能 A を利用して、CRC で保護された任意の長さとさまざまなビット幅を持つデータストリームを検証または生成することができます。

- 32 ビットイーサネット CRC
  ($X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^{8}+X^{7}+X^{5}+X^{4}+X^{2}+X^{1}+1$)
- 16 ビット CCITT CRC
  ($X^{16}+X^{12}+X^{5}+1$)
- 任意のデータブロック長の CRC を生成できます。
- CRC データレジスタが初期化されると、CRC 入力レジスタへの書き込みアクセスを行うたびに、選択されている多項式に従って新しい CRC が生成され、その結果が CRC データレジスタに格納されます。

41.2.2 ブロック図

以下の図は、データ CRC 機能 A のブロック図を示しています。

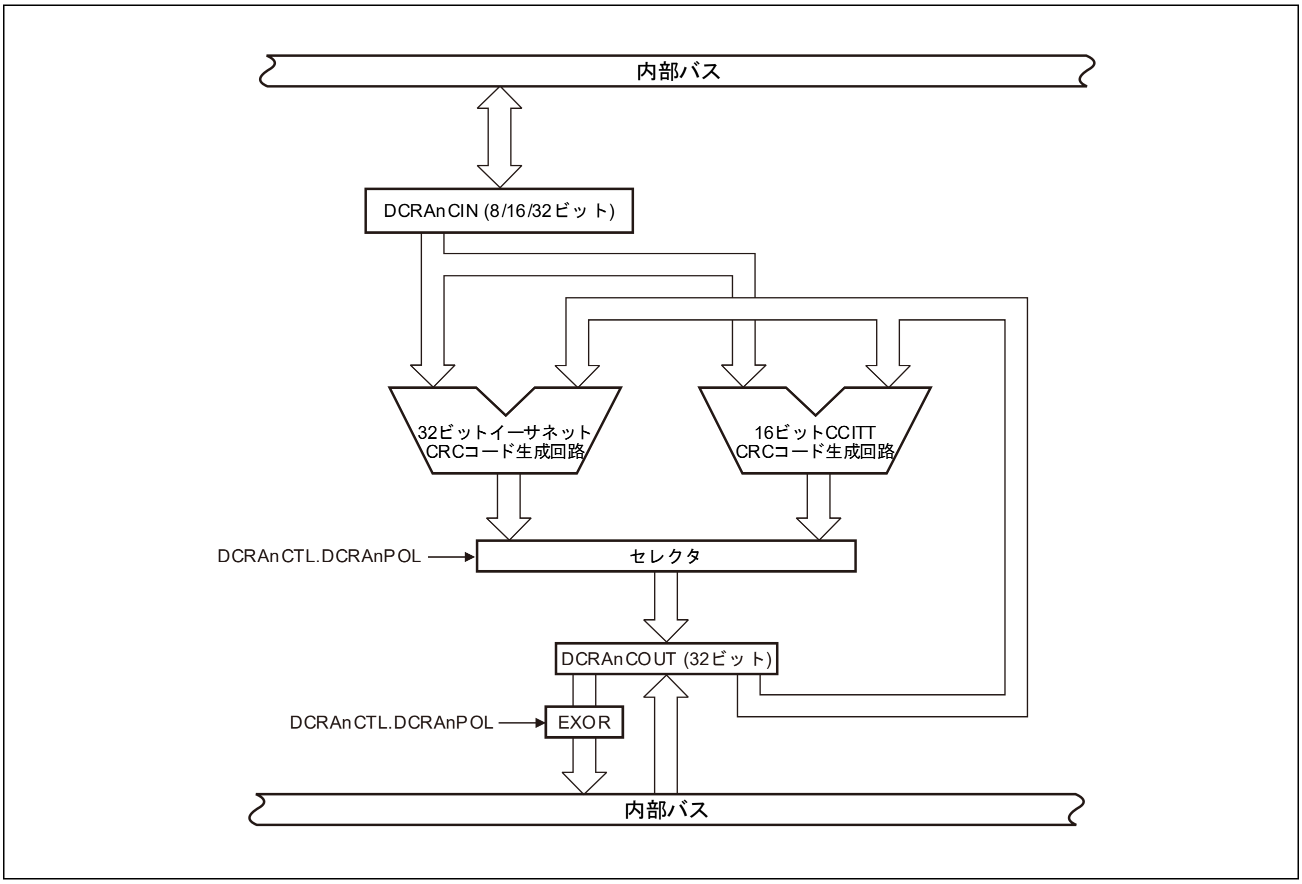
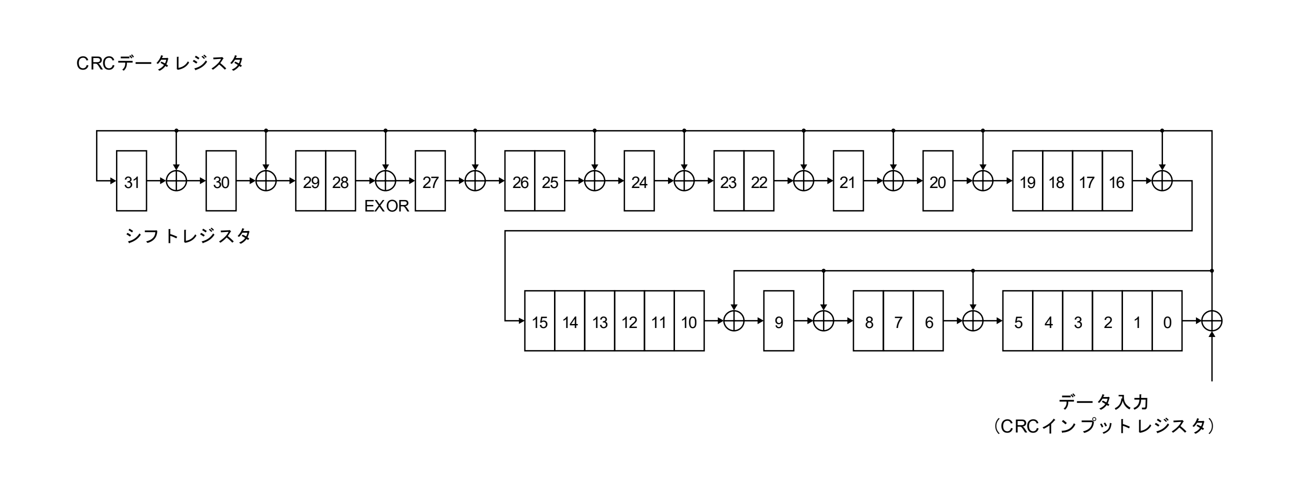


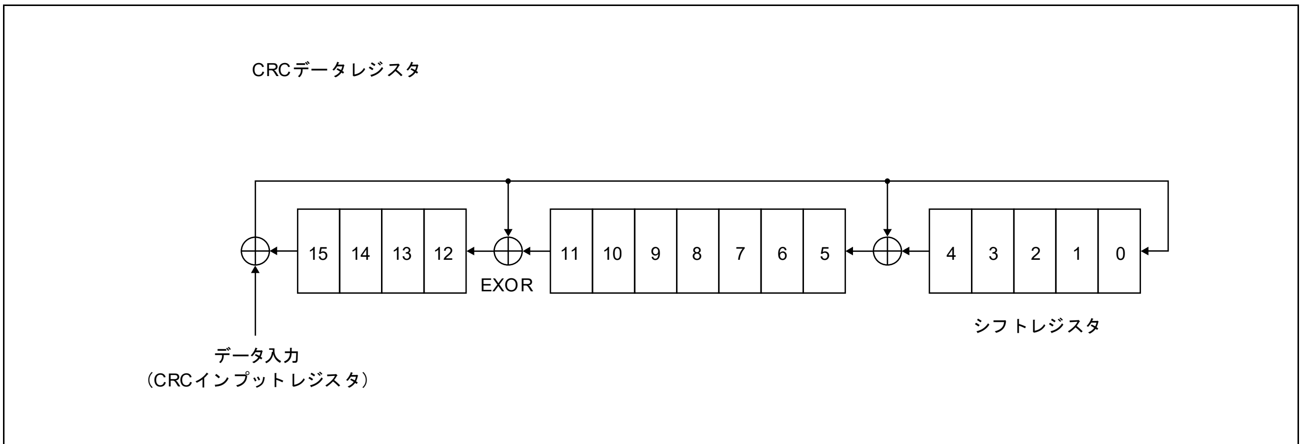
図 41.1　データ CRC 機能 A のブロック図

41.2.3 演算回路

● **32 ビットイーサネット**



● **16 ビット CCITT**



41.3　レジスタ

41.3.1　レジスター覧

DCRA のレジスター覧を以下の表に示します。

<DCRAn_base>は「**41.1.2 レジスタベースアドレス**」を参照してください。

表 41.9　レジスター覧

モジュール名	レジスタ名	略号	アドレス
DCRAn	CRC 入力レジスタ	DCRAnCIN	<DCRAn_base> + 00_H
	CRC データレジスタ	DCRAnCOUT	<DCRAn_base> + 04_H
	CRC 制御レジスタ	DCRAnCTL	<DCRAn_base> + 20_H

41.3.2　DCRAnCIN — CRC 入力レジスタ

本レジスタには CRC 計算用の入力データが格納されます。CRC 計算に使われる有効ビット幅を DCRAnCTL.DCRAnISZ[1:0]で設定する必要があります。

本レジスタにデータを書き込むと、CRC コードが生成されます。

DCRAnCIN への書き込みが行われると、ただちに CRC の計算が開始されます。データブロックの最初のデータを DCRAnCIN レジスタに書き込む前に、DCRAnCOUT レジスタを初期開始値で初期化する必要があります。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<DCRAn_base>

リセット後の値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DCRAnCIN[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCRAnCIN[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 41.10　DCRAnCIN レジスタの内容

ビット位置	ビット名	機能
31～0	DCRAnCIN[31:0]	CRC 計算用入力データ 以下の有効ビット幅に対応しています。 ● 有効ビット幅 32 ビット：DCRAnCIN[31:0] ● 有効ビット幅 16 ビット：DCRAnCIN[15:0] ● 有効ビット幅 8 ビット：DCRAnCIN[7:0]

41.3.3 DCRAnCOUT — CRC データレジスタ

本レジスタには 32 ビットイーサネット多項式または 16 ビット CCITT 多項式によって生成された CRC コードの結果が格納されます。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<DCRAn_base> + 4_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DCRAnCOUT[31:16]															
リセット後の値	1 注1	1 注1	1 注1	1 注1	1 注1	1 注1	1 注1	1 注1	1 注1	1 注1	1 注1	1 注1	1 注1	1 注1	1 注1	1 注1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCRAnCOUT[15:0]															
リセット後の値	1 注1	1 注1	1 注1	1 注1	1 注1	1 注1	1 注1	1 注1	1 注1	1 注1	1 注1	1 注1	1 注1	1 注1	1 注1	1 注1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1.　リセット後のリード値は、リセット後の CRC 生成方式の選択が 32 ビットイーサネット多項式になっているため、$0000\ 0000_H$ になります。

表 41.11　DCRAnCOUT レジスタの内容

ビット位置	ビット名	機能
31～0	DCRAnCOUT	CRC コード生成の結果 16 ビット CCITT 多項式を有効にした場合は、ビット 15～0 が CRC の結果を示します。ビット 31～16 は不定になります。 本レジスタのリード値は、以下の値と EXOR 演算された値となります。 ● 32 ビットイーサネット多項式の場合：$FFFF\ FFFF_H$ ● 16 ビット CCITT 多項式の場合：0000_H 例えば、32 ビットイーサネット多項式で、DCRAnCOUT＝$5555\ 5555_H$ のとき $AAAA\ AAAA_H$ がリードされます。

注　意

データブロックの最初のデータを DCRAnCIN レジスタに書き込む前に、本レジスタを初期化（初期開始値を設定）する必要があります。

41.3.4　DCRAnCTL — CRC 制御レジスタ

本レジスタは CRC 生成プロセスを制御します。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<DCRAn_base> + 20_H

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	DCRAnISZ[1:0]		DCRAnPOL
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W

表 41.12　DCRAnCTL レジスタの内容

ビット位置	ビット名	機能
7～3	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
2、1	DCRAnISZ[1:0]	CRC 入力ビット幅を指定します。 00：32 ビット（DCRAnCIN[31:0]） 01：16 ビット（DCRAnCIN[15:0]） 10：8 ビット（DCRAnCIN[7:0]） 11：設定禁止
0	DCRAnPOL	CRC 生成方式を指定します。 0：32 ビットイーサネット CRC 多項式による生成 DCRAnCIN レジスタ内のバイト順は LSB（最下位ビット）が先頭になります。つまり、CRC 入力ビット幅が 8 ビット（DCRAnISZ[1:0]＝10_B）の場合は、DCRAnCIN レジスタのビット位置 7～0 が入力データとなり、ビット位置 0（LSB）が入力データの先頭ビットになります。 1：16 ビット CCITT CRC 多項式による生成 DCRAnCIN レジスタ内のバイト順は MSB（最上位ビット）が先頭になります。つまり、CRC 入力ビット幅が 8 ビット（DCRAnISZ[1:0]＝10_B）の場合は、DCRAnCIN レジスタのビット位置 7～0 が入力データとなり、ビット位置 7（MSB）が入力データの先頭ビットになります。

注　意

- CRC 生成方式（DCRAnCTL.DCRAnPOL）を変更した場合は、DCRAnCOUT レジスタを初期化（初期開始値を設定）する必要があります。
- データブロックのビット幅に合わせて CRC 入力ビット幅（DCRAnCTL.DCRAnISZ[1:0]）を設定する必要があります。データブロックの処理中に CRC 入力ビット幅を変更することは禁止されています（データブロックの構成単位は N バイト、ハーフワードまたは 1 ワードです）。DCRAnCOUT レジスタから最終的な CRC の結果を読み出したあとは、CRC 入力ビット幅を変更することができます。その場合は、DCRAnCOUT レジスタを初期化（初期開始値を設定）する必要があります。

41.4 動作

データ CRC 機能 A は任意のデータブロック長の CRC（巡回冗長検査）を生成します。データは、8 ビット単位、16 ビット単位または 32 ビット単位でデータ CRC 機能に転送されます。32 ビットイーサネット用または 16 ビット CCITT 用の CRC 多項式を選択できます。CRC 入力レジスタ（DCRAnCIN）への最初の書き込みアクセスを行う前に、DCRAnCOUT レジスタに初期開始値を設定する必要があります。

以下のフローチャートは、CRC の生成の流れを示しています。

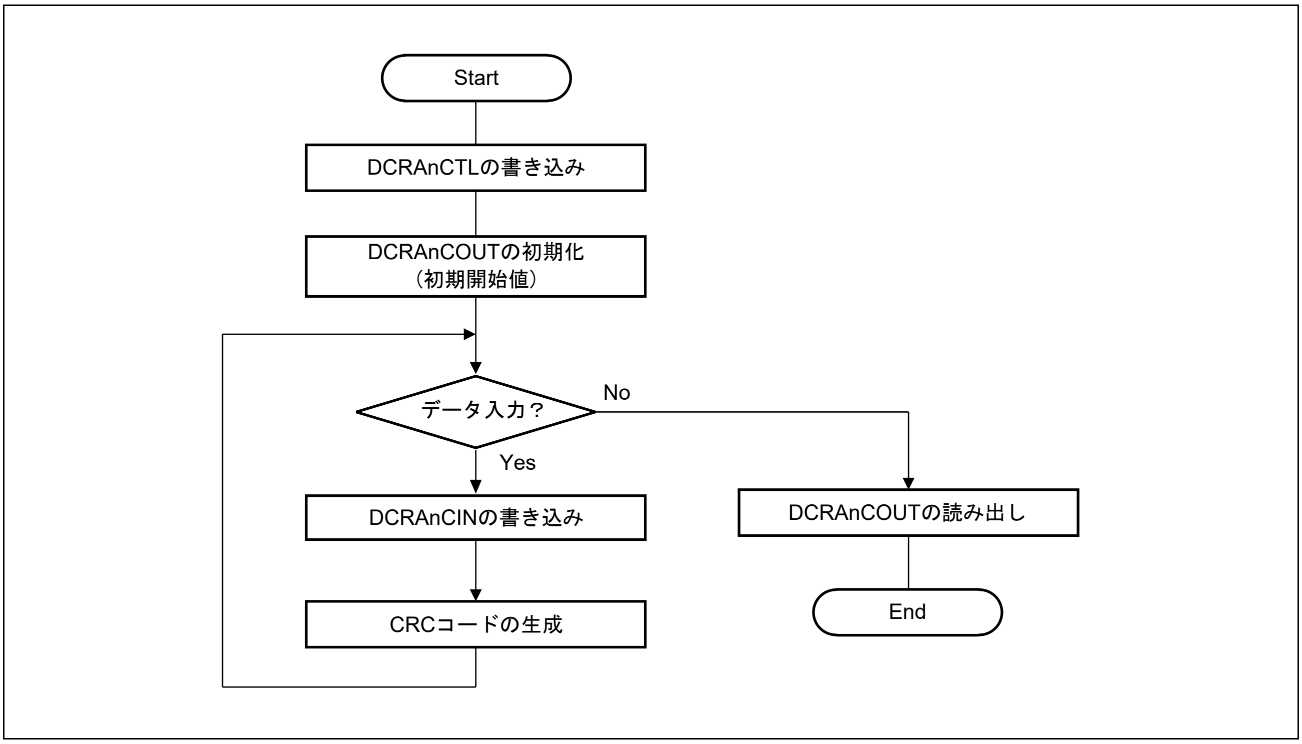


図 41.2 データ CRC 機能 A のフロー図

備 考

1. 最初のデータを DCRAnCIN に書き込む前に、CRC 出力レジスタ DCRAnCOUT を初期化（初期開始値を設定）する必要があります。
2. DCRAnCTL.DCRAnPOL を変更することによって多項式を変更した場合は、DCRAnCOUT を再初期化（初期開始値を設定）する必要があります。
3. 各多項式の初期開始値の設定例
   以下に設定例を示します。

表 41.13 初期開始値の設定例（リセット時にリードした場合の例）

	初期開始値	EXOR 値	DCRAnCOUT リード値
16 ビット CCITT	XXXX $FFFF_H$	XXXX 0000_H	XXXX $FFFF_H$
32 ビットイーサネット	FFFF $FFFF_H$	FFFF $FFFF_H$	0000 0000_H

備考 X：不定

第42章　セキュリティ機能

以下に示す 2 つの機能を説明するセキュリティ機能については、別冊を参照してください。

- RH850/F1KH-D8、RH850/F1KM-S4、RH850/F1KM-S2 用 ICUMD
- RH850/F1KM-S1 用 ICUSE

第43章　オンチップデバッグユニット（OCD）

このマイクロコントローラには、オンチップデバッグ機能があります。オンチップデバッグエミュレータの使用により、ターゲットシステムに搭載されたマイクロコントローラでプログラムをデバッグできます。

このマイクロコントローラに組み込まれたデバッグ機能は、IEEE-ISTO5001™-2003 クラス 3 注1、Nexus デバッグインタフェース標準に準拠しています。

注1. EVTO 端子を搭載する製品のみ対応

注　意

本章で説明するデバッグ機能は、マイクロコントローラではサポートされますが、使用できるかどうかはデバッガによって決まります。デバッグの詳細はデバッガのユーザーズマニュアルを参照してください。

43.1　RH850/F1KH, RH850/F1KM OCD の概要

43.1.1　機能概要

以下のオンチップデバッグ機能がサポートされます。

(1)　デバッグインタフェース

デバッグインタフェースとして、“Nexus Interface”、“Low Pin Debug Interface（1 pin）（以下 LPD（1 pin）と略します）”、“Low Pin Debug Interface（4 pin）（以下 LPD（4 pin）と略します）”をサポートしています。

これらのデバッグインタフェースを使用して、オンチップデバッグが可能です。

備　考

LPD（1 pin）使用時は、LPD は MainOSC クロックで動作します。

(2)　デバッグモニタ機能

デバッグ専用のモニタプログラム領域が搭載され、デバッグ時に使用されます。

モニタプログラムを実行することで次の基本的なデバッグ機能を使用できます。

- ユーザプログラムのダウンロード
- メモリとレジスタのリードとライト
- 任意のアドレスで始まるユーザプログラムの実行

(3)　オンチップブレーク

任意の実行アドレスに最大 12 本のブレークポイントを指定できます。また、12 本のブレークポイントのうち、任意のアクセス（アクセスアドレス、アクセスデータ）に最大 4 本のブレークポイントを指定できます。

(4)　ソフトウェアブレーク

任意の実行アドレスにソフトウェアブレークポイントを指定できます。

(5) ペリフェラルブレーク

ペリフェラルブレーク機能は、ユーザ作成プログラムが停止した場合（ブレークポイントなどで）に、マイクロコントローラの周辺モジュールへ停止要求を生成します。

(6) 強制ブレーク

ユーザプログラムの実行を強制的に中断できます。

(7) 強制リセット

マイクロコントローラ（本デバイス）を強制的にリセットできます。

(8) リアルタイム RAM モニタ（RRM）

プログラム実行中にメモリをリードできます。このリードアクセスではデバッグ専用の DMA を使用するため、プログラム実行への影響は最小限に抑えられます。

(9) ダイナミックメモリ変更（DMM）

プログラム実行中にメモリをライトできます。このライトアクセスではデバッグ専用の DMA を使用するため、プログラム実行への影響は最小限に抑えられます。

(10) タイマ機能

32 ビットカウンタを使用し、デバッグ用クロックに基づいてユーザプログラムの実行時間を測定できます。

測定精度についてはご使用のデバッガのユーザーズマニュアルを参照してください。

(11) マスク機能

以下の要因をマスクすることが可能です。

- POC リセットおよびウェイクアップリセットを除いた全リセット要因
- $\overline{\text{MEMC0WAIT}}$ 注1

注1. MEMC を搭載する製品のみ対応

(12) Hot plug-in 機能

通常動作モードから外部リセット入力なしで、デバッグを開始することができます。

備　考

Hot plug-in 機能を使用し、かつマイコンのパワーセーブモードを使用する際は、INTDCUTDI 割り込み処理にてパワーセーブモードからのウェイクアップ処理が必要となります。INTDCUTDI 割り込みについては、**「表 7A.4 EI レベルマスカブル割り込み要因」**、**「表 7BC.6 EI レベルマスカブル割り込み要因 (RH850/F1KM-S4)」**、**「表 7BC.7 EI レベルマスカブル割り込み要因 (RH850/F1KM-S2)」**および**「表 7BC.8 EI レベルマスカブル割り込み要因 (RH850/F1KM-S1)」**（チャネル番号 21）を参照してください。

(13) セキュリティ機能

フラッシュメモリの内容が権限のないユーザにリードされないように、128 ビットの ID コードをマイクロコントローラにライトすることができます。デバッガ起動時にユーザが入力するコードがマイクロコントローラにライトされた ID コードに一致しない場合は、フラッシュメモリにアクセスできません。

ID コードの設定方法の詳細は、ご使用のデバッガのユーザーズマニュアルを参照してください。

(14) トレース機能

ユーザプログラムの実行履歴やデータ変化等を取得することができます。

備 考

- トレース機能は RH850/F1KH-D8 の 8MB 製品のみサポート
- トレース機能は RH850/F1KM-S4 の 4MB 製品のみサポート
- トレース機能は RH850/F1KM-S2 ではサポートしていません。トレース機能が必要な場合、RH850/F1KM-S4 製品を使用してください。
- トレース機能は RH850/F1KM-S1 の 1MB 製品のみサポート

43.1.2 外部入出力端子

表 43.1 外部入出力端子 (RH850/F1KH-D8)

端子	専用機能	端子数			
		176 Pin	233 Pin	272 Pin	324 Pin
JP0_0	DCUTDI/LPDI/LPDIO	〇	〇	—	〇
JP0_1	DCUTDO/LPDO	〇	〇	—	〇
JP0_2	DCUTCK/LPDCLK	〇	〇	—	〇
JP0_3	DCUTMS	〇	〇	—	〇
JP0_4	$\overline{\text{DCUTRST}}$	〇	〇	—	〇
JP0_5	$\overline{\text{DCURDY}}$ /LPDCLKOUT	〇	〇	—	〇
JP0_6	$\overline{\text{EVTO}}$	〇	〇	—	〇

表 43.2 外部入出力端子 (RH850/F1KM-S4)

端子	専用機能	端子数				
		100 Pin	144 Pin	176 Pin	233 Pin	272 Pin
JP0_0	DCUTDI/LPDI/LPDIO	〇	〇	〇	〇	〇
JP0_1	DCUTDO/LPDO	〇	〇	〇	〇	〇
JP0_2	DCUTCK/LPDCLK	〇	〇	〇	〇	〇
JP0_3	DCUTMS	〇	〇	〇	〇	〇
JP0_4	$\overline{\text{DCUTRST}}$	〇	〇	〇	〇	〇
JP0_5	$\overline{\text{DCURDY}}$ /LPDCLKOUT	〇	〇	〇	〇	〇
JP0_6	$\overline{\text{EVTO}}$	—	〇	〇	〇	〇

表 43.3 外部入出力端子 (RH850/F1KM-S2)

端子	専用機能	端子数		
		100 Pin	144 Pin	176 Pin
JP0_0	DCUTDI/LPDI/LPDIO	〇	〇	〇
JP0_1	DCUTDO/LPDO	〇	〇	〇
JP0_2	DCUTCK/LPDCLK	〇	〇	〇
JP0_3	DCUTMS	〇	〇	〇
JP0_4	$\overline{\text{DCUTRST}}$	〇	〇	〇
JP0_5	$\overline{\text{DCURDY}}$ /LPDCLKOUT	〇	〇	〇
JP0_6	$\overline{\text{EVTO}}$	—	〇	〇

表 43.4 外部入出力端子 (RH850/F1KM-S1)

端子	専用機能	端子数			
		48 Pin	64 Pin	80 Pin	100 Pin
JP0_0	DCUTDI/LPDI/LPDIO	〇	〇	〇	〇
JP0_1	DCUTDO/LPDO	〇	〇	〇	〇
JP0_2	DCUTCK/LPDCLK	〇	〇	〇	〇
JP0_3	DCUTMS	〇	〇	〇	〇
JP0_4	$\overline{\text{DCUTRST}}$	〇	〇	〇	〇
JP0_5	$\overline{\text{DCURDY}}$ /LPDCLKOUT	〇	〇	〇	〇

43.2　ペリフェラルブレークの制御

ペリフェラルブレーク機能は、ユーザ作成プログラムが停止した場合（ブレークポイントなどで）に、マイクロコントローラの周辺モジュールへ停止要求を生成します。

ペリフェラルブレーク時の周辺モジュールの動作は次のようになります。

a. EPC.SVSTOP の設定に関わらず無条件で停止するモジュール

表 43.5　EPC.SVSTOP の設定に関わらず無条件で停止するモジュール (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

モジュール
ウインドウウォッチドッグタイマ（WDTA）

注　意

RH850/F1KH-D8:
個別ブレーク機能を使用した際、WDTAn へのライトアクセスは行わないでください。
ブレークを設定していない CPUn の WDTAn に対するクリア命令を受けるため、SVACCESS によるライトアクセスは無効化していません。
もしデバッガの GUI 上などで WDTA0MD やトリガレジスタにライトアクセスをした場合には意図しないリセットが発生する恐れがあります。
上記の注意を守れない場合は、すべての CPU を同期ブレークさせてください（SVACCESS はツールによって有効に設定されます。）

b. EPC.SVSTOP＝1 のときでもエミュレーションレジスタの設定で動作を継続できるモジュール

表 43.6　EPC.SVSTOP＝1 のときでもエミュレーションレジスタの設定で動作を継続できるモジュール (RH850/F1KM-D8)

モジュール	エミュレーションレジスタ	n
OS タイマ（OSTM）	OSTMnEMU.OSTMnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0～9
タイマアレイユニット D（TAUD）	TAUDnEMU.TAUDnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0
タイマアレイユニット B（TAUB）	TAUBnEMU.TAUBnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0、1
タイマアレイユニット J（TAUJ）	TAUJnEMU.TAUJnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0～3
リアルタイマクロック（RTCA）	RTCAnEMU.RTCAnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0
クロック同期シリアルインタフェース G（CSIG）	CSIGnEMU.CSIGnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0～4
クロック同期シリアルインタフェース H（CSIH）	CSIHnEMU.CSIHnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0～4
タイマモータ制御機能（TAPA）	TAPAnEMU.TAPAnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0
エンコーダタイマ（ENCA）	ENCAnEMU.ENCAnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0
PWM 出力／診断（PWM-Diag）	PWBAnEMU.PWBAnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0
	PWSAnEMU.PWSAnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0
A/D コンバータ（ADCA）	ADCAnEMU.ADCAnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0、1

表 43.7　EPC.SVSTOP＝1 のときでもエミュレーションレジスタの設定で動作を継続できるモジュール (RH850/F1KM-S4, RH850/F1KM-S2)

モジュール	エミュレーションレジスタ	n
OS タイマ（OSTM）	OSTMnEMU.OSTMnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0～4
タイマアレイユニット D（TAUD）	TAUDnEMU.TAUDnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0
タイマアレイユニット B（TAUB）	TAUBnEMU.TAUBnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0、1
タイマアレイユニット J（TAUJ）	TAUJnEMU.TAUJnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0～3
リアルタイマクロック（RTCA）	RTCAnEMU.RTCAnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0
クロック同期シリアルインタフェース G（CSIG）	CSIGnEMU.CSIGnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0～3
クロック同期シリアルインタフェース H（CSIH）	CSIHnEMU.CSIHnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0～3
タイマモータ制御機能（TAPA）	TAPAnEMU.TAPAnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0
エンコーダタイマ（ENCA）	ENCAnEMU.ENCAnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0
PWM 出力／診断（PWM-Diag）	PWBAnEMU.PWBAnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0
	PWSAnEMU.PWSAnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0
A/D コンバータ（ADCA）	ADCAnEMU.ADCAnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0、1

表 43.8　EPC.SVSTOP＝1 のときでもエミュレーションレジスタの設定で動作を継続できるモジュール (RH850/F1KM-S1)

モジュール	エミュレーションレジスタ	n
OS タイマ（OSTM）	OSTMnEMU.OSTMnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0
タイマアレイユニット D（TAUD）	TAUDnEMU.TAUDnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0
タイマアレイユニット B（TAUB）	TAUBnEMU.TAUBnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0
タイマアレイユニット J（TAUJ）	TAUJnEMU.TAUJnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0～3
リアルタイマクロック（RTCA）	RTCAnEMU.RTCAnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0
クロック同期シリアルインタフェース G（CSIG）	CSIGnEMU.CSIGnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0
クロック同期シリアルインタフェース H（CSIH）	CSIHnEMU.CSIHnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0～3
タイマモータ制御機能（TAPA）	TAPAnEMU.TAPAnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0
エンコーダタイマ（ENCA）	ENCAnEMU.ENCAnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0
PWM 出力／診断（PWM-Diag）	PWBAnEMU.PWBAnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0
	PWSAnEMU.PWSAnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0
A/D コンバータ（ADCA）	ADCAnEMU.ADCAnSVSDIS 0：ブレーク中は停止 1：ブレーク中も継続	0

注　意

レジスタの詳細については、各章のレジスタ説明を参照してください。

c. EPC.SVSTOP＝1 のとき停止するモジュール

表 43.9　EPC.SVSTOP＝1 のとき停止するモジュール (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

モジュール
LIN/UART インタフェース（RLIN3）
ロウパワーサンプラ（LPS）

43.3　各モードでの Hot Plug-in

43.3.1　RUN モード

Hot plug-in が RUN モードで発生した場合は、現在の状態を維持する必要があります。

43.3.2　STOP/DeepSTOP モード

Hot plug-in が STOP モードまたは DeepSTOP モードで発生した場合は、RUN モードに遷移する必要があります。

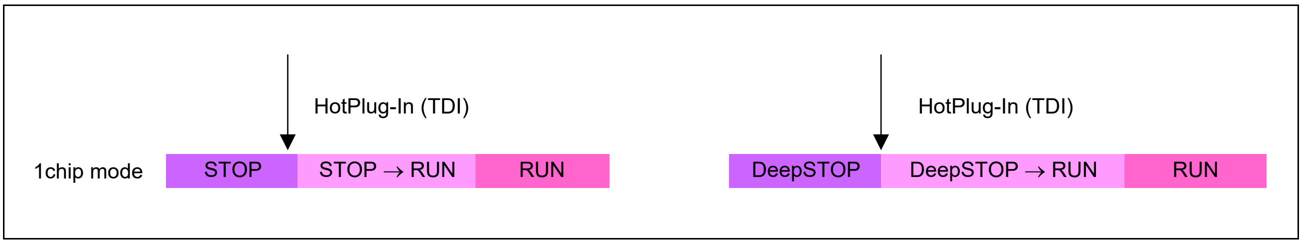


図 43.1　STOP モード／DeepSTOP モードでの Hot plug-in

43.3.3　Cyclic RUN モード

Hot plug-in が Cyclic RUN モードで発生した場合は、DeepSTOP モードに遷移し、ウェイクアップ要因により RUN モードに移行する必要があります。

ISO のすべてのレギュレータは、OCD モードで動作状態となります。

“DCUTDI ロウレベル検出割り込み（INTDCUTDI）”の割り込み発生時、オンチップデバッグを実行する場合はユーザ（ソフトウェア）により DeepSTOP モードへの移行を行う必要があります。

Cyclic RUN モードで OCD モードに遷移する場合の時系列を以下に示します。

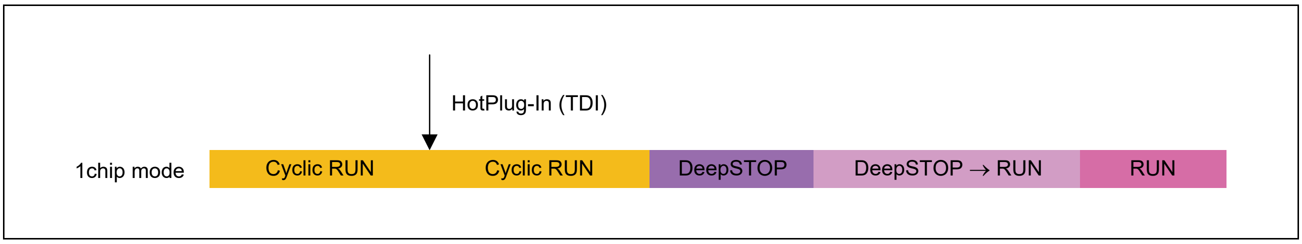


図 43.2　Cyclic RUN モードでの Hot plug-in

43.3.4 Cyclic STOP モード

Hot plug-in が Cyclic STOP モードで発生した場合、Cyclic RUN モードに移行する必要があります。

次に DCUTDI のウェイクアップ要因の発生時には、Cyclic RUN モードの場合と同じように遷移を行う必要があります。

Cyclic STOP モードで OCD モードに遷移する場合の時系列を以下に示します。

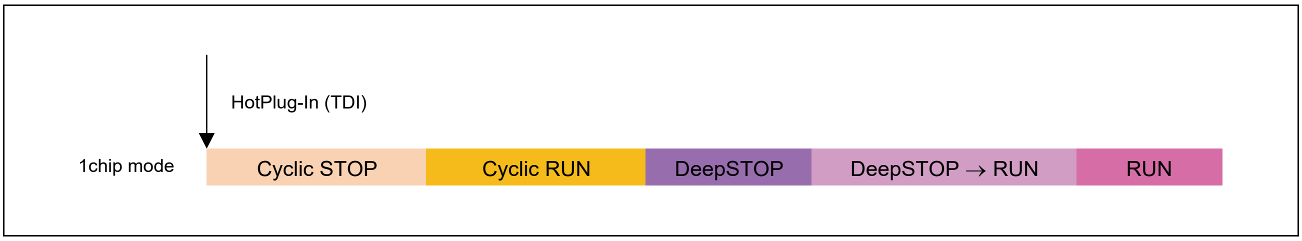


図 43.3 Cyclic STOP モードでの Hot plug-in

43.4　レジスタ

43.4.1　レジスター覧

OCD レジスタを下記の表に示します。

表 43.10　レジスター覧

モジュール名	レジスタ名	略号	アドレス
—	エミュレーション周辺制御レジスタ	EPC	—

43.4.2　EPC — エミュレーション周辺制御レジスタ

デバッグ時の各周辺機能（タイマ、シリアルインタフェース、A/D コンバータ）の動作停止（SVSTOP）機能を持ちます。

アクセス　ユーザプログラムからのアクセスは禁止です。

アドレス　—

リセット後の値　00_H

ビット	7	6	5	4	3	2	1	0
	—	SVSTOP	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
R/W	—	—	—	—	—	—	—	—

表 43.11　EPC レジスタの内容

ビット位置	ビット名	機能
7	予約ビット	—
6	SVSTOP	デバッグ時の各周辺機能（タイマ、シリアルインタフェース、A/D コンバータ）の動作停止 0：動作を停止しない 1：動作を停止する
5～0	予約ビット	—

備　考

EPC はデバッガによって設定されます。ユーザプログラムによる設定は禁止です。デバッガの設定についてはデバッガのユーザーズマニュアルを参照してください。

43.5　オンチップデバッグ使用上の注意

43.5.1　デバッグに使用したデバイスの処理

デバッグに使用したデバイスを量産製品に搭載しないでください。デバッグ中にフラッシュメモリが書き換えられているため、フラッシュメモリの書き込み・消去の耐久性を保証できません。

43.5.2　デバッグ接続時のリセット発生について

デバッガを使用する際、プログラム開始直後にリセットが発生するプログラムを実行すると、OCD エミュレータとマイコンとの通信準備が成立する前にマイコンがリセットするため、同通信が不正動作となる可能性があります。

この通信準備期間は、OCD エミュレータのホスト PC 環境、およびマイコンの動作周波数に依存します。プログラム開始直後にリセットが発生するプログラムをデバッグする場合、デバッガを正常に動作させるために、プログラム開始とリセット解除の間にウェイトを挿入してください。

43.5.3　メインクロックソースとして、MainOSC ではなく HS IntOSC を使用する際の制限事項

E1 エミュレータをデバッグに使用する場合は、あらかじめデバッグインタフェース構成（OPJTAG）をLPD（4 pin）に変更する必要があります。

LPD（1 pin）は使用できません。

43.5.4　OCD_MODE 注 1 への書き込みおよびリセットが同時に行われた場合、または MTR（DBG_CTRLP）注 1 への書き込みおよびリセットが同時に行われた場合の制限事項

OCD_MODE 注 1 への書き込みおよびリセットが同時に行われた場合、または MTR（DBG_CTRLP）注 1 への書き込みおよびリセットが同時に行われた場合、致命的な障害になる可能性があります。

デバッガが切断された場合は、デバッガを再接続してください。

注1. 以下のレジスタはデバッガによりアクセスされるレジスタです。
　　OCD_MODE、DBG_CTRLP

43.5.5　デバッガ接続時の DeepSTOP モードへの移行

デバッガの使用時に、実行直後に DeepSTOP モードへの移行が発生するプログラムが実行されると、OCD エミュレータとマイコン間の通信準備が完了する前に、マイコンは Isolated エリア（ISO エリア）への電源供給を停止します。そのため、同通信が不正動作となる可能性があります。

この通信準備時間は、OCD エミュレータのホスト PC 環境、およびマイコンの動作周波数に依存します。プログラム開始直後に DeepSTOP モードへ遷移するプログラムをデバッグする場合、デバッガを正常に動作させるために、リセット解除と DeepSTOP モードへ遷移するまでの間にウェイトを挿入してください。

第44章　フラッシュメモリ

本章では、RH850/F1KH, RH850/F1KM に搭載するフラッシュメモリについて説明します。

最初の節では、搭載するフラッシュメモリの特長、メモリマップ、フラッシュメモリプログラミング、ECC など、RH850/F1KH, RH850/F1KM に固有の特長について説明します。

44.1　RH850/F1KH, RH850/F1KM フラッシュメモリの特長

- コードフラッシュメモリとデータフラッシュメモリを内蔵

  コードフラッシュは、プログラムコードとデータが格納可能なフラッシュメモリで、ユーザ領域と拡張ユーザ領域があります。

  データフラッシュは、データ格納用のフラッシュメモリです。

- フラッシュメモリの書き換え方式

  シリアルインタフェースを使用したフラッシュプログラミングと、ユーザプログラムによる書き換え（セルフプログラミング）をサポートします。

- BGO（Back Ground Operation）のサポート

  RH850/F1KH-D8、RH850/F1KM-S4、RH850/F1KM-S2：

  - BGO 機能によりデータフラッシュの書き込み／消去中、コードフラッシュ上のプログラム実行が可能です。
  - BGO 機能により、コードフラッシュメモリの書き込み／消去中、コードフラッシュメモリ上のプログラム実行が可能です。（書き込み／消去領域と読み出し領域の組み合わせには、制限があります。「**表 44.6 BGO 機能を利用可能な条件 (RH850/F1KH-D8)**」、「**表 44.7 BGO 機能を利用可能な条件 (RH850/F1KM-S4)**」および「**表 44.8 BGO 機能を利用可能な条件 (RH850/F1KM-S2)**」を参照してください。）

  RH850/F1KM-S1：

  - BGO 機能によりデータフラッシュの書き込み／消去中、コードフラッシュ上のプログラム実行が可能です。

- フラッシュメモリデータの保護
  - フラッシュメモリの不正改ざんや不正読み出しを防ぐセキュリティ機能をサポート
  - フラッシュメモリの誤書き換えを防止するプロテクション機能をサポート

- オプションバイト機能

  RH850/F1KH-D8、RH850/F1KM-S4：

  - ポート、WDTA、CVM、CPUCLK のクロック分周器モード、FlexRay、Ethernet AVB および $\overline{\text{RESETOUT}}$ のリセット解除後の動作を設定します。

  RH850/F1KM-S2：

  - ポート、WDTA、CVM、CPUCLK のクロック分周器モードおよび $\overline{\text{RESETOUT}}$ のリセット解除後の動作を設定します。

  RH850/F1KM-S1：

  - ポート、WDTA、CVM および $\overline{\text{RESETOUT}}$ のリセット解除後の動作を設定します。

- コードフラッシュ、データフラッシュメモリの誤り検出／訂正機能（ECC）

ECC 機能を内蔵し、2 ビットエラー検出、1 ビットエラー検出／訂正が可能です。

- セルフプログラミング中の割り込み受け付け可能

各製品の搭載コードフラッシュ、データフラッシュのサイズは以下の節を参照してください。

- 「**4A.1 アドレス空間**」
- 「**4B.1 アドレス空間**」
- 「**4C.1 アドレス空間**」

44.2　メモリ構成

44.2.1　コードフラッシュメモリマッピング

「**図 44.1　コードフラッシュメモリマッピング (RH850/F1KH-D8)**」、「**図 44.2　コードフラッシュメモリマッピング (RH850/F1KM-S4)**」、「**図 44.3　コードフラッシュメモリマッピング (RH850/F1KM-S2)**」および「**図 44.4　コードフラッシュメモリマッピング (RH850/F1KM-S1)**」に、コードフラッシュメモリマッピングを示します。

コードフラッシュメモリのユーザ領域は 8K バイトまたは 32K バイトのブロックに分割されており、各ブロック単位で消去可能です。また、32K バイトの拡張ユーザ領域を 1 ブロック搭載しています。ユーザ領域と拡張ユーザ領域は、ユーザプログラムの格納領域として利用可能です。

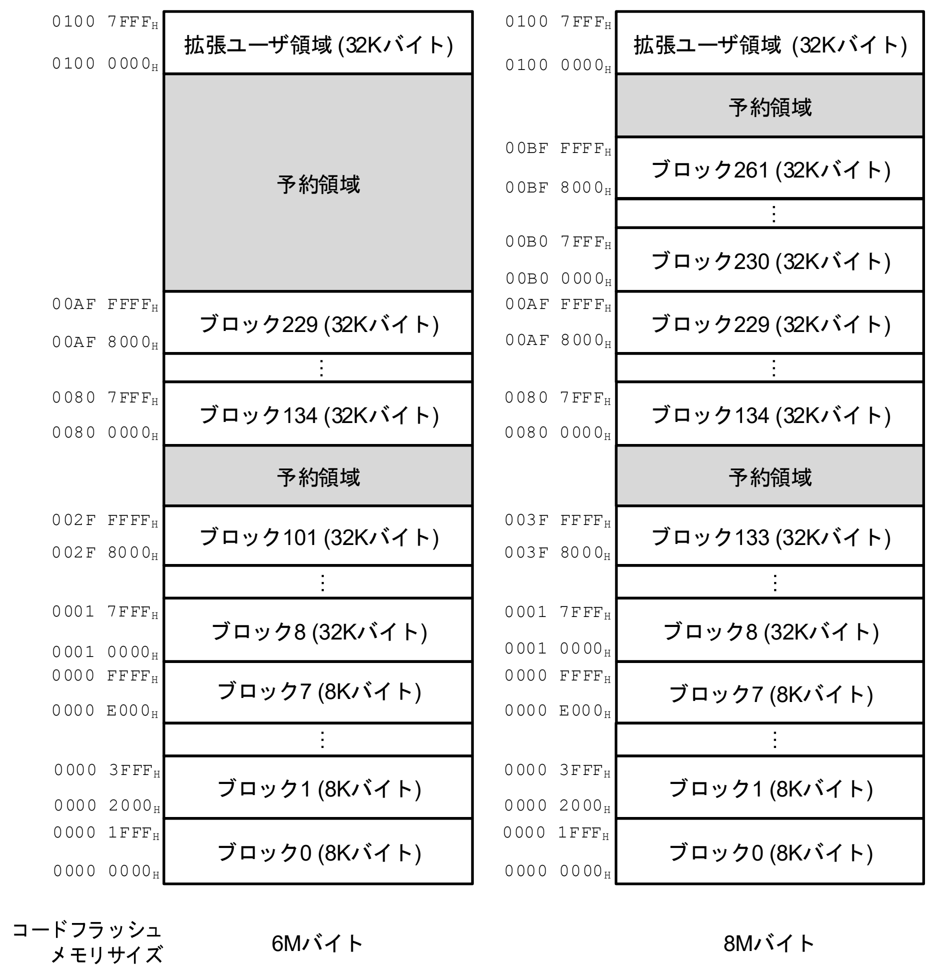


図 44.1　コードフラッシュメモリマッピング (RH850/F1KH-D8)

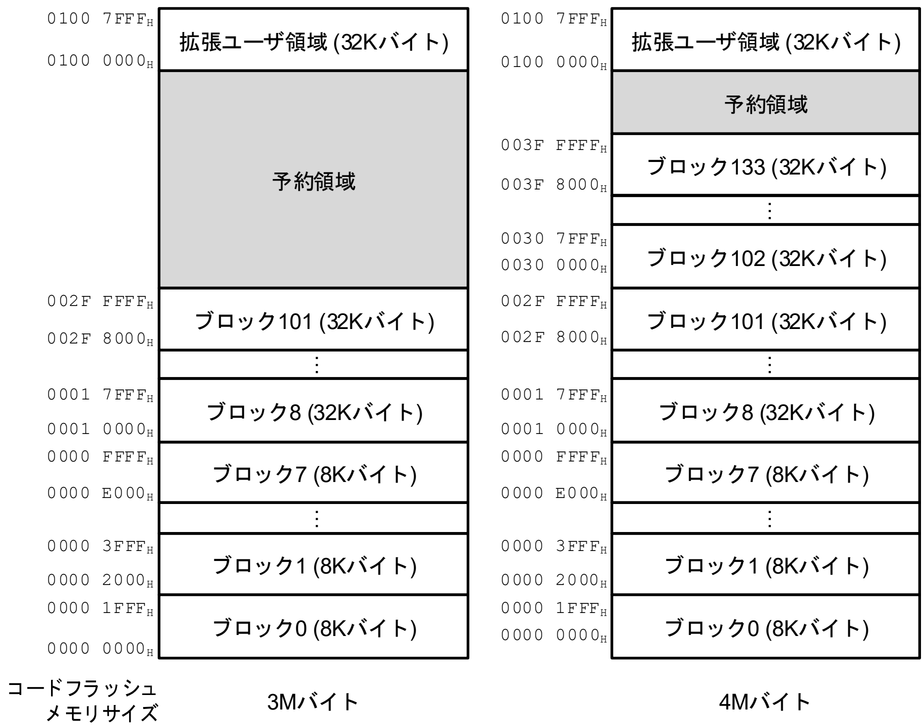


図 44.2　コードフラッシュメモリマッピング (RH850/F1KM-S4)

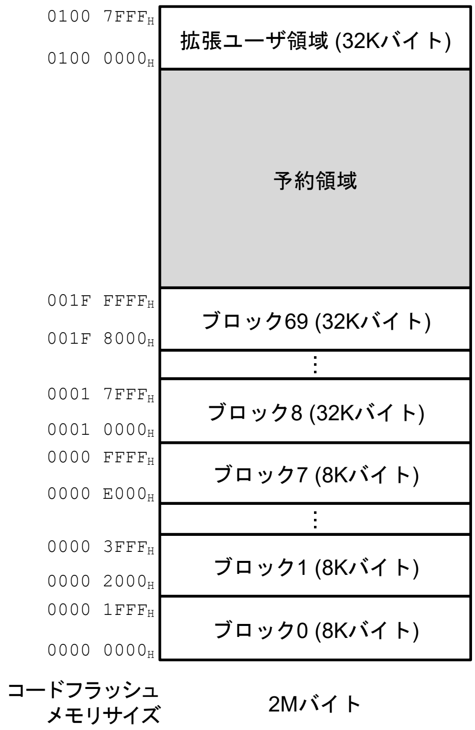


図 44.3 コードフラッシュメモリマッピング (RH850/F1KM-S2)

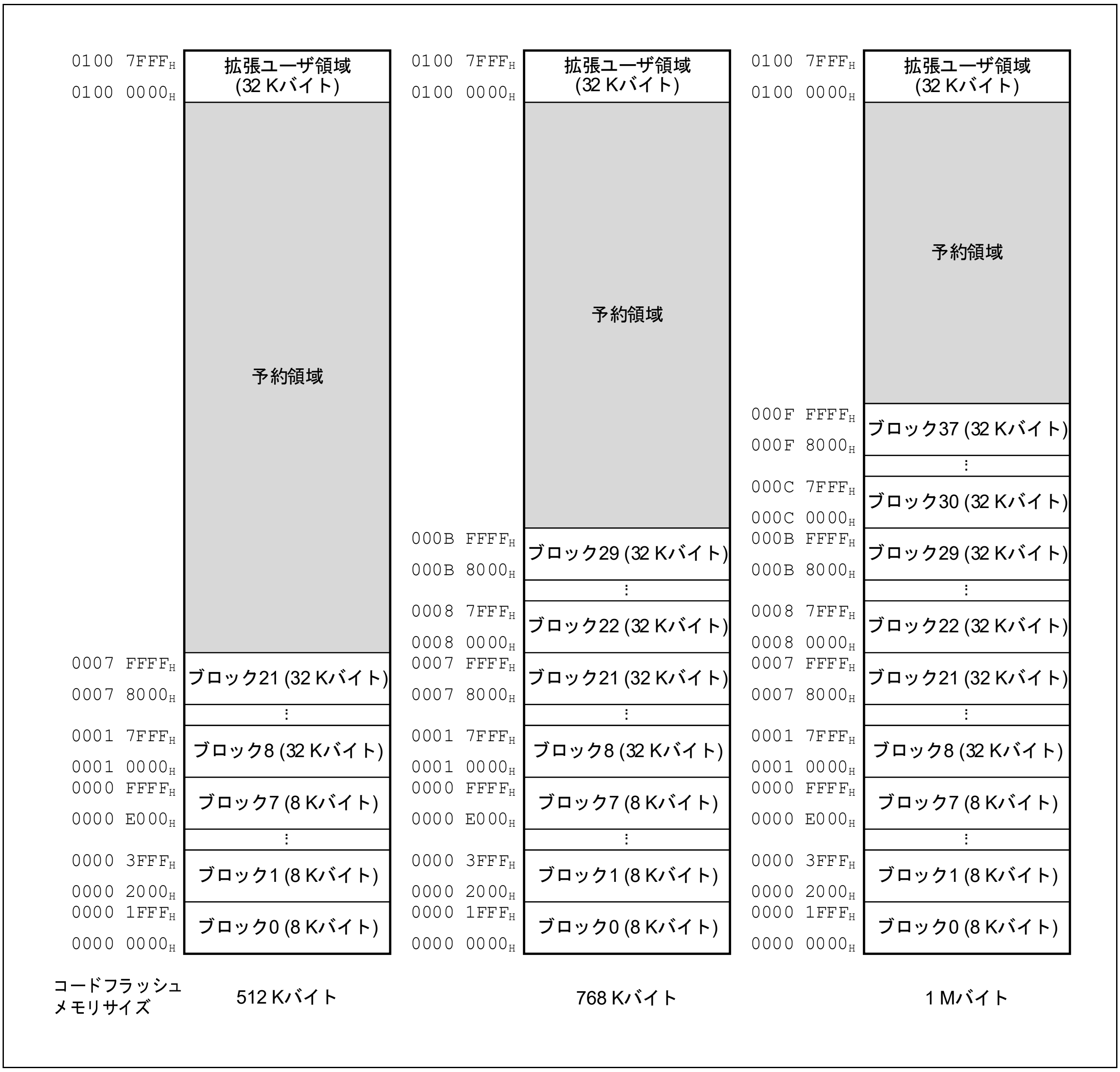


図 44.4 コードフラッシュメモリマッピング (RH850/F1KM-S1)

44.2.2 データフラッシュメモリマッピング

データフラッシュメモリのデータ領域は 64 バイトのブロックに分割されており、各ブロック単位で消去可能です。「**図 44.5 データフラッシュメモリマッピング (RH850/F1KH-D8)**」、「**図 44.6 データフラッシュメモリマッピング (RH850/F1KM-S4)**」、「**図 44.7 データフラッシュメモリマッピング (RH850/F1KM-S2)**」および「**図 44.8 データフラッシュメモリマッピング (RH850/F1KM-S1)**」に、データフラッシュメモリマッピングを示します。

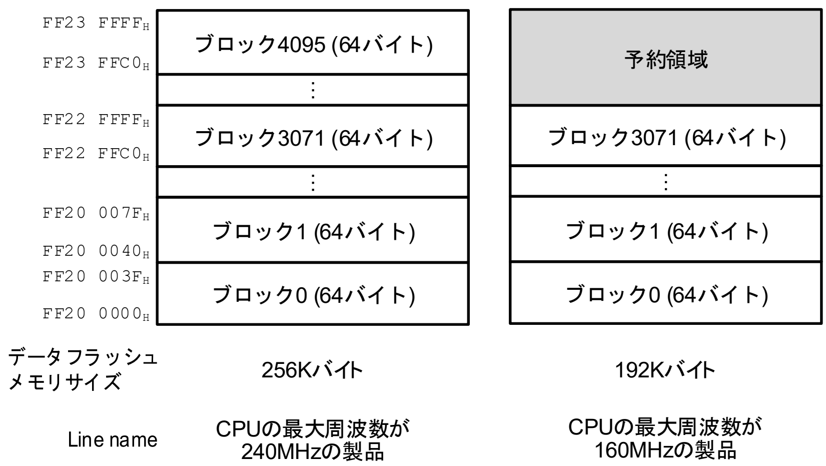


図 44.5 データフラッシュメモリマッピング (RH850/F1KH-D8)

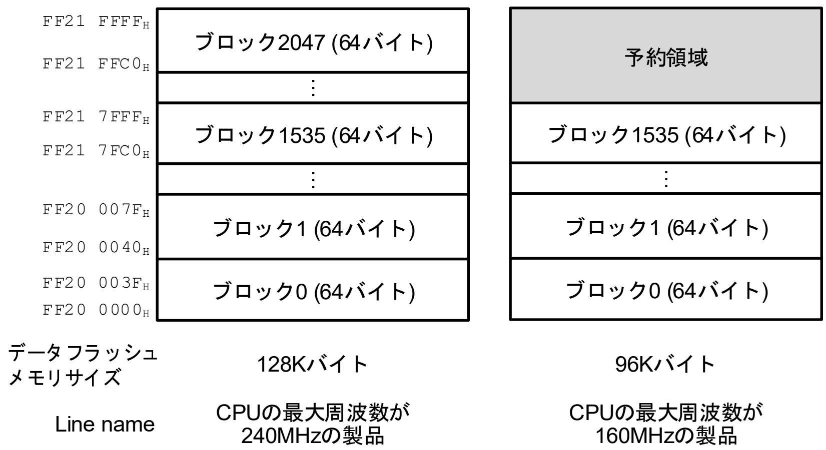


図 44.6 データフラッシュメモリマッピング (RH850/F1KM-S4)

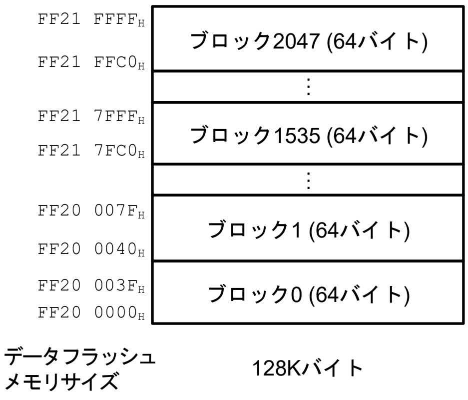


図 44.7　データフラッシュメモリマッピング (RH850/F1KM-S2)

図 44.8　データフラッシュメモリマッピング (RH850/F1KM-S1)

44.3　フラッシュメモリ関連の動作モード

「**図 44.9 フラッシュメモリに関するモード遷移図**」に、フラッシュメモリに関するモードの遷移図を示します。モードの設定方法については、「**第 6 章 動作モード**」を参照してください。

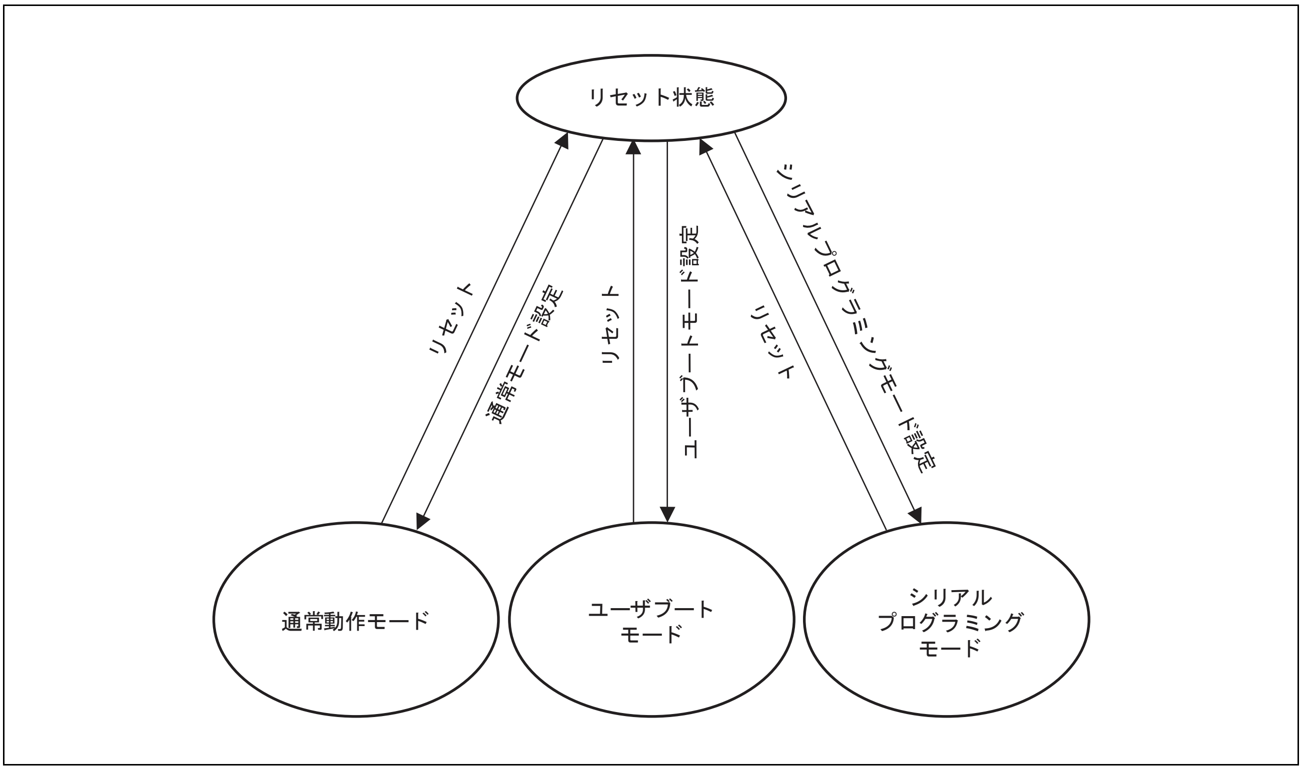


図 44.9　フラッシュメモリに関するモード遷移図

各モードでの書き込み／消去が可能なフラッシュメモリの領域、リセット解除後の起動プログラムを「**表 44.1 各モードでの書き込み／消去領域、リセット解除後の起動プログラム**」に示します。

表 44.1　各モードでの書き込み／消去領域、リセット解除後の起動プログラム

項目	通常動作モード	ユーザブートモード	シリアルプログラミングモード
書き込み／消去が可能な領域	● ユーザ領域 ● 拡張ユーザ領域 ● データ領域	● ユーザ領域 ● データ領域	● ユーザ領域 ● 拡張ユーザ領域 ● データ領域
リセット解除後の起動プログラム	ユーザ領域または拡張ユーザ領域のプログラム（可変リセットベクタで変更可能）	拡張ユーザ領域のプログラム（リセットベクタは 0100 0000$_H$）	シリアルプログラミング用ファームウェアプログラム

44.4　機能

44.4.1　機能概要

フラッシュメモリは、専用フラッシュメモリプログラマによるシリアルインタフェースを介した書き換え（シリアルプログラミング）により、ターゲットシステム、またはフラッシュアダプタシステム上で実装前の書き換えが可能です。

また、フラッシュメモリに書かれたユーザプログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざんを防止します。

ユーザプログラムによる書き換え（セルフプログラミング）は、エンドユーザでのターゲットシステムのプログラム変更を想定したアプリケーションに適した書き換え方式です。フラッシュメモリを安全に書き換えるためのプロテクション機能もサポートしています。また、セルフプログラミング中の割り込み処理のサポートにより、外部との通信を行いながら書き換えを行うなど、さまざまな条件での書き換えが可能です。各書き換え方式の概要と対応する動作モードを「**表 44.2 書き換え方式**」に示します。

表 44.2　書き換え方式

書き換え方式	説明	動作モード
シリアル プログラミング	専用フラッシュメモリプログラマを用いてターゲットシステム上に実装後にフラッシュメモリのオンボード書き換えが可能です。	シリアルプログラミングモード
	専用フラッシュメモリプログラマと専用プログラムアダプタボードを用いることにより、ターゲットシステムに実装する前に、フラッシュメモリのオフボード書き換えが可能です。	
セルフ プログラミング	シリアルプログラミングによりコードフラッシュメモリへあらかじめ書き込まれたユーザプログラムの実行により、フラッシュメモリの書き換えが可能です。 セルフプログラミングによるデータフラッシュメモリの書き換え時には、BGO 機能によりコードフラッシュメモリからの命令フェッチおよびデータの読み出しが可能です。このため、コードフラッシュメモリ上の書き換え用のプログラムを実行して、データフラッシュメモリを書き換えることができます。 RH850/F1KH-D8、RH850/F1KM-S4、RH850/F1KM-S2： また、更新用のコードフラッシュメモリ領域と読み出し用のコードフラッシュメモリ領域の、規定された条件が満たされている場合、バックグラウンド機能を使用することができます。（「**表 44.6 BGO 機能を利用可能な条件 (RH850/F1KH-D8)**」、「**表 44.7 BGO 機能を利用可能な条件 (RH850/F1KM-S4)**」、「**表 44.8 BGO 機能を利用可能な条件 (RH850/F1KM-S2)**」を参照してください。） この場合、コードフラッシュメモリは、セルフプログラミングによるコードフラッシュメモリ上の書き換え用の命令を使用して更新することができます。 バックグラウンド機能が使用できない場合は、セルフプログラミングによるコードフラッシュメモリの書き換え時には、コードフラッシュメモリからの命令フェッチおよびデータアクセスはできません。内蔵 RAM へ書き換え用のプログラムをあらかじめ転送して実行する必要があります。 RH850/F1KM-S1： セルフプログラミングによるコードフラッシュメモリの書き換え時には、コードフラッシュメモリからの命令フェッチおよびデータアクセスはできません。 ローカル RAM へ書き換え用のプログラムをあらかじめ転送して実行する必要があります。	通常動作モード ユーザブートモード

セルフプログラミング用にライブラリを提供しています。セルフプログラミングライブラリの詳細については、本デバイスの対象となるコードフラッシュライブラリとデータフラッシュライブラリのユーザーズマニュアルを参照してください。

フラッシュメモリの機能一覧を「**表 44.3 基本機能一覧**」に示します。シリアルプログラミングにおける各機能は、専用フラッシュメモリプログラマのコマンドで実現されます。セルフプログラミングおける各機能は、ライブラリ関数またはユーザプログラムによるフラッシュメモリの読み出しで実現されます。

表 44.3　基本機能一覧

機能	説明	サポートの有無（○：サポート、△：条件付サポート、―：未サポート）	
		シリアルプログラミング	セルフプログラミング
ブランクチェック	指定したブロックが書き込まれていないことの確認を行います。消去後に書き込んでいない状態のコードフラッシュメモリとデータフラッシュメモリの読み出し結果は保証されません。消去後に書き込んでいない状態の確認には、ブランクチェックを使用してください。	○	△（データフラッシュのみサポート）
ブロック消去	指定したブロックのメモリの内容の消去を行います。	○	○
プログラム	指定したアドレスの書き込みを行います。	○	○
ベリファイ／チェックサム	フラッシュメモリから読み出したデータと、フラッシュメモリプログラマから転送されたデータの比較を行います。	○	―（ユーザプログラムにて読み出しは可能）
リード	フラッシュメモリに書き込まれたデータの読み出しを行います。	○	○
OTP（One Time Programming）設定	指定したコードフラッシュメモリのブロックに対する OTP の設定を行います（OTP を設定のみ可能、解除は不可能）。	○	○
ID 設定	シリアルプログラミング時の専用フラッシュメモリプログラマ接続制御、オンチップデバッグ接続、セルフプログラミングによるコードフラッシュメモリ書き込みに使用する ID の設定を行います。 製品出荷時の初期状態の ID コードは FFFF_FFFF_FFFF_FFFF_FFFF_FFFF_FFFF_FFFF$_H$ です。	○	○
セキュリティ設定	シリアルプログラミング用のセキュリティ機能の設定を行います。	○	△（設定を許可から禁止にする場合のみ可能）
プロテクション設定	コードフラッシュメモリの各ブロックのロックビット、可変リセットベクタ機能用のリセットベクタ値の設定を行います。	△（可変リセットベクタ機能用のリセットベクタ値の設定はサポートしていません。）	○
オプションバイト設定	オプションバイトの設定を行い、初期設定を変更します。	○	○
コンフィグレーションクリア	ID 設定、セキュリティ設定、プロテクション設定、オプションバイト設定を初期化します。 また、次の場合はコンフィグレーションクリアコマンドの実行が禁止されます。 ● いずれかのブロックにロックビットが設定されている ● コードフラッシュ、データフラッシュのいずれかがブランクでない ● セキュリティ機能によって禁止している（**表 44.4 セキュリティ機能一覧**）	○	―

シリアルプログラミングの詳細につきましては、各フラッシュライタのユーザーズマニュアルを参照してください。

セルフプログラミングの詳細については、本デバイスの対象となるコードフラッシュライブラリとデータフラッシュライブラリのユーザーズマニュアルを参照してください。

フラッシュメモリは、各種のセキュリティ機能をサポートしています。

OTP と ID 認証は、シリアルプログラミングおよびセルフプログラミングともに使用できるセキュリティ機能です。

シリアルプログラミング時は、ID 認証、専用フラッシュメモリプログラマ接続禁止、コマンド禁止（ブロック消去コマンド禁止／プログラムコマンド禁止／リードコマンド禁止）のいずれかのセキュリティ機能を使用可能です。

フラッシュメモリでサポートされるセキュリティ機能を「**表 44.4 セキュリティ機能一覧**」に示します。

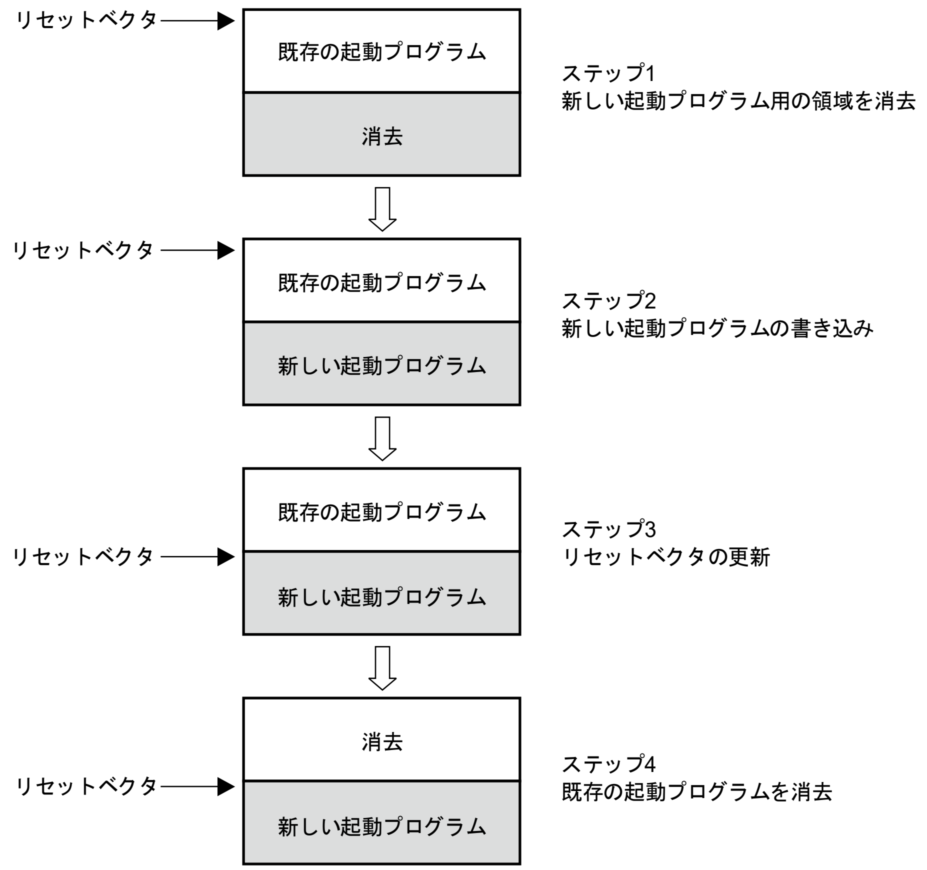
表 44.4　　セキュリティ機能一覧

機能	説明
OTP	コードフラッシュメモリのユーザ領域の各ブロックおよび拡張ユーザ領域に対して、個別に OTP を設定可能です。OTP 設定された領域は、シリアルプログラミングおよびセルフプログラミングで書き換え禁止となり、それ以降 OTP 設定は解除できません。また、いずれかの領域に対して OTP が設定された場合、コンフィグレーションクリアコマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。
ID 認証	シリアルプログラミング時の専用フラッシュメモリプログラマ接続を ID 認証結果で制御可能です。また、セルフプログラミングの有効化を ID 認証結果で制御可能です。
専用フラッシュメモリプログラマ接続禁止	シリアルプログラミング時の専用フラッシュメモリプログラマ接続を禁止します。専用フラッシュメモリプログラマ接続を禁止すると、コンフィグレーションクリアコマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。
ブロック消去コマンド禁止	シリアルプログラミング時のブロック消去コマンドの実行を禁止します。ブロック消去コマンドを禁止すると、コンフィグレーションクリアコマンドの実行が禁止されるため、セキュリティ設定を禁止から許可に変更できなくなります。
プログラムコマンド禁止	シリアルプログラミング時のプログラムコマンドとブロック消去コマンドの実行を禁止します。コンフィグレーションクリアコマンドの実行によってのみ、禁止設定の初期化が可能です。
リードコマンド禁止	シリアルプログラミング時のリードコマンドの実行を禁止します。コンフィグレーションクリアコマンドの実行によってのみ、禁止設定の初期化が可能です。

フラッシュメモリは、各種のプロテクション機能をサポートしています。フラッシュメモリでサポートされるプロテクション機能を「**表 44.5 プロテクション機能一覧**」に示します。

表 44.5　　プロテクション機能一覧

機能	説明
ブロック保護	コードフラッシュメモリのユーザ領域の各ブロックおよび拡張ユーザ領域に対して、個別に書き込み／消去の有効／無効を設定可能です。ロックビットがセットされ、かつロックビット機能が有効に設定された領域は、セルフプログラミングで書き込み／消去禁止です。 ロックビット機能を有効から無効に変更することで、再度書き込み／消去を実施することも可能です。コードフラッシュメモリをブロック消去すると、当該ブロックのロックビットも消去されます。
ハードウェアプロテクション	FLMD0 端子のレベルで、コードフラッシュメモリの書き込み／消去を禁止することが可能です。 – FLMD0＝0：書き換え禁止 – FLMD0＝1：書き換え許可
可変リセットベクタ	プロテクション設定機能でリセットベクタを変更可能です。「**図 44.10 可変リセットベクタ機能を利用した起動プログラムの更新方法**」に示すように、既存のプログラムを残した状態で新しい起動プログラムを書き込んだ後、リセットベクタを新しい起動プログラム領域に変更することで、安全にプログラムの更新を実施することが可能です。 リセットベクタで指定できる領域は、ユーザ領域および拡張ユーザ領域です。



備考　ステップ 4 実施後、リセットを実施することで、RBASE が変更されたリセットベクタに更新されます。

図 44.10　可変リセットベクタ機能を利用した起動プログラムの更新方法

44.5　シリアルプログラミング

専用フラッシュメモリプログラマを使用して、シリアルプログラミングモードでフラッシュメモリの操作を行うことができます。

シリアルプログラミング

シリアルプログラミング時に、マイクロコントローラはボードに装着されています。ボードにコネクタを備えることにより、フラッシュメモリプログラマはターゲットマイクロコントローラを操作することができます。

44.5.1　プログラミング環境

マイクロコントローラのフラッシュメモリにデータを操作するための推奨される環境を次に示します。

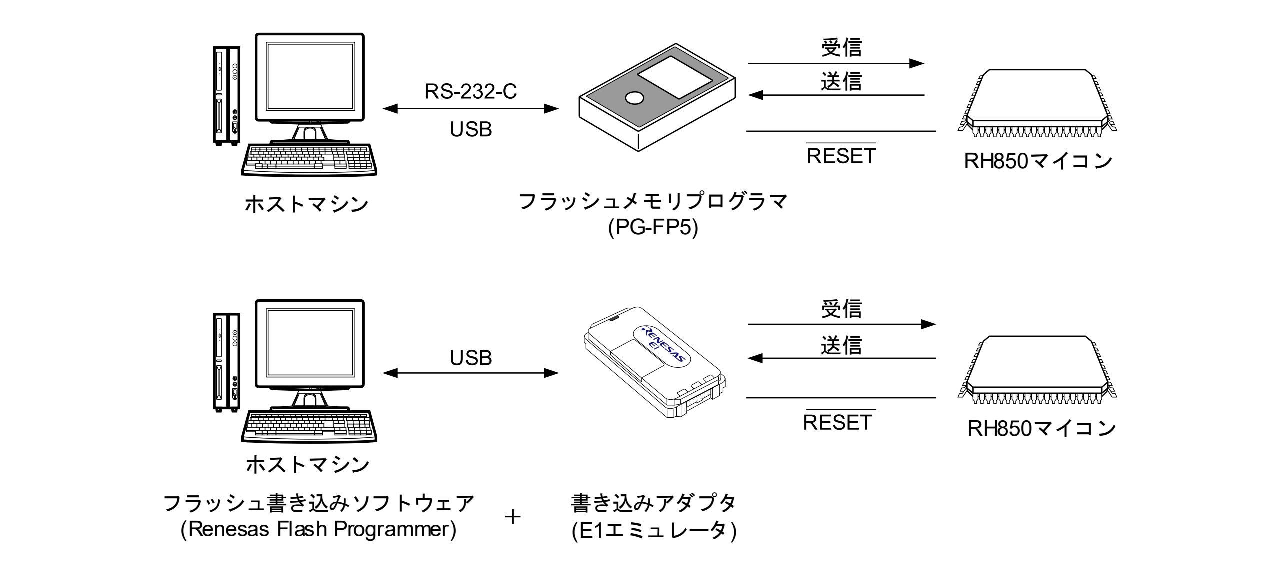


図 44.11　フラッシュメモリのプログラムを操作するための環境

フラッシュメモリプログラマ PG-FP5、またはフラッシュ書き込みソフトウェア Renesas Flash Programmer（ホストマシンで動作）と E1 エミュレータを書き込みアダプタとして使用することで、ルネサスエレクトロニクス製のフラッシュメモリ搭載マイコンをユーザが使用するボードに実装したまま、プログラムの消去、書き込み、ベリファイなどが簡単に操作できます。

フラッシュメモリプログラマ PG-FP5 は、ホストマシンからの書き込み操作、またはスタンドアロンモードでの書き込み操作が可能です。フラッシュ書き込みソフトウェア（Renesas Flash Programmer）は、ホストマシンから書き込み操作が可能です。

備　考

PG-FP5 の詳細は「*PG-FP5 フラッシュメモリプログラマユーザーズマニュアル*」を、フラッシュ書き込みソフトウェア Renesas Flash Programmer の詳細は「*Renesas Flash Programmer フラッシュ書き込みソフトウェアユーザーズマニュアル*」をご参照ください。

44.6　通信モード

44.6.1　非同期フラッシュプログラミングインタフェース 1 wire UART

シングルワイヤ非同期シリアルプログラミングインタフェース 1 wire UART は、次のポートを使用してフラッシュメモリプログラマに接続します。

- FPDR (JP0_0)：受信データ入力／送信データ出力

44.6.2　非同期フラッシュプログラミングインタフェース 2 wire UART

ダブルワイヤ非同期シリアルプログラミングインタフェース 2 wire UART は、次のポートを使用してフラッシュメモリプログラマに接続します。

- FPDR (JP0_0)：受信データ入力
- FPDT (JP0_1)：送信データ出力

44.6.3　同期フラッシュプログラミングインタフェース CSI

同期シリアルプログラミングインタフェース CSI は、次のポートを使用してフラッシュメモリプログラマに接続します。

- FPDR (JP0_0)：受信データ入力
- FPDT (JP0_1)：送信データ出力
- FPCK (JP0_2)：シリアルクロック入力

フラッシュメモリプログラマはシリアルデータクロック SCK を出力し、マイクロコントローラはスレーブとして動作します。

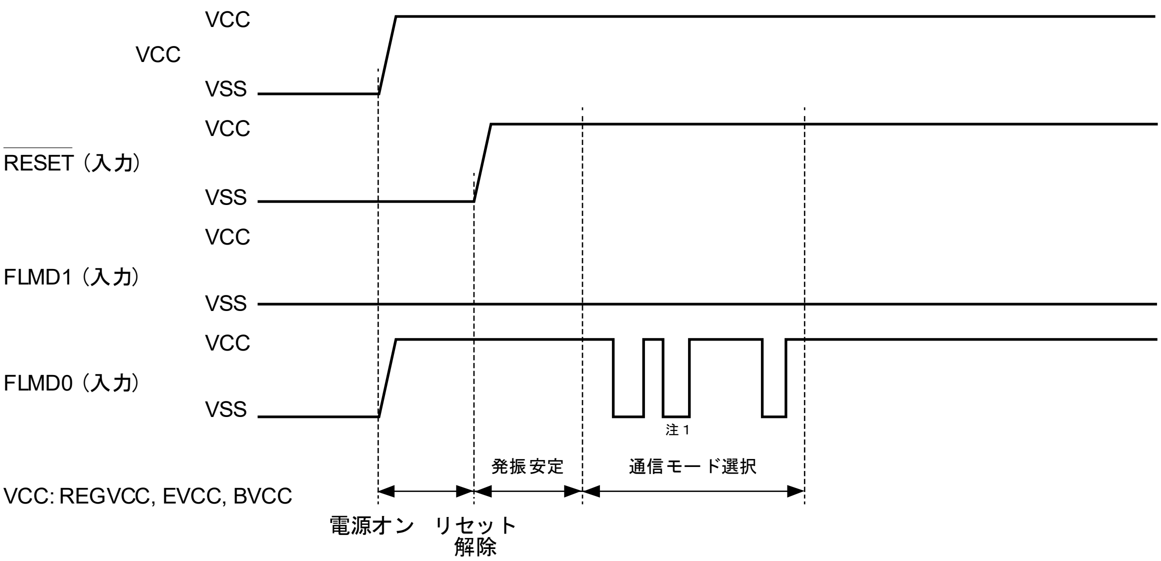
備　考

Renesas Flash Programmer の詳細は「*Renesas Flash Programmer フラッシュ書き込みソフトウェアユーザーズマニュアル*」を参照してください。

44.6.4　通信方式の選択

通信方式は、フラッシュメモリプログラミングモードに遷移後、FLMD0 端子にパルス（最大 7 パルス）を入力することで通信方式を選択します。この FLMD0 パルスは専用フラッシュメモリプログラマが生成します。

パルス数と通信方式の関係を「**図 44.12 通信方式の選択**」に示します。



注1.　挿入されるクロック数は通信方式によって、次のようになります。

FLMD0パルス	通信方式
0	2-wire UART
7	1-wire UART
3	CSI
その他	設定禁止

図 44.12　通信方式の選択

44.7　セルフプログラミング

44.7.1　概要

RH850/F1KH, RH850/F1KM は、ユーザプログラム自体によるフラッシュメモリの書き換えをサポートします。ルネサスエレクトロニクスが提供するコードフラッシュライブラリとデータフラッシュライブラリをユーザのプログラムで使用することにより、コードフラッシュメモリとデータフラッシュメモリを書き換えることができます。

データフラッシュメモリの書き換え時には、BGO 機能を利用してコードフラッシュメモリ上の書き換え用のプログラムを実行して、データフラッシュメモリを書き換えることができます。また、あらかじめ内蔵 RAM に転送した書き換え用のプログラムを実行して、データフラッシュメモリを書き換えることもできます。

また、更新用のコードフラッシュメモリ領域と読み出し用のコードフラッシュメモリ領域の、規定された条件が満たされている場合、バックグラウンド機能を使用することができます。（「**表 44.6 BGO 機能を利用可能な条件 (RH850/F1KH-D8)**」、「**表 44.7 BGO 機能を利用可能な条件 (RH850/F1KM-S4)**」、「**表 44.8 BGO 機能を利用可能な条件 (RH850/F1KM-S2)**」および「**表 44.9 BGO 機能を利用可能な条件 (RH850/F1KM-S1)**」を参照して下さい。）この場合、コードフラッシュメモリは、セルフプログラミングによるコードフラッシュメモリ上の書き換え用の命令を使用して更新することができます。書き換え用のプログラムをあらかじめ内蔵 RAM へコピーして、コードフラッシュメモリを書き換えることもできます。

バックグラウンド機能が使用できない場合は、書き換え用のプログラムをあらかじめ内蔵 RAM へコピーして、コードフラッシュメモリを書き換えることができます。

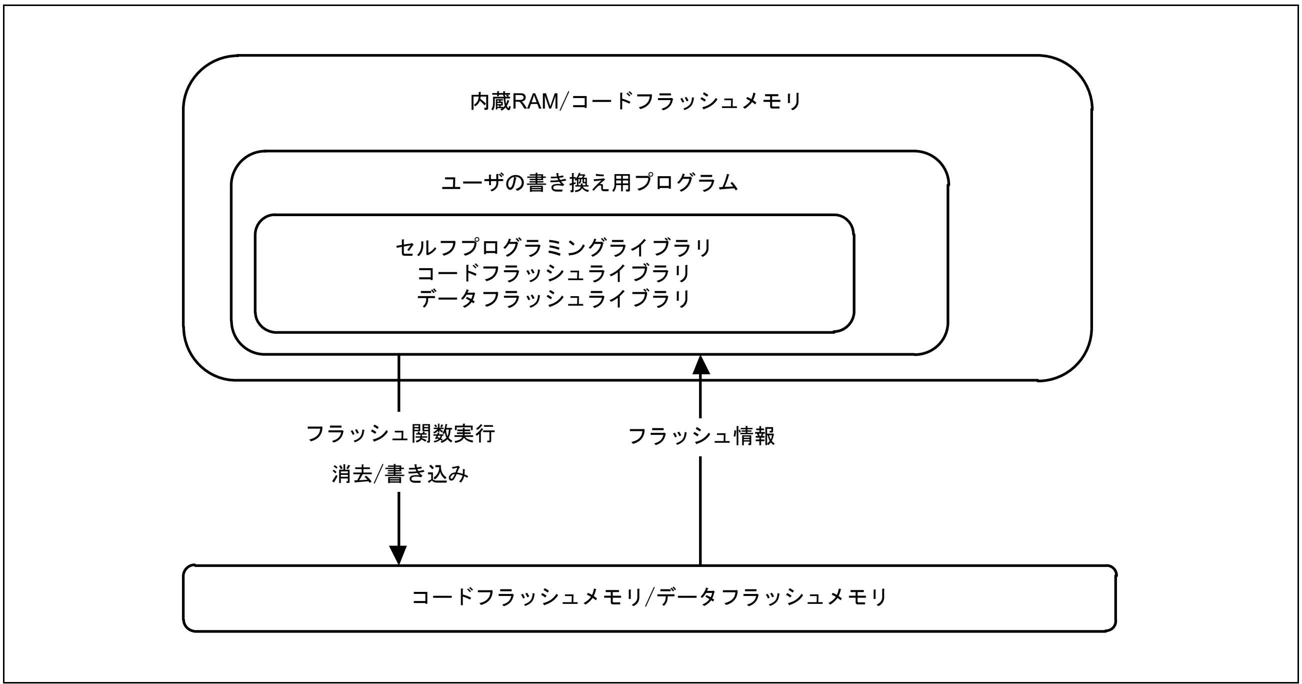


図 44.13　セルフプログラミングの概念

フラッシュセルフプログラミングに関する詳細は、本デバイスの対象となるコードフラッシュライブラリとデータフラッシュライブラリのユーザーズマニュアルを参照してください。

44.7.2　BGO 機能

書き換え対象のフラッシュメモリと読み出し対象のフラッシュメモリが「**表 44.6 BGO 機能を利用可能な条件 (RH850/F1KH-D8)**」、「**表 44.7 BGO 機能を利用可能な条件 (RH850/F1KM-S4)**」および「**表 44.9 BGO 機能を利用可能な条件 (RH850/F1KM-S1)**」の組み合わせである場合には、BGO 機能を利用することができます。

表 44.6　BGO 機能を利用可能な条件 (RH850/F1KH-D8)

		書き込み					
		[FLI0] アドレス： 0000 0000$_H$～ 001F FFFF$_H$	[FLI1] アドレス： 0020 0000$_H$～003F FFFF$_H$ (コードフラッシュ 8MB), 0020 0000$_H$～002F FFFF$_H$ (コードフラッシュ 6MB)	[FLI2] アドレス： 0080 0000$_H$～ 009F FFFF$_H$	[FLI3] アドレス： 00A0 0000$_H$～00BF FFFF$_H$ (コードフラッシュ 8MB), 00A0 0000$_H$～00AF FFFF$_H$ (コードフラッシュ 6MB)	拡張 ユーザ領域[注1]	データ フラッシュ メモリ
読み出し	[FLI0] アドレス： 0000 0000$_H$～001F FFFF$_H$	―	○	○	○	―	○
	[FLI1] アドレス： 0020 0000$_H$～003F FFFF$_H$ (コードフラッシュ 8MB), 0020 0000$_H$～002F FFFF$_H$ (コードフラッシュ 6MB)	○	―	○	○	○	○
	[FLI2] アドレス： 0080 0000$_H$～009F FFFF$_H$	○	○	―	○	○	○
	[FLI3] アドレス： 00A0 0000$_H$～00BF FFFF$_H$ (コードフラッシュ 8MB), 00A0 0000$_H$～00A0 FFFF$_H$ (コードフラッシュ 6MB)	○	○	○	―	○	○
	拡張ユーザ領域	―	○	○	○	―	○
	データフラッシュメモリ	―	―	―	―	―	―

備考　○：可能、―：不可

注1.　拡張ユーザ領域はユーザブートモードでは書き込みできません。

表 44.7　BGO 機能を利用可能な条件（RH850/F1KM-S4）

		書き込み			
		[FLI0] アドレス： 0000 0000H～001F FFFFH	[FLI1] アドレス： 0020 0000H～003F FFFFH (コードフラッシュ 4MB), 0020 0000H～002F FFFFH (コードフラッシュ 3MB)	拡張 ユーザ領域注1	データ フラッシュ メモリ
読み出し	[FLI0] アドレス： 0000 0000H～001F FFFFH	—	○	—	○
読み出し	[FLI1] アドレス： 0020 0000H～003F FFFFH (コードフラッシュ 4MB), 0020 0000H～002F FFFFH (コードフラッシュ 3MB)	○	—	○	○
読み出し	拡張ユーザ領域	—	○	—	○
読み出し	データフラッシュメモリ	—	—	—	—

備考　○：可能、—：不可

注1.　拡張ユーザ領域はユーザブートモードでは書き込みできません。

表 44.8　BGO 機能を利用可能な条件（RH850/F1KM-S2）

		書き込み			
		[FLI0] アドレス： 0000 0000H～000F FFFFH	[FLI1] アドレス： 0010 0000H～001F FFFFH	拡張 ユーザ領域注1	データ フラッシュ メモリ
読み出し	[FLI0] アドレス： 0000 0000H～000F FFFFH	—	○	—	○
読み出し	[FLI1] アドレス： 0010 0000H～001F FFFFH	○	—	○	○
読み出し	拡張ユーザ領域	—	○	—	○
読み出し	データフラッシュメモリ	—	—	—	—

備考　○：可能、—：不可

注1.　拡張ユーザ領域はユーザブートモードでは書き込みできません。

表 44.9　BGO 機能を利用可能な条件（RH850/F1KM-S1）

書き換え対象領域	読み出し対象領域
データフラッシュメモリ	コードフラッシュメモリ

44.7.3　セルフプログラミングの有効化

セルフプログラミング機能は通常動作モードとユーザブートモードから起動できます。

セルフプログラミング機能によるコードフラッシュの消去および書き込みは、FLMD0 端子をハイレベルにすることにより有効になります。

これにより誤動作時に、プログラムが不要に書き換えられることを回避します。

FLMD0 端子をハイレベルにするには次のいずれかを行ってください。

- FLMD0 端子を外部でプルアップする
- FLMDCNT レジスタにより FLMD0 端子のプルアップする

FLMDCNT レジスタの概要を、「**44.7.3.1 FLMDCNT — FLMDCNT レジスタ**」に示します。

表 44.10　レジスター覧

モジュール名	レジスタ名	略号	アドレス
FLMD	FLMDCNT レジスタ	FLMDCNT	FFA0 0000_H

44.7.3.1 FLMDCNT — FLMDCNT レジスタ

FLMD0 端子の内蔵プルアップ／プルダウンを指定するレジスタです。

このレジスタを更新するためには、FLMDPCMD レジスタを使った正しい書き込みシーケンスが必要です。
詳細は「**第 5 章 書き込み保護レジスタ**」を参照してください。

アクセス	32 ビット単位でリード／ライト可能です。
アドレス	FFA0 0000H
リセット後の値	0000 0000H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FLMDPUP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 44.11 FLMDCNT レジスタの内容

ビット位置	ビット名	機能
31～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	FLMDPUP	FLMD0 端子ソフト制御 0：プルダウン選択 1：プルアップ選択

44.8　フラッシュメモリの読み出し

44.8.1　コードフラッシュメモリの読み出し

通常モードのコードフラッシュメモリの読み出し時には、特別な設定は必要ありません。コードフラッシュメモリのアドレスにアクセスすることで、データを読み出すことが可能です。

消去後に書き込んでいない状態（未書き込み状態）のコードフラッシュメモリを読み出すと、ECC エラーが検出されて例外が発生しますので注意してください。

44.8.2　データフラッシュメモリの読み出し

通常モードのデータフラッシュメモリの読み出し時には、事前に EEPRDCYCL レジスタにデータフラッシュメモリの読み出しサイクル数を設定してください。読み出しサイクル数を設定後にデータフラッシュメモリのアドレスにアクセスすることで、データを読み出すことが可能です。

消去後に書き込んでいない状態（未書き込み状態）のデータフラッシュメモリの値は不定です。未書き込み状態の確認には、ブランクチェック機能を使用してください。

表 44.12　レジスター覧

モジュール名	レジスタ名	略号	アドレス
DCIB	データフラッシュウェイトサイクル制御レジスタ	EEPRDCYCL	FFC5 9810_H
SCDS	製品名格納レジスタ	PRDNAME1	FFCD $00D0_H$
	製品名格納レジスタ	PRDNAME2	FFCD $00D4_H$
	製品名格納レジスタ	PRDNAME3	FFCD $00D8_H$
	チップ ID レジスタ 1LL	CHIPID1LL	FFCD $00E0_H$
	チップ ID レジスタ 1LH	CHIPID1LH	FFCD $00E4_H$
	チップ ID レジスタ 1HL	CHIPID1HL	FFCD $00E8_H$
	チップ ID レジスタ 1HH	CHIPID1HH	FFCD $00EC_H$
	チップ ID レジスタ 2LL	CHIPID2LL	FFCD $00F0_H$
	チップ ID レジスタ 2LH	CHIPID2LH	FFCD $00F4_H$
	チップ ID レジスタ 2HL	CHIPID2HL	FFCD $00F8_H$
	チップ ID レジスタ 2HH	CHIPID2HH	FFCD $00FC_H$

44.8.2.1 EEPRDCYCL — データフラッシュウェイトサイクル制御レジスタ

このレジスタは、データフラッシュへリードアクセスする際の、ウェイトを設定するレジスタです。

データフラッシュへリードアクセスする際のウェイト数は、CPU の動作周波数（f_{CPUCLK}）に合わせて設定してください。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　FFC5 9810$_H$

リセット後の値　0F$_H$

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	WAIT[3:0]			
リセット後の値	0	0	0	0	1	1	1	1
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 44.13　EEPRDCYCL レジスタの内容

ビット位置	ビット名	機能
7〜4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3〜0	WAIT[3:0]	ウェイトサイクル数 RH850/F1KH-D8、RH850/F1KM-S4、RH850/F1KM-S2： ［CKDIVMD＝1、CPU の最大周波数が 160MHz の製品を含む］ （下表 1） ［CKDIVMD＝0］ （下表 2） RH850/F1KM-S1： （下表 3）

［CKDIVMD＝1、CPU の最大周波数が 160MHz の製品を含む］

WAIT[3:0]	ウェイトサイクル数	CPU 動作周波数		
		f_{CPUCLK_H}≦80MHz	80MHz＜f_{CPUCLK_H}≦160MHz	160MHz＜f_{CPUCLK_H}≦240MHz
0000	1	○	設定禁止	設定禁止
0001	2	○	○	設定禁止
0010	3	○	○	○
0011	4	○	○	○
0100	5	○	○	○
0101	6	○	○	○
0110	7	○	○	○
0111	8	○	○	○
1000	9	○	○	○
上記以外	10	○	○	○

［CKDIVMD＝0］

WAIT[3:0]	ウェイトサイクル数	CPU 動作周波数		
		f_{CPUCLK_H}≦40MHz	40 MHz＜f_{CPUCLK_H}≦80 MHz	80 MHz＜f_{CPUCLK_H}≦120 MHz
0000	1	○	設定禁止	設定禁止
0001	2	○	○	設定禁止
0010	3	○	○	○
0011	4	○	○	○
0100	5	○	○	○
0101	6	○	○	○
0110	7	○	○	○
0111	8	○	○	○
1000	9	○	○	○
上記以外	10	○	○	○

RH850/F1KM-S1：

WAIT[3:0]	ウェイトサイクル数	CPU 動作周波数		
		f_{CPUCLK_M}≦40MHz	40MHz＜f_{CPUCLK_M}≦80MHz	80MHz＜f_{CPUCLK_M}≦120MHz
0000	1	○	設定禁止	設定禁止
0001	2	○	○	設定禁止
0010	3	○	○	○
0011	4	○	○	○
0100	5	○	○	○
0101	6	○	○	○
0110	7	○	○	○
0111	8	○	○	○
1000	9	○	○	○
上記以外	10	○	○	○

備　考

1. ウェイトサイクル数よりデータフラッシュへのリードアクセス時間は、次のように算出できます。
   - RH850/F1KH-D8、RH850/F1KM-S4、RH850/F1KM-S2 :
     データフラッシュのリードアクセス時間＝{20 + (ウェイトサイクル数 × 8)} / CPU 動作周波数
     (CKDIVMD＝1、CPU の最大周波数が 160MHz の製品を含む)
     データフラッシュのリードアクセス時間＝{12 + (ウェイトサイクル数 × 4)} / CPU 動作周波数
     (CKDIVMD＝0)
   - RH850/F1KM-S1 :
     データフラッシュのリードアクセス時間＝{17 + (ウェイトサイクル数 × 4)} / CPU 動作周波数

   ただし、前後の実行命令の組み合わせにより変化する場合があります。
2. “○”は設定可能なウェイトサイクル数を示します。

44.8.2.2　PRDNAMEn ― 製品名格納レジスタ（n＝1～3）

製品名を格納するレジスタです。製品型名が 16 バイトの ASCII コードで格納され、PRDNAME1、PRDNAME2、PRDNAME3 は、それぞれ製品型名の 4～1 バイト目、8～5 バイト目、12～9 バイト目に該当します。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　PRDNAME1：FFCD 00D0$_H$

PRDNAME2：FFCD 00D4$_H$

PRDNAME3：FFCD 00D8$_H$

リセット後の値　**「表 44.15 製品情報関連のレジスター覧（CPU の最大周波数が 240MHz の製品）(RH850/F1KH-D8)」**、**「表 44.17 製品情報関連のレジスター覧（CPU の最大周波数が 240MHz の製品）(RH850/F1KM-S4)」**、**「表 44.18 製品情報関連のレジスター覧 (RH850/F1KM-S2)」**および**「表 44.19 製品情報関連のレジスター覧 (RH850/F1KM-S1)」**を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PRDNAMEn[31:24]注 1								PRDNAMEn[23:16]注 1							
リセット後の値																
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PRDNAMEn[15:8]注 1								PRDNAMEn[7:0]注 1							
リセット後の値																
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注1.　n＝1～3

表 44.14　PRDNAMEn レジスタの内容

ビット位置	ビット名	機能
31～24	―	製品名：4 バイト目（PRDNAME1）、8 バイト目（PRDNAME2）、12 バイト目（PRDNAME3）
23～16	―	製品名：3 バイト目（PRDNAME1）、7 バイト目（PRDNAME2）、11 バイト目（PRDNAME3）
15～8	―	製品名：2 バイト目（PRDNAME1）、6 バイト目（PRDNAME2）、10 バイト目（PRDNAME3）
7～0	―	製品名：1 バイト目（PRDNAME1）、5 バイト目（PRDNAME2）、9 バイト目（PRDNAME3）

「表 44.15 製品情報関連のレジスター覧（CPU の最大周波数が 240MHz の製品）(RH850/F1KH-D8)」、**「表 44.17 製品情報関連のレジスター覧（CPU の最大周波数が 240MHz の製品）(RH850/F1KM-S4)」**、**「表 44.18 製品情報関連のレジスター覧 (RH850/F1KM-S2)」**および**「表 44.19 製品情報関連のレジスター覧 (RH850/F1KM-S1)」**に、製品情報関連のレジスター覧を示します。

表 44.15　製品情報関連のレジスター覧（CPU の最大周波数が 240MHz の製品）(RH850/F1KH-D8)

製品型名	PRDNAME1	PRDNAME2	PRDNAME3
R7F701715	3746 3752	3137 3130	2020 2035
R7F701714	3746 3752	3137 3130	2020 2034
R7F701711	3746 3752	3137 3130	2020 2031
R7F701710	3746 3752	3137 3130	2020 2030
R7F701709	3746 3752	3037 3130	2020 2039
R7F701708	3746 3752	3037 3130	2020 2038

表 44.16　予約

表 44.17　製品情報関連のレジスター覧（CPU の最大周波数が 240MHz の製品）(RH850/F1KM-S4)

製品型名	PRDNAME1	PRDNAME2	PRDNAME3
R7F701653	3746 3752	3536 3130	2020 2033
R7F701652	3746 3752	3536 3130	2020 2032
R7F701651	3746 3752	3536 3130	2020 2031
R7F701650	3746 3752	3536 3130	2020 2030
R7F701649	3746 3752	3436 3130	2020 2039
R7F701648	3746 3752	3436 3130	2020 2038
R7F701647	3746 3752	3436 3130	2020 2037
R7F701646	3746 3752	3436 3130	2020 2036
R7F701645	3746 3752	3436 3130	2020 2035
R7F701644	3746 3752	3436 3130	2020 2034

表 44.18　製品情報関連のレジスター覧 (RH850/F1KM-S2)

製品型名	PRDNAME1	PRDNAME2	PRDNAME3
R7F701764	3746 3752	3637 3130	2020 2034
R7F701762	3746 3752	3637 3130	2020 2032
R7F701760	3746 3752	3637 3130	2020 2030

表 44.19　製品情報関連のレジスター覧 (RH850/F1KM-S1)

製品型名	PRDNAME1	PRDNAME2	PRDNAME3
R7F701684	3746 3752	3836 3130	2020 2034
R7F701685	3746 3752	3836 3130	2020 2035
R7F701686	3746 3752	3836 3130	2020 2036
R7F701687	3746 3752	3836 3130	2020 2037
R7F701688	3746 3752	3836 3130	2020 2038
R7F701689	3746 3752	3836 3130	2020 2039
R7F701690	3746 3752	3936 3130	2020 2030
R7F701691	3746 3752	3936 3130	2020 2031
R7F701692	3746 3752	3936 3130	2020 2032
R7F701693	3746 3752	3936 3130	2020 2033
R7F701694	3746 3752	3936 3130	2020 2034
R7F701695	3746 3752	3936 3130	2020 2035

44.8.2.3 CHIPIDnXX — チップ ID レジスタ（n＝1, 2、XX＝LL, LH, HL, HH）

RH850/F1KH, RH850/F1KM はデバイスの個別チップ ID のオプションを提供します。

アクセス　32 ビット単位でリードのみ可能です。

アドレス　CHIPID1LL：FFCD 00E0$_H$
CHIPID1LH：FFCD 00E4$_H$
CHIPID1HL：FFCD 00E8$_H$
CHIPID1HH：FFCD 00EC$_H$
CHIPID2LL：FFCD 00F0$_H$
CHIPID2LH：FFCD 00F4$_H$
CHIPID2HL：FFCD 00F8$_H$
CHIPID2HH：FFCD 00FC$_H$

リセット後の値　個別の値

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CHIPIDnXX[31:24]注1								CHIPIDnXX[23:16]注1							
リセット後の値																
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CHIPIDnXX[15:8]注1								CHIPIDnXX[7:0]注1							
リセット後の値																
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注1.　n＝1, 2
XX＝LL, LH, HL, HH

44.9　オプションバイト

フラッシュメモリにはさまざまな目的でユーザが指定したデータを保持する拡張領域（オプションバイト）があります。オプションバイト設定による周辺機能の初期設定等の変更はリセット解除後に有効になります。「**表 44.20 出荷時の値 (RH850/F1KH-D8)**」および「**表 44.21 出荷時の値 (RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)**」に、出荷時の値を示します。

表 44.20　出荷時の値 (RH850/F1KH-D8)

オプションバイト	値
オプションバイト 0	FA27 FFCF$_H$
オプションバイト 1	FFFF FDF4$_H$

表 44.21　出荷時の値 (RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

オプションバイト	値
オプションバイト 0	FA27 FFCF$_H$
オプションバイト 1	FFFF FDFF$_H$

44.9.1　オプションバイトの設定

フラッシュメモリにプログラムを書き込む場合は、下記のオプションに対応するオプションバイト領域を必ず設定してください。

オプションバイトで決定するオプション機能は次のとおりです。

- ポートグループ JP0 の機能
- WDTA2 の起動コード方式[注3]
- WDTA2 のスタートモード[注3]
- WDTA2 の有効／無効[注3]
- WDTA1 の起動コード方式
- WDTA1 のスタートモード
- WDTA1 の有効／無効
- WDTA0 の起動コード方式
- WDTA0 のスタートモード
- WDTA0 の有効／無効
- WDTA2 [注3]、WDTA1 および WDTA0 オーバフローインターバル時間の初期値
- $\overline{\text{RESETOUT}}$ の有効／無効
- 高電圧監視許可
- 低電圧監視許可
- CPUCLK のクロック分周器モード[注1]
- FlexRay の有効／無効[注1、注2]
- Ethernet AVB 0 の有効／無効[注1、注2]
- Ethernet AVB 1 の有効／無効[注3]
- PE2 の有効／無効[注3]
- PE2 ブートの有効／無効[注3]

注1. RH850/F1KM-S1 では、本機能は、サポートされていません。
注2. RH850/F1KM-S2 では、本機能は、サポートされていません。
注3. RH850/F1KH-D8 では、本機能はサポートしています。

44.9.2　OPBT0 ― オプションバイト 0

オプションバイトの設定値、およびビット位置を以下に示します。

設定方法の詳細につきましては、シリアルプログラミング時は各フラッシュライタのユーザーズマニュアルを、セルフプログラミング時はコードフラッシュライブラリを参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	OPJTAG[1:0]		—	—	WDT 1_3	—	WDT 1_1	WDT 1_0	WDT 0_3	—	WDT 0_1	WDT 0_0	WDT_2	WDT_1	WDT_0

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ETNB1 EN	ETNB0 EN	FLXA0 EN	CKDIV MD	—	—	RESET OUTEN	—	—	—	CVM_H D_EN	CVM_L D_EN	PE2BO OTEN	PE2EN	—	—

注：　リセット後の値は、ユーザが設定して下さい。（出荷時の値は、「**表 44.20　出荷時の値（RH850/F1KH-D8）**」および「**表 44.21　出荷時の値（RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1）**」を参照してください。）

表 44.22　オプションバイト 0 の設定

ビット位置	ビット名	機能
31	予約ビット	ライトする場合は“1”を書いてください。
30、29	OPJTAG[1:0]	ポートグループ JP0 の機能を制御します。 00：JP0 は汎用／兼用機能ポートに使用されます。 01：JP0 は LPD（4-pin）として使用されます。 10：JP0 は LPD（1-pin）として使用されます。 11：JP0 は Nexus I/F として使用されます。
28、27	予約ビット	ライトする場合は“1”を書いてください。
26	WDT1_3	WDTA1 の起動コード方式を指定します。 0：固定起動コード 1：可変起動コード
25	予約ビット	ライトする場合は“1”を書いてください。
24	WDT1_1	WDTA1 のスタートモードを指定します。 0：ソフトウェアトリガスタートモード 1：デフォルトスタートモード
23	WDT1_0	WDTA1 の有効／無効を設定します。 0：WDTA1 無効 1：WDTA1 有効
22	WDT0_3	WDTA0 の起動コード方式を指定します。 0：固定起動コード 1：可変起動コード
21	予約ビット	ライトする場合は“1”を書いてください。
20	WDT0_1	WDTA0 のスタートモードを指定します。 0：ソフトウェアトリガスタートモード 1：デフォルトスタートモード
19	WDT0_0	WDTA0 の有効／無効を設定します。 0：WDTA0 無効 1：WDTA0 有効
18～16	WDT_[2:0]	WDTA0、WDTA1 および WDTA2 のオーバフローインターバル時間制御ビット WDTAnMD.WDTAnOVF[2:0]のリセット値を指定します。

表 44.22　オプションバイト 0 の設定

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>機能</th></tr>
<tr><td>15</td><td>ETNB1EN</td><td>RH850/F1KH-D8：
Ethernet AVB 1 の有効／無効を設定します。
0：Ethernet AVB 1 無効
1：Ethernet AVB 1 有効
RH850/F1KM-S4、RH850/F1KM-S2、RH850/F1KM-S1：
ライトする場合は“1”を書いてください。</td></tr>
<tr><td>14</td><td>ETNB0EN</td><td>RH850/F1KH-D8、RH850/F1KM-S4：
Ethernet AVB 0 の有効／無効を設定します。
0：Ethernet AVB 0 無効
1：Ethernet AVB 0 有効
RH850/F1KM-S2、RH850/F1KM-S1：
ライトする場合は“1”を書いてください。</td></tr>
<tr><td>13</td><td>FLXA0EN</td><td>RH850/F1KH-D8、RH850/F1KM-S4：
FlexRay の有効／無効を設定します。
0：FlexRay 無効
1：FlexRay 有効
RH850/F1KM-S2、RH850/F1KM-S1：
ライトする場合は“1”を書いてください。</td></tr>
<tr><td>12</td><td>CKDIVMD</td><td>RH850/F1KH-D8、RH850/F1KM-S4、RH850/F1KM-S2：
CPUCLK のクロック分周器モード
<table>
<tr><th></th><th colspan="2">CPU の最大周波数が
240MHz の製品</th><th>CPU の最大周波数が
160MHz の製品</th></tr>
<tr><td>CKDIVMD</td><td>1</td><td>0[注1]</td><td>1[注2]</td></tr>
<tr><td>CPUCLK_H</td><td>CPUCLK</td><td>CPUCLK</td><td>CPUCLK</td></tr>
<tr><td>CPUCLK_M</td><td>CPUCLK × 1/2</td><td>CPUCLK</td><td>CPUCLK × 1/2</td></tr>
<tr><td>CPUCLK_L</td><td>CPUCLK × 1/4</td><td>CPUCLK × 1/2</td><td>CPUCLK × 1/4</td></tr>
<tr><td>CPUCLK_UL</td><td>CPUCLK × 1/8</td><td>CPUCLK × 1/4</td><td>CPUCLK × 1/8</td></tr>
</table>
RH850/F1KM-S1：
ライトする場合は“1”を書いてください。</td></tr>
<tr><td>11、10</td><td>予約ビット</td><td>ライトする場合は“1”を書いてください。</td></tr>
<tr><td>9</td><td>RESETOUTEN</td><td>$\overline{\text{RESETOUT}}$ 制御
0：$\overline{\text{RESETOUT}}$ 無効
1：$\overline{\text{RESETOUT}}$ 有効</td></tr>
<tr><td>8～6</td><td>予約ビット</td><td>ライトする場合は“1”を書いてください。</td></tr>
<tr><td>5</td><td>CVM_HD_EN</td><td>高電圧監視許可
0：高電圧検出を禁止
1：高電圧検出を許可</td></tr>
<tr><td>4</td><td>CVM_LD_EN</td><td>低電圧監視許可
0：低電圧検出を禁止
1：低電圧検出を許可</td></tr>
<tr><td>3</td><td>PE2BOOTEN</td><td>RH850/F1KH-D8：
PE2 ブート許可
0：PE2 ブートを禁止
1：PE2 ブートを許可（PE2EN が 1 の場合のみ）
RH850/F1KM-S4、RH850/F1KM-S2、RH850/F1KM-S1：
ライトする場合は“1”を書いてください。</td></tr>
<tr><td>2</td><td>PE2EN</td><td>RH850/F1KH-D8：
PE2 許可
0：PE2 を禁止
1：PE2 を許可
RH850/F1KM-S4、RH850/F1KM-S2、RH850/F1KM-S1：
ライトする場合は“1”を書いてください。</td></tr>
</table>

表 44.22　オプションバイト 0 の設定

ビット位置	ビット名	機能
1、0	予約ビット	ライトする場合は“1”を書いてください。

注1.　“0”を設定する場合は、CPUCLK を 120MHz 以下に設定してください。

注2.　書き込み時は、CPU の最大周波数が 160MHz の製品には“1”を書き込んでください。

44.9.3 OPBT1 — オプションバイト 1

オプションバイトの設定値、およびビット位置を以下に示します。

設定方法の詳細につきましては、シリアルプログラミング時は各フラッシュライタのユーザーズマニュアルを、セルフプログラミング時はコードフラッシュライブラリを参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	SIDAM	WDT2_3	—	WDT2_1	WDT2_0

表 44.23　オプションバイト 1 の設定

ビット位置	ビット名	機能
31～10	予約ビット	ライトする場合は“1”を書いてください。
9	予約ビット	ライトする場合は“0”を書いてください。
8～5	予約ビット	ライトする場合は“1”を書いてください。
4	SIDAM	セルフプログラミング ID 認証モード 0：セルフプログラミング ID 認証は、コードフラッシュメモリの書き込みや、リセットベクタのコンフィグレーション設定には必要ありません。 1：セルフプログラミング ID 認証は、コードフラッシュメモリの書き込みや、リセットベクタのコンフィグレーション設定には必要です。
3	WDT2_3	RH850/F1KH-D8： WDTA2 の起動コード方式を指定します。 0：固定起動コード 1：可変起動コード RH850/F1KM-S4、RH850/F1KM-S2、RH850/F1KM-S1： ライトする場合は“1”を書いてください。
2	予約ビット	ライトする場合は“1”を書いてください。
1	WDT2_1	RH850/F1KH-D8： WDTA2 のスタートモードを指定します。 0：ソフトウェアトリガスタートモード 1：デフォルトスタートモード RH850/F1KM-S4、RH850/F1KM-S2、RH850/F1KM-S1： ライトする場合は“1”を書いてください。
0	WDT2_0	RH850/F1KH-D8： WDTA2 の有効／無効を設定します。 0：WDTA2 無効 1：WDTA2 有効 RH850/F1KM-S4、RH850/F1KM-S2、RH850/F1KM-S1： ライトする場合は“1”を書いてください。

44.10 使用上の注意事項

(1) 書き込み／消去を中断した領域の読み出し

書き込み／消去を中断したフラッシュメモリ領域の格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、書き込み／消去を中断した領域の命令フェッチやデータ読み出しが発生しないように注意してください。

(2) 消去後に書き込んでいない状態のコードフラッシュメモリの読み出し

消去後に書き込んでいない状態（未書き込み状態）のコードフラッシュメモリ領域を読み出すと、ECC エラーを検出して例外が発生しますので注意してください。領域が未書き込み状態か確認したい場合は、ブランクチェックを使用してください。

(3) 追加書き込みの禁止

同一領域に 2 回以上の書き込みを行うことはできません。書き込み済みのフラッシュメモリ領域を書き換えたい場合には、必ず当該領域を消去してください。

(4) 書き込み／消去中のリセット

書き込み／消去中に外部リセットを発生させた場合には、電気的特性に定める動作電圧範囲内で、$\overline{\text{RESET}}$ 入力ロウレベルの最小値以上のリセット入力期間の後にリセット解除してください。

(5) 書き込み／消去中の割り込み／例外ベクタの配置

書き込み／消去中に割り込み／例外が発生すると、コードフラッシュメモリからのベクタフェッチが発生する場合があります。BGO 機能を使用できない条件下では、ベクタフェッチのアドレスをコードフラッシュメモリ以外に設定してください。

(6) 書き込み／消去中の異常終了

$\overline{\text{RESET}}$ 端子によるリセット発生などで書き込み／消去が異常終了したことにより、データが不定状態となったフラッシュメモリ領域の消去／書き込み状態を確認するベリファイ手段はありません。書き込み／消去が異常終了した領域に対しては、ブランクチェック機能では正しく消去状態の判定をできません。再度消去処理を行って、該当領域を完全な消去状態にした後にご使用ください。

コードフラッシュメモリの書き込み／消去が正常に終了しなかった場合、ロックビットが有効になることがあります。この場合には、ロックビットを無効化した状態で、当該ブロックの消去を実施して、ロックビットを消去してください。

(7) 書き込み、消去、ブランクチェック中の禁止事項

書き込み、消去、ブランクチェック中は、以下の動作は行わないでください。

- 電源を動作電圧範囲外にする。

RH850/F1KH-D8、RH850/F1KM-S4、RH850/F1KM-S2：

- 周辺クロックの動作周波数を変更する。

RH850/F1KM-S1：

- 「**第 12C 章 クロックコントローラ**」に記載のすべてのレジスタの設定の変更。

また、書き込み／消去中は、以下を実施してください。

(a) コード／データフラッシュへの書き込み及び消去時は HS IntOSC 及び EMCLK をソースクロックに設定しないでください。PLL1 のソースクロックに HS IntOSC を設定している場合も同様です。

(b) CLMA0, CLMA3 を使用しないでください。CLMA0CTL0.CLMA0CLME＝0, CLMA3CTL0.CLMA3LME＝0 としてください。

(c) コード／データフラッシュへの書き込み及び消去時は LPS を無効（DPEN＝0, ADEN＝0）としてください。

上記、(a) ～ (c) が困難な場合は、弊社へお問い合わせください。

(8) コンフィグレーションクリアする前の全フラッシュメモリ消去

コンフィグレーションをクリアする前に、コードフラッシュメモリの全ユーザ領域（拡張ユーザ領域含む）、およびデータフラッシュメモリの全データ領域を消去してください。

(9) HS IntOSC 使用時のシリアルプログラミングの制限事項

RH850/F1KH-D8、RH850/F1KM-S4、RH850/F1KM-S2：

- 1 wire または 2 wire UART モードを使用することはできません。
- E1 エミュレータを使用することはできません。

RH850/F1KM-S1：

シリアルプログラミングモード時、HS IntOSC 及び EMCLK をソースクロックに設定しないでください。

HS IntOSC 及び EMCLK を設定した場合、フラッシュへの書き込みまたは消去に失敗する事があります。フラッシュへの書き込みまたは消去が成功した場合は、その書き込みと消去は保証されます。

第45章　RAM

本章では、RH850/F1KH, RH850/F1KM に搭載する RAM について説明します。

45.1　RH850/F1KH, RH850/F1KM RAM の特長

RH850/F1KH, RH850/F1KM では、以下の RAM を搭載しています。

- ローカル RAM（LRAM）

  高速アクセスが可能な RAM です。DeepSTOP モードではローカル RAM の値を保持しません。

- グローバル RAM（GRAM）
  - RH850/F1KH-D8：
    グローバル RAM は、DMA の転送元または転送先として使用されます。グローバル RAM はバンク A とバンク B に分かれており、両バンクへ並列にアクセスが可能です。DeepSTOP モードでは、グローバル RAM の値は保持されません。
  - RH850/F1KM-S4, RH850/F1KM-S2：
    グローバル RAM は、DMA の転送元または転送先として使用されます。グローバル RAM はバンク A とバンク B に分かれており、両バンクへ並列にアクセスが可能です。DeepSTOP モードでは、グローバル RAM の値は保持されません。
  - RH850/F1KM-S1：
    RH850/F1KM-S1 には、グローバル RAM はありません。
- リテンション RAM（RRAM）
  - RH850/F1KH-D8：
    リテンション RAM は、グローバル RAM（バンク B）の一部です。
    DeepSTOP モードでリテンション RAM の値を保持します。
    また、電源電圧（REG0VCC/REG1VCC）が POC 電圧を下回っても、RAM 保持電圧 VVLVI を下回ってさえなければ RAM データは保持されます。
  - RH850/F1KM-S4, RH850/F1KM-S2：
    リテンション RAM は、グローバル RAM（バンク B）の一部です。
    DeepSTOP モードでリテンション RAM の値を保持します。
    また、電源電圧（REGVCC）が POC 電圧を下回っても、RAM 保持電圧 VVLVI を下回ってさえなければ RAM データは保持されます。
  - RH850/F1KM-S1：
    リテンション RAM は、ローカル RAM の一部であり、高速アクセスが可能な RAM です。
    DeepSTOP モードでリテンション RAM の値を保持します。
    また、電源電圧（REGVCC）が POC 電圧を下回っても、RAM 保持電圧 VVLVI を下回ってさえなければ RAM データは保持されます。

各 RAM のアクセス時間を以下の表に示します。

表 45.1 RAM アクセス時間 (RH850/F1KH-D8)

アクセス種別	RAM	1st アクセス（CPUCLK_H）	連続アクセス時（CPUCLK_H）
命令フェッチ時	ローカル RAM（自 PE）	6	6
	グローバル RAM	6	6
	リテンション RAM	6	6
リードアクセス時	ローカル RAM（自 PE）	1	1
	ローカル RAM（他 PE）	6	4
	グローバル RAM	6	2
	リテンション RAM	6	2
ライトアクセス時	ローカル RAM（自 PE）	1	1
	ローカル RAM（他 PE）	1（Posted）	3
	グローバル RAM	1（Posted）	2（Posted）
	リテンション RAM	1（Posted）	2（Posted）

表 45.2 RAM アクセス時間 (RH850/F1KM-S4, RH850/F1KM-S2)

アクセス種別	RAM	1st アクセス（CPUCLK_H）	連続アクセス時（CPUCLK_H）
命令フェッチ時	ローカル RAM	6	6
	グローバル RAM	6	6
	リテンション RAM	6	6
リードアクセス時	ローカル RAM	1	1
	グローバル RAM	6	2
	リテンション RAM	6	2
ライトアクセス時	ローカル RAM	1	1
	グローバル RAM	1（Posted）	2（Posted）
	リテンション RAM	1（Posted）	2（Posted）

表 45.3 RAM アクセス時間 (RH850/F1KM-S1)

アクセス種別	RAM	1st アクセス（CPUCLK_M）	連続アクセス時（CPUCLK_M）
命令フェッチ時	ローカル RAM	5	5
	リテンション RAM	5	5
リードアクセス時	ローカル RAM	1	1
	リテンション RAM	1	1
ライトアクセス時	ローカル RAM	1	1
	リテンション RAM	1	1

備 考

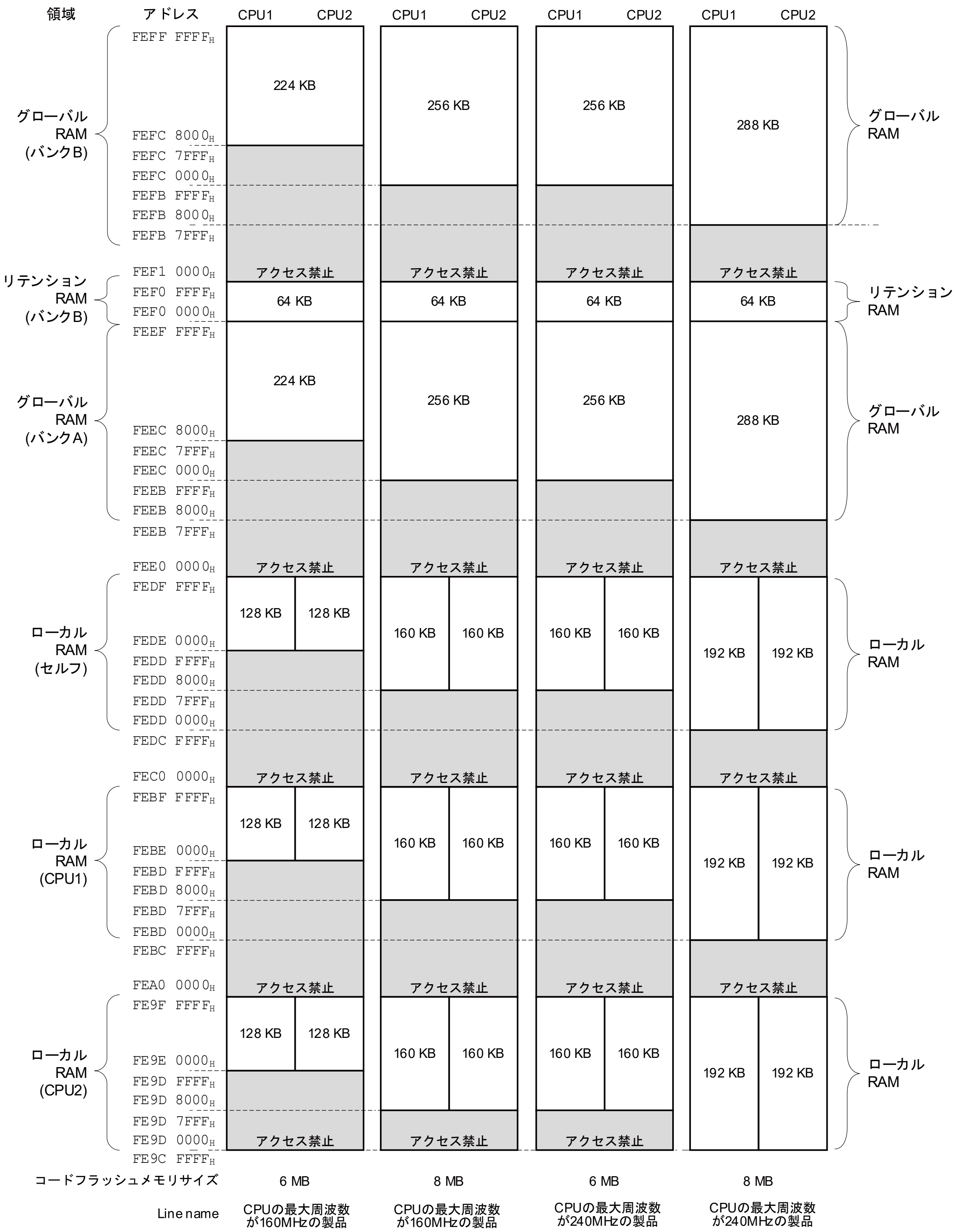
上記の表のアクセスクロック数は前後の命令の組み合わせによって変化する可能性があります。
RAM アクセスがミスアラインの場合には、アクセスクロック数は増加します。

- ローカル RAM、グローバル RAM、リテンション RAM の誤り検出／訂正機能（ECC）

  ECC 機能を内蔵し、2 ビットエラー検出、および 1 ビットエラー検出／訂正が可能です。詳細は、「**第 40A 章 RH850/F1KM-S4 のファンクショナルセーフティ**」、「**第 40B 章 RH850/F1KM-S4, RH850/F1KM-S2 のファンクショナルセーフティ**」、「**第 40C 章 RH850/F1KM-S1 のファンクショナルセーフティ**」を参照してください。

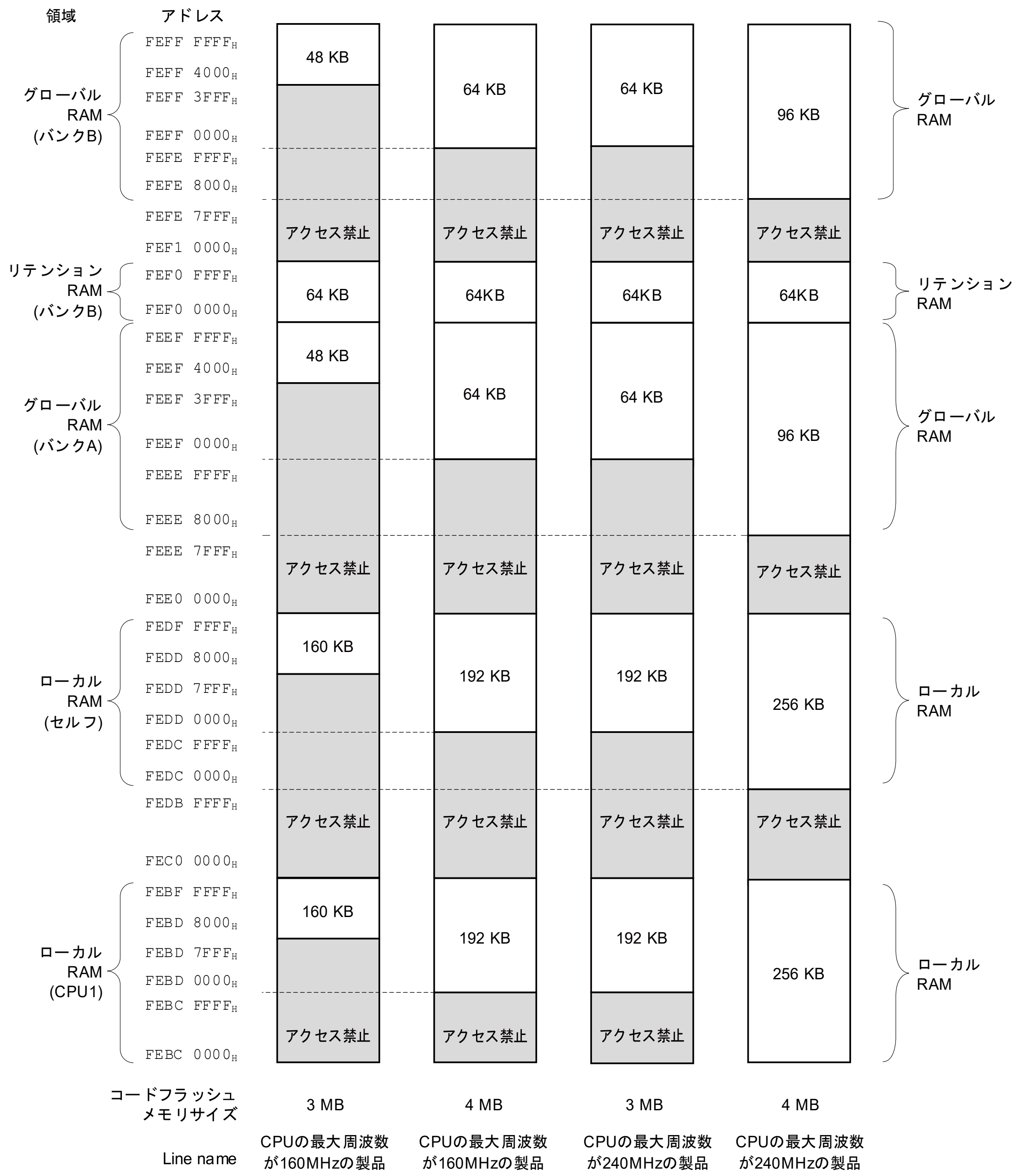
45.2 メモリ構成

「**図 45.1 ローカル RAM、グローバル RAM、リテンション RAM のメモリマップ (RH850/F1KH-D8)**」、「**図 45.2 ローカル RAM、グローバル RAM、リテンション RAM のメモリマップ (RH850/F1KM-S4)**」、「**図 45.3 ローカル RAM、グローバル RAM、リテンション RAM のメモリマップ (RH850/F1KM-S2)**」、「**図 45.4 ローカル RAM、リテンション RAM のメモリマップ (RH850/F1KM-S1)**」にローカル RAM、グローバル RAM、リテンション RAM のメモリマップを示します。



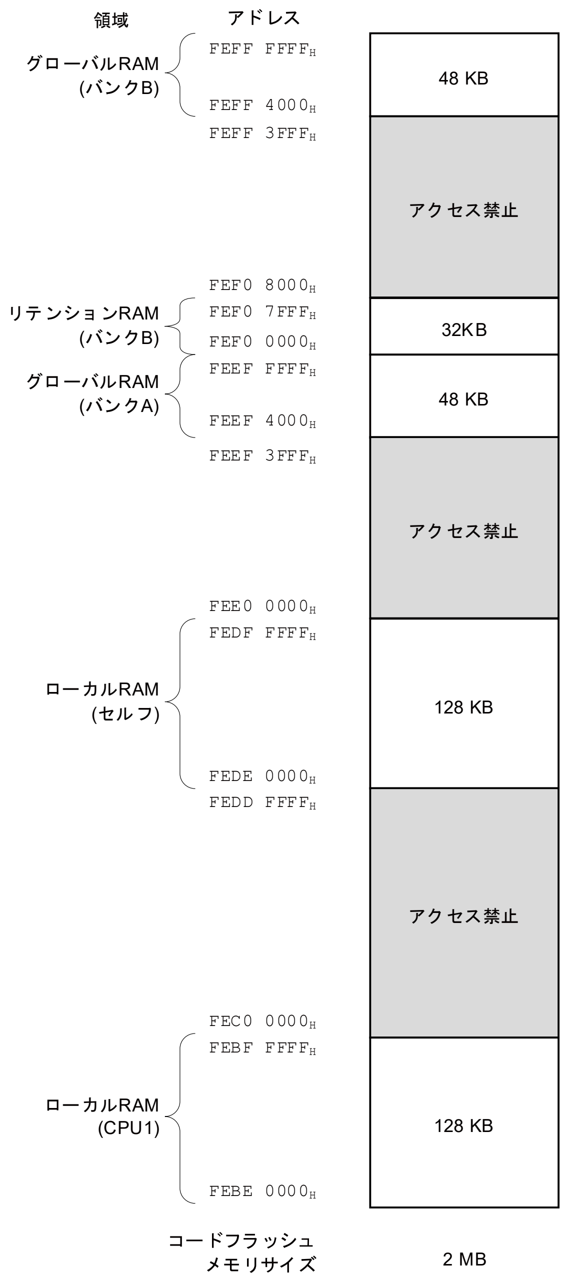
備考 アクセス禁止領域へのアクセスは、禁止されており、アクセスしても、動作の保証はされません。

図 45.1 ローカル RAM、グローバル RAM、リテンション RAM のメモリマップ (RH850/F1KH-D8)



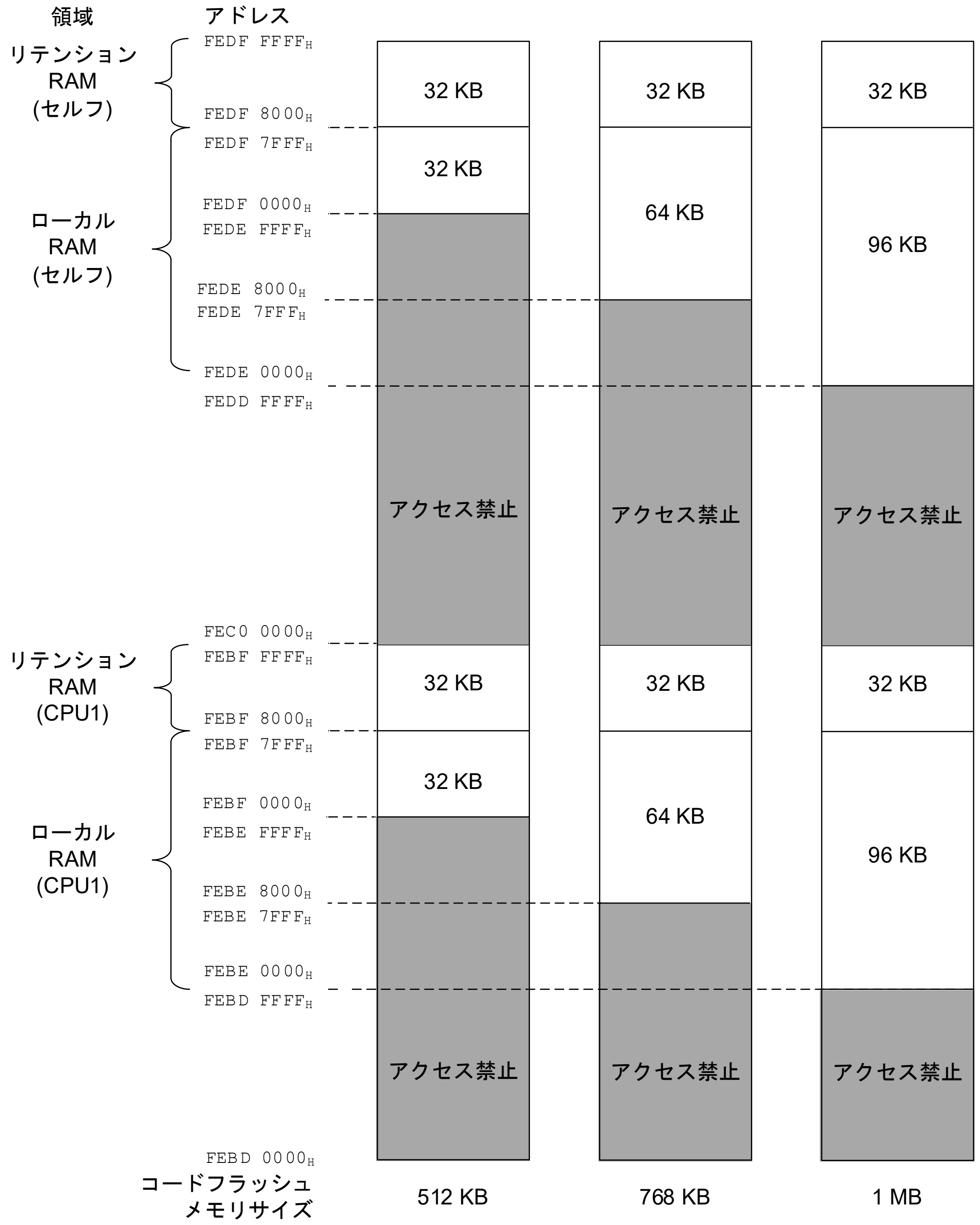
備考 アクセス禁止領域へのアクセスは、禁止されており、アクセスしても、動作の保証はされません。

図 45.2 ローカル RAM、グローバル RAM、リテンション RAM のメモリマップ (RH850/F1KM-S4)



備考　アクセス禁止領域へのアクセスは、禁止されており、アクセスしても、動作の保証はされません。

図 45.3　ローカル RAM、グローバル RAM、リテンション RAM のメモリマップ (RH850/F1KM-S2)



備考 アクセス禁止領域へのアクセスは、禁止されており、アクセスしても、動作の保証はされません。

図 45.4 ローカル RAM、リテンション RAM のメモリマップ (RH850/F1KM-S1)

45.3　グローバル RAM ゼロフィル（GRZF）

45.3.1　ユニット数

本製品は、以下に示す数の GRZF ユニットを搭載しています。

表 45.4　ユニット数 (RH850/F1KH-D8)

製品名	RH850/F1KH-D8 176 Pin	RH850/F1KH-D8 233 Pin	RH850/F1KH-D8 324 Pin
ユニット数	1	1	1
名称	GRZF	GRZF	GRZF

表 45.5　ユニット数 (RH850/F1KM-S4)

製品名	RH850/F1KM-S4 100 Pin	RH850/F1KM-S4 144 Pin	RH850/F1KM-S4 176 Pin	RH850/F1KM-S4 233 Pin	RH850/F1KM-S4 272 Pin
ユニット数	1	1	1	1	1
名称	GRZF	GRZF	GRZF	GRZF	GRZF

表 45.6　ユニット数 (RH850/F1KM-S2)

製品名	RH850/F1KM-S2 100 Pin	RH850/F1KM-S2 144 Pin	RH850/F1KM-S2 176 Pin
ユニット数	1	1	1
名称	GRZF	GRZF	GRZF

表 45.7　ユニット数 (RH850/F1KM-S1)

製品名	RH850/F1KM-S1 48 Pin	RH850/F1KM-S1 64 Pin	RH850/F1KM-S1 80 Pin	RH850/F1KM-S1 100 Pin
ユニット数	—	—	—	—
名称	—	—	—	—

45.3.2　レジスタベースアドレス

GRZF のベースアドレスを以下の表に示します。

GRZF のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 45.8　レジスタベースアドレス (RH850/F1KH-D8)

ベースアドレス名	ベースアドレス
<GRZF_base>	FFC0 3000_H

表 45.9　レジスタベースアドレス (RH850/F1KM-S4, RH850/F1KM-S2)

ベースアドレス名	ベースアドレス
<GRZF_base>	FFC0 3000_H

45.3.3 クロック供給

GRZF のクロック供給を以下の表に示します。

表 45.10 クロック供給 (RH850/F1KH-D8)

ユニット名	ユニットクロック名	供給クロック名
GRZF	ユニットクロック	CPUCLK_H
	レジスタアクセス	CPUCLK_UL

表 45.11 クロック供給 (RH850/F1KM-S4, RH850/F1KM-S2)

ユニット名	ユニットクロック名	供給クロック名
GRZF	ユニットクロック	CPUCLK_H
	レジスタアクセス	CPUCLK_UL

45.3.4 割り込み要求

GRZF の割り込み要求を以下の表に示します。

表 45.12 割り込み要求 (RH850/F1KH-D8)

ユニット割り込み信号	説明	割り込み番号
INTGRZF	GRZF 割り込み	376

表 45.13 割り込み要求 (RH850/F1KM-S4, RH850/F1KM-S2)

ユニット割り込み信号	説明	割り込み番号
INTGRZF	GRZF 割り込み	376

45.3.5 リセット要因

GRZF のリセット要因を以下に示します。GRZF は以下のリセット要因で初期化されます。

表 45.14 リセット要因 (RH850/F1KH-D8)

ユニット名	リセット要因
GRZF	すべてのリセット要因（ISORES）

表 45.15 リセット要因 (RH850/F1KM-S4, RH850/F1KM-S2)

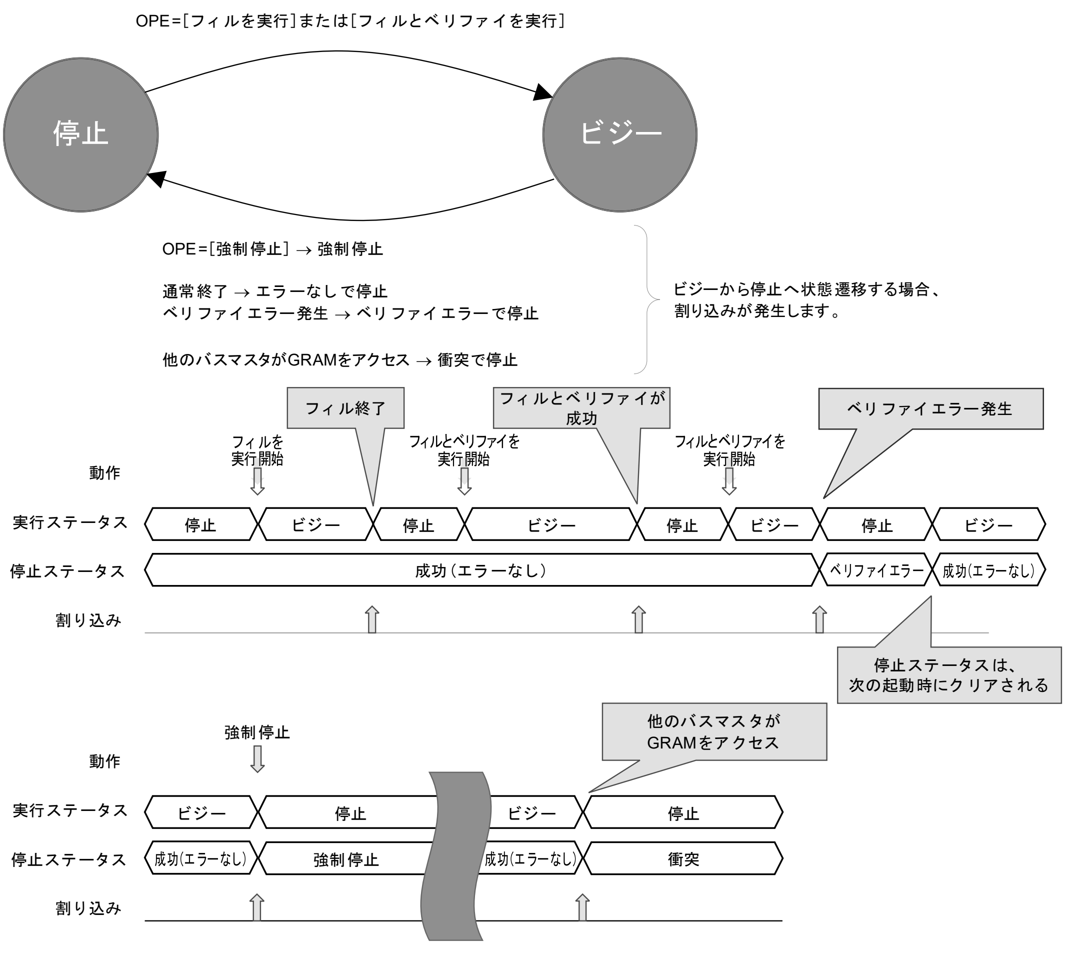
ユニット名	リセット要因
GRZF	すべてのリセット要因（ISORES）

45.3.6 機能概要

本機能は、GRAM 領域（RRAM を含む）のメモリゼロフィルと、ベリファイチェックを行います。

GRZF は他のバスマスタからのアクセスを調停することはできません。したがって、GRZF がビジー状態にあるときは、GRZF がアクセスしている同一バンクの GRAM にはアクセスしないでください。GRZF がアクセスしているバンクと同一のバンクに他のバスマスタがアクセスすると、GRZF の動作は終了し、エラー状態で INTGRZF が発生します。また、他のバスマスタのアクセスは成立しません（書き込みは無視され、読み出したデータは保証されません）。

他のバスマスタは、GRZF がアクセスしていないバンクにアクセスすることができます。



備考 ● 必要なサイクル@CPUCLK_H ベース

RH850/F1KH-D8：

-フィルのみ：サイズ（ワード）×（2＋WAIT 注 1）

-フィルとベリファイ：サイズ（ワード）×（4＋2×WAIT 注 1）

注 1. WAIT 値は、動作開始トリガの GRZFCTL.OPE[5:4]設定に依存します。

RH850/F1KM-S4, RH850/F1KM-S2：

-フィルのみ：サイズ（ワード）×2

-フィルとベリファイ：サイズ（ワード）×4

図 45.5 GRAM 領域（RRAM を含む）のメモリゼロフィルおよびベリファイチェック機能

45.3.7　レジスタ

45.3.7.1　レジスター覧

GRZF のレジスター覧を以下の表に示します。

<GRZF_base>は「**45.3.2 レジスタベースアドレス**」を参照してください。

表 45.16　レジスター覧

モジュール名	レジスタ名	略号	アドレス
GRZF	GRZF 制御レジスタ	GRZFCTL	<GRZF_base> + 00_H
	GRZF ステータスレジスタ	GRZFSTS	<GRZF_base> + 04_H
	GRZF スタートアドレス設定レジスタ	GRZFSA	<GRZF_base> + 08_H
	GRZF フィルサイズ設定レジスタ	GRZFSZ	<GRZF_base> + $0C_H$

45.3.7.2　GRZFCTL — GRZF 制御レジスタ

このレジスタは、グローバル RAM ゼロフィルの各種動作設定を行ないます。

アクセス　32 ビット単位でライトのみ可能です。（RH850/F1KM-S4, RH850/F1KM-S2）
32 ビット単位でリード／ライト可能です。（RH850/F1KH-D8）

アドレス　<GRZF_base> + 00_H

リセット後の値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	KEY2[7:0]								KEY1[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	KEY0[7:0]								OPE[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	R 注1/W	R 注1/W	W	W	W	W

注1.　これらのビットは、RH850/F1KH-D8 では、リード可能です。

表 45.17　GRZFCTL レジスタの内容

ビット位置	ビット名	機能
31～24	KEY2[7:0]	いずれかの操作を行う場合は、固定値（$C0_H$）を書き込む必要があります。
23～16	KEY1[7:0]	いずれかの操作を行う場合は、固定値（FF_H）を書き込む必要があります。
15～8	KEY0[7:0]	いずれかの操作を行う場合は、固定値（EE_H）を書き込む必要があります。
7～0	OPE[7:0]	操作タイプ $0000\ 0000_B$：強制停止 $0000\ 0001_B$：ゼロフィルを実行する $0000\ 0010_B$：ゼロフィルおよびベリファイを実行する $0001\ 0001_B$：ゼロフィル wait 1 サイクル注1を実行する $0001\ 0010_B$：ゼロフィルおよびベリファイ wait 1 サイクル注1を実行する $0010\ 0001_B$：ゼロフィル wait 2 サイクル注1を実行する $0010\ 0010_B$：ゼロフィルおよびベリファイ wait 2 サイクル注1を実行する $0011\ 0001_B$：ゼロフィル wait 3 サイクル注1を実行する $0011\ 0010_B$：ゼロフィルおよびベリファイ wait 3 サイクル注1を実行する 上記以外：設定禁止 これらの操作を実行するには、同時に KEY0-2 に書き込む必要があります。

注1.　ビット[5:4]は、RH850/F1KH-D8 の WAIT 機能の設定に使用します。
01_B：CPUCLK_H の 1 サイクルウェイト
10_B：CPUCLK_H の 2 サイクルウェイト
11_B：CPUCLK_H の 3 サイクルウェイト

45.3.7.3　GRZFSTS — GRZF ステータスレジスタ

このレジスタは、メモリゼロフィルの実行ステータスを示します。

アクセス	32 ビット単位でリードのみ可能です。
アドレス	<GRZF_base> + 04_H
リセット後の値	0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RSTS	—	—	—	—	—	SSTS[1:0]		—	—	—	PSTS[20:16]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PSTS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 45.18　GRZFSTS レジスタの内容

ビット位置	ビット名	機能
31	RSTS	実行ステータス 0：停止 1：ビジー
30～26	予約ビット	リードした場合はリセット後の値が読めます。
25、24	SSTS[1:0]	停止ステータス 00_B：エラーなし 01_B：強制停止 10_B：ベリファイエラーで停止 11_B：他のバスマスタとの衝突で停止 SSTS は、次の起動時にクリアされます。
23～21	予約ビット	リードした場合はリセット後の値が読めます。
20～0	PSTS[20:0]	進捗状況（実行アドレス）

備　考

強制停止、または他のバスマスタとの競合アクセスによって停止した場合、PSTS が示す進捗アドレスの値は保証されません。開始アドレス値とサイズを変更せずに再起動してください。

45.3.7.4　GRZFSA ― GRZF スタートアドレス設定レジスタ

このレジスタは、実行されるメモリゼロフィルの開始アドレスを設定します。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<GRZF_base> + 08_H

リセット後の値　FEE0 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OFST[10:0]											BANK	START[19:16]			
リセット後の値	1	1	1	1	1	1	1	0	1	1	1	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	START[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R

表 45.19　GRZFSA レジスタの内容

ビット位置	ビット名	機能
31～21	OFST[10:0]	このレジスタを 32 ビット単位で読み出したとき、設定された GRAM の開始アドレスを示すために、本ビットは $7F7_H$ に固定されています。
20	BANK	グローバル RAM の対象バンク 0：バンク A 1：バンク B（リテンション RAM を含む）
19～0	START[19:0]	対象開始アドレス（ビット 9～0 は 0 に固定） 1KB 単位

備　考

このレジスタは、停止状態のときのみ書き換えることができます。動作中の書き込みは無視されます。

45.3.7.5 GRZFSZ — GRZF フィルサイズ設定レジスタ

このレジスタは、実行されるメモリゼロフィルのフィルサイズを設定します。

アクセス 32 ビット単位でリード／ライト可能です。

アドレス <GRZF_base> + $0C_H$

リセット後の値 $0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	SIZE[19:16]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SIZE[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R

表 45.20 GRZFSZ レジスタの内容

ビット位置	ビット名	機能
31～20	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
19～0	SIZE[19:0]	メモリフィルサイズの設定（ビット 9～0 は、0 固定） 実際の初期化サイズは、SIZE＋1KB になります。

注 意

1. このレジスタは、停止状態のときのみ書き換えることができます。動作中の書き込みは無視されます。
2. バンク A とバンク B を横断するサイズ設定は禁止です。

45.3.8　動作

このモジュールは、グローバル RAM バンク A とグローバル RAM バンク B にのみ影響します。RRAM 領域は、グローバル RAM バンク B に含まれます。したがって、このモジュールは RRAM 領域にも影響します。

グローバル RAM ゼロフィル（GRZF）は、次の機能で構成されています。

- FILL 機能

  GRAM にゼロを書き込む

- VERI 機能

  GRAM にゼロを書き込み、データ GRAM がゼロであることを確認する

ビジー状態から停止状態への遷移では、常に割り込み要求が発生します。

ビジー状態から停止状態への遷移の原因を、以下に示します。

- すべての対象バンクに対し、FILL 機能が成功
- 他のマスタが、実行中の対象バンクにアクセスし、衝突が発生
- VERI 機能時に、RAM 領域がゼロでない場合、ベリファイエラーが発生
- GRZFCTL.OPE[7:0]＝0000 0000_B による強制停止

45.3.8.1 FILL および VERI 機能の手順

FILL および VERI 機能の手順を、以下に示します。

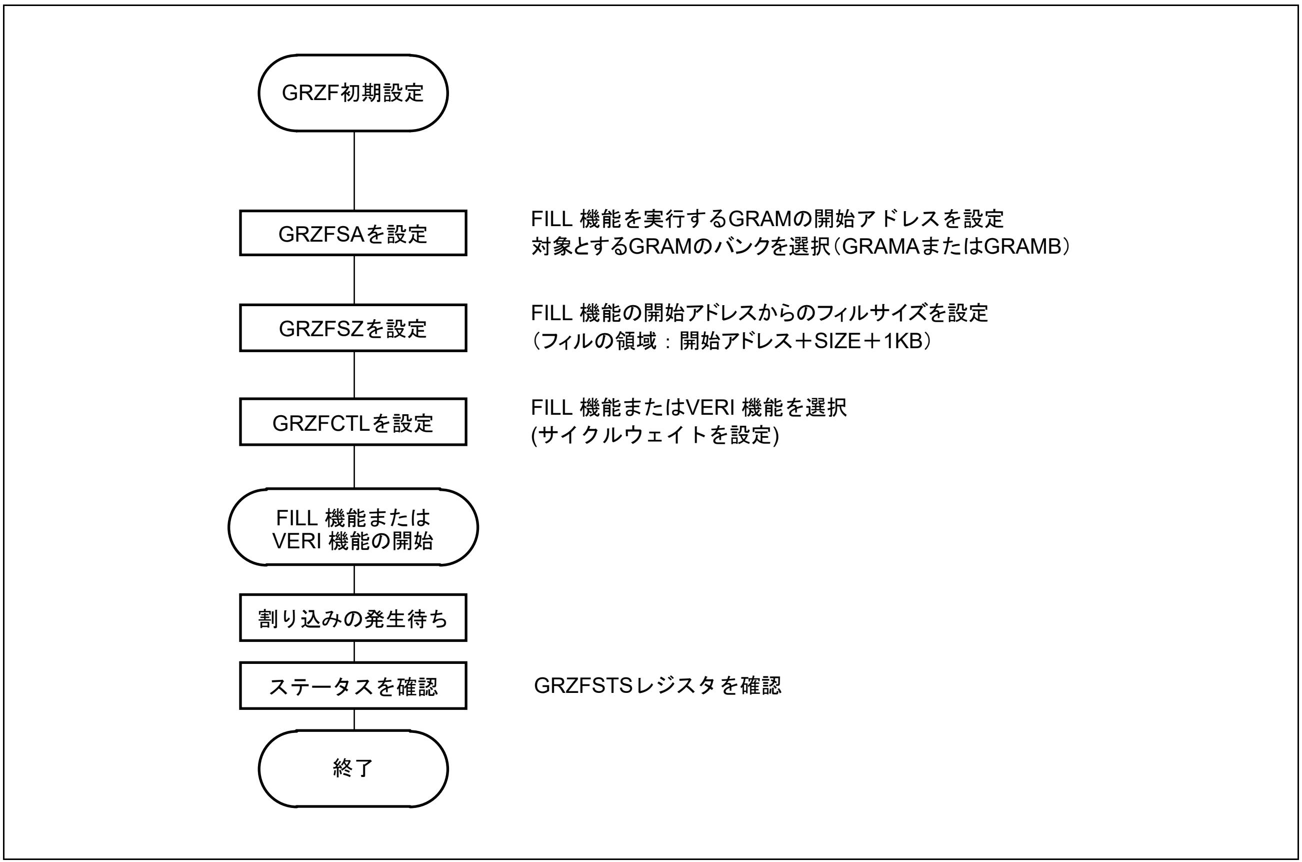


図 45.6 FILL および VERI フロー

45.3.8.2 割り込み要因

GRZF は以下の割り込み要求を発生することができます。

- 割り込みは、FILL 機能でも VERI 機能でも、ビジーから停止への遷移時に発生します。
- 割り込みが発生したとき、GRZFSTS.SSTS を確認することによって割り込みの要因を特定できます。このステータスフラグは、次の起動時まで現在の値を保持します（したがって、GRZF モジュールがビジーから停止への遷移時には変更されません）。

45.4　使用上の注意事項

- ECC によるエラー検出／訂正機能を有効にしてローカル RAM、グローバル RAM、リテンション RAM にアクセスする前に、RAM をアクセスサイズの最大ビット長で初期化してから使用してください。
- 初期化前の RAM をアクセスした場合、ECC エラーを検出する可能性があります。また最大ビット長で初期化しなかった場合、たとえば 32 ビット幅の RAM を 8 ビットや 16 ビットのアクセスで初期化した場合、ECC エラーを検出する可能性があります。

以下の注意事項は GRZF に適用されます。「**図 40A.2 グローバル RAM ECC のブロック図**」および「**図 40B.2 グローバル RAM ECC のブロック図**」を参照してください

- GRZF が GRAM にアクセスするとき、GRZF は ECC エンコーダまたはデコーダを使用しません。GRZF 32 ビット（すべて 0）と ECC コード 7 ビットを含む 39 ビットについて、読み出し値と書き込み値に差があると、GRZF にベリファイエラーが発生します。ベリファイエラーは、GRZFSTS.SSTS[1:0]で確認できます。
- グローバル RAM ガード（GRG）は、GRZF から GRAM へのアクセスを保護できません。

第46章　バウンダリスキャン

本章では、バウンダリスキャン全般について説明します。

RH850/F1KH, RH850/F1KM は JTAG インタフェースを内蔵し、バウンダリスキャン機能を提供します。

46.1　概要

バウンダリスキャンは IEEE 標準 1149.1 で定義されたテスト方式です。プリント基板に搭載されたデバイス間の接続テストに使用します。RH850/F1KH, RH850/F1KM のバウンダリスキャンは IEEE Std 1149.1-2001 に準拠します。

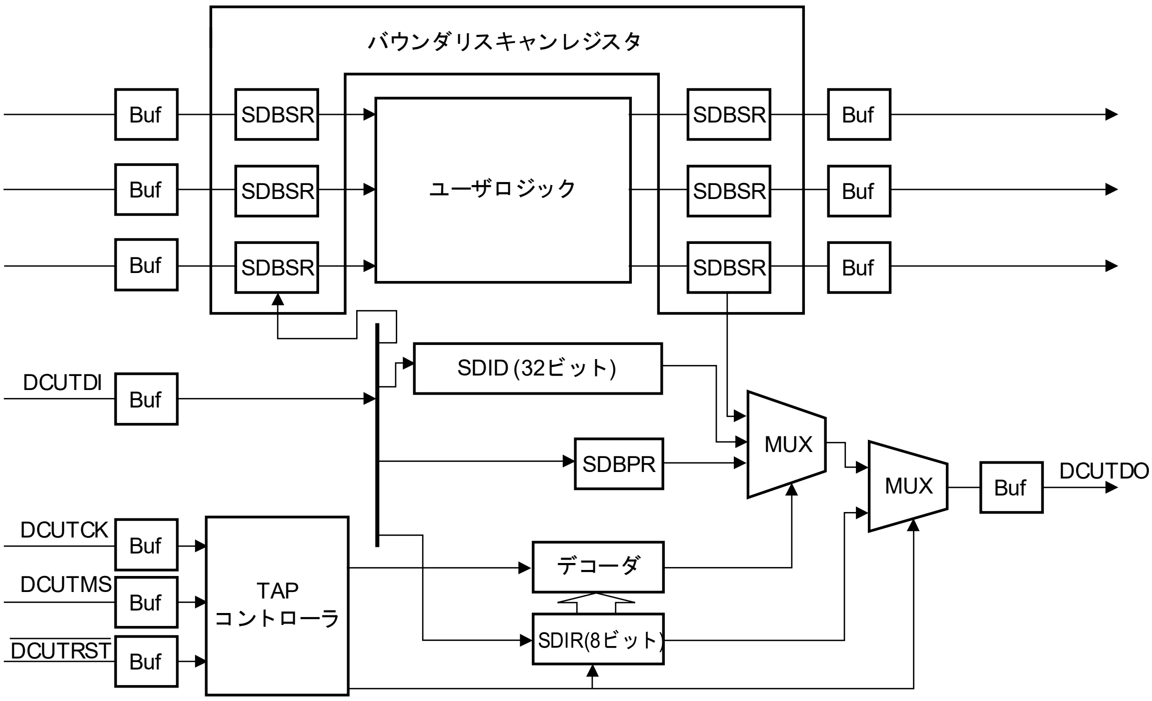
46.2　RH850/F1KH, RH850/F1KM バウンダリスキャンの特長

- 5 本の制御信号（DCUTCK、DCUTDI、DCUTDO、DCUTMS、および $\overline{\text{DCUTRST}}$ ）
- TAP コントローラ
- インストラクションレジスタ
- バイパスレジスタ
- バウンダリスキャンレジスタ

JTAG インタフェースは 4 つのインストラクションモードを備えています。

- BYPASS
  IEEE 1149.1 に対応したテストモード
- EXTEST
  IEEE 1149.1 に対応したテストモード
- SAMPLE/PRELOAD
  IEEE 1149.1 に対応したテストモード
- IDCODE
  IEEE 1149.1 に対応したテストモード

JTAG インタフェースのブロック図を「**図 46.1 JTAG インタフェースブロック図**」に示します。



備考　SDBSR：バウンダリスキャンレジスタ
SDBPR：バイパスレジスタ
Buf：I/O バッファ
SDIR：インストラクションレジスタ
SDID：ID レジスタ
MUX：マルチプレクサ

図 46.1　JTAG インタフェースブロック図

46.3　外部入出力端子

JTAG の制御信号には DCUTCK、DCUTDI、DCUTMS、DCUTDO、$\overline{\text{DCUTRST}}$ の 5 本があります。
「**表 46.1 端子構成**」に端子構成を示します。

表 46.1　端子構成

名称	説明
DCUTCK	シリアルデータ入出力用クロック端子 このクロックに同期して、DCUTDI にデータを入力、DCUTDO からデータを出力します。
DCUTMS	モードセレクト入力端子 DCUTCK に同期してこの信号を変化させることによって TAP 制御回路の状態が決まります。プロトコルは「**図 46.2 TAP コントローラ状態遷移図**」を参照してください。
$\overline{\text{DCUTRST}}$	リセット入力端子 ロウレベル入力で JTAG インタフェースをリセットします。DCUTCK クロックとは非同期で受け付けます。
DCUTDI	シリアルデータ入力端子 DCUTCK に同期してデータを入力し、JTAG インタフェースにデータを送ります。
DCUTDO	シリアルデータ出力端子 DCUTCK に同期して JTAG インタフェースのデータを出力します。

46.4　レジスタの説明

JTAG インタフェースは次のレジスタを内蔵しています。すべてのレジスタは CPU からアクセスできません。

- SDIR：インストラクションレジスタ
- SDID：ID レジスタ
- SDBPR：バイパスレジスタ
- SDBSR：バウンダリスキャンレジスタ

表 46.2　レジスタ構成

レジスタ名	略称	アクセスサイズ	リセット後の値注 1
インストラクションレジスタ	SDIR	8	55_H
ID レジスタ	SDID	32	「**表 46.5 ID レジスタコード (RH850/F1KH-D8)**」、「**表 46.6 ID レジスタコード (RH850/F1KM-S4)**」、「**表 46.7 ID レジスタコード (RH850/F1KM-S2)**」、「**表 46.8 ID レジスタコード (RH850/F1KM-S1)**」を参照してください。
バイパスレジスタ	SDBPR	1	不定
バウンダリスキャンレジスタ	SDBSR	—	不定

注1.　（$\overline{\text{DCUTRST}}$ 端子が 0、または TAP が Test-Logic-Reset 状態）で初期化。

インストラクションは、シリアルデータ入力端子（DCUTDI）からシリアル転送によりインストラクションレジスタ（SDIR）へ入力できます。バイパスレジスタ（SDBPR）は 1 ビットのレジスタで、BYPASS モード時、DCUTDI と DCUTDO はこのレジスタに接続されます。また、バウンダリスキャンレジスタ（SDBSR）は、SAMPLE/PRELOAD モード、および EXTEST モード時 DCUTDI と DCUTDO はこのレジスタに接続されます。ID レジスタ（SDID）は 32 ビットのレジスタで IDCODE モード時、DCUTDO を通じて固定コードが出力できます。

「**表 46.3 シリアル転送の種類**」に JTAG インタフェースの各レジスタで可能なシリアル転送の種類を示します。

表 46.3　シリアル転送の種類

レジスタ	シリアル入力	シリアル出力
SDIR	可能	不可注 1
SDBPR	可能	可能
SDBSR	可能	可能
SDID	不可	可能

注1.　固定値が読み出されます。

46.4.1　インストラクションレジスタ（SDIR）

インストラクションレジスタ（SDIR）はバウンダリスキャンのインストラクションを保持する 8 ビットのレジスタです。 $\overline{\mathrm{DCUTRST}}$ のロウレベル入力または、TAP の Test-Logic-Reset 状態のときに初期化されます。このレジスタに予約となっているインストラクションをセットした場合の動作は保証しません。

表 46.4　バウンダリスキャンインストラクションモード

インストラクションコード								説明
0	0	0	0	0	0	0	0	JTAG EXTEST
0	1	0	0	0	0	0	0	JTAG SAMPLE/PRELOAD
0	1	0	1	0	1	0	1	JTAG IDCODE（初期値）
1	1	1	1	1	1	1	1	JTAG BYPASS
上記以外								予約

46.4.2　ID レジスタ（SDID）

ID レジスタ（SDID）は、32 ビットのレジスタで、製品固有の ID を持ちます。

JTAG インタフェースから IDCODE のインストラクションがセットされたときに読み出し可能です。CPU からアクセスできません。

読み出される値は、「**表 46.5 ID レジスタコード (RH850/F1KH-D8)**」、「**表 46.6 ID レジスタコード (RH850/F1KM-S4)**」、「**表 46.7 ID レジスタコード (RH850/F1KM-S2)**」、「**表 46.8 ID レジスタコード (RH850/F1KM-S1)**」および「**表 46.2 レジスタ構成**」を参照してください。

表 46.5　ID レジスタコード (RH850/F1KH-D8)

PKG	ID レジスタコード			
	31～28	27～12	11～1	0
324 pin	0001	1000 0011 1100 1010	0100 0100 011	1
233 pin	0001	1000 0011 1100 1100	0100 0100 011	1
176 pin	0001	1000 0011 1100 1101	0100 0100 011	1

表 46.6　ID レジスタコード (RH850/F1KM-S4)

PKG	ID レジスタコード			
	31～28	27～12	11～1	0
272 pin	0001	1000 0011 1000 1111	0100 0100 011	1
233 pin	0001	1000 0011 1001 0000	0100 0100 011	1
176 pin	0001	1000 0011 1001 0001	0100 0100 011	1
144 pin	0001	1000 0011 1001 0010	0100 0100 011	1
100 pin	0001	1000 0011 1001 0011	0100 0100 011	1

表 46.7　ID レジスタコード (RH850/F1KM-S2)

PKG	ID レジスタコード			
	31～28	27～12	11～1	0
176 pin	0001	1000 0100 0001 0111	0100 0100 011	1
144 pin	0001	1000 0100 0001 0110	0100 0100 011	1
100 pin	0001	1000 0100 0001 0101	0100 0100 011	1

表 46.8 ID レジスタコード (RH850/F1KM-S1)

PKG	ID レジスタコード			
	31～28	27～12	11～1	0
100 pin	0001	1000 0011 1001 0100	0100 0100 011	1
80 pin	0001	1000 0011 1001 0101	0100 0100 011	1
64 pin	0001	1000 0011 1001 0110	0100 0100 011	1
48 pin	0001	1000 0011 1001 0111	0100 0100 011	1

46.4.3 バイパスレジスタ（SDBPR）

バイパスレジスタ（SDBPR）は 1 ビットのレジスタです。SDIR を BYPASS モードにセットすると、SDBPR は端子 DCUTDI と DCUTDO の間に接続されます。リセット後の値は不定です。このレジスタはパワーオンリセットあるいは $\overline{\text{DCUTRST}}$ のロウレベル入力でも初期化されません。

46.4.4 バウンダリスキャンレジスタ（SDBSR）

バウンダリスキャンレジスタ（SDBSR）は、外部入出力端子を制御するシフトレジスタです。SDIR に“SAMPLE/PRELOAD”、“EXTEST”インストラクションがセットされると、端子 DCUTDI と DCUTDO の間に SDBSR が接続されます。リセット後の値は不定です。このレジスタはパワーオンリセットあるいは $\overline{\text{DCUTRST}}$ のロウレベル入力でも初期化されません。

46.5　動作説明

46.5.1　TAP コントローラ

「**図 46.2 TAP コントローラ状態遷移図**」に TAP コントローラの状態遷移図を示します。遷移条件は DCUTCK の立ち上がりエッジにおける DCUTMS 値です。

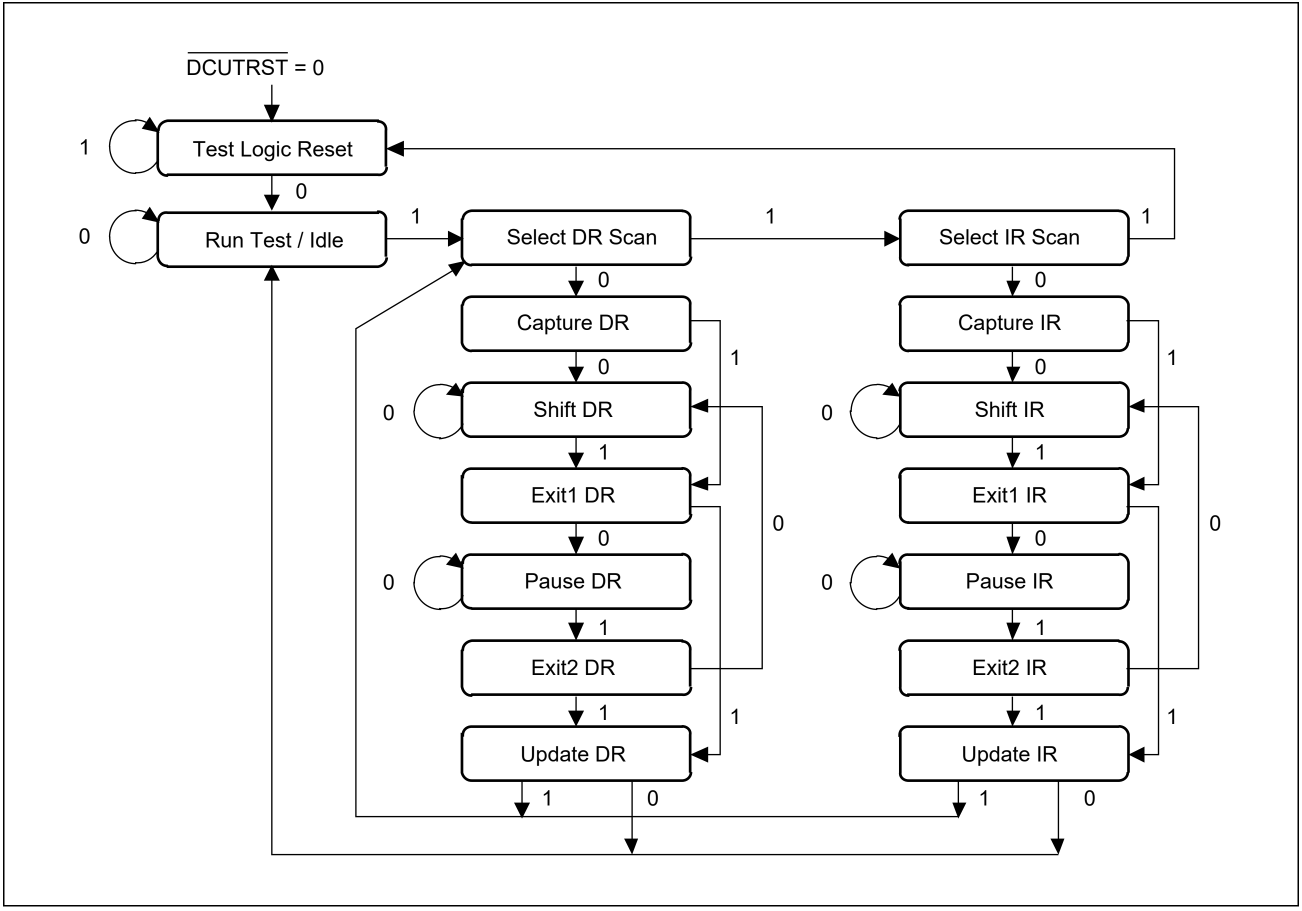


図 46.2　TAP コントローラ状態遷移図

備　考

DCUTDI 値は DCUTCK の立ち上がりエッジでサンプリングし、DCUTCK の立ち下がりエッジでシフトします。
DCUTDO は Shift-DR、Shift-IR 状態以外ではハイインピーダンス状態です。DCUTRST のロウレベル入力により DCUTCK とは非同期で Test-Logic-Reset 状態へ遷移します。

46.5.2 サポートするインストラクション

46.5.2.1 BYPASS

BYPASS インストラクションは、バイパスレジスタを動作させる必須の標準インストラクションです。このインストラクションはシフトパスを短縮してプリント基板上の他の製品のシリアルデータを転送高速化するためのものです。このインストラクションの実行中、テスト回路はシステム回路に何も影響を与えません。

46.5.2.2 SAMPLE/PRELOAD

SAMPLE/PRELOAD インストラクションは本製品の内部回路からバウンダリスキャンレジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードするインストラクションです。本インストラクション実行中、本製品の入力端子はそのまま内部回路に伝達され、内部回路の値はそのまま出力端子から外部へ出力されます。本インストラクションの実行により本製品のシステム回路は何の影響も受けません。

SAMPLE 動作では、入力端子から内部回路へ転送される値や内部回路から出力端子へ転送される値のスナップショットをバウンダリスキャンレジスタに取り込み、スキャンパスから読み出します。スナップショットの取り込みは本製品の通常動作を妨げずに行われます。

PRELOAD 動作では、EXTEST インストラクションに先立ちスキャンパスからバウンダリスキャンレジスタのパラレル出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST インストラクションを実行するとき、最初のスキャンシーケンスが完了する（出力ラッチへの転送）までの間出力端子から不定値が出力される（EXTEST インストラクションでは出力端子に常にパラレル出力ラッチを出力する）ことになります。

46.5.2.3 EXTEST

本インストラクションでは、本製品をプリント基板に実装したとき、外部回路をテストするためのものです。本インストラクションの実行時、出力端子はバウンダリスキャンレジスタからテストデータ（SAMPLE/PRELOAD インストラクションですでに設定されています）をプリント基板へ出力するために使用され、入力端子はプリント基板からバウンダリスキャンレジスタにテスト結果を取り込むために使用されます。EXTEST インストラクションを N 回用いてテストを行うとき、N 回目のテストデータは（N-1）回目のスキャンアウトのときにスキャンインされます。

本インストラクションの Capture-DR 状態で出力端子のバウンダリスキャンレジスタにロードされたデータは外部回路のテストには使用されません。（シフト動作で入れ替えます）。

46.5.2.4 IDCODE

JTAG インタフェースの端子を JTAG で規定されている“IDCODE”モードに設定できます。JTAG インタフェースを初期化した場合（ $\overline{\text{DCUTRST}}$ のロウレベル入力、または TAP を Test-Logic-Reset 状態にする）、“IDCODE”モードになります。

46.5.3　バウンダリスキャン対象の端子

バウンダリスキャンは全端子の内、電源端子や外部クロック入力端子などを除いた端子が対象になります。

バウンダリスキャンの対象外の端子を「**表 46.9 バウンダリスキャン対象外の端子 (RH850/F1KH-D8)**」、「**表 46.10 バウンダリスキャン対象外の端子 (RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)**」に示します。

表 46.9　バウンダリスキャン対象外の端子 (RH850/F1KH-D8)

機能	端子名
JTAG インタフェース	DCUTCK, DCUTDI, DCUTDO, DCUTMS, $\overline{\text{DCUTRST}}$
電源端子	REG0VCC, REG1VCC, AWOVCL, AWOVSS, ISOVCL, ISOVSS EVCC, EVSS, BVCC, BVSS
電源端子（A/D コンバータ）	A0VREF, A1VREF, A0VSS, A1VSS
クロック	X1, X2, XT1, IP0_0/XT2
モード設定	P10_8/FLMD1, P10_1/MODE0, P10_2/MODE1

表 46.10　バウンダリスキャン対象外の端子 (RH850/F1KM-S4, RH850/F1KM-S2, RH850/F1KM-S1)

機能	端子名
JTAG インタフェース	DCUTCK, DCUTDI, DCUTDO, DCUTMS, $\overline{\text{DCUTRST}}$
電源端子	REGVCC, AWOVCL, AWOVSS, ISOVCL, ISOVSS EVCC, EVSS, BVCC 注 1, BVSS 注 1
電源端子（A/D コンバータ）	A0VREF, A1VREF 注 1, A0VSS, A1VSS 注 1
クロック	X1, X2, XT1 注 1, IP0_0/XT2 注 1
モード設定	P10_8/FLMD1, P10_1/MODE0, P10_2/MODE1

注1.　272/233/176/144-pin 製品のみ

次の信号は、バウンダリスキャン時にサンプリングのみを実行します。

表 46.11　バウンダリスキャン（サンプリングのみ）対象端子

機能	端子名
リセット	$\overline{\text{RESET}}$
モード設定	FLMD0

次の端子はアナログバッファと共有しています。したがって、バウンダリスキャンは汎用入出力部のみに適用します。

表 46.12　バウンダリスキャン（汎用入出力部のみ）対象端子

機能	端子名
ADCA0 入力	P8_0-12, P9_0-4, AP0_0-15
ADCA1 入力	P18_0-15, P19_0-3, AP1_0-15

備　考

バウンダリスキャンモード時、P10_1＝ロウ、P10_2＝ハイ、P10_8＝ハイに端子レベルを固定してください。

46.6　使用上の注意

1. インストラクションは、いったんセットされると他のインストラクションが発行されないかぎり変更されません。同じインストラクションを連続して与える場合は、チップ動作に影響のないインストラクション（BYPASS モード等）をいったん設定してから再度インストラクションを設定する必要があります。
2. バウンダリスキャンモードでの起動時は、$\overline{\text{RESET}}$ ＝High の状態で $\overline{\text{DCUTRST}}$ を解除してください。併せて、$\overline{\text{DCUTRST}}$ を解除する前に、DCUTMS にハイレベルを入力して下さい。$\overline{\text{DCUTRST}}$ を解除した後は 600 ns＋DCUTCK 5 クロックサイクルの間、ハイレベルを保持して下さい。
3. DCUTCK に入力可能な最大周波数は「**第 47A 章　RH850/F1KH-D8 の電気的特性**」、「**第 47B 章　RH850/F1KM-S4, RH850/F1KM-S2 の電気的特性**」、「**第 47C 章　RH850/F1KM-S1 の電気的特性**」を参照してください。
4. DCUTDI、DCUTDO 間に接続されるレジスタのビット数を超えてシリアル転送した場合、レジスタのビット数を超えて DCUTDO から出力されるシリアルデータは、DCUTDI から入力されたデータとなります。
5. シリアル転送シーケンスがくずれた場合、必ず $\overline{\text{DCUTRST}}$ のアサートを行ってください。このとき、転送動作にかかわらず、転送が最初から始まります。
6. DCUTDO の出力タイミングは DCUTCK の立ち下がりからになります。
7. デバッグ容易化のため、$\overline{\text{DCUTRST}}$ の基板上の配線はパターンカットが容易なように配慮してください。

第47A章 RH850/F1KH-D8 の電気的特性

47A.1 概要

本デバイスの電気的仕様は、以下の動作条件で保証されています。しかし、この条件は個々の特性により異なるため、詳細は各章を参照してください。

47A.1.1 端子グループ

47A.1.1.1 324-Pin Version

略号	端子グループの電源	関連ポート／関連端子
PgR0	REG0VCC, AWOVSS	X1, X2, XT1, XT2/IP0_0
PgE	EVCC, EVSS	関連ポート：JP0, P0, P1, P2, P3, P8, P9, P20, P23 関連端子：$\overline{\text{RESET}}$, FLMD0
PgB	BVCC, BVSS	関連ポート：P10, P11, P12, P13, P18, P19, P21, P22, P24
PgA0	A0VREF, A0VSS	関連ポート：AP0
PgA1	A1VREF, A1VSS	関連ポート：AP1

47A.1.1.2 予約

47A.1.1.3 233-Pin Version

略号	端子グループの電源	関連ポート／関連端子
PgR0	REG0VCC, AWOVSS	X1, X2, XT1, XT2/IP0_0
PgE	EVCC, EVSS	関連ポート：JP0, P0, P1, P2, P3, P8, P9, P20 関連端子：$\overline{\text{RESET}}$, FLMD0
PgB	BVCC, BVSS	関連ポート：P10, P11, P12, P13, P18, P19
PgA0	A0VREF, A0VSS	関連ポート：AP0
PgA1	A1VREF, A1VSS	関連ポート：AP1

47A.1.1.4 176-Pin Version

略号	端子グループの電源	関連ポート／関連端子
PgR0	REG0VCC, AWOVSS	X1, X2, XT1, XT2/IP0_0
PgE	EVCC, EVSS	関連ポート：JP0, P0, P1, P2, P8, P9, P20 関連端子：$\overline{\text{RESET}}$, FLMD0
PgB	BVCC, BVSS	関連ポート：P10, P11, P12, P18
PgA0	A0VREF, A0VSS	関連ポート：AP0
PgA1	A1VREF, A1VSS	関連ポート：AP1

47A.1.2　通常測定条件

47A.1.2.1　共通条件

- 電力供給
  - REG0VCC＝EVCC＝VPOC 注1～5.5V
  - REG1VCC＝VPOC 注1～3.6V、REG1VCC≦REG0VCC
  - BVCC＝VPOC 注1～REG0VCC
  - A0VREF＝3.0V～5.5V
  - A1VREF＝3.0V～5.5V
  - AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V
- 内部レギュレータのキャパシタンス
  - CAWOVCL：0.1µF±30%
  - CISOVCL：0.1µF±30%　1 端子当たり
- 動作温度
  - Tj＝－40～＋130°C @R7F7017xx3ABG 注2
  - Tj＝－40～＋150°C @R7F7017xx4ABG 注2
@R7F7017yy3AFP 注2

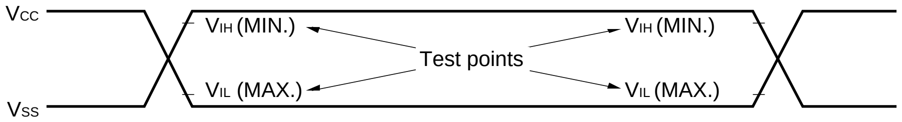
  xx＝10, 11, 14, 15
yy＝08, 09
- 負荷条件

  CL＝30pF

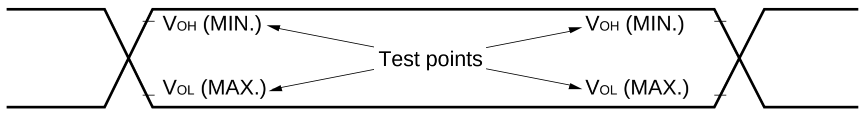
注1. “VPOC”は、POC（パワーオンクリア）検出電圧を表します。詳細に関しては、「**47A.4.5.2 電圧検出（POC, LVI, VLVI, CVM）特性**」を参照してください。
注2. 各製品の動作温度については「**1A.3 RH850/F1KH 製品ラインナップ**」を参照してください。

47A.1.2.2 AC 特性の測定条件

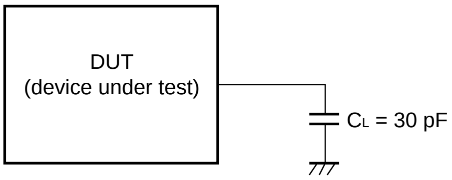
(1) AC テスト入力測定点



(2) AC テスト出力測定点



(3) 負荷条件



注　意

回路構成により負荷容量が 30pF を超える場合は、バッファを挿入し、デバイスの負荷容量を 30pF 以下にすることを推奨します。

47A.2　絶対最大定格

注　意

1. IC 製品の出力（または入出力）端子同士を直結したり、VDD または VCC や GND に直結したりしないでください。
2. 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を超えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を超えない状態で、製品をご使用ください。DC 特性と AC 特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。
3. 外部回路の設計時は、デバイスのポート状態と回路の接続が衝突しないことを確認してください。

47A.2.1　電源電圧

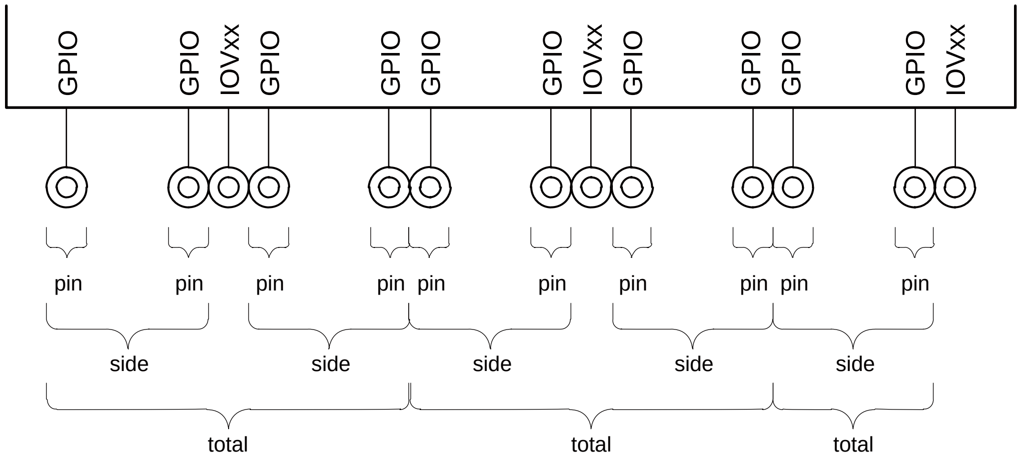
項目	略号	条件	MIN.	TYP.	MAX.	単位
システム用電源電圧	REG0VCC		–0.5		6.5	V
	REG1VCC		–0.5		6.5	V
	AWOVSS		–0.5		0.5	V
	ISOVSS		–0.5		0.5	V
ポート用電源電圧	EVCC		–0.5		6.5	V
	BVCC		–0.5		6.5	V
	EVSS		–0.5		0.5	V
	BVSS		–0.5		0.5	V
A/D コンバータ用電源電圧	A0VREF		–0.5		6.5	V
	A1VREF		–0.5		6.5	V
	A0VSS		–0.5		0.5	V
	A1VSS		–0.5		0.5	V

47A.2.2　ポート電圧

項目	端子グループ注 1	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧	PgR0	VI		–0.5		REG0VCC + 0.5 （6.5V を超過しないこと）	V
	PgE			–0.5		EVCC + 0.5 （6.5V を超過しないこと）	V
	PgB			–0.5		BVCC + 0.5 （6.5V を超過しないこと）	V
	PgA0			–0.5		A0VREF + 0.5 （6.5V を超過しないこと）	V
	PgA1			–0.5		A1VREF + 0.5 （6.5V を超過しないこと）	V

注1.　特に指定がない限り、兼用端子の特性はポート端子の特性と同じです。

47A.2.3 ポート電流



条件の定義：

- 各 pin：1 GPIO 端子の出力電流
- 各サイド：1 IOVxx 端子の片サイドにおける、全 GPIO 端子の合計出力電流
- トータル：1 IOVxx 端子の両サイドにおける、合計出力電流

備考

- GPIO：汎用 I/O 端子（JP0, P0, P1, P2, P3, P8, P9, P10, P11, P12, P13, P18, P19, P20, P21, P22, P23, P24, AP0, AP1）
- IOVxx：I/O 端子用の電源端子（EVCC/EVSS, BVCC/BVSS, A0VREF/A0VSS, A1VREF/A1VSS）

47A.2.3.1 324-Pin Version

項目	略号	端子グループ	条件	MIN.	TYP.	MAX.	単位
ハイレベル出力電流	IOH	PgE	1 端子当たり			–10	mA
			片サイド当たり（P9_0～P9_4, P20_10～P20_15 の総和）			–48	mA
			片サイド当たり（P20_0～P20_9 の総和）			–48	mA
			片サイド当たり（P0_0～P0_3 の総和）			–40	mA
			片サイド当たり（JP0_3～JP0_5, P0_4～P0_6, P0_11～P0_14, P1_0～P1_3, P1_12, P1_13, P2_6～P2_12, P8_2, P8_10～P8_12 の総和）			–48	mA
			片サイド当たり（JP0_0～JP0_2, P1_8～P1_11, P2_0, P2_1, P2_13～P2_15, P3_0 の総和）			–48	mA
			片サイド当たり（JP0_6, P0_7～P0_10, P1_4, P1_5, P1_14, P1_15, P2_2～P2_5, P8_0, P8_1, P8_3～P8_9 の総和）			–48	mA
			片サイド当たり（P3_1～P3_12 の総和）			–48	mA
			片サイド当たり（P23_0～P23_10 の総和）			–48	mA
			総和（EVCC）			–60	mA
		PgB	1 端子当たり			–10	mA
			片サイド当たり（P18_0～P18_7 の総和）			–48	mA
			片サイド当たり（P18_8～P18_15, P19_0～P19_3 の総和）			–48	mA
			片サイド当たり（P10_6～P10_14, P11_1～P11_7, P11_15, P12_0～P12_2, P13_0, P13_1 の総和）			–48	mA
			片サイド当たり（P10_0～P10_2 の総和）			–30	mA
			片サイド当たり（P10_3～P10_5 の総和）			–30	mA
			片サイド当たり（P10_15, P11_0, P11_8～P11_12, P12_3～P12_5, P13_2～P13_7 の総和）			–48	mA
			片サイド当たり（P21_0, P21_2～P21_14, P22_0～P22_2 の総和）			–48	mA
			片サイド当たり（P22_3～P22_8 の総和）			–48	mA
			片サイド当たり（P21_1, P22_9～P22_15 の総和）			–48	mA
			片サイド当たり（P24_0～P24_7 の総和）			–48	mA
			総和（BVCC）			–60	mA
		PgA0	1 端子当たり			–10	mA
			総和（A0VREF）			–48	mA
		PgA1	1 端子当たり			–10	mA
			総和（A1VREF）			–48	mA

(324-pin version)

項目	略号	端子グループ	条件	MIN.	TYP.	MAX.	単位
ロウレベル出力電流	IOL	PgE	1 端子当たり			10	mA
			片サイド当たり（P9_0～P9_4, P20_10～P20_15 の総和）			48	mA
			片サイド当たり（P20_0～P20_9 の総和）			48	mA
			片サイド当たり（P0_0～P0_6, P0_11～P0_14, P1_0～P1_3, P1_12, P1_13, P2_6～P2_12 の総和）			48	mA
			片サイド当たり（JP0_0～JP0_5, P1_8～P1_11, P2_0, P2_1, P2_13～P2_15, P3_0, P8_2, P8_10～P8_12 の総和）			48	mA
			片サイド当たり（JP0_6, P0_7～P0_10, P2_2, P2_3 の総和）			48	mA
			片サイド当たり（P1_4, P1_5, P1_14, P1_15, P2_4, P2_5, P8_0, P8_1, P8_3～P8_9 の総和）			48	mA
			片サイド当たり（P3_3～P3_12 の総和）			48	mA
			片サイド当たり（P23_0～P23_10 の総和）			48	mA
			総和（EVCC）			60	mA
		PgB	1 端子当たり			10	mA
			片サイド当たり（P18_0～P18_7 の総和）			48	mA
			片サイド当たり（P18_8～P18_15, P19_0～P19_3 の総和）			48	mA
			片サイド当たり（P10_6～P10_14, P11_1, P11_2 の総和）			48	mA
			片サイド当たり（P11_3～P11_7, P11_15, P12_0～P12_2, P13_0, P13_1 の総和）			48	mA
			片サイド当たり（P10_0～P10_2 の総和）			30	mA
			片サイド当たり（P10_3～P10_5 の総和）			30	mA
			片サイド当たり（P10_15, P11_0, P11_8～P11_12, P12_3～P12_5, P13_2～P13_7 の総和）			48	mA
			片サイド当たり（P21_0, P21_2～P21_14 , P22_0～P22_6 の総和）			48	mA
			片サイド当たり（P21_1, P22_7～P22_15 の総和）			48	mA
			片サイド当たり（P24_0～P24_7 の総和）			48	mA
			総和（BVCC）			60	mA
		PgA0	1 端子当たり			10	mA
			総和（A0VREF）			48	mA
		PgA1	1 端子当たり			10	mA
			総和（A1VREF）			48	mA

47A.2.3.2 予約

47A.2.3.3 233-Pin Version

項目	略号	端子グループ	条件	MIN.	TYP.	MAX.	単位
ハイレベル出力電流	IOH	PgE	1 端子当たり			–10	mA
			片サイド当たり（P9_0～P9_4, P20_0～P20_5 の総和）			–48	mA
			片サイド当たり（P0_0～P0_3 の総和）			–40	mA
			片サイド当たり（JP0_3～JP0_5, P0_4～P0_6, P0_11～P0_14, P1_0～P1_3, P1_12, P1_13, P2_6～P2_12, P8_2, P8_10～P8_12 の総和）			–48	mA
			片サイド当たり（JP0_0～JP0_2, P1_8～P1_11, P2_0, P2_1, P2_13～P2_15, P3_0 の総和）			–48	mA
			片サイド当たり（JP0_6, P0_7～P0_10, P1_4, P1_5, P1_14, P1_15, P2_2～P2_5, P8_0, P8_1, P8_3～P8_9 の総和）			–48	mA
			総和（EVCC）			–60	mA
		PgB	1 端子当たり			–10	mA
			片サイド当たり（P18_0～P18_7 の総和）			–48	mA
			片サイド当たり（P18_8～P18_15, P19_0～P19_3 の総和）			–48	mA
			片サイド当たり（P10_6～P10_14, P11_1～P11_7, P11_15, P12_0～P12_2, P13_0, P13_1 の総和）			–48	mA
			片サイド当たり（P10_0～P10_2 の総和）			–30	mA
			片サイド当たり（P10_3～P10_5 の総和）			–30	mA
			片サイド当たり（P10_15, P11_0, P11_8～P11_12, P12_3～P12_5, P13_2～P13_7 の総和）			–48	mA
			総和（BVCC）			–60	mA
		PgA0	1 端子当たり			–10	mA
			総和（A0VREF）			–48	mA
		PgA1	1 端子当たり			–10	mA
			総和（A1VREF）			–48	mA

(233-pin version)

項目	略号	端子グループ	条件	MIN.	TYP.	MAX.	単位
ロウレベル出力電流	IOL	PgE	1 端子当たり			10	mA
			片サイド当たり（P9_0〜P9_4, P20_0〜P20_5 の総和）			48	mA
			片サイド当たり（P0_0〜P0_6, P0_11〜P0_14, P1_0〜P1_3, P1_12, P1_13, P2_6〜P2_12 の総和）			48	mA
			片サイド当たり（JP0_0〜JP0_5, P1_8〜P1_11, P2_0, P2_1, P2_13〜P2_15, P3_0, P8_2, P8_10〜P8_12 の総和）			48	mA
			片サイド当たり（JP0_6, P0_7〜P0_10, P2_2, P2_3 の総和）			48	mA
			片サイド当たり（P1_4, P1_5, P1_14, P1_15, P2_4, P2_5, P8_0, P8_1, P8_3〜P8_9 の総和）			48	mA
			総和（EVCC）			60	mA
		PgB	1 端子当たり			10	mA
			片サイド当たり（P18_0〜P18_7 の総和）			48	mA
			片サイド当たり（P18_8〜P18_15, P19_0〜P19_3 の総和）			48	mA
			片サイド当たり（P10_6〜P10_14, P11_1, P11_2 の総和）			48	mA
			片サイド当たり（P11_3〜P11_7, P11_15, P12_0〜P12_2, P13_0, P13_1 の総和）			48	mA
			片サイド当たり（P10_0〜P10_2 の総和）			30	mA
			片サイド当たり（P10_3〜P10_5 の総和）			30	mA
			片サイド当たり（P10_15, P11_0, P11_8〜P11_12, P12_3〜P12_5, P13_2〜P13_7 の総和）			48	mA
			総和（BVCC）			60	mA
		PgA0	1 端子当たり			10	mA
			総和（A0VREF）			48	mA
		PgA1	1 端子当たり			10	mA
			総和（A1VREF）			48	mA

47A.2.3.4 176-Pin Version

項目	略号	端子グループ	条件	MIN.	TYP.	MAX.	単位
ハイレベル出力電流	IOH	PgE	1 端子当たり			–10	mA
			片サイド当たり（P9_0～P9_4, P20_0～P20_5 の総和）			–48	mA
			片サイド当たり（P0_0～P0_3 の総和）			–40	mA
			片サイド当たり（JP0_3～JP0_5, P0_4～P0_6, P0_11～P0_14, P1_0～P1_3, P1_12, P1_13, P2_6, P8_2, P8_10～P8_12 の総和）			–48	mA
			片サイド当たり（JP0_0～JP0_2, P1_8～P1_11, P2_0, P2_1 の総和）			–48	mA
			片サイド当たり（JP0_6, P0_7～P0_10, P1_4, P1_5, P1_14, P1_15, P2_2～P2_5, P8_0, P8_1, P8_3～P8_9 の総和）			–48	mA
			総和（EVCC）			–60	mA
		PgB	1 端子当たり			–10	mA
			片サイド当たり（P10_6～P10_9, P18_0～P18_7 の総和）			–48	mA
			片サイド当たり（P10_10～P10_14, P11_1～P11_7, P11_5, P12_0～P12_2 の総和）			–48	mA
			片サイド当たり（P10_0～P10_2 の総和）			–30	mA
			片サイド当たり（P10_3～P10_5 の総和）			–30	mA
			片サイド当たり（P10_15, P11_0, P11_8～P11_12, P12_3～P12_5 の総和）			–48	mA
			総和（BVCC）			–60	mA
		PgA0	1 端子当たり			–10	mA
			総和（A0VREF）			–48	mA
		PgA1	1 端子当たり			–10	mA
			総和（A1VREF）			–48	mA
ロウレベル出力電流	IOL	PgE	1 端子当たり			10	mA
			片サイド当たり（P9_0～P9_4, P20_0～P20_5 の総和）			48	mA
			片サイド当たり（P0_0～P0_6, P0_11～P0_14, P1_0～P1_3, P1_12, P1_13, P2_6 の総和）			48	mA
			片サイド当たり（JP0_0～JP0_5, P1_8～P1_11, P2_0, P2_1, P8_2, P8_10～P8_12 の総和）			48	mA
			片サイド当たり（JP0_6, P0_7～P0_10, P2_2, P2_3 の総和）			48	mA
			片サイド当たり（P1_4, P1_5, P1_14, P1_15, P2_4, P2_5, P8_0, P8_1, P8_3～P8_9 の総和）			48	mA
			総和（EVSS）			60	mA
		PgB	1 端子当たり			10	mA
			片サイド当たり（P18_0～P18_7 の総和）			48	mA
			片サイド当たり（P10_6～P10_14, P11_1, P11_2 の総和）			48	mA
			片サイド当たり（P11_3～P11_7, P11_15, P12_0～P12_2 の総和）			48	mA
			片サイド当たり（P10_0～P10_2 の総和）			30	mA
			片サイド当たり（P10_3～P10_5 の総和）			30	mA
			片サイド当たり（P10_15, P11_0, P11_8～P11_12, P12_3～P12_5 の総和）			48	mA
			総和（BVSS）			60	mA
		PgA0	1 端子当たり			10	mA
			総和（A0VSS）			48	mA
		PgA1	1 端子当たり			10	mA
			総和（A1VSS）			48	mA

47A.2.4 温度条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
保存温度	Tstg		–55		150	°C
ジャンクション温度	Tj	R7F7017xx3ABG	–40		130	°C
		R7F7017xx4ABG R7F7017yy3AFP	–40		150	°C

備考　xx＝10, 11, 14, 15
yy＝08, 09

各製品の動作温度については「**1A.3 RH850/F1KH 製品ラインナップ**」を参照してください。

47A.3　動作条件

47A.3.1　推奨動作条件

CPU の最大周波数が 240MHz の製品

(1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
CPU クロック周波数	f_{CPUCLK_H}	CKDIVMD＝1			240	MHz
		CKDIVMD＝0			120	MHz
	f_{CPUCLK_M}				120	MHz
	f_{CPUCLK_L}	OSTMn 用			60	MHz
		MEMC 用[注 5]				
	f_{CPUCLK_UL}				30	MHz
周辺クロック（クロックドメイン）周波数[注 1]	f_{CKSCLK_AWDTA}	WDTA0 用			240 [注 2]	kHz
	f_{CKSCLK_ATAUJ}	TAUJ0 用			40	MHz
		TAUJ2 用				
	f_{CKSCLK_ARTCA}	RTCA0 用			4	MHz
	f_{CKSCLK_AADCA}	ADCA0 用			40	MHz
	f_{CKSCLK_AFOUT}	FOUT 用			24	MHz
	$f_{CKSCLK\_ICPUCLK}$	CPU サブシステム用			240/120	MHz
	f_{CKSCLK_IPERI1}	TAUD0 用			80	MHz
		TAUJ1 用				
		TAUJ3 用				
		ENCA0 用				
		TAPA0 用				
		PIC0 用				
		SFMA0 用				
	f_{CKSCLK_IPERI2}	TAUBn 用			40	MHz
		RCFDCn（clkc）用				
		RSENTn 用				
		PWBAn 用				
		PWGAn 用				
		PWSAn 用				
		MMCA0 用				
	f_{CKSCLK_ILIN}	RLIN24n 用			40	MHz
		RLIN3n 用				
	f_{CKSCLK_IADCA}	ADCA1 用			40	MHz
	f_{CKSCLK_ICAN}	RCFDCn（PCLK）用			80	MHz
	$f_{CKSCLK\_ICANOSC}$	RCFDCn（clk_xincan）用			24	MHz
	f_{CKSCLK_ICSI}	CSIGn 用			80	MHz
		CSIHn 用				
	f_{CKSCLK_IIIC}	RIICn 用			40	MHz
	$f_{LS\ IntOSC}$	WDTA1 用			240 [注 2]	kHz
		WDTA2 用				
	f_{EMCLK}	LPSn 用			8	MHz

(2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電力供給	REG0VCC	REG0VCC＝EVCC	VPOC 注 3		5.5	V
	EVCC					
	REG1VCC	REG1VCC≦REG0VCC	VPOC 注 3		3.6	V
	BVCC		VPOC 注 3		REG0VCC	V
	A0VREF		3.0		5.5	V
	A1VREF					
通常動作電圧	AWOVCL		1.1	1.25	1.35	V
	ISOVCL					
制限付き動作電圧注 4	AWOVCL		1.35		1.43	V
	ISOVCL					

注1.　周辺デバイスの最大周波数に関しては、**「第 12AB 章 クロックコントローラ (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2)」**を参照してください。

注2.　周波数は内蔵発振回路（LS IntOSC）に依存します。

注3.　“VPOC”は、POC（パワーオンクリア）検出電圧（TYP. 2.85V）を表します。詳細に関しては、**「47A.4.5.2 電圧検出（POC, LVI, VLVI, CVM）特性」**を参照してください。
なお、DC 特性での動作は保証されています。
AC 特性での動作は、3.0V 以上の場合、保証されています。
電源電圧が VPOC～3.0V の場合、デバイスは正常に動作します。

注4.　1.35V から 1.43V は信頼性に制限があります。

注5.　MEMC 内で 2 分周されます。

CPU の最大周波数が 160MHz の製品

(1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
CPU クロック周波数	f_{CPUCLK_H}				160	MHz
	f_{CPUCLK_M}				80	MHz
	f_{CPUCLK_L}	OSTMn 用			40	MHz
		MEMC 用[注5]				
	f_{CPUCLK_UL}				20	MHz
周辺クロック（クロックドメイン）周波数[注1]	f_{CKSCLK_AWDTA}	WDTA0 用			240 [注2]	kHz
	f_{CKSCLK_ATAUJ}	TAUJ0 用			40	MHz
		TAUJ2 用				
	f_{CKSCLK_ARTCA}	RTCA0 用			4	MHz
	f_{CKSCLK_AADCA}	ADCA0 用			40	MHz
	f_{CKSCLK_AFOUT}	FOUT 用			24	MHz
	$f_{CKSCLK\_ICPUCLK}$	CPU サブシステム用			160	MHz
	f_{CKSCLK_IPERI1}	TAUD0 用			80	MHz
		TAUJ1 用				
		TAUJ3 用				
		ENCA0 用				
		TAPA0 用				
		PIC0 用				
		SFMA0 用				
	f_{CKSCLK_IPERI2}	TAUBn 用			40	MHz
		RCFDCn（clkc）用				
		RSENTn 用				
		PWBAn 用				
		PWGAn 用				
		PWSAn 用				
		MMCA0 用				
	f_{CKSCLK_ILIN}	RLIN24n 用			40	MHz
		RLIN3n 用				
	f_{CKSCLK_IADCA}	ADCA1 用			40	MHz
	f_{CKSCLK_ICAN}	RCFDCn（pclk）用			80	MHz
	$f_{CKSCLK\_ICANOSC}$	RCFDCn（clk_xincan）用			24	MHz
	f_{CKSCLK_ICSI}	CSIGn 用			80	MHz
		CSIHn 用				
	f_{CKSCLK_IIIC}	RIICn 用			40	MHz
	$f_{LS\ IntOSC}$	WDTA1 用			240 [注2]	kHz
		WDTA2 用				
	f_{EMCLK}	LPSn 用			8	MHz
電力供給	REG0VCC	REG0VCC＝EVCC	VPOC [注3]		5.5	V
	EVCC					
	REG1VCC	REG1VCC≦REG0VCC	VPOC [注3]		3.6	V
	BVCC		VPOC [注3]		REG0VCC	V
	A0VREF		3.0		5.5	V
	A1VREF					

(2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
通常動作電圧	AWOVCL		1.1	1.25	1.35	V
	ISOVCL					
制限付き動作電圧注 4	AWOVCL		1.35		1.43	V

注1.　周辺デバイスの最大周波数に関しては、**「第 12AB 章 クロックコントローラ (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2)」**を参照してください。

注2.　周波数は内蔵発振回路（LS IntOSC）に依存します。

注3.　“VPOC”は、POC（パワーオンクリア）検出電圧（TYP. 2.85V）を表します。詳細に関しては、**「47A.4.5.2 電圧検出（POC, LVI, VLVI, CVM）特性」**を参照してください。
なお、DC 特性での動作は保証されています。
AC 特性での動作は、3.0V 以上の場合、保証されています。
電源電圧が VPOC～3.0V の場合、デバイスは正常に動作します。

注4.　1.35V から 1.43V は信頼性に制限があります。

注5.　MEMC 内で 2 分周されます。

47A.3.2 オシレータ特性

条件 : REG0VCC＝EVCC＝VPOC～5.5V, REG1VCC＝VPOC～3.6V, REG1VCC≦REG0VCC, BVCC＝VPOC～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C

(1) メイン OSC（水晶／セラミックを使用する場合）

項目	略号	条件	MIN.	TYP.	MAX.	単位
メイン OSC 周波数注 3	f_{MOSC}		8		24	MHz
メイン OSC 消費電流	I_{MOSC}	安定後		1.9 注 2	2.3 注 2	mA
メイン OSC 発振開始電圧	V_{MOSCSP}		VPOC			V
メイン OSC 発振動作点	V_{MOSCOP}			0.5 × REG0VCC 注 2		V
メイン OSC 発振振幅	$V_{MOSCAMP}$		0.4 × REG0VCC – 0.2 注 2			V
メイン OSC 発振安定時間	t_{MSTB}			2 注 1、注 2		ms
メイン OSC トランスコンダクタンス	g_{m_MOSC}	MOSCS.MOSCCLKACT＝0, MOSCC.MOSCAMPSEL[1:0]＝00		11.1 注 2		mA/V
		MOSCS.MOSCCLKACT＝0, MOSCC.MOSCAMPSEL[1:0]＝01		10.6 注 2		mA/V
		MOSCS.MOSCCLKACT＝0, MOSCC.MOSCAMPSEL[1:0]＝10		9.3 注 2		mA/V
		MOSCS.MOSCCLKACT＝0, MOSCC.MOSCAMPSEL[1:0]＝11		7.8 注 2		mA/V
		MOSCS.MOSCCLKACT＝1, MOSCC.MOSCAMPSEL[1:0]＝00		8.6 注 2		mA/V
		MOSCS.MOSCCLKACT＝1, MOSCC.MOSCAMPSEL[1:0]＝01		7.8 注 2		mA/V
		MOSCS.MOSCCLKACT＝1, MOSCC.MOSCAMPSEL[1:0]＝10		6.1 注 2		mA/V
		MOSCS.MOSCCLKACT＝1, MOSCC.MOSCAMPSEL[1:0]＝11		4.0 注 2		mA/V

注1. 発振安定時間は、MOSCE.MOSCENTRG ビットに“1”が書き込まれた後に、MOSCS.MOSCCLKACT ビットが設定される（“1”になる）までの時間で、MOSCST レジスタの設定値に依存します。発振子と発振回路のマッチングテストで、適切な発振安定時間を決定してください。

注2. これは参考値です。

注3. 対応する水晶／セラミックの周波数は、8MHz、16MHz、20MHz、24MHz の 4 種類のみです。

(2) メイン OSC（X1 に外部クロックを入力する場合）

項目	略号	条件	MIN.	TYP.	MAX.	単位
X1 クロック入力周波数[注1]	f_{EX}		8		24	MHz
X1 クロック入力周期	t_{EXCYC}		41.7		125	ns
X1 ハイレベル入力電圧	V_{IH}		0.7 × REG0VCC		REG0VCC + 0.5	V
		フラッシュプログラミングインタフェース使用時[注2]	0.8 × REG0VCC		REG0VCC + 0.5	V
X1 ロウレベル入力電圧	V_{IL}		–0.5		0.3 × REG0VCC	V
		フラッシュプログラミングインタフェース使用時[注2]	–0.5		0.2 × REG0VCC	V
X1 入力リーク電流	I_{LIH}	VI＝REG0VCC			0.5	μA
	I_{LIL}	VI＝0V			–0.5	μA
X1 クロック入力ロウレベル幅	t_{EXL}	f_{EX}＝8MHz	58			ns
		f_{EX}＝16MHz	26			ns
		f_{EX}＝20MHz	20			ns
		f_{EX}＝24MHz	16			ns
X1 クロック入力ハイレベル幅	t_{EXH}	f_{EX}＝8MHz	58			ns
		f_{EX}＝16MHz	26			ns
		f_{EX}＝20MHz	20			ns
		f_{EX}＝24MHz	16			ns
X1 クロック入力周期ジッタ			–0.3		0.3	ns

注1.　対応する外部クロックの入力周波数は、8MHz、16MHz、20MHz、24MHz の 4 種類のみです。

注2.　X2 端子はオープンかつ寄生容量は 5pF 以下にしてください。

(3) サブ OSC

項目	略号	条件	MIN.	TYP.	MAX.	単位
サブ OSC 周波数	f_{SOSC}	水晶	30	32.768	38	kHz
サブ OSC 消費電流	I_{SOSC}	安定後		1.5 [注2]	4 [注2]	μA
サブ OSC 発振 DC 動作点	$V_{SOSCDCOP}$			0.65 [注2]		V
サブ OSC 発振安定時間	t_{SSTB}			[注1]		s

注1.　発振安定時間は、SOSCE.SOSCENTRG ビットに “1” が書き込まれた後に、SOSCS.SOSCCLKACT ビットが設定される（“1” になる）までの時間で、SOSCST レジスタの設定値に依存します。発振子と発振回路のマッチングテストで、適切な発振安定時間を決定してください。

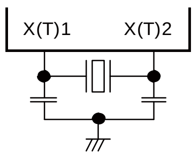
注2.　これは参考値です。

注　意

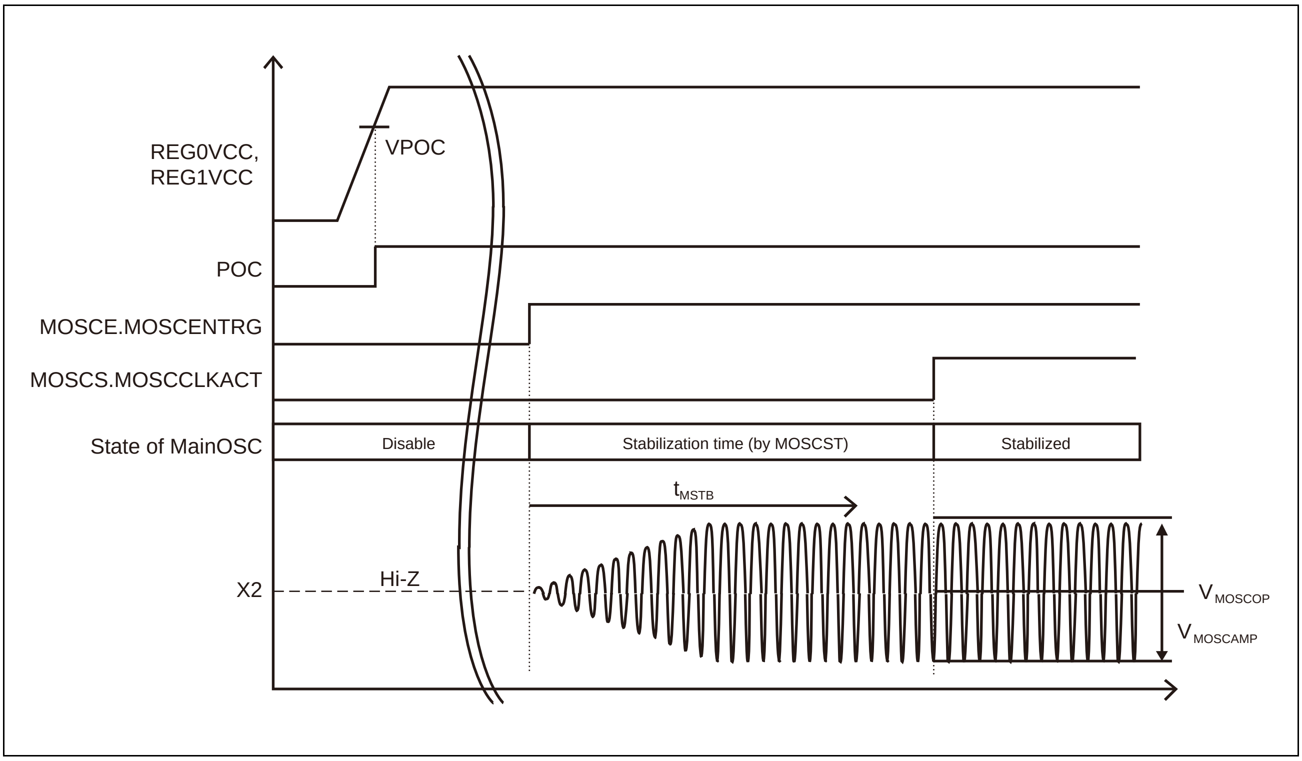
発振安定時間は、外部発振回路とのマッチングにより異なります。発振子のマッチングテストで発振安定時間を決定することを推奨します。

備　考

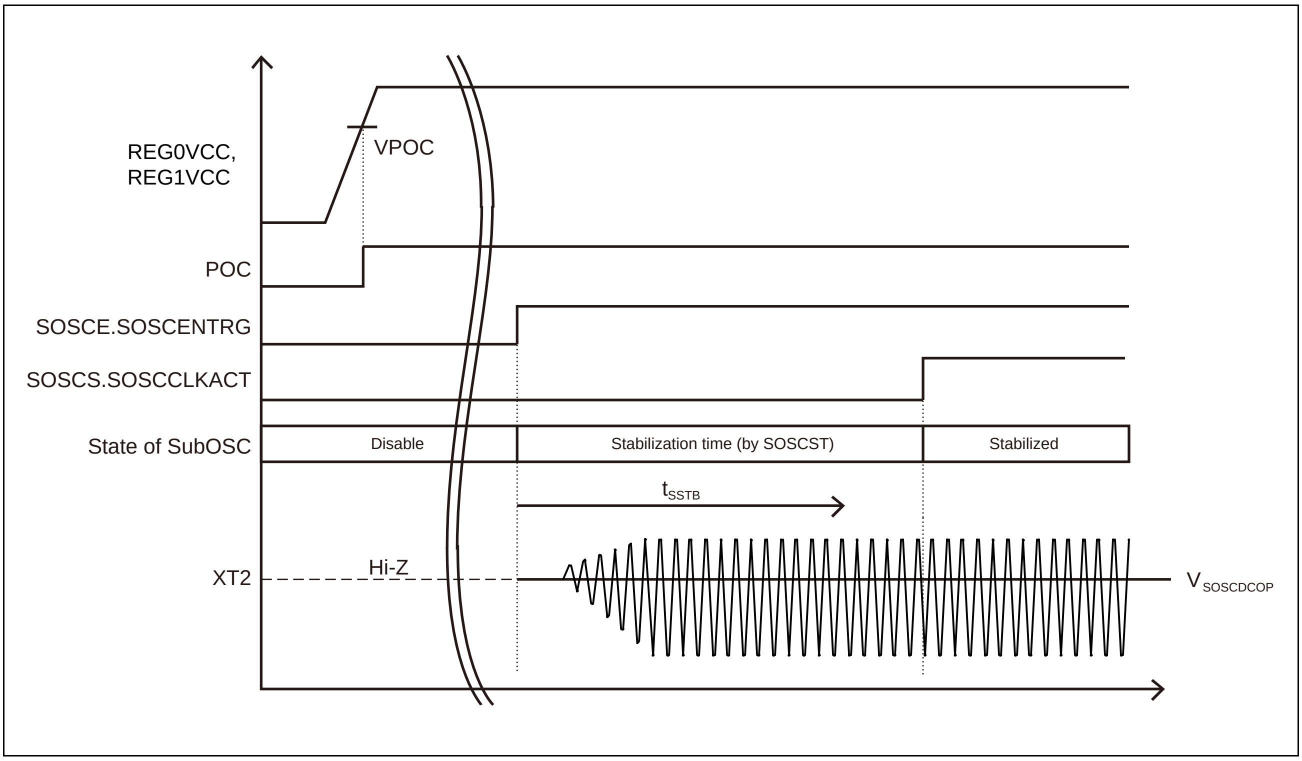
推奨発振回路を以下に示します。



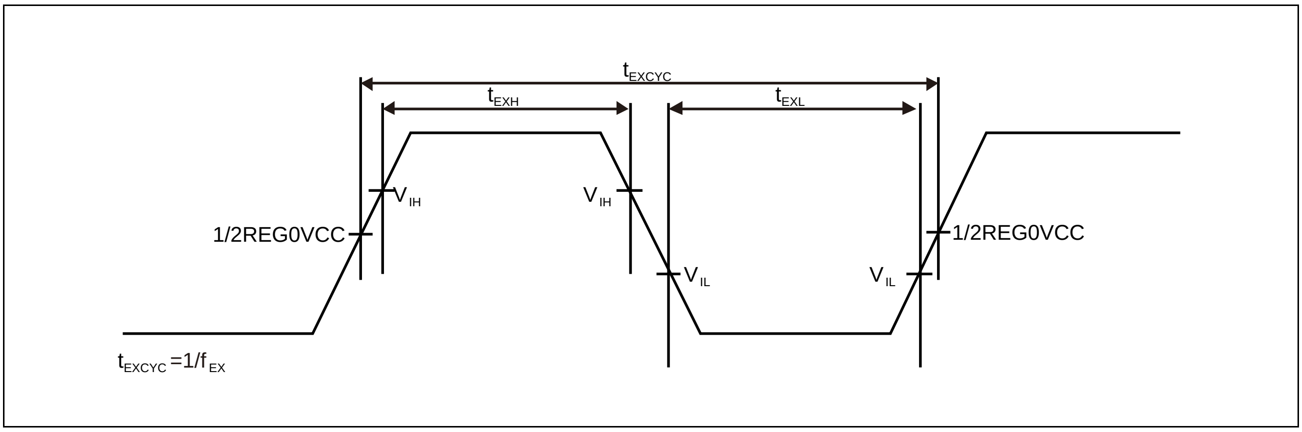
メイン OSC


REG0VCC,
REG1VCC
VPOC
POC
MOSCE.MOSCENTRG
MOSCS.MOSCCLKACT
State of MainOSC
Disable
Stabilization time (by MOSCST)
Stabilized
tMSTB
X2
Hi-Z
VMOSCOP
VMOSCAMP

サブ OSC



外部クロック



47A.3.3　内蔵発振器特性

条件　: REG0VCC＝EVCC＝VPOC～5.5V, REG1VCC＝VPOC～3.6V, REG1VCC≦REG0VCC, BVCC＝VPOC～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C,
CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
低速内蔵 OSC 周波数	f_{RL}		220.8	240	259.2	kHz
高速内蔵 OSC 周波数注 3	f_{RH}		7.6	8	8.4	MHz
		ユーザトリミング後@トリミング温度注 2	7.92	8	8.08	MHz
高速内蔵 OSC 消費電流	I_{RH}	安定後			170 注 1	μA
高速内蔵 OSC 発振安定時間	t_{RHSTB}				54.4	μs

注1.　これは参考値です。

注2.　コード／データフラッシュの書き込み中、または消去中は HS IntOSC の周波数が規格の範囲外（8.00MHz±0.08MHz ユーザトリミング後@トリミング温度）となる可能性があります。

注3.　Cyclic STOP 時または Cyclic RUN モード時は HS IntOSC の周波数が規格の範囲外となる可能性があります。

47A.3.4　PLL 特性

47A.3.4.1　PLL0（CPU 用、SSCG 動作モードあり）の特性

条件　: REG0VCC＝EVCC＝VPOC～5.5V, REG1VCC＝VPOC～3.6V, REG1VCC≦REG0VCC, BVCC＝VPOC～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

項目	略号	条件			MIN.	TYP.	MAX.	単位
入力周波数	$f_{PLL0CLKIN}$	MainOSC			8		24	MHz
		HS IntOSC[注3]			7.6	8.0	8.4	MHz
		HS IntOSC ユーザトリミング後@トリミング温度[注3]			7.92	8.0	8.08	MHz
出力周波数	$f_{CPLL0OUT}$	SSCG モード	MainOSC	CPU の最大周波数が 240MHz の製品	105.8		240	MHz
				CPU の最大周波数が 160MHz の製品	105.8		160	MHz
			HS IntOSC[注3]		67		84	MHz
			HS IntOSC ユーザトリミング後 @トリミング温度[注3]		69.8		80.8	MHz
変調周波数	f_{MOD}				20		100	kHz
周波数ディザリング範囲[注2]	f_{DIT}				0.82	1.0	1.18	%
					1.64	2.0	2.36	%
					2.46	3.0	3.54	%
					3.28	4.0	4.72	%
					4.10	5.0	5.90	%
					4.92	6.0	7.08	%
					6.56	8.0	9.44	%
					8.20	10.0	11.80	%
ロック時間[注1]	t_{LCK0}	SSCG モード	PLL0ST＝0000 1B80$_H$		814.9	880	956.6	μs

注1.　ロック時間は、PLL0E.PLL0ENTRG ビットに“1”が書き込まれた後に、PLL0S.PLL0CLKACT ビットが設定される（“1”になる）までの時間です。

注2.　「周波数ディザリング範囲」は、PLL0C レジスタの PLL0ADJ[2:0]ビットで設定します。

注3.　HS IntOSC は、周波数偏差があります。TAUx、ADCAn などの周辺機能に影響を与えるため、HS IntOSC を使用する場合は、周波数偏差を考慮する必要があります。

47A.3.4.2　PLL1（CPU／周辺機能用）の特性

条件　: REG0VCC＝EVCC＝VPOC～5.5V, REG1VCC＝VPOC～3.6V, REG1VCC≦REG0VCC, BVCC＝VPOC～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C,
CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力周波数	$f_{PLL1CLKIN}$	MainOSC	8		24	MHz
		HS IntOSC 注3	7.6	8.0	8.4	MHz
		HS IntOSC ユーザトリミング後@トリミング温度注3	7.92	8.0	8.08	MHz
出力周波数	$f_{CPLL1OUT}$	MainOSC	80		120	MHz
		HS IntOSC 注3	76	80	84	MHz
	$f_{PPLLOUT}$		76	80	84	MHz
出力周期ジッタ注1	t_{CPJ1}		–100		100	ps
長期ジッタ注1	t_{LTJ}	term＝1μs	–500		500	ps
		term＝10μs	–1		1	ns
		term＝20μs	–2		2	ns
ロック時間注2	t_{LCK1}		104	112.3	122.1	μs

注1.　これは参考値です。

注2.　ロック時間は、PLL1E.PLL1ENTRG ビットに“1”が書き込まれた後に、PLL1S.PLL1CLKACT ビットが設定される（“1”になる）までの時間です。

注3.　HS IntOSC は、周波数偏差があります。TAUx、ADCAn などの周辺機能に影響を与えるため、HS IntOSC を使用する場合は、周波数偏差を考慮する必要があります。

47A.4　DC 特性

47A.4.1　キャパシタンス

条件　: REG0VCC＝REG1VCC＝EVCC＝BVCC＝A0VREF＝A1VREF＝AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, Ta＝25°C

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力キャパシタンス	CI 注 1	f＝1MHz 測定しない端子は 0V			10	pF
入力／出力キャパシタンス	CIO 注 2				10	pF

注1.　CI：入力端子とグランド間のキャパシタンス

注2.　CIO：I/O 端子とグランド間のキャパシタンス

47A.4.2 端子特性

条件 : 本章で述べた条件のいくつかは、ソフトウェアで選択することができ、ハードウェアユーザーズマニュアルにも記載されています。

(1/6)

ポート入力バッファ機能							ポート出力ドライブ強度モード	他ポート機能	
端子名	CMOS	SHMT1	SHMT2	SHMT4	TTL	アナログ		プルアップ	プルダウン
$\overline{\text{RESET}}$	—	—	○	—	—	—	—	—	—
FLMD0	—	○	—	—	—	—	—	○	○
AP0_0	○	—	—	—	—	○	低速	—	○注1
AP0_1	○	—	—	—	—	○	低速	—	○注1
AP0_2	○	—	—	—	—	○	低速	—	○注1
AP0_3	○	—	—	—	—	○	低速	—	○注1
AP0_4	○	—	—	—	—	○	低速	—	○注1
AP0_5	○	—	—	—	—	○	低速	—	○注1
AP0_6	○	—	—	—	—	○	低速	—	○注1
AP0_7	○	—	—	—	—	○	低速	—	○注1
AP0_8	○	—	—	—	—	○	低速	—	○注1
AP0_9	○	—	—	—	—	○	低速	—	○注1
AP0_10	○	—	—	—	—	○	低速	—	○注1
AP0_11	○	—	—	—	—	○	低速	—	○注1
AP0_12	○	—	—	—	—	○	低速	—	○注1
AP0_13	○	—	—	—	—	○	低速	—	○注1
AP0_14	○	—	—	—	—	○	低速	—	○注1
AP0_15	○	—	—	—	—	○	低速	—	○注1
AP1_0	○	—	—	—	—	○	低速	—	○注1
AP1_1	○	—	—	—	—	○	低速	—	○注1
AP1_2	○	—	—	—	—	○	低速	—	○注1
AP1_3	○	—	—	—	—	○	低速	—	○注1
AP1_4	○	—	—	—	—	○	低速	—	○注1
AP1_5	○	—	—	—	—	○	低速	—	○注1
AP1_6	○	—	—	—	—	○	低速	—	○注1
AP1_7	○	—	—	—	—	○	低速	—	○注1
AP1_8	○	—	—	—	—	○	低速	—	○注1
AP1_9	○	—	—	—	—	○	低速	—	○注1
AP1_10	○	—	—	—	—	○	低速	—	○注1
AP1_11	○	—	—	—	—	○	低速	—	○注1
AP1_12	○	—	—	—	—	○	低速	—	○注1
AP1_13	○	—	—	—	—	○	低速	—	○注1
AP1_14	○	—	—	—	—	○	低速	—	○注1
AP1_15	○	—	—	—	—	○	低速	—	○注1
IP0_0	—	—	—	—	—	—	—	—	—
JP0_0	—	○	—	○	○	—	低速	○	○
JP0_1	—	○	—	○	—	—	低速／高速	○	○
JP0_2	—	○	—	○	○	—	低速／高速	○	○
JP0_3	—	○	—	○	○	—	低速／高速	○	○
JP0_4	—	—	—	○	—注5	—	低速	○	○
JP0_5	—	○	—	○	—	—	低速／高速	○	○

(2/6)

ポート入力バッファ機能							ポート出力ドライブ強度モード	他ポート機能	
端子名	CMOS	SHMT1	SHMT2	SHMT4	TTL	アナログ		プルアップ	プルダウン
JP0_6	—	○	—	○	—	—	低速／高速	○	○
P0_0	—	○	—	○	—	—	低速／高速	○	○
P0_1	—	○	—	○	—	—	低速／高速	○	○
P0_2	—	○	—	○	—	—	低速／高速[注2]	○	○
P0_3	—	○	—	○	—	—	低速／高速[注2]	○	○
P0_4	—	○	—	○	—	—	低速／高速	○	○
P0_5	—	○	—	○	—	—	低速／高速[注3]	○	○
P0_6	—	○	—	○	—	—	低速／高速[注3]	○	○
P0_7	—	○	—	○	—	—	低速／高速	○	○
P0_8	—	○	—	○	—	—	低速／高速	○	○
P0_9	—	○	—	○	—	—	低速／高速	○	○
P0_10	—	○	—	○	—	—	低速／高速	○	○
P0_11	—	○	—	○	—	—	低速／高速	○	○
P0_12	—	○	—	○	—	—	低速／高速	○	○
P0_13	—	○	—	○	—	—	低速／高速	○	○
P0_14	—	○	—	○	—	—	低速／高速	○	○
P1_0	—	○	—	○	—	—	低速／高速	○	○
P1_1	—	○	—	○	—	—	低速／高速	○	○
P1_2	—	○	—	○	—	—	低速／高速	○	○
P1_3	—	○	—	○	—	—	低速／高速	○	○
P1_4	—	○	—	○	—	—	低速／高速	○	○
P1_5	—	○	—	○	—	—	低速／高速[注3]	○	○
P1_8	—	○	—	○	—	—	低速／高速	○	○
P1_9	—	○	—	○	—	—	低速／高速	○	○
P1_10	—	○	—	○	—	—	低速／高速	○	○
P1_11	—	○	—	○	—	—	低速／高速	○	○
P1_12	—	○	—	○	—	—	低速／高速	○	○
P1_13	—	○	—	○	—	—	低速／高速	○	○
P1_14	—	○	—	○	—	—	低速／高速	○	○
P1_15	—	○	—	○	—	—	低速／高速	○	○
P10_0	—	○	—	○	○	—	低速／高速	○	○
P10_1	—	○	—	○	○	—	低速／高速[注3]	○	○
P10_2	—	○	—	○	○	—	低速／高速[注3]	○	○
P10_3	—	○	—	○	—	—	低速／高速	○	○
P10_4	—	○	—	○	○	—	低速／高速	○	○
P10_5	—	○	—	○	○	—	低速／高速	○	○
P10_6	—	○	—	○	—	—	低速／高速	○	○
P10_7	—	○	—	○	—	—	低速／高速	○	○
P10_8	—	○	—	○	—	—	低速／高速	○	○
P10_9	—	○	—	○	—	—	低速／高速	○	○
P10_10	—	○	—	○	—	—	低速／高速	○	○
P10_11	—	○	—	○	—	—	低速／高速	○	○

(3/6)

端子名	ポート入力バッファ機能						ポート出力ドライブ強度モード	他ポート機能	
	CMOS	SHMT1	SHMT2	SHMT4	TTL	アナログ		プルアップ	プルダウン
P10_12	—	○	—	○	—	—	低速／高速	○	○
P10_13	—	○	—	○	—	—	低速／高速	○	○
P10_14	—	○	—	○	—	—	低速／高速	○	○
P10_15	—	○	—	○	—	—	低速／高速	○	○
P11_0	—	○	—	○	—	—	低速／高速	○	○
P11_1	—	○	—	○	—	—	低速／高速	○	○
P11_2	—	○	—	○	—	—	低速／高速[注3]	○	○
P11_3	—	○	—	○	—	—	低速／高速[注3]	○	○
P11_4	—	○	—	○	—	—	低速／高速	○	○
P11_5	—	○	—	○	—	—	低速／高速	○	○
P11_6	—	○	—	○	—	—	低速／高速[注3]	○	○
P11_7	—	○	—	○	—	—	低速／高速[注3]	○	○
P11_8	—	○	—	○	—	—	低速／高速	○	○
P11_9	—	○	—	○	—	—	低速／高速	○	○
P11_10	—	○	—	○	○	—	低速／高速	○	○
P11_11	—	○	—	○	○	—	低速／高速	○	○
P11_12	—	○	—	○	○	—	低速／高速	○	○
P11_15	—	○	—	○	○	—	低速／高速	○	○
P12_0	—	○	—	○	—	—	低速／高速	○	○
P12_1	—	○	—	○	—	—	低速／高速	○	○
P12_2	—	○	—	○	—	—	低速／高速	○	○
P12_3	—	○	—	○	—	—	低速／高速	○	○
P12_4	—	○	—	○	○	—	低速／高速	○	○
P12_5	—	○	—	○	—	—	低速／高速	○	○
P13_0	—	○	—	○	—	—	低速／高速	○	○
P13_1	—	○	—	○	—	—	低速／高速	○	○
P13_2	—	○	—	○	○	—	低速／高速	○	○
P13_3	—	○	—	○	○	—	低速／高速	○	○
P13_4	—	○	—	○	○[注6]	—	低速／高速	○	○
P13_5	—	○	—	○	○	—	低速／高速	○	○
P13_6	—	○	—	○	—	—	低速／高速	○	○
P13_7	—	○	—	○	—	—	低速／高速	○	○
P18_0	—	○	—	○	○	○	低速／高速	○	○[注4]
P18_1	—	○	—	○	—	○	低速／高速	○	○[注4]
P18_2	—	○	—	○	—	○	低速／高速	○	○[注4]
P18_3	—	○	—	○	—	○	低速／高速	○	○[注4]
P18_4	—	○	—	○	—	○	低速／高速	○	○[注4]
P18_5	—	○	—	○	—	○	低速／高速	○	○[注4]
P18_6	—	○	—	○	—	○	低速／高速	○	○[注4]
P18_7	—	○	—	○	○	○	低速／高速	○	○[注4]
P18_8	—	○	—	○	○	○	低速／高速	○	○[注4]
P18_9	—	○	—	○	○	○	低速／高速	○	○[注4]

(4/6)

ポート入力バッファ機能							ポート出力ドライブ強度モード	他ポート機能	
端子名	CMOS	SHMT1	SHMT2	SHMT4	TTL	アナログ		プルアップ	プルダウン
P18_10	—	○	—	○	—	○	低速／高速	○	○注 4
P18_11	—	○	—	○	—	○	低速／高速	○	○注 4
P18_12	—	○	—	○	—	○	低速／高速	○	○注 4
P18_13	—	○	—	○	—	○	低速／高速	○	○注 4
P18_14	—	○	—	○	—	○	低速／高速	○	○注 4
P18_15	—	○	—	○	—	○	低速／高速	○	○注 4
P19_0	—	○	—	○	—	○	低速／高速	○	○注 4
P19_1	—	○	—	○	—	○	低速／高速	○	○注 4
P19_2	—	○	—	○	—	○	低速／高速	○	○注 4
P19_3	—	○	—	○	—	○	低速／高速	○	○注 4
P2_0	—	○	—	○	—	—	低速／高速	○	○
P2_1	—	○	—	○	—	—	低速／高速	○	○
P2_2	—	○	—	○	—	—	低速／高速	○	○
P2_3	—	○	—	○	—	—	低速／高速	○	○
P2_4	—	○	—	○	—	—	低速／高速注 3	○	○
P2_5	—	○	—	○	—	—	低速／高速	○	○
P2_6	—	○	—	○	—	—	低速／高速	○	○
P2_7	—	○	—	○	—	—	低速／高速	○	○
P2_8	—	○	—	○	—	—	低速／高速	○	○
P2_9	—	○	—	○	—	—	低速／高速	○	○
P2_10	—	○	—	○	—	—	低速／高速	○	○
P2_11	—	○	—	○	—	—	低速／高速	○	○
P2_12	—	○	—	○	—	—	低速／高速	○	○
P2_13	—	○	—	○	—	—	低速／高速	○	○
P2_14	—	○	—	○	—	—	低速／高速	○	○
P2_15	—	○	—	○	—	—	低速／高速	○	○
P20_0	—	○	—	○	—	—	低速／高速	○	○
P20_1	—	○	—	○	—	—	低速／高速	○	○
P20_2	—	○	—	○	—	—	低速／高速	○	○
P20_3	—	○	—	○	—	—	低速／高速	○	○
P20_4	—	○	—	○	—	—	低速／高速	○	○
P20_5	—	○	—	○	—	—	低速／高速	○	○
P20_6	—	○	—	○	—	—	低速／高速	○	○
P20_7	—	○	—	○	—	—	低速／高速	○	○
P20_8	—	○	—	○	—	—	低速／高速	○	○
P20_9	—	○	—	○	—	—	低速／高速	○	○
P20_10	—	○	—	○	—	—	低速／高速	○	○
P20_11	—	○	—	○	—	—	低速／高速	○	○
P20_12	—	○	—	○	—	—	低速／高速	○	○
P20_13	—	○	—	○	—	—	低速／高速	○	○
P20_14	—	○	—	○	—	—	低速／高速	○	○
P20_15	—	○	—	○	—	—	低速／高速	○	○
P21_0	—	○	—	○	○注 6	—	低速／高速	○	○
P21_1	—	○	—	○	—	—	低速／高速	○	○

(5/6)

ポート入力バッファ機能							ポート出力ドライブ強度モード	他ポート機能	
端子名	CMOS	SHMT1	SHMT2	SHMT4	TTL	アナログ		プルアップ	プルダウン
P21_2	—	○	—	○	○注 6	—	低速／高速	○	○
P21_3	—	○	—	○	○注 6	—	低速／高速	○	○
P21_4	—	○	—	○	○注 6	—	低速／高速	○	○
P21_5	—	○	—	○	○	—	低速／高速	○	○
P21_6	—	○	—	○	—	—	低速／高速	○	○
P21_7	—	○	—	○	○	—	低速／高速	○	○
P21_8	—	○	—	○	○	—	低速／高速	○	○
P21_9	—	○	—	○	○	—	低速／高速	○	○
P21_10	—	○	—	○	○	—	低速／高速	○	○
P21_11	—	○	—	○	—	—	低速／高速	○	○
P21_12	—	○	—	○	—	—	低速／高速	○	○
P21_13	—	○	—	○	—	—	低速／高速	○	○
P21_14	—	○	—	○	—	—	低速／高速	○	○
P22_0	—	○	—	○	○注 6	—	低速／高速	○	○
P22_1	—	○	—	○	—	—	低速／高速	○	○
P22_2	—	○	—	○	—	—	低速／高速	○	○
P22_3	—	○	—	○	—	—	低速／高速	○	○
P22_4	—	○	—	○	—	—	低速／高速	○	○
P22_5	—	○	—	○	—	—	低速／高速	○	○
P22_6	—	○	—	○	○注 6	—	低速／高速	○	○
P22_7	—	○	—	○	—	—	低速／高速	○	○
P22_8	—	○	—	○	—	—	低速／高速	○	○
P22_9	—	○	—	○	—	—	低速／高速	○	○
P22_10	—	○	—	○	—	—	低速／高速	○	○
P22_11	—	○	—	○	—	—	低速／高速	○	○
P22_12	—	○	—	○	—	—	低速／高速	○	○
P22_13	—	○	—	○	—	—	低速／高速	○	○
P22_14	—	○	—	○	—	—	低速／高速	○	○
P22_15	—	○	—	○	—	—	低速／高速	○	○
P23_0	—	○	—	○	—	—	低速／高速	○	○
P23_1	—	○	—	○	—	—	低速／高速注 3	○	○
P23_2	—	○	—	○	—	—	低速／高速	○	○
P23_3	—	○	—	○	—	—	低速／高速注 3	○	○
P23_4	—	○	—	○	—	—	低速／高速	○	○
P23_5	—	○	—	○	—	—	低速／高速	○	○
P23_6	—	○	—	○	—	—	低速／高速	○	○
P23_7	—	○	—	○	—	—	低速／高速	○	○
P23_8	—	○	—	○	—	—	低速／高速	○	○
P23_9	—	○	—	○	—	—	低速／高速	○	○
P23_10	—	○	—	○	—	—	低速／高速	○	○
P24_0	—	○	—	○	—	—	低速／高速	○	○
P24_1	—	○	—	○	—	—	低速／高速	○	○
P24_2	—	○	—	○	—	—	低速／高速	○	○
P24_3	—	○	—	○	—	—	低速／高速	○	○

(6/6)

ポート入力バッファ機能							ポート出力ドライブ強度モード	他ポート機能	
端子名	CMOS	SHMT1	SHMT2	SHMT4	TTL	アナログ		プルアップ	プルダウン
P24_4	—	○	—	○	—	—	低速／高速	○	○
P24_5	—	○	—	○	—	—	低速／高速	○	○
P24_6	—	○	—	○	—	—	低速／高速	○	○
P24_7	—	○	—	○	—	—	低速／高速	○	○
P3_0	—	○	—	○	—	—	低速／高速	○	○
P3_1	—	○	—	○	—	—	低速／高速	○	○
P3_2	—	○	—	○	—	—	低速／高速	○	○
P3_3	—	○	—	○	—	—	低速／高速	○	○
P3_4	—	○	—	○	—	—	低速／高速	○	○
P3_5	—	○	—	○	—	—	低速／高速	○	○
P3_6	—	○	—	○	—	—	低速／高速	○	○
P3_7	—	○	—	○	—	—	低速／高速	○	○
P3_8	—	○	—	○	—	—	低速／高速	○	○
P3_9	—	○	—	○	—	—	低速／高速	○	○
P3_10	—	○	—	○	—	—	低速／高速	○	○
P3_11	—	○	—	○	—	—	低速／高速	○	○
P3_12	—	○	—	○	—	—	低速／高速	○	○
P8_0	—	○	—	○	—	○	低速	○	○注 4
P8_1	—	○	—	○	—	○	低速	○	○注 4
P8_2	—	○	—	○	—	○	低速	○	○注 4
P8_3	—	○	—	○	—	○	低速	○	○注 4
P8_4	—	○	—	○	—	○	低速	○	○注 4
P8_5	—	○	—	○	—	○	低速	○	○注 4
P8_6	—	○	—	○	—	○	低速	○	○注 4
P8_7	—	○	—	○	—	○	低速	○	○注 4
P8_8	—	○	—	○	—	○	低速	○	○注 4
P8_9	—	○	—	○	—	○	低速	○	○注 4
P8_10	—	○	—	○	—	○	低速	○	○注 4
P8_11	—	○	—	○	—	○	低速	○	○注 4
P8_12	—	○	—	○	—	○	低速	○	○注 4
P9_0	—	○	—	○	—	○	低速	○	○注 4
P9_1	—	○	—	○	—	○	低速	○	○注 4
P9_2	—	○	—	○	—	○	低速	○	○注 4
P9_3	—	○	—	○	—	○	低速	○	○注 4
P9_4	—	○	—	○	—	○	低速	○	○注 4

注1.　ADC 診断用のプルダウン抵抗です。ADC 自己診断レジスタ経由で制御してください。

注2.　100pF の容量負荷をサポート

注3.　50pF の容量負荷をサポート

注4.　ADC 診断および内蔵プルダウン用のプルダウン抵抗です。ADC 診断用には、ADC 自己診断レジスタ経由で制御してください。
内蔵プルダウン用には、PD レジスタ経由で制御してください。

注5.　TTL は、バウンダリスキャンモードまたは Nexus 通常動作モード時に選択されます。

注6.　324-pin 製品のみ対応

条件　:　REG0VCC＝EVCC＝VPOC～5.5V, REG1VCC＝VPOC～3.6V, REG1VCC≦REG0VCC, BVCC＝VPOC～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

(1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイレベル入力電圧	VIH	CMOS		0.65 × IOVCC		IOVCC + 0.3	V
		SHMT1 注3		0.65 × IOVCC		IOVCC + 0.3	V
		SHMT2		0.75 × IOVCC		IOVCC + 0.3	V
		SHMT4		0.8 × IOVCC		IOVCC + 0.3	V
		TTL	IOVCC＝VPOC～3.6V	2.0		IOVCC + 0.3	V
			IOVCC＝3.6V～5.5V	2.2		IOVCC + 0.3	V
		IP0_0 端子		0.7 × REG0VCC		REGVCC	V
ロウレベル入力電圧	VIL	CMOS		–0.3		0.35 × IOVCC	V
		SHMT1		–0.3		0.35 × IOVCC	V
		SHMT2		–0.3		0.25 × IOVCC	V
		SHMT4		–0.3		0.5 × IOVCC	V
		TTL		–0.3		0.8	V
		IP0_0 端子		0		0.3 × REG0VCC	V
シュミット用入力ヒステリシス	VH	SHMT1		0.3			V
		SHMT2		0.2 × IOVCC			V
		SHMT4		0.1			V
入力リーケージ電流	ILIH	IP0_0 端子, VI＝REGVCC				0.5	μA
		$\overline{\text{RESET}}$, FLMD0, JP0, P0, P1, P2, P3, P8, P9, P20, P23 端子, VI＝EVCC 注2				0.5	μA
		P10, P11, P12, P13, P18, P19, P21, P22, P24 端子, VI＝BVCC 注2				0.5	μA
		AP0 端子, VI＝A0VREF 注2, Tj≦130°C				0.3	μA
		AP0 端子, VI＝A0VREF 注2				0.5	μA
		AP1 端子, VI＝A1VREF 注2, Tj≦130°C				0.3	μA
		AP1 端子, VI＝A1VREF 注2				0.5	μA
	ILIL	IP0_0 端子, VI＝0V				–0.5	μA
		$\overline{\text{RESET}}$, FLMD0, JP0, P0, P1, P2, P3, P8, P9, P20, P23 端子, VI＝0V 注2				–0.5	μA
		P10, P11, P12, P13, P18, P19, P21, P22, P24 端子, VI＝0V 注2				–0.5	μA
		AP0 端子, VI＝0V 注2, Tj≦130°C				–0.3	μA
		AP0 端子, VI＝0V 注2				–0.5	μA
		AP1 端子, VI＝0V 注2, Tj≦130°C				–0.3	μA
		AP1 端子, VI＝0V 注2				–0.5	μA
内蔵プルアップ抵抗	RU	FLMD0 端子以外, VI＝0V		20 (275μA)	40	100	kΩ
		FLMD0 端子, VI＝0V 注3		4 (1375μA)		36	kΩ
内蔵プルダウン抵抗	RD	FLMD0 端子以外, VI＝IOVCC		20 (275μA)	40	100	kΩ
		FLMD0 端子, VI＝EVCC		4 (1375μA)		36	kΩ

(2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイレベル出力電圧	VOH	高速モード	IOH＝–5mA（6 pin）[注4]	IOVCC – 1.0			V
			IOH＝–3mA（10 pin）[注4]	IOVCC – 1.0			V
			IOH＝–1mA（16 pin）[注4]	IOVCC – 0.5			V
			IOH＝–0.1mA（16 pin）[注4]	IOVCC – 0.5			V
		低速モード	IOH＝–1mA（16 pin）[注4]	IOVCC – 0.5			V
			IOH＝–0.1mA（16 pin）[注4]	IOVCC – 0.5			V
ロウレベル出力電圧	VOL	高速モード	IOL＝5mA（6 pin）[注4]			0.4	V
			IOL＝3mA（10 pin）[注4]			0.4	V
			IOL＝1mA（16 pin）[注4]			0.4	V
		低速モード	IOL＝1mA（16 pin）[注4]			0.4	V
立ち上がり／立ち下がり時間	t_{KRP}/t_{KFP}	高速モード（以下の端子を除く）[注5]	CL＝30pF			7	ns
			CL＝50pF			12	ns
			CL＝100pF			24	ns
		高速モード（P0_5, P0_6, P1_5, P2_4, P10_1, P10_2, P11_2, P11_3, P11_6, P11_7, P23_1, P23_3）[注6]	CL＝50pF			6	ns
		高速モード（P0_2, P0_3）[注6]	CL＝100pF			6.15	ns
		低速モード[注5]	CL＝30pF			37	ns
			CL＝50pF			62	ns
			CL＝100pF			124	ns
出力周波数	f_O	高速モード	CL＝30pF			40	MHz
		低速モード	CL＝30pF			10	MHz
			CL＝50pF			6	MHz
			CL＝100pF			3	MHz

注1.　“IOVCC”は、電源に配置された端子（EVCC、BVCC、A0VREF、または A1VREF）を表します。

注2.　ADCn のアナログ入力機能を選択していません。

注3.　FLMDCNT レジスタにより FLMD0 端子の内蔵プルアップ抵抗を有効にする場合、FLMD0 端子には 86kΩ 以上の外付けプルダウン抵抗を接続してください。

注4.　同時オンになる端子数を示しています。

注5.　測定点：0.1×IOVCC～0.9×IOVCC

注6.　測定点：0.2×IOVCC～0.8×IOVCC

47A.4.2.1 出力電流

(1) 324-Pin Version

項目	略号	端子グループ	条件		MIN.	TYP.	MAX.	単位
ハイレベル出力電流	IOH	PgE	片サイド当たり	P9_0～P9_4, P20_10～P20_15			–30	mA
				P20_0～P20_9			–30	mA
				P0_0～P0_3			–20	mA
				JP0_3～JP0_5, P0_4～P0_6, P0_11～P0_14, P1_0～P1_3, P1_12, P1_13, P2_6～P2_12, P8_2, P8_10～P8_12			–30	mA
				JP0_0～JP0_2, P1_8～P1_11, P2_0, P2_1, P2_13～P2_15, P3_0			–30	mA
				JP0_6, P0_7～P0_10, P1_4, P1_5, P1_14, P1_15, P2_2～P2_5, P8_0, P8_1, P8_3～P8_9			–30	mA
				P3_1～P3_12			–30	mA
				P23_0～P23_10			–30	mA
			総和（EVCC）				–60	mA
		PgB	片サイド当たり	P18_0～P18_7			–30	mA
				P18_8～P18_15, P19_0～P19_3			–30	mA
				P10_6～P10_14, P11_1～P11_7, P11_15, P12_0～P12_2, P13_0, P13_1			–30	mA
				P10_0～P10_2			–15	mA
				P10_3～P10_5			–15	mA
				P10_15, P11_0, P11_8～P11_12, P12_3～P12_5, P13_2～P13_7			–30	mA
				P21_0, P21_2～P21_14, P22_0～P22_2			–30	mA
				P22_3～P22_8			–30	mA
				P21_1, P22_9～P22_15			–30	mA
				P24_0～P24_7			–30	mA
			総和（BVCC）				–60	mA
		PgA0	総和（A0VREF）				–16	mA
		PgA1	総和（A1VREF）				–16	mA

(324-pin version)

項目	略号	端子グループ	条件		MIN.	TYP.	MAX.	単位
ロウレベル出力電流	IOL	PgE	片サイド当たり	P9_0～P9_4, P20_10～P20_15			30	mA
				P20_0～P20_9			30	mA
				P0_0～P0_6, P0_11～P0_14, P1_0～P1_3, P1_12, P1_13, P2_6～P2_12			30	mA
				JP0_0～JP0_5, P1_8～P1_11, P2_0, P2_1, P2_13～P2_15, P3_0, P8_2, P8_10～P8_12			30	mA
				JP0_6, P0_7～P0_10, P2_2, P2_3			30	mA
				P1_4, P1_5, P1_14, P1_15, P2_4, P2_5, P8_0, P8_1, P8_3～P8_9			30	mA
				P3_1～P3_12			30	mA
				P23_0～P23_10			30	mA
			総和（EVCC）				60	mA
		PgB	片サイド当たり	P18_0～P18_7			30	mA
				P18_8～P18_15, P19_0～P19_3			30	mA
				P10_6～P10_14, P11_1, P11_2			30	mA
				P11_3～P11_7, P11_15, P12_0～P12_2, P13_0, P13_1			30	mA
				P10_0～P10_2			15	mA
				P10_3～P10_5			15	mA
				P10_15, P11_0, P11_8～P11_12, P12_3～P12_5, P13_2～P13_7			30	mA
				P21_0, P21_2～P21_14, P22_0～P22_6			30	mA
				P21_1, P22_7～P22_15			30	mA
				P24_0～P24_7			30	mA
			総和（BVCC）				60	mA
		PgA0	総和（A0VREF）				16	mA
		PgA1	総和（A1VREF）				16	mA

備考　“サイド”と“総和”の詳細な定義については、「**47A.2.3 ポート電流**」を参照してください。

(2) 予約

(3) 233-Pin Version

項目	略号	端子グループ	条件		MIN.	TYP.	MAX.	単位
ハイレベル出力電流	IOH	PgE	片サイド当たり	P9_0～P9_4, P20_0～P20_5			–30	mA
				P0_0～P0_3			–20	mA
				JP0_3～JP0_5, P0_4～P0_6, P0_11～P0_14, P1_0～P1_3, P1_12, P1_13, P2_6～P2_12, P8_2, P8_10～P8_12			–30	mA
				JP0_0～JP0_2, P1_8～P1_11, P2_0, P2_1, P2_13～P2_15, P3_0			–30	mA
				JP0_6, P0_7～P0_10, P1_4, P1_5, P1_14, P1_15, P2_2～P2_5, P8_0, P8_1, P8_3～P8_9			–30	mA
			総和（EVCC）				–60	mA
		PgB	片サイド当たり	P18_0～P18_7			–30	mA
				P18_8～P18_15, P19_0～P19_3			–30	mA
				P10_6～P10_14, P11_1～P11_7, P11_15, P12_0～P12_2, P13_0, P13_1			–30	mA
				P10_0～P10_2			–15	mA
				P10_3～P10_5			–15	mA
				P10_15, P11_0, P11_8～P11_12, P12_3～P12_5, P13_2～P13_7			–30	mA
			総和（BVCC）				–60	mA
		PgA0	総和（A0VREF）				–16	mA
		PgA1	総和（A1VREF）				–16	mA
ロウレベル出力電流	IOL	PgE	片サイド当たり	P9_0～P9_4, P20_0～P20_5			30	mA
				P0_0～P0_6, P0_11～P0_14, P1_0～P1_3, P1_12, P1_13, P2_6～P2_12			30	mA
				JP0_0～JP0_5, P1_8～P1_11, P2_0, P2_1, P2_13～P2_15 P3_0, P8_2, P8_10～P8_12			30	mA
				JP0_6, P0_7～P0_10, P2_2, P2_3			30	mA
				P1_4, P1_5, P1_14, P1_15, P2_4, P2_5, P8_0, P8_1, P8_3～P8_9			30	mA
			総和（EVCC）				60	mA
		PgB	片サイド当たり	P18_0～P18_7			30	mA
				P18_8～P18_15, P19_0～P19_3			30	mA
				P10_6～P10_14, P11_1, P11_2			30	mA
				P11_3～P11_7, P11_15, P12_0～P12_2, P13_0, P13_1			30	mA
				P10_0～P10_2			15	mA
				P10_3～P10_5			15	mA
				P10_15, P11_0, P11_8～P11_12, P12_3～P12_5, P13_2～P13_7			30	mA
			総和（BVCC）				60	mA
		PgA0	総和（A0VREF）				16	mA
		PgA1	総和（A1VREF）				16	mA

備考　“サイド”と“総和”の詳細な定義については、「**47A.2.3 ポート電流**」を参照してください。

(4) 176-Pin Version

項目	略号	端子グループ	条件		MIN.	TYP.	MAX.	単位
ハイレベル出力電流	IOH	PgE	片サイド当たり	P9_0～P9_4, P20_0～P20_5			–30	mA
				P0_0～P0_3			–20	mA
				JP0_3～JP0_5, P0_4～P0_6, P0_11～P0_14, P1_0～P1_3, P1_12, P1_13, P2_6, P8_2, P8_10～P8_12			–30	mA
				JP0_0～JP0_2, P1_8～P1_11, P2_0, P2_1			–30	mA
				JP0_6, P0_7～P0_10, P1_4, P1_5, P1_14, P1_15, P2_2～P2_5, P8_0, P8_1, P8_3～P8_9			–30	mA
			総和（EVCC）				–60	mA
		PgB	片サイド当たり	P10_6～P10_9, P18_0～P18_7			–30	mA
				P10_10～P10_14, P11_1～P11_7, P11_15, P12_0～P12_2			–30	mA
				P10_0～P10_2			–15	mA
				P10_3～P10_5			–15	mA
				P10_15, P11_0, P11_8～P11_12, P12_3～P12_5			–30	mA
			総和（BVCC）				–60	mA
		PgA0	総和（A0VREF）				–16	mA
		PgA1	総和（A1VREF）				–16	mA
ロウレベル出力電流	IOL	PgE	片サイド当たり	P9_0～P9_4, P20_0～P20_5			11	mA
				P0_0～P0_6, P0_11～P0_14, P1_0～P1_3, P1_12, P1_13, P2_6			30	mA
				JP0_0～JP0_5, P1_8～P1_11, P2_0, P2_1, P8_2, P8_10～P8_12			30	mA
				JP0_6, P0_7～P0_10, P2_2, P2_3			30	mA
				P1_4, P1_5, P1_14, P1_15, P2_4, P2_5, P8_0, P8_1, P8_3～P8_9			30	mA
			総和（EVCC）				60	mA
		PgB	片サイド当たり	P18_0～P18_7			30	mA
				P10_6～P10_14, P11_1, P11_2			30	mA
				P11_3～P11_7, P11_15, P12_0～P12_2			30	mA
				P10_0～P10_2			15	mA
				P10_3～P10_5			15	mA
				P10_15, P11_0, P11_8～P11_12, P12_3～P12_5			30	mA
			総和（BVCC）				60	mA
		PgA0	総和（A0VREF）				16	mA
		PgA1	総和（A1VREF）				16	mA

備考　“サイド”と“総和”の詳細な定義については、「**47A.2.3 ポート電流**」を参照してください。

47A.4.3 電源電流

条件 : REG0VCC、REG1VCC、EVCC、BVCC、A0VREF と A1VREF の合計電流。ただし、I/O バッファは停止。

CPU の最大周波数が 240MHz の製品

項目	略号	条件					MIN.	TYP.[注1]	MAX.	単位
		CPU	PLL	Tj	周辺[注2]	電源				
RUN モード電流	IDDR	動作（240MHz）	動作	–40～150°C	動作 (#1)	合計		113	330	mA
						REG1VCC		92	290	mA
				25°C	停止 (#1)	合計		107		mA
						REG1VCC		88		mA
RUN モード電流（データ／コードフラッシュ書き込み時）	IDDR3	動作（240MHz）	動作	–40～150°C	動作 (#2)	合計		133	350	mA
						REG1VCC		92	290	mA
RUN モード電流（コードフラッシュ BGO 操作時）	IDDRBGO	動作（240MHz）	動作	–40～150°C	動作 (#6)	合計		133	350	mA
						REG1VCC		92	290	mA
RUN モード電流（HALT 状態）	IDDH	動作（240MHz）	動作	–40～150°C	動作 (#3)	合計		108	325	mA
						REG1VCC		88	286	mA

CPU の最大周波数が 160MHz の製品

項目	略号	条件					MIN.	TYP.[注1]	MAX.	単位
		CPU	PLL	Tj	周辺[注2]	電源				
RUN モード電流	IDDR	動作（160MHz）	動作	–40～150°C	動作 (#1)	合計		83	293	mA
						REG1VCC		62	253	mA
				25°C	停止 (#1)	合計		77		mA
						REG1VCC		58		mA
RUN モード電流（データ／コードフラッシュ書き込み時）	IDDR3	動作（160MHz）	動作	–40～150°C	動作 (#2)	合計		103	313	mA
						REG1VCC		62	253	mA
RUN モード電流（コードフラッシュ BGO 操作時）	IDDRBGO	動作（160MHz）	動作	–40～150°C	動作 (#6)	合計		103	313	mA
						REG1VCC		62	253	mA
RUN モード電流（HALT 状態）	IDDH	動作（160MHz）	動作	–40～150°C	動作 (#3)	合計		78	288	mA
						REG1VCC		58	249	mA

CPU の最大周波数が 240MHz、160MHz の製品

項目	略号	条件					MIN.	TYP.[注1]	MAX.	単位
		CPU	PLL	Tj	周辺[注2]	電源				
STOP モード電流	IDDS	停止	停止	–40～90°C	停止 (#2)	合計		2.2	48	mA
						REG1VCC		2	45	mA
				110°C	停止 (#2)	合計			88	mA
						REG1VCC			83	mA
				135°C	停止 (#2)	合計			138	mA
						REG1VCC			130	mA
DeepSTOP モード電流	IDDDS	電源オフ	電源オフ	–40～85°C	停止 (#3)	合計		52	800	μA
						REG1VCC		1	10	μA
				105°C	停止 (#3)	合計			1480	μA
						REG1VCC			30	μA
				125°C	停止 (#3)	合計			2140	μA
						REG1VCC			60	μA
Cyclic RUN モード電流	IDDCR	動作 (HS IntOSC)	停止	–40～90°C	動作 (#4)	合計		9.8	58	mA
						REG1VCC		9.1	49	mA
				115°C	動作 (#4)	合計			97	mA
						REG1VCC			86	mA
				135°C	動作(#4)	合計			146	mA
						REG1VCC			133	mA
Cyclic STOP モード電流	IDDCS	停止	停止	–40～90°C	動作 (#5)	合計		2.4	50	mA
						REG1VCC		2.2	47	mA
				110°C	動作 (#5)	合計			88	mA
						REG1VCC			83	mA
				135°C	動作 (#5)	合計			138	mA
						REG1VCC			130	mA

注1.　“TYP.”の条件は、以下の条件を備えた仕様を示します。また、値は参考値です。
- Tj＝25°C
- REG0VCC＝EVCC＝BVCC＝A0VREF＝A1VREF＝5.0V
- REG1VCC＝3.3V
- AWOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V

注2.　各周辺機能の動作条件は、次ページの表に示します。

注：　Ta の範囲以内、接合温度が 150℃以下、適用条件（熱抵抗、電源電流、周辺電流（電源電流に含まれていない場合）、ポート出力電流、注入電流）の限界を超えていないことすべてを満たす必要があります。

(1/2)

機能		動作						停止		
		(#1)	(#2)	(#3)	(#4)	(#5)	(#6)	(#1)	(#2)	(#3)
AWO	MainOSC	動作	動作	動作	停止	停止	動作	動作	停止	停止
	SubOSC	停止	停止	停止	停止	停止	停止	停止	停止	停止
	HS IntOSC	動作	動作	動作	動作	停止	動作	動作	停止	停止
	FOUT	停止	停止	停止	停止	停止	停止	停止	停止	停止
	LPS	停止	停止	停止	停止	停止	停止	停止	停止	停止
	RRAM	読み出し／書き込み	読み出し／書き込み	アクセスなし	フェッチ	アクセスなし	読み出し／書き込み	読み出し／書き込み	アクセスなし	アクセスなし
	WDTA0	停止	停止	停止	停止	停止	停止	停止	停止	停止
	TAUJ0, TAUJ2	動作	動作	動作	動作 (LS IntOSC)	動作 (LS IntOSC)	動作	停止	停止	停止
	RTCA0	動作	動作	動作	動作 (LS IntOSC)	動作 (LS IntOSC)	動作	停止	停止	停止
	CLMA0	動作	動作	動作	動作	停止	動作	停止	停止	停止
	CLMA1	動作	動作	動作	停止	停止	動作	停止	停止	停止
	ADCA0	動作[注1]	動作[注1]	動作[注1]	停止	停止	動作[注1]	停止	停止	停止

(2/2)

機能		動作						停止		
		(#1)	(#2)	(#3)	(#4)	(#5)	(#6)	(#1)	(#2)	(#3)
ISO	CPU1 (PE1)	動作 (PLL0)	動作 (PLL0)	HALT (PLL0)	動作 (HS IntOSC)	停止	動作 (PLL0)	動作 (PLL0)	停止	電源オフ
	CPU2 (PE2)	動作 (PLL0)	動作 (PLL0)	HALT (PLL0)	停止	停止	動作 (PLL0)	動作 (PLL0)	停止	
	ICUMD	動作	動作	動作	停止	停止	動作	停止	停止	
	DMA	動作	動作	動作	停止	停止	動作	停止	停止	
	PLL0	動作	動作	動作	停止	停止	動作	動作	停止	
	PLL1	動作	動作	動作	停止	停止	動作	動作	停止	
	Code flash (FLI0)	フェッチ	フェッチ	アクセスなし	アクセスなし	アクセスなし	フェッチ	フェッチ	アクセスなし	
	Code flash (FLI1)	フェッチ	フェッチ	アクセスなし	アクセスなし	アクセスなし	書き込み／消去	フェッチ	アクセスなし	
	Code flash (FLI2)	フェッチ	フェッチ	アクセスなし	アクセスなし	アクセスなし	フェッチ	フェッチ	アクセスなし	
	Code flash (FLI3)	フェッチ	フェッチ	アクセスなし	アクセスなし	アクセスなし	フェッチ	フェッチ	アクセスなし	
	Data flash	読み出し	書き込み／消去	アクセスなし	アクセスなし	アクセスなし	アクセスなし	読み出し	アクセスなし	
	LRAM (PE1)	読み出し／書き込み	読み出し／書き込み	アクセスなし	アクセスなし	アクセスなし	読み出し／書き込み	読み出し／書き込み	アクセスなし	
	LRAM (PE2)	読み出し／書き込み	読み出し／書き込み	アクセスなし	アクセスなし	アクセスなし	読み出し／書き込み	読み出し／書き込み	アクセスなし	
	GRAM	読み出し／書き込み[注2]	読み出し／書き込み[注2]	アクセスなし	アクセスなし	アクセスなし	読み出し／書き込み[注2]	読み出し／書き込み[注2]	アクセスなし	
	OSTMn	動作	動作	動作	停止	停止	動作	停止	停止	
	WDTA1	停止	停止	停止	停止	停止	停止	停止	停止	
	WDTA2	停止	停止	停止	停止	停止	停止	停止	停止	
	TAUD0	動作	動作	動作	停止	停止	動作	停止	停止	
	TAUBn	動作	動作	動作	停止	停止	動作	停止	停止	
	TAUJ1, TAUJ3	動作	動作	動作	停止	停止	動作	停止	停止	
	TAPA, PIC	停止	停止	停止	停止	停止	停止	停止	停止	
	ENCA0	動作	動作	動作	停止	停止	動作	停止	停止	
	PWM-diag	動作	動作	動作	停止	停止	動作	停止	停止	
	RLIN3n	動作	動作	動作	停止	停止	動作	停止	停止	
	RLIN24n	待機	待機	待機	停止	停止	待機	停止	停止	
	RCFDCn	待機	待機	待機	停止	停止	待機	停止	停止	
	CSIGn	動作	動作	動作	停止	停止	動作	停止	停止	
	CSIHn	動作	動作	動作	停止	停止	動作	停止	停止	
	RIICn	待機	待機	待機	停止	停止	待機	停止	停止	
	FlexRay	動作	動作	動作	停止	停止	動作	停止	停止	
	ETNBn	待機	待機	待機	停止	停止	待機	停止	停止	
	SFMA0	動作	動作	動作	停止	停止	動作	停止	停止	
	KR	待機	待機	待機	停止	停止	待機	停止	停止	
	RSENTn	動作	動作	動作	停止	停止	待機	停止	停止	
	MMCAn	動作	動作	動作	停止	停止	待機	停止	停止	
	CLMA2	動作	動作	動作	停止	停止	動作	停止	停止	
	CLMA3	動作	動作	動作	停止	停止	動作	停止	停止	
	ADCA1	動作	動作	動作	停止	停止	動作	停止	停止	

注1.　T&H 使用時

注2.　GRZF 未使用時

47A.4.4　注入電流

表 47A.1　端子グループの定義（324-Pin Version）

略称	端子グループ用電源	端子
PgR0	REG0VCC, AWOVSS	IP0_0
PgE	EVCC, EVSS	JP0, P0, P1, P2, P3, P20, P23
PgB	BVCC, BVSS	P10, P11, P12, P13, P21, P22, P24
PgE’	EVCC, EVSS	P8, P9
PgB’	BVCC, BVSS	P18, P19
PgA0	A0VREF, A0VSS	AP0
PgA1	A1VREF, A1VSS	AP1

表 47A.2　予約

表 47A.3　端子グループの定義（233-Pin Version）

略称	端子グループ用電源	端子
PgR0	REG0VCC, AWOVSS	IP0_0
PgE	EVCC, EVSS	JP0, P0, P1, P2, P3, P20
PgB	BVCC, BVSS	P10, P11, P12, P13
PgE’	EVCC, EVSS	P8, P9
PgB’	BVCC, BVSS	P18, P19
PgA0	A0VREF, A0VSS	AP0
PgA1	A1VREF, A1VSS	AP1

表 47A.4　端子グループの定義（176-Pin Version）

略称	端子グループ用電源	端子
PgR0	REG0VCC, AWOVSS	IP0_0
PgE	EVCC, EVSS	JP0, P0, P1, P2, P20
PgB	BVCC, BVSS	P10, P11, P12
PgE’	EVCC, EVSS	P8, P9
PgB’	BVCC, BVSS	P18
PgA0	A0VREF, A0VSS	AP0
PgA1	A1VREF, A1VSS	AP1

47A.4.4.1 絶対最大定格

項目	略号	条件		MIN.	TYP.	MAX.	単位
正のオーバロード電流 VIN＞VCC	I_{INJPM}	PgE	1 端子			10	mA
			総和			60	mA
		PgB	1 端子			10	mA
			総和			60	mA
		PgE'	1 端子			10	mA
			総和			60	mA
		PgB'	1 端子			10	mA
			総和			60	mA
		PgA0	1 端子			10	mA
			総和			60	mA
		PgA1	1 端子			10	mA
			総和			60	mA
		PgR0	1 端子			10	mA
負のオーバロード電流 VIN＜VSS	I_{INJNM}	PgE	1 端子			–10	mA
			総和			–60	mA
		PgB	1 端子			–10	mA
			総和			–60	mA
		PgE'	1 端子			–10	mA
			総和			–60	mA
		PgB'	1 端子			–10	mA
			総和			–60	mA
		PgA0	1 端子			–10	mA
			総和			–60	mA
		PgA1	1 端子			–10	mA
			総和			–60	mA
		PgR0	1 端子			–10	mA

注　意

1. DC 注入電流（総和）は、1 端子当たりの注入電流のスペックを満足していることが条件です。
2. PgA0 と PgA1 用の注入電流の場合は、ADC の自己診断を行う端子の隣接端子に注入電流が印加されるとき、TESH0SN が維持されます。ADC の自己診断を行う端子に注入電流が印加されると、注入電流の絶対値が増加するにつれ、TESH0SN の偏差は急激に増加します。

47A.4.4.2　オーバロード電流の DC 特性

項目	略号	条件		MIN.	TYP.	MAX.	単位
正のオーバロード電流 VIN＞VCC	I_{INJP}	PgE	1 端子			2	mA
			総和			50	mA
		PgB	1 端子			2	mA
			総和			50	mA
		PgE'	1 端子			3	mA
			総和			20	mA
		PgB'	1 端子			3	mA
			総和			20	mA
		PgA0	1 端子			3	mA
			総和			20	mA
		PgA1	1 端子			3	mA
			総和			20	mA
		PgR0	1 端子			2	mA
負のオーバロード電流 VIN＜VSS	I_{INJN}	PgE	1 端子			–2	mA
			総和			–50	mA
		PgB	1 端子			–2	mA
			総和			–50	mA
		PgE'	1 端子			–3	mA
			総和			–20	mA
		PgB'	1 端子			–3	mA
			総和			–20	mA
		PgA0	1 端子			–3	mA
			総和			–20	mA
		PgA1	1 端子			–3	mA
			総和			–20	mA
		PgR0	1 端子			–2	mA

備　考

これらの仕様は、分類別にテストされておらず、デバイスの特性に基づいて指定されています。

47A.4.5　電源特性

47A.4.5.1　レギュレータ特性

条件　: REG0VCC＝EVCC＝VPOC～5.5V, REG1VCC＝VPOC～3.6V, REG1VCC≦REG0VCC, BVCC＝VPOC～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, Tj＝–40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧	REG0VCC		VPOC 注 1		5.5	V
	REG1VCC	REG1VCC≦REG0VCC	VPOC 注 1		3.6	V
出力電圧	AWOVCL	AWOVCL 端子	1.15	1.25	1.35	V
	ISOVCL	ISOVCL 端子	1.15	1.25	1.35	V
キャパシタンス	CAWOVCL	AWOVCL 端子	0.07	0.10	0.13	μF
	CISOVCL	ISOVCL 端子	0.07	0.10	0.13	μF
負荷容量のための等価直列抵抗	RVRAWO	CAWOVCL 用			40 注 2	mΩ
	RVRISO	CISOVCL 用			40 注 2	mΩ
パワーオン時の突入電流	REG0VCC				200	mA
	REG1VCC				350	mA

注1.　“VPOC”は POC（パワーオンクリア）検出電圧のことです（typ. 2.85V）。詳細は「**47A.4.5.2　電圧検出（POC, LVI, VLVI, CVM）特性**」を参照してください。

注2.　これは参考値です。

47A.4.5.2 電圧検出（POC, LVI, VLVI, CVM）特性

条件 : REG0VCC＝EVCC＝VPOC～5.5V, REG1VCC＝VPOC～3.6V, REG1VCC≦REG0VCC, BVCC＝VPOC～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

項目	略号	条件			MIN.	TYP.	MAX.	単位
検出電圧（REGVCC）	VPOC	POC			2.7	2.85	3.0	V
	VLVI0	LVI	立ち上がり		3.87	4.0	4.13	V
			立ち下がり		3.9	4.0	4.1	V
	VLVI1		立ち上がり		3.57	3.7	3.83	V
			立ち下がり		3.6	3.7	3.8	V
	VLVI2		立ち上がり		3.37	3.5	3.63	V
			立ち下がり		3.4	3.5	3.6	V
	VVLVI	VLVI			1.8	1.9	2.0	V
検出電圧（ISOVCL）	VCVMH	CVM	高電圧注		1.35	1.39	1.43	V
	VCVML 注 8		低電圧注		1.10	1.15	1.20	V
応答時間	t_{D_POC1} 注 6	POC	パワーオン時（立ち上がり）	注 1			2	ms
				注 2			6.3	ms
			パワーオン後（立ち上がり）	注 3			2	ms
				注 4			5	ms
	t_{D_POC2} 注 7		パワーオン後（立ち下がり）	注 5			5	μs
	t_{D_LVI}	LVI					2	ms
	t_{D_VLVI}	VLVI		注 3			2	ms
				注 4			5	ms
	t_{D_CVM}	CVM			0.2		10	μs
セットアップ時間	t_{S_LVI}	LVI	LVICNT0,1 ビットを 1 に設定すると（00_B を除く）、LVI は有効になります。				80	μs
REGVCC 最小幅	t_{W_POC}	POC			0.2			ms
	t_{W_LVI}	LVI			0.2			ms
	t_{W_VLVI}	VLVI			0.2			ms

注1. 電圧勾配（t_{VS}）：0.02V/ms≦t_{VS}≦0.5V/ms

注2. 電圧勾配（t_{VS}）：0.5V/ms＜t_{VS}≦500V/ms

注3. 電圧勾配（t_{VS}）：0.02V/ms≦t_{VS}≦20V/ms

注4. 電圧勾配（t_{VS}）：20V/ms＜t_{VS}≦500V/ms

注5. 電圧勾配（t_{VS}）：0.02V/ms≦t_{VS}≦500V/ms

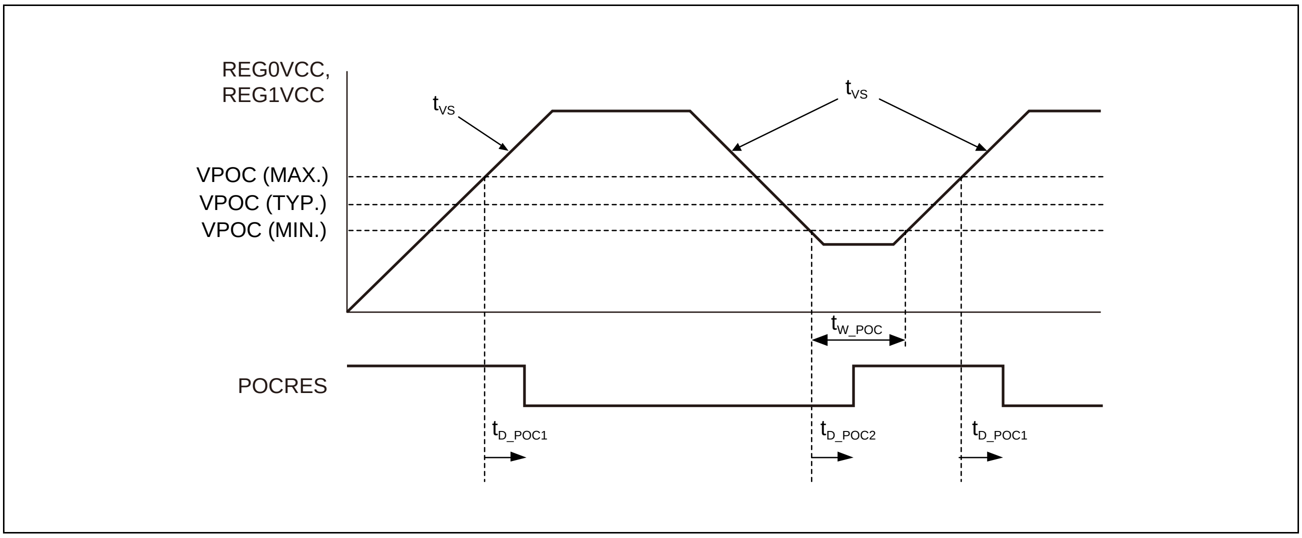
注6. t_{D_POC1} は、検出電圧からリセット信号解除までの時間です。

注7. t_{D_POC2} は、検出電圧からリセット信号発生までの時間です。

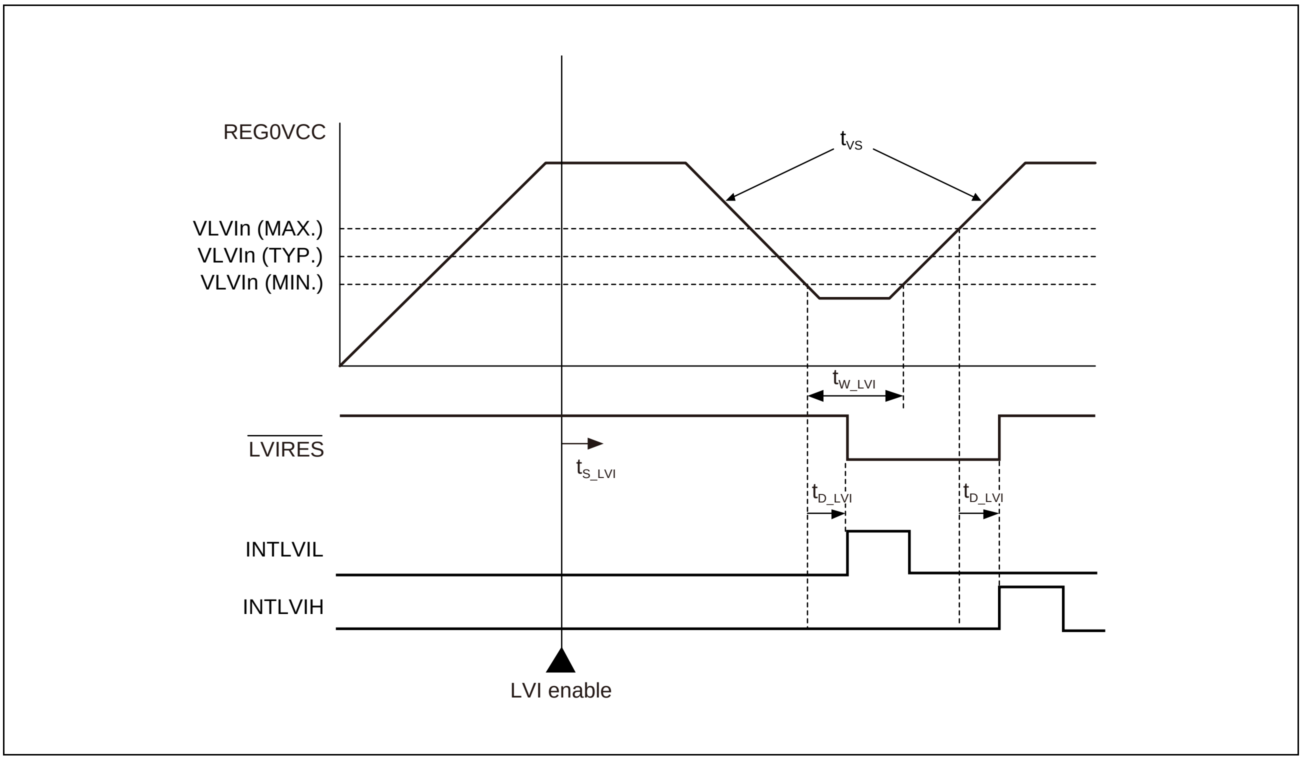
注8. CVM は内蔵電圧レギュレータの出力をモニタしているため、ISOVCL の低電圧より高いことが保証されます。

注： VCVMH, VCVML で指定されたレベル外の ISOVCL 電圧の検出は CVM では保証できません。

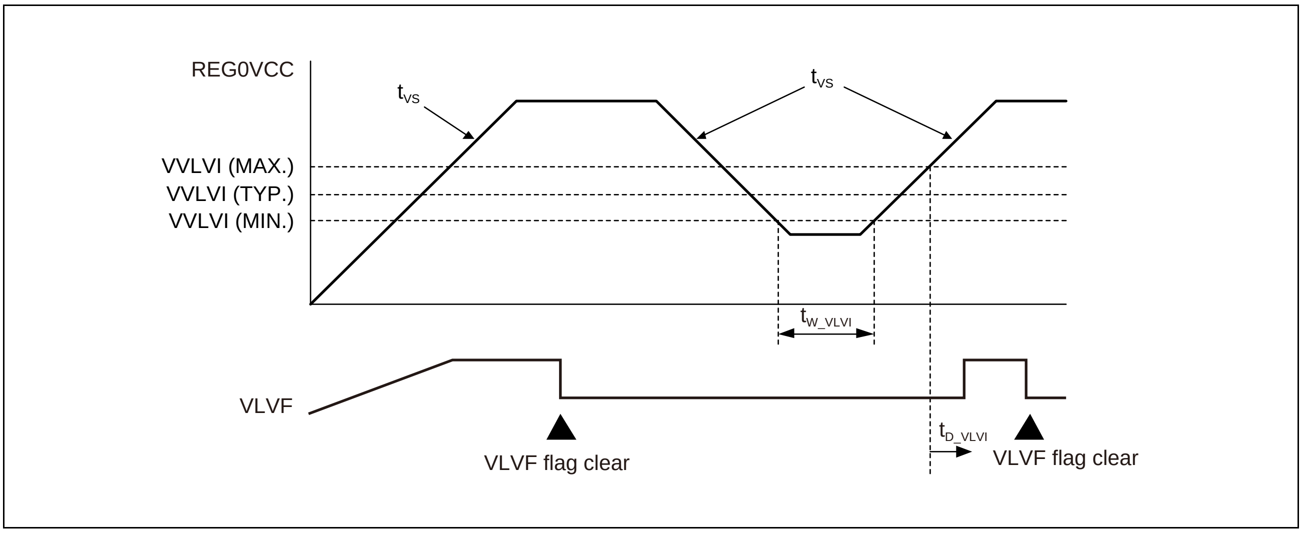
POC


REG0VCC,
REG1VCC
tVS
tVS
VPOC (MAX.)
VPOC (TYP.)
VPOC (MIN.)
tW_POC
POCRES
tD_POC1
tD_POC2
tD_POC1

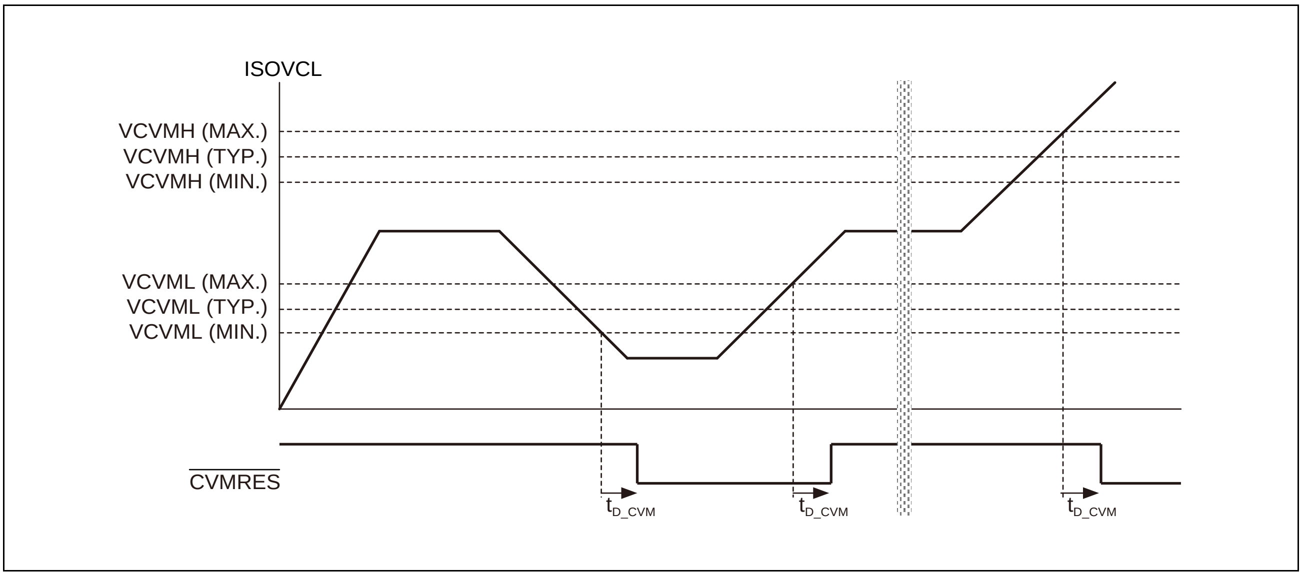
LVI


REG0VCC
tVS
VLVIn (MAX.)
VLVIn (TYP.)
VLVIn (MIN.)
tW_LVI
LVIRES
tS_LVI
tD_LVI
tD_LVI
INTLVIL
INTLVIH
LVI enable

VLVI


REG0VCC
tVS
tVS
VVLVI (MAX.)
VVLVI (TYP.)
VVLVI (MIN.)
tW_VLVI
VLVF
VLVF flag clear
tD_VLVI
VLVF flag clear

CVM


ISOVCL
VCVMH (MAX.)
VCVMH (TYP.)
VCVMH (MIN.)
VCVML (MAX.)
VCVML (TYP.)
VCVML (MIN.)
CVMRES
tD_CVM
tD_CVM
tD_CVM

47A.4.5.3 パワーアップ／ダウンタイミング

条件 : REG0VCC＝EVCC＝VPOC～5.5V, REG1VCC＝VPOC～3.6V, REG1VCC≦REG0VCC, BVCC＝VPOC～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

注　意

REG1VCC は、パワーアップ／ダウン中、REG0VCC 以下になるように設定してください。

表 47A.5　$\overline{\text{RESET}}$ 端子を使用した場合（通常動作モード）

項目	略号	条件	MIN.	TYP.	MAX.	単位
電圧勾配（REG0VCC, REG1VCC, IOVCC 注1）	t_{VS}		0.02 (＝50ms/V)		500 (＝2μs/V)	V/ms
REG0VCC↑, REG1VCC↑, IOVCC 注1↑～ $\overline{\text{RESET}}$ ↑ 遅延時間	t_{DPOR}	電圧勾配（t_{VS}）：0.02V/ms≦t_{VS}≦0.5V/ms	2			ms
		電圧勾配（t_{VS}）：0.5V/ms＜t_{VS}≦500V/ms	6.3			ms
FLMD0 ホールド時間（対 $\overline{\text{RESET}}$ ↑）	t_{HMDR}		1			ms
FLMD0 セットアップ時間（対 $\overline{\text{RESET}}$ ↓）	t_{SMDF}		0			μs
$\overline{\text{RESET}}$ ↓～REG0VCC↓, REG1VCC↓, IOVCC 注1↓ 遅延時間	t_{DRPD}		0			ms

注1.　IOVCC は EVCC、BVCC、A0VREF と A1VREF を示します。

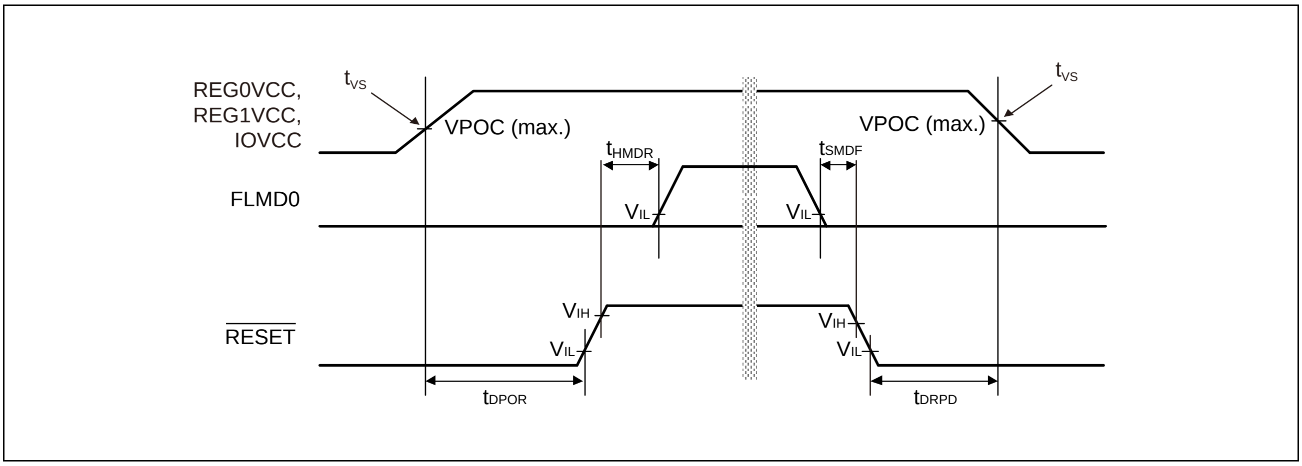


表 47A.6 $\overline{\text{RESET}}$ 端子を使用した場合（シリアルプログラミングモード）

項目	略号	条件	MIN.	TYP.	MAX.	単位
電圧勾配（REG0VCC, REG1VCC, IOVCC 注 1）	t_{VS}		0.02 (=50ms/V)		500 (=2μs/V)	V/ms
REG0VCC ↑, REG1VCC ↑, IOVCC 注 1 ↑ ～ $\overline{\text{RESET}}$ ↑ 遅延時間	t_{DPOR}	電圧勾配（t_{VS}）：0.02V/ms≦t_{VS}≦0.5V/ms	2			ms
		電圧勾配（t_{VS}）：0.5V/ms＜t_{VS}≦500V/ms	6.3			ms
FLMD0 セットアップ時間（対 $\overline{\text{RESET}}$ ↑ ）	t_{SMD0R}		1			ms
$\overline{\text{RESET}}$ ↓～REGVCC ↓, IOVCC 注 1 ↓ 遅延時間	t_{DRPD}		0			ms

注1. IOVCC は EVCC、BVCC、A0VREF と A1VREF を示します。

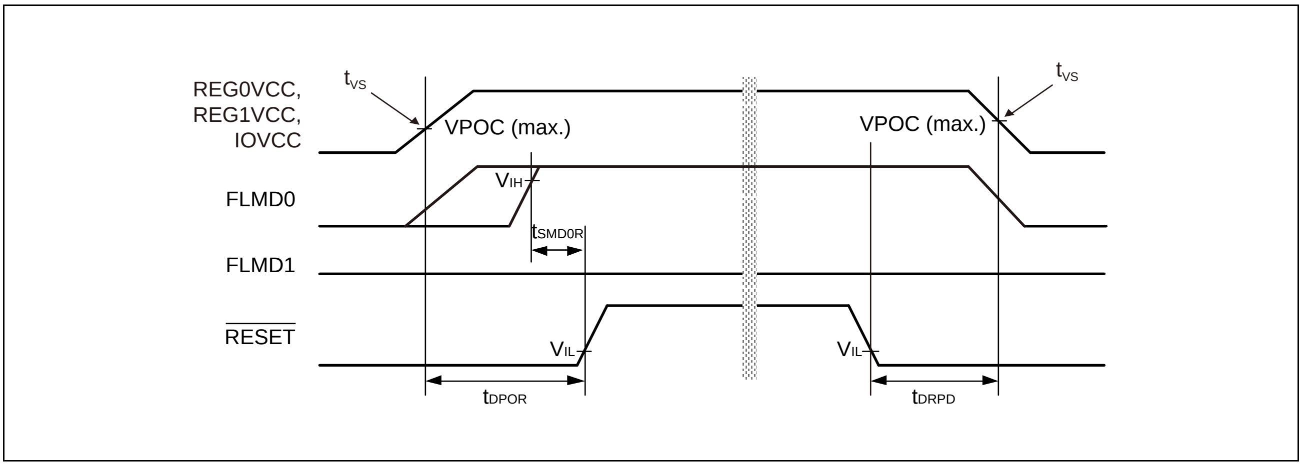


表 47A.7　$\overline{\text{RESET}}$ 端子を使用した場合（バウンダリスキャンモード）

項目	略号	条件	MIN.	TYP.	MAX.	単位
電圧勾配 （REG0VCC, REG1VCC, IOVCC 注 1）	t_{VS}		0.02 (＝50ms/V)		500 (＝2μs/V)	V/ms
REG0VCC ↑, REG1VCC ↑, IOVCC 注 1 ↑ ～ $\overline{\text{RESET}}$ ↑ 遅延時間	t_{DPOR}	電圧勾配（t_{VS}）：0.02V/ms≦t_{VS}≦0.5V/ms	2			ms
		電圧勾配（t_{VS}）：0.5V/ms＜t_{VS}≦500V/ms	6.3			ms
FLMD0 セットアップ時間 （対 $\overline{\text{RESET}}$ ↑ ）	t_{SMD0R}		1			ms
FLMD1, MODE0, MODE1 セットアップ時間 （対 FLMD0 ↑ ）	t_{SMD1R}		1			μs
FLMD0 ホールド時間 （対 $\overline{\text{RESET}}$ ↓ ）	t_{HMD0F}		1			μs
FLMD1, MODE0, MODE1, MODE2 ホールド時間 （対 FLMD0 ↓ ）	t_{HMD1F}		1			μs
$\overline{\text{RESET}}$ ↓～REG0VCC ↓, REG1VCC ↓ , IOVCC 注 1 ↓ 遅延時間	t_{DRPD}		0			ms
$\overline{\text{DCUTRST}}$ 入力遅延時間 （対 $\overline{\text{RESET}}$ ↑ ）	t_{DRTRST}		1			ms
$\overline{\text{RESET}}$ ホールド時間 （対 $\overline{\text{DCUTRST}}$ ↓ ）	t_{HRTRST}		0			ms

注1.　IOVCC は EVCC、BVCC、A0VREF と A1VREF を示します。

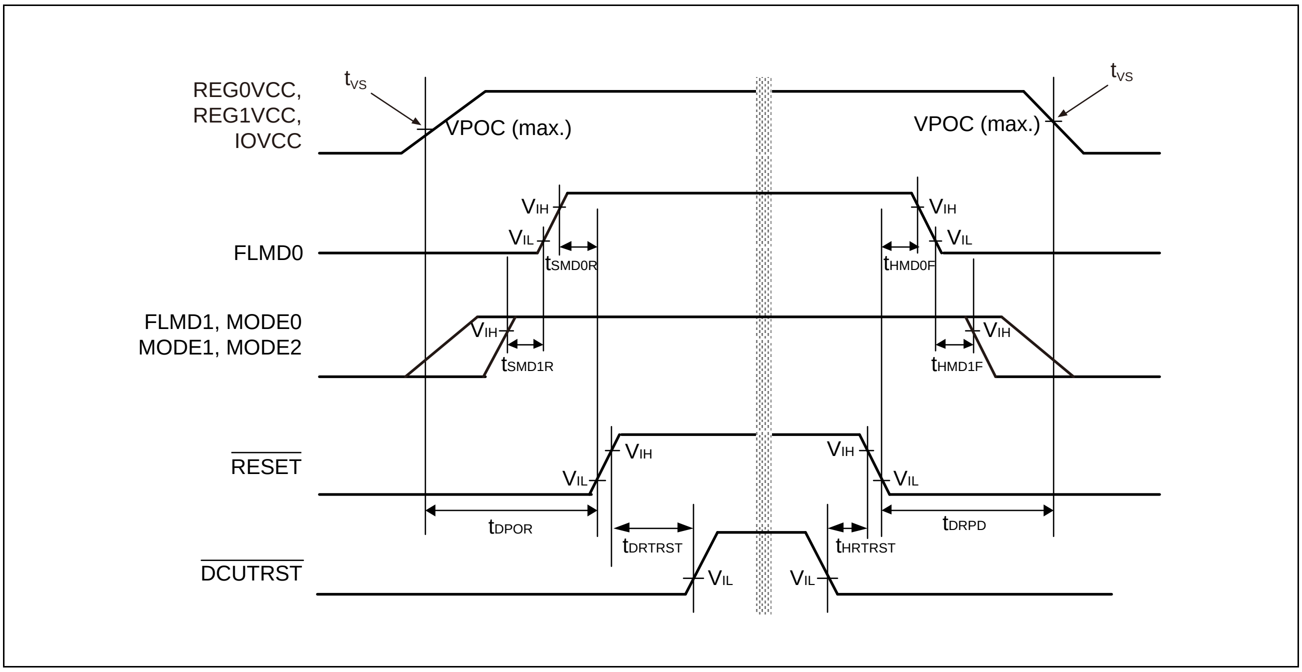


表 47A.8　$\overline{\text{RESET}}$ 端子を使用した場合（ユーザブートモード）

項目	略号	条件	MIN.	TYP.	MAX.	単位
電圧勾配（REG0VCC, REG1VCC, IOVCC 注1）	t_{VS}		0.02（=50ms/V）		500（=2μs/V）	V/ms
REG0VCC ↑, REG1VCC ↑, IOVCC 注1 ↑ ～ $\overline{\text{RESET}}$ ↑ 遅延時間	t_{DPOR}	電圧勾配（t_{VS}）：0.02V/ms≦t_{VS}≦0.5V/ms	2			ms
		電圧勾配（t_{VS}）：0.5V/ms＜t_{VS}≦500V/ms	6.3			ms
FLMD0 セットアップ時間（対 $\overline{\text{RESET}}$ ↑）	t_{SMD0R}		1			ms
FLMD1, MODE0, MODE1, MODE2 セットアップ時間（対 FLMD0 ↑）	t_{SMD1R}		1			μs
FLMD0 ホールド時間（対 $\overline{\text{RESET}}$ ↓）	t_{HMD0F}		1			μs
FLMD1, MODE0, MODE1, MODE2 ホールド時間（対 FLMD0 ↓）	t_{HMD1F}		1			μs
$\overline{\text{RESET}}$ ↓～REG0VCC ↓, REG1VCC ↓, IOVCC ↓ 遅延時間	t_{DRPD}		0			ms

注1.　IOVCC は EVCC、BVCC、A0VREF と A1VREF を示します。

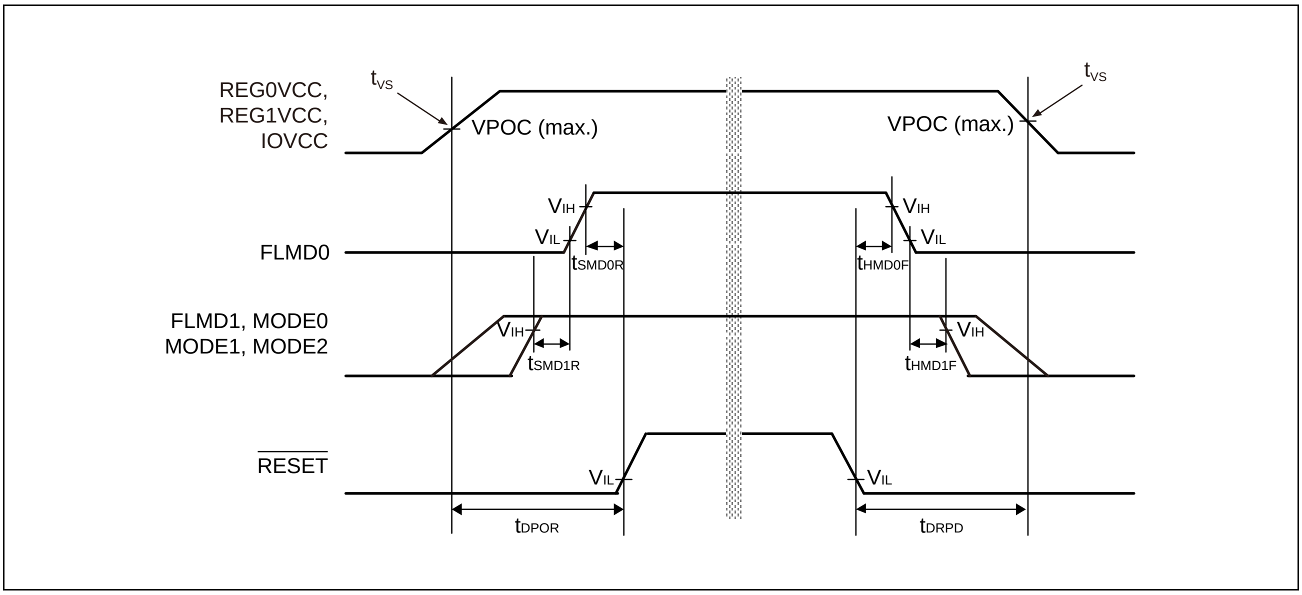
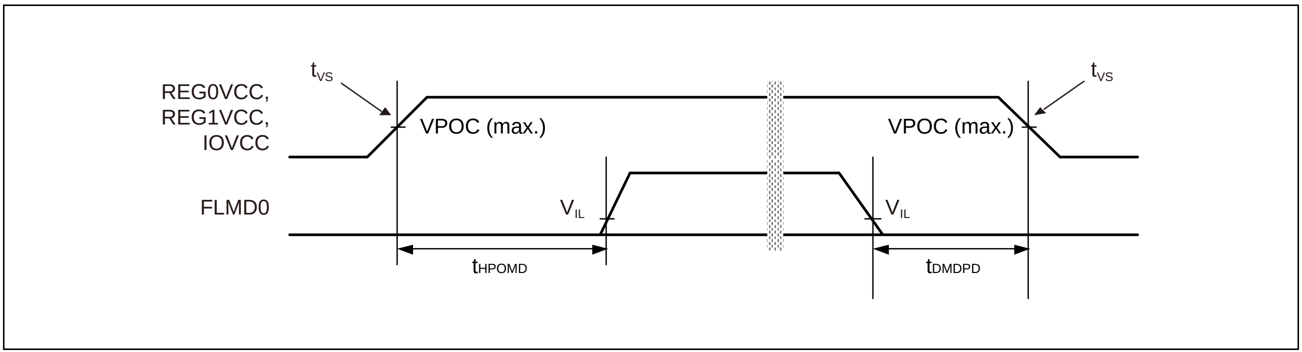


表 47A.9　RESET 端子を使用せず、プルアップによってハイレベルに固定した場合[注1]

項目	略号	条件	MIN.	TYP.	MAX.	単位
電圧勾配（REG0VCC, REG1VCC, IOVCC[注2]）	t_{VS}		0.02 (=50ms/V)		500 (=2μs/V)	V/ms
REG0VCC ↑, REG1VCC ↑, IOVCC[注2] ↑～FLMD0 ホールド時間	t_{HPOMD}	電圧勾配（t_{VS}）：0.02V/ms≦t_{VS}≦0.5V/ms	2			ms
		電圧勾配（t_{VS}）：0.5V/ms＜t_{VS}≦500V/ms	6.3			ms
FLMD0 ↓～REG0VCC ↓, REG1VCC ↓, IOVCC[注2] ↓ 遅延時間	t_{DMDPD}		1			μs

注1.　この動作状態は、通常動作モードでのみ使用できます（セルフプログラミングモードを含む）。
　　　デバイスを通常動作モード以外で使用する場合は、RESET 端子を使用してください。

注2.　IOVCC は EVCC、BVCC、A0VREF と A1VREF を示します。



47A.4.5.4 CPU リセット解除タイミング

条件 : REG0VCC＝EVCC＝VPOC～5.5V, REG1VCC＝VPOC～3.6V, REG1VCC≦REG0VCC, BVCC＝VPOC～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

表 47A.10 $\overline{\text{RESET}}$ 端子を使用しない場合

項目	略号	条件	MIN.	TYP.	MAX.	単位
REG0VCC ↑ , REG1VCC ↑～ CPU リセット解除[注1]	t_{DPCRR}	電圧勾配（t_{VS}） ：0.02V/ms≦t_{VS}≦0.5V/ms			2.58	ms
		電圧勾配（t_{VS}） ：0.5V/ms＜t_{VS}≦500V/ms			8.3	ms

注1. これは参考値です。

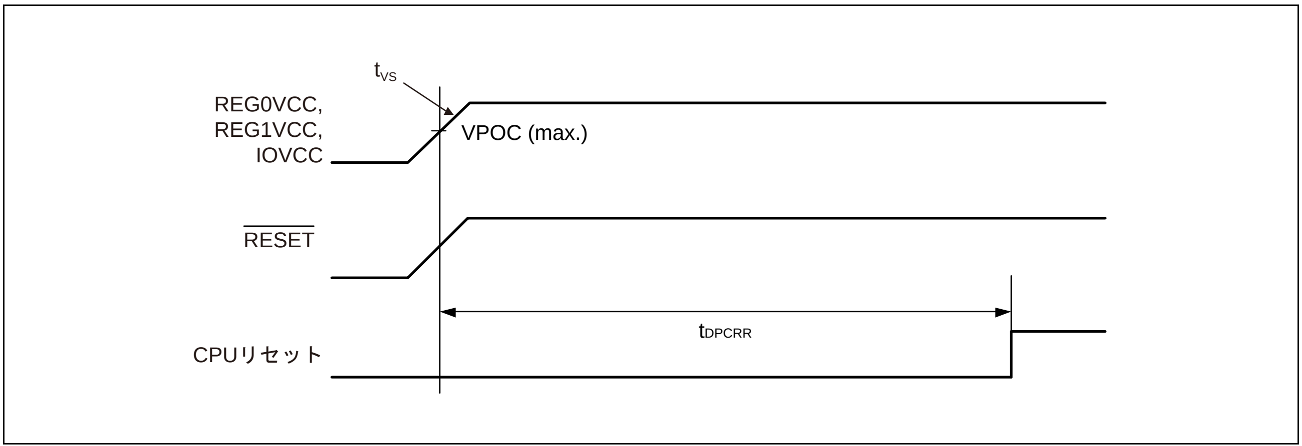
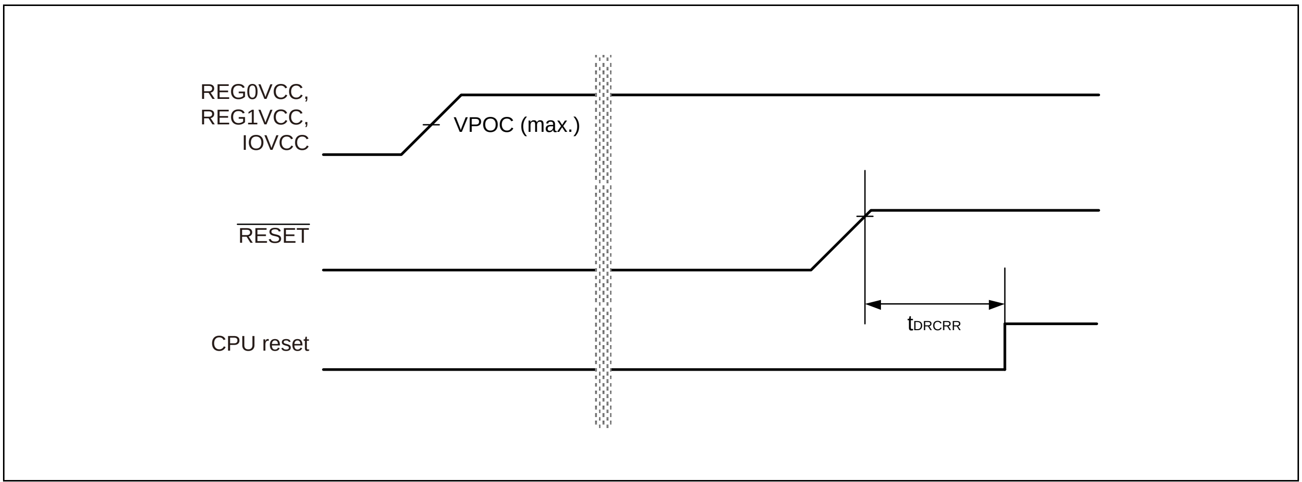


表 47A.11 $\overline{\text{RESET}}$ 端子を使用した場合

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{RESET}}$ ↑～ CPU リセット解除[注1]	t_{DRCRR}				32 [注2]	μs

注1. これは参考値です。

注2. $\overline{\text{RESET}}$ ピンを解除するまでの時間が t_{DPCRR} より長い場合。



47A.5 AC 特性

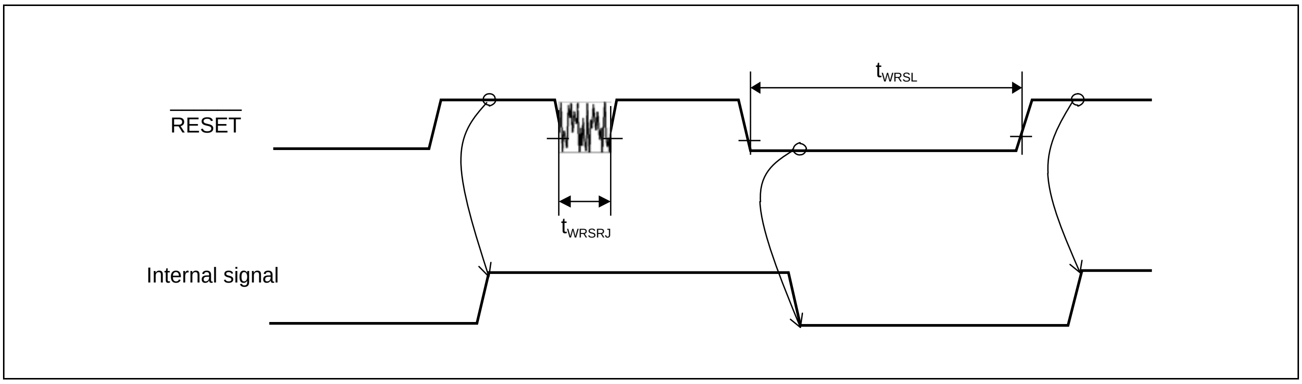
47A.5.1 $\overline{\text{RESET}}$ タイミング

条件 : REG0VCC＝EVCC＝3.0V～5.5V, REG1VCC＝3.0V～3.6V, REG1VCC≦REG0VCC, BVCC＝3.0V～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{RESET}}$ 入力ロウレベル幅注 1	t_{WRSL}	パワーオン時を除く	600			ns
$\overline{\text{RESET}}$ パルス除去注 2	t_{WRSRJ}		100			ns

注1. $\overline{\text{RESET}}$ 入力幅は、内部リセット信号をアクティブとするために必要です。

注2. 最小値より短いパルスは無視されます。これは参考値です。ノイズは下記図のようにフィルターされます。



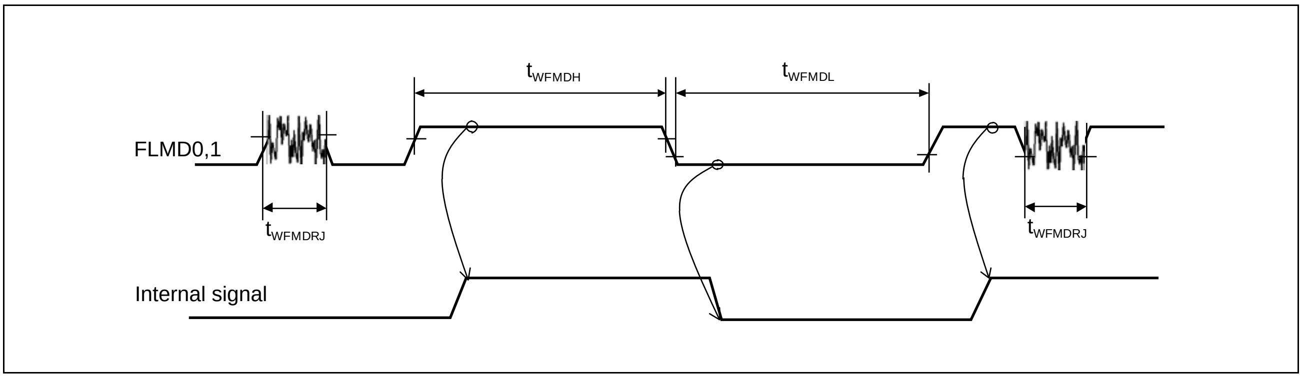
47A.5.2　モードタイミング

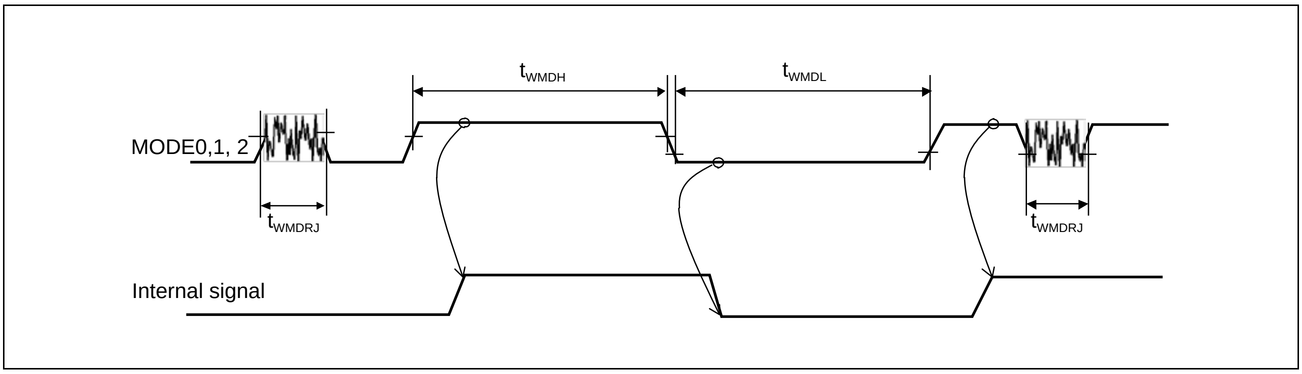
条件　: REG0VCC＝EVCC＝3.0V～5.5V, REG1VCC＝3.0V～3.6V, REG1VCC≦REG0VCC, BVCC＝3.0V～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
FLMD0, 1 入力ハイ／ロウレベル幅注1	t_{WFMDH}/ t_{WFMDL}		600			ns
FLMD0, 1 パルス除去注2	t_{WFMDRJ}		100			ns
MODE0, 1, 2 入力ハイ／ロウレベル幅注1	t_{WMDH}/ t_{WMDL}		600			ns
MODE0, 1, 2 パルス除去注2	t_{WMDRJ}		100			ns

注1.　FLMD0, 1 と MODE0, 1, 2 の入力幅は、内部モード信号がアクティブであることを保証するために必要です。

注2.　最小値より短いパルスは無視されます。これは参考値です。ノイズは下記図のようにフィルターされます。





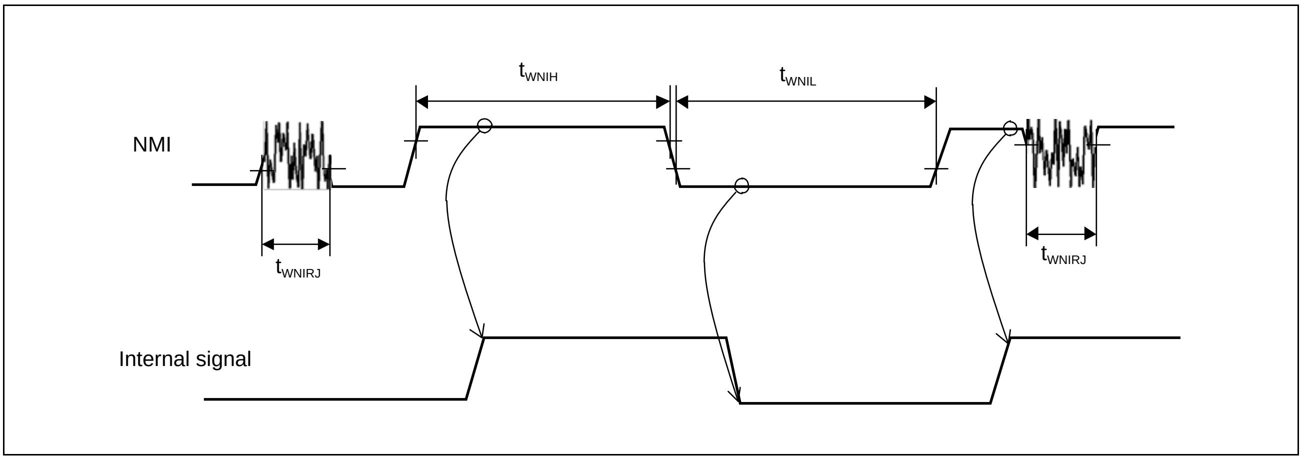
47A.5.3　割り込みタイミング

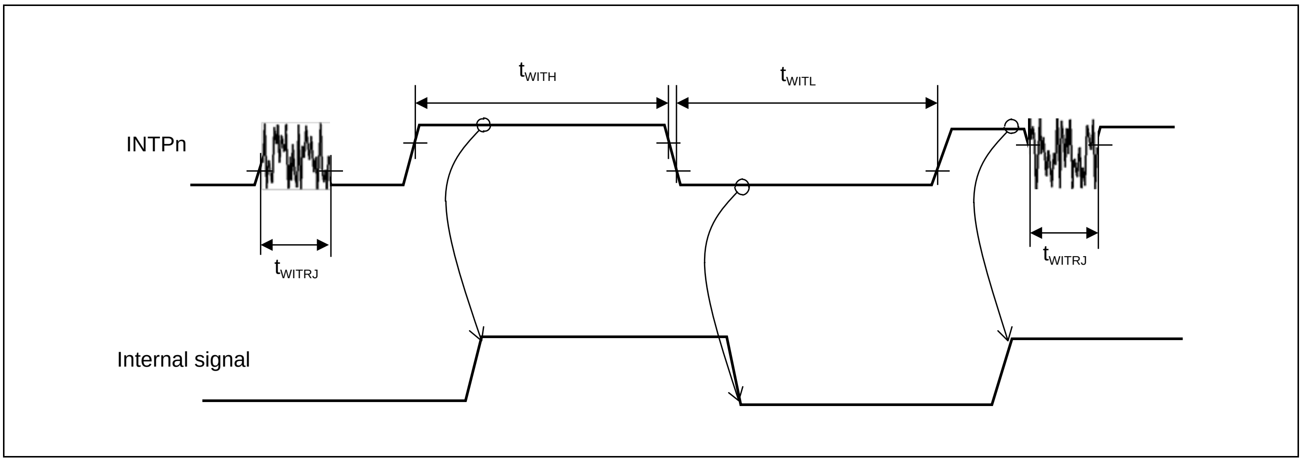
条件　: REG0VCC＝EVCC＝3.0V～5.5V, REG1VCC＝3.0V～3.6V, REG1VCC≦REG0VCC, BVCC＝3.0V～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1µF±30%, CISOVCL：0.1µF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
NMI 入力ハイ／ロウレベル幅注 1	t_{WNIH}/ t_{WNIL}	エッジ検出モード	600			ns
		レベル検出モード（EMCLK は高速内蔵発振器で作動）	756			ns
		レベル検出モード（EMCLK は低速内蔵発振器で作動）	24			µs
NMI パルス除去注 2	t_{WNIRJ}		100			ns
INTPn 入力ハイ／ロウレベル幅注 1	t_{WITH}/ t_{WITL}	エッジ検出モード	600			ns
		レベル検出モード（EMCLK は高速内蔵発振器で作動）	756			ns
		レベル検出モード（EMCLK は低速内蔵発振器で作動）	24			µs
INTPn パルス除去注 2	t_{WITRJ}		100			ns

注1.　NMI と INTPn の入力幅は、内部割込み信号がアクティブであることを保証するために必要です。

注2.　最小値より短いパルスは無視されます。これは参考値です。ノイズは下記図のようにフィルターされます。



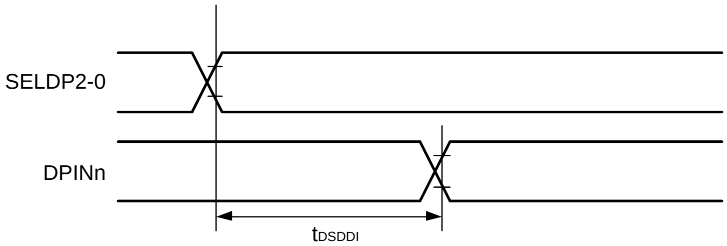


47A.5.4　ロウパワーサンプラ（DPIN 入力）タイミング

条件　: REG0VCC＝EVCC＝3.0V〜5.5V, REG1VCC＝3.0V〜3.6V, REG1VCC≦REG0VCC, BVCC＝3.0V〜REG0VCC, A0VREF＝3.0V〜5.5V, A1VREF＝3.0V〜5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40〜（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
DPINn 入力遅延時間 （対 SELDP2-0）	t_{DSDDI}				150	ns

備考　n＝7〜0



47A.5.5　CSCXFOUT タイミング

条件　：REG0VCC＝EVCC＝3.0V～5.5V, REG1VCC＝3.0V～3.6V, REG1VCC≦REG0VCC, BVCC＝3.0V～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1µF±30%, CISOVCL：0.1µF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

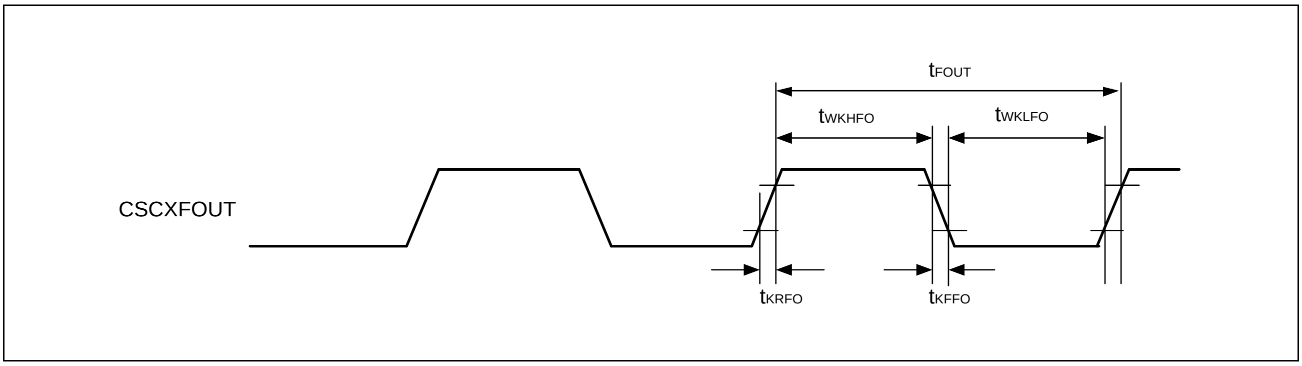
＜出力ドライバ強度＞
CSCXFOUT：低速または高速モード（以下の表の条件を参照してください。）

項目	略号	条件		MIN.	TYP.	MAX.	単位
CSCXFOUT 出力サイクル	t_{FOUT}	低速モード		100 (max. 10MHz)			ns
		高速モード		41.6 (max. 24MHz)			ns
CSCXFOUT ハイレベル幅	t_{WKHFO}	低速モード	N：1[注1]または偶数値[注2]	t_{FOUT} / 2 – 37			ns
			N：奇数値（N≧5）[注2、注3]	t_{FOUT} × (N+1) / 2N – 37			ns
		高速モード	N：1[注1]または偶数値[注2]	t_{FOUT} / 2 – 10			ns
			N：奇数値（N≧3）[注2]	t_{FOUT} × (N+1) / 2N – 10			ns
CSCXFOUT ロウレベル幅	t_{WKLFO}	低速モード	N：1[注1]または偶数値[注2]	t_{FOUT} / 2 – 37			ns
			N：奇数値（N≧5）[注2、注3]	t_{FOUT} × (N–1) / 2N – 37			ns
		高速モード	N：1[注1]または偶数値[注2]	t_{FOUT} / 2 – 10			ns
			N：奇数値（N≧3）[注2]	t_{FOUT} × (N–1) / 2N – 10			ns
CSCXFOUT 立ち上がり／立ち下がり時間	t_{KRFO}/ t_{KFFO}	低速モード				37	ns
		高速モード				10	ns

注1.　N＝1 のときのソースクロックとして、メイン発振回路、高速内蔵発振回路、低速内蔵発振回路またはサブ発振回路が選択されている場合、出力信号特性はソースクロックによって決まります。実際の環境で評価後、出力信号を使用することを推奨します。

注2.　“N”は FOUTDIV レジスタで設定された“クロック分周 N”の値です。

注3.　低速モード使用時には、N＝3 を選択することは禁止です。

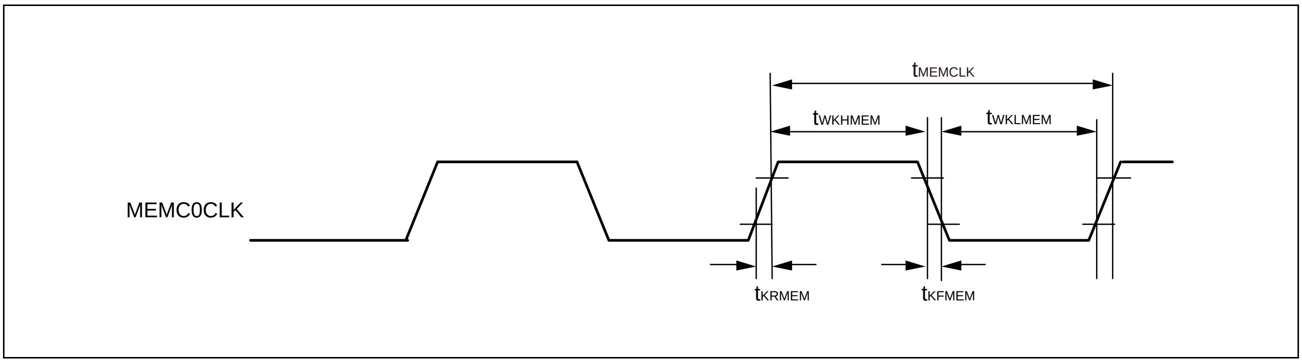


47A.5.6　MEMC0CLK タイミング

条件　: REG0VCC＝EVCC＝3.0V～5.5V, REG1VCC＝3.0V～3.6V, REG1VCC≦REG0VCC, BVCC＝3.0V～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1µF±30%, CISOVCL：0.1µF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

＜出力ドライバ強度＞
　MEMC0CLK 端子：高速モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
MEMC0CLK 出力サイクル	t_{MEMCLK}		33.4 (max.30MHz)			ns
MEMC0CLK ハイ／ロウレベル幅	t_{WKHMEM} / t_{WKLMEM}		t_{MEMCLK} / 2 – 10			ns
MEMC0CLK 立ち上がり／立ち下がり時間	t_{KRMEM} / t_{KFMEM}				10	ns



47A.5.7　外部バスタイミング

47A.5.7.1　MEMC0CLK 非同期

条件：　REG0VCC＝EVCC＝3.0V～5.5V, REG1VCC＝3.0V～3.6V, REG1VCC≦REG0VCC, BVCC＝3.0V～REG0VCC,
A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C,
CL＝30pF

＜出力ドライバ強度＞

MEMC0AD0-15, MEMC0A16-23, MEMC0CS3-0 ,
MEMC0BEN1-0 , MEMC0ASTB , MEMC0WR , MEMC0RD 端子：高速モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
バス動作期間	T		33.4 (max.30MHz)			ns
MEMC0ASTB ↓までのアドレス[注4]セットアップ時間	t_{SAST}	<1>	(1 + ASW) × T – 15			ns
MEMC0ASTB ↓からのアドレス（MEMC0AD15-0）ホールド時間	t_{HSTA}	<2>	(1 + AHW) × T – 15			ns
MEMC0RD ↓からのアドレス（MEMC0AD15-0）浮動遅延時間	t_{FRDA}[注8]	<3>			9	ns
MEMC0RD ↑からのアドレス[注5]ホールド時間	t_{HRDA}	<4>	–1.5			ns
MEMC0RD ↓からのデータ（MEMC0AD15-0）入力遅延時間	t_{DRDID}	<5>	9		(1 + w) × T – 35	ns
MEMC0RD ↑からのデータ（MEMC0AD15-0）入力ホールド時間	t_{HRDID}	<6>	0			ns
MEMC0ASTB ↓から MEMC0RD ↓までの遅延時間	t_{DSTRD}	<7>	(1 + AHW) × T – 15			ns
MEMC0ASTB ↓から MEMC0WR ↓までの遅延時間	t_{DSTWR}	<8>	(1 + AHW) × T – 15			ns
MEMC0RD , MEMC0WR ロウレベル幅	t_{WRDST}	<9>	(1 + w) × T – 10			ns
MEMC0WR ↓からのデータ（MEMC0AD15-0）出力遅延時間	t_{DWROD}	<10>			11	ns
MEMC0WR ↑からのアドレス[注5]ホールド時間	t_{HWRA}	<11>	(1 + DHW) × T – 15			ns
MEMC0WR ↑までのデータ（MEMC0AD15-0）出力セットアップ時間	t_{SODWR}	<12>	(1 + w) × T – 15			ns
MEMC0WR ↑からのデータ（MEMC0AD15-0）出力ホールド時間	t_{HWROD}	<13>	(1 + DHW) × T – 15			ns
MEMC0ASTB ↓からの MEMC0WAIT 設定遅延	t_{SSTWT1}	<14>			(AHW + DPW) × T – 24	ns
	t_{SSTWT2}	<15> DEW≧1			(AHW + DPW + DEW) × T – 24	ns
MEMC0ASTB ↓からの MEMC0WAIT ホールド時間	t_{HSTWT1}	<16>	(AHW + DPW + DEW – 1) × T – 9			ns
	t_{HSTWT2}	<17> DEW≧1	(AHW + DPW + DEW) × T – 9			ns

注1.　ASW は、多重バスのアドレスセットアップウェイト数を表します。

注2.　AHW は、多重バスのアドレスホールドウェイト数を表します。

注3.　DPW は、多重バスのプログラマブルデータウェイト数を表します。
DEW は、多重バスの外部データウェイト数を表します。
“w” は DPW と DEW の合計を表します。

注4.　t_{CPUCLK}：CPU クロック期間

注5.　DHW は、多重バスのデータホールドウェイト数を表します。

注6.　アドレスは、MEMC0AD15-0、MEMC0A23-16、$\overline{\text{MEMC0CS3-0}}$、および $\overline{\text{MEMC0BEN1-0}}$ を表します。
　　　324-pin 製品は 24 ビットアドレスをサポートしています。233/176-pin 製品は 23 ビットアドレスをサポートしています。

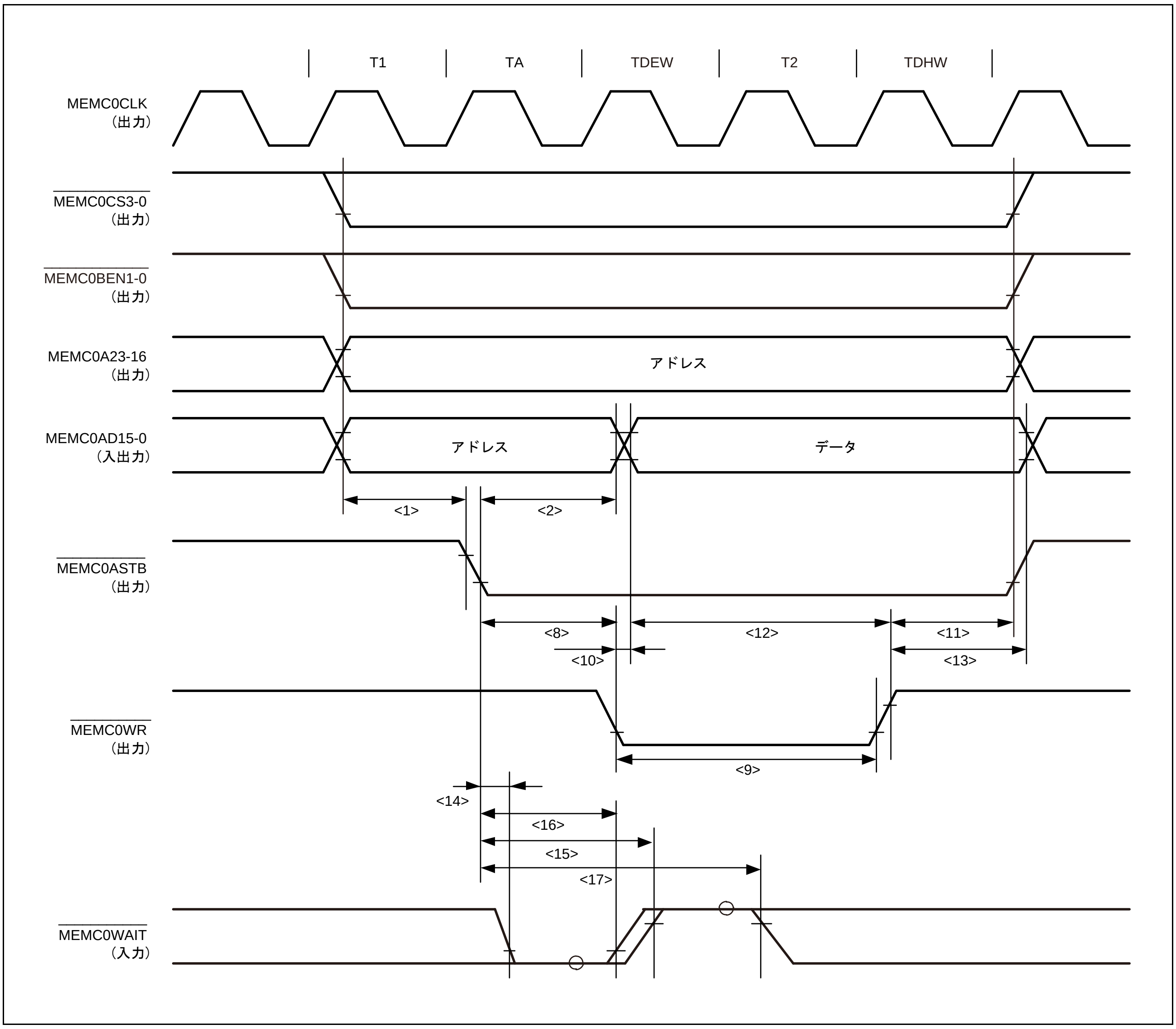
注7.　アドレスは、MEMC0A23-16、$\overline{\text{MEMC0CS3-0}}$、$\overline{\text{MEMC0BEN1-0}}$、および $\overline{\text{MEMC0ASTB}}$ を表します。
　　　324-pin 製品は 24 ビットアドレスをサポートしています。233/176-pin 製品は 23 ビットアドレスをサポートしています。

注8.　t_{FRDA} は、MEMC0AD15～0 の出力オフから Hi-z になるまでの期間を示しています。

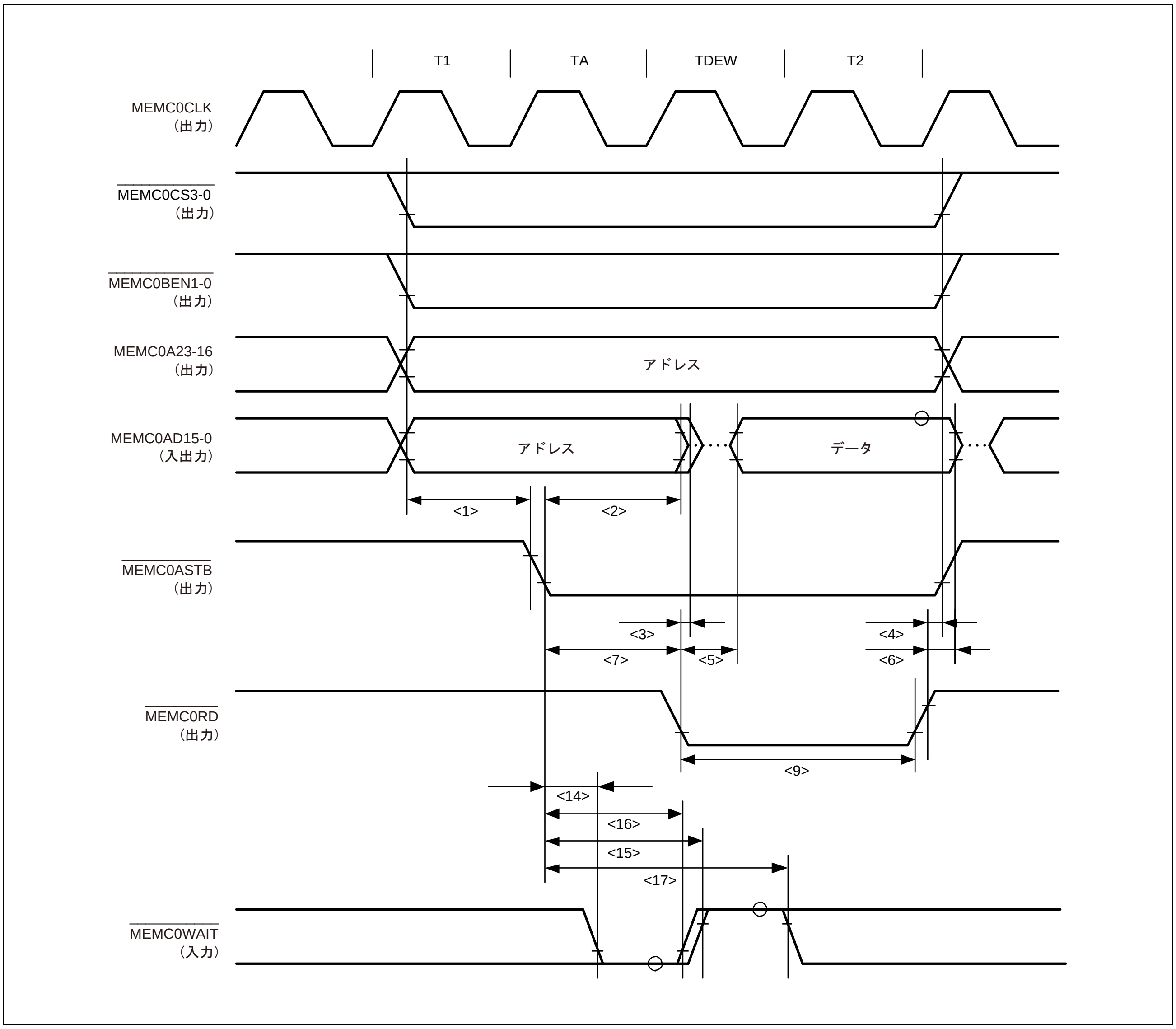
備　考

バス期間（T）が 44ns より短い場合、t_{DRDID} 仕様では、少なくとも 1 データ待ちが必要です。（w＝1）

(1) 多重ライトサイクル（非同期、1 データウェイト）



(2)　多重リードサイクル（非同期、1 データウェイト）



47A.5.7.2　MEMC0CLK 同期

条件　:　REG0VCC＝EVCC＝3.0V～5.5V, REG1VCC＝3.0V～3.6V, REG1VCC≦REG0VCC, BVCC＝3.0V～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1µF±30%, CISOVCL：0.1µF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

＜出力ドライバ強度＞

MEMC0AD0-15, MEMC0A16-23, MEMC0CS3-0 ,
MEMC0BEN1-0 , MEMC0ASTB , MEMC0WR , MEMC0RD 端子：高速モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
バス動作期間	T		33.4 (max.30MHz)			ns
MEMC0CLK↑からアドレス[注1]までの遅延時間	t_{DKA}	<18>	–0.5		15	ns
MEMC0CLK↑からアドレス（MEMC0AD15-0）浮動までの遅延時間	t_{FKA} [注2]	<19>	0		12	ns
MEMC0CLK↑から MEMC0ASTB までの遅延時間	t_{DKST}	<20>	0		11	ns
MEMC0CLK↑から MEMC0RD および MEMC0WR までの遅延時間	t_{DKRDWR}	<21>	–2.5		6	ns
データ（MEMC0AD15-0）入力セットアップ時間（MEMC0CLK↑から）	t_{SIDK}	<22>	29			ns
データ（MEMC0AD15-0）入力ホールド時間（MEMC0CLK↑から）	t_{HKID}	<23>	2.5			ns
データ（MEMC0AD15-0）出力遅延時間（MEMC0CLK↑から）	t_{DKOD}	<24>			15	ns
MEMC0WAIT セットアップ時間（MEMC0CLK↑まで）	t_{SWTK}	<25>	T + 22			ns
MEMC0WAIT ホールド時間（MEMC0CLK↑から）	t_{HKWT}	<26>	–T – 5			ns

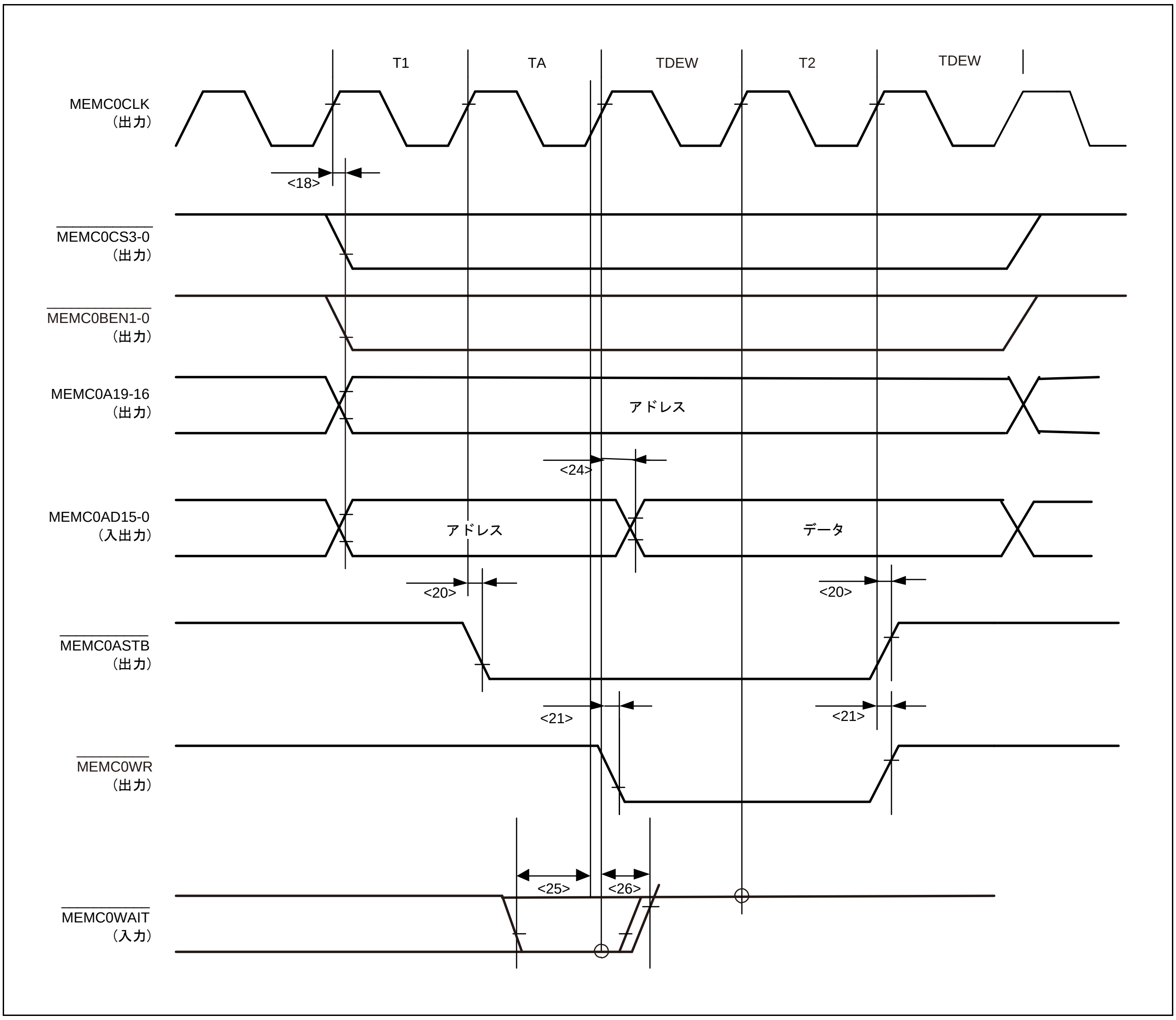
注1.　アドレスは、MEMC0AD15-0、MEMC0A23-16、 MEMC0CS3-0 、および MEMC0BEN1-0 を表します。
324-pin 製品は 24 ビットアドレスをサポートしています。233/176-pin 製品は 23 ビットアドレスをサポートしています。

注2.　t_{FKA} は、MEMC0AD15～0 の出力オフから Hi-z になるまでの期間を示しています。

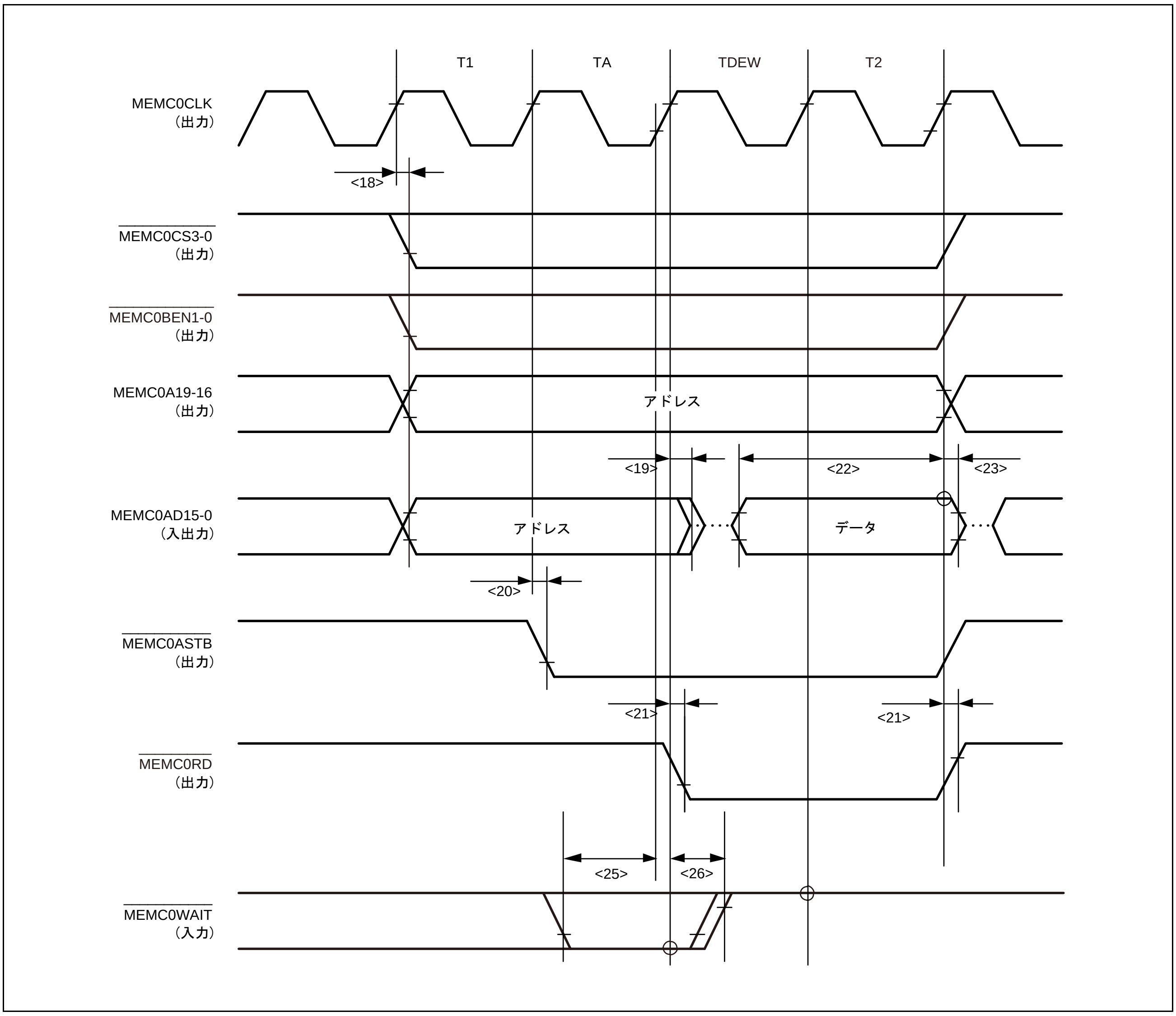
備　考

バス期間（T）が 44ns より短い場合、t_{DRDID} 仕様では、少なくとも 1 データ待ちが必要です。（w＝1）

(1) 多重ライトサイクル（同期、1 データウェイト）



(2) 多重リードサイクル（同期、1 データウェイト）

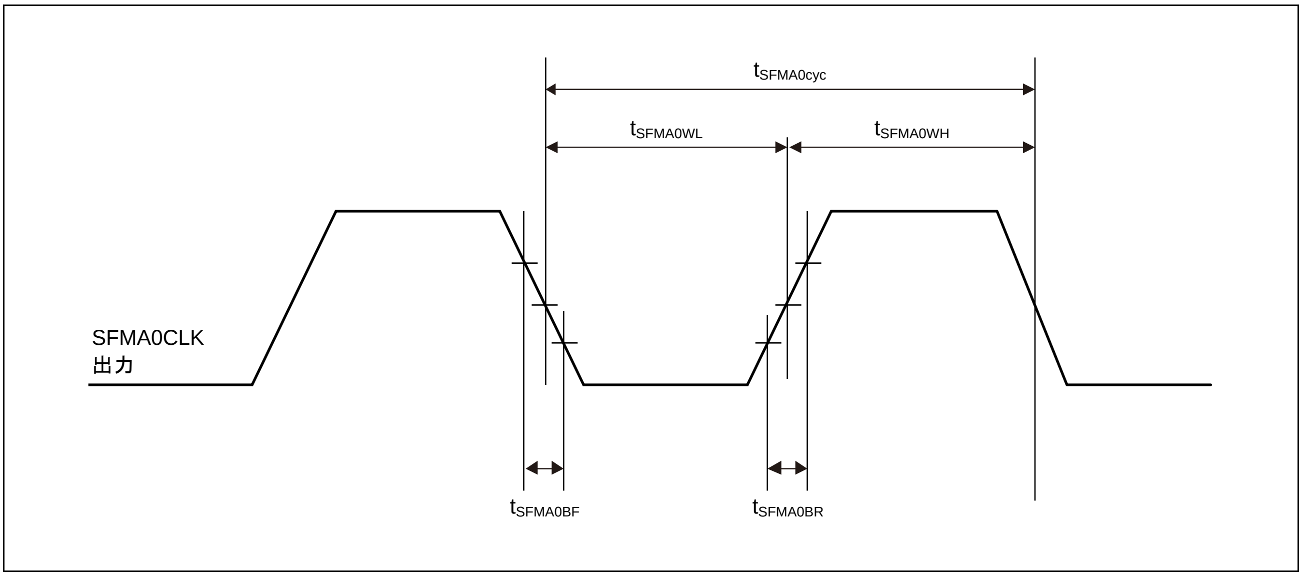


47A.5.8 SFMA タイミング

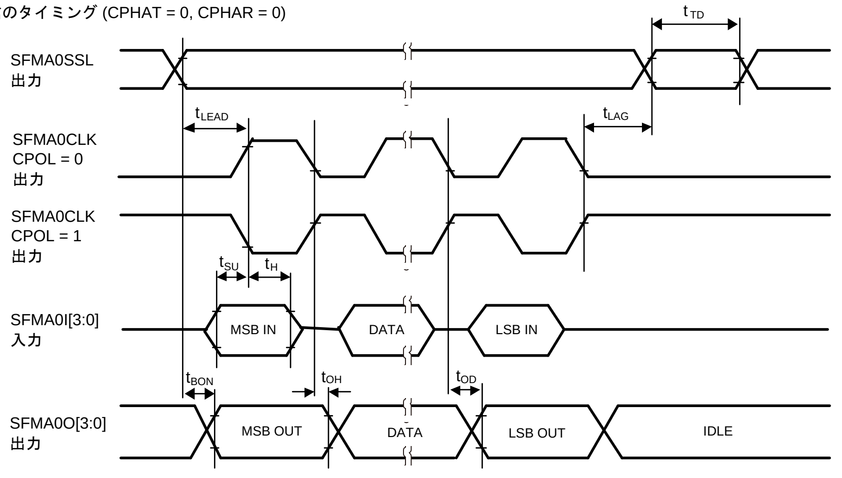
条件　: REG0VCC＝EVCC＝3.0V～5.5V, REG1VCC＝3.0V～3.6V, REG1VCC≦REG0VCC, BVCC＝3.0V～3.6, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1µF±30%, CISOVCL：0.1µF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

＜出力ドライバ強度＞
SFMA0CLK, SFMA0SSL, SFMA0O[3:0]端子：高速モード

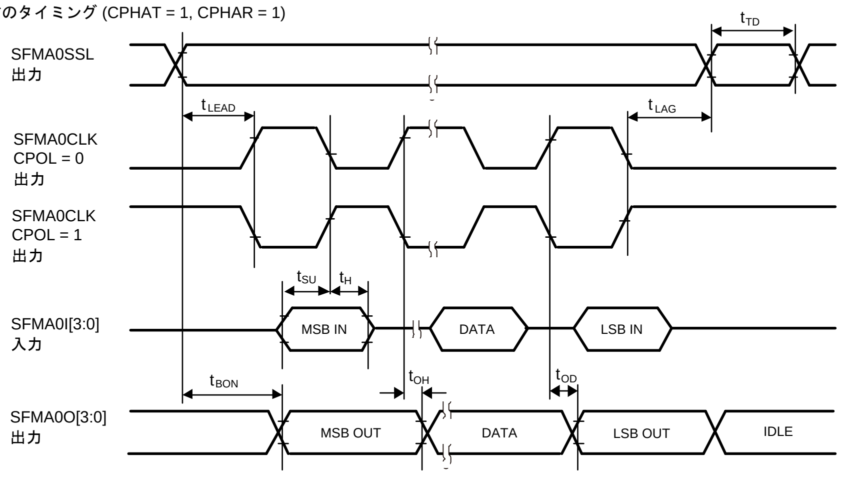
項目	略号	条件	MIN.	TYP.	MAX.	単位
SFMA0CLK クロックサイクル	$t_{SFMA0cyc}$		25			ns
SFMA0CLK 高パルス幅	$t_{SFMA0WH}$		0.4 × $t_{SFMA0cyc}$		0.6 × $t_{SFMA0cyc}$	ns
SFMA0CLK 低パルス幅	$t_{SFMA0WL}$		0.4 × $t_{SFMA0cyc}$		0.6 × $t_{SFMA0cyc}$	ns
SFMA0CLK 立ち上がり時間	t_{SFMA0R}				4.5	ns
SFMA0CLK 立ち下がり時間	t_{SFMA0F}				4.5	ns
データ入力セットアップ時間	t_{SU}		13.0			ns
データ入力ホールド時間	t_{H}		0.0			ns
SFMA0SSL セットアップ時間	t_{LEAD}		1 × $t_{SFMA0cyc}$ – 5		8 × $t_{SFMA0cyc}$	ns
SFMA0SSL ホールド時間	t_{LAG}		1.5 × $t_{SFMA0cyc}$		8.5 × $t_{SFMA0cyc}$ + 5	ns
連続転送遅延時間	t_{TD}		1 × $t_{SFMA0cyc}$		8 × $t_{SFMA0cyc}$	ns
データ出力遅延時間	t_{OD}				3.6	ns
データ出力ホールド時間	t_{OH}		–1.6			ns
オンタイムデータ出力バッファ	t_{BON}				3.6	ns
オフタイムデータ出力バッファ	t_{BOFF}		–7.0		0	ns

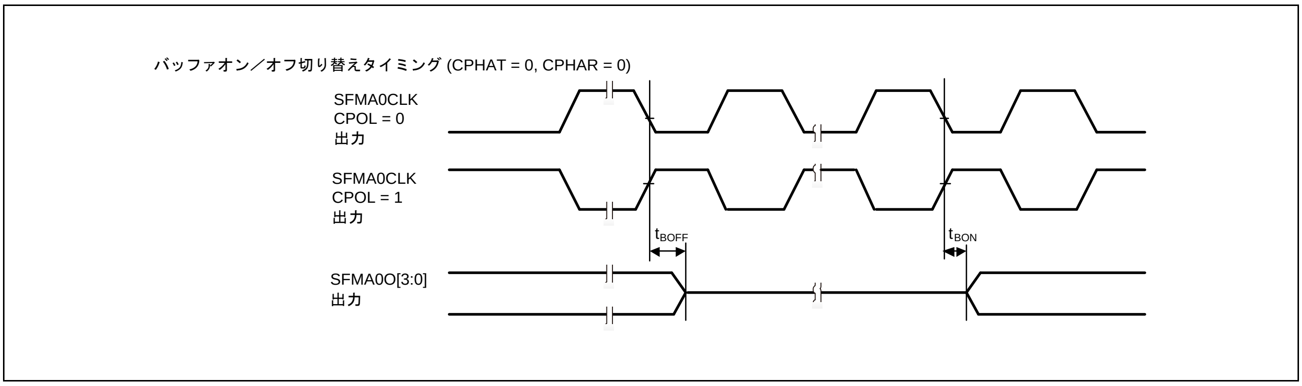


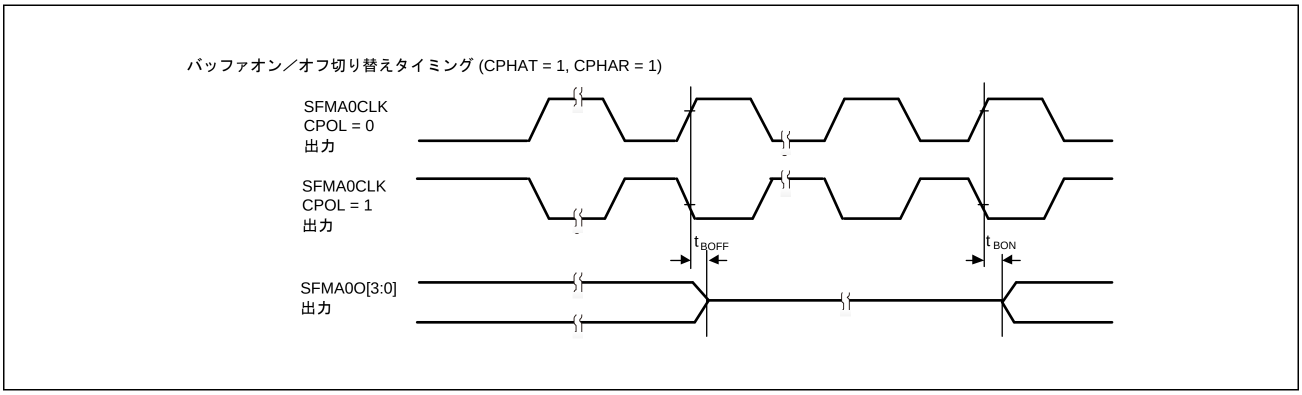
送信、受信のタイミング (CPHAT = 0, CPHAR = 0)



送信、受信のタイミング (CPHAT = 1, CPHAR = 1)




バッファオン／オフ切り替えタイミング (CPHAT = 0, CPHAR = 0)
SFMA0CLK
CPOL = 0
出力
SFMA0CLK
CPOL = 1
出力
t_{BOFF}
t_{BON}
SFMA0O[3:0]
出力


バッファオン／オフ切り替えタイミング (CPHAT = 1, CPHAR = 1)
SFMA0CLK
CPOL = 0
出力
SFMA0CLK
CPOL = 1
出力
t_{BOFF}
t_{BON}
SFMA0O[3:0]
出力

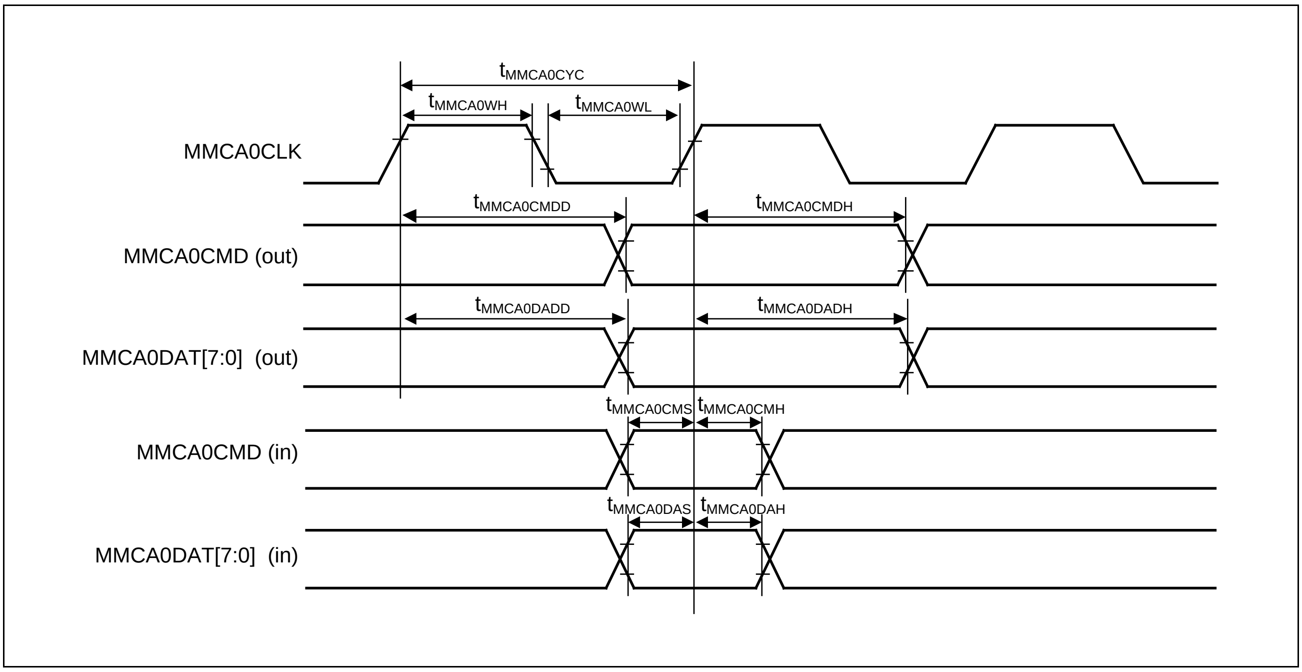
47A.5.9 MMCA タイミング

条件　: REG0VCC＝EVCC＝3.0V～5.5V, REG1VCC＝3.0V～3.6V, REG1VCC≦REG0VCC,
BVCC＝3.0V～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V,
AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C,
CL＝30pF

＜出力ドライバ強度＞
MMCA0CLK, MMCA0CMD, MMCA0DAT[7:0]端子：高速モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
MMCA0CLK クロックサイクル	$t_{MMCA0CYC}$		2 × t_{CKSCLK_IPERI2}			ns
MMCA0CLK ハイレベル時間	$t_{MMCA0WH}$		10			ns
MMCA0CLK ロウレベル時間	$t_{MMCA0WL}$		10			ns
MMCA0CMD データ出力遅延時間	$t_{MMCA0CMDD}$				$t_{MMCA0CYC}$ × 1/2 + 19	ns
MMCA0CMD データ出力ホールド時間	$t_{MMCA0CMDH}$		4			ns
データ出力遅延時間	$t_{MMCA0DADD}$				$t_{MMCA0CYC}$ × 1/2 + 19	ns
データ出力遅延時間	$t_{MMCA0DADH}$		4			ns
MMCA0CMD データ入力セットアップ時間	$t_{MMCA0CMS}$		10			ns
MMCA0CMD データ入力ホールド時間	$t_{MMCA0CMH}$		7			ns
データ入力セットアップ時間	$t_{MMCA0DAS}$		10			ns
データ入力ホールド時間	$t_{MMCA0DAH}$		7			ns

備考　t_{CKSCLK_IPERI2} は、CKSCLK_IPERI2 の期間を示しています。



47A.5.10　CSI タイミング

47A.5.10.1　CSIG タイミング

条件　：REG0VCC＝EVCC＝3.0V～5.5V, REG1VCC＝3.0V～3.6V, REG1VCC≦REG0VCC, BVCC＝3.0V～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

表 47A.12　CSIG タイミング（マスタモード）

＜出力ドライバ強度＞

CSIGnSO, CSIGnSC（出力）：高速モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
マクロ動作クロックサイクル時間	t_{KCYGn}		12.5 (max. 80MHz)			ns
CSIGnSC サイクル時間	t_{KCYMGn}		100			ns
CSIGnSC ハイレベル幅	t_{KWHMGn}		$0.5 \times t_{KCYMGn} - 10$			ns
CSIGnSC ロウレベル幅	t_{KWLMGn}		$0.5 \times t_{KCYMGn} - 10$			ns
CSIGnSI セットアップ時間（対 CSIGnSC）	t_{SSIMGn}		30			ns
CSIGnSI ホールド時間（対 CSIGnSC）	t_{HSIMGn}		0			ns
CSIGnSO 出力遅延（対 CSIGnSC）	t_{DSOMGn}				7	ns
CSIGnRYI セットアップ時間（対 CSIGnSC）	t_{SRYIGn}	CSIGnCTL1.CSIGnSIT＝x CSIGnCTL1.CSIGnHSE＝1	$2 \times t_{KCYGn} + 25$			ns
CSIGnRYI ハイレベル幅	t_{WRYIGn}	CSIGnCTL1.CSIGnHSE＝1	$t_{KCYGn} + 5$			ns

備考　n＝0～4

表 47A.13　CSIG タイミング（スレーブモード）

＜出力ドライバ強度＞

CSIGnSO：高速モード

CSIGnRYO：低速モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
マクロ動作クロックサイクル時間	t_{KCYGn}		12.5 (max. 80MHz)			ns
CSIGnSC サイクル時間	t_{KCYSGn}		200			ns
CSIGnSC ハイレベル幅	t_{KWHSGn}		$0.5 \times t_{KCYSGn} - 10$			ns
CSIGnSC ロウレベル幅	t_{KWLSGn}		$0.5 \times t_{KCYSGn} - 10$			ns
CSIGnSI セットアップ時間（対 CSIGnSC）	t_{SSISGn}		20			ns
CSIGnSI ホールド時間（対 CSIGnSC）	t_{HSISGn}		$t_{KCYGn} + 5$			ns
CSIGnSO 出力遅延（対 CSIGnSC）	t_{DSOSGn}				30	ns
CSIGnRYO 出力遅延	t_{SRYOGn}				38	ns
$\overline{\text{CSIGnSSI}}$ セットアップ時間（対 CSIGnSC）	$t_{SSSISGn}$		$0.5 \times t_{KCYSGn} - 5$			ns
$\overline{\text{CSIGnSSI}}$ ホールド時間（対 CSIGnSC）	$t_{HSSISGn}$		$t_{KCYGn} + 5$			ns

備考　n＝0～4

47A.5.10.2　CSIH タイミング

条件　　：REG0VCC＝EVCC＝3.0V～5.5V, REG1VCC＝3.0V～3.6V, REG1VCC≦REG0VCC, BVCC＝3.0V～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

表 47A.14　CSIH タイミング（マスタモード：10Mbps）

＜出力ドライバ強度＞

CSIHnSO, CSIHnSC（出力）：高速モード（CL＝100pF@n＝0／50pF@n＝1～4）

CSIHnCSSx：低速モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
マクロ動作クロックサイクル時間	t_{KCYHn}		12.5 (max. 80MHz)			ns
CSIHnSC サイクル時間	t_{KCYMHn}		100			ns
CSIHnSC ハイレベル幅	t_{KWHMHn}		$0.5 \times t_{KCYMHn} - 10$			ns
CSIHnSC ロウレベル幅	t_{KWLMHn}		$0.5 \times t_{KCYMHn} - 10$			ns
CSIHnSI セットアップ時間（対 CSIHnSC）	t_{SSIMHn}	SI ポジティブエッジモード (CSIHnCTL1.CSIHnSLRS＝0)	19			ns
		SI ネガティブエッジモード (CSIHnCTL1.CSIHnSLRS＝1)	14			ns
CSIHnSI ホールド時間（対 CSIHnSC）	t_{HSIMHn}	SI ポジティブエッジモード (CSIHnCTL1.CSIHnSLRS＝0)	0			ns
		SI ネガティブエッジモード (CSIHnCTL1.CSIHnSLRS＝1)	$t_{KCYHn}/2$			ns
CSIHnSO 出力遅延（対 CSIHnSC）	t_{DSOMHn}				7	ns
CSIHnRYI セットアップ時間（対 CSIHnSC）	t_{SRYIHn}	CSIHnCTL1.CSIHnSIT＝x CSIHnCTL1.CSIHnHSE＝1	$2 \times t_{KCYHn} + 25$			ns
CSIHnRYI ハイレベル幅	t_{WRYIHn}	CSIHnCTL1.CSIHnHSE＝1	$t_{KCYHn} + 5$			ns
CSIHnCSS0-7 非アクティブ幅	$t_{WSCSBHn}$		CSIDLE $\times t_{KCYMHn} - 15$			ns
CSIHnCSS0-7 セットアップ時間（対 CSIHnSC）	$t_{SSCSBHn0}$	CSIHnCFGx.CSIHnDAP＝0	CSSETUP $\times t_{KCYMHn} - 23$			ns
	$t_{SSCSBHn1}$	CSIHnCFGx.CSIHnDAP＝1	(CSSETUP + 0.5) $\times t_{KCYMHn} - 23$			ns
CSIHnCSS0-7 ホールド時間（対 CSIHnSC）	$t_{HSCSBHn0}$	CSIHnCTL1.CSIHnSIT＝0	CSSHOLD $\times t_{KCYMHn} - 5$			ns
	$t_{HSCSBHn1}$	CSIHnCTL1.CSIHnSIT＝1	(CSSHOLD + 0.5) $\times t_{KCYMHn} - 5$			ns

備考　n＝0～4

備　考

CSIDLE：CSIHnCFGx.CSIHnIDx[2:0]の設定値
CSSETUP：CSIHnCFGx.CSIHnSPx[3:0]の設定値
CSSHOLD：CSIHnCFGx.CSIHnHDx[3:0]の設定値
x：チップセレクト信号によって決まる値

注　意

通信中（CSIHnCFGx.CSIHnCKPx）に、シリアルクロックレベルが変更され、IDLE の設定が 0.5 送信クロック期間である場合、“$0.5 \times t_{KCYMHn}$”の非アクティブ幅時間に $t_{WSCSBHn}$ が追加されます。

表 47A.15　CSIH タイミング（スレーブモード：5Mbps）

＜出力ドライバ強度＞

CSIHnSO：高速モード

CSIHnRYO：低速モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
マクロ動作クロックサイクル時間	t_{KCYHn}		12.5 (max. 80MHz)			ns
CSIHnSC サイクル時間	t_{KCYSHn}		200			ns
CSIHnSC ハイレベル幅	t_{KWHSHn}		$0.5 \times t_{KCYSHn} - 10$			ns
CSIHnSC ロウレベル幅	t_{KWLSHn}		$0.5 \times t_{KCYSHn} - 10$			ns
CSIHnSI セットアップ時間（対 CSIHnSC）	t_{SSISHn}		20			ns
CSIHnSI ホールド時間（対 CSIHnSC）	t_{HSISHn}		$t_{KCYHn} + 5$			ns
CSIHnSO 出力遅延（対 CSIHnSC）	t_{DSOSHn}				30	ns
CSIHnRYO 出力遅延	t_{SRYOHn}	$t_{KCYSHn} \geqq 8 \times t_{KCYHn}$			38	ns
		$t_{KCYSHn} < 8 \times t_{KCYHn}$			$38 + t_{KCYHn}$	ns
$\overline{\text{CSIHnSSI}}$ セットアップ時間（対 CSIHnSC）	$t_{SSSISHn}$		$0.5 \times t_{KCYSHn} - 5$			ns
$\overline{\text{CSIHnSSI}}$ ホールド時間（対 CSIHnSC）	$t_{HSSISHn}$		$t_{KCYHn} + 5$			ns

備考　n＝0～4

表 47A.16　CSIH タイミング（スレーブモード：8Mbps）

＜出力ドライバ強度＞

CSIHnSO：高速モード

CSIHnRYO：低速モード

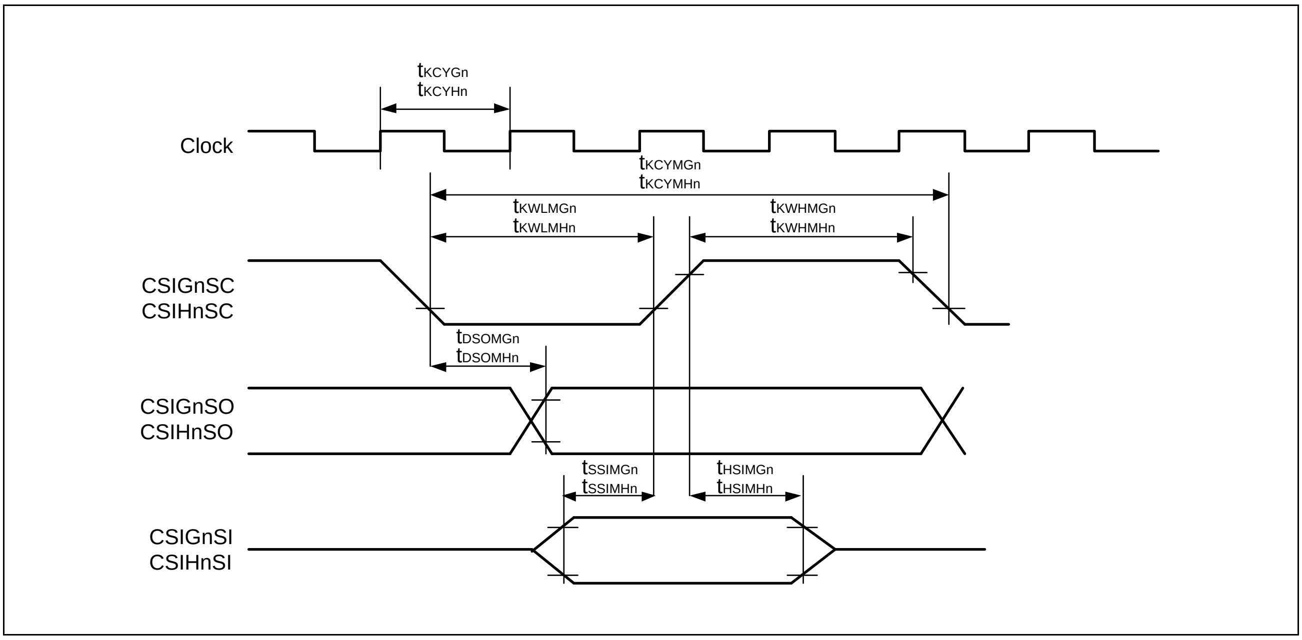
項目	略号	条件	MIN.	TYP.	MAX.	単位
マクロ動作クロックサイクル時間	t_{KCYHn}		12.5 (max. 80MHz)			ns
CSIHnSC サイクル時間	t_{KCYSHn}		125			ns
CSIHnSC ハイレベル幅	t_{KWHSHn}		$0.5 \times t_{KCYSHn} - 10$			ns
CSIHnSC ロウレベル幅	t_{KWLSHn}		$0.5 \times t_{KCYSHn} - 10$			ns
CSIHnSI セットアップ時間（対 CSIHnSC）	t_{SSISHn}		12.5			ns
CSIHnSI ホールド時間（対 CSIHnSC）	t_{HSISHn}		$t_{KCYHn} + 5$			ns
CSIHnSO 出力遅延（対 CSIHnSC）	t_{DSOSHn}				25	ns
CSIHnRYO 出力遅延	t_{SRYOHn}	$t_{KCYSHn} \geqq 8 \times t_{KCYHn}$			27	ns
		$t_{KCYSHn} < 8 \times t_{KCYHn}$			$27 + t_{KCYHn}$	ns
$\overline{\text{CSIHnSSI}}$ セットアップ時間（対 CSIHnSC）	$t_{SSSISHn}$		$0.5 \times t_{KCYSHn} - 5$			ns
$\overline{\text{CSIHnSSI}}$ ホールド時間（対 CSIHnSC）	$t_{HSSISHn}$		$t_{KCYHn} + 5$			ns

備考　n＝2（CSIH2 のみ）

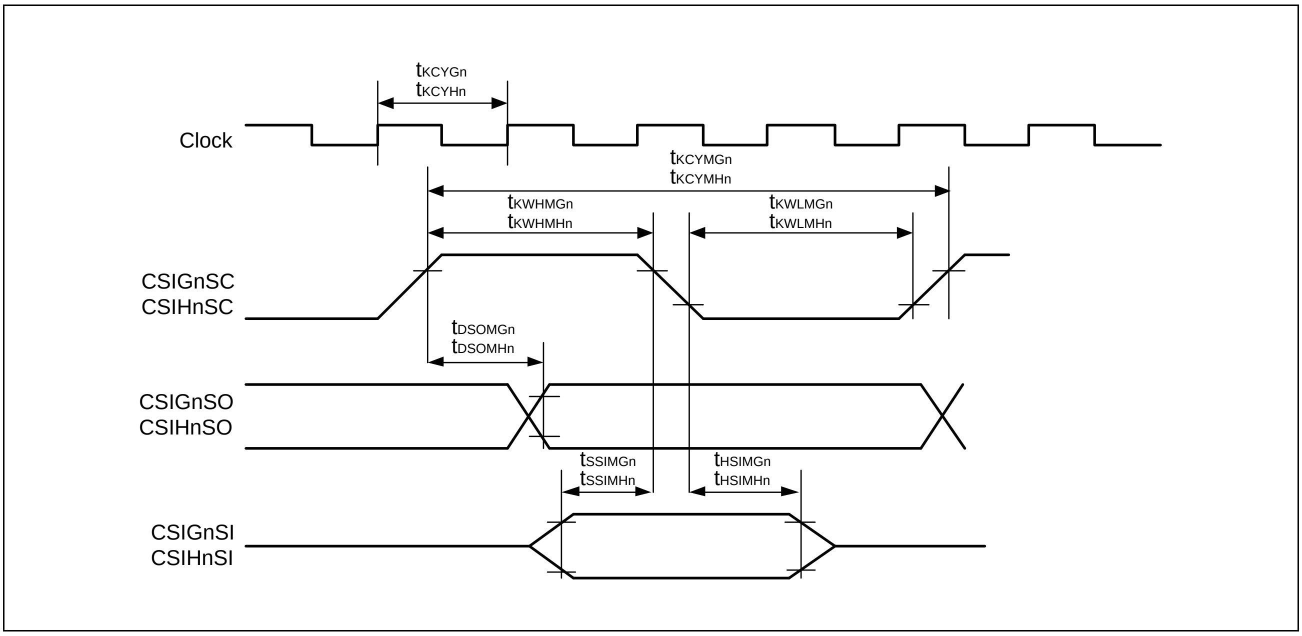
(1) SC/SI/SO

マスタモード

- CSIG（CSIGnCTL1：CSIGnCKR/CSIGnCFG0：CSIGnDAP0＝0/0 または 1/1）
- CSIH（CSIHnCFGx：CSIHnCKPx/CSIHnCFGx：CSIHnDAPx＝0/0 または 1/1）



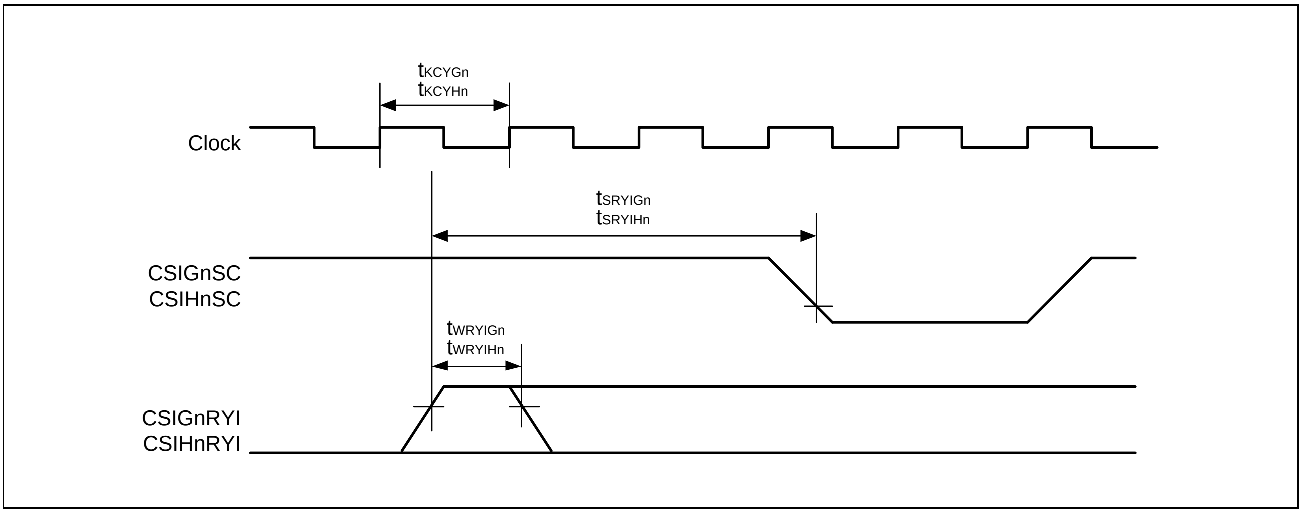
- CSIG（CSIGnCTL1：CSIGnCKR/CSIGnCFG0：CSIGnDAP0＝1/0 または 0/1）
- CSIH（CSIHnCFGx：CSIHnCKPx/CSIHnCFGx：CSIHnDAPx＝1/0 または 0/1）



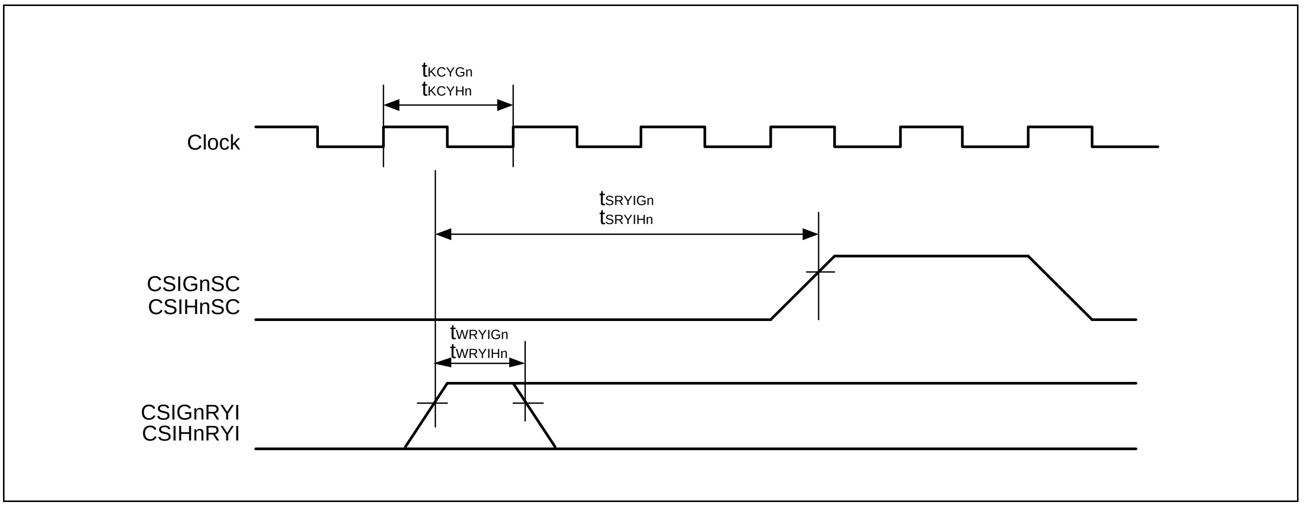
(2) RYI

マスタモード

- CSIG：マスタモードのみ（CSIGnCTL1：CSIGnHSE＝1, CSIGnCTL1：CSIGnSIT＝0）
- CSIH：マスタモードのみ（CSIHnCTL1：CSIHnHSE＝1, CSIHnCTL1：CSIHnSIT＝0）
  - CSIG（CSIGnCTL1：CSIGnCKR＝0）
  - CSIH（CSIHnCFGx：CSIHnCKPx＝0）



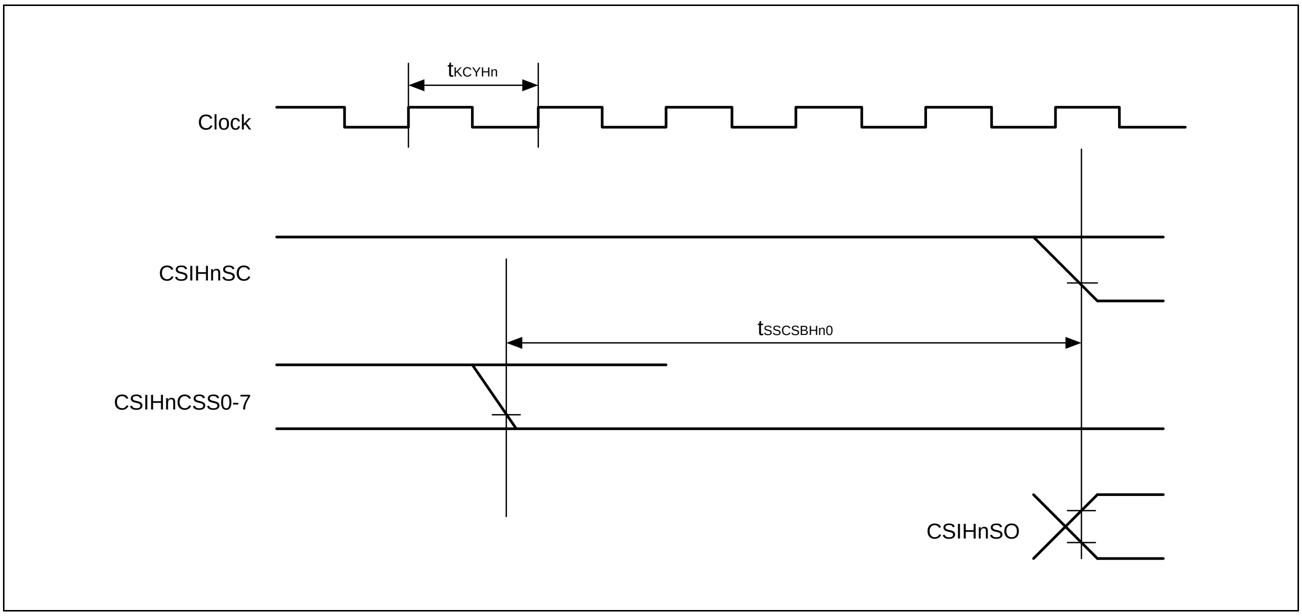
  - CSIG（CSIGnCTL1：CSIGnCKR＝1）
  - CSIH（CSIHnCFGx：CSIHnCKPx＝1）



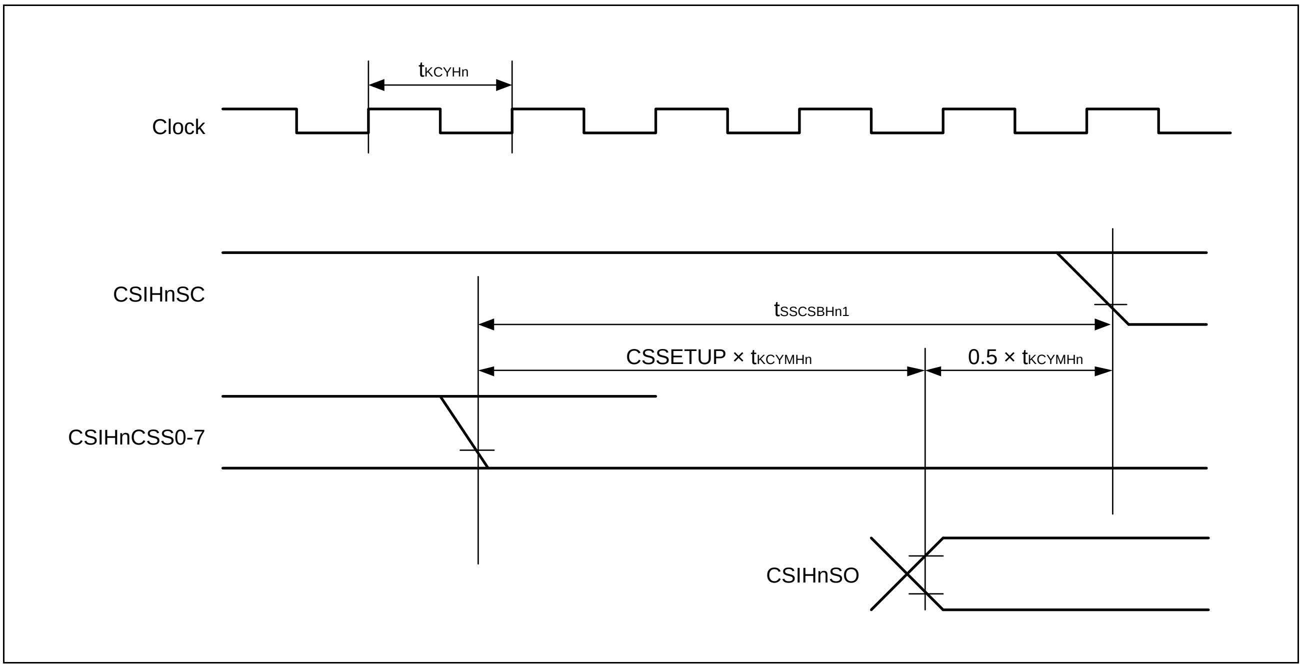
(3) CSSx

マスタモードのみ（セットアップ時間）

- CSIHnCFGx：CSIHnCKPx＝0, CSIHnCFGx：CSIHnDAPx＝0

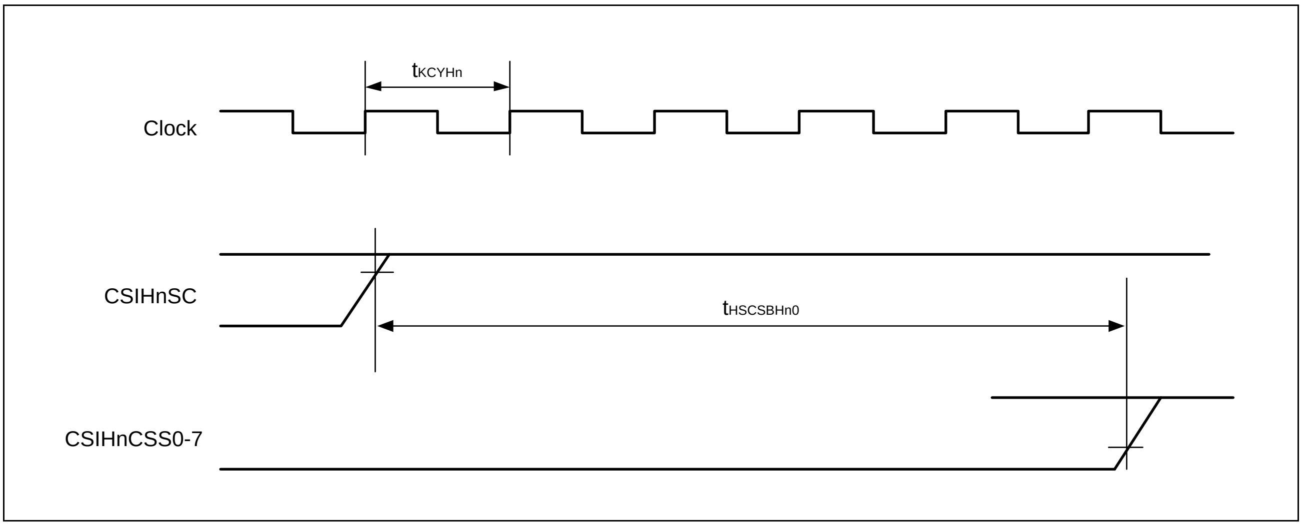


- CSIHnCFGx：CSIHnCKPx＝0, CSIHnCFGx：CSIHnDAPx＝1

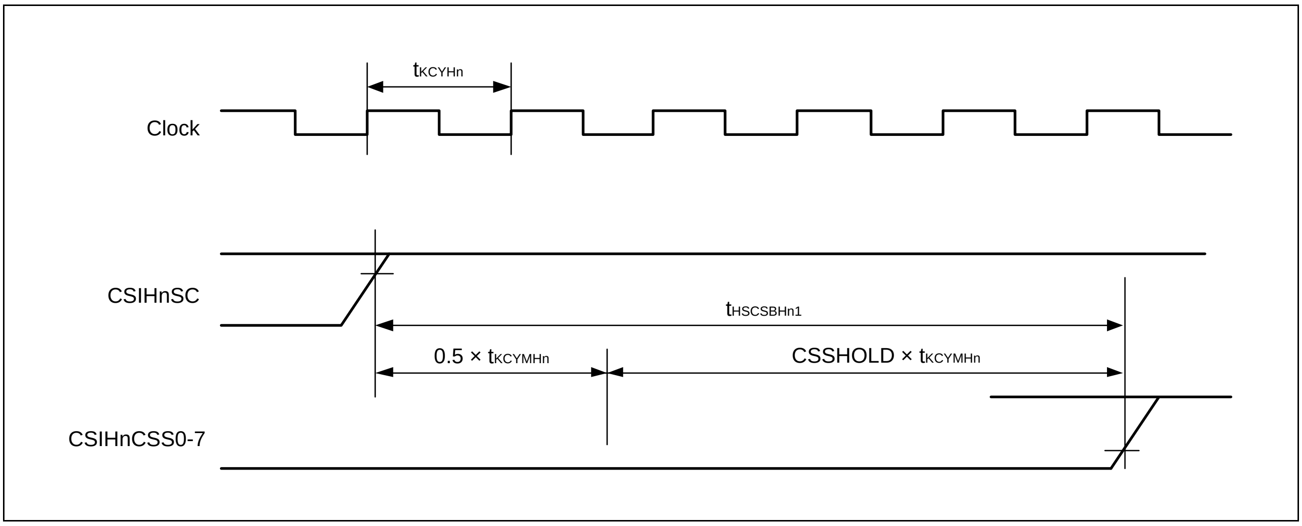


マスタモードのみ（ホールド時間）

- CSIHnCTL1：CSIHnSIT＝0, CSIHnCFGx：CSIHnCKPx＝0, CSIHnCFGx：CSIHnDAPx＝0



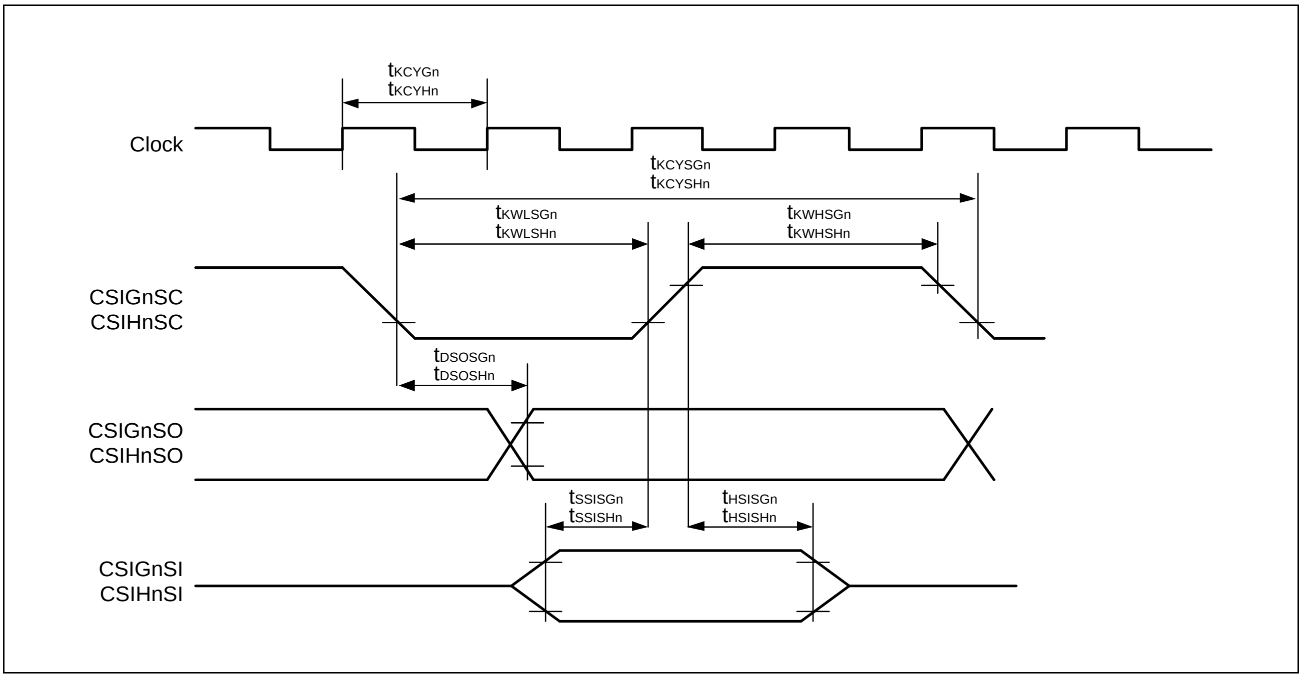
- CSIHnCTL1：CSIHnSIT＝1, CSIHnCFGx：CSIHnCKPx＝0, CSIHnCFGx：CSIHnDAPx＝0



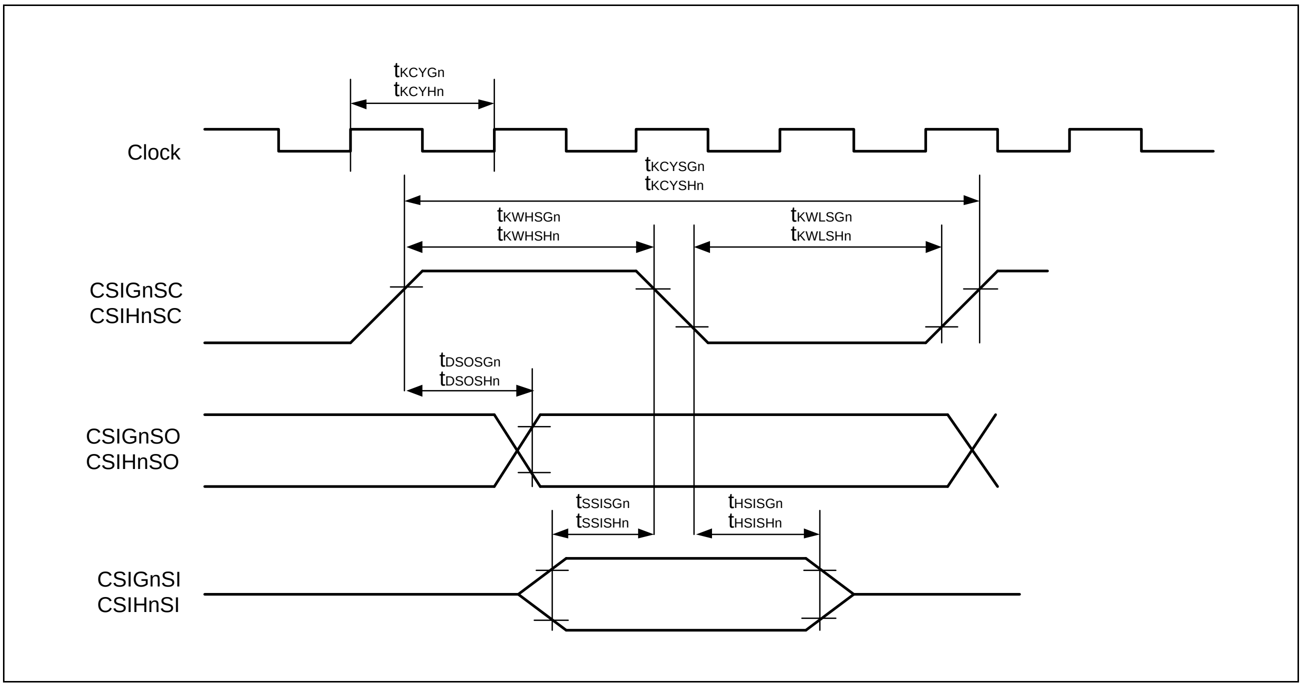
(4) SC/SI/SO

スレーブモード

- CSIG（CSIGnCTL1：CSIGnCKR/CSIGnCFG0：CSIGnDAP0＝0/0 または 1/1）
- CSIH（CSIHnCFGx：CSIHnCKPx/CSIHnCFGx：CSIHnDAPx＝0/0 または 1/1）

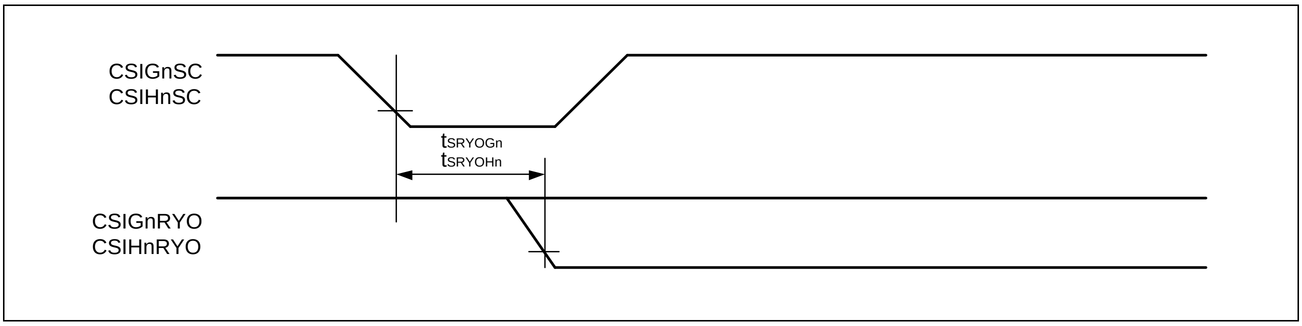


- CSIG（CSIGnCTL1：CSIGnCKR/CSIGnCFG0：CSIGnDAP0＝1/0 または 0/1）
- CSIH（CSIHnCFGx：CSIHnCKPx/CSIHnCFGx：CSIHnDAPx＝1/0 または 0/1）

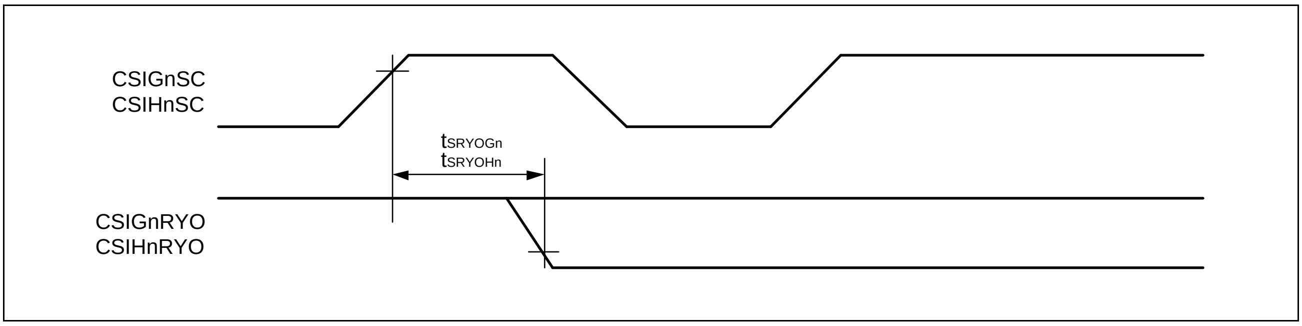


(5) RYO

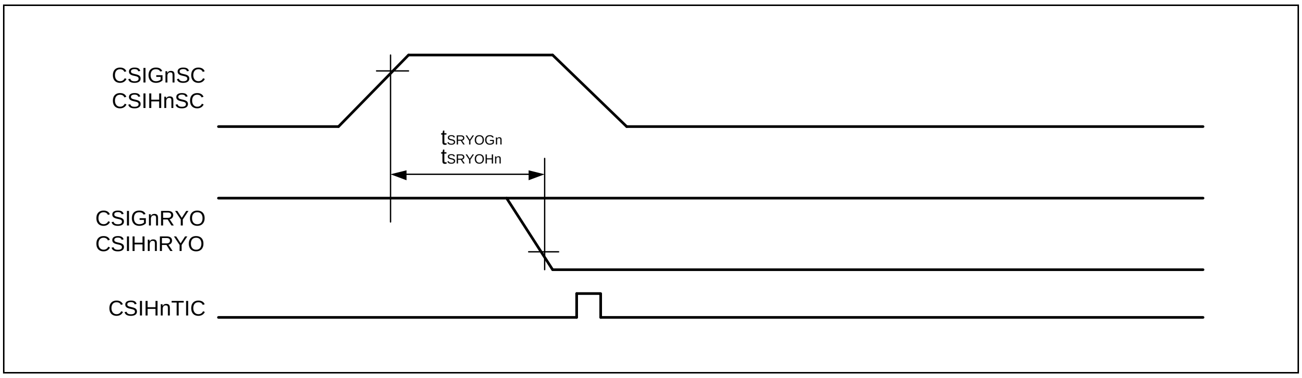
- CSIG（CSIGnCTL1：CSIGnCKR/CSIGnCFG0：CSIGnDAP0＝0/0）
- CSIH（CSIHnCFGx：CSIHnCKPx/CSIHnCFGx：CSIHnDAPx＝0/0）



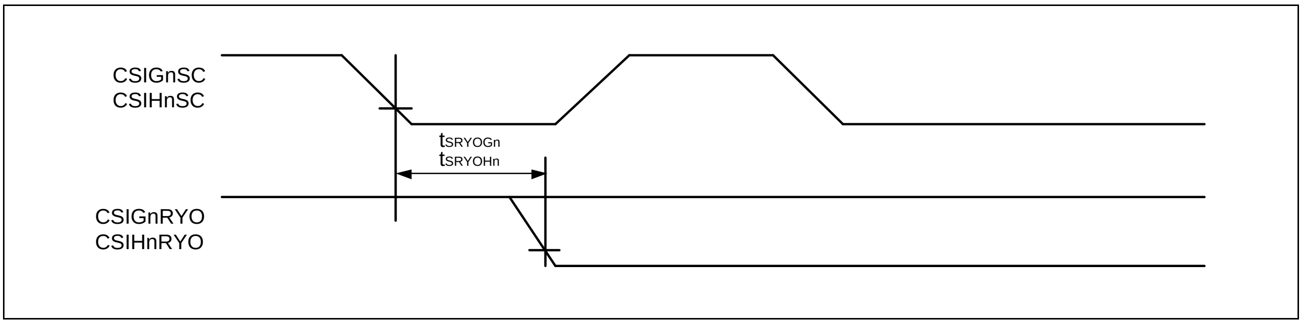
- CSIG（CSIGnCTL1：CSIGnCKR/CSIGnCFG0：CSIGnDAP0＝0/1）
- CSIH（CSIHnCFGx：CSIHnCKPx/CSIHnCFGx：CSIHnDAPx＝0/1）



- CSIG（CSIGnCTL1：CSIGnCKR/CSIGnCFG0：CSIGnDAP0＝1/0）
- CSIH（CSIHnCFGx：CSIHnCKPx/CSIHnCFGx：CSIHnDAPx＝1/0）



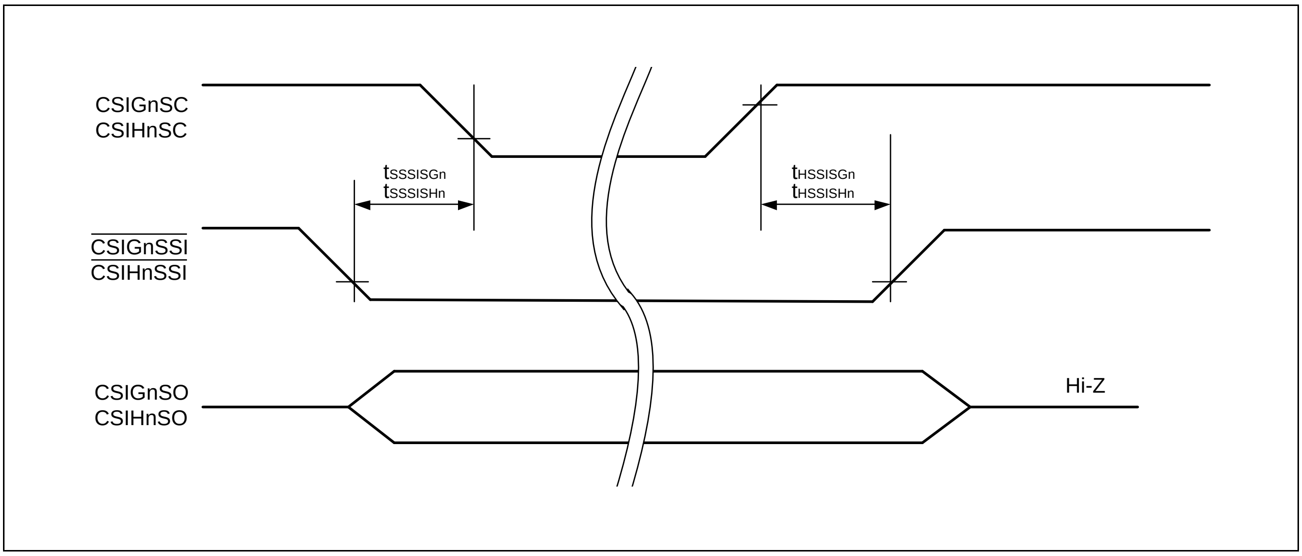
- CSIG（CSIGnCTL1：CSIGnCKR/CSIGnCFG0：CSIGnDAP0＝1/1）
- CSIH（CSIHnCFGx：CSIHnCKPx/CSIHnCFGx：CSIHnDAPx＝1/1）



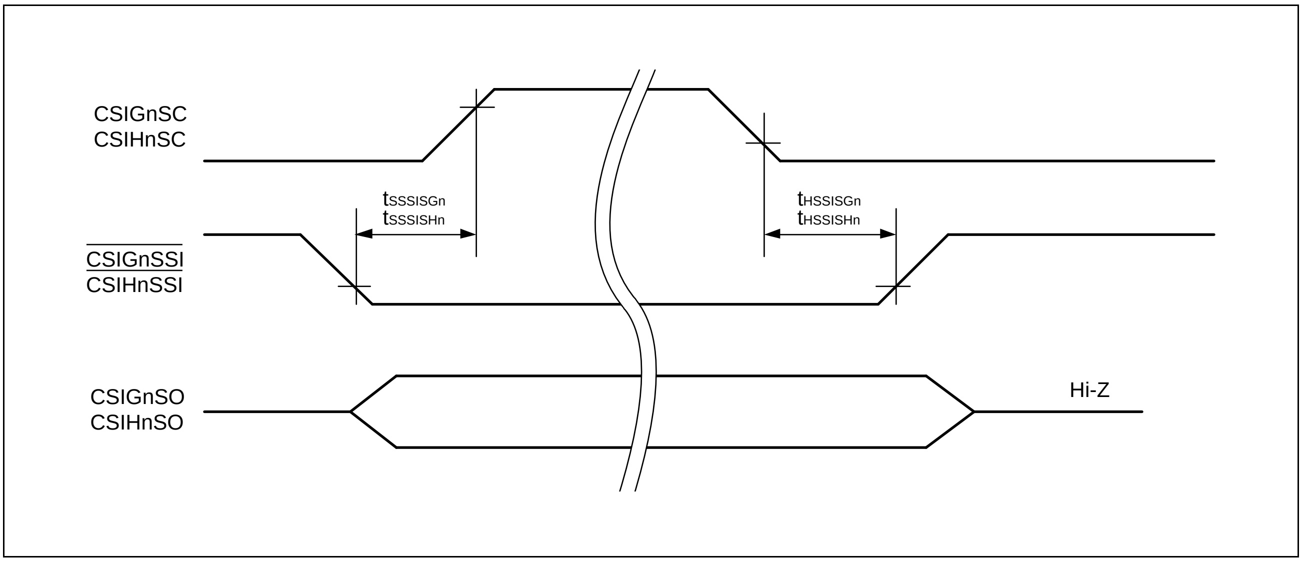
(6) SSI

スレーブモード

- CSIG（CSIGnCTL1：CSIGnSSE＝1, CSIGnCTL1：CSIGnCKR/CSIGnCFG0：CSIGnDAP0＝0/0 または 1/1）
- CSIH（CSIHnCTL1：CSIHnSSE＝1, CSIHnCFGx：CSIHnCKPx/CSIHnCFGx：CSIHnDAPx＝0/0 または 1/1）



- CSIG（CSIGnCTL1：CSIGnSSE＝1, CSIGnCTL1：CSIGnCKR/CSIGnCFG0：CSIGnDAP0＝1/0 または 0/1）
- CSIH（CSIHnCTL1：CSIHnSSE＝1, CSIHnCFGx：CSIHnCKPx/CSIHnCFGx：CSIHnDAPx＝1/0 または 0/1）



47A.5.11　RLIN2/RLIN3 タイミング

条件　: REGOVCC＝EVCC＝3.0V～5.5V, REG1VCC＝3.0V～3.6V, REG1VCC≦REG0VCC, BVCC＝3.0V～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
RLIN3 転送速度		LIN 仕様	1		20	kbps
		LIN 拡張ボーレート	1		115.2 注1	kbps
		UART 機能			1.5	Mbps
RLIN2 転送速度		LIN 仕様	1		20	kbps

注1.　LIN 拡張ボーレートは、LIN 標準仕様の一部ではありません。

47A.5.12　RIIC タイミング

条件　: REGOVCC＝EVCC＝3.0V～5.5V, REG1VCC＝3.0V～3.6V, REG1VCC≦REG0VCC, BVCC＝3.0V～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C

表 47A.17　RIIC タイミング（ノーマルモード）

項目	略号	条件	MIN.	TYP.	MAX.	単位
RIICnSCL クロック期間	f_{CLK}				100	kHz
バスフリー時間（ストップ／スタート条件間）	t_{BUF}		4.7			μs
ホールド時間注1	t_{HD}：STA		4.0			μs
RIICnSCL クロックロウレベル幅	t_{LOW}		4.7			μs
RIICnSCL クロックハイレベル幅	t_{HIGH}		4.0			μs
スタート／再スタート条件のためのセットアップ時間	t_{SU}：STA		4.7			μs
データホールド時間	t_{HD}：DAT	CBUS 互換マスタ	5.0			μs
		I^2C モード	0 注2			μs
データセットアップ時間	t_{SU}：DAT		250			ns
ストップ条件セットアップ時間	t_{SU}：STO		4.0			μs
各バスラインのキャパシタンス負荷	Cb				400	pF

備考
- n＝0, 1
- 本システムが、RIICnSCL のロウ幅時間（t_{Low}）を満たせない場合でも、データホールド時間（$t_{HD:DAT}$）のスペックを満たす必要があります。

注1.　スタート条件では、最初のクロックパルスはホールド時間の後に生成されます。

注2.　RIICnSDA 信号用に（RIICnSCL 信号の最小 VIH の場合）、システム内部で、最小 300ns ホールド時間が必要となります。RIICnSCL の立ち下がりエッジ時に、不確定な状態を回避するためです。

表 47A.18　RIIC タイミング（高速モード）

項目	略号	条件	MIN.	TYP.	MAX.	単位
RIICnSCL クロック期間	f_{CLK}				400	kHz
バスフリー時間（ストップ／スタート条件間）	t_{BUF}		1.3			μs
ホールド時間注1	t_{HD}：STA		0.6			μs
RIICnSCL クロックロウレベル幅	t_{LOW}		1.3			μs
RIICnSCL クロックハイレベル幅	t_{HIGH}		0.6			μs
スタート／再スタート条件のためのセットアップ時間	t_{SU}：STA		0.6			μs
データホールド時間	t_{HD}：DAT	I^2C モード	0 注2			μs
データセットアップ時間	t_{SU}：DAT		100 注3			ns
ストップ条件セットアップ時間	t_{SU}：STO		0.6			μs
入力フィルタによって抑えられたスパイク付きパルス幅	t_{SP}		0		50	ns
各バスラインのキャパシタンス負荷	Cb				400	pF

備考　● n＝0, 1

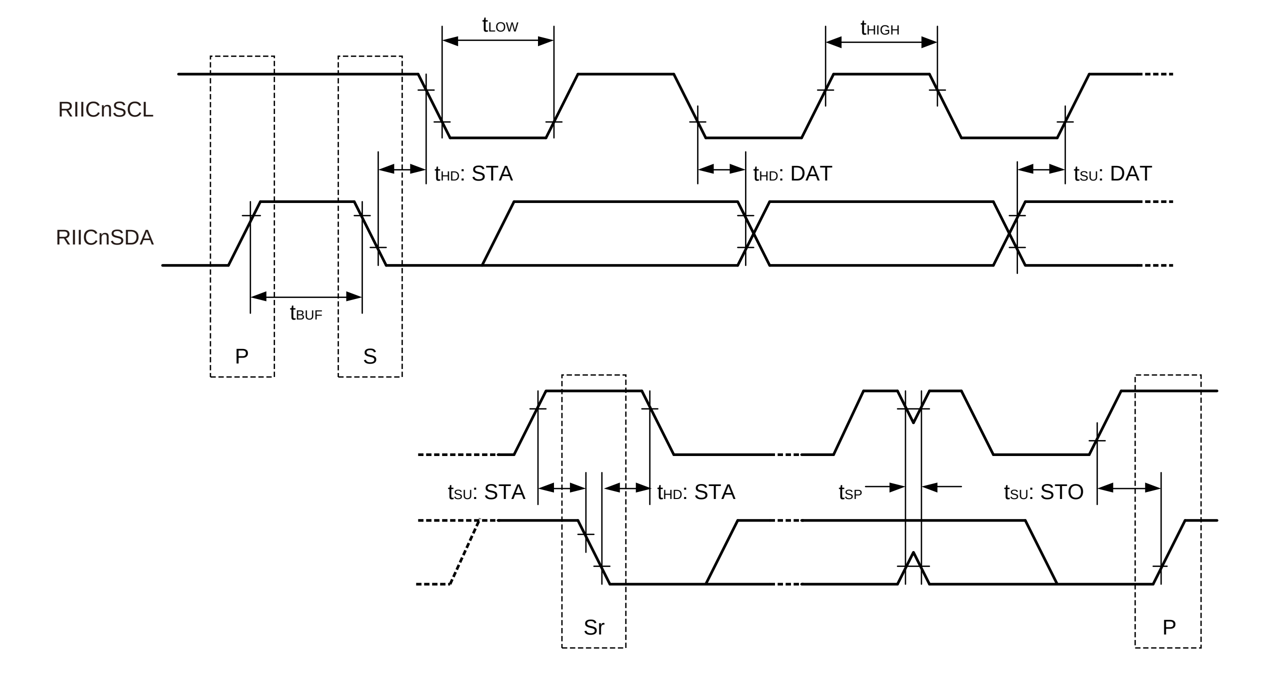
● 本システムが、RIICnSCL のロウ幅時間（t_{Low}）を満たせない場合でも、データホールド時間（$t_{HD : DAT}$）のスペックを満たす必要があります。

注1.　スタート条件では、最初のクロックパルスはホールド時間の後に生成されます。

注2.　RIICnSDA 信号用に（RIICnSCL 信号の最小 VIH の場合）、システム内部で、最小 300ns ホールド時間が必要となります。RIICnSCL の立ち下がりエッジ時に、不確定な状態を回避するためです。

注3.　高速モード I^2C バスは、通常モード I^2C バスシステムで使用することができます。この場合、高速モード I^2C バスを、以下の条件を満たすように設定してください。

- システムが、RIICnSCL 信号のロウホールド時間を拡張しない場合：t_{SU}：DAT≧250ns
- システムが、RIICnSCL 信号のロウホールド時間を拡張する場合：
  RIIC0SCL ラインを解除する前に、RIICnSDA ラインに以下のデータビットを送信してください（1250ns：通常モード I^2C バス仕様）。



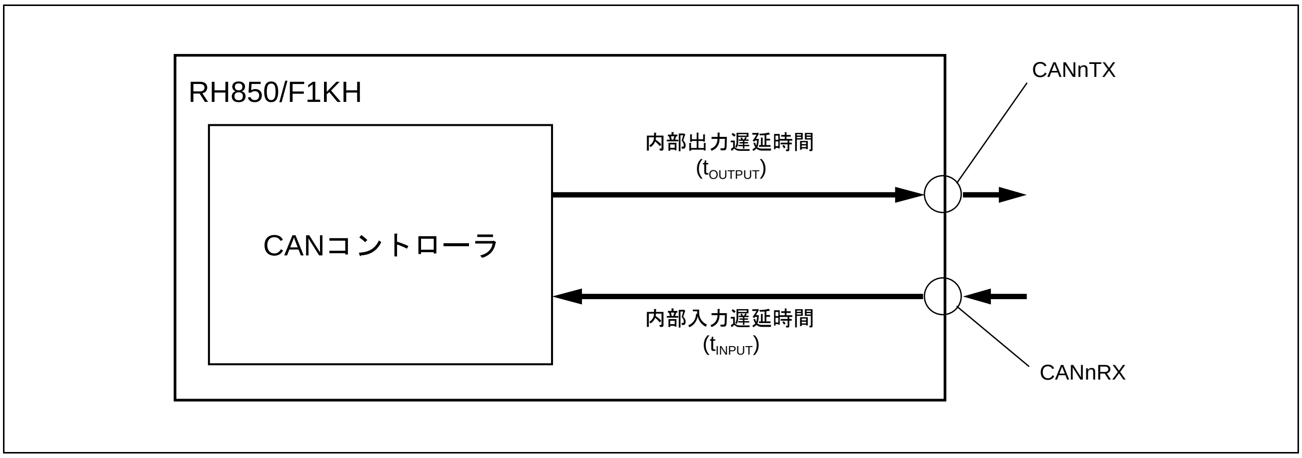
備考　P：ストップ条件／S：スタート条件／Sr：再スタート条件

47A.5.13 RS-CANFD タイミング

条件　：REG0VCC＝EVCC＝3.0V～5.5V, REG1VCC＝3.0V～3.6V, REG1VCC≦REG0VCC, BVCC＝3.0V～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送速度		クラシカル CAN モード			1	Mbps
データビットレート（CAN FD モード）		通常ビットレート≦500kbps			5	Mbps
		通常ビットレート＞500kbps			2	Mbps
内部遅延時間[注1]	t_{NODE}				50	ns

注1.　t_{NODE}＝内部入力遅延時間（t_{INPUT}）＋内部出力遅延時間（t_{OUTPUT}）



47A.5.14 FlexRay タイミング

条件　：REG0VCC＝EVCC＝3.0V～5.5V, REG1VCC＝3.0V～3.6V, REG1VCC≦REG0VCC, BVCC＝3.0V～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

CPU の最大周波数が 240MHz の製品

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送速度					10	Mbps

CPU の最大周波数が 160MHz の製品

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送速度					5	Mbps

47A.5.15　イーサネットタイミング

47A.5.15.1　MII インタフェース

条件　:　REG0VCC＝EVCC＝3.0V～5.5V, REG1VCC＝3.0V～3.6V, REG1VCC≦REG0VCC, BVCC＝3.0V～3.6V, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝15pF

＜出力ドライバ強度＞

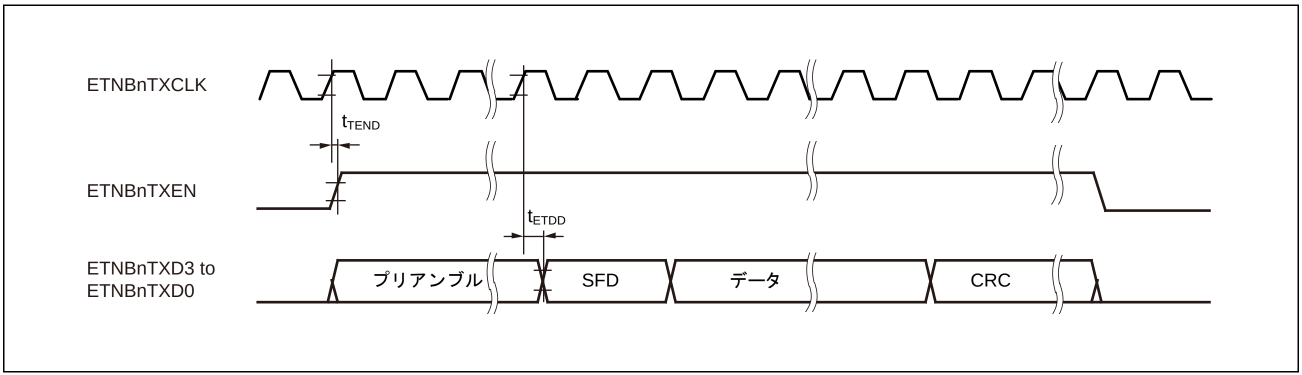
ETNBnTXD3-0 および ETNBnTXEN 端子：高速モード

ETNBnTXCLK 端子：TTL タイプ

表 47A.19　MII インタフェース（送信インタフェース）

項目	略号	条件	MIN.	TYP.	MAX.	単位
ETNBnTXCLK クロック周期	t_{Tcyc}	100Mbps	40 – 100ppm	40	40 + 100ppm	ns
		10Mbps	400 – 100ppm	400	400 + 100ppm	ns
ETNBnTXEN 遅延、対 ETNB0TXCLK↑	t_{TEND}	CL＝15pF			18	ns
ETNBnTXD[3:0]遅延、対 ETNB0TXCLK↑	t_{ETDD}	CL＝15pF			18	ns

備考　n＝0, 1

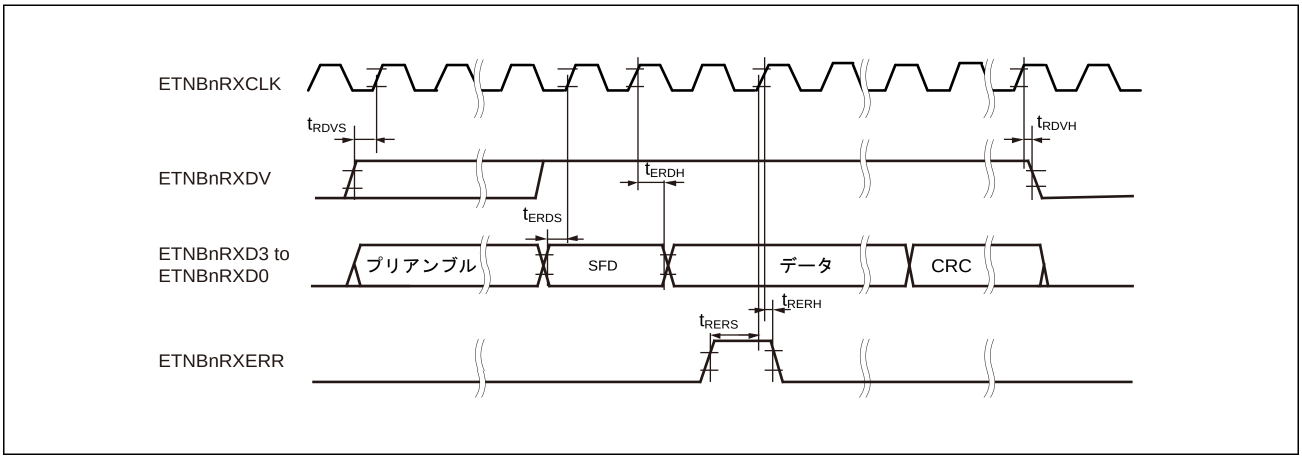


＜入力バッファ＞
　ETNBnRXCLK, ETNBnRXDV, ETNBnRXD[3:0], ETNBnRXER 端子：TTL タイプ

表 47A.20　MII インタフェース（受信インタフェース）

項目	略号	条件	MIN.	TYP.	MAX.	単位
ETNBnRXCLK クロック周期	t_{Rcyc}	100Mbps	40 – 100ppm	40	40 + 100ppm	ns
		10Mbps	400 – 100ppm	400	400 + 100ppm	ns
ETNBnRXDV ホールド時間、対 ETNBnRXCLK↑	t_{RDVH}		10			ns
ETNBnRXDV セットアップ時間、対 ETNBnRXCLK↑	t_{RDVS}		10			ns
ETNBnRXD[3:0]ホールド時間、対 ETNBnRXCLK↑	t_{ERDH}		10			ns
ETNBnRXD[3:0]セットアップ時間、対 ETNBnRXCLK↑	t_{ERDS}		10			ns
ETNBnRXERR ホールド時間、対 ETNBnRXCLK↑	t_{RERH}		10			ns
ETNBnRXERR セットアップ時間、対 ETNBnRXCLK↑	t_{RERS}		10			ns

備考　n＝0, 1



47A.5.15.2　管理インタフェース

管理インタフェース（ETNBnMDC および ETNBnMDIO）のタイミングは、ソフトウェアによって異なります。PHY の AC 仕様に従って、待ち時間を調整する必要があります。

47A.5.16　RSENT タイミング

条件　：REG0VCC＝EVCC＝3.0V～5.5V, REG1VCC＝3.0V～3.6V, REG1VCC≦REG0VCC, BVCC＝3.0V～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

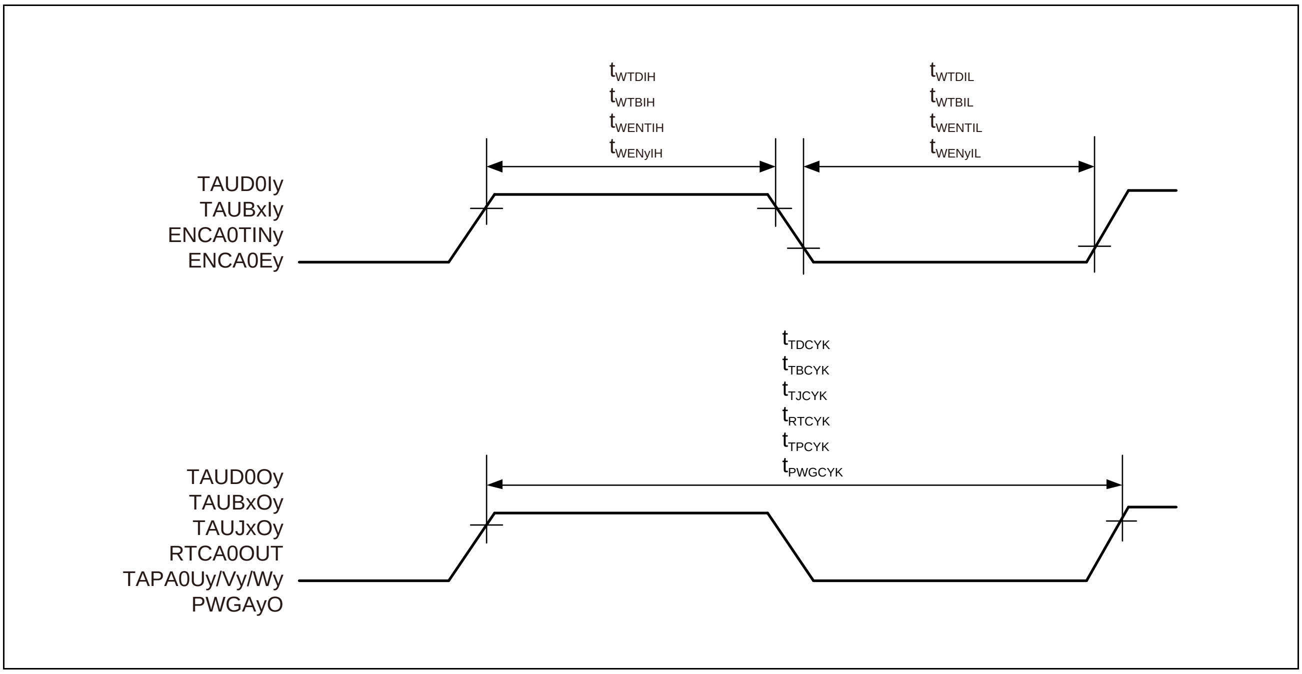
項目	略号	条件	MIN.	TYP.	MAX.	単位
チックタイム			1		90	μs

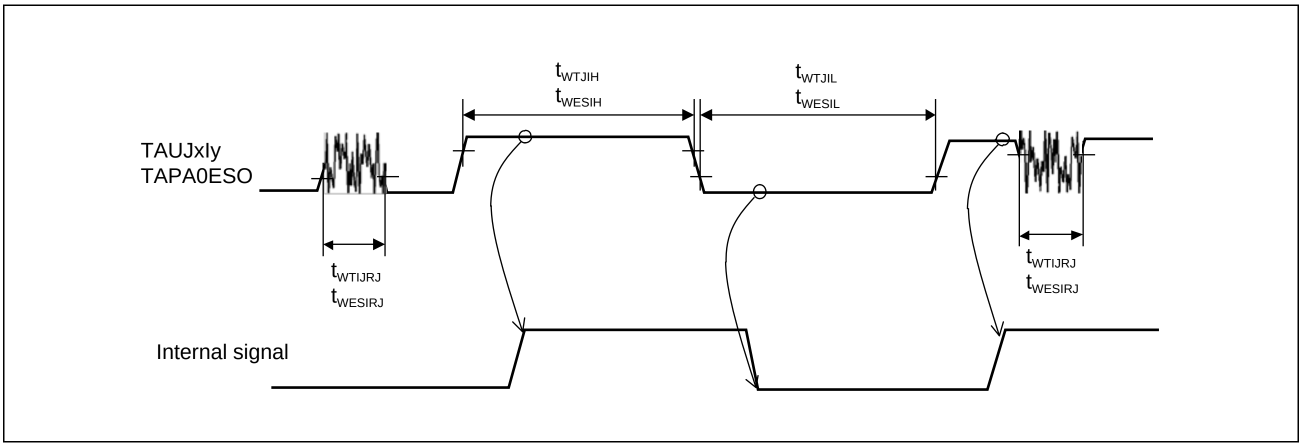
47A.5.17　タイマタイミング

条件　：REG0VCC＝EVCC＝3.0V～5.5V, REG1VCC＝3.0V～3.6V, REG1VCC≦REG0VCC, BVCC＝3.0V～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
TAUD0Iy 入力ハイ／ロウレベル幅（y＝0～15）	t_{WTDIH}/ t_{WTDIL}		n × Tsamp + 20 注1、注2			ns
TAUD0Oy 出力サイクル（y＝0～15）	t_{TDCYK}	低速モード			10	MHz
TAUBxIy 入力ハイ／ロウレベル幅（x＝0, 1, y＝0～15）	t_{WTBIH}/ t_{WTBIL}		n × Tsamp + 20 注1、注2			ns
TAUBxOy 出力サイクル（x＝0, 1, y＝0～15）	t_{TBCYK}	低速モード			10	MHz
TAUJxIy 入力ハイ／ロウレベル幅注3（x＝0～3, y＝0～3）	t_{WTJIH}/ t_{WTJIL}		600			ns
TAUJxIy パルス除去注4	t_{WTIJRJ}		100			ns
TAUJxOy 出力サイクル（x＝0～3, y＝0～3）	t_{TJCYK}	低速モード			10	MHz
RTCA0OUT 出力サイクル	t_{RTCYK}			1		Hz
TAPA0ESO 入力ハイ／ロウレベル幅注3	t_{WESIH}/ t_{WESIL}		600			ns
TAPA0ESO パルス除去注4	t_{WESIRJ}		100			ns
TAPA0Uy/Vy/Wy 出力サイクル（y＝P, N）	t_{TPCYK}	低速モード			10	MHz
ENCA0TINy 入力ハイ／ロウレベル幅（y＝0, 1）	t_{WENTIH}/ t_{WENTIL}		n × Tsamp + 20 注1			ns
ENCA0Ey 入力ハイ／ロウレベル幅（y＝0, 1, C）	t_{WENyIH}/ t_{WENyIL}		n × Tsamp + 20 注1			ns
PWGAyO 出力サイクル（y＝0～95）	t_{PWGCYK}	低速モード			10	MHz

注1.　n：各入力用のデジタルノイズフィルタのサンプリング数
　　　Tsamp：各入力用のデジタルノイズフィルタのサンプリング時間
注2.　各タイマカウンタチャネルの 1 カウントクロック幅より長い時間を入力してください。
注3.　TAUJxIy と TAPA0ESO の入力幅は、内部タイマ入力信号がアクティブであることを保証するために必要です。
注4.　最小値より短いパルスは無視されます。これは参考値です。ノイズは下記図のようにフィルターされます。


tWTDIH
tWTBIH
tWENTIH
tWENyIH
tWTDIL
tWTBIL
tWENTIL
tWENyIL
TAUD0Iy
TAUBxIy
ENCA0TINy
ENCA0Ey
tTDCYK
tTBCYK
tTJCYK
tRTCYK
tTPCYK
tPWGCYK
TAUD0Oy
TAUBxOy
TAUJxOy
RTCA0OUT
TAPA0Uy/Vy/Wy
PWGAyO

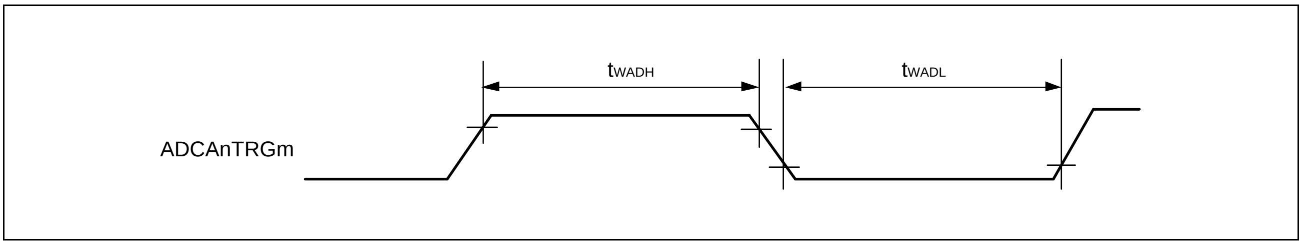

tWTJIH
tWESIH
tWTJIL
tWESIL
TAUJxIy
TAPA0ESO
tWTIJRJ
tWESIRJ
tWTIJRJ
tWESIRJ
Internal signal

47A.5.18　ADTRG タイミング

条件： REG0VCC＝EVCC＝3.0V～5.5V, REG1VCC＝3.0V～3.6V, REG1VCC≦REG0VCC, BVCC＝3.0V～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1µF±30%, CISOVCL：0.1µF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
ADCAnTRGm 入力ハイ／ロウレベル幅	t_{WADH}/t_{WADL}		k × Tsamp + 20 注1			ns

注1.　k：各入力用のデジタルノイズフィルタのサンプリング数
　　　Tsamp：各入力用のデジタルノイズフィルタのサンプリング時間



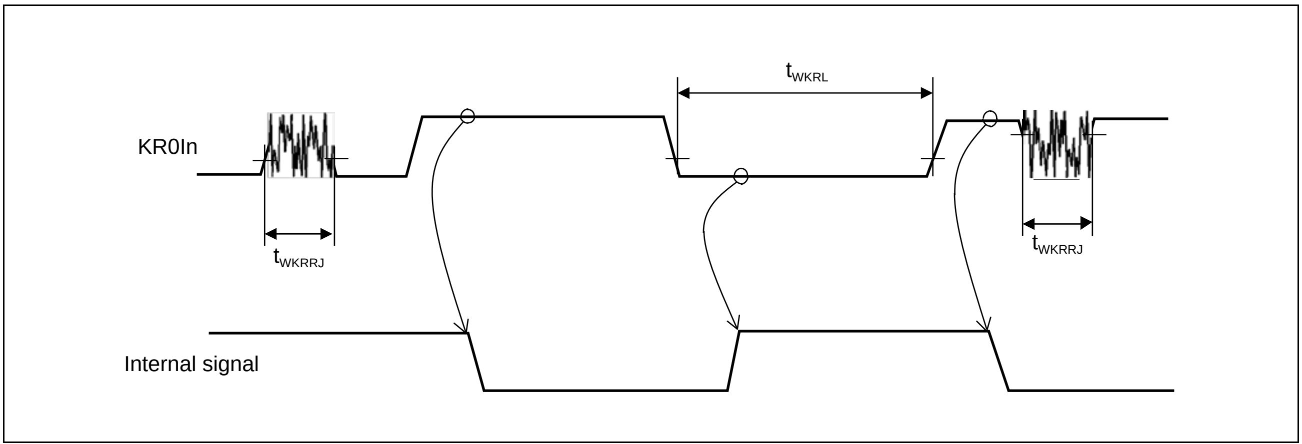
47A.5.19　キーリターンタイミング

条件　: REG0VCC＝EVCC＝3.0V～5.5V, REG1VCC＝3.0V～3.6V, REG1VCC≦REG0VCC, BVCC＝3.0V～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1µF±30%, CISOVCL：0.1µF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
KR0In 入力ロウレベル幅注1	t_{WKRL}		600			ns
KR0In パルス除去注2	t_{WKRRJ}		100			ns

注1.　KR0In 入力幅は、内部キー入力信号がアクティブであることを保証するために必要です。

注2.　最小値より短いパルスは無視されます。これは参考値です。ノイズは下記図のようにフィルターされます。



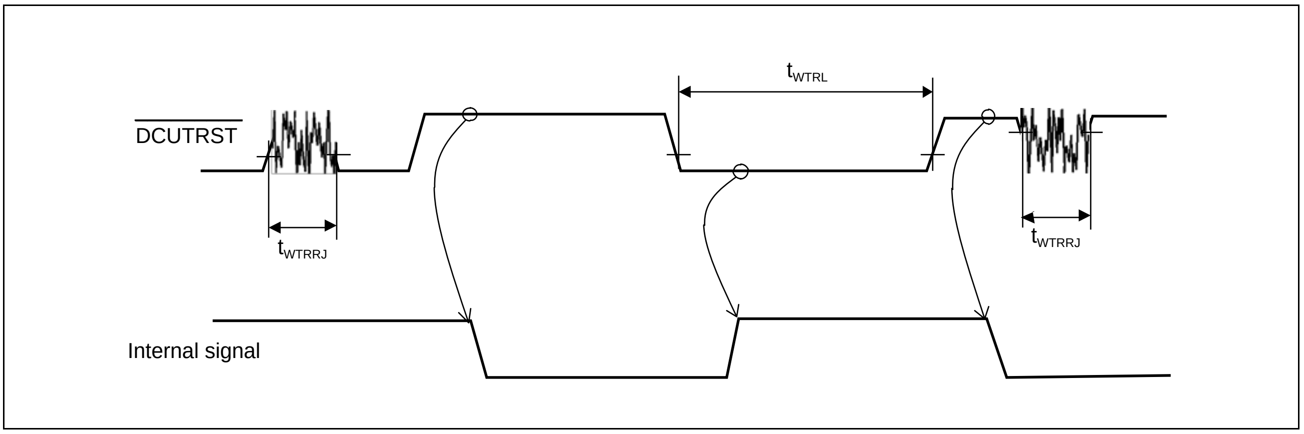
47A.5.20 DCUTRST タイミング

条件　: REG0VCC＝EVCC＝3.0V～5.5V, REG1VCC＝3.0V～3.6V, REG1VCC≦REG0VCC, BVCC＝3.0V～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
DCUTRST 入力ロウレベル幅注1	t_{WTRL}		600			ns
DCUTRST パルス除去注2	t_{WTRRJ}		100			ns

注1.　DCUTRST 入力幅は、内部 DCU リセット入力信号がアクティブであることを保証するために必要です。

注2.　最小値より短いパルスは無視されます。これは参考値です。ノイズは下記図のようにフィルターされます。



47A.5.21　デバッグインタフェース特性

47A.5.21.1　Nexus インタフェースタイミング

条件　: REG0VCC＝EVCC＝3.0V～5.5V, REG1VCC＝3.0V～3.6V, REG1VCC≦REG0VCC, BVCC＝3.0V～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1µF±30%, CISOVCL：0.1µF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

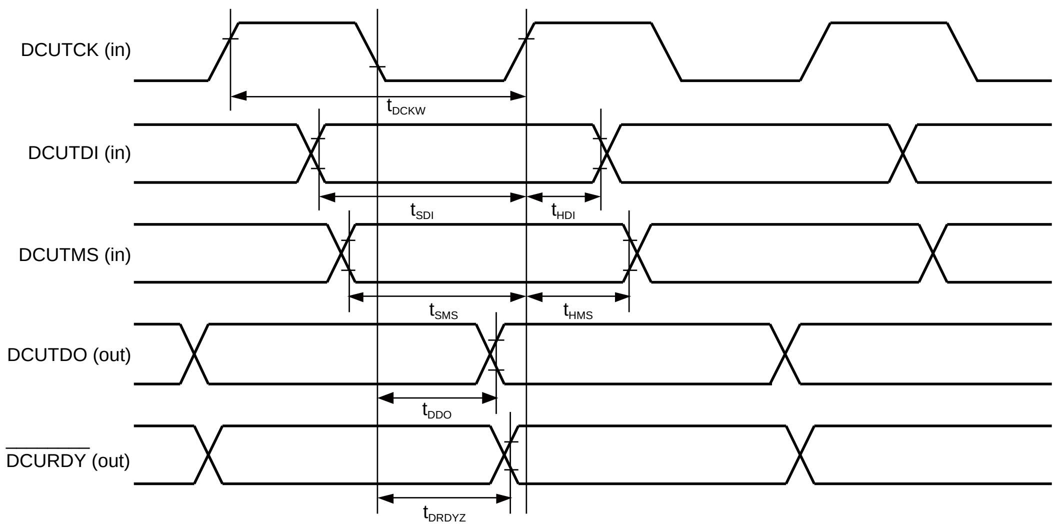
＜入力バッファ＞

DCUTDI, DCUTCK, DCUTMS, $\overline{\text{DCUTRST}}$ ：TTL

＜出力ドライバ強度＞

DCUTDO, $\overline{\text{DCURDY}}$ ：高速モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
DCUTCK サイクル幅	t_{DCKW}		50			ns
DCUTDI セットアップ時間（対 DCUTCK↑）	t_{SDI}		12			ns
DCUTDI ホールド時間（対 DCUTCK↑）	t_{HDI}		3			ns
DCUTMS セットアップ時間（対 DCUTCK↑）	t_{SMS}		12			ns
DCUTMS ホールド時間（対 DCUTCK↑）	t_{HMS}		3			ns
DCUTDO 遅延時間（↓DCUTCK）	t_{DDO}		0		20	ns
$\overline{\text{DCURDY}}$ 遅延時間（↓DCUTCK）	t_{RDYZ}		0		20	ns



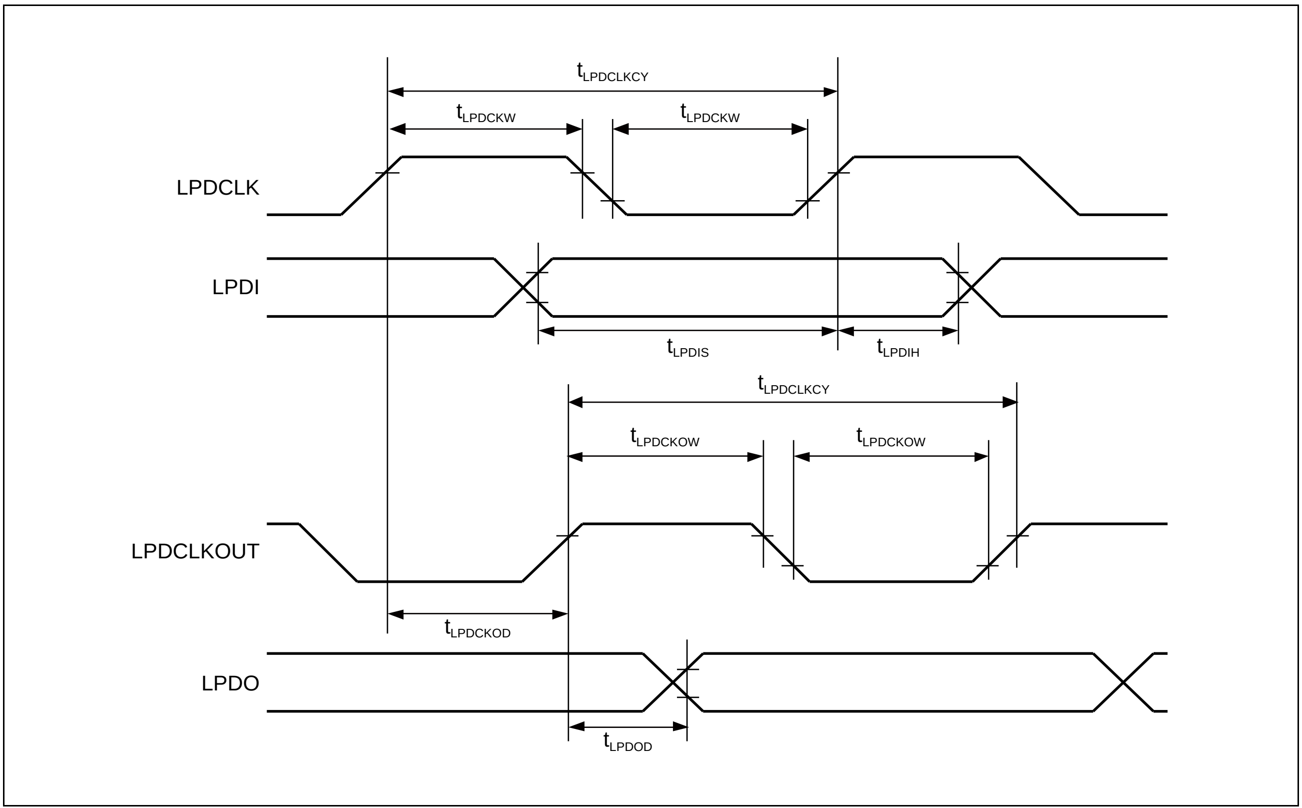
47A.5.21.2　LPD（4 Pin）インタフェースタイミング

条件　:　REG0VCC＝EVCC＝3.0V～5.5V, REG1VCC＝3.0V～3.6V, REG1VCC≦REG0VCC, BVCC＝3.0V～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝100pF

＜入力バッファ＞
LPDCLK, LPDI：TTL

＜出力ドライバ強度＞
LPDCLKOUT, LPDO：高速モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
LPDCLK サイクル時間／LPDCLKOUT サイクル時間	$t_{LPDCLKCY}$		83.3 (max.12MHz)			ns
LPDCLK ハイレベル幅／LPDCLK ロウレベル幅	t_{LPDCKW}		$0.5 \times t_{LPDCLKCY} – 10$			ns
LPDCLKOUT ハイレベル幅／LPDCLKOUT ロウレベル幅	$t_{LPDCKOW}$		$t_{LPDCKW} – 10$			ns
LPDI セットアップ時間（LPDCLK↑）	t_{LPDIS}		41			ns
LPDI ホールド時間（LPDCLK↑）	t_{LPDIH}		3			ns
LPDCLK～LPDCLKOUT 遅延時間	$t_{LPDCKOD}$				44	ns
LPDO 遅延時間（LPDCLKOUT↑）	t_{LPDOD}		0		15	ns



47A.5.21.3　LPD（1 Pin）インタフェースタイミング

条件　：REG0VCC＝EVCC＝3.0V～5.5V, REG1VCC＝3.0V～3.6V, REG1VCC≦REG0VCC, BVCC＝3.0V～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1µF±30%, CISOVCL：0.1µF±30%, Tj＝–40～（製品依存）°C, CL＝50pF

＜入力バッファ＞
LPDIO：TTL

＜出力ドライバ強度＞
LPDIO：高速モード

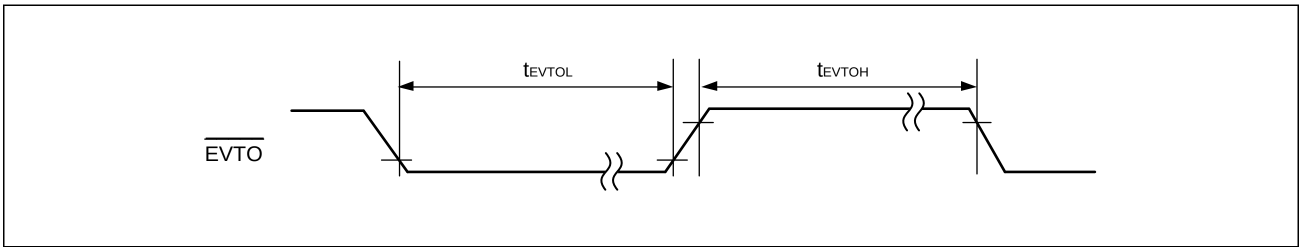
＜外部プルアップ抵抗＞
LPDIO：1kΩ～10kΩ

項目	略号	条件	MIN.	TYP.	MAX.	単位
LPD（1 Pin）ボーレート					2.0	Mbps

47A.5.21.4　デバッグイベントのインタフェースタイミング

条件　：REG0VCC＝EVCC＝3.0V～5.5V, REG1VCC＝3.0V～3.6V, REG1VCC≦REG0VCC, BVCC＝3.0V～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1µF±30%, CISOVCL：0.1µF±30%, Tj＝–40～（製品依存）°C, CL＝50pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{EVTO}}$ ハイ／ロウレベル幅	t_{EVTOH}/t_{EVTOL}		50			ns



47A.6　A/D 変換特性

条件　：REG0VCC＝EVCC＝3.0V～5.5V, REG1VCC＝3.0V～3.6V, REG1VCC≦REG0VCC, BVCC＝3.0V～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

(1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
変換クロック	ADCLKn		8 [注3]		40	MHz
分解能	RESn	12 ビットモード	12	12	12	bit
		10 ビットモード	10	10	10	bit
変換時間	t_{CONn}	ADCAnSMPCR.SMPT[7:0]＝12 H（40 cycle）（8MHz [注3]≦ADCLKn≦32MHz），外部 MPX は使用しません。	1.25		5	μs
		ADCAnSMPCR.SMPT[7:0]＝18 H（46 cycle）（8MHz [注3]≦ADCLKn≦40MHz），外部 MPX は使用しません。	1.15		5.75	μs
		ADCAnSMPCR.SMPT[7:0]＝12 H（80 cycle）（8MHz [注3]≦ADCLKn≦32MHz），外部 MPX を使用します。	2.5 [注4]		10	μs
		ADCAnSMPCR.SMPT[7:0]＝18 H（92 cycle）（8MHz [注3]≦ADCLKn≦40MHz），外部 MPX を使用します。	2.3 [注4]		11.5	μs
サンプリング時間	t_{SMP}	ADCAnSMPCR.SMPT[7:0]＝12 H（18 cycle）（8MHz [注3]≦ADCLKn≦32MHz）	0.56		2.25	μs
		ADCAnSMPCR.SMPT[7:0]＝18 H（24 cycle）（8MHz [注3]≦ADCLKn≦40MHz）	0.6		3	μs
総合誤差 [注1]	TOEn	12 ビットモード　AnVREF＝4.5V～5.5V　ADCAnIm（T&H 未使用）			±4.0	LSB
		12 ビットモード　AnVREF＝4.5V～5.5V　ADCA0I0-5（T&H 使用）			±6.0	LSB
		12 ビットモード　AnVREF＝3.0V～4.5V　ADCAnIm（T&H 未使用）			±6.0	LSB
		12 ビットモード　AnVREF＝3.0V～4.5V　ADCA0I0-5（T&H 使用）			±8.0	LSB
		10 ビットモード　AnVREF＝4.5V～5.5V　ADCAnIm			±1.0	LSB
		10 ビットモード　AnVREF＝4.5V～5.5V　ADCAnImS			±2.0	LSB
		10 ビットモード　AnVREF＝3.0V～4.5V　ADCAnIm			±1.5	LSB
		10 ビットモード　AnVREF＝3.0V～4.5V　ADCAnImS			±2.5	LSB
アナログ入力電圧	VAIN0SN	ADCAnIm　T&H 未使用時	AnVSS		AnVREF	V
		ADCA0I0-5　T&H 使用時	0.2		A0VREF – 0.2	V
		ADCA0ImS　A0VREF≧EVCC	A0VSS		EVCC	V
		ADCA0ImS　A0VREF＜EVCC	A0VSS		A0VREF	V
		ADCA1ImS　A1VREF≧BVCC	A1VSS		BVCC	V
		ADCA1ImS　A1VREF＜BVCC	A1VSS		A1VREF	V
動作電流	IA0VREF IA1VREF	T&H 未使用時		1.1	3.0	mA
		T&H 使用時（最大 6 pin）			[注2]	mA
STOP, DeepSTOP, Cyclic STOP 電流（@LPS では停止）	IA0VREFS IA1VREFS			1	10	μA
T&H 電流	ITH			0.5	1.3	mA/ch
チャネル T&H サンプリング時間	t_{THSMP}		450			ns
T&H ホールド時間	t_{THHOLD}				10	μs
自己診断電圧回路のセットアップ時間	t_{BOOT}		500			ns
自己診断電圧レベルのセットアップ時間	t_{OUT}		500			ns
オープン端子の診断用プルダウン抵抗		ADCnIm 端子　VI＝AnVREF	350	500	650	kΩ
		ADCnImS 端子　A0VREF≧EVCC：VI＝EVCC　A0VREF＜EVCC：VI＝A0VREF　A1VREF≧BVCC：VI＝BVCC　A1VREF＜BVCC：VI＝A1VREF	100	215	800	kΩ

(2/2)

項目	略号	条件			MIN.	TYP.	MAX.	単位
自己診断機能の精度（オープン端子の診断を除く）	TESH0SN	12 ビットモード	自己診断電圧レベル＝AnVREF		4015-|TOEn|		4095	—
			自己診断電圧レベル＝2/3AnVREF		2651-|TOEn|	2731	2811+|TOEn|	—
			自己診断電圧レベル＝1/2AnVREF		1968-|TOEn|	2048	2128+|TOEn|	—
			自己診断電圧レベル＝1/3AnVREF		1285-|TOEn|	1365	1445+|TOEn|	—
			自己診断電圧レベル＝AnVSS		0		80+|TOEn|	—
		10 ビットモード	自己診断電圧レベル＝AnVREF		1003-|TOEn|		1023	—
			自己診断電圧レベル＝2/3AnVREF		663-|TOEn|	683	703+|TOEn|	—
			自己診断電圧レベル＝1/2AnVREF		492-|TOEn|	512	532+|TOEn|	—
			自己診断電圧レベル＝1/3AnVREF		321-|TOEn|	341	361+|TOEn|	—
			自己診断電圧レベル＝AnVSS		0		20+|TOEn|	—
積分非直線性誤差[注1]	ILEn	12 ビットモード	AnVREF＝4.5V～5.5V	ADCAnIm（T&H 未使用）			±2.0	LSB
				ADCA0I0-5（T&H 使用）			±3.0	LSB
			AnVREF＝3.0V～4.5V	ADCAnIm（T&H 未使用）			±3.0	LSB
				ADCA0I0-5（T&H 使用）			±4.0	LSB
		10 ビットモード	AnVREF＝4.5V～5.5V	ADCAnIm			±1.0	LSB
				ADCAnImS			±2.0	LSB
			AnVREF＝3.0V～4.5V	ADCAnIm			±1.5	LSB
				ADCAnImS			±2.5	LSB
微分非直線性誤差[注1]	DLEn	12 ビットモード	AnVREF＝4.5V～5.5V	ADCAnIm（T&H 未使用）			±1.0	LSB
				ADCA0I0-5（T&H 使用）			±2.0	LSB
			AnVREF＝3.0V～4.5V	ADCAnIm（T&H 未使用）			±3.0	LSB
				ADCA0I0-5（T&H 使用）			±4.0	LSB
		10 ビットモード	AnVREF＝4.5V～5.5V	ADCAnIm			±1.0	LSB
				ADCAnImS			±1.5	LSB
			AnVREF＝3.0V～4.5V	ADCAnIm			±1.0	LSB
				ADCAnImS			±2.0	LSB
ゼロスケール誤差（オフセット誤差）[注1]	ZSEn	12 ビットモード	AnVREF＝4.5V～5.5V	ADCAnIm（T&H 未使用）			±3.5	LSB
				ADCA0I0-5（T&H 使用）			±5.5	LSB
			AnVREF＝3.0V～4.5V	ADCAnIm（T&H 未使用）			±5.5	LSB
				ADCA0I0-5（T&H 使用）			±7.5	LSB
		10 ビットモード	AnVREF＝4.5V～5.5V	ADCAnIm			±0.5	LSB
				ADCAnImS			±1.5	LSB
			AnVREF＝3.0V～4.5V	ADCAnIm			±1.0	LSB
				ADCAnImS			±2.0	LSB
フルスケール誤差[注1]	FSEn	12 ビットモード	AnVREF＝4.5V～5.5V	ADCAnIm（T&H 未使用）			±3.5	LSB
				ADCA0I0-5（T&H 使用）			±5.5	LSB
			AnVREF＝3.0V～4.5V	ADCAnIm（T&H 未使用）			±5.5	LSB
				ADCA0I0-5（T&H 使用）			±7.5	LSB
		10 ビットモード	AnVREF＝4.5V～5.5V	ADCAnIm			±0.5	LSB
				ADCAnImS			±1.5	LSB
			AnVREF＝3.0V～4.5V	ADCAnIm			±1.0	LSB
				ADCAnImS			±2.0	LSB

備考　ADCA0ImS 端子を 12 ビットモード変換するときの変換精度：下位 2 ビットを変換結果から無視することにより、変換精度を確保できます。

注1.　量子化誤差は含みません。

注2.　3.0＋1.3×（使用した T&H の数）

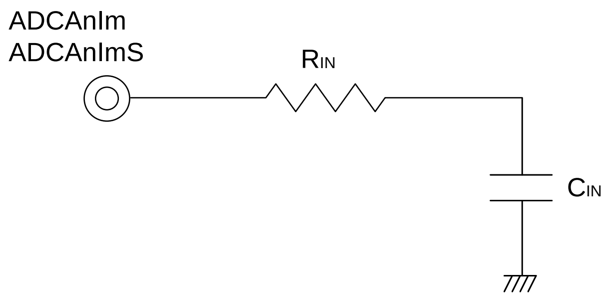
注3.　HS IntOSC の発振精度を含みます。

注4.　外部マルチプレクサを使用する場合、A/D 変換の詳細時間は、MPX セットアップ時間、サンプリング時間、逐次比較時間になります。MPX セットアップ時間は、“サンプリング時間＋逐次比較時間”と同じになります。

注 意

A/D 変換中に AP0, AP1, P8, P9, P18, P19 にデジタルパルスを印加するとカップリングノイズによって A/D 変換値が期待通りに得られない場合があります。
デジタルバッファの出力端子としての動作も同様です。出力電圧の総和が増加すると精度劣化のポテンシャルが増加します。また、隣接端子の出力電流が変動した場合、アナログ入力端子の外部回路とのカップリングにより変換精度が劣化する場合があります。

47A.6.1 アナログ入力部の等価回路



端子	条件	RIN (kΩ)	CIN (pF)
ADCA0I0-5	T&H 使用時	14.1	2.1
	T&H 未使用時	3.9	2.1
ADCA0I6-15	—	3.9	2.1
ADCA0I0S-3S, 5S-11S, 14S-16S	—	5.7	9.2
ADCA0I4S, 17S-19S	—	10.3	9.2
ADCA1I0-15	—	4	2.1
ADCA1I0S-19S	—	5.5	7.9

注 意

本仕様は、出荷検査時にはテストされません。そのため、RIN と CIN は参考値であり、保証されていません。また、これらの値は最大値を示しています。

47A.7　フラッシュプログラミング特性

47A.7.1　コードフラッシュ

コードフラッシュメモリは消去状態で出荷されます。消去の後、何も書き込んでいない状態（書き込みなし状態）で、コードフラッシュメモリが読み出されると、ECC エラーが発生し、例外を引き起こします。

条件　: REG0VCC＝EVCC＝VPOC～5.5V, REG1VCC＝VPOC～3.6V, REG1VCC≦REG0VCC, BVCC＝VPOC～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

表 47A.21　基本特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	f_{PCLK} 注 3		5 注 4		30	MHz
書き換え回数注 1	CWRT	データ保持 20 年注 2	1000			times

注1.　書き換え回数は、各ブロックの消去回数になります。書き換え回数が“n”（n＝1000）の場合、デバイスは、各ブロックを“n”回、消去することができます。例えば、256 バイトの書き込みを異なるアドレスに対して 128 回行った後に、32K バイトのブロックが消去された場合、書き換え回数は“1”になります。しかし、同じアドレスに対して複数回の書き込みは、1 回の消去では対応出来ません（上書き禁止）。

注2.　平均 Ta＝85°C での保持期間。コードフラッシュメモリの消去が正常に完了した時点からの保持期間です。

注3.　f_{PCLK}＝1/8 f_{CPUCLK_H}：内蔵フラッシュのシステム動作周波数

注4.　書き込み／消去動作のみ

表 47A.22　プログラミング特性

項目	略号	条件	ブロックサイズ	MIN.	TYP.	MAX.	単位
書き込み時間		f_{PCLK}≧20MHz CWRT＜100 回	256B		0.4 注 1	6 注 1	ms
			8KB		20	90	ms
			32KB		80	360	ms
			256KB		0.6	2.7	s
			384KB		0.9	4.1	s
			512KB		1.2	5.4	s
			768KB		1.7	8.1	s
			1MB		2.3	10.8	s
			1.5MB		3.4	16.2	s
			2MB		4.5	21.5	s
			3MB		6.8	32.3	s
			4MB		9	43	s
			6MB		13.5	64.5	s
			8MB		18	85.9	s
		f_{PCLK}≧20MHz CWRT≧100 回	256B		0.5 注 1	7.2 注 1	ms
			8KB		24	108	ms
			32KB		96	432	ms
			256KB		0.7	3.3	s
			384KB		1.1	4.9	s
			512KB		1.4	6.5	s
			768KB		2.1	9.8	s
			1MB		2.7	13	s
			1.5MB		4.1	19.5	s
			2MB		5.4	26	s
			3MB		8.1	39	s
			4MB		10.8	52	s
			6MB		16.2	78	s
			8MB		21.6	104	s

表 47A.22　 プログラミング特性

項目	略号	条件	ブロック サイズ	MIN.	TYP.	MAX.	単位
消去時間		f_{PCLK}≧20MHz CWRT＜100 回	8KB		39	120	ms
			32KB		141	480	ms
			256KB		1.2	3.5	s
			384KB		1.7	5.3	s
			512KB		2.3	7	s
			768KB		3.4	10.5	s
			1MB		4.5	14	s
			1.5MB		6.8	21	s
			2MB		9	28	s
			3MB		13.5	42	s
			4MB		18	56	s
			6MB		27	84	s
			8MB		36	112	s
		f_{PCLK}≧20MHz CWRT≧100 回	8KB		47	144	ms
			32KB		169	576	ms
			256KB		1.4	4.2	s
			384KB		2.1	6.3	s
			512KB		2.7	8.4	s
			768KB		4.1	12.6	s
			1MB		5.4	16.8	s
			1.5MB		8.1	25.2	s
			2MB		10.8	33.6	s
			3MB		16.2	50.4	s
			4MB		21.6	67.2	s
			6MB		32.4	100.8	s
			8MB		43.2	134.4	s

注1.　ハードウェアの処理時間のみ。ソフトウェアのオーバヘッドは考慮されていません。

47A.7.2　データフラッシュ

データフラッシュメモリは消去状態で出荷されます。消去の後、何も書き込んでいない状態（書き込みなし状態）で、データフラッシュメモリが読み出されると、ECC エラーが発生し、例外を引き起こします。

条件　: REG0VCC＝EVCC＝VPOC～5.5V, REG1VCC＝VPOC～3.6V, REG1VCC≦REG0VCC, BVCC＝VPOC～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

表 47A.23　基本特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	f_{PCLK} 注 3		5 注 4		30	MHz
書き換え回数注 1	CWRT	データ保持 20 年注 2	125k			times
		データ保持 3 年注 2	250k			times

注1.　書き換え回数は、各ブロックの消去回数になります。書き換え回数が“n”（n＝125000）の場合、デバイスは、各ブロックを“n”回、消去することができます。例えば、4 バイトの書き込みを異なるアドレスに対して 16 回行った後に、64 バイトのブロックが消去された場合、書き換え回数は“1”になります。しかし、同じアドレスに対して複数回の書き込みは、1 回の消去では対応出来ません（上書き禁止）。

注2.　平均 Ta＝85°C での保持期間。データフラッシュメモリの消去が正常に完了した時点からの保持期間です。

注3.　f_{PCLK}＝1/8 f_{CPUCLK_H}：内蔵フラッシュのシステム動作周波数

注4.　書き込み／消去動作のみ

表 47A.24　プログラミング特性

項目	略号	条件	ブロックサイズ	MIN.	TYP.	MAX.	単位
書き込み時間		f_{PCLK}≧20MHz	4B		0.16 注 1	1.7 注 1	ms
			32KB		1.4	6.8	s
			64KB		2.79	13.44	s
			128KB		5.58	26.88	s
			256KB		11.16	53.74	s
消去時間		f_{PCLK}≧20MHz	64B		1.7 注 1	10 注 1	ms
			32KB		0.9	5.2	s
			64KB		1.74	10.24	s
			128KB		3.48	20.48	s
			256KB		6.95	40.94	s
ブランクチェック時間		f_{PCLK}≧20MHz	4B			30 注 1	μs
			64B			100 注 1	μs
			32KB			35.2	ms
			64KB			70.4	ms
			128KB			140.8	ms
			256KB			281.6	ms

注1.　ハードウェアの処理時間のみ。ソフトウェアのオーバヘッドは考慮されていません。

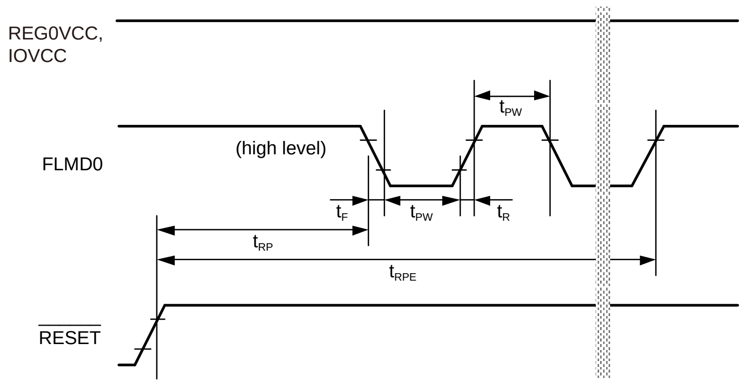
47A.7.3　シリアルプログラミングインタフェース

47A.7.3.1　シリアルプログラミングセットアップタイミング

条件　: REG0VCC＝EVCC＝3.0V～5.5V, REG1VCC＝3.0V～3.6V, REG1VCC≦REG0VCC, BVCC＝3.0V～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C,
CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
FLMD0 パルス入力開始時間	t_{RP}		1.5			ms
FLMD0 パルス入力終了時間	t_{RPE}				101.5	ms
FLMD0 ロウ／ハイレベル幅	t_{PW}		3.2			μs
FLMD0 立ち上がり時間	t_R				20	ns
FLMD0 立ち下がり時間	t_F				20	ns

備考　IOVCC：EVCC＝BVCC＝A0VREF＝A1VREF



47A.7.3.2　フラッシュプログラミングインタフェース

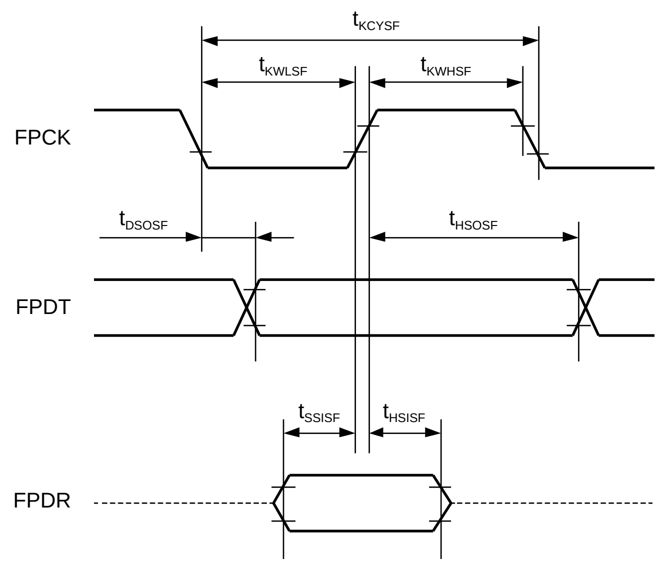
条件　:　REG0VCC＝EVCC＝3.0V～5.5V, REG1VCC＝3.0V～3.6V, REG1VCC≦REG0VCC, BVCC＝3.0V～REG0VCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
フラッシュプログラミング転送レート		1-wired UART モード			1	Mbps
		2-wired UART モード（CPU の最大周波数が 240MHz の製品）			1.5	Mbps
		2-wired UART モード（CPU の最大周波数が 160MHz の製品）			1	Mbps
FPCK サイクル時間	t_{KCYSF}	3-wired クロック同期モード	200 注1			ns
FPCK ハイレベル幅	t_{KWHSF}	3-wired クロック同期モード	t_{KCYSF} / 2 – 15			ns
FPCK ロウレベル幅	t_{KWLSF}	3-wired クロック同期モード	t_{KCYSF} / 2 – 15			ns
FPDR セットアップ時間（対 FPCK）	t_{SSISF}	3-wired クロック同期モード	t_{Pcyc} × 2			ns
FPDR ホールド時間（対 FPCK）	t_{HSISF}	3-wired クロック同期モード	t_{Pcyc} × 2			ns
FPDT 出力遅延（対 FPCK）	t_{DSOSF}	3-wired クロック同期モード 非連続転送（データ：1 ビット）			0	ns
		3-wired クロック同期モード 非連続転送（データ：1 ビット以外）			$-t_{KWHSF}$ + 3 × t_{Pcyc} + 36	ns
FPDT ホールド時間（対 FPCK）	t_{HSOSF}	3-wired クロック同期モード	t_{Pcyc} × 2			ns

注1.　PCLK クロックの 6 倍以上の周期の外部クロックを入力してください。

備　考

t_{Pcyc} は PCLK 期間です。



47A.8　熱特性

47A.8.1　パラメータ

パッケージ	項目	略号	見積	単位	備考
324 pin FPBGA	熱抵抗	Θja	17.4	°C/W	JESD51-7 対応（4 レイヤー）
	熱特性パラメータ	ψjb	9.8		
233 pin FPBGA	熱抵抗	Θja	17.9	°C/W	JESD51-7 対応（4 レイヤー）
	熱特性パラメータ	ψjb	9.9		
176 pin LQFP	熱抵抗	Θja	31.9	°C/W	JESD51-7 対応（4 レイヤー）
	熱特性パラメータ	ψjb	23.8		

備　考

熱抵抗および熱特性パラメータは使用環境に依存します。

47A.8.2　基板

JESD51-7 対応（4 レイヤー）

	基板サイズ（mm）		面積（mm^2）
	X	Y	
基板	76.2	114.3	8709.66
残銅率	導体の厚さ		
50-95-95-50%	70-35-35-70μm		

第47B章　RH850/F1KM-S4, RH850/F1KM-S2 の電気的特性

47B.1　概要

本デバイスの電気的仕様は、以下の動作条件で保証されています。しかし、この条件は個々の特性により異なるため、詳細は各章を参照してください。

47B.1.1　端子グループ

47B.1.1.1　272-Pin Version (RH850/F1KM-S4)

略号	端子グループの電源	関連ポート／関連端子
PgR	REGVCC, AWOVSS	X1, X2, XT1, XT2/IP0_0
PgE	EVCC, EVSS	関連ポート：JP0, P0, P1, P2, P3, P8, P9, P20 関連端子：$\overline{\text{RESET}}$, FLMD0
PgB	BVCC, BVSS	関連ポート：P10, P11, P12, P13, P18, P19, P21, P22
PgA0	A0VREF, A0VSS	関連ポート：AP0
PgA1	A1VREF, A1VSS	関連ポート：AP1

47B.1.1.2　233-Pin Version (RH850/F1KM-S4)

略号	端子グループの電源	関連ポート／関連端子
PgR	REGVCC, AWOVSS	X1, X2, XT1, XT2/IP0_0
PgE	EVCC, EVSS	関連ポート：JP0, P0, P1, P2, P3, P8, P9, P20 関連端子：$\overline{\text{RESET}}$, FLMD0
PgB	BVCC, BVSS	関連ポート：P10, P11, P12, P13, P18, P19
PgA0	A0VREF, A0VSS	関連ポート：AP0
PgA1	A1VREF, A1VSS	関連ポート：AP1

47B.1.1.3　176-Pin Version (RH850/F1KM-S4, RH850/F1KM-S2)

略号	端子グループの電源	関連ポート／関連端子
PgR	REGVCC, AWOVSS	X1, X2, XT1, XT2/IP0_0
PgE	EVCC, EVSS	関連ポート：JP0, P0, P1, P2, P8, P9, P20 関連端子：$\overline{\text{RESET}}$, FLMD0
PgB	BVCC, BVSS	関連ポート：P10, P11, P12, P18
PgA0	A0VREF, A0VSS	関連ポート：AP0
PgA1	A1VREF, A1VSS	関連ポート：AP1

47B.1.1.4　144-Pin Version (RH850/F1KM-S4, RH850/F1KM-S2)

略号	端子グループの電源	関連ポート／関連端子
PgR	REGVCC, AWOVSS	X1, X2, XT1, XT2/IP0_0
PgE	EVCC, EVSS	関連ポート：JP0, P0, P1, P8, P9, P20 関連端子：$\overline{\text{RESET}}$, FLMD0
PgB	BVCC, BVSS	関連ポート：P10, P11, P12, P18
PgA0	A0VREF, A0VSS	関連ポート：AP0
PgA1	A1VREF, A1VSS	関連ポート：AP1

47B.1.1.5 100-Pin Version (RH850/F1KM-S4, RH850/F1KM-S2)

略号	端子グループの電源	関連ポート／関連端子
PgR	REGVCC, AWOVSS	X1, X2
PgE	EVCC, EVSS	関連ポート：JP0, P0, P8, P9, P10, P11 関連端子： $\overline{\text{RESET}}$, FLMD0
PgA0	A0VREF, A0VSS	関連ポート：AP0

47B.1.2 通常測定条件

47B.1.2.1 共通条件

- 電力供給
  - REGVCC＝EVCC＝VPOC 注1～5.5V
  - BVCC＝VPOC 注1～REGVCC
  - A0VREF＝3.0V～5.5V
  - A1VREF＝3.0V～5.5V
  - AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V
- 内部レギュレータのキャパシタンス
  - CAWOVCL：0.1μF±30％
  - CISOVCL：0.1μF±30％ 1 端子当たり
- 動作温度
  - Tj＝–40～+130°C @R7F7016xx3ABG 注2
  - Tj＝–40～+150°C @R7F7016xx4ABG 注2
@R7F7016yy3AFP 注2
@R7F7017zz3AFP 注2

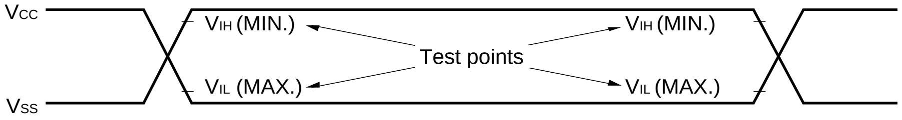
xx＝50, 51, 52, 53
yy＝44, 45, 46, 47, 48, 49
zz＝60, 62, 64

- 負荷条件
  - CL＝30pF

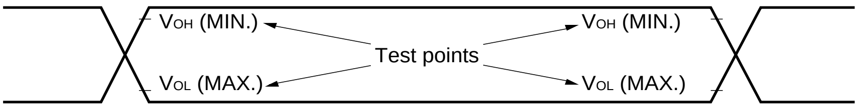
注1. “VPOC”は、POC（パワーオンクリア）検出電圧を表します。詳細に関しては、「**47B.4.5.2 電圧検出（POC, LVI, VLVI, CVM）特性**」を参照してください。
注2. 各製品の動作温度については「**1B.3 RH850/F1KM 製品ラインナップ**」を参照してください。

47B.1.2.2　　AC 特性の測定条件

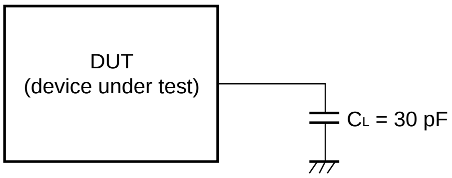
(1)　AC テスト入力測定点



(2)　AC テスト出力測定点



(3)　負荷条件



注　意

回路構成により負荷容量が 30pF を超える場合は、バッファを挿入し、デバイスの負荷容量を 30pF 以下にすることを推奨します。

47B.2　絶対最大定格

注　意

1. IC 製品の出力（または入出力）端子同士を直結したり、VDD または VCC や GND に直結したりしないでください。
2. 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を超えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を超えない状態で、製品をご使用ください。DC 特性と AC 特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。
3. 外部回路の設計時は、デバイスのポート状態と回路の接続が衝突しないことを確認してください。

47B.2.1　電源電圧

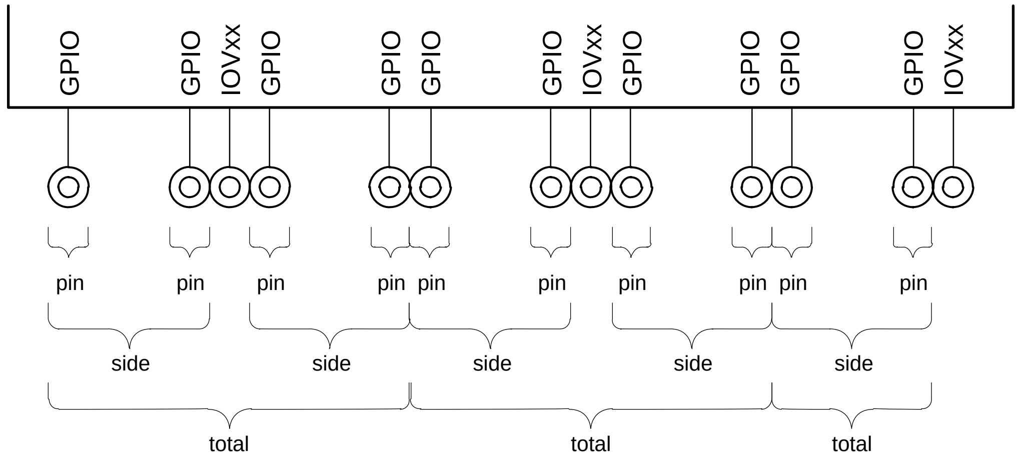
項目	略号	条件	MIN.	TYP.	MAX.	単位
システム用電源電圧	REGVCC		–0.5		6.5	V
	AWOVSS		–0.5		0.5	V
	ISOVSS		–0.5		0.5	V
ポート用電源電圧	EVCC		–0.5		6.5	V
	BVCC		–0.5		6.5	V
	EVSS		–0.5		0.5	V
	BVSS		–0.5		0.5	V
A/D コンバータ用電源電圧	A0VREF		–0.5		6.5	V
	A1VREF		–0.5		6.5	V
	A0VSS		–0.5		0.5	V
	A1VSS		–0.5		0.5	V

47B.2.2　ポート電圧

項目	端子グループ注 1	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧	PgR	VI		–0.5		REGVCC + 0.5（6.5V を超過しないこと）	V
	PgE			–0.5		EVCC + 0.5（6.5V を超過しないこと）	V
	PgB			–0.5		BVCC + 0.5（6.5V を超過しないこと）	V
	PgA0			–0.5		A0VREF + 0.5（6.5V を超過しないこと）	V
	PgA1			–0.5		A1VREF + 0.5（6.5V を超過しないこと）	V

注1.　特に指定がない限り、兼用端子の特性はポート端子の特性と同じです。

47B.2.3 ポート電流



条件の定義：
- 各 pin：1 GPIO 端子の出力電流
- 各サイド：1 IOVxx 端子の片サイドにおける、全 GPIO 端子の合計出力電流
- トータル：1 IOVxx 端子の両サイドにおける、合計出力電流

備考
- GPIO：汎用 I/O 端子（JP0, P0, P1, P2, P3, P8, P9, P10, P11, P12, P13, P18, P19, P20, P21, P22, AP0, AP1）
- IOVxx：I/O 端子用の電源端子（EVCC/EVSS, BVCC/BVSS, A0VREF/A0VSS, A1VREF/A1VSS）

47B.2.3.1 272-Pin Version (RH850/F1KM-S4)

項目	略号	端子グループ	条件	MIN.	TYP.	MAX.	単位
ハイレベル出力電流	IOH	PgE	1 端子当たり			–10	mA
			片サイド当たり（P9_0～P9_4, P20_10～P20_14 の総和）			–48	mA
			片サイド当たり（P20_0～P20_9 の総和）			–48	mA
			片サイド当たり（P0_0～P0_3 の総和）			–40	mA
			片サイド当たり（JP0_3～JP0_5, P0_4～P0_6, P0_11～P0_14, P1_0～P1_3, P1_12, P1_13, P2_6～P2_12, P8_2, P8_10～P8_12 の総和）			–48	mA
			片サイド当たり（JP0_0～JP0_2, P1_8～P1_11, P2_0, P2_1, P2_13～P2_15, P3_0 の総和）			–48	mA
			片サイド当たり（JP0_6, P0_7～P0_10, P1_4,P1_5, P1_14, P1_15, P2_2～P2_5, P8_0, P8_1, P8_3～P8_9 の総和）			–48	mA
			片サイド当たり（P3_1～P3_10 の総和）			–48	mA
			総和（EVCC）			–60	mA
		PgB	1 端子当たり			–10	mA
			片サイド当たり（P18_0～P18_7 の総和）			–48	mA
			片サイド当たり（P18_8～P18_15, P19_0～P19_3 の総和）			–48	mA
			片サイド当たり（P10_6～P10_14, P11_1～P11_7, P11_15, P12_0～P12_2, P13_0, P13_1 の総和）			–48	mA
			片サイド当たり（P10_0～P10_2 の総和）			–30	mA
			片サイド当たり（P10_3～P10_5 の総和）			–30	mA
			片サイド当たり（P10_15, P11_0, P11_8～P11_12, P12_3～P12_5, P13_2～P13_7 の総和）			–48	mA
			片サイド当たり（P21_0, P21_2～P21_4, P22_0～P22_2 の総和）			–48	mA
			片サイド当たり（P22_3～P22_8 の総和）			–48	mA
			片サイド当たり（P21_1, P22_9～P22_15 の総和）			–48	mA
			総和（BVCC）			–60	mA
		PgA0	1 端子当たり			–10	mA
			総和（A0VREF）			–48	mA
		PgA1	1 端子当たり			–10	mA
			総和（A1VREF）			–48	mA

(272-pin version)

項目	略号	端子グループ	条件	MIN.	TYP.	MAX.	単位
ロウレベル出力電流	IOL	PgE	1 端子当たり			10	mA
			片サイド当たり（P9_0～P9_4, P20_10～P20_14 の総和）			48	mA
			片サイド当たり（P20_0～P20_9 の総和）			48	mA
			片サイド当たり（P0_0～P0_6, P0_11～P0_14, P1_0～P1_3, P1_12, P1_13, P2_6～P2_12 の総和）			48	mA
			片サイド当たり（JP0_0～JP0_5, P1_8～P1_11, P2_0, P2_1, P2_13～P2_15, P3_0, P8_2, P8_10～P8_12 の総和）			48	mA
			片サイド当たり（JP0_6, P0_7～P0_10, P2_2, P2_3 の総和）			48	mA
			片サイド当たり（P1_4, P1_5, P1_14, P1_15, P2_4, P2_5, P8_0, P8_1, P8_3～P8_9 の総和）			48	mA
			片サイド当たり（P3_1～P3_10 の総和）			48	mA
			総和（EVCC）			60	mA
		PgB	1 端子当たり			10	mA
			片サイド当たり（P18_0～P18_7 の総和）			48	mA
			片サイド当たり（P18_8～P18_15, P19_0～P19_3 の総和）			48	mA
			片サイド当たり（P10_6～P10_14, P11_1, P11_2 の総和）			48	mA
			片サイド当たり（P11_3～P11_7, P11_15, P12_0～P12_2, P13_0, P13_1 の総和）			48	mA
			片サイド当たり（P10_0～P10_2 の総和）			30	mA
			片サイド当たり（P10_3～P10_5 の総和）			30	mA
			片サイド当たり（P10_15, P11_0, P11_8～P11_12, P12_3～P12_5, P13_2～P13_7 の総和）			48	mA
			片サイド当たり（P21_0, P21_2～P21_4, P22_0～P22_6 の総和）			48	mA
			片サイド当たり（P21_1, P22_7～P22_15 の総和）			48	mA
			総和（BVCC）			60	mA
		PgA0	1 端子当たり			10	mA
			総和（A0VREF）			48	mA
		PgA1	1 端子当たり			10	mA
			総和（A1VREF）			48	mA

47B.2.3.2　233-Pin Version (RH850/F1KM-S4)

項目	略号	端子グループ	条件	MIN.	TYP.	MAX.	単位
ハイレベル出力電流	IOH	PgE	1 端子当たり			–10	mA
			片サイド当たり（P9_0～P9_4, P20_0～P20_5 の総和）			–48	mA
			片サイド当たり（P0_0～P0_3 の総和）			–40	mA
			片サイド当たり（JP0_3～JP0_5, P0_4～P0_6, P0_11～P0_14, P1_0～P1_3, P1_12, P1_13, P2_6～P2_12, P8_2, P8_10～P8_12 の総和）			–48	mA
			片サイド当たり（JP0_0～JP0_2, P1_8～P1_11, P2_0, P2_1, P2_13～P2_15, P3_0 の総和）			–48	mA
			片サイド当たり（JP0_6, P0_7～P0_10, P1_4, P1_5, P1_14, P1_15, P2_2～P2_5, P8_0, P8_1, P8_3～P8_9 の総和）			–48	mA
			総和（EVCC）			–60	mA
		PgB	1 端子当たり			–10	mA
			片サイド当たり（P18_0～P18_7 の総和）			–48	mA
			片サイド当たり（P18_8～P18_15, P19_0～P19_3 の総和）			–48	mA
			片サイド当たり（P10_6～P10_14, P11_1～P11_7, P11_15, P12_0～P12_2, P13_0, P13_1 の総和）			–48	mA
			片サイド当たり（P10_0～P10_2 の総和）			–30	mA
			片サイド当たり（P10_3～P10_5 の総和）			–30	mA
			片サイド当たり（P10_15, P11_0, P11_8～P11_12, P12_3～P12_5, P13_2～P13_7 の総和）			–48	mA
			総和（BVCC）			–60	mA
		PgA0	1 端子当たり			–10	mA
			総和（A0VREF）			–48	mA
		PgA1	1 端子当たり			–10	mA
			総和（A1VREF）			–48	mA

(233-pin version)

項目	略号	端子グループ	条件	MIN.	TYP.	MAX.	単位
ロウレベル出力電流	IOL	PgE	1 端子当たり			10	mA
			片サイド当たり（P9_0～P9_4, P20_0～P20_5 の総和）			48	mA
			片サイド当たり（P0_0～P0_6, P0_11～P0_14, P1_0～P1_3, P1_12, P1_13, P2_6～P2_12 の総和）			48	mA
			片サイド当たり（JP0_0～JP0_5, P1_8～P1_11, P2_0, P2_1, P2_13～P2_15, P3_0, P8_2, P8_10～P8_12 の総和）			48	mA
			片サイド当たり（JP0_6, P0_7～P0_10, P2_2, P2_3 の総和）			48	mA
			片サイド当たり（P1_4, P1_5, P1_14, P1_15, P2_4, P2_5, P8_0, P8_1, P8_3～P8_9 の総和）			48	mA
			総和（EVCC）			60	mA
		PgB	1 端子当たり			10	mA
			片サイド当たり（P18_0～P18_7 の総和）			48	mA
			片サイド当たり（P18_8～P18_15, P19_0～P19_3 の総和）			48	mA
			片サイド当たり（P10_6～P10_14, P11_1, P11_2 の総和）			48	mA
			片サイド当たり（P11_3～P11_7, P11_15, P12_0～P12_2, P13_0, P13_1 の総和）			48	mA
			片サイド当たり（P10_0～P10_2 の総和）			30	mA
			片サイド当たり（P10_3～P10_5 の総和）			30	mA
			片サイド当たり（P10_15, P11_0, P11_8～P11_12, P12_3～P12_5, P13_2～P13_7 の総和）			48	mA
			総和（BVCC）			60	mA
		PgA0	1 端子当たり			10	mA
			総和（A0VREF）			48	mA
		PgA1	1 端子当たり			10	mA
			総和（A1VREF）			48	mA

47B.2.3.3 176-Pin Version (RH850/F1KM-S4, RH850/F1KM-S2)

項目	略号	端子グループ	条件	MIN.	TYP.	MAX.	単位
ハイレベル出力電流	IOH	PgE	1 端子当たり			–10	mA
			片サイド当たり（P9_0～P9_4, P20_0～P20_5 の総和）			–48	mA
			片サイド当たり（P0_0～P0_3 の総和）			–40	mA
			片サイド当たり（JP0_3～JP0_5, P0_4～P0_6, P0_11～P0_14, P1_0～P1_3, P1_12, P1_13, P2_6, P8_2, P8_10～P8_12 の総和）			–48	mA
			片サイド当たり（JP0_0～JP0_2, P1_8～P1_11, P2_0, P2_1 の総和）			–48	mA
			片サイド当たり（JP0_6, P0_7～P0_10, P1_4, P1_5, P1_14, P1_15, P2_2～P2_5, P8_0, P8_1, P8_3～P8_9 の総和）			–48	mA
			総和（EVCC）			–60	mA
		PgB	1 端子当たり			–10	mA
			片サイド当たり（P10_6～P10_9, P18_0～P18_7 の総和）			–48	mA
			片サイド当たり（P10_10～P10_14, P11_1～P11_7, P11_5, P12_0～P12_2 の総和）			–48	mA
			片サイド当たり（P10_0～P10_2 の総和）			–30	mA
			片サイド当たり（P10_3～P10_5 の総和）			–30	mA
			片サイド当たり（P10_15, P11_0, P11_8～P11_12, P12_3～P12_5 の総和）			–48	mA
			総和（BVCC）			–60	mA
		PgA0	1 端子当たり			–10	mA
			総和（A0VREF）			–48	mA
		PgA1	1 端子当たり			–10	mA
			総和（A1VREF）			–48	mA
ロウレベル出力電流	IOL	PgE	1 端子当たり			10	mA
			片サイド当たり（P9_0～P9_4, P20_0～P20_5 の総和）			48	mA
			片サイド当たり（P0_0～P0_6, P0_11～P0_14, P1_0～P1_3, P1_12, P1_13, P2_6 の総和）			48	mA
			片サイド当たり（JP0_0～JP0_5, P1_8～P1_11, P2_0, P2_1, P8_2, P8_10～P8_12 の総和）			48	mA
			片サイド当たり（JP0_6, P0_7～P0_10, P2_2, P2_3 の総和）			48	mA
			片サイド当たり（P1_4, P1_5, P1_14, P1_15, P2_4, P2_5, P8_0, P8_1, P8_3～P8_9 の総和）			48	mA
			総和（EVSS）			60	mA
		PgB	1 端子当たり			10	mA
			片サイド当たり（P18_0～P18_7 の総和）			48	mA
			片サイド当たり（P10_6～P10_14, P11_1, P11_2 の総和）			48	mA
			片サイド当たり（P11_3～P11_7, P11_15, P12_0～P12_2 の総和）			48	mA
			片サイド当たり（P10_0～P10_2 の総和）			30	mA
			片サイド当たり（P10_3～P10_5 の総和）			30	mA
			片サイド当たり（P10_15, P11_0, P11_8～P11_12, P12_3～P12_5 の総和）			48	mA
			総和（BVSS）			60	mA
		PgA0	1 端子当たり			10	mA
			総和（A0VSS）			48	mA
		PgA1	1 端子当たり			10	mA
			総和（A1VSS）			48	mA

47B.2.3.4 144-Pin Version (RH850/F1KM-S4, RH850/F1KM-S2)

項目	略号	端子グループ	条件	MIN.	TYP.	MAX.	単位
ハイレベル出力電流	IOH	PgE	1 端子当たり			–10	mA
			片サイド当たり（P9_0～P9_4, P20_4, P20_5 の総和）			–48	mA
			片サイド当たり（P0_0～P0_3 の総和）			–40	mA
			片サイド当たり（JP0_3～JP0_5, P0_4～P0_6, P0_11～P0_14, P1_0～P1_3, P8_2, P8_10～P8_12 の総和）			–48	mA
			片サイド当たり（JP0_0～JP0_2, P1_8～P1_11 の総和）			–48	mA
			片サイド当たり（JP0_6, P0_7～P0_10, P1_4, P1_5, P8_0, P8_1, P8_3～P8_9 の総和）			–48	mA
			総和（EVCC）			–60	mA
		PgB	1 端子当たり			–10	mA
			片サイド当たり（P10_6～P10_9, P18_0～P18_3 の総和）			–48	mA
			片サイド当たり（P10_10～P10_14, P11_1～P11_7, P11_15, P12_0～P12_2 の総和）			–48	mA
			片サイド当たり（P10_0～P10_5, P10_15, P11_0, P11_8～P11_12 の総和）			–48	mA
			総和（BVCC）			–60	mA
		PgA0	1 端子当たり			–10	mA
			総和（A0VREF）			–48	mA
		PgA1	1 端子当たり			–10	mA
			総和（A1VREF）			–48	mA
ロウレベル出力電流	IOL	PgE	1 端子当たり			10	mA
			片サイド当たり（P9_0～P9_4, P20_4, P20_5 の総和）			48	mA
			片サイド当たり（P0_0～P0_6, P0_11～P0_14, P1_0～P1_3 の総和）			48	mA
			片サイド当たり（JP0_0～JP0_5, P1_8～P1_11, P8_2, P8_10～P8_12 の総和）			48	mA
			片サイド当たり（JP0_6, P0_7～P0_10 の総和）			48	mA
			片サイド当たり（P1_4, P1_5, P8_0, P8_1, P8_3～P8_9 の総和）			48	mA
			総和（EVSS）			60	mA
		PgB	1 端子当たり			10	mA
			片サイド当たり（P18_0～P18_3 の総和）			48	mA
			片サイド当たり（P10_6～P10_14, P11_1, P11_2 の総和）			48	mA
			片サイド当たり（P11_3～P11_7, P11_15, P12_0～P12_2 の総和）			48	mA
			片サイド当たり（P10_0～P10_5, P10_15, P11_0, P11_8～P11_12 の総和）			48	mA
			総和（BVSS）			60	mA
		PgA0	1 端子当たり			10	mA
			総和（A0VSS）			48	mA
		PgA1	1 端子当たり			10	mA
			総和（A1VSS）			48	mA

47B.2.3.5　100-Pin Version (RH850/F1KM-S4, RH850/F1KM-S2)

項目	略号	端子グループ	条件	MIN.	TYP.	MAX.	単位
ハイレベル出力電流	IOH	PgE	1 端子当たり			–10	mA
			片サイド当たり（P9_0～P9_4 の総和）			–48	mA
			片サイド当たり（P0_0～P0_3, P10_3～P10_5 の総和）			–48	mA
			片サイド当たり（JP0_3～JP0_5, P0_4～P0_6, P0_11～P0_14, P8_2, P8_10～P8_12 の総和）			–48	mA
			片サイド当たり（JP0_0～JP0_2 の総和）			–30	mA
			片サイド当たり（P0_7～P0_10, P8_3～P8_9 の総和）			–48	mA
			片サイド当たり（P10_6～P10_9 の総和）			–40	mA
			片サイド当たり（P10_10～P10_14, P11_1～P11_7 の総和）			–48	mA
			片サイド当たり（P10_0～P10_2 の総和）			–30	mA
			総和（EVCC）			–60	mA
		PgA0	1 端子当たり			–10	mA
			総和（A0VREF）			–48	mA
ロウレベル出力電流	IOL	PgE	1 端子当たり			10	mA
			片サイド当たり（P9_0～P9_4 の総和）			48	mA
			片サイド当たり（P0_0～P0_6, P0_11～P0_14, P10_3～P10_5 の総和）			48	mA
			片サイド当たり（JP0_0～JP0_5, P8_2, P8_10～P8_12 の総和）			48	mA
			片サイド当たり（P0_7～P0_10 の総和）			40	mA
			片サイド当たり（P8_3～P8_9 の総和）			48	mA
			片サイド当たり（P10_6～P10_14, P11_1, P11_2 の総和）			48	mA
			片サイド当たり（P11_3～P11_7 の総和）			48	mA
			片サイド当たり（P10_0～P10_2 の総和）			30	mA
			総和（EVCC）			60	mA
		PgA0	1 端子当たり			10	mA
			総和（A0VSS）			48	mA

47B.2.4　温度条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
保存温度	Tstg		–55		150	°C
ジャンクション温度	Tj	R7F7016xx3ABG	–40		130	°C
		R7F7016xx4ABG R7F7016yy3AFP R7F7017zz3AFP	–40		150	°C

備考　xx＝50, 51, 52, 53
yy＝44, 45, 46, 47, 48, 49
zz＝60, 62, 64

各製品の動作温度については「**1B.3 RH850/F1KM 製品ラインナップ**」を参照してください。

47B.3　動作条件

47B.3.1　推奨動作条件

CPU の最大周波数が 240MHz の製品

(1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
CPU クロック周波数	f_{CPUCLK_H}	CKDIVMD＝1			240	MHz
		CKDIVMD＝0			120	MHz
	f_{CPUCLK_M}				120	MHz
	f_{CPUCLK_L}	OSTMn 用			60	MHz
		MEMC 用[注5]				
	f_{CPUCLK_UL}				30	MHz
周辺クロック（クロックドメイン）周波数[注1]	f_{CKSCLK_AWDTA}	WDTA0 用			240 [注2]	kHz
	f_{CKSCLK_ATAUJ}	TAUJ0 用			40	MHz
		TAUJ2 用				
	f_{CKSCLK_ARTCA}	RTCA0 用			4	MHz
	f_{CKSCLK_AADCA}	ADCA0 用			40	MHz
	f_{CKSCLK_AFOUT}	FOUT 用			24	MHz
	$f_{CKSCLK\_ICPUCLK}$	CPU サブシステム用			240/120	MHz
	f_{CKSCLK_IPERI1}	TAUD0 用			80	MHz
		TAUJ1 用				
		TAUJ3 用				
		ENCA0 用				
		TAPA0 用				
		PIC0 用				
		SFMA0 用				
	f_{CKSCLK_IPERI2}	TAUBn 用			40	MHz
		RCFDCn（clkc）用				
		RSENTn 用				
		PWBAn 用				
		PWGAn 用				
		PWSAn 用				
	f_{CKSCLK_ILIN}	RLIN24n 用			40	MHz
		RLIN3n 用				
	f_{CKSCLK_IADCA}	ADCA1 用			40	MHz
	f_{CKSCLK_ICAN}	RCFDCn（PCLK）用			80	MHz
	$f_{CKSCLK\_ICANOSC}$	RCFDCn（clk_xincan）用			24	MHz
	f_{CKSCLK_ICSI}	CSIGn 用			80	MHz
		CSIHn 用				
	f_{CKSCLK_IIIC}	RIICn 用			40	MHz
	$f_{LS\ IntOSC}$	WDTA1 用			240 [注2]	kHz
	f_{EMCLK}	LPSn 用			8	MHz

(2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電力供給	REGVCC	REGVCC＝EVCC	VPOC 注 3		5.5	V
	EVCC					
	BVCC		VPOC 注 3		REGVCC	V
	A0VREF		3.0		5.5	V
	A1VREF					
通常動作電圧	AWOVCL		1.1	1.25	1.35	V
	ISOVCL					
制限付き動作電圧注 4	AWOVCL		1.35		1.43	V
	ISOVCL					

注1.　周辺デバイスの最大周波数に関しては、**「第 12AB 章　クロックコントローラ (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2)」**を参照してください。

注2.　周波数は内蔵発振回路（LS IntOSC）に依存します。

注3.　“VPOC”は、POC（パワーオンクリア）検出電圧（TYP. 2.85V）を表します。詳細に関しては、**「47B.4.5.2　電圧検出（POC, LVI, VLVI, CVM）特性」**を参照してください。
なお、DC 特性での動作は保証されています。
AC 特性での動作は、3.0V 以上の場合、保証されています。
電源電圧が VPOC～3.0V の場合、デバイスは正常に動作します。

注4.　1.35V から 1.43V は信頼性に制限があります。

注5.　MEMC 内で 2 分周されます。

CPU の最大周波数が 160MHz の製品

項目	略号	条件	MIN.	TYP.	MAX.	単位
CPU クロック周波数	f_{CPUCLK_H}				160	MHz
	f_{CPUCLK_M}				80	MHz
	f_{CPUCLK_L}	OSTMn 用			40	MHz
		MEMC 用[注5]				
	f_{CPUCLK_UL}				20	MHz
周辺クロック（クロックドメイン）周波数[注1]	f_{CKSCLK_AWDTA}	WDTA0 用			240 [注2]	kHz
	f_{CKSCLK_ATAUJ}	TAUJ0 用			40	MHz
		TAUJ2 用				
	f_{CKSCLK_ARTCA}	RTCA0 用			4	MHz
	f_{CKSCLK_AADCA}	ADCA0 用			40	MHz
	f_{CKSCLK_AFOUT}	FOUT 用			24	MHz
	$f_{CKSCLK\_ICPUCLK}$	CPU サブシステム用			160	MHz
	f_{CKSCLK_IPERI1}	TAUD0 用			80	MHz
		TAUJ1 用				
		TAUJ3 用				
		ENCA0 用				
		TAPA0 用				
		PIC0 用				
		SFMA0 用				
	f_{CKSCLK_IPERI2}	TAUBn 用			40	MHz
		RCFDCn（clkc）用				
		RSENTn 用				
		PWBAn 用				
		PWGAn 用				
		PWSAn 用				
	f_{CKSCLK_ILIN}	RLIN24n 用			40	MHz
		RLIN3n 用				
	f_{CKSCLK_IADCA}	ADCA1 用			40	MHz
	f_{CKSCLK_ICAN}	RCFDCn（pclk）用			80	MHz
	$f_{CKSCLK\_ICANOSC}$	RCFDCn（clk_xincan）用			24	MHz
	f_{CKSCLK_ICSI}	CSIGn 用			80	MHz
		CSIHn 用				
	f_{CKSCLK_IIIC}	RIICn 用			40	MHz
	$f_{LS\ IntOSC}$	WDTA1 用			240 [注2]	kHz
	f_{EMCLK}	LPSn 用			8	MHz
電力供給	REGVCC	REGVCC＝EVCC	VPOC [注3]		5.5	V
	EVCC					
	BVCC		VPOC [注3]		REGVCC	V
	A0VREF		3.0		5.5	V
	A1VREF					
通常動作電圧	AWOVCL		1.1	1.25	1.35	V
	ISOVCL					
制限付き動作電圧[注4]	AWOVCL		1.35		1.43	V

注1.　周辺デバイスの最大周波数に関しては、**「第 12AB 章　クロックコントローラ (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S2)」**を参照してください。

注2.　周波数は内蔵発振回路（LS IntOSC）に依存します。

注3.　“VPOC”は、POC（パワーオンクリア）検出電圧（TYP. 2.85V）を表します。詳細に関しては、**「47B.4.5.2　電圧検出（POC, LVI, VLVI, CVM）特性」**を参照してください。
なお、DC 特性での動作は保証されています。
AC 特性での動作は、3.0V 以上の場合、保証されています。
電源電圧が VPOC～3.0V の場合、デバイスは正常に動作します。

注4.　1.35V から 1.43V は信頼性に制限があります。

注5.　MEMC 内で 2 分周されます。

47B.3.2　オシレータ特性

条件　:　REGVCC＝EVCC＝VPOC～5.5V, BVCC＝VPOC～REGVCC, A0VREF＝3.0V～5.5V,
A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C

(1) メイン OSC（水晶／セラミックを使用する場合）

項目	略号	条件	MIN.	TYP.	MAX.	単位
メイン OSC 周波数[注3]	f_{MOSC}		8		24	MHz
メイン OSC 消費電流	I_{MOSC}	安定後		1.9 [注2]	2.3 [注2]	mA
メイン OSC 発振開始電圧	V_{MOSCSP}		VPOC			V
メイン OSC 発振動作点	V_{MOSCOP}			0.5 × REGVCC [注2]		V
メイン OSC 発振振幅	$V_{MOSCAMP}$		0.4 × REGVCC – 0.2 [注2]			V
メイン OSC 発振安定時間	t_{MSTB}			2 [注1、注2]		ms
メイン OSC トランスコンダクタンス	g_{m_MOSC}	MOSCS.MOSCCLKACT＝0, MOSCC.MOSCAMPSEL[1:0]＝00		11.1 [注2]		mA/V
		MOSCS.MOSCCLKACT＝0, MOSCC.MOSCAMPSEL[1:0]＝01		10.6 [注2]		mA/V
		MOSCS.MOSCCLKACT＝0, MOSCC.MOSCAMPSEL[1:0]＝10		9.3 [注2]		mA/V
		MOSCS.MOSCCLKACT＝0, MOSCC.MOSCAMPSEL[1:0]＝11		7.8 [注2]		mA/V
		MOSCS.MOSCCLKACT＝1, MOSCC.MOSCAMPSEL[1:0]＝00		8.6 [注2]		mA/V
		MOSCS.MOSCCLKACT＝1, MOSCC.MOSCAMPSEL[1:0]＝01		7.8 [注2]		mA/V
		MOSCS.MOSCCLKACT＝1, MOSCC.MOSCAMPSEL[1:0]＝10		6.1 [注2]		mA/V
		MOSCS.MOSCCLKACT＝1, MOSCC.MOSCAMPSEL[1:0]＝11		4.0 [注2]		mA/V

注1.　発振安定時間は、MOSCE.MOSCENTRG ビットに“1”が書き込まれた後に、MOSCS.MOSCCLKACT ビットが設定される（“1”になる）までの時間で、MOSCST レジスタの設定値に依存します。発振子と発振回路のマッチングテストで、適切な発振安定時間を決定してください。

注2.　これは参考値です。

注3.　対応する水晶／セラミックの周波数は 8MHz、16MHz、20MHz、24MHz の 4 種類のみです。

(2) メイン OSC（X1 に外部クロックを入力する場合）

項目	略号	条件	MIN.	TYP.	MAX.	単位
X1 クロック入力周波数[注1]	f_{EX}		8		24	MHz
X1 クロック入力周期	t_{EXCYC}		41.7		125	ns
X1 ハイレベル入力電圧	V_{IH}		0.7 × REGVCC		REGVCC + 0.5	V
		フラッシュプログラミングインタフェース使用時[注2]	0.8 × REGVCC		REGVCC + 0.5	V
X1 ロウレベル入力電圧	V_{IL}		–0.5		0.3 × REGVCC	V
		フラッシュプログラミングインタフェース使用時[注2]	–0.5		0.2 × REGVCC	V
X1 入力リーク電流	I_{LIH}	VI＝REGVCC			0.5	µA
	I_{LIL}	VI＝0V			–0.5	µA
X1 クロック入力ロウレベル幅	t_{EXL}	f_{EX}＝8MHz	58			ns
		f_{EX}＝16MHz	26			ns
		f_{EX}＝20MHz	20			ns
		f_{EX}＝24MHz	16			ns
X1 クロック入力ハイレベル幅	t_{EXH}	f_{EX}＝8MHz	58			ns
		f_{EX}＝16MHz	26			ns
		f_{EX}＝20MHz	20			ns
		f_{EX}＝24MHz	16			ns
X1 クロック入力周期ジッタ			–0.3		0.3	ns

注1.　対応する外部クロックの入力周波数は 8MHz、16MHz、20MHz、24MHz の 4 種類のみです。

注2.　X2 端子はオープンかつ寄生容量は 5pF 以下にしてください。

(3) サブ OSC

項目	略号	条件	MIN.	TYP.	MAX.	単位
サブ OSC 周波数	fSOSC	水晶	30	32.768	38	kHz
サブ OSC 消費電流	I_{SOSC}	安定後		1.5 [注2]	4 [注2]	µA
サブ OSC 発振 DC 動作点	$V_{SOSCDCOP}$			0.65 [注2]		V
サブ OSC 発振安定時間	t_{SSTB}			[注1]		s

注1.　発振安定時間は、SOSCE.SOSCENTRG ビットに “1” が書き込まれた後に、SOSCS.SOSCCLKACT ビットが設定される（“1” になる）までの時間で、SOSCST レジスタの設定値に依存します。発振子と発振回路のマッチングテストで、適切な発振安定時間を決定してください。

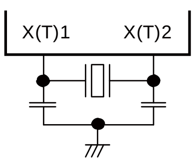
注2.　これは参考値です。

注　意

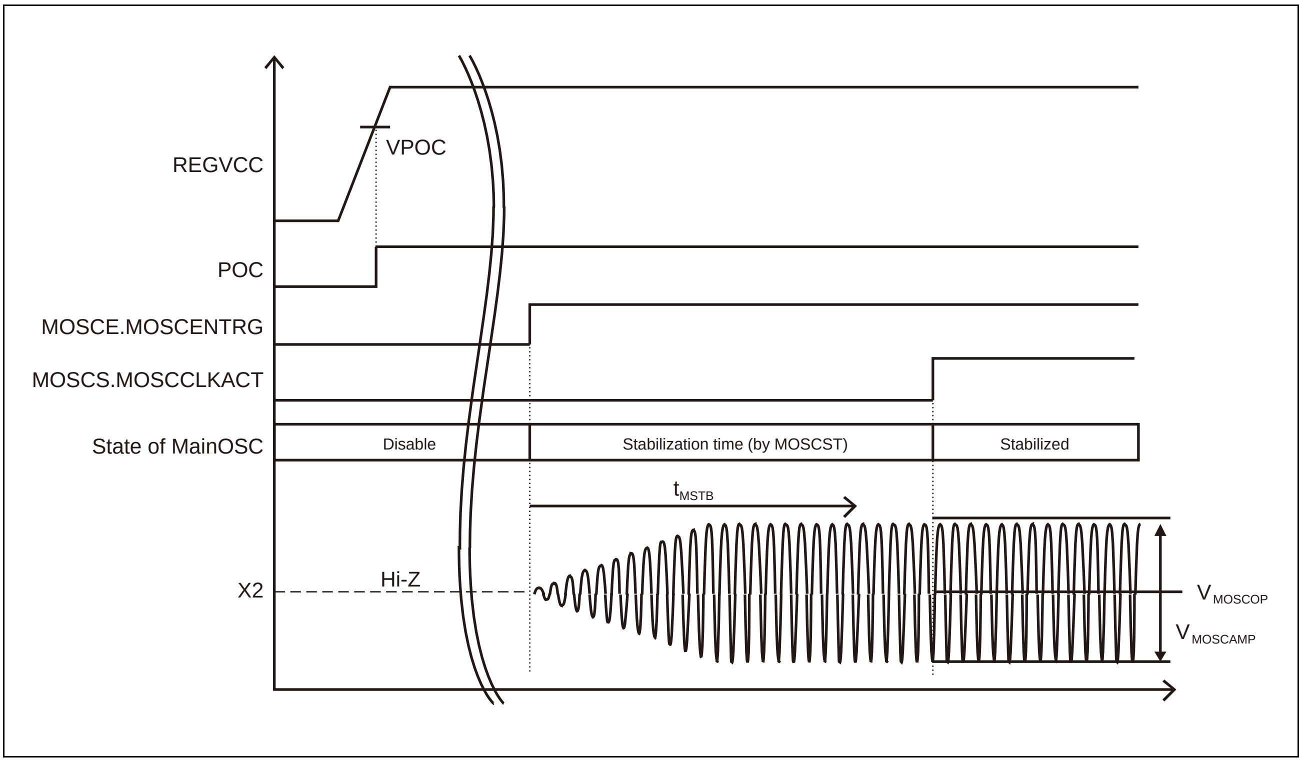
発振安定時間は、外部発振回路とのマッチングにより異なります。発振子のマッチングテストで発振安定時間を決定することを推奨します。

備　考

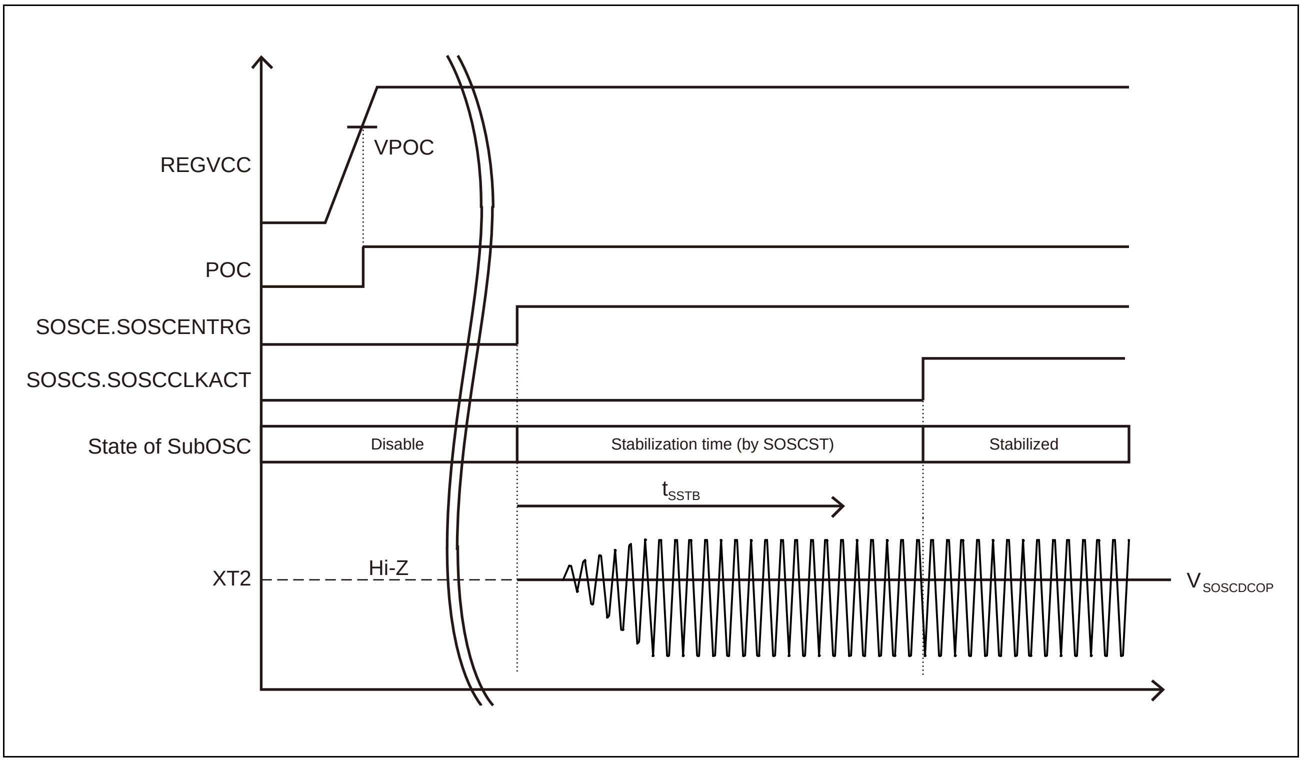
推奨発振回路を以下に示します。



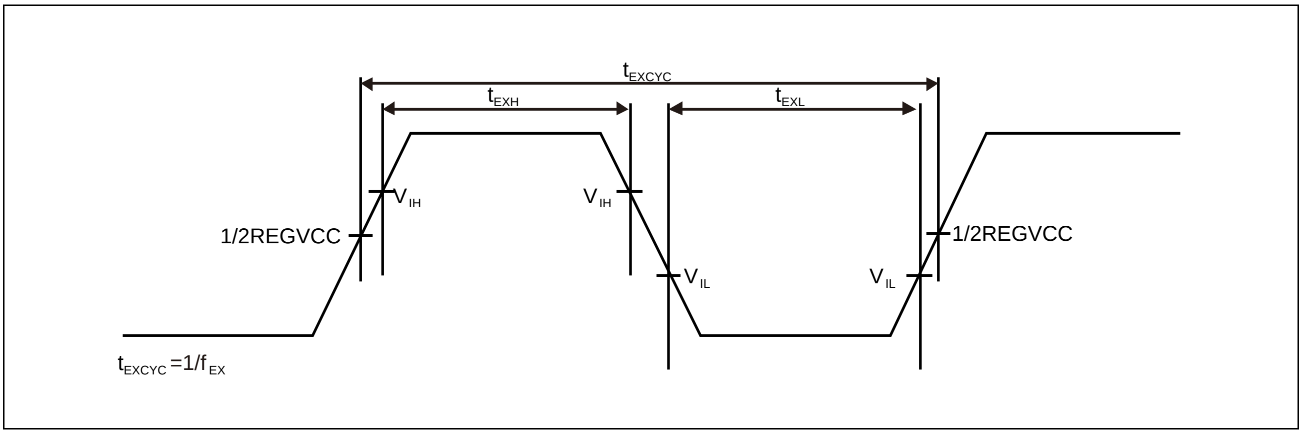
メイン OSC


REGVCC
VPOC
POC
MOSCE.MOSCENTRG
MOSCS.MOSCCLKACT
State of MainOSC
Disable
Stabilization time (by MOSCST)
Stabilized
tMSTB
X2
Hi-Z
VMOSCOP
VMOSCAMP

サブ OSC



外部クロック



47B.3.3　内蔵発振器特性

条件　: REGVCC＝EVCC＝VPOC～5.5V, BVCC＝VPOC～REGVCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
低速内蔵 OSC 周波数	f_{RL}		220.8	240	259.2	kHz
高速内蔵 OSC 周波数注3	f_{RH}		7.6	8	8.4	MHz
		ユーザトリミング後@トリミング温度注2	7.92	8	8.08	MHz
高速内蔵 OSC 消費電流	I_{RH}	安定後			170 注1	μA
高速内蔵 OSC 発振安定時間	t_{RHSTB}				54.4	μs

注1.　これは参考値です。

注2.　コード／データフラッシュの書き込み中、または消去中は HS IntOSC の周波数が規格の範囲外（8.00MHz±0.08MHz ユーザトリミング後@トリミング温度）となる可能性があります。

注3.　Cyclic STOP 時または Cyclic RUN モード時は HS IntOSC の周波数が規格の範囲外となる可能性があります。

47B.3.4　PLL 特性

47B.3.4.1　PLL0（CPU 用、SSCG 動作モードあり）の特性

条件　: REGVCC＝EVCC＝VPOC～5.5V, BVCC＝VPOC～REGVCC, A0VREF＝3.0V～5.5V,
A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C,
CL＝30pF

項目	略号	条件			MIN.	TYP.	MAX.	単位
入力周波数	$f_{PLL0CLKIN}$	MainOSC			8		24	MHz
		HS IntOSC 注3			7.6	8.0	8.4	MHz
		HS IntOSC ユーザトリミング後@トリミング温度注3			7.92	8.0	8.08	MHz
出力周波数	$f_{CPLL0OUT}$	SSCG モード	MainOSC	CPU の最大周波数が 240MHz の製品	105.8		240	MHz
				CPU の最大周波数が 160MHz の製品	105.8		160	MHz
			HS IntOSC 注3		67		84	MHz
			HS IntOSC ユーザトリミング後@トリミング温度注3		69.8		80.8	MHz
変調周波数	f_{MOD}				20		100	kHz
周波数ディザリング範囲注2	f_{DIT}				0.82	1.0	1.18	%
					1.64	2.0	2.36	%
					2.46	3.0	3.54	%
					3.28	4.0	4.72	%
					4.10	5.0	5.90	%
					4.92	6.0	7.08	%
					6.56	8.0	9.44	%
					8.20	10.0	11.80	%
ロック時間注1	t_{LCK0}	SSCG モード	PLL0ST＝0000 $1B80_H$		814.9	880	956.6	μs

注1.　ロック時間は、PLL0E.PLL0ENTRG ビットに“1”が書き込まれた後に、PLL0S.PLL0CLKACT ビットが設定される（“1”になる）までの時間です。

注2.　「周波数ディザリング範囲」は、PLL0C レジスタの PLL0ADJ[2:0]ビットで設定します。

注3.　HS IntOSC は、周波数偏差があります。TAUx、ADCAn などの周辺機能に影響を与えるため、HS IntOSC を使用する場合は、周波数偏差を考慮する必要があります。

47B.3.4.2　PLL1（CPU／周辺機能用）の特性

条件　: REGVCC＝EVCC＝VPOC～5.5V, BVCC＝VPOC～REGVCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力周波数	$f_{PLL1CLKIN}$	MainOSC	8		24	MHz
		HS IntOSC 注3	7.6	8.0	8.4	MHz
		HS IntOSC ユーザトリミング後@トリミング温度注3	7.92	8.0	8.08	MHz
出力周波数	$f_{CPLL1OUT}$	MainOSC	80		120	MHz
		HS IntOSC 注3	76	80	84	MHz
	$f_{PPLLOUT}$		76	80	84	MHz
出力周期ジッタ注1	t_{CPJ1}		–100		100	ps
長期ジッタ注1	t_{LTJ}	term＝1μs	–500		500	ps
		term＝10μs	–1		1	ns
		term＝20μs	–2		2	ns
ロック時間注2	t_{LCK1}		104	112.3	122.1	μs

注1.　これは参考値です。

注2.　ロック時間は、PLL1E.PLL1ENTRG ビットに“1”が書き込まれた後に、PLL1S.PLL1CLKACT ビットが設定される（“1”になる）までの時間です。

注3.　HS IntOSC は、周波数偏差があります。TAUx、ADCAn などの周辺機能に影響を与えるため、HS IntOSC を使用する場合は、周波数偏差を考慮する必要があります。

47B.4　DC 特性

47B.4.1　キャパシタンス

条件　: REGVCC＝EVCC＝BVCC＝A0VREF＝A1VREF＝AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, Ta＝25°C

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力キャパシタンス	CI 注1	f＝1MHz 測定しない端子は 0V			10	pF
入力／出力キャパシタンス	CIO 注2				10	pF

注1.　CI：入力端子とグランド間のキャパシタンス

注2.　CIO：I/O 端子とグランド間のキャパシタンス

47B.4.2　端子特性

条件　：本章で述べた条件のいくつかは、ソフトウェアで選択することができ、ハードウェアユーザーズマニュアルにも記載されています。

(1/5)

ポート入力バッファ機能							ポート出力ドライブ強度モード	他ポート機能	
端子名	CMOS	SHMT1	SHMT2	SHMT4	TTL	アナログ		プルアップ	プルダウン
$\overline{\text{RESET}}$	—	—	○	—	—	—	—	—	—
FLMD0	—	○	—	—	—	—	—	○	○
AP0_0	○	—	—	—	—	○	低速	—	○[注1]
AP0_1	○	—	—	—	—	○	低速	—	○[注1]
AP0_2	○	—	—	—	—	○	低速	—	○[注1]
AP0_3	○	—	—	—	—	○	低速	—	○[注1]
AP0_4	○	—	—	—	—	○	低速	—	○[注1]
AP0_5	○	—	—	—	—	○	低速	—	○[注1]
AP0_6	○	—	—	—	—	○	低速	—	○[注1]
AP0_7	○	—	—	—	—	○	低速	—	○[注1]
AP0_8	○	—	—	—	—	○	低速	—	○[注1]
AP0_9	○	—	—	—	—	○	低速	—	○[注1]
AP0_10	○	—	—	—	—	○	低速	—	○[注1]
AP0_11	○	—	—	—	—	○	低速	—	○[注1]
AP0_12	○	—	—	—	—	○	低速	—	○[注1]
AP0_13	○	—	—	—	—	○	低速	—	○[注1]
AP0_14	○	—	—	—	—	○	低速	—	○[注1]
AP0_15	○	—	—	—	—	○	低速	—	○[注1]
AP1_0	○	—	—	—	—	○	低速	—	○[注1]
AP1_1	○	—	—	—	—	○	低速	—	○[注1]
AP1_2	○	—	—	—	—	○	低速	—	○[注1]
AP1_3	○	—	—	—	—	○	低速	—	○[注1]
AP1_4	○	—	—	—	—	○	低速	—	○[注1]
AP1_5	○	—	—	—	—	○	低速	—	○[注1]
AP1_6	○	—	—	—	—	○	低速	—	○[注1]
AP1_7	○	—	—	—	—	○	低速	—	○[注1]
AP1_8	○	—	—	—	—	○	低速	—	○[注1]
AP1_9	○	—	—	—	—	○	低速	—	○[注1]
AP1_10	○	—	—	—	—	○	低速	—	○[注1]
AP1_11	○	—	—	—	—	○	低速	—	○[注1]
AP1_12	○	—	—	—	—	○	低速	—	○[注1]
AP1_13	○	—	—	—	—	○	低速	—	○[注1]
AP1_14	○	—	—	—	—	○	低速	—	○[注1]
AP1_15	○	—	—	—	—	○	低速	—	○[注1]
IP0_0	—	—	—	—	—	—	—	—	—
JP0_0	—	○	—	○	○	—	低速	○	○
JP0_1	—	○	—	○	—	—	低速／高速	○	○
JP0_2	—	○	—	○	○	—	低速／高速	○	○
JP0_3	—	○	—	○	○	—	低速／高速	○	○
JP0_4	—	—	—	○	—[注5]	—	低速	○	○
JP0_5	—	○	—	○	—	—	低速／高速	○	○

(2/5)

ポート入力バッファ機能							ポート出力ドライブ強度モード	他ポート機能	
端子名	CMOS	SHMT1	SHMT2	SHMT4	TTL	アナログ		プルアップ	プルダウン
JP0_6	—	○	—	○	—	—	低速／高速	○	○
P0_0	—	○	—	○	—	—	低速／高速	○	○
P0_1	—	○	—	○	—	—	低速／高速	○	○
P0_2	—	○	—	○	—	—	低速／高速注 2	○	○
P0_3	—	○	—	○	—	—	低速／高速注 2	○	○
P0_4	—	○	—	○	—	—	低速／高速	○	○
P0_5	—	○	—	○	—	—	低速／高速注 3	○	○
P0_6	—	○	—	○	—	—	低速／高速注 3	○	○
P0_7	—	○	—	○	—	—	低速／高速	○	○
P0_8	—	○	—	○	—	—	低速／高速	○	○
P0_9	—	○	—	○	—	—	低速／高速	○	○
P0_10	—	○	—	○	—	—	低速／高速	○	○
P0_11	—	○	—	○	—	—	低速／高速	○	○
P0_12	—	○	—	○	—	—	低速／高速	○	○
P0_13	—	○	—	○	—	—	低速／高速	○	○
P0_14	—	○	—	○	—	—	低速／高速	○	○
P1_0	—	○	—	○	—	—	低速／高速	○	○
P1_1	—	○	—	○	—	—	低速／高速	○	○
P1_2	—	○	—	○	—	—	低速／高速	○	○
P1_3	—	○	—	○	—	—	低速／高速	○	○
P1_4	—	○	—	○	—	—	低速／高速	○	○
P1_5	—	○	—	○	—	—	低速／高速	○	○
P1_8	—	○	—	○	—	—	低速／高速	○	○
P1_9	—	○	—	○	—	—	低速／高速	○	○
P1_10	—	○	—	○	—	—	低速／高速	○	○
P1_11	—	○	—	○	—	—	低速／高速	○	○
P1_12	—	○	—	○	—	—	低速／高速	○	○
P1_13	—	○	—	○	—	—	低速／高速	○	○
P1_14	—	○	—	○	—	—	低速／高速	○	○
P1_15	—	○	—	○	—	—	低速／高速	○	○
P10_0	—	○	—	○	○注 6	—	低速／高速	○	○
P10_1	—	○	—	○	○注 6	—	低速／高速注 3	○	○
P10_2	—	○	—	○	○注 6	—	低速／高速注 3	○	○
P10_3	—	○	—	○	—	—	低速／高速	○	○
P10_4	—	○	—	○	○注 6	—	低速／高速	○	○
P10_5	—	○	—	○	○注 6	—	低速／高速	○	○
P10_6	—	○	—	○	—	—	低速／高速	○	○
P10_7	—	○	—	○	—	—	低速／高速	○	○
P10_8	—	○	—	○	—	—	低速／高速	○	○
P10_9	—	○	—	○	—	—	低速／高速	○	○
P10_10	—	○	—	○	—	—	低速／高速	○	○
P10_11	—	○	—	○	—	—	低速／高速	○	○
P10_12	—	○	—	○	—	—	低速／高速	○	○
P10_13	—	○	—	○	—	—	低速／高速	○	○

(3/5)

ポート入力バッファ機能							ポート出力ドライブ強度モード	他ポート機能	
端子名	CMOS	SHMT1	SHMT2	SHMT4	TTL	アナログ		プルアップ	プルダウン
P10_14	—	○	—	○	—	—	低速／高速	○	○
P10_15	—	○	—	○	—	—	低速／高速	○	○
P11_0	—	○	—	○	—	—	低速／高速	○	○
P11_1	—	○	—	○	—	—	低速／高速	○	○
P11_2	—	○	—	○	—	—	低速／高速[注3]	○	○
P11_3	—	○	—	○	—	—	低速／高速[注3]	○	○
P11_4	—	○	—	○	—	—	低速／高速	○	○
P11_5	—	○	—	○	—	—	低速／高速	○	○
P11_6	—	○	—	○	—	—	低速／高速[注3]	○	○
P11_7	—	○	—	○	—	—	低速／高速[注3]	○	○
P11_8	—	○	—	○	—	—	低速／高速	○	○
P11_9	—	○	—	○	—	—	低速／高速	○	○
P11_10	—	○	—	○	○[注6]	—	低速／高速	○	○
P11_11	—	○	—	○	○[注6]	—	低速／高速	○	○
P11_12	—	○	—	○	○[注6]	—	低速／高速	○	○
P11_15	—	○	—	○	○[注6]	—	低速／高速	○	○
P12_0	—	○	—	○	—	—	低速／高速	○	○
P12_1	—	○	—	○	—	—	低速／高速	○	○
P12_2	—	○	—	○	—	—	低速／高速	○	○
P12_3	—	○	—	○	—	—	低速／高速	○	○
P12_4	—	○	—	○	○	—	低速／高速	○	○
P12_5	—	○	—	○	—	—	低速／高速	○	○
P13_0	—	○	—	○	—	—	低速／高速	○	○
P13_1	—	○	—	○	—	—	低速／高速	○	○
P13_2	—	○	—	○	○	—	低速／高速	○	○
P13_3	—	○	—	○	○	—	低速／高速	○	○
P13_4	—	○	—	○	—	—	低速／高速	○	○
P13_5	—	○	—	○	○	—	低速／高速	○	○
P13_6	—	○	—	○	—	—	低速／高速	○	○
P13_7	—	○	—	○	—	—	低速／高速	○	○
P18_0	—	○	—	○	○[注6]	○	低速／高速	○	○[注4]
P18_1	—	○	—	○	—	○	低速／高速	○	○[注4]
P18_2	—	○	—	○	—	○	低速／高速	○	○[注4]
P18_3	—	○	—	○	—	○	低速／高速	○	○[注4]
P18_4	—	○	—	○	—	○	低速／高速	○	○[注4]
P18_5	—	○	—	○	—	○	低速／高速	○	○[注4]
P18_6	—	○	—	○	—	○	低速／高速	○	○[注4]
P18_7	—	○	—	○	○	○	低速／高速	○	○[注4]
P18_8	—	○	—	○	○	○	低速／高速	○	○[注4]
P18_9	—	○	—	○	○	○	低速／高速	○	○[注4]
P18_10	—	○	—	○	—	○	低速／高速	○	○[注4]
P18_11	—	○	—	○	—	○	低速／高速	○	○[注4]
P18_12	—	○	—	○	—	○	低速／高速	○	○[注4]
P18_13	—	○	—	○	—	○	低速／高速	○	○[注4]

(4/5)

ポート入力バッファ機能							ポート出力ドライブ強度モード	他ポート機能	
端子名	CMOS	SHMT1	SHMT2	SHMT4	TTL	アナログ		プルアップ	プルダウン
P18_14	—	○	—	○	—	○	低速／高速	○	○[注4]
P18_15	—	○	—	○	—	○	低速／高速	○	○[注4]
P19_0	—	○	—	○	—	○	低速／高速	○	○[注4]
P19_1	—	○	—	○	—	○	低速／高速	○	○[注4]
P19_2	—	○	—	○	—	○	低速／高速	○	○[注4]
P19_3	—	○	—	○	—	○	低速／高速	○	○[注4]
P2_0	—	○	—	○	—	—	低速／高速	○	○
P2_1	—	○	—	○	—	—	低速／高速	○	○
P2_2	—	○	—	○	—	—	低速／高速	○	○
P2_3	—	○	—	○	—	—	低速／高速	○	○
P2_4	—	○	—	○	—	—	低速／高速	○	○
P2_5	—	○	—	○	—	—	低速／高速	○	○
P2_6	—	○	—	○	—	—	低速／高速	○	○
P2_7	—	○	—	○	—	—	低速／高速	○	○
P2_8	—	○	—	○	—	—	低速／高速	○	○
P2_9	—	○	—	○	—	—	低速／高速	○	○
P2_10	—	○	—	○	—	—	低速／高速	○	○
P2_11	—	○	—	○	—	—	低速／高速	○	○
P2_12	—	○	—	○	—	—	低速／高速	○	○
P2_13	—	○	—	○	—	—	低速／高速	○	○
P2_14	—	○	—	○	—	—	低速／高速	○	○
P2_15	—	○	—	○	—	—	低速／高速	○	○
P20_0	—	○	—	○	—	—	低速／高速	○	○
P20_1	—	○	—	○	—	—	低速／高速	○	○
P20_2	—	○	—	○	—	—	低速／高速	○	○
P20_3	—	○	—	○	—	—	低速／高速	○	○
P20_4	—	○	—	○	—	—	低速／高速	○	○
P20_5	—	○	—	○	—	—	低速／高速	○	○
P20_6	—	○	—	○	—	—	低速／高速	○	○
P20_7	—	○	—	○	—	—	低速／高速	○	○
P20_8	—	○	—	○	—	—	低速／高速	○	○
P20_9	—	○	—	○	—	—	低速／高速	○	○
P20_10	—	○	—	○	—	—	低速／高速	○	○
P20_11	—	○	—	○	—	—	低速／高速	○	○
P20_12	—	○	—	○	—	—	低速／高速	○	○
P20_13	—	○	—	○	—	—	低速／高速	○	○
P20_14	—	○	—	○	—	—	低速／高速	○	○
P21_0	—	○	—	○	—	—	低速	○	○
P21_1	—	○	—	○	—	—	低速	○	○
P21_2	—	○	—	○	—	—	低速	○	○
P21_3	—	○	—	○	—	—	低速	○	○
P21_4	—	○	—	○	—	—	低速	○	○
P22_0	—	○	—	○	—	—	低速	○	○
P22_1	—	○	—	○	—	—	低速	○	○

(5/5)

ポート入力バッファ機能							ポート出力ドライブ強度モード	他ポート機能	
端子名	CMOS	SHMT1	SHMT2	SHMT4	TTL	アナログ		プルアップ	プルダウン
P22_2	—	○	—	○	—	—	低速	○	○
P22_3	—	○	—	○	—	—	低速	○	○
P22_4	—	○	—	○	—	—	低速	○	○
P22_5	—	○	—	○	—	—	低速	○	○
P22_6	—	○	—	○	—	—	低速	○	○
P22_7	—	○	—	○	—	—	低速	○	○
P22_8	—	○	—	○	—	—	低速	○	○
P22_9	—	○	—	○	—	—	低速	○	○
P22_10	—	○	—	○	—	—	低速	○	○
P22_11	—	○	—	○	—	—	低速	○	○
P22_12	—	○	—	○	—	—	低速	○	○
P22_13	—	○	—	○	—	—	低速	○	○
P22_14	—	○	—	○	—	—	低速	○	○
P22_15	—	○	—	○	—	—	低速	○	○
P3_0	—	○	—	○	—	—	低速／高速	○	○
P3_1	—	○	—	○	—	—	低速／高速	○	○
P3_2	—	○	—	○	—	—	低速／高速	○	○
P3_3	—	○	—	○	—	—	低速／高速	○	○
P3_4	—	○	—	○	—	—	低速／高速	○	○
P3_5	—	○	—	○	—	—	低速／高速	○	○
P3_6	—	○	—	○	—	—	低速／高速	○	○
P3_7	—	○	—	○	—	—	低速／高速	○	○
P3_8	—	○	—	○	—	—	低速／高速	○	○
P3_9	—	○	—	○	—	—	低速／高速	○	○
P3_10	—	○	—	○	—	—	低速／高速	○	○
P8_0	—	○	—	○	—	○	低速	○	○注 4
P8_1	—	○	—	○	—	○	低速	○	○注 4
P8_2	—	○	—	○	—	○	低速	○	○注 4
P8_3	—	○	—	○	—	○	低速	○	○注 4
P8_4	—	○	—	○	—	○	低速	○	○注 4
P8_5	—	○	—	○	—	○	低速	○	○注 4
P8_6	—	○	—	○	—	○	低速	○	○注 4
P8_7	—	○	—	○	—	○	低速	○	○注 4
P8_8	—	○	—	○	—	○	低速	○	○注 4
P8_9	—	○	—	○	—	○	低速	○	○注 4
P8_10	—	○	—	○	—	○	低速	○	○注 4
P8_11	—	○	—	○	—	○	低速	○	○注 4
P8_12	—	○	—	○	—	○	低速	○	○注 4
P9_0	—	○	—	○	—	○	低速	○	○注 4
P9_1	—	○	—	○	—	○	低速	○	○注 4
P9_2	—	○	—	○	—	○	低速	○	○注 4
P9_3	—	○	—	○	—	○	低速	○	○注 4
P9_4	—	○	—	○	—	○	低速	○	○注 4

注1.　ADC 診断用のプルダウン抵抗です。ADC 自己診断レジスタ経由で制御してください。
注2.　100pF の容量負荷をサポート
注3.　50pF の容量負荷をサポート
注4.　ADC 診断および内蔵プルダウン用のプルダウン抵抗です。ADC 診断用には、ADC 自己診断レジスタ経由で制御してください。
内蔵プルダウン用には、PD レジスタ経由で制御してください。
注5.　TTL は、バウンダリスキャンモードまたは Nexus 通常動作モード時に選択されます。
注6.　176-pin、233-pin、272-pin 製品のみ対応

条件　: REGVCC＝EVCC＝VPOC～5.5V, BVCC＝VPOC～REGVCC, A0VREF＝3.0V～5.5V,
A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C,
CL＝30pF

(1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイレベル入力電圧	VIH	CMOS	0.65 × IOVCC		IOVCC + 0.3	V
		SHMT1 [注3]	0.65 × IOVCC		IOVCC + 0.3	V
		SHMT2	0.75 × IOVCC		IOVCC + 0.3	V
		SHMT4	0.8 × IOVCC		IOVCC + 0.3	V
		TTL　IOVCC＝VPOC～3.6V	2.0		IOVCC + 0.3	V
		IOVCC＝3.6V～5.5V	2.2		IOVCC + 0.3	V
		IP0_0 端子	0.7 × REGVCC		REGVCC	V
ロウレベル入力電圧	VIL	CMOS	–0.3		0.35 × IOVCC	V
		SHMT1	–0.3		0.35 × IOVCC	V
		SHMT2	–0.3		0.25 × IOVCC	V
		SHMT4	–0.3		0.5 × IOVCC	V
		TTL	–0.3		0.8	V
		IP0_0 端子	0		0.3 × REGVCC	V
シュミット用入力ヒステリシス	VH	SHMT1	0.3			V
		SHMT2	0.2 × IOVCC			V
		SHMT4	0.1			V
入力リーケージ電流	ILIH	IP0_0 端子, VI＝REGVCC			0.5	μA
		$\overline{\text{RESET}}$, FLMD0, JP0, P0, P1, P2, P3, P8, P9, P20 端子, VI＝EVCC [注2]			0.5	μA
		P10, P11, P12, P13, P18, P19, P21, P22 端子, VI＝BVCC [注2]			0.5	μA
		AP0 端子, VI＝A0VREF [注2], Tj≦130°C			0.3	μA
		AP0 端子, VI＝A0VREF [注2]			0.5	μA
		AP1 端子, VI＝A1VREF [注2], Tj≦130°C			0.3	μA
		AP1 端子, VI＝A1VREF [注2]			0.5	μA
	ILIL	IP0_0 端子, VI＝0V			–0.5	μA
		$\overline{\text{RESET}}$, FLMD0, JP0, P0, P1, P2, P3, P8, P9, P20 端子, VI＝0V [注2]			–0.5	μA
		P10, P11, P12, P13, P18, P19, P21, P22 端子, VI＝0V [注2]			–0.5	μA
		AP0 端子, VI＝0V [注2], Tj≦130°C			–0.3	μA
		AP0 端子, VI＝0V [注2]			–0.5	μA
		AP1 端子, VI＝0V [注2], Tj≦130°C			–0.3	μA
		AP1 端子, VI＝0V [注2]			–0.5	μA
内蔵プルアップ抵抗	RU	FLMD0 端子以外, VI＝0V	20 (275μA)	40	100	kΩ
		FLMD0 端子, VI＝0V [注3]	4 (1375μA)		36	kΩ
内蔵プルダウン抵抗	RD	FLMD0 端子以外, VI＝IOVCC	20 (275μA)	40	100	kΩ
		FLMD0 端子, VI＝EVCC	4 (1375μA)		36	kΩ

(2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイレベル出力電圧	VOH	高速モード	IOH＝–5mA（6 pin）[注4]	IOVCC – 1.0			V
			IOH＝–3mA（10 pin）[注4]	IOVCC – 1.0			V
			IOH＝–1mA（16 pin）[注4]	IOVCC – 0.5			V
			IOH＝–0.1mA（16 pin）[注4]	IOVCC – 0.5			V
		低速モード	IOH＝–1mA（16 pin）[注4]	IOVCC – 0.5			V
			IOH＝–0.1mA（16 pin）[注4]	IOVCC – 0.5			V
ロウレベル出力電圧	VOL	高速モード	IOL＝5mA（6 pin）[注4]			0.4	V
			IOL＝3mA（10 pin）[注4]			0.4	V
			IOL＝1mA（16 pin）[注4]			0.4	V
		低速モード	IOL＝1mA（16 pin）[注4]			0.4	V
立ち上がり／立ち下がり時間	t_{KRP}/t_{KFP}	高速モード（以下の端子を除く）[注5]	CL＝30pF			7	ns
			CL＝50pF			12	ns
			CL＝100pF			24	ns
		高速モード（P0_5, P0_6, P10_1, P10_2, P11_2, P11_3, P11_6, P11_7）[注6]	CL＝50pF			6	ns
		高速モード（P0_2, P0_3）[注6]	CL＝100pF			6.15	ns
		低速モード[注5]	CL＝30pF			37	ns
			CL＝50pF			62	ns
			CL＝100pF			124	ns
出力周波数	f_O	高速モード	CL＝30pF			40	MHz
		低速モード	CL＝30pF			10	MHz
			CL＝50pF			6	MHz
			CL＝100pF			3	MHz

注1.　“IOVCC”は、電源に配置された端子（EVCC、BVCC、A0VREF、または A1VREF）を表します。

注2.　ADCn のアナログ入力機能を選択していません。

注3.　FLMDCNT レジスタにより FLMD0 端子の内蔵プルアップ抵抗を有効にする場合、FLMD0 端子には 86kΩ 以上の外付けプルダウン抵抗を接続してください。

注4.　同時オンになる端子数を示しています。

注5.　測定点：0.1 × IOVCC～0.9 × IOVCC

注6.　測定点：0.2 × IOVCC～0.8 × IOVCC

47B.4.2.1　出力電流

(1) 272-Pin Version (RH850/F1KM-S4)

項目	略号	端子グループ	条件		MIN.	TYP.	MAX.	単位
ハイレベル出力電流	IOH	PgE	片サイド当たり	P9_0〜P9_4, P20_10〜P20_14			–30	mA
				P20_0〜P20_9			–30	mA
				P0_0〜P0_3			–20	mA
				JP0_3〜JP0_5, P0_4〜P0_6, P0_11〜P0_14, P1_0〜P1_3, P1_12, P1_13, P2_6〜P2_12, P8_2, P8_10〜P8_12			–30	mA
				JP0_0〜JP0_2, P1_8〜P1_11, P2_0, P2_1, P2_13〜P2_15, P3_0			–30	mA
				JP0_6, P0_7〜P0_10, P1_4, P1_5, P1_14, P1_15, P2_2〜P2_5, P8_0, P8_1, P8_3〜P8_9			–30	mA
				P3_1〜P3_10			–30	mA
			総和（EVCC）				–60	mA
		PgB	片サイド当たり	P18_0〜P18_7			–30	mA
				P18_8〜P18_15, P19_0〜P19_3			–30	mA
				P10_6〜P10_14, P11_1〜P11_7, P11_15, P12_0〜P12_2, P13_0, P13_1			–30	mA
				P10_0〜P10_2			–15	mA
				P10_3〜P10_5			–15	mA
				P10_15, P11_0, P11_8〜P11_12, P12_3〜P12_5, P13_2〜P13_7			–30	mA
				P21_0, P21_2〜P21_4, P22_0〜P22_2			–7	mA
				P22_3〜P22_8			–4	mA
				P21_1, P22_9〜P22_15			–8	mA
			総和（BVCC）				–60	mA
		PgA0	総和（A0VREF）				–16	mA
		PgA1	総和（A1VREF）				–16	mA

(272-pin version)

<table>
<tr><th>項目</th><th>略号</th><th>端子グループ</th><th colspan="2">条件</th><th>MIN.</th><th>TYP.</th><th>MAX.</th><th>単位</th></tr>
<tr><td rowspan="21">ロウレベル出力電流</td><td rowspan="21">IOL</td><td rowspan="8">PgE</td><td rowspan="7">片サイド当たり</td><td>P9_0～P9_4, P20_10～P20_14</td><td></td><td></td><td>30</td><td>mA</td></tr>
<tr><td>P20_0～P20_9</td><td></td><td></td><td>30</td><td>mA</td></tr>
<tr><td>P0_0～P0_6, P0_11～P0_14, P1_0～P1_3, P1_12, P1_13, P2_6～P2_12</td><td></td><td></td><td>30</td><td>mA</td></tr>
<tr><td>JP0_0～JP0_5, P1_8～P1_11, P2_0, P2_1, P2_13～P2_15, P3_0, P8_2, P8_10～P8_12</td><td></td><td></td><td>30</td><td>mA</td></tr>
<tr><td>JP0_6, P0_7～P0_10, P2_2, P2_3</td><td></td><td></td><td>30</td><td>mA</td></tr>
<tr><td>P1_4, P1_5, P1_14, P1_15, P2_4, P2_5, P8_0, P8_1, P8_3～P8_9</td><td></td><td></td><td>30</td><td>mA</td></tr>
<tr><td>P3_1～P3_10</td><td></td><td></td><td>30</td><td>mA</td></tr>
<tr><td>総和（EVCC）</td><td></td><td></td><td></td><td>60</td><td>mA</td></tr>
<tr><td rowspan="11">PgB</td><td rowspan="10">片サイド当たり</td><td>P18_0～P18_7</td><td></td><td></td><td>30</td><td>mA</td></tr>
<tr><td>P18_8～P18_15, P19_0～P19_3</td><td></td><td></td><td>30</td><td>mA</td></tr>
<tr><td>P10_6～P10_14, P11_1, P11_2</td><td></td><td></td><td>30</td><td>mA</td></tr>
<tr><td>P11_3～P11_7, P11_15, P12_0～P12_2, P13_0, P13_1</td><td></td><td></td><td>30</td><td>mA</td></tr>
<tr><td>P10_0～P10_2</td><td></td><td></td><td>15</td><td>mA</td></tr>
<tr><td>P10_3～P10_5</td><td></td><td></td><td>15</td><td>mA</td></tr>
<tr><td>P10_15, P11_0, P11_8～P11_12, P12_3～P12_5, P13_2～P13_7</td><td></td><td></td><td>30</td><td>mA</td></tr>
<tr><td>P21_0, P21_2～P21_4, P22_0～P22_6</td><td></td><td></td><td>11</td><td>mA</td></tr>
<tr><td>P21_1, P22_7～P22_15</td><td></td><td></td><td>10</td><td>mA</td></tr>
<tr><td></td><td></td><td></td><td></td><td></td></tr>
<tr><td>総和（BVCC）</td><td></td><td></td><td></td><td>60</td><td>mA</td></tr>
<tr><td>Pg A0</td><td>総和（A0VREF）</td><td></td><td></td><td></td><td>16</td><td>mA</td></tr>
<tr><td>Pg A1</td><td>総和（A1VREF）</td><td></td><td></td><td></td><td>16</td><td>mA</td></tr>
</table>

備考　“サイド”と“総和”の詳細な定義については、「**47B.2.3 ポート電流**」を参照してください。

(2) 233-Pin Version (RH850/F1KM-S4)

項目	略号	端子グループ	条件		MIN.	TYP.	MAX.	単位
ハイレベル出力電流	IOH	PgE	片サイド当たり	P9_0～P9_4, P20_0～P20_5			–30	mA
				P0_0～P0_3			–20	mA
				JP0_3～JP0_5, P0_4～P0_6, P0_11～P0_14, P1_0～P1_3, P1_12, P1_13, P2_6～P2_12, P8_2, P8_10～P8_12			–30	mA
				JP0_0～JP0_2, P1_8～P1_11, P2_0, P2_1, P2_13～P2_15, P3_0			–30	mA
				JP0_6, P0_7～P0_10, P1_4, P1_5, P1_14, P1_15, P2_2～P2_5, P8_0, P8_1, P8_3～P8_9			–30	mA
			総和（EVCC）				–60	mA
		PgB	片サイド当たり	P18_0～P18_7			–30	mA
				P18_8～P18_15, P19_0～P19_3			–30	mA
				P10_6～P10_14, P11_1～P11_7, P11_15, P12_0～P12_2, P13_0, P13_1			–30	mA
				P10_0～P10_2			–15	mA
				P10_3～P10_5			–15	mA
				P10_15, P11_0, P11_8～P11_12, P12_3～P12_5, P13_2～P13_7			–30	mA
			総和（BVCC）				–60	mA
		PgA0	総和（A0VREF）				–16	mA
		PgA1	総和（A1VREF）				–16	mA
ロウレベル出力電流	IOL	PgE	片サイド当たり	P9_0～P9_4, P20_0～P20_5			30	mA
				P0_0～P0_6, P0_11～P0_14, P1_0～P1_3, P1_12, P1_13, P2_6～P2_12			30	mA
				JP0_0～JP0_5, P1_8～P1_11, P2_0, P2_1, P2_13～P2_15 P3_0, P8_2, P8_10～P8_12			30	mA
				JP0_6, P0_7～P0_10, P2_2, P2_3			30	mA
				P1_4, P1_5, P1_14, P1_15, P2_4, P2_5, P8_0, P8_1, P8_3～P8_9			30	mA
			総和（EVCC）				60	mA
		PgB	片サイド当たり	P18_0～P18_7			30	mA
				P18_8～P18_15, P19_0～P19_3			30	mA
				P10_6～P10_14, P11_1, P11_2			30	mA
				P11_3～P11_7, P11_15, P12_0～P12_2, P13_0, P13_1			30	mA
				P10_0～P10_2			15	mA
				P10_3～P10_5			15	mA
				P10_15, P11_0, P11_8～P11_12, P12_3～P12_5, P13_2～P13_7			30	mA
			総和（BVCC）				60	mA
		PgA0	総和（A0VREF）				16	mA
		PgA1	総和（A1VREF）				16	mA

備考　“サイド”と“総和”の詳細な定義については、「**47B.2.3 ポート電流**」を参照してください。

(3) 176-Pin Version (RH850/F1KM-S4, RH850/F1KM-S2)

項目	略号	端子グループ	条件		MIN.	TYP.	MAX.	単位
ハイレベル出力電流	IOH	PgE	片サイド当たり	P9_0～P9_4, P20_0～P20_5			–30	mA
				P0_0～P0_3			–20	mA
				JP0_3～JP0_5, P0_4～P0_6, P0_11～P0_14, P1_0～P1_3, P1_12, P1_13, P2_6, P8_2, P8_10～P8_12			–30	mA
				JP0_0～JP0_2, P1_8～P1_11, P2_0, P2_1			–30	mA
				JP0_6, P0_7～P0_10, P1_4, P1_5, P1_14, P1_15, P2_2～P2_5, P8_0, P8_1, P8_3～P8_9			–30	mA
			総和（EVCC）				–60	mA
		PgB	片サイド当たり	P10_6～P10_9, P18_0～P18_7			–30	mA
				P10_10～P10_14, P11_1～P11_7, P11_15, P12_0～P12_2			–30	mA
				P10_0～P10_2			–15	mA
				P10_3～P10_5			–15	mA
				P10_15, P11_0, P11_8～P11_12, P12_3～P12_5			–30	mA
			総和（BVCC）				–60	mA
		PgA0	総和（A0VREF）				–16	mA
		PgA1	総和（A1VREF）				–16	mA
ロウレベル出力電流	IOL	PgE	片サイド当たり	P9_0～P9_4, P20_0～P20_5			11	mA
				P0_0～P0_6, P0_11～P0_14, P1_0～P1_3, P1_12, P1_13, P2_6			30	mA
				JP0_0～JP0_5, P1_8～P1_11, P2_0, P2_1, P8_2, P8_10～P8_12			30	mA
				JP0_6, P0_7～P0_10, P2_2, P2_3			30	mA
				P1_4, P1_5, P1_14, P1_15, P2_4, P2_5, P8_0, P8_1, P8_3～P8_9			30	mA
			総和（EVCC）				60	mA
		PgB	片サイド当たり	P18_0～P18_7			30	mA
				P10_6～P10_14, P11_1, P11_2			30	mA
				P11_3～P11_7, P11_15, P12_0～P12_2			30	mA
				P10_0～P10_2			15	mA
				P10_3～P10_5			15	mA
				P10_15, P11_0, P11_8～P11_12, P12_3～P12_5			30	mA
			総和（BVCC）				60	mA
		PgA0	総和（A0VREF）				16	mA
		PgA1	総和（A1VREF）				16	mA

備考 “サイド”と“総和”の詳細な定義については、「**47B.2.3 ポート電流**」を参照してください。

(4) 144-Pin Version (RH850/F1KM-S4, RH850/F1KM-S2)

項目	略号	端子グループ	条件		MIN.	TYP.	MAX.	単位
ハイレベル出力電流	IOH	PgE	片サイド当たり	P9_0～P9_4, P20_4, P20_5			–15	mA
				P0_0～P0_3			–20	mA
				JP0_3～JP0_5, P0_4～P0_6, P0_11～P0_14, P1_0～P1_3, P8_2, P8_10～P8_12			–30	mA
				JP0_0～JP0_2, P1_8～P1_11			–30	mA
				JP0_6, P0_7～P0_10, P1_4, P1_5, P8_0～P8_1, P8_3～P8_9			–30	mA
			総和（EVCC）				–60	mA
		PgB	片サイド当たり	P10_6～P10_9, P18_0～P18_3			–30	mA
				P10_10～P10_14, P11_1～P11_7, P11_15, P12_0～P12_2			–30	mA
				P10_0～P10_5, P10_15, P11_0, P11_8～P11_12			–30	mA
			総和（BVCC）				–60	mA
		PgA0	総和（A0VREF）				–16	mA
		PgA1	総和（A1VREF）				–8	mA
ロウレベル出力電流	IOL	PgE	片サイド当たり	P9_0～P9_4, P20_4～P20_5			15	mA
				P0_0～P0_6, P0_11～P0_14, P1_0～P1_3			30	mA
				JP0_0～JP0_5, P1_8～P1_11, P8_2, P8_10～P8_12			30	mA
				JP0_6, P0_7～P0_10			25	mA
				P1_4～P1_5, P8_0, P8_1, P8_3～P8_9			19	mA
			総和（EVCC）				60	mA
		PgB	片サイド当たり	P18_0～P18_3			20	mA
				P10_6～P10_14, P11_1, P11_2			30	mA
				P11_3～P11_7, P11_15, P12_0～P12_2			30	mA
				P10_0～P10_5, P10_15, P11_0, P11_8～P11_12			30	mA
			総和（BVCC）				60	mA
		PgA0	総和（A0VREF）				16	mA
		PgA1	総和（A1VREF）				8	mA

備考 “サイド”と“総和”の詳細な定義については、「**47B.2.3 ポート電流**」を参照してください。

(5) 100-Pin Version (RH850/F1KM-S4, RH850/F1KM-S2)

項目	略号	端子グループ	条件		MIN.	TYP.	MAX.	単位
ハイレベル出力電流	IOH	PgE	片サイド当たり	P9_0～P9_4			–5	mA
				P0_0～P0_3, P10_3～P10_5			–25	mA
				JP0_3～JP0_5, P0_4～P0_6, P0_11～P0_14, P8_2, P8_10～P8_12			–30	mA
				JP0_0～JP0_2			–11	mA
				P0_7～P0_10, P8_3～P8_9			–27	mA
				P10_6～P10_9			–20	mA
				P10_10～P10_14, P11_1～P11_7			–30	mA
				P10_0～P10_2			–15	mA
			総和（EVCC）				–60	mA
		PgA0	総和（A0VREF）				–16	mA
ロウレベル出力電流	IOL	PgE	片サイド当たり	P9_0～P9_4			5	mA
				P0_0～P0_6, P0_11～P0_14, P10_3～P10_5			30	mA
				JP0_0～JP0_5, P8_2, P8_10～P8_12			26	mA
				P0_7～P0_10			20	mA
				P8_3～P8_9			7	mA
				P10_6～P10_14, P11_1, P11_2			30	mA
				P11_3～P11_7			25	mA
				P10_0～P10_2			15	mA
			総和（EVCC）				60	mA
		PgA0	総和（A0VREF）				16	mA

備考　“サイド”と“総和”の詳細な定義については、「**47B.2.3 ポート電流**」を参照してください。

47B.4.3　電源電流

条件　　:　REGVCC、EVCC、BVCC、A0VREF と A1VREF の合計電流。ただし、I/O バッファは停止。

CPU の最大周波数が 240MHz の製品 (RH850/F1KM-S4)

項目	略号	条件				MIN.	TYP.注1	MAX.	単位
		CPU	PLL	Tj	周辺注2				
RUN モード電流	IDDR	動作（240MHz）	動作	–40～150°C	動作 (#1)		70	185	mA
				25°C	停止 (#1)		64		mA
RUN モード電流（データ／コードフラッシュ書き込み時）	IDDR3	動作（240MHz）	動作	–40～150°C	動作 (#2)		90	205	mA
RUN モード電流（コードフラッシュ BGO 操作時）	IDDRBGO	動作（240MHz）	動作	–40～150°C	動作 (#6)		90	205	mA
RUN モード電流（HALT 状態）	IDDH	動作（240MHz）	動作	–40～150°C	動作 (#3)		67	183	mA

CPU の最大周波数が 240MHz の製品 (RH850/F1KM-S2)

項目	略号	条件				MIN.	TYP.注1	MAX.	単位
		CPU	PLL	Tj	周辺注2				
RUN モード電流	IDDR	動作（240MHz）	動作	–40～150°C	動作 (#1)		60	154	mA
				25°C	停止 (#1)		46		mA
RUN モード電流（データ／コードフラッシュ書き込み時）	IDDR3	動作（240MHz）	動作	–40～150°C	動作 (#2)		80	174	mA
RUN モード電流（コードフラッシュ BGO 操作時）	IDDRBGO	動作（240MHz）	動作	–40～150°C	動作 (#6)		80	174	mA
RUN モード電流（HALT 状態）	IDDH	動作（240MHz）	動作	–40～150°C	動作 (#3)		58	152	mA

CPU の最大周波数が 160MHz の製品 (RH850/F1KM-S4)

項目	略号	条件				MIN.	TYP.注1	MAX.	単位
		CPU	PLL	Tj	周辺注2				
RUN モード電流	IDDR	動作（160MHz）	動作	–40～150°C	動作 (#1)		60	173	mA
				25°C	停止 (#1)		54		mA
RUN モード電流（データ／コードフラッシュ書き込み時）	IDDR3	動作（160MHz）	動作	–40～150°C	動作 (#2)		80	193	mA
RUN モード電流（コードフラッシュ BGO 操作時）		動作（160MHz）	動作	–40～150°C	動作 (#6)		80	193	mA
RUN モード電流（HALT 状態）	IDDH	動作（160MHz）	動作	–40～150°C	動作 (#3)		57	171	mA

CPU の最大周波数が 240MHz、160MHz の製品 (RH850/F1KM-S4)

項目	略号	条件				MIN.	TYP.注1	MAX.	単位
		CPU	PLL	Tj	周辺注2				
STOP モード電流	IDDS	停止	停止	–40～90°C	停止 (#2)		1.3	22	mA
				110°C	停止 (#2)			42	mA
				135°C	停止 (#2)			66	mA
DeepSTOP モード電流	IDDDS	電源オフ	電源オフ	–40～85°C	停止 (#3)		50	700	µA
				105°C	停止 (#3)			1280	µA
				125°C	停止 (#3)			1840	µA
Cyclic RUN モード電流	IDDCR	動作（HS IntOSC）	停止	–40～90°C	動作 (#4)		6.1	28	mA
				115°C	動作 (#4)			47	mA
				135°C	動作(#4)			71	mA
Cyclic STOP モード電流	IDDCS	停止	停止	–40～90°C	動作 (#5)		1.4	23	mA
				110°C	動作 (#5)			42	mA
				135°C	動作 (#5)			66	mA

CPU の最大周波数が 240MHz の製品 (RH850/F1KM-S2)

項目	略号	条件				MIN.	TYP.注1	MAX.	単位
		CPU	PLL	Tj	周辺注2				
STOP モード電流	IDDS	停止	停止	–40～90°C	停止 (#2)		1.0	21	mA
				110°C	停止 (#2)			38	mA
DeepSTOP モード電流	IDDDS	電源オフ	電源オフ	–40～85°C	停止 (#3)		50	670	µA
				105°C	停止 (#3)			1100	µA
Cyclic RUN モード電流	IDDCR	動作（HS IntOSC）	停止	–40～90°C	動作 (#4)		4.4	25	mA
				115°C	動作 (#4)			43	mA
Cyclic STOP モード電流	IDDCS	停止	停止	–40～90°C	動作 (#5)		1.2	21	mA
				110°C	動作 (#5)			39	mA

注1.　“TYP.”の条件は、以下の条件を備えた仕様を示します。また、値は参考値です。
- Tj＝25°C
- REGVCC＝EVCC＝BVCC＝A0VREF＝A1VREF＝5.0V
- AWOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V

注2.　各周辺機能の動作条件は、次ページの表に示します。

注：　Ta の範囲以内、接合温度が 150℃以下、適用条件（熱抵抗、電源電流、周辺電流（電源電流に含まれていない場合）、ポート出力電流、注入電流）の限界を超えていないことすべてを満たす必要があります。

機能		動作						停止		
		(#1)	(#2)	(#3)	(#4)	(#5)	(#6)	(#1)	(#2)	(#3)
AWO	MainOSC	動作	動作	動作	停止	停止	動作	動作	停止	停止
	SubOSC	停止	停止	停止	停止	停止	停止	停止	停止	停止
	HS IntOSC	動作	動作	動作	動作	停止	動作	動作	停止	停止
	FOUT	停止	停止	停止	停止	停止	停止	停止	停止	停止
	LPS	停止	停止	停止	停止	停止	停止	停止	停止	停止
	RRAM	読み出し／書き込み	読み出し／書き込み	アクセスなし	フェッチ	アクセスなし	読み出し／書き込み	読み出し／書き込み	アクセスなし	アクセスなし
	WDTA0	停止	停止	停止	停止	停止	停止	停止	停止	停止
	TAUJ0, TAUJ2	動作	動作	動作	動作 (LS IntOSC)	動作 (LS IntOSC)	動作	停止	停止	停止
	RTCA0	動作	動作	動作	動作 (LS IntOSC)	動作 (LS IntOSC)	動作	停止	停止	停止
	CLMA0	動作	動作	動作	動作	停止	動作	停止	停止	停止
	CLMA1	動作	動作	動作	停止	停止	動作	停止	停止	停止
	ADCA0	動作[注1]	動作[注1]	動作[注1]	停止	停止	動作[注1]	停止	停止	停止
ISO	CPU	動作 (PLL0)	動作 (PLL0)	HALT (PLL0)	動作 (HS IntOSC)	停止	動作 (PLL0)	動作 (PLL0)	停止	電源オフ
	ICUMD	動作	動作	動作	停止	停止	動作	停止	停止	
	DMA	動作	動作	動作	停止	停止	動作	停止	停止	
	PLL0	動作	動作	動作	停止	停止	動作	動作	停止	
	PLL1	動作	動作	動作	停止	停止	動作	動作	停止	
	Code flash (FLI0)	フェッチ	フェッチ	アクセスなし	アクセスなし	アクセスなし	フェッチ	フェッチ	アクセスなし	
	Code flash (FLI1)	フェッチ	フェッチ	アクセスなし	アクセスなし	アクセスなし	書き込み／消去	フェッチ	アクセスなし	
	Data flash	読み出し	書き込み／消去	アクセスなし	アクセスなし	アクセスなし	アクセスなし	読み出し	アクセスなし	
	LRAM	読み出し／書き込み	読み出し／書き込み	アクセスなし	アクセスなし	アクセスなし	読み出し／書き込み	読み出し／書き込み	アクセスなし	
	GRAM	読み出し／書き込み[注2]	読み出し／書き込み[注2]	アクセスなし	アクセスなし	アクセスなし	読み出し／書き込み[注2]	読み出し／書き込み[注2]	アクセスなし	
	OSTMn	動作	動作	動作	停止	停止	動作	停止	停止	
	WDTA1	停止	停止	停止	停止	停止	停止	停止	停止	
	TAUD0	動作	動作	動作	停止	停止	動作	停止	停止	
	TAUBn	動作	動作	動作	停止	停止	動作	停止	停止	
	TAUJ1, TAUJ3	動作	動作	動作	停止	停止	動作	停止	停止	
	TAPA, PIC	停止	停止	停止	停止	停止	停止	停止	停止	
	ENCA0	動作	動作	動作	停止	停止	動作	停止	停止	
	PWM-diag	動作	動作	動作	停止	停止	動作	停止	停止	
	RLIN3n	動作	動作	動作	停止	停止	動作	停止	停止	
	RLIN24n	待機	待機	待機	停止	停止	待機	停止	停止	
	RCFDCn	待機	待機	待機	停止	停止	待機	停止	停止	
	CSIGn	動作	動作	動作	停止	停止	動作	停止	停止	
	CSIHn	動作	動作	動作	停止	停止	動作	停止	停止	
	RIICn	待機	待機	待機	停止	停止	待機	停止	停止	
	FlexRay	動作	動作	動作	停止	停止	動作	停止	停止	
	ETNBn	待機	待機	待機	停止	停止	待機	停止	停止	
	SFMA0	動作	動作	動作	停止	停止	動作	停止	停止	
	KR	待機	待機	待機	停止	停止	待機	停止	停止	
	RSENTn	動作	動作	動作	停止	停止	待機	停止	停止	
	CLMA2	動作	動作	動作	停止	停止	動作	停止	停止	
	CLMA3	動作	動作	動作	停止	停止	動作	停止	停止	
	ADCA1	動作	動作	動作	停止	停止	動作	停止	停止	

注1.　T&H 使用時

注2.　GRZF 未使用時

47B.4.4　注入電流

表 47B.1　端子グループの定義（RH850/F1KM-S4 272-Pin Version）

略称	端子グループ用電源	端子
PgR	REGVCC, AWOVSS	IP0_0
PgE	EVCC, EVSS	JP0, P0, P1, P2, P3, P20
PgB	BVCC, BVSS	P10, P11, P12, P13, P21, P22
PgE'	EVCC, EVSS	P8, P9
PgB'	BVCC, BVSS	P18, P19
PgA0	A0VREF, A0VSS	AP0
PgA1	A1VREF, A1VSS	AP1

表 47B.2　端子グループの定義（RH850/F1KM-S4 233-Pin Version）

略称	端子グループ用電源	端子
PgR	REGVCC, AWOVSS	IP0_0
PgE	EVCC, EVSS	JP0, P0, P1, P2, P3, P20
PgB	BVCC, BVSS	P10, P11, P12, P13
PgE'	EVCC, EVSS	P8, P9
PgB'	BVCC, BVSS	P18, P19
PgA0	A0VREF, A0VSS	AP0
PgA1	A1VREF, A1VSS	AP1

表 47B.3　端子グループの定義（RH850/F1KM-S4, RH850/F1KM-S2 176-Pin Version）

略称	端子グループ用電源	端子
PgR	REGVCC, AWOVSS	IP0_0
PgE	EVCC, EVSS	JP0, P0, P1, P2, P20
PgB	BVCC, BVSS	P10, P11, P12
PgE'	EVCC, EVSS	P8, P9
PgB'	BVCC, BVSS	P18
PgA0	A0VREF, A0VSS	AP0
PgA1	A1VREF, A1VSS	AP1

表 47B.4　端子グループの定義（RH850/F1KM-S4, RH850/F1KM-S2 144-Pin Version）

略称	端子グループ用電源	端子
PgR	REGVCC, AWOVSS	IP0_0
PgE	EVCC, EVSS	JP0, P0, P1, P20
PgB	BVCC, BVSS	P10, P11, P12
PgE'	EVCC, EVSS	P8, P9
PgB'	BVCC, BVSS	P18
PgA0	A0VREF, A0VSS	AP0
PgA1	A1VREF, A1VSS	AP1

表 47B.5　端子グループの定義（RH850/F1KM-S4, RH850/F1KM-S2 100-Pin Version）

略称	端子グループ用電源	端子
PgE	EVCC, EVSS	JP0, P0, P10, P11
PgE'	EVCC, EVSS	P8, P9
PgA0	A0VREF, A0VSS	AP0

47B.4.4.1　　絶対最大定格

(1)　272/233/176/144-Pin Versions (RH850/F1KM-S4), 176/144-Pin Versions (RH850/F1KM-S2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
正のオーバロード電流 VIN＞VCC	I_{INJPM}	PgE	1 端子			10	mA
			総和			60	mA
		PgB	1 端子			10	mA
			総和			60	mA
		PgE’	1 端子			10	mA
			総和			60	mA
		PgB’	1 端子			10	mA
			総和			60	mA
		PgA0	1 端子			10	mA
			総和			60	mA
		PgA1	1 端子			10	mA
			総和			60	mA
		PgR	1 端子			10	mA
負のオーバロード電流 VIN＜VSS	I_{INJNM}	PgE	1 端子			–10	mA
			総和			–60	mA
		PgB	1 端子			–10	mA
			総和			–60	mA
		PgE’	1 端子			–10	mA
			総和			–60	mA
		PgB’	1 端子			–10	mA
			総和			–60	mA
		PgA0	1 端子			–10	mA
			総和			–60	mA
		PgA1	1 端子			–10	mA
			総和			–60	mA
		PgR	1 端子			–10	mA

注　意

1. DC 注入電流（総和）は、1 端子当たりの注入電流のスペックを満足していることが条件です。
2. PgA0 と PgA1 用の注入電流の場合は、ADC の自己診断を行う端子の隣接端子に注入電流が印加されるとき、TESH0SN が維持されます。ADC の自己診断を行う端子に注入電流が印加されると、注入電流の絶対値が増加するにつれ、TESH0SN の偏差は急激に増加します。

(2) 100-Pin Version (RH850/F1KM-S4, RH850/F1KM-S2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
正のオーバロード電流 VIN＞VCC	I_{INJPM}	PgE	1 端子			10	mA
			総和			60	mA
		PgE’	1 端子			10	mA
			総和			60	mA
		PgA0	1 端子			10	mA
			総和			60	mA
負のオーバロード電流 VIN＜VSS	I_{INJNM}	PgE	1 端子			–10	mA
			総和			–60	mA
		PgE’	1 端子			–10	mA
			総和			–60	mA
		PgA0	1 端子			–10	mA
			総和			–60	mA

注　意

1. DC 注入電流（総和）は、1 端子当たりの注入電流のスペックを満足していることが条件です。
2. PgA0 用の注入電流の場合は、ADC の自己診断を行う端子の隣接端子に注入電流が印加されるとき、TESH0SN が維持されます。ADC の自己診断を行う端子に注入電流が印加されると、注入電流の絶対値が増加するにつれ、TESH0SN の偏差は急激に増加します。

47B.4.4.2　オーバロード電流の DC 特性

(1) 272/233/176/144-Pin Versions (RH850/F1KM-S4), 176/144-Pin Versions (RH850/F1KM-S2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
正のオーバロード電流 VIN＞VCC	I_{INJP}	PgE	1 端子			2	mA
			総和			50	mA
		PgB	1 端子			2	mA
			総和			50	mA
		PgE’	1 端子			3	mA
			総和			20	mA
		PgB’	1 端子			3	mA
			総和			20	mA
		PgA0	1 端子			3	mA
			総和			20	mA
		PgA1	1 端子			3	mA
			総和			20	mA
		PgR	1 端子			2	mA
負のオーバロード電流 VIN＜VSS	I_{INJN}	PgE	1 端子			–2	mA
			総和			–50	mA
		PgB	1 端子			–2	mA
			総和			–50	mA
		PgE’	1 端子			–3	mA
			総和			–20	mA
		PgB’	1 端子			–3	mA
			総和			–20	mA
		PgA0	1 端子			–3	mA
			総和			–20	mA
		PgA1	1 端子			–3	mA
			総和			–20	mA
		PgR	1 端子			–2	mA

備　考

これらの仕様は、分類別にテストされておらず、デバイスの特性に基づいて指定されています。

(2) 100-Pin Version (RH850/F1KM-S4, RH850/F1KM-S2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
正のオーバロード電流 VIN＞VCC	I_{INJP}	PgE	1 端子			2	mA
			総和			50	mA
		PgE’	1 端子			3	mA
			総和			20	mA
		PgA0	1 端子			3	mA
			総和			20	mA
負のオーバロード電流 VIN＜VSS	I_{INJN}	PgE	1 端子			–2	mA
			総和			–50	mA
		PgE’	1 端子			–3	mA
			総和			–20	mA
		PgA0	1 端子			–3	mA
			総和			–20	mA

備　考

これらの仕様は、分類別にテストされておらず、デバイスの特性に基づいて指定されています。

47B.4.5 電源特性

47B.4.5.1 レギュレータ特性

条件　: REGVCC＝EVCC＝VPOC～5.5V, BVCC＝VPOC～REGVCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, Tj＝–40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧	REGVCC		VPOC 注1		5.5	V
出力電圧	AWOVCL	AWOVCL 端子	1.15	1.25	1.35	V
	ISOVCL	ISOVCL 端子	1.15	1.25	1.35	V
キャパシタンス	CAWOVCL	AWOVCL 端子	0.07	0.10	0.13	μF
	CISOVCL	ISOVCL 端子	0.07	0.10	0.13	μF
負荷容量のための等価直列抵抗	RVRAWO	CAWOVCL 用			40 注2	mΩ
	RVRISO	CISOVCL 用			40 注2	mΩ
パワーオン時の突入電流 (RH850/F1KM-S4)					250	mA
パワーオン時の突入電流 (RH850/F1KM-S2)					250	mA

注1.　“VPOC”は POC（パワーオンクリア）検出電圧のことです（typ. 2.85V）。詳細は「**47B.4.5.2 電圧検出（POC, LVI, VLVI, CVM）特性**」を参照してください。

注2.　これは参考値です。

47B.4.5.2　電圧検出（POC, LVI, VLVI, CVM）特性

条件　：REGVCC＝EVCC＝VPOC～5.5V, BVCC＝VPOC～REGVCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

項目	略号	条件			MIN.	TYP.	MAX.	単位
検出電圧（REGVCC）	VPOC	POC			2.7	2.85	3.0	V
	VLVI0	LVI	立ち上がり		3.87	4.0	4.13	V
			立ち下がり		3.9	4.0	4.1	V
	VLVI1		立ち上がり		3.57	3.7	3.83	V
			立ち下がり		3.6	3.7	3.8	V
	VLVI2		立ち上がり		3.37	3.5	3.63	V
			立ち下がり		3.4	3.5	3.6	V
	VVLVI	VLVI			1.8	1.9	2.0	V
検出電圧（ISOVCL）	VCVMH	CVM	高電圧 注		1.35	1.39	1.43	V
	VCVML 注8		低電圧 注		1.10	1.15	1.20	V
応答時間	t_{D_POC1} 注6	POC	パワーオン時（立ち上がり）	注1			2	ms
				注2			6.3	ms
			パワーオン後（立ち上がり）	注3			2	ms
				注4			5	ms
	t_{D_POC2} 注7		パワーオン後（立ち下がり）	注5			5	μs
	t_{D_LVI}	LVI					2	ms
	t_{D_VLVI}	VLVI		注3			2	ms
				注4			5	ms
	t_{D_CVM}	CVM			0.2		10	μs
セットアップ時間	t_{S_LVI}	LVI	LVICNT0,1 ビットを 1 に設定すると（00_B を除く）、LVI は有効になります。				80	μs
REGVCC 最小幅	t_{W_POC}	POC			0.2			ms
	t_{W_LVI}	LVI			0.2			ms
	t_{W_VLVI}	VLVI			0.2			ms

注1.　電圧勾配（t_{VS}）：0.02V/ms≦t_{VS}≦0.5V/ms

注2.　電圧勾配（t_{VS}）：0.5V/ms＜t_{VS}≦500V/ms

注3.　電圧勾配（t_{VS}）：0.02V/ms≦t_{VS}≦20V/ms

注4.　電圧勾配（t_{VS}）：20V/ms＜t_{VS}≦500V/ms

注5.　電圧勾配（t_{VS}）：0.02V/ms≦t_{VS}≦500V/ms

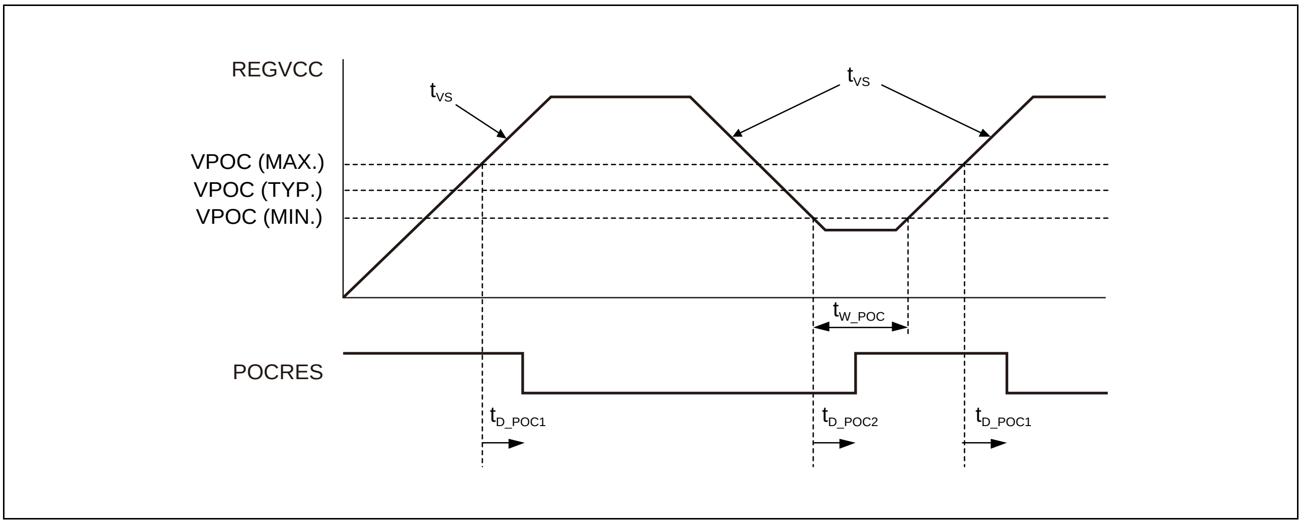
注6.　t_{D_POC1} は、検出電圧からリセット信号解除までの時間です。

注7.　t_{D_POC2} は、検出電圧からリセット信号発生までの時間です。

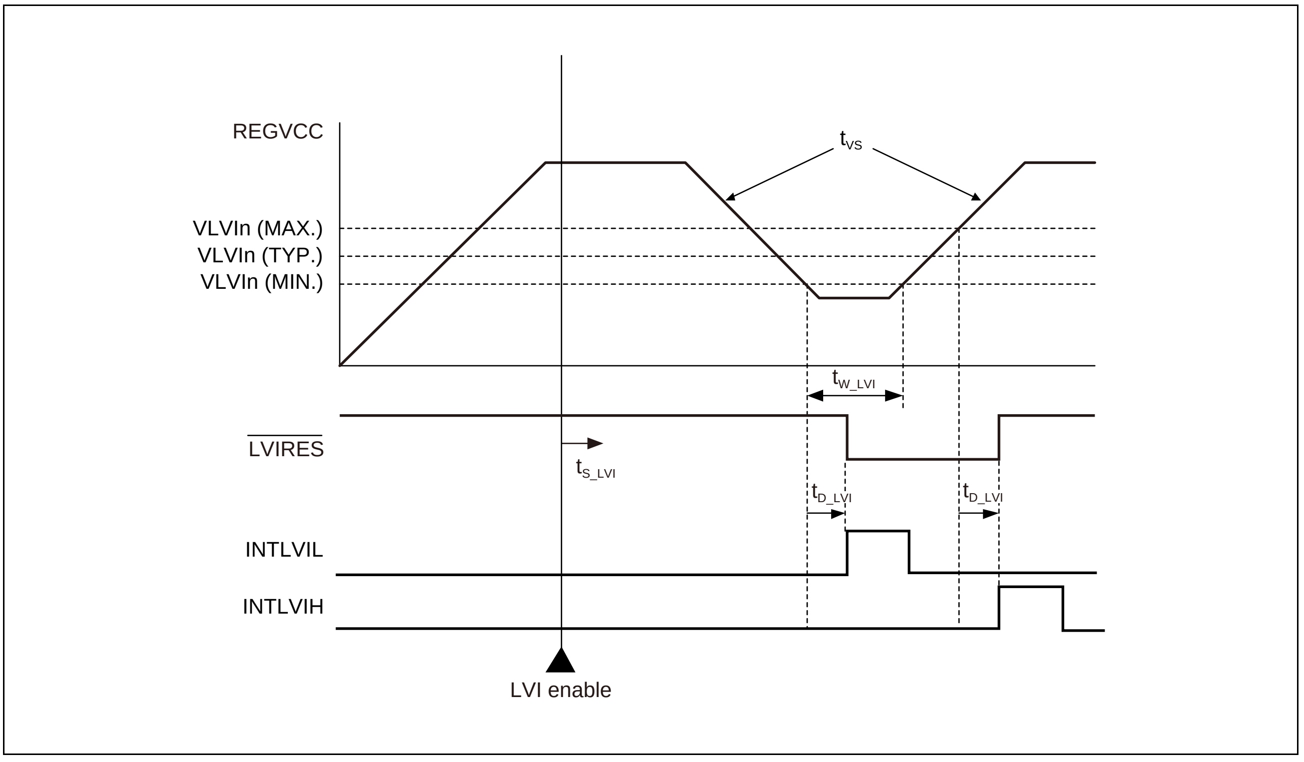
注8.　CVM は内蔵電圧レギュレータの出力をモニタしているため、ISOVCL の低電圧より高いことが保証されます。

注：　VCVMH, VCVML で指定されたレベル外の ISOVCL 電圧の検出は CVM では保証できません。

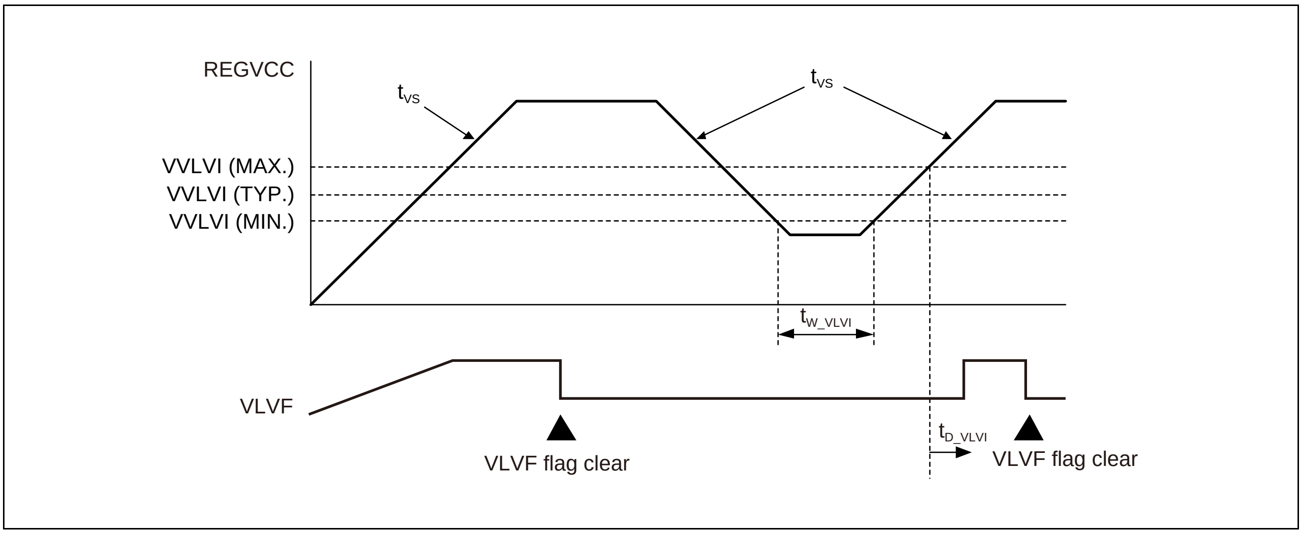
POC


REGVCC
tVS
tVS
VPOC (MAX.)
VPOC (TYP.)
VPOC (MIN.)
tW_POC
POCRES
tD_POC1
tD_POC2
tD_POC1

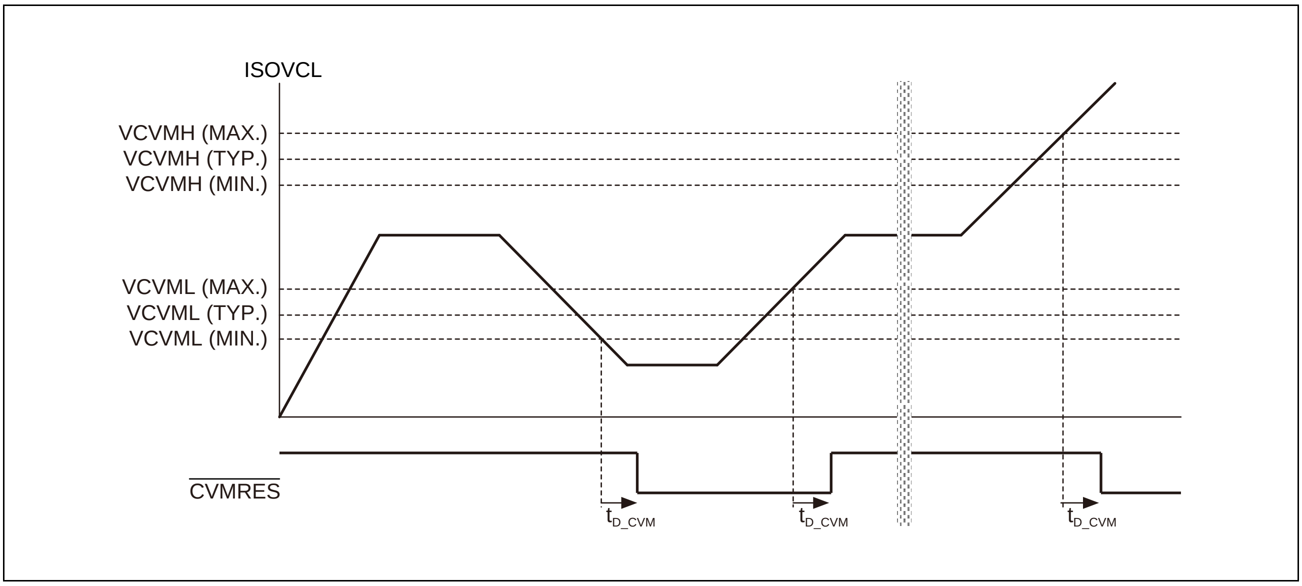
LVI


REGVCC
tVS
VLVIn (MAX.)
VLVIn (TYP.)
VLVIn (MIN.)
tW_LVI
LVIRES
tS_LVI
tD_LVI
tD_LVI
INTLVIL
INTLVIH
LVI enable

VLVI


REGVCC
tVS
tVS
VVLVI (MAX.)
VVLVI (TYP.)
VVLVI (MIN.)
tW_VLVI
VLVF
VLVF flag clear
tD_VLVI
VLVF flag clear

CVM


ISOVCL
VCVMH (MAX.)
VCVMH (TYP.)
VCVMH (MIN.)
VCVML (MAX.)
VCVML (TYP.)
VCVML (MIN.)
CVMRES
tD_CVM
tD_CVM
tD_CVM

47B.4.5.3　パワーアップ／ダウンタイミング

条件　: REGVCC＝EVCC＝VPOC～5.5V, BVCC＝VPOC～REGVCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

表 47B.6　$\overline{\text{RESET}}$ 端子を使用した場合（通常動作モード）

項目	略号	条件	MIN.	TYP.	MAX.	単位
電圧勾配（REGVCC, IOVCC 注1）	t_{VS}		0.02（＝50ms/V）		500（＝2μs/V）	V/ms
REGVCC↑, IOVCC 注1↑ ～ $\overline{\text{RESET}}$↑ 遅延時間	t_{DPOR}	電圧勾配（t_{VS}）：0.02V/ms≦t_{VS}≦0.5V/ms	2			ms
		電圧勾配（t_{VS}）：0.5V/ms＜t_{VS}≦500V/ms	6.3			ms
FLMD0 ホールド時間（対 $\overline{\text{RESET}}$↑）	t_{HMDR}		1			ms
FLMD0 セットアップ時間（対 $\overline{\text{RESET}}$↓）	t_{SMDF}		0			μs
$\overline{\text{RESET}}$↓ ～ REGVCC↓, IOVCC 注1↓ 遅延時間	t_{DRPD}		0			ms

注1.　IOVCC は EVCC、BVCC、A0VREF と A1VREF を示します。

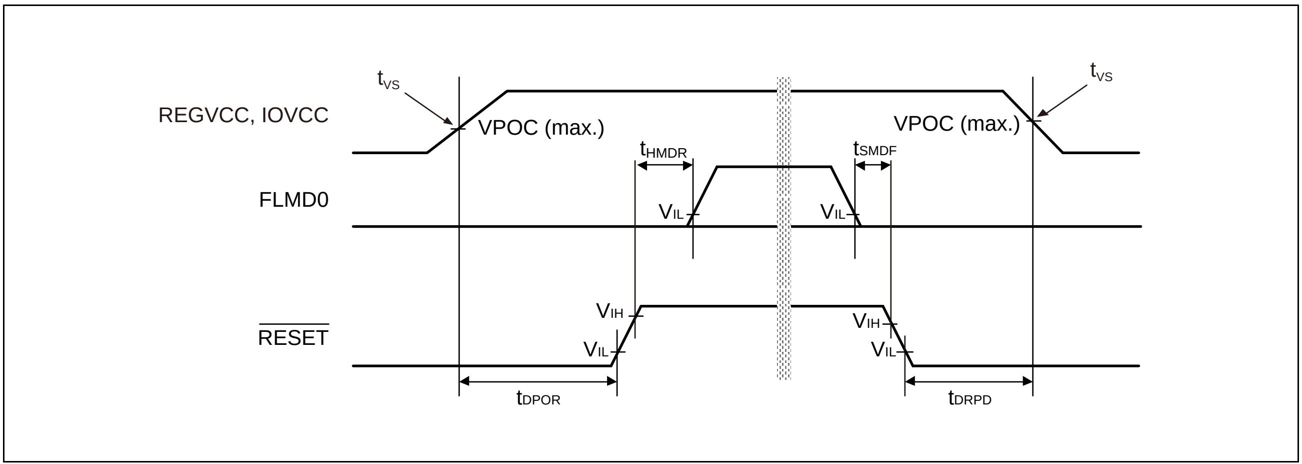


表 47B.7　　$\overline{\text{RESET}}$ 端子を使用した場合（シリアルプログラミングモード）

項目	略号	条件	MIN.	TYP.	MAX.	単位
電圧勾配 （REGVCC, IOVCC 注 1）	t_{VS}		0.02 (=50ms/V)		500 (=2μs/V)	V/ms
REGVCC ↑ , IOVCC 注 1 ↑ ～ $\overline{\text{RESET}}$ ↑ 遅延時間	t_{DPOR}	電圧勾配（t_{VS}）：0.02V/ms≦t_{VS}≦0.5V/ms	2			ms
		電圧勾配（t_{VS}）：0.5V/ms＜t_{VS}≦500V/ms	6.3			ms
FLMD0 セットアップ時間 （対 $\overline{\text{RESET}}$ ↑ ）	t_{SMD0R}		1			ms
$\overline{\text{RESET}}$ ↓ ～ REGVCC ↓ , IOVCC 注 1 ↓ 遅延時間	t_{DRPD}		0			ms

注1.　IOVCC は EVCC、BVCC、A0VREF と A1VREF を示します。

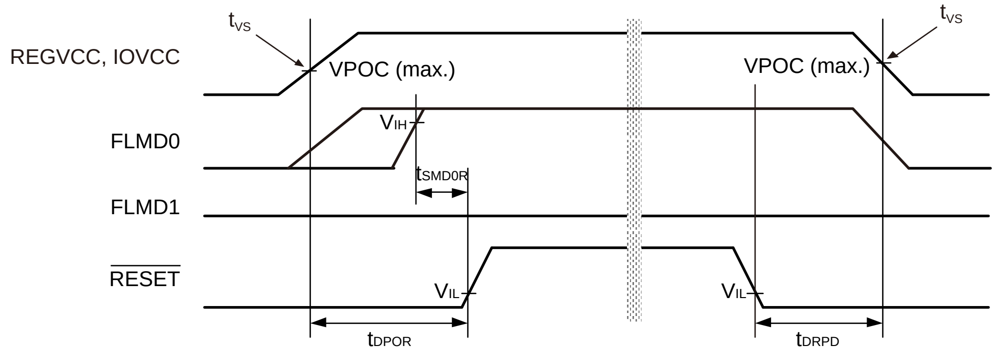


表 47B.8　$\overline{\text{RESET}}$ 端子を使用した場合（バウンダリスキャンモード）

項目	略号	条件	MIN.	TYP.	MAX.	単位
電圧勾配（REGVCC, IOVCC [注1]）	t_{VS}		0.02（=50ms/V）		500（=2μs/V）	V/ms
REGVCC↑, IOVCC [注1]↑ ～ $\overline{\text{RESET}}$↑ 遅延時間	t_{DPOR}	電圧勾配（t_{VS}）：0.02V/ms≦t_{VS}≦0.5V/ms	2			ms
		電圧勾配（t_{VS}）：0.5V/ms＜t_{VS}≦500V/ms	6.3			ms
FLMD0 セットアップ時間（対 $\overline{\text{RESET}}$↑）	t_{SMD0R}		1			ms
FLMD1,MODE0,MODE1 セットアップ時間（対 FLMD0↑）	t_{SMD1R}		1			μs
FLMD0 ホールド時間（対 $\overline{\text{RESET}}$↓）	t_{HMD0F}		1			μs
FLMD1, MODE0, MODE1, MODE2 ホールド時間（対 FLMD0↓）	t_{HMD1F}		1			μs
$\overline{\text{RESET}}$↓ ～ REGVCC↓, IOVCC [注1]↓ 遅延時間	t_{DRPD}		0			ms
$\overline{\text{DCUTRST}}$ 入力遅延時間（対 $\overline{\text{RESET}}$↑）	t_{DRTRST}		1			ms
$\overline{\text{RESET}}$ ホールド時間（対 $\overline{\text{DCUTRST}}$↓）	t_{HRTRST}		0			ms

注1.　IOVCC は EVCC、BVCC、A0VREF と A1VREF を示します。

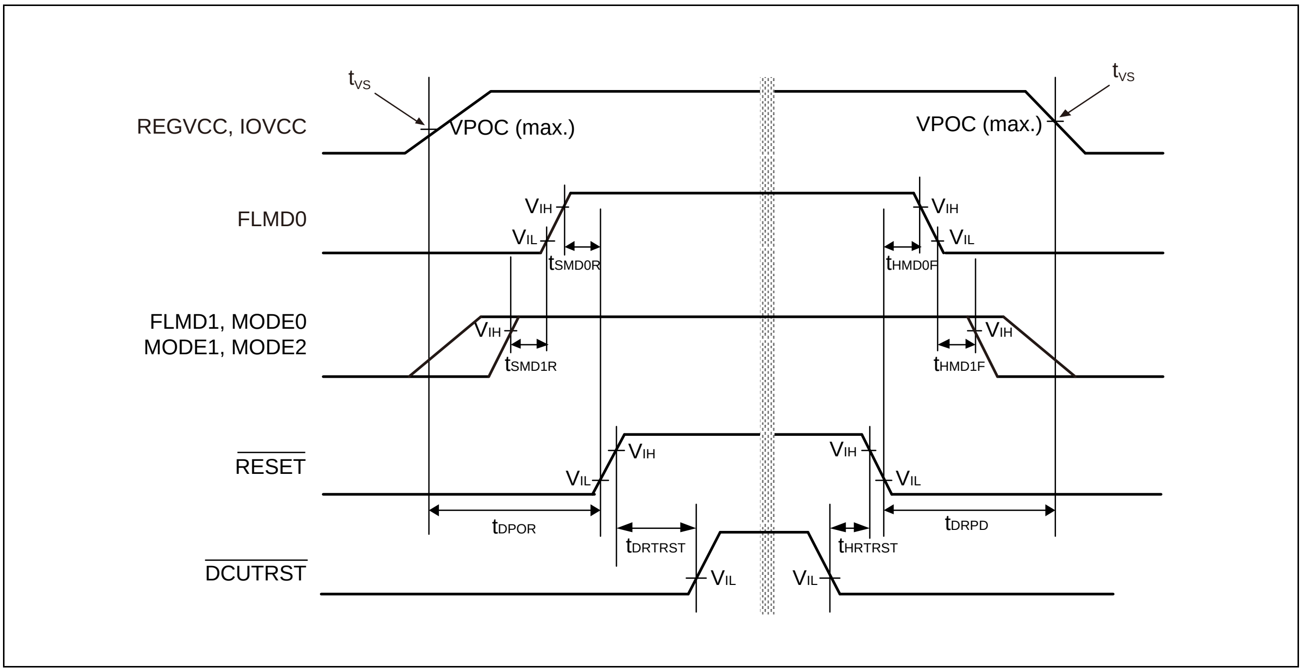


表 47B.9　$\overline{\text{RESET}}$ 端子を使用した場合（ユーザブートモード）

項目	略号	条件	MIN.	TYP.	MAX.	単位
電圧勾配 (REGVCC, IOVCC 注 1)	t_{VS}		0.02 (＝50ms/V)		500 (＝2μs/V)	V/ms
REGVCC ↑ , IOVCC 注 1 ↑ ～ $\overline{\text{RESET}}$ ↑ 遅延時間	t_{DPOR}	電圧勾配（t_{VS}） ：0.02V/ms≦t_{VS}≦0.5V/ms	2			ms
		電圧勾配（t_{VS}） ：0.5V/ms＜t_{VS}≦500V/ms	6.3			ms
FLMD0 セットアップ時間 （対 $\overline{\text{RESET}}$ ↑ ）	t_{SMD0R}		1			ms
FLMD1, MODE0, MODE1, MODE2 セットアップ時間 （対 FLMD0 ↑)	t_{SMD1R}		1			μs
FLMD0 ホールド時間 （対 $\overline{\text{RESET}}$ ↓)	t_{HMD0F}		1			μs
FLMD1, MODE0, MODE1, MODE2 ホールド時間 （対 FLMD0 ↓)	t_{HMD1F}		1			μs
$\overline{\text{RESET}}$ ↓ ～ REGVCC ↓ , IOVCC ↓ 遅延時間	t_{DRPD}		0			ms

注1.　IOVCC は EVCC、BVCC、A0VREF と A1VREF を示します。

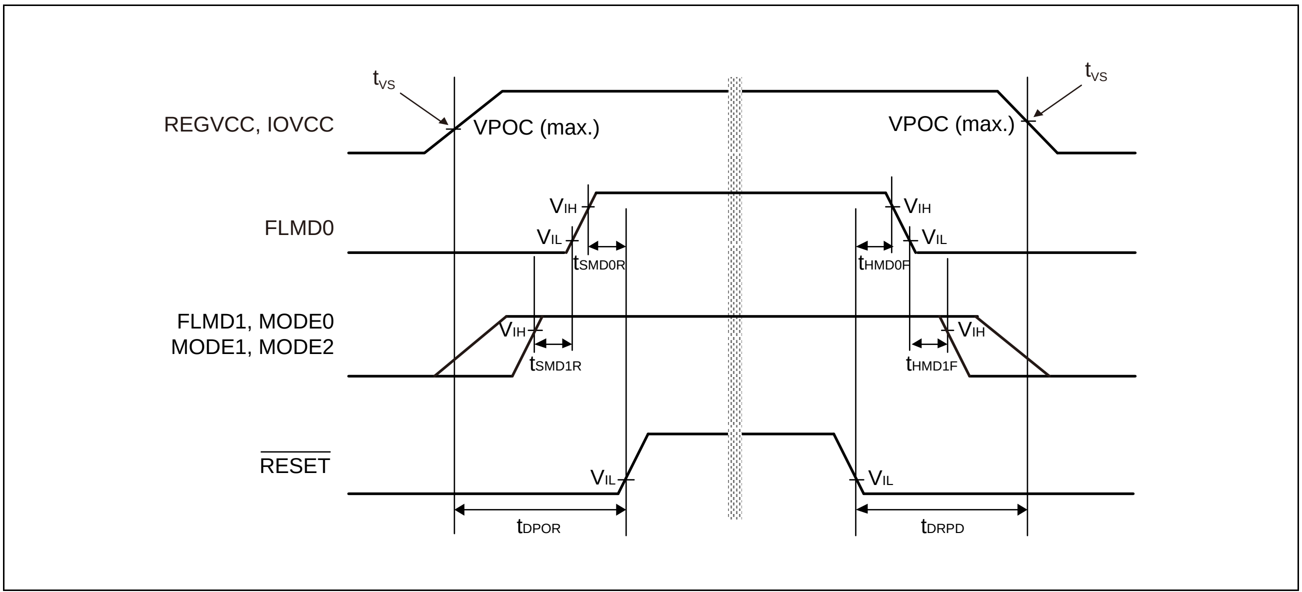
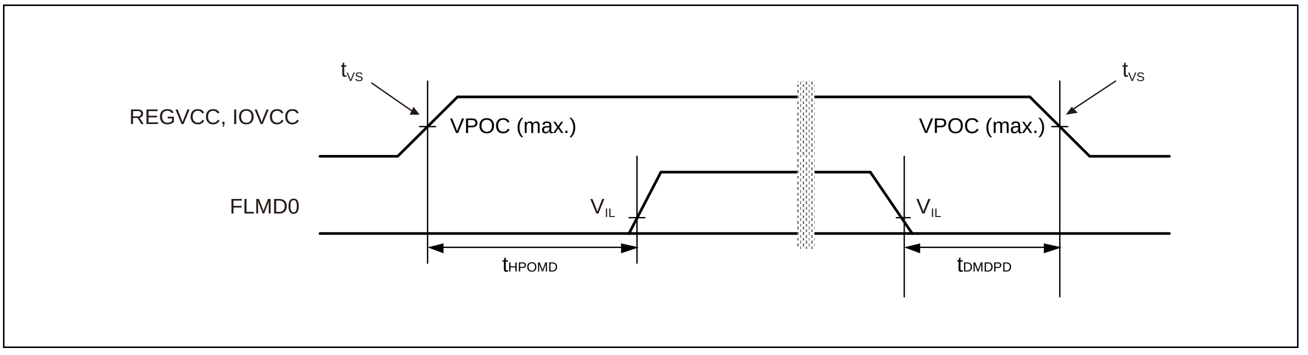


表 47B.10　$\overline{\text{RESET}}$ 端子を使用せず、プルアップによってハイレベルに固定した場合[注1]

項目	略号	条件	MIN.	TYP.	MAX.	単位
電圧勾配（REGVCC, IOVCC[注2]）	t_{VS}		0.02 (=50ms/V)		500 (=2μs/V)	V/ms
REGVCC ↑ , IOVCC[注2] ↑ 〜 FLMD0 ホールド時間	t_{HPOMD}	電圧勾配（t_{VS}）：0.02V/ms≦t_{VS}≦0.5V/ms	2			ms
		電圧勾配（t_{VS}）：0.5V/ms＜t_{VS}≦500V/ms	6.3			ms
FLMD0 ↓ 〜 REGVCC ↓ , IOVCC[注2] ↓ 遅延時間	t_{DMDPD}		1			μs

注1.　この動作状態は、通常動作モードでのみ使用できます（セルフプログラミングモードを含む）。
　　　デバイスを通常動作モード以外で使用する場合は、$\overline{\text{RESET}}$ 端子を使用してください。

注2.　IOVCC は EVCC、BVCC、A0VREF と A1VREF を示します。



47B.4.5.4　CPU リセット解除タイミング

条件　: REGVCC＝EVCC＝VPOC～5.5V, BVCC＝VPOC～REGVCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

表 47B.11　$\overline{\text{RESET}}$ 端子を使用しない場合

項目	略号	条件	MIN.	TYP.	MAX.	単位
REGVCC ↑ ～ CPU リセット解除[注1]	t_{DPCRR}	電圧勾配（t_{VS}）：0.02V/ms≦t_{VS}≦0.5V/ms			2.58	ms
		電圧勾配（t_{VS}）：0.5V/ms＜t_{VS}≦500V/ms			8.3	ms

注1.　これは参考値です。

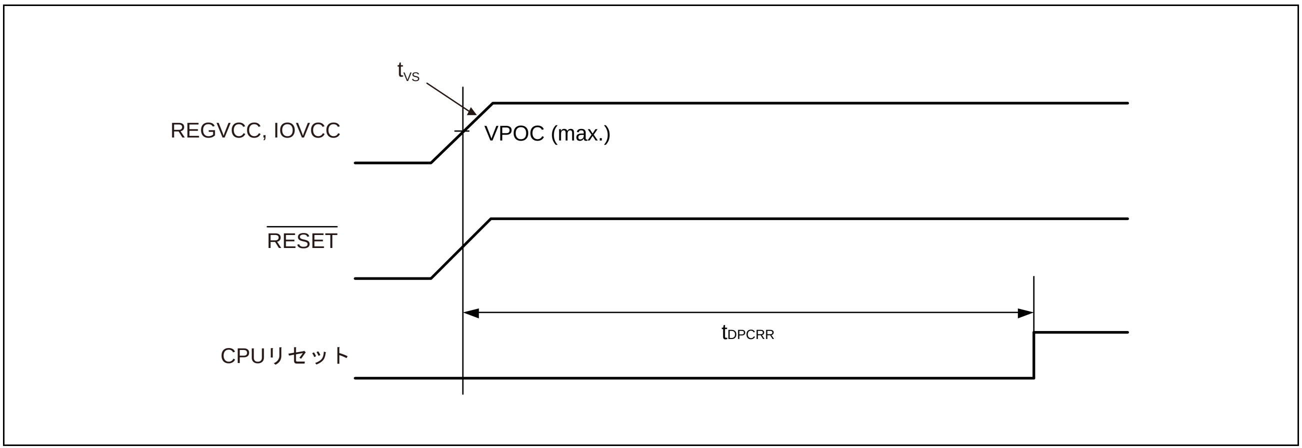
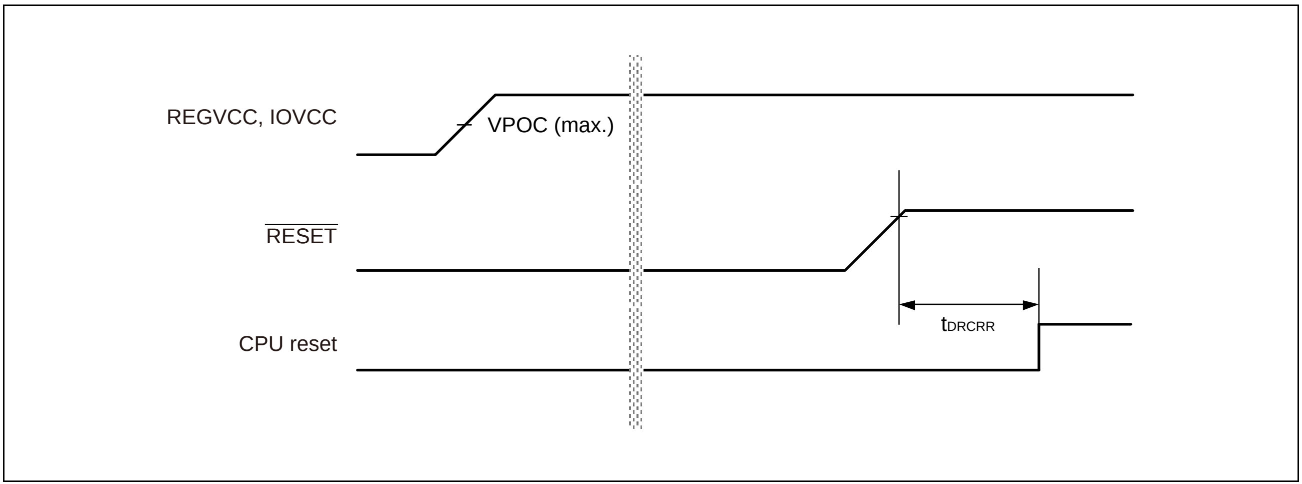


表 47B.12　$\overline{\text{RESET}}$ 端子を使用した場合

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{RESET}}$ ↑ ～ CPU リセット解除[注1]	t_{DRCRR}				32 [注2]	μs

注1.　これは参考値です。

注2.　$\overline{\text{RESET}}$ ピンを解除するまでの時間が t_{DPCRR} より長い場合。



47B.5　AC 特性

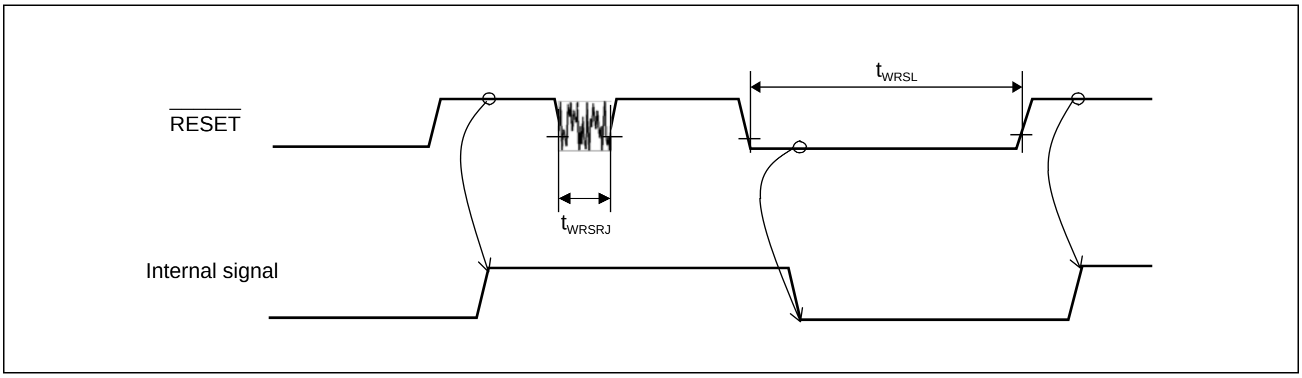
47B.5.1　$\overline{\text{RESET}}$ タイミング

条件　:　REGVCC＝EVCC＝3.0V～5.5V, BVCC＝3.0V～REGVCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{RESET}}$ 入力ロウレベル幅注 1	t_{WRSL}	パワーオン時を除く	600			ns
$\overline{\text{RESET}}$ パルス除去注 2	t_{WRSRJ}		100			ns

注1.　$\overline{\text{RESET}}$ 入力幅は、内部リセット信号をアクティブとするために必要です。

注2.　最小値より短いパルスは無視されます。これは参考値です。ノイズは下記図のようにフィルターされます。



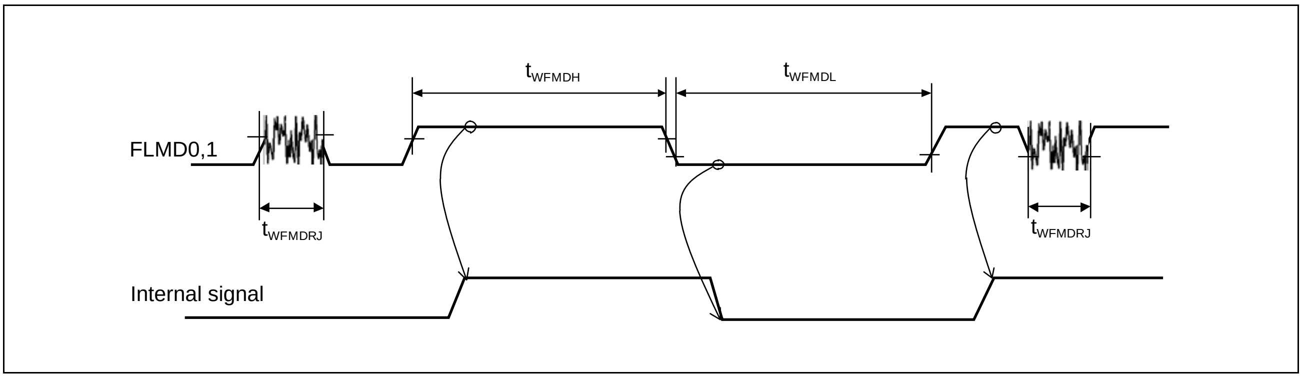
47B.5.2　モードタイミング

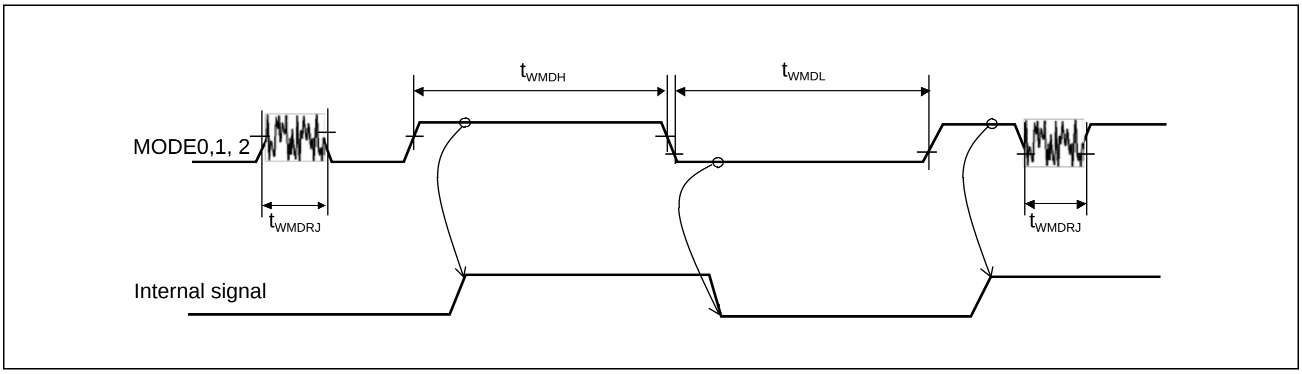
条件　: REGVCC＝EVCC＝3.0V～5.5V, BVCC＝3.0V～REGVCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
FLMD0, 1 入力ハイ／ロウレベル幅注 1	t_{WFMDH}/ t_{WFMDL}		600			ns
FLMD0, 1 パルス除去注 2	t_{WFMDRJ}		100			ns
MODE0, 1, 2 入力ハイ／ロウレベル幅注 1	t_{WMDH}/ t_{WMDL}		600			ns
MODE0, 1, 2 パルス除去注 2	t_{WMDRJ}		100			ns

注1.　FLMD0, 1 と MODE0, 1, 2 の入力幅は、内部モード信号がアクティブであることを保証するために必要です。

注2.　最小値より短いパルスは無視されます。これは参考値です。ノイズは下記図のようにフィルターされます。





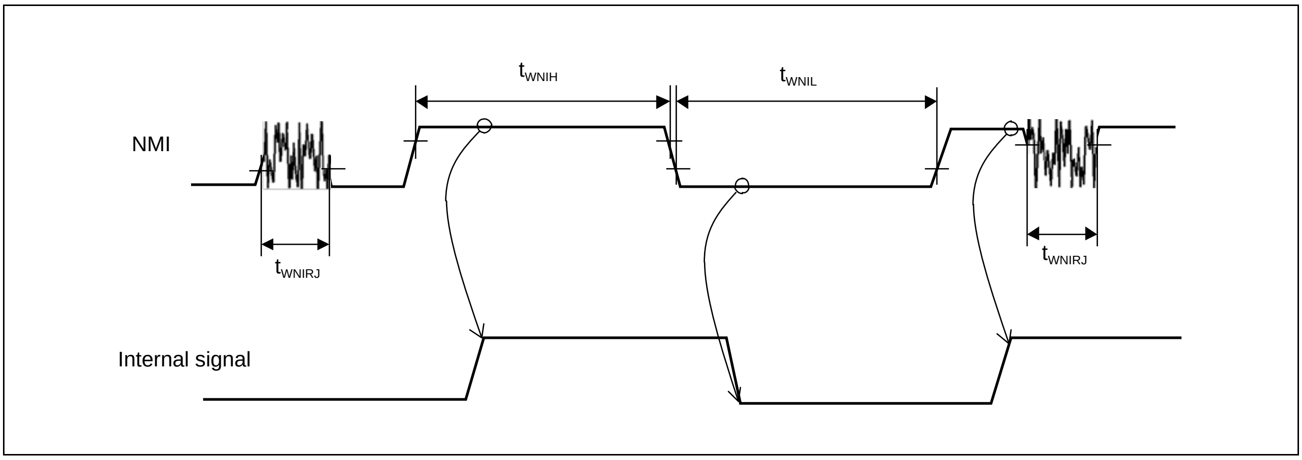
47B.5.3　割り込みタイミング

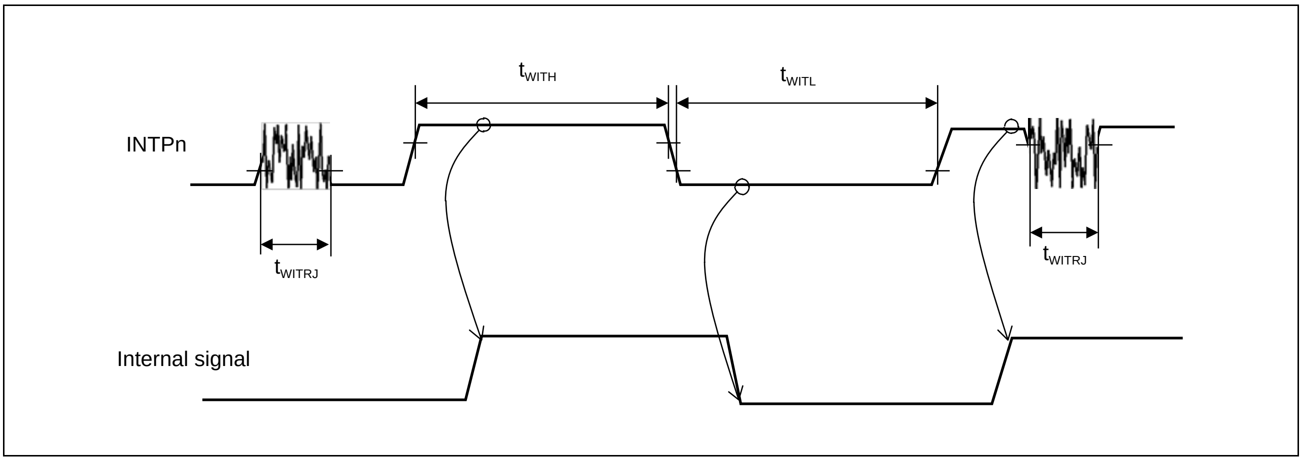
条件　: REGVCC＝EVCC＝3.0V～5.5V, BVCC＝3.0V～REGVCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1µF±30%, CISOVCL：0.1µF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
NMI 入力ハイ／ロウレベル幅注1	t_{WNIH}/ t_{WNIL}	エッジ検出モード	600			ns
		レベル検出モード（EMCLK は高速内蔵発振器で作動）	756			ns
		レベル検出モード（EMCLK は低速内蔵発振器で作動）	24			µs
NMI パルス除去注2	t_{WNIRJ}		100			ns
INTPn 入力ハイ／ロウレベル幅注1	t_{WITH}/ t_{WITL}	エッジ検出モード	600			ns
		レベル検出モード（EMCLK は高速内蔵発振器で作動）	756			ns
		レベル検出モード（EMCLK は低速内蔵発振器で作動）	24			µs
INTPn パルス除去注2	t_{WITRJ}		100			ns

注1.　NMI と INTPn の入力幅は、内部割込み信号がアクティブであることを保証するために必要です。

注2.　最小値より短いパルスは無視されます。これは参考値です。ノイズは下記図のようにフィルターされます。



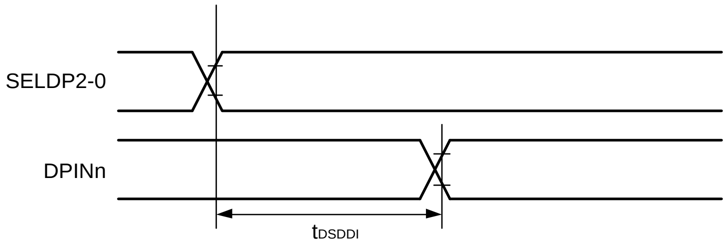


47B.5.4　ロウパワーサンプラ（DPIN 入力）タイミング

条件　：REGVCC＝EVCC＝3.0V～5.5V, BVCC＝3.0V～REGVCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
DPINn 入力遅延時間（対 SELDP2-0）	t_{DSDDI}				150	ns

備考　n＝7～0



47B.5.5 CSCXFOUT タイミング

条件 : REGVCC＝EVCC＝3.0V～5.5V, BVCC＝3.0V～REGVCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

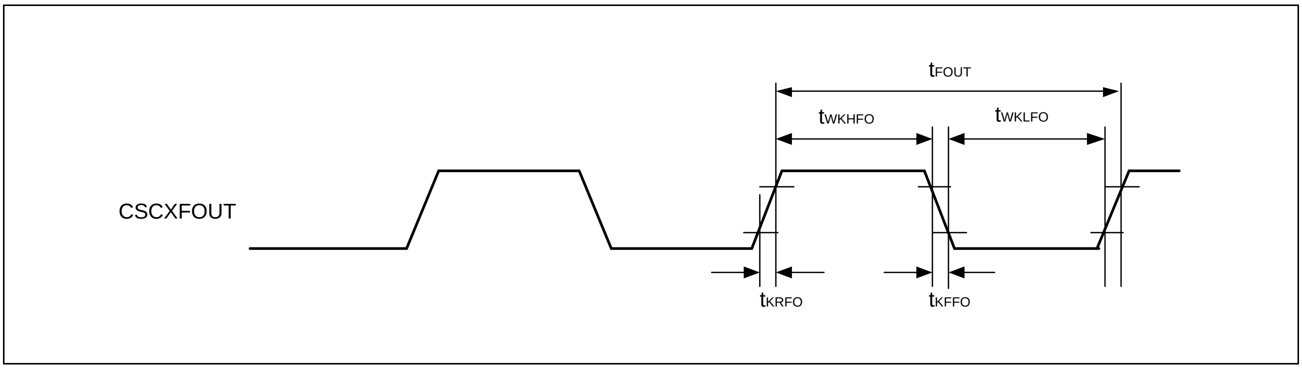
＜出力ドライバ強度＞
CSCXFOUT：低速または高速モード（以下の表の条件を参照してください。）

項目	略号	条件		MIN.	TYP.	MAX.	単位
CSCXFOUT 出力サイクル	t_{FOUT}	低速モード		100 (max. 10MHz)			ns
		高速モード		41.6 (max. 24MHz)			ns
CSCXFOUT ハイレベル幅	t_{WKHFO}	低速モード	N：1[注1] または偶数値[注2]	t_{FOUT} / 2 – 37			ns
			N：奇数値（N≧5）[注2、注3]	t_{FOUT} × (N+1) / 2N – 37			ns
		高速モード	N：1[注1] または偶数値[注2]	t_{FOUT} / 2 – 10			ns
			N：奇数値（N≧3）[注2]	t_{FOUT} × (N+1) / 2N – 10			ns
CSCXFOUT ロウレベル幅	t_{WKLFO}	低速モード	N：1[注1] または偶数値[注2]	t_{FOUT} / 2 – 37			ns
			N：奇数値（N≧5）[注2、注3]	t_{FOUT} × (N–1) / 2N – 37			ns
		高速モード	N：1[注1] または偶数値[注2]	t_{FOUT} / 2 – 10			ns
			N：奇数値（N≧3）[注2]	t_{FOUT} × (N–1) / 2N – 10			ns
CSCXFOUT 立ち上がり／立ち下がり時間	t_{KRFO}/ t_{KFFO}	低速モード				37	ns
		高速モード				10	ns

注1. N＝1 のときのソースクロックとして、メイン発振回路、高速内蔵発振回路、低速内蔵発振回路またはサブ発振回路が選択されている場合、出力信号特性はソースクロックによって決まります。実際の環境で評価後、出力信号を使用することを推奨します。

注2. “N”は FOUTDIV レジスタで設定された“クロック分周 N”の値です。

注3. 低速モード使用時には、N＝3 を選択することは禁止です。

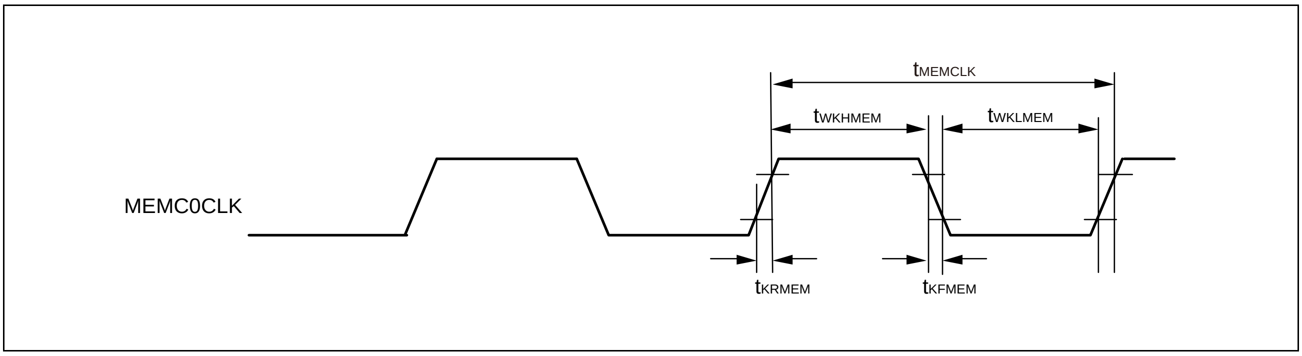


47B.5.6 MEMC0CLK タイミング

条件 : REGVCC＝EVCC＝3.0V～5.5V, BVCC＝3.0V～REGVCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

＜出力ドライバ強度＞
MEMC0CLK 端子：高速モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
MEMC0CLK 出力サイクル	t_{MEMCLK}		33.4 (max.30MHz)			ns
MEMC0CLK ハイ／ロウレベル幅	t_{WKHMEM} / t_{WKLMEM}		t_{MEMCLK} / 2 – 10			ns
MEMC0CLK 立ち上がり／立ち下がり時間	t_{KRMEM} / t_{KFMEM}				10	ns



47B.5.7　外部バスタイミング

47B.5.7.1　MEMC0CLK 非同期

条件　：REGVCC＝EVCC＝3.0V～5.5V, BVCC＝3.0V～REGVCC, A0VREF＝3.0V～5.5V,
A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C,
CL＝30pF

＜出力ドライバ強度＞
MEMC0AD0-15, MEMC0A16-23, MEMC0CS3-0,
MEMC0BEN1-0, MEMC0ASTB, MEMC0WR, MEMC0RD 端子：高速モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
バス動作期間	T		33.4 (max.30MHz)			ns
MEMC0ASTB ↓までのアドレス[注4]セットアップ時間	t_{SAST}	<1>	(1 + ASW) × T – 15			ns
MEMC0ASTB ↓からのアドレス（MEMC0AD15-0）ホールド時間	t_{HSTA}	<2>	(1 + AHW) × T – 15			ns
MEMC0RD ↓からのアドレス（MEMC0AD15-0）浮動遅延時間	t_{FRDA}[注8]	<3>			9	ns
MEMC0RD ↑からのアドレス[注5]ホールド時間	t_{HRDA}	<4>	–1.5			ns
MEMC0RD ↓からのデータ（MEMC0AD15-0）入力遅延時間	t_{DRDID}	<5>	9		(1 + w) × T – 35	ns
MEMC0RD ↑からのデータ（MEMC0AD15-0）入力ホールド時間	t_{HRDID}	<6>	0			ns
MEMC0ASTB ↓から MEMC0RD ↓までの遅延時間	t_{DSTRD}	<7>	(1 + AHW) × T – 15			ns
MEMC0ASTB ↓から MEMC0WR ↓までの遅延時間	t_{DSTWR}	<8>	(1 + AHW) × T – 15			ns
MEMC0RD, MEMC0WR ロウレベル幅	t_{WRDST}	<9>	(1 + w) × T – 10			ns
MEMC0WR ↓からのデータ（MEMC0AD15-0）出力遅延時間	t_{DWROD}	<10>			11	ns
MEMC0WR ↑からのアドレス[注5]ホールド時間	t_{HWRA}	<11>	(1 + DHW) × T – 15			ns
MEMC0WR ↑までのデータ（MEMC0AD15-0）出力セットアップ時間	t_{SODWR}	<12>	(1 + w) × T – 15			ns
MEMC0WR ↑からのデータ（MEMC0AD15-0）出力ホールド時間	t_{HWROD}	<13>	(1 + DHW) × T – 15			ns
MEMC0ASTB ↓からの MEMC0WAIT 設定遅延	t_{SSTWT1}	<14>			(AHW + DPW) × T – 24	ns
	t_{SSTWT2}	<15> DEW≧1			(AHW + DPW + DEW) × T – 24	ns
MEMC0ASTB ↓からの MEMC0WAIT ホールド時間	t_{HSTWT1}	<16>	(AHW + DPW + DEW – 1) × T – 9			ns
	t_{HSTWT2}	<17> DEW≧1	(AHW + DPW + DEW) × T – 9			ns

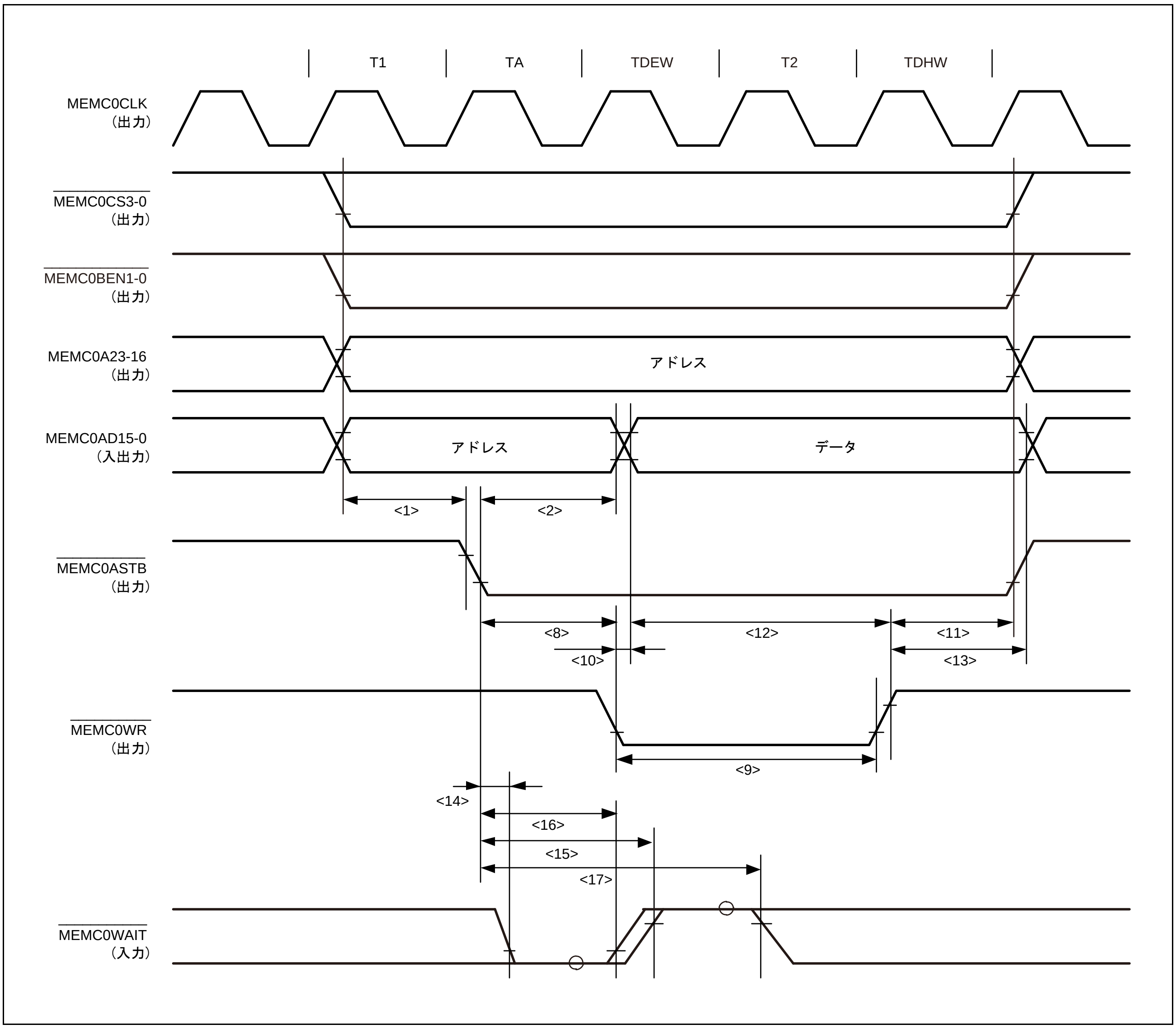
注1.　ASW は、多重バスのアドレスセットアップウェイト数を表します。
注2.　AHW は、多重バスのアドレスホールドウェイト数を表します。
注3.　DPW は、多重バスのプログラマブルデータウェイト数を表します。
　　　DEW は、多重バスの外部データウェイト数を表します。
　　　“w”は DPW と DEW の合計を表します。
注4.　t_{CPUCLK}：CPU クロック期間
注5.　DHW は、多重バスのデータホールドウェイト数を表します。

注6.　アドレスは、MEMC0AD15-0、MEMC0A23-16、 $\overline{\text{MEMC0CS3-0}}$ 、および $\overline{\text{MEMC0BEN1-0}}$ を表します。
272-pin 製品は 24 ビットアドレスをサポートしています。233/176-pin 製品は 23 ビットアドレスをサポートしています。
注7.　アドレスは、MEMC0A23-16、 $\overline{\text{MEMC0CS3-0}}$ 、 $\overline{\text{MEMC0BEN1-0}}$ 、および $\overline{\text{MEMC0ASTB}}$ を表します。
272-pin 製品は 24 ビットアドレスをサポートしています。233/176-pin 製品は 23 ビットアドレスをサポートしています。
注8.　t_{FRDA} は、MEMC0AD15～0 の出力オフから Hi-z になるまでの期間を示しています。

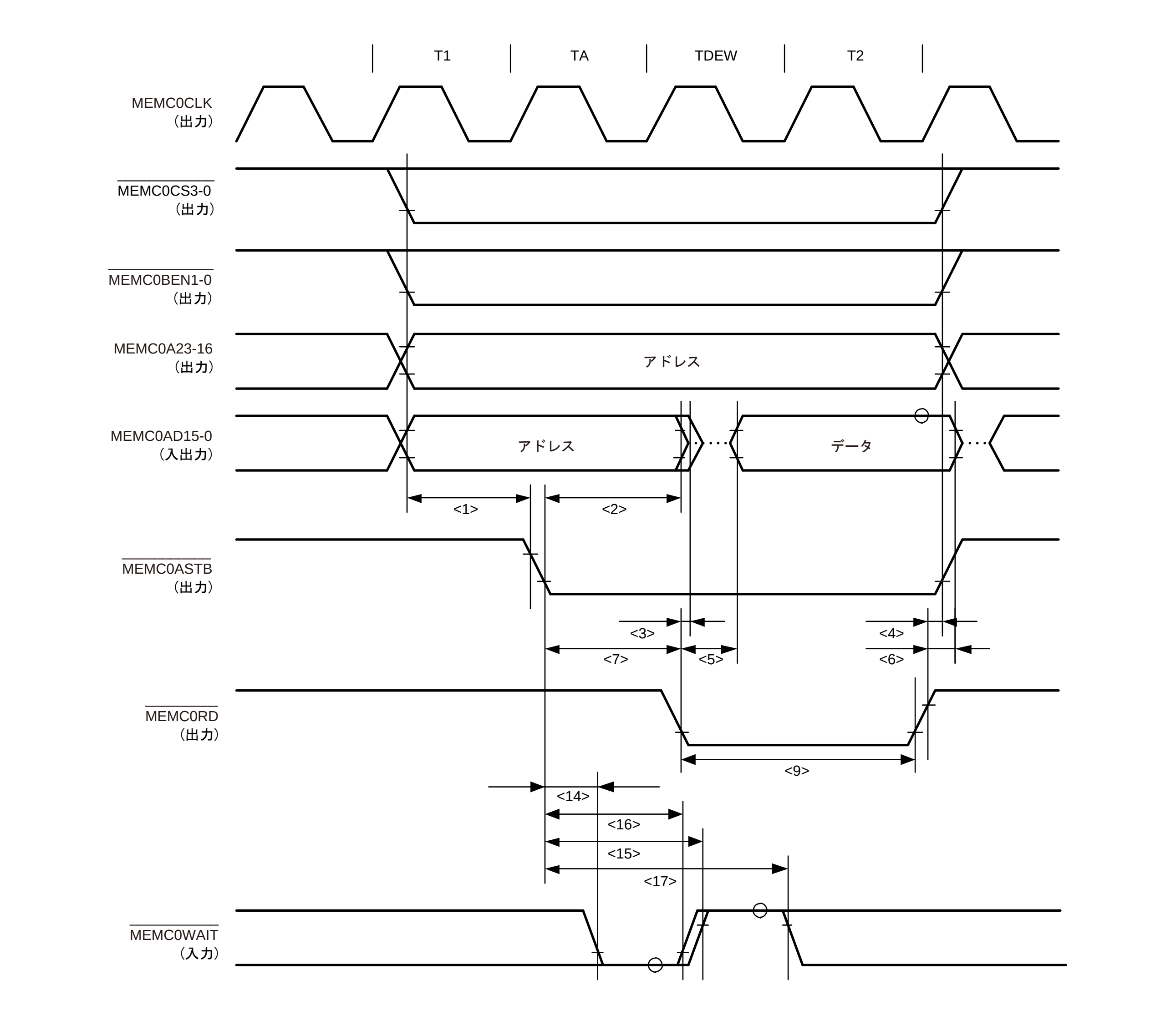
備　考

バス期間（T）が 44ns より短い場合、t_{DRDID} 仕様では、少なくとも 1 データ待ちが必要です。（w＝1）

(1)　多重ライトサイクル（非同期、1 データウェイト）



(2) 多重リードサイクル（非同期、1 データウェイト）



47B.5.7.2　MEMC0CLK 同期

条件　: REGVCC＝EVCC＝3.0V～5.5V, BVCC＝3.0V～REGVCC, A0VREF＝3.0V～5.5V,
A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C,
CL＝30pF

＜出力ドライバ強度＞

MEMC0AD0-15, MEMC0A16-23, MEMC0CS3-0 ,
MEMC0BEN1-0 , MEMC0ASTB , MEMC0WR , MEMC0RD 端子：高速モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
バス動作期間	T		33.4 (max.30MHz)			ns
MEMC0CLK↑からアドレス[注1]までの遅延時間	t_{DKA}	<18>	–0.5		15	ns
MEMC0CLK↑からアドレス（MEMC0AD15-0）浮動までの遅延時間	t_{FKA} [注2]	<19>	0		12	ns
MEMC0CLK↑から MEMC0ASTB までの遅延時間	t_{DKST}	<20>	0		11	ns
MEMC0CLK↑から MEMC0RD および MEMC0WR までの遅延時間	t_{DKRDWR}	<21>	–2.5		6	ns
データ（MEMC0AD15-0）入力セットアップ時間（MEMC0CLK↑から）	t_{SIDK}	<22>	29			ns
データ（MEMC0AD15-0）入力ホールド時間（MEMC0CLK↑から）	t_{HKID}	<23>	2.5			ns
データ（MEMC0AD15-0）出力遅延時間（MEMC0CLK↑から）	t_{DKOD}	<24>			15	ns
MEMC0WAIT セットアップ時間（MEMC0CLK↑まで）	t_{SWTK}	<25>	T + 22			ns
MEMC0WAIT ホールド時間（MEMC0CLK↑から）	t_{HKWT}	<26>	–T – 5			ns

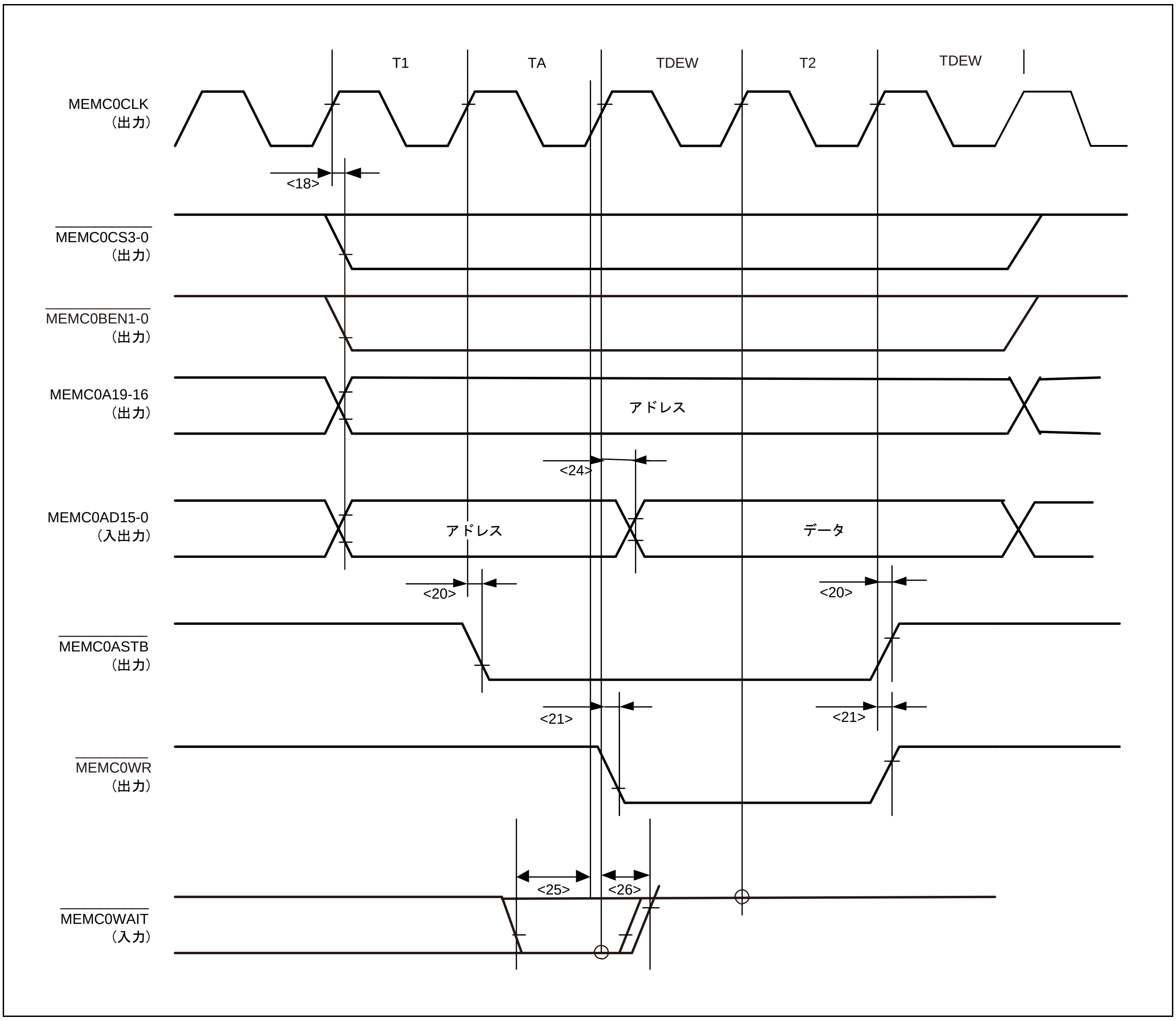
注1.　アドレスは、MEMC0AD15-0、MEMC0A23-16、 MEMC0CS3-0 、および MEMC0BEN1-0 を表します。
272-pin 製品は 24 ビットアドレスをサポートしています。233/176-pin 製品は 23 ビットアドレスをサポートしています。

注2.　t_{FKA} は、MEMC0AD15～0 の出力オフから Hi-z になるまでの期間を示しています。

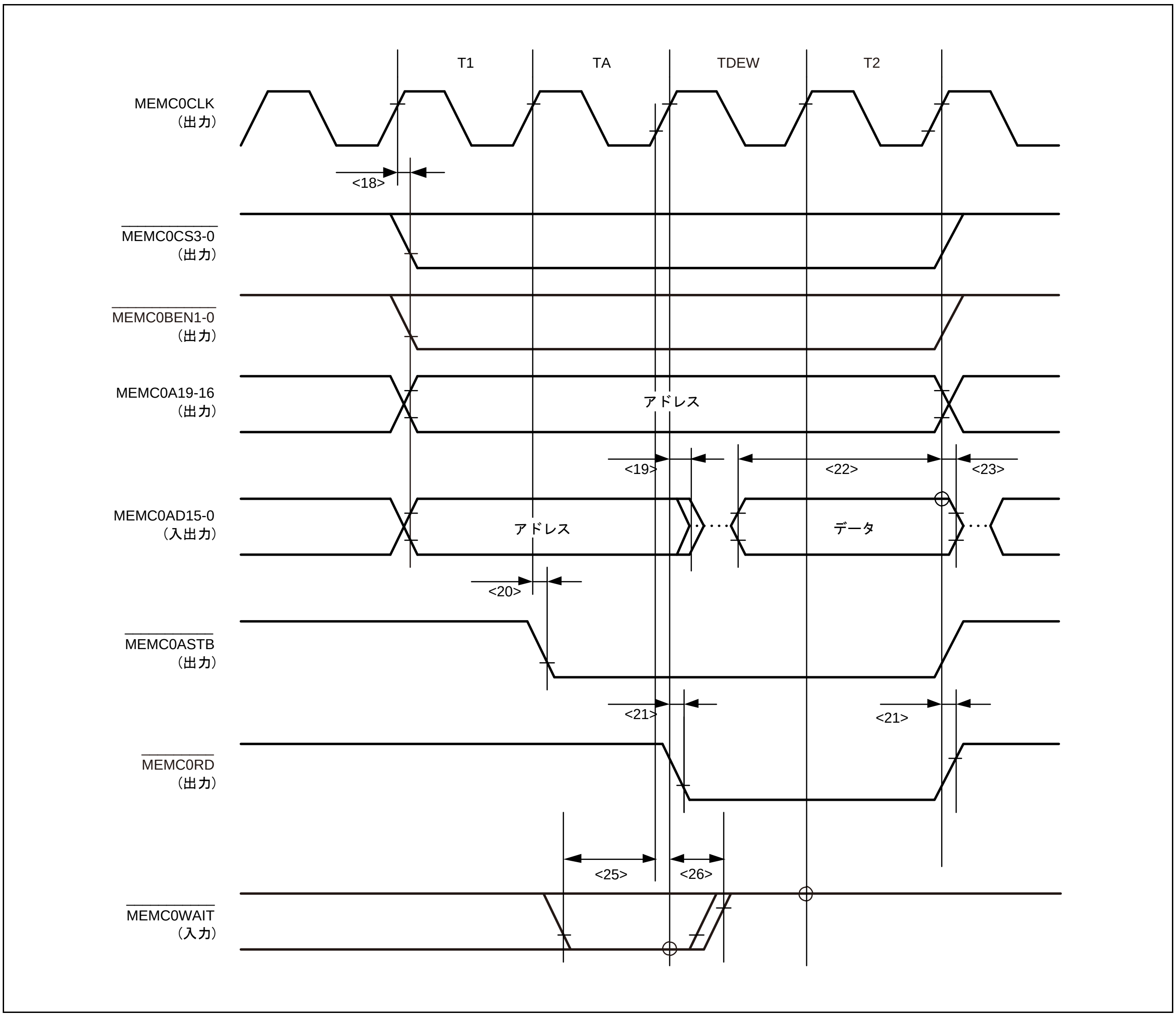
備　考

バス期間（T）が 44ns より短い場合、t_{DRDID} 仕様では、少なくとも 1 データ待ちが必要です。（w＝1）

(1) 多重ライトサイクル（同期、1 データウェイト）



(2) 多重リードサイクル（同期、1 データウェイト）

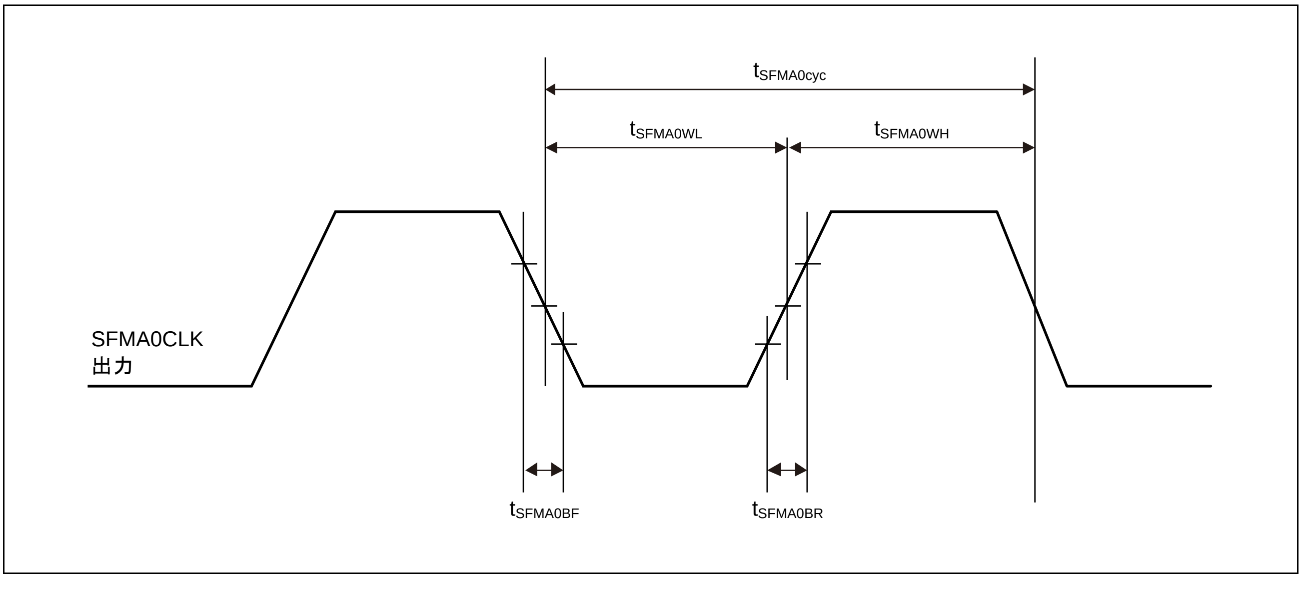


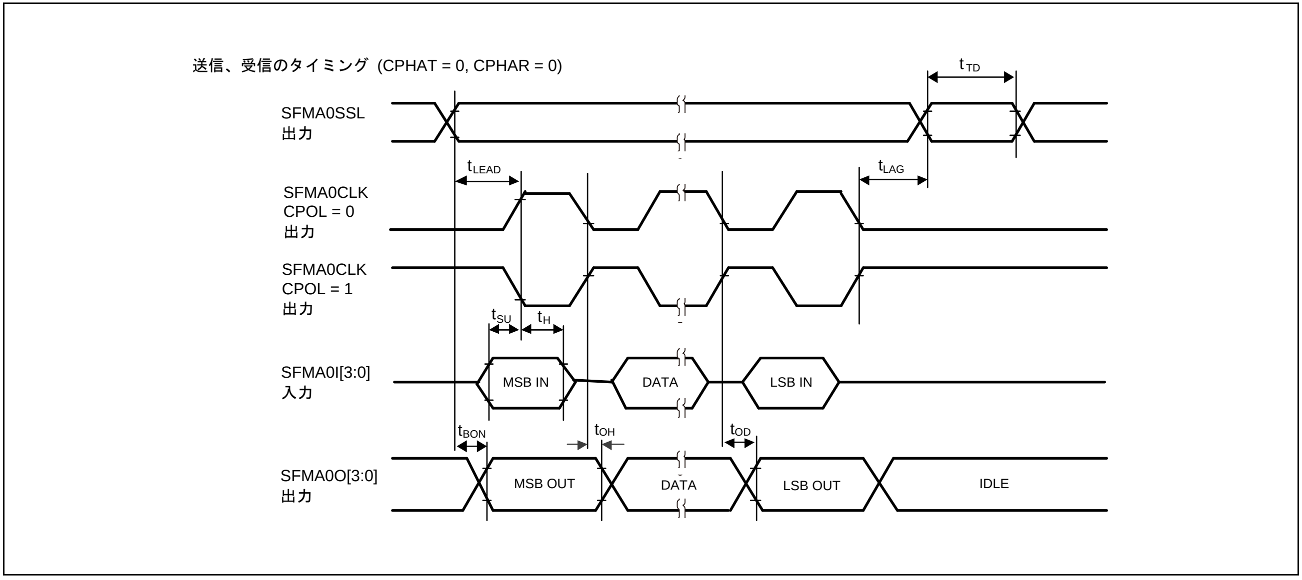
47B.5.8　SFMA タイミング

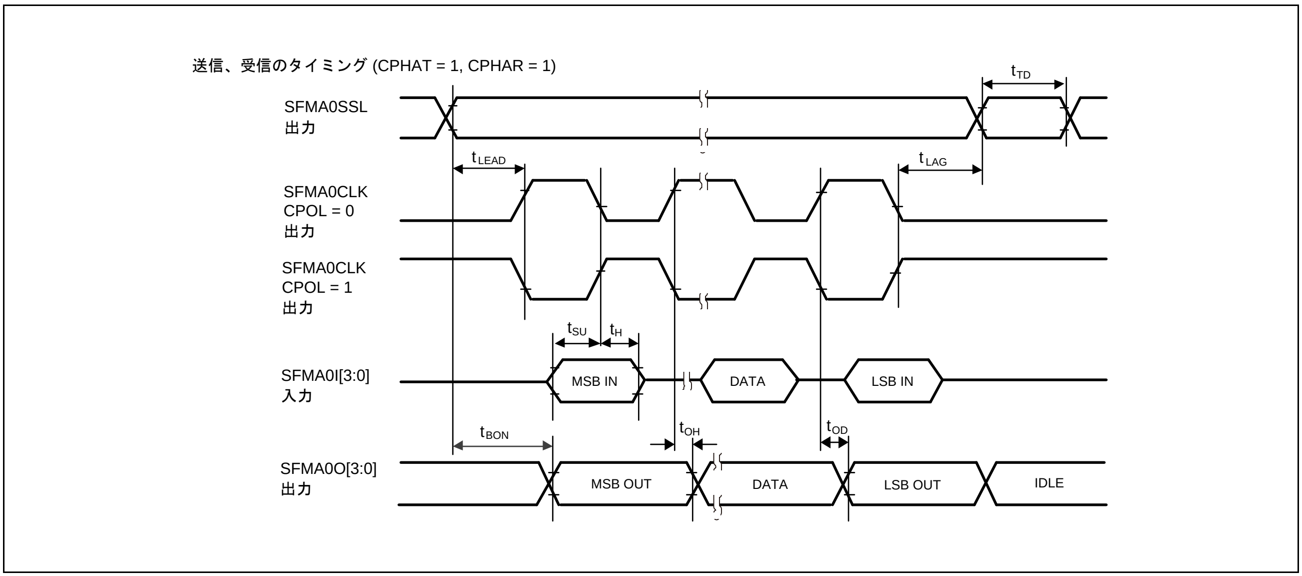
条件　：REGVCC＝EVCC＝3.0V～5.5V, BVCC＝3.0V～3.6, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

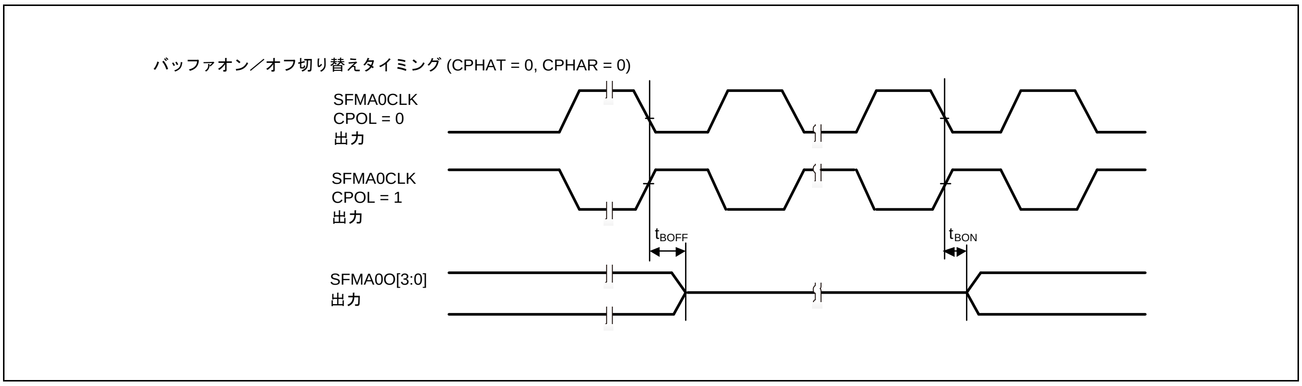
＜出力ドライバ強度＞
SFMA0CLK, SFMA0SSL, SFMA0O[3:0]端子：高速モード

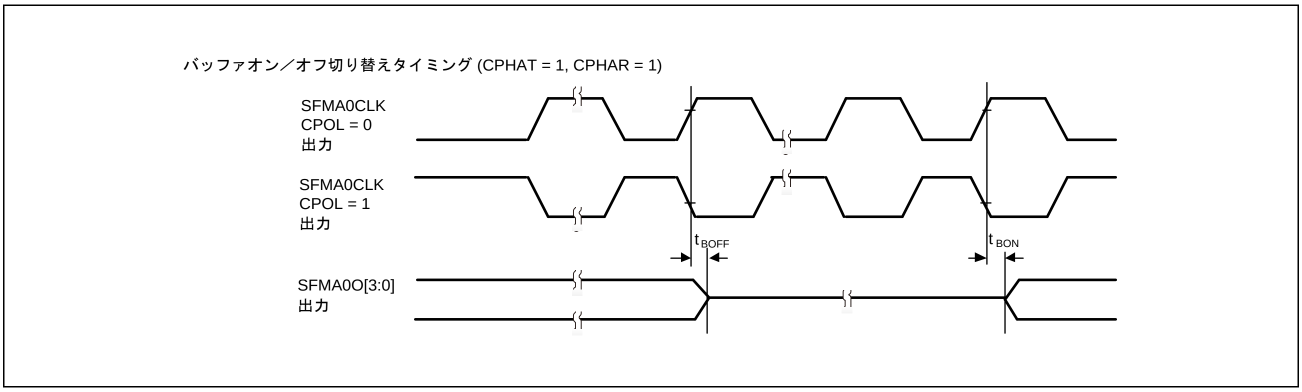
項目	略号	条件	MIN.	TYP.	MAX.	単位
SFMA0CLK クロックサイクル	$t_{SFMA0cyc}$		25			ns
SFMA0CLK 高パルス幅	$t_{SFMA0WH}$		0.4 × $t_{SFMA0cyc}$		0.6 × $t_{SFMA0cyc}$	ns
SFMA0CLK 低パルス幅	$t_{SFMA0WL}$		0.4 × $t_{SFMA0cyc}$		0.6 × $t_{SFMA0cyc}$	ns
SFMA0CLK 立ち上がり時間	t_{SFMA0R}				4.5	ns
SFMA0CLK 立ち下がり時間	t_{SFMA0F}				4.5	ns
データ入力セットアップ時間	t_{SU}		13.0			ns
データ入力ホールド時間	t_{H}		0.0			ns
SFMA0SSL セットアップ時間	t_{LEAD}		1 × $t_{SFMA0cyc}$ – 5		8 × $t_{SFMA0cyc}$	ns
SFMA0SSL ホールド時間	t_{LAG}		1.5 × $t_{SFMA0cyc}$		8.5 × $t_{SFMA0cyc}$ + 5	ns
連続転送遅延時間	t_{TD}		1 × $t_{SFMA0cyc}$		8 × $t_{SFMA0cyc}$	ns
データ出力遅延時間	t_{OD}				3.6	ns
データ出力ホールド時間	t_{OH}		–1.6			ns
オンタイムデータ出力バッファ	t_{BON}				3.6	ns
オフタイムデータ出力バッファ	t_{BOFF}		–7.0		0	ns




送信、受信のタイミング (CPHAT = 0, CPHAR = 0)
SFMA0SSL
出力
SFMA0CLK
CPOL = 0
出力
SFMA0CLK
CPOL = 1
出力
SFMA0I[3:0]
入力
SFMA0O[3:0]
出力
t_{TD}
t_{LEAD}
t_{LAG}
t_{SU}
t_{H}
MSB IN
DATA
LSB IN
t_{BON}
t_{OH}
t_{OD}
MSB OUT
DATA
LSB OUT
IDLE


送信、受信のタイミング (CPHAT = 1, CPHAR = 1)
SFMA0SSL
出力
SFMA0CLK
CPOL = 0
出力
SFMA0CLK
CPOL = 1
出力
SFMA0I[3:0]
入力
SFMA0O[3:0]
出力
t_{TD}
t_{LEAD}
t_{LAG}
t_{SU}
t_{H}
MSB IN
DATA
LSB IN
t_{BON}
t_{OH}
t_{OD}
MSB OUT
DATA
LSB OUT
IDLE


バッファオン／オフ切り替えタイミング (CPHAT = 0, CPHAR = 0)
SFMA0CLK
CPOL = 0
出力
SFMA0CLK
CPOL = 1
出力
tBOFF
tBON
SFMA0O[3:0]
出力


バッファオン／オフ切り替えタイミング (CPHAT = 1, CPHAR = 1)
SFMA0CLK
CPOL = 0
出力
SFMA0CLK
CPOL = 1
出力
tBOFF
tBON
SFMA0O[3:0]
出力

47B.5.9　予約

47B.5.10　CSI タイミング

47B.5.10.1　CSIG タイミング

条件　：REGVCC＝EVCC＝3.0V～5.5V, BVCC＝3.0V～REGVCC, A0VREF＝3.0V～5.5V,
A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C,
CL＝30pF

表 47B.13　CSIG タイミング（マスタモード）

＜出力ドライバ強度＞

CSIGnSO, CSIGnSC（出力）：高速モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
マクロ動作クロックサイクル時間	t_{KCYGn}		12.5 (max. 80MHz)			ns
CSIGnSC サイクル時間	t_{KCYMGn}		100			ns
CSIGnSC ハイレベル幅	t_{KWHMGn}		0.5 × t_{KCYMGn} – 10			ns
CSIGnSC ロウレベル幅	t_{KWLMGn}		0.5 × t_{KCYMGn} – 10			ns
CSIGnSI セットアップ時間（対 CSIGnSC）	t_{SSIMGn}		30			ns
CSIGnSI ホールド時間（対 CSIGnSC）	t_{HSIMGn}		0			ns
CSIGnSO 出力遅延（対 CSIGnSC）	t_{DSOMGn}				7	ns
CSIGnRYI セットアップ時間（対 CSIGnSC）	t_{SRYIGn}	CSIGnCTL1.CSIGnSIT＝x CSIGnCTL1.CSIGnHSE＝1	2 × t_{KCYGn} + 25			ns
CSIGnRYI ハイレベル幅	t_{WRYIGn}	CSIGnCTL1.CSIGnHSE＝1	t_{KCYGn} + 5			ns

備考　n＝0～3

表 47B.14　CSIG タイミング（スレーブモード）

＜出力ドライバ強度＞

CSIGnSO：高速モード

CSIGnRYO：低速モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
マクロ動作クロックサイクル時間	t_{KCYGn}		12.5 (max. 80MHz)			ns
CSIGnSC サイクル時間	t_{KCYSGn}		200			ns
CSIGnSC ハイレベル幅	t_{KWHSGn}		0.5 × t_{KCYSGn} – 10			ns
CSIGnSC ロウレベル幅	t_{KWLSGn}		0.5 × t_{KCYSGn} – 10			ns
CSIGnSI セットアップ時間（対 CSIGnSC）	t_{SSISGn}		20			ns
CSIGnSI ホールド時間（対 CSIGnSC）	t_{HSISGn}		t_{KCYGn} + 5			ns
CSIGnSO 出力遅延（対 CSIGnSC）	t_{DSOSGn}				30	ns
CSIGnRYO 出力遅延	t_{SRYOGn}				38	ns
$\overline{\text{CSIGnSSI}}$ セットアップ時間（対 CSIGnSC）	$t_{SSSISGn}$		0.5 × t_{KCYSGn} – 5			ns
$\overline{\text{CSIGnSSI}}$ ホールド時間（対 CSIGnSC）	$t_{HSSISGn}$		t_{KCYGn} + 5			ns

備考　n＝0～3

47B.5.10.2　CSIH タイミング

条件　：REGVCC＝EVCC＝3.0V〜5.5V, BVCC＝3.0V〜REGVCC, A0VREF＝3.0V〜5.5V,
A1VREF＝3.0V〜5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40〜（製品依存）°C,
CL＝30pF

表 47B.15　CSIH タイミング（マスタモード：10Mbps）

＜出力ドライバ強度＞

CSIHnSO, CSIHnSC（出力）：高速モード（CL＝100pF@n＝0／50pF@n＝1〜3）

CSIHnCSSx：低速モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
マクロ動作クロックサイクル時間	t_{KCYHn}		12.5 (max. 80MHz)			ns
CSIHnSC サイクル時間	t_{KCYMHn}		100			ns
CSIHnSC ハイレベル幅	t_{KWHMHn}		$0.5 \times t_{KCYMHn} - 10$			ns
CSIHnSC ロウレベル幅	t_{KWLMHn}		$0.5 \times t_{KCYMHn} - 10$			ns
CSIHnSI セットアップ時間（対 CSIHnSC）	t_{SSIMHn}	SI ポジティブエッジモード (CSIHnCTL1.CSIHnSLRS＝0)	19			ns
		SI ネガティブエッジモード (CSIHnCTL1.CSIHnSLRS＝1)	14			ns
CSIHnSI ホールド時間（対 CSIHnSC）	t_{HSIMHn}	SI ポジティブエッジモード (CSIHnCTL1.CSIHnSLRS＝0)	0			ns
		SI ネガティブエッジモード (CSIHnCTL1.CSIHnSLRS＝1)	$t_{KCYHn}/2$			ns
CSIHnSO 出力遅延（対 CSIHnSC）	t_{DSOMHn}				7	ns
CSIHnRYI セットアップ時間（対 CSIHnSC）	t_{SRYIHn}	CSIHnCTL1.CSIHnSIT＝x CSIHnCTL1.CSIHnHSE＝1	$2 \times t_{KCYHn} + 25$			ns
CSIHnRYI ハイレベル幅	t_{WRYIHn}	CSIHnCTL1.CSIHnHSE＝1	$t_{KCYHn} + 5$			ns
CSIHnCSS0-7 非アクティブ幅	$t_{WSCSBHn}$		CSIDLE × $t_{KCYMHn} - 15$			ns
CSIHnCSS0-7 セットアップ時間（対 CSIHnSC）	$t_{SSCSBHn0}$	CSIHnCFGx.CSIHnDAP＝0	CSSETUP × $t_{KCYMHn} - 23$			ns
	$t_{SSCSBHn1}$	CSIHnCFGx.CSIHnDAP＝1	(CSSETUP + 0.5) × $t_{KCYMHn} - 23$			ns
CSIHnCSS0-7 ホールド時間（対 CSIHnSC）	$t_{HSCSBHn0}$	CSIHnCTL1.CSIHnSIT＝0	CSSHOLD × $t_{KCYMHn} - 5$			ns
	$t_{HSCSBHn1}$	CSIHnCTL1.CSIHnSIT＝1	(CSSHOLD + 0.5) × $t_{KCYMHn} - 5$			ns

備考　n＝0〜3

備　考

CSIDLE：CSIHnCFGx.CSIHnIDx[2:0]の設定値
CSSETUP：CSIHnCFGx.CSIHnSPx[3:0]の設定値
CSSHOLD：CSIHnCFGx.CSIHnHDx[3:0]の設定値
x：チップセレクト信号によって決まる値

注　意

通信中（CSIHnCFGx.CSIHnCKPx）に、シリアルクロックレベルが変更され、IDLE の設定が 0.5 送信クロック期間である場合、“$0.5 \times t_{KCYMHn}$”の非アクティブ幅時間に $t_{WSCSBHn}$ が追加されます。

表 47B.16　CSIH タイミング（スレーブモード：5Mbps）

＜出力ドライバ強度＞

CSIHnSO：高速モード

CSIHnRYO：低速モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
マクロ動作クロックサイクル時間	t_{KCYHn}		12.5 (max. 80MHz)			ns
CSIHnSC サイクル時間	t_{KCYSHn}		200			ns
CSIHnSC ハイレベル幅	t_{KWHSHn}		$0.5 \times t_{KCYSHn} - 10$			ns
CSIHnSC ロウレベル幅	t_{KWLSHn}		$0.5 \times t_{KCYSHn} - 10$			ns
CSIHnSI セットアップ時間（対 CSIHnSC）	t_{SSISHn}		20			ns
CSIHnSI ホールド時間（対 CSIHnSC）	t_{HSISHn}		$t_{KCYHn} + 5$			ns
CSIHnSO 出力遅延（対 CSIHnSC）	t_{DSOSHn}				30	ns
CSIHnRYO 出力遅延	t_{SRYOHn}	$t_{KCYSHn} \geqq 8 \times t_{KCYHn}$			38	ns
		$t_{KCYSHn} < 8 \times t_{KCYHn}$			$38 + t_{KCYHn}$	ns
$\overline{\text{CSIHnSSI}}$ セットアップ時間（対 CSIHnSC）	$t_{SSSISHn}$		$0.5 \times t_{KCYSHn} - 5$			ns
$\overline{\text{CSIHnSSI}}$ ホールド時間（対 CSIHnSC）	$t_{HSSISHn}$		$t_{KCYHn} + 5$			ns

備考　n＝0～3

表 47B.17　CSIH タイミング（スレーブモード：8Mbps）

＜出力ドライバ強度＞

CSIHnSO：高速モード

CSIHnRYO：低速モード

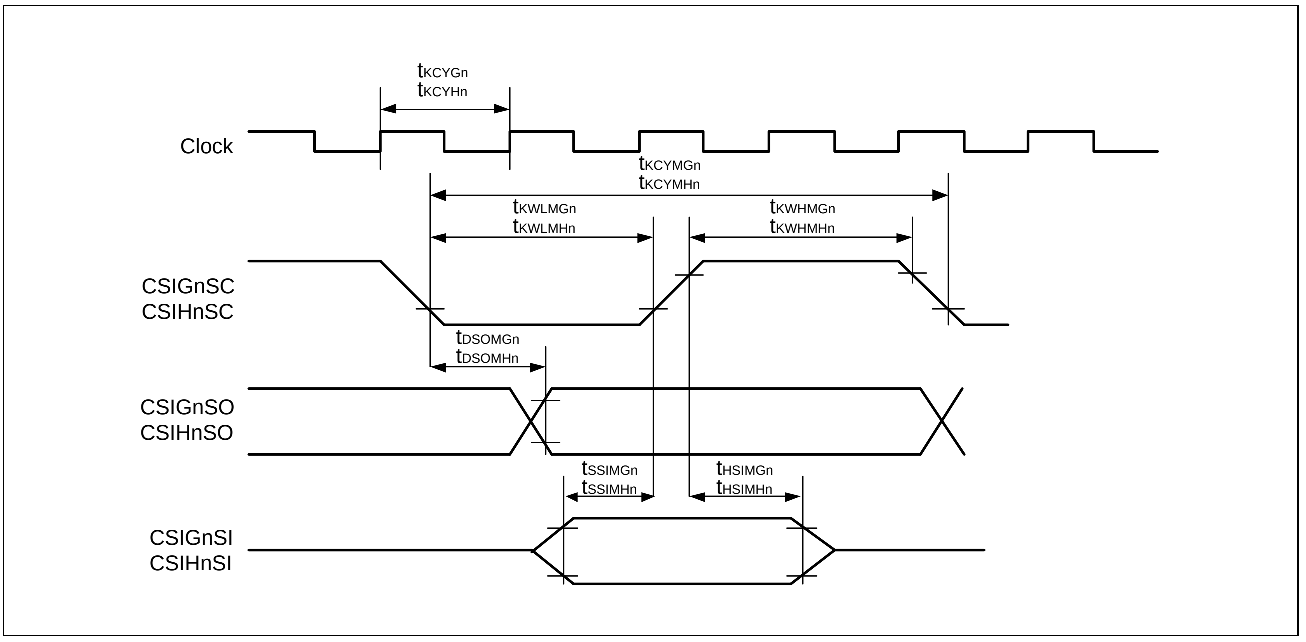
項目	略号	条件	MIN.	TYP.	MAX.	単位
マクロ動作クロックサイクル時間	t_{KCYHn}		12.5 (max. 80MHz)			ns
CSIHnSC サイクル時間	t_{KCYSHn}		125			ns
CSIHnSC ハイレベル幅	t_{KWHSHn}		$0.5 \times t_{KCYSHn} - 10$			ns
CSIHnSC ロウレベル幅	t_{KWLSHn}		$0.5 \times t_{KCYSHn} - 10$			ns
CSIHnSI セットアップ時間（対 CSIHnSC）	t_{SSISHn}		12.5			ns
CSIHnSI ホールド時間（対 CSIHnSC）	t_{HSISHn}		$t_{KCYHn} + 5$			ns
CSIHnSO 出力遅延（対 CSIHnSC）	t_{DSOSHn}				25	ns
CSIHnRYO 出力遅延	t_{SRYOHn}	$t_{KCYSHn} \geqq 8 \times t_{KCYHn}$			27	ns
		$t_{KCYSHn} < 8 \times t_{KCYHn}$			$27 + t_{KCYHn}$	ns
$\overline{\text{CSIHnSSI}}$ セットアップ時間（対 CSIHnSC）	$t_{SSSISHn}$		$0.5 \times t_{KCYSHn} - 5$			ns
$\overline{\text{CSIHnSSI}}$ ホールド時間（対 CSIHnSC）	$t_{HSSISHn}$		$t_{KCYHn} + 5$			ns

備考　n＝2（CSIH2 のみ）

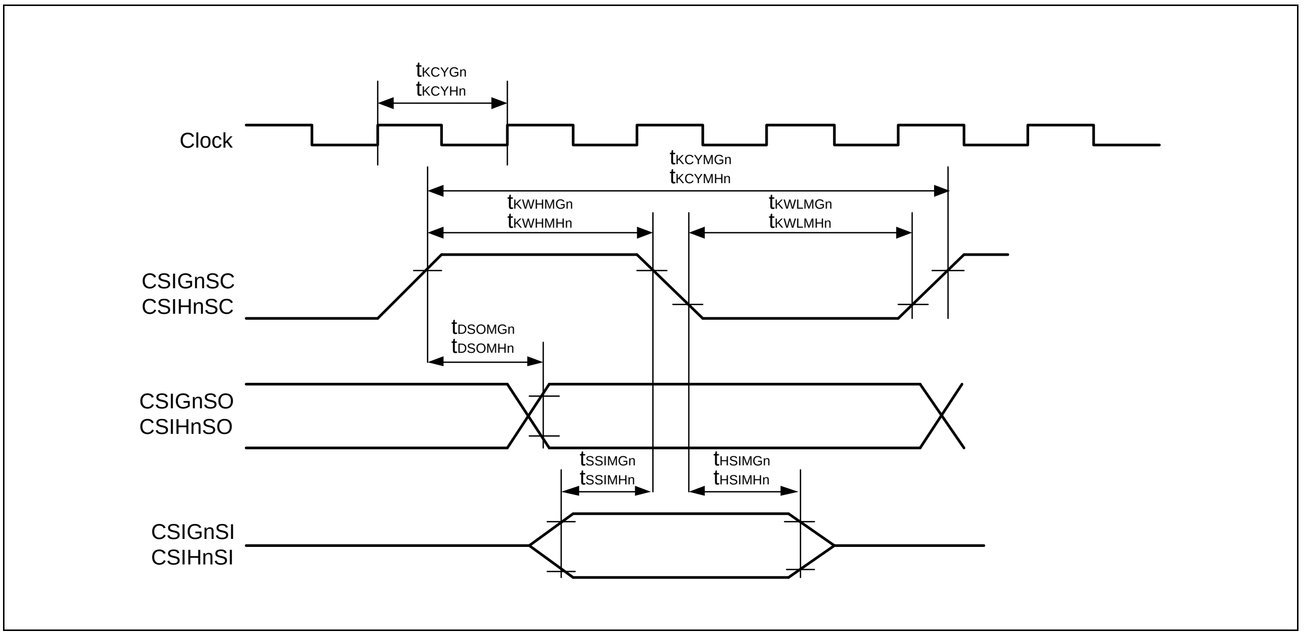
(1)　SC/SI/SO

マスタモード

- CSIG（CSIGnCTL1：CSIGnCKR/CSIGnCFG0：CSIGnDAP0＝0/0 または 1/1）
- CSIH（CSIHnCFGx：CSIHnCKPx/CSIHnCFGx：CSIHnDAPx＝0/0 または 1/1）



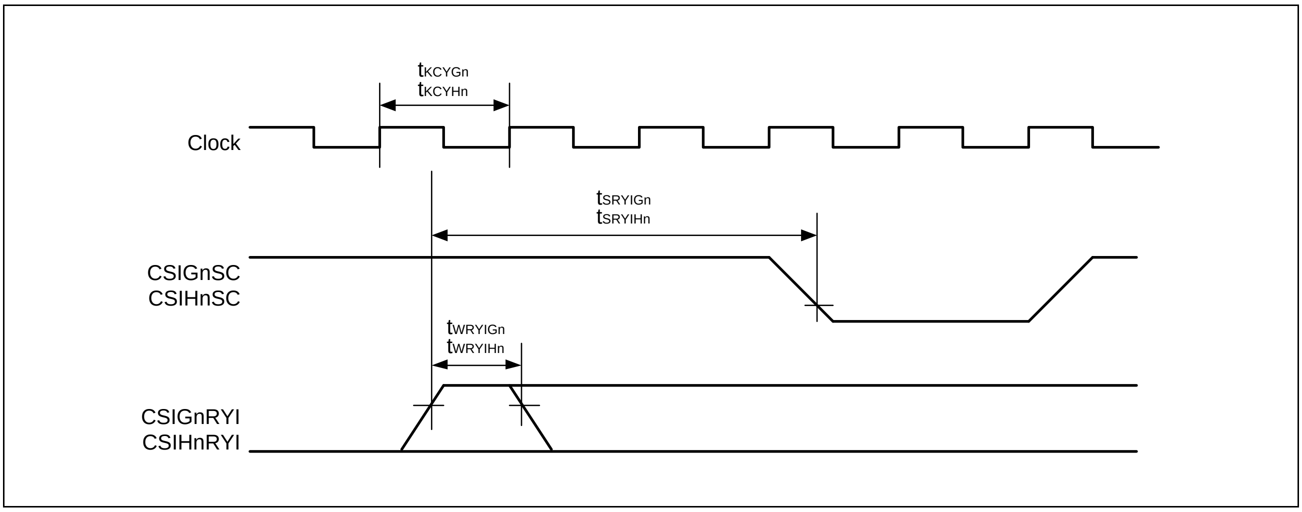
- CSIG（CSIGnCTL1：CSIGnCKR/CSIGnCFG0：CSIGnDAP0＝1/0 または 0/1）
- CSIH（CSIHnCFGx：CSIHnCKPx/CSIHnCFGx：CSIHnDAPx＝1/0 または 0/1）



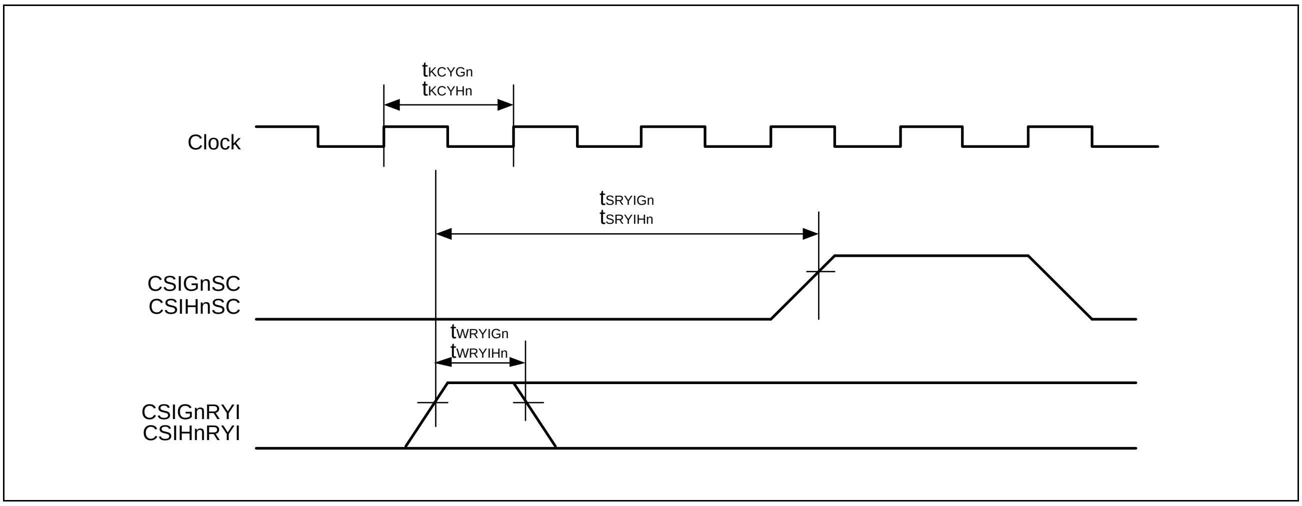
(2) RYI

マスタモード

- CSIG：マスタモードのみ（CSIGnCTL1：CSIGnHSE＝1, CSIGnCTL1：CSIGnSIT＝0）
- CSIH：マスタモードのみ（CSIHnCTL1：CSIHnHSE＝1, CSIHnCTL1：CSIHnSIT＝0）
  - CSIG（CSIGnCTL1：CSIGnCKR＝0）
  - CSIH（CSIHnCFGx：CSIHnCKPx＝0）



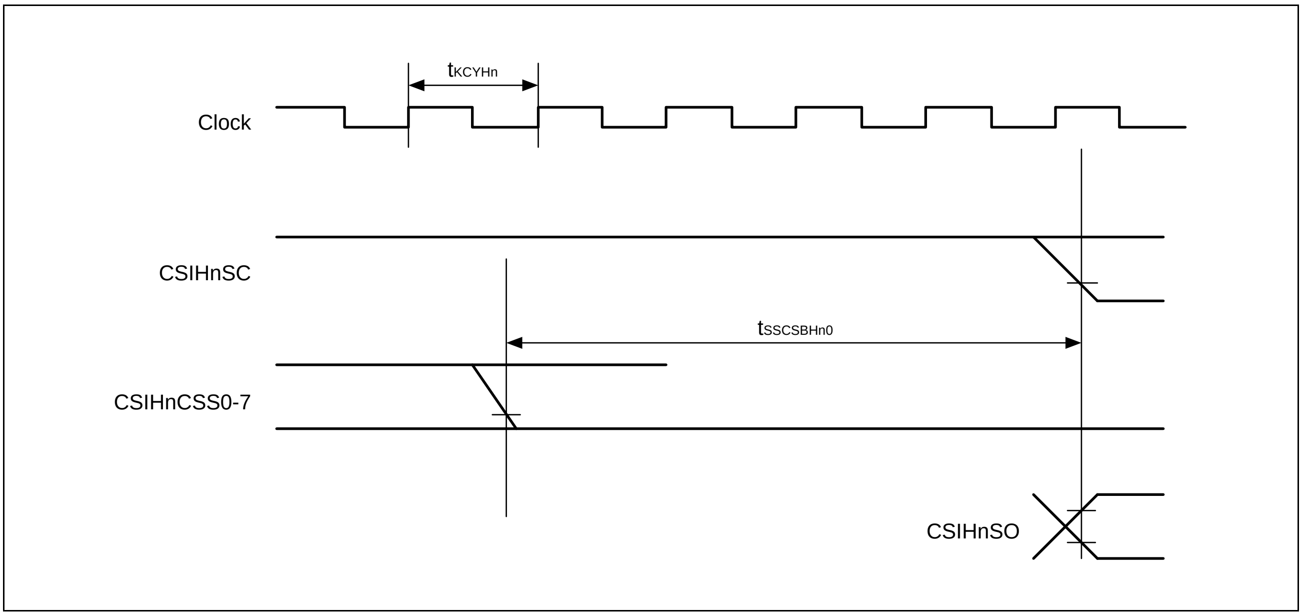
  - CSIG（CSIGnCTL1：CSIGnCKR＝1）
  - CSIH（CSIHnCFGx：CSIHnCKPx＝1）



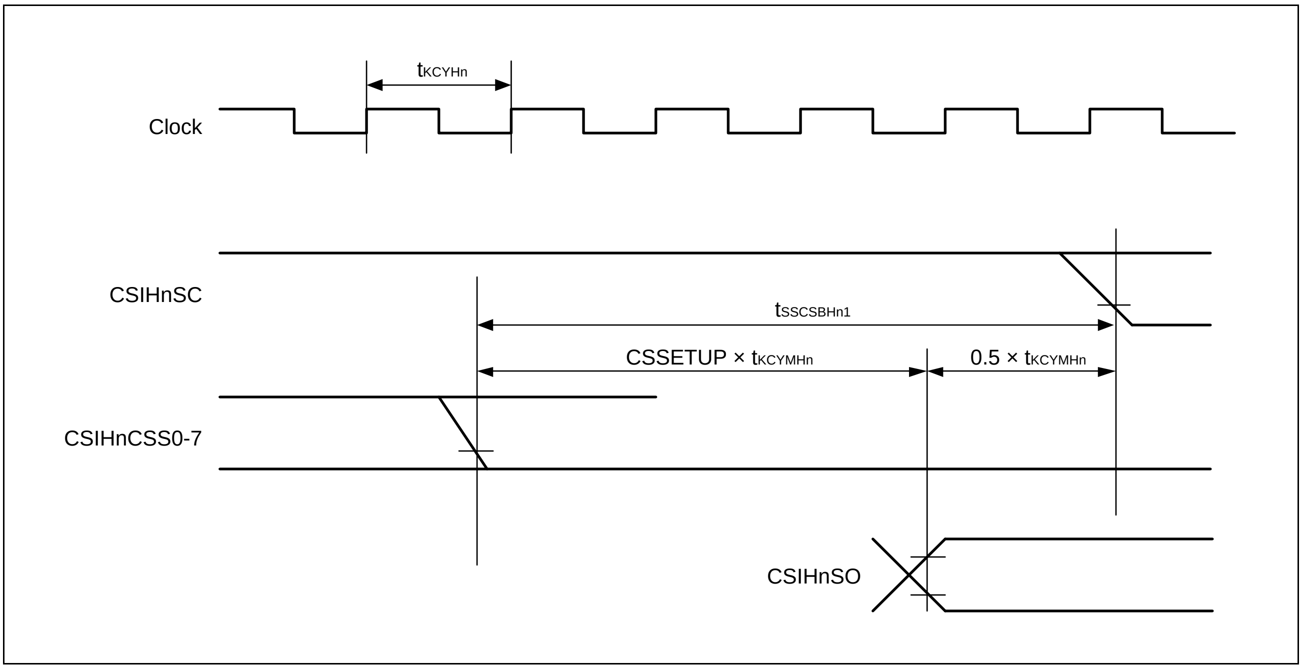
(3) CSSx

マスタモードのみ（セットアップ時間）

- CSIHnCFGx：CSIHnCKPx＝0, CSIHnCFGx：CSIHnDAPx＝0

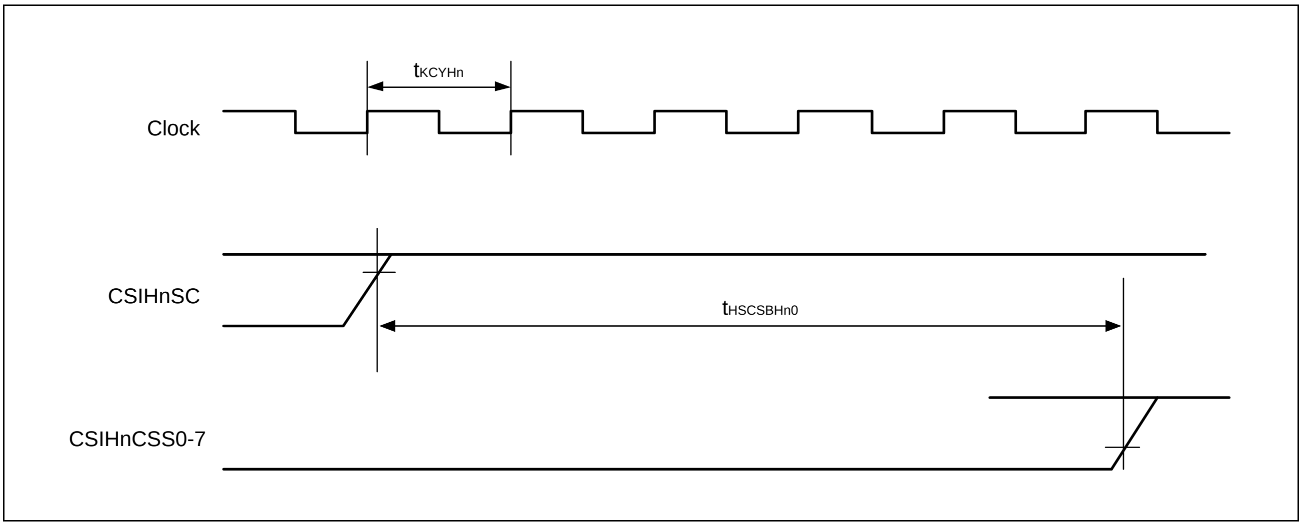


- CSIHnCFGx：CSIHnCKPx＝0, CSIHnCFGx：CSIHnDAPx＝1

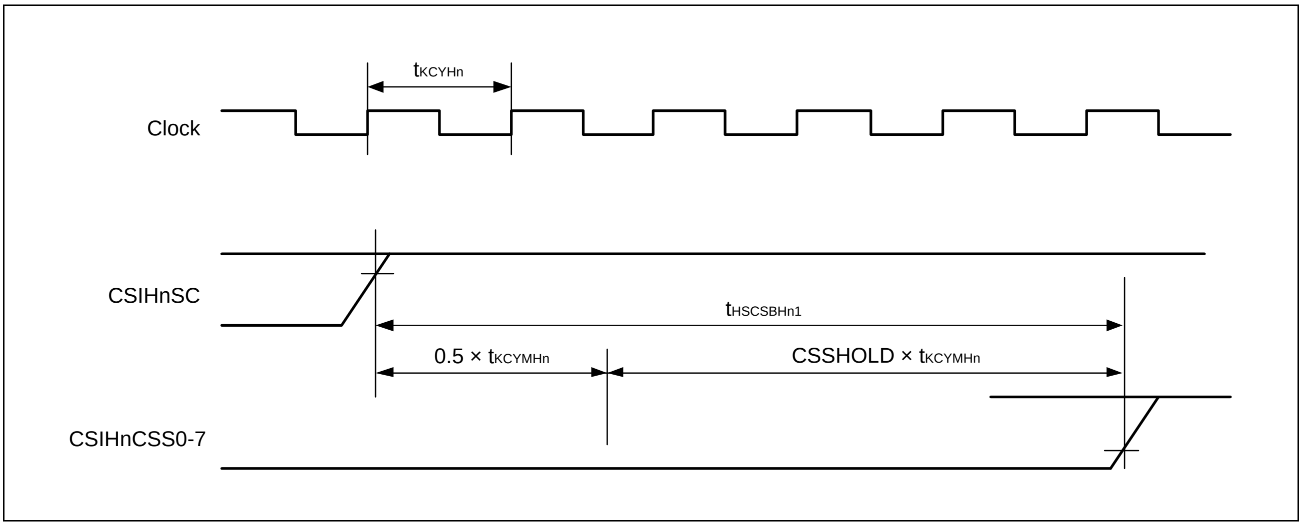


マスタモードのみ（ホールド時間）

- CSIHnCTL1：CSIHnSIT＝0, CSIHnCFGx：CSIHnCKPx＝0, CSIHnCFGx：CSIHnDAPx＝0



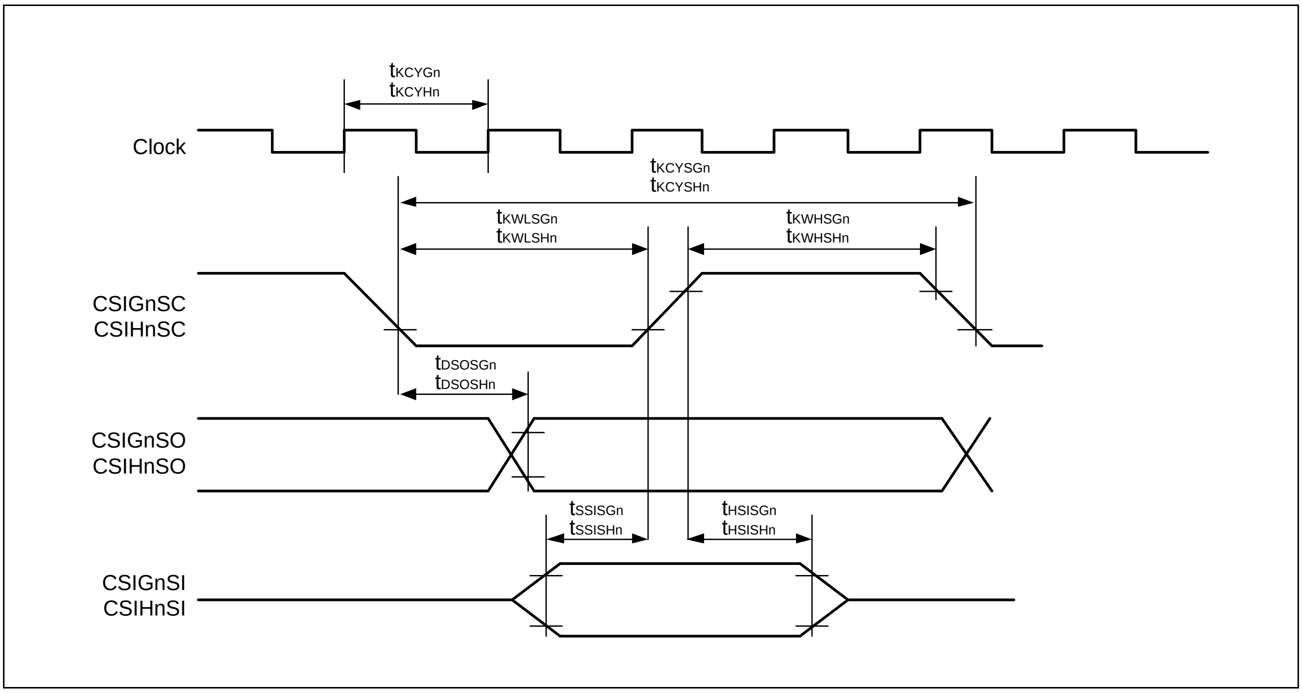
- CSIHnCTL1：CSIHnSIT＝1, CSIHnCFGx：CSIHnCKPx＝0, CSIHnCFGx：CSIHnDAPx＝0



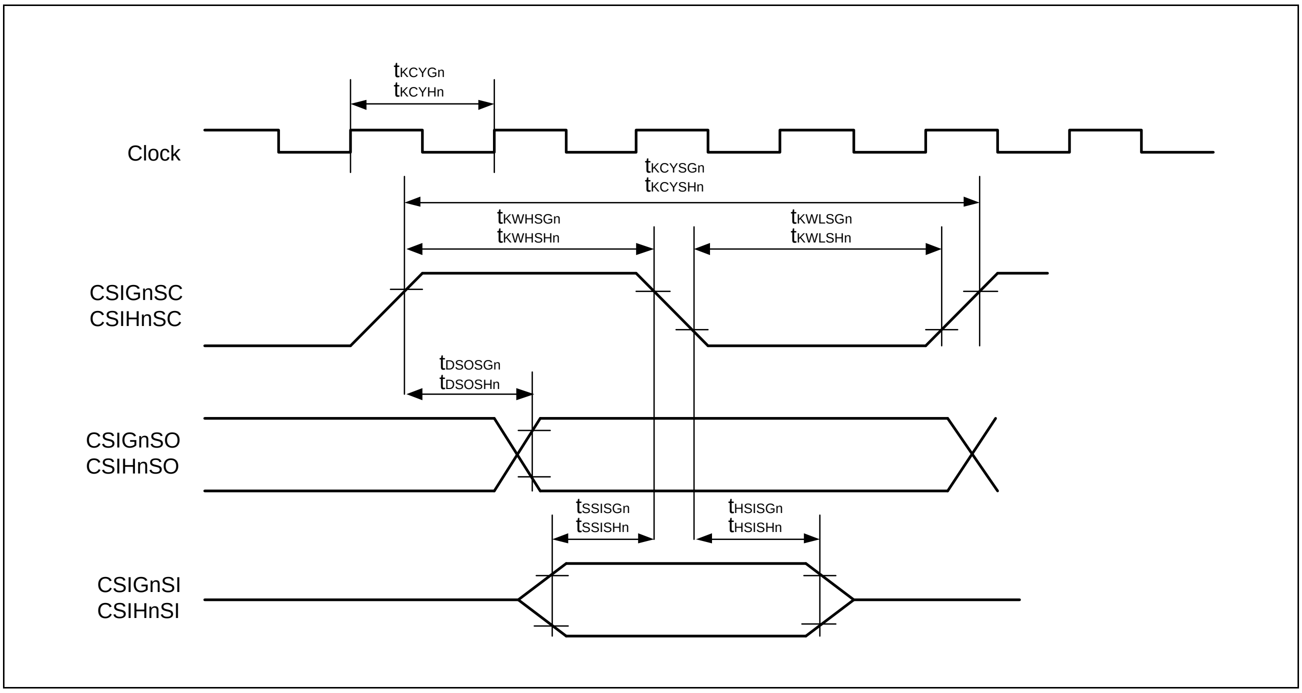
(4) SC/SI/SO

スレーブモード

- CSIG（CSIGnCTL1：CSIGnCKR/CSIGnCFG0：CSIGnDAP0＝0/0 または 1/1）
- CSIH（CSIHnCFGx：CSIHnCKPx/CSIHnCFGx：CSIHnDAPx＝0/0 または 1/1）

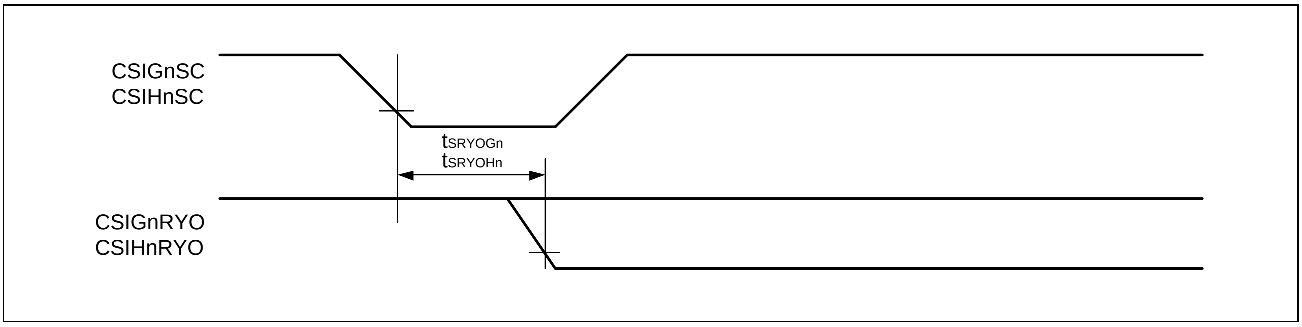


- CSIG（CSIGnCTL1：CSIGnCKR/CSIGnCFG0：CSIGnDAP0＝1/0 または 0/1）
- CSIH（CSIHnCFGx：CSIHnCKPx/CSIHnCFGx：CSIHnDAPx＝1/0 または 0/1）

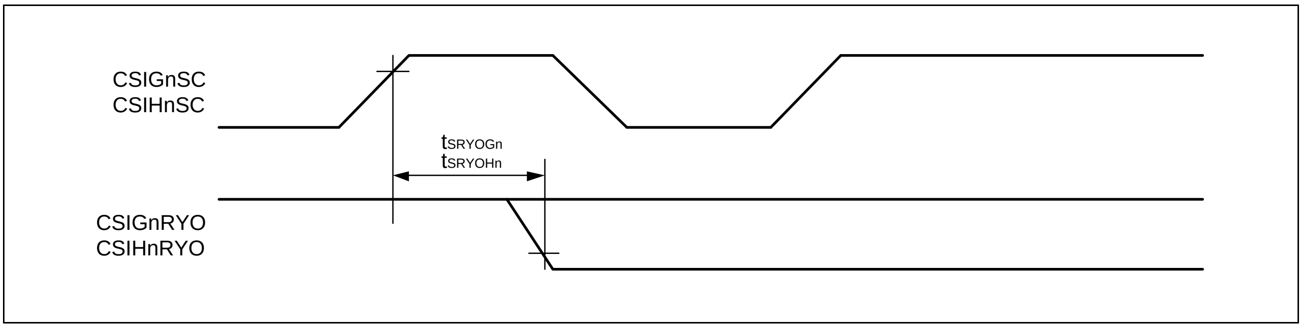


(5) RYO

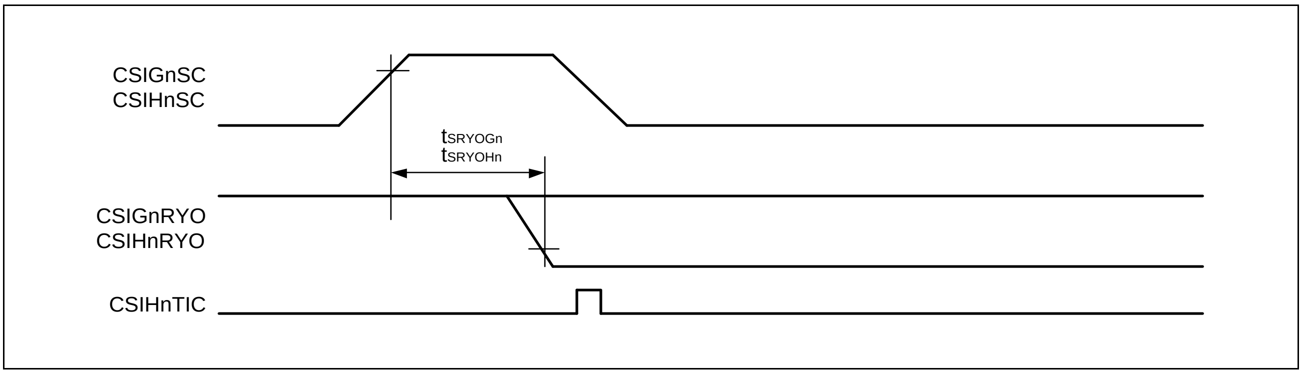
- CSIG（CSIGnCTL1：CSIGnCKR/CSIGnCFG0：CSIGnDAP0＝0/0）
- CSIH（CSIHnCFGx：CSIHnCKPx/CSIHnCFGx：CSIHnDAPx＝0/0）



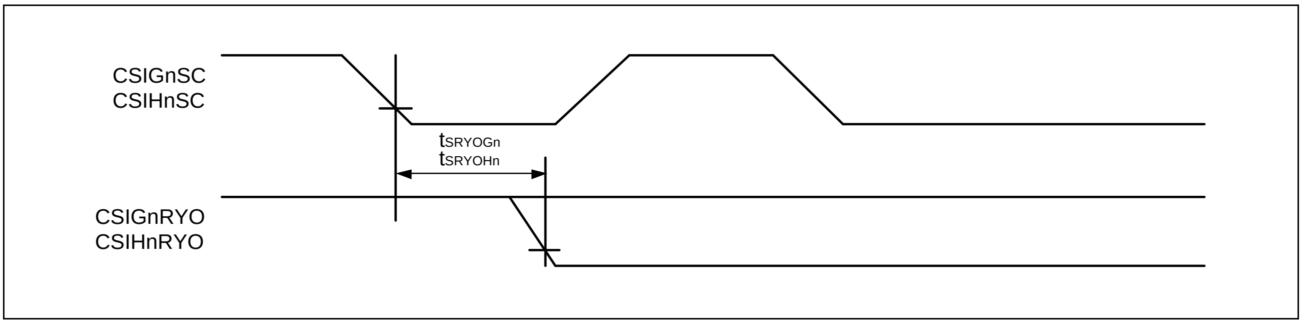
- CSIG（CSIGnCTL1：CSIGnCKR/CSIGnCFG0：CSIGnDAP0＝0/1）
- CSIH（CSIHnCFGx：CSIHnCKPx/CSIHnCFGx：CSIHnDAPx＝0/1）



- CSIG（CSIGnCTL1：CSIGnCKR/CSIGnCFG0：CSIGnDAP0＝1/0）
- CSIH（CSIHnCFGx：CSIHnCKPx/CSIHnCFGx：CSIHnDAPx＝1/0）



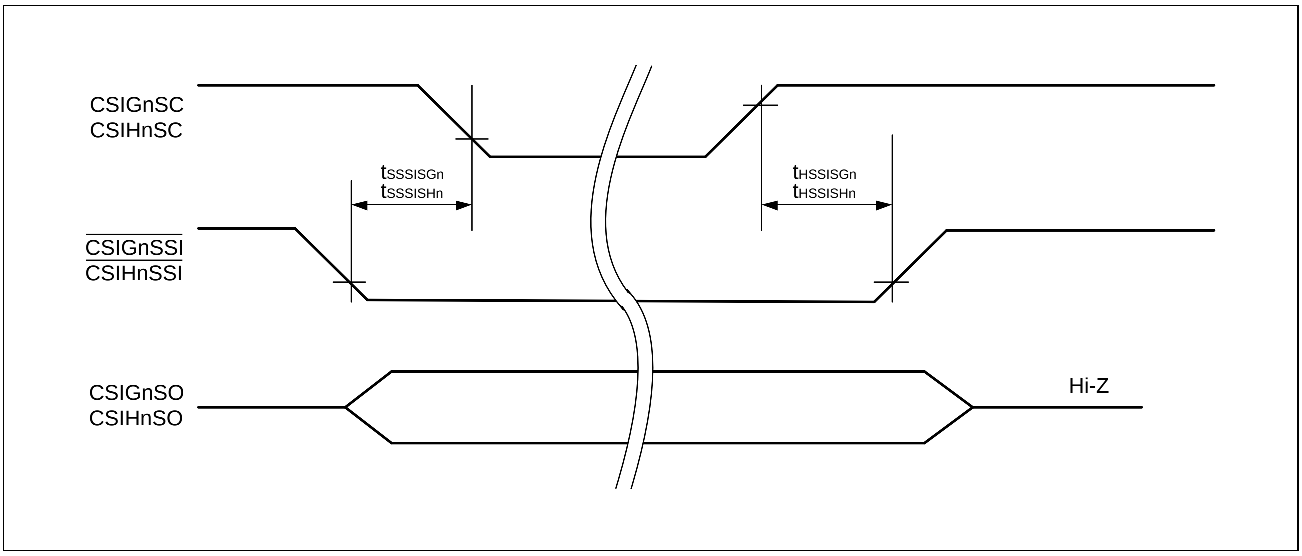
- CSIG（CSIGnCTL1：CSIGnCKR/CSIGnCFG0：CSIGnDAP0＝1/1）
- CSIH（CSIHnCFGx：CSIHnCKPx/CSIHnCFGx：CSIHnDAPx＝1/1）



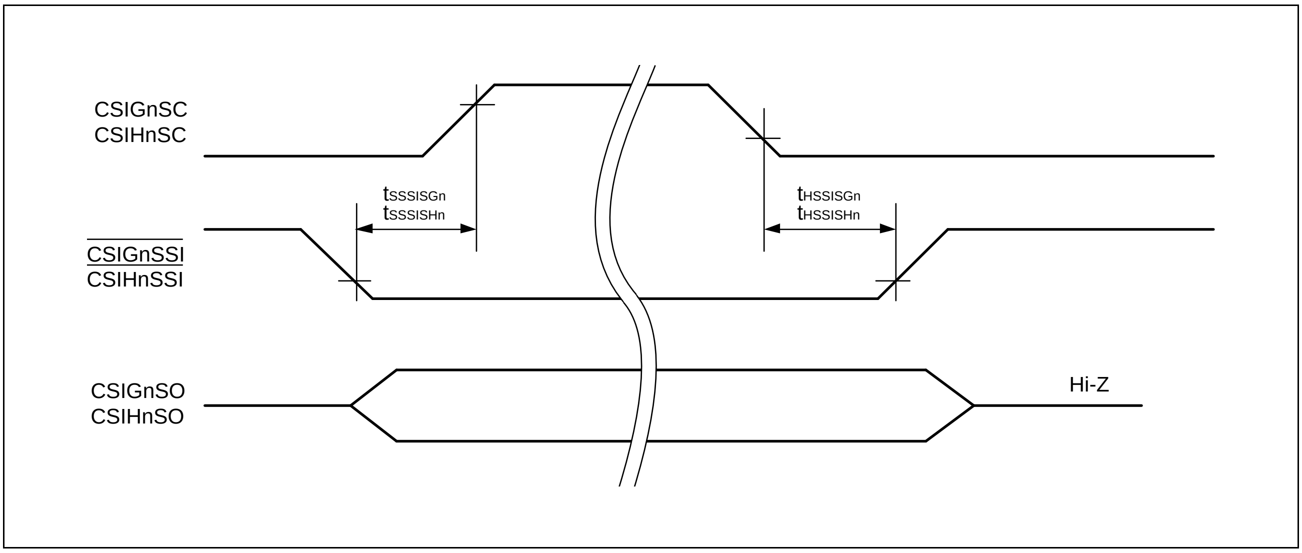
(6) SSI

スレーブモード

- CSIG（CSIGnCTL1：CSIGnSSE＝1, CSIGnCTL1：CSIGnCKR/CSIGnCFG0：CSIGnDAP0＝0/0 または 1/1）
- CSIH（CSIHnCTL1：CSIHnSSE＝1, CSIHnCFGx：CSIHnCKPx/CSIHnCFGx：CSIHnDAPx＝0/0 または 1/1）



- CSIG（CSIGnCTL1：CSIGnSSE＝1, CSIGnCTL1：CSIGnCKR/CSIGnCFG0：CSIGnDAP0＝1/0 または 0/1）
- CSIH（CSIHnCTL1：CSIHnSSE＝1, CSIHnCFGx：CSIHnCKPx/CSIHnCFGx：CSIHnDAPx＝1/0 または 0/1）



47B.5.11　RLIN2/RLIN3 タイミング

条件　：REGVCC＝EVCC＝3.0V～5.5V, BVCC＝3.0V～REGVCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
RLIN3 転送速度		LIN 仕様	1		20	kbps
		LIN 拡張ボーレート	1		115.2 注1	kbps
		UART 機能			1.5	Mbps
RLIN2 転送速度		LIN 仕様	1		20	kbps

注1.　LIN 拡張ボーレートは、LIN 標準仕様の一部ではありません。

47B.5.12　RIIC タイミング

条件　：REGVCC＝EVCC＝3.0V～5.5V, BVCC＝3.0V～REGVCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C

表 47B.18　RIIC タイミング（ノーマルモード）

項目	略号	条件	MIN.	TYP.	MAX.	単位
RIICnSCL クロック期間	f_{CLK}				100	kHz
バスフリー時間（ストップ／スタート条件間）	t_{BUF}		4.7			μs
ホールド時間注1	t_{HD}：STA		4.0			μs
RIICnSCL クロックロウレベル幅	t_{LOW}		4.7			μs
RIICnSCL クロックハイレベル幅	t_{HIGH}		4.0			μs
スタート／再スタート条件のためのセットアップ時間	t_{SU}：STA		4.7			μs
データホールド時間	t_{HD}：DAT	CBUS 互換マスタ	5.0			μs
		I^2C モード	0 注2			μs
データセットアップ時間	t_{SU}：DAT		250			ns
ストップ条件セットアップ時間	t_{SU}：STO		4.0			μs
各バスラインのキャパシタンス負荷	Cb				400	pF

備考
- n＝0, 1
- 本システムが、RIICnSCL のロウ幅時間（t_{Low}）を満たせない場合でも、データホールド時間（t_{HD}：DAT）のスペックを満たす必要があります。

注1.　スタート条件では、最初のクロックパルスはホールド時間の後に生成されます。

注2.　RIICnSDA 信号用に（RIICnSCL 信号の最小 VIH の場合）、システム内部で、最小 300ns ホールド時間が必要となります。RIICnSCL の立ち下がりエッジ時に、不確定な状態を回避するためです。

表 47B.19　RIIC タイミング（高速モード）

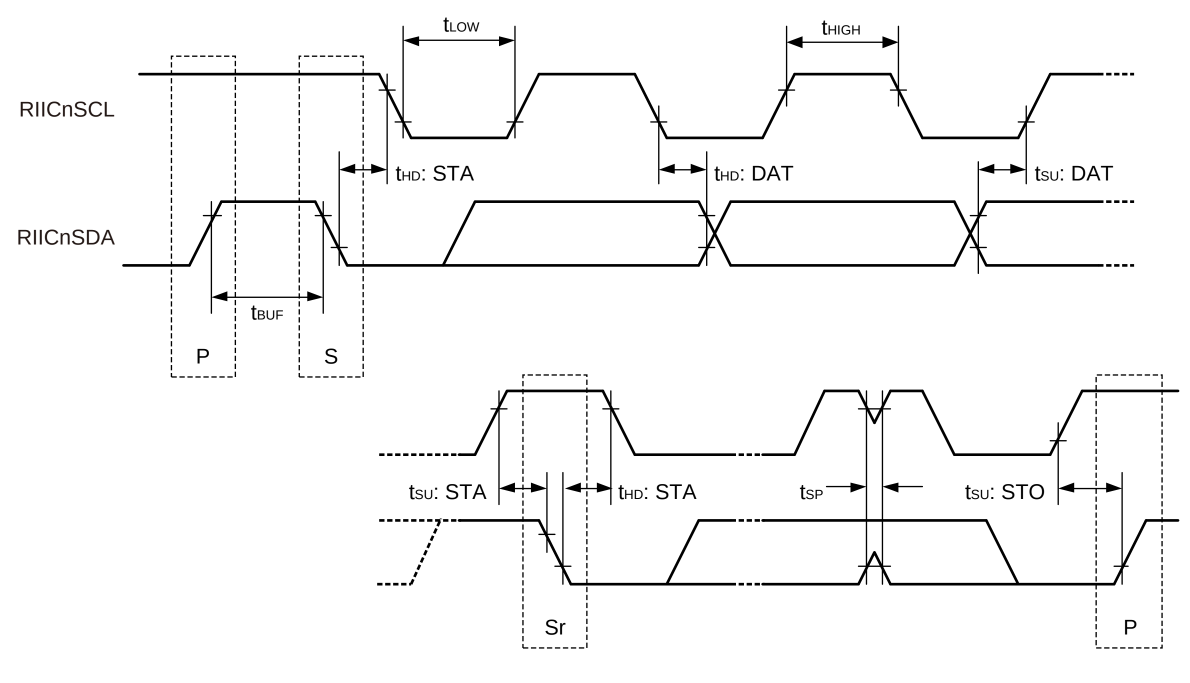
項目	略号	条件	MIN.	TYP.	MAX.	単位
RIICnSCL クロック期間	f_{CLK}				400	kHz
バスフリー時間（ストップ／スタート条件間）	t_{BUF}		1.3			μs
ホールド時間注 1	t_{HD}：STA		0.6			μs
RIICnSCL クロックロウレベル幅	t_{LOW}		1.3			μs
RIICnSCL クロックハイレベル幅	t_{HIGH}		0.6			μs
スタート／再スタート条件のためのセットアップ時間	t_{SU}：STA		0.6			μs
データホールド時間	t_{HD}：DAT	I^2C モード	0 注 2			μs
データセットアップ時間	t_{SU}：DAT		100 注 3			ns
ストップ条件セットアップ時間	t_{SU}：STO		0.6			μs
入力フィルタによって抑えられたスパイク付きパルス幅	t_{SP}		0		50	ns
各バスラインのキャパシタンス負荷	Cb				400	pF

備考　● n＝0, 1
● 本システムが、RIICnSCL のロウ幅時間（t_{Low}）を満たせない場合でも、データホールド時間（t_{HD}：DAT）のスペックを満たす必要があります。

注1.　スタート条件では、最初のクロックパルスはホールド時間の後に生成されます。

注2.　RIICnSDA 信号用に（RIICnSCL 信号の最小 VIH の場合）、システム内部で、最小 300ns ホールド時間が必要となります。RIICnSCL の立ち下がりエッジ時に、不確定な状態を回避するためです。

注3.　高速モード I^2C バスは、通常モード I^2C バスシステムで使用することができます。この場合、高速モード I^2C バスを、以下の条件を満たすように設定してください。
- システムが、RIICnSCL 信号のロウホールド時間を拡張しない場合：t_{SU}：DAT≧250ns
- システムが、RIICnSCL 信号のロウホールド時間を拡張する場合：
RIIC0SCL ラインを解除する前に、RIICnSDA ラインに以下のデータビットを送信してください（1250ns：通常モード I^2C バス仕様）。



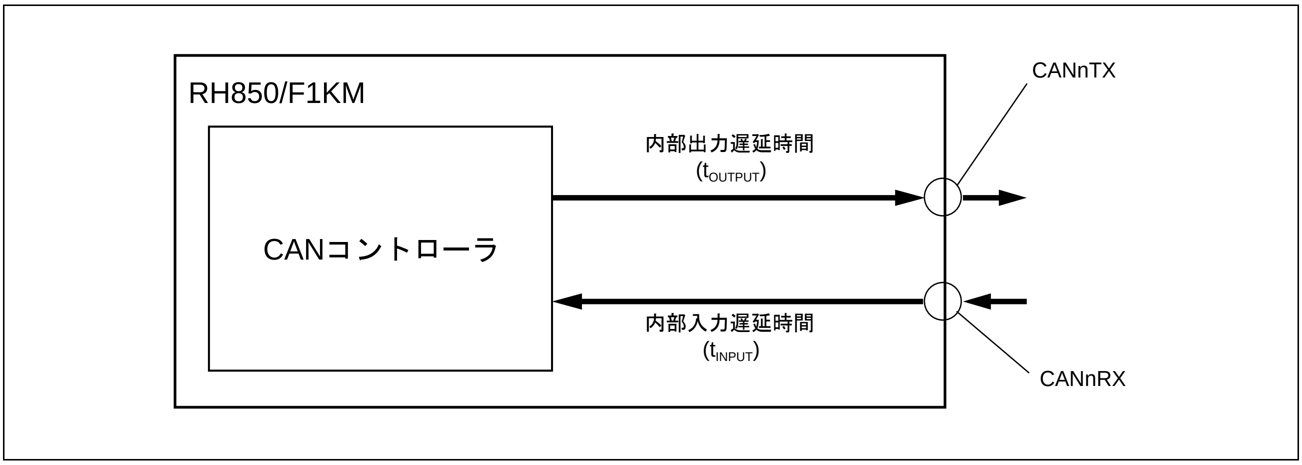
備考　P：ストップ条件／S：スタート条件／Sr：再スタート条件

47B.5.13 RS-CANFD タイミング

条件　: REGVCC＝EVCC＝3.0V～5.5V, BVCC＝3.0V～REGVCC, A0VREF＝3.0V～5.5V,
A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V,
CAWOVCL：0.1µF±30%, CISOVCL：0.1µF±30%, Tj＝–40～（製品依存）°C,
CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送速度		クラシカル CAN モード			1	Mbps
データビットレート（CAN FD モード）		通常ビットレート≦500kbps			5	Mbps
		通常ビットレート＞500kbps			2	Mbps
内部遅延時間注 1	t_{NODE}				50	ns

注1.　t_{NODE}＝内部入力遅延時間（t_{INPUT}）＋内部出力遅延時間（t_{OUTPUT}）



47B.5.14 FlexRay タイミング

条件　: REGVCC＝EVCC＝3.0V～5.5V, BVCC＝3.0V～REGVCC, A0VREF＝3.0V～5.5V,
A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V,
CAWOVCL：0.1µF±30%, CISOVCL：0.1µF±30%, Tj＝–40～（製品依存）°C,
CL＝30pF

CPU の最大周波数が 240MHz の製品

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送速度					10	Mbps

CPU の最大周波数が 160MHz の製品

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送速度					5	Mbps

47B.5.15　イーサネットタイミング

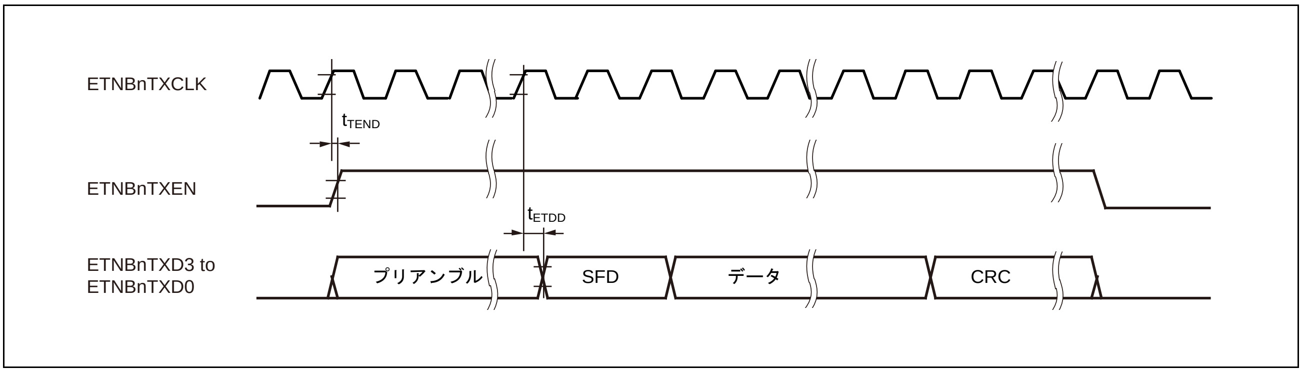
47B.5.15.1　MII インタフェース

条件　:　REGVCC＝EVCC＝3.0V～5.5V, BVCC＝3.0V～3.6 V, A0VREF＝3.0V～5.5V,
A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C,
CL＝15pF

＜出力ドライバ強度＞
ETNB0TXD3-0 および ETNB0TXEN 端子：高速モード
ETNB0TXCLK 端子：TTL タイプ

表 47B.20　MII インタフェース（送信インタフェース）

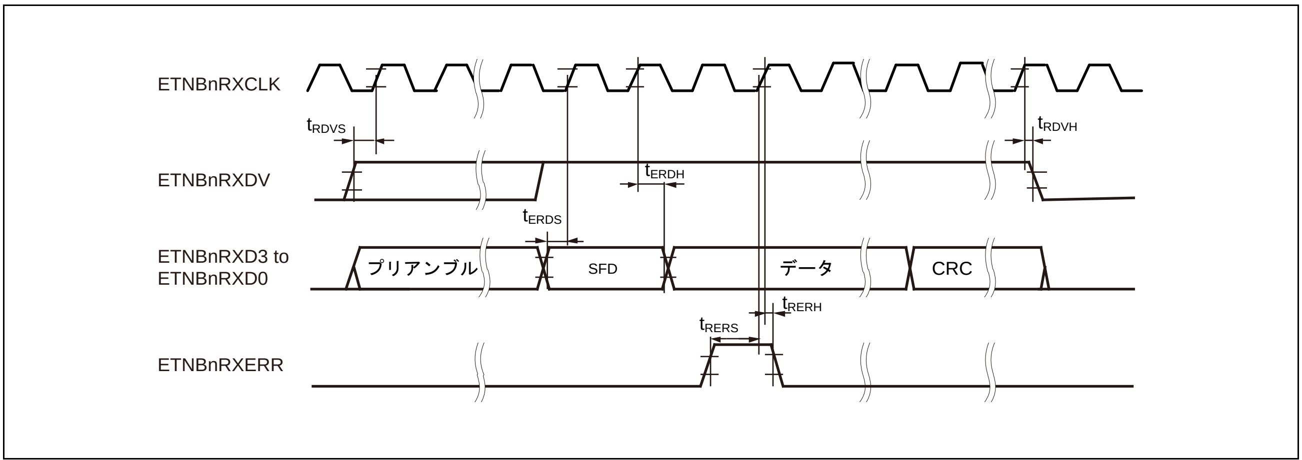
項目	略号	条件	MIN.	TYP.	MAX.	単位
ETNB0TXCLK クロック周期	t_{Tcyc}	100Mbps	40 – 100ppm	40	40 + 100ppm	ns
		10Mbps	400 – 100ppm	400	400 + 100ppm	ns
ETNB0TXEN 遅延、対 ETNB0TXCLK↑	t_{TEND}	CL＝15pF			18	ns
ETNB0TXD[3:0]遅延、対 ETNB0TXCLK↑	t_{ETDD}	CL＝15pF			18	ns



＜入力バッファ＞
ETNB0RXCLK, ETNB0RXDV, ETNB0RXD[3:0], ETNB0RXER 端子：TTL タイプ

表 47B.21　MII インタフェース（受信インタフェース）

項目	略号	条件	MIN.	TYP.	MAX.	単位
ETNB0RXCLK クロック周期	t_{Rcyc}	100Mbps	40 – 100ppm	40	40 + 100ppm	ns
		10Mbps	400 – 100ppm	400	400 + 100ppm	ns
ETNB0RXDV ホールド時間、対 ETNB0RXCLK↑	t_{RDVH}		10			ns
ETNB0RXDV セットアップ時間、対 ETNB0RXCLK↑	t_{RDVS}		10			ns
ETNB0RXD[3:0]ホールド時間、対 ETNB0RXCLK↑	t_{ERDH}		10			ns
ETNB0RXD[3:0]セットアップ時間、対 ETNB0RXCLK↑	t_{ERDS}		10			ns
ETNB0RXERR ホールド時間、対 ETNB0RXCLK↑	t_{RERH}		10			ns
ETNB0RXERR セットアップ時間、対 ETNB0RXCLK↑	t_{RERS}		10			ns



47B.5.15.2　管理インタフェース

管理インタフェース（ETNB0MDC および ETNB0MDIO）のタイミングは、ソフトウェアによって異なります。PHY の AC 仕様に従って、待ち時間を調整する必要があります。

47B.5.16　RSENT タイミング

条件　：REGVCC＝EVCC＝3.0V～5.5V, BVCC＝3.0V～REGVCC, A0VREF＝3.0V～5.5V,
A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C,
CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
チックタイム			1		90	μs

47B.5.17　タイマタイミング

条件　：REGVCC＝EVCC＝3.0V～5.5V, BVCC＝3.0V～REGVCC, A0VREF＝3.0V～5.5V,
A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C,
CL＝30pF

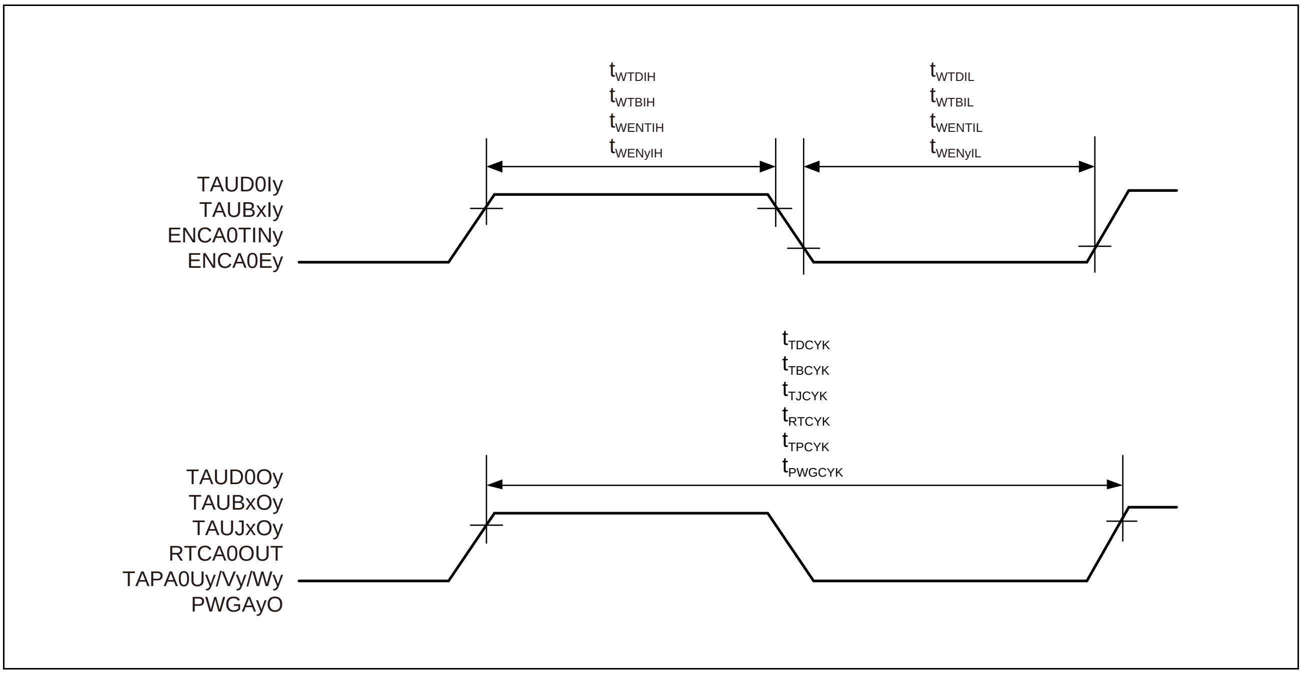
項目	略号	条件	MIN.	TYP.	MAX.	単位
TAUD0Iy 入力ハイ／ロウレベル幅（y＝0～15）	t_{WTDIH}/ t_{WTDIL}		n × Tsamp + 20 注1、注2			ns
TAUD0Oy 出力サイクル（y＝0～15）	t_{TDCYK}	低速モード			10	MHz
TAUBxIy 入力ハイ／ロウレベル幅（x＝0, 1, y＝0～15）	t_{WTBIH}/ t_{WTBIL}		n × Tsamp + 20 注1、注2			ns
TAUBxOy 出力サイクル（x＝0, 1, y＝0～15）	t_{TBCYK}	低速モード			10	MHz
TAUJxIy 入力ハイ／ロウレベル幅注3（x＝0～3, y＝0～3）	t_{WTJIH}/ t_{WTJIL}		600			ns
TAUJxIy パルス除去注4	t_{WTIJRJ}		100			ns
TAUJxOy 出力サイクル（x＝0～3, y＝0～3）	t_{TJCYK}	低速モード			10	MHz
RTCA0OUT 出力サイクル	t_{RTCYK}			1		Hz
TAPA0ESO 入力ハイ／ロウレベル幅注3	t_{WESIH}/ t_{WESIL}		600			ns
TAPA0ESO パルス除去注4	t_{WESIRJ}		100			ns
TAPA0Uy/Vy/Wy 出力サイクル（y＝P, N）	t_{TPCYK}	低速モード			10	MHz
ENCA0TINy 入力ハイ／ロウレベル幅（y＝0, 1）	t_{WENTIH}/ t_{WENTIL}		n × Tsamp + 20 注1			ns
ENCA0Ey 入力ハイ／ロウレベル幅（y＝0, 1, C）	t_{WENyIH}/ t_{WENyIL}		n × Tsamp + 20 注1			ns
PWGAyO 出力サイクル（y＝0～95）	t_{PWGCYK}	低速モード			10	MHz

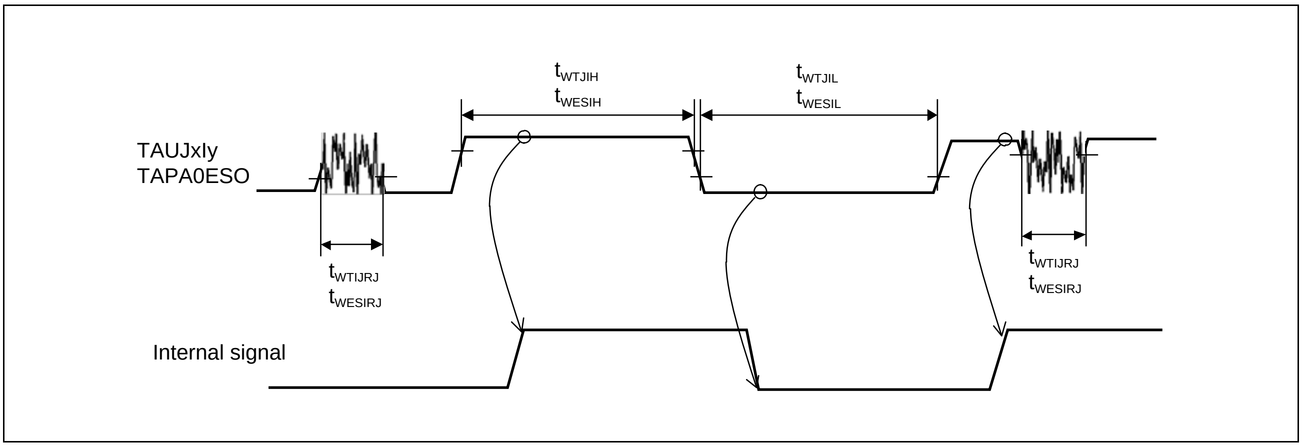
注1.　n：各入力用のデジタルノイズフィルタのサンプリング数
　　　Tsamp：各入力用のデジタルノイズフィルタのサンプリング時間

注2.　各タイマカウンタチャネルの 1 カウントクロック幅より長い時間を入力してください。

注3.　TAUJxIy と TAPA0ESO の入力幅は、内部タイマ入力信号がアクティブであることを保証するために必要です。

注4.　最小値より短いパルスは無視されます。これは参考値です。ノイズは下記図のようにフィルターされます。


tWTDIH
tWTBIH
tWENTIH
tWENyIH
tWTDIL
tWTBIL
tWENTIL
tWENyIL
TAUD0Iy
TAUBxIy
ENCA0TINy
ENCA0Ey
tTDCYK
tTBCYK
tTJCYK
tRTCYK
tTPCYK
tPWGCYK
TAUD0Oy
TAUBxOy
TAUJxOy
RTCA0OUT
TAPA0Uy/Vy/Wy
PWGAyO


tWTJIH
tWESIH
tWTJIL
tWESIL
TAUJxIy
TAPA0ESO
tWTIJRJ
tWESIRJ
tWTIJRJ
tWESIRJ
Internal signal

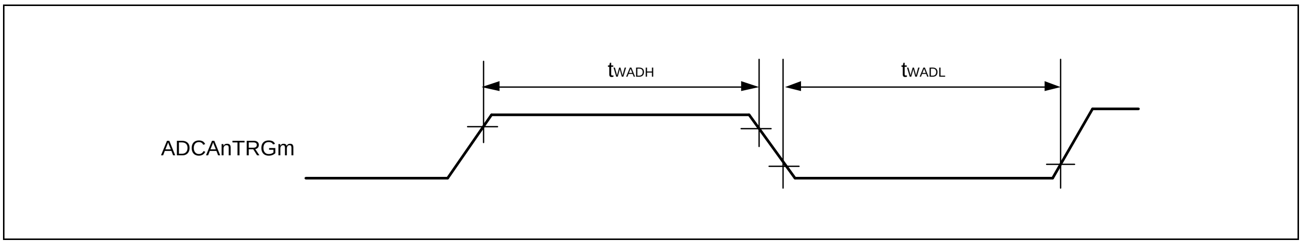
47B.5.18 ADTRG タイミング

条件　: REGVCC＝EVCC＝3.0V～5.5V, BVCC＝3.0V～REGVCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
ADCAnTRGm 入力ハイ／ロウレベル幅	t_{WADH}/t_{WADL}		k × Tsamp + 20 注1			ns

注1.　k：各入力用のデジタルノイズフィルタのサンプリング数

　　Tsamp：各入力用のデジタルノイズフィルタのサンプリング時間



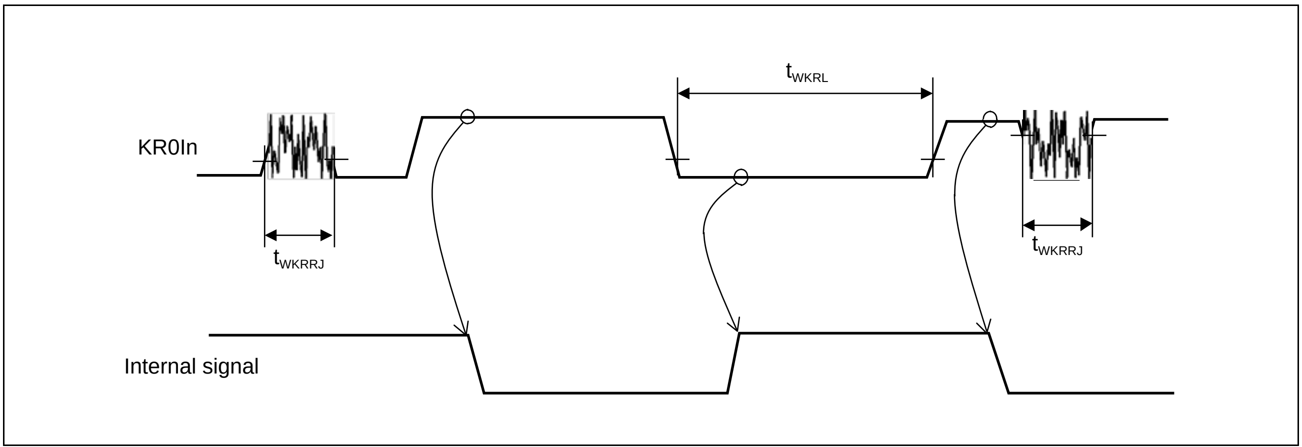
47B.5.19 キーリターンタイミング

条件　: REGVCC＝EVCC＝3.0V～5.5V, BVCC＝3.0V～REGVCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
KR0In 入力ロウレベル幅注1	t_{WKRL}		600			ns
KR0In パルス除去注2	t_{WKRRJ}		100			ns

注1.　KR0In 入力幅は、内部キー入力信号がアクティブであることを保証するために必要です。

注2.　最小値より短いパルスは無視されます。これは参考値です。ノイズは下記図のようにフィルターされます。



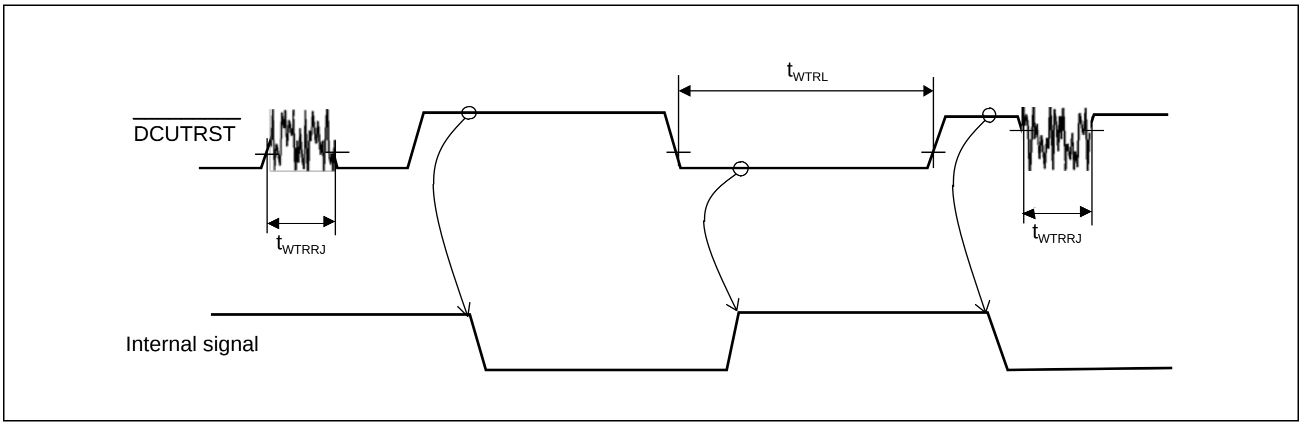
47B.5.20 $\overline{\text{DCUTRST}}$ タイミング

条件　：REGVCC＝EVCC＝3.0V～5.5V, BVCC＝3.0V～REGVCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{DCUTRST}}$ 入力ロウレベル幅注1	t_{WTRL}		600			ns
$\overline{\text{DCUTRST}}$ パルス除去注2	t_{WTRRJ}		100			ns

注1.　$\overline{\text{DCUTRST}}$ 入力幅は、内部 DCU リセット入力信号がアクティブであることを保証するために必要です。

注2.　最小値より短いパルスは無視されます。これは参考値です。ノイズは下記図のようにフィルターされます。



47B.5.21　デバッグインタフェース特性

47B.5.21.1　Nexus インタフェースタイミング

条件　：REGVCC＝EVCC＝3.0V～5.5V, BVCC＝3.0V～REGVCC, A0VREF＝3.0V～5.5V,
A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V,
CAWOVCL：0.1µF±30%, CISOVCL：0.1µF±30%, Tj＝–40～（製品依存）°C,
CL＝30pF

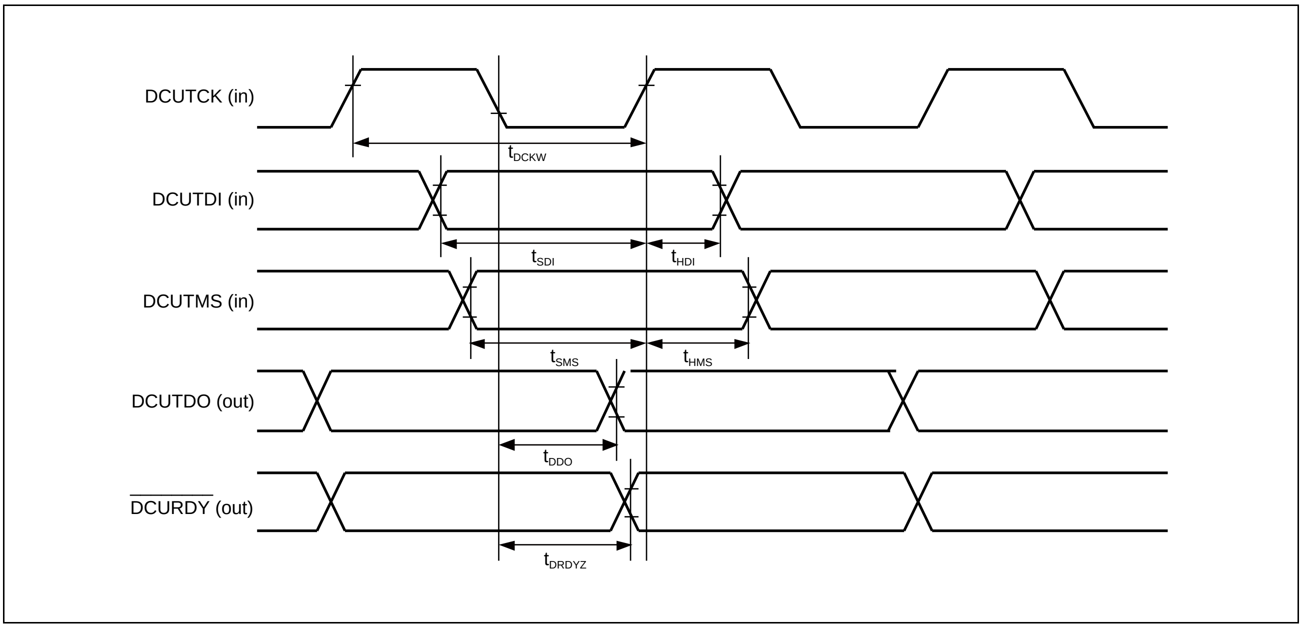
＜入力バッファ＞

DCUTDI, DCUTCK, DCUTMS, $\overline{\text{DCUTRST}}$ ：TTL

＜出力ドライバ強度＞

DCUTDO, $\overline{\text{DCURDY}}$ ：高速モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
DCUTCK サイクル幅	t_{DCKW}		50			ns
DCUTDI セットアップ時間（対 DCUTCK↑）	t_{SDI}		12			ns
DCUTDI ホールド時間（対 DCUTCK↑）	t_{HDI}		3			ns
DCUTMS セットアップ時間（対 DCUTCK↑）	t_{SMS}		12			ns
DCUTMS ホールド時間（対 DCUTCK↑）	t_{HMS}		3			ns
DCUTDO 遅延時間（↓DCUTCK）	t_{DDO}		0		20	ns
$\overline{\text{DCURDY}}$ 遅延時間（↓DCUTCK）	t_{RDYZ}		0		20	ns



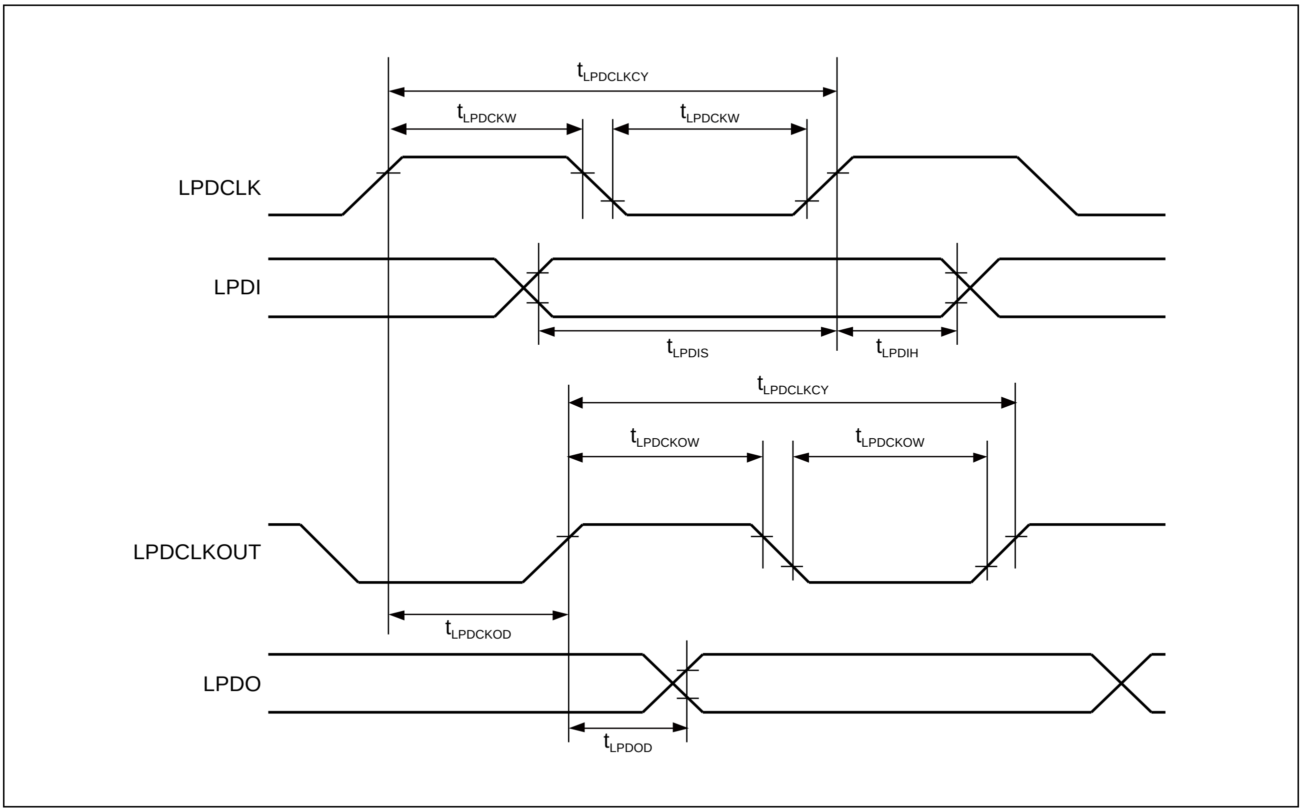
47B.5.21.2　LPD（4 Pin）インタフェースタイミング

条件　: REGVCC＝EVCC＝3.0V～5.5V, BVCC＝3.0V～REGVCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1µF±30%, CISOVCL：0.1µF±30%, Tj＝–40～（製品依存）°C, CL＝100pF

＜入力バッファ＞
LPDCLK, LPDI：TTL

＜出力ドライバ強度＞
LPDCLKOUT, LPDO：高速モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
LPDCLK サイクル時間／ LPDCLKOUT サイクル時間	$t_{LPDCLKCY}$		83.3 (max.12MHz)			ns
LPDCLK ハイレベル幅／ LPDCLK ロウレベル幅	t_{LPDCKW}		$0.5 \times t_{LPDCLKCY} - 10$			ns
LPDCLKOUT ハイレベル幅／ LPDCLKOUT ロウレベル幅	$t_{LPDCKOW}$		$t_{LPDCKW} - 10$			ns
LPDI セットアップ時間（LPDCLK↑）	t_{LPDIS}		41			ns
LPDI ホールド時間（LPDCLK↑）	t_{LPDIH}		3			ns
LPDCLK～LPDCLKOUT 遅延時間	$t_{LPDCKOD}$				44	ns
LPDO 遅延時間（LPDCLKOUT↑）	t_{LPDOD}		0		15	ns



47B.5.21.3　LPD（1 Pin）インタフェースタイミング

条件　：REGVCC＝EVCC＝3.0V～5.5V, BVCC＝3.0V～REGVCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝50pF

＜入力バッファ＞
　LPDIO：TTL

＜出力ドライバ強度＞
　LPDIO：高速モード

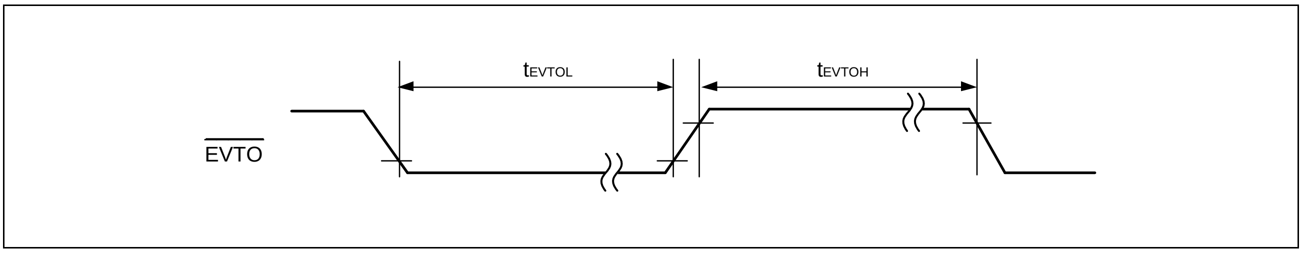
＜外部プルアップ抵抗＞
　LPDIO：1kΩ～10kΩ

項目	略号	条件	MIN.	TYP.	MAX.	単位
LPD（1 Pin）ボーレート					2.0	Mbps

47B.5.21.4　デバッグイベントのインタフェースタイミング

条件　：REGVCC＝EVCC＝3.0V～5.5V, BVCC＝3.0V～REGVCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝50pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{EVTO}}$ ハイ／ロウレベル幅	t_{EVTOH}/t_{EVTOL}		50			ns



47B.6　A/D 変換特性

条件　: REGVCC＝EVCC＝3.0V～5.5V, BVCC＝3.0V～REGVCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

(1/2)

項目	略号	条件			MIN.	TYP.	MAX.	単位
変換クロック	ADCLKn				8[注3]		40	MHz
分解能	RESn	12 ビットモード			12	12	12	bit
		10 ビットモード			10	10	10	bit
変換時間	t_{CONn}	ADCAnSMPCR.SMPT[7:0]＝12 H（40 cycle）（8MHz[注3]≦ADCLKn≦32MHz），外部 MPX は使用しません。			1.25		5	μs
		ADCAnSMPCR.SMPT[7:0]＝18 H（46 cycle）（8MHz[注3]≦ADCLKn≦40MHz），外部 MPX は使用しません。			1.15		5.75	μs
		ADCAnSMPCR.SMPT[7:0]＝12 H（80 cycle）（8MHz[注3]≦ADCLKn≦32MHz），外部 MPX を使用します。			2.5[注4]		10	μs
		ADCAnSMPCR.SMPT[7:0]＝18 H（92 cycle）（8MHz[注3]≦ADCLKn≦40MHz），外部 MPX を使用します。			2.3[注4]		11.5	μs
サンプリング時間	t_{SMP}	ADCAnSMPCR.SMPT[7:0]＝12 H（18 cycle）（8MHz[注3]≦ADCLKn≦32MHz）			0.56		2.25	μs
		ADCAnSMPCR.SMPT[7:0]＝18 H（24 cycle）（8MHz[注3]≦ADCLKn≦40MHz）			0.6		3	μs
総合誤差[注1]	TOEn	12 ビットモード	AnVREF＝4.5V～5.5V	ADCAnIm（T&H 未使用）			±4.0	LSB
				ADCA0I0-5（T&H 使用）			±6.0	LSB
			AnVREF＝3.0V～4.5V	ADCAnIm（T&H 未使用）			±6.0	LSB
				ADCA0I0-5（T&H 使用）			±8.0	LSB
		10 ビットモード	AnVREF＝4.5V～5.5V	ADCAnIm			±1.0	LSB
				ADCAnImS			±2.0	LSB
			AnVREF＝3.0V～4.5V	ADCAnIm			±1.5	LSB
				ADCAnImS			±2.5	LSB
アナログ入力電圧	VAIN0SN	ADCAnIm	T&H 未使用時		AnVSS		AnVREF	V
		ADCA0I0-5	T&H 使用時		0.2		A0VREF – 0.2	V
		ADCA0ImS	A0VREF≧EVCC		A0VSS		EVCC	V
			A0VREF＜EVCC		A0VSS		A0VREF	V
		ADCA1ImS	A1VREF≧BVCC		A1VSS		BVCC	V
			A1VREF＜BVCC		A1VSS		A1VREF	V
動作電流	IA0VREF IA1VREF	T&H 未使用時				1.1	3.0	mA
		T&H 使用時（最大 6 pin）					[注2]	mA
STOP, DeepSTOP, Cyclic STOP 電流（@LPS では停止）	IA0VREFS IA1VREFS					1	10	μA
T&H 電流	ITH					0.5	1.3	mA/ch
チャネル T&H サンプリング時間	t_{THSMP}				450			ns
T&H ホールド時間	t_{THHOLD}						10	μs
自己診断電圧回路のセットアップ時間	t_{BOOT}				500			ns
自己診断電圧レベルのセットアップ時間	t_{OUT}				500			ns
オープン端子の診断用プルダウン抵抗		ADCnIm 端子	VI＝AnVREF		350	500	650	kΩ
		ADCnImS 端子	A0VREF≧EVCC：VI＝EVCC A0VREF＜EVCC：VI＝A0VREF		100	215	800	kΩ
			A1VREF≧BVCC：VI＝BVCC A1VREF＜BVCC：VI＝A1VREF					

(2/2)

項目	略号	条件			MIN.	TYP.	MAX.	単位
自己診断機能の精度（オープン端子の診断を除く）	TESH0SN	12 ビットモード	自己診断電圧レベル＝AnVREF		4015-|TOEn|		4095	—
			自己診断電圧レベル＝2/3AnVREF		2651-|TOEn|	2731	2811+|TOEn|	—
			自己診断電圧レベル＝1/2AnVREF		1968-|TOEn|	2048	2128+|TOEn|	—
			自己診断電圧レベル＝1/3AnVREF		1285-|TOEn|	1365	1445+|TOEn|	—
			自己診断電圧レベル＝AnVSS		0		80+|TOEn|	—
		10 ビットモード	自己診断電圧レベル＝AnVREF		1003-|TOEn|		1023	—
			自己診断電圧レベル＝2/3AnVREF		663-|TOEn|	683	703+|TOEn|	—
			自己診断電圧レベル＝1/2AnVREF		492-|TOEn|	512	532+|TOEn|	—
			自己診断電圧レベル＝1/3AnVREF		321-|TOEn|	341	361+|TOEn|	—
			自己診断電圧レベル＝AnVSS		0		20+|TOEn|	—
積分非直線性誤差注1	ILEn	12 ビットモード	AnVREF＝4.5V～5.5V	ADCAnIm（T&H 未使用）			±2.0	LSB
				ADCA0I0-5（T&H 使用）			±3.0	LSB
			AnVREF＝3.0V～4.5V	ADCAnIm（T&H 未使用）			±3.0	LSB
				ADCA0I0-5（T&H 使用）			±4.0	LSB
		10 ビットモード	AnVREF＝4.5V～5.5V	ADCAnIm			±1.0	LSB
				ADCAnImS			±2.0	LSB
			AnVREF＝3.0V～4.5V	ADCAnIm			±1.5	LSB
				ADCAnImS			±2.5	LSB
微分非直線性誤差注1	DLEn	12 ビットモード	AnVREF＝4.5V～5.5V	ADCAnIm（T&H 未使用）			±1.0	LSB
				ADCA0I0-5（T&H 使用）			±2.0	LSB
			AnVREF＝3.0V～4.5V	ADCAnIm（T&H 未使用）			±3.0	LSB
				ADCA0I0-5（T&H 使用）			±4.0	LSB
		10 ビットモード	AnVREF＝4.5V～5.5V	ADCAnIm			±1.0	LSB
				ADCAnImS			±1.5	LSB
			AnVREF＝3.0V～4.5V	ADCAnIm			±1.0	LSB
				ADCAnImS			±2.0	LSB
ゼロスケール誤差（オフセット誤差）注1	ZSEn	12 ビットモード	AnVREF＝4.5V～5.5V	ADCAnIm（T&H 未使用）			±3.5	LSB
				ADCA0I0-5（T&H 使用）			±5.5	LSB
			AnVREF＝3.0V～4.5V	ADCAnIm（T&H 未使用）			±5.5	LSB
				ADCA0I0-5（T&H 使用）			±7.5	LSB
		10 ビットモード	AnVREF＝4.5V～5.5V	ADCAnIm			±0.5	LSB
				ADCAnImS			±1.5	LSB
			AnVREF＝3.0V～4.5V	ADCAnIm			±1.0	LSB
				ADCAnImS			±2.0	LSB
フルスケール誤差注1	FSEn	12 ビットモード	AnVREF＝4.5V～5.5V	ADCAnIm（T&H 未使用）			±3.5	LSB
				ADCA0I0-5（T&H 使用）			±5.5	LSB
			AnVREF＝3.0V～4.5V	ADCAnIm（T&H 未使用）			±5.5	LSB
				ADCA0I0-5（T&H 使用）			±7.5	LSB
		10 ビットモード	AnVREF＝4.5V～5.5V	ADCAnIm			±0.5	LSB
				ADCAnImS			±1.5	LSB
			AnVREF＝3.0V～4.5V	ADCAnIm			±1.0	LSB
				ADCAnImS			±2.0	LSB

備考　ADCA0ImS 端子を 12 ビットモード変換するときの変換精度：下位 2 ビットを変換結果から無視することにより、変換精度を確保できます。

注1.　量子化誤差は含みません。

注2.　3.0＋1.3×（使用した T&H の数）

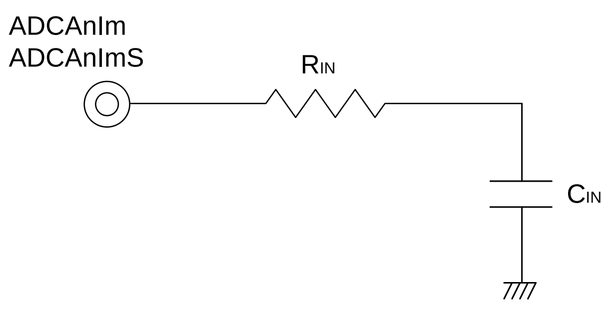
注3.　HS IntOSC の発振精度を含みます。

注4.　外部マルチプレクサを使用する場合、A/D 変換の詳細時間は、MPX セットアップ時間、サンプリング時間、逐次比較時間になります。MPX セットアップ時間は、“サンプリング時間＋逐次比較時間”と同じになります。

注　意

A/D 変換中に AP0, AP1, P8, P9, P18, P19 にデジタルパルスを印加するとカップリングノイズによって A/D 変換値が期待通りに得られない場合があります。
デジタルバッファの出力端子としての動作も同様です。出力電圧の総和が増加すると精度劣化のポテンシャルが増加します。また、隣接端子の出力電流が変動した場合、アナログ入力端子の外部回路とのカップリングにより変換精度が劣化する場合があります。

47B.6.1　アナログ入力部の等価回路



RH850/F1KM-S4

端子	条件	RIN (kΩ)	CIN (pF)
ADCA0I0-5	T&H 使用時	14.1	2.2
	T&H 未使用時	3.8	2.1
ADCA0I6-15	—	3.8	2.1
ADCA0I0S-3S, 5S-11S, 14S-16S	—	5.3	9.3
ADCA0I4S, 17S-19S	—	7.2	9.3
ADCA1I0-15	—	3.8	2
ADCA1I0S-19S	—	5.2	7.4

RH850/F1KM-S2

端子	条件	RIN (kΩ)	CIN (pF)
ADCA0I0-5	T&H 使用時	14.2	2.0
	T&H 未使用時	3.8	2.1
ADCA0I6-15	—	3.8	2.1
ADCA0I0S-3S, 5S-11S, 14S-16S	—	5.7	8.8
ADCA0I4S, 17S-19S	—	7.0	8.8
ADCA1I0-15	—	4.0	2.0
ADCA1I0S-19S	—	5.6	5.3

注　意

本仕様は、出荷検査時にはテストされません。そのため、RIN と CIN は参考値であり、保証されていません。また、これらの値は最大値を示しています。

47B.7　フラッシュプログラミング特性

47B.7.1　コードフラッシュ

コードフラッシュメモリは消去状態で出荷されます。消去の後、何も書き込んでいない状態（書き込みなし状態）で、コードフラッシュメモリが読み出されると、ECC エラーが発生し、例外を引き起こします。

条件　: REGVCC＝EVCC＝VPOC～5.5V, BVCC＝VPOC～REGVCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

表 47B.22　基本特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	f_{PCLK} 注 3		5 注 4		30	MHz
書き換え回数注 1	CWRT	データ保持 20 年注 2	1000			times

注1.　書き換え回数は、各ブロックの消去回数になります。書き換え回数が“n”（n＝1000）の場合、デバイスは、各ブロックを“n”回、消去することができます。例えば、256 バイトの書き込みを異なるアドレスに対して 128 回行った後に、32K バイトのブロックが消去された場合、書き換え回数は“1”になります。しかし、同じアドレスに対して複数回の書き込みは、1 回の消去では対応出来ません（上書き禁止）。

注2.　平均 Ta＝85°C での保持期間。コードフラッシュメモリの消去が正常に完了した時点からの保持期間です。

注3.　f_{PCLK}＝1/8 f_{CPUCLK_H}：内蔵フラッシュのシステム動作周波数

注4.　書き込み／消去動作のみ

表 47B.23　プログラミング特性

項目	略号	条件	ブロックサイズ	MIN.	TYP.	MAX.	単位
書き込み時間		f_{PCLK}≧20MHz CWRT＜100 回	256B		0.4 注 1	6 注 1	ms
			8KB		20	90	ms
			32KB		80	360	ms
			256KB		0.6	2.7	s
			384KB		0.9	4.1	s
			512KB		1.2	5.4	s
			768KB		1.7	8.1	s
			1MB		2.3	10.8	s
			1.5MB		3.4	16.2	s
			2MB		4.5	21.5	s
			3MB		6.8	32.3	s
			4MB		9	43	s
		f_{PCLK}≧20MHz CWRT≧100 回	256B		0.5 注 1	7.2 注 1	ms
			8KB		24	108	ms
			32KB		96	432	ms
			256KB		0.7	3.3	s
			384KB		1.1	4.9	s
			512KB		1.4	6.5	s
			768KB		2.1	9.8	s
			1MB		2.7	13	s
			1.5MB		4.1	19.5	s
			2MB		5.4	26	s
			3MB		8.1	39	s
			4MB		10.8	52	s

表 47B.23　プログラミング特性

項目	略号	条件	ブロック サイズ	MIN.	TYP.	MAX.	単位
消去時間		f_{PCLK}≧20MHz CWRT＜100 回	8KB		39	120	ms
			32KB		141	480	ms
			256KB		1.2	3.5	s
			384KB		1.7	5.3	s
			512KB		2.3	7	s
			768KB		3.4	10.5	s
			1MB		4.5	14	s
			1.5MB		6.8	21	s
			2MB		9	28	s
			3MB		13.5	42	s
			4MB		18	56	s
		f_{PCLK}≧20MHz CWRT≧100 回	8KB		47	144	ms
			32KB		169	576	ms
			256KB		1.4	4.2	s
			384KB		2.1	6.3	s
			512KB		2.7	8.4	s
			768KB		4.1	12.6	s
			1MB		5.4	16.8	s
			1.5MB		8.1	25.2	s
			2MB		10.8	33.6	s
			3MB		16.2	50.4	s
			4MB		21.6	67.2	s

注1.　ハードウェアの処理時間のみ。ソフトウェアのオーバヘッドは考慮されていません。

47B.7.2　データフラッシュ

データフラッシュメモリは消去状態で出荷されます。消去の後、何も書き込んでいない状態（書き込みなし状態）で、データフラッシュメモリが読み出されると、ECC エラーが発生し、例外を引き起こします。

条件　: REGVCC＝EVCC＝VPOC～5.5V, BVCC＝VPOC～REGVCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

表 47B.24　基本特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	f_{PCLK} 注3		5 注4		30	MHz
書き換え回数注1	CWRT	データ保持 20 年注2	125k			times
		データ保持 3 年注2	250k			times

注1.　書き換え回数は、各ブロックの消去回数になります。書き換え回数が “n”（n＝125000）の場合、デバイスは、各ブロックを “n” 回、消去することができます。例えば、4 バイトの書き込みを異なるアドレスに対して 16 回行った後に、64 バイトのブロックが消去された場合、書き換え回数は “1” になります。しかし、同じアドレスに対して複数回の書き込みは、1 回の消去では対応出来ません（上書き禁止）。

注2.　平均 Ta=85°C での保持期間。データフラッシュメモリの消去が正常に完了した時点からの保持期間です。

注3.　f_{PCLK}＝1/8 f_{CPUCLK_H}：内蔵フラッシュのシステム動作周波数

注4.　書き込み／消去動作のみ

表 47B.25　プログラミング特性

項目	略号	条件	ブロックサイズ	MIN.	TYP.	MAX.	単位
書き込み時間		f_{PCLK}≧20MHz	4B		0.16 注1	1.7 注1	ms
			32KB		1.4	6.8	s
			64KB		2.79	13.44	s
			128KB		5.58	26.88	s
消去時間		f_{PCLK}≧20MHz	64B		1.7 注1	10 注1	ms
			32KB		0.9	5.2	s
			64KB		1.74	10.24	s
			128KB		3.48	20.48	s
ブランクチェック時間		f_{PCLK}≧20MHz	4B			30 注1	μs
			64B			100 注1	μs
			32KB			35.2	ms
			64KB			70.4	ms
			128KB			140.8	ms

注1.　ハードウェアの処理時間のみ。ソフトウェアのオーバヘッドは考慮されていません。

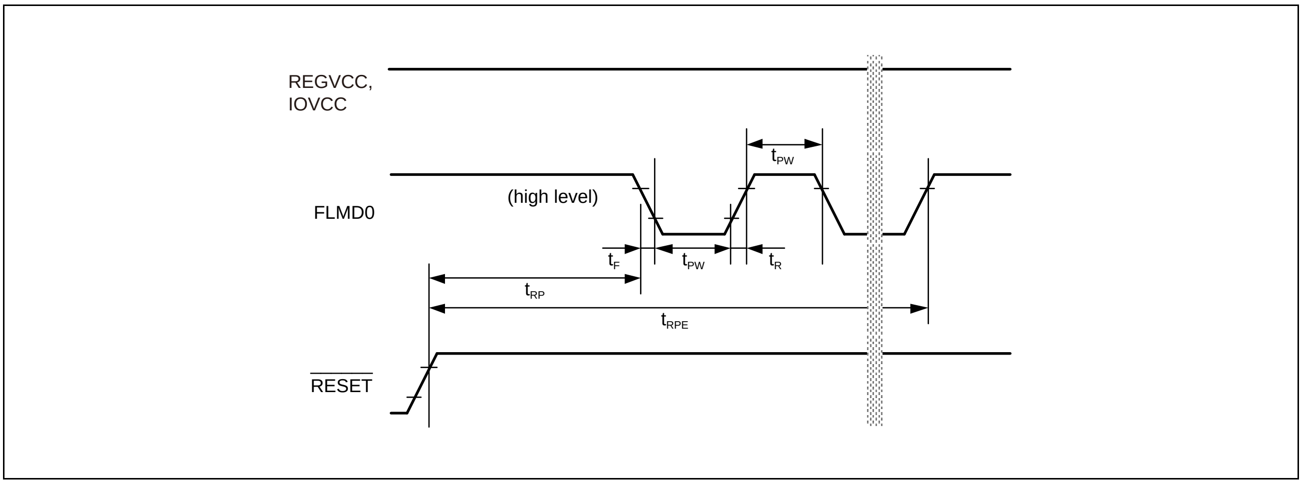
47B.7.3　シリアルプログラミングインタフェース

47B.7.3.1　シリアルプログラミングセットアップタイミング

条件　:　REGVCC＝EVCC＝3.0V～5.5V, BVCC＝3.0V～REGVCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
FLMD0 パルス入力開始時間	t_{RP}		1.5			ms
FLMD0 パルス入力終了時間	t_{RPE}				101.5	ms
FLMD0 ロウ／ハイレベル幅	t_{PW}		3.2			μs
FLMD0 立ち上がり時間	t_R				20	ns
FLMD0 立ち下がり時間	t_F				20	ns

備考　IOVCC：EVCC＝BVCC＝A0VREF＝A1VREF



47B.7.3.2　フラッシュプログラミングインタフェース

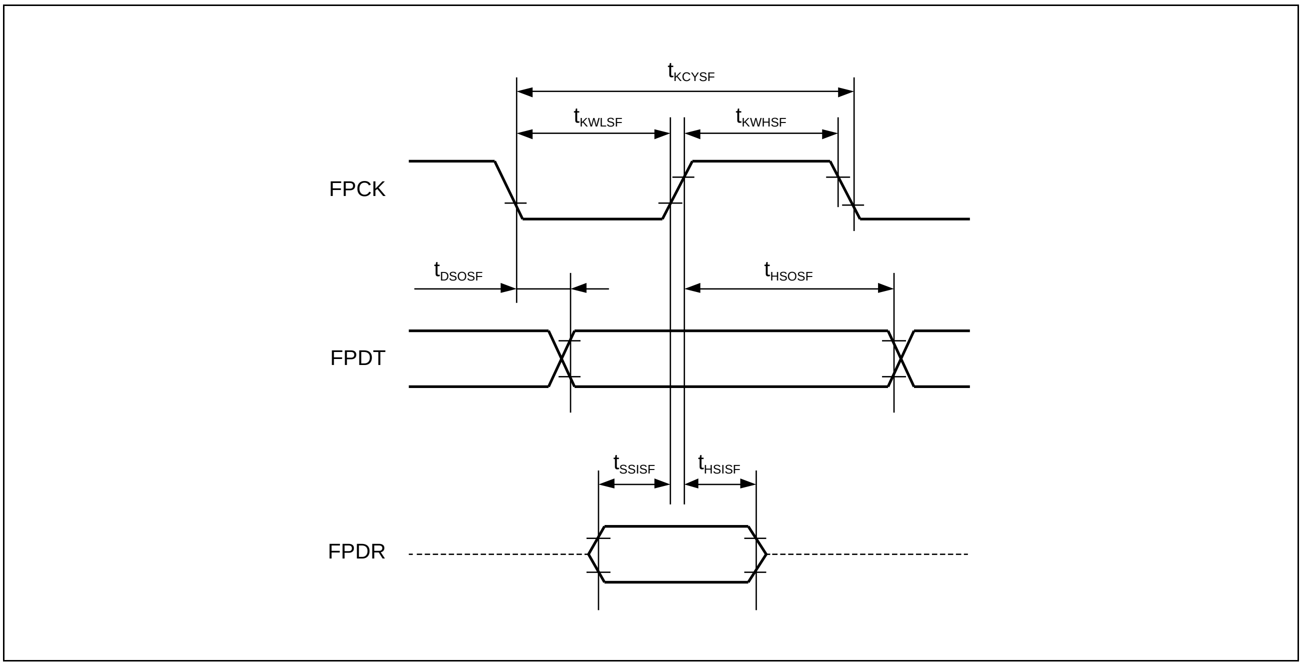
条件　: REGVCC＝EVCC＝3.0V～5.5V, BVCC＝3.0V～REGVCC, A0VREF＝3.0V～5.5V, A1VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝BVSS＝A0VSS＝A1VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝–40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
フラッシュプログラミング転送レート		1-wired UART モード			1	Mbps
		2-wired UART モード（CPU の最大周波数が 240MHz の製品）			1.5	Mbps
		2-wired UART モード（CPU の最大周波数が 160MHz の製品）			1	Mbps
FPCK サイクル時間	t_{KCYSF}	3-wired クロック同期モード	200 注1			ns
FPCK ハイレベル幅	t_{KWHSF}	3-wired クロック同期モード	t_{KCYSF} / 2 – 15			ns
FPCK ロウレベル幅	t_{KWLSF}	3-wired クロック同期モード	t_{KCYSF} / 2 – 15			ns
FPDR セットアップ時間（対 FPCK）	t_{SSISF}	3-wired クロック同期モード	t_{Pcyc} × 2			ns
FPDR ホールド時間（対 FPCK）	t_{HSISF}	3-wired クロック同期モード	t_{Pcyc} × 2			ns
FPDT 出力遅延（対 FPCK）	t_{DSOSF}	3-wired クロック同期モード 非連続転送（データ：1 ビット）			0	ns
		3-wired クロック同期モード 非連続転送（データ：1 ビット以外）			–t_{KWHSF} + 3 × t_{Pcyc} + 36	ns
FPDT ホールド時間（対 FPCK）	t_{HSOSF}	3-wired クロック同期モード	t_{Pcyc} × 2			ns

注1.　PCLK クロックの 6 倍以上の周期の外部クロックを入力してください。

備　考

t_{Pcyc} は PCLK 期間です。



47B.8　熱特性

47B.8.1　パラメータ

パッケージ	項目	略号	見積	単位	備考
272 pin FPBGA	熱抵抗	Θja	21.1	°C/W	JESD51-7 対応（4 レイヤー）
	熱特性パラメータ	ψjb	11.8		
233 pin FPBGA	熱抵抗	Θja	21.2	°C/W	JESD51-7 対応（4 レイヤー）
	熱特性パラメータ	ψjb	11.8		
176 pin LQFP (RH850/F1KM-S4)	熱抵抗	Θja	35.5	°C/W	JESD51-7 対応（4 レイヤー）
	熱特性パラメータ	ψjb	27.6		
144 pin LQFP (RH850/F1KM-S4)	熱抵抗	Θja	35.5	°C/W	JESD51-7 対応（4 レイヤー）
	熱特性パラメータ	ψjb	26.9		
100 pin LQFP (RH850/F1KM-S4)	熱抵抗	Θja	38.3	°C/W	JESD51-7 対応（4 レイヤー）
	熱特性パラメータ	ψjb	28.1		
176-pin LQFP (RH850/F1KM-S2)	熱抵抗	Θja	35.5	°C/W	JESD51-7 対応（4 レイヤー）
	熱特性パラメータ	ψjb	27.6		
144-pin LQFP (RH850/F1KM-S2)	熱抵抗	Θja	35.5	°C/W	JESD51-7 対応（4 レイヤー）
	熱特性パラメータ	ψjb	26.9		
100-pin LQFP (RH850/F1KM-S2)	熱抵抗	Θja	38.3	°C/W	JESD51-7 対応（4 レイヤー）
	熱特性パラメータ	ψjb	28.1		

備　考

熱抵抗および熱特性パラメータは使用環境に依存します。

47B.8.2　基板

JESD51-7 対応（4 レイヤー）

	基板サイズ（mm）		面積（mm^2）
	X	Y	
基板	76.2	114.3	8709.66
残銅率	導体の厚さ		
50-95-95-50%	70-35-35-70μm		

第47C章 RH850/F1KM-S1 の電気的特性

47C.1 概要

本デバイスの電気的仕様は、以下の動作条件で保証されています。しかし、この条件は個々の特性により異なるため、詳細は各章を参照してください。

47C.1.1 端子グループ

47C.1.1.1 100-Pin Version

略号	端子グループの電源	関連ポート／関連端子
PgR	REGVCC, AWOVSS	X1, X2
PgE	EVCC, EVSS	関連ポート：JP0, P0, P8, P9, P10, P11
		関連端子：$\overline{\text{RESET}}$, FLMD0
PgA0	A0VREF, A0VSS	関連ポート：AP0

47C.1.1.2 80-Pin Version

略号	端子グループの電源	関連ポート／関連端子
PgR	REGVCC, AWOVSS	X1, X2
PgE	EVCC, EVSS	関連ポート：JP0, P0, P8, P9, P10, P11
		関連端子：$\overline{\text{RESET}}$, FLMD0
PgA0	A0VREF, A0VSS	関連ポート：AP0

47C.1.1.3 64-Pin Version

略号	端子グループの電源	関連ポート／関連端子
PgR	REGVCC, AWOVSS	X1, X2
PgE	EVCC, EVSS	関連ポート：JP0, P0, P8, P9, P10
		関連端子：$\overline{\text{RESET}}$, FLMD0
PgA0	A0VREF, A0VSS	関連ポート：AP0

47C.1.1.4 48-Pin Version

略号	端子グループの電源	関連ポート／関連端子
PgR	REGVCC, AWOVSS	X1, X2
PgE	EVCC, EVSS	関連ポート：JP0, P0, P8, P9, P10
		関連端子：$\overline{\text{RESET}}$, FLMD0
PgA0	A0VREF, A0VSS	関連ポート：AP0

47C.1.2　通常測定条件

47C.1.2.1　共通条件

- 電力供給
  - REGVCC＝EVCC＝VPOC 注1～5.5V
  - A0VREF＝3.0V～5.5V
  - AWOVSS＝ISOVSS＝EVSS＝A0VSS＝0V
- 内部レギュレータのキャパシタンス
  - CAWOVCL：0.1μF±30％
  - CISOVCL：0.1μF±30％
- 動作温度
  - Tj＝－40～＋130°C @ R7F7016xx3AFP 注2
  - Tj＝－40～＋150°C @ R7F7016xx4AFP 注2

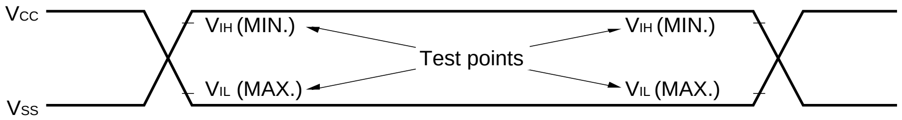
  xx＝84, 85, 86, 87, 88, 89, 90, 91, 92, 93, 94, 95
- 負荷条件
  - CL＝30pF

注1. “VPOC”は、POC（パワーオンクリア）検出電圧を表します。詳細に関しては、「**47C.4.5.2 電圧検出（POC, LVI, VLVI, CVM）特性**」を参照してください。

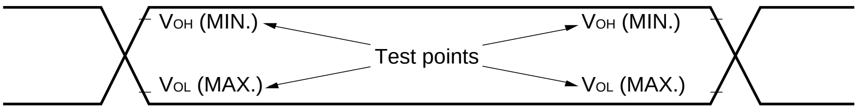
注2. 各製品の動作温度については「**1C.3 RH850/F1KM 製品ラインナップ**」を参照してください。

47C.1.2.2 AC 特性の測定条件

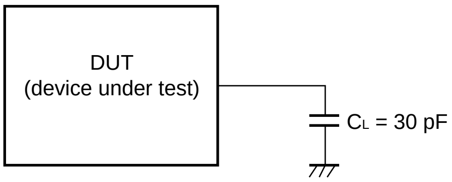
(1) AC テスト入力測定点



(2) AC テスト出力測定点



(3) 負荷条件



注　意

回路構成により負荷容量が 30pF を超える場合は、バッファを挿入し、デバイスの負荷容量を 30pF 以下にすることを推奨します。

47C.2　絶対最大定格

注　意

1. IC 製品の出力（または入出力）端子同士を直結したり、VDD または VCC や GND に直結したりしないでください。
2. 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を超えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を超えない状態で、製品をご使用ください。DC 特性と AC 特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。
3. 外部回路の設計時は、デバイスのポート状態と回路の接続が衝突しないことを確認してください。

47C.2.1　電源電圧

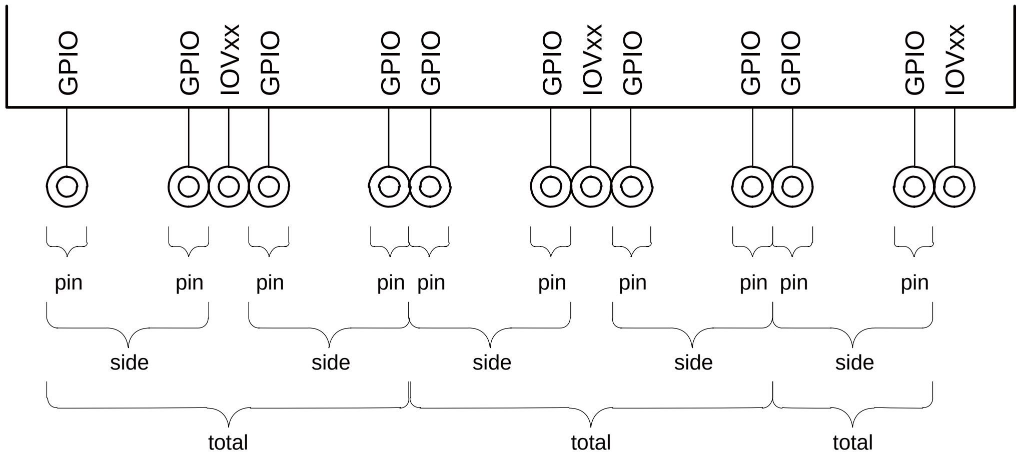
項目	略号	条件	MIN.	TYP.	MAX.	単位
システム用電源電圧	REGVCC		–0.5		6.5	V
	AWOVSS		–0.5		0.5	V
	ISOVSS		–0.5		0.5	V
ポート用電源電圧	EVCC		–0.5		6.5	V
	EVSS		–0.5		0.5	V
A/D コンバータ用電源電圧	A0VREF		–0.5		6.5	V
	A0VSS		–0.5		0.5	V

47C.2.2　ポート電圧

項目	端子グループ注 1	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧	PgR	VI		–0.5		REGVCC＋0.5 （6.5V を超過しないこと）	V
	PgE			–0.5		EVCC＋0.5 （6.5V を超過しないこと）	V
	PgA0			–0.5		A0VREF＋0.5 （6.5V を超過しないこと）	V

注1.　特に指定がない限り、兼用端子の特性はポート端子の特性と同じです。

47C.2.3　ポート電流



条件の定義：

- 各 pin：1 GPIO 端子の出力電流
- 各サイド：1 IOVxx 端子の片サイドにおける、全 GPIO 端子の合計出力電流
- トータル：1 IOVxx 端子の両サイドにおける、合計出力電流

備考

- GPIO：汎用 I/O 端子（JP0, P0, P8, P9, P10, P11, AP0）
- IOVxx：I/O 端子用の電源端子（EVCC/EVSS, A0VREF/A0VSS）

47C.2.3.1　100-Pin Version

項目	略号	端子グループ	条件	MIN.	TYP.	MAX.	単位
ハイレベル出力電流	IOH	PgE	1 端子当たり			–10	mA
			片サイド当たり（P9_0～P9_6 の総和）			–48	mA
			片サイド当たり（P0_0～P0_3, P10_3～P10_5, P10_15, P11_0 の総和）			–48	mA
			片サイド当たり（JP0_3～JP0_5, P0_4～P0_6, P0_11～P0_14, P8_2, P8_10～P8_12 の総和）			–48	mA
			片サイド当たり（JP0_0～JP0_2 の総和）			–30	mA
			片サイド当たり（P0_7～P0_10, P8_0, P8_1, P8_3～P8_9 の総和）			–48	mA
			片サイド当たり（P10_6～P10_9 の総和）			–40	mA
			片サイド当たり（P10_10～P10_14, P11_1～P11_7 の総和）			–48	mA
			片サイド当たり（P10_0～P10_2 の総和）			–30	mA
			総和（EVCC）			–60	mA
		PgA0	1 端子当たり			–10	mA
			総和（A0VREF）			–48	mA
ロウレベル出力電流	IOL	PgE	1 端子当たり			10	mA
			片サイド当たり（P9_0～P9_6 の総和）			48	mA
			片サイド当たり（P0_0～P0_6, P0_11～P0_14, P10_3～P10_5, P10_15, P11_0 の総和）			48	mA
			片サイド当たり（JP0_0～JP0_5, P8_2, P8_10～P8_12 の総和）			48	mA
			片サイド当たり（P0_7～P0_10 の総和）			40	mA
			片サイド当たり（P8_0, P8_1, P8_3～P8_9 の総和）			48	mA
			片サイド当たり（P10_6～P10_14, P11_1, P11_2 の総和）			48	mA
			片サイド当たり（P11_3～P11_7 の総和）			48	mA
			片サイド当たり（P10_0～P10_2 の総和）			30	mA
			総和（EVCC）			60	mA
		PgA0	1 端子当たり			10	mA
			総和（A0VSS）			48	mA

47C.2.3.2 80-Pin Version

項目	略号	端子グループ	条件	MIN.	TYP.	MAX.	単位
ハイレベル出力電流	IOH	PgE	1 端子当たり			–10	mA
			片サイド当たり（P9_0～P9_6, P10_6～P10_14, P11_1～P11_4 の総和）			–48	mA
			片サイド当たり（P10_0～P10_2 の総和）			–30	mA
			片サイド当たり（P0_0～P0_3, P10_3～P10_5, P10_15, P11_0 の総和）			–48	mA
			片サイド当たり（JP0_0～JP0_5, P0_4～P0_12, P8_0～P8_6 の総和）			–48	mA
			総和（EVCC）			–60	mA
		PgA0	1 端子当たり			–10	mA
			総和（A0VREF）			–48	mA
ロウレベル出力電流	IOL	PgE	1 端子当たり			10	mA
			片サイド当たり（P9_0～P9_6, P10_6～P10_14, P11_1～P11_4 の総和）			48	mA
			片サイド当たり（P10_0～P10_2 の総和）			30	mA
			片サイド当たり（P0_0～P0_6, P0_11, P0_12, P10_3～P10_5, P10_15, P11_0 の総和）			48	mA
			片サイド当たり（JP0_0～JP0_5, P0_7～P0_10, P8_0～P8_6 の総和）			48	mA
			総和（EVSS）			60	mA
		PgA0	1 端子当たり			10	mA
			総和（A0VSS）			48	mA

47C.2.3.3 64-Pin Version

項目	略号	端子グループ	条件	MIN.	TYP.	MAX.	単位
ハイレベル出力電流	IOH	PgE	1 端子当たり			–10	mA
			片サイド当たり（P9_0～P9_3, P10_6～P10_14 の総和）			–48	mA
			片サイド当たり（P10_0～P10_2 の総和）			–30	mA
			片サイド当たり（P0_0～P0_3, P10_3～P10_5 の総和）			–48	mA
			片サイド当たり（JP0_0～JP0_5, P0_4～P0_6, P8_0～P8_6 の総和）			–48	mA
			総和（EVCC）			–60	mA
		PgA0	1 端子当たり			–10	mA
			総和（A0VREF）			–48	mA
ロウレベル出力電流	IOL	PgE	1 端子当たり			10	mA
			片サイド当たり（P9_0～P9_3, P10_6～P10_14 の総和）			48	mA
			片サイド当たり（P10_0～P10_2 の総和）			30	mA
			片サイド当たり（P0_0～P0_6, P10_3～P10_5 の総和）			48	mA
			片サイド当たり（JP0_0～JP0_5, P8_0～P8_6 の総和）			48	mA
			総和（EVSS）			60	mA
		PgA0	1 端子当たり			10	mA
			総和（A0VSS）			48	mA

47C.2.3.4 48-Pin Version

項目	略号	端子グループ	条件	MIN.	TYP.	MAX.	単位
ハイレベル出力電流	IOH	PgE	1 端子当たり			–10	mA
			片サイド当たり（P9_0, P9_1, P10_6～P10_10 の総和）			–48	mA
			片サイド当たり（P10_0～P10_2 の総和）			–30	mA
			片サイド当たり（P0_0～P0_3, P10_3～P10_5 の総和）			–48	mA
			片サイド当たり（JP0_0～JP0_5, P8_0, P8_1 の総和）			–48	mA
			総和（EVCC）			–60	mA
		PgA0	1 端子当たり			–10	mA
			総和（A0VREF）			–48	mA
ロウレベル出力電流	IOL	PgE	1 端子当たり			10	mA
			片サイド当たり（P9_0, P9_1, P10_6～P10_10 の総和）			48	mA
			片サイド当たり（P10_0～P10_2 の総和）			30	mA
			片サイド当たり（P0_0～P0_3, P10_3～P10_5 の総和）			48	mA
			片サイド当たり（JP0_0～JP0_5, P8_0, P8_1 の総和）			48	mA
			総和（EVSS）			60	mA
		PgA0	1 端子当たり			10	mA
			総和（A0VSS）			48	mA

47C.2.4 温度条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
保存温度	Tstg		–55		150	°C
ジャンクション温度	Tj	R7F7016xx3AFP	–40		130	°C
		R7F7016xx4AFP	–40		150	°C

備考 xx＝84, 85, 86, 87, 88, 89, 90, 91, 92, 93, 94, 95

各製品の動作温度については「**1C.3 RH850/F1KM 製品ラインナップ**」を参照してください。

47C.3 動作条件

47C.3.1 推奨動作条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
CPU クロック周波数	f_{CPUCLK_M}				120	MHz
	f_{CPUCLK_L}	OSTMn 用			60	MHz
周辺クロック（クロックドメイン）周波数注1	f_{CKSCLK_AWDTA}	WDTA0 用			240 注2	kHz
	f_{CKSCLK_ATAUJ}	TAUJ0 用			40	MHz
		TAUJ2 用				
	f_{CKSCLK_ARTCA}	RTCA0 用			4	MHz
	f_{CKSCLK_AADCA}	ADCA0 用			40	MHz
	f_{CKSCLK_AFOUT}	FOUT 用			24	MHz
	f_{CKSCLK_IPERI1}	TAUD0 用			80	MHz
		TAUJ1 用				
		TAUJ3 用				
		ENCA0 用				
		TAPA0 用				
		PIC0 用				
	f_{CKSCLK_IPERI2}	TAUB0 用			40	MHz
		RCFDCn（clkc）用				
		RSENTn 用				
		PWBAn 用				
		PWGAn 用				
		PWSAn 用				
	f_{CKSCLK_ILIN}	RLIN24n 用			40	MHz
		RLIN3n 用				
	f_{CKSCLK_ICAN}	RCFDCn（pclk）用			80	MHz
	$f_{CKSCLK\_ICANOSC}$	RCFDCn（clk_xincan）用			24	MHz
	f_{CKSCLK_ICSI}	CSIGn 用			80	MHz
		CSIHn 用				
	$f_{LS\ intOSC}$	WDTA1 用			240 注2	kHz
	f_{CKSCLK_IIIC}	RIICn 用			40	MHz
	f_{EMCLK}	LPSn 用			8	MHz
電力供給	REGVCC	REGVCC＝EVCC	VPOC 注3		5.5	V
	EVCC					
	A0VREF		3.0		5.5	V
通常動作電圧	AWOVCL		1.1	1.25	1.35	V
	ISOVCL					
制限付き動作電圧注4	AWOVCL		1.35		1.43	V
	ISOVCL					

注1. 周辺デバイスの最大周波数に関しては、**「第 12C 章 RH850/F1KM-S1 のクロックコントローラ」**を参照してください。

注2. 周波数は内蔵発振回路（LS IntOSC）に依存します。

注3. “VPOC”は、POC（パワーオンクリア）検出電圧（TYP. 2.85V）を表します。詳細に関しては、**「47C.4.5.2 電圧検出（POC, LVI, VLVI, CVM）特性」**を参照してください。
なお、DC 特性での動作は保証されています。
AC 特性での動作は、3.0V 以上の場合、保証されています。
電源電圧が VPOC～3.0V の場合、デバイスは正常に動作します。

注4. 1.35V から 1.43V は信頼性に制限があります。

47C.3.2 オシレータ特性

条件 : REGVCC＝EVCC＝VPOC～5.5V, A0VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝A0VSS 0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%,
Tj＝－40～（製品依存）°C

(1) メイン OSC（水晶／セラミックを使用する場合）

項目	略号	条件	MIN.	TYP.	MAX.	単位
メイン OSC 周波数注 3	f_{MOSC}		8		24	MHz
メイン OSC 消費電流	I_{MOSC}	安定後		1.9 注 2	2.3 注 2	mA
メイン OSC 発振開始電圧	V_{MOSCSP}		VPOC			V
メイン OSC 発振動作点	V_{MOSCOP}			0.5 × REGVCC 注 2		V
メイン OSC 発振振幅	$V_{MOSCAMP}$		0.4 × REGVCC − 0.2 注 2			V
メイン OSC 発振安定時間	t_{MSTB}			2 注 1、注 2		ms
メイン OSC トランスコンダクタンス	g_{m_MOSC}	MOSCS.MOSCCLKACT＝0, MOSCC.MOSCAMPSEL[1:0]＝00		11.1 注 2		mA/V
		MOSCS.MOSCCLKACT＝0, MOSCC.MOSCAMPSEL[1:0]＝01		10.6 注 2		mA/V
		MOSCS.MOSCCLKACT＝0, MOSCC.MOSCAMPSEL[1:0]＝10		9.3 注 2		mA/V
		MOSCS.MOSCCLKACT＝0, MOSCC.MOSCAMPSEL[1:0]＝11		7.8 注 2		mA/V
		MOSCS.MOSCCLKACT＝1, MOSCC.MOSCAMPSEL[1:0]＝00		8.6 注 2		mA/V
		MOSCS.MOSCCLKACT＝1, MOSCC.MOSCAMPSEL[1:0]＝01		7.8 注 2		mA/V
		MOSCS.MOSCCLKACT＝1, MOSCC.MOSCAMPSEL[1:0]＝10		6.1 注 2		mA/V
		MOSCS.MOSCCLKACT＝1, MOSCC.MOSCAMPSEL[1:0]＝11		4.0 注 2		mA/V

注1. 発振安定時間は、MOSCE.MOSCENTRG ビットに“1”が書き込まれた後に、MOSCS.MOSCCLKACT ビットが設定される（“1”になる）までの時間で、MOSCST レジスタの設定値に依存します。発振子と発振回路のマッチングテストで、適切な発振安定時間を決定してください。

注2. これは参考値です。

注3. 対応する水晶／セラミックの周波数は 8MHz、16MHz、20MHz、24MHz の 4 種類のみです。

(2) メイン OSC（X1 に外部クロックを入力する場合）

項目	略号	条件	MIN.	TYP.	MAX.	単位
X1 クロック入力周波数注1	f_{EX}		8		24	MHz
X1 クロック入力周期	t_{EXCYC}		41.7		125	ns
X1 ハイレベル入力電圧	V_{IH}		0.7 × REGVCC		REGVCC + 0.5	V
		フラッシュプログラミングインタフェース使用時注2	0.8 × REGVCC		REGVCC + 0.5	V
X1 ロウレベル入力電圧	V_{IL}		–0.5		0.3 × REGVCC	V
		フラッシュプログラミングインタフェース使用時注2	–0.5		0.2 × REGVCC	V
X1 入力リーク電流	I_{LIH}	VI＝REGVCC			0.5	μA
	I_{LIL}	VI＝0V			–0.5	μA
X1 クロック入力ロウレベル幅	t_{EXL}	f_{EX}＝8MHz	58			ns
		f_{EX}＝16MHz	26			ns
		f_{EX}＝20MHz	20			ns
		f_{EX}＝24MHz	16			ns
X1 クロック入力ハイレベル幅	t_{EXH}	f_{EX}＝8MHz	58			ns
		f_{EX}＝16MHz	26			ns
		f_{EX}＝20MHz	20			ns
		f_{EX}＝24MHz	16			ns
X1 クロック入力周期ジッタ			–0.3		0.3	ns

注1.　対応する外部クロックの入力周波数 8MHz、16MHz、20MHz、24MHz の 4 種類のみです。

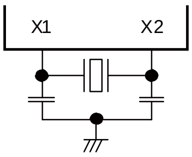
注2.　X2 端子はオープンかつ寄生容量は 5pF 以下にしてください。

注　意

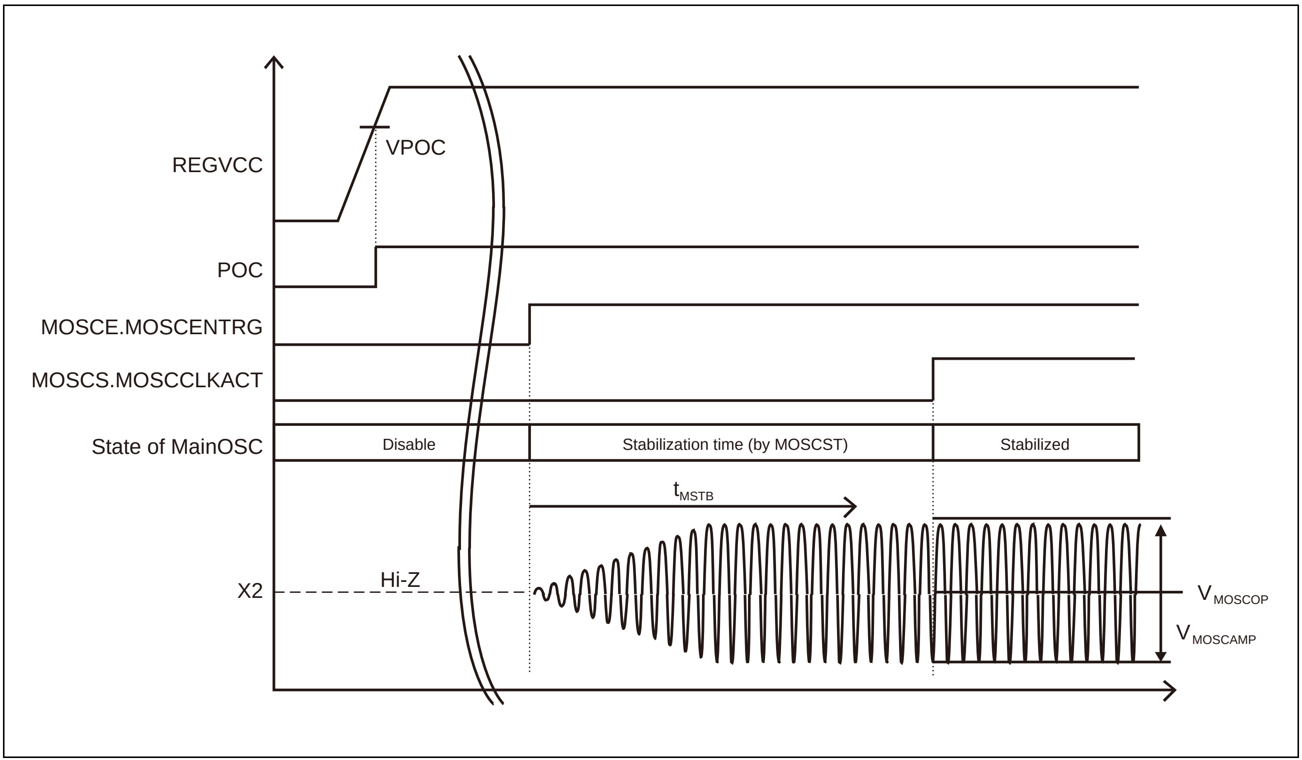
発振安定時間は、外部発振回路とのマッチングにより異なります。発振子のマッチングテストで発振安定時間を決定することを推奨します。

備　考

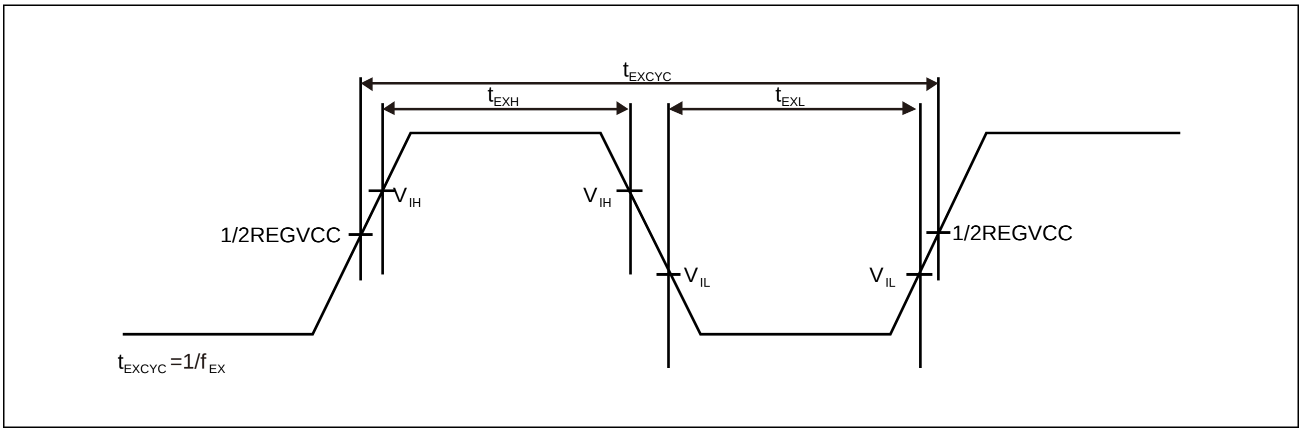
推奨発振回路を以下に示します。



メイン OSC



外部クロック



47C.3.3 内蔵発振器特性

条件　: REGVCC＝EVCC＝VPOC～5.5V, A0VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝A0VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%,
Tj＝－40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
低速内蔵 OSC 周波数	f_{RL}		220.8	240	259.2	kHz
高速内蔵 OSC 周波数[注 2、注 3]	f_{RH}		7.6	8	8.4	MHz
		ユーザトリミング後@トリミング温度	7.92	8	8.08	MHz
高速内蔵 OSC 消費電流	I_{RH}	安定後			170 [注 1]	μA
高速内蔵 OSC 発振安定時間	t_{RHSTB}				54.4	μs

注1.　これは参考値です。

注2.　コード／データフラッシュの書き込み中、または消去中は HS IntOSC の周波数が規格の範囲外（8.00MHz±0.4MHz, 8.00MHz ±0.08MHz ユーザトリミング後@トリミング温度）となる可能性があります。

注3.　Cyclic STOP 時または Cyclic RUN モード時は HS IntOSC の周波数が規格の範囲外となる可能性があります。

47C.3.4 PLL 特性

47C.3.4.1 PLL1（CPU／周辺機能用）の特性

条件　: REGVCC＝EVCC＝VPOC～5.5V, A0VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝A0VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%,
Tj＝－40～（製品依存）°C, CL＝30pF

項目	略号	条件		MIN.	TYP.	MAX.	単位
入力周波数	$f_{PLL1CLKIN}$	MainOSC		8		24	MHz
		HS IntOSC	ユーザトリミング後@トリミング温度[注 3、注 4]	7.92	8.0	8.08	MHz
出力周波数	$f_{CPLL1OUT}$	MainOSC		80		120	MHz
		HS IntOSC [注 3]	ユーザトリミング後@トリミング温度[注 3]	79.2	80	80.8	MHz
	$f_{PPLLOUT}$			79.2	80	80.8	MHz
出力周期ジッタ[注 1]	t_{CPJ1}			–100		100	ps
長期ジッタ[注 1]	t_{LTJ}	term＝1μs		–500		500	ps
		term＝10μs		–1		1	ns
		term＝20μs		–2		2	ns
ロック時間[注 2]	t_{LCK1}			104	112.3	122.1	μs

注1.　これは参考値です。

注2.　ロック時間は、PLL1E.PLL1ENTRG ビットに“1”が書き込まれた後に、PLL1S.PLL1CLKACT ビットが設定される（“1”になる）までの時間です。

注3.　HS IntOSC は、周波数偏差があります。TAUx、ADCAn などの周辺機能に影響を与えるため、HS IntOSC を使用する場合は、周波数偏差を考慮する必要があります。

注4.　コード／データフラッシュへの書き込み及び消去時は、PLL1 入力としないでください。

47C.4 DC 特性

47C.4.1 キャパシタンス

条件 : REGVCC＝EVCC＝A0VREF＝AWOVSS＝ISOVSS＝EVSS＝A0VSS＝0V,
Ta＝25°C

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力キャパシタンス	CI 注 1	f＝1MHz			10	pF
入力／出力キャパシタンス	CIO 注 2	測定しない端子は 0V			10	pF

注1. CI：入力端子とグランド間のキャパシタンス

注2. CIO：I/O 端子とグランド間のキャパシタンス

47C.4.2　端子特性

条件　：本章で述べた条件のいくつかは、ソフトウェアで選択することができ、ハードウェアユーザーズマニュアルにも記載されています。

(1/2)

	ポート入力バッファ機能						ポート出力ドライブ強度モード	他ポート機能	
端子名	CMOS	SHMT1	SHMT2	SHMT4	TTL	アナログ		プルアップ	プルダウン
$\overline{\text{RESET}}$	—	—	○	—	—	—	—	—	—
FLMD0	—	○	—	—	—	—	—	○	○
AP0_0	○	—	—	—	—	○	低速	—	○[注1]
AP0_1	○	—	—	—	—	○	低速	—	○[注1]
AP0_2	○	—	—	—	—	○	低速	—	○[注1]
AP0_3	○	—	—	—	—	○	低速	—	○[注1]
AP0_4	○	—	—	—	—	○	低速	—	○[注1]
AP0_5	○	—	—	—	—	○	低速	—	○[注1]
AP0_6	○	—	—	—	—	○	低速	—	○[注1]
AP0_7	○	—	—	—	—	○	低速	—	○[注1]
AP0_8	○	—	—	—	—	○	低速	—	○[注1]
AP0_9	○	—	—	—	—	○	低速	—	○[注1]
AP0_10	○	—	—	—	—	○	低速	—	○[注1]
AP0_11	○	—	—	—	—	○	低速	—	○[注1]
AP0_12	○	—	—	—	—	○	低速	—	○[注1]
AP0_13	○	—	—	—	—	○	低速	—	○[注1]
AP0_14	○	—	—	—	—	○	低速	—	○[注1]
AP0_15	○	—	—	—	—	○	低速	—	○[注1]
JP0_0	—	○	—	○	○	—	低速	○	○
JP0_1	—	○	—	○	—	—	低速／高速	○	○
JP0_2	—	○	—	○	○	—	低速／高速	○	○
JP0_3	—	○	—	○	○	—	低速／高速	○	○
JP0_4	—	—	—	○	—[注5]	—	低速	○	○
JP0_5	—	○	—	○	—	—	低速／高速	○	○
P0_0	—	○	—	○	—	—	低速／高速	○	○
P0_1	—	○	—	○	—	—	低速／高速	○	○
P0_2	—	○	—	○	—	—	低速／高速[注2]	○	○
P0_3	—	○	—	○	—	—	低速／高速[注2]	○	○
P0_4	—	○	—	○	—	—	低速／高速	○	○
P0_5	—	○	—	○	—	—	低速／高速[注3]	○	○
P0_6	—	○	—	○	—	—	低速／高速[注3]	○	○
P0_7	—	○	—	○	—	—	低速／高速	○	○
P0_8	—	○	—	○	—	—	低速／高速	○	○
P0_9	—	○	—	○	—	—	低速／高速	○	○
P0_10	—	○	—	○	—	—	低速／高速	○	○
P0_11	—	○	—	○	—	—	低速／高速	○	○
P0_12	—	○	—	○	—	—	低速／高速	○	○
P0_13	—	○	—	○	—	—	低速／高速	○	○
P0_14	—	○	—	○	—	—	低速／高速	○	○
P10_0	—	○	—	○	—	—	低速／高速	○	○
P10_1	—	○	—	○	—	—	低速／高速[注3]	○	○

(2/2)

ポート入力バッファ機能							ポート出力ドライブ強度モード	他ポート機能	
端子名	CMOS	SHMT1	SHMT2	SHMT4	TTL	アナログ		プルアップ	プルダウン
P10_2	—	○	—	○	—	—	低速／高速注 3	○	○
P10_3	—	○	—	○	—	—	低速／高速	○	○
P10_4	—	○	—	○	—	—	低速／高速	○	○
P10_5	—	○	—	○	—	—	低速／高速	○	○
P10_6	—	○	—	○	—	—	低速／高速	○	○
P10_7	—	○	—	○	—	—	低速／高速	○	○
P10_8	—	○	—	○	—	—	低速／高速	○	○
P10_9	—	○	—	○	—	—	低速／高速	○	○
P10_10	—	○	—	○	—	—	低速／高速	○	○
P10_11	—	○	—	○	—	—	低速／高速	○	○
P10_12	—	○	—	○	—	—	低速／高速	○	○
P10_13	—	○	—	○	—	—	低速／高速	○	○
P10_14	—	○	—	○	—	—	低速／高速	○	○
P10_15	—	○	—	○	—	—	低速／高速	○	○
P11_0	—	○	—	○	—	—	低速／高速	○	○
P11_1	—	○	—	○	—	—	低速／高速	○	○
P11_2	—	○	—	○	—	—	低速／高速注 3	○	○
P11_3	—	○	—	○	—	—	低速／高速注 3	○	○
P11_4	—	○	—	○	—	—	低速／高速	○	○
P11_5	—	○	—	○	—	—	低速／高速	○	○
P11_6	—	○	—	○	—	—	低速／高速注 3	○	○
P11_7	—	○	—	○	—	—	低速／高速注 3	○	○
P8_0	—	○	—	○	—	○	低速	○	○注 4
P8_1	—	○	—	○	—	○	低速	○	○注 4
P8_2	—	○	—	○	—	○	低速	○	○注 4
P8_3	—	○	—	○	—	○	低速	○	○注 4
P8_4	—	○	—	○	—	○	低速	○	○注 4
P8_5	—	○	—	○	—	○	低速	○	○注 4
P8_6	—	○	—	○	—	○	低速	○	○注 4
P8_7	—	○	—	○	—	○	低速	○	○注 4
P8_8	—	○	—	○	—	○	低速	○	○注 4
P8_9	—	○	—	○	—	○	低速	○	○注 4
P8_10	—	○	—	○	—	○	低速	○	○注 4
P8_11	—	○	—	○	—	○	低速	○	○注 4
P8_12	—	○	—	○	—	○	低速	○	○注 4
P9_0	—	○	—	○	—	○	低速	○	○注 4
P9_1	—	○	—	○	—	○	低速	○	○注 4
P9_2	—	○	—	○	—	○	低速	○	○注 4
P9_3	—	○	—	○	—	○	低速	○	○注 4
P9_4	—	○	—	○	—	○	低速	○	○注 4
P9_5	—	○	—	○	—	○	低速	○	○注 4
P9_6	—	○	—	○	—	○	低速	○	○注 4

注1.　ADC 診断用のプルダウン抵抗です。ADC 自己診断レジスタ経由で制御してください。

注2.　100pF の容量負荷をサポート

注3.　50pF の容量負荷をサポート

注4.　ADC 診断および内蔵プルダウン用のプルダウン抵抗です。ADC 診断用には、ADC 自己診断レジスタ経由で制御してください。
内蔵プルダウン用には、PD レジスタ経由で制御してください。

注5.　TTL は、バウンダリスキャンモードまたは Nexus 通常動作モード時に選択されます。

条件　:　REGVCC＝EVCC＝VPOC～5.5V, A0VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝A0VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%,
Tj＝－40～（製品依存）°C, CL＝30pF

(1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイレベル入力電圧	VIH	CMOS		0.65 ×IOVCC		IOVCC + 0.3	V
		SHMT1 注3		0.65 × IOVCC		IOVCC + 0.3	V
		SHMT2		0.75 × IOVCC		IOVCC + 0.3	V
		SHMT4		0.8 × IOVCC		IOVCC + 0.3	V
		TTL	EVCC＝VPOC～3.6V	2.0		IOVCC + 0.3	V
			EVCC＝3.6V～5.5V	2.2		IOVCC + 0.3	V
ロウレベル入力電圧	VIL	CMOS		–0.3		0.35 × IOVCC	V
		SHMT1		–0.3		0.35 × IOVCC	V
		SHMT2		–0.3		0.25 × IOVCC	V
		SHMT4		–0.3		0.5 × IOVCC	V
		TTL		–0.3		0.8	V
シュミット用入力ヒステリシス	VH	SHMT1		0.3			V
		SHMT2		0.2 × IOVCC			V
		SHMT4		0.1			V
入力リーケージ電流	ILIH	$\overline{\text{RESET}}$, FLMD0, JP0, P0, P8, P9, P10, P11 端子, VI＝EVCC 注2				0.5	μA
		AP0 端子, VI＝A0VREF 注2, Tj≦130°C				0.3	μA
		AP0 端子, VI＝A0VREF 注2				0.5	μA
	ILIL	$\overline{\text{RESET}}$, FLMD0, JP0, P0, P8, P9, P10, P11 端子, VI＝0V 注2				–0.5	μA
		AP0 端子, VI＝0V 注2, Tj≦130°C				–0.3	μA
		AP0 端子, VI＝0V 注2				–0.5	μA
内蔵プルアップ抵抗	RU	FLMD0 端子以外, VI＝0V		20 (275μA)	40	100	kΩ
		FLMD0 端子, VI＝0V 注3		4 (1375μA)		36	kΩ
内蔵プルダウン抵抗	RD	FLMD0 端子以外, VI＝EVCC		20 (275μA)	40	100	kΩ
		FLMD0 端子, VI＝EVCC		4 (1375μA)		36	kΩ
ハイレベル出力電圧	VOH	高速モード	IOH＝–5mA（6 pin）注4	IOVCC – 1.0			V
			IOH＝–3mA（10 pin）注4	IOVCC – 1.0			V
			IOH＝–1mA（16 pin）注4	IOVCC – 0.5			V
			IOH＝–0.1mA（16 pin）注4	IOVCC – 0.5			V
		低速モード	IOH＝–1mA（16 pin）注4	IOVCC – 0.5			V
			IOH＝–0.1mA（16 pin）注4	IOVCC – 0.5			V
ロウレベル出力電圧	VOL	高速モード	IOL＝5mA（6 pin）注4			0.4	V
			IOL＝3mA（10 pin）注4			0.4	V
			IOL＝1mA（16 pin）注4			0.4	V
		低速モード	IOL＝1mA（16 pin）注4			0.4	V

(2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
立ち上がり／立ち下がり時間	t_{KRP}/t_{KFP}	高速モード（以下の端子を除く）注 5	CL＝30pF			7	ns
			CL＝50pF			12	ns
			CL＝100pF			24	ns
		高速モード（P0_5, P0_6, P10_1, P10_2, P11_2, P11_3, P11_6, P11_7）注 6	CL＝50pF			6	ns
		高速モード（P0_2, P0_3）注 6	CL＝100pF			6.15	ns
		低速モード注 5	CL＝30pF			37	ns
			CL＝50pF			62	ns
			CL＝100pF			124	ns
出力周波数	f_O	高速モード	CL＝30pF			40	MHz
		低速モード	CL＝30pF			10	MHz
			CL＝50pF			6	MHz
			CL＝100pF			3	MHz

注1.　“IOVCC”は、電源に配置された端子（EVCC または A0VREF）を表します。

注2.　ADCn のアナログ入力機能を選択していません。

注3.　FLMDCNT レジスタにより FLMD0 端子の内蔵プルアップ抵抗を有効にする場合、FLMD0 端子には 86kΩ 以上の外付けプルダウン抵抗を接続してください。

注4.　同時オンになる端子数を示しています。

注5.　測定点：0.1×IOVCC～0.9×IOVCC

注6.　測定点：0.2×IOVCC～0.8×IOVCC

47C.4.2.1　出力電流

(1) 100-Pin Version

項目	略号	端子グループ	条件		MIN.	TYP.	MAX.	単位
ハイレベル出力電流	IOH	PgE	片サイド当たり	9_0～P9_6			–7	mA
				P0_0～P0_3, P10_3～P10_5, P10_15, P11_0			–30	mA
				JP0_3～JP0_5, P0_4～P0_6, P0_11～P0_14, P8_2, P8_10～P8_12			–30	mA
				JP0_0～JP0_2			–11	mA
				P0_7～P0_10, P8_0, P8_1, P8_3～P8_9			–29	mA
				P10_6～P10_9			–20	mA
				P10_10～P10_14, P11_1～P11_7			–30	mA
				P10_0～P10_2			–15	mA
			総和（EVCC）				–60	mA
		PgA0	総和（A0VREF）				–16	mA
ロウレベル出力電流	IOL	PgE	片サイド当たり	P9_0～P9_6			7	mA
				P0_0～P0_6, P0_11～P0_14, P10_3～P10_5, P10_15, P11_0			30	mA
				JP0_0～JP0_5, P8_2, P8_10～P8_12			26	mA
				P0_7～P0_10			20	mA
				P8_0, P8_1, P8_3～P8_9			9	mA
				P10_6～P10_14, P11_1, P11_2			30	mA
				P11_3～P11_7			25	mA
				P10_0～P10_2			15	mA
			総和（EVSS）				60	mA
		PgA0	総和（A0VSS）				16	mA

備考　“サイド”と“総和”の詳細な定義については、「**47C.2.3　ポート電流**」を参照してください。

(2) 80-Pin Version

項目	略号	端子グループ	条件		MIN.	TYP.	MAX.	単位
ハイレベル出力電流	IOH	PgE	片サイド当たり	P9_0～P9_6, P10_6～P10_14, P11_1～P11_4			–30	mA
				P10_0～P10_2			–15	mA
				P0_0～P0_3, P10_3～P10_5, P10_15, P11_0			–30	mA
				JP0_0～JP0_5, P0_4～P0_12, P8_0～P8_6			–30	mA
			総和（EVCC）				–60	mA
		PgA0	総和（A0VREF）				–11	mA
ロウレベル出力電流	IOL	PgE	片サイド当たり	P9_0～P9_6, P10_6～P10_14, P11_1～P11_4			30	mA
				P10_0～P10_2			15	mA
				P0_0～P0_6, P0_11, P0_12, P10_3～P10_5, P10_15, P11_0			30	mA
				JP0_0～JP0_5, P0_7～P0_10, P8_0～P8_6			21	mA
			総和（EVSS）				60	mA
		PgA0	総和（A0VSS）				11	mA

備考　“サイド”と“総和”の詳細な定義については、「**47C.2.3 ポート電流**」を参照してください。

(3) 64-Pin Version

項目	略号	端子グループ	条件		MIN.	TYP.	MAX.	単位
ハイレベル出力電流	IOH	PgE	片サイド当たり	P9_0～P9_3, P10_6～P10_14			–30	mA
				P10_0～P10_2			–15	mA
				P0_0～P0_3, P10_3～P10_5			–27	mA
				JP0_0～JP0_5, P0_4～P0_6, P8_0～P8_6			–24	mA
			総和（EVCC）				–60	mA
		PgA0	総和（A0VREF）				–10	mA
ロウレベル出力電流	IOL	PgE	片サイド当たり	P9_0～P9_3, P10_6～P10_14			30	mA
				P10_0～P10_2			15	mA
				P0_0～P0_6, P10_3～P10_5			30	mA
				JP0_0～JP0_5, P8_0～P8_6			13	mA
			総和（EVSS）				60	mA
		PgA0	総和（A0VSS）				10	mA

備考　“サイド”と“総和”の詳細な定義については、「**47C.2.3 ポート電流**」を参照してください。

(4) 48-Pin Version

項目	略号	端子グループ	条件		MIN.	TYP.	MAX.	単位
ハイレベル出力電流	IOH	PgE	片サイド当たり	P9_0～P9_1, P10_6～P10_10			–27	mA
				P10_0～P10_2			–15	mA
				P0_0～P0_3, P10_3～P10_5			–27	mA
				JP0_0～JP0_5, P8_0, P8_1			–8	mA
			総和（EVCC）				–60	mA
		PgA0	総和（A0VREF）				–8	mA
ロウレベル出力電流	IOL	PgE	片サイド当たり	P9_0, P9_1, P10_6～P10_10			27	mA
				P10_0～P10_2			15	mA
				P0_0～P0_3, P10_3～P10_5			27	mA
				JP0_0～JP0_5, P8_0, P8_1			8	mA
			総和（EVSS）				60	mA
		PgA0	総和（A0VSS）				8	mA

備考　“サイド”と“総和”の詳細な定義については、「**47C.2.3 ポート電流**」を参照してください。

47C.4.3　電源電流

条件　　: REGVCC、EVCC と A0VREF の合計電流。ただし、I/O バッファは停止。

項目	略号	条件				MIN.	TYP.注1	MAX.	単位
		CPU	PLL	Tj	周辺注2				
RUN モード電流	IDDR	動作（120MHz）	動作	–40～150°C	動作（#1）		32	67	mA
				25°C	停止（#1）		26		mA
RUN モード電流（データ／コードフラッシュ書き込み時）	IDDR3	動作（120MHz）	動作	–40～150°C	動作（#2）		43	82	mA
RUN モード電流（HALT 状態）	IDDH	動作（120MHz）	動作	–40～150°C	動作（#3）		29	63	mA

項目	略号	条件				MIN.	TYP.注1	MAX.	単位
		CPU	PLL	Tj	周辺注2				
STOP モード電流	IDDS	停止	停止	–40～90°C	停止（#2）		0.7	12	mA
				110°C	停止（#2）			17	mA
				135°C	停止（#2）			31	mA
DeepSTOP モード電流	IDDDS	電源オフ	電源オフ	–40～85°C	停止（#3）		50	470	μA
				105°C	停止（#3）			830	μA
				125°C	停止（#3）			1370	μA
Cyclic RUN モード電流	IDDCR	動作 (HS IntOSC)	停止	–40～90°C	動作（#4）		3.6	21	mA
				115°C	動作（#4）			28	mA
				135°C	動作（#4）			40	mA
Cyclic STOP モード電流	IDDCS	停止	停止	–40～90°C	動作（#5）		1.1	13	mA
				110°C	動作（#5）			18	mA
				135°C	動作（#5）			32	mA

注1.　“TYP.”の条件は、以下の条件を備えた仕様を示します。また、値は参考値です。
- Tj＝25°C
- REGVCC＝EVCC＝A0VREF＝5.0V
- AWOVSS＝EVSS＝A0VSS＝0V

注2.　各周辺機能の動作条件は、次ページの表に示します。

注：　Ta の範囲以内、接合温度が 150°C 以下、適用条件（熱抵抗、電源電流、周辺電流（電源電流に含まれていない場合）、ポート出力電流、注入電流）の限界を超えていないことすべてを満たす必要があります。

機能		動作					停止		
		(#1)	(#2)	(#3)	(#4)	(#5)	(#1)	(#2)	(#3)
AWO	MainOSC	動作	動作	動作	停止	停止	動作	停止	停止
	HS IntOSC	動作	動作	動作	動作	停止	動作	停止	停止
	FOUT	停止	停止	停止	停止	停止	停止	停止	停止
	LPS	停止	停止	停止	停止	停止	停止	停止	停止
	RRAM	読み出し／書き込み	読み出し／書き込み	アクセスなし	フェッチ	アクセスなし	読み出し／書き込み	アクセスなし	アクセスなし
	WDTA0	停止	停止	停止	停止	停止	停止	停止	停止
	TAUJ0, TAUJ2	動作	動作	動作	動作 (LS IntOSC)	動作 (LS IntOSC)	停止	停止	停止
	RTCA0	動作	動作	動作	動作 (LS IntOSC)	動作 (LS IntOSC)	停止	停止	停止
	CLMA0	動作	動作	動作	動作	停止	停止	停止	停止
	CLMA1	動作	動作	動作	停止	停止	停止	停止	停止
	ADCA0	動作注1	動作注1	動作注1	停止	停止	停止	停止	停止
ISO	CPU	動作 (PLL1)	動作 (PLL1)	HALT (PLL1)	動作 (HS IntOSC)	停止	動作 (PLL1)	停止	電源オフ
	DMA	動作	動作	動作	停止	停止	停止	停止	
	PLL1	動作	動作	動作	停止	停止	動作	停止	
	Code flash	フェッチ	フェッチ	アクセスなし	アクセスなし	アクセスなし	フェッチ	アクセスなし	
	Data flash	読み出し	書き込み／消去	アクセスなし	アクセスなし	アクセスなし	読み出し	アクセスなし	
	LRAM	読み出し／書き込み	読み出し／書き込み	アクセスなし	アクセスなし	アクセスなし	読み出し／書き込み	アクセスなし	
	OSTM0	動作	動作	動作	停止	停止	停止	停止	
	WDTA1	停止	停止	停止	停止	停止	停止	停止	
	TAUD0	動作	動作	動作	停止	停止	停止	停止	
	TAUBn	動作	動作	動作	停止	停止	停止	停止	
	TAUJ1, TAUJ3	動作	動作	動作	停止	停止	停止	停止	
	TAPA, PIC	停止	停止	停止	停止	停止	停止	停止	
	ENCA0	動作	動作	動作	停止	停止	停止	停止	
	PWM-diag	動作	動作	動作	停止	停止	停止	停止	
	RLIN3n	動作	動作	動作	停止	停止	停止	停止	
	RLIN24n	待機	待機	待機	停止	停止	停止	停止	
	RCFDCn	待機	待機	待機	停止	停止	停止	停止	
	CSIGn	動作	動作	動作	停止	停止	停止	停止	
	CSIHn	動作	動作	動作	停止	停止	停止	停止	
	RIICn	待機	待機	待機	停止	停止	停止	停止	
	KR	待機	待機	待機	停止	停止	停止	停止	
	RSENTn	動作	動作	動作	停止	停止	停止	停止	
	CLMA3	動作	動作	動作	停止	停止	停止	停止	

注1.　T&H 使用時

47C.4.4　注入電流

表 47C.1　端子グループの定義（100-Pin Version）

略称	端子グループ用電源	端子
PgE	EVCC, EVSS	JP0, P0, P10, P11
PgE'	EVCC, EVSS	P8, P9
PgA0	A0VREF, A0VSS	AP0

表 47C.2　端子グループの定義（80-Pin Version）

略称	端子グループ用電源	端子
PgE	EVCC, EVSS	JP0, P0, P10, P11
PgE'	EVCC, EVSS	P8, P9
PgA0	A0VREF, A0VSS	AP0

表 47C.3　端子グループの定義（64-Pin Version）

略称	端子グループ用電源	端子
PgE	EVCC, EVSS	JP0, P0, P10
PgE'	EVCC, EVSS	P8, P9
PgA0	A0VREF, A0VSS	AP0

表 47C.4　端子グループの定義（48-Pin Version）

略称	端子グループ用電源	端子
PgE	EVCC, EVSS	JP0, P0, P10
PgE'	EVCC, EVSS	P8, P9
PgA0	A0VREF, A0VSS	AP0

47C.4.4.1　絶対最大定格

(1) 100-Pin Version

項目	略号	条件		MIN.	TYP.	MAX.	単位
正のオーバロード電流 VIN＞VCC	I_{INJPM}	PgE	1 端子			10	mA
			総和			60	mA
		PgE'	1 端子			10	mA
			総和			60	mA
		PgA0	1 端子			10	mA
			総和			60	mA
負のオーバロード電流 VIN＜VSS	I_{INJNM}	PgE	1 端子			–10	mA
			総和			–60	mA
		PgE'	1 端子			–10	mA
			総和			–60	mA
		PgA0	1 端子			–10	mA
			総和			–60	mA

注　意

1. DC 注入電流（総和）は、1 端子当たりの注入電流のスペックを満足していることが条件です。
2. PgA0 用の注入電流の場合は、ADC の自己診断を行う端子の隣接端子に注入電流が印加されるとき、TESH0SN が維持されます。ADC の自己診断を行う端子に注入電流が印加されると、注入電流の絶対値が増加するにつれ、TESH0SN の偏差は急激に増加します。

(2) 80-Pin Version

項目	略号	条件		MIN.	TYP.	MAX.	単位
正のオーバロード電流 VIN＞VCC	I_{INJPM}	PgE	1 端子			10	mA
			総和			60	mA
		PgE'	1 端子			10	mA
			総和			60	mA
		PgA0	1 端子			10	mA
			総和			60	mA
負のオーバロード電流 VIN＜VSS	I_{INJNM}	PgE	1 端子			–10	mA
			総和			–60	mA
		PgE'	1 端子			–10	mA
			総和			–60	mA
		PgA0	1 端子			–10	mA
			総和			–60	mA

注　意

1. DC 注入電流（総和）は、1 端子当たりの注入電流のスペックを満足していることが条件です。
2. PgA0 用の注入電流の場合は、ADC の自己診断を行う端子の隣接端子に注入電流が印加されるとき、TESH0SN が維持されます。ADC の自己診断を行う端子に注入電流が印加されると、注入電流の絶対値が増加するにつれ、TESH0SN の偏差は急激に増加します。

(3) 64-Pin Version

項目	略号	条件		MIN.	TYP.	MAX.	単位
正のオーバロード電流 VIN＞VCC	I_{INJPM}	PgE	1 端子			10	mA
			総和			60	mA
		PgE’	1 端子			10	mA
			総和			60	mA
		PgA0	1 端子			10	mA
			総和			60	mA
負のオーバロード電流 VIN＜VSS	I_{INJNM}	PgE	1 端子			–10	mA
			総和			–60	mA
		PgE’	1 端子			–10	mA
			総和			–60	mA
		PgA0	1 端子			–10	mA
			総和			–60	mA

注　意

1. DC 注入電流（総和）は、1 端子当たりの注入電流のスペックを満足していることが条件です。
2. PgA0 用の注入電流の場合は、ADC の自己診断を行う端子の隣接端子に注入電流が印加されるとき、TESH0SN が維持されます。ADC の自己診断を行う端子に注入電流が印加されると、注入電流の絶対値が増加するにつれ、TESH0SN の偏差は急激に増加します。

(4) 48-Pin Version

項目	略号	条件		MIN.	TYP.	MAX.	単位
正のオーバロード電流 VIN＞VCC	I_{INJPM}	PgE	1 端子			10	mA
			総和			60	mA
		PgE’	1 端子			10	mA
			総和			60	mA
		PgA0	1 端子			10	mA
			総和			60	mA
負のオーバロード電流 VIN＜VSS	I_{INJNM}	PgE	1 端子			–10	mA
			総和			–60	mA
		PgE’	1 端子			–10	mA
			総和			–60	mA
		PgA0	1 端子			–10	mA
			総和			–60	mA

注　意

1. DC 注入電流（総和）は、1 端子当たりの注入電流のスペックを満足していることが条件です。
2. PgA0 用の注入電流の場合は、ADC の自己診断を行う端子の隣接端子に注入電流が印加されるとき、TESH0SN が維持されます。ADC の自己診断を行う端子に注入電流が印加されると、注入電流の絶対値が増加するにつれ、TESH0SN の偏差は急激に増加します。

47C.4.4.2 オーバロード電流の DC 特性

(1) 100-Pin Version

項目	略号	条件		MIN.	TYP.	MAX.	単位
正のオーバロード電流 VIN＞VCC	I_{INJP}	PgE	1 端子			2	mA
			総和			50	mA
		PgE'	1 端子			3	mA
			総和			20	mA
		PgA0	1 端子			3	mA
			総和			20	mA
負のオーバロード電流 VIN＜VSS	I_{INJN}	PgE	1 端子			–2	mA
			総和			–50	mA
		PgE'	1 端子			–3	mA
			総和			–20	mA
		PgA0	1 端子			–3	mA
			総和			–20	mA

備　考

これらの仕様は、分類別にテストされておらず、デバイスの特性に基づいて指定されています。

(2) 80-Pin Version

項目	略号	条件		MIN.	TYP.	MAX.	単位
正のオーバロード電流 VIN＞VCC	I_{INJP}	PgE	1 端子			2	mA
			総和			50	mA
		PgE'	1 端子			3	mA
			総和			20	mA
		PgA0	1 端子			3	mA
			総和			20	mA
負のオーバロード電流 VIN＜VSS	I_{INJN}	PgE	1 端子			–2	mA
			総和			–50	mA
		PgE'	1 端子			–3	mA
			総和			–20	mA
		PgA0	1 端子			–3	mA
			総和			–20	mA

備　考

これらの仕様は、分類別にテストされておらず、デバイスの特性に基づいて指定されています。

(3) 64-Pin Version

項目	略号	条件		MIN.	TYP.	MAX.	単位
正のオーバロード電流 VIN＞VCC	I_{INJP}	PgE	1 端子			2	mA
			総和			50	mA
		PgE’	1 端子			3	mA
			総和			20	mA
		PgA0	1 端子			3	mA
			総和			20	mA
負のオーバロード電流 VIN＜VSS	I_{INJN}	PgE	1 端子			–2	mA
			総和			–50	mA
		PgE’	1 端子			–3	mA
			総和			–20	mA
		PgA0	1 端子			–3	mA
			総和			–20	mA

備　考

これらの仕様は、分類別にテストされておらず、デバイスの特性に基づいて指定されています。

(4) 48-Pin Version

項目	略号	条件		MIN.	TYP.	MAX.	単位
正のオーバロード電流 VIN＞VCC	I_{INJP}	PgE	1 端子			2	mA
			総和			50	mA
		PgE’	1 端子			3	mA
			総和			20	mA
		PgA0	1 端子			3	mA
			総和			20	mA
負のオーバロード電流 VIN＜VSS	I_{INJN}	PgE	1 端子			–2	mA
			総和			–50	mA
		PgE’	1 端子			–3	mA
			総和			–20	mA
		PgA0	1 端子			–3	mA
			総和			–20	mA

備　考

これらの仕様は、分類別にテストされておらず、デバイスの特性に基づいて指定されています。

47C.4.5 電源特性

47C.4.5.1 レギュレータ特性

条件　: REGVCC＝EVCC＝VPOC～5.5V, A0VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝A0VSS＝0V, Tj＝－40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧	REGVCC		VPOC 注1		5.5	V
出力電圧	AWOVCL	AWOVCL 端子	1.15	1.25	1.35	V
	ISOVCL	ISOVCL 端子	1.15	1.25	1.35	V
キャパシタンス	CAWOVCL	AWOVCL 端子	0.07	0.10	0.13	μF
	CISOVCL	ISOVCL 端子	0.07	0.10	0.13	μF
負荷容量のための等価直列抵抗	RVRAWO	CAWOVCL 用			40 注2	mΩ
	RVRISO	CISOVCL 用			40 注2	mΩ
パワーオン時の突入電流					120	mA

注1.　“VPOC”は POC（パワーオンクリア）検出電圧のことです（typ. 2.85V）。詳細は「**47C.4.5.2 電圧検出（POC, LVI, VLVI, CVM）特性**」を参照してください。

注2.　これは参考値です。

47C.4.5.2　電圧検出（POC, LVI, VLVI, CVM）特性

条件　：REGVCC＝EVCC＝VPOC～5.5V, A0VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝A0VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%,
Tj＝－40～（製品依存）°C, CL＝30pF

項目	略号	条件			MIN.	TYP.	MAX.	単位
検出電圧（REGVCC）	VPOC	POC			2.7	2.85	3.0	V
	VLVI0	LVI	立ち上がり		3.87	4.0	4.13	V
			立ち下がり		3.9	4.0	4.1	V
	VLVI1		立ち上がり		3.57	3.7	3.83	V
			立ち下がり		3.6	3.7	3.8	V
	VLVI2		立ち上がり		3.37	3.5	3.63	V
			立ち下がり		3.4	3.5	3.6	V
	VVLVI	VLVI			1.8	1.9	2.0	V
検出電圧（ISOVCL）	VCVMH	CVM	高電圧[注]		1.35	1.39	1.43	V
	VCVML [注8]		低電圧[注]		1.10	1.15	1.20	V
応答時間	t_{D_POC1} [注6]	POC	パワーオン時（立ち上がり）	注 1			2	ms
				注 2			6.3	ms
			パワーオン後（立ち上がり）	注 3			2	ms
				注 4			5	ms
	t_{D_POC2} [注7]		パワーオン後（立ち下がり）	注 5			5	μs
	t_{D_LVI}	LVI					2	ms
	t_{D_VLVI}	VLVI		注 3			2	ms
				注 4			5	ms
	t_{D_CVM}	CVM			0.2		10	μs
セットアップ時間	t_{S_LVI}	LVI	LVICNT0,1 ビットを 1 に設定すると（00_B を除く）、LVI は有効になります。				80	μs
REGVCC 最小幅	t_{W_POC}	POC			0.2			ms
	t_{W_LVI}	LVI			0.2			ms
	t_{W_VLVI}	VLVI			0.2			ms

注1.　電圧勾配（t_{VS}）：0.02V/ms≦t_{VS}≦0.5V/ms

注2.　電圧勾配（t_{VS}）：0.5V/ms＜t_{VS}≦500V/ms

注3.　電圧勾配（t_{VS}）：0.02V/ms≦t_{VS}≦20V/ms

注4.　電圧勾配（t_{VS}）：20V/ms＜t_{VS}≦500V/ms

注5.　電圧勾配（t_{VS}）：0.02V/ms≦t_{VS}≦500V/ms

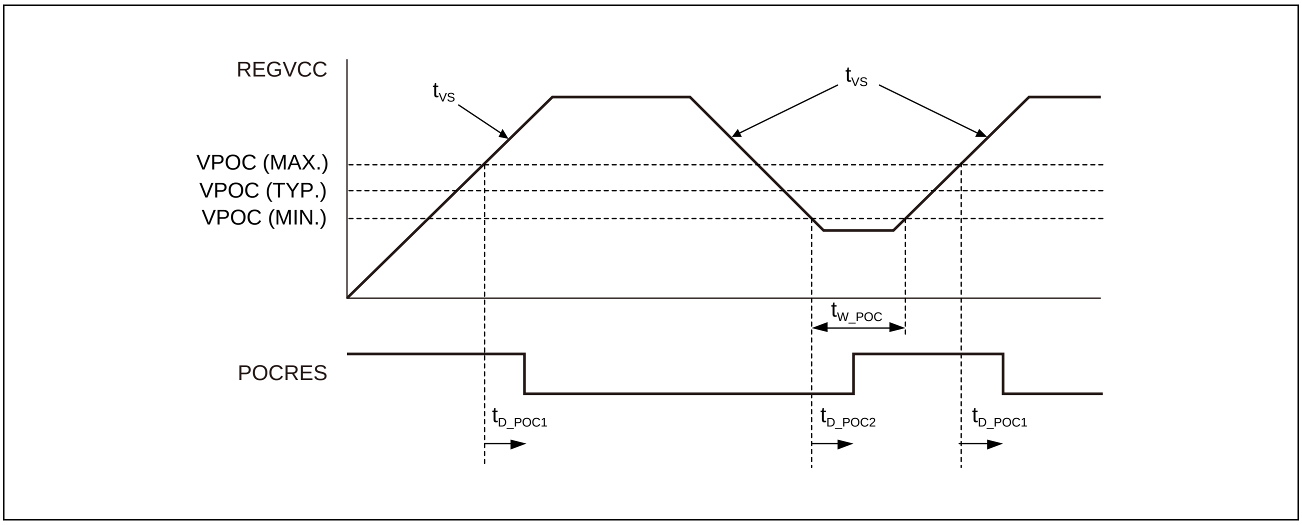
注6.　t_{D_POC1} は、検出電圧からリセット信号解除までの時間です。

注7.　t_{D_POC2} は、検出電圧からリセット信号発生までの時間です。

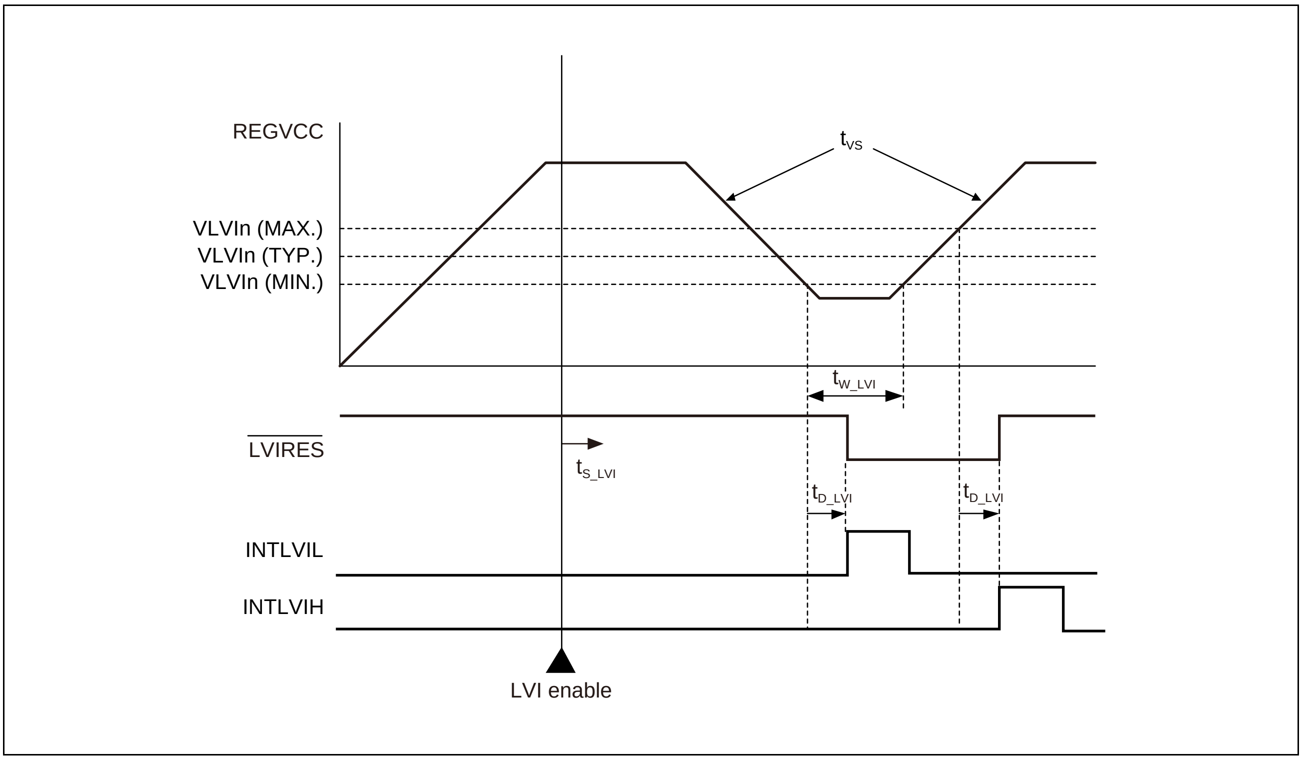
注8.　CVM は内蔵電圧レギュレータの出力をモニタしているため、ISOVCL の低電圧より高いことが保証されます。

注：　VCVMH, VCVML で指定されたレベル外の ISOVCL 電圧の検出は CVM では保証できません。

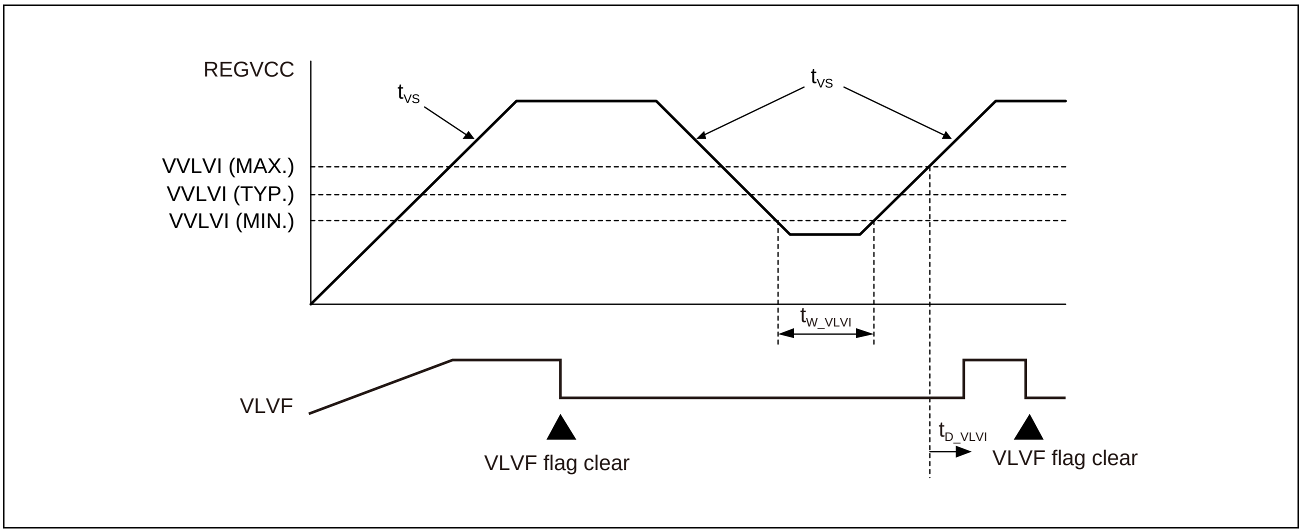
POC


REGVCC
t_{VS}
t_{VS}
VPOC (MAX.)
VPOC (TYP.)
VPOC (MIN.)
t_{W_POC}
POCRES
t_{D_POC1}
t_{D_POC2}
t_{D_POC1}

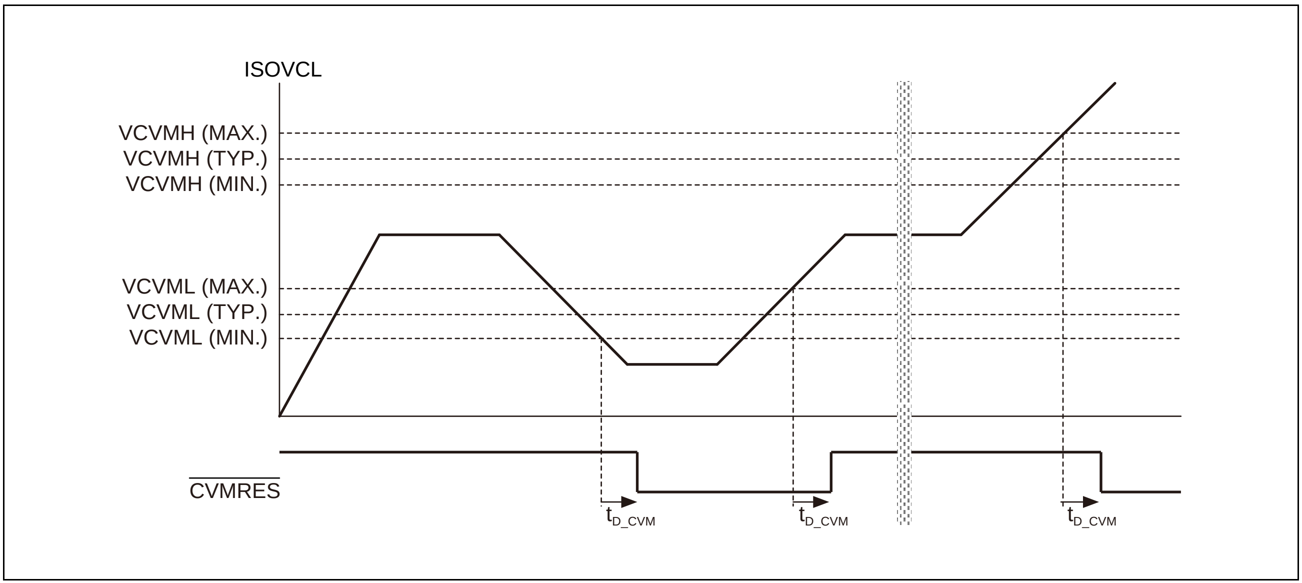
LVI


REGVCC
t_{VS}
VLVIn (MAX.)
VLVIn (TYP.)
VLVIn (MIN.)
t_{W_LVI}
$\overline{\text{LVIRES}}$
t_{S_LVI}
t_{D_LVI}
t_{D_LVI}
INTLVIL
INTLVIH
LVI enable

VLVI


REGVCC
tVS
tVS
VVLVI (MAX.)
VVLVI (TYP.)
VVLVI (MIN.)
tW_VLVI
VLVF
tD_VLVI
VLVF flag clear
VLVF flag clear

CVM


ISOVCL
VCVMH (MAX.)
VCVMH (TYP.)
VCVMH (MIN.)
VCVML (MAX.)
VCVML (TYP.)
VCVML (MIN.)
CVMRES
tD_CVM
tD_CVM
tD_CVM

47C.4.5.3　パワーアップ／ダウンタイミング

条件　: REGVCC＝EVCC＝VPOC～5.5V, A0VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝A0VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%,
Tj＝－40～（製品依存）°C, CL＝30pF

表 47C.5　$\overline{\text{RESET}}$ 端子を使用した場合（通常動作モード）

項目	略号	条件	MIN.	TYP.	MAX.	単位
電圧勾配（REGVCC, IOVCC [注1]）	t_{VS}		0.02（＝50 ms/V）		500（＝2 μs/V）	V/ms
REGVCC↑, IOVCC [注1]↑～ $\overline{\text{RESET}}$ ↑ 遅延時間	t_{DPOR}	電圧勾配（t_{VS}）：0.02V/ms≦t_{VS}≦0.5V/ms	2			ms
		電圧勾配（t_{VS}）：0.5V/ms＜t_{VS}≦500V/ms	6.3			ms
FLMD0 ホールド時間（対 $\overline{\text{RESET}}$ ↑）	t_{HMDR}		1			ms
FLMD0 セットアップ時間（対 $\overline{\text{RESET}}$ ↓）	t_{SMDF}		0			μs
$\overline{\text{RESET}}$ ↓ ～ REGVCC↓, IOVCC [注1]↓ 遅延時間	t_{DRPD}		0			ms

注1.　IOVCC は EVCC と A0VREF を示します

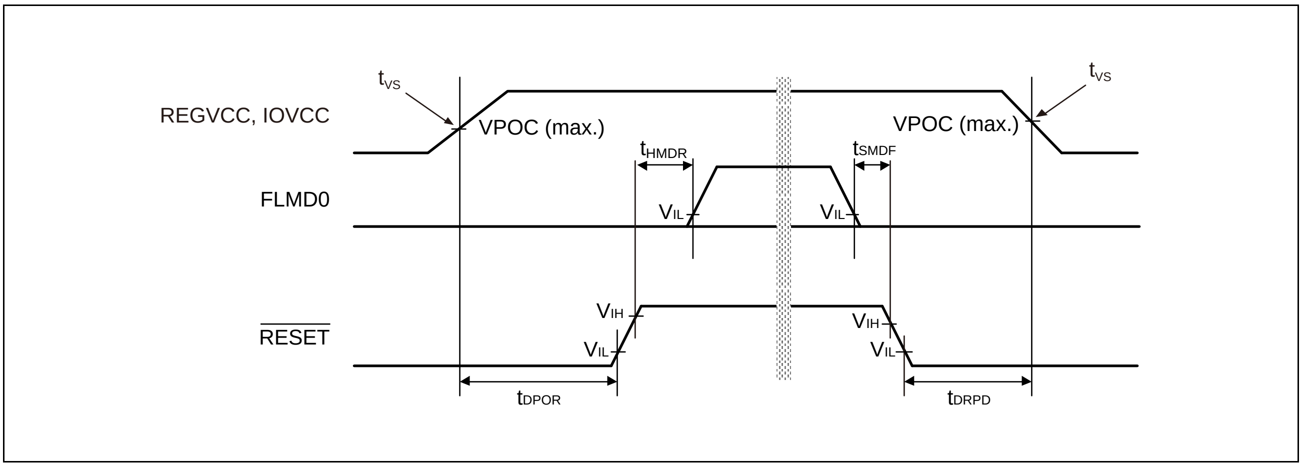


表 47C.6　　$\overline{\text{RESET}}$ 端子を使用した場合（シリアルプログラミングモード）

項目	略号	条件	MIN.	TYP.	MAX.	単位
電圧勾配（REGVCC, IOVCC 注 1）	t_{VS}		0.02 (=50 ms/V)		500 (=2 μs/V)	V/ms
REGVCC ↑ , IOVCC 注 1 ↑ ～ $\overline{\text{RESET}}$ ↑ 遅延時間	t_{DPOR}	電圧勾配（t_{VS}）：0.02V/ms≦t_{VS}≦0.5V/ms	2			ms
		電圧勾配（t_{VS}）：0.5V/ms＜t_{VS}≦500V/ms	6.3			ms
FLMD0 セットアップ時間（対 $\overline{\text{RESET}}$ ↑ ）	t_{SMD0R}		1			ms
$\overline{\text{RESET}}$ ↓ ～ REGVCC ↓ , IOVCC 注 1 ↓ 遅延時間	t_{DRPD}		0			ms

注1.　IOVCC は EVCC と A0VREF を示します。

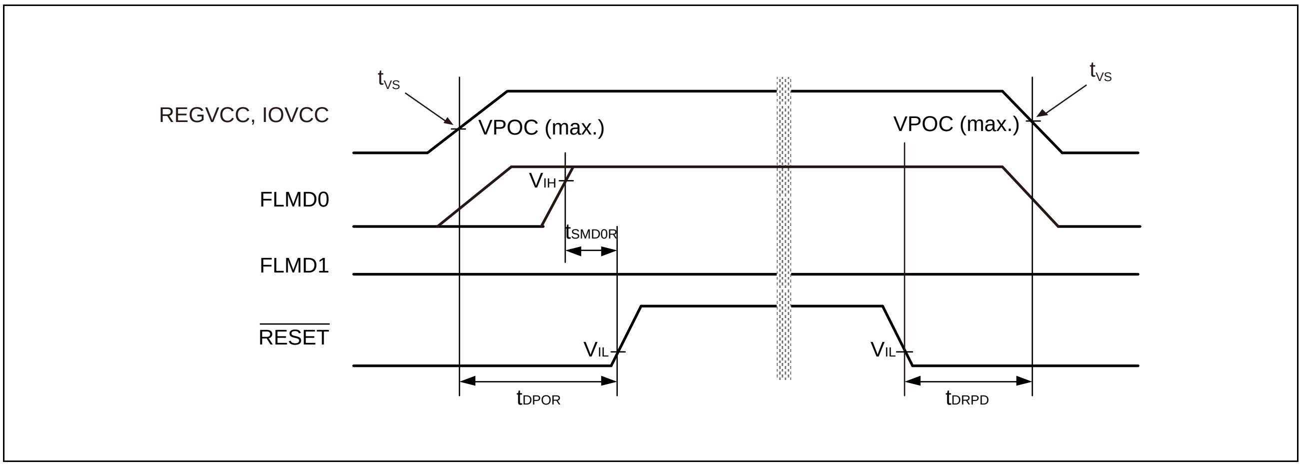


表 47C.7　RESET 端子を使用した場合（バウンダリスキャンモード）

項目	略号	条件	MIN.	TYP.	MAX.	単位
電圧勾配（REGVCC, IOVCC 注1）	t_{VS}		0.02 (=50 ms/V)		500 (=2 μs/V)	V/ms
REGVCC↑, IOVCC 注1↑ ～ RESET↑ 遅延時間	t_{DPOR}	電圧勾配（t_{VS}）：0.02V/ms≦t_{VS}≦0.5V/ms	2			ms
		電圧勾配（t_{VS}）：0.5V/ms＜t_{VS}≦500V/ms	6.3			ms
FLMD0 セットアップ時間（対 RESET↑）	t_{SMD0R}		1			ms
FLMD1, MODE0, MODE1 セットアップ時間（対 FLMD0↑）	t_{SMD1R}		1			μs
FLMD0 ホールド時間（対 RESET↓）	t_{HMD0F}		1			μs
FLMD1, MODE0, MODE1, MODE2 ホールド時間（対 FLMD0↓）	t_{HMD1F}		1			μs
RESET↓ ～ REGVCC↓, IOVCC 注1↓ 遅延時間	t_{DRPD}		0			ms
DCUTRST 入力遅延時間（対 RESET↑）	t_{DRTRST}		1			ms
RESET ホールド時間（対 DCUTRST↓）	t_{HRTRST}		0			ms

注1.　IOVCC は EVCC と A0VREF を示します。

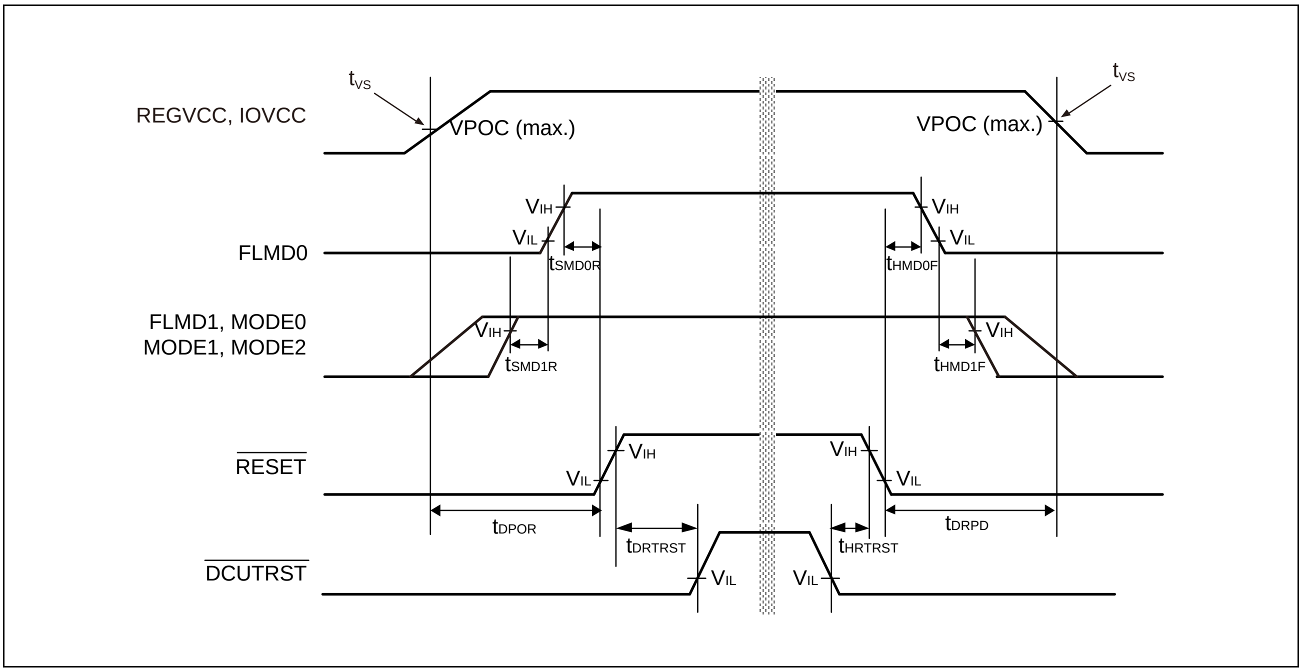


表 47C.8　$\overline{\text{RESET}}$ 端子を使用した場合（ユーザブートモード）

項目	略号	条件	MIN.	TYP.	MAX.	単位
電圧勾配（REGVCC, IOVCC 注 1）	t_{VS}		0.02 (=50 ms/V)		500 (=2 μs/V)	V/ms
REGVCC ↑ , IOVCC 注 1 ↑ ～ $\overline{\text{RESET}}$ ↑ 遅延時間	t_{DPOR}	Voltage slope（t_{VS}）：0.02V/ms≦t_{VS}≦0.5V/ms	2			ms
		Voltage slope（t_{VS}）：0.5V/ms＜t_{VS}≦500V/ms	6.3			ms
FLMD0 セットアップ時間（対 $\overline{\text{RESET}}$ ↑ ）	t_{SMD0R}		1			ms
FLMD1, MODE0, MODE1, MODE2 セットアップ時間（対 FLMD0 ↑ ）	t_{SMD1R}		1			μs
FLMD0 ホールド時間（対 $\overline{\text{RESET}}$ ↓ ）	t_{HMD0F}		1			μs
FLMD1, MODE0, MODE1, MODE2 ホールド時間（対 FLMD0 ↓ ）	t_{HMD1F}		1			μs
$\overline{\text{RESET}}$ ↓ ～ REGVCC ↓ , IOVCC ↓ 遅延時間	t_{DRPD}		0			ms

注1.　IOVCC は EVCC と A0VREF を示します。

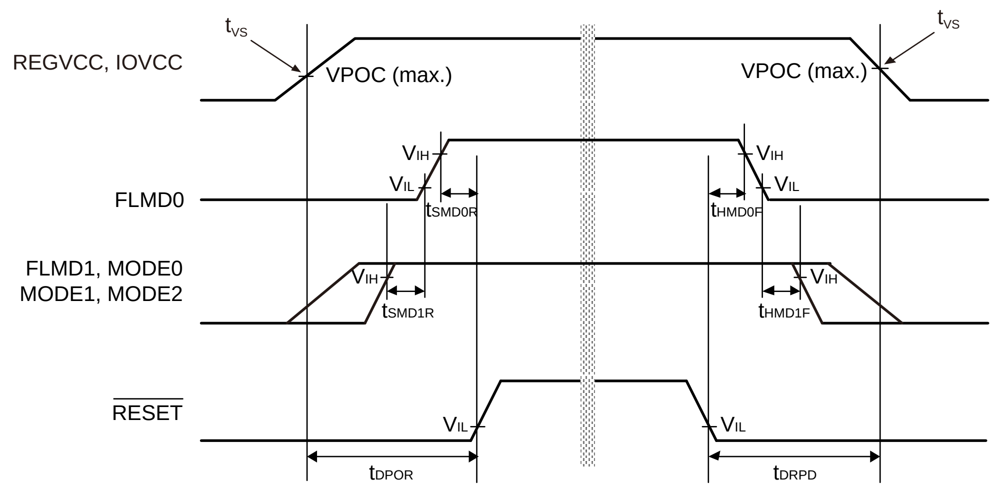
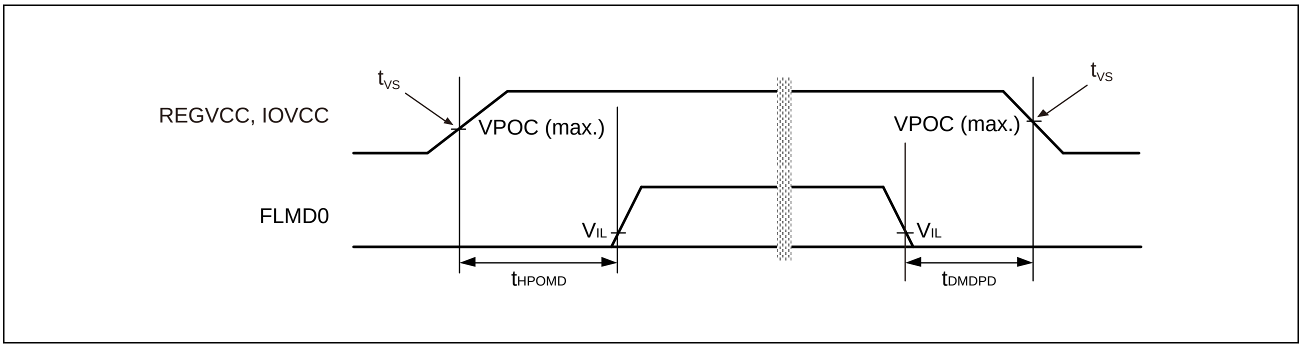


表 47C.9　$\overline{\text{RESET}}$ 端子を使用せず、プルアップによってハイレベルに固定した場合[注1]

項目	略号	条件	MIN.	TYP.	MAX.	単位
電圧勾配（REGVCC, IOVCC[注2]）	t_{VS}		0.02 (=50 ms/V)		500 (=2 μs/V)	V/ms
REGVCC↑, IOVCC[注2]↑ ～ FLMD0 ホールド時間	t_{HPOMD}	電圧勾配（t_{VS}）：0.02V/ms≦t_{VS}≦0.5V/ms	2			ms
		電圧勾配（t_{VS}）：0.5V/ms＜t_{VS}≦500V/ms	6.3			ms
FLMD0↓ ～ REGVCC↓, IOVCC[注2]↓ 遅延時間	t_{DMDPD}		1			μs

注1.　この動作状態は、通常動作モードでのみ使用できます（セルフプログラミングモードを含む）。
　　デバイスを通常動作モード以外で使用する場合は、$\overline{\text{RESET}}$ 端子を使用してください。

注2.　IOVCC は EVCC と A0VREF を示します。



47C.4.5.4 CPU リセット解除タイミング

条件 : REGVCC＝EVCC＝VPOC～5.5V, A0VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝A0VSS＝0V, CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%, Tj＝−40～（製品依存）°C, CL＝30pF

表 47C.10 $\overline{\text{RESET}}$ 端子を使用しない場合

項目	略号	条件	MIN.	TYP.	MAX.	単位
REGVCC ↑ ～ CPU リセット解除注 1	t_{DPCRR}	電圧勾配（t_{VS}）：0.02V/ms≦t_{VS}≦0.5V/ms			2.58	ms
		電圧勾配（t_{VS}）：0.5V/ms＜t_{VS}≦500V/ms			8.3	ms

注1. これは参考値です。

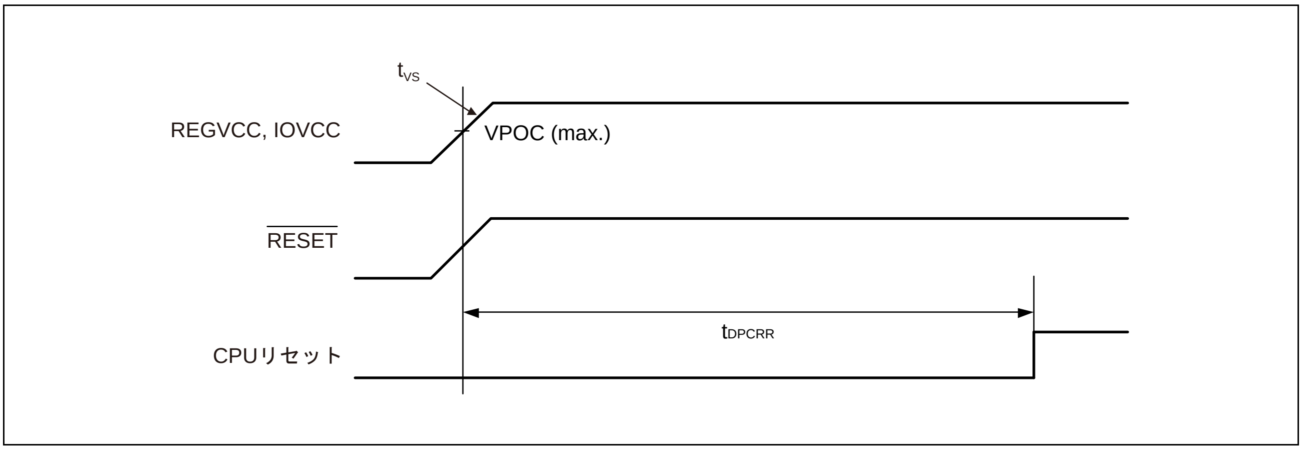
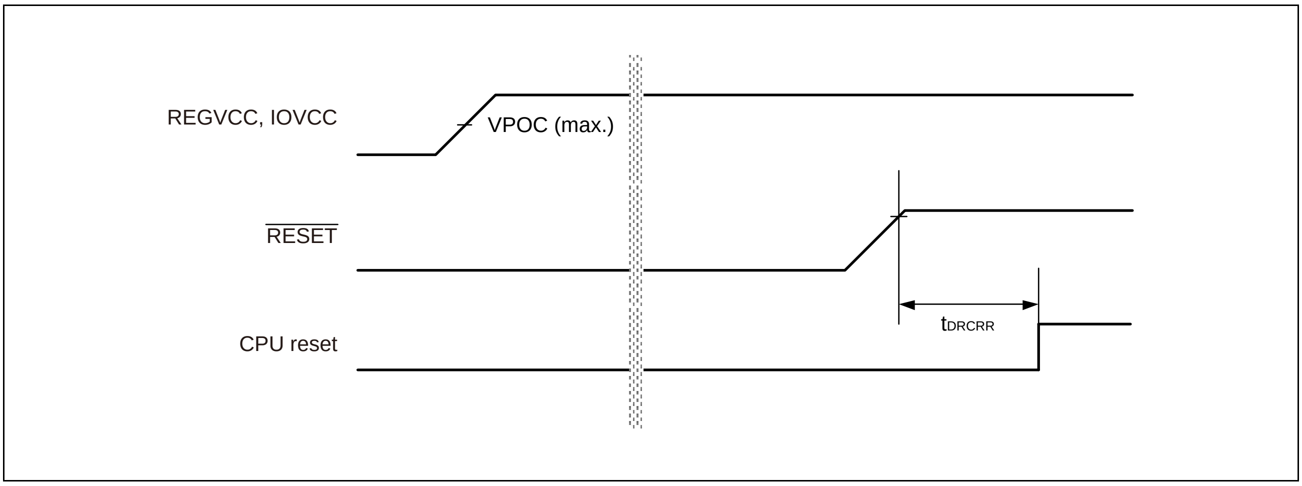


表 47C.11 $\overline{\text{RESET}}$ 端子を使用した場合

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{RESET}}$ ↑ ～ CPU リセット解除注 1	t_{DRCRR}				16 注 2	μs

注1. これは参考値です。

注2. $\overline{\text{RESET}}$ ピンを解除するまでの時間が t_{DPCRR} より長い場合。



47C.5 AC 特性

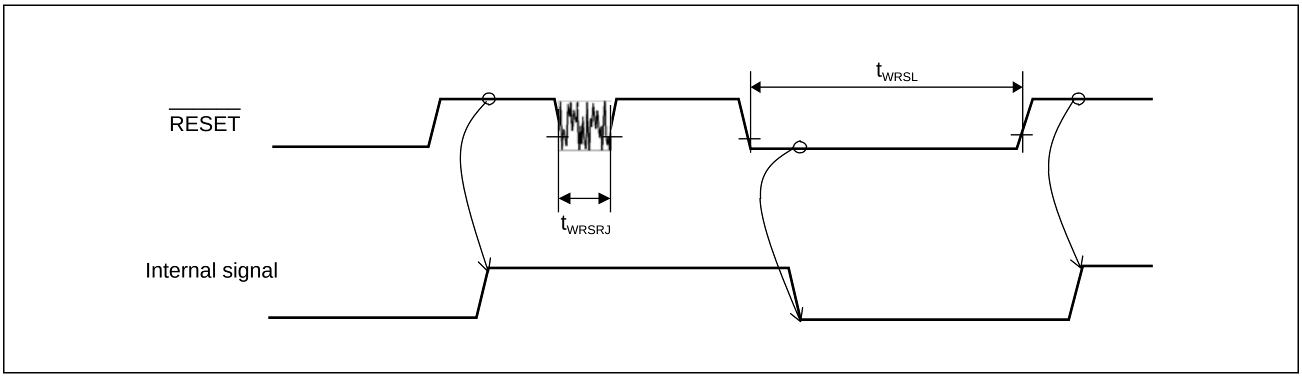
47C.5.1 RESET タイミング

条件 : REGVCC＝EVCC＝3.0V～5.5V, A0VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝A0VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%,
Tj＝－40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
RESET 入力ロウレベル幅[注 1]	t_{WRSL}	パワーオン時を除く	600			ns
RESET パルス除去[注 2]	t_{WRSRJ}		100			ns

注1. RESET 入力幅は、内部リセット信号をアクティブとするために必要です。

注2. 最小値より短いパルスは無視されます。これは参考値です。ノイズは下記図のようにフィルターされます。



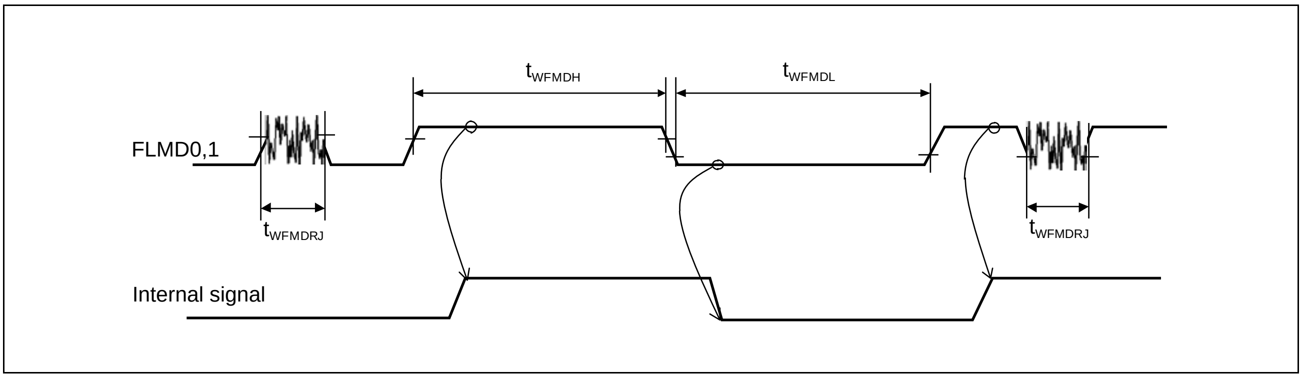
47C.5.2　モードタイミング

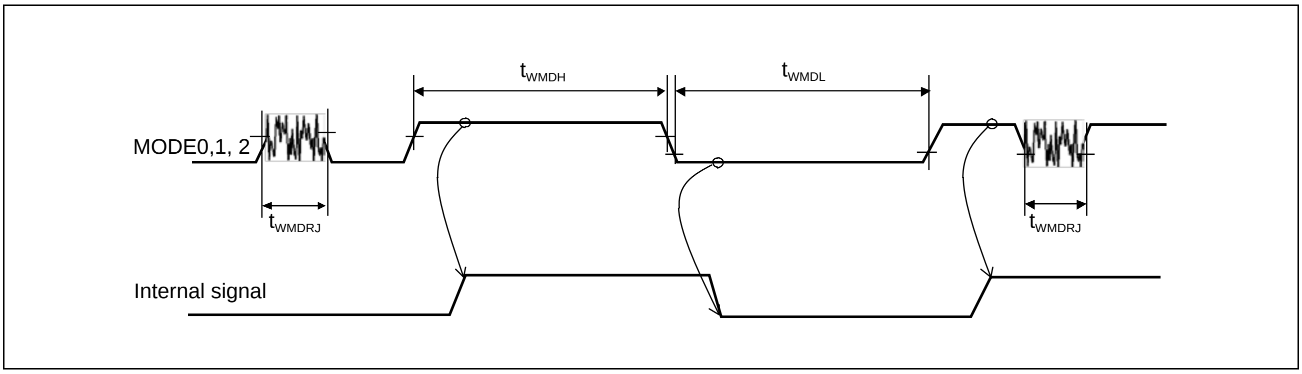
条件　：REGVCC＝EVCC＝3.0V～5.5V, A0VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝A0VSS＝0V,
CAWOVCL：0.1µF±30%, CISOVCL：0.1µF±30%,
Tj＝－40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
FLMD0, 1 入力ハイ／ロウレベル幅注 1	t_{WFMDH}/ t_{WFMDL}		600			ns
FLMD0, 1 パルス除去注 2	t_{WFMDRJ}		100			ns
MODE0, 1, 2 入力ハイ／ロウレベル幅注 1	t_{WMDH}/ t_{WMDL}		600			ns
MODE0, 1, 2 パルス除去注 2	t_{WMDRJ}		100			ns

注1.　FLMD0, 1 と MODE0, 1, 2 の入力幅は、内部モード信号がアクティブであることを保証するために必要です。

注2.　最小値より短いパルスは無視されます。これは参考値です。ノイズは下記図のようにフィルターされます。



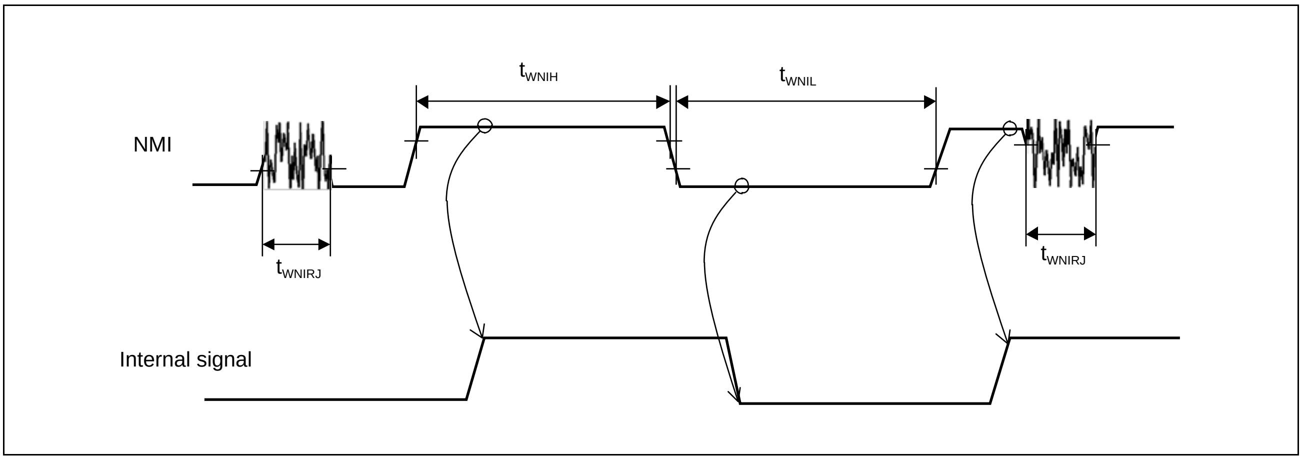


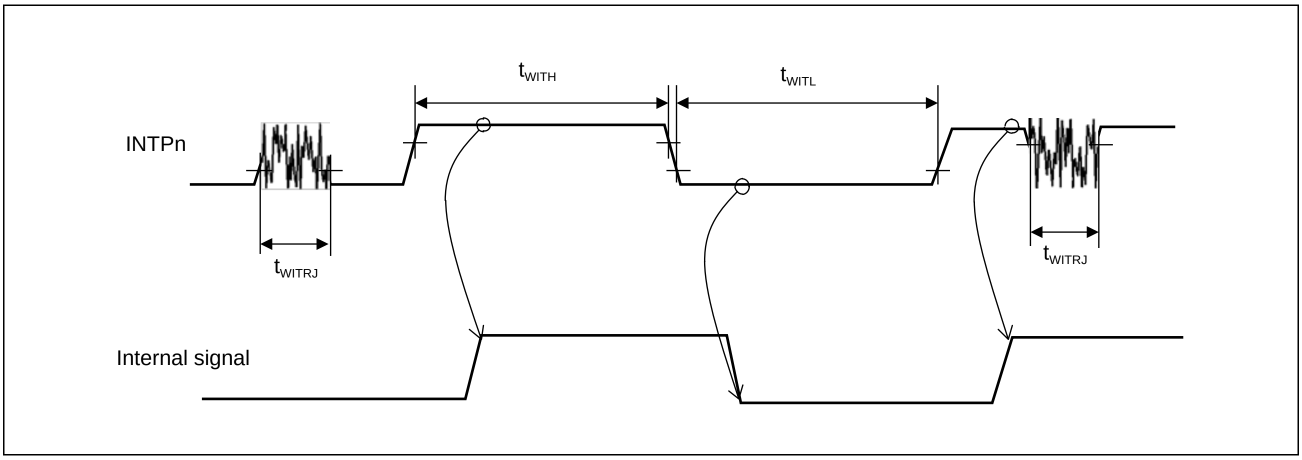
47C.5.3 割り込みタイミング

条件　: REGVCC＝EVCC＝3.0V～5.5V, A0VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝A0VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%,
Tj＝－40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
NMI 入力ハイ／ロウレベル幅注 1	t_{WNIH}/ t_{WNIL}	エッジ検出モード	600			ns
		レベル検出モード（EMCLK は高速内蔵発振器で作動）	756			ns
		レベル検出モード（EMCLK は低速内蔵発振器で作動）	24			μs
NMI パルス除去注 2	t_{WNIRJ}		100			ns
INTPn 入力ハイ／ロウレベル幅注 1	t_{WITH}/ t_{WITL}	エッジ検出モード	600			ns
		レベル検出モード（EMCLK は高速内蔵発振器で作動）	756			ns
		レベル検出モード（EMCLK は低速内蔵発振器で作動）	24			μs
INTPn パルス除去注 2	t_{WITRJ}		100			ns

注1.　NMI と INTPn の入力幅は、内部割込み信号がアクティブであることを保証するために必要です。
注2.　最小値より短いパルスは無視されます。これは参考値です。ノイズは下記図のようにフィルターされます。



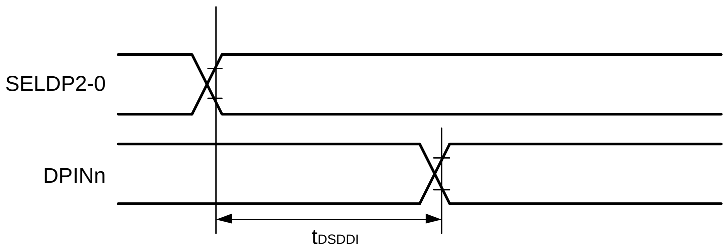


47C.5.4　ロウパワーサンプラ（DPIN 入力）タイミング

条件　: REGVCC＝EVCC＝3.0V〜5.5V, A0VREF＝3.0V〜5.5V, AWOVSS＝ISOVSS＝EVSS＝A0VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%,
Tj＝－40〜（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
DPINn 入力遅延時間 （対 SELDP2-0）	t_{DSDDI}				150	ns

備考　n＝7〜0



47C.5.5　CSCXFOUT タイミング

条件　:　REGVCC＝EVCC＝3.0V～5.5V, A0VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝A0VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%,
Tj＝－40～（製品依存）°C, CL＝30pF

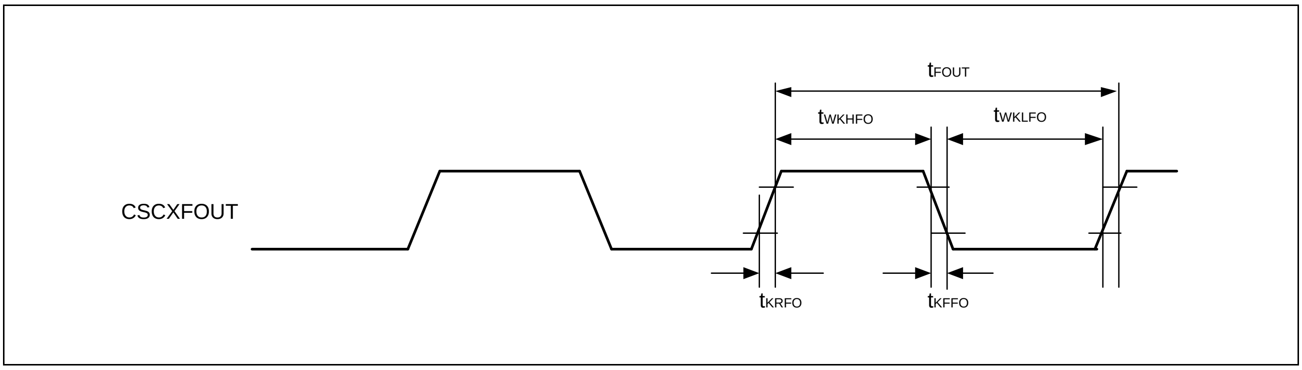
＜出力ドライバ強度＞
CSCXFOUT：低速または高速モード（以下の表の条件を参照してください。）

項目	略号	条件		MIN.	TYP.	MAX.	単位
CSCXFOUT 出力サイクル	t_{FOUT}	低速モード		100 (max. 10MHz)			ns
		高速モード		41.6 (max. 24MHz)			ns
CSCXFOUT ハイレベル幅	t_{WKHFO}	低速モード	N：1[注1] または偶数値[注2]	t_{FOUT} / 2 – 37			ns
			N：奇数値（N≧5）[注2、注3]	t_{FOUT} × (N+1) / 2N – 37			ns
		高速モード	N：1[注1] または偶数値[注2]	t_{FOUT} / 2 – 10			ns
			N：奇数値（N≧3）[注2]	t_{FOUT} × (N+1) / 2N – 10			ns
CSCXFOUT ロウレベル幅	t_{WKLFO}	低速モード	N：1[注1] または偶数値[注2]	t_{FOUT} / 2 – 37			ns
			N：奇数値（N≧5）[注2、注3]	t_{FOUT} × (N–1) / 2N – 37			ns
		高速モード	N：1[注1] または偶数値[注2]	t_{FOUT} / 2 – 10			ns
			N：奇数値（N≧3）[注2]	t_{FOUT} × (N–1) / 2N – 10			ns
CSCXFOUT 立ち上がり／立ち下がり時間	t_{KRFO}/ t_{KFFO}	低速モード				37	ns
		高速モード				10	ns

注1.　N=1 のときのソースクロックとして、メイン発振回路、高速内蔵発振回路、低速内蔵発振回路またはサブ発振回路が選択されている場合、出力信号特性はソースクロックによって決まります。実際の環境で評価後、出力信号を使用することを推奨します。

注2.　“N”は FOUTDIV レジスタで設定された“クロック分周 N”の値です。

注3.　低速モード使用時には、N=3 を選択することは禁止です。



47C.5.6 予約

47C.5.7 予約

47C.5.8 予約

47C.5.9 予約

47C.5.10　CSI タイミング

47C.5.10.1　CSIG タイミング

条件　：REGVCC＝EVCC＝3.0V～5.5V, A0VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝A0VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%,
Tj＝－40～（製品依存）°C, CL＝30pF

表 47C.12　CSIG タイミング（マスタモード）

＜出力ドライバ強度＞
CSIGnSO, CSIGnSC（出力）：高速モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
マクロ動作クロックサイクル時間	t_{KCYGn}		12.5 (max. 80MHz)			ns
CSIGnSC サイクル時間	t_{KCYMGn}		100			ns
CSIGnSC ハイレベル幅	t_{KWHMGn}		$0.5 \times t_{KCYMGn} - 10$			ns
CSIGnSC ロウレベル幅	t_{KWLMGn}		$0.5 \times t_{KCYMGn} - 10$			ns
CSIGnSI セットアップ時間（対 CSIGnSC）	t_{SSIMGn}		30			ns
CSIGnSI ホールド時間（対 CSIGnSC）	t_{HSIMGn}		0			ns
CSIGnSO 出力遅延（対 CSIGnSC）	t_{DSOMGn}				7	ns
CSIGnRYI セットアップ時間（対 CSIGnSC）	t_{SRYIGn}	CSIGnCTL1.CSIGnSIT＝x CSIGnCTL1.CSIGnHSE＝1	$2 \times t_{KCYGn} + 25$			ns
CSIGnRYI ハイレベル幅	t_{WRYIGn}	CSIGnCTL1.CSIGnHSE＝1	$t_{KCYGn} + 5$			ns

備考　n＝0

表 47C.13　CSIG タイミング（スレーブモード）

＜出力ドライバ強度＞
CSIGnSO：高速モード
CSIGnRYO：低速モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
マクロ動作クロックサイクル時間	t_{KCYGn}		12.5 (max. 80MHz)			ns
CSIGnSC サイクル時間	t_{KCYSGn}		200			ns
CSIGnSC ハイレベル幅	t_{KWHSGn}		$0.5 \times t_{KCYSGn} - 10$			ns
CSIGnSC ロウレベル幅	t_{KWLSGn}		$0.5 \times t_{KCYSGn} - 10$			ns
CSIGnSI セットアップ時間（対 CSIGnSC）	t_{SSISGn}		20			ns
CSIGnSI ホールド時間（対 CSIGnSC）	t_{HSISGn}		$t_{KCYGn} + 5$			ns
CSIGnSO 出力遅延（対 CSIGnSC）	t_{DSOSGn}				30	ns
CSIGnRYO 出力遅延	t_{SRYOGn}				38	ns
$\overline{\text{CSIGnSSI}}$ セットアップ時間（対 CSIGnSC）	$t_{SSSISGn}$		$0.5 \times t_{KCYSGn} - 5$			ns
$\overline{\text{CSIGnSSI}}$ ホールド時間（対 CSIGnSC）	$t_{HSSISGn}$		$t_{KCYGn} + 5$			ns

備考　n＝0

47C.5.10.2　CSIH タイミング

条件　：REGVCC＝EVCC＝3.0V～5.5V, A0VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝A0VSS＝0V,
CAWOVCL：0.1µF±30%, CISOVCL：0.1µF±30%,
Tj＝－40～（製品依存）°C, CL＝30pF

表 47C.14　CSIH タイミング（マスタモード：10Mbps）

＜出力ドライバ強度＞

CSIHnSO, CSIHnSC（出力）：高速モード（CL＝100pF@n＝0／50pF@n＝1～3）

CSIHnCSSx：低速モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
マクロ動作クロックサイクル時間	t_{KCYHn}		12.5 (max. 80MHz)			ns
CSIHnSC サイクル時間	t_{KCYMHn}		100			ns
CSIHnSC ハイレベル幅	t_{KWHMHn}		$0.5 \times t_{KCYMHn} - 10$			ns
CSIHnSC ロウレベル幅	t_{KWLMHn}		$0.5 \times t_{KCYMHn} - 10$			ns
CSIHnSI セットアップ時間（対 CSIHnSC）	t_{SSIMHn}	SI ポジティブエッジモード (CSIHnCTL1.CSIHnSLRS＝0)	19			ns
		SI ネガティブエッジモード (CSIHnCTL1.CSIHnSLRS＝1)	14			ns
CSIHnSI ホールド時間（対 CSIHnSC）	t_{HSIMHn}	SI ポジティブエッジモード (CSIHnCTL1.CSIHnSLRS＝0)	0			ns
		SI ネガティブエッジモード (CSIHnCTL1.CSIHnSLRS＝1)	$t_{KCYHn}/2$			ns
CSIHnSO 出力遅延（対 CSIHnSC）	t_{DSOMHn}				7	ns
CSIHnRYI セットアップ時間（対 CSIHnSC）	t_{SRYIHn}	CSIHnCTL1.CSIHnSIT＝x CSIHnCTL1.CSIHnHSE＝1	$2 \times t_{KCYHn} + 25$			ns
CSIHnRYI ハイレベル幅	t_{WRYIHn}	CSIHnCTL1.CSIHnHSE＝1	$t_{KCYHn} + 5$			ns
CSIHnCSS0-7 非アクティブ幅	$t_{WSCSBHn}$		CSIDLE $\times t_{KCYMHn} - 15$			ns
CSIHnCSS0-7 セットアップ時間（対 CSIHnSC）	$t_{SSCSBHn0}$	CSIHnCFGx.CSIHnDAP＝0	CSSETUP $\times t_{KCYMHn} - 23$			ns
	$t_{SSCSBHn1}$	CSIHnCFGx.CSIHnDAP＝1	(CSSETUP + 0.5) $\times t_{KCYMHn} - 23$			ns
CSIHnCSS0-7 ホールド時間（対 CSIHnSC）	$t_{HSCSBHn0}$	CSIHnCTL1.CSIHnSIT＝0	CSSHOLD $\times t_{KCYMHn} - 5$			ns
	$t_{HSCSBHn1}$	CSIHnCTL1.CSIHnSIT＝1	(CSSHOLD + 0.5) $\times t_{KCYMHn} - 5$			ns

備考　n＝0～3

備　考

CSIDLE：CSIHnCFGx.CSIHnIDx[2:0]の設定値
CSSETUP：CSIHnCFGx.CSIHnSPx[3:0]の設定値
CSSHOLD：CSIHnCFGx.CSIHnHDx[3:0]の設定値
x：チップセレクト信号によって決まる値

注　意

通信中（CSIHnCFGx.CSIHnCKPx）に、シリアルクロックレベルが変更され、IDLE の設定が 0.5 送信クロック期間である場合、“$0.5 \times t_{KCYMHn}$”の非アクティブ幅時間に $t_{WSCSBHn}$ が追加されます。

表 47C.15　CSIH タイミング（スレーブモード：5Mbps）
＜出力ドライバ強度＞
CSIHnSO：高速モード
CSIHnRYO：低速モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
マクロ動作クロックサイクル時間	t_{KCYHn}		12.5 (max. 80MHz)			ns
CSIHnSC サイクル時間	t_{KCYSHn}		200			ns
CSIHnSC ハイレベル幅	t_{KWHSHn}		$0.5 \times t_{KCYSHn} - 10$			ns
CSIHnSC ロウレベル幅	t_{KWLSHn}		$0.5 \times t_{KCYSHn} - 10$			ns
CSIHnSI セットアップ時間（対 CSIHnSC）	t_{SSISHn}		20			ns
CSIHnSI ホールド時間（対 CSIHnSC）	t_{HSISHn}		$t_{KCYHn} + 5$			ns
CSIHnSO 出力遅延（対 CSIHnSC）	t_{DSOSHn}				30	ns
CSIHnRYO 出力遅延	t_{SRYOHn}	$t_{KCYSHn} \geqq 8 \times t_{KCYHn}$			38	ns
		$t_{KCYSHn} < 8 \times t_{KCYHn}$			$38 + t_{KCYHn}$	ns
$\overline{\text{CSIHnSSI}}$ セットアップ時間（対 CSIHnSC）	$t_{SSSISHn}$		$0.5 \times t_{KCYSHn} - 5$			ns
$\overline{\text{CSIHnSSI}}$ ホールド時間（対 CSIHnSC）	$t_{HSSISHn}$		$t_{KCYHn} + 5$			ns

備考　n＝0～3

表 47C.16　CSIH タイミング（スレーブモード：8Mbps）
＜出力ドライバ強度＞
CSIHnSO：高速モード
CSIHnRYO：低速モード

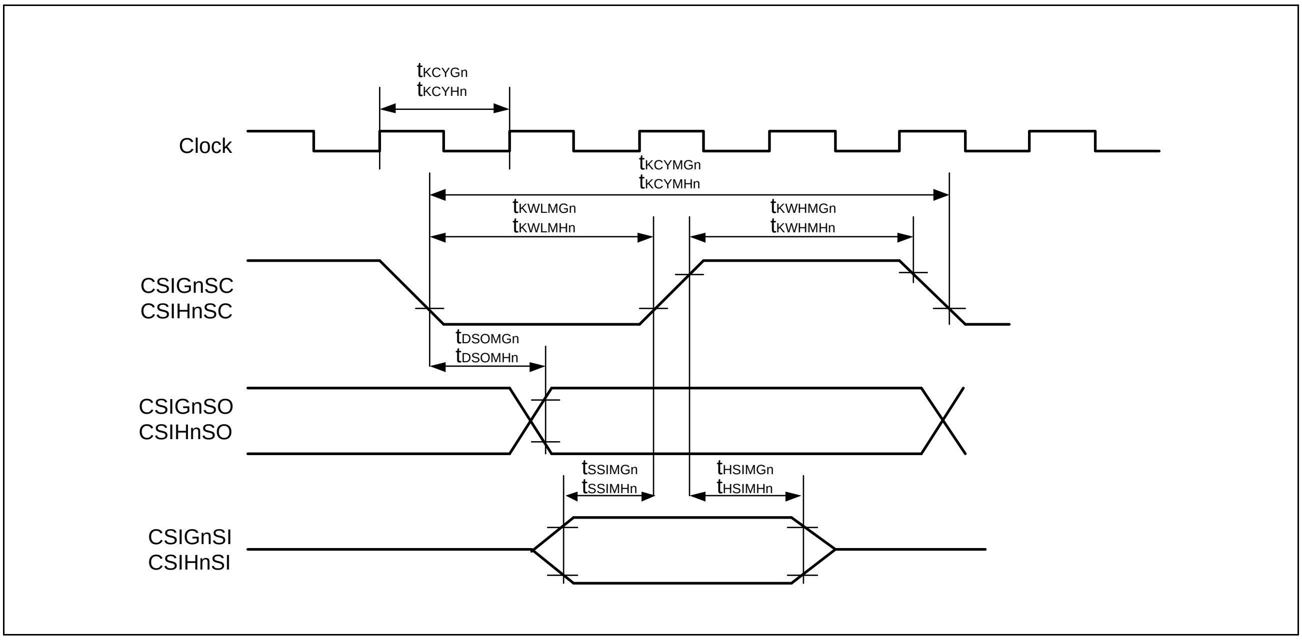
項目	略号	条件	MIN.	TYP.	MAX.	単位
マクロ動作クロックサイクル時間	t_{KCYHn}		12.5 (max. 80MHz)			ns
CSIHnSC サイクル時間	t_{KCYSHn}		125			ns
CSIHnSC ハイレベル幅	t_{KWHSHn}		$0.5 \times t_{KCYSHn} - 10$			ns
CSIHnSC ロウレベル幅	t_{KWLSHn}		$0.5 \times t_{KCYSHn} - 10$			ns
CSIHnSI セットアップ時間（対 CSIHnSC）	t_{SSISHn}		12.5			ns
CSIHnSI ホールド時間（対 CSIHnSC）	t_{HSISHn}		$t_{KCYHn} + 5$			ns
CSIHnSO 出力遅延（対 CSIHnSC）	t_{DSOSHn}				25	ns
CSIHnRYO 出力遅延	t_{SRYOHn}	$t_{KCYSHn} \geqq 8 \times t_{KCYHn}$			27	ns
		$t_{KCYSHn} < 8 \times t_{KCYHn}$			$27 + t_{KCYHn}$	ns
$\overline{\text{CSIHnSSI}}$ セットアップ時間（対 CSIHnSC）	$t_{SSSISHn}$		$0.5 \times t_{KCYSHn} - 5$			ns
$\overline{\text{CSIHnSSI}}$ ホールド時間（対 CSIHnSC）	$t_{HSSISHn}$		$t_{KCYHn} + 5$			ns

備考　n＝2 (80/100-pin versions), n＝0 (48/64-pin versions)

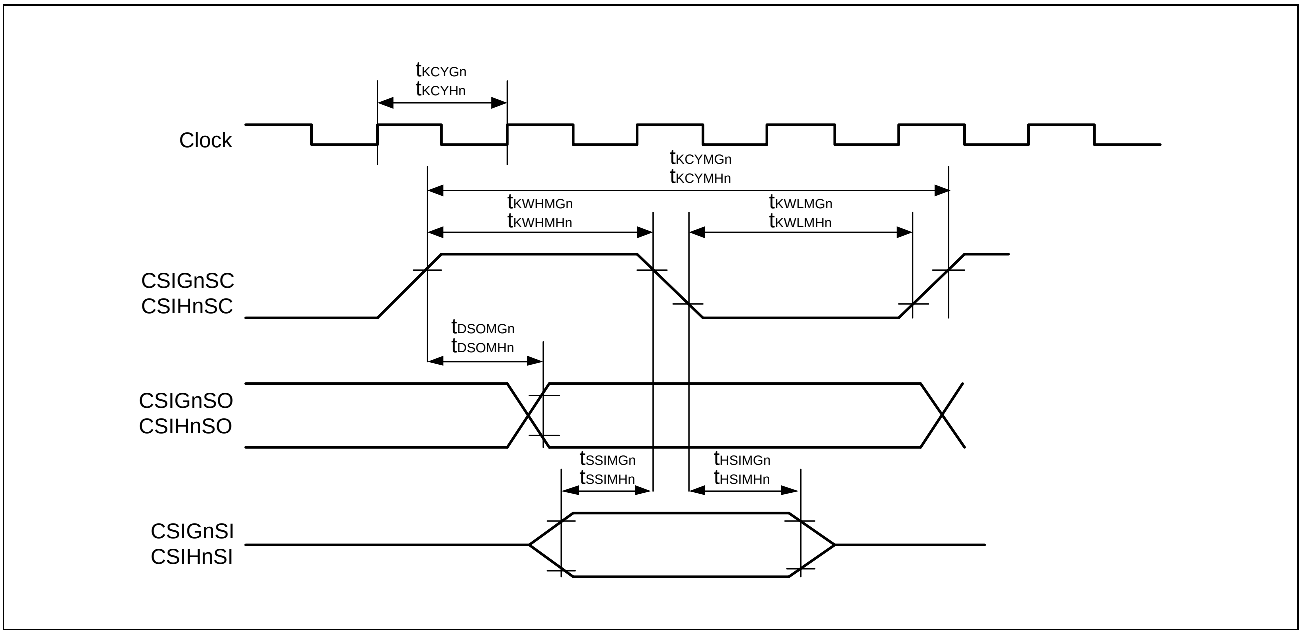
(1) SC/SI/SO

マスタモード

- CSIG（CSIGnCTL1：CSIGnCKR/CSIGnCFG0：CSIGnDAP0＝0/0 または 1/1）
- CSIH（CSIHnCFGx：CSIHnCKPx/CSIHnCFGx：CSIHnDAPx＝0/0 または 1/1）



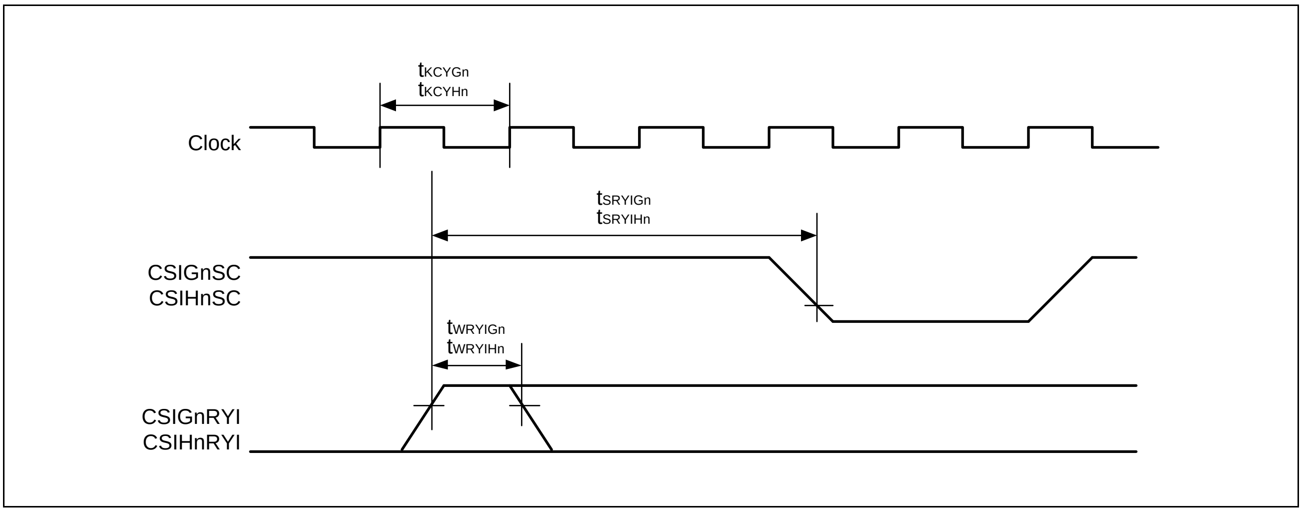
- CSIG（CSIGnCTL1：CSIGnCKR/CSIGnCFG0：CSIGnDAP0＝1/0 または 0/1）
- CSIH（CSIHnCFGx：CSIHnCKPx/CSIHnCFGx：CSIHnDAPx＝1/0 または 0/1）



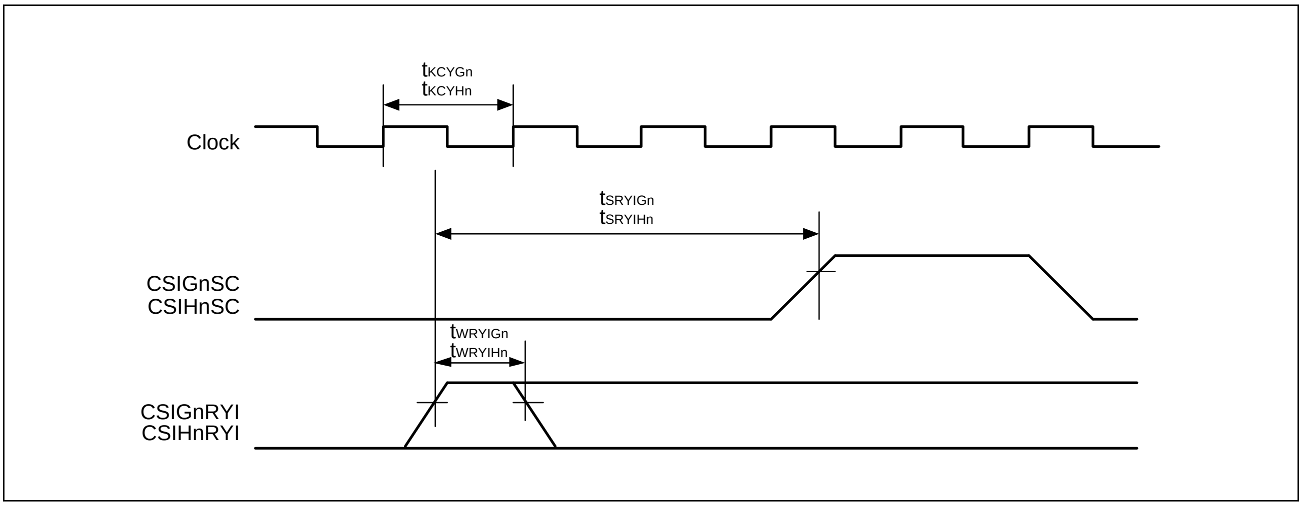
(2) RYI

マスタモード

- CSIG：マスタモードのみ（CSIGnCTL1：CSIGnHSE＝1, CSIGnCTL1：CSIGnSIT＝0）
- CSIH：マスタモードのみ（CSIHnCTL1：CSIHnHSE＝1, CSIHnCTL1：CSIHnSIT＝0）
  - CSIG（CSIGnCTL1：CSIGnCKR＝0）
  - CSIH（CSIHnCFGx：CSIHnCKPx＝0）



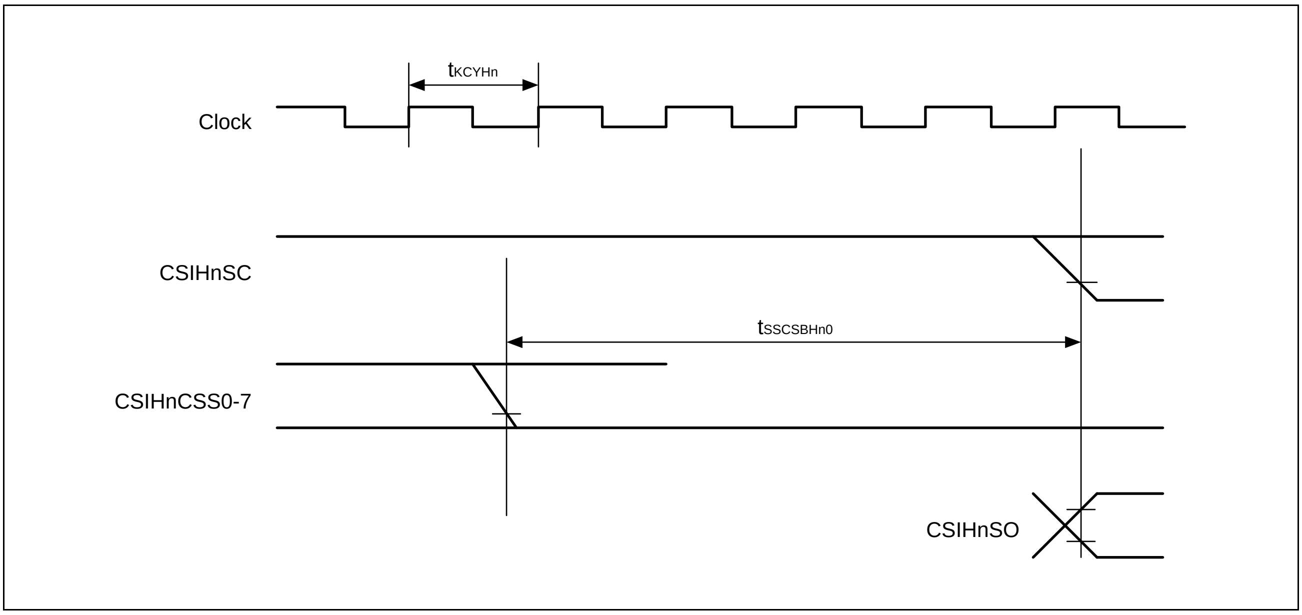
  - CSIG（CSIGnCTL1：CSIGnCKR＝1）
  - CSIH（CSIHnCFGx：CSIHnCKPx＝1）



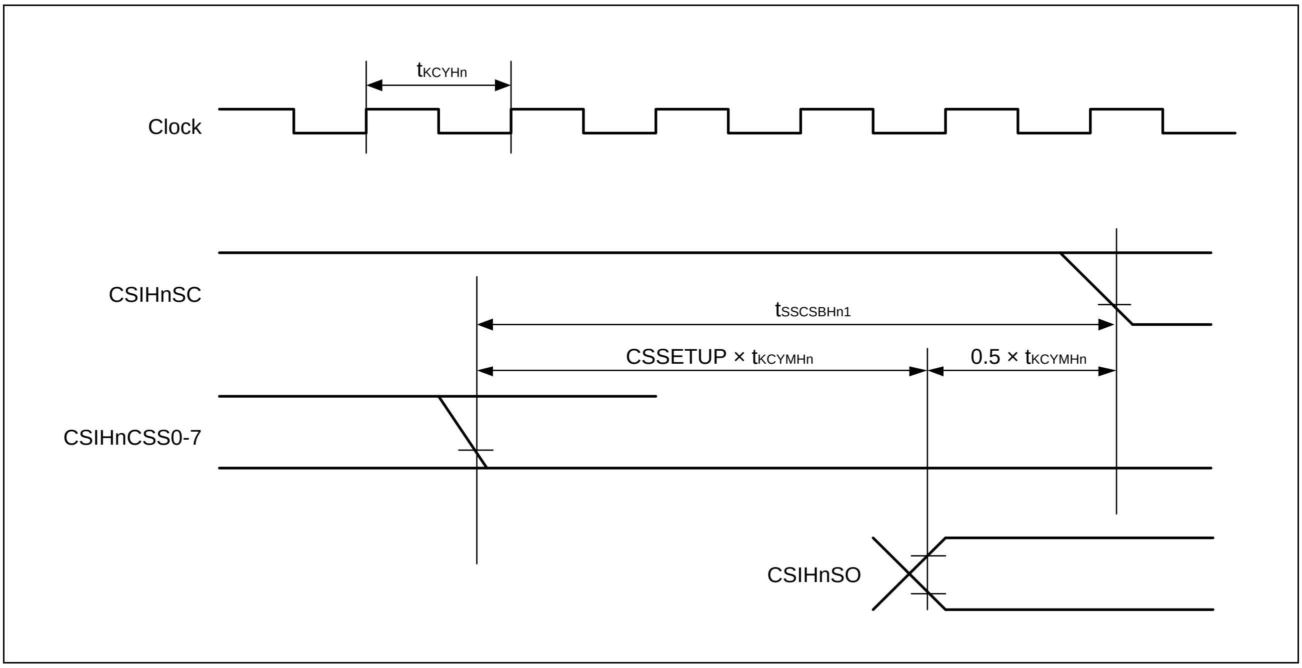
(3) CSSx

マスタモードのみ（セットアップ時間）

- CSIHnCFGx：CSIHnCKPx＝0, CSIHnCFGx：CSIHnDAPx＝0

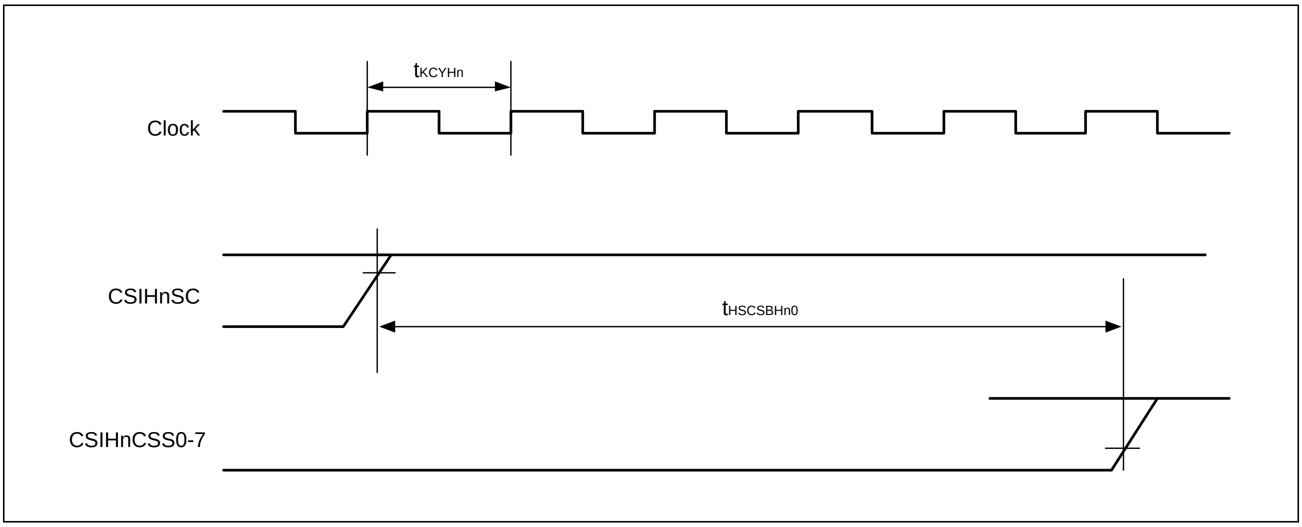


- CSIHnCFGx：CSIHnCKPx＝0, CSIHnCFGx：CSIHnDAPx＝1

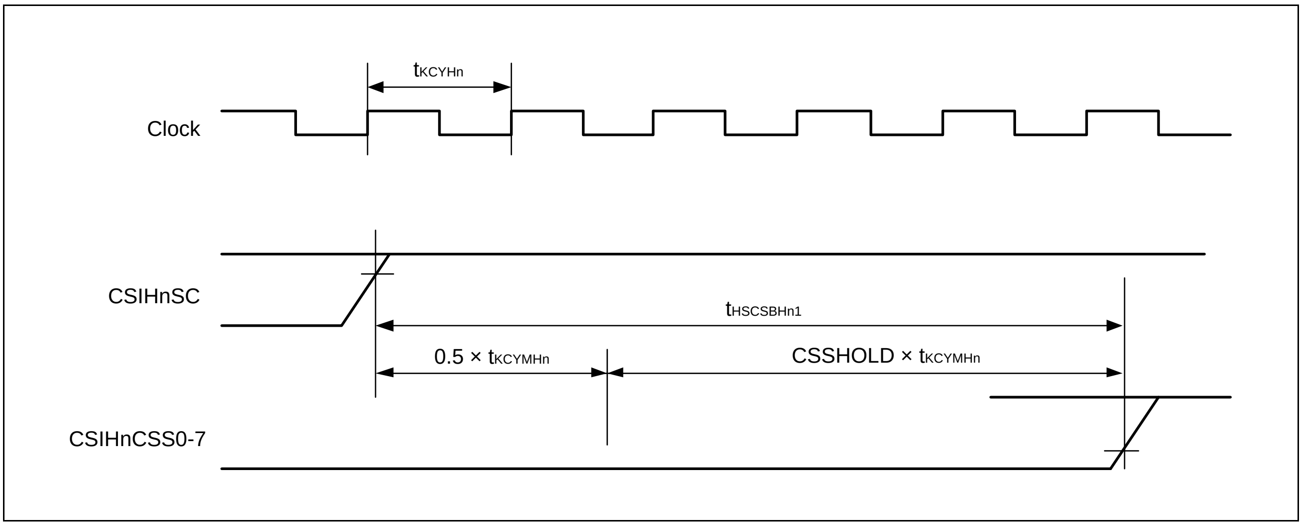


マスタモードのみ（ホールド時間）

- CSIHnCTL1：CSIHnSIT＝0, CSIHnCFGx：CSIHnCKPx＝0, CSIHnCFGx：CSIHnDAPx＝0



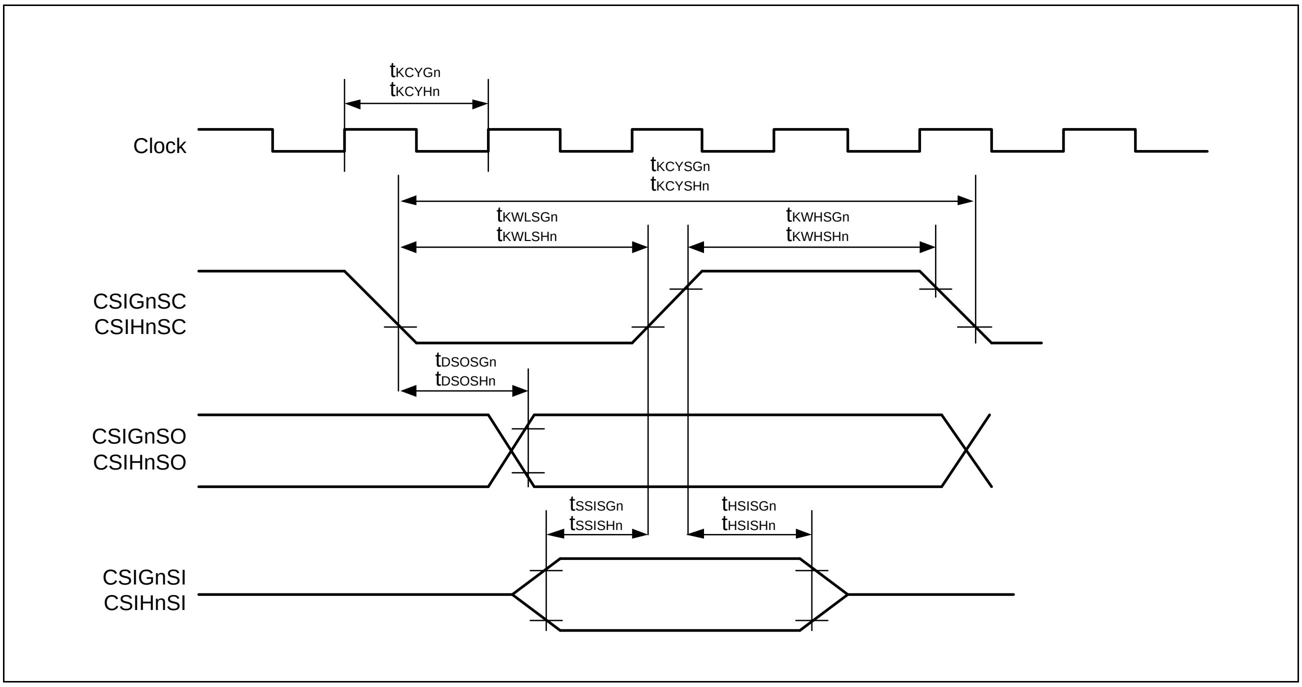
- CSIHnCTL1：CSIHnSIT＝1, CSIHnCFGx：CSIHnCKPx＝0, CSIHnCFGx：CSIHnDAPx＝0



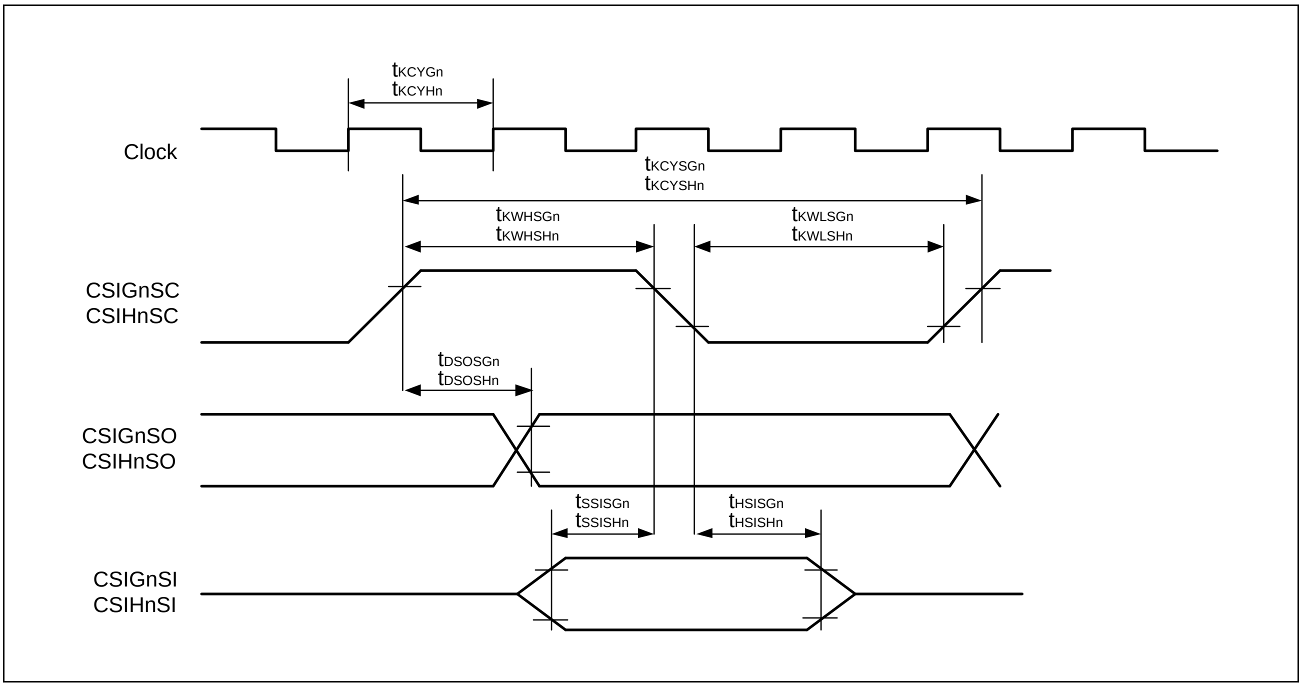
(4) SC/SI/SO

スレーブモード

- CSIG（CSIGnCTL1：CSIGnCKR/CSIGnCFG0：CSIGnDAP0＝0/0 または 1/1）
- CSIH（CSIHnCFGx：CSIHnCKPx/CSIHnCFGx：CSIHnDAPx＝0/0 または 1/1）

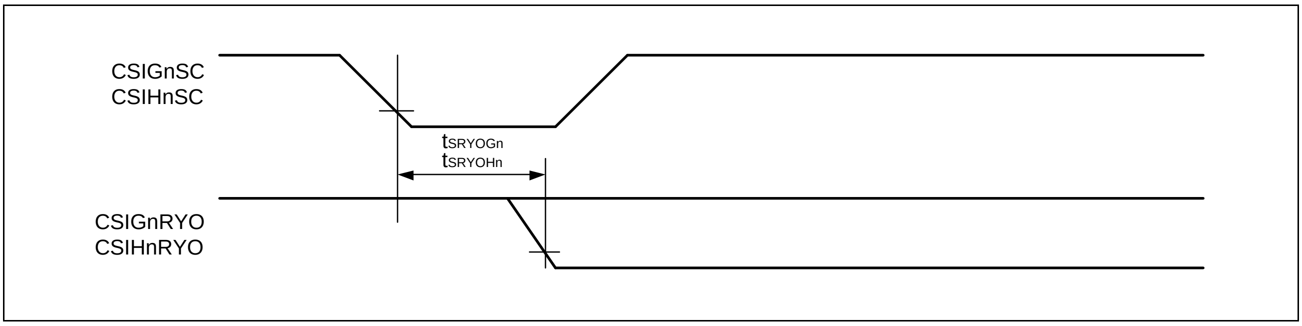


- CSIG（CSIGnCTL1：CSIGnCKR/CSIGnCFG0：CSIGnDAP0＝1/0 または 0/1）
- CSIH（CSIHnCFGx：CSIHnCKPx/CSIHnCFGx：CSIHnDAPx＝1/0 または 0/1）

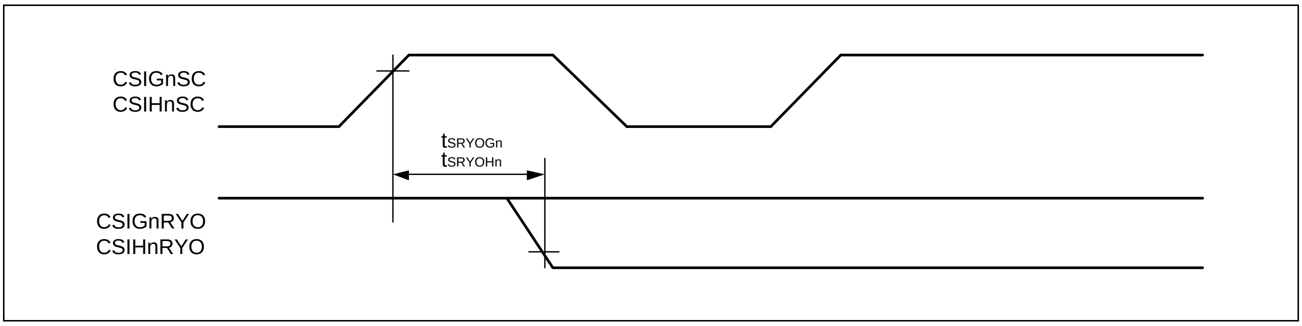


(5) RYO

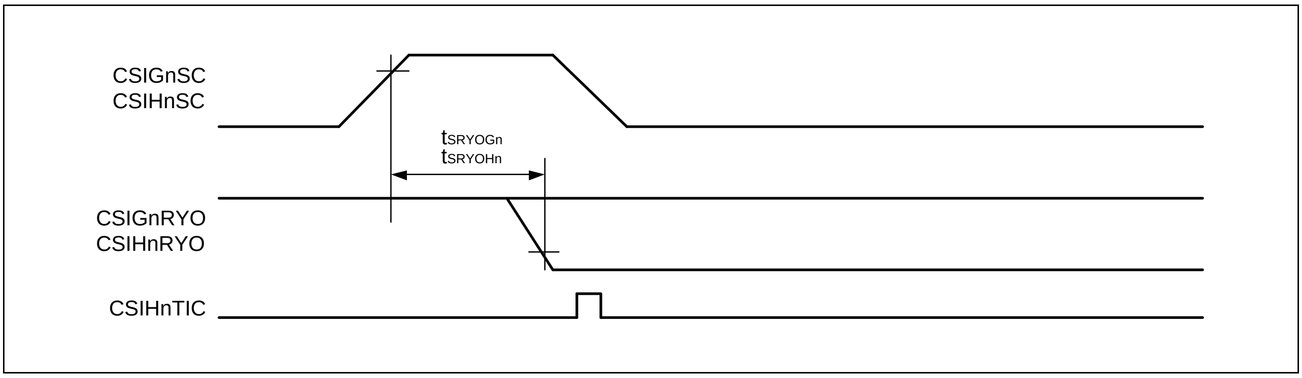
- CSIG（CSIGnCTL1：CSIGnCKR/CSIGnCFG0：CSIGnDAP0＝0/0）
- CSIH（CSIHnCFGx：CSIHnCKPx/CSIHnCFGx：CSIHnDAPx＝0/0）



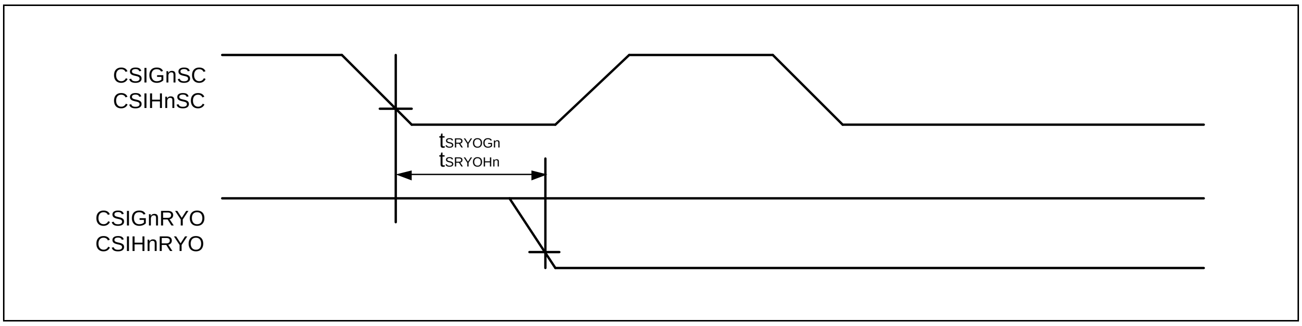
- CSIG（CSIGnCTL1：CSIGnCKR/CSIGnCFG0：CSIGnDAP0＝0/1）
- CSIH（CSIHnCFGx：CSIHnCKPx/CSIHnCFGx：CSIHnDAPx＝0/1）



- CSIG（CSIGnCTL1：CSIGnCKR/CSIGnCFG0：CSIGnDAP0＝1/0）
- CSIH（CSIHnCFGx：CSIHnCKPx/CSIHnCFGx：CSIHnDAPx＝1/0）



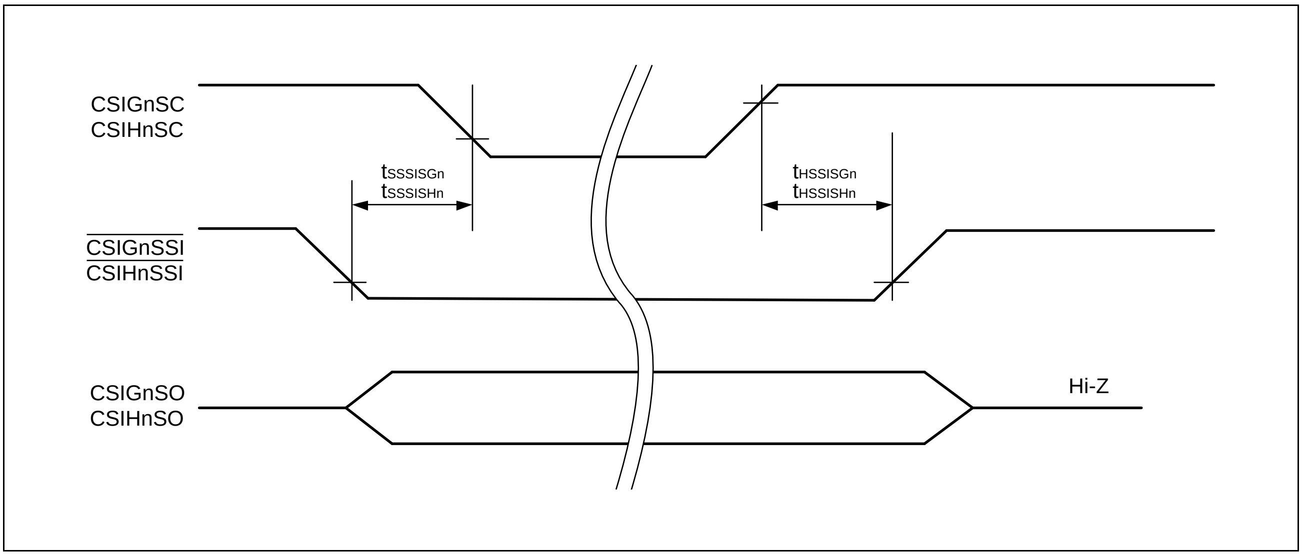
- CSIG（CSIGnCTL1：CSIGnCKR/CSIGnCFG0：CSIGnDAP0＝1/1）
- CSIH（CSIHnCFGx：CSIHnCKPx/CSIHnCFGx：CSIHnDAPx＝1/1）



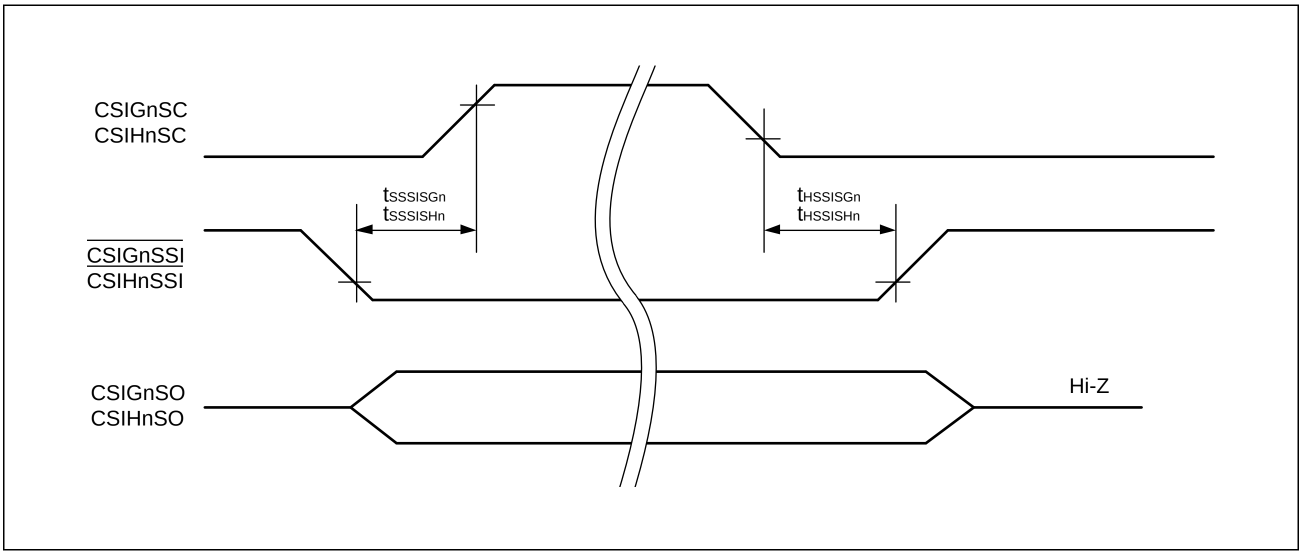
(6) SSI

スレーブモード

- CSIG（CSIGnCTL1：CSIGnSSE＝1, CSIGnCTL1：CSIGnCKR/CSIGnCFG0：CSIGnDAP0＝0/0 または 1/1）
- CSIH（CSIHnCTL1：CSIHnSSE＝1, CSIHnCFGx：CSIHnCKPx/CSIHnCFGx：CSIHnDAPx＝0/0 または 1/1）



- CSIG（CSIGnCTL1：CSIGnSSE＝1, CSIGnCTL1：CSIGnCKR/CSIGnCFG0：CSIGnDAP0＝1/0 または 0/1）
- CSIH（CSIHnCTL1：CSIHnSSE＝1, CSIHnCFGx：CSIHnCKPx/CSIHnCFGx：CSIHnDAPx＝1/0 または 0/1）



47C.5.11 RLIN2/RLIN3 タイミング

条件 : REGVCC＝EVCC＝3.0V～5.5V, A0VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝A0VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%,
Tj＝－40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
RLIN3 転送速度		LIN 仕様	1		20	kbps
		LIN 拡張ボーレート	1		115.2 注1	kbps
		UART 機能			1.5	Mbps
RLIN2 転送速度		LIN 仕様	1		20	kbps

注1. LIN 拡張ボーレートは、LIN 標準仕様の一部ではありません。

47C.5.12 RIIC タイミング

条件 : REGVCC＝EVCC＝3.0V～5.5V, A0VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝A0VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%,
Tj＝－40～（製品依存）°C

表 47C.17 RIIC タイミング（ノーマルモード）

項目	略号	条件	MIN.	TYP.	MAX.	単位
RIICnSCL クロック期間	f_{CLK}				100	kHz
バスフリー時間（ストップ／スタート条件間）	t_{BUF}		4.7			μs
ホールド時間注1	t_{HD}：STA		4.0			μs
RIICnSCL クロックロウレベル幅	t_{LOW}		4.7			μs
RIICnSCL クロックハイレベル幅	t_{HIGH}		4.0			μs
スタート／再スタート条件のためのセットアップ時間	t_{SU}：STA		4.7			μs
データホールド時間	t_{HD}：DAT	CBUS 互換マスタ	5.0			μs
		I^2C モード	0 注2			μs
データセットアップ時間	t_{SU}：DAT		250			ns
ストップ条件セットアップ時間	t_{SU}：STO		4.0			μs
各バスラインのキャパシタンス負荷	Cb				400	pF

備考
- n＝0, 1
- 本システムが、RIICnSCL のロウ幅時間（t_{Low}）を満たせない場合でも、データホールド時間（t_{HD}：DAT）のスペックを満たす必要があります。

注1. スタート条件では、最初のクロックパルスはホールド時間の後に生成されます。

注2. RIICnSDA 信号用に（RIICnSCL 信号の最小 VIH の場合）、システム内部で、最小 300ns ホールド時間が必要となります。RIICnSCL の立ち下がりエッジ時に、不確定な状態を回避するためです。

表 47C.18　RIIC タイミング（高速モード）

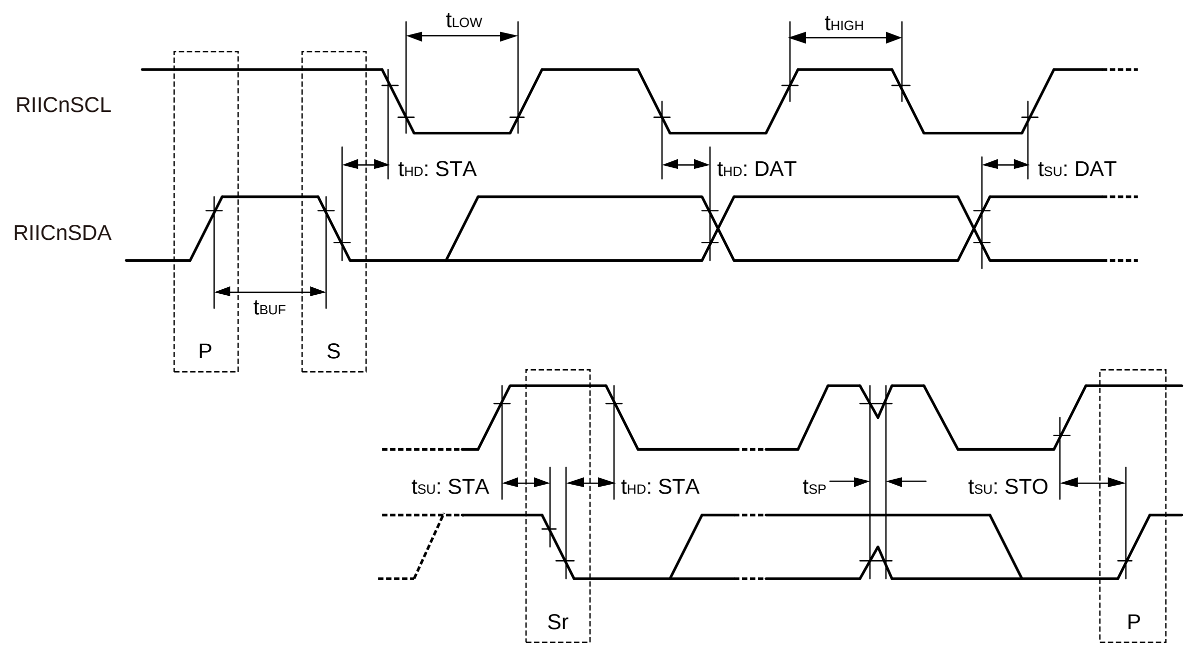
項目	略号	条件	MIN.	TYP.	MAX.	単位
RIICnSCL クロック期間	f_{CLK}				400	kHz
バスフリー時間（ストップ／スタート条件間）	t_{BUF}		1.3			μs
ホールド時間注 1	t_{HD}：STA		0.6			μs
RIICnSCL クロックロウレベル幅	t_{LOW}		1.3			μs
RIICnSCL クロックハイレベル幅	t_{HIGH}		0.6			μs
スタート／再スタート条件のためのセットアップ時間	t_{SU}：STA		0.6			μs
データホールド時間	t_{HD}：DAT	I^2C モード	0 注 2			μs
データセットアップ時間	t_{SU}：DAT		100 注 3			ns
ストップ条件セットアップ時間	t_{SU}：STO		0.6			μs
入力フィルタによって抑えられたスパイク付きパルス幅	t_{SP}		0		50	ns
各バスラインのキャパシタンス負荷	Cb				400	pF

備考　● n＝0, 1
● 本システムが、RIICnSCL のロウ幅時間（t_{LOW}）を満たせない場合でも、データホールド時間（t_{HD}：DAT）のスペックを満たす必要があります。

注1.　スタート条件では、最初のクロックパルスはホールド時間の後に生成されます。

注2.　RIICnSDA 信号用に（RIICnSCL 信号の最小 VIH の場合）、システム内部で、最小 300ns ホールド時間が必要となります。RIICnSCL の立ち下がりエッジ時に、不確定な状態を回避するためです。

注3.　高速モード I^2C バスは、通常モード I^2C バスシステムで使用することができます。この場合、高速モード I^2C バスを、以下の条件を満たすように設定してください。
- システムが、RIICnSCL 信号のロウホールド時間を拡張しない場合：t_{SU}：DAT≧250ns
- システムが、RIICnSCL 信号のロウホールド時間を拡張する場合：
RIICnSCL ラインを解除する前に、RIICnSDA ラインに以下のデータビットを送信してください（1250ns：通常モード I^2C バス仕様）。



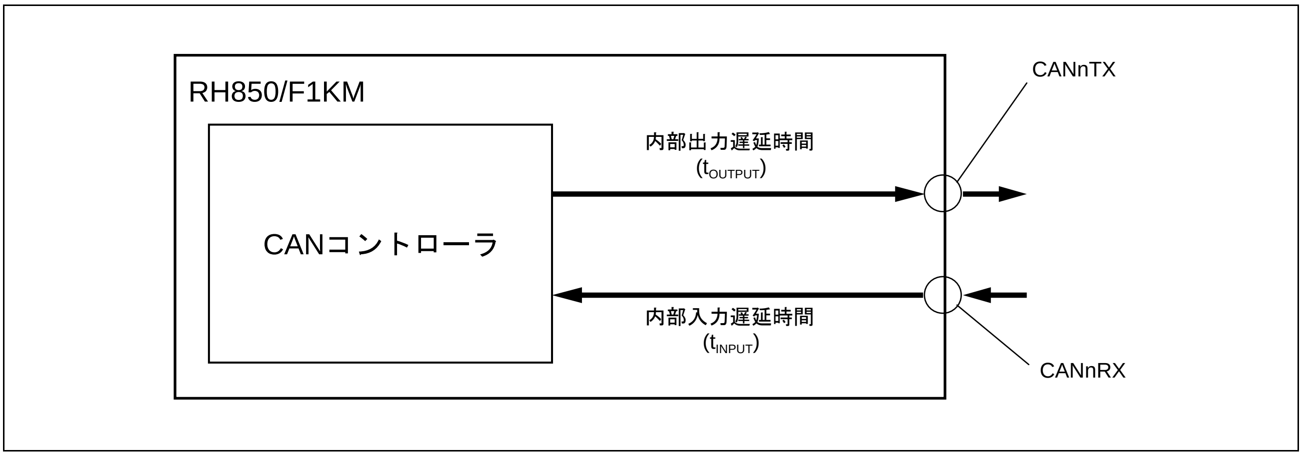
備考　P：ストップ条件／S：スタート条件／Sr：再スタート条件

47C.5.13 RS-CANFD タイミング

条件　: REGVCC＝EVCC＝3.0V～5.5V, A0VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝A0VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%,
Tj＝－40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送速度		クラシカル CAN モード			1	Mbps
データビットレート（CAN FD モード）		通常ビットレート≦500kbps			5	Mbps
		通常ビットレート＞500kbps			2	Mbps
内部遅延時間注1	t_{NODE}				50	ns

注1.　t_{NODE}＝内部入力遅延時間（t_{INPUT}）＋内部出力遅延時間（t_{OUTPUT}）



47C.5.14　予約

47C.5.15　予約

47C.5.16　RSENT タイミング

条件　: REGVCC＝EVCC＝3.0V～5.5V, A0VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝A0VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%,
Tj＝－40～（製品依存）°C, CL＝30pF

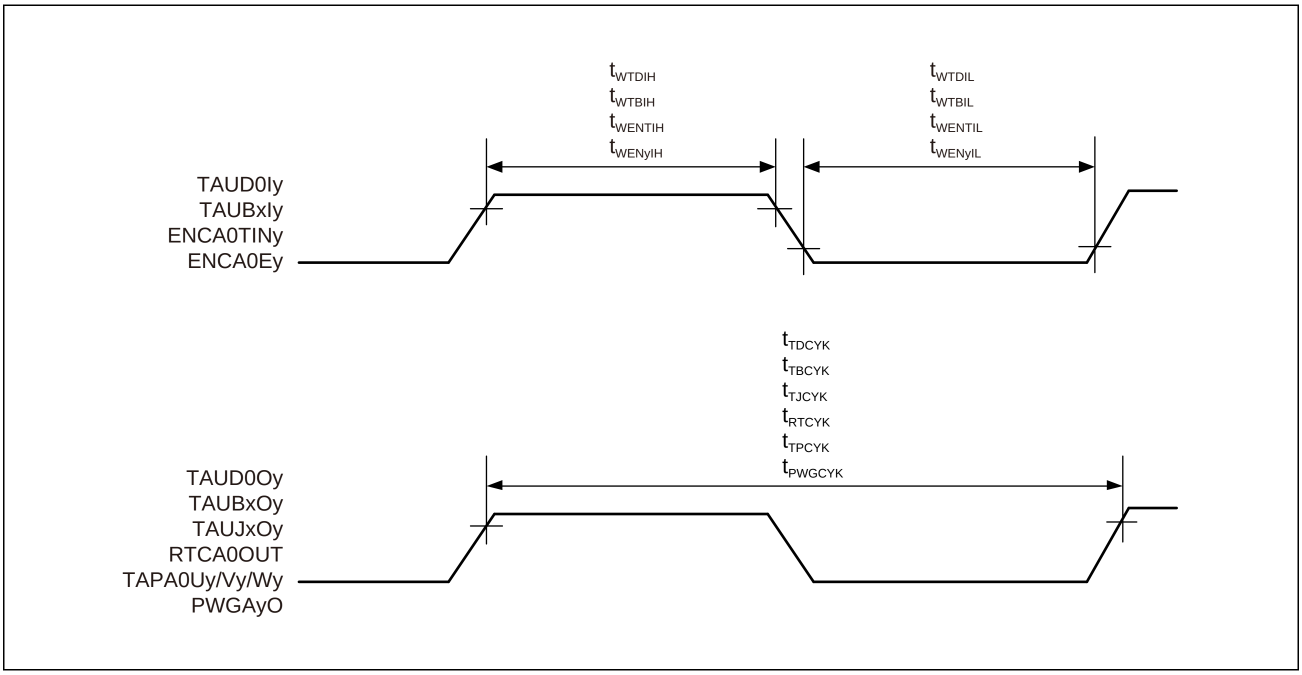
項目	略号	条件	MIN.	TYP.	MAX.	単位
チックタイム			1		90	μs

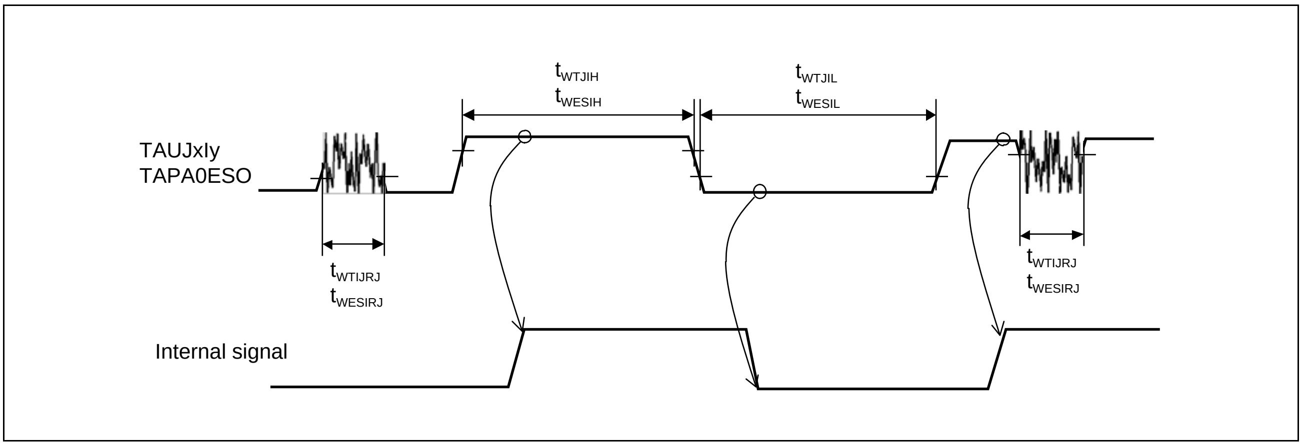
47C.5.17　タイマタイミング

条件　: REGVCC＝EVCC＝3.0V～5.5V, A0VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝A0VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%,
Tj＝－40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
TAUD0Iy 入力ハイ／ロウレベル幅（y＝0～15）	t_{WTDIH}/ t_{WTDIL}		n × Tsamp + 20 注 1、注 2			ns
TAUD0Oy 出力サイクル（y＝0～15）	t_{TDCYK}	低速モード			10	MHz
TAUBxIy 入力ハイ／ロウレベル幅（x＝0, y＝0～15）	t_{WTBIH}/ t_{WTBIL}		n × Tsamp + 20 注 1、注 2			ns
TAUBxOy 出力サイクル（x＝0, y＝0～15）	t_{TBCYK}	低速モード			10	MHz
TAUJxIy 入力ハイ／ロウレベル幅注 3（x＝0～3, y＝0～3）	t_{WTJIH}/ t_{WTJIL}		600			ns
TAUJxIy パルス除去注 4	t_{WTIJRJ}		100			ns
TAUJxOy 出力サイクル（x＝0～3, y＝0～3）	t_{TJCYK}	低速モード			10	MHz
RTCA0OUT 出力サイクル	t_{RTCYK}			1		Hz
TAPA0ESO 入力ハイ／ロウレベル幅注 3	t_{WESIH}/ t_{WESIL}		600			ns
TAPA0ESO パルス除去注 4	t_{WESIRJ}		100			ns
TAPA0Uy/Vy/Wy 出力サイクル（y＝P, N）	t_{TPCYK}	低速モード			10	MHz
ENCA0TINy 入力ハイ／ロウレベル幅（y＝0, 1）	t_{WENTIH}/ t_{WENTIL}		n × Tsamp + 20 注 1			ns
ENCA0Ey 入力ハイ／ロウレベル幅（y＝0, 1, C）	t_{WENyIH}/ t_{WENyIL}		n × Tsamp + 20 注 1			ns
PWGAyO 出力サイクル（y＝0～47）	t_{PWGCYK}	低速モード			10	MHz

注1.　n：各入力用のデジタルノイズフィルタのサンプリング数
　　　Tsamp：各入力用のデジタルノイズフィルタのサンプリング時間
注2.　各タイマカウンタチャネルの 1 カウントクロック幅より長い時間を入力してください。
注3.　TAUJxIy と TAPA0ESO の入力幅は、内部タイマ入力信号がアクティブであることを保証するために必要です。
注4.　最小値より短いパルスは無視されます。これは参考値です。ノイズは下記図のようにフィルターされます。


tWTDIH
tWTBIH
tWENTIH
tWENyIH
tWTDIL
tWTBIL
tWENTIL
tWENyIL
TAUD0Iy
TAUBxIy
ENCA0TINy
ENCA0Ey
tTDCYK
tTBCYK
tTJCYK
tRTCYK
tTPCYK
tPWGCYK
TAUD0Oy
TAUBxOy
TAUJxOy
RTCA0OUT
TAPA0Uy/Vy/Wy
PWGAyO

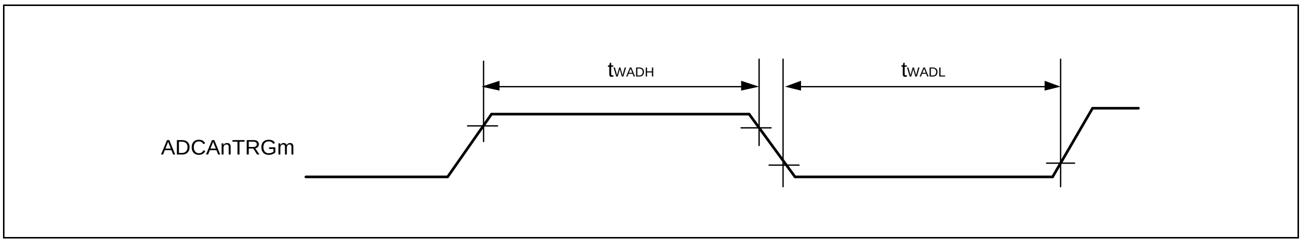

tWTJIH
tWESIH
tWTJIL
tWESIL
TAUJxIy
TAPA0ESO
tWTIJRJ
tWESIRJ
tWTIJRJ
tWESIRJ
Internal signal

47C.5.18　ADTRG タイミング

条件　:　REGVCC＝EVCC＝3.0V～5.5V, A0VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝A0VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%,
Tj＝－40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
ADCAnTRGm 入力ハイ／ロウレベル幅	t_{WADH}/t_{WADL}		k × Tsamp + 20 [注1]			ns

注1.　k：各入力用のデジタルノイズフィルタのサンプリング数
　　　Tsamp：各入力用のデジタルノイズフィルタのサンプリング時間



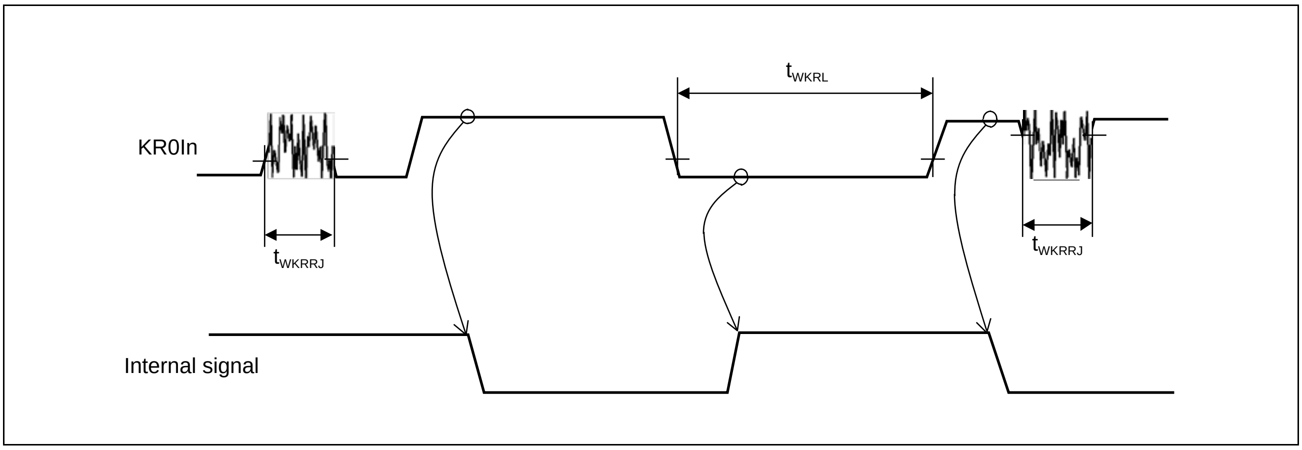
47C.5.19　キーリターンタイミング

条件　:　REGVCC＝EVCC＝3.0V～5.5V, A0VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝A0VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%,
Tj＝－40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
KR0In 入力ロウレベル幅[注1]	t_{WKRL}		600			ns
KR0In パルス除去[注2]	t_{WKRRJ}		100			ns

注1.　KR0In 入力幅は、内部キー入力信号がアクティブであることを保証するために必要です。

注2.　最小値より短いパルスは無視されます。これは参考値です。ノイズは下記図のようにフィルターされます。



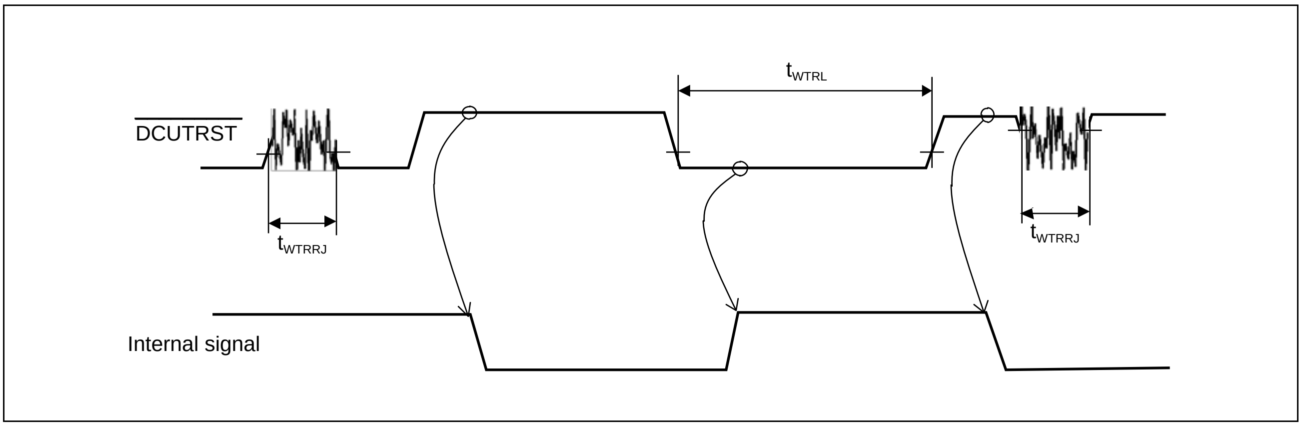
47C.5.20 $\overline{\text{DCUTRST}}$ タイミング

条件　: REGVCC＝EVCC＝3.0V～5.5V, A0VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝A0VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%,
Tj＝－40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{DCUTRST}}$ 入力ロウレベル幅注 1	t_{WTRL}		600			ns
$\overline{\text{DCUTRST}}$ パルス除去注 2	t_{WTRRJ}		100			ns

注1.　$\overline{\text{DCUTRST}}$ 入力幅は、内部 DCU リセット入力信号がアクティブであることを保証するために必要です。

注2.　最小値より短いパルスは無視されます。これは参考値です。ノイズは下記図のようにフィルターされます。



47C.5.21　デバッグインタフェース特性

47C.5.21.1　Nexus インタフェースタイミング

条件　：REGVCC＝EVCC＝3.0V～5.5V, A0VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝A0VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%,
Tj＝－40～（製品依存）°C, CL＝30pF

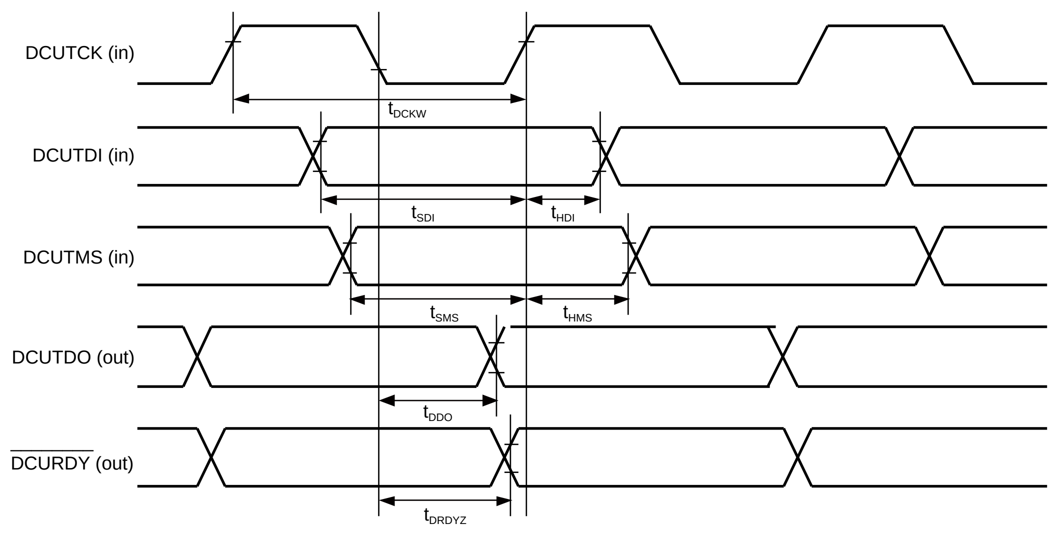
＜入力バッファ＞

DCUTDI, DCUTCK, DCUTMS, $\overline{\text{DCUTRST}}$ ：TTL

＜出力ドライバ強度＞

DCUTDO, $\overline{\text{DCURDY}}$ ：高速モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
DCUTCK サイクル幅	t_{DCKW}		50			ns
DCUTDI セットアップ時間（対 DCUTCK↑）	t_{SDI}		12			ns
DCUTDI ホールド時間（対 DCUTCK↑）	t_{HDI}		3			ns
DCUTMS セットアップ時間（対 DCUTCK↑）	t_{SMS}		12			ns
DCUTMS ホールド時間（対 DCUTCK↑）	t_{HMS}		3			ns
DCUTDO 遅延時間（↓DCUTCK）	t_{DDO}		0		20	ns
$\overline{\text{DCURDY}}$ 遅延時間（↓DCUTCK）	t_{RDYZ}		0		20	ns



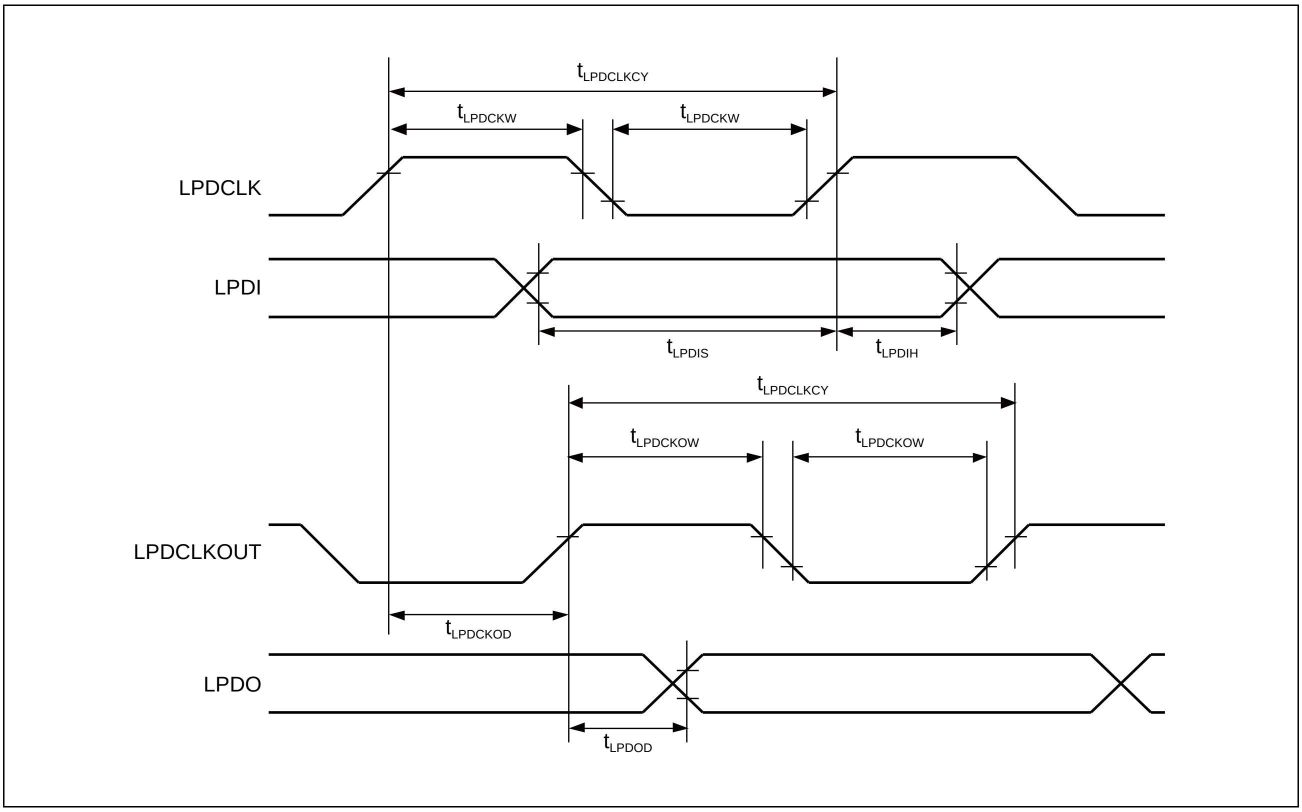
47C.5.21.2　LPD（4 Pin）インタフェースタイミング

条件　：REGVCC＝EVCC＝3.0V～5.5V, A0VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝A0VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%,
Tj＝－40～（製品依存）°C, CL＝100pF

＜入力バッファ＞
LPDCLK, LPDI：TTL

＜出力ドライバ強度＞
LPDCLKOUT, LPDO：高速モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
LPDCLK サイクル時間／ LPDCLKOUT サイクル時間	$t_{LPDCLKCY}$		83.3 (max.12MHz)			ns
LPDCLK ハイレベル幅／ LPDCLK ロウレベル幅	t_{LPDCKW}		0.5 × $t_{LPDCLKCY}$ – 10			ns
LPDCLKOUT ハイレベル幅／ LPDCLKOUT ロウレベル幅	$t_{LPDCKOW}$		t_{LPDCKW} – 10			ns
LPDI セットアップ時間（LPDCLK ↑）	t_{LPDIS}		41			ns
LPDI ホールド時間（LPDCLK ↑）	t_{LPDIH}		3			ns
LPDCLK～LPDCLKOUT 遅延時間	$t_{LPDCKOD}$				44	ns
LPDO 遅延時間（LPDCLKOUT ↑）	t_{LPDOD}		0		15	ns



47C.5.21.3　LPD（1 Pin）インタフェースタイミング

条件　：REGVCC＝EVCC＝3.0V～5.5V, A0VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝A0VSS＝0V,
CAWOVCL：0.1µF±30%, CISOVCL：0.1µF±30%,
Tj＝－40～（製品依存）°C, CL＝50pF

＜入力バッファ＞
LPDIO：TTL

＜出力ドライバ強度＞
LPDIO：高速モード

＜外部プルアップ抵抗＞
LPDIO：1kΩ～10kΩ

項目	略号	条件	MIN.	TYP.	MAX.	単位
LPD（1 Pin）ボーレート					2.0	Mbps

47C.6 A/D 変換特性

条件 : REGVCC＝EVCC＝3.0V～5.5V, A0VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝A0VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%,
Tj＝－40～（製品依存）°C, CL＝30pF

(1/2)

項目	略号	条件			MIN.	TYP.	MAX.	単位
変換クロック	ADCLKn				8 [注3]		40	MHz
分解能	RESn	12 ビットモード			12	12	12	bit
		10 ビットモード			10	10	10	bit
変換時間	t_{CONn}	ADCAnSMPCR.SMPT[7:0]＝12 H（40 cycle） （8MHz [注3]≦ADCLKn≦32MHz），外部 MPX は使用しません。			1.25		5	μs
		ADCAnSMPCR.SMPT[7:0]＝18 H（46 cycle） （8MHz [注3]≦ADCLKn≦40MHz），外部 MPX は使用しません。			1.15		5.75	μs
		ADCAnSMPCR.SMPT[7:0]＝12 H（80 cycle） （8MHz [注3]≦ADCLKn≦32MHz），外部 MPX を使用します。			2.5 [注4]		10	μs
		ADCAnSMPCR.SMPT[7:0]＝18 H（92 cycle） （8MHz [注3]≦ADCLKn≦40MHz），外部 MPX を使用します。			2.3 [注4]		11.5	μs
サンプリング時間	t_{SMP}	ADCAnSMPCR.SMPT[7:0]＝12 H（18 cycle） （8MHz [注3]≦ADCLKn≦32MHz）			0.56		2.25	μs
		ADCAnSMPCR.SMPT[7:0]＝18 H（24cycle） （8MHz [注3]≦ADCLKn≦40MHz）			0.6		3	μs
総合誤差[注1]	TOEn	12 ビットモード	AnVREF＝ 4.5V～5.5V	ADCAnIm（T&H 未使用）			±4.0	LSB
				ADCA0I0-5（T&H 使用）			±6.0	LSB
			AnVREF＝ 3.0V～4.5V	ADCAnIm（T&H 未使用）			±6.0	LSB
				ADCA0I0-5（T&H 使用）			±8.0	LSB
		10 ビットモード	AnVREF＝ 4.5V～5.5V	ADCAnIm			±1.0	LSB
				ADCAnImS			±2.0	LSB
			AnVREF＝ 3.0V～4.5V	ADCAnIm			±1.5	LSB
				ADCAnImS			±2.5	LSB
アナログ入力電圧	VAIN0SN	ADCAnIm	T&H 未使用時		AnVSS		AnVREF	V
		ADCA0I0-5	T&H 使用時		0.2		A0VREF－0.2	V
		ADCA0ImS	A0VREF≧EVCC		A0VSS		EVCC	V
			A0VREF＜EVCC		A0VSS		A0VREF	V
動作電流	IA0VREF	T&H 未使用時				1.1	3.0	mA
		T&H 使用時（最大 6 pin）					[注2]	mA
STOP, DeepSTOP, Cyclic STOP 電流 （@LPS では停止）	IA0VREFS					1	10	μA
T&H 電流	ITH					0.5	1.3	mA/ch
チャネル T&H サンプリング時間	t_{THSMP}				450			ns
T&H ホールド時間	t_{THHOLD}						10	μs
自己診断電圧回路のセットアップ時間	t_{BOOT}				500			ns
自己診断電圧レベルのセットアップ時間	t_{OUT}				500			ns
オープン端子の診断用プルダウン抵抗		ADCnIm 端子	VI＝AnVREF		350	500	650	kΩ
		ADCnImS 端子	A0VREF≧EVCC：VI＝EVCC A0VREF＜EVCC：VI＝A0VREF		100	215	800	kΩ

(2/2)

項目	略号	条件			MIN.	TYP.	MAX.	単位
自己診断機能の精度（オープン端子の診断を除く）	TESH0SN	12 ビットモード	自己診断電圧レベル＝AnVREF		4015-|TOEn|		4095	—
			自己診断電圧レベル＝2/3AnVREF		2651-|TOEn|	2731	2811+|TOEn|	—
			自己診断電圧レベル＝1/2AnVREF		1968-|TOEn|	2048	2128+|TOEn|	—
			自己診断電圧レベル＝1/3AnVREF		1285-|TOEn|	1365	1445+|TOEn|	—
			自己診断電圧レベル＝AnVSS		0		80+|TOEn|	—
		10 ビットモード	自己診断電圧レベル＝AnVREF		1003-|TOEn|		1023	—
			自己診断電圧レベル＝2/3AnVREF		663-|TOEn|	683	703+|TOEn|	—
			自己診断電圧レベル＝1/2AnVREF		492-|TOEn|	512	532+|TOEn|	—
			自己診断電圧レベル＝1/3AnVREF		321-|TOEn|	341	361+|TOEn|	—
			自己診断電圧レベル＝AnVSS		0		20+|TOEn|	—
積分非直線性誤差[注1]	ILEn	12 ビットモード	AnVREF＝4.5V～5.5V	ADCAnIm（T&H 未使用）			±2.0	LSB
				ADCA0I0-5（T&H 使用）			±3.0	LSB
			AnVREF＝3.0V～4.5V	ADCAnIm（T&H 未使用）			±3.0	LSB
				ADCA0I0-5（T&H 使用）			±4.0	LSB
		10 ビットモード	AnVREF＝4.5V～5.5V	ADCAnIm			±1.0	LSB
				ADCAnImS			±2.0	LSB
			AnVREF＝3.0V～4.5V	ADCAnIm			±1.5	LSB
				ADCAnImS			±2.5	LSB
微分非直線性誤差[注1]	DLEn	12 ビットモード	AnVREF＝4.5V～5.5V	ADCAnIm（T&H 未使用）			±1.0	LSB
				ADCA0I0-5（T&H 使用）			±2.0	LSB
			AnVREF＝3.0V～4.5V	ADCAnIm（T&H 未使用）			±3.0	LSB
				ADCA0I0-5（T&H 使用）			±4.0	LSB
		10 ビットモード	AnVREF＝4.5V～5.5V	ADCAnIm			±1.0	LSB
				ADCAnImS			±1.5	LSB
			AnVREF＝3.0V～4.5V	ADCAnIm			±1.0	LSB
				ADCAnImS			±2.0	LSB
ゼロスケール誤差（オフセット誤差）[注1]	ZSEn	12 ビットモード	AnVREF＝4.5V～5.5V	ADCAnIm（T&H 未使用）			±3.5	LSB
				ADCA0I0-5（T&H 使用）			±5.5	LSB
			AnVREF＝3.0V～4.5V	ADCAnIm（T&H 未使用）			±5.5	LSB
				ADCA0I0-5（T&H 使用）			±7.5	LSB
		10 ビットモード	AnVREF＝4.5V～5.5V	ADCAnIm			±0.5	LSB
				ADCAnImS			±1.5	LSB
			AnVREF＝3.0V～4.5V	ADCAnIm			±1.0	LSB
				ADCAnImS			±2.0	LSB
フルスケール誤差[注1]	FSEn	12 ビットモード	AnVREF＝4.5V～5.5V	ADCAnIm（T&H 未使用）			±3.5	LSB
				ADCA0I0-5（T&H 使用）			±5.5	LSB
			AnVREF＝3.0V～4.5V	ADCAnIm（T&H 未使用）			±5.5	LSB
				ADCA0I0-5（T&H 使用）			±7.5	LSB
		10 ビットモード	AnVREF＝4.5V～5.5V	ADCAnIm			±0.5	LSB
				ADCAnImS			±1.5	LSB
			AnVREF＝3.0V～4.5V	ADCAnIm			±1.0	LSB
				ADCAnImS			±2.0	LSB

備考　ADCA0ImS 端子を 12 ビットモード変換するときの変換精度：下位 2 ビットを変換結果から無視することにより、変換精度を確保できます。

注1.　量子化誤差は含みません。

注2.　3.0＋1.3×（使用した T&H の数）

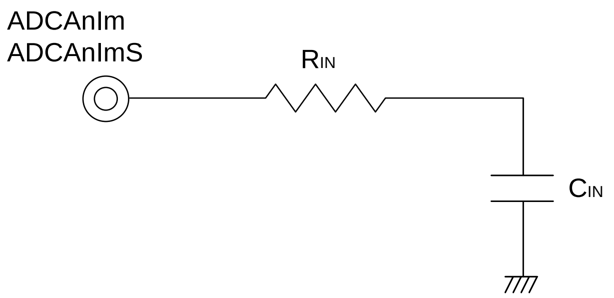
注3.　HS IntOSC の発振精度を含みます。

注4.　外部マルチプレクサを使用する場合、A/D 変換の詳細時間は、MPX セットアップ時間、サンプリング時間、逐次比較時間になります。MPX セットアップ時間は、“サンプリング時間＋逐次比較時間”と同じになります。

注　意

A/D 変換中に AP0, P8, P9 にデジタルパルスを印加するとカップリングノイズによって A/D 変換値が期待通りに得られない場合があります。
デジタルバッファの出力端子としての動作も同様です。出力電圧の総和が増加すると精度劣化のポテンシャルが増加します。また、隣接端子の出力電流が変動した場合、アナログ入力端子の外部回路とのカップリングにより変換精度が劣化する場合があります。

47C.6.1　アナログ入力部の等価回路



端子	条件	RIN (kΩ)	CIN (pF)
ADCA0I0-5	T&H 使用時	14.2	2.1
	T&H 未使用時	4.2	2.1
ADCA0I6-15	—	4.2	2.1
ADCA0I0S-3S, 5S-16S	—	5.6	9.5
ADCA0I4S, 17S-19S	—	6.2	9.5

注　意

本仕様は、出荷検査時にはテストされません。そのため、R_{IN} と C_{IN} は参考値であり、保証されていません。また、これらの値は最大値を示しています。

47C.7　フラッシュプログラミング特性

47C.7.1　コードフラッシュ

コードフラッシュメモリは消去状態で出荷されます。消去の後、何も書き込んでいない状態（書き込みなし状態）で、コードフラッシュメモリが読み出されると、ECC エラーが発生し、例外を引き起こします。

条件　: REGVCC＝EVCC＝VPOC～5.5V, A0VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝A0VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%,
Tj＝－40～（製品依存）°C, CL＝30pF

表 47C.19　基本特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	f_{PCLK} 注3		4 注4		30	MHz
書き換え回数注1	CWRT	データ保持 20 年注2	1000			times

注1.　書き換え回数は、各ブロックの消去回数になります。書き換え回数が“n”（n＝1000）の場合、デバイスは、各ブロックを“n”回、消去することができます。例えば、256 バイトの書き込みを異なるアドレスに対して 128 回行った後に、32K バイトのブロックが消去された場合、書き換え回数は“1”になります。しかし、同じアドレスに対して複数回の書き込みは、1 回の消去では対応出来ません（上書き禁止）。

注2.　平均 Ta＝85°C での保持期間。コードフラッシュメモリの消去が正常に完了した時点からの保持期間です。

注3.　f_{PCLK}＝1/4 f_{CPUCLK_M}：内蔵フラッシュのシステム動作周波数

注4.　書き込み／消去動作のみ

表 47C.20　プログラミング特性

項目	略号	条件	ブロックサイズ	MIN.	TYP.	MAX.	単位
書き込み時間		f_{PCLK}≧20MHz CWRT＜100 回	256B		0.4 注1	6 注1	ms
			8KB		20	90	ms
			32KB		80	360	ms
			256KB		0.6	2.7	s
			384KB		0.9	4.1	s
			512KB		1.2	5.4	s
			768KB		1.7	8.1	s
			1MB		2.3	10.8	s
		f_{PCLK}≧20MHz CWRT≧100 回	256B		0.5 注1	7.2 注1	ms
			8KB		24	108	ms
			32KB		96	432	ms
			256KB		0.7	3.3	s
			384KB		1.1	4.9	s
			512KB		1.4	6.5	s
			768KB		2.1	9.8	s
			1MB		2.7	13	s
消去時間		f_{PCLK}≧20MHz CWRT＜100 回	8KB		39	120	ms
			32KB		141	480	ms
			256KB		1.2	3.5	s
			384KB		1.7	5.3	s
			512KB		2.3	7	s
			768KB		3.4	10.5	s
			1MB		4.5	14	s
		f_{PCLK}≧20MHz CWRT≧100 回	8KB		47	144	ms
			32KB		169	576	ms
			256KB		1.4	4.2	s
			384KB		2.1	6.3	s
			512KB		2.7	8.4	s
			768KB		4.1	12.6	s
			1MB		5.4	16.8	s

注1.　ハードウェアの処理時間のみ。ソフトウェアのオーバヘッドは考慮されていません。

47C.7.2　データフラッシュ

データフラッシュメモリは消去状態で出荷されます。消去の後、何も書き込んでいない状態（書き込みなし状態）で、データフラッシュメモリが読み出されると、ECC エラーが発生し、例外を引き起こします。

条件　: REGVCC＝EVCC＝VPOC〜5.5V, A0VREF＝3.0V〜5.5V, AWOVSS＝ISOVSS＝EVSS＝A0VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%,
Tj＝－40〜（製品依存）°C, CL＝30pF

表 47C.21　基本特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	f_{PCLK} 注 3		4 注 4		30	MHz
書き換え回数注 1	CWRT	データ保持 20 年注 2	125k			times
		データ保持 3 年注 2	250k			times

注1.　書き換え回数は、各ブロックの消去回数になります。書き換え回数が“n”（n＝125000）の場合、デバイスは、各ブロックを“n”回、消去することができます。例えば、4 バイトの書き込みを異なるアドレスに対して 16 回行った後に、64 バイトのブロックが消去された場合、書き換え回数は“1”になります。しかし、同じアドレスに対して複数回の書き込みは、1 回の消去では対応出来ません（上書き禁止）。

注2.　平均 Ta＝85°C での保持期間。データフラッシュメモリの消去が正常に完了した時点からの保持期間です。

注3.　f_{PCLK}＝1/4 f_{CPUCLK_M}：内蔵フラッシュのシステム動作周波数

注4.　書き込み／消去動作のみ

表 47C.22　プログラミング特性

項目	略号	条件	ブロックサイズ	MIN.	TYP.	MAX.	単位
書き込み時間		f_{PCLK}≧20MHz	4B		0.16 注 1	1.7 注 1	ms
			32KB		1.4	6.8	s
			64KB		2.79	13.44	s
消去時間		f_{PCLK}≧20MHz	64B		1.7 注 1	10 注 1	ms
			32KB		0.9	5.2	s
			64KB		1.74	10.24	s
ブランクチェック時間		f_{PCLK}≧20MHz	4B			30 注 1	μs
			64B			100 注 1	μs
			32KB			35.2	ms
			64KB			70.4	ms

注1.　ハードウェアの処理時間のみ。ソフトウェアのオーバヘッドは考慮されていません。

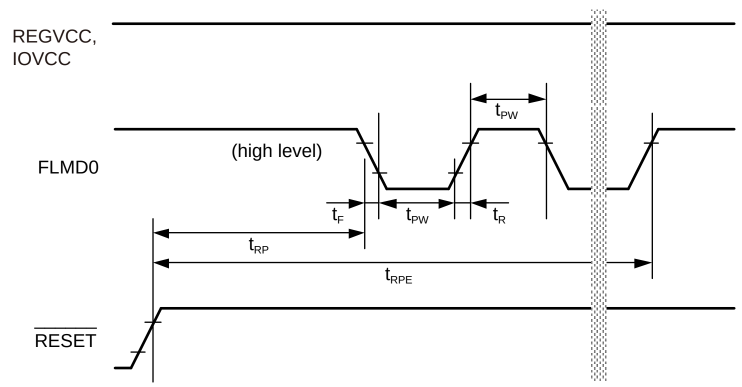
47C.7.3 シリアルプログラミングインタフェース

47C.7.3.1 シリアルプログラミングセットアップタイミング

条件 : REGVCC＝EVCC＝3.0V～5.5V, A0VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝A0VSS＝0V,
CAWOVCL：0.1µF±30%, CISOVCL：0.1µF±30%,
Tj＝－40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
FLMD0 パルス入力開始時間	t_{RP}		1.5			ms
FLMD0 パルス入力終了時間	t_{RPE}				101.5	ms
FLMD0 ロウ／ハイレベル幅	t_{PW}		1.6			µs
FLMD0 立ち上がり時間	t_R				20	ns
FLMD0 立ち下がり時間	t_F				20	ns

備考 IOVCC：EVCC＝A0VREF



47C.7.3.2　フラッシュプログラミングインタフェース

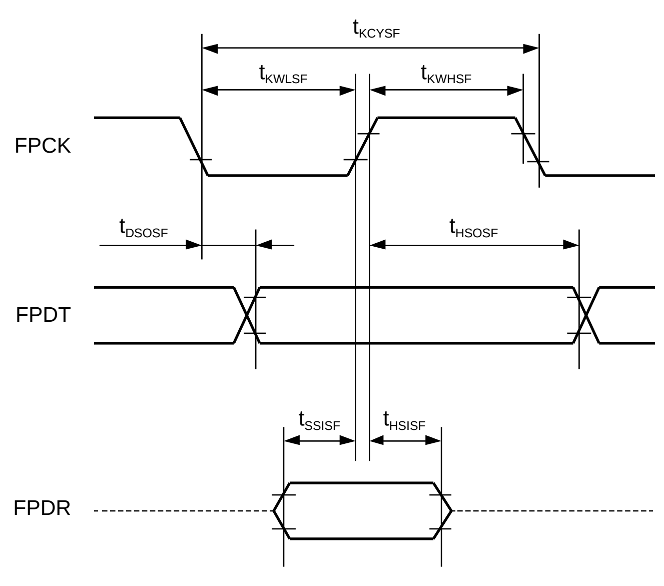
条件　:　REGVCC＝EVCC＝3.0V～5.5V, A0VREF＝3.0V～5.5V, AWOVSS＝ISOVSS＝EVSS＝A0VSS＝0V,
CAWOVCL：0.1μF±30%, CISOVCL：0.1μF±30%,
Tj＝－40～（製品依存）°C, CL＝30pF

項目	略号	条件	MIN.	TYP.	MAX.	単位
フラッシュプログラミング転送レート		1-wired UART モード			1	Mbps
		2-wired UART モード			1.5	Mbps
FPCK サイクル時間	t_{KCYSF}	3-wired クロック同期モード	200 注1			ns
FPCK ハイレベル幅	t_{KWHSF}	3-wired クロック同期モード	t_{KCYSF} / 2 – 15			ns
FPCK ロウレベル幅	t_{KWLSF}	3-wired クロック同期モード	t_{KCYSF} / 2 – 15			ns
FPDR セットアップ時間（対 FPCK）	t_{SSISF}	3-wired クロック同期モード	t_{Pcyc} × 2			ns
FPDR ホールド時間（対 FPCK）	t_{HSISF}	3-wired クロック同期モード	t_{Pcyc} × 2			ns
FPDT 出力遅延（対 FPCK）	t_{DSOSF}	3-wired クロック同期モード 非連続転送（データ：1 ビット）			0	ns
		3-wired クロック同期モード 非連続転送（データ：1 ビット以外）			$-t_{KWHSF}$ + 3 × t_{Pcyc} + 36	ns
FPDT ホールド時間（対 FPCK）	t_{HSOSF}	3-wired クロック同期モード	t_{Pcyc} × 2			ns

注1.　PCLK クロックの 6 倍以上の周期の外部クロックを入力してください。

備　考

t_{Pcyc} は PCLK 期間です。



47C.8　熱特性

47C.8.1　パラメータ

パッケージ	項目	略号	見積	単位	備考
100 pin LQFP	熱抵抗	Θja	44.3	°C/W	JESD51-7 対応
	熱特性パラメータ	ψjb	34.7		（4 レイヤー）
80 pin LQFP	熱抵抗	Θja	44.5	°C/W	JESD51-7 対応
	熱特性パラメータ	ψjb	34.0		（4 レイヤー）
64 pin LQFP	熱抵抗	Θja	45.3	°C/W	JESD51-7 対応
	熱特性パラメータ	ψjb	33.8		（4 レイヤー）
48 pin LQFP	熱抵抗	Θja	47.0	°C/W	JESD51-7 対応
	熱特性パラメータ	ψjb	33.8		（4 レイヤー）

備　考

熱抵抗および熱特性パラメータは使用環境に依存します。

47C.8.2　基板

JESD51-7 対応（4 レイヤー）

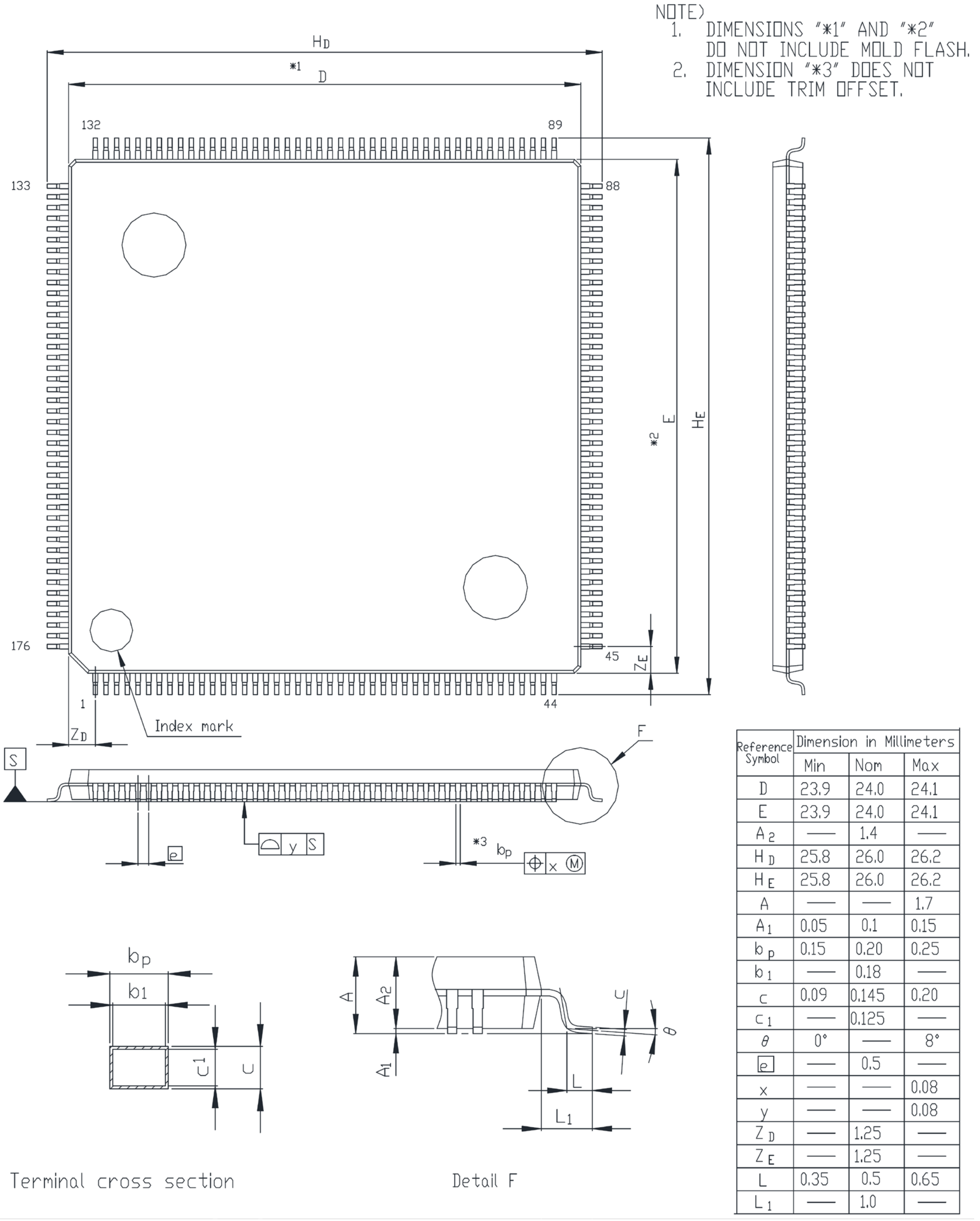
	基板サイズ（mm）		面積（mm^2）
	X	Y	
基板	76.2	114.3	8709.66
残銅率	導体の厚さ		
50-95-95-50%	70-35-35-70 μm		

付録A　パッケージ

A.1　パッケージ寸法 (RH850/F1KH-D8)

A.1.1　176 Pin

JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-LFQFP176-24x24-0.50	PLQP0176KB-A	176P6Q-A / FP-176E / FP-176EV	1.8

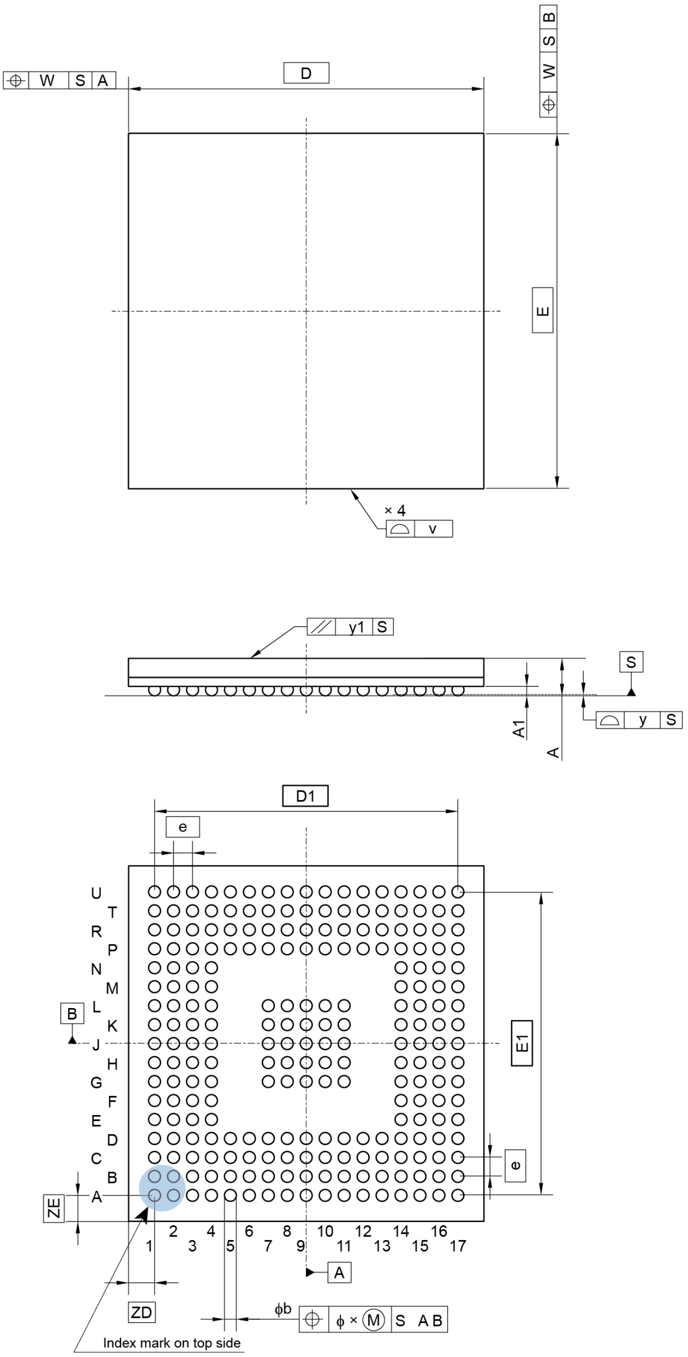


Reference Symbol	Dimension in Millimeters Min	Nom	Max
D	23.9	24.0	24.1
E	23.9	24.0	24.1
A_2	—	1.4	—
H_D	25.8	26.0	26.2
H_E	25.8	26.0	26.2
A	—	—	1.7
A_1	0.05	0.1	0.15
b_p	0.15	0.20	0.25
b_1	—	0.18	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
Z_D	—	1.25	—
Z_E	—	1.25	—
L	0.35	0.5	0.65
L_1	—	1.0	—

A.1.2 233 Pin

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-FBGA233-15x15-0.80	PRBG0233GA-A	—	0.75

Unit: mm



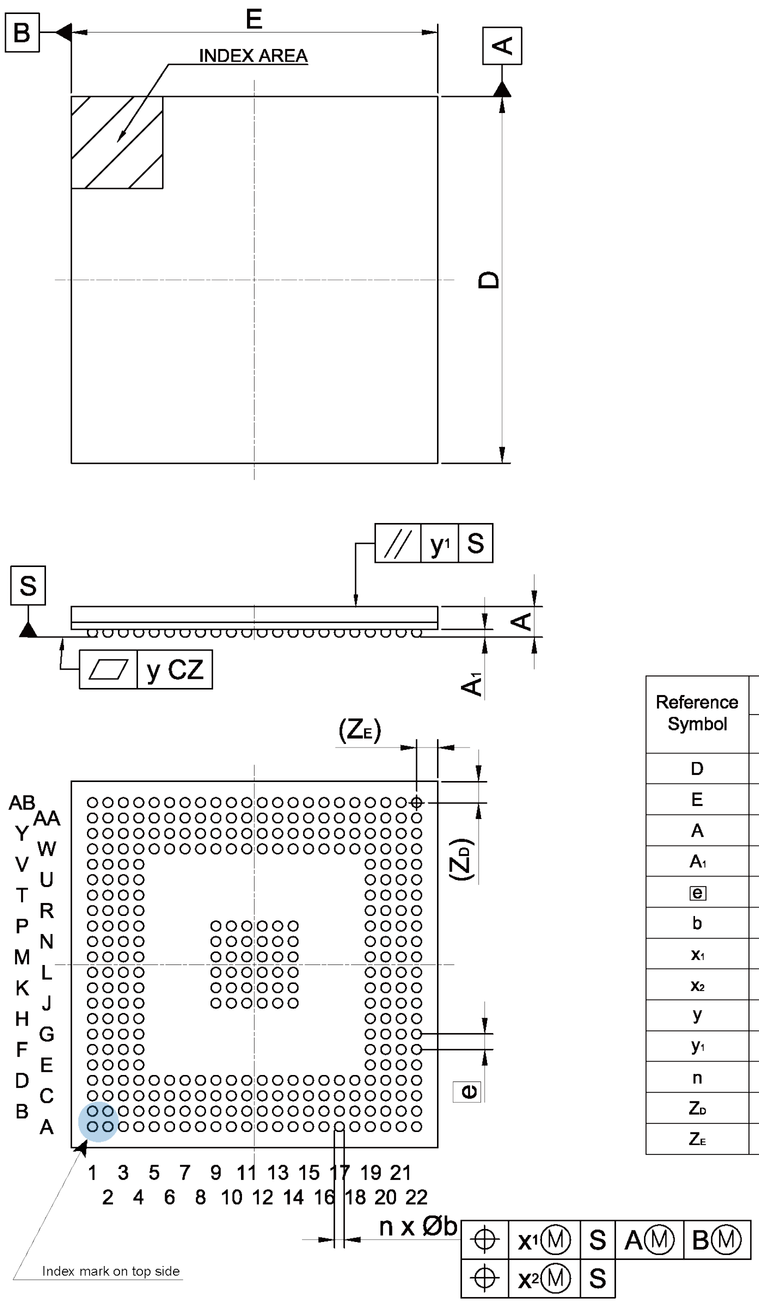
Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	—	15.00	—
D1	—	12.80	—
E	—	15.00	—
E1	—	12.80	—
v	—	—	0.15
w	—	—	0.20
e	—	0.80	—
A	—	1.58	1.90
A1	0.30	0.35	0.40
b	0.49	0.54	0.59
x	—	—	0.08
y	—	—	0.10
y1	—	—	0.20
ZD	—	1.10	—
ZE	—	1.10	—

備考　パッケージ上面のインデックスマークは、異なるキャラクターが表示される可能性があります。（例：三角形、四角形）

A.1.3 予約

A.1.4 324 Pin

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-FBGA324-19x19-0.80	PRBG0324GB-A	1.10



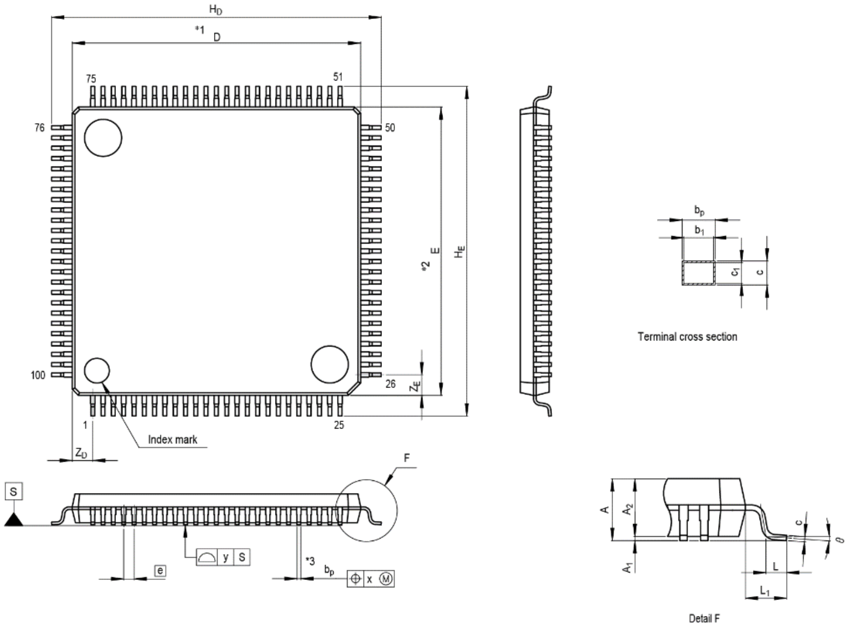
Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	18.90	19.00	19.10
E	18.90	19.00	19.10
A	—	—	2.00
A_1	0.30	0.35	0.40
$\boxed{e}$	—	0.80	—
b	0.49	0.54	0.59
x_1	—	—	0.15
x_2	—	—	0.08
y	—	—	0.10
y_1	—	—	0.20
n	—	324	—
Z_D	—	1.10	—
Z_E	—	1.10	—

備考　パッケージ上面のインデックスマークは、異なるキャラクターが表示される可能性があります。（例：三角形、四角形）

A.2 パッケージ寸法 (RH850/F1KM-S4, RH850/F1KM-S2)

A.2.1 100 Pin (RH850/F1KM-S4, RH850/F1KM-S2)

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LFQFP100-14x14-0.50	PLQP0100KB-A	100P6Q-A / FP-100U / FP-100UV	0.6g

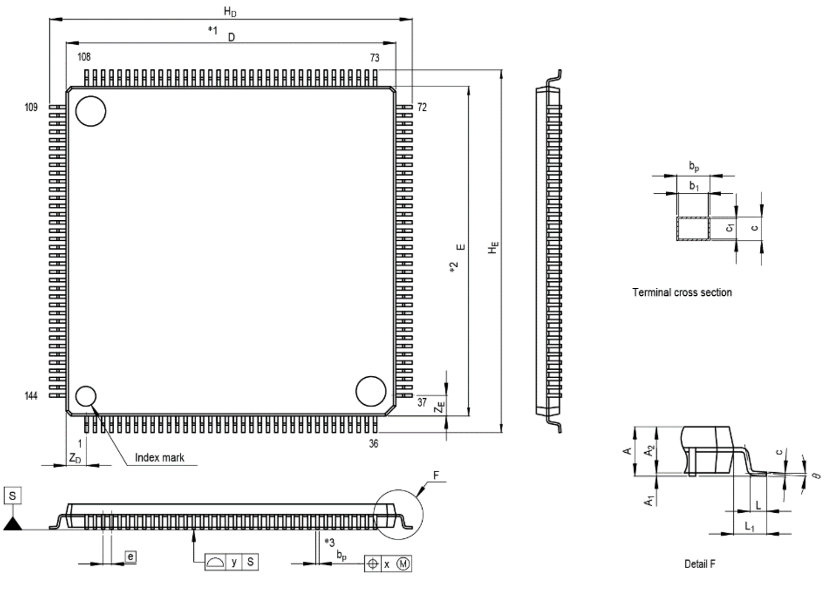


NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A_2	—	1.4	—
H_D	15.8	16.0	16.2
H_E	15.8	16.0	16.2
A	—	—	1.7
A_1	0.05	0.1	0.15
b_p	0.15	0.20	0.25
b_1	—	0.18	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
$\boxed{e}$	—	0.5	—
x	—	—	0.08
y	—	—	0.08
Z_D	—	1.0	—
Z_E	—	1.0	—
L	0.35	0.5	0.65
L_1	—	1.0	—

A.2.2 144 Pin (RH850/F1KM-S4, RH850/F1KM-S2)

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LFQFP144-20x20-0.50	PLQP0144KA-A	144P6Q-A / FP-144L / FP-144LV	1.2g

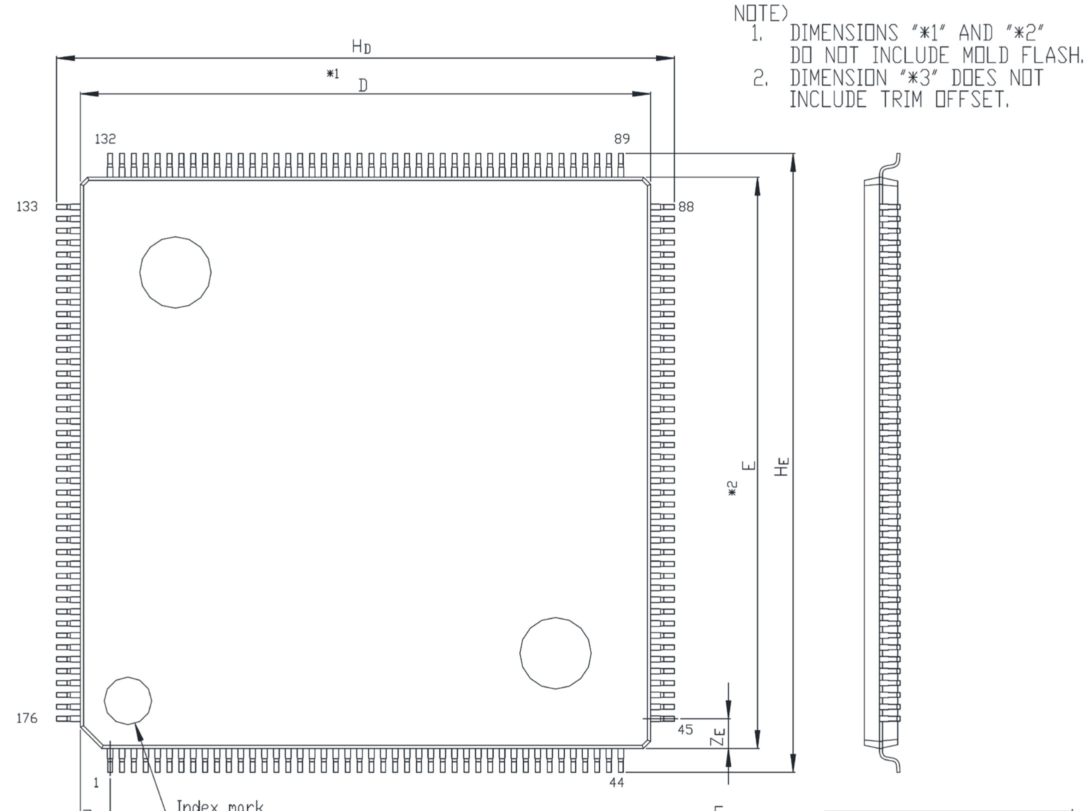


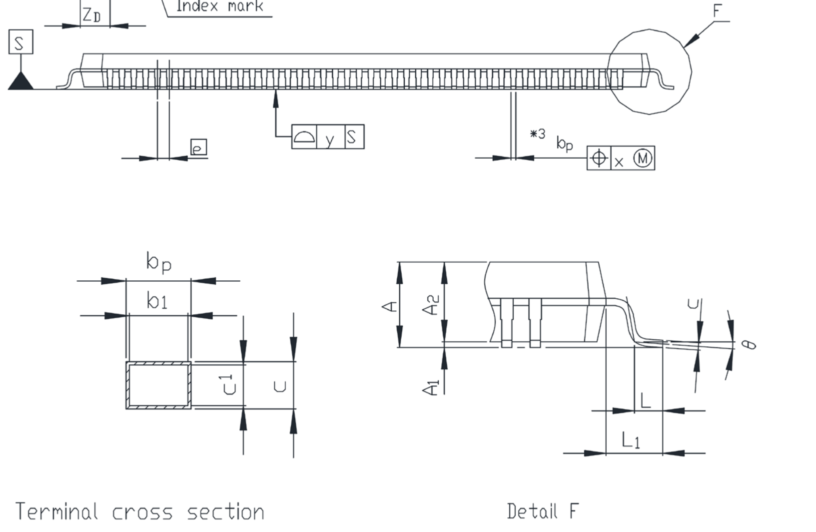
NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	19.9	20.0	20.1
E	19.9	20.0	20.1
A_2	—	1.4	—
H_D	21.8	22.0	22.2
H_E	21.8	22.0	22.2
A	—	—	1.7
A_1	0.05	0.1	0.15
b_p	0.17	0.22	0.27
b_1	—	0.20	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
$\boxed{e}$	—	0.5	—
x	—	—	0.08
y	—	—	0.10
Z_D	—	1.25	—
Z_E	—	1.25	—
L	0.35	0.5	0.65
L_1	—	1.0	—

A.2.3 176 Pin (RH850/F1KM-S4, RH850/F1KM-S2)

JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-LFQFP176-24x24-0.50	PLQP0176KB-A	176P6Q-A / FP-176E / FP-176EV	1.8



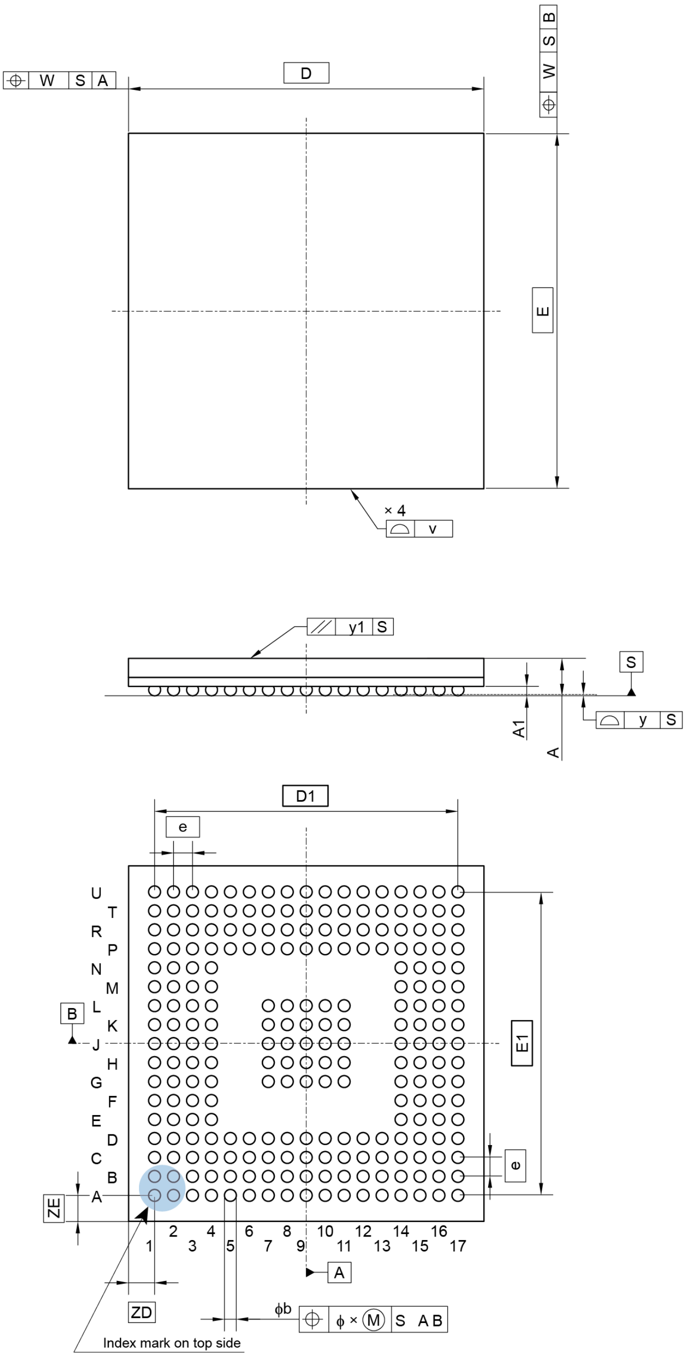


Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	23.9	24.0	24.1
E	23.9	24.0	24.1
A_2	—	1.4	—
H_D	25.8	26.0	26.2
H_E	25.8	26.0	26.2
A	—	—	1.7
A_1	0.05	0.1	0.15
b_p	0.15	0.20	0.25
b_1	—	0.18	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
Z_D	—	1.25	—
Z_E	—	1.25	—
L	0.35	0.5	0.65
L_1	—	1.0	—

A.2.4 233 Pin (RH850/F1KM-S4)

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-FBGA233-15x15-0.80	PRBG0233GA-A	—	0.75

Unit: mm



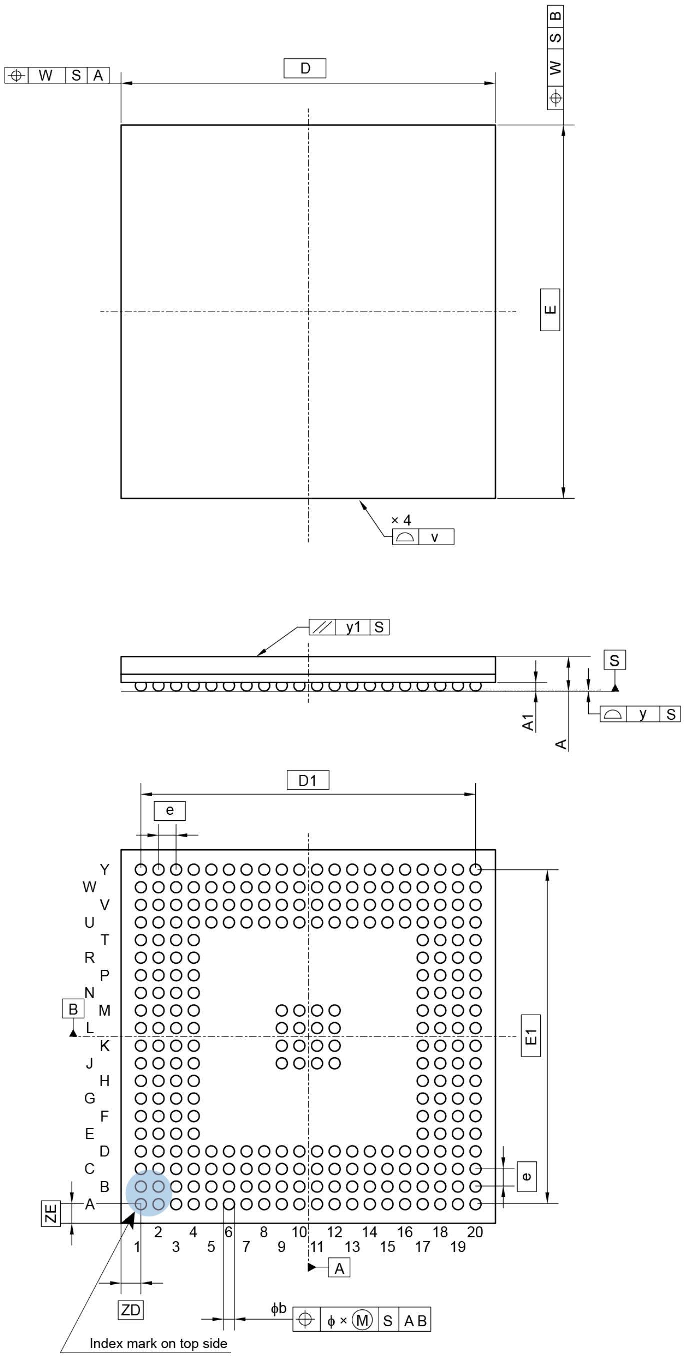
Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	—	15.00	—
D1	—	12.80	—
E	—	15.00	—
E1	—	12.80	—
v	—	—	0.15
w	—	—	0.20
e	—	0.80	—
A	—	1.58	1.90
A1	0.30	0.35	0.40
b	0.49	0.54	0.59
x	—	—	0.08
y	—	—	0.10
y1	—	—	0.20
ZD	—	1.10	—
ZE	—	1.10	—

備考　パッケージ上面のインデックスマークは、異なるキャラクターが表示される可能性があります。（例：三角形、四角形）

A.2.5 272 Pin (RH850/F1KM-S4)

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-FBGA272-17x17-0.80	PRBG0272GB-A	—	0.90

Unit: mm



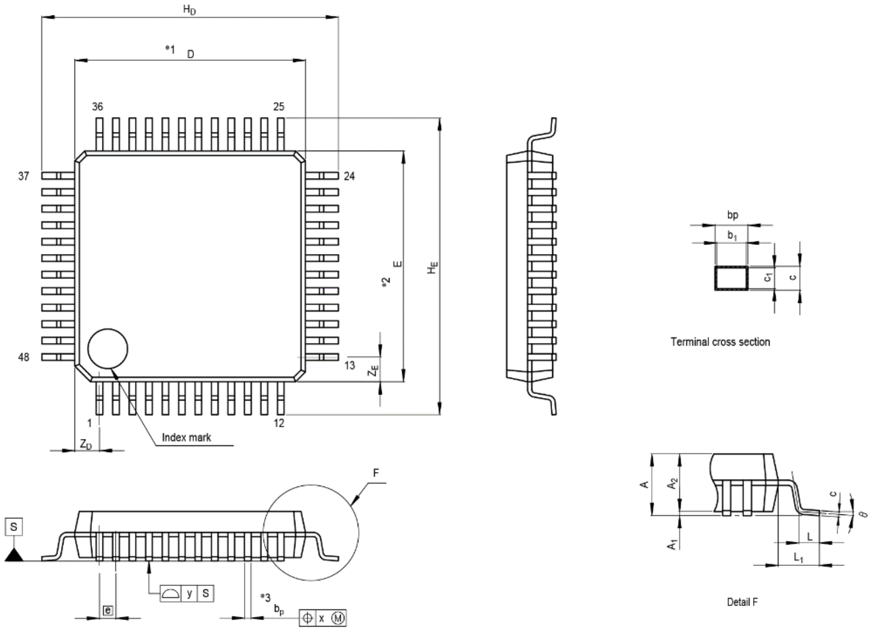
Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	—	17.00	—
D1	—	15.20	—
E	—	17.00	—
E1	—	15.20	—
v	—	—	0.15
w	—	—	0.20
e	—	0.80	—
A	—	1.58	2.00
A1	0.30	0.35	0.40
b	0.49	0.54	0.59
x	—	—	0.08
y	—	—	0.10
y1	—	—	0.20
ZD	—	0.90	—
ZE	—	0.90	—

備考 パッケージ上面のインデックスマークは、異なるキャラクターが表示される可能性があります。（例：三角形、四角形）

A.3 パッケージ寸法 (RH850/F1KM-S1)

A.3.1 48 Pin

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LFQFP48-7x7-0.50	PLQP0048KB-A	48P6Q-A	0.2g

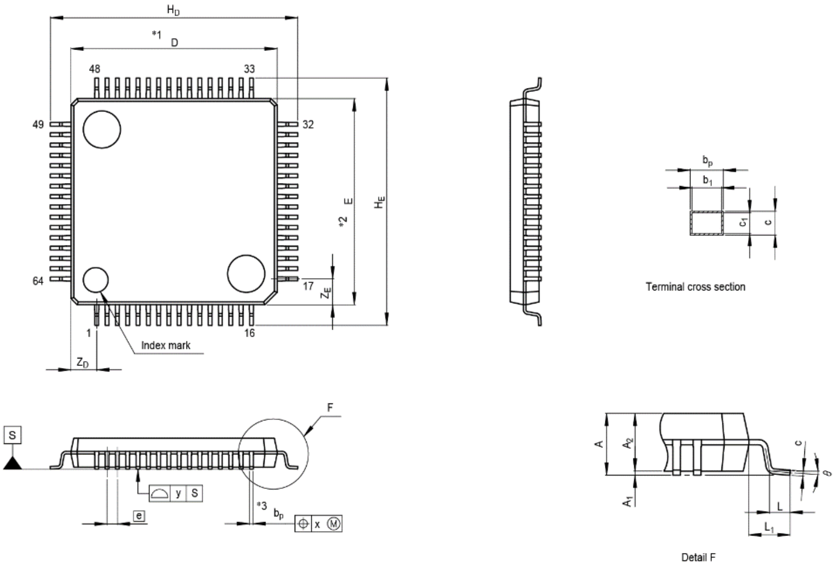


NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	6.9	7.0	7.1
E	6.9	7.0	7.1
A_2	—	1.4	—
H_D	8.8	9.0	9.2
H_E	8.8	9.0	9.2
A	—	—	1.7
A_1	0	0.1	0.2
b_p	0.17	0.22	0.27
b_1	—	0.20	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.10
Z_D	—	0.75	—
Z_E	—	0.75	—
L	0.35	0.5	0.65
L_1	—	1.0	—

A.3.2 64 Pin

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LFQFP64-10x10-0.50	PLQP0064KB-A	64P6Q-A / FP-64K / FP-64KV	0.3g



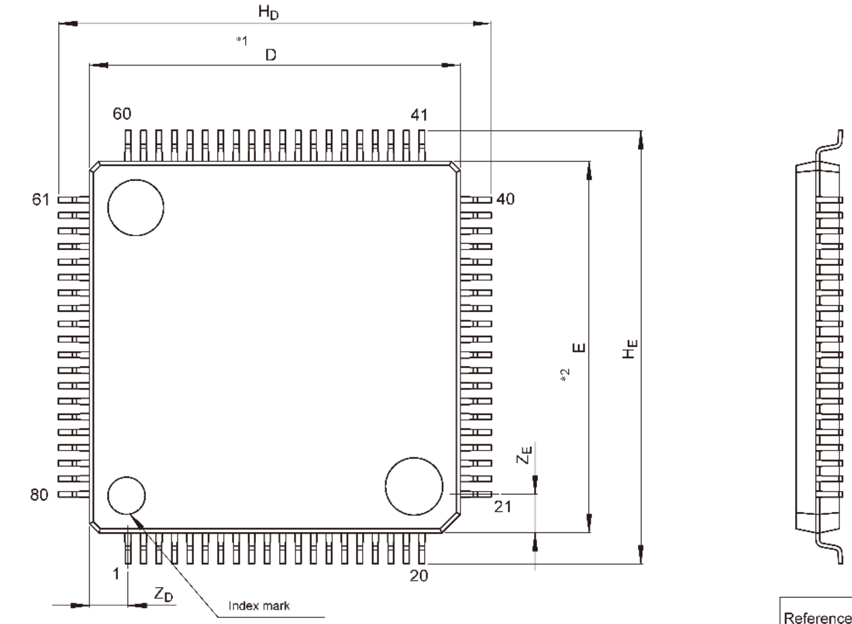
NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

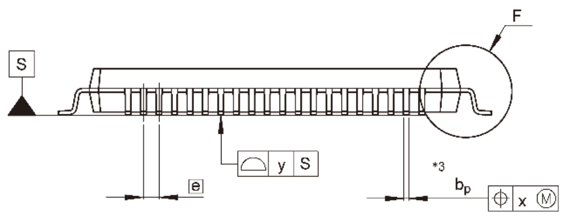
Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A_2	—	1.4	—
H_D	11.8	12.0	12.2
H_E	11.8	12.0	12.2
A	—	—	1.7
A_1	0.05	0.1	0.15
b_p	0.15	0.20	0.25
b_1	—	0.18	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
$\boxed{e}$	—	0.5	—
x	—	—	0.08
y	—	—	0.08
Z_D	—	1.25	—
Z_E	—	1.25	—
L	0.35	0.5	0.65
L_1	—	1.0	—

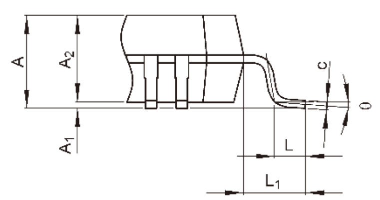
A.3.3 80 Pin

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP80-12x12-0.50	PLQP0080KG-A	—	0.50

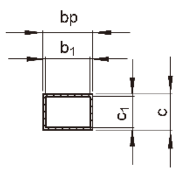
Unit: mm







Detail F



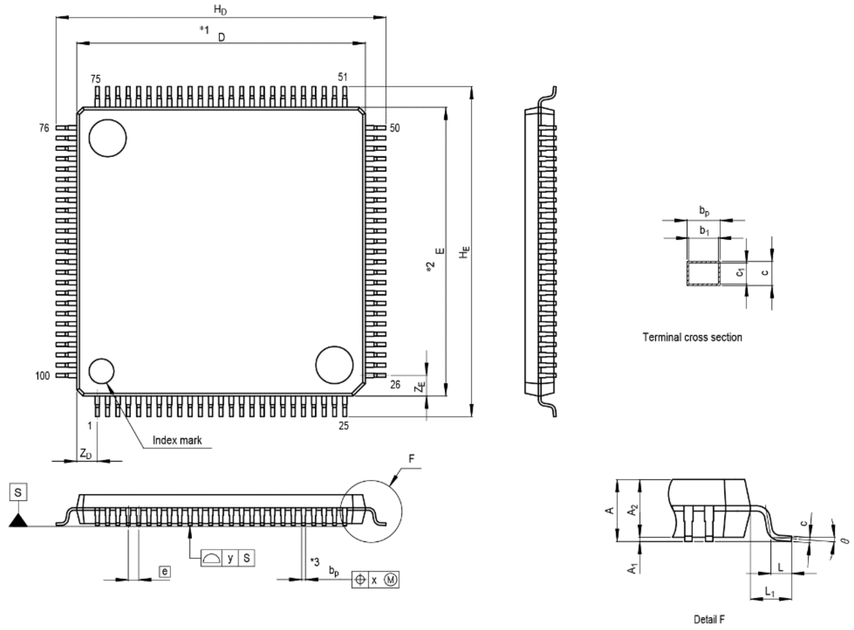
Terminal cross section

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	11.9	12.0	12.1
E	11.9	12.0	12.1
A_2	—	1.4	—
H_D	13.8	14.0	14.2
H_E	13.8	14.0	14.2
A	—	—	1.7
A_1	0.05	0.10	0.15
bp	0.15	0.20	0.25
b_1	—	0.18	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
Z_D	—	1.25	—
Z_E	—	1.25	—
L	0.35	0.5	0.65
L_1	—	1.0	—

NOTE)
1. DIMENSIONS "*1" AND "*2"
   DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT
   INCLUDE TRIM OFFSET.

A.3.4 100 Pin

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LFQFP100-14x14-0.50	PLQP0100KB-A	100P6Q-A / FP-100U / FP-100UV	0.6g



NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A_2	—	1.4	—
H_D	15.8	16.0	16.2
H_E	15.8	16.0	16.2
A	—	—	1.7
A_1	0.05	0.1	0.15
b_p	0.15	0.20	0.25
b_1	—	0.18	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
$\boxed{e}$	—	0.5	—
x	—	—	0.08
y	—	—	0.08
Z_D	—	1.0	—
Z_E	—	1.0	—
L	0.35	0.5	0.65
L_1	—	1.0	—

RH850/F1KH, RH850/F1KM ユーザーズマニュアル
ハードウェア編

発行年月日　2017年11月28日　Rev.0.90
　　　　　　2021年09月30日　Rev.1.30

発行　ルネサス エレクトロニクス株式会社
〒135-0061　東京都江東区豊洲3-2-24（豊洲フォレシア）

RH850/F1KH, RH850/F1KM

ルネサス エレクトロニクス株式会社

R01UH0684JJ0130