

【注意事項】

R20TS0806JC0100

Rev.1.00

RH850 スマート・コンフィグレータ

2022.02.01 号

概要

RH850 スマート・コンフィグレータの使用上の注意事項を連絡します。

1. A/D コンバータの T&H パス自己診断機能に関する注意事項
2. A/D コンバータのヘッダ・ファイル内の不要なマクロ定義とコメントの誤記に関する注意事項

1. A/D コンバータの T&H パス自己診断機能に関する注意事項

1.1 該当製品

RH850 スマート・コンフィグレータ V1.2.0 以降のバージョン

1.2 該当デバイス

RH850 ファミリ : RH850/U2A グループ

- RH850/U2A16 (516ピン製品、292ピン製品)
- RH850/U2A8 (292ピン製品)

1.3 内容

以下の周辺機器では、A/D コンバータの T&H パス自己診断機能の使用/不使用の設定（図 1-1 参照）について、GUI 上の設定とは逆の設定のコードが生成されます。

- RH850/U2A16 (516 ピン製品、292 ピン製品)
ADCJ0、ADCJ1、ADCJ2
- RH850/U2A8 (292 ピン製品)
ADCJ0、ADCJ1、ADCJ2

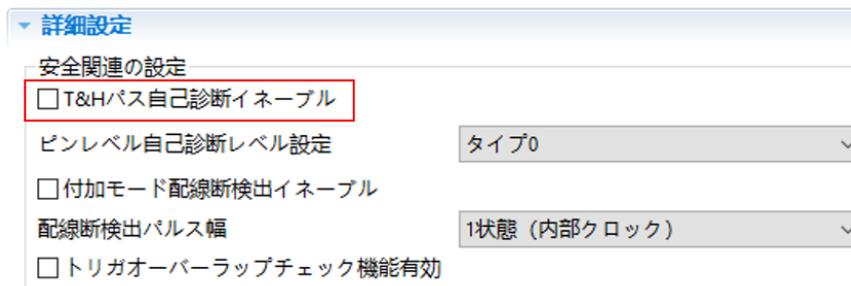


図 1-1 T&H パス自己診断の設定

1.4 回避策

以下のソースファイルのコードを手動で修正してください。

- ソースファイル : “r_cg_ad.h”
- マクロ : `_ADC_TH_PATH_SELF_DIAGNOSIS_ENABLE`
`_ADC_TH_PATH_SELF_DIAGNOSIS_DISABLE`

注意 : 生成コードは、再度コード生成を行うと修正前の状態に戻ります。ソースファイルの修正はコード生成を行う度に実施してください。

以下に修正例を記します。“r_cg_ad.h”のマクロを手動で修正してください。以下の例では、赤字コードが修正前の誤ったコード、青字コードが修正後の正しいコードです。

修正前

```

/*
    Pin level self-diagnostic control register (ADCJnTDCR)
*/
/* T&H path self-diagnosis enable (THSDE) */
#define _ADC_TH_PATH_SELF_DIAGNOSIS_ENABLE      (0x00UL) /* T&H path self-
diagnosis is enable */
#define _ADC_TH_PATH_SELF_DIAGNOSIS_DISABLE    (0x80UL) /* T&H path self-
diagnosis is disabled */
.....

```

修正後

```

/*
    Pin level self-diagnostic control register (ADCJnTDCR)
*/
/* T&H path self-diagnosis enable (THSDE) */
#define _ADC_TH_PATH_SELF_DIAGNOSIS_ENABLE      (0x80UL) /* T&H path self-
diagnosis is enable */
#define _ADC_TH_PATH_SELF_DIAGNOSIS_DISABLE    (0x00UL) /* T&H path self-
diagnosis is disabled */
.....

```

1.5 恒久対策

次版で改修する予定です。（2022年7月予定）

2. A/D コンバータのヘッダ・ファイル内の不要なマクロ定義とコメントの誤記に関する注意事項

2.1 該当製品

RH850 スマート・コンフィグレータ V1.2.0 以降のバージョン

2.2 該当デバイス

RH850 ファミリ : RH850/U2A グループ

- RH850/U2A16 (516ピン製品、292ピン製品)
- RH850/U2A8 (292ピン製品)

2.3 内容

以下の A/D コンバータのヘッダ・ファイル (r_cg_ad.h) に誤りがあります。

- 不要なマクロ定義 : `_ADC_VIRTUAL_CHANNEL_END_INT_DISABLE`
`_ADC_VIRTUAL_CHANNEL_END_INT_ENABLE`
- コメントの誤記 : `_ADC_VIRTUAL_END_INT_ENABLE`
`_ADC_VIRTUAL_END_INT_DISABLE`
- RH850/U2A16 (516ピン製品、292ピン製品)
ADCJ0、ADCJ1、ADCJ2
- RH850/U2A8 (292ピン製品)
ADCJ0、ADCJ1、ADCJ2

```

/*
  Virtual channel control register (ADCJnVCRj)
*/
/* A/D conversion end interrupt enable (ADIE) */
#define ADC_VIRTUAL_CHANNEL_END_INT_DISABLE (0x00000000UL) /* not generated */
#define ADC_VIRTUAL_CHANNEL_END_INT_ENABLE (0x00000100UL) /* generated */
/* Upper limit/lower limit table select (VCULLMTBS[3:0]) */
#define ADC_LIMIT_TABLE_SELECT_NONE (0x00000000UL) /* Upper limit and lower limit are not checked */
#define ADC_LIMIT_TABLE_SELECT_0 (0x10000000UL) /* Upper limit and lower limit are checked for VCULLMTBR0 */
#define ADC_LIMIT_TABLE_SELECT_1 (0x20000000UL) /* Upper limit and lower limit are checked for VCULLMTBR1 */
#define ADC_LIMIT_TABLE_SELECT_2 (0x30000000UL) /* Upper limit and lower limit are checked for VCULLMTBR2 */
#define ADC_LIMIT_TABLE_SELECT_3 (0x40000000UL) /* Upper limit and lower limit are checked for VCULLMTBR3 */
#define ADC_LIMIT_TABLE_SELECT_4 (0x50000000UL) /* Upper limit and lower limit are checked for VCULLMTBR4 */
#define ADC_LIMIT_TABLE_SELECT_5 (0x60000000UL) /* Upper limit and lower limit are checked for VCULLMTBR5 */
#define ADC_LIMIT_TABLE_SELECT_6 (0x70000000UL) /* Upper limit and lower limit are checked for VCULLMTBR6 */
#define ADC_LIMIT_TABLE_SELECT_7 (0x80000000UL) /* Upper limit and lower limit are checked for VCULLMTBR7 */
/* Wait time table select (WTIS[3:0]) */
#define ADC_WAIT_TIME_SELECT_NONE (0x00000000UL) /* Wait time are not checked */
#define ADC_WAIT_TIME_TABLE_0 (0x01000000UL) /* Wait time are checked for WAITTR0 */
#define ADC_WAIT_TIME_TABLE_1 (0x02000000UL) /* Wait time are checked for WAITTR1 */
#define ADC_WAIT_TIME_TABLE_2 (0x03000000UL) /* Wait time are checked for WAITTR2 */
#define ADC_WAIT_TIME_TABLE_3 (0x04000000UL) /* Wait time are checked for WAITTR3 */
#define ADC_WAIT_TIME_TABLE_4 (0x05000000UL) /* Wait time are checked for WAITTR4 */
#define ADC_WAIT_TIME_TABLE_5 (0x06000000UL) /* Wait time are checked for WAITTR5 */
#define ADC_WAIT_TIME_TABLE_6 (0x07000000UL) /* Wait time are checked for WAITTR6 */
#define ADC_WAIT_TIME_TABLE_7 (0x08000000UL) /* Wait time are checked for WAITTR7 */
/* GTM entry enable (GTMEN) */
#define ADC_GTM_ENTRY_ENABLE (0x00100000UL) /* GTM entry enable */
#define ADC_GTM_ENTRY_DISABLE (0x00000000UL) /* GTM entry disabled */
/* A/D conversion type (CNVCLS[3:0]) */
#define ADC_NORMAL (0x00000000UL) /* Normal A/D conversion */
#define ADC_HOLD_VALUE (0x00000800UL) /* Hold value A/D conversion */
#define ADC_EXTENDED_SAMPLING (0x00001000UL) /* Normal A/D conversion at extended sampling cycle */
#define ADC_AD_CORE_DIAGNOSIS (0x00001800UL) /* ADcore self-diagnosis A/D conversion */
#define ADC_ADDITION_MODE (0x00002000UL) /* Addition mode A/D conversion */
#define ADC_MPX_NORMAL (0x00002800UL) /* MPX normal A/D conversion */
#define ADC_MPX_ADDITION_MODE (0x00003000UL) /* MPX addition mode A/D conversion */
#define ADC_PIN_LEVEL_DIAGNOSIS (0x00003800UL) /* Pin level self-diagnosis A/D conversion */
#define ADC_BREAK_MODE1 (0x00004000UL) /* A/D conversion in wiring-break detection mode 1 */
#define ADC_BREAK_MODE2_PULLDOWN (0x00004800UL) /* A/D conversion in wiring-break detection mode 2 (physical) */
#define ADC_BREAK_MODE2_PULLUP (0x00008000UL) /* A/D conversion in wiring-break detection mode 2 (physical) */
#define ADC_BREAK_MODE1_DIAGNOSIS (0x00008800UL) /* Self-diagnosis A/D conversion in wiring-break detection mode 1 */
#define ADC_BREAK_MODE2_PULLDOWN_DIAGNOSIS (0x00009000UL) /* Self-diagnosis A/D conversion in wiring-break detection mode 2 (physical) */
#define ADC_BREAK_MODE2_PULLUP_DIAGNOSIS (0x00009800UL) /* Self-diagnosis A/D conversion in wiring-break detection mode 2 (physical) */
#define ADC_DATA_PATH_DIAGNOSIS (0x0000A000UL) /* A/D conversion in data path diagnosis (ADV) */
/* Virtual channel end interrupt enable (ADIE) */
#define ADC_VIRTUAL_END_INT_ENABLE (0x00000080UL) /* INT_ADx is not output at the end of virtual channel */
#define ADC_VIRTUAL_END_INT_DISABLE (0x00000000UL) /* INT_ADx is output at the end of virtual channel */

```

不要なマクロ定義

コメント内容が逆

図 2-1 ヘッダ・ファイル内の情報の誤り

2.4 回避策

上記の問題(不要なマクロ定義とコメントの誤記)は A/D コンバータの動作に影響しません。ヘッダ・ファイルは引き続き使用できますが、上記の不要なマクロ定義は使用しないでください。また、コメントの誤記については、意味が逆になるので注意してください。

2.5 恒久対策

次版で改修する予定です。(2022 年 7 月予定)

以上

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	Feb.01.22	-	新規発行

本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。

過去のニュース内容は発行当時の情報をもとにしており、現時点では変更された情報や無効な情報が含まれている場合があります。

ニュース本文中の URL を予告なしに変更または中止することがありますので、あらかじめご承知ください。

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24 (豊洲フォレシア)

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。