

# RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア  
ルネサス エレクトロニクス株式会社問合せ窓口 <http://japan.renesas.com/contact/>E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU & MCU	発行番号	TN-RL*-A039B/J	Rev.	第2版
題名	RL78/I1B 制限事項について		情報分類	技術情報	
適用製品	RL78/I1B グループ : R5F10Mxx	対象ロット等	関連資料	RL78/I1B ユーザーズマニュアル ハードウェア編 Rev.2.00 R01UH0407JJ0200 (Feb 25. 2014)	
		全ロット			

上記適用製品において、バッテリー・バックアップ機能に制限事項がございます。

## 今回通知する制限事項一覧

項目	制限事項	対象製品	本通知での 該当ページ
1.1	バッテリー・バックアップ機能の制限事項	全ての製品	p.2-p.6

## 通知済みの制限事項一覧

項目	制限事項	対象製品	本通知での 該当ページ
2.1	除算命令(DIVHU、DIVWU)の制限事項	全ての製品	p.7-p.11

## 発行文書履歴

RL78/I1B 制限事項 発行文書履歴

文書番号	発行日	記事
TN-RL*-A039A/J	2014年10月30日	初版発行 通知済みの制限事項の項目 2.1
TN-RL*-A039B/J	2016年2月10日	二版発行 今回通知する制限事項一覧の項目 1.1(本通知です。)

**1. 本通知で追加となる制限事項について**

**1.1 バッテリ・バックアップ機能の制限事項について**

**1.1.1 発生条件について**

使用方法が下記の①～③に全て当てはまる場合、本制限の対象となります。

- ① バッテリ・バックアップ機能の電源切り替え動作許可。(VBATEN=1)
- ② VDD 端子の電位に応じてハードウェアで内部 VDD の電源切り替えを実施。(VBATSEL=0)
- ③ VDD 端子電圧 < 電源切り替え検出電圧( $V_{DET\text{BAT}1}$ )になり内部 VDD が VDD→VBAT への電源切り替え発生時、または VDD 端子電圧  $\geq$  電源切り替え検出電圧( $V_{DET\text{BAT}2}$ )になり内部 VDD が VBAT→VDD への電源切り替えが発生時。

**1.1.2 制限事項の内容**

内部 VDD の電源切り替え発生時、内部 VDD の急峻な電圧変動により、高速オンチップ・オシレータ・クロック( $f_{IH}$ )の周波数が一定期間(約 10  $\mu\text{s}$ )変動または停止します。制限事項発生時の各周辺回路動作への影響を表 1-1 に示します。

図 1-1. 発生条件(VBATEN = 1, VBATSEL = 0)

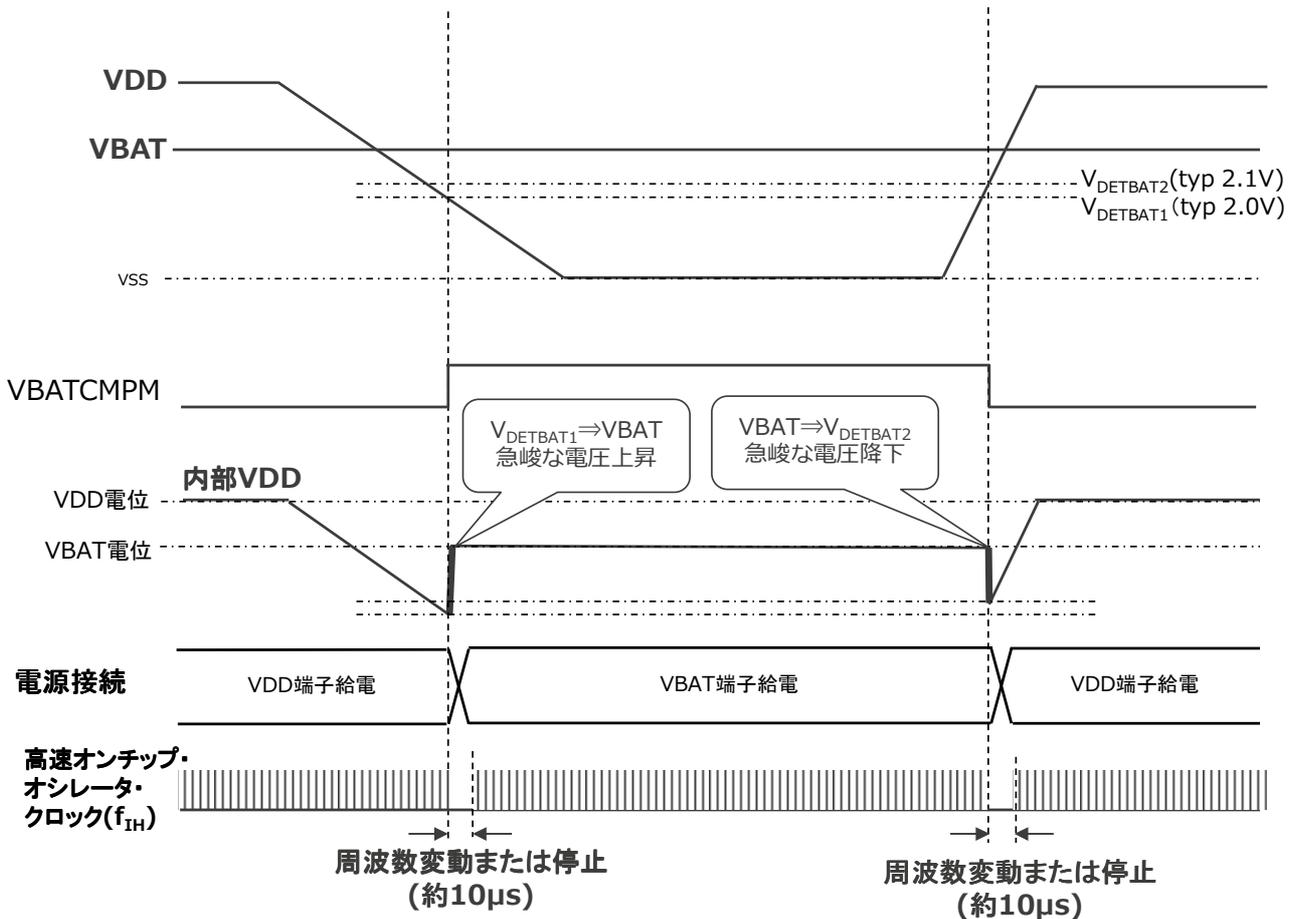


表 1-1. 制限事項発生時の各周辺回路動作への影響(1/2)

項目	CPU動作クロック		高速オンチップ・オシレータ・クロック ( $f_{IH}$ ) でCPU動作時			以下のクロックでCPU動作時 ・X1クロック( $f_X$ ) ・外部メイン・システム・クロック( $f_{EX}$ ) ・XT1クロック( $f_{XT}$ ) ・外部サブシステム・クロック( $f_{EXS}$ )
			CPU動作時	HALTモード時	STOPモード時	
システム・クロック						
メイン・システム・クロック	$f_{IH}$		一定期間周波数変動又は停止します	影響ありません	動作禁止	
		$f_X$	動作禁止	影響ありません		
サブシステム・クロック	$f_{EX}$		影響ありません			
		$f_{XT}$				
		$f_{EXS}$				
		$f_{IL}$				
CPU			命令実行周期が一定期間変動又は停止します	影響ありません	影響ありません	
コード・フラッシュ・メモリ						
RAM						
ポート(ラッチ)			影響ありません			
タイマ・アレイ・ユニット			タイマ動作中の場合、タイマ動作クロック周波数が一定期間変動又は停止する事で、タイマのカウント誤差が発生します	影響ありません		
リアルタイム・クロック2			影響ありません			
サブシステム・クロック周波数測定回路			動作禁止	影響ありません		
高速オンチップ・オシレータ・クロック周波数補正機能			高速オンチップ・オシレータ・クロック周波数が変動しますが、補正結果には影響ありません	動作禁止		
発振停止検出			影響ありません			
バッテリー・バックアップ機能						
12ビット・インターバル・タイマ						
8ビット・インターバル・タイマ						
ウォッチドッグ・タイマ						
クロック出力/ブザー出力			カウント・クロックにサブシステム・クロック選択時は影響ありません。メインシステム・クロック選択時は出力周波数が一定期間変動又は停止します	影響ありません		
A/Dコンバータ			サンプリング周期が変動する事で、アナログ変換結果に誤差が発生する可能性があります。	影響ありません		
$\Delta\Sigma$ /Dコンバータ						
温度センサ2			影響ありません			
コンパレータ						
シリアル・アレイ・ユニット(SAU)			通信クロックの周波数が変動または停止します。UART通信およびCSIマスタ送受信時は、通信クロックの周波数が変動または停止する事で、通信エラーが発生する可能性があります。簡易I <sup>2</sup> Cマスタ通信およびCSIスレーブ送受信時は、通信エラーは発生しません。	影響ありません		
IrDA			通信クロックの周波数が変動または停止する事で、通信エラーが発生する可能性があります。			
シリアル・インタフェース(IICA)			通信クロックの周波数が変動または停止する事で、スレーブ通信時は、通信エラーが発生する可能性があります。マスタ通信時は、通信エラーは発生しません。			

表 1-1. 制限事項発生時の各周辺回路動作への影響(2/2)

項目	CPU動作クロック			高速オンチップ・オシレータ・クロック (f <sub>IH</sub> ) でCPU動作時	以下のクロックでCPU動作時 ・X1クロック(f <sub>x</sub> ) ・外部メイン・システム・クロック (f <sub>EX</sub> ) ・XT1クロック(f <sub>XT</sub> ) ・外部サブシステム・クロック (f <sub>EXS</sub> )
	CPU動作時	HALTモード時	STOPモード時		
LCDコントローラ/ドライバ	影響ありません				
データ・トランスファ・コントローラ(DTC)	転送クロックが一定期間変動又は停止します				影響ありません
パワーオン・リセット機能	影響ありません				
電圧検出機能	影響ありません				
外部割り込み	割り込みは受け付けられませんが一定期間保留されます				影響ありません
CRC演算機能	高速CRC	影響ありません			
	汎用CRC				
RAMパリティ・エラー検出機能	影響ありません				
RAMガード機能	影響ありません				
SFRガード機能	影響ありません				
不正メモリ・アクセス検出機能	影響ありません				

### 1.1.3 ソフトウェアによる対策

- ・外部回路による VDD 端子の停電検出または電圧検出回路(LVD)を使用する事により、内部 VDD が VDD→VBAT 電源切り替えが発生する前に、高速オンチップ・オシレータ・クロック(f<sub>IH</sub>)で動作する機能を停止させ、STOP またはサブシステム・クロック動作に移行してください。
- ・VBAT 選択中は STOP モードまたはサブシステム・クロック動作またはサブシステム・クロック HALT モードとしてください。<sup>注1</sup>

注1. HS(高速メイン)モード使用時は、HS(高速メイン)モードの動作下限電圧の制約から、電源切り替え検出割り込み(INTVBAT)を使用して STOP 解除することを禁止します。

停電検出に電圧検出割り込み(INTLVI)、復電検出に電源切り替え検出割り込み(INTVBAT)を使用する場合の、ソフトウェア設定手順を図 1-2～図 1-5 に示します。

図 1-2. サブシステム・クロック使用時の電源切り替え動作(HS,LS モード)  
(VBATEN = 1, VBATSEL = 0)

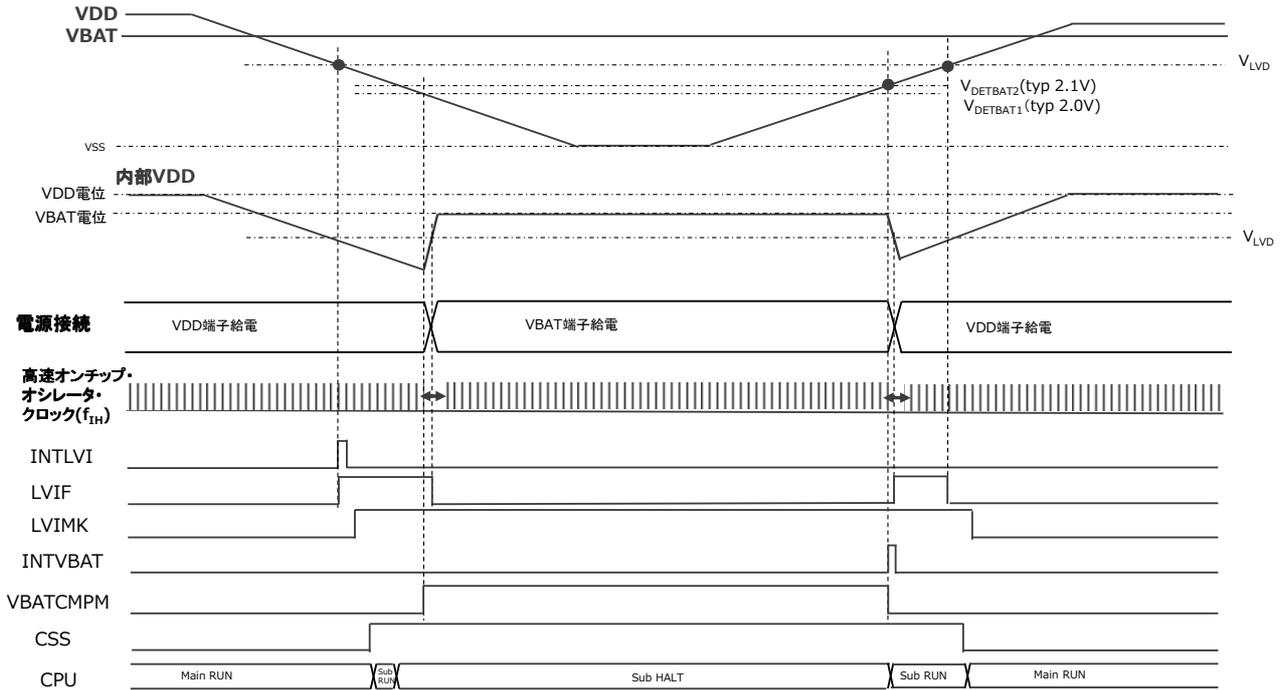


図 1-3. ソフトウェア設定手順(HS,LS モード)

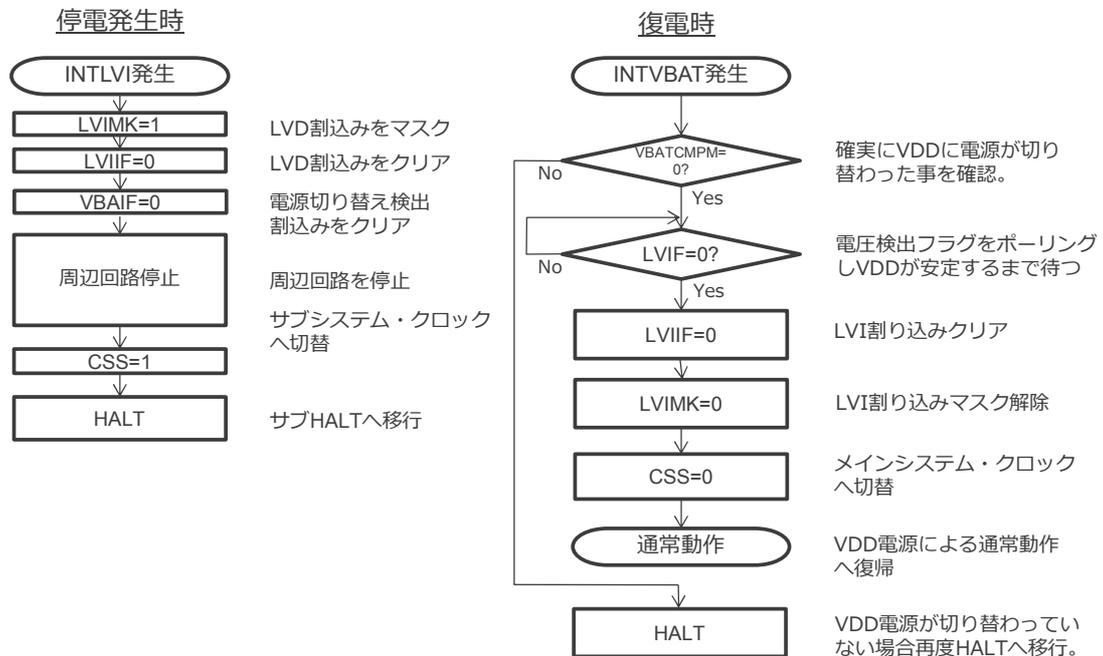


図 1-4. STOP 使用時の電源切り替え動作(LS モード)  
(VBATEN = 1, VBATSEL = 0)

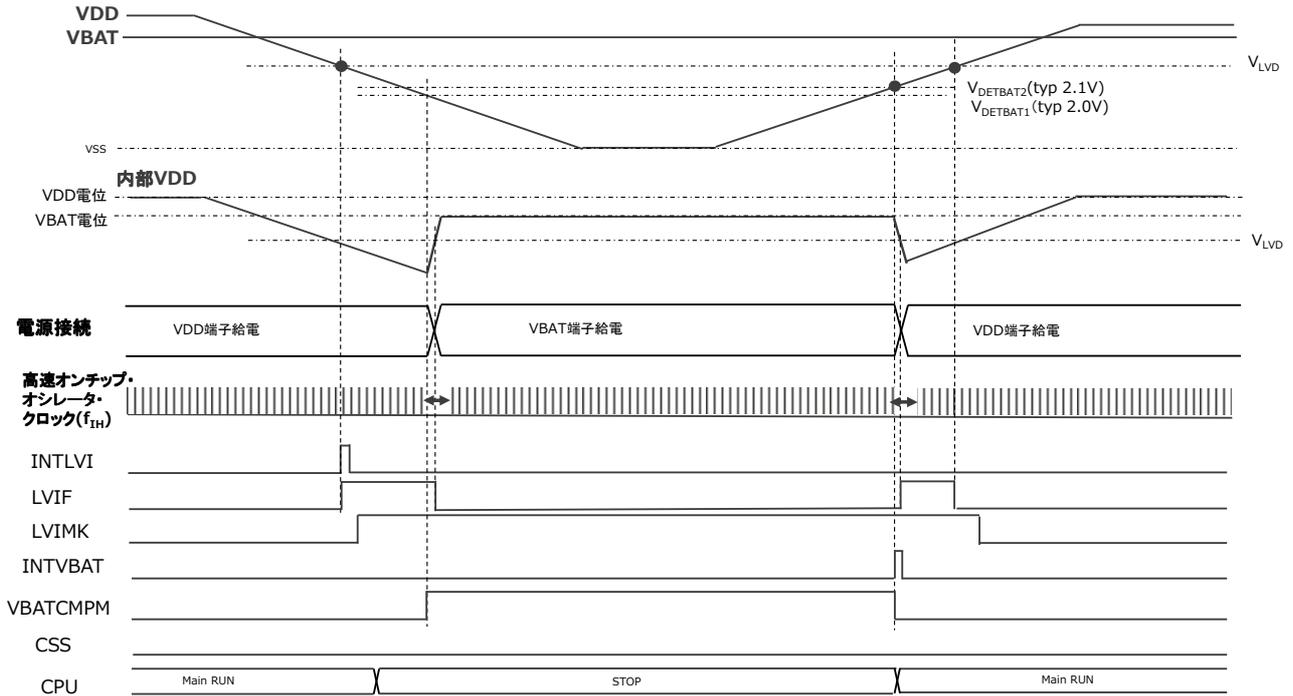
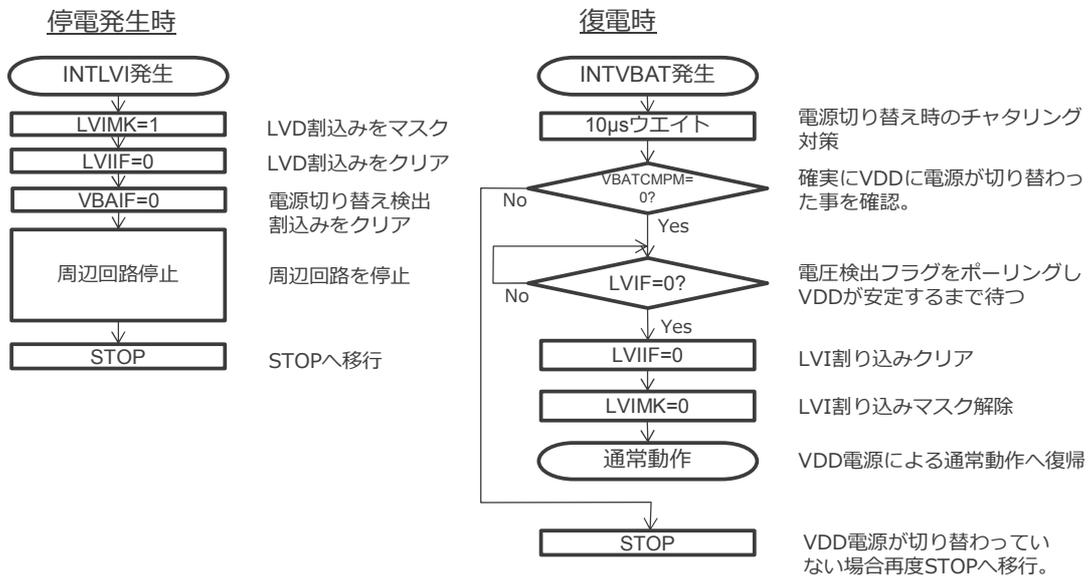


図 1-5. ソフトウェア設定手順(LS モード)



1.1.4 改善計画

ハードウェア改訂は実施せず、本通知に記載したソフトウェアによる対策をバッテリー・バックアップ機能ご使用上の制限事項とさせていただきます。

ユーザズマニュアルは、次回改訂時に、ソフトウェア対策に対する注意を追記します。

**2. 通知済みの制限事項**

**2.1 除算命令(DIVHU, DIVWU)の制限事項**

**2.1.1 制限事項について**

【対象の使用方法】

使用方法が下記の①～④の**全てにあてはまる**場合、本制限の対象となります。

- ①割り込み処理内で“対象命令 1”となる除算命令(DIVHU, DIVWU)を実行している。
- ②除算(DIVHU, DIVWU)を実行する割り込み処理で、多重割り込みを許可にしている。
- ③除算命令(DIVHU, DIVWU)を実行する割り込み処理中に、優先順位の異なる2つ以上の割り込みが発生する。  
対象となる割り込みの優先順位に関しては、2. 制限事項の内容 の 表 1 をご確認ください。
- ④除算(DIVHU, DIVWU)の次の命令に“対象命令 2”を使用している。  
“対象命令 2”に関しては、5. 対象命令 2 一覧 をご確認ください。  
ただし、除算命令(DIVHU, DIVWU)を RAM で実行している場合は、全ての命令が“対象命令 2”になります。

**2.1.2 制限事項の内容**

下記の①～③が全て実行されると、割り込みAから割り込みCへ分岐時、もしくは、割り込みCから割り込みAへ分岐時に不正な動作をする場合があります。

- ①多重割り込みを許可している割り込み A 処理内で対象命令 1(DIVHU, DIVWU)と対象命令 2 が連続している。
- ②割り込み A の実行中に割り込み B が発生し、割り込み B が保留状態となる。
- ③除算命令が実行完了される直前 2 クロックの期間(DIVHU 命令:8, 9 クロック, DIVWU 命令:16, 17 クロック)に割り込み C が発生する。

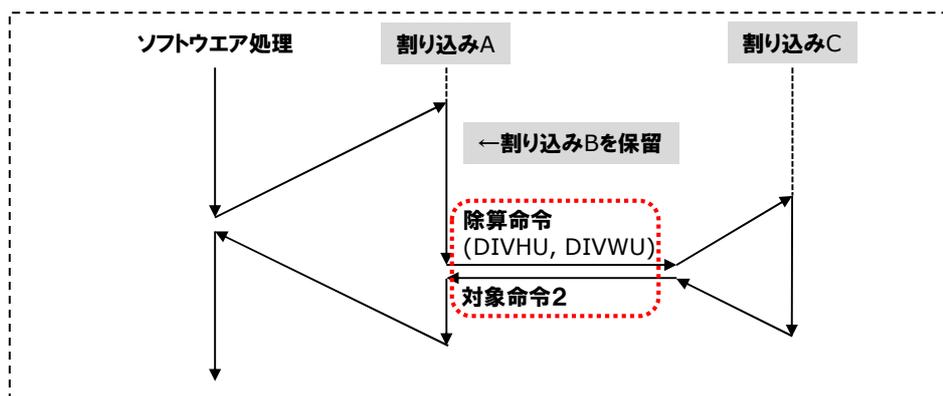


図 2.1. 制限事項の動作

注意 1 “対象命令 2”に関しては 5. 対象命令 2 一覧をご確認ください。

注意 2 割り込み発生/保留の関係は割り込み優先順位レベル(0~3)の組み合わせに依存します。

対象になる割り込み優先順位レベルの組み合わせは表 2.1 の通りです。

表 2.1. 制限事項が発生する割り込み優先順位の組み合わせ

割り込み A の割り込み優先順位	割り込み B の割り込み優先順位	割り込み C の割り込み優先順位	対象/対象外
レベル 0	レベル 1/ レベル 2/ レベル 3	レベル 0	対象
レベル 1	レベル 1/ レベル 2/ レベル 3	レベル 0	
レベル 2	レベル 2/ レベル 3	レベル 0/ レベル 1	
レベル 3	レベル 3	レベル 0/ レベル 1/ レベル 2	
上記以外			対象外

**2.1.3 ソフトウェアによる対策**

多重割り込みを許可する割り込み処理内で除算 / 剰余算命令を実行する場合は、下記の対策のいずれかを行ってください。

(A) 除算 / 剰余算演算中の割り込みを禁止にしてください。

対策適用例:

```
__asm("push PSW");
DI();
C 言語での除算 / 剰余算演算
__asm("pop PSW");
```

(B) 除算命令(DIVHU, DIVWU)の直後に NOP 命令を挿入してください。

除算命令(DIVHU, DIVWU)を RAM で実行している場合は、実行場所をコード・フラッシュへ変更し、下記の対策を行ってください。

対策適用例 :

```
DIVWU ; 除算命令
NOP ; NOP 命令を挿入
RET ; 対象命令 2
```

但し、C 言語などの高級言語を使用している場合、1コードに対してコンパイラが制限事項の対象となる 2 命令を生成する場合があります。この場合、NOP 命令を挿入する対策を実施することは非常に困難なため、対策 (A)を実施してください。

注意 ルネサス製コンパイラ CA78K0 の場合、DI(); の使用には #pragma di の記述が必要です。

#### 2.1.4 恒久対策

恒久対策として、ルネサス製コンパイラ CA78K0R に今回の問題の対策を行います。

対策内容：

ビルド時に DIVWU 命令、および DIVHU 命令が出力される場合、これらの命令の直後に必ず NOP 命令を挿入します。この対策により「2.1.3 ソフトウェアによる対策」を行う必要がなくなります。<sup>注</sup>

対策後、CA78K0R のバージョンは V1.71 となります。

対策版コンパイラのリリース予定時期：2014年11月18日

注： 除算命令(DIVHU、DIVWU)を RAM で実行している場合は対策が必要です。

### 2.1.5 対象命令2一覧

対象命令1(DIVHU、DIVWU)の次に“対象命令2”を使用している場合、制限事項の対象となります。  
条件1～3のうち、1条件でも当てはまる場合は対象命令2となります。

条件 1. 命令の実行に2クロック以上必要な命令。

命令	オペランド	命令	オペランド	命令	オペランド
XCH	A, saddr	INC	saddr	CALL	全て
	A, sfr	INC	!addr16	CALLT	全て
	A, !addr16	INC	[HL+byte]	BRK	-
	A, [DE]	DEC	saddr	RET	-
	A, [DE+byte]	DEC	!addr16	RETI	-
	A, [HL]	DEC	[HL+byte]	RETB	-
	A, [HL+byte]	INCW	saddrp	BR	全て
	A, [HL+B]	INCW	!addr16	BC	全て
A, [HL+C]	INCW	[HL+byte]	BNC	全て	
ADD	saddr, #byte	DECW	saddrp	BZ	全て
ADD C	saddr, #byte	DECW	!addr16	BNZ	全て
SUB	saddr, #byte	DECW	[HL+byte]	BH	全て
SUB C	saddr, #byte	MOV1	saddr.bit, CY	BNH	全て
AND	saddr, #byte	MOV1	sfr.bit, CY	BT	全て
OR	saddr, #byte	MOV1	[HL].bit, CY	BF	全て
XOR	saddr, #byte	SET1	saddr.bit	BTCLR	全て
		SET1	sfr.bit	HALT	-
		SET1	!addr16.bit	STOP	-
		SET1	[HL].bit		
		CLR1	saddr.bit		
		CLR1	sfr.bit		
		CLR1	!addr16.bit		
		CLR1	[HL].bit		

条件 2. コード・フラッシュ・メモリの読出しを行う命令。

下記の命令を使用し、Mirror 領域、コード・フラッシュ・メモリ領域を読み出す場合は対象になります。

命令	オペランド	命令	オペランド	命令	オペランド	命令	オペランド
MOV	A, !addr16	MOVW	AX, !addr16	ADD ADDC SUB SUBC AND OR XOR	A, !addr16	ADDW	AX, !addr16
	A, [DE]		AX, [DE]		A, [HL]		AX, [HL+byte]
	A, [DE+byte]		AX, [DE+byte]		A, [HL+byte]		AX, ES:!addr16
	A, [HL]		AX, [HL]		A, [HL+B]		AX, [HL+byte]
	A, [HL+byte]		AX, [HL+byte]		A, [HL+C]		AX, ES:[HL+byte]
	A, [HL+B]		AX, word[B]		A, [HL+C]		AX, !addr16
	A, [HL+C]		AX, word[C]		A, ES:!addr16		AX, [HL+byte]
	A, word[B]		AX, word[BC]		A, ES:[HL]		AX, ES:!addr16
	A, word[C]		BC, !addr16		A, ES:[HL+byte]		AX, ES:[HL+byte]
	A, word[BC]		DE, !addr16		A, ES:[HL+B]		AX, !addr16
	B, !addr16		HL, !addr16	A, ES:[HL+C]	AX, [HL+byte]		
	C, !addr16		AX, ES:!addr16	A, !addr16	AX, ES:!addr16		
	X, !addr16		AX, ES:[DE]	A, [HL]	AX, ES:[HL+byte]		
	A, ES:!addr16		AX, ES:[DE]	A, [HL+byte]	AX, ES:[HL+byte]		
	A, ES:[DE]		AX, ES:[HL]	A, [HL+B]	AX, ES:[HL+byte]		
	A, ES:[DE+byte]		AX, ES:[HL]	A, [HL+C]	CY, [HL].bit		
	A, ES:[HL]		AX, ES:[HL]	!addr16, #byte	CY, ES:[HL].bit		
	A, ES:[HL+byte]		AX, ES:[HL+byte]	A, ES:!addr16	CY, [HL].bit		
	A, ES:[HL+B]		AX, ES:word[B]	A, ES:[HL]	CY, ES:[HL].bit		
	A, ES:[HL+C]		AX, ES:word[C]	A, ES:[HL+byte]	CY, [HL].bit		
A, ES:word[B]	AX, ES:word[BC]	A, ES:[HL+B]	CY, ES:[HL].bit				
A, ES:word[C]	BC, ES:!addr16	A, ES:[HL+C]	CY, [HL].bit				
A, ES:word[BC]	DE, ES:!addr16	ES:!addr16, #byte	CY, ES:[HL].bit				
B, ES:!addr16	HL, ES:!addr16	!addr16	BT	ES:[HL].bit, \$addr20			
C, ES:!addr16		ES:!addr16	BF	ES:[HL].bit, \$addr20			
X, ES:!addr16		X, [HL+byte]					
		X, ES:[HL+byte]					

条件3. 割り込み要求の保留命令。

下記の命令は割り込み要求を保留するため対象となります。

命令	オペランド
MOV	PSW, #byte
MOV	PSW, A
MOV1	PSW.bit, CY
SET1	PSW.bit
CLR1	PSW.bit
RETB	-
RETI	-
POP	PSW
BTCLR	PSW.bit, \$addr20
EI	-
DI	-
SKC	-
SKNC	-
SKZ	-
SKNZ	-
SKH	-
SKNH	-

また、下記レジスタに対する書き込み命令も割り込み要求を保留するため対象となります。

下記のレジスタが配置されているアドレスを指定しての書き込みも対象です。

- ・ 割り込み要求フラグ・レジスタ  
IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L
- ・ 割り込みマスク・フラグ・レジスタ  
MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L
- ・ 優先順位指定フラグ・レジスタ  
PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L  
PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L

上記のレジスタに対する書き込みが可能な命令は下記通りです。

命令	オペランド	命令	オペランド	命令	オペランド
MOV	sfr, #byte	XCH	A, sfr	INC	!addr16
MOV	!addr16, #byte	XCH	A, !addr16	INC	[HL+byte]
MOV	sfr, A	XCH	A, [DE]	DEC	!addr16
MOV	!addr16, A	XCH	A, [DE+byte]	DEC	[HL+byte]
MOV	[DE], A	XCH	A, [HL]	INCW	!addr16
MOV	[DE+byte], #byte	XCH	A, [HL+byte]	INCW	[HL+byte]
MOV	[DE+byte], A	XCH	A, [HL+B]	DECW	!addr16
MOV	[HL], A	XCH	A, [HL+C]	DECW	[HL+byte]
MOV	[HL+byte], #byte	ONEB	!addr16	MOV1	sfr.bit, CY
MOV	[HL+byte], A	CLRB	!addr16	MOV1	[HL].bit, CY
MOV	[HL+B], A	MOVW	[HL+byte], X	SET1	sfr.bit
MOV	[HL+C], A	MOVW	sfrp, #word	SET1	!addr16.bit
MOV	word[B], #byte	MOVW	sfrp, AX	SET1	[HL].bit
MOV	word[B], A	MOVW	!addr16, AX	CLR1	sfr.bit
MOV	word[C], #byte	MOVW	[DE], AX	CLR1	!addr16.bit
MOV	word[C], A	MOVW	[DE+byte], AX	CLR1	[HL].bit
MOV	word[BC], #byte	MOVW	[HL], AX	BTCLR	sfr.bit, \$addr20
MOV	word[BC], A	MOVW	[HL+byte], AX	BTCLR	[HL].bit, \$addr20
		MOVW	word[B], AX		
		MOVW	word[C], AX		
		MOVW	word[BC], AX		

以上