

# RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア  
ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>

E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	システムLSI	発行番号	TN-RIN-A011B/J	Rev.	第2版
題名	R-IN32M3 シリーズ ユーザーズ・マニュアル 周辺機能編 (Rev.8.00→Rev.9.00) 主な改訂内容：誤記訂正、新規機能追加など		情報分類	技術情報	
適用製品	下記参照	対象ロット等 全ロット	関連資料	R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編 ・ R-IN32M3-EC ・ R-IN32M3-CL Rev.9.00 (R18UZ0006JJ0900)	

R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編・R-IN32M3-EC・R-IN32M3-CL Rev.9.00 (R18UZ0006JJ0900) をリリースいたしました。その改定内容を第2版として全て記載し直しました。詳細については「2. 改訂内容」を参照願います。なお、“※要注意”マークがついている項目は、デバイスを動作させる上で重要な項目ですので、ご確認をお願い致します。

## 1 適用製品

製品分類		マーク型名	製品型名
R-IN32M3-EC	旧製品	MC-10287F1	MC-10287F1-HN4-A MC-10287F1-HN4-M1-A
	現行品	MC-10287BF1	MC-10287BF1-HN4-A MC-10287BF1-HN4-M1-A
R-IN32M3-CL	旧製品	D60510F1	UPD60510F1-HN4-A UPD60510F1-HN4-M1-A
	現行品	D60510BF1	UPD60510BF1-HN4-A UPD60510BF1-HN4-M1-A

## 2 改訂内容

(1/5)

No	訂正箇所 (Rev9.00 見出し番号)	該当ページ (Rev9.00 番号)	内容	2版追加
1	2. クロック機能/リセット機能	p.2-1	補足	★
2	2.1.1 内部クロックの定義	p.2-1	補足	★
3	2.1.2 クロック構成図	p.2-2	誤記訂正	★
4	2.2.2 クロック制御レジスタ (CLKGTD0, CLKGTD1)	p.2-4	誤記訂正	★
5	2.3.2 (5) リセット出力 (RSTOUTZ 出力)	p.2-7	誤記訂正	★
6	2.3.4 (1) ソフトウェア・リセット・レジスタ (SFTRES1)	p.2-10	表記変更	★
7	3. CPU/内蔵 RAM	p.3.1	補足	★
8	3.4.2 リード・バッファ機能	p.3-3	誤記訂正	
9	3.5 内蔵データ RAM	p.3-4	補足	★
10	3.6 バッファ RAM	p.3-5	誤記訂正	★
11	4. バス構成	p.4-1	誤記訂正	
12	6.2 セマフォ	p.6-1	誤記訂正	★
13	6.6 サービス・コール	-	表記変更	★
14	7. ギガビット・イーサネット MAC	p.7-1.	表記変更	★
15	7.1.1 イーサネット・インタフェースの構成	p.7-2	表記変更	★
16	7.3.1 (3) ギガビット・イーサネット MAC 制御レジスタ	p.7-4, 7-5	誤記訂正	★
17	7.3.1 (3) ギガビット・イーサネット MAC 制御レジスタ	p.7-5	表記変更	★
18	7.3.1 (4) ハードウェア・ファンクション・コール・レジスタ	p.7-5	表記変更	
19	7.3.2.1 MAC セレクト・レジスタ	p.7-6	誤記訂正	
20	7.3.3.1 MDC クロック選択レジスタ (MDCCFG)	p.7-7	誤記訂正	★
21	7.3.4.1 MIIM レジスタ (GMAC_MIIM)	p.7-9	表記変更	★
22	7.3.4.2 TX ID レジスタ (GMAC_TXID)	p.7-10	補足	★
23	7.3.4.3 TX RESULT レジスタ (GMAC_TXRESULT)	p.7-10	表記変更	★
24	7.3.4.4 MODE レジスタ (GMAC_MODE)	p.7-11	補足	★
25	7.3.4.5 RX MODE レジスタ (GMAC_RXMODE)	p.7-11	表記変更	★
26	7.3.4.6 TX MODE レジスタ (GMAC_TXMODE)	p.7-13	誤記訂正	
27	7.3.4.6 TX MODE レジスタ (GMAC_TXMODE)	p.7-14	表記変更	★
28	7.3.4.7 RESET レジスタ (GMAC_RESET)	p.7-15	補足	★

(2/5)

No	訂正箇所 (Rev9.00 見出し番号)	該当ページ (Rev9.00 番号)	内容	2版追加
29	7.3.4.8 PAUSE パケットデータレジスタ (GMAC_PAUSEn)	p.7-15	補足	★
30	7.3.4.9 RX FLOW CONTROL レジスタ (GMAC_FLWCTL)	p.7-17	補足	★
31	7.3.4.10 PAUSE パケットレジスタ (GMAC_PAUSPKT)	p.7-17	補足	★
32	7.3.4.11 MAC アドレス・レジスタ (GMAC_ADRnA, GMAC_ADRnB)	p.7-18	誤記訂正	★
33	7.3.4.12 RX FIFO ステータス・レジスタ (GMAC_RXFIFO)	p.7-19	補足	★
34	7.3.4.13 TX FIFO ステータス・レジスタ (GMAC_TXFIFO)	p.7-20	誤記訂正	★
35	7.3.4.14 TCPIPACC レジスタ (GMAC_ACC)	p.7-21	補足	★
36	7.3.4.15 RX MAC ENABLE レジスタ (GMAC_RXMAC_ENA)	p.7-21	補足	★
37	7.3.4.16 LPI モード制御レジスタ (GMAC_LPI_MODE)	p.7-22	補足	★
38	7.3.4.17 LPI CLIENT タイミング制御レジスタ (GMAC_LPI_TIMING)	p.7-22	誤記訂正	★
39	7.3.4.18 受信 Buffer 情報レジスタ (BUFID)	p.7-23	誤記訂正	★
40	7.3.5 ハードウェア・ファンクション・コールレジスタ	p.7-24	表記変更	
41	7.3.5.1 ハードウェア・ファンクション・システム・コールレジスタ (SYSC)	p.7-24	機能追加	
42	7.3.5.1 ハードウェア・ファンクション・システム・コールレジスタ (SYSC)	p.7-24	誤記訂正	★
43	7.3.5.2 ハードウェア・ファンクション・引数レジスタ (R4-7)	p.7-25	補足	
44	7.3.5.3 ハードウェア・ファンクション・動作モード制御レジスタ (CMD)	p.7-26	機能追加	
45	7.3.5.4 ハードウェア・ファンクション・戻り値レジスタ (R0, R1)	p.7-26	補足	
46	7.3.5.5 ハードウェア・ファンクション・タイプレジスタ (CNTX_TYPE0) 7.3.5.6 ハードウェア・ファンクション・状態レジスタ (CNTX_STAT0) 7.4.1 ハードウェア・ファンクション	p.7-27,28	機能追加	
47	7.4.1.1 初期設定	p.7-29	機能追加	★
48	7.4.1.2 ハードウェア・ファンクション・コール発行処理フロー	p.7-29	誤記訂正	★
49	7.4.1.3 Buffer Allocator 7.4.1.4 MAC DMA コントローラ 7.4.1.5 バッファ RAM DMA コントローラ 7.4.2 割り込み機能	p.7-30~50	機能追加	★
50	7.4.1.1 初期設定	p.7-53	表記変更	★
51	7.4.3.1 送信処理用バッファの獲得	p.7-54	誤記訂正	★
52	7.4.3.2 送信データの作成	p.7-55	表記変更	★
53	7.4.2.1 初期設定	p.7-59	誤記訂正	★
54	7.4.4.5 受信データ・フォーマット ※要注意	p.7-60	誤記訂正	
55	7.4.4.5 受信データ・フォーマット ※要注意	p.7-61	機能追加	
56	8.3.1 (2) スイッチ・コンフィギュレーション・レジスタ	p.8-3	誤記訂正	★
57	8.3.1 (3) ラーニング・インタフェース・レジスタ	p.8-4	誤記訂正	★
58	8.3.2.1 イーサネット PHY LINK モード・レジスタ (ETHPHYLNK)	p.8-6	補足	★
59	8.3.2.1 イーサネット PHY LINK モード・レジスタ (ETHPHYLNK)	p.8-6	表記変更	★
60	8.3.3.5 入力ラーニング・ブロッキング・レジスタ (INPUT_LEARN_BLOCK)	p.8-14	誤記訂正	★
61	8.5.2 イーサネット・スイッチの初期化	p.8-98	誤記訂正	★
62	8.5.2 イーサネット・スイッチの初期化	p.8-99	誤記訂正	★
63	9. 非同期 SRAM MEMC (ROM/SRAM)	p.9-1	補足	★
64	9.2 (1) (a) SRAM, 外部 I/O 接続機能	p.9-2	誤記訂正	
65	9.2 (1) (b) ページ ROM 接続機能	p.9-2	誤記訂正	
66	9.3.3 スタティック・メモリ制御レジスタ 0-3 (SMC0-SMC3)	p.9-8	誤記訂正	★
67	9.3.5 ライト・イネーブル切り替えレジスタ (WREN)	p.9-12	表記変更	★
68	9.7 メモリ・アクセス・タイミング例	p.9-18~22	誤記訂正	★
69	9.7 メモリ・アクセス・タイミング例	p.9-18	誤記訂正	★
70	9.7 メモリ・アクセス・タイミング例	p.9-22	誤記訂正	★
71	10. 同期式バースト・アクセス MEMC	p.10-1	誤記訂正	★
72	10.1 特徴	p.10-1	誤記訂正	★
73	10.1 特徴	p.10-2	誤記訂正	★
74	10.2 制御レジスタ	p.10-3	誤記訂正	★
75	10.2.1 WAITZ 選択レジスタ (WAITZSEL)	p.10-4	誤記訂正	★
76	10.2.1 WAITZ 選択レジスタ (WAITZSEL)	p.10-4	補足	★
77	10.2.2 同期式バースト・アクセス MEMC 領域選択レジスタ (SMADSEL0-3)	p.10-7	誤記訂正	★
78	10.2.4 同期式バースト・アクセス MEMC 動作設定レジスタ (SMC352MD) ※要注意	p.10-9	誤記訂正	★
79	10.2.6 サイクル設定レジスタ (SET_CYCLE)	p.10-11	誤記訂正	★
80	10.2.8 同期式バースト・アクセス MEMC リフレッシュ設定レジスタ (REF_PERIOD0) ※要注意	p.10-15	誤記訂正	★
81	10.2.10 同期式バースト・アクセス MEMC CSn モード・レジスタ (OPMODE0_n)	p.10-17	誤記訂正	★
82	10.2.11 レジスタ設定手順	p.10-18	誤記訂正	★
83	10.3.1 バス・クロック選択機能 10.2.11 レジスタ設定手順	p.10-19	誤記訂正	★
84	10.3.3 アドレス/データ・マルチプレクス機能	p.10-20	誤記訂正	★

(3/5)

No	訂正箇所 (Rev9.00 見出し番号)	該当ページ (Rev9.00 番号)	内容	2版追加
85	10.3.4 ライト・イネーブル (WRZn) 信号拡張機能	p.10-21	誤記訂正	★
86	10.3.5 リード・データ・タイミング制御	p.10-22	誤記訂正	★
87	10.3.6 (1) 接続例 1	p.10-23	誤記訂正	★
88	10.3.6 (2) 接続例 2	p.10-24	誤記訂正	★
89	10.3.6 (3) 接続例 3	p.10-25	表記変更	★
90	10.4.2 同期アクセス・タイミング	p.10-44	補足	
91	11. 外部マイコン・インタフェース	p.11-1	補足	
92	11.2.5 (2) HOSTIF バス制御レジスタ (HIFBCC)	p.11-18	表記変更	★
93	11.3.2 動作モードの選択	p.11-27	補足	★
94	11.3.4 (2) HOSTIF 同期 SRAM 制御レジスタ 0 (HIFEXT0)	p.11-29	補足	
95	11.3.4 (3) HOSTIF 同期式 SRAM 制御レジスタ 1 (HIFEXT1)	p.11-30	補足	
96	11.3.5 (1) 外部マイコンからのライト・アクセス (同期 SRAM シングル転送、Address/Data 多重、ライト・ステータス)	p.11-31	誤記訂正	★
97	11.3.5 (2) 外部マイコンからのライト・アクセス (同期 SRAM シングル転送、Address/Data 多重、ライト・ストロープ)	p.11-32	誤記訂正	★
98	11.3.5 (3) 外部マイコンからのリード・アクセス (同期 SRAM シングル転送、Address/Data 多重)	p.11-33	誤記訂正	★
99	12.2.1 転送モード制御レジスタ (SFMSMD)	p.12-3	誤記訂正	★
100	12 章全体	p.12-1~29	誤記訂正	★
101	12.4.4 (1) 個別変換による ROM 読み出し	p.12-25	補足	★
102	12.4.4 (2) SPI バス・サイクル延長機能を用いた ROM 読み出し	p.12-26	補足	★
103	12.4.4 (4) SPI バス・サイクル延長機能を用いた ROM 読み出し	p.12-27	補足	★
104	12.4.5 Deep Power-Down の自動解除	p.12-28	補足	★
105	12.4.6 (3) 直接通信での SPI バス・サイクル生成	p.12-29	補足	
106	13.1.1 概要	p.13-4	補足	
107	13.4.3.2 (4) チャンネル・レジスタ・セット	p.13-21	補足	★
108	13.4.3.2 (4) チャンネル・レジスタ・セット	p.13-25	誤記訂正	★
109	13.4.3.2 (4) チャンネル・レジスタ・セット	p.13-32	補足	★
110	13.4.3.2 (4) チャンネル・レジスタ・セット	p.13-33	表記変更	★
111	13.4.4.2 (4) チャンネル・レジスタ・セット	p.13-59	誤記訂正	★
112	13.4.5 DMA 転送インタフェース信号制御レジスタ (DMAIFC0,DMAIFC1,RTDMAIFC)	p.13-80	誤記訂正	★
113	13.4.5 DMA 転送インタフェース信号制御レジスタ (DMAIFC0,DMAIFC1,RTDMAIFC)	p.13-81	誤記訂正	★
114	13.4.5 DMA 転送インタフェース信号制御レジスタ (DMAIFC0,DMAIFC1,RTDMAIFC)	p.13-82	誤記訂正	★
115	13.4.6 DMA トリガ要因選択レジスタ (DTFRn, RTDTFR)	p.13-85	誤記訂正	★
116	13.4.6 DMA トリガ要因選択レジスタ (DTFRn, RTDTFR)	p.13-88	誤記訂正	★
117	13.5.1 BUSCLK 同期	p.13-89	誤記訂正	★
118	13.5.2 転送要求とアクノリッジ	p.13-89	表記変更	★
119	13.7.1 レジスタ・モードとリンク・モードの選択	p.13-91	誤記訂正	★
120	13.7.2 (1) レジスタ・モードの動作フロー	p.13-94	誤記訂正	★
121	13.7.2 (2) レジスタの設定	p.13-96	誤記訂正	★
122	13.7.2 (3) レジスタの設定例	p.13-98	誤記訂正	★
123	13.7.2 (3) レジスタの設定例	p.13-99	誤記訂正	★
124	13.7.3 (1) リンク・モードの動作フロー	p.13-102	誤記訂正	★
125	13.7.3 (2) レジスタ設定	p.13-103	誤記訂正	★
126	13.8.3 (2) エッジ検出	p.13-122	誤記訂正	★
127	13.8.3 (3) レベル検出	p.13-123	誤記訂正	★
128	13.8.4 DMA アクノリッジ出力機能	p.13-124	表記変更	★
129	13.8.4 (1) DMA 転送要求の要因ごとのアクノリッジ信号モード指定	p.13-125	誤記訂正	★
130	13.8.4 (2) パルス出力	p.13-126	表記変更	★
131	13.8.4 (3) レベル出力	p.13-127	補足	★
132	13.8.4 (4) バス・サイクル出力	p.13-128	補足	★
133	13.8.7 強制掃き出し機能	p.13-134	誤記訂正	★
134	13.9.1 設定例 1 (レジスタ・モード、シングル転送モード、ハードウェア・トリガ)	p.13-142	誤記訂正	★
135	13.9.2 設定例 2 (レジスタ・モード、ブロック転送モード、ソフトウェア・トリガ)	p.13-145	誤記訂正	★
136	13.9.2 設定例 2 (レジスタ・モード、ブロック転送モード、ソフトウェア・トリガ)	p.13-146	誤記訂正	★
137	13.9.3 設定例 3 (レジスタ・モード: 連続実行、ブロック転送モード、ソフトウェア・トリガ)	p.13-148	誤記訂正	★
138	14.1 TAUJ2 の特徴	p.14-1	表記変更	★
139	14.1 TAUJ2 の特徴	p.14-2	誤記訂正	★
140	14.3.2 (1) TAUJ2 プリスケアラ・クロック選択レジスタ (TAUJ2TPS)	p.14-12	表記変更	★
141	14.3.3 (2) TAUJ2 チャンネル・カウンタ・レジスタ (TAUJ2CNTm)	p.14-15	表記変更	★
142	14.3.3 (3) TAUJ2 チャンネル・モード OS レジスタ (TAUJ2CMORm)	p.14-19	補足	★

(4/5)

No	訂正箇所 (Rev9.00 見出し番号)	該当ページ (Rev9.00 番号)	内容	2版追加
143	14.5.1 チャネル連動動作ルール	p.14-31	表記変更	★
144	14.7.5 (8) オーバフロー割り込みの出力方法 (b) ブロック図	p.14-71	表記変更	★
145	15. ウィンドウ・ウォッチドッグ・タイマ A (WDTA)	p.15-1	表記変更	★
146	15.1 WDTA の特徴	p.15-1	表記変更	★
147	15.2 機能概要	p.15-2	表記変更	★
148	16. アシクロナス・シリアル・インタフェース J (UARTJ)	p.16-1	表記変更	★
149	16.1 UARTJn の特徴	p.16-1	表記変更	★
150	16.1 UARTJn の特徴	p.16-2	誤記訂正	★
151	16.4 (2) UARTJn 制御レジスタ 1 (URTJnCTL1)	p.16-9	誤記訂正	
152	16.4 (5) UARTJn ステータス・レジスタ 0 (URTJnSTR0)	p.16-15	補足	
153	16.4 (6) UARTJn ステータス・レジスタ 1 (URTJnSTR1)	p.16-16	補足	
154	16.4 (6) UARTJn ステータス・レジスタ 1 (URTJnSTR1)	p.16-17	補足	
155	16.5.2 (1) 受信エラー発生時の INTUAJnTIR	p.16-29	誤記訂正	★
156	16.5.3 ステータス割り込み要求 INTUAJnTIS <b>※要注意</b>	p.16-31	誤記訂正	★
157	16.6.6 (2) 受信の開始と停止	p.16-47	補足	
158	16.7 ボー・レート・ジェネレータ	p.16-54	補足	
159	17. クロック同期シリアル・インタフェース H (CSIH)	p.17-1	表記変更	★
160	17.1 CSIH の特徴	p.17-1	表記変更	★
161	17.1 CSIH の特徴	p.17-2	誤記訂正	★
162	17.3 CSIH 制御レジスタ	p.17-14	誤記訂正	★
163	17.3 (4) CSIH ステータス・レジスタ 0 (CSIHnSTR0)	p.17-16	表記変更	★
164	17.3 (6) CSIH メモリ制御レジスタ 0 (CSIHnMCTL0)	p.17-19	誤記訂正	★
165	17.3 (10) CSIH コンフィギュレーション・レジスタ x (CSIHnCFGx)	p.17-27	表記変更	★
166	17.3 (10) CSIH コンフィギュレーション・レジスタ x (CSIHnCFGx)	p.17-28	補足	★
167	17.3 (10) CSIH コンフィギュレーション・レジスタ x (CSIHnCFGx)	p.17-29	表記変更	★
168	17.3 (10) CSIH コンフィギュレーション・レジスタ x (CSIHnCFGx)	p.17-30	表記変更	★
169	17.3 (10) CSIH コンフィギュレーション・レジスタ x (CSIHnCFGx)	p.17-31	補足	★
170	17.3 (14) CSIH ハーフ・ワード・アクセス用受信データ・レジスタ 0 (CSIHnRX0H)	p.17-36	誤記訂正	★
171	17.4.2 (2) マスタ 1、スレーブ 2 の場合	p.17-40	表記変更	★
172	17.4.3 (1) コンフィギュレーション・レジスタ	p.17-42	誤記訂正	★
173	17.4.14 ループ・バック・モード	p.17-81	誤記訂正	★
174	18. I2C バス (IICB)	p.18-1	表記変更	★
175	18.1 IICB の特徴	p.18-1	表記変更	★
176	18.1 IICB の特徴	p.18-1	誤記訂正	★
177	18.3 (6) (a) IICBnWL, IICBnWH レジスタによる転送クロック設定方法	p.18-16	誤記訂正	
178	18.4.1 端子構成	p.18-30	誤記訂正	★
179	18.6.1(4) シングル転送モード (スレーブ送信) の通信例	p.18-44	補足	★
180	18.9.1 (1) シングル転送モード時のマスタ動作設定手順	p.18-119	誤記訂正	
181	18.9.1 (2) シングル転送モード時のスレーブ動作設定手順	p.18-120	誤記訂正	★
182	18.9.2 (1) 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット=0) 時のシングル転送モード設定手順	p.18-123	誤記訂正	
183	18.9.2 (1) 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット=0) 時のシングル転送モード設定手順	p.18-124	誤記訂正	
184	18.9.2 (2) 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット=1) 時のシングル転送モード設定手順	p.18-125	補足	
185	18.9.2 (3) 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット=0) 時の連続転送モード設定手順	p.18-127	補足	
186	18.9.2 (3) 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット=0) 時の連続転送モード設定手順	p.18-128	補足	
187	18.9.2 (4) 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット=1) 時の連続転送モード設定手順	p.18-129	補足	
188	18.9.2 (4) 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット=1) 時の連続転送モード設定手順	p.18-130	誤記訂正	
189	19. CAN コントローラ (FCN)	p.19-1	表記変更	★
190	19.1 FCN の特徴	p.19-1	表記変更	★
191	19.1 R-IN32M3 の FCN の特徴	p.19-2	誤記訂正	★
192	19.3.2 (1) FCNn グローバル・レジスタと FCNn モジュール・レジスタ	p.19-12	誤記訂正	★
193	19.5.2 (1) FCNn モジュール・マスク制御レジスタ (FCNnCMCKCTLnH, FCNnCMCKCTLnW)	p.19-32	誤記訂正	★
194	19.5.2 (3) FCNn モジュール最終エラー情報レジスタ (FCNnCMCLCSTR)	p.19-41	誤記訂正	★
195	19.13.1 ボー・レートの設定条件	p.19-109	誤記訂正	★
196	19.14.1 初期化	p.19-116	補足	
197	19.14.2 メッセージの送信	p.19-132	補足	
198	20. CC-Link インタフェース	p.20-1	表記変更	★
199	20.1.2 CC-Link バス・サイズ制御レジスタ (CCBSC)	p.20-2	誤記訂正	★
200	20.1.3 CC-Link バス・ブリッジ制御レジスタ 0 (CCSMC0)	p.20-2	表記変更	★
201	20.1.4 CC-Link バス・ブリッジ制御レジスタ 1 (CCSMC1)	p.20-2	表記変更	★
202	20.1.6 CC-Link Slave RUN LED 制御レジスタ (CCSRUN)	p.20-4	補足	★
203	21. システム・レジスタ (APB 周辺レジスタ領域)	p.21-1	表記変更	★

(5/5)

No	訂正箇所 (Rev9.00 見出し番号)	該当ページ (Rev9.00 番号)	内容	2版追加
204	21.1 レジスタ一覧	p.21-2	表記変更	
205	21.3 IDCODE レジスタ (IDCODE)	p.21-3	表記変更	★
206	21.7 システム・プロテクト・コマンド・レジスタ (SYSPCMD)	p.21-7	表記変更	★
207	21.9.1 タイマ入力機能選択レジスタ (SELCNT)	p.21-10	表記変更	★
208	21.9.1 タイマ入力機能選択レジスタ (SELCNT)	p.21-11	表記変更	★
209	21.9.2 タイマ・トリガ要因レジスタ (TMTFR0-3)	p.21-15	誤記訂正	★
210	21.10.1 ノイズ・フィルタ設定レジスタ 0-3 (NFC0-3)	p.21-17	補足	★
211	21.11 外部割り込みモード・レジスタ 0, 1, 2 (INTM0, INTM1, INTM2)	p.21-21	誤記訂正	★
212	21.11 外部割り込みモード・レジスタ 0, 1, 2 (INTM0, INTM1, INTM2)	p.21-22	誤記訂正	★
213	21.12.2 トリガ同期式ポート要因レジスタ (RP0TFR-RP3TFR)	p.21-29	誤記訂正	★
214	21.14 CPU バス動作モード・レジスタ (CPUBUSMD)	p.21-31	表記変更	★
215	21.15 SRAM ブリッジ選択レジスタ (SRAMBRSEL)	p.21-32	機能追加	
216	22.1 JTAG インタフェース	p.22-1	誤記訂正	★
217	22.1 JTAG インタフェース	p.22-2	誤記訂正	★
218	22.1 JTAG インタフェース	p.22-3	誤記訂正	★

No.1 2. クロック機能  
2章タイトルを変更

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
2	【2. クロック機能】	2-1	【2. クロック機能／リセット機能】

No.2 2.1.1 内部クロックの定義  
LKOUT25M0-1 に注 3 を追加

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
2	<p>【2.1.1 内部クロックの定義】</p> <p>・クロック信号：CLKOUT25M0-1</p> <p>注 1</p> <p>2</p>	2-1	<p>【2.1.1 内部クロックの定義】</p> <p>・クロック信号：CLKOUT25M0-1 <a href="#">注 3</a></p> <p>注 1</p> <p>2</p> <p>3. CLKOUT25M0-1 端子は、R-IN32M3-CL 版のみ搭載しています。</p>

No.3 2.1.2 クロック構成図

図 2.1 クロック構成図の内容を修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
3	<p><b>【2.1.2 クロック構成図】</b> [図 2.1 クロック構成図]</p>	2-2	<p><b>【2.1.2 クロック構成図】</b> [図 2.1 クロック構成図]</p>

**No.4 2.2.2 クロック制御レジスタ (CLKGTD0, CLKGTD1)  
bit13 のビット名を修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
5	<p><b>【2.2.2 クロック制御レジスタ(CLKGTD0, CLKGTD1)】</b>                      ・ビットフィールド図(13)： <b>GC2C0</b></p> <p>[13: <b>GC2C0</b>]                      I2C バス(I2C0)機能(1:動作 / 0:停止)</p>	2-4	<p><b>【2.2.2 クロック制御レジスタ(CLKGTD0, CLKGTD1)】</b>                      ・ビットフィールド図(13)： <b>GC12C0</b></p> <p>[13: <b>GC12C0</b>]                      I2C バス(I2C0)機能(1:動作 / 0:停止)</p>

**No.5 2.3.2 (5) リセット出力 (RSTOUTZ 出力)**

「表 2.1 リセット発生要因とリセット対象」の内容を修正

V8.00		V9.00																																																																															
ページ	記載内容	ページ	改訂内容																																																																														
8	<p><b>【2.3.2 (5) リセット出力(RSTOUTZ 出力)】</b>                      [表 2.1 リセット発生要因とリセット対象]</p> <table border="1"> <thead> <tr> <th rowspan="2">リセット発生要因</th> <th colspan="7">リセット対象</th> </tr> <tr> <th>命令 RAM データ RAM バッファ RAM</th> <th>PLL</th> <th>CC-Link IE Field Network <sup>※1</sup> パワーオンリセット</th> <th>CC-Link</th> <th>EtherCAT <sup>※2</sup></th> <th>CPU の デバッグ・ ユニット</th> <th>その他の 周辺回路</th> </tr> </thead> <tbody> <tr> <td>PONRZ 端子</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> <td>-</td> <td>○</td> </tr> <tr> <td>RESETZ 端子</td> <td>-</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> <td>-</td> <td>○</td> </tr> <tr> <td>HOTRESETZ 端子<sup>※1</sup></td> <td>-</td> <td>-</td> <td>-</td> <td>○</td> <td>○</td> <td>-</td> <td>○</td> </tr> </tbody> </table>	リセット発生要因	リセット対象							命令 RAM データ RAM バッファ RAM	PLL	CC-Link IE Field Network <sup>※1</sup> パワーオンリセット	CC-Link	EtherCAT <sup>※2</sup>	CPU の デバッグ・ ユニット	その他の 周辺回路	PONRZ 端子	○	○	○	○	○	-	○	RESETZ 端子	-	○	○	○	○	-	○	HOTRESETZ 端子 <sup>※1</sup>	-	-	-	○	○	-	○	2-7	<p><b>【2.3.2 (5) リセット出力(RSTOUTZ 出力)】</b>                      [表 2.1 リセット発生要因とリセット対象]</p> <table border="1"> <thead> <tr> <th rowspan="2">リセット発生要因</th> <th colspan="7">リセット対象</th> </tr> <tr> <th>命令 RAM データ RAM バッファ RAM</th> <th>PLL</th> <th>CC-Link IE Field Network <sup>※1</sup> パワーオンリセット</th> <th>CC-Link</th> <th>EtherCAT <sup>※2</sup></th> <th>CPU の デバッグ・ ユニット</th> <th>その他の 周辺回路</th> </tr> </thead> <tbody> <tr> <td>PONRZ 端子</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> <td>-</td> <td>○</td> </tr> <tr> <td>RESETZ 端子</td> <td>-</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> <td>-</td> <td>○</td> </tr> <tr> <td>HOTRESETZ 端子<sup>※1</sup></td> <td>-</td> <td>-</td> <td>-</td> <td>○</td> <td>-</td> <td>-</td> <td>○</td> </tr> </tbody> </table>	リセット発生要因	リセット対象							命令 RAM データ RAM バッファ RAM	PLL	CC-Link IE Field Network <sup>※1</sup> パワーオンリセット	CC-Link	EtherCAT <sup>※2</sup>	CPU の デバッグ・ ユニット	その他の 周辺回路	PONRZ 端子	○	○	○	○	○	-	○	RESETZ 端子	-	○	○	○	○	-	○	HOTRESETZ 端子 <sup>※1</sup>	-	-	-	○	-	-	○
リセット発生要因	リセット対象																																																																																
	命令 RAM データ RAM バッファ RAM	PLL	CC-Link IE Field Network <sup>※1</sup> パワーオンリセット	CC-Link	EtherCAT <sup>※2</sup>	CPU の デバッグ・ ユニット	その他の 周辺回路																																																																										
PONRZ 端子	○	○	○	○	○	-	○																																																																										
RESETZ 端子	-	○	○	○	○	-	○																																																																										
HOTRESETZ 端子 <sup>※1</sup>	-	-	-	○	○	-	○																																																																										
リセット発生要因	リセット対象																																																																																
	命令 RAM データ RAM バッファ RAM	PLL	CC-Link IE Field Network <sup>※1</sup> パワーオンリセット	CC-Link	EtherCAT <sup>※2</sup>	CPU の デバッグ・ ユニット	その他の 周辺回路																																																																										
PONRZ 端子	○	○	○	○	○	-	○																																																																										
RESETZ 端子	-	○	○	○	○	-	○																																																																										
HOTRESETZ 端子 <sup>※1</sup>	-	-	-	○	-	-	○																																																																										



**No.6 2.4 (1) ソフトウェア・リセット・レジスタ (SFTRES1)**  
**RSWDT の説明を修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
11	【2.3.4 (1) ソフトウェア・リセット・レジスタ(SFTRES1)】 [4 : RSWDT] Watch Dog Timer 機能	2-10	【2.4 (1) ソフトウェア・リセット・レジスタ(SFTRES1)】 [4 : RSWDT] Watch Dog Timer 機能用ソフトウェアリセット

**No.7 3. CPU**  
**表題の変更、説明を修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
12	【3. CPU】 ここでは、R-IN32M3 製品固有の情報について説明します。	3-1	【3. CPU/内蔵 RAM】 本章では、R-IN32M3 に内蔵している CPU および、内蔵 RAM の概要について説明します。

**No.8 3.4.2 リード・バッファ機能**  
**リード・バッファ機能の説明を修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
14	【3.4.2 リード・バッファ機能】 リード応答時の 2bit ECC エラーは、AHB のエラー応答として扱うと同時に、ECC エラー割り込みを発生させる。	3-3	【3.4.2 リード・バッファ機能】 リード応答時の 2bit ECC エラーは、ECC エラー割り込みを発生させる。★

**No.9 3.5 内蔵データ RAM**  
**内蔵データ RAM の説明を修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
15	<b>【3.5 内蔵データ RAM】</b> 内蔵データ RAM は、512k バイトの RAM です。Header Endec と AHB の双方からのアクセスが可能です。	3-4	<b>【3.5 内蔵データ RAM】</b> 内蔵データ RAM は、512k バイトの RAM です。Header Endec ( <b>Communication-BUS</b> ) と AHB の双方からのアクセスが可能です。

**No.10 3.6 バッファ RAM**  
**バッファ RAM の説明を修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
16	<b>【3.6 バッファ RAM】</b> バッファ RAM は、64k バイトの RAM です。 <b>AHB および</b> Communication-BUS からのアクセスが可能です。	3-5	<b>【3.6 バッファ RAM】</b> バッファ RAM は、64k バイトの RAM です。Communication-BUS からのアクセスが可能です。

**No.11 4. バス構成**  
**「表 4.1 R-IN32M3 の AHB 内部バス」に CC-Link を追加**

V8.00		V9.00																																									
ページ	記載内容	ページ	改訂内容																																								
17	<b>【4. バス構成】</b> [表 4.1 R-IN32M3 の AHB 内部バス] <table border="1" style="width:100%; border-collapse: collapse; text-align: center;"> <tr> <td style="width:15%;">Ether MAC <sup>注6</sup></td> <td>◎</td> <td>○</td> <td>—</td> <td>○</td> <td>○</td> <td>—</td> <td>ラウンドロビン (alternate) <sup>注3</sup></td> </tr> <tr> <td>APB 内蔵周辺機能<sup>注1</sup></td> <td>◎</td> <td>○</td> <td>—</td> <td>○</td> <td>○</td> <td>—</td> <td>ラウンドロビン (alternate) <sup>注3</sup></td> </tr> </table>	Ether MAC <sup>注6</sup>	◎	○	—	○	○	—	ラウンドロビン (alternate) <sup>注3</sup>	APB 内蔵周辺機能 <sup>注1</sup>	◎	○	—	○	○	—	ラウンドロビン (alternate) <sup>注3</sup>	4-1	<b>【4. バス構成】</b> [表 4.1 R-IN32M3 の AHB 内部バス] <table border="1" style="width:100%; border-collapse: collapse; text-align: center;"> <tr> <td style="width:15%;">Ether MAC <sup>注6</sup></td> <td>◎</td> <td>○</td> <td>—</td> <td>○</td> <td>○</td> <td>—</td> <td>ラウンドロビン (alternate) <sup>注3</sup></td> </tr> <tr style="border: 2px solid blue;"> <td>CC-Link★</td> <td>◎</td> <td>○</td> <td>—</td> <td>○</td> <td>○</td> <td>—</td> <td>ラウンドロビン (alternate) <sup>注3</sup></td> </tr> <tr> <td>APB 内蔵周辺機能<sup>注1</sup></td> <td>◎</td> <td>○</td> <td>—</td> <td>○</td> <td>○</td> <td>—</td> <td>ラウンドロビン (alternate) <sup>注3</sup></td> </tr> </table>	Ether MAC <sup>注6</sup>	◎	○	—	○	○	—	ラウンドロビン (alternate) <sup>注3</sup>	CC-Link★	◎	○	—	○	○	—	ラウンドロビン (alternate) <sup>注3</sup>	APB 内蔵周辺機能 <sup>注1</sup>	◎	○	—	○	○	—	ラウンドロビン (alternate) <sup>注3</sup>
Ether MAC <sup>注6</sup>	◎	○	—	○	○	—	ラウンドロビン (alternate) <sup>注3</sup>																																				
APB 内蔵周辺機能 <sup>注1</sup>	◎	○	—	○	○	—	ラウンドロビン (alternate) <sup>注3</sup>																																				
Ether MAC <sup>注6</sup>	◎	○	—	○	○	—	ラウンドロビン (alternate) <sup>注3</sup>																																				
CC-Link★	◎	○	—	○	○	—	ラウンドロビン (alternate) <sup>注3</sup>																																				
APB 内蔵周辺機能 <sup>注1</sup>	◎	○	—	○	○	—	ラウンドロビン (alternate) <sup>注3</sup>																																				

**No.12 6.2 セマフォ**  
**セマフォの識別子数を修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
24	<b>【6.2 セマフォ】</b> セマフォの識別子数は 125 個搭載しています。	6-1	<b>【6.2 セマフォ】</b> セマフォの識別子数は 128 個搭載しています。

**No.13 6.6 サービス・コール**  
**サービス・コールを削除**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
27 ~ 29	<b>【6.6 サービス・コール】</b>	-	(削除)

**No.14 7. ギガビット・イーサネット MAC**  
**「R-IN32M3-CL」の CC-Link IE Field の機能説明を修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
30	<b>【7. ギガビット・イーサネット MAC】</b> 「R-IN32M3-EC」の EtherCAT スレーブ機能と、「R-IN32M3-CL」の CC-Link IE Field <b>スレーブ</b> 機能に関しては、それぞれ「R-IN32M3-EC ユーザーズ・マニュアル」、「R-IN32M3-CL ユーザーズ・マニュアル」を参照してください。	7-1	<b>【7. ギガビット・イーサネット MAC】</b> 「R-IN32M3-EC」の EtherCAT スレーブ機能と、「R-IN32M3-CL」の CC-Link IE Field 機能に関しては、それぞれ「R-IN32M3-EC ユーザーズ・マニュアル」、「R-IN32M3-CL ユーザーズ・マニュアル」を参照してください。

No.15 7.1.1 イーサネット・インタフェースの構成

「図 7.2 イーサネット・インタフェース周辺構成図 (R-IN32M3-CL)」の CC-Link IE Filed と Selector 間の I/F 機能を修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
32	<p>【7.1.1 イーサネット・インタフェースの構成】 [図 7.2 イーサネット・インタフェース周辺構成図 (R-IN32M3-CL)]</p>	7-2	<p>【7.1.1 イーサネット・インタフェースの構成】 [図 7.2 イーサネット・インタフェース周辺構成図 (R-IN32M3-CL)]</p>

No.16 7.3.1 (3) ギガビット・イーサネット MAC 制御レジスタ  
MAC アドレス・レジスタのレジスタ名を修正

V8.00				V9.00			
ページ	記載内容			ページ	改訂内容		
34 35	【7.3.1 (3) ギガビット・イーサネット MAC 制御レジスタ】			7-4 7-5	【7.3.1 (3) ギガビット・イーサネット MAC 制御レジスタ】		
	MAC アドレス・レジスタ 0A	GMAC_ADR0A	4009 0100H		MAC アドレス・レジスタ 1A	GMAC_ADR1A	4009 0100H
	MAC アドレス・レジスタ 0B	GMAC_ADR0B	4009 0104H		MAC アドレス・レジスタ 1B	GMAC_ADR1B	4009 0104H
	MAC アドレス・レジスタ 1A	GMAC_ADR1A	4009 0108H		MAC アドレス・レジスタ 2A	GMAC_ADR2A	4009 0108H
	MAC アドレス・レジスタ 1B	GMAC_ADR1B	4009 010cH		MAC アドレス・レジスタ 2B	GMAC_ADR2B	4009 010cH
	MAC アドレス・レジスタ 2A	GMAC_ADR2A	4009 0110H		MAC アドレス・レジスタ 3A	GMAC_ADR3A	4009 0110H
	MAC アドレス・レジスタ 2B	GMAC_ADR2B	4009 0114H		MAC アドレス・レジスタ 3B	GMAC_ADR3B	4009 0114H
	MAC アドレス・レジスタ 3A	GMAC_ADR3A	4009 0118H		MAC アドレス・レジスタ 4A	GMAC_ADR4A	4009 0118H
	MAC アドレス・レジスタ 3B	GMAC_ADR3B	4009 011cH		MAC アドレス・レジスタ 4B	GMAC_ADR4B	4009 011cH
	MAC アドレス・レジスタ 4A	GMAC_ADR4A	4009 0120H		MAC アドレス・レジスタ 5A	GMAC_ADR5A	4009 0120H
	MAC アドレス・レジスタ 4B	GMAC_ADR4B	4009 0124H		MAC アドレス・レジスタ 5B	GMAC_ADR5B	4009 0124H
	MAC アドレス・レジスタ 5A	GMAC_ADR5A	4009 0128H		MAC アドレス・レジスタ 6A	GMAC_ADR6A	4009 0128H
	MAC アドレス・レジスタ 5B	GMAC_ADR5B	4009 012cH		MAC アドレス・レジスタ 6B	GMAC_ADR6B	4009 012cH
	MAC アドレス・レジスタ 6A	GMAC_ADR6A	4009 0130H		MAC アドレス・レジスタ 7A	GMAC_ADR7A	4009 0130H
	MAC アドレス・レジスタ 6B	GMAC_ADR6B	4009 0134H		MAC アドレス・レジスタ 7B	GMAC_ADR7B	4009 0134H
	MAC アドレス・レジスタ 7A	GMAC_ADR7A	4009 0138H		MAC アドレス・レジスタ 8A	GMAC_ADR8A	4009 0138H
	MAC アドレス・レジスタ 7B	GMAC_ADR7B	4009 013cH		MAC アドレス・レジスタ 8B	GMAC_ADR8B	4009 013cH
	MAC アドレス・レジスタ 8A	GMAC_ADR8A	4009 0140H		MAC アドレス・レジスタ 9A	GMAC_ADR9A	4009 0140H
	MAC アドレス・レジスタ 8B	GMAC_ADR8B	4009 0144H		MAC アドレス・レジスタ 9B	GMAC_ADR9B	4009 0144H
	MAC アドレス・レジスタ 9A	GMAC_ADR9A	4009 0148H		MAC アドレス・レジスタ 10A	GMAC_ADR10A	4009 0148H
	MAC アドレス・レジスタ 9B	GMAC_ADR9B	4009 014cH		MAC アドレス・レジスタ 10B	GMAC_ADR10B	4009 014cH
	MAC アドレス・レジスタ 10A	GMAC_ADR10A	4009 0150H		MAC アドレス・レジスタ 11A	GMAC_ADR11A	4009 0150H
	MAC アドレス・レジスタ 10B	GMAC_ADR10B	4009 0154H		MAC アドレス・レジスタ 11B	GMAC_ADR11B	4009 0154H
	MAC アドレス・レジスタ 11A	GMAC_ADR11A	4009 0158H		MAC アドレス・レジスタ 12A	GMAC_ADR12A	4009 0158H
	MAC アドレス・レジスタ 11B	GMAC_ADR11B	4009 015cH		MAC アドレス・レジスタ 12B	GMAC_ADR12B	4009 015cH
	MAC アドレス・レジスタ 12A	GMAC_ADR12A	4009 0160H		MAC アドレス・レジスタ 13A	GMAC_ADR13A	4009 0160H
	MAC アドレス・レジスタ 12B	GMAC_ADR12B	4009 0164H		MAC アドレス・レジスタ 13B	GMAC_ADR13B	4009 0164H
	MAC アドレス・レジスタ 13A	GMAC_ADR13A	4009 0168H		MAC アドレス・レジスタ 14A	GMAC_ADR14A	4009 0168H
	MAC アドレス・レジスタ 13B	GMAC_ADR13B	4009 016cH		MAC アドレス・レジスタ 14B	GMAC_ADR14B	4009 016cH
	MAC アドレス・レジスタ 14A	GMAC_ADR14A	4009 0170H		MAC アドレス・レジスタ 15A	GMAC_ADR15A	4009 0170H
	MAC アドレス・レジスタ 14B	GMAC_ADR14B	4009 0174H		MAC アドレス・レジスタ 15B	GMAC_ADR15B	4009 0174H
	MAC アドレス・レジスタ 15A	GMAC_ADR15A	4009 0178H		MAC アドレス・レジスタ 16A	GMAC_ADR16A	4009 0178H
	MAC アドレス・レジスタ 15B	GMAC_ADR15B	4009 017cH		MAC アドレス・レジスタ 16B	GMAC_ADR16B	4009 017cH

**No.17 7.3.1 (3) ギガビット・イーサネット MAC 制御レジスタ**  
**LPI モード制御レジスタ、LPI CLIENT タイミング制御レジスタ用の注削除**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
35	<p><b>【7.3.1 (3) ギガビット・イーサネット MAC 制御レジスタ】</b>                      LPI モード制御レジスタ<sup>注</sup>                      LPI CLIENT タイミング制御レジスタ<sup>注</sup></p> <p><b>注</b> イーサネット・スイッチが LPI モードに対応していないため、MACSEL の値が"0000 0002H"の場合のみ有効です。</p>	7-5	<p><b>【7.3.1 (3) ギガビット・イーサネット MAC 制御レジスタ】</b>                      LPI モード制御レジスタ                      LPI CLIENT タイミング制御レジスタ</p> <p>(削除)</p>

**No.18 7.3.1 (4) ハードウェア・ファンクション・コール・レジスタ**  
**レジスタ名の修正、レジスタの追加**

V8.00		V9.00																																																										
ページ	記載内容	ページ	改訂内容																																																									
35	<p><b>【7.3.1 (4) ハードウェア・ファンクション・コール・レジスタ】</b></p> <table border="1"> <thead> <tr> <th>レジスタ名</th> <th>略号</th> <th>アドレス</th> </tr> </thead> <tbody> <tr> <td>ハードウェア・ファンクション・コマンドレジスタ</td> <td>SYSC</td> <td>4008 F000H</td> </tr> <tr> <td>ハードウェア・ファンクション・引数レジスタ 4</td> <td>R4</td> <td>4008 F004H</td> </tr> <tr> <td>ハードウェア・ファンクション・引数レジスタ 5</td> <td>R5</td> <td>4008 F008H</td> </tr> <tr> <td>ハードウェア・ファンクション・引数レジスタ 6</td> <td>R6</td> <td>4008 F00CH</td> </tr> <tr> <td>ハードウェア・ファンクション・引数レジスタ 7</td> <td>R7</td> <td>4008 F010H</td> </tr> <tr> <td>ハードウェア・ファンクション・戻り値レジスタ 0</td> <td>R0</td> <td>4008 F020H</td> </tr> <tr> <td>ハードウェア・ファンクション・戻り値レジスタ 1</td> <td>R1</td> <td>4008 F024H</td> </tr> </tbody> </table>	レジスタ名	略号	アドレス	ハードウェア・ファンクション・コマンドレジスタ	SYSC	4008 F000H	ハードウェア・ファンクション・引数レジスタ 4	R4	4008 F004H	ハードウェア・ファンクション・引数レジスタ 5	R5	4008 F008H	ハードウェア・ファンクション・引数レジスタ 6	R6	4008 F00CH	ハードウェア・ファンクション・引数レジスタ 7	R7	4008 F010H	ハードウェア・ファンクション・戻り値レジスタ 0	R0	4008 F020H	ハードウェア・ファンクション・戻り値レジスタ 1	R1	4008 F024H	7-5	<p><b>【7.3.1 (4) ハードウェア・ファンクション・コール・レジスタ】</b></p> <table border="1"> <thead> <tr> <th>レジスタ名</th> <th>略号</th> <th>アドレス</th> </tr> </thead> <tbody> <tr> <td>ハードウェア・ファンクション・システムコールレジスタ</td> <td>SYSC</td> <td>4008 F000H</td> </tr> <tr> <td>ハードウェア・ファンクション・引数レジスタ 4</td> <td>R4</td> <td>4008 F004H</td> </tr> <tr> <td>ハードウェア・ファンクション・引数レジスタ 5</td> <td>R5</td> <td>4008 F008H</td> </tr> <tr> <td>ハードウェア・ファンクション・引数レジスタ 6</td> <td>R6</td> <td>4008 F00CH</td> </tr> <tr> <td>ハードウェア・ファンクション・引数レジスタ 7</td> <td>R7</td> <td>4008 F010H</td> </tr> <tr> <td>ハードウェア・ファンクション・動作モード制御レジスタ</td> <td>CMD</td> <td>4008 F014H</td> </tr> <tr> <td>ハードウェア・ファンクション・戻り値レジスタ 0</td> <td>R0</td> <td>4008 F020H</td> </tr> <tr> <td>ハードウェア・ファンクション・戻り値レジスタ 1</td> <td>R1</td> <td>4008 F024H</td> </tr> <tr> <td>ハードウェア・ファンクション・タイプレジスタ</td> <td>CNTX_TYPE0</td> <td>04008 0000H</td> </tr> <tr> <td>ハードウェア・ファンクション・状態レジスタ</td> <td>CNTX_STAT0</td> <td>04008 0008H</td> </tr> </tbody> </table>	レジスタ名	略号	アドレス	ハードウェア・ファンクション・システムコールレジスタ	SYSC	4008 F000H	ハードウェア・ファンクション・引数レジスタ 4	R4	4008 F004H	ハードウェア・ファンクション・引数レジスタ 5	R5	4008 F008H	ハードウェア・ファンクション・引数レジスタ 6	R6	4008 F00CH	ハードウェア・ファンクション・引数レジスタ 7	R7	4008 F010H	ハードウェア・ファンクション・動作モード制御レジスタ	CMD	4008 F014H	ハードウェア・ファンクション・戻り値レジスタ 0	R0	4008 F020H	ハードウェア・ファンクション・戻り値レジスタ 1	R1	4008 F024H	ハードウェア・ファンクション・タイプレジスタ	CNTX_TYPE0	04008 0000H	ハードウェア・ファンクション・状態レジスタ	CNTX_STAT0	04008 0008H
レジスタ名	略号	アドレス																																																										
ハードウェア・ファンクション・コマンドレジスタ	SYSC	4008 F000H																																																										
ハードウェア・ファンクション・引数レジスタ 4	R4	4008 F004H																																																										
ハードウェア・ファンクション・引数レジスタ 5	R5	4008 F008H																																																										
ハードウェア・ファンクション・引数レジスタ 6	R6	4008 F00CH																																																										
ハードウェア・ファンクション・引数レジスタ 7	R7	4008 F010H																																																										
ハードウェア・ファンクション・戻り値レジスタ 0	R0	4008 F020H																																																										
ハードウェア・ファンクション・戻り値レジスタ 1	R1	4008 F024H																																																										
レジスタ名	略号	アドレス																																																										
ハードウェア・ファンクション・システムコールレジスタ	SYSC	4008 F000H																																																										
ハードウェア・ファンクション・引数レジスタ 4	R4	4008 F004H																																																										
ハードウェア・ファンクション・引数レジスタ 5	R5	4008 F008H																																																										
ハードウェア・ファンクション・引数レジスタ 6	R6	4008 F00CH																																																										
ハードウェア・ファンクション・引数レジスタ 7	R7	4008 F010H																																																										
ハードウェア・ファンクション・動作モード制御レジスタ	CMD	4008 F014H																																																										
ハードウェア・ファンクション・戻り値レジスタ 0	R0	4008 F020H																																																										
ハードウェア・ファンクション・戻り値レジスタ 1	R1	4008 F024H																																																										
ハードウェア・ファンクション・タイプレジスタ	CNTX_TYPE0	04008 0000H																																																										
ハードウェア・ファンクション・状態レジスタ	CNTX_STAT0	04008 0008H																																																										

**No.19 7.3.2.1 MAC セレクト・レジスタ  
選択値を修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
36	<b>【7.3.2.1 MAC セレクト・レジスタ】</b> [2-0 : MAC2-MAC0] 010 注3	7-6	<b>【7.3.2.1 MAC セレクト・レジスタ】</b> [2-0 : MAC2-MAC0] 011 注3★

**No.20 7.3.3.1 MDC クロック選択レジスタ (MDCCFG)  
注意 2 の説明を修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
37	<b>【7.3.3.1 MDC クロック選択レジスタ(MDCCFG)】</b> 注意 2. 本レジスタの設定は、MACSEL レジスタの値が”0000 0000H”または”0000 0002H”の時のみ有効です。	7-7	<b>【7.3.3.1 MDC クロック選択レジスタ(MDCCFG)】</b> 注意 2. 本レジスタの設定は、MACSEL レジスタの値が”0000 0000H”または”0000 0003H”の時のみ有効です。

**No.21 7.3.4.1 MIIM レジスタ (GMAC\_MIIM)**

**Write 時、Read 時、注意、注の説明を修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
39	<p><b>【7.3.4.1 MIIM レジスタ(GMAC_MIIM)】</b></p> <p>1. Write オペレーションの開始: bit26 = 1、bit25-21 に PHY アドレス、bit20-16 に PHY のレジスタアドレス、bit15-0 に Write データを設定</p> <p>4. Read オペレーションの開始: bit26 = 0、bit25-21 に PHY アドレス、bit20-16 に PHY のレジスタアドレスを設定</p> <p>注意 MIIM レジスタは、MAC セレクト・レジスタ(MACSEL)の値が"0000 0000H"または"0000 0002H"の場合のみ有効です。その他の場合、書き込みは無効で読み出す値は不定です。</p> <p>注 1 リセット直後の RWDV ビットは 1 を示していますが、DATA15-0 ビットが有効な値を示しているわけではありません。オペレーションの開始処理(レジスタへの Write)を行うことで、正常なステータスを示すようになります。</p>	7-9	<p><b>【7.3.4.1 MIIM レジスタ(GMAC_MIIM)】</b></p> <p>1. Write オペレーションの開始: RWDV ビット = 1、PHYADDR4-0 ビットに PHY アドレス、REGADDR4-0 ビットに PHY のレジスタアドレス、DATA15-0 ビットに Write データを設定</p> <p>4. Read オペレーションの開始: RWDV ビット = 0、PHYADDR4-0 ビットに PHY アドレス、REGADDR4-0 ビットに PHY のレジスタアドレスを設定</p> <p>注意 本レジスタは、MAC セレクト・レジスタ(MACSEL)で設定されたマネージメントインタフェースにおいて有効です。その他の場合、書き込みは無効で読み出す値は不定になります。</p> <p>注 リセット解除後は RWDV ビット = 1 になりますが、このときの DATA15-0 ビットは有効な値ではありません。RWDV ビットでステータスを確認する場合は、必ずオペレーションの開始処理を行うことで、正常なステータスを確認できます。</p>

**No.22 7.3.4.2 TX ID レジスタ (GMAC\_TXID)**

**TX ID レジスタの説明を追加**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
40	<p><b>【7.3.4.2 TX ID レジスタ(GMAC_TXID)】</b> (記載なし)</p>	7-10	<p><b>【7.3.4.2 TX ID レジスタ(GMAC_TXID)】</b></p> <p>本レジスタは、GMAC_TXRESULT レジスタに対応した送信フレームの ID を示すレジスタです。送信フレーム結果 ID を確認する場合は、必ず GMAC_TXRESULT レジスタの読み出しより前に本レジスタの読み出しを行ってください。GMAC_TXRESULT レジスタを先に読み出した場合は、送信フレーム結果が更新されるため、本レジスタでは更新後の送信フレーム ID を読み出します。</p>



No.23 7.3.4.3 TX RESULT レジスタ (GMAC\_TXRESULT)

TX RESULT レジスタの説明を追加、注意を削除

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
40	<p><b>【7.3.4.3 TX RESULT レジスタ(GMAC_TXRESULT)】</b> (記載なし)</p> <p>注意 TX ID と TX RESULT レジスタはいずれも送信フレームの結果を示すレジスタです。これら 2 つのレジスタは TX RESULT レジスタを Read した際に更新され、次のフレームの送信結果を読み出すことができます。したがって、読み出す順序として、必ず TX ID レジスタを先に読み出す必要があります。 (TX RESULT レジスタを先に Read した場合、TX ID レジスタで読み出されるフレーム ID は次の送信結果に対する TX ID を示しています)</p>	7-10	<p><b>【7.3.4.3 TX RESULT レジスタ(GMAC_TXRESULT)】</b> 本レジスタは、送信フレーム結果を示すレジスタです。 送信フレーム結果は本レジスタを読み出すことで更新され、次の読み出しで更新後の送信フレーム結果を読み出すことが可能です。</p> <p>(削除)</p>

No.24 7.3.4.4 MODE レジスタ (GMAC\_MODE)

MODE レジスタの説明、ETHMODE、DUPMODE の意味を追加

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
41	<p><b>【7.3.4.4 MODE レジスタ(GMAC_MODE)】</b> (記載なし)</p> <p>[31 : ETHMODE] Ethernet Mode 1: Giga bit Ethernet モードで動作します</p> <p>[30 : DUPMODE] Duplex Mode 1: Full Duplex モードで動作します</p>	7-11	<p><b>【7.3.4.4 MODE レジスタ(GMAC_MODE)】</b> 本レジスタは、ギガビット・イーサネット MAC の動作モードを制御するレジスタです。</p> <p>[31 : ETHMODE] Ethernet Mode 1: Giga bit Ethernet モードで動作します。 イーサネット・スイッチと接続して使用する時は、このモードを使用してください。</p> <p>[30 : DUPMODE] Duplex Mode 1: Full Duplex モードで動作します。 イーサネット・スイッチと接続して使用する時は、このモードを使用してください。</p>

**No.25 7.3.4.5 RX MODE レジスタ (GMAC\_RXMODE)**  
**RX MODE レジスタ、MFILLTEREN の意味を追加**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
41	<p><b>【7.3.4.5 RX MODE レジスタ(GMAC_RXMODE)】</b>                      (記載なし)</p> <p>[30 : MFILLTEREN]                      Multicast Filtering Enable                      1:MAC アドレス・レジスタ(GMAC_ADRnA, GMAC_ADRnB)に登録されたマルチキャスト以外のマルチキャストアドレスフレームを破棄します</p>	7-11	<p><b>【7.3.4.5 RX MODE レジスタ(GMAC_RXMODE)】</b>                      本レジスタは、フレーム受信動作を制御するレジスタです。</p> <p>[30 : MFILLTEREN]                      Multicast Filtering Enable                      1:MAC アドレス・レジスタ(GMAC_ADRnA, GMAC_ADRnB)に登録されたマルチキャスト以外のマルチキャストアドレスフレームを破棄します (n = 1-16)</p>

**No.26 7.3.4.6 TX MODE レジスタ (GMAC\_TXMODE)**  
**TX MODE レジスタの説明を追加、SFOP を削除、LPTXEN の意味に注を追加**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
43	<p><b>【7.3.4.6 TX MODE レジスタ(GMAC_TXMODE)】</b>                      (記載なし)</p> <p>・ビットフィールド図(26) : SFOP                      ・R/W 属性(26) : R/W</p> <p>[30 : LPTXEN]                      Long Packet TX Enable                      1:IEEE802.3 の規格を超えた長さのフレームの送信を可能にします</p> <p>[26 : SFOP]                      Store &amp; Forward Option                      1:TX FIFO において、フレームカウンタを使用します                      0:TX FIFO において、フレームカウンタを使用しません</p> <p>(記載なし)</p>	7-13	<p><b>【7.3.4.6 TX MODE レジスタ(GMAC_TXMODE)】</b>                      本レジスタは、フレーム送信動作を制御するレジスタです。</p> <p>・ビットフィールド図(26) : 0                      ・R/W 属性(26) : 0</p> <p>[30 : LPTXEN]                      Long Packet TX Enable                      1:IEEE802.3 の規格を超えた長さのフレームの送信を可能にします<sup>注</sup></p> <p>(削除)</p> <p>注 イーサネット・スイッチのマネージメント・タグ挿入機能を有効にしている場合 (ETHSWMTC レジスタ SWTAGEN ビット="1")、フレームの最大サイズ 1518 バイトを超える可能性があるため、LPTXEN を"1"に設定する必要があります。★</p>

No.27 7.3.4.6 TX MODE レジスタ (GMAC\_TXMODE)

TRBMODE1-0 の意味を修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
44	<p><b>【7.3.4.6 TX MODE レジスタ(GMAC_TXMODE)】</b>                      [7-6 : TRBMODE1-0]                      Transmission Result Buffer Mode                      TX RESULT レジスタへ送信結果を書き込む方法を制御します。                      00: 常時書き込み                      01: エラー時のみ書き込み                      10: 書き込みを行わない</p>	7-14	<p><b>【7.3.4.6 TX MODE レジスタ(GMAC_TXMODE)】</b>                      [7-6 : TRBMODE1-0]                      Transmission Result Buffer Mode                      GMAC_TXRESULT レジスタへ送信結果を書き込む方法を制御します。                      00: 常時書き込み                      01: エラー時のみ書き込み                      10: 書き込みを行わない                      11: 設定禁止</p>

No.28 7.3.4.7 RESET レジスタ (GMAC\_RESET)

RESET レジスタの説明を追加、ALLRST, TXRST, RXRST の意味の修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
44	<p><b>【7.3.4.7 RESET レジスタ(GMAC_RESET)】</b>                      (記載なし)</p> <p>[31 : ALLRST]                      全ての Ethernet MAC モジュールをリセットします。このビットは自動的に0に戻ります。</p> <p>[15 : TXRST]                      TX MAC, TX FIFO, TX DMA モジュールをリセットします。このビットは自動的に0に戻ります。</p> <p>[13 : RXRST]                      RX MAC, RX FIFO, RX DMA モジュールをリセットします。このビットは自動的に0に戻ります。</p>	7-15	<p><b>【7.3.4.7 RESET レジスタ(GMAC_RESET)】</b>                      本レジスタは、ソフトウェアでギガビット・イーサネット MAC をリセットするトリガレジスタです。各ビットに1をセットすることでモジュールにリセットをかけることが可能です。1をセットしリセット処理完了後に各ビットは自動的に0に戻ります。</p> <p>[31 : ALLRST]                      全ての Ethernet MAC モジュールをリセットします。                      0: リセット完了後                      1: リセット中</p> <p>[15 : TXRST]                      TX MAC, TX FIFO, TX DMA モジュールをリセットします。                      0: リセット完了後                      1: リセット中</p> <p>[13 : RXRST]                      RX MAC, RX FIFO, RX DMA モジュールをリセットします。                      0: リセット完了後                      1: リセット中</p>

**No.29 7.3.4.8 PAUSE パケットデータレジスタ (GMAC\_PAUSEn)  
PAUSE レジスタの説明を追加**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
45	【7.3.4.8 PAUSE パケットデータレジスタ(GMAC_PAUSEn)】 (記載なし)	7-15	【7.3.4.8 PAUSE パケットデータレジスタ(GMAC_PAUSEn)】 本レジスタは、送信されるポーズパケットの指定を行うレジスタです。

**No.30 7.3.4.9 RX FLOW CONTROL レジスタ (GMAC\_FLWCTL)  
RX FLOW CONTROL レジスタの説明を追加**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
46	【7.3.4.9 RX FLOW CONTROL レジスタ(GMAC_FLWCTL)】 (記載なし)	7-17	【7.3.4.9 RX FLOW CONTROL レジスタ(GMAC_FLWCTL)】 本レジスタは、ポーズパケットの受信機能を制御するレジスタです。

**No.31 7.3.4.10 PAUSE パケットレジスタ (GMAC\_PAUSPKT)  
PAUSE パケットレジスタの説明を追加、PPR の意味を修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
46	【7.3.4.10 PAUSE パケットレジスタ(GMAC_PAUSPKT)】 (記載なし)  [31 : PPR] ‘1’を書き込むことにより、ポーズパケットを送出します。ポーズパケットの送信が終わると‘0’に戻ります。	7-17	【7.3.4.10 PAUSE パケットレジスタ(GMAC_PAUSPKT)】 本レジスタは、ポーズパケットの送信を制御するレジスタです。 PPR ビットに 1 を書き込むとポーズパケットの送信を開始できます。送信開始後、ポーズパケットの送信が完了すると自動的に 0 になります。  [31 : PPR] ポーズパケットの送信を制御します。 0: 何もしない 1: ポーズパケットの送信開始

**No.32 7.3.4.11 MAC アドレス・レジスタ (GMAC\_ADRnA, GMAC\_ADRnB)**  
**MAC アドレス・レジスタの説明、BITMSK7-0の意味を修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
47	<p><b>【7.3.4.11 MAC アドレス・レジスタ(GMAC_ADRnA, GMAC_ADRnB)】</b>                      MAC アドレスを設定するレジスタです。                      全 16 アドレスを登録することが<b>でき</b>、GMAC_ADRnB レジスタの <b>23~16 ビット</b>により、複数アドレスのフィルタリングを行うことも可能です。(n = 0, 1, ..., 15)</p> <p>[23-16 : BITMSK7-0]                      DA[7:0]の一致比較にビットごとにマスクします。bit[23:16]が DA[7:0]のビット位置に対応し、0 の立っているビットは一致比較の対象から外します。                      例えば、マスクレジスタのビット BITMSK2-0 が 0 のとき、DA[2:0]は一致比較の対象から外します。                      すなわち DA[47:3]が一致していればこのフレームを取り込みます。</p>	7-18	<p><b>【7.3.4.11 MAC アドレス・レジスタ(GMAC_ADRnA, GMAC_ADRnB)】</b>                      本レジスタは、MAC アドレスを設定するレジスタです。                      全 16 アドレスを登録することが<b>可能</b>で、GMAC_ADRnB レジスタの <b>BITMSK7-0 ビット</b>により、複数アドレスのフィルタリングを行うことも可能です。(n = 1, 2, ..., 16)</p> <p>[23-16 : BITMSK7-0]                      Destination MAC Address[7:0]の一致比較にビットごとにマスクします。bit[23:16]が Destination MAC Address[7:0]のビット位置に対応し、0 の立っているビットは一致比較の対象から外します。                      例えば、マスクレジスタのビット BITMSK2-0 が 0 のとき、Destination MAC Address[2:0]は一致比較の対象から外します。すなわち Destination MAC Address[47:3]が一致していればこのフレームを取り込みます。</p>

**No.33 7.3.4.12 RX FIFO ステータス・レジスタ (GMAC\_RXFIFO)**  
**RX FIFO ステータス・レジスタの説明を追加**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
48	<p><b>【7.3.4.12 RX FIFO ステータス・レジスタ(GMAC_RXFIFO)】</b>                      (記載なし)</p> <p>[31 : RFULL]                      RX FIFO Almost Full                      RX FIFO 内のデータが Receive Almost Full Threshold 以上になったとき '1' となります。(この閾値は <b>RX MODE</b> レジスタで設定します)</p> <p>[30 : REMP]                      RX FIFO Almost Empty                      RX FIFO 内のデータが Receive Almost Empty Threshold 以下になったとき '1' となります。                      (この閾値は <b>RX MODE</b> レジスタで設定します)</p> <p>[29 : RRT]                      RX FIFO Read Trigger                      RX FIFO 内のデータが RX FIFO Read Threshold 以下になったとき '1' となります。                      (この閾値は <b>RX MODE</b> レジスタで設定します)</p>	7-19	<p><b>【7.3.4.12 RX FIFO ステータス・レジスタ(GMAC_RXFIFO)】</b>                      本レジスタは、受信 FIFO の状態を示すステータスレジスタです。</p> <p>[31 : RFULL]                      RX FIFO Almost Full                      RX FIFO 内のデータが Receive Almost Full Threshold 以上になったとき '1' となります。                      (Receive Almost Full Threshold は GMAC_RXMODE レジスタで設定します)</p> <p>[30 : REMP]                      RX FIFO Almost Empty                      RX FIFO 内のデータが Receive Almost Empty Threshold 以下になったとき '1' となります。                      (Receive Almost Empty Threshold は GMAC_RXMODE レジスタで設定します)</p> <p>[29 : RRT]                      RX FIFO Read Trigger                      RX FIFO 内のデータが RX FIFO Read Threshold 以下になったとき '1' となります。                      (RX FIFO Read Threshold は GMAC_RXMODE レジスタで設定します)</p>

**No.34 7.3.4.13 TX FIFO ステータス・レジスタ (GMAC\_TXFIFO)**

**TX FIFO ステータス・レジスタの説明を追加、TFULL を削除**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
49	<p><b>【7.3.4.13 TX FIFO ステータス・レジスタ(GMAC_TXFIFO)】</b> (記載なし)</p> <p>・ビットフィールド図(31) : <b>TFULL</b> ・R/W 属性(31) : <b>R</b></p> <p>[31 : TFULL] TX TCP/IP ACC Almost Full 送信側 TCP/IP アクセラレータ内の FIFO 内のデータが 32 ワード以上になったとき '1' となります。</p>	7-20	<p><b>【7.3.4.13 TX FIFO ステータス・レジスタ(GMAC_TXFIFO)】</b> 本レジスタは、送信 FIFO の状態を示すステータスレジスタです。</p> <p>・ビットフィールド図(31) : <b>0</b> ・R/W 属性(31) : <b>0</b></p> <p>(削除)</p>

**No.35 7.3.4.14 TCPIPACC レジスタ (GMAC\_ACC)**

**TCPIPACC レジスタの説明を追加、RTCP/IPACC の説明を修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
50	<p><b>【7.3.4.14 TCPIPACC レジスタ(GMAC_ACC)】</b> (記載なし)</p> <p>[2 : RTCP/IPACC] 1:RX TCPIPACC Off RX TCPIP アクセラレータの Checksum 支援を Off にします。MAC ヘッダ部の Padding は挿入されま す。</p>	7-21	<p><b>【7.3.4.14 TCPIPACC レジスタ(GMAC_ACC)】</b> 本レジスタは、TCPIP アクセラレータの動作を制御するレジスタです。</p> <p>[2 : RTCP/IPACC] 1:RX TCPIPACC Off RX TCPIP アクセラレータの Checksum 支援を Off にします。 MAC ヘッダ部の Padding は挿入されます。 0:RX TCPIP アクセラレータの Checksum 支援は On のままです。</p>

**No.36 7.3.4.15 RX MAC ENABLE レジスタ (GMAC\_RXMAC\_ENA)**

**RX MAC ENABLE レジスタの説明を追加**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
50	<p><b>【7.3.4.15 RX MAC ENABLE レジスタ(GMAC_RXMAC_ENA)】</b> (記載なし)</p>	7-21	<p><b>【7.3.4.15 RX MAC ENABLE レジスタ(GMAC_RXMAC_ENA)】</b> 本レジスタは、受信用 MAC の動作を制御するレジスタです。</p>

**No.37 7.3.4.16 LPI モード制御レジスタ (GMAC\_LPI\_MODE)**

**LPI モード制御レジスタの説明を追加**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
51	【7.3.4.16 LPI モード制御レジスタ(GMAC_LPI_MODE)】 (記載なし)	7-22	【7.3.4.16 LPI モード制御レジスタ(GMAC_LPI_MODE)】 本レジスタは、LPI(Low Power Idle)モードの制御をするレジスタです。 イーサネット・スイッチを経由した場合は、本レジスタでLPIモードに設定することは禁止です。

**No.38 7.3.4.17 LPI CLIENT タイミング制御レジスタ (GMAC\_LPI\_TIMING)**

**LPI CLIENT タイミング制御レジスタの説明を追加、注意の説明を修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
51	【7.3.4.17 LPI CLIENT タイミング制御レジスタ(GMAC_LPI_TIMING)】 (記載なし)  注意 GMAC_LPI_MODE レジスタ、GMAC_PLL_TIMING レジスタは、MACSEL レジスタの値が 0000 0002H の場合のみ有効です。	7-22	【7.3.4.17 LPI CLIENT タイミング制御レジスタ(GMAC_LPI_TIMING)】 本レジスタは、LPI モードの信号タイミングを制御するレジスタです。 イーサネット・スイッチを経由した場合は、本レジスタを使用しません。  注意 GMAC_LPI_MODE レジスタ、GMAC_LPI_TIMING レジスタは、MACSEL レジスタの値が 0000 0003H の場合のみ有効です。





No.41 7.3.5.1 ハードウェア・ファンクション・システム・コールレジスタ (SYSC)

ハードウェア・ファンクション・システム・コールレジスタの機能を追加・修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
53	<p>【7.3.5.1 ハードウェア・ファンクション・システム・コールレジスタ(SYSC)】                      [15-0 : SYSC15-0]                      0x5000 バッファの獲得                      0x5100 送信動作の開始                      0x5101 受信動作の開始                      上記以外 設定禁止</p>	7-24	<p>【7.3.5.1 ハードウェア・ファンクション・システム・コールレジスタ(SYSC)】                      [15-0 : SYSC15-0]                      0x5000 Long Buffer の獲得                      0x5006 Short Buffer の獲得                      0x5001 バッファの全開放                      0x5002 バッファの一部開放                      0x5101 受信 MACDMA 機能の有効化                      0x5102 受信 MACDMA 機能の無効化                      0x510B 受信 MACDMA の割り込み制御                      0x510D 受信 MACDMA のエラー要因取得                      0x5100 送信 MACDMA の転送開始                      0x510C 送信 MACDMA のエラー要因取得                      0x5211 バッファ RAM - データ RAM 間の DMA 転送開始                      0x5212 バッファ RAM またはデータ RAM のデータ置換開始                      0x5104 バッファ RAM - バッファ RAM 間の DMA 転送開始                      0x5114 バッファ RAM - バッファ RAM 間の DMA 転送開始 (ディスクリプタ方式)                      上記以外 設定禁止</p>

No.42 7.3.5.1 ハードウェア・ファンクション・システム・コールレジスタ (SYSC)

備考の削除

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
53	<p>【7.3.5.1 ハードウェア・ファンクション・システム・コールレジスタ(SYSC)】                      備考 ハードウェア・ファンクション関連レジスタは、ハードウェア OS アクセラレータの制御でも使用                      されます。</p>	7-24	<p>【7.3.5.1 ハードウェア・ファンクション・システム・コールレジスタ(SYSC)】                      (削除)</p>

**No.43 7.3.5.2 ハードウェア・ファンクション・引数レジスタ (R4-7)**

**ハードウェア・ファンクション・引数レジスタの説明を修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
54	【7.3.5.2 ハードウェア・ファンクション・引数レジスタ(R4-7)】 ハードウェア・ファンクションに渡す引数を書き込みます。使用される引数レジスタは、ハードウェア・ファンクションにより異なります。	7-25	【7.3.5.2 ハードウェア・ファンクション・引数レジスタ(R4-7)】 本レジスタは、ハードウェア・ファンクションに渡す引数を書き込むためのレジスタです。使用される引数レジスタは、ハードウェア・ファンクションにより異なります。詳細については「7.4 機能説明」を参照してください。

**No.44 7.3.5.3 ハードウェア・ファンクション・動作モード制御レジスタ (CMD)**

**ハードウェア・ファンクション・動作モード制御レジスタを追加**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
55	(記載なし)	7-26	【7.3.5.3 ハードウェア・ファンクション・動作モード制御レジスタ(CMD)】 本レジスタは、ハードウェア・ファンクションの動作モードを制御します。 [31-0 : CMDB31-0] ハードウェア・ファンクションの動作モードを制御します。 0x0000 8004: ハードウェア・ファンクション、ハードウェア・リアルタイム OS を起動

**No.45 7.3.5.4 ハードウェア・ファンクション・戻り値レジスタ (R0, R1)**

**ハードウェア・ファンクション・戻り値レジスタの説明を修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
55	【7.3.5.3 ハードウェア・ファンクション・戻り値レジスタ(R0, R1)】 ハードウェア・ファンクションからの戻り値が格納されます。戻り値の意味はハードウェア・ファンクションに依存します。	7-26	【7.3.5.4 ハードウェア・ファンクション・戻り値レジスタ(R0, R1)】 本レジスタは、ハードウェア・ファンクションからの戻り値が格納されるレジスタです。戻り値はハードウェア・ファンクションに依存します。詳細については「7.4 機能説明」を参照してください。

**No.46** 7.3.5.5 ハードウェア・ファンクション・タイプレジスタ (CNTX\_TYPE0)

7.3.5.6 ハードウェア・ファンクション・状態レジスタ (CNTX\_STAT0)

7.4.1 ハードウェア・ファンクション

ハードウェア・ファンクション・タイプレジスタ、ハードウェア・ファンクション・状態レジスタ、ハードウェア・ファンクションを追加

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
—	(記載なし)	7-27 7-28	【7.3.5.5 ハードウェア・ファンクション・タイプレジスタ(CNTX_TYPE0)】 【7.3.5.6 ハードウェア・ファンクション・状態レジスタ(CNTX_STAT0)】 【7.4.1 ハードウェア・ファンクション★】

**No.47** 7.4.1.1 初期設定

初期設定を追加

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
—	(記載なし)	7-29	【7.4.1.1 初期設定】

No.48 7.4.1.2 ハードウェア・ファンクション・コール発行処理フロー

「図 7.4 ハードウェア・ファンクション・コール発行処理フロー」の処理を修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
56	<p>【7.3.5.4 ハードウェア・ファンクション・コール発行処理フロー】 [図 7.3 ハードウェア・ファンクション・コール発行処理フロー]</p> <pre> graph TD     START([START]) --&gt; A[ハードウェア・ファンクション・コール・パラメータ設定 (ハードウェア・ファンクション・引数レジスタ:R4-7)]     A --&gt; B[ハードウェア・ファンクション・コール発行 (ハードウェア・ファンクション・コマンドレジスタ:SYSO)]     B --&gt; C[戻り値の確認 (戻り値レジスタR0/R1)]     C --&gt; END([END])             </pre>	7-29	<p>【7.4.1.2 ハードウェア・ファンクション・コール発行処理フロー】 [図 7.4 ハードウェア・ファンクション・コール発行処理フロー]</p> <pre> graph TD     START([START]) --&gt; A[ハードウェア・ファンクション・コール・パラメータ設定 (ハードウェア・ファンクション・引数レジスタ:R4-7)]     A --&gt; B[ハードウェア・ファンクション・コール発行 (ハードウェア・ファンクション・システム・コールレジスタ:SYSO)]     B --&gt; C[R0レジスタの読み出し]     C --&gt; D{R0[29] == 1?}     D -- No --&gt; C     D -- Yes --&gt; E[R1レジスタの読み出し]     E --&gt; END([END])             </pre>

**No.49** 7.4.1.3 Buffer Allocator  
7.4.1.4 MAC DMA コントローラ  
7.4.1.5 バッファ RAM DMA コントローラ  
7.4.2 割り込み機能

Buffer Allocator、MAC DMA コントローラ、バッファ RAM DMA コントローラ、割り込み機能を追加

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
-	(記載なし)	7-30 ~ 7-52	【7.4.1.3 Buffer Allocator】 【7.4.1.4 MAC DMA コントローラ】 【7.4.1.5 バッファ RAM DMA コントローラ】 【7.4.2 割り込み機能★】

**No.50** 7.4.1.1 初期設定  
初期設定を削除

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
57	【7.4.1.1 初期設定】 最初に RESET レジスタ(→7.3.4.7)に 0x8000 0000 を書き込み、MAC のリセットを行います。また下記の各レジスタの初期設定を行います。 ・ MAC アドレス・レジスタ(→7.3.4.11) ・ TX MODE レジスタ(→7.3.4.6) ・ RX MODE レジスタ(→7.3.4.5)	7-53	(削除)

**No.51** 7.4.3.1 送信処理用バッファの獲得  
R0 の説明を修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
58	【7.4.1.2 送信処理用バッファの獲得】 [R0(bit15 -bit0)] 0x0000, 0x0001 : メモリ確保完了, 上記以外: エラー(メモリ・ブロック確保失敗)	7-54	【7.4.3.1 送信処理用バッファの獲得】 [R0] 0xb かつ R0[29] = 1 のとき: 成功 2' b10: Invalid System Call 2' b11: バッファ不足

**No.52 7.4.3.2 送信データの作成**  
**注意を追加して内容を修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
59	<p><b>【7.4.1.3 送信データの作成】</b></p> <ul style="list-style-type: none"> <li>・この形式を守らない場合の動作は不定です。</li> <li>・Padding(2Byte)はどのようなデータでも構いません。</li> <li>・Padding(2Byte)は Ethernet フレームの指定サイズ(TX_WORD[12:0], TX_EOB[1:0])には含まれません。</li> </ul>	7-55	<p><b>【7.4.3.2 送信データの作成】</b></p> <p>注意 1 必ずこの送信データ・フォーマットの形式に合わせて使用してください。</p> <p>2 Padding (2Byte)はどのようなデータでも構いません。</p> <p>また Padding (2Byte)は Ethernet フレームの指定サイズ(TX_WORD[12:0], TX_EOB[1:0])には含まれません。</p>

**No.53 7.4.2.1 初期設定**  
**初期設定を削除**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
63	<p><b>【7.4.2.1 初期設定】</b></p> <p>7.4.1.1 と同様に MAC のリセットおよび各レジスタの初期設定を行います。</p>	7-59	(削除)

**No.54 7.4.4.5 受信データ・フォーマット**  
**Padding 部の Byte 数を修正、定義(TCP/IP、UDP/IP パケットではないフレームの場合)を追加**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
64	<p><b>【7.4.2.6 受信データ・フォーマット】</b></p> <p>Padding (0~3Byte)</p> <p>図 7.6 受信データ・フォーマット</p>	7-60	<p><b>【7.4.4.5 受信データ・フォーマット】</b></p> <p>Padding (0~7Byte)</p> <p>図 7.16 受信データ・フォーマット(TCP/IP、UDP/IP パケットではないフレームの場合)</p>

No.55 7.4.4.5 受信データ・フォーマット  
TCP/IP、UDP/IP パケットを含むフレームの場合を追加

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
64	【7.4.2.6 受信データ・フォーマット】 (記載なし)	7-61	<p>【7.4.4.5 受信データ・フォーマット】 [図 7.17 受信データ・フォーマット(TCP/IP、UDP/IP パケットを含むフレームの場合)★]</p>

**No.56 8.3.1 (2) スイッチ・コンフィギュレーション・レジスタ  
入カラーニング・ブロッキング・レジスタの名称を修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
71	<b>【8.3.1 (2) スイッチ・コンフィギュレーション・レジスタ】</b> 入カラーニング・ブロッキング・レジスタ INPUT_LERAN_BLOCK	8-3	<b>【8.3.1 (2) スイッチ・コンフィギュレーション・レジスタ】</b> 入カラーニング・ブロッキング・レジスタ INPUT_LEARN_BLOCK

**No.57 8.3.1 (3) ラーニング・インタフェース・レジスタ  
アドレステーブルのアドレスを修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
72	<b>【8.3.1 (3) ラーニング・インタフェース・レジスタ】</b> アドレステーブル：ADR_TABLE：4007 4000H~4007 47FC	8-4	<b>【8.3.1 (3) ラーニング・インタフェース・レジスタ】</b> アドレステーブル：ADR_TABLE：4007 4000H~4007 47FCH

**No.58 8.3.2.1 イーサネット PHY LINK モード・レジスタ (ETHPHYLNK)  
イーサネット PHY LINK モード・レジスタの説明を追加、注意 2 を追加**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
74	<b>【8.3.2.1 イーサネット PHY LINK モード・レジスタ(ETHPHYLNK)】</b> イーサネット・インタフェースの LINK 信号のアクティブ・レベルを設定します。32/16 ビット単位でリード/ライト・アクセス可能です。  注意 本レジスタは、システム・プロテクト・コマンド・レジスタ(SYSPCMD)を用いた特定のシーケンスで プロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ(SYSPCMD)を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。	8-6	<b>【8.3.2.1 イーサネット PHY LINK モード・レジスタ(ETHPHYLNK)】</b> イーサネット・インタフェースの LINK 信号のアクティブ・レベルを設定します。接続する外付けPHYのPHYLINK信号のアクティブ・レベルに合わせ、当レジスタの設定を行います。32/16ビット単位でリード/ライト・アクセス可能です。  注意 1. 本レジスタは、システム・プロテクト・コマンド・レジスタ(SYSPCMD)を用いた特定のシーケンスで プロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ(SYSPCMD)を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。 注意 2. R-IN32M3-EC に内蔵のイーサネット PHY は初期値の設定で動作するため、初期値から変更しないでください。



**No.59 8.3.2.1 イーサネット PHY LINK モード・レジスタ (ETHPHYLNK)**  
**CATLINK1、CATLINK0、SWLINK1、SWLINK0 の説明を修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
74	<p><b>【8.3.2.1 イーサネット PHY LINK モード・レジスタ(ETHPHYLNK)】</b>                      [3 : CATLINK1]                      EtherCAT インタフェースの PHYLINK1 端子のアクティブ・レベルを切り替えます。                      0: アクティブ・ハイの PHYLNK 信号を接続                      1: アクティブ・ローの PHYLINK 信号を接続(初期値)</p> <p>[2 CATLINK0]                      EtherCAT インタフェースの PHYLINK0 端子のアクティブ・レベルを切り替えます。                      0: アクティブ・ハイの PHYLNK 信号を接続                      1: アクティブ・ローの PHYLINK 信号を接続(初期値)</p> <p>[1 SWLINK1]                      イーサネット・スイッチ・インタフェースの LINK1 端子のアクティブ・レベルを切り替えます。                      0: アクティブ・ハイの PHYLNK 信号を接続(初期値)                      1: アクティブ・ローの PHYLINK 信号を接続</p> <p>[0 SWLINK0]                      イーサネット・スイッチ・インタフェースの LINK0 端子のアクティブ・レベルを切り替えます。                      0: アクティブ・ハイの PHYLNK 信号を接続(初期値)                      1: アクティブ・ローの PHYLINK 信号を接続</p>	8-6	<p><b>【8.3.2.1 イーサネット PHY LINK モード・レジスタ(ETHPHYLNK)】</b>                      [3 CATLINK1]                      EtherCAT インタフェース Port1 用 PHYLINK 信号のアクティブレベル設定です。                      0: PHYLINK 信号がアクティブ・ハイ                      1: PHYLINK 信号がアクティブ・ロー(初期値)</p> <p>[2 CATLINK0]                      EtherCAT インタフェース Port0 用 PHYLINK 信号のアクティブレベル設定です。                      0: PHYLINK 信号がアクティブ・ハイ                      1: PHYLINK 信号がアクティブ・ロー(初期値)</p> <p>[1 SWLINK1]                      イーサネット・スイッチ・インタフェースの Port1 用 PHYLINK 信号のアクティブレベル設定です。                      0: PHYLINK 信号がアクティブ・ロー(初期値)                      1: PHYLINK 信号がアクティブ・ハイ</p> <p>[0 SWLINK0]                      イーサネット・スイッチ・インタフェースの Port0 用 PHYLINK 信号のアクティブレベル設定です。                      0: PHYLINK 信号がアクティブ・ロー(初期値)                      1: PHYLINK 信号がアクティブ・ハイ</p>

**No.60 8.3.3.5 入カラーニング・ブロッキング・レジスタ (INPUT\_LEARN\_BLOCK)**  
**入カラーニング・ブロッキング・レジスタの名称を修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
82	<p><b>【8.3.3.5 入カラーニング・ブロッキング・レジスタ(INPUT_LERAN_BLOCK)】</b>                      (レジスタ名)                      INPUT_LERAN_BLOCK</p>	8-14	<p><b>【8.3.3.5 入カラーニング・ブロッキング・レジスタ(INPUT_LEARN_BLOCK)】</b>                      (レジスタ名)                      INPUT_LEARN_BLOCK</p>

No.61 8.5.2 イーサネット・スイッチの初期化

「表 8.19 アドレステーブルの初期設定例」のアドレス、設定例を修正

V8.00				V9.00				
ページ	記載内容			ページ	改訂内容			
166	<b>【8.5.2 イーサネット・スイッチの初期化】</b> [表 8.19 アドレステーブルの初期設定例]			8-98	<b>【8.5.2 イーサネット・スイッチの初期化】</b> [表 8.19 アドレステーブルの初期設定例]			
	4007 4000H ~ 4007 47FC (4 バイト単位)	ADR_TABLE	0000 0000H		4007 4000H ~ 4007 47FCH (4 バイト単位)	ADR_TABLE	0000 0000H	アドレステーブルの全エントリを 0 に初期化します。
	4007 4000H + Unicast MAC アドレスの Hash 値 × 8H	ADR_TABLE	0403 0201H		4007 4000H + Unicast MAC アドレスの Hash 値 × 8H	ADR_TABLE	0403 0201H	ユニキャストアドレスを静的エントリとして設定し ます。設定例は MAC アドレスが 01-02-03-04-05-06 の場 合です。優先度は 0 でポート 2 のみマスクしています。
	上記アドレス の+4H	ADR_TABLE	008 0605		上記アドレスの+4H	ADR_TABLE	008 0605H	動的に設定する場合、本設定は不要です。

No.62 8.5.2 イーサネット・スイッチの初期化

「表 8.20 スイッチ・エンジンの初期設定例」のアドレス、設定例を修正

V8.00				V9.00				
ページ	記載内容			ページ	改訂内容			
167	<b>【8.5.2 イーサネット・スイッチの初期化】</b> [表 8.20 スイッチ・エンジンの初期設定例]			8-99	<b>【8.5.2 イーサネット・スイッチの初期化】</b> [表 8.20 スイッチ・エンジンの初期設定例]			
	4007 0020H	MGMT_CONFIG	000 0042H		4007 0020H	MGMT_CONFIG	0000 0042H	BPDU フレームの受信を有効 (ビット 6=1) にしてマ ネージメントポート (ポート 2) に転送させます。 もしマネージメントフレームを破棄させる必要がある 場合、ビット 7 を 1 に設定して下さい。
	4007 0100H 4007 0104H 4007 0108H	VLAN_PRIORITY0 VLAN_PRIORITY1 VLAN_PRIORITY2	006D B688H		4007 0100H 4007 0104H 4007 0108H	VLAN_PRIORITY0 VLAN_PRIORITY1 VLAN_PRIORITY2	006D B688H	ポート毎に、VLAN プライオリティを 4 つのキューにマ ッピングします。本設定では VLAN プライオリティの 0 ~3 は、キュー 0~3 に、4~7 は 3 にマッピングしてい ます。
	4007 0180H 4007 0184H 4007 0188H	PRIORITY_CFG0 PRIORITY_CFG1 PRIORITY_CFG2	000 0001H		4007 0180H 4007 0184H 4007 0188H	PRIORITY_CFG0 PRIORITY_CFG1 PRIORITY_CFG2	0000 0001H	ポート毎に、VLAN プライオリティによる出力キューの マッピングを有効にします。またデフォルトのプライ オリティを 0 に設定します。

**No.63 9. 非同期 SRAM MEMC (ROM/SRAM)**

**注意の説明を修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
174	<b>【9. 非同期 SRAM MEMC(ROM/SRAM)】</b> 注意. MEMCSEL 端子は、動作モード設定端子は、動作中に変更しないでください。リセット解除前に確定させてください。	9-1	<b>【9. 非同期 SRAM MEMC(ROM/SRAM)】</b> 注意. MEMIFSEL 端子や MEMCSEL 端子等の動作モード設定端子は、動作中に変更しないでください。リセット解除前に確定させてください。

**No.64 9.2 (1) (a) SRAM, 外部 I/O 接続機能**

**アイドル・ウェイトの最大挿入可能数を修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
175	<b>【9.2 (1) (a) SRAM, 外部 I/O 接続機能】</b> ・レジスタ設定により、最大 15 × BUSCLK のアイドル・ウェイトを挿入可能	9-2	<b>【9.2 (1) (a) SRAM, 外部 I/O 接続機能】</b> ・レジスタ設定により、最大 16 × BUSCLK のアイドル・ウェイトを挿入可能★

**No.65 9.2 (1) (b) ページ ROM 接続機能**

**アイドル・ウェイトの最大挿入可能数を修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
175	<b>【9.2 (1) (b) ページ ROM 接続機能】</b> ・レジスタ設定により、最大 15 × BUSCLK のアイドル・ウェイトを挿入可能	9-2	<b>【9.2 (1) (b) ページ ROM 接続機能】</b> ・レジスタ設定により、最大 16 × BUSCLK のアイドル・ウェイトを挿入可能★

**No.66 9.3.3 スタティック・メモリ制御レジスタ 0-3 (SMC0-SMC3)**  
**WWn3-WWn0、DWn3-DWn0の信号を修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
181	<p><b>【9.3.3 スタティック・メモリ制御レジスタ 0-3 (SMC0-SMC3)】</b>                      [11-8 : WWn3-WWn0]                      CSZn ごとにライト・リカバリ・ウエイトを設定します。                      ライト・リカバリ・ウエイトとは、WRSTBZ と WRZn のディアサート (WEZ:L→H) から、CSZn がディアサート (CSZn:L→H) されるまでのサイクルです。</p> <p>[7-4 : DWn3-DWn0]                      CSZn ごとにデータ・ウエイトを設定します。                      ノー・ウエイトでは、1×BUSCLK 幅の REZ, WEZ は、データ・ウエイトで設定したウエイト数分延長されます。</p>	9-8	<p><b>【9.3.3 スタティック・メモリ制御レジスタ 0-3 (SMC0-SMC3)】</b>                      [11-8 : WWn3-WWn0]                      CSZn ごとにライト・リカバリ・ウエイトを設定します。                      ライト・リカバリ・ウエイトとは、WRSTBZ と WRZn のディアサート (WRZn:L→H) から、CSZn がディアサート (CSZn:L→H) されるまでのサイクルです。</p> <p>[7-4 : DWn3-DWn0]                      ノー・ウエイトでは、1×BUSCLK 幅の RDZ, WRZn は、データ・ウエイトで設定したウエイト数分延長されます。</p>

**No.67 9.3.5 ライト・イネーブル切り替えレジスタ (WREN)**  
**[3:0]を 0-3 に修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
185	<p><b>【9.3.5 ライト・イネーブル切り替えレジスタ (WREN)】</b>                      BENZ [3:0] 端子の機能において、WRZ [3:0] と BENZ [3:0] とを選択するレジスタです。                      WREN レジスタは、32ビット単位でリード/ライト可能です。リセットで 0000 0001H になり、BENZ [3:0] 端子は WRZ [3:0] として動作します。</p>	9-12	<p><b>【9.3.5 ライト・イネーブル切り替えレジスタ (WREN)】</b>                      BENZO-BENZ3 端子の機能において、WRZ0-WRZ3 と BENZO-BENZ3 とを選択するレジスタです。                      WREN レジスタは、32ビット単位でリード/ライト可能です。リセットで 0000 0001H になり、BENZO-BENZ3 端子は WRZ0-WRZ3 として動作します。</p>

No.68 9.7 メモリ・アクセス・タイミング例

図 9.8, 9.9, 9.10, 9.10 のステートをウエイトに修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
191 ~ 195	<p><b>【9.7 メモリ・アクセス・タイミング例】</b>                      [図 9.8 SRAM リード・サイクル] の枠上                      BSC : SBS3-SBS0 = 1111B (32 ビット), SMCn : IWn3-IWn0 = 0000B (1 <b>ステート</b>)                      [図 9.9 SRAM リード・サイクル(ウエイト設定あり)] の枠上                      BSC : SBS3-SBS0 = 1111B (32 ビット), SMCn : IWn3-IWn0 = 0001B (2 <b>ステート</b>)                      [図 9.10 SRAM リード・サイクル(外部ウエイト挿入)] の枠上                      BSC : SBS3-SBS0 = 1111B (32 ビット), SMCn : IWn3-IWn0 = 0000B (1 <b>ステート</b>)                      [図 9.15 ページ ROM リード・サイクル(4 バースト転送)] の枠上                      BSC : SBS3-SBS0 = 1111B (32 ビット), SMC0 : IW03-IW00 = 0001B (2 <b>ステート</b>)</p>	9-18 ~ 9-22	<p><b>【9.7 メモリ・アクセス・タイミング例】</b>                      [図 9.8 SRAM リード・サイクル] の枠上                      BSC : SBS3-SBS0 = 1111B (32 ビット), SMCn : IWn3-IWn0 = 0000B (1 <b>ウエイト</b>)                      [図 9.9 SRAM リード・サイクル(ウエイト設定あり)] の枠上                      BSC : SBS3-SBS0 = 1111B (32 ビット), SMCn : IWn3-IWn0 = 0001B (2 <b>ウエイト</b>)                      [図 9.10 SRAM リード・サイクル(外部ウエイト挿入)] の枠上                      BSC : SBS3-SBS0 = 1111B (32 ビット), SMCn : IWn3-IWn0 = 0000B (1 <b>ウエイト</b>)                      [図 9.15 ページ ROM リード・サイクル(4 バースト転送)] の枠上                      BSC : SBS3-SBS0 = 1111B (32 ビット), SMCn : WWn3-WWn0 = 0010B (2 <b>ウエイト</b>)</p>

No.69 9.7 メモリ・アクセス・タイミング例

「図 9.9 SRAM リード・サイクル (ウェイト設定あり)」のステートをウェイトに修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
191	<p>【9.7 メモリ・アクセス・タイミング例】 [図 9.9 SRAM リード・サイクル(ウェイト設定あり)]</p> <p>                     BUSCLK (出力)                      アドレス設定ウェイト数 (ACn3-ACn0) = 1ウェイト                      BCYSTZ (出力)                      A2B-A1 (出力)                      STCSZn (出力)                      RDZ (出力)                      BENZ3-BENZ0 (出力)                      D31-D0 (入力)                      WAITZ (入力)                 </p> <p>備考 n = 0-3</p>	9-18	<p>【9.7 メモリ・アクセス・タイミング例】 [図 9.9 SRAM リード・サイクル(ウェイト設定あり)]</p> <p>                     BUSCLK (出力)                      アドレス設定ウェイト数 (ACn3-ACn0) = 1ウェイト                      BCYSTZ (出力)                      A2B-A1 (出力)                      STCSZn (出力)                      RDZ (出力)                      BENZ3-BENZ0 (出力)                      D31-D0 (入力)                      WAITZ (入力)                 </p> <p>備考 n = 0-3</p>

No.70 9.7 メモリ・アクセス・タイミング例

「図 9.15 ページROM リード・サイクル (4 バースト転送)」のステートをウェイトに修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
195	<p>【9.7 メモリ・アクセス・タイミング例】 [図 9.15 ページROM リード・サイクル(4 バースト転送)]</p> <p>データ・ウェイト数 (DW03-DW00) = 1ウェイト ページROMでは、1ウェイト以上の設定値が必要です。</p> <p>アドレス設定ウェイト数 (AC03-AC00) : 1ウェイト +ページROMデータ・ウェイト数 (PRW3-PRW0) : 1ウェイト=2ウェイト ページROMでは、PRW3-PRW0 = 0ウェイトは設定禁止です。</p> <p>オフページ・アクセス オンページ・アクセス (4ワード以上の固定長バースト転送中に、2ワード目以降でオンページ判断が行われます。)</p>	9-22	<p>【9.7 メモリ・アクセス・タイミング例】 [図 9.15 ページROM リード・サイクル(4 バースト転送)]</p> <p>データ・ウェイト数 (DW03-DW00) = 1ウェイト ページROMでは、1ウェイト以上の設定値が必要です。</p> <p>アドレス設定ウェイト数 (AC03-AC00) : 1ウェイト +ページROMデータ・ウェイト数 (PRW3-PRW0) : 1ウェイト=2ウェイト ページROMでは、PRW3-PRW0 = 0ウェイトは設定禁止です。</p> <p>オフページ・アクセス オンページ・アクセス (4ワード以上の固定長バースト転送中に、2ワード目以降でオンページ判断が行われます。)</p>

No.71 10. 同期式バースト・アクセス MEMC

注意の説明を修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
196	<p>【10. 同期式バースト・アクセス MEMC】 注意。MEMCSEL、ADMUXMODE 端子は、動作モード設定端子は、動作中に変更しないでください。リセット解除前に確定させてください。</p>	10-1	<p>【10. 同期式バースト・アクセス MEMC】 注意。MEMCSEL、ADMUXMODE 等の動作モード設定端子は、動作中に変更しないでください。リセット解除前に確定させてください。</p>

No.72 10.1 特徴

ウェイト信号の名称を修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
196	<p><b>【10.1 特徴】</b></p> <ul style="list-style-type: none"> <li>○ スタティック・メモリ制御機能</li> <li>・最大4本のウェイト信号を使用可能(WAITZ0~WAITZ3)</li> </ul>	10-1	<p><b>【10.1 特徴】</b></p> <ul style="list-style-type: none"> <li>○ スタティック・メモリ制御機能</li> <li>・最大4本のウェイト信号を使用可能(WAITZ、WAITZ1~WAITZ3)</li> </ul>

No.73 10.1 特徴

BUSCLK、ライト・イネーブル制御機能、リード・タイミング制御機能の修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
197	<p><b>【10.1 特徴】</b></p> <ul style="list-style-type: none"> <li>○ CLK_OUT マスク機能</li> <li>・CLK_OUT 信号を出力</li> </ul> <p>○ ライト・イネーブル制御機能</p> <ul style="list-style-type: none"> <li>・WE_n 信号を出力</li> <li>・WE_n 信号を CS アクティブ期間中はアクティブ状態を保持</li> </ul> <p>○ リード・タイミング制御機能:リード・データおよび WAIT 信号</p> <ul style="list-style-type: none"> <li>・CLK_OUT の立上りでリード・データおよび WAIT 信号をラッチ</li> <li>・CLK_OUT の立下りでリード・データおよび WAIT 信号をラッチ</li> </ul>	10-2	<p><b>【10.1 特徴】</b></p> <ul style="list-style-type: none"> <li>○ BUSCLK 信号マスク機能</li> <li>・CSx 信号がアクティブ時のみ BUSCLK 信号出力</li> </ul> <p>○ ライト・イネーブル制御機能 (削除)</p> <ul style="list-style-type: none"> <li>・WRZx 信号を CSZx 信号アクティブ期間中はアクティブ状態を保持</li> </ul> <p>○ リード・タイミング制御機能:リード・データおよび WAIT 信号</p> <ul style="list-style-type: none"> <li>・BUSCLK の立上りでリード・データおよび WAITZx 信号を取り込み</li> <li>・BUSCLK の立下りでリード・データおよび WAITZx 信号を取り込み</li> </ul>



No.74 10.2 制御レジスタ

「表 10.1 同期式バースト・アクセス MEMC の制御レジスタ」にて略号を修正

V8.00			V9.00				
ページ	記載内容		ページ	改訂内容			
198	【10.2 制御レジスタ】 [表 10.1 同期式バースト・アクセス MEMC の制御レジスタ]		10-3	【10.2 制御レジスタ】 [表 10.1 同期式バースト・アクセス MEMC の制御レジスタ]			
	SMC 動作モード設定レジスタ	SMCMD		4001 0124H	SMC 動作モード設定レジスタ	SMC352MD	4001 0124H
	SMC ダイレクト・コマンド・レジスタ	DIRECTCMD		400A 8010H	SMC ダイレクト・コマンド・レジスタ	DIRECT_CMD	400A 8010H
	SMC サイクル設定レジスタ	SETCYCLES		400A 8014H	SMC サイクル設定レジスタ	SET_CYCLES	400A 8014H
	SMC モード設定レジスタ	SETOPMODE		400A 8018H	SMC モード設定レジスタ	SET_OPMODE	400A 8018H
	SMC リフレッシュ設定レジスタ	REFRESH_0		400A 8020H	SMC リフレッシュ設定レジスタ	REF_PERIOD0	400A 8020H

注) 誤ってレジスタ名称の変更が行われています。次版にて元の名称に戻します。

No.75 10.2.1 WAITZ 選択レジスタ (WAITZSEL)

WAITZ0-3 端子を WAITZ 端子、WAITZ1-3 端子に修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
199	【10.2.1 WAITZ 選択レジスタ(WAITZSEL)】 WAITZ0-3 端子からの入力信号に対し、各 CSZ0-3 領域への割り当てを選択するレジスタです。	10-4	【10.2.1 WAITZ 選択レジスタ(WAITZSEL)】 WAITZ 端子、WAITZ1-3 端子からの入力信号に対し、各 CSZ0-3 領域への割り当てを選択するレジスタです。

**No.76 10.2.1 WAITZ 選択レジスタ (WAITZSEL)**  
**WSELmn を WSEL3n~WSEL0n に修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
199	<p><b>【10.2.1 WAITZ 選択レジスタ(WAITZSEL)】</b>                      [15-0 : WSELmn]                      各 WAITZ 端子において・チップ・セレクト(CSZ)毎に有効 / 無効を設定します。                      0000:WAITZm 端子は WAIT 端子として未使用</p> <p>備考 m=0-3, n=0-3</p>	10-4	<p><b>【10.2.1 WAITZ 選択レジスタ(WAITZSEL)】</b>                      [15-12 : WSEL3n]                      WAITZ3 端子において・チップ・セレクト(CSZ)毎に有効 / 無効を設定します。                      0000:WAITZ3 端子は WAIT 端子として未使用                      [11-8 : WSEL2n]                      WAITZ2 端子において・チップ・セレクト(CSZ)毎に有効 / 無効を設定します。                      0000:WAITZ2 端子は WAIT 端子として未使用                      [7-4 : WSEL1n]                      WAITZ1 端子において・チップ・セレクト(CSZ)毎に有効 / 無効を設定します。                      0000:WAITZ1 端子は WAIT 端子として未使用                      [3-0 : WSEL0n]                      WAITZ0 端子において・チップ・セレクト(CSZ)毎に有効 / 無効を設定します。                      0000:WAITZ0 端子は WAIT 端子として未使用</p> <p>備考 n=0-3</p>

**No.77 10.2.2 同期式バースト・アクセス MEMC 領域選択レジスタ (SMADSEL0-3)**  
**bit3-0 のビット名及び備考を修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
201	<p><b>【10.2.2 同期式バースト・アクセス MEMC 領域選択レジスタ(SMADSEL0-3)】</b>                      [3-0 : SMCSnMASK3-SMCSnMASK0]</p> <p>備考 アドレス領域の計算例:                      ベース・アドレス([31:24]) = アクセス・アドレス[31:24] &amp; マスク値[7:0]</p>	10-7	<p><b>【10.2.2 同期式バースト・アクセス MEMC 領域選択レジスタ(SMADSEL0-3)】</b>                      [3-0 : SMCSnSIZE3-SMCSnSIZE0]</p> <p>備考 アドレス領域の計算例:                      ベース・アドレス([31:24]) = アクセス・アドレス[31:24] &amp; サイズ値[7:0]</p>

No.78 10.2.4 同期式バースト・アクセス MEMC 動作設定レジスタ (SMC352MD)

レジスタ名称、bit1 SMCWETH の説明、注 1 の端子名を修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
203	<p><b>【10.2.4 同期式バースト・アクセス MEMC 動作設定レジスタ(SMCMD)】</b>                      ・レジスタ名：SMCMD</p> <p>[1：SMCWETH]                      SRAM WE<sub>n</sub> 出力モード選択                      0：SMC スルー出力                      1：WE<sub>n</sub> アクティブ後、CS 期間中はアクティブ保持</p> <p>注 1. 本レジスタは ADMAXMODE 端子がハイ・レベルのときのみ有効になります。</p>	10-9	<p><b>【10.2.4 同期式バースト・アクセス MEMC 動作設定レジスタ(SMC352MD)】</b>                      ・レジスタ名：SMC352MD</p> <p>[1：SMCWETH]                      SRAM WRZ<sub>n</sub> 出力モード選択                      0：SET_CYCLE レジスタの T_WP ビットで設定した期間アクティブ保持                      1：WRZ<sub>n</sub> アクティブ後、CS 期間中はアクティブ保持</p> <p>注 1. 本レジスタは ADMUXMODE 端子がハイ・レベルのときのみ有効になります。</p>

注) 誤ってレジスタ名称の変更が行われています。次版にて元の名称に戻します(レジスタ名を引用している箇所の修正も含む)。

No.79 10.2.6 サイクル設定レジスタ (SET\_CYCLE)

T\_WP の説明を修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
205	<p><b>【10.2.6 サイクル設定レジスタ(SET_CYCLE)】</b>                      [13-11：T_WP]                      SMCMD レジスタの SMCWETH ビットが1の場合には T_WP ビットの値にかかわらず WRSTBZ アサート後は、CS アサート期間中、WRSTBZ 信号を保持します。</p>	10-11	<p><b>【10.2.6 サイクル設定レジスタ(SET_CYCLE)】</b>                      [13-11：T_WP]                      SMC352MD レジスタの SMCWETH ビットが1の場合には T_WP ビットの値にかかわらず WRSTBZ アサート後は、CS アサート期間中、WRSTBZ 信号を保持します。</p>

No.80 10.2.8 同期式バースト・アクセス MEMC リフレッシュ設定レジスタ (REF\_PERIOD0)

アドレス値を修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
209	<p><b>【10.2.8 同期式バースト・アクセス MEMC リフレッシュ設定レジスタ(REF_PERIOD0)】</b>                      ・アドレス：400A 8018H</p>	10-15	<p><b>【10.2.8 同期式バースト・アクセス MEMC リフレッシュ設定レジスタ(REF_PERIOD0)】</b>                      ・アドレス：400A 8020H</p>

No.81 10.2.10 同期式バースト・アクセス MEMC CSn モード・レジスタ (OPMODE0\_n) bit15-0 の説明を修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
211	<p>【10.2.10 同期式バースト・アクセス MEMC CSn モード・レジスタ(OPMODE0_n) [15-0: -]】</p> <p>SETOPMODE にて設定した値をリードすることができます。</p>	10-17	<p>【10.2.10 同期式バースト・アクセス MEMC CSn モード・レジスタ(OPMODE0_n) [15-0: -]】</p> <p>SET_OPMODE にて設定した値をリードすることができます。</p>

No.82 10.2.11 レジスタ設定手順

「図 10.1 レジスタ設定手順」のレジスタ名称を修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
212	<p>【10.2.11 レジスタ設定手順】 図 10.1 レジスタ設定手順】</p>	10-18	<p>【10.2.11 レジスタ設定手順】 【図 10.1 レジスタ設定手順】</p>

No.83 10.3.1 バス・クロック選択機能

機能説明及び「図 10.2 バス・クロックのマスク動作」のレジスタ名称を修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
213	<p>【10.3.1 バス・クロック選択機能】 また、バス・クロック(BUSCLK)の出力期間は、SMCMDレジスタの設定値によってチップセレクト(CSZn)が有効な間だけ出力させることができます。</p> <p>[図 10.2 バス・クロックのマスク動作]</p> <p>バス・クロック (BUSCLK)</p> <p>CSZn</p> <p>SMCMD.CLKTH ビットが0の時 (マスク無効)</p> <p>SMCMD.CLKTH ビットが1の時 (マスク有効)</p> <p>マスク期間</p>	10-19	<p>【10.3.1 バス・クロック選択機能】 また、バス・クロック(BUSCLK)の出力期間は、SMC352MDレジスタの設定値によってチップセレクト(CSZn)が有効な間だけ出力させることができます。</p> <p>[図 10.2 バス・クロックのマスク動作]</p> <p>バス・クロック (BUSCLK)</p> <p>CSZn</p> <p>SMC352MD.CLKTH ビットが0の時 (マスク無効)</p> <p>SMC352MD.CLKTH ビットが1の時 (マスク有効)</p> <p>マスク期間</p>

No.84 10.3.3 アドレス/データ・マルチプレクス機能  
 アドレス/データ・マルチプレクス機能のマトリクスを削除

V8.00						V9.00						
ページ	記載内容					ページ	改訂内容					
214	【10.3.3 アドレス/データ・マルチプレクス機能】					10-20	【10.3.3 アドレス/データ・マルチプレクス機能】 (削除)					
	外部 SRAM端子	セバレート・モード ADMUXMODE=0の時		マルチプレクス・モード ADMUXMODE=1の時			備考					
		18ビット・バス幅	32ビット・バス幅	18ビット・バス幅	32ビット・バス幅							
	A27-1	Address27-1	Address28-2	Address27-1	Address28-2		アドレス信号はモード に関係なく出力します。					
	D31-16	—	Data31-16	Address31-16	{2'b0,Address29-2}		マルチプレクス・モード時 のアドレス出力タイミング は図10.7を参照してくだ さい。					
D15-0	Data15-0	Data15-0	Address16-1 Data15-0	Data31-0								

No.85 10.3.4 ライト・イネーブル (WRZn) 信号拡張機能  
機能説明及び図のレジスタ名称、ライト・イネーブル表記の修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
215	<p><b>【10.3.4 ライト・イネーブル(WEZn)信号拡張機能】</b> 同期式バースト・アクセス MEMC のライト・イネーブル(WEZn)端子は、同期モード場合、チップセレクト (CSZn) が有効になった最初の 1 サイクルのみ出力します。外部周辺デバイスによっては、1 サイクルではライト・イネーブル信号(WEZn)を受け取れない場合があるため、チップ・セレクト(CSZn)が有効の間、ライト・イネーブル信号(WEZn)を延長できる機能を付加しています。本機能を有効にする場合には、SMCMMD レジスタの SMCWETH ビットをセット(1)します。</p>	10-21	<p><b>【10.3.4 ライト・イネーブル(WRZn)信号拡張機能】</b> 同期式バースト・アクセス MEMC のライト・イネーブル(WRZn)端子は、同期モード場合、チップセレクト (CSZn) が有効になった最初の 1 サイクルのみ出力します。外部周辺デバイスによっては、1 サイクルではライト・イネーブル信号(WRZn)を受け取れない場合があるため、チップ・セレクト(CSZn)が有効の間、ライト・イネーブル信号(WRZn)を延長できる機能を付加しています。本機能を有効にする場合には、SMC352MD レジスタの SMCWETH ビットをセット(1)します。</p>

No.86 10.3.5 リード・データ・タイミング制御

図のレジスタ名称を修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
216	<p>【10.3.5 リード・データ・タイミング制御】</p> <p>システム・クロック (HCLK)</p> <p>CSZn</p> <p>BUSCLK</p> <p>SMCMD, SMCRDLTH ビットが0の場合 DATA/WAITZ</p> <p>SMCMD, SMCRDLTH ビットが1の場合 DATA/WAITZ</p>	10-22	<p>【10.3.5 リード・データ・タイミング制御】</p> <p>システム・クロック (HCLK)</p> <p>CSZn</p> <p>BUSCLK</p> <p>SMC352MD, SMCRDLTH ビットが0の場合 DATA/WAITZ</p> <p>SMC352MD, SMCRDLTH ビットが1の場合 DATA/WAITZ</p>



No.87 10.3.6 (1) 接続例 1  
 接続例 1 の説明及び図を修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
217	<p>【10.3.6 (1) 接続例 1】                      外部デバイスを4個接続。WAIT 信号は Wired OR にて <b>WAITZ0</b> にまとめて接続</p>	10-23	<p>【10.3.6 (1) 接続例 1】                      外部デバイスを4個接続。WAIT 信号は Wired OR にて <b>WAITZ</b> にまとめて接続</p>

No.88 10.3.6 (2) 接続例 2

接続例 2 の図を修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
218	<p>【10.3.6 (2) 接続例 2】</p>	10-23 10-24 10-25	<p>【10.3.6 (2) 接続例 2】</p>

No.89 10.3.6 (3) 接続例 3  
 接続例 3 の説明及び図を修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
219	<p>【10.3.6 (3) 接続例 3】                      外部デバイスを3個接続、WAIT 信号は1対1に接続、CSZ[2]は未使用。WAIT 端子の割り当てを変更。</p>	10-25	<p>【10.3.6 (3) 接続例 3】                      外部デバイスを3個接続、WAIT 信号は1対1に接続、CSZ2は未使用。WAIT 端子の割り当てを変更。</p>

**No.90 10.4.2 同期アクセス・タイミング**

**注意を追加**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
238	【10.4.2 同期アクセス・タイミング】 (記載なし)	10-44	【10.4.2 同期アクセス・タイミング】 注意. MEMIFSEL 端子、MEMCSEL 端子等の動作モード設定端子は、動作中に変更しないでください。 リセット解除前に確定させてください。★

**No.91 11. 外部マイコン・インタフェース**

**注意を追加**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
239	【11. 外部マイコン・インタフェース】 (記載なし)	11-1	【11. 外部マイコン・インタフェース】 注意. MEMIFSEL 端子、MEMCSEL 端子等の動作モード設定端子は、動作中に変更しないでください。リセット解除前に確定させてください。★

**No.92 11.2.5 (2) HOSTIF バス制御レジスタ (HIFBCC)**

**備考を削除して、注意を追加**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
256	【11.2.5 (2) HOSTIF バス制御レジスタ(HIFBCC)】 備考 上記領域内で、一部先読み対象外の領域があります。	11-18	【11.2.5 (2) HOSTIF バス制御レジスタ(HIFBCC)】 注意. 対象マクロに応じて、先読み機能を有効に設定しても先読みできない領域があります。

No.93 11.3.2 動作モードの選択

注意を追加

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
265	【11.3.2 動作モードの選択】 (記載なし)	11-27	【11.3.2 動作モードの選択】 注意. 同期式 SRAM タイプ転送モードでは、非同期インタフェースを選択することはできません。

No.94 11.3.4 (2) HOSTIF 同期 SRAM 制御レジスタ 0 (HIFEXT0)

注意を追加

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
267	【11.3.4 (2) HOSTIF 同期 SRAM 制御レジスタ 0(HIFEXT0)】 (記載なし)	11-29	【11.3.4 (2) HOSTIF 同期 SRAM 制御レジスタ 0(HIFEXT0)】 注意. 0 固定表記のビットには 0 以外を書き込まないで下さい。 0 以外を書き込んだ場合、誤動作の原因となる可能性があります。★

No.95 11.3.4 (3) HOSTIF 同期式 SRAM 制御レジスタ 1 (HIFEXT1)

注意を追加

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
268	【11.3.4 (3) HOSTIF 同期式 SRAM 制御レジスタ 1(HIFEXT1)】 (記載なし)	11-30	【11.3.4 (3) HOSTIF 同期式 SRAM 制御レジスタ 1(HIFEXT1)】 注意. 0 固定表記のビットには 0 以外を書き込まないで下さい。 0 以外を書き込んだ場合、誤動作の原因となる可能性があります。

No.96 11.3.5 (1) 外部マイコンからのライト・アクセス (同期 SRAM シングル転送、Address/Data 多重、ライト・ステータス)

図中の KESAVI を KESWTO に修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
269	<p>【11.3.5 (1) 外部マイコンからのライト・アクセス (同期 SRAM シングル転送、Address/Data 多重、ライト・ステータス)】</p> <p>HD31-HD0 input KESAVI = 0, KESAVI = 1, KESDTI = 0, KESDTI = 1, HWAITZ, CNDWEO = 1, KESWTO = 0</p>	11-31	<p>【11.3.5 (1) 外部マイコンからのライト・アクセス (同期 SRAM シングル転送、Address/Data 多重、ライト・ステータス)】</p> <p>HD31-HD0 input KESAVI = 0, KESAVI = 1, KESDTI = 0, KESDTI = 1, HWAITZ, CNDWEO = 1, KESWTO = 0</p>

No.97 11.3.5 (2) 外部マイコンからのライト・アクセス (同期 SRAM シングル転送、Address/Data 多重、ライト・ストロープ)

図中の KESAVI を KESWTO に修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
270	<p>【11.3.5 (2) 外部マイコンからのライト・アクセス (同期 SRAM シングル転送、Address/Data 多重、ライト・ストロープ)】</p> <p>HD31-HD0 input KESAVI = 0, KESAVI = 1, KESDTI = 0, KESDTI = 1, HWAITZ, CNDWEO = 1, KESWTO = 0</p>	11-32	<p>【11.3.5 (2) 外部マイコンからのライト・アクセス (同期 SRAM シングル転送、Address/Data 多重、ライト・ストロープ)】</p> <p>HD31-HD0 input KESAVI = 0, KESAVI = 1, KESDTI = 0, KESDTI = 1, HWAITZ, CNDWEO = 1, KESWTO = 0</p>

No.98 11.3.5 (3) 外部マイコンからのリード・アクセス (同期 SRAM シングル転送、Address/Data 多重)

図中の KESAVI を KESWTO に修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
271	<p>【11.3.5 (3) 外部マイコンからのリード・アクセス(同期 SRAM シングル転送、Address/Data 多重)】</p> <p>HD31-HD0 output KESDIO = 1</p> <p>HWAITZ CNDWEO = 1 KESWTO = 0</p>	11-33	<p>【11.3.5 (3) 外部マイコンからのリード・アクセス(同期 SRAM シングル転送、Address/Data 多重)】</p> <p>HD31-HD0 output KESDIO = 1</p> <p>HWAITZ CNDWEO = 1 KESWTO = 0</p>

No.99 12.2.1 転送モード制御レジスタ (SFMSMD)

レジスタ名称を修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
276	<p>【12.2.1 転送モード制御レジスタ(SFMSMD)】</p> <p>・レジスタ名 : SFMSMD0</p>	12-3	<p>【12.2.1 転送モード制御レジスタ(SFMSMD)】</p> <p>・レジスタ名 : SFMSMD</p>

No.100 12章全体

12章全体で、SMCLK を SMSCK に修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
274 ~301	<p>【12章全体】</p> <p>SMCLK</p>	12-1 ~29	<p>【12章全体】</p> <p>SMSCK</p>

No.101 12.4.4 (1) 個別変換によるROM読み出し

「図 12.14 個別変換による連続データ読み出し」を追加

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
298	【12.4.4 (1) 個別変換によるROM読み出し】 (記載なし)	12-25	<p>【12.4.4 (1) 個別変換によるROM読み出し】 [図 12.14 個別変換による連続データ読み出し]</p>

No.102 12.4.4 (2) プリフェッチ機能を用いたROM読み出し

「図 12.15 プリフェッチ機能を用いた連続データ読み出し」を追加

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
298	【12.4.4 (2) プリフェッチ機能を用いたROM読み出し】 (記載なし)	12-26	<p>【12.4.4 (2) プリフェッチ機能を用いたROM読み出し】 [図 12.15 プリフェッチ機能を用いた連続データ読み出し]</p>



No.103 12.4.4 (4) SPIバス・サイクル延長機能を用いたROM読み出し  
 「図 12.16 SPIバス・サイクル延長を用いた連続データ読み出し」を追加

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
299	【12.4.4 (4) SPIバス・サイクル延長機能を用いたROM読み出し】 (記載なし)	12-27	【12.4.4 (4) SPIバス・サイクル延長機能を用いたROM読み出し】 [図 12.16 SPIバス・サイクル延長を用いた連続データ読み出し] 

No.104 12.4.5 Deep Power-Downの自動解除  
 「図 12.17 Deep Power-Downの自動解除動作」を追加

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
300	【12.4.5 Deep Power-Downの自動解除】 (記載なし)	12-28	【12.4.5 Deep Power-Downの自動解除】 [図 12.17 Deep Power-Downの自動解除動作] 

**No.105 12.4.6 (3) 直接通信での SPI バス・サイクル生成**  
**注意 2 を追加**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
301	【12.4.6 (3) 直接通信での SPI バス・サイクル生成】 (記載なし)	12-29	【12.4.6 (3) 直接通信での SPI バス・サイクル生成】 注意 2. SFMCMD 以外のレジスタ領域への書き込みによる SPI バス・サイクルの終了は、正式な機能としては保障されません。

**No.106 13.1.1 概要**  
**注意を追加**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
305	【13.1.1 概要】 (記載なし)	13-4	【13.1.1 概要】 注意 2 転送バイト数は 32 ビット (= 1 ワード = 4 バイト) で割り切れるバイト数を設定してください。

**No.107 13.4.3.2 (4) チャンネル・レジスタ・セット**  
**注の説明を修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
322	【13.4.3.2 (4) チャンネル・レジスタ・セット】 (a) チャンネル・ステータス・レジスタ (CHSTATn) (3/6) 注 未定義領域へのアクセスなどでバス・エラーが発生します。CHCTRLn.SWRST ビットをセット (1) することで、このビットをクリア (0) できます。	13-21	【13.4.3.2 (4) チャンネル・レジスタ・セット】 (a) チャンネル・ステータス・レジスタ (CHSTATn) (3/6) 注 メモリマップ上の予約領域をアクセス先として指定した場合 内部バス (AHB) がバス・エラー (アドレスデコードエラー) を発生します。 CHCTRLn.SWRST ビットをセット (1) することで、このビットをクリア (0) できます。

**No.108 13.4.3.2 (4) チャンネル・レジスタ・セット  
SETSSWPRQ の属性の修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
326	<b>【13.4.3.2 (4) チャンネル・レジスタ・セット】</b> (b) チャンネル・コントロール・レジスタ(CHCTRLn)(1/3) ・R/W 属性 (14 : SETSSWPRQ) : <b>0</b>	13-25	<b>【13.4.3.2 (4) チャンネル・レジスタ・セット】</b> (b) チャンネル・コントロール・レジスタ(CHCTRLn)(1/3) ・R/W 属性 (14 : SETSSWPRQ) : <b>W</b>

**No.109 13.4.3.2 (4) チャンネル・レジスタ・セット  
注意 1 を追加**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
333	<b>【13.4.3.2 (4) チャンネル・レジスタ・セット】</b> (c) チャンネル・コンフィギュレーション・レジスタ(CHCFGn)(5/7) [10-8 : AM2-AM0] 注意 AM2-AM0 の設定と、DMAIFCp レジスタは重複設定も可能ですが、一般的な利用方法では、AM2-AM0 を用いて DMAACKZp 信号の動作をレベル・モードに設定している場合は、DMAIFCp レジスタは初期値のままで使用してください。逆に DMAIFCp レジスタを用いて DMAACKZp のパルス幅拡張や、DMAREQZp のマスク機能を利用している場合は、AM2-AM0 はパルス・モードを選択してください。	13-32	<b>【13.4.3.2 (4) チャンネル・レジスタ・セット】</b> (c) チャンネル・コンフィギュレーション・レジスタ(CHCFGn)(5/7) [10-8 : AM2-AM0] 注意 1. 内蔵周辺機能の割り込み要求信号、外部割り込み入力を選択している場合は、AM2-AM0 の設定は動作に影響しません。 2 AM2-AM0 の設定と、DMAIFCp レジスタは重複設定も可能ですが、一般的な利用方法では、AM2-AM0 を用いて DMAACKZp 信号の動作をレベル・モードに設定している場合は、DMAIFCp レジスタは初期値のままで使用してください。逆に DMAIFCp レジスタを用いて DMAACKZp のパルス幅拡張や、DMAREQZp のマスク機能を利用している場合は、AM2-AM0 はパルス・モードを選択してください。

**No.110 13.4.3.2 (4) チャンネル・レジスタ・セット  
説明文中のレジスタの添え字 n→p の修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
334	<b>【13.4.3.2 (4) チャンネル・レジスタ・セット】</b> (c) チャンネル・コンフィギュレーション・レジスタ(CHCFGn)(6/7) [6-4 : LVL, HEN, LEN] <b>【DMA 転送要求信号が外部端子の DMA リクエスト信号の場合】</b> 内部の DMA インタフェースは正論理です。DMA インタフェース端子(DMAREQZn,DMAACKZn,DMATCZn:n = 0-3)は負論理です。	13-33	<b>【13.4.3.2 (4) チャンネル・レジスタ・セット】</b> (c) チャンネル・コンフィギュレーション・レジスタ(CHCFGn)(6/7) [6-4 : LVL, HEN, LEN] <b>【DMA 転送要求信号が外部端子の DMA リクエスト信号の場合】</b> 内部の DMA インタフェースは正論理です。DMA インタフェース端子(DMAREQZp, DMAACKZp,DMATCZp)は負論理です。

**No.111 13.4.4.2 (4) チャネル・レジスタ・セット  
SETSSWPRQ の属性を修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
360	<b>【13.4.4.2 (4) チャネル・レジスタ・セット】</b> (b) チャネル・コントロール・レジスタ(RTCHCTRL)(1/3) ・R/W 属性 (14 : SETSSWPRQ) : 0	13-59	<b>【13.4.4.2 (4) チャネル・レジスタ・セット】</b> (b) チャネル・コントロール・レジスタ(RTCHCTRL)(1/3) ・R/W 属性 (14 : SETSSWPRQ) : W

**No.112 13.4.5 DMA 転送インタフェース信号制御レジスタ (DMAIFC0,DMAIFC1,RTDMAIFC)  
RQMK4-RQMK0、注意 1,2、備考,の添え字 n→p の修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
381	<b>【13.4.5 DMA 転送インタフェース信号制御レジスタ(DMAIFC0,DMAIFC1,RTDMAIFC)】</b> [12-8 : RQMK4-RQMK0] DMA 転送要求信号(DMAREQ <sub>n</sub> )のマスク幅注 1 を BUSCLK 単位で設定します。  [4-0 : AKWD4-AKWD0] DMA アクノリッジ信号(DMAACK <sub>n</sub> )のアクティブ・レベル幅注 2 を BUSCLK 単位で設定します。  注 1. マスクは DMAACK <sub>n</sub> の立ち上がり(インアクティブに変化)から開始されます。 2. MAACK <sub>n</sub> のアクティブ・レベル幅は、CHCFG <sub>n</sub> レジスタの AM2-AM0 ビットで指定したアクノリッジ信号が基準となります。CHCFG <sub>n</sub> レジスタの AM0 ビットでは DMAACK <sub>n</sub> の出力モードをパルス・モード/レベル・モードから選択できます。  備考 n = 0-3	13-80	<b>【13.4.5 DMA 転送インタフェース信号制御レジスタ(DMAIFC0,DMAIFC1,RTDMAIFC)】</b> [12-8 : RQMK4-RQMK0] DMA 転送要求信号(DMAREQ <sub>p</sub> )のマスク幅注 1 を BUSCLK 単位で設定します。  [4-0 : AKWD4-AKWD0] DMA アクノリッジ信号(DMAREQ <sub>p</sub> )のアクティブ・レベル幅注 2 を BUSCLK 単位で設定します。  注 1. マスクは DMAACK <sub>p</sub> の立ち上がり(インアクティブに変化)から開始されます。 2. DMAACK <sub>p</sub> のアクティブ・レベル幅は、CHCFG <sub>n</sub> レジスタの AM2-AM0 ビットで指定したアクノリッジ信号が基準となります。CHCFG <sub>n</sub> レジスタの AM0 ビットでは DMAACK <sub>p</sub> の出力モードをパルス・モード/レベル・モードから選択できます。  備考 p = 0,1

**No.113 13.4.5 DMA 転送インタフェース信号制御レジスタ (DMAIFC0,DMAIFC1,RTDMAIFC)  
AKWD4-AKWD0 のアクノリッジ信号の修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
382	<b>【13.4.5 DMA 転送インタフェース信号制御レジスタ(DMAIFC0,DMAIFC1,RTDMAIFC)】</b> [4-0 : AKWD4-AKWD0] DMA アクノリッジ信号(DMAACK <sub>n</sub> )のアクティブ・レベル幅注 2 を BUSCLK 単位で設定します。	13-81	<b>【13.4.5 DMA 転送インタフェース信号制御レジスタ(DMAIFC0,DMAIFC1,RTDMAIFC)】</b> [4-0 : AKWD4-AKWD0] DMA アクノリッジ信号(RTDMAACK <sub>Z</sub> )のアクティブ・レベル幅注 2 を BUSCLK 単位で設定します。

No.114 13.4.5 DMA 転送インタフェース信号制御レジスタ (DMAIFC0,DMAIFC1,RTDMAIFC)

注意の削除、図タイトル及び図中の添え字 n→p の修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
383	<p>【13.4.5 DMA 転送インタフェース信号制御レジスタ(DMAIFC0,DMAIFC1,RTDMAIFC)】                      注意 便宜上、以下図中では DMAREQ<sub>n</sub>、RTDMAREQ<sub>Z</sub>を DMAREQ<sub>n</sub>、DMAACK<sub>Zn</sub>として記載しています。</p> <p>【図 13.8 DMA 用端子信号と内部信号の様子(1)(DMAIFC<sub>n</sub> = 8000 0000H)】</p> <p>図 13.9～図 13.13 も同様)</p>	13-82	<p>【13.4.5 DMA 転送インタフェース信号制御レジスタ(DMAIFC0,DMAIFC1,RTDMAIFC)】                      (削除)</p> <p>【図 13.8 DMA 用端子信号と内部信号の様子(1)(DMAIFC<sub>p</sub> = 8000 0000H)】</p> <p>図 13.9～図 13.13 も同様)</p>

No.115 13.4.6 DMA トリガ要因選択レジスタ (DTFRn, RTDTFR)

備考に p を追加

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
386	<p>【13.4.6 DMA トリガ要因選択レジスタ n(DTFRn, RTDTFR)】                      備考 n = 0-3</p>	13-85	<p>【13.4.6 DMA トリガ要因選択レジスタ(DTFRn, RTDTFR)】                      備考 n = 0-3, p = 0,1</p>

No.116 13.4.6 DMA トリガ要因選択レジスタ (DTFRn, RTDTFR)

DMA 転送トリガ要因の修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
389	<p>【13.4.6 DMA トリガ要因選択レジスタ n(DTFRn, RTDTFR)】</p> <p>[6-0 : IFC6-IFC0]</p> <p>78H : CC-Link <b>RFSTB</b> 割り込み</p>	13-88	<p>【13.4.6 DMA トリガ要因選択レジスタ(DTFRn, RTDTFR)】</p> <p>[6-0 IFC6-IFC0]</p> <p>78H : CC-Link <b>REFSTB</b> 割り込み</p>

No.117 13.5.1 BUSCLK 同期

添え字 n→p の修正、備考を追加

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
390	<p>【13.5.1 BUSCLK 同期】</p> <p>DMA インタフェース信号は、すべて BUSCLK 出力に同期しています。BUSCLK は内部システム・バス・クロックの HCLK と同相の信号です。DMA 転送要求入力(DMAREQZn, RTDMARQZ) BUSCLK に対するセットアップ、ホールドを満足するタイミングで入力してください。</p> <p>(記載なし)</p>	13-89	<p>【13.5.1 BUSCLK 同期】</p> <p>DMA インタフェース信号は、すべて BUSCLK 出力に同期しています。BUSCLK は内部システム・バス・クロックの HCLK と同相の信号です。DMA 転送要求入力(DMAREQZp, RTDMARQZ) BUSCLK に対するセットアップ、ホールドを満足するタイミングで入力してください。</p> <p>備考 p = 0,1</p>

No.118 13.5.2 転送要求とアクノリッジ

添え字 n→p の修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
390	<p>【13.5.2 転送要求とアクノリッジ】</p> <p>DMA 転送要求(DMAREQZn, RTDMARQZ)の検出モードは下記に対応しています。</p> <ul style="list-style-type: none"> <li>・マスク(起動要因として DMAREQZn, RTDMAREQZ を使用しない)</li> <li>・マスク(DMAACKZn, RTDMAACKZ を出力しない)</li> </ul> <p>備考 n = 0, 1.</p>	13-89	<p>【13.5.2 転送要求とアクノリッジ】</p> <p>DMA 転送要求(DMAREQZp, RTDMARQZ)の検出モードは下記に対応しています。</p> <ul style="list-style-type: none"> <li>・マスク(起動要因として DMAREQZp, RTDMAREQZ を使用しない)</li> <li>・マスク(DMAACKZp, RTDMAACKZ を出力しない)</li> </ul> <p>備考 p = 0,1</p>

**No.119 13.7.1 レジスタ・モードとリンク・モードの選択**  
**備考の修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
392	【13.7.1 レジスタ・モードとリンク・モードの選択】 備考 n = 0, 1.	13-91	【13.7.1 レジスタ・モードとリンク・モードの選択】 備考 n = 0-3

**No.120 13.7.2 (1) レジスタ・モードの動作フロー**  
**添え字 n→p の修正、備考に p を追加**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
395	【13.7.2 (1) レジスタ・モードの動作フロー】 <5> DMATCZ <sub>n</sub> 発行処理 CHCFGn.TCM に設定された値に従って、DMATCZ <sub>n</sub> 出力のマスクが行われます。 TCM = 1 の場合は、DMATCZ <sub>n</sub> は出力されません。また、その直後に自動的に TCM がクリア (0) されます。  備考 n = 0-3	13-94	【13.7.2 (1) レジスタ・モードの動作フロー】 <5> DMATCZ <sub>p</sub> 発行処理 CHCFGn.TCM に設定された値に従って、DMATCZ <sub>p</sub> 出力のマスクが行われます。 TCM = 1 の場合は、DMATCZ <sub>p</sub> は出力されません。また、その直後に自動的に TCM がクリア (0) されます。  備考 n = 0-3, p = 0,1

**No.121 13.7.2 (2) レジスタの設定**  
**添え字 n→p の修正、備考に p を追加**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
397	【13.7.2 (2) レジスタの設定】 (c) ターミナル・カウント出力 (DMATCZ <sub>n</sub> ) のマスク設定 (CHCFGn.TCM) チャネル・コンフィギュレーション・レジスタ (CHCFGn) の TCM ビットで、レジスタ・モード時の DMA トランザクション (一連の DMA 転送) 完了時のターミナル・カウント DMATCZ <sub>n</sub> 出力のマスク設定を行います。  (表 13.14 も同様に n→p に修正)  備考 n = 0-3	13-96	【13.7.2 (2) レジスタの設定】 (c) ターミナル・カウント出力 (DMATCZ <sub>p</sub> ) のマスク設定 (CHCFGn.TCM) チャネル・コンフィギュレーション・レジスタ (CHCFGn) の TCM ビットで、レジスタ・モード時の DMA トランザクション (一連の DMA 転送) 完了時のターミナル・カウント DMATCZ <sub>p</sub> 出力のマスク設定を行います。  (表 13.14 も同様に n→p に修正)  備考 n = 0-3, p = 0,1

**No.122 13.7.2 (3) レジスタの設定例**  
**添え字 n→p の修正、備考に p を追加**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
399	<p><b>【13.7.2 (3) レジスタの設定例】</b>                      (a) Next0 レジスタ・セットのみを使用する場合                      &lt;4&gt; CHCFGn.TCM = 0 なので、DMAトランザクション(一連の DMA 転送)完了後に DMATCZ<sub>n</sub> が発行されます。</p> <p>備考 n = 0-3</p>	13-98	<p><b>【13.7.2 (3) レジスタの設定例】</b>                      (a) Next0 レジスタ・セットのみを使用する場合                      &lt;4&gt; CHCFGn.TCM = 0 なので、DMAトランザクション(一連の DMA 転送)完了後に DMATCZ<sub>p</sub> が発行されます。</p> <p>備考 n = 0-3, p = 0,1</p>

**No.123 13.7.2 (3) レジスタの設定例**  
**添え字 n→p の修正、備考に p を追加**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
400	<p><b>【13.7.2 (3) レジスタの設定例】</b>                      (b) 2 つのレジスタ・セットを用いて連続実行する場合                      &lt;9&gt; CHCFGn.TCM = 0 なので、DMAトランザクション(一連の DMA 転送)完了後に DMATCZ<sub>n</sub> が発行されます。</p> <p>備考 n = 0-3</p>	13-99	<p><b>【13.7.2 (3) レジスタの設定例】</b>                      (b) 2 つのレジスタ・セットを用いて連続実行する場合                      &lt;9&gt; CHCFGn.TCM = 0 なので、DMAトランザクション(一連の DMA 転送)完了後に DMATCZ<sub>p</sub> が発行されます。</p> <p>備考 n = 0-3, p = 0,1</p>

**No.124 13.7.3 (1) リンク・モードの動作フロー**  
**添え字 n→p の修正、備考に p を追加**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
403	<p><b>【13.7.3 (1) リンク・モードの動作フロー】</b>                      &lt;8&gt; DMATCZ<sub>n</sub> 発行処理                      CHCFGn.TCM (CHCFGn.TCM) に設定された値に従って、DMATCZ<sub>n</sub> 出力がマスクされます。                      TCM = 1 の場合は、DMATCZ<sub>n</sub> は出力されません。</p> <p>備考 n = 0-3</p>	13-102	<p><b>【13.7.3 (1) リンク・モードの動作フロー】</b>                      &lt;8&gt; DMATCZ<sub>n</sub> 発行処理                      CHCFGn.TCM (CHCFGn.TCM) に設定された値に従って、DMATCZ<sub>p</sub> 出力がマスクされます。                      TCM = 1 の場合は、DMATCZ<sub>p</sub> は出力されません。</p> <p>備考 n = 0-3, p = 0,1</p>



**No.125 13.7.3 (2) レジスタ設定**  
**添え字 n→p の修正、備考に p を追加**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
404	<p><b>【13.7.3 (2) レジスタ設定】</b>                      (b) リンク・アドレスの設定 (NXLAN)                      注意 リンク・モードでは、ディスクリプタ・リードにより設定を変更できますが、設定の変更タイミングとハードウェアによる DMA 転送要求 (DMAREQZ<sub>n</sub> や割り込み信号) との同期が取れません。                       備考 n = 0-3</p>	13-103	<p><b>【13.7.3 (2) レジスタ設定】</b>                      (b) リンク・アドレスの設定 (NXLAN)                      注意 リンク・モードでは、ディスクリプタ・リードにより設定を変更できますが、設定の変更タイミングとハードウェアによる DMA 転送要求 (DMAREQZ<sub>p</sub> や割り込み信号) との同期が取れません。                       備考 n = 0-3, p = 0,1</p>

**No.126 13.8.3 (2) エッジ検出**  
**チャンネル数の修正、動作例にレジスタの設定値を追加、備考の削除**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
423	<p><b>【13.8.3 (2) エッジ検出】</b>                      DMA 転送要求に、DMAREQZ0-DMAREQZ1 信号を用いる場合は、DMA アクノリッジ信号 (DMAACKZ0-DMAACKZ2) を検出してから次の DMA 転送要求 (DMAREQZ0-DMAREQZ1) を出すようにしてください。                       [図 13.22 エッジ検出モードの動作例 1]                      DMA 転送要求: 立ち上がりエッジ検出、転送元からの要求                       [図 13.23 エッジ検出モードの動作例 2]                      DMA 転送要求: 立ち上がりエッジ検出、転送先からの要求                       備考 n = 0-3</p>	13-122	<p><b>【13.8.3 (2) エッジ検出】</b>                      DMA 転送要求に、DMAREQZ0-DMAREQZ1 信号を用いる場合は、DMA アクノリッジ信号 (DMAACKZ0-DMAACKZ1) を検出してから次の DMA 転送要求 (DMAREQZ0-DMAREQZ1) を出すようにしてください。                       [図 13.22 エッジ検出モードの動作例 1]                      DMA 転送要求: 立ち上がりエッジ検出                      転送元からの要求 (CHCFGn.REQD=0)                       [図 13.23 エッジ検出モードの動作例 2]                      DMA 転送要求: 立ち上がりエッジ検出                      転送先からの要求 (CHCFGn.REQD=1)                       (削除)</p>

No.127 **13.8.3 (3) レベル検出**

添え字 n→p の修正、動作例にレジスタの設定値を追加、備考に p を追加

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
424	<p><b>【13.8.3 (3) レベル検出】</b>                      CHCFGn レジスタの LVL ビットを 1 に設定すると、レベル検出が選択されます。                      DMA 転送要求に、DMAREQZn 信号を用いる場合は、BUSCLK × 2 の幅の有効レベル (CHCFGn レジスタの HEN, LEN で指定) が入力されると DMA 転送要求として認識されます。                      DMA アクノリッジ信号にレベル・モードを選択した場合は、DMAACKZn は DMAREQZn がディアサートされるまで、ハイ・レベルになります。パルス・モードを選択した場合は 1 × BUSCLK のパルスで DMAACKZn が出力されます。                      DMA 転送要求に、DMAREQZn 信号を用いる場合は、DMA アクノリッジ信号 (DMAACKZn) を検出してから次の DMA 転送要求 (DMAREQZn) を出すようにしてください。</p> <p>[図 13.24 エッジ検出モードの動作例 1]                      DMA 転送要求: ハイ・レベル検出、転送元からの要求</p> <p>[図 13.25 エッジ検出モードの動作例 2]                      DMA 転送要求: ハイ・レベル検出、転送先からの要求</p> <p>備考 n = 0-3</p>	13-123	<p><b>【13.8.3 (3) レベル検出】</b>                      CHCFGn レジスタの LVL ビットを 1 に設定すると、レベル検出が選択されます。                      DMA 転送要求に、DMAREQZp 信号を用いる場合は、BUSCLK × 2 の幅の有効レベル (CHCFGn レジスタの HEN, LEN で指定) が入力されると DMA 転送要求として認識されます。                      DMA アクノリッジ信号にレベル・モードを選択した場合は、DMAACKZp は DMAREQZp がディアサートされるまで、ハイ・レベルになります。パルス・モードを選択した場合は 1 × BUSCLK のパルスで DMAACKZp が出力されます。                      DMA 転送要求に、DMAREQZp 信号を用いる場合は、DMA アクノリッジ信号 (DMAACKZp) を検出してから次の DMA 転送要求 (DMAREQZp) を出すようにしてください。</p> <p>[図 13.24 エッジ検出モードの動作例 1]                      DMA 転送要求: ハイ・レベル検出                      転送元からの要求 (CHCFGn.REQD=0)</p> <p>[図 13.25 エッジ検出モードの動作例 2]                      DMA 転送要求: 立ち上がりエッジ検出                      転送先からの要求 (CHCFGn.REQD=1)</p> <p>備考 n = 0-3, p = 0,1</p>

No.128 **13.8.4 DMA アクノリッジ出力機能**

添え字 n→p の修正、備考に p を追加

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
425	<p><b>【13.8.4 DMA アクノリッジ出力機能】</b>                      DMA 転送要求に、DMAREQZn 信号を用いる場合は、DMA アクノリッジ信号として、DMAACKZn を使用します。DMA ユニットから出力します。チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の AM2-AM0 ビットで出力モードを設定します。</p> <p>(記載なし)</p>	13-124	<p><b>【13.8.4 DMA アクノリッジ出力機能】</b>                      DMA 転送要求に、DMAREQZp 信号を用いる場合は、DMA アクノリッジ信号として、DMAACKZp を使用します。DMA ユニットから出力します。チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の AM2-AM0 ビットで出力モードを設定します。</p> <p>備考 n = 0-3, p = 0,1</p>

No.129 13.8.4 (1) DMA 転送要求の要因ごとのアクノリッジ信号モード指定  
 アクノリッジ信号モード指定の修正、添え字 n→p の修正、備考に p を追加

V8.00		V9.00																																																																	
ページ	記載内容	ページ	改訂内容																																																																
426	<p>【13.8.4 (1) DMA 転送要求の要因ごとのアクノリッジ信号モード指定】                      [表 13.27 DMA 転送要求の要因ごとのアクノリッジ信号モード指定]</p> <table border="1"> <thead> <tr> <th>DMA 転送要求要因</th> <th>DMA 転送要求の検出動作指定 (CHCFGn.LVL, LEN, HEN)</th> <th>DMA アクノリッジ信号の指定 (CHCFGn.AM2-AM0)</th> </tr> </thead> <tbody> <tr> <td>外部端子からの割り込み要求 (INTPZ0-INTPZ31)</td> <td>立ち上がりエッジ検出</td> <td>DMA 転送要求元の仕様にあわせて任意設定。</td> </tr> <tr> <td>内蔵周辺機能からの割り込み要求</td> <td>立ち上がりエッジ検出</td> <td>DMAACKZ0-1,RTDMAACKZ 端子は使用できません</td> </tr> <tr> <td>外部端子からの DMA 転送要求 (DMAREQZ0,DMAREQZ1 RTDMAREQZ)</td> <td>DMA 転送要求元の仕様にあわせて任意設定</td> <td>DMA 転送要求元の仕様にあわせて任意設定</td> </tr> </tbody> </table> <p>[表 13.28 DMA アクノリッジ信号 (DMAACKZ<sub>n</sub>) 信号の出力モード]</p> <table border="1"> <thead> <tr> <th>AMn2</th> <th>AMn1</th> <th>AMn0</th> <th>DMA アクノリッジ信号 (DMAACKZ<sub>n</sub>) の出力モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>パルス・モード<sup>※1</sup> (初期値)</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>レベル・モード、UART (CSI) 送信/受信 FIFO DMA 選択時 DMA 転送要求 (DMAREQZ<sub>n</sub>) がインアクティブになるまで、アクティブ・レベルを保持します。</td> </tr> <tr> <td>0</td> <td>1</td> <td>X</td> <td>バス・サイクル・モード<sup>※2</sup> DMA 転送のバス・サイクルの間、アクティブ・レベルを保持します。</td> </tr> <tr> <td>1</td> <td>X</td> <td>X</td> <td>DMA アクノリッジ信号 (DMAACKZ<sub>n</sub>) の出力禁止</td> </tr> </tbody> </table> <p>注 1. 1×BUSCLK 周期のパルスが DMAACKZ<sub>n</sub> 信号として出力されます。</p> <p>注意 2. AM2-AM0 の設定と、DMAIFCn レジスタは重複設定も可能ですが、一般的な利用方法では、AM2-AM0 を用いて DMAACKZ<sub>n</sub> 信号の動作をレベル・モードに設定している場合は、DMAIFCn レジスタは初期値のままで使用してください。逆に DMAIFCn レジスタを用いて DMAACKZ<sub>n</sub> のパルス幅拡張や、DMAREQZ<sub>n</sub> のマスク機能を利用している場合は、AMn2-AMn0 はパルス・モードを選択してください。</p> <p>備考 n = 0-3</p>	DMA 転送要求要因	DMA 転送要求の検出動作指定 (CHCFGn.LVL, LEN, HEN)	DMA アクノリッジ信号の指定 (CHCFGn.AM2-AM0)	外部端子からの割り込み要求 (INTPZ0-INTPZ31)	立ち上がりエッジ検出	DMA 転送要求元の仕様にあわせて任意設定。	内蔵周辺機能からの割り込み要求	立ち上がりエッジ検出	DMAACKZ0-1,RTDMAACKZ 端子は使用できません	外部端子からの DMA 転送要求 (DMAREQZ0,DMAREQZ1 RTDMAREQZ)	DMA 転送要求元の仕様にあわせて任意設定	DMA 転送要求元の仕様にあわせて任意設定	AMn2	AMn1	AMn0	DMA アクノリッジ信号 (DMAACKZ <sub>n</sub> ) の出力モード	0	0	0	パルス・モード <sup>※1</sup> (初期値)	0	0	1	レベル・モード、UART (CSI) 送信/受信 FIFO DMA 選択時 DMA 転送要求 (DMAREQZ <sub>n</sub> ) がインアクティブになるまで、アクティブ・レベルを保持します。	0	1	X	バス・サイクル・モード <sup>※2</sup> DMA 転送のバス・サイクルの間、アクティブ・レベルを保持します。	1	X	X	DMA アクノリッジ信号 (DMAACKZ <sub>n</sub> ) の出力禁止	13-125	<p>【13.8.4 (1) DMA 転送要求の要因ごとのアクノリッジ信号モード指定】                      [表 13.27 DMA 転送要求の要因ごとのアクノリッジ信号モード指定]</p> <table border="1"> <thead> <tr> <th>DMA 転送要求要因</th> <th>DMA 転送要求の検出動作指定 (CHCFGn.LVL, LEN, HEN)</th> <th>DMA アクノリッジ信号の指定 (CHCFGn.AM2-AM0)</th> </tr> </thead> <tbody> <tr> <td>外部端子からの割り込み要求 (INTPZ0-INTPZ31)</td> <td>立ち上がりエッジ検出</td> <td>DMAACKZp, RTDMAACKZ 端子は使用できません</td> </tr> <tr> <td>内蔵周辺機能からの割り込み要求</td> <td>立ち上がりエッジ検出</td> <td>DMAACKZp, RTDMAACKZ 端子は使用できません</td> </tr> <tr> <td>外部端子からの DMA 転送要求 (DMAREQZp, RTDMAREQZ)</td> <td>DMA 転送要求元の仕様にあわせて任意設定</td> <td>DMA 転送要求元の仕様にあわせて任意設定</td> </tr> </tbody> </table> <p>[表 13.28 DMA アクノリッジ信号 (DMAACKZ<sub>p</sub>) 信号の出力モード]</p> <table border="1"> <thead> <tr> <th>AMn2</th> <th>AMn1</th> <th>AMn0</th> <th>DMA アクノリッジ信号 (DMAACKZ<sub>p</sub>) の出力モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>パルス・モード<sup>※1</sup> (初期値)</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>レベルモード DMA 転送要求 (DMAREQZ<sub>p</sub>) がインアクティブになるまで、アクティブ・レベルを保持します。</td> </tr> <tr> <td>0</td> <td>1</td> <td>X</td> <td>バス・サイクル・モード<sup>※2</sup> DMA 転送のバス・サイクルの間、アクティブ・レベルを保持します。</td> </tr> <tr> <td>1</td> <td>X</td> <td>X</td> <td>DMA アクノリッジ信号 (DMAACKZ<sub>p</sub>) の出力禁止</td> </tr> </tbody> </table> <p>注 1. 1×BUSCLK 周期のパルスが DMAACKZ<sub>p</sub> 信号として出力されます。</p> <p>注意 2. AM2-AM0 の設定と、DMAIFCn レジスタは重複設定も可能ですが、一般的な利用方法では、AM2-AM0 を用いて DMAACKZ<sub>p</sub> 信号の動作をレベル・モードに設定している場合は、DMAIFCn レジスタは初期値のままで使用してください。逆に DMAIFCn レジスタを用いて DMAACKZ<sub>p</sub> のパルス幅拡張や、DMAREQZ<sub>p</sub> のマスク機能を利用している場合は、AMn2-AMn0 はパルス・モードを選択してください。</p> <p>備考 n = 0-3, p = 0,1</p>	DMA 転送要求要因	DMA 転送要求の検出動作指定 (CHCFGn.LVL, LEN, HEN)	DMA アクノリッジ信号の指定 (CHCFGn.AM2-AM0)	外部端子からの割り込み要求 (INTPZ0-INTPZ31)	立ち上がりエッジ検出	DMAACKZp, RTDMAACKZ 端子は使用できません	内蔵周辺機能からの割り込み要求	立ち上がりエッジ検出	DMAACKZp, RTDMAACKZ 端子は使用できません	外部端子からの DMA 転送要求 (DMAREQZp, RTDMAREQZ)	DMA 転送要求元の仕様にあわせて任意設定	DMA 転送要求元の仕様にあわせて任意設定	AMn2	AMn1	AMn0	DMA アクノリッジ信号 (DMAACKZ <sub>p</sub> ) の出力モード	0	0	0	パルス・モード <sup>※1</sup> (初期値)	0	0	1	レベルモード DMA 転送要求 (DMAREQZ <sub>p</sub> ) がインアクティブになるまで、アクティブ・レベルを保持します。	0	1	X	バス・サイクル・モード <sup>※2</sup> DMA 転送のバス・サイクルの間、アクティブ・レベルを保持します。	1	X	X	DMA アクノリッジ信号 (DMAACKZ <sub>p</sub> ) の出力禁止
DMA 転送要求要因	DMA 転送要求の検出動作指定 (CHCFGn.LVL, LEN, HEN)	DMA アクノリッジ信号の指定 (CHCFGn.AM2-AM0)																																																																	
外部端子からの割り込み要求 (INTPZ0-INTPZ31)	立ち上がりエッジ検出	DMA 転送要求元の仕様にあわせて任意設定。																																																																	
内蔵周辺機能からの割り込み要求	立ち上がりエッジ検出	DMAACKZ0-1,RTDMAACKZ 端子は使用できません																																																																	
外部端子からの DMA 転送要求 (DMAREQZ0,DMAREQZ1 RTDMAREQZ)	DMA 転送要求元の仕様にあわせて任意設定	DMA 転送要求元の仕様にあわせて任意設定																																																																	
AMn2	AMn1	AMn0	DMA アクノリッジ信号 (DMAACKZ <sub>n</sub> ) の出力モード																																																																
0	0	0	パルス・モード <sup>※1</sup> (初期値)																																																																
0	0	1	レベル・モード、UART (CSI) 送信/受信 FIFO DMA 選択時 DMA 転送要求 (DMAREQZ <sub>n</sub> ) がインアクティブになるまで、アクティブ・レベルを保持します。																																																																
0	1	X	バス・サイクル・モード <sup>※2</sup> DMA 転送のバス・サイクルの間、アクティブ・レベルを保持します。																																																																
1	X	X	DMA アクノリッジ信号 (DMAACKZ <sub>n</sub> ) の出力禁止																																																																
DMA 転送要求要因	DMA 転送要求の検出動作指定 (CHCFGn.LVL, LEN, HEN)	DMA アクノリッジ信号の指定 (CHCFGn.AM2-AM0)																																																																	
外部端子からの割り込み要求 (INTPZ0-INTPZ31)	立ち上がりエッジ検出	DMAACKZp, RTDMAACKZ 端子は使用できません																																																																	
内蔵周辺機能からの割り込み要求	立ち上がりエッジ検出	DMAACKZp, RTDMAACKZ 端子は使用できません																																																																	
外部端子からの DMA 転送要求 (DMAREQZp, RTDMAREQZ)	DMA 転送要求元の仕様にあわせて任意設定	DMA 転送要求元の仕様にあわせて任意設定																																																																	
AMn2	AMn1	AMn0	DMA アクノリッジ信号 (DMAACKZ <sub>p</sub> ) の出力モード																																																																
0	0	0	パルス・モード <sup>※1</sup> (初期値)																																																																
0	0	1	レベルモード DMA 転送要求 (DMAREQZ <sub>p</sub> ) がインアクティブになるまで、アクティブ・レベルを保持します。																																																																
0	1	X	バス・サイクル・モード <sup>※2</sup> DMA 転送のバス・サイクルの間、アクティブ・レベルを保持します。																																																																
1	X	X	DMA アクノリッジ信号 (DMAACKZ <sub>p</sub> ) の出力禁止																																																																

No.130 **13.8.4 (2) パルス出力**

添え字 n→p の修正、動作例にレジスタの設定値を追加、備考に p を追加

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
427	<p><b>【13.8.4 (2) パルス出力】</b>                      チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の AM2-AM0 ビットを 000B に設定すると、DMA アクノリッジ信号 (DMAACKZn) は、パルス出力が選択されます。                      1 × BUSCLK のハイ・レベルのパルスが出力されます。                      DMA 転送要求元でパルス幅が不足する場合は、DMA 転送インタフェース信号制御レジスタ 0-3 (DMAIFC0-DMAIFC3) の AKWD4-AKWD0 ビットで、DMAACKZn の幅を 1 × BUSCLK ~ 32 × BUSCLK まで設定できます。</p> <p>[図 13.26 パルス出力モードの動作例 1]                      DMA 転送要求: 立ち上がりエッジ検出、転送元からの要求</p> <p>[図 13.27 パルス出力モードの動作例 2]                      DMA 転送要求: 立ち上がりエッジ検出、転送先からの要求</p> <p>備考 n = 0-3</p>	13-126	<p><b>【13.8.4 (2) パルス出力】</b>                      チャンネル・コンフィギュレーション・レジスタ (CHCFGn) の AM2-AM0 ビットを 000B に設定すると、DMA アクノリッジ信号 (DMAACKZp) は、パルス出力が選択されます。                      1 × BUSCLK のハイ・レベルのパルスが出力されます。                      DMA 転送要求元でパルス幅が不足する場合は、DMA 転送インタフェース信号制御レジスタ 0-3 (DMAIFC0-DMAIFC3) の AKWD4-AKWD0 ビットで、DMAACKZp の幅を 1 × BUSCLK ~ 32 × BUSCLK まで設定できます。</p> <p>[図 13.26 パルス出力モードの動作例 1]                      DMA 転送要求: 立ち上がりエッジ検出                      転送元からの要求 (CHCFGn.REQD=0)</p> <p>[図 13.27 パルス出力モードの動作例 2]                      DMA 転送要求: 立ち上がりエッジ検出                      転送先からの要求 (CHCFGn.REQD=1)</p> <p>備考 n = 0-3, p = 0,1</p>

No.131 **13.8.4 (3) レベル出力**

動作例にレジスタの設定値を追加

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
428	<p><b>【13.8.4 (3) レベル出力】</b>                      [図 13.28 レベル出力モードの動作例 1]                      DMA 転送要求: ハイ・レベル検出、転送元からの要求、</p> <p>[図 13.29 レベル出力モードの動作例 2]                      DMA 転送要求: ハイ・レベル検出、転送元からの要求、</p>	13-127	<p><b>【13.8.4 (3) レベル出力】</b>                      [図 13.28 レベル出力モードの動作例 1]                      DMA 転送要求: ハイ・レベル検出                      転送元からの要求 (CHCFGn.REQD=0)</p> <p>[図 13.29 レベル出力モードの動作例 2]                      DMA 転送要求: ハイ・レベル検出                      転送先からの要求 (CHCFGn.REQD=1)</p>

**No.132 13.8.4 (4) バス・サイクル出力**  
**動作例にレジスタの設定値を追加**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
429	<p><b>【13.8.4 (4) バス・サイクル出力】</b>                      [図 13.30 バス・サイクル出力モードの動作例 1]                      DMA 転送要求: 立ち上がりエッジ検出、転送元からの要求、</p> <p>[図 13.31 バス・サイクル出力モードの動作例 2]                      DMA 転送要求: ハイ・レベル検出、転送元からの要求、</p>	13-128	<p><b>【13.8.4 (4) バス・サイクル出力】</b>                      [図 13.30 バス・サイクル出力モードの動作例 1]                      DMA 転送要求: 立ち上がりエッジ検出                      転送元からの要求 (CHCFGn.REQD=0)</p> <p>[図 13.31 バス・サイクル出力モードの動作例 2]                      DMA 転送要求: ハイ・レベル検出                      転送先からの要求 (CHCFGn.REQD=1)</p>

**No.133 13.8.7 強制掃き出し機能**  
**添え字 n→p の修正、備考に p を追加**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
435	<p><b>【13.8.7 強制掃き出し機能】</b>                      チャンネル・コンフィギュレーション・レジスタ(CHCFGn)の REQD ビットをセット(1)し、DMAACKZ<sub>n</sub> をライト時にアクティブとなる設定の場合は、強制掃き出し機能は利用できません。転送先が DMA 転送要求 (DMAREQZ<sub>n</sub>) をアサートしていない状態でデータ転送が行われることで、転送先で誤動作が発生する可能性があるためです。</p> <p>備考 n = 0-3</p>	13-134	<p><b>【13.8.7 強制掃き出し機能】</b>                      チャンネル・コンフィギュレーション・レジスタ(CHCFGn)の REQD ビットをセット(1)し、DMAACKZ<sub>p</sub> をライト時にアクティブとなる設定の場合は、強制掃き出し機能は利用できません。転送先が DMA 転送要求 (DMAREQZ<sub>p</sub>) をアサートしていない状態でデータ転送が行われることで、転送先で誤動作が発生する可能性があるためです。</p> <p>備考 n = 0-3, p = 0,1</p>

No.134 13.9.1 設定例 1 (レジスタ・モード、シングル転送モード、ハードウェア・トリガ)

信号名の修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
443	<p><b>【13.9.1 設定例 1(レジスタ・モード、シングル転送モード、ハードウェア・トリガ)】</b>                      [表 13.35 設定例 1 のチャンネル・コンフィギュレーション・レジスタ(CHCFG1)設定]                      [29 : RSW]                      0: DMA トラザクション(一連の DMA 転送)完了後に <b>RSEL3</b> を反転しない                      [26 : RSEL]                      0: リンク・モードで LV = 0 の場合、<b>INTDMA</b> をマスクしない                      [25 : TCM]                      0: マスクしない(ターミナル・カウント出力(<b>DMATCZ2</b>)許可)                      [24 : DEM]                      0: DMA トラザクション完了時の <b>INTDMA</b> 出力許可                      [11 : DRRP]                      0: リンク・モードで LV = 0 の場合、<b>CHSTAT_33.DER</b> ビットをセット(1)し動作停止                      [10-8 : AM2-AM0]                      DMA アクノリッジ信号(<b>DMAACKZ2</b>)の出力モード</p>	13-142	<p><b>【13.9.1 設定例 1(レジスタ・モード、シングル転送モード、ハードウェア・トリガ)】</b>                      [表 13.35 設定例 1 のチャンネル・コンフィギュレーション・レジスタ(CHCFG1)設定]                      [29 : RSW]                      0: DMA トラザクション(一連の DMA 転送)完了後に <b>RSEL</b> を反転しない                      [26 : RSEL]                      0: リンク・モードで LV = 0 の場合、<b>INTDERR0</b> をマスクしない                      [25 : TCM]                      0: マスクしない(ターミナル・カウント出力(<b>DMATCZ1</b>)許可)                      [24 : DEM]                      0: DMA トラザクション完了時の <b>INTDMA01</b> 出力許可                      [11 : DRRP]                      0: リンク・モードで LV = 0 の場合、<b>CHSTAT1.DER</b> ビットをセット(1)し動作停止                      [10-8 : AM2-AM0]                      DMA アクノリッジ信号(<b>DMAACKZ1</b>)の出力モード</p>

No.135 13.9.2 設定例 2 (レジスタ・モード、ブロック転送モード、ソフトウェア・トリガ)

信号名の修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
446	<p><b>【13.9.2 設定例 2(レジスタ・モード、ブロック転送モード、ソフトウェア・トリガ)】</b>                      [表 13.38 設定例 2 のチャンネル・コンフィギュレーション・レジスタ(CHCFG2)設定]                      ・R/W 属性 (25 : TCM) : <b>0</b>                      [26 : DIM]                      0: リンク・モードで LV = 0 の場合、<b>INTDMA</b> をマスクしない                      [25 : TCM]                      0: マスクしない(ターミナル・カウント出力(DMATCZ2)許可)                      [24 : DEM]                      0: DMA トラザクション完了時の <b>INTDMA</b> 出力許可                      [11 : DRRP]                      0: リンク・モードで LV = 0 の場合、<b>CHSTAT_32.DER</b> ビットをセット(1)し動作停止</p>	13-145	<p><b>【13.9.2 設定例 2(レジスタ・モード、ブロック転送モード、ソフトウェア・トリガ)】</b>                      [表 13.38 設定例 2 のチャンネル・コンフィギュレーション・レジスタ(CHCFG2)設定]                      ・R/W 属性 (25 : TCM) : <b>1</b>                      [26 : DIM]                      0: リンク・モードで LV = 0 の場合、<b>INTDERR0</b> をマスクしない                      [25 : TCM]                      1: マスクする(ターミナル・カウント出力をマスク)                      [24 : DEM]                      0: DMA トラザクション完了時の <b>INTDMA02</b> 出力許可                      [11 : DRRP]                      0: リンク・モードで LV = 0 の場合、<b>CHSTAT2.DER</b> ビットをセット(1)し動作停止</p>

No.136 13.9.2 設定例 2 (レジスタ・モード、ブロック転送モード、ソフトウェア・トリガ)

設定値の修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
447	<p>【13.9.2 設定例 2(レジスタ・モード、ブロック転送モード、ソフトウェア・トリガ)】                      [図 13.39 設定例 2 の動作フロー]                      CHCFG2←1045 0402H</p>	13-146	<p>【13.9.2 設定例 2(レジスタ・モード、ブロック転送モード、ソフトウェア・トリガ)】                      [図 13.39 設定例 2 の動作フロー]                      CHCFG2←1245 0402H</p>

No.137 13.9.3 設定例 3 (レジスタ・モード：連続実行、ブロック転送モード、ソフトウェア・トリガ)

信号名の修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
449	<p>【13.9.3 設定例 3(レジスタ・モード：連続実行、ブロック転送モード、ソフトウェア・トリガ)】                      [表 13.41 設定例 3 のチャンネル・コンフィギュレーション・レジスタ(CHCFG1)設定]                      [30 : REN]                      1:連続実行する(RSEL1 ビットで選択されている Next レジスタ・セットを使う)                      [26 : DIM]                      0:リンク・モードで LV = 0 の場合、INTDMA をマスクしない                      [24 : DEM]                      1:DMA トランザクション完了時の INTDMA 出力をマスクする                      [11 : DRRP]                      0:リンク・モードで LV = 0 の場合、CHSTAT_31.DER ビットをセット(1)し動作停止</p>	13-148	<p>【13.9.3 設定例 3(レジスタ・モード：連続実行、ブロック転送モード、ソフトウェア・トリガ)】                      [表 13.41 設定例 3 のチャンネル・コンフィギュレーション・レジスタ(CHCFG1)設定]                      [30 : REN]                      1:連続実行する(RSEL ビットで選択されている Next レジスタ・セットを使う)                      [26 : DIM]                      0:リンク・モードで LV = 0 の場合、INTDERR0 をマスクしない                      [24 : DEM]                      1:DMA トランザクション完了時の INTDMA01 出力をマスクする                      [11 : DRRP]                      0:リンク・モードで LV = 0 の場合、CHSTAT1.DER ビットをセット(1)し動作停止</p>

No.138 14.1 TAUJ2 の特徴

表題の変更、クロック供給に関する説明及び表 14.1 の削除

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
455	<p>【14.1 R-IN32M3 の TAUJ2 の特長】                      ○ クロック供給: TAUJ2 には次の 1 つのクロック入力があります。                      表 14.1 TAUJ2 クロック供給</p>	14-1	<p>【14.1 TAUJ2 の特徴】                      (削除)                      (削除)</p>

No.139 14.1 TAUJ2 の特徴

割り込みと周辺機能の説明に修正、注意の追加

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
456	<p><b>【14.1 R-IN32M3 の TAUJ2 の特長】</b>                      ○ 割り込みと周辺機能：TAUJ2 は次の割り込み要求で DMA 要求やタイマのキャプチャ・トリガ入力、リアルタイム・ポートの更新トリガ入力としても利用できます。</p> <p>[表 14.2 TAUJ2 の割り込みと周辺機能への要求]                      [TAUJ2I0-TAUJ2I3]                      ・DMA コントローラ・トリガ (DTFR/RTD<b>F</b>TR)</p> <p>(記載なし)</p>	14-2	<p><b>【14.1 TAUJ2 の特徴】</b>                      ○ 割り込みと周辺機能：TAUJ2 の下記割り込み要求は、割り込み処理や Hardware ISR 以外にも、DMA 転送 (汎用 DMAC、リアルタイムポート DMAC)、タイマ・キャプチャ・トリガ (TAUJ2)、リアルタイム・ポート (RP00-RP37) の更新に利用可能です。</p> <p>[表 14.2 TAUJ2 の割り込みと周辺機能への要求]                      [TAUJ2I0-TAUJ2I3]                      ・DMA コントローラ・トリガ (DTFR/RTD<b>T</b>FR)</p> <p>注意. TINm/TOUTm は、同じポートで兼用しているため、TINm/TOUTm を同時に使用する場合は、TINm への入力信号をポート端子以外に設定する必要があります (m = 0 - 3)。                      詳細は「21.9.1 タイマ入力選択レジスタ (SELCONT)」を参照して下さい。</p>

No.140 14.3.2 (1) TAUJ2 プリスケアラ・クロック選択レジスタ (TAUJ2TPS)

備考の削除

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
466	<p><b>【14.3.2 (1) TAUJ2 プリスケアラ・クロック選択レジスタ (TAUJ2TPS)】</b>                      備考 TAUJ2 クロック入力 PCLK については、この章の最初の節内「クロック供給」で定義しています。</p>	14-12	<p><b>【14.3.2 (1) TAUJ2 プリスケアラ・クロック選択レジスタ (TAUJ2TPS)】</b>                      (削除)</p>



No.141 14.3.3 (2) TAUJ2 チャンネル・カウンタ・レジスタ (TAUJ2CNTm)

注を追加

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
468	【14.3.3 (2) TAUJ2 チャンネル・カウンタ・レジスタ(TAUJ2CNTm)】 (記載なし)	14-15	【14.3.3 (2) TAUJ2 チャンネル・カウンタ・レジスタ(TAUJ2CNTm)】 注. 初期値は、TAUJ2 チャンネル・モード OS レジスタにて設定された動作モードによって変わります。インターバル・タイマモードもしくはワンカウント・モードの場合、初期値 FFFF_FFFFH となり、その他のモードの場合、初期値 0000_0000H となります。 動作モード設定の詳細は「14.3.3(3) TAUJ2 チャンネル・モード OS レジスタ(TAUJ2CMORm)」を参照して下さい。

No.142 14.3.3 (3) TAUJ2 チャンネル・モード OS レジスタ (TAUJ2CMORm)

説明の補完

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
472	【14.3.3 (3) TAUJ2 チャンネル・モード OS レジスタ(TAUJ2CMORm)★】 [4-0 : TAUJ2MD[4:0]] 動作モードを指定します。	14-19	【14.3.3 (3) TAUJ2 チャンネル・モード OS レジスタ(TAUJ2CMORm)】 [4-0 : TAUJ2MD[4:0]] 動作モードを指定します。下表に記載されていない設定は設定禁止です。

No.143 14.5.1 チャンネル連動動作ルール

説明の修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
484	【14.5.1 チャンネル連動動作ルール】 (4) 例: CH2 がマスタ・チャンネルの場合、CH3 をスレーブ・チャンネルに設定できます。	14-31	【14.5.1 チャンネル連動動作ルール】 (4) 例: CH0 がマスタ・チャンネルの場合、CH1、CH2、CH3 をスレーブ・チャンネルとして設定できます。

No.144 14.7.5 (8) オーバフロー割り込みの出力方法 (b) ブロック図

「図 14.24 オーバフロー割り込み出力のブロック図 (TAUJ2TTINm 幅測定時)」の内容を修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
524	<p>【14.7.5 (8) オーバフロー割り込みの出力方法 (b) ブロック図】 [図 14.24 オーバフロー割り込み出力のブロック図 (TAUJ2TTINm 幅測定時)]</p>	14-71	<p>【14.7.5 (8) オーバフロー割り込みの出力方法 (b) ブロック図】 [図 14.24 オーバフロー割り込み出力のブロック図 (TAUJ2TTINm 幅測定時)]</p>

No.145 15. ウィンドウ・ウォッチドッグ・タイマ A (WDTA)

説明の修正・削除

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
560	<p>【15. ウィンドウ・ウォッチドッグ・タイマ A (WDTA)】 この章では、ウィンドウ・ウォッチドッグ・タイマ A の一般的な内容について説明します。</p> <p>15.1 節でチャンネル数、レジスタのベース・アドレス、入出力信号名など、R-IN32M3 に固有の特徴について説明します。15.2 節以降で、WDTA 搭載製品に共通の特徴について説明します。 使用上の注意事項は「15.5 機能説明」を参照してください。</p>	15-1	<p>【15. ウィンドウ・ウォッチドッグ・タイマ A (WDTA)】 本章では、ウィンドウ・ウォッチドッグ・タイマ A (WDTA) について説明します。</p> <p>(削除)</p>

No.146 15.1 WDTA の特徴

表題の変更、クロック供給に関する説明及び「表 15.2 ウィンドウ・ウォッチドッグ・タイマ A のクロック」の削除

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
560	<p><b>【15.1 R-IN32M3 の WDTA の特徴】</b></p> <p>○ クロック供給 ウィンドウ・ウォッチドッグ・タイマ A は、クロック入力として WDTATCKI を使用します。WDTATCKI はクロック発生回路に接続されています。</p> <p>表 15.2 ウィンドウ・ウォッチドッグ・タイマ A のクロック</p>	15-1	<p><b>【15.1 WDTA の特徴】</b></p> <p>(削除)</p> <p>(削除)</p>

No.147 15.2 機能概要

オーバフロー時間条件の修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
561	<p><b>【15.2 機能概要】</b></p> <p>○ オーバフロー時間 ・25MHz 動作時: 163 <math>\mu</math>s ~ 5.36s</p>	15-2	<p><b>【15.2 機能概要】</b></p> <p>○ オーバフロー時間 ・163 <math>\mu</math>s ~ 5.36s</p>

No.148 16. アシクロナス・シリアル・インタフェース J (UARTJ)

説明の修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
572	<p><b>【16. アシクロナス・シリアル・インタフェース J(UARTJn)】</b></p> <p>この章では、アシクロナス・シリアル・インタフェース J 全般について説明します。</p>	16-1	<p><b>【16. アシクロナス・シリアル・インタフェース J(UARTJ)】</b></p> <p>本章では、アシクロナス・シリアル・インタフェース J(UARTJ)について説明します。</p>

No.149 **16.1 UARTJn の特徴**

表題の変更、クロック供給及び「表 16.2 UARTJn のクロック供給」の削除

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
572	<p><b>【16.1 R-IN32M3 UARTJn の機能】</b></p> <p>○ クロック供給：UARTJn には次の 1 つのクロック入力があります。UARTJn は PCLK を接続しています。</p> <p>表 16.2 UARTJn のクロック供給</p>	16-1	<p><b>【16.1 UARTJn の特徴】</b></p> <p>(削除)</p> <p>(削除)</p>

No.150 **16.1 UARTJn の特徴**

割り込みと周辺機能の説明に修正、「表 16.3 UARTJn の割り込みと周辺機能の要求」の修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
573	<p><b>【16.1 R-IN32M3 UARTJn の機能】</b></p> <p>○割り込み： UARTJ の割り込みを次の表に示します。</p> <p>[表 16.3 UARTJn の割り込みと周辺機能の要求★] [INTUAJ0TIT, INTUAJ0TIR, INTUAJ1TIT, INTUAJ1TIR] ・DMA コントローラ・トリガ (DTFR/RTD<del>TFR</del>)</p>	16-2	<p><b>【16.1 UARTJn の特徴】</b></p> <p>○割り込みと周辺機能： UARTJ の下記割り込み要求は、割り込み処理や Hardware ISR 以外にも、DMA 転送 (汎用 DMAC、リアルタイムポート DMAC)、タイマ・キャプチャ・トリガ (TAUJ2)、リアルタイム・ポート (RP00-RP37) の更新に利用可能です。</p> <p>[表 16.3 UARTJn の割り込みと周辺機能の要求] [INTUAJ0TIT, INTUAJ0TIR, INTUAJ1TIT, INTUAJ1TIR] ・DMA コントローラ・トリガ (DTFR/RTD<del>TFR</del>)</p>

No.151 **16.4 (2) UARTJn 制御レジスタ 1 (URTJnCTL1)**

URTJnBLG[2:0]の選択値を修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
580	<p><b>【16.4 (2) UARTJn 制御レジスタ 1 (URTJnCTL1)】</b></p> <p>[14-12 : URTJnBLG[2:0]] 送信中の BF ビット長 <b>110</b> : 15 ビット</p>	16-9	<p><b>【16.4(2) UARTJn 制御レジスタ 1 (URTJnCTL1)】</b></p> <p>[14-12 : URTJnBLG[2:0]] 送信中の BF ビット長 <b>111★</b> : 15 ビット</p>

**No.152 16.4 (5) UARTJn ステータス・レジスタ 0 (URTJnSTR0)**

**注 1,2 を追加**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
586	【16.4 (5) UARTJn ステータス・レジスタ 0 (URTJnSTR0)】 (記載なし)	16-15	【16.4 (5) UARTJn ステータス・レジスタ 0 (URTJnSTR0) ★】 注 1. このビットは、URTJnCTL0.URTJnRXE = 0 によって受信が禁止されたときにも初期化されます。 2. これらのビットは、URTJnCTL0.URTJnTXE = 0 によって送信が禁止されたときにも初期化されます。

**No.153 16.4 (6) UARTJn ステータス・レジスタ 1 (URTJnSTR1)**

**注 1,2 を追加**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
587	【16.4 (6) UARTJn ステータス・レジスタ 1 (URTJnSTR1)】 (記載なし)	16-16	【16.4 (6) UARTJn ステータス・レジスタ 1 (URTJnSTR1) ★】 注 1. これらのビットは、URTJnCTL0.URTJnRXE = 0 によって受信が禁止されたときにも初期化されます。 2. このビットは、URTJnCTL0.URTJnTXE = 0 によって送信が禁止されたときにも初期化されます。

**No.154 16.4 (6) UARTJn ステータス・レジスタ 1 (URTJnSTR1)**

**注 1 を追加**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
588	【16.4 (6) UARTJn ステータス・レジスタ 1 (URTJnSTR1)】 (記載なし)	16-17	【16.4 (6) UARTJn ステータス・レジスタ 1 (URTJnSTR1) ★】 注 1. このビットは、URTJnCTL0.URTJnRXE = 0 によって受信が禁止されたときにも初期化されます。

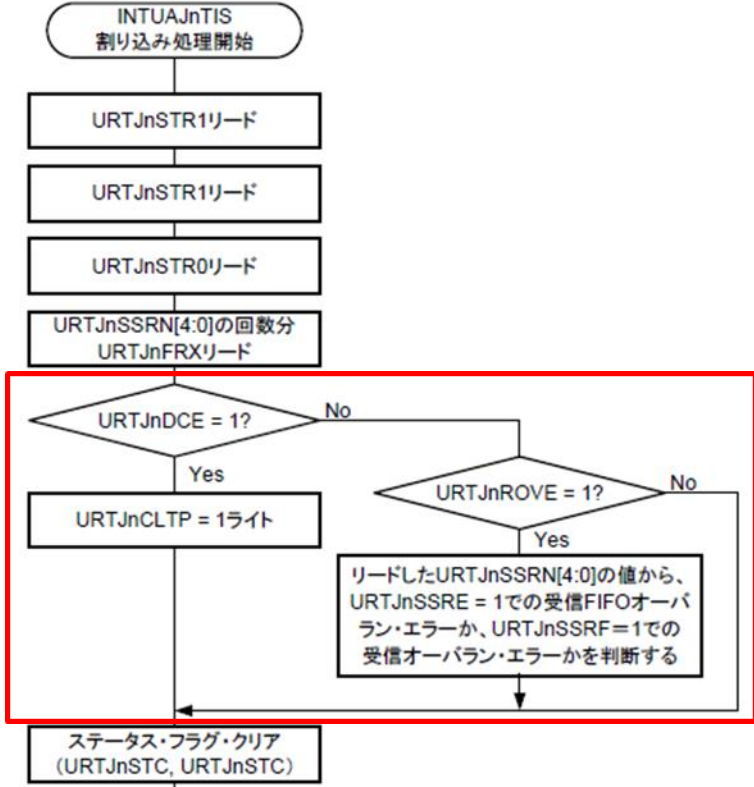
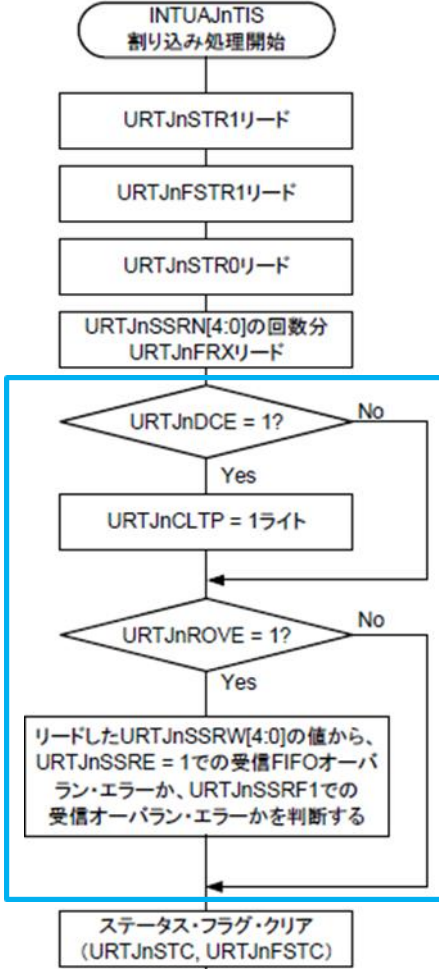
No.155 16.5.2 (1) 受信エラー発生時の INTUAJnTIR

注意の説明を修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
600	<p><b>【16.5.2 (1) 受信エラー発生時の INTUAJnTIR】</b>                      注意 <b>送信</b> 割り込みが発生した後、FIFO <b>が空の状態</b> で1フレーム分以上、<b>送信</b> を待つシステムでは、再び<b>送信</b> 割り込みが発生している可能性があるため、割り込みルーチン内で割り込み要求フラグ (EICn.EIRFn) をクリア(0) してください。</p>	16-29	<p><b>【16.5.2 (1) 受信エラー発生時の INTUAJnTIR】</b>                      注意 <b>受信</b> 割り込みが発生した後、FIFO <b>フル状態</b> で1フレーム分以上、<b>受信</b> を待つシステムでは、再び<b>受信</b> 割り込みが発生している可能性があるため、割り込みルーチン内で割り込み要求フラグ (EICn.EIRFn) をクリア (0) してください。</p>

No.156 16.5.3 ステータス割り込み要求 INTUAJnTIS

「図 16.4 オーバラン・エラー判定フロー」の"URTJnDCE = 1"判定後のフローを修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
02	<p>【16.5.3 ステータス割り込み要求 INTUAJnTIS】 [図 16.4 オーバラン・エラー判定フロー]</p>  <pre> graph TD     Start([INTUAJnTIS 割り込み処理開始]) --&gt; R1[URTJnSTR1リード]     R1 --&gt; R2[URTJnSTR1リード]     R2 --&gt; R3[URTJnSTR0リード]     R3 --&gt; R4[URTJnSSRN[4:0]の回数分 URTJnFRXリード]     R4 --&gt; D1{URTJnDCE = 1?}     D1 -- Yes --&gt; W1[URTJnCLTP = 1ライト]     D1 -- No --&gt; D2{URTJnROVE = 1?}     D2 -- Yes --&gt; R5[リードしたURTJnSSRN[4:0]の値から、 URTJnSSRE = 1での受信FIFOオーバ ラン・エラーか、URTJnSSRF=1での 受信オーバラン・エラーかを判断する]     W1 --&gt; End([ステータス・フラグ・クリア (URTJnSTC, URTJnSTC)])     R5 --&gt; End     D2 -- No --&gt; End     </pre>	16-31	<p>【16.5.3 ステータス割り込み要求 INTUAJnTIS】 [図 16.4 オーバラン・エラー判定フロー]</p>  <pre> graph TD     Start([INTUAJnTIS 割り込み処理開始]) --&gt; R1[URTJnSTR1リード]     R1 --&gt; R2[URTJnFSTR1リード]     R2 --&gt; R3[URTJnSTR0リード]     R3 --&gt; R4[URTJnSSRN[4:0]の回数分 URTJnFRXリード]     R4 --&gt; D1{URTJnDCE = 1?}     D1 -- Yes --&gt; W1[URTJnCLTP = 1ライト]     D1 -- No --&gt; D2{URTJnROVE = 1?}     D2 -- Yes --&gt; R5[リードしたURTJnSSRW[4:0]の値から、 URTJnSSRE = 1での受信FIFOオーバ ラン・エラーか、URTJnSSRF1での 受信オーバラン・エラーかを判断する]     W1 --&gt; End([ステータス・フラグ・クリア (URTJnSTC, URTJnFSTC)])     R5 --&gt; End     D2 -- No --&gt; End     </pre>

No.157 **16.6.6 (2) 受信の開始と停止**

「**図 16.15 データ受信のフロー (URTJnSLBM = 0, URTJnSSBR = 1)**」に補足を追加

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
618	<b>【16.6.6 (2) 受信の開始と停止】</b> [図 16.15 データ受信のフロー (URTJnSLBM = 0, URTJnSSBR = 1)] (記載なし)	16-47	<b>【16.6.6 (2) 受信の開始と停止】</b> [図 16.15 データ受信のフロー (URTJnSLBM = 0, URTJnSSBR = 1)] o) BF 受信後にデータを受信する場合には、設定してください。

No.158 **16.7 ボー・レート・ジェネレータ**

ボーレート誤差算出方法を追加

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
-	<b>【16.7 ボー・レート・ジェネレータ】</b> (記載なし)	16-54	<b>【16.7 ボー・レート・ジェネレータ】</b> ボーレートのクロック設定は、下記の式で算出します。レジスタの詳細は「16.4(3) UARTJn 制御レジスタ 2 (URTJnCTL2)」を参照してください。★ ~ 備考. URTJnCTL2.URTJnBRS[11:0] = "2125"に設定した場合、±4.75%となります。

No.159 **17. クロック同期シリアル・インタフェース H (CSIH)**

説明の修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
626	<b>【17. クロック同期シリアル・インタフェース H (CSIH)】</b> この章では、クロック同期シリアル・インタフェース H (CSIH) 全般について説明します。 最初のセクションでは、チャンネル、レジスタ・ベース・アドレス、入出力信号名など、すべての R-IN32M3 に固有の特性について説明します。 それ以降のセクションでは、すべてのバージョンに共通の特徴について説明します。	17-1	<b>【17. クロック同期シリアル・インタフェース H (CSIH)】</b> 本章では、クロック同期シリアル・インタフェース (CSIH) について説明します。



No.160 17.1 CSIH の特徴

表題の変更、クロック供給に関する説明及び「表 17.3 CSIHn のクロック・ソース」の削除

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
626	<p><b>【17.1 R-IN32M3 の CSIH の特徴】</b></p> <p>○ クロック供給 クロック同期シリアル・インタフェース H は 1 つのクロック入力を供給します。</p> <p>表 17.3 CSIHn のクロック・ソース</p>	17-1	<p><b>【17.1 CSIH の特徴】</b></p> <p>(削除)</p> <p>(削除)</p>

No.161 17.1 CSIH の特徴

割り込みと周辺機能の説明に修正、「表 17.4 CSIHn の割り込みと周辺機能の要求」の修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
628	<p><b>【17.1 R-IN32M3 の CSIH の特徴】</b></p> <p>○ 割り込み クロック同期シリアル・インタフェース H は以下の割り込み要求を発生することができます。</p> <p>[表 17.5 CSIHn の割り込みと周辺機能の要求★] [CSI0/CSIHTIC, CSI0/CSIHTIR, CSI0/CSIHTIJC, CSI1/CSIHTIC, CSI1/CSIHTIR, CSI1/CSIHTIJC.] ・DMA コントローラ・トリガ (DTFR/RTD<b>F</b>TR)</p>	17-2	<p><b>【17.1 CSIH の特徴】</b></p> <p>○ 割り込みと周辺機能: CSIH の下記割り込み要求は、割り込み処理や Hardware ISR 以外にも、DMA 転送 (汎用 DMAC、リアルタイムポート DMAC)、タイマ・キャプチャ・トリガ (TAUJ2)、リアルタイム・ポート (RP00-RP37) の更新に利用可能です。</p> <p>[表 17.4 CSIHn の割り込みと周辺機能の要求] [CSI0/CSIHTIC, CSI0/CSIHTIR, CSI0/CSIHTIJC, CSI1/CSIHTIC, CSI1/CSIHTIR, CSI1/CSIHTIJC.] ・DMA コントローラ・トリガ (DTFR/RTD<b>T</b>FR)</p>

No.162 17.3 CSIH 制御レジスタ

CSIHnTSF のセットされる条件とクリアされる条件を修正

V8.00				V9.00				
ページ	記載内容			ページ	改訂内容			
640	<b>【17.3 (4) CSIH ステータス・レジスタ 0 (CSIHnSTRO)】</b> [7 : CSIHnTSF]			17-14	<b>【17.3 CSIH 制御レジスタ】</b> [7 : CSIHnTSF]			
	マスタ・モード	セットされる条件 デュアル・バッファ・モード、送信オンリー・バッファ・モード			マスタ・モード	セットされる条件 デュアル・バッファ・モード、送信オンリー・バッファ・モード		クリアされる条件
	送信モード	送信データ・レジスタへのライト	CSIHnMCTL2. CSIHnBTST のセット		送信データ・レジスタへのライト	CSIHnMCTL2. CSIHnBTST のセット	最後の CSIHnTSCK エッジから 0.5 クロック以内	
	送受信モード							
	受信モード							
	スレープ・モード	セットされる条件 デュアル・バッファ・モード、送信オンリー・バッファ・モード		スレープ・モード	セットされる条件 デュアル・バッファ・モード、送信オンリー・バッファ・モード		クリアされる条件	
	送信モード	送信データ・レジスタへのライト	CSIHnMCTL2. CSIHnBTST のセット	送信モード	送信データ・レジスタへのライト	CSIHnMCTL2. CSIHnBTST のセット	最後の CSIHnTSCK エッジから 0.5 クロック以内	
	送受信モード							
	受信モード	CSIHnTSCK 入力タイミング		受信モード	CSIHnTSCK 入力タイミング			

No.163 17.3 (4) CSIH ステータス・レジスタ 0 (CSIHnSTR0)

備考を追加

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
642	【17.3 (4) CSIH ステータス・レジスタ 0(CSIHnSTR0)】 (記載なし)	17-16	【17.3 (4) CSIH ステータス・レジスタ 0(CSIHnSTR0)】 備考 n = 0,1

No.164 17.3 (6) CSIH メモリ制御レジスタ 0 (CSIHnMCTL0)

CSIHnTO[4:0]の説明を修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
645	【17.3 (6) CSIH メモリ制御レジスタ 0(CSIHnMCTL0)】 [4-0 : CSIHnTO[4:0]] ポーレートを選択します。	17-19	【17.3 (6) CSIH メモリ制御レジスタ 0(CSIHnMCTL0)】 [4-0 : CSIHnTO[4:0]] タイムアウトするまでのクロック数を選択します。

No.165 17.3 (10) CSIH コンフィギュレーション・レジスタ x (CSIHnCFGx)  
CSIHnCKPx/CSIHnDAPx の表記の修正

V8.00		V9.00																																																							
ページ	記載内容	ページ	改訂内容																																																						
653	<p>【17.3 (10) CSIH コンフィギュレーション・レジスタ x (CSIHnCFGx)】 [17-16 : CSIHnCKPx/CSIHnDAPx]</p> <p>CKPn クロック位相選択ビット DAPn データ位相選択ビット CSIHnCTL1.CSIHnCKR = 0</p> <table border="1"> <thead> <tr> <th>CKPn</th> <th>DAPn</th> <th>SCKn に対する送信、受信タイミング指定</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td> </td> </tr> <tr> <td>0</td> <td>1</td> <td> </td> </tr> <tr> <td>1</td> <td>0</td> <td> </td> </tr> <tr> <td>1</td> <td>1</td> <td> </td> </tr> </tbody> </table> <p>CSIHnCTL1.CSIHnCKR = 1</p> <table border="1"> <thead> <tr> <th>CKPn</th> <th>DAPn</th> <th>SCKn に対する送信、受信タイミング指定</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td> </td> </tr> <tr> <td>0</td> <td>1</td> <td> </td> </tr> <tr> <td>1</td> <td>X</td> <td>設定禁止</td> </tr> </tbody> </table>	CKPn	DAPn	SCKn に対する送信、受信タイミング指定	0	0		0	1		1	0		1	1		CKPn	DAPn	SCKn に対する送信、受信タイミング指定	0	0		0	1		1	X	設定禁止	17-27	<p>【17.3 (10) CSIH コンフィギュレーション・レジスタ x (CSIHnCFGx)】 [17-16 : CSIHnCKPx/CSIHnDAPx]</p> <p>CSIHnCKPx クロック位相選択ビット CSIHnDATx データ位相選択ビット CSIHnCTL1.CSIHnCKR = 0</p> <table border="1"> <thead> <tr> <th>CSIHnCKPx</th> <th>CSIHnDATx</th> <th>CSIHnTSCK に対する送信、受信タイミング指定</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td> </td> </tr> <tr> <td>0</td> <td>1</td> <td> </td> </tr> <tr> <td>1</td> <td>0</td> <td> </td> </tr> <tr> <td>1</td> <td>1</td> <td> </td> </tr> </tbody> </table> <p>CSIHnCTL1.CSIHnCKR = 1</p> <table border="1"> <thead> <tr> <th>CSIHnCKPx</th> <th>CSIHnDATx</th> <th>CSIHnTSCK に対する送信、受信タイミング指定</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td> </td> </tr> <tr> <td>0</td> <td>1</td> <td> </td> </tr> <tr> <td>1</td> <td>X</td> <td>設定禁止</td> </tr> </tbody> </table>	CSIHnCKPx	CSIHnDATx	CSIHnTSCK に対する送信、受信タイミング指定	0	0		0	1		1	0		1	1		CSIHnCKPx	CSIHnDATx	CSIHnTSCK に対する送信、受信タイミング指定	0	0		0	1		1	X	設定禁止
CKPn	DAPn	SCKn に対する送信、受信タイミング指定																																																							
0	0																																																								
0	1																																																								
1	0																																																								
1	1																																																								
CKPn	DAPn	SCKn に対する送信、受信タイミング指定																																																							
0	0																																																								
0	1																																																								
1	X	設定禁止																																																							
CSIHnCKPx	CSIHnDATx	CSIHnTSCK に対する送信、受信タイミング指定																																																							
0	0																																																								
0	1																																																								
1	0																																																								
1	1																																																								
CSIHnCKPx	CSIHnDATx	CSIHnTSCK に対する送信、受信タイミング指定																																																							
0	0																																																								
0	1																																																								
1	X	設定禁止																																																							

No.166 17.3 (10) CSIH コンフィギュレーション・レジスタ x (CSIHnCFGx)  
CSIHnIDx[2:0]で省略していた設定を追加

V8.00		V9.00																															
ページ	記載内容	ページ	改訂内容																														
654	<p>【17.3 (10) CSIH コンフィギュレーション・レジスタ x(CSIHnCFGx)】                      [14-12 : CSIHnIDx[2:0]]</p> <table border="1"> <thead> <tr> <th>CSIHnIDx[2:0]</th> <th>アイドル時間</th> </tr> </thead> <tbody> <tr> <td>000B</td> <td>0.5 シリアル・クロック周期</td> </tr> <tr> <td>001B</td> <td>1.0 シリアル・クロック周期</td> </tr> <tr> <td>010B</td> <td>1.5 シリアル・クロック周期</td> </tr> <tr style="border: 2px solid red;"> <td>...</td> <td>... (2.5, 3.5, 4.5, 6.5)</td> </tr> <tr> <td>111B</td> <td>8.5 シリアル・クロック周期</td> </tr> </tbody> </table>	CSIHnIDx[2:0]	アイドル時間	000B	0.5 シリアル・クロック周期	001B	1.0 シリアル・クロック周期	010B	1.5 シリアル・クロック周期	...	... (2.5, 3.5, 4.5, 6.5)	111B	8.5 シリアル・クロック周期	17-28	<p>【17.3 (10) CSIH コンフィギュレーション・レジスタ x(CSIHnCFGx)】                      [14-12 : CSIHnIDx[2:0]]</p> <table border="1"> <thead> <tr> <th>CSIHnIDx[2:0]</th> <th>アイドル時間</th> </tr> </thead> <tbody> <tr> <td>000B</td> <td>0.5 シリアル・クロック周期</td> </tr> <tr> <td>001B</td> <td>1.0 シリアル・クロック周期</td> </tr> <tr> <td>010B</td> <td>1.5 シリアル・クロック周期</td> </tr> <tr style="border: 2px solid blue;"> <td>011B</td> <td>2.5 シリアル・クロック周期</td> </tr> <tr> <td>100B</td> <td>3.5 シリアル・クロック周期</td> </tr> <tr> <td>101B</td> <td>4.5 シリアル・クロック周期</td> </tr> <tr style="border: 2px solid blue;"> <td>110B</td> <td>6.5 シリアル・クロック周期</td> </tr> <tr> <td>111B</td> <td>8.5 シリアル・クロック周期</td> </tr> </tbody> </table>	CSIHnIDx[2:0]	アイドル時間	000B	0.5 シリアル・クロック周期	001B	1.0 シリアル・クロック周期	010B	1.5 シリアル・クロック周期	011B	2.5 シリアル・クロック周期	100B	3.5 シリアル・クロック周期	101B	4.5 シリアル・クロック周期	110B	6.5 シリアル・クロック周期	111B	8.5 シリアル・クロック周期
	CSIHnIDx[2:0]	アイドル時間																															
	000B	0.5 シリアル・クロック周期																															
	001B	1.0 シリアル・クロック周期																															
	010B	1.5 シリアル・クロック周期																															
	...	... (2.5, 3.5, 4.5, 6.5)																															
111B	8.5 シリアル・クロック周期																																
CSIHnIDx[2:0]	アイドル時間																																
000B	0.5 シリアル・クロック周期																																
001B	1.0 シリアル・クロック周期																																
010B	1.5 シリアル・クロック周期																																
011B	2.5 シリアル・クロック周期																																
100B	3.5 シリアル・クロック周期																																
101B	4.5 シリアル・クロック周期																																
110B	6.5 シリアル・クロック周期																																
111B	8.5 シリアル・クロック周期																																

No.167 17.3 (10) CSIH コンフィギュレーション・レジスタ x (CSIHnCFGx)  
 CSIHnHDx[3:0]で省略していた設定を追加

V8.00			V9.00				
ページ	記載内容		ページ	改訂内容			
654	【17.3 (10) CSIH コンフィギュレーション・レジスタ x (CSIHnCFGx)】 [11-8 : CSIHnHDx[3:0]]		17-29	【17.3 (10) CSIH コンフィギュレーション・レジスタ x (CSIHnCFGx)】 [11-8 : CSIHnHDx[3:0]]			
	CSIHnHDx[3:0]	CSIHnCTL1.CSIHnSIT = 0 のときのホールド時間		CSIHnCTL1.CSIHnSIT = 1 のときのホールド時間	CSIHnHDx[3:0]	CSIHnCTL1.CSIHnSIT = 0 のときのホールド時間	CSIHnCTL1.CSIHnSIT = 1 のときのホールド時間
	0000B	0.5 シリアル・クロック周期		1.0 シリアル・クロック周期	0000B	0.5 シリアル・クロック周期	1.0 シリアル・クロック周期
	0001B	1 シリアル・クロック周期		1.5 シリアル・クロック周期	0001B	1 シリアル・クロック周期	1.5 シリアル・クロック周期
	0010B	1.5 シリアル・クロック周期		2.0 シリアル・クロック周期	0010B	1.5 シリアル・クロック周期	2.0 シリアル・クロック周期
	...	... (2.5, 3.5, 4.5, 6.5, 8.5, 9.5, 10.5, 11.5, 12.5, 14.5, 16.5, 18.5)		... (3.0, 4.0, 5.0, 7.0, 9.0, 10.0, 11.0, 12.0, 13.0, 15.0, 17.0, 19.0)	0011B	2.5 シリアル・クロック周期	3.0 シリアル・クロック周期
	1111B	20.5 シリアル・クロック周期		21.0 シリアル・クロック周期	0100B	3.5 シリアル・クロック周期	4.0 シリアル・クロック周期
			0101B	4.5 シリアル・クロック周期	5.0 シリアル・クロック周期		
			0110B	6.5 シリアル・クロック周期	7.0 シリアル・クロック周期		
			0111B	8.5 シリアル・クロック周期	9.0 シリアル・クロック周期		
			1000B	9.5 シリアル・クロック周期	10.0 シリアル・クロック周期		
			1001B	10.5 シリアル・クロック周期	11.0 シリアル・クロック周期		
			1010B	11.5 シリアル・クロック周期	12.0 シリアル・クロック周期		
			1011B	12.5 シリアル・クロック周期	13.0 シリアル・クロック周期		
			1100B	14.5 シリアル・クロック周期	15.0 シリアル・クロック周期		
			1101B	16.5 シリアル・クロック周期	17.0 シリアル・クロック周期		
			1110B	18.5 シリアル・クロック周期	19.0 シリアル・クロック周期		
			1111B	20.5 シリアル・クロック周期	21.0 シリアル・クロック周期		

No.168 **17.3 (10) CSIH コンフィギュレーション・レジスタ x (CSIHnCFGx)**  
**CSIHnINx[3:0]で省略していた設定を追加**

V8.00			V9.00				
ページ	記載内容		ページ	改訂内容			
655	【17.3 (10) CSIH コンフィギュレーション・レジスタ x(CSIHnCFGx)】 [7-4 : CSIHnINx[3:0]]		17-30	【17.3 (10) CSIH コンフィギュレーション・レジスタ x(CSIHnCFGx)】 [7-4 : CSIHnINx[3:0]]			
	CSIHnINx[3:0]	CSIHnCTL1.CSIHnSIT = 0 のときのデータ間時間		CSIHnCTL1.CSIHnSIT = 1 のときのデータ間時間	CSIHnINx[3:0]	CSIHnCTL1.CSIHnSIT = 0 のときのデータ間時間	CSIHnCTL1.CSIHnSIT = 1 のときのデータ間時間
	0000B	0.0 シリアル・クロック周期		0.5 シリアル・クロック周期	0000B	0.0 シリアル・クロック周期	0.5 シリアル・クロック周期
	0001B	0.5 シリアル・クロック周期		1.0 シリアル・クロック周期	0001B	0.5 シリアル・クロック周期	1.0 シリアル・クロック周期
	0010B	1.0 シリアル・クロック周期		1.5 シリアル・クロック周期	0010B	1.0 シリアル・クロック周期	1.5 シリアル・クロック周期
	0011B	2.0 シリアル・クロック周期		2.5 シリアル・クロック周期	0011B	2.0 シリアル・クロック周期	2.5 シリアル・クロック周期
	...	... (3.0, 4.0, 6.0, 8.0, 9.0, 10.0, 11.0, 12.0, 14.0, 16.0, 18.0)		... (3.5, 4.5, 6.5, 8.5, 9.5, 10.5, 11.5, 12.5, 14.5, 16.5, 18.5)	0100B	3.0 シリアル・クロック周期	3.5 シリアル・クロック周期
	1111B	20.0 シリアル・クロック周期		20.5 シリアル・クロック周期	0101B	4.0 シリアル・クロック周期	4.5 シリアル・クロック周期
					0110B	6.0 シリアル・クロック周期	6.5 シリアル・クロック周期
					0111B	8.0 シリアル・クロック周期	8.5 シリアル・クロック周期
			1000B	9.0 シリアル・クロック周期	9.5 シリアル・クロック周期		
			1001B	10.0 シリアル・クロック周期	10.5 シリアル・クロック周期		
			1010B	11.0 シリアル・クロック周期	11.5 シリアル・クロック周期		
			1011B	12.0 シリアル・クロック周期	12.5 シリアル・クロック周期		
			1100B	14.0 シリアル・クロック周期	14.5 シリアル・クロック周期		
			1101B	16.0 シリアル・クロック周期	16.5 シリアル・クロック周期		
			1110B	18.0 シリアル・クロック周期	18.5 シリアル・クロック周期		
			1111B	20.0 シリアル・クロック周期	20.5 シリアル・クロック周期		

No.169 17.3 (10) CSIH コンフィギュレーション・レジスタ x (CSIHnCFGx)  
CSIHnSPx[3:0]で省略していた設定を追加

V8.00		V9.00																																															
ページ	記載内容	ページ	改訂内容																																														
655	<p>【17.3 (10) CSIH コンフィギュレーション・レジスタ x(CSIHnCFGx)】                      [3-0 : CSIHnSPx[3:0]]</p> <table border="1"> <thead> <tr> <th>CSIHnSPx[3:0]</th> <th>セットアップ時間</th> </tr> </thead> <tbody> <tr> <td>0000B</td> <td>0.5 シリアル・クロック周期</td> </tr> <tr> <td>0001B</td> <td>1.0 シリアル・クロック周期</td> </tr> <tr> <td>0010B</td> <td>1.5 シリアル・クロック周期</td> </tr> <tr> <td>...</td> <td>... (2.5, 3.5, 4.5, 6.5, 8.5, 9.5 10.5, 11.5, 12.5, 14.5, 16.5, 18.5)</td> </tr> <tr> <td>1111B</td> <td>20.5 シリアル・クロック周期</td> </tr> </tbody> </table>	CSIHnSPx[3:0]	セットアップ時間	0000B	0.5 シリアル・クロック周期	0001B	1.0 シリアル・クロック周期	0010B	1.5 シリアル・クロック周期	...	... (2.5, 3.5, 4.5, 6.5, 8.5, 9.5 10.5, 11.5, 12.5, 14.5, 16.5, 18.5)	1111B	20.5 シリアル・クロック周期	17-31	<p>【17.3 (10) CSIH コンフィギュレーション・レジスタ x(CSIHnCFGx)】                      [3-0 : CSIHnSPx[3:0]]</p> <table border="1"> <thead> <tr> <th>CSIHnSPx[3:0]</th> <th>セットアップ時間</th> </tr> </thead> <tbody> <tr> <td>0000B</td> <td>0.5 シリアル・クロック周期</td> </tr> <tr> <td>0001B</td> <td>1.0 シリアル・クロック周期</td> </tr> <tr> <td>0010B</td> <td>1.5 シリアル・クロック周期</td> </tr> <tr> <td>0011B</td> <td>2.5 シリアル・クロック周期</td> </tr> <tr> <td>0100B</td> <td>3.5 シリアル・クロック周期</td> </tr> <tr> <td>0101B</td> <td>4.5 シリアル・クロック周期</td> </tr> <tr> <td>0110B</td> <td>6.5 シリアル・クロック周期</td> </tr> <tr> <td>0111B</td> <td>8.5 シリアル・クロック周期</td> </tr> <tr> <td>1000B</td> <td>9.5 シリアル・クロック周期</td> </tr> <tr> <td>1001B</td> <td>10.5 シリアル・クロック周期</td> </tr> <tr> <td>1010B</td> <td>11.5 シリアル・クロック周期</td> </tr> <tr> <td>1011B</td> <td>12.5 シリアル・クロック周期</td> </tr> <tr> <td>1100B</td> <td>14.5 シリアル・クロック周期</td> </tr> <tr> <td>1101B</td> <td>16.5 シリアル・クロック周期</td> </tr> <tr> <td>1110B</td> <td>18.5 シリアル・クロック周期</td> </tr> <tr> <td>1111B</td> <td>20.5 シリアル・クロック周期</td> </tr> </tbody> </table>	CSIHnSPx[3:0]	セットアップ時間	0000B	0.5 シリアル・クロック周期	0001B	1.0 シリアル・クロック周期	0010B	1.5 シリアル・クロック周期	0011B	2.5 シリアル・クロック周期	0100B	3.5 シリアル・クロック周期	0101B	4.5 シリアル・クロック周期	0110B	6.5 シリアル・クロック周期	0111B	8.5 シリアル・クロック周期	1000B	9.5 シリアル・クロック周期	1001B	10.5 シリアル・クロック周期	1010B	11.5 シリアル・クロック周期	1011B	12.5 シリアル・クロック周期	1100B	14.5 シリアル・クロック周期	1101B	16.5 シリアル・クロック周期	1110B	18.5 シリアル・クロック周期	1111B	20.5 シリアル・クロック周期
	CSIHnSPx[3:0]	セットアップ時間																																															
	0000B	0.5 シリアル・クロック周期																																															
	0001B	1.0 シリアル・クロック周期																																															
	0010B	1.5 シリアル・クロック周期																																															
	...	... (2.5, 3.5, 4.5, 6.5, 8.5, 9.5 10.5, 11.5, 12.5, 14.5, 16.5, 18.5)																																															
	1111B	20.5 シリアル・クロック周期																																															
CSIHnSPx[3:0]	セットアップ時間																																																
0000B	0.5 シリアル・クロック周期																																																
0001B	1.0 シリアル・クロック周期																																																
0010B	1.5 シリアル・クロック周期																																																
0011B	2.5 シリアル・クロック周期																																																
0100B	3.5 シリアル・クロック周期																																																
0101B	4.5 シリアル・クロック周期																																																
0110B	6.5 シリアル・クロック周期																																																
0111B	8.5 シリアル・クロック周期																																																
1000B	9.5 シリアル・クロック周期																																																
1001B	10.5 シリアル・クロック周期																																																
1010B	11.5 シリアル・クロック周期																																																
1011B	12.5 シリアル・クロック周期																																																
1100B	14.5 シリアル・クロック周期																																																
1101B	16.5 シリアル・クロック周期																																																
1110B	18.5 シリアル・クロック周期																																																
1111B	20.5 シリアル・クロック周期																																																



No.170 17.3 (14) CSIH ハーフ・ワード・アクセス用受信データ・レジスタ 0 (CSIHnRX0H)

CSIHnSPx[3:0]で省略していた設定を追加

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
660	【17.3 (14) CSIH ハーフ・ワード・アクセス用受信データ・レジスタ 0 (CSIHnRX0H)】 ・R/W 属性 (31-24) : R/W	17-36	【17.3 (14) CSIH ハーフ・ワード・アクセス用受信データ・レジスタ 0 (CSIHnRX0H)】 ・R/W 属性 (31-24) : 0

No.171 17.4.2 (2) マスタ 1、スレーブ 2 の場合

説明及び「図 17.5 1つのマスタと2つのスレーブの間の接続」の修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
664	<p>【17.4.2 (2) マスタ 1、スレーブ 2 の場合】</p> <p>以下の図は、1つのマスタと2つのスレーブの間の接続を示しています。この例では、マスタが各スレーブに1つずつチップ・セレクト (CS) 信号を供給する構成が可能です。この信号は、スレーブのスレーブ選択入力 CSIHnTSSI に接続されます。</p> <p>【図 17.5 1つのマスタと2つのスレーブの間の接続】</p>	17-40	<p>【17.4.2 (2) マスタ 1、スレーブ 2 の場合】</p> <p>以下の図は、R-IN32M3 をマスタとした2つのスレーブとの接続を示しています。この例では、R-IN32M3 が各スレーブに1つずつチップ・セレクト (CS) 信号を供給する構成が可能です。この信号は、スレーブのスレーブ選択入力 CSIHnTSSI に接続されます。</p> <p>【図 17.5 1つのマスタと2つのスレーブの間の接続】</p>

No.172 17.4.3 (1) コンフィギュレーション・レジスタ

説明の修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
666	<p><b>【17.4.3 (1) コンフィギュレーション・レジスタ】</b>  <b>CS1</b> 信号と <b>CS2</b> 信号がデフォルトのアクティブ・ロー (CSIHnCTL1.CSIHnCSL1 = 0, CSIHnCTL1.CSIHnCSL2 = 0) に設定した場合の例を図 17.6 に示します。アクティブ・レベルは CS ごとに個別に指定することができます。</p>	17-42	<p><b>【17.4.3 (1) コンフィギュレーション・レジスタ】</b>  <b>CS0</b> 信号と <b>CS1</b> 信号がデフォルトのアクティブ・ロー (CSIHnCTL1.CSIHnCSL0 = 0, CSIHnCTL1.CSIHnCSL1 = 0) に設定した場合の例を図 17.6 に示します。アクティブ・レベルは CS ごとに個別に指定することができます。</p>

No.173 17.4.14 ループ・バック・モード

CSIHnCTL1.CSIHnCLS bit 幅の修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
705	<p><b>【17.4.14 ループ・バック・モード】</b>                      CSIHnTSCK 信号、CSIHnTSO 信号、CSIHnTSI 信号、CSIHnTCSSn[1:0] 信号はポートから切り離されます。CSIHnTSO 信号の出力レベルはローに固定され、CSIHnTSCK 信号および CSIHnTCSSn[1:0] 信号はインアクティブ・レベル (CSIHnTSCK 信号の場合は CSIHnCFGx.CSIHnCKPx ビットで設定したレベル、CSIHnTCSSn[1:0] 信号の場合は CSIHnCTL1.CSIHnCLS[7:0] ビットで設定したレベル) に設定されます。</p>	17-81	<p><b>【17.4.14 ループ・バック・モード】</b>                      CSIHnTSCK 信号、CSIHnTSO 信号、CSIHnTSI 信号、CSIHnTCSSn[1:0] 信号はポートから切り離されます。CSIHnTSO 信号の出力レベルはローに固定され、CSIHnTSCK 信号および CSIHnTCSSn[1:0] 信号はインアクティブ・レベル (CSIHnTSCK 信号の場合は CSIHnCFGx.CSIHnCKPx ビットで設定したレベル、CSIHnTCSSn[1:0] 信号の場合は CSIHnCTL1.CSIHnCLS[1:0] ビットで設定したレベル) に設定されます。</p>

No.174 18. I2C バス (IICB)

説明の修正・削除

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
759	<p><b>【18. I2C バス (IICB)】</b>                      この章では、I2C バス (I2CB) について説明します。                      18.1 節でチャンネル数、レジスタのベース・アドレス、入出力信号名など、R-IN32M3 に固有の特徴について説明します。                      18.2 節以降で、I2CB 搭載製品に共通の特徴について説明します。</p>	18-1	<p><b>【18. I2C バス (IICB)】</b>                      本章では、I2C バス (I2CB) について説明します。                      (削除)</p>

No.175 18.1 IICB の特徴

表題の変更、クロック供給及び「表 18.2 IICBn のクロック」の削除

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
759	<p>【18.1 R-IN32M3 の IICB の特徴】</p> <p>○ クロック供給：IICBn は、クロック入力として PCLK を使用します。PCLK は、fPCLK に接続されています。</p> <p>表 18.2 IICBn のクロック</p>	18-1	<p>【18.1 IICB の特徴】</p> <p>(削除)</p> <p>(削除)</p>

No.176 18.1 IICB の特徴

割り込みと周辺機能の説明に修正、「表 18.2 IICBn の割り込みと周辺機能の要求」の修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
760	<p>【18.1 R-IN32M3 の IICB の特徴】</p> <p>○ 割り込み：IICBn は、割り込み要求信号として、データ送受信割り込み要求信号 (IICBTIA<sub>n</sub>)、ステータス割り込み要求信号 (IICBTIS<sub>n</sub>) があります。</p> <p>[表 18.3 IICBn の割り込みと周辺機能の要求★] [IICB0/IICBTIA, IICB1/IICBTIA] ・DMA コントローラトリガ (DTFR/RTD<del>FT</del>R)</p>	18-1	<p>【18.1 IICB の特徴】</p> <p>○ 割り込みと周辺機能：IICB の下記割り込み要求は、割り込み処理や Hardware ISR 以外にも、DMA 転送 (汎用 DMAC、リアルタイムポート DMAC)、タイマ・キャプチャトリガ (TAUJ2)、リアルタイム・ポート (RP00-RP37) の更新に利用可能です。</p> <p>[表 18.2 IICBn の割り込みと周辺機能の要求] [IICB0/IICBTIA, IICB1/IICBTIA] ・DMA コントローラトリガ (DTFR/RTD<del>FT</del>R)</p>

No.177 18.3 (6) (a) IICBnWL, IICBnWH レジスタによる転送クロック設定方法

割り込みと周辺機能の説明に修正、「表 18.2 IICBn の割り込みと周辺機能の要求」の修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
775	<p>【18.3 (6) (a) IICBnWL, IICBnWH レジスタによる転送クロック設定方法】</p> <p>転送クロック (Hz) = PCLK / (IICBnWL + IICBnWH) + PCLK (t<sub>R</sub> + t<sub>F</sub>)</p>	18-16	<p>【18.3 (6) (a) IICBnWL, IICBnWH レジスタによる転送クロック設定方法】</p> $\text{転送クロック[Hz]} = \frac{\text{PCLK}}{(\text{IICBnWL} + \text{IICBnWH}) + \text{PCLK}(t_R + t_F)} \star$

No.178 18.4.1 端子構成

「図 18.2 端子構成図」の電源電圧表記を修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
789	<p>【18.4.1 端子構成】 [図 18.2 端子構成図]</p>	18-30	<p>【18.4.1 端子構成】 [図 18.2 端子構成図]</p>

No.179 18.6.1 (4) シングル転送モード (スレーブ送信) の通信例

備考を追加

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
803	<p>【18.6.1 (4) シングル転送モード(スレーブ送信)の通信例】 (記載なし)</p>	18-44	<p>【18.6.1 (4) シングル転送モード(スレーブ送信)の通信例】 備考 データ送信時は9クロック目の立ち下がりでウエイト状態とするため、IICBnCTL0.IICBnSLWTビットをセット(1)してください。</p>

No.180 18.9.1 (1) シングル転送モード時のマスタ動作設定手順

「図 18.14 シングル転送モード時のマスタ動作設定手順（シングルマスタ環境）」の"最終データ送信完了"において No 判定後の分岐先を修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
878	<p>【18.9.1 (1) シングル転送モード時のマスタ動作設定手順】 [図 18.14 シングル転送モード時のマスタ動作設定手順(シングルマスタ環境)]</p>	18-119	<p>【18.9.1 (1) シングル転送モード時のマスタ動作設定手順】 [図 18.14 シングル転送モード時のマスタ動作設定手順(シングルマスタ環境)★]</p>

No.181 18.9.1 (2) シングル転送モード時のスレーブ動作設定手順

「図 18.15 シングル転送モード時のスレーブ動作設定手順 (シングルマスタ環境)」のスタートコンディション未検出("IICBnSSST (IICBnSTR0) = 1?"が"No"判定)時、"データ処理"表記を追加

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
879	<p>【18.9.1 (2) シングル転送モード時のスレーブ動作設定手順】 [図 18.15 シングル転送モード時のスレーブ動作設定手順(シングルマスタ環境)]</p>	18-120	<p>【18.9.1 (2) シングル転送モード時のスレーブ動作設定手順】 [図 18.15 シングル転送モード時のスレーブ動作設定手順(シングルマスタ環境)]</p>

No.182 18.9.2 (1) 通信予約機能許可 (ICBnCTL1.ICBnSLRS ビット= 0) 時のシングル転送モード設定手順

「図 18.18 通信予約機能許可 (ICBnCTL1.ICBnSLRS ビット= 0) 時のシングル転送モード設定手順 (マルチマスタ環境) (1/2)」のフローの結合子記号(B~G)を見直し

ページ	V8.00 記載内容	V9.00 改訂内容
882	<p><b>【18.9.2 (1) 通信予約機能許可 (ICBnCTL1.ICBnSLRS ビット= 0) 時のシングル転送モード設定手順】</b>                      [図 18.18 通信予約機能許可 (ICBnCTL1.ICBnSLRS ビット= 0) 時のシングル転送モード設定手順 (マルチマスタ環境) (1/2)]</p> <p>3) 環境にあった設定をしてください。                      4) 通信初期状態でのスタート条件発生を行う場合は1, 行わない場合は0を設定してください。                      備考 二重線部は、ウェイトを解除する処理を表します。</p>	<p><b>【18.9.2 (1) 通信予約機能許可 (ICBnCTL1.ICBnSLRS ビット= 0) 時のシングル転送モード設定手順】</b>                      [図 18.18 通信予約機能許可 (ICBnCTL1.ICBnSLRS ビット= 0) 時のシングル転送モード設定手順 (マルチマスタ環境) (1/2)]</p> <p>3) 環境にあった設定をしてください。                      4) 通信初期状態でのスタート条件発生を行う場合は1, 行わない場合は0を設定してください。                      備考 二重線部は、ウェイトを解除する処理を表します。</p>

No.183 18.9.2 (1) 通信予約機能許可 (ICBnCTL1.ICBnSLRS ビット= 0) 時のシングル転送モード設定手順

「図 18.18 通信予約機能許可 (ICBnCTL1.ICBnSLRS ビット= 0) 時のシングル転送モード設定手順 (マルチマスタ環境) (2/2)」のフローの結合子記号(B~G)を見直し

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
883	<p>【18.9.2 (1) 通信予約機能許可 (ICBnCTL1.ICBnSLRS ビット= 0) 時のシングル転送モード設定手順】 [図 18.18 通信予約機能許可 (ICBnCTL1.ICBnSLRS ビット= 0) 時のシングル転送モード設定手順 (マルチマスタ環境) (2/2)]</p> <p>備考 二重線部は、ウェイトを解除する処理を表します。</p>	18-124	<p>【18.9.2 (1) 通信予約機能許可 (ICBnCTL1.ICBnSLRS ビット= 0) 時のシングル転送モード設定手順】 [図 18.18 通信予約機能許可 (ICBnCTL1.ICBnSLRS ビット= 0) 時のシングル転送モード設定手順 (マルチマスタ環境) (2/2)]</p> <p>備考 二重線部は、ウェイトを解除する処理を表します。</p>



No.184 18.9.2 (2) 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット= 1) 時のシングル転送モード設定手順

「図 18.19 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット= 1) 時のシングル転送モード設定手順 (マルチマスタ環境) (1/2)」の通信開始判定処理("通信を開始する?")の分岐先に"No"を追記

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
884	<p><b>【18.9.2 (2) 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット= 1) 時のシングル転送モード設定手順】</b>                      [図 18.19 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット= 1) 時のシングル転送モード設定手順 (マルチマスタ環境) (1/2)]</p>	18-125	<p><b>【18.9.2 (2) 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット= 1) 時のシングル転送モード設定手順】</b>                      [図 18.19 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット= 1) 時のシングル転送モード設定手順 (マルチマスタ環境) (1/2)]</p>

No.185 18.9.2 (3) 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット= 0) 時の連続転送モード設定手順

「図 18.20 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット= 0) 時の連続転送モード設定手順 (マルチマスタ環境) (1/2)」の通信開始判定処理("通信を開始する?")の分岐先に"No"を追記

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
886	<p><b>【18.9.2 (3) 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット= 0) 時の連続転送モード設定手順】</b>                      [図 18.20 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット= 0) 時の連続転送モード設定手順 (マルチマスタ環境) (1/2)]</p>	18-127	<p><b>【18.9.2 (3) 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット= 0) 時の連続転送モード設定手順】</b>                      [図 18.20 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット= 0) 時の連続転送モード設定手順 (マルチマスタ環境) (1/2)]</p>

No.186 18.9.2 (3) 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット= 0) 時の連続転送モード設定手順

「図 18.20 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット= 0) 時の連続転送モード設定手順 (マルチマスタ環境) (2/2)」の受信/送信割り込み発生("IICBTIA<sub>n</sub>発生?")後の分岐先に" Yes"を追記

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
887	<p><b>【18.9.2 (3) 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット= 0) 時の連続転送モード設定手順】</b>                      [図 18.20 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット= 0) 時の連続転送モード設定手順 (マルチマスタ環境) (2/2)]</p> <p>アドレス処理</p> <pre>                     graph TD                         Start([G]) --&gt; ExtCode[拡張コード検出]                         ExtCode --&gt; IICBnDAT[IICBnDAT/リード]                         IICBnDAT --&gt; SetParam[必要な設定を行う]                         SetParam --&gt; SSTR{IICBnSSTR = 1? (IICBnSTR0)}                         SSTR -- Yes 送信 --&gt; End1([G])                         SSTR -- No 受信 --&gt; ISn{IICBTISn発生?}                         ISn -- Yes --&gt; End1                         ISn -- No --&gt; IAn{IICBTIAN発生?}                         IAn -- No --&gt; End1                         IAn -- Yes --&gt; End1                     </pre>	18-128	<p><b>【18.9.2 (3) 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット= 0) 時の連続転送モード設定手順】</b>                      [図 18.20 通信予約機能許可 (IICBnCTL1.IICBnSLRS ビット= 0) 時の連続転送モード設定手順 (マルチマスタ環境) (2/2)]</p> <p>アドレス処理</p> <pre>                     graph TD                         Start([G]) --&gt; ExtCode[拡張コード検出]                         ExtCode --&gt; IICBnDAT[IICBnDAT/リード]                         IICBnDAT --&gt; SetParam[必要な設定を行う]                         SetParam --&gt; SSTR{IICBnSSTR = 1? (IICBnSTR0)}                         SSTR -- Yes 送信 --&gt; End1([G])                         SSTR -- No 受信 --&gt; ISn{IICBTISn発生?}                         ISn -- Yes --&gt; End1                         ISn -- No --&gt; IAn{IICBTIAN発生?}                         IAn -- No --&gt; End1                         IAn -- Yes --&gt; End1                     </pre>

No.187 18.9.2 (4) 通信予約機能禁止 (ICBnCTL1.ICBnSLRS ビット= 1) 時の連続転送モード設定手順

「図 18.21 通信予約機能禁止 (ICBnCTL1.ICBnSLRS ビット= 1) 時の連続転送モード設定手順 (マルチマスタ環境) (1/2)」のフローの結合子記号(A~G)を見直し

ページ	記載内容	ページ	改訂内容
888	<p>V8.00</p> <p>【18.9.2 (4) 通信予約機能禁止 (ICBnCTL1.ICBnSLRS ビット= 1) 時の連続転送モード設定手順】                  [図 18.21 通信予約機能禁止 (ICBnCTL1.ICBnSLRS ビット= 1) 時の連続転送モード設定手順 (マルチマスタ環境) (1/2)]</p> <p>888</p>	<p>V9.00</p> <p>【18.9.2 (4) 通信予約機能禁止 (ICBnCTL1.ICBnSLRS ビット= 1) 時の連続転送モード設定手順】                  [図 18.21 通信予約機能禁止 (ICBnCTL1.ICBnSLRS ビット= 1) 時の連続転送モード設定手順 (マルチマスタ環境) (1/2)]</p> <p>18-129</p>	

No.188 18.9.2 (4) 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット= 1) 時の連続転送モード設定手順

「図 18.21 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット= 1) 時の連続転送モード設定手順 (マルチマスタ環境) (2/2)」の

- ①フローの結合子記号(A~G) を見直し
- ②拡張コード/アドレス一致判定("拡張コード検出? or アドレス一致?")前の処理を削除

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
889	<p><b>【18.9.2 (4) 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット= 1) 時の連続転送モード設定手順】</b>                      [図 18.21 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット= 1) 時の連続転送モード設定手順 (マルチマスタ環境) (2/2)]</p> <p>備考 二重線部は、ウェイトを解除する処理を表します。</p>	18-130	<p><b>【18.9.2 (4) 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット= 1) 時の連続転送モード設定手順】</b>                      [図 18.21 通信予約機能禁止 (IICBnCTL1.IICBnSLRS ビット= 1) 時の連続転送モード設定手順 (マルチマスタ環境) (2/2)]</p> <p>備考 二重線部は、ウェイトを解除する処理を表します。</p>

No.189 19. CAN コントローラ (FCN)

説明の追加・修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
890	<p><b>【19. CAN コントローラ(FCN)】</b>                      この製品は ISO 11898 で標準化されている CAN プロトコルに準拠したオンチップの CAN (Controller Area Network) コントローラを搭載しています。                      この章では、CAN コントローラ(FCN)全般について説明します。                      最初のセクションでは、チャンネル、レジスタ・ベース・アドレス、入出力信号名など、すべての R-IN32M3 に固有の特性について説明します。</p>	19-1	<p><b>【19. CAN コントローラ(FCN)】</b>                      本章では、ISO11898 で標準化されている CAN プロトコルに準拠した CAN コントローラ(FCN)について説明します。</p>

No.190 19.1 FCN の特徴

表題の変更、クロック供給及び「表 19.3 CAN コントローラのクロック供給」の削除

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
890	<p><b>【19.1 R-IN32M3 の FCN 機能】</b>                      ○ クロック供給：CAN コントローラは 1 つのクロック入力を使用します。CAN コントローラは APB バス・クロック PCLK に接続されています。                      表 19.3 CAN コントローラのクロック供給</p>	19-1	<p><b>【19.1 FCN の特徴】</b>                      (削除)                      (削除)</p>

**No.191 19.1 R-IN32M3 の FCN の特徴**  
**割り込みと周辺機能の説明に修正、「表 19.3 FCN の割り込みと周辺機能の要求」の修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
891	<p><b>【19.1 R-IN32M3 の FCN 機能】</b>                      ○ 割り込み: CAN コントローラの割り込みを表 19.4 に示します。</p> <p>[表 19.4 FCN の割り込みと周辺機能の要求★]                      [INTC0REC, INTC0TRX, INTC0WUP                      INTC1REC, INTC1TRX, INTC1WUP]                      ・DMA コントローラ・トリガ (DTFR/RTD<b>FT</b>R)</p>	19-2	<p><b>【19.1 R-IN32M3 の FCN の特徴】</b>                      ○ 割り込みと周辺機能: FCN の下記割り込み要求は、割り込み処理や Hardware ISR 以外にも、DMA 転送 (汎用 DMAC、リアルタイムポート DMAC)、タイマ・キャプチャ・トリガ (TAUJ2)、リアルタイム・ポート (RP00-RP37) の更新に利用可能です。</p> <p>[表 19.3 FCN の割り込みと周辺機能の要求]                      [INTC0REC, INTC0TRX, INTC0WUP                      INTC1REC, INTC1TRX, INTC1WUP]                      ・DMA コントローラ・トリガ (DTFR/RTD<b>T</b>FR)</p>

**No.192 19.3.2 (1) FCNn グローバル・レジスタと FCNn モジュール・レジスタ**  
**「表 19.8 FCN1 グローバル・レジスタと FCN1 モジュール・レジスタ (2/2)」のレジスタ名を修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
901	<p><b>【19.3.2 (1) FCNn グローバル・レジスタと FCNn モジュール・レジスタ】</b>                      [表 19.9 FCN1 グローバル・レジスタと FCN1 モジュール・レジスタ (2/2)]</p> <p>レジスタ名 : FCN<b>0</b>***レジスタ</p>	19-12	<p><b>【19.3.2 (1) FCNn グローバル・レジスタと FCNn モジュール・レジスタ】</b>                      [表 19.8 FCN1 グローバル・レジスタと FCN1 モジュール・レジスタ (2/2)]</p> <p>レジスタ名 : FCN<b>1</b>***レジスタ</p>

**No.193 19.5.2 (1) FCNn モジュール・マスク制御レジスタ (FCNnCMMKCTLaH, FCNnCMMKCTLaW)**  
**表題に FCNnCMMKCTLaW を追加**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
921	<p><b>【19.5.2 (1) FCNn モジュール・マスク制御レジスタ (FCNnCMMKCTLaH)】</b></p>	19-32	<p><b>【19.5.2 (1) FCNn モジュール・マスク制御レジスタ (FCNnCMMKCTLaH, FCNnCMMKCTLaW)】</b></p>

**No.194 19.5.2 (3) FCNn モジュール最終エラー情報レジスタ (FCNnCMLCSTR)  
FCNnCMLCSSL[2:0]に関するビットを修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
930	<b>【19.5.2 (3) FCNn モジュール最終エラー情報レジスタ(FCNnCMLCSTR)】</b> ・ビットフィールド図：FCNnCMLCSSL[2:0] ・ビット位置：3-0	19-41	<b>【19.5.2 (3) FCNn モジュール最終エラー情報レジスタ(FCNnCMLCSTR)】</b> ・ビットフィールド図：0, FCNnCMLCSSL[2:0] ・ビット位置：2-0

**No.195 19.13.1 ポー・レートの設定条件  
ポー・レートの設定条件を修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
998	<b>【19.13.1 ポー・レートの設定条件】</b> ・ $4 \leq TSEG1 \leq 16$ [ $3 \leq FCNnCMBTSLG[3:0] \leq 15$ ]	19-109	<b>【19.13.1 ポー・レートの設定条件】</b> ・ $4 TQ \leq TSEG1 \leq 16 TQ$ [ $3 \leq FCNnCMBTSLG[3:0] \leq 15$ ]



No.196 19.14.1 初期化

「図 19.14 ソフトウェア・リセット機能を利用しない再初期化」のフローを修正

- ① FCNnGMCLPWOM レジスタのクリア確認後の再設定を追加
- ② FCNnCMCLERCF レジスタの設定を追加

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
1005	<p><b>【19.14.1 初期化】</b>                      [図 19.14 ソフトウェア・リセット機能を利用しない再初期化]</p>	19-116	<p><b>【19.14.1 初期化】</b>                      [図 19.14 ソフトウェア・リセット機能を利用しない再初期化]</p>

No.197 19.14.2 メッセージの送信

「図 19.28 送信完了フラグを利用した ABT 送信要求中断処理 (ABT 付き通常動作モード)」のフローを修正

① 送信中断に成功可否を判定する処理を追加

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
1021	<p><b>【19.14.2 メッセージの送信】</b>                      [図 19.28 送信完了フラグを利用した ABT 送信要求中断処理 (ABT 付き通常動作モード)]</p> <pre>                     graph TD                         START([START]) --&gt; Read[FCnNmABCTLの読み出し]                         Read --&gt; D1{FCnNmABCTL FCnNmABABTT = 0?}                         D1 -- No --&gt; Read                         D1 -- Yes --&gt; S1{{送信中断の成功}}                         S1 --&gt; D2{送信の開始ポイント をクリア?}                         D2 -- No --&gt; Read                         D2 -- Yes --&gt; Set[FCnNmABCTL FCnNmABABTTをセット]                         Set --&gt; END([END])                     </pre>	19-132	<p><b>【19.14.2 メッセージの送信】</b>                      [図 19.28 送信完了フラグを利用した ABT 送信要求中断処理 (ABT 付き通常動作モード)★]</p> <pre>                     graph TD                         START([START]) --&gt; Read[FCnNmABCTLの読み出し]                         Read --&gt; D1{FCnNmABCTL FCnNmABABTT = 0?}                         D1 -- No --&gt; Read                         D1 -- Yes --&gt; S1{{送信中断の成功}}                         S1 --&gt; D3{送信中の メッセージバッファの FCnNmCTL, FCnNmTCPF = 0?}                         D3 -- No --&gt; D1                         D3 -- Yes --&gt; D2{送信の開始ポイント をクリア?}                         D2 -- No --&gt; Read                         D2 -- Yes --&gt; Set[FCnNmABCTL FCnNmABABTTをセット]                         Set --&gt; END([END])                     </pre>

No.198 20. CC-Link インタフェース

「表 20.1 CC-Link 概略仕様」の対応局種類の T.B.D を削除

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
1037	<p><b>【20. CC-Link インタフェース】</b>                      [表 20.1 CC-Link 概略仕様]                      対応局種類：インテリジェントデバイス局 (T.B.D.)、リモートデバイス局</p>	20-1	<p><b>【20. CC-Link インタフェース】</b>                      [表 20.1 CC-Link 概略仕様]                      対応局種類：インテリジェントデバイス局、リモートデバイス局</p>

No.199 20.1.2 CC-Link バス・サイズ制御レジスタ (CCBSC)

bit15-0 を CCBSC15-CCBSC0 に変更、注 1 を削除

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
1038	<p><b>【20.1.2 CC-Link バス・サイズ制御レジスタ (CCBSC)】</b>                      ・ビットフィールド図(15-0)：0 or 1                      ・R/W 属性(15-0)：0 or 1                      ・ビット位置：31-0                      ・ビット名：—                      ・意味：0000 5575 に設定してください。</p> <p>注 1. R-IN32M3-CL のみ本機能は使用可能です。R-IN32M3-CL 以外では、ライトは 0 を書き込んでください。リードは 0 が読み出されます。</p>	20-2	<p><b>【20.1.2 CC-Link バス・サイズ制御レジスタ (CCBSC)】</b>                      ・ビットフィールド図(15-0)：CCBSC15-CCBSC0                      ・R/W 属性 (15-0)：R/W                      ・ビット位置：15-0                      ・ビット名：CCBSC15-0                      ・意味：5575H に設定してください。</p> <p>(削除)</p>

No.200 20.1.3 CC-Link バス・ブリッジ制御レジスタ 0 (CCSMC0)

bit15-0 を CCSMC15-CCSMC0 に変更

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
1038	<p><b>【20.1.3 CC-Link バス・ブリッジ制御レジスタ 0 (CCSMC0)】</b>                      ・ビットフィールド図(15-0)：0 or 1                      ・R/W 属性(15-0)：0 or 1                      ・ビット位置：31-0                      ・ビット名：—                      ・意味：0000 11b1H に設定してください。</p>	20-2	<p><b>【20.1.3 CC-Link バス・ブリッジ制御レジスタ 0 (CCSMC0)】</b>                      ・ビットフィールド図(15-0)：CCSMC15-CCSMC0                      ・R/W 属性(15-0)：R/W                      ・ビット位置：15-0                      ・ビット名：CCSMC15-0                      ・意味：11B1H に設定してください。</p>

**No.201 20.1.4 CC-Link バス・ブリッジ制御レジスタ 1 (CCSMC1)  
bit15-0 を CCSMC115-CCSMC10 に変更**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
1039	<p><b>【20.1.4 CC-Link バス・ブリッジ制御レジスタ 1 (CCSMC1)】</b></p> <ul style="list-style-type: none"> <li>・ビットフィールド図(15-0) : 0 or 1</li> <li>・R/W 属性(15-0) : 0 or 1</li> <li>・ビット位置 : 31-0</li> <li>・ビット名 : -</li> <li>・意味 : 0000 1131H に設定してください。</li> </ul>	20-2	<p><b>【20.1.4 CC-Link バス・ブリッジ制御レジスタ 1 (CCSMC1)】</b></p> <ul style="list-style-type: none"> <li>・ビットフィールド図 : CCSMC115-CCSMC10</li> <li>・R/W 属性 : R/W</li> <li>・ビット位置 : 15-0</li> <li>・ビット名 : CCSMC115-0</li> <li>・意味 : 1131H に設定してください。</li> </ul>

**No.202 20.1.6 CC-Link Slave RUN LED 制御レジスタ (CCSRUN)**

「**図 20.1 CCSRUN レジスタと CC-Link (インテリジェントデバイス局、リモートデバイス局) RUN 信号の構成**」を追加

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
1040	<p><b>【20.1.6 CC-Link Slave RUN LED 制御レジスタ (CCSRUN)】</b> (記載なし)</p> <p>(記載なし)</p>	20-4	<p><b>【20.1.6 CC-Link Slave RUN LED 制御レジスタ (CCSRUN)】</b> CCSRUN レジスタ及び CC-Link (インテリジェントデバイス局、リモートデバイス局) RUN 信号とポート端子の回路構成を下图に示します。</p> <p>[<b>図 20.1 CCSRUN レジスタと CC-Link (インテリジェントデバイス局、リモートデバイス局) RUN 信号の構成</b>]</p>

**No.203 21. システム・レジスタ (APB 周辺レジスタ領域)**

表題の変更

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
1043	<p><b>【21. その他のインタフェース制御】</b></p>	21-1	<p><b>【21. システム・レジスタ (APB 周辺レジスタ領域)】</b></p>

**No.204 21.1 レジスタ一覧**  
**SRAMBRSEL レジスタを追加**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
1044	【21.1 レジスタ一覧】 (記載なし)	21-2	【21.1 レジスタ一覧】 SRAMブリッジ選択レジスタ SRAMBRSEL BASE+0804H 0000

**No.205 21.3 IDCODE レジスタ (IDCODE)**  
**IDCODE31-IDCODE0 に変更**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
1045	【21.3 IDCODE レジスタ】 ・ビットフィールド図：0 or 1 ・R/W 属性：0 or 1 ・ビット名：-	21-3	【21.3 IDCODE レジスタ(IDCODE)】 ・ビットフィールド図：IDCODE31-IDCODE0 ・R/W 属性：R ・ビット名：IDCODE31-0

**No.206 21.7 システム・プロテクト・コマンド・レジスタ (SYSPCMD)**  
**注意 1 に<1>を追加**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
1049	【21.7 システム・プロテクト・コマンド・レジスタ(SYSPCMD)】 注意 1 <2>、<3>では、レジスタへの書き込みは行われていません。	21-7	【21.7 システム・プロテクト・コマンド・レジスタ(SYSPCMD)】 注意 1 <1>、<2>、<3>では、レジスタへの書き込みは行われていません。

**No.207 21.9.1 タイマ入力機能選択レジスタ (SELCNT)**  
**ISEL31, ISEL30, ISEL21, ISEL20 の“意味”を修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
1052	<p><b>【21.9.1 タイマ入力機能選択レジスタ(SELCNT)】</b>                      [7,6 : ISEL31,ISEL30]                      TIN3 (TAUJ2 3) 入力信号選択を指定します。                      TIN3 入力信号選択 (TAU3)</p> <p>[5,4 : ISEL21, ISEL20]                      TIN2 (TAUJ22) 入力信号選択を指定します。                      TIN2 入力信号選択 (TAU2)</p>	21-10	<p><b>【21.9.1 タイマ入力機能選択レジスタ(SELCNT)】</b>                      [7,6 : ISEL31,ISEL30]                      TIN3 (TAUJ2 ch3) 入力信号選択を指定します。                      TIN3 入力信号選択 (TAUJ ch3)</p> <p>[5,4 : ISEL21, ISEL20]                      TIN2 (TAUJ2 ch 2) 入力信号選択を指定します。                      TIN2 入力信号選択 (TAUJ ch2)</p>

**No.208 21.9.1 タイマ入力機能選択レジスタ (SELCNT)**  
**ISEL11, ISEL10, ISEL01, ISEL00 の“意味”を修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
1053	<p><b>【21.9.1 タイマ入力機能選択レジスタ(SELCNT)】</b>                      [3,2 : ISEL11,ISEL10]                      TIN1 (TAUJ21) 入力信号選択を指定します。                      TIN1 入力信号選択 (TAU1)</p> <p>[1,0 : ISEL01, ISEL00]                      TIN0 (TAUJ2) 入力信号選択を指定します。                      TIN0 入力信号選択 (TAU0)</p>	21-11	<p><b>【21.9.1 タイマ入力機能選択レジスタ(SELCNT)】</b>                      [3,2 : ISEL11,ISEL10]                      TIN1 (TAUJ2 ch1) 入力信号選択を指定します。                      TIN1 入力信号選択 (TAUJ ch1)</p> <p>[1,0 : ISEL01, ISEL00]                      TIN0 (TAUJ2 ch0) 入力信号選択を指定します。                      TIN0 入力信号選択 (TAUJ ch0)</p>

**No.209 21.9.2 タイマ・トリガ要因レジスタ (TMTFR0-3)**  
**IFC6-IFC0の“意味”を修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
1057	<p><b>【21.9.2 タイマ・トリガ要因レジスタ(TMTFR0-3)】</b>                      [6-0 : IFC6-IFC0]                      70H : CC-Link IE Field <b>Network UDL</b> WDTZ 割り込み                      78H : CC-Link <b>スレーブ RFSTB</b> 割り込み                      79H : CC-Link <b>スレーブ</b> MON3 割り込み</p>	21-15	<p><b>【21.9.2 タイマ・トリガ要因レジスタ(TMTFR0-3)】</b>                      [6-0 : IFC6-IFC0]                      70H : CC-Link IE Field WDTZ 割り込み                      78H : CC-Link <b>REFSTB</b> 割り込み                      79H : CC-Link MON3 割り込み</p>

**No.210 21.10.1 ノイズ・フィルタ設定レジスタ 0-3 (NFC0-3)**  
**NFPET11, NFPET10, NFPET01, NFPET00の“意味”を修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
1059	<p><b>【21.10.1 ノイズ・フィルタ設定レジスタ 0-3(NFC0-3)】</b>                      [15,14 : NFPET11,NFPET10]  <b>ETH1_GE_INT</b> 入力のノイズ・フィルタ段数を、内部システム・クロック基準で設定します。</p> <p>[13,12 : NFPET01,NFPET00]  <b>ETH0_GE_INT</b> 入力のノイズ・フィルタ段数を、内部システム・クロック基準で設定します。</p>	21-17	<p><b>【21.10.1 ノイズ・フィルタ設定レジスタ 0-3(NFC0-3)】</b>                      [15,14 : NFPET11,NFPET10]  <b>Ether PHY Port1 割り込み (ETH1_GE_INT)</b> 入力のノイズ・フィルタ段数を、内部システム・クロック基準で設定します。</p> <p>[13,12 : NFPET01,NFPET00]  <b>Ether PHY Port0 割り込み (ETH1_GE_INT)</b> 入力のノイズ・フィルタ段数を、内部システム・クロック基準で設定します。</p>

**No.211 21.11 外部割り込みモード・レジスタ 0, 1, 2 (INTM0, INTM1, INTM2)**  
**章番号の変更、外部端子による外部割り込み要求の追加、INTM0 : NMIZの修正**

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
1063	<p><b>【21.10.3 外部割り込みモード・レジスタ 0, 1, 2(INTM0, INTM1, INTM2)】</b>                      外部端子による外部割り込み要求 (NMIZ, INTPZ0-INTPZ28) のトリガ・モードを指定するレジスタです。</p> <p>○ INTM0:NMIZ、<b>INTPHY1、INTPHY0</b></p>	21-21	<p><b>【21.11 外部割り込みモード・レジスタ 0, 1, 2(INTM0, INTM1, INTM2)】</b>                      外部端子による外部割り込み要求 (NMIZ, INTPZ0-INTPZ28, <b>ETH1_GE_INT, ETH0_GE_INT</b>) のトリガ・モードを指定するレジスタです。</p> <p>○ INTM0:NMIZ、<b>ETH1_GE_INT、ETH0_GE_INT</b></p>

No.212 21.11 外部割り込みモード・レジスタ 0, 1, 2 (INTM0, INTM1, INTM2)

章番号の変更、ESE11, ESE10, ESE01, ESE00、注 1,2 の削除

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
1064	<p><b>【21.10.3 外部割り込みモード・レジスタ 0, 1, 2(INTM0, INTM1, INTM2)】</b>                      [15,14 : ESE11,ESE10]                      INTPHY1、トリガ・モードを指定します。                      INTPHY1 のトリガ・モード指定</p> <p>[13,12 : ESE01,ESE00]                      INTPHY0 のトリガ・モードを指定します。                      INTPHY0 のトリガ・モード指定</p> <p>注 1. INTPZ0-INTPZ28 端子のレベルは、アクティブ・レベル(ロー・レベル)が入力されていると、内部システム・バス・クロック(HCLK)の立ち上がりごとにトグルする連続パルスとして、割り込み要求が発生します。なお、外部割り込みをサンプリングする HCLK は、スタンバイ・モードでも停止しません。</p> <p>2. NMIZ はレベル検出時には、NMIZ 端子の反転信号が割り込みコントローラに接続されます。</p>	21-22	<p><b>【21.11 外部割り込みモード・レジスタ 0, 1, 2(INTM0, INTM1, INTM2)】</b>                      [15,14 : ESE11,ESE10]                      Ether PHY Port1 割り込み (ETH1_GE_INT)トリガ・モードを指定します。                      ETH1_GE_INT のトリガ・モード指定</p> <p>[13,12 : ESE01,ESE00]                      Ether PHY Port0 割り込み (ETH0_GE_INT)トリガ・モードを指定します。                      ETH0_GE_INT のトリガ・モード指定</p> <p>(削除)</p>

No.213 21.12.2 トリガ同期式ポート要因レジスタ (RP0TFR-RP3TFR)

章番号の変更、IFC6-IFC0 の“意味”を修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
1071	<p><b>【21.11.2 トリガ同期式ポート要因レジスタ(RP0TFR-RP3TFR)】</b>                      [6-0 : IFC6-IFC0]                      70H : CC-Link IE Field Network UDL WDTZ 割り込み                      78H : CC-Link <b>スレーブ RFSTB</b> 割り込み                      79H : CC-Link <b>スレーブ</b> MON3 割り込み</p>	21-29	<p><b>【21.12.2 トリガ同期式ポート要因レジスタ(RP0TFR-RP3TFR)】</b>                      [6-0 : IFC6-IFC0]                      70H : CC-Link IE Field WDTZ 割り込み                      78H : CC-Link <b>REFSTB</b> 割り込み                      79H : CC-Link MON3 割り込み</p>



No.214 21.14 CPU バス動作モード・レジスタ (CPUBUSMD)

章番号の変更

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
1073	【21.12 CPU バス動作モード・レジスタ(CPUBUSMD)★】	21-31	【21.14 CPU バス動作モード・レジスタ(CPUBUSMD)】

No.215 21.15 SRAMブリッジ選択レジスタ (SRAMBRSEL)

「21.15 SRAMブリッジ選択レジスタ (SRAMBRSEL)」を追加

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
—	(記載なし)	21-32	【21.15 SRAMブリッジ選択レジスタ(SRAMBRSEL)】

No.216 22.1 JTAG インタフェース

「図 22.1 JTAG インタフェース接続例」の nRESET への接続を修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
1074	<p>【22.1 JTAG インタフェース】                      [図 22.1 JTAG インタフェース接続例 (20pin ハーフピッチ、トレースなし)]</p> <p>R-IN32M3</p> <p>RESETZ HOTRESETZ</p> <p>TRSTZ 未接続</p> <p>TCK</p> <p>TMS</p> <p>TDI</p> <p>TDO</p> <p>リセット回路</p> <p>4.7kΩ ~ 10kΩ 程度</p> <p>3.3V</p> <p>Open DrainのWired OR接続</p> <p>nRESET</p> <p>ICEコネクタ (20pinハーフピッチ)</p>	22-1	<p>【22.1 JTAG インタフェース】                      [図 22.1 JTAG インタフェース接続例 (20pin ハーフピッチ、トレースなし)]</p> <p>R-IN32M3</p> <p>RESETZ HOTRESETZ</p> <p>TRSTZ 未接続</p> <p>TCK</p> <p>TMS</p> <p>TDI</p> <p>TDO</p> <p>リセット回路</p> <p>4.7kΩ ~ 10kΩ 程度</p> <p>3.3V</p> <p>Open DrainのWired OR接続</p> <p>nRESET</p> <p>ICEコネクタ (20pinハーフピッチ)</p>

No.217 22.1 JTAG インタフェース

「図 22.2 JTAG インタフェース接続例」の nRESET への接続を修正

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
1075	<p>【22.1 JTAG インタフェース】                      [図 22.2 JTAG インタフェース接続例 (20pin ハーフピッチ、トレースあり)]</p>	22-2	<p>【22.1 JTAG インタフェース】                      [図 22.2 JTAG インタフェース接続例 (20pin ハーフピッチ、トレースあり)]</p>

No.218 22.1 JTAG インタフェース

「図 22.3 JTAG インタフェース接続例」の nSRST への接続を修正、注を削除

V8.00		V9.00	
ページ	記載内容	ページ	改訂内容
1076	<p>【22.1 JTAG インタフェース】                      [図 22.3 JTAG インタフェース接続例 (20pin フルピッチ)]</p> <p>注. JTAGSEL 端子はローを入力してください。ハイを入力するとバウンダリスキャン(BSCAN)モードとなります。</p>	22-3	<p>【22.1 JTAG インタフェース】                      [図 22.3 JTAG インタフェース接続例 (20pin フルピッチ)]</p>