

# RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア  
ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>

E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	システムLSI	発行番号	TN-RIN-A021A/J	Rev.	第1版
題名	R-IN32M3 シリーズ ユーザーズ・マニュアル ボード設計編 (Rev.2.04→Rev.3.00) 主な改訂内容：誤記訂正、新規機能追加など		情報分類	技術情報	
適用製品	下記参照	対象ロット等	関連資料	R-IN32M3 シリーズ ユーザーズ・マニュアル ボード設計編 ・ R-IN32M3-EC ・ R-IN32M3-CL Rev.3.00 (R18UZ0020JJ0300)	
		全ロット			

R-IN32M3 シリーズ ユーザーズ・マニュアル ボード設計編・R-IN32M3-EC・R-IN32M3-CL Rev.3.00 (R18UZ0020JJ0300)  
をリリースいたします。詳細については「2. 改訂内容」を参照願います。

## 1 適用製品

製品分類		マーク型名	製品型名
R-IN32M3-EC	旧製品	MC-10287F1	MC-10287F1-HN4-A
			MC-10287F1-HN4-M1-A
	現行品	MC-10287BF1	MC-10287BF1-HN4-A
			MC-10287BF1-HN4-M1-A
R-IN32M3-CL	旧製品	D60510F1	UPD60510F1-HN4-A
			UPD60510F1-HN4-M1-A
	現行品	D60510BF1	UPD60510BF1-HN4-A
			UPD60510BF1-HN4-M1-A

## 2 改訂内容

(1/2)

No	訂正箇所 (Rev3.00 見出し番号)	該当ページ (Rev3.00 番号)	内容
1	1.1 本書内の端子処置およびシンボル定義	1	補足
2	3.3 発振回路構成例	7	表記変更
3	3.3 発振回路構成例	7	補足
4	4.1 推奨フィルタ構成	8	表記変更
5	5.1 内蔵レギュレータ使用時	10	補足
6	5.1 内蔵レギュレータ使用時	11	補足
7	5.2 内蔵レギュレータ未使用時	12	補足
8	6. 汎用ポート端子	13	誤記訂正
9	7. Ethernet PHY 端子 (R-IN32M3-EC のみ)	14	補足
10	7.1 Ethernet PHY 電源端子	14	誤記訂正
11	7.2 100Base-TX インタフェース端子	15	補足
12	7.2 100Base-TX インタフェース端子	16	誤記訂正
13	7.2 100Base-TX インタフェース端子	16	補足
14	7.3 100Base-FX インタフェース端子 (光ファイバ)	19	誤記訂正
15	8. GMII 端子 (R-IN32M3-CL のみ)	20	表記変更
16	8.2 GMII 周辺 回路設計	21	誤記訂正
17	9. CC-Link 端子	23	誤記訂正
18	11. 外部マイコン/メモリ・インタフェース端子	25	補足
19	11.1.1 非同期 SRAM インタフェース・モード	27	表記変更
20	11.1.2 同期 SRAM インタフェース・モード	28	表記変更
21	11.1.3 同期式 SRAM タイプ転送モード	29	表記変更
22	11.2 外部メモリ・インタフェース	30	表記変更
23	11.2.1 非同期 SRAM MEMC	30	表記変更
24	11.2.1.1 SRAM の接続例	31	表記変更
25	11.2.1.2 ページ ROM の接続例	32	表記変更
26	11.2.2 同期式バースト・アクセス MEMC	33	表記変更
27	11.2.2.1 SRAM の接続例	34	表記変更
28	11.2.2.2 ページ ROM の接続例	35	表記変更
29	12. シリアル・フラッシュ ROM 接続端子	36	補足

(2/2)

No	訂正箇所 (Rev3.00 見出し番号)	該当ページ (Rev3.00 番号)	内容
30	13. アシンクロナス・シリアル・インタフェース J 接続端子	37	補足
31	14. I2C 接続端子	38	補足
32	15. EtherCAT EEPROM I2C 接続端子 (R-IN32M3-EC のみ)	39	補足
33	16. CAN 端子	40	補足
34	17. JTAG/トレース端子	41	補足
35	17. JTAG/トレース端子	42	補足
36	17. JTAG/トレース端子	43	補足
37	22. IBIS 情報	50	誤記訂正
38	23.1 R-IN32M3-EC	51	誤記訂正
39	23.2 R-IN32M3-CL	51	誤記訂正
40	24. 熱設計ガイド	52-60	補足

No.1 1.1 本書内の端子処置およびシンボル定義

「1.1 本書内の端子処置およびシンボル定義」を新規追加。

V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
1	(記載なし)	1	【1.1 本書内の端子処置およびシンボル定義】

No.2 3.3 発振回路構成例

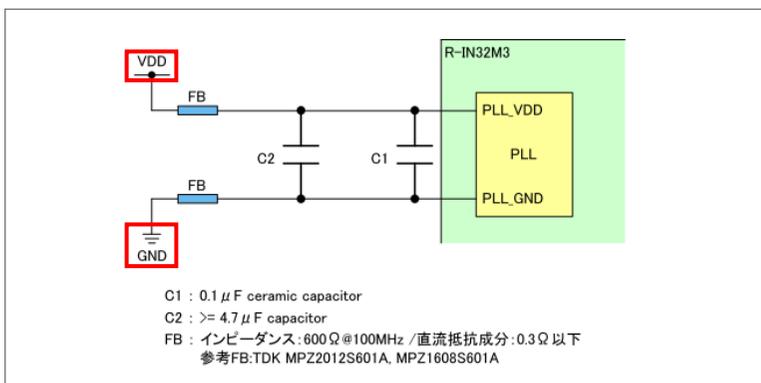
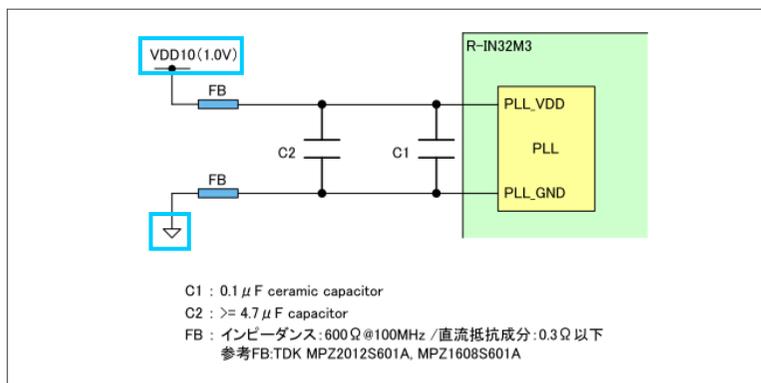
図 3.2 内の端子処置および GND 表記を修正。

V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
7	<p>【3.3 発振回路構成例】</p> <p>使用する振動子によって、Rdが不要場合があります。Rxは水晶振動子の励振電流を抑えるための素子ですが、使用しない場合もあります。</p> <p>外部クロック入力モード時は、XT1をロー・レベルにしてください。</p>	7	<p>【3.3 発振回路構成例】</p> <p>Rdは、振動子の励振電流、および負性抵抗を抑えるための素子ですが、使用する振動子によって不要な場合もあります。</p> <p>外部クロック入力モード時は、XT1をロー・レベルにしてください。</p>

**No.3 3.3 発振回路構成例**  
**発振子に関する注意事項を修正。**

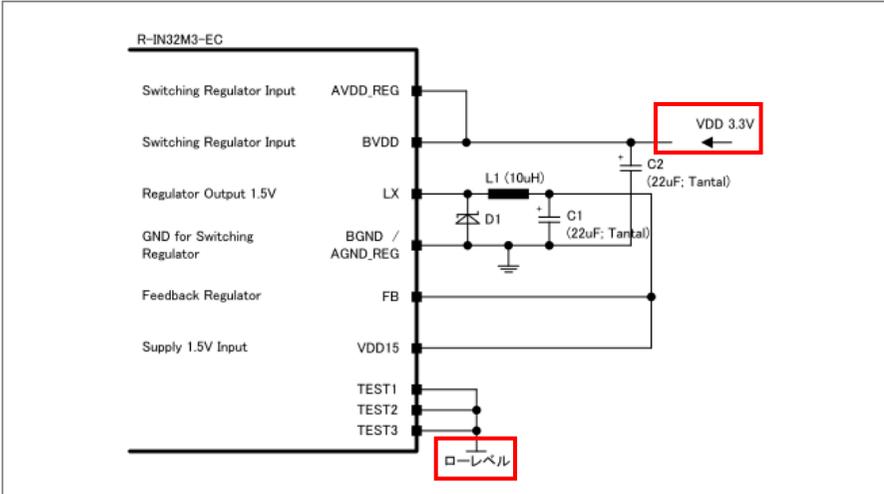
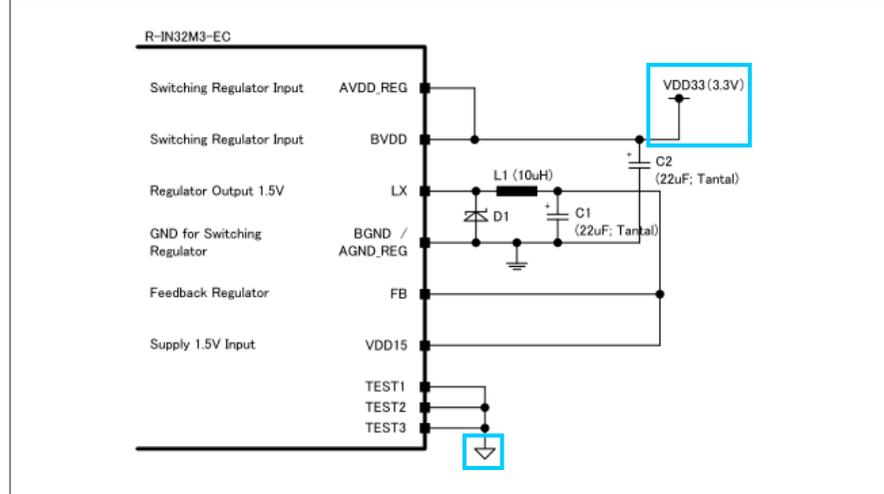
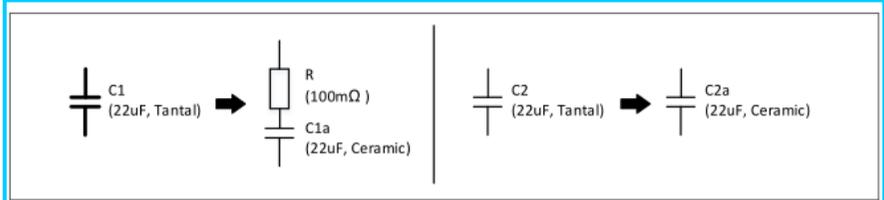
V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
7	<p><b>【3.3 発振回路構成例】</b>                      [図 3.2 発振回路の構成例]</p> <p>注意 R-IN32M3 は 25MHz 入力固定です。振動子の負荷は、8pF 以下を推奨します。                      ただし、使用する振動子および基板の設計条件により異なる可能性があります。</p>	7	<p><b>【3.3 発振回路構成例】</b>                      [図 3.2 発振回路の構成例]</p> <p>注意. R-IN32M3 は 25MHz 入力固定です。                      振動子をご使用の場合は、発振子取り扱いメーカーに、型番/外部定数などご相談をお願いします。                      弊社が推奨する発振器、および発振子取り扱いメーカーを以下に記載します。</p> <ul style="list-style-type: none"> <li>●日本電波工業株式会社様                          URL : <a href="http://www.ndk.com/jp/index.html/">http://www.ndk.com/jp/index.html/</a></li> <li>●京セラクリスタルデバイス株式会社様                          URL : <a href="http://www.kyocera-crystal.jp/">http://www.kyocera-crystal.jp/</a></li> </ul>

**No.4 4.1 推奨フィルタ構成**  
**図 4.1 内の端子処置および GND 表記を修正。**

V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
8	<p><b>【4.1 推奨フィルタ構成】</b></p>  <p>C1 : 0.1 <math>\mu</math>F ceramic capacitor                      C2 : <math>\geq 4.7 \mu</math>F capacitor                      FB : インピーダンス:600 <math>\Omega</math>@100MHz / 直流抵抗成分:0.3 <math>\Omega</math> 以下                      参考FB:TDK MPZ2012S601A, MPZ1608S601A</p> <p>図 4.1 推奨フィルタ構成</p>	8	<p><b>【4.1 推奨フィルタ構成】</b></p>  <p>C1 : 0.1 <math>\mu</math>F ceramic capacitor                      C2 : <math>\geq 4.7 \mu</math>F capacitor                      FB : インピーダンス:600 <math>\Omega</math>@100MHz / 直流抵抗成分:0.3 <math>\Omega</math> 以下                      参考FB:TDK MPZ2012S601A, MPZ1608S601A</p> <p>図 4.1 推奨フィルタ構成</p>

No.5 5.1 内蔵レギュレータ使用時

図 5.1 内の端子処置および GND 表記を修正。コンデンサ代替手段を追記。

V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
10	<p><b>【5.1 内蔵レギュレータ使用時】</b></p>  <p>図 5.1 レギュレータ部の配線例(内蔵レギュレータ使用時)</p>	10	<p><b>【5.1 内蔵レギュレータ使用時】</b></p>  <p>図 5.1 レギュレータ部の配線例(内蔵レギュレータ使用時)</p> <p>タンタルコンデンサが使用できない場合は、C1を抵抗+セラミックコンデンサに、C2をセラミックコンデンサに代替することも可能です。</p> 

No.6 5.1 内蔵レギュレータ使用時  
 推奨部品一覧を表 5.1 として補足。

V2.04		V3.00																									
ページ	記載内容	ページ	改訂内容																								
11	<p><b>【5.1 内蔵レギュレータ使用時】</b>                      使用推奨部品</p> <ul style="list-style-type: none"> <li>・D1: ショットキー・ダイオード (STPS1L30UPBF, Vishay)</li> <li>・L1: インダクタ 10 <math>\mu</math>H (VLCF5028T provided by TDK)</li> <li>・C1, C2: コンデンサ 22 <math>\mu</math>F, タンタル (ESR=300 m<math>\Omega</math>), PSLB21A226M, NEC トーキン</li> </ul>	11	<p><b>【5.1 内蔵レギュレータ使用時】</b>                      [表 5.1 使用推奨部品一覧]</p> <table border="1"> <thead> <tr> <th>部品</th> <th>タイプ</th> <th>特性</th> <th>推奨部品</th> </tr> </thead> <tbody> <tr> <td>D1</td> <td>ショットキー・ダイオード</td> <td>30V, 1A</td> <td>STPS1L30UPBF (ST)</td> </tr> <tr> <td>L1</td> <td>インダクタ</td> <td>10<math>\mu</math>H</td> <td>VLCF5028T (TDK)</td> </tr> <tr> <td>C1, C2</td> <td>タンタルコンデンサ</td> <td>22<math>\mu</math>F<math>\pm</math>20% ESR : 75-300m<math>\Omega</math></td> <td>PSLB21A226M (NEC TOKIN)</td> </tr> <tr> <td>C1a, C2a</td> <td>セラミックコンデンサ</td> <td>22<math>\mu</math>F<math>\pm</math>10%</td> <td>GRM32ER71A226KE20L (Murata)</td> </tr> <tr> <td>R</td> <td>抵抗</td> <td>100m<math>\Omega</math><math>\pm</math>1%</td> <td>MCR18EZHFLR100 (ROHM)</td> </tr> </tbody> </table>	部品	タイプ	特性	推奨部品	D1	ショットキー・ダイオード	30V, 1A	STPS1L30UPBF (ST)	L1	インダクタ	10 $\mu$ H	VLCF5028T (TDK)	C1, C2	タンタルコンデンサ	22 $\mu$ F $\pm$ 20% ESR : 75-300m $\Omega$	PSLB21A226M (NEC TOKIN)	C1a, C2a	セラミックコンデンサ	22 $\mu$ F $\pm$ 10%	GRM32ER71A226KE20L (Murata)	R	抵抗	100m $\Omega$ $\pm$ 1%	MCR18EZHFLR100 (ROHM)
部品	タイプ	特性	推奨部品																								
D1	ショットキー・ダイオード	30V, 1A	STPS1L30UPBF (ST)																								
L1	インダクタ	10 $\mu$ H	VLCF5028T (TDK)																								
C1, C2	タンタルコンデンサ	22 $\mu$ F $\pm$ 20% ESR : 75-300m $\Omega$	PSLB21A226M (NEC TOKIN)																								
C1a, C2a	セラミックコンデンサ	22 $\mu$ F $\pm$ 10%	GRM32ER71A226KE20L (Murata)																								
R	抵抗	100m $\Omega$ $\pm$ 1%	MCR18EZHFLR100 (ROHM)																								

No.7 5.2 内蔵レギュレータ未使用時

図 5.3 内の端子処置および GND 表記を修正。

V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
12	<p><b>【5.2 内蔵レギュレータ未使用時】</b></p> <p>図 5.3 レギュレータ部の配線例(内蔵レギュレータ未使用時)</p>	12	<p><b>【5.2 内蔵レギュレータ未使用時】</b></p> <p>図 5.3 レギュレータ部の配線例(内蔵レギュレータ未使用時)</p> <p>注. 安定した電源を供給してください。</p>

No.8 6. 汎用ポート端子

別紙ユーザーズ・マニュアルの参照先を修正。

V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
13	<p><b>【6. 汎用ポート端子】</b> GPIO は汎用ポートであり、内部構成は以下のドキュメントを参照してください R-IN32M3-EC ユーザーズ・マニュアル R-IN32M3-EC 2.3.5 ポート端子 R-IN32M3-CL ユーザーズ・マニュアル R-IN32M3-CL 2.5.5 ポート端子</p>	13	<p><b>【6. 汎用ポート端子】</b> GPIO は汎用ポートであり、内部構成は以下のドキュメントを参照してください。 R-IN32M3 シリーズ ユーザーズ・マニュアル R-IN32M3-EC「2.3.6 ポート端子」 R-IN32M3 シリーズ ユーザーズ・マニュアル R-IN32M3-CL「2.5.6 ポート端子」</p>

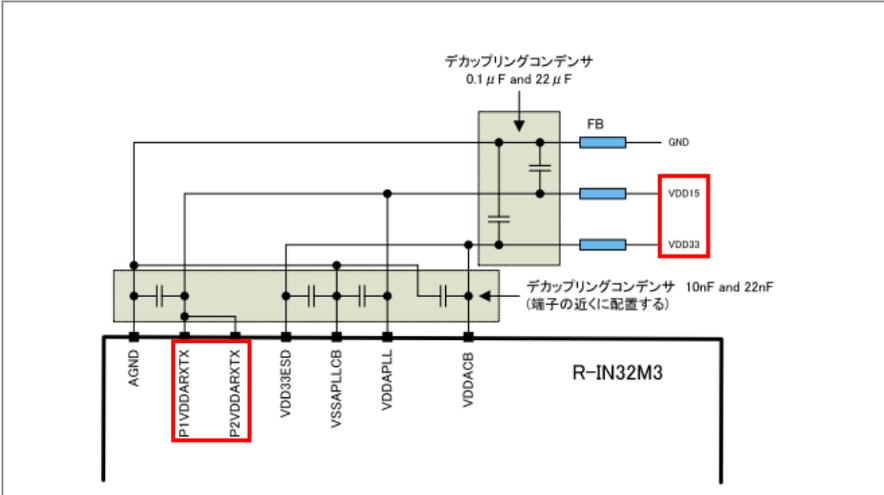
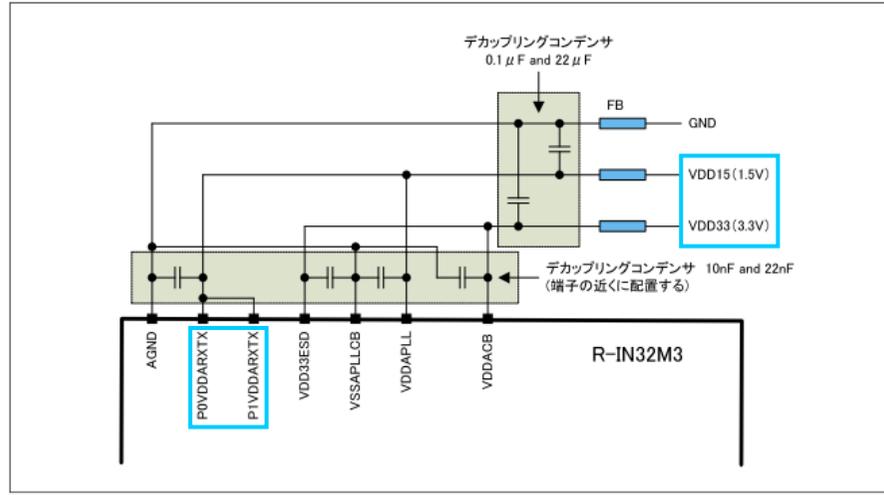
**No.9 7. Ethernet PHY 端子 (R-IN32M3-EC のみ)**

章見出しに R-IN32M3-EC のみ対象であることを明記。

V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
14	【7. Ethernet PHY 端子】	14	【7. Ethernet PHY 端子 (R-IN32M3-EC のみ)】

**No.10 7.1 Ethernet PHY 電源端子**

図 7.1 内の Rx/Tx 端子用アナログ電源の端子名および電源端子表記を修正。

V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
14	<p>【7.1 Ethernet PHY 電源端子】</p>  <p>図 7.1 供給電源のデカップリングコンデンサ</p>	14	<p>【7.1 Ethernet PHY 電源端子】</p>  <p>図 7.1 供給電源のデカップリングコンデンサ</p>

No.11 7.2 100Base-TX インタフェース端子

図 7.2 内の端子処置および GND 表記を修正。備考を図枠外に移動。

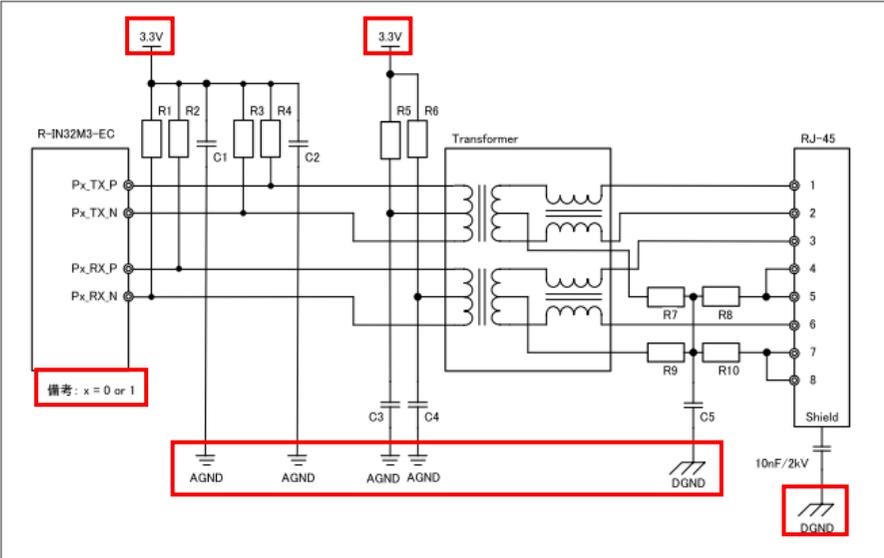
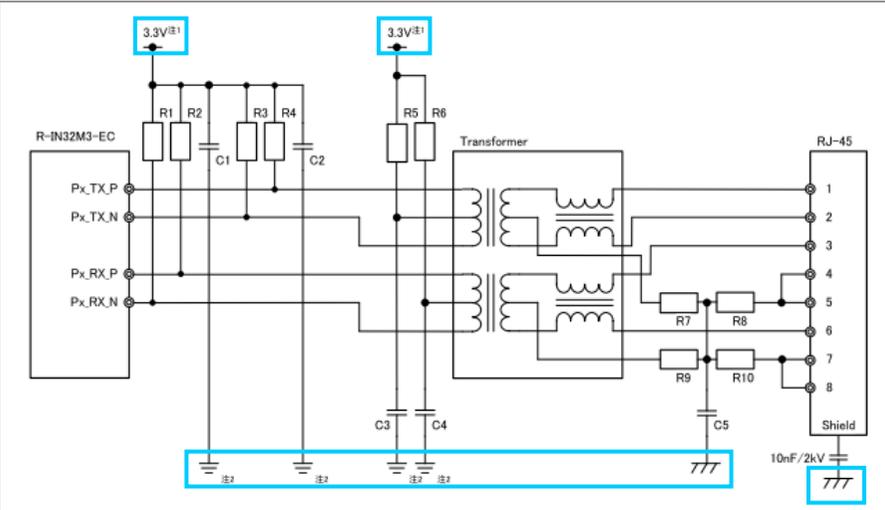
V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
15	<p>【7.2 100Base-TX インタフェース端子】</p> <p>備考: x = 0 or 1</p>	15	<p>【7.2 100Base-TX インタフェース端子】</p> <p>備考: x = 0 or 1</p> <p>注 1. VDDACB、VDD33ESD と同電位 2. AGND と同電位</p>

図 7.2 R-IN32M3-EC と RJ-45 コネクタ(パルストランス内蔵)の接続例

図 7.2 R-IN32M3-EC と RJ-45 コネクタ(パルストランス内蔵)の接続例

No.12 7.2 100Base-TX インタフェース端子

図 7.3 内の端子処置および GND 表記を修正。備考を図枠外に移動。

V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
16	<p>【7.2 100Base-TX インタフェース端子】</p>  <p>備考: x = 0 or 1</p> <p>図 7.3 R-IN32M3-EC とパルストランスおよび RJ45 の接続例</p>	16	<p>【7.2 100Base-TX インタフェース端子】</p>  <p>備考. x = 0 or 1</p> <p>注 1. VDDACB、VDD33ESD と同電位 2. AGND と同電位</p> <p>図 7.3 R-IN32M3-EC とパルストランスおよび RJ45 の接続例</p>

No.13 7.2 100Base-TX インタフェース端子

表 7.1 内の R1 - R6 に注を追加。

V2.04				V3.00				
ページ	記載内容			ページ	改訂内容			
16	<b>【7.2 100Base-TX インタフェース端子】</b> [表 7.1 部品リスト(100Base-TX インタフェース)]			16	<b>【7.2 100Base-TX インタフェース端子】</b> [表 7.1 部品リスト(100Base-TX インタフェース)]			
	部品	種類	特性	推奨部品名	部品	種類	特性	推奨部品名
	R1, R2, R3, R4	抵抗	49.9Ω ± 1% 1/16W	—	R1, R2, R3, R4	抵抗	49.9Ω ± 1% 1/16W <sup>注</sup>	—
	R5, R6	抵抗	10Ω ± 1% 1/16W	—	R5, R6	抵抗	10Ω ± 1% 1/16W <sup>注</sup>	—
	R7, R8, R9, R10	抵抗	75Ω ± 1% 1/16W	—	R7, R8, R9, R10	抵抗	75Ω ± 1% 1/16W	—
	C1	コンデンサ	10nF - 100nF	—	C1	コンデンサ	10nF - 100nF	—
	C2	コンデンサ	10nF - 100nF	—	C2	コンデンサ	10nF - 100nF	—
	C3	コンデンサ	10nF - 22nF	—	C3	コンデンサ	10nF - 22nF	—
	C4	コンデンサ	10nF - 22nF	—	C4	コンデンサ	10nF - 22nF	—
	C5	コンデンサ	4.7nF ± 10%	—	C5	コンデンサ	4.7nF ± 10%	—
	パルストランス	1チャンネル		Pulse Electronics H1012NL, H1102NL	パルストランス	1チャンネル		Pulse Electronics H1012NL, H1102NL
		2チャンネル		Pulse Electronics H1270N+, HX1294		2チャンネル		Pulse Electronics H1270N+, HX1294
	RJ45 コネクタ (パルストランス内蔵)	2チャンネル		Pulse Electronics JG0-0031NL	RJ45コネクタ (パルストランス内蔵)	2チャンネル		Pulse Electronics JG0-0031NL
注. 高温時など厳しい環境において使用する場合には 1/8W を推奨します。								

No.14 7.3 100Base-FX インタフェース端子 (光ファイバ)

図 7.7 内の端子処置および GND 表記を修正。備考を図枠外に移動。

V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
19	<p>【7.3 100Base-FX インタフェース端子(光ファイバ)】</p> <p>備考: x = 0, 1</p>	19	<p>【7.3 100Base-FX インタフェース端子(光ファイバ)】</p> <p>備考: x = 0 or 1</p>

図 7.7 光トランシーバとのインタフェース回路図

図 7.7 光トランシーバとのインタフェース回路図

No.15 8. GMII 端子 (R-IN32M3-CL のみ)

図 8.1 内の端子処置表記を修正。備考を図枠外に移動。

V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
20	<p>【8. GMII 端子(R-IN32M3-CL のみ)】</p> <p>R-IN32M3-CL</p> <p>備考.m = 0, 1, x = 0-7</p>	20	<p>【8. GMII 端子(R-IN32M3-CL のみ)】</p> <p>R-IN32M3-CL</p> <p>備考. m = 0, 1 x = 0 - 7</p>

図 8.1 R-IN32M3-CL と Gigabit Ethernet PHY の接続イメージ

図 8.1 R-IN32M3-CL と Gigabit Ethernet PHY の接続イメージ

No.16 8.2 GMII 周辺 回路設計

イーサネットのポート番号表記を修正。

V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
21	<p><b>【8.2 GMII 周辺 回路設計】</b></p> <p>・PHY アドレスについて PHY アドレスは R-IN32M3-CL のポート番号と同じアドレスに設定してください。アドレス <b>1</b> に設定した PHY は MAC ポート <b>1</b> に、アドレス <b>2</b> に設定した PHY は MAC ポート <b>2</b> に接続してください。</p>	21	<p><b>【8.2 GMII 周辺 回路設計】</b></p> <p>・PHY アドレスについて PHY アドレスは R-IN32M3-CL のポート番号と同じアドレスに設定してください。アドレス <b>0</b> に設定した PHY は MAC ポート <b>0</b> に、アドレス <b>1</b> に設定した PHY は MAC ポート <b>1</b> に接続してください。</p>

No.17 9. CC-Link 端子

図 9.1 内の端子処置および GND 表記を修正。CC-Link クロック端子名を修正。注 3 を追加。

V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
23	<p><b>【9. CC-Link 端子】</b></p>	23	<p><b>【9. CC-Link 端子】</b></p>
	<p>図 9.1 CC-Link リモートデバイス局における接続例</p> <p>注 1. 2.</p>		<p>図 9.1 CC-Link リモートデバイス局における接続例</p> <p>注 1. 2. 3. 本端子は、CC-Link(インテリジェントデバイス局)と共用です。</p>

No.18 11. 外部マイコン/メモリ・インタフェース端子

モード設定端子として ADMUXMODE 端子を追加。CC-Link IE Field アクセス時の注を追加。

V2.04		V3.00																																																																
ページ	記載内容	ページ	改訂内容																																																															
25	<p>【11. 外部マイコン/メモリ・インタフェース端子】</p> <p>接続モードは、MEMIFSEL 端子、MEMCSEL 端子および HIFSYNC 端子の状態により表 11.1 のように決定されます。</p> <p>表11.1 外部マイコン/メモリ接続モード選択</p> <table border="1"> <thead> <tr> <th colspan="3">モード設定</th> <th rowspan="2">外部接続モード</th> </tr> <tr> <th>MEMIFSEL</th> <th>MEMCSEL</th> <th>HIFSYNC</th> </tr> </thead> <tbody> <tr> <td rowspan="2">ロー</td> <td>ロー</td> <td>－</td> <td>外部メモリ・インタフェース 非同期式 SRAM MEMC</td> </tr> <tr> <td>ハイ</td> <td>－</td> <td>外部メモリ・インタフェース 同期式 SRAM MEMC</td> </tr> <tr> <td rowspan="4">ハイ</td> <td rowspan="2">ロー</td> <td>ロー</td> <td>外部マイコン・インタフェース 非同期 SRAM インタフェース</td> </tr> <tr> <td>ハイ</td> <td>外部マイコン・インタフェース 同期 SRAM インタフェース</td> </tr> <tr> <td rowspan="2">ハイ</td> <td>ロー</td> <td>設定禁止</td> </tr> <tr> <td>ハイ</td> <td>外部マイコン・インタフェース 同期式 SRAM タイプ転送モード</td> </tr> </tbody> </table>	モード設定			外部接続モード	MEMIFSEL	MEMCSEL	HIFSYNC	ロー	ロー	－	外部メモリ・インタフェース 非同期式 SRAM MEMC	ハイ	－	外部メモリ・インタフェース 同期式 SRAM MEMC	ハイ	ロー	ロー	外部マイコン・インタフェース 非同期 SRAM インタフェース	ハイ	外部マイコン・インタフェース 同期 SRAM インタフェース	ハイ	ロー	設定禁止	ハイ	外部マイコン・インタフェース 同期式 SRAM タイプ転送モード	25	<p>【11. 外部マイコン/メモリ・インタフェース端子】</p> <p>接続モードは、MEMIFSEL 端子、MEMCSEL 端子、HIFSYNC 端子および ADMUXMODE 端子の状態により表 11.1 のように決定されます。</p> <p>表11.1 外部マイコン/メモリ接続モード選択</p> <table border="1"> <thead> <tr> <th colspan="4">モード設定</th> <th rowspan="2">外部接続モード</th> </tr> <tr> <th>MEMIFSEL</th> <th>MEMCSEL</th> <th>HIFSYNC</th> <th>ADMUXMODE</th> </tr> </thead> <tbody> <tr> <td rowspan="2">ロー</td> <td>ロー</td> <td>－</td> <td>－</td> <td>外部メモリ・インタフェース 非同期 SRAM MEMC</td> </tr> <tr> <td>ハイ</td> <td>－</td> <td>－</td> <td>外部メモリ・インタフェース 同期式パースト・アクセス MEMC</td> </tr> <tr> <td rowspan="4">ハイ</td> <td rowspan="2">ロー</td> <td>ロー</td> <td>－</td> <td>外部マイコン・インタフェース 非同期 SRAM インタフェース・モード</td> </tr> <tr> <td>ハイ</td> <td>－</td> <td>外部マイコン・インタフェース 同期 SRAM インタフェース・モード</td> </tr> <tr> <td rowspan="2">ハイ</td> <td>ロー</td> <td>－</td> <td>設定禁止</td> </tr> <tr> <td>ハイ</td> <td>ロー</td> <td>設定禁止</td> </tr> <tr> <td></td> <td></td> <td>ハイ</td> <td>ハイ</td> <td>外部マイコン・インタフェース 同期式 SRAM タイプ転送モード (アドレス/データ多重)</td> </tr> </tbody> </table> <p>注. CC-Link IE Field にアクセスする場合は、同期 SRAM インタフェース・モードに設定する必要があります。(MEMIFSEL = ハイ・レベル、MEMCSEL = ロー・レベル、HIFSYNC = ハイ・レベル) (CC-Link IE Field は R-IN32M3-CL 版にのみ搭載しています。)</p>	モード設定				外部接続モード	MEMIFSEL	MEMCSEL	HIFSYNC	ADMUXMODE	ロー	ロー	－	－	外部メモリ・インタフェース 非同期 SRAM MEMC	ハイ	－	－	外部メモリ・インタフェース 同期式パースト・アクセス MEMC	ハイ	ロー	ロー	－	外部マイコン・インタフェース 非同期 SRAM インタフェース・モード	ハイ	－	外部マイコン・インタフェース 同期 SRAM インタフェース・モード	ハイ	ロー	－	設定禁止	ハイ	ロー	設定禁止			ハイ	ハイ	外部マイコン・インタフェース 同期式 SRAM タイプ転送モード (アドレス/データ多重)
モード設定			外部接続モード																																																															
MEMIFSEL	MEMCSEL	HIFSYNC																																																																
ロー	ロー	－	外部メモリ・インタフェース 非同期式 SRAM MEMC																																																															
	ハイ	－	外部メモリ・インタフェース 同期式 SRAM MEMC																																																															
ハイ	ロー	ロー	外部マイコン・インタフェース 非同期 SRAM インタフェース																																																															
		ハイ	外部マイコン・インタフェース 同期 SRAM インタフェース																																																															
	ハイ	ロー	設定禁止																																																															
		ハイ	外部マイコン・インタフェース 同期式 SRAM タイプ転送モード																																																															
モード設定				外部接続モード																																																														
MEMIFSEL	MEMCSEL	HIFSYNC	ADMUXMODE																																																															
ロー	ロー	－	－	外部メモリ・インタフェース 非同期 SRAM MEMC																																																														
	ハイ	－	－	外部メモリ・インタフェース 同期式パースト・アクセス MEMC																																																														
ハイ	ロー	ロー	－	外部マイコン・インタフェース 非同期 SRAM インタフェース・モード																																																														
		ハイ	－	外部マイコン・インタフェース 同期 SRAM インタフェース・モード																																																														
	ハイ	ロー	－	設定禁止																																																														
		ハイ	ロー	設定禁止																																																														
		ハイ	ハイ	外部マイコン・インタフェース 同期式 SRAM タイプ転送モード (アドレス/データ多重)																																																														

No.19 11.1.1 非同期 SRAM インタフェース・モード

図 11.1、図 11.2 内の端子処置表記、HBUSCLK 端子および注の配置を修正。

V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
27	<p>【11.1.1 非同期 SRAM インタフェース・モード】</p> <p>図11.1 32ビット幅外部マイコン・インタフェース接続例（非同期 SRAM インタフェース・モード）</p> <p>図11.2 16ビット幅外部マイコン・インタフェース接続例（非同期 SRAM インタフェース・モード）</p>	27	<p>【11.1.1 非同期 SRAM インタフェース・モード】</p> <p>図11.1 32ビット幅外部マイコン・インタフェース接続例（非同期 SRAM インタフェース・モード）</p> <p>図11.2 16ビット幅外部マイコン・インタフェース接続例（非同期 SRAM インタフェース・モード）</p>

No.20 11.1.2 同期 SRAM インタフェース・モード

図 11.3、図 11.4 内の HBUSCLK 端子および注の配置を修正。

V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
29	<p>【11.1.2 同期 SRAM インタフェース・モード】</p> <p>図11.3 32ビット幅外部マイコン・インタフェース接続例（同期 SRAM インタフェース・モード）</p> <p>図11.4 16ビット幅外部マイコン・インタフェース接続例（同期 SRAM インタフェース・モード）</p>	28	<p>【11.1.2 同期 SRAM インタフェース・モード】</p> <p>図11.3 32ビット幅外部マイコン・インタフェース接続例（同期 SRAM インタフェース・モード）</p> <p>図11.4 16ビット幅外部マイコン・インタフェース接続例（同期 SRAM インタフェース・モード）</p>

No.21 11.1.3 同期式 SRAM タイプ転送モード

図 11.5、図 11.6 内の端子処置表記、HBUSCLK 端子および注の配置を修正。

V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
30	<p>【11.1.3 同期式 SRAM タイプ転送モード】</p> <p>図11.5 32ビット幅外部マイコン・インタフェース接続例（同期式 SRAM タイプ転送モード）</p> <p>図11.6 16ビット幅外部マイコン・インタフェース接続例（同期式 SRAM タイプ転送モード）</p>	29	<p>【11.1.3 同期式 SRAM タイプ転送モード】</p> <p>図11.5 32ビット幅外部マイコン・インタフェース接続例（同期式 SRAM タイプ転送モード）</p> <p>図11.6 16ビット幅外部マイコン・インタフェース接続例（同期式 SRAM タイプ転送モード）</p>

**No.22 11.2 外部メモリ・インタフェース**

**不要な説明 (MEMIFSEL 端子) を削除。**

V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
32	<p><b>【11.2 外部メモリ・インタフェース】</b>                      外部メモリに対してマスタ機器として接続する場合について説明します。                      外部メモリ・インタフェースは、MEMCSEL 端子および MEMIFSEL 端子の端子状態により、動作接続モードが異なります(表 11.1 参照)。</p>	30	<p><b>【11.2 外部メモリ・インタフェース】</b>                      外部メモリに対してマスタ機器として接続する場合について説明します。                      外部メモリ・インタフェースは、MEMCSEL 端子の端子状態により、動作接続モードが異なります(表 11.1 参照)。</p>

**No.23 11.2.1 非同期 SRAM MEMC**

**メモリ・コントローラの呼称を統一 (非同期式 SRAM MEMC→非同期 SRAM MEMC)。**

V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
32	<p><b>【11.2.1 非同期式 SRAM MEMC】</b>                      非同期式 SRAM MEMC は、32/16 ビット・バスで外部にページ ROM/ROM/SRAM を接続できます。また、SRAM インタフェースに準ずる周辺デバイスも接続できます。                      非同期式 SRAM MEMC は、同期式バースト・アクセス MEMC と外部マイコン・インタフェースと端子兼用しており、MEMCSEL 端子および MEMIFSEL 端子がともにロー・レベルに設定のときに非同期式 SRAM MEMC を使用できます。                      BOOT0、BOOT1 端子が共にロー・レベルのときに、CSZ0 に接続されたメモリからブート動作を行います。</p>	30	<p><b>【11.2.1 非同期 SRAM MEMC】</b>                      非同期 SRAM MEMC は、32/16 ビット・バスで外部にページ ROM/ROM/SRAM を接続できます。また、SRAM インタフェースに準ずる周辺デバイスも接続できます。                      非同期 SRAM MEMC は、同期式バースト・アクセス MEMC と外部マイコン・インタフェースと端子兼用しており、MEMCSEL 端子および MEMIFSEL 端子がともにロー・レベルに設定のときに非同期 SRAM MEMC を使用できます。                      BOOT0、BOOT1 端子が共にロー・レベルのときに、CSZ0 に接続されたメモリからブート動作を行います。</p>

No.24 11.2.1.1 SRAM の接続例

図 11.7、図 11.8 内の備考を図枠外に移動。メモリ・コントローラの呼称を統一（非同期式 SRAM MEMC→非同期 SRAM MEMC）。

V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
32	<p><b>【11.2.1.1 SRAM の接続例】</b></p> <p>備考 n = 0-3</p> <p>図 11.7 32 ビット幅 SRAM との接続例 <b>非同期式</b> SRAM MEMC)</p> <p>備考 n = 0-3</p> <p>図 11.8 16 ビット幅 SRAM との接続例 <b>非同期式</b> SRAM MEMC)</p>	31	<p><b>【11.2.1.1 SRAM の接続例】</b></p> <p>図 11.7 32 ビット幅 SRAM との接続例 <b>非同期</b> SRAM MEMC)</p> <p>備考. n = 0 - 3</p> <p>図 11.8 16 ビット幅 SRAM との接続例 <b>非同期</b> SRAM MEMC)</p>

No.25 11.2.1.2 ページROMの接続例

メモリ・コントローラの呼称を統一（非同期式 SRAM MEMC→非同期 SRAM MEMC）。

V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
33	<p>【11.2.1.2 ページROMの接続例】</p> <p>図11.9 32ビット幅ページROMとの接続例 <b>非同期式</b> SRAM MEMC)</p> <p>図11.10 16ビット幅ページROMとの接続例 <b>非同期式</b> SRAM MEMC)</p>	32	<p>【11.2.1.2 ページROMの接続例】</p> <p>図11.9 32ビット幅ページROMとの接続例 <b>非同期</b> SRAM MEMC)</p> <p>図11.10 16ビット幅ページROMとの接続例 <b>非同期</b> SRAM MEMC)</p>

No.26 11.2.2 同期式バースト・アクセス MEMC

メモリ・コントローラの呼称を統一（非同期式 SRAM MEMC→非同期 SRAM MEMC）。

V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
34	<p>【11.2.2 同期式バースト・アクセス MEMC】</p> <p>また同期式バースト・アクセス MEMC は、<b>非同期式</b> SRAM MEMC と、外部マイコン・インタフェースと端子兼用しており、MEMCSEL 端子がハイ・レベル、MEMIFSEL 端子がロー・レベルのときに、同期式バースト・アクセス MEMC が選択されます。</p>	33	<p>【11.2.2 同期式バースト・アクセス MEMC】</p> <p>また同期式バースト・アクセス MEMC は、<b>非同期</b> SRAM MEMC と、外部マイコン・インタフェースと端子兼用しており、MEMCSEL 端子がハイ・レベル、MEMIFSEL 端子がロー・レベルのときに、同期式バースト・アクセス MEMC が選択されます。</p>

No.27 11.2.2.1 SRAM の接続例

図 11.11、図 11.12 内の備考を図枠外に移動。注の表記を修正。

V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
34	<p><b>【11.2.2.1 SRAM の接続例】</b></p> <p>備考 n = 0-3</p> <p>図 11.11 32 ビット幅 SRAM との接続例 (同期式バースト・アクセス MEMC)</p> <p>備考 n = 0-3</p> <p>図 11.12 16 ビット幅 SRAM との接続例 (同期式バースト・アクセス MEMC)</p>	34	<p><b>【11.2.2.1 SRAM の接続例】</b></p> <p>図 11.11 32 ビット幅 SRAM との接続例 (同期式バースト・アクセス MEMC)</p> <p>備考. n = 0 - 3</p> <p>図 11.12 16 ビット幅 SRAM との接続例 (同期式バースト・アクセス MEMC)</p>

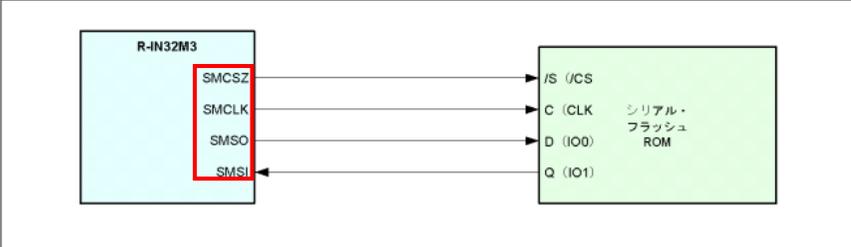
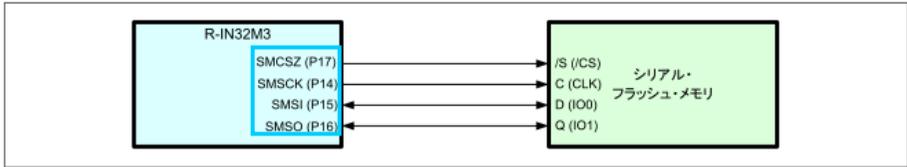
No.28 11.2.2.2 ページROMの接続例

図 11.13、図 11.14 内の注の表記を修正。

V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
35	<p><b>【11.2.2.2 ページROMの接続例】</b></p> <p>図11.13 32ビット幅ページROMとの接続例（同期式バースト・アクセスMEMC）</p> <p>図11.14 16ビット幅ページROMとの接続例（同期式バースト・アクセスMEMC）</p>	35	<p><b>【11.2.2.2 ページROMの接続例】</b></p> <p>図11.13 32ビット幅ページROMとの接続例（同期式バースト・アクセスMEMC）</p> <p>図11.14 16ビット幅ページROMとの接続例（同期式バースト・アクセスMEMC）</p>

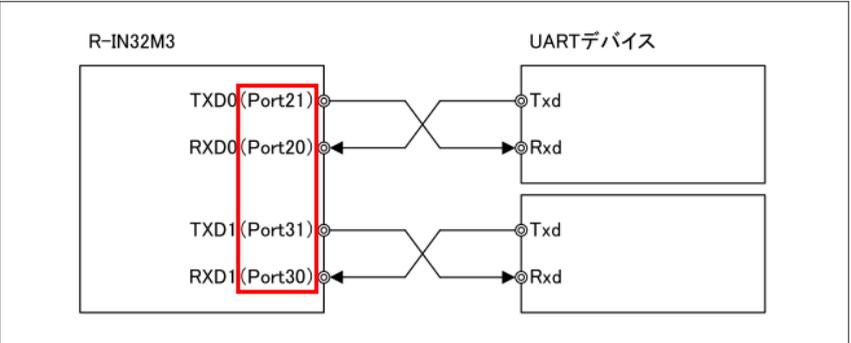
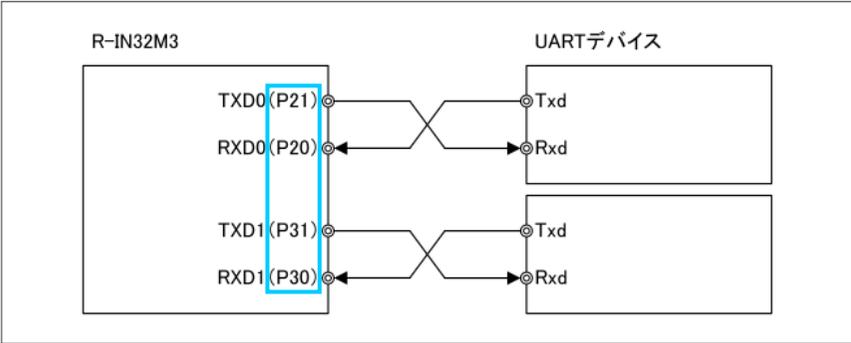
No.29 12. シリアル・フラッシュ ROM 接続端子

図 12.1 内の端子名にポート端子名を追記。

V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
36	<p>【12. シリアル・フラッシュ ROM 接続端子】</p>  <p>図12.1 シリアル・フラッシュ ROM との接続図</p>	36	<p>【12. シリアル・フラッシュ ROM 接続端子】</p>  <p>図12.1 シリアル・フラッシュ ROM との接続図</p>

No.30 13. アシクロナス・シリアル・インタフェース J 接続端子

章見出しを修正。図 13.1 内のポート端子名を修正。

V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
37	<p>【13. アシクロナス・シリアル・<del>インターフェイス</del> J 接続端子】</p> <p>R-IN32M3 とアシクロナス・シリアル・<del>インターフェイス</del> J (UART<sub>Jn</sub>) デバイスとの接続例を図 13.1 に示します。</p>  <p>図13.1 R-IN32M3 と UART デバイスとの接続例</p>	37	<p>【13. アシクロナス・シリアル・<del>インターフェイス</del> J 接続端子】</p> <p>R-IN32M3 とアシクロナス・シリアル・<del>インターフェイス</del> J (UART<sub>Jn</sub>) デバイスとの接続例を図 13.1 に示します。</p>  <p>図13.1 R-IN32M3 と UART デバイスとの接続例</p>

No.31 14. I2C 接続端子

図 14.1 内の端子処置表記を修正。ポート端子に I2C 端子名を追記。

V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
38	<p>【14. I2C 接続端子】</p> <p>図 14.1 R-IN32M3 と I2C スレーブデバイスとの接続例</p>	38	<p>【14. I2C 接続端子】</p> <p>図 14.1 R-IN32M3 と I2C スレーブデバイスとの接続例</p>

No.32 15. EtherCAT EEPROM I2C 接続端子 (R-IN32M3-EC のみ)

図 15.1 内の端子処置表記を修正。EtherCAT 端子名に兼用ポート名を追記。

V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
39	<p>【15. EtherCAT EEPROM I2C 接続端子 (R-IN32M3-EC のみ)】</p> <p>図 15.1 R-IN32M3-EC と EtherCAT EEPROM との接続例</p>	39	<p>【15. EtherCAT EEPROM I2C 接続端子 (R-IN32M3-EC のみ)】</p> <p>図 15.1 R-IN32M3-EC と EtherCAT EEPROM との接続例</p>

No.33 16. CAN 端子

図 16.1 内のポート端子名を修正。CAN 端子名を追記。備考を図枠外に移動。

V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
40	<p><b>【16. CAN 端子】</b></p> <p>図16.1 R-IN32M3 と CAN トランシーバとの接続例</p>	40	<p><b>【16. CAN 端子】</b></p> <p>図16.1 R-IN32M3 と CAN トランシーバとの接続例</p> <p>備考. n = 0 - 1</p>

No.34 17. JTAG/トレース端子

図 17.1 内の ICE コネクタの nRESET 端子への接続を修正。端子処置および GND 表記を修正。

V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
41	<p>【17. JTAG/トレース端子】</p> <p>図 17.1 JTAG インタフェース接続例(20pin ハーフピッチ、トレースなし)</p> <p>nRESET 信号は、RESETZ に繋いでいれば HOTRESETZ への入力は不要です。  <b>RESRTZ</b> は LSI 全体をリセットしますが、HOTRESETZ のみの場合には内部 PLL はリセットされません。用途に合わせてお使い下さい。                  また、nRESET 信号を PONRZ 信号には接続しないようにしてください。</p>	41	<p>【17. JTAG/トレース端子】</p> <p>図 17.1 JTAG インタフェース接続例(20pin ハーフピッチ、トレースなし)</p> <p>nRESET 信号は、RESETZ に繋いでいれば HOTRESETZ への入力は不要です。  <b>RESETZ</b> は LSI 全体をリセットしますが、HOTRESETZ のみの場合には内部 PLL はリセットされません。用途に合わせてお使い下さい。                  また、nRESET 信号を PONRZ 信号には接続しないようにしてください。</p>

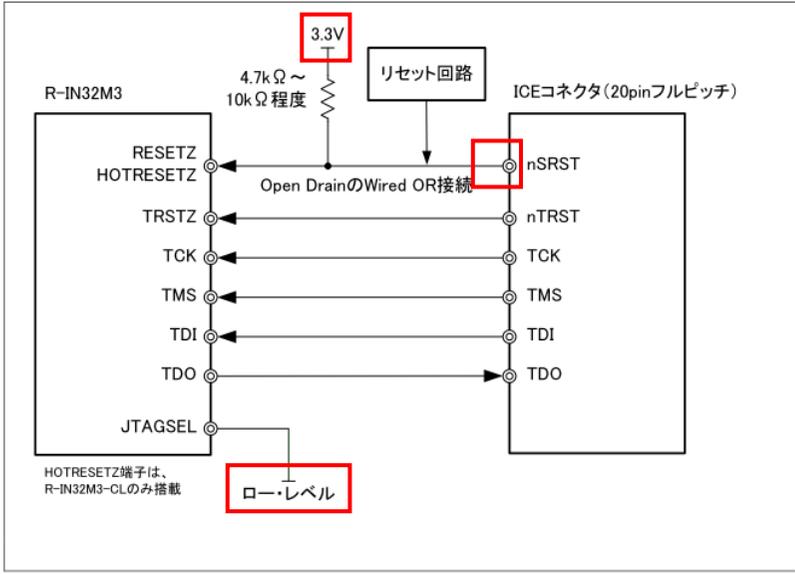
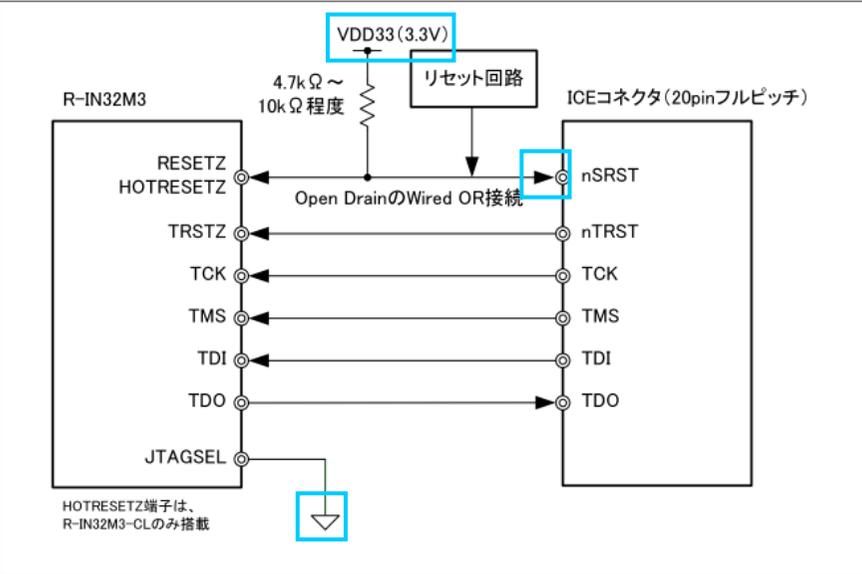
No.35 17. JTAG/トレース端子

図 17.2 内の ICE コネクタの nRESET 端子への接続を修正。配線長の制約説明を修正。端子処置および GND 表記を修正。

V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
42	<p>【17. JTAG/トレース端子】</p> <p>図 17.2 JTAG インタフェース接続例 (20pin ハーフピッチ、トレースあり)</p>	42	<p>【17. JTAG/トレース端子】</p> <p>図 17.2 JTAG インタフェース接続例 (20pin ハーフピッチ、トレースあり)</p>

No.36 17. JTAG/トレース端子

図 17.3 内の ICE コネクタの nSRST 端子への接続を修正。端子処置および GND 表記を修正。

V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
43	<p><b>【17. JTAG/トレース端子】</b></p>  <p>図 17.3 JTAG インタフェース接続例 (20pin フルピッチ)</p>	43	<p><b>【17. JTAG/トレース端子】</b></p>  <p>図 17.3 JTAG インタフェース接続例 (20pin フルピッチ)</p>

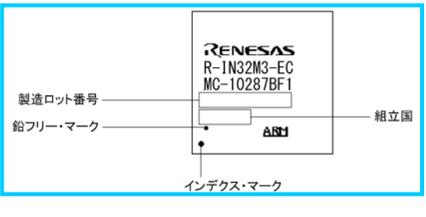
No.37 22. IBIS 情報

ウェブサイトの URL を修正。

V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
50	<p><b>【22. IBIS 情報】</b>                      IBIS 情報は、以下のウェブサイトより入手してください。  <a href="http://japan.renesas.com/products/soc/assp/fa_lsi/multi_protocol_communication/r-in32m3/peer/documents.jsp">http://japan.renesas.com/products/soc/assp/fa_lsi/multi_protocol_communication/r-in32m3/peer/documents.jsp</a></p>	50	<p><b>【22. IBIS 情報】</b>                      IBIS 情報は、以下のウェブサイトより入手してください。  <a href="https://www.renesas.com/products/factory-automation/multi-protocol-communication.html">https://www.renesas.com/products/factory-automation/multi-protocol-communication.html</a></p>

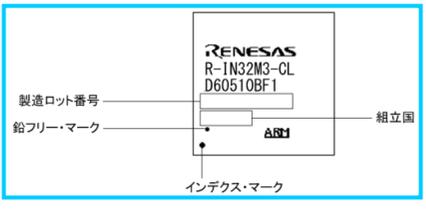
**No.38 23.1 R-IN32M3-EC**

R-IN32M3-EC の品名および捺印情報を修正。

V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
51	<p><b>【23.1 R-IN32M3-EC】</b> 品名: MC-10287F1-HN4-M1-A</p>  <p>図 23.1 R-IN32M3-EC 捺印情報</p>	51	<p><b>【23.1 R-IN32M3-EC】</b> 品名: MC-10287BF1-HN4-A、MC-10287BF1-HN4-M1-A</p>  <p>図 23.1 R-IN32M3-EC 捺印情報</p>

**No.39 23.2 R-IN32M3-CL**

R-IN32M3-CL の品名および捺印情報を修正。

V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
51	<p><b>【23.2 R-IN32M3-CL】</b> 品名: UPD60510F1-HN4-M1-A</p>  <p>図 23.2 R-IN32M3-CL 捺印情報</p>	51	<p><b>【23.2 R-IN32M3-CL】</b> 品名: UPD60510BF1-HN4-A、UPD60510BF1-HN4-M1-A</p>  <p>図 23.2 R-IN32M3-CL 捺印情報</p>

**No.40 24. 熱設計ガイド**

**R-IN32M3-EC を対象とした熱設計ガイドを新規追加。**

V2.04		V3.00	
ページ	記載内容	ページ	改訂内容
-	(記載なし)	52-60	【24. 熱設計ガイド】