

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24

豊洲フォレシア

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RL*-A031C/J	Rev.	第4版
題名	誤記訂正通知 RL78/L13 ユーザーズマニュアル Rev.2.00 の記載変更		情報分類	技術情報	
適用製品	RL78/L13 グループ	対象ロット等	関連資料	RL78/L13 ユーザーズマニュアル ハードウェア編 Rev.2.00 R01UH0382JJ0200 (Nov.2013)	
		全ロット			

RL78/L13 ユーザーズマニュアル ハードウェア編 Rev.2.00 (R01UH0382JJ0200)において、下記訂正がございます。

今回通知する訂正内容

訂正箇所	該当ページ	内容
2.1.1 64ピン製品	p.15	誤記訂正
2.1.2 80ピン製品	p.19	誤記訂正
2.4 端子ブロック図 図2-5 端子タイプ 7-1-3 の端子ブロック図	p.30	誤記訂正
2.4 端子ブロック図 図2-9 端子タイプ 7-5-10 の端子ブロック図	p.34	注意追加
2.4 端子ブロック図 図2-11 端子タイプ 7-6-4 の端子ブロック図	p.36	注意追加
2.4 端子ブロック図 図2-14 端子タイプ 8-5-4 の端子ブロック図	p.39	注意追加
2.4 端子ブロック図 図2-15 端子タイプ 8-5-10 の端子ブロック図	p.40	注意追加
2.4 端子ブロック図 図2-16 端子タイプ 8-6-4 の端子ブロック図	p.41	注意追加

ドキュメント改善計画

本訂正内容については、次回ユーザーズマニュアル改版時に修正を行います。

ユーザーズマニュアルの訂正一覧

No	訂正内容と該当箇所			本通知での 該当ページ
	ドキュメントNo.	和文	R01UH0382JJ0200	
1	14.5.7 SNOOZEモード機能 SNOOZEモード動作時のタイミング・チャート(図14-71, 図14-73)		p.585, p.587	p.3, 4
2	14.6.3 SNOOZEモード機能		p.610	p.5
3	14.6.3 SNOOZEモード機能 SNOOZEモード動作時のタイミング・チャート(図14-90, 図14-91, 図14-93)		p.612, p.613, p.615	p.6-8
4	19.4.3 多重割り込み処理 表19-5 割り込み処理中に多重割り込み可能な割り込み要求の関係		p.860	p.9
5	32.1 絶対最大定格		p.1002	p.10
6	32.8 データ・メモリSTOPモード低電源電圧データ保持特性		p.1060	p.11
7	33.1 絶対最大定格		p.1066	p.12
8	33.8 データ・メモリSTOPモード低電源電圧データ保持特性		p.1117	p.13
9	6.3.3 タイマ・モード・レジスタmn(TMRmn) 図6-12 タイマ・モード・レジスタmn(TMRmn)のフォーマット(4/4)		p.214	p.14
10	32.3.1 端子特性		p.1005, 1006	p.15, 16
11	33.3.1 端子特性		p.1069, 1070	p.17, 18
12	8.3.5 リアルタイム・クロック・コントロール・レジスタ1(RTCC1)		p.401	p.19
13	5.6.4 CPUクロック状態移行図 表5-3 CPUクロックの移行とSFRLレジスタの設定例(3/5)の誤記訂正		p.181	p.20
14	8.4.1 リアルタイム・クロック2の動作開始		p.414	p.21
15	2.1.1 64ピン製品		p.15	p.22
16	2.1.2 80ピン製品		p.19	p.23
17	2.4 端子ブロック図 図2-5 端子タイプ 7-1-3 の端子ブロック図		p.30	p.24
18	2.4 端子ブロック図 図2-9 端子タイプ 7-5-10 の端子ブロック図		p.34	p.25
19	2.4 端子ブロック図 図2-11 端子タイプ 7-6-4 の端子ブロック図		p.36	p.26
20	2.4 端子ブロック図 図2-14 端子タイプ 8-5-4 の端子ブロック図		p.39	p.27
21	2.4 端子ブロック図 図2-15 端子タイプ 8-5-10 の端子ブロック図		p.40	p.28
22	2.4 端子ブロック図 図2-16 端子タイプ 8-6-4 の端子ブロック図		p.41	p.29

誤記訂正の該当箇所は、**誤)太字下線**、**正)グレー・ハッチング**で記載します。

記載変更・注意追加の該当箇所は、**旧)太字下線**、**新)グレー・ハッチング**で記載します。

発行文書履歴

RL78/L13 ユーザーズマニュアル Rev.2.00 誤記訂正通知 発行文書履歴

文書番号	発行日	記事
TN-RL*-A029A/J	2014年6月27日	初版発行 訂正一覧の No.1 ~ No.8 の誤記訂正
TN-RL*-A031A/J	2014年9月17日	2版発行 訂正一覧の No.9 ~ No.11 の誤記訂正
TN-RL*-A046A/J	2015年7月6日	訂正一覧の No.12 の記載追加
TN-RL*-A031B/J	2015年7月31日	3版発行 訂正一覧の No.13~No.14 の誤記訂正
TN-RL*-A031C/J	2016年2月22日	4版発行 訂正一覧の No.15~No.22 の誤記訂正(本通知です。)

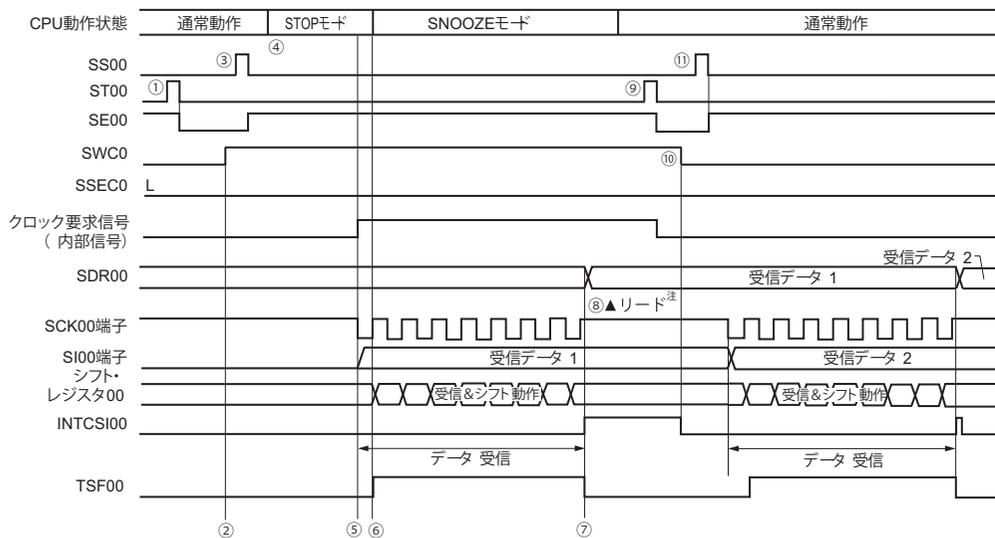
1. 14.5.7 SNOOZE モード機能

SNOOZE モード動作時のタイミング・チャート(図 14-71, 図 14-73) (p.585, p.587)

CPU動作状態、クロック要求信号(内部信号)とTSF00のタイミング・チャートの誤記訂正

誤)

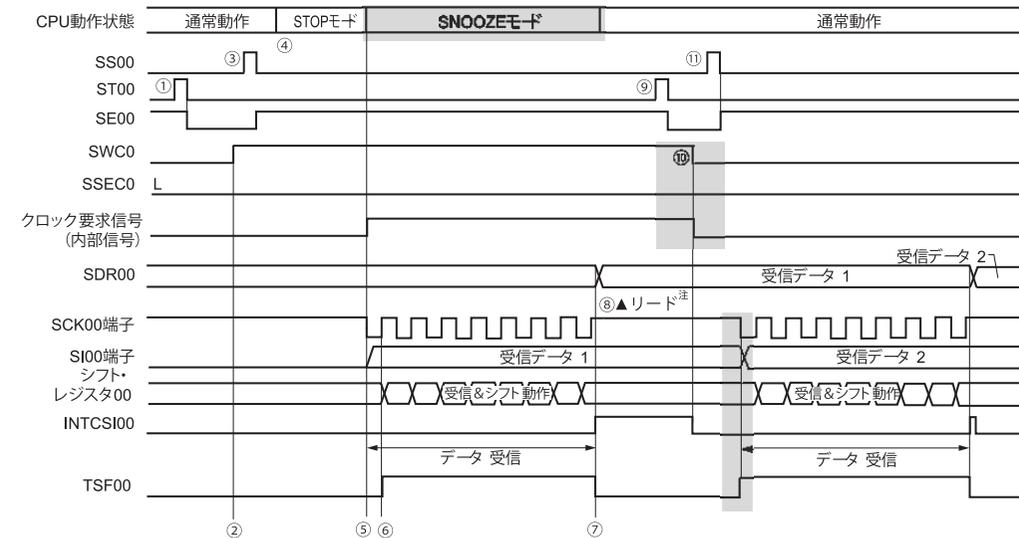
図 14 - 71 SNOOZE モード動作 (1 回起動) 時のタイミング・チャート
(タイプ 1 : DAPmn = 0, CKPmn = 0)



(省略)

正)

図 14 - 71 SNOOZE モード動作 (1 回起動) 時のタイミング・チャート
(タイプ 1 : DAPmn = 0, CKPmn = 0)

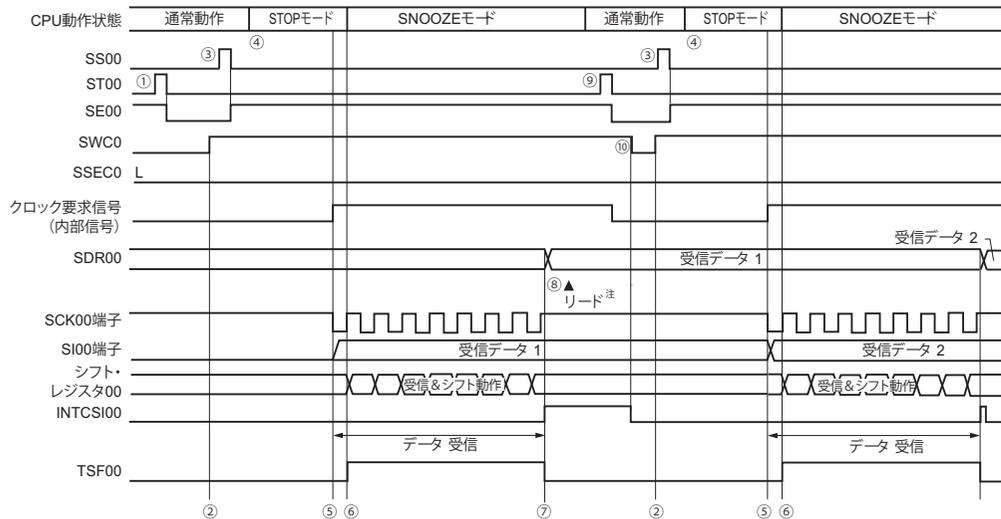


(省略)

CPU動作状態、クロック要求信号(内部信号)とINTCSI00のタイミング・チャートの誤記訂正

誤)

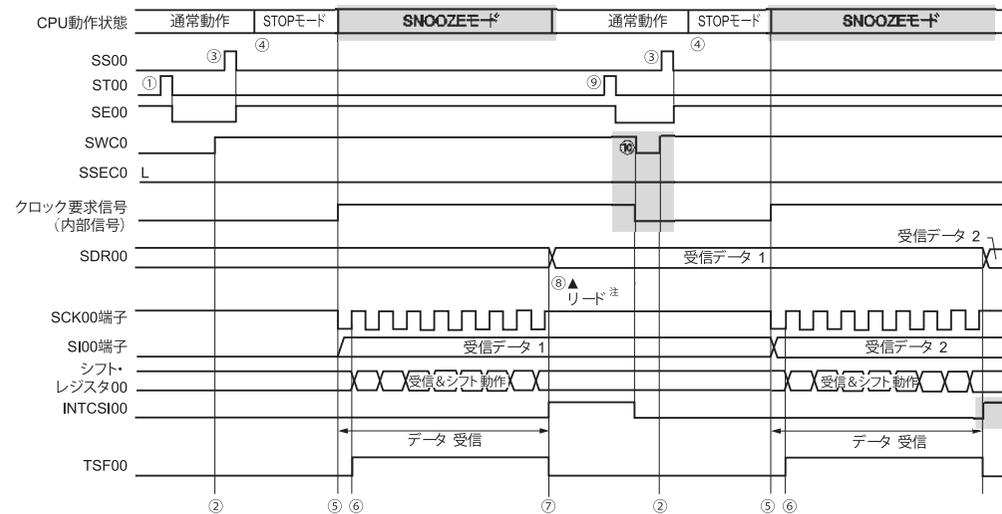
図 14 - 73 SNOOZE モード動作(連続起動)時のタイミング・チャート
(タイプ 1 : DAPmn = 0, CKPmn = 0)



(省略)

正)

図 14 - 73 SNOOZE モード動作(連続起動)時のタイミング・チャート
(タイプ 1 : DAPmn = 0, CKPmn = 0)



(省略)

2. 14.6.3 SNOOZE モード機能の注意追加(p.610)

誤)

14.6.3 SNOOZEモード機能

STOPモード時にRxDq端子入力の検出により、UART受信を動作させるモードです。通常STOPモード時はUARTの通信動作を停止しますが、SNOOZEモード機能を使用することで、CPUを動作させずにUART受信を行うことができます。

(省略)

注意1. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロック(fIH)を選択している場合のみ設定可能です。

(省略)

4. SSECm=1の設定では、パリティ・エラー、フレーミング・エラー、オーバーラン・エラー時にPEFmn、FEFmn、OVFmnフラグはセットされず、エラー割り込み(INTSREq)も発生しません。そのため、SSECm = 1で使用するときは、SWC0=1に設定する前にPEFmn、FEFmn、OVFmnフラグをクリアし、また、SDRm1レジスタのビット7-0 (RxDq)を読み出してください。

正)

14.6.3 SNOOZEモード機能

STOPモード時にRxDq端子入力の検出により、UART受信を動作させるモードです。通常STOPモード時はUARTの通信動作を停止しますが、SNOOZEモード機能を使用することで、CPUを動作させずにUART受信を行うことができます。

(省略)

注意1. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロック(fIH)を選択している場合のみ設定可能です。

(省略)

4. SSECm=1の設定では、パリティ・エラー、フレーミング・エラー、オーバーラン・エラー時にPEFmn、FEFmn、OVFmnフラグはセットされず、エラー割り込み(INTSREq)も発生しません。そのため、SSECm = 1で使用するときは、SWC0=1に設定する前にPEFmn、FEFmn、OVFmnフラグをクリアし、また、SDRm1レジスタのビット7-0 (RxDq)を読み出してください。

5. RxDq端子の有効エッジ検出によりSNOOZEモードへ移行します。また、スタート・ビット入力を検出できないような短いパルスを受けるとUART受信が開始されず、SNOOZEモードを継続することがあります。この場合、次のUART受信で正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

3. 14.6.3 SNOOZE モード機能

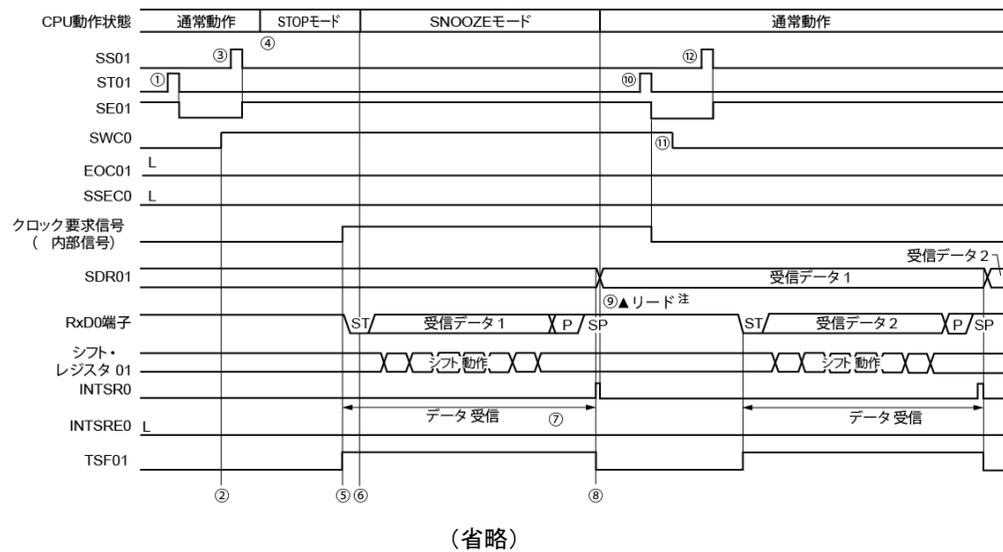
SNOOZE モード動作時のタイミング・チャート(図 14-90, 図 14-91,

図 14-93) (p.612, p.613, p.615)

CPU動作状態、クロック要求信号(内部信号)、INTSR0とTSF01のタイミング・チャートの誤記訂正

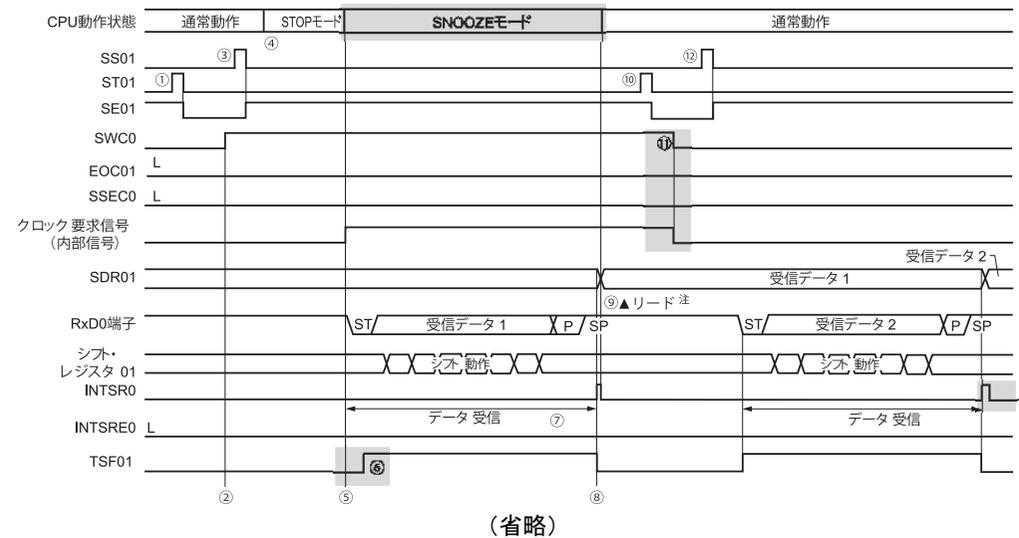
誤)

図 14 - 90 SNOOZE モード動作 (EOCm1 = 0, SSECm = 0/1) 時のタイミング・チャート



正)

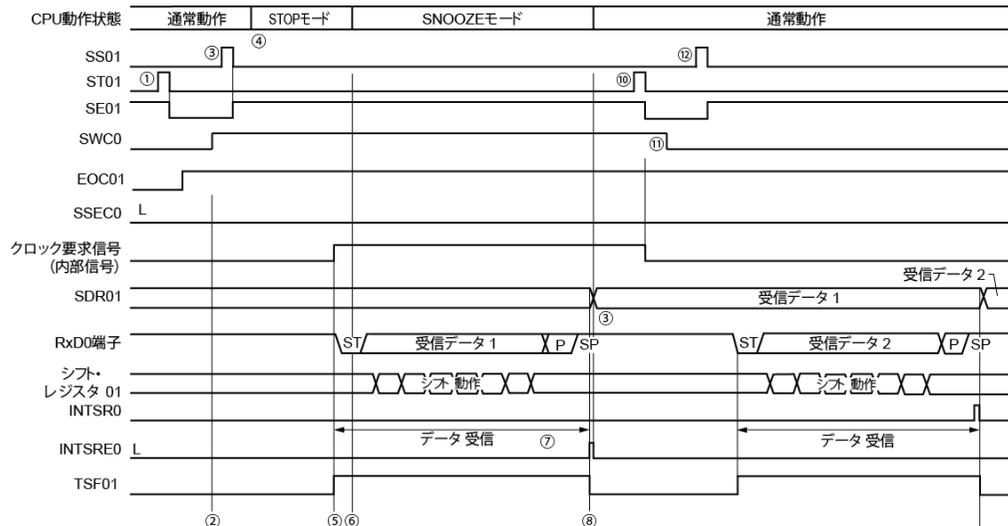
図 14 - 90 SNOOZE モード動作 (EOCm1 = 0, SSECm = 0/1) 時のタイミング・チャート



CPU 動作状態、クロック要求信号（内部信号）、SDR01、INTSR0 と TSF01 のタイミング・チャートの誤記訂正

誤)

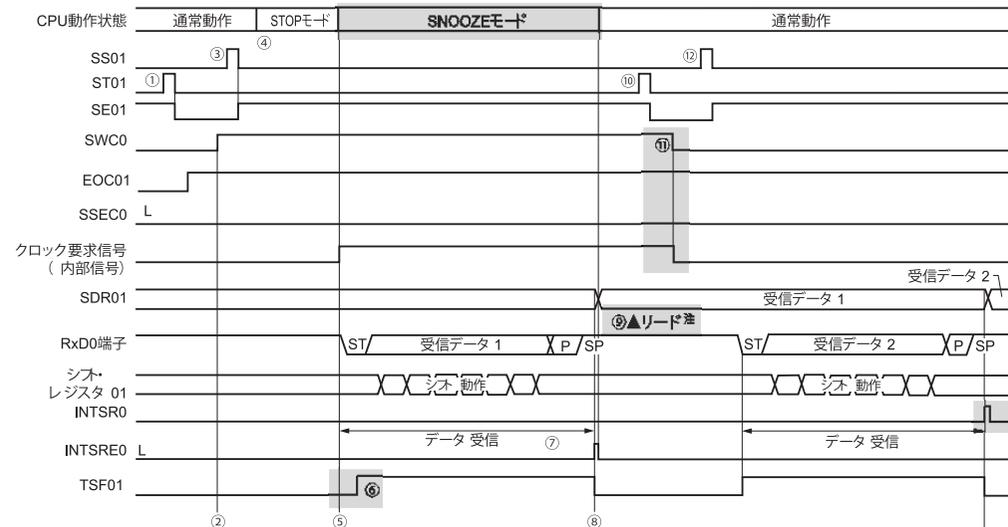
図 14 - 91 SNOOZE モード動作 (EOCm1 = 1, SSECm = 0) 時のタイミング・チャート



(省略)

正)

図 14 - 91 SNOOZE モード動作 (EOCm1 = 1, SSECm = 0) 時のタイミング・チャート

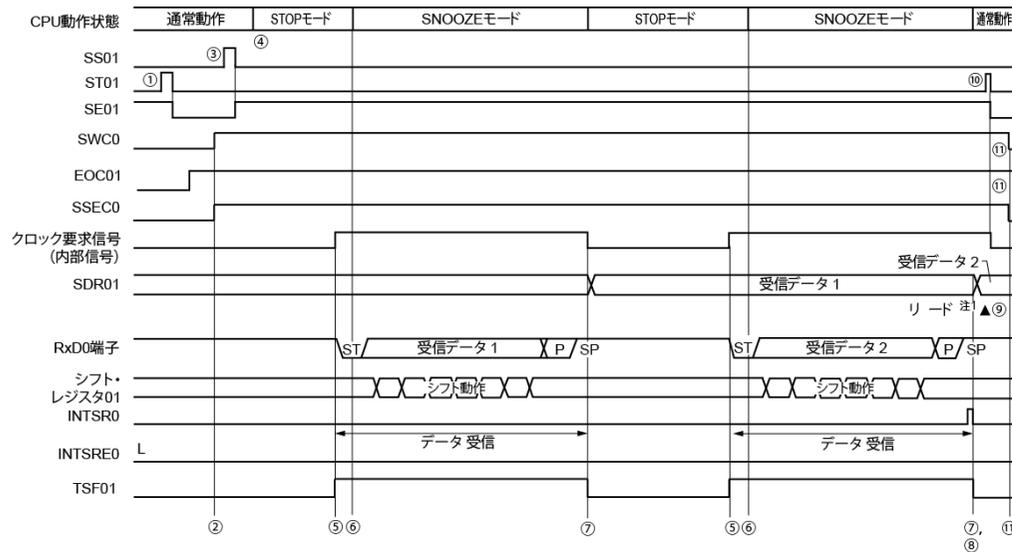


(省略)

CPU動作状態、クロック要求信号(内部信号)、INTSR0とTSF01のタイミング・チャートの誤記訂正

誤)

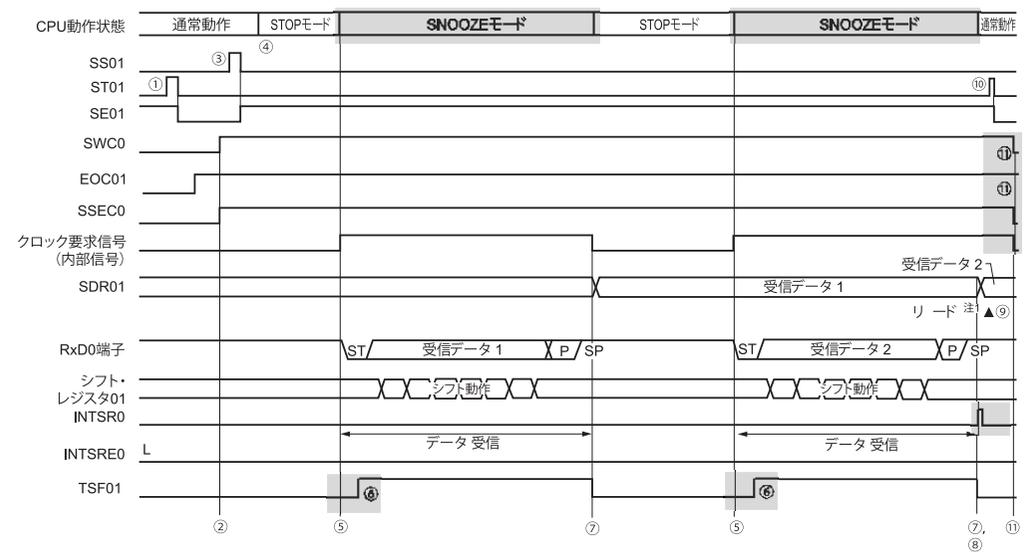
図 14 - 93 SNOOZE モード動作 (EOCm1 = 1, SSECm = 1) 時のタイミング・チャート



(省略)

正)

図 14 - 93 SNOOZE モード動作 (EOCm1 = 1, SSECm = 1) 時のタイミング・チャート



(省略)

4. 19.4.3 多重割り込み処理

表 19-5 割り込み処理中に多重割り込み可能な割り込み要求の関係

(p.860)

誤)

表19-5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスカブル割り込み要求								ソフト ウェア 割り込 み要求
		優先順位レベル0 (PR = 00)		優先順位レベル1 (PR = 01)		優先順位レベル2 (PR = 10)		優先順位レベル3 (PR = 11)		
		IE = 1	IE = 0							
マスカブル 割り込み	ISP1 = 0 ISP0 = 0		x	x	x	x	x	x	x	
	ISP1 = 0 ISP0 = 1		x		x	x	x	x	x	
	ISP1 = 1 ISP0 = 0		x		x		x	x	x	
	ISP1 = 1 ISP0 = 1		---		---		---		---	
	ソフトウェア割り込み		x		x		x		x	

(省略)

正)

表19-5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスカブル割り込み要求								ソフト ウェア 割り込 み要求
		優先順位レベル0 (PR = 00)		優先順位レベル1 (PR = 01)		優先順位レベル2 (PR = 10)		優先順位レベル3 (PR = 11)		
		IE = 1	IE = 0							
マスカブル 割り込み	ISP1 = 0 ISP0 = 0		x	x	x	x	x	x	x	
	ISP1 = 0 ISP0 = 1		x		x	x	x	x	x	
	ISP1 = 1 ISP0 = 0		x		x		x	x	x	
	ISP1 = 1 ISP0 = 1		x		x		x		x	
	ソフトウェア割り込み		x		x		x		x	

(省略)

5. 32.1 絶対最大定格(p.1002)

誤)

絶対最大定格 (3/3)

項目	略号	条件		定格	単位
ハイ・レベル 出力電流	I _{OH1}	1端子	P00-P07, P14-P17 , P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P125-P127, P130	- 40	mA
		端子合計 - 170 mA	P00-P07, P14-P17 , P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P125-P127, P130	- 170	mA
	I _{OH2}	1端子	P10-P13, P20-P27	- 0.5	mA
		端子合計		2	mA
ロウ・レベル 出力電流	I _{OL1}	1端子	P00-P07, P14-P17 , P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P125-P127, P130	40	mA
		端子合計 170 mA	P40-P47, P130	70	mA
			P00-P07, P14-P17 , P30-P35, P50-P57, P60, P61, P70-P77, P125-P127	100	mA
	I _{OL2}	1端子	P10-P13, P20-P27	1	mA
		端子合計		5	mA
動作周囲 温度	T _A	通常動作時		- 40 ~ + 85	
		フラッシュ・メモリ・プログラミング時			
保存温度	T _{stg}			- 65 ~ + 150	

正)

絶対最大定格 (3/3)

項目	略号	条件		定格	単位
ハイ・レベル 出力電流	I _{OH1}	1端子	P00-P07, P10-P17, P22-P27 , P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P125-P127, P130	- 40	mA
		端子合計 - 170 mA	P00-P07, P10-P17, P22-P27 , P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P125-P127, P130	- 170	mA
	I _{OH2}	1端子	P20-P21	- 0.5	mA
		端子合計		1	mA
ロウ・レベル 出力電流	I _{OL1}	1端子	P00-P07, P10-P17, P22-P27 , P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P125-P127, P130	40	mA
		端子合計 170 mA	P40-P47, P130	70	mA
			P00-P07, P10-P17, P22-P27 , P30-P35, P50-P57, P60, P61, P70-P77, P125-P127	100	mA
	I _{OL2}	1端子	P20-P21	1	mA
		端子合計		2	mA
動作周囲 温度	T _A	通常動作時		- 40 ~ + 85	
		フラッシュ・メモリ・プログラミング時			
保存温度	T _{stg}			- 65 ~ + 150	

6. 32.8 データ・メモリ STOP モード低電源電圧データ保持特性(p.1060)

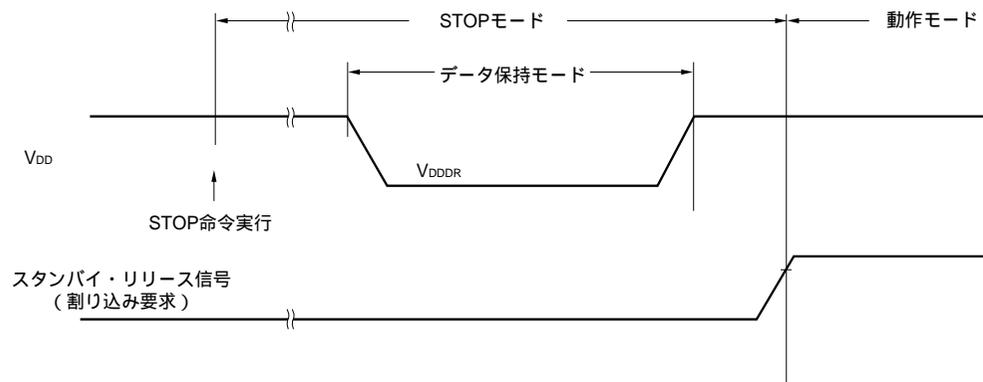
旧)

32.8 データ・メモリSTOPモード低電源電圧データ保持特性

($T_A = -40 \sim +85$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.46 ^注		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではデータを保持しますが、PORリセットがかかった場合のデータは保持されません。



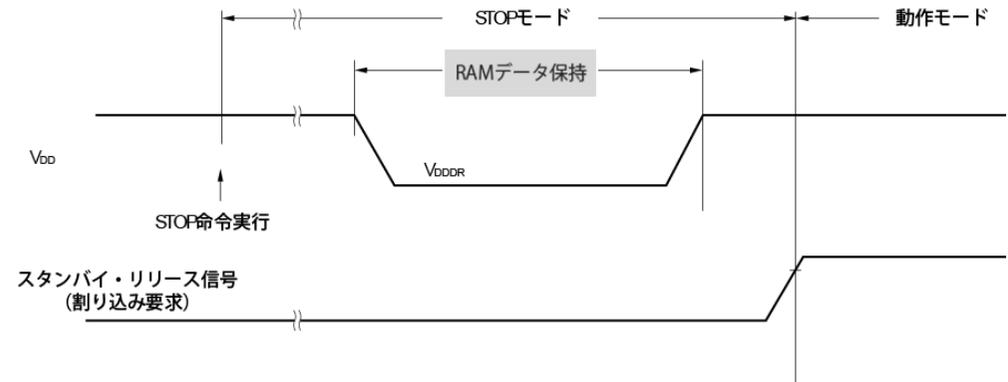
新)

32.8 RAMデータ保持特性

($T_A = -40 \sim +85$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.46 ^注		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。



7. 33.1 絶対最大定格(p.1066)

誤)

絶対最大定格 (3/3)

項目	略号	条件		定格	単位
ハイ・レベル 出力電流	I _{OH1}	1端子	P00-P07, P14-P17 , P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P125-P127, P130	- 40	mA
		端子合計 - 170 mA	P00-P07, P14-P17 , P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P125-P127, P130	- 170	mA
	I _{OH2}	1端子	P10-P13, P20-P27	- 0.5	mA
		端子合計		<u>- 2</u>	mA
ロウ・レベル 出力電流	I _{OL1}	1端子	P00-P07, P14-P17 , P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P125-P127, P130	40	mA
		端子合計 170 mA	P40-P47, P130	70	mA
			P00-P07, P14-P17 , P30-P35, P50-P57, P60, P61, P70-P77, P125-P127	100	mA
	I _{OL2}	1端子	P10-P13, P20-P27	1	mA
		端子合計		<u>5</u>	mA
	動作周囲 温度	T _A	通常動作時	- 40 ~ + 105	
フラッシュ・メモリ・プログラミング時					
保存温度	T _{stg}		- 65 ~ + 150		

正)

絶対最大定格 (3/3)

項目	略号	条件		定格	単位
ハイ・レベル 出力電流	I _{OH1}	1端子	P00-P07, P10-P17, P22-P27 , P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P125-P127, P130	- 40	mA
		端子合計 - 170 mA	P00-P07, P10-P17, P22-P27 , P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P125-P127, P130	- 170	mA
	I _{OH2}	1端子	P20-P21	- 0.5	mA
		端子合計		<u>- 1</u>	mA
ロウ・レベル 出力電流	I _{OL1}	1端子	P00-P07, P10-P17, P22-P27 , P30-P35, P40-P47, P50-P57, P60, P61, P70-P77, P125-P127, P130	40	mA
		端子合計 170 mA	P40-P47, P130	70	mA
			P10-P17, P22-P27 , P30-P35, P50-P57, P60, P61, P70-P77, P125-P127	100	mA
	I _{OL2}	1端子	P20-P21	1	mA
		端子合計		<u>2</u>	mA
	動作周囲 温度	T _A	通常動作時	- 40 ~ + 105	
フラッシュ・メモリ・プログラミング時					
保存温度	T _{stg}		- 65 ~ + 150		

8. 33.7 データ・メモリ STOP モード低電源電圧データ保持特性(p.1117)

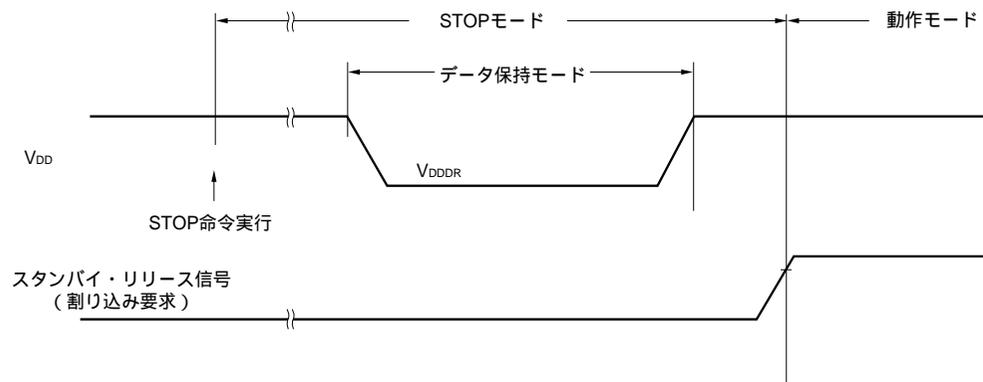
旧)

30.7 データ・メモリSTOPモード低電源電圧データ保持特性

($T_A = -40 \sim +105$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.44 ^注		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではデータを保持しますが、PORリセットがかかった場合のデータは保持されません。



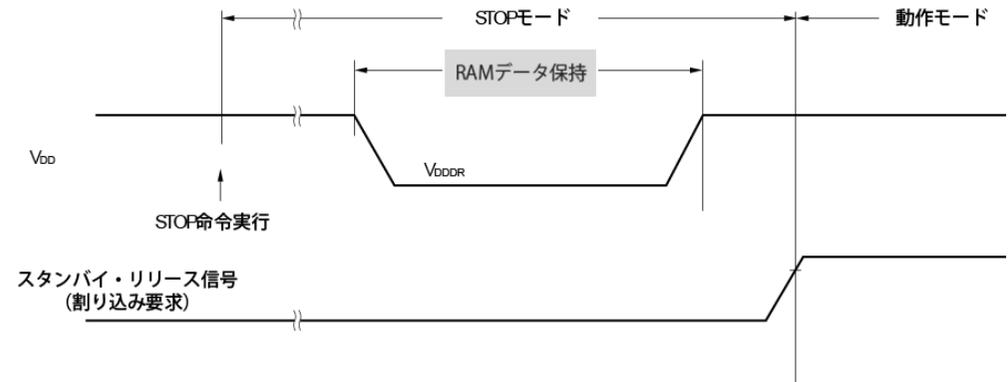
新)

30.7 RAMデータ保持特性

($T_A = -40 \sim +105$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.44 ^注		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。



9.6.3.3 タイマ・モード・レジスタmn(TMRmn)

図 6-12 タイマ・モード・レジスタ mn(TMRmn)のフォーマット(4/4)(p.214)

誤)

図6-12 タイマ・モード・レジスタmn (TMRmn) のフォーマット (4/4)

アドレス:F0190H, F0191H(TMR00)-F019EH, F019FH(TMR07) リセット時:0000H R/W

(省略)

動作モード (MDmn3-MDmn1で設定 (上表参照))	MD mn0	カウント・スタートと割り込みの設定
・インターバル・タイマ・モード (0, 0, 0) ・キャプチャ・モード (0, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
	1	カウント開始時にタイマ割り込みを発生する (タイマ出力も変化させる)。
・イベント・カウンタ・モード (0, 1, 1)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・ワンカウント・モード ^{注2} (1, 0, 0)	0	カウント動作中のスタート・トリガは無効とする。 その際に割り込みは発生しない。
	1	カウント動作中のスタート・トリガを有効とする ^{注3} 。 その際に割り込みは発生する。
・キャプチャ&ワンカウント・モード(1, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。 カウント動作中のスタート・トリガは無効とする。 その際に割り込みは発生しない。
上記以外		設定禁止

正)

図6-12 タイマ・モード・レジスタmn (TMRmn) のフォーマット (4/4)

アドレス:F0190H, F0191H(TMR00)-F019EH, F019FH(TMR07) リセット時:0000H R/W

(省略)

動作モード (MDmn3-MDmn1で設定 (上表参照))	MD mn0	カウント・スタートと割り込みの設定
・インターバル・タイマ・モード (0, 0, 0) ・キャプチャ・モード (0, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
	1	カウント開始時にタイマ割り込みを発生する (タイマ出力も変化させる)。
・イベント・カウンタ・モード (0, 1, 1)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・ワンカウント・モード ^{注2} (1, 0, 0)	0	カウント動作中のスタート・トリガは無効とする。 その際に割り込みは発生しない。
	1	カウント動作中のスタート・トリガを有効とする ^{注3} 。 その際に割り込みは発生しない。
・キャプチャ&ワンカウント・モード(1, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。 カウント動作中のスタート・トリガは無効とする。 その際に割り込みは発生しない。
上記以外		設定禁止

10.32.3.1 端子特性(p.1005, p.1006)

誤)

($T_A = -40 \sim +85$, $1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流 注1	IOH1	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130 1端子	1.6 V	$V_{DD} \leq 5.5$	- 10.0 注2	mA
		P00-P07, P14-P17, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130	4.0 V	$V_{DD} \leq 5.5$	- 90.0	mA
			2.7 V	$V_{DD} < 4.0$	- 15.0	mA
		合計 (デューティ = 70 %時 注3)	1.8 V	$V_{DD} < 2.7$	- 7.0	mA
			1.6 V	$V_{DD} < 1.8$	- 3.0	mA
	IOH2	P20, P21 1端子	1.6 V	$V_{DD} \leq 5.5$	- 0.1 注2	mA
	全端子合計 (デューティ = 70 %時 注3)	1.6 V	$V_{DD} \leq 5.5$	- 0.2	mA	

(省略)

正)

($T_A = -40 \sim +85$, $1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流 注1	IOH1	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130 1端子	1.6 V	$V_{DD} \leq 5.5$	- 10.0 注2	mA
		P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130	4.0 V	$V_{DD} \leq 5.5$	- 90.0	mA
			2.7 V	$V_{DD} < 4.0$	- 15.0	mA
		合計 (デューティ = 70 %時 注3)	1.8 V	$V_{DD} < 2.7$	- 7.0	mA
			1.6 V	$V_{DD} < 1.8$	- 3.0	mA
	IOH2	P20, P21 1端子	1.6 V	$V_{DD} \leq 5.5$	- 0.1 注2	mA
	全端子合計 (デューティ = 70 %時 注3)	1.6 V	$V_{DD} \leq 5.5$	- 0.2	mA	

(省略)

誤)

($T_A = -40 \sim +85$, 1.6 V $V_{DD} = 5.5$ V, $V_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電流 ^{注1}	IOL1	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130 1端子			20.0 ^{注2}	mA	
		P60, P61 1端子			15.0 ^{注2}	mA	
		P40-P47, P130 合計 (デューティ = 70% 時 ^{注3})	4.0 V $V_{DD} = 5.5$ V			70.0	mA
			2.7 V $V_{DD} < 4.0$ V			15.0	mA
			1.8 V $V_{DD} < 2.7$ V			9.0	mA
			1.6 V $V_{DD} < 1.8$ V			4.5	mA
		P00-P07, P14-P17 , P30-P35, P50-P57, P70-P77, P125-P127 合計 (デューティ = 70% 時 ^{注3})	4.0 V $V_{DD} = 5.5$ V			90.0	mA
			2.7 V $V_{DD} < 4.0$ V			35.0	mA
			1.8 V $V_{DD} < 2.7$ V			20.0	mA
		1.6 V $V_{DD} < 1.8$ V			10.0	mA	
	全端子合計 (デューティ = 70% 時 ^{注3})				160.0	mA	
	IOL2	P20, P21 1端子			0.4 ^{注2}	mA	
	全端子合計 (デューティ = 70% 時 ^{注3})	1.6 V $V_{DD} = 5.5$ V			0.8	mA	

(省略)

正)

($T_A = -40 \sim +85$, 1.6 V $V_{DD} = 5.5$ V, $V_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電流 ^{注1}	IOL1	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130 1端子			20.0 ^{注2}	mA	
		P60, P61 1端子			15.0 ^{注2}	mA	
		P40-P47, P130 合計 (デューティ = 70% 時 ^{注3})	4.0 V $V_{DD} = 5.5$ V			70.0	mA
			2.7 V $V_{DD} < 4.0$ V			15.0	mA
			1.8 V $V_{DD} < 2.7$ V			9.0	mA
			1.6 V $V_{DD} < 1.8$ V			4.5	mA
		P00-P07, P10-P17, P22-P27, P30-P35, P50-P57, P70-P77, P125-P127 合計 (デューティ = 70% 時 ^{注3})	4.0 V $V_{DD} = 5.5$ V			90.0	mA
			2.7 V $V_{DD} < 4.0$ V			35.0	mA
			1.8 V $V_{DD} < 2.7$ V			20.0	mA
			1.6 V $V_{DD} < 1.8$ V			10.0	mA
	全端子合計 (デューティ = 70% 時 ^{注3})				160.0	mA	
	IOL2	P20, P21 1端子			0.4 ^{注2}	mA	
	全端子合計 (デューティ = 70% 時 ^{注3})	1.6 V $V_{DD} = 5.5$ V			0.8	mA	

(省略)

11. 33. 3. 1 端子特性(p.1069 , p.1070)

誤)

($T_A = -40 \sim +105$, 2.4 V $V_{DD} = 5.5$ V, $V_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 ^{注1}	IOH1	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130 1端子	2.4 V V_{DD} 5.5 V			- 3.0 ^{注2}	mA
		P00-P07, P14-P17, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130	4.0 V V_{DD} 5.5 V			- 45.0	mA
		P00-P07, P14-P17, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130	2.7 V $V_{DD} <$ 4.0 V			- 15.0	mA
		合計 (デューティ = 70 % 時 ^{注3})	2.4 V $V_{DD} <$ 2.7 V			- 7.0	mA
	IOH2	P20, P21 1端子	2.4 V V_{DD} 5.5 V			- 0.1 ^{注2}	mA
		全端子合計 (デューティ = 70 % 時 ^{注3})	2.4 V V_{DD} 5.5 V			- 0.2	mA

(省略)

正)

($T_A = -40 \sim +105$, 2.4 V $V_{DD} = 5.5$ V, $V_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 ^{注1}	IOH1	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130 1端子	2.4 V V_{DD} 5.5 V			- 3.0 ^{注2}	mA
		P00-P07, P10-P17, P22-P27 P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130	4.0 V V_{DD} 5.5 V			- 45.0	mA
		P00-P07, P10-P17, P22-P27 P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130	2.7 V $V_{DD} <$ 4.0 V			- 15.0	mA
		合計 (デューティ = 70 % 時 ^{注3})	2.4 V $V_{DD} <$ 2.7 V			- 7.0	mA
	IOH2	P20, P21 1端子	2.4 V V_{DD} 5.5 V			- 0.1 ^{注2}	mA
		全端子合計 (デューティ = 70 % 時 ^{注3})	2.4 V V_{DD} 5.5 V			- 0.2	mA

(省略)

誤)

($T_A = -40 \sim +105$, 2.4 V $V_{DD} = 5.5$ V, $V_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電流 ^{注1}	IOL1	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130 1端子			8.5 ^{注2}	mA	
		P60, P61 1端子			15.0 ^{注2}	mA	
		P40-P47, P130 合計 (デューティ = 70 % 時 ^{注3})	4.0 V $V_{DD} = 5.5$ V			40.0	mA
			2.7 V $V_{DD} < 4.0$ V			15.0	mA
			2.4 V $V_{DD} < 2.7$ V			9.0	mA
		P00-P07, P14-P17, P30-P35, P50-P57, P70-P77, P125-P127 合計 (デューティ = 70 % 時 ^{注3})	4.0 V $V_{DD} = 5.5$ V			60.0	mA
			2.7 V $V_{DD} < 4.0$ V			35.0	mA
			2.4 V $V_{DD} < 2.7$ V			20.0	mA
		全端子合計 (デューティ = 70 % 時 ^{注3})				100.0	mA
		IOL2	P20, P21 1端子			0.4 ^{注2}	mA
	全端子合計 (デューティ = 70 % 時 ^{注3})		2.4 V $V_{DD} = 5.5$ V			0.8	mA

正)

($T_A = -40 \sim +105$, 2.4 V $V_{DD} = 5.5$ V, $V_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電流 ^{注1}	IOL1	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P70-P77, P125-P127, P130 1端子			8.5 ^{注2}	mA	
		P60, P61 1端子			15.0 ^{注2}	mA	
		P40-P47, P130 合計 (デューティ = 70 % 時 ^{注3})	4.0 V $V_{DD} = 5.5$ V			40.0	mA
			2.7 V $V_{DD} < 4.0$ V			15.0	mA
			2.4 V $V_{DD} < 2.7$ V			9.0	mA
		P00-P07, P10-P17, P22-P27, P30-P35, P50-P57, P70-P77, P125-P127 合計 (デューティ = 70 % 時 ^{注3})	4.0 V $V_{DD} = 5.5$ V			60.0	mA
			2.7 V $V_{DD} < 4.0$ V			35.0	mA
			2.4 V $V_{DD} < 2.7$ V			20.0	mA
		全端子合計 (デューティ = 70 % 時 ^{注3})				100.0	mA
		IOL2	P20, P21 1端子			0.4 ^{注2}	mA
	全端子合計 (デューティ = 70 % 時 ^{注3})		2.4 V $V_{DD} = 5.5$ V			0.8	mA

12. 8.3.5 リアルタイム・クロック・コントロール・レジスタ 1 (RTCC1)

図 8 - 6 リアルタイム・クロック・コントロール・レジスタ 1 (RTCC1)のフォーマット(3/3)の記載追加 (p.401)

フォーマット(3/3)の記載追加 (p.401)

旧)

RWAIT	リアルタイム・クロック 2 のウェイト制御
0	カウンタ動作設定
1	SEC ~ YEAR カウンタ停止設定。カウンタ値読み出し、書き込みモード。

カウンタの動作を制御します。
 カウンタ値を読み出し、書き込みを行う際は必ず“1”を書き込んでください。
 カウンタ(16ビット)は動作を継続するので、1秒以内に読み出しや書き込みを終了し、0に戻してください。
 RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能(RWST = 1)となるまで最大1クロック (f_{RTC})の時間がかかります。RWST = 1になっていることを確認したあとカウンタ読み出し、書き込みを行ってください。
 カウンタ(16ビット)のオーバーフローがRWAIT = 1の時に起きた場合は、オーバーフローが起きたことを保持してRWAIT = 0になったあと、カウント・アップします。
 ただし、秒カウント・レジスタへの書き込みを行った場合は、オーバーフローが起きたことを保持しません。

新)

RWAIT	リアルタイム・クロック 2 のウェイト制御
0	カウンタ動作設定
1	SEC ~ YEAR カウンタ停止設定。カウンタ値読み出し、書き込みモード。

カウンタの動作を制御します。
 カウンタ値を読み出し、書き込みを行う際は必ず“1”を書き込んでください。
 カウンタ(16ビット)は動作を継続するので、1秒以内に読み出しや書き込みを終了し、0に戻してください。
 RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能(RWST = 1)となるまで最大1クロック (f_{RTC})の時間がかかります。^(注1、注2) RWST = 1になっていることを確認したあとカウンタ読み出し、書き込みを行ってください。
 カウンタ(16ビット)のオーバーフローがRWAIT = 1の時に起きた場合は、オーバーフローが起きたことを保持してRWAIT = 0になったあと、カウント・アップします。
 ただし、秒カウント・レジスタへの書き込みを行った場合は、オーバーフローが起きたことを保持しません。

注 1 . RTCE = 1に設定した後、f_{RTC} の1クロック時間内でRWAIT=1とした場合、RWSTビットが“1”になるまで動作クロック (f_{RTC}) の2クロック時間がかかる場合があります。

注 2 . スタンバイ (HALTモード、STOPモード、SNOOZEモード) から復帰した後、f_{RTC} の1クロック時間内で、RWAIT = 1とした場合、RWSTビットが“1”になるまでに、動作クロック (f_{RTC}) の2クロック時間がかかる場合があります。

13. 5. 6. 4 CPU クロック状態移行図 (p.181)

表 5-3 CPU クロックの移行と SFR レジスタの設定例 (3/5) の誤記訂正

誤)

(6) CPU を高速システム・クロック動作 (C) から、高速オンチップ・オシレータ・クロック動作 (B) へ移行

(SFRレジスタの設定順序)

SFRレジスタの設定フラグ		CSCレジスタ	発振精度安定待ち	CKCレジスタ
		HIOSTOP		MCM0
(C)	(B)	0	注	0

高速オンチップ・オシレータ・クロック
動作中の場合は不要

注 FRQSEL4 = 0 の場合：18 μs~65 μs

FRQSEL4 = 1 の場合：18 μs~80 μs

(省略)

(8) CPU をサブシステム・クロック動作 (D) から、高速オンチップ・オシレータ・クロック動作 (B) へ移行

(SFRレジスタの設定順序)

SFRレジスタの設定フラグ		CSCレジスタ	発振精度安定待ち	CKCレジスタ	
				CSS	MCM0
(D)	(B)	0	注	0	0

高速オンチップ・オシレータ・クロック動作中の場合は不要

設定済みの場合は不要

注 FRQSEL4 = 0 の場合：18 μs~65 μs

FRQSEL4 = 1 の場合：18 μs~80 μs

備考 1. 表 5-3 の (A)-(J) は、図 5-16 の(A)-(J) と対応しています。

2. 高速オンチップ・オシレータ・クロックの発振精度安定待ちは、温度条件と STOP モード期間によって変化します。

正)

(6) CPU を高速システム・クロック動作 (C) から、高速オンチップ・オシレータ・クロック動作 (B) へ移行

(SFRレジスタの設定順序)

SFRレジスタの設定フラグ		CSCレジスタ	発振精度安定待ち	CKCレジスタ
		HIOSTOP		MCM0
(C)	(B)	0	注	0

高速オンチップ・オシレータ・クロック
動作中の場合は不要

注 FRQSEL4 = 0 の場合：18 μs~65 μs

FRQSEL4 = 1 の場合：18 μs~135 μs

(省略)

(8) CPU をサブシステム・クロック動作 (D) から、高速オンチップ・オシレータ・クロック動作 (B) へ移行

(SFRレジスタの設定順序)

SFRレジスタの設定フラグ		CSCレジスタ	発振精度安定待ち	CKCレジスタ	
				CSS	MCM0
(D)	(B)	0	注	0	0

高速オンチップ・オシレータ・クロック動作中の場合は不要

設定済みの場合は不要

注 FRQSEL4 = 0 の場合：18 μs~65 μs

FRQSEL4 = 1 の場合：18 μs~135 μs

備考 1. 表 5-3 の (A)-(J) は、図 5-16 の(A)-(J) と対応しています。

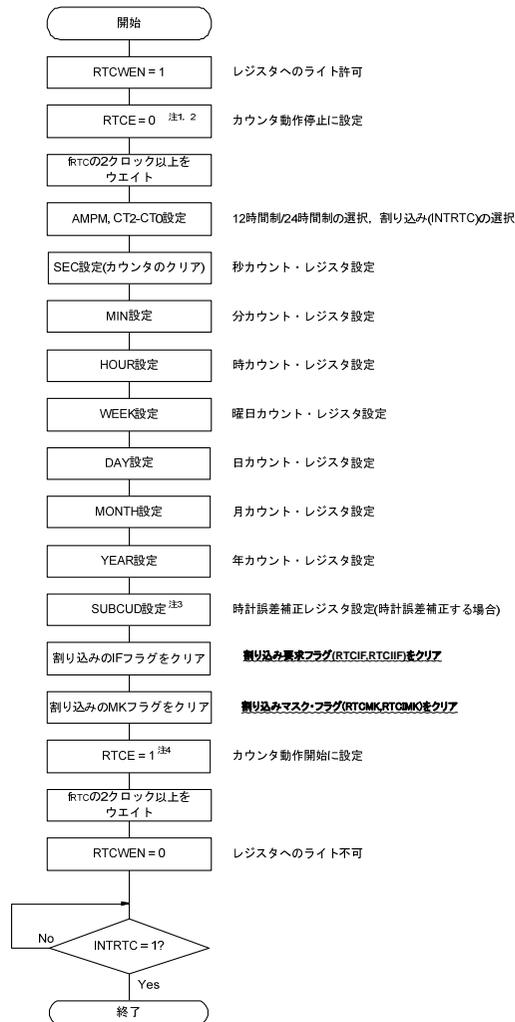
2. 高速オンチップ・オシレータ・クロックの発振精度安定待ちは、温度条件と STOP モード期間によって変化します。

14. 8.4.1 リアルタイム・クロック 2 の動作開始

図 8 - 20 リアルタイム・クロック 2 の動作開始手順の誤記訂正(p.414)

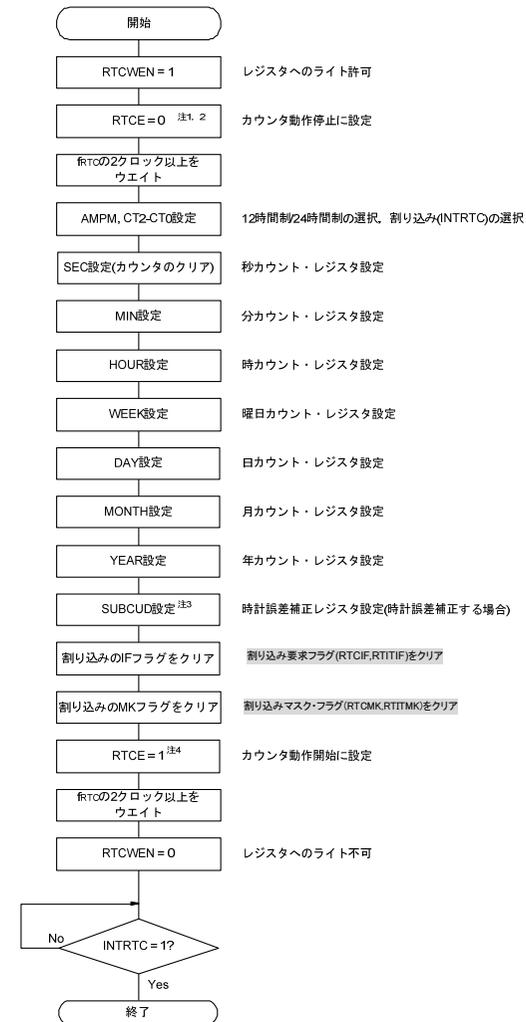
誤)

図 8 - 18 リアルタイム・クロック 2 の動作開始手順



正)

図 8 - 18 リアルタイム・クロック 2 の動作開始手順



15. 2.1.1 64ピン製品

P60,P61の誤記訂正(p.15)

誤)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機能
(省略)					
P60	7-1-3	入出力	入力ポート	SCLA0/(TI01)/(TO01)	ポート6。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 N-chオープン・ドレイン出力(6V耐圧)
P61				SDAA0/(TI02)/(TO02)	
P70	7-5-4	入出力	デジタル入力無効 ^{注1}	KR0/SEG12	ポート7。 5ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 LCD出力に設定可能 ^{注2} 。
P74	7-5-16			KR4/SEG16/TKBO00	
P75				KR5/SEG17/TKBO01-2	
P76				KR6/SEG18/TKBO01-1	
P77				KR7/SEG19/TKBO01-0	

正)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機能
(省略)					
P60	12-1-3	入出力	入力ポート	SCLA0/(TI01)/(TO01)	ポート6。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 N-chオープン・ドレイン出力(6V耐圧)
P61				SDAA0/(TI02)/(TO02)	
P70	7-5-4	入出力	デジタル入力無効 ^{注1}	KR0/SEG12	ポート7。 5ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 LCD出力に設定可能 ^{注2} 。
P74	7-5-16			KR4/SEG16/TKBO00	
P75				KR5/SEG17/TKBO01-2	
P76				KR6/SEG18/TKBO01-1	
P77				KR7/SEG19/TKBO01-0	

16. 2.1.2 80ピン製品

P60,P61の誤記訂正(p.19)

誤)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機能
P60	7-1-3	入出力	入力ポート	SCLA0/(TI01)/(TO01)	ポート6。
P61				SDAA0/(TI02)/(TO02)	2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 N-chオープン・ドレイン出力(6V耐圧)
P70	7-5-4	入出力	デジタル入力 無効 ^{注1}	KR0/SEG12	ポート7。
P71				KR1/SEG13	8ビット入出力ポート。
P72				KR2/SEG14	1ビット単位で入力/出力の指定可能。
P73				KR3/SEG15	入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P74	7-5-16	入出力	デジタル入力 無効 ^{注1}	KR4/SEG16/TKBO00	LCD出力に設定可能 ^{注2} 。
P75				KR5/SEG17/TKBO01-2	
P76				KR6/SEG18/TKBO01-1	
P77				KR7/SEG19/TKBO01-0	

正)

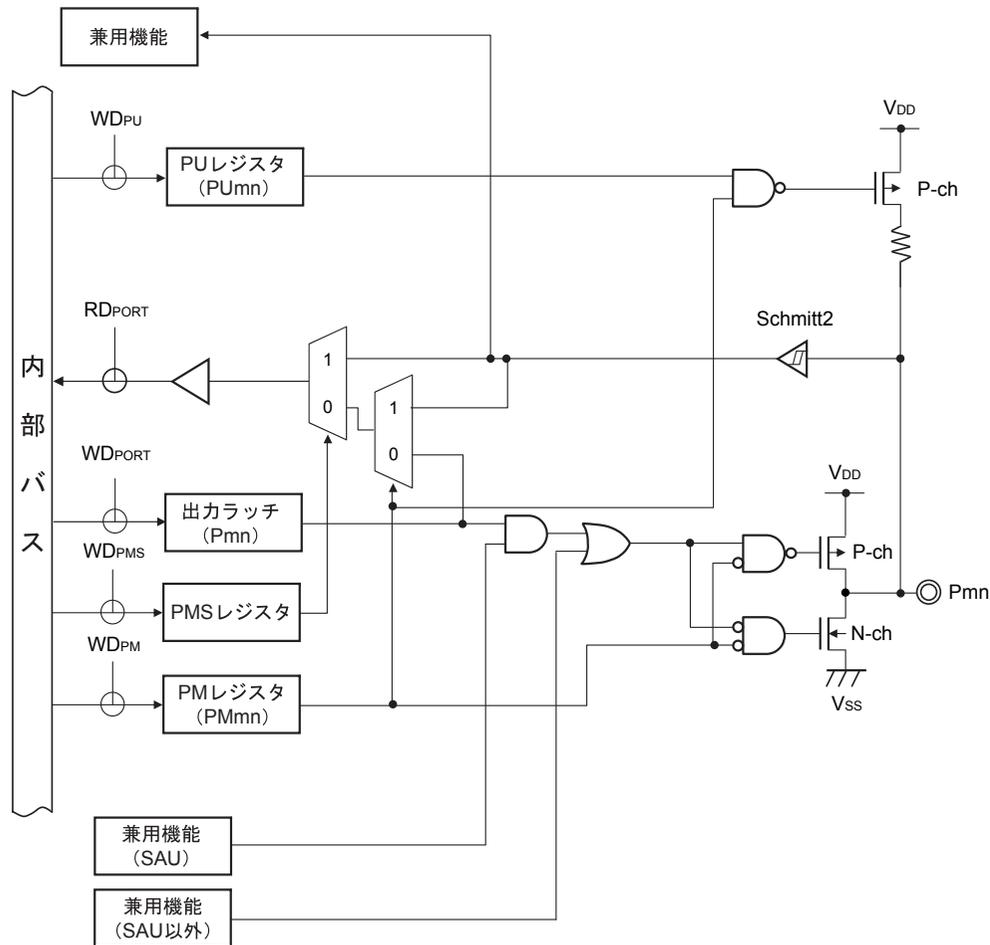
機能名称	端子タイプ	入出力	リセット時	兼用機能	機能
P60	12-1-3	入出力	入力ポート	SCLA0/(TI01)/(TO01)	ポート6。
P61				SDAA0/(TI02)/(TO02)	2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 N-chオープン・ドレイン出力(6V耐圧)
P70	7-5-4	入出力	デジタル入力 無効 ^{注1}	KR0/SEG12	ポート7。
P71				KR1/SEG13	8ビット入出力ポート。
P72				KR2/SEG14	1ビット単位で入力/出力の指定可能。
P73				KR3/SEG15	入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P74	7-5-16	入出力	デジタル入力 無効 ^{注1}	KR4/SEG16/TKBO00	LCD出力に設定可能 ^{注2} 。
P75				KR5/SEG17/TKBO01-2	
P76				KR6/SEG18/TKBO01-1	
P77				KR7/SEG19/TKBO01-0	

17.2.4 端子ブロック図

図2-5 端子タイプ 7-1-3 の端子ブロック図(p.30)

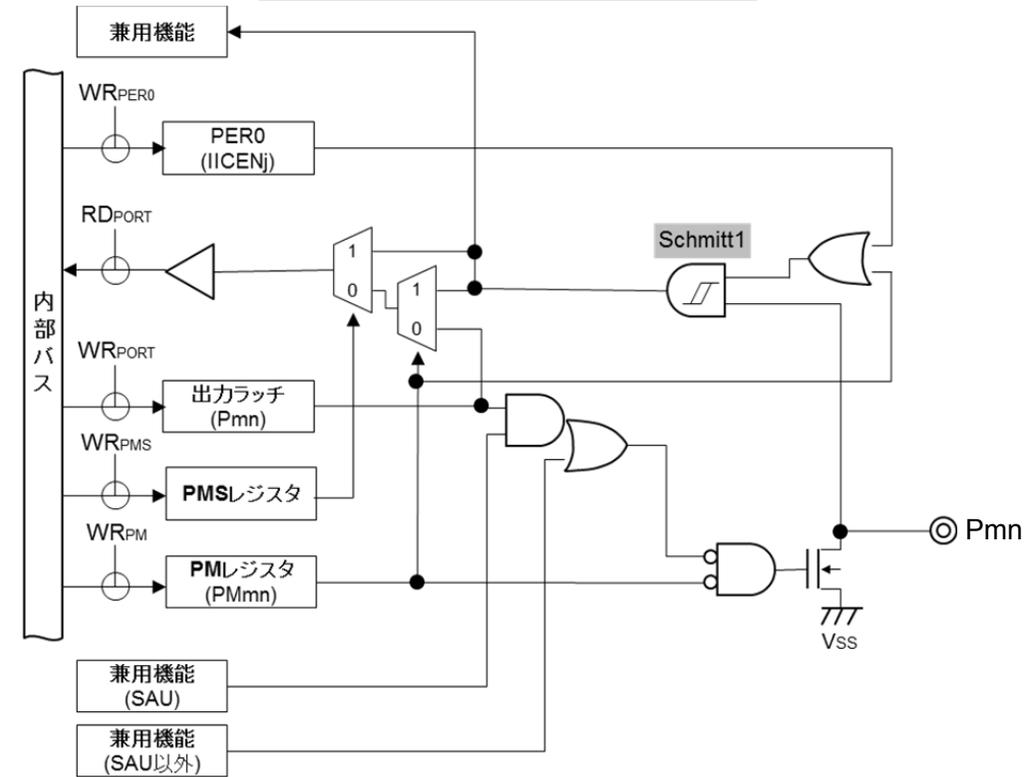
誤)

図2-5 端子タイプ 7-1-3 の端子ブロック図



正)

図2-5 端子タイプ 12-1-3 の端子ブロック図



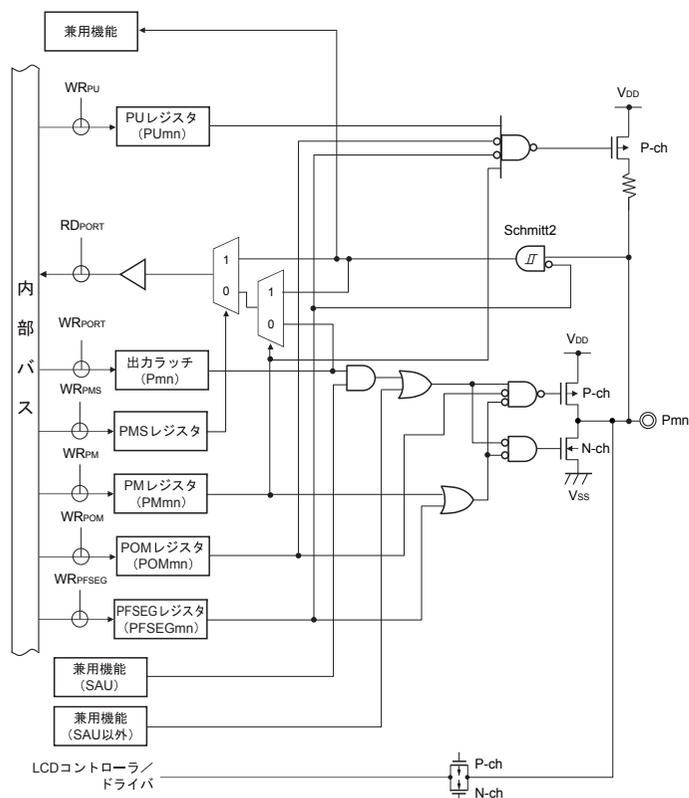
備考1. 兼用機能は、2.1 ポート機能を参照してください。

2. SAU：シリアル・アレイ・ユニット

18.2.4 端子ブロック図

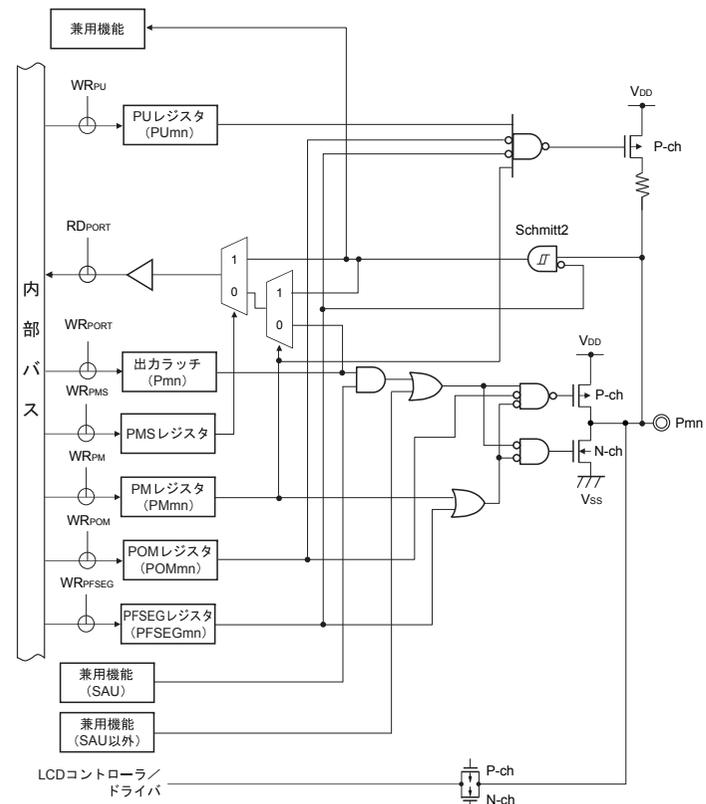
図 2-9 端子タイプ 7-5-10 の端子ブロック図(p.34)

旧)



- 備考1. 兼用機能は、2.1 ポート機能を参照してください。
 2. SAU：シリアル・アレイ・ユニット

新)



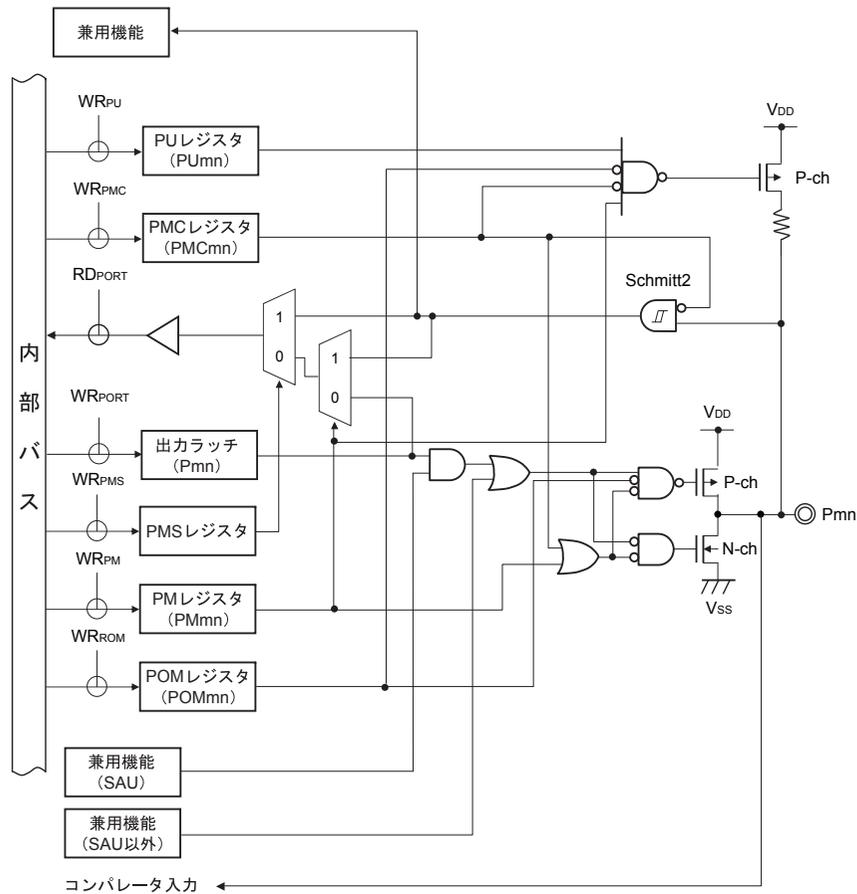
注意. ポート出力モード・レジスタ(POMx)で N-ch オープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

- 備考1. 兼用機能は、2.1 ポート機能を参照してください。
 2. SAU：シリアル・アレイ・ユニット

19.2.4 端子ブロック図

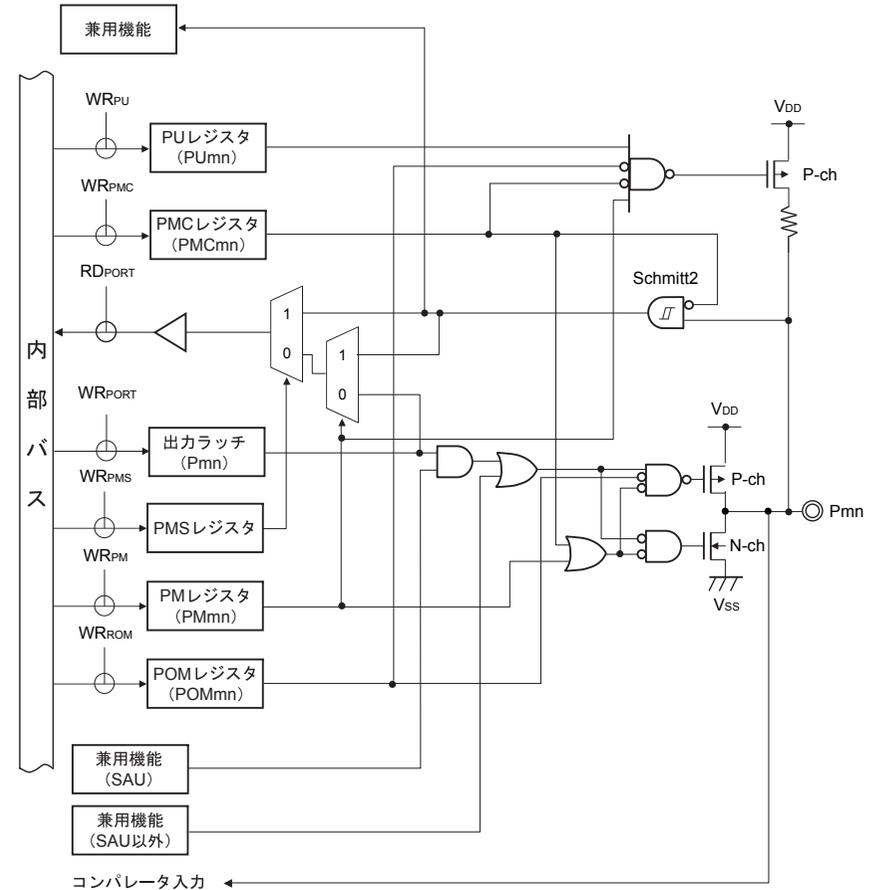
図2-11 端子タイプ 7-6-4 の端子ブロック図(p.36)

旧)



- 備考1. 兼用機能は、2.1 ポート機能を参照してください。
 2. SAU：シリアル・アレイ・ユニット

新)



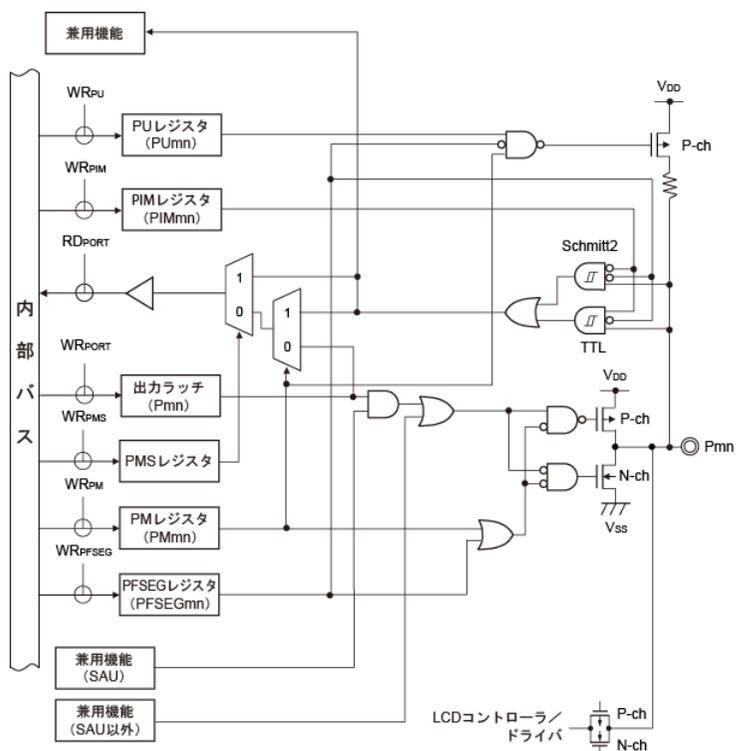
注意. ポート出力モード・レジスタ(POMx)で N-ch オープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

- 備考1. 兼用機能は、2.1 ポート機能を参照してください。
 2. SAU：シリアル・アレイ・ユニット

20.2.4 端子ブロック図

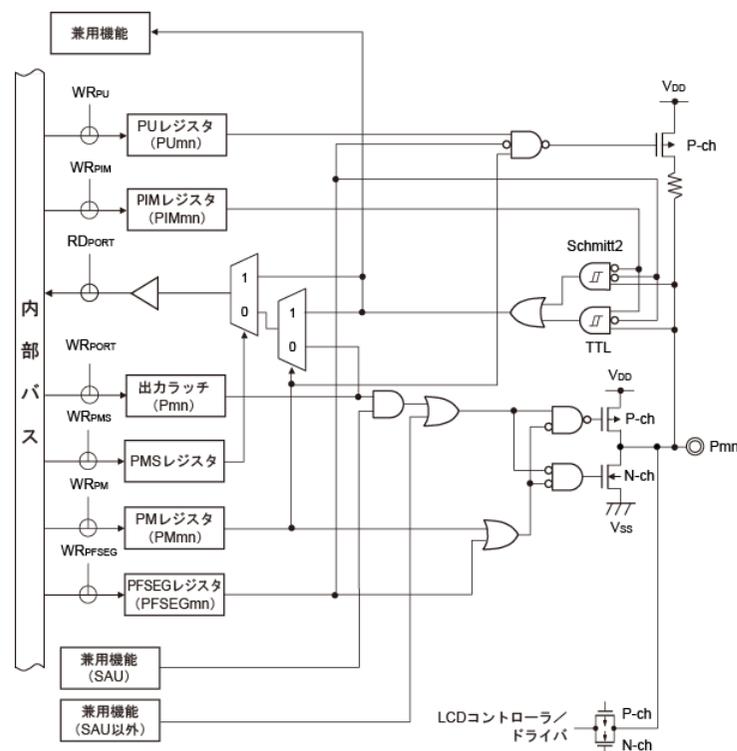
図 2-14 端子タイプ 8-5-4 の端子ブロック図(p.39)

旧)



- 備考1. 兼用機能は、2.1 ポート機能を参照してください。
 2. SAU：シリアル・アレイ・ユニット

新)



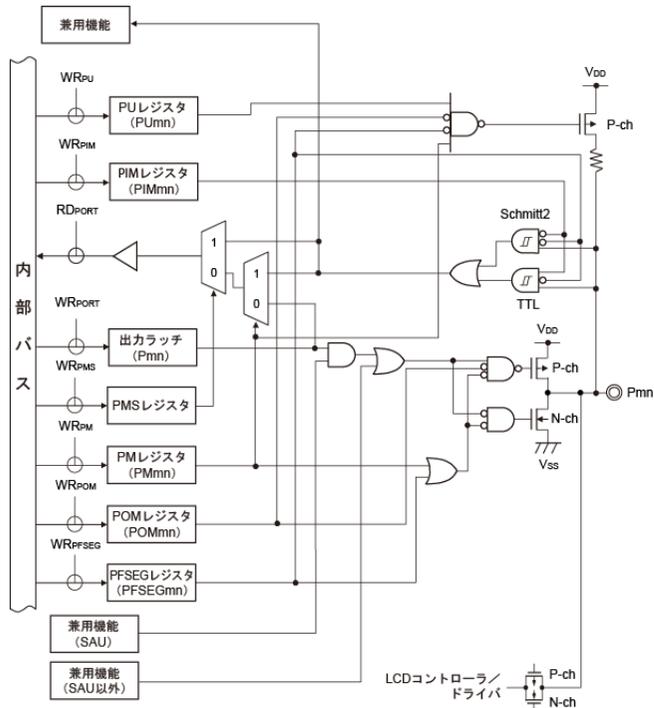
注意. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

- 備考1. 兼用機能は、2.1 ポート機能を参照してください。
 2. SAU：シリアル・アレイ・ユニット

21. 2.4 端子ブロック図

図 2-15 端子タイプ 8-5-10 の端子ブロック図(p.40)

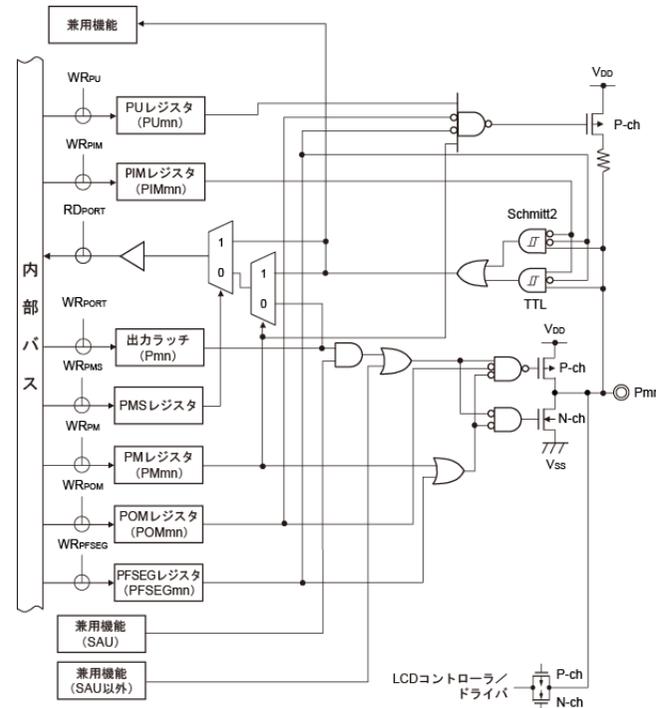
旧)



備考1. 兼用機能は、2.1 ポート機能を参照してください。

2. SAU：シリアル・アレイ・ユニット

新)



注意1. ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

注意2. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ロウ・レベルを入力してください。

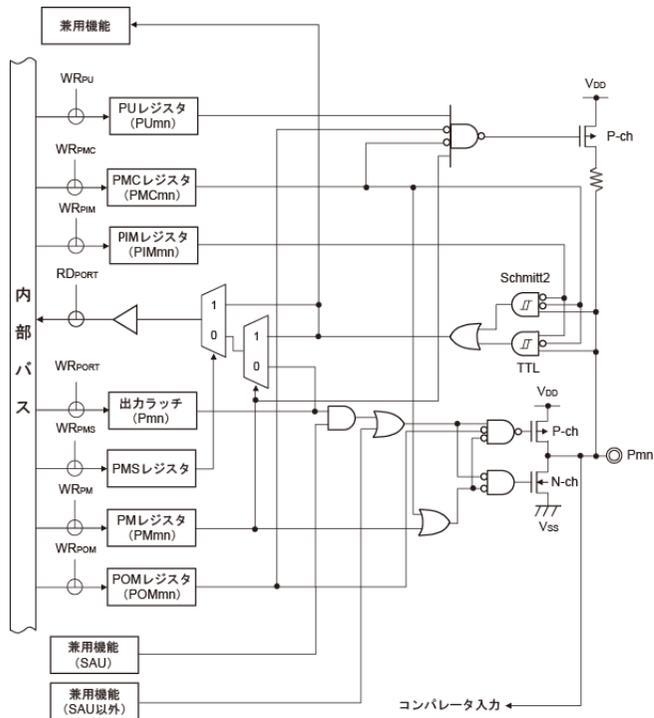
備考1. 兼用機能は、2.1 ポート機能を参照してください。

2. SAU：シリアル・アレイ・ユニット

22. 2.4 端子ブロック図

図 2-16 端子タイプ 8-6-4 の端子ブロック図(p.41)

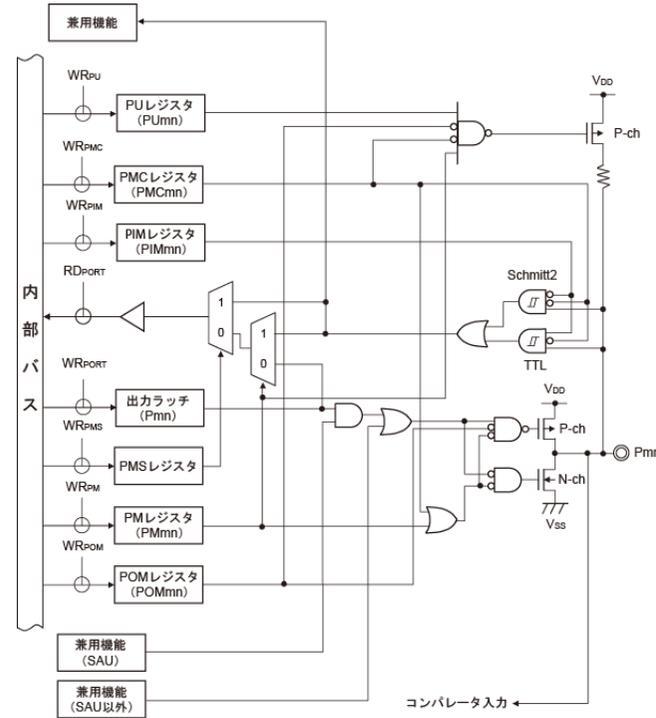
旧)



備考1. 兼用機能は、2.1 ポート機能を参照してください。

2. SAU：シリアル・アレイ・ユニット

新)



注意1. ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

注意2. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

2. SAU：シリアル・アレイ・ユニット