

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753
 ルネサス エレクトロニクス株式会社
 問合せ窓口 <http://japan.renesas.com/contact/>
 E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RL*-A008A/J	Rev.	第1版
題名	誤記訂正通知 RL78/I1A ユーザーズマニュアル Rev.1.00 の記載変更		情報分類	技術情報	
適用製品	RL78/I1A グループ : R5F107xxx	対象ロット等 全ロット	関連資料	RL78/I1A ユーザーズマニュアル ハードウェア編 Rev.1.00 R01UH0169JJ0100 (Mar.2012)	

RL78/I1A ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0169JJ0100)において、下記訂正がございます。

今回通知する訂正内容1

訂正箇所	該当ページ	内容
内部データ・メモリ空間	p.43	仕様拡張
表3-6 拡張SFR(2nd SFR)一覧	p.59-p70	仕様追加
高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)	—	仕様追加
16ビット・タイマKC出力端子制御レジスタ(TOETKC0)	—	仕様追加
(16)周辺機能切替レジスタ0(PFSELO)	p.304	誤記訂正
図8-16 タイマKC動作設定例(コンペアレジスタ齊書き換えフロー)	p.411	誤記訂正
A/Dコンバータ・モード・レジスタ0(ADM0)	p.466	誤記訂正
(5)コンパレータ立ち上がりエッジ許可レジスタ0(CMPEGP0), コンパレータ立ち下がりエッジ許可レジスタ0(CMPEGN0)	p.537	誤記訂正
図14-15 コンパレータ(CMP)動作設定フロー・チャート1	p.546	誤記訂正
図14-16 コンパレータ(CMP)動作設定フロー・チャート2	p.547	誤記訂正
15.6.3 SNOOZEモード機能	p.657	誤記訂正
16.6 DALIモード	p.727	仕様拡張
16.6.1 DALI送信	p.730	仕様拡張
図16-46 DALI送信時のレジスタ設定内容例	p.731,p.732	仕様拡張
16.6.2 DALI受信	p.737	仕様拡張
図16-52 DALI受信時のレジスタ設定内容例	p.738,p.739	仕様拡張
16.7 SNOOZEモード機能(DALI/UART4受信のみ)	p.744-p.749	仕様変更
図20-5 優先順位指定フラグ・レジスタのフォーマット	p.901	誤記訂正
21.2.2.STOPモード	p.927	誤記訂正
21.2.3.SNOOZEモード	p.930	誤記訂正
図23-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生 のタイミング	p.947-p.949	誤記訂正
25.3.6 不正メモリ・アクセス検出機能	p.979	誤記訂正
図27-3 ユーザ・オプション・バイト(000G2H/010C2H)のフォーマット	p.992	仕様拡張
28.3 データ・フラッシュの概要	p.1003	注意追加
28.6 セルフ書き込みによるフラッシュ・メモリ・プログラミング	p.1012	注意追加
32.3.2 電源電流特性	p.1054-p.1059	誤記訂正
32.5 周辺機能特性	p.1062-p.1076	仕様変更
32.6.1 A/Dコンバータ特性	p.1077-p.1080	誤記訂正
32.6.2 温度センサ特性	p.1081	仕様追加
電源電圧立ち上がり傾き特性	—	仕様追加
32.7 データ・メモリ STOPモード低電源電圧データ保持特性	p.1084	仕様拡張

32.8 フラッシュ・メモリ・プログラミング特性	p.1084	誤記訂正
32.9 フラッシュ・メモリ・プログラミング・モード引き込み時のタイミング・スペック	p.1085	誤記訂正
電気的特性(TA = -40~+125°C対応品)	—	仕様追加

ドキュメント改善計画

本訂正内容(今回通知する訂正内容)については、次回ユーザーズマニュアル(Rev.2.10)改版時に、修正を行います。

ユーザーズマニュアルの訂正一覧

(訂正内容)

No	訂正内容と該当箇所			本通知での 該当ページ
	ドキュメントNo.	和文	R01UH0169JJ0100	
1		内部データ・メモリ空間	p.43	p.3
2		表3-6 拡張SFR(2nd SFR)一覧	p.59-p.70	p.4
3		高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)	—	p.5
4		16ビット・タイマKC出力端子制御レジスタ(TOETKC0)	—	p.6
5		(16)周辺機能切替レジスタ0(PFSEL0)	p.304	p.7
6		図8-16 タイマKC動作設定例(コンペアレジスタ一斉書き換えフロー)	p.411	p.9
7		A/Dコンバータ・モード・レジスタ0(ADM0)	p.466	p.10
8		(5)コンパレータ立ち上がりエッジ許可レジスタ0(CMPEGP0), コンパレータ立ち下がりエッジ許可レジスタ0(CMPEGN0)	p.537	p.11
9		図14-15 コンパレータ(CMP)動作設定フロー・チャート1	p.546	p.12-p.13
10		図14-16 コンパレータ(CMP)動作設定フロー・チャート2	p.547	p.14-p.15
11		15. 6. 3 SNOOZEモード機能	p.657	p.16-p.17
12		16.6 DALIモード	p.727	p.18
13		16.6.1DALI送信	p.730	p.19
14		図16-46 DALI送信時のレジスタ設定内容例	p.731-p.732	p.19-p.20
15		16.6.2 DALI受信	p.737	p.21
16		図16-52 DALI受信時のレジスタ設定内容例	p.738	p.21
17		16. 7 SNOOZEモード機能(DALI/UART4受信のみ)	p.744-p.749	p.22-p.23
18		図20-5 優先順位指定フラグ・レジスタのフォーマット	p.901	p.24
19		21.2.2.STOPモード	p.927	p.25
20		21.2.3.SNOOZEモード	p.930	p.26
21		図23-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生時のタイミング	p.947-p.949	p.27-p.31
22		25. 3. 6 不正メモリ・アクセス検出機能	p.979	p.32-p.33
23		図27-3 ユーザ・オプション・バイト(000C2H/010C2H)のフォーマット	p.992	p.34-p.35
24		28.3 データ・フラッシュの概要	p.1003	p.36
25		28.6 セルフ書き込みによるフラッシュ・メモリ・プログラミング	P.1012	p.37
26		32.3.2 電源電流特性	p.1056-p.1057	p.38
27		32.5 周辺機能特性	p.1062-p.1076	p.38
28		32.6.1 A/D コンバータ特性	p.1077-p.1079	p.39
29		32.6.2 温度センサ特性	p.1081	p.39
30		電源電圧立ち上がり傾き特性	—	p.39
31		32.7 データ・メモリ STOP モード低電源電圧データ保持特性	p.1084	p.39
32		32.8 フラッシュ・メモリ・プログラミング特性	p.1084	p.40
33		32.9 フラッシュ・メモリ・プログラミング・モード引き込み時のタイミング・スペック	p.1085	p.40
34		電気的特性(TA = -40~+125°C対応品)	—	p.40

誤記訂正の該当箇所は、誤太字下線、正グレー・ハッチングで記載します。

3.1.3 内部データ・メモリ空間

誤)

内部RAMは、データ領域として使用できるほか、プログラム領域として命令を書いて実行することができます。内部RAM領域のうちFFEE0H-FFEFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられます。汎用レジスタでは命令実行できません。

また、スタック・メモリは内部RAMを使用します。

注意1. 汎用レジスタ (FFEE0H-FFEFFH) の空間は、命令フェッチやスタック領域としての使用を禁止します。

- 2. セルフ・プログラミング機能およびデータ・フラッシュ機能時は、FFE20H~FFEFFHの領域をスタック・メモリとして使用できません。また、R5F107AE, R5F107DEでは、FEF00H-FF309Hの領域もスタック・メモリとして使用できません。**

正)

内部RAMは、データ領域として使用できるほか、プログラム領域として命令を実行することができます(汎用レジスタが割り当てられた領域では命令実行不可)。内部RAM領域のうちFFEE0H-FFEFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられます。

また、スタック・メモリは内部RAMを使用します。

注意 1. 汎用レジスタが割り当てられている空間 (FFEE0H-FFEFFH) は、命令フェッチやスタックの領域に使用できません。

- 2. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、スタック、データ・バッファ、ベクタ割り込み処理の分岐先やDMAによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。**
- 3. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、次に示す製品のRAM領域は、各ライブラリで使用するため使用禁止になります。**

R5F107AE, R5F107DE : FEF00H-FF309H

表 3-6 拡張 SFR(2nd SFR) 一覧

表 3-6 拡張 SFR(2nd SFR) 一覧に TKBCNT0,1,2 および TKCCNT0 レジスタを追加します。

旧)

—

新)

追加となるレジスタ一覧について示します。

表 3-6 拡張 SFR(2nd SFR) 一覧

F0620H	16ビット・タイマ・カウンタKB0	TKBCNT0	R	—	—	○	FFFFH
F0621H							
F0660H	16ビット・タイマ・カウンタKB1	TKBCNT1	R	—	—	○	FFFFH
F0661H							
F06A0H	16ビット・タイマ・カウンタKB2	TKBCNT2	R	—	—	○	FFFFH
F06A1H							
F06F0H	16ビット・タイマ・カウンタKC0	TKCCNT0	R	—	—	○	FFFFH

高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)

高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) の仕様を追加します。

旧)

—

新)

高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)

オプション・バイト (000C2H) で設定した高速オンチップ・オシレータの周波数を変更するレジスタです。

ただし、オプション・バイト (000C2H) のFRQSEL3ビットの値によって、選択できる周波数が異なります。

HOCODIVは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期値 (不定) になります。

図5 - 12 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) のフォーマット

アドレス：F00A8H リセット時：不定 R/W

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択	
			FRQSEL3ビットが0のとき	FRQSEL3ビットが1のとき
0	0	0	24 MHz	32 MHz
0	0	1	12 MHz	16 MHz
0	1	0	6 MHz	8 MHz
0	1	1	3 MHz	4 MHz
1	0	0	設定禁止	2 MHz
1	0	1	設定禁止	1 MHz
上記以外			設定禁止	

注意1. HOCODIVレジスタの設定は、周波数の変更前、変更後ともにオプション・バイト(000C2H)で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

オプション・バイト (000C2H)の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE2			
1	0	LS(低速メイン)モード	1 MHz ~ 8 MHz	2.7 V ~ 5.5 V
1	1	HS(高速メイン)モード	1 MHz ~ 16 MHz	
			1 MHz ~ 32 MHz	

2. HOCODIVレジスタの設定は、高速オンチップ・オシレータ・クロック (f_{ih}) をCPU/周辺ハードウェア・クロック (f_{clk}) に選択している状態で行ってください。

3. HOCODIVレジスタで周波数を変更後、次の遷移時間経過して周波数が切り替わります。

- ・変更前の周波数で3クロック 動作
- ・変更後の周波数で最大3クロックのCPU/周辺ハードウェア・クロック ウェイト

16ビット・タイマKC出力端子制御レジスタ(TOETKC0)

16ビット・タイマKC出力端子制御レジスタ(TOETKC0)の仕様を追加します。

旧)

—

新)

16ビット・タイマKC出力端子制御レジスタ(TOETKC0)

16ビット・タイマKCから出力されるタイマ出力に対し、端子への出力許可/禁止を制御するレジスタです。

16ビット・タイマKBとの連動機能であるタイマ出力ゲート機能の設定によらず、TKCO_nの出力制御が可能です。

TOETKC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-9 16ビット・タイマKC出力端子制御レジスタ(TOETKC0)のフォーマット

アドレス：F05C8H リセット時：00H R/W



TOETKC00-TOETKC05	タイマ出力TKCO _{0m} の端子への出力許可/禁止
0	TKCO _{0m} の端子出力禁止
1	TKCO _{0m} の端子出力許可

備考 m = 0-5

(16)周辺機能切替レジスタ0(PFSEL0)

ビット説明の誤記変更と備考を追加します。

誤)

PFSEL0は、16ビット・タイマKB0, KB1, KB2と周辺機能の入出力を設定するレジスタです。

(省略)

アドレス:F05C6H リセット時:00H R/W

略号	7	6	5	4	3	2	1	0
PFSEL0	0	CMP2STEN	CMP0STEN	PNFEN	ADTRG11	ADTRG10	TMRSTEN1	TMRSTEN0

CMP2STEN	CMP0STEN	コンパレータ割り込みの切り替え
第14章 コンパレータを参照してください。		

PNFEN	外部割り込みINTP20のノイズ・フィルタ使用可否
0	ノイズ・フィルタあり
1	ノイズ・フィルタなし

ADTRG11	ADTRG10	A/D変換のタイマ・トリガの選択
0	0	タイマKB0のトリガ要因
0	1	タイマKB1のトリガ要因
1	0	タイマKB2のトリガ要因
1	1	設定禁止

TMRSTEN1	外部割り込みINTP21の使用用途切り替え
0	STOPモード解除に使用可能(タイマ・リスタート機能には使用不可)
1	タイマ・リスタート機能に使用可能(STOPモード解除には使用不可)

TMRSTEN0	外部割り込みINTP20の使用用途切り替え
0	STOPモード解除に使用可能(タイマ・リスタート機能には使用不可)
1	タイマ・リスタート機能に使用可能(STOPモード解除には使用不可)

正)

PFSEL0は、16ビット・タイマKB0, KB1, KB2と周辺機能の入出力を設定するレジスタです。

(略)

アドレス:F05C6H リセット時:00H R/W

略号	7	6	5	4	3	2	1	0
PFSEL0	0	CMP2STEN	CMP0STEN	PNFEN	ADTRG11	ADTRG10	TMRSTEN1	TMRSTEN0

CMP2STEN	CMP0STEN	コンパレータ割り込みの切り替え
第14章 コンパレータを参照してください。		

PNFEN	外部割り込みINTP20のノイズ・フィルタ使用可否
0	ノイズ・フィルタあり
1	ノイズ・フィルタなし

ADTRG11	ADTRG10	A/D変換のタイマ・トリガの選択
0	0	タイマKB0のトリガ要因
0	1	タイマKB1のトリガ要因
1	0	タイマKB2のトリガ要因
1	1	設定禁止

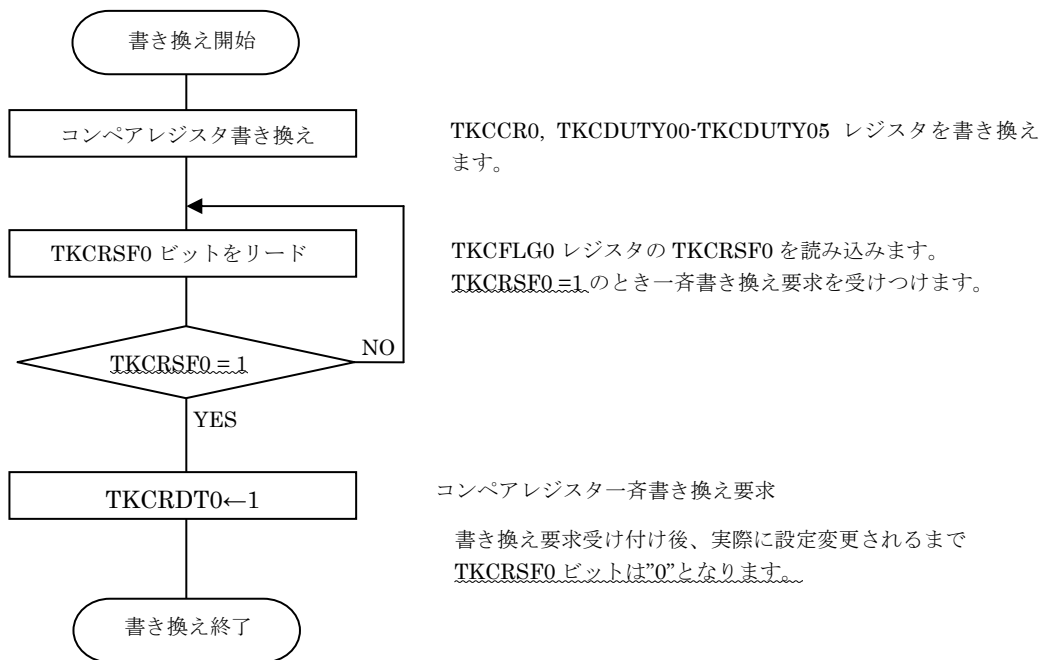
TMRSTEN1	外部割り込みINTP21の機能選択
0	外部割り込み機能(外部割り込み発生可, タイマ・リスタート不可)
1	タイマ・リスタート機能(外部割り込み発生不可, スタンバイ解除不可)

TMRSTEN0	外部割り込みINTP20の機能選択
0	外部割り込み機能(外部割り込み発生可, タイマ・リスタート不可)
1	タイマ・リスタート機能(外部割り込み発生不可, スタンバイ解除不可)

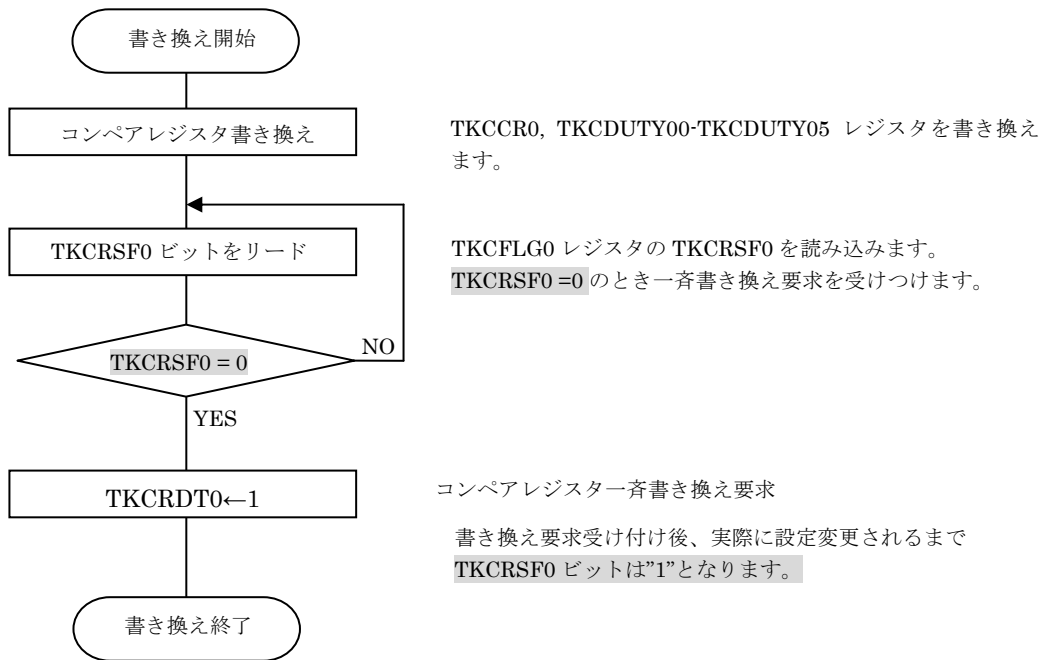
備考 コンパレータのブロック図を参照してください。

図8-16のタイマKC動作設定例(コンペアレジスタ一斉書き換えフロー)

フロー・チャートの誤記訂正
誤)



正)



A/Dコンバータ・モード・レジスタ0(ADM0)の誤記訂正 (p.466)**誤)**

(2) A/Dコンバータ・モード・レジスタ0(ADM0)

(省略)

注意1. ADMD, FR2-FR0, LV1, LV0, ADCEビットの変更は, 変換停止状態, および変換待機状態(ADCS = 0)で行ってください。

2. ADCE = 0, ADCS = 0 設定状態から8ビット操作命令で ADCE = 1, ADCS = 1 に設定することは禁止します。
必ず 12.7 A/Dコンバータの設定フローチャートの手順に従ってください。

正)

(2) A/Dコンバータ・モード・レジスタ0(ADM0)

(省略)

注意1. ADMD, FR2-FR0, LV1, LV0ビットの変更は, 変換停止状態(ADCS = 0, ADCE = 0)で行ってください。

2. ADCS = 1, ADCE = 0の設定は禁止です。
3. ADCS = 0, ADCE = 0設定状態から8ビット操作命令でADCS = 1, ADCE = 1に設定することは禁止します。
必ず12.7 A/Dコンバータの設定フローチャートの手順に従ってください。

(5)コンパレータ立ち上がりエッジ許可レジスタ0(CMPEGP0), コンパレータ立ち下がりエッジ許可レジスタ0(CMPEGN0)

誤)

(5)コンパレータ立ち上がりエッジ許可レジスタ0(CMPEGP0), コンパレータ立ち下がりエッジ許可レジスタ0(CMPEGN0)

:

(略)

CEGP7	CEGN7	INTP21端子の有効エッジの選択
0	0	エッジ検出禁止(タイマ強制出力停止信号の出力禁止(出力信号 = ロウ固定))
0	1	立ち下がりエッジ(タイマ強制出力停止信号の出力許可)
1	0	立ち上がりエッジ(タイマ強制出力停止信号の出力許可)
1	1	立ち上がり, 立ち下がりの両エッジ(タイマ強制出力停止信号の出力許可)

CEGP6	CEGN6	INTP20端子の有効エッジの選択
0	0	エッジ検出禁止(タイマ強制出力停止信号の出力禁止(出力信号 = ロウ固定))
0	1	立ち下がりエッジ(タイマ強制出力停止信号の出力許可)
1	0	立ち上がりエッジ(タイマ強制出力停止信号の出力許可)
1	1	立ち上がり, 立ち下がりの両エッジ(タイマ強制出力停止信号の出力許可)

正)

コンパレータ立ち上がりエッジ許可レジスタ(CMPEGP0), コンパレータ立ち下がりエッジ許可レジスタ(CMPEGN0)のフォーマット

:

(略)

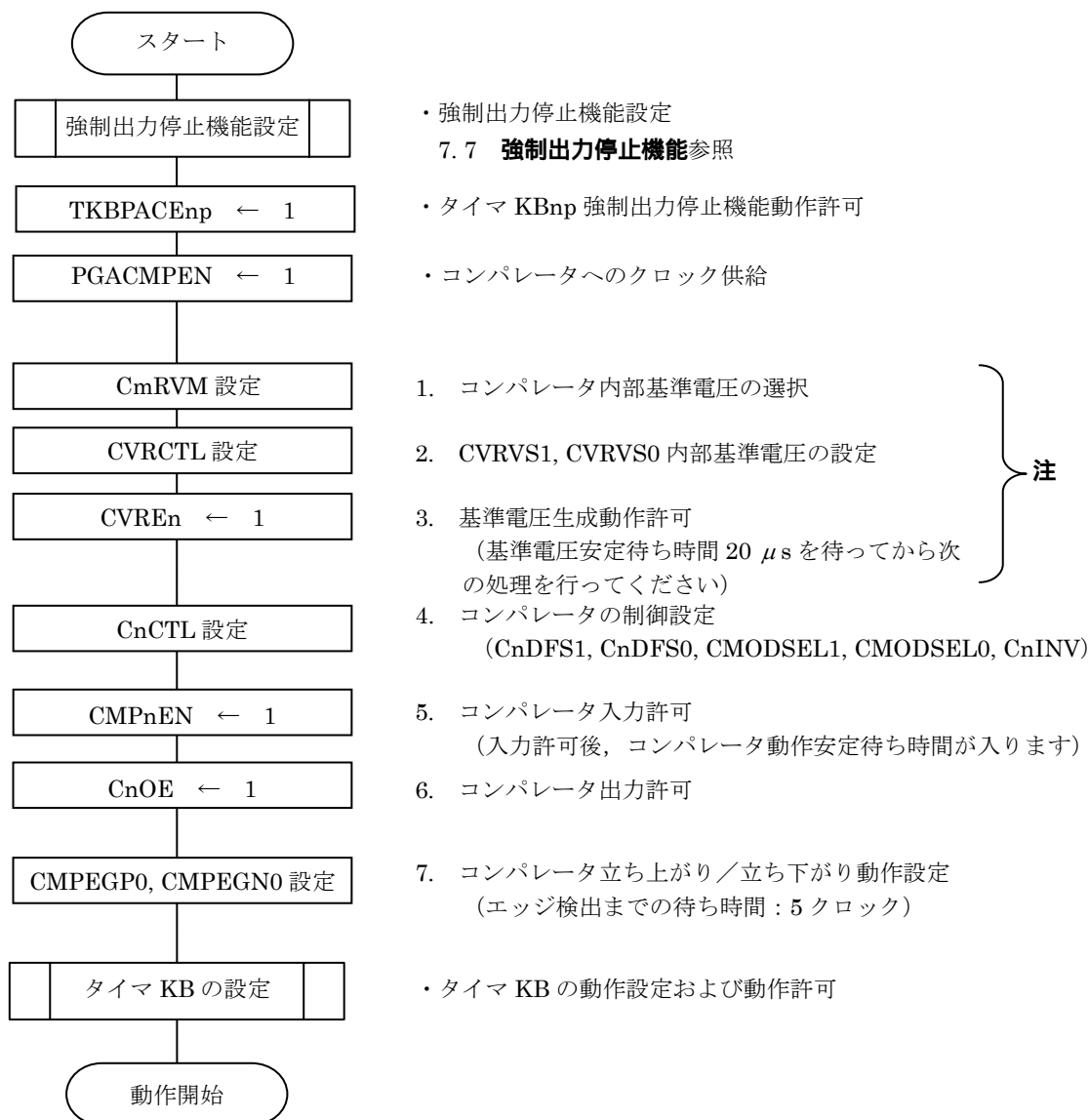
CEGP7	CEGN7	INTP21端子の有効エッジの選択
0	0	エッジ検出禁止(タイマ・リスタート信号の出力禁止(出力信号 = ロウ固定))
0	1	立ち下がりエッジ(タイマ・リスタート信号の出力許可)
1	0	立ち上がりエッジ(タイマ・リスタート信号の出力許可)
1	1	立ち上がり, 立ち下がりの両エッジ(タイマ・リスタート信号の出力許可)

CEGP6	CEGN6	INTP20端子の有効エッジの選択
0	0	エッジ検出禁止(タイマ・リスタート信号の出力禁止(出力信号 = ロウ固定))
0	1	立ち下がりエッジ(タイマ・リスタート信号の出力許可)
1	0	立ち上がりエッジ(タイマ・リスタート信号の出力許可)
1	1	立ち上がり, 立ち下がりの両エッジ(タイマ・リスタート信号の出力許可)

図14 - 15 コンパレータ (CMP) 動作設定フロー・チャート1

誤)

図14 - 15 コンパレータ (CMP) 動作設定フロー・チャート1の誤記訂正
(INTCMPn, CMPnHZO出力を使用する場合)

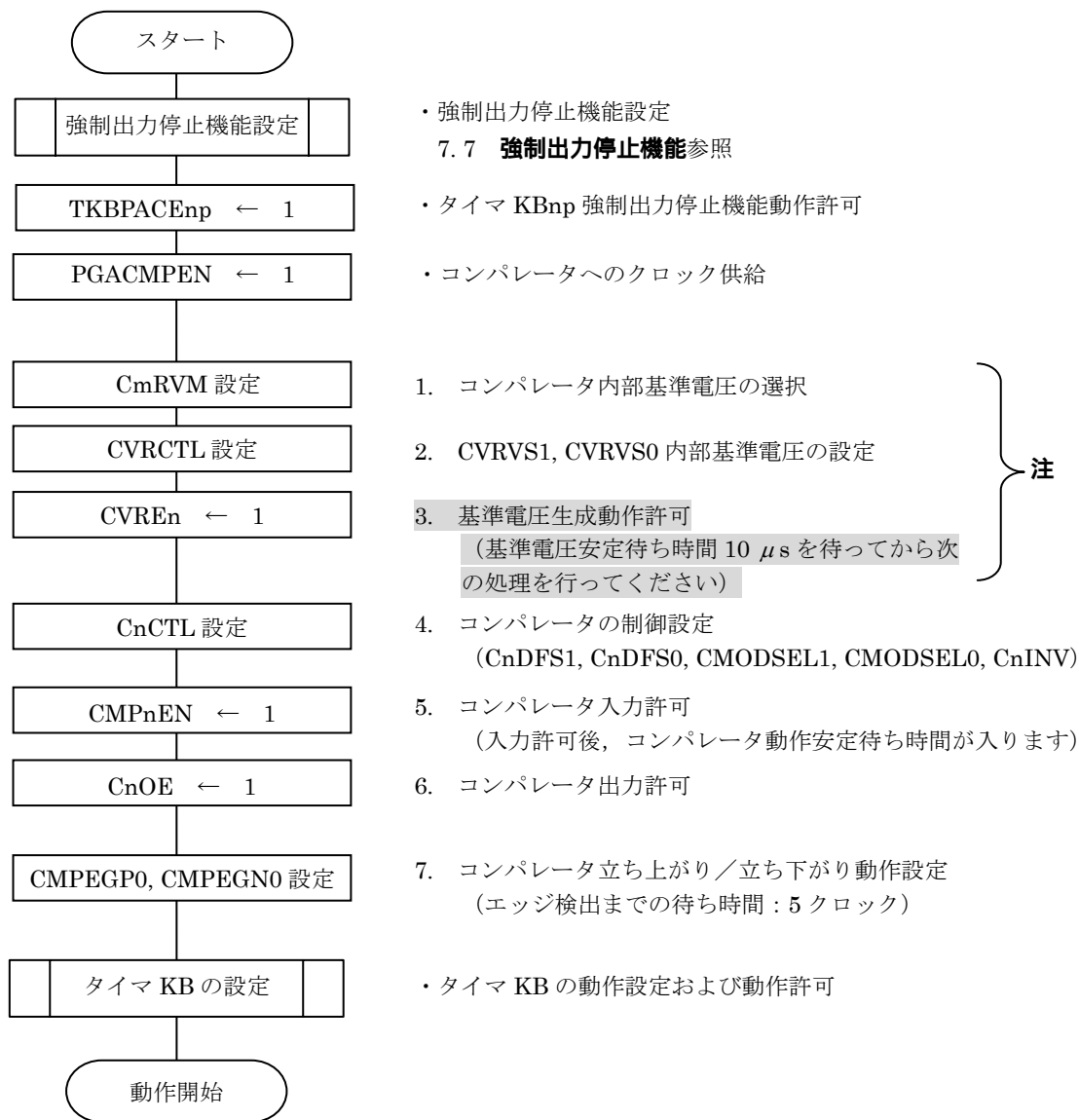


注 基準電圧に外部端子CMPCOMを使用する場合は不要です。

注意 1.~7.はINTCMP処理禁止の状態を設定してください。

正)

図14 - 15 コンパレータ (CMP) 動作設定フロー・チャート1の誤記訂正
 (INTCMPn, CMPnによるタイマ出力強制停止要求信号を使用する場合)



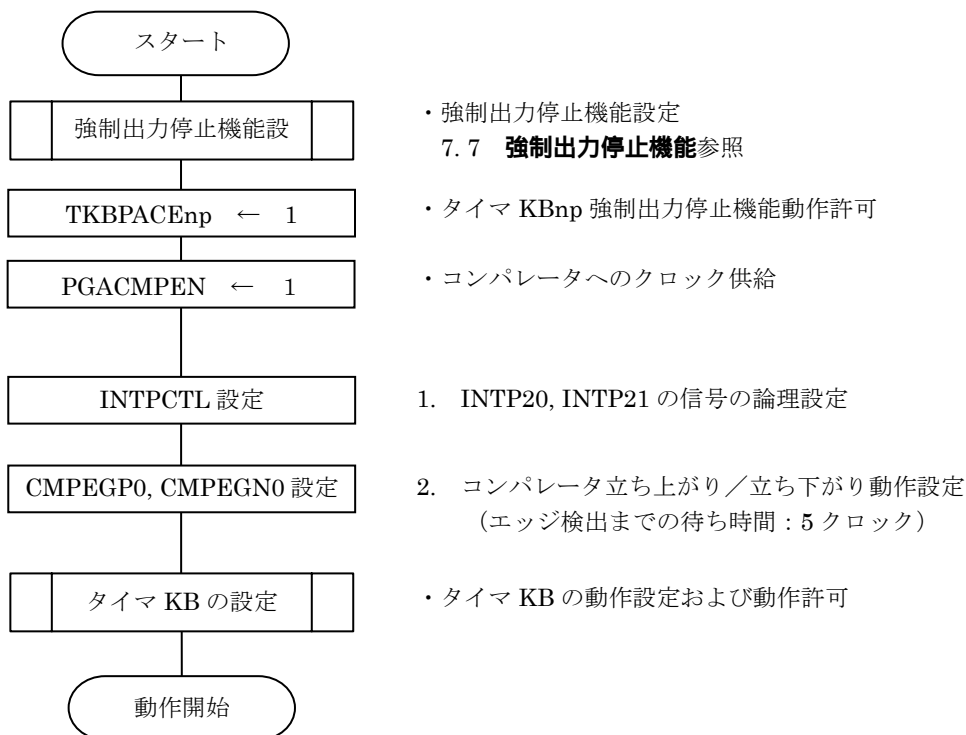
注 基準電圧に外部端子CMPCOMを使用する場合は不要です。

注意 1. ~ 7.はINTCMP処理禁止の状態を設定してください。

図14-16 コンパレータ(CMP)動作設定フロー・チャート2

誤)

コンパレータ (CMP) 動作設定フロー・チャート2
 (INTPm, INTPmHZO出力を使用する場合 (エッジ回路のみ使用))

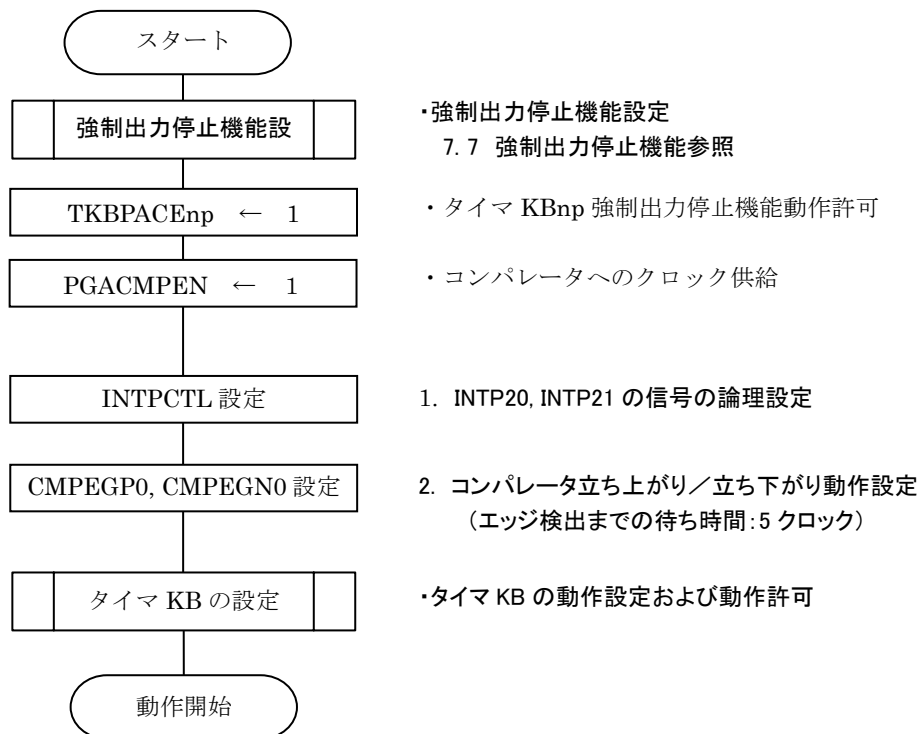


- ・強制出力停止機能設定
7.7 強制出力停止機能参照
- ・タイマ KBnp 強制出力停止機能動作許可
- ・コンパレータへのクロック供給
- 1. INTP20, INTP21 の信号の論理設定
- 2. コンパレータ立ち上がり/立ち下がり動作設定
(エッジ検出までの待ち時間：5クロック)
- ・タイマ KB の動作設定および動作許可

注意 1. ~ 2. は INTP20, INTP21 処理禁止の状態を設定してください。

正)

コンパレータ(CMP)動作設定フロー・チャート2
 (INTPm, INTPm出力を使用する場合(エッジ回路のみ使用))



注意 1.~2.は INTP20, INTP21 処理禁止の状態を設定してください。

15.6.3 SNOOZEモード機能

誤)

STOPモード時にRxD0端子入力の検出によりUARTの受信動作をさせるモードです。通常STOP時にUARTは通信動作を停止しますが、このモードを使うことで、RxD0端子入力の検出によってCPUを動作させずにUARTの受信動作を行うことができます。SNOOZEモードは、UART0のみ設定可能です。

SNOOZEモード機能を使用する場合は、STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタ0 (SSC0) のSWC0ビットを1に設定します。

注意1. SNOOZEモードは、f_{CLK}に高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

2. UART0をSNOOZEモードで使用するときの最大転送レートは9600 bpsです。

正)

STOPモード時にRxDq端子入力の検出により、UART受信を動作させるモードです。通常STOPモード時はUARTの通信動作を停止しますが、SNOOZEモード機能を使用することで、CPUを動作させずにUART受信を行うことができます。SNOOZEモードは、UART0のみ設定可能です。

UARTqをSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います。(図15-92、図15-94 SNOOZEモード動作時のフローチャートを参照)

・SNOOZEモード時は、UART受信ポーレートの設定を通常動作時とは異なる値に変更する必要があります。表15-3を参照してSPSmレジスタ、SDRmnレジスタ[15:9]を設定してください。

・EOCmnビット、SSECmnビットを設定します。通信エラーが発生した場合にエラー割り込み(INTSRE0)の発生許可/停止を設定することができます。

・STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm(SSCm)のSWCmビットをセット(1)してください。初期設定完了後、シリアル・チャンネル開始レジスタm(SSm)のSSm1ビットをセット(1)します。

STOPモードに移行後、RxDqのエッジを検出(スタート・ビット入力)すると、UART受信を開始します。

注意1. SNOOZEモードは、f_{CLK}に高速オンチップ・オシレータ・クロック(f_H)を選択している場合のみ使用できます。

2. SNOOZEモードでの転送レートは4800bpsのみです。

3. SWCm=1の設定では、STOPモード中に受信開始した時のみUARTqを使用できます。他のSNOOZE機能や割り込みと同時に使用して、次のようなSTOPモード以外の状態で受信開始した場合は、正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

・SWCm=1に設定後、STOPモードに移行する前に受信開始した場合

・他のSNOOZEモード中に受信開始した場合

・STOPモードから割り込みなどで通常動作に復帰後、SWCm=0に戻す前に受信開始した場合SSECm=1の設定では、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFmn、FEFmn、OVFmnフラグはセットされず、エラー割り込み(INTSREq)も発生しません。そのため、SSECm=1で使用するときには、SWC0=1に設定する前にPEFmn、FEFmn、OVFmnフラグをクリアし、また、SDRm1レジスタのビット7-0(RxDq)を読み出してください。

備考 m = 0; n = 0; q = 0

表15-3 SNOOZEモード時のUART受信ボー・レート設定

高速オンチップ・ オシレータ (f _{OH})	SNOOZEモード時のUART受信ボー・レート			
	ボー・レート4800 bps			
	動作クロック (f _{MCK})	SDRmn [15:9]	最大許容値	最小許容値
32MHz ± 1.0% ^注	f _{CLK} / 2 ⁵	105	2.27%	- 1.53%
24MHz ± 1.0% ^注	f _{CLK} / 2 ⁵	79	1.60%	- 2.18%
16MHz ± 1.0% ^注	f _{CLK} / 2 ⁴	105	2.27%	- 1.53%
12MHz ± 1.0% ^注	f _{CLK} / 2 ⁴	79	1.60%	- 2.19%
8MHz ± 1.0% ^注	f _{CLK} / 2 ³	105	2.27%	- 1.53%
6MHz ± 1.0% ^注	f _{CLK} / 2 ³	79	1.60%	- 2.19%
4MHz ± 1.0% ^注	f _{CLK} / 2 ²	105	2.27%	- 1.53%
3MHz ± 1.0% ^注	f _{CLK} / 2 ²	79	1.60%	- 2.19%
2MHz ± 1.0% ^注	f _{CLK} / 2	105	2.27%	- 1.54%
1MHz ± 1.0% ^注	f _{CLK}	105	2.27%	- 1.57%

注 高速オンチップ・オシレータ・クロック周波数精度が±1.5%、±2.0%の場合は、次のように許容範囲が狭くなります。

・f_{OH} ± 1.5%の場合は、上表の最大許容値に-0.5%、最小許容値に+0.5%してください。

・f_{OH} ± 2.0%の場合は、上表の最大許容値に-1.0%、最小許容値に+1.0%してください。

備考 最大許容値、最小許容値は、UART受信時のボー・レート許容値です。

この範囲に送信側のボー・レートが収まるように設定してください。

16.6 DALIモード

DALI通信においてマスタ機能を拡張します。

旧)

P.727 DALI(Digital Addressable Lighting Interface)のスレーブ送受信を行います。

新)

DALI(Digital Addressable Lighting Interface)のマスタおよびスレーブとしてデータの送受信を行います。

16.6.1 DALI送信

DALI送信の設定を機能拡張します。

旧)

p.730 表

DALI送信	
転送データ長	8ビットまたは16ビットまたは24ビット
データ位相	正転出力 (デフォルト：ハイ・レベル)

新)

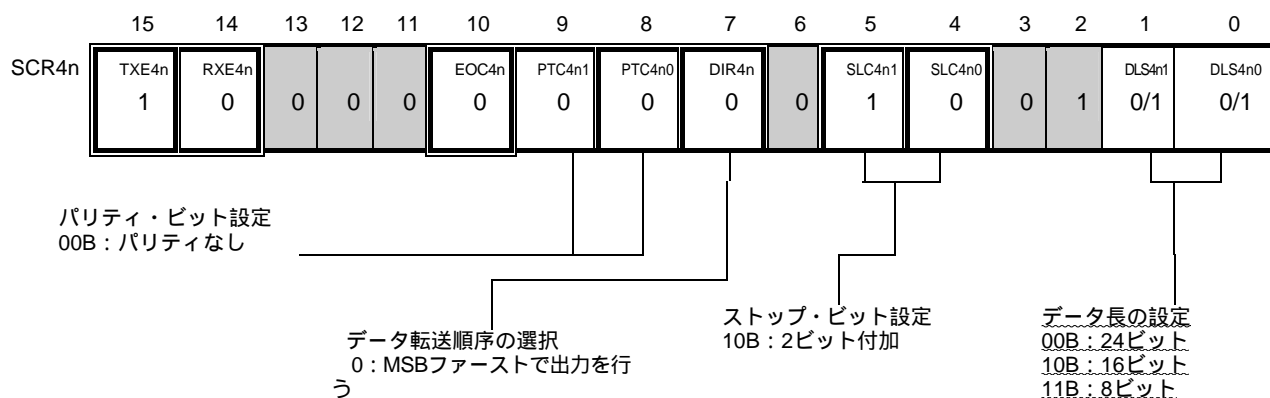
DALI送信	
転送データ長	8ビットまたは16ビットまたは17ビットまたは24ビット
データ位相	非反転出力 (デフォルト：ハイ・レベル)、反転出力 (デフォルト：ロウ・レベル)

図16-46 DALI送信時のレジスタ設定内容例

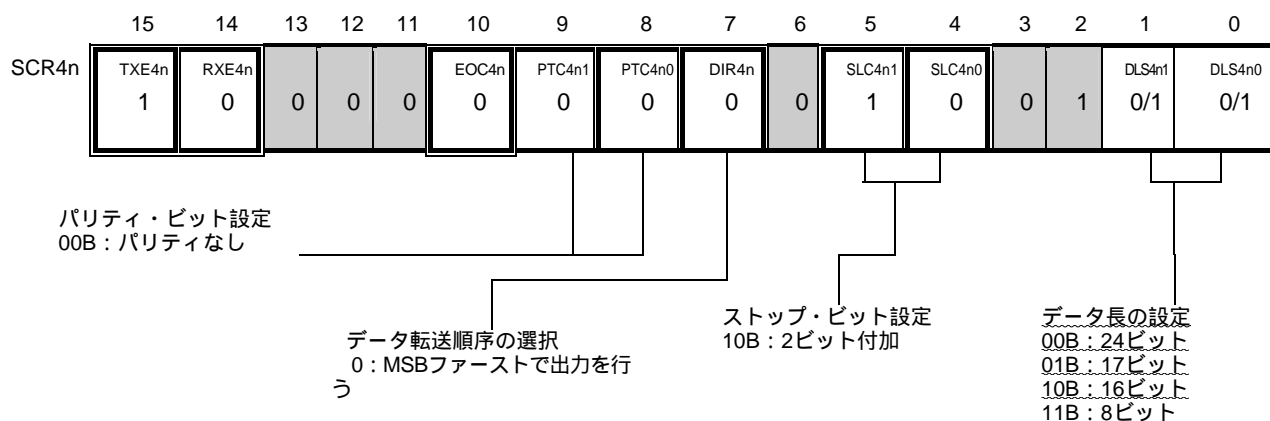
DALI送信の設定を機能拡張します。

旧)

シリアル通信動作設定レジスタ4n(SCR4n)



新)



旧)

(f) シリアル出力レベル・レジスタ4 (SOL4) . . . 対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SOL4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL40
																	0

0: 正転(通常)送信

新)

(f) シリアル出力レベル・レジスタ4 (SOL4) . . . 対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SOL4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL40
																	0

0: 非反転送信

1: 反転送信

16.6.2 DALI受信

DALI受信の機能を拡張します。

旧)

p.737 表

DALI受信	
転送データ長	16ビットまたは17ビットまたは24ビット
データ位相	正転出力 (デフォルト: ハイ・レベル)

新)

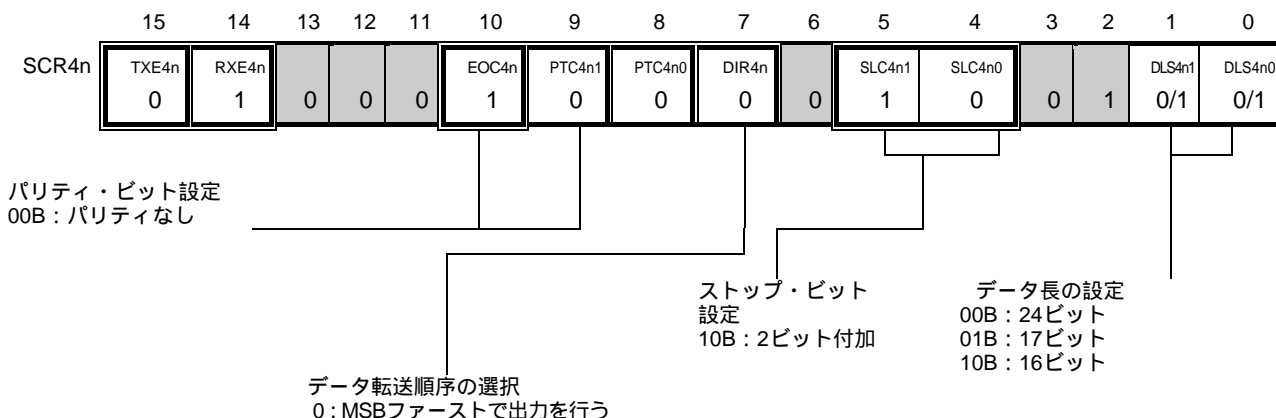
DALI受信	
転送データ長	8ビットまたは16ビットまたは17ビットまたは24ビット
データ位相	非反転出力 (デフォルト: ハイ・レベル)、反転出力 (デフォルト: ロウ・レベル)

図16-52 DALI受信時のレジスタ設定内容例

旧)

p.738 レジスタ設定

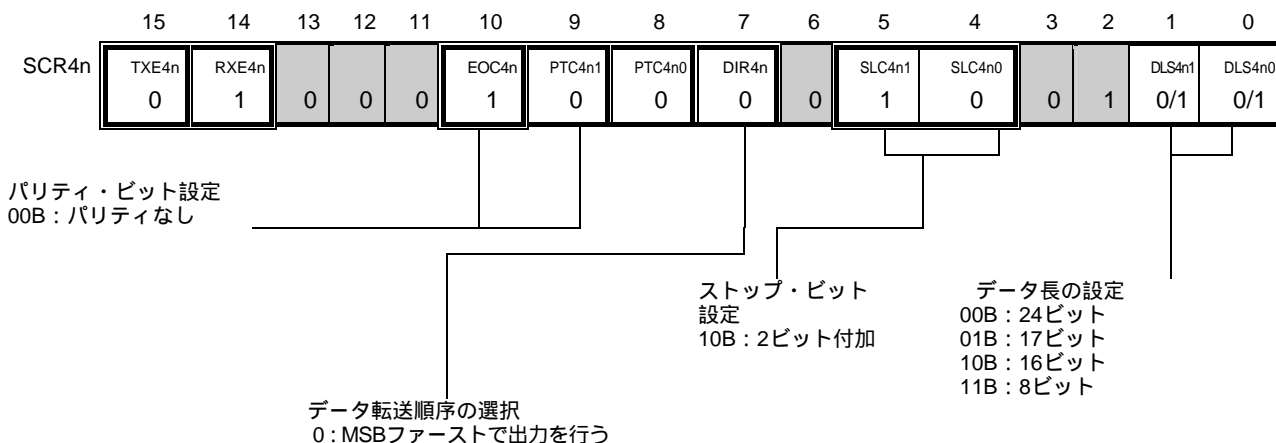
シリアル通信動作設定レジスタ4n (SCR4n)



新)

p.738 レジスタ設定

シリアル通信動作設定レジスタ4n (SCR4n)



16.7 SNOOZEモード機能(DALI/UART4受信のみ)

SNOOZEモードの使用に関して

DALI/UART4のDALIモードでSNOOZEモード機能を使用する場合、ボーレートやスタートビット波形によって正常なデータであってもマンチェスタ・フレーミング・エラーが発生することがあります。受信は行われますが、エラーは判別できません。回避手段としてSTOP&HALTモードからの復帰(DALI受信時)をご使用ください。

旧)

16.7 SNOOZEモード機能(DALI/UART4受信のみ)

DALI受信, UART受信(チャンネル1)は, SNOOZEモードに対応しています。SNOOZEモードとは, STOPモード状態でDALIRxD4端子入力を検出すると, CPU動作を必要とせずにデータ受信を行う機能です。SNOOZEモード機能を使用する場合は, STOPモードに移行する前にシリアル・スタンバイ・コントロール・レジスタ2(SSC4)のSWCビットを1に設定しておきます。

(以下略)

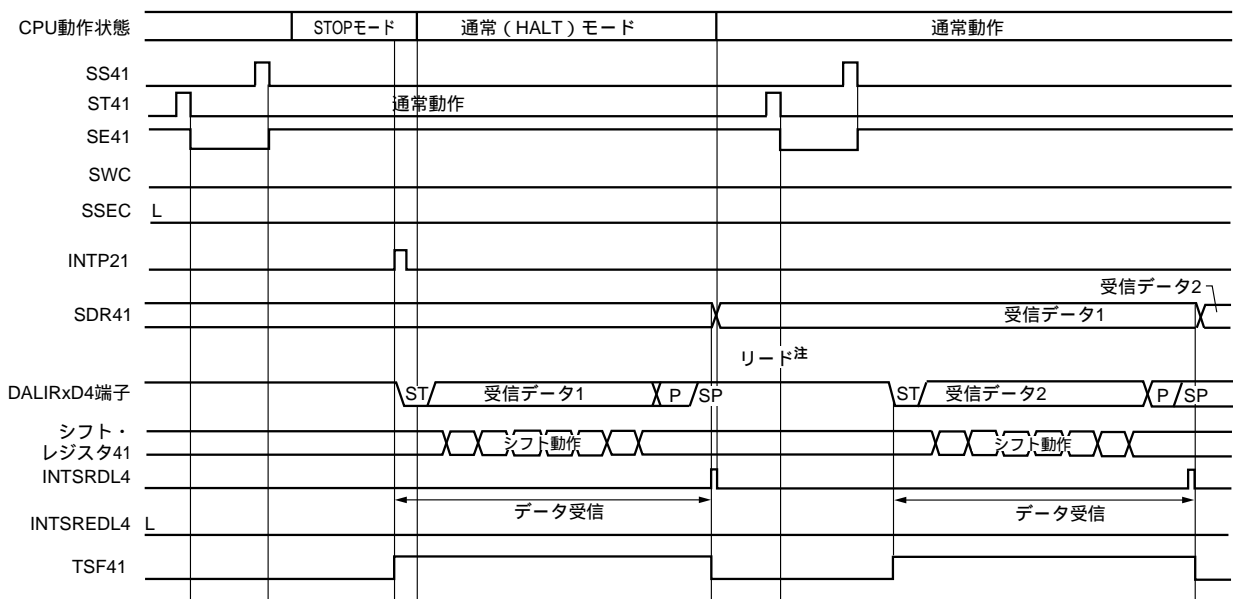
備考 図中の①~⑪は, 図16-61 SNOOZEモード動作(異常動作②)時のタイミング・チャートの①~⑪に対応しています。

新)

(1)STOP & HALTモードからの復帰(DALI受信時)

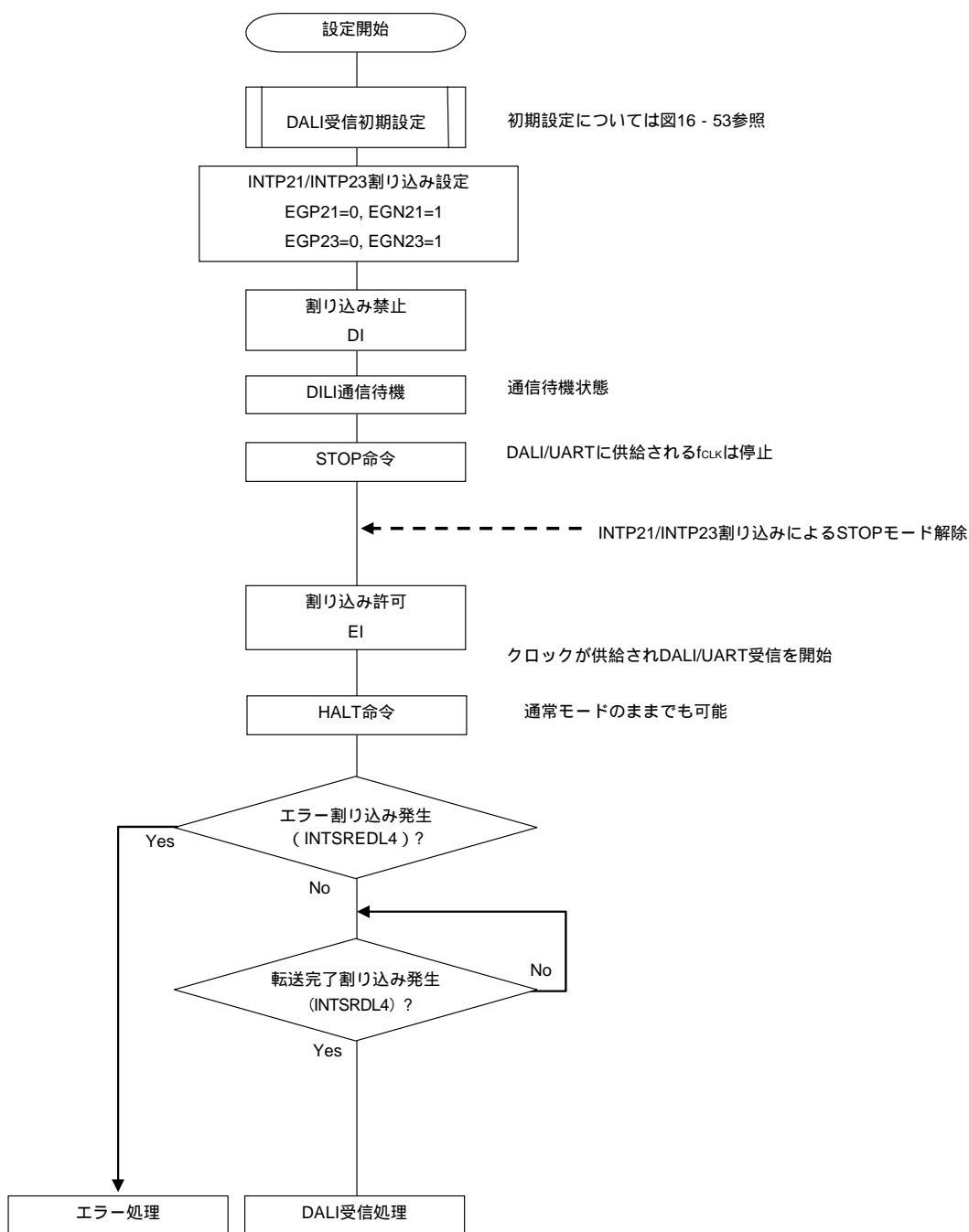
DALI受信は, SNOOZEモード時には使用できませんが, RxD4端子入力をINTP21もしくはINTP23の割り込み機能と同時に使用することにより, STOPモードで受信待機することが可能です。これにより, SNOOZEモードと同様の省電力通信を実現することができます。

STOPモードからの復帰タイミング・チャート



備考 図中の①~⑨は, 図16-59 STOPモードからの復帰受信フロー・チャートの①~⑨に対応しています。

STOPモードからの復帰受信フロー・チャート



備考 1. 図中の①~⑨は、図 16-58 STOPモードからの復帰タイミング・チャートの①~⑨に対応しています。

2. SWC4ビットは0のまま使用します。

図20-5 優先順位指定フラグ・レジスタのフォーマット)

誤)

図20-5 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)のフォーマット (38ピン製品) (2/3)

アドレス：FFFEBH リセット時：FFH R/W

略号	7	6	5	4	33	2	1	0
PR01H	TMPR004	PPR020	SRDLPR04	STDLP04	1	ITPR0	RTCPR0	ADPR0
		PPR120	SREDLPR04					

アドレス：FFFEFH リセット時：FFH R/W

略号	7	6	5	4	33	2	1	0
PR11H	TMPR104	PPR022	SRDLPR14	STDLP14	1	ITPR1	RTCPR1	ADPR1
		PPR122	SREDLPR14					

正)

アドレス：FFFEBH リセット時：FFH R/W

略号	7	6	5	4	33	2	1	0
PR01H	TMPR004	PPR020	SRDLPR04	STDLP04	1	ITPR0	RTCPR0	ADPR0
		PPR022	SREDLPR04					

アドレス：FFFEFH リセット時：FFH R/W

略号	7	6	5	4	33	2	1	0
PR11H	TMPR104	PPR022	SRDLPR14	STDLP14	1	ITPR1	RTCPR1	ADPR1
		PPR120	SREDLPR14					

21.2.2.STOPモード

誤)

図21-5 STOPモードの割り込み要求発生による解除

(1) CPUクロックが高速システム・クロック (X1発振) の場合

注2. STOPモード解除時間

クロック供給停止: $18.96 \mu s \sim$ “ $28.95 \mu s$ と発振安定時間 (OSTSで設定) の長い方”

ウエイト

- ・ベクタ割り込み処理を行う場合 : 10~11クロック
- ・ベクタ割り込み処理を行わない場合 : 4~5クロック

(2) CPUクロックが高速システム・クロック (外部クロック入力) の場合

(3) CPUクロックが高速オンチップ・オシレータ・クロックの場合

(省略)

注2. STOPモード解除時間

クロック供給停止 : $19.08 \mu s \sim 32.99 \mu s$

正)

図21-5 STOPモードの割り込み要求発生による解除

(1) CPUクロックが高速システム・クロック (X1発振) の場合

(省略)

注2. STOPモード解除時間

クロック供給停止: $18 \mu s \sim 65 \mu s$ と発振安定時間 (OSTSで設定) の長い方

ウエイト

- ・ベクタ割り込み処理を行う場合 : 10~11クロック
- ・ベクタ割り込み処理を行わない場合 : 4~5クロック

備考 クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

(2) CPUクロックが高速システム・クロック (外部クロック入力) の場合

(3) CPUクロックが高速オンチップ・オシレータ・クロックの場合

(省略)

注2. STOPモード解除時間

クロック供給停止: $18 \mu s \sim 65 \mu s$

備考 クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

21. 2. 3 SNOOZEモード

誤)

SNOOZEモードの移行では、次の時間だけウエイト状態になります。

STOP→SNOOZEHS(高速メイン)モード：18.96～28.95 μ sLS(低速メイン)モード：20.24～28.95 μ s**SNOOZE→通常動作****・ベクタ割り込み処理を行う場合**HS(高速メイン)モード：6.79～12.4 μ s+7クロックLS(低速メイン)モード：2.58～7.8 μ s+7クロック**・ベクタ割り込み処理を行わない場合**HS(高速メイン)モード：6.79～12.4 μ s+1クロックLS(低速メイン)モード：2.58～7.8 μ s+1クロック

正)

SNOOZEモードの移行では、次の時間だけウエイト状態になります。

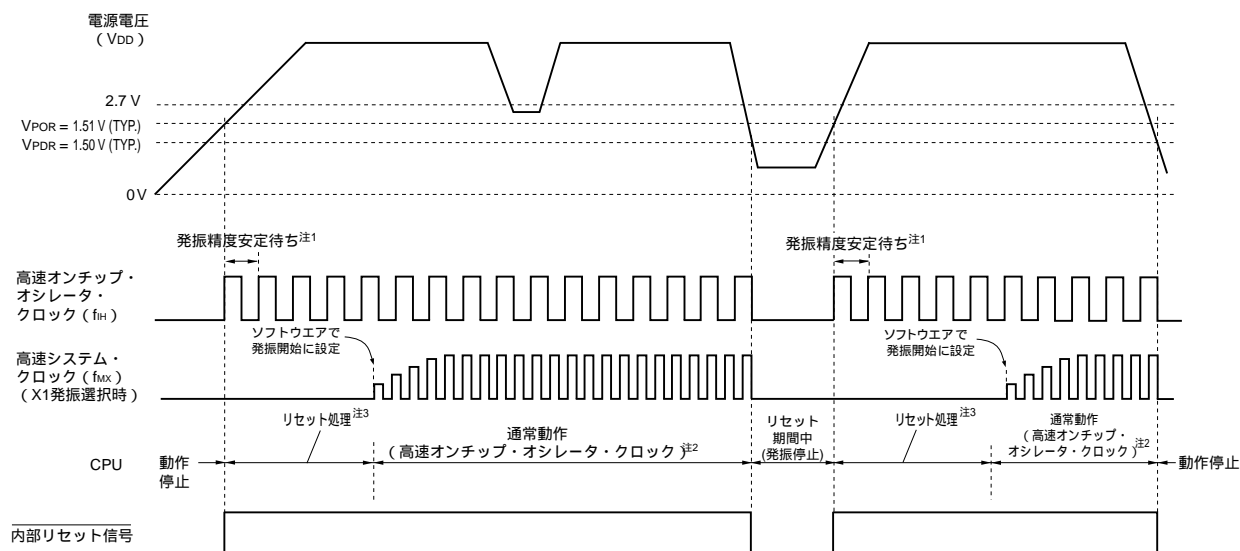
STOPモード SNOOZEモードの遷移時間：18 μ s～65 μ s**備考 STOPモード SNOOZEモードの遷移時間は、温度条件とSTOPモード期間によって変化します。****SNOOZEモード 通常動作の遷移時間：****・ベクタ割り込み処理を行う場合**HS(高速メイン)モード：4.99～9.44 μ s+7クロックLS(低速メイン)モード：1.10～5.08 μ s+7クロック**・ベクタ割り込み処理を行わない場合**HS(高速メイン)モード：4.99～9.44 μ s+1クロックLS(低速メイン)モード：1.10～5.08 μ s+1クロック

パワーオン・リセット回路 図23-2の誤記訂正 (p.947 - p.949)

タイミング図および注について全面変更
誤)

図23-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング(1/2)

(1)LVDオフ時(オプション・バイト000C1HのVPOC2 = 1)

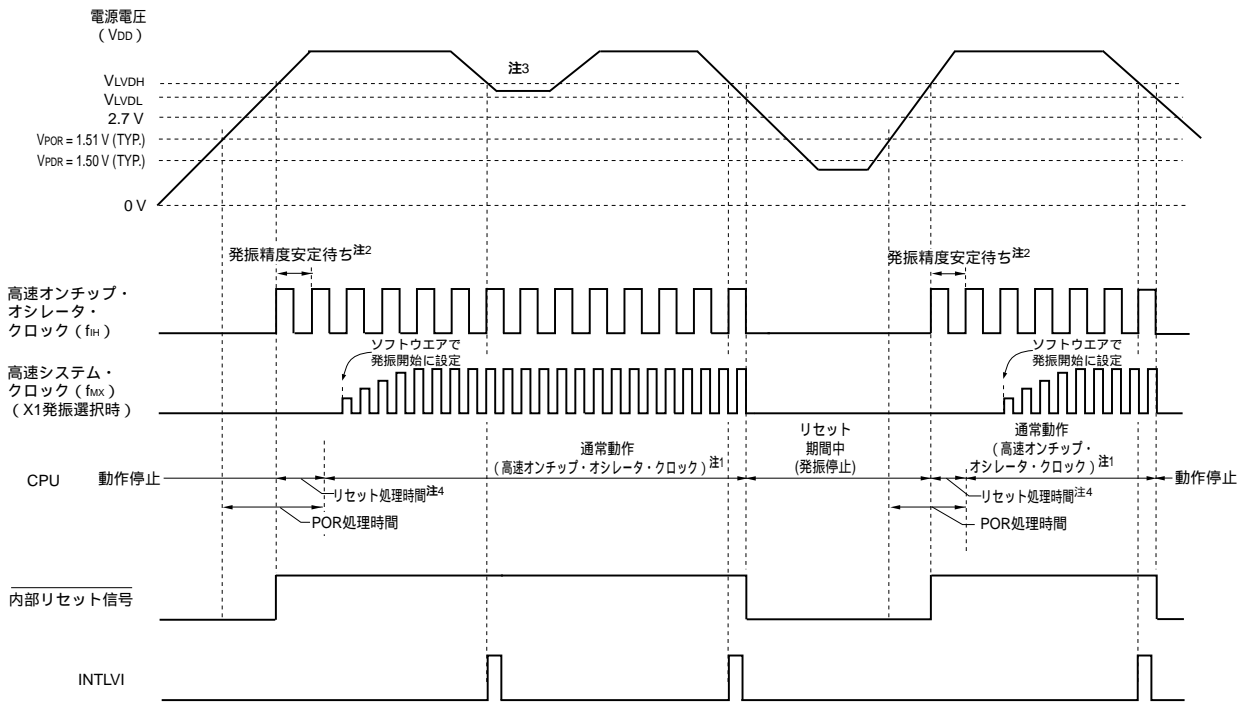


- 注 1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部の電圧安定待ちなどのリセット処理時間に含まれません。
- 2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1 クロックを使用する場合は、発振安定時間カウンタ状態レジスタ(OSTC)で、XT1 クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから切り替えてください。
- 3. リセット処理時間: 265~407 μ s

備考 V_{POR} :POR 電源立ち上がり検出電圧
V_{PDR} :POR 電源立ち下がり検出電圧

図23-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング(2/2)

(2) LVDが割り込み & リセット・モード時(オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 0)



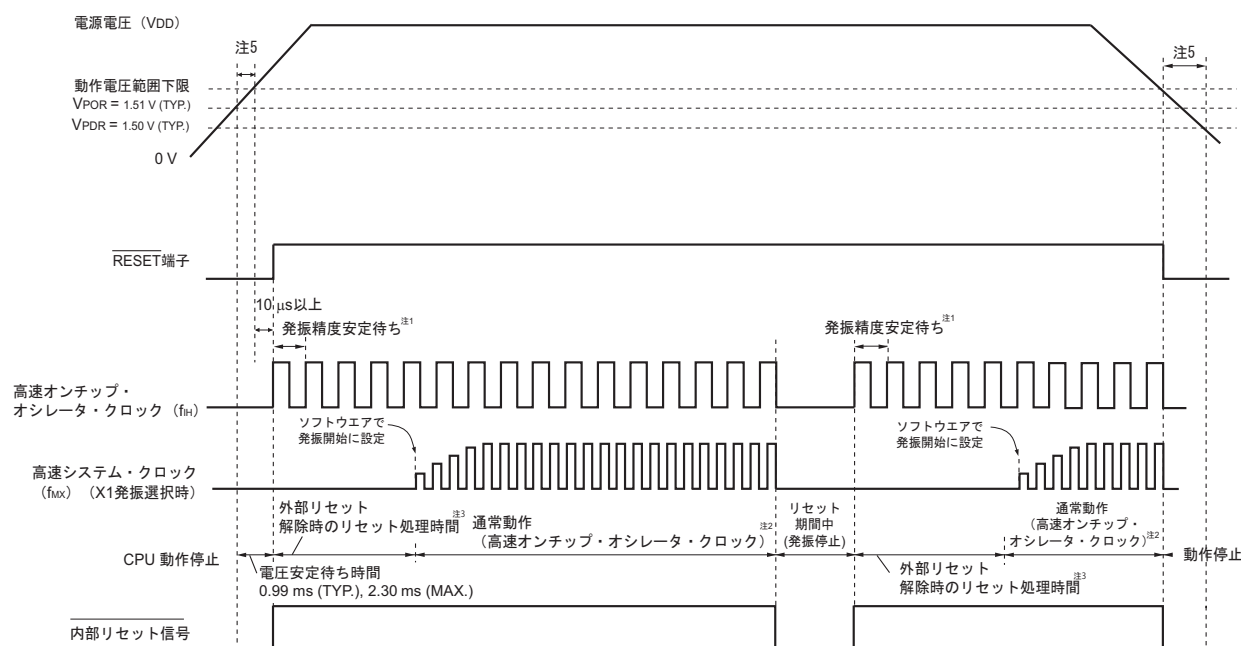
- 注 1. CPU クロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1 クロックを使用する場合は、発振安定時間カウンタ状態レジスタ(OSTC)で、XT1 クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから、切り替えてください。
- 2. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
- 3. 1 回目の割り込み要求信号(INTLVI)が発生したあと、電圧検出レベル・レジスタ(LVIS)の LVIL, LVIMD ビットは自動的に 1 に設定されます。そのため、動作電圧が電圧検出電圧(V_{LVDL})を下回らずに、2.7 V 以上に復帰する可能性がある場合は、INTLVI 発生後、必要な退避処理を行い、ソフトウェアで初期設定をしてください(図 24-8 割り込み & リセット・モードの初期設定の設定手順参照)。
- 4. リセット処理時間: 497~720 μ s

備考 V_{LVDH}, V_{LVDL} : LVD 検出電圧
 V_{PO}R : POR 電源立ち上がり検出電圧
 V_{PDR} : POR 電源立ち下がり検出電圧

正)

図23-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミング(1/3)

(1) RESET端子による外部リセット使用時



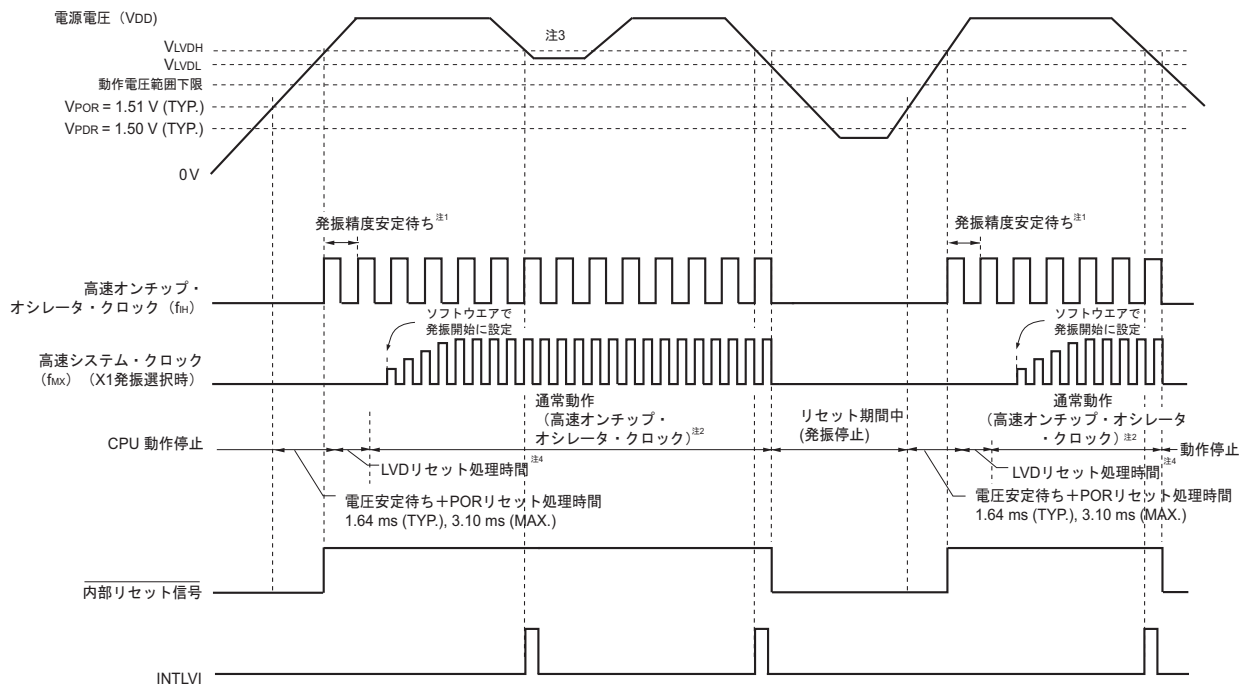
- 注 1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ(OSTC)で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから切り替えてください。
3. 通常動作が開始されるまでの時間は、 V_{POR} (1.51 V (TYP.))に達してからの“電圧安定待ち時間”に加えて、RESET信号をハイ・レベル(1)にしてから次の“外部リセット解除時のリセット処理時間(POR解除後1回目)”が掛かります。外部リセット解除時のリセット処理時間を次に示します。
- POR解除後1回目：0.672 ms (TYP.), 0.832 ms (MAX.)(LVD使用時)
0.399 ms (TYP.), 0.519 ms (MAX.)(LVDオフ時)
4. POR解除後2回目以降の外部リセット解除時のリセット処理時間を次に示します。
- POR解除後2回目以降：0.531 ms (TYP.), 0.675 ms (MAX.)(LVD使用時)
0.259 ms (TYP.), 0.362 ms (MAX.)(LVDオフ時)
5. 電源立ち上がり時は、32.4 または33.4 AC特性に示す動作電圧範囲まで、外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲まで復帰したことを確認してください。

備考 V_{POR} :POR電源立ち上がり検出電圧
 V_{PDR} :POR電源立ち下がり検出電圧

注意 LVDオフ時は必ずRESET端子による外部リセットを使用してください。詳細は、第24章 電圧検出回路を参照してください。

図23-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング(2/3)

(2) LVD割り込み&リセット・モード時 (オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 0)



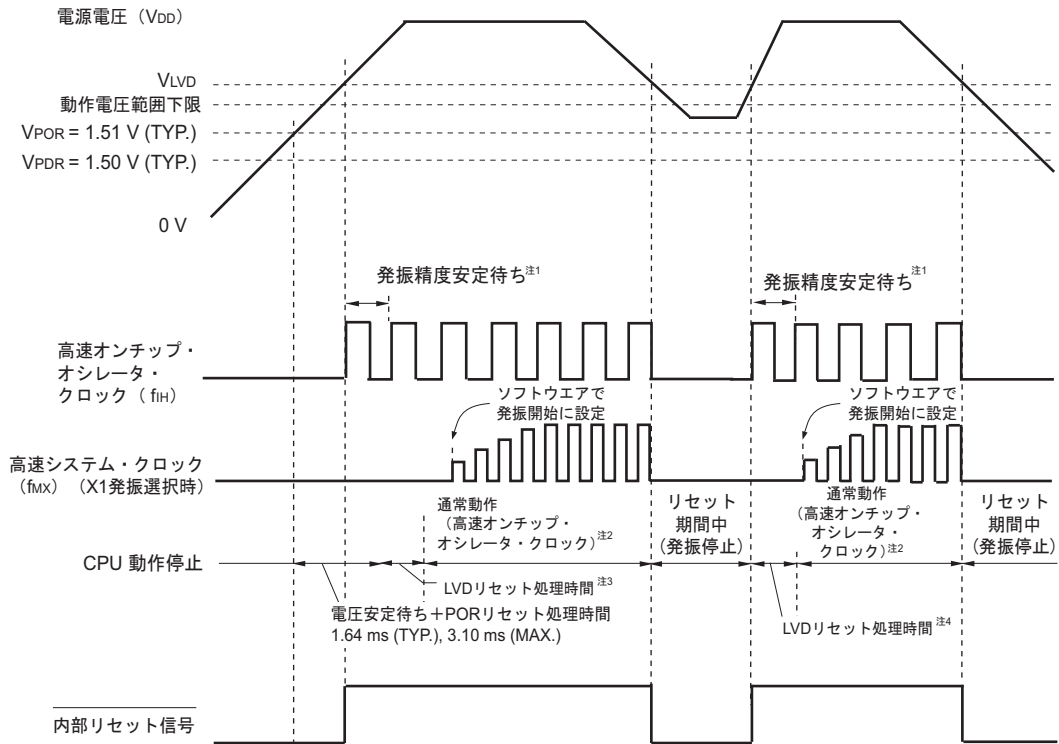
- 注 1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1 クロックを使用する場合は、発振安定時間カウンタ状態レジスタ(OSTC)で、XT1 クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから、切り替えてください。
3. 割り込み要求信号 (INTLVI) が発生したあと、電圧検出レベル・レジスタ(LVIS)の LVIL, LVIMD ビットは自動的に 1 に設定されます。そのため、電源電圧が低電圧検出電圧 (VLVDL) を下回らずに、高電圧検出電圧 (VLVDH) 以上に復帰する場合を考慮して、INTLVI 発生後は、”図 24-7 動作電圧確認/リセットの設定手順”と、”図 24-8 割り込み&リセット・モードの初期設定”に従って設定をしてください。
4. 通常動作が開始されるまでの時間は、VPOr (1.51 V (TYP.))に達してからの“電圧安定待ち+PORリセット処理時間”に加えて、LVD 検出レベル (VLVDH) に達してから次の“LVD リセット処理時間”が掛かります。

LVD リセット処理時間：0 ms ~ 0.0701 ms (MAX.)

- 備考 VLVDH, VLVDL : LVD 検出電圧
- VPOr : POR 電源立ち上がり検出電圧
- VPDR : POR 電源立ち下がり検出電圧

図23-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング(3/3)

(3) LVD リセット・モード時 (オプション・バイト000C1H のLVIMDS1, LVIMDS0 = 1, 1)



- 注 1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
- 2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1 クロックを使用する場合は、発振安定時間カウンタ状態レジスタ(OSTC)で、XT1 クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから、切り替えてください。
- 3. 通常動作が開始されるまでの時間は、 V_{POR} (1.51 V (TYP.))に達してからの“電圧安定待ち+PORリセット処理時間”に加えて、LVD 検出レベル(V_{LVD})に達してから次の“LVD リセット処理時間”が掛かります。
LVD リセット処理時間：0 ms ~ 0.0701 ms (MAX.)
- 4. 電源電圧降下時、電圧検出回路(LVD)による内部リセットのみ発生後に電源電圧が復帰した場合、LVD 検出レベル(V_{LVD})に達してから次の“LVD リセット処理時間”が掛かります。
LVD リセット処理時間：0.0511 ms (TYP.), 0.0701ms (MAX.)

備考 1. V_{LVDH} , V_{LVDL} : LVD 検出電圧

V_{POR} : POR 電源立ち上がり検出電圧

V_{PDR} : POR 電源立ち下がり検出電圧

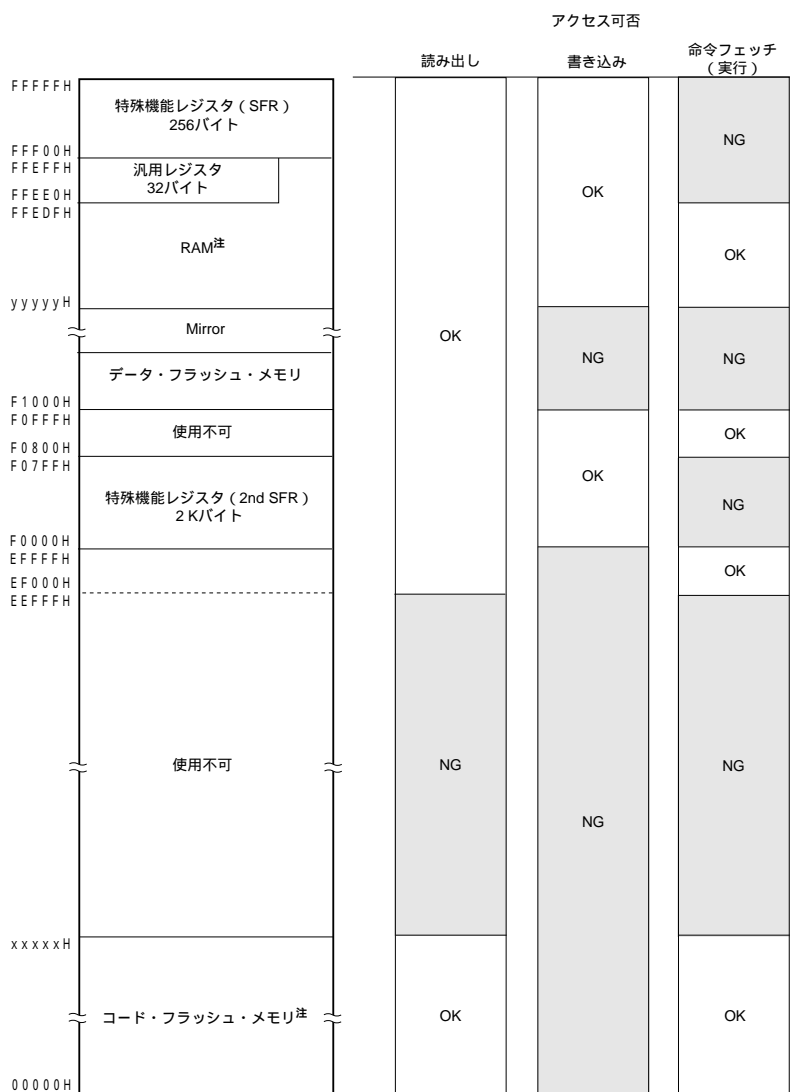
2. LVD 割り込みモード(オプション・バイト 000C1H の LVIMD1, LVIMD0=0,1)を選択した場合、

電源投入後に通常動作が開始されるまでの時間は、図 23-2(3) LVD リセット・モード時の“注 3”の時間と同じです。

25.3.6 不正メモリ・アクセス検出機能

誤)

図25 - 11 不正アクセス検出空間

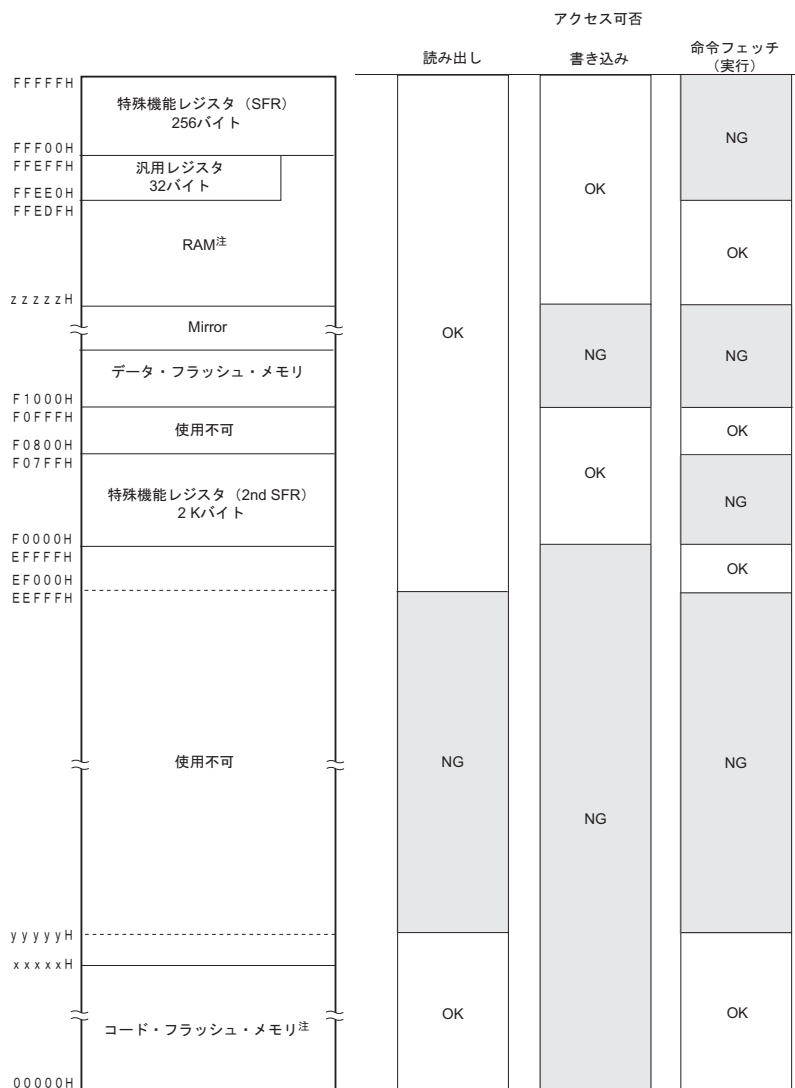


注 各製品のコード・フラッシュ・メモリ，RAMのアドレスは次のようになります。

製品	コード・フラッシュ・メモリ (00000H-xxxxxH)	RAM (yyyyyH-FFEFFH)
R5F1076C, R5F107AC, R5F107BC	32768 × 8ビット (00000H-07FFFH)	2048 × 8ビット (FF700H-FFEFFH)
R5F107AE, R5F107DE	65536 × 8ビット (00000H-0FFFFH)	4096 × 8ビット (FEF00H-FFEFFH)

正)

図25-11 不正アクセス検出空間



注 各製品のコード・フラッシュ・メモリ, RAM, 検出最下位アドレスを次に示します。

製品	コード・フラッシュ・メモリ (00000H-xxxxxH)	RAM (zzzzzH-FFFFFH)	読み出し/命令フェッチ(実行)時の検出最下位アドレス (yyyyyH)
R5F1076C, R5F107AC	32768 × 8ビット (00000H-07FFFFH)	2048 × 8ビット (FF700H-FFFFFH)	10000H
R5F107AE, R5F107DE	65536 × 8ビット (00000H-0FFFFFH)	4096 × 8ビット (FEF00H-FFFFFH)	10000H

図 27-3 ユーザ・オプション・バイト(000C2H/010C2H)のフォーマット

旧)

図27-3 ユーザ・オプション・バイト(000C2H/010C2H)のフォーマット

アドレス：000C2H/010C2H^注

7	6	5	4	3	2	1	0
CMODE1	CMODE0	1	0	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0

CMODE1	CMODE0	フラッシュの動作モード設定		
			動作周波数範囲	動作電圧範囲
1	0	LS(低速メイン)モード	1 MHz~8 MHz	2.7 V~5.5 V
1	1	HS(高速メイン)モード	1 MHz~32 MHz	2.7 V~5.5 V
上記以外		設定禁止		

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
1	0	0	0	32 MHz
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
1	0	1	1	4 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

注 ブート・スワップ時は、000C2Hと010C2Hが切り替わるので、010C2Hにも000C2Hと同じ値を設定してください。

新)

図27-3 ユーザ・オプション・バイト(000C2H/010C2H)のフォーマット

アドレス:000C2H/010C2H^注

7	6	5	4	3	2	1	0
CMODE1	CMODE0	1	0	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0

CMODE1	CMODE0	フラッシュの動作モード設定		
			動作周波数範囲	動作電圧範囲
1	0	LS(低速メイン)モード	1 MHz~8 MHz	2.7 V~5.5 V
1	1	HS(高速メイン)モード	1 MHz~32 MHz	2.7 V~5.5 V
上記以外		設定禁止		

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
1	0	0	0	32 MHz
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
0	0	1	0	6 MHz
1	0	1	1	4 MHz
0	0	1	1	3 MHz
1	1	0	0	2 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

注 ブート・スワップ時は, 000C2H と 010C2H が切り替わるので, 010C2H にも 000C2H と同じ値を設定してください。

注意 1. ビット 5-4 には, 必ず 10B を書き込んでください。

2. 動作周波数範囲と動作電圧範囲は, フラッシュの各動作モードによって異なります。詳細は, 32.4 または 33.4 AC特性を参照してください。

データ・フラッシュの概要 注意追加 (p.1003)**誤)**

データ・フラッシュの概要は次のとおりです。

(省略)

正)

データ・フラッシュの概要は次のとおりです。データ・フラッシュの書き換え方法の詳細は、RL78ファミリ・データ・フラッシュ・ライブラリ ユーザーズ・マニュアルを参照してください。

(省略)

注意1. データ・フラッシュの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作(HIOSTOP=0)させ、30us経過後にデータ・フラッシュ・ライブラリを実行してください。

セルフ書き込みによるフラッシュメモリプログラミングの注意追加 (p.1012)

誤)

28.6 セルフ書き込みによるフラッシュ・メモリ・プログラミング

RL78/I1Aは、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はRL78/I1Aセルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

注意 1. CPU がサブシステム・クロック動作時の場合、セルフ・プログラミング機能は使用できません。

2. セルフ・プログラミング中に割り込みを禁止するためには、通常動作モード時と同様に、DI 命令により IE フラグがクリア (0)されている状態でセルフ・プログラミング・ライブラリを実行してください。

割り込みを許可する場合は、EI 命令により IE フラグがセット (1)されている状態で、受け付ける割り込みの割り込みマスク・フラグをクリア (0)して、セルフ・プログラミング・ライブラリを実行してください。

(省略)

正)

28.6 セルフ書き込みによるフラッシュ・メモリ・プログラミング

RL78/I1Aは、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はRL78/I1Aセルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

注意1. CPUがサブシステム・クロック動作時の場合、セルフ・プログラミング機能は使用できません。

2. セルフ・プログラミング中に割り込みを禁止する場合は、DI命令によりIEフラグがクリア (0)されている状態でセルフ・プログラミング・ライブラリを実行してください。

割り込みを許可する場合は、EI命令によりIEフラグがセット (1)されている状態で、受け付ける割り込みの割り込みマスク・フラグをクリア (0)して、セルフ・プログラミング・ライブラリを実行してください。

(省略)

4. セルフ・プログラミング中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロック動作 (HIOSTOP=0)させ、30us経過後にセルフ・プログラミング・ライブラリを実行してください。

32.3.1 端子特性

誤)

p.1049-p.1050 注3. デューティ =70%の条件でのスペックです。

正)

注3. デューティ \leq 70%の条件でのスペックです。

テクニカル・アップデート別紙「第 32 章 電気的特性(TA = -40~+105°C対応品)」のご報告」
(MCYG-AB-13-0041)p.7 - p.8 を参照してください。

32.3.2 電源電流特性

誤)

p.1054 - p.1059 電源電流特性の注 誤記訂正

正)

テクニカル・アップデート別紙「第 32 章 電気的特性(TA = -40~+105°C対応品)」のご報告」(MCYG-AB-13-0041)
p.12 - p.17 を参照してください。

32.5 周辺機能特性

旧)

p.1062-p.1076 仕様変更および追加、LS(低速メイン)モードの仕様追加

新)

テクニカル・アップデート別紙「第 32 章 電気的特性(TA = -40~+105°C対応品)」のご報告」(MCYG-AB-13-0041)
p.21 - p.35 を参照してください。

32.6.1 A/Dコンバータ特性

誤)

p.1077 - p.1080 A/Dコンバータ特性、表および注の記述変更

正)

テクニカル・アップデート別紙「第 32 章 電気的特性 (TA = -40~+105°C対応品)」のご報告」(MCYG-AB-13-0041)

p.36 - p.40 を参照してください。

32.6.2 温度センサ特性

誤)

p.1081 温度センサ特性の誤記訂正と基準電圧特性の追加

正)

テクニカル・アップデート別紙「第 32 章 電気的特性 (TA = -40~+105°C対応品)」のご報告」(MCYG-AB-13-0041)

p.41 を参照してください。

電源電圧立ち上がり傾き特性

旧)

電源電圧立ち上がり傾き特性の仕様追加

追加)

テクニカル・アップデート別紙「第 32 章 電気的特性 (TA = -40~+105°C対応品)」のご報告」(MCYG-AB-13-0041)

p.44 を参照してください。

32.7 データ・メモリ STOP モード低電源電圧データ保持特性

旧)

p.1084 「32.7 データ・メモリ STOP モード低電源電圧データ保持特性」の仕様拡張

新)

テクニカル・アップデート別紙「第 32 章 電気的特性 (TA = -40~+105°C対応品)」のご報告」(MCYG-AB-13-0041)

p.44 を参照してください。

32.8 フラッシュ・メモリ・プログラミング特性

誤)

p.1084 「32.8 フラッシュ・メモリ・プログラミング特性」の誤記訂正

正)

テクニカル・アップデート別紙「第32章 電気的特性(TA = -40~+105°C対応品)」のご報告(MCYG-AB-13-0041)

p.45 を参照してください。

32.9 フラッシュ・メモリ・プログラミング・モード引き込み時のタイミング・スペック

誤)

p.1085 「32.9 フラッシュ・メモリ・プログラミング・モード引き込み時のタイミング・スペック」の誤記訂正

正)

テクニカル・アップデート別紙「第32章 電気的特性(TA = -40~+105°C対応品)」のご報告(MCYG-AB-13-0041)

p.45 を参照してください。

電気的特性(TA = -40~+125°C対応品)

旧)

TA = -40~+125°C対応品の仕様の追加

追加)

テクニカル・アップデート別紙「第33章 電気的特性(TA = -40~+125°C対応品)」のご報告(MCYG-AB-13-0042)

を参照してください。

発行文書履歴

RL78/I1A ユーザーズマニュアル Rev.1.00 誤記訂正通知 発行文書履歴

文書番号	発行日	記事
TN-RL*-A008A/J	2013年7月11日	初版発行 訂正一覧の No.1 ~ No.34 の誤記訂正(本通知です。)

以上

お客様各位	RL78/I1A テクニカル・アップデート別紙 第32章 電気的特性 (Ta = -40~+105°C対応品) (ご報告)	MCYG-AB-13-0041-1
		2013年7月11日
		ルネサス エレクトロニクス株式会社 第一事業本部 汎用製品ソリューション事業部 ブランド戦略第 部 担当課長 村上 功 (担当 岩崎 孝雄)

拝啓、貴社益々ご清栄の段お喜び申し上げます。また、平素は弊社の製品をご利用頂き誠に有難うございます。

さて、掲題の件につきまして、下記にご報告申し上げます。
今後とも倍旧のお引き立てを賜りますようお願い申し上げます。

敬具

記

1. 対象デバイス

RL78/I1A グループ

R5F1076CGSP,R5F107ACGSP,R5F107AEGSP,R5F107DEGSP

2. 関連資料

誤記訂正通知 RL78/I1A ユーザーズマニュアル Rev.1.00 の記載変更 (TN-RL*-A008A/J)
RL78/I1A ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0169JJ0100)

3. ご報告

誤記訂正通知 RL78/I1A ユーザーズマニュアル Rev.1.00 の記載変更(TN- RL*-A008A/J)で通知した訂正内容を反映した「第32章 電気的特性 (Ta = -40~+105°C対応品)」を2ページ目以降に示します。

第32章 電気的特性 (T_A = -40 ~ +105 対応品)

対象製品 (T_A = -40~+105)

R5F1076CGSP#V0, R5F1076CGSP#X0, R5F107ACGSP#V0, R5F107ACGSP#X0,
R5F107AEGSP#V0, R5F107AEGSP#X0, R5F107DEGSP#V0, R5F107DEGSP#X0

- 注意1. RL78/I1Aには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。
2. 製品により搭載している端子が異なります。2.1 ポート機能 ~2.2.1 製品別の搭載機能を参照してください。

32.1 絶対最大定格

絶対最大定格 (TA = 25) (1/2)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		-0.5 ~ +6.5	V
REGC端子入力電圧	V _{I_{REGC}}	REGC	-0.3 ~ +2.8 かつ -0.3 ~ V _{DD} + 0.3 ^{注1}	V
入力電圧	V _{I1}	P02, P03, P05, P06, P10-P12, P20-P22, P24-P27, P30, P31, P40, P75-P77, P120-P124, P137, P147, P200-P206, EXCLK, EXCLKS, RESET	-0.3 ~ V _{DD} + 0.3 ^{注2}	V
出力電圧	V _{O1}	P02, P03, P05, P06, P10-P12, P20-P22, P24-P27, P30, P31, P40, P75-P77, P120, P147, P200-P206	-0.3 ~ V _{DD} + 0.3 ^{注2}	V
アナログ入力電圧	V _{AI1}	ANI0-ANI2, ANI4-ANI7, ANI16-ANI19	-0.3 ~ V _{DD} + 0.3 かつ -0.3 ~ AV _{REF(+)} + 0.3 ^{注2, 3}	V

注1. REGC端子にはコンデンサ (0.47 ~ 1 μF) を介してV_{SS}に接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

2. 6.5 V以下であること。
3. A/D変換対象の端子は、AV_{REF(+)} + 0.3を越えないでください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

2. AV_{REF(+)} : A/Dコンバータの+側基準電圧
3. V_{SS}を基準電位とする

絶対最大定格 (TA = 25) (2/2)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	I _{OH1}	1端子	P02, P03, P05, P06, P10-P12, P30, P31, P40, P75-P77, P120, P147, P200-P206	-40	mA
		端子合計	P02, P03, P40, P120	-70	mA
		-170 mA	P05, P06, P10-P12, P30, P31, P75-P77, P147, P200-P206	-100	mA
	I _{OH2}	1端子	P20-P22, P24-P27	-0.5	mA
		端子合計		-2	mA
	ロウ・レベル出力電流	I _{OL1}	1端子	P02, P03, P05, P06, P10-P12, P30, P31, P40, P75-P77, P120, P147, P200-P206	40
端子合計			P02, P03, P40, P120	70	mA
170 mA			P05, P06, P10-P12, P30, P31, P75-P77, P147, P200-P206	100	mA
I _{OL2}		1端子	P20-P22, P24-P27	1	mA
		端子合計		5	mA
動作周囲温度		T _A	通常動作時		-40 ~ +105 [※]
	フラッシュ・メモリ・プログラミング時				
保存温度	T _{stg}			-65 ~ +150	

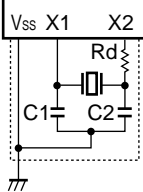
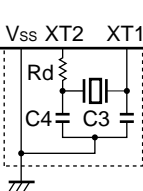
注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

32.2 発振回路特性

32.2.1 X1, XT1発振回路特性

(TA = -40 ~ +105 , 2.7 V VDD 5.5 V, VSS = 0 V)

項目	発振子	推奨回路	条件	MIN.	TYP.	MAX.	単位
X1クロック 周波数 (fx) 注	セラミック発振子 / 水晶振動子			1.0		20.0	MHz
XT1クロック 周波数 (fxT) 注	水晶振動子			32	32.768	35	kHz

注 発振回路の周波数許容範囲のみを示すものです。命令実行時間は、AC特性を参照してください。

また、実装回路上での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

備考 X1, XT1発振回路を使用する場合は、5.4 システム・クロック発振回路を参照してください。

32.2.2 オンチップ・オシレータ特性

(TA = -40 ~ +105 , 2.7 V VDD 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ クロック周波数 ^{注1}	f _{IH}		1		32	MHz
高速オンチップ・オシレータ クロック周波数精度 ^{注2}		TA = -20 ~ +85	-1		+1	%
		TA = -40 ~ +105	-1.5		+1.5	%
低速オンチップ・オシレータ クロック周波数	f _{IL}			15		kHz
低速オンチップ・オシレータ クロック周波数精度			-15		+15	%

注1. 高速オンチップ・オシレータで選択できる周波数です。オプション・バイト (000C2H/010C2H) のビット0-3 によって選択します。

2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

32.2.3 周波数通倍回路 (PLL) 特性

(TA = -40 ~ +105 , 2.7 V VDD 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
PLL入力クロック周波数 ^注	f _{PLLIN}	高速システム・クロック選択時 (f _{MX} = 4 MHz)	3.94	4.00	4.06	MHz
		高速オンチップ・オシレータ・クロック選択時 (f _{IH} = 4 MHz)	3.94	4.00	4.06	MHz
PLL出力クロック周波数 ^注	f _{PLL}		f _{PLLIN} × 16			MHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

32.3 DC特性

32.3.1 端子特性

(TA = -40 ~ +105 , 2.7 V VDD 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 ^{注1}	IOH1	P02, P03, P05, P06, P10-P12, P30, P31, P40, P75-P77, P120, P147, P200-P206 1端子	4.0 V VDD 5.5 V			-3.0 ^{注2}	mA
			2.7 V VDD < 4.0 V			-1.0	mA
		P02, P03, P40, P120 合計 (デューティ 70 %時 ^{注3})	4.0 V VDD 5.5 V			-12.0	mA
			2.7 V VDD < 4.0 V			-4.0	mA
		P05, P06, P10-P12, P30, P31, P75-P77, P147, P200-P206 合計 (デューティ 70 %時 ^{注3})	4.0 V VDD 5.5 V			-30.0	mA
			2.7 V VDD < 4.0 V			-10.0	mA
	全端子合計 (デューティ 70 %時 ^{注3})	4.0 V VDD 5.5 V			-30.0	mA	
		2.7 V VDD < 4.0 V			-14.0	mA	
	IOH2	P20-P22, P24-P27 1端子	2.7 V VDD 5.5 V			-0.1 ^{注2}	mA
			全端子合計 (デューティ 70 %時 ^{注3})	2.7 V VDD 5.5 V			-0.7

注1. VDD端子から出力端子に流れ出しても、デバイスの動作を保证する電流値です。

- ただし、合計の電流値を超えないでください。
- デューティ 70 %の条件での電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます (デューティ比をn %に変更する場合)。

$$\cdot \text{端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

< 計算例 > IOH = -10.0 mAの場合, n = 80 %

$$\text{端子合計の出力電流} = (-10.0 \times 0.7) / (80 \times 0.01) = -8.7 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注意 P02, P10-P12は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105 °C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電流 ^{注1}	IOL1	P02, P03, P05, P06, P10-P12, P30, P31, P40, P75-P77, P120, P147, P200-P206 1端子	4.0 V ≤ VDD ≤ 5.5 V			8.5 ^{注2}	mA
			2.7 V ≤ VDD < 4.0 V			1.5 ^{注2}	mA
		P02, P03, P40, P120 合計 (デューティ 70 %時 ^{注3})	4.0 V ≤ VDD ≤ 5.5 V			40.0	mA
			2.7 V ≤ VDD < 4.0 V			7.5	mA
		P05, P06, P10-P12, P30, P31, P75-P77, P147, P200-P206 合計 (デューティ 70 %時 ^{注3})	4.0 V ≤ VDD ≤ 5.5 V			40.0	mA
			2.7 V ≤ VDD < 4.0 V			17.5	mA
	全端子合計 (デューティ 70 %時 ^{注3})	4.0 V ≤ VDD ≤ 5.5 V			80.0	mA	
		2.7 V ≤ VDD < 4.0 V			25.0	mA	
	IOL2	P20-P22, P24-P27 1端子	2.7 V ≤ VDD ≤ 5.5 V			0.4 ^{注2}	mA
			2.7 V ≤ VDD ≤ 5.5 V			2.8	mA

注1. 出力端子からVSS端子に流れ込んでも、デバイスの動作を保証する電流値です。

- ただし、合計の電流値を超えないでください。
- デューティ 70 %の条件での電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます (デューティ比をn %に変更する場合)。

$$\cdot \text{端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

< 計算例 > I_{OH} = -10.0 mAの場合, n = 80 %

$$\text{端子合計の出力電流} = (-10.0 \times 0.7) / (80 \times 0.01) = -8.7 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105 , 2.7 V VDD 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
ハイ・レベル入力電圧	VIH1	P02, P03, P05, P06, P10-P12, P20-P22, P24-P27, P30, P31, P40, P75-P77, P120-P124, P137, P147, P200-P206, EXCLK, EXCLKS, RESET	通常入力バッファ	0.8VDD		VDD	V	
			TTL入力バッファ	4.0 V VDD 5.5 V	2.1		VDD	V
				3.3 V VDD < 4.0 V	2.0		VDD	V
				2.7 V VDD < 3.3 V	1.5		VDD	V
ロウ・レベル入力電圧	VIL1	P02, P03, P05, P06, P10-P12, P20-P22, P24-P27, P30, P31, P40, P75-P77, P120-P124, P137, P147, P200-P206, EXCLK, EXCLKS, RESET	通常入力バッファ	0		0.2VDD	V	
			TTL入力バッファ	4.0 V VDD 5.5 V	0		0.8	V
				3.3 V VDD < 4.0 V	0		0.5	V
				2.7 V VDD < 3.3 V	0		0.32	V
ロウ・レベル入力電圧	VIL2	P03, P10, P11	TTL入力バッファ	0		0.8	V	
			TTL入力バッファ	0		0.5	V	
			TTL入力バッファ	0		0.32	V	

注意 P02, P10-P12は、N-chオープン・ドレイン・モード時でもVIHの最大値 (MAX.) はVDDです。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105 , 2.7 V VDD 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電圧	VOH1	P02, P03, P05, P06, P10-P12, P30, P31, P40, P75-P77, P120, P147, P200-P206	4.0 V VDD 5.5 V, IOH1 = -3.0 mA	VDD-0.7			V
			2.7 V VDD 5.5 V, IOH1 = -1.0 mA	VDD-0.5			V
	VOH2	P20-P22, P24-P27	2.7 V VDD 5.5 V, IOH2 = -100 μA	VDD-0.5			V
ロウ・レベル出力電圧	VOL1	P02, P03, P05, P06, P10-P12, P30, P31, P40, P75-P77, P120, P147, P200-P206	4.0 V VDD 5.5 V, IOL1 = 8.5 mA			0.7	V
			4.0 V VDD 5.5 V, IOL1 = 4.0 mA			0.4	V
			2.7 V VDD 5.5 V, IOL1 = 1.5 mA			0.4	V
	VOL2	P20-P22, P24-P27	2.7 V VDD 5.5 V, IOL2 = 400 μA			0.4	V

注意 P02, P10-P12は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105 , 2.7 V VDD 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
ハイ・レベル入力リーク電流	I _{LIH1}	P02, P03, P05, P06, P10-P12, P20-P22, P24-P27, P30, P31, P40, P75-P77, P120, P137, P147, P200-P206, RESET	V _I = V _{DD}			1	μA	
	I _{LIH2}	P121-P124 (X1, X2, XT1, XT2, EXCLK, EXCLKS)	V _I = V _{DD}	入力ポート時, 外部クロック入力時			1	μA
				発振子接続時			10	μA
ロウ・レベル入力リーク電流	I _{LIL1}	P02, P03, P05, P06, P10-P12, P20-P22, P24-P27, P30, P31, P40, P75-P77, P120, P137, P147, P200-P206, RESET	V _I = V _{SS}				-1	μA
	I _{LIL3}	P121-P124 (X1, X2, XT1, XT2, EXCLK, EXCLKS)	V _I = V _{SS}	入力ポート時, 外部クロック入力時			-1	μA
			発振子接続時			-10	μA	
内蔵プリアップ抵抗	R _U	P02, P03, P05, P06, P10-P12, P30, P31, P40, P75-P77, P120, P147, P200-P206	V _I = V _{SS} , 入力ポート時	10	20	100	k	

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

32.3.2 電源電流特性

(TA = -40 ~ +105 , 2.7 V VDD 5.5 V, VSS = 0 V)

(1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位		
電源電流 ^{注1}	IDD1	動作モード	HS(高速メイン)モード ^{注5}	f _{IH} = 32 MHz ^{注3}	V _{DD} = 5.0 V		5.0	7.5	mA
					V _{DD} = 3.0 V		5.0	7.5	
				f _{IH} = 24 MHz ^{注3}	V _{DD} = 5.0 V		3.9	5.8	mA
					V _{DD} = 3.0 V		3.9	5.8	
				f _{IH} = 16 MHz ^{注3}	V _{DD} = 5.0 V		2.9	4.2	mA
					V _{DD} = 3.0 V		2.9	4.2	
			LS(低速メイン)モード ^{注5}	f _{IH} = 8 MHz ^{注3} , TA = -40 ~ +85	V _{DD} = 3.0 V		1.3	2.0	mA
			HS(高速メイン)モード ^{注5}	f _{MX} = 20 MHz ^{注2} , V _{DD} = 5.0 V	方形波入力		3.2	4.9	mA
					発振子接続		3.3	5.0	
				f _{MX} = 20 MHz ^{注2} , V _{DD} = 3.0 V	方形波入力		3.2	4.9	mA
					発振子接続		3.3	5.0	
				f _{MX} = 10 MHz ^{注2} , V _{DD} = 5.0 V	方形波入力		2.0	2.9	mA
				発振子接続		2.0	2.9		
		LS(低速メイン)モード ^{注5}	f _{MX} = 8 MHz ^{注2} , V _{DD} = 3.0 V, TA = -40 ~ +85	方形波入力		1.2	1.8	mA	
				発振子接続		1.2	1.8		
		HS(高速メイン)モード ^{注5}	f _{IH} = 4 MHz ^{注3} , f _{PLL} = 64 MHz, f _{CLK} = 32 MHz	V _{DD} = 5.0 V		5.4	8.5	mA	
				V _{DD} = 3.0 V		5.4	8.5		
			f _{IH} = 4 MHz ^{注3} , f _{PLL} = 64 MHz, f _{CLK} = 16 MHz	V _{DD} = 5.0 V		3.3	5.7	mA	
				V _{DD} = 3.0 V		3.3	5.7		
			サブシステム・クロック動作	f _{SUB} = 32.768 kHz ^{注4} , TA = -40	方形波入力		4.2	6.0	μA
発振子接続					4.4	6.2			
f _{SUB} = 32.768 kHz ^{注4} , TA = +25	方形波入力			4.2	6.0	μA			
	発振子接続			4.4	6.2				
f _{SUB} = 32.768 kHz ^{注4} , TA = +50	方形波入力			4.3	7.2	μA			
	発振子接続			4.5	7.4				
f _{SUB} = 32.768 kHz ^{注4} , TA = +70	方形波入力			4.4	8.1	μA			
	発振子接続			4.6	8.3				
f _{SUB} = 32.768 kHz ^{注4} , TA = +85	方形波入力		5.2	11.4	μA				
	発振子接続		5.4	11.6					
f _{SUB} = 32.768 kHz ^{注4} , TA = +105	方形波入力		6.9	20.8	μA				
	発振子接続		7.1	21.0					

(注, 備考は次ページにあります。)

- 注1. V_{DD}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、コンパレータ、プログラマブル・ゲイン・アンプ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
2. 高速オンチップ・オシレータ、サブシステム・クロックは停止時。
 3. 高速システム・クロック、サブシステム・クロックは停止時。
 4. 高速オンチップ・オシレータ、高速システム・クロックは停止時。超低消費発振 (AMPHS1 = 1) 設定時。RTC、12ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
 5. 動作電圧範囲、CPU動作周波数、動作モードの関係を次に示します。
HS (高速メイン) モード : 2.7 V V_{DD} 5.5 V@1 MHz ~ 32 MHz
LS (低速メイン) モード : 2.7 V V_{DD} 5.5 V@1 MHz ~ 8 MHz

- 備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
2. f_{IH} : 高速オンチップ・オシレータ・クロック周波数
 3. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)
 4. 「サブシステム・クロック動作」以外のTYP.値の温度条件は、TA = 25 です。

(TA = -40 ~ +105 , 2.7 V VDD 5.5 V, VSS = 0 V)

(2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD2 ^{注2}	HALT モード ^{注7}	HS (高速メイン)モード ^{注7}	f _{IH} = 32 MHz ^{注4}	V _{DD} = 5.0 V	0.72	2.9	mA
					V _{DD} = 3.0 V	0.72	2.9	
				f _{IH} = 24 MHz ^{注4}	V _{DD} = 5.0 V	0.57	2.3	mA
					V _{DD} = 3.0 V	0.57	2.3	
				f _{IH} = 16 MHz ^{注4}	V _{DD} = 5.0 V	0.50	1.7	mA
					V _{DD} = 3.0 V	0.50	1.7	
			LS(低速メイン)モード ^{注7}	f _{IH} = 8 MHz ^{注4} , TA = -40 ~ +85	V _{DD} = 3.0 V	320	910	μA
			HS(高速メイン)モード ^{注7}	f _{MX} = 20 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力 発振子接続	0.40	1.9	mA
				f _{MX} = 20 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力 発振子接続	0.40	1.9	
				f _{MX} = 10 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力 発振子接続	0.24	1.02	mA
				f _{MX} = 10 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力 発振子接続	0.24	1.02	
				LS(低速メイン)モード ^{注7}	f _{MX} = 8 MHz ^{注3} , V _{DD} = 3.0 V, TA = -40 ~ +85	方形波入力 発振子接続	130	720
						170	760	
		HS (高速メイン)モード ^{注7}	f _{IH} = 4 MHz ^{注4} , f _{PLL} = 64 MHz, f _{CLK} = 32 MHz	V _{DD} = 5.0 V V _{DD} = 3.0 V	1.15	4.0	mA	
			f _{IH} = 4 MHz ^{注4} , f _{PLL} = 64 MHz, f _{CLK} = 16 MHz	V _{DD} = 5.0 V V _{DD} = 3.0 V	0.95	3.2		
			サブ・クロック動作	f _{SUB} = 32.768 kHz ^{注5} , TA = -40	方形波入力 発振子接続	0.28	0.70	μA
				f _{SUB} = 32.768 kHz ^{注5} , TA = +25	方形波入力 発振子接続	0.33	0.70	
				f _{SUB} = 32.768 kHz ^{注5} , TA = +50	方形波入力 発振子接続	0.41	1.90	μA
	f _{SUB} = 32.768 kHz ^{注5} , TA = +70			方形波入力 発振子接続	0.54	2.80		
	f _{SUB} = 32.768 kHz ^{注5} , TA = +85	方形波入力 発振子接続		1.27	6.10	μA		
	f _{SUB} = 32.768 kHz ^{注5} , TA = +105	方形波入力 発振子接続		1.46	6.29			
				3.04	15.5	μA		
				3.23	15.7			
	IDD3 ^{注6}	STOP モード ^{注8}	TA = -40		0.18	0.50	μA	
TA = +25				0.23	0.50			
TA = +50				0.27	1.7			
TA = +70				0.44	2.6			
TA = +85				1.17	5.9			
TA = +105				2.94	15.3			

(注, 備考は次ページにあります。)

- 注1. V_{DD} に流れるトータル電流です。入力端子を V_{DD} または V_{SS} に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、コンパレータ、プログラマブル・ゲイン・アンプ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
- フラッシュ・メモリでのHALT命令実行時。
 - 高速オンチップ・オシレータ、サブシステム・クロックは停止時。
 - 高速システム・クロック、サブシステム・クロックは停止時。
 - 高速オンチップ・オシレータ、高速システム・クロックは停止時。
RTCLPC = 1, かつ超低消費発振 (AMPHS1 = 1) 設定時。RTCに流れる電流は含みます。ただし、12ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
 - RTC, 12ビット・インターバル・タイマ, ウォッチドッグ・タイマに流れる電流は含みません。
 - 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。
HS (高速メイン) モード : 2.7 V V_{DD} 5.5 V@1 MHz ~ 32 MHz
LS (低速メイン) モード : 2.7 V V_{DD} 5.5 V@1 MHz ~ 8 MHz
 - STOPモード時にサブシステム・クロックを動作させる場合の電流値は, HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

- 備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
- f_{IH} : 高速オンチップ・オシレータ・クロック周波数
 - f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)
 - 「サブシステム・クロック動作」, 「STOPモード」以外のTYP.値の温度条件は, $T_A = 25$ です。

(TA = -40 ~ +105 , 2.7 V VDD 5.5 V, VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	I _{FIL} ^{注1}				0.20		μA
RTC動作電流	I _{RTC} ^{注1, 2, 3}				0.02		μA
12ビット・インターバル・タイマ動作	I _{IT} ^{注1, 2, 4}				0.02		μA
ウォッチドッグ・タイマ動作電流	I _{WDT} ^{注1, 2, 5}	f _{IL} = 15 kHz			0.22		μA
A/Dコンバータ動作電流	I _{ADC} ^{注1, 6}	最高速変換時	標準モード, AV _{REFP} = V _{DD} = 5.0 V		1.3	1.7	mA
			低電圧モード, AV _{REFP} = V _{DD} = 3.0 V		0.5	0.7	mA
A/Dコンバータ基準電圧電流	I _{ADREF} ^{注1}				75.0		μA
温度センサ動作電流	I _{TMPS} ^{注1}				75.0		μA
LVD動作電流	I _{LVI} ^{注1, 7}				0.08		μA
セルフ・プログラミング動作電流	I _{FSP} ^{注1, 8}				2.50	12.20	mA
プログラマブル・ゲイン・アンプ動作電流	I _{PGA} ^{注9}		AV _{REFP} = V _{DD} = 5.0 V		0.21	0.31	mA
			AV _{REFP} = V _{DD} = 3.0 V		0.18	0.29	mA
コンパレータ動作電流	I _{COMP} ^{注10}	コンパレータ1 ch動作時	AV _{REFP} = V _{DD} = 5.0 V		41.4	62	μA
			AV _{REFP} = V _{DD} = 3.0 V		37.2	59	μA
	I _{VREF}	内蔵基準電圧回路1回路動作時	AV _{REFP} = V _{DD} = 5.0 V		14.8	26	μA
			AV _{REFP} = V _{DD} = 3.0 V		8.9	20	μA
プログラマブル・ゲイン・アンプ/コンパレータ基準電流源	I _{IREF} ^{注11}		AV _{REFP} = V _{DD} = 5.0 V		3.2	5.1	μA
			AV _{REFP} = V _{DD} = 3.0 V		2.9	4.9	μA
BGO動作電流	I _{BGO} ^{注12}				2.50	12.2	mA
SNOOZE動作電流	I _{SNOZ} ^{注1}	ADC動作	モード遷移中 ^{注13}		0.50	1.1	mA
			変換動作中, 標準モード, AV _{REFP} = V _{DD} = 5.0 V		2.0	3.04	
		CSI/UART動作			0.70	1.54	

注1. V_{DD}に流れる電流です

- 高速オンチップ・オシレータ, 高速システム・クロックは停止時。
- リアルタイム・クロック (RTC) にのみ流れる電流です (低速オンチップ・オシレータ, XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでのリアルタイム・クロックの動作時は, I_{DD1}またはI_{DD2}にI_{RTC}を加算した値が, RL78マイクロコントローラの電流値となります。また、低速オンチップ・オシレータ選択時はI_{FIL}を加算してください。I_{DD2}のサブシステム・クロック動作にはリアルタイム・クロックの動作電流が含まれています。
- 12ビット・インターバル・タイマにのみ流れる電流です (低速オンチップ・オシレータ, XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでの12ビット・インターバル・タイマの動作時は, I_{DD1}またはI_{DD2}にI_{IT}を加算した値が, RL78マイクロコントローラの電流値となります。また、低速オンチップ・オシレータ選択時はI_{FIL}を加算してください。
- ウォッチドッグ・タイマにのみ流れる電流です (低速オンチップ・オシレータの動作電流を含みます)。ウォッチドッグ・タイマの動作時は, I_{DD1}, I_{DD2}またはI_{DD3}にI_{WDT}を加算した値が, RL78マイクロコントローラの電流値となります。

6. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでA/Dコンバータの動作時は、IDD1またはIDD2にIADCを加算した値が、RL78マイクロコントローラの電流値となります。
7. LVD回路にのみ流れる電流です。LVD回路の動作時は、IDD1、IDD2またはIDD3にILVIを加算した値が、RL78マイクロコントローラの電流値となります。
8. セルフ・プログラミング動作に流れる電流です。
9. プログラマブル・ゲイン・アンプにのみ流れる電流です。動作モードまたはHALTモード時にプログラマブル・ゲイン・アンプが動作中の場合、IDD1、IDD2またはIDD3にIPGAを加算した値が、RL78マイクロコントローラの電流値となります。
10. コンパレータにのみ流れる電流です。コンパレータの動作時は、IDD1、IDD2またはIDD3にICMPを加算した値が、RL78/I1Aの電源電流値となります。
11. プログラマブル・ゲイン・アンプ、コンパレータを使用する際に必要となる電流回路のVDD端子に流れる電流値となります。
12. データ・フラッシュ書き換え動作に流れる電流です。
13. SNOOZEモードへの移行時間は、21.3.3 SNOOZEモードを参照してください。

備考1. f_{IL} : 低速オンチップ・オシレータ・クロック周波数

2. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)

3. f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

4. TYP.値の温度条件は、TA = 25 です。

5. プログラマブル・ゲイン・アンプおよびコンパレータ使用時の電流算出例

例1) コンパレータ3 ch + 内蔵基準電圧回路1ch + PGAを動作させた場合のTYP.動作電流 (AVREFP = VDD = 5.0 V時)

$$\begin{aligned}
 & I_{CMP} \times 3 + I_{VREF} \times 1 + I_{PGA} + I_{REF} \\
 & = 41.4 [\mu A] \times 3 + 14.8 [\mu A] \times 1 + 210 [\mu A] + 3.2 [\mu A] \\
 & = 352.2 [\mu A]
 \end{aligned}$$

例2) コンパレータ2 ch + 内蔵基準電圧回路未使用時のTYP.動作電流 (AVREFP = VDD = 5.0 V時)

$$\begin{aligned}
 & I_{CMP} \times 2 + I_{REF} \\
 & = 41.4 [\mu A] \times 2 + 3.2 [\mu A] \\
 & = 86.0 [\mu A]
 \end{aligned}$$

32.4 AC特性

(TA = -40 ~ +105 , 2.7 V VDD 5.5 V, VSS = 0 V)

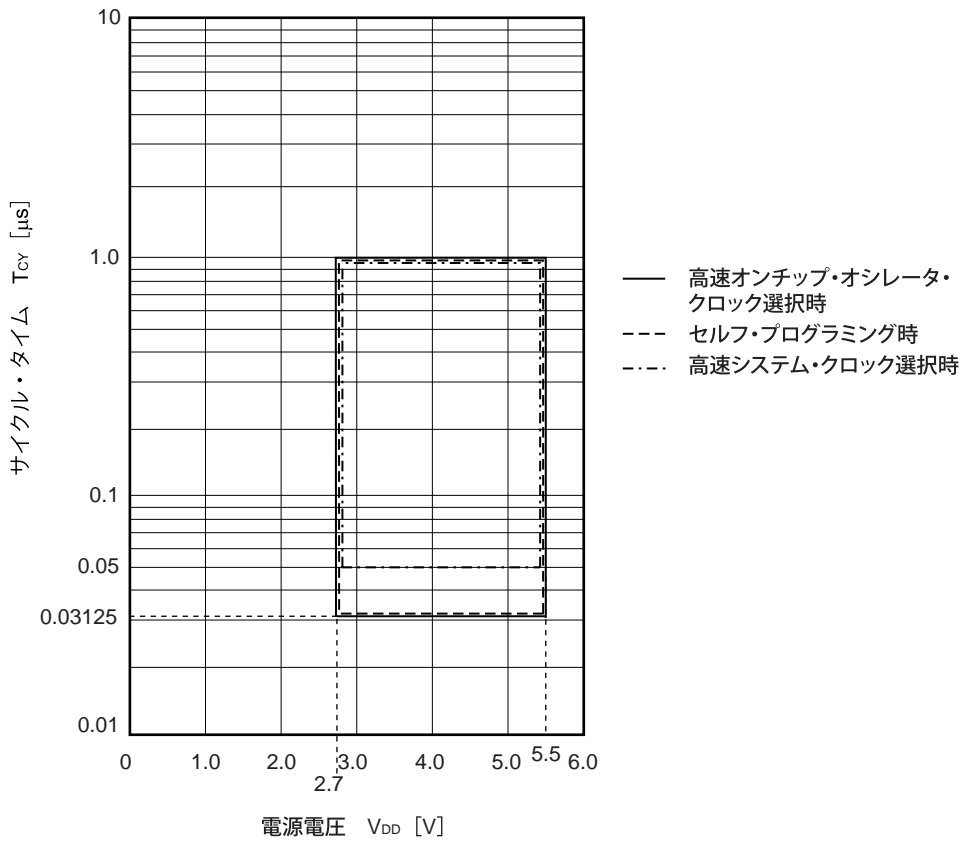
項目	略号	条件		MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	Tcy	メイン・システム・クロック (fMAIN)動作	HS (高速メイン)モード		0.03125		1	μs
			LS (低速メイン)モード	TA = -40 ~ +85 °C	0.125		1	μs
		サブシステム・クロック (fSUB)動作			28.5	30.5	31.3	μs
		セルフ・プログラミング時	HS (高速メイン)モード		0.03125		1	μs
LS (低速メイン)モード	TA = -40 ~ +85 °C		0.125		1	μs		
外部システム・クロック周波数	fex			1.0		20.0	MHz	
	fexs			32		35	kHz	
外部システム・クロック入力ハイ、ロウ・レベル幅	texH,			24			ns	
	texL,							
	texHS,			13.7			μs	
	texLS							
TI03, TI05, TI06, TI07入力ハイ・レベル幅, ロウ・レベル幅	ttrH, ttrL			2/fMCK + 10			ns	
TO03, TO05, TO06, TKBO00, TKBO01, TKBO10, TKBO11, TKBO20, TKBO21, TKCO00-TKCO05出力周波数 (デューティ = 50 %時)	fro	HS (高速メイン)モード	4.0 V VDD 5.5 V			8	MHz	
			2.7 V VDD < 4.0 V			4	MHz	
		LS (低速メイン)モード, TA = -40 ~ +85	4.0 V VDD 5.5 V			4	MHz	
			2.7 V VDD < 4.0 V			2	MHz	
割り込み入力ハイ・レベル幅, ロウ・レベル幅	tINTH, tINTL	INTP0, INTP3, INTP4, INTP9-INTP11, INTP20-INTP23		1			μs	
RESETロウ・レベル幅	trSL			10			μs	

備考 fMCK : タイマ・アレイ・ユニットの動作クロック周波数。

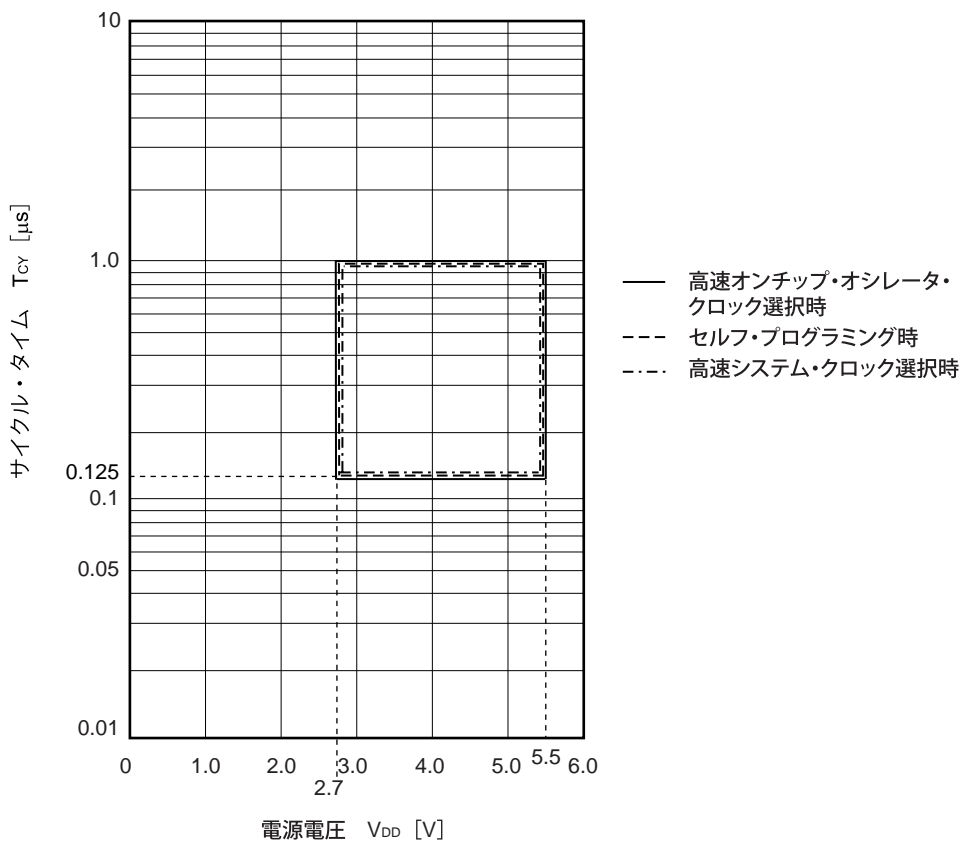
(タイマ・モード・レジスタ0n(TMR0n)のCKS0nビットで設定する動作クロック。n:チャンネル番号(n = 0-7))

メイン・システム・クロック動作時の最小命令実行時間

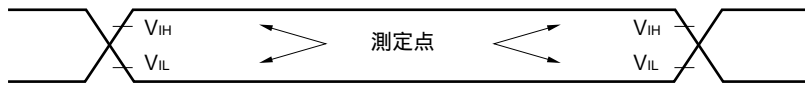
T_{CY} vs V_{DD} (HS (高速メイン) モード)



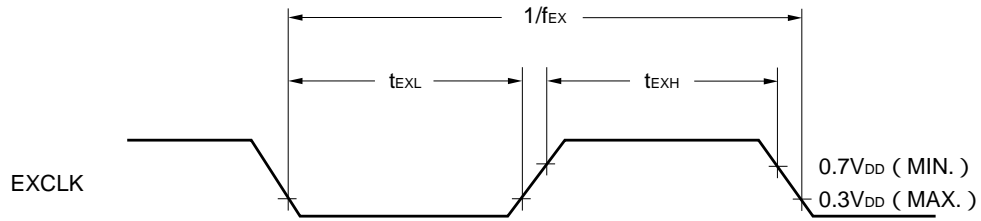
T_{CY} vs V_{DD} (LS (低速メイン) モード)



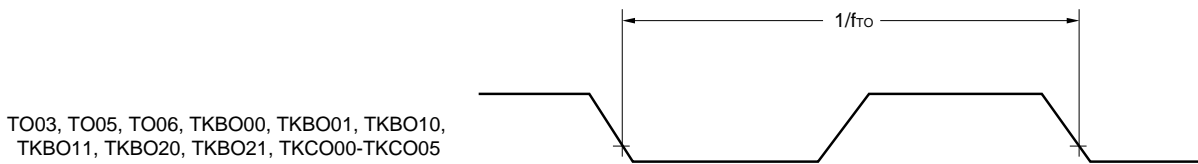
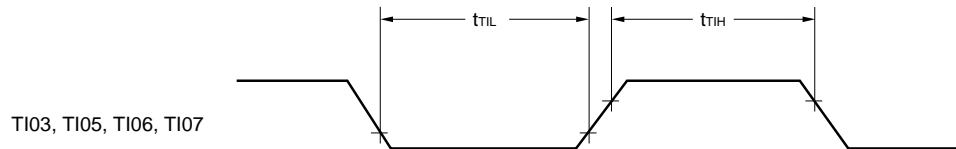
ACタイミング測定点



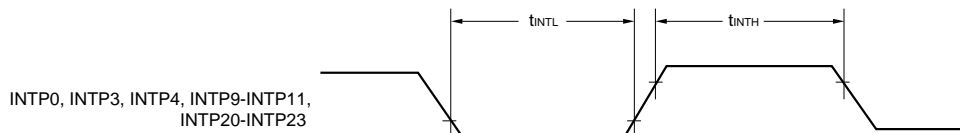
外部システム・クロック・タイミング



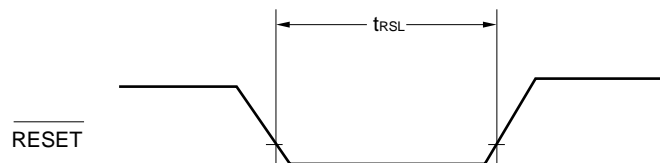
TI/TOタイミング



割り込み要求入力タイミング



RESET入力タイミング



32.5 周辺機能特性

32.5.1 シリアル・アレイ・ユニット0, 4 (UART0, UART1, CSI00, DALI/UART4)

(TA = -40 ~ +105, 2.7 V VDD 5.5 V, VSS = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
転送レート ^{注1}		2.7 V VDD 5.5 V		fMCK/6		fMCK/6	bps
		最大転送レート理論値 fMCK = fCLK ^{注2}		5.3		1.3	Mbps

注 1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

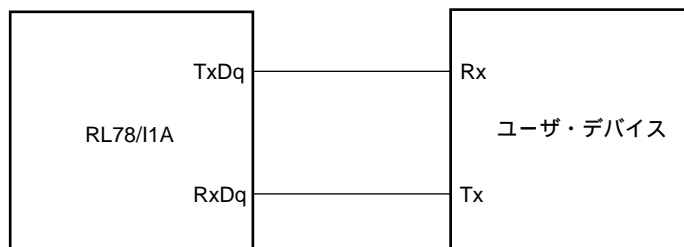
2. CPU / 周辺ハードウェア・クロック (fCLK) の動作周波数を次に示します。

HS (高速メイン) モード : 32MHz (2.7 V VDD 5.5 V)

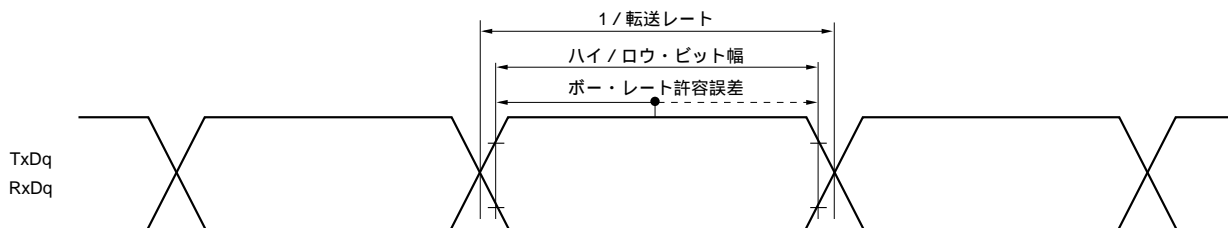
LS (低速メイン) モード : 8 MHz (2.7 V VDD 5.5 V), TA = -40 ~ +85

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、RxDq端子は通常入力バッファを選択し、TxDq端子は通常出力モードを選択します。

UARTモード接続図 (同電位通信時)



UARTモードのビット幅 (同電位通信時) (参考)



注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、RxDq端子は通常入力バッファ、TxDq端子は通常出力モードを選択。

備考1. q : UART番号 (q = 0, 1), g : PIM, POM番号 (g = 0, 1)

2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号,

n : チャネル番号 (mn = 00-03))

(2) 同電位通信時 (CSIモード) (マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +105 , 2.7 V VDD 5.5 V, VSS = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
			SCKp サイクル・タイム	t _{KCY1}	t _{KCY1} 4/f _{CLK}	125	
SCKp ハイ, ロウ・レベル幅	t _{KH1} , t _{KL1}	4.0 V V _{DD} 5.5 V	t _{KCY1} /2		t _{KCY1} /2-		ns
		2.7 V V _{DD} 5.5 V	t _{KCY1} /2		t _{KCY1} /2-		ns
Slp セットアップ時間 (対 SCKp) ^{注1}	t _{SIK1}	4.0 V V _{DD} 5.5 V	44		110		ns
		2.7 V V _{DD} 5.5 V	44		110		ns
Slp ホールド時間 (対 SCKp) ^{注1}	t _{SI1}		19		19		ns
SCKp SOP 出力 遅延時間 ^{注2}	t _{KSO1}	C = 30 pF ^{注3}		25		25	ns

注 1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “ 対 SCKp ” となります。

2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “ 対 SCKp ” となります。

3. C は, SCKp, SOP 出力ラインの負荷容量です。

4. LS (低速メイン) モードの動作条件は, TA = -40 ~ +85 となります。

注意 ポート入力モード・レジスタ_g (PIM_g) とポート出力モード・レジスタ_g (POM_g) で, Slp 端子は通常入力バッファを選択し, SOP 端子と SCKp 端子は通常出力モードを選択します。

備考 1. p: CSI 番号 (p = 00), m: ユニット番号 (m = 0),
n: チャネル番号 (n = 0), g: PIM, POM 番号 (g = 1)

2. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタ_{mn} (SMR_{mn}) の CKS_{mn} ビットで設定する動作クロック。m: ユニット番号, n: チャネル番号 (mn = 00))

(3) 同電位通信時 (CSIモード) (スレーブ・モード, SCKp...外部クロック入力)

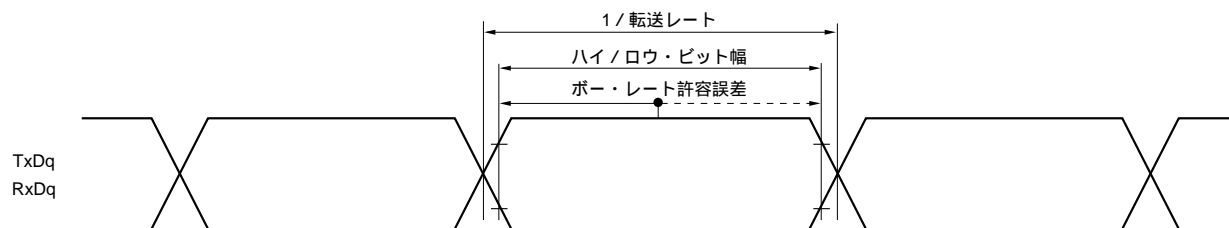
(TA = -40 ~ +105 , 2.7 V VDD 5.5 V, VSS = 0 V)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム ^{注4}	tkCY2	4.0 V VDD 5.5 V	20 MHz < fMCK	8/fMCK		-		ns
			fMCK 20 MHz	6/fMCK		6/fMCK		ns
		2.7 V VDD 5.5 V	16 MHz < fMCK	8/fMCK		-		ns
			fMCK 16 MHz	6/fMCK		6/fMCK		ns
SCKpハイ,ロウ・レベル幅	tkH2, tkL2			tkCY2/2		tkCY2/2		ns
Slpセットアップ時間 (対SCKp) ^{注1}	tSIK2			1/fMCK + 20		1/fMCK + 30		ns
Slpホールド時間 (対SCKp) ^{注1}	tKSI2			1/fMCK + 31		1/fMCK + 31		ns
SCKp SOP出力 遅延時間 ^{注2}	tKSO2	C = 30 pF ^{注3}			2/fMCK + 44		2/fMCK + 110	ns

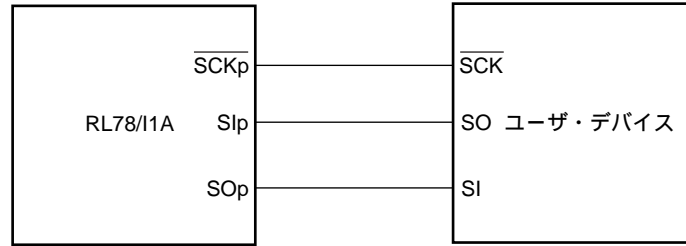
- 注 1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは “ 対SCKp ” となります。
2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは “ 対SCKp ” となります。
3. Cは、SOp出力ラインの負荷容量です。
4. SNOOZEモードでの転送レートは、MAX. 1 Mbpsです。
5. LS (低速メイン) モードの動作条件は、TA = -40 ~ + 85 となります。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子とSCKp端子は通常入力バッファを選択し、SOp端子は通常出力モードを選択します。

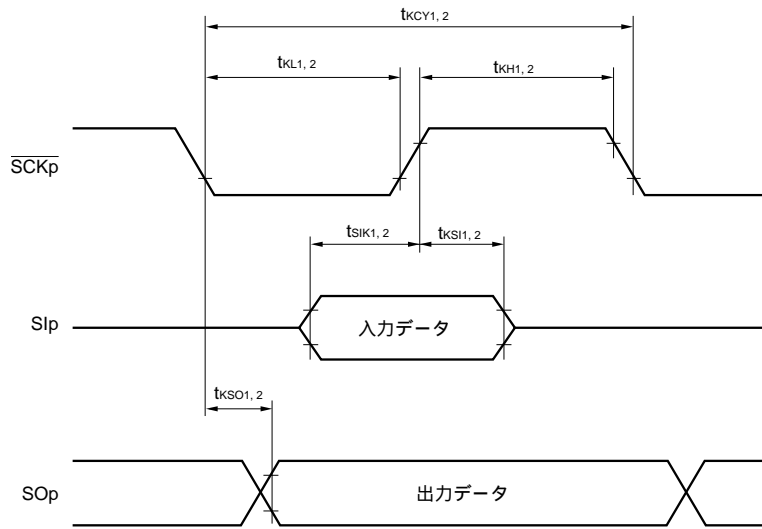
- 備考 1. p : CSI番号 (p = 00) , m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0) ,
g : PIM, POM番号 (g = 1)
2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号 , n : チャネル番号 (mn = 00))



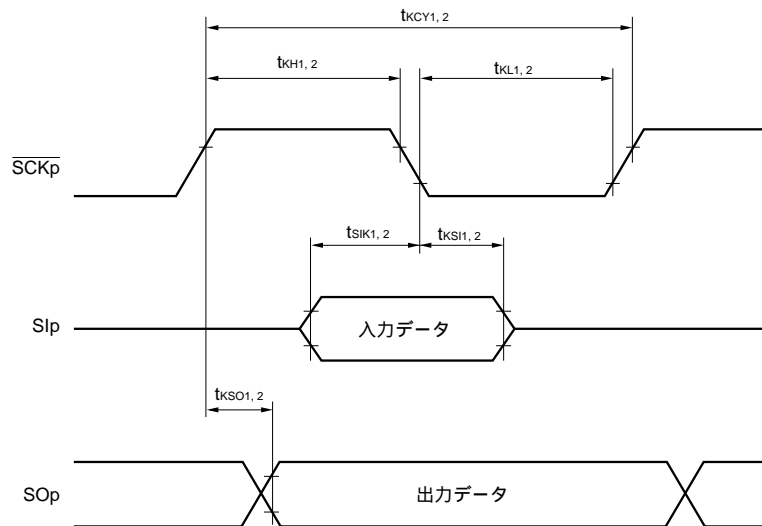
CSIモード接続図 (同電位通信時)



CSIモード・シリアル転送タイミング (同電位通信時)
(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



CSIモード・シリアル転送タイミング (同電位通信時)
(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



- 備考1. p : CSI番号 (p = 00)
2. m : ユニット番号, n : チャネル番号 (mn = 00)

(4) 異電位 (2.5 V系, 3 V系) 通信時 (UARTモード) (1/2)

(TA = -40 ~ +105, 2.7 V VDD 5.5 V, VSS = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
転送レート	受信	4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V		fMCK/6 ^{注1}		fMCK/6 ^{注1}	bps
		最大転送レート理論値 fMCK = fCLK ^{注2}		5.3		1.3	Mbps
		2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V		fMCK/6 ^{注1}		fMCK/6 ^{注1}	bps
		最大転送レート理論値 fMCK = fCLK ^{注2}		5.3		1.3	Mbps

注 1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

2. CPU/周辺ハードウェア・クロック (fCLK) の動作周波数を次に示します。

HS (高速メイン) モード : 32 MHz (2.7 V VDD 5.5 V)

LS (低速メイン) モード : 8 MHz (2.7 V VDD 5.5 V), TA = -40 ~ + 85

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力 (VDD耐圧) モードを選択します。なおVIH, VILは、TTL入力バッファ選択時のDC特性を参照してください。

備考1. Vb [V]: 通信ライン電圧

2. q: UART番号 (q = 0, 1), g: PIM, POM番号 (g = 0, 1)

3. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m: ユニット番号, n: チャネル番号 (mn = 00-03))

(4) 異電位 (2.5 V系, 3 V系) 通信時 (UARTモード) (2/2)

(TA = -40 ~ +105, 2.7 V VDD 5.5 V, VSS = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
			転送レート	送	4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V		
		最大転送レート理論値 Cb = 50 pF, Rb = 1.4 kΩ, Vb = 2.7 V		2.8 ^{注2}		2.8 ^{注2}	Mbps
		2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V		注3		注3	bps
		最大転送レート理論値 Cb = 50 pF, Rb = 2.7 kΩ, Vb = 2.3 V		1.2 ^{注4}		1.2 ^{注4}	Mbps

注1. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.2}{V_b} \right) \right\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.2}{V_b} \right) \right\}}{\left(\frac{1}{\text{転送レート}} \right) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

この値は送信側と受信側の相対差の理論値となります。

2. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

3. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.0}{V_b} \right) \right\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.0}{V_b} \right) \right\}}{\left(\frac{1}{\text{転送レート}} \right) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

この値は送信側と受信側の相対差の理論値となります。

4. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。

5. LS (低速メイン) モードの動作条件は、TA = -40 ~ +85 となります。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力(VDD耐圧)モードを選択します。なおVIH, VILは、TTL入力バッファ選択時のDC特性を参照してください。

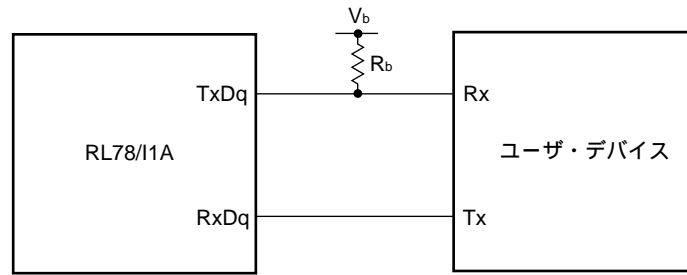
備考1. Rb[]: 通信ライン (TxDq) プルアップ抵抗値, Cb[F]: 通信ライン (TxDq) 負荷容量値, Vb[V]: 通信ライン電圧

2. q: UART番号 (q = 0, 1), g: PIM, POM番号 (g = 0, 1)

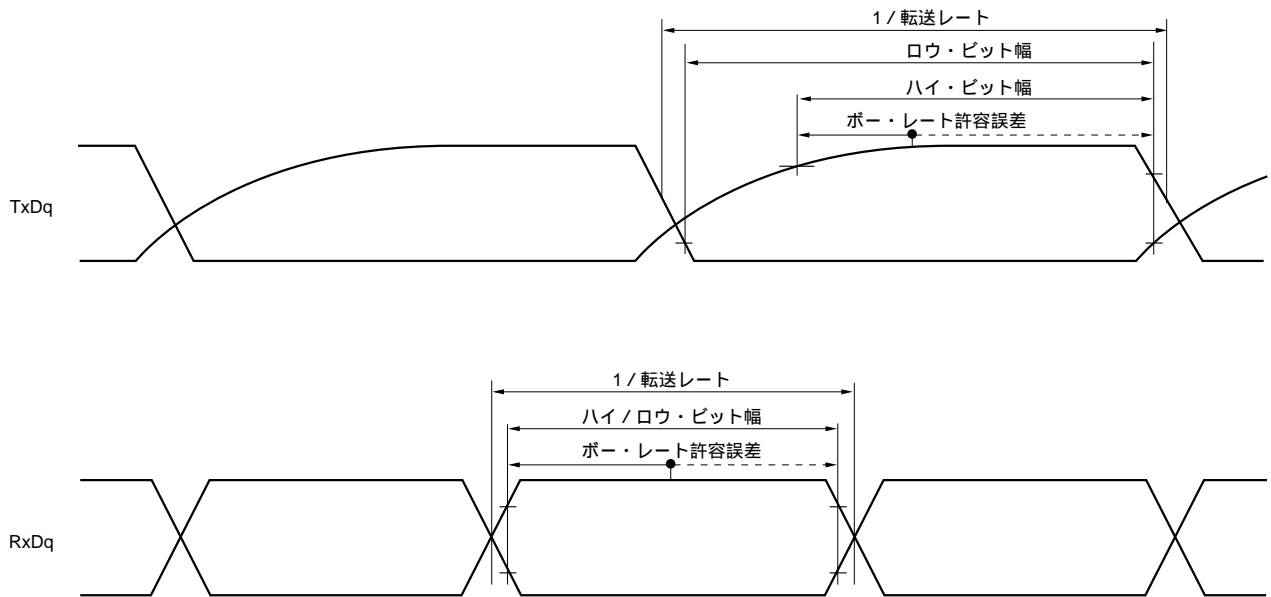
3. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号, n: チャネル番号 (mn = 00-03))

UARTモード接続図 (異電位通信時)



UARTモードのビット幅 (異電位通信時) (参考)



注意 ポート入力モード・レジスタ g (PIM g) とポート出力モード・レジスタ g (POM g) で、RxDq端子はTTL入力バッファ、TxDq端子はN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。

備考1. R_b []: 通信ライン (TxDq) プルアップ抵抗値, V_b [V]: 通信ライン電圧

2. q : UART番号 ($q = 0, 1$), g : PIM, POM番号 ($g = 0, 1$)

(5) 異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +105, 2.7 V VDD 5.5 V, VSS = 0 V)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	
				SCKpサイクル・ タイム	tkCY1	tkCY1 2/fCLK	4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	
2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	300		1150				ns	
SCKpハイ・ レベル幅	tkH1		4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	tkCY1/2- 50		tkCY1/2- 75		ns
			2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkCY1/2- 120		tkCY1/2- 170		ns
SCKpロウ・ レベル幅	tkL1		4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	tkCY1/2-7		tkCY1/2- 50		ns
			2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkCY1/2- 10		tkCY1/2- 50		ns
Slpセットアップ 時間 (対SCKp) 注1	tSIK1		4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	81		479		ns
			2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	177		479		ns
Slpホールド時間 (対SCKp) 注1	tKSI1		4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	10		19		ns
			2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	10		19		ns
SCKp Sop 出力遅延時間注1	tKSO1		4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		60		100	ns
			2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		130		195	ns
Slpセットアップ 時間 (対SCKp) 注2	tSIK1		4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	44		110		ns
			2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	44		110		ns
Slpホールド時間 (対SCKp) 注2	tKSI1		4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	10		19		ns
			2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	10		19		ns
SCKp Sop 出力遅延時間注2	tKSO1		4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		10		25	ns
			2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		10		25	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

2. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

3. LS (低速メイン) モードの動作条件は, TA = -40 ~ + 85 となります。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子はTTL入力バッファを選択し、SOp端子とSCKp端子はN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

- 備考1.** R_b [] : 通信ライン (SCKp, SOp) プルアップ抵抗値, C_b [F] : 通信ライン (SCKp, SOp) 負荷容量値, V_b [V] : 通信ライン電圧
2. p : CSI番号 (p = 00) , m : ユニット番号 (m = 0) ,
n : チャネル番号 (n = 0) , g : PIM, POM番号 (g = 1)

(6) 異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +105, 2.7 V VDD 5.5 V, VSS = 0 V)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	
				SCKpサイクル・ タイム	tkCY1	tkCY1 4/fCLK	4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	
2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	500		1150				ns	
SCKpハイ・ レベル幅	tkH1		4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	tkCY1/2- 75		tkCY1/2- 75		ns
			2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkCY1/2- 170		tkCY1/2- 170		ns
SCKpロウ・ レベル幅	tkL1		4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	tkCY1/2- 12		tkCY1/2- 50		ns
			2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkCY1/2- 18		tkCY1/2- 50		ns
Slpセットアップ 時間 (対SCKp) 注1	tSIK1		4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	81		479		ns
			2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	177		479		ns
Slpホールド時間 (対SCKp) 注1	tKSI1		4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	19		19		ns
			2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	19		19		ns
SCKp Sop 出力遅延時間注1	tKSO1		4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		100		100	ns
			2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		195		195	ns
Slpセットアップ 時間 (対SCKp) 注2	tSIK1		4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	44		110		ns
			2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	44		110		ns
Slpホールド時間 (対SCKp) 注2	tKSI1		4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	19		19		ns
			2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	19		19		ns
SCKp Sop 出力遅延時間注2	tKSO1		4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		25		25	ns
			2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		25		25	ns

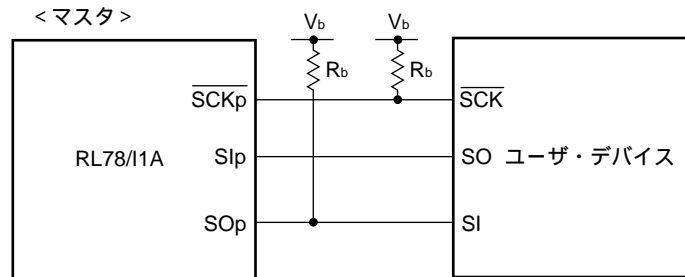
注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

2. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

3. LS (低速メイン) モードの動作条件は, TA = -40 ~ + 85 となります。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子はTTL入力バッファを選択し、SOp端子とSCKp端子はN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

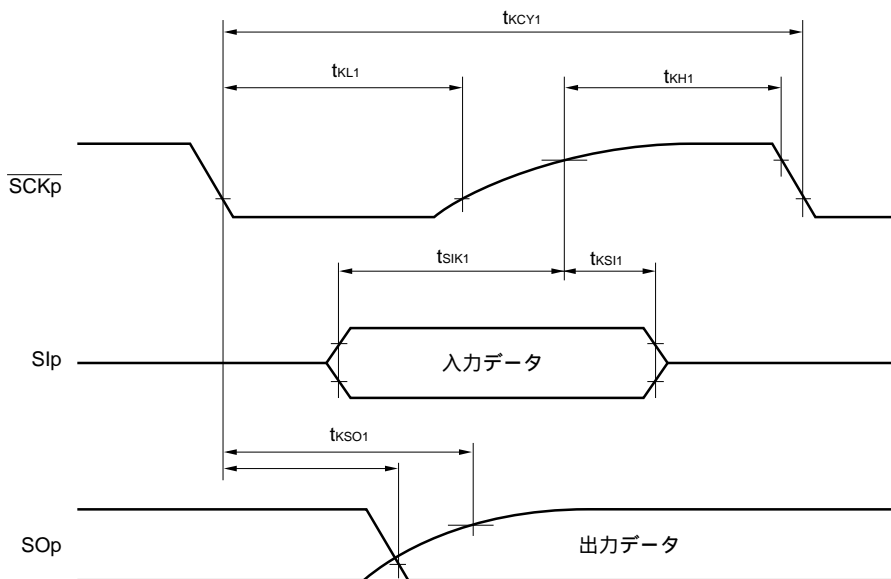
CSIモード接続図 (異電位通信時)



- 備考1.** R_b [] : 通信ライン (SCKp, SOp) プルアップ抵抗値, C_b [F] : 通信ライン (SCKp, SOp) 負荷容量値, V_b [V] : 通信ライン電圧
2. p : CSI番号 (p = 00) , m : ユニット番号 (m = 0) ,
n : チャネル番号 (n = 0) , g : PIM, POM番号 (g = 1)

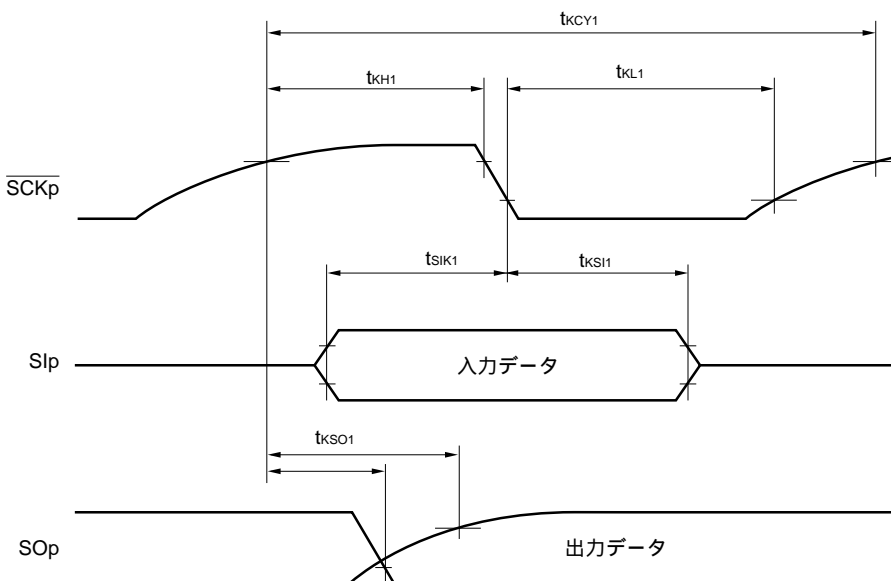
CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）

（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）

（DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子はTTL
入力バッファ、SOp端子とSCKp端子はN-chオープン・ドレイン出力 (VDD耐圧) モードを選択。

備考 p : CSI番号 (p = 00) , m : ユニット番号 (m = 0) ,
n : チャネル番号 (n = 0) , g : PIM, POM番号 (g = 1)

(7) DALI/UART4モード

(TA = -40 ~ +105 , 2.7 V VDD 5.5 V, VSS = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
転送レート				f _{MCK} /12		f _{MCK} /12	bps
		最大転送レート理論値 HS : f _{CLK} = 32 MHz, f _{MCK} = f _{CLK} LS : f _{CLK} = 8 MHz, f _{MCK} = f _{CLK}		2.6		0.6	Mbps

備考 f_{MCK} : DALI-UARTの動作クロック周波数。

(シリアル・クロック選択レジスタ4 (SPS4) で設定する動作クロック。)

注意 LS (低速メイン) モードの動作条件は, TA = -40 ~ + 85 となります。

32.5.2 シリアル・インタフェースIICA

(1) I²C 標準モード(TA = -40 ~ +105 , 2.7 V V_{DD} 5.5 V, V_{SS} = 0 V)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	f _{SCL}	標準モード : f _{CLK} 1 MHz	0	100	0	100	kHz
リスタート・コンディションのセットアップ時間	t _{SU : STA}		4.7		4.7		μs
ホールド時間 ^{注1}	t _{HD : STA}		4.0		4.0		μs
SCLA0 = "L"のホールド・タイム	t _{LOW}		4.7		4.7		μs
SCLA0 = "H"のホールド・タイム	t _{HIGH}		4.0		4.0		μs
データ・セットアップ時間 (受信時)	t _{SU : DAT}		250		250		ns
データ・ホールド時間 (送信時) ^{注2}	t _{HD : DAT}		0	3.45	0	3.45	μs
ストップ・コンディションのセットアップ時間	t _{SU : STO}		4.0		4.0		μs
バス・フリー時間	t _{BUF}		4.7		4.7		μs

注 1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

2. t_{HD : DAT}の最大値 (MAX.) は, 通常転送時の数値であり, $\overline{\text{ACK}}$ (アクノリッジ) タイミングでは, ウエイトがかかります。

3. LS (低速メイン) モードの動作条件は, TA = -40 ~ +85 となります。

備考 各モードにおけるCb (通信ライン容量) のMAX.値と, そのときのRb (通信ライン・プルアップ抵抗値) の値は次のとおりです。

標準モード : Cb = 400 pF, Rb = 2.7 k

(2) I²C ファースト・モード

(TA = -40 ~ +105 , 2.7 V VDD 5.5 V, VSS = 0 V)

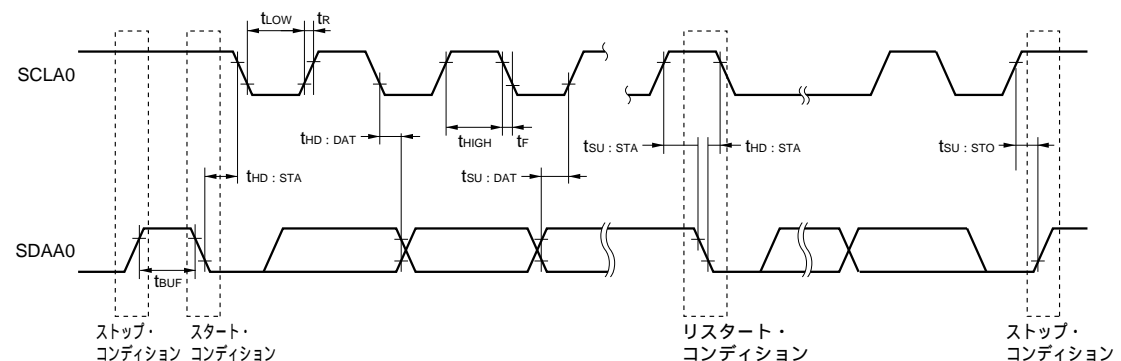
項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	f _{SCL}	ファースト・モード : f _{CLK} 3.5 MHz	0	400	0	400	kHz
リスタート・コンディションのセットアップ時間	t _{SU : STA}		0.6		0.6		μs
ホールド時間 ^{注1}	t _{HD : STA}		0.6		0.6		μs
SCLA0 = "L"のホールド・タイム	t _{LOW}		1.3		1.3		μs
SCLA0 = "H"のホールド・タイム	t _{HIGH}		0.6		0.6		μs
データ・セットアップ時間 (受信時)	t _{SU : DAT}		100		100		ns
データ・ホールド時間 (送信時) ^{注2}	t _{HD : DAT}		0	0.9	0	0.9	μs
ストップ・コンディションのセットアップ時間	t _{SU : STO}		0.6		0.6		μs
バス・フリー時間	t _{BUF}		1.3		1.3		μs

- 注 1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。
2. t_{HD : DAT}の最大値 (MAX.) は, 通常転送時の数値であり, $\overline{\text{ACK}}$ (アクノリッジ) タイミングでは, ウエイトがかかります。
3. LS (低速メイン) モードの動作条件は, TA = -40 ~ + 85 となります。

備考 各モードにおけるCb (通信ライン容量) のMAX.値と, そのときのRb (通信ライン・プルアップ抵抗値) の値は次のとおりです。

ファースト・モード : Cb = 320 pF, Rb = 1.1 k

I²Cシリアル転送タイミング



32.6 アナログ特性

32.6.1 A/Dコンバータ特性

A/Dコンバータ特性の区分

基準電圧 入力チャネル	基準電圧 (+) = AVREFP 基準電圧 (-) = AVREFM	基準電圧 (+) = VDD 基準電圧 (-) = VSS	基準電圧 (+) = VBGR 基準電圧 (-) = AVREFM
ANI0-ANI2, ANI4-ANI7	32.6.1 (1) 参照	32.6.1 (3) 参照	32.6.1 (3) 参照
ANI16-ANI19	32.6.1 (2) 参照		
内部基準電圧 温度センサ出力電圧	32.6.1 (1) 参照		-

(1) 基準電圧 (+) = AVREFP/ANI0 (ADREFP1 = 0, ADREFP0 = 1), 基準電圧 (-) = AVREFM/ANI1 (ADREFM = 1) 選択時, 変換対象: ANI2, ANI4-ANI7, 内部基準電圧, 温度センサ出力電圧

(TA = -40 ~ +105, 2.7 V AVREFP VDD 5.5 V, VSS = 0 V, 基準電圧(+)= AVREFP, 基準電圧(-) = AVREFM = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能 AVREFP = VDD ^{注3}		1.2	±3.5	LSB
変換時間	tCONV	10ビット分解能 変換対象: ANI2, ANI4-ANI7	3.6 V VDD 5.5 V	2.125	39	μs
			2.7 V VDD 5.5 V	3.1875	39	μs
		10ビット分解能 変換対象: 内部基準電圧 温度センサ出力電圧 (HS(高速メイン)モード)	3.6 V VDD 5.5 V	2.375	39	μs
			2.7 V VDD 5.5 V	3.5625	39	μs
ゼロスケール誤差 ^{注1,2}	EZS	10ビット分解能 AVREFP = VDD ^{注3}			±0.25	%FSR
フルスケール誤差 ^{注1,2}	EFS	10ビット分解能 AVREFP = VDD ^{注3}			±0.25	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能 AVREFP = VDD ^{注3}			±2.5	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能 AVREFP = VDD ^{注3}			±1.5	LSB
アナログ入力電圧	VAIN	ANI2, ANI4-ANI7	0		AVREFP	V
		内部基準電圧 (HS(高速メイン)モード)			VBGR ^{注4}	V
		温度センサ出力電圧 (HS(高速メイン)モード)			V _{TMPS25} ^{注4}	V

注1. 量子化誤差 (±1/2 LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

3. $AV_{REFP} < V_{DD}$ の場合, MAX.値は次のようになります。

総合誤差	: $AV_{REFP} = V_{DD}$ のMAX.値に ± 1.0 LSBを加算してください
ゼロスケール誤差 / フルスケール誤差	: $AV_{REFP} = V_{DD}$ のMAX.値に $\pm 0.05\%$ FSRを加算してください
積分直線性誤差 / 微分直線性誤差	: $AV_{REFP} = V_{DD}$ のMAX.値に ± 0.5 LSBを加算してください

4. 32.6.2 温度センサ / 内部基準電圧特性を参照してください。

(2) 基準電圧 (+) = $AV_{REFP}/ANI0$ (ADREFP1 = 0, ADREFP0 = 1), 基準電圧 (-) = $AV_{REFM}/ANI1$
(ADREFM = 1) 選択時, 変換対象: ANI16-ANI19

(TA = -40 ~ +105 °C, 2.7 V AV_{REFP} V_{DD} 5.5 V, $V_{SS} = 0$ V, 基準電圧(+)= AV_{REFP} , 基準電圧(-)
= $AV_{REFM} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能 $AV_{REFP} = V_{DD}$ ^{注3}		1.2	±5.0	LSB
変換時間	tCONV	10ビット分解能 変換対象: ANI16-ANI19	3.6 V V_{DD} 5.5 V	2.125	39	μs
			2.7 V V_{DD} 5.5 V	3.1875	39	μs
ゼロスケール誤差 ^{注1, 2}	EZS	10ビット分解能 $AV_{REFP} = V_{DD}$ ^{注3}			±0.35	%FSR
フルスケール誤差 ^{注1, 2}	EFS	10ビット分解能 $AV_{REFP} = V_{DD}$ ^{注3}			±0.35	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能 $AV_{REFP} = V_{DD}$ ^{注3}			±3.5	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能 $AV_{REFP} = V_{DD}$ ^{注3}			±2.0	LSB
アナログ入力電圧	V_{AIN}	ANI16-ANI19	0		AV_{REFP} かつ V_{DD}	V

注1. 量子化誤差 (±1/2 LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

3. $AV_{REFP} < V_{DD}$ の場合, MAX.値は次のようになります。

総合誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に ±4.0 LSBを加算してください

ゼロスケール誤差 / フルスケール誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に ±0.2 %FSRを加算してください

積分直線性誤差 / 微分直線性誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に ±2.0 LSBを加算してください

(3) 基準電圧 (+) = V_{DD} (ADREFP1 = 0, ADREFP0 = 0), 基準電圧 (-) = V_{SS} (ADREFM = 0)
 選択時, 変換対象: ANI0-ANI2, ANI4-ANI7, ANI16-ANI19, 内部基準電圧, 温度センサ出力電圧

(TA = -40 ~ +105, 2.7 V V_{DD} 5.5 V, V_{SS} = 0 V, 基準電圧 (+) = V_{DD}, 基準電圧 (-) = V_{SS})

項目	略号	条件	MIN.	TYP.	MAX.	単位	
分解能	RES		8		10	bit	
総合誤差 ^{注1}	AINL	10ビット分解能		1.2	±7.0	LSB	
変換時間	t _{CONV}	10ビット分解能	3.6 V V _{DD} 5.5 V	2.125		39	μs
		変換対象: ANI0-ANI2, ANI4-ANI7, ANI16-ANI26	2.7 V V _{DD} 5.5 V	3.1875		39	μs
		10ビット分解能	3.6 V V _{DD} 5.5 V	2.375		39	μs
		変換対象: 内部基準電圧、 温度センサ出力電圧 (HS (高速メイン) モード)	2.7 V V _{DD} 5.5 V	3.5625		39	μs
ゼロスケール誤差 ^{注1, 2}	E _{ZS}	10ビット分解能			±0.60	%FSR	
フルスケール誤差 ^{注1, 2}	E _{FS}	10ビット分解能			±0.60	%FSR	
積分直線性誤差 ^{注1}	ILE	10ビット分解能			±4.0	LSB	
微分直線性誤差 ^{注1}	DLE	10ビット分解能			±2.0	LSB	
アナログ入力電圧	V _{AIN}	ANI0-ANI2, ANI4-ANI7		0		V _{DD}	V
		ANI16-ANI19		0		V _{DD}	V
		内部基準電圧 (HS (高速メイン) モード)				V _{BGR} ^{注3}	V
		温度センサ出力電圧 (HS (高速メイン) モード)				V _{TMPS25} ^{注3}	V

注1. 量子化誤差 (±1/2 LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

3. 32.6.2 温度センサ / 内部基準電圧特性を参照してください。

(4) 基準電圧 (+) = 内部基準電圧 (ADREFP1 = 1, ADREFP0 = 0), 基準電圧 (-) = AVREFM/ANI1
(ADREFM = 1) 選択時, 変換対象: ANI0, ANI2, ANI4-ANI7, ANI16-ANI19

(TA = -40 ~ +105 , 2.7 V VDD 5.5 V, VSS = 0 V, 基準電圧 (+) = VBGR^{注3},
基準電圧 (-) = AVREFM^{注4} = 0 V, HS (高速メイン) モード)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能	RES		8			bit
変換時間	tCONV	8ビット分解能	17		39	μs
ゼロスケール誤差 ^{注1, 2}	EzS	8ビット分解能			±0.60	%FSR
積分直線性誤差 ^{注1}	ILE	8ビット分解能			±2.0	LSB
微分直線性誤差 ^{注1}	DLE	8ビット分解能			±1.0	LSB
アナログ入力電圧	VAIN		0		VBGR ^{注3}	V

注1. 量子化誤差 (±1/2 LSB) を含みません。

- フルスケール値に対する比率 (%FSR) で表します。
- 32.6.2 温度センサ / 内部基準電圧特性を参照してください。
- 基準電圧 (-) = VSSの場合, MAX.値は次のようになります。

ゼロスケール誤差 : 基準電圧 (-) = AVREFM時のMAX.値に ±0.35 %FSRを加算してください

積分直線性誤差 : 基準電圧 (-) = AVREFM時のMAX.値に ±0.5 LSBを加算してください

微分直線性誤差 : 基準電圧 (-) = AVREFM時のMAX.値に ±0.2 LSBを加算してください

32. 6. 2 温度センサ / 内部基準電圧特性

(TA = -40 ~ +105 , 2.7 V VDD 5.5 V, VSS = 0 V, HS (高速メイン) モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	V _{TMP525}	ADSレジスタ = 80H設定, TA = +25		1.05		V
内部基準電圧	V _{BGR}	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	F _{VTMP5}	温度センサ電圧の温度依存		-3.6		mV/
動作安定待ち時間	t _{AMP}		5			μs

32. 6. 3 プログラマブル・ゲイン・アンプ

(TA = -40 ~ +105 , 2.7 V AVREFP = VDD 5.5 V, VSS = AVREFM = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
入力オフセット電圧	V _{IOPGA}			±5	±10	mV	
入力電圧範囲	V _{IPGA}		0		0.9V _{DD} / 増幅率	V	
増幅率誤差 ^{注1}		4倍, 8倍			±1	%	
		16倍			±1.5	%	
		32倍			±2	%	
スルー・レート ^{注1}	SR _{RPGA}	立ち上がり	4.0 V V _{DD} 5.5 V	4, 8倍	4		V/μs
				16, 32倍	1.4		V/μs
		2.7 V V _{DD} < 4.0 V	4, 8倍	1.8		V/μs	
			16, 32倍	0.5		V/μs	
	SR _{FPGA}	立ち下がり	4.0 V V _{DD} 5.5 V	4, 8倍	3.2		V/μs
				16, 32倍	1.4		V/μs
		2.7 V V _{DD} < 4.0 V	4, 8倍	1.2		V/μs	
			16, 32倍	0.5		V/μs	
動作安定待ち時間 ^{注2}	t _{PGA}	4, 8倍	5			μs	
		16, 32倍	10			μs	

注1 . V_{IPGA} = 0.1V_{DD}/増幅率 ~ 0.9V_{DD}/増幅率のとき

- 2 . PGAの動作を許可 (PGAEN = 1) してから, PGA動作のDC特性およびAC特性を満足できる状態になるまでの時間です。

備考 CVRVS1ビットでPGAのGNDをAVREFMに選択した場合の特性です。

32.6.4 コンパレータ

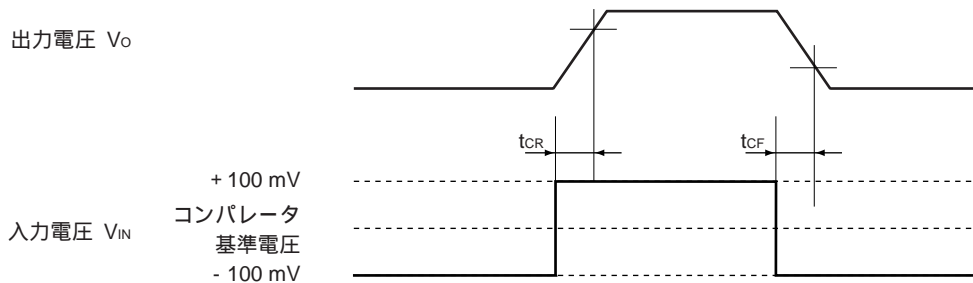
(TA = -40 ~ +105 , 2.7 V AVREFP = VDD 5.5 V, VSS = AVREFM = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力オフセット電圧	V _{IOCOMP}			± 5	± 40	mV
入力電圧範囲	V _{ICMP}	CMP0P-CMP5P	0		V _{DD}	V
		CMPCOM	0.045		0.9 V _{DD}	V
内蔵基準電圧偏差	V _{IREF}	CmRVMレジスタ値 : 7FH-80H (m = 0-2)			± 2	LSB
		上記以外			± 1	LSB
応答時間	t _{CR} , t _{CF}	入力振幅 ± 100 mV		70	150	ns
動作安定待ち時間 ^{注1}	t _{CMP}	3.3 V V _{DD} 5.5 V ^{注1}	1			μs
		2.7 V V _{DD} < 3.3 V	3			μs
基準電圧安定待ち時間	t _{VR}	CVRE : 0 1 ^{注2}	10			μs

注1. コンパレータの動作許可 (CMPnENビット = 1 : n = 0-5) から、コンパレータがDC/AC特性を満足できる状態になるまでの時間です。

2. 内蔵基準電圧生成を動作許可 (CVREmビット = 1 : m = 0-2) し、動作安定待ち時間をウエイトしてから、コンパレータ出力を許可 (CnOEビット = 1 : n = 0-5) してください。

備考 CVRVS0ビットで内部基準電圧の電源をAVREFM, CVRVS1ビットで内部基準電圧のGNDをAVREFMに選択した場合の特性です。

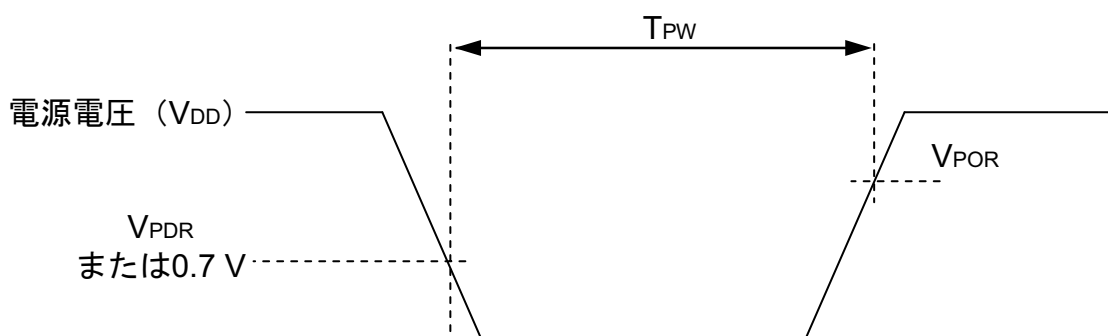


32. 6. 5 POR回路特性

(TA = -40 ~ +105 , VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V _{POR}	電源立ち上がり時	1.45	1.51	1.57	V
	V _{PDR}	電源立ち下がり時	1.44	1.50	1.56	V
最小パルス幅 ^注	T _{PW}		300			μs

注 V_{DD}がV_{PDR}を下回った場合に、PORによるリセット動作に必要な時間です。またSTOPモードに移行時および、クロック動作ステータス制御レジスタ (CSC) のビット0 (HIOSTOP) とビット7 (MSTOP) の設定によりメイン・システム・クロック (f_{MAIN}) を停止時は、V_{DD}が0.7 Vを下回ってから、V_{POR}を上回るまでのPORによるリセット動作に必要な時間です。



32. 6. 6 LVD回路特性

リセット・モード、割り込みモードのLVD検出電圧

(TA = -40 ~ +105 , V_{PDR} V_{DD} 5.5 V, V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V _{LVD0}	電源立ち上がり時	3.97	4.06	4.14	V
		電源立ち下がり時	3.89	3.98	4.06	V
	V _{LVD1}	電源立ち上がり時	3.67	3.75	3.82	V
		電源立ち下がり時	3.59	3.67	3.74	V
	V _{LVD2}	電源立ち上がり時	3.06	3.13	3.19	V
		電源立ち下がり時	2.99	3.06	3.12	V
	V _{LVD3}	電源立ち上がり時	2.95	3.02	3.08	V
		電源立ち下がり時	2.89	2.96	3.02	V
	V _{LVD4}	電源立ち上がり時	2.85	2.92	2.97	V
		電源立ち下がり時	2.79	2.86	2.91	V
	V _{LVD5}	電源立ち上がり時	2.75	2.81	2.87	V
		電源立ち下がり時	2.70	2.75	2.81	V
最小パルス幅	t _{LW}		300			μs
検出遅延					300	μs

割り込み&リセット・モードのLVD検出電圧

(TA = -40 ~ +105 , VPDR VDD 5.5 V , VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
割り込み& リセット・モード	VLVDD0	VPOC2, VPOC1, VPOC0 = 0, 1, 1, 立ち上がりリセット電圧	2.70	2.75	2.81	V	
	VLVDD1	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.85	2.92	2.97	V
			立ち下がり割り込み電圧	2.79	2.86	2.91	V
	VLVDD2	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.95	3.02	3.08	V
			立ち下がり割り込み電圧	2.89	2.96	3.02	V
	VLVDD3	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.97	4.06	4.14	V
立ち下がり割り込み電圧			3.89	3.98	4.06	V	

32.6.7 電源電圧立ち上がり傾き特性

(TA = -40 ~ +105 , VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧立ち上がり	SVDD				54	V/ms

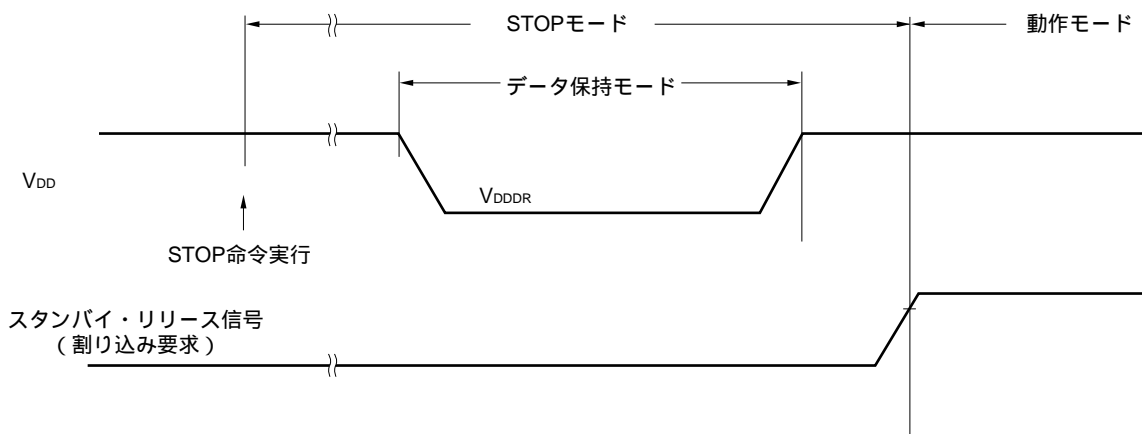
注意 VDDが32.4 AC特性に示す動作電圧範囲内に達するまで、LVD回路が外部リセットで内部リセット状態を保ってください。

32.7 データ・メモリSTOPモード低電源電圧データ保持特性

(TA = -40 ~ +105 , VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	VDDDR		1.44 ^注		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではデータを保持しますが、PORリセットがかかった場合のデータは保持されません。



32.8 フラッシュ・メモリ・プログラミング特性

(TA = -40~+105 , 2.7 V V_{DD} 5.5 V, V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	f _{CLK}	2.7 V V _{DD} 5.5 V	1		32	MHz
コード・フラッシュの書き換え回数 ※1, 2, 3	C _{enwr}	保持年数：20年 T _A = 85 ※3	1,000			回
データ・フラッシュの書き換え回数 ※1, 2, 3		保持年数：1年 T _A = 25 ※3		1,000,000		
		保持年数：5年 T _A = 85 ※3	100,000			
		保持年数：20年 T _A = 85 ※3	10,000			

- 注1. 消去1回+消去後の書き込み1回を書き換え回数1回とする。保持年数は、1度書き換えた後、次に書き換えを行うまでの期間とする。
2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時
3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

32.9 専用フラッシュ・メモリ・プログラマ通信 (UART)

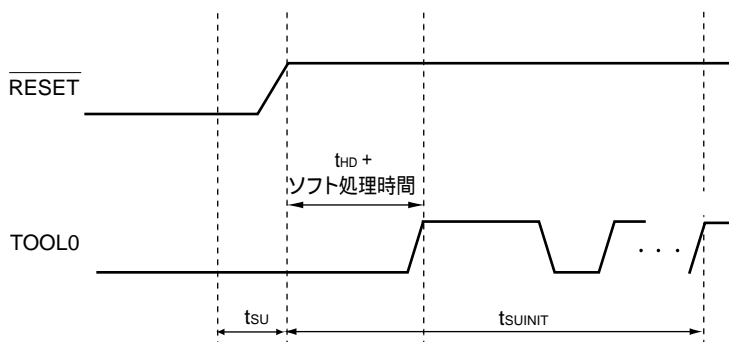
(TA = -40~+105 , 2.7 V V_{DD} 5.5 V, V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		シリアル・プログラミング時	115.2 k		1 M	bps

32. 10 フラッシュ・メモリ・プログラミング・モード引き込み時のタイミング・スペック

(TA = -40~+105 , 2.7 V VDD 5.5 V, VSS = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
外部リセット解除から初期設定通信を完了する時間	t _{SUINIT}	外部リセット解除前にPOR, LVDリセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから,外部リセットを解除するまでの時間	t _{SU}	外部リセット解除前にPOR, LVDリセットは解除	10			μs
リセット解除から, TOOL0端子をロウ・レベルにホールドする時間 (ソフト処理時間を除く)	t _{HD}	外部リセット解除前にPOR, LVDリセットは解除	1			ms



- TOOL0端子にロウ・レベルを入力
- 外部リセットを解除 (その前にPOR, LVDリセットが解除されていること)
- TOOL0端子のロウ・レベルを解除
- UART受信によるモード引きこみ, ボー・レート設定完了

- 備考** t_{SUINIT} : この区間では, リセット解除から100 ms以内に初期設定通信を完了してください。
- t_{SU} : TOOL0端子をロウ・レベルにしてから, 外部リセットを解除するまでの時間
- t_{HD} : 外部/内部リセット解除から, TOOL0端子をロウ・レベルに保持する時間(ソフト処理時間を除く)

お客様各位	RL78/I1A テクニカル・アップデート別紙 第33章 電気的特性 (Ta = -40~+125°C対応品) (ご報告)	MCYG-AB-13-0042-1
		2013年7月11日 ルネサス エレクトロニクス株式会社 第一事業本部 汎用製品ソリューション事業部 ブランド戦略第二部 担当課長 村上 功 (担当 岩崎 孝雄)

拝啓、貴社益々ご清栄の段お喜び申し上げます。また、平素は弊社の製品をご利用頂き誠に有難うございます。

さて、掲題の件につきまして、下記にご報告申し上げます。
 今後とも倍旧のお引き立てを賜りますようお願い申し上げます。

敬具

記

1. 対象デバイス
RL78/I1Aグループ
 R5F1076CMSP,R5F107ACMSP,R5F107AEMSP,R5F107DEMSP
2. 関連資料
 誤記訂正通知 RL78/I1A ユーザーズマニュアル Rev.1.00 の記載変更 (TN-RL*-A008A/J)
 RL78/I1A ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0169JJ0100)
3. ご報告
 誤記訂正通知 RL78/I1A ユーザーズマニュアル Rev.1.00 の記載変更(TN- RL*-A008A/J)
 で通知した訂正内容を反映した「第33章 電気的特性 (Ta = -40~+125°C対応品)」を
 2ページ目以降に示します。

第33章 電気的特性 (TA = -40 ~ +125 対応品)

対象製品 (TA = -40 ~ +125)

R5F1076CMSP#V0, R5F1076CMSP#X0, R5F107ACMSP#V0, R5F107ACMSP#X0,
R5F107AEMSP#V0, R5F107AEMSP#X0, R5F107DEMSP#V0, R5F107DEMSP#X0

- 注意1. RL78/I1Aには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。
2. 製品により搭載している端子が異なります。2.1 ポート機能 ~2.2.1 製品別の搭載機能を参照してください。
 3. 本製品を105 以下でご使用される場合は、第32章 電気的特性 (TA=-40~ +105 対応品) の特性をご参照ください。

33.1 絶対最大定格

絶対最大定格 (TA = 25) (1/2)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.5 ~ + 6.5	V
REGC端子入力電圧	V _{I_{REGC}}	REGC	- 0.3 ~ + 2.8 かつ - 0.3 ~ V _{DD} + 0.3 ^{注1}	V
入力電圧	V _{I1}	P02, P03, P05, P06, P10-P12, P20-P22, P24-P27, P30, P31, P40, P75-P77, P120-P124, P137, P147, P200-P206, EXCLK, EXCLKS, $\overline{\text{RESET}}$	- 0.3 ~ V _{DD} + 0.3 ^{注2}	V
出力電圧	V _{O1}	P02, P03, P05, P06, P10-P12, P20-P22, P24-P27, P30, P31, P40, P75-P77, P120, P147, P200-P206	- 0.3 ~ V _{DD} + 0.3 ^{注2}	V
アナログ入力電圧	V _{AI1}	ANI0-ANI2, ANI4-ANI7, ANI16-ANI19	- 0.3 ~ V _{DD} + 0.3 かつ - 0.3 ~ AV _{REF(+)} + 0.3 ^{注2, 3}	V

注1. REGC端子にはコンデンサ (0.47 ~ 1 μ F) を介してV_{SS}に接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

- 6.5 V以下であること。
- A/D変換対象の端子は、AV_{REF(+)} + 0.3を越えないでください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

- AV_{REF(+)} : A/Dコンバータの+側基準電圧
- V_{SS}を基準電位とする

絶対最大定格 (TA = 25) (2/2)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	I _{OH1}	1端子	P02, P03, P05, P06, P10-P12, P30, P31, P40, P75-P77, P120, P147, P200-P206	- 40	mA
		端子合計 - 170 mA	P02, P03, P40, P120	- 70	mA
			P05, P06, P10-P12, P30, P31, P75-P77, P147, P200-P206	- 100	mA
	I _{OH2}	1端子	P20-P22, P24-P27	- 0.5	mA
		端子合計		- 2	mA
	ロウ・レベル出力電流	I _{OL1}	1端子	P02, P03, P05, P06, P10-P12, P30, P31, P40, P75-P77, P120, P147, P200-P206	40
端子合計 170 mA			P02, P03, P40, P120	70	mA
			P05, P06, P10-P12, P30, P31, P75-P77, P147, P200-P206	100	mA
I _{OL2}		1端子	P20-P22, P24-P27	1	mA
		端子合計		5	mA
動作周囲温度		T _A	通常動作時		- 40 ~ + 125 ^註
	フラッシュ・メモリ・プログラミング時		- 40 ~ + 105 ^註		
保存温度	T _{stg}			- 65 ~ + 150	

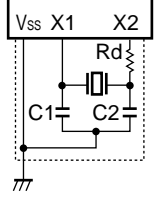
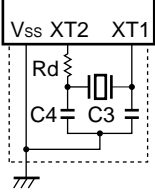
注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

33.2 発振回路特性

33.2.1 X1, XT1発振回路特性

(TA = -40 ~ +125 , 2.7 V VDD 5.5 V, VSS = 0 V)

項目	発振子	推奨回路	条件	MIN.	TYP.	MAX.	単位
X1クロック 周波数 (fx) 注	セラミック発振子 / 水晶振動子			1.0		20.0	MHz
XT1クロック 周波数 (fxT) 注	水晶振動子			32	32.768	35	kHz

注 発振回路の周波数許容範囲のみを示すものです。命令実行時間は、AC特性を参照してください。
また、実装回路上での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

備考 X1, XT1発振回路を使用する場合は、5.4 システム・クロック発振回路を参照してください。

33.2.2 オンチップ・オシレータ特性

(TA = -40 ~ +125 , 2.7 V VDD 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ クロック周波数 ^{注1}	f _{IH}		1		32	MHz
高速オンチップ・オシレータ クロック周波数精度 ^{注2}		TA = -20 ~ +85	-1		+1	%
		TA = -40 ~ +105	-1.5		+1.5	%
		TA = -40 ~ +125 16 MHz選択時	-2		+2	%
低速オンチップ・オシレータ クロック周波数	f _{IL}			15		kHz
低速オンチップ・オシレータ クロック周波数精度			-15		+15	%

注1. 高速オンチップ・オシレータで選択できる周波数です。オプション・バイト (000C2H/010C2H) のビット0-3
によって選択します。

2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

備考 TA = 105 を超えるご使用の場合、クロック周波数は16 MHzまでの設定となります。

33.2.3 周波数逓倍回路 (PLL) 特性

(TA = -40 ~ +125 , 2.7 V VDD 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
PLL入力クロック周波数 ^注	f _{PLLIN}	高速システム・クロック選択時 (f _{MX} = 4 MHz)	3.92	4.00	4.08	MHz
		高速オンチップ・オシレータ・クロック選択時 (f _{IH} = 4 MHz)	3.92	4.00	4.08	MHz
PLL出力クロック周波数 ^注	f _{PLL}		f _{PLLIN} × 16			MHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

備考 TA = 105 を超えるご使用の場合、CPUの動作設定は16 MHz (f_{PLL} × 1/4) のみの設定となります。

33.3 DC特性

33.3.1 端子特性

(TA = -40 ~ +125 , 2.7 V V_{DD} 5.5 V, V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 ^{注1}	I _{OH1}	P02, P03, P05, P06, P10-P12, P30, P31, P40, P75-P77, P120, P147, P200-P206 1端子	4.0 V V _{DD} 5.5 V			- 3.0 ^{注2}	mA
			2.7 V V _{DD} < 4.0 V			- 1.0	mA
		P02, P03, P40, P120 合計 (デューティ 70%時 ^{注3})	4.0 V V _{DD} 5.5 V			- 9.0	mA
			2.7 V V _{DD} < 4.0 V			- 3.0	mA
		P05, P06, P10-P12, P30, P31, P75-P77, P147, P200-P206 合計 (デューティ 70%時 ^{注3})	4.0 V V _{DD} 5.5 V			- 21.0	mA
			2.7 V V _{DD} < 4.0 V			- 6.0	mA
	全端子合計 (デューティ 70%時 ^{注3})	4.0 V V _{DD} 5.5 V			- 21.0	mA	
		2.7 V V _{DD} < 4.0 V			- 9.0	mA	
	I _{OH2}	P20-P22, P24-P27 1端子	2.7 V V _{DD} 5.5 V			- 0.1 ^{注2}	mA
			全端子合計 (デューティ 70%時 ^{注3})	2.7 V V _{DD} 5.5 V			- 0.4

注1. V_{DD}端子から出力端子に流れ出しても、デバイスの動作を保证する電流値です。

- ただし、合計の電流値を超えないでください。
- デューティ 70%の条件での電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます (デューティ比をn %に変更する場合)。

$$\cdot \text{端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

< 計算例 > I_{OH} = - 10.0 mAの場合, n = 80 %

$$\text{端子合計の出力電流} = (- 10.0 \times 0.7) / (80 \times 0.01) = - 8.7 \text{ mA}$$

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注意 P02, P10-P12は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +125 , 2.7 V VDD 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電流 ^{注1}	IOL1	P02, P03, P05, P06, P10-P12, P30, P31, P40, P75-P77, P120, P147, P200-P206 1端子	4.0 V VDD 5.5 V			8.5 ^{注2}	mA
			2.7 V VDD < 4.0 V			1.5 ^{注2}	mA
		P02, P03, P40, P120 合計 (デューティ 70% ^{注3})	4.0 V VDD 5.5 V			20.0	mA
			2.7 V VDD < 4.0 V			5.0	mA
		P05, P06, P10-P12, P30, P31, P75-P77, P147, P200-P206 合計 (デューティ 70% ^{注3})	4.0 V VDD 5.5 V			20.0	mA
			2.7 V VDD < 4.0 V			10.0	mA
	全端子合計 (デューティ 70% ^{注3})	4.0 V VDD 5.5 V			40.0	mA	
		2.7 V VDD < 4.0 V			15.0	mA	
	IOL2	P20-P22, P24-P27 1端子	2.7 V VDD < 5.5 V			0.4 ^{注2}	mA
			全端子合計 (デューティ 70% ^{注3})	2.7 V VDD < 5.5 V			1.6

注1. 出力端子からVSS端子に流れ込んでも、デバイスの動作を保証する電流値です。

2. ただし、合計の電流値を超えないでください。

3. デューティ 70%の条件での電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます (デューティ比をn %に変更する場合)。

$$\cdot \text{端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

< 計算例 > I_{OH} = -10.0 mAの場合, n = 80 %

$$\text{端子合計の出力電流} = (-10.0 \times 0.7) / (80 \times 0.01) = -8.7 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +125 , 2.7 V VDD 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
ハイ・レベル入力電圧	VIH1	P02, P03, P05, P06, P10-P12, P20-P22, P24-P27, P30, P31, P40, P75-P77, P120-P124, P137, P147, P200-P206, EXCLK, EXCLKS, RESET	通常入力バッファ	0.8VDD		VDD	V	
			TTL入力バッファ	4.0 V VDD 5.5 V	2.1		VDD	V
				3.3 V VDD < 4.0 V	2.0		VDD	V
				2.7 V VDD < 3.3 V	1.5		VDD	V
ロウ・レベル入力電圧	VIL1	P02, P03, P05, P06, P10-P12, P20-P22, P24-P27, P30, P31, P40, P75-P77, P120-P124, P137, P147, P200-P206, EXCLK, EXCLKS, RESET	通常入力バッファ	0		0.2VDD	V	
			TTL入力バッファ	4.0 V VDD 5.5 V	0		0.8	V
				3.3 V VDD < 4.0 V	0		0.5	V
				2.7 V VDD < 3.3 V	0		0.32	V
ロウ・レベル入力電圧	VIL2	P03, P10, P11,	TTL入力バッファ	0		0.8	V	
			4.0 V VDD 5.5 V	0		0.5	V	
			3.3 V VDD < 4.0 V	0		0.32	V	
			2.7 V VDD < 3.3 V	0		0.32	V	

注意 P02, P10-P12は、N-chオープン・ドレイン・モード時でもVIHの最大値 (MAX.) はVDDです。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +125 , 2.7 V VDD 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電圧	VOH1	P02, P03, P05, P06, P10-P12, P30, P31, P40, P75-P77, P120, P147, P200-P206	4.0 V VDD 5.5 V, IOH1 = -3.0 mA	VDD - 0.7			V
			2.7 V VDD 5.5 V, IOH1 = -1.0 mA	VDD - 0.5			V
	VOH2	P20-P22, P24-P27	2.7 V VDD 5.5 V, IOH2 = -100 μA	VDD - 0.5			V
ロウ・レベル出力電圧	VOL1	P02, P03, P05, P06, P10-P12, P30, P31, P40, P75-P77, P120, P147, P200-P206	4.0 V VDD 5.5 V, IOL1 = 8.5 mA			0.7	V
			4.0 V VDD 5.5 V, IOL1 = 4.0 mA			0.4	V
			2.7 V VDD 5.5 V, IOL1 = 1.5 mA			0.4	V
	VOL2	P20-P22, P24-P27	2.7 V VDD 5.5 V, IOL2 = 400 μA			0.4	V

注意 P02, P10-P12は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +125 , 2.7 V VDD 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
ハイ・レベル入力リーク電流	I _{LIH1}	P02, P03, P05, P06, P10-P12, P20-P22, P24-P27, P30, P31, P40, P75-P77, P120, P137, P147, P200-P206, RESET	V _I = V _{DD}			1	μA	
	I _{LIH2}	P121-P124 (X1, X2, XT1, XT2, EXCLK, EXCLKS)	V _I = V _{DD}	入力ポート時,			1	μA
				外部クロック入力時 発振子接続時			10	μA
ロウ・レベル入力リーク電流	I _{LIL1}	P02, P03, P05, P06, P10-P12, P20-P22, P24-P27, P30, P31, P40, P75-P77, P120, P137, P147, P200-P206, RESET	V _I = V _{SS}			-1	μA	
	I _{LIL3}	P121-P124 (X1, X2, XT1, XT2, EXCLK, EXCLKS)	V _I = V _{SS}	入力ポート時,			-1	μA
				外部クロック入力時 発振子接続時			-10	μA
内蔵プルアップ抵抗	R _U	P02, P03, P05, P06, P10-P12, P30, P31, P40, P75-P77, P120, P147, P200-P206	V _I = V _{SS} , 入力ポート時	10	20	100	k	

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

33.3.2 電源電流特性

(TA = -40 ~ +125 , 2.7 V VDD 5.5 V, VSS = 0 V)

(1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位			
電源電流	IDD1 ^{注1}	動作モード	HS(高速メイン)モード ^{注5}	f _{IH} = 16 MHz ^{注3}	V _{DD} = 5.0 V		2.9	4.8	mA	
					V _{DD} = 3.0 V		2.9	4.8		
			HS(高速メイン)モード ^{注5}	f _{MX} = 20 MHz ^{注2} , V _{DD} = 5.0 V	方形波入力		3.2	5.6	mA	
					発振子接続		3.3	5.7		
				f _{MX} = 20 MHz ^{注2} , V _{DD} = 3.0 V	方形波入力		3.2	5.6	mA	
					発振子接続		3.3	5.7		
				f _{MX} = 10 MHz ^{注2} , V _{DD} = 5.0 V	方形波入力		2.0	3.3	mA	
					発振子接続		2.0	3.3		
			f _{MX} = 10 MHz ^{注2} , V _{DD} = 3.0 V	方形波入力		2.0	3.3	mA		
				発振子接続		2.0	3.3			
			HS(高速メイン)モード ^{注5}	f _{IH} = 4 MHz ^{注3} , f _{PLL} = 64 MHz, f _{CLK} = 16 MHz	V _{DD} = 5.0 V		3.3	6.5	mA	
					V _{DD} = 3.0 V		3.3	6.5		
			サブシステム・クロック動作	f _{SUB} = 32.768 kHz ^{注4} TA = -40	方形波入力		4.2	6.0	μA	
					発振子接続		4.4	6.2		
					f _{SUB} = 32.768 kHz ^{注4} TA = +25	方形波入力		4.2	6.0	μA
						発振子接続		4.4	6.2	
					f _{SUB} = 32.768 kHz ^{注4} TA = +50	方形波入力		4.3	7.2	μA
						発振子接続		4.5	7.4	
f _{SUB} = 32.768 kHz ^{注4} TA = +70	方形波入力				4.4	8.1	μA			
	発振子接続				4.6	8.3				
f _{SUB} = 32.768 kHz ^{注4} TA = +85	方形波入力				5.2	11.4	μA			
	発振子接続				5.4	11.6				
f _{SUB} = 32.768 kHz ^{注4} TA = +105	方形波入力		6.9	20.8	μA					
	発振子接続		7.1	21.0						
f _{SUB} = 32.768 kHz ^{注4} TA = +125	方形波入力		11.1	51.2	μA					
	発振子接続		11.3	51.4						

(注, 備考は次ページにあります。)

- 注1. V_{DD}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、コンパレータ、プログラマブル・ゲイン・アンプ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
2. 高速オンチップ・オシレータ、サブシステム・クロックは停止時。
 3. 高速システム・クロック、サブシステム・クロックは停止時。
 4. 高速オンチップ・オシレータ、高速システム・クロックは停止時。超低消費発振 (AMPHS1 = 1) 設定時。RTC、12ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
 5. 動作電圧範囲、CPU動作周波数、動作モードの関係を次に示します。
HS (高速メイン) モード : 2.7 V V_{DD} 5.5 V@1 MHz ~ 20 MHz

- 備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
2. f_{IH} : 高速オンチップ・オシレータ・クロック周波数
 3. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)
 4. 「サブシステム・クロック動作」以外のTYP.値の温度条件は、TA = 25 °C です。

(TA = -40 ~ +125 , 2.7 V VDD 5.5 V, VSS = 0 V)

(2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD2 ^{注2}	HALTモード	HS高速メイン)モード ^{注7}	f _{IH} = 16 MHz ^{注4}	V _{DD} = 5.0 V	0.50	2.0	mA
				V _{DD} = 3.0 V	0.50	2.0		
		HS(高速メイン)モード ^{注7}	f _{MX} = 20 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力	0.40	2.2	mA	
				発振子接続	0.50	2.3		
			f _{MX} = 20 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力	0.40	2.2	mA	
				発振子接続	0.50	2.3		
			f _{MX} = 10 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力	0.24	1.22	mA	
				発振子接続	0.30	1.28		
		f _{MX} = 10 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力	0.24	1.22	mA		
			発振子接続	0.30	1.28			
		HS(高速メイン)モード ^{注7}	f _{IH} = 4 MHz ^{注4} , f _P LL = 64 MHz, f _{CLK} = 16 MHz	V _{DD} = 5.0 V	0.95	3.7	mA	
				V _{DD} = 3.0 V	0.95	3.7		
		サブ・クロック動作	f _{SUB} = 32.768 kHz ^{注5} TA = -40	方形波入力	0.28	0.70	μA	
				発振子接続	0.47	0.89		
	f _{SUB} = 32.768 kHz ^{注5} TA = +25		方形波入力	0.33	0.70	μA		
			発振子接続	0.52	0.89			
	f _{SUB} = 32.768 kHz ^{注5} TA = +50		方形波入力	0.41	1.90	μA		
			発振子接続	0.60	2.09			
	f _{SUB} = 32.768 kHz ^{注5} TA = +70		方形波入力	0.54	2.80	μA		
			発振子接続	0.73	2.99			
f _{SUB} = 32.768 kHz ^{注5} TA = +85	方形波入力		1.27	6.10	μA			
	発振子接続		1.46	6.29				
f _{SUB} = 32.768 kHz ^{注5} TA = +105	方形波入力	3.04	15.5	μA				
	発振子接続	3.23	15.7					
f _{SUB} = 32.768 kHz ^{注5} TA = +125	方形波入力	7.20	45.2	μA				
	発振子接続	7.53	45.5					
IDD3 ^{注6}	STOPモード ^{注8}	TA = -40		0.18	0.50	μA		
		TA = +25		0.23	0.50			
		TA = +50		0.27	1.7			
		TA = +70		0.44	2.6			
		TA = +85		1.17	5.9			
		TA = +105		2.94	15.3			
		TA = +125		7.14	45.1			

(注, 備考は次ページにあります。)

- 注1. V_{DD}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、コンパレータ、プログラマブル・ゲイン・アンプ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
2. フラッシュ・メモリでのHALT命令実行時。
 3. 高速オンチップ・オシレータ、サブシステム・クロックは停止時。
 4. 高速システム・クロック、サブシステム・クロックは停止時。
 5. 高速オンチップ・オシレータ、高速システム・クロックは停止時。
RTCLPC = 1, かつ超低消費発振 (AMPHS1 = 1) 設定時。RTCに流れる電流は含みます。ただし、12ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
 6. RTC, 12ビット・インターバル・タイマ, ウォッチドッグ・タイマに流れる電流は含みません。
タイマ停止時。また, MAX.値にはリーク電流を含みます。
 7. 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。
HS (高速メイン) モード : 2.7 V V_{DD} 5.5 V@1 MHz ~ 20 MHz
 8. STOPモード時にサブシステム・クロックを動作させる場合の電流値は, HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

- 備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
2. f_{IH} : 高速オンチップ・オシレータ・クロック周波数
 3. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)
 4. 「サブシステム・クロック動作」, 「STOPモード」以外のTYP.値の温度条件は, TA = 25 °C です。

(TA = -40 ~ +125 , 2.7 V VDD 5.5 V, VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	I _{FIL} ^{注1}				0.20		μA
RTC動作電流	I _{RTC} ^{注1, 2, 3}				0.02		μA
12ビット・インターバル・タイマ動作	I _{IT} ^{注1, 2, 4}				0.02		μA
ウォッチドッグ・タイマ動作電流	I _{WDT} ^{注1, 2, 5}	f _{IL} = 15 kHz			0.22		μA
A/Dコンバータ動作電流	I _{ADC} ^{注1, 6}	最高速変換時	標準モード, AV _{REFP} = V _{DD} = 5.0 V		1.3	1.7	mA
A/Dコンバータ基準電圧電流	I _{ADREF} ^{注1}				75.0		μA
温度センサ動作電流	I _{TMPS} ^{注1}				75.0		μA
LVD動作電流	I _{LVI} ^{注1, 7}				0.08		μA
セルフ・プログラミング動作電流	I _{FSP} ^{注1, 8}				2.50	12.2	mA
プログラマブル・ゲイン・アンプ動作電流	I _{PGA} ^{注9}	AV _{REFP} = V _{DD} = 5.0 V			0.21	0.37	mA
		AV _{REFP} = V _{DD} = 3.0 V			0.18	0.35	mA
コンパレータ動作電流	I _{COMP} ^{注10}	コンパレータ1 ch動作時	AV _{REFP} = V _{DD} = 5.0 V		41.4	74	μA
			AV _{REFP} = V _{DD} = 3.0 V		37.2	71	μA
	I _{VREF}	内蔵基準電圧回路1回路動作時	AV _{REFP} = V _{DD} = 5.0 V		14.8	31	μA
			AV _{REFP} = V _{DD} = 3.0 V		8.9	24	μA
プログラマブル・ゲイン・アンプ/コンパレータ基準電流源	I _{IREF} ^{注11}	AV _{REFP} = V _{DD} = 5.0 V			3.2	6.1	μA
		AV _{REFP} = V _{DD} = 3.0 V			2.9	5.9	μA
BGO動作電流	I _{BGO} ^{注12}				2.50	12.2	mA
SNOOZE動作電流	I _{SNOZ} ^{注1}	ADC動作	モード遷移中 ^{注13}		0.50	1.10	mA
			変換動作中, 標準モード, AV _{REFP} = V _{DD} = 5.0 V		1.20	2.17	
		CSI/UART動作			0.70	1.27	

注1. V_{DD}に流れる電流です

- 高速オンチップ・オシレータ, 高速システム・クロックは停止時。
- リアルタイム・クロック (RTC) にのみ流れる電流です (低速オンチップ・オシレータ, XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでのリアルタイム・クロックの動作時は, I_{DD1}またはI_{DD2}にI_{RTC}を加算した値が, RL78/I1Aマイクロコントローラの電流値となります。また, 低速オンチップ・オシレータ選択時はI_{FIL}を加算してください。I_{DD2}のサブシステム・クロック動作にはリアルタイム・クロックの動作電流が含まれています。
- 12ビット・インターバル・タイマにのみ流れる電流です (低速オンチップ・オシレータ, XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでの12ビット・インターバル・タイマの動作時は, I_{DD1}またはI_{DD2}にI_{IT}を加算した値が, RL78マイクロコントローラの電流値となります。また, 低速オンチップ・オシレータ選択時はI_{FIL}を加算してください。 ,
- ウォッチドッグ・タイマにのみ流れる電流です (低速オンチップ・オシレータの動作電流を含みます)。ウォッチドッグ・タイマの動作時は, I_{DD1}, I_{DD2}またはI_{DD3}にI_{WDT}を加算した値が, RL78マイクロコントローラの電

流値となります。

6. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモード時にA/Dコンバータが動作中の場合、 I_{DD1} または I_{DD2} に I_{ADC} を加算した値が、RL78マイクロコントローラの電流値となります。
 7. LVD回路にのみ流れる電流です。LVD回路の動作時は、 I_{DD1} 、 I_{DD2} または I_{DD3} に I_{LVI} を加算した値が、RL78マイクロコントローラの電流値となります。
 8. セルフ・プログラミング動作に流れる電流です。
 9. プログラマブル・ゲイン・アンプにのみ流れる電流です。動作モードまたはHALTモード時にプログラマブル・ゲイン・アンプが動作中の場合、 I_{DD1} 、 I_{DD2} または I_{DD3} に I_{PGA} を加算した値が、RL78マイクロコントローラの電流値となります。
 10. コンパレータにのみ流れる電流です。コンパレータの動作時は、 I_{DD1} 、 I_{DD2} または I_{DD3} に I_{CMP} を加算した値が、RL78の電源電流値となります。
 11. プログラマブル・ゲイン・アンプ、コンパレータを使用する際に必要となる電流回路の V_{DD} 端子に流れる電流値となります。
 12. データ・フラッシュ書き換え動作に流れる電流です。
- 13 SNOOZEモードへの移行時間は、21. 3. 3 SNOOZEモードを参照してください。

備考1. f_{IL} : 低速オンチップ・オシレータ・クロック周波数

2. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)

3. f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

4. TYP.値の温度条件は、 $T_A = 25$ です。

5. プログラマブル・ゲイン・アンプおよびコンパレータ使用時の電流算出例

例1) コンパレータ3 ch + 内蔵基準電圧回路1ch + PGAを動作させた場合のTYP.動作電流 ($AV_{REFP} = V_{DD} = 5.0$ V時)

$$\begin{aligned} & I_{CMP} \times 3 + I_{VREF} \times 1 + I_{PGA} + I_{IREF} \\ &= 41.4 [\mu A] \times 3 + 14.8 [\mu A] \times 1 + 210 [\mu A] + 3.2 [\mu A] \\ &= 352.2 [\mu A] \end{aligned}$$

例2) コンパレータ2 ch + 内蔵基準電圧回路未使用時のTYP.動作電流 ($AV_{REFP} = V_{DD} = 5.0$ V時)

$$\begin{aligned} & I_{CMP} \times 2 + I_{IREF} \\ &= 41.4 [\mu A] \times 2 + 3.2 [\mu A] \\ &= 86.0 [\mu A] \end{aligned}$$

33.4 AC特性

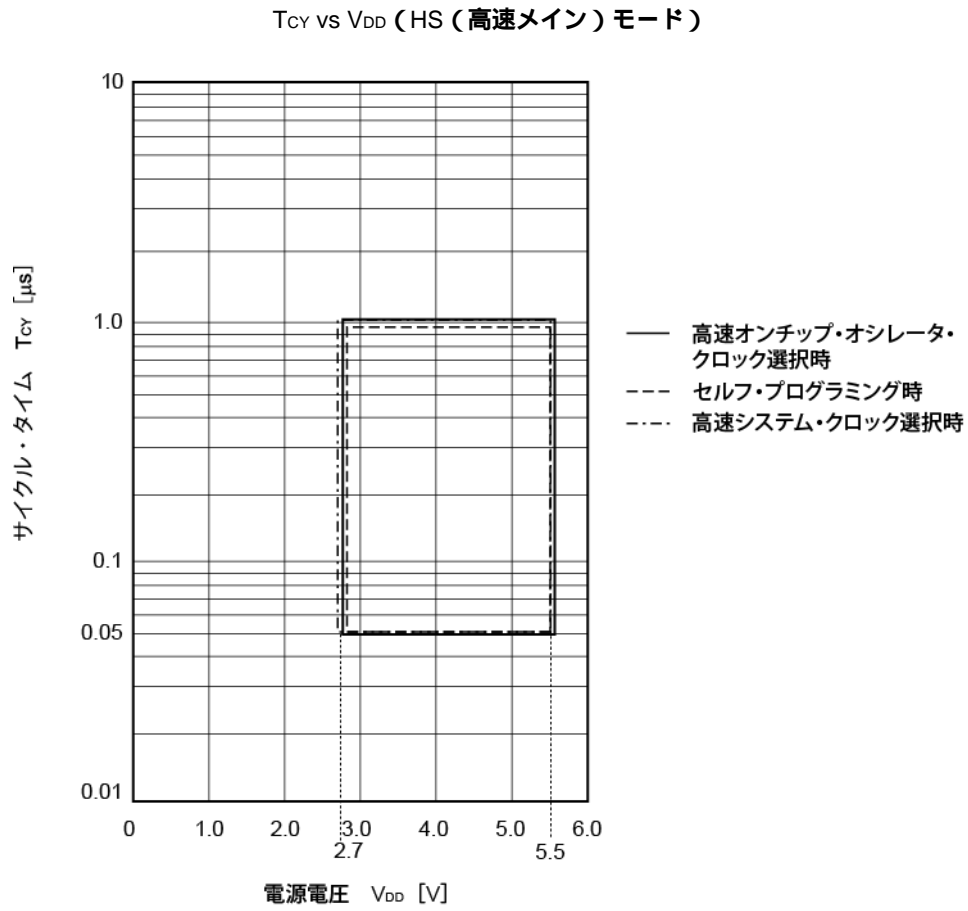
(TA = -40 ~ +125 , 2.7 V VDD 5.5 V, VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
命令サイクル (最小命令実行時間)	Tcy	メイン・システム・クロック (fMAIN) 動作	HS (高速メイン) モード	0.05		1	μs
		サブシステム・クロック (fSUB) 動作		28.5	30.5	31.3	μs
		セルフ・プログラミング時	HS (高速メイン) モード	0.05		1	μs
				TA = -40 ~ +105 °C			
外部システム・クロック周波数	fex			1.0		20.0	MHz
	fexs			32		35	kHz
外部システム・クロック入力ハイ、ロウ・レベル幅	texH,			24			ns
	texL						
	texHS, texLS			13.7			μs
Ti03, Ti05, Ti06, Ti07 入力ハイ・レベル幅, ロウ・レベル幅	tINH, tNIL			2fMCK + 10			ns
TO03, TO05, TO06, TKBO00, TKBO01, TKBO10, TKBO11, TKBO20, TKBO21, TKCO00-TKCO05 出力周波数 (デューティ = 50 %時)	fro	HS (高速メイン) モード*	4.0 V VDD 5.5 V			5	MHz
			2.7 V VDD < 4.0 V			4	MHz
割り込み入力ハイ・レベル幅, ロウ・レベル幅	tINH, tNIL	INTP0, INTP3, INTP4, INTP9-INTP11, INTP20-INTP23	2.7 V VDD 5.5 V	1			μs
RESETロウ・レベル幅	trsl			10			μs

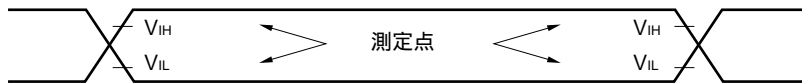
備考 fMCK : タイマ・アレイ・ユニットの動作クロック周波数。

(タイマ・モード・レジスタ0n (TMR0n) のCKS0nビットで設定する動作クロック。n: チャネル番号 (n = 0-7))

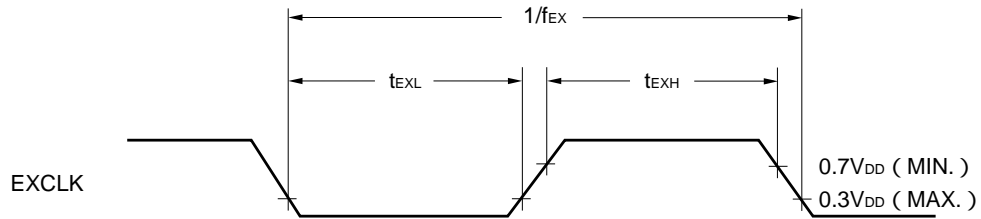
メイン・システム・クロック動作時の最小命令実行時間



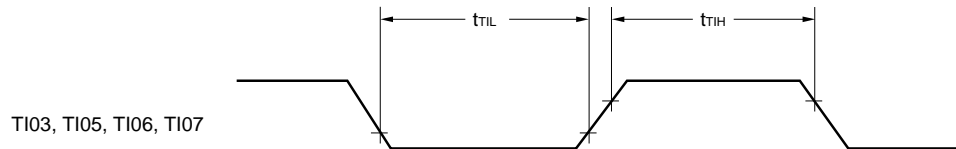
ACタイミング測定点



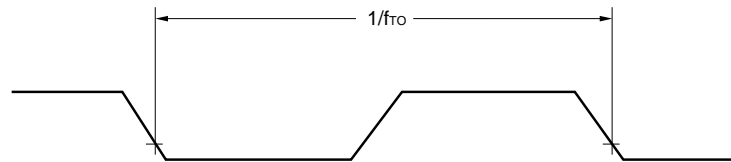
外部システム・クロック・タイミング



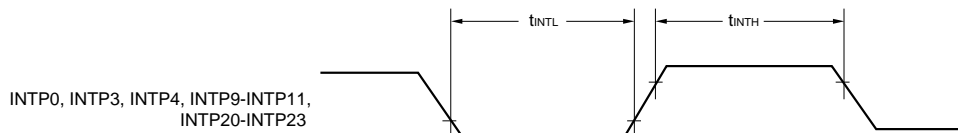
TI/TOタイミング



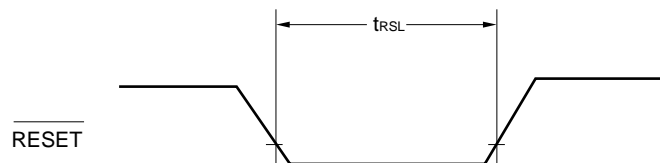
TO03, TO05, TO06, TKBO00, TKBO01, TKBO10, TKBO11, TKBO20, TKBO21, TKCO00-TKCO05



割り込み要求入力タイミング



RESET入力タイミング



33.5 周辺機能特性

33.5.1 シリアル・アレイ・ユニット0, 4 (UART0, UART1, CSI00, DALI/UART4)

(1) 同電位通信時 (UARTモード)

(TA = -40~+125, 2.7 V VDD 5.5 V, VSS = 0 V)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
転送レート ^{注1}		最大転送レート理論値 fMCK = fCLK ^{注2}		fMCK/6	bps
				3.3	Mbps

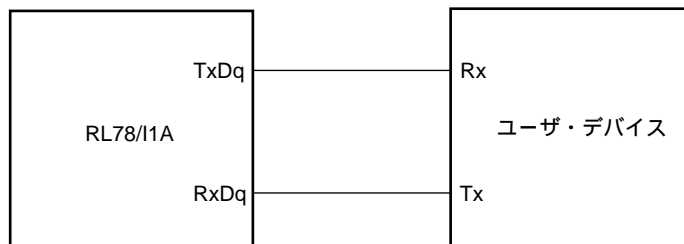
注 1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

2. CPU / 周辺ハードウェア・クロック (fCLK) の動作周波数を次に示します。

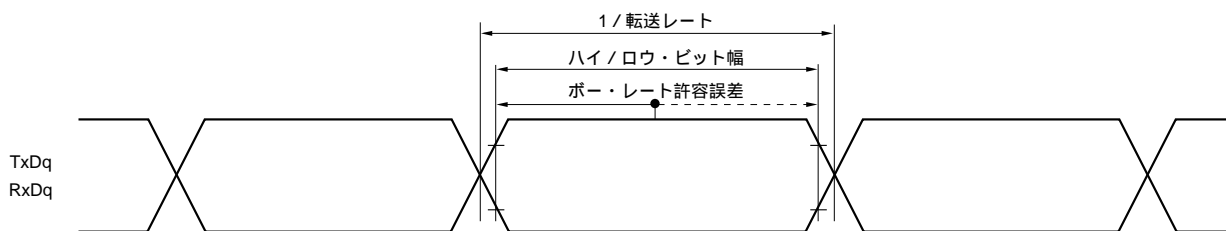
HS (高速メイン) モード : 20 MHz (2.7 V VDD 5.5 V)

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、RxDq端子は通常入力バッファを選択し、TxDq端子は通常出力モードを選択します。

UARTモード接続図 (同電位通信時)



UARTモードのビット幅 (同電位通信時) (参考)



注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、RxDq端子は通常入力バッファ、TxDq端子は通常出力モードを選択。

備考1. q : UART番号 (q = 0, 1) , g : PIM, POM番号 (g = 0, 1)

2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号 , n : チャネル番号 (mn = 00-03))

(2) 同電位通信時 (CSIモード) (マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +125 , 2.7 V V_{DD} 5.5 V, V_{SS} = 0 V)

項目	略号	条件		HS (高速メイン) モード		単位
				MIN.	MAX.	
SCKpサイクル・タイム	t _{KCY1}	t _{KCY1} 4/f _{CLK}	4.0 V V _{DD} 5.5 V	250		ns
			2.7 V V _{DD} 5.5 V	500		
SCKpハイ, ロウ・レベル幅	t _{KH1} , t _{KL1}	4.0 V V _{DD} 5.5 V		t _{KCY1} /2		ns
		2.7 V V _{DD} 5.5 V		t _{KCY1} /2 - 40		ns
Slpセットアップ時間 (対SCKp) 注1	t _{SIK1}	4.0 V V _{DD} 5.5 V		80		ns
		2.7 V V _{DD} 5.5 V		80		ns
Slpホールド時間 (対SCKp) 注1	t _{KS1}			40		ns
SCKp SOp出力 遅延時間注2	t _{KSO1}	C = 30 pF ^{注3}			80	ns

注 1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp”となります。

3. Cは, SCKp, SOp出力ラインの負荷容量です。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で, Slp端子は通常入力バッファを選択し, SOp端子とSCKp端子は通常出力モードを選択します。

備考 1. p: CSI番号 (p = 00), m: ユニット番号 (m = 0),
n: チャネル番号 (n = 0), g: PIM, POM番号 (g = 1)

2. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m: ユニット番号, n: チャネル番号 (mn = 00))

(3) 同電位通信時 (CSIモード) (スレーブ・モード, SCKp...外部クロック入力)

(TA = -40 ~ +125 , 2.7 V VDD 5.5 V, VSS = 0 V)

項目	略号	条件		HS (高速メイン)モード		単位
				MIN.	MAX.	
SCKpサイクル・タイム ^{注4}	tkCY2	4.0 V VDD 5.5 V	fMCK 20 MHz	6/fMCK		ns
		2.7 V VDD 5.5 V	16 MHz < fMCK	8/fMCK		ns
			fMCK 16 MHz	6/fMCK		ns
SCKpハイ,ロウ・レベル幅	tkH2, tkL2			tkCY2/2		ns
Slpセットアップ時間 (対SCKp) ^{注1}	tsIK2			1/fMCK + 40		ns
Slpホールド時間 (対SCKp) ^{注1}	tkSI2			1/fMCK + 60		ns
SCKp SOP出力 遅延時間 ^{注2}	tkSO2	C = 30 pF ^{注3}			2/fMCK + 80	ns

注 1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは “ 対SCKp ” となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは “ 対SCKp ” となります。

3. Cは, SOP出力ラインの負荷容量です。

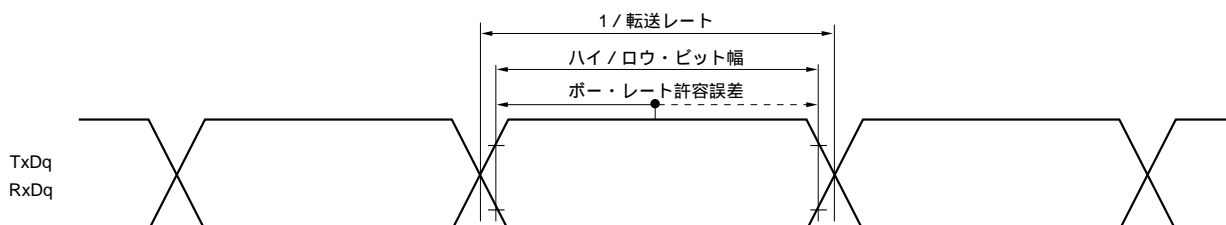
4. SNOOZEモードでの転送レートは, MAX. 1 Mbpsです。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で, Slp端子とSCKp端子は通常入力バッファを選択し, SOP端子は通常出力モードを選択します。

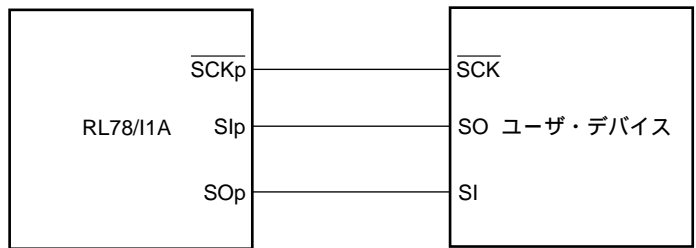
備考 1. p : CSI番号 (p = 00) , m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0) ,
g : PIM, POM番号 (g = 1)

2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

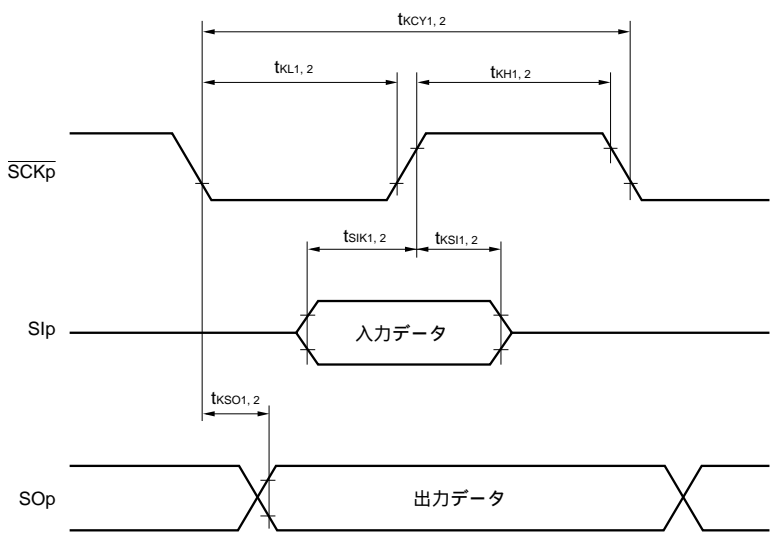
(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号, n : チャネル番号 (mn = 00))



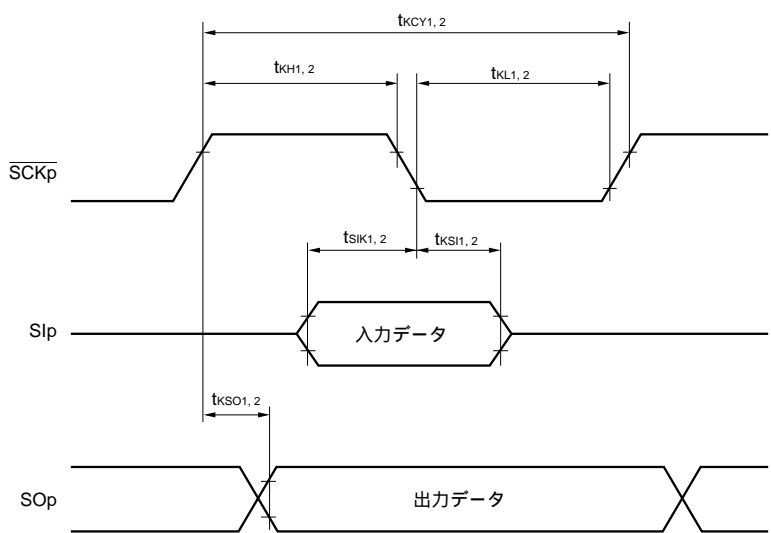
CSIモード接続図 (同電位通信時)



CSIモード・シリアル転送タイミング (同電位通信時)
(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



CSIモード・シリアル転送タイミング (同電位通信時)
(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



- 備考1. p : CSI番号 (p = 00)
2. m : ユニット番号, n : チャネル番号 (mn = 00)

(4) 異電位 (2.5 V系, 3 V系) 通信時 (UARTモード) (1/2)

(TA = -40~+125, 2.7 V V_{DD} 5.5 V, V_{SS} = 0 V)

項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
転送レート	受 信	4.0 V V _{DD} 5.5 V, 2.7 V V _b 4.0 V		f _{MCK} /6 ^{注1}	bps
		最大転送レート理論値 f _{MCK} = f _{CLK} ^{注2}		3.3	Mbps
		2.7 V V _{DD} < 4.0 V, 2.3 V V _b 2.7 V		f _{MCK} /6 ^{注1}	bps
		最大転送レート理論値 f _{MCK} = f _{CLK} ^{注2}		3.3	Mbps

注 1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

2. CPU/周辺ハードウェア・クロック (f_{CLK}) の動作周波数を次に示します。

HS (高速メイン) モード : 20 MHz (2.7 V V_{DD} 5.5 V)

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

備考1. V_b [V]: 通信ライン電圧

2. q: UART番号 (q = 0, 1), g: PIM, POM番号 (g = 0, 1)

3. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m: ユニット番号, n: チャネル番号 (mn = 00-03))

(4) 異電位 (2.5 V系, 3 V系) 通信時 (UARTモード) (2/2)

(TA = -40 ~ +125, 2.7 V VDD 5.5 V, VSS = 0 V)

項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
転送レート	送信	4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V		注1	bps
		最大転送レート理論値 Cb = 50 pF, Rb = 1.4 kΩ, Vb = 2.7 V		2.8 ^{注2}	Mbps
		2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V		注3	bps
		最大転送レート理論値 Cb = 50 pF, Rb = 2.7 kΩ, Vb = 2.3 V		1.2 ^{注4}	Mbps

注1. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.2}{V_b} \right) \right\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.2}{V_b} \right) \right\}}{\left(\frac{1}{\text{転送レート}} \right) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

この値は送信側と受信側の相対差の理論値となります。

2. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

3. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.0}{V_b} \right) \right\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.0}{V_b} \right) \right\}}{\left(\frac{1}{\text{転送レート}} \right) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

この値は送信側と受信側の相対差の理論値となります。

4. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。**注意** ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力 (VDD耐圧) モードを選択します。なおVIH、VILは、TTL入力バッファ選択時のDC特性を参照してください。

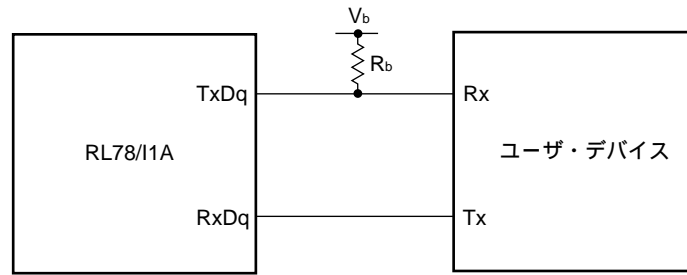
備考1. Rb []: 通信ライン (TxDq) プルアップ抵抗値, Cb [F]: 通信ライン (TxDq) 負荷容量値, Vb [V]: 通信ライン電圧

2. q: UART番号 (q = 0, 1), g: PIM, POM番号 (g = 0, 1)

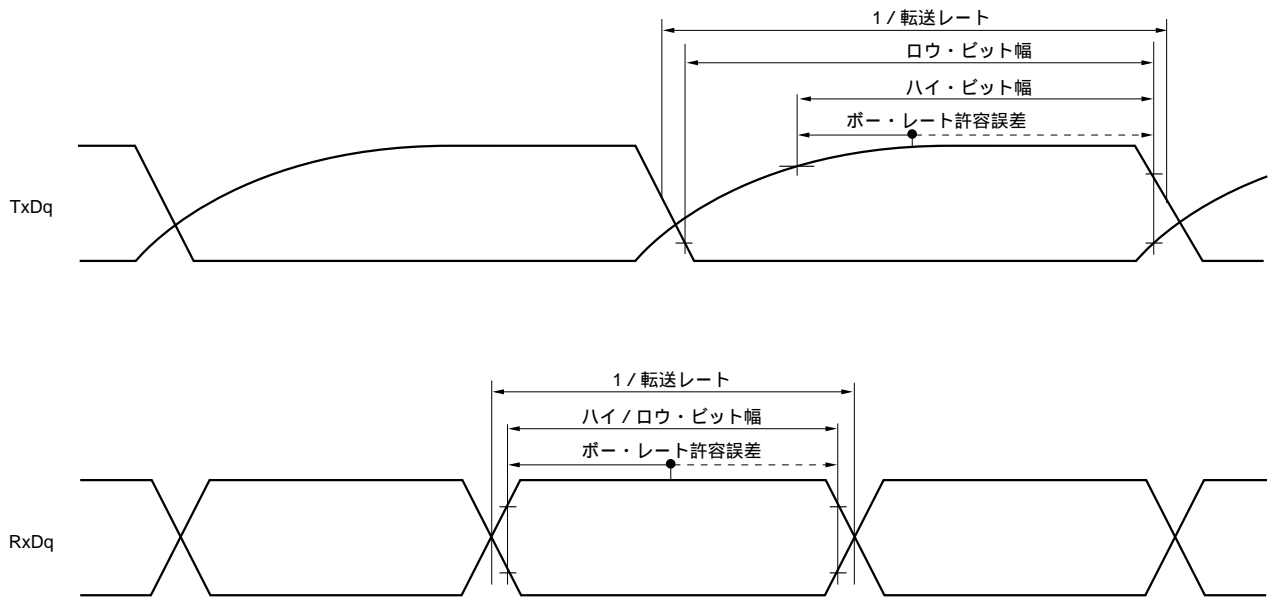
3. fMCK: シリアル・アレィ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m: ユニット番号, n: チャネル番号 (mn = 00-03))

UARTモード接続図 (異電位通信時)



UARTモードのビット幅 (異電位通信時) (参考)



注意 ポート入力モード・レジスタ g (PIM g) とポート出力モード・レジスタ g (POM g) で、RxDq端子はTTL入力バッファ、TxDq端子はN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。

備考1. R_b []: 通信ライン (TxDq) プルアップ抵抗値, V_b [V]: 通信ライン電圧

2. q : UART番号 ($q = 0, 1$), g : PIM, POM番号 ($g = 0, 1$)

(5) 異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, SCKp...内部クロック出力)

(TA = -40~+125, 2.7 V VDD 5.5 V, VSS = 0 V)

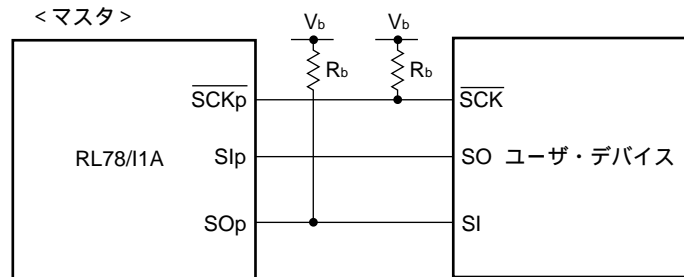
項目	略号	条件		HS (高速メイン) モード		単位
				MIN.	MAX.	
SCKpサイクル・ タイム	tkCY1	tkCY1	4/fCLK	4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	600	ns
				2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	1000	ns
SCKpハイ・ レベル幅	tkH1		4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	tkCY1/2- 80	ns	
			2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkCY1/2- 170	ns	
SCKpロウ・ レベル幅	tkL1		4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	tkCY1/2- 28	ns	
			2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkCY1/2- 40	ns	
Slpセットアップ 時間 (対SCKp) 注1	tSIK1		4.0 V EVDD0 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	160	ns	
			2.7 V EVDD0 < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	250	ns	
Slpホールド時間 (対SCKp) 注1	tKSI1		4.0 V EVDD0 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	40	ns	
			2.7 V EVDD0 < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	40	ns	
SCKp Sop 出力遅延時間注1	tkSO1		4.0 V EVDD0 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	160	ns	
			2.7 V EVDD0 < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	250	ns	
Slpセットアップ 時間 (対SCKp) 注2	tSIK1		4.0 V EVDD0 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	80	ns	
			2.7 V EVDD0 < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	80	ns	
Slpホールド時間 (対SCKp) 注2	tKSI1		4.0 V EVDD0 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	40	ns	
			2.7 V EVDD0 < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	40	ns	
SCKp Sop 出力遅延時間注2	tkSO1		4.0 V EVDD0 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	80	ns	
			2.7 V EVDD0 < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	80	ns	

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

2. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子はTTL入力バッファを選択し、SOp端子とSCKp端子はN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

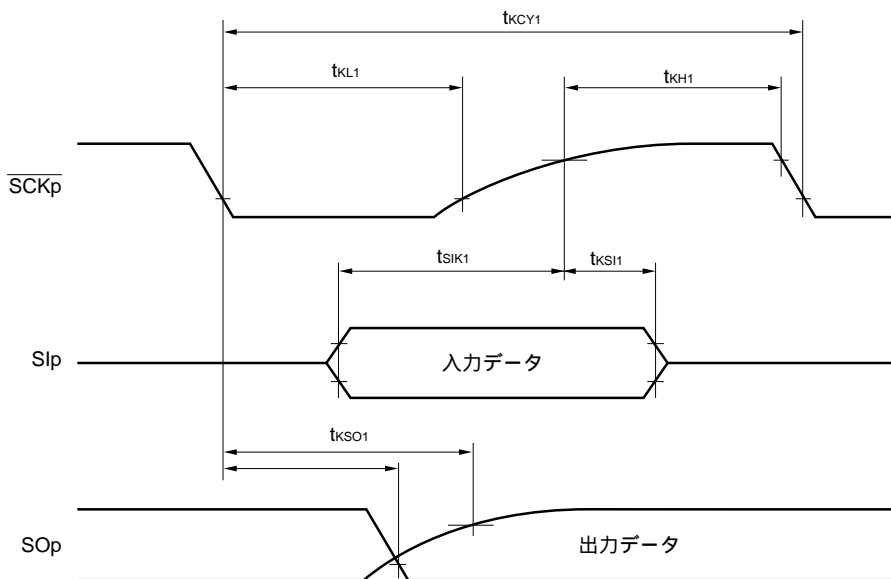
CSIモード接続図 (異電位通信時)



- 備考1.** R_b [] : 通信ライン (SCKp, SOp) プルアップ抵抗値, C_b [F] : 通信ライン (SCKp, SOp) 負荷容量値, V_b [V] : 通信ライン電圧
2. p : CSI番号 (p = 00) , m : ユニット番号 (m = 0) ,
n : チャネル番号 (n = 0) , g : PIM, POM番号 (g = 1)

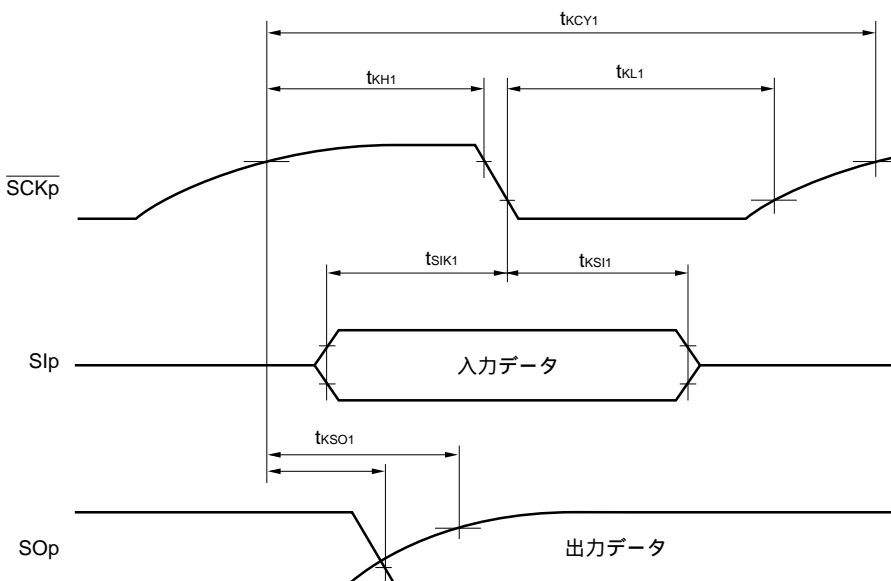
CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）

（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）

（DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



注意 ポート入力モード・レジスタ g (PIM g) とポート出力モード・レジスタ g (POM g) で、 Slp 端子はTTL
 入力バッファ、 SOp 端子と \overline{SCKp} 端子はN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。

備考 p : CSI番号 ($p = 00$) , m : ユニット番号 ($m = 0$) ,
 n : チャネル番号 ($n = 0$) , g : PIM, POM番号 ($g = 1$)

(7) DALI/UART4モード

(TA = -40 ~ +125 , 2.7 V VDD 5.5 V, VSS = 0 V)

項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
転送レート				f _{MCK} /12	bps
		最大転送レート理論値 f _{CLK} = 20 MHz, f _{MCK} = f _{CLK}		1.6	Mbps

備考 f_{MCK} : DALI-UARTの動作クロック周波数。

(シリアル・クロック選択レジスタ4 (SPS4) で設定する動作クロック。)

33.5.2 シリアル・インタフェースIICA

(1) I²C 標準モード(TA = -40 ~ +125 , 2.7 V V_{DD} 5.5 V, V_{SS} = 0 V)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
SCLA0クロック周波数	f _{SCL}	標準モード : f _{CLK} 1 MHz	0	100	kHz
リスタート・コンディションのセットアップ時間	t _{SU : STA}		4.7		μs
ホールド時間 ^{注1}	t _{HD : STA}		4.0		μs
SCLA0 = "L"のホールド・タイム	t _{LOW}		4.7		μs
SCLA0 = "H"のホールド・タイム	t _{HIGH}		4.0		μs
データ・セットアップ時間 (受信時)	t _{SU : DAT}		250		ns
データ・ホールド時間 (送信時) ^{注2}	t _{HD : DAT}		0	3.45	μs
ストップ・コンディションのセットアップ時間	t _{SU : STO}		4.0		μs
バス・フリー時間	t _{BUF}		4.7		μs

注 1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

2. t_{HD : DAT}の最大値 (MAX.) は, 通常転送時の数値であり, $\overline{\text{ACK}}$ (アクノリッジ) タイミングでは, ウェイトがかかります。

備考 各モードにおけるC_b (通信ライン容量) のMAX.値と, そのときのR_b (通信ライン・プルアップ抵抗値) の値は次のとおりです。

標準モード : C_b = 400 pF, R_b = 2.7 k

(2) I²C ファースト・モード

(TA = -40~+125, 2.7 V VDD 5.5 V, VSS = 0 V)

項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
SCLA0クロック 周波数	f _{SCL}	ファースト・モード: f _{CLK} 3.5 MHz	0	400	kHz
リスタート・コンディションのセットアップ時間	t _{SU: STA}		0.6		μs
ホールド時間 ^{注1}	t _{HD: STA}		0.6		μs
SCLA0 = "L"のホールド・タイム	t _{LOW}		1.3		μs
SCLA0 = "H"のホールド・タイム	t _{HIGH}		0.6		μs
データ・セットアップ時間 (受信時)	t _{SU: DAT}		100		ns
データ・ホールド時間 (送信時) ^{注2}	t _{HD: DAT}		0	0.9	μs
ストップ・コンディションのセットアップ時間	t _{SU: STO}		0.6		μs
バス・フリー時間	t _{BUF}		1.3		μs

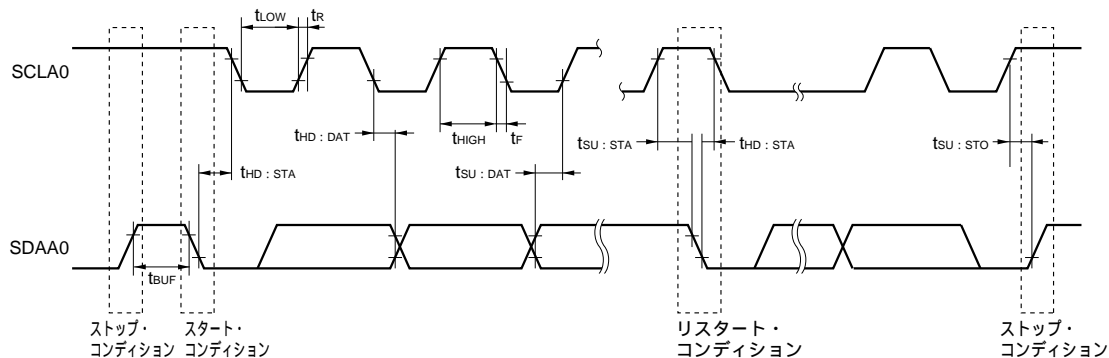
注 1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

2. t_{HD: DAT}の最大値 (MAX.) は, 通常転送時の数値であり, $\overline{\text{ACK}}$ (アクノリッジ) タイミングでは, ウエイトがかかります。

備考 各モードにおけるC_b (通信ライン容量) のMAX.値と, そのときのR_b (通信ライン・プルアップ抵抗値) の値は次のとおりです。

ファースト・モード : C_b = 320 pF, R_b = 1.1 k

I²Cシリアル転送タイミング



33.6 アナログ特性

33.6.1 A/Dコンバータ特性

A/Dコンバータ特性の区分

基準電圧 入力チャネル	基準電圧 (+) = AVREFP 基準電圧 (-) = AVREFM	基準電圧 (+) = VDD 基準電圧 (-) = VSS	基準電圧 (+) = VBGR 基準電圧 (-) = AVREFM
ANI0-ANI2, ANI4-ANI7	33.6.1 (1) 参照	33.6.1 (3) 参照	33.6.1 (3) 参照
ANI16-ANI19	33.6.1 (2) 参照		
内部基準電圧 温度センサ出力電圧	33.6.1 (1) 参照		-

(1) 基準電圧 (+) = AVREFP/ANI0 (ADREFP1 = 0, ADREFP0 = 1), 基準電圧 (-) = AVREFM/ANI1 (ADREFM = 1) 選択時, 変換対象: ANI2, ANI4-ANI7, 内部基準電圧, 温度センサ出力電圧

(TA = -40 ~ +125, 2.7 V < AVREFP < VDD < 5.5 V, VSS = 0 V, 基準電圧 (+) = AVREFP, 基準電圧 (-) = AVREFM = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能 AVREFP = VDD ^{注3}		1.2	±3.5	LSB
変換時間	tCONV	10ビット分解能 変換対象: ANI2, ANI4-ANI7	3.6 V VDD 5.5 V	2.125	39	μs
			2.7 V VDD 5.5 V	3.4	39	μs
		10ビット分解能 変換対象: 内部基準電圧 温度センサ出力電圧 (HS (高速メイン) モード)	3.6 V VDD 5.5 V	2.375	39	μs
			2.7 V VDD 5.5 V	3.8	39	μs
ゼロスケール誤差 ^{注1,2}	EZS	10ビット分解能 AVREFP = VDD ^{注3}			±0.25	%FSR
フルスケール誤差 ^{注1,2}	EFS	10ビット分解能 AVREFP = VDD ^{注3}			±0.25	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能 AVREFP = VDD ^{注3}			±2.5	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能 AVREFP = VDD ^{注3}			±1.5	LSB
アナログ入力電圧	VAIN	ANI2, ANI4-ANI7	0		AVREFP	V
		内部基準電圧 (HS (高速メイン) モード)			VBGR ^{注4}	V
		温度センサ出力電圧 (HS (高速メイン) モード)			V _{TMPS25} ^{注4}	V

注1. 量子化誤差 (±1/2 LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

3. AVREFP < VDDの場合, MAX.値は次のようになります。

総合誤差 : AVREFP = VDDのMAX.値に ±1.0 LSBを加算してください

ゼロスケール誤差 / フルスケール誤差 : AVREFP = VDDのMAX.値に ±0.05 %FSRを加算してください

積分直線性誤差 / 微分直線性誤差 : AVREFP = VDDのMAX.値に ±0.5 LSBを加算してください

4. 33.6.2 温度センサ / 内部基準電圧特性を参照してください。

(2) 基準電圧 (+) = $AV_{REFP}/ANI0$ (ADREFP1 = 0, ADREFP0 = 1), 基準電圧 (-) = $AV_{REFM}/ANI1$
(ADREFM = 1) 選択時, 変換対象: ANI16-ANI19

(TA = -40 ~ +125 °C, 2.7 V AV_{REFP} V_{DD} 5.5 V, V_{SS} = 0 V, 基準電圧(+)= AV_{REFP} , 基準電圧(-)
= AV_{REFM} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能 $AV_{REFP} = V_{DD}$ ^{注3}		1.2	±5.0	LSB
変換時間	tCONV	10ビット分解能 変換対象: ANI16-ANI19	3.6 V V_{DD} 5.5 V	2.125	39	μs
			2.7 V V_{DD} 5.5 V	3.4	39	μs
ゼロスケール誤差 ^{注1,2}	Ezs	10ビット分解能 $AV_{REFP} = V_{DD}$ ^{注3}			±0.35	%FSR
フルスケール誤差 ^{注1,2}	EFS	10ビット分解能 $AV_{REFP} = V_{DD}$ ^{注3}			±0.35	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能 $AV_{REFP} = V_{DD}$ ^{注3}			±3.5	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能 $AV_{REFP} = V_{DD}$ ^{注3}			±2.0	LSB
アナログ入力電圧	V_{AIN}	ANI16-ANI19	0		AV_{REFP} かつ V_{DD}	V

注1. 量子化誤差 (±1/2 LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

3. $AV_{REFP} < V_{DD}$ の場合, MAX.値は次のようになります。

総合誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に ±4.0 LSBを加算してください

ゼロスケール誤差 / フルスケール誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に ±0.2 %FSRを加算してください

積分直線性誤差 / 微分直線性誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に ±2.0 LSBを加算してください

(3) 基準電圧 (+) = V_{DD} (ADREFP1 = 0, ADREFP0 = 0), 基準電圧 (-) = V_{SS} (ADREFM = 0)
 選択時, 変換対象: ANI0-ANI2, ANI4-ANI7, ANI16-ANI19, 内部基準電圧, 温度センサ出力電圧

(TA = -40 ~ +125, 2.7 V V_{DD} 5.5 V, V_{SS} = 0 V, 基準電圧 (+) = V_{DD}, 基準電圧 (-) = V_{SS})

項目	略号	条件	MIN.	TYP.	MAX.	単位	
分解能	RES		8		10	bit	
総合誤差 ^{注1}	AINL	10ビット分解能		1.2	±7.0	LSB	
変換時間	t _{CONV}	10ビット分解能	3.6 V V _{DD} 5.5 V	2.125		39	μs
		変換対象: ANI0-ANI2, ANI4-ANI7, ANI16-ANI19	2.7 V V _{DD} 5.5 V	3.4		39	μs
		10ビット分解能	3.6 V V _{DD} 5.5 V	2.375		39	μs
		変換対象: 内部基準電圧、 温度センサ出力電圧 (HS (高速メイン) モード)	2.7 V V _{DD} 5.5 V	3.8		39	μs
ゼロスケール誤差 ^{注1, 2}	E _{ZS}	10ビット分解能			±0.60	%FSR	
フルスケール誤差 ^{注1, 2}	E _{FS}	10ビット分解能			±0.60	%FSR	
積分直線性誤差 ^{注1}	ILE	10ビット分解能			±4.0	LSB	
微分直線性誤差 ^{注1}	DLE	10ビット分解能			±2.0	LSB	
アナログ入力電圧	V _{AIN}	ANI0-ANI2, ANI4-ANI7		0		V _{DD}	V
		ANI16-ANI19		0		V _{DD}	V
		内部基準電圧 (HS (高速メイン) モード)			V _{BGR} ^{注3}		V
		温度センサ出力電圧 (HS (高速メイン) モード)			V _{TMPS25} ^{注3}		V

注1. 量子化誤差 (±1/2 LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

3. 33.6.2 温度センサ / 内部基準電圧特性を参照してください。

(4) 基準電圧 (+) = 内部基準電圧 (ADREFP1 = 1, ADREFP0 = 0), 基準電圧 (-) = AVREFM/ANI1
(ADREFM = 1) 選択時, 変換対象: ANI0, ANI2, ANI4-ANI7, ANI16-ANI19

(TA = -40 ~ +125, 2.7 V VDD 5.5 V, VSS = 0 V, 基準電圧 (+) = VBGR^{注3},
基準電圧 (-) = AVREFM^{注4} = 0 V, HS (高速メイン) モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8			bit
変換時間	tCONV	8ビット分解能	17		39	μs
ゼロスケール誤差 ^{注1, 2}	EZS	8ビット分解能			±0.60	%FSR
積分直線性誤差 ^{注1}	ILE	8ビット分解能			±2.0	LSB
微分直線性誤差 ^{注1}	DLE	8ビット分解能			±1.0	LSB
アナログ入力電圧	VAIN		0		VBGR ^{注3}	V

注1. 量子化誤差 (±1/2 LSB) を含みません。

- フルスケール値に対する比率 (%FSR) で表します。
- 33.6.2 温度センサ / 内部基準電圧特性を参照してください。
- 基準電圧 (-) = VSSの場合, MAX.値は次のようになります。

ゼロスケール誤差 : 基準電圧 (-) = AVREFM時のMAX.値に ±0.35 %FSRを加算してください

積分直線性誤差 : 基準電圧 (-) = AVREFM時のMAX.値に ±0.5 LSBを加算してください

微分直線性誤差 : 基準電圧 (-) = AVREFM時のMAX.値に ±0.2 LSBを加算してください

33. 6. 2 温度センサ / 内部基準電圧特性

(TA = -40 ~ +125 , 2.7 V VDD 5.5 V, VSS = 0 V, HS (高速メイン) モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	V _{TMP25}	ADSレジスタ = 80H設定, TA = +25		1.05		V
内部基準電圧	V _{BGR}	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	F _{VTMP25}	温度センサ電圧の温度依存		-3.6		mV/
動作安定待ち時間	t _{AMP}		5			μs

33. 6. 3 プログラマブル・ゲイン・アンプ

(TA = -40 ~ +125 , 2.7 V AVREFP = VDD 5.5 V, VSS = AVREFM = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
入力オフセット電圧	V _{IOPGA}				±5	±10	mV
入力電圧範囲	V _{IPGA}			0		0.9V _{DD} / 増幅率	V
増幅率誤差 ^{注1}		4倍, 8倍				±1	%
		16倍				±1.5	%
		32倍				±2	%
スルー・レート ^{注1}	SR _{RPGA}	立ち上がり	4.0 V V _{DD} 5.5 V	4, 8倍	4		V/μs
				16, 32倍	1.4		V/μs
		2.7 V V _{DD} < 4.0 V	4, 8倍	1.8		V/μs	
			16, 32倍	0.5		V/μs	
	SR _{FPGA}	立ち下がり	4.0 V V _{DD} 5.5 V	4, 8倍	3.2		V/μs
				16, 32倍	1.4		V/μs
	2.7 V V _{DD} < 4.0 V	4, 8倍	1.2		V/μs		
	16, 32倍	0.5		V/μs			
動作安定待ち時間 ^{注2}	t _{PGA}	4, 8倍		5			μs
		16, 32倍		10			μs

注1 . V_{IPGA} = 0.1V_{DD}/増幅率 ~ 0.9V_{DD}/増幅率のとき

2 . PGAの動作を許可 (PGAEN = 1) してから, PGA動作のDC特性およびAC特性を満足できる状態になるまでの時間です。

備考 CVRVS1ビットでPGAのGNDをAVREFMに選択した場合の特性です。

33.6.4 コンパレータ

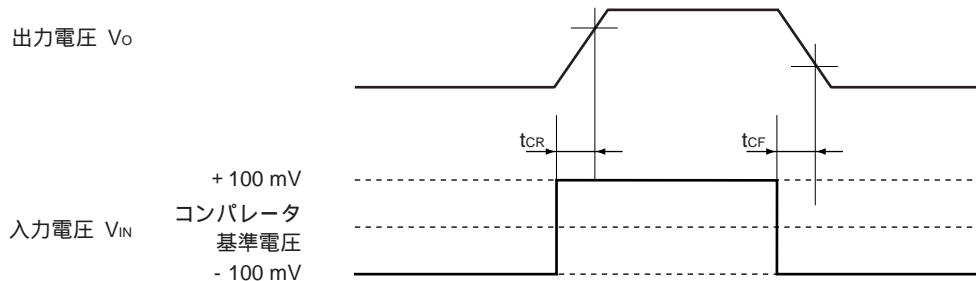
(TA = -40~+125 , 2.7 V AVREFP = VDD 5.5 V, VSS = AVREFM = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力オフセット電圧	V _{IOCOMP}			±5	±40	mV
入力電圧範囲	V _{ICMP}	CMP0P-CMP5P	0		V _{DD}	V
		CMPCOM	0.045		0.9 V _{DD}	V
内蔵基準電圧偏差	V _{IREF}	CmRVMレジスタ値 : 7FH-80H (m = 0-2)			±2	LSB
		上記以外			±1	LSB
応答時間	t _{CR} , t _{CF}	入力振幅 ±100 mV		70	150	ns
動作安定待ち時間 ^{注1}	t _{CMP}	3.3 V V _{DD} 5.5 V	1			μs
		2.7 V V _{DD} < 3.3 V	3			μs
基準電圧安定待ち時間	t _{VR}	CVRE : 0 1 ^{注2}	10			μs

注1. コンパレータの動作許可 (CMPnENビット = 1 : n = 0-5) から、コンパレータがDC/AC特性を満足できる状態になるまでの時間です。

- 内蔵基準電圧生成を動作許可 (CVREmビット = 1 : m = 0-2) し、動作安定待ち時間をウエイトしてから、コンパレータ出力を許可 (CnOEビット = 1 : n = 0-5) してください。

備考 CVRVS0ビットで内部基準電圧の電源をAVREFM, CVRVS1ビットで内部基準電圧のGNDをAVREFMに選択した場合の特性です。

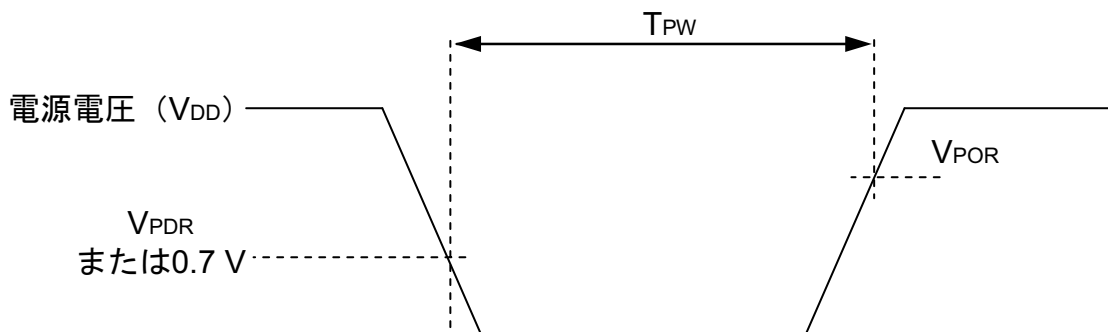


33.6.5 POR回路特性

(TA = -40 ~ +125 , VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V _{POR}	電源立ち上がり時	1.45	1.51	1.62	V
	V _{PDR}	電源立ち下がり時	1.44	1.50	1.61	V
最小パルス幅 ^注	T _{PW}		350			μs

注 V_{DD}がV_{PDR}を下回った場合に、PORによるリセット動作に必要な時間です。またSTOPモードに移行時および、クロック動作ステータス制御レジスタ (CSC) のビット0 (HIOSTOP) とビット7 (MSTOP) の設定によりメイン・システム・クロック (f_{MAIN}) を停止時は、V_{DD}が0.7 Vを下回ってから、V_{POR}を上回るまでのPORによるリセット動作に必要な時間です。



33.6.6 LVD回路特性

リセット・モード、割り込みモードのLVD検出電圧

(TA = -40 ~ +125 , V_{PDR} V_{DD} 5.5 V , V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V _{LVD0}	電源立ち上がり時	3.97	4.06	4.25	V
		電源立ち下がり時	3.89	3.98	4.15	V
	V _{LVD1}	電源立ち上がり時	3.67	3.75	3.93	V
		電源立ち下がり時	3.59	3.67	3.83	V
	V _{LVD2}	電源立ち上がり時	3.06	3.13	3.28	V
		電源立ち下がり時	2.99	3.06	3.20	V
	V _{LVD3}	電源立ち上がり時	2.95	3.02	3.17	V
		電源立ち下がり時	2.89	2.96	3.09	V
	V _{LVD4}	電源立ち上がり時	2.85	2.92	3.07	V
		電源立ち下がり時	2.79	2.86	2.99	V
V _{LVD5}	電源立ち上がり時	2.75	2.81	2.95	V	
	電源立ち下がり時	2.70	2.75	2.88	V	
最小パルス幅	t _{lw}		300			μs
検出遅延					300	μs

割り込み&リセット・モードのLVD検出電圧

(TA = -40 ~ +125 , VPDR VDD 5.5 V , VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
割り込み& リセット・モード	VLVDD0	VPOC2, VPOC1, VPOC0 = 0, 1, 1, 立ち下がりリセット電圧	2.70	2.75	2.88	V	
	VLVDD1	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.85	2.92	3.07	V
			立ち下がり割り込み電圧	2.79	2.86	2.99	V
	VLVDD2	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.95	3.02	3.17	V
			立ち下がり割り込み電圧	2.89	2.96	3.09	V
	VLVDD3	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.97	4.06	4.25	V
立ち下がり割り込み電圧			3.89	3.98	4.15	V	

33.6.7 電源電圧立ち上がり傾き特性

(TA = -40 ~ +125 , VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧立ち上がり	SVDD				54	V/ms

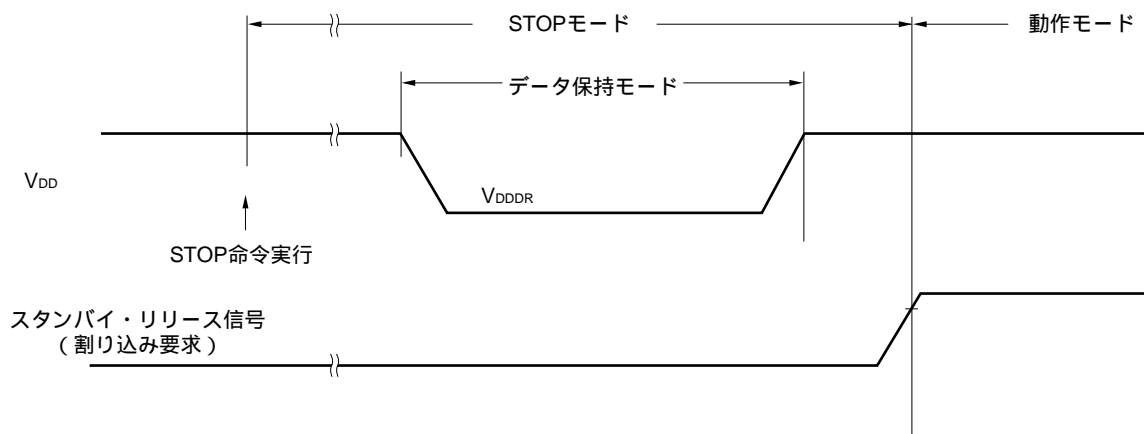
注意 VDDが33.4 AC特性に示す動作電圧範囲内に達するまで、LVD回路が外部リセットで内部リセット状態を保ってください。

33.7 データ・メモリSTOPモード低電源電圧データ保持特性

(TA = -40 ~ +125)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	VDDDR		1.47 ^注		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではデータを保持しますが、PORリセットがかかった場合のデータは保持されません。



33.8 フラッシュ・メモリ・プログラミング特性

(TA = -40~+105 , 2.7 V V_{DD} 5.5 V, V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	f _{CLK}	2.7 V V _{DD} 5.5 V	1		32	MHz
コード・フラッシュの書き換え回数 ※1, 2, 3	C _{enwr}	保持年数：20年 TA= 85 ※3	1,000			回
データ・フラッシュの書き換え回数 ※1, 2, 3		保持年数：1年 TA= 25 ※3		1,000,000		
		保持年数：5年 TA= 85 ※3	100,000			
		保持年数：20年 TA= 85 ※3	10,000			

- 注1. 消去1回+消去後の書き込み1回を書き換え回数1回とする。保持年数は、1度書き換えた後、次に書き換えを行うまでの期間とする。
2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時
3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

33.9 専用フラッシュ・メモリ・プログラマ通信 (UART)

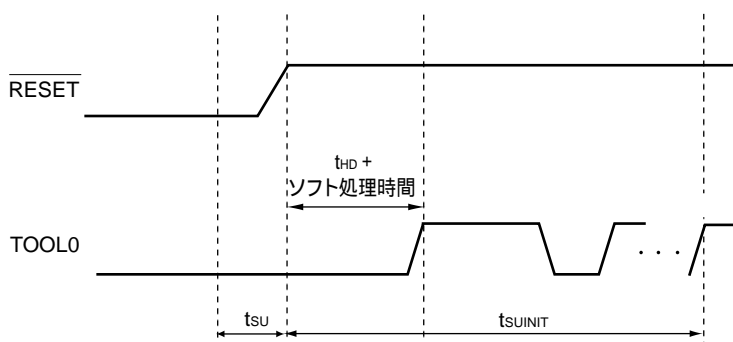
(TA = -40~+105 , 2.7 V V_{DD} 5.5 V, V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		シリアル・プログラミング時	115.2 k		1 M	bps

33. 10 フラッシュ・メモリ・プログラミング・モード引き込み時のタイミング・スペック

(TA = -40 ~ +105 , 2.7 V VDD 5.5 V, VSS = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
外部リセット解除から初期設定通信を完了する時間	t _{SUINIT}	外部リセット解除前にPOR, LVDリセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから,外部リセットを解除するまでの時間	t _{SU}	外部リセット解除前にPOR, LVDリセットは解除	10			μs
リセット解除から, TOOL0端子をロウ・レベルにホールドする時間 (ソフト処理時間を除く)	t _{HD}	外部リセット解除前にPOR, LVDリセットは解除	1			ms



- TOOL0端子にロウ・レベルを入力
- 外部リセットを解除 (その前にPOR, LVDリセットが解除されていること)
- TOOL0端子のロウ・レベルを解除
- UART受信によるモード引きこみ, ボー・レート設定完了

備考 t_{SUINIT} : この区間では, リセット解除から100 ms以内に初期設定通信を完了してください。
 t_{SU} : TOOL0端子をロウ・レベルにしてから, 外部リセットを解除するまでの時間
 t_{HD} : 外部/内部リセット解除から, TOOL0端子をロウ・レベルに保持する時間(ソフト処理時間を除く)