

Renesas の Low-Latency DRAM である LLD RAM-III を使用の FPGA 用コントロール IP ソリューションの概要を記述した資料です

目次

1. LLD RAM-III コントロール IP ソリューション	2
1.1 はじめに	2
1.2 LLD RAM-III とは	3
1.3 コントロール IP 構成・特徴	4
1.4 コントロール IP 性能	5
1.5 コントロール IP コンフィギュレーション	6
1.6 キャリブレーション機能による、信頼の高いインターオペラビリティ	7
2. 開発サポート環境	8
2.1 インターオペラビリティ検証済みのリファレンスデザイン	8

1. LLD RAM-III コントロール IP ソリューション

1.1 はじめに

ルネサスでは、LLDRAM-III ユーザーに向け、FPGA 上で LLD RAM-III の持つランダムアクセス性能を簡単にご利用いただくため、ルネサス独自の LLD RAM-III コントロール IP を開発しました。

このコントロール IP を利用することにより、図 1 のように、ネットワークで必要なパケットの統計情報を格納する統計メモリ、パケットを一時格納するバッファメモリ等のメモリサブシステムを短期間で作成することができます。また、ネットワークのアプリケーションだけでなく、様々なアプリケーションで LLD RAM-III をご利用になれます。

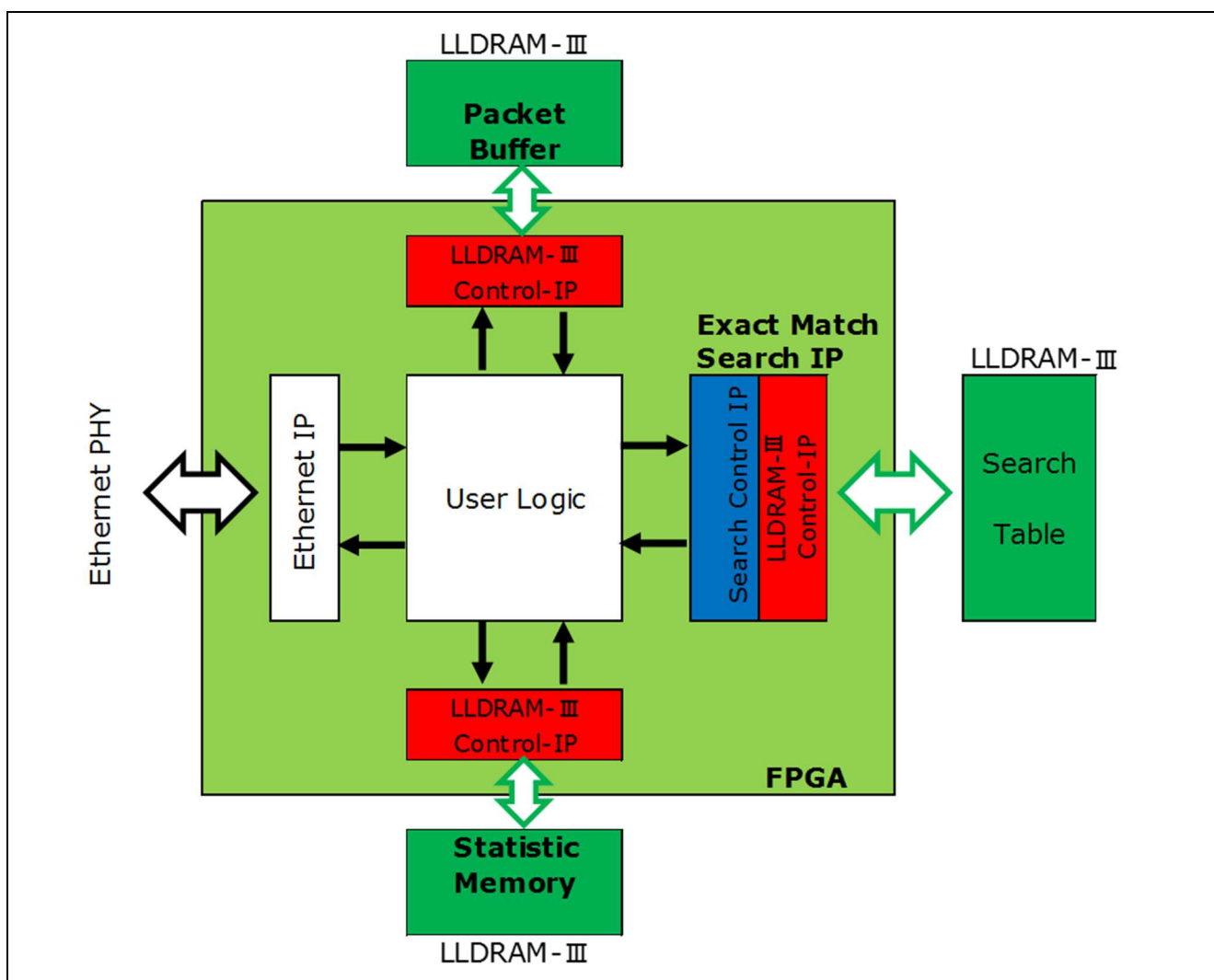


図 1 FPGA によって構成されたネットワーク機器

1.2 LLDram-III とは

ルネサス製 DRAM ベース Low-Latency メモリ LLDram-III は DDR3 SDRAM の 4 倍の毎秒 4 億回のアクセスを消費電力 2W 以下で動作する低消費電力のメモリです。

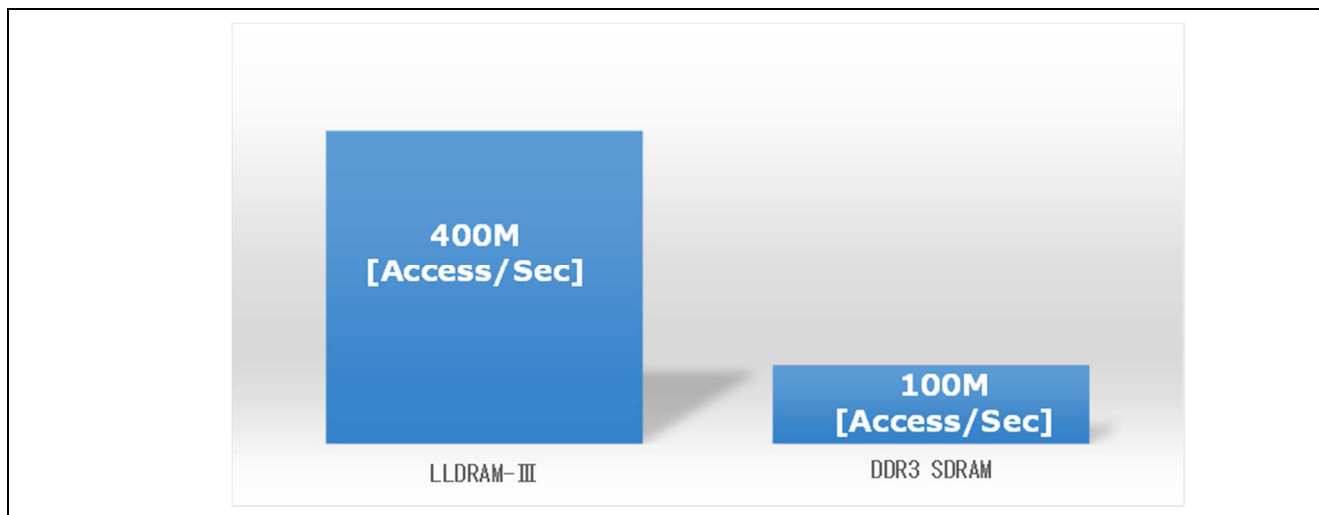


図 2 LLDram-III のアクセス性能

LLDRAM-III の製品ラインナップとして以下の 2 タイプを準備しております。

- 『RMHE41A364AGBG』 Data width 36bit (x36 品)
- 『RMHE41A184AGBG』 Data width 18bit (x18 品)

LLDRAM-III は以下のような特徴があります。

- ✓ Density: 1.1Gbit
- ✓ Organization
 - 8M words x 18bits x 8 bank (x18 品)
 - 4M words x 36bits x 8 bank (x36 品)
- ✓ Operating frequency 800 MHz (MAX.) @ trc=13.75 ns
- ✓ Burst length: 4
- ✓ Address bus 2 cycle DDR address
- ✓ Package 180-pin FCBGA(18.5 mm x 14 mm)
- ✓ Power supply
 - V_{EXT} 2.5 V
 - V_{DD} 1.5 V
 - V_{DDQ} 1.0 V or 1.2 V

詳細は LLDram-III データシートを参照願います。

1.3 コントロール IP 構成・特徴

LLDRAM-IIIコントロール IP は、図のように User I/F ブロック、Controller ブロック、PHY ブロックの3つのブロックで構成されております。また、各ブロックの特徴は以下となります。

- User I/F ブロック
 - 200Mhz のパラレルインターフェース
- Controller ブロック
 - スケジューリング機能による高いアクセスレート
 - リフレッシュカウンタ内蔵による自動リフレッシュ
- PHY ブロック
 - パワーオン時にキャリブレーションテスト自動実行
 - キャリブレーション用デバックインターフェース

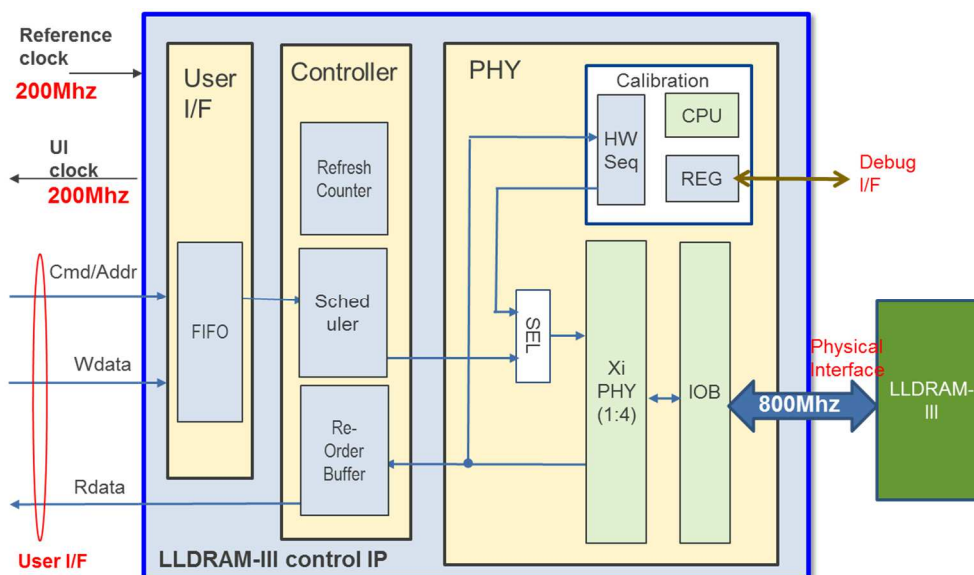


図3 LLD RAM-III コントロール IP 構成図

1.4 コントロール IP 性能

LLDRAM-III コントロール IP はスケジューリング機能を搭載しております。これにより、ランダムアクセス時でもピーク性能を引き出すことができます。スケジューリング機能は内蔵リフレッシュカウンターから自動的に発生したリフレッシュコマンドとユーザーが任意に入力したメモリアクセスコマンド(WRITE/READ)を BANK 衝突等のメモリアクセス制限が最少になるように、コマンド順序を並べ替えて LLDRAM-III にアクセスすることにより、アクセス性能を向上させています。

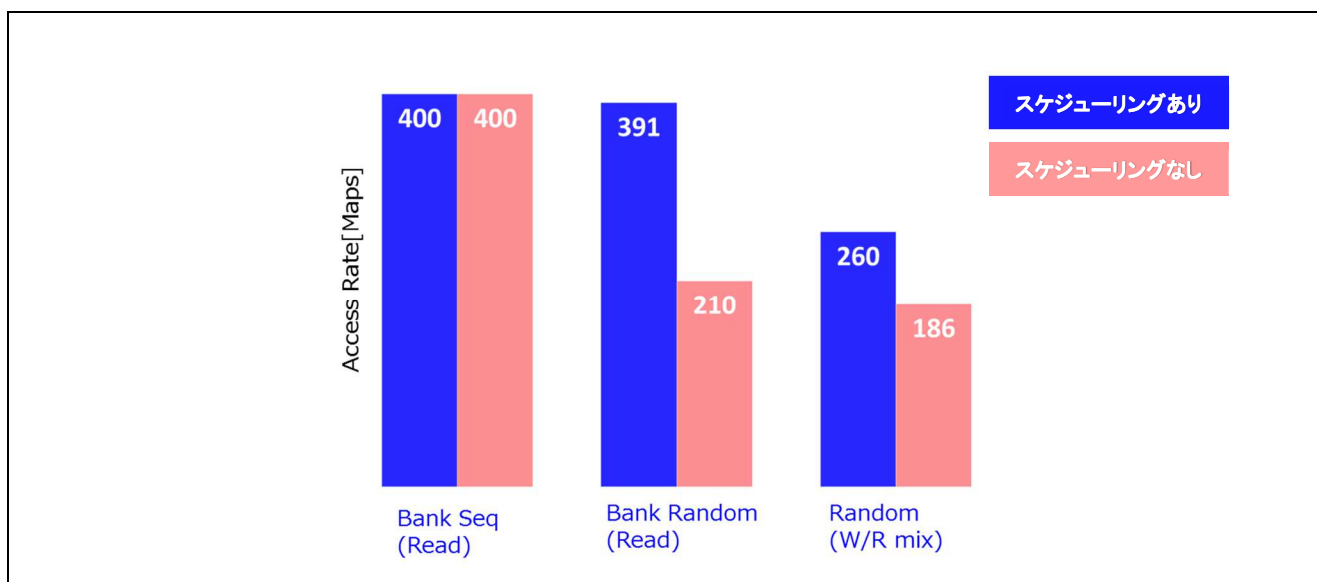


図 4 スケジューリング機能あり/なし LLDRAM-III アクセス性能比較

図 4 は、FPGA に実装した当社製コントロール IP で LLDRAM-III をアクセスした時の「スケジューリングあり」と「スケジューリングなし」のアクセス性能の実測値を比較したグラフです。

- BANK シーケンシャルアクセス [Bank Seq(Read):グラフ左]

LLDRAM-III にとって理想的なアクセス方法である BANK シーケンシャル (Bank0⇒1、2・・・7) でアクセスした場合のデータです。スケジューリングあり、なし共に最高性能である 400Maps を実現できることがわかります。

- READ のみのランダムアクセス [Bank Random(Read):グラフ中]

アプリケーションによっては、BANK シーケンシャル以外の方法でメモリアクセスする必要があります。そのような場合を想定し、ランダムアクセスした場合のデータです。スケジューリング機能なしの場合はピーク性能より約 50%程度性能が落ちてしまいますが、ルネサスが提供するコントロール IP のスケジューリング機能により、アクセスのピーク性能を維持できていることがわかります。

- WRITE/READ 混在ランダムアクセス [Random(W/R mix):グラフ右]

更に複雑なアプリケーションからのアクセスを想定した、WRITE/READ のコマンドが混在した場合のアクセス特性です。WRITE から READ、または READ から WRITE へコマンドを変化させる場合は、DATA の方向が変化するので 1 CYC 以上コマンド間隔をあける必要があるため、アクセス性能は同種類のコマンドを連続する場合に対し低下しますが、スケジューリング機能により 1 秒間 200M アクセスを超えるアクセス性能を実現できます。

スケジューリング機能により、ユーザーがメモリアクセス性能向上のため、スケジューラの開発やメモリアクセス方法の検討が不要になり、お客様のシステムの開発工数の削減に貢献いたします。

1.5 コントロール IP コンフィギュレーション

LLDRAM-III コントロール IP は様々なユーザーの要求に応えるため、以下のコンフィギュレーション(図 5)を準備しております。

Type	Refresh Control Needed
w/ scheduler x18/x36	No
w/o scheduler x18/x36	Yes
	No

図 5 コントロール IP コンフィギュレーション

- x36 品、x18 品対応
36bit 品の場合は FPGA の IO-BANK を 2BANK 消費します。18bit 品の場合は FPGA の IO-BANK を 1BANK で構成できます。
- スケジューリング機能選択
スケジューリング機能選択として、以下の 3 タイプでご利用になれます。
 - ✓ スケジューリングあり(w/ scheduler)、リフレッシュ制御不要(Refresh Control Needed:No)
 - ユーザーが発行した WRITE/READ コマンドとコントロール IP 内部で定期的に発行するリフレッシュコマンドをアクセス性能が最大になるようにコントロール IP で並べ替え、LLDRAM-III に発行します。これにより、LLDRAM-III の最大のアクセス性能を引き出すことができます。
 - ✓ スケジューリングなし(w/o scheduler)、リフレッシュ制御要(Refresh Control Needed:Yes)
 - WRITE/READ コマンドに加え、REFRESH コマンドを入力されたコマンド順に LLDRAM-III に発行します。ユーザーは Bank 衝突等のアクセス制限をユーザー自身で回避ことにより、LLDRAM-III の最大のアクセス性能を引き出すことができます。
 - ✓ スケジューリングなし(w/o scheduler)、リフレッシュ制御不要(Refresh Control Needed:No)
 - WRITE/READ コマンドを入力されたコマンド順に LLDRAM-III に発行します。また、コントロール IP 内部で定期的に全 BANK のリフレッシュコマンドを集中的に発行します。リフレッシュ期間中は、ユーザーの発行したコマンドがコントロール IP 内で待たされるため、アクセス性能は若干低下します。

1.6 キャリブレーション機能による、信頼の高いインターオペラビリティ

LLDRAM-III は 1.6Gbps の DDR 高速パラレルインターフェイスを使用した高速メモリであるため、デバイス間で安定した通信を行うためには厳格なタイミング調整が必要です。LLDRAM-III コントロール IP がピン間スキューの調整などのタイミングキャリブレーションを自動で実施することによって安定した高速通信を可能にします。

LLDRAM-III のキャリブレーションには以下の特徴があります。

- データ、アドレス、コマンド、クロックの 1 ピン毎の Skew 調整機能
- FPGA の CPU を利用した C 言語ベースのキャリブレーションシーケンス制御
- キャリブレーションの各シーケンス（図 6）をマニュアルで実行するデバックツールの提供

Sequence No	Action
SEQ0	Reset LLD RAM-III
SEQ1	Read DQ Calibration Test with Loop Back mode
SEQ2	Address and Command pins Calibration Test with Loop Back mode
SEQ3	Turn on the PLL of LLD RAM-III
SEQ4	QVLD Calibration test with Read operation
SEQ5	Set read data for Read Calibration (SEQ6 and 7) with auto DM mode
SEQ6	Read DQ Calibration Test with Read operation
SEQ7	Read DINV Calibration Test with Read operation
SEQ8	Write DQ Calibration Test with Write operation
SEQ9	Write DM Calibration Test with Write operation
SEQ10	Write DINV Calibration Test with Write operation
SEQ11	Set Mode register

図 6 キャリブレーションシーケンス

これらの特徴により、信頼性の高いインターオペラビリティを実現いたします。

2. 開発サポート環境

2.1 インターオペラビリティ検証済みのリファレンスデザイン

開発サポートツールとしてテスト回路などの検証環境・評価環境一式を含むサンプルデザインとセンサー等を実装したリファレンスデザインボード（RDK ボード）を提供いたします。このリファレンスデザインボードは、設計・検証に時間がかかる LLDRAM-III と FPGA 間のインターオペラビリティを検証済みのため、お客様の開発するネットワーク機器のハードウェアの設計と並行して FPGA 内のシステム設計・検証をスタートさせることでシステム開発期間短縮に貢献いたします。

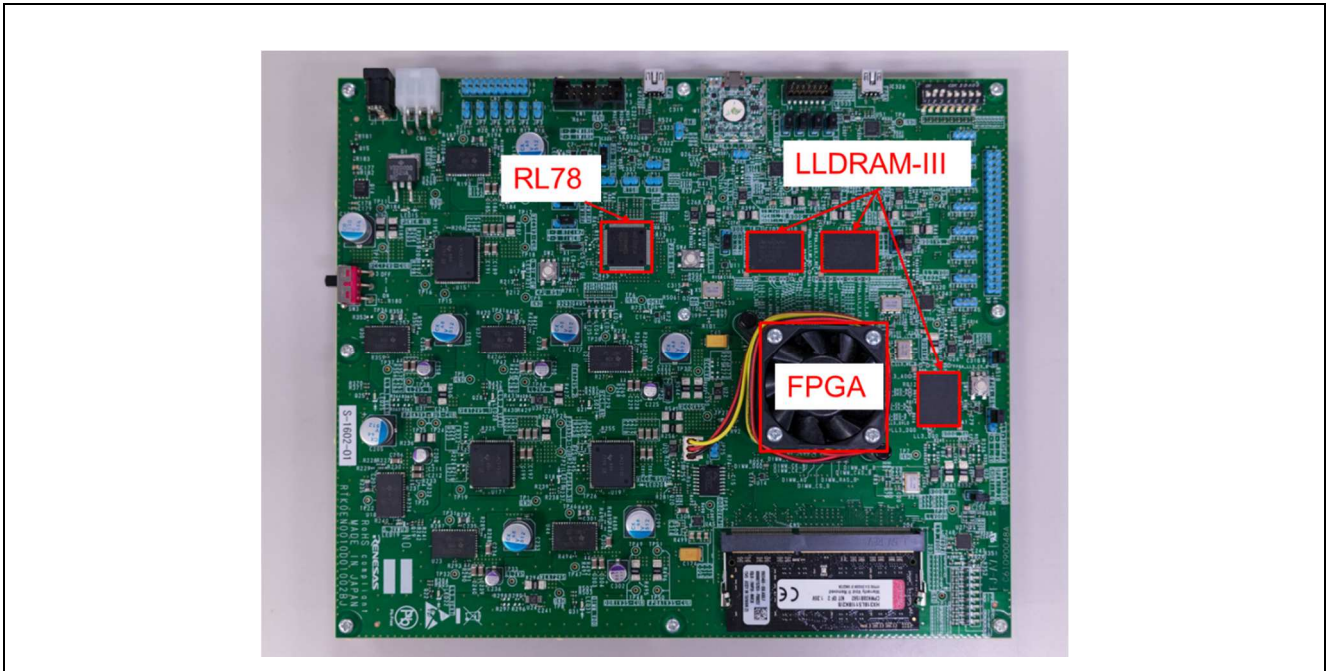


図 7 リファレンスデザインボード

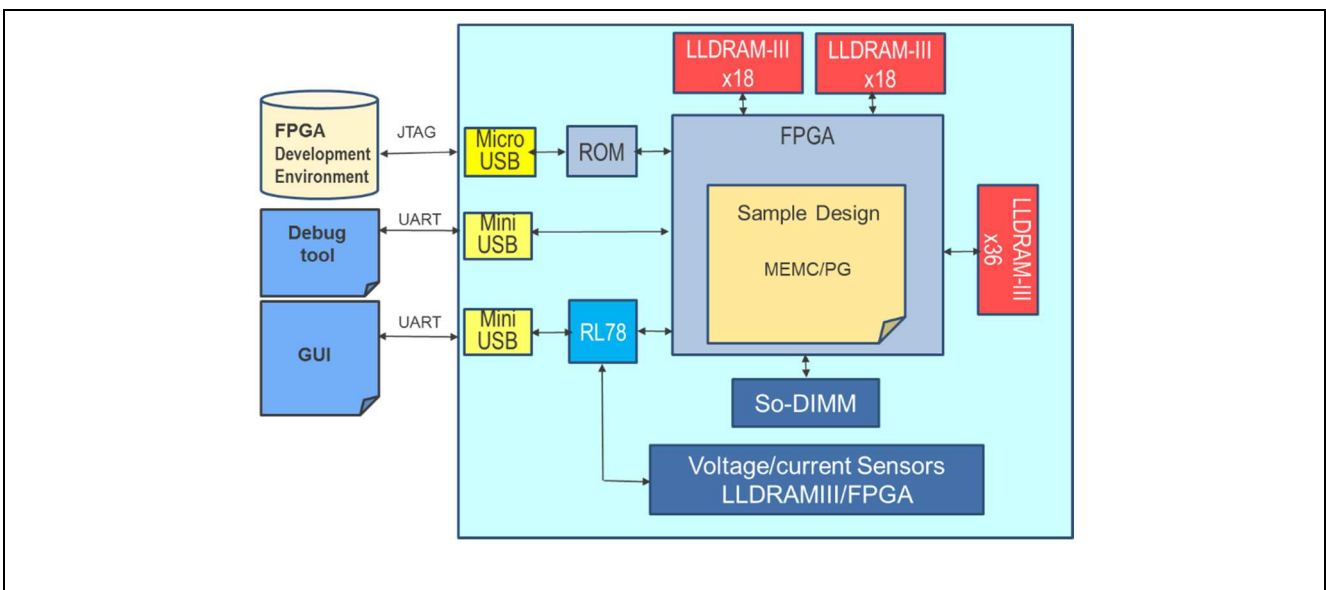


図 8 リファレンスデザインボード構成図

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/contact/>

すべての商標および登録商標は、それぞれの所有者に帰属します。

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
Rev. 1.00	2016.07.20		Rev. 1.00 発行

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じて、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っていません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

営業お問合せ窓口

<http://www.renesas.com>

営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>