

R-IN32M3 シリーズ

ユーザーズ・マニュアル ボード設計編

- R-IN32M3-EC
- R-IN32M3-CL

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

資料番号 : R18UZ0020JJ0400

発行年月 : 2018.12.28

ルネサス エレクトロニクス

www.renesas.com

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータシート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等

8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
 9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
 10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
 12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。
- 注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。
- 注2. 本資料において使用されている「当社製品」とは、注1 において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、CMOS デバイスの一般的注意事項について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

○Arm® およびCortex® は、Arm Limited（またはその子会社）のEUまたはその他の国における登録商標です。 All rights reserved.

○Ethernetおよびイーサネットは、富士ゼロックス株式会社の登録商標です。

○IEEEは、the Institute of Electrical and Electronics Engineers, Inc. の登録商標です。

○TRONは” The Real-time Operation system Nucleus” の略称です。

○ITRONは” Industrial TRON” の略称です。

○ μ ITRONは” Micro Industrial TRON” の略称です。

○TRON、ITRON、および μ ITRONは、特定の商品ないし商品群を指す名称ではありません。

○EtherCAT®,およびTwinCAT®は、ドイツBeckhoff Automation GmbHによりライセンスされた特許取得済み技術であり登録商標です。

○CC-Link及びCC-Link IE Fieldは、CC-Link協会 (CC-Link Partner Association: CLPA)の登録商標です。

○その他、本資料中の製品名やサービス名は全てそれぞれの所有者に属する商標または登録商標です。

このマニュアルの使い方

1. 目的と対象者

このマニュアルはイーサネット通信 LSI「R-IN32M3 シリーズ」の機能を理解し、それを用いた応用設計をするユーザを対象とします。このマニュアルを使用するには、電気回路、論理回路マイクロコンピュータに関する基本的な知識が必要です。

本製品は、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

本文中の★印は、本版で改訂された主な箇所を示しています。この"★"を PDF 上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。また各コアの開発・企画段階で資料を作成しているため、関連資料は個別のお客様向け資料の場合があります。下記資料番号の末尾****部分は版数です。当社ホームページより最新版をダウンロードして参照ください。

R-IN32M3に関する資料

資料名	資料番号
R-IN32M3 シリーズ データシート	R18DS0007JJ****
R-IN32M3 シリーズ ユーザーズ・マニュアル R-IN32M3-EC	R18UZ0002JJ****
R-IN32M3 シリーズ ユーザーズ・マニュアル R-IN32M3-CL	R18UZ0004JJ****
R-IN32M3 シリーズ ユーザーズ・マニュアル 周辺機能編	R18UZ0006JJ****
R-IN32M3 シリーズ プログラミング・マニュアル ドライバ編	R18UZ0008JJ****
R-IN32M3 シリーズ プログラミング・マニュアル OS 編	R18UZ0010JJ****
R-IN32M3 シリーズ ユーザーズ・マニュアル TCP/IP スタック編	R18UZ0018JJ****
R-IN32M3 シリーズ ユーザーズ・マニュアル ボード設計編	本マニュアル

2. 数や記号の表記

データ表記の重み：左が上位桁、右が下位桁

アクティブ・ローの表記：

xxxZ（端子、信号名称のあとにZ）

またはxxx_N（端子、信号名称のあとに_N）

またはxxnx（端子、信号名称にnを含む）

注：

本文中につけた注の説明

注意：

気をつけて読んでいただきたい内容

備考：

本文の補足説明

数の表記：

2 進数 … xxxx、xxxxBまたはn'bxxxx（nビット）

10 進数 … xxxx

16 進数 … xxxxHまたはn'hxxxx（nビット）

2のべき数を示す接頭語（アドレス空間、メモリ容量）：

K（キロ）… $2^{10} = 1024$

M（メガ）… $2^{20} = 1024^2$

G（ギガ）… $2^{30} = 1024^3$

データ・タイプ：

ワード … 32 ビット

ハーフワード … 16 ビット

バイト … 8 ビット

目次

1. 概要.....	1
1.1 本書内の端子処置およびシンボル定義.....	1
2. 電源／リセット端子	2
2.1 電源投入／遮断順序	2
2.2 電源端子	3
2.3 リセット端子	4
3. クロック入力端子	5
3.1 端子機能	5
3.2 発振回路構成上の注意	6
3.3 発振回路構成例	7
4. PLL電源端子	8
4.1 推奨フィルタ構成	8
4.2 周辺部品の注意点	9
5. 内蔵レギュレータ端子（R-IN32M3-ECのみ）	10
5.1 内蔵レギュレータ使用時	10
5.2 内蔵レギュレータ未使用時.....	12
6. 汎用ポート端子	13
7. Ethernet PHY端子（R-IN32M3-ECのみ）	14
7.1 Ethernet PHY電源端子	14
7.2 100Base-TXインタフェース端子	15
7.3 100Base-FXインタフェース端子（光ファイバ）	19
8. GMII端子（R-IN32M3-CLのみ）	20
8.1 GMII周辺 部品選定	21
8.2 GMII周辺 回路設計	21
8.3 GMII周辺 パターン配線設計	21

9. CC-Link端子	22
10. CC-Link IE Field使用時の注意事項（R-IN32M3-CLのみ）	24
11. 外部マイコン／メモリ・インタフェース端子	25
11.1 外部マイコン・インタフェース	26
11.1.1 非同期SRAMインタフェース・モード	27
11.1.2 同期SRAMインタフェース・モード	28
11.1.3 同期式SRAMタイプ転送モード	29
11.2 外部メモリ・インタフェース	30
11.2.1 非同期SRAM MEMC	30
11.2.2 同期式バースト・アクセスMEMC	33
12. シリアル・フラッシュROM接続端子	36
13. アシンクロナス・シリアル・インタフェースJ接続端子	37
14. I ² C接続端子	38
15. EtherCAT EEPROM I ² C接続端子（R-IN32M3-ECのみ）	39
16. CAN端子	40
17. CSH端子★	41
17.1 マスタ1、スレーブ1の場合	41
17.2 マスタ1、スレーブ2の場合	41
18. JTAG/トレース端子	42
19. 実装条件	45
20. パッケージ情報	46
21. マウントパッド情報	47
22. BSCAN情報	48
22.1 BSCANの動作条件	48
22.2 TCKの最大動作周波数	48
22.3 IDCODEについて	48
22.4 BSCAN非対応端子	49

22.5	BSDLの入手方法	50
22.6	BSDL使用時の注意事項★	50
23.	IBIS情報	51
24.	捺印情報	52
24.1	R-IN32M3-EC	52
24.2	R-IN32M3-CL	52
25.	熱設計★	53
25.1	放熱対策の要否の判定	53
25.1.1	T _j の見積もり	53
25.1.2	消費電力の見積もり	53
25.1.3	JEDEC条件での熱抵抗値 (θ_{ja} 、 Ψ_{jt})	54
25.1.4	T _j および1V電源の消費電力の見積もり結果	54
25.1.5	周囲温度に対する温度上昇 (Δt) と熱抵抗値 θ_{ja} の関係	56
25.2	放熱対策例	57
25.2.1	実装基板設計での熱対策	58
25.2.2	デバイス周辺 (筐体込み) での熱対策	60
25.3	注意事項	61
25.3.1	内蔵レギュレータ	61
25.3.2	未使用時端子処置	61
26.	ノイズ対策★	62
26.1	クロック出力の停止	62

図の目次

図1.1	GNDのシンボル定義.....	1
図2.1	電源投入／遮断 推奨順序.....	2
図3.1	外部定数部分のGNDパターン例.....	6
図3.2	発振回路の構成例	7
図4.1	推奨フィルタ構成	8
図4.2	ボードの裏から見たイメージ.....	9
図5.1	レギュレータ部の配線例（内蔵レギュレータ使用時）	10
図5.2	レギュレータ部のレイアウト例.....	11
図5.3	レギュレータ部の配線例（内蔵レギュレータ未使用時）	12
図7.1	供給電源のデカップリングコンデンサ	14
図7.2	R-IN32M3-ECとRJ-45コネクタ（パルストランス内蔵）の接続例	15
図7.3	R-IN32M3-ECとパルストランスおよびRJ45の接続例	16
図7.4	差動信号伝送路の配線例（1）	17
図7.5	差動信号伝送路の配線例（2）	18
図7.6	差動信号伝送路の配線例（3）	18
図7.7	光トランシーバとのインタフェース回路図.....	19
図8.1	R-IN32M3-CLとGigabit Ethernet PHYの接続イメージ	20
図9.1	CC-Linkリモートデバイス局における接続例.....	23
図11.1	32ビット幅外部マイコン・インタフェース接続例（非同期SRAMインタフェース・モード）	27
図11.2	16ビット幅外部マイコン・インタフェース接続例（非同期SRAMインタフェース・モード）	27
図11.3	32ビット幅外部マイコン・インタフェース接続例（同期SRAMインタフェース・モード）	28
図11.4	16ビット幅外部マイコン・インタフェース接続例（同期SRAMインタフェース・モード）	28
図11.5	32ビット幅外部マイコン・インタフェース接続例（同期式SRAMタイプ転送モード）	29
図11.6	16ビット幅外部マイコン・インタフェース接続例（同期式SRAMタイプ転送モード）	29
図11.7	32ビット幅SRAMとの接続例（非同期SRAM MEMC）	31
図11.8	16ビット幅SRAMとの接続例（非同期SRAM MEMC）	31
図11.9	32ビット幅ページROMとの接続例（非同期SRAM MEMC）	32
図11.10	16ビット幅ページROMとの接続例（非同期SRAM MEMC）	32
図11.11	32ビット幅SRAMとの接続例（同期式バースト・アクセスMEMC）	34
図11.12	16ビット幅SRAMとの接続例（同期式バースト・アクセスMEMC）	34
図11.13	32ビット幅ページROMとの接続例（同期式バースト・アクセスMEMC）	35
図11.14	16ビット幅ページROMとの接続例（同期式バースト・アクセスMEMC）	35
図12.1	シリアル・フラッシュROMとの接続図.....	36
図13.1	R-IN32M3とUARTデバイスとの接続例	37
図14.1	R-IN32M3とI ² Cスレーブデバイスとの接続例.....	38
図15.1	R-IN32M3-ECとEtherCAT EEPROMとの接続例.....	39
図16.1	R-IN32M3とCANトランシーバとの接続例.....	40
図17.1	マスタ／スレーブ間の直接の接続.....	41
図17.2	マスタ／スレーブ間の直接の接続.....	41
図18.1	JTAGインタフェース接続例（20pinハーフピッチ、トレースなし）	42

図18.2	JTAGインタフェース接続例（20pinハーフピッチ、トレースあり）	43
図18.3	JTAGインタフェース接続例（20pinフルピッチ）	44
図19.1	実装フロー	45
図20.1	パッケージ情報	46
図21.1	マウントパッド寸法	47
図24.1	R-IN32M3-EC捺印情報	52
図24.2	R-IN32M3-CL捺印情報	52

表の目次

表1.1	端子処置の定義	1
表5.1	使用推奨部品一覧	11
表7.1	部品リスト（100Base-TXインタフェース）	16
表7.2	部品リスト（100Base-FXインタフェース）	19
表11.1	外部マイコン／メモリ接続モード選択.....	25
表22.1	BSCAN非対応端子一覧★	49

1. 概要

本書は、ルネサス製イーサネット通信 LSI「R-IN32M3 シリーズ」を搭載したボード設計を行う方を対象に、ボード設計時の注意事項および実装に関連する事項を記載しています。対象デバイスは、R-IN32M3-EC および R-IN32M3-CL です。

ボード設計時には、本書を参考にして設計を行ってください。

1.1 本書内の端子処置およびシンボル定義

本書内における端子処置およびシンボルを以下のように定義します。

表1.1 端子処置の定義

	意味
ロー・レベル	GNDに接続することを意味します。
ハイ・レベル	VDD33（3.3V）を供給することを意味します。

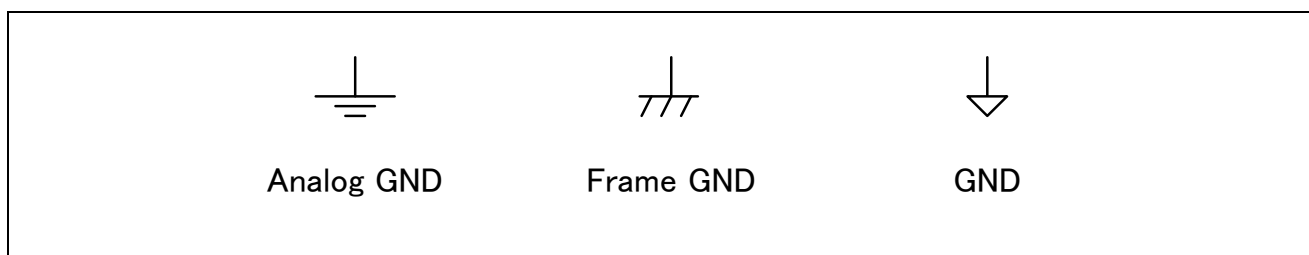


図1.1 GND のシンボル定義

2. 電源／リセット端子

2.1 電源投入／遮断順序

R-IN32M3 シリーズは、内部電源（VDD10 : 1.0V）、I/O 電源（VDD33 : 3.3V）、PHY 電源（VDD15 : 1.5V）で構成されています。（PHY 電源は、R-IN32M3-EC のみ対象です。）

電源投入順序については、特に規定はありませんが、推奨として、電源投入は内部電源を投入した後に I/O 電源を投入してください。逆に電源遮断は、I/O 電源を遮断した後に、内部電源を遮断してください。（図2.1 参照）

I/O 電源を先に投入後、内部電源を投入した場合は、I/O 電源が立ち上がってから内部電源が立ち上がるまでの期間、I/O バッファモードが確定せず、入力モード／出力モード関係なく不定出力となりますので、ご注意ください。なお、入出力端子への 3.3V 電圧の印加は、必ず電源電圧が確定してから行ってください。

電源投入／遮断時間差は、電源投入順序にかかわらず、内部あるいは入出力電源のどちらか先に立ち上がる方の電源の立ち上がり開始時から、両方の電源が安定するポイントまでの時間差が 100ms 以内であることを推奨します。時間を測定する際の電圧は、 $0.1V_{DD}$ - $0.9V_{DD}$ の期間とします

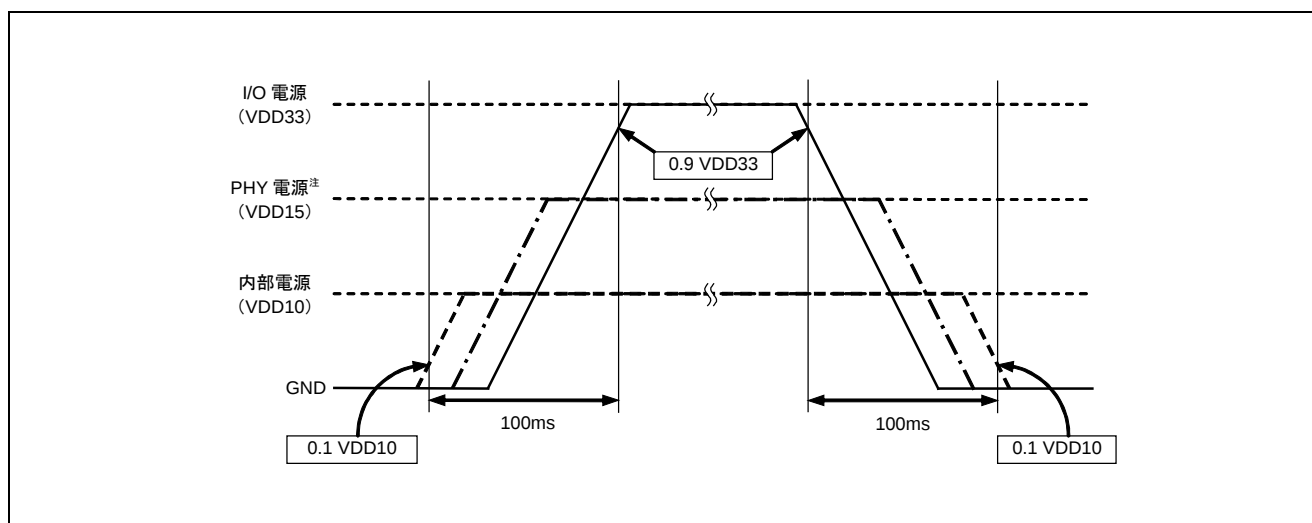


図2.1 電源投入／遮断 推奨順序

注. PHY 電源（VDD15）は、R-IN32M3-EC の内蔵レギュレータ未使用時のみ、上記タイミングを守ってください。

2.2 電源端子

R-IN32M3 の電源端子一覧です。

接続例の情報を参考に設計を行ってください。

端子名称	機 能	接続例参照先
PLL_VDD	PLL 電源 (VDD) (1.0V)	「4. PLL電源端子」を参照してください。
PLL_GND	PLL グランド電位 (GND)	「4. PLL電源端子」を参照してください。
VDD33	I/O 電源 (3.3V)	レギュレータもしくは DC-DC コンバータ等の電源ユニットから電源を供給してください。
VDD10	内部電源 (1.0V)	レギュレータもしくは DC-DC コンバータ等の電源ユニットから電源を供給してください。
GND	グランド電位 (GND)	システム (ボード) の GND を接続してください。
VDDQ_MII ^{注2}	Ethernet I/O 電源 (3.3V)	レギュレータもしくは DC-DC コンバータ等の電源ユニットから電源を供給してください。
LX ^{注1}	内蔵レギュレータ 1.5V 出力	「5.1 内蔵レギュレータ使用時」を参照してください。
AVDD_REG ^{注1}	内蔵レギュレータ用アナログ電源 (3.3V)	
AGND_REG ^{注1}	内蔵レギュレータ用アナログ・グランド電位 (GND)	
BVDD ^{注1}	内蔵レギュレータ用電源 (3.3V)	
BGND ^{注1}	内蔵レギュレータ用グランド電位 (GND)	
FB ^{注1}	内蔵レギュレータ用フィードバック入力	
EXTRES ^{注1}	Ethernet PHY 用リファレンス抵抗接続端子	12.4kΩ ±1%を介して AGND に接続してください。
P0VDDARXTX ^{注1}	Rx/Tx 端子用アナログ電源 (1.5V) - Port 0	「7.1 Ethernet PHY電源端子」を参照してください。
P1VDDARXTX ^{注1}	Rx/Tx 端子用アナログ電源 (1.5V) - Port 1	
VDDACB ^{注1}	Ethernet PHY 用アナログ電源 (3.3V)	
AGND ^{注1}	Ethernet PHY 用アナログ・グランド電位 (GND)	
VDD15 ^{注1}	Ethernet PHY 用電源 (1.5V)	
VDDAPLL ^{注1}	Ethernet PHY 用アナログ電源 (1.5V)	
VSSAPLLCB ^{注1}	Ethernet PHY 用アナログ・グランド電位 (GND)	
VDD33ESD ^{注1}	Ethernet PHY 用アナログ・テスト電源 (3.3V)	
VDDQ_PECL_B0 ^{注1}	PECL バッファ電源 (3.3V)	
VDDQ_PECL_B1 ^{注1}	PECL バッファ電源 (3.3V)	

注 1. R-IN32M3-EC のみ使用

2. R-IN32M3-CL のみ使用

2.3 リセット端子

R-IN32M3 のリセット端子一覧です。

各リセット入力信号の必要なロー・レベル幅は 100ns 以上ですが、外部発振器（25MHz）の発振安定時間を各リセット入力信号のロー・レベル入力により確保してください。

なお、RESETZ および HOTRESETZ 信号は、PONRZ 信号の解除以降にリセット解除するようにしてください。

端子名称	機 能	接続例参照先
RESETZ	リセット入力	—
HOTRESETZ 注	ホトリセット入力	—
PONRZ	内蔵 RAM 用パワーオンリセット入力	—
TRSTZ	JTAG リセット信号	「18. JTAG/トレース端子」を参照してください。
RSTOUTZ	外部へのリセット出力	—

注. R-IN32M3-CL のみ使用

3. クロック入力端子

3.1 端子機能

クロック入力端子の端子機能を記載します。

端子名	属性	機能
XT1	入力	外付け振動子接続端子です。 外部クロック入力モード（OSCTH = 1）時は、XT1 をロー・レベルにしてください。
XT2	入出力	外付け振動子接続端子です。 OSCTH = 0 の時は、出力となります。 外部クロック入力モード（OSCTH = 1）時は、XT2 から外部発振器からのクロックを入力してください。
OSCTH	入力	クロック端子に接続するクロック発振源を選択します。 ロー・レベル：XT1 と XT2 に振動子を接続します。 ハイ・レベル：XT2 に発振器を接続します。

3.2 発振回路構成上の注意

R-IN32M3 シリーズでは発振ブロックを内蔵し、パッケージ外部に振動子および外部定数を接続することにより発振回路を構成できます。容易に発振回路を構成できるメリットがありますが、発振回路は高周波で動作するアナログ回路のため、ロジックとは違った注意事項があります。

安定した発振動作を得るためには、外部定数（入力側コンデンサ、出力側コンデンサおよび制限抵抗）を最適値に設定することが必要で、アナログ回路として扱う必要があるため、以下の点に注意してください。

- ・ 発振回路は、R-IN32M3 の近くに配置してください。
- ・ 発振回路の配置箇所は、CLK 端子などの高周波入力端子から極力離して配置してください。
- ・ 発振回路の入力、出力端子と振動子と外部定数はすぐ近くに配置し、最短の経路で配線してください。
- ・ コンデンサの接地側と R-IN32M3 の GND 端子との配線も最短とし、極力太くしてください。
- ・ 振動子およびコンデンサのリード線は極力短くしてください。
- ・ 外部定数部分はできるだけ GND で囲むパターンにしてください。

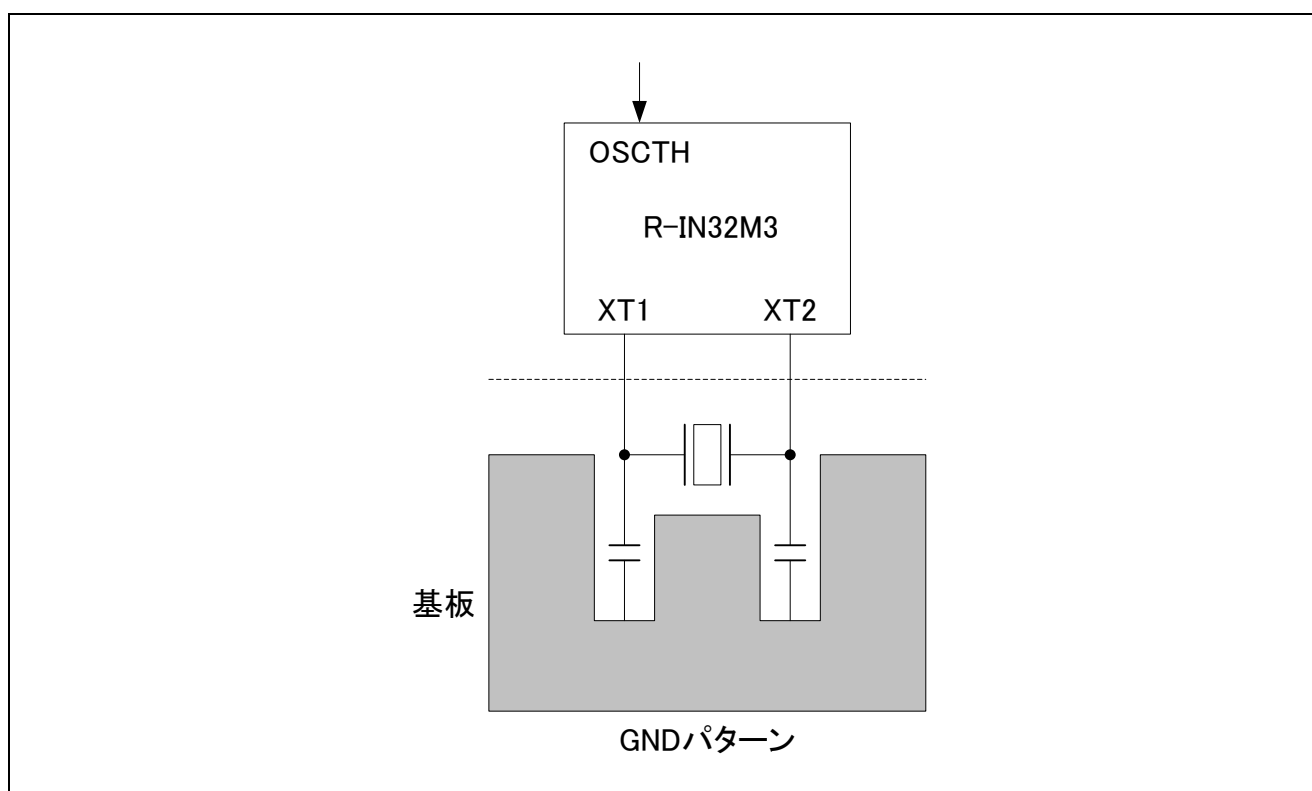


図3.1 外部定数部分の GND パターン例

さらに外部定数を決定する評価においても次の注意が必要です。

- ・ 実際に使用するプリント基板を用いてください。
（基板の誘電率などにより発振動作範囲が変動する場合があります）
- ・ 開発した R-IN32M3 搭載ボードおよび実際に使用する振動子を用いて確認してください。

3.3 発振回路構成例

発振回路の構成例を示します。

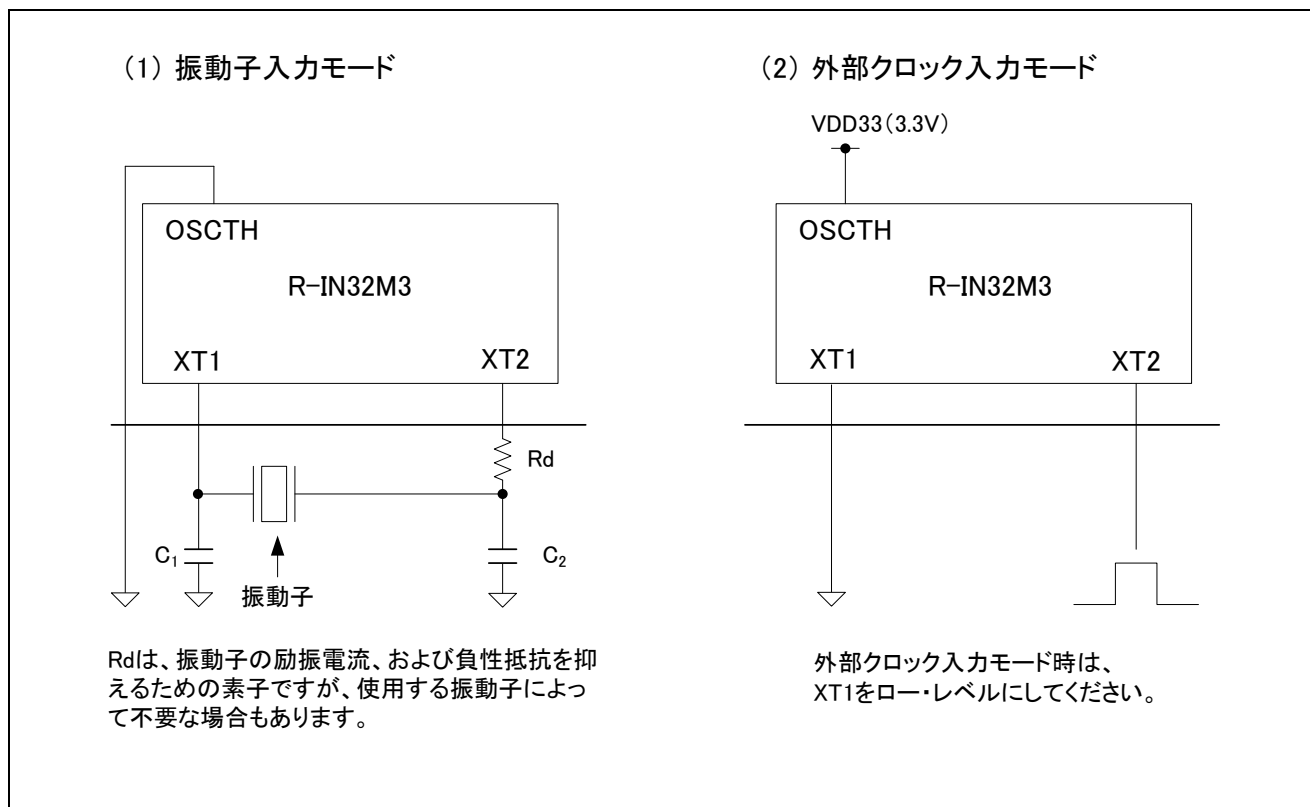


図3.2 発振回路の構成例

注意. R-IN32M3 は 25MHz 入力固定です。

振動子をご使用の場合は、発振子取り扱いメーカーに、型番／外部定数などご相談をお願いします。
弊社が推奨する発振器、および発振子取り扱いメーカーを以下に記載します。

● 日本電波工業株式会社様

URL : <http://www.ndk.com/jp/index.html/>

● 京セラクリスタルデバイス株式会社様

URL : <http://www.kyocera-crystal.jp/>

4. PLL 電源端子

PLL は、ノイズの影響が大きい回路です。ノイズの影響を低減させるため、PLL の電源端子はフィルタを構成してください。また、ボード電源と PLL 電源のノイズ干渉を避けるため、フェライトビーズ (FB) のご使用をお勧めします。

4.1 推奨フィルタ構成

PLL 電源端子の推奨するフィルタ構成を以下に示します。

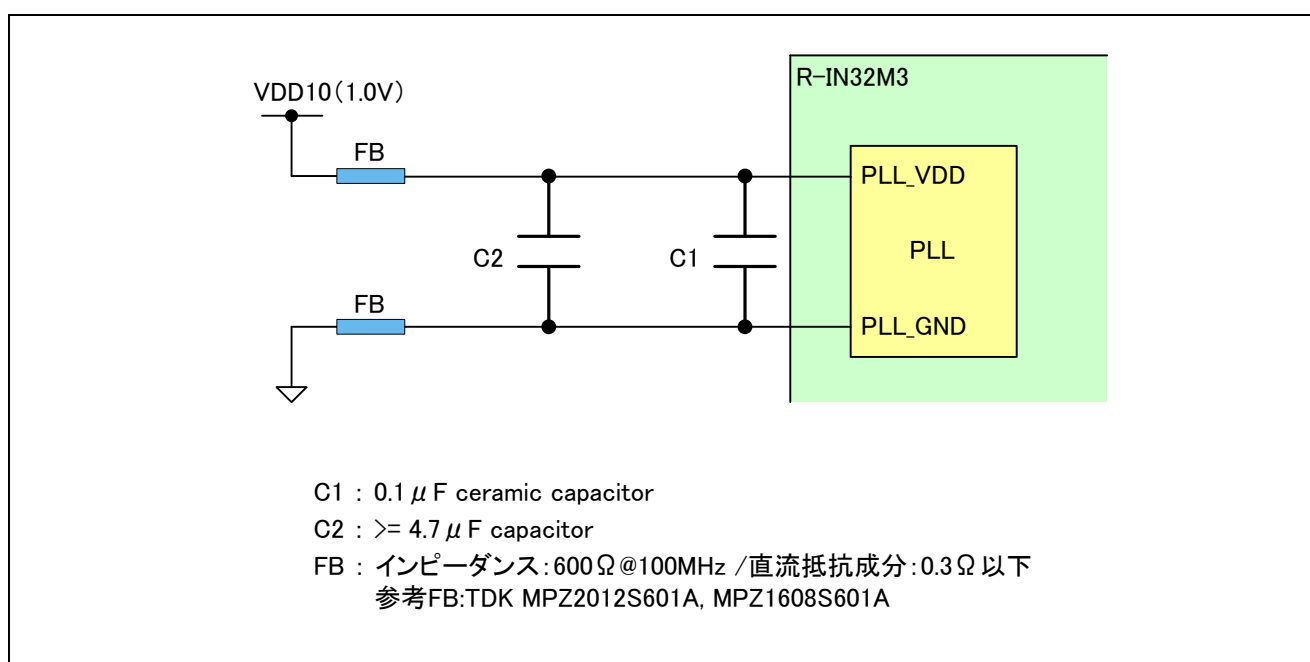


図4.1 推奨フィルタ構成

注意. C1 は LSI 直近に配置してください。

C2 は LSI 直近に配置できなくても問題ありません。

4.2 周辺部品の注意点

0.1 μ F のセラミックコンデンサ (C1) は R-IN32M3 直近 (端子近傍) に配置してください。

図4.2は、ボードの裏から見たイメージ図です。

また、C2 の電解コンデンサおよびフェライトビーズを配置する際に、その配線パターンは他の信号線との併走を避けてください。

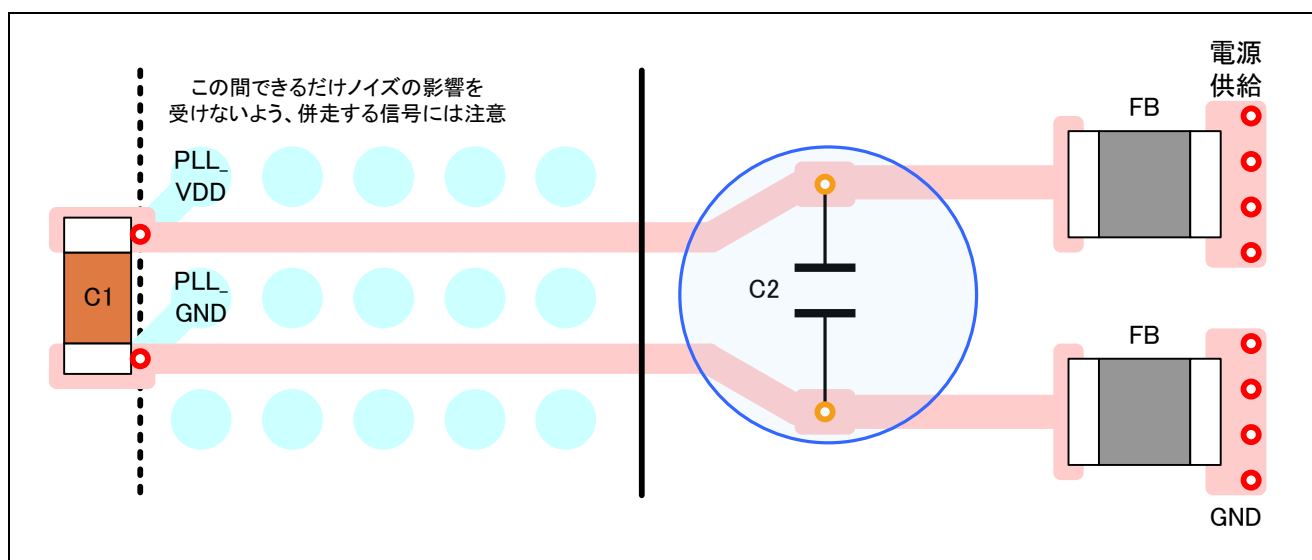


図4.2 ボードの裏から見たイメージ

注意. PCB 配線において、PLL_VDD/PLL_GND はできるだけ太く、短いパターンで配線してください。
長いパターンで配線された場合、配線の LC 成分が増加するため、クロストークの影響を受けやすくなります。

5. 内蔵レギュレータ端子 (R-IN32M3-EC のみ)

R-IN32M3-EC は、Ethernet PHY 用の内部電源として VDD15、VDDAPLL、PxVDDARXTX (x = 0 - 1) 端子に 1.5V の供給が必要です。

R-IN32M3-EC では内部にレギュレータを搭載しており、外部での電源生成が不要です。内蔵レギュレータを使用しない場合は、「5.2 内蔵レギュレータ未使用時」を参照し設計を行ってください。

5.1 内蔵レギュレータ使用時

内蔵レギュレータ使用時は、以下のような配線およびレイアウトにしてください。

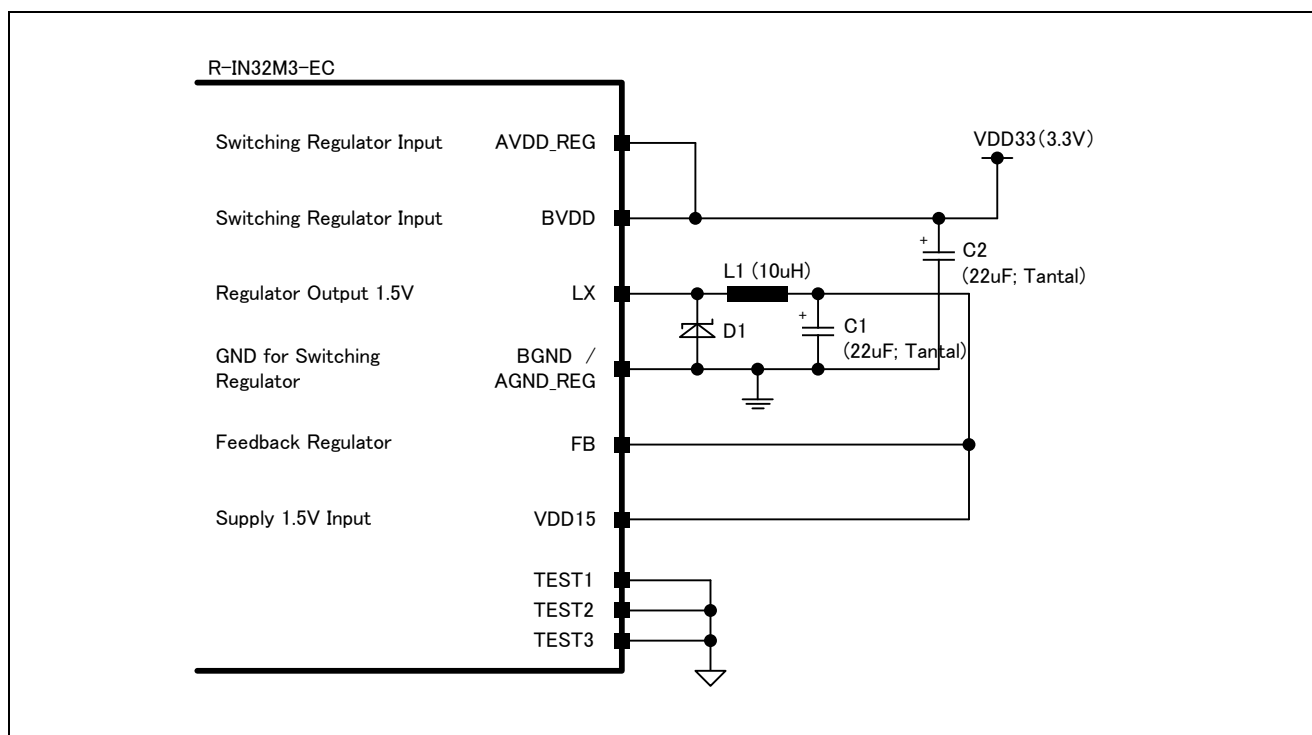
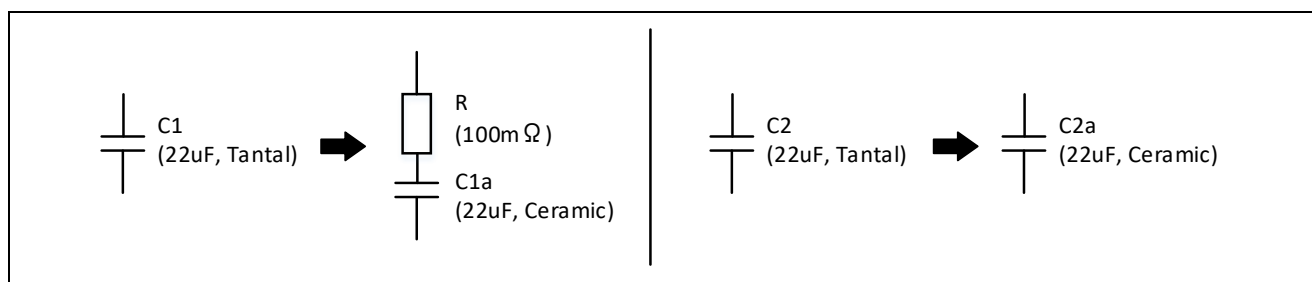


図5.1 レギュレータ部の配線例 (内蔵レギュレータ使用時)

タンタルコンデンサが使用できない場合は、C1 を抵抗+セラミックコンデンサに、C2 をセラミックコンデンサに代替することも可能です。



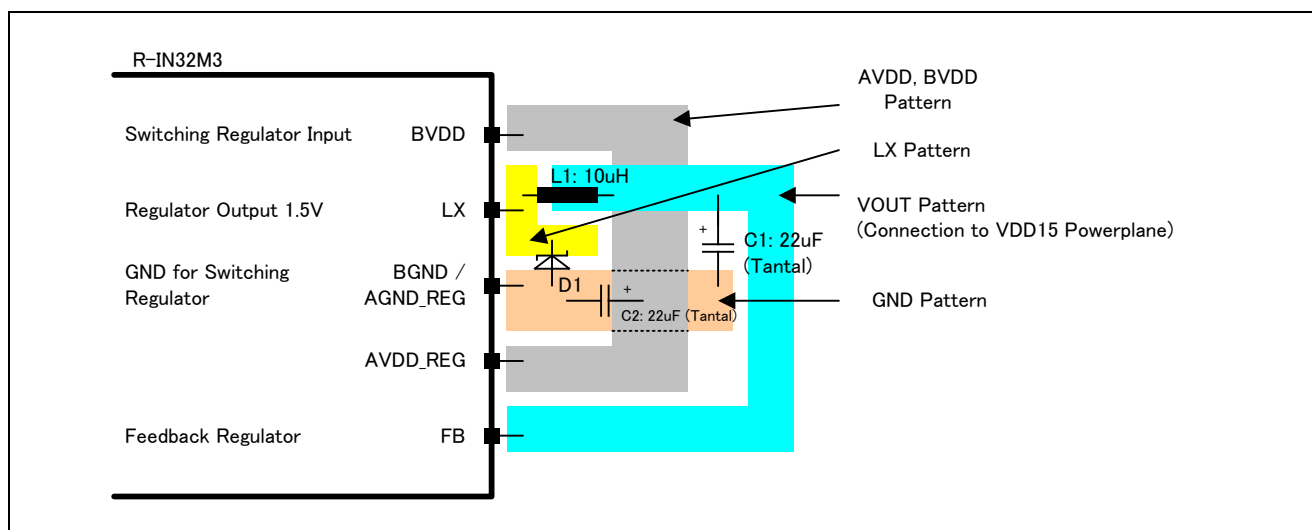


図5.2 レギュレータ部のレイアウト例

表5.1 使用推奨部品一覧

部品	タイプ	特性	推奨部品
D1	ショットキー・ダイオード	30V, 1A	STPS1L30UPBF (ST)
L1	インダクタ	10uH	VLC5028T (TDK)
C1, C2	タンタルコンデンサ	22uF±20% ESR : 75-300mΩ	PSLB21A226M (NEC TOKIN)
C1a, C2a	セラミックコンデンサ	22uF±10%	GRM32ER71A226KE20L (Murata)
R	抵抗	100mΩ±1%	MCR18EZHFLR100 (ROHM)

5.2 内蔵レギュレータ未使用時

内蔵レギュレータ未使用時は、以下のような配線にしてください。

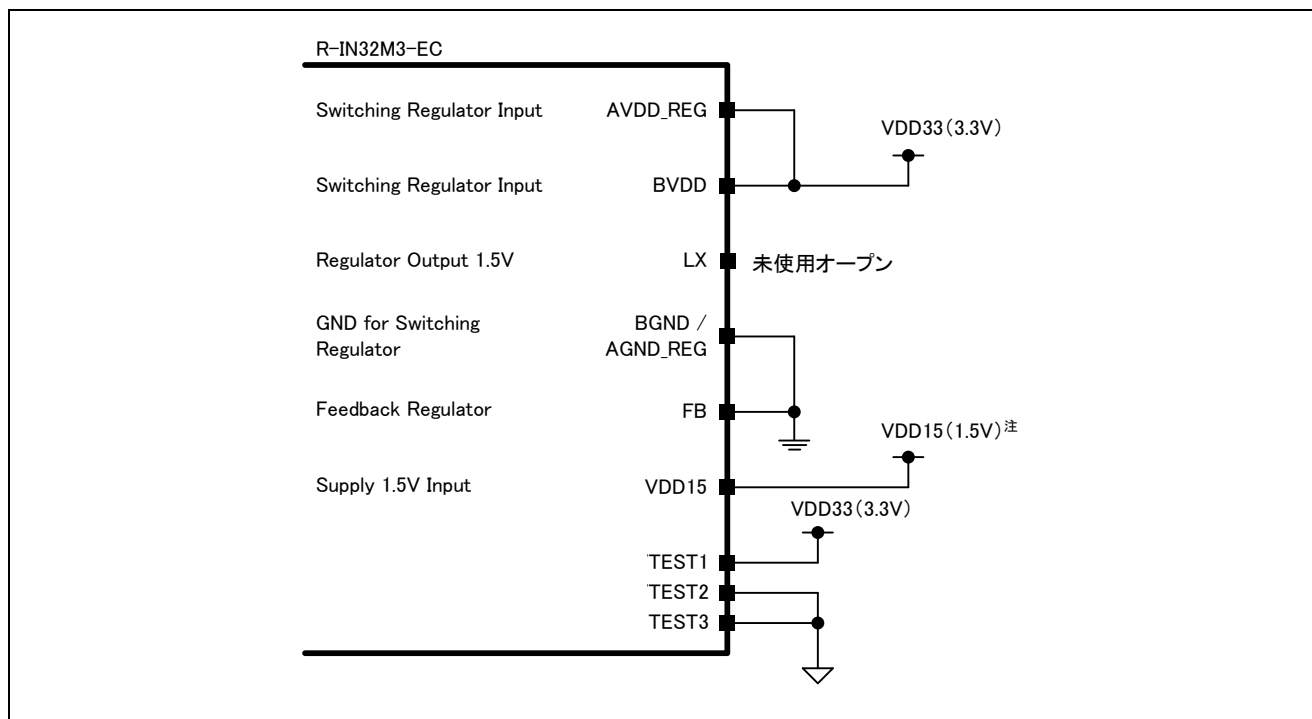


図5.3 レギュレータ部の配線例（内蔵レギュレータ未使用時）

注. 安定した電源を供給してください。

6. 汎用ポート端子

GPIO は汎用ポートであり、内部構成は以下のドキュメントを参照してください。

R-IN32M3 シリーズ ユーザーズ・マニュアル R-IN32M3-EC 「2.3.6 ポート端子」

R-IN32M3 シリーズ ユーザーズ・マニュアル R-IN32M3-CL 「2.5.6 ポート端子」

7. Ethernet PHY 端子 (R-IN32M3-EC のみ)

7.1 Ethernet PHY 電源端子

R-IN32M3-EC の内蔵 Ethernet PHY のアナログ電源端子は、フェラライトビーズ (FB) による電源分離、および以下のようなフィルタ構成を推奨します。

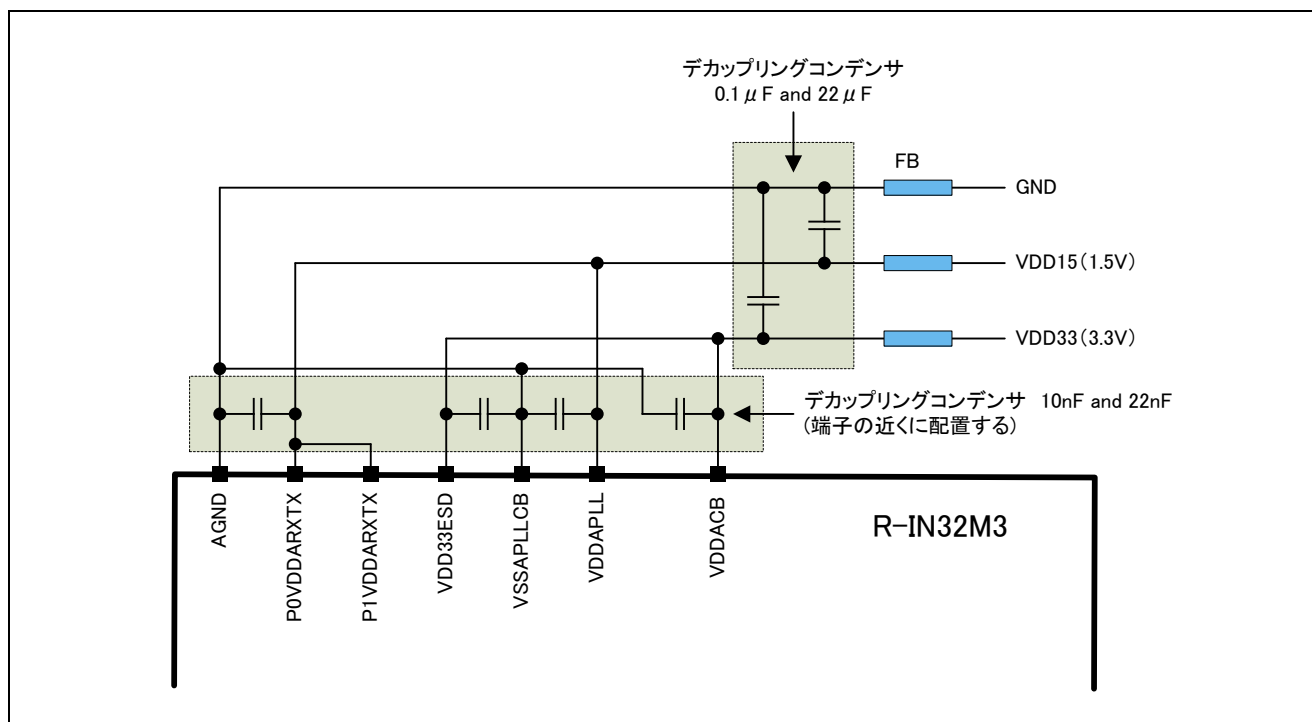


図7.1 供給電源のデカップリングコンデンサ

7.2 100Base-TX インタフェース端子

パルストランスとの接続例を示します。

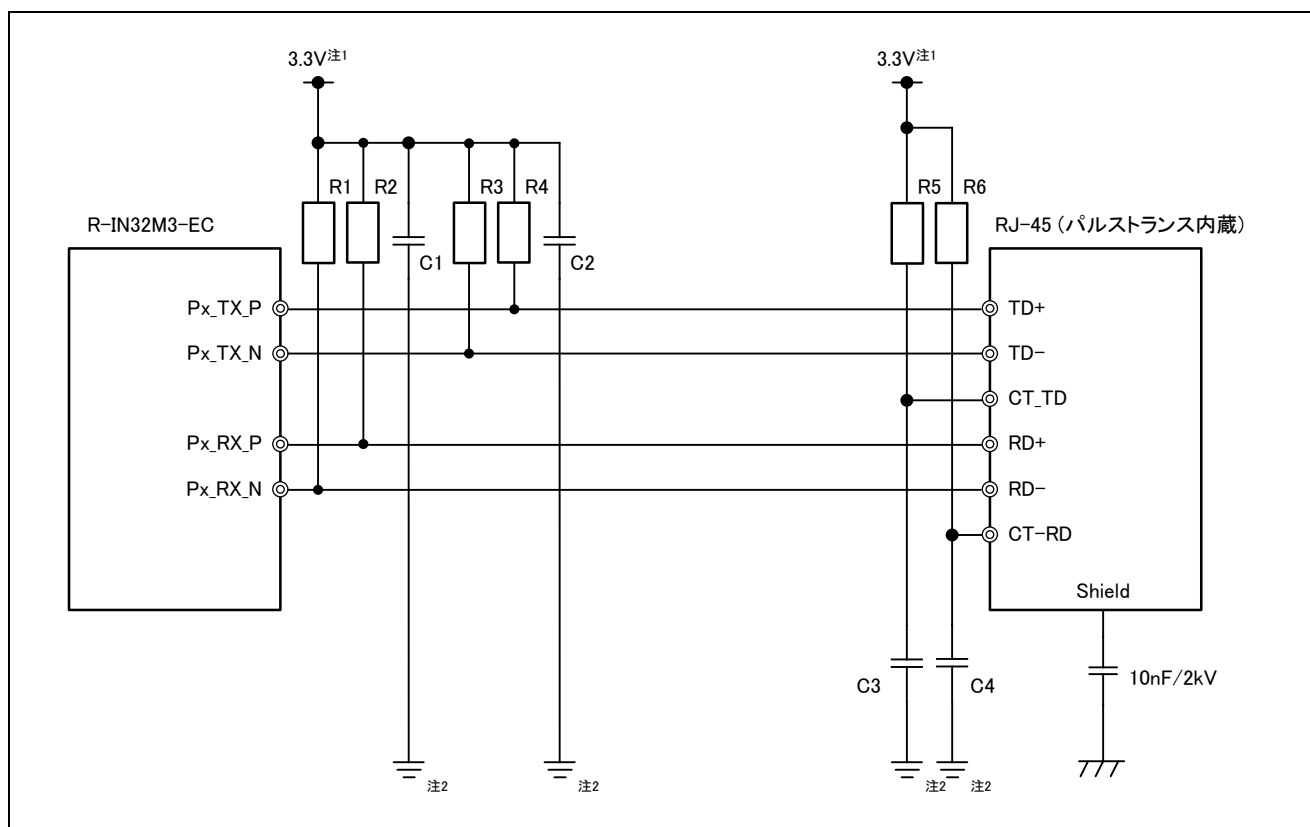


図7.2 R-IN32M3-EC と RJ-45 コネクタ (パルストランス内蔵) の接続例

備考. x = 0 or 1

注 1. VDDACB、VDD33ESD と同電位

2. AGND と同電位

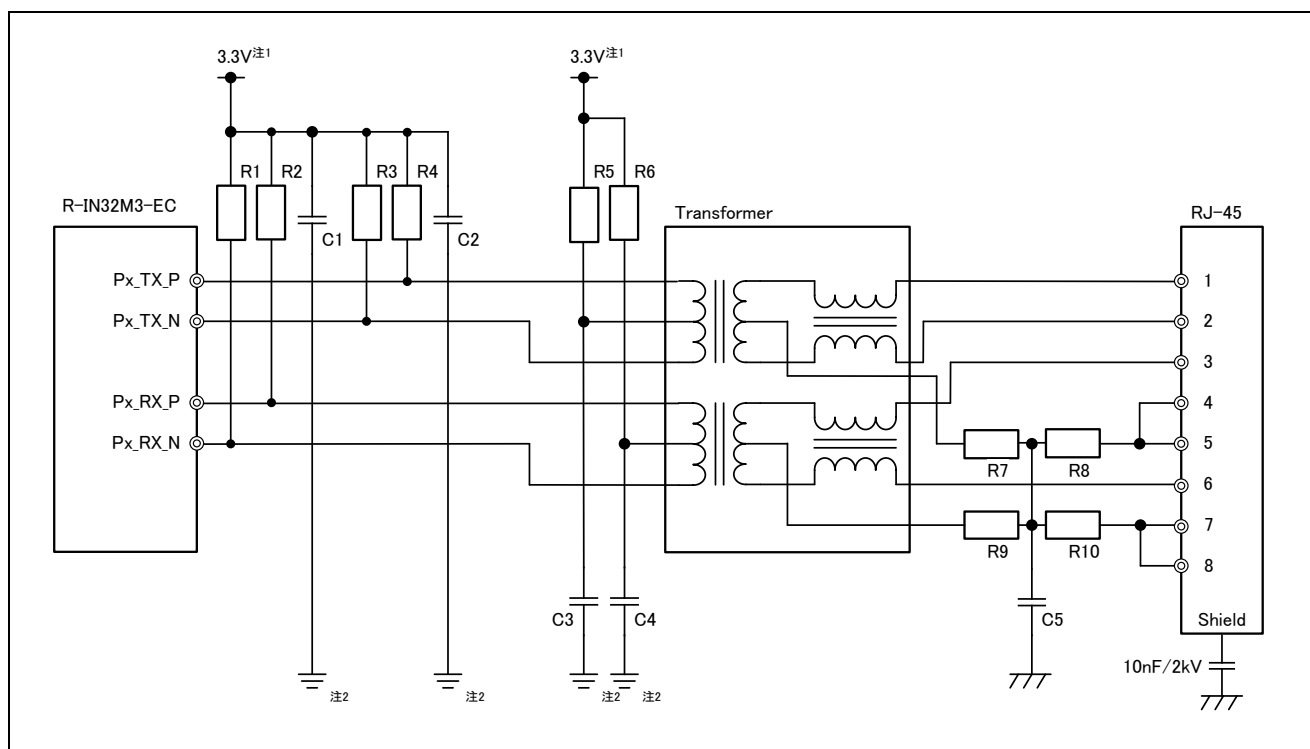


図7.3 R-IN32M3-EC とパルストランスおよび RJ45 の接続例

備考. x = 0 or 1

注 1. VDDACB、VDD33ESD と同電位

2. AGND と同電位

表7.1 部品リスト（100Base-TX インタフェース）

部品	種類	特性	推奨部品名
R1, R2, R3, R4	抵抗	$49.9\Omega \pm 1\%$ 1/16W 注	—
R5, R6	抵抗	$10\Omega \pm 1\%$ 1/16W 注	—
R7, R8, R9, R10	抵抗	$75\Omega \pm 1\%$ 1/16W	—
C1	コンデンサ	10nF - 100nF	—
C2	コンデンサ	10nF - 100nF	—
C3	コンデンサ	10nF - 22nF	—
C4	コンデンサ	10nF - 22nF	—
C5	コンデンサ	$4.7\text{nF} \pm 10\%$	—
パルストランス	1チャンネル		Pulse Electronics H1012NL, H1102NL
	2チャンネル		Pulse Electronics H1270N+, HX1294
RJ45コネクタ（パルストランス内蔵）	2チャンネル		Pulse Electronics JG0-0031NL

注. 高温時など厳しい環境において使用する場合には 1/8W を推奨します。

基板上の配線は、以下の事項に注意してください。

- 長い配線は避け R-IN32M3-EC とパルストランスおよびコネクタは極力近くに配置することを推奨します。
- TxP/N や RxP/N の差動信号伝送路がクロスしないような向きに部品配置してください。
- 差動信号伝送路は可能な限りまっすぐ、短くしてください。
- 配線を曲げる際には 135 度より大きい角度にしてください。(図7.4)
- R-IN32M3-EC、パルストランスおよび RJ-45 コネクタ間の差動信号伝送路は、 $100\Omega \pm 10\%$ の差動特性インピーダンス、GND に対しては 50Ω のインピーダンスで構成してください。
- R-IN32M3-EC とパルストランスおよび RJ45 コネクタとの差動信号伝送路は等長にしてください。最大偏差は、0.5mm 以下です。
- 差動信号の各信号ラインは、左右対称に設計する必要があります。配線は、同一層で信号間隔も固定にしてください。コンポーネントおよびビア (Via) なども対称となるようにしてください。
- スタブ (信号分岐) は避けてください。
- 差動信号伝送路は、他の信号と分離して配線してください。他の信号との間隔は、差動信号の間隔の 5 倍以上を推奨します。
- 差動信号伝送路は、他の層において電源/GND プレーンが交差しないようにしてください。差動信号伝送路の下層は GND プレーンが望ましいです。
- パルストランスの下に、配線や電源/GND プレーンは配線しないようにしてください。
- 差動信号伝送路は、できるだけ少ないビアで配線するようにしてください。ビアが必要な場合は、以下の内容に注意してください。
 - (a) 関連する電源/GND プレーンのビア (例えば AGND) は、信号ビアの近くに配置することを推奨します。信号ビアと GND ビアの間隔は、インピーダンスを保持するために、層間の距離に等しくなるようにしてください。(図7.6)
 - (b) 差動信号のビアの近くに金属がある場合、インピーダンスに影響を与える可能性があります。
 - (c) ビアの直径は、配線幅とほぼ同等にすることを推奨します。(図7.6)

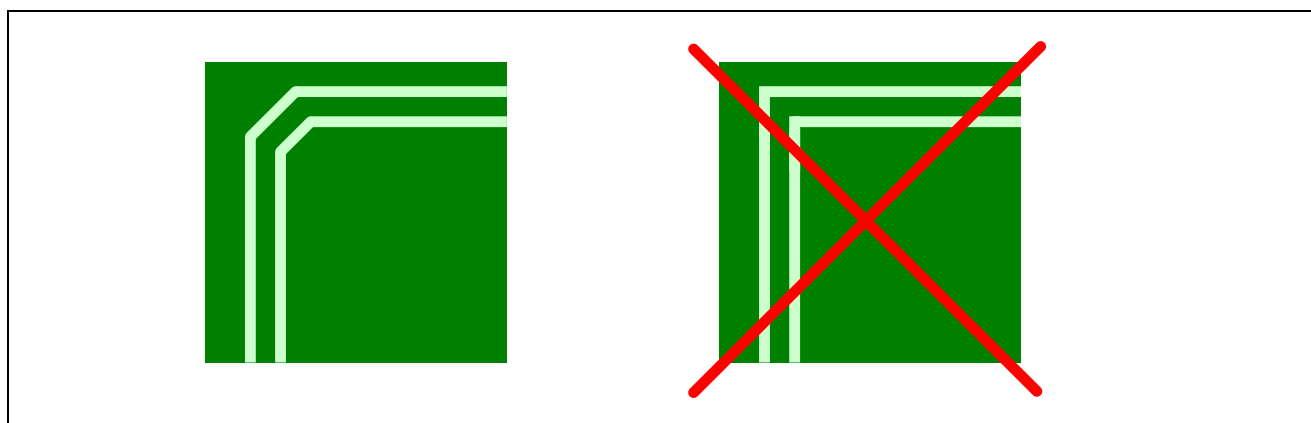


図7.4 差動信号伝送路の配線例 (1)

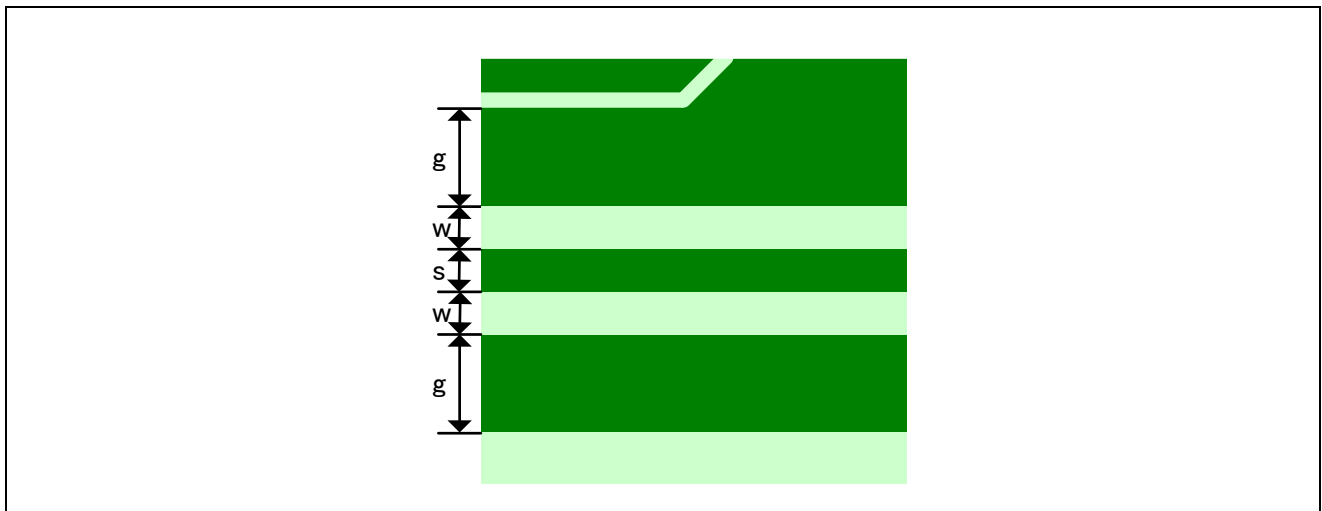


図7.5 差動信号伝送路の配線例 (2)

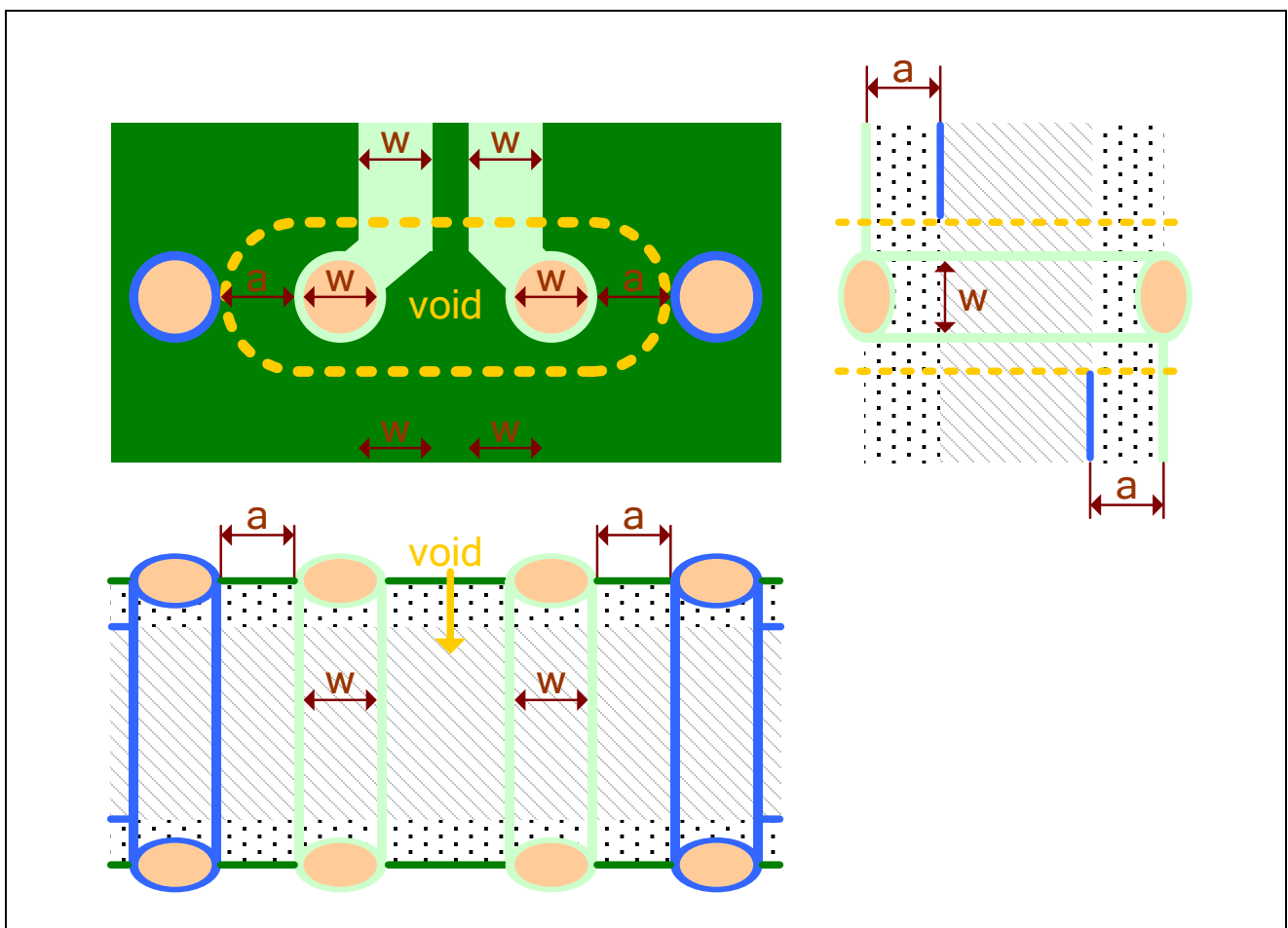


図7.6 差動信号伝送路の配線例 (3)

7.3 100Base-FX インタフェース端子 (光ファイバ)

光ファイバモジュールとの接続例を以下に示します。差動信号伝送路の注意事項は、「7.2 100Base-TXインタフェース端子」を参照してください。

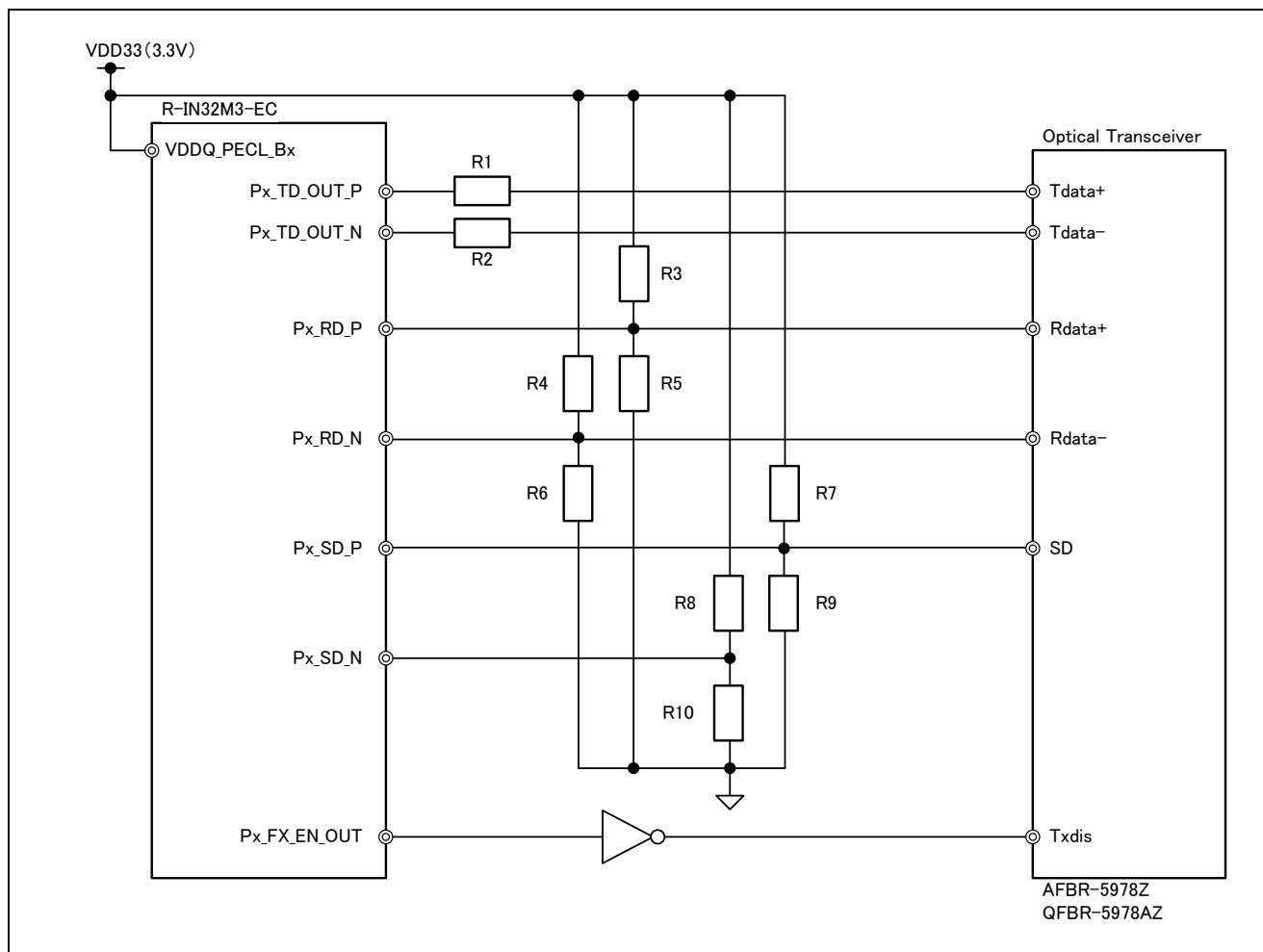


図7.7 光トランシーバとのインタフェース回路図

備考. x = 0 or 1

表7.2 部品リスト (100Base-FX インタフェース)

部品名	種類	特性	推奨部品
R1, R2	抵抗	150 Ω $\pm$ 1%	—
R3, R4, R7	抵抗	130 Ω $\pm$ 1%	—
R5, R6, R9	抵抗	82 Ω $\pm$ 1%	—
R8	抵抗	86.6 Ω $\pm$ 1%	—
R10	抵抗	127 Ω $\pm$ 1%	—
光トランシーバ		1チャンネル	Avago Technologies AFBR-5978Z, QFBR-5978AZ

8.1 GMII 周辺 部品選定

下記の内容に注意して部品を選定してください

- PHY の選定について

IEEE802.3 1000BASE-T 全二重対応品を選定してください。

オートネゴシエーション機能を持った部品を選定してください。

GMII インタフェースを持った部品を選定してください。

オート MDI/MDIX ネゴシエーション機能を持った部品を選定してください。

MDC クロック周波数が 125MHz で動作可能な部品を選定してください。

- PHY クロック用水晶発振器の選定について

周波数や総 Jitter は、使用する PHY の要求仕様に合わせて選定してください。

8.2 GMII 周辺 回路設計

下記の内容に注意して、R-IN32M3-CL の周辺回路を設計してください。

- GMII の配線について

オーバーシュート／アンダーシュート対策のダンピング抵抗を入れてください。

- PHY アドレスについて

PHY アドレスは R-IN32M3-CL のポート番号と同じアドレスに設定してください。アドレス 0 に設定した PHY は MAC ポート 0 に、アドレス 1 に設定した PHY は MAC ポート 1 に接続してください。

8.3 GMII 周辺 パターン配線設計

下記の内容に注意して、R-IN32M3-CL 周辺のパターン配線を設計してください。

- GMII の配線について

R-IN32M3-CL と PHY を接続する信号 (GMII) は、最短でパターン配線し、インピーダンス 50Ω のパターンとなるように配線層、信号線の太さを決定してください。

信号パターンは 45 度以内で曲げて下さい。

電源/GND パターンは、極力太いパターンで配線してください。

9. CC-Link 端子

CC-Link のリモートデバイス局における接続例を、図9.1に示します。

CC-Link の実装に関する注意事項は、CC-Link 協会発行の「CC-Link 仕様書（実装規定編）」（BAP-05027）に記載されていますので、そちらを参照してください。資料の請求につきましては CC-Link 協会（CLPA）にお問い合わせください。

CC-Link 協会（CLPA）	TEL : 052-919-1588
	FAX : 052-916-8655
	Email : info@cc-link.org
	Web : https://www.cc-link.org/ja/

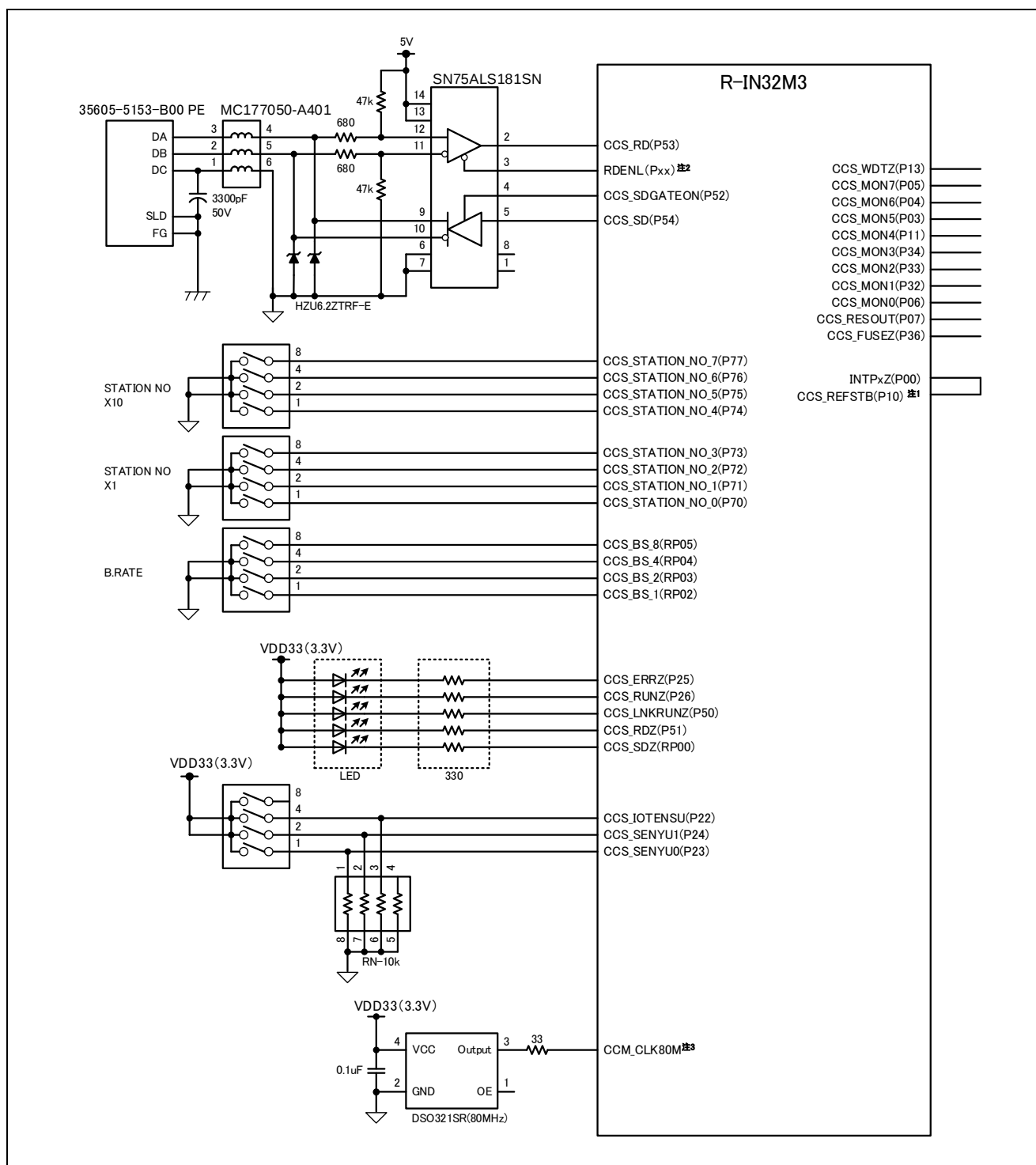


図9.1 CC-Link リモートデバイス局における接続例

注 1. CCS_REFSTB (P10) 端子は、外部割込み機能 (INTPZ) を持つポート端子に接続する必要があります。

2. RDENL 端子は、汎用出力ポートに接続して制御して下さい。

3. 本端子は、CC-Link (インテリジェントデバイス局) と共用です。

10. CC-Link IE Field 使用時の注意事項（R-IN32M3-CL のみ）

外部メモリ・ブート、外部シリアル・フラッシュ ROM ブート、命令 RAM ブートでブートする際、リセット中に P33 端子（CCI_WAITEDGEH の兼用）と P34 端子（CCI_WRLLENH の兼用）にハイ・レベルを入力してください。

リセット中に P33、P34 端子にロー・レベルを入力すると、R-IN32M3 内の CPU から CC-Link IE Field にアクセスできません。

11. 外部マイコン／メモリ・インタフェース端子

外部マイコンもしくは外部メモリと接続することができます。

接続モードは、MEMIFSEL 端子、MEMCSEL 端子、HIFSYNC 端子および ADMUXMODE 端子の状態により表11.1のように決定されます。

表11.1 外部マイコン／メモリ接続モード選択

モード設定				外部接続モード
MEMIFSEL	MEMCSEL	HIFSYNC	ADMUXMODE	
ロー	ロー	—	—	外部メモリ・インタフェース 非同期 SRAM MEMC
	ハイ	—	—	外部メモリ・インタフェース 同期式バースト・アクセス MEMC
ハイ	ロー	ロー	—	外部マイコン・インタフェース 非同期 SRAM インタフェース・モード
		ハイ	—	外部マイコン・インタフェース 同期 SRAM インタフェース・モード ^注
	ハイ	ロー	—	設定禁止
		ハイ	ロー	設定禁止
			ハイ	外部マイコン・インタフェース 同期式 SRAM タイプ転送モード (アドレス／データ多重)

注. CC-Link IE Field にアクセスする場合は、同期 SRAM インタフェース・モードに設定する必要があります。(MEMIFSEL = ハイ・レベル、MEMCSEL = ロー・レベル、HIFSYNC = ハイ・レベル)
(CC-Link IE Field は R-IN32M3-CL 版にのみ搭載しています。)

次節以降にて、各接続モードにおける接続例を示します。

11.1 外部マイコン・インタフェース

外部マイコン・インタフェースは、外部メモリ・インタフェースを兼用しています。MEMIFSEL 端子がハイ・レベルのときに、外部マイコン・インタフェースが機能します。

非同期 SRAM インタフェースおよび同期 SRAM インタフェースに対応しています。HIFSYNC 端子のレベルがハイ・レベルのときに同期 SRAM インタフェースとなり、HIFSYNC がロー・レベルのときに非同期 SRAM インタフェースになります（表11.1参照）。

また大容量のデータを高速にアクセスできるように、クロック同期式の同期 SRAM タイプ転送をサポートします。MEMIFSEL 端子および MEMCSEL 端子をハイ・レベルにすることで、使用することができます。

11.1.1 非同期 SRAM インタフェース・モード

非同期 SRAM インタフェース・モードにて、外部マイコンからスレーブ機器として接続する場合の一般的な接続例を示します。

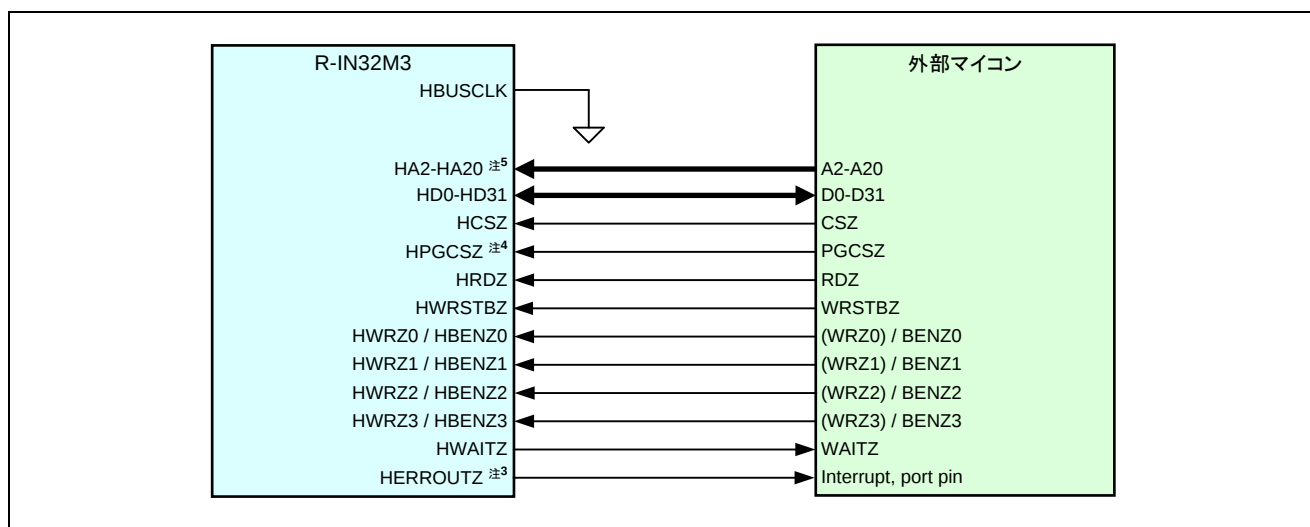


図11.1 32ビット幅外部マイコン・インタフェース接続例（非同期 SRAM インタフェース・モード）

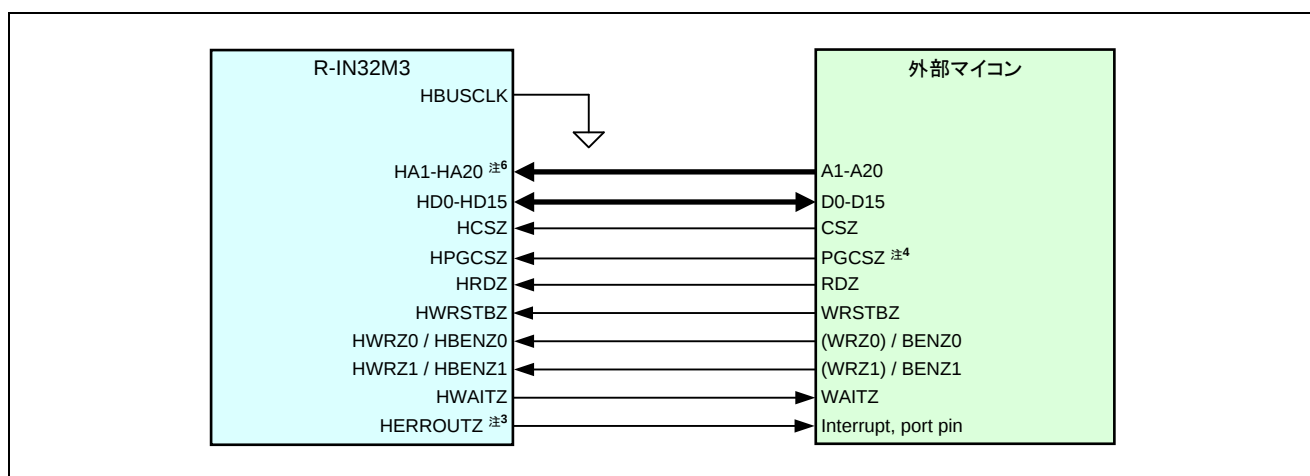


図11.2 16ビット幅外部マイコン・インタフェース接続例（非同期 SRAM インタフェース・モード）

- 注 1. 各信号の接続方法は、接続先のマイコンのバス・インタフェース仕様に依存します。
接続先の製品仕様をご確認のうえ検討してください。
2. HWRZ0-HWRZ3 と HBENZ0-HBENZ3 は兼用されています。どちらの機能を使用するかは、HWRZSEL 端子の入力するレベルにより決まります。
3. HERROUTZ 信号の接続は必須ではありません。必要に応じて接続先のマイコンの割り込みや汎用ポート入力などに接続ください。
4. ページアクセス可能なチップ・セレクト信号です。必要に応じて接続ください。
5. 本 LSI の HA2 端子に接続する信号は、接続先の 4 バイト境界のアドレス信号としてください。
6. 本 LSI の HA1 端子に接続する信号は、接続先の 2 バイト境界のアドレス信号としてください。

11.1.2 同期 SRAM インタフェース・モード

同期 SRAM インタフェース・モードにて、外部マイコンからスレーブ機器として接続する場合の一般的な接続例を示します。

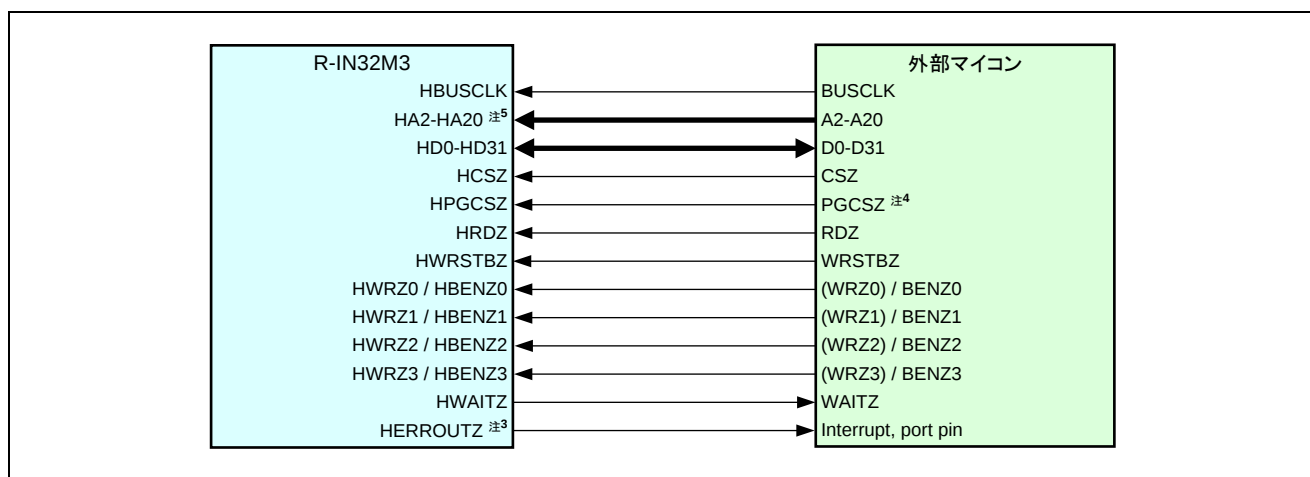


図11.3 32ビット幅外部マイコン・インタフェース接続例（同期 SRAM インタフェース・モード）

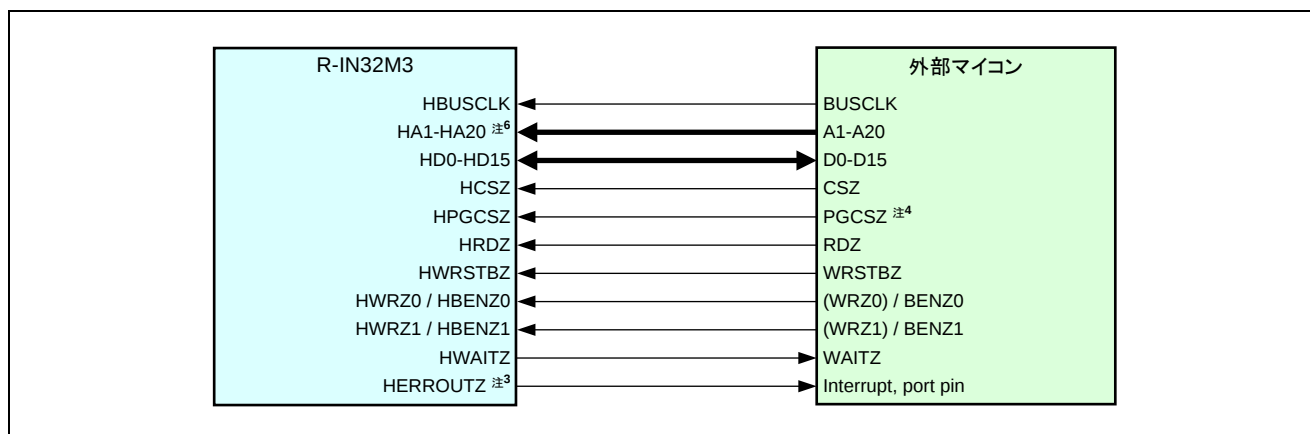


図11.4 16ビット幅外部マイコン・インタフェース接続例（同期 SRAM インタフェース・モード）

注 1. 各信号の接続方法は、接続先のマイコンのバス・インタフェース仕様に依存します。

接続先の製品仕様をご確認のうえ検討してください。

2. HWRZ0-HWRZ3 と HBENZ0-HBENZ3 は兼用されています。どちらの機能を使用するかは、HWRZSEL 端子の入力するレベルにより決まります。

3. HERROUTZ 信号の接続は必須ではありません。必要に応じて接続先のマイコンの割り込みや汎用ポート入力などに接続ください。

4. ページアクセス可能なチップ・セレクト信号です。必要に応じて接続ください。

5. 本 LSI の HA2 端子に接続する信号は、接続先の 4 バイト境界のアドレス信号としてください。

6. 本 LSI の HA1 端子に接続する信号は、接続先の 2 バイト境界のアドレス信号としてください。

11.1.3 同期式 SRAM タイプ転送モード

同期式 SRAM タイプ転送モードにて、外部マイコンからスレーブ機器として接続する場合の一般的な接続例を示します。本モード使用時は、「アドレス／データ・マルチプレクス」機能を有効（ADMUXMODE 端子をハイ・レベル）としてください。

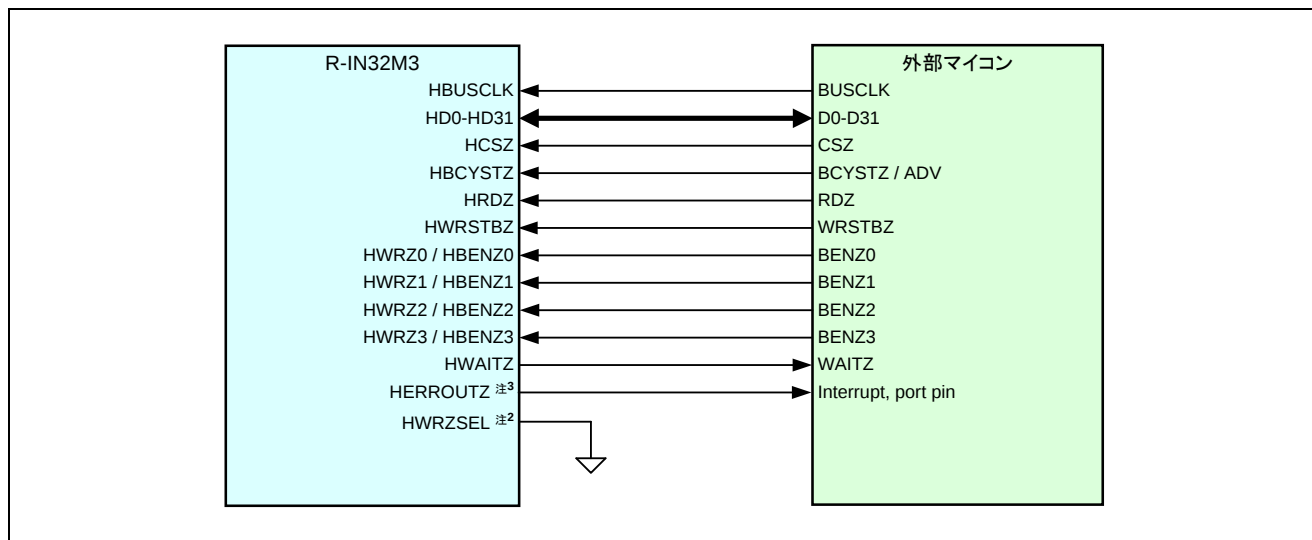


図11.5 32ビット幅外部マイコン・インタフェース接続例（同期式 SRAM タイプ転送モード）

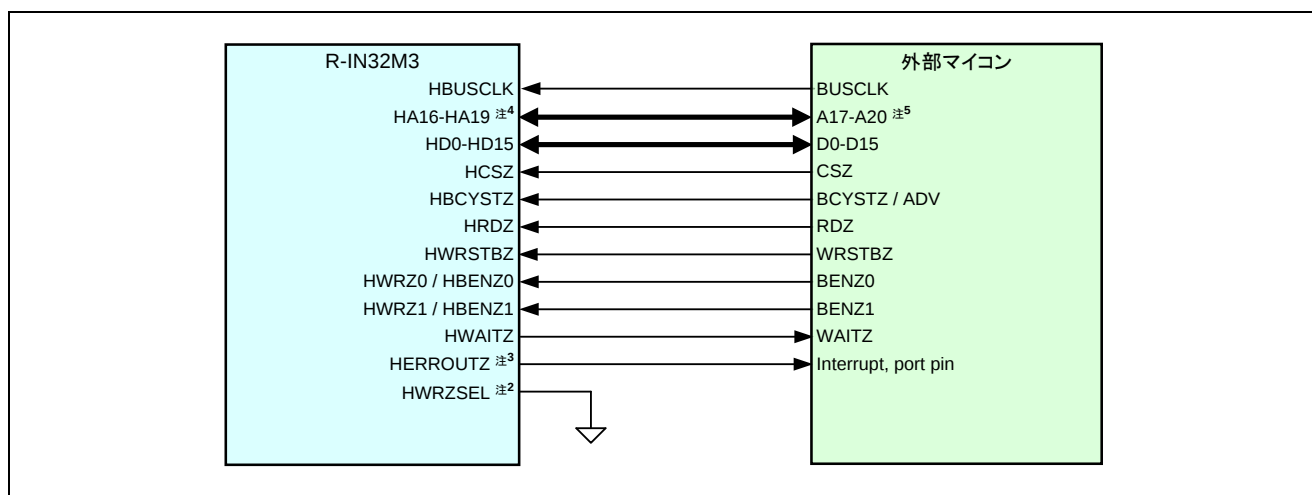


図11.6 16ビット幅外部マイコン・インタフェース接続例（同期式 SRAM タイプ転送モード）

注 1. 各信号の接続方法は、接続先のマイコンのバス・インタフェース仕様に依存します。

接続先の製品仕様をご確認のうえ検討してください。

2. 本モード時、HWRZSEL 端子はロー・レベルを入力してください。

3. HERROUTZ 信号の接続は必須ではありません。必要に応じて接続先のマイコンの割り込みや汎用ポート入力などに接続ください。

4. 本 LSI の HA16 端子に接続する信号は、接続先の 128K バイト境界のアドレス信号としてください。

5. バイト・アドレッシングによるアクセスです。

11.2 外部メモリ・インタフェース

外部メモリに対してマスタ機器として接続する場合について説明します。

外部メモリ・インタフェースは、MEMCSEL 端子の端子状態により、動作接続モードが異なります（表11.1 参照）。

11.2.1 非同期 SRAM MEMC

非同期 SRAM MEMC は、32/16 ビット・バスで外部にページ ROM／ROM／SRAM を接続できます。また、SRAM インタフェースに準ずる周辺デバイスも接続できます。

非同期 SRAM MEMC は、同期式バースト・アクセス MEMC と外部マイコン・インタフェースと端子兼用しており、MEMCSEL 端子および MEMIFSEL 端子がともにロー・レベルに設定のときに非同期 SRAM MEMC を使用できます。

BOOT0、BOOT1 端子が共にロー・レベルのときに、CSZ0 に接続されたメモリからブート動作を行います。

11.2.1.1 SRAM の接続例

SRAM との接続例は次のようになります。

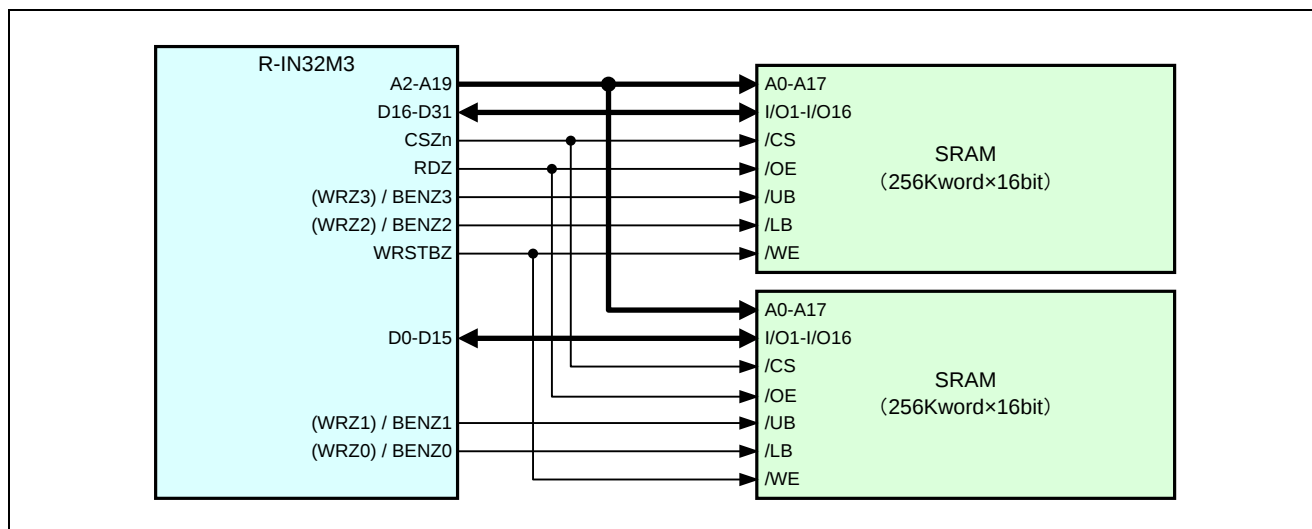


図11.7 32 ビット幅 SRAM との接続例（非同期 SRAM MEMC）

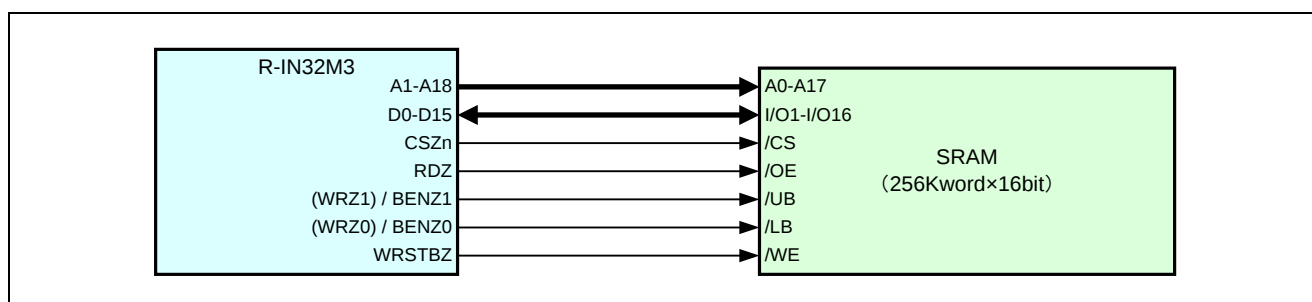


図11.8 16 ビット幅 SRAM との接続例（非同期 SRAM MEMC）

備考. $n = 0 - 3$

11.2.1.2 ページ ROM の接続例

ページ ROM との接続例は次のようになります。

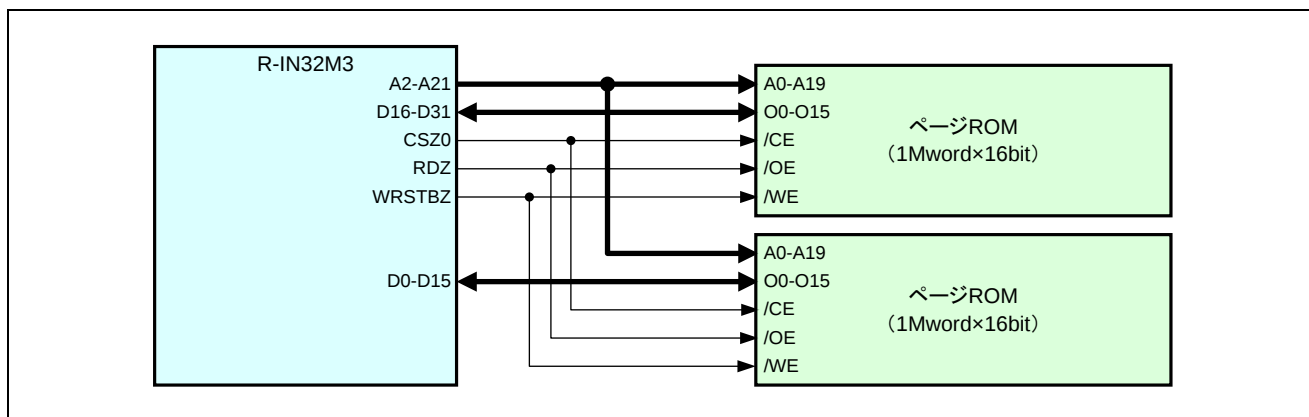


図11.9 32ビット幅ページROMとの接続例（非同期SRAM MEMC）

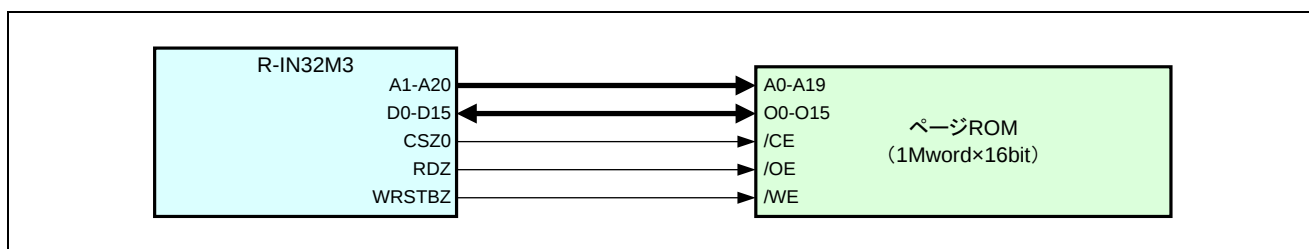


図11.10 16ビット幅ページROMとの接続例（非同期SRAM MEMC）

注意. ページROMのオンページ・モードは、CSZ0に接続した場合のみ利用できます。

11.2.2 同期式バースト・アクセス MEMC

同期式バースト・アクセスMEMCは、32/16ビット・バスで外部にページROM／ROM／SRAM／PSRAM／NOR-Flashのほか、SRAMインタフェースに準ずる周辺デバイスも接続できます。

また、ADMUXMODE端子をハイ・レベルに設定することで、データ端子にアドレス信号をマルチプレクスして出力することができます。

また同期式バースト・アクセスMEMCは、非同期SRAM MEMCと、外部マイコン・インタフェースと端子兼用しており、MEMCSEL端子がハイ・レベル、MEMIFSEL端子がロー・レベルのときに、同期式バースト・アクセスMEMCが選択されます。

BOOT0、BOOT1端子が共にロー・レベルのときに、CSZ0に接続されたメモリからブート動作を行います。

11.2.2.1 SRAM の接続例

SRAM との接続例は次のようになります。

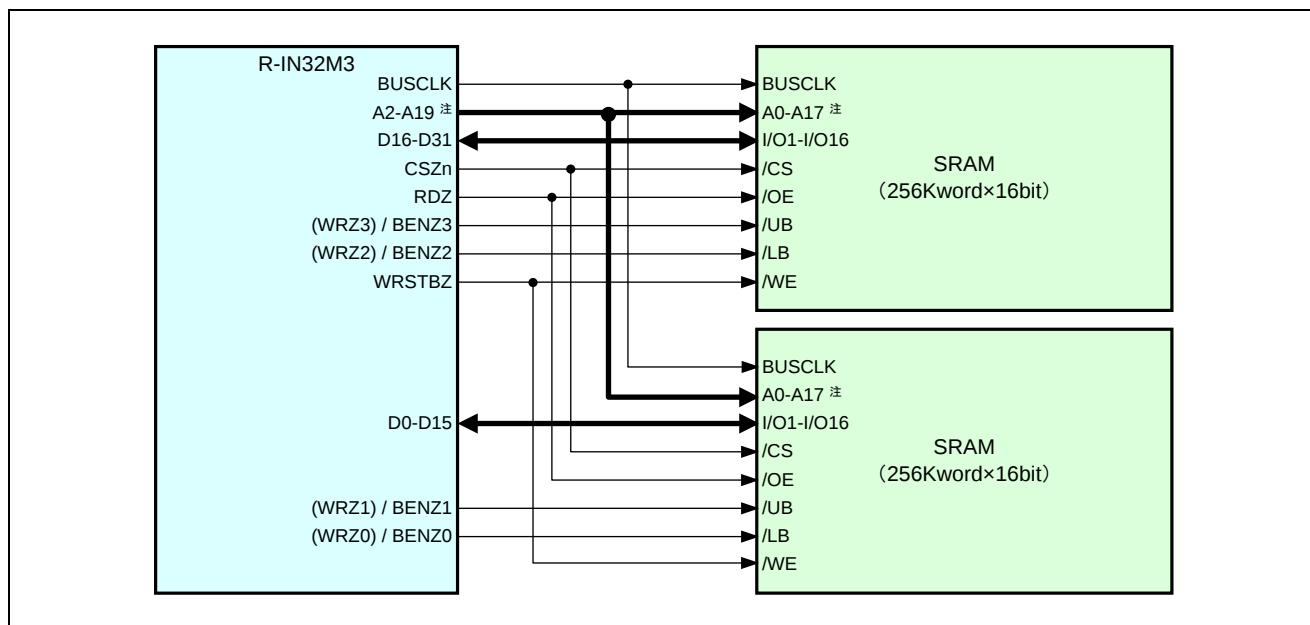


図11.11 32ビット幅 SRAM との接続例（同期式バースト・アクセス MEMC）

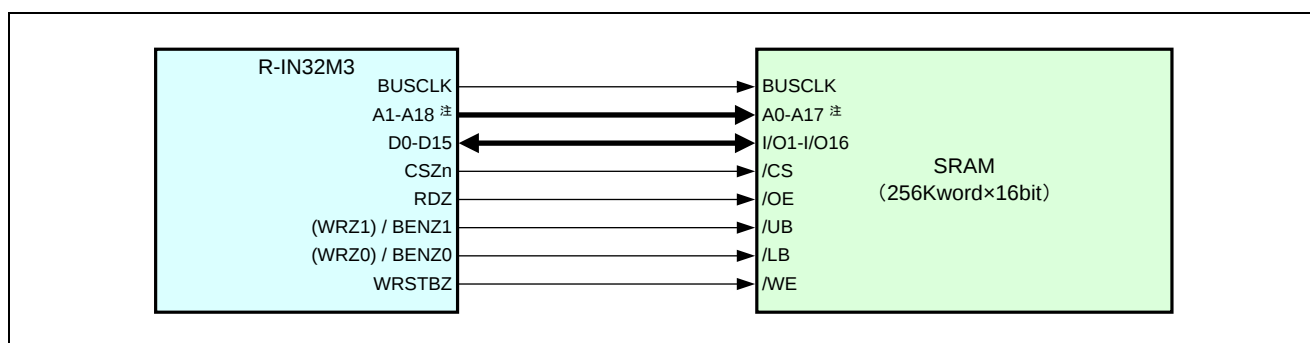


図11.12 16ビット幅 SRAM との接続例（同期式バースト・アクセス MEMC）

備考. $n = 0 - 3$

注. 「アドレス／データ・マルチプレクス」機能が有効（ADMUXMODE 端子がハイ・レベル）のときは、アドレス・バスの接続は不要となります。

11.2.2.2 ページ ROM の接続例

ページ ROM との接続例は次のようになります。

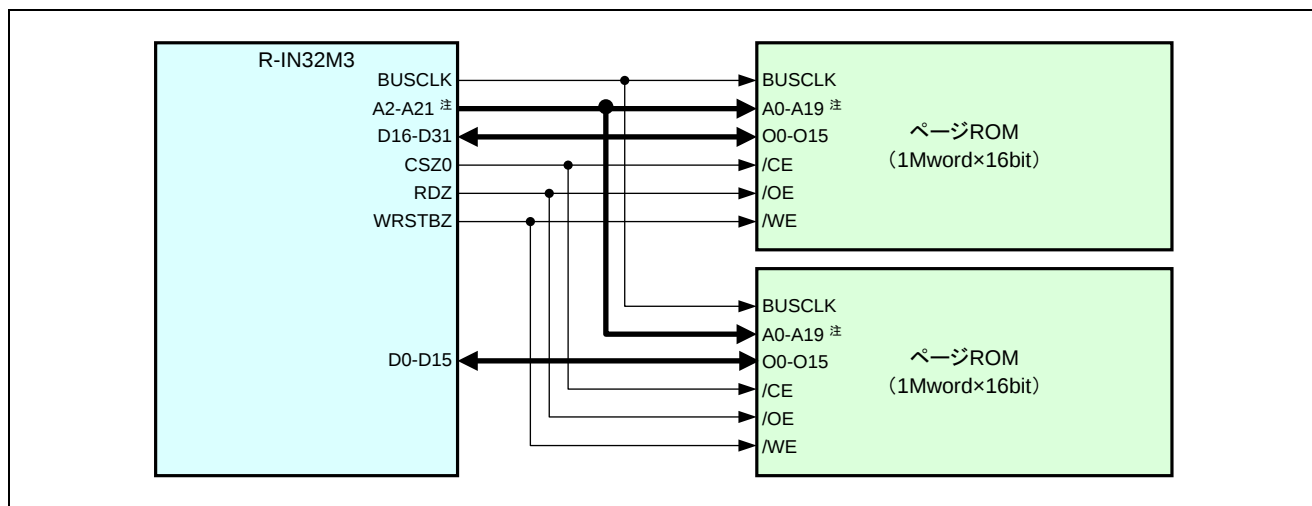


図11.13 32ビット幅ページROMとの接続例（同期式バースト・アクセス MEMC）

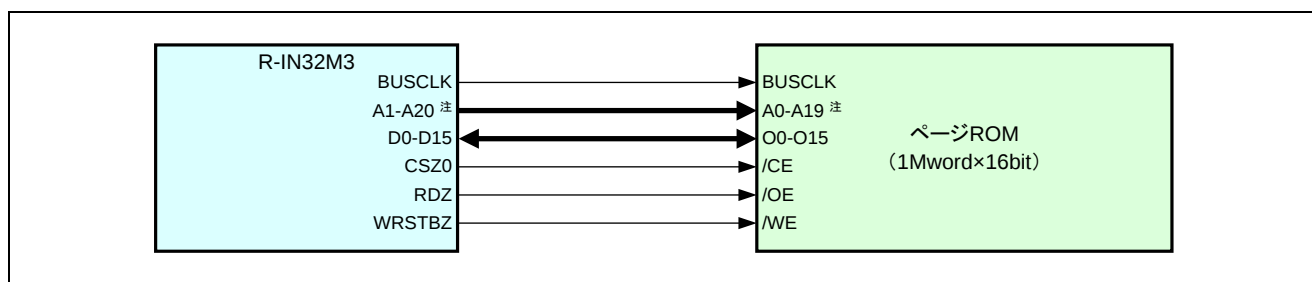


図11.14 16ビット幅ページROMとの接続例（同期式バースト・アクセス MEMC）

注意. ページROMのオンページ・モードは、CSZ0に接続した場合のみ利用できます。

注. 「アドレス／データ・マルチプレクス」機能が有効（ADMUXMODE端子がハイ・レベル）のときは、アドレス・バスの接続は不要となります。

12. シリアル・フラッシュ ROM 接続端子

SPI 互換のインタフェースに対応したシリアル・フラッシュ ROM を接続するためのメモリ・コントローラを内蔵しています。

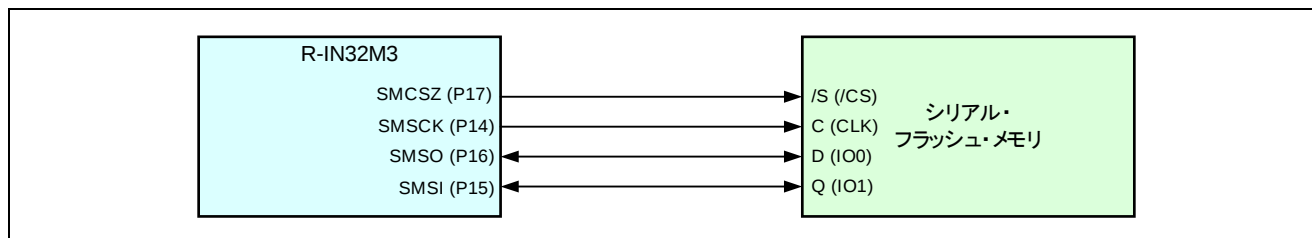


図12.1 シリアル・フラッシュ ROM との接続図★

13. アシクロナス・シリアル・インタフェース J 接続端子

R-IN32M3 とアシクロナス・シリアル・インタフェース J (UARTJn) デバイスとの接続例を図13.1に示します。

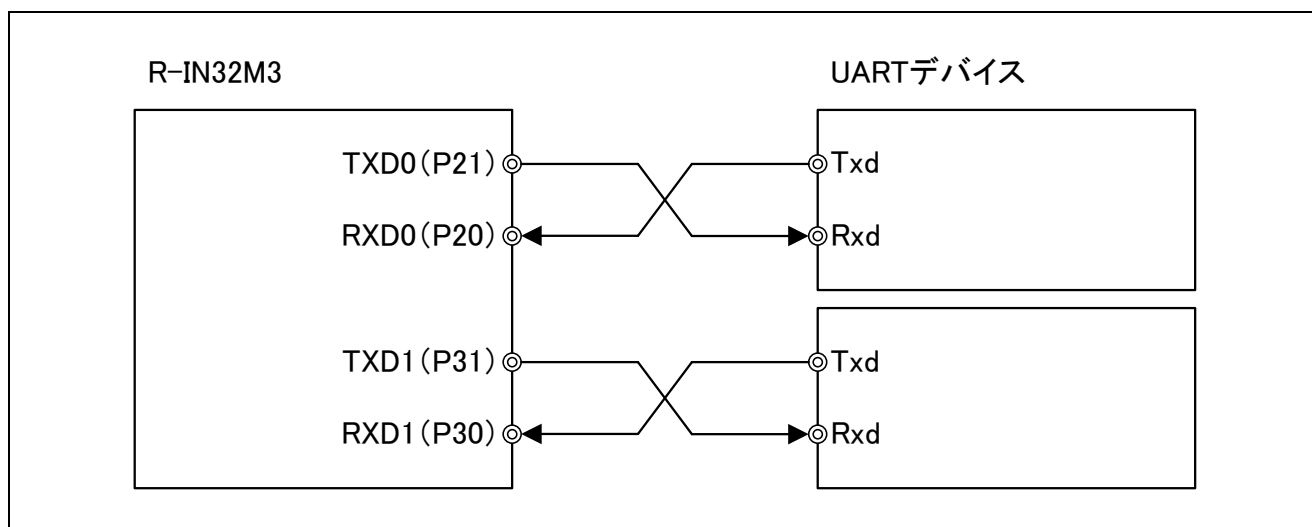


図13.1 R-IN32M3 と UART デバイスとの接続例

14. I²C 接続端子

R-IN32M3 と I²C スレーブデバイスとの接続例を図14.1に示します。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力が N-ch オープン・ドレインのため、外部にプルアップ抵抗が必要になります。

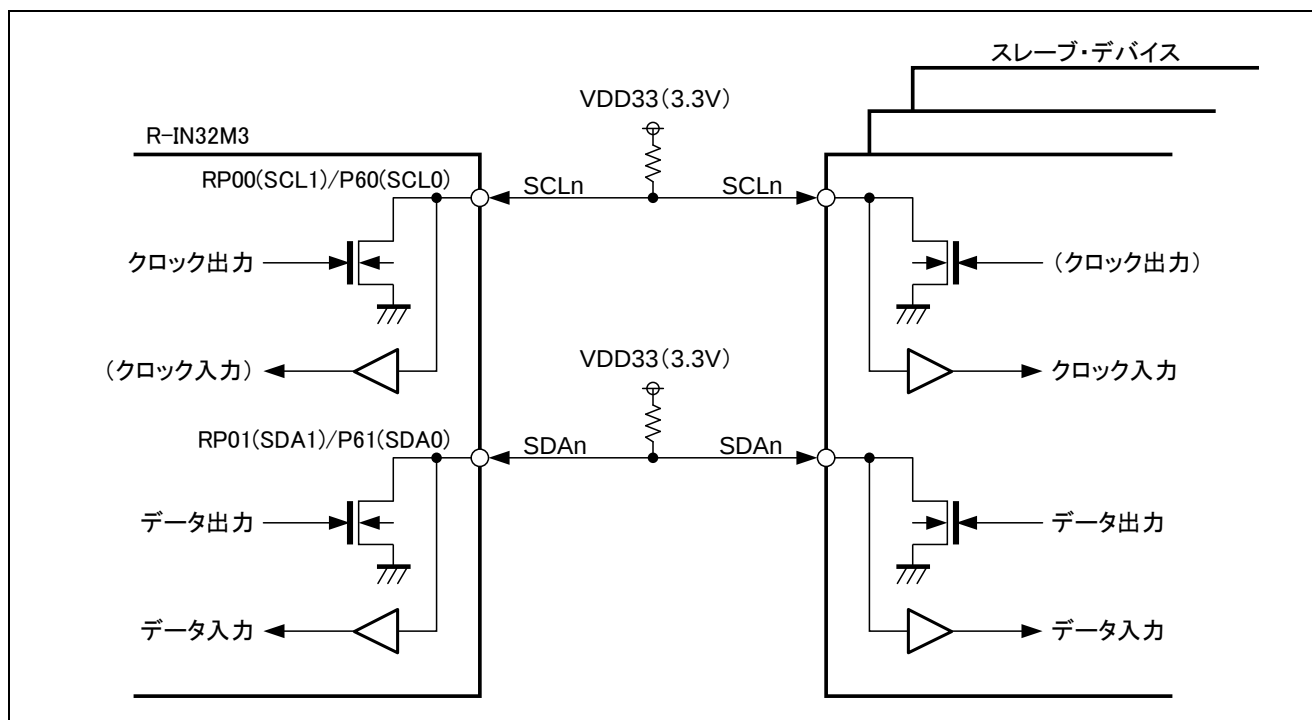


図14.1 R-IN32M3 と I²C スレーブデバイスとの接続例

15. EtherCAT EEPROM I²C 接続端子 (R-IN32M3-EC のみ)

EtherCAT®プロトコル使用時には、専用の EEPROM I²C 接続端子を使って、外部 EEPROM と接続する必要があります。

EEPROM I²C 接続端子は、下記の 2 本です。

- CATI2CCLK 端子 (P22 と兼用) : EtherCAT EEPROM I²C クロック出力
- CATI2CDATA 端子 (P23 と兼用) : EtherCAT EEPROM I²C データ

R-IN32M3-EC と EEPROM との接続例を図15.1に示します。

シリアル・クロック・ラインおよびシリアル・データ・ラインは、出力が N-ch オープン・ドレインのため、外部にプルアップ抵抗が必要になります。

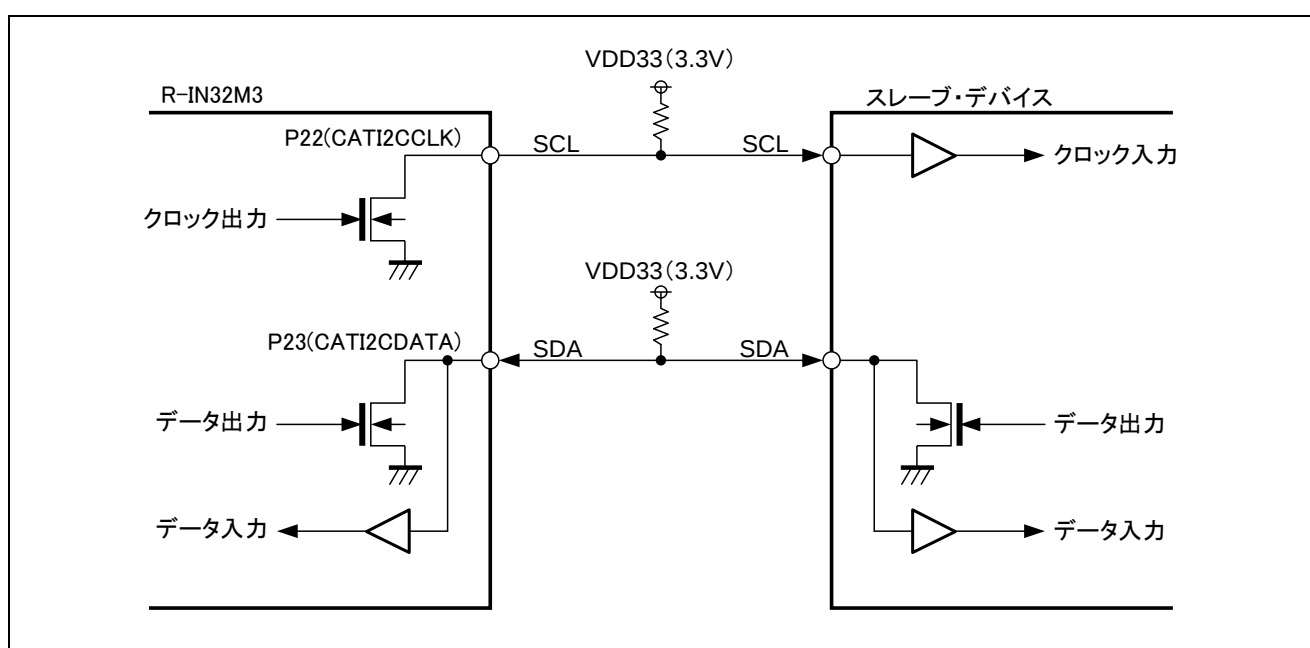


図15.1 R-IN32M3-EC と EtherCAT EEPROM との接続例

16. CAN 端子

R-IN32M3 と CAN トランシーバとの接続例を図16.1に示します。
CAN バスと接続するには、CAN トランシーバが必要になります。

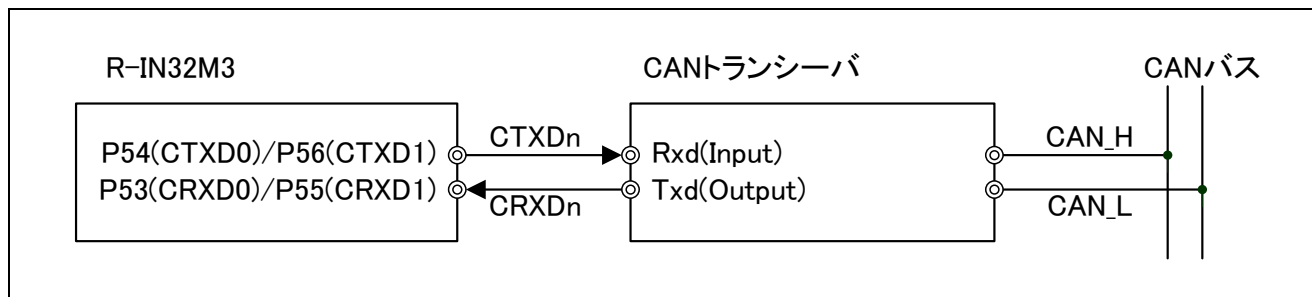


図16.1 R-IN32M3 と CAN トランシーバとの接続例

備考. n = 0 - 1

17. CSIH 端子★

R-IN32M3 と CSI マスタおよび CSI スレーブを接続する際の接続例です。

17.1 マスタ 1、スレーブ 1 の場合

1 つのマスタと 1 つのスレーブの間の接続例を示します。

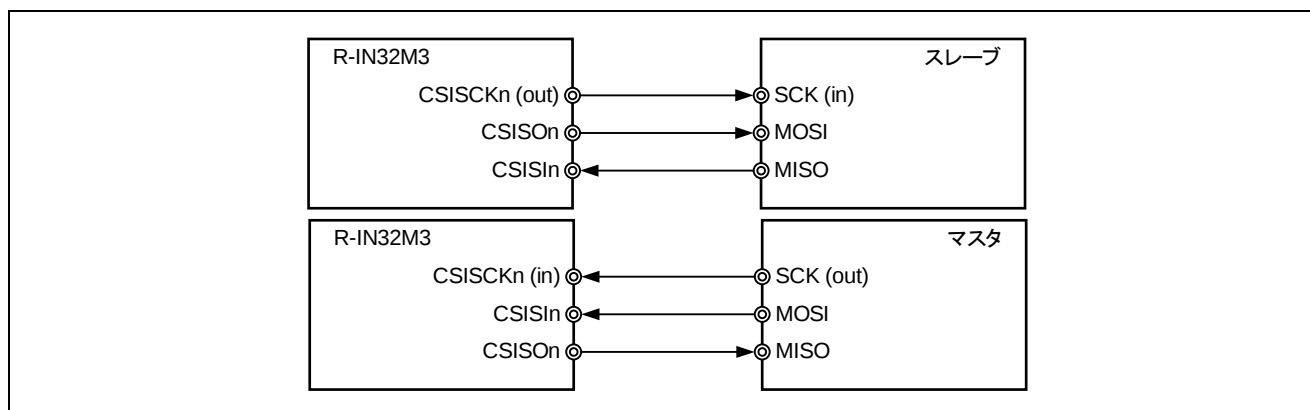


図17.1 マスタ／スレーブ間の直接の接続

備考 n = 0, 1

17.2 マスタ 1、スレーブ 2 の場合

R-IN32M3 をマスタとした 2 つのスレーブとの接続を示します。

この例では、R-IN32M3 が各スレーブに 1 つずつチップ・セレクト（CS）信号を供給し、スレーブ・デバイスのスレーブ選択入力 (SSI) へ接続しています。

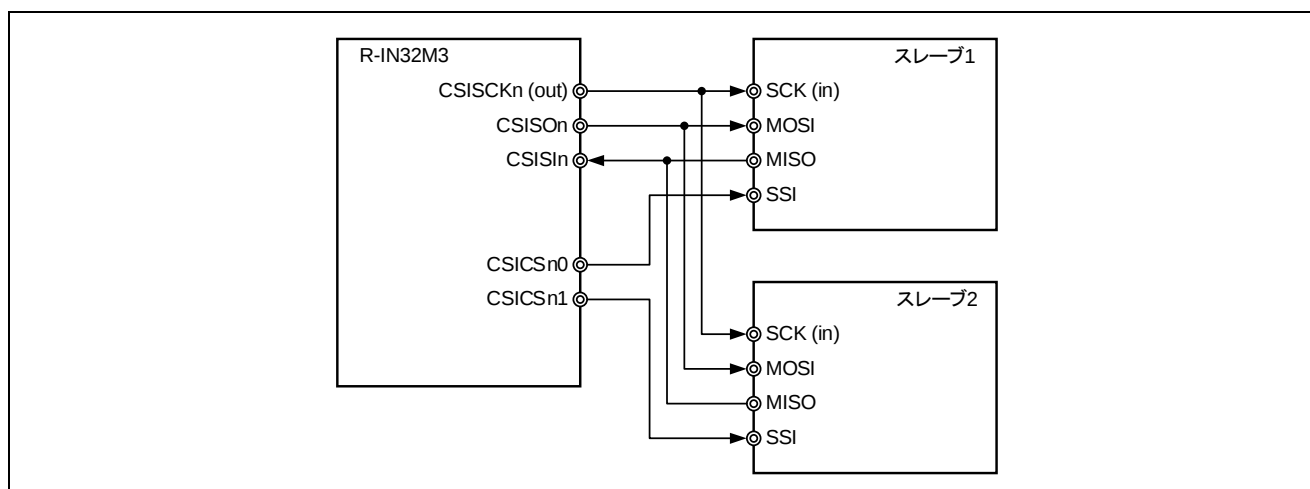


図17.2 マスタ／スレーブ間の直接の接続

備考 n = 0, 1

18. JTAG/トレース端子

ICE (In Circuit Emulator) のコネクタとの接続例を示します。

標準コネクタである 20pin ハーフピッチコネクタおよび 20pin フルピッチコネクタの接続例を示します。

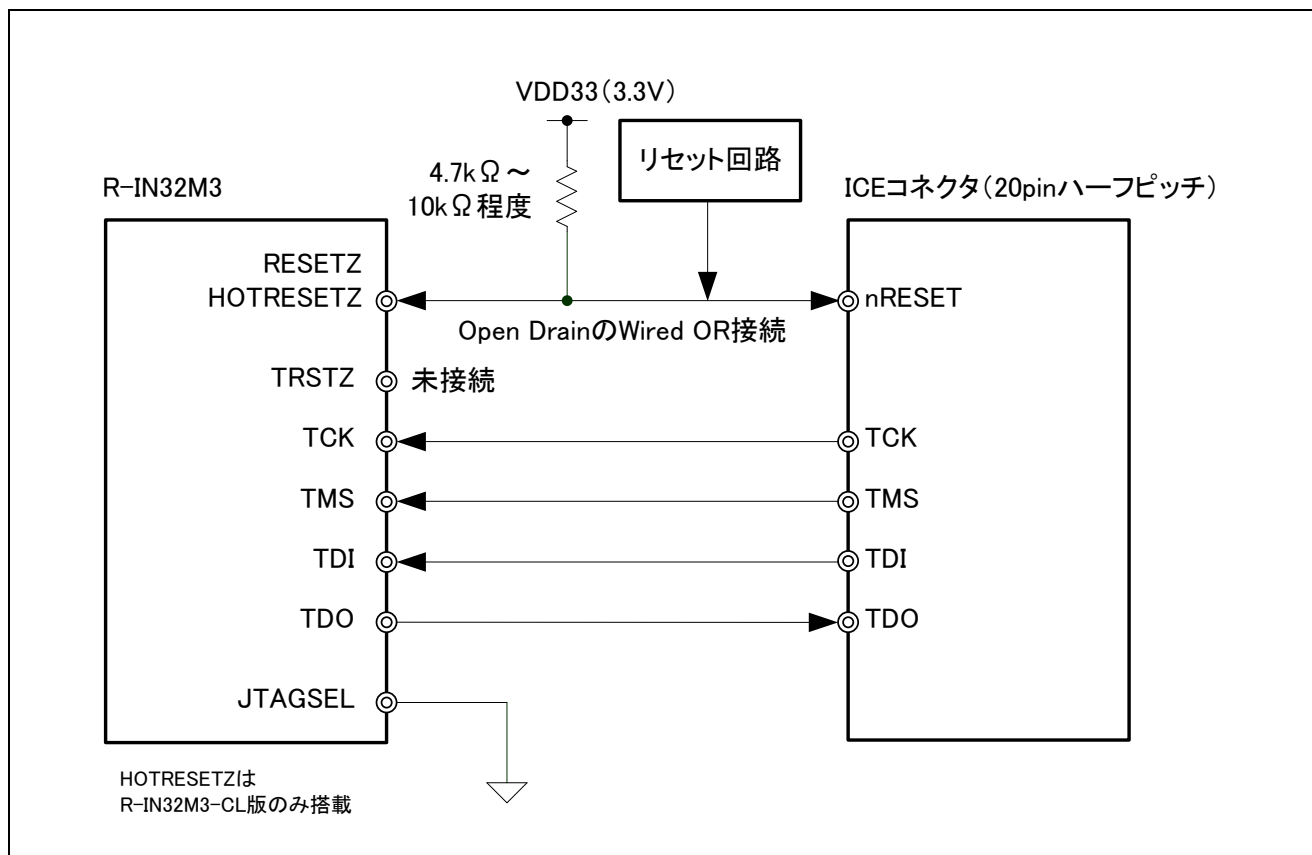


図18.1 JTAG インタフェース接続例 (20pin ハーフピッチ、トレースなし)

nRESET 信号は、RESETZ に繋いでいれば HOTRESETZ への入力は不要です。

RESETZ は LSI 全体をリセットしますが、HOTRESETZ のみの場合には内部 PLL はリセットされません。用途に合わせてお使い下さい。

また、nRESET 信号を PONRZ 信号には接続しないようにしてください。

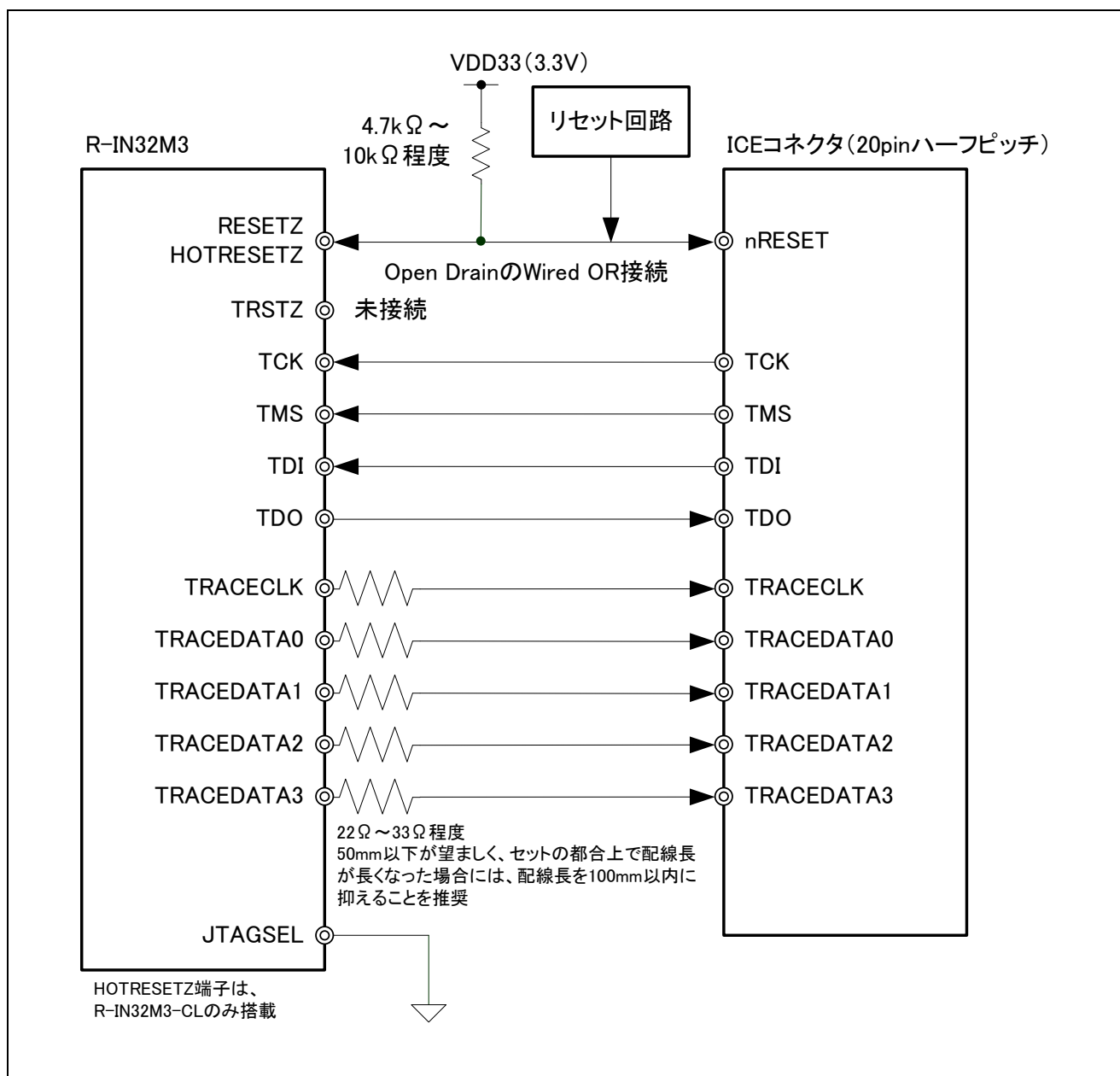


図18.2 JTAG インタフェース接続例 (20pin ハーフピッチ、トレースあり)

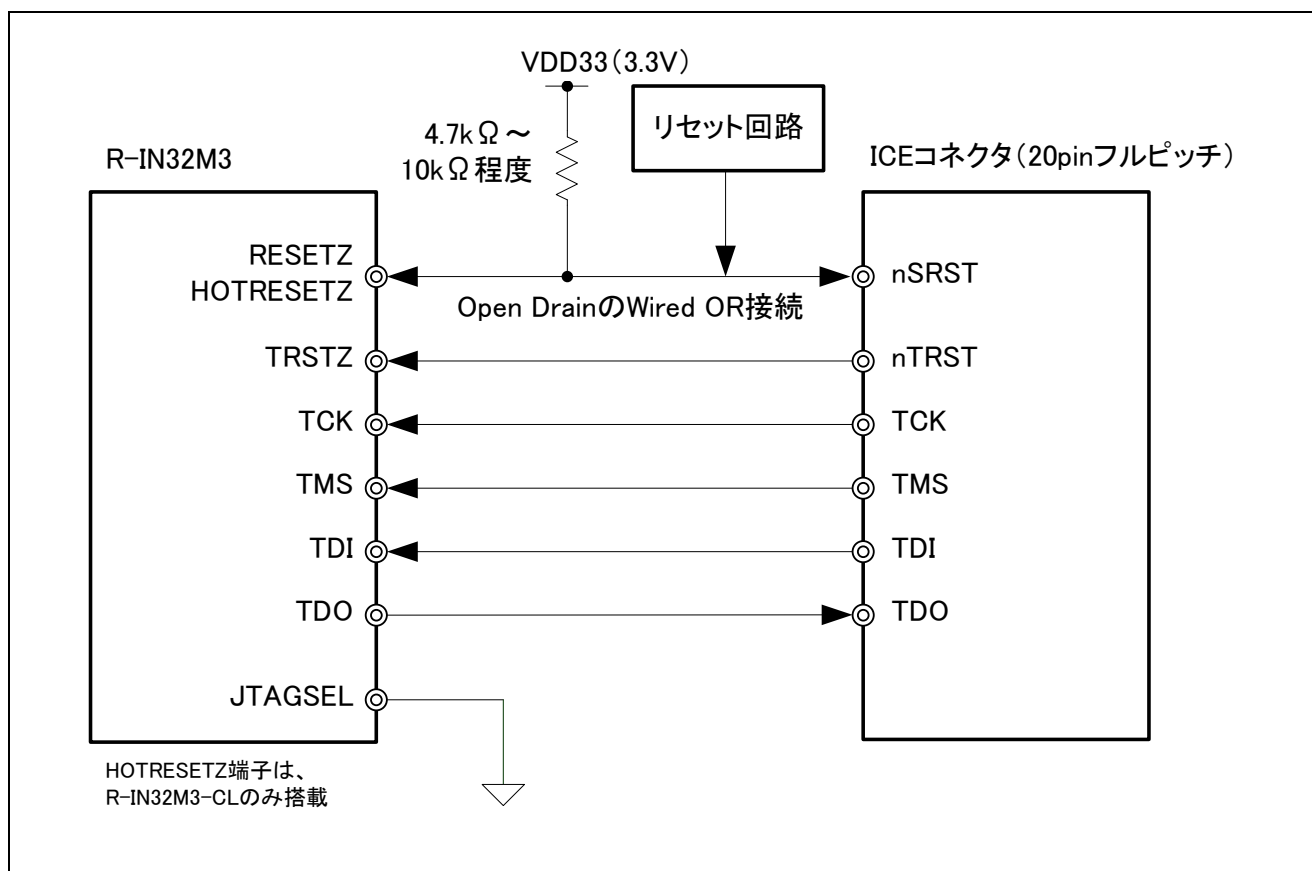


図18.3 JTAG インタフェース接続例 (20pin フルピッチ)

19. 実装条件

R-IN32M3 の実装条件を以下に示します。

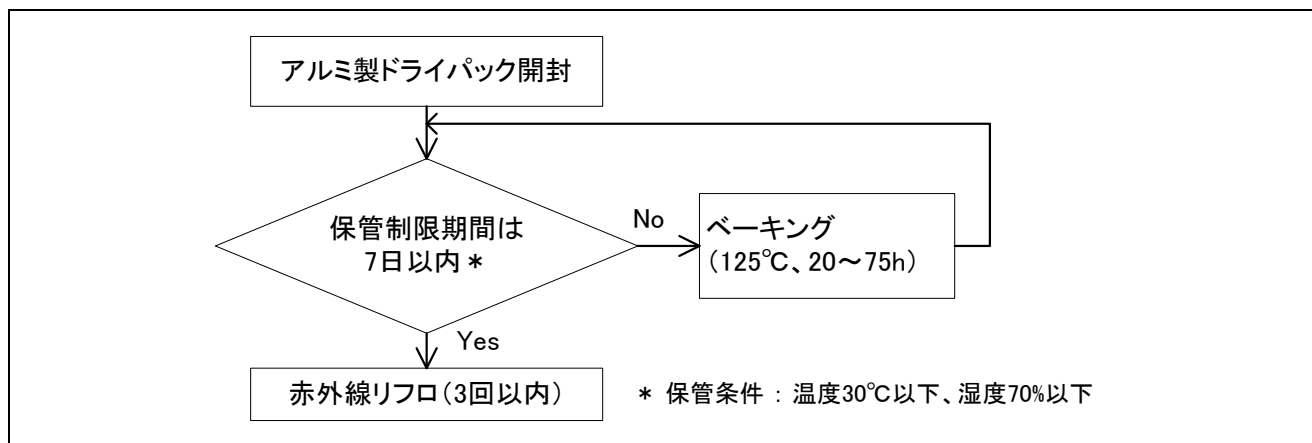


図19.1 実装フロー

- | | |
|--------------------------|-----------|
| ・ 最高温度（パッケージ表面温度） | : 260℃以下 |
| ・ 最高温度の時間 | : 10s 以内 |
| ・ 220℃以上の時間 | : 60s 以内 |
| ・ プリヒート温度（160～180℃）の時間 | : 60～120s |
| ・ 最多リフロ回数 | : 3 回 |
| ・ ロジン系フラックスの塩素含有量（質量百分率） | : 0.2%以下 |
| ・ ドライパック開封後の保管制限期間 | : 7 日以内 |

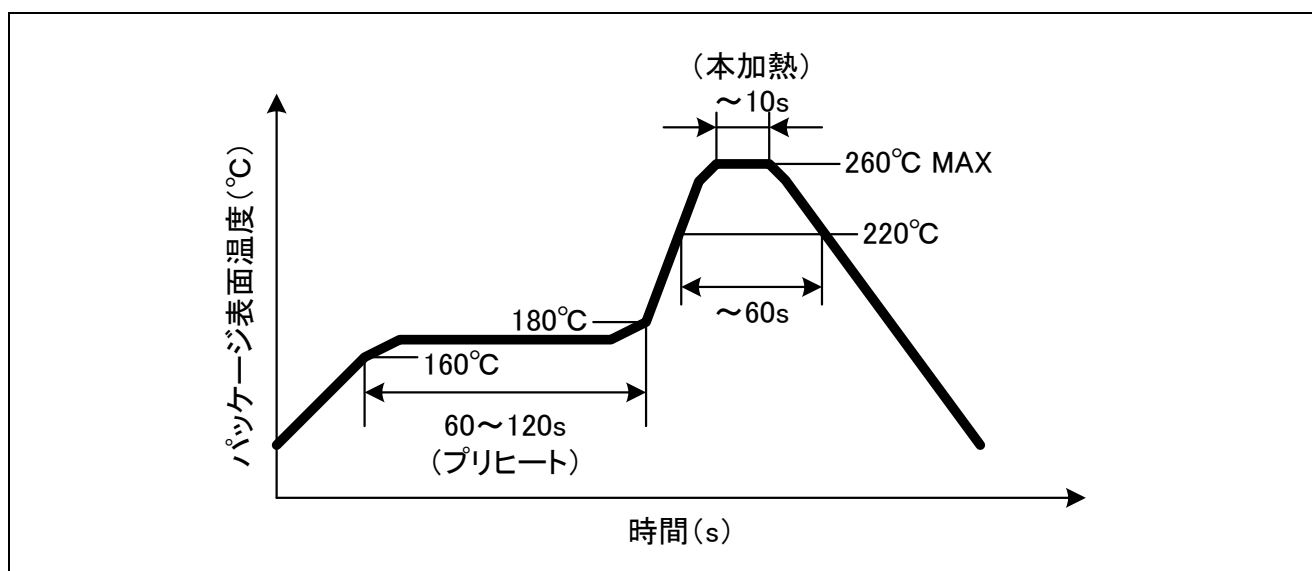


図19.2 赤外線リフロ温度プロファイル

20. パッケージ情報

パッケージ情報を図20.1に示します。

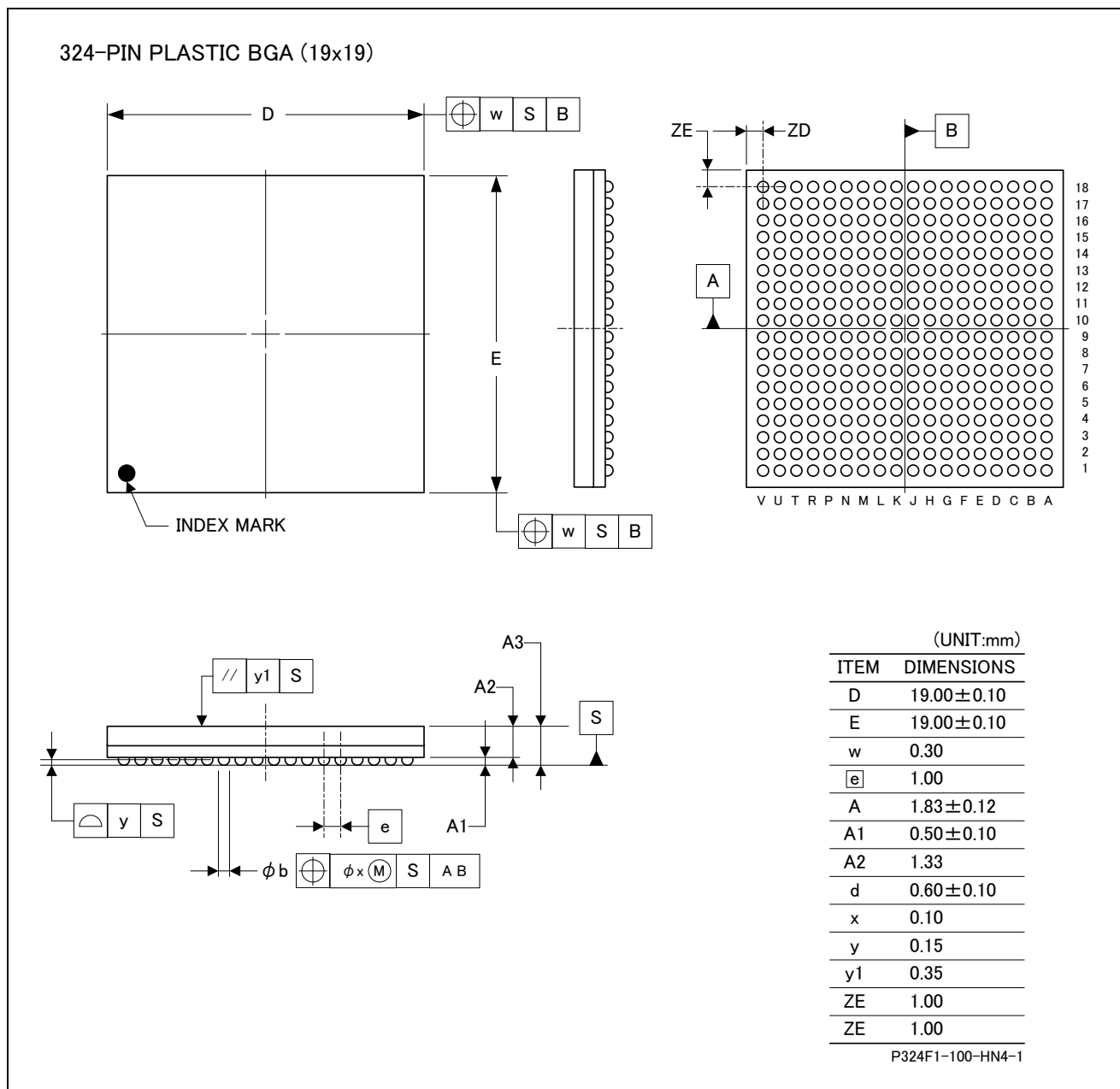


図20.1 パッケージ情報

21. マウントパッド情報

マウントパッド情報を図21.1に示します。

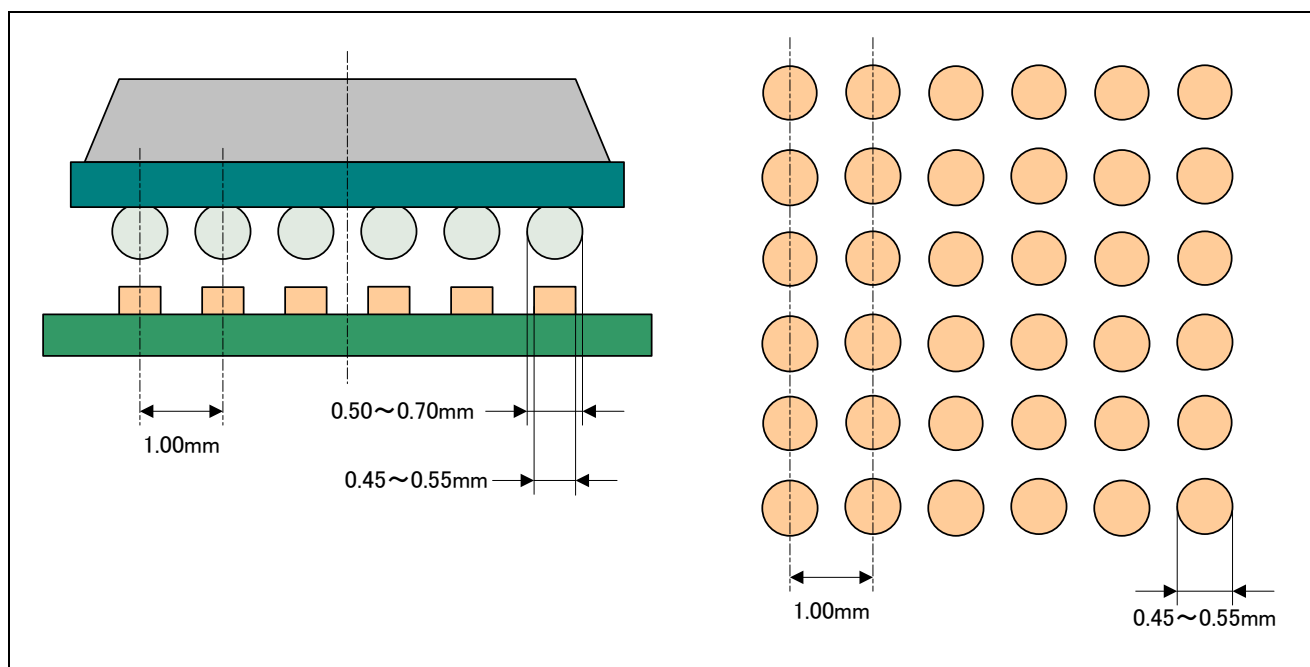


図21.1 マウントパッド寸法

22. BSCAN 情報

R-IN32M3 では、BSDL ファイルを用意しています。

注意. Pull-up/Pull-down 無しの入力端子へ接続する対向のデバイスは、ボード上でクランプまたは対向デバイスで論理を確定してください。
3st 端子で Hi-Z 状態になるとフローティング電流が流れる可能性があります。

22.1 BSCAN の動作条件

下記の端子のレベルを固定してください。

- JTAGSEL : ハイ・レベルに固定
- TMODE0 : ロー・レベルに固定
- TMODE1 : ロー・レベルに固定
- TMODE2 : ロー・レベルに固定

22.2 TCK の最大動作周波数

TCK の最大動作周波数は 10MHz です。

22.3 IDCODE について

IDCODE は下記のようになっています。

(1) R-IN32M3-CL

IDCODE 0x081A3447	
<内約>	
バージョン	0000
パーツ番号	1000000110100011
製造者番号 : ルネサスエレクトロニクス	01000100011
固定コード	1

(2) R-IN32M3-EC

IDCODE 0x081A4447	
<内約>	
バージョン	0000
パーツ番号	1000000110100100
製造者番号 : ルネサスエレクトロニクス	01000100011
固定コード	1

22.4 BSCAN 非対応端子

下記の端子は BSCAN に非対応です。

表22.1 BSCAN 非対応端子一覧★

R-IN32M3-CL	R-IN32M3-EC
XT1	XT1
XT2	XT2
PONRZ	PONRZ
JTAGSEL	JTAGSEL
TMODE0	TMODE0
TMODE1	TMODE1
TMODE2	TMODE2
TMS	TMS
TDI	TDI
TDO	TDO
TRSTZ	TRSTZ
TCK	TCK
TMC1	TMC1
TMC2	TMC2
	P0_RX_P
	P0_RX_N
	P1_RX_P
	P1_RX_N
	P0_TX_P
	P0_TX_N
	P1_TX_P
	P1_TX_N
	TEST1
	TEST2
	TEST3
	ATP
	LX
	EXTRES
	FB
	P0_SD_N
	P1_SD_N

22.5 BSDL の入手方法

BSDL ファイルの入手につきましては、販売代理店までご相談ください。

22.6 BSDL 使用時の注意事項★

BSDL ファイルの使用時、BSDL 上に使用していない Control セルが存在していることにより以下のエラーが発生する場合があります。該当のエラーが発生した場合は、疑似エラーとして扱ってください。

エラーログ<一部抜粋>：

Error, Line 1112, Control cell 236 does not enable any driver.

Error, Line 1112, Control cell 238 does not enable any driver.

Error, Line 1112, Control cell 240 does not enable any driver.

Error, Line 1112, Control cell 242 does not enable any driver.

Error, Line 1112, Control cell 244 does not enable any driver.

Error, Line 1112, Control cell 246 does not enable any driver.

23. IBIS 情報

IBIS 情報は、以下のウェブサイトより入手してください。

<https://www.renesas.com/products/factory-automation/multi-protocol-communication.html>

24. 捺印情報

24.1 R-IN32M3-EC

品名 : MC-10287BF1-HN4-A、MC-10287BF1-HN4-M1-A

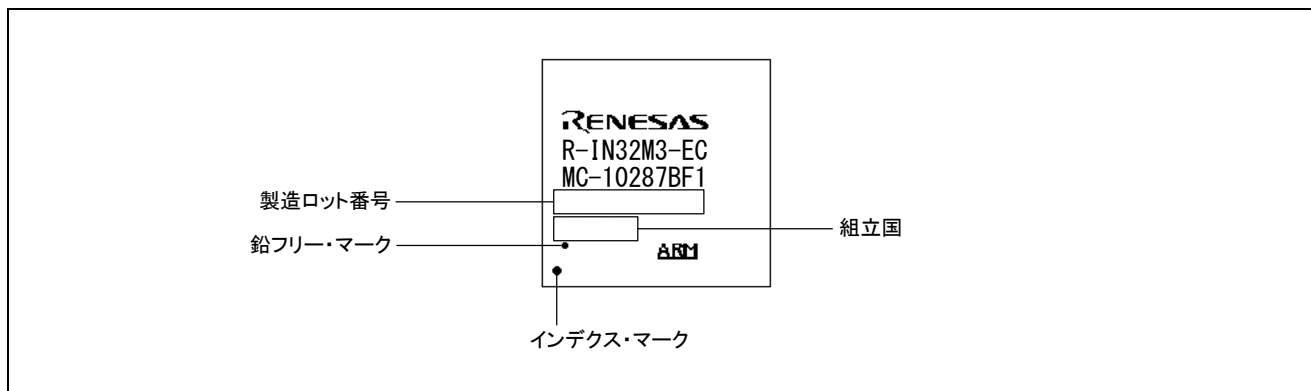


図24.1 R-IN32M3-EC 捺印情報

24.2 R-IN32M3-CL

品名 : UPD60510BF1-HN4-A、UPD60510BF1-HN4-M1-A

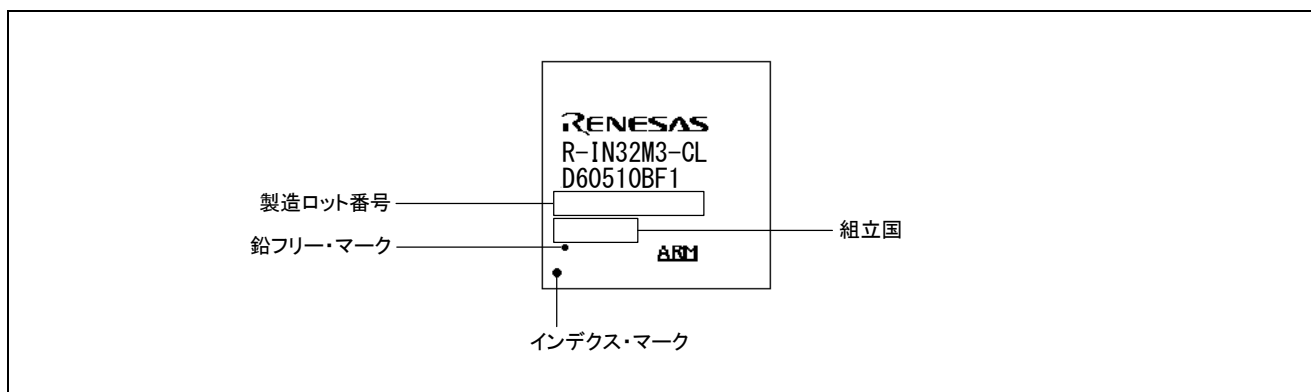


図24.2 R-IN32M3-CL 捺印情報

25. 熱設計★

本章では、R-IN32M3 の熱特性について記載するとともに、実装基板を設計する上での放熱対策や異常発熱を起こさないための注意事項について記載します。特に R-IN32M3-EC は、Ethernet PHY、大容量内蔵メモリ、レギュレータを搭載しているため、熱への配慮がより必要となります。

放熱を考慮した基板設計及び筐体設計をお願いします。

25.1 放熱対策の要否の判定

25.1.1 T_j の見積もり

R-IN32M3 の T_j の基準として、 $T_j \leq 110^{\circ}\text{C}$ を満たしてください。T_j は以下の式で見積もります。

$$T_j = T_t + \Psi_{jt} \times \text{Power} \quad \text{あるいは} \quad T_j = T_a + \theta_{ja} \times \text{Power}$$

T_j : ジャンクション温度 [°C]

T_t : パッケージ表面温度 [°C]

T_a : 周囲温度 [°C]

θ_{ja} : ジャンクション温度 (T_j) と周囲温度 (T_a) 間の熱抵抗値 [°C/W]
(「25.1.3 JEDEC条件での熱抵抗値 (θ_{ja}、Ψ_{jt})」参照)

Ψ_{jt} : ジャンクション温度 (T_j) とパッケージ表面温度 (T_t) 間の熱抵抗値 [°C/W]
(「25.1.3 JEDEC条件での熱抵抗値 (θ_{ja}、Ψ_{jt})」参照)

Power : 消費電力 [W]

(1.0V系+3.3V系、内蔵レギュレータ未使用時は、1.5V系も追加)

T_j ≤ 110°Cを満たせる環境であれば、半導体デバイスとしての放熱対策は不要です。ただし、半導体デバイスが実装される装置毎に温度上昇の判定基準がある場合は、必要に応じて放熱対策を実施してください。

T_j ≤ 110°Cを満たせない場合は、放熱対策が必要です。

25.1.2 消費電力の見積もり

3.3V は「R-IN32M3 シリーズ データシート」記載の電流で見積もってください。

1.0V は温度依存性が大きいいため、使用温度に応じて以下の式で見積もります。

$$\text{Power (1.0V系)} = 140 + 103 \times e^{(0.0179 \times T_j)} \text{ [mW]}$$

「25.1.4 T_jおよび1V電源の消費電力の見積もり結果」に特定条件での見積もり結果を示します。

25.1.3 JEDEC 条件での熱抵抗値 (θ_{ja} 、 Ψ_{jt})

JEDEC-2S2P 条件での熱抵抗値は下記の通りです。

ただし、実装基板、筐体、周辺部品などによって熱抵抗値は変動するため注意してください。

	θ_{ja} [°C/W]	Ψ_{jt} [°C/W]
R-IN32M3-EC	16.3	0.10
R-IN32M3-CL	14.9	0.12

25.1.4 T_j および 1V 電源の消費電力の見積もり結果

θ_{ja} と T_a を幾つか変化させたときの T_j と 1V 電源の消費電力の計算結果を示します。

(1) R-IN32M3-EC

θ_{ja} [°C/W] T_a [°C]	T_j [°C]				1V電源消費電力 [mW]			
	16.3 (JEDEC)	20	25	30	16.3 (JEDEC)	20	25	30
- 40	- 25.9	- 22.6	- 18.1	- 13.6	205	209	214	221
- 35	- 20.8	- 17.5	- 13.0	- 8.3	211	215	222	229
- 30	- 15.7	- 12.3	- 7.8	- 3.1	218	223	230	238
- 25	- 10.6	- 7.2	- 2.5	2.2	225	231	238	247
- 20	- 5.4	- 2.0	2.7	7.5	233	239	248	258
- 15	- 0.3	3.2	8.0	12.9	243	249	259	270
- 10	4.9	8.4	13.3	18.3	252	260	271	283
- 5	10.1	13.6	18.6	23.7	263	272	284	298
0	15.3	18.9	24.0	29.2	275	284	298	314
5	20.5	24.2	29.4	34.8	289	299	314	332
10	25.7	29.5	34.8	40.4	303	315	332	352
15	31.0	34.8	40.3	46.0	319	332	352	375
20	36.3	40.2	45.9	51.8	337	352	374	400
25	41.6	45.7	51.5	57.7	357	373	399	429
30	46.9	51.1	57.2	63.7	379	397	427	462
35	52.3	56.7	62.9	69.8	403	424	458	499
40	57.8	62.3	68.8	76.1	430	454	493	542
45	63.2	67.9	74.8	82.5	460	488	533	591
50	68.8	73.7	81.0	89.3	493	525	579	649
55	74.4	79.6	87.3	96.3	530	568	631	718
60	80.1	85.5	93.8	103.8	572	616	692	801
65	85.8	91.6	100.6	NG	619	671	763	NG
70	91.7	97.9	107.7	NG	672	734	848	NG
75	97.7	104.3	NG	NG	732	807	NG	NG
80	103.8	NG	NG	NG	800	NG	NG	NG
85	110.0	NG	NG	NG	879	NG	NG	NG

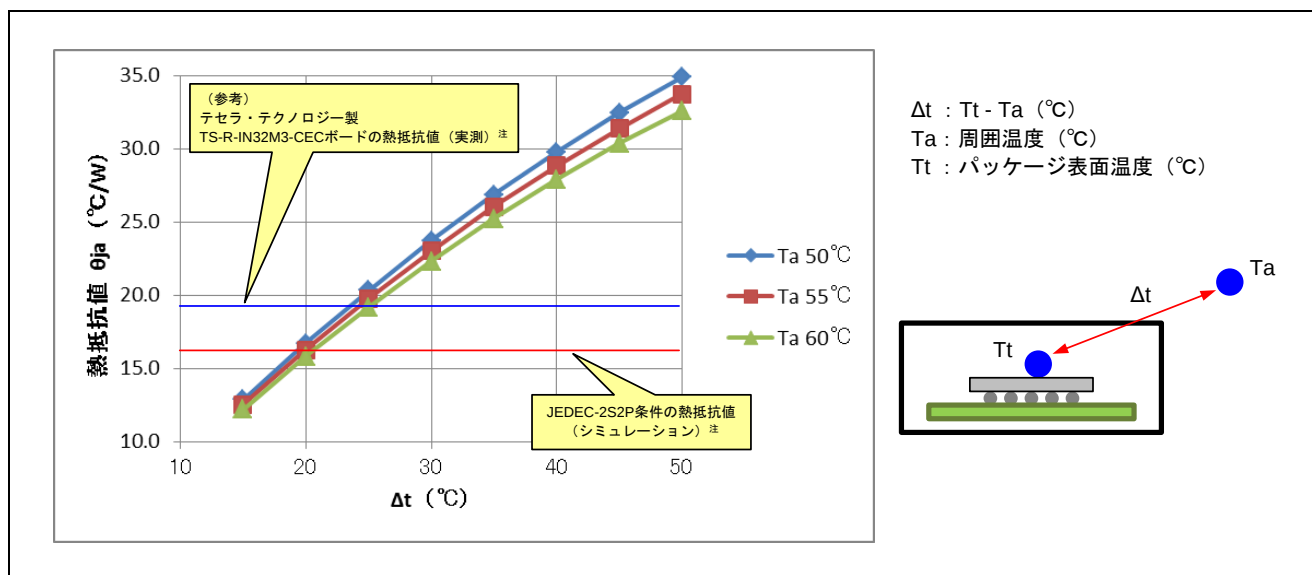
(2) R-IN32M3-CL

θ_{ja} [°C/W] Ta [°C]	Tj [°C]				1V電源消費電力 [mW]			
	14.9 (JEDEC)	20	25	30	14.9 (JEDEC)	20	25	30
- 40	-34.6	-32.8	-30.9	-29.0	195	197	199	201
- 35	-29.6	-27.6	-25.8	-23.8	201	203	205	207
- 30	-24.5	-22.5	-20.6	-18.6	207	209	211	214
- 25	-19.4	-17.4	-15.4	-13.4	213	215	218	221
- 20	-14.3	-12.2	-10.2	-8.2	220	223	226	229
- 15	-9.1	-7.1	-5.0	-2.9	227	231	234	238
- 10	-4.0	-1.9	0.2	2.4	236	240	243	248
- 5	1.1	3.3	5.5	7.7	245	249	254	258
0	6.3	8.5	10.8	13.1	255	260	265	270
5	11.4	13.7	16.1	18.5	266	272	277	283
10	16.6	19.0	21.4	23.9	279	285	291	298
15	21.8	24.3	26.8	29.4	292	299	306	314
20	27.0	29.6	32.2	34.9	307	315	323	332
25	32.3	35.0	37.7	40.5	324	333	342	353
30	37.6	40.3	43.2	46.2	342	352	363	376
35	42.9	45.8	48.8	52.0	362	374	387	401
40	48.2	51.3	54.4	57.8	384	398	413	430
45	53.5	56.8	60.2	63.8	409	425	443	463
50	58.9	62.4	66.0	70.0	436	455	476	500
55	64.4	68.1	72.0	76.3	466	488	514	543
60	69.9	73.8	78.0	82.7	500	526	556	593
65	75.5	79.7	84.3	89.5	538	569	605	651
70	81.1	85.6	90.7	96.6	580	617	662	720
75	86.8	91.7	97.3	104.1	627	672	728	803
80	92.6	98.0	104.3	NG	680	735	806	NG
85	98.5	104.5	NG	NG	741	808	NG	NG

25.1.5 周囲温度に対する温度上昇 (Δt) と熱抵抗値 θ_{ja} の関係

熱抵抗値 θ_{ja} は、搭載する実装基板、筐体、周辺部品により変動します。最終製品として温度上昇 ($\Delta t = T_t - T_a$) の基準が個別にある場合、目標の Δt に対して、それを実現するために必要な θ_{ja} の関係を以下に示しますので、実装基板の熱設計の参考にしてください。

例として、テセラ・テクノロジー製の TS-R-IN32M3-CEC ボードの熱抵抗値 (実測) も目安としてください。このボードでは、「25.2.1 実装基板設計での熱対策」に示す熱対策が行われています。



注. テセラ・テクノロジー製ボードによる実測も、JEDEC-2S2P 条件のシミュレーションも筐体に入った状態ではありません。

25.2 放熱対策例

放熱対策は、主に以下の2通りに分類されます。対策の詳細については、次頁以降に記載しています。

- (1) 実装基板設計での熱対策
 - ・実装基板設計時には必ず本対策を検討してください。
 - ・以下の対策は特に効果が高いため原則実施してください。
 - (Ⅰ) サーマルVIA
 - (Ⅱ) VDD/GNDパターン
 - (Ⅲ) 基板層数増加、表層へのGNDパターン配置
 - (Ⅳ) 配置適正化^注
- (2) デバイス周辺（筐体込）での熱対策
 - ・上記(1)の対策でも、お客様の Δt の基準もしくは $T_j = 110^\circ\text{C}$ 以下を満足できない場合はヒートシンクや放熱ジェルなど筐体含めた熱対策を検討してください。

注. 特に高温となるレギュレータの配置に注意してください。

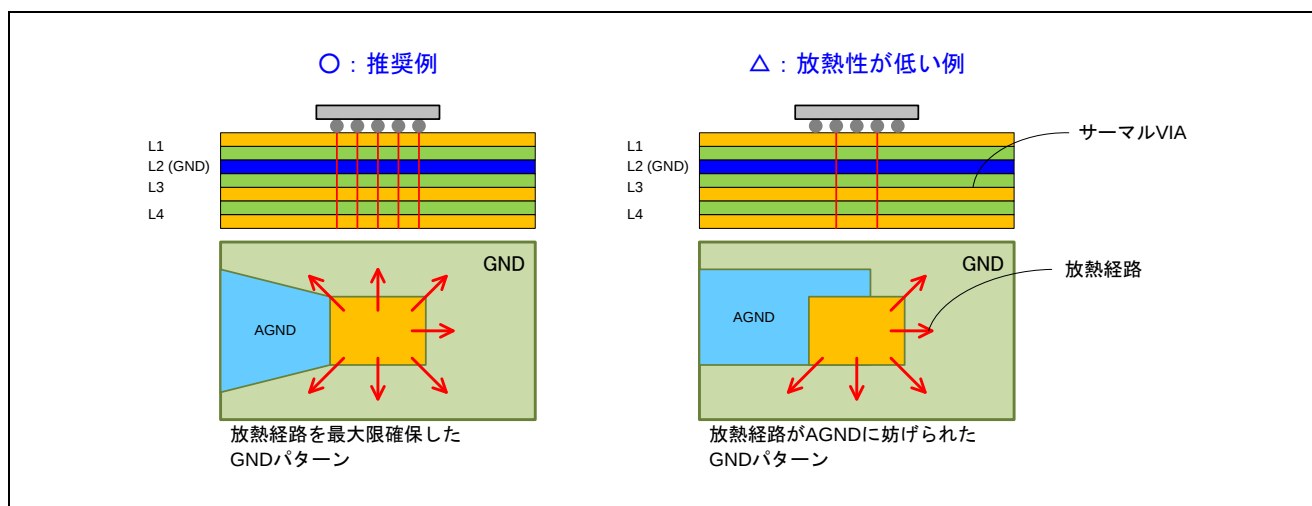
25.2.1 実装基板設計での熱対策

(1) サーマル VIA

PKG 中央の電源/GND エリアに出来るだけ多くの VIA を配置することで、z 方向への放熱経路を増やすことが出来ます。1つの電源/GND ボールにつき、1つの VIA を配置することを推奨します。

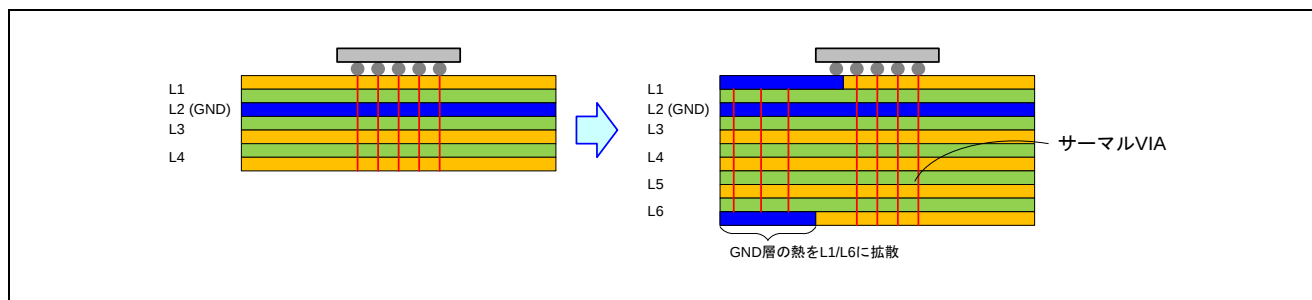
(2) 電源/GND プレーン

実装基板の電源/GND プレーンを出来るだけ大きくすることで、VIA を介して伝わる熱を各プレーンの面方向に広く拡散出来ます。放熱経路を分断するようなプレーン形状になると、放熱効果が減ってしまうため、できる限り分断しない GND パターンにしてください。GND 層は L2 を推奨します。



(3) 基板層数増加、表層への GND パターン配置

実装基板の Cu 配線層数を増やすことで放熱面積を増やすことが出来ます。さらに、表層にできるだけ GND パターンを配置し、サーマル VIA で GND パターンを接続することで放熱性が向上します。基板層数は 4 層以上を必須とし、6 層を推奨します。



(4) 配置適正化

本デバイスの近くに発熱部品がある場合、その部品から受ける熱の影響により、本デバイスの放熱性が悪化する要因となります。本デバイス周辺に他の発熱部品を配置しないでください。

注意 例えば、高い消費電力を持つレギュレータが本デバイスの近傍に配置されると、その影響を受け、本デバイスの放熱性が著しく低下します。

(5) Cu 層残銅率

実装基板全層の残銅率が上がることで、放熱経路の増加につながります。

(6) Cu 厚

実装基板全層の Cu を厚く設計すると、放熱経路の体積増加につながります。Cu 厚の薄い基板を使用してしまうと放熱効果が悪化するため、注意が必要です。電源／GND 層に関しては、35um 以上を推奨します。

25.2.2 デバイス周辺（筐体込み）での熱対策

(1) ヒートシンクの搭載

ヒートシンク搭載により放熱面積を増やすことができ、デバイス上面からの放熱をより効率的に実施することが出来ます。

(2) 筐体への熱伝導

デバイス表面に放熱ジェル等を付け、その先に筐体の金属面を接触させることで、デバイス上面への放熱性を上げることが出来ます。

(3) 筐体へのファンの設置

ファンの設置により対流熱伝導率の向上と周囲温度の低減につなげることが出来ます。

(4) 煙突効果の利用

熱は z 方向へ逃げる性質があるため、基板を立てることでデバイス上面に熱対流が発生し、デバイス上面の熱伝導率を向上させることが出来ます。

(5) 通風孔の拡大

通風孔を拡大することで、より筐体内外の熱交換が促進され、デバイス周囲温度を下げる事が出来ます。

(6) 遮断板での断熱

筐体内に大きな発熱源がある場合は、遮蔽板を使用した熱源分離が有効です。大きな熱源からの影響を遮蔽することで、本デバイスへの熱の影響を軽減することが出来ます。

25.3 注意事項

本節では、誤った設計により、異常発熱を引き起こす可能性のある箇所について記載します。

25.3.1 内蔵レギュレータ

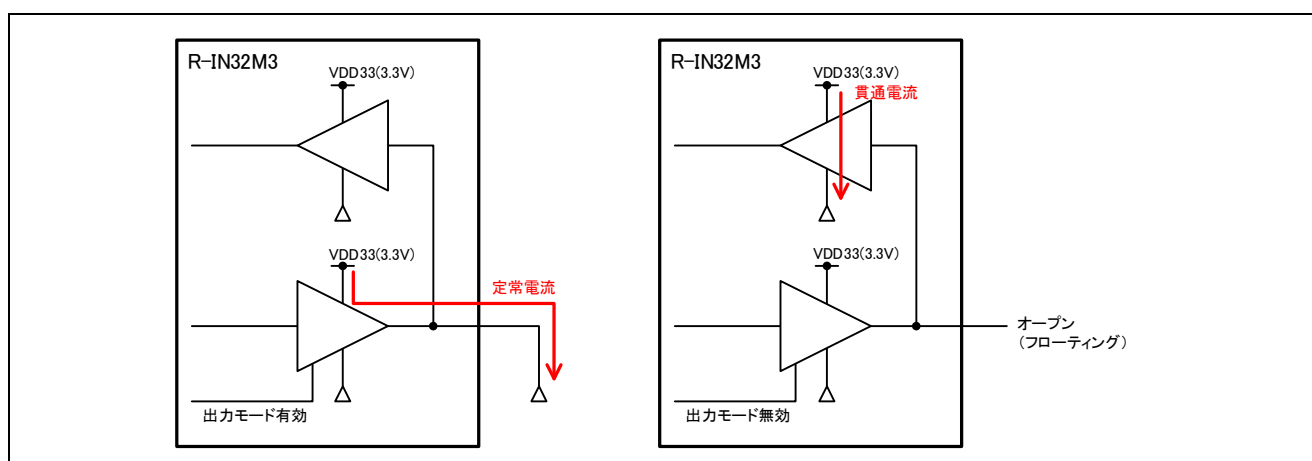
R-IN32M3-EC 内蔵の 1.5V レギュレータには外部に平滑回路が必要となります。この平滑回路が安定して動作していない場合（例：1.5V が発振する）、レギュレータの効率が落ち、定格以上の消費電流が流れる可能性があります。コンデンサの ESR が適正な値で無い場合に発生しやすいため、推奨部品以外を使用する場合は、75mΩ～300mΩ 程度の ESR のコンデンサを使用し、出力電圧が安定していることを十分に確認してください。タンタルコンデンサを使用できない場合は、C2 はセラミックコンデンサで、C1 は 100mΩ の抵抗とセラミックコンデンサの組み合わせでも対応可能です。

25.3.2 未使用時端子処置

未使用端子を基板上で GND や電源にクランプしている場合、該当端子は入力属性に固定する必要があります。これを出力属性に設定していると、クランプの極性と反対の出力状態の場合には、出力バッファに大きな定常電流が流れ続けます。

反対に未使用端子を基板上でオープンにしている場合、該当端子は出力属性かプルアップ／プルダウン抵抗を有効にした入力属性に固定する必要があります。これをプルアップ／プルダウン抵抗の無い入力属性に設定していると、端子がフローティング状態となり貫通電流が流れる可能性があります。

これらの電流は異常発熱の原因となりますので、ソフトウェアの設定を十分に確認してください。



26. ノイズ対策★

本項では、R-IN32M3 のノイズ対策について記載します。

26.1 クロック出力の停止

R-IN32M3 から出力される BUSCLK を使用していない場合、出力の停止が可能です。

「R-IN32M3 シリーズ ユーザーズ・マニュアル 周辺機能編」の「2.2.2 クロック制御レジスタ (CLKGTD0, CLKGTD1)」に記載されている、CLKGTD0 レジスタの GCBCLK ビットの制御を行ってください。

改訂記録		R-IN32M3 シリーズ ユーザーズ・マニュアル ボード設計編	
Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2013.07.26	-	初版発行
1.01	2013.12.02	10,12	TEST 端子処理を追加
		22	「9. CC-Link IE Field 使用時の注意事項」を追加
2.00	2013.12.26	14	「6.汎用ポート端子」を追加
		21	「10. 外部マイコン／メモリ・インタフェース端子」を追加
		22	「7.8.GMII 」端子 部品、回路、パターン説明追加
		23	「8.9.CC-Link 端子」の説明追加
		24	「9.10.CC-Link IE Field 使用時の注意事項」 修正
		33	「12. シリアル・フラッシュ ROM メモリ接続端子」を追加
		34	「13. アシンクロナス・シリアル・インターフェイス」接続端子」を追加
		35	「14. I ² C 接続端子」を追加
		36	「15. EtherCAT EEPROM I ² C 接続端子」を追加
		37	「16. CAN 端子」を追加
2.01	2014.02.07	38	「17. JTAG/トレース端子」 説明追加
		25	表 11.1 MEMCSEL が High かつ HIFSYNC が Low 時のモード記載を修正
		27	図 11.1, 11.2 HBCYSTZ 端子接続を削除 図 11.2 Data bus 幅を修正 図 11.1, 11.2 注 4～注 6 の記載を追加
		29	図 11.3, 11.4 HBCYSTZ 端子接続を削除 図 11.4 Data bus 幅を修正 図 11.4 Address bus 幅を修正 図 11.3, 11.4 注 4～注 6 の記載を追加
		30, 31	同期式 SRAM タイプ転送モード の記載を分離。記載追加。
2.02	2014.05.30	2	「2.1 電源投入／遮断手順」の注意事項追記
		4	「2.2 電源端子」の 機能説明内容変更
2.03	2014.09.30	11	「5.1 内蔵レギュレータ使用時」 インダクタ型名修正 VLC5028T→VLCF5028T 「5.1 内蔵レギュレータ使用時」 コンデンサ ESR 値修正 300Ω→300mΩ
		26,28,29	図 11.1～11.6 信号名訂正 BUSCLK→HBUSCLK
		39	「17.JTAG/トレース端子」 nRESET を PONRZ に接続しない注意書き追加
2.04	2014.12.25	22, 23	「9. CC-Link 端子」図 9.1 を追加
		30	「11.1.3 同期式 SRAM タイプ転送モード」図 11.5, 11.6 にて HBCYSTZ の接続追加、アドレス・バス No 変更、および HPGCSZ 接続削除。注 2、注 4、注 5 の記載を見直し。
3.00	2017.2.28	1	「1.1 本書内の端子処置およびシンボル定義」新規追加。
		7	「3.3 発振回路構成例」 図 3.2 内の端子処置および GND 表記を修正。 発振子に関する注意事項を修正。
		8	「4.1 推奨フィルタ構成」図 4.1 内の端子処置および GND 表記を修正。
		10	「5.1 内蔵レギュレータ使用時」 図 5.1 内の端子処置および GND 表記を修正。コンデンサ代替手段を追記。
		11	「5.1 内蔵レギュレータ使用時」推奨部品一覧を表 5.1 として補足。
		12	「5.2 内蔵レギュレータ未使用時」図 5.3 内の端子処置および GND 表記を修正。

Rev.	発行日	改訂内容	
		ページ	ポイント
3.00	2017.2.28	13	「6. 汎用ポート端子」別紙ユーザーズ・マニュアルの参照先を修正。
		14	「7. Ethernet PHY 端子 (R-IN32M3-EC のみ)」 章見出しに R-IN32M3-EC のみ対象であることを明記。 「7.1 Ethernet PHY 電源端子」 図 7.1 内の Rx/Tx 端子用アナログ電源の端子名および電源端子表記を修正。
		15	「7.2 100Base-TX インタフェース端子」 図 7.2 内の端子処置および GND 表記を修正。備考を図枠外に移動。
		16	「7.2 100Base-TX インタフェース端子」 図 7.3 内の端子処置および GND 表記を修正。備考を図枠外に移動。 「7.2 100Base-TX インタフェース端子」表 7.1 内の R1 - R6 に注を追加。
		19	「7.3 100Base-FX インタフェース端子 (光ファイバ)」 図 7.7 内の端子処置および GND 表記を修正。備考を図枠外に移動。
		20	「8. GMII 端子 (R-IN32M3-CL のみ)」 図 8.1 内の端子処置表記を修正。備考を図枠外に移動。
		21	「8.2 GMII 周辺 回路設計」イーサネットのポート番号表記を修正。
		23	「9. CC-Link 端子」図 9.1 内の端子処置および GND 表記を修正。CC-Link クロック端子名を修正。注 3 を追加。
		25	「11. 外部マイコン／メモリ・インタフェース端子」モード設定端子として ADMUXMODE 端子を追加。CC-Link IE Field アクセス時の注を追加。
		27	「11.1.1 非同期 SRAM インタフェース・モード」 図 11.1、図 11.2 内の端子処置表記、HBUSCLK 端子および注の配置を修正。
		28	「11.1.2 同期 SRAM インタフェース・モード」 図 11.3、図 11.4 内の HBUSCLK 端子および注の配置を修正。
		29	「11.1.3 同期式 SRAM タイプ転送モード」 図 11.5、図 11.6 内の端子処置表記、HBUSCLK 端子および注の配置を修正。
		30	「11.2 外部メモリ・インタフェース」不要な説明 (MEMIFSEL 端子) を削除。 「11.2.1 非同期 SRAM MEMC」メモリ・コントローラの呼称を統一 (非同期式 SRAM MEMC→非同期 SRAM MEMC)。
		31	「11.2.1.1 SRAM の接続例」図 11.7、図 11.8 内の備考を図枠外に移動。メモリ・コントローラの呼称を統一 (非同期式 SRAM MEMC→非同期 SRAM MEMC)。
		32	「11.2.1.2 ページ ROM の接続例」メモリ・コントローラの呼称を統一 (非同期式 SRAM MEMC→非同期 SRAM MEMC)。
		33	「11.2.2 同期式バースト・アクセス MEMC」メモリ・コントローラの呼称を統一 (非同期式 SRAM MEMC→非同期 SRAM MEMC)。
		34	「11.2.2.1 SRAM の接続例」図 11.11、図 11.12 内の備考を図枠外に移動。注の表記を修正。
		35	「11.2.2.2 ページ ROM の接続例」図 11.13、図 11.14 内の注の表記を修正。
		36	「12. シリアル・フラッシュ ROM 接続端子」 図 12.1 内の端子名にポート端子名を追記。
		37	「13. アシンクロナス・シリアル・インタフェース」接続端子」 章見出しを修正。図 13.1 内のポート端子名を修正。
		38	「14. I2C 接続端子」 図 14.1 内の端子処置表記を修正。ポート端子に I2C 端子名を追記。
		39	「15. EtherCAT EEPROM I2C 接続端子 (R-IN32M3-EC のみ)」 図 15.1 内の端子処置表記を修正。EtherCAT 端子名に兼用ポート名を追記。

Rev.	発行日	改訂内容	
		ページ	ポイント
3.00	2017.2.28	40	「16. CAN 端子」 図 16.1 内のポート端子名を修正。CAN 端子名を追記。備考を図枠外に移動。
		41	「17. JTAG/トレース端子」図 17.1 内の ICE コネクタの nRESET 端子への接続を修正。端子処置および GND 表記を修正。
		42	「17. JTAG/トレース端子」図 17.2 内の ICE コネクタの nRESET 端子への接続を修正。配線長の制約説明を修正。端子処置および GND 表記を修正。
		43	「17. JTAG/トレース端子」図 17.3 内の ICE コネクタの nSRST 端子への接続を修正。端子処置および GND 表記を修正。
		50	「22. IBIS 情報」ウェブサイトの URL を修正。
		51	「23.1 R-IN32M3-EC」 R-IN32M3-EC の品名および捺印情報を修正。 「23.2 R-IN32M3-CL」 R-IN32M3-CL の品名および捺印情報を修正。
		52-60	「24. 熱設計ガイド」新規追加。
4.00	2018.12.28	36	「12 シリアル・フラッシュ ROM 接続端子」 図 12.1 内の R-IN 端子名を修正
		41	「17 CSIH 端子」新規追加
		49	「22.4 BSCAN 非対応端子」 R-IN32M3-EC へ非対応端子を追加
		50	「22.6 BSDL 使用時の注意事項」 章を追加
		53	「25 熱設計」章題を変更
		62	「26 ノイズ対策」新規追加
		—	誤記訂正、表現訂正、他文書との記載内容統一

[メ モ]

R-IN32M3 シリーズ ユーザーズ・マニュアル:
ボード設計編

発行年月日 2013年 7月26日 Rev.1.00
2018年12月28日 Rev.4.00

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

R-IN32M3 シリーズ
ユーザーズ・マニュアル ボード設計編



ルネサス エレクトロニクス株式会社

■ 営業お問合せ窓口

<http://www.renesas.com>

営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

■ 技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<https://www.renesas.com/contact/>