

RX62N 群、RX621 群

用户手册 硬件篇

瑞萨 32 位单片机
RX 族 / RX600 系列

本资料所记载的内容，均为本资料发行时的信息，瑞萨电子对于本资料所记载的产品或者规格可能会作改动，恕不另行通知。
请通过瑞萨电子的主页确认发布的最新信息。

Notice

1. Descriptions of circuits, software and other related information in this document are provided only to illustrate the operation of semiconductor products and application examples. You are fully responsible for the incorporation of these circuits, software, and information in the design of your equipment. Renesas Electronics assumes no responsibility for any losses incurred by you or third parties arising from the use of these circuits, software, or information.
2. Renesas Electronics has used reasonable care in preparing the information included in this document, but Renesas Electronics does not warrant that such information is error free. Renesas Electronics assumes no liability whatsoever for any damages incurred by you resulting from errors in or omissions from the information included herein.
3. Renesas Electronics does not assume any liability for infringement of patents, copyrights, or other intellectual property rights of third parties by or arising from the use of Renesas Electronics products or technical information described in this document. No license, express, implied or otherwise, is granted hereby under any patents, copyrights or other intellectual property rights of Renesas Electronics or others.
4. You should not alter, modify, copy, or otherwise misappropriate any Renesas Electronics product, whether in whole or in part. Renesas Electronics assumes no responsibility for any losses incurred by you or third parties arising from such alteration, modification, copy or otherwise misappropriation of Renesas Electronics product.
5. Renesas Electronics products are classified according to the following two quality grades: "Standard" and "High Quality". The recommended applications for each Renesas Electronics product depends on the product's quality grade, as indicated below.
"Standard": Computers; office equipment; communications equipment; test and measurement equipment; audio and visual equipment; home electronic appliances; machine tools; personal electronic equipment; and industrial robots etc.
"High Quality": Transportation equipment (automobiles, trains, ships, etc.); traffic control systems; anti-disaster systems; anti-crime systems; and safety equipment etc.

Renesas Electronics products are neither intended nor authorized for use in products or systems that may pose a direct threat to human life or bodily injury (artificial life support devices or systems, surgical implantations etc.), or may cause serious property damages (nuclear reactor control systems, military equipment etc.). You must check the quality grade of each Renesas Electronics product before using it in a particular application. You may not use any Renesas Electronics product for any application for which it is not intended. Renesas Electronics shall not be in any way liable for any damages or losses incurred by you or third parties arising from the use of any Renesas Electronics product for which the product is not intended by Renesas Electronics.
6. You should use the Renesas Electronics products described in this document within the range specified by Renesas Electronics, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas Electronics shall have no liability for malfunctions or damages arising out of the use of Renesas Electronics products beyond such specified ranges.
7. Although Renesas Electronics endeavors to improve the quality and reliability of its products, semiconductor products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Further, Renesas Electronics products are not subject to radiation resistance design. Please be sure to implement safety measures to guard them against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas Electronics product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other appropriate measures. Because the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or systems manufactured by you.
8. Please contact a Renesas Electronics sales office for details as to environmental matters such as the environmental compatibility of each Renesas Electronics product. Please use Renesas Electronics products in compliance with all applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive. Renesas Electronics assumes no liability for damages or losses occurring as a result of your noncompliance with applicable laws and regulations.
9. Renesas Electronics products and technology may not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable domestic or foreign laws or regulations. You should not use Renesas Electronics products or technology described in this document for any purpose relating to military applications or use by the military, including but not limited to the development of weapons of mass destruction. When exporting the Renesas Electronics products or technology described in this document, you should comply with the applicable export control laws and regulations and follow the procedures required by such laws and regulations.
10. It is the responsibility of the buyer or distributor of Renesas Electronics products, who distributes, disposes of, or otherwise places the product with a third party, to notify such third party in advance of the contents and conditions set forth in this document, Renesas Electronics assumes no responsibility for any losses incurred by you or third parties as a result of unauthorized use of Renesas Electronics products.
11. This document may not be reproduced or duplicated in any form, in whole or in part, without prior written consent of Renesas Electronics.
12. Please contact a Renesas Electronics sales office if you have any questions regarding the information contained in this document or Renesas Electronics products, or if you have any other inquiries.

(Note 1) "Renesas Electronics" as used in this document means Renesas Electronics Corporation and also includes its majority-owned subsidiaries.

(Note 2) "Renesas Electronics product(s)" means any product developed or manufactured by or for Renesas Electronics.

产品使用时的注意事项

本文对适用于单片机所有产品的“使用时的注意事项”进行说明。有关个别的使用时的注意事项请参照正文。此外，如果在记载上有与本手册的正文有差异之处，请以正文为准。

1. 未使用的引脚的处理

【注意】将未使用的引脚按照正文的“未使用引脚的处理”进行处理。

CMOS产品的输入引脚的阻抗一般为高阻抗。如果在开路的状态下运行未使用的引脚，由于感应现象，外加LSI周围的噪声，在LSI内部产生穿透电流，有可能被误认为是输入信号而引起误动作。未使用的引脚，请按照正文的“未使用引脚的处理”中的指示进行处理。

2. 通电时的处理

【注意】通电时产品处于不定状态。

通电时，LSI内部电路处于不确定状态，寄存器的设定和各引脚的状态不定。通过外部复位引脚对产品进行复位时，从通电到复位有效之前的期间，不能保证引脚的状态。

同样，使用内部上电复位功能对产品进行复位时，从通电到达到复位产生的一定电压的期间，不能保证引脚的状态。

3. 禁止存取保留地址（保留区）

【注意】禁止存取保留地址（保留区）

在地址区域中，有被分配将来用作功能扩展的保留地址（保留区）。因为无法保证存取这些地址时的运行，所以不能对保留地址（保留区）进行存取。

4. 关于时钟

【注意】复位时，请在时钟稳定后解除复位。

在程序运行中切换时钟时，请在要切换成的时钟稳定之后进行。复位时，在通过使用外部振荡器（或者外部振荡电路）的时钟开始运行的系统中，必须在时钟充分稳定后解除复位。另外，在程序运行中，切换成使用外部振荡器（或者外部振荡电路）的时钟时，在要切换成的时钟充分稳定后再进行切换。

5. 关于产品间的差异

【注意】在变更不同型号的产品时，请对每一个产品型号进行系统评价测试。

即使是同一个群的单片机，如果产品型号不同，由于内部ROM、版本模式等不同，在电特性范围内有时特性值、动作容限、噪声耐量、噪声辐射量等不同。因此，在变更不认同型号的产品时，请对每一个型号的产品进行系统评价测试。

本手册的使用方法

1 目的和对象

本手册是一本帮助用户理解本单片机的硬件功能和电特性的手册。它以使用本手册来设计应用系统的用户为对象。在使用本手册时，需要具备电路、逻辑电路以及单片机的基础知识。

本手册由产品概要、CPU、系统控制功能、外围功能、电特性、使用时的注意事项几大部分组成。

必须在充分确认注意事项后使用本单片机。注意事项记录在各章的正文中、各章的最后和注意事项章节中。

修订记录归纳了对旧版本记载内容的更正或追加的主要位置。并不是修订内容的全部记载。详情请确认本手册的正文。

RX62N 群和 RX621 群准备了以下的文献。请使用最新的文献。最新版本刊登在瑞萨电子的主页上。

文献的种类	记载内容	资料名	资料号
Shortsheet	硬件的概要	—	—
数据表	硬件的概要和电特性	RX62N/RX621 Group Datasheet	R01DS0052EJ
硬件手册	硬件的说明（引脚配置、存储器映像、外围功能的说明、电特性、时序）和工作说明 * 外围功能的使用方法必须参照应用注意事项。	RX62N 群、RX621 群 用户手册 硬件篇	本用户手册
软件手册	CPU 指令集的说明	RX 族 用户手册 软件篇	R01US0028CJ0100
应用注意事项	外围功能的使用方法、应用例子 参考程序 应用汇编语言、C 语言编成方法	刊登在瑞萨电子的主页上	
RENESAS TECHNICAL UPDATE	相关产品说明、文献等的快速公告		

2 寄存器的表示

在各章的“寄存器说明”中，有位的排列图和功能表，说明位的设定内容。以下说明所使用的符号和术语。

X.X.X 寄存器

地址 xxxx xxxxxh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—

复位后的值 x 0 0 0 0 0 0 0

位	符号	位名	功能	R/W
b00 位 (注2)	0: (注3) 1: 不能设定。	R/W (注1)
b3-b1	—	保留位	读写值都为“0”。	R/W
b44 位	0: 1:	R
b6-b5[1:0] 位	0 0: 0 1: (注3) 上述以外: 不能设定。	R(W) (注1)
b7	—	保留位	读取值为不定值, 写无效。	R

- 注1. R/W : 可读写。
 R(W) : 可读写, 但是有写数据的限制。
 限制内容请参照各寄存器的说明和注释。
 R : 可写, 写数据无效。
- 注2. 保留位。只能写指定值, 如果写的值不是指定的值, 就不保证运行。
- 注3. 不能设定。如果设定, 就不保证运行。

3 省略语及简称的说明

省略 / 简称	全称	备注
ACIA	Asynchronous Communication Interface Adapter	异步通信接口适配器
bps	bits per second	位 / 秒; 每秒传送位数
CRC	Cyclic Redundancy Check	循环冗余校验
DMA	Direct Memory Access	直接存储器存取
DMAC	Direct Memory Access Controller	DMA 控制器
GSM	Global System for Mobile Communications	全球数字移动电话系统
Hi-Z	High Impedance	高阻抗
IEBus	Inter Equipment bus	—
I/O	Input/Output	输入 / 输出
IrDA	Infrared Data Association	红外线数据协会
LSB	Least Significant Bit	最低有效位
MSB	Most Significant Bit	最高有效位
NC	Non-Connection	未连接引脚
PLL	Phase Locked Loop	锁相环路
PWM	Pulse Width Modulation	脉宽调制
SIM	Subscriber Identity Module	支持 ISO/IEC 7816 标准的接触型 IC 卡
UART	Universal Asynchronous Receiver/Transmitter	通用异步收发器
VCO	Voltage Controlled Oscillator	电压控制振荡器

所有商标及注册商标分别归属于其所有者。
本用户手册仅为参考译文，对应的日文版和英文版具有正式效力。

目 录

特点	1
1. 概要	2
1.1 规格概要	2
1.2 产品一览表	7
1.3 框图	9
1.4 引脚排列图	10
1.5 引脚功能	40
2. CPU	46
2.1 特点	46
2.2 CPU 寄存器组	47
2.2.1 通用寄存器 (R0 ~ R15)	48
2.2.2 控制寄存器	48
2.2.3 累加器 (ACC)	53
2.3 处理器模式	54
2.3.1 管理模式	54
2.3.2 用户模式	54
2.3.3 特权指令	54
2.3.4 处理器模式之间的转移	54
2.4 数据类型	55
2.4.1 整数	55
2.4.2 浮点数	55
2.4.3 位	56
2.4.4 字符串	56
2.5 字节序	57
2.5.1 字节序的设定	57
2.5.2 I/O 寄存器的存取	60
2.5.3 存取 I/O 寄存器时的注意事项	60
2.5.4 数据排列	61
2.5.5 分配指令码的注意事项	61
2.6 向量表	62
2.6.1 固定向量表	62
2.6.2 可向量表	63
2.7 指令操作	63
2.7.1 RMPA 指令和字符串操作指令的数据预取	63
2.8 流水线	64
2.8.1 概要	64
2.8.2 指令和流水线处理	65
2.8.3 指令处理时间的计算方法	72
2.8.4 中断响应周期数	72
3. 运行模式	73
3.1 运行模式的种类和选择	73
3.2 寄存器说明	74
3.2.1 模式监视寄存器 (MDMONR)	74
3.2.2 模式状态寄存器 (MDSR)	75
3.2.3 系统控制寄存器 0 (SYSCR0)	76
3.2.4 系统控制寄存器 1 (SYSCR1)	77
3.3 运行模式的说明	78

3.3.1	单芯片模式	78
3.3.2	内部 ROM 有效扩展模式	78
3.3.3	内部 ROM 无效扩展模式	78
3.3.4	引导模式	78
3.3.5	USB 引导模式	78
3.4	运行模式的转移	79
3.4.1	通过模式引脚进行运行模式的转移	79
3.4.2	通过寄存器进行运行模式的转移	80
4.	地址空间	81
4.1	地址空间	81
4.2	外部地址空间	82
5.	I/O 寄存器	83
5.1	I/O 寄存器地址一览表（地址顺序）	85
5.2	I/O 寄存器位一览表	127
6.	复位	178
6.1	概要	178
6.2	寄存器说明	181
6.2.1	复位状态寄存器（RSTSR）	181
6.2.2	复位的控制/状态寄存器（RSTCSR）	181
6.2.3	IWDWT 状态寄存器（IWDTSR）	181
6.3	运行说明	182
6.3.1	引脚复位	182
6.3.2	上电复位	182
6.3.3	电压监视复位	183
6.3.4	深度软件待机复位	183
6.3.5	独立看门狗定时器复位	183
6.3.6	看门狗定时器复位	183
6.4	复位发生源的判断	184
6.5	使用时的注意事项	184
6.5.1	设计电路板时的注意事项	184
7.	电压检测电路（LVD）	185
7.1	概要	185
7.2	寄存器说明	186
7.2.1	复位状态寄存器（RSTSR）	186
7.2.2	低电压检测控制寄存器的键码寄存器（LVDKEYR）	186
7.2.3	低电压检测控制寄存器（LVDCCR）	187
7.3	电压检测电路	189
7.3.1	电压监视复位	189
7.3.2	电压监视中断	191
7.3.3	通过电压检测电路进行深度软件待机模式的解除	193
8.	时钟发生电路	194
8.1	概要	194
8.2	寄存器说明	196
8.2.1	系统时钟控制寄存器（SCKCR）	197
8.2.2	外部总线时钟控制寄存器（BCKCR）	198
8.2.3	振荡停止检测控制寄存器（OSTDCR）	199
8.2.4	副时钟振荡器的控制寄存器（SUBOSCCR）	200

8.3	主时钟振荡器	200
8.3.1	连接晶体谐振器的方法	200
8.3.2	输入外部时钟的方法	201
8.4	副时钟振荡器	202
8.4.1	连接 32.768kHz 晶体谐振器的方法	202
8.4.2	不使用副时钟情况下的引脚处理	202
8.5	内部振荡器	203
8.6	振荡停止检测电路	203
8.7	内部振荡电路	203
8.8	PLL 电路	203
8.9	分频器	203
8.10	内部时钟	203
8.10.1	系统时钟 (ICLK)	203
8.10.2	外围模块时钟 (PCLK)	204
8.10.3	外部总线时钟 (BCLK)	204
8.10.4	SDRAM 时钟 (SDCLK)	204
8.10.5	USB 专用时钟 (UCLK)	204
8.10.6	RTC 专用时钟 (SUBCLK)	204
8.10.7	内部振荡器时钟 (IWDTCCLK)	204
8.11	振荡停止检测功能	205
8.11.1	振荡停止检测和检测后的运行	205
8.11.2	振荡停止检测中断	205
8.11.3	有关解除深度软件待机的注意事项	205
8.12	使用时的注意事项	206
8.12.1	有关时钟发生电路的注意事项	206
8.12.2	有关谐振器的注意事项	206
8.12.3	设计电路板时的注意事项	206
9.	低功耗功能	208
9.1	概要	208
9.2	寄存器说明	211
9.2.1	待机控制寄存器 (SBYCR)	212
9.2.2	模块停止控制寄存器 A (MSTPCRA)	214
9.2.3	模块停止控制寄存器 B (MSTPCRB)	216
9.2.4	模块停止控制寄存器 C (MSTPCRC)	218
9.2.5	深度待机控制寄存器 (DPSBYCR)	219
9.2.6	深度待机等待控制寄存器 (DPSWCR)	220
9.2.7	深度待机中断允许寄存器 (DPSIER)	221
9.2.8	深度待机中断标志寄存器 (DPSIFR)	222
9.2.9	深度待机中断边沿寄存器 (DPSIEGR)	223
9.2.10	复位状态寄存器 (RSTSR)	224
9.2.11	深度待机备用寄存器 (DPSBKRY) (y=0 ~ 31)	225
9.3	多时钟功能	226
9.4	模块停止功能	226
9.5	低功耗状态	226
9.5.1	睡眠模式	226
9.5.2	全模块时钟停止模式	227
9.5.3	软件待机模式	228
9.5.4	深度软件待机模式	230
9.6	BCLK 和 SDCLK 的输出控制	235
9.7	使用时的注意事项	236
9.7.1	I/O 端口状态	236

9.7.2	DMACA、DTC、EXDMAC 和 EDMAC 的模块停止	236
9.7.3	内部外围模块的中断	236
9.7.4	MSTPCRA、MSTPCRB、MSTPCRC 寄存器的写操作	236
9.7.5	通过 DIRQnE 位 (n=3 ~ 0) 控制输入缓冲器	236
9.7.6	深度软件待机模式的转移和中断的竞争	236
9.7.7	WAIT 指令的执行时序	236
10.	异常处理	237
10.1	异常事件	237
10.1.1	未定义指令异常	238
10.1.2	特权指令异常	238
10.1.3	存取异常	238
10.1.4	浮点异常	238
10.1.5	复位	238
10.1.6	非屏蔽中断	238
10.1.7	中断	238
10.1.8	无条件陷阱	238
10.2	异常处理步骤	239
10.3	异常事件的接受	240
10.3.1	接受时序和被保存的 PC 值	240
10.3.2	向量和 PC、PSW 的保存场所	240
10.4	接受异常 / 从异常返回时的硬件处理	241
10.5	硬件预处理	242
10.5.1	未定义指令异常	242
10.5.2	特权指令异常	242
10.5.3	浮点异常	242
10.5.4	存取异常	242
10.5.5	复位	242
10.5.6	非屏蔽中断	243
10.5.7	中断	243
10.5.8	无条件陷阱	243
10.6	从异常处理程序的返回	244
10.7	异常事件的优先级	244
11.	中断控制器 (ICUa)	245
11.1	概要	245
11.2	寄存器说明	247
11.2.1	中断请求寄存器 i (IRi) (i= 中断向量号)	257
11.2.2	中断请求允许寄存器 m (IERm) (m=02h ~ 1Fh)	258
11.2.3	中断源优先级寄存器 m (IPRm) (m=00h ~ 8Fh)	259
11.2.4	高速中断设定寄存器 (FIR)	260
11.2.5	软件中断启动寄存器 (SWINTR)	261
11.2.6	DTC 启动允许寄存器 n (DTCERn) (n= 中断向量号)	261
11.2.7	DMACA 启动源选择寄存器 n (DMRSRn) (n=DMACA 通道号)	262
11.2.8	IRQ 控制寄存器 n (IRQCRn) (n=0 ~ 15)	262
11.2.9	非屏蔽中断状态寄存器 (NMISR)	263
11.2.10	非屏蔽中断允许寄存器 (NMIER)	264
11.2.11	非屏蔽中断清除寄存器 (NMICLR)	265
11.2.12	NMI 引脚中断控制寄存器 (NMICR)	265
11.3	向量表	266
11.3.1	中断向量表	266
11.3.2	高速中断的向量表	271

11.3.3	非屏蔽中断的向量表	271
11.4	中断的运行说明	272
11.4.1	中断检测	272
11.4.2	中断请求的允许 / 禁止	274
11.4.3	中断请求目标的选择	275
11.4.4	优先级的判断	277
11.4.5	高速中断	277
11.4.6	外部引脚中断	277
11.5	非屏蔽中断的运行说明	278
11.6	从低功耗状态的返回	279
11.6.1	从睡眠模式的返回	279
11.6.2	从全模块时钟停止模式的返回	279
11.6.3	从软件待机模式的返回	279
11.7	使用时的注意事项	280
11.7.1	使用 DTC/DMACA 传送的通信运行注意事项	280
12.	总线	283
12.1	概要	283
12.2	总线说明	285
12.2.1	CPU 总线	285
12.2.2	存储器总线	285
12.2.3	内部主总线	285
12.2.4	内部外围总线	286
12.2.5	外部总线	286
12.2.6	并行运行	288
12.2.7	限制事项	288
12.3	寄存器说明	289
12.3.1	CSn 控制寄存器 (CSnCR) (n=0 ~ 7)	291
12.3.2	CSn 恢复周期设定寄存器 (CSnREC) (n=0 ~ 7)	292
12.3.3	CSn 模式寄存器 (CSnMOD) (n=0 ~ 7)	294
12.3.4	CSn 等待控制寄存器 1 (CSnWCR1) (n=0 ~ 7)	296
12.3.5	CSn 等待控制寄存器 2 (CSnWCR2) (n=0 ~ 7)	299
12.3.6	SDC 控制寄存器 (SDCCR)	302
12.3.7	SDC 模式寄存器 (SDCMOD)	303
12.3.8	SDRAM 存取模式寄存器 (SDAMOD)	303
12.3.9	SDRAM 自刷新控制寄存器 (SDSELF)	304
12.3.10	SDRAM 刷新控制寄存器 (SDRFCR)	305
12.3.11	SDRAM 自动刷新控制寄存器 (SDRFEN)	307
12.3.12	SDRAM 初始化顺序控制寄存器 (SDICR)	307
12.3.13	SDRAM 初始化寄存器 (SDIR)	308
12.3.14	SDRAM 地址寄存器 (SDADR)	309
12.3.15	SDRAM 时序寄存器 (SDTR)	310
12.3.16	SDRAM 模式寄存器 (SDMOD)	312
12.3.17	SDRAM 状态寄存器 (SDSR)	313
12.3.18	总线错误状态清除寄存器 (BERCLR)	314
12.3.19	总线错误监视允许寄存器 (BEREN)	314
12.3.20	总线错误状态寄存器 1 (BERSR1)	315
12.3.21	总线错误状态寄存器 2 (BERSR2)	316
12.4	字节序和字节对齐	317
12.4.1	CS 区域的字节对齐控制	317
12.4.2	SDRAM 区的字节对齐控制	323
12.5	CS 区域控制器的运行说明	330

12.5.1	CS 区域时序	330
12.5.2	外部等待功能	345
12.5.3	不存取时的状态	346
12.5.4	恢复周期的插入	346
12.5.5	写缓冲器功能	347
12.5.6	限制事项	348
12.6	SDRAM 区控制器的运行说明	350
12.6.1	SDRAM 存取的有效 / 无效和 SDRAM 总线宽度的设定	350
12.6.2	不存取时的状态	350
12.6.3	恢复周期的插入	350
12.6.4	写缓冲器功能	351
12.6.5	SDRAM 命令	351
12.6.6	SDRAMC 寄存器的设定条件	352
12.6.7	自刷新	353
12.6.8	自动刷新	356
12.6.9	初始化定序器	357
12.6.10	读写存取	358
12.6.11	模式寄存器的设定	360
12.6.12	SDRAMC 的设定例子	361
12.6.13	地址多路复用	372
12.6.14	SDRAM 的连接例子	373
12.6.15	限制事项	379
12.7	总线错误监视部	380
12.7.1	总线错误的种类	380
12.7.2	发生总线错误时的运行	380
12.7.3	总线错误的发生条件	380
13.	存储器保护单元 (MPU)	382
13.1	概要	382
13.1.1	存取控制的种类	384
13.1.2	存取控制区域	384
13.1.3	后台区域	384
13.1.4	区域的重叠	384
13.1.5	跨区域的指令和数据	384
13.2	寄存器说明	385
13.2.1	区域 n 起始页号寄存器 (RSPAGEn) (n=0 ~ 7)	386
13.2.2	区域 n 结束页号寄存器 (REPAGEn) (n=0 ~ 7)	387
13.2.3	存储器保护功能有效化寄存器 (MPEN)	388
13.2.4	后台存取控制寄存器 (MPBAC)	389
13.2.5	存储器保护错误状态清除寄存器 (MPECLR)	390
13.2.6	存储器保护错误状态寄存器 (MPESTS)	391
13.2.7	数据存储器保护错误地址寄存器 (MPDEA)	392
13.2.8	区域搜索地址寄存器 (MPSA)	392
13.2.9	区域搜索操作寄存器 (MPOPS)	393
13.2.10	区域无效化操作寄存器 (MPOPI)	393
13.2.11	指令命中区域寄存器 (MHITI)	394
13.2.12	数据命中区域寄存器 (MHITD)	396
13.3	功能	398
13.3.1	存储器保护功能	398
13.3.2	区域搜索功能	398
13.3.3	存储器保护单元相关寄存器的保护	398
13.3.4	存储器保护功能的存取判断流程	399

13.4	存储器保护功能的使用步骤	401
13.4.1	存取控制信息的设定	401
13.4.2	存储器保护功能的有效化	401
13.4.3	向用户模式的转移	401
13.4.4	发生存储器保护错误时的处理	401
14.	DMA 控制器 (DMACA)	403
14.1	概要	403
14.2	寄存器说明	405
14.2.1	DMA 传送源地址寄存器 (DMSAR)	407
14.2.2	DMA 传送目标地址寄存器 (DMDAR)	407
14.2.3	DMA 传送计数寄存器 (DMCRA)	408
14.2.4	DMA 块传送计数寄存器 (DMCRB)	409
14.2.5	DMA 传送模式寄存器 (DMTMD)	410
14.2.6	DMA 中断设定寄存器 (DMINT)	411
14.2.7	DMA 地址模式寄存器 (DMAMD)	413
14.2.8	DMA 偏移寄存器 (DMOFR)	416
14.2.9	DMA 传送允许寄存器 (DMCNT)	416
14.2.10	DMA 软件启动寄存器 (DMREQ)	417
14.2.11	DMA 状态寄存器 (DMSTS)	418
14.2.12	DMA 启动源标志的控制寄存器 (DMCSL)	420
14.2.13	DMACA 模块启动寄存器 (DMAST)	420
14.3	运行说明	421
14.3.1	传送模式	421
14.3.2	扩展重复区域功能	424
14.3.3	带偏移的地址更新功能	425
14.3.4	启动源	429
14.3.5	DMACA 的启动	431
14.3.6	DMA 传送的开始	432
14.3.7	DMA 传送过程中的寄存器	432
14.3.8	通道的优先级	433
14.3.9	运行时序	434
14.3.10	DMACA 的执行周期	435
14.4	DMA 传送的结束	435
14.4.1	通过设定的总数据传送结束传送	435
14.4.2	通过重复大小结束中断结束传送	436
14.4.3	通过扩展重复区域上溢中断结束传送	436
14.5	中断	437
14.6	低功耗功能	439
14.7	使用时的注意事项	440
14.7.1	使用外部设备的情况	440
14.7.2	外围模块的 DMA 传送的情况	440
14.7.3	有关 DMACA 运行过程中的寄存器存取	440
14.7.4	有关保留区的 DMA 传送	440
14.7.5	因设定 DMACA 启动源标志控制寄存器 (DMCSL) 而产生的各传送结束中断请求	440
14.7.6	中断控制器的 DMACA 启动请求寄存器 (ICU.DMRSRn) 的设定	440
14.7.7	DMACA 启动的保留和重新开始	440
14.7.8	指定通信功能的中断为 DMA 传送启动源的情况	440
15.	EXDMA 控制器 (EXDMAC)	441
15.1	概要	441
15.2	寄存器说明	443

15.2.1	EXDMA 传送源地址寄存器 (EDMSAR)	444
15.2.2	EXDMA 传送目标地址寄存器 (EDMDAR)	444
15.2.3	EXDMA 传送计数寄存器 (EDMCRA)	445
15.2.4	EXDMA 块传送计数寄存器 (EDMCRB)	447
15.2.5	EXDMA 传送模式寄存器 (EDMTMD)	448
15.2.6	EXDMA 输出设定寄存器 (EDMOMD)	449
15.2.7	EXDMA 中断设定寄存器 (EDMINT)	450
15.2.8	EXDMA 地址模式寄存器 (EDMAMD)	452
15.2.9	EXDMA 偏移寄存器 (EDMOFR)	455
15.2.10	EXDMA 传送允许寄存器 (EDMCNT)	456
15.2.11	EXDMA 软件启动寄存器 (EDMREQ)	457
15.2.12	EXDMA 状态寄存器 (EDMSTS)	458
15.2.13	EXDMA 外部请求感测模式寄存器 (EDMRMD)	459
15.2.14	EXDMA 外部请求标志寄存器 (EDMERF)	460
15.2.15	EXDMA 外围请求标志寄存器 (EDMPRF)	461
15.2.16	EXDMA 模块启动寄存器 (EDMAST)	462
15.2.17	群集缓冲寄存器 i (CLSB _{Ri}) (i=0 ~ 6)	463
15.3	运行说明	464
15.3.1	传送模式	464
15.3.2	扩展重复区域功能	469
15.3.3	带偏移的地址更新功能	470
15.3.4	地址模式	474
15.4	传送运行	475
15.4.1	正常传送模式和重复传送模式的传送运行	475
15.4.2	块传送模式的传送运行	477
15.4.3	群集传送模式的传送运行	479
15.5	启动源和启动步骤	482
15.5.1	启动源	482
15.5.2	EXDMAC 的启动	484
15.5.3	DMA 传送的开始	485
15.5.4	DMA 传送过程中的寄存器	485
15.5.5	通道的优先级	486
15.6	DMA 传送的结束	487
15.6.1	通过设定的总数据传送结束传送	487
15.6.2	通过重复大小结束中断结束传送	487
15.6.3	通过扩展重复区域上溢中断结束传送	488
15.7	中断	488
15.8	低功耗功能	490
15.9	单地址模式的 EDACK 运行	491
15.9.1	单地址模式的正常传送 (CS 区域) 的 EDACK 运行例子	491
15.9.2	单地址模式的正常传送 (SDRAM 区) 的 EDACK 运行例子	492
15.9.3	单地址模式的块传送 (CS 区域) 的 EDACK 运行例子	494
15.9.4	单地址模式的块传送 (SDRAM 区) 的 EDACK 运行例子	495
15.10	使用时的注意事项	498
15.10.1	有关群集缓冲器	498
15.10.2	有关 DMA 运行过程中的寄存器存取	498
15.10.3	有关保留区的 DMA 传送	498
16.	数据传送控制器 (DTCa)	499
16.1	概要	499
16.2	寄存器说明	501
16.2.1	DTC 模式寄存器 A (MRA)	502

16.2.2	DTC 模式寄存器 B (MRB)	503
16.2.3	DTC 传送源地址寄存器 (SAR)	504
16.2.4	DTC 传送目标地址寄存器 (DAR)	504
16.2.5	DTC 传送计数寄存器 A (CRA)	505
16.2.6	DTC 传送计数寄存器 B (CRB)	506
16.2.7	DTC 控制寄存器 (DTCCR)	506
16.2.8	DTC 向量基址寄存器 (DTCVBR)	507
16.2.9	DTC 地址模式寄存器 (DTCADM0D)	507
16.2.10	DTC 模块启动寄存器 (DTCST)	508
16.2.11	DTC 状态寄存器 (DTCSTS)	509
16.3	启动源	510
16.3.1	传送信息的分配和 DTC 向量表	510
16.3.2	启动源和向量地址	512
16.4	运行说明	514
16.4.1	传送信息的跳读功能	516
16.4.2	传送信息的回写省略功能	516
16.4.3	正常传送模式	518
16.4.4	重复传送模式	519
16.4.5	块传送模式	520
16.4.6	链传送	521
16.4.7	运行时序	522
16.4.8	DTC 的执行状态	525
16.4.9	DTC 的总线权释放时序	525
16.5	DTC 的设定步骤	526
16.6	DTC 的使用例子	527
16.6.1	正常传送	527
16.6.2	链传送	527
16.6.3	计数器为“0”时的链传送	529
16.7	中断源	530
16.8	低功耗功能	530
16.9	使用时的注意事项	530
16.9.1	传送信息起始地址	530
16.9.2	传送信息的分配	530
16.9.3	中断控制器的 DTC 启动允许寄存器 (ICU.DTCERi) 的设定	531
16.9.4	给 DTC 启动源指定通信功能中断的情况	531
17.	I/O 端口	532
17.1	[176 引脚 LFBGA]I/O 端口	532
17.1.1	概要	532
17.1.2	寄存器说明	538
17.1.3	端口的设定	578
17.1.4	输出允许设定一览表	579
17.1.5	未使用引脚的处理	600
17.2	[145 引脚 TFLGA/144 引脚 LQFP]I/O 端口	601
17.2.1	概要	601
17.2.2	寄存器说明	606
17.2.3	端口的设定	645
17.2.4	输出允许设定一览表	646
17.2.5	未使用引脚的处理	662
17.3	[100 引脚 LQFP]I/O 端口	663
17.3.1	概要	663
17.3.2	寄存器说明	667

17.3.3	端口的设定	698
17.3.4	输出允许设定一览表	699
17.3.5	未使用引脚的处理	714
17.4	[85]引脚 TFLGA[I/O] 端口	715
17.4.1	概要	715
17.4.2	寄存器说明	718
17.4.3	端口的设定	738
17.4.4	输出允许设定一览表	739
17.4.5	未使用引脚的处理	751
17.5	输入 / 输出端口的结构	752
17.6	使用时的注意事项	756
17.6.1	输入缓冲控制寄存器 (PORTn.ICR) 的设定	756
17.6.2	端口功能寄存器的设定	756
17.6.3	有关输出允许设定的转换	757
17.6.4	有关分配了 TDO 的引脚的漏极开路设定	757
17.6.5	读端口寄存器 (PORT) 时的注意事项	757
18.	多功能定时器脉冲单元 2 (MTU2)	758
18.1	概要	758
18.2	寄存器说明	767
18.2.1	定时器的控制寄存器 (TCR)	772
18.2.2	定时器的模式寄存器 (TMDR)	775
18.2.3	定时器的 I/O 控制寄存器 (TIOR)	777
18.2.4	定时器的比较匹配清除寄存器 (TCNTCMPCLR)	788
18.2.5	定时器的中断允许寄存器 (TIER)	789
18.2.6	定时器的状态寄存器 (TSR)	791
18.2.7	定时器的缓冲运行传送模式寄存器 (TBTM)	792
18.2.8	定时器的输入捕捉控制寄存器 (TICCR)	793
18.2.9	定时器的 A/D 转换开始请求控制寄存器 (TADCR)	794
18.2.10	定时器的 A/D 转换开始请求周期设定寄存器 (TADCORA、TADCORB)	795
18.2.11	定时器的 A/D 转换开始请求周期设定缓冲寄存器 (TADCORA、TADCORB)	795
18.2.12	定时器的计数器 (TCNT)	796
18.2.13	定时器的通用寄存器 (TGR)	796
18.2.14	定时器的启动寄存器 (TSTR)	797
18.2.15	定时器的同步寄存器 (TSYR)	799
18.2.16	定时器的读写允许寄存器 (TRWER)	800
18.2.17	定时器的输出主控允许寄存器 (TOER)	801
18.2.18	定时器的输出控制寄存器 1 (TOCR1)	802
18.2.19	定时器的输出控制寄存器 2 (TOCR2)	804
18.2.20	定时器的输出电平缓冲寄存器 (TOLBR)	806
18.2.21	定时器的门控寄存器 (TGCR)	807
18.2.22	定时器的副计数器 (TCNTS)	809
18.2.23	定时器的死区时间数据寄存器 (TDDR)	809
18.2.24	定时器的周期数据寄存器 (TCDR)	810
18.2.25	定时器的周期缓冲寄存器 (TCBR)	810
18.2.26	定时器的中断减少设定寄存器 (TITCR)	811
18.2.27	定时器的中断减少次数计数器 (TITCNT)	813
18.2.28	定时器的缓冲传送设定寄存器 (TBTER)	814
18.2.29	定时器的死区时间允许寄存器 (TDER)	815
18.2.30	定时器的波形控制寄存器 (TWCR)	816
18.2.31	和总线主控的接口	817
18.3	运行说明	818

18.3.1	概要	818
18.3.2	同步运行	823
18.3.3	缓冲运行	825
18.3.4	级联运行	829
18.3.5	PWM 模式	833
18.3.6	相位计数模式	837
18.3.7	复位同步 PWM 模式	843
18.3.8	互补 PWM 模式	846
18.3.9	A/D 转换开始请求的延迟功能	875
18.3.10	外部脉宽的测量功能	878
18.3.11	死区时间的补偿功能	879
18.3.12	在互补 PWM 的“波峰 / 波谷”进行的 TCNT 捕捉运行	880
18.4	中断源	881
18.4.1	中断源和优先级	881
18.4.2	DTC/DMACA 的启动	883
18.4.3	A/D 转换器的启动	883
18.5	运行时序	885
18.5.1	输入 / 输出时序	885
18.5.2	中断信号的时序	891
18.6	使用时的注意事项	894
18.6.1	模块时钟停止模式的设定	894
18.6.2	输入时钟的制限事项	894
18.6.3	设定周期时的注意事项	894
18.6.4	TCNT 的写和清除的竞争	895
18.6.5	TCNT 的写和递增计数的竞争	895
18.6.6	TGR 的写和比较匹配的竞争	896
18.6.7	缓冲寄存器的写和比较匹配的竞争	896
18.6.8	缓冲寄存器的写和 TCNT 清除的竞争	897
18.6.9	TGR 的读和输入捕捉的竞争	898
18.6.10	TGR 的写和输入捕捉的竞争	899
18.6.11	缓冲寄存器的写和输入捕捉的竞争	900
18.6.12	级联中的 MTUn.TCNT 的写和上溢 / 下溢的竞争 (n=2、8)	901
18.6.13	互补 PWM 模式停止时的计数器值	902
18.6.14	互补 PWM 模式中的缓冲运行的设定	903
18.6.15	复位同步 PWM 模式的缓冲运行和比较匹配标志	903
18.6.16	复位同步 PWM 模式的上溢标志	904
18.6.17	上溢 / 下溢和计数器清除的竞争	905
18.6.18	TCNT 的写和上溢 / 下溢的竞争	905
18.6.19	从正常运行或者 PWM 模式 1 转移到复位同步 PWM 模式时的注意事项	906
18.6.20	互补 PWM 模式、复位同步 PWM 模式的输出电平	906
18.6.21	模块停止状态时的中断	906
18.6.22	级联中的 MTUn.TCNT 和 MTUm.TCNT 的同时输入捕捉	906
18.6.23	未使用互补 PWM 模式的输出保护功能时的注意事项	906
18.6.24	同步清除互补 PWM 模式时的异常动作的防止	907
18.7	MTU 输出引脚的初始化方法	909
18.7.1	运行模式	909
18.7.2	因运行过程中的异常而重新设定时的运行	909
18.7.3	因运行过程中的异常而对引脚进行初始化的步骤以及模式转移的概要	910
19.	端口输出允许 2 (POE2)	928
19.1	概要	928
19.2	寄存器说明	931

19.2.1	输入电平控制 / 状态寄存器 1 (ICSR1)	932
19.2.2	输出电平控制 / 状态寄存器 1 (OCSR1)	934
19.2.3	输入电平控制 / 状态寄存器 2 (ICSR2)	935
19.2.4	输出电平控制 / 状态寄存器 2 (OCSR2)	937
19.2.5	输入电平控制 / 状态寄存器 3 (ICSR3)	938
19.2.6	输入电平控制 / 状态寄存器 4 (ICSR4)	939
19.2.7	软件端口输出允许寄存器 (SPOER)	940
19.2.8	端口输出允许控制寄存器 1 (POECR1)	941
19.2.9	端口输出允许控制寄存器 2 (POECR2)	943
19.3	运行说明	945
19.3.1	输入电平的检测	946
19.3.2	输出电平的比较运行	947
19.3.3	通过寄存器进行的高阻抗控制	947
19.3.4	通过振荡停止检测进行的高阻抗控制	947
19.3.5	高阻抗状态的解除	947
19.4	中断	948
19.5	使用时的注意事项	948
20.	可编程脉冲发生器 (PPG)	949
20.1	概要	949
20.2	寄存器说明	952
20.2.1	PPG 触发选择寄存器 (PTRSLR)	953
20.2.2	下一个数据允许寄存器 H (NDERH)、下一个数据允许寄存器 L (NDERL)	954
20.2.3	输出数据寄存器 H (PODRH)、输出数据寄存器 L (PODRL)	956
20.2.4	下一个数据寄存器 H (NDRH)、下一个数据寄存器 L (NDRL)	958
20.2.5	PPG 输出控制寄存器 (PCR)	962
20.2.6	PPG 输出模式寄存器 (PMR)	964
20.3	运行说明	966
20.3.1	输出时序	967
20.3.2	脉冲输出正常运行的设定步骤例子	968
20.3.3	脉冲输出正常运行的例子 (5 相脉冲输出例子)	970
20.3.4	脉冲输出非重叠运行	971
20.3.5	脉冲输出非重叠运行的设定步骤例子	972
20.3.6	脉冲输出非重叠运行的例子 (4 相互补的非重叠输出例子)	974
20.3.7	脉冲的反相输出	975
20.3.8	通过输入捕捉进行的脉冲输出	976
20.4	使用时的注意事项	976
20.4.1	模块停止功能的设定	976
21.	8 位定时器 (TMR)	977
21.1	概要	977
21.2	寄存器说明	981
21.2.1	定时器的计数器 (TCNT)	982
21.2.2	时间常数寄存器 A (TCORA)	983
21.2.3	时间常数寄存器 B (TCORB)	983
21.2.4	定时器的控制寄存器 (TCR)	984
21.2.5	定时器的计数器控制寄存器 (TCCR)	985
21.2.6	定时器的控制 / 状态寄存器 (TCSR)	987
21.3	运行说明	989
21.3.1	脉冲输出	989
21.3.2	复位输入	989
21.4	运行时序	990

21.4.1	TCNT 计数器的计数时序	990
21.4.2	比较匹配时的中断标志变为“1”的时序	991
21.4.3	比较匹配时的定时器输出时序	991
21.4.4	通过比较匹配进行的计数器清除时序	992
21.4.5	TCNT 计数器的外部复位时序	992
21.4.6	通过上溢使中断标志变为“1”的时序	993
21.5	级联时的运行	993
21.5.1	16 位计数模式	993
21.5.2	比较匹配计数模式	993
21.6	中断源	994
21.6.1	中断源和 DTC 启动	994
21.6.2	A/D 转换器的启动	994
21.7	使用时的注意事项	995
21.7.1	模块停止功能的设定	995
21.7.2	设定周期时的注意事项	995
21.7.3	TCNT 计数器的写和计数器清除的竞争	995
21.7.4	TCNT 计数器的写和递增计数的竞争	995
21.7.5	TCORA 寄存器、TCORB 寄存器的写和比较匹配的竞争	996
21.7.6	比较匹配 A 和比较匹配 B 的竞争	996
21.7.7	内部时钟的转换和 TCNT 计数器的运行	997
21.7.8	级联时的时钟源设定	998
22.	比较匹配定时器 (CMT)	999
22.1	概要	999
22.2	寄存器说明	1000
22.2.1	比较匹配定时器的启动寄存器 0 (CMSTR0)	1000
22.2.2	比较匹配定时器的启动寄存器 1 (CMSTR1)	1001
22.2.3	比较匹配定时器的控制寄存器 (CMCR)	1002
22.2.4	比较匹配定时器的计数器 (CMCNT)	1003
22.2.5	比较匹配定时器的常数寄存器 (CMCOR)	1003
22.3	运行说明	1004
22.3.1	周期计数	1004
22.3.2	CMCNT 计数器的计数时序	1004
22.4	中断	1005
22.4.1	中断源	1005
22.4.2	比较匹配中断的发生时序	1005
22.5	使用时的注意事项	1006
22.5.1	模块停止功能的设定	1006
22.5.2	比较匹配定时器的计数器 (CMCNT) 的写和比较匹配的竞争	1006
22.5.3	比较匹配定时器的计数器 (CMCNT) 的写和递增计数的竞争	1006
22.5.4	改写比较匹配定时器的控制寄存器 (CMCR) 时的注意事项	1007
22.5.5	比较匹配定时器的计数器 (CMCNT) 和比较匹配常数寄存器 (CMCOR) 的注意事项	1007
23.	实时时钟 (RTC)	1008
23.1	概要	1008
23.2	寄存器说明	1010
23.2.1	64Hz 计数器 (R64CNT)	1011
23.2.2	秒计数器 (RSECCNT)	1011
23.2.3	分钟计数器 (RMINCNT)	1012
23.2.4	小时计数器 (RHRCNT)	1012
23.2.5	星期计数器 (RWKCNT)	1013
23.2.6	日计数器 (RDAYCNT)	1013

23.2.7	月计数器 (RMONCNT)	1014
23.2.8	年计数器 (RYRCNT)	1014
23.2.9	秒闹钟寄存器 (RSECAR)	1015
23.2.10	分钟闹钟寄存器 (RMINAR)	1015
23.2.11	小时闹钟寄存器 (RHRAR)	1016
23.2.12	星期闹钟寄存器 (RWKAR)	1016
23.2.13	日闹钟寄存器 (RDAYAR)	1017
23.2.14	月闹钟寄存器 (RMONAR)	1017
23.2.15	年闹钟寄存器 (RYRAR)	1018
23.2.16	年闹钟允许寄存器 (RYRAREN)	1018
23.2.17	RTC 控制寄存器 1 (RCR1)	1019
23.2.18	RTC 控制寄存器 2 (RCR2)	1020
23.3	运行说明	1021
23.3.1	接通电源后的寄存器初始设定	1021
23.3.2	时间设定步骤	1021
23.3.3	30 秒调整步骤	1022
23.3.4	64Hz 计数器和时间读取步骤	1023
23.3.5	闹钟功能	1024
23.3.6	闹钟中断的禁止步骤	1025
23.4	中断源	1025
23.5	使用时的注意事项	1027
23.5.1	计数运行时的寄存器写操作	1027
23.5.2	有关周期中断的使用	1027
23.5.3	有关在设定寄存器后向低功耗模式的转移	1027
23.5.4	读 / 写寄存器时的注意事项	1027
24.	看门狗定时器 (WDT)	1028
24.1	概要	1028
24.2	寄存器说明	1030
24.2.1	定时器的计数器 (TCNT)	1030
24.2.2	定时器的控制 / 状态寄存器 (TCSR)	1031
24.2.3	复位的控制 / 状态寄存器 (RSTCSR)	1032
24.2.4	写窗口 A 寄存器 (WINA)	1033
24.2.5	写窗口 B 寄存器 (WINB)	1033
24.3	运行说明	1034
24.3.1	看门狗定时器模式	1034
24.3.2	间隔定时器模式	1035
24.4	中断源	1035
24.5	使用时的注意事项	1036
24.5.1	存取寄存器时的注意事项	1036
24.5.2	定时器的计数器 (TCNT) 的写和递增计数的竞争	1037
24.5.3	CKS[2:0] 位的改写	1037
24.5.4	看门狗定时器模式和间隔定时器模式的转换	1038
24.5.5	看门狗定时器模式的内部复位	1038
24.5.6	通过 WDTOVF# 信号进行系统复位	1038
24.5.7	向看门狗定时器模式和软件待机模式的转移	1038
25.	独立看门狗定时器 (IWDG)	1039
25.1	概要	1039
25.2	寄存器说明	1040
25.2.1	IWDG 刷新寄存器 (IWDTRR)	1040
25.2.2	IWDG 控制寄存器 (IWDTCR)	1041

25.2.3	IWDT 状态寄存器 (IWDTSR)	1043
25.3	运行说明	1044
25.3.1	递减计数器的计数	1044
25.3.2	IWDT 控制寄存器的写控制	1045
25.3.3	刷新	1045
25.3.4	状态标志	1046
25.4	使用时的注意事项	1046
25.4.1	向低功耗功能转移时的限制事项	1046
26.	以太网控制器 (ETHERC)	1047
26.1	概要	1047
26.2	寄存器说明	1049
26.2.1	ETHERC 模式寄存器 (ECMR)	1050
26.2.2	ETHERC 状态寄存器 (ECSR)	1052
26.2.3	ETHERC 中断允许寄存器 (ECSIPR)	1053
26.2.4	接收帧长上限寄存器 (RFLR)	1054
26.2.5	PHY 接口寄存器 (PIR)	1055
26.2.6	MAC 地址高位设定寄存器 (MAHR)	1055
26.2.7	MAC 地址低位设定寄存器 (MALR)	1056
26.2.8	PHY 状态寄存器 (PSR)	1056
26.2.9	发送重试超限计数寄存器 (TROCR)	1057
26.2.10	延迟冲突检测计数寄存器 (CDCR)	1057
26.2.11	载波消失计数寄存器 (LCCR)	1058
26.2.12	载波未检测计数寄存器 (CNDCR)	1058
26.2.13	CRC 错误帧接收计数寄存器 (CEFCR)	1059
26.2.14	帧接收错误计数寄存器 (FRECR)	1059
26.2.15	未满 64 字节的帧接收计数寄存器 (TSFRCR)	1060
26.2.16	超过指定字节的帧接收计数寄存器 (TLFRCR)	1060
26.2.17	尾数位的帧接收计数寄存器 (RFCR)	1061
26.2.18	多播地址帧接收计数寄存器 (MAFCR)	1061
26.2.19	IPG 设定寄存器 (IPGR)	1062
26.2.20	自动 PAUSE 帧设定寄存器 (APR)	1062
26.2.21	手动 PAUSE 帧设定寄存器 (MPR)	1063
26.2.22	自动 PAUSE 帧重新发送次数设定寄存器 (TPAUSER)	1063
26.2.23	随机数生成计数器的上限值设定寄存器 (RDMLR)	1064
26.2.24	接收 PAUSE 帧计数器 (RFCF)	1064
26.2.25	PAUSE 帧重新发送次数计数器 (TPAUSECR)	1065
26.2.26	Broadcast 帧接收次数设定寄存器 (BCFRR)	1065
26.3	运行说明	1066
26.3.1	发送	1066
26.3.2	接收	1067
26.3.3	帧时序	1068
26.3.4	MII/RMII 寄存器的存取方法	1070
26.3.5	Magic Packet™ 的检测	1072
26.3.6	根据 IPG 设定的运行	1073
26.3.7	流控制	1073
26.4	和 PHY-LSI 的连接	1074
26.5	使用时的注意事项	1075
26.5.1	有关 LCHNG 位的置位条件	1075
26.5.2	有关选择 RMII 时的 RMII_RX_ER 引脚输入	1075
27.	以太网控制器的 DMA 控制器 (EDMAC)	1076

27.1	概要	1076
27.2	寄存器说明	1077
27.2.1	EDMAC 模式寄存器 (EDMR)	1078
27.2.2	EDMAC 发送请求寄存器 (EDTRR)	1079
27.2.3	EDMAC 接收请求寄存器 (EDRRR)	1079
27.2.4	发送描述符列表起始地址寄存器 (TDLAR)	1080
27.2.5	接收描述符列表起始地址寄存器 (RDLAR)	1080
27.2.6	ETHERC/EDMAC 状态寄存器 (EESR)	1081
27.2.7	ETHERC/EDMAC 状态中断允许寄存器 (EESIPR)	1084
27.2.8	发送 / 接收状态复制指示寄存器 (TRSCER)	1086
27.2.9	漏帧计数寄存器 (RMFCR)	1087
27.2.10	发送 FIFO 阈值指定寄存器 (TFTR)	1088
27.2.11	FIFO 容量指定寄存器 (FDR)	1089
27.2.12	接收方式控制寄存器 (RMCR)	1090
27.2.13	发送 FIFO 欠载计数 (TFUCR)	1091
27.2.14	接收 FIFO 上溢计数 (RFOCR)	1091
27.2.15	接收缓冲器的写地址寄存器 (RBWAR)	1092
27.2.16	接收描述符的取地址寄存器 (RDFAR)	1092
27.2.17	发送缓冲器的读地址寄存器 (TBRAR)	1093
27.2.18	发送描述符的取地址寄存器 (TDFAR)	1093
27.2.19	流控制开始 FIFO 阈值设定寄存器 (FCFTR)	1094
27.2.20	接收数据填充插入设定寄存器 (RPADIR)	1095
27.2.21	发送中断设定寄存器 (TRIMD)	1096
27.2.22	个别输出信号设定寄存器 (IOSR)	1096
27.3	运行说明	1097
27.3.1	描述符列表和数据缓冲器	1097
27.3.2	发送功能	1102
27.3.3	接收功能	1103
27.3.4	有关多缓冲帧的发送 / 接收处理	1104
28.	USB2.0 主机 / 功能模块 (USB)	1106
28.1	概要	1106
28.2	寄存器说明	1109
28.2.1	系统配置控制寄存器 (SYSCFG)	1113
28.2.2	系统配置状态寄存器 0 (SYSSTS0)	1115
28.2.3	设备状态控制寄存器 0 (DVSTCTR0)	1116
28.2.4	CFIFO 端口寄存器 (CFIFO)	
D0FIFO 端口寄存器 (D0FIFO)		
D1FIFO 端口寄存器 (D1FIFO)		1119
28.2.5	CFIFO 端口选择寄存器 (CFIFOSEL)	
D0FIFO 端口选择寄存器 (D0FIFOSEL)		
D1FIFO 端口选择寄存器 (D1FIFOSEL)		1121
28.2.6	CFIFO 端口控制寄存器 (CFIFOCTR)	
D0FIFO 端口控制寄存器 (D0FIFOCTR)		
D1FIFO 端口控制寄存器 (D1FIFOCTR)		1125
28.2.7	中断允许寄存器 0 (INTENB0)	1127
28.2.8	中断允许寄存器 1 (INTENB1)	1129
28.2.9	BRDY 中断允许寄存器 (BRDYENB)	1131
28.2.10	NRDY 中断允许寄存器 (NRDYENB)	1132
28.2.11	BEMP 中断允许寄存器 (BEMPENB)	1133
28.2.12	SOF 输出配置寄存器 (SOFCFG)	1134
28.2.13	中断状态寄存器 0 (INTSTS0)	1135

28.2.14	中断状态寄存器 1 (INTSTS1)	1138
28.2.15	BRDY 中断状态寄存器 (BRDYSTS)	1141
28.2.16	NRDY 中断状态寄存器 (NRDYSTS)	1142
28.2.17	BEMP 中断状态寄存器 (BEMPSTS)	1143
28.2.18	帧号寄存器 (FRMNUM)	1144
28.2.19	设备状态转换寄存器 (DVCHGR)	1145
28.2.20	USB 地址寄存器 (USBADDR)	1146
28.2.21	USB 请求类型寄存器 (USBREQ)	1147
28.2.22	USB 请求值寄存器 (USBVAL)	1148
28.2.23	USB 请求变址寄存器 (USBINDX)	1148
28.2.24	USB 请求长度寄存器 (USBLENG)	1149
28.2.25	DCP 配置寄存器 (DCPCFG)	1150
28.2.26	DCP 最大信息包长度寄存器 (DCPMAXP)	1151
28.2.27	DCP 控制寄存器 (DCPCTR)	1152
28.2.28	管道窗口选择寄存器 (PIPESEL)	1155
28.2.29	管道配置寄存器 (PIPECFG)	1156
28.2.30	管道最大信息包长度寄存器 (PIPEMAXP)	1158
28.2.31	管道周期控制寄存器 (PIPEPERI)	1159
28.2.32	管道 n 控制寄存器 (PIPEnCTR) (n=1 ~ 9)	1160
28.2.33	管道 n 事务计数允许寄存器 (PIPEnTRE) (n=1 ~ 5)	1168
28.2.34	管道 n 事务计数寄存器 (PIPEnTRN) (n=1 ~ 5)	1169
28.2.35	设备地址 n 的配置寄存器 (DEVADDn) (n=0 ~ 5)	1170
28.2.36	深度待机 USB 收发器的控制 / 引脚监视寄存器 (DPUSROR)	1171
28.2.37	深度待机 USB 的挂起 / 恢复中断寄存器 (DPUSRIR)	1173
28.3	运行说明	1175
28.3.1	系统控制	1175
28.3.2	中断源	1184
28.3.3	中断说明	1187
28.3.4	管道控制	1195
28.3.5	FIFO 缓冲存储器	1199
28.3.6	控制传送 (DCP)	1203
28.3.7	批量传送 (管道 1 ~ 5)	1205
28.3.8	中断传送 (管道 6 ~ 9)	1205
28.3.9	等时传送 (管道 1 和管道 2)	1206
28.3.10	SOF 内插功能	1213
28.3.11	管道的安排	1213
29.	串行通信接口 (SC1a)	1215
29.1	概要	1215
29.2	串行通信接口模式	1219
29.2.1	寄存器说明	1219
29.2.2	异步模式的运行	1237
29.2.3	多处理器通信功能	1247
29.2.4	时钟同步模式的运行	1252
29.3	智能卡接口模式	1259
29.3.1	寄存器说明	1259
29.3.2	智能卡接口模式的运行	1268
29.3.3	数据格式 (块传送模式除外)	1269
29.4	中断源	1278
29.4.1	串行通信接口模式的中断	1278
29.4.2	智能卡接口模式的中断	1279
29.5	使用时的注意事项	1280

29.5.1	模块停止功能的设定	1280
29.5.2	有关中止的检测和处理	1280
29.5.3	标记状态和中止的发送	1280
29.5.4	有关接收错误标志和发送（只限于时钟同步模式）	1280
29.5.5	有关写 TDR	1280
29.5.6	时钟同步发送时的限制事项	1280
29.5.7	使用 DMACA 或者 DTC 时的限制事项	1280
29.5.8	有关低功耗状态时的运行	1281
29.5.9	时钟同步模式的外部时钟输入	1283
30.	CRC 运算器（CRC）	1284
30.1	概要	1284
30.2	寄存器说明	1285
30.2.1	CRC 控制寄存器（CRCCR）	1285
30.2.2	CRC 数据输入寄存器（CRCDIR）	1286
30.2.3	CRC 数据输出寄存器（CRCDOR）	1286
30.3	CRC 运算器的运行说明	1287
30.4	使用时的注意事项	1290
30.4.1	模块待机功能的设定	1290
30.5	传送时的注意事项	1290
31.	I ² C 总线接口（RIIC）	1291
31.1	概要	1291
31.2	寄存器说明	1294
31.2.1	I ² C 总线控制寄存器 1（ICCR1）	1295
31.2.2	I ² C 总线控制寄存器 2（ICCR2）	1297
31.2.3	I ² C 总线模式寄存器 1（ICMR1）	1300
31.2.4	I ² C 总线模式寄存器 2（ICMR2）	1301
31.2.5	I ² C 总线模式寄存器 3（ICMR3）	1303
31.2.6	I ² C 总线功能允许寄存器（ICFER）	1305
31.2.7	I ² C 总线状态允许寄存器（ICSER）	1307
31.2.8	I ² C 总线中断允许寄存器（ICIER）	1308
31.2.9	I ² C 总线状态寄存器 1（ICSR1）	1310
31.2.10	I ² C 总线状态寄存器 2（ICSR2）	1313
31.2.11	从属地址寄存器 Ly（SARLy）（y=0 ~ 2）	1316
31.2.12	从属地址寄存器 Uy（SARUy）（y=0 ~ 2）	1317
31.2.13	I ² C 总线位速率低电平寄存器（ICBRL）	1318
31.2.14	I ² C 总线位速率高电平寄存器（ICBRH）	1319
31.2.15	I ² C 总线发送数据寄存器（ICDRT）	1321
31.2.16	I ² C 总线接收数据寄存器（ICDRR）	1321
31.2.17	I ² C 总线移位寄存器（ICDRS）	1321
31.3	运行说明	1322
31.3.1	通信数据的格式	1322
31.3.2	初始设定	1323
31.3.3	主控发送	1324
31.3.4	主控接收	1328
31.3.5	从属发送	1331
31.3.6	从属接收	1334
31.4	SCL 同步电路	1336
31.5	SDA 输出延迟功能	1337
31.6	数字噪声滤波器电路	1338
31.7	地址匹配检测功能	1339

31.7.1	从属地址匹配检测功能	1339
31.7.2	全呼地址检测功能	1341
31.7.3	设备 ID 地址检测功能	1342
31.7.4	主机地址检测功能	1343
31.8	SCL 的 Low 电平自动保持功能	1344
31.8.1	发送数据的误发送防止功能	1344
31.8.2	NACK 接收传送中止功能	1345
31.8.3	接收数据漏取防止功能	1345
31.9	仲裁失败检测功能	1347
31.9.1	主控仲裁失败检测功能 (MALE 位)	1347
31.9.2	NACK 发送仲裁失败检测功能 (NALE 位)	1349
31.9.3	从属仲裁失败检测功能 (SALE 位)	1350
31.10	开始条件、重新开始条件和停止条件的发行功能	1351
31.10.1	开始条件的发行	1351
31.10.2	重新开始条件的发行	1351
31.10.3	停止条件的发行	1352
31.11	总线意外停机	1353
31.11.1	超时检测功能	1353
31.11.2	SCL 时钟追加输出功能	1354
31.11.3	RIIC/ 内部复位	1354
31.12	SMBus 运行	1355
31.12.1	SMBus 超时测量	1355
31.12.2	数据包错误码 (PEC)	1356
31.12.3	SMBus 主机通知协议 /Notify ARP master	1356
31.13	中断源	1357
31.14	复位状况	1358
31.15	使用时的注意事项	1359
31.15.1	模块停止功能的设定	1359
31.15.2	输入缓冲控制寄存器的设定	1359
32.	CAN 模块 (CAN)	1360
32.1	概要	1360
32.2	寄存器说明	1363
32.2.1	控制寄存器 (CTRL)	1364
32.2.2	位配置寄存器 (BCR)	1367
32.2.3	屏蔽寄存器 i (MKRi) (i=0 ~ 7)	1369
32.2.4	FIFO 接收 ID 比较寄存器 0、1 (FIDCR0、FIDCR1)	1370
32.2.5	屏蔽无效寄存器 (MKIVLR)	1371
32.2.6	信箱寄存器 j (MBj) (j=0 ~ 31)	1372
32.2.7	信箱中断允许寄存器 (MIER)	1376
32.2.8	信息控制寄存器 j (MCTLj) (j=0 ~ 31)	1378
32.2.9	接收 FIFO 控制寄存器 (RFCR)	1381
32.2.10	接收 FIFO 指针控制寄存器 (RFPCR)	1383
32.2.11	发送 FIFO 控制寄存器 (TFCR)	1383
32.2.12	发送 FIFO 指针控制寄存器 (TFPCR)	1385
32.2.13	状态寄存器 (STR)	1386
32.2.14	信箱搜索模式寄存器 (MSMR)	1388
32.2.15	信箱搜索状态寄存器 (MSSR)	1389
32.2.16	通道搜索支持寄存器 (CSSR)	1390
32.2.17	验收滤波器支持寄存器 (AFSR)	1391
32.2.18	错误中断允许寄存器 (EIER)	1392
32.2.19	错误中断源判断寄存器 (EIFR)	1394

32.2.20	接收错误计数寄存器 (RECR)	1396
32.2.21	发送错误计数寄存器 (TECR)	1396
32.2.22	错误代码保存寄存器 (ECSR)	1397
32.2.23	时戳寄存器 (TSR)	1398
32.2.24	测试控制寄存器 (TCR)	1399
32.3	运行模式	1401
32.3.1	CAN 复位模式	1402
32.3.2	CAN Halt 模式	1403
32.3.3	CAN 睡眠模式	1404
32.3.4	CAN 操作模式 (非总线断开状态)	1404
32.3.5	CAN 操作模式 (总线断开状态)	1405
32.4	CAN 通信速度的设定	1405
32.4.1	CAN 时钟的设定	1405
32.4.2	位时序的设定	1406
32.4.3	位速率	1406
32.5	信箱和屏蔽寄存器的结构	1407
32.6	验收过滤功能和屏蔽功能	1408
32.7	接收 / 发送	1410
32.7.1	接收	1411
32.7.2	发送	1413
32.8	CAN 中断	1414
33.	串行外围接口 (RSPI)	1415
33.1	概要	1415
33.2	寄存器说明	1418
33.2.1	RSPI 控制寄存器 (SPCR)	1419
33.2.2	RSPI 从属选择极性寄存器 (SSLP)	1421
33.2.3	RSPI 引脚控制寄存器 (SPPCR)	1422
33.2.4	RSPI 状态寄存器 (SPSR)	1423
33.2.5	RSPI 数据寄存器 (SPDR)	1425
33.2.6	RSPI 顺序控制寄存器 (SPSCR)	1426
33.2.7	RSPI 顺序状态寄存器 (SPSSR)	1427
33.2.8	RSPI 位速率寄存器 (SPBR)	1428
33.2.9	RSPI 数据控制寄存器 (SPDCR)	1429
33.2.10	RSPI 时钟延迟寄存器 (SPCKD)	1432
33.2.11	RSPI 从属选择无效延迟寄存器 (SSLND)	1433
33.2.12	RSPI 下次存取延迟寄存器 (SPND)	1434
33.2.13	RSPI 控制寄存器 2 (SPCR2)	1435
33.2.14	RSPI 命令寄存器 0 ~ 7 (SPCMD0 ~ SPCMD7)	1436
33.3	运行说明	1439
33.3.1	RSPI 运行概要	1439
33.3.2	RSPI 引脚的控制	1440
33.3.3	RSPI 系统结构例子	1441
33.3.4	传送格式	1447
33.3.5	数据格式	1449
33.3.6	通信运行模式	1457
33.3.7	发送缓冲器空中断 / 接收缓冲器满中断	1459
33.3.8	错误检测	1460
33.3.9	RSPI 的初始化	1463
33.3.10	SPI 运行	1464
33.3.11	时钟同步运行	1474
33.3.12	主控模式的运行	1474

33.3.13	从属模式的运行	1478
33.3.14	错误处理	1481
33.3.15	环回模式	1483
33.3.16	奇偶校验位功能的自诊断	1484
33.3.17	中断源	1485
33.4	使用时的注意事项	1485
33.4.1	主控模式中奇偶校验功能有效时的发送运行	1485
34.	12 位 A/D 转换器 (S12AD)	1486
34.1	概要	1486
34.2	寄存器说明	1489
34.2.1	A/D 数据寄存器 n (ADDRn) (n=0 ~ 7)	1489
34.2.2	A/D 控制寄存器 (ADCSR)	1491
34.2.3	A/D 通道选择寄存器 (ADANS)	1492
34.2.4	A/D 转换值加法运算模式选择寄存器 (ADADS)	1493
34.2.5	A/D 转换值加法运算次数选择寄存器 (ADADC)	1494
34.2.6	A/D 控制扩展寄存器 (ADCER)	1495
34.2.7	A/D 开始触发选择寄存器 (ADSTRGR)	1496
34.3	运行说明	1497
34.3.1	扫描转换运行的说明	1497
34.3.2	1 个周期扫描模式	1497
34.3.3	连续扫描模式	1498
34.3.4	模拟输入的采样和扫描转换时间	1499
34.3.5	A/D 数据寄存器 n (ADDRn) 的自动清除功能的使用例子	1499
34.3.6	A/D 转换值加法运算功能	1499
34.3.7	通过外部触发开始的扫描转换	1500
34.3.8	通过外围模块的触发开始的扫描转换	1500
34.4	中断源和 DMA 传送请求	1505
34.4.1	各扫描转换结束时的中断请求	1505
34.5	使用时的注意事项	1505
34.5.1	12 位 A/D 转换器和 10 位 A/D 转换器的选择	1505
34.5.2	模块停止功能的设定	1505
34.5.3	重新开始 A/D 转换时的注意事项	1505
34.5.4	停止 A/D 转换时的注意事项	1505
34.5.5	向低功耗状态转移时的注意事项	1505
34.5.6	解除软件待机模式时的注意事项	1506
34.5.7	同时使用 A/D 转换器和 D/A 转换器时的注意事项	1506
35.	10 位 A/D 转换器 (ADa)	1507
35.1	概要	1507
35.2	寄存器说明	1511
35.2.1	A/D 数据寄存器 n (ADDRn) (n=A ~ D)	1512
35.2.2	A/D 控制 / 状态寄存器 (ADCSR)	1513
35.2.3	A/D 控制寄存器 (ADCR)	1515
35.2.4	ADDRn 格式选择寄存器 (ADDPR)	1516
35.2.5	A/D 采样状态寄存器 (ADSSTR)	1516
35.2.6	A/D 自诊断寄存器 (ADDIAGR)	1517
35.3	运行说明	1518
35.3.1	单次模式	1518
35.3.2	扫描模式	1519
35.3.3	输入采样和 A/D 转换时间	1521
35.3.4	通过外部触发开始的 A/D 转换	1523

35.3.5	通过 MTU 的 TRG0AN_0 和 TRG0BN_0 开始的 A/D 转换	1523
35.3.6	通过 MTU 的 TRGAN_0 和 TRGAN_1 开始的 A/D 转换	1524
35.3.7	通过 MTU 的 TRG4ABN_0 和 TRG4ABN_1 开始的 A/D 转换	1525
35.3.8	通过 TMR 的 TMTRG0AN_0 开始的 A/D 转换	1526
35.4	中断源	1527
35.5	A/D 转换精度的定义	1527
35.6	使用时的注意事项	1529
35.6.1	模块停止功能的设定	1529
35.6.2	停止 A/D 转换时的注意事项	1529
35.6.3	重新开始 A/D 转换时的注意事项	1529
35.6.4	向低功耗状态转移时的注意事项	1529
35.6.5	有关容许信号源阻抗	1529
35.6.6	对绝对精度的影响	1530
35.6.7	模拟电源引脚等的设定范围	1530
35.6.8	设计电路板时的注意事项	1531
35.6.9	噪声对策的注意事项	1531
35.6.10	高速转换的实现	1531
35.6.11	12 位 A/D 转换器和 10 位 A/D 转换器的选择	1532
35.6.12	同时使用 A/D 转换器和 D/A 转换器时的注意事项	1532
36.	D/A 转换器	1533
36.1	概要	1533
36.2	寄存器说明	1534
36.2.1	D/A 数据寄存器 m (DADRm) (m=0、1)	1534
36.2.2	D/A 控制寄存器 (DACR)	1535
36.2.3	DADRm 格式选择寄存器 (DADPR)	1536
36.3	运行说明	1537
36.4	使用时的注意事项	1537
36.4.1	模块停止功能的设定	1537
36.4.2	模块停止时的 D/A 转换器的运行	1537
36.4.3	软件待机模式时的 D/A 转换器的运行	1537
36.4.4	深度软件待机模式时的注意事项	1537
37.	RAM	1538
37.1	概要	1538
37.2	运行说明	1538
37.2.1	数据的保持	1538
37.2.2	低功耗功能	1538
38.	ROM (保存代码的闪存)	1539
38.1	概要	1539
38.2	寄存器说明	1541
38.2.1	闪存模式寄存器 (FMODR)	1542
38.2.2	闪存存取状态寄存器 (FASTAT)	1543
38.2.3	闪存存取错误中断允许寄存器 (FAEINT)	1544
38.2.4	FCU RAM 允许寄存器 (FCURAME)	1545
38.2.5	闪存状态寄存器 0 (FSTATR0)	1546
38.2.6	闪存状态寄存器 1 (FSTATR1)	1548
38.2.7	闪存就绪中断允许寄存器 (FRDYIE)	1549
38.2.8	闪存 P/E 模式入口寄存器 (FENTRYR)	1550
38.2.9	闪存保护寄存器 (FPROTR)	1551
38.2.10	闪存复位寄存器 (FRESETR)	1552

38.2.11	FCU 命令寄存器 (FCMDR)	1553
38.2.12	FCU 处理转换寄存器 (FCPSR)	1554
38.2.13	闪存 P/E 状态寄存器 (FPESTAT)	1555
38.2.14	外围时钟通知寄存器 (PCKAR)	1556
38.2.15	闪存编程 / 擦除保护寄存器 (FWEPROR)	1557
38.3	ROM 的存储器 MAT 结构	1557
38.4	块结构	1558
38.5	ROM 相关的运行模式	1559
38.6	ROM 的编程 / 擦除	1561
38.6.1	FCU 的模式	1561
38.6.2	FCU 命令一览表	1563
38.6.3	FCU 的模式和命令的关系	1565
38.6.4	FCU 命令的使用方法	1566
38.7	挂起	1581
38.7.1	编程时的挂起	1581
38.7.2	擦除时的挂起 (挂起优先模式)	1582
38.7.3	擦除时的挂起 (擦除优先模式)	1583
38.8	保护	1584
38.8.1	软件保护	1584
38.8.2	错误保护	1584
38.9	引导模式	1586
38.9.1	系统结构	1586
38.9.2	ID 码保护	1587
38.9.3	UB 码 A	1588
38.9.4	引导模式的状态转移	1589
38.9.5	位速率的自动调整	1591
38.9.6	查询设定主机命令的等待状态	1592
38.9.7	ID 码等待状态	1602
38.9.8	编程 / 擦除主机命令等待状态	1603
38.10	USB (用户) 引导模式	1611
38.10.1	特点	1612
38.10.2	状态转移	1613
38.10.3	执行 USB 引导模式时的注意点	1614
38.11	on-chip 调试器的 ID 码保护	1614
38.12	ROM 码保护	1614
38.13	使用时的注意事项	1615
39.	数据闪存 (保存数据的闪存)	1616
39.1	概要	1616
39.2	寄存器说明	1618
39.2.1	闪存模式寄存器 (FMODR)	1619
39.2.2	闪存存取状态寄存器 (FASTAT)	1620
39.2.3	闪存存取错误中断允许寄存器 (FAEINT)	1622
39.2.4	数据闪存读允许寄存器 0 (DFLRE0)	1623
39.2.5	数据闪存读允许寄存器 1 (DFLRE1)	1624
39.2.6	数据闪存编程 / 擦除允许寄存器 0 (DFLWE0)	1625
39.2.7	数据闪存编程 / 擦除允许寄存器 1 (DFLWE1)	1626
39.2.8	闪存 P/E 模式入口寄存器 (FENTRYR)	1627
39.2.9	数据闪存空白检查控制寄存器 (DFLBCCNT)	1628
39.2.10	数据闪存空白检查状态寄存器 (DFLBCSTAT)	1629
39.3	数据闪存的存储器 MAT 结构	1630
39.4	块结构	1630

39.5	数据闪存相关的运行模式	1631
39.6	数据闪存的编程 / 擦除	1632
39.6.1	FCU 的模式	1632
39.6.2	FCU 命令一览表	1634
39.6.3	FCU 的模式和命令的关系	1635
39.6.4	FCU 命令的使用方法	1636
39.7	保护	1640
39.7.1	软件保护	1640
39.7.2	错误保护	1640
39.8	引导模式	1642
39.8.1	查询设定主机命令	1642
39.8.2	编程 / 擦除主机命令	1644
39.9	使用时的注意事项	1645
40.	边界扫描	1646
40.1	概要	1646
40.2	寄存器说明	1647
40.2.1	指令寄存器 (JTIR)	1648
40.2.2	ID 码寄存器 (JTIDR)	1648
40.2.3	旁路寄存器 (JTBPR)	1649
40.2.4	边界扫描寄存器 (JTBSR)	1649
40.3	运行说明	1661
40.3.1	TAP 控制器	1661
40.3.2	命令一览	1662
40.4	使用时的注意事项	1663
41.	电特性	1665
41.1	绝对最大额定值	1665
41.2	DC 特性	1666
41.3	AC 特性	1670
41.3.1	时钟时序	1671
41.3.2	控制信号时序	1675
41.3.3	总线时序	1676
41.3.4	EXDMAC 时序	1689
41.3.5	内部外围模块的时序	1690
41.4	USB 特性	1707
41.5	A/D 转换特性	1708
41.6	D/A 转换特性	1709
41.7	上电复位电路和电压检测电路的特性	1709
41.8	振荡停止检测时序	1711
41.9	ROM (保存代码的闪存) 特性	1712
41.10	数据闪存 (保存数据的闪存) 特性	1713
附录	1715
附录 1.	各运行模式中的端口状态	1715
附录 2.	封装尺寸图	1724

RX62N 群、RX621 群

瑞萨单片机

100MHz、32 位 RX MCU、内部 FPU、165 DMIPS、
最大 512K 字节闪存、USB2.0 全速 主机 / 功能 /OTG、以太网、
CAN、12 位 ADC、TFT-LCD、RTC、最多 14 个通信 I/F

R01UH0033CJ0130
Rev.1.30
2012.07.11

特点

■ 内置 32 位 RX CPU 内核

- 最大工作频率 100MHz
- 165 DMIPS 性能（以 100MHz 运行时）
- 32 位单精度浮点（符合 IEEE754 规格）
- 32×32→64 位运算结果（1 条指令）的累加器
- 32×32 位乘法、除法器（乘法运算指令为 1 个 CPU 时钟）
- 高速中断
- 5 级流水线的 CISC 哈佛体系结构
- 可变长指令格式：大幅缩短编码
- 支持存储器保护单元（MPU）
- JTAG 调试功能和高速跟踪功能

■ 低功耗功能

- 以 2.7V ~ 3.6V 运行的单电源
- 支持所有外围功能时的功耗为 500μA/MHz
- 使用 RTC 的深度软件待机模式
- 4 种低功耗模式

■ 内部主闪存（无等待）

- 以 100MHz 运行、读周期为 10 n sec
- 当 CPU 全速读时，无等待
- 256K/384K/512K 字节的容量
- 用于指令、操作数
- USB、SCI、JTAG 的用户编程

■ 内部数据闪存

- 最大 32K 字节（能擦除 30K 次）
- 不对 CPU 外加负荷的编程 / 擦除

■ 内部 SRAM（无等待）

- 64K/96K 字节 SRAM
- 用于操作数、指令
- 深度软件待机模式中的备份保存功能

■ DMA

- DMA：内置 4 个通道
- 用于外部间传送的 EXDMA：内置 2 个通道
- DTC

■ 复位和电源电压控制

- 随时内部上电复位（POR）
- 能设定低电压检测功能（LVD）

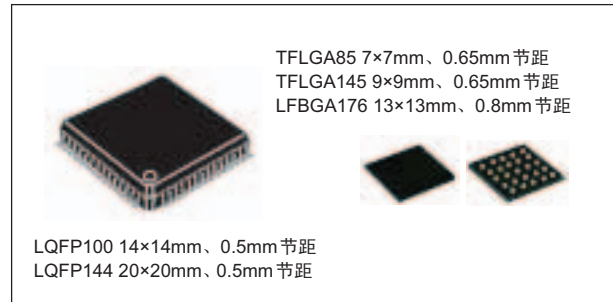
■ 时钟功能

- 支持外部晶体振荡器、内部 PLL 支持 8MHz ~ 14MHz
- 面向系统、USB、以太网的 PLL
- 用于 IWDG 的内部 125kHz LOCO 时钟
- 外部晶体振荡器、32kHz RTC 的专用时钟

■ 内置实时时钟

■ 内置独立看门狗定时器

- 125kHz LOCO 时钟运行



■ 内置最多 14 个通信接口

- 带 PHY 的 USB2.0 全速 (2ch)
支持主机 / 功能 /OTG
10 个端点：Control、Interrupt、Bulk、Isochronous
- 以太网 MAC 10/100 Mbps
支持全双工 / 半双工模式 (1ch)
带 2K 字节接收 / 发送 FIFO 的专用 DMA
支持 RMII/MII 接口
- CAN（符合 ISO11898-1 标准）内置 32 个信箱 (1ch)
- SCI(6ch)
异步模式 / 时钟同步模式 / 智能卡接口模式
- 支持最大传送率为 1Mbps 和 SMBus 的 I²C 总线接口 (2ch)
- RSPI(2ch)

■ 外部地址空间

- 8 个 CS 区（8×16M 字节）
- 128M 字节的 SDRAM 区
- 各区域可选择 8/16/32 位总线空间

■ 支持到 WQVGA 的 TFT-LCD

■ 最多 20 个扩展定时器功能

- 16 位 MTU2：输入捕捉、输出比较、PWM 波形输出、相位计数模式 (12ch)
- 8 位 TMR(4ch)
- 16 位 CMT(4ch)

■ 内置以 1MHz 运行的 A/D 转换器

- 内置 1 个采样 & 保持电路：12 位 ×8 个通道、或者内置 1 个采样 & 保持电路：10 位 ×4 个通道（2 个单元）
- A/D 转换值加法运算功能（12 位 A/D 转换器）

■ 内置 10 位 D/A 转换器：2 个通道

■ 内置最多 128 个 GPIO

- 5V 容许、漏极开路、输入上拉

■ 工作环境温度

- -40°C ~ +85°C

1. 概要

1.1 规格概要

规格概要和各产品功能对应表分别如表 1.1 和表 1.2 所示。

表 1.1 规格概要 (1 / 4)

分类	模块 / 功能	说明
CPU	中央处理器	<ul style="list-style-type: none"> 最大工作频率：100MHz 32 位 RX CPU 指令的最短执行时间：1 条指令 1 个时钟 地址空间：4G 字节、线性地址 寄存器 <ul style="list-style-type: none"> 通用寄存器：32 位 ×16 个 控制寄存器：32 位 ×9 个 累加器：64 位 ×1 个 基本指令：73 种 浮点运算指令：8 种 DSP 功能指令：9 种 寻址方式：10 种 数据排列 <ul style="list-style-type: none"> 指令：小端法 数据：可选择小端法或者大端法 32 位乘法器：32 位 ×32 位 →64 位 除法器：32 位 ÷32 位 →32 位 桶式移位器：32 位 存储器保护单元（MPU）
	FPU	<ul style="list-style-type: none"> 单精度浮点数（32 位） 符合 IEEE754 规格的数据类型和异常
存储器	ROM	<ul style="list-style-type: none"> ROM 容量：最多 512K 字节 2 种板上编程模式 <ul style="list-style-type: none"> 引导模式（能使用 SCI 和 USB 改写用户 MAT） 用户编程模式 并行编程器模式（板外编程）
	RAM	RAM 容量：最多 96K 字节
	数据闪存	数据 ROM 容量：32K 字节
MCU 运行模式		单芯片模式、内部 ROM 有效扩展模式、内部 ROM 无效扩展模式（软件转换）
时钟	时钟发生电路	<ul style="list-style-type: none"> 2 个电路：主时钟振荡电路、副时钟振荡电路 内部振荡：低速内部振荡器 由 PLL 频率合成器和分频电路构成，可选择工作频率。 振荡停止检测：有 能分别设定系统时钟（ICLK）、外围模块时钟（PCLK）和外部总线时钟（BCLK）。 <ul style="list-style-type: none"> CPU 和总线主控器等系统设备与 ICLK 同步：8 ~ 100MHz 外围模块与 PCLK 同步：8 ~ 50MHz 连接外部总线的设备与 BCLK 同步：8 ~ 50MHz（注 1）
复位		引脚复位、上电复位、电压监视复位、看门狗定时器复位、独立看门狗定时器复位、深度软件待机复位
电压检测电路		如果 VCC 低于电压检测电平（Vdet），就产生内部复位或者内部中断。
低功耗	低功耗功能	<ul style="list-style-type: none"> 模块停止功能 4 种低功耗状态 <ul style="list-style-type: none"> 睡眠模式、全模块时钟停止模式、软件待机模式、深度软件待机模式

注 1. 在 100 引脚 LQFP 版、85 引脚 TFLGA 版中，BCLK 同步：8 ~ 25MHz。

表 1.1 规格概要 (2 / 4)

分类	模块 / 功能	说明
中断	中断控制器	<ul style="list-style-type: none"> • 外围功能中断：146 个中断源 • 外部中断：16 个中断源（IRQ0 ~ IRQ15 引脚） • 非屏蔽中断：3 个中断源（NMI 引脚、振荡停止检测中断、电压监视中断） • 能设定 16 个中断优先级。
	用户断点控制器 (选项)	<ul style="list-style-type: none"> • 2 个通道的断点 • 能给取指令周期设定地址断开（能修正 ROM）。
外部总线扩展		<ul style="list-style-type: none"> • 将外部地址空间分为 9 个区域（CS0 ~ CS7 和 SDCS）进行管理。 • 各区域：16M 字节（CS0 ~ CS7）、128M 字节（SDCS） • 各区域能输出片选（CS0# ~ CS7# 和 SDCS#）。 • 各区域可选择 8 位总线空间、16 位总线空间或者 32 位总线空间（32 位总线空间只限于 176 引脚版）。 • 各区域能设定字节序（只限于数据）。 • 能连接 SDRAM 接口。 • 总线格式：分离总线 • 能控制等待。 • 写缓冲器功能
DMA	DMA 控制器	<ul style="list-style-type: none"> • 4 个通道 • 传送模式：正常传送模式、重复传送模式、块传送模式 • 启动源：软件触发、外部中断、外围功能中断
	EXDMA 控制器	<ul style="list-style-type: none"> • 2 个通道 • 传送模式：正常传送模式、重复传送模式、块传送模式、群集传送模式 • 能通过 EDACK 信号进行单地址传送。 • 能将数据直接传送到 TFT LCD 显示器。 • 启动源：软件触发、外部 DMA 传送请求（EDREQ）、外围功能中断
	数据传送控制器	<ul style="list-style-type: none"> • 传送模式：正常传送模式、重复传送模式、块传送模式 • 启动源：软件触发、外部中断、外围功能中断
I/O 端口	可编程输入 / 输出 端口	<p>176 引脚 LFBGA/145 引脚 TFLGA/144 引脚 LQFP/100 引脚 LQFP/85 引脚 TFLGA 的 I/O 端口</p> <ul style="list-style-type: none"> • 输入 / 输出：126/103/103/72/58 • 输入：2/2/2/2/2 • 上拉电阻：56/44/44/40/28 • 漏极开路输出：35/33/33/27/23 • 5V 容许：11/11/11/7/6
定时器	多功能定时器脉冲 单元	<ul style="list-style-type: none"> • (16 位 × 6 个通道) × 2 个单元 • 以 16 位定时器 12 个通道为基础，最多能输入 / 输出 32 个脉冲以及输入 6 个脉冲。 • 各通道可选择 8 种计数时钟（PCLK/1、PCLK/4、PCLK/16、PCLK/64、MTCLKA、MTCLKB、MTCLKC、MTCLKD）（通道 5 可选择 4 种）。 • 输入捕捉功能 • 21 个输出比较寄存器兼输入捕捉寄存器 • 脉冲输出模式 • 互补 PWM 输出模式 • 复位同步 PWM 模式 • 相位计数模式 • 能生成 A/D 转换器的转换开始触发。
	端口输出允许	控制 MTU 波形输出引脚的高阻抗。

表 1.1 规格概要 (3 / 4)

分类	模块 / 功能	说明
定时器	可编程脉冲发生器	<ul style="list-style-type: none"> • (4 位 × 4 组) × 2 个单元 • 将 MTU 的输出作为触发, 输出脉冲。 • 最多输出 32 位脉冲。
	8 位定时器	<ul style="list-style-type: none"> • (8 位 × 2 个通道) × 2 个单元 • 可选择 7 种内部时钟 (PCLK、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192) 和外部时钟。 • 能进行任意占空比的脉冲输出和 PWM 输出。 • 能将 2 个通道进行级联运行, 用作 16 位定时器。 • 能生成 A/D 转换器的转换开始触发。 • 能生成 SCI5 和 SCI6 的波特率时钟。
	比较匹配定时器	<ul style="list-style-type: none"> • (16 位 × 2 个通道) × 2 个单元 • 可选择 4 种时钟 (PCLK/8、PCLK/32、PCLK/128、PCLK/512)。
	看门狗定时器	<ul style="list-style-type: none"> • 8 位 × 1 个通道 • 可选择 8 种计数时钟 (PCLK/4、PCLK/64、PCLK/128、PCLK/512、PCLK/2048、PCLK/8192、PCLK/32768、PCLK/131072)。 • 能转换使用看门狗定时器模式和间隔定时器模式。
	独立看门狗定时器	<ul style="list-style-type: none"> • 14 位 × 1 个通道 • 计数时钟: 专用内部振荡器
实时时钟		<ul style="list-style-type: none"> • 时钟源: 用作副时钟 • 时钟 / 日历功能 • 中断源: 闹钟中断、周期中断、进位中断
通信功能	以太网控制器	<ul style="list-style-type: none"> • 以太网 /IEEE802.3 帧的发送和接收。 • 支持 10Mbps 传送和 100Mbps 传送。 • 支持全双工模式和半双工模式。 • 支持 IEEE802.3u 规格的 MII (Media Independent Interface) 和 RMII (Reduced Media Independent Interface)。 • 检测 Magic Packet™ (注) 以及输出 Wake-On-LAN (WOL) 信号。 • 符合 IEEE802.3x 规格的流程控制标准。 <p>注. Magic Packet™ 是 Advanced Micro Devices, Inc. 的注册商标。</p>
	以太网控制器的 DMA 控制器	<ul style="list-style-type: none"> • 通过描述符管理方式减轻 CPU 负载。 • 发送 FIFO: 2K 字节 接收 FIFO: 2K 字节
	USB2.0 主机 / 功能模块	<ul style="list-style-type: none"> • 内置对应 USB2.0 的 UDC (USB Device Controller) 和收发器。 • 1 个端口 (176 引脚版: 2 个端口) • 符合 USB 版本 2.0 标准。 • 传送速度: 全速 (12Mbps) • 可选择自供电模式和总线供电模式。 • 能支持 OTG (ON-The-Go)。 • 作为通信缓冲器, 内置 2K 字节的 RAM。
	串行通信接口	<ul style="list-style-type: none"> • 6 个通道 • 串行通信方式: 异步 / 时钟同步 / 智能卡接口 • 多处理器通信功能 • 可通过内部波特率发生器选择任意的位速率。 • 可选择 LSB first 或者 MSB first。 • 能输入 TMR 的平均传送率时钟 (SCI5 和 SCI6)。
	I ² C 总线接口	<ul style="list-style-type: none"> • 2 个通道 (100 引脚版: 1 个通道) • 通信格式 • I²C 总线格式 / SMBus 格式 • 可选择主控或者从属 (对应多主控)。
	CAN 模块	<ul style="list-style-type: none"> • 1 个通道 • 32 个信箱

表 1.1 规格概要 (4 / 4)

分类	模块 / 功能	说明
通信功能	串行外围接口	<ul style="list-style-type: none"> • 2 个单元 • RSPI 传送功能 能使用 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select) 和 RSPCK (RSPI Clock) 信号, 通过 SPI 运行 (4 线式) 或者时钟同步运行 (3 线式) 进行串行通信。 能在主控模式或者从属模式中进行串行通信。 • 数据格式 能转换 MSB first 和 LSB first。 能将传送位长改为 8 ~ 16 位、20 位、24 位或者 32 位。 发送 / 接收缓冲器为 128 位。 1 次发送 / 接收最多传送 4 帧 (1 帧最多为 32 位)。 • 缓冲器结构 • 发送 / 接收缓冲器为双缓冲结构。 • 最大传送速率 主控模式时: 18Mbps 从属模式时: 6.25Mbps
12 位 A/D 转换器 / 10 位 A/D 转换器		<ul style="list-style-type: none"> • 12 位 × 1 个单元 (1 个单元 × 8 个通道) 或者 10 位 × 2 个单元 (2 个单元 × 4 个通道) (能使用 12 位 A/D 转换器或者 10 位 A/D 转换器) • 分辨率: 10 位或者 12 位 • 转换时间: 每个通道 1.0μs (以 PCLK=50MHz 运行时) • 2 种运行模式 单次模式、扫描模式 (1 个周期扫描模式 / 连续扫描模式) • 有采样 & 保持功能 • 3 种 A/D 转换的开始方法 软件触发、定时器 (MTU 和 TMR) 的触发、外部触发 • A/D 转换器的自诊断功能
D/A 转换器		<ul style="list-style-type: none"> • 2 个通道 (100 引脚版: 1 个通道) • 分辨率: 10 位 • 输出电压: 0V ~ VREFH
CRC 运算器		<ul style="list-style-type: none"> • 对以 8 位为单位的任意数据长度, 生成 CRC 码。 • 可从 3 个多项式中选择: X^8+X^2+X+1、$X^{16}+X^{15}+X^2+1$、$X^{16}+X^{12}+X^5+1$ • 可选择是生成 LSB first 通信的 CRC 码, 还是生成 MSB first 通信的 CRC 码。
工作频率		8 ~ 100MHz
电源电压		VCC=PLLVC=AVCC=2.7 ~ 3.6V, VREFH=2.7 ~ AVCC
工作环境温度		-40 ~ +85°C
封装		176 引脚 LFBGA (PLBG0176GA-A)、145 引脚 TFLGA (PTLG0145JB-A) 144 引脚 LQFP (PLQP0144KA-A)、100 引脚 LQFP (PLQP0100KB-A) (注 2) 85 引脚 TFLGA (PTLG0085JA-A) (注 2、注 3)

注 2. SDRAM 区控制器和 EXDMA 控制器不支持 100 引脚 LQFP 版和 85 引脚 TFLGA 版。

注 3. 端口输出允许不支持 85 引脚 TFLGA 版。

表 1.2 RX62N 群和 RX621 群的功能比较表

功能		RX62N 群								RX621 群				
		R5F562Nx Bxxx (注)				R5F562Nx Axxx (注)				R5F5621x Bxxx (注)				
封装		176 引脚 LFBGA	145 引脚 TFLGA	144 引脚 LQFP	100 引脚 LQFP	176 引脚 LFBGA	145 引脚 TFLGA	144 引脚 LQFP	100 引脚 LQFP	176 引脚 LFBGA	145 引脚 TFLGA	144 引脚 LQFP	100 引脚 LQFP	85 引脚 TFLGA
外部总线	SDRAM 区控制器	○		—	○		—		○		—			
DMA	DMA 控制器	○				○				○				
	EXDMA 控制器	○		—	○		—		○		—			
	数据传送控制器	○				○				○				
定时器	多功能定时器脉冲单元	○				○				○				
	端口输出允许	○				○				○		—		
	可编程脉冲发生器	○				○				○				
	8 位定时器	○				○				○				
	比较匹配定时器	○				○				○				
	实时时钟	○				○				○				
	看门狗定时器	○				○				○				
	独立看门狗定时器	○				○				○				
通信功能	以太网控制器 / 以太网控制器的 DMA 控制器	○				○				—				
	USB2.0 主机 / 功能模块	○				○				○				
	串行通信接口	○				○				○				
	I ² C 总线接口	○				○				○				
	CAN 模块	○				—				○				
	串行外围接口	○				○				○				
A/D 转换器		○				○				○				
D/A 转换器		○				○				○				
CRC 运算器		○				○				○				

【符号说明】 ○：有 —：无

注. 有关产品型号，请参照表 1.3。

1.2 产品一览表

产品一览表如表 1.3 所示，产品型号、存储容量和封装如图 1.1 所示。

表 1.3 产品一览表

群	产品型号	封装	ROM 容量	RAM 容量	数据闪存	工作频率 (max)
RX62N	R5F562N8BDBG	PLBG0176GA-A	512K 字节	96K 字节	32K 字节	100MHz
	R5F562N8BDLE	PTLG0145JB-A	512K 字节	96K 字节	32K 字节	100MHz
	R5F562N8BDFB	PLQP0144KA-A	512K 字节	96K 字节	32K 字节	100MHz
	R5F562N8BDFP	PLQP0100KB-A	512K 字节	96K 字节	32K 字节	100MHz
	R5F562N7BDBG	PLBG0176GA-A	384K 字节	64K 字节	32K 字节	100MHz
	R5F562N7BDLE	PTLG0145JB-A	384K 字节	64K 字节	32K 字节	100MHz
	R5F562N7BDFB	PLQP0144KA-A	384K 字节	64K 字节	32K 字节	100MHz
	R5F562N7BDFP	PLQP0100KB-A	384K 字节	64K 字节	32K 字节	100MHz
	R5F562N8ADBG	PLBG0176GA-A	512K 字节	96K 字节	32K 字节	100MHz
	R5F562N8ADLE	PTLG0145JB-A	512K 字节	96K 字节	32K 字节	100MHz
	R5F562N8ADFB	PLQP0144KA-A	512K 字节	96K 字节	32K 字节	100MHz
	R5F562N8ADFP	PLQP0100KB-A	512K 字节	96K 字节	32K 字节	100MHz
	R5F562N7ADBG	PLBG0176GA-A	384K 字节	64K 字节	32K 字节	100MHz
	R5F562N7ADLE	PTLG0145JB-A	384K 字节	64K 字节	32K 字节	100MHz
	R5F562N7ADFB	PLQP0144KA-A	384K 字节	64K 字节	32K 字节	100MHz
	R5F562N7ADFP	PLQP0100KB-A	384K 字节	64K 字节	32K 字节	100MHz
RX621	R5F56218BDBG	PLBG0176GA-A	512K 字节	96K 字节	32K 字节	100MHz
	R5F56218BDLE	PTLG0145JB-A	512K 字节	96K 字节	32K 字节	100MHz
	R5F56218BDFB	PLQP0144KA-A	512K 字节	96K 字节	32K 字节	100MHz
	R5F56218BDFP	PLQP0100KB-A	512K 字节	96K 字节	32K 字节	100MHz
	R5F56218BDLD	PTLG0085JA-A	512K 字节	96K 字节	32K 字节	100MHz
	R5F56217BDBG	PLBG0176GA-A	384K 字节	64K 字节	32K 字节	100MHz
	R5F56217BDLE	PTLG0145JB-A	384K 字节	64K 字节	32K 字节	100MHz
	R5F56217BDFB	PLQP0144KA-A	384K 字节	64K 字节	32K 字节	100MHz
	R5F56217BDFP	PLQP0100KB-A	384K 字节	64K 字节	32K 字节	100MHz
	R5F56217BDLD	PTLG0085JA-A	384K 字节	64K 字节	32K 字节	100MHz
	R5F56216BDBG	PLBG0176GA-A	256K 字节	64K 字节	32K 字节	100MHz
	R5F56216BDLE	PTLG0145JB-A	256K 字节	64K 字节	32K 字节	100MHz
	R5F56216BDFB	PLQP0144KA-A	256K 字节	64K 字节	32K 字节	100MHz
	R5F56216BDFP	PLQP0100KB-A	256K 字节	64K 字节	32K 字节	100MHz
	R5F56216BDLD	PTLG0085JA-A	256K 字节	64K 字节	32K 字节	100MHz

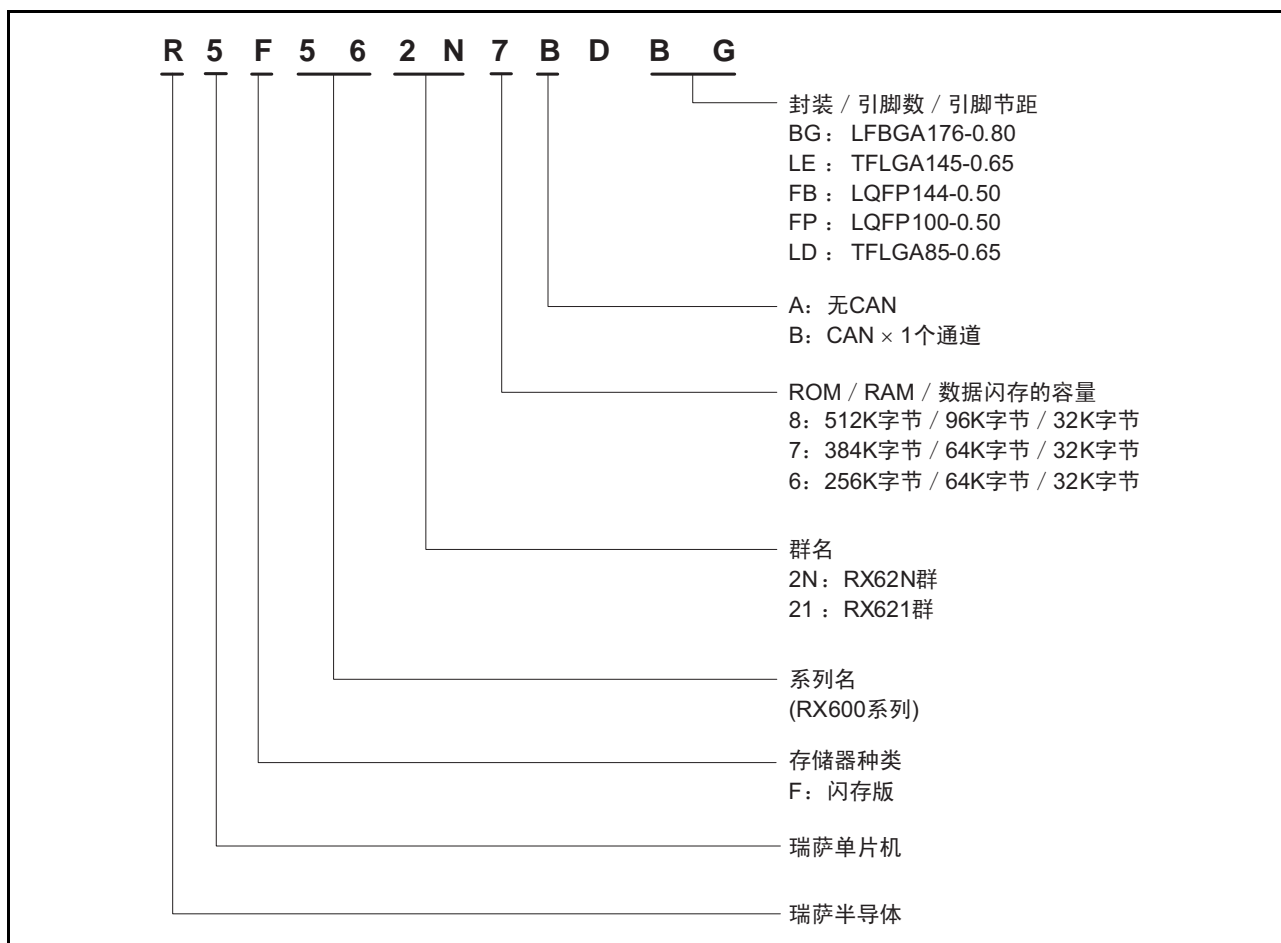


图 1.1 产品型号、存储容量和封装

1.3 框图

框图如图 1.2 所示。

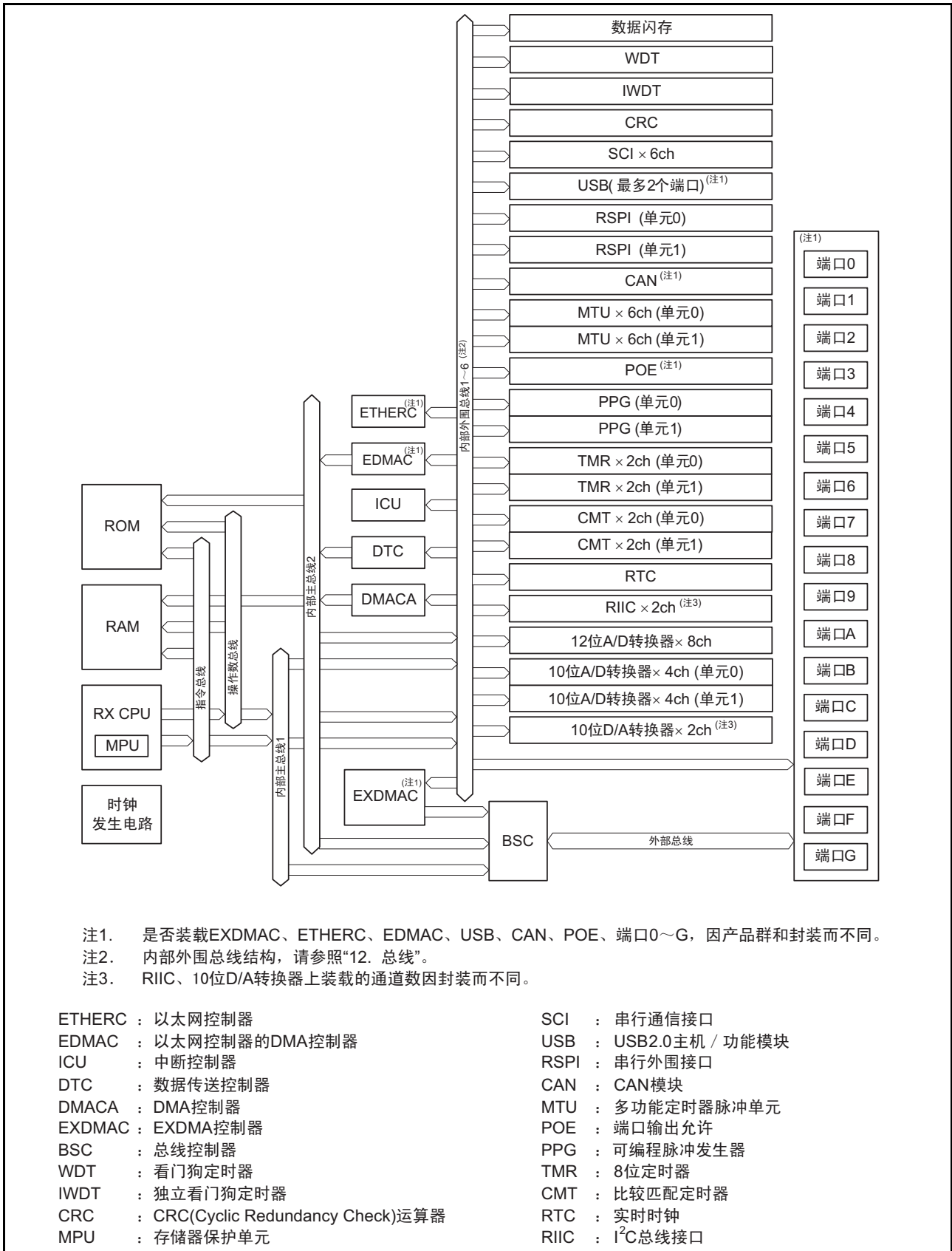


图 1.2 框图

1.4 引脚排列图

引脚排列图如图 1.3 ~ 图 1.9 所示，各功能引脚一览表如表 1.4 ~ 表 1.8 所示。

	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	
15	PE1	P70	PE6	P65	P67	PG5	PA1	PA3	PA6	PB0	VCC	PB2	PB5	PB7	P75	15
14	P63	PE2	PE5	PE7	P66	PA0	PG6	PA4	PA7	P72	PB3	PB6	P73	PC1	P77	14
13	P61	P64	PE3	PE4	VCC	PG3	VCC	PA2	PA5	P71	PB4	VCC	P74	P76	P80	13
12	PD7	P62	PE0	VSS	PG2	PG4	VSS	PG7	VSS	PB1	VSS	PC0	PC2	PC4	PC7	12
11	PG0	P60	VCC	VSS	RX62N群 RX621群 PLBG0176GA-A (176引脚LFBGA) (俯视透视图)							P81	PC3	P82	P83	11
10	PD4	PD6	PD5	PG1								PC6	PC5	P50	P53	10
9	PD3	P97	VCC	VSS								VSS	VCC	P84	P85	9
8	PD2	P96	P94	P95								P51	P52	VCC_USB	USB1_DP	8
7	PD0	PD1	P92	P93								P54	P10	P56	USB1_DM	7
6	P90	P91	VCC	VSS								P55	P57	VCC_USB	VSS_USB	6
5	P46	P47	P40	P43								P11	P15	P13	USB0_DP	5
4	P45	P44	P07	P41								VSS	VSS	MDE	RES#	P34
3	P42	VREFL	P05	VCC	BSCANP	VCL	MD0	VCC	PF3	PF0	VCC	P22	P20	P16	P12	3
2	AVCC	VREFH	P03	P01	CNVSS	WDTOVF#	MD1	P35	P32	P31	P27	P25	P23	PLLCC	PLLSS	2
1	AVSS	P02	P00	EMLE	XCIN	XCOUT	VSS	XTAL	EXTAL	P33	PF2	PF1	P26	P24	P21	1
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	

图 1.3 176 引脚 LFBGA 的引脚排列图

	A	B	C	D	E	F	G	H	J	K	L	M	N	
13	P64	PE4	P70	PE6	P66	PA2	PA4	PA7	P72	PB3	PB6	VSS	P74	13
12	P62	PE1	PE3	PE7	PA0	VCC	PA6	PB1	PB5	PC0	VCC	PC1	P76	12
11	P60	PE2	PE5	VCC	P67	PA3	PA5	P71	PB4	P73	P75	PC2	PC4	11
10	PD6	PE0	P63	VSS	P65	PA1	VSS	PB0	PB2	PB7	P77	P80	PC5	10
9	PD3	VSS	P61	VCC	RX62N群 RX621群 PTLG0145JB-A (145引脚TFLGA) (俯视透视图)					PC3	P81	PC6	VCC	9
8	PD0	PD5	PD7	PD4						P82	P83	P50	P51	8
7	P91	PD1	PD2	P93						PC7	P52	P55	P54	7
6	P47	P90	P92	VSS						VSS	P56	VSS_USB	USB0_DP	6
5	P44	P45	P46	VCC	NC	P53	VCC_USB	P14	USB0_DM	5				
4	P42	P40	P41	P43	BSCANP	MDE	MD0	RES#	P32	P26	P12	P15	P13	4
3	VREFL	VREFH	VSS	P02	P00	WDTOVF#	MD1	VCC	P35	P31	P17	PLLVCC	PLLVSS	3
2	AVCC	P07	P05	VCC	VSS	XCOUT	VSS	P34	P27	P24	P22	P20	P16	2
1	AVSS	P03	P01	EMLE	VCL	XCIN	XTAL	EXTAL	P33	P30	P25	P23	P21	1

■ : NC引脚

图 1.4 145 引脚 TFLGA 的引脚排列图

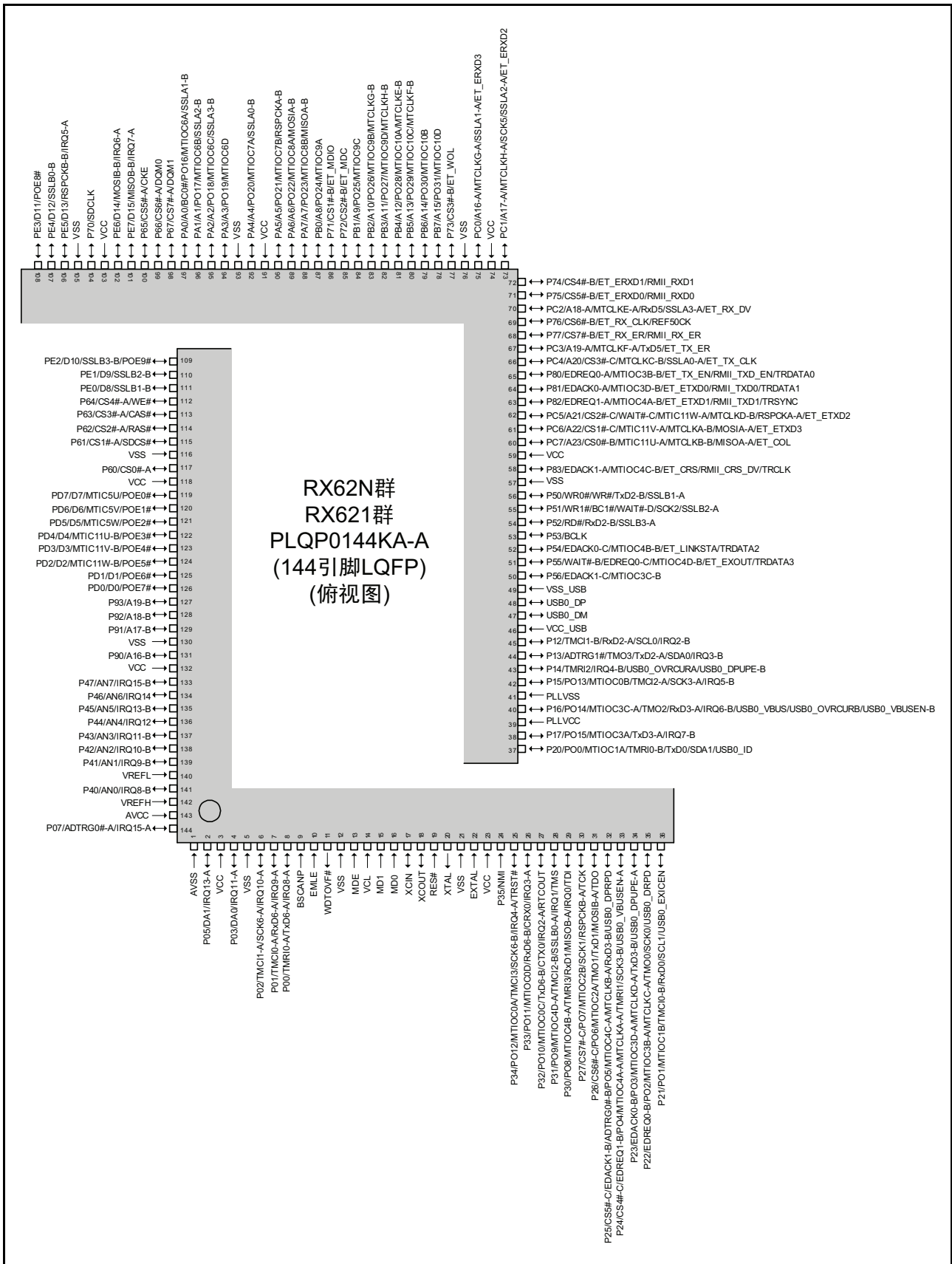


图 1.6 144 引脚 LQFP 的引脚排列图 (辅助图)

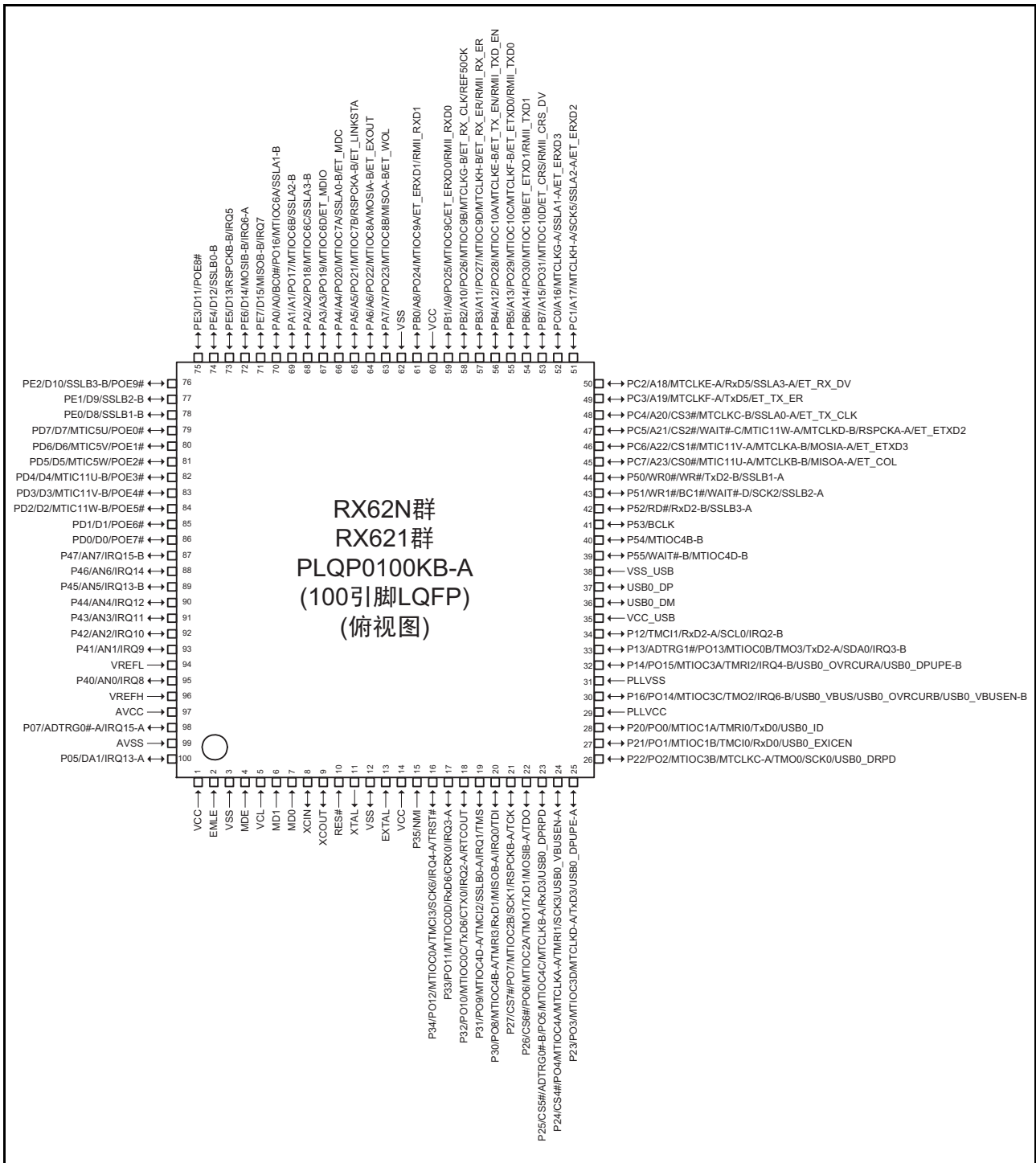


图 1.7 100 引脚 LQFP 的引脚排列图

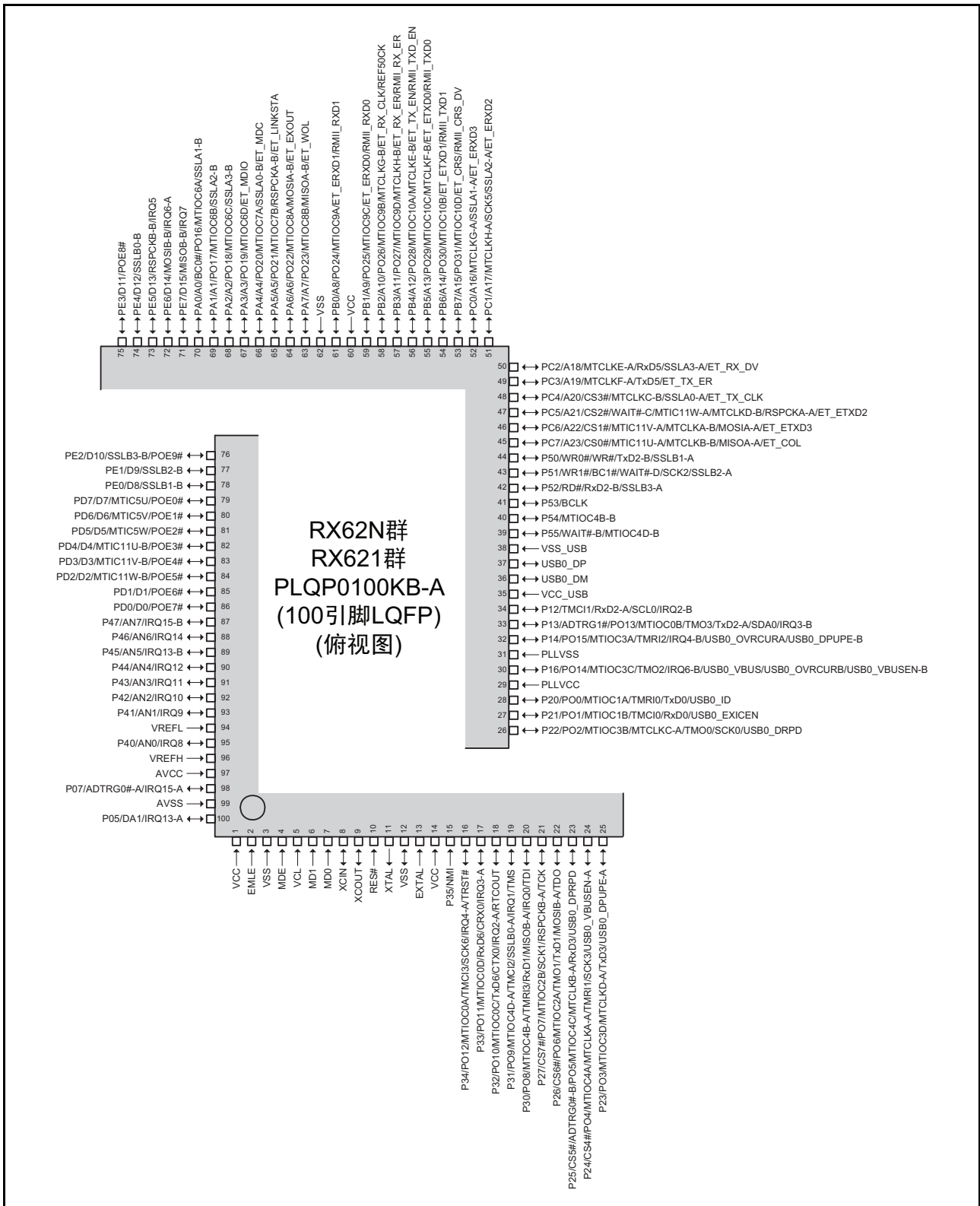


图 1.8 100 引脚 LQFP 的引脚排列图（辅助图）

	A	B	C	D	E	F	G	H	J	K	
10	PD6	PA1	PA0	PA2	PA4	PA7	PB1	PB4	PC0	PC1	10
9	PD7	PA3	PA5	PA6	PB0	PB2	PB5	PB7	PC3	PC2	9
8	PD5	PD3	BSCANP	VCL	VSS	VCC	PB3	PB6	P51	P50	8
7	PD4	PD2	MD1	RX62N群 RX621群 PTLG0085JA-A (85引脚TFLGA) (俯视透视图)				P53	P52	VSS_USB	7
6	PD1	PD0	P45					P13	USB0_DM	USB0_DP	6
5	P47	P46	P44					P14	VCC_USB	P12	5
4	P43	P42	P41					RES#	PLLVCC	P16	PLLVSS
3	VREFL	VREFH	P40	MD0	P34	P32	P27	P26	P24	P20	3
2	AVCC	AVSS	VSS	EMLE	XCOUT	EXTAL	P33	P30	P23	P22	2
1	P05	VCC	P03	MDE	XCIN	XTAL	P35	P31	P25	P21	1
	A	B	C	D	E	F	G	H	J	K	

图 1.9 85 引脚 TFLGA 的引脚排列图

表 1.4 各功能引脚一览表 (176 引脚 LFBGA) (1 / 6)

引脚序号	电源时钟 系统控制	I/O 端口	外部总线 EXDMAC	ETHERC EDMAC	USB	定时器 (MTU、 TMR、PPG、 POE、WDT)	通信 (SCI、CAN、 RSPI、RIIC)	其他
A1	AVSS							
A2	AVCC							
A3		P42						IRQ10-B/AN2
A4		P45						IRQ13-B/AN5
A5		P46						IRQ14/AN6
A6		P90	D16/A16-B					
A7		PD0	D0			POE7#		
A8		PD2	D2			MTIC11W-B/ POE5#		
A9		PD3	D3			MTIC11V-B/ POE4#		
A10		PD4	D4			MTIC11U-B/ POE3#		
A11		PG0	D24					
A12		PD7	D7			MTIC5U-B/ POE0#		
A13		P61	CS1#-A/ SDCS#					
A14		P63	CS3#-A/ CAS#					
A15		PE1	D9				SSLB2-B	
B1		P02				TMCI1-A	SCK6-A	IRQ10-A
B2	VREFH							
B3	VREFL							
B4		P44						IRQ12/AN4
B5		P47						IRQ15-B/AN7
B6		P91	D17/A17-B					
B7		PD1	D1			POE6#		
B8		P96	D22/A22-B					
B9		P97	D23/A23-B					
B10		PD6	D6			MTIC5V-B/ POE1#		
B11		P60	CS0#-A					
B12		P62	CS2#-A/ RAS#					
B13		P64	CS4#-A/ WE#					
B14		PE2	D10			POE9#	SSLB3-B	
B15	SDCLK	P70						
C1		P00				TMRI0-A	TxD6-A	IRQ8-A
C2		P03						IRQ11-A/DA0
C3		P05						IRQ13-A/DA1
C4		P07						IRQ15-A/ ADTRG0#-A
C5		P40						IRQ8-B/AN0
C6	VCC							

表 1.4 各功能引脚一览表 (176 引脚 LFBGA) (2 / 6)

引脚序号	电源时钟 系统控制	I/O 端口	外部总线 EXDMAC	ETHERC EDMAC	USB	定时器 (MTU、 TMR、PPG、 POE、WDT)	通信 (SCI、CAN、 RSPI、RIIC)	其他
C7		P92	D18/A18-B					
C8		P94	D20/A20-B					
C9	VCC							
C10		PD5	D5			MTIC5W-B/ POE2#		
C11	VCC							
C12		PE0	D8				SSLB1-B	
C13		PE3	D11			POE8#		
C14		PE5	D13				RSPCKB-B	IRQ5-A
C15		PE6	D14				MOSIB-B	IRQ6-A
D1	EMLE							
D2		P01				TMC10-A	RxD6-A	IRQ9-A
D3	VCC							
D4		P41						IRQ9-B/AN1
D5		P43						IRQ11-B/AN3
D6	VSS							
D7		P93	D19/A19-B					
D8		P95	D21/A21-B					
D9	VSS							
D10		PG1	D25					
D11	VSS							
D12	VSS							
D13		PE4	D12				SSLB0-B	
D14		PE7	D15				MISOB-B	IRQ7-A
D15		P65	CS5#-A/ CKE					
E1	XCIN							
E2	CNVSS							
E3	BSCANP							
E4	VSS							
E12		PG2	D26					TRDATA0
E13	VCC							
E14		P66	CS6#-A/ DQM0					
E15		P67	CS7#-A/ DQM1					
F1	XCOUT							
F2						WDTOVF#		
F3	VCL							
F4	VSS							
F12		PG4	D28					TRSYNC
F13		PG3	D27					TRDATA1
F14		PA0	A0/BC0#/ DQM2			MTIOC6A/ PO16	SSLA1-B	
F15		PG5	D29					TRCLK

表 1.4 各功能引脚一览表 (176 引脚 LFBGA) (3 / 6)

引脚序号	电源时钟 系统控制	I/O 端口	外部总线 EXDMAC	ETHERC EDMAC	USB	定时器 (MTU、 TMR、PPG、 POE、WDT)	通信 (SCI、CAN、 RSPI、RIIC)	其他
G1	VSS							
G2	MD1							
G3	MD0							
G4	MDE							
G12	VSS							
G13	VCC							
G14		PG6	D30					TRDATA2
G15		PA1	A1/DQM3			MTIOC6B/ PO17	SSLA2-B	
H1	XTAL							
H2		P35						NMI
H3	VCC							
H4	RES#							
H12		PG7	D31					TRDATA3
H13		PA2	A2			MTIOC6C/ PO18	SSLA3-B	
H14		PA4	A4			MTIOC7A/ PO20	SSLA0-B	
H15		PA3	A3			MTIOC6D/ PO19		
J1	EXTAL							
J2		P32				MTIOC0C/ PO10/ RTCOUT	CTX0/ TxD6-B	IRQ2-A
J3		PF3						TMS
J4		P34				MTIOC0A/ TMCI3-B/ PO12	SCK6-B	IRQ4-A
J12	VSS							
J13		PA5	A5			MTIOC7B/ PO21	RSPCKA-B	
J14		PA7	A7			MTIOC8B/ PO23	MISOA-B	
J15		PA6	A6			MTIOC8A/ PO22	MOSIA-B	
K1		P33				MTIOC0D/ PO11	CRX0/ RxD6-B	IRQ3-A
K2		P31			USB1_DPRPD	MTIOC4D-A/ TMCI2-B/ PO9	SSLB0-A	IRQ1-A
K3		PF0					TxD1-B	TDO
K4		PF4						TRST#
K12		PB1	A9			MTIOC9C/ PO25		
K13		P71	CS1#-B	ET_MDIO				
K14		P72	CS2#-B	ET_MDC				
K15		PB0	A8			MTIOC9A/ PO24		

表 1.4 各功能引脚一览表 (176 引脚 LFBGA) (4 / 6)

引脚序号	电源时钟 系统控制	I/O 端口	外部总线 EXDMAC	ETHERC EDMAC	USB	定时器 (MTU、 TMR、PPG、 POE、WDT)	通信 (SCI、CAN、 RSPI、RIIC)	其他
L1		PF2					RxD1-B	TDI
L2		P27	CS7#-C		USB1_EXICEN	MTIOC2B/ PO7	RSPCKB-A/ SCK1-A	
L3	VCC							
L4		P30			USB1_DRPD	MTIOC4B-A/ TMRI3-B/ PO8	MISOB-A/ RxD1-A	IRQ0-A
L12	VSS							
L13		PB4	A12			MTIOC10A/ MTCLKE-B/ PO28		
L14		PB3	A11			MTIOC9D/ MTCLKH-B/ PO27		
L15	VCC							
M1		PF1					SCK1-B	TCK
M2		P25	CS5#-C/ EDACK1-B		USB0_DPRPD	MTIOC4C-A/ MTCLKB-A/ PO5	RxD3-B	ADTRG0#-B
M3		P22	EDREQ0-B		USB0_DRPD	MTIOC3B-A/ MTCLKC-A/ TMO0/ PO2	SCK0	
M4	VSS							
M5		P11			USB1_VBUSEN-A	MTIC5V-A/ TMCI3-A	SCK2-A	IRQ1-B
M6		P55	WAIT#-B/ EDREQ0-C	ET_EXOUT		MTIOC4D-B		
M7		P54	EDACK0-C	ET_LINKSTA		MTIOC4B-B		
M8		P51	WR1#/ BC1#/ WAIT#-D				SSLB2-A/ SCK2-B	
M9	VSS							
M10		PC6	A22-A/ CS1#-C	ET_ETXD3		MTIC11V-A/ MTCLKA-B	MOSIA-A	
M11		P81	EDACK0-A	ET_ETXD0/ RMII_TXD0		MTIOC3D-B		
M12		PC0	A16-A	ET_ERXD3		MTCLKG-A	SSLA1-A	
M13	VCC							
M14		PB6	A14			MTIOC10B/ PO30		
M15		PB2	A10			MTIOC9B/ MTCLKG-B/ PO26		
N1		P26	CS6#-C		USB1_ID	MTIOC2A/ TMO1/ PO6	MOSIB-A/ TxD1-A	
N2		P23	EDACK0-B		USB0_DPUPE-A	MTIOC3D-A/ MTCLKD-A/ PO3	TxD3-B	
N3		P20			USB0_ID	MTIOC1A/ TMRI0-B/ PO0	SDA1/ TxD0	

表 1.4 各功能引脚一览表 (176 引脚 LFBGA) (5 / 6)

引脚序号 176 引脚 LFBGA	电源时钟 系统控制	I/O 端口	外部总线 EXDMAC	ETHERC EDMAC	USB	定时器 (MTU、 TMR、PPG、 POE、WDT)	通信 (SCI、CAN、 RSPI、RIIC)	其他
N4		P17			USB1_VBUS/ USB1_OVRCURB/ USB1_VBUSEN-B	MTIOC3A/ PO15	TxD3-A	IRQ7-B
N5		P15			USB1_OVRCURA/ USB1_DPUPE-B	MTIOC0B/ TMCI2-A/ PO13	SCK3-A	IRQ5-B
N6		P57	WAIT#-A/ WR3#/BC3#/ EDREQ1-C					
N7		P10			USB1_DPUPE-A	MTIC5W-A/ TMRI3-A		IRQ0-B
N8		P52	RD#				SSLB3-A/ RxD2-B	
N9	VCC							
N10		PC5	A21-A/ CS2#-C/ WAIT#-C	ET_ETXD2		MTIC11W-A/ MTCLKD-B	RSPCKA-A	
N11		PC3	A19-A	ET_TX_ER		MTCLKF-A	TxD5	
N12		PC2	A18-A	ET_RX_DV		MTCLKE-A	SSLA3-A/ RxD5	
N13		P74	CS4#-B	ET_ERXD1/ RMII_RXD1				
N14		P73	CS3#-B	ET_WOL				
N15		PB5	A13			MTIOC10C/ MTCLKF-B/ PO29		
P1		P24	CS4#-C/ EDREQ1-B		USB0_VBUSEN-A	MTIOC4A-A/ MTCLKA-A/ TMRI1/ PO4	SCK3-B	
P2	PLLVCC							
P3		P16			USB0_VBUS/ USB0_OVRCURB/ USB0_VBUSEN-B	MTIOC3C-A/ TMO2/ PO14	RxD3-A	IRQ6-B
P4		P14			USB0_OVRCURA/ USB0_DPUPE-B	TMRI2		IRQ4-B
P5		P13				TMO3	SDA0/ TxD2-A	IRQ3-B/ ADTRG1#
P6	VCC_USB							
P7		P56	WR2#/BC2#/ EDACK1-C			MTIOC3C-B		
P8	VCC_USB							
P9		P84						
P10		P50	WR0#/ WR#				SSLB1-A/ TxD2-B	
P11		P82	EDREQ1-A	ET_ETXD1/ RMII_TXD1		MTIOC4A-B		
P12		PC4	A20-A/ CS3#-C	ET_TX_CLK		MTCLKC-B	SSLA0-A	
P13		P76	CS6#-B	ET_RX_CLK/ REF50CK				
P14		PC1	A17-A	ET_ERXD2		MTCLKH-A	SSLA2-A/ SCK5	

表 1.4 各功能引脚一览表 (176 引脚 LFBGA) (6 / 6)

引脚序号	电源时钟 系统控制	I/O 端口	外部总线 EXDMAC	ETHERC EDMAC	USB	定时器 (MTU、 TMR、PPG、 POE、WDT)	通信 (SCI、CAN、 RSPI、RIIC)	其他
P15		PB7	A15			MTIOC10D/ PO31		
R1		P21			USB0_EXICEN	MTIOC1B TMCI0-B/ PO1	SCL1/ RxD0	
R2	PLLVSS							
R3		P12				MTIC5U-A/ TMCI1-B	SCL0/ RxD2-A	IRQ2-B
R4					USB0_DM			
R5					USB0_DP			
R6	VSS_USB							
R7					USB1_DM			
R8					USB1_DP			
R9		P85						
R10	BCLK	P53						
R11		P83	EDACK1-A	ET_CRS/ RMII_CRS_DV		MTIOC4C-B		
R12		PC7	A23-A/ CS0#-B	ET_COL		MTIC11U-A/ MTCLKB-B	MISOA-A	
R13		P80	EDREQ0-A	ET_TX_EN/ RMII_TXD_EN		MTIOC3B-B		
R14		P77	CS7#-B	ET_RX_ER/ RMII_RX_ER				
R15		P75	CS5#-B	ET_ERXD0/ RMII_RXD0				

表 1.5 各功能引脚一览表 (145 引脚 TFLGA) (1 / 5)

引脚序号	电源时钟系统控制	I/O 端口	外部总线 EXDMAC	ETHERC EDMAC	USB	定时器 (MTU、TMR、PPG、POE、WDT)	通信 (SCI、CAN、RSPI、RIIC)	其他
A1	AVSS							
A2	AVCC							
A3	VREFL							
A4		P42						IRQ10-B/AN2
A5		P44						IRQ12/AN4
A6		P47						IRQ15-B/AN7
A7		P91	A17-B					
A8		PD0	D0			POE7#		
A9		PD3	D3			MTIC11V-B/ POE4#		
A10		PD6	D6			MTIC5V/ POE1#		
A11		P60	CS0#-A					
A12		P62	CS2#-A/ RAS#					
A13		P64	CS4#-A/ WE#					
B1		P03						IRQ11-A/DA0
B2		P07						IRQ15-A/ ADTRG0#-A
B3	VREFH							
B4		P40						IRQ8-B/AN0
B5		P45						IRQ13-B/AN5
B6		P90	A16-B					
B7		PD1	D1			POE6#		
B8		PD5	D5			MTIC5W/ POE2#		
B9	VSS							
B10		PE0	D8				SSLB1-B	
B11		PE2	D10			POE9#	SSLB3-B	
B12		PE1	D9				SSLB2-B	
B13		PE4	D12				SSLB0-B	
C1		P01				TMC10-A	RxD6-A	IRQ9-A
C2		P05						IRQ13-A/DA1
C3	VSS							
C4		P41						IRQ9-B/AN1
C5		P46						IRQ14/AN6
C6		P92	A18-B					
C7		PD2	D2			MTIC11W-B/ POE5#		
C8		PD7	D7			MTIC5U/ POE0#		
C9		P61	CS1#-A/ SDCS#					
C10		P63	CS3#-A/ CAS#					

表 1.5 各功能引脚一览表 (145 引脚 TFLGA) (2 / 5)

引脚序号	电源时钟 系统控制	I/O 端口	外部总线 EXDMAC	ETHERC EDMAC	USB	定时器 (MTU、 TMR、PPG、 POE、WDT)	通信 (SCI、CAN、 RSPI、RIIC)	其他
C11		PE5	D13				RSPCKB-B	IRQ5-A
C12		PE3	D11			POE8#		
C13	SDCLK	P70						
D1	EMLE							
D2	VCC							
D3		P02				TMC11-A	SCK6-A	IRQ10-A
D4		P43						IRQ11-B/AN3
D5	VCC							
D6	VSS							
D7		P93	A19-B					
D8		PD4	D4			MTIC11U-B/ POE3#		
D9	VCC							
D10	VSS							
D11	VCC							
D12		PE7	D15				MISOB-B	IRQ7-A
D13		PE6	D14				MOSIB-B	IRQ6-A
E1	VCL							
E2	VSS							
E3		P00				TMRI0-A	TxD6-A	IRQ8-A
E4	BSCANP							
E5	(N.C)							
E10		P65	CS5#-A/ CKE					
E11		P67	CS7#-A/ DQM1					
E12		PA0	A0/BC0#			MTIOC6A/ PO16	SSLA1-B	
E13		P66	CS6#-A/ DQM0					
F1	XCIN							
F2	XCOUT							
F3						WDTOVF#		
F4	MDE							
F10		PA1	A1			MTIOC6B/ PO17	SSLA2-B	
F11		PA3	A3			MTIOC6D/ PO19		
F12	VCC							
F13		PA2	A2			MTIOC6C/ PO18	SSLA3-B	
G1	XTAL							
G2	VSS							
G3	MD1							
G4	MD0							
G10	VSS							

表 1.5 各功能引脚一览表 (145 引脚 TFLGA) (3 / 5)

引脚序号	电源时钟 系统控制	I/O 端口	外部总线 EXDMAC	ETHERC EDMAC	USB	定时器 (MTU、 TMR、PPG、 POE、WDT)	通信 (SCI、CAN、 RSPI、RIIC)	其他
G11		PA5	A5			MTIOC7B/ PO21	RSPCKA-B	
G12		PA6	A6			MTIOC8A/ PO22	MOSIA-B	
G13		PA4	A4			MTIOC7A/ PO20	SSLA0-B	
H1	EXTAL							
H2		P34				MTIOC0A/ TMCI3/ PO12	SCK6-B	IRQ4-A/ TRST#
H3	VCC							
H4	RES#							
H10		PB0	A8			MTIOC9A/ PO24		
H11		P71	CS1#-B	ET_MDIO				
H12		PB1	A9			MTIOC9C/ PO25		
H13		PA7	A7			MTIOC8B/ PO23	MISOA-B	
J1		P33				MTIOC0D/ PO11	CRX0/ RxD6-B	IRQ3-A
J2		P27	CS7#-C			MTIOC2B/ PO7	RSPCKB-A/ SCK1	TCK
J3		P35						NMI
J4		P32				MTIOC0C/ PO10/ RTCOUT	CTX0/ TxD6-B	IRQ2-A
J10		PB2	A10			MTIOC9B/ MTCLKG-B/ PO26		
J11		PB4	A12			MTIOC10A/ MTCLKE-B/ PO28		
J12		PB5	A13			MTIOC10C/ MTCLKF-B/ PO29		
J13		P72	CS2#-B	ET_MDC				
K1		P30				MTIOC4B-A/ TMR13/ PO8	RxD1/ MISOB-A	IRQ0/ TDI
K2		P24	CS4#-C/ EDREQ1-B		USB0_VBUSEN-A	MTIOC4A-A/ MTCLKA-A/ TMR11/PO4	SCK3-B	
K3		P31				MTIOC4D-A/ TMCI2-B/ PO9	SSLB0-A	IRQ1/ TMS
K4		P26	CS6#-C			MTIOC2A/ TMO1/ PO6	MOSIB-A/ TxD1	TDO
K5	BCLK	P53						
K6	VSS							

表 1.5 各功能引脚一览表 (145 引脚 TFLGA) (4 / 5)

引脚序号	电源时钟 系统控制	I/O 端口	外部总线 EXDMAC	ETHERC EDMAC	USB	定时器 (MTU、 TMR、PPG、 POE、WDT)	通信 (SCI、CAN、 RSPI、RIIC)	其他
K7		PC7	A23/ CS0#-B	ET_COL		MTIC11U-A/ MTCLKB-B	MISOA-A	
K8		P82	EDREQ1-A	ET_ETXD1/ RMII_TXD1		MTIOC4A-B		TRSYNC
K9		PC3	A19-A	ET_TX_ER		MTCLKF-A	TxD5	
K10		PB7	A15			MTIOC10D/ PO31		
K11		P73	CS3#-B	ET_WOL				
K12		PC0	A16-A	ET_ERXD3		MTCLKG-A	SSLA1-A	
K13		PB3	A11			MTIOC9D/ MTCLKH-B/ PO27		
L1		P25	CS5#-C/ EDACK1-B		USB0_DPRPD	MTIOC4C-A/ MTCLKB-A/ PO5	RxD3-B	ADTRG0#-B
L2		P22	EDREQ0-B		USB0_DRPD	MTIOC3B-A/ MTCLKC-A/ TMO0/PO2	SCK0	
L3		P17				MTIOC3A/ PO15	TxD3-A	IRQ7-B
L4		P12				TMCI1-B	SCL0/ RxD2-A	IRQ2-B
L5	VCC_USB							
L6		P56	EDACK1-C			MTIOC3C-B		
L7		P52	RD#				SSLB3-A/ RxD2-B	
L8		P83	EDACK1-A	ET_CRIS/ RMII_CRIS_DV		MTIOC4C-B		TRCLK
L9		P81	EDACK0-A	ET_ETXD0/ RMII_TXD0		MTIOC3D-B		TRDATA1
L10		P77	CS7#-B	ET_RX_ER/ RMII_RX_ER				
L11		P75	CS5#-B	ET_ERXD0/ RMII_RXD0				
L12	VCC							
L13		PB6	A14			MTIOC10B/ PO30		
M1		P23	EDACK0-B		USB0_DPUPE-A	MTIOC3D-A/ MTCLKD-A/ PO3	TxD3-B	
M2		P20			USB0_ID	MTIOC1A/ TMR10-B/ PO0	SDA1/ TxD0	
M3	PLLVCC							
M4		P15				MTIOC0B/ TMCI2-A/ PO13	SCK3-A	IRQ5-B
M5		P14			USB0_OVRCURA/ USB0_DPUPE-B	TMR12		IRQ4-B
M6	VSS_USB							

表 1.5 各功能引脚一览表 (145 引脚 TFLGA) (5 / 5)

引脚序号	电源时钟 系统控制	I/O 端口	外部总线 EXDMAC	ETHERC EDMAC	USB	定时器 (MTU、 TMR、PPG、 POE、WDT)	通信 (SCI、CAN、 RSPI、RIIC)	其他
M7		P55	WAIT#-B/ EDREQ0-C	ET_EXOUT		MTIOC4D-B		TRDATA3
M8		P50	WR0#/ WR#				SSLB1-A/ TxD2-B	
M9		PC6	A22/CS1#-C	ET_ETXD3		MTIC11V-A/ MTCLKA-B	MOSIA-A	
M10		P80	EDREQ0-A	ET_TX_EN/ RMII_TXD_EN		MTIOC3B-B		TRDATA0
M11		PC2	A18-A	ET_RX_DV		MTCLKE-A	SSLA3-A/ RxD5	
M12		PC1	A17-A	ET_ERXD2		MTCLKH-A	SSLA2-A/ SCK5	
M13	VSS							
N1		P21			USB0_EXICEN	MTIOC1B/ TMCI0-B/ PO1	SCL1/RxD0	
N2		P16			USB0_VBUS/ USB0_OVRCURB/ USB0_VBUSEN-B	MTIOC3C-A/ TMO2/ PO14	RxD3-A	IRQ6-B
N3	PLL/VSS							
N4		P13				TMO3	SDA0/ TxD2-A	IRQ3-B/ ADTRG1#
N5					USB0_DM			
N6					USB0_DP			
N7		P54	EDACK0-C	ET_LINKSTA		MTIOC4B-B		TRDATA2
N8		P51	WR1#/BC1#/ WAIT#-D				SSLB2-A/ SCK2	
N9	VCC							
N10		PC5	A21/CS2#-C/ WAIT#-C	ET_ETXD2		MTIC11W-A/ MTCLKD-B	RSPCKA-A	
N11		PC4	A20/CS3#-C	ET_TX_CLK		MTCLKC-B	SSLA0-A	
N12		P76	CS6#-B	ET_RX_CLK/ REF50CK				
N13		P74	CS4#-B	ET_ERXD1/ RMII_RXD1				

表 1.6 各功能引脚一览表 (144 引脚 LQFP) (1 / 5)

引脚序号	电源时钟 系统控制	I/O 端口	外部总线 EXDMAC	ETHERC EDMAC	USB	定时器 (MTU、 TMR、PPG、 POE、WDT)	通信 (SCI、CAN、 RSPI、RIIC)	其他
1	AVSS							
2		P05						IRQ13-A/DA1
3	VCC							
4		P03						IRQ11-A/DA0
5	VSS							
6		P02				TMCI1-A	SCK6-A	IRQ10-A
7		P01				TMCI0-A	RxD6-A	IRQ9-A
8		P00				TMRI0-A	TxD6-A	IRQ8-A
9	BSCANP							
10	EMLE							
11						WDTOVF#		
12	VSS							
13	MDE							
14	VCL							
15	MD1							
16	MD0							
17	XCIN							
18	XCOUT							
19	RES#							
20	XTAL							
21	VSS							
22	EXTAL							
23	VCC							
24		P35						NMI
25		P34				MTIOC0A/ TMCI3/ PO12	SCK6-B	IRQ4-A/ TRST#
26		P33				MTIOC0D/ PO11	CRX0/ RxD6-B	IRQ3-A
27		P32				MTIOC0C/ PO10/ RTCOUT	CTX0/ TxD6-B	IRQ2-A
28		P31				MTIOC4D-A/ TMCI2-B/ PO9	SSLB0-A	IRQ1/ TMS
29		P30				MTIOC4B-A/ TMRI3/ PO8	RxD1/ MISOB-A	IRQ0/ TDI
30		P27	CS7#-C			MTIOC2B/ PO7	RSPCKB-A/ SCK1	TCK
31		P26	CS6#-C			MTIOC2A/ TMO1/ PO6	MOSIB-A/ TxD1	TDO
32		P25	CS5#-C/ EDACK1-B		USB0_DPRPD	MTIOC4C-A/ MTCLKB-A/ PO5	RxD3-B	ADTRG0#-B

表 1.6 各功能引脚一览表 (144 引脚 LQFP) (2 / 5)

引脚序号	电源时钟 系统控制	I/O 端口	外部总线 EXDMAC	ETHERC EDMAC	USB	定时器 (MTU、 TMR、PPG、 POE、WDT)	通信 (SCI、CAN、 RSPI、RIIC)	其他
33		P24	CS4#-C/ EDREQ1-B		USB0_VBUSEN-A	MTIOC4A-A/ MTCLKA-A/ TMR1/PO4	SCK3-B	
34		P23	EDACK0-B		USB0_DPUPE-A	MTIOC3D-A/ MTCLKD-A/ PO3	TxD3-B	
35		P22	EDREQ0-B		USB0_DRPD	MTIOC3B-A/ MTCLKC-A/ TMO0/PO2	SCK0	
36		P21			USB0_EXICEN	MTIOC1B/ TMC10-B/PO1	SCL1/ RxD0	
37		P20			USB0_ID	MTIOC1A/ TMR10-B/PO0	SDA1/ TxD0	
38		P17				MTIOC3A/ PO15	TxD3-A	IRQ7-B
39	PLLVCC							
40		P16			USB0_VBUS/ USB0_OVRCURB /USB0_VBUSEN-B	MTIOC3C-A/ TMO2/ PO14	RxD3-A	IRQ6-B
41	PLLVSS							
42		P15				MTIOC0B/ TMC12-A/ PO13	SCK3-A	IRQ5-B
43		P14			USB0_OVRCURA/ USB0_DPUPE-B	TMR12		IRQ4-B
44		P13				TMO3	SDA0/ TxD2-A	IRQ3-B/ ADTRG1#
45		P12				TMC11-B	SCL0/ RxD2-A	IRQ2-B
46	VCC_USB							
47					USB0_DM			
48					USB0_DP			
49	VSS_USB							
50		P56	EDACK1-C			MTIOC3C-B		
51		P55	WAIT#-B/ EDREQ0-C	ET_EXOUT		MTIOC4D-B		TRDATA3
52		P54	EDACK0-C	ET_LINKSTA		MTIOC4B-B		TRDATA2
53	BCLK	P53						
54		P52	RD#				SSLB3-A/ RxD2-B	
55		P51	WR1#/BC1#/ WAIT#-D				SSLB2-A/ SCK2	
56		P50	WR0#/ WR#				SSLB1-A/ TxD2-B	
57	VSS							
58		P83	EDACK1-A	ET_CRS/ RMII_CRS_DV		MTIOC4C-B		TRCLK
59	VCC							

表 1.6 各功能引脚一览表 (144 引脚 LQFP) (3 / 5)

引脚序号	电源时钟 系统控制	I/O 端口	外部总线 EXDMAC	ETHERC EDMAC	USB	定时器 (MTU、 TMR、PPG、 POE、WDT)	通信 (SCI、CAN、 RSPI、RIIC)	其他
60		PC7	A23/ CS0#-B	ET_COL		MTIC11U-A/ MTCLKB-B	MISOA-A	
61		PC6	A22/ CS1#-C	ET_ETXD3		MTIC11V-A/ MTCLKA-B	MOSIA-A	
62		PC5	A21/CS2#-C/ WAIT#-C	ET_ETXD2		MTIC11W-A/ MTCLKD-B	RSPCKA-A	
63		P82	EDREQ1-A	ET_ETXD1/ RMII_TXD1		MTIOC4A-B		TRSYNC
64		P81	EDACK0-A	ET_ETXD0/ RMII_TXD0		MTIOC3D-B		TRDATA1
65		P80	EDREQ0-A	ET_TX_EN/ RMII_TXD_EN		MTIOC3B-B		TRDATA0
66		PC4	A20/CS3#-C	ET_TX_CLK		MTCLKC-B	SSLA0-A	
67		PC3	A19-A	ET_TX_ER		MTCLKF-A	TxD5	
68		P77	CS7#-B	ET_RX_ER/ RMII_RX_ER				
69		P76	CS6#-B	ET_RX_CLK/ REF50CK				
70		PC2	A18-A	ET_RX_DV		MTCLKE-A	SSLA3-A/ RxD5	
71		P75	CS5#-B	ET_ERXD0/ RMII_RXD0				
72		P74	CS4#-B	ET_ERXD1/ RMII_RXD1				
73		PC1	A17-A	ET_ERXD2		MTCLKH-A	SSLA2-A/ SCK5	
74	VCC							
75		PC0	A16-A	ET_ERXD3		MTCLKG-A	SSLA1-A	
76	VSS							
77		P73	CS3#-B	ET_WOL				
78		PB7	A15			MTIOC10D/ PO31		
79		PB6	A14			MTIOC10B/ PO30		
80		PB5	A13			MTIOC10C/ MTCLKF-B/ PO29		
81		PB4	A12			MTIOC10A/ MTCLKE-B/ PO28		
82		PB3	A11			MTIOC9D/ MTCLKH-B/ PO27		
83		PB2	A10			MTIOC9B/ MTCLKG-B/ PO26		
84		PB1	A9			MTIOC9C/ PO25		
85		P72	CS2#-B	ET_MDC				
86		P71	CS1#-B	ET_MDIO				

表 1.6 各功能引脚一览表 (144 引脚 LQFP) (4 / 5)

引脚序号	电源时钟 系统控制	I/O 端口	外部总线 EXDMAC	ETHERC EDMAC	USB	定时器 (MTU、 TMR、PPG、 POE、WDT)	通信 (SCI、CAN、 RSPI、RIIC)	其他
87		PB0	A8			MTIOC9A/ PO24		
88		PA7	A7			MTIOC8B/ PO23	MISOA-B	
89		PA6	A6			MTIOC8A/ PO22	MOSIA-B	
90		PA5	A5			MTIOC7B/ PO21	RSPCKA-B	
91	VCC							
92		PA4	A4			MTIOC7A/ PO20	SSLA0-B	
93	VSS							
94		PA3	A3			MTIOC6D/ PO19		
95		PA2	A2			MTIOC6C/ PO18	SSLA3-B	
96		PA1	A1			MTIOC6B/ PO17	SSLA2-B	
97		PA0	A0/BC0#			MTIOC6A/ PO16	SSLA1-B	
98		P67	CS7#-A/ DQM1					
99		P66	CS6#-A/ DQM0					
100		P65	CS5#-A/ CKE					
101		PE7	D15				MISOB-B	IRQ7-A
102		PE6	D14				MOSIB-B	IRQ6-A
103	VCC							
104	SDCLK	P70						
105	VSS							
106		PE5	D13				RSPCKB-B	IRQ5-A
107		PE4	D12				SSLB0-B	
108		PE3	D11			POE8#		
109		PE2	D10			POE9#	SSLB3-B	
110		PE1	D9				SSLB2-B	
111		PE0	D8				SSLB1-B	
112		P64	CS4#-A/ WE#					
113		P63	CS3#-A/ CAS#					
114		P62	CS2#-A/ RAS#					
115		P61	CS1#-A/ SDCS#					
116	VSS							
117		P60	CS0#-A					
118	VCC							

表 1.6 各功能引脚一览表 (144 引脚 LQFP) (5 / 5)

引脚序号	电源时钟 系统控制	I/O 端口	外部总线 EXDMAC	ETHERC EDMAC	USB	定时器 (MTU、 TMR、PPG、 POE、WDT)	通信 (SCI、CAN、 RSPI、RIIC)	其他
119		PD7	D7			MTIC5U/ POE0#		
120		PD6	D6			MTIC5V/ POE1#		
121		PD5	D5			MTIC5W/ POE2#		
122		PD4	D4			MTIC11U-B/ POE3#		
123		PD3	D3			MTIC11V-B/ POE4#		
124		PD2	D2			MTIC11W-B/ POE5#		
125		PD1	D1			POE6#		
126		PD0	D0			POE7#		
127		P93	A19-B					
128		P92	A18-B					
129		P91	A17-B					
130	VSS							
131		P90	A16-B					
132	VCC							
133		P47						IRQ15-B/AN7
134		P46						IRQ14/AN6
135		P45						IRQ13-B/AN5
136		P44						IRQ12/AN4
137		P43						IRQ11-B/AN3
138		P42						IRQ10-B/AN2
139		P41						IRQ9-B/AN1
140	VREFL							
141		P40						IRQ8-B/AN0
142	VREFH							
143	AVCC							
144		P07						IRQ15-A/ ADTRG0#-A

表 1.7 各功能引脚一览表 (100 引脚 LQFP) (1 / 4)

引脚序号 100 引脚 LQFP	电源时钟 系统控制	I/O 端口	外部总线	ETHERC EDMAC	USB	定时器 (MTU、TMR、 PPG、POE)	通信 (SCI、CAN、 RSPI、RIIC)	其他
1	VCC							
2	EMLE							
3	VSS							
4	MDE							
5	VCL							
6	MD1							
7	MD0							
8	XCIN							
9	XCOUT							
10	RES#							
11	XTAL							
12	VSS							
13	EXTAL							
14	VCC							
15		P35						NMI
16		P34				MTIOC0A/ TMCI3/ PO12	SCK6	IRQ4-A/ TRST#
17		P33				MTIOC0D/ PO11	CRX0/ RxD6	IRQ3-A
18		P32				MTIOC0C/ PO10/ RTCOUT	CTX0/ TxD6	IRQ2-A
19		P31				MTIOC4D-A/ TMCI2/ PO9	SSLB0-A	IRQ1/ TMS
20		P30				MTIOC4B-A/ TMR13/ PO8	RxD1/ MISOB-A	IRQ0/ TDI
21		P27	CS7#			MTIOC2B/ PO7	RSPCKB-A/ SCK1	TCK
22		P26	CS6#			MTIOC2A/ TMO1/ PO6	MOSIB-A/ TxD1	TDO
23		P25	CS5#		USB0_DPRPD	MTIOC4C/ MTCLKB-A/ PO5	RxD3	ADTRG0#-B
24		P24	CS4#		USB0_VBUSEN-A	MTIOC4A/ MTCLKA-A/ TMR11/PO4	SCK3	
25		P23			USB0_DPUPE-A	MTIOC3D/ MTCLKD-A/ PO3	TxD3	
26		P22			USB0_DRPD	MTIOC3B/ MTCLKC-A/ TMO0/PO2	SCK0	
27		P21			USB0_EXICEN	MTIOC1B/ TMCI0/ PO1	RxD0	

表 1.7 各功能引脚一览表 (100 引脚 LQFP) (2 / 4)

引脚序号 100 引脚 LQFP	电源时钟 系统控制	I/O 端口	外部总线	ETHERC EDMAC	USB	定时器 (MTU、TMR、 PPG、POE)	通信 (SCI、CAN、 RSPI、RIIC)	其他
28		P20			USB0_ID	MTIOC1A/ TMR10/ PO0	TxD0	
29	PLLVCC							
30		P16			USB0_VBUS/ USB0_OVRCURB/ USB0_VBUSEN-B	MTIOC3C/ TMO2/ PO14		IRQ6-B
31	PLLVSS							
32		P14			USB0_OVRCURA/ USB0_DPUPE-B	MTIOC3A/ TMR12/ PO15		IRQ4-B
33		P13				MTIOC0B/ TMO3/ PO13	SDA0/ TxD2-A	IRQ3-B/ ADTRG1#
34		P12				TMCI1	SCL0/ RxD2-A	IRQ2-B
35	VCC_USB							
36					USB0_DM			
37					USB0_DP			
38	VSS_USB							
39		P55	WAIT#-B/			MTIOC4D-B		
40		P54				MTIOC4B-B		
41	BCLK	P53						
42		P52	RD#				SSLB3-A/ RxD2-B	
43		P51	WR1#/BC1#/ WAIT#-D				SSLB2-A/ SCK2	
44		P50	WR0#/ WR#				SSLB1-A/ TxD2-B	
45		PC7	A23/ CS0#	ET_COL		MTIC11U-A/ MTCLKB-B	MISOA-A	
46		PC6	A22/ CS1#	ET_ETXD3		MTIC11V-A/ MTCLKA-B	MOSIA-A	
47		PC5	A21/CS2#/ WAIT#-C	ET_ETXD2		MTIC11W-A/ MTCLKD-B	RSPCKA-A	
48		PC4	A20/CS3#	ET_TX_CLK		MTCLKC-B	SSLA0-A	
49		PC3	A19	ET_TX_ER		MTCLKF-A	TxD5	
50		PC2	A18	ET_RX_DV		MTCLKE-A	SSLA3-A/ RxD5	
51		PC1	A17	ET_ERXD2		MTCLKH-A	SSLA2-A/ SCK5	
52		PC0	A16	ET_ERXD3		MTCLKG-A	SSLA1-A	
53		PB7	A15	ET_CRS/ RMII_CRS_DV		MTIOC10D/ PO31		
54		PB6	A14	ET_ETXD1/ RMII_TXD1		MTIOC10B/ PO30		
55		PB5	A13	ET_ETXD0/ RMII_TXD0		MTIOC10C/ MTCLKF-B/ PO29		

表 1.7 各功能引脚一览表 (100 引脚 LQFP) (3 / 4)

引脚序号 100 引脚 LQFP	电源时钟 系统控制	I/O 端口	外部总线	ETHERC EDMAC	USB	定时器 (MTU、TMR、 PPG、POE)	通信 (SCI、CAN、 RSPI、RIIC)	其他
56		PB4	A12	ET_TX_EN/ RMII_TXD_EN		MTIOC10A/ MTCLKE-B/ PO28		
57		PB3	A11	ET_RX_ER/ RMII_RX_ER		MTIOC9D/ MTCLKH-B/ PO27		
58		PB2	A10	ET_RX_CLK/ REF50CK		MTIOC9B/ MTCLKG-B/ PO26		
59		PB1	A9	ET_ERXD0/ RMII_RXD0		MTIOC9C/ PO25		
60	VCC							
61		PB0	A8	ET_ERXD1/ RMII_RXD1		MTIOC9A/ PO24		
62	VSS							
63		PA7	A7	ET_WOL		MTIOC8B/ PO23	MISOA-B	
64		PA6	A6	ET_EXOUT		MTIOC8A/ PO22	MOSIA-B	
65		PA5	A5	ET_LINKSTA		MTIOC7B/ PO21	RSPCKA-B	
66		PA4	A4	ET_MDC		MTIOC7A/ PO20	SSLA0-B	
67		PA3	A3	ET_MDIO		MTIOC6D/ PO19		
68		PA2	A2			MTIOC6C/ PO18	SSLA3-B	
69		PA1	A1			MTIOC6B/ PO17	SSLA2-B	
70		PA0	A0/BC0#			MTIOC6A/ PO16	SSLA1-B	
71		PE7	D15				MISOB-B	IRQ7
72		PE6	D14				MOSIB-B	IRQ6-A
73		PE5	D13				RSPCKB-B	IRQ5
74		PE4	D12				SSLB0-B	
75		PE3	D11			POE8#		
76		PE2	D10			POE9#	SSLB3-B	
77		PE1	D9				SSLB2-B	
78		PE0	D8				SSLB1-B	
79		PD7	D7			MTIC5U/ POE0#		
80		PD6	D6			MTIC5V/ POE1#		
81		PD5	D5			MTIC5W/ POE2#		
82		PD4	D4			MTIC11U-B/ POE3#		
83		PD3	D3			MTIC11V-B/ POE4#		
84		PD2	D2			MTIC11W-B/ POE5#		

表 1.7 各功能引脚一览表 (100 引脚 LQFP) (4 / 4)

引脚序号 100 引脚 LQFP	电源时钟 系统控制	I/O 端口	外部总线	ETHERC EDMAC	USB	定时器 (MTU、TMR、 PPG、POE)	通信 (SCI、CAN、 RSPI、RIIC)	其他
85		PD1	D1			POE6#		
86		PD0	D0			POE7#		
87		P47						IRQ15-B/AN7
88		P46						IRQ14/AN6
89		P45						IRQ13-B/AN5
90		P44						IRQ12/AN4
91		P43						IRQ11/AN3
92		P42						IRQ10/AN2
93		P41						IRQ9/AN1
94	VREFL							
95		P40						IRQ8/AN0
96	VREFH							
97	AVCC							
98		P07						IRQ15-A/ ADTRG0#-A
99	AVSS							
100		P05						DA1/IRQ13-A

表 1.8 各功能引脚一览表 (85 引脚 TFLGA) (1 / 3)

引脚序号 85 引脚 TFLGA	电源时钟 系统控制	I/O 端口	外部总线	USB	定时器 (MTU、 TMR、PPG)	通信 (SCI、CAN、 RSPI、RIIC)	其他
A1		P05					DA1/IRQ13-A
A2	AVCC						
A3	VREFL						
A4		P43					IRQ11-B/AN3
A5		P47					IRQ15/AN7
A6		PD1	D1				
A7		PD4	D4		MTIC11U		
A8		PD5	D5		MTIC5W		
A9		PD7	D7		MTIC5U		
A10		PD6	D6		MTIC5V		
B1	VCC						
B2	AVSS						
B3	VREFH						
B4		P42					IRQ10/AN2
B5		P46					IRQ14/AN6
B6		PD0	D0				
B7		PD2	D2		MTIC11W		
B8		PD3	D3		MTIC11V		
B9		PA3	A3		MTIOC6D/ PO19		
B10		PA1	A1		MTIOC6B/ PO17	SSLA2	
C1		P03					IRQ11-A/DA0
C2	VSS						
C3		P40					IRQ8/AN0
C4		P41					IRQ9/AN1
C5		P44					IRQ12/AN4
C6		P45					IRQ13-B/AN5
C7	MD1						
C8	BSCANP						
C9		PA5	A5		MTIOC7B/ PO21	RSPCKA	
C10		PA0	A0		MTIOC6A/ PO16	SSLA1	
D1	MDE						
D2	EMLE						
D3	MD0						
D4	RES#						
D8	VCL						
D9		PA6	A6		MTIOC8A/ PO22	MOSIA	
D10		PA2	A2		MTIOC6C/ PO18	SSLA3	
E1	XCIN						

表 1.8 各功能引脚一览表 (85 引脚 TFLGA) (2 / 3)

引脚序号	电源时钟 系统控制	I/O 端口	外部总线	USB	定时器 (MTU、 TMR、PPG)	通信 (SCI、CAN、 RSPI、RIIC)	其他
85 引脚 TFLGA							
E2	XCOUT						
E3		P34			MTIOC0A/ TMCI3/PO12	SCK6	IRQ4-A/TRST#
E8	VSS						
E9		PB0	A8		MTIOC9A/ PO24		
E10		PA4	A4		MTIOC7A/ PO20	SSLA0	
F1	XTAL						
F2	EXTAL						
F3		P32			MTIOC0C/ PO10/ RTCOUT	TxD6/CTX0	IRQ2-A
F8	VCC						
F9		PB2	A10		MTIOC9B/ MTCLKG-B/ PO26		
F10		PA7	A7		MTIOC8B/ PO23	MISOA	
G1		P35					NMI
G2		P33			MTIOC0D/ PO11	RxD6/CRX0	IRQ3-A
G3		P27	CS7#		MTIOC2B/ PO7	SCK1/ RSPCKB	TCK
G8		PB3	A11		MTIOC9D/ MTCLKH-B/ PO27		
G9		PB5	A13		MTIOC10C/ MTCLKF-B/ PO29		
G10		PB1	A9		MTIOC9C/ PO25		
H1		P31			MTIOC4D/ TMCI2/PO9	SSLB0	IRQ1/TMS
H2		P30			MTIOC4B/ TMRI3/PO8	RxD1/MISOB	IRQ0/TDI
H3		P26	CS6#		MTIOC2A/ TMO1/PO6	TxD1/MOSIB	TDO
H4	PLLVC						
H5		P14		USB0_OVRCURA/ USB0_DPUPE-B	MTIOC3A/ TMRI2/PO15		IRQ4-B
H6		P13			MTIOC0B/ TMO3/PO13	TxD2-A/SDA0	IRQ3-B/ ADTRG1#
H7	BCLK	P53					
H8		PB6	A14		MTIOC10B/ PO30		
H9		PB7	A15		MTIOC10D/ PO31		

表 1.8 各功能引脚一览表 (85 引脚 TFLGA) (3 / 3)

引脚序号	电源时钟 系统控制	I/O 端口	外部总线	USB	定时器 (MTU、 TMR、PPG)	通信 (SCI、CAN、 RSPI、RIIC)	其他
H10		PB4	A12		MTIOC10A/ MTCLKE-B/ PO28		
J1		P25	CS5#	USB0_DPRPD	MTIOC4C/ MTCLKB/ PO5	RxD3	ADTRG0#
J2		P23		USB0_DPUPE-A	MTIOC3D/ MTCLKD/ PO3	TxD3	
J3		P24	CS4#	USB0_VBUSEN-A	MTIOC4A/ MTCLKA/ TMRI1/PO4	SCK3	
J4		P16		USB0_VBUS/ USB0_OVRCURB/ USB0_VBUSEN-B	MTIOC3C/ TMO2/PO14		IRQ6
J5	VCC_USB						
J6				USB0_DM			
J7		P52	RD#			RxD2-B/ SSLB3	
J8		P51	WAIT#			SCK2/SSLB2	
J9		PC3	A19		MTCLKF-A	TxD5	
J10		PC0	A16		MTCLKG-A		
K1		P21		USB0_EXICEN	MTIOC1B/ TMCI0/PO1	RxD0/SCL1	
K2		P22		USB0_DRPD	MTIOC3B/ MTCLKC/ TMO0/PO2	SCK0	
K3		P20		USB0_ID	MTIOC1A/ TMRI0/PO0	TxD0/SDA1	
K4	PLLVSS						
K5		P12			TMC11	RxD2-A/ SCL0	IRQ2-B
K6				USB0_DP			
K7	VSS_USB						
K8		P50	WR0#			TxD2-B/ SSLB1	
K9		PC2	A18		MTCLKE-A	RxD5	
K10		PC1	A17		MTCLKH-A	SCK5	

1.5 引脚功能

引脚功能一览表如表 1.9 所示。

表 1.9 引脚功能一览表 (1 / 6)

分类	引脚名	输入 / 输出	功能
电源	VCC	输入	电源引脚 必须连接系统电源。
	VCL	输入	必须通过 0.1 μ F 的电容器连接 VSS，并且使电容器靠近引脚。
	VSS	输入	接地引脚 必须连接系统电源 (0V)。
	PLLVC	输入	用于 PLL 电路的电源引脚 必须连接系统电源。
	PLLVS	输入	用于 PLL 电路的接地引脚
时钟	XTAL	输出	连接晶体谐振器的引脚
	EXTAL	输入	EXTAL 引脚也能输入外部时钟。
	BCLK	输出	用于外部设备的外部总线时钟的输出引脚
	SDCLK	输出	SDRAM 专用的时钟输出引脚
	XCOUT	输出	副时钟振荡电路的输入 / 输出引脚
	XCIN	输入	必须在 XCOUT 和 XCIN 之间连接晶体谐振器。
运行模式的控制	MD0、MD1、MDE	输入	设定运行模式。不能在运行中改变这些引脚。
系统控制	RES#	输入	复位引脚 当此引脚为 Low 电平时，进入复位状态。
	EMLE	输入	允许连接内部仿真器的引脚 当使用内部仿真器时，必须置为 High 电平，否则就必须置为 Low 电平。
	BSCANP	输入	允许边界扫描的引脚 当此引脚为 High 电平时，边界扫描有效。当不使用边界扫描时，必须置为 Low 电平。
CNVSS	CNVSS	输入	必须通过电阻连接 VSS (下拉)。
内部仿真器	TRST#	输入	用于内部仿真器或者边界扫描的引脚
	TMS	输入	如果将 EMLE 引脚置为 High 电平，就变为内部仿真器的专用引脚。
	TDI	输入	
	TCK	输入	
	TDO	输出	
	TRCLK	输出	输出用于与跟踪数据取得同步的时钟。
	TRSYNC	输出	表示 TRDATA0 ~ TRDATA3 引脚的输出为有效数据。
	TRDATA0 ~ TRDATA3	输出	输出跟踪信息。
地址总线	A0 ~ A15 A16-A/A16-B ~ A23-A/A23-B	输出	地址的输出引脚
	数据总线	D0 ~ D31	输入 / 输出

表 1.9 引脚功能一览表 (2 / 6)

分类	引脚名	输入 / 输出	功能
总线控制	RD#	输出	此选通信号表示正在读外部总线接口空间。
	WR#	输出	此选通信号表示在 1 次写选通模式中正在写外部总线接口空间。
	WR0# ~ WR3#	输出	此选通信号表示在字节选通模式中正在写外部总线接口空间并且数据总线 (D7 ~ D0、D15 ~ D8、D23 ~ D16、D31 ~ D24) 中任意一个有效。
	BC0# ~ BC3#	输出	此选通信号表示在 1 次写选通模式中正在存取外部总线接口空间并且数据总线 (D7 ~ D0、D15 ~ D8、D23 ~ D16、D31 ~ D24) 中任意一个有效。
	WE#	输出	SDRAM 的写允许引脚
	CAS#	输出	SDRAM 的列地址选通信号
	RAS#	输出	SDRAM 的行地址选通信号
	CKE	输出	SDRAM 的时钟允许信号
	DQM0 ~ DQM3	输出	SDRAM 的输入 / 输出数据的可屏蔽信号
	SDCS#	输出	SDRAM 的片选信号
	CS0#-A/CS0#-B CS1#-A/CS1#-B/CS1#-C CS2#-A/CS2#-B/CS2#-C CS3#-A/CS3#-B/CS3#-C CS4#-A/CS4#-B/CS4#-C CS5#-A/CS5#-B/CS5#-C CS6#-A/CS6#-B/CS6#-C CS7#-A/CS7#-B/CS7#-C	输出	区域 0 ~ 7 的选择信号
	WAIT#-A/WAIT#-B/ WAIT#-C/WAIT#-D	输入	存取外部空间时的等待请求信号
EXDMA 控制器	EDREQ0-A/EDREQ0-B/ EDREQ0-C	输入	通道 0 的外部 DMA 传送请求引脚
	EDREQ1-A/EDREQ1-B/ EDREQ1-C	输入	通道 1 的外部 DMA 传送请求引脚
	EDACK0-A/EDACK0-B/ EDACK0-C	输出	通道 0 的单地址传送应答信号
	EDACK1-A/EDACK1-B/ EDACK1-C	输出	通道 1 的单地址传送应答信号
中断	NMI	输入	非屏蔽中断请求引脚
	IRQ0-A/IRQ0-B IRQ1-A/IRQ1-B IRQ2-A/IRQ2-B IRQ3-A/IRQ3-B IRQ4-A/IRQ4-B IRQ5-A/IRQ5-B IRQ6-A/IRQ6-B IRQ7-A/IRQ7-B IRQ8-A/IRQ8-B IRQ9-A/IRQ9-B IRQ10-A/IRQ10-B IRQ11-A/IRQ11-B IRQ12 IRQ13-A/IRQ13-B IRQ14 IRQ15-A/IRQ15-B	输入	中断请求引脚

表 1.9 引脚功能一览表 (3 / 6)

分类	引脚名	输入 / 输出	功能
多功能定时器脉冲单元	MTIOC0A MTIOC0B MTIOC0C MTIOC0D	输入 / 输出	TGRA0 ~ TGRD0 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
	MTIOC1A MTIOC1B	输入 / 输出	TGRA1 和 TGRB1 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
	MTIOC2A MTIOC2B	输入 / 输出	TGRA2 和 TGRB2 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
	MTIOC3A MTIOC3B-A/MTIOC3B-B MTIOC3C-A/MTIOC3C-B MTIOC3D-A/MTIOC3D-B	输入 / 输出	TGRA3 ~ TGRD3 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
	MTIOC4A-A/MTIOC4A-B MTIOC4B-A/MTIOC4B-B MTIOC4C-A/MTIOC4C-B MTIOC4D-A/MTIOC4D-B	输入 / 输出	TGRA4 和 TGRB4 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
	MTIC5U-A/MTIC5U-B MTIC5V-A/MTIC5V-B MTIC5W-A/MTIC5W-B	输入	TGRU5、TGRV5 和 TGRW5 的输入捕捉的输入引脚 / 死区时间补偿功能的输入引脚
	MTIOC6A MTIOC6B MTIOC6C MTIOC6D	输入 / 输出	TGRA6 ~ TGRD6 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
	MTIOC7A MTIOC7B	输入 / 输出	TGRA7 和 TGRB7 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
	MTIOC8A MTIOC8B	输入 / 输出	TGRA8 和 TGRB8 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
	MTIOC9A MTIOC9B MTIOC9C MTIOC9D	输入 / 输出	TGRA9 ~ TGRD9 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
	MTIOC10A MTIOC10B MTIOC10C MTIOC10D	输入 / 输出	TGRA10 和 TGRB10 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
	MTIC11U-A/MTIC11U-B MTIC11V-A/MTIC11V-B MTIC11W-A/MTIC11W-B	输入	TGRU11、TGRV11 和 TGRW11 的输入捕捉的输入引脚 / 死区时间补偿功能的输入引脚
	MTCLKA-A/MTCLKA-B MTCLKB-A/MTCLKB-B MTCLKC-A/MTCLKC-B MTCLKD-A/MTCLKD-B MTCLKE-A/MTCLKE-B MTCLKF-A/MTCLKF-B MTCLKG-A/MTCLKG-B MTCLKH-A/MTCLKH-B	输入	输入外部时钟。
	端口输出允许	POE0# ~ POE9#	输入
可编程脉冲发生器	PO0 ~ PO31	输出	脉冲输出引脚

表 1.9 引脚功能一览表 (4 / 6)

分类	引脚名	输入 / 输出	功能
8 位定时器	TMO0 ~ TMO3	输出	比较匹配的输出引脚
	TMCI0-A/TMCI0-B TMCI1-A/TMCI1-B TMCI2-A/TMCI2-B TMCI3-A/TMCI3-B	输入	输入到计数器的外部时钟的输入引脚
	TMRI0-A/TMRI0-B TMRI1 TMRI2 TMRI3-A/TMRI3-B	输入	计数器复位的输入引脚
看门狗定时器	WDTOVF#	输出	看门狗定时器模式中的计数器上溢信号的输出引脚
串行通信接口	TxD0 TxD1-A/TxD1-B TxD2-A/TxD2-B TxD3-A/TxD3-B TxD5 TxD6-A/TxD6-B	输出	发送数据的输出引脚
	RxD0 RxD1-A/RxD1-B RxD2-A/RxD2-B RxD3-A/RxD3-B RxD5 RxD6-A/RxD6-B	输入	接收数据的输入引脚
	SCK0 SCK1-A/SCK1-B SCK2-A/SCK2-B SCK3-A/SCK3-B SCK5 SCK6-A/SCK6-B	输入 / 输出	时钟的输入 / 输出引脚
I ² C 总线接口	SCL0、SCL1	输入 / 输出	I ² C 总线接口的时钟输入 / 输出引脚 能通过 NMOS 漏极开路输出，直接驱动总线。
	SDA0、SDA1	输入 / 输出	I ² C 总线接口的数据输入 / 输出引脚 能通过 NMOS 漏极开路输出，直接驱动总线。
以太网控制器	REF50CK	输入	50MHz 的基准时钟 RMII 模式中的发送 / 接收信号的时序参考信号。
	RMII_CRS_DV	输入	此信号表示在 RMII 模式中 RMII_RXD1 ~ 0 上有载波检测信号和有效接收数据。
	RMII_TXD0、RMII_TXD1	输出	RMII 模式中的 2 位发送数据
	RMII_RXD0、RMII_RXD1	输入	RMII 模式中的 2 位接收数据
	RMII_TXD_EN	输出	RMII 模式中的数据发送允许信号
	RMII_RX_ER	输入	表示在 RMII 模式的数据接收过程中发生了错误。
	ET_CRS	输入	载波检测 / 接收数据的有效引脚
	ET_RX_DV	输入	此信号表示在 ET_ERXD3 ~ 0 上有有效接收数据。
	ET_EXOUT	输出	通用的外部输出引脚
	ET_LINKSTA	输入	输入 PHY-LSI 的链接状态。
	ET_ETXD0 ~ ET_ETXD3	输出	MII 的 4 位发送数据
	ET_ERXD0 ~ ET_ERXD3	输入	MII 的 4 位接收数据
	ET_TX_EN	输出	发送允许引脚 此信号表示已经在 ET_ETXD3 ~ 0 上准备好发送数据。

表 1.9 引脚功能一览表 (5 / 6)

分类	引脚名	输入 / 输出	功能
以太网控制器	ET_TX_ER	输出	发送错误引脚 此信号表示将发送过程中的错误通知 PHY-LSI。
	ET_RX_ER	输入	接收错误引脚 此信号表示识别在数据接收过程中发生的错误状态。
	ET_TX_CLK	输入	发送时钟引脚 这是 ET_TX_EN、ET_ETXD3 ~ 0 和 ET_TX_ER 的时序参考信号。
	ET_RX_CLK	输入	接收时钟引脚 这是 ET_RX_DV、ET_ERXD3 ~ 0、ET_RX_ER 的时序参考信号。
	ET_COL	输入	冲突检测信号
	ET_WOL	输出	表示接收 Magic Packet™ 的信号
	ET_MDC	输出	用于通过 ET_MDIO 传送信息的参考时钟信号
	ET_MDIO	输入 / 输出	用于在 RX62N 群和 PHY-LSI 之间交换管理信息的双向信号
USB2.0 主机 / 功能模块	VCC_USB	输入	USB 的电源引脚。未使用 USB 时也必须连接系统电源
	VSS_USB	输入	USB 的接地引脚。未使用 USB 时也必须连接系统电源 (0V)
	USB0_DP USB1_DP	输入 / 输出	USB 总线的 D+ 数据
	USB0_DM USB1_DM	输入 / 输出	USB 总线的 D- 数据
	USB0_DPRPD USB1_DPRPD	输出	允许 D+ 下拉。
	USB0_DRPD USB1_DRPD	输出	允许 D- 下拉。
	USB0_EXICEN USB1_EXICEN	输出	连接 OTG 电源 IC。
	USB0_ID USB1_ID	输入	连接 OTG 电源 IC。
	USB0_VBUSEN-A/ USB0_VBUSEN-B USB1_VBUSEN-A/ USB1_VBUSEN-B	输出	USB 的 VBUS 功率允许引脚
	USB0_DPUPE-A/ USB0_DPUPE-B USB1_DPUPE-A/ USB1_DPUPE-B	输出	USB 的上拉引脚
	USB0_OVRCURA/ USB0_OVRCURB USB1_OVRCURA/ USB1_OVRCURB	输入	USB 的过电流引脚
	USB0_VBUS USB1_VBUS	输入	USB 电缆的连接 / 切断检测输入引脚
	CAN 模块	CRX0	输入
CTX0		输出	CAN 的输出引脚

表 1.9 引脚功能一览表 (6 / 6)

分类	引脚名	输入 / 输出	功能
串行外围接口	RSPCKA-A/RSPCKA-B	输入 / 输出	RSPI 的时钟输入 / 输出引脚
	RSPCKB-A/RSPCKB-B	输入 / 输出	RSPI 的时钟输入 / 输出引脚
	MOSIA-A/MOSIA-B MOSIB-A/MOSIB-B	输入 / 输出	RSPI 的主控发送数据引脚
	MISOA-A/MISOA-B MISOB-A/MISOB-B	输入 / 输出	RSPI 的从属发送数据引脚
	SSLA0-A/SSLA0-B	输入 / 输出	RSPI 的从属选择引脚
	SSLA1-A/SSLA1-B SSLA2-A/SSLA2-B SSLA3-A/SSLA3-B	输出	
	SSLB0-A/SSLB0-B	输入 / 输出	
	SSLB1-A/SSLB1-B SSLB2-A/SSLB2-B SSLB3-A/SSLB3-B	输出	
实时时钟	RTCOUT	输出	1Hz 输出引脚
A/D 转换器	AN0 ~ AN7	输入	A/D 转换器的模拟输入引脚
	ADTRG0#-A/ADTRG0#-B ADTRG1#	输入	用于开始 A/D 转换的外部触发输入引脚
D/A 转换器	DA0、DA1	输出	D/A 转换器的模拟输出引脚
模拟电源	AVCC	输入	A/D 转换器和 D/A 转换器的模拟电源引脚 在不使用 A/D 转换器和 D/A 转换器时，必须连接系统电源。
	AVSS	输入	A/D 转换器和 D/A 转换器的接地引脚 必须连接系统电源 (0V)。
	VREFH	输入	A/D 转换器和 D/A 转换器的基准电源引脚 在不使用 A/D 转换器和 D/A 转换器时，必须连接系统电源。
	VREFL	输入	A/D 转换器和 D/A 转换器的基准接地引脚 必须连接模拟基准电源 (0V)。在不使用 A/D 转换器和 D/A 转换器时，必须连接系统电源 (0V)。详细内容请参照“35.6.7 模拟电源引脚等的设定范围”。
I/O 端口	P00 ~ P03、P05、P07	输入 / 输出	6 位输入 / 输出引脚
	P10 ~ P17	输入 / 输出	8 位输入 / 输出引脚
	P20 ~ P27	输入 / 输出	8 位输入 / 输出引脚
	P30 ~ P34	输入 / 输出	5 位输入 / 输出引脚
	P35	输入	1 位输入引脚
	P40 ~ P47	输入 / 输出	8 位输入 / 输出引脚
	P50 ~ P52、P54 ~ P57	输入 / 输出	7 位输入 / 输出引脚
	P53	输入	1 位输入引脚
	P60 ~ P67	输入 / 输出	8 位输入 / 输出引脚
	P70 ~ P77	输入 / 输出	8 位输入 / 输出引脚
	P80 ~ P85	输入 / 输出	6 位输入 / 输出引脚
	P90 ~ P97	输入 / 输出	8 位输入 / 输出引脚
	PA0 ~ PA7	输入 / 输出	8 位输入 / 输出引脚
	PB0 ~ PB7	输入 / 输出	8 位输入 / 输出引脚
	PC0 ~ PC7	输入 / 输出	8 位输入 / 输出引脚
	PD0 ~ PD7	输入 / 输出	8 位输入 / 输出引脚
	PE0 ~ PE7	输入 / 输出	8 位输入 / 输出引脚
	PF0 ~ PF4	输入 / 输出	5 位输入 / 输出引脚
PG0 ~ PG7	输入 / 输出	8 位输入 / 输出引脚	

2. CPU

RX62N 群和 RX621 群是装载了 RX CPU 的处理器。

RX CPU 采用了可变长指令格式。通过将常用指令分配为较短的指令长度，能开发出存储容量小而且效率高的程序。

RX CPU 有 73 种基本指令、8 种浮点运算指令、9 种 DSP 功能指令共 90 种指令和 10 种寻址方式，进行寄存器 - 寄存器之间、寄存器 - 存储器之间、立即数 - 寄存器、立即数 - 存储器的运算以及位操作、存储器 - 存储器之间的传送。通过 1 个时钟执行寄存器之间的运算指令和多条复合指令，实现了快速运算处理。因为内置了乘法器和除法器，所以能进行快速的乘除法运算处理。

RX CPU 通过取指令、解码、执行、存储器的存取、回写这 5 个阶段的流水线处理，进行指令的处理。如果因存储器的存取引起流水线的延长，就可能先执行后面的运算。RX CPU 采用“out-of-order-completion”进行节省时钟周期数的指令执行控制。

2.1 特点

- 指令的最短执行时间：1 个时钟执行 1 条指令
- 地址空间：4G 字节、线性地址
- CPU 寄存器组
 - 通用寄存器：32 位×16 个
 - 控制寄存器：32 位×9 个
 - 累加器：64 位×1 个
- 基本指令：73 种（算术/逻辑指令、传送指令、转移指令、位操作指令、字符串操作指令、系统操作指令）
 - 对应转移距离的相对转移指令
 - 可变长指令格式（1 字节～8 字节）
 - 常用指令有短格式
- 浮点运算指令：8 种
- DSP 功能指令：9 种
 - 对应 16 位×16 位的乘法指令和乘加指令
 - 对应累加器的舍入指令
- 寻址方式：10 种
- 5 个阶段的流水线
 - 采用“out-of-order-completion”
- 处理器模式
 - 管理模式、用户模式
- 浮点运算单元
 - 对应单精度浮点数（32 位）
 - 符合 IEEE754 规格的数据类型以及对应异常
- 存储器保护单元
- 数据排列
 - 可选择小端法或者大端法

2.2 CPU 寄存器组

RX CPU 寄存器有 16 个通用寄存器、9 个控制寄存器和 1 个由 DSP 功能指令使用的累加器。

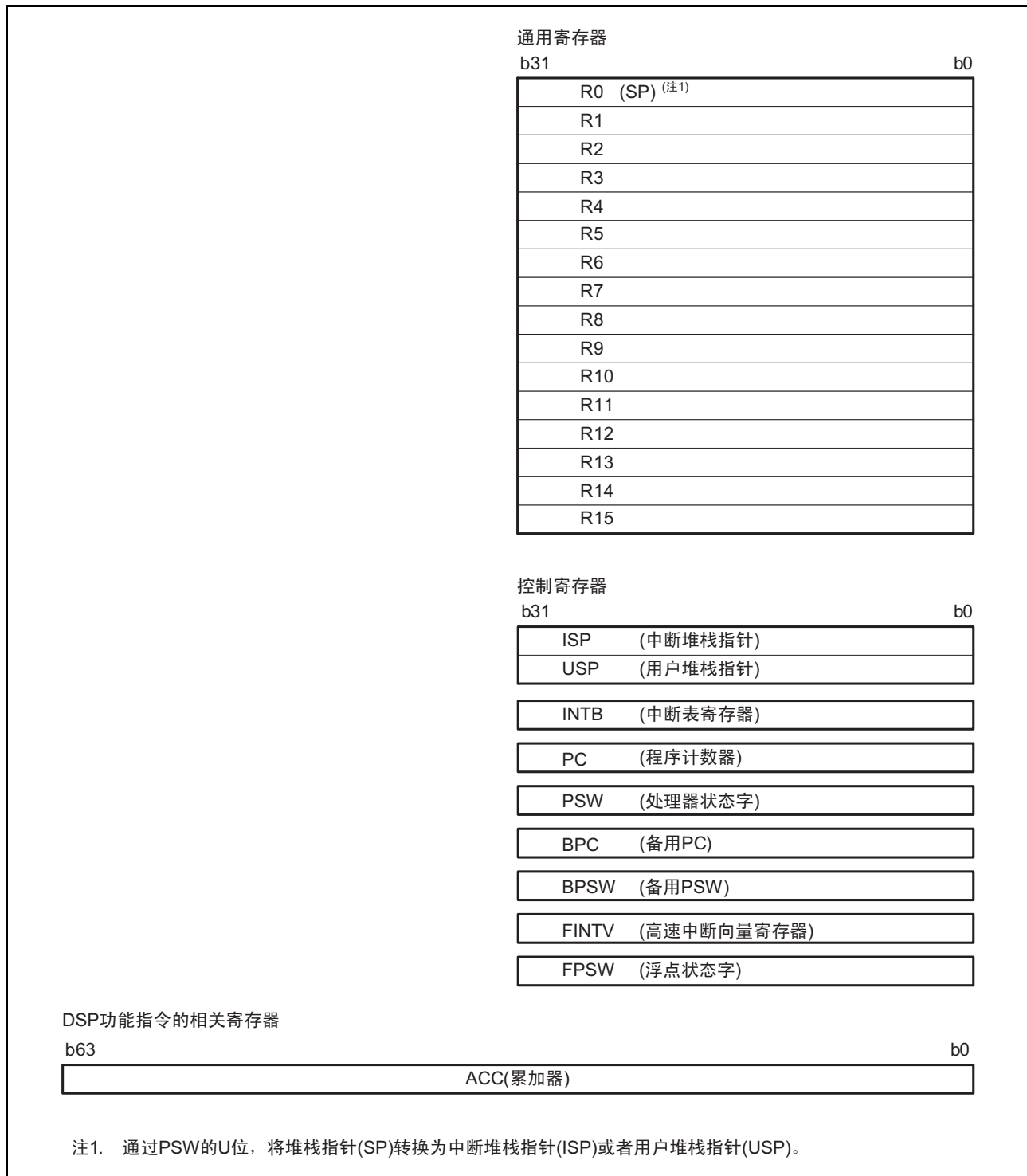


图 2.1 CPU 寄存器组

2.2.1 通用寄存器 (R0 ~ R15)

通用寄存器有 16 个 (R0 ~ R15)，用作数据寄存器和地址寄存器。

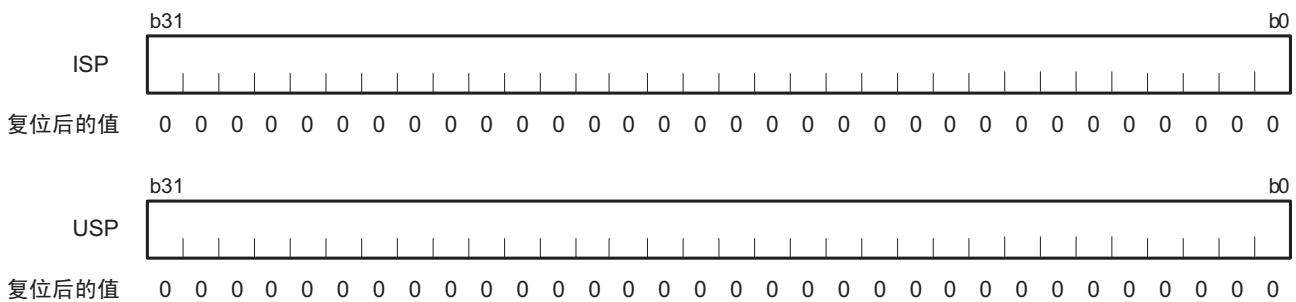
通用寄存器 R0 除了具有通用寄存器的功能以外，还有堆栈指针 (SP) 的功能。通过处理器状态字 (PSW) 的堆栈指针指定位 (U)，将 SP 转换为中断堆栈指针 (ISP) 或者用户堆栈指针 (USP)。

2.2.2 控制寄存器

控制寄存器有以下 9 个：

- 中断堆栈指针 (ISP)
- 用户堆栈指针 (USP)
- 中断表寄存器 (INTB)
- 程序计数器 (PC)
- 处理器状态字 (PSW)
- 备用 PC (BPC)
- 备用 PSW (BPSW)
- 高速中断向量寄存器 (FINTV)
- 浮点状态字 (FPSW)

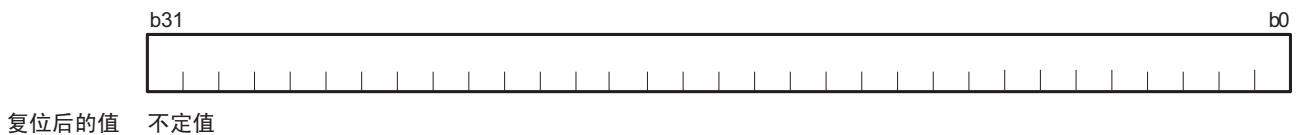
2.2.2.1 中断堆栈指针 (ISP) / 用户堆栈指针 (USP)



堆栈指针 (SP) 有中断堆栈指针 (ISP) 和用户堆栈指针 (USP) 两种，通过处理器状态字 (PSW) 的堆栈指针指定位 (U) 转换要使用的堆栈指针 (ISP/USP)。

如果给 ISP 和 USP 设定 4 的倍数，带有堆栈操作的指令和中断响应顺序的周期数就会变短。

2.2.2.2 中断表寄存器 (INTB)



必须给中断表寄存器 (INTB) 设定可变向量表的起始地址。

另外，必须给 INTB 寄存器设定 4 的倍数。

2.2.2.3 程序计数器 (PC)



程序计数器 (PC) 表示正在执行的指令的地址。

2.2.2.4 处理器状态字 (PSW)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	IPL[3:0]				—	—	—	PM	—	—	U	I
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	O	S	Z	C
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	C	进位标志	0: 未发生进位 1: 发生进位	R/W
b1	Z	零标志	0: 运算结果不为“0” 1: 运算结果为“0”	R/W
b2	S	符号标志	0: 运算结果为正数或者“0” 1: 运算结果为负数	R/W
b3	O	上溢标志	0: 未发生上溢 1: 发生上溢	R/W
b15-b4	—	保留位	读写值都为“0”。	R/W
b16	I (注1)	中断允许位	0: 禁止中断 1: 允许中断	R/W
b17	U (注1)	堆栈指针指定位	0: 指定中断堆栈指针 (ISP) 1: 指定用户堆栈指针 (USP)	R/W
b19-b18	—	保留位	读写值都为“0”。	R/W
b20	PM (注1、注2、注3)	处理器模式设定位	0: 设定为管理模式 1: 设定为用户模式	R/W
b23-b21	—	保留位	读写值都为“0”。	R/W
b27-b24	IPL[3:0] (注1)	处理器中断优先级	b27 b24 0 0 0 0: 0级 (最低) 0 0 0 1: 1级 0 0 1 0: 2级 0 0 1 1: 3级 0 1 0 0: 4级 0 1 0 1: 5级 0 1 1 0: 6级 0 1 1 1: 7级 1 0 0 0: 8级 1 0 0 1: 9级 1 0 1 0: 10级 1 0 1 1: 11级 1 1 0 0: 12级 1 1 0 1: 13级 1 1 1 0: 14级 1 1 1 1: 15级 (最高)	R/W
b31-b28	—	保留位	读写值都为“0”。	R/W

注1. 当设定为用户模式时, 忽视用 MVTC 指令和 POPC 指令对 IPL[3:0] 位、PM 位、U 位和 I 位的写操作。另外, 当用 MVTIPL 指令写 IPL[3:0] 位时, 发生特权指令异常。

注2. 当设定为管理模式时, 忽视用 MVTC 指令和 POPC 指令对 PM 位的写操作, 但是能写除 PM 位以外的其他位。

注3. 要从管理模式转换为管理模式时, 必须在将被压栈的 PSW.PM 位置“1”后执行 RTE 指令、或者在将 BPSW.PM 位置“1”后执行 RTFI 指令。

处理器状态字（PSW）表示指令的执行结果和 CPU 的状态。

C 标志（进位标志）

表示运算结果发生进位、借位或者移出。

Z 标志（零标志）

表示运算结果为“0”。

S 标志（符号标志）

表示运算结果为负数。

O 标志（上溢标志）

表示运算中发生上溢。

I 位（中断允许位）

此位是允许接受中断请求的位。如果接受异常处理，此位就变为“0”。

U 位（堆栈指针指定位）

此位是指定要使用的堆栈指针（ISP/USP）的位。如果接受异常处理，此位就变为“0”。如果从管理模式转移到用户模式，此位就变为“1”。

PM 位（处理器模式设定位）

此位是设定处理器模式的位。如果接受异常处理，此位就变为“0”。

IPL[3:0] 位（处理器中断优先级）

IPL[3:0] 位指定 0 级（最低）～ 15 级（最高）的 16 个处理器中断优先级。如果发生请求的中断的优先级高于处理器中断优先级，就允许该中断。在将 IPL[3:0] 位设定为“15 级”（Fh）时，禁止全部的中断。如果发生非屏蔽中断，IPL[3:0] 位就变为“15 级”（Fh）。如果发生中断，这些位就被设定为所接受中断的优先级。

2.2.2.5 备用 PC（BPC）



复位后的值 不定值

备用 PC（BPC）是为实现中断响应高速化而设计的寄存器。如果发生高速中断，就将程序计数器（PC）的内容保存到 BPC。

2.2.2.6 备用 PSW（BPSW）



复位后的值 不定值

备用 PSW（BPSW）是为实现中断响应高速化而设计的寄存器。

如果发生高速中断，就将处理器状态字（PSW）的内容保存到 BPSW。BPSW 的位配置与 PSW 对应。

2.2.2.7 高速中断向量寄存器 (FINTV)



复位后的值 不定值

高速中断向量寄存器 (FINTV) 是为实现中断响应高速化而设计的寄存器。必须设定发生高速中断时的转移目标地址。

2.2.2.8 浮点状态字 (FPSW)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FS	FX	FU	FZ	FO	FV	—	—	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	EX	EU	EZ	EO	EV	—	DN	CE	CX	CU	CZ	CO	CV	RM[1:0]	
复位后的值	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	RM[1:0]	浮点舍入模式设定位	b1 b0 0 0: 向最接近的值舍入 0 1: 向 0 方向舍入 1 0: 向 +∞ 方向舍入 1 1: 向 -∞ 方向舍入	R/W
b2	CV	无效运算源标志	0: 未发生无效运算 1: 发生无效运算	R/(W) (注 1)
b3	CO	上溢源标志	0: 未发生上溢 1: 发生上溢	R/(W) (注 1)
b4	CZ	被零除源标志	0: 未发生被零除 1: 发生被零除	R/(W) (注 1)
b5	CU	下溢源标志	0: 未发生下溢 1: 发生下溢	R/(W) (注 1)
b6	CX	精度异常源标志	0: 未发生精度异常 1: 发生精度异常	R/(W) (注 1)
b7	CE	非安装处理源标志	0: 未发生非安装处理 1: 发生非安装处理	R/(W) (注 1)
b8	DN	非规格化数的 0 刷新位	0: 将非规格化数作为非规格化数处理 1: 将非规格化数作为 0 处理 (注 2)	R/W
b9	—	保留位	读写值都为“0”。	R/W
b10	EV	无效运算异常处理允许位	0: 禁止无效运算引起的异常处理 1: 允许无效运算引起的异常处理	R/W
b11	EO	上溢异常处理允许位	0: 禁止上溢引起的异常处理 1: 允许上溢引起的异常处理	R/W
b12	EZ	被零除异常处理允许位	0: 禁止被零除引起的异常处理 1: 允许被零除引起的异常处理	R/W

位	符号	位名	功能	R/W
b13	EU	下溢异常处理允许位	0: 禁止下溢引起的异常处理 1: 允许下溢引起的异常处理	R/W
b14	EX	精度异常处理允许位	0: 禁止精度异常引起的异常处理 1: 允许精度异常引起的异常处理	R/W
b25-b15	—	保留位	读写值都为“0”。	R/W
b26	FV (注3)	无效运算标志	0: 未发生无效运算 1: 发生无效运算 (注8)	R/W
b27	FO (注4)	上溢标志	0: 未发生上溢 1: 发生上溢 (注8)	R/W
b28	FZ (注5)	被零除标志	0: 未发生被零除 1: 发生被零除 (注8)	R/W
b29	FU (注6)	下溢标志	0: 未发生下溢 1: 发生下溢 (注8)	R/W
b30	FX (注7)	精度异常标志	0: 未发生精度异常 1: 发生精度异常 (注8)	R/W
b31	FS	浮点错误概要标志	反映 FU、FZ、FO、FV 标志的逻辑或。	R

注 1. 如果写“0”，此位就变为“0”。如果写“1”，就保持原来的值。

注 2. 正的非规格化数作为 +0 处理，负的非规格化数作为 -0 处理。

注 3. 当 EV 位为“0”时，FV 标志有效。

注 4. 当 EO 位为“0”时，FO 标志有效。

注 5. 当 EZ 位为“0”时，FZ 标志有效。

注 6. 当 EU 位为“0”时，FU 标志有效。

注 7. 当 EX 位为“0”时，FX 标志有效。

注 8. 一旦该位变为“1”，就在通过软件置“0”前一直保持“1”。

浮点状态字 (FPSW) 表示浮点运算结果。

如果通过异常处理允许位 E_j 允许异常处理 ($E_j=1$)，就能通过异常处理程序检查对应的 C_j 标志，判断异常的发生源。如果禁止异常处理 ($E_j=0$)，就能在一连串处理的最后检查 F_j 标志，确认是否发生异常。如果 F_j 标志为“1”，就在通过软件置“0”前保持“1” ($j=X、U、Z、O、V$)。

RM[1:0] 位 (浮点舍入模式设定位)

这些位是设定浮点舍入模式的位。

【浮点舍入模式的说明】

- 向最接近的值舍入 (默认) : 向接近以无限有效位数进行计算时的结果的值舍入。
如果为中间值，就向结果为偶数的方向舍入。
- 向 0 方向舍入 : 向结果的绝对值变小的方向舍入 (单纯的舍去)。
- 向 $+\infty$ 方向舍入 : 向结果值变大的方向舍入。
- 向 $-\infty$ 方向舍入 : 向结果值变小的方向舍入。

1. “向最接近的值舍入”是默认模式，返回最正确的值。

2. “向 0 方向舍入”、“向 $+\infty$ 方向舍入”、“向 $-\infty$ 方向舍入”用于保证使用了区间运算 (Interval arithmetic) 的精度。

CV 标志（无效运算源标志）、CO 标志（上溢源标志）

CZ 标志（被零除源标志）、CU 标志（下溢源标志）

CX 标志（精度异常源标志）、CE 标志（非安装处理源标志）

在发生 IEEE754 规格规定的 5 种异常（上溢、下溢、精度异常、被零除、无效运算）和非安装处理时，对应的标志变为“1”。

- 在对应的标志为“1”的情况下执行 FPU 运算指令时，该标志就变为“0”。
- 如果使用 MVTTC 指令和 POPC 指令给对应的标志写“0”，该标志就变为“0”；如果写“1”，就保持原来的值。

DN 位（非规格化数的 0 刷新位）

当此位为“0”时，将非规格化数作为非规格化数处理；当此位为“1”时，将非规格化数作为 0 处理。

EV 位（无效运算异常处理允许位）、EO 位（上溢异常处理允许位）

EZ 位（被零除异常处理允许位）、EU 位（下溢异常处理允许位）

EX 位（精度异常处理允许位）

在因执行 FPU 运算指令而发生了 IEEE754 规格规定的 5 种异常时，控制 CPU 是否转移到异常处理。如果此位为“0”，就禁止异常处理；如果为“1”，就允许异常处理。

FV 标志（无效运算标志）、FO 标志（上溢标志）、FZ 标志（被零除标志）

FU 标志（下溢标志）、FX 标志（精度异常标志）

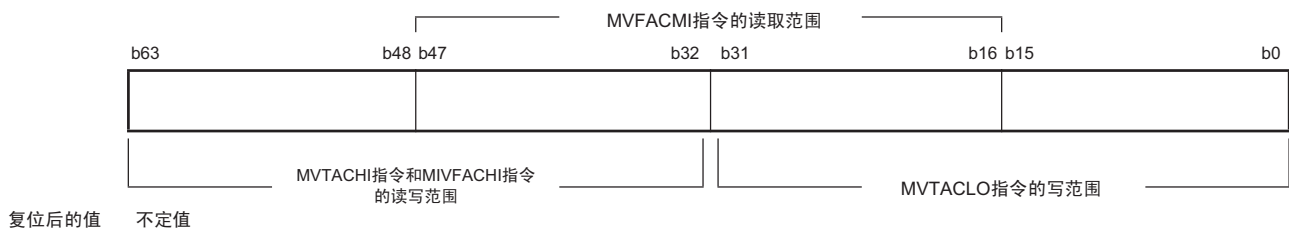
在异常处理允许位 E_j 为“0”（禁止异常处理）时，如果发生 IEEE754 规格规定的 5 种异常，对应的标志就变为“1”。

- 当 E_j 为“1”（允许异常处理）时，此标志不变。
- 如果该标志变为“1”，就在通过软件置“0”前一直保持“1”（累积标志）。

FS 标志（浮点错误概要标志）

此标志反映 FU、FZ、FO、FV 标志的逻辑或。

2.2.3 累加器（ACC）



累加器（ACC）是 64 位寄存器，用于 DSP 功能指令，也用于乘法指令（EMUL、EMULU、FMUL、MUL）和乘加运算指令（RMPA）。在执行这些指令时，ACC 的值被更改。

使用 MVTACHI 指令和 MVTACLO 指令写 ACC。通过 MVTACHI 指令将数据写到高 32 位（b63 ~ b32），通过 MVTACLO 指令，将数据写到低 32 位（b31 ~ b0）。

使用 MVFACHI 指令和 MVFACMI 指令读 ACC。通过 MVFACHI 指令读高 32 位（b63 ~ b32）的数据，通过 MVFACMI 指令读中间 32 位（b47 ~ b16）的数据。

2.3 处理器模式

RX CPU 有管理模式和用户模式两种处理器模式。能通过使用处理器模式，实现对 CPU 资源的阶层保护结构。

各处理器模式对能执行的指令以及能存取的 CPU 资源规定了权限，管理模式的权限高于用户模式。复位后，以管理模式运行。

2.3.1 管理模式

在管理模式中，能存取全部的 CPU 资源，还能执行全部的指令。但是，忽视通过 MVTC 指令和 POPC 指令写处理器状态字（PSW）的处理器模式设定位（PM）。有关写 PM 位的方法，请参照“2.2.2.4 处理器状态字（PSW）”。

2.3.2 用户模式

在用户模式中，限制部分 CPU 资源的写存取。被限制写存取的 CPU 资源如下，限制对象为全部指令的存取。

- 处理器状态字（PSW）的部分位（IPL[3:0]、PM、U、I）
- 中断堆栈指针（ISP）
- 中断表寄存器（INTB）
- 备用 PSW（BPSW）
- 备用 PC（BPC）
- 高速中断向量寄存器（FINTV）

2.3.3 特权指令

特权指令是只能在管理模式中执行的指令。如果在用户模式中执行特权指令，就会发生特权指令异常。特权指令有 RTFI、MVTIPL、RTE、WAIT 指令。

2.3.4 处理器模式之间的转移

通过处理器状态字（PSW）的处理器模式设定位（PM）转换处理器模式。但是，通过 MVTC 指令和 POPC 指令对 PM 位的改写无效。必须通过以下所示的方法进行转换。

(1) 用户模式向管理模式的转移

如果发生异常，PSW 的 PM 位就变为“0”，CPU 转移到管理模式。在管理模式中执行硬件的预处理。被保存的 PSW 的 PM 位保持发生异常前的处理器模式。

(2) 管理模式向用户模式的转移

在被压栈的 PSW 的 PM 位为“1”时执行 RTE 指令，或者在被保存到备用 PSW（BPSW）中的 PSW 的 PM 位为“1”时执行 RTFI 指令，向用户模式转移。一旦转移到用户模式，PSW 的堆栈指针指定位（U）就变为“1”。

2.4 数据类型

RX CPU 能处理整数、浮点数、位、字符串共 4 种数据。

2.4.1 整数

整数有带符号整数和不带符号整数，带符号整数的负值用 2 的补数表现。

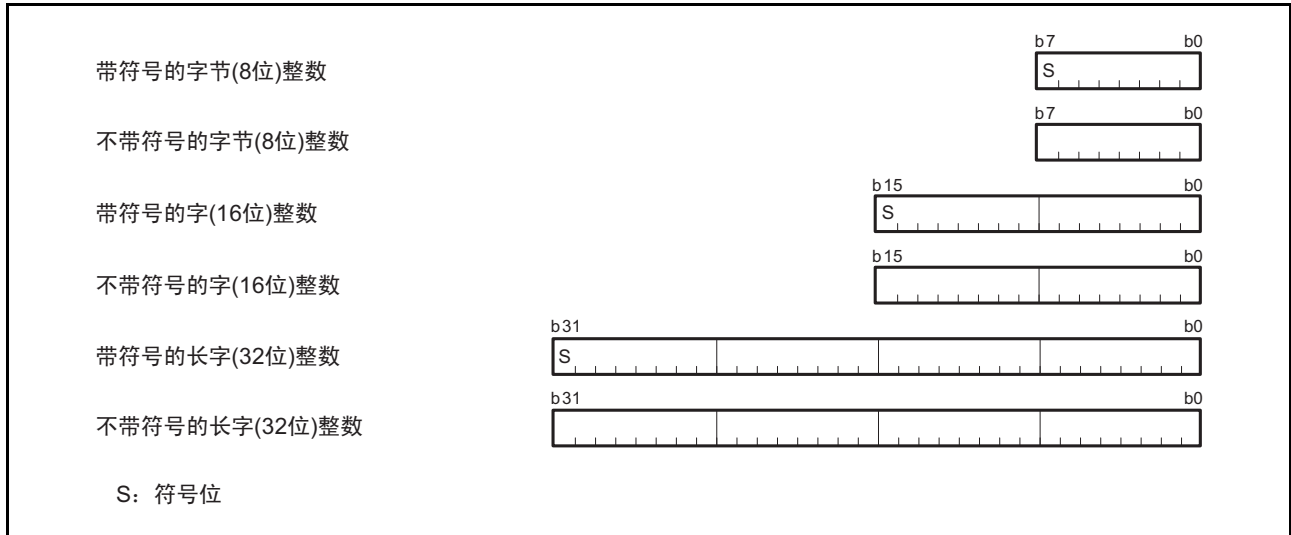


图 2.2 整数

2.4.2 浮点数

浮点数对应 IEEE754 规定的单精度浮点数。浮点数能用于浮点运算指令 FADD、FCMP、FDIV、FMUL、FSUB、FTOI、ITOF、ROUND 共 8 种指令。

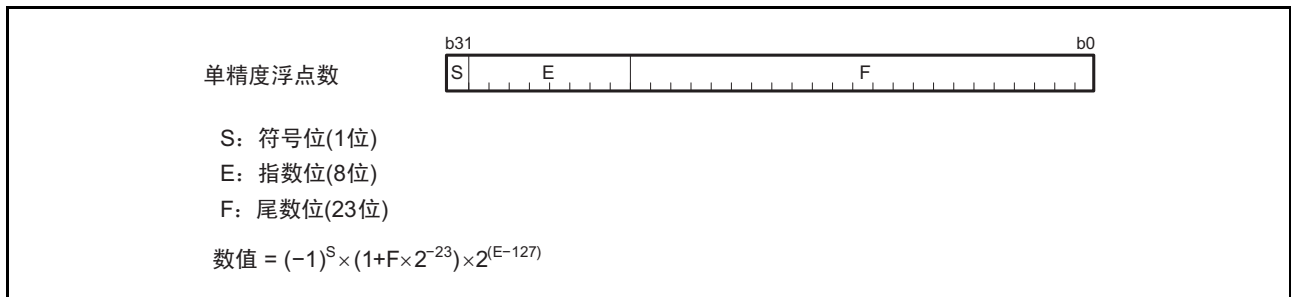


图 2.3 浮点数

浮点数支持以下数值：

- $0 < E < 255$ (规格化数 -Normal Numbers)
- $E=0$ 并且 $F=0$ (零 -Signed Zero)
- $E=0$ 并且 $F>0$ (非规格化数 -Subnormal Numbers) (注1)
- $E=255$ 并且 $F=0$ (无穷大 -Infinity)
- $E=255$ 并且 $F>0$ (非数值 -NaN: Not a Number)

注 1. 当 FPSW.DN 位为“1”时，作为 0 处理；当 DN 位为“0”时，发生非安装处理。

2.4.3 位

位用于位操作指令 BCLR、BMCnd、BNOT、BSET、BTST 共 5 种指令。

通过对象寄存器和 31 ~ 0 的位号指定寄存器的位。

通过对象地址和 7 ~ 0 的位号指定存储器的位。能用于地址指定的寻址方式有寄存器间接和寄存器相对两种。

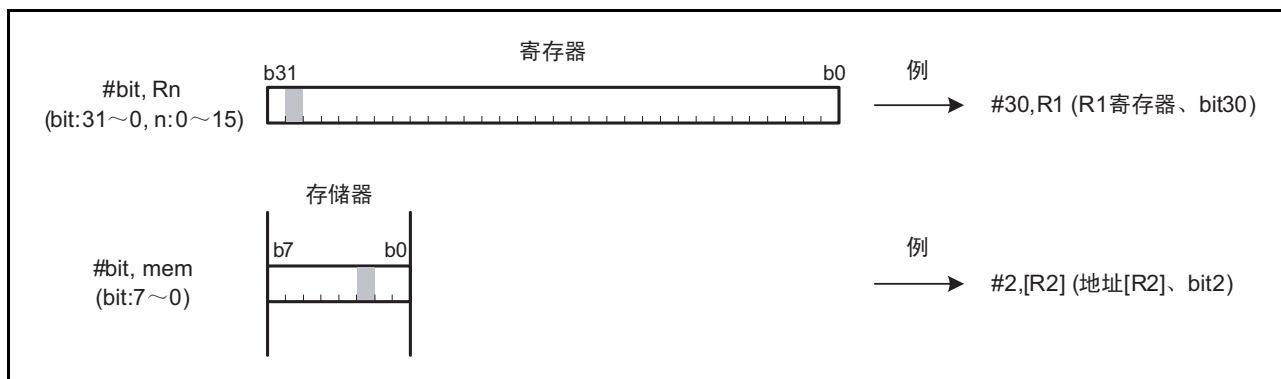


图 2.4 位

2.4.4 字符串

字符串是指只连续排列任意个数的字节（8 位）、字（16 位）或者长字（32 位）数据的数据类型。字符串能用于字符串操作指令 SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、S WHILE 共 7 种指令。

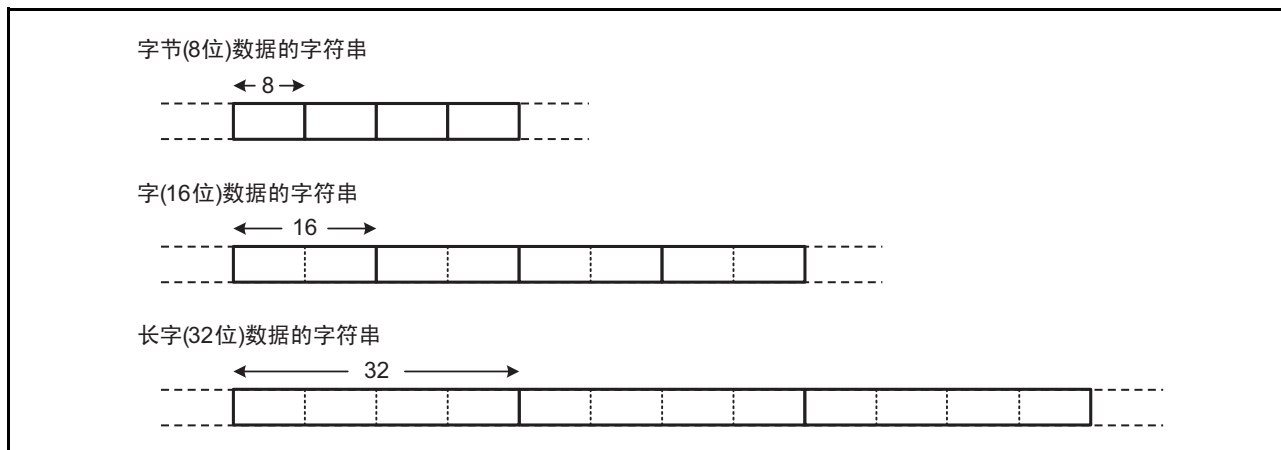


图 2.5 字符串

2.5 字节序

RX CPU 的指令固定为小端法。

数据排列能选择小端法或者大端法。

2.5.1 字节序的设定

在 RX62N 群和 RX621 群中，能使用高位字节（MSB）为地址 0 的大端法和低位字节（LSB）为地址 0 的小端法两种字节数据的排列方法。

有关字节序的设定，请参照“3. 运行模式”和“12. 总线”。

使用指令选择 8 位、16 位或者 32 位的存取，并且存取因小端法或者大端法的设定而不同，各存取如表 2.1～表 2.12 所示。

表中的

LL 表示通用寄存器的 D7 ~ D0；

LH 表示通用寄存器的 D15 ~ D8；

HL 表示通用寄存器的 D23 ~ D16；

HH 表示通用寄存器的 D31 ~ D24。

	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0
通用寄存器 Rm	HH	HL	LH	LL

表 2.1 设定为小端法时的 32 位读操作

操作 地址 src	用 32 位读地址 0	用 32 位读地址 1	用 32 位读地址 2	用 32 位读地址 3	用 32 位读地址 4
地址 0	传送到 LL	—	—	—	—
地址 1	传送到 LH	传送到 LL	—	—	—
地址 2	传送到 HL	传送到 LH	传送到 LL	—	—
地址 3	传送到 HH	传送到 HL	传送到 LH	传送到 LL	—
地址 4	—	传送到 HH	传送到 HL	传送到 LH	传送到 LL
地址 5	—	—	传送到 HH	传送到 HL	传送到 LH
地址 6	—	—	—	传送到 HH	传送到 HL
地址 7	—	—	—	—	传送到 HH

表 2.2 设定为大端法时的 32 位读操作

操作 地址 src	用 32 位读地址 0	用 32 位读地址 1	用 32 位读地址 2	用 32 位读地址 3	用 32 位读地址 4
地址 0	传送到 HH	—	—	—	—
地址 1	传送到 HL	传送到 HH	—	—	—
地址 2	传送到 LH	传送到 HL	传送到 HH	—	—
地址 3	传送到 LL	传送到 LH	传送到 HL	传送到 HH	—
地址 4	—	传送到 LL	传送到 LH	传送到 HL	传送到 HH
地址 5	—	—	传送到 LL	传送到 LH	传送到 HL
地址 6	—	—	—	传送到 LL	传送到 LH
地址 7	—	—	—	—	传送到 LL

表 2.3 设定为小端法时的 32 位写操作

操作 地址 dest	用 32 位写地址 0	用 32 位写地址 1	用 32 位写地址 2	用 32 位写地址 3	用 32 位写地址 4
地址 0	从 LL 传送	—	—	—	—
地址 1	从 LH 传送	从 LL 传送	—	—	—
地址 2	从 HL 传送	从 LH 传送	从 LL 传送	—	—
地址 3	从 HH 传送	从 HL 传送	从 LH 传送	从 LL 传送	—
地址 4	—	从 HH 传送	从 HL 传送	从 LH 传送	从 LL 传送
地址 5	—	—	从 HH 传送	从 HL 传送	从 LH 传送
地址 6	—	—	—	从 HH 传送	从 HL 传送
地址 7	—	—	—	—	从 HH 传送

表 2.4 设定为大端法时的 32 位写操作

操作 地址 dest	用 32 位写地址 0	用 32 位写地址 1	用 32 位写地址 2	用 32 位写地址 3	用 32 位写地址 4
地址 0	从 HH 传送	—	—	—	—
地址 1	从 HL 传送	从 HH 传送	—	—	—
地址 2	从 LH 传送	从 HL 传送	从 HH 传送	—	—
地址 3	从 LL 传送	从 LH 传送	从 HL 传送	从 HH 传送	—
地址 4	—	从 LL 传送	从 LH 传送	从 HL 传送	从 HH 传送
地址 5	—	—	从 LL 传送	从 LH 传送	从 HL 传送
地址 6	—	—	—	从 LL 传送	从 LH 传送
地址 7	—	—	—	—	从 LL 传送

表 2.5 设定为小端法时的 16 位读操作

操作 地址 src	用 16 位 读地址 0	用 16 位 读地址 1	用 16 位 读地址 2	用 16 位 读地址 3	用 16 位 读地址 4	用 16 位 读地址 5	用 16 位 读地址 6
地址 0	传送到 LL	—	—	—	—	—	—
地址 1	传送到 LH	传送到 LL	—	—	—	—	—
地址 2	—	传送到 LH	传送到 LL	—	—	—	—
地址 3	—	—	传送到 LH	传送到 LL	—	—	—
地址 4	—	—	—	传送到 LH	传送到 LL	—	—
地址 5	—	—	—	—	传送到 LH	传送到 LL	—
地址 6	—	—	—	—	—	传送到 LH	传送到 LL
地址 7	—	—	—	—	—	—	传送到 LH

表 2.6 设定为大端法时的 16 位读操作

操作 地址 src	用 16 位 读地址 0	用 16 位 读地址 1	用 16 位 读地址 2	用 16 位 读地址 3	用 16 位 读地址 4	用 16 位 读地址 5	用 16 位 读地址 6
地址 0	传送到 LH	—	—	—	—	—	—
地址 1	传送到 LL	传送到 LH	—	—	—	—	—
地址 2	—	传送到 LL	传送到 LH	—	—	—	—
地址 3	—	—	传送到 LL	传送到 LH	—	—	—
地址 4	—	—	—	传送到 LL	传送到 LH	—	—
地址 5	—	—	—	—	传送到 LL	传送到 LH	—
地址 6	—	—	—	—	—	传送到 LL	传送到 LH
地址 7	—	—	—	—	—	—	传送到 LL

表 2.7 设定为小端法时的 16 位写操作

操作 地址 dest	用 16 位 写地址 0	用 16 位 写地址 1	用 16 位 写地址 2	用 16 位 写地址 3	用 16 位 写地址 4	用 16 位 写地址 5	用 16 位 写地址 6
地址 0	从 LL 传送	—	—	—	—	—	—
地址 1	从 LH 传送	从 LL 传送	—	—	—	—	—
地址 2	—	从 LH 传送	从 LL 传送	—	—	—	—
地址 3	—	—	从 LH 传送	从 LL 传送	—	—	—
地址 4	—	—	—	从 LH 传送	从 LL 传送	—	—
地址 5	—	—	—	—	从 LH 传送	从 LL 传送	—
地址 6	—	—	—	—	—	从 LH 传送	从 LL 传送
地址 7	—	—	—	—	—	—	从 LH 传送

表 2.8 设定为大端法时的 16 位写操作

操作 地址 dest	用 16 位 写地址 0	用 16 位 写地址 1	用 16 位 写地址 2	用 16 位 写地址 3	用 16 位 写地址 4	用 16 位 写地址 5	用 16 位 写地址 6
地址 0	从 LH 传送	—	—	—	—	—	—
地址 1	从 LL 传送	从 LH 传送	—	—	—	—	—
地址 2	—	从 LL 传送	从 LH 传送	—	—	—	—
地址 3	—	—	从 LL 传送	从 LH 传送	—	—	—
地址 4	—	—	—	从 LL 传送	从 LH 传送	—	—
地址 5	—	—	—	—	从 LL 传送	从 LH 传送	—
地址 6	—	—	—	—	—	从 LL 传送	从 LH 传送
地址 7	—	—	—	—	—	—	从 LL 传送

表 2.9 设定为小端法时的 8 位读操作

操作 地址 src	用 8 位读地址 0	用 8 位读地址 1	用 8 位读地址 2	用 8 位读地址 3
地址 0	传送到 LL	—	—	—
地址 1	—	传送到 LL	—	—
地址 2	—	—	传送到 LL	—
地址 3	—	—	—	传送到 LL

表 2.10 设定为大端法时的 8 位读操作

操作 地址 src	用 8 位读地址 0	用 8 位读地址 1	用 8 位读地址 2	用 8 位读地址 3
地址 0	传送到 LL	—	—	—
地址 1	—	传送到 LL	—	—
地址 2	—	—	传送到 LL	—
地址 3	—	—	—	传送到 LL

表 2.11 设定为小端法时的 8 位写操作

操作 地址 dest	用 8 位写地址 0	用 8 位写地址 1	用 8 位写地址 2	用 8 位写地址 3
地址 0	从 LL 传送	—	—	—
地址 1	—	从 LL 传送	—	—
地址 2	—	—	从 LL 传送	—
地址 3	—	—	—	从 LL 传送

表 2.12 设定为大端法时的 8 位写操作

操作 地址 dest	用 8 位写地址 0	用 8 位写地址 1	用 8 位写地址 2	用 8 位写地址 3
地址 0	从 LL 传送	—	—	—
地址 1	—	从 LL 传送	—	—
地址 2	—	—	从 LL 传送	—
地址 3	—	—	—	从 LL 传送

2.5.2 I/O 寄存器的存取

I/O 寄存器分配在固定地址，与设定的大端法或者小端法无关。因此，I/O 寄存器的存取不受字节序变更的影响。有关 I/O 寄存器的分配，请参照各章的寄存器说明。

2.5.3 存取 I/O 寄存器时的注意事项

必须按照以下规则存取 I/O 寄存器：

- 在存取 8 位总线宽度的 I/O 寄存器时，必须使用长度说明符（.size）为“B”的指令或者长度扩展说明符（.memex）为“B”或者“UB”的指令。
- 在存取 16 位总线宽度的 I/O 寄存器时，必须使用长度说明符（.size）为“W”的指令或者长度扩展说明符（.memex）为“W”或者“UW”的指令。
- 在存取 32 位总线宽度的 I/O 寄存器时，必须使用长度说明符（.size）为“L”的指令或者长度扩展说明符（.memex）为“L”的指令。

2.5.4 数据排列

2.5.4.1 寄存器的数据排列

寄存器的数据长度和位号的关系如图 2.6 所示。

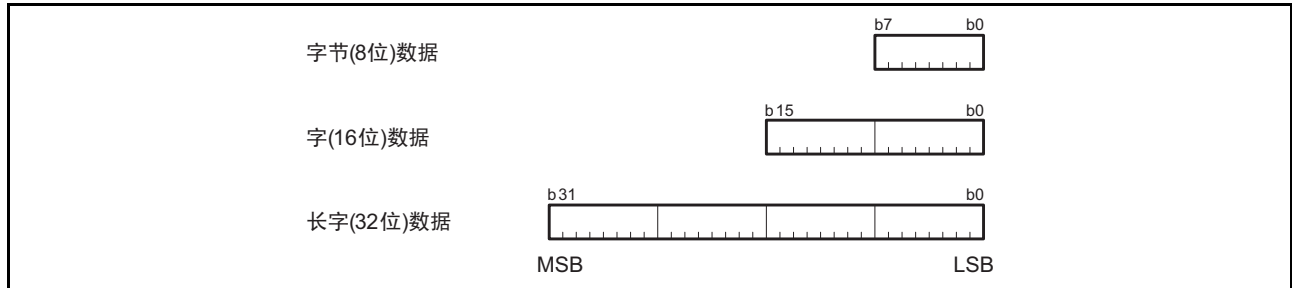


图 2.6 寄存器的数据排列

2.5.4.2 存储器的数据排列

存储器的数据长度有字节（8 位）、字（16 位）和长字（32 位）共 3 种，能选择小端法或者大端法的数据排列方式。存储器的数据排列如图 2.7 所示。

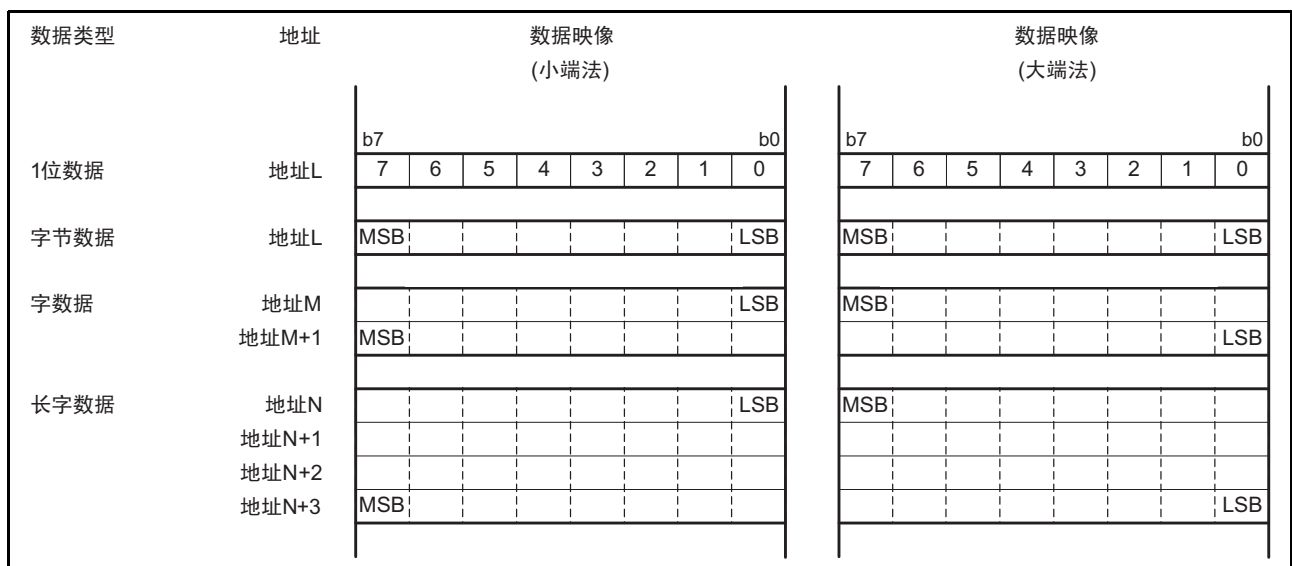


图 2.7 存储器的数据排列

2.5.5 分配指令码的注意事项

不能将指令编码分配于芯片字节序设定不同的外部空间字节序设定区域。如果要将指令码分配到外部空间，就必须分配到与芯片字节序相同的字节序设定区域。

2.6 向量表

向量表有固定向量表和可变向量表。向量表的 1 个向量由 4 字节构成，各向量设有对应的异常处理程序的起始地址。

2.6.1 固定向量表

固定向量表是表的分配地址被固定的向量表。特权指令异常、存取异常、未定义指令异常、浮点异常、非屏蔽中断、复位的各向量分配在地址 FFFFFFF80h ~ FFFFFFFFh。固定向量表如图 2.8 所示。

	MSB	LSB
FFFFFFF80h	(保留区)	
:	:	
FFFFFFFCCh	(保留区)	
FFFFFFD0h	特权指令异常	
FFFFFFD4h	存取异常	
FFFFFFD8h	(保留区)	
FFFFFFDCh	未定义指令异常	
FFFFFFE0h	(保留区)	
FFFFFFE4h	浮点异常	
FFFFFFE8h	(保留区)	
FFFFFFECh	(保留区)	
FFFFFFF0h	(保留区)	
FFFFFFF4h	(保留区)	
FFFFFFF8h	非屏蔽中断	
FFFFFFFCh	复位	

图 2.8 固定向量表

2.6.2 可变向量表

可变向量表是能改变表的分配地址的向量表。无条件陷阱和中断的各向量分配在以中断表寄存器（INTB）的内容所示的值为起始地址（IntBase）的 1024 字节的区域。可变向量表如图 2.9 所示。

可变向量表中的每个向量带有序号（0 ~ 255）。在无条件陷阱发生源的 INT 指令时，分配了与 INT 指令号（0 ~ 255）对应的向量，而在 BRK 指令时，分配了序号 0 的向量。

另外，在中断源时，分配了各产品规定的向量号（0 ~ 255）。有关中断的向量号，请参照“11. 中断控制器（ICUa）”。

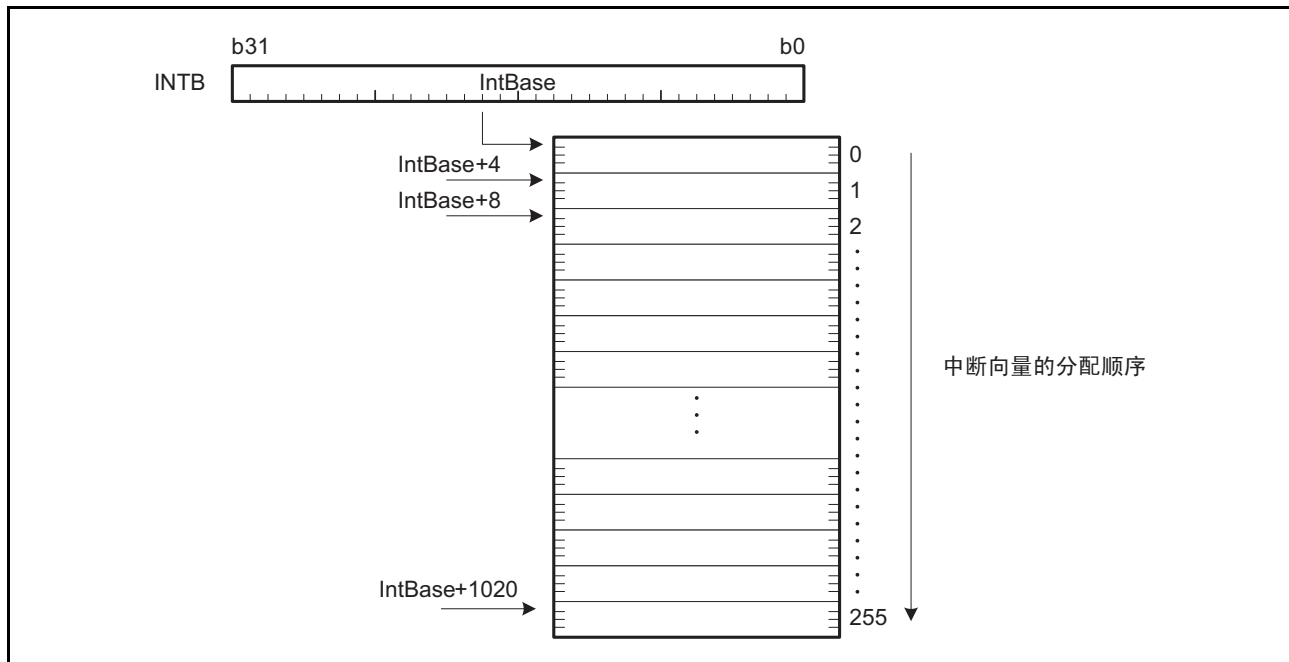


图 2.9 可变向量表

2.7 指令操作

2.7.1 RMPA 指令和字符串操作指令的数据预取

为了从存储器快速读取数据，SSTR 指令除外的字符串操作指令（SCMPU、SMOVB、SMOVF、SMOVU、SUNTIL、SWHILE）和 RMPA 指令有可能进行数据预取。对应数据读取位置，能进行最多到该位置之后的 3 字节为止的数据预取。各指令的数据读取位置如下：

- RMPA 指令：R1 指定的被乘数地址以及 R2 指定的乘数地址
- SCMPU 指令：R1 指定的比较源地址以及 R2 指定的比较目标地址
- SUNTIL 指令和 SWHILE 指令：R1 指定的比较目标地址
- SMOVB、SMOVF、SMOVU 指令：R2 指定的传送源地址

2.8 流水线

2.8.1 概要

RX CPU 由 5 个阶段的流水线构成。RX CPU 的指令转换为 1 个或者多个微操作，RX CPU 对微操作进行流水线处理。流水线 IF 阶段以指令为单位进行操作，D 以后的阶段以微操作为单位进行操作。

流水线的操作和各阶段的概要如下所示：

(1) IF 阶段（取指令阶段）

这是从存储器取指令的阶段。RX CPU 有 4 个 8 字节的指令队列，与 D（解码）阶段的解码处理结束无关，继续取指令，直到指令队列满为止。

(2) D 阶段（解码阶段）

D 阶段进行指令的解码处理（DEC），并且将指令转换为微操作。如果在此阶段读寄存器（RF）并且要参照前面指令的运算结果，就进行旁路处理（BYP）。通过旁路处理，能将运算结果写到寄存器（RW），同时在 D 阶段参照寄存器。

(3) E 阶段（执行阶段）

进行运算和地址计算等（OP）。

(4) M 阶段（存储器存取阶段）

此阶段进行操作数的存储器存取（OA1 和 OA2），只在存储器存取时使用此阶段。此阶段又分为 M1 和 M2 两个子阶段。RX CPU 中 M1 阶段和 M2 阶段各有 1 个存储器存取。

- M1 阶段（存储器存取阶段 1）

此阶段进行操作数的存储器存取（OA1）。

存储时：一旦总线接受写请求，就结束流水线处理。

加载时：一旦总线接受读请求，就进入 M2 阶段。如果请求的接受和加载数据的到达同时（无等待的存储器存取），就进入 WB 阶段。

- M2 阶段（存储器存取阶段 2）

此阶段进行操作数的存储器存取（OA2）。这是等待加载数据到达的阶段。一旦加载数据到达，就进入 WB 阶段。

(5) WB 阶段（回写阶段）

将运算结果以及从存储器读取的数据写到寄存器（RW）。能将存储器读取的数据以及其他运算结果同时（相同周期）写到寄存器。

流水线结构及其运行如图 2.10 所示。

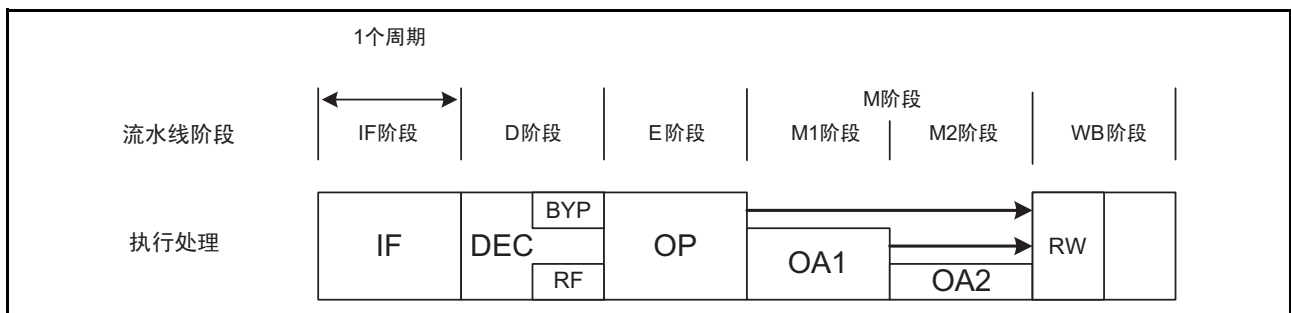


图 2.10 流水线结构及其运行

2.8.2 指令和流水线处理

表中操作数的表示法如下：

#IMM: 立即数

Rs、Rs2、Rd、Rd2、Ri、Rb: 通用寄存器

CR: 控制寄存器

dsp: dsp5、dsp8、dsp16、dsp24

pcdsp: pcdsp3、pcdsp8、pcdsp16、pcdsp24

2.8.2.1 转换为单一微操作的指令和流水线处理

转换为单一微操作的指令如下所示，周期数表示无等待存储器存取时的周期数。

表 2.13 转换为单一微操作的指令

指令	助记符（当省略指令长度时，为全长度共同的操作）	参照图	周期数
算术 / 逻辑运算指令 （寄存器之间、立即数 - 寄存器） DIV、DIVU、EMUL、EMULU、 RMPA 和 SATR 除外	• {ABS, ADC, ADD, AND, CMP, MAX, MIN, MUL, NEG, NOP, NOT, OR, ROLC, RORC, ROTL, ROTR, SAT, SBB, SHAR, SHLL, SHLR, SUB, TST, XOR}#IMM, Rd"/"Rd"/"Rs, Rd"/"Rs, Rs2, Rd"	图 2.11	1
算术 / 逻辑运算指令（除法）	• DIV"#IMM, Rd"/"Rs, Rd"	图 2.11	3 ~ 20（注 1）
	• DIVU"#IMM, Rd"/"Rs, Rd"	图 2.11	2 ~ 18（注 1）
传送指令 （寄存器之间、立即数 - 寄存器）	• {MOV, MOVU, REVL, REVW}#IMM, Rd"/"Rs, Rd" • SCCnd"Rd" • {STNZ, STZ}#IMM, Rd"	图 2.11	1
传送指令（加载）	• {MOV, MOVU}[Rs], Rd"/"dsp[Rs], Rd" "/"Rs+, Rd"/"[-Rs], Rd"/"Rs, [Ri, Rb]" • .POP"Rd"	图 2.12	吞吐量: 1 等待时间: 2（注 2）
传送指令（存储）	• MOV"Rs, [Rd]"/"Rs, dsp[Rd]"/"Rs, [Rd+]" "/"Rs, [-Rd]"/"Rs, [Ri, Rb]" • PUSH"Rs" • PUSHC"CR"	图 2.13	1
位操作指令（寄存器）	• {BCLR, BNOT, BSET, BTST}#IMM, Rd"/"Rs, Rd" • BMCnd"#IMM, Rd"	图 2.11	1
转移指令	• BCnd"pcdsp" • {BRA, BSR}"pcdsp"/"Rs" • {JMP, JSR}"Rs"	图 2.22	转移成立: 3 转移不成立: 1
浮点运算指令 （寄存器之间、立即数 - 寄存器）	• FCMP"#IMM, Rd"/"Rs, Rd"	图 2.11	1
系统控制指令	• CLRPSW, SETPSW"#IMM" • MVTC"#IMM, CR"/"Rs, CR" • MVFC"CR, Rd" • MVTIPL"#IMM"	—	1
DSP 功能指令	• {MACHI, MACLO, MULHI, MULLO}"Rs, Rs2" • {MVFACHI, MVFACMI}"Rd" • {MVTACHI, MVTACLO}"Rs" • RACW"#IMM"	图 2.11	1

注 1. 除法指令的周期数因除数和被除数的值而不同。

注 2. 有关吞吐量以及表示等待时间的周期数，请参照“2.8.3 指令处理时间的计算方法”。

转换为单一微操作的指令操作如图 2.11 ~图 2.13 所示。

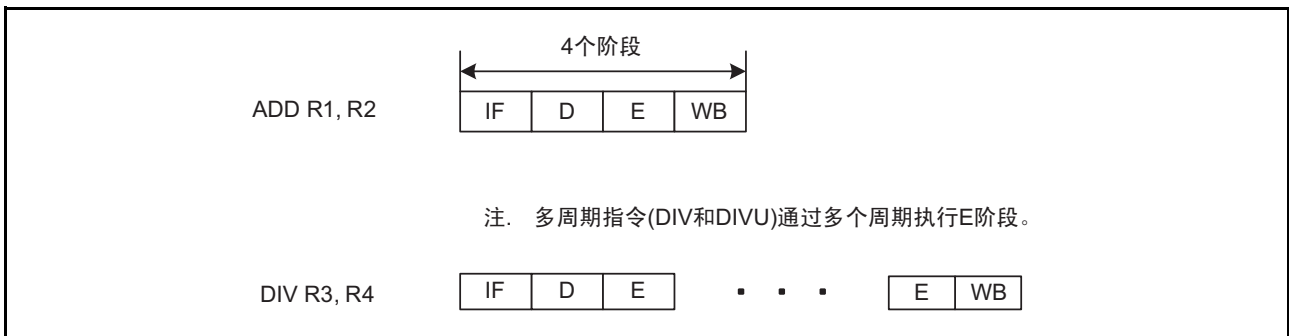


图 2.11 寄存器之间、立即数 - 寄存器的运算

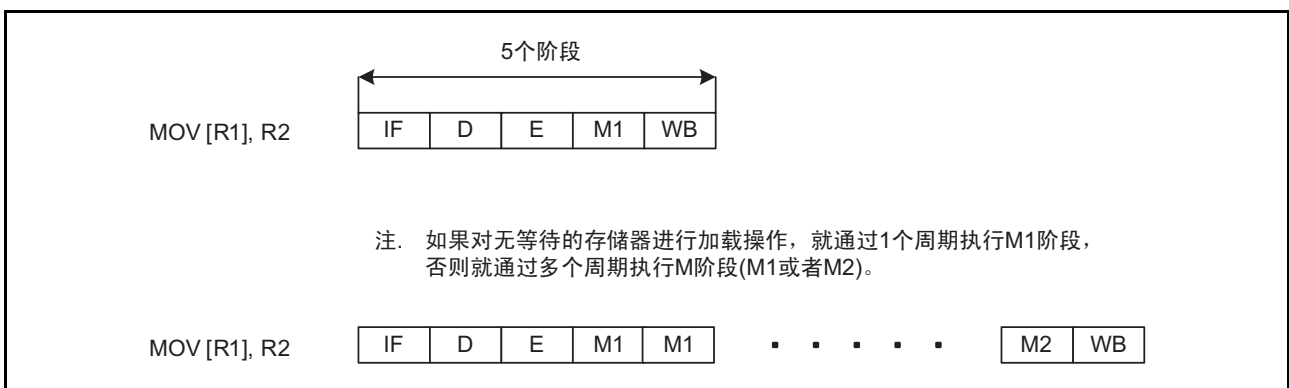


图 2.12 加载操作

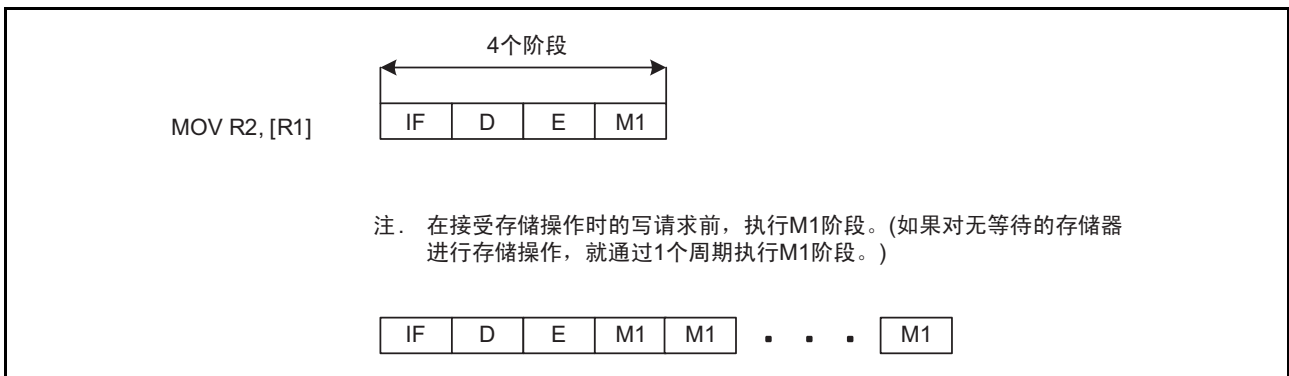


图 2.13 存储操作

2.8.2.2 转换为多个微操作的指令和流水线处理

转换为多个微操作的指令如下所示，周期数表示无等待存储器存取时的周期数。

表 2.14 转换为多个微操作的指令 (1 / 2)

指令	助记符 (当省略指令长度时, 为全长度共同的操作)	参照图	周期数
算术 / 逻辑运算指令 (存储器源操作数)	• {ADC, ADD, AND, CMP, MAX, MIN, MUL, OR, SBB, SUB, TST, XOR}“[Rs], Rd”/“dsp[Rs], Rd”	图 2.14	3
算术 / 逻辑运算指令 (除法)	• DIV“[Rs], Rd / dsp[Rs], Rd”	—	5 ~ 22
	• DIVU“[Rs], Rd / dsp[Rs], Rd”	—	4 ~ 20
算术 / 逻辑运算指令 (乘法 32bit×32bit→64bit) (寄存器之间、寄存器 - 立即数)	• {EMUL, EMULU}“#IMM, Rd”/“Rs, Rd”	图 2.16	2
算术 / 逻辑运行指令 (乘法 32bit×32bit→64bit) (存储器源操作数)	• {EMUL, EMULU}“[Rs], Rd”/“dsp[Rs], Rd”	—	4
算术 / 逻辑运算指令 (乘加运算)	• RMPA.B	—	6+7×floor(n/4)+4×(n%4) n 为处理字节数 (注1)
	• RMPA.W	—	6+5×floor(n/2)+4×(n%2) n 为处理字数 (注1)
	• RMPA.L	—	6+4n n 为处理长字数 (注1)
算术 / 逻辑运算指令 (RMPA 指令的 64 位带符号的饱和处理)	• SATR	—	3
传送指令 (存储器之间的传送)	• MOV“[Rs], [Rd]”/“dsp[Rs], [Rd]” /“[Rs], dsp[Rd]”/“dsp[Rs], [Rd]” • PUSH“[Rs]”/“dsp[Rs]”	图 2.15	3
位操作指令 (存储器源操作数)	• {BCLR, BNOT, BSET, BTST}“#IMM, [Rd]” /“#IMM, dsp[Rd]” • BMCnd“#IMM, [Rd]”/“#IMM, dsp[Rd]”	图 2.15	3
传送指令 (加载指令)	• POPC“CR”	—	吞吐量: 3 等待时间: 4 (注2)
传送指令 (多个寄存器的保存)	• PUSHM“Rs-Rs2”	—	n n 为寄存器的个数 (注3)
传送指令 (多个寄存器的恢复)	• POPM“Rs-Rs2”	—	吞吐量: n 等待时间: n+1 n 为寄存器的个数 (注2、注4)
传送指令 (寄存器之间的交换)	• XCHG“Rs, Rd”	图 2.17	2
传送指令 (存储器 - 寄存器的交换)	• XCHG“[Rs], Rd”/“dsp[Rs], Rd”	图 2.18	2
转移指令	• RTS	—	5
	• RTSD“#IMM”	—	5
	• RTSD“#IMM, Rd-Rd2”	—	吞吐量: n<5?5:1+n 等待时间: n<4?5:2+n n 为寄存器的个数 (注2)

表 2.14 转换为多个微操作的指令 (2 / 2)

指令	助记符 (当省略指令长度时, 为全长度共同的操作)	参照图	周期数
字符串操作指令 (注5)	• SCMPU	—	$2+4 \times \text{floor}(n/4)+4 \times (n\%4)$ n 为比较字节数 (注1)
	• SMOVB	—	$n > 3 ?$ $6+3 \times \text{floor}(n/4)+3 \times (n\%4):$ $2+3n$ n 为传送字节数 (注1)
	• SMOVF, SMOVU	—	$2+3 \times \text{floor}(n/4)+3 \times (n\%4)$ n 为传送字节数 (注1)
	• SSTR.B	—	$2+\text{floor}(n/4)+n\%4$ n 为传送字节数 (注1)
	• SSTR.W	—	$2+\text{floor}(n/2)+n\%2$ n 为传送字数 (注1)
	• SSTR.L	—	$2+n$ n 为传送长字数
	• SUNTIL.B, SWHILE.B	—	$3+3 \times \text{floor}(n/4)+3 \times (n\%4)$ n 为比较字节数 (注1)
	• SUNTIL.W, SWHILE.W	—	$3+3 \times \text{floor}(n/2)+3 \times (n\%2)$ n 为比较字数 (注1)
	• SUNTIL.L, SWHILE.L	—	$3+3 \times n$ n 为比较长字数
浮点运算指令 (寄存器之间、立即数 - 寄存器)	• {FADD, FSUB}“#IMM, Rd”/“Rs, Rd”	图 2.19	4
	• FMUL“#IMM, Rd”/“Rs, Rd”	—	3
	• FDIV“#IMM, Rd”/“Rs, Rd”	—	16
	• {FTOI, ROUND, ITOF}“Rs, Rd”	—	2
浮点运算指令 (存储器源操作数)	• {FADD, FSUB}“[Rs], Rd”/“dsp[Rs], Rd”	—	6
	• FMUL“[Rs], Rd”/“dsp[Rs], Rd”	—	5
	• FDIV“[Rs], Rd”/“dsp[Rs], Rd”	—	18
	• {FTOI, ROUND, ITOF}“[Rs], Rd”/“dsp[Rs], Rd”	—	4
系统控制指令	• RTE	—	6
	• RTFI	—	3

【符号说明】 ? : 条件运算符

注 1. floor(x): 小于等于 x 的最大整数

注 2. 有关吞吐量以及表示等待时间的周期数, 请参照“2.8.3 指令处理时间的计算方法”。

注 3. 将 PUSHM 指令转换为多个存储操作。MOV 指令的存储操作和指定寄存器次数的重复是相同的流水线处理。

注 4. 将 POPM 指令转换为多个加载操作。MOV 指令的加载操作和指定寄存器次数的重复是相同的流水线处理。

注 5. 如果在执行 SCMPU、SMOVU、SWHILE、SUNTIL 各指令时满足结束条件, 就结束指令的执行, 与记载的周期无关。

转换为多个微操作的指令操作如图 2.14 ~ 图 2.19 所示。

注. mop: 微操作; stall: 流水线延迟

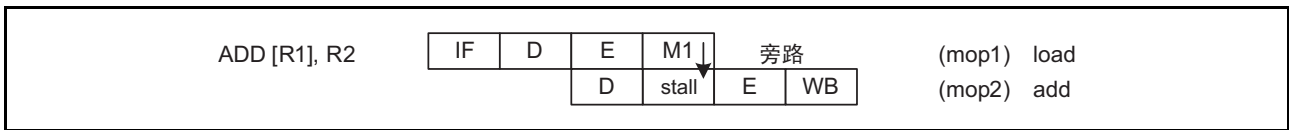


图 2.14 算术 / 逻辑运算指令 (存储器源操作数)

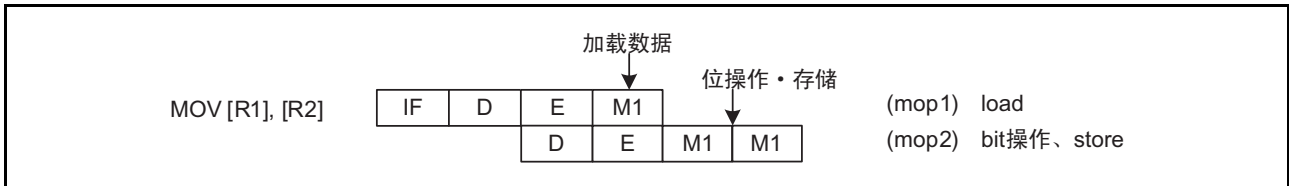


图 2.15 MOV 指令 (存储器之间的传送) 和位操作指令 (存储器源操作数)

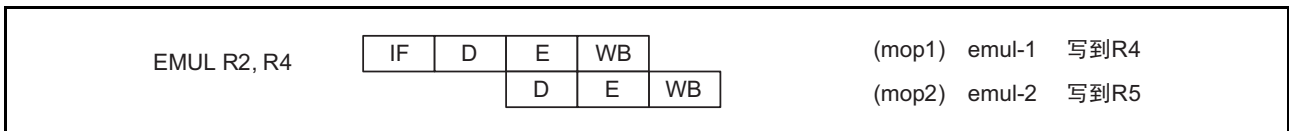


图 2.16 EMUL 指令和 EMULU 指令 (寄存器之间、寄存器 - 立即数)

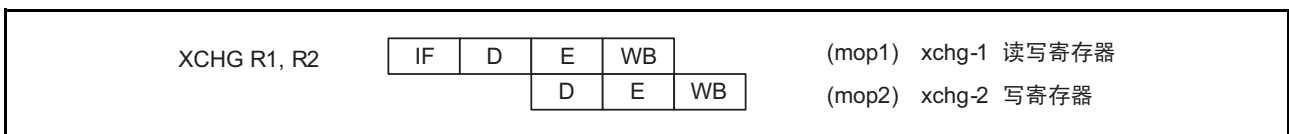


图 2.17 XCHG 指令 (寄存器)

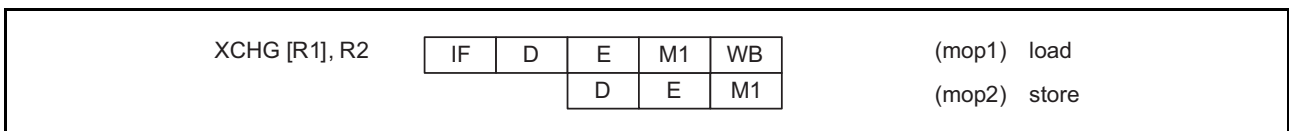


图 2.18 XCHG 指令 (存储器源操作数)

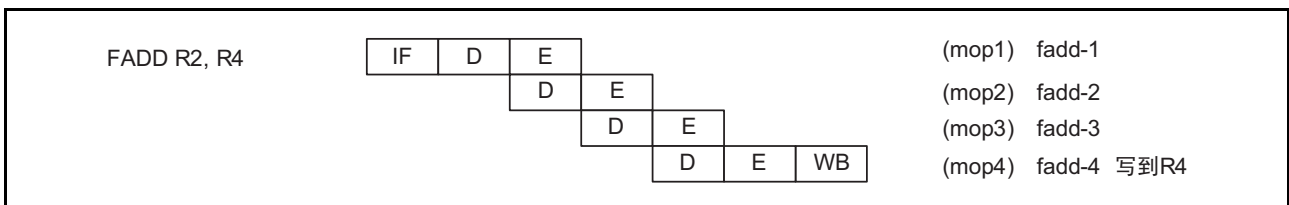


图 2.19 浮点运算指令 (寄存器之间、立即数 - 寄存器)

2.8.2.3 流水线的基本操作

在理想的流水线处理中，各阶段的执行周期数为“1”，但是流水线处理有可能因各阶段中的处理以及转移执行等而发生混乱。

CPU 在 IF 阶段以指令为单位进行流水线阶段控制，在 D 以后的阶段以微操作为单位进行流水线阶段控制。

典型的流水线处理状况如下所示。

注. mop: 微操作; stall: 流水线延迟

(1) 流水线处理混乱的情况

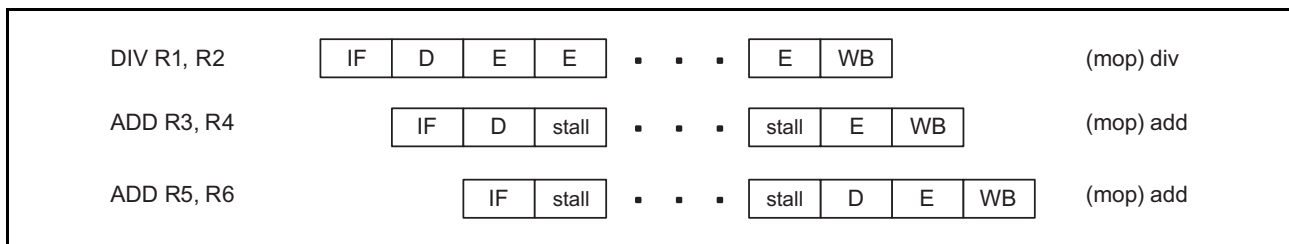


图 2.20 在执行 E 阶段过程中执行需要多个周期的指令的情况

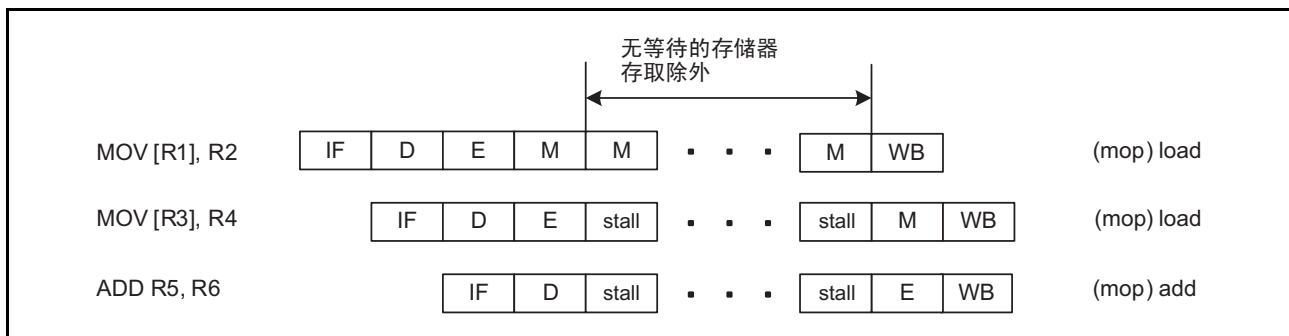


图 2.21 操作数存取没有在 1 个周期中结束的情况

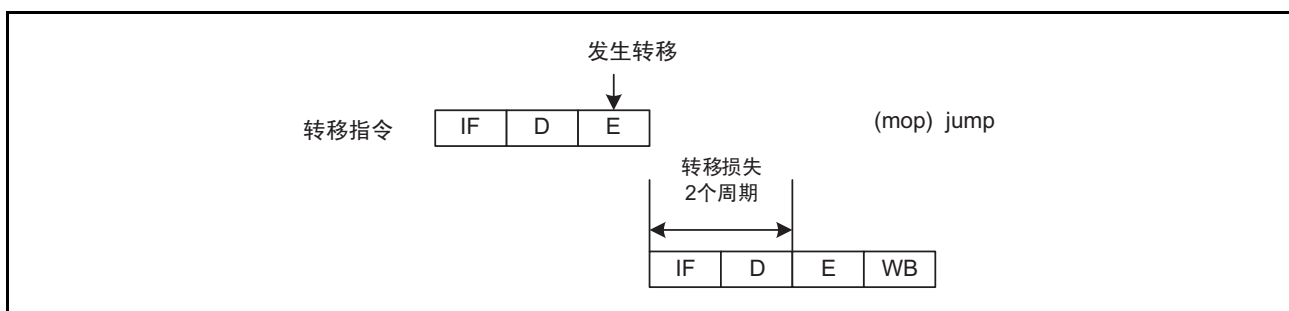


图 2.22 转移（在无条件的转移或者条件转移中条件成立的情况）

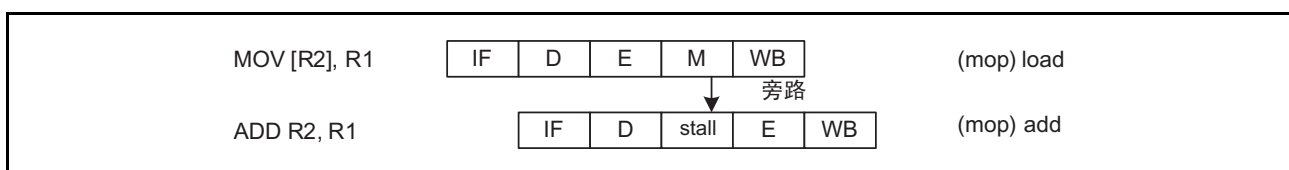


图 2.23 后续指令使用从存储器读取的操作数的情况

(2) 流水线处理不混乱的情况

(a) 旁路

即使后续指令使用前面的指令写的寄存器，在进行寄存器之间的运算时，流水线处理也不会因旁路而发生混乱。

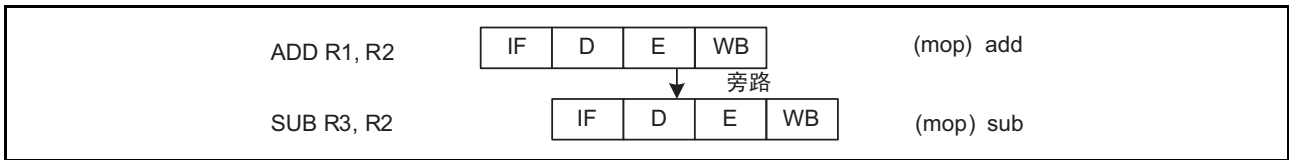


图 2.24 旁路

(b) 存储器加载和运算的 WB 阶段重叠的情况

因为加载数据和运算结果能同时写到寄存器，所以即使存储器加载和运算的 WB 阶段重叠，流水线处理也不会混乱。

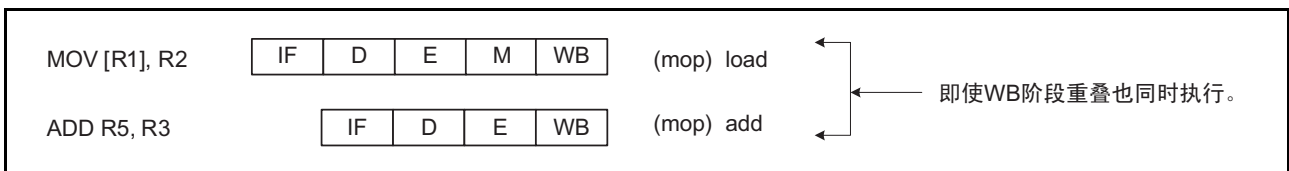


图 2.25 存储器加载和运算的 WB 阶段重叠的情况

(c) 在存储器加载结束前后续指令写相同寄存器的情况

在存储器加载结束前，即使后续指令写相同的寄存器，因为取消了存储器加载的 WB 阶段，所以流水线处理不会混乱。

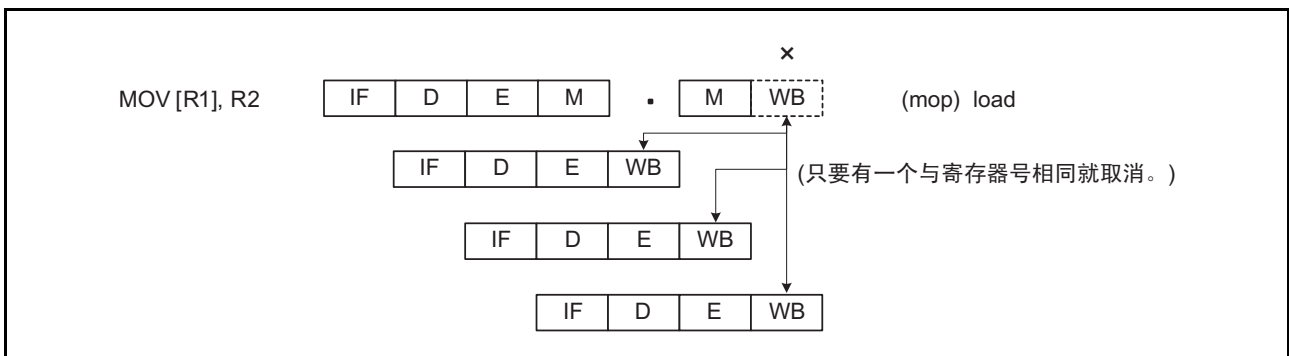


图 2.26 在结束存储器加载前，后续指令写相同寄存器的情况

(d) 后续指令不参照存储器加载的数据的情况

当后续指令不参照存储器加载的数据时，先执行后续的指令，然后结束。
(Out-of-Order Completion)

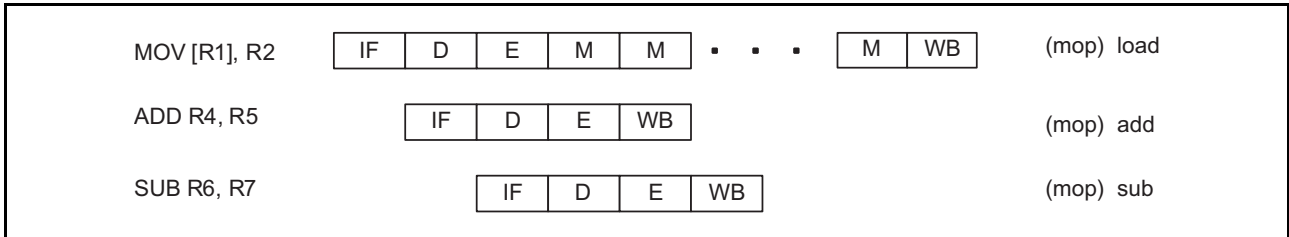


图 2.27 后续指令不参照存储器加载的数据的情况

2.8.3 指令处理时间的计算方法

CPU 的指令处理时间因流水线处理而不同，但是能使用以下的计算方法概算指令的处理时间。

- 计算周期数（参照表 2.13 和表 2.14）。
- 如果后续指令参照存储器加载的结果，存储器加载的指令周期数就为“等待时间”的周期数。否则，就为“吞吐量”的周期数。
- 如果引起取指令的延迟，就再追加周期数。
- 根据系统结构，存储器存取有时需要多个周期。RX62N 群和 RX621 群的存储器存取周期数取决于机种。

2.8.4 中断响应周期数

中断响应处理的周期数如表 2.15 所示。

表 2.15 中断响应周期数

中断请求的种类 / 处理内容	高速中断	高速中断以外的中断
ICU 判断优先级。	2 个周期	
CPU 从通知中断请求到接受中断的周期数。	N 个周期 (因正在执行的指令而不同。)	
CPU 硬件预处理 保存到 PC 或者 PSW 的 RAM。 (将高速中断保存到控制寄存器。) 读向量。 转移到异常处理程序的起始位置。	4 个周期	6 个周期

表 2.15 是 CPU 的存储器存取全部以无等待处理时的中断响应时间。RX62N 群和 RX621 群装载了能无等待存取的内部 ROM 和内部 RAM。通过将程序（包括向量）分配到内部 ROM，将堆栈区分配到内部 RAM，能将中断响应周期数缩到最短。而且，异常处理程序的起始地址必须指定 8 字节边界。

有关从通知中断请求到接受中断的周期数 N，请参照“表 2.13 转换为单一微操作的指令”和“表 2.14 转换为多个微操作的指令”。

中断接受时序取决于流水线状态。有关中断的接受时序，请参照“10.3.1 接受时序和被保存的 PC 值”。

3. 运行模式

3.1 运行模式的种类和选择

RX62N 群和 RX621 群有 5 种运行模式，通过 MD1 引脚和 MD0 引脚以及系统控制寄存器 0（SYSCR0）的 ROME 位和 EXBE 位进行设定。

在设定各运行模式时，能选择 RX62N 群和 RX621 群的字节序。通过 MDE 引脚设定字节序，有关 RX62N 群和 RX621 群的字节序请参照“2.5 字节序”和“12. 总线”。

注. 不能在 LSI 运行时更改 MDE、MD1、MD0 引脚，也不能设定表 3.1 中没有的组合。

表 3.1 通过模式引脚选择的运行模式

模式引脚		SYSCR0 寄存器的初始状态		运行模式	内部 ROM (注 1)	外部总线
MD1	MD0	ROME	EXBE			
0	1	1	0	引导模式	有效	无效
1	0	1	0	USB 引导模式	有效	无效
1	1	1	0	单芯片模式	有效	无效

注 1. 内部 ROM 有 ROM 和数据闪存，详细内容请参照“38. ROM（保存代码的闪存）”和“39. 数据闪存（保存数据的闪存）”。

表 3.2 通过寄存器选择的运行模式

SYSCR0 寄存器		运行模式	内部 ROM (注 1)	外部总线
ROME	EXBE			
0	0	单芯片模式	无效	无效
1	0		有效	无效
0	1	内部 ROM 无效扩展模式	无效	有效
1	1	内部 ROM 有效扩展模式	有效	有效

注 1. 内部 ROM 有 ROM 和数据闪存，详细内容请参照“38. ROM（保存代码的闪存）”和“39. 数据闪存（保存数据的闪存）”。

表 3.3 字节序的选择

模式引脚	字节序
MDE	
0	小端法
1	大端法

3.2 寄存器说明

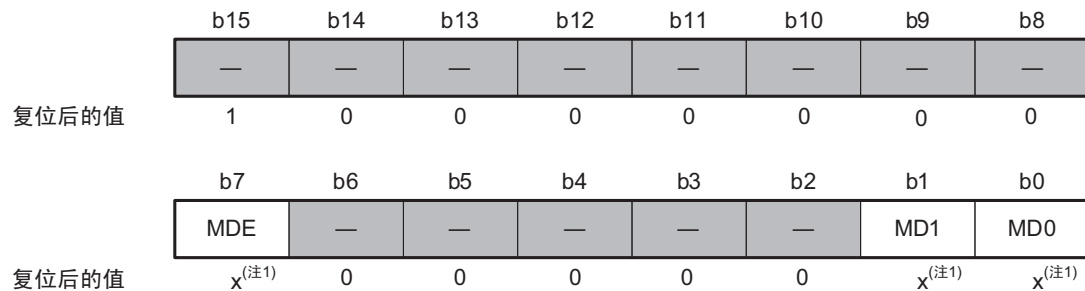
运行模式的相关寄存器一览表如表 3.4 所示。

表 3.4 运行模式的相关寄存器一览表

寄存器名	符号	复位后的值	地址	存取长度
模式监视寄存器	MDMONR	10000000 x00000xxb	0008 0000h	16
模式状态寄存器	MDSR	00000000 00001001b	0008 0002h	16
系统控制寄存器 0	SYSCR0	00000000 00000001b	0008 0006h	16
系统控制寄存器 1	SYSCR1	00000000 00000001b	0008 0008h	16

3.2.1 模式监视寄存器 (MDMONR)

地址 0008 0000h



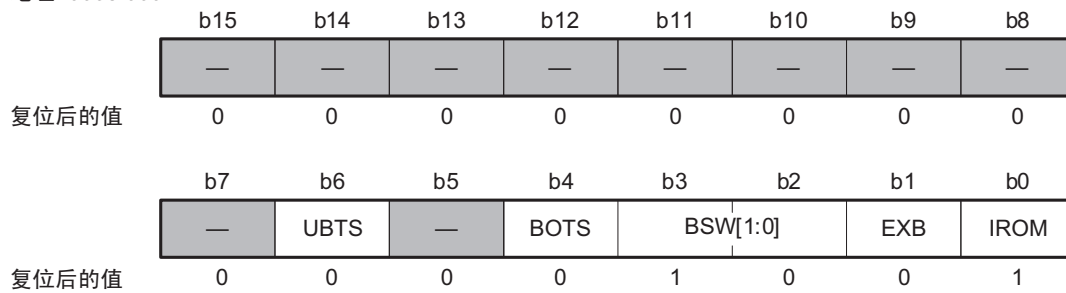
注1. 因模式引脚(MDE、MD1、MD0)の設定而不同。

位	符号	位名	说明	R/W
b0	MD0	MD0 引脚状态标志	0: MD0 引脚为“0” 1: MD0 引脚为“1”	R
b1	MD1	MD1 引脚状态标志	0: MD1 引脚为“0” 1: MD1 引脚为“1”	R
b6-b2	—	保留位	读取值为“0”，写操作无效。	R
b7	MDE	MDE 引脚状态标志	0: MDE 引脚为“0”（小端法） 1: MDE 引脚为“1”（大端法）	R
b14-b8	—	保留位	读取值为“0”，写操作无效。	R
b15	—	保留位	读取值为“1”，写操作无效。	R

MDMONR 寄存器是监视模式引脚的寄存器。

3.2.2 模式状态寄存器 (MDSR)

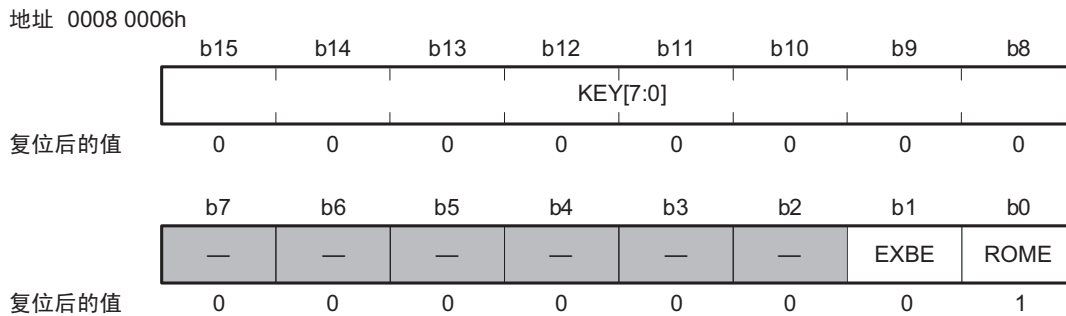
地址 0008 0002h



位	符号	位名	说明	R/W
b0	IROM	内部 ROM 的启动状态标志	0: 启动时, 内部 ROM 无效。 1: 启动时, 内部 ROM 有效。	R
b1	EXB	外部总线的启动状态标志	0: 启动时, 外部总线无效。 1: 启动时, 外部总线有效。	R
b3-b2	BSW[1:0]	外部总线宽度的启动标志	b3 b2 00: 启动 16 位总线 01: 保留 10: 启动 8 位总线 11: 保留	R
b4	BOTS	引导模式的启动标志	0: 非引导模式启动 1: 引导模式启动	R
b5	—	保留位	读取值为“0”, 写操作无效。	R
b6	UBTS	USB 引导模式的启动标志	0: 非 USB 引导模式启动 1: USB 引导模式启动	R
b15-b7	—	保留位	读取值为“0”, 写操作无效。	R

MDSR 寄存器是监视启动时的内部状态的寄存器。

3.2.3 系统控制寄存器 0 (SYSCR0)



位	符号	位名	说明	R/W
b0	ROME	内部 ROM 允许位	0: 内部 ROM 无效 1: 内部 ROM 有效	R/W
b1	EXBE	外部总线允许位	0: 外部总线无效 1: 外部总线有效	R/W
b7-b2	—	保留位	读写值都为“0”。	R/W
b15-b8	KEY[7:0]	SYSCR0 键码	5Ah: 允许写 SYSCR0 寄存器 上述以外: 禁止写 SYSCR0 寄存器 读取值为“00h”。	R/W

SYSCR0 寄存器是选择内部 ROM 和外部总线的有效或者无效的寄存器。

ROME 位 (内部 ROM 允许位)

此位选择内部 ROM (ROM 和数据闪存) 的有效或者无效。

当 ROME 位为“1”时, 能写“0”; 当 ROME 位为“0”时, 不能写“1”。如果将内部 ROM 从有效改为无效, 就不能使用 ROME 位将内部 ROM 置为有效。不能在存取内部 ROM 时给 ROME 位写“0”。

在给 ROME 位写“0”并且将内部 ROM 设定为无效后, 必须先确认 ROME 位已被改写为“0”, 然后再进行以后的处理。

EXBE 位 (外部总线允许位)

此位选择外部总线的有效或者无效。

必须在未执行外部总线周期的状态下给 EXBE 位写“0”。

外部总线和内部总线有可能同时运行。要改写 EXBE 位时, 必须在写寄存器后确认 EXBE 位已被改写, 然后再进行总线存取。

需要同时设定 EXBE 位和 I/O 端口, 详细内容请参照“17. I/O 端口”。

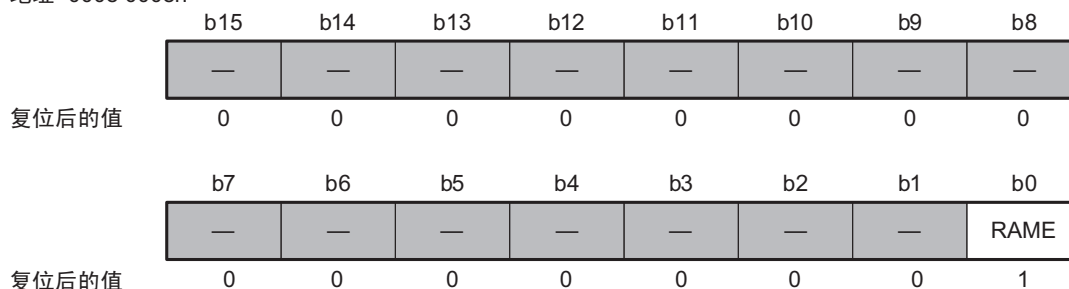
KEY[7:0] 位 (SYSCR0 键码)

这些位选择允许或者禁止写 SYSCR0 寄存器。

在给 ROME 位和 EXBE 位写值时, 也必须同时给 KEY[7:0] 位写“5Ah”。如果给 KEY[7:0] 位写“5Ah”以外的值, 即使写 SYSCR0 寄存器, ROME 位和 EXBE 位的值也不变。

3.2.4 系统控制寄存器 1 (SYSCR1)

地址 0008 0008h



位	符号	位名	说明	R/W
b0	RAME	RAM 允许位	0: 内部 RAM 无效 1: 内部 RAM 有效	R/W
b15-b1	—	保留位	读写值都为“0”。	R/W

SYSCR1 寄存器是选择内部 RAM 的有效或者无效的寄存器。

RAME 位 (RAM 允许位)

此位选择内部 RAM 的有效或者无效。

一旦解除复位，RAME 位就被初始化为“1”。

不能在存取内部 RAM 时写“0”。

在将内部 RAM 从无效改为有效后紧接着存取内部 RAM 时，必须在确认 RAME 位已被改写为“1”后进行存取。

即使将 RAME 位置“0”，也保持内部 RAM 的值，而且 RAM 待机电压 (VRAM) 也必须保持规定值。详细内容请参照“41. 电特性”。

3.3 运行模式的说明

3.3.1 单芯片模式

在此模式中，内部 ROM 有效或者无效而外部总线无效（SYSCR0.EXBE 位 =0）。全部 I/O 端口都能用作输入 / 输出端口。

启动时的内部 ROM 有效。当内部 ROM 有效（SYSCR0.ROME 位 =1）时，能将内部 ROM 设定为无效（SYSCR0.ROME 位 =0）；当内部 ROM 无效（SYSCR0.ROME 位 =0）时，不能将内部 ROM 设定为有效（SYSCR0.ROME 位 =1）。

3.3.2 内部 ROM 有效扩展模式

这是内部 ROM 有效（SYSCR0.ROME 位 =1）并且能使用外部总线的外部扩展模式（SYSCR0.EXBE 位 =1）。能将部分 I/O 端口用作数据总线的输入 / 输出、地址总线的输出和总线控制信号的输入 / 输出，详细内容请参照“17. I/O 端口”。

能通过设定总线的外部总线宽度选择位（CSnCR.BSIZE[1:0] 位（n=0 ~ 7））更改外部总线宽度，详细内容请参照“12. 总线”。

能通过将 EXBE 位置“0”转移到单芯片模式（内部 ROM 有效）。

能通过将 ROME 位置“0”转移到内部 ROM 无效扩展模式。

3.3.3 内部 ROM 无效扩展模式

这是内部 ROM 无效（SYSCR0.ROME 位 =0）并且能使用外部总线的外部扩展模式（SYSCR0.EXBE 位 =1）。能将部分 I/O 端口用作数据总线的输入 / 输出、地址总线的输出和总线控制信号的输入 / 输出，详细内容请参照“17. I/O 端口”。

能通过设定总线的外部总线宽度选择位（CSnCR.BSIZE[1:0] 位（n=0 ~ 7））更改外部总线宽度，详细内容请参照“12. 总线”。

不能将内部 ROM 设定为有效（ROME 位 =1）。

能通过将 EXBE 位置“0”转移到单芯片模式（内部 ROM 无效）。

3.3.4 引导模式

这是闪存的引导模式，除了闪存的编程 / 擦除以外，和单芯片模式中的运行相同。详细内容请参照“38. ROM（保存代码的闪存）”和“39. 数据闪存（保存数据的闪存）”。

3.3.5 USB 引导模式

这是闪存的 USB 引导模式，除了闪存的编程 / 擦除以外，和单芯片模式中的运行相同。详细内容请参照“38. ROM（保存代码的闪存）”和“39. 数据闪存（保存数据的闪存）”。

3.4 运行模式的转移

3.4.1 通过模式引脚进行运行模式的转移

通过设定 MD1 引脚和 MD0 引脚进行运行模式的转移，如图 3.1 所示，能将运行模式转移到图中箭头所指的方向。

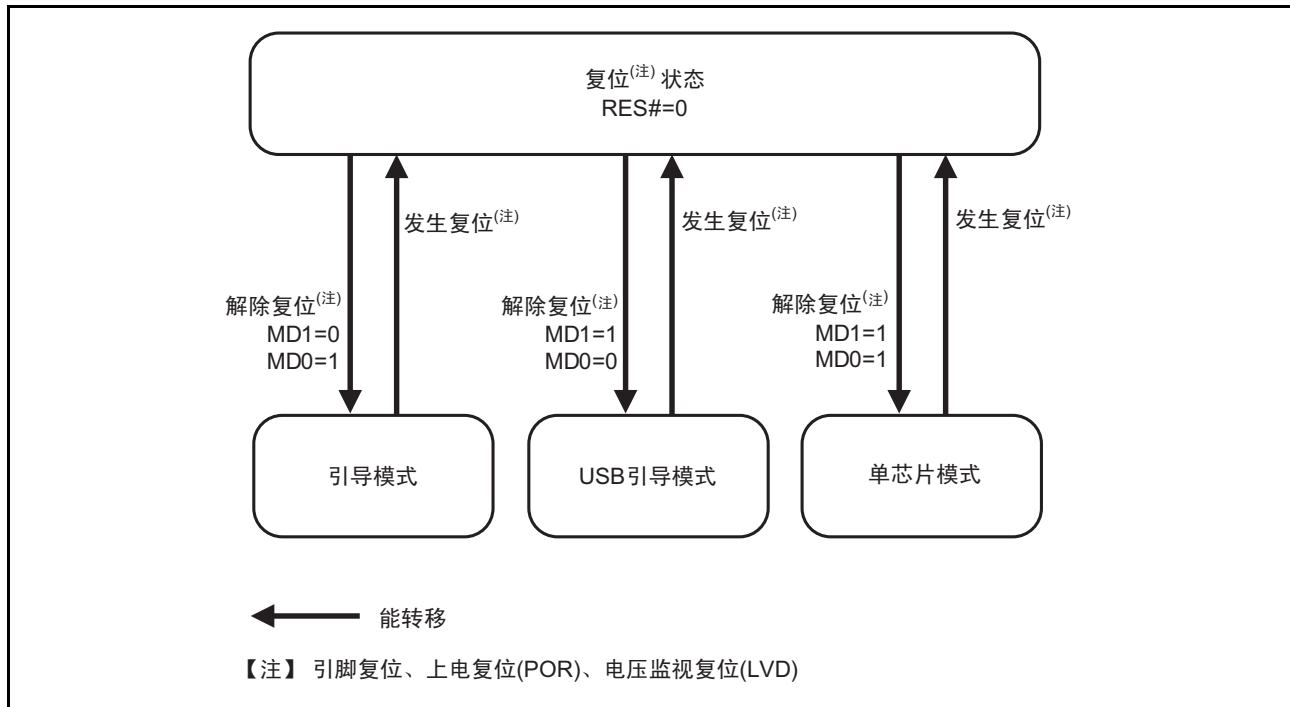


图 3.1 MD1 引脚、MD0 引脚的设定和运行模式

3.4.2 通过寄存器进行运行模式的转移

通过设定 SYSCR0.ROME 位和 SYSCR0.EXBE 位进行运行模式的转移，如图 3.2 所示，能将运行模式转移到图中箭头所指的方向。

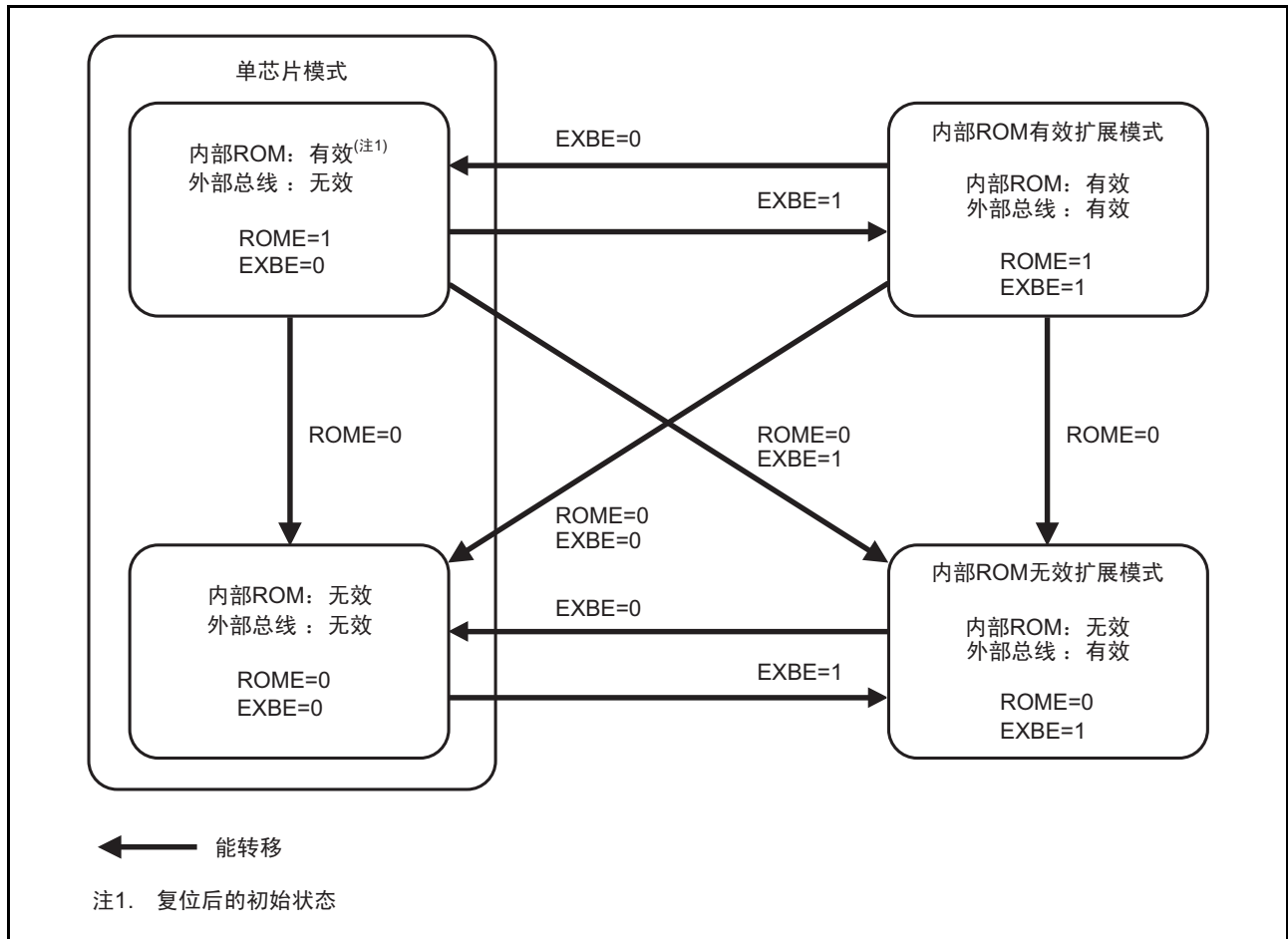


图 3.2 ROME 位、EXBE 位的设定和运行模式

4. 地址空间

4.1 地址空间

地址空间有地址 0000 0000h ~ 地址 FFFF FFFFh 的 4G 字节，能对程序区和数据区共计最多 4G 字节的空
间进行线性存取。

各运行模式的存储器映像如图 4.1 所示，能存取的区域因运行模式和各控制位的状态而不同。

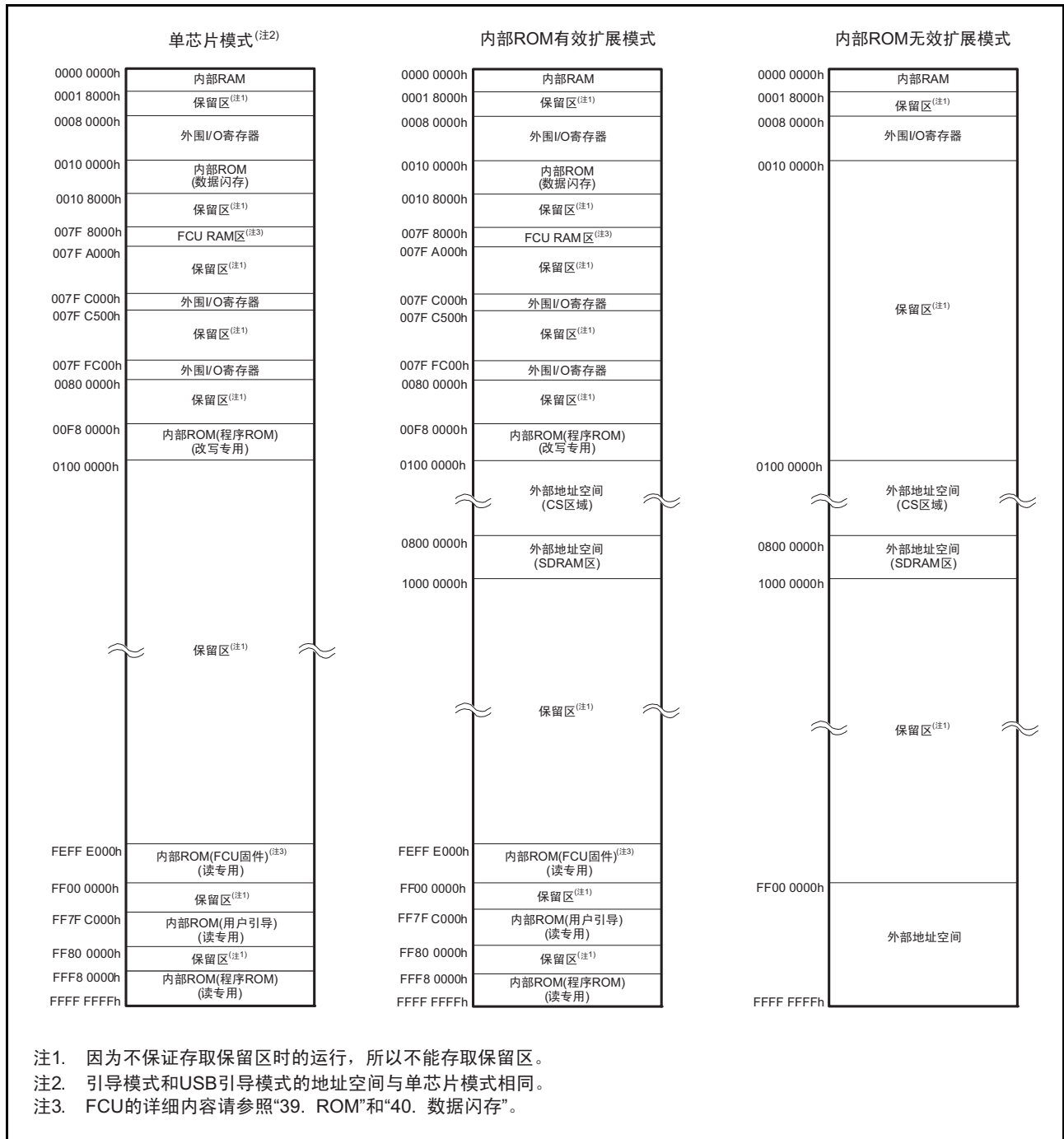


图 4.1 各运行模式的存储器映像

4.2 外部地址空间

外部地址空间被分为 CS 区域（CS0 ~ CS7）和 SDRAM 区（SDCS）。能通过 CSi# 引脚（i=0 ~ 7）输出的 CSi# 信号，将 CS 区域最多分为 8 个区域（CS0 ~ CS7）。

内部 ROM 无效外部扩展模式中的 CS 区域（CS0 ~ CS7）、SDRAM 区（SDCS）和地址的对应如图 4.2 所示。

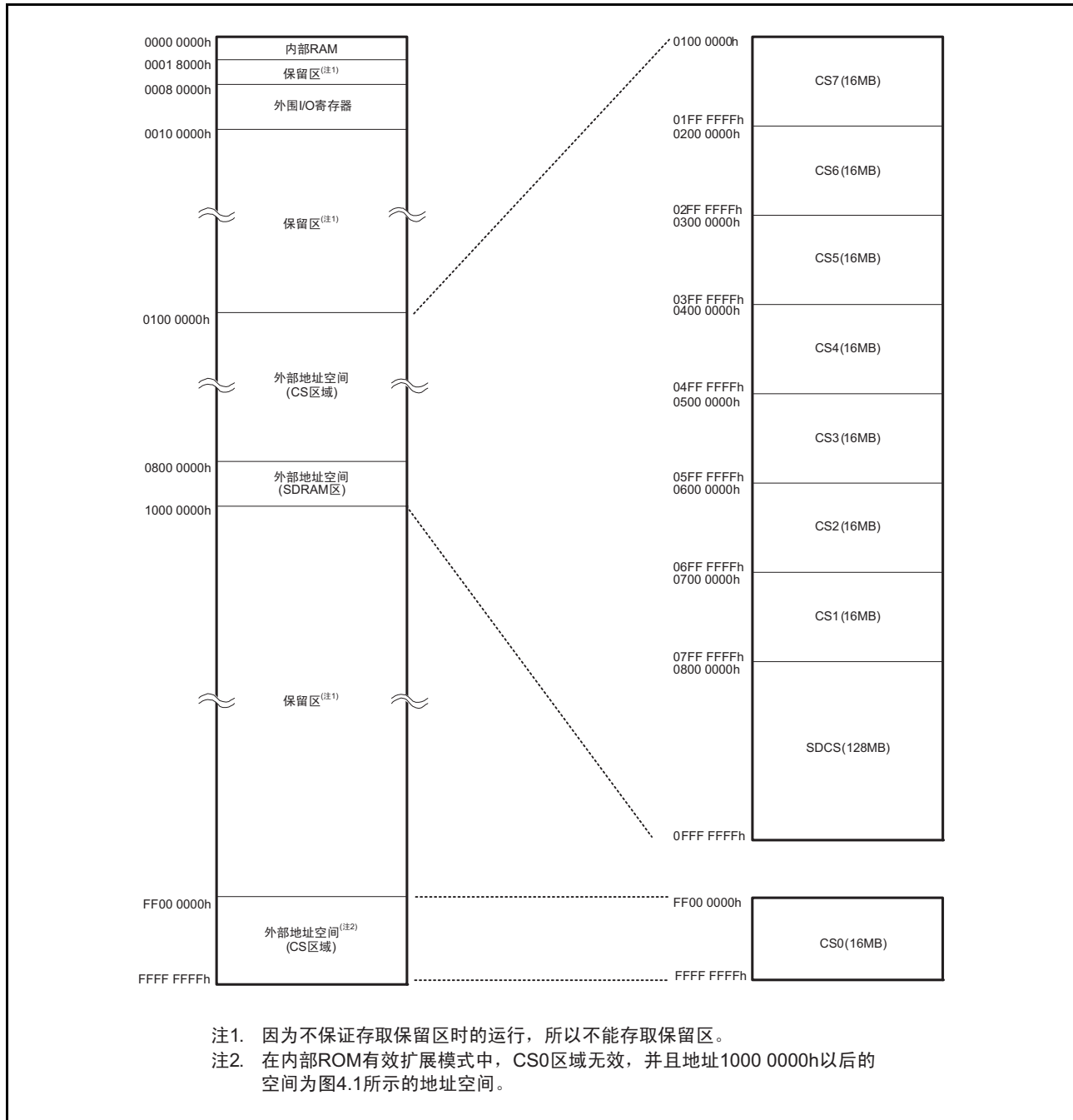


图 4.2 外部地址空间、CS 区域（CS0 ~ CS7）和 SDRAM 区（SDCS）
（内部 ROM 无效扩展模式的情况）

5. I/O 寄存器

I/O 寄存器一览表汇总了有关内部寄存器的地址和位结构的信息。表中的记述方法以及写寄存器时的注意事项如下所示。

(1) I/O 寄存器地址一览表（地址顺序）

- 从分配地址小的寄存器开始按顺序记载。
- 按模块符号进行分类。
- 存取状态数表示指定的基准时钟的状态数。
- 在 I/O 寄存器的区域，寄存器一览表中没有记载的地址区为保留区。禁止存取保留区。因为无法保证存取这些寄存器时的运行及其后续运行，所以禁止存取这些寄存器。
- 给各寄存器指定存取长度，禁止指定存取长度以外的存取。

(2) I/O 寄存器位一览表

- 按照“寄存器地址一览表（地址顺序）”的顺序，记载位结构。
- 在位名部分用“—”表示保留位。
- 表中位名部分为空白的栏表示该寄存器全部被分配给计数器或者数据。
- 在 16 位或者 32 位寄存器的情况下，从 MSB 侧的位开始记载。

(3) 写 I/O 寄存器时的注意事项

在写 I/O 寄存器时，CPU 不等到写结束就执行后续指令。因此，在通过写 I/O 寄存器进行的设定变更被反映到运行前，有可能执行后续指令。

需要注意：在以下例子中，必须在 I/O 寄存器的设定变更被反映后执行后续指令。

[需要注意的运行例子]

- 将中断请求的允许位（ICU.IERm.IENj 位）置“0”，要在禁止中断的状态下执行后续指令时
- 在转移到低功耗状态的预处理后接着执行 WAIT 指令时

在这些情况下，必须在写 I/O 寄存器后按照以下步骤等到写结束，然后执行后续指令。

1. 写 I/O 寄存器。
2. 将所写的 I/O 寄存器的值读到通用寄存器。
3. 使用读取值进行运算。
4. 执行后续指令。

[指令例子]

- I/O 寄存器为字节的情况

```
MOV.L #SFR_ADDR,R1
MOV.B #SFR_DATA,[R1]
CMP [R1].UB,R1
;;以后的处理
```

- I/O 寄存器为字的情况

```
MOV.L #SFR_ADDR,R1
MOV.W #SFR_DATA,[R1]
CMP [R1].W,R1
;;以后的处理
```

- I/O 寄存器为长字的情况

```
MOV.L #SFR_ADDR,R1
MOV.L #SFR_DATA,[R1]
CMP [R1].L,R1
;;以后的处理
```

另外，要在写多个寄存器并且等到写结束后执行后续指令时，必须将最后写的 I/O 寄存器作为对象进行读操作和运算，而不需要将所写的全部寄存器作为对象进行读操作和运算。

(4) I/O 寄存器的存取周期数

用以下表达式表示存取 I/O 寄存器时的存取周期数。(注 1)

$$\begin{aligned} \text{I/O 寄存器的存取周期数} = & \text{内部主总线 1 的总线周期数} + \\ & \text{分频时钟的同步周期数} + \\ & \text{内部外围总线 1} \sim \text{6 的总线周期数} \end{aligned}$$

内部外围总线 1 ~ 6 的总线周期数因存取的目标寄存器而不同。各寄存器的 I/O 寄存器的存取周期数请参照“表 5.1 I/O 寄存器地址一览表”。

在存取内部外围总线 6 连接的外围功能以及外部总线控制部的寄存器（总线错误的相关寄存器除外）时，增加分频时钟的同步周期。

分频时钟的同步周期数因 ICLK 和 PCLK（或者 BCLK）的频率比以及总线的存取时序而不同。但是，因为内部主总线 1 的总线周期数加上分频时钟的同步周期数最多为 1 个 PCLK（或者 BCLK）周期，所以在表 5.1 中记载为 1 个 PCLK（或者 1 个 BCLK）。

注 1. 这是 CPU 存取寄存器时，在和外部存储器的取指令或者不同总线主控器（DMACA、DTC）的总线存取不发生竞争的情况下执行的周期数。

5.1 I/O 寄存器地址一览表（地址顺序）

表 5.1 I/O 寄存器地址一览表 (1 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0008 0000h	SYSTEM	模式监视寄存器	MDMONR	16	16	3 个 ICLK
0008 0002h	SYSTEM	模式状态寄存器	MDSR	16	16	3 个 ICLK
0008 0006h	SYSTEM	系统控制寄存器 0	SYSCR0	16	16	3 个 ICLK
0008 0008h	SYSTEM	系统控制寄存器 1	SYSCR1	16	16	3 个 ICLK
0008 000Ch	SYSTEM	待机控制寄存器	SBYCR	16	16	3 个 ICLK
0008 0010h	SYSTEM	模块停止控制寄存器 A	MSTPCRA	32	32	3 个 ICLK
0008 0014h	SYSTEM	模块停止控制寄存器 B	MSTPCRB	32	32	3 个 ICLK
0008 0018h	SYSTEM	模块停止控制寄存器 C	MSTPCRC	32	32	3 个 ICLK
0008 0020h	SYSTEM	系统时钟控制寄存器	SCKCR	32	32	3 个 ICLK
0008 0030h	SYSTEM	外部总线时钟控制寄存器	BCKCR	8	8	3 个 ICLK
0008 0040h	SYSTEM	振荡停止检测控制寄存器	OSTDCR	16	16	3 个 ICLK
0008 1300h	BSC	总线错误状态清除寄存器	BERCLR	8	8	2 个 ICLK
0008 1304h	BSC	总线错误监视允许寄存器	BEREN	8	8	2 个 ICLK
0008 1308h	BSC	总线错误状态寄存器 1	BERSR1	8	8	2 个 ICLK
0008 130Ah	BSC	总线错误状态寄存器 2	BERSR2	16	16	2 个 ICLK
0008 2000h	DMAC0	DMA 传送源地址寄存器	DMSAR	32	32	2 个 ICLK
0008 2004h	DMAC0	DMA 传送目标地址寄存器	DMDAR	32	32	2 个 ICLK
0008 2008h	DMAC0	DMA 传送计数寄存器	DMCRA	32	32	2 个 ICLK
0008 200Ch	DMAC0	DMA 块传送计数寄存器	DMCRB	16	16	2 个 ICLK
0008 2010h	DMAC0	DMA 传送模式寄存器	DMTMD	16	16	2 个 ICLK
0008 2013h	DMAC0	DMA 中断设定寄存器	DMINT	8	8	2 个 ICLK
0008 2014h	DMAC0	DMA 地址模式寄存器	DMAMD	16	16	2 个 ICLK
0008 2018h	DMAC0	DMA 偏移寄存器	DMOFR	32	32	2 个 ICLK
0008 201Ch	DMAC0	DMA 传送允许寄存器	DMCNT	8	8	2 个 ICLK
0008 201Dh	DMAC0	DMA 软件启动寄存器	DMREQ	8	8	2 个 ICLK
0008 201Eh	DMAC0	DMA 状态寄存器	DMSTS	8	8	2 个 ICLK
0008 201Fh	DMAC0	DMA 启动源标志控制寄存器	DMCSL	8	8	2 个 ICLK
0008 2040h	DMAC1	DMA 传送源地址寄存器	DMSAR	32	32	2 个 ICLK
0008 2044h	DMAC1	DMA 传送目标地址寄存器	DMDAR	32	32	2 个 ICLK
0008 2048h	DMAC1	DMA 传送计数寄存器	DMCRA	32	32	2 个 ICLK
0008 204Ch	DMAC1	DMA 块传送计数寄存器	DMCRB	16	16	2 个 ICLK
0008 2050h	DMAC1	DMA 传送模式寄存器	DMTMD	16	16	2 个 ICLK
0008 2053h	DMAC1	DMA 中断设定寄存器	DMINT	8	8	2 个 ICLK
0008 2054h	DMAC1	DMA 地址模式寄存器	DMAMD	16	16	2 个 ICLK
0008 205Ch	DMAC1	DMA 传送允许寄存器	DMCNT	8	8	2 个 ICLK
0008 205Dh	DMAC1	DMA 软件启动寄存器	DMREQ	8	8	2 个 ICLK
0008 205Eh	DMAC1	DMA 状态寄存器	DMSTS	8	8	2 个 ICLK
0008 205Fh	DMAC1	DMA 启动源标志控制寄存器	DMCSL	8	8	2 个 ICLK
0008 2080h	DMAC2	DMA 传送源地址寄存器	DMSAR	32	32	2 个 ICLK
0008 2084h	DMAC2	DMA 传送目标地址寄存器	DMDAR	32	32	2 个 ICLK
0008 2088h	DMAC2	DMA 传送计数寄存器	DMCRA	32	32	2 个 ICLK
0008 208Ch	DMAC2	DMA 块传送计数寄存器	DMCRB	16	16	2 个 ICLK
0008 2090h	DMAC2	DMA 传送模式寄存器	DMTMD	16	16	2 个 ICLK
0008 2093h	DMAC2	DMA 中断设定寄存器	DMINT	8	8	2 个 ICLK
0008 2094h	DMAC2	DMA 地址模式寄存器	DMAMD	16	16	2 个 ICLK
0008 209Ch	DMAC2	DMA 传送允许寄存器	DMCNT	8	8	2 个 ICLK

表 5.1 I/O 寄存器地址一览表 (2 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0008 209Dh	DMAC2	DMA 软件启动寄存器	DMREQ	8	8	2 个 ICLK
0008 209Eh	DMAC2	DMA 状态寄存器	DMSTS	8	8	2 个 ICLK
0008 209Fh	DMAC2	DMA 启动源标志控制寄存器	DMCSL	8	8	2 个 ICLK
0008 20C0h	DMAC3	DMA 传送源地址寄存器	DMSAR	32	32	2 个 ICLK
0008 20C4h	DMAC3	DMA 传送目标地址寄存器	DMDAR	32	32	2 个 ICLK
0008 20C8h	DMAC3	DMA 传送计数寄存器	DMCRA	32	32	2 个 ICLK
0008 20CCh	DMAC3	DMA 块传送计数寄存器	DMCRB	16	16	2 个 ICLK
0008 20D0h	DMAC3	DMA 传送模式寄存器	DMTMD	16	16	2 个 ICLK
0008 20D3h	DMAC3	DMA 中断设定寄存器	DMINT	8	8	2 个 ICLK
0008 20D4h	DMAC3	DMA 地址模式寄存器	DMAMD	16	16	2 个 ICLK
0008 20DCh	DMAC3	DMA 传送允许寄存器	DMCNT	8	8	2 个 ICLK
0008 20DDh	DMAC3	DMA 软件启动寄存器	DMREQ	8	8	2 个 ICLK
0008 20DEh	DMAC3	DMA 状态寄存器	DMSTS	8	8	2 个 ICLK
0008 20DFh	DMAC3	DMA 启动源标志控制寄存器	DMCSL	8	8	2 个 ICLK
0008 2200h	DMAC	DMACA 模块启动寄存器	DMAST	8	8	2 个 ICLK
0008 2400h	DTC	DTC 控制寄存器	DTCCR	8	8	2 个 ICLK
0008 2404h	DTC	DTC 向量基址寄存器	DTCVBR	32	32	2 个 ICLK
0008 2408h	DTC	DTC 地址模式寄存器	DTCADM0D	8	8	2 个 ICLK
0008 240Ch	DTC	DTC 模块启动寄存器	DTCST	8	8	2 个 ICLK
0008 240Eh	DTC	DTC 状态寄存器	DTCSTS	16	16	2 个 ICLK
0008 2800h	EXDMAC0	EXDMA 传送源地址寄存器	EDMSAR	32	32	1 ~ 2 个 BCLK (注8)
0008 2804h	EXDMAC0	EXDMA 传送目标地址寄存器	EDMDAR	32	32	1 ~ 2 个 BCLK (注8)
0008 2808h	EXDMAC0	EXDMA 传送计数寄存器	EDMCRA	32	32	1 ~ 2 个 BCLK (注8)
0008 280Ch	EXDMAC0	EXDMA 块传送计数寄存器	EDMCRB	16	16	1 ~ 2 个 BCLK (注8)
0008 2810h	EXDMAC0	EXDMA 传送模式寄存器	EDMTMD	16	16	1 ~ 2 个 BCLK (注8)
0008 2812h	EXDMAC0	EXDMA 输出设定寄存器	EDMOMD	8	8	1 ~ 2 个 BCLK (注8)
0008 2813h	EXDMAC0	EXDMA 中断设定寄存器	EDMINT	8	8	1 ~ 2 个 BCLK (注8)
0008 2814h	EXDMAC0	EXDMA 地址模式寄存器	EDMAMD	32	32	1 ~ 2 个 BCLK (注8)
0008 2818h	EXDMAC0	EXDMA 偏移寄存器	EDMOFR	32	32	1 ~ 2 个 BCLK (注8)
0008 281Ch	EXDMAC0	EXDMA 传送允许寄存器	EDMCNT	8	8	1 ~ 2 个 BCLK (注8)
0008 281Dh	EXDMAC0	EXDMA 软件启动寄存器	EDMREQ	8	8	1 ~ 2 个 BCLK (注8)
0008 281Eh	EXDMAC0	EXDMA 状态寄存器	EDMSTS	8	8	1 ~ 2 个 BCLK (注8)
0008 2820h	EXDMAC0	EXDMA 外部请求感测模式寄存器	EDMRMD	8	8	1 ~ 2 个 BCLK (注8)
0008 2821h	EXDMAC0	EXDMA 外部请求标志寄存器	EDMERF	8	8	1 ~ 2 个 BCLK (注8)
0008 2822h	EXDMAC0	EXDMA 外围请求标志寄存器	EDMPRF	8	8	1 ~ 2 个 BCLK (注8)
0008 2840h	EXDMAC1	EXDMA 传送源地址寄存器	EDMSAR	32	32	1 ~ 2 个 BCLK (注8)
0008 2844h	EXDMAC1	EXDMA 传送目标地址寄存器	EDMDAR	32	32	1 ~ 2 个 BCLK (注8)
0008 2848h	EXDMAC1	EXDMA 传送计数寄存器	EDMCRA	32	32	1 ~ 2 个 BCLK (注8)

表 5.1 I/O 寄存器地址一览表 (3 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0008 284Ch	EXDMAC1	EXDMA 块传送计数寄存器	EDMCRB	16	16	1 ~ 2 个 BCLK (注8)
0008 2850h	EXDMAC1	EXDMA 传送模式寄存器	EDMTMD	16	16	1 ~ 2 个 BCLK (注8)
0008 2852h	EXDMAC1	EXDMA 输出设定寄存器	EDMOMD	8	8	1 ~ 2 个 BCLK (注8)
0008 2853h	EXDMAC1	EXDMA 中断设定寄存器	EDMINT	8	8	1 ~ 2 个 BCLK (注8)
0008 2854h	EXDMAC1	EXDMA 地址模式寄存器	EDMAMD	32	32	1 ~ 2 个 BCLK (注8)
0008 285Ch	EXDMAC1	EXDMA 传送允许	EDMCNT	8	8	1 ~ 2 个 BCLK (注8)
0008 285Dh	EXDMAC1	EXDMA 软件启动寄存器	EDMREQ	8	8	1 ~ 2 个 BCLK (注8)
0008 285Eh	EXDMAC1	EXDMA 状态寄存器	EDMSTS	8	8	1 ~ 2 个 BCLK (注8)
0008 2860h	EXDMAC1	EXDMA 外部请求感测模式寄存器	EDMRMD	8	8	1 ~ 2 个 BCLK (注8)
0008 2861h	EXDMAC1	EXDMA 外部请求标志寄存器	EDMERF	8	8	1 ~ 2 个 BCLK (注8)
0008 2862h	EXDMAC1	EXDMA 外围请求标志寄存器	EDMPRF	8	8	1 ~ 2 个 BCLK (注8)
0008 2A00h	EXDMAC	EXDMA 模块启动寄存器	EDMAST	8	8	1 ~ 2 个 BCLK (注8)
0008 2BE0h	EXDMAC	群集缓冲寄存器 0	CLSBR0	32	32	1 ~ 2 个 BCLK (注8)
0008 2BE4h	EXDMAC	群集缓冲寄存器 1	CLSBR1	32	32	1 ~ 2 个 BCLK (注8)
0008 2BE8h	EXDMAC	群集缓冲寄存器 2	CLSBR2	32	32	1 ~ 2 个 BCLK (注8)
0008 2BECh	EXDMAC	群集缓冲寄存器 3	CLSBR3	32	32	1 ~ 2 个 BCLK (注8)
0008 2BF0h	EXDMAC	群集缓冲寄存器 4	CLSBR4	32	32	1 ~ 2 个 BCLK (注8)
0008 2BF4h	EXDMAC	群集缓冲寄存器 5	CLSBR5	32	32	1 ~ 2 个 BCLK (注8)
0008 2BF8h	EXDMAC	群集缓冲寄存器 6	CLSBR6	32	32	1 ~ 2 个 BCLK (注8)
0008 3002h	BSC	CS0 模式寄存器	CS0MOD	16	16	1 ~ 2 个 BCLK (注8)
0008 3004h	BSC	CS0 等待控制寄存器 1	CS0WCR1	32	32	1 ~ 2 个 BCLK (注8)
0008 3008h	BSC	CS0 等待控制寄存器 2	CS0WCR2	32	32	1 ~ 2 个 BCLK (注8)
0008 3012h	BSC	CS1 模式寄存器	CS1MOD	16	16	1 ~ 2 个 BCLK (注8)
0008 3014h	BSC	CS1 等待控制寄存器 1	CS1WCR1	32	32	1 ~ 2 个 BCLK (注8)
0008 3018h	BSC	CS1 等待控制寄存器 2	CS1WCR2	32	32	1 ~ 2 个 BCLK (注8)
0008 3022h	BSC	CS2 模式寄存器	CS2MOD	16	16	1 ~ 2 个 BCLK (注8)
0008 3024h	BSC	CS2 等待控制寄存器 1	CS2WCR1	32	32	1 ~ 2 个 BCLK (注8)
0008 3028h	BSC	CS2 等待控制寄存器 2	CS2WCR2	32	32	1 ~ 2 个 BCLK (注8)
0008 3032h	BSC	CS3 模式寄存器	CS3MOD	16	16	1 ~ 2 个 BCLK (注8)
0008 3034h	BSC	CS3 等待控制寄存器 1	CS3WCR1	32	32	1 ~ 2 个 BCLK (注8)

表 5.1 I/O 寄存器地址一览表 (4 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0008 3038h	BSC	CS3 等待控制寄存器 2	CS3WCR2	32	32	1 ~ 2 个 BCLK (注8)
0008 3042h	BSC	CS4 模式寄存器	CS4MOD	16	16	1 ~ 2 个 BCLK (注8)
0008 3044h	BSC	CS4 等待控制寄存器 1	CS4WCR1	32	32	1 ~ 2 个 BCLK (注8)
0008 3048h	BSC	CS4 等待控制寄存器 2	CS4WCR2	32	32	1 ~ 2 个 BCLK (注8)
0008 3052h	BSC	CS5 模式寄存器	CS5MOD	16	16	1 ~ 2 个 BCLK (注8)
0008 3054h	BSC	CS5 等待控制寄存器 1	CS5WCR1	32	32	1 ~ 2 个 BCLK (注8)
0008 3058h	BSC	CS5 等待控制寄存器 2	CS5WCR2	32	32	1 ~ 2 个 BCLK (注8)
0008 3062h	BSC	CS6 模式寄存器	CS6MOD	16	16	1 ~ 2 个 BCLK (注8)
0008 3064h	BSC	CS6 等待控制寄存器 1	CS6WCR1	32	32	1 ~ 2 个 BCLK (注8)
0008 3068h	BSC	CS6 等待控制寄存器 2	CS6WCR2	32	32	1 ~ 2 个 BCLK (注8)
0008 3072h	BSC	CS7 模式寄存器	CS7MOD	16	16	1 ~ 2 个 BCLK (注8)
0008 3074h	BSC	CS7 等待控制寄存器 1	CS7WCR1	32	32	1 ~ 2 个 BCLK (注8)
0008 3078h	BSC	CS7 等待控制寄存器 2	CS7WCR2	32	32	1 ~ 2 个 BCLK (注8)
0008 3802h	BSC	CS0 控制寄存器	CS0CR	16	16	1 ~ 2 个 BCLK (注8)
0008 380Ah	BSC	CS0 恢复周期设定寄存器	CS0REC	16	16	1 ~ 2 个 BCLK (注8)
0008 3812h	BSC	CS1 控制寄存器	CS1CR	16	16	1 ~ 2 个 BCLK (注8)
0008 381Ah	BSC	CS1 恢复周期设定寄存器	CS1REC	16	16	1 ~ 2 个 BCLK (注8)
0008 3822h	BSC	CS2 控制寄存器	CS2CR	16	16	1 ~ 2 个 BCLK (注8)
0008 382Ah	BSC	CS2 恢复周期设定寄存器	CS2REC	16	16	1 ~ 2 个 BCLK (注8)
0008 3832h	BSC	CS3 控制寄存器	CS3CR	16	16	1 ~ 2 个 BCLK (注8)
0008 383Ah	BSC	CS3 恢复周期设定寄存器	CS3REC	16	16	1 ~ 2 个 BCLK (注8)
0008 3842h	BSC	CS4 控制寄存器	CS4CR	16	16	1 ~ 2 个 BCLK (注8)
0008 384Ah	BSC	CS4 恢复周期设定寄存器	CS4REC	16	16	1 ~ 2 个 BCLK (注8)
0008 3852h	BSC	CS5 控制寄存器	CS5CR	16	16	1 ~ 2 个 BCLK (注8)
0008 385Ah	BSC	CS5 恢复周期设定寄存器	CS5REC	16	16	1 ~ 2 个 BCLK (注8)
0008 3862h	BSC	CS6 控制寄存器	CS6CR	16	16	1 ~ 2 个 BCLK (注8)
0008 386Ah	BSC	CS6 恢复周期设定寄存器	CS6REC	16	16	1 ~ 2 个 BCLK (注8)
0008 3872h	BSC	CS7 控制寄存器	CS7CR	16	16	1 ~ 2 个 BCLK (注8)
0008 387Ah	BSC	CS7 恢复周期设定寄存器	CS7REC	16	16	1 ~ 2 个 BCLK (注8)
0008 3C00h	BSC	SDC 控制寄存器	SDCCR	8	8	1 ~ 2 个 BCLK (注8)

表 5.1 I/O 寄存器地址一览表 (5 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0008 3C01h	BSC	SDC 模式寄存器	SDCMOD	8	8	1 ~ 2 个 BCLK (注8)
0008 3C02h	BSC	SDRAM 存取模式寄存器	SDAMOD	8	8	1 ~ 2 个 BCLK (注8)
0008 3C10h	BSC	SDRAM 自刷新控制寄存器	SDSELF	8	8	1 ~ 2 个 BCLK (注8)
0008 3C14h	BSC	SDRAM 刷新控制寄存器	SDRFCR	16	16	1 ~ 2 个 BCLK (注8)
0008 3C16h	BSC	SDRAM 自动刷新控制寄存器	SDRFEN	8	8	1 ~ 2 个 BCLK (注8)
0008 3C20h	BSC	SDRAM 初始化顺序控制寄存器	SDICR	8	8	1 ~ 2 个 BCLK (注8)
0008 3C24h	BSC	SDRAM 初始化寄存器	SDIR	16	16	1 ~ 2 个 BCLK (注8)
0008 3C40h	BSC	SDRAM 地址寄存器	SDADR	8	8	1 ~ 2 个 BCLK (注8)
0008 3C44h	BSC	SDRAM 时序寄存器	SDTR	32	32	1 ~ 2 个 BCLK (注8)
0008 3C48h	BSC	SDRAM 模式寄存器	SDMOD	16	16	1 ~ 2 个 BCLK (注8)
0008 3C50h	BSC	SDRAM 状态寄存器	SDSR	8	8	1 ~ 2 个 BCLK (注8)
0008 6400h	MPU	区域 0 开始页码寄存器	RSPAGE0	32	32	1 个 ICLK
0008 6404h	MPU	区域 0 结束页码寄存器	REPAGE0	32	32	1 个 ICLK
0008 6408h	MPU	区域 1 开始页码寄存器	RSPAGE1	32	32	1 个 ICLK
0008 640Ch	MPU	区域 1 结束页码寄存器	REPAGE1	32	32	1 个 ICLK
0008 6410h	MPU	区域 2 开始页码寄存器	RSPAGE2	32	32	1 个 ICLK
0008 6414h	MPU	区域 2 结束页码寄存器	REPAGE2	32	32	1 个 ICLK
0008 6418h	MPU	区域 3 开始页码寄存器	RSPAGE3	32	32	1 个 ICLK
0008 641Ch	MPU	区域 3 结束页码寄存器	REPAGE3	32	32	1 个 ICLK
0008 6420h	MPU	区域 4 开始页码寄存器	RSPAGE4	32	32	1 个 ICLK
0008 6424h	MPU	区域 4 结束页码寄存器	REPAGE4	32	32	1 个 ICLK
0008 6428h	MPU	区域 5 开始页码寄存器	RSPAGE5	32	32	1 个 ICLK
0008 642Ch	MPU	区域 5 结束页码寄存器	REPAGE5	32	32	1 个 ICLK
0008 6430h	MPU	区域 6 开始页码寄存器	RSPAGE6	32	32	1 个 ICLK
0008 6434h	MPU	区域 6 结束页码寄存器	REPAGE6	32	32	1 个 ICLK
0008 6438h	MPU	区域 7 开始页码寄存器	RSPAGE7	32	32	1 个 ICLK
0008 643Ch	MPU	区域 7 结束页码寄存器	REPAGE7	32	32	1 个 ICLK
0008 6500h	MPU	存储器保护功能有效寄存器	MPEN	32	32	1 个 ICLK
0008 6504h	MPU	后台存取控制寄存器	MPBAC	32	32	1 个 ICLK
0008 6508h	MPU	存储器保护错误状态清除寄存器	MPECLR	32	32	1 个 ICLK
0008 650Ch	MPU	存储器保护错误状态寄存器	MPESTS	32	32	1 个 ICLK
0008 6514h	MPU	数据存储器保护错误地址寄存器	MPDEA	32	32	1 个 ICLK
0008 6520h	MPU	区域搜索地址寄存器	MPSA	32	32	1 个 ICLK
0008 6524h	MPU	区域搜索操作寄存器	MPOPS	16	16	1 个 ICLK
0008 6526h	MPU	区域无效操作寄存器	MPOPI	16	16	1 个 ICLK
0008 6528h	MPU	指令命中区域寄存器	MHITI	32	32	1 个 ICLK
0008 652Ch	MPU	数据命中区域寄存器	MHITD	32	32	1 个 ICLK
0008 7010h	ICU	中断请求寄存器 016	IR016	8	8	2 个 ICLK
0008 7015h	ICU	中断请求寄存器 021	IR021	8	8	2 个 ICLK
0008 7017h	ICU	中断请求寄存器 023	IR023	8	8	2 个 ICLK
0008 701Bh	ICU	中断请求寄存器 027	IR027	8	8	2 个 ICLK
0008 701Ch	ICU	中断请求寄存器 028	IR028	8	8	2 个 ICLK

表 5.1 I/O 寄存器地址一览表 (6 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0008 701Dh	ICU	中断请求寄存器 029	IR029	8	8	2 个 ICLK
0008 701Eh	ICU	中断请求寄存器 030	IR030	8	8	2 个 ICLK
0008 701Fh	ICU	中断请求寄存器 031	IR031	8	8	2 个 ICLK
0008 7020h	ICU	中断请求寄存器 032	IR032	8	8	2 个 ICLK
0008 7024h	ICU	中断请求寄存器 036	IR036	8	8	2 个 ICLK
0008 7025h	ICU	中断请求寄存器 037	IR037	8	8	2 个 ICLK
0008 7026h	ICU	中断请求寄存器 038	IR038	8	8	2 个 ICLK
0008 7028h	ICU	中断请求寄存器 040	IR040	8	8	2 个 ICLK
0008 7029h	ICU	中断请求寄存器 041	IR041	8	8	2 个 ICLK
0008 702Ah	ICU	中断请求寄存器 042	IR042	8	8	2 个 ICLK
0008 702Ch	ICU	中断请求寄存器 044	IR044	8	8	2 个 ICLK
0008 702Dh	ICU	中断请求寄存器 045	IR045	8	8	2 个 ICLK
0008 702Eh	ICU	中断请求寄存器 046	IR046	8	8	2 个 ICLK
0008 702Fh	ICU	中断请求寄存器 047	IR047	8	8	2 个 ICLK
0008 7030h	ICU	中断请求寄存器 048	IR048	8	8	2 个 ICLK
0008 7031h	ICU	中断请求寄存器 049	IR049	8	8	2 个 ICLK
0008 7032h	ICU	中断请求寄存器 050	IR050	8	8	2 个 ICLK
0008 7033h	ICU	中断请求寄存器 051	IR051	8	8	2 个 ICLK
0008 7038h	ICU	中断请求寄存器 056	IR056	8	8	2 个 ICLK
0008 7039h	ICU	中断请求寄存器 057	IR057	8	8	2 个 ICLK
0008 703Ah	ICU	中断请求寄存器 058	IR058	8	8	2 个 ICLK
0008 703Bh	ICU	中断请求寄存器 059	IR059	8	8	2 个 ICLK
0008 703Ch	ICU	中断请求寄存器 060	IR060	8	8	2 个 ICLK
0008 703Eh	ICU	中断请求寄存器 062	IR062	8	8	2 个 ICLK
0008 703Fh	ICU	中断请求寄存器 063	IR063	8	8	2 个 ICLK
0008 7040h	ICU	中断请求寄存器 064	IR064	8	8	2 个 ICLK
0008 7041h	ICU	中断请求寄存器 065	IR065	8	8	2 个 ICLK
0008 7042h	ICU	中断请求寄存器 066	IR066	8	8	2 个 ICLK
0008 7043h	ICU	中断请求寄存器 067	IR067	8	8	2 个 ICLK
0008 7044h	ICU	中断请求寄存器 068	IR068	8	8	2 个 ICLK
0008 7045h	ICU	中断请求寄存器 069	IR069	8	8	2 个 ICLK
0008 7046h	ICU	中断请求寄存器 070	IR070	8	8	2 个 ICLK
0008 7047h	ICU	中断请求寄存器 071	IR071	8	8	2 个 ICLK
0008 7048h	ICU	中断请求寄存器 072	IR072	8	8	2 个 ICLK
0008 7049h	ICU	中断请求寄存器 073	IR073	8	8	2 个 ICLK
0008 704Ah	ICU	中断请求寄存器 074	IR074	8	8	2 个 ICLK
0008 704Bh	ICU	中断请求寄存器 075	IR075	8	8	2 个 ICLK
0008 704Ch	ICU	中断请求寄存器 076	IR076	8	8	2 个 ICLK
0008 704Dh	ICU	中断请求寄存器 077	IR077	8	8	2 个 ICLK
0008 704Eh	ICU	中断请求寄存器 078	IR078	8	8	2 个 ICLK
0008 704Fh	ICU	中断请求寄存器 079	IR079	8	8	2 个 ICLK
0008 705Ah	ICU	中断请求寄存器 090	IR090	8	8	2 个 ICLK
0008 705Bh	ICU	中断请求寄存器 091	IR091	8	8	2 个 ICLK
0008 705Ch	ICU	中断请求寄存器 092	IR092	8	8	2 个 ICLK
0008 7060h	ICU	中断请求寄存器 096	IR096	8	8	2 个 ICLK
0008 7062h	ICU	中断请求寄存器 098	IR098	8	8	2 个 ICLK
0008 7063h	ICU	中断请求寄存器 099	IR099	8	8	2 个 ICLK
0008 7066h	ICU	中断请求寄存器 102	IR102	8	8	2 个 ICLK

表 5.1 I/O 寄存器地址一览表 (7 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0008 7072h	ICU	中断请求寄存器 114	IR114	8	8	2 个 ICLK
0008 7073h	ICU	中断请求寄存器 115	IR115	8	8	2 个 ICLK
0008 7074h	ICU	中断请求寄存器 116	IR116	8	8	2 个 ICLK
0008 7075h	ICU	中断请求寄存器 117	IR117	8	8	2 个 ICLK
0008 7076h	ICU	中断请求寄存器 118	IR118	8	8	2 个 ICLK
0008 7077h	ICU	中断请求寄存器 119	IR119	8	8	2 个 ICLK
0008 7078h	ICU	中断请求寄存器 120	IR120	8	8	2 个 ICLK
0008 7079h	ICU	中断请求寄存器 121	IR121	8	8	2 个 ICLK
0008 707Ah	ICU	中断请求寄存器 122	IR122	8	8	2 个 ICLK
0008 707Bh	ICU	中断请求寄存器 123	IR123	8	8	2 个 ICLK
0008 707Ch	ICU	中断请求寄存器 124	IR124	8	8	2 个 ICLK
0008 707Dh	ICU	中断请求寄存器 125	IR125	8	8	2 个 ICLK
0008 707Eh	ICU	中断请求寄存器 126	IR126	8	8	2 个 ICLK
0008 707Fh	ICU	中断请求寄存器 127	IR127	8	8	2 个 ICLK
0008 7080h	ICU	中断请求寄存器 128	IR128	8	8	2 个 ICLK
0008 7081h	ICU	中断请求寄存器 129	IR129	8	8	2 个 ICLK
0008 7082h	ICU	中断请求寄存器 130	IR130	8	8	2 个 ICLK
0008 7083h	ICU	中断请求寄存器 131	IR131	8	8	2 个 ICLK
0008 7084h	ICU	中断请求寄存器 132	IR132	8	8	2 个 ICLK
0008 7085h	ICU	中断请求寄存器 133	IR133	8	8	2 个 ICLK
0008 7086h	ICU	中断请求寄存器 134	IR134	8	8	2 个 ICLK
0008 7087h	ICU	中断请求寄存器 135	IR135	8	8	2 个 ICLK
0008 7088h	ICU	中断请求寄存器 136	IR136	8	8	2 个 ICLK
0008 7089h	ICU	中断请求寄存器 137	IR137	8	8	2 个 ICLK
0008 708Ah	ICU	中断请求寄存器 138	IR138	8	8	2 个 ICLK
0008 708Bh	ICU	中断请求寄存器 139	IR139	8	8	2 个 ICLK
0008 708Ch	ICU	中断请求寄存器 140	IR140	8	8	2 个 ICLK
0008 708Dh	ICU	中断请求寄存器 141	IR141	8	8	2 个 ICLK
0008 708Eh	ICU	中断请求寄存器 142	IR142	8	8	2 个 ICLK
0008 708Fh	ICU	中断请求寄存器 143	IR143	8	8	2 个 ICLK
0008 7090h	ICU	中断请求寄存器 144	IR144	8	8	2 个 ICLK
0008 7091h	ICU	中断请求寄存器 145	IR145	8	8	2 个 ICLK
0008 7092h	ICU	中断请求寄存器 146	IR146	8	8	2 个 ICLK
0008 7093h	ICU	中断请求寄存器 147	IR147	8	8	2 个 ICLK
0008 7094h	ICU	中断请求寄存器 148	IR148	8	8	2 个 ICLK
0008 7095h	ICU	中断请求寄存器 149	IR149	8	8	2 个 ICLK
0008 7096h	ICU	中断请求寄存器 150	IR150	8	8	2 个 ICLK
0008 7097h	ICU	中断请求寄存器 151	IR151	8	8	2 个 ICLK
0008 7098h	ICU	中断请求寄存器 152	IR152	8	8	2 个 ICLK
0008 7099h	ICU	中断请求寄存器 153	IR153	8	8	2 个 ICLK
0008 709Ah	ICU	中断请求寄存器 154	IR154	8	8	2 个 ICLK
0008 709Bh	ICU	中断请求寄存器 155	IR155	8	8	2 个 ICLK
0008 709Ch	ICU	中断请求寄存器 156	IR156	8	8	2 个 ICLK
0008 709Dh	ICU	中断请求寄存器 157	IR157	8	8	2 个 ICLK
0008 709Eh	ICU	中断请求寄存器 158	IR158	8	8	2 个 ICLK
0008 709Fh	ICU	中断请求寄存器 159	IR159	8	8	2 个 ICLK
0008 70A0h	ICU	中断请求寄存器 160	IR160	8	8	2 个 ICLK
0008 70A1h	ICU	中断请求寄存器 161	IR161	8	8	2 个 ICLK

表 5.1 I/O 寄存器地址一览表 (8 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0008 70A2h	ICU	中断请求寄存器 162	IR162	8	8	2 个 ICLK
0008 70A3h	ICU	中断请求寄存器 163	IR163	8	8	2 个 ICLK
0008 70A4h	ICU	中断请求寄存器 164	IR164	8	8	2 个 ICLK
0008 70A5h	ICU	中断请求寄存器 165	IR165	8	8	2 个 ICLK
0008 70A6h	ICU	中断请求寄存器 166	IR166	8	8	2 个 ICLK
0008 70A7h	ICU	中断请求寄存器 167	IR167	8	8	2 个 ICLK
0008 70A8h	ICU	中断请求寄存器 168	IR168	8	8	2 个 ICLK
0008 70A9h	ICU	中断请求寄存器 169	IR169	8	8	2 个 ICLK
0008 70AAh	ICU	中断请求寄存器 170	IR170	8	8	2 个 ICLK
0008 70ABh	ICU	中断请求寄存器 171	IR171	8	8	2 个 ICLK
0008 70ACh	ICU	中断请求寄存器 172	IR172	8	8	2 个 ICLK
0008 70ADh	ICU	中断请求寄存器 173	IR173	8	8	2 个 ICLK
0008 70AEh	ICU	中断请求寄存器 174	IR174	8	8	2 个 ICLK
0008 70AFh	ICU	中断请求寄存器 175	IR175	8	8	2 个 ICLK
0008 70B0h	ICU	中断请求寄存器 176	IR176	8	8	2 个 ICLK
0008 70B1h	ICU	中断请求寄存器 177	IR177	8	8	2 个 ICLK
0008 70B2h	ICU	中断请求寄存器 178	IR178	8	8	2 个 ICLK
0008 70B3h	ICU	中断请求寄存器 179	IR179	8	8	2 个 ICLK
0008 70B4h	ICU	中断请求寄存器 180	IR180	8	8	2 个 ICLK
0008 70B5h	ICU	中断请求寄存器 181	IR181	8	8	2 个 ICLK
0008 70B6h	ICU	中断请求寄存器 182	IR182	8	8	2 个 ICLK
0008 70B7h	ICU	中断请求寄存器 183	IR183	8	8	2 个 ICLK
0008 70B8h	ICU	中断请求寄存器 184	IR184	8	8	2 个 ICLK
0008 70B9h	ICU	中断请求寄存器 185	IR185	8	8	2 个 ICLK
0008 70C6h	ICU	中断请求寄存器 198	IR198	8	8	2 个 ICLK
0008 70C7h	ICU	中断请求寄存器 199	IR199	8	8	2 个 ICLK
0008 70C8h	ICU	中断请求寄存器 200	IR200	8	8	2 个 ICLK
0008 70C9h	ICU	中断请求寄存器 201	IR201	8	8	2 个 ICLK
0008 70CAh	ICU	中断请求寄存器 202	IR202	8	8	2 个 ICLK
0008 70CBh	ICU	中断请求寄存器 203	IR203	8	8	2 个 ICLK
0008 70D6h	ICU	中断请求寄存器 214	IR214	8	8	2 个 ICLK
0008 70D7h	ICU	中断请求寄存器 215	IR215	8	8	2 个 ICLK
0008 70D8h	ICU	中断请求寄存器 216	IR216	8	8	2 个 ICLK
0008 70D9h	ICU	中断请求寄存器 217	IR217	8	8	2 个 ICLK
0008 70DAh	ICU	中断请求寄存器 218	IR218	8	8	2 个 ICLK
0008 70DBh	ICU	中断请求寄存器 219	IR219	8	8	2 个 ICLK
0008 70DCh	ICU	中断请求寄存器 220	IR220	8	8	2 个 ICLK
0008 70DDh	ICU	中断请求寄存器 221	IR221	8	8	2 个 ICLK
0008 70DEh	ICU	中断请求寄存器 222	IR222	8	8	2 个 ICLK
0008 70DFh	ICU	中断请求寄存器 223	IR223	8	8	2 个 ICLK
0008 70E0h	ICU	中断请求寄存器 224	IR224	8	8	2 个 ICLK
0008 70E1h	ICU	中断请求寄存器 225	IR225	8	8	2 个 ICLK
0008 70E2h	ICU	中断请求寄存器 226	IR226	8	8	2 个 ICLK
0008 70E3h	ICU	中断请求寄存器 227	IR227	8	8	2 个 ICLK
0008 70E4h	ICU	中断请求寄存器 228	IR228	8	8	2 个 ICLK
0008 70E5h	ICU	中断请求寄存器 229	IR229	8	8	2 个 ICLK
0008 70EAh	ICU	中断请求寄存器 234	IR234	8	8	2 个 ICLK
0008 70EBh	ICU	中断请求寄存器 235	IR235	8	8	2 个 ICLK

表 5.1 I/O 寄存器地址一览表 (9 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0008 70ECh	ICU	中断请求寄存器 236	IR236	8	8	2 个 ICLK
0008 70EDh	ICU	中断请求寄存器 237	IR237	8	8	2 个 ICLK
0008 70EEh	ICU	中断请求寄存器 238	IR238	8	8	2 个 ICLK
0008 70EFh	ICU	中断请求寄存器 239	IR239	8	8	2 个 ICLK
0008 70F0h	ICU	中断请求寄存器 240	IR240	8	8	2 个 ICLK
0008 70F1h	ICU	中断请求寄存器 241	IR241	8	8	2 个 ICLK
0008 70F6h	ICU	中断请求寄存器 246	IR246	8	8	2 个 ICLK
0008 70F7h	ICU	中断请求寄存器 247	IR247	8	8	2 个 ICLK
0008 70F8h	ICU	中断请求寄存器 248	IR248	8	8	2 个 ICLK
0008 70F9h	ICU	中断请求寄存器 249	IR249	8	8	2 个 ICLK
0008 70FAh	ICU	中断请求寄存器 250	IR250	8	8	2 个 ICLK
0008 70FBh	ICU	中断请求寄存器 251	IR251	8	8	2 个 ICLK
0008 70FCh	ICU	中断请求寄存器 252	IR252	8	8	2 个 ICLK
0008 70FDh	ICU	中断请求寄存器 253	IR253	8	8	2 个 ICLK
0008 711Bh	ICU	DTC 启动允许寄存器 027	DTCER027	8	8	2 个 ICLK
0008 711Ch	ICU	DTC 启动允许寄存器 028	DTCER028	8	8	2 个 ICLK
0008 711Dh	ICU	DTC 启动允许寄存器 029	DTCER029	8	8	2 个 ICLK
0008 711Eh	ICU	DTC 启动允许寄存器 030	DTCER030	8	8	2 个 ICLK
0008 711Fh	ICU	DTC 启动允许寄存器 031	DTCER031	8	8	2 个 ICLK
0008 7124h	ICU	DTC 启动允许寄存器 036	DTCER036	8	8	2 个 ICLK
0008 7125h	ICU	DTC 启动允许寄存器 037	DTCER037	8	8	2 个 ICLK
0008 7128h	ICU	DTC 启动允许寄存器 040	DTCER040	8	8	2 个 ICLK
0008 7129h	ICU	DTC 启动允许寄存器 041	DTCER041	8	8	2 个 ICLK
0008 712Dh	ICU	DTC 启动允许寄存器 045	DTCER045	8	8	2 个 ICLK
0008 712Eh	ICU	DTC 启动允许寄存器 046	DTCER046	8	8	2 个 ICLK
0008 7131h	ICU	DTC 启动允许寄存器 049	DTCER049	8	8	2 个 ICLK
0008 7132h	ICU	DTC 启动允许寄存器 050	DTCER050	8	8	2 个 ICLK
0008 7140h	ICU	DTC 启动允许寄存器 064	DTCER064	8	8	2 个 ICLK
0008 7141h	ICU	DTC 启动允许寄存器 065	DTCER065	8	8	2 个 ICLK
0008 7142h	ICU	DTC 启动允许寄存器 066	DTCER066	8	8	2 个 ICLK
0008 7143h	ICU	DTC 启动允许寄存器 067	DTCER067	8	8	2 个 ICLK
0008 7144h	ICU	DTC 启动允许寄存器 068	DTCER068	8	8	2 个 ICLK
0008 7145h	ICU	DTC 启动允许寄存器 069	DTCER069	8	8	2 个 ICLK
0008 7146h	ICU	DTC 启动允许寄存器 070	DTCER070	8	8	2 个 ICLK
0008 7147h	ICU	DTC 启动允许寄存器 071	DTCER071	8	8	2 个 ICLK
0008 7148h	ICU	DTC 启动允许寄存器 072	DTCER072	8	8	2 个 ICLK
0008 7149h	ICU	DTC 启动允许寄存器 073	DTCER073	8	8	2 个 ICLK
0008 714Ah	ICU	DTC 启动允许寄存器 074	DTCER074	8	8	2 个 ICLK
0008 714Bh	ICU	DTC 启动允许寄存器 075	DTCER075	8	8	2 个 ICLK
0008 714Ch	ICU	DTC 启动允许寄存器 076	DTCER076	8	8	2 个 ICLK
0008 714Dh	ICU	DTC 启动允许寄存器 077	DTCER077	8	8	2 个 ICLK
0008 714Eh	ICU	DTC 启动允许寄存器 078	DTCER078	8	8	2 个 ICLK
0008 714Fh	ICU	DTC 启动允许寄存器 079	DTCER079	8	8	2 个 ICLK
0008 7162h	ICU	DTC 启动允许寄存器 098	DTCER098	8	8	2 个 ICLK
0008 7163h	ICU	DTC 启动允许寄存器 099	DTCER099	8	8	2 个 ICLK
0008 7166h	ICU	DTC 启动允许寄存器 102	DTCER102	8	8	2 个 ICLK
0008 7172h	ICU	DTC 启动允许寄存器 114	DTCER114	8	8	2 个 ICLK
0008 7173h	ICU	DTC 启动允许寄存器 115	DTCER115	8	8	2 个 ICLK

表 5.1 I/O 寄存器地址一览表 (10 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0008 7174h	ICU	DTC 启动允许寄存器 116	DTCER116	8	8	2 个 ICLK
0008 7175h	ICU	DTC 启动允许寄存器 117	DTCER117	8	8	2 个 ICLK
0008 7179h	ICU	DTC 启动允许寄存器 121	DTCER121	8	8	2 个 ICLK
0008 717Ah	ICU	DTC 启动允许寄存器 122	DTCER122	8	8	2 个 ICLK
0008 717Dh	ICU	DTC 启动允许寄存器 125	DTCER125	8	8	2 个 ICLK
0008 717Eh	ICU	DTC 启动允许寄存器 126	DTCER126	8	8	2 个 ICLK
0008 7181h	ICU	DTC 启动允许寄存器 129	DTCER129	8	8	2 个 ICLK
0008 7182h	ICU	DTC 启动允许寄存器 130	DTCER130	8	8	2 个 ICLK
0008 7183h	ICU	DTC 启动允许寄存器 131	DTCER131	8	8	2 个 ICLK
0008 7184h	ICU	DTC 启动允许寄存器 132	DTCER132	8	8	2 个 ICLK
0008 7186h	ICU	DTC 启动允许寄存器 134	DTCER134	8	8	2 个 ICLK
0008 7187h	ICU	DTC 启动允许寄存器 135	DTCER135	8	8	2 个 ICLK
0008 7188h	ICU	DTC 启动允许寄存器 136	DTCER136	8	8	2 个 ICLK
0008 7189h	ICU	DTC 启动允许寄存器 137	DTCER137	8	8	2 个 ICLK
0008 718Ah	ICU	DTC 启动允许寄存器 138	DTCER138	8	8	2 个 ICLK
0008 718Bh	ICU	DTC 启动允许寄存器 139	DTCER139	8	8	2 个 ICLK
0008 718Ch	ICU	DTC 启动允许寄存器 140	DTCER140	8	8	2 个 ICLK
0008 718Dh	ICU	DTC 启动允许寄存器 141	DTCER141	8	8	2 个 ICLK
0008 718Eh	ICU	DTC 启动允许寄存器 142	DTCER142	8	8	2 个 ICLK
0008 718Fh	ICU	DTC 启动允许寄存器 143	DTCER143	8	8	2 个 ICLK
0008 7190h	ICU	DTC 启动允许寄存器 144	DTCER144	8	8	2 个 ICLK
0008 7191h	ICU	DTC 启动允许寄存器 145	DTCER145	8	8	2 个 ICLK
0008 7195h	ICU	DTC 启动允许寄存器 149	DTCER149	8	8	2 个 ICLK
0008 7196h	ICU	DTC 启动允许寄存器 150	DTCER150	8	8	2 个 ICLK
0008 7199h	ICU	DTC 启动允许寄存器 153	DTCER153	8	8	2 个 ICLK
0008 719Ah	ICU	DTC 启动允许寄存器 154	DTCER154	8	8	2 个 ICLK
0008 719Dh	ICU	DTC 启动允许寄存器 157	DTCER157	8	8	2 个 ICLK
0008 719Eh	ICU	DTC 启动允许寄存器 158	DTCER158	8	8	2 个 ICLK
0008 719Fh	ICU	DTC 启动允许寄存器 159	DTCER159	8	8	2 个 ICLK
0008 71A0h	ICU	DTC 启动允许寄存器 160	DTCER160	8	8	2 个 ICLK
0008 71A2h	ICU	DTC 启动允许寄存器 162	DTCER162	8	8	2 个 ICLK
0008 71A3h	ICU	DTC 启动允许寄存器 163	DTCER163	8	8	2 个 ICLK
0008 71A4h	ICU	DTC 启动允许寄存器 164	DTCER164	8	8	2 个 ICLK
0008 71A5h	ICU	DTC 启动允许寄存器 165	DTCER165	8	8	2 个 ICLK
0008 71A6h	ICU	DTC 启动允许寄存器 166	DTCER166	8	8	2 个 ICLK
0008 71A7h	ICU	DTC 启动允许寄存器 167	DTCER167	8	8	2 个 ICLK
0008 71A8h	ICU	DTC 启动允许寄存器 168	DTCER168	8	8	2 个 ICLK
0008 71A9h	ICU	DTC 启动允许寄存器 169	DTCER169	8	8	2 个 ICLK
0008 71AEh	ICU	DTC 启动允许寄存器 174	DTCER174	8	8	2 个 ICLK
0008 71AFh	ICU	DTC 启动允许寄存器 175	DTCER175	8	8	2 个 ICLK
0008 71B1h	ICU	DTC 启动允许寄存器 177	DTCER177	8	8	2 个 ICLK
0008 71B2h	ICU	DTC 启动允许寄存器 178	DTCER178	8	8	2 个 ICLK
0008 71B4h	ICU	DTC 启动允许寄存器 180	DTCER180	8	8	2 个 ICLK
0008 71B5h	ICU	DTC 启动允许寄存器 181	DTCER181	8	8	2 个 ICLK
0008 71B7h	ICU	DTC 启动允许寄存器 183	DTCER183	8	8	2 个 ICLK
0008 71B8h	ICU	DTC 启动允许寄存器 184	DTCER184	8	8	2 个 ICLK
0008 71C6h	ICU	DTC 启动允许寄存器 198	DTCER198	8	8	2 个 ICLK
0008 71C7h	ICU	DTC 启动允许寄存器 199	DTCER199	8	8	2 个 ICLK

表 5.1 I/O 寄存器地址一览表 (11 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0008 71C8h	ICU	DTC 启动允许寄存器 200	DTCER200	8	8	2 个 ICLK
0008 71C9h	ICU	DTC 启动允许寄存器 201	DTCER201	8	8	2 个 ICLK
0008 71CAh	ICU	DTC 启动允许寄存器 202	DTCER202	8	8	2 个 ICLK
0008 71CBh	ICU	DTC 启动允许寄存器 203	DTCER203	8	8	2 个 ICLK
0008 71D7h	ICU	DTC 启动允许寄存器 215	DTCER215	8	8	2 个 ICLK
0008 71D8h	ICU	DTC 启动允许寄存器 216	DTCER216	8	8	2 个 ICLK
0008 71DBh	ICU	DTC 启动允许寄存器 219	DTCER219	8	8	2 个 ICLK
0008 71DCh	ICU	DTC 启动允许寄存器 220	DTCER220	8	8	2 个 ICLK
0008 71DFh	ICU	DTC 启动允许寄存器 223	DTCER223	8	8	2 个 ICLK
0008 71E0h	ICU	DTC 启动允许寄存器 224	DTCER224	8	8	2 个 ICLK
0008 71E3h	ICU	DTC 启动允许寄存器 227	DTCER227	8	8	2 个 ICLK
0008 71E4h	ICU	DTC 启动允许寄存器 228	DTCER228	8	8	2 个 ICLK
0008 71EBh	ICU	DTC 启动允许寄存器 235	DTCER235	8	8	2 个 ICLK
0008 71ECh	ICU	DTC 启动允许寄存器 236	DTCER236	8	8	2 个 ICLK
0008 71EFh	ICU	DTC 启动允许寄存器 239	DTCER239	8	8	2 个 ICLK
0008 71F0h	ICU	DTC 启动允许寄存器 240	DTCER240	8	8	2 个 ICLK
0008 71F7h	ICU	DTC 启动允许寄存器 247	DTCER247	8	8	2 个 ICLK
0008 71F8h	ICU	DTC 启动允许寄存器 248	DTCER248	8	8	2 个 ICLK
0008 71FBh	ICU	DTC 启动允许寄存器 251	DTCER251	8	8	2 个 ICLK
0008 71FCh	ICU	DTC 启动允许寄存器 252	DTCER252	8	8	2 个 ICLK
0008 7202h	ICU	中断请求允许寄存器 02	IER02	8	8	2 个 ICLK
0008 7203h	ICU	中断请求允许寄存器 03	IER03	8	8	2 个 ICLK
0008 7204h	ICU	中断请求允许寄存器 04	IER04	8	8	2 个 ICLK
0008 7205h	ICU	中断请求允许寄存器 05	IER05	8	8	2 个 ICLK
0008 7206h	ICU	中断请求允许寄存器 06	IER06	8	8	2 个 ICLK
0008 7207h	ICU	中断请求允许寄存器 07	IER07	8	8	2 个 ICLK
0008 7208h	ICU	中断请求允许寄存器 08	IER08	8	8	2 个 ICLK
0008 7209h	ICU	中断请求允许寄存器 09	IER09	8	8	2 个 ICLK
0008 720Bh	ICU	中断请求允许寄存器 0B	IER0B	8	8	2 个 ICLK
0008 720Ch	ICU	中断请求允许寄存器 0C	IER0C	8	8	2 个 ICLK
0008 720Eh	ICU	中断请求允许寄存器 0E	IER0E	8	8	2 个 ICLK
0008 720Fh	ICU	中断请求允许寄存器 0F	IER0F	8	8	2 个 ICLK
0008 7210h	ICU	中断请求允许寄存器 10	IER10	8	8	2 个 ICLK
0008 7211h	ICU	中断请求允许寄存器 11	IER11	8	8	2 个 ICLK
0008 7212h	ICU	中断请求允许寄存器 12	IER12	8	8	2 个 ICLK
0008 7213h	ICU	中断请求允许寄存器 13	IER13	8	8	2 个 ICLK
0008 7214h	ICU	中断请求允许寄存器 14	IER14	8	8	2 个 ICLK
0008 7215h	ICU	中断请求允许寄存器 15	IER15	8	8	2 个 ICLK
0008 7216h	ICU	中断请求允许寄存器 16	IER16	8	8	2 个 ICLK
0008 7217h	ICU	中断请求允许寄存器 17	IER17	8	8	2 个 ICLK
0008 7218h	ICU	中断请求允许寄存器 18	IER18	8	8	2 个 ICLK
0008 7219h	ICU	中断请求允许寄存器 19	IER19	8	8	2 个 ICLK
0008 721Ah	ICU	中断请求允许寄存器 1A	IER1A	8	8	2 个 ICLK
0008 721Bh	ICU	中断请求允许寄存器 1B	IER1B	8	8	2 个 ICLK
0008 721Ch	ICU	中断请求允许寄存器 1C	IER1C	8	8	2 个 ICLK
0008 721Dh	ICU	中断请求允许寄存器 1D	IER1D	8	8	2 个 ICLK
0008 721Eh	ICU	中断请求允许寄存器 1E	IER1E	8	8	2 个 ICLK
0008 721Fh	ICU	中断请求允许寄存器 1F	IER1F	8	8	2 个 ICLK

表 5.1 I/O 寄存器地址一览表 (12 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0008 72E0h	ICU	软件中断启动寄存器	SWINTR	8	8	2 个 ICLK
0008 72F0h	ICU	高速中断设定寄存器	FIR	16	16	2 个 ICLK
0008 7300h	ICU	中断源优先级寄存器 00	IPR00	8	8	2 个 ICLK
0008 7301h	ICU	中断源优先级寄存器 01	IPR01	8	8	2 个 ICLK
0008 7302h	ICU	中断源优先级寄存器 02	IPR02	8	8	2 个 ICLK
0008 7303h	ICU	中断源优先级寄存器 03	IPR03	8	8	2 个 ICLK
0008 7304h	ICU	中断源优先级寄存器 04	IPR04	8	8	2 个 ICLK
0008 7305h	ICU	中断源优先级寄存器 05	IPR05	8	8	2 个 ICLK
0008 7306h	ICU	中断源优先级寄存器 06	IPR06	8	8	2 个 ICLK
0008 7307h	ICU	中断源优先级寄存器 07	IPR07	8	8	2 个 ICLK
0008 7308h	ICU	中断源优先级寄存器 08	IPR08	8	8	2 个 ICLK
0008 730Ch	ICU	中断源优先级寄存器 0C	IPR0C	8	8	2 个 ICLK
0008 730Dh	ICU	中断源优先级寄存器 0D	IPR0D	8	8	2 个 ICLK
0008 730Eh	ICU	中断源优先级寄存器 0E	IPR0E	8	8	2 个 ICLK
0008 7310h	ICU	中断源优先级寄存器 10	IPR10	8	8	2 个 ICLK
0008 7311h	ICU	中断源优先级寄存器 11	IPR11	8	8	2 个 ICLK
0008 7312h	ICU	中断源优先级寄存器 12	IPR12	8	8	2 个 ICLK
0008 7314h	ICU	中断源优先级寄存器 14	IPR14	8	8	2 个 ICLK
0008 7315h	ICU	中断源优先级寄存器 15	IPR15	8	8	2 个 ICLK
0008 7318h	ICU	中断源优先级寄存器 18	IPR18	8	8	2 个 ICLK
0008 731Eh	ICU	中断源优先级寄存器 1E	IPR1E	8	8	2 个 ICLK
0008 731Fh	ICU	中断源优先级寄存器 1F	IPR1F	8	8	2 个 ICLK
0008 7320h	ICU	中断源优先级寄存器 20	IPR20	8	8	2 个 ICLK
0008 7321h	ICU	中断源优先级寄存器 21	IPR21	8	8	2 个 ICLK
0008 7322h	ICU	中断源优先级寄存器 22	IPR22	8	8	2 个 ICLK
0008 7323h	ICU	中断源优先级寄存器 23	IPR23	8	8	2 个 ICLK
0008 7324h	ICU	中断源优先级寄存器 24	IPR24	8	8	2 个 ICLK
0008 7325h	ICU	中断源优先级寄存器 25	IPR25	8	8	2 个 ICLK
0008 7326h	ICU	中断源优先级寄存器 26	IPR26	8	8	2 个 ICLK
0008 7327h	ICU	中断源优先级寄存器 27	IPR27	8	8	2 个 ICLK
0008 7328h	ICU	中断源优先级寄存器 28	IPR28	8	8	2 个 ICLK
0008 7329h	ICU	中断源优先级寄存器 29	IPR29	8	8	2 个 ICLK
0008 732Ah	ICU	中断源优先级寄存器 2A	IPR2A	8	8	2 个 ICLK
0008 732Bh	ICU	中断源优先级寄存器 2B	IPR2B	8	8	2 个 ICLK
0008 732Ch	ICU	中断源优先级寄存器 2C	IPR2C	8	8	2 个 ICLK
0008 732Dh	ICU	中断源优先级寄存器 2D	IPR2D	8	8	2 个 ICLK
0008 732Eh	ICU	中断源优先级寄存器 2E	IPR2E	8	8	2 个 ICLK
0008 732Fh	ICU	中断源优先级寄存器 2F	IPR2F	8	8	2 个 ICLK
0008 733Ah	ICU	中断源优先级寄存器 3A	IPR3A	8	8	2 个 ICLK
0008 733Bh	ICU	中断源优先级寄存器 3B	IPR3B	8	8	2 个 ICLK
0008 733Ch	ICU	中断源优先级寄存器 3C	IPR3C	8	8	2 个 ICLK
0008 7340h	ICU	中断源优先级寄存器 40	IPR40	8	8	2 个 ICLK
0008 7344h	ICU	中断源优先级寄存器 44	IPR44	8	8	2 个 ICLK
0008 7345h	ICU	中断源优先级寄存器 45	IPR45	8	8	2 个 ICLK
0008 7348h	ICU	中断源优先级寄存器 48	IPR48	8	8	2 个 ICLK
0008 7351h	ICU	中断源优先级寄存器 51	IPR51	8	8	2 个 ICLK
0008 7352h	ICU	中断源优先级寄存器 52	IPR52	8	8	2 个 ICLK
0008 7353h	ICU	中断源优先级寄存器 53	IPR53	8	8	2 个 ICLK

表 5.1 I/O 寄存器地址一览表 (13 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0008 7354h	ICU	中断源优先级寄存器 54	IPR54	8	8	2 个 ICLK
0008 7355h	ICU	中断源优先级寄存器 55	IPR55	8	8	2 个 ICLK
0008 7356h	ICU	中断源优先级寄存器 56	IPR56	8	8	2 个 ICLK
0008 7357h	ICU	中断源优先级寄存器 57	IPR57	8	8	2 个 ICLK
0008 7358h	ICU	中断源优先级寄存器 58	IPR58	8	8	2 个 ICLK
0008 7359h	ICU	中断源优先级寄存器 59	IPR59	8	8	2 个 ICLK
0008 735Ah	ICU	中断源优先级寄存器 5A	IPR5A	8	8	2 个 ICLK
0008 735Bh	ICU	中断源优先级寄存器 5B	IPR5B	8	8	2 个 ICLK
0008 735Ch	ICU	中断源优先级寄存器 5C	IPR5C	8	8	2 个 ICLK
0008 735Dh	ICU	中断源优先级寄存器 5D	IPR5D	8	8	2 个 ICLK
0008 735Eh	ICU	中断源优先级寄存器 5E	IPR5E	8	8	2 个 ICLK
0008 735Fh	ICU	中断源优先级寄存器 5F	IPR5F	8	8	2 个 ICLK
0008 7360h	ICU	中断源优先级寄存器 60	IPR60	8	8	2 个 ICLK
0008 7361h	ICU	中断源优先级寄存器 61	IPR61	8	8	2 个 ICLK
0008 7362h	ICU	中断源优先级寄存器 62	IPR62	8	8	2 个 ICLK
0008 7363h	ICU	中断源优先级寄存器 63	IPR63	8	8	2 个 ICLK
0008 7364h	ICU	中断源优先级寄存器 64	IPR64	8	8	2 个 ICLK
0008 7365h	ICU	中断源优先级寄存器 65	IPR65	8	8	2 个 ICLK
0008 7366h	ICU	中断源优先级寄存器 66	IPR66	8	8	2 个 ICLK
0008 7367h	ICU	中断源优先级寄存器 67	IPR67	8	8	2 个 ICLK
0008 7368h	ICU	中断源优先级寄存器 68	IPR68	8	8	2 个 ICLK
0008 7369h	ICU	中断源优先级寄存器 69	IPR69	8	8	2 个 ICLK
0008 736Ah	ICU	中断源优先级寄存器 6A	IPR6A	8	8	2 个 ICLK
0008 736Bh	ICU	中断源优先级寄存器 6B	IPR6B	8	8	2 个 ICLK
0008 7370h	ICU	中断源优先级寄存器 70	IPR70	8	8	2 个 ICLK
0008 7371h	ICU	中断源优先级寄存器 71	IPR71	8	8	2 个 ICLK
0008 7372h	ICU	中断源优先级寄存器 72	IPR72	8	8	2 个 ICLK
0008 7373h	ICU	中断源优先级寄存器 73	IPR73	8	8	2 个 ICLK
0008 7374h	ICU	中断源优先级寄存器 74	IPR74	8	8	2 个 ICLK
0008 7375h	ICU	中断源优先级寄存器 75	IPR75	8	8	2 个 ICLK
0008 7380h	ICU	中断源优先级寄存器 80	IPR80	8	8	2 个 ICLK
0008 7381h	ICU	中断源优先级寄存器 81	IPR81	8	8	2 个 ICLK
0008 7382h	ICU	中断源优先级寄存器 82	IPR82	8	8	2 个 ICLK
0008 7383h	ICU	中断源优先级寄存器 83	IPR83	8	8	2 个 ICLK
0008 7385h	ICU	中断源优先级寄存器 85	IPR85	8	8	2 个 ICLK
0008 7386h	ICU	中断源优先级寄存器 86	IPR86	8	8	2 个 ICLK
0008 7388h	ICU	中断源优先级寄存器 88	IPR88	8	8	2 个 ICLK
0008 7389h	ICU	中断源优先级寄存器 89	IPR89	8	8	2 个 ICLK
0008 738Ah	ICU	中断源优先级寄存器 8A	IPR8A	8	8	2 个 ICLK
0008 738Bh	ICU	中断源优先级寄存器 8B	IPR8B	8	8	2 个 ICLK
0008 738Ch	ICU	中断源优先级寄存器 8C	IPR8C	8	8	2 个 ICLK
0008 738Dh	ICU	中断源优先级寄存器 8D	IPR8D	8	8	2 个 ICLK
0008 738Eh	ICU	中断源优先级寄存器 8E	IPR8E	8	8	2 个 ICLK
0008 738Fh	ICU	中断源优先级寄存器 8F	IPR8F	8	8	2 个 ICLK
0008 7400h	ICU	DMACA 启动源选择寄存器 0	DMRSR0	8	8	2 个 ICLK
0008 7404h	ICU	DMACA 启动源选择寄存器 1	DMRSR1	8	8	2 个 ICLK
0008 7408h	ICU	DMACA 启动源选择寄存器 2	DMRSR2	8	8	2 个 ICLK
0008 740Ch	ICU	DMACA 启动源选择寄存器 3	DMRSR3	8	8	2 个 ICLK

表 5.1 I/O 寄存器地址一览表 (14 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0008 7500h	ICU	IRQ 控制寄存器 0	IRQCR0	8	8	2 个 ICLK
0008 7501h	ICU	IRQ 控制寄存器 1	IRQCR1	8	8	2 个 ICLK
0008 7502h	ICU	IRQ 控制寄存器 2	IRQCR2	8	8	2 个 ICLK
0008 7503h	ICU	IRQ 控制寄存器 3	IRQCR3	8	8	2 个 ICLK
0008 7504h	ICU	IRQ 控制寄存器 4	IRQCR4	8	8	2 个 ICLK
0008 7505h	ICU	IRQ 控制寄存器 5	IRQCR5	8	8	2 个 ICLK
0008 7506h	ICU	IRQ 控制寄存器 6	IRQCR6	8	8	2 个 ICLK
0008 7507h	ICU	IRQ 控制寄存器 7	IRQCR7	8	8	2 个 ICLK
0008 7508h	ICU	IRQ 控制寄存器 8	IRQCR8	8	8	2 个 ICLK
0008 7509h	ICU	IRQ 控制寄存器 9	IRQCR9	8	8	2 个 ICLK
0008 750Ah	ICU	IRQ 控制寄存器 10	IRQCR10	8	8	2 个 ICLK
0008 750Bh	ICU	IRQ 控制寄存器 11	IRQCR11	8	8	2 个 ICLK
0008 750Ch	ICU	IRQ 控制寄存器 12	IRQCR12	8	8	2 个 ICLK
0008 750Dh	ICU	IRQ 控制寄存器 13	IRQCR13	8	8	2 个 ICLK
0008 750Eh	ICU	IRQ 控制寄存器 14	IRQCR14	8	8	2 个 ICLK
0008 750Fh	ICU	IRQ 控制寄存器 15	IRQCR15	8	8	2 个 ICLK
0008 7580h	ICU	非屏蔽中断状态寄存器	NMISR	8	8	2 个 ICLK
0008 7581h	ICU	非屏蔽中断允许寄存器	NMIER	8	8	2 个 ICLK
0008 7582h	ICU	非屏蔽中断清除寄存器	NMICLR	8	8	2 个 ICLK
0008 7583h	ICU	NMI 引脚中断控制寄存器	NMICR	8	8	2 个 ICLK
0008 8000h	CMT	比较匹配定时器的启动寄存器 0	CMSTR0	16	16	2~3 个 PCLK (注8)
0008 8002h	CMT0	比较匹配定时器的控制寄存器	CMCR	16	16	2~3 个 PCLK (注8)
0008 8004h	CMT0	比较匹配定时器的计数器	CMCNT	16	16	2~3 个 PCLK (注8)
0008 8006h	CMT0	比较匹配定时器的常数寄存器	CMCOR	16	16	2~3 个 PCLK (注8)
0008 8008h	CMT1	比较匹配定时器的控制寄存器	CMCR	16	16	2~3 个 PCLK (注8)
0008 800Ah	CMT1	比较匹配定时器的计数器	CMCNT	16	16	2~3 个 PCLK (注8)
0008 800Ch	CMT1	比较匹配定时器的常数寄存器	CMCOR	16	16	2~3 个 PCLK (注8)
0008 8010h	CMT	比较匹配定时器的启动寄存器 1	CMSTR1	16	16	2~3 个 PCLK (注8)
0008 8012h	CMT2	比较匹配定时器的控制寄存器	CMCR	16	16	2~3 个 PCLK (注8)
0008 8014h	CMT2	比较匹配定时器的计数器	CMCNT	16	16	2~3 个 PCLK (注8)
0008 8016h	CMT2	比较匹配定时器的常数寄存器	CMCOR	16	16	2~3 个 PCLK (注8)
0008 8018h	CMT3	比较匹配定时器的控制寄存器	CMCR	16	16	2~3 个 PCLK (注8)
0008 801Ah	CMT3	比较匹配定时器的计数器	CMCNT	16	16	2~3 个 PCLK (注8)
0008 801Ch	CMT3	比较匹配定时器的常数寄存器	CMCOR	16	16	2~3 个 PCLK (注8)
0008 8028h	WDT	定时器的控制 / 状态寄存器	READ.TCSR	8	8	2~3 个 PCLK (注8)
0008 8028h	WDT	写窗口 A 寄存器	WRITE.WINA	16	16	2~3 个 PCLK (注8)
0008 8029h	WDT	定时器的计数器	READ.TCNT	8	8	2~3 个 PCLK (注8)
0008 802Ah	WDT	写窗口 B 寄存器	WRITE.WINB	16	16	2~3 个 PCLK (注8)

表 5.1 I/O 寄存器地址一览表 (15 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0008 802Bh	WDT	复位的控制 / 状态寄存器	READ.RSTCSR	8	8	2 ~ 3 个 PCLK (注8)
0008 8030h	IWDT	IWDT 刷新寄存器	IWDTRR	8	8	2 ~ 3 个 PCLK (注8)
0008 8032h	IWDT	IWDT 控制寄存器	IWDTCR	16	16	2 ~ 3 个 PCLK (注8)
0008 8034h	IWDT	IWDT 状态寄存器	IWDTSR	16	16	2 ~ 3 个 PCLK (注8)
0008 8040h	AD0	A/D 数据寄存器 A	ADDRA	16	16	2 ~ 3 个 PCLK (注8)
0008 8042h	AD0	A/D 数据寄存器 B	ADDRB	16	16	2 ~ 3 个 PCLK (注8)
0008 8044h	AD0	A/D 数据寄存器 C	ADDRC	16	16	2 ~ 3 个 PCLK (注8)
0008 8046h	AD0	A/D 数据寄存器 D	ADDRD	16	16	2 ~ 3 个 PCLK (注8)
0008 8050h	AD0	A/D 控制 / 状态寄存器	ADCSR	8	8	2 ~ 3 个 PCLK (注8)
0008 8051h	AD0	A/D 控制寄存器	ADCR	8	8	2 ~ 3 个 PCLK (注8)
0008 8052h	AD0	ADDRn 格式选择寄存器	ADDPR	8	8	2 ~ 3 个 PCLK (注8)
0008 8053h	AD0	A/D 采样状态寄存器	ADSSTR	8	8	2 ~ 3 个 PCLK (注8)
0008 805Fh	AD0	A/D 自诊断寄存器	ADDIAGR	8	8	2 ~ 3 个 PCLK (注8)
0008 8060h	AD1	A/D 数据寄存器 A	ADDRA	16	16	2 ~ 3 个 PCLK (注8)
0008 8062h	AD1	A/D 数据寄存器 B	ADDRB	16	16	2 ~ 3 个 PCLK (注8)
0008 8064h	AD1	A/D 数据寄存器 C	ADDRC	16	16	2 ~ 3 个 PCLK (注8)
0008 8066h	AD1	A/D 数据寄存器 D	ADDRD	16	16	2 ~ 3 个 PCLK (注8)
0008 8070h	AD1	A/D 控制 / 状态寄存器	ADCSR	8	8	2 ~ 3 个 PCLK (注8)
0008 8071h	AD1	A/D 控制寄存器	ADCR	8	8	2 ~ 3 个 PCLK (注8)
0008 8072h	AD1	ADDRn 格式选择寄存器	ADDPR	8	8	2 ~ 3 个 PCLK (注8)
0008 8073h	AD1	A/D 采样状态寄存器	ADSSTR	8	8	2 ~ 3 个 PCLK (注8)
0008 807Fh	AD1	A/D 自诊断寄存器	ADDIAGR	8	8	2 ~ 3 个 PCLK (注8)
0008 80C0h	DA	D/A 数据寄存器 0	DADR0	16	16	2 ~ 3 个 PCLK (注8)
0008 80C2h	DA	D/A 数据寄存器 1	DADR1	16	16	2 ~ 3 个 PCLK (注8)
0008 80C4h	DA	D/A 控制寄存器	DACR	8	8	2 ~ 3 个 PCLK (注8)
0008 80C5h	DA	DADRm 格式选择寄存器	DADPR	8	8	2 ~ 3 个 PCLK (注8)
0008 81E6h	PPG0	PPG 输出控制寄存器	PCR	8	8	2 ~ 3 个 PCLK (注8)
0008 81E7h	PPG0	PPG 输出模式寄存器	PMR	8	8	2 ~ 3 个 PCLK (注8)
0008 81E8h	PPG0	下一个数据允许寄存器 H	NDERH	8	8	2 ~ 3 个 PCLK (注8)
0008 81E9h	PPG0	下一个数据允许寄存器 L	NDERL	8	8	2 ~ 3 个 PCLK (注8)

表 5.1 I/O 寄存器地址一览表 (16 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0008 81EAh	PPG0	输出数据寄存器 H	PODRH	8	8	2~3 个 PCLK (注8)
0008 81EBh	PPG0	输出数据寄存器 L	PODRL	8	8	2~3 个 PCLK (注8)
0008 81ECh (注1)	PPG0	下一个数据寄存器 H	NDRH	8	8	2~3 个 PCLK (注8)
0008 81EDh (注2)	PPG0	下一个数据寄存器 L	NDRL	8	8	2~3 个 PCLK (注8)
0008 81EEh (注1)	PPG0	下一个数据寄存器 H2	NDRH2	8	8	2~3 个 PCLK (注8)
0008 81EFh (注2)	PPG0	下一个数据寄存器 L2	NDRL2	8	8	2~3 个 PCLK (注8)
0008 81F0h	PPG1	PPG 触发选择寄存器	PTRSLR	8	8	2~3 个 PCLK (注8)
0008 81F6h	PPG1	PPG 输出控制寄存器	PCR	8	8	2~3 个 PCLK (注8)
0008 81F7h	PPG1	PPG 输出模式寄存器	PMR	8	8	2~3 个 PCLK (注8)
0008 81F8h	PPG1	下一个数据允许寄存器 H2	NDERH2	8	8	2~3 个 PCLK (注8)
0008 81F9h	PPG1	下一个数据允许寄存器 L2	NDERL2	8	8	2~3 个 PCLK (注8)
0008 81FAh	PPG1	输出数据寄存器 H	PODRH	8	8	2~3 个 PCLK (注8)
0008 81FBh	PPG1	输出数据寄存器 L	PODRL	8	8	2~3 个 PCLK (注8)
0008 81FCh (注3)	PPG1	下一个数据寄存器 H	NDRH	8	8	2~3 个 PCLK (注8)
0008 81FDh (注4)	PPG1	下一个数据寄存器 L	NDRL	8	8	2~3 个 PCLK (注8)
0008 81FEh (注3)	PPG1	下一个数据寄存器 H2	NDRH2	8	8	2~3 个 PCLK (注8)
0008 81FFh (注4)	PPG1	下一个数据寄存器 L2	NDRL2	8	8	2~3 个 PCLK (注8)
0008 8200h	TMR0	定时器的控制寄存器	TCR	8	8	2~3 个 PCLK (注8)
0008 8201h	TMR1	定时器的控制寄存器	TCR	8	8	2~3 个 PCLK (注8)
0008 8202h	TMR0	定时器的控制 / 状态寄存器	TCSR	8	8	2~3 个 PCLK (注8)
0008 8203h	TMR1	定时器的控制 / 状态寄存器	TCSR	8	8	2~3 个 PCLK (注8)
0008 8204h	TMR0	时间常数寄存器 A	TCORA	8	8	2~3 个 PCLK (注8)
0008 8205h	TMR1	时间常数寄存器 A	TCORA	8	8	2~3 个 PCLK (注8)
0008 8206h	TMR0	时间常数寄存器 B	TCORB	8	8	2~3 个 PCLK (注8)
0008 8207h	TMR1	时间常数寄存器 B	TCORB	8	8	2~3 个 PCLK (注8)
0008 8208h	TMR0	定时器的计数器	TCNT	8	8	2~3 个 PCLK (注8)
0008 8209h	TMR1	定时器的计数器	TCNT	8	8	2~3 个 PCLK (注8)
0008 820Ah	TMR0	定时器的计数器控制寄存器	TCCR	8	8	2~3 个 PCLK (注8)
0008 820Bh	TMR1	定时器的计数器控制寄存器	TCCR	8	8	2~3 个 PCLK (注8)
0008 8204h	TMR01	时间常数寄存器 A	TCORA	16	16	2~3 个 PCLK (注8)

表 5.1 I/O 寄存器地址一览表 (17 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0008 8206h	TMR01	时间常数寄存器 B	TCORB	16	16	2~3 个 PCLK (注8)
0008 8208h	TMR01	定时器的计数器	TCNT	16	16	2~3 个 PCLK (注8)
0008 820Ah	TMR01	定时器的计数器控制寄存器	TCCR	16	16	2~3 个 PCLK (注8)
0008 8210h	TMR2	定时器的控制寄存器	TCR	8	8	2~3 个 PCLK (注8)
0008 8211h	TMR3	定时器的控制寄存器	TCR	8	8	2~3 个 PCLK (注8)
0008 8212h	TMR2	定时器的控制 / 状态寄存器	TCSR	8	8	2~3 个 PCLK (注8)
0008 8213h	TMR3	定时器的控制 / 状态寄存器	TCSR	8	8	2~3 个 PCLK (注8)
0008 8214h	TMR2	时间常数寄存器 A	TCORA	8	8	2~3 个 PCLK (注8)
0008 8215h	TMR3	时间常数寄存器 A	TCORA	8	8	2~3 个 PCLK (注8)
0008 8216h	TMR2	时间常数寄存器 B	TCORB	8	8	2~3 个 PCLK (注8)
0008 8217h	TMR3	时间常数寄存器 B	TCORB	8	8	2~3 个 PCLK (注8)
0008 8218h	TMR2	定时器的计数器	TCNT	8	8	2~3 个 PCLK (注8)
0008 8219h	TMR3	定时器的计数器	TCNT	8	8	2~3 个 PCLK (注8)
0008 821Ah	TMR2	定时器的计数器控制寄存器	TCCR	8	8	2~3 个 PCLK (注8)
0008 821Bh	TMR3	定时器的计数器控制寄存器	TCCR	8	8	2~3 个 PCLK (注8)
0008 8214h	TMR23	时间常数寄存器 A	TCORA	16	16	2~3 个 PCLK (注8)
0008 8216h	TMR23	时间常数寄存器 B	TCORB	16	16	2~3 个 PCLK (注8)
0008 8218h	TMR23	定时器的计数器	TCNT	16	16	2~3 个 PCLK (注8)
0008 821Ah	TMR23	定时器的计数器控制寄存器	TCCR	16	16	2~3 个 PCLK (注8)
0008 8240h	SCI0	串行模式寄存器	SMR	8	8	2~3 个 PCLK (注8)
0008 8241h	SCI0	位速率寄存器	BRR	8	8	2~3 个 PCLK (注8)
0008 8242h	SCI0	串行控制寄存器	SCR	8	8	2~3 个 PCLK (注8)
0008 8243h	SCI0	发送数据寄存器	TDR	8	8	2~3 个 PCLK (注8)
0008 8244h	SCI0	串行状态寄存器	SSR	8	8	2~3 个 PCLK (注8)
0008 8245h	SCI0	接收数据寄存器	RDR	8	8	2~3 个 PCLK (注8)
0008 8246h	SCI0	智能卡模式寄存器	SCMR	8	8	2~3 个 PCLK (注8)
0008 8247h	SCI0	串行扩展模式寄存器	SEMR	8	8	2~3 个 PCLK (注8)
0008 8240h	SMCI0	串行模式寄存器	SMR	8	8	2~3 个 PCLK (注8)
0008 8241h	SMCI0	位速率寄存器	BRR	8	8	2~3 个 PCLK (注8)
0008 8242h	SMCI0	串行控制寄存器	SCR	8	8	2~3 个 PCLK (注8)

表 5.1 I/O 寄存器地址一览表 (18 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0008 8243h	SMCI0	发送数据寄存器	TDR	8	8	2~3个PCLK (注8)
0008 8244h	SMCI0	串行状态寄存器	SSR	8	8	2~3个PCLK (注8)
0008 8245h	SMCI0	接收数据寄存器	RDR	8	8	2~3个PCLK (注8)
0008 8246h	SMCI0	智能卡模式寄存器	SCMR	8	8	2~3个PCLK (注8)
0008 8248h	SCI1	串行模式寄存器	SMR	8	8	2~3个PCLK (注8)
0008 8249h	SCI1	位速率寄存器	BRR	8	8	2~3个PCLK (注8)
0008 824Ah	SCI1	串行控制寄存器	SCR	8	8	2~3个PCLK (注8)
0008 824Bh	SCI1	发送数据寄存器	TDR	8	8	2~3个PCLK (注8)
0008 824Ch	SCI1	串行状态寄存器	SSR	8	8	2~3个PCLK (注8)
0008 824Dh	SCI1	接收数据寄存器	RDR	8	8	2~3个PCLK (注8)
0008 824Eh	SCI1	智能卡模式寄存器	SCMR	8	8	2~3个PCLK (注8)
0008 824Fh	SCI1	串行扩展模式寄存器	SEMR	8	8	2~3个PCLK (注8)
0008 8248h	SMCI1	串行模式寄存器	SMR	8	8	2~3个PCLK (注8)
0008 8249h	SMCI1	位速率寄存器	BRR	8	8	2~3个PCLK (注8)
0008 824Ah	SMCI1	串行控制寄存器	SCR	8	8	2~3个PCLK (注8)
0008 824Bh	SMCI1	发送数据寄存器	TDR	8	8	2~3个PCLK (注8)
0008 824Ch	SMCI1	串行状态寄存器	SSR	8	8	2~3个PCLK (注8)
0008 824Dh	SMCI1	接收数据寄存器	RDR	8	8	2~3个PCLK (注8)
0008 824Eh	SMCI1	智能卡模式寄存器	SCMR	8	8	2~3个PCLK (注8)
0008 8250h	SCI2	串行模式寄存器	SMR	8	8	2~3个PCLK (注8)
0008 8251h	SCI2	位速率寄存器	BRR	8	8	2~3个PCLK (注8)
0008 8252h	SCI2	串行控制寄存器	SCR	8	8	2~3个PCLK (注8)
0008 8253h	SCI2	发送数据寄存器	TDR	8	8	2~3个PCLK (注8)
0008 8254h	SCI2	串行状态寄存器	SSR	8	8	2~3个PCLK (注8)
0008 8255h	SCI2	接收数据寄存器	RDR	8	8	2~3个PCLK (注8)
0008 8256h	SCI2	智能卡模式寄存器	SCMR	8	8	2~3个PCLK (注8)
0008 8257h	SCI2	串行扩展模式寄存器	SEMR	8	8	2~3个PCLK (注8)
0008 8250h	SMCI2	串行模式寄存器	SMR	8	8	2~3个PCLK (注8)
0008 8251h	SMCI2	位速率寄存器	BRR	8	8	2~3个PCLK (注8)
0008 8252h	SMCI2	串行控制寄存器	SCR	8	8	2~3个PCLK (注8)

表 5.1 I/O 寄存器地址一览表 (19 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0008 8253h	SMCI2	发送数据寄存器	TDR	8	8	2~3个PCLK (注8)
0008 8254h	SMCI2	串行状态寄存器	SSR	8	8	2~3个PCLK (注8)
0008 8255h	SMCI2	接收数据寄存器	RDR	8	8	2~3个PCLK (注8)
0008 8256h	SMCI2	智能卡模式寄存器	SCMR	8	8	2~3个PCLK (注8)
0008 8258h	SCI3	串行模式寄存器	SMR	8	8	2~3个PCLK (注8)
0008 8259h	SCI3	位速率寄存器	BRR	8	8	2~3个PCLK (注8)
0008 825Ah	SCI3	串行控制寄存器	SCR	8	8	2~3个PCLK (注8)
0008 825Bh	SCI3	发送数据寄存器	TDR	8	8	2~3个PCLK (注8)
0008 825Ch	SCI3	串行状态寄存器	SSR	8	8	2~3个PCLK (注8)
0008 825Dh	SCI3	接收数据寄存器	RDR	8	8	2~3个PCLK (注8)
0008 825Eh	SCI3	智能卡模式寄存器	SCMR	8	8	2~3个PCLK (注8)
0008 825Fh	SCI3	串行扩展模式寄存器	SEMR	8	8	2~3个PCLK (注8)
0008 8258h	SMCI3	串行模式寄存器	SMR	8	8	2~3个PCLK (注8)
0008 8259h	SMCI3	位速率寄存器	BRR	8	8	2~3个PCLK (注8)
0008 825Ah	SMCI3	串行控制寄存器	SCR	8	8	2~3个PCLK (注8)
0008 825Bh	SMCI3	发送数据寄存器	TDR	8	8	2~3个PCLK (注8)
0008 825Ch	SMCI3	串行状态寄存器	SSR	8	8	2~3个PCLK (注8)
0008 825Dh	SMCI3	接收数据寄存器	RDR	8	8	2~3个PCLK (注8)
0008 825Eh	SMCI3	智能卡模式寄存器	SCMR	8	8	2~3个PCLK (注8)
0008 8268h	SCI5	串行模式寄存器	SMR	8	8	2~3个PCLK (注8)
0008 8269h	SCI5	位速率寄存器	BRR	8	8	2~3个PCLK (注8)
0008 826Ah	SCI5	串行控制寄存器	SCR	8	8	2~3个PCLK (注8)
0008 826Bh	SCI5	发送数据寄存器	TDR	8	8	2~3个PCLK (注8)
0008 826Ch	SCI5	串行状态寄存器	SSR	8	8	2~3个PCLK (注8)
0008 826Dh	SCI5	接收数据寄存器	RDR	8	8	2~3个PCLK (注8)
0008 826Eh	SCI5	智能卡模式寄存器	SCMR	8	8	2~3个PCLK (注8)
0008 826Fh	SCI5	串行扩展模式寄存器	SEMR	8	8	2~3个PCLK (注8)
0008 8268h	SMCI5	串行模式寄存器	SMR	8	8	2~3个PCLK (注8)
0008 8269h	SMCI5	位速率寄存器	BRR	8	8	2~3个PCLK (注8)
0008 826Ah	SMCI5	串行控制寄存器	SCR	8	8	2~3个PCLK (注8)

表 5.1 I/O 寄存器地址一览表 (20 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0008 826Bh	SMCI5	发送数据寄存器	TDR	8	8	2~3个PCLK (注8)
0008 826Ch	SMCI5	串行状态寄存器	SSR	8	8	2~3个PCLK (注8)
0008 826Dh	SMCI5	接收数据寄存器	RDR	8	8	2~3个PCLK (注8)
0008 826Eh	SMCI5	智能卡模式寄存器	SCMR	8	8	2~3个PCLK (注8)
0008 8270h	SCI6	串行模式寄存器	SMR	8	8	2~3个PCLK (注8)
0008 8271h	SCI6	位速率寄存器	BRR	8	8	2~3个PCLK (注8)
0008 8272h	SCI6	串行控制寄存器	SCR	8	8	2~3个PCLK (注8)
0008 8273h	SCI6	发送数据寄存器	TDR	8	8	2~3个PCLK (注8)
0008 8274h	SCI6	串行状态寄存器	SSR	8	8	2~3个PCLK (注8)
0008 8275h	SCI6	接收数据寄存器	RDR	8	8	2~3个PCLK (注8)
0008 8276h	SCI6	智能卡模式寄存器	SCMR	8	8	2~3个PCLK (注8)
0008 8277h	SCI6	串行扩展模式寄存器	SEMR	8	8	2~3个PCLK (注8)
0008 8270h	SMCI6	串行模式寄存器	SMR	8	8	2~3个PCLK (注8)
0008 8271h	SMCI6	位速率寄存器	BRR	8	8	2~3个PCLK (注8)
0008 8272h	SMCI6	串行控制寄存器	SCR	8	8	2~3个PCLK (注8)
0008 8273h	SMCI6	发送数据寄存器	TDR	8	8	2~3个PCLK (注8)
0008 8274h	SMCI6	串行状态寄存器	SSR	8	8	2~3个PCLK (注8)
0008 8275h	SMCI6	接收数据寄存器	RDR	8	8	2~3个PCLK (注8)
0008 8276h	SMCI6	智能卡模式寄存器	SCMR	8	8	2~3个PCLK (注8)
0008 8280h	CRC	CRC 控制寄存器	CRCCR	8	8	2~3个PCLK (注8)
0008 8281h	CRC	CRC 数据输入寄存器	CRCDIR	8	8	2~3个PCLK (注8)
0008 8282h	CRC	CRC 数据输出寄存器	CRCDOR	16	16	2~3个PCLK (注8)
0008 8300h	RIIC0	I ² C 总线控制寄存器 1	ICCR1	8	8	2~3个PCLK (注8)
0008 8301h	RIIC0	I ² C 总线控制寄存器 2	ICCR2	8	8	2~3个PCLK (注8)
0008 8302h	RIIC0	I ² C 总线模式寄存器 1	ICMR1	8	8	2~3个PCLK (注8)
0008 8303h	RIIC0	I ² C 总线模式寄存器 2	ICMR2	8	8	2~3个PCLK (注8)
0008 8304h	RIIC0	I ² C 总线模式寄存器 3	ICMR3	8	8	2~3个PCLK (注8)
0008 8305h	RIIC0	I ² C 总线功能允许寄存器	ICFER	8	8	2~3个PCLK (注8)
0008 8306h	RIIC0	I ² C 总线状态允许寄存器	ICSER	8	8	2~3个PCLK (注8)
0008 8307h	RIIC0	I ² C 总线中断允许寄存器	ICIER	8	8	2~3个PCLK (注8)

表 5.1 I/O 寄存器地址一览表 (21 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0008 8308h	RIIC0	I ² C 总线状态寄存器 1	ICSR1	8	8	2~3 个 PCLK (注8)
0008 8309h	RIIC0	I ² C 总线状态寄存器 2	ICSR2	8	8	2~3 个 PCLK (注8)
0008 830Ah	RIIC0	从属地址寄存器 L0	SARL0	8	8	2~3 个 PCLK (注8)
0008 830Bh	RIIC0	从属地址寄存器 U0	SARU0	8	8	2~3 个 PCLK (注8)
0008 830Ch	RIIC0	从属地址寄存器 L1	SARL1	8	8	2~3 个 PCLK (注8)
0008 830Dh	RIIC0	从属地址寄存器 U1	SARU1	8	8	2~3 个 PCLK (注8)
0008 830Eh	RIIC0	从属地址寄存器 L2	SARL2	8	8	2~3 个 PCLK (注8)
0008 830Fh	RIIC0	从属地址寄存器 U2	SARU2	8	8	2~3 个 PCLK (注8)
0008 8310h	RIIC0	I ² C 总线位速率低电平寄存器	ICBRL	8	8	2~3 个 PCLK (注8)
0008 8311h	RIIC0	I ² C 总线位速率低电平寄存器	ICBRH	8	8	2~3 个 PCLK (注8)
0008 8312h	RIIC0	I ² C 总线发送数据寄存器	ICDRT	8	8	2~3 个 PCLK (注8)
0008 8313h	RIIC0	I ² C 总线接收数据寄存器	ICDRR	8	8	2~3 个 PCLK (注8)
0008 8320h	RIIC1	I ² C 总线控制寄存器 1	ICCR1	8	8	2~3 个 PCLK (注8)
0008 8321h	RIIC1	I ² C 总线控制寄存器 2	ICCR2	8	8	2~3 个 PCLK (注8)
0008 8322h	RIIC1	I ² C 总线模式寄存器 1	ICMR1	8	8	2~3 个 PCLK (注8)
0008 8323h	RIIC1	I ² C 总线模式寄存器 2	ICMR2	8	8	2~3 个 PCLK (注8)
0008 8324h	RIIC1	I ² C 总线模式寄存器 3	ICMR3	8	8	2~3 个 PCLK (注8)
0008 8325h	RIIC1	I ² C 总线功能允许寄存器	ICFER	8	8	2~3 个 PCLK (注8)
0008 8326h	RIIC1	I ² C 总线状态允许寄存器	ICSER	8	8	2~3 个 PCLK (注8)
0008 8327h	RIIC1	I ² C 总线中断允许寄存器	ICIER	8	8	2~3 个 PCLK (注8)
0008 8328h	RIIC1	I ² C 总线状态寄存器 1	ICSR1	8	8	2~3 个 PCLK (注8)
0008 8329h	RIIC1	I ² C 总线状态寄存器 2	ICSR2	8	8	2~3 个 PCLK (注8)
0008 832Ah	RIIC1	从属地址寄存器 L0	SARL0	8	8	2~3 个 PCLK (注8)
0008 832Bh	RIIC1	从属地址寄存器 U0	SARU0	8	8	2~3 个 PCLK (注8)
0008 832Ch	RIIC1	从属地址寄存器 L1	SARL1	8	8	2~3 个 PCLK (注8)
0008 832Dh	RIIC1	从属地址寄存器 U1	SARU1	8	8	2~3 个 PCLK (注8)
0008 832Eh	RIIC1	从属地址寄存器 L2	SARL2	8	8	2~3 个 PCLK (注8)
0008 832Fh	RIIC1	从属地址寄存器 U2	SARU2	8	8	2~3 个 PCLK (注8)
0008 8330h	RIIC1	I ² C 总线位速率低电平寄存器	ICBRL	8	8	2~3 个 PCLK (注8)
0008 8331h	RIIC1	I ² C 总线位速率低电平寄存器	ICBRH	8	8	2~3 个 PCLK (注8)

表 5.1 I/O 寄存器地址一览表 (22 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0008 8332h	RIIC1	I ² C 总线发送数据寄存器	ICDRT	8	8	2~3 个 PCLK (注8)
0008 8333h	RIIC1	I ² C 总线接收数据寄存器	ICDRR	8	8	2~3 个 PCLK (注8)
0008 8380h	RSPI0	RSPI 控制寄存器	SPCR	8	8	2~3 个 PCLK (注8)
0008 8381h	RSPI0	RSPI 从属选择极性寄存器	SSLP	8	8	2~3 个 PCLK (注8)
0008 8382h	RSPI0	RSPI 引脚控制寄存器	SPPCR	8	8	2~3 个 PCLK (注8)
0008 8383h	RSPI0	RSPI 状态寄存器	SPSR	8	8	2~3 个 PCLK (注8)
0008 8384h	RSPI0	RSPI 数据寄存器	SPDR	32	16、32	2~3 个 PCLK (注8)
0008 8388h	RSPI0	RSPI 顺序控制寄存器	SPSCR	8	8	2~3 个 PCLK (注8)
0008 8389h	RSPI0	RSPI 顺序状态寄存器	SPSSR	8	8	2~3 个 PCLK (注8)
0008 838Ah	RSPI0	RSPI 位速率寄存器	SPBR	8	8	2~3 个 PCLK (注8)
0008 838Bh	RSPI0	RSPI 数据控制寄存器	SPDCR	8	8	2~3 个 PCLK (注8)
0008 838Ch	RSPI0	RSPI 时钟延迟寄存器	SPCKD	8	8	2~3 个 PCLK (注8)
0008 838Dh	RSPI0	RSPI 从属选择无效延迟寄存器	SSLND	8	8	2~3 个 PCLK (注8)
0008 838Eh	RSPI0	RSPI 下次存取延迟寄存器	SPND	8	8	2~3 个 PCLK (注8)
0008 838Fh	RSPI0	RSPI 控制寄存器 2	SPCR2	8	8	2~3 个 PCLK (注8)
0008 8390h	RSPI0	RSPI 命令寄存器 0	SPCMD0	16	16	2~3 个 PCLK (注8)
0008 8392h	RSPI0	RSPI 命令寄存器 1	SPCMD1	16	16	2~3 个 PCLK (注8)
0008 8394h	RSPI0	RSPI 命令寄存器 2	SPCMD2	16	16	2~3 个 PCLK (注8)
0008 8396h	RSPI0	RSPI 命令寄存器 3	SPCMD3	16	16	2~3 个 PCLK (注8)
0008 8398h	RSPI0	RSPI 命令寄存器 4	SPCMD4	16	16	2~3 个 PCLK (注8)
0008 839Ah	RSPI0	RSPI 命令寄存器 5	SPCMD5	16	16	2~3 个 PCLK (注8)
0008 839Ch	RSPI0	RSPI 命令寄存器 6	SPCMD6	16	16	2~3 个 PCLK (注8)
0008 839Eh	RSPI0	RSPI 命令寄存器 7	SPCMD7	16	16	2~3 个 PCLK (注8)
0008 83A0h	RSPI1	RSPI 控制寄存器	SPCR	8	8	2~3 个 PCLK (注8)
0008 83A1h	RSPI1	RSPI 从属选择极性寄存器	SSLP	8	8	2~3 个 PCLK (注8)
0008 83A2h	RSPI1	RSPI 引脚控制寄存器	SPPCR	8	8	2~3 个 PCLK (注8)
0008 83A3h	RSPI1	RSPI 状态寄存器	SPSR	8	8	2~3 个 PCLK (注8)
0008 83A4h	RSPI1	RSPI 数据寄存器	SPDR	32	16、32	2~3 个 PCLK (注8)
0008 83A8h	RSPI1	RSPI 顺序控制寄存器	SPSCR	8	8	2~3 个 PCLK (注8)
0008 83A9h	RSPI1	RSPI 顺序状态寄存器	SPSSR	8	8	2~3 个 PCLK (注8)

表 5.1 I/O 寄存器地址一览表 (23 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0008 83AAh	RSPI1	RSPI 位速率寄存器	SPBR	8	8	2~3 个 PCLK (注8)
0008 83ABh	RSPI1	RSPI 数据控制寄存器	SPDCR	8	8	2~3 个 PCLK (注8)
0008 83ACh	RSPI1	RSPI 时钟延迟寄存器	SPCKD	8	8	2~3 个 PCLK (注8)
0008 83ADh	RSPI1	RSPI 从属选择无效延迟寄存器	SSLND	8	8	2~3 个 PCLK (注8)
0008 83AEh	RSPI1	RSPI 下次存取延迟寄存器	SPND	8	8	2~3 个 PCLK (注8)
0008 83AFh	RSPI1	RSPI 控制寄存器 2	SPCR2	8	8	2~3 个 PCLK (注8)
0008 83B0h	RSPI1	RSPI 命令寄存器 0	SPCMD0	16	16	2~3 个 PCLK (注8)
0008 83B2h	RSPI1	RSPI 命令寄存器 1	SPCMD1	16	16	2~3 个 PCLK (注8)
0008 83B4h	RSPI1	RSPI 命令寄存器 2	SPCMD2	16	16	2~3 个 PCLK (注8)
0008 83B6h	RSPI1	RSPI 命令寄存器 3	SPCMD3	16	16	2~3 个 PCLK (注8)
0008 83B8h	RSPI1	RSPI 命令寄存器 4	SPCMD4	16	16	2~3 个 PCLK (注8)
0008 83BAh	RSPI1	RSPI 命令寄存器 5	SPCMD5	16	16	2~3 个 PCLK (注8)
0008 83BCh	RSPI1	RSPI 命令寄存器 6	SPCMD6	16	16	2~3 个 PCLK (注8)
0008 83BEh	RSPI1	RSPI 命令寄存器 7	SPCMD7	16	16	2~3 个 PCLK (注8)
0008 8600h	MTU3	定时器控制寄存器	TCR	8	8	2~3 个 PCLK (注8)
0008 8601h	MTU4	定时器控制寄存器	TCR	8	8	2~3 个 PCLK (注8)
0008 8602h	MTU3	定时器的模式寄存器	TMDR	8	8	2~3 个 PCLK (注8)
0008 8603h	MTU4	定时器的模式寄存器	TMDR	8	8	2~3 个 PCLK (注8)
0008 8604h	MTU3	定时器的 I/O 控制寄存器 H	TIORH	8	8	2~3 个 PCLK (注8)
0008 8605h	MTU3	定时器的 I/O 控制寄存器 L	TIORL	8	8	2~3 个 PCLK (注8)
0008 8606h	MTU4	定时器的 I/O 控制寄存器 H	TIORH	8	8	2~3 个 PCLK (注8)
0008 8607h	MTU4	定时器的 I/O 控制寄存器 L	TIORL	8	8	2~3 个 PCLK (注8)
0008 8608h	MTU3	定时器的中断允许寄存器	TIER	8	8	2~3 个 PCLK (注8)
0008 8609h	MTU4	定时器的中断允许寄存器	TIER	8	8	2~3 个 PCLK (注8)
0008 860Ah	MTUA	定时器的输出主控允许寄存器	TOER	8	8	2~3 个 PCLK (注8)
0008 860Dh	MTUA	定时器的门控寄存器	TGCR	8	8	2~3 个 PCLK (注8)
0008 860Eh	MTUA	定时器的输出控制寄存器 1	TOCR1	8	8	2~3 个 PCLK (注8)
0008 860Fh	MTUA	定时器的输出控制寄存器 2	TOCR2	8	8	2~3 个 PCLK (注8)
0008 8610h	MTU3	定时器的计数器	TCNT	16	16	2~3 个 PCLK (注8)
0008 8612h	MTU4	定时器的计数器	TCNT	16	16	2~3 个 PCLK (注8)

表 5.1 I/O 寄存器地址一览表 (24 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0008 8614h	MTUA	定时器的周期数据寄存器	TCDR	16	16	2~3个PCLK (注8)
0008 8616h	MTUA	定时器的死区时间数据寄存器	TDDR	16	16	2~3个PCLK (注8)
0008 8618h	MTU3	定时器的通用寄存器 A	TGRA	16	16	2~3个PCLK (注8)
0008 861Ah	MTU3	定时器的通用寄存器 B	TGRB	16	16	2~3个PCLK (注8)
0008 861Ch	MTU4	定时器的通用寄存器 A	TGRA	16	16	2~3个PCLK (注8)
0008 861Eh	MTU4	定时器的通用寄存器 B	TGRB	16	16	2~3个PCLK (注8)
0008 8620h	MTUA	定时器的副计数器	TCNTS	16	16	2~3个PCLK (注8)
0008 8622h	MTUA	定时器的周期缓冲寄存器	TGBR	16	16	2~3个PCLK (注8)
0008 8624h	MTU3	定时器的通用寄存器 C	TGRC	16	16	2~3个PCLK (注8)
0008 8626h	MTU3	定时器的通用寄存器 D	TGRD	16	16	2~3个PCLK (注8)
0008 8628h	MTU4	定时器的通用寄存器 C	TGRC	16	16	2~3个PCLK (注8)
0008 862Ah	MTU4	定时器的通用寄存器 D	TGRD	16	16	2~3个PCLK (注8)
0008 862Ch	MTU3	定时器的状态寄存器	TSR	8	8	2~3个PCLK (注8)
0008 862Dh	MTU4	定时器的状态寄存器	TSR	8	8	2~3个PCLK (注8)
0008 8630h	MTUA	定时器的中断减少设定寄存器	TITCR	8	8	2~3个PCLK (注8)
0008 8631h	MTUA	定时器的中断减少次数计数器	TITCNT	8	8	2~3个PCLK (注8)
0008 8632h	MTUA	定时器的缓冲传送设定寄存器	TBTER	8	8	2~3个PCLK (注8)
0008 8634h	MTUA	定时器的死区时间允许寄存器	TDER	8	8	2~3个PCLK (注8)
0008 8636h	MTUA	定时器的输出电平缓冲寄存器	TOLBR	8	8	2~3个PCLK (注8)
0008 8638h	MTU3	定时器的缓冲运行传送模式寄存器	TBTM	8	8	2~3个PCLK (注8)
0008 8639h	MTU4	定时器的缓冲运行传送模式寄存器	TBTM	8	8	2~3个PCLK (注8)
0008 8640h	MTU4	定时器的 A/D 转换开始请求控制寄存器	TADCR	16	16	2~3个PCLK (注8)
0008 8644h	MTU4	定时器的 A/D 转换开始请求周期设定寄存器 A	TADCORA	16	16	2~3个PCLK (注8)
0008 8646h	MTU4	定时器的 A/D 转换开始请求周期设定寄存器 B	TADCORB	16	16	2~3个PCLK (注8)
0008 8648h	MTU4	定时器的 A/D 转换开始请求周期设定缓冲寄存器 A	TADCOBRA	16	16	2~3个PCLK (注8)
0008 864Ah	MTU4	定时器的 A/D 转换开始请求周期设定缓冲寄存器 B	TADCOBRB	16	16	2~3个PCLK (注8)
0008 8660h	MTUA	定时器的波形控制寄存器	TWCR	8	8	2~3个PCLK (注8)
0008 8680h	MTUA	定时器的启动寄存器	TSTR	8	8	2~3个PCLK (注8)
0008 8681h	MTUA	定时器的同步寄存器	TSYR	8	8	2~3个PCLK (注8)
0008 8684h	MTUA	定时器的读写允许寄存器	TRWER	8	8	2~3个PCLK (注8)

表 5.1 I/O 寄存器地址一览表 (25 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0008 8700h	MTU0	定时器的控制寄存器	TCR	8	8	2~3个PCLK (注8)
0008 8701h	MTU0	定时器的模式寄存器	TMDR	8	8	2~3个PCLK (注8)
0008 8702h	MTU0	定时器的I/O控制寄存器H	TIORH	8	8	2~3个PCLK (注8)
0008 8703h	MTU0	定时器的I/O控制寄存器L	TIORL	8	8	2~3个PCLK (注8)
0008 8704h	MTU0	定时器的中断允许寄存器	TIER	8	8	2~3个PCLK (注8)
0008 8705h	MTU0	定时器的状态寄存器	TSR	8	8	2~3个PCLK (注8)
0008 8706h	MTU0	定时器的计数器	TCNT	16	16	2~3个PCLK (注8)
0008 8708h	MTU0	定时器的通用寄存器A	TGRA	16	16	2~3个PCLK (注8)
0008 870Ah	MTU0	定时器的通用寄存器B	TGRB	16	16	2~3个PCLK (注8)
0008 870Ch	MTU0	定时器的通用寄存器C	TGRC	16	16	2~3个PCLK (注8)
0008 870Eh	MTU0	定时器的通用寄存器D	TGRD	16	16	2~3个PCLK (注8)
0008 8720h	MTU0	定时器的通用寄存器E	TGRE	16	16	2~3个PCLK (注8)
0008 8722h	MTU0	定时器的通用寄存器F	TGRF	16	16	2~3个PCLK (注8)
0008 8724h	MTU0	定时器的中断允许寄存器2	TIER2	8	8	2~3个PCLK (注8)
0008 8726h	MTU0	定时器的缓冲运行传送模式寄存器	TBTM	8	8	2~3个PCLK (注8)
0008 8780h	MTU1	定时器的控制寄存器	TCR	8	8	2~3个PCLK (注8)
0008 8781h	MTU1	定时器的模式寄存器	TMDR	8	8	2~3个PCLK (注8)
0008 8782h	MTU1	定时器的I/O控制寄存器	TIOR	8	8	2~3个PCLK (注8)
0008 8784h	MTU1	定时器的中断允许寄存器	TIER	8	8	2~3个PCLK (注8)
0008 8785h	MTU1	定时器的状态寄存器	TSR	8	8	2~3个PCLK (注8)
0008 8786h	MTU1	定时器的计数器	TCNT	16	16	2~3个PCLK (注8)
0008 8788h	MTU1	定时器的通用寄存器A	TGRA	16	16	2~3个PCLK (注8)
0008 878Ah	MTU1	定时器的通用寄存器B	TGRB	16	16	2~3个PCLK (注8)
0008 8790h	MTU1	定时器的输入捕捉控制寄存器	TICCR	8	8	2~3个PCLK (注8)
0008 8800h	MTU2	定时器的控制寄存器	TCR	8	8	2~3个PCLK (注8)
0008 8801h	MTU2	定时器的模式寄存器	TMDR	8	8	2~3个PCLK (注8)
0008 8802h	MTU2	定时器的I/O控制寄存器	TIOR	8	8	2~3个PCLK (注8)
0008 8804h	MTU2	定时器的中断允许寄存器	TIER	8	8	2~3个PCLK (注8)
0008 8805h	MTU2	定时器的状态寄存器	TSR	8	8	2~3个PCLK (注8)
0008 8806h	MTU2	定时器的计数器	TCNT	16	16	2~3个PCLK (注8)

表 5.1 I/O 寄存器地址一览表 (26 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0008 8808h	MTU2	定时器的通用寄存器 A	TGRA	16	16	2~3 个 PCLK (注8)
0008 880Ah	MTU2	定时器的通用寄存器 B	TGRB	16	16	2~3 个 PCLK (注8)
0008 8880h	MTU5	定时器的计数器 U	TCNTU	16	16	2~3 个 PCLK (注8)
0008 8882h	MTU5	定时器的通用寄存器 U	TGRU	16	16	2~3 个 PCLK (注8)
0008 8884h	MTU5	定时器的控制寄存器 U	TCRU	8	8	2~3 个 PCLK (注8)
0008 8886h	MTU5	定时器的 I/O 控制寄存器 U	TIORU	8	8	2~3 个 PCLK (注8)
0008 8890h	MTU5	定时器的计数器 V	TCNTV	16	16	2~3 个 PCLK (注8)
0008 8892h	MTU5	定时器的通用寄存器 V	TGRV	16	16	2~3 个 PCLK (注8)
0008 8894h	MTU5	定时器的控制寄存器 V	TCRV	8	8	2~3 个 PCLK (注8)
0008 8896h	MTU5	定时器的 I/O 控制寄存器 V	TIORV	8	8	2~3 个 PCLK (注8)
0008 88A0h	MTU5	定时器的计数器 W	TCNTW	16	16	2~3 个 PCLK (注8)
0008 88A2h	MTU5	定时器的通用寄存器 W	TGRW	16	16	2~3 个 PCLK (注8)
0008 88A4h	MTU5	定时器的控制寄存器 W	TCRW	8	8	2~3 个 PCLK (注8)
0008 88A6h	MTU5	定时器的 I/O 控制寄存器 W	TIORW	8	8	2~3 个 PCLK (注8)
0008 88B2h	MTU5	定时器的中断允许寄存器	TIER	8	8	2~3 个 PCLK (注8)
0008 88B4h	MTU5	定时器的启动寄存器	TSTR	8	8	2~3 个 PCLK (注8)
0008 88B6h	MTU5	定时器的比较匹配清除寄存器	TCNTCMPCLR	8	8	2~3 个 PCLK (注8)
0008 8900h	POE	输入电平控制 / 状态寄存器 1	ICSR1	16	16	2~3 个 PCLK (注8)
0008 8902h	POE	输出电平控制 / 状态寄存器 1	OCSR1	16	16	2~3 个 PCLK (注8)
0008 8904h	POE	输入电平控制 / 状态寄存器 2	ICSR2	16	16	2~3 个 PCLK (注8)
0008 8906h	POE	输出电平控制 / 状态寄存器 2	OCSR2	16	16	2~3 个 PCLK (注8)
0008 8908h	POE	输入电平控制 / 状态寄存器 3	ICSR3	16	16	2~3 个 PCLK (注8)
0008 890Ah	POE	软件端口输出允许寄存器	SPOER	8	8	2~3 个 PCLK (注8)
0008 890Bh	POE	端口输出允许控制寄存器 1	POECR1	8	8	2~3 个 PCLK (注8)
0008 890Ch	POE	端口输出允许控制寄存器 2	POECR2	16	16	2~3 个 PCLK (注8)
0008 890Eh	POE	输入电平控制 / 状态寄存器 4	ICSR4	16	16	2~3 个 PCLK (注8)
0008 8A00h	MTU9	定时器的控制寄存器	TCR	8	8	2~3 个 PCLK (注8)
0008 8A01h	MTU10	定时器的控制寄存器	TCR	8	8	2~3 个 PCLK (注8)
0008 8A02h	MTU9	定时器的模式寄存器	TMDR	8	8	2~3 个 PCLK (注8)
0008 8A03h	MTU10	定时器的模式寄存器	TMDR	8	8	2~3 个 PCLK (注8)

表 5.1 I/O 寄存器地址一览表 (27 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0008 8A04h	MTU9	定时器的 I/O 控制寄存器 H	TIORH	8	8	2~3 个 PCLK (注8)
0008 8A05h	MTU9	定时器的 I/O 控制寄存器 L	TIORL	8	8	2~3 个 PCLK (注8)
0008 8A06h	MTU10	定时器的 I/O 控制寄存器 H	TIORH	8	8	2~3 个 PCLK (注8)
0008 8A07h	MTU10	定时器的 I/O 控制寄存器 L	TIORL	8	8	2~3 个 PCLK (注8)
0008 8A08h	MTU9	定时器的中断允许寄存器	TIER	8	8	2~3 个 PCLK (注8)
0008 8A09h	MTU10	定时器的中断允许寄存器	TIER	8	8	2~3 个 PCLK (注8)
0008 8A0Ah	MTUB	定时器的输出主控允许寄存器	TOER	8	8	2~3 个 PCLK (注8)
0008 8A0Dh	MTUB	定时器的门控寄存器	TGCR	8	8	2~3 个 PCLK (注8)
0008 8A0Eh	MTUB	定时器的输出控制寄存器 1	TOCR1	8	8	2~3 个 PCLK (注8)
0008 8A0Fh	MTUB	定时器的输出控制寄存器 2	TOCR2	8	8	2~3 个 PCLK (注8)
0008 8A10h	MTU9	定时器的计数器	TCNT	16	16	2~3 个 PCLK (注8)
0008 8A12h	MTU10	定时器的计数器	TCNT	16	16	2~3 个 PCLK (注8)
0008 8A14h	MTUB	定时器的周期数据寄存器	TCDR	16	16	2~3 个 PCLK (注8)
0008 8A16h	MTUB	定时器的死区时间数据寄存器	TDDR	16	16	2~3 个 PCLK (注8)
0008 8A18h	MTU9	定时器的通用寄存器 A	TGRA	16	16	2~3 个 PCLK (注8)
0008 8A1Ah	MTU9	定时器的通用寄存器 B	TGRB	16	16	2~3 个 PCLK (注8)
0008 8A1Ch	MTU10	定时器的通用寄存器 A	TGRA	16	16	2~3 个 PCLK (注8)
0008 8A1Eh	MTU10	定时器的通用寄存器 B	TGRB	16	16	2~3 个 PCLK (注8)
0008 8A20h	MTUB	定时器的副计数器	TCNTS	16	16	2~3 个 PCLK (注8)
0008 8A22h	MTUB	定时器的周期缓冲寄存器	TGBR	16	16	2~3 个 PCLK (注8)
0008 8A24h	MTU9	定时器的通用寄存器 C	TGRC	16	16	2~3 个 PCLK (注8)
0008 8A26h	MTU9	定时器的通用寄存器 D	TGRD	16	16	2~3 个 PCLK (注8)
0008 8A28h	MTU10	定时器的通用寄存器 C	TGRC	16	16	2~3 个 PCLK (注8)
0008 8A2Ah	MTU10	定时器的通用寄存器 D	TGRD	16	16	2~3 个 PCLK (注8)
0008 8A2Ch	MTU9	定时器的状态寄存器	TSR	8	8	2~3 个 PCLK (注8)
0008 8A2Dh	MTU10	定时器的状态寄存器	TSR	8	8	2~3 个 PCLK (注8)
0008 8A30h	MTUB	定时器的中断减少设定寄存器	TITCR	8	8	2~3 个 PCLK (注8)
0008 8A31h	MTUB	定时器的中断减少次数计数器	TITCNT	8	8	2~3 个 PCLK (注8)
0008 8A32h	MTUB	定时器的缓冲传送设定寄存器	TBTER	8	8	2~3 个 PCLK (注8)
0008 8A34h	MTUB	定时器的死区时间允许寄存器	TDER	8	8	2~3 个 PCLK (注8)

表 5.1 I/O 寄存器地址一览表 (28 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0008 8A36h	MTUB	定时器的输出电平缓冲寄存器	TOLBR	8	8	2~3个PCLK (注8)
0008 8A38h	MTU9	定时器的缓冲运行传送模式寄存器	TBTM	8	8	2~3个PCLK (注8)
0008 8A39h	MTU10	定时器的缓冲运行传送模式寄存器	TBTM	8	8	2~3个PCLK (注8)
0008 8A40h	MTU10	定时器的 A/D 转换开始请求控制寄存器	TADCR	16	16	2~3个PCLK (注8)
0008 8A44h	MTU10	定时器的 A/D 转换开始请求周期设定寄存器 A	TADCORA	16	16	2~3个PCLK (注8)
0008 8A46h	MTU10	定时器的 A/D 转换开始请求周期设定寄存器 B	TADCORB	16	16	2~3个PCLK (注8)
0008 8A48h	MTU10	定时器的 A/D 转换开始请求周期设定缓冲寄存器 A	TADCOBRA	16	16	2~3个PCLK (注8)
0008 8A4Ah	MTU10	定时器的 A/D 转换开始请求周期设定缓冲寄存器 B	TADCOBRB	16	16	2~3个PCLK (注8)
0008 8A60h	MTUB	定时器的波形控制寄存器	TWCR	8	8	2~3个PCLK (注8)
0008 8A80h	MTUB	定时器的启动寄存器	TSTR	8	8	2~3个PCLK (注8)
0008 8A81h	MTUB	定时器的同步寄存器	TSYR	8	8	2~3个PCLK (注8)
0008 8A84h	MTUB	定时器的读写允许寄存器	TRWER	8	8	2~3个PCLK (注8)
0008 8B00h	MTU6	定时器的控制寄存器	TCR	8	8	2~3个PCLK (注8)
0008 8B01h	MTU6	定时器的模式寄存器	TMDR	8	8	2~3个PCLK (注8)
0008 8B02h	MTU6	定时器的 I/O 控制寄存器 H	TIORH	8	8	2~3个PCLK (注8)
0008 8B03h	MTU6	定时器的 I/O 控制寄存器 L	TIORL	8	8	2~3个PCLK (注8)
0008 8B04h	MTU6	定时器的中断允许寄存器	TIER	8	8	2~3个PCLK (注8)
0008 8B05h	MTU6	定时器的状态寄存器	TSR	8	8	2~3个PCLK (注8)
0008 8B06h	MTU6	定时器的计数器	TCNT	16	16	2~3个PCLK (注8)
0008 8B08h	MTU6	定时器的通用寄存器 A	TGRA	16	16	2~3个PCLK (注8)
0008 8B0Ah	MTU6	定时器的通用寄存器 B	TGRB	16	16	2~3个PCLK (注8)
0008 8B0Ch	MTU6	定时器的通用寄存器 C	TGRC	16	16	2~3个PCLK (注8)
0008 8B0Eh	MTU6	定时器的通用寄存器 D	TGRD	16	16	2~3个PCLK (注8)
0008 8B20h	MTU6	定时器的通用寄存器 E	TGRE	16	16	2~3个PCLK (注8)
0008 8B22h	MTU6	定时器的通用寄存器 F	TGRF	16	16	2~3个PCLK (注8)
0008 8B24h	MTU6	定时器的中断允许寄存器 2	TIER2	8	8	2~3个PCLK (注8)
0008 8B26h	MTU6	定时器的缓冲运行传送模式寄存器	TBTM	8	8	2~3个PCLK (注8)
0008 8B80h	MTU7	定时器的控制寄存器	TCR	8	8	2~3个PCLK (注8)
0008 8B81h	MTU7	定时器的模式寄存器	TMDR	8	8	2~3个PCLK (注8)
0008 8B82h	MTU7	定时器的 I/O 控制寄存器	TIOR	8	8	2~3个PCLK (注8)

表 5.1 I/O 寄存器地址一览表 (29 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0008 8B84h	MTU7	定时器的中断允许寄存器	TIER	8	8	2~3个PCLK (注8)
0008 8B85h	MTU7	定时器的状态寄存器	TSR	8	8	2~3个PCLK (注8)
0008 8B86h	MTU7	定时器的计数器	TCNT	16	16	2~3个PCLK (注8)
0008 8B88h	MTU7	定时器的通用寄存器 A	TGRA	16	16	2~3个PCLK (注8)
0008 8B8Ah	MTU7	定时器的通用寄存器 B	TGRB	16	16	2~3个PCLK (注8)
0008 8B90h	MTU7	定时器的输入捕捉控制寄存器	TICCR	8	8	2~3个PCLK (注8)
0008 8C00h	MTU8	定时器的控制寄存器	TCR	8	8	2~3个PCLK (注8)
0008 8C01h	MTU8	定时器的模式寄存器	TMDR	8	8	2~3个PCLK (注8)
0008 8C02h	MTU8	定时器的 I/O 控制寄存器	TIOR	8	8	2~3个PCLK (注8)
0008 8C04h	MTU8	定时器的中断允许寄存器	TIER	8	8	2~3个PCLK (注8)
0008 8C05h	MTU8	定时器的状态寄存器	TSR	8	8	2~3个PCLK (注8)
0008 8C06h	MTU8	定时器的计数器	TCNT	16	16	2~3个PCLK (注8)
0008 8C08h	MTU8	定时器的通用寄存器 A	TGRA	16	16	2~3个PCLK (注8)
0008 8C0Ah	MTU8	定时器的通用寄存器 B	TGRB	16	16	2~3个PCLK (注8)
0008 8C80h	MTU11	定时器的计数器 U	TCNTU	16	16	2~3个PCLK (注8)
0008 8C82h	MTU11	定时器的通用寄存器 U	TGRU	16	16	2~3个PCLK (注8)
0008 8C84h	MTU11	定时器的控制寄存器 U	TCRU	8	8	2~3个PCLK (注8)
0008 8C86h	MTU11	定时器的 I/O 控制寄存器 U	TIORU	8	8	2~3个PCLK (注8)
0008 8C90h	MTU11	定时器的计数器 V	TCNTV	16	16	2~3个PCLK (注8)
0008 8C92h	MTU11	定时器的通用寄存器 V	TGRV	16	16	2~3个PCLK (注8)
0008 8C94h	MTU11	定时器的控制寄存器 V	TCRV	8	8	2~3个PCLK (注8)
0008 8C96h	MTU11	定时器的 I/O 控制寄存器 V	TIORV	8	8	2~3个PCLK (注8)
0008 8CA0h	MTU11	定时器的计数器 W	TCNTW	16	16	2~3个PCLK (注8)
0008 8CA2h	MTU11	定时器的通用寄存器 W	TGRW	16	16	2~3个PCLK (注8)
0008 8CA4h	MTU11	定时器的控制寄存器 W	TCRW	8	8	2~3个PCLK (注8)
0008 8CA6h	MTU11	定时器的 I/O 控制寄存器 W	TIORW	8	8	2~3个PCLK (注8)
0008 8CB2h	MTU11	定时器的中断允许寄存器	TIER	8	8	2~3个PCLK (注8)
0008 8CB4h	MTU11	定时器的启动寄存器	TSTR	8	8	2~3个PCLK (注8)
0008 8CB6h	MTU11	定时器的比较匹配清除寄存器	TCNTCMPCLR	8	8	2~3个PCLK (注8)
0008 9000h	S12AD	A/D 控制寄存器	ADCSR	8	8	2~3个PCLK (注8)

表 5.1 I/O 寄存器地址一览表 (30 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0008 9004h	S12AD	A/D 通道选择寄存器 A	ADANS	16	16	2~3 个 PCLK (注8)
0008 9008h	S12AD	A/D 转换值加法模式选择寄存器	ADADS	16	16	2~3 个 PCLK (注8)
0008 900Ch	S12AD	A/D 转换值加法次数选择寄存器	ADADC	8	8	2~3 个 PCLK (注8)
0008 900Eh	S12AD	A/D 控制扩展寄存器	ADCER	16	16	2~3 个 PCLK (注8)
0008 9010h	S12AD	A/D 开始触发选择寄存器	ADSTRGR	8	8	2~3 个 PCLK (注8)
0008 9020h	S12AD	A/D 数据寄存器 0	ADDR0	16	16	2~3 个 PCLK (注8)
0008 9022h	S12AD	A/D 数据寄存器 1	ADDR1	16	16	2~3 个 PCLK (注8)
0008 9024h	S12AD	A/D 数据寄存器 2	ADDR2	16	16	2~3 个 PCLK (注8)
0008 9026h	S12AD	A/D 数据寄存器 3	ADDR3	16	16	2~3 个 PCLK (注8)
0008 9028h	S12AD	A/D 数据寄存器 4	ADDR4	16	16	2~3 个 PCLK (注8)
0008 902Ah	S12AD	A/D 数据寄存器 5	ADDR5	16	16	2~3 个 PCLK (注8)
0008 902Ch	S12AD	A/D 数据寄存器 6	ADDR6	16	16	2~3 个 PCLK (注8)
0008 902Eh	S12AD	A/D 数据寄存器 7	ADDR7	16	16	2~3 个 PCLK (注8)
0008 C000h	PORT0	数据方向寄存器	DDR	8	8	2~3 个 PCLK (注8)
0008 C001h	PORT1	数据方向寄存器	DDR	8	8	2~3 个 PCLK (注8)
0008 C002h	PORT2	数据方向寄存器	DDR	8	8	2~3 个 PCLK (注8)
0008 C003h	PORT3	数据方向寄存器	DDR	8	8	2~3 个 PCLK (注8)
0008 C004h	PORT4	数据方向寄存器	DDR	8	8	2~3 个 PCLK (注8)
0008 C005h	PORT5	数据方向寄存器	DDR	8	8	2~3 个 PCLK (注8)
0008 C006h	PORT6	数据方向寄存器	DDR (注6、注7)	8	8	2~3 个 PCLK (注8)
0008 C007h	PORT7	数据方向寄存器	DDR (注6、注7)	8	8	2~3 个 PCLK (注8)
0008 C008h	PORT8	数据方向寄存器	DDR (注6、注7)	8	8	2~3 个 PCLK (注8)
0008 C009h	PORT9	数据方向寄存器	DDR (注6、注7)	8	8	2~3 个 PCLK (注8)
0008 C00Ah	PORTA	数据方向寄存器	DDR	8	8	2~3 个 PCLK (注8)
0008 C00Bh	PORTB	数据方向寄存器	DDR	8	8	2~3 个 PCLK (注8)
0008 C00Ch	PORTC	数据方向寄存器	DDR	8	8	2~3 个 PCLK (注8)
0008 C00Dh	PORTD	数据方向寄存器	DDR	8	8	2~3 个 PCLK (注8)
0008 C00Eh	PORTE	数据方向寄存器	DDR (注7)	8	8	2~3 个 PCLK (注8)
0008 C00Fh	PORTF	数据方向寄存器	DDR (注5、注6、注7)	8	8	2~3 个 PCLK (注8)
0008 C010h	PORTG	数据方向寄存器	DDR (注5、注6、注7)	8	8	2~3 个 PCLK (注8)

表 5.1 I/O 寄存器地址一览表 (31 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0008 C020h	PORT0	数据寄存器	DR	8	8	2~3个PCLK (注8)
0008 C021h	PORT1	数据寄存器	DR	8	8	2~3个PCLK (注8)
0008 C022h	PORT2	数据寄存器	DR	8	8	2~3个PCLK (注8)
0008 C023h	PORT3	数据寄存器	DR	8	8	2~3个PCLK (注8)
0008 C024h	PORT4	数据寄存器	DR	8	8	2~3个PCLK (注8)
0008 C025h	PORT5	数据寄存器	DR	8	8	2~3个PCLK (注8)
0008 C026h	PORT6	数据寄存器	DR (注6、注7)	8	8	2~3个PCLK (注8)
0008 C027h	PORT7	数据寄存器	DR (注6、注7)	8	8	2~3个PCLK (注8)
0008 C028h	PORT8	数据寄存器	DR (注6、注7)	8	8	2~3个PCLK (注8)
0008 C029h	PORT9	数据寄存器	DR (注6、注7)	8	8	2~3个PCLK (注8)
0008 C02Ah	PORTA	数据寄存器	DR	8	8	2~3个PCLK (注8)
0008 C02Bh	PORTB	数据寄存器	DR	8	8	2~3个PCLK (注8)
0008 C02Ch	PORTC	数据寄存器	DR	8	8	2~3个PCLK (注8)
0008 C02Dh	PORTD	数据寄存器	DR	8	8	2~3个PCLK (注8)
0008 C02Eh	PORTE	数据寄存器	DR (注7)	8	8	2~3个PCLK (注8)
0008 C02Fh	PORTF	数据寄存器	DR (注5、注6、注7)	8	8	2~3个PCLK (注8)
0008 C030h	PORTG	数据寄存器	DR (注5、注6、注7)	8	8	2~3个PCLK (注8)
0008 C040h	PORT0	端口寄存器	PORT	8	8	2~3个PCLK (注8)
0008 C041h	PORT1	端口寄存器	PORT	8	8	2~3个PCLK (注8)
0008 C042h	PORT2	端口寄存器	PORT	8	8	2~3个PCLK (注8)
0008 C043h	PORT3	端口寄存器	PORT	8	8	2~3个PCLK (注8)
0008 C044h	PORT4	端口寄存器	PORT	8	8	2~3个PCLK (注8)
0008 C045h	PORT5	端口寄存器	PORT	8	8	2~3个PCLK (注8)
0008 C046h	PORT6	端口寄存器	PORT (注6、注7)	8	8	2~3个PCLK (注8)
0008 C047h	PORT7	端口寄存器	PORT (注6、注7)	8	8	2~3个PCLK (注8)
0008 C048h	PORT8	端口寄存器	PORT (注6、注7)	8	8	2~3个PCLK (注8)
0008 C049h	PORT9	端口寄存器	PORT (注6、注7)	8	8	2~3个PCLK (注8)
0008 C04Ah	PORTA	端口寄存器	PORT	8	8	2~3个PCLK (注8)
0008 C04Bh	PORTB	端口寄存器	PORT	8	8	2~3个PCLK (注8)
0008 C04Ch	PORTC	端口寄存器	PORT	8	8	2~3个PCLK (注8)

表 5.1 I/O 寄存器地址一览表 (32 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0008 C04Dh	PORTD	端口寄存器	PORT	8	8	2~3个PCLK (注8)
0008 C04Eh	PORTE	端口寄存器	PORT (注7)	8	8	2~3个PCLK (注8)
0008 C04Fh	PORTF	端口寄存器	PORT (注5、注6、注7)	8	8	2~3个PCLK (注8)
0008 C050h	PORTG	端口寄存器	PORT (注5、注6、注7)	8	8	2~3个PCLK (注8)
0008 C060h	PORT0	输入缓冲控制寄存器	ICR	8	8	2~3个PCLK (注8)
0008 C061h	PORT1	输入缓冲控制寄存器	ICR	8	8	2~3个PCLK (注8)
0008 C062h	PORT2	输入缓冲控制寄存器	ICR	8	8	2~3个PCLK (注8)
0008 C063h	PORT3	输入缓冲控制寄存器	ICR	8	8	2~3个PCLK (注8)
0008 C064h	PORT4	输入缓冲控制寄存器	ICR	8	8	2~3个PCLK (注8)
0008 C065h	PORT5	输入缓冲控制寄存器	ICR	8	8	2~3个PCLK (注8)
0008 C066h	PORT6	输入缓冲控制寄存器	ICR (注6、注7)	8	8	2~3个PCLK (注8)
0008 C067h	PORT7	输入缓冲控制寄存器	ICR (注6、注7)	8	8	2~3个PCLK (注8)
0008 C068h	PORT8	输入缓冲控制寄存器	ICR (注6、注7)	8	8	2~3个PCLK (注8)
0008 C069h	PORT9	输入缓冲控制寄存器	ICR (注6、注7)	8	8	2~3个PCLK (注8)
0008 C06Ah	PORTA	输入缓冲控制寄存器	ICR	8	8	2~3个PCLK (注8)
0008 C06Bh	PORTB	输入缓冲控制寄存器	ICR	8	8	2~3个PCLK (注8)
0008 C06Ch	PORTC	输入缓冲控制寄存器	ICR	8	8	2~3个PCLK (注8)
0008 C06Dh	PORTD	输入缓冲控制寄存器	ICR	8	8	2~3个PCLK (注8)
0008 C06Eh	PORTE	输入缓冲控制寄存器	ICR (注7)	8	8	2~3个PCLK (注8)
0008 C06Fh	PORTF	输入缓冲控制寄存器	ICR (注5、注6、注7)	8	8	2~3个PCLK (注8)
0008 C070h	PORTG	输入缓冲控制寄存器	ICR (注5、注6、注7)	8	8	2~3个PCLK (注8)
0008 C080h	PORT0	漏极开路控制寄存器	ODR	8	8	2~3个PCLK (注8)
0008 C081h	PORT1	漏极开路控制寄存器	ODR	8	8	2~3个PCLK (注8)
0008 C082h	PORT2	漏极开路控制寄存器	ODR	8	8	2~3个PCLK (注8)
0008 C083h	PORT3	漏极开路控制寄存器	ODR	8	8	2~3个PCLK (注8)
0008 C08Ch	PORTC	漏极开路控制寄存器	ODR	8	8	2~3个PCLK (注8)
0008 C0C9h	PORT9	上拉电阻控制寄存器	PCR (注6、注7)	8	8	2~3个PCLK (注8)
0008 C0CAh	PORTA	上拉电阻控制寄存器	PCR	8	8	2~3个PCLK (注8)
0008 C0CBh	PORTB	上拉电阻控制寄存器	PCR	8	8	2~3个PCLK (注8)
0008 C0CCh	PORTC	上拉电阻控制寄存器	PCR	8	8	2~3个PCLK (注8)

表 5.1 I/O 寄存器地址一览表 (33 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0008 C0CDh	PORTD	上拉电阻控制寄存器	PCR	8	8	2~3个PCLK (注8)
0008 C0CEh	PORTE	上拉电阻控制寄存器	PCR (注7)	8	8	2~3个PCLK (注8)
0008 C0D0h	PORTG	上拉电阻控制寄存器	PCR (注5、注6、注7)	8	8	2~3个PCLK (注8)
0008 C100h	IOPORT	端口功能寄存器 0	PF0CSE	8	8	2~3个PCLK (注8)
0008 C101h	IOPORT	端口功能寄存器 1	PF1CSS (注6、注7)	8	8	2~3个PCLK (注8)
0008 C102h	IOPORT	端口功能寄存器 2	PF2CSS (注6、注7)	8	8	2~3个PCLK (注8)
0008 C103h	IOPORT	端口功能寄存器 3	PF3BUS	8	8	2~3个PCLK (注8)
0008 C104h	IOPORT	端口功能寄存器 4	PF4BUS	8	8	2~3个PCLK (注8)
0008 C105h	IOPORT	端口功能寄存器 5	PF5BUS	8	8	2~3个PCLK (注8)
0008 C106h	IOPORT	端口功能寄存器 6	PF6BUS	8	8	2~3个PCLK (注8)
0008 C107h	IOPORT	端口功能寄存器 7	PF7DMA	8	8	2~3个PCLK (注8)
0008 C108h	IOPORT	端口功能寄存器 8	PF8IRQ	8	8	2~3个PCLK (注8)
0008 C109h	IOPORT	端口功能寄存器 9	PF9IRQ	8	8	2~3个PCLK (注8)
0008 C10Ah	IOPORT	端口功能寄存器 A	PFAADC	8	8	2~3个PCLK (注8)
0008 C10Bh	IOPORT	端口功能寄存器 B	PFBTMR	8	8	2~3个PCLK (注8)
0008 C10Ch	IOPORT	端口功能寄存器 C	PFCMTU	8	8	2~3个PCLK (注8)
0008 C10Dh	IOPORT	端口功能寄存器 D	PFDMTU	8	8	2~3个PCLK (注8)
0008 C10Eh	IOPORT	端口功能寄存器 E	PFENET	8	8	2~3个PCLK (注8)
0008 C10Fh	IOPORT	端口功能寄存器 F	PFFSCI	8	8	2~3个PCLK (注8)
0008 C110h	IOPORT	端口功能寄存器 G	PFGSPI	8	8	2~3个PCLK (注8)
0008 C111h	IOPORT	端口功能寄存器 H	PFHSPI	8	8	2~3个PCLK (注8)
0008 C113h	IOPORT	端口功能寄存器 J	PFJCAN	8	8	2~3个PCLK (注8)
0008 C114h	IOPORT	端口功能寄存器 K	PFKUSB	8	8	2~3个PCLK (注8)
0008 C115h	IOPORT	端口功能寄存器 L	PFLUSB (注6、注7)	8	8	2~3个PCLK (注8)
0008 C116h	IOPORT	端口功能寄存器 M	PFMPOE (注7)	8	8	2~3个PCLK (注8)
0008 C117h	IOPORT	端口功能寄存器 N	PFNPOE (注7)	8	8	2~3个PCLK (注8)
0008 C280h	SYSTEM	深度待机等待控制寄存器	DPSBYCR	8	8	4~5个PCLK (注8)
0008 C281h	SYSTEM	深度待机等待控制寄存器	DPSWCR	8	8	4~5个PCLK (注8)
0008 C282h	SYSTEM	深度待机中断允许寄存器	DPSIER	8	8	4~5个PCLK (注8)
0008 C283h	SYSTEM	深度待机中断标志寄存器	DPSIFR	8	8	4~5个PCLK (注8)

表 5.1 I/O 寄存器地址一览表 (34 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0008 C284h	SYSTEM	深度待机中断边沿寄存器	DPSIEGR	8	8	4~5 个 PCLK (注8)
0008 C285h	SYSTEM	复位状态寄存器	RSTSR	8	8	4~5 个 PCLK (注8)
0008 C289h	FLASH	闪存编程 / 擦除保护寄存器	FWEPROR	8	8	4~5 个 PCLK (注8)
0008 C28Ah	SYSTEM	副时钟振荡器的控制寄存器	SUBOSCCR	8	8	4~5 个 PCLK (注8)
0008 C28Ch	SYSTEM	控制低电压检测的键码寄存器	LVDKEYR	8	8	4~5 个 PCLK (注8)
0008 C28Dh	SYSTEM	低电压检测控制寄存器	LVDCR	8	8	4~5 个 PCLK (注8)
0008 C290h	SYSTEM	深度待机备用寄存器 0	DPSBKR0	8	8	4~5 个 PCLK (注8)
0008 C291h	SYSTEM	深度待机备用寄存器 1	DPSBKR1	8	8	4~5 个 PCLK (注8)
0008 C292h	SYSTEM	深度待机备用寄存器 2	DPSBKR2	8	8	4~5 个 PCLK (注8)
0008 C293h	SYSTEM	深度待机备用寄存器 3	DPSBKR3	8	8	4~5 个 PCLK (注8)
0008 C294h	SYSTEM	深度待机备用寄存器 4	DPSBKR4	8	8	4~5 个 PCLK (注8)
0008 C295h	SYSTEM	深度待机备用寄存器 5	DPSBKR5	8	8	4~5 个 PCLK (注8)
0008 C296h	SYSTEM	深度待机备用寄存器 6	DPSBKR6	8	8	4~5 个 PCLK (注8)
0008 C297h	SYSTEM	深度待机备用寄存器 7	DPSBKR7	8	8	4~5 个 PCLK (注8)
0008 C298h	SYSTEM	深度待机备用寄存器 8	DPSBKR8	8	8	4~5 个 PCLK (注8)
0008 C299h	SYSTEM	深度待机备用寄存器 9	DPSBKR9	8	8	4~5 个 PCLK (注8)
0008 C29Ah	SYSTEM	深度待机备用寄存器 10	DPSBKR10	8	8	4~5 个 PCLK (注8)
0008 C29Bh	SYSTEM	深度待机备用寄存器 11	DPSBKR11	8	8	4~5 个 PCLK (注8)
0008 C29Ch	SYSTEM	深度待机备用寄存器 12	DPSBKR12	8	8	4~5 个 PCLK (注8)
0008 C29Dh	SYSTEM	深度待机备用寄存器 13	DPSBKR13	8	8	4~5 个 PCLK (注8)
0008 C29Eh	SYSTEM	深度待机备用寄存器 14	DPSBKR14	8	8	4~5 个 PCLK (注8)
0008 C29Fh	SYSTEM	深度待机备用寄存器 15	DPSBKR15	8	8	4~5 个 PCLK (注8)
0008 C2A0h	SYSTEM	深度待机备用寄存器 16	DPSBKR16	8	8	4~5 个 PCLK (注8)
0008 C2A1h	SYSTEM	深度待机备用寄存器 17	DPSBKR17	8	8	4~5 个 PCLK (注8)
0008 C2A2h	SYSTEM	深度待机备用寄存器 18	DPSBKR18	8	8	4~5 个 PCLK (注8)
0008 C2A3h	SYSTEM	深度待机备用寄存器 19	DPSBKR19	8	8	4~5 个 PCLK (注8)
0008 C2A4h	SYSTEM	深度待机备用寄存器 20	DPSBKR20	8	8	4~5 个 PCLK (注8)
0008 C2A5h	SYSTEM	深度待机备用寄存器 21	DPSBKR21	8	8	4~5 个 PCLK (注8)
0008 C2A6h	SYSTEM	深度待机备用寄存器 22	DPSBKR22	8	8	4~5 个 PCLK (注8)
0008 C2A7h	SYSTEM	深度待机备用寄存器 23	DPSBKR23	8	8	4~5 个 PCLK (注8)

表 5.1 I/O 寄存器地址一览表 (35 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0008 C2A8h	SYSTEM	深度待机备用寄存器 24	DPSBKR24	8	8	4 ~ 5 个 PCLK (注8)
0008 C2A9h	SYSTEM	深度待机备用寄存器 25	DPSBKR25	8	8	4 ~ 5 个 PCLK (注8)
0008 C2AAh	SYSTEM	深度待机备用寄存器 26	DPSBKR26	8	8	4 ~ 5 个 PCLK (注8)
0008 C2ABh	SYSTEM	深度待机备用寄存器 27	DPSBKR27	8	8	4 ~ 5 个 PCLK (注8)
0008 C2ACh	SYSTEM	深度待机备用寄存器 28	DPSBKR28	8	8	4 ~ 5 个 PCLK (注8)
0008 C2ADh	SYSTEM	深度待机备用寄存器 29	DPSBKR29	8	8	4 ~ 5 个 PCLK (注8)
0008 C2AEh	SYSTEM	深度待机备用寄存器 20	DPSBKR30	8	8	4 ~ 5 个 PCLK (注8)
0008 C2AFh	SYSTEM	深度待机备用寄存器 31	DPSBKR31	8	8	4 ~ 5 个 PCLK (注8)
0008 C400h	RTC	64Hz 计数器	R64CNT	8	8	2 ~ 3 个 PCLK (注8)
0008 C402h	RTC	秒计数器	RSECCNT	8	8	2 ~ 3 个 PCLK (注8)
0008 C404h	RTC	分钟计数器	RMINCNT	8	8	2 ~ 3 个 PCLK (注8)
0008 C406h	RTC	小时计数器	RHRCNT	8	8	2 ~ 3 个 PCLK (注8)
0008 C408h	RTC	星期计数器	RWKCNT	8	8	2 ~ 3 个 PCLK (注8)
0008 C40Ah	RTC	日计数器	RDAYCNT	8	8	2 ~ 3 个 PCLK (注8)
0008 C40Ch	RTC	月计数器	RMONCNT	8	8	2 ~ 3 个 PCLK (注8)
0008 C40Eh	RTC	年计数器	RYRCNT	16	16	2 ~ 3 个 PCLK (注8)
0008 C410h	RTC	秒闹钟寄存器	RSECAR	8	8	2 ~ 3 个 PCLK (注8)
0008 C412h	RTC	分钟闹钟寄存器	RMINAR	8	8	2 ~ 3 个 PCLK (注8)
0008 C414h	RTC	小时闹钟寄存器	RHRAR	8	8	2 ~ 3 个 PCLK (注8)
0008 C416h	RTC	星期闹钟寄存器	RWKAR	8	8	2 ~ 3 个 PCLK (注8)
0008 C418h	RTC	日闹钟寄存器	RDAYAR	8	8	2 ~ 3 个 PCLK (注8)
0008 C41Ah	RTC	月闹钟寄存器	RMONAR	8	8	2 ~ 3 个 PCLK (注8)
0008 C41Ch	RTC	年闹钟寄存器	RYRAR	16	16	2 ~ 3 个 PCLK (注8)
0008 C41Eh	RTC	年闹钟允许寄存器	RYRAREN	8	8	2 ~ 3 个 PCLK (注8)
0008 C422h	RTC	RTC 控制寄存器 1	RCR1	8	8	2 ~ 3 个 PCLK (注8)
0008 C424h	RTC	RTC 控制寄存器 2	RCR2	8	8	2 ~ 3 个 PCLK (注8)
0009 0200h ~ 0009 03FFh	CAN0	信箱寄存器 0 ~ 31	MB0 ~ 31	128	8、16、32	2 ~ 3 个 PCLK (注8)
0009 0400h	CAN0	屏蔽寄存器 0	MKR0	32	8、16、32	2 ~ 3 个 PCLK (注8)
0009 0404h	CAN0	屏蔽寄存器 1	MKR1	32	8、16、32	2 ~ 3 个 PCLK (注8)
0009 0408h	CAN0	屏蔽寄存器 2	MKR2	32	8、16、32	2 ~ 3 个 PCLK (注8)

表 5.1 I/O 寄存器地址一览表 (36 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
0009 040Ch	CAN0	屏蔽寄存器 3	MKR3	32	8、16、32	2~3 个 PCLK (注8)
0009 0410h	CAN0	屏蔽寄存器 4	MKR4	32	8、16、32	2~3 个 PCLK (注8)
0009 0414h	CAN0	屏蔽寄存器 5	MKR5	32	8、16、32	2~3 个 PCLK (注8)
0009 0418h	CAN0	屏蔽寄存器 6	MKR6	32	8、16、32	2~3 个 PCLK (注8)
0009 041Ch	CAN0	屏蔽寄存器 7	MKR7	32	8、16、32	2~3 个 PCLK (注8)
0009 0420h	CAN0	FIFO 接收 ID 比较寄存器 0	FIDCR0	32	8、16、32	2~3 个 PCLK (注8)
0009 0424h	CAN0	FIFO 接收 ID 比较寄存器 1	FIDCR1	32	8、16、32	2~3 个 PCLK (注8)
0009 0428h	CAN0	屏蔽无效寄存器	MKIVLR	32	8、16、32	2~3 个 PCLK (注8)
0009 042Ch	CAN0	信箱中断允许寄存器	MIER	32	8、16、32	2~3 个 PCLK (注8)
0009 0820h ~ 0009 083Fh	CAN0	信息控制寄存器 0 ~ 31	MCTL0 ~ 31	8	8	2~3 个 PCLK (注8)
0009 0840h	CAN0	控制寄存器	CTLR	16	8、16	2~3 个 PCLK (注8)
0009 0842h	CAN0	状态寄存器	STR	16	8、16	2~3 个 PCLK (注8)
0009 0844h	CAN0	位配置寄存器	BCR	32	8、16、32	2~3 个 PCLK (注8)
0009 0848h	CAN0	接收 FIFO 控制寄存器	RFCR	8	8	2~3 个 PCLK (注8)
0009 0849h	CAN0	接收 FIFO 指针控制寄存器	RFPCR	8	8	2~3 个 PCLK (注8)
0009 084Ah	CAN0	发送 FIFO 控制寄存器	TFCR	8	8	2~3 个 PCLK (注8)
0009 084Bh	CAN0	发送 FIFO 指针控制寄存器	TFPCR	8	8	2~3 个 PCLK (注8)
0009 084Ch	CAN0	错误中断允许寄存器	EIER	8	8	2~3 个 PCLK (注8)
0009 084Dh	CAN0	错误中断源判断寄存器	EIFR	8	8	2~3 个 PCLK (注8)
0009 084Eh	CAN0	接收错误计数寄存器	RECR	8	8	2~3 个 PCLK (注8)
0009 084Fh	CAN0	发送错误计数寄存器	TECR	8	8	2~3 个 PCLK (注8)
0009 0850h	CAN0	错误代码保存寄存器	ECSR	8	8	2~3 个 PCLK (注8)
0009 0851h	CAN0	通道搜索支持寄存器	CSSR	8	8	2~3 个 PCLK (注8)
0009 0852h	CAN0	信箱搜索状态寄存器	MSSR	8	8	2~3 个 PCLK (注8)
0009 0853h	CAN0	信箱搜索模式寄存器	MSMR	8	8	2~3 个 PCLK (注8)
0009 0854h	CAN0	时戳寄存器	TSR	16	8、16	2~3 个 PCLK (注8)
0009 0856h	CAN0	验收滤波器支持寄存器	AFSR	16	8、16	2~3 个 PCLK (注8)
0009 0858h	CAN0	测试控制寄存器	TCR	8	8	2~3 个 PCLK (注8)
000A 0000h	USB0	系统配置控制寄存器	SYSCFG	16	16	3~4 个 PCLK (注8)
000A 0004h	USB0	系统配置状态寄存器 0	SYSSTS0	16	16	9 个 PCLK 以上 (注9)

表 5.1 I/O 寄存器地址一览表 (37 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
000A 0008h	USB0	设备状态控制寄存器 0	DVSTCTR0	16	16	9 个 PCLK 以上 (注9)
000A 0014h	USB0	CFIFO 端口寄存器	CFIFO	16	8、16	3 ~ 4 个 PCLK (注8)
000A 0018h	USB0	D0FIFO 端口寄存器	D0FIFO	16	8、16	3 ~ 4 个 PCLK (注8)
000A 001Ch	USB0	D1FIFO 端口寄存器	D1FIFO	16	8、16	3 ~ 4 个 PCLK (注8)
000A 0020h	USB0	CFIFO 端口选择寄存器	CFIFOSEL	16	16	3 ~ 4 个 PCLK (注8)
000A 0022h	USB0	CFIFO 端口控制寄存器	CFIFOCTR	16	16	3 ~ 4 个 PCLK (注8)
000A 0028h	USB0	D0FIFO 端口选择寄存器	D0FIFOSEL	16	16	3 ~ 4 个 PCLK (注8)
000A 002Ah	USB0	D0FIFO 端口控制寄存器	D0FIFOCTR	16	16	3 ~ 4 个 PCLK (注8)
000A 002Ch	USB0	D1FIFO 端口选择寄存器	D1FIFOSEL	16	16	3 ~ 4 个 PCLK (注8)
000A 002Eh	USB0	D1FIFO 端口控制寄存器	D1FIFOCTR	16	16	3 ~ 4 个 PCLK (注8)
000A 0030h	USB0	中断允许寄存器 0	INTENB0	16	16	9 个 PCLK 以上 (注9)
000A 0032h	USB0	中断允许寄存器 1	INTENB1	16	16	9 个 PCLK 以上 (注9)
000A 0036h	USB0	BRDY 中断允许寄存器	BRDYENB	16	16	9 个 PCLK 以上 (注9)
000A 0038h	USB0	NRDY 中断允许寄存器	NRDYENB	16	16	9 个 PCLK 以上 (注9)
000A 003Ah	USB0	BEMP 中断允许寄存器	BEMPENB	16	16	9 个 PCLK 以上 (注9)
000A 003Ch	USB0	SOF 输出配置寄存器	SOFCFG	16	16	9 个 PCLK 以上 (注9)
000A 0040h	USB0	中断状态寄存器 0	INTSTS0	16	16	9 个 PCLK 以上 (注9)
000A 0042h	USB0	中断状态寄存器 1	INTSTS1	16	16	9 个 PCLK 以上 (注9)
000A 0046h	USB0	BRDY 中断状态寄存器	BRDYSTS	16	16	9 个 PCLK 以上 (注9)
000A 0048h	USB0	NRDY 中断状态寄存器	NRDYSTS	16	16	9 个 PCLK 以上 (注9)
000A 004Ah	USB0	BEMP 中断状态寄存器	BEMPSTS	16	16	9 个 PCLK 以上 (注9)
000A 004Ch	USB0	帧号寄存器	FRMNUM	16	16	9 个 PCLK 以上 (注9)
000A 004Eh	USB0	设备状态转换寄存器	DVCHGR	16	16	9 个 PCLK 以上 (注9)
000A 0050h	USB0	USB 地址寄存器	USBADDR	16	16	9 个 PCLK 以上 (注9)
000A 0054h	USB0	USB 请求类型寄存器	USBREQ	16	16	9 个 PCLK 以上 (注9)
000A 0056h	USB0	USB 请求值寄存器	USBVAL	16	16	9 个 PCLK 以上 (注9)
000A 0058h	USB0	USB 请求变址寄存器	USBINDX	16	16	9 个 PCLK 以上 (注9)
000A 005Ah	USB0	USB 请求长度寄存器	USBLENG	16	16	9 个 PCLK 以上 (注9)
000A 005Ch	USB0	DCP 配置寄存器	DCPCFG	16	16	9 个 PCLK 以上 (注9)
000A 005Eh	USB0	DCP 最大信息包长度寄存器	DCPMAXP	16	16	9 个 PCLK 以上 (注9)

表 5.1 I/O 寄存器地址一览表 (38 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
000A 0060h	USB0	DCP 控制寄存器	DCPCTR	16	16	9 个 PCLK 以上 (注9)
000A 0064h	USB0	管道窗口选择寄存器	PIPESEL	16	16	9 个 PCLK 以上 (注9)
000A 0068h	USB0	管道配置寄存器	PIPECFG	16	16	9 个 PCLK 以上 (注9)
000A 006Ch	USB0	管道最大信息包长度寄存器	PIPEMAXP	16	16	9 个 PCLK 以上 (注9)
000A 006Eh	USB0	管道周期控制寄存器	PIPEPERI	16	16	9 个 PCLK 以上 (注9)
000A 0070h	USB0	管道 1 的控制寄存器	PIPE1CTR	16	16	9 个 PCLK 以上 (注9)
000A 0072h	USB0	管道 2 的控制寄存器	PIPE2CTR	16	16	9 个 PCLK 以上 (注9)
000A 0074h	USB0	管道 3 的控制寄存器	PIPE3CTR	16	16	9 个 PCLK 以上 (注9)
000A 0076h	USB0	管道 4 的控制寄存器	PIPE4CTR	16	16	9 个 PCLK 以上 (注9)
000A 0078h	USB0	管道 5 的控制寄存器	PIPE5CTR	16	16	9 个 PCLK 以上 (注9)
000A 007Ah	USB0	管道 6 的控制寄存器	PIPE6CTR	16	16	9 个 PCLK 以上 (注9)
000A 007Ch	USB0	管道 7 的控制寄存器	PIPE7CTR	16	16	9 个 PCLK 以上 (注9)
000A 007Eh	USB0	管道 8 的控制寄存器	PIPE8CTR	16	16	9 个 PCLK 以上 (注9)
000A 0080h	USB0	管道 9 的控制寄存器	PIPE9CTR	16	16	9 个 PCLK 以上 (注9)
000A 0090h	USB0	管道 1 的事务计数允许寄存器	PIPE1TRE	16	16	9 个 PCLK 以上 (注9)
000A 0092h	USB0	管道 1 的事务计数寄存器	PIPE1TRN	16	16	9 个 PCLK 以上 (注9)
000A 0094h	USB0	管道 2 的事务计数允许寄存器	PIPE2TRE	16	16	9 个 PCLK 以上 (注9)
000A 0096h	USB0	管道 2 的事务计数寄存器	PIPE2TRN	16	16	9 个 PCLK 以上 (注9)
000A 0098h	USB0	管道 3 的事务计数允许寄存器	PIPE3TRE	16	16	9 个 PCLK 以上 (注9)
000A 009Ah	USB0	管道 3 的事务计数寄存器	PIPE3TRN	16	16	9 个 PCLK 以上 (注9)
000A 009Ch	USB0	管道 4 的事务计数允许寄存器	PIPE4TRE	16	16	9 个 PCLK 以上 (注9)
000A 009Eh	USB0	管道 4 的事务计数寄存器	PIPE4TRN	16	16	9 个 PCLK 以上 (注9)
000A 00A0h	USB0	管道 5 的事务计数允许寄存器	PIPE5TRE	16	16	9 个 PCLK 以上 (注9)
000A 00A2h	USB0	管道 5 的事务计数寄存器	PIPE5TRN	16	16	9 个 PCLK 以上 (注9)
000A 00D0h	USB0	设备地址 0 的配置寄存器	DEVADD0	16	16	9 个 PCLK 以上 (注9)
000A 00D2h	USB0	设备地址 1 的配置寄存器	DEVADD1	16	16	9 个 PCLK 以上 (注9)
000A 00D4h	USB0	设备地址 2 的配置寄存器	DEVADD2	16	16	9 个 PCLK 以上 (注9)
000A 00D6h	USB0	设备地址 3 的配置寄存器	DEVADD3	16	16	9 个 PCLK 以上 (注9)
000A 00D8h	USB0	设备地址 4 的配置寄存器	DEVADD4	16	16	9 个 PCLK 以上 (注9)
000A 00DAh	USB0	设备地址 5 的配置寄存器	DEVADD5	16	16	9 个 PCLK 以上 (注9)

表 5.1 I/O 寄存器地址一览表 (39 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
000A 0200h	USB1	系统配置控制寄存器	SYSCFG	16	16	3~4 个 PCLK (注8)
000A 0204h	USB1	系统配置状态寄存器 0	SYSSTS0	16	16	9 个 PCLK 以上 (注9)
000A 0208h	USB1	设备状态控制寄存器 0	DVSTCTR0	16	16	9 个 PCLK 以上 (注9)
000A 0214h	USB1	CFIFO 端口寄存器	CFIFO	16	8、16	3~4 个 PCLK (注8)
000A 0218h	USB1	D0FIFO 端口寄存器	D0FIFO	16	8、16	3~4 个 PCLK (注8)
000A 021Ch	USB1	D1FIFO 端口寄存器	D1FIFO	16	8、16	3~4 个 PCLK (注8)
000A 0220h	USB1	CFIFO 端口选择寄存器	CFIFOSEL	16	16	3~4 个 PCLK (注8)
000A 0222h	USB1	CFIFO 端口控制寄存器	CFIFOCTR	16	16	3~4 个 PCLK (注8)
000A 0228h	USB1	D0FIFO 端口选择寄存器	D0FIFOSEL	16	16	3~4 个 PCLK (注8)
000A 022Ah	USB1	D0FIFO 端口控制寄存器	D0FIFOCTR	16	16	3~4 个 PCLK (注8)
000A 022Ch	USB1	D1FIFO 端口选择寄存器	D1FIFOSEL	16	16	3~4 个 PCLK (注8)
000A 022Eh	USB1	D1FIFO 端口控制寄存器	D1FIFOCTR	16	16	3~4 个 PCLK (注8)
000A 0230h	USB1	中断允许寄存器 0	INTENB0	16	16	9 个 PCLK 以上 (注9)
000A 0232h	USB1	中断允许寄存器 1	INTENB1	16	16	9 个 PCLK 以上 (注9)
000A 0236h	USB1	BRDY 中断允许寄存器	BRDYENB	16	16	9 个 PCLK 以上 (注9)
000A 0238h	USB1	NRDY 中断允许寄存器	NRDYENB	16	16	9 个 PCLK 以上 (注9)
000A 023Ah	USB1	BEMP 中断允许寄存器	BEMPENB	16	16	9 个 PCLK 以上 (注9)
000A 023Ch	USB1	SOF 输出配置寄存器	SOFCFG	16	16	9 个 PCLK 以上 (注9)
000A 0240h	USB1	中断状态寄存器 0	INTSTS0	16	16	9 个 PCLK 以上 (注9)
000A 0242h	USB1	中断状态寄存器 1	INTSTS1	16	16	9 个 PCLK 以上 (注9)
000A 0246h	USB1	BRDY 中断状态寄存器	BRDYSTS	16	16	9 个 PCLK 以上 (注9)
000A 0248h	USB1	NRDY 中断状态寄存器	NRDYSTS	16	16	9 个 PCLK 以上 (注9)
000A 024Ah	USB1	BEMP 中断状态寄存器	BEMPSTS	16	16	9 个 PCLK 以上 (注9)
000A 024Ch	USB1	帧号寄存器	FRMNUM	16	16	9 个 PCLK 以上 (注9)
000A 024Eh	USB1	设备状态转换寄存器	DVCHGR	16	16	9 个 PCLK 以上 (注9)
000A 0250h	USB1	USB 地址寄存器	USBADDR	16	16	9 个 PCLK 以上 (注9)
000A 0254h	USB1	USB 请求类型寄存器	USBREQ	16	16	9 个 PCLK 以上 (注9)
000A 0256h	USB1	USB 请求值寄存器	USBVAL	16	16	9 个 PCLK 以上 (注9)
000A 0258h	USB1	USB 请求变址寄存器	USBINDX	16	16	9 个 PCLK 以上 (注9)
000A 025Ah	USB1	USB 请求长度寄存器	USBLENG	16	16	9 个 PCLK 以上 (注9)

表 5.1 I/O 寄存器地址一览表 (40 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
000A 025Ch	USB1	DCP 配置寄存器	DCPCFG	16	16	9 个 PCLK 以上 (注9)
000A 025Eh	USB1	DCP 最大信息包长度寄存器	DCPMAXP	16	16	9 个 PCLK 以上 (注9)
000A 0260h	USB1	DCP 控制寄存器	DCPCTR	16	16	9 个 PCLK 以上 (注9)
000A 0264h	USB1	管道窗口选择寄存器	PIPESEL	16	16	9 个 PCLK 以上 (注9)
000A 0268h	USB1	管道配置寄存器	PIPECFG	16	16	9 个 PCLK 以上 (注9)
000A 026Ch	USB1	管道最大信息包长度寄存器	PIPEMAXP	16	16	9 个 PCLK 以上 (注9)
000A 026Eh	USB1	管道周期控制寄存器	PIPEPERI	16	16	9 个 PCLK 以上 (注9)
000A 0270h	USB1	管道 1 的控制寄存器	PIPE1CTR	16	16	9 个 PCLK 以上 (注9)
000A 0272h	USB1	管道 2 的控制寄存器	PIPE2CTR	16	16	9 个 PCLK 以上 (注9)
000A 0274h	USB1	管道 3 的控制寄存器	PIPE3CTR	16	16	9 个 PCLK 以上 (注9)
000A 0276h	USB1	管道 4 的控制寄存器	PIPE4CTR	16	16	9 个 PCLK 以上 (注9)
000A 0278h	USB1	管道 5 的控制寄存器	PIPE5CTR	16	16	9 个 PCLK 以上 (注9)
000A 027Ah	USB1	管道 6 的控制寄存器	PIPE6CTR	16	16	9 个 PCLK 以上 (注9)
000A 027Ch	USB1	管道 7 的控制寄存器	PIPE7CTR	16	16	9 个 PCLK 以上 (注9)
000A 027Eh	USB1	管道 8 的控制寄存器	PIPE8CTR	16	16	9 个 PCLK 以上 (注9)
000A 0280h	USB1	管道 9 的控制寄存器	PIPE9CTR	16	16	9 个 PCLK 以上 (注9)
000A 0290h	USB1	管道 1 的事务计数允许寄存器	PIPE1TRE	16	16	9 个 PCLK 以上 (注9)
000A 0292h	USB1	管道 1 的事务计数寄存器	PIPE1TRN	16	16	9 个 PCLK 以上 (注9)
000A 0294h	USB1	管道 2 的事务计数允许寄存器	PIPE2TRE	16	16	9 个 PCLK 以上 (注9)
000A 0296h	USB1	管道 2 的事务计数寄存器	PIPE2TRN	16	16	9 个 PCLK 以上 (注9)
000A 0298h	USB1	管道 3 的事务计数允许寄存器	PIPE3TRE	16	16	9 个 PCLK 以上 (注9)
000A 029Ah	USB1	管道 3 的事务计数寄存器	PIPE3TRN	16	16	9 个 PCLK 以上 (注9)
000A 029Ch	USB1	管道 4 的事务计数允许寄存器	PIPE4TRE	16	16	9 个 PCLK 以上 (注9)
000A 029Eh	USB1	管道 4 的事务计数寄存器	PIPE4TRN	16	16	9 个 PCLK 以上 (注9)
000A 02A0h	USB1	管道 5 的事务计数允许寄存器	PIPE5TRE	16	16	9 个 PCLK 以上 (注9)
000A 02A2h	USB1	管道 5 的事务计数寄存器	PIPE5TRN	16	16	9 个 PCLK 以上 (注9)
000A 02D0h	USB1	设备地址 0 的配置寄存器	DEVADD0	16	16	9 个 PCLK 以上 (注9)
000A 02D2h	USB1	设备地址 1 的配置寄存器	DEVADD1	16	16	9 个 PCLK 以上 (注9)
000A 02D4h	USB1	设备地址 2 的配置寄存器	DEVADD2	16	16	9 个 PCLK 以上 (注9)
000A 02D6h	USB1	设备地址 3 的配置寄存器	DEVADD3	16	16	9 个 PCLK 以上 (注9)

表 5.1 I/O 寄存器地址一览表 (41 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
000A 02D8h	USB1	设备地址 4 的配置寄存器	DEVADD4	16	16	9 个 PCLK 以上 (注9)
000A 02DAh	USB1	设备地址 5 的配置寄存器	DEVADD5	16	16	9 个 PCLK 以上 (注9)
000A 0400h	USB	深度待机 USB 收发器的控制 / 引脚监视寄存器	DPUSR0R	32	32	1 ~ 2 个 PCLK (注8)
000A 0404h	USB	深度待机 USB 的挂起 / 恢复中断寄存器	DPUSR1R	32	32	1 ~ 2 个 PCLK (注8)
000C 0000h	EDMAC	EDMAC 模式寄存器	EDMR	32	32	4 ~ 5 个 ICLK
000C 0008h	EDMAC	EDMAC 发送请求寄存器	EDTRR	32	32	4 ~ 5 个 ICLK
000C 0010h	EDMAC	EDMAC 接收请求寄存器	EDRRR	32	32	4 ~ 5 个 ICLK
000C 0018h	EDMAC	发送描述符列表起始地址寄存器	TDLAR	32	32	4 ~ 5 个 ICLK
000C 0020h	EDMAC	接收描述符列表起始地址寄存器	RDLAR	32	32	4 ~ 5 个 ICLK
000C 0028h	EDMAC	ETHERC/EDMAC 状态寄存器	EESR	32	32	4 ~ 5 个 ICLK
000C 0030h	EDMAC	ETHERC/EDMAC 状态中断允许寄存器	EESIPR	32	32	4 ~ 5 个 ICLK
000C 0038h	EDMAC	发送 / 接收状态复制指示寄存器	TRSCER	32	32	4 ~ 5 个 ICLK
000C 0040h	EDMAC	漏帧计数寄存器	RMFCR	32	32	4 ~ 5 个 ICLK
000C 0048h	EDMAC	发送 FIFO 阈值指定寄存器	TFTR	32	32	4 ~ 5 个 ICLK
000C 0050h	EDMAC	FIFO 容量指定寄存器	FDR	32	32	4 ~ 5 个 ICLK
000C 0058h	EDMAC	接收方式控制寄存器	RMCR	32	32	4 ~ 5 个 ICLK
000C 0064h	EDMAC	发送 FIFO 欠载计数	TFUCR	32	32	4 ~ 5 个 ICLK
000C 0068h	EDMAC	接收 FIFO 上溢计数	RFOCR	32	32	4 ~ 5 个 ICLK
000C 006Ch	EDMAC	个别输出信号设定寄存器	IOSR	32	32	4 ~ 5 个 ICLK
000C 0070h	EDMAC	流程控制开始 FIFO 阈值设定寄存器	FCFTR	32	32	4 ~ 5 个 ICLK
000C 0078h	EDMAC	接收数据填充插入设定寄存器	RPADIR	32	32	4 ~ 5 个 ICLK
000C 007Ch	EDMAC	发送中断设定寄存器	TRIMD	32	32	4 ~ 5 个 ICLK
000C 00C8h	EDMAC	接收缓冲器的写地址寄存器	RBWAR	32	32	4 ~ 5 个 ICLK
000C 00CCh	EDMAC	接收描述符的取地址寄存器	RDFAR	32	32	4 ~ 5 个 ICLK
000C 00D4h	EDMAC	发送缓冲器的读地址寄存器	TBRAR	32	32	4 ~ 5 个 ICLK
000C 00D8h	EDMAC	发送描述符的取地址寄存器	TDFAR	32	32	4 ~ 5 个 ICLK
000C 0100h	ETHERC	ETHERC 模式寄存器	ECMR	32	32	4 ~ 5 个 ICLK
000C 0108h	ETHERC	接收帧长上限寄存器	RFLR	32	32	4 ~ 5 个 ICLK
000C 0110h	ETHERC	ETHERC 状态寄存器	ECSR	32	32	4 ~ 5 个 ICLK
000C 0118h	ETHERC	ETHERC 中断允许寄存器	ECSIPR	32	32	4 ~ 5 个 ICLK
000C 0120h	ETHERC	PHY 接口寄存器	PIR	32	32	4 ~ 5 个 ICLK
000C 0128h	ETHERC	PHY 状态寄存器	PSR	32	32	4 ~ 5 个 ICLK
000C 0140h	ETHERC	随机数生成计数器的上限值设定寄存器	RDMLR	32	32	4 ~ 5 个 ICLK
000C 0150h	ETHERC	IPG 设定寄存器	IPGR	32	32	4 ~ 5 个 ICLK
000C 0154h	ETHERC	自动 PAUSE 帧设定寄存器	APR	32	32	4 ~ 5 个 ICLK
000C 0158h	ETHERC	手动 PAUSE 帧设定寄存器	MPR	32	32	4 ~ 5 个 ICLK
000C 0160h	ETHERC	接收 PAUSE 帧计数器	RFCF	32	32	4 ~ 5 个 ICLK
000C 0164h	ETHERC	自动 PAUSE 帧重新发送次数设定寄存器	TPAUSER	32	32	4 ~ 5 个 ICLK
000C 0168h	ETHERC	PAUSE 帧重新发送次数计数器	TPAUSECR	32	32	4 ~ 5 个 ICLK
000C 016Ch	ETHERC	Broadcast 帧接收次数设定寄存器	BCFRR	32	32	4 ~ 5 个 ICLK
000C 01C0h	ETHERC	MAC 地址高位设定寄存器	MAHR	32	32	4 ~ 5 个 ICLK
000C 01C8h	ETHERC	MAC 地址低位设定寄存器	MALR	32	32	4 ~ 5 个 ICLK
000C 01D0h	ETHERC	发送重试超限计数寄存器	TROCR	32	32	4 ~ 5 个 ICLK
000C 01D4h	ETHERC	延迟冲突检测计数寄存器	CDCR	32	32	4 ~ 5 个 ICLK
000C 01D8h	ETHERC	载波消失计数寄存器	LCCR	32	32	4 ~ 5 个 ICLK
000C 01DCh	ETHERC	载波未检测计数寄存器	CNDCR	32	32	4 ~ 5 个 ICLK

表 5.1 I/O 寄存器地址一览表 (42 / 42)

地址	模块符号	寄存器名	寄存器符号	位数	存取长度	存取周期数
000C 01E4h	ETHERC	CRC 错误帧接收计数寄存器	CEFCR	32	32	4 ~ 5 个 ICLK
000C 01E8h	ETHERC	帧接收错误计数寄存器	FRECR	32	32	4 ~ 5 个 ICLK
000C 01ECh	ETHERC	未满 64 字节的帧接收计数寄存器	TSFRCR	32	32	4 ~ 5 个 ICLK
000C 01F0h	ETHERC	超过指定字节的帧接收计数寄存器	TLFRCR	32	32	4 ~ 5 个 ICLK
000C 01F4h	ETHERC	尾数位的帧接收计数寄存器	RFCR	32	32	4 ~ 5 个 ICLK
000C 01F8h	ETHERC	多播地址的帧接收计数寄存器	MAFCR	32	32	4 ~ 5 个 ICLK
007F C402h	FLASH	闪存模式寄存器	FMODR	8	8	2 ~ 3 个 PCLK (注8)
007F C410h	FLASH	闪存存取状态寄存器	FASTAT	8	8	2 ~ 3 个 PCLK (注8)
007F C411h	FLASH	闪存存取错误中断允许寄存器	FAEINT	8	8	2 ~ 3 个 PCLK (注8)
007F C412h	FLASH	闪存就绪中断允许寄存器	FRDYIE	8	8	2 ~ 3 个 PCLK (注8)
007F C440h	FLASH	数据闪存读允许寄存器 0	DFLRE0	16	16	2 ~ 3 个 PCLK (注8)
007F C442h	FLASH	数据闪存读允许寄存器 1	DFLRE1	16	16	2 ~ 3 个 PCLK (注8)
007F C450h	FLASH	数据闪存编程 / 擦除允许寄存器 0	DFLWE0	16	16	2 ~ 3 个 PCLK (注8)
007F C452h	FLASH	数据闪存编程 / 擦除允许寄存器 1	DFLWE1	16	16	2 ~ 3 个 PCLK (注8)
007F C454h	FLASH	FCU RAM 允许寄存器	FCURAME	16	16	2 ~ 3 个 PCLK (注8)
007F FFB0h	FLASH	闪存状态寄存器 0	FSTATR0	8	8	2 ~ 3 个 PCLK (注8)
007F FFB1h	FLASH	闪存状态寄存器 1	FSTATR1	8	8	2 ~ 3 个 PCLK (注8)
007F FFB2h	FLASH	闪存 P/E 模式入口寄存器	FENTRYR	16	16	2 ~ 3 个 PCLK (注8)
007F FFB4h	FLASH	闪存保护寄存器	FPROTR	16	16	2 ~ 3 个 PCLK (注8)
007F FFB6h	FLASH	闪存复位寄存器	FRESETR	16	16	2 ~ 3 个 PCLK (注8)
007F FFBAh	FLASH	FCU 命令寄存器	FCMDR	16	16	2 ~ 3 个 PCLK (注8)
007F FFC8h	FLASH	FCU 处理转换寄存器	FCPSR	16	16	2 ~ 3 个 PCLK (注8)
007F FFCAh	FLASH	数据闪存空白检查寄存器	DFLBCCNT	16	16	2 ~ 3 个 PCLK (注8)
007F FCCCh	FLASH	闪存 P/E 状态寄存器	FPESTAT	16	16	2 ~ 3 个 PCLK (注8)
007F FFCEh	FLASH	数据闪存空白检查控制状态寄存器	DFLBCSTAT	16	16	2 ~ 3 个 PCLK (注8)
007F FFE8h	FLASH	外围时钟通知寄存器	PCKAR	16	16	2 ~ 3 个 PCLK (注8)

- 注 1. 通过设定 PPG0.PCR, 当脉冲输出组 2 和脉冲输出组 3 的输出触发设定值相同时, PPG0.NDRH 的地址为 0008 81ECh; 当输出触发设定值不同时, 对应脉冲输出组 2 的 PPG0.NDRH2 的地址为 0008 81EEh, 对应脉冲输出组 3 的 PPG0.NDRH 的地址为 0008 81ECh。
- 注 2. 通过设定 PPG0.PCR, 当脉冲输出组 0 和脉冲输出组 1 的输出触发设定值相同时, PPG0.NDRL 的地址为 0008 81EDh; 当输出触发设定值不同时, 对应脉冲输出组 0 的 PPG0.NDRL2 的地址为 0008 81EFh, 对应脉冲输出组 1 的 PPG0.NDRL 的地址为 0008 81EDh。
- 注 3. 通过设定 PPG1.PCR, 当脉冲输出组 6 和脉冲输出组 7 的输出触发设定值相同时, PPG1.NDRH 的地址为 0008 81FCh; 当输出触发设定值不同时, 对应脉冲输出组 6 的 PPG1.NDRH2 的地址为 0008 81FEh, 对应脉冲输出组 7 的 PPG1.NDRH 的地址为 0008 81FCh。
- 注 4. 通过设定 PPG1.PCR, 当脉冲输出组 4 和脉冲输出组 5 的输出触发设定值相同时, PPG1.NDRL 的地址为 0008 81FDh; 当输出触发设定值不同时, 对应脉冲输出组 4 的 PPG1.NDRL2 的地址为 0008 81FFh, 对应脉冲输出组 5 的 PPG1.NDRL 的地址为 0008 81FDh。
- 注 5. 不支持 145 引脚 TFLGA 版和 144 引脚 LQFP 版。
- 注 6. 不支持 100 引脚 LQFP 版。
- 注 7. 不支持 85 引脚 TFLGA 版。
- 注 8. 因分频时钟的同步周期 (0 ~ 1 个 PCLK, 0 ~ 1 个 BCLK) 而不同。
- 注 9. 如果在 USB 运行中存取寄存器, 就可能等待存取。

5.2 I/O 寄存器位一览表

外围模块的寄存器的地址和位名如下所示。

16 位寄存器或者 32 位寄存器分别以 8 位分 2 段或者 4 段表示。

表 5.2 I/O 寄存器位一览表 (1 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
SYSTEM	MDMONR	—	—	—	—	—	—	—	—
		MDE	—	—	—	—	—	MD1	MD0
SYSTEM	MDSR	—	—	—	—	—	—	—	—
		—	UBTS	—	BOTS	BSW[1:0]		EXB	IROM
SYSTEM	SYSCR0	KEY[7:0]							
		—	—	—	—	—	—	EXBE	ROME
SYSTEM	SYSCR1	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	RAME
SYSTEM	SBYCR	SSBY	OPE	—	STS[4:0]				
		—	—	—	—	—	—	—	—
SYSTEM	MSTPCRA	ACSE	—	MSTPA29	MSTPA28	—	—	—	—
		MSTPA23	MSTPA22	—	—	MSTPA19	—	MSTPA17	—
		MSTPA15	MSTPA14	—	—	MSTPA11	MSTPA10	MSTPA9	MSTPA8
		—	—	MSTPA5	MSTPA4	—	—	—	—
SYSTEM	MSTPCRB	MSTPB31	MSTPB30	MSTPB29	MSTPB28	—	MSTPB26	MSTPB25	—
		MSTPB23	—	MSTPB21	MSTPB20	MSTPB19	MSTPB18	MSTPB17	MSTPB16
		MSTPB15	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	MSTPB0
SYSTEM	MSTPCRC	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	MSTPC1	MSTPC0
SYSTEM	SCKCR	—	—	—	—	ICK[3:0]			
		PSTOP1	PSTOP0	—	—	BCK[3:0]			
		—	—	—	—	PCK[3:0]			
		—	—	—	—	—	—	—	—
SYSTEM	BCKCR	—	—	—	—	—	—	—	BCLKDIV
SYSTEM	OSTDCR	KEY[7:0]							
		OSTDE	OSTDF	—	—	—	—	—	—
BSC	BERCLR	—	—	—	—	—	—	—	STSCLR
BSC	BEREN	—	—	—	—	—	—	TOEN	IGAEN
BSC	BERSR1	—	MST[2:0]			—	—	TO	IA
BSC	BERSR2	ADDR[12:0]							
		ADDR[12:0]						—	—
DMAC0	DMSAR								
DMAC0	DMDAR								

表 5.2 I/O 寄存器位一览表 (2 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
DMAC0	DMCRA	—	—	—	—	—	—		
DMAC0	DMCRB	—	—	—	—	—	—		
DMAC0	DMTMD	MD[1:0]		DTS[1:0]		—	—	SZ[1:0]	
		—	—	—	—	—	—	DCTG[1:0]	
DMAC0	DMINT	—	—	—	DTIE	ESIE	RPTIE	SARIE	DARIE
DMAC0	DMAMD	SM[1:0]		—	SARA[4:0]				
		DM[1:0]		—	DARA[4:0]				
DMAC0	DMOFR								
DMAC0	DMCNT	—	—	—	—	—	—	—	DTE
DMAC0	DMREQ	—	—	—	CLRS	—	—	—	SWREQ
DMAC0	DMSTS	ACT	—	—	DTIF	—	—	—	ESIF
DMAC0	DMCSL	—	—	—	—	—	—	—	DISEL
DMAC1	DMSAR								
DMAC1	DMDAR								
DMAC1	DMCRA	—	—	—	—	—	—		
DMAC1	DMCRB	—	—	—	—	—	—		
DMAC1	DMTMD	MD[1:0]		DTS[1:0]		—	—	SZ[1:0]	
		—	—	—	—	—	—	DCTG[1:0]	
DMAC1	DMINT	—	—	—	DTIE	ESIE	RPTIE	SARIE	DARIE
DMAC1	DMAMD	SM[1:0]		—	SARA[4:0]				
		DM[1:0]		—	DARA[4:0]				
DMAC1	DMCNT	—	—	—	—	—	—	—	DTE
DMAC1	DMREQ	—	—	—	CLRS	—	—	—	SWREQ
DMAC1	DMSTS	ACT	—	—	DTIF	—	—	—	ESIF
DMAC1	DMCSL	—	—	—	—	—	—	—	DISEL
DMAC2	DMSAR								

表 5.2 I/O 寄存器位一览表 (3 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
DMAC2	DMDAR								
DMAC2	DMCRA	—	—	—	—	—	—		
DMAC2	DMCRB	—	—	—	—	—	—		
DMAC2	DMTMD	MD[1:0]		DTS[1:0]		—	—	SZ[1:0]	
		—	—	—	—	—	—	DCTG[1:0]	
DMAC2	DMINT	—	—	—	DTIE	ESIE	RPTIE	SARIE	DARIE
DMAC2	DMAMD	SM[1:0]		—	SARA[4:0]				
		DM[1:0]		—	DARA[4:0]				
DMAC2	DMCNT	—	—	—	—	—	—	—	DTE
DMAC2	DMREQ	—	—	—	CLRS	—	—	—	SWREQ
DMAC2	DMSTS	ACT	—	—	DTIF	—	—	—	ESIF
DMAC2	DMCSL	—	—	—	—	—	—	—	DISSEL
DMAC3	DMSAR								
DMAC3	DMDAR								
DMAC3	DMCRA	—	—	—	—	—	—		
DMAC3	DMCRB	—	—	—	—	—	—		
DMAC3	DMTMD	MD[1:0]		DTS[1:0]		—	—	SZ[1:0]	
		—	—	—	—	—	—	DCTG[1:0]	
DMAC3	DMINT	—	—	—	DTIE	ESIE	RPTIE	SARIE	DARIE
DMAC3	DMAMD	SM[1:0]		—	SARA[4:0]				
		DM[1:0]		—	DARA[4:0]				
DMAC3	DMCNT	—	—	—	—	—	—	—	DTE
DMAC3	DMREQ	—	—	—	CLRS	—	—	—	SWREQ
DMAC3	DMSTS	ACT	—	—	DTIF	—	—	—	ESIF
DMAC3	DMCSL	—	—	—	—	—	—	—	DISSEL
DMAC	DMAST	—	—	—	—	—	—	—	DMST
DTC	DTCCR	—	—	—	RRS	—	—	—	—

表 5.2 I/O 寄存器位一览表 (4 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
DTC	DTCVBR								
DTC	DTCADMOD	—	—	—	—	—	—	—	SHORT
DTC	DTCST	—	—	—	—	—	—	—	DTCST
DTC	DTCSTS	ACT	—	—	—	—	—	—	—
		VECN[7:0]							
EXDMAC0	EDMSAR								
EXDMAC0	EDMDAR								
EXDMAC0	EDMCRA	—	—	—	—	—	—		
EXDMAC0	EDMCRB	—	—	—	—	—	—		
EXDMAC0	EDMTMD	MD[1:0]		DTS[1:0]		—	—	SZ[1:0]	
		—	—	—	—	—	—	DCTG[1:0]	
EXDMAC0	EDMOMD	—	—	—	—	DAKCS	DACKE	DACKW	—
EXDMAC0	EDMINT	—	—	—	DTIE	ESIE	RPTIE	SARIE	DARIE
EXDMAC0	EDMAMD	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	AMS	DIR
		SM[1:0]		—	SARA[4:0]				
		DM[1:0]		—	DARA[4:0]				
EXDMAC0	EDMOFR								
EXDMAC0	EDMCNT	—	—	—	—	—	—	—	DTE
EXDMAC0	EDMREQ	—	—	—	CLRS	—	—	—	SWREQ
EXDMAC0	EDMSTS	ACT	—	—	DTIF	—	—	—	ESIF
EXDMAC0	EDMRMD	—	—	—	—	—	—	DREQS[1:0]	
EXDMAC0	EDMERF	—	—	—	—	—	—	—	EREQ
EXDMAC0	EDMPRF	—	—	—	—	—	—	—	PREQ
EXDMAC1	EDMSAR								

表 5.2 I/O 寄存器位一览表 (5 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
EXDMAC1	EDMDAR								
EXDMAC1	EDMCRA	—	—	—	—	—	—		
EXDMAC1	EDMCRB	—	—	—	—	—	—		
EXDMAC1	EDMTMD	MD[1:0]		DTS[1:0]		—	—	SZ[1:0]	
		—	—	—	—	—	—	DCTG[1:0]	
EXDMAC1	EDMOMD	—	—	—	—	DACKS	DACKE	DACKW	—
EXDMAC1	EDMINT	—	—	—	DTIE	ESIE	RPTIE	SARIE	DARIE
EXDMAC1	EDMAMD	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	AMS	DIR
		SM[1:0]		—	SARA[4:0]				
		DM[1:0]		—	DARA[4:0]				
EXDMAC1	EDMCNT	—	—	—	—	—	—	—	DTE
EXDMAC1	EDMREQ	—	—	—	CLRS	—	—	—	SWREQ
EXDMAC1	EDMSTS	ACT	—	—	DTIF	—	—	—	ESIF
EXDMAC1	EDMRMD	—	—	—	—	—	—	DREQS[1:0]	
EXDMAC1	EDMERF	—	—	—	—	—	—	—	EREQ
EXDMAC1	EDMPRF	—	—	—	—	—	—	—	PREQ
EXDMAC	EDMAST	—	—	—	—	—	—	—	DMST
EXDMAC	CLSBR0								
EXDMAC	CLSBR1								
EXDMAC	CLSBR2								
EXDMAC	CLSBR3								
EXDMAC	CLSBR4								

表 5.2 I/O 寄存器位一览表 (6 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0	
EXDMAC	CLSBR5									
EXDMAC	CLSBR6									
BSC	CS0MOD	PRMOD	—	—	—	—	—	PWENB	PRENB	
		—	—	—	—	EWENB	—	—	WRMOD	
BSC	CS0WCR1	—	—	—	CSRWAIT[4:0]					
		—	—	—	CSWWAIT[4:0]					
		—	—	—	—	—	CSPRWAIT[2:0]			
		—	—	—	—	—	CSPWWAIT[2:0]			
BSC	CS0WCR2	—	CSON[2:0]			—	WDON[2:0]			
		—	WRON[2:0]			—	RDON[2:0]			
		—	—	—	—	—	WDOFF[2:0]			
		—	CSWOFF[2:0]			—	CSROFF[2:0]			
BSC	CS1MOD	PRMOD	—	—	—	—	—	PWENB	PRENB	
		—	—	—	—	EWENB	—	—	WRMOD	
BSC	CS1WCR1	—	—	—	CSRWAIT[4:0]					
		—	—	—	CSWWAIT[4:0]					
		—	—	—	—	—	CSPRWAIT[2:0]			
		—	—	—	—	—	CSPWWAIT[2:0]			
BSC	CS1WCR2	—	CSON[2:0]			—	WDON[2:0]			
		—	WRON[2:0]			—	RDON[2:0]			
		—	—	—	—	—	WDOFF[2:0]			
		—	CSWOFF[2:0]			—	CSROFF[2:0]			
BSC	CS2MOD	PRMOD	—	—	—	—	—	PWENB	PRENB	
		—	—	—	—	EWENB	—	—	WRMOD	
BSC	CS2WCR1	—	—	—	CSRWAIT[4:0]					
		—	—	—	CSWWAIT[4:0]					
		—	—	—	—	—	CSPRWAIT[2:0]			
		—	—	—	—	—	CSPWWAIT[2:0]			
BSC	CS2WCR2	—	CSON[2:0]			—	WDON[2:0]			
		—	WRON[2:0]			—	RDON[2:0]			
		—	—	—	—	—	WDOFF[2:0]			
		—	CSWOFF[2:0]			—	CSROFF[2:0]			
BSC	CS3MOD	PRMOD	—	—	—	—	—	PWENB	PRENB	
		—	—	—	—	EWENB	—	—	WRMOD	
BSC	CS3WCR1	—	—	—	CSRWAIT[4:0]					
		—	—	—	CSWWAIT[4:0]					
		—	—	—	—	—	CSPRWAIT[2:0]			
		—	—	—	—	—	CSPWWAIT[2:0]			

表 5.2 I/O 寄存器位一览表 (7 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
BSC	CS3WCR2	—	CSON[2:0]			—	WDON[2:0]		
		—	WRON[2:0]			—	RDON[2:0]		
		—	—	—	—	—	WDOFF[2:0]		
		—	CSWOFF[2:0]			—	CSROFF[2:0]		
BSC	CS4MOD	PRMOD	—	—	—	—	—	PWENB	PRENB
		—	—	—	—	EWENB	—	—	WRMOD
BSC	CS4WCR1	—	—	—	CSRWAIT[4:0]				
		—	—	—	CSWWAIT[4:0]				
		—	—	—	—	—	CSPRWAIT[2:0]		
		—	—	—	—	—	CSPWWAIT[2:0]		
BSC	CS4WCR2	—	CSON[2:0]			—	WDON[2:0]		
		—	WRON[2:0]			—	RDON[2:0]		
		—	—	—	—	—	WDOFF[2:0]		
		—	CSWOFF[2:0]			—	CSROFF[2:0]		
BSC	CS5MOD	PRMOD	—	—	—	—	—	PWENB	PRENB
		—	—	—	—	EWENB	—	—	WRMOD
BSC	CS5WCR1	—	—	—	CSRWAIT[4:0]				
		—	—	—	CSWWAIT[4:0]				
		—	—	—	—	—	CSPRWAIT[2:0]		
		—	—	—	—	—	CSPWWAIT[2:0]		
BSC	CS5WCR2	—	CSON[2:0]			—	WDON[2:0]		
		—	WRON[2:0]			—	RDON[2:0]		
		—	—	—	—	—	WDOFF[2:0]		
		—	CSWOFF[2:0]			—	CSROFF[2:0]		
BSC	CS6MOD	PRMOD	—	—	—	—	—	PWENB	PRENB
		—	—	—	—	EWENB	—	—	WRMOD
BSC	CS6WCR1	—	—	—	CSRWAIT[4:0]				
		—	—	—	CSWWAIT[4:0]				
		—	—	—	—	—	CSPRWAIT[2:0]		
		—	—	—	—	—	CSPWWAIT[2:0]		
BSC	CS6WCR2	—	CSON[2:0]			—	WDON[2:0]		
		—	WRON[2:0]			—	RDON[2:0]		
		—	—	—	—	—	WDOFF[2:0]		
		—	CSWOFF[2:0]			—	CSROFF[2:0]		
BSC	CS7MOD	PRMOD	—	—	—	—	—	PWENB	PRENB
		—	—	—	—	EWENB	—	—	WRMOD
BSC	CS7WCR1	—	—	—	CSRWAIT[4:0]				
		—	—	—	CSWWAIT[4:0]				
		—	—	—	—	—	CSPRWAIT[2:0]		
		—	—	—	—	—	CSPWWAIT[2:0]		
BSC	CS7WCR2	—	CSON[2:0]			—	WDON[2:0]		
		—	WRON[2:0]			—	RDON[2:0]		
		—	—	—	—	—	WDOFF[2:0]		
		—	CSWOFF[2:0]			—	CSROFF[2:0]		
BSC	CS0CR	—	—	—	—	—	—	—	EMODE
		—	—	BSIZE[1:0]		—	—	—	EXENB

表 5.2 I/O 寄存器位一览表 (8 / 51)

模块 符号	寄存器 符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
BSC	CS0REC	—	—	—	—	WRCV[3:0]			
		—	—	—	—	RRCV[3:0]			
BSC	CS1CR	—	—	—	—	—	—	—	EMODE
		—	—	BSIZE[1:0]		—	—	—	EXENB
BSC	CS1REC	—	—	—	—	WRCV[3:0]			
		—	—	—	—	RRCV[3:0]			
BSC	CS2CR	—	—	—	—	—	—	—	EMODE
		—	—	BSIZE[1:0]		—	—	—	EXENB
BSC	CS2REC	—	—	—	—	WRCV[3:0]			
		—	—	—	—	RRCV[3:0]			
BSC	CS3CR	—	—	—	—	—	—	—	EMODE
		—	—	BSIZE[1:0]		—	—	—	EXENB
BSC	CS3REC	—	—	—	—	WRCV[3:0]			
		—	—	—	—	RRCV[3:0]			
BSC	CS4CR	—	—	—	—	—	—	—	EMODE
		—	—	BSIZE[1:0]		—	—	—	EXENB
BSC	CS4REC	—	—	—	—	WRCV[3:0]			
		—	—	—	—	RRCV[3:0]			
BSC	CS5CR	—	—	—	—	—	—	—	EMODE
		—	—	BSIZE[1:0]		—	—	—	EXENB
BSC	CS5REC	—	—	—	—	WRCV[3:0]			
		—	—	—	—	RRCV[3:0]			
BSC	CS6CR	—	—	—	—	—	—	—	EMODE
		—	—	BSIZE[1:0]		—	—	—	EXENB
BSC	CS6REC	—	—	—	—	WRCV[3:0]			
		—	—	—	—	RRCV[3:0]			
BSC	CS7CR	—	—	—	—	—	—	—	EMODE
		—	—	BSIZE[1:0]		—	—	—	EXENB
BSC	CS7REC	—	—	—	—	WRCV[3:0]			
		—	—	—	—	RRCV[3:0]			
BSC	SDCCR	—	—	BSIZE[1:0]		—	—	—	EXENB
BSC	SDCMOD	—	—	—	—	—	—	—	EMODE
BSC	SDAMOD	—	—	—	—	—	—	—	BE
BSC	SDSELF	—	—	—	—	—	—	—	SFEN
BSC	SDRFCR	REFW[3:0]				RFC[11:0]			
		RFC[11:0]							
BSC	SDRFEN	—	—	—	—	—	—	—	RFEN
BSC	SDICR	—	—	—	—	—	—	—	INIRQ
BSC	SDIR	—	—	—	—	—	PRC[2:0]		
		ARFC[3:0]				ARFI[3:0]			
BSC	SDADR	—	—	—	—	—	MXC[1:0]		
BSC	SDTR	—	—	—	—	—	—	—	—
		—	—	—	—	—	RAS[2:0]		
		—	—	RCD[1:0]		RP[2:0]		WR	
		—	—	CL[2:0]					

表 5.2 I/O 寄存器位一览表 (9 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
BSC	SDMOD	—							
		MR[14:0]							
BSC	SDSR	—	—	—	SRFST	INIST	—	—	MRSST
MPU	RSPAGE0	RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]				—	—	—	—
MPU	REPAGE0	REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]				UAC[2:0]			V
MPU	RSPAGE1	RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]				—	—	—	—
MPU	REPAGE1	REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]				UAC[2:0]			V
MPU	RSPAGE2	RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]				—	—	—	—
MPU	REPAGE2	REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]				UAC[2:0]			V
MPU	RSPAGE3	RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]				—	—	—	—
MPU	REPAGE3	REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]				UAC[2:0]			V
MPU	RSPAGE4	RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]				—	—	—	—
MPU	REPAGE4	REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]				UAC[2:0]			V

表 5.2 I/O 寄存器位一览表 (10 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
MPU	RSPAGE5	RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]				—	—	—	—
MPU	REPAGE5	REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]				UAC[2:0]			V
MPU	RSPAGE6	RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]				—	—	—	—
MPU	REPAGE6	REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]				UAC[2:0]			V
MPU	RSPAGE7	RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]				—	—	—	—
MPU	REPAGE7	REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]				UAC[2:0]			V
MPU	MPEN	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	MPEN
MPU	MPBAC	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	UBAC[2:0]			—
MPU	MPECLR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	CLR
MPU	MPESTS	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	DRW	DA	IA
MPU	MPDEA	DEA[31:0]							
		DEA[31:0]							
		DEA[31:0]							
		DEA[31:0]							

表 5.2 I/O 寄存器位一览表 (11 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
MPU	MPSA	SA[31:0]							
		SA[31:0]							
		SA[31:0]							
		SA[31:0]							
MPU	MPOPS	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	S
MPU	MPOPI	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	INV
MPU	MHITI	—	—	—	—	—	—	—	—
		HITI[7:0]							
		—	—	—	—	—	—	—	—
		—	—	—	—	UHACI[2:0]			—
MPU	MHITD	—	—	—	—	—	—	—	—
		HITD[7:0]							
		—	—	—	—	—	—	—	—
		—	—	—	—	UHACD[2:0]			—
ICU	IR016	—	—	—	—	—	—	—	IR
ICU	IR021	—	—	—	—	—	—	—	IR
ICU	IR023	—	—	—	—	—	—	—	IR
ICU	IR027	—	—	—	—	—	—	—	IR
ICU	IR028	—	—	—	—	—	—	—	IR
ICU	IR029	—	—	—	—	—	—	—	IR
ICU	IR030	—	—	—	—	—	—	—	IR
ICU	IR031	—	—	—	—	—	—	—	IR
ICU	IR032	—	—	—	—	—	—	—	IR
ICU	IR036	—	—	—	—	—	—	—	IR
ICU	IR037	—	—	—	—	—	—	—	IR
ICU	IR038	—	—	—	—	—	—	—	IR
ICU	IR040	—	—	—	—	—	—	—	IR
ICU	IR041	—	—	—	—	—	—	—	IR
ICU	IR042	—	—	—	—	—	—	—	IR
ICU	IR044	—	—	—	—	—	—	—	IR
ICU	IR045	—	—	—	—	—	—	—	IR
ICU	IR046	—	—	—	—	—	—	—	IR
ICU	IR047	—	—	—	—	—	—	—	IR
ICU	IR048	—	—	—	—	—	—	—	IR
ICU	IR049	—	—	—	—	—	—	—	IR
ICU	IR050	—	—	—	—	—	—	—	IR
ICU	IR051	—	—	—	—	—	—	—	IR
ICU	IR056	—	—	—	—	—	—	—	IR
ICU	IR057	—	—	—	—	—	—	—	IR
ICU	IR058	—	—	—	—	—	—	—	IR
ICU	IR059	—	—	—	—	—	—	—	IR
ICU	IR060	—	—	—	—	—	—	—	IR
ICU	IR062	—	—	—	—	—	—	—	IR
ICU	IR063	—	—	—	—	—	—	—	IR

表 5.2 I/O 寄存器位一览表 (12 / 51)

模块 符号	寄存器 符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
ICU	IR064	—	—	—	—	—	—	—	IR
ICU	IR065	—	—	—	—	—	—	—	IR
ICU	IR066	—	—	—	—	—	—	—	IR
ICU	IR067	—	—	—	—	—	—	—	IR
ICU	IR068	—	—	—	—	—	—	—	IR
ICU	IR069	—	—	—	—	—	—	—	IR
ICU	IR070	—	—	—	—	—	—	—	IR
ICU	IR071	—	—	—	—	—	—	—	IR
ICU	IR072	—	—	—	—	—	—	—	IR
ICU	IR073	—	—	—	—	—	—	—	IR
ICU	IR074	—	—	—	—	—	—	—	IR
ICU	IR075	—	—	—	—	—	—	—	IR
ICU	IR076	—	—	—	—	—	—	—	IR
ICU	IR077	—	—	—	—	—	—	—	IR
ICU	IR078	—	—	—	—	—	—	—	IR
ICU	IR079	—	—	—	—	—	—	—	IR
ICU	IR090	—	—	—	—	—	—	—	IR
ICU	IR091	—	—	—	—	—	—	—	IR
ICU	IR092	—	—	—	—	—	—	—	IR
ICU	IR096	—	—	—	—	—	—	—	IR
ICU	IR098	—	—	—	—	—	—	—	IR
ICU	IR099	—	—	—	—	—	—	—	IR
ICU	IR102	—	—	—	—	—	—	—	IR
ICU	IR114	—	—	—	—	—	—	—	IR
ICU	IR115	—	—	—	—	—	—	—	IR
ICU	IR116	—	—	—	—	—	—	—	IR
ICU	IR117	—	—	—	—	—	—	—	IR
ICU	IR118	—	—	—	—	—	—	—	IR
ICU	IR119	—	—	—	—	—	—	—	IR
ICU	IR120	—	—	—	—	—	—	—	IR
ICU	IR121	—	—	—	—	—	—	—	IR
ICU	IR122	—	—	—	—	—	—	—	IR
ICU	IR123	—	—	—	—	—	—	—	IR
ICU	IR124	—	—	—	—	—	—	—	IR
ICU	IR125	—	—	—	—	—	—	—	IR
ICU	IR126	—	—	—	—	—	—	—	IR
ICU	IR127	—	—	—	—	—	—	—	IR
ICU	IR128	—	—	—	—	—	—	—	IR
ICU	IR129	—	—	—	—	—	—	—	IR
ICU	IR130	—	—	—	—	—	—	—	IR
ICU	IR131	—	—	—	—	—	—	—	IR
ICU	IR132	—	—	—	—	—	—	—	IR
ICU	IR133	—	—	—	—	—	—	—	IR
ICU	IR134	—	—	—	—	—	—	—	IR
ICU	IR135	—	—	—	—	—	—	—	IR
ICU	IR136	—	—	—	—	—	—	—	IR

表 5.2 I/O 寄存器位一览表 (13 / 51)

模块 符号	寄存器 符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
ICU	IR137	—	—	—	—	—	—	—	IR
ICU	IR138	—	—	—	—	—	—	—	IR
ICU	IR139	—	—	—	—	—	—	—	IR
ICU	IR140	—	—	—	—	—	—	—	IR
ICU	IR141	—	—	—	—	—	—	—	IR
ICU	IR142	—	—	—	—	—	—	—	IR
ICU	IR143	—	—	—	—	—	—	—	IR
ICU	IR144	—	—	—	—	—	—	—	IR
ICU	IR145	—	—	—	—	—	—	—	IR
ICU	IR146	—	—	—	—	—	—	—	IR
ICU	IR147	—	—	—	—	—	—	—	IR
ICU	IR148	—	—	—	—	—	—	—	IR
ICU	IR149	—	—	—	—	—	—	—	IR
ICU	IR150	—	—	—	—	—	—	—	IR
ICU	IR151	—	—	—	—	—	—	—	IR
ICU	IR152	—	—	—	—	—	—	—	IR
ICU	IR153	—	—	—	—	—	—	—	IR
ICU	IR154	—	—	—	—	—	—	—	IR
ICU	IR155	—	—	—	—	—	—	—	IR
ICU	IR156	—	—	—	—	—	—	—	IR
ICU	IR157	—	—	—	—	—	—	—	IR
ICU	IR158	—	—	—	—	—	—	—	IR
ICU	IR159	—	—	—	—	—	—	—	IR
ICU	IR160	—	—	—	—	—	—	—	IR
ICU	IR161	—	—	—	—	—	—	—	IR
ICU	IR162	—	—	—	—	—	—	—	IR
ICU	IR163	—	—	—	—	—	—	—	IR
ICU	IR164	—	—	—	—	—	—	—	IR
ICU	IR165	—	—	—	—	—	—	—	IR
ICU	IR166	—	—	—	—	—	—	—	IR
ICU	IR167	—	—	—	—	—	—	—	IR
ICU	IR168	—	—	—	—	—	—	—	IR
ICU	IR169	—	—	—	—	—	—	—	IR
ICU	IR170	—	—	—	—	—	—	—	IR
ICU	IR171	—	—	—	—	—	—	—	IR
ICU	IR172	—	—	—	—	—	—	—	IR
ICU	IR173	—	—	—	—	—	—	—	IR
ICU	IR174	—	—	—	—	—	—	—	IR
ICU	IR175	—	—	—	—	—	—	—	IR
ICU	IR176	—	—	—	—	—	—	—	IR
ICU	IR177	—	—	—	—	—	—	—	IR
ICU	IR178	—	—	—	—	—	—	—	IR
ICU	IR179	—	—	—	—	—	—	—	IR
ICU	IR180	—	—	—	—	—	—	—	IR
ICU	IR181	—	—	—	—	—	—	—	IR
ICU	IR182	—	—	—	—	—	—	—	IR

表 5.2 I/O 寄存器位一览表 (14 / 51)

模块 符号	寄存器 符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
ICU	IR183	—	—	—	—	—	—	—	IR
ICU	IR184	—	—	—	—	—	—	—	IR
ICU	IR185	—	—	—	—	—	—	—	IR
ICU	IR198	—	—	—	—	—	—	—	IR
ICU	IR199	—	—	—	—	—	—	—	IR
ICU	IR200	—	—	—	—	—	—	—	IR
ICU	IR201	—	—	—	—	—	—	—	IR
ICU	IR202	—	—	—	—	—	—	—	IR
ICU	IR203	—	—	—	—	—	—	—	IR
ICU	IR214	—	—	—	—	—	—	—	IR
ICU	IR215	—	—	—	—	—	—	—	IR
ICU	IR216	—	—	—	—	—	—	—	IR
ICU	IR217	—	—	—	—	—	—	—	IR
ICU	IR218	—	—	—	—	—	—	—	IR
ICU	IR219	—	—	—	—	—	—	—	IR
ICU	IR220	—	—	—	—	—	—	—	IR
ICU	IR221	—	—	—	—	—	—	—	IR
ICU	IR222	—	—	—	—	—	—	—	IR
ICU	IR223	—	—	—	—	—	—	—	IR
ICU	IR224	—	—	—	—	—	—	—	IR
ICU	IR225	—	—	—	—	—	—	—	IR
ICU	IR226	—	—	—	—	—	—	—	IR
ICU	IR227	—	—	—	—	—	—	—	IR
ICU	IR228	—	—	—	—	—	—	—	IR
ICU	IR229	—	—	—	—	—	—	—	IR
ICU	IR234	—	—	—	—	—	—	—	IR
ICU	IR235	—	—	—	—	—	—	—	IR
ICU	IR236	—	—	—	—	—	—	—	IR
ICU	IR237	—	—	—	—	—	—	—	IR
ICU	IR238	—	—	—	—	—	—	—	IR
ICU	IR239	—	—	—	—	—	—	—	IR
ICU	IR240	—	—	—	—	—	—	—	IR
ICU	IR241	—	—	—	—	—	—	—	IR
ICU	IR246	—	—	—	—	—	—	—	IR
ICU	IR247	—	—	—	—	—	—	—	IR
ICU	IR248	—	—	—	—	—	—	—	IR
ICU	IR249	—	—	—	—	—	—	—	IR
ICU	IR250	—	—	—	—	—	—	—	IR
ICU	IR251	—	—	—	—	—	—	—	IR
ICU	IR252	—	—	—	—	—	—	—	IR
ICU	IR253	—	—	—	—	—	—	—	IR
ICU	DTCE027	—	—	—	—	—	—	—	DTCE
ICU	DTCE028	—	—	—	—	—	—	—	DTCE
ICU	DTCE029	—	—	—	—	—	—	—	DTCE
ICU	DTCE030	—	—	—	—	—	—	—	DTCE
ICU	DTCE031	—	—	—	—	—	—	—	DTCE

表 5.2 I/O 寄存器位一览表 (15 / 51)

模块 符号	寄存器 符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
ICU	DTCER036	—	—	—	—	—	—	—	DTCE
ICU	DTCER037	—	—	—	—	—	—	—	DTCE
ICU	DTCER040	—	—	—	—	—	—	—	DTCE
ICU	DTCER041	—	—	—	—	—	—	—	DTCE
ICU	DTCER045	—	—	—	—	—	—	—	DTCE
ICU	DTCER046	—	—	—	—	—	—	—	DTCE
ICU	DTCER049	—	—	—	—	—	—	—	DTCE
ICU	DTCER050	—	—	—	—	—	—	—	DTCE
ICU	DTCER064	—	—	—	—	—	—	—	DTCE
ICU	DTCER065	—	—	—	—	—	—	—	DTCE
ICU	DTCER066	—	—	—	—	—	—	—	DTCE
ICU	DTCER067	—	—	—	—	—	—	—	DTCE
ICU	DTCER068	—	—	—	—	—	—	—	DTCE
ICU	DTCER069	—	—	—	—	—	—	—	DTCE
ICU	DTCER070	—	—	—	—	—	—	—	DTCE
ICU	DTCER071	—	—	—	—	—	—	—	DTCE
ICU	DTCER072	—	—	—	—	—	—	—	DTCE
ICU	DTCER073	—	—	—	—	—	—	—	DTCE
ICU	DTCER074	—	—	—	—	—	—	—	DTCE
ICU	DTCER075	—	—	—	—	—	—	—	DTCE
ICU	DTCER076	—	—	—	—	—	—	—	DTCE
ICU	DTCER077	—	—	—	—	—	—	—	DTCE
ICU	DTCER078	—	—	—	—	—	—	—	DTCE
ICU	DTCER079	—	—	—	—	—	—	—	DTCE
ICU	DTCER098	—	—	—	—	—	—	—	DTCE
ICU	DTCER099	—	—	—	—	—	—	—	DTCE
ICU	DTCER102	—	—	—	—	—	—	—	DTCE
ICU	DTCER114	—	—	—	—	—	—	—	DTCE
ICU	DTCER115	—	—	—	—	—	—	—	DTCE
ICU	DTCER116	—	—	—	—	—	—	—	DTCE
ICU	DTCER117	—	—	—	—	—	—	—	DTCE
ICU	DTCER121	—	—	—	—	—	—	—	DTCE
ICU	DTCER122	—	—	—	—	—	—	—	DTCE
ICU	DTCER125	—	—	—	—	—	—	—	DTCE
ICU	DTCER126	—	—	—	—	—	—	—	DTCE
ICU	DTCER129	—	—	—	—	—	—	—	DTCE
ICU	DTCER130	—	—	—	—	—	—	—	DTCE
ICU	DTCER131	—	—	—	—	—	—	—	DTCE
ICU	DTCER132	—	—	—	—	—	—	—	DTCE
ICU	DTCER134	—	—	—	—	—	—	—	DTCE
ICU	DTCER135	—	—	—	—	—	—	—	DTCE
ICU	DTCER136	—	—	—	—	—	—	—	DTCE
ICU	DTCER137	—	—	—	—	—	—	—	DTCE
ICU	DTCER138	—	—	—	—	—	—	—	DTCE
ICU	DTCER139	—	—	—	—	—	—	—	DTCE
ICU	DTCER140	—	—	—	—	—	—	—	DTCE

表 5.2 I/O 寄存器位一览表 (16 / 51)

模块 符号	寄存器 符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
ICU	DTCER141	—	—	—	—	—	—	—	DTCE
ICU	DTCER142	—	—	—	—	—	—	—	DTCE
ICU	DTCER143	—	—	—	—	—	—	—	DTCE
ICU	DTCER144	—	—	—	—	—	—	—	DTCE
ICU	DTCER145	—	—	—	—	—	—	—	DTCE
ICU	DTCER149	—	—	—	—	—	—	—	DTCE
ICU	DTCER150	—	—	—	—	—	—	—	DTCE
ICU	DTCER153	—	—	—	—	—	—	—	DTCE
ICU	DTCER154	—	—	—	—	—	—	—	DTCE
ICU	DTCER157	—	—	—	—	—	—	—	DTCE
ICU	DTCER158	—	—	—	—	—	—	—	DTCE
ICU	DTCER159	—	—	—	—	—	—	—	DTCE
ICU	DTCER160	—	—	—	—	—	—	—	DTCE
ICU	DTCER162	—	—	—	—	—	—	—	DTCE
ICU	DTCER163	—	—	—	—	—	—	—	DTCE
ICU	DTCER164	—	—	—	—	—	—	—	DTCE
ICU	DTCER165	—	—	—	—	—	—	—	DTCE
ICU	DTCER166	—	—	—	—	—	—	—	DTCE
ICU	DTCER167	—	—	—	—	—	—	—	DTCE
ICU	DTCER168	—	—	—	—	—	—	—	DTCE
ICU	DTCER169	—	—	—	—	—	—	—	DTCE
ICU	DTCER174	—	—	—	—	—	—	—	DTCE
ICU	DTCER175	—	—	—	—	—	—	—	DTCE
ICU	DTCER177	—	—	—	—	—	—	—	DTCE
ICU	DTCER178	—	—	—	—	—	—	—	DTCE
ICU	DTCER180	—	—	—	—	—	—	—	DTCE
ICU	DTCER181	—	—	—	—	—	—	—	DTCE
ICU	DTCER183	—	—	—	—	—	—	—	DTCE
ICU	DTCER184	—	—	—	—	—	—	—	DTCE
ICU	DTCER198	—	—	—	—	—	—	—	DTCE
ICU	DTCER199	—	—	—	—	—	—	—	DTCE
ICU	DTCER200	—	—	—	—	—	—	—	DTCE
ICU	DTCER201	—	—	—	—	—	—	—	DTCE
ICU	DTCER202	—	—	—	—	—	—	—	DTCE
ICU	DTCER203	—	—	—	—	—	—	—	DTCE
ICU	DTCER215	—	—	—	—	—	—	—	DTCE
ICU	DTCER216	—	—	—	—	—	—	—	DTCE
ICU	DTCER219	—	—	—	—	—	—	—	DTCE
ICU	DTCER220	—	—	—	—	—	—	—	DTCE
ICU	DTCER223	—	—	—	—	—	—	—	DTCE
ICU	DTCER224	—	—	—	—	—	—	—	DTCE
ICU	DTCER227	—	—	—	—	—	—	—	DTCE
ICU	DTCER228	—	—	—	—	—	—	—	DTCE
ICU	DTCER235	—	—	—	—	—	—	—	DTCE
ICU	DTCER236	—	—	—	—	—	—	—	DTCE
ICU	DTCER239	—	—	—	—	—	—	—	DTCE

表 5.2 I/O 寄存器位一览表 (17 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
ICU	DTCER240	—	—	—	—	—	—	—	DTCE
ICU	DTCER247	—	—	—	—	—	—	—	DTCE
ICU	DTCER248	—	—	—	—	—	—	—	DTCE
ICU	DTCER251	—	—	—	—	—	—	—	DTCE
ICU	DTCER252	—	—	—	—	—	—	—	DTCE
ICU	IER02	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER03	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER04	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER05	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER06	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER07	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER08	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER09	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER0B	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER0C	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER0E	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER0F	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER10	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER11	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER12	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER13	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER14	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER15	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER16	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER17	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER18	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER19	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER1A	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER1B	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER1C	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER1D	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER1E	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER1F	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	SWINTR	—	—	—	—	—	—	—	SWINT
ICU	FIR	FIEN	—	—	—	—	—	—	—
		FVCT[7:0]							
ICU	IPR00	—	—	—	—	IPR[3:0]			
ICU	IPR01	—	—	—	—	IPR[3:0]			
ICU	IPR02	—	—	—	—	IPR[3:0]			
ICU	IPR03	—	—	—	—	IPR[3:0]			
ICU	IPR04	—	—	—	—	IPR[3:0]			
ICU	IPR05	—	—	—	—	IPR[3:0]			
ICU	IPR06	—	—	—	—	IPR[3:0]			
ICU	IPR07	—	—	—	—	IPR[3:0]			
ICU	IPR08	—	—	—	—	IPR[3:0]			
ICU	IPROC	—	—	—	—	IPR[3:0]			

表 5.2 I/O 寄存器位一览表 (18 / 51)

模块 符号	寄存器 符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
ICU	IPR0D	—	—	—	—	IPR[3:0]			
ICU	IPR0E	—	—	—	—	IPR[3:0]			
ICU	IPR10	—	—	—	—	IPR[3:0]			
ICU	IPR11	—	—	—	—	IPR[3:0]			
ICU	IPR12	—	—	—	—	IPR[3:0]			
ICU	IPR14	—	—	—	—	IPR[3:0]			
ICU	IPR15	—	—	—	—	IPR[3:0]			
ICU	IPR18	—	—	—	—	IPR[3:0]			
ICU	IPR1E	—	—	—	—	IPR[3:0]			
ICU	IPR1F	—	—	—	—	IPR[3:0]			
ICU	IPR20	—	—	—	—	IPR[3:0]			
ICU	IPR21	—	—	—	—	IPR[3:0]			
ICU	IPR22	—	—	—	—	IPR[3:0]			
ICU	IPR23	—	—	—	—	IPR[3:0]			
ICU	IPR24	—	—	—	—	IPR[3:0]			
ICU	IPR25	—	—	—	—	IPR[3:0]			
ICU	IPR26	—	—	—	—	IPR[3:0]			
ICU	IPR27	—	—	—	—	IPR[3:0]			
ICU	IPR28	—	—	—	—	IPR[3:0]			
ICU	IPR29	—	—	—	—	IPR[3:0]			
ICU	IPR2A	—	—	—	—	IPR[3:0]			
ICU	IPR2B	—	—	—	—	IPR[3:0]			
ICU	IPR2C	—	—	—	—	IPR[3:0]			
ICU	IPR2D	—	—	—	—	IPR[3:0]			
ICU	IPR2E	—	—	—	—	IPR[3:0]			
ICU	IPR2F	—	—	—	—	IPR[3:0]			
ICU	IPR3A	—	—	—	—	IPR[3:0]			
ICU	IPR3B	—	—	—	—	IPR[3:0]			
ICU	IPR3C	—	—	—	—	IPR[3:0]			
ICU	IPR40	—	—	—	—	IPR[3:0]			
ICU	IPR44	—	—	—	—	IPR[3:0]			
ICU	IPR45	—	—	—	—	IPR[3:0]			
ICU	IPR48	—	—	—	—	IPR[3:0]			
ICU	IPR51	—	—	—	—	IPR[3:0]			
ICU	IPR52	—	—	—	—	IPR[3:0]			
ICU	IPR53	—	—	—	—	IPR[3:0]			
ICU	IPR54	—	—	—	—	IPR[3:0]			
ICU	IPR55	—	—	—	—	IPR[3:0]			
ICU	IPR56	—	—	—	—	IPR[3:0]			
ICU	IPR57	—	—	—	—	IPR[3:0]			
ICU	IPR58	—	—	—	—	IPR[3:0]			
ICU	IPR59	—	—	—	—	IPR[3:0]			
ICU	IPR5A	—	—	—	—	IPR[3:0]			
ICU	IPR5B	—	—	—	—	IPR[3:0]			
ICU	IPR5C	—	—	—	—	IPR[3:0]			
ICU	IPR5D	—	—	—	—	IPR[3:0]			

表 5.2 I/O 寄存器位一览表 (19 / 51)

模块 符号	寄存器 符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
ICU	IPR5E	—	—	—	—	IPR[3:0]			
ICU	IPR5F	—	—	—	—	IPR[3:0]			
ICU	IPR60	—	—	—	—	IPR[3:0]			
ICU	IPR61	—	—	—	—	IPR[3:0]			
ICU	IPR62	—	—	—	—	IPR[3:0]			
ICU	IPR63	—	—	—	—	IPR[3:0]			
ICU	IPR64	—	—	—	—	IPR[3:0]			
ICU	IPR65	—	—	—	—	IPR[3:0]			
ICU	IPR66	—	—	—	—	IPR[3:0]			
ICU	IPR67	—	—	—	—	IPR[3:0]			
ICU	IPR68	—	—	—	—	IPR[3:0]			
ICU	IPR69	—	—	—	—	IPR[3:0]			
ICU	IPR6A	—	—	—	—	IPR[3:0]			
ICU	IPR6B	—	—	—	—	IPR[3:0]			
ICU	IPR70	—	—	—	—	IPR[3:0]			
ICU	IPR71	—	—	—	—	IPR[3:0]			
ICU	IPR72	—	—	—	—	IPR[3:0]			
ICU	IPR73	—	—	—	—	IPR[3:0]			
ICU	IPR74	—	—	—	—	IPR[3:0]			
ICU	IPR75	—	—	—	—	IPR[3:0]			
ICU	IPR80	—	—	—	—	IPR[3:0]			
ICU	IPR81	—	—	—	—	IPR[3:0]			
ICU	IPR82	—	—	—	—	IPR[3:0]			
ICU	IPR83	—	—	—	—	IPR[3:0]			
ICU	IPR85	—	—	—	—	IPR[3:0]			
ICU	IPR86	—	—	—	—	IPR[3:0]			
ICU	IPR88	—	—	—	—	IPR[3:0]			
ICU	IPR89	—	—	—	—	IPR[3:0]			
ICU	IPR8A	—	—	—	—	IPR[3:0]			
ICU	IPR8B	—	—	—	—	IPR[3:0]			
ICU	IPR8C	—	—	—	—	IPR[3:0]			
ICU	IPR8D	—	—	—	—	IPR[3:0]			
ICU	IPR8E	—	—	—	—	IPR[3:0]			
ICU	IPR8F	—	—	—	—	IPR[3:0]			
ICU	DMRSR0								
ICU	DMRSR1								
ICU	DMRSR2								
ICU	DMRSR3								
ICU	IRQCR0	—	—	—	—	IRQMD[1:0]	—	—	—
ICU	IRQCR1	—	—	—	—	IRQMD[1:0]	—	—	—
ICU	IRQCR2	—	—	—	—	IRQMD[1:0]	—	—	—
ICU	IRQCR3	—	—	—	—	IRQMD[1:0]	—	—	—
ICU	IRQCR4	—	—	—	—	IRQMD[1:0]	—	—	—
ICU	IRQCR5	—	—	—	—	IRQMD[1:0]	—	—	—
ICU	IRQCR6	—	—	—	—	IRQMD[1:0]	—	—	—
ICU	IRQCR7	—	—	—	—	IRQMD[1:0]	—	—	—

表 5.2 I/O 寄存器位一览表 (20 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
ICU	IRQCR8	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR9	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR10	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR11	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR12	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR13	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR14	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR15	—	—	—	—	IRQMD[1:0]		—	—
ICU	NMISR	—	—	—	—	—	OSTST	LVDST	NMIST
ICU	NMIER	—	—	—	—	—	OSTEN	LVDEN	NMIEN
ICU	NMICLR	—	—	—	—	—	OSTCLR	—	NMICLR
ICU	NMICR	—	—	—	—	NMIMD	—	—	—
CMT	CMSTR0	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	STR1	STR0
CMT0	CMCR	—	—	—	—	—	—	—	—
		—	CMIE	—	—	—	—	CKS[1:0]	
CMT0	CMCNT								
CMT0	CMCOR								
CMT1	CMCR	—	—	—	—	—	—	—	—
		—	CMIE	—	—	—	—	CKS[1:0]	
CMT1	CMCNT								
CMT1	CMCOR								
CMT	CMSTR1	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	STR3	STR2
CMT2	CMCR	—	—	—	—	—	—	—	—
		—	CMIE	—	—	—	—	CKS[1:0]	
CMT2	CMCNT								
CMT2	CMCOR								
CMT3	CMCR	—	—	—	—	—	—	—	—
		—	CMIE	—	—	—	—	CKS[1:0]	
CMT3	CMCNT								
CMT3	CMCOR								
WDT	TCSR	—	TMS	TME	—	—	CKS[2:0]		
WDT	WINA								
WDT	TCNT								
WDT	WINB								

表 5.2 I/O 寄存器位一览表 (21 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
WDT	RSTCSR	WOVF	RSTE	—	—	—	—	—	—
IWDT	IWDTRR								
IWDT	IWDTCR	—	—	—	—	—	—	—	—
		CKS[3:0]					—	—	TOPS[1:0]
IWDT	IWDTSR	—	UNDF	CNTVAL[13:0]					
		CNTVAL[13:0]							
AD0	ADDRA (注5)	—	—	—	—	—	—		
AD0	ADDRB (注5)	—	—	—	—	—	—		
AD0	ADDRC (注5)	—	—	—	—	—	—		
AD0	ADDRD (注5)	—	—	—	—	—	—		
AD0	ADCSR	—	ADIE	ADST	—	CH[3:0]			
AD0	ADCR	TRGS[2:0]			—	CKS[1:0]		MODE[1:0]	
AD0	ADDPR	DPSEL	—	—	—	—	—	—	—
AD0	ADSSTR								
AD0	ADDIAGR	—	—	—	—	—	—	DIAG[1:0]	
AD1	ADDRA (注5)	—	—	—	—	—	—		
AD1	ADDRB (注5)	—	—	—	—	—	—		
AD1	ADDRC (注5)	—	—	—	—	—	—		
AD1	ADDRD (注5)	—	—	—	—	—	—		
AD1	ADCSR	—	ADIE	ADST	—	CH[3:0]			
AD1	ADCR	TRGS[2:0]			—	CKS[1:0]		MODE[1:0]	
AD1	ADDPR	DPSEL	—	—	—	—	—	—	—
AD1	ADSSTR								
AD1	ADDIAGR	—	—	—	—	—	—	DIAG[1:0]	
DA	DADR0								
DA	DADR1								
DA	DACR	DAOE1	DAOE0	DAE	—	—	—	—	—
DA	DADPR	DPSEL	—	—	—	—	—	—	—
PPG0	PCR	G3CMS[1:0]		G2CMS[1:0]		G1CMS[1:0]		G0CMS[1:0]	
PPG0	PMR	G3INV	G2INV	G1INV	G0INV	G3NOV	G2NOV	G1NOV	G0NOV
PPG0	NDERH	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
PPG0	NDERL	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
PPG0	PODRH	POD15	POD14	POD13	POD12	POD11	POD10	POD9	POD8
PPG0	PODRL	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0
PPG0	NDRH (注1)	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8

表 5.2 I/O 寄存器位一览表 (22 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
PPG0	NDRL (注2)	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
PPG0	NDRH2 (注1)	—	—	—	—	NDR11	NDR10	NDR9	NDR8
PPG0	NDRL2 (注2)	—	—	—	—	NDR3	NDR2	NDR1	NDR0
PPG1	PTRSLR	—	—	—	—	—	—	—	PTRSL
PPG1	PCR	G3CMS[1:0]		G2CMS[1:0]		G1CMS[1:0]		G0CMS[1:0]	
PPG1	PMR	G3INV	G2INV	G1INV	G0INV	G3NOV	G2NOV	G1NOV	G0NOV
PPG1	NDERH	NDER31	NDER30	NDER29	NDER28	NDER27	NDER26	NDER25	NDER24
PPG1	NDERL	NDER23	NDER22	NDER21	NDER20	NDER19	NDER18	NDER17	NDER16
PPG1	PODRH	POD31	POD30	POD29	POD28	POD27	POD26	POD25	POD24
PPG1	PODRL	POD23	POD22	POD21	POD20	POD19	POD18	POD17	POD16
PPG1	NDRH (注3)	NDR31	NDR30	NDR29	NDR28	NDR27	NDR26	NDR25	NDR24
PPG1	NDRL (注4)	NDR23	NDR22	NDR21	NDR20	NDR19	NDR18	NDR17	NDR16
PPG1	NDRH2 (注3)	—	—	—	—	NDR27	NDR26	NDR25	NDR24
PPG1	NDRL2 (注4)	—	—	—	—	NDR19	NDR18	NDR17	NDR16
TMR0	TCR	CMIEB	CMIEA	OVIE	CCLR[1:0]		—	—	—
TMR1	TCR	CMIEB	CMIEA	OVIE	CCLR[1:0]		—	—	—
TMR0	TCSR	—	—	—	ADTE	OSB[1:0]		OSA[1:0]	
TMR1	TCSR	—	—	—	—	OSB[1:0]		OSA[1:0]	
TMR0	TCORA								
TMR1	TCORA								
TMR0	TCORB								
TMR1	TCORB								
TMR0	TCNT								
TMR1	TCNT								
TMR0	TCCR	TMRIS	—	—	CSS[1:0]		CKS[2:0]		
TMR1	TCCR	TMRIS	—	—	CSS[1:0]		CKS[2:0]		
TMR01	TCORA								
TMR01	TCORB								
TMR01	TCNT								
TMR01	TCCR								
TMR2	TCR	CMIEB	CMIEA	OVIE	CCLR[1:0]		—	—	—
TMR3	TCR	CMIEB	CMIEA	OVIE	CCLR[1:0]		—	—	—
TMR2	TCSR	—	—	—	ADTE	OSB[1:0]		OSA[1:0]	
TMR3	TCSR	—	—	—	—	OSB[1:0]		OSA[1:0]	
TMR2	TCORA								
TMR3	TCORA								
TMR2	TCORB								

表 5.2 I/O 寄存器位一览表 (23 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
TMR3	TCORB								
TMR2	TCNT								
TMR3	TCNT								
TMR2	TCCR	TMRIS	—	—	CSS[1:0]		CKS[2:0]		
TMR3	TCCR	TMRIS	—	—	CSS[1:0]		CKS[2:0]		
TMR23	TCORA								
TMR23	TCORB								
TMR23	TCNT								
TMR23	TCCR								
SCI0	SMR	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
SCI0	BRR								
SCI0	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
SCI0	TDR								
SCI0	SSR	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
SCI0	RDR								
SCI0	SCMR	BCP2	—	—	—	SDIR	SINV	—	SMIF
SCI0	SEMR	—	—	—	ABCS	—	—	—	ACS0
SMCI0	SMR	GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
SMCI0	BRR								
SMCI0	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
SMCI0	TDR								
SMCI0	SSR	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
SMCI0	RDR								
SMCI0	SCMR	BCP2	—	—	—	SDIR	SINV	—	SMIF
SCI1	SMR	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
SCI1	BRR								
SCI1	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
SCI1	TDR								
SCI1	SSR	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
SCI1	RDR								
SCI1	SCMR	BCP2	—	—	—	SDIR	SINV	—	SMIF
SCI1	SEMR	—	—	—	ABCS	—	—	—	ACS0
SMCI1	SMR	GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
SMCI1	BRR								
SMCI1	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
SMCI1	TDR								
SMCI1	SSR	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
SMCI1	RDR								
SMCI1	SCMR	BCP2	—	—	—	SDIR	SINV	—	SMIF
SCI2	SMR	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
SCI2	BRR								
SCI2	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	

表 5.2 I/O 寄存器位一览表 (24 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
SCI2	TDR								
SCI2	SSR	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
SCI2	RDR								
SCI2	SCMR	BCP2	—	—	—	SDIR	SINV	—	SMIF
SCI2	SEMR	—	—	—	ABCS	—	—	—	ACS0
SMCI2	SMR	GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
SMCI2	BRR								
SMCI2	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
SMCI2	TDR								
SMCI2	SSR	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
SMCI2	RDR								
SMCI2	SCMR	BCP2	—	—	—	SDIR	SINV	—	SMIF
SCI3	SMR	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
SCI3	BRR								
SCI3	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
SCI3	TDR								
SCI3	SSR	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
SCI3	RDR								
SCI3	SCMR	BCP2	—	—	—	SDIR	SINV	—	SMIF
SCI3	SEMR	—	—	—	ABCS	—	—	—	ACS0
SMCI3	SMR	GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
SMCI3	BRR								
SMCI3	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
SMCI3	TDR								
SMCI3	SSR	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
SMCI3	RDR								
SMCI3	SCMR	BCP2	—	—	—	SDIR	SINV	—	SMIF
SCI5	SMR	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
SCI5	BRR								
SCI5	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
SCI5	TDR								
SCI5	SSR	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
SCI5	RDR								
SCI5	SCMR	BCP2	—	—	—	SDIR	SINV	—	SMIF
SCI5	SEMR	—	—	—	ABCS	—	—	—	ACS0
SMCI5	SMR	GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
SMCI5	BRR								
SMCI5	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
SMCI5	TDR								
SMCI5	SSR	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
SMCI5	RDR								
SMCI5	SCMR	BCP2	—	—	—	SDIR	SINV	—	SMIF
SCI6	SMR	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
SCI6	BRR								
SCI6	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
SCI6	TDR								

表 5.2 I/O 寄存器位一览表 (25 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0	
SCI6	SSR	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
SCI6	RDR									
SCI6	SCMR	BCP2	—	—	—	SDIR	SINV	—	SMIF	
SCI6	SEMR	—	—	—	ABCS	—	—	—	ACS0	
SMCI6	SMR	GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]		
SMCI6	BRR									
SMCI6	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]		
SMCI6	TDR									
SMCI6	SSR	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT	
SMCI6	RDR									
SMCI6	SCMR	BCP2	—	—	—	SDIR	SINV	—	SMIF	
CRC	CRCCR	DORCLR	—	—	—	—	LMS	GPS[1:0]		
CRC	CRCDIR									
CRC	CRCDOR									
RIIC0	ICCR1	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI	
RIIC0	ICCR2	BBSY	MST	TRS	—	SP	RS	ST	—	
RIIC0	ICMR1	MTWP	CKS[2:0]			BCWP	BC[2:0]			
RIIC0	ICMR2	DLCS	SDDL[2:0]			—	TMOH	TMOL	TMOS	
RIIC0	ICMR3	SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]		
RIIC0	ICFER	FMPE	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE	
RIIC0	ICSER	HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E	
RIIC0	ICIER	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE	
RIIC0	ICSR1	HOA	—	DID	—	GCA	AAS2	AAS1	AAS0	
RIIC0	ICSR2	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF	
RIIC0	SARL0	SVA[6:0]								SVA0
RIIC0	SARU0	—	—	—	—	—	SVA[1:0]		FS	
RIIC0	SARL1	SVA[6:0]								SVA0
RIIC0	SARU1	—	—	—	—	—	SVA[1:0]		FS	
RIIC0	SARL2	SVA[6:0]								SVA0
RIIC0	SARU2	—	—	—	—	—	SVA[1:0]		FS	
RIIC0	ICBRL	—	—	—	BRL[4:0]					
RIIC0	ICBRH	—	—	—	BRH[4:0]					
RIIC0	ICDRT									
RIIC0	ICDRR									
RIIC1	ICCR1	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI	
RIIC1	ICCR2	BBSY	MST	TRS	—	SP	RS	ST	—	
RIIC1	ICMR1	MTWP	CKS[2:0]			BCWP	BC[2:0]			
RIIC1	ICMR2	DLCS	SDDL[2:0]			—	TMOH	TMOL	TMOS	
RIIC1	ICMR3	SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]		
RIIC1	ICFER	FMPE	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE	
RIIC1	ICSER	HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E	
RIIC1	ICIER	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE	
RIIC1	ICSR1	HOA	—	DID	—	GCA	AAS2	AAS1	AAS0	
RIIC1	ICSR2	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF	
RIIC1	SARL0	SVA[6:0]								SVA0

表 5.2 I/O 寄存器位一览表 (26 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
RIIC1	SARU0	—	—	—	—	—	SVA[1:0]		FS
RIIC1	SARL1	SVA[6:0]							SVA0
RIIC1	SARU1	—	—	—	—	—	SVA[1:0]		FS
RIIC1	SARL2	SVA[6:0]							SVA0
RIIC1	SARU2	—	—	—	—	—	SVA[1:0]		FS
RIIC1	ICBRL	—	—	—	BRL[4:0]				
RIIC1	ICBRH	—	—	—	BRH[4:0]				
RIIC1	ICDRT								
RIIC1	ICDRR								
RSPI0	SPCR	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	TXMD	SPMS
RSPI0	SSLP	—	—	—	—	SSLP3	SSLP2	SSLP1	SSLP0
RSPI0	SPPCR	—	—	MOIFE	MOIFV	—	SPOM	SPLP2	SPLP
RSPI0	SPSR	SPRF	—	SPTEF	—	PERF	MODF	IDLNF	OVRF
RSPI0	SPDR	H[15:0]							
		H[15:0]							
		L[15:0]							
		L[15:0]							
RSPI0	SPSCR	—	—	—	—	—	SPSLN[2:0]		
RSPI0	SPSSR	—	SPECM[2:0]			—	SPCP[2:0]		
RSPI0	SPBR	SPR7	SPR6	SPR5	SPR4	SPR3	SPR2	SPR1	SPR0
RSPI0	SPDCR	—	—	SPLW	SPRDTD	SLSEL[1:0]		SPFC[1:0]	
RSPI0	SPCKD	—	—	—	—	—	SCKDL[2:0]		
RSPI0	SSLND	—	—	—	—	—	SLNDL[2:0]		
RSPI0	SPND	—	—	—	—	—	SPNDL[2:0]		
RSPI0	SPCR2	—	—	—	—	PTE	SPIIE	SPOE	SPPE
RSPI0	SPCMD0	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]	CPOL	CPHA	
RSPI0	SPCMD1	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]	CPOL	CPHA	
RSPI0	SPCMD2	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]	CPOL	CPHA	
RSPI0	SPCMD3	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]	CPOL	CPHA	
RSPI0	SPCMD4	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]	CPOL	CPHA	
RSPI0	SPCMD5	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]	CPOL	CPHA	
RSPI0	SPCMD6	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]	CPOL	CPHA	
RSPI0	SPCMD7	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]	CPOL	CPHA	
RSPI1	SPCR	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	TXMD	SPMS
RSPI1	SSLP	—	—	—	—	SSLP3	SSLP2	SSLP1	SSLP0
RSPI1	SPPCR	—	—	MOIFE	MOIFV	—	SPOM	SPLP2	SPLP
RSPI1	SPSR	SPRF	—	SPTEF	—	PERF	MODF	IDLNF	OVRF

表 5.2 I/O 寄存器位一览表 (27 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
RSP11	SPDR	H[15:0]							
		H[15:0]							
		L[15:0]							
		L[15:0]							
RSP11	SPSCR	—	—	—	—	—	SPSLN[2:0]		
RSP11	SPSSR	—	SPECM[2:0]			—	SPCP[2:0]		
RSP11	SPBR	SPR7	SPR6	SPR5	SPR4	SPR3	SPR2	SPR1	SPR0
RSP11	SPDCR	—	—	SPLW	SPRDTD	SLSEL[1:0]		SPFC[1:0]	
RSP11	SPCKD	—	—	—	—	—	SCKDL[2:0]		
RSP11	SSLND	—	—	—	—	—	SLNDL[2:0]		
RSP11	SPND	—	—	—	—	—	SPNDL[2:0]		
RSP11	SPCR2	—	—	—	—	PTE	SPIIE	SPOE	SPPE
RSP11	SPCMD0	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]	CPOL	CPHA	
RSP11	SPCMD1	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]	CPOL	CPHA	
RSP11	SPCMD2	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]	CPOL	CPHA	
RSP11	SPCMD3	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]	CPOL	CPHA	
RSP11	SPCMD4	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]	CPOL	CPHA	
RSP11	SPCMD5	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]	CPOL	CPHA	
RSP11	SPCMD6	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]	CPOL	CPHA	
RSP11	SPCMD7	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]	CPOL	CPHA	
MTU3	TCR	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
MTU4	TCR	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
MTU3	TMDR	—	—	BFB	BFA	MD[3:0]			
MTU4	TMDR	—	—	BFB	BFA	MD[3:0]			
MTU3	TIORH	IOB[3:0]				IOA[3:0]			
MTU3	TIORL	IOD[3:0]				IOC[3:0]			
MTU4	TIORH	IOB[3:0]				IOA[3:0]			
MTU4	TIORL	IOD[3:0]				IOC[3:0]			
MTU3	TIER	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
MTU4	TIER	TTGE	TTGE2	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
MTUA	TOER	—	—	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
MTUA	TGCR	—	BDC	N	P	FB	WF	VF	UF
MTUA	TOCR1	—	PSYE	—	—	TOCL	TOCS	OLSN	OLSP
MTUA	TOCR2	BF[1:0]		OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
MTU3	TCNT								
MTU4	TCNT								

表 5.2 I/O 寄存器位一览表 (28 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
MTUA	TCDR								
MTUA	TDDR								
MTU3	TGRA								
MTU3	TGRB								
MTU4	TGRA								
MTU4	TGRB								
MTUA	TCNTS								
MTUA	TCBR								
MTU3	TGRC								
MTU3	TGRD								
MTU4	TGRC								
MTU4	TGRD								
MTU3	TSR	TCFD	—	—	—	—	—	—	—
MTU4	TSR	TCFD	—	—	—	—	—	—	—
MTUA	TITCR	T3AEN	T3ACOR[2:0]		T4VEN	T4VCOR[2:0]			
MTUA	TITCNT	—	T3ACNT[2:0]		—	T4VCNT[2:0]			
MTUA	TBTER	—	—	—	—	—	BTE[1:0]		
MTUA	TDER	—	—	—	—	—	—	—	TDER
MTUA	TOLBR	—	—	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
MTU3	TBTM	—	—	—	—	—	—	TTSB	T TSA
MTU4	TBTM	—	—	—	—	—	—	TTSB	T TSA
MTU4	TADCR	BF[1:0]		—	—	—	—	—	—
		UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
MTU4	TADCORA								
MTU4	TADCORB								
MTU4	TADCOBRA								
MTU4	TADCOBRB								
MTUA	TWCR	CCE	—	—	—	—	—	—	WRE
MTUA	TSTR	CST4	CST3	—	—	—	CST2	CST1	CST0
MTUA	TSYR	SYNC4	SYNC3	—	—	—	SYNC2	SYNC1	SYNC0

表 5.2 I/O 寄存器位一览表 (29 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
MTUA	TRWER	—	—	—	—	—	—	—	RWE
MTU0	TCR	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
MTU0	TMDR	—	BFE	BFB	BFA	MD[3:0]			
MTU0	TIORH	IOB[3:0]				IOA[3:0]			
MTU0	TIORL	IOD[3:0]				IOC[3:0]			
MTU0	TIER	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
MTU0	TSR	—	—	—	—	—	—	—	—
MTU0	TCNT								
MTU0	TGRA								
MTU0	TGRB								
MTU0	TGRC								
MTU0	TGRD								
MTU0	TGRE								
MTU0	TGRF								
MTU0	TIER2	—	—	—	—	—	—	TGIEF	TGIEE
MTU0	TBTM	—	—	—	—	—	TTSE	TTSB	T TSA
MTU1	TCR	—	CCLR[1:0]		CKEG[1:0]		TPSC[2:0]		
MTU1	TMDR	—	—	—	—	MD[3:0]			
MTU1	TIOR	IOB[3:0]				IOA[3:0]			
MTU1	TIER	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA
MTU1	TSR	TCFD	—	—	—	—	—	—	—
MTU1	TCNT								
MTU1	TGRA								
MTU1	TGRB								
MTU1	TICCR	—	—	—	—	I2BE	I2AE	I1BE	I1AE
MTU2	TCR	—	CCLR[1:0]		CKEG[1:0]		TPSC[2:0]		
MTU2	TMDR	—	—	—	—	MD[3:0]			
MTU2	TIOR	IOB[3:0]				IOA[3:0]			
MTU2	TIER	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA
MTU2	TSR	TCFD	—	—	—	—	—	—	—
MTU2	TCNT								
MTU2	TGRA								
MTU2	TGRB								

表 5.2 I/O 寄存器位一览表 (30 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
MTU5	TCNTU								
MTU5	TGRU								
MTU5	TCRU	—	—	—	—	—	—	TPSC[1:0]	
MTU5	TIORU	—	—	—	IOC[4:0]				
MTU5	TCNTV								
MTU5	TGRV								
MTU5	TCRV	—	—	—	—	—	—	TPSC[1:0]	
MTU5	TIORV	—	—	—	IOC[4:0]				
MTU5	TCNTW								
MTU5	TGRW								
MTU5	TCRW	—	—	—	—	—	—	TPSC[1:0]	
MTU5	TIORW	—	—	—	IOC[4:0]				
MTU5	TIER	—	—	—	—	—	TGIE5U	TGIE5V	TGIE5W
MTU5	TSTR	—	—	—	—	—	CSTU5	CSTV5	CSTW5
MTU5	TCNTCMPC LR	—	—	—	—	—	CMPCLR5U	CMPCLR5V	CMPCLR5W
POE	ICSR1	POE3F	POE2F	POE1F	POE0F	—	—	—	PIE1
		POE3M[1:0]		POE2M[1:0]		POE1M[1:0]		POE0M[1:0]	
POE	OCSR1	OSF1	—	—	—	—	—	OCE1	OIE1
		—	—	—	—	—	—	—	—
POE	ICSR2	POE7F	POE6F	POE5F	POE4F	—	—	—	PIE2
		POE7M[1:0]		POE6M[1:0]		POE5M[1:0]		POE4M[1:0]	
POE	OCSR2	OSF2	—	—	—	—	—	OCE2	OIE2
		—	—	—	—	—	—	—	—
POE	ICSR3	—	—	—	POE8F	—	—	POE8E	PIE3
		—	—	—	—	—	—	POE8M[1:0]	
POE	SPOER	—	—	—	—	CH6HIZ	CH910HIZ	CH0HIZ	CH34HIZ
POE	POECR1	PE7ZE	PE6ZE	PE5ZE	PE4ZE	PE3ZE	PE2ZE	PE1ZE	PE0ZE
POE	POECR2	—	P1CZEA	P2CZEA	P3CZEA	—	P1CZEB	P2CZEB	P3CZEB
		—	P4CZE	P5CZE	P6CZE	—	—	—	—
POE	ICSR4	—	—	—	POE9F	—	—	POE9E	PIE4
		—	—	—	—	—	—	POE9M[1:0]	
MTU9	TCR	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
MTU10	TCR	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
MTU9	TMDR	—	—	BFB	BFA	MD[3:0]			
MTU10	TMDR	—	—	BFB	BFA	MD[3:0]			
MTU9	TIORH	IOB[3:0]				IOA[3:0]			
MTU9	TIORL	IOD[3:0]				IOC[3:0]			
MTU10	TIORH	IOB[3:0]				IOA[3:0]			
MTU10	TIORL	IOD[3:0]				IOC[3:0]			
MTU9	TIER	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA

表 5.2 I/O 寄存器位一览表 (31 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
MTU10	TIER	TTGE	TTGE2	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
MTUB	TOER	—	—	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
MTUB	TGCR	—	BDC	N	P	FB	WF	VF	UF
MTUB	TOCR1	—	PSYE	—	—	TOCL	TOCS	OLSN	OLSP
MTUB	TOCR2	BF[1:0]		OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
MTU9	TCNT								
MTU10	TCNT								
MTUB	TCDR								
MTUB	TDDR								
MTU9	TGRA								
MTU9	TGRB								
MTU10	TGRA								
MTU10	TGRB								
MTUB	TCNTS								
MTUB	TCBR								
MTU9	TGRC								
MTU9	TGRD								
MTU10	TGRC								
MTU10	TGRD								
MTU9	TSR	TCFD	—	—	—	—	—	—	—
MTU10	TSR	TCFD	—	—	—	—	—	—	—
MTUB	TITCR	T3AEN	T3ACOR[2:0]			T4VEN	T4VCOR[2:0]		
MTUB	TITCNT	—	T3ACNT[2:0]			—	T4VCNT[2:0]		
MTUB	TBTER	—	—	—	—	—	—	BTE[1:0]	
MTUB	TDER	—	—	—	—	—	—	—	TDER
MTUB	TOLBR	—	—	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
MTU9	TBTM	—	—	—	—	—	—	TTSB	T TSA
MTU10	TBTM	—	—	—	—	—	—	TTSB	T TSA
MTU10	TADCR	BF[1:0]		—	—	—	—	—	—
		UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
MTU10	TADCORA								

表 5.2 I/O 寄存器位一览表 (32 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
MTU10	TADCORB								
MTU10	TADCOBRA								
MTU10	TADCOBRB								
MTUB	TWCR	CCE	—	—	—	—	—	—	WRE
MTUB	TSTR	CST4	CST3	—	—	—	CST2	CST1	CST0
MTUB	TSYR	SYNC4	SYNC3	—	—	—	SYNC2	SYNC1	SYNC0
MTUB	TRWER	—	—	—	—	—	—	—	RWE
MTU6	TCR	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
MTU6	TMDR	—	BFE	BFB	BFA	MD[3:0]			
MTU6	TIORH	IOB[3:0]				IOA[3:0]			
MTU6	TIORL	IOD[3:0]				IOC[3:0]			
MTU6	TIER	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
MTU6	TSR	—	—	—	—	—	—	—	—
MTU6	TCNT								
MTU6	TGRA								
MTU6	TGRB								
MTU6	TGRC								
MTU6	TGRD								
MTU6	TGRE								
MTU6	TGRF								
MTU6	TIER2	—	—	—	—	—	—	TGIEF	TGIEE
MTU6	TBTM	—	—	—	—	—	TTSE	TTSB	T TSA
MTU7	TCR	—	CCLR[1:0]		CKEG[1:0]		TPSC[2:0]		
MTU7	TMDR	—	—	—	—	MD[3:0]			
MTU7	TIOR	IOB[3:0]				IOA[3:0]			
MTU7	TIER	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA
MTU7	TSR	TCFD	—	—	—	—	—	—	—
MTU7	TCNT								
MTU7	TGRA								
MTU7	TGRB								
MTU7	TICCR	—	—	—	—	I2BE	I2AE	I1BE	I1AE
MTU8	TCR	—	CCLR[1:0]		CKEG[1:0]		TPSC[2:0]		
MTU8	TMDR	—	—	—	—	MD[3:0]			

表 5.2 I/O 寄存器位一览表 (33 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0	
MTU8	TIOR	IOB[3:0]				IOA[3:0]				
MTU8	TIER	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA	
MTU8	TSR	TCFD	—	—	—	—	—	—	—	
MTU8	TCNT									
MTU8	TGRA									
MTU8	TGRB									
MTU11	TCNTU									
MTU11	TGRU									
MTU11	TCRU	—	—	—	—	—	—	TPSC[1:0]		
MTU11	TIORU	—	—	—	IOC[4:0]					
MTU11	TCNTV									
MTU11	TGRV									
MTU11	TCRV	—	—	—	—	—	—	TPSC[1:0]		
MTU11	TIORV	—	—	—	IOC[4:0]					
MTU11	TCNTW									
MTU11	TGRW									
MTU11	TCRW	—	—	—	—	—	—	TPSC[1:0]		
MTU11	TIORW	—	—	—	IOC[4:0]					
MTU11	TIER	—	—	—	—	—	TGIE5U	TGIE5V	TGIE5W	
MTU11	TSTR	—	—	—	—	—	CSTU5	CSTV5	CSTW5	
MTU11	TCNTCMPC LR	—	—	—	—	—	CMPCLR5U	CMPCLR5V	CMPCLR5 W	
S12AD	ADCSR	ADST	ADCS	—	ADIE	CKS[1:0]		TRGE	EXTRG	
S12AD	ADANS	—	—	—	—	—	—	—	—	
		ANS[7:0]								
S12AD	ADADS	—	—	—	—	—	—	—	—	
		ADS[7:0]								
S12AD	ADADC	—	—	—	—	—	—	ADC[1:0]		
S12AD	ADCER	ADRFMT	—	—	—	—	—	—	—	
		—	—	ACE	—	—	—	—	—	
S12AD	ADSTRGR	—	—	—	—	ADSTRS[3:0]				
S12AD	ADDR0									
S12AD	ADDR1									
S12AD	ADDR2									

表 5.2 I/O 寄存器位一览表 (34 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
S12AD	ADDR3								
S12AD	ADDR4								
S12AD	ADDR5								
S12AD	ADDR6								
S12AD	ADDR7								
PORT0	DDR	B7 (注8)	—	B5	—	B3 (注7)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORT1	DDR	B7 (注7,注8)	B6	B5 (注7,注8)	B4	B3	B2	B1 (注6,注7,注8)	B0 (注6,注7,注8)
PORT2	DDR	B7	B6	B5	B4	B3	B2	B1	B0
PORT3	DDR	—	—	—	B4	B3	B2	B1	B0
PORT4	DDR	B7	B6	B5	B4	B3	B2	B1	B0
PORT5	DDR	B7 (注6,注7,注8)	B6 (注7,注8)	B5 (注8)	B4 (注8)	B3	B2	B1	B0
PORT6	DDR	B7 (注7,注8)	B6 (注7,注8)	B5 (注7,注8)	B4 (注7,注8)	B3 (注7,注8)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORT7	DDR	B7 (注7,注8)	B6 (注7,注8)	B5 (注7,注8)	B4 (注7,注8)	B3 (注7,注8)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORT8	DDR	—	—	B5 (注6,注7,注8)	B4 (注6,注7,注8)	B3 (注7,注8)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORT9	DDR	B7 (注6,注7,注8)	B6 (注6,注7,注8)	B5 (注6,注7,注8)	B4 (注6,注7,注8)	B3 (注7,注8)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORTA	DDR	B7	B6	B5	B4	B3	B2	B1	B0
PORTB	DDR	B7	B6	B5	B4	B3	B2	B1	B0
PORTC	DDR	B7 (注8)	B6 (注8)	B5 (注8)	B4 (注8)	B3	B2	B1	B0
PORTD	DDR	B7	B6	B5	B4	B3	B2	B1	B0
PORTE	DDR	B7 (注8)	B6 (注8)	B5 (注8)	B4 (注8)	B3 (注8)	B2 (注8)	B1 (注8)	B0 (注8)
PORTF	DDR	—	—	—	B4 (注6,注7,注8)	B3 (注6,注7,注8)	B2 (注6,注7,注8)	B1 (注6,注7,注8)	B0 (注6,注7,注8)
PORTG	DDR	B7 (注6,注7,注8)	B6 (注6,注7,注8)	B5 (注6,注7,注8)	B4 (注6,注7,注8)	B3 (注6,注7,注8)	B2 (注6,注7,注8)	B1 (注6,注7,注8)	B0 (注6,注7,注8)
PORT0	DR	B7 (注8)	—	B5	—	B3 (注7)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORT1	DR	B7 (注7,注8)	B6	B5 (注7,注8)	B4	B3	B2	B1 (注6,注7,注8)	B0 (注6,注7,注8)
PORT2	DR	B7	B6	B5	B4	B3	B2	B1	B0
PORT3	DR	—	—	—	B4	B3	B2	B1	B0
PORT4	DR	B7	B6	B5	B4	B3	B2	B1	B0
PORT5	DR	B7 (注6,注7,注8)	B6 (注7,注8)	B5 (注8)	B4 (注8)	—	B2	B1	B0
PORT6	DR	B7 (注7,注8)	B6 (注7,注8)	B5 (注7,注8)	B4 (注7,注8)	B3 (注7,注8)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)

表 5.2 I/O 寄存器位一览表 (35 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
PORT7	DR	B7 (注7,注8)	B6 (注7,注8)	B5 (注7,注8)	B4 (注7,注8)	B3 (注7,注8)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORT8	DR	—	—	B5 (注6,注7,注8)	B4 (注6,注7,注8)	B3 (注7,注8)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORT9	DR	B7 (注6,注7,注8)	B6 (注6,注7,注8)	B5 (注6,注7,注8)	B4 (注6,注7,注8)	B3 (注7,注8)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORTA	DR	B7	B6	B5	B4	B3	B2	B1	B0
PORTB	DR	B7	B6	B5	B4	B3	B2	B1	B0
PORTC	DR	B7 (注8)	B6 (注8)	B5 (注8)	B4 (注8)	B3	B2	B1	B0
PORTD	DR	B7	B6	B5	B4	B3	B2	B1	B0
PORTE	DR	B7 (注8)	B6 (注8)	B5 (注8)	B4 (注8)	B3 (注8)	B2 (注8)	B1 (注8)	B0 (注8)
PORTF	DR	—	—	—	B4 (注6,注7,注8)	B3 (注6,注7,注8)	B2 (注6,注7,注8)	B1 (注6,注7,注8)	B0 (注6,注7,注8)
PORTG	DR	B7 (注6,注7,注8)	B6 (注6,注7,注8)	B5 (注6,注7,注8)	B4 (注6,注7,注8)	B3 (注6,注7,注8)	B2 (注6,注7,注8)	B1 (注6,注7,注8)	B0 (注6,注7,注8)
PORT0	PORT	B7 (注8)	—	B5	—	B3 (注7)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORT1	PORT	B7 (注7,注8)	B6	B5 (注7,注8)	B4	B3	B2	B1 (注6,注7,注8)	B0 (注6,注7,注8)
PORT2	PORT	B7	B6	B5	B4	B3	B2	B1	B0
PORT3	PORT	—	—	B5	B4	B3	B2	B1	B0
PORT4	PORT	B7	B6	B5	B4	B3	B2	B1	B0
PORT5	PORT	B7 (注6,注7,注8)	B6 (注7,注8)	B5 (注8)	B4 (注8)	B3	B2	B1	B0
PORT6	PORT	B7 (注7,注8)	B6 (注7,注8)	B5 (注7,注8)	B4 (注7,注8)	B3 (注7,注8)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORT7	PORT	B7 (注7,注8)	B6 (注7,注8)	B5 (注7,注8)	B4 (注7,注8)	B3 (注7,注8)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORT8	PORT	—	—	B5 (注6,注7,注8)	B4 (注6,注7,注8)	B3 (注7,注8)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORT9	PORT	B7 (注6,注7,注8)	B6 (注6,注7,注8)	B5 (注6,注7,注8)	B4 (注6,注7,注8)	B3 (注7,注8)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORTA	PORT	B7	B6	B5	B4	B3	B2	B1	B0
PORTB	PORT	B7	B6	B5	B4	B3	B2	B1	B0
PORTC	PORT	B7 (注8)	B6 (注8)	B5 (注8)	B4 (注8)	B3	B2	B1	B0
PORTD	PORT	B7	B6	B5	B4	B3	B2	B1	B0
PORTE	PORT	B7 (注8)	B6 (注8)	B5 (注8)	B4 (注8)	B3 (注8)	B2 (注8)	B1 (注8)	B0 (注8)
PORTF	PORT	—	—	—	B4 (注6,注7,注8)	B3 (注6,注7,注8)	B2 (注6,注7,注8)	B1 (注6,注7,注8)	B0 (注6,注7,注8)
PORTG	PORT	B7 (注6,注7,注8)	B6 (注6,注7,注8)	B5 (注6,注7,注8)	B4 (注6,注7,注8)	B3 (注6,注7,注8)	B2 (注6,注7,注8)	B1 (注6,注7,注8)	B0 (注6,注7,注8)
PORT0	ICR	B7 (注8)	—	B5	—	B3 (注7)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORT1	ICR	B7 (注7,注8)	B6	B5 (注7,注8)	B4	B3	B2	B1 (注6,注7,注8)	B0 (注6,注7,注8)
PORT2	ICR	B7	B6	B5	B4	B3	B2	B1	B0
PORT3	ICR	—	—	—	B4	B3	B2	B1	B0

表 5.2 I/O 寄存器位一览表 (36 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
PORT4	ICR	B7	B6	B5	B4	B3	B2	B1	B0
PORT5	ICR	B7 (注6,注7,注8)	B6 (注7,注8)	B5 (注8)	B4 (注8)	B3	B2	B1	B0
PORT6	ICR	B7 (注7,注8)	B6 (注7,注8)	B5 (注7,注8)	B4 (注7,注8)	B3 (注7,注8)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORT7	ICR	B7 (注7,注8)	B6 (注7,注8)	B5 (注7,注8)	B4 (注7,注8)	B3 (注7,注8)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORT8	ICR	—	—	B5 (注6,注7,注8)	B4 (注6,注7,注8)	B3 (注7,注8)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORT9	ICR	B7 (注6,注7,注8)	B6 (注6,注7,注8)	B5 (注6,注7,注8)	B4 (注6,注7,注8)	B3 (注7,注8)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORTA	ICR	B7	B6	B5	B4	B3	B2	B1	B0
PORTB	ICR	B7	B6	B5	B4	B3	B2	B1	B0
PORTC	ICR	B7 (注8)	B6 (注8)	B5 (注8)	B4 (注8)	B3	B2	B1	B0
PORTD	ICR	B7	B6	B5	B4	B3	B2	B1	B0
PORTE	ICR	B7 (注8)	B6 (注8)	B5 (注8)	B4 (注8)	B3 (注8)	B2 (注8)	B1 (注8)	B0 (注8)
PORTF	ICR	—	—	—	B4 (注6,注7,注8)	B3 (注6,注7,注8)	B2 (注6,注7,注8)	B1 (注6,注7,注8)	B0 (注6,注7,注8)
PORTG	ICR	B7 (注6,注7,注8)	B6 (注6,注7,注8)	B5 (注6,注7,注8)	B4 (注6,注7,注8)	B3 (注6,注7,注8)	B2 (注6,注7,注8)	B1 (注6,注7,注8)	B0 (注6,注7,注8)
PORT0	ODR	B7 (注8)	—	B5	—	B3 (注7)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORT1	ODR	B7 (注7,注8)	B6	B5 (注7,注8)	B4	B3	B2	B1 (注6,注7,注8)	B0 (注6,注7,注8)
PORT2	ODR	B7	B6	B5	B4	B3	B2	B1	B0
PORT3	ODR	—	—	—	B4	B3	B2	B1	B0
PORTC	ODR	B7 (注8)	B6 (注8)	B5 (注8)	B4 (注8)	B3	B2	B1	B0
PORT9	PCR	B7 (注6,注7,注8)	B6 (注6,注7,注8)	B5 (注6,注7,注8)	B4 (注6,注7,注8)	B3 (注7,注8)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORTA	PCR	B7	B6	B5	B4	B3	B2	B1	B0
PORTB	PCR	B7	B6	B5	B4	B3	B2	B1	B0
PORTC	PCR	B7 (注8)	B6 (注8)	B5 (注8)	B4 (注8)	B3	B2	B1	B0
PORTD	PCR	B7	B6	B5	B4	B3	B2	B1	B0
PORTE	PCR	B7 (注8)	B6 (注8)	B5 (注8)	B4 (注8)	B3 (注8)	B2 (注8)	B1 (注8)	B0 (注8)
PORTG	PCR	B7 (注6,注7,注8)	B6 (注6,注7,注8)	B5 (注6,注7,注8)	B4 (注6,注7,注8)	B3 (注6,注7,注8)	B2 (注6,注7,注8)	B1 (注6,注7,注8)	B0 (注6,注7,注8)
IOPORT	PF0CSE	CS7E	CS6E	CS5E	CS4E	CS3E (注8)	CS2E (注8)	CS1E (注8)	CS0E (注8)
IOPORT	PF1CSS	CS7S[1:0] (注7,注8)		CS6S[1:0] (注7,注8)		CS5S[1:0] (注7,注8)		CS4S[1:0] (注7,注8)	
IOPORT	PF2CSS	CS3S[1:0] (注7,注8)		CS2S[1:0] (注7,注8)		CS1S[1:0] (注7,注8)		—	CS0S (注7,注8)
IOPORT	PF3BUS	A23E (注8)	A22E (注8)	A21E (注8)	A20E (注8)	A19E	A18E	A17E	A16E
IOPORT	PF4BUS	A15E	A14E	A13E	A12E	A11E	A10E	ADRLE[1:0]	
IOPORT	PF5BUS	WR32BC32E (注6,注7,注8)	WR1BC1E (注8)	DH32E (注6,注7,注8)	DHE (注8)	—	—	ADRHMS (注7,注8)	—

表 5.2 I/O 寄存器位一览表 (37 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0	
IOPORT	PF6BUS	SDCLKE (注7,注8)	DQM1E (注7,注8)	—	MDSDE (注7,注8)	—	—	WAITS[1:0] (注8)		
IOPORT	PF7DMA	EDMA1S[1:0] (注7,注8)		EDMA0S[1:0] (注7,注8)		—	—	—	—	
IOPORT	PF8IRQ	ITS15 (注8)	—	ITS13	—	ITS11 (注7)	ITS10 (注7,注8)	ITS9 (注7,注8)	ITS8 (注7,注8)	
IOPORT	PF9IRQ	ITS7 (注7,注8)	ITS6 (注8)	ITS5 (注7,注8)	ITS4	ITS3	ITS2	ITS1 (注6,注7,注8)	ITS0 (注6,注7,注8)	
IOPORT	PFAADC	—	—	—	—	—	—	—	ADTRG0S (注8)	
IOPORT	PFBTMR	—	—	—	—	TMR3S (注6,注7,注8)	TMR2S (注7,注8)	TMR1S (注7,注8)	TMR0S (注7,注8)	
IOPORT	PFCMTU	TCLKS (注8)	MTUS6 (注6,注7,注8)	MTUS5 (注8)	MTUS4 (注7,注8)	MTUS3 (注7,注8)	MTUS2 (注7,注8)	—	—	
IOPORT	PFDMTU	TCLKS	MTUS6 (注8)	—	—	—	—	—	—	
IOPORT	PFENET	EE (注8)	—	—	PHYMODE (注8)	ENETE3 (注8)	ENETE2 (注8)	ENETE1 (注8)	ENETE0 (注8)	
IOPORT	PFSCI	—	SCI6S (注7,注8)	—	—	SCI3S (注7,注8)	SCI2S	SCI1S (注6,注7,注8)	—	
IOPORT	PFGSPi	SSL3E	SSL2E	SSL1E	SSL0E	MISOE	MOSIE	RSPCKE	RSPIS (注8)	
IOPORT	PFHSPI	SSL3E	SSL2E	SSL1E	SSL0E	MISOE	MOSIE	RSPCKE	RSPIS (注8)	
IOPORT	PFJCAN	—	—	—	—	—	—	—	CAN0E	
IOPORT	PFKUSB	—	—	—	USBE	PDHZS	PUPHZS	USBMD[1:0]		
IOPORT	PFLUSB	—	—	—	USBE (注6,注7,注8)	PDHZS (注6,注7,注8)	PUPHZS (注6,注7,注8)	USBMD[1:0] (注6,注7,注8)		
IOPORT	PFMPOE	POE7E (注8)	POE6E (注8)	POE5E (注8)	POE4E (注8)	POE3E (注8)	POE2E (注8)	POE1E (注8)	POE0E (注8)	
IOPORT	PFNPOE	—	—	—	—	—	—	POE9E (注8)	POE8E (注8)	
SYSTEM	DPSBYCR	DPSBY	IOKEEP	RAMCUT2	RAMCUT1	—	—	—	RAMCUT0	
SYSTEM	DPSWCR	—	—	WTSTS[5:0]						—
SYSTEM	DPSIER	DNMIE	DUSBE	DRTCE	DLVDE	DIRQ3E	DIRQ2E	DIRQ1E	DIRQ0E	
SYSTEM	DPSIFR	DNMIF	DUSBF	DRTCF	DLVDF	DIRQ3F	DIRQ2F	DIRQ1F	DIRQ0F	
SYSTEM	DPSIEGR	DNMIEG	—	—	—	DIRQ3EG	DIRQ2EG	DIRQ1EG	DIRQ0EG	
SYSTEM	RSTSR	DPSRSTF	—	—	—	—	LVD2F	LVD1F	PORF	
FLASH	FWEPROR	—	—	—	—	—	—	FLWE[1:0]		
SYSTEM	SUBOSCCR	—	—	—	—	—	—	—	SUBSTOP	
SYSTEM	LVDKEYR	—	—	—	—	—	—	—	—	
SYSTEM	LVDCR	LVD2E	LVD2RI	—	—	LVD1E	LVD1RI	—	—	
SYSTEM	DPSBKR0	—	—	—	—	—	—	—	—	
SYSTEM	DPSBKR1	—	—	—	—	—	—	—	—	
SYSTEM	DPSBKR2	—	—	—	—	—	—	—	—	
SYSTEM	DPSBKR3	—	—	—	—	—	—	—	—	
SYSTEM	DPSBKR4	—	—	—	—	—	—	—	—	
SYSTEM	DPSBKR5	—	—	—	—	—	—	—	—	
SYSTEM	DPSBKR6	—	—	—	—	—	—	—	—	
SYSTEM	DPSBKR7	—	—	—	—	—	—	—	—	

表 5.2 I/O 寄存器位一览表 (38 / 51)

模块 符号	寄存器 符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
SYSTEM	DPSBKR8								
SYSTEM	DPSBKR9								
SYSTEM	DPSBKR10								
SYSTEM	DPSBKR11								
SYSTEM	DPSBKR12								
SYSTEM	DPSBKR13								
SYSTEM	DPSBKR14								
SYSTEM	DPSBKR15								
SYSTEM	DPSBKR16								
SYSTEM	DPSBKR17								
SYSTEM	DPSBKR18								
SYSTEM	DPSBKR19								
SYSTEM	DPSBKR20								
SYSTEM	DPSBKR21								
SYSTEM	DPSBKR22								
SYSTEM	DPSBKR23								
SYSTEM	DPSBKR24								
SYSTEM	DPSBKR25								
SYSTEM	DPSBKR26								
SYSTEM	DPSBKR27								
SYSTEM	DPSBKR28								
SYSTEM	DPSBKR29								
SYSTEM	DPSBKR30								
SYSTEM	DPSBKR31								
RTC	R64CNT	—	F1HZ	F2HZ	F4HZ	F8HZ	F16HZ	F32HZ	F64HZ
RTC	RSECCNT	—	SEC10[2:0]			SEC1[3:0]			
RTC	RMINCNT	—	MIN10[2:0]			MIN1[3:0]			
RTC	RHRCNT	—	—	HOUR10[1:0]		HOUR1[3:0]			
RTC	RWKCNT	—	—	—	—	—	DAY[2:0]		
RTC	RDAYCNT	—	—	DAY10[1:0]		DAY1[3:0]			
RTC	RMONCNT	—	—	—	MON10	MON1[3:0]			
RTC	RYRCNT	YEAR1000[3:0]				YEAR100[3:0]			
		YEAR10[3:0]				YEAR1[3:0]			
RTC	RSECAR	ENB	SEC10[2:0]			SEC1[3:0]			
RTC	RMINAR	ENB	MIN10[2:0]			MIN1[3:0]			
RTC	RHRAR	ENB	—	HOUR10[1:0]		HOUR1[3:0]			
RTC	RWKAR	ENB	—	—	—	—	DAY[2:0]		
RTC	RDAYAR	ENB	—	DAY10[1:0]		DAY1[3:0]			
RTC	RMONAR	ENB	—	—	MON10	MON1[3:0]			
RTC	RYRAR	YEAR1000[3:0]				YEAR100[3:0]			
		YEAR10[3:0]				YEAR1[3:0]			
RTC	RYRAREN	ENB	—	—	—	—	—	—	—
RTC	RCR1	—	PES[2:0]			—	PIE	CIE	AIE
RTC	RCR2	—	—	—	—	RTCOE	ADJ	RESET	START

表 5.2 I/O 寄存器位一览表 (39 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0	
CAN0	MB.ID	IDE	RTR	—	SID[10:0]					
		SID[10:0]						EID[17:0]		
		EID[17:0]								
		EID[17:0]								
	MB.DLC	—	—	—	—	—	—	—	—	—
		—	—	—	—	DLC[3:0]				
MB.DATA 0 ~ 7										
MB.TS	TSH[7:0]									
	TSL[7:0]									
CAN0	MKR0	—	—	—	SID[10:0]					
		SID[10:0]						EID[17:0]		
		EID[17:0]								
		EID[17:0]								
CAN0	MKR1	—	—	—	SID[10:0]					
		SID[10:0]						EID[17:0]		
		EID[17:0]								
		EID[17:0]								
CAN0	MKR2	—	—	—	SID[10:0]					
		SID[10:0]						EID[17:0]		
		EID[17:0]								
		EID[17:0]								
CAN0	MKR3	—	—	—	SID[10:0]					
		SID[10:0]						EID[17:0]		
		EID[17:0]								
		EID[17:0]								
CAN0	MKR4	—	—	—	SID[10:0]					
		SID[10:0]						EID[17:0]		
		EID[17:0]								
		EID[17:0]								
CAN0	MKR5	—	—	—	SID[10:0]					
		SID[10:0]						EID[17:0]		
		EID[17:0]								
		EID[17:0]								
CAN0	MKR6	—	—	—	SID[10:0]					
		SID[10:0]						EID[17:0]		
		EID[17:0]								
		EID[17:0]								
CAN0	MKR7	—	—	—	SID[10:0]					
		SID[10:0]						EID[17:0]		
		EID[17:0]								
		EID[17:0]								
CAN0	FIDCR0	IDE	RTR	—	SID[10:0]					
		SID[10:0]						EID[17:0]		
		EID[17:0]								
		EID[17:0]								

表 5.2 I/O 寄存器位一览表 (40 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0	
CAN0	FIDCR1	IDE	RTR	—	SID[10:0]					
		SID[10:0]						EID[17:0]		
		EID[17:0]								
		EID[17:0]								
CAN0	MKIVLR									
CAN0	MIER	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
CAN0	MCTL.TX	TRMREQ	RECREQ	—	ONESHOT	—	TRMABT	TRMACTIVE	SENTDATA	
	MCTL.RX	TRMREQ	RECREQ	—	ONESHOT	—	MSGLOST	INVALIDDATA	NEWDATA	
CAN0	CTLR	—	—	RBOC	BOM[1:0]		SLPM	CANM[1:0]		
		TSPS[1:0]			TSRC	TPM	MLM	IDFM[1:0]		MBM
CAN0	STR	—	RECST	TRMST	BOST	EPST	SLPST	HLTST	RSTST	
		EST	TABST	FMLST	NMLST	TFST	RFST	SDST	NDST	
CAN0	BCR	TSEG1[3:0]				—	—	BRP[9:0]		
		BRP[9:0]								
		—	—	SJW[1:0]			—	TSEG2[2:0]		
		—	—	—	—	—	—	—	—	—
CAN0	RFCR	RFEST	RFWST	RFST	RFMLF	RFUST[2:0]			RFE	
CAN0	RFPCR	—	—	—	—	—	—	—	—	
CAN0	TFCR	TFEST	TFFST	—	—	TFUST[2:0]			TFE	
CAN0	TFPCR	—	—	—	—	—	—	—	—	
CAN0	EIER	BLIE	OLIE	ORIE	BORIE	BOEIE	EPIE	EWIE	BEIE	
CAN0	EIFR	BLIF	OLIF	ORIF	BORIF	BOEIF	EPIF	EWIF	BEIF	
CAN0	RECR	—	—	—	—	—	—	—	—	
CAN0	TECR	—	—	—	—	—	—	—	—	
CAN0	ECSR	EDPM	ADEF	BE0F	BE1F	CEF	AEF	FEF	SEF	
CAN0	CSSR	—	—	—	—	—	—	—	—	
CAN0	MSSR	SEST	—	—	MBNST[4:0]					
CAN0	MSMR	—	—	—	—	—	—	MBSM[1:0]		
CAN0	TSR	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
CAN0	AFSR	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
CAN0	TCR	—	—	—	—	—	TSTM[1:0]		TSTE	
USB0	SYSCFG	—	—	—	—	—	SCKE	—	—	
		—	DCFM	DRPD	DPRPU	—	—	—	USBE	
USB0	SYSSTS0	OVCMON[1:0]		—	—	—	—	—	—	
		—	HTACT	—	—	—	IDMON	LNST[1:0]		
USB0	DVSTCTR0	—	—	—	—	HNPBTOA	EXICEN	VBUSEN	WKUP	
		RWUPE	USBRST	RESUME	UACT	—	RHST[2:0]			

表 5.2 I/O 寄存器位一览表 (41 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
USB0	CFIFO	L[7:0]							
		H[7:0]							
USB0	D0FIFO	L[7:0]							
		H[7:0]							
USB0	D1FIFO	L[7:0]							
		H[7:0]							
USB0	CFIFOSEL	RCNT	REW	—	—	—	MBW	—	BIGEND
		—	—	ISEL	—	CURPIPE[3:0]			
USB0	CFIFOCTR	BVAL	BCLR	FRDY	—	—	—	—	DTLN[8:0]
		DTLN[8:0]							
USB0	D0FIFOSEL	RCNT	REW	DCLRM	DREQE	—	MBW	—	BIGEND
		—	—	—	—	CURPIPE[3:0]			
USB0	D0FIFOCTR	BVAL	BCLR	FRDY	—	—	—	—	DTLN[8:0]
		DTLN[8:0]							
USB0	D1FIFOSEL	RCNT	REW	DCLRM	DREQE	—	MBW	—	BIGEND
		—	—	—	—	CURPIPE[3:0]			
USB0	D1FIFOCTR	BVAL	BCLR	FRDY	—	—	—	—	DTLN[8:0]
		DTLN[8:0]							
USB0	INTENB0	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE
		—	—	—	—	—	—	—	—
USB0	INTENB1	OVRCRE	BCHGE	—	DTCHE	ATTCHE	—	—	—
		—	EOFERRE	SIGNE	SACKE	—	—	—	—
USB0	BRDYENB	—	—	—	—	—	—	PIPE9BRDYE	PIPE8BRDYE
		PIPE7BRDYE	PIPE6BRDYE	PIPE5BRDYE	PIPE4BRDYE	PIPE3BRDYE	PIPE2BRDYE	PIPE1BRDYE	PIPE0BRDYE
USB0	NRDYENB	—	—	—	—	—	—	PIPE9NRDYE	PIPE8NRDYE
		PIPE7NRDYE	PIPE6NRDYE	PIPE5NRDYE	PIPE4NRDYE	PIPE3NRDYE	PIPE2NRDYE	PIPE1NRDYE	PIPE0NRDYE
USB0	BEMPENB	—	—	—	—	—	—	PIPE9BEMPE	PIPE8BEMPE
		PIPE7BEMPE	PIPE6BEMPE	PIPE5BEMPE	PIPE4BEMPE	PIPE3BEMPE	PIPE2BEMPE	PIPE1BEMPE	PIPE0BEMPE
USB0	SOFCFG	—	—	—	—	—	—	—	TRNENSEL
		—	BRDYM	—	EDGESTS	—	—	—	—
USB0	INTSTS0	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY
		VBSTS	DVSQ[2:0]			VALID	CTSQ[2:0]		
USB0	INTSTS1	OVRCR	BCHG	—	DTCH	ATTCH	—	—	—
		—	EOFERR	SIGN	SACK	—	—	—	—
USB0	BRDYSTS	—	—	—	—	—	—	PIPE9BRDY	PIPE8BRDY
		PIPE7BRDY	PIPE6BRDY	PIPE5BRDY	PIPE4BRDY	PIPE3BRDY	PIPE2BRDY	PIPE1BRDY	PIPE0BRDY
USB0	NRDYSTS	—	—	—	—	—	—	PIPE9NRDY	PIPE8NRDY
		PIPE7NRDY	PIPE6NRDY	PIPE5NRDY	PIPE4NRDY	PIPE3NRDY	PIPE2NRDY	PIPE1NRDY	PIPE0NRDY
USB0	BEMPSTS	—	—	—	—	—	—	PIPE9BEMP	PIPE8BEMP
		PIPE7BEMP	PIPE6BEMP	PIPE5BEMP	PIPE4BEMP	PIPE3BEMP	PIPE2BEMP	PIPE1BEMP	PIPE0BEMP
USB0	FRMNUM	OVRN	CRCE	—	—	—	FRNM[10:0]		
		FRNM[10:0]							
USB0	DVCHGR	DVCHG	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
USB0	USBADDR	—	—	—	—	STSRECOV[3:0]			
		—	USBADDR[6:0]						

表 5.2 I/O 寄存器位一览表 (42 / 51)

模块 符号	寄存器 符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
USB0	USBREQ	BREQUEST[7:0]							
		BMREQUESTTYPE[7:0]							
USB0	USBVAL								
USB0	USBINDX								
USB0	USBLENG								
USB0	DCPCFG	—	—	—	—	—	—	—	—
		SHTNAK	—	—	DIR	—	—	—	—
USB0	DCPMAXP	DEVSEL[3:0]				—	—	—	—
		—	MXPS[6:0]						—
USB0	DCPCTR	BSTS	SUREQ	—	—	SUREQCLR	—	—	SQCLR
		SQSET	SQMON	PBUSY	—	—	CCPL	PID[1:0]	
USB0	PIPESEL	—	—	—	—	—	—	—	—
		—	—	—	—	PIPESEL[3:0]			
USB0	PIPECFG	TYPE[1:0]		—	—	—	BFRE	DBLB	—
		SHTNAK	—	—	DIR	EPNUM[3:0]			
USB0	PIPEMAXP	DEVSEL[3:0]				—	—	—	MXPS[8:0]
		MXPS[8:0]							
USB0	PIPEPERI	—	—	—	IFIS	—	—	—	—
		—	—	—	—	—	IITV[2:0]		
USB0	PIPE1CTR	BSTS	INBUFM	—	—	—	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
USB0	PIPE2CTR	BSTS	INBUFM	—	—	—	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
USB0	PIPE3CTR	BSTS	INBUFM	—	—	—	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
USB0	PIPE4CTR	BSTS	INBUFM	—	—	—	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
USB0	PIPE5CTR	BSTS	INBUFM	—	—	—	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
USB0	PIPE6CTR	BSTS	—	—	—	—	—	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
USB0	PIPE7CTR	BSTS	—	—	—	—	—	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
USB0	PIPE8CTR	BSTS	—	—	—	—	—	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
USB0	PIPE9CTR	BSTS	—	—	—	—	—	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
USB0	PIPE1TRE	—	—	—	—	—	—	TRENB	TRCLR
		—	—	—	—	—	—	—	—
USB0	PIPE1TRN								
USB0	PIPE2TRE	—	—	—	—	—	—	TRENB	TRCLR
		—	—	—	—	—	—	—	—

表 5.2 I/O 寄存器位一览表 (43 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
USB0	PIPE2TRN								
USB0	PIPE3TRE	—	—	—	—	—	—	TRENB	TRCLR
		—	—	—	—	—	—	—	—
USB0	PIPE3TRN								
USB0	PIPE4TRE	—	—	—	—	—	—	TRENB	TRCLR
		—	—	—	—	—	—	—	—
USB0	PIPE4TRN								
USB0	PIPE5TRE	—	—	—	—	—	—	TRENB	TRCLR
		—	—	—	—	—	—	—	—
USB0	PIPE5TRN								
USB0	DEVADD0	—	—	—	—	—	—	—	—
		USBSPD[1:0]		—	—	—	—	—	—
USB0	DEVADD1	—	—	—	—	—	—	—	—
		USBSPD[1:0]		—	—	—	—	—	—
USB0	DEVADD2	—	—	—	—	—	—	—	—
		USBSPD[1:0]		—	—	—	—	—	—
USB0	DEVADD3	—	—	—	—	—	—	—	—
		USBSPD[1:0]		—	—	—	—	—	—
USB0	DEVADD4	—	—	—	—	—	—	—	—
		USBSPD[1:0]		—	—	—	—	—	—
USB0	DEVADD5	—	—	—	—	—	—	—	—
		USBSPD[1:0]		—	—	—	—	—	—
USB1	SYSCFG	—	—	—	—	—	SCKE	—	—
		—	DCFM	DRPD	DPRPU	—	—	—	USBE
USB1	SYSSTS0	OVCMON[1:0]		—	—	—	—	—	—
		—	HTACT	—	—	—	IDMON	LNST[1:0]	
USB1	DVSTCTR0	—	—	—	—	HNPBTOA	EXICEN	VBUSEN	WKUP
		RWUPE	USBRST	RESUME	UACT	—	RHST[2:0]		
USB1	CFIFO	L[7:0]							
		H[7:0]							
USB1	D0FIFO	L[7:0]							
		H[7:0]							
USB1	D1FIFO	L[7:0]							
		H[7:0]							
USB1	CFIFOSEL	RCNT	REW	—	—	—	MBW	—	BIGEND
		—	—	ISEL	—	CURPIPE[3:0]			
USB1	CFIFOCTR	BVAL	BCLR	FRDY	—	—	—	—	DTLN[8:0]
		DTLN[8:0]							
USB1	D0FIFOSEL	RCNT	REW	DCLRM	DREQE	—	MBW	—	BIGEND
		—	—	—	—	CURPIPE[3:0]			
USB1	D0FIFOCTR	BVAL	BCLR	FRDY	—	—	—	—	DTLN[8:0]
		DTLN[8:0]							

表 5.2 I/O 寄存器位一览表 (44 / 51)

模块 符号	寄存器 符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0	
USB1	D1FIFOSEL	RCNT	REW	DCLRM	DREQE	—	MBW	—	BIGEND	
		—	—	—	—	CURPIPE[3:0]				
USB1	D1FIFOCTR	BVAL	BCLR	FRDY	—	—	—	—	DTLN[8:0]	
		DTLN[8:0]								
USB1	INTENB0	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	
		—	—	—	—	—	—	—	—	
USB1	INTENB1	OVRCRE	BCHGE	—	DTCHE	ATTCHE	—	—	—	
		—	EOFERRE	SIGNE	SACKE	—	—	—	—	
USB1	BRDYENB	—	—	—	—	—	—	PIPE9BRDYE	PIPE8BRDYE	
		PIPE7BRDYE	PIPE6BRDYE	PIPE5BRDYE	PIPE4BRDYE	PIPE3BRDYE	PIPE2BRDYE	PIPE1BRDYE	PIPE0BRDYE	
USB1	NRDYENB	—	—	—	—	—	—	PIPE9NRDYE	PIPE8NRDYE	
		PIPE7NRDYE	PIPE6NRDYE	PIPE5NRDYE	PIPE4NRDYE	PIPE3NRDYE	PIPE2NRDYE	PIPE1NRDYE	PIPE0NRDYE	
USB1	BEMPENB	—	—	—	—	—	—	PIPE9BEMPE	PIPE8BEMPE	
		PIPE7BEMPE	PIPE6BEMPE	PIPE5BEMPE	PIPE4BEMPE	PIPE3BEMPE	PIPE2BEMPE	PIPE1BEMPE	PIPE0BEMPE	
USB1	SOFCFG	—	—	—	—	—	—	—	TRNENSEL	
		—	BRDYM	—	EDGESTS	—	—	—	—	
USB1	INTSTS0	VBINT	RESM	SOFR	DVST	CTRTR	BEMP	NRDY	BRDY	
		VBSTS	DVSQ[2:0]			VALID	CTSQ[2:0]			
USB1	INTSTS1	OVRCCR	BCHG	—	DTCH	ATTCH	—	—	—	
		—	EOFERR	SIGN	SACK	—	—	—	—	
USB1	BRDYSTS	—	—	—	—	—	—	PIPE9BRDY	PIPE8BRDY	
		PIPE7BRDY	PIPE6BRDY	PIPE5BRDY	PIPE4BRDY	PIPE3BRDY	PIPE2BRDY	PIPE1BRDY	PIPE0BRDY	
USB1	NRDYSTS	—	—	—	—	—	—	PIPE9NRDY	PIPE8NRDY	
		PIPE7NRDY	PIPE6NRDY	PIPE5NRDY	PIPE4NRDY	PIPE3NRDY	PIPE2NRDY	PIPE1NRDY	PIPE0NRDY	
USB1	BEMPSTS	—	—	—	—	—	—	PIPE9BEMP	PIPE8BEMP	
		PIPE7BEMP	PIPE6BEMP	PIPE5BEMP	PIPE4BEMP	PIPE3BEMP	PIPE2BEMP	PIPE1BEMP	PIPE0BEMP	
USB1	FRMNUM	OVRN	CRCE	—	—	—	FRNM[10:0]			
		FRNM[10:0]								
USB1	DVCHGR	DVCHG	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
USB1	USBADDR	—	—	—	—	STSRECOV[3:0]				
		USBADDR[6:0]								
USB1	USBREQ	BREQUST[7:0]							BMREQUSTTYPE[7:0]	
USB1	USBVAL									
USB1	USBINDX									
USB1	USBLENG									
USB1	DCPCFG	—	—	—	—	—	—	—	—	
		SHTNAK	—	—	DIR	—	—	—	—	
USB1	DCPMAXP	DEVSEL[3:0]				—	—	—	—	
		MXPS[6:0]								
USB1	DCPCTR	BSTS	SUREQ	—	—	SUREQCLR	—	—	SQCLR	
		SQSET	SQMON	PBUSY	—	—	CCPL	PID[1:0]		

表 5.2 I/O 寄存器位一览表 (45 / 51)

模块 符号	寄存器 符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0	
USB1	PIPESEL	—	—	—	—	—	—	—	—	
		—	—	—	—	PIPESEL[3:0]				
USB1	PIPECFG	TYPE[1:0]		—	—	—	BFRE	DBLB	—	
		SHTNAK	—	—	DIR	EPNUM[3:0]				
USB1	PIPEMAXP	DEVSEL[3:0]				—	—	—	—	MXPS[8:0]
		MXPS[8:0]								
USB1	PIPEPERI	—	—	—	IFIS	—	—	—	—	
		—	—	—	—	—	IITV[2:0]			
USB1	PIPE1CTR	BSTS	INBUFM	—	—	—	ATREPM	ACLRM	SQCLR	
		SQSET	SQMON	PBUSY	—	—	—	PID[1:0]		
USB1	PIPE2CTR	BSTS	INBUFM	—	—	—	ATREPM	ACLRM	SQCLR	
		SQSET	SQMON	PBUSY	—	—	—	PID[1:0]		
USB1	PIPE3CTR	BSTS	INBUFM	—	—	—	ATREPM	ACLRM	SQCLR	
		SQSET	SQMON	PBUSY	—	—	—	PID[1:0]		
USB1	PIPE4CTR	BSTS	INBUFM	—	—	—	ATREPM	ACLRM	SQCLR	
		SQSET	SQMON	PBUSY	—	—	—	PID[1:0]		
USB1	PIPE5CTR	BSTS	INBUFM	—	—	—	ATREPM	ACLRM	SQCLR	
		SQSET	SQMON	PBUSY	—	—	—	PID[1:0]		
USB1	PIPE6CTR	BSTS	—	—	—	—	—	ACLRM	SQCLR	
		SQSET	SQMON	PBUSY	—	—	—	PID[1:0]		
USB1	PIPE7CTR	BSTS	—	—	—	—	—	ACLRM	SQCLR	
		SQSET	SQMON	PBUSY	—	—	—	PID[1:0]		
USB1	PIPE8CTR	BSTS	—	—	—	—	—	ACLRM	SQCLR	
		SQSET	SQMON	PBUSY	—	—	—	PID[1:0]		
USB1	PIPE9CTR	BSTS	—	—	—	—	—	ACLRM	SQCLR	
		SQSET	SQMON	PBUSY	—	—	—	PID[1:0]		
USB1	PIPE1TRE	—	—	—	—	—	—	TRENB	TRCLR	
		—	—	—	—	—	—	—	—	
USB1	PIPE1TRN									
USB1	PIPE2TRE	—	—	—	—	—	—	TRENB	TRCLR	
		—	—	—	—	—	—	—	—	
USB1	PIPE2TRN									
USB1	PIPE3TRE	—	—	—	—	—	—	TRENB	TRCLR	
		—	—	—	—	—	—	—	—	
USB1	PIPE3TRN									
USB1	PIPE4TRE	—	—	—	—	—	—	TRENB	TRCLR	
		—	—	—	—	—	—	—	—	
USB1	PIPE4TRN									
USB1	PIPE5TRE	—	—	—	—	—	—	TRENB	TRCLR	
		—	—	—	—	—	—	—	—	
USB1	PIPE5TRN									

表 5.2 I/O 寄存器位一览表 (46 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
USB1	DEVADD0	—	—	—	—	—	—	—	—
		USBSPD[1:0]		—	—	—	—	—	—
USB1	DEVADD1	—	—	—	—	—	—	—	—
		USBSPD[1:0]		—	—	—	—	—	—
USB1	DEVADD2	—	—	—	—	—	—	—	—
		USBSPD[1:0]		—	—	—	—	—	—
USB1	DEVADD3	—	—	—	—	—	—	—	—
		USBSPD[1:0]		—	—	—	—	—	—
USB1	DEVADD4	—	—	—	—	—	—	—	—
		USBSPD[1:0]		—	—	—	—	—	—
USB1	DEVADD5	—	—	—	—	—	—	—	—
		USBSPD[1:0]		—	—	—	—	—	—
USB	DPUSR0R	DVSTS1	—	DOVCB1	DOVCA1	—	—	DM1	DP1
		DVBSTS0	—	DOVCB0	DOVCA0	—	—	DM0	DP0
		—	—	—	FIXPHY1	—	—	—	SRPC1
		—	—	—	FIXPHY0	—	—	—	SRPC0
USB	DPUSR1R	DVBINT1	—	DOVRCRB1	DOVRCRA1	—	—	DMINT1	DPINT1
		DVBINT0	—	DOVRCRB0	DOVRCRA0	—	—	DMINT0	DPINT0
		DVBSE1	—	DOVRCRBE1	DOVRCRAE1	—	—	DMINTE1	DPINTE1
		DVBSE0	—	DOVRCRBE0	DOVRCRAE0	—	—	DMINTE0	DPINTE0
EDMAC	EDMR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	DE	DL[1:0]		—	—	—	SWR
EDMAC	EDTRR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	TR
EDMAC	EDRRR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	RR
EDMAC	TDLAR								
EDMAC	RDLAR								
EDMAC	EESR	—	TWB	—	—	—	TABT	RABT	RFCOF
		ADE	ECI	TC	TDE	TFUF	FR	RDE	RFOF
		—	—	—	—	CND	DLC	CD	TRO
		RMAF	—	—	RRF	RTLFL	RTSF	PRE	CERF

表 5.2 I/O 寄存器位一览表 (47 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
EDMAC	EESIPR	—	TWBIP	—	—	—	TABTIP	RABTIP	RFCOFIP
		ADEIP	ECIIP	TCIP	TDEIP	TFUFIP	FRIP	RDEIP	RFOFIP
		—	—	—	—	CNDIP	DLCIP	CDIP	TROIP
		RMAFIP	—	—	RRFIP	RTLFIIP	RTSFIP	PREIP	CERFIP
EDMAC	TRSCER	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	CNDCE	DLCCE	CDCE	TROCE
		RMAFCE	—	—	RRFCE	RTLFCCE	RTSFCE	PRECE	CERFCE
EDMAC	RMFCR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		MFC[15:0]							
		MFC[15:0]							
EDMAC	TFTR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	TFT[10:0]		
		TFT[10:0]							
EDMAC	FDR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	TFD[4:0]			—	—
		—	—	—	RFD[4:0]			—	—
EDMAC	RMCR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	RNC	RNR
EDMAC	TFUCR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		UNDER[15:0]							
		UNDER[15:0]							
EDMAC	RFOCR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		OVER[15:0]							
		OVER[15:0]							
EDMAC	IOSR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	ELB
EDMAC	FCFTR	—	—	—	—	—	—	—	—
		—	—	—	—	—	RFFO[2:0]		
		—	—	—	—	—	—	—	—
		—	—	—	—	—	RFDO[2:0]		
EDMAC	RPADIR	—	—	—	—	—	—	—	—
		—	—	—	—	—	PADS[1:0]		
		—	—	—	—	—	—	—	—
		PADR[5:0]							

表 5.2 I/O 寄存器位一览表 (48 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0	
EDMAC	TRIMD	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	TIM	—	—	—	TIS	
EDMAC	RBWAR									
EDMAC	RDFAR									
EDMAC	TBRAR									
EDMAC	TDFAR									
ETHERC	ECMR	—	—	—	—	—	—	—	—	
		—	—	—	TPC	ZPE	PFR	RXF	TXF	
		—	—	—	PRCEF	—	—	MPDE	—	
		—	RE	TE	—	ILB	RTM	DM	PRM	
ETHERC	RFLR	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	—	RFL[11:0]				
		RFL[11:0]								
ETHERC	ECSR	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	BFR	PSRTO	—	LCHNG	MPD	ICD	
ETHERC	ECSIPR	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	BFSIPR	PSRTOIP	—	LCHNGIP	MPDIP	ICDIP	
ETHERC	PIR	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	—	MDI	MDO	MMD	MDC	
ETHERC	PSR	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	LMON	

表 5.2 I/O 寄存器位一览表 (49 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0	
ETHERC	RDMLR	—	—	—	—	—	—	—	—	
		—	—	—	—	RMD[19:0]				
		RMD[19:0]								
		RMD[19:0]								
ETHERC	IPGR	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	IPG[4:0]					
ETHERC	APR	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		AP[15:0]								
		AP[15:0]								
ETHERC	MPR	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		MP[15:0]								
		MP[15:0]								
ETHERC	RFCF	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		RPAUSE[7:0]								
ETHERC	TPAUSER	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		TPAUSE[15:0]								
		TPAUSE[15:0]								
ETHERC	TPAUSECR	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		TXP[7:0]								
ETHERC	BCFRR	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		BCF[15:0]								
		BCF[15:0]								
ETHERC	MAHR	MA[47:0]								
		MA[47:0]								
		MA[47:0]								
		MA[47:0]								
ETHERC	MALR	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		MA[15:0]								
		MA[15:0]								
ETHERC	TROCR									

表 5.2 I/O 寄存器位一览表 (50 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
ETHERC	CDCR								
ETHERC	LCCR								
ETHERC	CNDRCR								
ETHERC	CEFCR								
ETHERC	FRECR								
ETHERC	TSFRCR								
ETHERC	TLFRCR								
ETHERC	RFCR								
ETHERC	MAFCR								
FLASH	FMODR	—	—	—	FRDMD	—	—	—	—
FLASH	FASTAT	ROMAE	—	—	CMDLK	DFLAE	—	DFLRPE	DFLWPE
FLASH	FAEINT	ROMAEIE	—	—	CMDLKIE	DFLAEIE	—	DFLRPEIE	DFLWPEIE
FLASH	FRDYIE	—	—	—	—	—	—	—	FRDYIE
FLASH	DFLRE0	KEY[7:0]							
		DBRE07	DBRE06	DBRE05	DBRE04	DBRE03	DBRE02	DBRE01	DBRE00
FLASH	DFLRE1	KEY[7:0]							
		DBRE15	DBRE14	DBRE13	DBRE12	DBRE11	DBRE10	DBRE09	DBRE08
FLASH	DFLWE0	KEY[7:0]							
		DBWE07	DBWE06	DBWE05	DBWE04	DBWE03	DBWE02	DBWE01	DBWE00

表 5.2 I/O 寄存器位一览表 (51 / 51)

模块符号	寄存器符号	bit 31/23/15/7	bit 30/22/14/6	bit 29/21/13/5	bit 28/20/12/4	bit 27/19/11/3	bit 26/18/10/2	bit 25/17/9/1	bit 24/16/8/0
FLASH	DFLWE1	KEY[7:0]							
		DBWE15	DBWE14	DBWE13	DBWE12	DBWE11	DBWE10	DBWE09	DBWE08
FLASH	FCURAME	KEY[7:0]							
		—	—	—	—	—	—	—	FCRME
FLASH	FSTATR0	FRDY	ILGLERR	ERSERR	PRGERR	SUSRDY	—	ERSSPD	PRGSPD
FLASH	FSTATR1	FCUERR	—	—	FLOCKST	—	—	—	—
FLASH	FENTRYR	FEKEY[7:0]							
		FENTRYD	—	—	—	—	—	—	FENTRY0
FLASH	FPROTR	FPKEY[7:0]							
		—	—	—	—	—	—	—	FPROTCN
FLASH	FRESETR	FRKEY[7:0]							
		—	—	—	—	—	—	—	FRESET
FLASH	FCMDR	CMDR[7:0]							
		PCMDR[7:0]							
FLASH	FCPSR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	ESUSPMD
FLASH	DFLBCCNT	—	—	—	—	—	BCADR[7:0]		—
		BCADR[7:0]						—	—
FLASH	FPESTAT	—	—	—	—	—	—	—	—
		PEERRST[7:0]							
FLASH	DFLBCSTA T	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	BCST
FLASH	PCKAR	—	—	—	—	—	—	—	—
		PCKA[7:0]							

注. 有关 I/O 端口的相关寄存器 (0008 C000h ~ 0008 C117h)，本章节记载了 176 引脚 LFBGA 版的位结构。寄存器和位结构因封装而不同，有关其他封装产品的寄存器和位结构，请参照“17. I/O 端口”。

- 注 1. 通过设定 PPG0.PCR，当脉冲输出组 2 和脉冲输出组 3 的输出触发设定值相同时，PPG0.NDRH 的地址为 0008 81ECh；当输出触发设定值不同时，对应脉冲输出组 2 的 PPG0.NDRH2 的地址为 0008 81EEh，对应脉冲输出组 3 的 PPG0.NDRH 的地址为 0008 81ECh。
- 注 2. 通过设定 PPG0.PCR，当脉冲输出组 0 和脉冲输出组 1 的输出触发设定值相同时，PPG0.NDRL 的地址为 0008 81EDh；当输出触发设定值不同时，对应脉冲输出组 0 的 PPG0.NDRL2 的地址为 0008 81EFh，对应脉冲输出组 1 的 PPG0.NDRL 的地址为 0008 81EDh。
- 注 3. 通过设定 PPG1.PCR，当脉冲输出组 6 和脉冲输出组 7 的输出触发设定值相同时，PPG1.NDRH 的地址为 0008 81FCh；当输出触发设定值不同时，对应脉冲输出组 6 的 PPG1.NDRH2 的地址为 0008 81FEh，对应脉冲输出组 7 的 PPG1.NDRH 的地址为 0008 81FCh。
- 注 4. 通过设定 PPG1.PCR，当脉冲输出组 4 和脉冲输出组 5 的输出触发设定值相同时，PPG1.NDRL 的地址为 0008 81FDh；当输出触发设定值不同时，对应脉冲输出组 4 的 PPG1.NDRL2 的地址为 0008 81FFh，对应脉冲输出组 5 的 PPG1.NDRL 的地址为 0008 81FDh。
- 注 5. 这是 ADDR.PDSEL 为“0”（往 LSB 靠紧）时的位结构，详细内容请参照“35. 10 位 A/D 转换器 (ADa)”。
- 注 6. 不支持 145 引脚 TFLGA 版和 144 引脚 LQFP 版。
- 注 7. 不支持 100 引脚 LQFP 版。
- 注 8. 不支持 85 引脚 TFLGA 版。

6. 复位

6.1 概要

复位有引脚复位、上电复位、电压监视复位、深度软件待机复位、独立看门狗定时器复位和看门狗定时器复位，复位名称和复位源如表 6.1 所示。

表 6.1 复位名称和复位源

复位名称	复位源
引脚复位	RES# 引脚的输入电压为 Low 电平。
上电复位	VCC 上升或者下降（监视电压：V _{POR} ）。
电压监视复位	VCC 下降（监视电压：V _{det1} 、V _{det2} ）（注）。
深度软件待机复位	通过中断解除深度软件待机模式。
独立看门狗定时器复位	独立看门狗定时器发生下溢。
看门狗定时器复位	看门狗定时器发生上溢。

注. 有关监视电压（V_{det1}、V_{det2}、V_{POR}），请参照“7. 电压检测电路（LVD）”和“41. 电特性”。

通过复位对内部状态进行初始化，引脚为初始状态。通过各复位进行初始化的对象如图 6.1 所示。

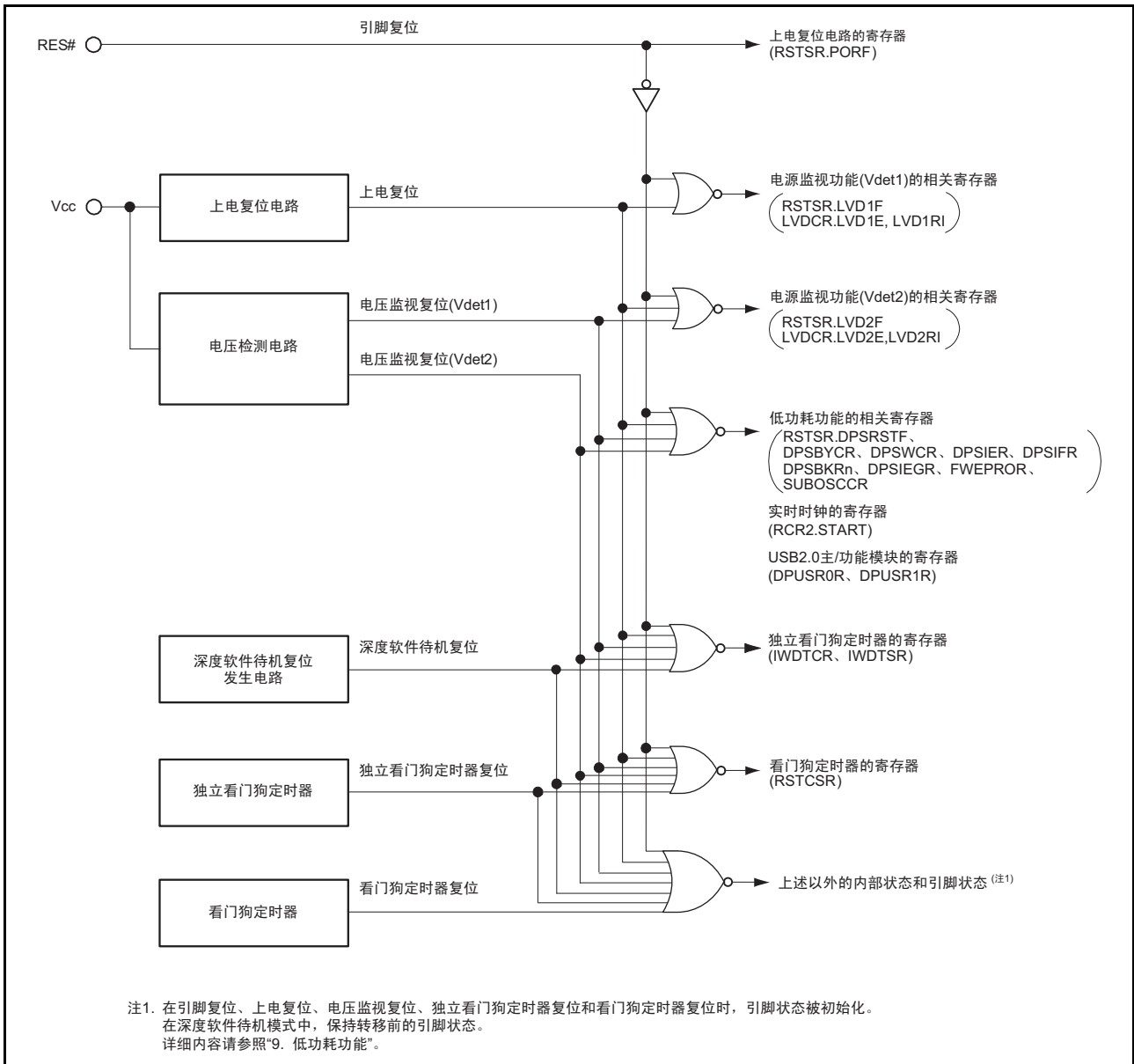


图 6.1 复位电路的框图

表 6.2 各种复位的初始化对象

复位对象	复位种类						
	引脚复位	上电复位	电压监视复位		深度软件待机 复位	独立看门狗定 时器复位	看门狗定时器 复位
			Vdet1	Vdet2			
上电复位电路的寄存器 RSTSR.PORF	○	—	—	—	—	—	—
电压监视功能 (Vdet1) 的相 关寄存器 RSTSR.LVD1F、 LVDCR.LVD1E、 LVDCR.LVD1RI	○	○	—	—	—	—	—
电压监视功能 (Vdet2) 的相 关寄存器 RSTSR.LVD2F、 LVDCR.LVD2E、 LVDCR.LVD2RI	○	○	○	—	—	—	—
低功耗功能的相关寄存器 RSTSR.DPSRSTF、 DPSBYCR、DPSWCR、 DPSIER、DPSIFR、 DPSBKRn、DPSIEGR、 FWEPROR、SUBOSCCR 实时时钟的寄存器 RCR2.START USB2.0 主 / 功能模块的 寄存器 (DPUSR0R、DPUSR1R)	○	○	○	○	—	—	—
独立看门狗定时器的寄存器 IWDTCR、IWDTSR	○	○	○	○	○	—	—
看门狗定时器的寄存器 RSTCSR	○	○	○	○	○	○	—
上述以外的寄存器和内部状态	○	○	○	○	○	○	○
引脚状态	○	○	○	○	—	○	○

如果解除复位，就开始复位异常处理。有关复位异常处理，请参照“10. 异常处理”。

复位的相关输入 / 输出引脚如表 6.3 所示。

表 6.3 复位的相关输入 / 输出引脚

引脚名	输入 / 输出	功能
RES#	输入	复位引脚

6.2 寄存器说明

复位的相关寄存器一览表如表 6.4 所示。
各寄存器有表示各种复位发生源的位。

表 6.4 复位的相关寄存器一览表

寄存器名	符号	复位后的值 (注)	地址	存取长度
复位状态寄存器	RSTSR	00h	0008 C285h	8
复位的控制 / 状态寄存器	RSTCSR	1Fh	0008 802Bh	8
IWDT 状态寄存器	IWDTSR	0000h	0008 8034h	16

注. 有效复位因各寄存器而不同，详细内容请参照“图 6.1 复位电路的框图”和“表 6.2 各种复位的初始化对象”。

6.2.1 复位状态寄存器 (RSTSR)

RSTSR 寄存器的详细内容请参照“9. 低功耗功能”。

6.2.2 复位的控制 / 状态寄存器 (RSTCSR)

RSTCSR 寄存器的详细内容请参照“24. 看门狗定时器 (WDT)”。

6.2.3 IWDT 状态寄存器 (IWDTSR)

IWDTSR 寄存器的详细内容请参照“25. 独立看门狗定时器 (IWDT)”。

6.3 运行说明

6.3.1 引脚复位

这是 RES# 引脚引起的复位。

当 RES# 引脚为 Low 电平时，停止正在执行的全部处理，RX62N 和 RX621 进入复位状态。

为了确保对 RX62N 和 RX621 进行的复位，必须在接通电源时根据规定的振荡稳定时间，使 RES# 引脚保持 Low 电平，并且必须在运行中按照规定的复位脉宽，使 RES# 引脚保持 Low 电平。详细内容请参照“41. 电特性”。

6.3.2 上电复位

这是上电复位电路引起的内部复位。

如果在将 RES# 引脚置为 High 电平的状态下接通电源，就产生上电复位。如果 VCC 高于 V_{POR}，就在经过一定的时间（上电复位时间）后解除上电复位。上电复位时间是使外部电源和 LSI 稳定的时间。

如果在将 RES# 引脚置为 High 电平的状态下电源电压下降到低于等于 V_{POR}，就发生上电复位。如果此后 VCC 上升到高于 V_{POR}，就在经过上电复位时间后解除上电复位。

如果发生上电复位，RSTSR.PORF 标志就变为“1”。PORF 标志是只读寄存器，只在引脚复位时进行初始化。

上电复位的运行如图 6.2 所示。

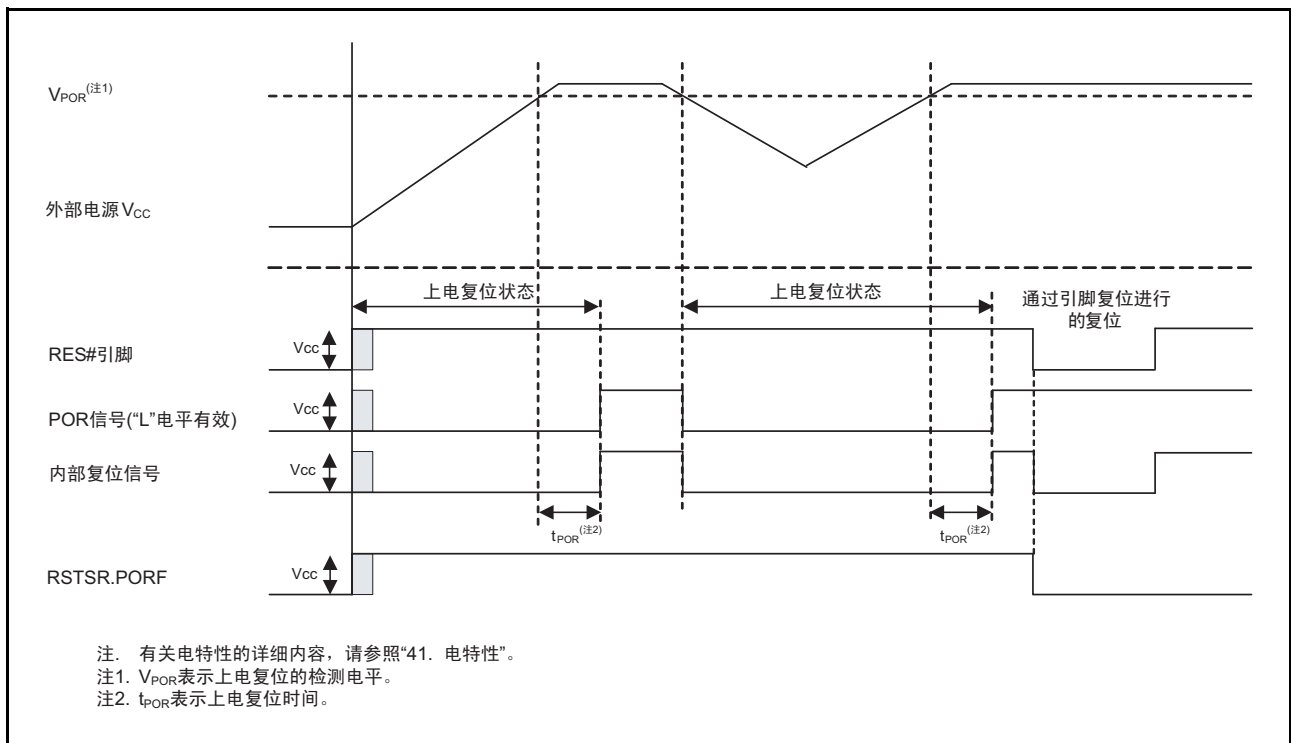


图 6.2 上电复位的运行

6.3.3 电压监视复位

这是电压检测电路引起的内部复位。

如果 VCC 低于等于 Vdet1，LVD1F 标志就变为“1”。此时，如果 LVDCR 寄存器的 LVD1E 位为“1”（电压检测电路引起的复位或者中断有效）并且 LVD1RI 位为“0”（在检测到低电压时发生复位），电压检测电路就发生电压监视复位。

同样，如果 VCC 低于等于 Vdet2，LVD2F 标志就变为“1”。此时，如果 LVDCR 寄存器的 LVD2E 位为“1”（电压检测电路引起的复位或者中断有效）并且 LVD2RI 位为“0”（在检测到低电压时发生复位），电压检测电路就产生电压监视复位。

如果此后 VCC 高于 Vdet1 或者 Vdet2，电压监视复位就在经过稳定时间（ t_{POR} ）后被解除。

电压监视复位的详细内容请参照“7. 电压检测电路（LVD）”和“41. 电特性”。

6.3.4 深度软件待机复位

这是通过中断来解除深度软件待机模式时发生的内部复位。

如果产生深度软件待机模式的解除源，就发生深度软件待机复位。此后，在经过 DPSWCR.WTSTS[5:0] 位所设定的时间后，解除深度软件待机复位。在解除深度软件待机复位的同时，深度软件待机模式也随之解除。

深度软件待机复位的详细内容请参照“9. 低功耗功能”。

6.3.5 独立看门狗定时器复位

这是独立看门狗定时器引起的内部复位。

在独立看门狗定时器发生下溢时发生独立看门狗定时器复位。然后，在经过一定的时间后解除独立看门狗定时器复位。

独立看门狗定时器复位的详细内容请参照“25. 独立看门狗定时器（IWDT）”。

6.3.6 看门狗定时器复位

这是看门狗定时器引起的内部复位。

如果将 RSTCSR 寄存器的 RSTE 位置“1”，就在看门狗定时器发生上溢时发生看门狗定时器复位。然后，在经过一定的时间后解除看门狗定时器复位。

看门狗定时器复位的详细内容请参照“24. 看门狗定时器（WDT）”。

6.4 复位发生源的判断

能通过读 RSTCSR 寄存器、IWDTSR 寄存器、RSTSR 寄存器和 LVDCCR 寄存器，确认是因发生哪种复位而执行了复位异常处理。

复位发生源的判断流程例子如图 6.3 所示。

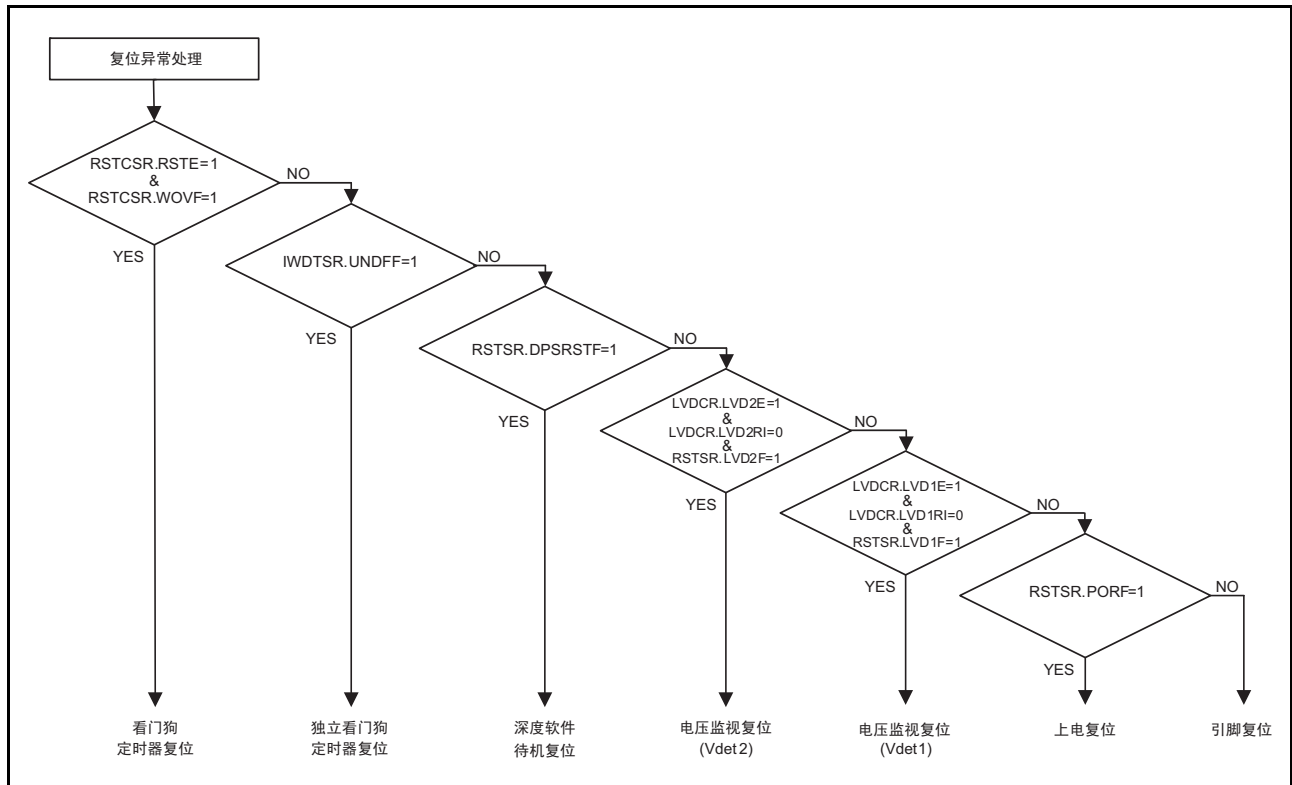


图 6.3 复位发生源的判断流程例子

6.5 使用时的注意事项

6.5.1 设计电路板时的注意事项

RX62N 群和 RX621 群的 XTAL 引脚邻接复位引脚。因此，必须通过 GND 保护复位信号，以免受到时钟信号的影响。

7. 电压检测电路 (LVD)

7.1 概要

电压检测电路是监视 VCC 电压电平的电路。如果 VCC 下降到低于电压检测电平，电压检测电路就能对 LSI 内部进行复位，也能发生中断。

表 7.1 电压检测电路的规格

项目	内容
电压检测电路 1 (LVD1)	<ul style="list-style-type: none"> 能检测到电源电压 VCC 低于等于 Vdet1 (注 1)。 能在检测到低电压时发生内部复位或者内部中断。
电压检测电路 2 (LVD2)	<ul style="list-style-type: none"> 能检测到电源电压 VCC 低于等于 Vdet2 (注 1)。 能在检测到低电压时发生内部复位或者内部中断。

注 1. 有关 Vdet1 和 Vdet2，请参照“41. 电特性”。

电压检测电路的框图如图 7.1 所示。

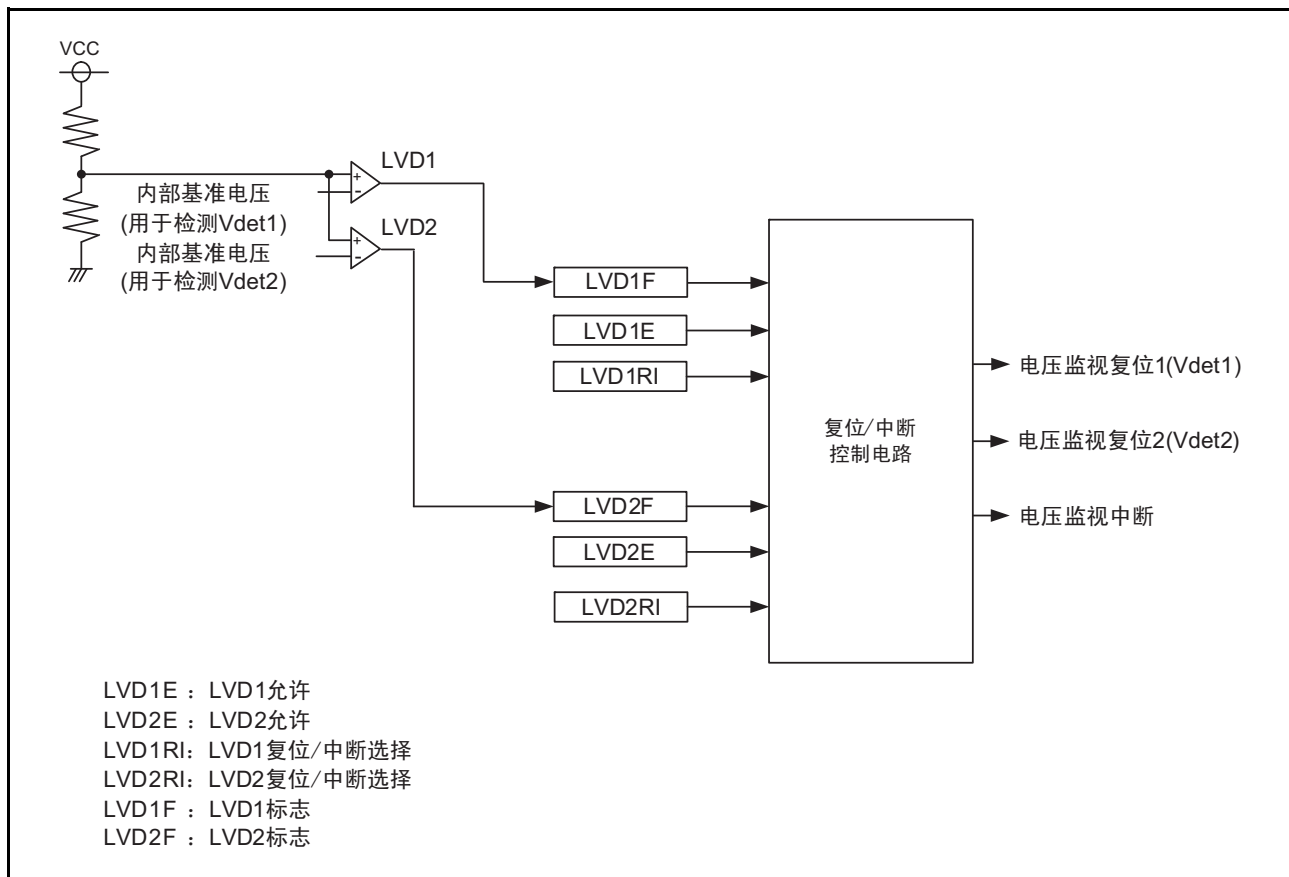


图 7.1 电压检测电路的框图

7.2 寄存器说明

电压检测电路的寄存器一览表如表 7.2 所示。

表 7.2 电压检测电路的寄存器一览表

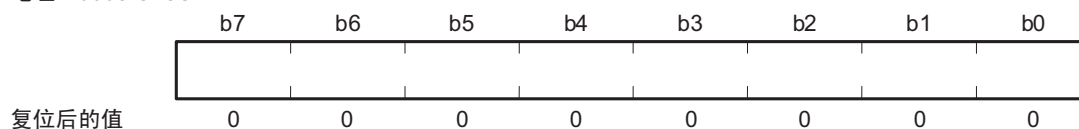
寄存器名	符号	复位后的值	地址	存取长度
复位状态寄存器	RSTSR	x000 0xxx b	0008 C285h	8
低电压检测控制寄存器的键码寄存器	LVDKEYR	0000 0000 b	0008 C28Ch	8
低电压检测控制寄存器	LVDCCR	000x 000x b	0008 C28Dh	8

7.2.1 复位状态寄存器 (RSTSR)

RSTSR 寄存器的详细内容请参照“9. 低功耗功能”。

7.2.2 低电压检测控制寄存器的键码寄存器 (LVDKEYR)

地址 0008 C28Ch



位	符号	位名	功能	R/W
b7 ~ b0	—	LVDCCR 键码	3Ch: LVDCCR 寄存器的写操作有效 上述以外: LVDCCR 寄存器的写操作无效	R/W

LVDKEYR 寄存器控制允许或者禁止写 LVDCCR 寄存器。

能通过给 LVDKEYR 寄存器写键码, 写 LVDCCR 寄存器。

KEY[7:0] 位 (LVDCCR 键码)

如果给 LVDKEYR 寄存器写“3Ch”, LVDCCR 寄存器的写操作就有效; 如果写“3Ch”以外的值, LVDCCR 寄存器的写操作就无效。在写 LVDCCR 寄存器后, KEY[7:0] 位变为“00h”。

7.2.3 低电压检测控制寄存器 (LVDCR)

地址 0008 C28Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	LVD2E	LVD2RI	—	—	LVD1E	LVD1RI	—	—
复位后的值	0	0	0	X	0	0	0	X

X: 不定值

位	符号	位名	功能	R/W
B0	—	保留位	读取值为不定值，写操作无效。	R/W
B1	—	保留位	读写值都为“0”。	R/W
B2	LVD1RI	LVD1 复位 / 中断选择位	0: 当检测到低电压时，发生复位。 1: 当检测到低电压时，发生中断。	R/W
b3	LVD1E	LVD1 允许位	0: LVD1 无效 1: LVD1 有效	R/W
b4	—	保留位	读取值为不定值，写操作无效。	R/W
b5	—	保留位	读写值都为“0”。	R/W
b6	LVD2RI	LVD2 复位 / 中断选择位	0: 当检测到低电压时，发生复位。 1: 当检测到低电压时，发生中断。	R/W
b7	LVD2E	LVD2 允许位	0: LVD2 无效 1: LVD2 有效	R/W

LVDCR 寄存器是控制电压检测电路的寄存器。

通过引脚复位或者上电复位对 LVD1E 位和 LVD1RI 位进行初始化。

通过引脚复位、上电复位或者电压监视复位 1 (Vdet1) 对 LVD2E 位和 LVD2RI 位进行初始化。

LVDCR 寄存器的设定和电压检测电路的状态如表 7.3 所示。

LVD1RI 位 (LVD1 复位 / 中断选择位)

当通过电压检测电路 1 检测到低电压时，此位选择是发生内部复位还是发生中断。

LVD1E 位 (LVD1 允许位)

此位通过电压检测电路 1 将复位或者中断置为有效。

LVD2RI 位 (LVD2 复位 / 中断选择位)

当通过电压检测电路 2 检测到低电压时，此位选择是发生内部复位还是发生中断。

LVD2E 位 (LVD2 允许位)

此位通过电压检测电路 2 将复位或者中断置为有效。

表 7.3 LVD1CR 寄存器的设定和电压检测电路的状态

LVD1CR 寄存器				电源检测电路 2 (LVD2)	电源检测电路 1 (LVD1)
LVD2E 位	LVD2RI 位	LVD1E 位	LVD1RI 位		
0	0	0	0	LVD2 无效	LVD1 无效
0	0	1	0	LVD2 无效	LVD1 有效 (复位)
0	0	1	1	LVD2 无效	LVD1 有效 (中断)
1	0	0	0	LVD2 有效 (复位)	LVD1 无效
1	1	0	0	LVD2 有效 (中断)	LVD1 无效
1	1	1	0	LVD2 有效 (中断)	LVD1 有效 (复位)
不能进行上述以外的设定。					

7.3 电压检测电路

7.3.1 电压监视复位

电压检测电路引起的电压监视复位如图 7.2 和图 7.3 所示。

如果 VCC 低于等于 Vdet2，RSTSR.LVD2F 标志就变为“1”。此时，如果 LVDCR.LVD2E 位为“1”并且 LVDCR.LVD2RI 位为“0”，电压检测电路就发生电压监视复位。

同样，如果 VCC 低于等于 Vdet1，RSTSR.LVD1F 标志就变为“1”。此时，如果 LVDCR.LVD1E 位为“1”并且 LVDCR.LVD1RI 位为“0”，电压检测电路就发生电压监视复位。

如果此后 VCC 高于 Vdet1 或者 Vdet2，电压监视复位就被解除。电压监视复位一旦被解除，就开始复位异常处理。

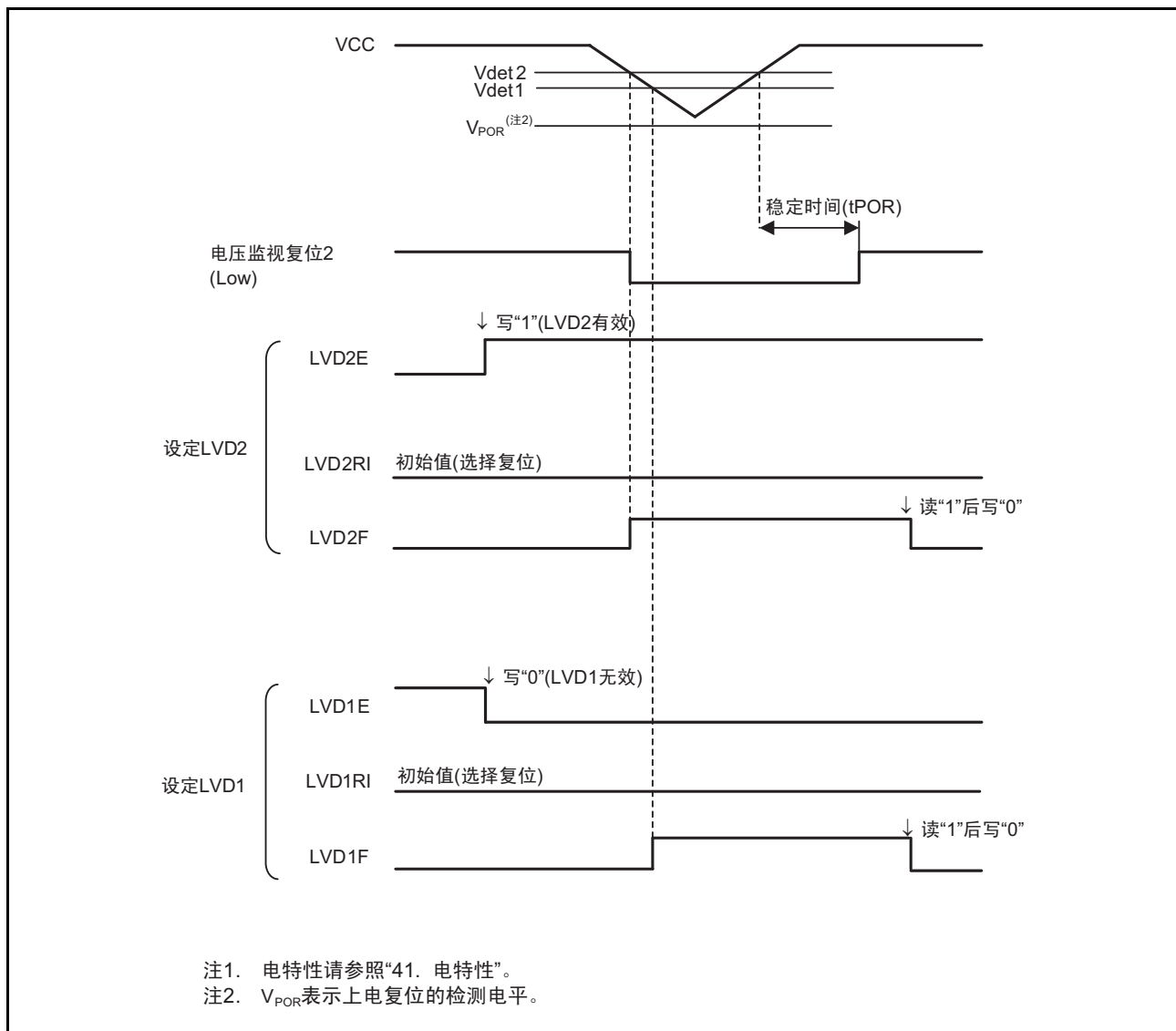


图 7.2 电压监视复位的时序图 1 (选择 LVD2 复位 /LVD1 无效)

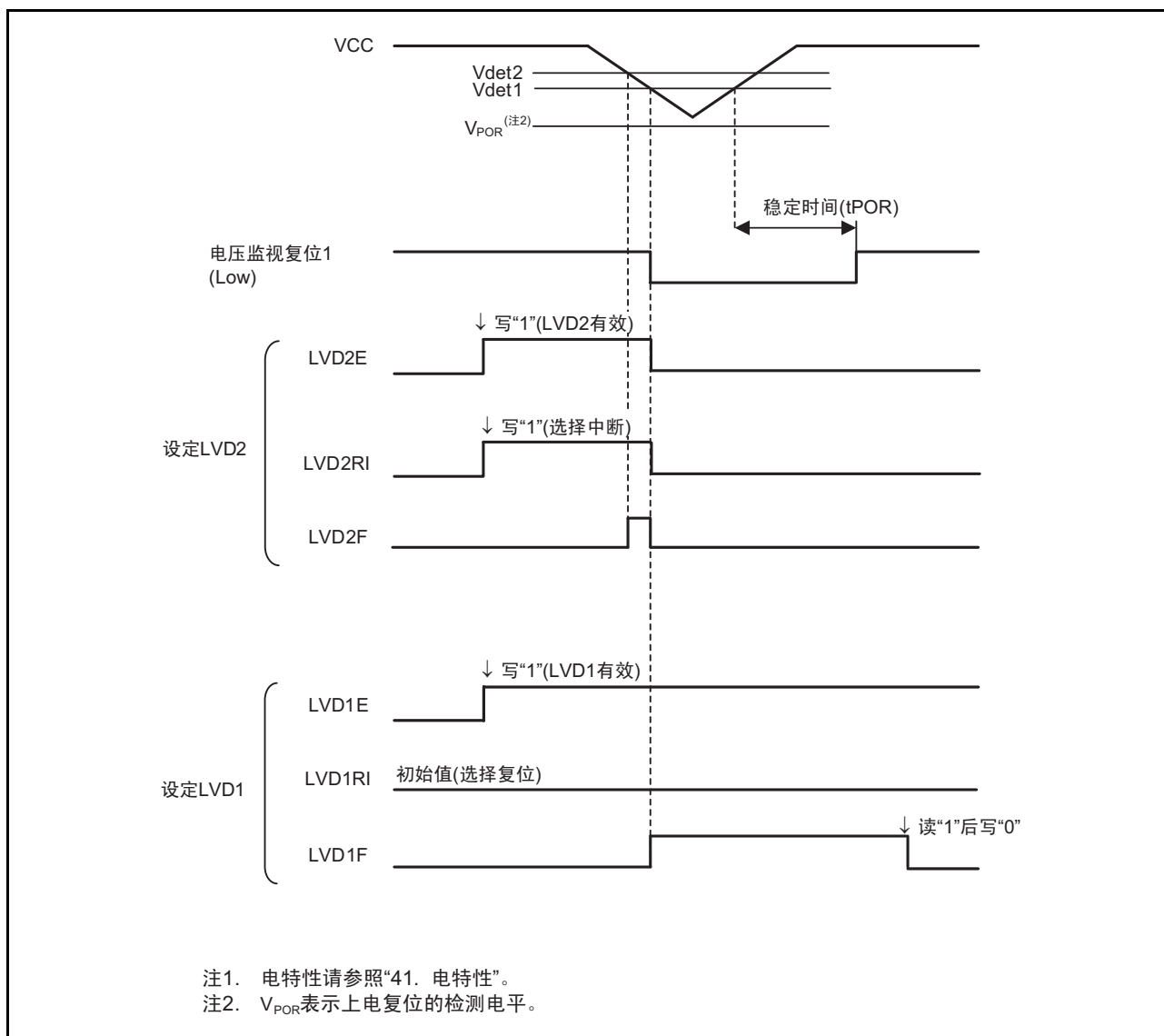


图 7.3 电压监视复位的时序图 2 (选择 LVD2 中断、选择 LVD1 复位)

7.3.2 电压监视中断

电压检测电路引起的电压监视中断如图 7.4 所示。

如果 VCC 低于等于 Vdet1，RSTSR.LVD1F 标志就变为“1”。此时，如果 LVDCR.LVD1E 位和 LVDCR.LVD1RI 位都为“1”，电压检测电路就请求电压监视中断。

同样，如果 VCC 低于等于 Vdet2，RSTSR.LVD2F 标志就变为“1”。此时，如果 LVDCR.LVD2E 位和 LVDCR.LVD2RI 位都为“1”，电压检测电路就请求电压监视中断。

能通过在读“1”后给 RSTSR.LVD1F 标志写“0”，将此标志置“0”。此时，在 VCC 电压电平低于等于 LVD1 的检测电平 (Vdet1) 的状态下，不能将 RSTSR.LVD1F 标志置“0”。能通过在给 RSTSR.LVD1F 标志写“0”后从 RSTSR.LVD1F 标志读“0”，确认 VCC 高于等于 Vdet1。

同样，能通过在读“1”后给 RSTSR.LVD2F 标志写“0”，将此标志置“0”。此时，在 VCC 电压电平低于等于 LVD2 的检测电平 (Vdet2) 的状态下，不能将 RSTSR.LVD2F 标志置“0”。能通过在给 RSTSR.LVD2F 标志写“0”后从 RSTSR.LVD2F 标志读“0”，确认 VCC 高于等于 Vdet2。

电压监视中断被分配给非屏蔽中断。有关中断处理的详细内容，请参照“11. 中断控制器 (ICUa)”。电压监视中断的设定步骤例子如图 7.5 所示。

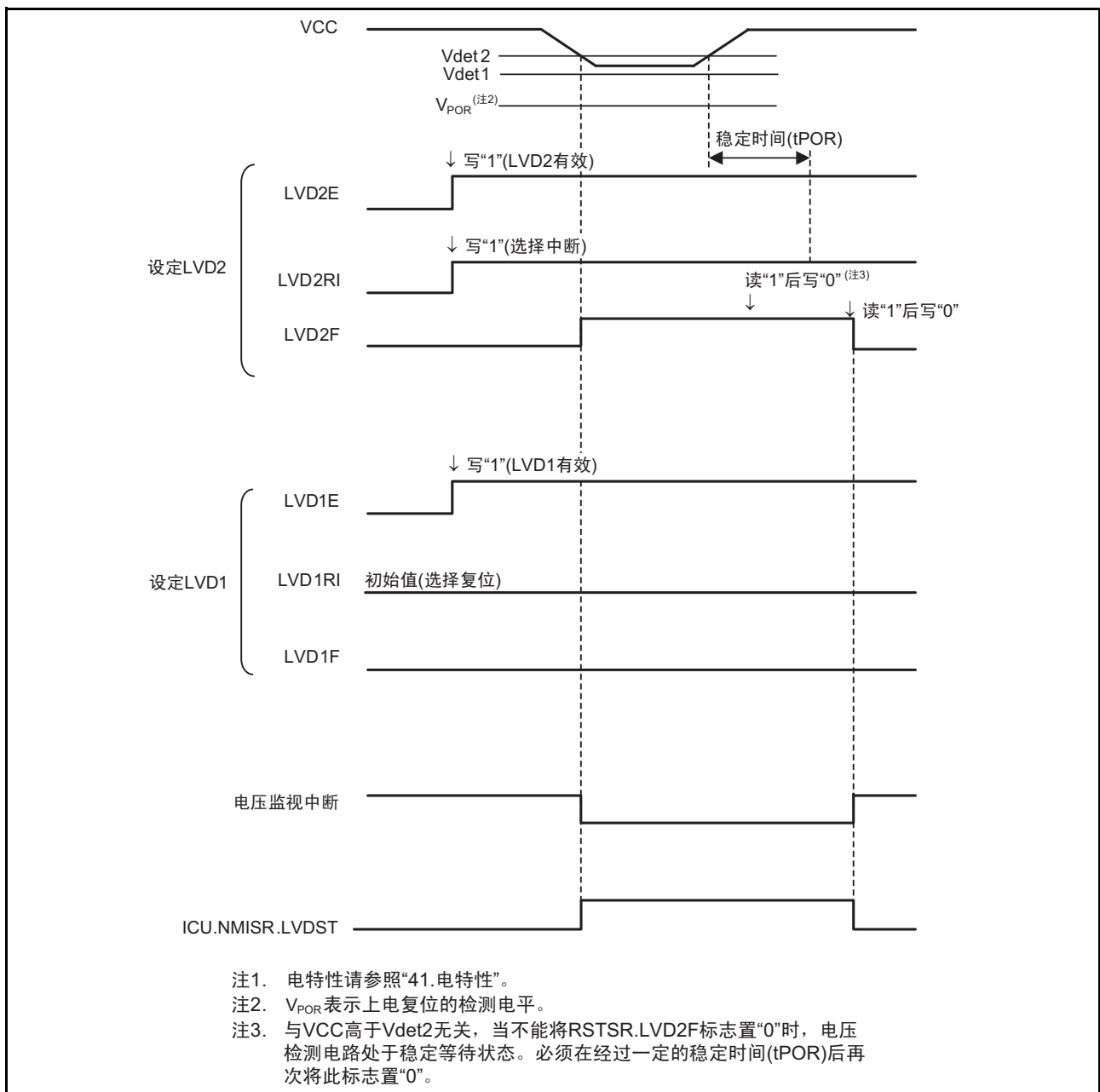


图 7.4 电压监视中断的时序图 (选择 LVD2 中断 / 选择 LVD1 复位)

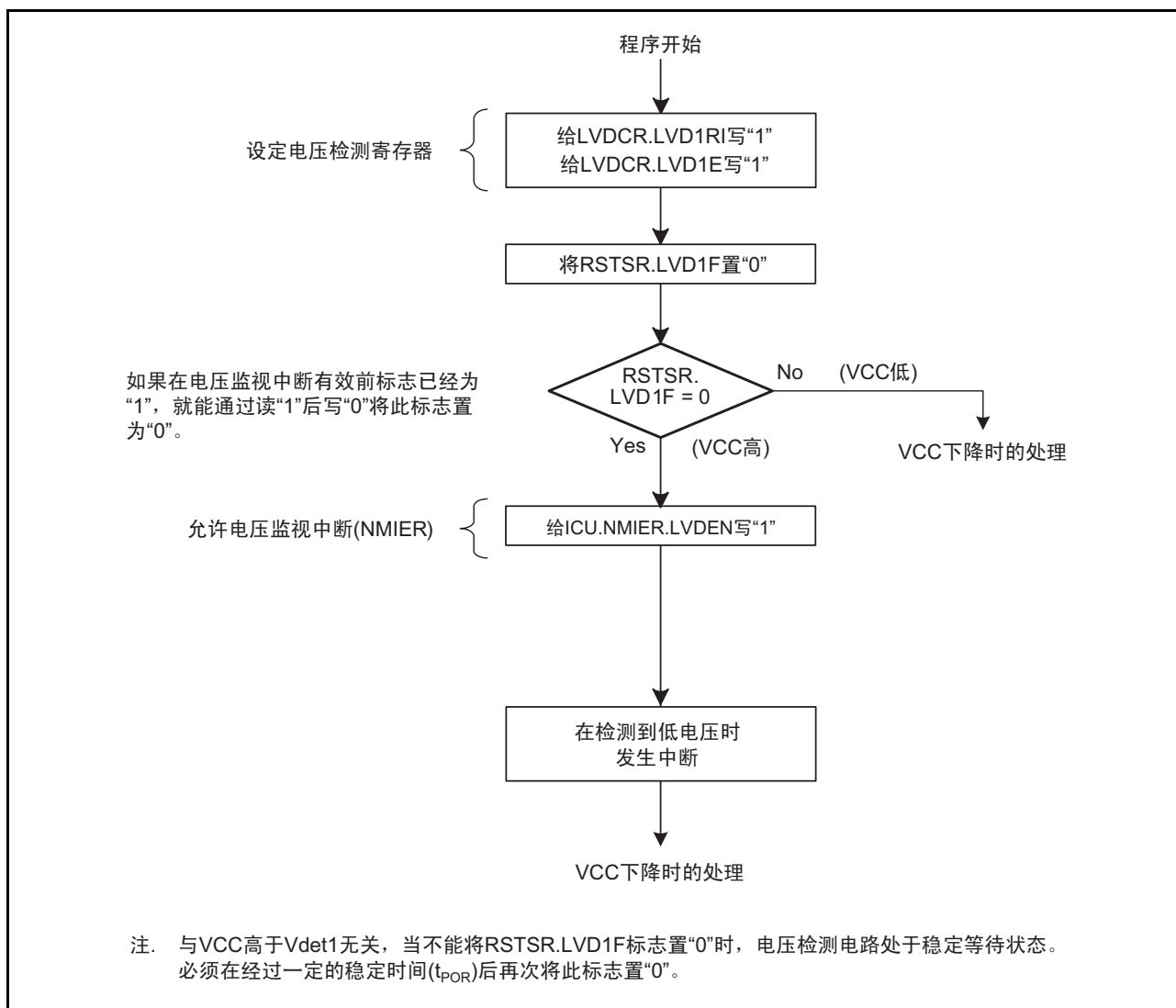


图 7.5 电压监视中断的设定步骤例子

7.3.3 通过电压检测电路进行深度软件待机模式的解除

如果 VCC 低于等于 V_{det1} ，RSTSR.LVD1F 标志就变为“1”。

此时，如果 LVDCR.LVD1E 位、LVDCR.LVD1RI 位和 DPSIER.DLVDE 位都为“1”，DPSIFR.DLVDF 标志就变为“1”，并通过电压监视中断来请求深度软件待机模式的解除。

同样，如果 VCC 低于等于 V_{det2} ，RSTSR.LVD2F 标志就变为“1”。

此时，如果 LVDCR.LVD2E 位、LVDCR.LVD2RI 位和 DPSIER.DLVDE 位都为“1”，DPSIFR.DLVDF 标志就变为“1”，并通过电压监视中断来请求深度软件待机模式的解除。

有关深度软件待机模式，请参照“9. 低功耗功能”。

8. 时钟发生电路

8.1 概要

RX62N 群和 RX621 群内置了时钟发生电路，生成系统时钟（ICLK）、外围模块时钟（PCLK）、外部总线时钟（BCLK）、SDRAM 时钟（SDCLK）、USB 专用时钟（UCLK）、RTC 专用时钟（SUBCLK）和内部振荡器时钟（IWDTCLK）。

时钟发生电路由主时钟振荡器、副时钟振荡器、内部振荡器、振荡停止检测电路、内部振荡电路、PLL（Phase Locked Loop）电路、分频器和选择器构成。

时钟发生电路的规格和框图分别如表 8.1 和图 8.1 所示。

表 8.1 时钟发生电路的规格

项目	规格
用途	<ul style="list-style-type: none"> 生成给 CPU、DTC、DMACA、ETHERC、EDMAC、ROM 和 RAM 提供的系统时钟（ICLK）。 生成给外围模块提供的外围模块时钟（PCLK）。 生成给外部总线提供的外部总线时钟（BCLK）。 生成给 SDRAM 提供的 SDRAM 时钟（SDCLK）。 生成给 USB 提供的 USB 专用时钟（UCLK）。 生成给 RTC 提供的 RTC 专用时钟（SUBCLK）。 生成给 IWDT 提供的内部振荡器时钟（IWDTCLK）。
工作频率	ICLK: 8MHz ~ 100MHz PCLK: 8MHz ~ 50MHz BCLK: 8MHz ~ 100MHz (注2) BCLK 引脚输出: 8MHz ~ 50MHz (注3) SDCLK: 8MHz ~ 50MHz SDCLK 引脚输出: 8MHz ~ 50MHz UCLK: 48MHz (只限于 EXTAL=12MHz 时) SUBCLK: 32.768kHz IWDTCLK: 125kHz (Typ.) (注1) 时钟频率的设定限制: 维持 $ICLK \geq PCLK$ 、 $ICLK \geq BCLK$ 。
能连接的谐振器或者附加电路	晶体谐振器
谐振器或者附加电路的连接引脚	主时钟: EXTAL、XTAL 副时钟: XCIN、XCOUT
输入时钟（EXTAL）的频率	8MHz ~ 14MHz
输入时钟（XCIN）的频率	32.768kHz
ICLK/PCLK/BCLK/SDCLK/UCLK 时钟的选择	<ul style="list-style-type: none"> 可给 ICLK/PCLK/BCLK 独立选择 EXTAL×8、EXTAL×4、EXTAL×2、EXTAL×1。（SDCLK 和 BCLK 的频率相同，UCLK 固定为 EXTAL×4。）
振荡停止检测功能	这是在检测到主时钟振荡器停止振荡时转换为内部振荡的功能。 此功能将 MTU 的引脚置为高阻抗。
BCLK 引脚的输出控制功能	<ul style="list-style-type: none"> 可选择 BCLK 时钟输出或者 High 电平输出。 输出的时钟可选择 BCLK 时钟或者 BCLK 的 2 分频时钟。（在 BCLK 选择 EXTAL×1 的情况下，BCLK 的 2 分频时钟的选择无效。）
SDCLK 引脚的输出控制功能	可选择 SDCLK 输出或者 High 电平输出。

注 1. 详细内容请参照“41. 电特性”。

注 2. 100 引脚 LQFP 版、85 引脚 TFLGA 版的 BCLK: 8 ~ 50MHz

注 3. 100 引脚 LQFP 版、85 引脚 TFLGA 版的 BCLK 引脚输出: 8 ~ 25MHz

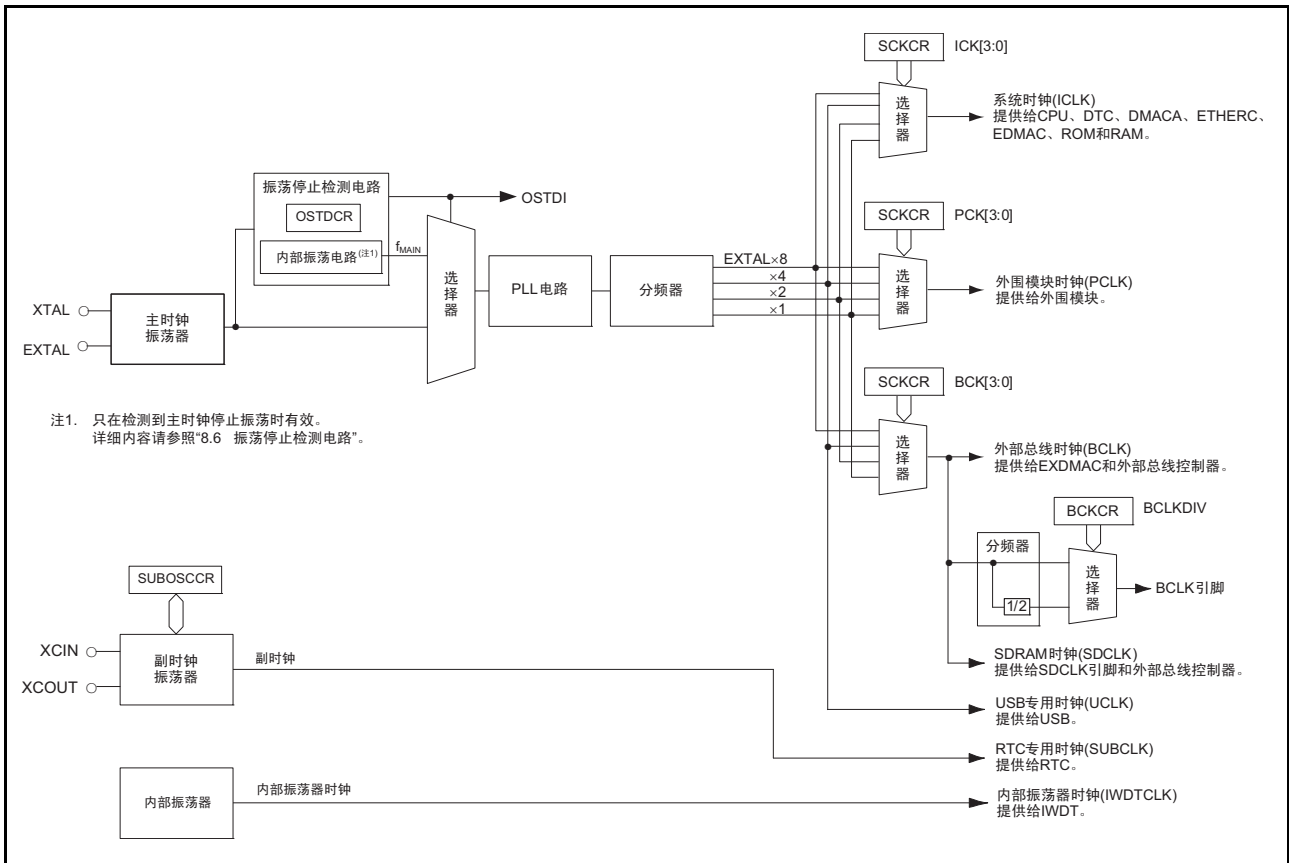


图 8.1 时钟发生电路的框图

时钟发生电路的输入 / 输出引脚如表 8.2 所示。

表 8.2 时钟发生电路的输入 / 输出引脚

引脚名	输入 / 输出	功能
XTAL	输出	连接晶体谐振器的引脚 EXTAL 引脚也可以输入外部时钟，详细内容请参照“8.3.2 输入外部时钟的方法”。
EXTAL	输入	
XCIN	输入	连接 32.768kHz 晶体谐振器。XCIN 引脚也可以输入外部时钟。
XCOU	输出	
BCLK	输出	给外部设备提供外部总线时钟（BCLK）。
SDCLK	输出	给外部设备提供 SDRAM 时钟（SDCLK）。

8.2 寄存器说明

时钟发生电路的寄存器一览表如表 8.3 所示。

表 8.3 时钟发生电路的寄存器一览表

寄存器名	符号	复位后的值	地址	存取长度
系统时钟控制寄存器	SCKCR	0202 0200h	0008 0020h	32
外部总线时钟控制寄存器	BCKCR	00h	0008 0030h	8
振荡停止检测控制寄存器	OSTDCR	0080h	0008 0040h	16
副时钟振荡器的控制寄存器	SUBOSCCR	00h	0008 C28Ah	8

8.2.1 系统时钟控制寄存器 (SCKCR)

地址 0008 0020h

	b31	b30	b29	b28	b27	b26	b25	b24
	—	—	—	—	ICK[3:0]			
复位后的值	0	0	0	0	0	0	1	0
	b23	b22	b21	b20	b19	b18	b17	b16
	PSTOP1	PSTOP0	—	—	BCK[3:0]			
复位后的值	0	0	0	0	0	0	1	0
	b15	b14	b13	b12	b11	b10	b9	b8
	—	—	—	—	PCK[3:0]			
复位后的值	0	0	0	0	0	0	1	0
	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b7-b0	—	保留位	读写值都为“0”。	R/W
b11-b8	PCK[3:0] (注1)	外围模块时钟选择位	b11 b8 0000: ×8 0001: ×4 0010: ×2 0011: ×1 上述以外: 不能设定	R/W
b15-b12	—	保留位	读写值都为“0”。	R/W
b19-b16	BCK[3:0] (注1)	外部总线时钟、SDRAM 时钟选择位	b19 b16 0000: ×8 0001: ×4 0010: ×2 0011: ×1 上述以外: 不能设定	R/W
b21-b20	—	保留位	读写值都为“0”。	R/W
b22	PSTOP0	SDCLK 引脚输出控制位	0: 从 SDCLK 引脚输出 1: 停止从 SDCLK 引脚输出 (固定为 High 电平)	R/W
b23	PSTOP1	BCLK 引脚输出控制位	0: 从 BCLK 引脚输出 1: 停止从 BCLK 引脚输出 (固定为 High 电平)	R/W
b27-b24	ICK[3:0] (注2)	系统时钟选择位	b27 b24 0000: ×8 0001: ×4 0010: ×2 0011: ×1 上述以外: 不能设定	R/W
b31-b28	—	保留位	读写值都为“0”。	R/W

注1. 不能设定高于系统时钟 (ICKL) 的频率, 否则尽管能设定寄存器, 但是频率和 ICLK 相同。

注2. 不能设定低于外围模块时钟 (PCLK) 和外部总线时钟 (BCLK) 的频率, 否则尽管能设定寄存器, 但是系统时钟 (ICKL) 的频率和 PCLK 或者 BCLK 的频率相同。

SCKCR 寄存器选择 BCLK 和 SDCLK 的输出控制以及选择系统时钟 (ICLK)、外围模块时钟 (PCLK)、外部总线时钟 (BCLK) 和 SDRAM 时钟 (SDCLK) 的频率。

PCK[3:0] 位 (外围模块时钟选择位)

这些位选择外围模块时钟 (PCLK) 的频率，并且表示输入时钟 (EXTAL) 的倍率。

BCK[3:0] 位 (外部总线时钟、SDRAM 时钟选择位)

这些位选择外部总线时钟 (BCLK) 和 SDRAM 时钟 (SDCLK) 的频率，并且表示输入时钟 (EXTAL) 的倍率。

PSTOP0 位 (SDCLK 引脚输出控制位)

此位控制是输出还是停止输出从 P70 (SDCLK) 引脚输出的 SDCLK。
在停止输出 SDCLK 的情况下，输出 High 电平。

PSTOP1 位 (BCLK 引脚输出控制位)

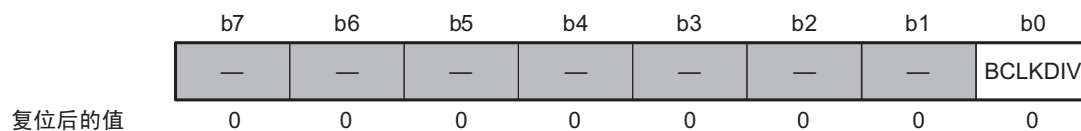
此位控制是输出还是停止输出从 P53 (BCLK) 引脚输出的 BCLK。
在停止输出 BCLK 的情况下，输出 High 电平。

ICK[3:0] 位 (系统时钟选择位)

这些位选择 CPU、DMACA、DTC 和系统时钟 (ICLK) 的频率，并且表示输入时钟 (EXTAL) 的倍率。

8.2.2 外部总线时钟控制寄存器 (BCKCR)

地址 0008 0030h



位	符号	位名	功能	R/W
b0	BCLKDIV	BCLK 引脚输出选择位	0: BCLK×1 1: BCLK×1/2	R/W
b7-b1	—	保留位	读写值都为“0”。	R/W

BCKCR 寄存器是控制外部总线时钟的寄存器。

BCLKDIV (BCLK 引脚输出选择位)

此位选择从 P53 (BCLK) 引脚输出的时钟。

此位能选择是将 SCKCR.BCK[3:0] 位所选频率的 BCLK 直接输出还是以 1/2 频率输出。

8.2.3 振荡停止检测控制寄存器 (OSTDCR)

地址 0008 0040h

	b15	b14	b13	b12	b11	b10	b9	b8
	KEY[7:0]							
复位后的值	0	0	0	0	0	0	0	0
	b7	b6	b5	b4	b3	b2	b1	b0
	OSTDE	OSTDF	—	—	—	—	—	—
复位后的值	1	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b5 ~ b0	—	保留位	读写值都为“0”。	R/W
b6	OSTDF	振荡停止检测标志	当 OSTDE 为“1”时： 0: 主时钟振荡器正常振荡 1: 检测到主时钟振荡器停止振荡 当 OSTDE 为“0”时： 读取值为“0”。	R
b7	OSTDE	振荡停止检测功能有效位	0: 振荡停止检测功能无效 1: 振荡停止检测功能有效	R/W
b15 ~ 8	KEY[7:0]	OSTDCR 键码	ACh : 允许写 OSTDCR 寄存器 上述以外 : 禁止写 OSTDCR 寄存器 读取值为“0”。	R/W

OSTDCR 寄存器是控制振荡停止检测功能的寄存器。

OSTDF 标志 (振荡停止检测标志)

此标志表示主时钟振荡器的状态。

当 OSTDF 标志为“1”时，表示检测到主时钟振荡器停止振荡。

OSTDE 位 (振荡停止检测功能有效位)

此位设定振荡停止检测功能的有效或者无效。

当 OSTDE 位为“1” (振荡停止检测功能有效) 时，不能转移到软件待机模式和深度软件待机模式。如果要转移到软件待机模式和深度软件待机模式，就必须在将 OSTDE 位置“0”后发行 WAIT 指令。

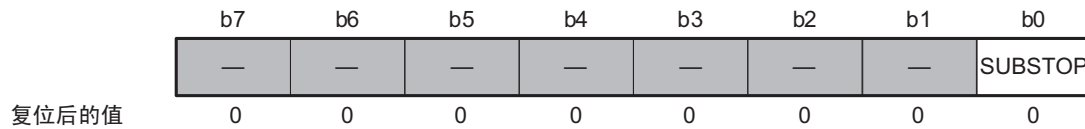
KEY[7:0] 位 (OSTDCR 键码)

这些位选择允许或者禁止写 OSTDCR 寄存器。

必须在将 KEY[7:0] 位置“ACh”后给 OSTDE 位写值。当 KEY[7:0] 位的值不是“ACh”时，即使写 OSTDCR 寄存器，OSTDE 位的值也不变。

8.2.4 副时钟振荡器的控制寄存器（SUBOSCCR）

地址 0008 C28Ah



位	符号	位名	功能	R/W
b0	SUBSTOP	副时钟振荡器控制位	0: 副时钟振荡器振荡 1: 副时钟振荡器停止振荡	R/W
b7-b1	—	保留位	读写值都为“0”。	R/W

SUBOSCCR 寄存器是控制副时钟振荡器的寄存器。

SUBSTOP 位（副时钟振荡器控制位）

此位控制副时钟振荡器的振荡或者停止。

8.3 主时钟振荡器

提供时钟的方法有连接晶体谐振器和输入外部时钟两种。

8.3.1 连接晶体谐振器的方法

连接晶体谐振器时的连接例子如图 8.2 所示，阻尼电阻 R_d （参考值）表 8.4 所示。

在连接晶体谐振器提供时钟的情况下，连接的晶体谐振器必须为 8 ~ 14MHz。

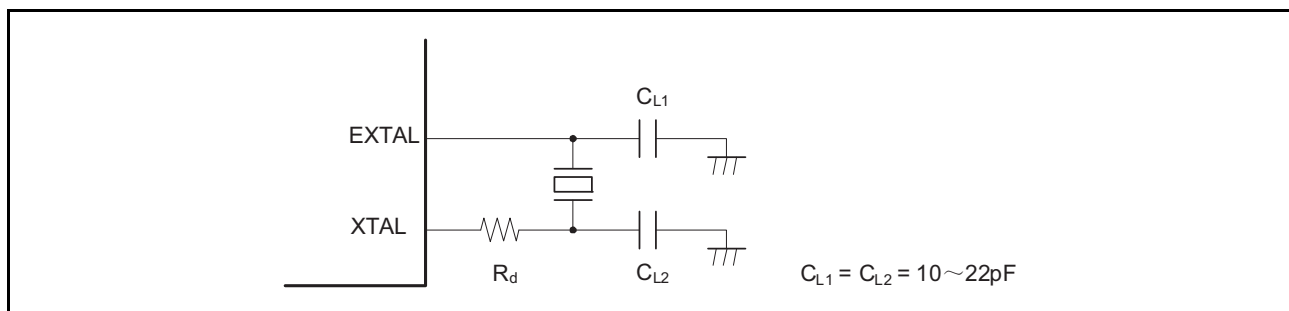


图 8.2 晶体谐振器的连接例子

表 8.4 阻尼电阻（参考值）

频率 (MHz)	8	10	12	14
R_d (Ω)	200	100	0	0

晶体谐振器的等效电路如图 8.3 所示，必须使用表 8.5 所示特性的晶体谐振器。

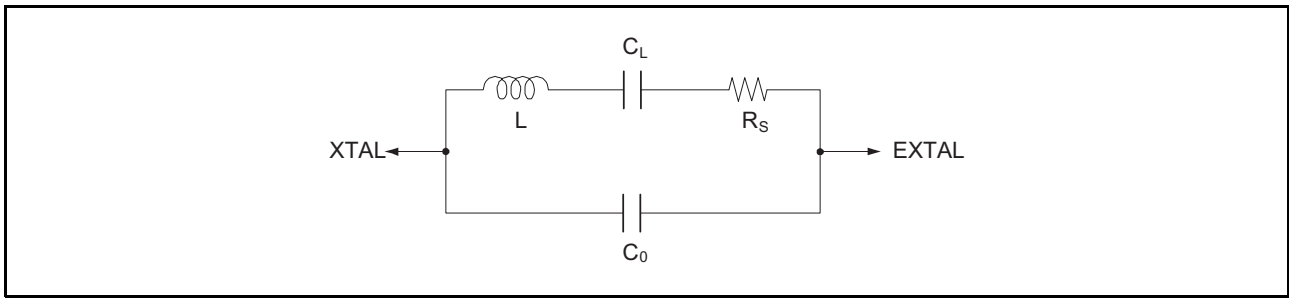


图 8.3 晶体谐振器的等效电路

表 8.5 晶体谐振器的特性（参考值）

频率 (MHz)	8	10	12	14
$R_S \text{ max } (\Omega)$	80	70	60	50
$C_0 \text{ max } (\text{pF})$	7			

8.3.2 输入外部时钟的方法

输入外部时钟的连接例子如图 8.4 所示。在将 XTAL 引脚置为开路时，寄生电容必须小于等于 10pF。在给 XTAL 引脚输入反相时钟时，必须在待机模式中将外部时钟置为 High 电平。

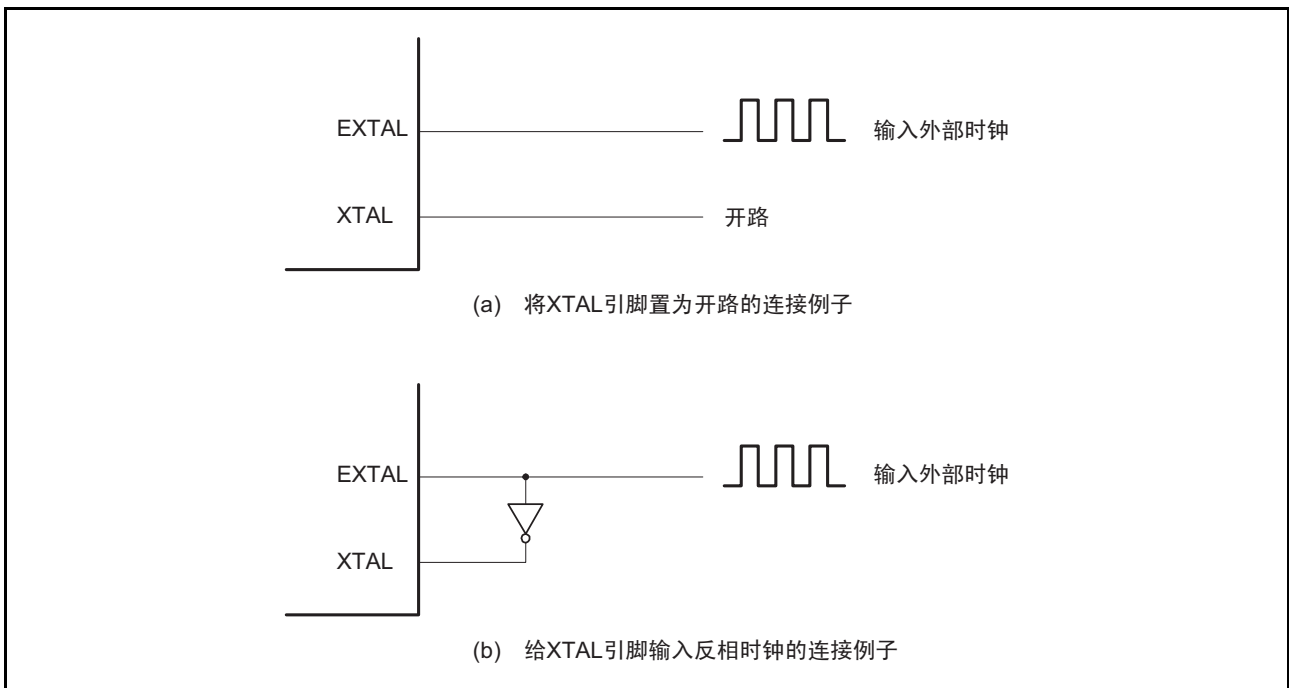


图 8.4 输入外部时钟的连接例子

8.4 副时钟振荡器

8.4.1 连接 32.768kHz 晶体谐振器的方法

如图 8.5 所示，为了给副时钟振荡器提供时钟而连接 32.768kHz 晶体谐振器。

有关谐振器的注意事项，请参照“8.12.2 有关谐振器的注意事项”。

有关电路板的设计，请参照“8.12.3 设计电路板时的注意事项”。

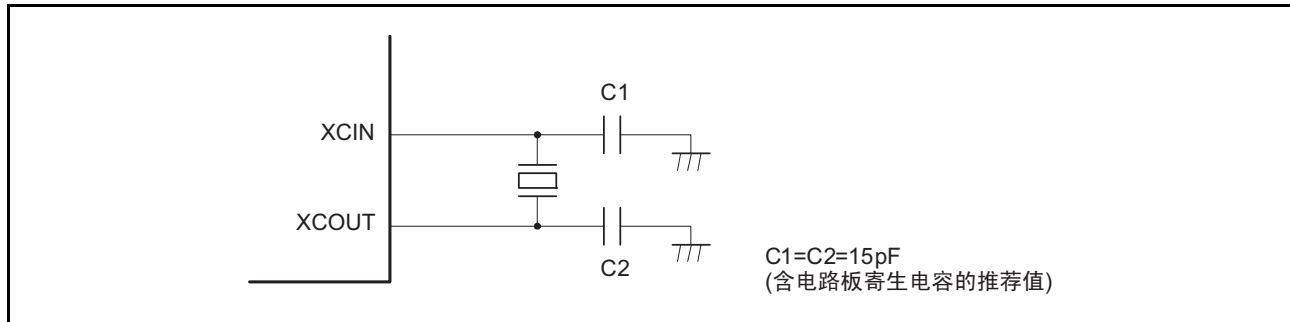


图 8.5 32.768kHz 晶体谐振器的连接例子

32.768kHz 晶体谐振器的等效电路如图 8.6 所示。

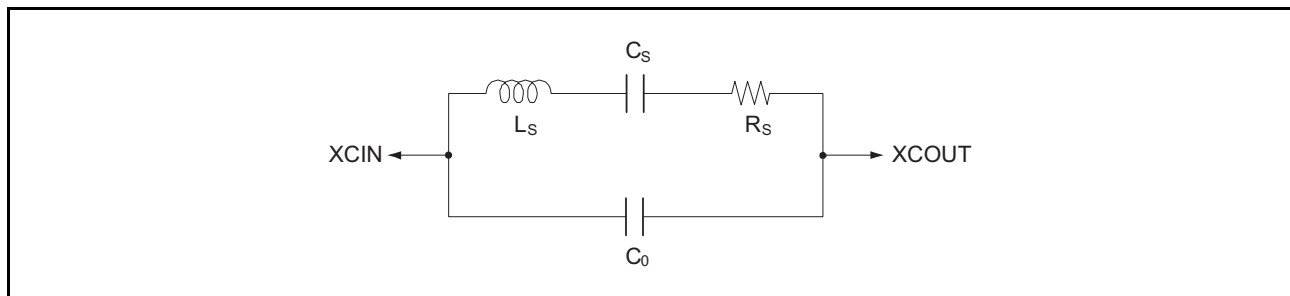


图 8.6 32.768kHz 晶体谐振器的等效电路

8.4.2 不使用副时钟情况下的引脚处理

如图 8.7 所示，在不需要副时钟的情况下，必须将 XCIN 引脚通过电阻连接到 VCC（上拉），或者通过电阻连接到 VSS（下拉），并且将 XCOUT 引脚置为开路。

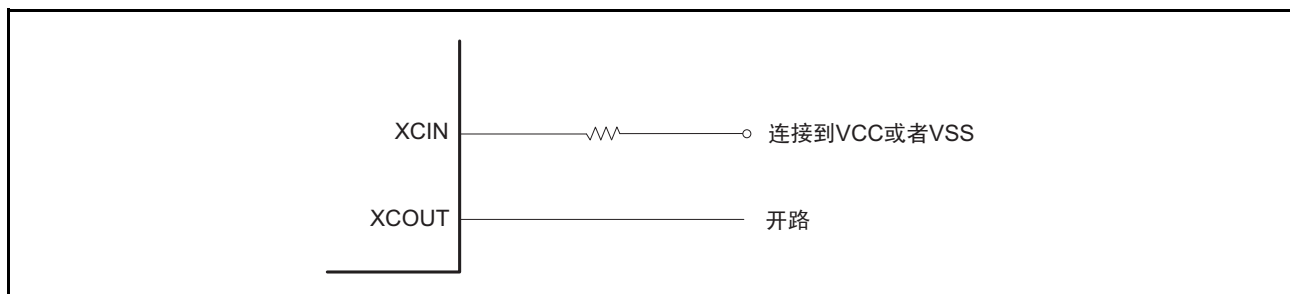


图 8.7 不使用副时钟情况下的引脚处理

8.5 内部振荡器

内部振荡器通过内部振荡生成内部振荡器时钟（IWDTCLK）。

8.6 振荡停止检测电路

振荡停止检测电路具有检测主时钟振荡器停止振荡以及代替停止的主时钟提供内部振荡电路输出的内部振荡时钟的功能。

详细内容请参照“8.11 振荡停止检测功能”。

8.7 内部振荡电路

内部振荡电路通过内部振荡生成内部振荡时钟。

8.8 PLL 电路

PLL 电路具有将振荡器的频率递增 8 倍的功能。

8.9 分频器

分频器对 PLL 时钟进行分频，生成 1/2、1/4、1/8 的时钟。如果改写 SCKCR.ICK[3:0] 位、SCKCR.PCK[3:0] 位和 SCKCR.BCK[3:0] 位，就以选择的频率运行。

能通过 BCKCR.BCLKDIV 位，选择从 BCLK 引脚输出 BCLK 或者 BCLK 的 2 分频时钟。

8.10 内部时钟

内部时钟是通过 PLL 电路将外部输入时钟（EXTAL）递增 8 倍并且通过分频器进行 1 分频、2 分频、4 分频、8 分频后的时钟，或者是外部输入时钟（XCIN），或者是内部振荡器通过内部振荡生成的时钟。

内部时钟有以下 7 种时钟：

- CPU、DMACA、DTC、ETHERC、EDMAC、ROM 和 RAM 的运行时钟：系统时钟（ICLK）
- 外围模块的运行时钟：外围模块时钟（PCLK）
- 外部总线控制器、EXDMAC、外部引脚输出时钟：外部总线时钟（BCLK）
- 外部总线控制器、SDRAM 的外部引脚输出时钟：SDRAM 时钟（SDCLK）
- USB 的运行时钟：USB 专用时钟（UCLK）
- RTC 的运行时钟：RTC 专用时钟（SUBCLK）
- IWDT 的运行时钟：内部振荡器时钟（IWDTCLK）

通过 SCKCR.ICK[3:0] 位、SCKCR.BCK[3:0] 位、SCKCR.PCK[3:0] 位和 BCKCR.BCLKDIV 位的组合来设定频率。

8.10.1 系统时钟（ICLK）

系统时钟（ICLK）是 CPU、DMACA、DTC、ETHERC、EDMAC、ROM 和 RAM 的运行时钟。

通过 SCKCR.ICK[3:0] 位设定 ICLK 的频率。

不能给 ICLK 设定低于外围模块时钟（PCLK）和外部总线时钟（BCLK）的频率，否则 ICLK 的频率就和 PCLK 或者 BCLK 的频率相同。

8.10.2 外围模块时钟 (PCLK)

外围模块时钟 (PCLK) 是外围模块的运行时钟。

通过 SCKCR.PCK[3:0] 位设定 PCLK 的频率。

不能给 PCLK 设定高于系统时钟 (ICLK) 的频率, 否则 PCLK 的频率就和 ICLK 的频率相同。

8.10.3 外部总线时钟 (BCLK)

外部总线时钟 (BCLK) 是外部总线控制器和 EXDMAC 的运行时钟, 能在用于连接外部总线时从 BCLK 引脚输出到外部。

如果将 SCKCR.PSTOP1 位置“0” (BCLK 输出) 并且将 PORT5.DDR.B3 位置“1” (输出端口), 就能从 BCLK 引脚输出 BCLK。必须在 SCKCR.PSTOP1 位为“1” (固定为 High 电平) 的状态下更改 PORT5.DDR.B3 位的值。

如果将 BCKCR.BCLKDIV 位置“1”, 就能从 BCLK 引脚输出 BCLK 的 2 分频时钟。必须在 BCKCR.BCLKDIV 位为“1”的状态下将 SCKCR.BCK[3:0] 位的值更改为“0000b” (EXTAL×8), 在 BCKCR.BCLKDIV 位为“0”的状态下将 SCKCR.BCK[3:0] 位的值更改为“0011b” (EXTAL×1)。如果将 SCKCR.BCK[3:0] 位置“0011b” (EXTAL×1), BCKCR.BCLKDIV 位的设定就无效, 直接输出 BCLK。

通过 SCKCR.BCK[3:0] 位设定 BCLK 的频率。

不能给 BCLK 设定高于系统时钟 (ICLK) 的频率, 否则 BCLK 的频率就和 ICLK 的频率相同。

8.10.4 SDRAM 时钟 (SDCLK)

SDRAM 时钟 (SDCLK) 是外部总线控制器的运行时钟, 能在用于连接外部总线的 SDRAM 时从 SDCLK 引脚输出到外部。

如果将 SCKCR.PSTOP0 位置“0” (SDCLK 输出) 并且将 PF6BUS.SDCLKE 位置“1” (输出端口), 就能从 SDCLK 引脚输出 SDCLK。必须在 SCKCR.PSTOP0 位为“1” (固定为 High 电平) 的状态下更改 PF6BUS.MDSDE 位和 PF6BUS.SDCLKE 位的值。

通过 SCKCR.BCK[3:0] 位设定 SDRAM 时钟的频率。

不能给 SDRAM 时钟设定高于系统时钟的频率, 否则 SDCLK 的频率就和系统时钟的频率相同。

8.10.5 USB 专用时钟 (UCLK)

USB 专用时钟 (UCLK) 是 USB 的运行时钟, 总是输出输入时钟 (EXTAL) ×4 的时钟。

需要给 USB 提供 48MHz 时钟。在使用 USB 时, 必须将主时钟的频率设定为 12MHz, 使 UCLK 为 48MHz。

8.10.6 RTC 专用时钟 (SUBCLK)

RTC 专用时钟 (SUBCLK) 是 RTC 的运行时钟。

SUBCLK 是外部输入时钟 (XCIN)。

8.10.7 内部振荡器时钟 (IWDTCLK)

内部振荡器时钟 (IWDTCLK) 是 IWDT 的运行时钟。

IWDTCLK 是内部振荡器通过内部振荡生成的时钟。

8.11 振荡停止检测功能

8.11.1 振荡停止检测和检测后的运行

振荡停止检测功能是检测主时钟振荡器停止振荡并且代替停止的主时钟提供内部振荡电路输出的内部振荡时钟的功能。能在检测到振荡停止时产生中断请求，也能在检测到振荡停止时将 MTU 的输出强制置为高阻抗状态。详细内容请参照“18. 多功能定时器脉冲单元 2 (MTU2)”、“19. 端口输出允许 2 (POE2)”和“附录 1. 各运行模式中的端口状态”。

在 RX62N 群和 RX621 群因主时钟振荡器的异常而使输入时钟在一定期间内持续为“0”或者“1”（参照表 41.24）的情况下，检测到主时钟振荡器的振荡停止。

如果检测到振荡停止，RX62N 群和 RX621 群就通过内部振荡电路输出的内部振荡时钟继续运行。

使用内部振荡电路时的系统时钟 (ICLK) 的频率如表 8.6 所示。

表 8.6 使用内部振荡电路时的系统时钟 (ICLK) 的频率

系统时钟 (ICLK)	min	typ	max
ICLK 的频率 (递增 8 倍)	$8 \times f_{\text{MAIN}}$	$8 \times f_{\text{MAIN}}$	$8 \times f_{\text{MAIN}}$
ICLK 的频率 (递增 4 倍)	$4 \times f_{\text{MAIN}}$	$4 \times f_{\text{MAIN}}$	$4 \times f_{\text{MAIN}}$
ICLK 的频率 (递增 2 倍)	$2 \times f_{\text{MAIN}}$	$2 \times f_{\text{MAIN}}$	$2 \times f_{\text{MAIN}}$
ICLK 的频率 (递增 1 倍)	f_{MAIN}	f_{MAIN}	f_{MAIN}

注. 有关 f_{MAIN} ，请参照“41. 电特性”。

以振荡停止的检测为契机，自动从主时钟转换为内部振荡时钟。即使在检测到振荡停止后主时钟振荡器重新开始振荡，也通过内部振荡时钟继续运行。但是，只在引脚复位、上电复位和电压监视复位时，因为从内部振荡时钟转换为主时钟，所以在主时钟振荡器开始振荡后，通过主时钟运行。

振荡停止检测功能在通过全部复位对 LSI 内部进行初始化时有效。要使此功能无效，必须将 OSTDCR.OSTDE 位置“0”。在检测到振荡停止并且通过内部振荡时钟运行的状态下，不能将 OSTDCR.OSTDE 位置“0”。

8.11.2 振荡停止检测中断

如果在振荡停止检测功能有效时检测到振荡停止，就产生振荡停止检测中断请求 (OSTDI)。振荡停止检测中断是非屏蔽中断。因为在复位解除后的初始状态下为“禁止非屏蔽中断”，所以在使用振荡停止检测中断时，必须通过软件将非屏蔽中断置为有效。详细内容请参照“11. 中断控制器 (ICUa)”。

在检测到振荡停止后通过内部振荡时钟运行的状态是系统发生某种异常的状态，只能实施对应异常的应急措施。

8.11.3 有关解除深度软件待机的注意事项

在深度软件待机模式中因主时钟振荡器发生异常引起不正常振荡的状态下，不能通过中断来解除深度软件待机模式。

但是，在主时钟振荡器不振荡的状态下，能通过引脚复位来解除深度软件待机模式。在确实需要解除深度软件待机模式时，必须通过引脚复位来解除。

8.12 使用时的注意事项

8.12.1 有关时钟发生电路的注意事项

1. 通过设定 SCKCR 寄存器或者 BCKCR 寄存器，选择给各模块提供的系统时钟（ICLK）、外围模块时钟（PCLK）、外部总线时钟（BCLK）、SDRAM 时钟（SDCLK）的频率。各频率必须设定在电特性的 AC 特性的时钟周期时间（tcyc）的运行保证范围内，各频率如下所示。但是，在使用 SDCLK 时，BCLK 不能超过 50MHz。另外，必须选择 BCLK 的频率，使 BCLK 引脚输出不超过 50MHz。在 100 引脚 LQFP 版和 85 引脚 TFLGA 版的情况下，BCLK 引脚输出不能超过 25MHz。

ICLK=8MHz~100MHz, PCLK=8MHz~50MHz, BCLK=8MHz~100MHz, SDCLK=8MHz~50MHz

在使用 ETHERC 和 EDMAC 时，ICLK 必须大于等于 12.5MHz。

在使用 USB 时，PCLK 必须大于等于 24MHz。

2. 外围模块（DMACA、DTC、EXDMAC、ETHERC、EDMAC 除外）全部以 PCLK 为基准运行。因此必须注意：在更改频率前后，定时器和 SCI 等的运行速度将发生变化。另外，用于解除软件待机模式的待机时间也因更改 PCLK 频率而发生变化，详细内容请参照“9.5.3.3 解除软件待机模式后的振荡稳定时间的设定”。
3. 在系统时钟（ICLK）、外围模块时钟（PCLK）、外部总线时钟（BCLK）之间， $ICLK \geq PCLK$ 、 $ICLK \geq BCLK$ 的关系成立，并且优先 ICLK 的设定。因此，如果设定没有满足此条件，SCKCR.PCK[3:0] 位和 SCKCR.BCK[3:0] 位的设定就无效，PCLK 和 BCLK 为 SCKCR.ICK[3:0] 位设定的时钟频率。
4. 在更改时钟频率时，必须在存取外部总线时不要改变频率。
5. 在写 SCKCR 寄存器或者 BCKCR 寄存器后到频率变更结束的期间，如果重写 SCKCR 寄存器或者 BCKCR 寄存器，就忽视此写操作。如果继续写 SCKCR 寄存器或者 BCKCR 寄存器，就必须确认是否能从 SCKCR 寄存器或者 BCKCR 寄存器中读到最后写的值。
6. 在写 SCKCR 寄存器或者 BCKCR 寄存器后到频率变更结束的期间，禁止转移到软件待机模式。如果在更改频率中途转移到软件待机模式，就无法保证以后的运行。在写 SCKCR 寄存器或者 BCKCR 寄存器后，必须在通过系统时钟至少等待 11 个周期后发行 WAIT 指令。详细内容请参照“5. I/O 寄存器”。

8.12.2 有关谐振器的注意事项

因为有关谐振器的各种特性与用户的电路板设计密切相关，所以请用户参照本章介绍的谐振器的连接例子，在给予充分的评估后使用。谐振器的电路常数因谐振器和安装电路的寄生电容而不同，因此必须和谐振器厂商仔细商谈后决定。外加在振荡引脚的电压不能超过绝对最大额定值。

8.12.3 设计电路板时的注意事项

在使用晶体谐振器时，必须尽量将谐振器和电容器排列在 XTAL 引脚和 EXTAL 引脚附近。如图 8.8 所示，在振荡电路的附近不能通过信号线，否则就可能因电感而不能正常振荡。

RX62N 群和 RX621 群的 XTAL 引脚邻接复位引脚，因此，必须通过 GND 保护复位信号，以免受到时钟信号的影响。

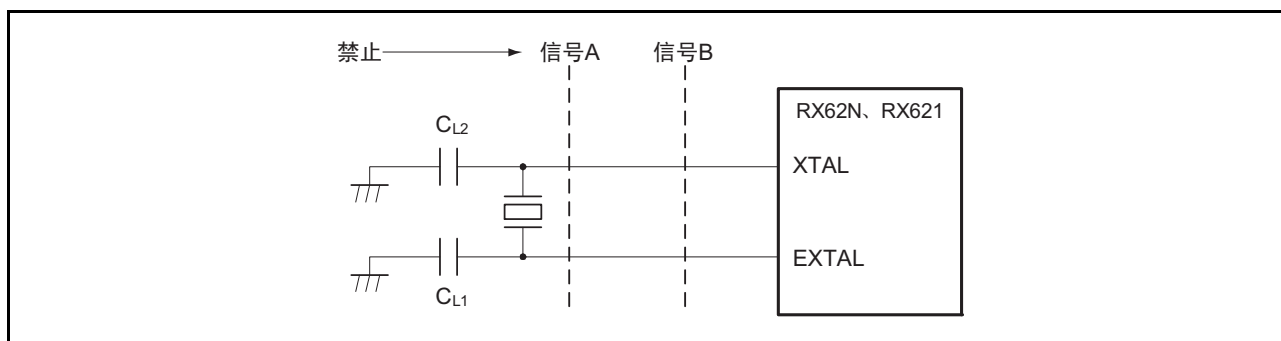


图 8.8 有关振荡电路的电路板设计的注意事项

外接 PLL 电路的推荐电路如图 8.9 所示，必须将 PLLVCC、PLLVSS 和其他的 VCC、VSS 远离电路板的电源供给源，并且在引脚附近插入旁路电容器（CPB 和 CB）。

另外，PLLVCC 和 VCC 的电位必须相同。

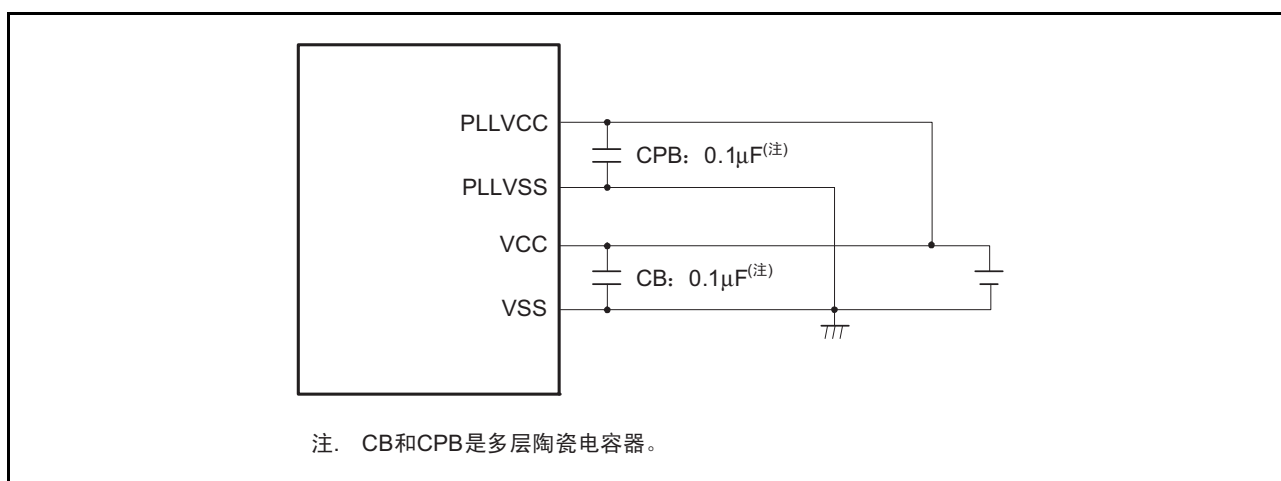


图 8.9 PLL 电路的外接推荐电路

9. 低功耗功能

9.1 概要

RX62N 群和 RX621 群的低功耗功能有多时钟功能、BCLK 输出控制功能、SDCLK 输出控制功能、模块停止功能和向低功耗状态转移的功能。

低功耗功能的规格如表 9.1 所示，向低功耗状态转移的条件、CPU 和外围模块等的状态以及各模式的解除方法如表 9.2 所示。

复位后，在正常的程序运行中，DTC、DMACA 和 EXDMAC 以外的模块为停止状态。

表 9.1 低功耗功能的规格

项目	内容
多时钟功能	能给系统时钟（ICLK）、外围模块时钟（PCLK）和外部总线时钟（BCLK）分别设定分频比。
BCLK 输出控制功能	可选择 BCLK 输出或者 High 电平输出。
SDCLK 输出控制功能	可选择 SDCLK 输出或者 High 电平输出。
模块停止功能	能停止各外围模块的功能。
向低功耗状态转移的功能	能进入使 CPU、外围模块和振荡器停止运行的低功耗状态。
低功耗状态	睡眠模式 全模块时钟停止模式 软件待机模式 深度软件待机模式

表 9.2 各模式的转移方法、解除方法和运行状态

转移方法、解除方法和运行状态	睡眠模式	全模块时钟停止模式	软件待机模式	深度软件待机模式
转移方法	控制寄存器 + 指令	控制寄存器 + 指令	控制寄存器 + 指令	控制寄存器 + 指令
复位以外的解除方法	中断	中断 (注1)	中断 (注2)	中断 (注3)
解除后的状态 (注4)	程序的执行状态 (中断处理)	程序的执行状态 (中断处理)	程序的执行状态 (中断处理)	程序的执行状态 (复位处理)
振荡器	运行	运行	停止	停止
CPU	停止 (保持)	停止 (保持)	停止 (保持)	停止 (不定值)
内部 RAM1 (0001 0000h ~ 0001 7FFFh)	运行 (保持)	停止 (保持)	停止 (保持)	停止 (不定值)
内部 RAM0 (0000 0000h ~ 0000 FFFFh)	运行 (保持)	停止 (保持)	停止 (保持)	停止 (保持/不定值) (注5)
USB2.0 主机 / 功能模块 (USB)	运行	停止 (注6)	停止 (注6)	停止 (保持/不定值) (注7)
看门狗定时器 (WDT)	运行	运行	停止 (保持)	停止 (不定值)
独立看门狗定时器 (IWDT)	运行	运行	停止 (保持)	停止 (不定值)
8 位定时器 (单元 0 和单元 1)	运行	运行 (注8)	停止 (保持)	停止 (不定值)
实时时钟 (RTC)	运行	运行	运行	运行
电压检测电路	运行	运行	运行	运行
上电复位电路	运行	运行	运行	运行
外围模块	运行	停止 (注9)	停止 (注9)	停止 (不定值)
I/O 引脚状态	运行	保持 (注11、注12)	保持 (注10、注12)	保持 (注10)

停止 (保持) 表示保持内部寄存器的值并且内部状态为运行中止状态。

停止 (不定值) 表示内部寄存器的值为不定值并且内部状态为断电状态。

注 1. 这是外部中断和部分内部中断 (8 位定时器、WDT、RTC 闹钟、振荡停止检测、USB 中断 (USBR) 和电压监视)。

注 2. 这是外部中断和部分内部中断 (电压监视、RTC 闹钟、USB 中断 (USBR))。

注 3. 这是 NMI、IRQ0 ~ IRQ3 的 A 侧和部分内部中断 (电压监视、RTC 闹钟、USB 挂起 / 恢复)。但是, 这些中断源只在深度待机中断允许寄存器 (DPSIER) 的对应位为“1”时有效。

注 4. 通过 RES# 引脚、上电复位、电压监视复位、看门狗定时器复位和独立看门狗定时器复位进行的解除除外。当通过 RES# 引脚、上电复位、电压监视复位、看门狗定时器复位和独立看门狗定时器复位进行解除时, 就转移到复位状态。

注 5. 能通过设定深度待机控制寄存器的内部 RAM 断开 2 位、内部 RAM 断开 1 位和内部 RAM 断开 0 位 (DPSBYCR.RAMCUT2、DPSBYCR.RAMCUT1 和 DPSBYCR.RAMCUT0), 选择保持或者不定值。

注 6. 能检测恢复。

注 7. 能通过深度待机控制寄存器的内部 RAM 断开 2 位、内部 RAM 断开 1 位和内部 RAM 断开 0 位 (DPSBYCR.RAMCUT2、DPSBYCR.RAMCUT1 和 DPSBYCR.RAMCUT0) 控制 USB 恢复检测功能的有效或者无效。

注 8. 能通过设定模块停止控制寄存器 A 的 8 位定时器 1、定时器 0 (单元 0) 的模块停止设定位以及 8 位定时器 3、定时器 2 (单元 1) 的模块停止设定位 (MSTPCRA.MSTPA4 和 MSTPCRA.MSTPA5), 选择运行或者停止。

注 9. 外围模块保持原来的状态。

注 10. 能通过设定待机控制寄存器的输出端口允许位 (SBYCR.OPE), 选择地址总线和总线控制信号 (CS0# ~ CS7#、RD#、WR#、WR0# ~ WR3#、BC0# ~ BC3#、CKE、SDCS#、RAS#、CAS#、WE#、DQM0 ~ DQM3) 为保持状态或者高阻抗状态。

注 11. 如果将 P53 用作 BCLK 输出, 就继续进行 BCLK 的输出。如果将 P70 用作 SDCLK 输出, 就继续进行 SDCLK 的输出。详细内容请参照“9.6 BCLK 和 SDCLK 的输出控制”。

如果将分配 8 位定时器输出 (TMO) 的 I/O 引脚用作 TMO 输出, 就继续进行 TMO 的输出。如果使用看门狗定时器, 就继续进行 WDTOVF# 引脚的输出。

注 12. 如果将 P32 用作 RTCOUT 输出, 就继续进行 RTCOUT 的输出。

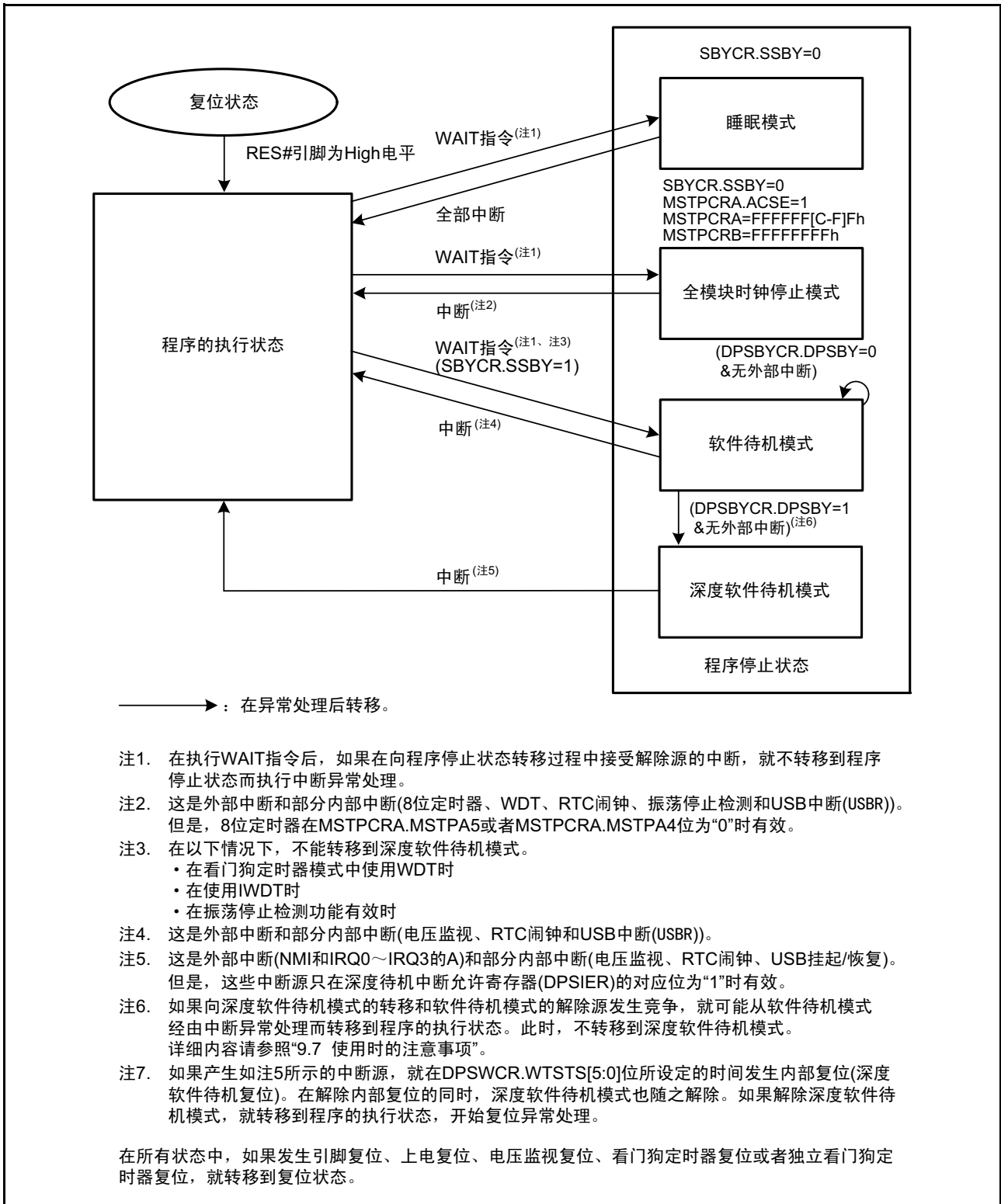


图 9.1 模式转移

9.2 寄存器说明

低功耗功能的相关寄存器如表 9.3 所示。有关系统时钟控制寄存器（SCKCR），请参照“8.2.1 系统时钟控制寄存器（SCKCR）”。

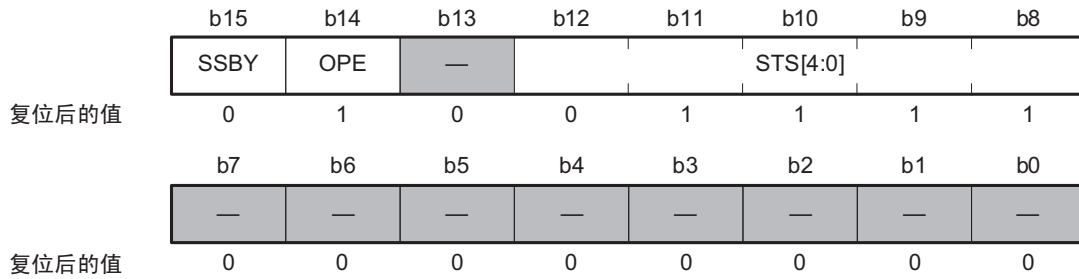
表 9.3 低功耗功能的相关寄存器一览表

寄存器名	符号	复位后的值	地址	存取长度
待机控制寄存器	SBYCR	4F00h	0008 000Ch	16
模块停止控制寄存器 A	MSTPCRA	4xFF FFFFh	0008 0010h	32
模块停止控制寄存器 B	MSTPCRB	FFFF FFFFh	0008 0014h	32
模块停止控制寄存器 C	MSTPCRC	FFFF 0000h	0008 0018h	32
深度待机控制寄存器	DPSBYCR	31h	0008 C280h	8
深度待机等待控制寄存器	DPSWCR	0Fh	0008 C281h	8
深度待机中断允许寄存器	DPSIER	00h	0008 C282h	8
深度待机中断标志寄存器	DPSIFR	00h	0008 C283h	8
深度待机中断边沿寄存器	DPSIEGR	00h	0008 C284h	8
复位状态寄存器	RSTSR	x000 0xxxh	0008 C285h	8
深度待机备用寄存器 0	DPSBKR0	xxh (注 1)	0008 C290h	8
深度待机备用寄存器 1	DPSBKR1	xxh (注 1)	0008 C291h	8
深度待机备用寄存器 2	DPSBKR2	xxh (注 1)	0008 C292h	8
深度待机备用寄存器 3	DPSBKR3	xxh (注 1)	0008 C293h	8
深度待机备用寄存器 4	DPSBKR4	xxh (注 1)	0008 C294h	8
深度待机备用寄存器 5	DPSBKR5	xxh (注 1)	0008 C295h	8
深度待机备用寄存器 6	DPSBKR6	xxh (注 1)	0008 C296h	8
深度待机备用寄存器 7	DPSBKR7	xxh (注 1)	0008 C297h	8
深度待机备用寄存器 8	DPSBKR8	xxh (注 1)	0008 C298h	8
深度待机备用寄存器 9	DPSBKR9	xxh (注 1)	0008 C299h	8
深度待机备用寄存器 10	DPSBKR10	xxh (注 1)	0008 C29Ah	8
深度待机备用寄存器 11	DPSBKR11	xxh (注 1)	0008 C29Bh	8
深度待机备用寄存器 12	DPSBKR12	xxh (注 1)	0008 C29Ch	8
深度待机备用寄存器 13	DPSBKR13	xxh (注 1)	0008 C29Dh	8
深度待机备用寄存器 14	DPSBKR14	xxh (注 1)	0008 C29Eh	8
深度待机备用寄存器 15	DPSBKR15	xxh (注 1)	0008 C29Fh	8
深度待机备用寄存器 16	DPSBKR16	xxh (注 1)	0008 C2A0h	8
深度待机备用寄存器 17	DPSBKR17	xxh (注 1)	0008 C2A1h	8
深度待机备用寄存器 18	DPSBKR18	xxh (注 1)	0008 C2A2h	8
深度待机备用寄存器 19	DPSBKR19	xxh (注 1)	0008 C2A3h	8
深度待机备用寄存器 20	DPSBKR20	xxh (注 1)	0008 C2A4h	8
深度待机备用寄存器 21	DPSBKR21	xxh (注 1)	0008 C2A5h	8
深度待机备用寄存器 22	DPSBKR22	xxh (注 1)	0008 C2A6h	8
深度待机备用寄存器 23	DPSBKR23	xxh (注 1)	0008 C2A7h	8
深度待机备用寄存器 24	DPSBKR24	xxh (注 1)	0008 C2A8h	8
深度待机备用寄存器 25	DPSBKR25	xxh (注 1)	0008 C2A9h	8
深度待机备用寄存器 26	DPSBKR26	xxh (注 1)	0008 C2AAh	8
深度待机备用寄存器 27	DPSBKR27	xxh (注 1)	0008 C2ABh	8
深度待机备用寄存器 28	DPSBKR28	xxh (注 1)	0008 C2ACh	8
深度待机备用寄存器 29	DPSBKR29	xxh (注 1)	0008 C2ADh	8
深度待机备用寄存器 30	DPSBKR30	xxh (注 1)	0008 C2AEh	8
深度待机备用寄存器 31	DPSBKR31	xxh (注 1)	0008 C2AFh	8

注 1. 不对 DPSBKR0 ~ DPSBKR31 寄存器进行初始化，刚接通电源后的寄存器的值为不定值。

9.2.1 待机控制寄存器 (SBYCR)

地址 0008 000Ch



位	符号	位名	功能	R/W
b7-b0	—	保留位	读写值都为“0”。	R/W
b12-b8	STS[4:0]	待机定时器选择位	b12 b8 0 0 1 0 1: 待机时间 =64 个状态 0 0 1 1 0: 待机时间 =512 个状态 0 0 1 1 1: 待机时间 =1024 个状态 0 1 0 0 0: 待机时间 =2048 个状态 0 1 0 0 1: 待机时间 =4096 个状态 0 1 0 1 0: 待机时间 =16384 个状态 0 1 0 1 1: 待机时间 =32768 个状态 0 1 1 0 0: 待机时间 =65536 个状态 0 1 1 0 1: 待机时间 =131072 个状态 0 1 1 1 0: 待机时间 =262144 个状态 0 1 1 1 1: 待机时间 =524288 个状态 上述以外: 不能设定	R/W
b13	—	保留位	读写值都为“0”。	R/W
b14	OPE	输出端口允许位	0: 在软件待机模式和深度软件待机模式中, 地址总线和总线控制信号为高阻抗状态。 1: 在软件待机模式和深度软件待机模式中, 地址总线和总线控制信号保持输出状态。	R/W
b15	SSBY	软件待机位	0: 在执行 WAIT 指令后, 转移到睡眠模式或者全模块时钟停止模式。 1: 在执行 WAIT 指令后, 转移到软件待机模式。	R/W

SBYCR 寄存器是控制软件待机模式的寄存器。

STS[4:0] 位 (待机定时器选择位)

在通过外部中断解除软件待机模式时, 此位选择时钟稳定前的待机时间。

在使用晶体振荡的情况下, 请参照表 9.4, 根据工作频率选择大于等于振荡稳定时间的待机时间; 在使用外部时钟的情况下, 也需要 PLL 电路的稳定时间, 请参照表 9.4 设定待机时间。

必须注意: 在使用多时钟功能的情况下, 在振荡稳定期间, 以外围模块时钟 (PCLK) 的频率进行计数。

OPE 位 (输出端口允许位)

在软件待机模式和深度软件待机模式中, 此位能选择是将地址总线和总线控制信号 (CS0# ~ CS7#、RD#、WR#、WR0# ~ WR3#、BC0# ~ BC3#、CKE、SDCS#、RAS#、CAS#、WE#、DQM0 ~ DQM3) 保持为输出状态还是置为高阻抗状态。

SSBY 位（软件待机位）

此位设定执行 WAIT 指令后的转移目标。

当 SSBY 位为“0”时，根据 MSTPCRA 寄存器和 MSTPCRB 寄存器的设定，在执行 WAIT 指令后转移到睡眠模式或者全模块时钟停止模式；当 SSBY 位为“1”时，在执行 WAIT 指令后转移到软件待机模式。此时，如果 DPSBYCR.DPSBY 位为“1”，就经由软件待机模式转移到深度软件待机模式，详细内容请参照“9.5 低功耗状态”。

如果在通过外部中断解除软件待机模式后转移到正常模式，SSBY 位就保持“1”。要将此位置“0”时，必须写“0”。

在看门狗定时器模式中使用 WDT 时，或者在使用 IWDT 时，或者在振荡停止检测功能有效时，此位的设定值无效，并且在执行 WAIT 指令后总是转移到睡眠模式或者全模块时钟停止模式。

9.2.2 模块停止控制寄存器 A (MSTPCRA)

地址 0008 0010h

	b31	b30	b29	b28	b27	b26	b25	b24
	ACSE	—	MSTPA29	MSTPA28	—	—	—	—
复位后的值	0	1	0	0	x	1	1	1
	b23	b22	b21	b20	b19	b18	b17	b16
	MSTPA23	MSTPA22	—	—	MSTPA19	—	MSTPA17	—
复位后的值	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8
	MSTPA15	MSTPA14	—	—	MSTPA11	MSTPA10	MSTPA9	MSTPA8
复位后的值	1	1	1	1	1	1	1	1
	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MSTPA5	MSTPA4	—	—	—	—
复位后的值	1	1	1	1	1	1	1	1

位	符号	位名	功能	R/W
b3-b0	—	保留位	读写值都为“1”。	R/W
b4	MSTPA4	8 位定时器 3、定时器 2（单元 1）的模块停止设定位	对象模块：TMR3、TMR2 0：解除模块停止状态 1：转移到模块停止状态	R/W
b5	MSTPA5	8 位定时器 1、定时器 0（单元 0）的模块停止设定位	对象模块：TMR1、TMR0 0：解除模块停止状态 1：转移到模块停止状态	R/W
b7-b6	—	保留位	读写值都为“1”。	R/W
b8	MSTPA8	多功能定时器脉冲单元（单元 1）的模块停止设定位	对象模块：MTU 单元 1（MTU6 ~ MTU11） 0：解除模块停止状态 1：转移到模块停止状态	R/W
b9	MSTPA9	多功能定时器脉冲单元（单元 0）的模块停止设定位	对象模块：MTU 单元 0（MTU0 ~ MTU5） 0：解除模块停止状态 1：转移到模块停止状态	R/W
b10	MSTPA10	可编程脉冲发生器（单元 1）的模块停止设定位	对象模块：PPG1 0：解除模块停止状态 1：转移到模块停止状态	R/W
b11	MSTPA11	可编程脉冲发生器（单元 0）的模块停止设定位	对象模块：PPG0 0：解除模块停止状态 1：转移到模块停止状态	R/W
b13-b12	—	保留位	读写值都为“1”。	R/W
b14	MSTPA14	比较匹配定时器（单元 1）的模块停止设定位	对象模块：CMT 单元 1（CMT2 和 CMT3） 0：解除模块停止状态 1：转移到模块停止状态	R/W
b15	MSTPA15	比较匹配定时器（单元 0）的模块停止设定位	对象模块：CMT 单元 0（CMT0 和 CMT1） 0：解除模块停止状态 1：转移到模块停止状态	R/W

位	符号	位名	功能	R/W
b16	—	保留位	读写值都为“1”。	R/W
b17	MSTPA17 (注1)	12位 A/D 转换器的模块停止设定位	对象模块: S12AD 0: 解除模块停止状态 1: 转移到模块停止状态	R/W
b18	—	保留位	读写值都为“1”。	R/W
b19	MSTPA19	D/A 转换器的模块停止设定位	对象模块: DA 0: 解除模块停止状态 1: 转移到模块停止状态	R/W
b21-b20	—	保留位	读写值都为“1”。	R/W
b22	MSTPA22 (注1)	10位 A/D 转换器 (单元1) 的模块停止设定位	对象模块: AD1 0: 解除模块停止状态 1: 转移到模块停止状态	R/W
b23	MSTPA23 (注1)	10位 A/D 转换器 (单元0) 的模块停止设定位	对象模块: AD0 0: 解除模块停止状态 1: 转移到模块停止状态	R/W
b26-b24	—	保留位	读写值都为“1”。	R/W
b27	—	保留位	读取值为不定值, 只能写“1”。	R/W
b28	MSTPA28	DMA 控制器 / 数据传送控制器的模块停止设定位	对象模块: DMACA 和 DTC 0: 解除模块停止状态 1: 转移到模块停止状态	R/W
b29	MSTPA29	EXDMA 控制器的模块停止设定位	对象模块: EXDMAC 0: 解除模块停止状态 1: 转移到模块停止状态	R/W
b30	—	保留位	读写值都为“1”。	R/W
b31	ACSE (注2)	全模块时钟停止模式允许位	0: 禁止全模块时钟停止模式 1: 允许全模块时钟停止模式	R/W

注1. 不能同时使用 10 位 A/D 转换器和 12 位 A/D 转换器, 而且不能将 MSTPA17 和 MSTPA22 或者 MSTPA17 和 MSTPA23 同时置为模块停止解除状态。

注2. 当 SBYCR.SSBY 位为“0”并且 MSTPCRA.ACSE 位为“0”时, 在执行 WAIT 指令后转移到睡眠模式。

MSTPCRA 寄存器是控制模块停止状态的寄存器。

ACSE 位 (全模块时钟停止模式允许位)

如果在将 MSTPCRA 寄存器和 MSTPCRB 寄存器控制的全部模块 (注1) 设定为模块停止状态后 CPU 执行 WAIT 指令, 就在停止总线控制部和 I/O 端口的运行后, 设定允许或者禁止降低消耗电流的全模块时钟停止模式。

注1. 能通过设定 MSTPA5 位和 MSTPA4 位, 选择 8 位定时器的运行或者停止。

9.2.3 模块停止控制寄存器 B (MSTPCRB)

地址 0008 0014h

	b31	b30	b29	b28	b27	b26	b25	b24
	MSTPB31	MSTPB30	MSTPB29	MSTPB28	—	MSTPB26	MSTPB25	—
复位后的值	1	1	1	1	1	1	1	1
	b23	b22	b21	b20	b19	b18	b17	b16
	MSTPB23	—	MSTPB21	MSTPB20	MSTPB19	MSTPB18	MSTPB17	MSTPB16
复位后的值	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8
	MSTPB15	—	—	—	—	—	—	—
复位后的值	1	1	1	1	1	1	1	1
	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MSTPB0
复位后的值	1	1	1	1	1	1	1	1

位	符号	位名	功能	R/W
b0	MSTPB0	CAN 模块停止设定位	对象模块: CAN 0: 解除模块停止状态 1: 转移到模块停止状态	R/W
b14-b1	—	保留位	读写值都为“1”。	R/W
b15	MSTPB15	用于以太网控制器的 DMA 控制器模块停止设定位	对象模块: EDMAC 0: 解除模块停止状态 1: 转移到模块停止状态	R/W
b16	MSTPB16	串行外围接口 1 的模块停止设定位	对象模块: RSPI1 0: 解除模块停止状态 1: 转移到模块停止状态	R/W
b17	MSTPB17	串行外围接口 0 的模块停止设定位	对象模块: RSPI0 0: 解除模块停止状态 1: 转移到模块停止状态	R/W
b18	MSTPB18	通用串行总线接口 (端口 1) 的模块停止设定位	对象模块: USB1 0: 解除模块停止状态 1: 转移到模块停止状态	R/W
b19	MSTPB19	通用串行总线接口 (端口 0) 的模块停止设定位	对象模块: USB0 0: 解除模块停止状态 1: 转移到模块停止状态	R/W
b20	MSTPB20	I ² C 总线接口 1 的模块停止设定位	对象模块: RIIC1 0: 解除模块停止状态 1: 转移到模块停止状态	R/W
b21	MSTPB21	I ² C 总线接口 0 的模块停止设定位	对象模块: RIIC0 0: 解除模块停止状态 1: 转移到模块停止状态	R/W
b22	—	保留位	读写值都为“1”。	R/W

位	符号	位名	功能	R/W
b23	MSTPB23	CRC 运算器的模块停止设定位	对象模块: CRC 0: 解除模块停止状态 1: 转移到模块停止状态	R/W
b24	—	保留位	读写值都为“1”。	R/W
b25	MSTPB25	串行通信接口 6 的模块停止设定位	对象模块: SCI6 0: 解除模块停止状态 1: 转移到模块停止状态	R/W
b26	MSTPB26	串行通信接口 5 的模块停止设定位	对象模块: SCI5 0: 解除模块停止状态 1: 转移到模块停止状态	R/W
b27	—	保留位	读写值都为“1”。	R/W
b28	MSTPB28	串行通信接口 3 的模块停止设定位	对象模块: SCI3 0: 解除模块停止状态 1: 转移到模块停止状态	R/W
b29	MSTPB29	串行通信接口 2 的模块停止设定位	对象模块: SCI2 0: 解除模块停止状态 1: 转移到模块停止状态	R/W
b30	MSTPB30	串行通信接口 1 的模块停止设定位	对象模块: SCI1 0: 解除模块停止状态 1: 转移到模块停止状态	R/W
b31	MSTPB31	串行通信接口 0 的模块停止设定位	对象模块: SCI0 0: 解除模块停止状态 1: 转移到模块停止状态	R/W

MSTPCRB 寄存器是控制模块停止状态的寄存器。

9.2.4 模块停止控制寄存器 C (MSTPCRC)

地址 0008 0018h

	b31	b30	b29	b28	b27	b26	b25	b24
	—	—	—	—	—	—	—	—
复位后的值	1	1	1	1	1	1	1	1
	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—
复位后的值	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8
	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0
	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	MSTPC1	MSTPC0
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	MSTPC0 (注1)	RAM0 的模块停止设定位	对象模块: RAM0 (0000 0000h ~ 0000 FFFFh) 0: RAM0 运行 1: RAM0 停止	R/W
b1	MSTPC1 (注1)	RAM1 的模块停止设定位	对象模块: RAM1 (0001 0000h ~ 0001 7FFFh) 0: RAM1 运行 1: RAM1 停止	R/W
b15-b2	—	保留位	读写值都为“0”。	R/W
b31-b16	—	保留位	读写值都为“1”。	R/W

注 1. 不能在存取内部 RAM 时将对应的 MSTPC1 位和 MSTPC0 位置“1”，而且不能在 MSTPC1 位和 MSTPC0 位为“1”的状态下存取对应的内部 RAM。

MSTPCRC 寄存器是控制模块停止状态的寄存器。

9.2.5 深度待机控制寄存器 (DPSBYCR)

地址 0008 C280h

b7	b6	b5	b4	b3	b2	b1	b0	
DPSBY	IOKEEP	RAMCUT2	RAMCUT1	—	—	—	RAMCUT0	
复位后的值	0	0	1	1	0	0	0	1

位	符号	位名	功能	R/W
b0	RAMCUT0	内部 RAM 断开 0 位	b5 b4 b0 0 0 0: 在深度软件待机模式中, 给内部 RAM (RAM0 (注)) 和 USB 恢复检测部供电。 1 1 1: 在深度软件待机模式中, 不给内部 RAM (RAM0 (注)) 和 USB 恢复检测部供电。 上述以外: 不能设定	R/W
b3-b1	—	保留位	读写值都为“0”。	R/W
b4	RAMCUT1	内部 RAM 断开 1 位	请参照 RAMCUT0 位的功能。	R/W
b5	RAMCUT2	内部 RAM 断开 2 位	请参照 RAMCUT0 位的功能。	R/W
b6	IOKEEP	I/O 端口保持位	0: 在解除深度软件待机模式的同时, 解除 I/O 端口的保持状态。 1: 如果在解除深度软件待机模式后给 IOKEEP 位写“0”, 就解除 I/O 端口的保持状态。	R/W
b7	DPSBY	深度软件待机位	SSBY b7 0 0: 在执行 WAIT 指令后, 转移到睡眠模式或者全模块时钟停止模式。 0 1: 在执行 WAIT 指令后, 转移到睡眠模式或者全模块时钟停止模式。 1 0: 在执行 WAIT 指令后, 转移到软件待机模式。 1 1: 在执行 WAIT 指令后, 转移到深度软件待机模式。	R/W

注. 有关内部 RAM 的地址空间, 请参照表 9.2。

DPSBYCR 寄存器是控制深度软件待机模式的寄存器。

通过 RES# 引脚的复位信号、上电复位和电压监视复位而不通过解除深度软件待机模式的内部复位信号, 对 DPSBYCR 寄存器进行初始化。

RAMCUTj 位 (内部 RAM 断开 j 位) (j=2 ~ 0)

在深度软件待机模式中, 此位控制给内部 RAM 和 USB 恢复检测部提供的内部电源。

内部 RAM 的地址空间分为 RAM0 区和 RAM1 区。有关地址空间, 请参照表 9.2。

只能通过设定 RAMCUT0 位、RAMCUT1 位和 RAMCUT2 位对 RAM0 和 USB 恢复检测部的内部电源进行控制。

当将 USB 挂起 / 恢复中断用于深度软件待机模式的解除源时, 必须将 RAMCUT0 位、RAMCUT1 位和 RAMCUT2 位都置“0”。

RAM1 的内部电源与 RAMCUT0 位、RAMCUT1 位和 RAMCUT2 位的设定无关, 在深度软件待机模式中停止工作。

IOKEEP 位 (I/O 端口保持位)

在深度软件待机模式中, I/O 端口保持和软件待机模式相同的状态。通过 IOKEEP 位选择在解除深度软件待机模式后是继续保持还是解除在深度软件待机模式中保持的 I/O 端口状态。

DPSBY 位（深度软件待机位）

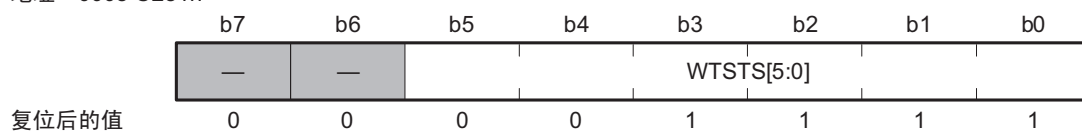
此位控制深度软件待机模式的转移。

如果在 SBYCR.SSBY 位和 DPSBY 位都为“1”的状态下执行 WAIT 指令，就经由软件待机模式转移到深度软件待机模式。如果通过外部中断引脚或者部分内部中断（电压监视、RTC 闹钟、USB 挂起 / 恢复）解除深度软件待机模式，DPSBY 位就保持“1”。要将此位置“0”时，必须写“0”。

在看门狗定时器模式中使用 WDT 时，或者在使用 IWDT 时，或者在振荡停止检测功能有效时，此位的设定值无效。此时，即使在 SBYCR.SSBY 位和 DPSBY 位都为“1”的状态下，也总是在执行 WAIT 指令后转移到睡眠模式或者全模块时钟停止模式。

9.2.6 深度待机等待控制寄存器（DPSWCR）

地址 0008 C281h



位	符号	位名	功能	R/W
b5-b0	WTSTS[5:0]	深度软件待机的等待时间设定位	b5 b0 0 0 0 1 0 1: 待机时间 =64 个状态 0 0 0 1 1 0: 待机时间 =512 个状态 0 0 0 1 1 1: 待机时间 =1024 个状态 0 0 1 0 0 0: 待机时间 =2048 个状态 0 0 1 0 0 1: 待机时间 =4096 个状态 0 0 1 0 1 0: 待机时间 =16384 个状态 0 0 1 0 1 1: 待机时间 =32768 个状态 0 0 1 1 0 0: 待机时间 =65536 个状态 0 0 1 1 0 1: 待机时间 =131072 个状态 0 0 1 1 1 0: 待机时间 =262144 个状态 0 0 1 1 1 1: 待机时间 =524288 个状态	R/W
b7-b6	—	保留位	读写值都为“0”。	R/W

在通过外部中断引脚或者部分内部中断（电压监视、RTC 闹钟、USB 挂起 / 恢复）解除深度软件待机模式时，通过 DPSWCR 寄存器选择时钟稳定前的 LSI 待机时间。

通过 RES# 引脚的复位信号、上电复位和电压监视复位而不通过解除深度软件待机模式的内部复位信号，对 DPSWCR 寄存器进行初始化。

WTSTS[5:0] 位（深度软件待机的等待时间设定位）

在通过外部中断引脚或者部分内部中断（电压监视、RTC 闹钟、USB 挂起 / 恢复）解除深度软件待机模式时，此位选择时钟稳定前的 LSI 待机时间。如果使用深度软件待机模式，就必须在转移到深度软件待机模式前设定 WTSTS[5:0] 位。

在使用晶体振荡的情况下，请参照表 9.4，根据工作频率选择大于等于振荡稳定时间的待机时间。在使用外部时钟的情况下，也需要 PLL 电路的稳定时间，请参照表 9.4 设定待机时间。

在振荡稳定期间，以 EXTAL 输入时钟的频率进行计数。

9.2.7 深度待机中断允许寄存器 (DPSIER)

地址 0008 C282h

	b7	b6	b5	b4	b3	b2	b1	b0
	DNMIE	DUSBE	DRTCE	DLVDE	DIRQ3E	DIRQ2E	DIRQ1E	DIRQ0E
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	DIRQ0E	IRQ0 引脚允许位	0: 禁止通过 IRQ0 引脚解除深度软件待机模式 1: 允许通过 IRQ0 引脚解除深度软件待机模式	R/W
b1	DIRQ1E	IRQ1 引脚允许位	0: 禁止通过 IRQ1 引脚解除深度软件待机模式 1: 允许通过 IRQ1 引脚解除深度软件待机模式	R/W
b2	DIRQ2E	IRQ2 引脚允许位	0: 禁止通过 IRQ2 引脚解除深度软件待机模式 1: 允许通过 IRQ2 引脚解除深度软件待机模式	R/W
b3	DIRQ3E	IRQ3 引脚允许位	0: 禁止通过 IRQ3 引脚解除深度软件待机模式 1: 允许通过 IRQ3 引脚解除深度软件待机模式	R/W
b4	DLVDE	LVD 深度待机解除信号允许位	0: 禁止通过电压监视中断解除深度软件待机模式 1: 允许通过电压监视中断解除深度软件待机模式	R/W
b5	DRTCE	RTC 深度待机解除信号允许位	0: 禁止通过 RTC 闹钟中断解除深度软件待机模式 1: 允许通过 RTC 闹钟中断解除深度软件待机模式	R/W
b6	DUSBE	USB 挂起 / 恢复深度待机解除信号允许位	0: 禁止通过 USB 挂起 / 恢复解除深度软件待机模式 1: 允许通过 USB 挂起 / 恢复解除深度软件待机模式	R/W
b7	DNMIE	NMI 引脚允许位	0: 禁止通过 NMI 引脚解除深度软件待机模式 1: 允许通过 NMI 引脚解除深度软件待机模式	R/(W) (注 1)

注 1. 只能写 1 次“1”，以后的写操作无效。

DPSIER 寄存器允许或者禁止解除深度软件待机模式的外部中断引脚以及内部解除信号。

通过 RES# 引脚的复位信号、上电复位和电压监视复位而不通过解除深度软件待机模式的内部复位信号，对 DPSIER 寄存器进行初始化。

如果更改 DPSIER 寄存器的设定，对应引脚的输入缓冲器的内部状态就发生变化。此时，根据引脚的状态可能在内部产生边沿，并且 DPSIER 寄存器可能变为“1”。必须在向深度软件待机模式转移前，将 DPSIER 寄存器置“0”。

另外，在向深度软件待机模式转移时，DPSIER 寄存器为“0”的引脚的输入缓冲器无效。此时，根据引脚状态可能在内部产生上升沿，并且 DPSIER 寄存器可能变为“1”。但是，因为在 DPSIEGR 寄存器为“0”时不检测上升沿，所以 DPSIER 寄存器不变为“1”。

9.2.8 深度待机中断标志寄存器 (DPSIFR)

地址 0008 C283h

	b7	b6	b5	b4	b3	b2	b1	b0
	DNMIF	DUSBF	DRTCF	DLVDF	DIRQ3F	DIRQ2F	DIRQ1F	DIRQ0F
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	DIRQ0F	IRQ0 深度待机解除标志	0: 未产生由 IRQ0 引脚引起的解除请求 1: 产生由 IRQ0 引脚引起的解除请求	R/(W) (注1)
b1	DIRQ1F	IRQ1 深度待机解除标志	0: 未产生由 IRQ1 引脚引起的解除请求 1: 产生由 IRQ1 引脚引起的解除请求	R/(W) (注1)
b2	DIRQ2F	IRQ2 深度待机解除标志	0: 未产生由 IRQ2 引脚引起的解除请求 1: 产生由 IRQ2 引脚引起的解除请求	R/(W) (注1)
b3	DIRQ3F	IRQ3 深度待机解除标志	0: 未产生由 IRQ3 引脚引起的解除请求 1: 产生由 IRQ3 引脚引起的解除请求	R/(W) (注1)
b4	DLVDF	LVD 深度待机解除标志	0: 未产生由电压监视信号引起的解除请求 1: 产生由电压监视信号引起的解除请求	R/W (注1)
b5	DRTCF	RTC 深度待机解除标志	0: 未产生由 RTC 闹钟中断引起的解除请求 1: 产生由 RTC 闹钟中断引起的解除请求	R/W (注1)
b6	DUSBF	USB 挂起 / 恢复深度待机解除标志	0: 未产生由 USB 挂起 / 恢复引起的解除请求 1: 产生由 USB 挂起 / 恢复引起的解除请求	R/W (注1)
b7	DNMIF	NMI 深度待机解除标志	0: 未产生由 NMI 引脚引起的解除请求 1: 产生由 NMI 引脚引起的解除请求	R/(W) (注1)

注 1. 只能写“0”。

DPSIFR 寄存器是保持深度软件待机模式的解除源的寄存器。

如果产生深度待机中断沿寄存器 (DPSIEGR) 设定的解除请求, DPSIFR 寄存器就变为“1”。即使在非深度软件待机模式的状态下产生解除请求, DPSIFR 寄存器也变为“1”, 因此必须在将 DPSIFR 寄存器置“0”后转移到深度软件待机模式。

通过 RES# 引脚的复位信号、上电复位和电压监视复位而不通过解除深度软件待机模式的内部复位信号, 对 DPSIFR 寄存器进行初始化。

DIRQnF 标志 (IRQn 深度待机解除标志) (n=0 ~ 3)

此标志表示产生由 IRQn 引脚引起的解除请求。

[为“1”的条件]

- 产生由 DPSIEGR 寄存器选择的 IRQn 引脚引起的解除请求时

[为“0”的条件]

- 读“1”后写“0”时

DLVDF 标志 (LVD 深度待机解除标志)

此标志表示产生由电压监视信号引起的解除请求。

[为“1”的条件]

- 产生由电压监视信号引起的解除请求时

[为“0”的条件]

- 读“1”后写“0”时

DRTCFC 标志（RTC 深度待机解除标志）

此标志表示产生由 RTC 闹钟中断引起的解除请求。

[为“1”的条件]

- 产生由 RTC 闹钟中断引起的解除请求时

[为“0”的条件]

- 读“1”后写“0”时

DUSBF 标志（USB 挂起 / 恢复深度待机解除标志）

此标志表示产生由 USB 挂起 / 恢复引起的解除请求。

[为“1”的条件]

- 产生由 USB 挂起 / 恢复引起的解除请求时

[为“0”的条件]

- 读“1”后写“0”时

DNMIF 标志（NMI 深度待机解除标志）

此标志表示产生由 NMI 引脚引起的解除请求。

[为“1”的条件]

- 产生由 DPSIEGR 寄存器设定的 NMI 引脚引起的解除请求时

[为“0”的条件]

- 读“1”后写“0”时

9.2.9 深度待机中断边沿寄存器（DPSIEGR）

地址 0008 C284h

	b7	b6	b5	b4	b3	b2	b1	b0
	DNMIEG	—	—	—	DIRQ3EG	DIRQ2EG	DIRQ1EG	DIRQ0EG
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	DIRQ0EG	IRQ0 边沿选择位	0: 在下降沿产生解除请求 1: 在上升沿产生解除请求	R/W
b1	DIRQ1EG	IRQ1 边沿选择位	0: 在下降沿产生解除请求 1: 在上升沿产生解除请求	R/W
b2	DIRQ2EG	IRQ2 边沿选择位	0: 在下降沿产生解除请求 1: 在上升沿产生解除请求	R/W
b3	DIRQ3EG	IRQ3 边沿选择位	0: 在下降沿产生解除请求 1: 在上升沿产生解除请求	R/W
b6-b4	—	保留位	读写值都为“0”。	R/W
b7	DNMIEG	NMI 边沿选择位	0: 在下降沿产生解除请求 1: 在上升沿产生解除请求	R/W

DPSIEGR 寄存器选择用于解除深度软件待机模式的解除信号的边沿。

通过 RES# 引脚的复位信号、上电复位和电压监视复位而不通过解除深度软件待机模式的内部复位信号，对 DPSIEGR 寄存器进行初始化。

9.2.10 复位状态寄存器 (RSTSR)

地址 0008 C285h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSRSTF	—	—	—	—	LVD2F	LVD1F	PORF
复位后的值	0/1 ^(注1)	0	0	0	0	0/1 ^(注1)	0/1 ^(注1)	0/1 ^(注1)

注1. 初始值取决于复位源。

位	符号	位名	功能	R/W
b0	PORF	上电复位标志	0: 未发生上电复位 1: 发生上电复位	R
b1	LVD1F	LVD1 检测标志	0: 未检测到 LVD1 1: 检测到 LVD1	R/W (注1)
b2	LVD2F	LVD2 检测标志	0: 未检测到 LVD2 1: 检测到 LVD2	R/W (注1)
b6-b3	—	保留位	读写值都为“0”。	R/W
b7	DPSRSTF	深度软件待机复位标志	0: 未产生由外部中断和部分内部中断（电压监视、RTC 闹钟、USB 挂起 / 恢复）引起的深度软件待机模式的解除源 1: 发生外部中断和部分内部中断（电压监视、RTC 闹钟、USB 挂起 / 恢复）引起的深度软件待机模式的解除源	R/(W) (注1)

注1. 只能写“0”。

RSTSR 寄存器是表示内部复位发生源的寄存器。

PORF 标志（上电复位标志）

此标志表示发生上电复位。

通过 RES# 引脚的复位信号而不通过解除深度软件待机模式的内部复位信号，对 PORF 标志进行初始化。

[为“1”的条件]

- 发生上电复位时

[为“0”的条件]

- 通过 RES# 引脚进行复位时

LVD1F 标志（LVD1 检测标志）

此标志表示检测到低于等于 Vdet1 电平的 VCC 电压。

通过 RES# 引脚的复位信号和上电复位而不通过解除深度软件待机模式的内部复位信号，对 LVD1F 标志进行初始化。

[为“1”的条件]

- 检测到低于等于 Vdet1 电平的 VCC 电压时

[为“0”的条件]

- 在 LVDCR.LVD1E 位为“1”并且 VCC 高于 Vdet1 并且经过稳定时间的状态下读“1”后写“0”时
- 通过 RES# 引脚进行复位时
- 发生上电复位时

LVD2F 标志（LVD2 检测标志）

此标志表示检测到低于等于 V_{det2} 电平的 VCC 电压。

通过 RES# 引脚的复位信号和上电复位而不通过解除深度软件待机模式的内部复位信号，对 LVD2F 标志进行初始化。

[为“1”的条件]

- 检测到低于等于 V_{det2} 电平的 VCC 电压时

[为“0”的条件]

- 在 LVDCR.LVD2E 位为“1”并且 VCC 高于 V_{det2} 并且经过稳定时间的状态下读“1”后写“0”时
- 通过 RES# 引脚进行复位时
- 发生上电复位时
- 发生由 LVD1 引起的复位时

DPSRSTF 标志（深度软件待机复位标志）

此标志表示通过 DPSIER 寄存器和 DPSIEGR 寄存器设定的外部中断源或者部分内部中断（电压监视、RTC 闹钟、USB 挂起 / 恢复），解除了深度软件待机模式并且发生了内部复位。

通过 RES# 引脚的复位信号、上电复位和电压监视复位而不通过解除深度软件待机模式的内部复位信号，对 DPSRSTF 标志进行初始化。

[为“1”的条件]

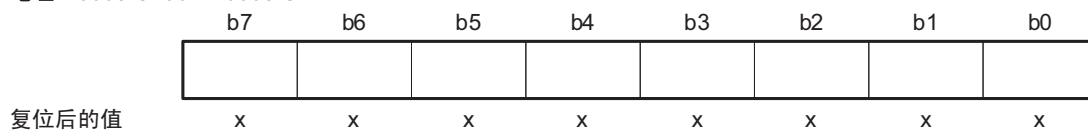
- 通过外部中断源或者部分内部中断（电压监视、RTC 闹钟、USB 挂起 / 恢复）解除了深度软件待机模式时

[为“0”的条件]

- 读“1”后写“0”时
- 通过 RES# 引脚进行复位时
- 发生上电复位时
- 发生由 LVD1 引起的复位时
- 发生由 LVD2 引起的复位时

9.2.11 深度待机备用寄存器（DPSBKRY）（y=0 ~ 31）

地址 0008 C290h ~ 0008 C2AFh



DPSBKRY 寄存器是能在深度软件待机模式中保存数据的 32 字节可读写寄存器。

即使在不保持内部 RAM 数据的深度软件待机模式中，也保持此寄存器的值。

不对 DPSBKRY 寄存器进行初始化，刚接通电源后的寄存器的值为不定值。

9.3 多时钟功能

如果设定 SCKCR.ICK[3:0] 位、SCKCR.BCK[3:0] 位和 SCKCR.PCK[3:0] 位，时钟频率就随之改变。

CPU 和总线主控通过 ICK[3:0] 位设定的运行时钟工作，外围模块通过 PCK[3:0] 位设定的运行时钟工作，外部总线时钟通过 BCK[3:0] 位设定的运行时钟工作，详细内容请参照“8. 时钟发生电路”。

9.4 模块停止功能

能以内部外围模块为单位设定模块停止功能。

如果将 MSTPCRA ~ MSTPCRC 寄存器对应的 MSTPyj 位 (y=A ~ C, j=31 ~ 0) 置“1”，模块就停止运行并且转移到模块停止状态。此时，CPU 继续单独运行。通过将对应的 MSTPyj 位置“0”，解除模块停止状态并且模块在总线周期结束时重新开始运行。

在模块停止状态下，保持模块的内部状态。

复位后，DMACA、DTC、EXDMAC 和内部 RAM 以外的全部模块处于模块停止状态。不能读写被设定为模块停止状态的模块的寄存器。

9.5 低功耗状态

9.5.1 睡眠模式

9.5.1.1 向睡眠模式的转移

如果在 SBYCR.SSBY 位为“0”的状态下执行 WAIT 指令，CPU 就进入睡眠模式。

CPU 在睡眠模式中停止运行，但是保持 CPU 内部寄存器的值。CPU 以外的外围功能不停止运行。

9.5.1.2 睡眠模式的解除

通过全部中断、RES# 引脚复位、上电复位、电压监视复位、WDT 上溢复位或者 IWDT 下溢复位来解除睡眠模式。

- 通过中断进行的解除
如果发生中断，睡眠模式就被解除并且开始中断异常处理。如果可屏蔽中断被 CPU 屏蔽（中断优先级（注1）小于等于 CPU 的 PSW.IPL[3:0] 位（注2）的优先级），就不解除睡眠模式。
- 通过 RES# 引脚复位进行的解除
如果将 RES# 引脚置为 Low 电平，就进入复位状态。如果在经过规定的复位输入期间后将 RES# 引脚置为 High 电平，CPU 就开始复位异常处理。
- 通过 WDT 上溢复位进行的解除
通过 WDT 上溢的内部复位来解除睡眠模式。
- 通过 IWDT 下溢复位进行的解除
通过 IWDT 下溢的内部复位来解除睡眠模式。
- 通过电压监视复位进行的解除
通过电压监视电路的电压监视复位来解除睡眠模式。
- 通过上电复位进行的解除
通过上电复位来解除睡眠模式。

注 1. 详细内容请参照“11. 中断控制器 (ICUa)”。

注 2. 详细内容请参照“2. CPU”。

9.5.2 全模块时钟停止模式

9.5.2.1 向全模块时钟停止模式的转移

在将 SBYCR.SSBY 位置“0”的状态下执行 WAIT 指令时，如果以下 2 个条件成立，就在总线周期结束时向全模块时钟停止模式转移（注1）。

- MSTPCRA.ACSE 位为“1”。
- 在由 MSTPCRA 寄存器和 MSTPCRB 寄存器控制的全部模块中，将 8 位定时器（单元 0 和单元 1）以外的全部模块设定为模块停止状态（MSTPCRA 寄存器=FFFFFF[C-F]Fh，MSTPCRB 寄存器=FFFFFFFh）。

在全模块时钟停止模式中，除 8 位定时器（注2）、WDT、IWDTC、RTC、上电复位和电压检测电路以外的全部外围模块、CPU、总线控制器和 I/O 端口停止运行。

如果在全模块时钟停止模式中需要进一步降低消耗电流，就必须将由 MSTPCRC 寄存器控制的模块设定为模块停止状态。

在使用全模块时钟停止模式时，必须在进行以下的设定后执行 WAIT 指令：

1. 将 CPU 的 PSW.I 位（注3）置“0”。
2. 将用于从全模块时钟停止模式返回的中断的请求目标设定为 CPU。
3. 将用于从全模块时钟停止模式返回的中断的优先级（注4）设定为高于 CPU 的 PSW.IPL[3:0] 位（注3）的优先级。
4. 将用于从全模块时钟停止模式返回的中断的 IERm.IENn 位（注4）置“1”。
5. 执行 WAIT 指令（通过执行 WAIT 指令，CPU 的 PSW.I 位（注3）自动变为“1”）。

注 1. 有时因 DTC、DMACA、EXDMAC 和 EDMAC 的运行状态而无法转移到全模块时钟停止模式。因此，必须在将 MSTPCRA.MSTPA29 位、MSTPCRA.MSTPA28 位和 MSTPCRB.MSTPB15 位置“1”前，将 DMACA 的 DMAST.DMST 位、DTC 的 DTCST.DTCST 位和 EXDMAC 的 EDMAST.DMST 位置“0”，并且在启动 DTC、DMACA、EXDMAC 和 EDMAC 的状态下进行转移。

注 2. 能通过 MSTPCRA.MSTPA5 位和 MSTPCRA.MSTPA4 位选择运行或者停止。

注 3. 详细内容请参照“2. CPU”。

注 4. 详细内容请参照“11. 中断控制器（ICUa）”。

9.5.2.2 全模块时钟停止模式的解除

在通过外部中断（NMI 引脚和 IRQ0 ~ IRQ15 引脚）、RES# 引脚、电压监视复位、上电复位或者内部中断（8 位定时器（注1）、WDT、RTC 闹钟、电压监视、振荡停止检测和 USB 中断（USBR））解除全模块时钟停止模式后，经由异常处理状态转移到正常的程序执行状态。如果可屏蔽中断被 CPU 屏蔽（中断优先级（注2）小于等于 CPU 的 PSW.IPL[3:0] 位（注3）的优先级），或者被设定为 DTC、DMACA、EXDMAC 的启动源，就不解除全模块时钟停止模式。

注 1. 能通过 MSTPCRA.MSTPA5 位和 MSTPCRA.MSTPA4 位选择运行或者停止。

注 2. 详细内容请参照“11. 中断控制器（ICUa）”。

注 3. 详细内容请参照“2. CPU”。

9.5.3 软件待机模式

9.5.3.1 向软件待机模式的转移

如果在将 SBYCR.SSBY 位置“1”并且将 DPSBYCR.DPSBY 位置“0”的状态下执行 WAIT 指令，就转移到软件待机模式。在此模式中，CPU、内部外围功能和振荡器的全部功能停止运行，但是保持 CPU 内部寄存器的值、内部 RAM 的数据、内部外围功能和 I/O 端口状态。能通过 SBYCR.OPE 位选择是将地址总线和总线控制信号设定为高阻抗状态还是保持为输出状态。因为振荡器停止振荡，所以功耗明显降低。

必须在执行 WAIT 指令前将 DMAC.DMAST.DMST 位、DTC.DTCST.DTCST 位、EXDMAC.EXDMAST.DMST 位、EDMAC.EDTRR.TR 位和 EDMAC.EDRRR.RR 位置“0”。

在看门狗定时器模式中使用 WDT 时，或者在使用 IWDT 时，不能转移到软件待机模式。必须在执行 WAIT 指令前停止 WDT。

在振荡停止检测功能有效时（注1），不能转移到软件待机模式。要向软件待机模式转移时，必须在将振荡停止检测功能设定为无效后发行 WAIT 指令。

在使用软件待机模式时，必须在进行以下的设定后执行 WAIT 指令：

1. 将 CPU 的 PSW.I 位（注2）置“0”。
2. 将用于从软件待机模式返回的中断的请求目标设定为 CPU。
3. 将用于从软件待机模式返回的中断的优先级（注3）设定为高于 CPU 的 PSW.IPL[3:0] 位（注2）的优先级。
4. 将用于从软件待机模式返回的中断的 IERm.IENn 位（注3）置“1”。
5. 执行 WAIT 指令（通过执行 WAIT 指令，CPU.PSW.I 位（注2）自动变为“1”）。

注 1. 在解除复位后，振荡停止检测功能（OSTDCR.OSTDE 位）有效。

注 2. 详细内容请参照“2. CPU”。

注 3. 详细内容请参照“11. 中断控制器（ICUa）”。

9.5.3.2 软件待机模式的解除

通过外部中断（NMI 引脚和 IRQ0 ~ IRQ15（注））、部分内部中断（电压监视、RTC 闹钟、USB 中断（USBR））、RES# 引脚复位、上电复位或者电压监视复位来解除软件待机模式。

1. 通过中断进行的解除
如果通过 NMI、IRQ0 ~ IRQ15（注）、电压监视、RTC 闹钟和 USB 中断（USBR）输入中断请求信号，时钟就开始振荡，在经过 SBYCR.STS[4:0] 位选择的时间后给整个 LSI 提供稳定的时钟，然后解除软件待机模式，开始中断异常处理。
2. 通过 RES# 引脚复位进行的解除
如果将 RES# 引脚置为 Low 电平，时钟就开始振荡，同时给 LSI 提供时钟。此时，RES# 引脚必须保持 Low 电平直到时钟振荡稳定为止。如果将 RES# 引脚置为 High 电平，CPU 就开始复位异常处理。
3. 通过上电复位进行的解除
如果因电源电压降低而发生上电复位，就解除软件待机模式。
4. 通过电压监视复位进行的解除
如果因电源电压降低而发生电压监视复位，就解除软件待机模式并且时钟开始振荡。

注 1. 详细内容请参照“11. 中断控制器（ICUa）”。

9.5.3.3 解除软件待机模式后的振荡稳定时间的设定

必须通过 SBYCR.STS[4:0] 位进行以下的设定：

1. 使用晶体振荡的情况
设定 STS[4:0] 位，使待机时间大于等于振荡稳定时间。
工作频率、STS[4:0] 位的设定与待机时间的对应如表 9.4 所示。
2. 使用外部时钟的情况
需要 PLL 电路的稳定时间，请参照表 9.4 设定待机时间。

表 9.4 振荡稳定时间的设定

STS4	STS3	STS2	STS1	STS0	待机时间 (状态)	PCLK (注1) (MHz)			单位
						50	25	8	
0	0	0	0	0	(保留)	—	—	—	μs
				1	(保留)	—	—	—	
			1	0	(保留)	—	—	—	
				1	(保留)	—	—	—	
		1	0	0	(保留)	—	—	—	
				1	64	1.3	2.6	8.0	
			1	0	512	10.25	20.5	64.0	
				1	1024	20.5	41.0	128.0	
	1	0	0	0	2048	40.95	81.9	256.0	ms
				1	4096	0.08	0.16	0.51	
			1	0	16384	0.33	0.66	2.05	
				1	32768	0.655	1.31	4.10	
		1	0	0	65536	1.31	2.62	8.19	
				1	131072	2.62	5.24	16.38	
1	1	0	262144	5.25	10.49	32.77			
		1	524288	10.49	20.97	65.54			
1	x	x	x	x	(保留)	—	—	—	

□：使用外部时钟时的推荐设定时间

■：使用晶体振荡时的推荐设定时间

注 1. PCLK 是外围模块分频器的输出时钟。

因为振荡稳定等待时间包括振荡器的振荡尚未稳定的期间，所以受谐振器特性的影响。
上述数值是参考值。

9.5.3.4 软件待机模式的应用例子

在 IRQ 引脚的下降沿转移到软件待机模式并且在 IRQ 引脚的上升沿解除软件待机模式的运行例子如图 9.2 所示。

此例中，在 ICU 的 `IRQCRi.IRQMD[1:0]` 位被设定为“01b”（下降沿）的状态下接受 IRQ 中断后，先将 `IRQMD[1:0]` 位置“10b”（上升沿），再将 `SBYCR.SSBY` 位置“1”，然后执行 WAIT 指令，转移到软件待机模式。此后，在 IRQ 引脚的上升沿解除软件待机模式。

要从软件待机模式返回时，还需要设定中断控制器（ICU），详细内容请参照“11. 中断控制器（ICUa）”。

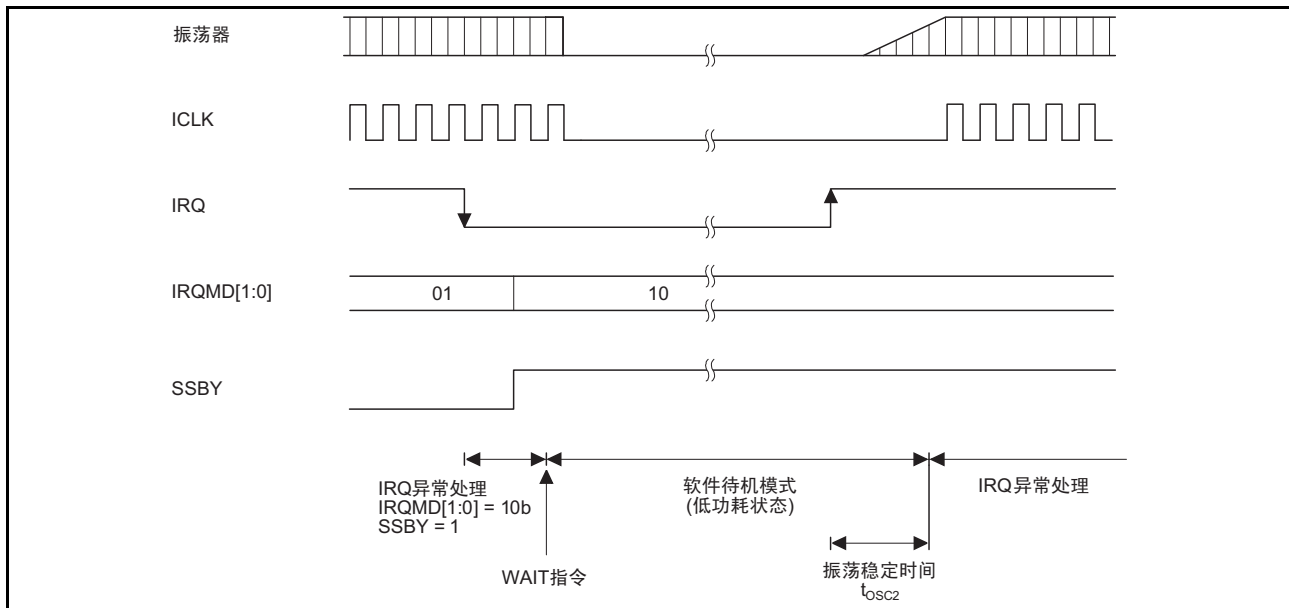


图 9.2 软件待机模式的应用例子

9.5.4 深度软件待机模式

9.5.4.1 向深度软件待机模式的转移

如果在 `SBYCR.SSBY` 位为“1”的状态下执行 WAIT 指令，就转移到软件待机模式（注 1）。此时，如果 `DPSBYCR.DPSBY` 位为“1”，就转移到深度软件待机模式。如果在转移到软件待机模式时发生和软件待机模式解除请求（NMI 和 `IRQ0 ~ IRQ15` 的中断请求、部分内部中断（电压监视、RTC 闹钟和 USB 中断（USB））的竞争，就解除软件待机模式，与 `DPSBY` 位的设定无关。在经过 `SBYCR.STS[4:0]` 位选择的软件待机模式的振荡稳定时间后，开始中断异常处理。

如果在 `SSBY` 位和 `DPSBY` 位都为“1”的状态下没有产生软件待机模式的解除请求，就在转移到软件待机模式后立即转移到深度软件待机模式。

在深度软件待机模式中，因为 CPU、内部外围功能（USB 恢复检测部和 RTC 除外）、内部 RAM1（注 2）和振荡器的全部功能停止运行，而且停止提供内部电源，所以功耗明显降低。此时，CPU 和内部外围功能（USB 恢复检测部和 RTC 除外）的寄存器内容全部为不定值，内部 RAM1（注 2）的数据与 `DPSBYCR.RAMCUT2` 位、`DPSBYCR.RAMCUT1` 位和 `DPSBYCR.RAMCUT0` 位的设定无关，也全部为不定值。

能通过将 `RAMCUT2` 位、`RAMCUT1` 位和 `RAMCUT0` 位全部置“0”，保持内部 RAM0（注 2）的数据。在 `RAMCUT2` 位、`RAMCUT1` 位和 `RAMCUT0` 位全部被置“1”的情况下，因为停止给内部 RAM0（注 2）和 USB 恢复检测部提供内部电源，所以进一步降低了功耗。此时，内部 RAM0（注 2）的数据为不定值。

电压检测电路和上电复位电路也在深度软件待机模式中有效。

端口保持软件待机模式中的状态。

注 1. 必须在执行 WAIT 指令前满足向软件待机模式转移时的 DTC、DMACA、EXDMAC、EDMAC、WDT、IWDT 和振荡停止检测功能的相关条件，详细内容请参照“9.5.3 软件待机模式”。

注 2. 内部 RAM 的地址空间分为 RAM0 区和 RAM1 区，地址空间请参照表 9.2。

9.5.4.2 深度软件待机模式的解除

通过外部中断引脚（NMI 引脚和 IRQ0-A ~ IRQ3-A 引脚）、部分内部中断（电压监视、RTC 闹钟、USB 挂起 / 恢复）、RES# 引脚的复位、上电复位或者电压监视复位来解除深度软件待机模式。

1. 通过外部中断或者内部中断进行的解除

DPSIFR 寄存器是保持深度软件待机模式解除源的寄存器，当产生解除请求时，此寄存器就变为“1”。此时，如果通过 DPSIER 寄存器允许解除源，就解除深度软件待机模式。

如果在 DPSIER.DNMIE 位或者 DPSIER.DIRQnE 位（n=3~0）允许的 NMI 引脚或者 IRQ0-A ~ IRQ3-A 引脚产生边沿，就将 DPSIFR.DNMIF 标志、DPSIFR.DIRQiF 标志置“1”。能通过 DPSIEGR 寄存器选择各引脚的上升沿和下降沿。

另外，如果发生 DPSIER.DUSBE 位允许的 USB 挂起 / 恢复中断，就将 DUSBF 标志置“1”。如果发生 DPSIER.DRTCE 位允许的 RTC 闹钟中断，就将 DRTCF 标志置“1”。如果发生 DPSIER.DLDVE 位允许的电压监视中断，就将 DLVDF 标志置“1”。

如果产生深度软件待机模式的解除请求，就在开始时钟振荡的同时开始提供内部电源，并且对整个 LSI 产生内部复位信号。

在经过 DPSWCR.WTSTS[5:0] 位选择的待机时间后，给整个 LSI 提供稳定的时钟并且解除内部复位。

如果在解除内部复位的同时解除深度软件待机模式，就开始复位异常处理。

如果通过外部中断或者内部中断来解除深度软件待机模式，RSTSR.DPSRSTF 标志就变为“1”。

2. 通过 RES# 引脚进行的解除

如果将 RES# 引脚置为 Low 电平，时钟就开始振荡并且同时开始提供内部电源。在时钟开始振荡的同时，给 LSI 提供时钟。此时，RES# 引脚必须保持 Low 电平直到时钟振荡稳定为止。如果将 RES# 引脚置为 High 电平，CPU 就开始复位异常处理。

3. 通过上电复位进行的解除

如果因电源电压降低而发生上电复位，就解除深度软件待机模式。

4. 通过电压监视复位进行的解除

如果因电源电压降低而发生电压监视复位，就解除深度软件待机模式。

9.5.4.3 解除深度软件待机模式时的引脚状态

在深度软件待机模式中，I/O 端口保持软件待机模式中的状态。通过深度软件待机模式的内部复位对 LSI 内部进行初始化，如果解除深度软件待机模式，就立即开始复位异常处理。此时的端口状态如下所示。

能通过 DPSBYCR.IOKEEP 位选择是将 I/O 端口设定为初始状态还是继续保持软件待机模式中的 I/O 端口状态。

- 当 IOKEEP 位为“0”时

通过深度软件待机模式的内部复位对 I/O 端口进行初始化。

- 当 IOKEEP 位为“1”时

通过深度软件待机模式的内部复位对 LSI 内部进行初始化，与 LSI 的内部状态无关，I/O 端口继续保持软件待机模式中的状态。此时，即使设定 I/O 端口、外围模块，也继续保持软件待机模式中的 I/O 端口状态。然后，通过将 IOKEEP 位置“0”，解除 I/O 端口的状态保持，并且根据内部状态运行。

不通过解除深度软件待机模式的内部复位对 IOKEEP 位进行初始化。

9.5.4.4 解除深度软件待机模式后的振荡稳定时间的设定

必须对 DPSWCR.WTSTS[5:0] 位进行以下的设定：

1. 使用晶体振荡的情况

设定 WTSTS[5:0] 位，使待机时间大于等于振荡稳定时间。

EXTAL 输入时钟的频率、WTSTS[5:0] 位的设定与待机时间的对应如表 9.5 所示。

2. 使用外部时钟的情况

需要 PLL 电路的稳定时间，请参照表 9.5 设定待机时间。

表 9.5 振荡稳定时间的设定

WTSTS5	WTSTS4	WTSTS3	WTSTS2	WTSTS1	WTSTS0	待机时间 (状态)	EXTAL 输入时钟的频率 (注1) (MHz)				单位
							14	12	10	8	
0	0	0	0	0	0	(保留)	—	—	—	—	μs
					1	(保留)	—	—	—	—	
				1	0	(保留)	—	—	—	—	
					1	(保留)	—	—	—	—	
			1	0	0	(保留)	—	—	—	—	
					1	64	4.6	5.3	6.4	8.0	
				1	0	512	36.6	42.7	51.2	64.0	
					1	1024	73.1	85.3	102.4	128.0	
		1	0	0	0	2048	146.3	170.7	204.8	256.0	
					1	4096	0.29	0.34	0.41	0.51	
				1	0	16384	1.17	1.37	1.64	2.05	
					1	32768	2.34	2.73	3.26	4.10	
			1	0	0	65536	4.68	5.46	6.55	8.19	
					1	131072	9.36	10.92	13.11	16.38	
				1	0	262144	18.72	21.85	26.21	32.77	
					1	524288	37.45	43.69	52.43	65.54	
1	1	x	x	x	x	(保留)	—	—	—	—	
	1	x	x	x	x	(保留)	—	—	—	—	

□：使用外部时钟时的推荐设定时间

■：使用晶体振荡时的推荐设定时间

注 1. 因为振荡稳定等待时间包括振荡器的振荡尚未稳定的期间，所以受谐振器特性的影响。
上述数值是参考值。

9.5.4.5 通过 USB 进行深度软件待机模式的解除

能通过 USB 的挂起 / 恢复中断来解除深度软件待机模式。

通过 USB 恢复检测部进行 USB 挂起 / 恢复中断的检测，详细内容请参照“28.3.1.4 通过 USB 挂起 / 恢复中断进行深度软件待机模式的解除”。

9.5.4.6 深度软件待机模式的应用例子

在 IRQ 引脚的下降沿转移到深度软件待机模式，并且在 IRQ 引脚的上升沿解除深度软件待机模式的运行例子如图 9.3 所示。

此例中，在 ICU 的 IRQCRn.IRQMD[1:0] 位为“01b”（下降沿）的状态下接受 IRQ 中断后，先将 DPSIEGR.DIRQnEG 位（n=3 ~ 0）置“1”（上升沿），再将 SBYCR.SSBY 位和 DPSBYCR.DPSBY 位置“1”，然后执行 WAIT 指令，转移到深度软件待机模式。

此后，在 IRQ 引脚的上升沿解除深度软件待机模式。

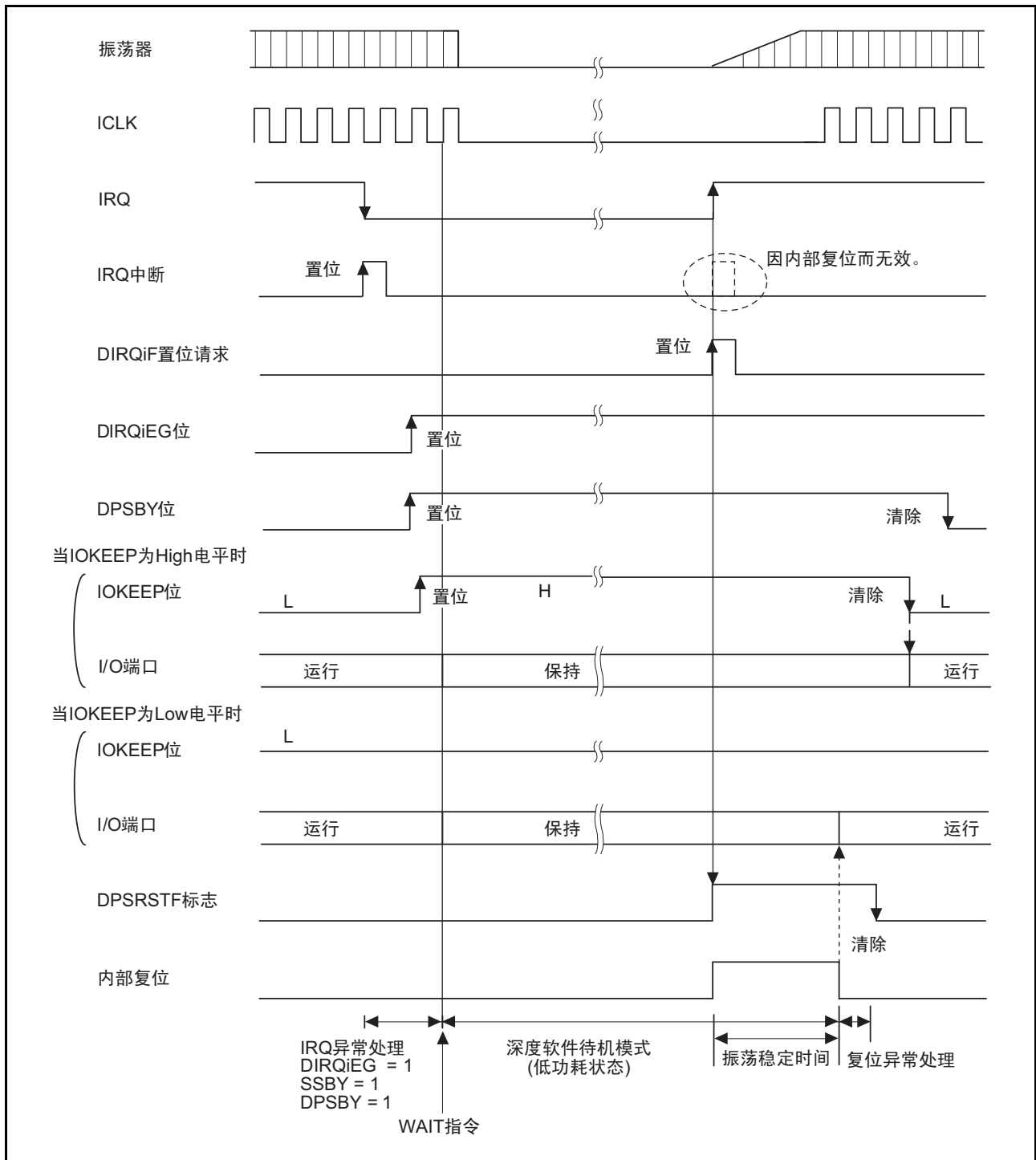


图 9.3 深度软件待机模式的应用例子

9.5.4.7 深度软件待机模式的流程图

使用深度软件待机模式时的流程图例子如图 9.4 所示。

此例中，在复位异常处理后，根据复位功能的 RSTSR.DPSRSTF 标志判断是通过 RES# 引脚进行的复位还是通过解除深度软件待机模式进行的复位。

在通过 RES# 引脚进行复位时，在进行各种设定后转移到深度软件待机模式。

在通过解除深度软件待机模式进行复位时，在设定 I/O 端口后将 DPSBYCR.IOKEEP 位置“0”。

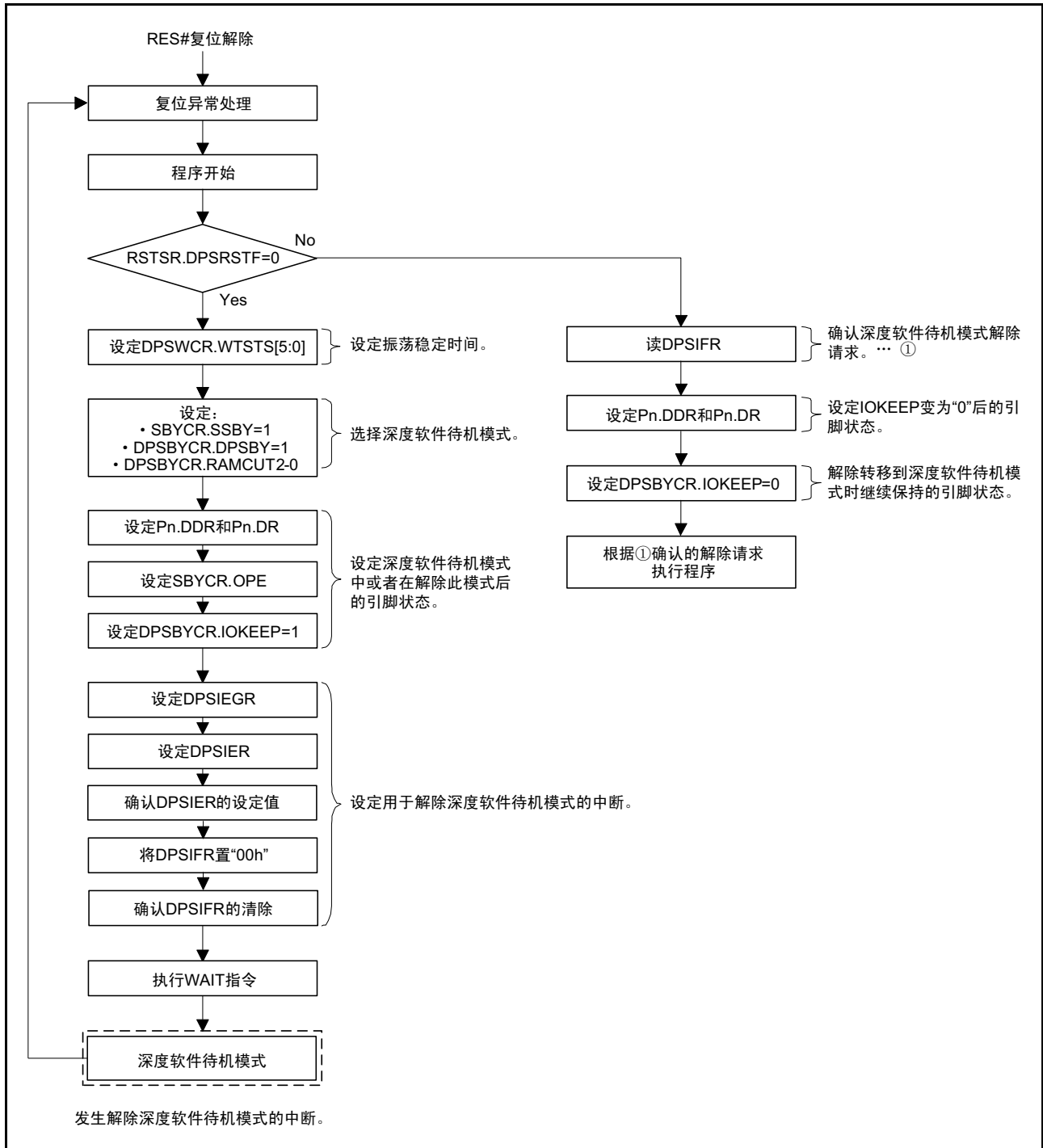


图 9.4 深度软件待机模式的流程图例子

9.6 BCLK 和 SDCLK 的输出控制

能通过 SCKCR.PSTOP1 位和对应的 P53 的 P5.DDR.B3 位控制 BCLK 输出。

如果将 PSTOP1 位置“0”，P53 就为 BCLK 输出；如果将 PSTOP1 位置“1”，就停止 BCLK 输出，BCLK 输出变为 High 电平。如果将 P53 的 PORT5.DDR.B3 位置“0”，BCLK 输出就被禁止，变为输入端口。

各低功耗状态的 BCLK 引脚状态如表 9.6 所示。

表 9.6 各低功耗状态的 BCLK 引脚（P53）状态

寄存器的设定值		正常运行状态	睡眠	全模块时钟停止	软件待机		深度软件待机	
DDR	PSTOP1				OPE=0	OPE=1	IOKEEP=0	IOKEEP=1
0	x	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
1	0	BCLK 输出	BCLK 输出	BCLK 输出	High	High	High	High
1	1	High	High	High	High	High	High	High

能通过 SCKCR.PSTOP0 位、对应的 P70 的 P7.DDR.B0 位和 PF6BUS.SDCLKE 位，控制 SDCLK 的输出。如果将 SDCLKE 位置“1”并且将 PSTOP0 位置“0”，P70 就输出 SDCLK；如果将 SDCLKE 位置“1”并且将 PSTOP0 位置“1”，P70 就停止输出 SDCLK，并且 SDCLK 输出为 High 电平。另外，如果将 SDCLKE 位置“0”并且将 PORT7.DDR.B0 位置“0”，P70 就为输入端口；如果将 SDCLKE 位置“0”并且将 P7.DDR.B0 位置“1”，P70 就为输出端口。

各低功耗状态的 SDCLK 引脚状态如表 9.7 所示。

表 9.7 各低功耗状态的 SDCLK 引脚（P70）状态

寄存器的设定值			正常运行状态	睡眠	全模块时钟停止	软件待机		深度软件待机	
SDCLKE	DDR	PSTOP0				OPE=0	OPE=1	IOKEEP=0	IOKEEP=1
0	0	x	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
	1		PORT 输出	PORT 输出	PORT 输出	PORT 输出	PORT 输出	PORT 输出	PORT 输出
1	x	0	SDCLK 输出	SDCLK 输出	SDCLK 输出	High	High	High	High
		1	High	High	High	High	High	High	High

9.7 使用时的注意事项

9.7.1 I/O 端口状态

在软件待机模式和深度软件待机模式中保持 I/O 端口状态。如果输出 High 电平，就无法降低输出电流的消耗电流。

9.7.2 DMACA、DTC、EXDMAC 和 EDMAC 的模块停止

必须在将 MSTPCRA.MSTPA29 位、MSTPCRA.MSTPA28 位和 MSTPCRB.MSTPB15 位置“1”前，将 EXDMAC 的 EDMAST.DMST 位、DMACA 的 DMAST.DMST 位、DTC 的 DTCST.DTCST 位、EDMAC 的 EDTRR.TR 位和 EDRRR.RR 位清“0”，并且将 DTC、DMACA、EXDMAC 和 EDMAC 设定为未启动状态。详细内容请参照“14. DMA 控制器 (DMACA)”、“15. EXDMA 控制器 (EXDMAC)”、“16. 数据传送控制器 (DTCa)”和“27. 以太网控制器的 DMA 控制器 (EDMAC)”。

9.7.3 内部外围模块的中断

此中断不能在模块停止状态下运行。如果在产生中断请求的状态下停止模块，就不能清除 CPU 的中断源或者 DMACA、DTC、EXDMAC、EDMAC 的启动源。必须事先禁止中断，然后进入模块停止状态。

9.7.4 MSTPCRA、MSTPCRB、MSTPCRC 寄存器的写操作

只能通过 CPU 写 MSTPCRA、MSTPCRB、MSTPCRC 寄存器。

9.7.5 通过 DIRQnE 位 (n=3 ~ 0) 控制输入缓冲器

能通过将 DPSIER.DIRQnE 位 (n=3 ~ 0) 位置“1”，将 P30/IRQ0-A ~ P33/IRQ3-A 引脚的输入缓冲器设定为有效。因此必须注意：这些引脚的输入反映到 DPSIFR.DIRQnF 位 (n=3 ~ 0) 而不反映到中断控制器、外围模块和 I/O 端口。

必须通过 PORTn.ICR 寄存器控制中断控制器、外围模块和 I/O 端口的输入。

9.7.6 深度软件待机模式的转移和中断的竞争

如果在向深度软件待机模式转移时发生和软件待机模式解除请求的竞争，就不向深度软件待机模式转移而开始软件待机模式的解除响应顺序。然后，在经过 SBYCR.STS[4:0] 位选择的软件待机模式的振荡稳定时间后，开始中断异常处理。

必须注意：在向深度软件待机模式的转移和软件待机模式的解除请求发生竞争时，需要执行中断异常处理程序。

9.7.7 WAIT 指令的执行时序

不等先执行的寄存器的写操作结束就执行 WAIT 指令。有可能在通过写寄存器进行的设定变更被反映前执行 WAIT 指令，而导致意想不到的运行。因此，必须在确认已经写完最后的寄存器后执行 WAIT 指令。

10. 异常处理

10.1 异常事件

在 CPU 正常执行程序的过程中，有可能因某个事件的发生而中止正在执行的程序并且需要执行其他程序。此类事件统称为异常事件。

RX CPU 对应 7 种异常，异常事件的种类如图 10.1 所示。

如果发生异常，处理器模式就转移到管理模式。

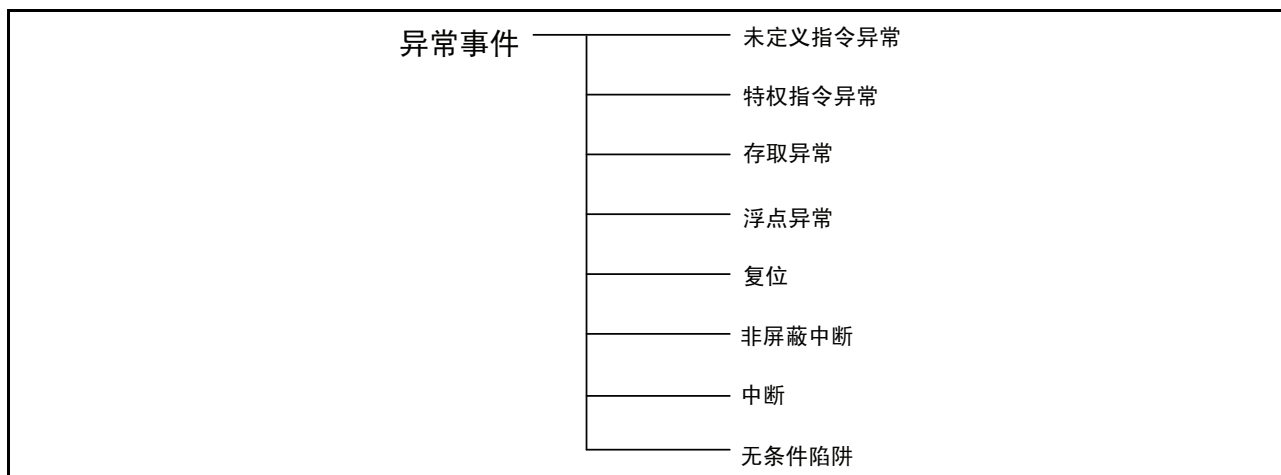


图 10.1 异常事件的种类

10.1.1 未定义指令异常

在检测到执行未定义指令（未安装的指令）时发生未定义指令异常。

10.1.2 特权指令异常

在用户模式中检测到已执行特权指令时发生特权指令异常。只能在管理模式中执行特权指令。

10.1.3 存取异常

在检测到因 CPU 进行存储器存取而产生的错误时发生存取异常。在存储器保护单元检测到指令存储器保护错误时发生指令存取异常；在存储器保护单元检测到数据存储器保护错误时发生操作数存取异常。

10.1.4 浮点异常

在检测到 IEEE754 规格规定的 5 种异常事件（上溢、下溢、精度异常、被零除、无效运算）以及非安装处理时发生浮点异常。当 FPSW 的 EX 位、EU 位、EZ 位、EO 位和 EV 位为“0”时，禁止浮点异常处理。

10.1.5 复位

在给 CPU 输入复位信号时发生复位。因为复位的优先级最高，所以随时被接受。

10.1.6 非屏蔽中断

在给 CPU 输入非屏蔽中断信号时发生非屏蔽中断。只在认为是对系统造成致命的故障时使用此中断。使用条件是必须在异常处理程序的处理后不返回到发生异常时正在执行的程序。

10.1.7 中断

在给 CPU 输入中断信号时发生中断。能将中断中的 1 个中断源分配为高速中断，高速中断的硬件预处理和硬件后处理比一般中断快，并且高速中断的优先级为 15（最高）。

当 PSW 的 I 位为“0”时，禁止接受中断。

10.1.8 无条件陷阱

如果执行 INT 指令和 BRK 指令，就产生无条件陷阱。

10.2 异常处理步骤

异常处理包括硬件自动处理的部分以及通过用户记述的程序（异常处理程序）进行处理的部分。除复位以外，接受异常时的处理步骤如图 10.2 所示。

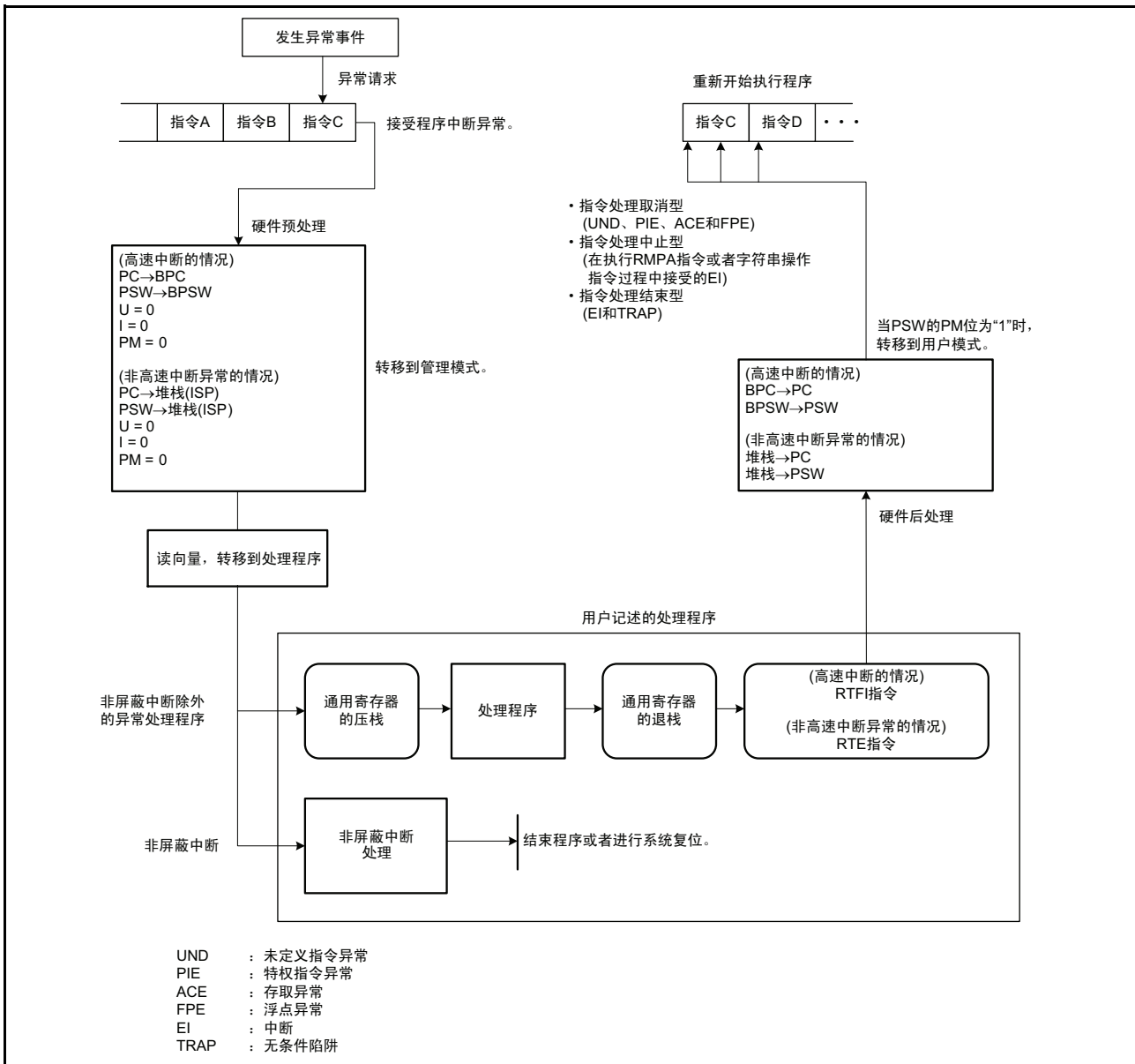


图 10.2 异常处理步骤的概要

一旦接受异常，RX CPU 就在硬件处理后，存取向量并且取得转移目标地址。按各异常给向量分配了向量地址，写异常处理程序的转移目标地址。

有关 RX CPU 的硬件预处理，在高速中断的情况下，将程序计数器（PC）的内容保存到备用程序计数器（BPC），处理器状态字（PSW）的内容保存到备用处理器状态字（BPSW）；在非高速中断异常的情况下，将 PC 和 PSW 保存到堆栈区。

对于异常处理程序中使用的通用寄存器以及 PC 和 PSW 以外的控制寄存器，必须在异常处理程序的起始位置，通过用户程序将这些寄存器压栈。

在异常处理程序处理结束后，通过在恢复被压栈的寄存器后执行 RTE 指令，从异常处理返回到原来的程序。只在高速中断的情况下执行 RTFI 指令。但是，在非屏蔽中断的情况下，不返回到原来的程序而必须结束程序或者进行系统复位。

有关 RX CPU 的硬件后处理，在高速中断的情况下，将 BPC 的值恢复到 PC，BPSW 的值恢复到 PSW。在非高速中断异常的情况下，从堆栈区恢复 PC 和 PSW 的值。

10.3 异常事件的接受

如果发生异常事件，就在中止目前执行的程序后转移到异常处理程序。

10.3.1 接受时序和被保存的 PC 值

各异常事件的接受时序以及被保存的程序计数器（PC）的值如表 10.1 所示。

表 10.1 接受时序和被保存的 PC 值

异常事件		处理型	接受时序	被保存到 BPC/ 堆栈的 PC 值
未定义指令异常		指令处理取消型	正在执行指令	发生异常的指令的 PC 值
特权指令异常		指令处理取消型	正在执行指令	发生异常的指令的 PC 值
浮点异常		指令处理取消型	正在执行指令	发生异常的指令的 PC 值
存取异常		指令处理取消型	正在执行指令	发生异常的指令的 PC 值
复位		指令处理放弃型	各周期	无
非屏蔽中断	正在执行 RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE 各指令	指令处理中止型	正在执行指令	正在执行的指令的 PC 值
	上述以外的状态	指令处理结束型	在指令和指令之间	下一条指令的 PC 值
中断	正在执行 RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE 各指令	指令处理中止型	正在执行指令	正在执行的指令的 PC 值
	上述以外的状态	指令处理结束型	在指令和指令之间	下一条指令的 PC 值
无条件陷阱		指令处理结束型	在指令和指令之间	下一条指令的 PC 值

10.3.2 向量和 PC、PSW 的保存场所

各异常事件的向量、程序计数器（PC）和处理器状态字（PSW）的保存场所如表 10.2 所示。

表 10.2 向量和 PC、PSW 的保存场所

异常事件		向量	PC 和 PSW 的保存场所
未定义指令异常		固定向量表	堆栈
特权指令异常		固定向量表	堆栈
存取异常		固定向量表	堆栈
浮点异常		固定向量表	堆栈
复位		固定向量表	无
非屏蔽中断		固定向量表	堆栈
中断	高速中断	FINTV	BPC、BPSW
	非高速中断	可向量表（INTB）	堆栈
无条件陷阱		可向量表（INTB）	堆栈

10.4 接受异常 / 从异常返回时的硬件处理

以下说明接受异常以及从异常返回时的硬件处理（复位除外）。

(1) 接受异常时的硬件预处理

(a) PSW 的保存

（高速中断的情况）

PSW→BPSW

（非高速中断异常的情况）

PSW→堆栈区

注. 在硬件预处理中不保存 FPSW。如果在异常处理程序内使用浮点运算指令，用户就必须在异常处理程序内将 FPSW 压栈。

(b) PSW 的 PM 位、U 位和 I 位的更新

I : 置“0”

U : 置“0”

PM : 置“0”

(c) PC 的保存

（高速中断的情况）

PC→BPC

（非高速中断异常的情况）

PC→堆栈区

(d) 给 PC 设定异常处理程序的转移目标地址

通过取得对应各异常的向量，转移到异常处理程序的处理。

(2) 执行 RTE 指令和 RTFI 指令时的硬件后处理

(a) PSW 的恢复

（高速中断的情况）

BPSW→PSW

（非高速中断异常的情况）

堆栈区 →PSW

(b) PC 的恢复

（高速中断的情况）

BPC→PC

（非高速中断异常的情况）

堆栈区 →PC

10.5 硬件预处理

以下说明从接受异常请求到执行异常处理程序的硬件预处理。

10.5.1 未定义指令异常

1. 将处理器状态字（PSW）的内容保存到堆栈区（ISP）。
2. 将PSW的处理器模式设定位（PM）、堆栈指针指定位（U）和中断允许位（I）置“0”。
3. 将程序计数器（PC）的内容保存到堆栈区（ISP）。
4. 从地址FFFFFFDCh取向量。
5. 将取到的向量设定到PC后转移到异常处理程序。

10.5.2 特权指令异常

1. 将处理器状态字（PSW）的内容保存到堆栈区（ISP）。
2. 将PSW的处理器模式设定位（PM）、堆栈指针指定位（U）和中断允许位（I）置“0”。
3. 将程序计数器（PC）的内容保存到堆栈区（ISP）。
4. 从地址FFFFFFD0h取向量。
5. 将取到的向量设定到PC后转移到异常处理程序。

10.5.3 浮点异常

1. 将处理器状态字（PSW）的内容保存到堆栈区（ISP）。
2. 将PSW的处理器模式设定位（PM）、堆栈指针指定位（U）和中断允许位（I）置“0”。
3. 将程序计数器（PC）的内容保存到堆栈区（ISP）。
4. 从地址FFFFFFD4h取向量。
5. 将取到的向量设定到PC后转移到异常处理程序。

10.5.4 存取异常

1. 将处理器状态字（PSW）的内容保存到堆栈区（ISP）。
2. 将PSW的处理器模式设定位（PM）、堆栈指针指定位（U）和中断允许位（I）置“0”。
3. 将程序计数器（PC）的内容保存到堆栈区（ISP）。
4. 从地址FFFFFFD4h取向量。
5. 将取到的向量设定到PC后转移到异常处理程序。

10.5.5 复位

1. 对控制寄存器进行初始化。
2. 从地址FFFFFFFCh取向量。
3. 将取到的向量设定到程序计数器（PC）。

10.5.6 非屏蔽中断

1. 将处理器状态字 (PSW) 的内容保存到堆栈区 (ISP)。
2. 将PSW的处理器模式设定位 (PM)、堆栈指针指定位 (U) 和中断允许位 (I) 置“0”。
3. 当正在执行RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、S WHILE各指令时，将正在执行的指令的程序计数器 (PC) 内容保存到堆栈区 (ISP)；而在其他状态下，将下一条指令的PC内容保存到堆栈区 (ISP)。
4. 将PSW的处理器中断优先级 (IPL[3:0]) 置“Fh”。
5. 从地址FFFFFFF8h取向量。
6. 将取到的向量设定到PC后转移到异常处理程序。

10.5.7 中断

1. 将处理器状态字 (PSW) 的内容保存到堆栈区 (ISP)。在高速中断的情况下，保存到备用处理器状态字PSW (BPSW)。
2. 将PSW的处理器模式设定位 (PM)、堆栈指针指定位 (U) 和中断允许位 (I) 置“0”。
3. 当正在执行RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、S WHILE各指令时，将正在执行的指令的程序计数器 (PC) 内容保存到堆栈区 (ISP)；而在其他状态下，将下一条指令的PC内容保存到堆栈区 (ISP)。在高速中断的情况下，保存到备用程序计数器 (BPC)。
4. 给PSW的处理器中断优先级 (IPL[3:0]) 设定已接受中断的中断优先级。
5. 从可变向量表取已接受中断源的向量。在高速中断的情况下，从高速中断向量寄存器 (FINTV) 取向量。
6. 将取到的向量设定到PC后转移到异常处理程序。

10.5.8 无条件陷阱

1. 将处理器状态字 (PSW) 的内容保存到堆栈区 (ISP)。
2. 将PSW的处理器模式设定位 (PM)、堆栈指针指定位 (U) 和中断允许位 (I) 置“0”。
3. 将下一条指令的程序计数器 (PC) 内容保存到堆栈区 (ISP)。
4. 在使用INT指令时，从可变向量表取对应INT指令号的向量。
在使用BRK指令时，从可变向量表的起始地址取向量。
5. 将取到的向量设定到PC后转移到异常处理程序。

10.6 从异常处理程序的返回

如果在异常处理程序的最后执行表 10.3 所示的指令，就恢复异常处理程序前保存到堆栈区或者控制寄存器（BPC 和 BPSW）的程序计数器（PC）和处理器状态字（PSW）的内容。


表 10.3 异常处理程序的返回指令

异常事件		返回指令
未定义指令异常		RTE
特权指令异常		RTE
存取异常		RTE
浮点异常		RTE
复位		不能返回
非屏蔽中断		不能返回
中断	高速中断	RTFI
	非高速中断	RTE
无条件陷阱		RTE

10.7 异常事件的优先级

异常事件的优先级如表 10.4 所示。如果同时发生多个异常，就先接受优先级高的事件。

表 10.4 异常事件的优先级

优先级	异常事件
高  低	1 复位
	2 非屏蔽中断
	3 中断
	4 指令存取异常
	5 未定义指令异常 特权指令异常
	6 无条件陷阱
	7 操作数存取异常
	8 浮点异常

11. 中断控制器 (ICUa)

11.1 概要

中断控制器接受外围模块中断和外部引脚中断，向 CPU 请求中断以及启动 DTC 和 DMACA。中断控制器的规格和框图分别如表 11.1 和图 11.1 所示。

表 11.1 中断控制器的规格

项目		内容
中断	外围功能中断	<ul style="list-style-type: none"> • 外围模块的中断 • 中断源数：146 个 • 中断检测：边沿检测 / 电平检测 给连接外围模块的各中断源规定了检测方法。
	外部引脚中断	<ul style="list-style-type: none"> • IRQ15 ~ IRQ0 引脚的中断 • 中断源数：16 个 • 中断检测：各中断源能设定 Low 电平、下降沿、上升沿或者双边沿。
	软件中断	<ul style="list-style-type: none"> • 通过写寄存器产生中断。 • 中断源数：1 个
	中断优先级	通过寄存器设定优先级。
	高速中断功能	能实现 CPU 中断处理的高速化。只能给 1 个中断源设定此功能。
	DTC 和 DMACA 的控制	能通过中断源启动 DTC 和 DMACA。 DTC 启动源：102 个（85 个外围功能中断 + 16 个外部引脚中断 + 1 个软件中断） DMACA 启动源：45 个（41 个外围功能中断 + 4 个外部引脚中断）
非屏蔽中断	NMI 引脚中断	<ul style="list-style-type: none"> • NMI 引脚的中断 • 中断检测：下降沿 / 上升沿
	电压监视中断	检测到低电源电压时的中断
	振荡停止检测中断	检测到振荡停止时的中断
从低功耗状态的返回		<ul style="list-style-type: none"> • 睡眠模式：通过非屏蔽中断或者全部中断源返回。 • 全模块时钟停止模式：通过非屏蔽中断、IRQ15 ~ IRQ0 中断、WDT 中断、TMR 中断、USB 中断 (USBR) 或者 RTC 闹钟中断返回。 • 软件待机模式：通过非屏蔽中断、IRQ15 ~ IRQ0 中断、USB 中断 (USBR) 或者 RTC 闹钟中断返回。

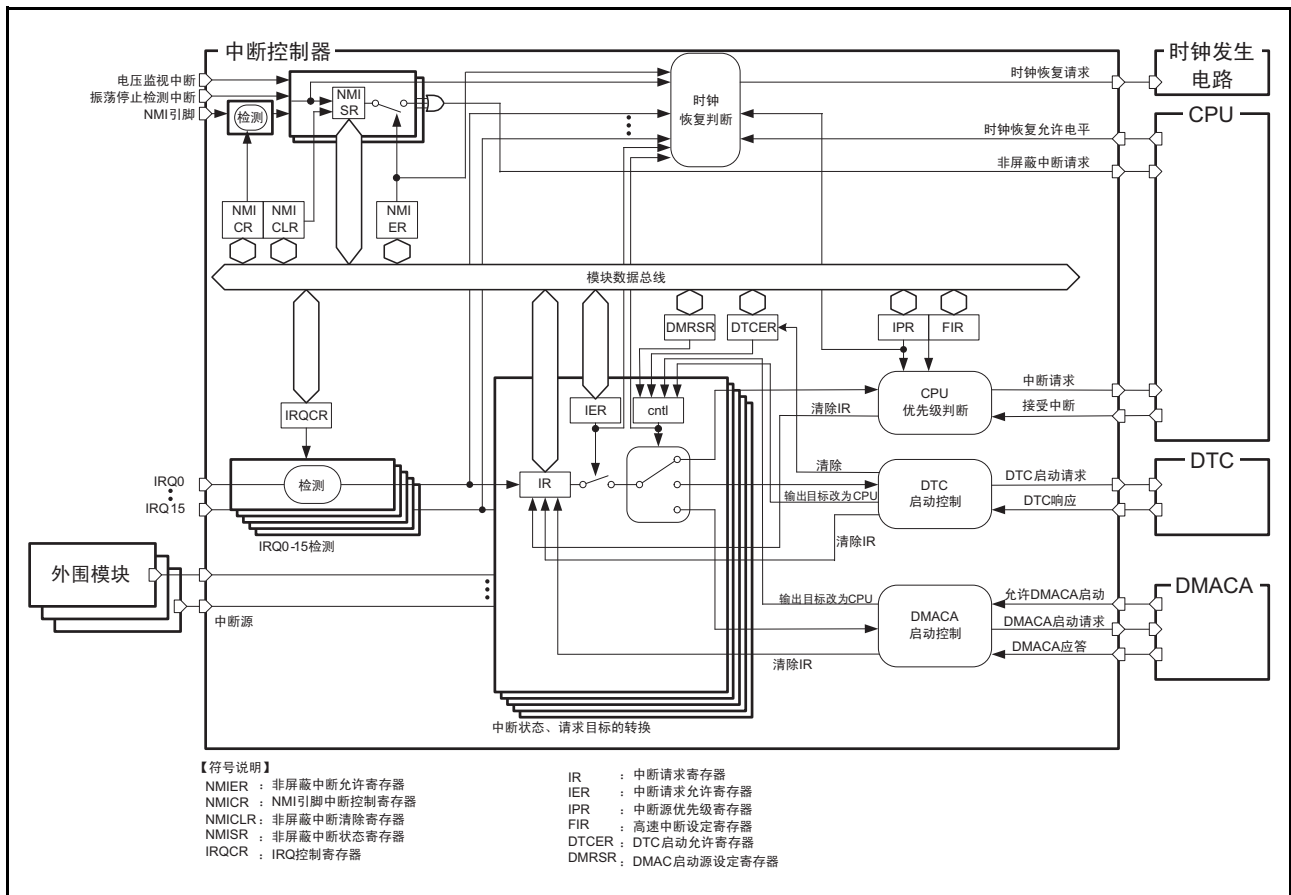


图 11.1 中断控制器的框图

中断控制器使用的输入 / 输出引脚如表 11.2 所示。

表 11.2 中断控制器的输入 / 输出引脚

引脚名	输入 / 输出	功能
NMI	输入	非屏蔽中断请求引脚
IRQ15 ~ IRQ0	输入	外部中断请求引脚

11.2 寄存器说明

中断控制器的寄存器一览表如表 11.3 所示。

表 11.3 中断控制器的寄存器一览表 (1 / 10)

寄存器名	符号	复位后的值	地址	存取长度
中断请求寄存器 016	IR016	00h	0008 7010h	8
中断请求寄存器 021	IR021	00h	0008 7015h	8
中断请求寄存器 023	IR023	00h	0008 7017h	8
中断请求寄存器 027	IR027	00h	0008 701Bh	8
中断请求寄存器 028	IR028	00h	0008 701Ch	8
中断请求寄存器 029	IR029	00h	0008 701Dh	8
中断请求寄存器 030	IR030	00h	0008 701Eh	8
中断请求寄存器 031	IR031	00h	0008 701Fh	8
中断请求寄存器 032	IR032	00h	0008 7020h	8
中断请求寄存器 036	IR036	00h	0008 7024h	8
中断请求寄存器 037	IR037	00h	0008 7025h	8
中断请求寄存器 038	IR038	00h	0008 7026h	8
中断请求寄存器 040	IR040	00h	0008 7028h	8
中断请求寄存器 041	IR041	00h	0008 7029h	8
中断请求寄存器 042	IR042	00h	0008 702Ah	8
中断请求寄存器 044	IR044	00h	0008 702Ch	8
中断请求寄存器 045	IR045	00h	0008 702Dh	8
中断请求寄存器 046	IR046	00h	0008 702Eh	8
中断请求寄存器 047	IR047	00h	0008 702Fh	8
中断请求寄存器 048	IR048	00h	0008 7030h	8
中断请求寄存器 049	IR049	00h	0008 7031h	8
中断请求寄存器 050	IR050	00h	0008 7032h	8
中断请求寄存器 051	IR051	00h	0008 7033h	8
中断请求寄存器 056	IR056	00h	0008 7038h	8
中断请求寄存器 057	IR057	00h	0008 7039h	8
中断请求寄存器 058	IR058	00h	0008 703Ah	8
中断请求寄存器 059	IR059	00h	0008 703Bh	8
中断请求寄存器 060	IR060	00h	0008 703Ch	8
中断请求寄存器 062	IR062	00h	0008 703Eh	8
中断请求寄存器 063	IR063	00h	0008 703Fh	8
中断请求寄存器 064	IR064	00h	0008 7040h	8
中断请求寄存器 065	IR065	00h	0008 7041h	8
中断请求寄存器 066	IR066	00h	0008 7042h	8
中断请求寄存器 067	IR067	00h	0008 7043h	8
中断请求寄存器 068	IR068	00h	0008 7044h	8
中断请求寄存器 069	IR069	00h	0008 7045h	8
中断请求寄存器 070	IR070	00h	0008 7046h	8
中断请求寄存器 071	IR071	00h	0008 7047h	8
中断请求寄存器 072	IR072	00h	0008 7048h	8

表 11.3 中断控制器的寄存器一览表 (2 / 10)

寄存器名	符号	复位后的值	地址	存取长度
中断请求寄存器 073	IR073	00h	0008 7049h	8
中断请求寄存器 074	IR074	00h	0008 704Ah	8
中断请求寄存器 075	IR075	00h	0008 704Bh	8
中断请求寄存器 076	IR076	00h	0008 704Ch	8
中断请求寄存器 077	IR077	00h	0008 704Dh	8
中断请求寄存器 078	IR078	00h	0008 704Eh	8
中断请求寄存器 079	IR079	00h	0008 704Fh	8
中断请求寄存器 090	IR090	00h	0008 705Ah	8
中断请求寄存器 091	IR091	00h	0008 705Bh	8
中断请求寄存器 092	IR092	00h	0008 705Ch	8
中断请求寄存器 096	IR096	00h	0008 7060h	8
中断请求寄存器 098	IR098	00h	0008 7062h	8
中断请求寄存器 099	IR099	00h	0008 7063h	8
中断请求寄存器 102	IR102	00h	0008 7066h	8
中断请求寄存器 114	IR114	00h	0008 7072h	8
中断请求寄存器 115	IR115	00h	0008 7073h	8
中断请求寄存器 116	IR116	00h	0008 7074h	8
中断请求寄存器 117	IR117	00h	0008 7075h	8
中断请求寄存器 118	IR118	00h	0008 7076h	8
中断请求寄存器 119	IR119	00h	0008 7077h	8
中断请求寄存器 120	IR120	00h	0008 7078h	8
中断请求寄存器 121	IR121	00h	0008 7079h	8
中断请求寄存器 122	IR122	00h	0008 707Ah	8
中断请求寄存器 123	IR123	00h	0008 707Bh	8
中断请求寄存器 124	IR124	00h	0008 707Ch	8
中断请求寄存器 125	IR125	00h	0008 707Dh	8
中断请求寄存器 126	IR126	00h	0008 707Eh	8
中断请求寄存器 127	IR127	00h	0008 707Fh	8
中断请求寄存器 128	IR128	00h	0008 7080h	8
中断请求寄存器 129	IR129	00h	0008 7081h	8
中断请求寄存器 130	IR130	00h	0008 7082h	8
中断请求寄存器 131	IR131	00h	0008 7083h	8
中断请求寄存器 132	IR132	00h	0008 7084h	8
中断请求寄存器 133	IR133	00h	0008 7085h	8
中断请求寄存器 134	IR134	00h	0008 7086h	8
中断请求寄存器 135	IR135	00h	0008 7087h	8
中断请求寄存器 136	IR136	00h	0008 7088h	8
中断请求寄存器 137	IR137	00h	0008 7089h	8
中断请求寄存器 138	IR138	00h	0008 708Ah	8
中断请求寄存器 139	IR139	00h	0008 708Bh	8
中断请求寄存器 140	IR140	00h	0008 708Ch	8
中断请求寄存器 141	IR141	00h	0008 708Dh	8

表 11.3 中断控制器的寄存器一览表 (3 / 10)

寄存器名	符号	复位后的值	地址	存取长度
中断请求寄存器 142	IR142	00h	0008 708Eh	8
中断请求寄存器 143	IR143	00h	0008 708Fh	8
中断请求寄存器 144	IR144	00h	0008 7090h	8
中断请求寄存器 145	IR145	00h	0008 7091h	8
中断请求寄存器 146	IR146	00h	0008 7092h	8
中断请求寄存器 147	IR147	00h	0008 7093h	8
中断请求寄存器 148	IR148	00h	0008 7094h	8
中断请求寄存器 149	IR149	00h	0008 7095h	8
中断请求寄存器 150	IR150	00h	0008 7096h	8
中断请求寄存器 151	IR151	00h	0008 7097h	8
中断请求寄存器 152	IR152	00h	0008 7098h	8
中断请求寄存器 153	IR153	00h	0008 7099h	8
中断请求寄存器 154	IR154	00h	0008 709Ah	8
中断请求寄存器 155	IR155	00h	0008 709Bh	8
中断请求寄存器 156	IR156	00h	0008 709Ch	8
中断请求寄存器 157	IR157	00h	0008 709Dh	8
中断请求寄存器 158	IR158	00h	0008 709Eh	8
中断请求寄存器 159	IR159	00h	0008 709Fh	8
中断请求寄存器 160	IR160	00h	0008 70A0h	8
中断请求寄存器 161	IR161	00h	0008 70A1h	8
中断请求寄存器 162	IR162	00h	0008 70A2h	8
中断请求寄存器 163	IR163	00h	0008 70A3h	8
中断请求寄存器 164	IR164	00h	0008 70A4h	8
中断请求寄存器 165	IR165	00h	0008 70A5h	8
中断请求寄存器 166	IR166	00h	0008 70A6h	8
中断请求寄存器 167	IR167	00h	0008 70A7h	8
中断请求寄存器 168	IR168	00h	0008 70A8h	8
中断请求寄存器 169	IR169	00h	0008 70A9h	8
中断请求寄存器 170	IR170	00h	0008 70AAh	8
中断请求寄存器 171	IR171	00h	0008 70ABh	8
中断请求寄存器 172	IR172	00h	0008 70ACh	8
中断请求寄存器 173	IR173	00h	0008 70ADh	8
中断请求寄存器 174	IR174	00h	0008 70AEh	8
中断请求寄存器 175	IR175	00h	0008 70AFh	8
中断请求寄存器 176	IR176	00h	0008 70B0h	8
中断请求寄存器 177	IR177	00h	0008 70B1h	8
中断请求寄存器 178	IR178	00h	0008 70B2h	8
中断请求寄存器 179	IR179	00h	0008 70B3h	8
中断请求寄存器 180	IR180	00h	0008 70B4h	8
中断请求寄存器 181	IR181	00h	0008 70B5h	8
中断请求寄存器 182	IR182	00h	0008 70B6h	8
中断请求寄存器 183	IR183	00h	0008 70B7h	8

表 11.3 中断控制器的寄存器一览表 (4 / 10)

寄存器名	符号	复位后的值	地址	存取长度
中断请求寄存器 184	IR184	00h	0008 70B8h	8
中断请求寄存器 185	IR185	00h	0008 70B9h	8
中断请求寄存器 198	IR198	00h	0008 70C6h	8
中断请求寄存器 199	IR199	00h	0008 70C7h	8
中断请求寄存器 200	IR200	00h	0008 70C8h	8
中断请求寄存器 201	IR201	00h	0008 70C9h	8
中断请求寄存器 202	IR202	00h	0008 70CAh	8
中断请求寄存器 203	IR203	00h	0008 70CBh	8
中断请求寄存器 214	IR214	00h	0008 70D6h	8
中断请求寄存器 215	IR215	00h	0008 70D7h	8
中断请求寄存器 216	IR216	00h	0008 70D8h	8
中断请求寄存器 217	IR217	00h	0008 70D9h	8
中断请求寄存器 218	IR218	00h	0008 70DAh	8
中断请求寄存器 219	IR219	00h	0008 70DBh	8
中断请求寄存器 220	IR220	00h	0008 70DCh	8
中断请求寄存器 221	IR221	00h	0008 70DDh	8
中断请求寄存器 222	IR222	00h	0008 70DEh	8
中断请求寄存器 223	IR223	00h	0008 70DFh	8
中断请求寄存器 224	IR224	00h	0008 70E0h	8
中断请求寄存器 226	IR226	00h	0008 70E2h	8
中断请求寄存器 227	IR227	00h	0008 70E3h	8
中断请求寄存器 228	IR228	00h	0008 70E4h	8
中断请求寄存器 229	IR229	00h	0008 70E5h	8
中断请求寄存器 234	IR234	00h	0008 70EAh	8
中断请求寄存器 235	IR235	00h	0008 70EBh	8
中断请求寄存器 236	IR236	00h	0008 70ECh	8
中断请求寄存器 237	IR237	00h	0008 70EDh	8
中断请求寄存器 238	IR238	00h	0008 70EEh	8
中断请求寄存器 239	IR239	00h	0008 70EFh	8
中断请求寄存器 240	IR240	00h	0008 70F0h	8
中断请求寄存器 241	IR241	00h	0008 70F1h	8
中断请求寄存器 246	IR246	00h	0008 70F6h	8
中断请求寄存器 247	IR247	00h	0008 70F7h	8
中断请求寄存器 248	IR248	00h	0008 70F8h	8
中断请求寄存器 249	IR249	00h	0008 70F9h	8
中断请求寄存器 250	IR250	00h	0008 70FAh	8
中断请求寄存器 251	IR251	00h	0008 70FBh	8
中断请求寄存器 252	IR252	00h	0008 70FCh	8
中断请求寄存器 253	IR253	00h	0008 70FDh	8
DTC 启动允许寄存器 027	DTCER027	00h	0008 711Bh	8
DTC 启动允许寄存器 028	DTCER028	00h	0008 711Ch	8
DTC 启动允许寄存器 029	DTCER029	00h	0008 711Dh	8

表 11.3 中断控制器的寄存器一览表 (5 / 10)

寄存器名	符号	复位后的值	地址	存取长度
DTC 启动允许寄存器 030	DTCER030	00h	0008 711Eh	8
DTC 启动允许寄存器 031	DTCER031	00h	0008 711Fh	8
DTC 启动允许寄存器 036	DTCER036	00h	0008 7124h	8
DTC 启动允许寄存器 037	DTCER037	00h	0008 7125h	8
DTC 启动允许寄存器 040	DTCER040	00h	0008 7128h	8
DTC 启动允许寄存器 041	DTCER041	00h	0008 7129h	8
DTC 启动允许寄存器 045	DTCER045	00h	0008 712Dh	8
DTC 启动允许寄存器 046	DTCER046	00h	0008 712Eh	8
DTC 启动允许寄存器 049	DTCER049	00h	0008 7131h	8
DTC 启动允许寄存器 050	DTCER050	00h	0008 7132h	8
DTC 启动允许寄存器 064	DTCER064	00h	0008 7140h	8
DTC 启动允许寄存器 065	DTCER065	00h	0008 7141h	8
DTC 启动允许寄存器 066	DTCER066	00h	0008 7142h	8
DTC 启动允许寄存器 067	DTCER067	00h	0008 7143h	8
DTC 启动允许寄存器 068	DTCER068	00h	0008 7144h	8
DTC 启动允许寄存器 069	DTCER069	00h	0008 7145h	8
DTC 启动允许寄存器 070	DTCER070	00h	0008 7146h	8
DTC 启动允许寄存器 071	DTCER071	00h	0008 7147h	8
DTC 启动允许寄存器 072	DTCER072	00h	0008 7148h	8
DTC 启动允许寄存器 073	DTCER073	00h	0008 7149h	8
DTC 启动允许寄存器 074	DTCER074	00h	0008 714Ah	8
DTC 启动允许寄存器 075	DTCER075	00h	0008 714Bh	8
DTC 启动允许寄存器 076	DTCER076	00h	0008 714Ch	8
DTC 启动允许寄存器 077	DTCER077	00h	0008 714Dh	8
DTC 启动允许寄存器 078	DTCER078	00h	0008 714Eh	8
DTC 启动允许寄存器 079	DTCER079	00h	0008 714Fh	8
DTC 启动允许寄存器 098	DTCER098	00h	0008 7162h	8
DTC 启动允许寄存器 099	DTCER099	00h	0008 7163h	8
DTC 启动允许寄存器 102	DTCER102	00h	0008 7166h	8
DTC 启动允许寄存器 114	DTCER114	00h	0008 7172h	8
DTC 启动允许寄存器 115	DTCER115	00h	0008 7173h	8
DTC 启动允许寄存器 116	DTCER116	00h	0008 7174h	8
DTC 启动允许寄存器 117	DTCER117	00h	0008 7175h	8
DTC 启动允许寄存器 121	DTCER121	00h	0008 7179h	8
DTC 启动允许寄存器 122	DTCER122	00h	0008 717Ah	8
DTC 启动允许寄存器 125	DTCER125	00h	0008 717Dh	8
DTC 启动允许寄存器 126	DTCER126	00h	0008 717Eh	8
DTC 启动允许寄存器 129	DTCER129	00h	0008 7181h	8
DTC 启动允许寄存器 130	DTCER130	00h	0008 7182h	8
DTC 启动允许寄存器 131	DTCER131	00h	0008 7183h	8
DTC 启动允许寄存器 132	DTCER132	00h	0008 7184h	8
DTC 启动允许寄存器 134	DTCER134	00h	0008 7186h	8

表 11.3 中断控制器的寄存器一览表 (6 / 10)

寄存器名	符号	复位后的值	地址	存取长度
DTC 启动允许寄存器 135	DTCER135	00h	0008 7187h	8
DTC 启动允许寄存器 136	DTCER136	00h	0008 7188h	8
DTC 启动允许寄存器 137	DTCER137	00h	0008 7189h	8
DTC 启动允许寄存器 138	DTCER138	00h	0008 718Ah	8
DTC 启动允许寄存器 139	DTCER139	00h	0008 718Bh	8
DTC 启动允许寄存器 140	DTCER140	00h	0008 718Ch	8
DTC 启动允许寄存器 141	DTCER141	00h	0008 718Dh	8
DTC 启动允许寄存器 142	DTCER142	00h	0008 718Eh	8
DTC 启动允许寄存器 143	DTCER143	00h	0008 718Fh	8
DTC 启动允许寄存器 144	DTCER144	00h	0008 7190h	8
DTC 启动允许寄存器 145	DTCER145	00h	0008 7191h	8
DTC 启动允许寄存器 149	DTCER149	00h	0008 7195h	8
DTC 启动允许寄存器 150	DTCER150	00h	0008 7196h	8
DTC 启动允许寄存器 153	DTCER153	00h	0008 7199h	8
DTC 启动允许寄存器 154	DTCER154	00h	0008 719Ah	8
DTC 启动允许寄存器 157	DTCER157	00h	0008 719Dh	8
DTC 启动允许寄存器 158	DTCER158	00h	0008 719Eh	8
DTC 启动允许寄存器 159	DTCER159	00h	0008 719Fh	8
DTC 启动允许寄存器 160	DTCER160	00h	0008 71A0h	8
DTC 启动允许寄存器 162	DTCER162	00h	0008 71A2h	8
DTC 启动允许寄存器 163	DTCER163	00h	0008 71A3h	8
DTC 启动允许寄存器 164	DTCER164	00h	0008 71A4h	8
DTC 启动允许寄存器 165	DTCER165	00h	0008 71A5h	8
DTC 启动允许寄存器 166	DTCER166	00h	0008 71A6h	8
DTC 启动允许寄存器 167	DTCER167	00h	0008 71A7h	8
DTC 启动允许寄存器 168	DTCER168	00h	0008 71A8h	8
DTC 启动允许寄存器 169	DTCER169	00h	0008 71A9h	8
DTC 启动允许寄存器 174	DTCER174	00h	0008 71AEh	8
DTC 启动允许寄存器 175	DTCER175	00h	0008 71AFh	8
DTC 启动允许寄存器 177	DTCER177	00h	0008 71B1h	8
DTC 启动允许寄存器 178	DTCER178	00h	0008 71B2h	8
DTC 启动允许寄存器 180	DTCER180	00h	0008 71B4h	8
DTC 启动允许寄存器 181	DTCER181	00h	0008 71B5h	8
DTC 启动允许寄存器 183	DTCER183	00h	0008 71B7h	8
DTC 启动允许寄存器 184	DTCER184	00h	0008 71B8h	8
DTC 启动允许寄存器 198	DTCER198	00h	0008 71C6h	8
DTC 启动允许寄存器 199	DTCER199	00h	0008 71C7h	8
DTC 启动允许寄存器 200	DTCER200	00h	0008 71C8h	8
DTC 启动允许寄存器 201	DTCER201	00h	0008 71C9h	8
DTC 启动允许寄存器 202	DTCER202	00h	0008 71CAh	8
DTC 启动允许寄存器 203	DTCER203	00h	0008 71CBh	8
DTC 启动允许寄存器 215	DTCER215	00h	0008 71D7h	8

表 11.3 中断控制器的寄存器一览表 (7 / 10)

寄存器名	符号	复位后的值	地址	存取长度
DTC 启动允许寄存器 216	DTCER216	00h	0008 71D8h	8
DTC 启动允许寄存器 219	DTCER219	00h	0008 71DBh	8
DTC 启动允许寄存器 220	DTCER220	00h	0008 71DCCh	8
DTC 启动允许寄存器 223	DTCER223	00h	0008 71DFh	8
DTC 启动允许寄存器 224	DTCER224	00h	0008 71E0h	8
DTC 启动允许寄存器 227	DTCER227	00h	0008 71E3h	8
DTC 启动允许寄存器 228	DTCER228	00h	0008 71E4h	8
DTC 启动允许寄存器 235	DTCER235	00h	0008 71EBh	8
DTC 启动允许寄存器 236	DTCER236	00h	0008 71ECh	8
DTC 启动允许寄存器 239	DTCER239	00h	0008 71EFh	8
DTC 启动允许寄存器 240	DTCER240	00h	0008 71F0h	8
DTC 启动允许寄存器 247	DTCER247	00h	0008 71F7h	8
DTC 启动允许寄存器 248	DTCER248	00h	0008 71F8h	8
DTC 启动允许寄存器 251	DTCER251	00h	0008 71FBh	8
DTC 启动允许寄存器 252	DTCER252	00h	0008 71FCh	8
中断请求允许寄存器 02	IER02	00h	0008 7202h	8
中断请求允许寄存器 03	IER03	00h	0008 7203h	8
中断请求允许寄存器 04	IER04	00h	0008 7204h	8
中断请求允许寄存器 05	IER05	00h	0008 7205h	8
中断请求允许寄存器 06	IER06	00h	0008 7206h	8
中断请求允许寄存器 07	IER07	00h	0008 7207h	8
中断请求允许寄存器 08	IER08	00h	0008 7208h	8
中断请求允许寄存器 09	IER09	00h	0008 7209h	8
中断请求允许寄存器 0B	IER0B	00h	0008 720Bh	8
中断请求允许寄存器 0C	IER0C	00h	0008 720Ch	8
中断请求允许寄存器 0E	IER0E	00h	0008 720Eh	8
中断请求允许寄存器 0F	IER0F	00h	0008 720Fh	8
中断请求允许寄存器 10	IER10	00h	0008 7210h	8
中断请求允许寄存器 11	IER11	00h	0008 7211h	8
中断请求允许寄存器 12	IER12	00h	0008 7212h	8
中断请求允许寄存器 13	IER13	00h	0008 7213h	8
中断请求允许寄存器 14	IER14	00h	0008 7214h	8
中断请求允许寄存器 15	IER15	00h	0008 7215h	8
中断请求允许寄存器 16	IER16	00h	0008 7216h	8
中断请求允许寄存器 17	IER17	00h	0008 7217h	8
中断请求允许寄存器 18	IER18	00h	0008 7218h	8
中断请求允许寄存器 19	IER19	00h	0008 7219h	8
中断请求允许寄存器 1A	IER1A	00h	0008 721Ah	8
中断请求允许寄存器 1B	IER1B	00h	0008 721Bh	8
中断请求允许寄存器 1C	IER1C	00h	0008 721Ch	8
中断请求允许寄存器 1D	IER1D	00h	0008 721Dh	8
中断请求允许寄存器 1E	IER1E	00h	0008 721Eh	8

表 11.3 中断控制器的寄存器一览表 (8 / 10)

寄存器名	符号	复位后的值	地址	存取长度
中断请求允许寄存器 1F	IER1F	00h	0008 721Fh	8
软件中断启动寄存器	SWINTR	00h	0008 72E0h	8
高速中断设定寄存器	FIR	0000h	0008 72F0h	16
中断源优先级寄存器 00	IPR00	00h	0008 7300h	8
中断源优先级寄存器 01	IPR01	00h	0008 7301h	8
中断源优先级寄存器 02	IPR02	00h	0008 7302h	8
中断源优先级寄存器 03	IPR03	00h	0008 7303h	8
中断源优先级寄存器 04	IPR04	00h	0008 7304h	8
中断源优先级寄存器 05	IPR05	00h	0008 7305h	8
中断源优先级寄存器 06	IPR06	00h	0008 7306h	8
中断源优先级寄存器 07	IPR07	00h	0008 7307h	8
中断源优先级寄存器 08	IPR08	00h	0008 7308h	8
中断源优先级寄存器 0C	IPR0C	00h	0008 730Ch	8
中断源优先级寄存器 0D	IPR0D	00h	0008 730Dh	8
中断源优先级寄存器 0E	IPR0E	00h	0008 730Eh	8
中断源优先级寄存器 10	IPR10	00h	0008 7310h	8
中断源优先级寄存器 11	IPR11	00h	0008 7311h	8
中断源优先级寄存器 12	IPR12	00h	0008 7312h	8
中断源优先级寄存器 14	IPR14	00h	0008 7314h	8
中断源优先级寄存器 15	IPR15	00h	0008 7315h	8
中断源优先级寄存器 18	IPR18	00h	0008 7318h	8
中断源优先级寄存器 1E	IPR1E	00h	0008 731Eh	8
中断源优先级寄存器 1F	IPR1F	00h	0008 731Fh	8
中断源优先级寄存器 20	IPR20	00h	0008 7320h	8
中断源优先级寄存器 21	IPR21	00h	0008 7321h	8
中断源优先级寄存器 22	IPR22	00h	0008 7322h	8
中断源优先级寄存器 23	IPR23	00h	0008 7323h	8
中断源优先级寄存器 24	IPR24	00h	0008 7324h	8
中断源优先级寄存器 25	IPR25	00h	0008 7325h	8
中断源优先级寄存器 26	IPR26	00h	0008 7326h	8
中断源优先级寄存器 27	IPR27	00h	0008 7327h	8
中断源优先级寄存器 28	IPR28	00h	0008 7328h	8
中断源优先级寄存器 29	IPR29	00h	0008 7329h	8
中断源优先级寄存器 2A	IPR2A	00h	0008 732Ah	8
中断源优先级寄存器 2B	IPR2B	00h	0008 732Bh	8
中断源优先级寄存器 2C	IPR2C	00h	0008 732Ch	8
中断源优先级寄存器 2D	IPR2D	00h	0008 732Dh	8
中断源优先级寄存器 2E	IPR2E	00h	0008 732Eh	8
中断源优先级寄存器 2F	IPR2F	00h	0008 732Fh	8
中断源优先级寄存器 3A	IPR3A	00h	0008 733Ah	8
中断源优先级寄存器 3B	IPR3B	00h	0008 733Bh	8
中断源优先级寄存器 3C	IPR3C	00h	0008 733Ch	8

表 11.3 中断控制器的寄存器一览表 (9 / 10)

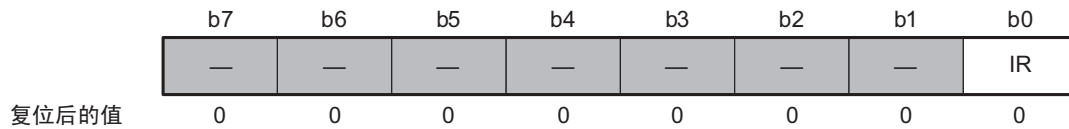
寄存器名	符号	复位后的值	地址	存取长度
中断源优先级寄存器 40	IPR40	00h	0008 7340h	8
中断源优先级寄存器 44	IPR44	00h	0008 7344h	8
中断源优先级寄存器 45	IPR45	00h	0008 7345h	8
中断源优先级寄存器 48	IPR48	00h	0008 7348h	8
中断源优先级寄存器 51	IPR51	00h	0008 7351h	8
中断源优先级寄存器 52	IPR52	00h	0008 7352h	8
中断源优先级寄存器 53	IPR53	00h	0008 7353h	8
中断源优先级寄存器 54	IPR54	00h	0008 7354h	8
中断源优先级寄存器 55	IPR55	00h	0008 7355h	8
中断源优先级寄存器 56	IPR56	00h	0008 7356h	8
中断源优先级寄存器 57	IPR57	00h	0008 7357h	8
中断源优先级寄存器 58	IPR58	00h	0008 7358h	8
中断源优先级寄存器 59	IPR59	00h	0008 7359h	8
中断源优先级寄存器 5A	IPR5A	00h	0008 735Ah	8
中断源优先级寄存器 5B	IPR5B	00h	0008 735Bh	8
中断源优先级寄存器 5C	IPR5C	00h	0008 735Ch	8
中断源优先级寄存器 5D	IPR5D	00h	0008 735Dh	8
中断源优先级寄存器 5E	IPR5E	00h	0008 735Eh	8
中断源优先级寄存器 5F	IPR5F	00h	0008 735Fh	8
中断源优先级寄存器 60	IPR60	00h	0008 7360h	8
中断源优先级寄存器 61	IPR61	00h	0008 7361h	8
中断源优先级寄存器 62	IPR62	00h	0008 7362h	8
中断源优先级寄存器 63	IPR63	00h	0008 7363h	8
中断源优先级寄存器 64	IPR64	00h	0008 7364h	8
中断源优先级寄存器 65	IPR65	00h	0008 7365h	8
中断源优先级寄存器 66	IPR66	00h	0008 7366h	8
中断源优先级寄存器 67	IPR67	00h	0008 7367h	8
中断源优先级寄存器 68	IPR68	00h	0008 7368h	8
中断源优先级寄存器 69	IPR69	00h	0008 7369h	8
中断源优先级寄存器 6A	IPR6A	00h	0008 736Ah	8
中断源优先级寄存器 6B	IPR6B	00h	0008 736Bh	8
中断源优先级寄存器 70	IPR70	00h	0008 7370h	8
中断源优先级寄存器 71	IPR71	00h	0008 7371h	8
中断源优先级寄存器 72	IPR72	00h	0008 7372h	8
中断源优先级寄存器 73	IPR73	00h	0008 7373h	8
中断源优先级寄存器 74	IPR74	00h	0008 7374h	8
中断源优先级寄存器 75	IPR75	00h	0008 7375h	8
中断源优先级寄存器 80	IPR80	00h	0008 7380h	8
中断源优先级寄存器 81	IPR81	00h	0008 7381h	8
中断源优先级寄存器 82	IPR82	00h	0008 7382h	8
中断源优先级寄存器 83	IPR83	00h	0008 7383h	8
中断源优先级寄存器 85	IPR85	00h	0008 7385h	8

表 11.3 中断控制器的寄存器一览表 (10 / 10)

寄存器名	符号	复位后的值	地址	存取长度
中断源优先级寄存器 86	IPR86	00h	0008 7386h	8
中断源优先级寄存器 88	IPR88	00h	0008 7388h	8
中断源优先级寄存器 89	IPR89	00h	0008 7389h	8
中断源优先级寄存器 8A	IPR8A	00h	0008 738Ah	8
中断源优先级寄存器 8B	IPR8B	00h	0008 738Bh	8
中断源优先级寄存器 8C	IPR8C	00h	0008 738Ch	8
中断源优先级寄存器 8D	IPR8D	00h	0008 738Dh	8
中断源优先级寄存器 8E	IPR8E	00h	0008 738Eh	8
中断源优先级寄存器 8F	IPR8F	00h	0008 738Fh	8
DMACA 启动源选择寄存器 0	DMRSR0	00h	0008 7400h	8
DMACA 启动源选择寄存器 1	DMRSR1	00h	0008 7404h	8
DMACA 启动源选择寄存器 2	DMRSR2	00h	0008 7408h	8
DMACA 启动源选择寄存器 3	DMRSR3	00h	0008 740Ch	8
IRQ 控制寄存器 0	IRQCR0	00h	0008 7500h	8
IRQ 控制寄存器 1	IRQCR1	00h	0008 7501h	8
IRQ 控制寄存器 2	IRQCR2	00h	0008 7502h	8
IRQ 控制寄存器 3	IRQCR3	00h	0008 7503h	8
IRQ 控制寄存器 4	IRQCR4	00h	0008 7504h	8
IRQ 控制寄存器 5	IRQCR5	00h	0008 7505h	8
IRQ 控制寄存器 6	IRQCR6	00h	0008 7506h	8
IRQ 控制寄存器 7	IRQCR7	00h	0008 7507h	8
IRQ 控制寄存器 8	IRQCR8	00h	0008 7508h	8
IRQ 控制寄存器 9	IRQCR9	00h	0008 7509h	8
IRQ 控制寄存器 10	IRQCR10	00h	0008 750Ah	8
IRQ 控制寄存器 11	IRQCR11	00h	0008 750Bh	8
IRQ 控制寄存器 12	IRQCR12	00h	0008 750Ch	8
IRQ 控制寄存器 13	IRQCR13	00h	0008 750Dh	8
IRQ 控制寄存器 14	IRQCR14	00h	0008 750Eh	8
IRQ 控制寄存器 15	IRQCR15	00h	0008 750Fh	8
非屏蔽中断状态寄存器	NMISR	00h	0008 7580h	8
非屏蔽中断允许寄存器	NMIER	00h	0008 7581h	8
非屏蔽中断清除寄存器	NMICLR	00h	0008 7582h	8
NMI 引脚中断控制寄存器	NMICR	00h	0008 7583h	8

11.2.1 中断请求寄存器 i (IRi) (i= 中断向量号)

地址 0008 7010h~0008 70FDh



位	符号	位名	功能	R/W
b0	IR	中断状态标志	0: 无中断请求 1: 有中断请求	R/(W) (注1)
b7-b1	—	保留位	读写值都为“0”。	R/W

注1. 在边沿检测源的情况下, 要清除标志时, 可以写“0”。只能在“11.7 使用时的注意事项”的条件下写“1”。
在电平检测源的情况下, 不能写此位。

IRi 寄存器是中断请求的状态寄存器。

各中断源都有 IRi 寄存器, i 对应中断向量号。

有关中断源和中断向量号的对应, 请参照“表 11.4 中断向量表”。

IR 标志 (中断状态标志)

这是中断请求的状态标志。如果发生中断请求, 此标志就变为“1”。为了检测中断请求, 需要通过外围模块的中断允许位允许中断请求的输出。

中断请求的检测方法有边沿检测和电平检测两种。对于外围模块中断, 给各中断源规定了边沿检测或者电平检测。对于 IRQn 引脚中断, 能通过设定 IRQCRn.IRQMD[1:0] 位 (n=0~15), 转换边沿检测和电平检测。有关各中断源的检测方法, 请参照“表 11.4 中断向量表”。

(1) 边沿检测的情况

[为“1”的条件]

- 如果产生外围模块中断请求或者 IRQn 引脚中断请求, 此标志就变为“1”。有关各外围模块中断请求的产生, 请参照各外围模块的章节。
- 禁止给 IR 标志写“1”, 只能在“11.7 使用时的注意事项”的条件下写“1”。

[为“0”的条件]

- 如果中断请求目标接受中断请求, 此标志就变为“0”。
- 如果给 IR 标志写“0”, 此标志就变为“0”。但是, 在将中断请求目标设定为 DTC 或者 DMACA 时, 禁止给 IR 标志写“0”。

(2) 电平检测的情况

[为“1”的条件]

- 在产生外围模块中断请求或者 IRQn 引脚中断请求的期间, 此标志总是为“1”。有关各外围模块中断请求的产生, 请参照各外围模块的章节。

[为“0”的条件]

- 如果清除中断请求的输出源, 此标志就变为“0” (即使中断请求目标接受中断请求, 此标志也不变为“0”)。有关各外围模块中断请求的清除, 请参照各外围模块的章节。

在通过电平检测使用 IRQn 引脚的情况下, 要取消中断时, 必须将 IRQn 引脚置为 High 电平。

在电平检测的情况下, 禁止给 IR 标志写“0”和“1”。

11.2.2 中断请求允许寄存器 m (IERm) (m=02h ~ 1Fh)

地址 0008 7202h~0008 721Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	IEN0	中断请求允许位 0	0: 禁止中断请求 1: 允许中断请求	R/W
b1	IEN1	中断请求允许位 1		R/W
b2	IEN2	中断请求允许位 2		R/W
b3	IEN3	中断请求允许位 3		R/W
b4	IEN4	中断请求允许位 4		R/W
b5	IEN5	中断请求允许位 5		R/W
b6	IEN6	中断请求允许位 6		R/W
b7	IEN7	中断请求允许位 7		R/W

注. 被保留的向量号的对应位的读写值都为“0”。

IERm 寄存器设定允许或者禁止向 CPU 请求中断以及设定允许或者禁止 DMACA/DTC 的启动请求。

IENj 位 (中断请求允许位) (j=7 ~ 0)

当 IENj 位为“1”时, 将中断请求输出到中断请求目标。

当 IENj 位为“0”时, 不将中断请求输出到中断请求目标。

IRi.IR 标志不受 IENj 位的影响。即使 IENj 位为“0”, 在“11.2.1 中断请求寄存器 i (IRi) (i= 中断向量号)”所示的条件下, IR 标志也会发生变化。

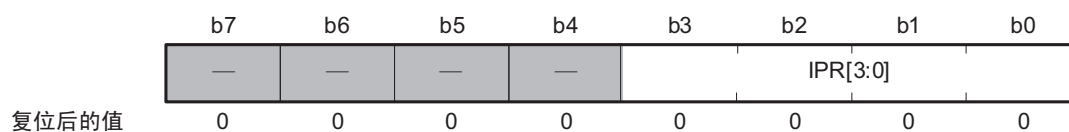
各中断源 (向量号) 都有 IERm.IENj 位。

中断源和 IERm.IENj 位的对应请参照“表 11.4 中断向量表”。

有关选择中断请求目标时的 IERi.IENj 位的设定步骤, 请参照“11.4.3 中断请求目标的选择”。

11.2.3 中断源优先级寄存器 m (IPRm) (m=00h ~ 8Fh)

地址 0008 7300h~0008 738Fh



位	符号	位名	功能	R/W
b3-b0	IPR[3:0]	中断优先级设定位	b3 b0 0 0 0 0: 0 级 (禁止中断) 0 0 0 1: 1 级 0 0 1 0: 2 级 : 1 1 1 1: 15 级 (最高)	R/W
b7-b4	—	保留位	读写值都为“0”。	R/W

IPRm 寄存器是设定中断源优先级的寄存器。

各中断组都有 IPRm 寄存器，m 为 00h ~ 8Fh 的连号。

中断源和中断组的对应请参照“表 11.4 中断向量表”。

IPR[3:0] 位 (中断优先级设定位)

这些位是选择对应的中断源优先级的位。

由 IPR[3:0] 位选择的优先级只在判断向 CPU 请求中断的优先级时被参照，不影响 DTC 和 DMACA 的传送请求。

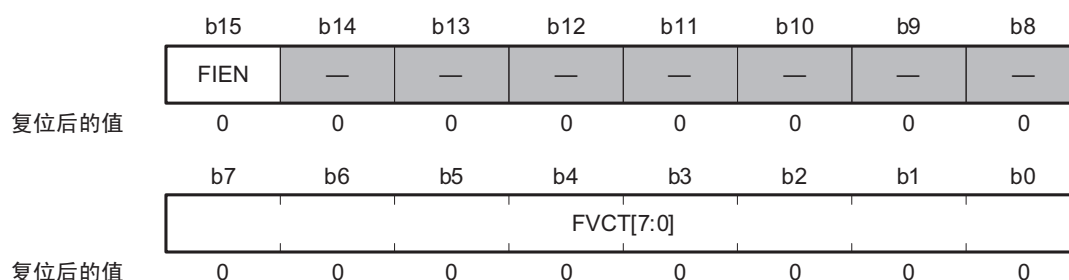
CPU 只接受优先级高于 PSW.IPL[3:0] 位所示优先级的中断请求并且进行中断处理。

如果同时产生多个中断请求，就通过 IPR[3:0] 位的设定值进行优先级的比较。如果同时产生相同优先级的中断请求，就优先接受向量号小的中断源。

必须在禁止 (IERm.IENj 位 =0) 中断请求的状态下写这些位。

11.2.4 高速中断设定寄存器 (FIR)

地址 0008 72F0h



位	符号	位名	功能	R/W
b7-b0	FVCT[7:0]	高速中断向量设定位	指定要设定为高速中断的中断向量号。	R/W
b14-b8	—	保留位	读写值都为“0”。	R/W
b15	FIEN	高速中断允许位	0: 禁止高速中断 1: 允许高速中断	R/W

FIR 寄存器是设定高速中断功能的寄存器。

通过设定 FIR 寄存器实现的高速化功能只对 CPU 的中断请求有效，不影响 DTC 和 DMACA 的传送请求。必须在禁止中断请求 (IERm.IENj 位 =0) 的状态下写此寄存器。

FVCT[7:0] 位 (高速中断向量设定位)

这些位指定要使用高速中断功能的中断向量号。

FIEN 位 (高速中断允许位)

此位是允许高速中断的位。

如果将 FIEN 位置“1”，FVCT[7:0] 位设定的向量号的中断就变为高速中断。

当 FIEN 位为“1”时，如果中断请求目标为 CPU 并且产生 FVCT[7:0] 位指定的向量号的中断请求，就作为高速中断向 CPU 输出中断请求，与 IPRm 寄存器的设定无关。有关将高速中断用于从软件待机模式的返回，请参照“11.6.3 从软件待机模式的返回”。

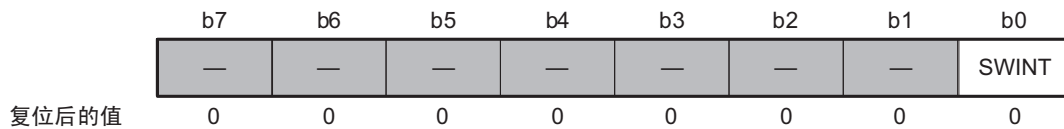
对于通过 IERm.IENj 位 (m=02h ~ 1Fh, j=7 ~ 0) 禁止中断请求的中断源，不将中断请求输出到 CPU。能设定的向量号请参照“表 11.4 中断向量表”。

FVCT[7:0] 位不能指定被保留的向量号。

高速中断的详细内容请参照“10. 异常处理”和“11.4.5 高速中断”。

11.2.5 软件中断启动寄存器 (SWINTR)

地址 0008 72E0h



位	符号	位名	功能	R/W
b0	SWINT	软件中断启动位	读取值为“0”。 通过写“1”，发行软件中断请求。 写“0”无效。	R/(W) (注)
b7-b1	—	保留位	读写值都为“0”。	R/W

注. 只能写“1”，读取值为“0”。

SWINTR 寄存器是产生软件中断请求的寄存器。

SWINT 位 (软件中断启动位)

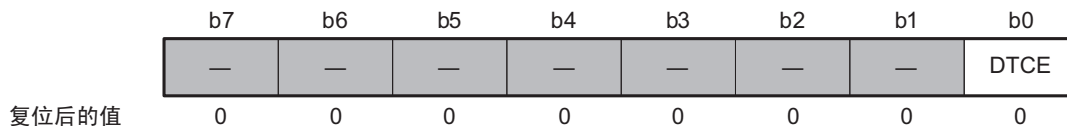
如果给 SWINT 位写“1”，中断请求寄存器 27 (IR27) 就变为“1”。

如果在将 DTC 启动允许寄存器 27 (DTCER27) 置“0”后给 SWINT 位写“1”，就向 CPU 请求中断。

如果在将 DTC 启动允许寄存器 27 (DTCER27) 置“1”后给 SWINT 位写“1”，就发行 DTC 启动请求。

11.2.6 DTC 启动允许寄存器 n (DTCERn) (n= 中断向量号)

地址 0008 711Bh~0008 71FCh



位	符号	位名	功能	R/W
b0	DTCE	DTC 启动允许位	0: 禁止启动 DTC 1: 允许启动 DTC	R/W
b7-b1	—	保留位	读写值都为“0”。	R/W

DTCERn 寄存器是选择要启动 DTC 的中断源的寄存器。

对于和 DMACA 启动请求选择的中断源相同的中断源，禁止设定为允许启动 DTC。

DTCE 位 (DTC 启动允许位)

如果将 DTCE 位置“1”，就选择对应的中断源作为 DTC 启动源。

[为“1”的条件]

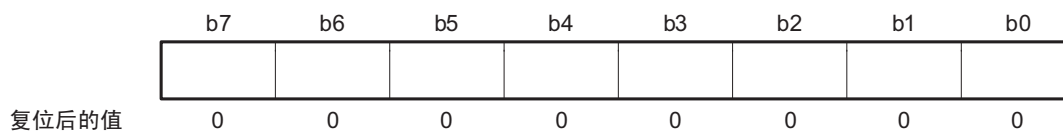
- 给 DTCE 位写“1”时

[为“0”的条件]

- 指定次数的数据传送结束时 (在链传送的情况下，当最后链传送的指定次数的数据传送结束时)
- 给 DTCE 位写“0”时

11.2.7 DMACA 启动源选择寄存器 n (DMRSRn) (n=DMACA 通道号)

地址 DMRSR0 0008 7400h、DMRSR1 0008 7404h
DMRSR2 0008 7408h、DMRSR3 0008 740Ch



位	符号	位名	功能	R/W
b7-b0	DMRS[7:0]	DMACA 启动请求选择位	设定 DMACA 的启动请求向量号。	R/W

DMRSRn 寄存器是选择要启动 DMACA 的中断源的寄存器。

禁止给多个 DMRSRn 设定相同的中断源。对于和 DMRSRn 设定的中断源相同的中断源，禁止设定为允许启动 DTC。如果违反这些禁止事项，就无法保证运行。

DMRS[7:0] 位 (DMACA 启动请求选择位)

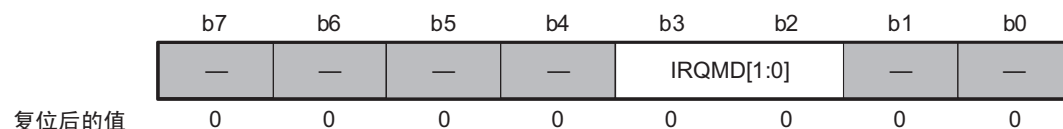
用 8 位指定启动 DMACA 的中断源的向量号。不能对未分配为 DMACA 启动源的向量号进行设定。

中断源的向量号请参照“表 11.4 中断向量表”。

必须在 DMA 传送允许寄存器的 DMA 传送允许位 (DMACn.DMCNT.DTE) 为“0”时写 DMRSRn 寄存器。

11.2.8 IRQ 控制寄存器 n (IRQCRn) (n=0 ~ 15)

地址 0008 7500h~0008 750Fh



位	符号	位名	功能	R/W
b1-b0	—	保留位	读写值都为“0”。	R/W
b3-b2	IRQMD[1:0]	IRQ 检测设定位	b3 b2 0 0: Low 电平 0 1: 下降沿 1 0: 上升沿 1 1: 双边沿	R/W
b7-b4	—	保留位	读写值都为“0”。	R/W

IRQCRn 寄存器是设定外部中断请求引脚 IRQn (n=0 ~ 15) 的寄存器。

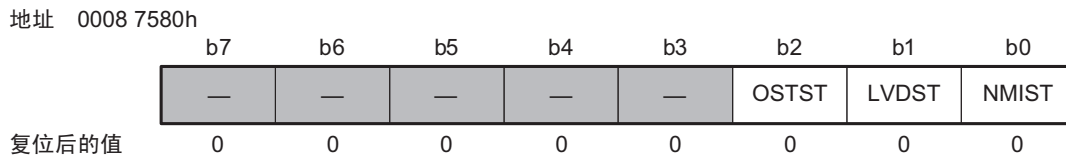
必须在对应的中断请求允许位为禁止中断请求 (IERm.IENj 位为“0”) 的状态下更改此寄存器的设定。在更改寄存器后，必须清除 IR 标志，然后将中断请求允许位设定为允许。但是，更改为 Low 电平时无需清除 IR 标志。

IRQMD[1:0] 位 (IRQ 检测设定位)

这些位设定外部引脚中断源 (IRQ0 ~ IRQ15) 的检测方法。

外部引脚中断的检测方法的设定请参照“11.4.6 外部引脚中断”。

11.2.9 非屏蔽中断状态寄存器 (NMISR)



位	符号	位名	功能	R/W
b0	NMIST	NMI 状态标志	0: 无 NMI 引脚中断请求 1: 有 NMI 引脚中断请求	R
b1	LVDST	电压监视中断状态标志	0: 无电压监视中断请求 1: 有电压监视中断请求	R
b2	OSTST	振荡停止检测中断状态标志	0: 无振荡停止检测中断请求 1: 有振荡停止检测中断请求	R
b7-b3	—	保留位	读取值为“0”，写操作无效。	R

NMISR 寄存器是监视非屏蔽中断源状态的寄存器。忽视对 NMISR 寄存器的写操作。

非屏蔽中断允许寄存器 (NMIER) 的设定不影响这些状态标志。

必须在非屏蔽中断处理程序结束前读 NMISR 寄存器并且确认其他非屏蔽中断的发生状况。必须在确认 NMISR 寄存器的全部位都为“0”后结束处理程序。

NMIST 标志 (NMI 状态标志)

此标志表示 NMI 引脚中断请求。

只能读 NMIST 标志，通过 NMICLR.NMICLR 位清除此标志。

[为“1”的条件]

- 将 NMICR.NMIMD 位设定的边沿输入到 NMI 引脚时

[为“0”的条件]

- 给 NMICLR.NMICLR 位写“1”时

LVDST 标志 (电压监视中断状态标志)

此标志表示电压监视中断请求。

[为“1”的条件]

- 发生电压监视中断时

[为“0”的条件]

- 通过发生源清除中断时

OSTST 标志 (振荡停止检测中断状态标志)

此标志表示振荡停止检测中断请求。

只能读 OSTST 标志，通过 NMICLR.OSTCLR 位清除此标志。

[为“1”的条件]

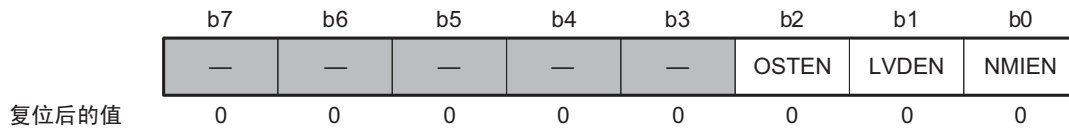
- 发生振荡停止检测中断时

[为“0”的条件]

- 给 NMICLR.OSTCLR 位写“1”时

11.2.10 非屏蔽中断允许寄存器 (NMIER)

地址 0008 7581h



位	符号	位名	功能	R/W
b0	NMIEN	NMI 引脚中断允许位	0: 禁止 NMI 引脚中断 1: 允许 NMI 引脚中断	R/(W) (注)
b1	LVDEN	电压监视中断允许位	0: 禁止电压监视中断 1: 允许电压监视中断	R/(W) (注)
b2	OSTEN	振荡停止检测中断允许位	0: 禁止振荡停止检测中断 1: 允许振荡停止检测中断	R/(W) (注)
b7-b3	—	保留位	读写值都为“0”。	R/W

注. 只能写 1 次“1”，以后的写操作无效。

NMIER 寄存器是允许使用非屏蔽中断的寄存器。

NMIEN 位 (NMI 引脚中断允许位)

此位是允许使用 NMI 引脚中断的位。

只能写 1 次“1”，以后的写操作无效。

不能写“0”。

LVDEN 位 (电压监视中断允许位)

此位是允许使用电压监视中断的位。

只能写 1 次“1”，以后的写操作无效。

不能写“0”。

OSTEN 位 (振荡停止检测中断允许位)

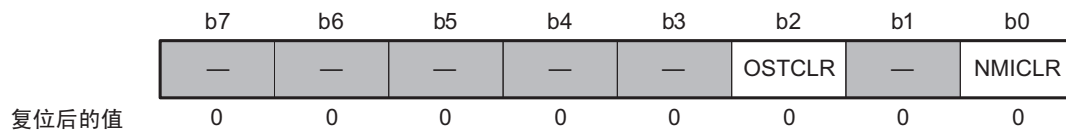
此位是允许使用振荡停止检测中断的位。

只能写 1 次“1”，以后的写操作无效。

不能写“0”。

11.2.11 非屏蔽中断清除寄存器 (NMICLR)

地址 0008 7582h



位	符号	位名	功能	R/W
b0	NMICLR	NMI 清除位	读取值为“0”。如果写“1”，就将 NMISR.NMIST 标志置“0”。写“0”无效。	R/(W) (注1)
b1	—	保留位	读写值都为“0”。	R/W
b2	OSTCLR	OST 清除位	读取值为“0”。如果写“1”，就将 NMISR.OSTST 标志置“0”。写“0”无效。	R/(W) (注2)
b7-b3	—	保留位	读写值都为“0”。	R/W

注 1. 只能在要清除 NMISR.NMIST 标志时写“1”。

注 2. 只能在要清除 NMISR.OSTST 标志时写“1”。

NMICLR 寄存器是清除非屏蔽中断状态寄存器 (NMISR) 的寄存器。

NMICLR 位 (NMI 清除位)

如果写“1”，NMISR.NMIST 标志就变为“0”。

不保持“1”的状态，读取值为“0”。

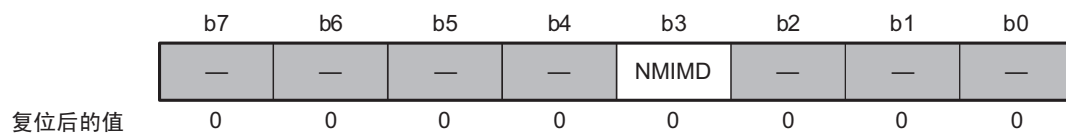
OSTCLR 位 (OST 清除位)

如果写“1”，NMISR.OSTST 标志就变为“0”。

不保持“1”的状态，读取值为“0”。

11.2.12 NMI 引脚中断控制寄存器 (NMICR)

地址 0008 7583h



位	符号	位名	功能	R/W
b2-b0	—	保留位	读写值都为“0”。	R/W
b3	NMIMD	NMI 检测设定位	0: 下降沿 1: 上升沿	R/W
b7-b4	—	保留位	读写值都为“0”。	R/W

NMICR 寄存器是设定 NMI 引脚中断的寄存器。

必须在允许 (将 NMIER.NMIEN 位置“1”) 使用 NMI 引脚中断前更改 NMICR 寄存器的设定。

NMIMD 位 (NMI 检测设定位)

此位设定 NMI 引脚中断的检测方法。

11.3 向量表

通过中断控制器检测的异常有中断和非屏蔽中断。

如果 CPU 接受中断或者非屏蔽中断，就从向量表取 4 字节的向量地址。

11.3.1 中断向量表

中断向量表连续分配在从 CPU 的中断表寄存器 (INTB) 设定地址开始的 1024 字节 (4 字节 × 256 个中断源) 的区域。必须在允许中断前设定 INTB 寄存器，并且给 INTB 寄存器设定 4 的倍数。

中断向量表如表 11.4 所示。Sstb 返回是指从软件 (S/W) 待机模式的返回，Sacs 返回是指从全模块时钟停止模式的返回。

表 11.4 中断向量表 (1 / 6)

优先级	中断请求发生源	名称	向量号	向量地址的偏移	中断源的检测方法	可选择的 中断请求目标			Sstb 返回	Sacs 返回	IER	IPR	
						CPU	DTC	DMA					
↑ 高	—	保留	0	0000h	—	×	×	×	×	×	—	—	
	—	保留	1	0004h	—	×	×	×	×	×	—	—	
	—	保留	2	0008h	—	×	×	×	×	×	—	—	
	—	保留	3	000Ch	—	×	×	×	×	×	—	—	
	—	保留	4	0010h	—	×	×	×	×	×	—	—	
	—	保留	5	0014h	—	×	×	×	×	×	—	—	
	—	保留	6	0018h	—	×	×	×	×	×	—	—	
	—	保留	7	001Ch	—	×	×	×	×	×	—	—	
	—	保留	8	0020h	—	×	×	×	×	×	—	—	
	—	保留	9 ~ 15	0024h ~ 003Ch	—	×	×	×	×	×	—	—	
	—	总线错误	BUSERR	16	0040h	电平	○	×	×	×	×	IER02.IEN0	IPR00
	—	保留	保留	17	0044h	—	×	×	×	×	×	IER02.IEN1	—
	—	保留	保留	18	0048h	—	×	×	×	×	×	IER02.IEN2	—
	—	保留	保留	19	004Ch	—	×	×	×	×	×	IER02.IEN3	—
	—	保留	保留	20	0050h	—	×	×	×	×	×	IER02.IEN4	—
	—	FCU	FIFERR	21	0054h	电平	○	×	×	×	×	IER02.IEN5	IPR01
	—		保留	22	0058h	—	×	×	×	×	×	IER02.IEN6	—
	—		FRDYI	23	005Ch	边沿	○	×	×	×	×	IER02.IEN7	IPR02
	—	保留	保留	24	0060h	—	×	×	×	×	×	IER03.IEN0	—
	—	保留	保留	25	0064h	—	×	×	×	×	×	IER03.IEN1	—
	—	保留	保留	26	0068h	—	×	×	×	×	×	IER03.IEN2	—
	—	ICU	SWINT	27	006Ch	边沿	○	○	×	×	×	IER03.IEN3	IPR03
	—	CMT0	CMI0	28	0070h	边沿	○	○	○	×	×	IER03.IEN4	IPR04
	—	CMT1	CMI1	29	0074h	边沿	○	○	○	×	×	IER03.IEN5	IPR05
	—	CMT2	CMI2	30	0078h	边沿	○	○	○	×	×	IER03.IEN6	IPR06
	—	CMT3	CMI3	31	007Ch	边沿	○	○	○	×	×	IER03.IEN7	IPR07
	—	Ether	EINT	32	0080h	电平	○	×	×	×	×	IER04.IEN0	IPR08
	—	保留	保留	33	0084h	—	×	×	×	×	×	IER04.IEN1	IPR09
	—	保留	保留	34	0088h	—	×	×	×	×	×	IER04.IEN2	IPR0A
	低	—	保留	35	008Ch	—	×	×	×	×	×	IER04.IEN3	IPR0B

表 11.4 中断向量表 (2 / 6)

优先级	中断请求发生源	名称	向量号	向量地址的偏移	中断源的检测方法	可选择的 中断请求目标			Sstb 返回	Sacs 返回	IER	IPR
						CPU	DTC	DMA				
高 ↑	USB0	D0FIFO0	36	0090h	边沿	○	○	○	×	×	IER04.IEN4	IPR0C
		D1FIFO0	37	0094h	边沿	○	○	○	×	×	IER04.IEN5	IPR0D
		USBIO	38	0098h	边沿	○	×	×	×	×	IER04.IEN6	IPR0E
	—	保留	39	009Ch	—	×	×	×	×	×	IER04.IEN7	IPR0F
	USB1	D0FIFO1	40	00A0h	边沿	○	○	○	×	×	IER05.IEN0	IPR10
		D1FIFO1	41	00A4h	边沿	○	○	○	×	×	IER05.IEN1	IPR11
		USB11	42	00A8h	边沿	○	×	×	×	×	IER05.IEN2	IPR12
	—	保留	43	00ACh	—	×	×	×	×	×	IER05.IEN3	IPR13
	RSPIO	SPEI0	44	00B0h	电平	○	×	×	×	×	IER05.IEN4	IPR14
		SPRI0	45	00B4h	边沿	○	○	○	×	×	IER05.IEN5	
		SPTI0	46	00B8h	边沿	○	○	○	×	×	IER05.IEN6	
		SPII0	47	00BCh	电平	○	×	×	×	×	IER05.IEN7	
	RSPI1	SPEI1	48	00C0h	电平	○	×	×	×	×	IER06.IEN0	IPR15
		SPRI1	49	00C4h	边沿	○	○	○	×	×	IER06.IEN1	
		SPTI1	50	00C8h	边沿	○	○	○	×	×	IER06.IEN2	
		SPII1	51	00CCh	电平	○	×	×	×	×	IER06.IEN3	
	—	保留	52	00D0h	—	×	×	×	×	×	IER06.IEN4	—
	—	保留	53	00D4h	—	×	×	×	×	×	IER06.IEN5	—
	—	保留	54	00D8h	—	×	×	×	×	×	IER06.IEN6	—
	—	保留	55	00DCh	—	×	×	×	×	×	IER06.IEN7	—
	CAN0	ERS0	56	00E0h	边沿	○	×	×	×	×	IER07.IEN0	IPR18
		RXF0	57	00E4h	边沿	○	×	×	×	×	IER07.IEN1	
		TXF0	58	00E8h	边沿	○	×	×	×	×	IER07.IEN2	
		RXM0	59	00ECh	边沿	○	×	×	×	×	IER07.IEN3	
		TXM0	60	00F0h	边沿	○	×	×	×	×	IER07.IEN4	
	—	保留	61	00F4h	—	×	×	×	×	×	IER07.IEN5	IPR1D
	RTC	PRD	62	00F8h	边沿	○	×	×	×	×	IER07.IEN6	IPR1E
		CUP	63	00FCh	边沿	○	×	×	×	×	IER07.IEN7	IPR1F
	外部引脚	IRQ0	64	0100h	边沿 / 电平	○	○	○	○	○	IER08.IEN0	IPR20
		IRQ1	65	0104h	边沿 / 电平	○	○	○	○	○	IER08.IEN1	IPR21
IRQ2		66	0108h	边沿 / 电平	○	○	○	○	○	IER08.IEN2	IPR22	
IRQ3		67	010Ch	边沿 / 电平	○	○	○	○	○	IER08.IEN3	IPR23	
IRQ4		68	0110h	边沿 / 电平	○	○	×	○	○	IER08.IEN4	IPR24	
IRQ5		69	0114h	边沿 / 电平	○	○	×	○	○	IER08.IEN5	IPR25	
IRQ6		70	0118h	边沿 / 电平	○	○	×	○	○	IER08.IEN6	IPR26	
IRQ7		71	011Ch	边沿 / 电平	○	○	×	○	○	IER08.IEN7	IPR27	
IRQ8		72	0120h	边沿 / 电平	○	○	×	○	○	IER09.IEN0	IPR28	
IRQ9		73	0124h	边沿 / 电平	○	○	×	○	○	IER09.IEN1	IPR29	
IRQ10		74	0128h	边沿 / 电平	○	○	×	○	○	IER09.IEN2	IPR2A	
IRQ11		75	012Ch	边沿 / 电平	○	○	×	○	○	IER09.IEN3	IPR2B	
IRQ12		76	0130h	边沿 / 电平	○	○	×	○	○	IER09.IEN4	IPR2C	
IRQ13		77	0134h	边沿 / 电平	○	○	×	○	○	IER09.IEN5	IPR2D	
IRQ14		78	0138h	边沿 / 电平	○	○	×	○	○	IER09.IEN6	IPR2E	
IRQ15	79	013Ch	边沿 / 电平	○	○	×	○	○	IER09.IEN7	IPR2F		

表 11.4 中断向量表 (4 / 6)

优先级	中断请求发生源	名称	向量号	向量地址的偏移	中断源的检测方法	可选择的 中断请求目标			Sstb 返回	Sacs 返回	IER	IPR
						CPU	DTC	DMA				
高 ↑	MTU5	TGIU5	139	022Ch	边沿	○	○	×	×	×	IER11.IEN3	IPR5B
		TGIV5	140	0230h	边沿	○	○	×	×	×	IER11.IEN4	
		TGIW5	141	0234h	边沿	○	○	×	×	×	IER11.IEN5	
	MTU6	TGIA6	142	0238h	边沿	○	○	○	×	×	IER11.IEN6	IPR5C
		TGIB6	143	023Ch	边沿	○	○	×	×	×	IER11.IEN7	
		TGIC6	144	0240h	边沿	○	○	×	×	×	IER12.IEN0	
		TGID6	145	0244h	边沿	○	○	×	×	×	IER12.IEN1	
		TCIV6	146	0248h	边沿	○	×	×	×	×	IER12.IEN2	IPR5D
		TGIE6	147	024Ch	边沿	○	×	×	×	×	IER12.IEN3	
		TGIF6	148	0250h	边沿	○	×	×	×	×	IER12.IEN4	
	MTU7	TGIA7	149	0254h	边沿	○	○	○	×	×	IER12.IEN5	IPR5E
		TGIB7	150	0258h	边沿	○	○	×	×	×	IER12.IEN6	
		TCIV7	151	025Ch	边沿	○	×	×	×	×	IER12.IEN7	IPR5F
		TCIU7	152	0260h	边沿	○	×	×	×	×	IER13.IEN0	
	MTU8	TGIA8	153	0264h	边沿	○	○	○	×	×	IER13.IEN1	IPR60
		TGIB8	154	0268h	边沿	○	○	×	×	×	IER13.IEN2	
		TCIV8	155	026Ch	边沿	○	×	×	×	×	IER13.IEN3	IPR61
		TCIU8	156	0270h	边沿	○	×	×	×	×	IER13.IEN4	
	MTU9	TGIA9	157	0274h	边沿	○	○	○	×	×	IER13.IEN5	IPR62
		TGIB9	158	0278h	边沿	○	○	×	×	×	IER13.IEN6	
		TGIC9	159	027Ch	边沿	○	○	×	×	×	IER13.IEN7	
		TGID9	160	0280h	边沿	○	○	×	×	×	IER14.IEN0	
		TCIV9	161	0284h	边沿	○	×	×	×	×	IER14.IEN1	IPR63
	MTU10	TGIA10	162	0288h	边沿	○	○	○	×	×	IER14.IEN2	IPR64
		TGIB10	163	028Ch	边沿	○	○	×	×	×	IER14.IEN3	
		TGIC10	164	0290h	边沿	○	○	×	×	×	IER14.IEN4	
		TGID10	165	0294h	边沿	○	○	×	×	×	IER14.IEN5	
		TCIV10	166	0298h	边沿	○	○	×	×	×	IER14.IEN6	IPR65
	MTU11	TGIU11	167	029Ch	边沿	○	○	×	×	×	IER14.IEN7	IPR66
		TGIV11	168	02A0h	边沿	○	○	×	×	×	IER15.IEN0	
		TGIW11	169	02A4h	边沿	○	○	×	×	×	IER15.IEN1	
	POE	OEI1	170	02A8h	电平	○	×	×	×	×	IER15.IEN2	IPR67
		OEI2	171	02ACh	电平	○	×	×	×	×	IER15.IEN3	
		OEI3	172	02B0h	电平	○	×	×	×	×	IER15.IEN4	
		OEI4	173	02B4h	电平	○	×	×	×	×	IER15.IEN5	
	TMR0	CMIA0	174	02B8h	边沿	○	○	×	×	○	IER15.IEN6	IPR68
		CMIB0	175	02BCh	边沿	○	○	×	×	○	IER15.IEN7	
		OVI0	176	02C0h	边沿	○	×	×	×	○	IER16.IEN0	
	TMR1	CMIA1	177	02C4h	边沿	○	○	×	×	○	IER16.IEN1	IPR69
		CMIB1	178	02C8h	边沿	○	○	×	×	○	IER16.IEN2	
OVI1		179	02CCh	边沿	○	×	×	×	○	IER16.IEN3		
TMR2	CMIA2	180	02D0h	边沿	○	○	×	×	○	IER16.IEN4	IPR6A	
	CMIB2	181	02D4h	边沿	○	○	×	×	○	IER16.IEN5		
	OVI2	182	02D8h	边沿	○	×	×	×	○	IER16.IEN6		
低												

表 11.4 中断向量表 (5 / 6)

优先级	中断请求发生源	名称	向量号	向量地址的偏移	中断源的检测方法	可选择的 中断请求目标			Sstb 返回	Sacs 返回	IER	IPR
						CPU	DTC	DMA				
高 ↑	TMR3	CMIA3	183	02DCh	边沿	○	○	×	×	○	IER16.IEN7	IPR6B
		CMIB3	184	02E0h	边沿	○	○	×	×	○	IER17.IEN0	
		OVI3	185	02E4h	边沿	○	×	×	×	○	IER17.IEN1	
	—	保留	186	02E8h	—	×	×	×	×	×	IER17.IEN2	
	—	保留	187	02ECh	—	×	×	×	×	×	IER17.IEN3	
	—	保留	188	02F0h	—	×	×	×	×	×	IER17.IEN4	
	—	保留	189	02F4h	—	×	×	×	×	×	IER17.IEN5	
	—	保留	190	02F8h	—	×	×	×	×	×	IER17.IEN6	
	—	保留	191	02FCh	—	×	×	×	×	×	IER17.IEN7	
	—	保留	192	0300h	—	×	×	×	×	×	IER18.IEN0	
	—	保留	193	0304h	—	×	×	×	×	×	IER18.IEN1	
	—	保留	194	0308h	—	×	×	×	×	×	IER18.IEN2	
	—	保留	195	030Ch	—	×	×	×	×	×	IER18.IEN3	
	—	保留	196	0310h	—	×	×	×	×	×	IER18.IEN4	
	—	保留	197	0314h	—	×	×	×	×	×	IER18.IEN5	
	DMACA	DMACI0	198	0318h	边沿	○	○	×	×	×	IER18.IEN6	IPR70
		DMACI1	199	031Ch	边沿	○	○	×	×	×	IER18.IEN7	IPR71
		DMACI2	200	0320h	边沿	○	○	×	×	×	IER19.IEN0	IPR72
		DMACI3	201	0324h	边沿	○	○	×	×	×	IER19.IEN1	IPR73
	EXDMAC	EXDMACI0	202	0328h	边沿	○	○	×	×	×	IER19.IEN2	IPR74
		EXDMACI1	203	032Ch	边沿	○	○	×	×	×	IER19.IEN3	IPR75
	—	保留	204	0330h	—	×	×	×	×	×	IER19.IEN4	
	—	保留	205	0334h	—	×	×	×	×	×	IER19.IEN5	
	—	保留	206	0338h	—	×	×	×	×	×	IER19.IEN6	
	—	保留	207	033Ch	—	×	×	×	×	×	IER19.IEN7	
—	保留	208	0340h	—	×	×	×	×	×	IER1A.IEN0		
—	保留	209	0344h	—	×	×	×	×	×	IER1A.IEN1		
—	保留	210	0348h	—	×	×	×	×	×	IER1A.IEN2		
—	保留	211	034Ch	—	×	×	×	×	×	IER1A.IEN3		
—	保留	212	0350h	—	×	×	×	×	×	IER1A.IEN4		
—	保留	213	0354h	—	×	×	×	×	×	IER1A.IEN5		
SCI0	ERI0	214	0358h	电平	○	×	×	×	×	IER1A.IEN6	IPR80	
	RXI0	215	035Ch	边沿	○	○	○	×	×	IER1A.IEN7		
	TXI0	216	0360h	边沿	○	○	○	×	×	IER1B.IEN0		
	TEI0	217	0364h	电平	○	×	×	×	×	IER1B.IEN1		
SCI1	ERI1	218	0368h	电平	○	×	×	×	×	IER1B.IEN2	IPR81	
	RXI1	219	036Ch	边沿	○	○	○	×	×	IER1B.IEN3		
	TXI1	220	0370h	边沿	○	○	○	×	×	IER1B.IEN4		
	TEI1	221	0374h	电平	○	×	×	×	×	IER1B.IEN5		
SCI2	ERI2	222	0378h	电平	○	×	×	×	×	IER1B.IEN6	IPR82	
	RXI2	223	037Ch	边沿	○	○	○	×	×	IER1B.IEN7		
	TXI2	224	0380h	边沿	○	○	○	×	×	IER1C.IEN0		
	TEI2	225	0384h	电平	○	×	×	×	×	IER1C.IEN1		

11.4 中断的运行说明

中断控制器进行以下的处理：

- 中断检测
- 控制中断的允许/禁止
- 中断请求目标（CPU中断、DTC的启动、DMACA的启动）的选择
- 中断优先级的判断

11.4.1 中断检测

中断请求的检测方法有电平检测和边沿检测两种。

对于 IRQ_n 引脚（n=0 ~ 15）的外部中断请求，能通过设定 IRQCRI.IRQMD[1:0] 位，转换边沿检测和电平检测。

对于外围模块的中断请求，给各中断源规定了边沿检测或者电平检测。

对应各中断源的检测方法请参照“表 11.4 中断向量表”。

11.4.1.1 边沿检测的中断状态标志

对外围功能中断和外部引脚中断进行边沿检测时的 IRi.IR 标志变化如图 11.2 所示。

在产生中断请求时的中断信号的变化位置，IRi.IR 标志变为“1”。当中断请求目标为 CPU 时，如果接受中断，IRi.IR 标志就自动变为“0”。当中断请求目标为 DMACA 或者 DTC 时，IR 标志的清除时序因 DMAC/DTC 的传送设定和传送次数而不同。详细内容请参照表 11.5。不需要通过软件清除 IRi.IR 标志。

关于中断信号，中断向量号为 64 ~ 95 的中断时序与其他中断不同。中断向量号为 64 ~ 79 的 IRQ 引脚中断时序增加 IRQ 引脚输入的内部延迟 + 2 个 PCLK 的延迟。中断向量号为 80 ~ 95 中断时序增加 2 个 PCLK 的延迟。

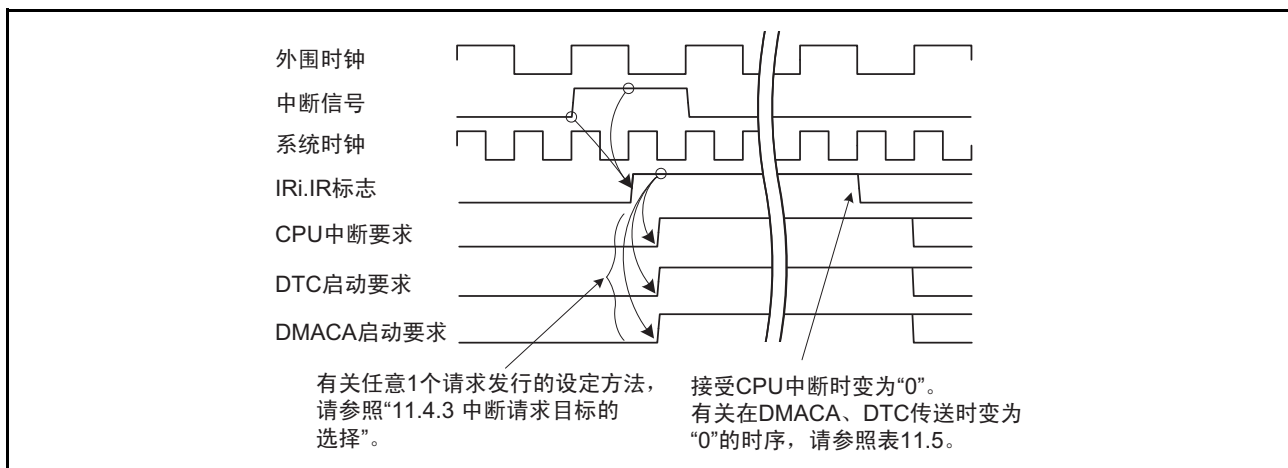


图 11.2 边沿检测时的 IRi.IR 标志变化

在产生中断请求并且 IRi.IR 标志为“1”的状态下，忽视再次发生的中断请求。如果在清除 IRi.IR 标志后产生中断请求，IRi.IR 标志就被重新置位。IRi.IR 标志被重新置位的时序如图 11.3 所示。

在通信功能（SCI/RIIC/RSPI/USB）和 DTC/DMACA 功能的组合情况下，有可能忽视中断请求并且传送请求消失，详细内容请参照“11.7 使用时的注意事项”。

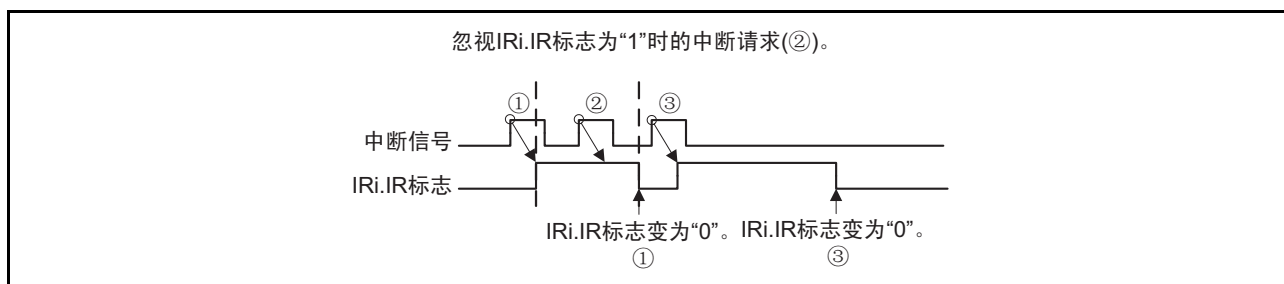


图 11.3 IRi.IR 标志被重新置位的时序

即使在 IRi.IR 标志变为“1”后禁止中断（通过外围模块的中断允许位禁止中断请求的输出），IRi.IR 标志也不受影响而保持“1”的状态。禁止中断时的 IRi.IR 标志变化如图 11.4 所示。

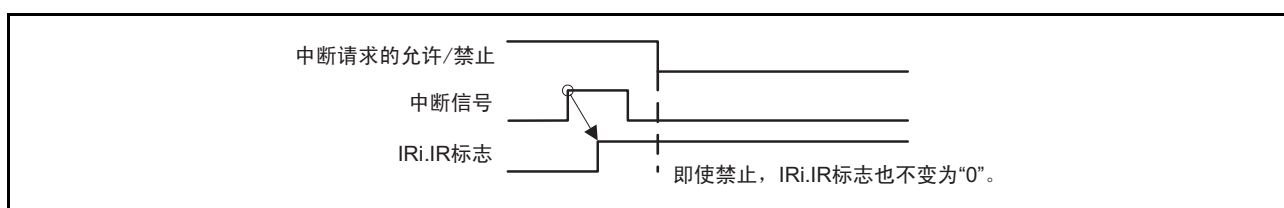


图 11.4 中断请求的禁止和 IRi.IR 标志的关系

11.4.1.2 电平检测的中断状态标志

对外围功能中断和外部引脚中断进行电平检测时的 IRi.IR 标志变化如图 11.5 所示。

在中断信号的有效期间，IRi.IR 标志保持“1”。要将 IRi.IR 标志置“0”时，必须将中断发生源的中断请求标志置“0”。

必须在确认中断发生源的中断请求标志变为“0”后结束中断处理程序。电平检测中断的处理步骤如图 11.6 所示。

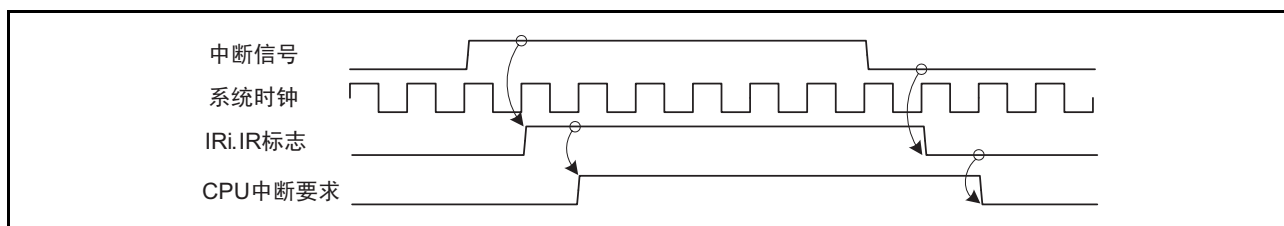


图 11.5 电平检测时的 IRi.IR 标志变化

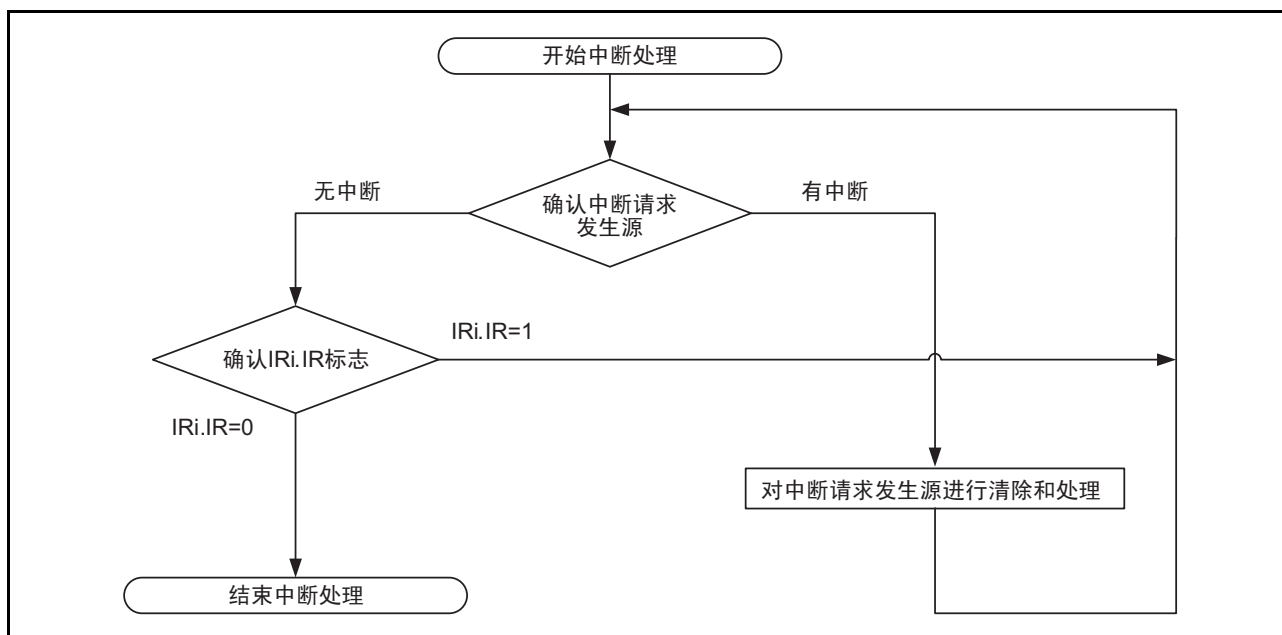


图 11.6 电平检测中断的处理步骤

11.4.2 中断请求的允许 / 禁止

要允许中断请求时，需要进行以下的设定：

1. 在外围功能中断的情况下，通过外围模块的中断允许位允许中断请求的输出。
2. 通过 IERm.IENj 位允许中断请求。

如果在中断发生源产生被允许输出的中断请求，对应的 IRi.IR 标志就变为“1”。

通过 IERm.IENj 位允许中断请求，将 IRi.IR 标志为“1”的中断请求输出到中断请求目标。通过 IERm.IENj 位禁止中断请求，保留 IRi.IR 标志为“1”的中断请求。

IRi.IR 标志不受 IERm.IENj 位的影响。

11.4.3 中断请求目标的选择

给各中断源规定了能设定的中断请求目标，能设定的请求目标如“表 11.4 中断向量表”所示。不能选择表 11.4 中没有“○”标记的中断请求目标。

如果通过 IRQ 引脚将 DTC/DMACA 设定为中断请求目标，就必须将 IRQCRi.IRQMD[1:0] 位设定为边沿检测。

中断请求目标的设定方法如下所示：

(1) DMACA 的启动

必须在 IERm.IENj 位为“0”时进行以下的设定：

- 给 DMACA 的各通道准备好的 DMACA 启动请求选择寄存器 (DMRSRn) 指定对应的中断源向量号 (注1)。
- 将 DMACA 对应通道的启动源 (DMACn.DMTMD.DCTG[1:0]) 设定为“01b” (检测中断模块)。
- 将 DMACA 对应通道的 DMACA 启动允许位 (DMACn.DMCNT.DTE) 置“1”。

必须在进行了上述设定的状态下将 IERm.IENj 位置“1”。

DMACA 的设定步骤请参照“14.3.5 DMACA 的启动”。

(2) DTC 的启动

必须在 IERm.IENj 位为“0”时进行以下的设定：

- 将对应中断源的 DTC 启动允许寄存器的 DTC 启动允许位 (DTCERn.DTCE) 置“1” (注1)。

必须在进行了上述设定的状态下将 IERm.IENj 位置“1”。

另外，必须将 DTC 模块启动位 (DTCST.DTCST 位) 置“1”。

各中断源的设定和 DMACA 的运行允许位的设定无先后次序的限制。

DTC 的设定步骤请参照“16.5 DTC 的设定步骤”。

(3) CPU 中断请求

既不是 DMACA 也不是 DTC 的中断请求目标是 CPU 中断的对象。

必须在未启动 DMACA 或者 DTC 的状态下将 IERm.IENj 位置“1”。

注 1. 不能给 DTC 启动允许 (DTCERn.DTCE) 和 DMACA 启动请求选择 (DMRSRn) 设定相同的中断源，也不能给多个 DMRSRn 设定相同的中断源。

将 DMACA 或者 DTC 设定为中断请求目标时的运行如表 11.5 所示。

表 11.5 启动 DMACA 或者 DTC 时的运行

中断请求目标	DISEL	剩余的传送次数	每 1 次请求的运行	IR (注 1) (注 4)	传送后的中断请求目标
DMACA	1	≠0	DMA 传送 →CPU 中断	在接受 CPU 中断时清除。	DMACA
		=0	DMA 传送 →CPU 中断	在接受 CPU 中断时清除。	清除 DMACn.DMCNT.DTE 位并转换到 CPU。
	0	≠0	DMA 传送	在 DMACA 传送后清除。	DMACA
		=0	DMA 传送 (注 2)	在 DMACA 传送后清除 (注 2)。	清除 DMACn.DMCNT.DTE 位并转换到 CPU。
DTC (注 3)	1	≠0	DTC 传送 →CPU 中断	在接受 CPU 中断时清除。	DTC
		=0	DTC 传送 →CPU 中断	在接受 CPU 中断时清除。	清除 DTCER.DTCE 位并转换到 CPU。
	0	≠0	DTC 传送	在开始传送读取 DTC 传送息后的 DTC 数据时清除。	DTC
		=0	DTC 传送 →CPU 中断 (注 2)	在接受 CPU 中断时清除 (注 2)。	清除 DTCER.DTCE 位并转换到 CPU。

DISEL: 通过 DMACn.DMCSL.DISEL 位设定 DMACA, 通过 DTC.MRB.DISEL 位设定 DTC。

注 1. 忽视在 IRI.IR 标志被置位的状态下再次产生的中断请求 (DTC/DMACA 的启动请求)。

注 2. DISEL 为“0”时的运行因 DTC 和 DMACA 而不同。

注 3. 在链传送的情况下, DTC 的传送继续到最后的链传送为止。最后的链传送时的 CPU 中断的有无、IR 标志的清除、传送后的中断请求目标等, 取决于最后的链传送的 DISEL 和剩余的传送次数。

注 4. 如果忽视在 IRI.IR 标志被置位的状态下再次产生的中断请求 (DTC/DMACA 启动请求), 通信功能 (SCI/RIIC/RSPI/USB) 就会发生问题, 详细内容请参照“11.7 使用时的注意事项”。

必须在 IERm.IENj 位为“0”时更改中断请求目标。

如果在设定 (1) 的 DMACA 的启动后传送未结束的状态 (未清除 DMACn.DMCNT.DTE 位的状态) 下更改中断请求目标或者将 DMA 启动源更改为其他中断源, 就必须按照以下步骤进行更改:

1. 将要取消的中断源以及作为新启动对象的中断源的 IERm.IENj 位置“0”。
2. 确认 DMACA 的传送状况。如果是在传送过程中, 就等待传送结束。
3. 设定 (1) DMACA 的启动。

如果在设定 (2) 的 DTC 的启动后传送未结束的状态 (未清除 DTCERn.DTCE 位的状态) 下更改中断请求目标或者更改 DTC 传送的设定内容, 就必须按照以下步骤进行更改:

1. 将要取消的中断源以及作为新启动对象的中断源的 IERm.IENj 位置“0”。
2. 确认 DTC 的传送状况。如果是在传送过程中, 就等待传送结束。
3. 设定 (2) DTC 的启动。

11.4.4 优先级的判断

中断控制器判断各中断请求目标的优先级。各中断请求目标的优先级判断方法如下：

(1) 中断请求目标为 CPU 时的优先级判断

被设定为高速中断的中断源为最优先，其次优先中断优先级设定位 (IPRm.IPR[3:0]) 中值大的中断源。如果 IPRm.IPR[3:0] 位的值相同并且有多个优先级的中断源，就优先向量号小的中断源。

(2) 中断请求目标为 DTC 时的优先级判断

不受 IPRm.IPR[3:0] 位的影响，优先向量号小的中断源。

(3) 中断请求目标为 DMACA 时的优先级判断

不受 IPRm.IPR[3:0] 位的影响。有关 DMAC 通道的优先级，请参照“14. DMA 控制器 (DMACA) ”。

11.4.5 高速中断

高速中断功能是高速地进行 CPU 中断处理的功能，只对 CPU 的中断请求有效，不影响 DTC 和 DMACA 的传送请求。

在通过 FIR.FVCT[7:0] 位给要设定为高速中断的中断源设定向量号并且通过 FIR.FIEN 位允许高速中断的状态下，如果发生对应的中断源，就能作为高速中断输出到 CPU。

被设定为高速中断的中断源与 IPRm.IPR[3:0] 位的设定无关，是优先级最高的中断源。

高速中断的详细内容请参照“10. 异常处理”。

11.4.6 外部引脚中断

使用外部引脚中断的步骤如下：

1. 将 IERm.IENj 位置“0”。
2. 设定 I/O 端口并进行确认。
3. 通过 IRQCRi.IRQMD[1:0] 位设定检测方法。
4. 将 IRi.IR 标志置“0” (边沿检测的情况)。
5. 当启动 DMACA 时，设定 DMRSRn.DMRS[7:0] 位；当启动 DTC 时，设定 DTCERn.DTCE 位 (在不设定任何位的情况下，为 CPU 中断)。
6. 将 IERm.IENj 位置“1”。

11.5 非屏蔽中断的运行说明

非屏蔽中断有 NMI 引脚中断、电压监视中断和振荡停止检测中断三种。非屏蔽中断只限于向 CPU 请求的中断，不能启动 DTC 和 DMACA。在包括高速中断在内的所有中断中，非屏蔽中断是最优先的中断。

与 CPU 的 PSW.I 位（中断允许位）、PSW.IPL[3:0] 位（处理器中断优先级）的状态无关，总是接受非屏蔽中断请求。能通过非屏蔽中断状态寄存器（NMISR）确认非屏蔽中断的有无。

必须通过非屏蔽中断处理程序确认 NMISR 寄存器的全部位是否为“0”。

初始状态为“禁止非屏蔽中断”。在使用非屏蔽中断的系统中，必须在程序处理的起始位置按照以下步骤进行设定。

非屏蔽中断的使用步骤：

1. 设定堆栈指针（SP）。
2. 在使用 NMI 引脚时，设定 NMI 引脚的检测方法（NMICR.NMIMD 位）。
3. 在使用 NMI 引脚时，在给 NMICLR.NMICLR 位写“1”后将 NMISR.NMIST 标志置“0”。
4. 通过给非屏蔽中断允许寄存器（NMIER）允许的中断对应位置写“1”，允许使用非屏蔽中断。

如果给 NMIER 寄存器写“1”，就忽视以后对 NMIER 寄存器的写操作。不能禁止非屏蔽中断，只能通过复位禁止非屏蔽中断。

非屏蔽中断的处理流程请参照“10. 异常处理”。

通过给 NMICLR.NMICLR 位写“1”，NMI 引脚中断标志（NMISR.NMIST）变为“0”。

通过给 NMICLR.OSTCLR 位写“1”，振荡停止检测中断标志（NMISR.OSTST）变为“0”。

有关电压监视中断标志（NMISR.LVDST）的清除，请参照“7. 电压检测电路（LVD）”。

不能在 NMIST 寄存器的任意位为“1”的状态下发行 WAIT 指令。

11.6 从低功耗状态的返回

能用作从“睡眠模式”、“全模块时钟停止模式”、“软件待机模式”状态返回的中断源如“表 11.4 中断向量表”所示。

详细内容请参照“9. 低功耗功能”，各低功耗模式中返回对象中断的设定方法如下所示。

11.6.1 从睡眠模式的返回

能通过非屏蔽中断和全部中断源的中断进行返回，返回条件如下：

- 中断
 - (1) 中断请求目标为 CPU。
 - (2) 已经通过 IERm.IENj 位允许对应的中断请求。
 - (3) 高于 CPU.PSW.IPL[3:0] 位的中断优先级。
- 非屏蔽中断

已经通过 NMIER 寄存器允许对应的中断请求。

11.6.2 从全模块时钟停止模式的返回

能通过非屏蔽中断以及能从全模块时钟停止模式返回的中断进行返回，返回条件如下：

- 中断
 - (1) 是从全模块时钟停止模式返回的中断源。
 - (2) 中断请求目标为 CPU。
 - (3) 已经通过 IERm.IENj 位允许对应的中断请求。
 - (4) 高于 CPU.PSW.IPL[3:0] 位的中断优先级。
- 非屏蔽中断

已经通过 NMIER 寄存器允许对应的中断请求。

11.6.3 从软件待机模式的返回

能通过非屏蔽中断以及能从软件待机模式返回的中断进行返回，返回条件如下：

- 中断
 - (1) 是从软件待机模式返回的中断源。
 - (2) 中断请求目标为 CPU。
 - (3) 已经通过 IERm.IENj 位允许对应的中断请求。
 - (4) 高于 CPU.PSW.IPL[3:0] 位的中断优先级。

(对于设定为高速中断的中断源，除了高速中断设定寄存器 (FIR) 以外，还必须将对应的中断优先级 (IPRm) 设定为高于 CPU.PSW.IPL。)

对于不满足上述条件的 IRQ 引脚，在软件待机模式中检测不到时钟停止期间内发生的中断源。

- 非屏蔽中断

已经通过 NMIER 寄存器允许对应的中断请求。

11.7 使用时的注意事项

11.7.1 使用 DTC/DMACA 传送的通信运行注意事项

RX62N 群和 RX621 群在使用 DTC/DMACA 传送的通信功能运行中需要注意以下事项。在产生中断请求并且 IRI.IR 标志为“1”的状态下，忽视再次产生的中断请求。在中断请求目标为 DMACA 和 DTC 时，IR 标志清除时序因 DMACA/DTC 的传送设定和传送次数而不同，因此根据设定的组合，传送请求有可能消失。

在组合使用通信功能 (SCI/RIIC/RSPI/USB) 和 DTC/DMACA 功能时，请按照以下注意事项进行使用。

(1) 使用 DTC/DMACA 传送的通信运行的传送请求消失条件

需要注意的 DTC/DMACA 功能的组合如表 11.6 所示。

表 11.6 需要注意的 DTC/DMACA 功能的组合

	链传送的使用	每次传送中 CPU 通信中断的有无 (注1) (DISEL 的设定)	发生问题的可能性
DMACA	— (无链传送功能)	DISEL=0	发送: 无
		DISEL=1	接收: 有
DTC	不使用链传送	DISEL=0 (传送计数器 > 0)	有
		DISEL=0 (传送计数器 = 0) (最后的传送)	无 (注2)
		DISEL=1	有
	使用链传送	DISEL=0 (传送计数器 > 0 并且链传送的最后为通信寄存器的存取)	无
		DISEL=0 (传送计数器 = 0 (最后的传送) 并且链传送的最后为通信寄存器的存取)	无 (注2)
		DISEL=1	有

注 1. 通信中断是指 SCI/RIIC/RSPI 的发送数据空中断、接收数据满中断和 USB 的 DMA 传送请求。

注 2. 必须注意: 对于下一个通信包的传送请求, 如果来不及清除 IRI.IR 标志, 就可能发生问题。

(2) 在 DISEL 为“0”并且接收时使用 DMACA 的情况

在读传送源 (接收数据) 后写传送目标时, 自动清除 IR 标志。如果在 IR 标志被自动清除前发生下一个传送请求, 传送请求就会消失。

必须在充分确保通信功能的接收间隔后使用, 或者使用不可能发生问题的 DTC。

如果用于 USB 的接收, 就必须使用 DTC。

(3) 在 DISEL 为 “1” 时使用 DMACA 的情况

如果在 DISEL 为 “1” 时使用 DMACA，通信功能的传送请求就会消失。对于通信功能，不能在 DISEL 为 “1” 时使用 DMACA。

如果要在 DISEL 为 “1” 时使用通信功能，就必须在 DISEL 为 “1” 时使用 DTC（参照下述的“(4) 在 DISEL 为 “1” 时使用 DTC 的情况”）。

(4) 在 DISEL 为 “1” 时使用 DTC 的情况

在数据传送（DTC 运行）后接受 CPU 中断时，自动清除 IR 标志。如果在 IR 标志被自动清除前发生下一个传送请求，传送请求就会消失。因为在 DISEL 为 “1” 时一定会发生 CPU 中断，所以必须实施下述的软件回避措施（5）和（6）。

(5) 软件回避措施（SCI、RIIC、RSPI）流程图

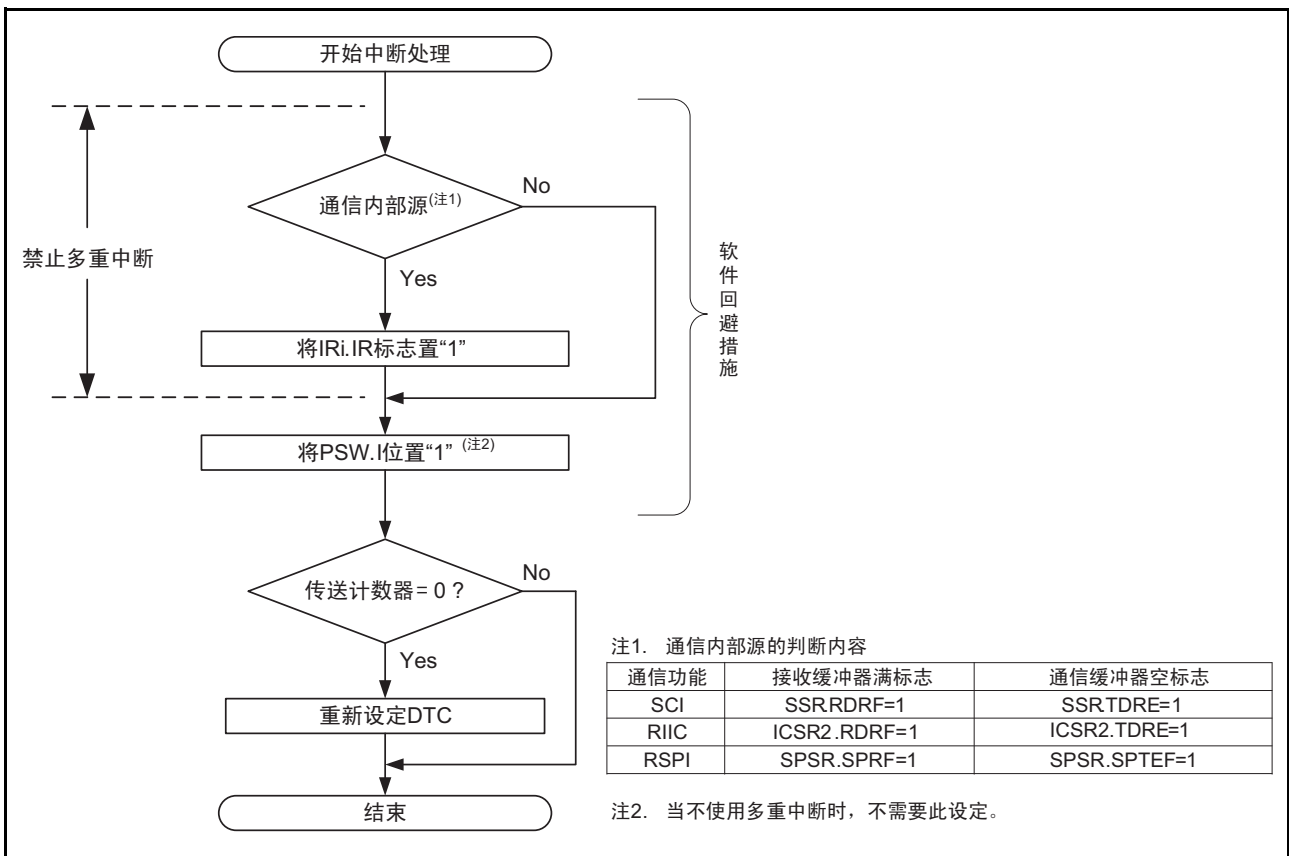


图 11.7 软件回避措施（SCI、RIIC、RSPI）流程图

(6) 软件回避措施 (USB) 流程图

在 USB 的情况下，如果满足以下的所有条件，就不需要实施软件对策。

- 将 DTC 传送模式设定为块传送模式时
- 将 DISEL 置“0”时
- 不使用链传送时
- DTC 侧设定的发送/接收字节数和 USB 侧设定的发送/接收字节数匹配时
- 在最后传送之后到开始 CPU 的中断处理前，不使新的 USB 的 DTC 传送请求发生时

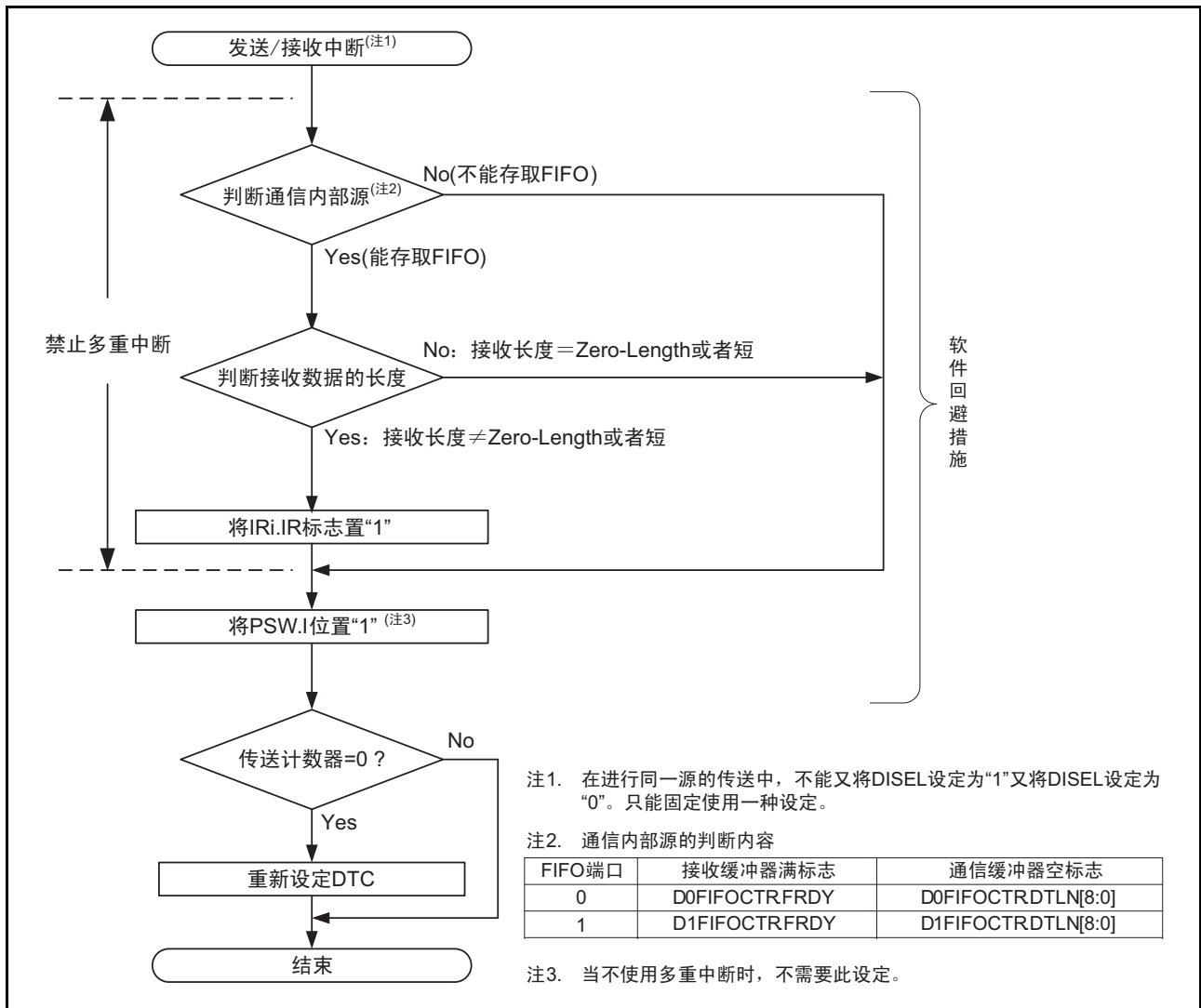


图 11.8 软件回避措施 (USB) 流程图

12. 总线

12.1 概要

总线的结构图如图 12.1 所示，各总线的规格和各总线种类的地址对应表分别如表 12.1 和表 12.2 所示。

表 12.1 总线的规格

总线的种类		内容
CPU 总线	指令总线	<ul style="list-style-type: none"> • 连接 CPU（指令）。 • 连接内部存储器（内部 RAM 和内部 ROM）。 • 与系统时钟（ICLK）同步运行。
	操作数总线	<ul style="list-style-type: none"> • 连接 CPU（操作数）。 • 连接内部存储器（内部 RAM 和内部 ROM）。 • 与系统时钟（ICLK）同步运行。
存储器总线	存储器总线 1	• 连接内部 RAM。
	存储器总线 2	• 连接内部 ROM。
内部主总线	内部主总线 1	<ul style="list-style-type: none"> • 连接 CPU。 • 与系统时钟（ICLK）同步运行。
	内部主总线 2	<ul style="list-style-type: none"> • 连接 DMACA、DTC 和 EDMAC。 • 连接内部存储器（内部 RAM 和内部 ROM）。 • 与系统时钟（ICLK）同步运行。
内部外围总线	内部外围总线 1	<ul style="list-style-type: none"> • 连接外围功能。 • 与系统时钟（ICLK）同步运行。
	内部外围总线 2	<ul style="list-style-type: none"> • 连接外围功能。 • 与外围模块时钟（PCLK）同步运行。
	内部外围总线 3	<ul style="list-style-type: none"> • 连接外围功能（USB）。 • 与外围模块时钟（PCLK）同步运行。
	内部外围总线 4	<ul style="list-style-type: none"> • 连接外围功能（EDMAC 和 ETHERC）。 • 与系统时钟（ICLK）同步运行。
	内部外围总线 5	<ul style="list-style-type: none"> • 连接外围功能。 • 与系统时钟（ICLK）同步运行。
	内部外围总线 6	<ul style="list-style-type: none"> • 连接内部 ROM（P/E）/ 数据闪存。 • 与外围模块时钟（PCLK）同步运行。
外部总线	CS 区域	<ul style="list-style-type: none"> • 连接外部设备。 • 与外部总线时钟（BCLK）同步运行。
	SDRAM 区	<ul style="list-style-type: none"> • 连接 SDRAM。 • 与 SDRAM 时钟（SDCLK）同步运行。

【符号说明】：

P/E: 编程 / 擦除

BCLK（外部总线时钟）: CSC（CS 区域控制器）和 EXDMAC 与 BCLK 同步运行。

SDCLK（SDRAM 时钟）: SDRAMC（SDRAM 区控制器）与 SDCLK 同步运行。

BCLK 引脚输出: 默认的频率和 BCLK 的频率相同，能通过系统时钟控制寄存器的 BCLK 引脚输出选择位（SCKCR.BCLKDIV）选择 BCLK 的 1/2 分频，详细内容请参照“8. 时钟发生电路”。

注. 在使用 SDRAM 时，需要在 BCLK 和 SDCLK 的频率相同的条件下运行。

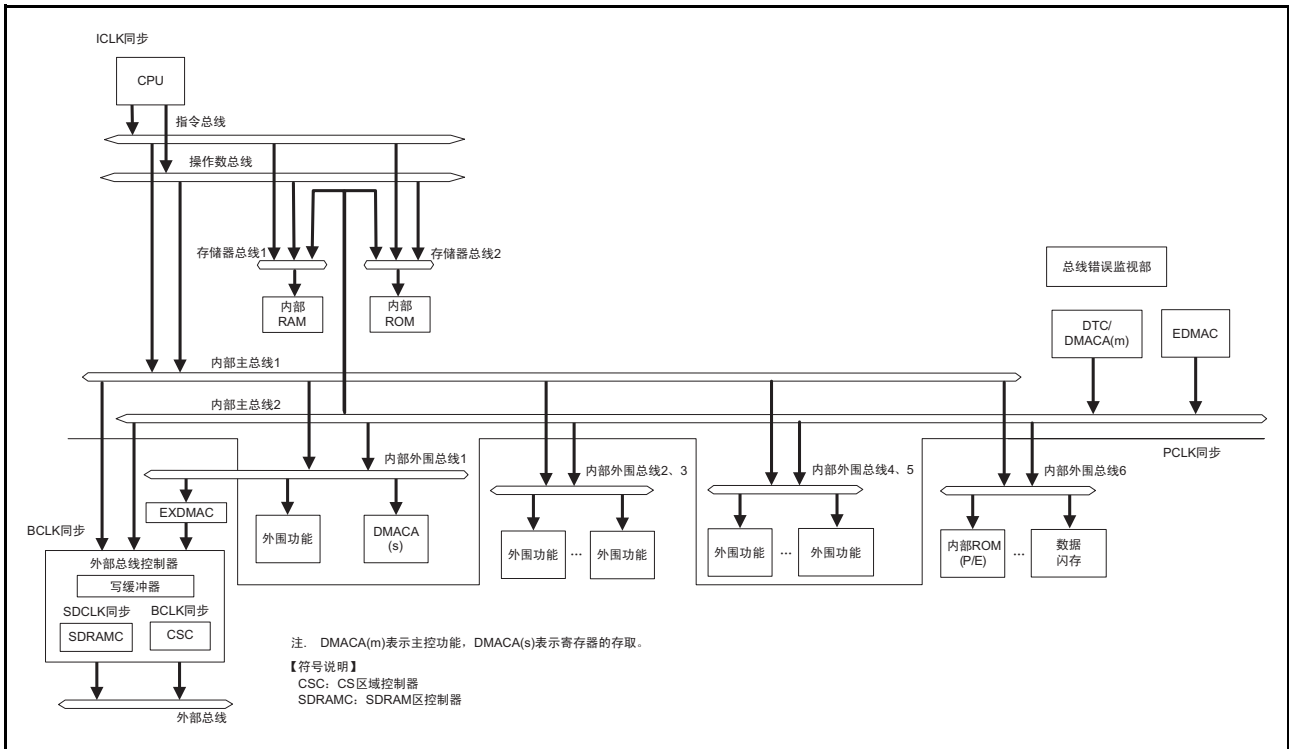


图 12.1 总线的结构图

表 12.2 各总线种类的地址对应表

地址	种类	
	内部 ROM 模式	
	有效	无效
0000 0000h ~ 0007 FFFFh	存储器总线 1	
0008 0000h ~ 0008 7FFFh	内部外围总线 1	
0008 8000h ~ 0009 FFFFh	内部外围总线 2	
000A 0000h ~ 000B FFFFh	内部外围总线 3	
000C 0000h ~ 000D FFFFh	内部外围总线 4	
000E 0000h ~ 000F FFFFh	内部外围总线 5	
0010 0000h ~ 00FF FFFFh	内部外围总线 6	保留区
0100 0000h ~ 0FFF FFFFh	外部总线	
1000 0000h ~ 7FFF FFFFh	保留区	
8000 0000h ~ FEFF FFFFh	存储器总线 2	保留区
FF00 0000h ~ FFFF FFFFh		外部总线

12.2 总线说明

12.2.1 CPU 总线

CPU 总线有指令总线和操作数总线，连接内部主总线 1。指令总线用于 CPU 的取指令，操作数总线用于 CPU 的操作数存取。

指令总线和操作数总线连接内部 RAM 和内部 ROM，能不通过内部主总线 1 而被 CPU 直接存取。内部 ROM 为只读区域，能被 CPU 直接存取，但是编程和擦除必须通过内部外围总线进行。

内部主总线 1 对内部 ROM 和内部 RAM 以外的取指令和操作数的总线权请求进行仲裁，优先级为操作数 > 取指令。

如果取指令和操作数存取的请求是在不同的总线（存储器总线 1、存储器总线 2 和内部外围总线 1）上，就能同时进行各自的总线存取。例如，内部 ROM 和内部 RAM、内部 ROM 和外部存取等能并行运行。

12.2.2 存储器总线

存储器总线有存储器总线 1 和存储器总线 2，存储器总线 1 连接内部 RAM，存储器总线 2 连接内部 ROM。存储器总线 1 和存储器总线 2 对 CPU 总线（取指令和操作数）和内部主总线 2 的总线权请求进行仲裁。

2 条总线的优先级为内部主总线 2 > CPU 总线（操作数 > 取指令）。

12.2.3 内部主总线

内部主总线由 CPU 使用的总线（内部主总线 1）以及 CPU 以外的总线主控（DTC、DMACA 和 EDMAC）使用的总线（内部主总线 2）构成。

内部主总线 1 对内部 ROM 和内部 RAM 以外的取指令和操作数的总线权请求进行仲裁，优先级为操作数 > 取指令。

内部主总线 2 对 DTC/DMACA 和 EDMAC 的总线权请求进行仲裁，优先级为 EDMAC > DTC/DMACA，如表 12.3 所示。

对于 DTC 和 DMACA，只有接受了启动请求的一方才能请求总线权，DTC 和 DMACA 的启动请求优先级为 DMAC0 > DMAC1 > DMAC2 > DMAC3 > DTC。

如果 CPU 和 CPU 以外的总线主控的请求是在不同的总线（内部存储器、内部外围总线 1 ~ 内部外围总线 6、外部总线）上，就能同时进行各自的总线存取。

2 条总线的优先级为内部主总线 2 > 内部主总线 1。如果通过 CPU 执行 XCHG 指令，就在通过 XCHG 指令进行的总线存取结束前不接受 CPU 以外的总线存取，而且在读以及回写 DTC 的传送信息过程中也不接受 DTC 以外的总线存取。

表 12.3 总线主控的优先级

优先级	总线主控
高	EDMAC
▲	DTC/DMACA (DMACA > DTC)
低	CPU

12.2.4 内部外围总线

连接内部外围总线的外围功能如表 12.4 所示。

表 12.4 连接内部外围总线的外围功能

总线的种类	外围功能
内部外围总线 1	<ul style="list-style-type: none"> • DMACA • EXDMAC • 中断控制器 • 总线错误监视部
内部外围总线 2	内部外围总线 1、3、4、5 以外的外围功能
内部外围总线 3	USB
内部外围总线 4	EDMAC、ETHERC
内部外围总线 5	保留区
内部外围总线 6	内部 ROM (P/E) / 数据闪存

内部外围总线 1 ~ 内部外围总线 6 分别对 CPU (内部主总线 1) 和 CPU 以外的总线主控 (内部主总线 2) 的总线权请求进行仲裁。

2 条总线的优先级为内部主总线 2 > 内部主总线 1。

12.2.5 外部总线

外部总线的规格如表 12.5 所示。

外部总线控制器对外部地址空间和外部总线控制器的寄存器 (CSC、SDRAMC) 执行内部主总线 1、内部主总线 2 以及 EXDMAC 的总线权请求仲裁。但是, EXDMAC 只能存取外部地址空间。

3 条总线的优先级为 EXDMAC > 内部主总线 2 > 内部主总线 1。

表 12.5 外部总线的规格

项目	内容
外部地址空间	<ul style="list-style-type: none"> • 将外部地址空间分成 8 个 CS 区域 (CS0 ~ CS7) 和 SDRAM 区 (SDCS) 进行管理。 • 各区域能输出片选。 • 各区域可选择 8 位总线空间、16 位总线空间或者 32 位总线空间。 • 各区域能设定字节序。
CS 区域控制器	<ul style="list-style-type: none"> • 可插入恢复周期 最多插入 15 个读恢复周期和 15 个写恢复周期。 • 周期等待功能: 最多等待 31 个周期 (最多等待 7 个页面存取周期)。 • 等待控制 能设定片选信号 (CS0# ~ CS7#) 的有效或者无效时序。 能设定读信号 (RD#) 和写信号 (WR#、WR0# ~ WR3#) 的有效时序。 能设定数据输出的开始时序和结束时序。 • 写存取模式: 1 次写选通模式 / 字节选通模式
SDRAM 区控制器	<ul style="list-style-type: none"> • 行地址和列地址的多路复用输出 (8 位 / 9 位 / 10 位 / 11 位) • 可选择自动刷新和自刷新。 • 能将 CAS 等待时间设定为 1 ~ 3。
写缓冲器功能	在将总线主控的写数据写到写缓冲器时, 结束总线主控侧的写存取。
频率	<ul style="list-style-type: none"> • CS 区域控制器 (CSC) 与 BCLK (注) 同步运行。 • SDRAM 区控制器 (SDRAMC) 与 SDCLK 同步运行。

注. 在使用 SDRAM 时, 需要在 BCLK 和 SDCLK 的频率相同的条件下运行。

外部总线的输入 / 输出引脚如表 12.6 所示。

表 12.6 外部总线的输入 / 输出引脚

引脚名	输入 / 输出	功能
A23 ~ A0 (注 1)	输出	地址的输出引脚
D31 ~ D0	输入 / 输出	数据的输入 / 输出引脚 当设定 32 位总线空间时, D31 ~ D0 有效; 当设定 16 位总线空间时, D15 ~ D0 有效; 当设定 8 位总线空间时, D7 ~ D0 有效。
BC0# (注 1) (注 2)	输出	此选通信号表示在 1 次写选通模式中正在存取外部总线接口空间并且数据总线 D7 ~ D0 有效。
BC1# (注 2)	输出	此选通信号表示在 1 次写选通模式中正在存取外部总线接口空间并且数据总线 D15 ~ D8 有效。
BC2# (注 2)	输出	此选通信号表示在 1 次写选通模式中正在存取外部总线接口空间并且数据总线 D23 ~ D16 有效。
BC3# (注 2)	输出	此选通信号表示在 1 次写选通模式中正在存取外部总线接口空间并且数据总线 D31 ~ D24 有效。
CS0#	输出	区域 0 (CS0) 的片选信号
CS1#	输出	区域 1 (CS1) 的片选信号
CS2#	输出	区域 2 (CS2) 的片选信号
CS3#	输出	区域 3 (CS3) 的片选信号
CS4#	输出	区域 4 (CS4) 的片选信号
CS5#	输出	区域 5 (CS5) 的片选信号
CS6#	输出	区域 6 (CS6) 的片选信号
CS7#	输出	区域 7 (CS7) 的片选信号
RD#	输出	此选通信号表示正在读外部地址空间 (CS0 ~ CS7)。
WR#	输出	此选通信号表示在 1 次写选通模式中正在写外部总线接口空间。
WR0#	输出	此选通信号表示在字节选通模式中正在写外部总线接口空间并且数据总线 D7 ~ D0 有效。
WR1#	输出	此选通信号表示在字节选通模式中正在写外部总线接口空间并且数据总线 D15 ~ D8 有效。
WR2#	输出	此选通信号表示在字节选通模式中正在写外部总线接口空间并且数据总线 D23 ~ D16 有效。
WR3#	输出	此选通信号表示在字节选通模式中正在写外部总线接口空间并且数据总线 D31 ~ D24 有效。
WAIT#	输入	存取外部地址空间 (CS0 ~ CS7) 时的等待请求信号 (Low 电平: 等待请求)
SDCLK	输出	SDRAM 时钟
CKE	输出	SDRAM 的时钟允许信号
SDCS#	输出	SDRAM 的片选信号
RAS#	输出	SDRAM 的行地址选通信号
CAS#	输出	SDRAM 的列地址选通信号
WE#	输出	SDRAM 的写允许信号
DQM0	输出	SDRAM 的输入 / 输出数据可屏蔽信号 控制 D7 ~ D0。
DQM1	输出	SDRAM 的输入 / 输出数据可屏蔽信号 控制 D15 ~ D8。
DQM2	输出	SDRAM 的输入 / 输出数据可屏蔽信号 控制 D23 ~ D16。
DQM3	输出	SDRAM 的输入 / 输出数据可屏蔽信号 控制 D31 ~ D24。

注 1. 对于兼用 A0 引脚和 BC0# 引脚的产品, 在字节写模式中, 各区域的 A0 引脚有效; 在 1 次写选通模式中, 各区域的 BC0# 引脚有效。但是, 在 1 次写选通模式中, 能在 16 位总线空间和 32 位总线空间而不能在 8 位总线空间中进行设定。有关其他的兼用引脚, 请参照“17. I/O 端口”。

注 2. BC0# ~ BC3# 信号的读写存取都有效。

12.2.6 并行运行

能在各总线主控存取不同的从属模块时并行运行。例如，能同时进行 3 种运行，一边从内部 ROM 取指令，一边对内部 RAM 进行操作数存取，同时，DMACA 还能进行外围总线和外部总线之间的传送。

并行运行的例子如图 12.2 所示。在此例中，CPU 能使用指令总线和操作数总线同时存取内部 ROM 和内部 RAM，而且在 CPU 存取内部 ROM 和内部 RAM 过程中，DMACA 能使用内部主总线 2 同时存取外围总线和外部总线。

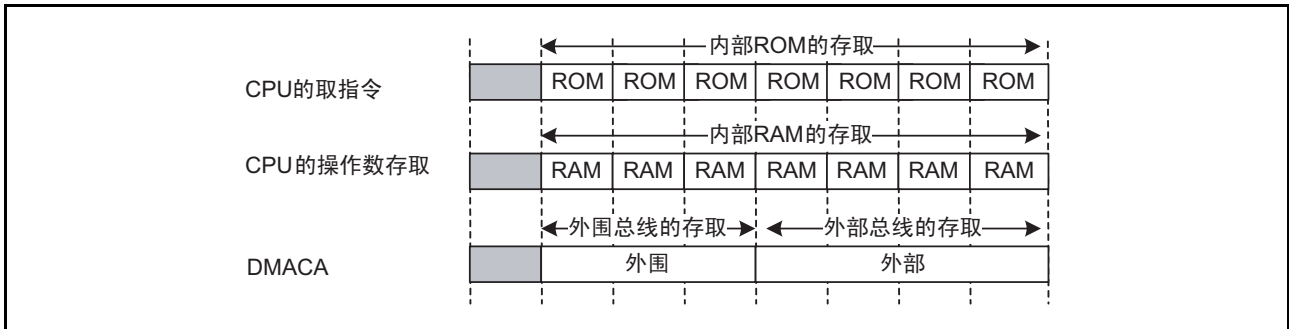


图 12.2 并行运行的例子

12.2.7 限制事项

(1) 禁止对跨地址空间的多个区域进行存取

禁止在 1 次存取中对跨地址空间的多个区域进行存取，否则无法保证运行。1 个字的存取或者长字的存取不能夹着地址空间的各区域边界而跨 2 个区域。

(2) 有关 RMPA 指令、字符串操作指令的限制事项

- a. 外部空间具有各区域的字节序转换功能（只限于数据）。但是，禁止将 RMPA 指令和字符串操作指令的操作对象数据分配到与芯片字节序设定不同的设定区域，否则无法保证运行。如果要将 RMPA 指令和字符串操作指令的操作对象数据分配到外部空间，就必须分配到与芯片字节序设定相同的设定区域。
- b. 禁止将 RMPA 指令和字符串操作指令的操作对象数据分配到 I/O 寄存器，否则无法保证运行。

12.3 寄存器说明

外部总线控制器的寄存器如表 12.7 所示。

表 12.7 外部总线控制器的寄存器一览表 (1 / 2)

寄存器名	符号	复位后的值	地址	存取长度
CS0 模式寄存器	CS0MOD	0000h	0008 3002h	16
CS0 等待控制寄存器 1	CS0WCR1	0707 0707h	0008 3004h	32
CS0 等待控制寄存器 2	CS0WCR2	0000 0007h	0008 3008h	32
CS1 模式寄存器	CS1MOD	0000h	0008 3012h	16
CS1 等待控制寄存器 1	CS1WCR1	0707 0707h	0008 3014h	32
CS1 等待控制寄存器 2	CS1WCR2	0000 0007h	0008 3018h	32
CS2 模式寄存器	CS2MOD	0000h	0008 3022h	16
CS2 等待控制寄存器 1	CS2WCR1	0707 0707h	0008 3024h	32
CS2 等待控制寄存器 2	CS2WCR2	0000 0007h	0008 3028h	32
CS3 模式寄存器	CS3MOD	0000h	0008 3032h	16
CS3 等待控制寄存器 1	CS3WCR1	0707 0707h	0008 3034h	32
CS3 等待控制寄存器 2	CS3WCR2	0000 0007h	0008 3038h	32
CS4 模式寄存器	CS4MOD	0000h	0008 3042h	16
CS4 等待控制寄存器 1	CS4WCR1	0707 0707h	0008 3044h	32
CS4 等待控制寄存器 2	CS4WCR2	0000 0007h	0008 3048h	32
CS5 模式寄存器	CS5MOD	0000h	0008 3052h	16
CS5 等待控制寄存器 1	CS5WCR1	0707 0707h	0008 3054h	32
CS5 等待控制寄存器 2	CS5WCR2	0000 0007h	0008 3058h	32
CS6 模式寄存器	CS6MOD	0000h	0008 3062h	16
CS6 等待控制寄存器 1	CS6WCR1	0707 0707h	0008 3064h	32
CS6 等待控制寄存器 2	CS6WCR2	0000 0007h	0008 3068h	32
CS7 模式寄存器	CS7MOD	0000h	0008 3072h	16
CS7 等待控制寄存器 1	CS7WCR1	0707 0707h	0008 3074h	32
CS7 等待控制寄存器 2	CS7WCR2	0000 0007h	0008 3078h	32
CS0 控制寄存器	CS0CR	0021h	0008 3802h	16
CS0 恢复周期设定寄存器	CS0REC	0000h	0008 380Ah	16
CS1 控制寄存器	CS1CR	0000h	0008 3812h	16
CS1 恢复周期设定寄存器	CS1REC	0000h	0008 381Ah	16
CS2 控制寄存器	CS2CR	0000h	0008 3822h	16
CS2 恢复周期设定寄存器	CS2REC	0000h	0008 382Ah	16
CS3 控制寄存器	CS3CR	0000h	0008 3832h	16
CS3 恢复周期设定寄存器	CS3REC	0000h	0008 383Ah	16
CS4 控制寄存器	CS4CR	0000h	0008 3842h	16
CS4 恢复周期设定寄存器	CS4REC	0000h	0008 384Ah	16
CS5 控制寄存器	CS5CR	0000h	0008 3852h	16
CS5 恢复周期设定寄存器	CS5REC	0000h	0008 385Ah	16
CS6 控制寄存器	CS6CR	0000h	0008 3862h	16
CS6 恢复周期设定寄存器	CS6REC	0000h	0008 386Ah	16

表 12.7 外部总线控制器的寄存器一览表 (2 / 2)

寄存器名	符号	复位后的值	地址	存取长度
CS7 控制寄存器	CS7CR	0000h	0008 3872h	16
CS7 恢复周期设定寄存器	CS7REC	0000h	0008 387Ah	16
SDC 控制寄存器	SDCCR	00h	0008 3C00h	8
SDC 模式寄存器	SDCMOD	00h	0008 3C01h	8
SDRAM 存取模式寄存器	SDAMOD	00h	0008 3C02h	8
SDRAM 自刷新控制寄存器	SDSELF	00h	0008 3C10h	8
SDRAM 刷新控制寄存器	SDRFCR	0001h	0008 3C14h	16
SDRAM 自动刷新控制寄存器	SDRFEN	00h	0008 3C16h	8
SDRAM 初始化顺序控制寄存器	SDICR	00h	0008 3C20h	8
SDRAM 初始化寄存器	SDIR	0010h	0008 3C24h	16
SDRAM 地址寄存器	SDADR	00h	0008 3C40h	8
SDRAM 时序寄存器	SDTR	0000 0002h	0008 3C44h	32
SDRAM 模式寄存器	SDMOD	0000h	0008 3C48h	16
SDRAM 状态寄存器	SDSR	00h	0008 3C50h	8
总线错误状态清除寄存器	BERCLR	00h	0008 1300h	8
总线错误监视允许寄存器	BEREN	00h	0008 1304h	8
总线错误状态寄存器 1	BERSR1	00h	0008 1308h	8
总线错误状态寄存器 2	BERSR2	0000h	0008 130Ah	16

12.3.1 CSn 控制寄存器 (CSnCR) (n=0 ~ 7)

地址 0008 3802h(CS0CR)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	EMODE	—	—	BSIZE[1:0]		—	—	—	EXENB
复位后的值	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1

地址 0008 3812h~0008 3872h(CS1CR~CS7CR)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	EMODE	—	—	BSIZE[1:0]		—	—	—	EXENB
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	EXENB	运行允许位	0: 禁止运行 1: 允许运行	R/W (注 1)
b3-b1	—	保留位	读写值都为“0”。	R/W
b5-b4	BSIZE[1:0]	外部总线宽度选择位	b5 b4 00: 设定为 16 位总线空间 (注 3) 01: 设定为 32 位总线空间 (注 4) 10: 设定为 8 位总线空间 11: 不能设定。	R/W (注 2)
b7-b6	—	保留位	读写值都为“0”。	R/W
b8	EMODE	字节序模式指定位	0: 区域 n 的字节序模式和运行模式的字节序相同 (n=0 ~ 7) 1: 区域 n 的字节序模式和运行模式的字节序不同 (n=0 ~ 7)	R/W
b15-b9	—	保留位	读写值都为“0”。	R/W

注 1. CS0CR.EXENB 位的初始值为“1”，CSnCR.EXENB 位 (n=1 ~ 7) 的初始值为“0”。

注 2. CS0CR.BSIZE[1:0] 位的初始值为“10b”。

注 3. 85 引脚 TFLGA 版不支持 16 位总线空间。

注 4. 145 引脚 TFLGA 版、144 引脚 LQFP 版、100 引脚 LQFP 版、85 引脚 TFLGA 版不支持 32 位总线空间。

CSnCR 寄存器允许或者禁止外部地址空间各区域的运行并且设定数据总线宽度和字节序。

EXENB 位 (运行允许位)

此位设定允许或者禁止各区域的运行。

复位后，只允许 (“1”) 区域 0 的运行，禁止 (“0”) 其他区域的运行。

如果存取被设定为禁止运行的区域，就不存取外部总线。此时，如果总线错误监视允许寄存器的非法地址存取检测允许位 (BEREN.IGAEN=1) 已经设定为允许检测，就发生非法地址错误。

BSIZE[1:0] 位 (外部总线宽度选择位)

这些位设定各区域的数据总线宽度。

复位后，区域 0 的数据总线宽度为 8 位总线空间。

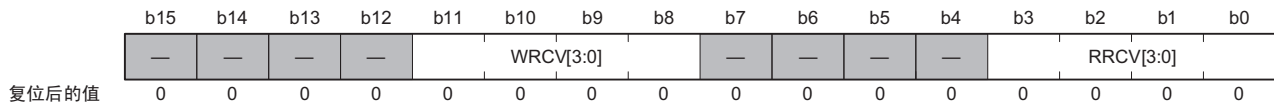
EMODE 位 (字节序模式指定位)

此位设定各区域的字节序。

不能将指令码分配到与芯片字节序设定不同的设定区域。如果要将指令码分配到外部空间，就必须分配到与芯片字节序设定相同的设定区域。

12.3.2 CSn 恢复周期设定寄存器 (CSnREC) (n=0 ~ 7)

地址 0008 380Ah~0008 387Ah



位	符号	位名	功能	R/W
b3-b0	RRCV[3:0]	读恢复设定位	b3 b0 0000: 不插入恢复周期 0001: 插入 1 个恢复周期 0010: 插入 2 个恢复周期 0011: 插入 3 个恢复周期 0100: 插入 4 个恢复周期 0101: 插入 5 个恢复周期 0110: 插入 6 个恢复周期 0111: 插入 7 个恢复周期 1000: 插入 8 个恢复周期 1001: 插入 9 个恢复周期 1010: 插入 10 个恢复周期 1011: 插入 11 个恢复周期 1100: 插入 12 个恢复周期 1101: 插入 13 个恢复周期 1110: 插入 14 个恢复周期 1111: 插入 15 个恢复周期	R/W
b7-b4	—	保留位	读写值都为“0”。	R/W
b11-b8	WRCV[3:0]	写恢复设定位	b11 b8 0000: 不插入恢复周期 0001: 插入 1 个恢复周期 0010: 插入 2 个恢复周期 0011: 插入 3 个恢复周期 0100: 插入 4 个恢复周期 0101: 插入 5 个恢复周期 0110: 插入 6 个恢复周期 0111: 插入 7 个恢复周期 1000: 插入 8 个恢复周期 1001: 插入 9 个恢复周期 1010: 插入 10 个恢复周期 1011: 插入 11 个恢复周期 1100: 插入 12 个恢复周期 1101: 插入 13 个恢复周期 1110: 插入 14 个恢复周期 1111: 插入 15 个恢复周期	R/W
b15-b12	—	保留位	读写值都为“0”。	R/W

CSnREC 寄存器设定外部地址空间各区域的读写存取后的恢复周期数。

RRCV[3:0] 位 (读恢复设定位)

这些位设定在对外部总线进行读存取后要插入的恢复周期数。

如果设定“0000b”以外的值,就在以下情况下插入 1 ~ 15 个恢复周期。

- 在对外部总线进行读存取后有外部总线的写存取时
(即使在相同区域内进行连续存取,也插入恢复周期。)
- 在对外部总线进行读存取后有不同区域的读存取时
(在相同区域内进行连续存取时,不插入恢复周期。)

WRCV[3:0] 位（写恢复设定位）

这些位设定在对外部总线进行写存取后要插入的恢复周期数。

如果设定“0000b”以外的值，就在以下的情况下插入 1 ~ 15 个恢复周期。

- 在对外部总线进行写存取后有外部总线的读存取时
（即使在相同区域内进行连续存取，也插入恢复周期。）
- 在写存取后的写存取时不插入恢复周期。

表 12.8 恢复周期的插入

存取的种类	外部地址空间	恢复周期的插入
写存取后的读存取	相同区域	插入 WRCV[3:0] 位设定的周期数。
	不同区域	插入 WRCV[3:0] 位设定的周期数。
写存取后的写存取	相同区域	不插入恢复周期。
	不同区域	不插入恢复周期。
读存取后的写存取	相同区域	插入 RRCV[3:0] 位设定的周期数。
	不同区域	插入 RRCV[3:0] 位设定的周期数。
读存取后的读存取	相同区域	不插入恢复周期。
	不同区域	插入 RRCV[3:0] 位设定的周期数。

12.3.3 CSn 模式寄存器 (CSnMOD) (n=0 ~ 7)

地址 0008 3002h~0008 3072h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRMOD	—	—	—	—	—	PWENB	PRENB	—	—	—	—	EWENB	—	—	WRMOD
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	WRMOD	写存取模式选择位	0: 字节选通模式 1: 1次写选通模式	R/W
b2-b1	—	保留位	读写值都为“0”。	R/W
b3	EWENB	外部等待允许位	0: 禁止外部等待 1: 允许外部等待	R/W
b7-b4	—	保留位	读写值都为“0”。	R/W
b8	PRENB	页面读存取允许位	0: 禁止页面读存取 1: 允许页面读存取	R/W
b9	PWENB	页面写存取允许位	0: 禁止页面写存取 1: 允许页面写存取	R/W
b14-b10	—	保留位	读写值都为“0”。	R/W
b15	PRMOD	页面读存取模式选择位	0: 正常存取兼容模式 1: 外部数据的连续读有效模式	R/W

CSnMOD 寄存器是设定外部地址空间各区域的存取模式的寄存器。

WRMOD 位 (写存取模式选择位)

此位选择写存取时的运行模式。

如果将此位置“0”，就为字节选通模式。此时，通过与各字节位置对应的 WRn# 信号 (n=0 ~ 3) 控制数据的写操作。

如果将此位置“1”，就为 1 次写选通模式。此时，通过与各字节位置对应的 BCn# 信号 (n=0 ~ 3) 和 WR# 信号控制数据的写操作。

注. 对于兼用 A0 引脚和 BC0# 引脚的产品，能在 16 位总线空间和 32 位总线空间中设定 1 次写选通模式，而禁止在 8 位总线空间中设定 1 次写选通模式。

表 12.9 写存取时控制信号的有效、无效

写存取模式	写数据信号					字节控制符号			
	WR3#	WR2#	WR1#	WR0#	WR#	BC3#	BC2#	BC1#	BC0#
字节选通模式	○	○	○	○	×	×	×	×	×
1 次写选通模式	×	×	×	×	○	○	○	○	○

【符号说明】○：有效 ×：无效

EWENB 位（外部等待允许位）

此位设定允许或者禁止外部等待。

如果将此位置“1”，就允许外部等待，能通过 WAIT# 信号任意控制各周期的等待数。此时，在 WAIT# 信号为 Low 电平期间，插入等待周期。

如果将此位置“0”，WAIT# 信号就无效。

PRENB 位（页面读存取允许位）

此位设定允许或者禁止页面的读存取。

PWENB 位（页面写存取允许位）

此位设定允许或者禁止页面的写存取。

PRMOD 位（页面读存取模式选择位）

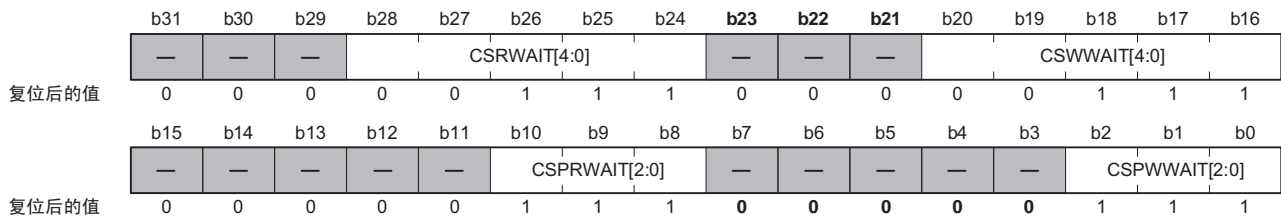
此位选择页面读存取时的运行模式。

如果将此位置“0”，就为正常存取兼容模式。此时每读 1 个数据，RD# 信号变为无效并且插入 RD 有效等待。但是在 RD 有效等待为“0”并且外部总线存取的最后传送以外的 RD# 信号不变为无效。

如果将此位置“1”，就为外部数据的连续读有效模式。此时插入 RD 有效等待，但是在此期间 RD# 信号持续有效。

12.3.4 CSn 等待控制寄存器 1 (CSnWCR1) (n=0 ~ 7)

地址 0008 3004h ~ 0008 3074h



位	符号	位名	功能	R/W
b2-b0	CSPWWAIT[2:0]	页面写周期的等待选择位 (注1)	b2 b0 000: 不插入等待 001: 插入1个等待周期 010: 插入2个等待周期 011: 插入3个等待周期 100: 插入4个等待周期 101: 插入5个等待周期 110: 插入6个等待周期 111: 插入7个等待周期	R/W
b7-b3	—	保留位	读写值都为“0”。	R/W
b10-b8	CSPRWAIT[2:0]	页面读周期的等待选择位 (注2)	b10 b8 000: 不插入等待 001: 插入1个等待周期 010: 插入2个等待周期 011: 插入3个等待周期 100: 插入4个等待周期 101: 插入5个等待周期 110: 插入6个等待周期 111: 插入7个等待周期	R/W
b15-b11	—	保留位	读写值都为“0”。	R/W
b20-b16	CSWWAIT[4:0]	正常写周期的等待选择位	b20 b16 00000: 不插入等待 00001: 插入1个等待周期 00010: 插入2个等待周期 00011: 插入3个等待周期 00100: 插入4个等待周期 00101: 插入5个等待周期 00110: 插入6个等待周期 00111: 插入7个等待周期 01000: 插入8个等待周期 01001: 插入9个等待周期 01010: 插入10个等待周期 01011: 插入11个等待周期 01100: 插入12个等待周期 01101: 插入13个等待周期 01110: 插入14个等待周期 01111: 插入15个等待周期 10000: 插入16个等待周期 10001: 插入17个等待周期 10010: 插入18个等待周期 10011: 插入19个等待周期 10100: 插入20个等待周期 10101: 插入21个等待周期 10110: 插入22个等待周期 10111: 插入23个等待周期 11000: 插入24个等待周期 11001: 插入25个等待周期 11010: 插入26个等待周期 11011: 插入27个等待周期 11100: 插入28个等待周期 11101: 插入29个等待周期 11110: 插入30个等待周期 11111: 插入31个等待周期	R/W
b23-b21	—	保留位	读写值都为“0”。	R/W

位	符号	位名	功能	R/W
b28-b24	CSRWAIT[4:0]	正常读周期的等待选择位	b28 b24 00000: 不插入等待 00001: 插入 1 个等待周期 00010: 插入 2 个等待周期 00011: 插入 3 个等待周期 00100: 插入 4 个等待周期 00101: 插入 5 个等待周期 00110: 插入 6 个等待周期 00111: 插入 7 个等待周期 01000: 插入 8 个等待周期 01001: 插入 9 个等待周期 01010: 插入 10 个等待周期 01011: 插入 11 个等待周期 01100: 插入 12 个等待周期 01101: 插入 13 个等待周期 01110: 插入 14 个等待周期 01111: 插入 15 个等待周期 10000: 插入 16 个等待周期 10001: 插入 17 个等待周期 10010: 插入 18 个等待周期 10011: 插入 19 个等待周期 10100: 插入 20 个等待周期 10101: 插入 21 个等待周期 10110: 插入 22 个等待周期 10111: 插入 23 个等待周期 11000: 插入 24 个等待周期 11001: 插入 25 个等待周期 11010: 插入 26 个等待周期 11011: 插入 27 个等待周期 11100: 插入 28 个等待周期 11101: 插入 29 个等待周期 11110: 插入 30 个等待周期 11111: 插入 31 个等待周期	R/W
b31-b29	—	保留位	读写值都为“0”。	R/W

注 1. CSPWAIT[2:0] 位的设定值只在 CSnMOD.PWENB 位为“1”时有效。

注 2. CSPRWAIT[2:0] 位的设定值只在 CSnMOD.PRENB 位为“1”时有效。

CSnWCR1 寄存器是选择外部地址空间各区域的等待周期数的寄存器。

CSPWAIT[2:0] 位（页面写周期的等待选择位）

这些位设定在第 2 个页面写存取以后的存取中要插入的周期数。CSPWAIT[2:0] 位的设定在 CSnMOD.PWENB 位为“1”时有效。

注. 必须设定为 $1 \leq \text{CSnWCR2.WDON}[2:0] \text{ 位} \leq \text{CSnWCR2.WRON}[2:0] \text{ 位} \leq \text{CSnWCR1.CSPWAIT}[2:0] \text{ 位}$ 并且 $\text{CSnWCR2.CSON}[2:0] \text{ 位} \leq \text{CSnWCR2.WRON}[2:0] \text{ 位} \leq \text{CSnWCR1.CSPWAIT}[2:0] \text{ 位}$ 。

CSPRWAIT[2:0] 位（页面读周期的等待选择位）

这些位设定在第 2 个页面读存取以后的存取中要插入的周期数。
CSPRWAIT[2:0] 位的设定在 CSnMOD.PRENB 位为“1”时有效。

注. 必须设定为 $\text{CSnWCR2.CSON}[2:0] \text{ 位} \leq \text{CSnWCR2.RDON}[2:0] \text{ 位} \leq \text{CSnWCR1.CSPRWAIT}[2:0] \text{ 位}$ 。

CSWWAIT[4:0] 位（正常写周期的等待选择位）

这些位设定在正常写存取和页面写存取的第 1 次存取中要插入的周期数。

注. 必须设定为 $1 \leq \text{CSnWCR2.WDON}[2:0] \text{ 位} \leq \text{CSnWCR2.WRON}[2:0] \text{ 位} \leq \text{CSnWCR1.CSWWAIT}[2:0] \text{ 位}$ 或者 $\text{CSnWCR2.CSON}[2:0] \text{ 位} \leq \text{CSnWCR2.WRON}[2:0] \text{ 位} \leq \text{CSnWCR1.CSWWAIT}[2:0] \text{ 位}$ 。

CSRWAIT[4:0] 位（正常读周期的等待选择位）

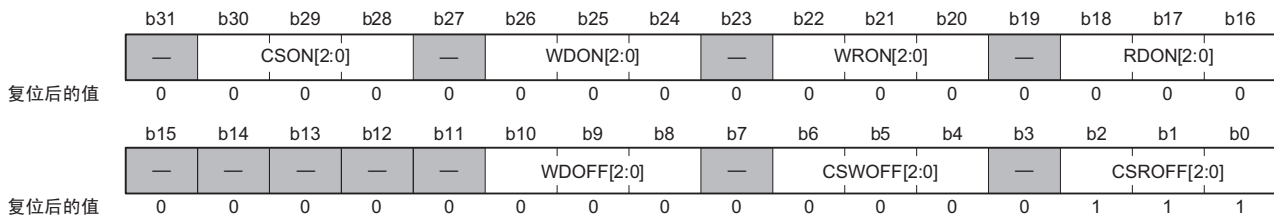
这些位设定在正常读存取和页面读存取的第 1 次存取中要插入的周期数。

注. 必须设定为 $\text{CSnWCR2.CSON}[2:0] \text{ 位} \leq \text{CSnWCR2.RDON}[2:0] \text{ 位} \leq \text{CSnWCR1.CSRWAIT}[4:0] \text{ 位}$ 。

注. 必须在“12.5.6 限制事项 (1) 正常存取和页面存取时的限制事项”所示的限制范围内设定各位。
在使用 EXDMAC 的单地址传送模式时，必须在“12.5.6 限制事项 (4) EXDMAC 单地址传送模式时的限制事项”所示的限制范围内进行设定。

12.3.5 CSn 等待控制寄存器 2 (CSnWCR2) (n=0 ~ 7)

地址 0008 3008h ~ 0008 3078h



位	符号	位名	功能	R/W
b2-b0	CSROFF[2:0]	读取时的 CS 延长周期选择位	b2 b0 000: 不插入等待 001: 插入 1 个等待周期 010: 插入 2 个等待周期 011: 插入 3 个等待周期 100: 插入 4 个等待周期 101: 插入 5 个等待周期 110: 插入 6 个等待周期 111: 插入 7 个等待周期	R/W
b3	—	保留位	读写值都为“0”。	R/W
b6-b4	CSWOFF[2:0]	写入时的 CS 延长周期选择位	b6 b4 000: 不插入等待 001: 插入 1 个等待周期 010: 插入 2 个等待周期 011: 插入 3 个等待周期 100: 插入 4 个等待周期 101: 插入 5 个等待周期 110: 插入 6 个等待周期 111: 插入 7 个等待周期	R/W
b7	—	保留位	读写值都为“0”。	R/W
b10-b8	WDOFF[2:0]	写数据的输出延长周期选择位	b10 b8 000: 不插入等待 001: 插入 1 个等待周期 010: 插入 2 个等待周期 011: 插入 3 个等待周期 100: 插入 4 个等待周期 101: 插入 5 个等待周期 110: 插入 6 个等待周期 111: 插入 7 个等待周期	R/W
b15-b11	—	保留位	读写值都为“0”。	R/W
b18-b16	RDON[2:0]	RD 有效等待选择位	b18 b16 000: 不插入等待 001: 插入 1 个等待周期 010: 插入 2 个等待周期 011: 插入 3 个等待周期 100: 插入 4 个等待周期 101: 插入 5 个等待周期 110: 插入 6 个等待周期 111: 插入 7 个等待周期	R/W
b19	—	保留位	读写值都为“0”。	R/W

位	符号	位名	功能	R/W
b22-b20	WRON[2:0]	WR 有效等待选择位	b22 b20 000: 不插入等待 001: 插入 1 个等待周期 010: 插入 2 个等待周期 011: 插入 3 个等待周期 100: 插入 4 个等待周期 101: 插入 5 个等待周期 110: 插入 6 个等待周期 111: 插入 7 个等待周期	R/W
b23	—	保留位	读写值都为“0”。	R/W
b26-b24	WDON[2:0]	写数据的输出等待选择位	b26 b24 000: 不插入等待 001: 插入 1 个等待周期 010: 插入 2 个等待周期 011: 插入 3 个等待周期 100: 插入 4 个等待周期 101: 插入 5 个等待周期 110: 插入 6 个等待周期 111: 插入 7 个等待周期	R/W
b27	—	保留位	读写值都为“0”。	R/W
b30-b28	CSON[2:0]	CS 有效等待选择位	b30 b28 000: 不插入等待 001: 插入 1 个等待周期 010: 插入 2 个等待周期 011: 插入 3 个等待周期 100: 插入 4 个等待周期 101: 插入 5 个等待周期 110: 插入 6 个等待周期 111: 插入 7 个等待周期	R/W
b31	—	保留位	读写值都为“0”。	R/W

CSnWCR2 寄存器是选择外部地址空间各区域的等待周期数的寄存器。

CSROFF[2:0] 位（读取时的 CS 延长周期选择位）

这些位设定从读存取时的等待周期结束（RD# 信号无效）到 CSn# 信号（n=0 ~ 7）无效的周期数。

CSWOFF[2:0] 位（写入时的 CS 延长周期选择位）

这些位设定从写存取时的等待周期结束（WR0# ~ WR3# 和 WR# 信号无效）到 CSn# 信号（n=0 ~ 7）无效的周期数。

注. 必须设定为 WDOFF[2:0] 位 ≤ CSWOFF[2:0] 位。

WDOFF[2:0] 位（写数据的输出延长周期选择位）

这些位设定从写存取时的等待周期结束（WR0# ~ WR3# 和 WR# 无效）到写数据输出结束的周期数。

在 EXDMAC 的单地址传送模式中，不从芯片输出写数据，但是在页面存取的总线分割期间写数据的输出延长周期值有效。

注. 必须设定为 WDOFF[2:0] 位 ≤ CSWOFF[2:0] 位。

RDON[2:0] 位 (RD 有效等待选择位)

这些位设定在 RD# 信号有效前插入的等待周期数。

- 注 1. 在正常读存取时, 必须设定为 CSnWCR2.CSON[2:0] 位 \leq CSnWCR2.RDON[2:0] 位 \leq CSnWCR1.CSRWAIT[4:0] 位。
在页面读存取时, 必须设定为 CSnWCR2.CSON[2:0] 位 \leq CSnWCR2.RDON[2:0] 位 \leq CSnWCR1.CSPRWAIT[4:0] 位。
- 注 2. 在 EXDMAC 的单地址传送模式中进行读存取时, 不仅要符合上述条件, 而且必须设定为 CSnWCR2.RDON[2:0] 位 \geq 1。

WRON[2:0] 位 (WR 有效等待选择位)

这些位设定在 WR0# ~ WR3# 信号和 WR# 信号有效前插入的等待周期数。

- 注 1. 在正常写存取时, 必须设定为
- $1 \leq$ CSnWCR2.WDON[2:0] 位 \leq CSnWCR2.WRON[2:0] 位 \leq CSnWCR1.CSWWAIT[4:0] 位 并且 CSnWCR2.CSON[2:0] 位 \leq CSnWCR2.WRON[2:0] 位 \leq CSnWCR1.CSWWAIT[4:0] 位。
 - 在页面写存取时, 必须设定为
 - $1 \leq$ CSnWCR2.WDON[2:0] 位 \leq CSnWCR2.WRON[2:0] 位 \leq CSnWCR1.CSPWAIT[4:0] 位 并且 CSnWCR2.CSON[2:0] 位 \leq CSnWCR2.WRON[2:0] 位 \leq CSnWCR1.CSPWAIT[4:0] 位。
- 注 2. 在 EXDMAC 的单地址传送模式中进行写存取时, 不仅要符合上述条件, 而且必须设定为 CSnWCR2.WRON[2:0] 位 \geq 1。

WDON[2:0] 位 (写数据的输出等待选择位)

这些位设定在输出写数据前插入的等待周期数。但是, 只能在 CS# 信号有效时输出写数据。

- 注. 在正常写存取时, 必须设定为
- $1 \leq$ CSnWCR2.WDON[2:0] 位 \leq CSnWCR2.WRON[2:0] 位 \leq CSnWCR1.CSWWAIT[4:0] 位。
在页面写存取时, 必须设定为
- $1 \leq$ CSnWCR2.WDON[2:0] 位 \leq CSnWCR2.WRON[2:0] 位 \leq CSnWCR1.CSPWAIT[4:0] 位。

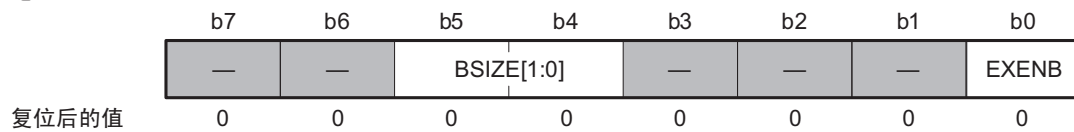
CSON[2:0] 位 (CS 有效等待选择位)

这些位设定在 CSn# 信号 (n=0 ~ 7) 有效前插入的等待周期数。

- 注. 在正常读存取时, 必须设定为 CSnWCR2.CSON[2:0] 位 \leq CSnWCR2.RDON[2:0] 位 \leq CSnWCR1.CSRWAIT[4:0] 位。在页面读存取时, 必须设定为 CSnWCR2.CSON[2:0] 位 \leq CSnWCR2.RDON[2:0] 位 \leq CSnWCR1.CSPRWAIT[4:0] 位。
在正常写存取时, 必须设定为 CSnWCR2.CSON[2:0] 位 \leq CSnWCR2.WRON[2:0] 位 \leq CSnWCR1.CSWWAIT[4:0] 位。在页面写存取时, 必须设定为 CSnWCR2.CSON[2:0] 位 \leq CSnWCR2.WRON[2:0] 位 \leq CSnWCR1.CSPWAIT[4:0] 位。
- 注. 必须在“12.5.6 限制事项(1) 正常存取和页面存取时的限制事项”所示的限制范围内设定各位。另外, 在使用 EXDMAC 的单地址传送模式时, 必须在“12.5.6 限制事项 (4) EXDMAC 单地址传送模式时的限制事项”所示的限制范围内进行设定。

12.3.6 SDC 控制寄存器 (SDCCR)

地址 0008 3C00h



位	符号	位名	功能	R/W
b0	EXENB	运行允许位	0: 禁止运行 1: 允许运行	R/W
b3-b1	—	保留位	读写值都为“0”。	R/W
b5-b4	BSIZE[1:0]	SDRAM 总线宽度选择位	b5 b4 00: 设定为 16 位总线空间 01: 设定为 32 位总线空间 10: 设定为 8 位总线空间 11: 不能设定	R/W
b7-b6	—	保留位	读写值都为“0”。	R/W

SDCCR 寄存器是允许或者禁止 SDRAM 地址空间的运行并且设定数据总线宽度的寄存器。

EXENB 位 (运行允许位)

此位设定允许或者禁止 SDRAM 地址空间的运行。

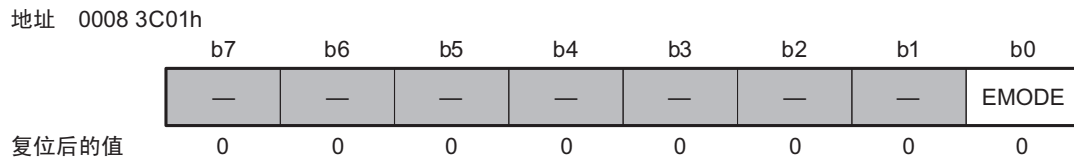
复位后，禁止 (“0”) 运行。

如果存取被设定为禁止运行的区域，就不存取 SDRAM。此时，如果将总线错误监视允许寄存器的非法地址存取检测允许位 (BEREN.IGAEN=1) 设定为允许检测，就发生总线错误。

BSIZE[1:0] 位 (SDRAM 总线宽度选择位)

这些位设定 SDRAM 地址空间的数据总线宽度。

12.3.7 SDC 模式寄存器 (SDCMOD)



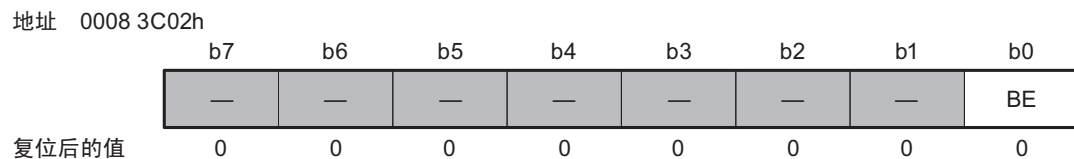
位	符号	位名	功能	R/W
b0	EMODE	字节序模式指定位	0: SDRAM 地址空间的字节序模式和运行模式的字节序相同 1: SDRAM 地址空间的字节序模式和运行模式的字节序不同	R/W
b7-b1	—	保留位	读写值都为“0”。	R/W

SDCMOD 寄存器是设定 SDRAM 地址空间的字节序的寄存器。

EMODE 位 (字节序模式指定位)

此位设定 SDRAM 地址空间的字节序模式。

12.3.8 SDRAM 存取模式寄存器 (SDAMOD)



位	符号	位名	功能	R/W
b0	BE	连续存取允许位	0: 禁止连续存取 1: 允许连续存取	R/W
b7-b1	—	保留位	读写值都为“0”。	R/W

SDAMOD 寄存器是设定允许或者禁止 SDRAM 存取空间的连续存取的寄存器。

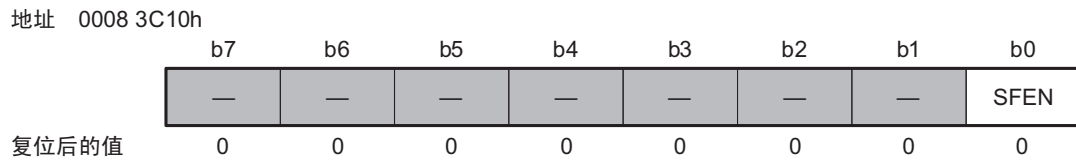
BE 位 (连续存取允许位)

此位选择允许或者禁止 SDRAM 存取空间的连续存取。

注 1. 只能在满足“表 12.15 寄存器的改写条件”的条件下设定 SDAMOD 寄存器，否则无法保证运行。

注 2. 如果 EXDMAC 以外的总线主控存取 SDRAM 区，即使设定为允许连续存取，也无法进行连续存取。

12.3.9 SDRAM 自刷新控制寄存器 (SDSELF)



位	符号	位名	功能	R/W
b0	SFEN	SDRAM 自刷新运行有效位	0: 自刷新无效 1: 自刷新有效	R/W
b7-b1	—	保留位	读写值都为“0”。	R/W

SDSELF 寄存器是控制自刷新运行的寄存器。

SFEN 位 (SDRAM 自刷新运行有效位)

此位控制自刷新运行。

如果将此位置“1”，就在进行自动刷新周期运行后开始自刷新运行。

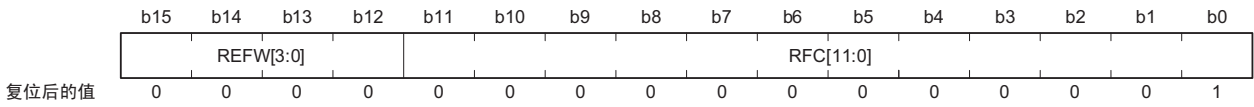
如果将此位置“0”，就在结束自刷新运行后进行自动刷新运行。

如果将此位置“1”，就在开始自刷新运行时反映该值；如果将此位置“0”，就在自刷新运行结束后开始自动刷新时反映该值。

注. 只能在满足“表 12.15 寄存器的改写条件”的条件下通过写 SFEN 位，设定自刷新的有效或者无效，否则无法保证运行。

12.3.10 SDRAM 刷新控制寄存器 (SDRFCR)

地址 0008 3C14h



位	符号	位名	功能	R/W
b11-b0	RFC[11:0]	自动刷新请求间隔设定位	b11 b0 000000000000: 不能设定 000000000001: 2个周期 000000000010: 3个周期 : 111111111111: 4096个周期	R/W
b15-b12	REFW[3:0]	自动刷新周期 / 自刷新解除周期数的设定位	b15 b12 0000: 1个周期 0001: 2个周期 0010: 3个周期 0011: 4个周期 0100: 5个周期 0101: 6个周期 0110: 7个周期 0111: 8个周期 1000: 9个周期 1001: 10个周期 1010: 11个周期 1011: 12个周期 1100: 13个周期 1101: 14个周期 1110: 15个周期 1111: 16个周期	R/W

SDRFCR 寄存器是设定刷新周期数的寄存器。

RFC[11:0] 位 (自动刷新请求间隔设定位)

这些位设定自动刷新请求间隔。

与 SDRAM 自动刷新控制寄存器的自动刷新运行有效位 (SDRFEN.RFEN) 的状态无关, 能写这些位。

自动刷新有效时的写入值被反映在自动刷新周期结束后的刷新计数器, 通过 SDCLK 对刷新计数器进行计数。

REFW[3:0] 位（自动刷新周期 / 自刷新解除周期数的设定位）

这些位设定自动刷新周期数和自刷新解除周期数。

与 SDRFEN.RFEN 位的状态无关，能写这些位。

如果是在自动刷新周期中，就在自动刷新周期结束后反映自动刷新有效时的写入值。

注. 因为在存取 SDRAM 的过程中不接受自动刷新请求而等到存取结束，所以自动刷新间隔有可能拉长。为了满足要使用的 SDRAM 的自动刷新间隔规定，必须决定自动刷新请求间隔并且设定 RFC[11:0] 位。此时，必须设定长于自动刷新周期的自动刷新请求间隔。因为不能自动跟踪在运行中更改频率时的自动刷新间隔，所以必须进行自刷新，重新设定与频率对应的自动刷新间隔。

- 自动刷新请求间隔和 RFC[11:0] 位的设定值的关系

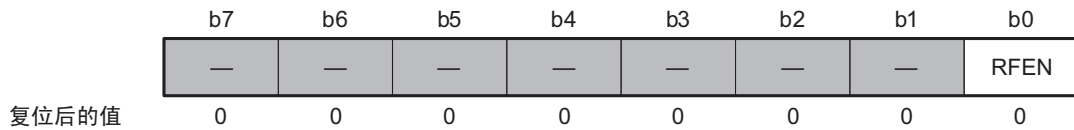
SDRAMC（SDRAM 区控制器）内置 12 位刷新计数器，定期产生自动刷新请求。从自动刷新请求间隔求 RFC[11:0] 位的设定值的表达式如下所示：

$$\text{RFC} = (\text{自动刷新请求间隔} / \text{SDCLK 周期}) - 1$$

注. 在存取 SDRAM 的过程中不接受自动刷新请求而等到存取结束，但是与是否接受此请求无关，更新计数器的值。必须注意：如果在存取 SDRAM 的过程中至少产生 2 次自动刷新请求，就忽视第 2 次以后的刷新请求。

12.3.11 SDRAM 自动刷新控制寄存器 (SDRFEN)

地址 0008 3C16h



位	符号	位名	功能	R/W
b0	RFEN	自动刷新运行有效位	0: 自动刷新无效 1: 自动刷新有效	R/W
b7-b1	—	保留位	读写值都为“0”。	R/W

SDRFEN 寄存器是控制自动刷新运行的寄存器。

RFEN 位 (自动刷新运行有效位)

如果在自动刷新有效时将 RFEN 位置“0”，RFEN 位就在自动刷新周期结束后变为“0”，并且自动刷新运行停止。如果在自动刷新周期结束前再次将 RFEN 位置“1”，就继续进行自动刷新运行。

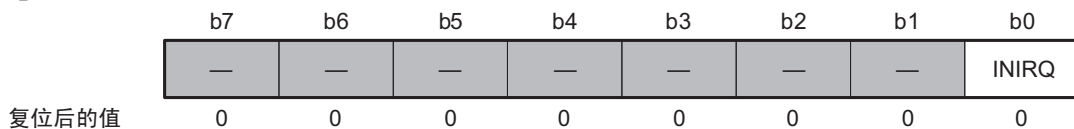
如果在自动刷新无效时将 RFEN 位置“1”，就在开始自动刷新运行后通过计数器定期产生刷新请求。刷新请求的产生间隔取决于 SDRAM 刷新控制寄存器的自动刷新请求间隔选择位 (SDRFCR.RFC[11:0]) 的设定值。

在存取 SDRAM 的过程中不接受刷新请求而让刷新请求等到存取结束。

如果 SDRAM 的存取和刷新请求同时发生，就优先刷新请求。

12.3.12 SDRAM 初始化顺序控制寄存器 (SDICR)

地址 0008 3C20h



位	符号	位名	功能	R/W
b0	INIRQ	初始化顺序开始位	0: 无效 1: 开始初始化顺序	R/W
b7-b1	—	保留位	读写值都为“0”。	R/W

SDICR 寄存器是控制 SDRAM 初始化顺序的启动的寄存器。

INIRQ 位 (初始化顺序开始位)

如果将此位置“1”，就开始 SDRAM 初始化顺序，SDRAM 状态寄存器的初始化状态位 (SDSR.INIST) 自动变为“1”。在初始化顺序结束后，SDSR.INIST 位自动变为“0”。

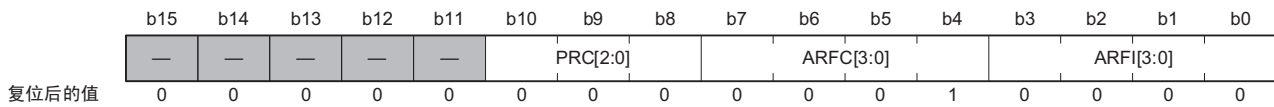
不保持 INIRQ 位的写入值。

如果在启动初始化顺序后存取外部地址空间或者外部总线控制器的寄存器，就让存取等到初始化顺序结束。

注. 只能在满足“表 12.15 寄存器的改写条件”的条件下通过写 INIRQ 位，启动初始化顺序，否则无法保证运行。

12.3.13 SDRAM 初始化寄存器 (SDIR)

地址 0008 3C24h



位	符号	位名	功能	R/W
b3-b0	ARFI[3:0]	初始化自动刷新闻隔位	b3 b0 0 0 0 0: 3 个周期 0 0 0 1: 4 个周期 0 0 1 0: 5 个周期 0 0 1 1: 6 个周期 0 1 0 0: 7 个周期 0 1 0 1: 8 个周期 0 1 1 0: 9 个周期 0 1 1 1: 10 个周期 1 0 0 0: 11 个周期 1 0 0 1: 12 个周期 1 0 1 0: 13 个周期 1 0 1 1: 14 个周期 1 1 0 0: 15 个周期 1 1 0 1: 16 个周期 1 1 1 0: 17 个周期 1 1 1 1: 18 个周期	R/W
b7-b4	ARFC[3:0]	初始化自动刷新次数位	b7 b4 0 0 0 0: 不能设定 0 0 0 1: 1 次 0 0 1 0: 2 次 0 0 1 1: 3 次 0 1 0 0: 4 次 0 1 0 1: 5 次 0 1 1 0: 6 次 0 1 1 1: 7 次 1 0 0 0: 8 次 1 0 0 1: 9 次 1 0 1 0: 10 次 1 0 1 1: 11 次 1 1 0 0: 12 次 1 1 0 1: 13 次 1 1 1 0: 14 次 1 1 1 1: 15 次	R/W
b10-b8	PRC[2:0]	初始化预充电周期数设定位	b10 b8 0 0 0: 3 个周期 0 0 1: 4 个周期 0 1 0: 5 个周期 0 1 1: 6 个周期 1 0 0: 7 个周期 1 0 1: 8 个周期 1 1 0: 9 个周期 1 1 1: 10 个周期	R/W
b15-b11	—	保留位	读写值都为“0”。	R/W

SDIR 寄存器是设定 SDRAM 初始化顺序的时序的寄存器。

ARFI[3:0] 位 (初始化自动刷新闻隔位)

这些位设定 SDRAM 初始化顺序中的自动刷新命令的发行间隔。

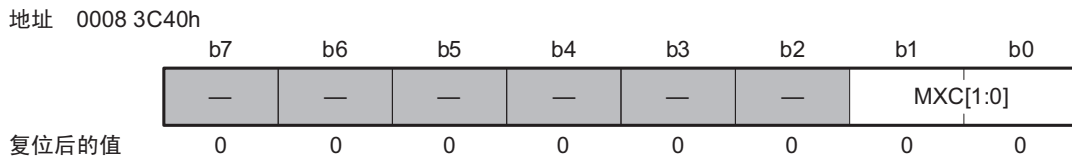
ARFC[3:0] 位（初始化自动刷新次数位）

这些位设定 SDRAM 初始化顺序中的自动刷新次数。

PRC[2:0] 位（初始化预充电周期数设定位）

这些位设定 SDRAM 初始化顺序中的预充电周期数。

注. 必须在开始初始化顺序前设定上述各位，使之符合要连接的 SDRAM 规格。

12.3.14 SDRAM 地址寄存器（SDADR）

位	符号	位名	功能	R/W
b1-b0	MXC[1:0]	地址多路复用选择位	b1 b0 0 0: 移 8 位 0 1: 移 9 位 1 0: 移 10 位 1 1: 移 11 位	R/W
b7-b2	—	保留位	读写值都为“0”。	R/W

SDADR 寄存器是设定用于选择地址多路复用的参数的寄存器。

MXC[1:0] 位（地址多路复用选择位）

这些位选择行地址和列地址的多路复用的向行地址低位方向移动的位移量，同时选择连续存取 SDRAMC 时要比较的行地址。

详细内容请参照“表 12.20 地址多路复用”。

注. 只能在满足“表 12.15 寄存器的改写条件”的条件下设定 SDADR 寄存器，否则无法保证运行。

12.3.15 SDRAM 时序寄存器 (SDTR)

地址 0008 3C44h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	RAS[2:0]		
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	RCD[1:0]		RP[2:0]		WR	—	—	—	—	—	CL[2:0]			
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

位	符号	位名	功能	R/W
b2-b0	CL[2:0]	SDRAMC 的列等待时间设定位	b2 b0 000: 不能设定 001: 1个周期 010: 2个周期 011: 3个周期 100: 不能设定 101: 不能设定 110: 不能设定 111: 不能设定	R/W
b7-b3	—	保留位	读写值都为“0”。	R/W
b8	WR	写恢复期间设定位	0: 1个周期 1: 2个周期	R/W
b11-b9	RP[2:0]	行预充电期间设定位	b11 b9 000: 1个周期 001: 2个周期 010: 3个周期 011: 4个周期 100: 5个周期 101: 6个周期 110: 7个周期 111: 8个周期	R/W
b13-b12	RCD[1:0]	行列等待时间设定位	b13 b12 00: 1个周期 01: 2个周期 10: 3个周期 11: 4个周期	R/W
b15-b14	—	保留位	读写值都为“0”。	R/W
b18-b16	RAS[2:0]	行有效期间设定位	b18 b16 000: 1个周期 001: 2个周期 010: 3个周期 011: 4个周期 100: 5个周期 101: 6个周期 110: 7个周期 111: 不能设定	R/W
b31-b19	—	保留位	读写值都为“0”。	R/W

SDTR 寄存器是设定 SDRAM 的读写存取时序的寄存器（存取时序的详细内容请参照“12.6.12.3 时序寄存器的设定值和存取时序”）。

CL[2:0] 位（SDRAMC 的列等待时间设定位）

这些位设定 SDRAMC 的列等待时间。此设定只影响 SDRAMC 的等待时间的设定，并且需要通过后述的 SDRAM 模式寄存器（SDMOD）设定连接外部的 SDRAM 的列等待时间。

注. 在连续存取模式中禁止将 CL[2:0] 位置 "1"（CL=1），如果进行设定，就无法保证运行。

WR 位（写恢复期间设定位）

此位设定从 SDRAM 的写（WRIT）命令到非激活（PALL）的期间。

RP[2:0] 位（行预充电期间设定位）

这些位设定从 SDRAM 的非激活（PALL）命令到下一个有效命令的最短周期数。

RCD[1:0] 位（行列等待时间设定位）

这些位设定 SDRAM 的行列等待时间。

RAS[2:0] 位（行有效期间设定位）

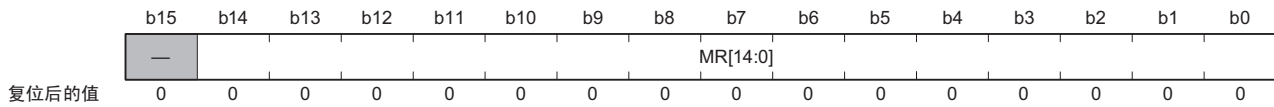
这些位设定从 SDRAM 的行激活（ACTV）命令到非激活（PALL）的最短期间。

RAS[2:0] 位的值必须小于等于行 - 列等待时间（RCD[1:0]）+ 列等待时间（CL[2:0]）。

注. 只能在满足“表 12.15 寄存器的改写条件”的条件下设定 SDRAM 时序寄存器，否则无法保证运行。

12.3.16 SDRAM 模式寄存器 (SDMOD)

地址 0008 3C48h



位	符号	位名	功能	R/W
b14-b0	MR[14:0]	模式寄存器的设定位	写：发行模式寄存器的置位命令	R/W
b15	—	保留位	读写值都为“0”。	R/W

SDMOD 寄存器是设定 SDRAM 模式寄存器的写入值的寄存器。

如果写 SDMOD 寄存器，就自动向 SDRAM 发行模式寄存器的置位命令。

MR[14:0] 位 (模式寄存器的设定位)

这些位向 SDRAM 发行模式寄存器的置位命令。此时，将 MR[14:0] 位的设定值输出到地址的低位，详细内容请参照“12.6.11 模式寄存器的设定”。

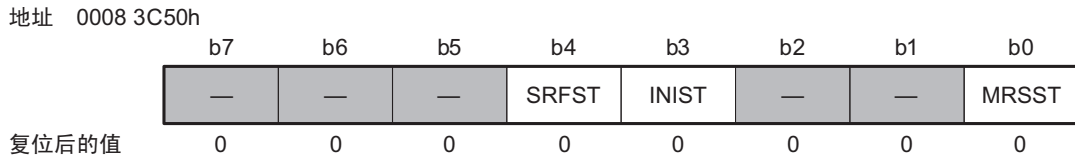
如果在写模式寄存器后存取外部地址空间或者外部总线控制器的寄存器，就让存取等到模式寄存器的置位命令发行结束。

注 1. 在设定 SDMOD 寄存器时，必须注意以下事项：

- 必须给 SDRAM 设定突发长度 1，否则无法保证运行。
- SDRAM 列等待时间必须和 SDRAM 时序寄存器的 SDRAMC 列等待时间设定位 (SDTR.CL[2:0] 位) 的设定值相同，否则无法保证运行。
- 必须确认 SDRAM 状态寄存器的状态位 (SDSR.SRFST、SDSR.INIST 和 SDRS.MRSST) 全部为“0”。

注 2. 只能在满足“表 12.15 寄存器的改写条件”的条件下设定 SDMOD 寄存器，否则无法保证运行。

12.3.17 SDRAM 状态寄存器 (SDSR)



位	符号	位名	功能	R/W
b0	MRSST	模式寄存器的置位状态位	0: 模式寄存器不在置位 1: 模式寄存器正在置位	R
b2-b1	—	保留位	读写值都为“0”。	R/W
b3	INIST	初始化状态位	0: 不在执行初始化顺序 1: 正在执行初始化顺序	R
b4	SRFST	自刷新转移 / 返回状态位	0: 不在转移或者返回过程中 1: 正在转移或者返回过程中	R
b7-b5	—	保留位	读写值都为“0”。	R/W

SDSR 寄存器表示自刷新、初始化顺序以及在模式寄存器被置位时 SDRAMC 的运行状态。

MRSST 位（模式寄存器的置位状态位）

当此位为“1”时，表示 SDRAM 正在进行模式寄存器的置位。如果在模式寄存器的置位过程中存取 SDRS 寄存器，就能让 CPU 的处理等到模式寄存器的置位结束。

INIST 位（初始化状态位）

当此位为“1”时，表示 SDRAM 正在执行 SDRAM 初始化顺序。如果在执行初始化顺序中存取 SDRS 寄存器，就能让 CPU 的处理等到初始化顺序结束。

SRFST 位（自刷新转移 / 返回状态位）

当此位为“1”时，表示 SDRAM 正在向自刷新转移或者返回。

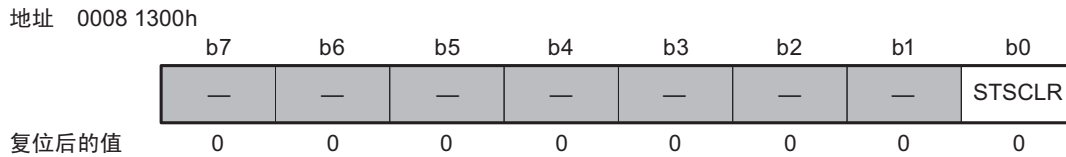
正在转移或者返回过程中表示从写表 12.10 所示的各位到发行各命令的期间。

注 . 只能在全部的状态位都为“0”时执行自刷新、初始化顺序和模式寄存器的置位。如果状态位（SRFST、INIST 和 MRSST）中任意 1 位为“1”，就不能改写表 12.10 所示的寄存器和位。

表 12.10 需要确认状态位的寄存器名和位名一览表

功能	寄存器名	位名
自刷新	SDSELF	SFEN
初始化顺序	SDICR	INIRQ
模式寄存器的置位	SDMOD	MR[14:0]

12.3.18 总线错误状态清除寄存器 (BERCLR)



位	符号	位名	功能	R/W
b0	STSCLR	状态清除位	0: 无效 1: 清除总线错误状态寄存器的值	R/W (注1)
b7-b1	—	保留位	读写值都为“0”。	R/W

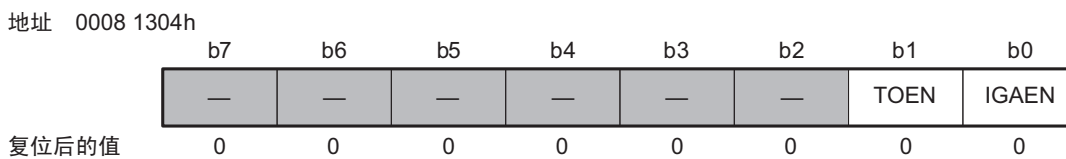
注1. 只能写“1”，写“0”无效。

STSCLR 位 (状态清除位)

如果给此位写“1”，就清除总线错误状态寄存器 1 (BERSR1) 和总线错误状态寄存器 2 (BERSR2) 的值。

写“0”无效，读取值为“0”。

12.3.19 总线错误监视允许寄存器 (BEREN)



位	符号	位名	功能	R/W
b0	IGAEN	非法地址的存取检测允许位	0: 禁止检测非法地址的存取 1: 允许检测非法地址的存取	R/W
b1	TOEN	超时检测允许位 (注1、注2)	0: 禁止检测总线超时 1: 允许检测总线超时	R/W
b7-b2	—	保留位	读写值都为“0”。	R/W

注1. 如果在设定为禁止检测 (TOEN 位 =0) 后存取总线，总线就可能冻结。

注2. 不能在检测超时错误过程中将 TOEN 位置“0” (禁止检测)。

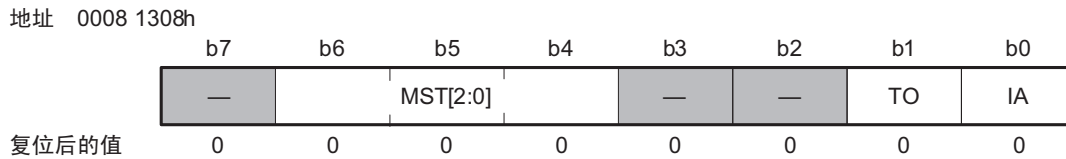
IGAEN 位 (非法地址的存取检测允许位)

此位设定允许或者禁止检测非法地址的存取。

TOEN 位 (超时检测允许位)

此位设定允许或者禁止检测总线超时。

12.3.20 总线错误状态寄存器 1 (BERSR1)



位	符号	位名	功能	R/W
b0	IA	非法地址存取位	0: 未发生非法地址的存取 1: 发生非法地址的存取	R
b1	TO	超时位	0: 未发生超时 1: 发生超时	R
b3-b2	—	保留位	读取值为“0”，写操作无效。	R
b6-b4	MST[2:0]	总线主控代码位	b6 b4 0 0 0: CPU 0 0 1: 不能设定 0 1 0: 不能设定 0 1 1: DTC/DMACA 1 0 0: 不能设定 1 0 1: 不能设定 1 1 0: EDMAC 1 1 1: EXDMAC	R
b7	—	保留位	读取值为“0”，写操作无效。	R

BERSR1 寄存器是记录总线错误发生状态的寄存器。

BERSR1 寄存器记录是否发生超时 (TO 位) 和非法地址的存取 (IA 位) 以及被哪个总线主控存取了 (MST[2:0] 位)。

IA 位 (非法地址存取标志位)

此位表示是否发生了非法地址的存取错误。

TO 位 (超时标志位)

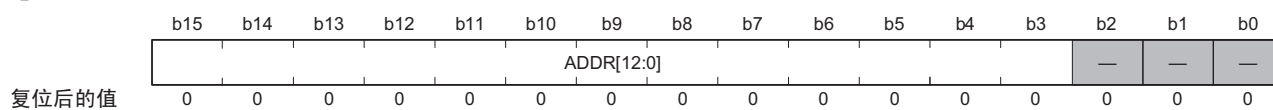
此位表示是否发生了超时。

MST[2:0] 位 (总线主控代码位)

这些位表示在存取时发生总线错误的总线主控。

12.3.21 总线错误状态寄存器 2 (BERSR2)

地址 0008 130Ah



位	符号	位名	功能	R/W
b2-b0	—	保留位	读取值为“0”，写操作无效。	R
b15-b3	ADDR[12:0]	总线错误发生地址位	发生总线错误的存取地址的高 13 位（以 512KB 为单位）	R

BERSR2 寄存器记录发生总线错误的地址的高 13 位。

ADDR[12:0] (总线错误发生地址位)

这些位表示发生总线错误的地址的高 13 位。

12.4 字节序和字节对齐

外部总线具有字节对齐功能，根据存取区域的总线规格（8 位总线空间、16 位总线空间和 32 位总线空间）、数据长度和字节序模式，控制在存取外部地址空间（CS 区域和 SDRAM 区）时使用 D31 ~ D24、D23 ~ D16、D15 ~ D8 和 D7 ~ D0 中的哪条数据总线。

12.4.1 CS 区域的字节对齐控制

(1) 32 位总线空间

如果通过 CSnCR.BSIZE[1:0] 位选择 32 位总线空间，地址总线（A23 ~ A2）就作为以 32 位为单位的地址输出信号并且有效，地址总线（A1 和 A0）无效。

当选择字节选通模式（CSnMOD.WRMODE=0）时，WR0# ~ WR3# 引脚有效，不使用 BC0# ~ BC3# 引脚。

当选择 1 次写选通模式（CSnMOD.WRMODE=1）时，只有 WR# 引脚有效，与数据长度无关，在进行写存取时，从 WR# 引脚输出 Low 电平。此时，通过 BC0# ~ BC3# 引脚表示有效的字节位置。

在 32 位总线空间中，芯片的外部数据和控制信号的有效位置因大端法和小端法而不同。

数据长度	存取地址	存取次数	总线周期	数据量	地址	数据总线				
						WR3#/ BC3#	WR2#/ BC2#	WR1#/ BC1#	WR0#/ BC0#	
						RD#				
						数据总线				
						D31	D24 D23	D16 D15	D8 D7	D0
8bit	4n	1次	第1次	8bit	4n	[7] 0				
	4n+1	1次	第1次	8bit	4n	[7] 0				
	4n+2	1次	第1次	8bit	4n	[7] 0				
	4n+3	1次	第1次	8bit	4n	[7] 0				
16bit	4n	1次	第1次	16bit	4n	[15] 8 7 0				
	4n+1	2次	第1次	8bit	4n	[7] 0				
	4n+1		第2次	8bit	4n	[15] 8				
	4n+2	1次	第1次	16bit	4n	[15] 8 7 0				
32bit	4n	1次	第1次	32bit	4n	[31] 24 23 16 15 8 7 0				
	4n+1	3次	第1次	8bit	4n	[7] 0				
			第2次	16bit	4n	[23] 16 15 8				
			第3次	8bit	4n+4	[31] 24				
4n+2	2次	第1次	16bit	4n	[15] 8 7 0					
		第2次	16bit	4n+4	[31] 24 23 16					
4n+3	3次	第1次	8bit	4n	[7] 0					
		第2次	16bit	4n+4	[23] 16 15 8					
		第3次	8bit	4n+4	[31] 24					

图 12.3 32 位总线空间的字节对齐（小端法）

数据长度	存取地址	存取次数	总线周期	数据量	地址	WR3#/ BC3#	WR2#/ BC2#	WR1#/ BC1#	WR0#/ BC0#	
						RD#				
						数据总线				
						D31	D24 D23	D16 D15	D8 D7	D0
8bit	4n	1次	第1次	8bit	4n	[7	0]			
	4n+1	1次	第1次	8bit	4n		[7	0]		
	4n+2	1次	第1次	8bit	4n			[7	0]	
	4n+3	1次	第1次	8bit	4n				[7	0]
16bit	4n	1次	第1次	16bit	4n	[15	8 7	0]		
	4n+1	2次	第1次	8bit	4n		[15	8]		
	第2次		8bit	4n			[7	0]		
	4n+2	1次	第1次	16bit	4n			[15	8 7	0]
4n+3	2次	第1次	8bit	4n				[15	8]	
第2次		8bit	4n+4	[7	0]					
32bit	4n	1次	第1次	32bit	4n	[31	24 23	16 15	8 7	0]
	4n+1	3次	第1次	8bit	4n		[31	24]		
			第2次	16bit	4n			[23	16 15	8]
			第3次	8bit	4n+4	[7	0]			
	4n+2	2次	第1次	16bit	4n			[31	24 23	16]
			第2次	16bit	4n+4	[15	8 7	0]		
4n+3	3次	第1次	8bit	4n				[31	24]	
		第2次	16bit	4n+4	[23	16 15	8]			
		第3次	8bit	4n+4		[7	0]			

图 12.4 32 位总线空间的字节对齐（大端法）

(2) 16 位总线空间

如果通过 CSnCR.BSIZE[1:0] 位选择 16 位总线空间，地址总线（A23 ~ A1）就作为以 16 位为单位的地址输出信号并且有效，地址总线（A0）无效。

当选择字节选通模式（CSnMOD.WRMOD 位 =0）时，WR0# 引脚和 WR1# 引脚有效，WR2# 和 WR3# 引脚无效并且不使用 BC0# ~ BC3# 引脚。

当选择 1 次写选通模式（CSnMOD.WRMOD 位 =1）时，只有 WR# 引脚有效，与数据长度无关，在进行写存取时，从 WR# 引脚输出 Low 电平。此时，通过 BC0# 引脚和 BC1# 引脚表示有效的字节位置，不使用 BC2# 引脚和 BC3# 引脚。

在 16 位总线空间中存取 32 位数据时，有可能发生页面存取。存取操作不超过 32 位边界并且 BC0# 信号和 BC1# 信号不变的传送给为页面存取对象。发生页面存取时的情况如图 12.5 和图 12.6 中的 (p) 所示。

在 16 位总线空间中，芯片的外部数据和控制信号的有效位置因大端法和小端法而不同。

数据长度	存取地址	存取次数	总线周期	数据量	地址	数据总线			
						D15	D8	D7	D0
8bit	4n	1次	第1次	8bit	4n	[7 0]			
	4n+1	1次	第1次	8bit	4n	[7 0]			
	4n+2	1次	第1次	8bit	4n+2	[7 0]			
	4n+3	1次	第1次	8bit	4n+2	[7 0]			
16bit	4n	1次	第1次	16bit	4n	[15 8 7 0]			
	4n+1	2次	第1次	8bit	4n	[7 0]			
			第2次	8bit	4n+2	[15 8]			
	4n+2	1次	第1次	16bit	4n+2	[15 8 7 0]			
	4n+3	2次	第1次	8bit	4n+2	[7 0]			
			第2次	8bit	4n+4	[15 8]			
32bit	4n	2次	第1次	16bit	4n	[15 8 7 0]			
			第2次	16bit	4n+2 (p)	[31 24 23 16]			
	4n+1	3次	第1次	8bit	4n	[7 0]			
			第2次	16bit	4n+2	[23 16 15 8]			
			第3次	8bit	4n+4	[31 24]			
	4n+2	2次	第1次	16bit	4n+2	[15 8 7 0]			
			第2次	16bit	4n+4	[31 24 23 16]			
	4n+3	3次	第1次	8bit	4n+2	[7 0]			
			第2次	16bit	4n+4	[23 16 15 8]			
第3次			8bit	4n+6	[31 24]				

【符号说明】

当通过 CSnMOD.PREN 和 CSnMOD.PWEN 位允许存取时，(p) 表示的存取为页面存取对象。

图 12.5 16 位总线空间的字节对齐（小端法）

数据长度	存取地址	存取次数	总线周期	数据量	地址	WR1#/ BC1#	WR0#/ BC0#	
						RD#		
						数据总线		
						D15	D8 D7	D0
8bit	4n	1次	第1次	8bit	4n	[7	0]	
	4n+1	1次	第1次	8bit	4n		[7 0]	
	4n+2	1次	第1次	8bit	4n+2	[7	0]	
	4n+3	1次	第1次	8bit	4n+2		[7 0]	
16bit	4n	1次	第1次	16bit	4n	[15	8 7	0]
	4n+1	2次	第1次	8bit	4n		[15 8]	
			第2次	8bit	4n+2	[7	0]	
	4n+2	1次	第1次	16bit	4n+2	[15	8 7	0]
	4n+3	2次	第1次	8bit	4n+2		[15 8]	
			第2次	8bit	4n+4	[7	0]	
32bit	4n	2次	第1次	16bit	4n	[31	24 23	16]
			第2次	16bit	4n+2 (p)	[15	8 7	0]
	4n+1	3次	第1次	8bit	4n		[31 24]	
			第2次	16bit	4n+2	[23	16 15	8]
			第3次	8bit	4n+4	[7	0]	
	4n+2	2次	第1次	16bit	4n+2	[31	24 23	16]
			第2次	16bit	4n+4	[15	8 7	0]
	4n+3	3次	第1次	8bit	4n+2		[31 24]	
			第2次	16bit	4n+4	[23	16 15	8]
			第3次	8bit	4n+6	[7	0]	

【符号说明】

当通过CSnMOD.PRENB和CSnMOD.PWENB位允许存取时，(p)表示的存取为页面存取对象。

图 12.6 16 位总线空间的字节对齐（大端法）

(3) 8 位总线空间

如果通过 CSnCR.BSIZE[1:0] 位选择 8 位总线空间，地址总线（A23 ~ A0）就作为以字节为单位的地址信号并且有效。

在 8 位总线空间中，禁止设定 1 次写选通模式，所以必须选择字节选通模式（CSnMOD.WRMOD 位 = 0）。在进行写存取时，只有 WR0# 引脚有效，不使用 WR1# ~ WR3# 引脚和 BC0# ~ BC3# 引脚。

在 8 位总线空间中存取 16 位或者 32 位数据时，有可能发生页面存取。存取操作不超过 32 位边界的传送为页面存取对象。发生页面存取时的情况如图 12.7 和图 12.8 中的 (p) 所示。

在 8 位总线空间中，与字节序无关，芯片的外部数据为 D7 ~ D0，控制信号为 WR0# 信号。

数据长度	存取地址	存取次数	总线周期	数据量	地址	WR1#/ BC1#		WR0#/ BC0#		
						RD#				数据总线 D8 D7
						D15				
8bit	4n	1次	第1次	8bit	4n		[7]		[0]	
	4n+1	1次	第1次	8bit	4n+1		[7]		[0]	
	4n+2	1次	第1次	8bit	4n+2		[7]		[0]	
	4n+3	1次	第1次	8bit	4n+3		[7]		[0]	
16bit	4n	2次	第1次	8bit	4n		[7]		[0]	
			第2次	8bit	4n+1 (p)		[15]		[8]	
	4n+1	2次	第1次	8bit	4n+1		[7]		[0]	
			第2次	8bit	4n+2 (p)		[15]		[8]	
	4n+2	2次	第1次	8bit	4n+2		[7]		[0]	
			第2次	8bit	4n+3 (p)		[15]		[8]	
	4n+3	2次	第1次	8bit	4n+3		[7]		[0]	
			第2次	8bit	4n+4		[15]		[8]	
32bit	4n	4次	第1次	8bit	4n		[7]		[0]	
			第2次	8bit	4n+1 (p)		[15]		[8]	
			第3次	8bit	4n+2 (p)		[23]		[16]	
			第4次	8bit	4n+3 (p)		[31]		[24]	
	4n+1	4次	第1次	8bit	4n+1		[7]		[0]	
			第2次	8bit	4n+2 (p)		[15]		[8]	
			第3次	8bit	4n+3 (p)		[23]		[16]	
			第4次	8bit	4n+4		[31]		[24]	
	4n+2	4次	第1次	8bit	4n+2		[7]		[0]	
			第2次	8bit	4n+3 (p)		[15]		[8]	
			第3次	8bit	4n+4		[23]		[16]	
			第4次	8bit	4n+5 (p)		[31]		[24]	
	4n+3	4次	第1次	8bit	4n+3		[7]		[0]	
			第2次	8bit	4n+4		[15]		[8]	
			第3次	8bit	4n+5 (p)		[23]		[16]	
			第4次	8bit	4n+6 (p)		[31]		[24]	

【符号说明】

当通过 CSnMOD.PREN 和 CSnMOD.PWEN 位允许存取时，(p) 表示的存取为页面存取对象。

图 12.7 8 位总线空间的字节对齐（小端法）

数据长度	存取地址	存取次数	总线周期	数据量	地址	WR1#/ BC1#		WR0#/ BC0#	
						RD#			
						D15	D8	D7	D0
8bit	4n	1次	第1次	8bit	4n	[7] [0]			
	4n+1	1次	第1次	8bit	4n+1	[7] [0]			
	4n+2	1次	第1次	8bit	4n+2	[7] [0]			
	4n+3	1次	第1次	8bit	4n+3	[7] [0]			
16bit	4n	2次	第1次	8bit	4n	[15] [8]			
			第2次	8bit	4n+1 (p)	[7] [0]			
	4n+1	2次	第1次	8bit	4n+1	[15] [8]			
			第2次	8bit	4n+2 (p)	[7] [0]			
	4n+2	2次	第1次	8bit	4n+2	[15] [8]			
			第2次	8bit	4n+3 (p)	[7] [0]			
	4n+3	2次	第1次	8bit	4n+3	[15] [8]			
			第2次	8bit	4n+4	[7] [0]			
32bit	4n	4次	第1次	8bit	4n	[31] [24]			
			第2次	8bit	4n+1 (p)	[23] [16]			
			第3次	8bit	4n+2 (p)	[15] [8]			
			第4次	8bit	4n+3 (p)	[7] [0]			
	4n+1	4次	第1次	8bit	4n+1	[31] [24]			
			第2次	8bit	4n+2 (p)	[23] [16]			
			第3次	8bit	4n+3 (p)	[15] [8]			
			第4次	8bit	4n+4	[7] [0]			
	4n+2	4次	第1次	8bit	4n+2	[31] [24]			
			第2次	8bit	4n+3 (p)	[23] [16]			
			第3次	8bit	4n+4	[15] [8]			
			第4次	8bit	4n+5 (p)	[7] [0]			
	4n+3	4次	第1次	8bit	4n+3	[31] [24]			
			第2次	8bit	4n+4	[23] [16]			
			第3次	8bit	4n+5 (p)	[15] [8]			
			第4次	8bit	4n+6 (p)	[7] [0]			

【符号说明】

当通过CSnMOD.PREN和CSnMOD.PWEN位允许存取时，(p)表示的存取为页面存取对象。

图 12.8 8 位总线空间的字节对齐（大端法）

12.4.2 SDRAM 区的字节对齐控制

(1) 32 位总线空间

如果通过 SDCCR.BSIZE[1:0] 位选择 32 位总线空间，地址总线（A27 ~ A2）就作为以 32 位为单位的地址输出信号并且有效，地址总线（A0 ~ A1）无效。

使用 D31 ~ D24、D23 ~ D16、D15 ~ D8 和 D7 ~ D0 存取外部数据。1 次能存取的数据长度为 8 位、16 位或者 32 位。通过 DQM0 ~ DQM3 信号表示有效的字节位置。

在 32 位总线空间中，外部数据和 SDRAM 控制信号（DQM0 ~ DQM3）的有效位置因大端法和小端法而不同。将数据的字节序模式设定为小端法和大端法时的字节对齐控制分别如图 12.9 和图 12.10 所示。

在 32 位总线空间中存取 8 位、16 位或者 32 位数据时，有可能发生连续存取。1 次传送请求发生 1 次总线存取的传送为连续存取对象。发生连续存取时的情况如图 12.9 和图 12.10 中的（r1）所示，连续存取的运行例子如图 12.15 所示。

数据长度	存取地址	存取次数	总线周期	数据量	地址	DQM3 DQM2 DQM1 DQM0				
						WE#				
						数据总线				
						D31	D24 D23	D16 D15	D8 D7	D0
8bit	4n	1次	第1次	8bit	4n (r1)	[7] 0				
	4n+1	1次	第1次	8bit	4n (r1)	[7] 0				
	4n+2	1次	第1次	8bit	4n (r1)	[7] 0				
	4n+3	1次	第1次	8bit	4n (r1)	[7] 0				
16bit	4n	1次	第1次	16bit	4n (r1)	[15] 8 7 0				
	4n+1	2次	第1次	8bit	4n	[7] 0				
			第2次	8bit	4n	[15] 8				
	4n+2	1次	第1次	16bit	4n (r1)	[15] 8 7 0				
32bit	4n	1次	第1次	32bit	4n (r1)	[31]	24 23	16 15	8 7	0
	4n+1	3次	第1次	8bit	4n	[7] 0				
			第2次	16bit	4n	[23] 16 15 8				
			第3次	8bit	4n+4	[31] 24				
4n+2	2次	第1次	16bit	4n	[15] 8 7 0					
		第2次	16bit	4n+4	[31] 24 23 16					
4n+3	2次	第1次	8bit	4n	[7] 0					
		第2次	16bit	4n+4	[23] 16 15 8					
		第3次	8bit	4n+4	[31] 24					

【符号说明】

当通过SDAMOD.BE为“1”(允许连续存取)并且进行EXDMAC的单地址模式块传送或者群集传送时，(r1)表示的存取为连续存取对象。

图 12.9 32 位总线空间的字节对齐（小端法）

数据长度	存取地址	存取次数	总线周期	数据量	地址	数据总线			
						D31	D24	D23	D16
8bit	4n	1次	第1次	8bit	4n (r1)	[7] [0]			
	4n+1	1次	第1次	8bit	4n (r1)	[7] [0]			
	4n+2	1次	第1次	8bit	4n (r1)	[7] [0]			
	4n+3	1次	第1次	8bit	4n (r1)	[7] [0]			
16bit	4n	1次	第1次	16bit	4n (r1)	[15] [8] [7] [0]			
	4n+1	2次	第1次	8bit	4n	[15] [8]			
			第2次	8bit	4n	[7] [0]			
	4n+2	1次	第1次	16bit	4n (r1)	[15] [8] [7] [0]			
32bit	4n	1次	第1次	32bit	4n (r1)	[31] [24] [23] [16] [15] [8] [7] [0]			
	4n+1	3次	第1次	8bit	4n	[31] [24]			
			第2次	16bit	4n	[23] [16] [15] [8]			
			第3次	8bit	4n+4	[7] [0]			
4n+2	2次	第1次	16bit	4n	[31] [24] [23] [16]				
		第2次	16bit	4n+4	[15] [8] [7] [0]				
4n+3	2次	第1次	8bit	4n	[31] [24]				
		第2次	16bit	4n+4	[23] [16] [15] [8]				
		第3次	8bit	4n+4	[7] [0]				

【符号说明】

当通过SDAMOD.BE为“1”(允许连续存取)并且进行EXDMAC的单地址模式块传送或者群集传送时，(r1)表示的存取为连续存取对象。

图 12.10 32 位总线空间的字节对齐（大端法）

(2) 16 位总线空间

如果通过 SDCCR.BSIZE[1:0] 位选择 16 位总线空间，地址总线（A27 ~ A0）就作为以 16 位为单位的地址输出信号并且有效，地址总线（A0）无效（固定为 Low 电平）。

通过 DQM0 引脚和 DQM1 引脚表示有效的字节位置，不使用 DQM2 信号和 DQM3 信号。

在 16 位总线空间中，使用 D15 ~ D8 和 D7 ~ D0 存取外部数据，使用 DQM0 和 DQM1 存取控制信号，1 次能存取的数据长度为 8 位或者 16 位。

在 16 位总线空间中，芯片的外部数据和控制信号的有效位置因大端法和小端法而不同。将数据的字节序模式设定为小端法和大端法时的字节对齐控制分别如图 12.11 和图 12.12 所示。

在 16 位总线空间中存取 8 位或者 16 位数据时，有可能发生连续存取。1 次传送请求发生 1 次总线存取的传送为连续存取对象。发生连续存取时的情况如图 12.11 和图 12.12 中的 (r1) 所示，连续存取的运行例子如图 12.15 所示。

数据长度	存取地址	存取次数	总线周期	数据量	地址	DQM1		DQM0		WE#		数据总线		
						D15	D8	D7	D0	D15	D8	D7	D0	
8bit	4n	1次	第1次	8bit	4n (r1)							[7	0]	
	4n+1	1次	第1次	8bit	4n (r1)							[7	0]	
	4n+2	1次	第1次	8bit	4n+2 (r1)							[7	0]	
	4n+3	1次	第1次	8bit	4n+2 (r1)							[7	0]	
16bit	4n	1次	第1次	16bit	4n (r1)							[15	8 7	0]
	4n+1	2次	第1次	8bit	4n							[7	0]	
			第2次	8bit	4n+2							[15	8]	
	4n+2	1次	第1次	16bit	4n+2 (r1)							[15	8 7	0]
32bit	4n	2次	第1次	16bit	4n							[15	8 7	0]
			第2次	16bit	4n+2							[31	24 23	16]
	4n+1	3次	第1次	8bit	4n							[7	0]	
			第2次	16bit	4n+2							[23	16 15	8]
		第3次	8bit	4n+4								[31	24]	
32bit	4n+2	2次	第1次	16bit	4n+2							[15	8 7	0]
			第2次	16bit	4n+4							[31	24 23	16]
	4n+3	3次	第1次	8bit	4n+2							[7	0]	
			第2次	16bit	4n+4							[23	16 15	8]
			第3次	8bit	4n+6								[31	24]

【符号说明】

当通过SDAMOD.BE为“1”(允许连续存取)并且进行EXDMAC的单地址模式块传送或者群集传送时，(r1)表示的存取为连续存取对象。

图 12.11 16 位总线空间的字节对齐（小端法）

数据长度	存取地址	存取次数	总线周期	数据量	地址	DQM1		DQM0	
						WE#			
						D15	D8	D7	D0
8bit	4n	1次	第1次	8bit	4n (r1)	[7	0]		
	4n+1	1次	第1次	8bit	4n (r1)	[7 0]			
	4n+2	1次	第1次	8bit	4n+2 (r1)	[7	0]		
	4n+3	1次	第1次	8bit	4n+2 (r1)	[7 0]			
16bit	4n	1次	第1次	16bit	4n (r1)	[15	8	[7	0]
	4n+1	2次	第1次	8bit	4n	[15 8]			
			第2次	8bit	4n+2	[7	0]		
	4n+2	1次	第1次	16bit	4n+2 (r1)	[15	8	[7	0]
	4n+3	2次	第1次	8bit	4n+2	[15 8]			
			第2次	8bit	4n+4	[7	0]		
32bit	4n	2次	第1次	16bit	4n	[31	24	[23	16]
			第2次	16bit	4n+2	[15	8	[7	0]
	4n+1	3次	第1次	8bit	4n	[31 24]			
			第2次	16bit	4n+2	[23	16	[15	8]
			第3次	8bit	4n+4	[7	0]		
	4n+2	2次	第1次	16bit	4n+2	[31	24	[23	16]
			第2次	16bit	4n+4	[15	8	[7	0]
	4n+3	3次	第1次	8bit	4n+2	[31 24]			
			第2次	16bit	4n+4	[23	16	[15	8]
			第3次	8bit	4n+6	[7	0]		

【符号说明】

当通过SDAMOD.BE为“1”(允许连续存取)并且进行EXDMAC的单地址模式块传送或者群集传送时，(r1)表示的存取为连续存取对象。

图 12.12 16 位总线空间的字节对齐（大端法）

(3) 8 位总线空间

如果通过 SDCCR.BSIZE[1:0] 位选择 8 位总线空间，地址总线（A27 ~ A0）就作为以 8 位为单位的地址信号并且有效。

在 8 位总线空间中，与字节序无关，使用 D7 ~ D0 存取外部数据，使用 DQM0 存取控制信号。1 次能存取的数据长度为 8 位，16 位存取执行 2 次 8 位存取，32 位存取执行 4 次 8 位存取。

将数据的字节序模式设定为小端法和大端法时的字节对齐控制分别如图 12.13 和图 12.14 所示。

在 8 位总线空间中存取 8 位数据时，有可能发生连续存取。1 次传送请求发生 1 次总线存取的传送为连续存取对象。发生连续存取时的情况如图 12.13 和图 12.14 中的 (r1) 所示，连续存取的运行例子如图 12.15 所示。

数据长度	存取地址	存取次数	总线周期	数据量	地址	DQM1		DQM0		WE#	数据总线			
						D15	D8	D7	D0					
8bit	4n	1次	第1次	8bit	4n	(r1)	7	0			7	0		
	4n+1	1次	第1次	8bit	4n+1	(r1)	7	0			7	0		
	4n+2	1次	第1次	8bit	4n+2	(r1)	7	0			7	0		
	4n+3	1次	第1次	8bit	4n+3	(r1)	7	0			7	0		
16bit	4n	2次	第1次	8bit	4n		7	0			7	0		
			第2次	8bit	4n+1		15	8			15	8		
	4n+1	2次	第1次	8bit	4n+1		7	0			7	0		
			第2次	8bit	4n+2		15	8			15	8		
	4n+2	2次	第1次	8bit	4n+2		7	0			7	0		
			第2次	8bit	4n+3		15	8			15	8		
	4n+3	2次	第1次	8bit	4n+3		7	0			7	0		
			第2次	8bit	4n+4		15	8			15	8		
32bit	4n	4次	第1次	8bit	4n		7	0			7	0		
			第2次	8bit	4n+1		15	8			15	8		
			第3次	8bit	4n+2		23	16			23	16		
			第4次	8bit	4n+3		31	24			31	24		
	4n+1	4次	第1次	8bit	4n+1		7	0			7	0		
			第2次	8bit	4n+2		15	8			15	8		
			第3次	8bit	4n+3		23	16			23	16		
			第4次	8bit	4n+4		31	24			31	24		
	4n+2	4次	第1次	8bit	4n+2		7	0			7	0		
			第2次	8bit	4n+3		15	8			15	8		
			第3次	8bit	4n+4		23	16			23	16		
			第4次	8bit	4n+5		31	24			31	24		
	4n+3	4次	第1次	8bit	4n+3		7	0			7	0		
			第2次	8bit	4n+4		15	8			15	8		
			第3次	8bit	4n+5		23	16			23	16		
			第4次	8bit	4n+6		31	24			31	24		

【符号说明】

当通过SDAMOD.BE为“1”(允许连续存取)并且进行EXDMAC的单地址模式块传送或者群集传送时，(r1)表示的存取为连续存取对象。

图 12.13 8 位总线空间的字节对齐（小端法）

数据长度	存取地址	存取次数	总线周期	数据量	地址	数据总线			
						D15	D8	D7	D0
8bit	4n	1次	第1次	8bit	4n (r1)	[7] [0]			
	4n+1	1次	第1次	8bit	4n+1 (r1)	[7] [0]			
	4n+2	1次	第1次	8bit	4n+2 (r1)	[7] [0]			
	4n+3	1次	第1次	8bit	4n+3 (r1)	[7] [0]			
16bit	4n	2次	第1次	8bit	4n	[15] [8]			
			第2次	8bit	4n+1	[7] [0]			
	4n+1	2次	第1次	8bit	4n+1	[15] [8]			
			第2次	8bit	4n+2	[7] [0]			
	4n+2	2次	第1次	8bit	4n+2	[15] [8]			
			第2次	8bit	4n+3	[7] [0]			
	4n+3	2次	第1次	8bit	4n+3	[15] [8]			
			第2次	8bit	4n+4	[7] [0]			
32bit	4n	4次	第1次	8bit	4n	[31] [24]			
			第2次	8bit	4n+1	[23] [16]			
			第3次	8bit	4n+2	[15] [8]			
			第4次	8bit	4n+3	[7] [0]			
	4n+1	4次	第1次	8bit	4n+1	[31] [24]			
			第2次	8bit	4n+2	[23] [16]			
			第3次	8bit	4n+3	[15] [8]			
			第4次	8bit	4n+4	[7] [0]			
	4n+2	4次	第1次	8bit	4n+2	[31] [24]			
			第2次	8bit	4n+3	[23] [16]			
			第3次	8bit	4n+4	[15] [8]			
			第4次	8bit	4n+5	[7] [0]			
	4n+3	4次	第1次	8bit	4n+3	[31] [24]			
			第2次	8bit	4n+4	[23] [16]			
			第3次	8bit	4n+5	[15] [8]			
			第4次	8bit	4n+6	[7] [0]			

【符号说明】

当通过SDAMOD.BE为“1”(允许连续存取)并且进行EXDMAC的单地址模式块传送或者群集传送时，(r1)表示的存取为连续存取对象。

图 12.14 8 位总线空间的字节对齐（大端法）

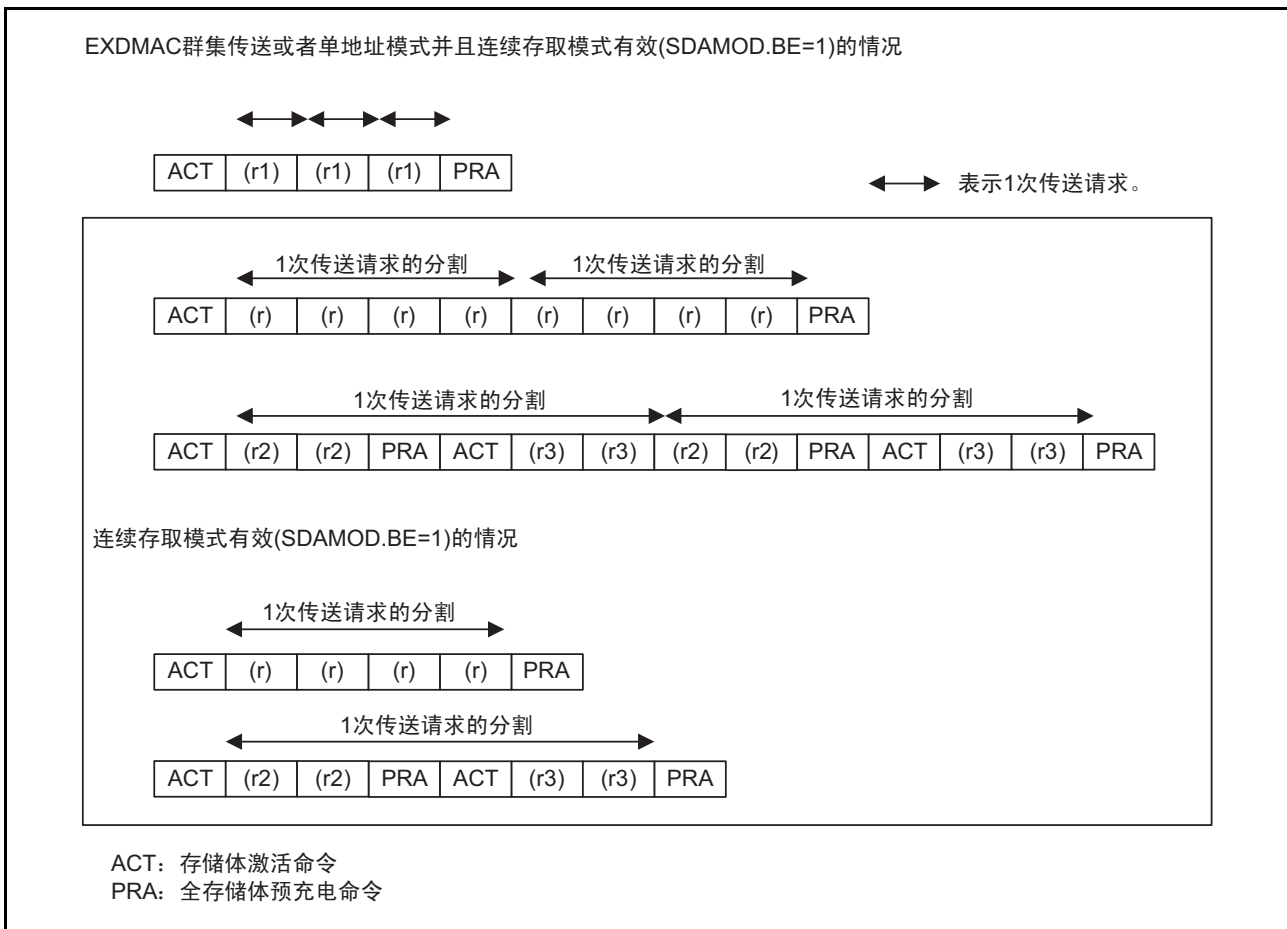


图 12.15 连续存取的运行例子

12.5 CS 区域控制器的运行说明

12.5.1 CS 区域时序

时序图中记载的各周期的说明如下所示。

CSC (CS 区域控制器) 与外部总线时钟 (BCLK) 同步运行。因此, 通过 BCLK 对 CSC 寄存器设定的等待数等进行计数。在以下内容中, 如果没有特别说明, 就将外部总线时钟 (BCLK) 的频率和 BCLK 引脚的输出频率视为相同。

① Tw1 ~ Twn (正常读周期的等待和正常写周期的等待)

这是从外部总线存取开始到 1 个选通信号有效周期为止的周期期间, 能选择 0 ~ 31 个周期。在此期间内, 根据等待设定将 CSn# 信号、RD# 信号和 WRn# 信号设定为 “Low” 电平有效。能通过 CSn 等待控制寄存器 2 (CSnWCR2) 的 CS 有效等待 (CSON)、RD 有效等待 (RDON)、WR 有效等待 (WRON) 和写数据的输出等待 (WDON) 的各选择位控制有效时序。各等待周期数从外部总线存取的开始周期算起, 可选择 0 ~ 7 个周期。但是可选择的周期数不超过读 / 写周期等待的周期数。

在 BCLK 引脚输出的上升沿开始存取外部总线。当总线主控的 1 次传送请求至少发生 2 次外部总线存取时, 根据等待数的设定, 有可能在 BCLK 引脚输出的下降沿开始第 2 次以后的外部总线存取 (参照图 12.24 ~ 图 12.28)。

② Tend (选通信号有效周期)

Tend 表示正常读 / 写周期等待期间或者页面读 / 写周期等待期间结束后的下一个周期。当正常读 / 写周期等待或者页面读 / 写周期等待的各选择位为 “0” 时, 总线存取的开始周期为选通信号有效周期。在选通信号有效周期的下一个周期, RD# 信号和 WRn# 信号无效。在进行读存取时, Tend 为读数据的采样周期。

在允许外部等待的情况下, 在选通信号有效周期对等待信号进行采样。当等待信号为 Low 电平时, 延长总线周期, 一旦等待信号变为 High 电平, 就在下一个周期结束总线周期。(Tend) 表示开始等待信号的采样周期。

除在页面存取中的第 1 次选通信号有效周期以及设定了写存取时的写数据输出延长周期 (非 “0” 值) 的情况 (④) 以外, 开始下一个周期的第 2 次以后的页面存取 (⑤)。如果 RD 有效等待选择位或者 WR 有效等待选择位的设定值不是 “0”, RD# 信号和 WRn# 信号就在下一个周期无效。如果设定值是 “0”, 各信号就继续有效, 而且 CSn# 信号也继续有效。

③ Tn1 ~ Tnm (CS 延长周期)

在正常存取的情况下, Tn1 ~ Tnm 表示从选通信号有效周期 (Tend) 的下一个周期到 CSn# 信号无效为止的周期期间。在进行读存取时, 能通过读 CSn 等待控制寄存器 2 (CSnWCR2) 时的 CS 延长周期选择位 (CSROFF) 控制无效时序; 在进行写存取时, 能通过写入时的 CS 延长周期选择位 (CSWOFF) 控制无效时序。

周期数从选通信号有效周期的下一个周期开始算起。

在页面存取的情况下, Tn1 ~ Tnm 表示从最后的选通信号有效周期到 CSn# 信号无效为止的周期期间。

在进行写存取时, 通过写数据的输出延长周期选择位 (WDOFF) 延长地址和输出数据。

④ Tdw1 ~ Tdwn (写数据的输出延长周期)

在进行写存取时, 如果写数据的输出延长等待选择位的设定值不是 “0”, 就从选通信号有效周期 (Tend) 的下一个周期插入写数据输出延长周期。

在正常存取的情况下, 在 CS 延长周期 (③) 期间内插入周期。

在页面存取的情况下, 在选通信号有效周期 (Tend) 和后续的页面存取之间以及 CS 延长周期 (③) 期间内插入周期。在此期间, 地址和输出数据被延长并且 WRn# 信号无效。

⑤ Tpw1 ~ Tpw_n (页面读周期的等待和页面写周期的等待)

对于第 2 次页面存取以后的总线周期，使用页面读周期等待和页面写周期等待的值而不使用正常读周期等待和正常写周期等待的值。和第 1 次存取一样，WR 有效等待的设定值有效。RD 有效的操作因页面读存取模式 (CSnMOD.PRMOD 位) 的设定而不同。

CDnMOD.PRMOD=0: 和第 1 次一样，插入 RD 有效等待并且将 RD# 信号置为无效。

CDnMOD.PRMOD=1: 和正常存取兼容模式一样，插入 RD 有效等待，但是 RD# 信号在该期间继续有效。

⑥ Tr1 ~ Trn (恢复周期)

能从总线周期结束时 (当 CSn# 信号变为无效时) 开始插入恢复周期。能通过 CSn 恢复周期设定寄存器 (CSnREC) 的读恢复 (RRCV) 设定位和写恢复 (WRCV) 设定位，控制恢复周期数。各恢复周期数从总线周期结束时 (当 CSn# 信号变为无效时) 开始算起，可选择 0 ~ 15 个周期。恢复周期的详细内容请参照“12.5.4 恢复周期的插入”。

(1) 正常存取

如果将 CSnMOD.PRENB 位置“0” (禁止页面读存取) 并且将 CSnMOD.PWENB 位置“0” (禁止页面写存取)，全部总线存取就进行正常存取。

即使将 CSnMOD.PRENB 位置“1” (允许页面读存取) 并且将 CSnMOD.PWENB 位置“1” (允许页面写存取)，与页面存取不对应的总线存取也为正常存取。

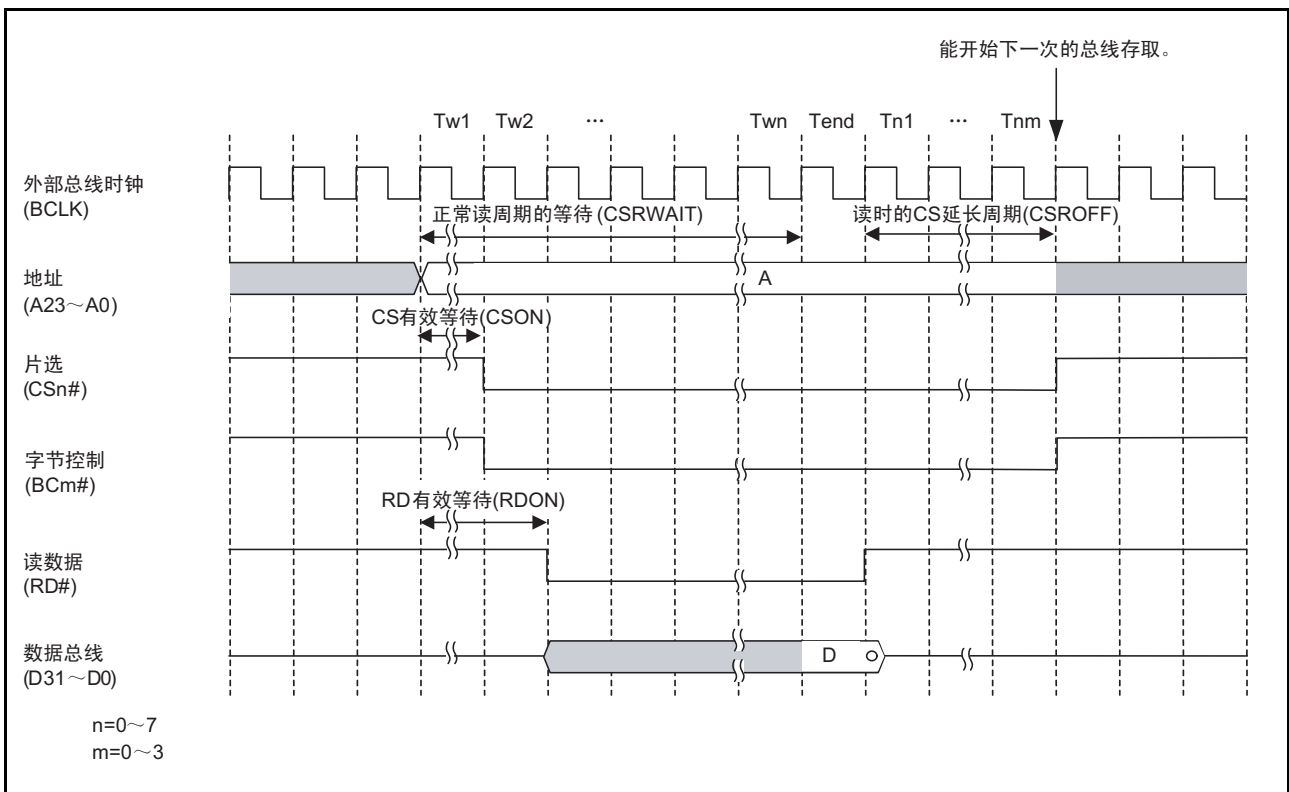


图 12.16 总线时序 (正常读)

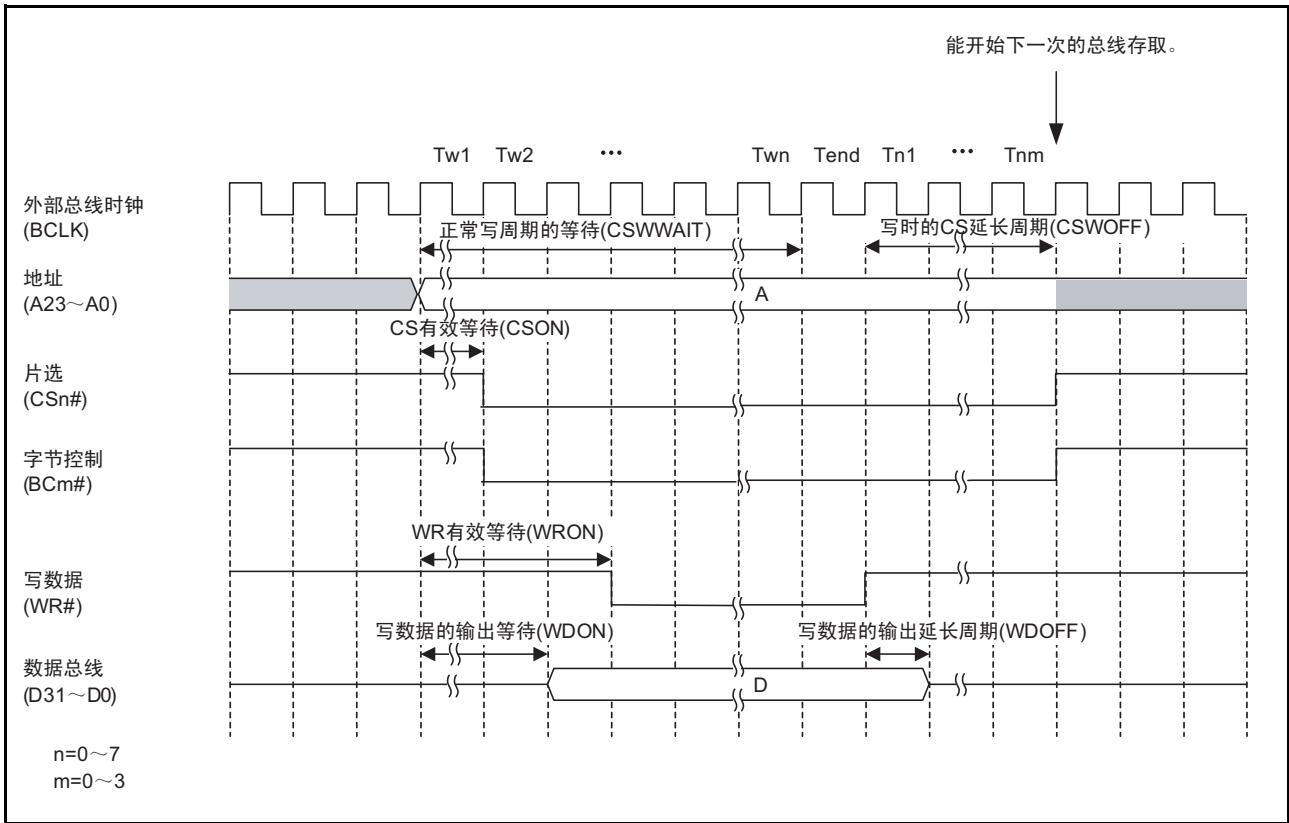


图 12.17 总线时序 (正常写)

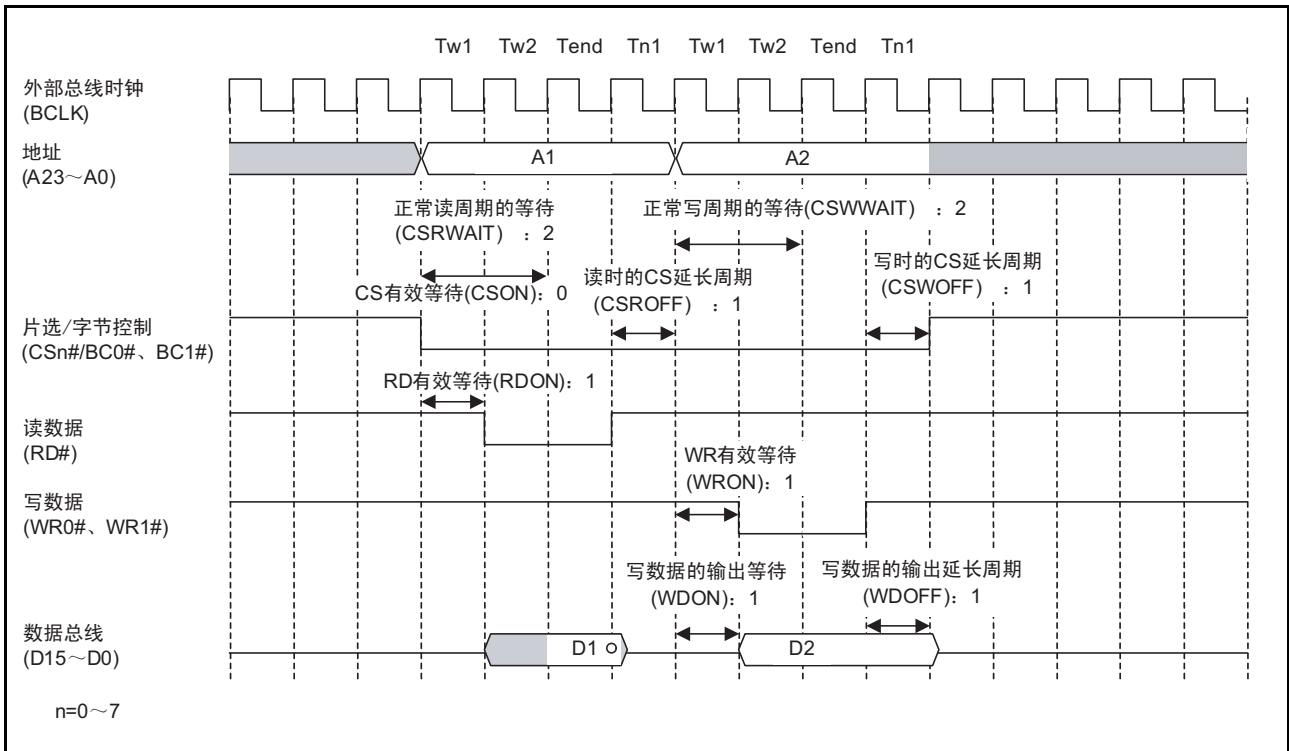


图 12.18 正常存取的运行例子 (读写)

在总线主控的 1 次传送请求至少需要 2 次外部总线存取时，重复正常存取的运行 (①~④)。1 次传送请求发生 2 次总线存取时的运行例子如图 12.19 和图 12.20 所示，图中各等待控制寄存器的值是设定例子，必须根据要连接的设备规格设定寄存器的值。

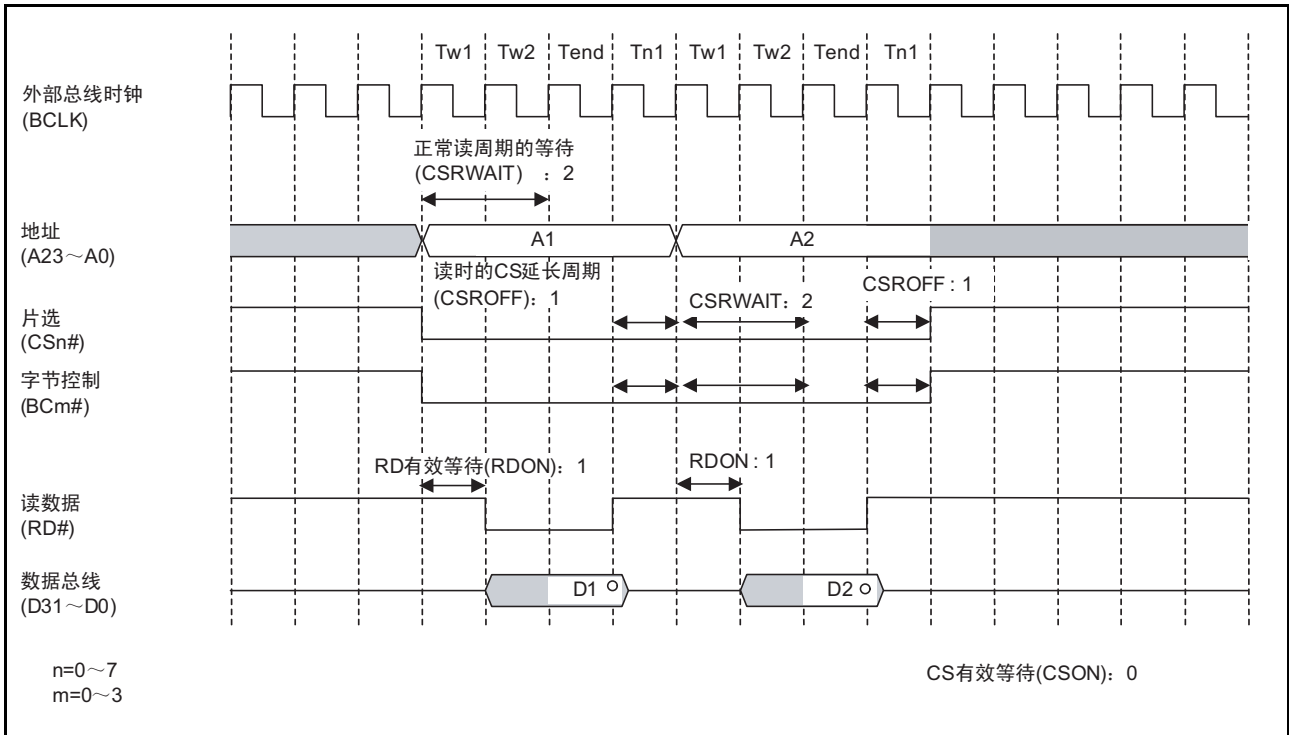


图 12.19 正常读存取的运行例子 (1 次传送请求发生 2 次总线存取的情况)

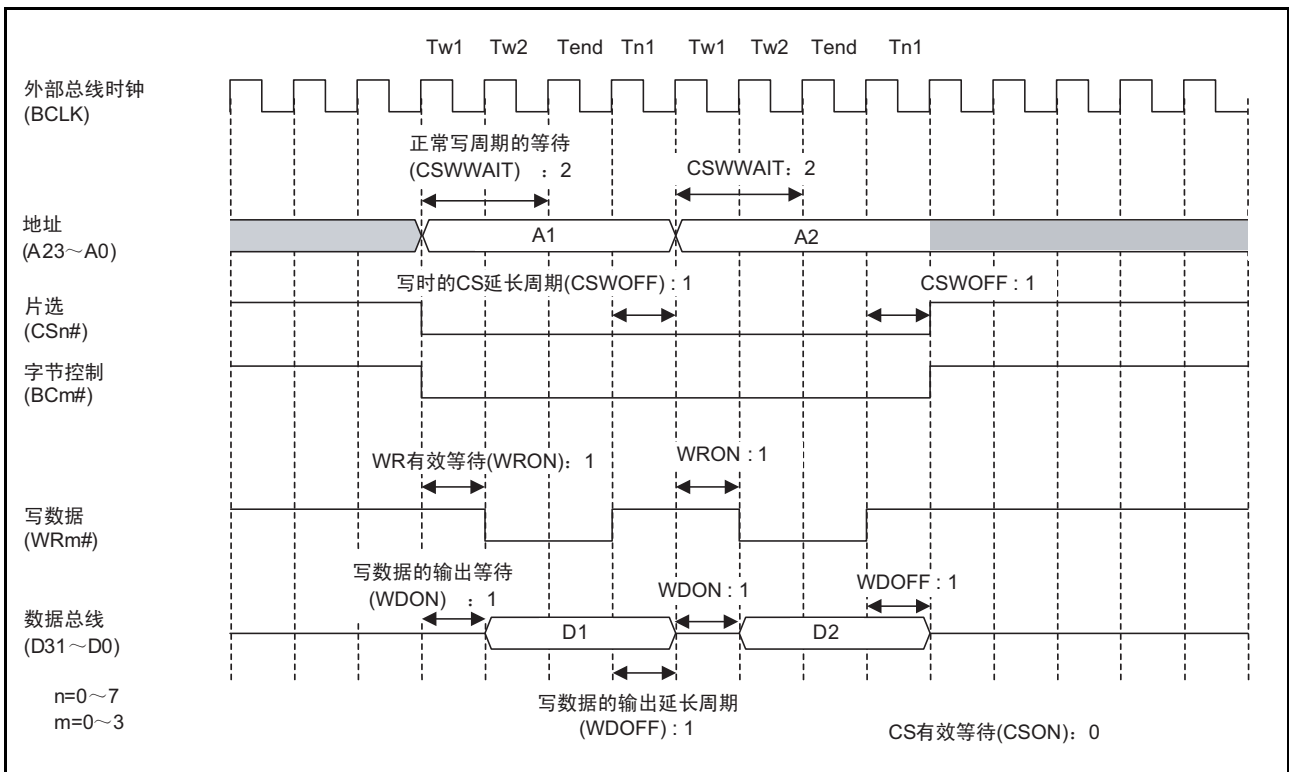


图 12.20 正常写存取的运行例子
(在 1 次写选通模式中，1 次传送请求发生 2 次总线存取的情况)

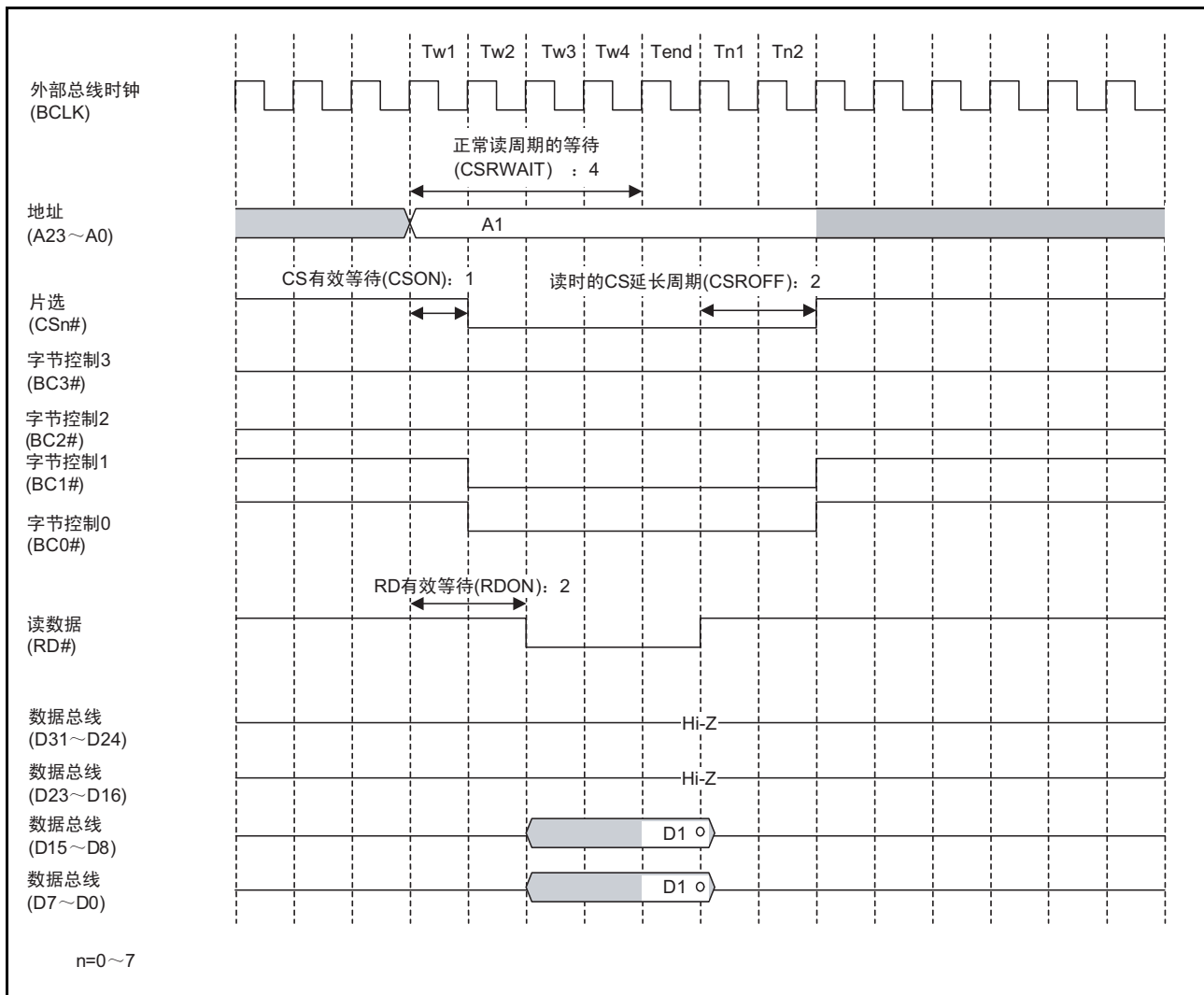


图 12.21 正常读存取的运行例子（对 32 位总线空间进行 16 位存取的情况）

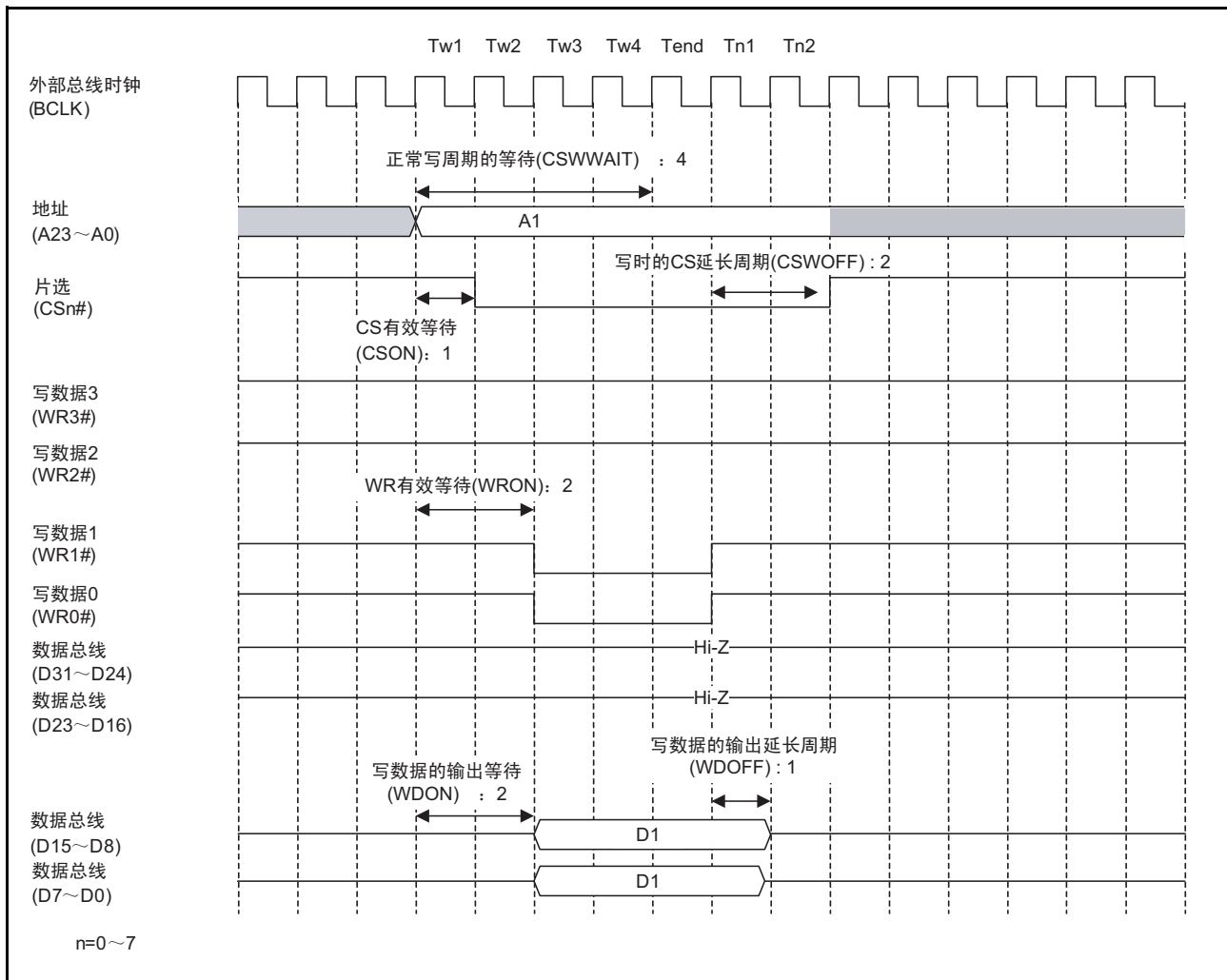


图 12.22 正常写存取的运行例子
 (在字节选通模式中, 对 32 位总线空间进行 16 位存取的情况)

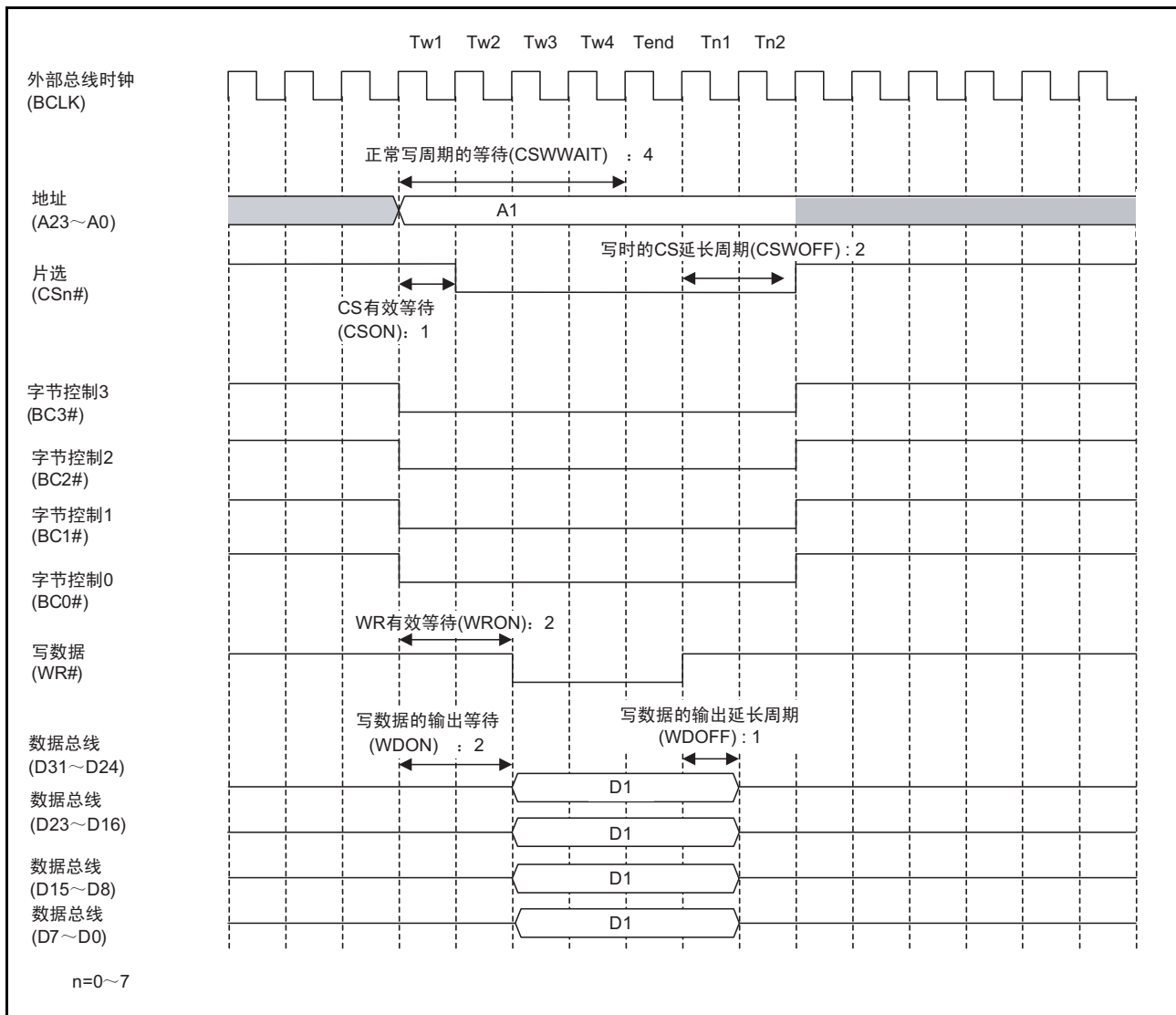


图 12.23 正常写存取的运行例子
 (在 1 次写选通模式中, 对 32 位总线空间进行 32 位存取的情况)

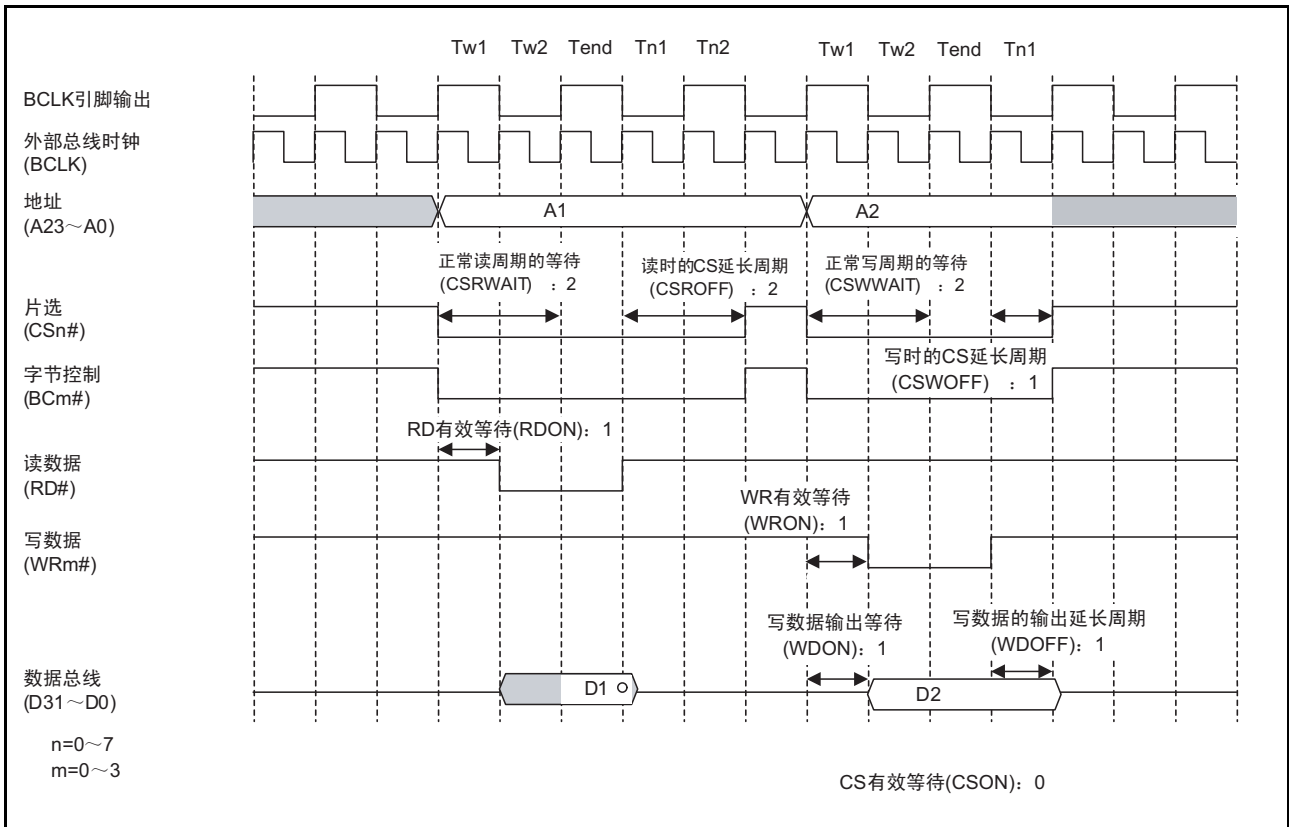


图 12.24 正常存取的运行例子（通过 BCLK 引脚输出选择位设定 $BCLK \times 1/2$ 的情况）

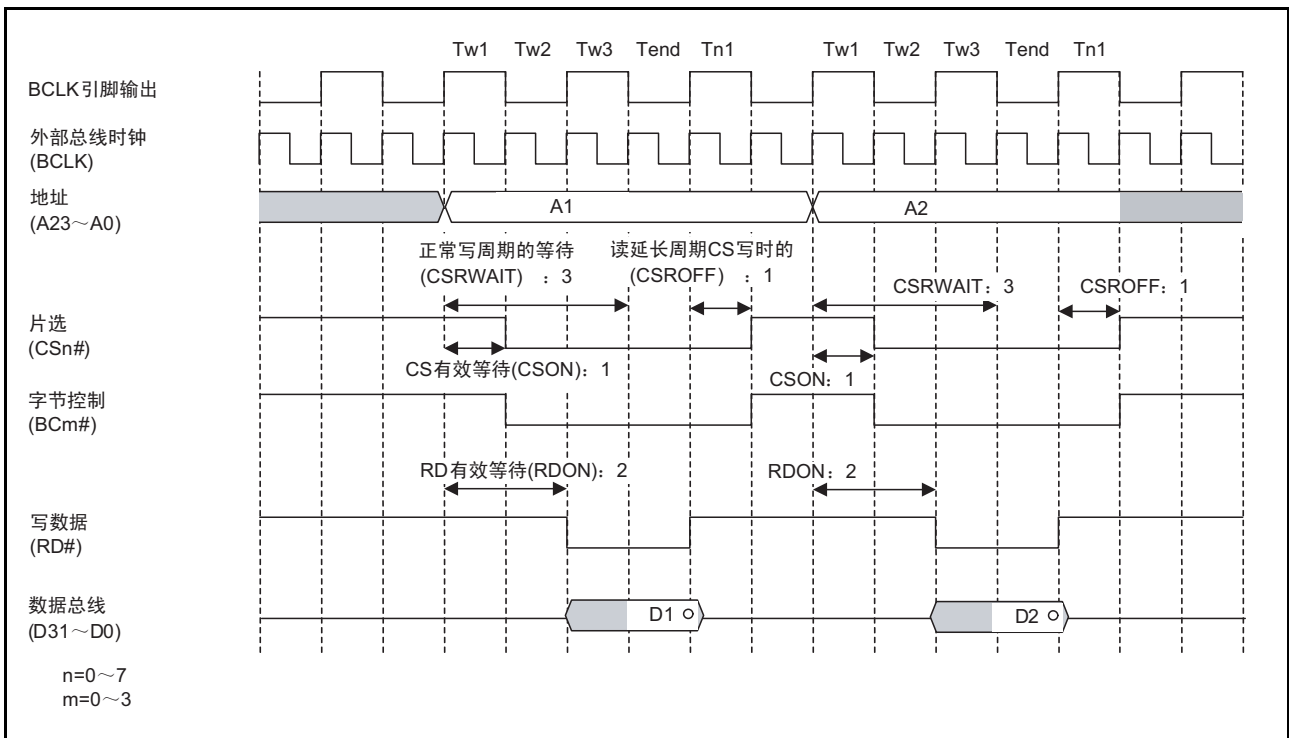


图 12.25 正常读存取的运行例子（通过 BCLK 引脚输出选择位设定 $BCLK \times 1/2$ 的情况）

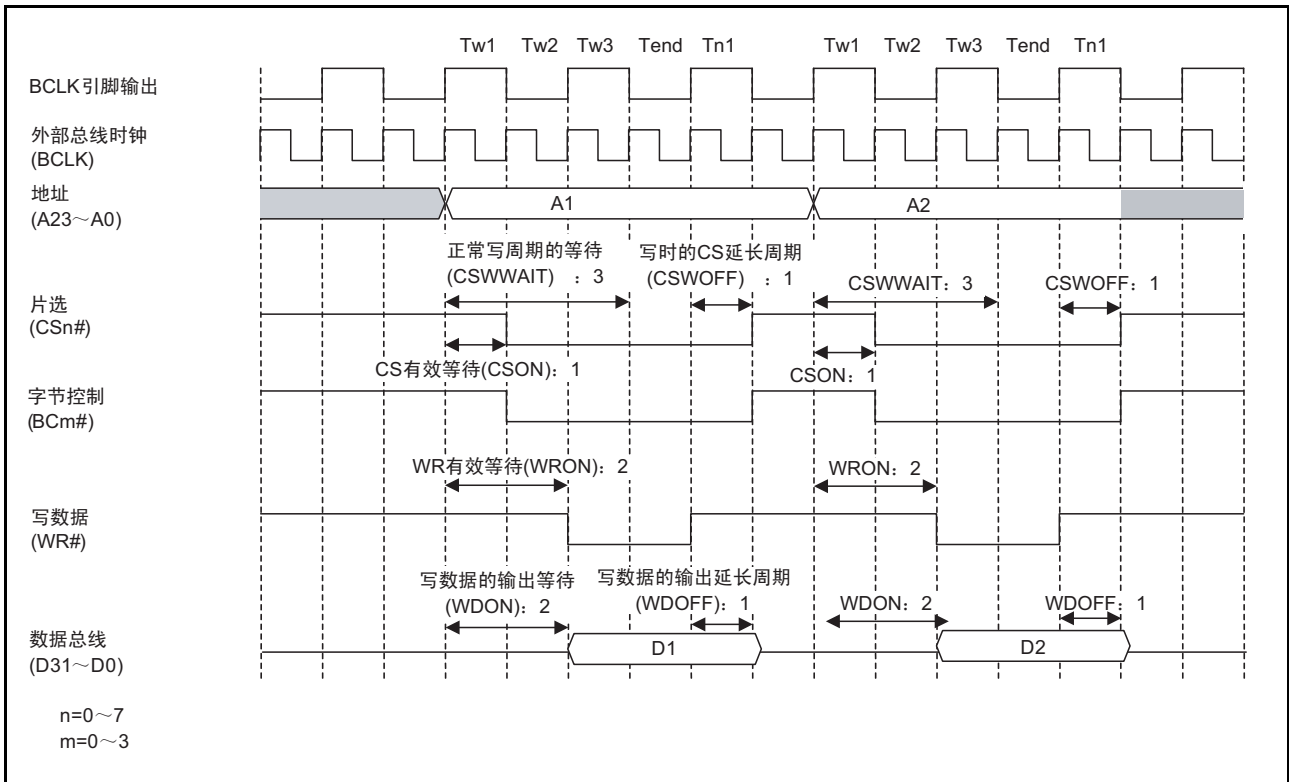


图 12.26 正常写存取的运行例子 (通过 BCLK 引脚输出选择位设定 BCLK×1/2 的情况)

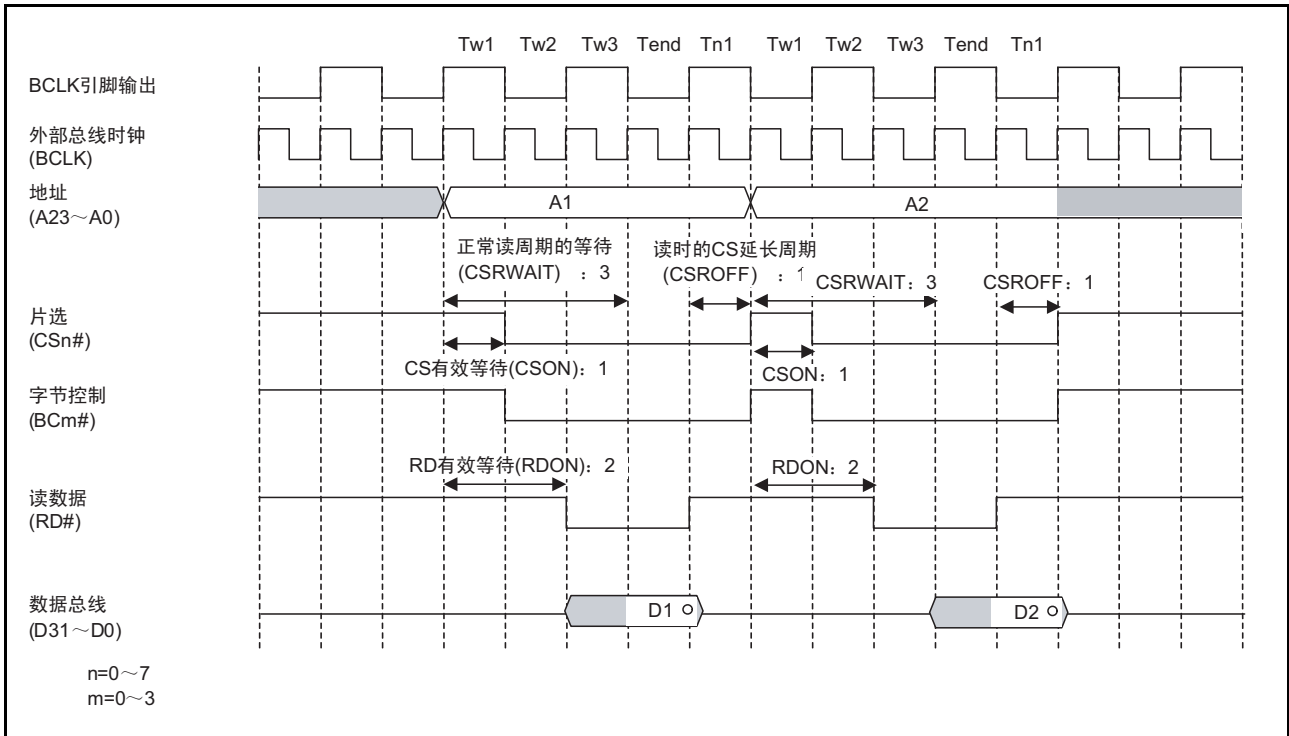


图 12.27 正常读存取的运行例子 (通过 BCLK 引脚输出选择位设定 BCLK×1/2 并且 1 次传送请求发生 2 次总线存取的情况)

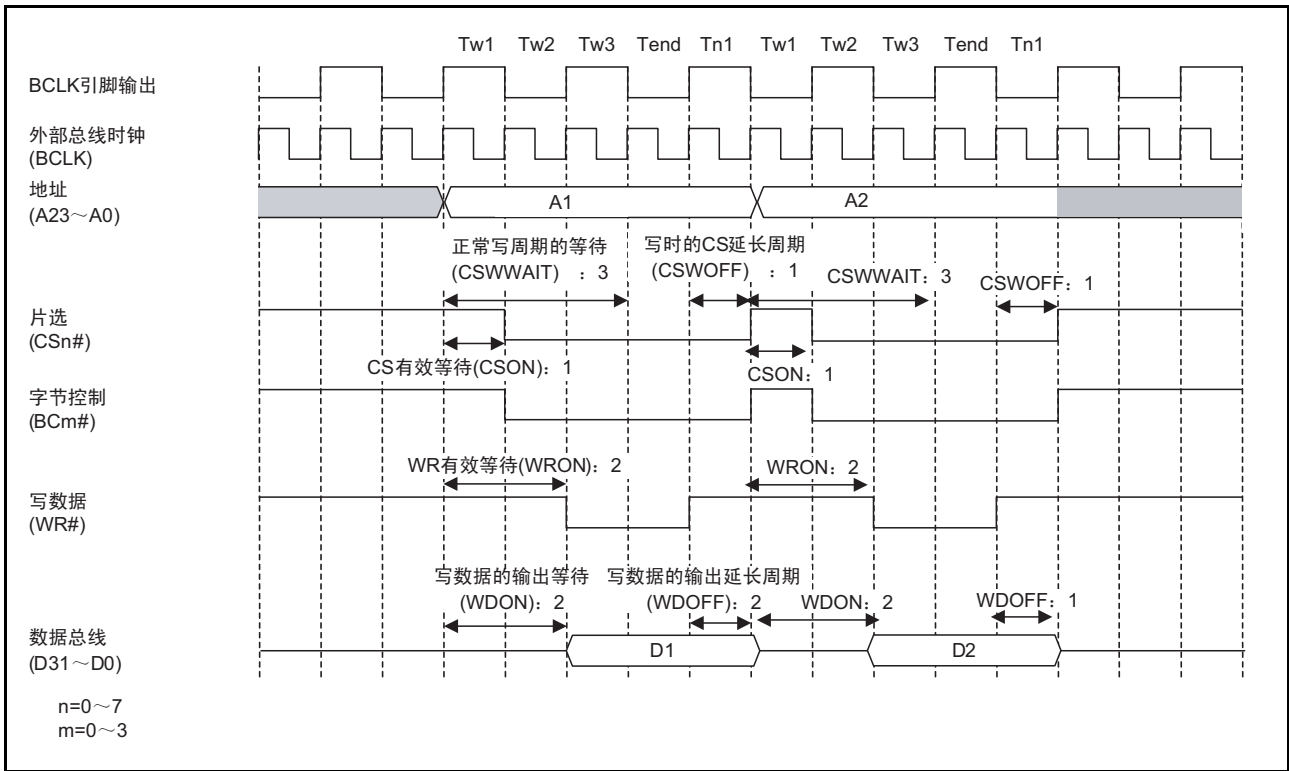


图 12.28 正常写存取的运行例子
(通过 BCLK 引脚输出选择位设定 $BCLK \times 1/2$ 并且 1 次传送请求发生 2 次总线存取的情况)

(2) 页面存取

如果将 CSnMOD.PRENB 位置“1”（允许页面读存取）并且将 CSnMOD.PWENB 位置“1”（允许页面写存取），对应页面存取的总线存取就为页面存取。在总线主控的 1 次传送请求至少需要 2 次外部总线存取时，为页面存取的对象。如果被分割的存取为非定位存取并且是超过 32 位边界的存取，就不是页面存取而是正常存取的对象。有关发生页面存取的条件的内容，请参照“图 12.5 ~ 图 12.8”。

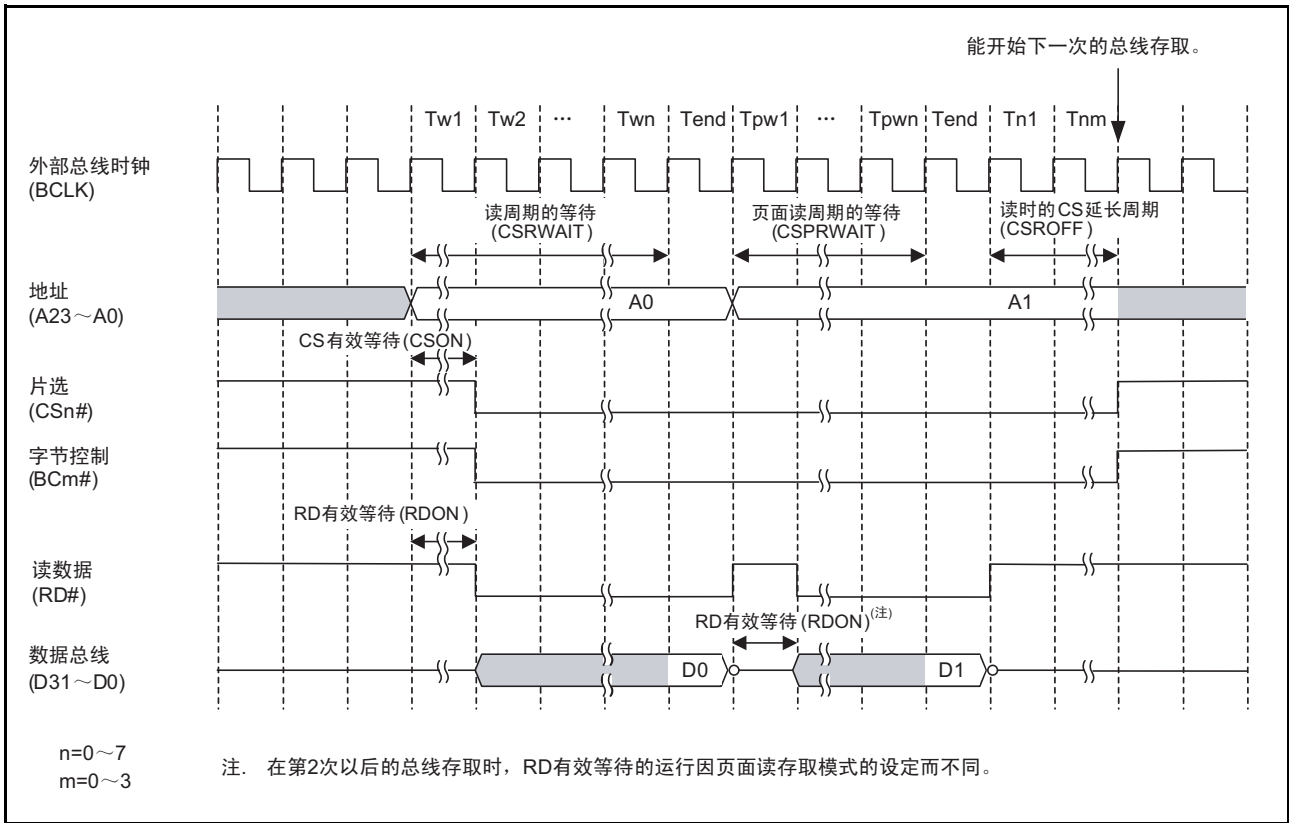


图 12.29 页面读存取时序

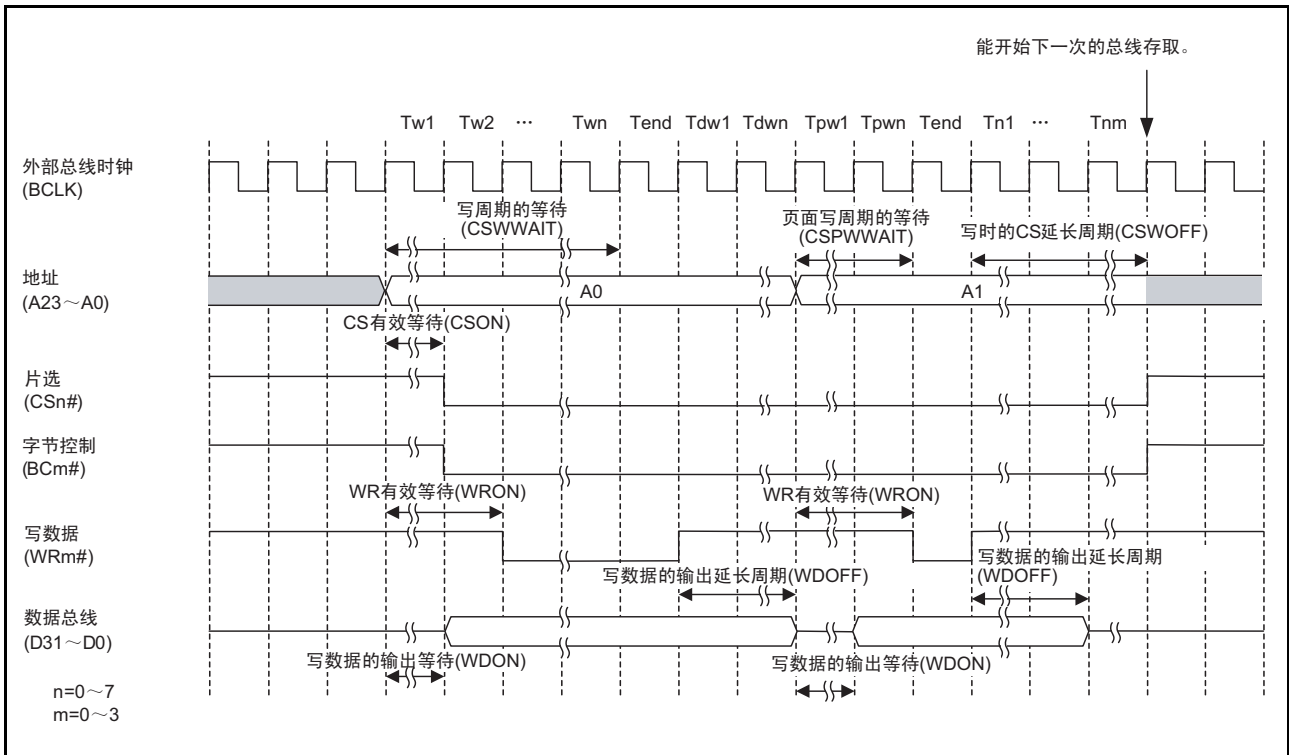


图 12.30 页面写存取时序

对 16 位总线空间进行 32 位总线存取时的运行例子如图 12.31 和图 12.32 所示，图中各等待控制寄存器的值是设定例子，必须根据要连接的设备规格设定寄存器的值。

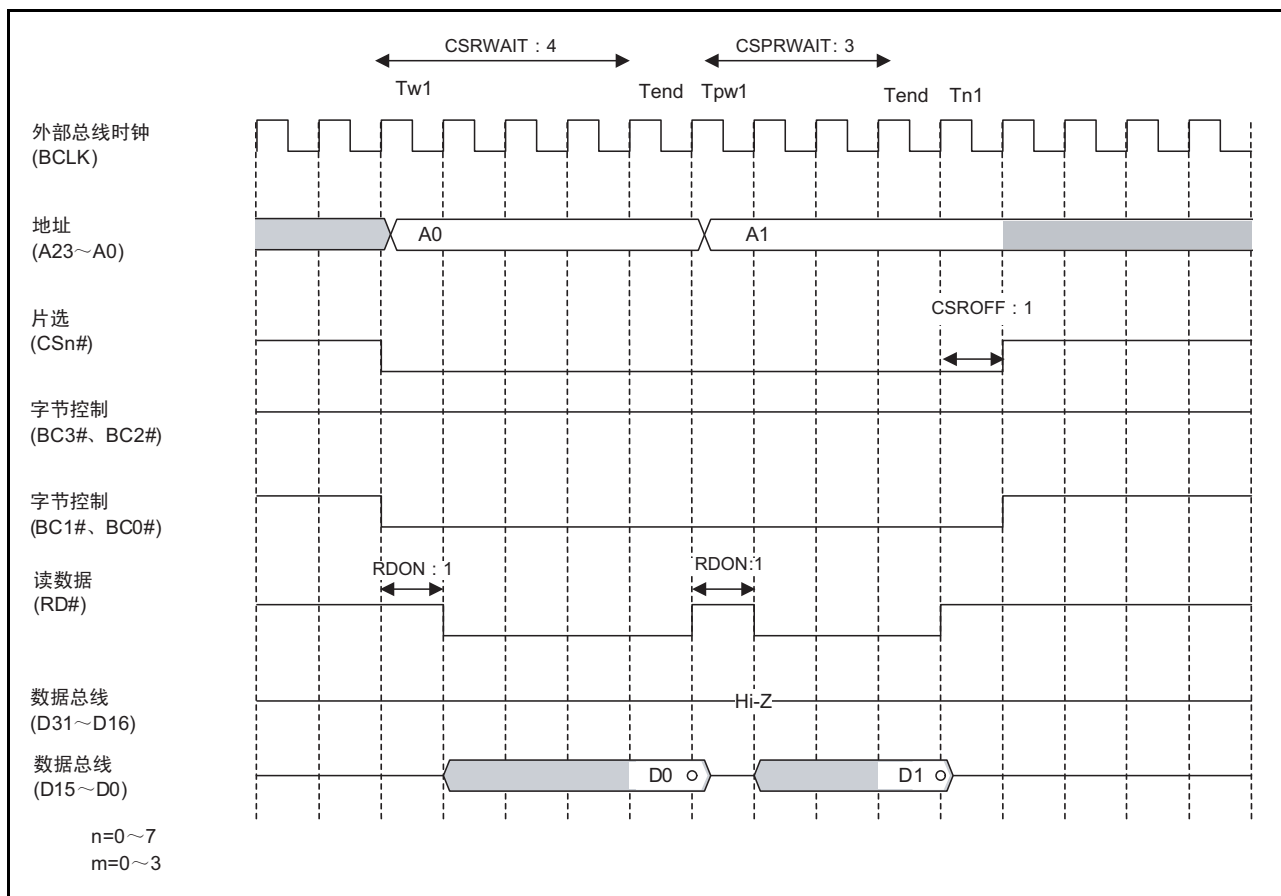


图 12.31 页面读存取的运行例子（对 16 位总线空间进行 32 位存取的情况）

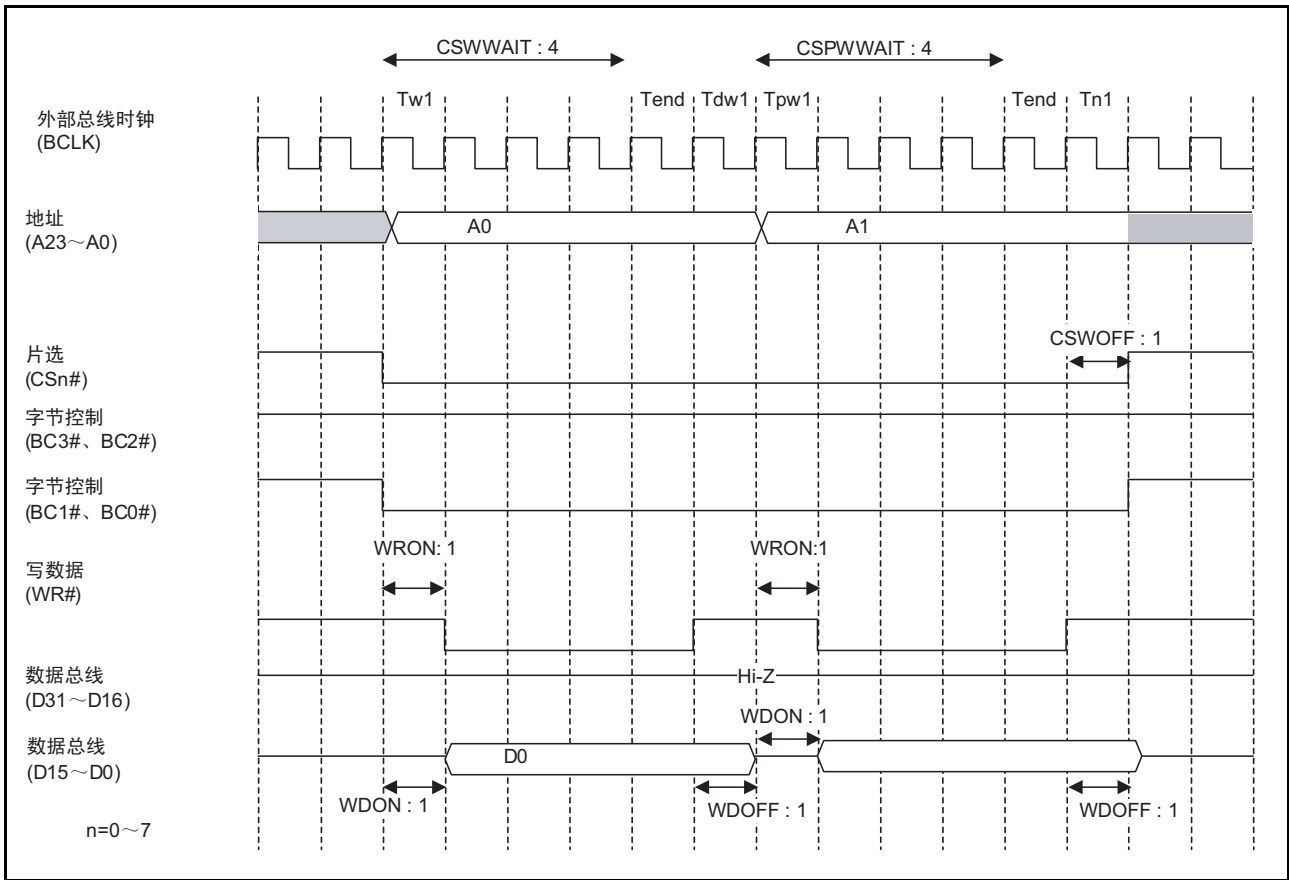


图 12.32 页面写存取的运行例子
 (在 1 次写选通模式中, 对 16 位总线空间进行 32 位存取的情况)

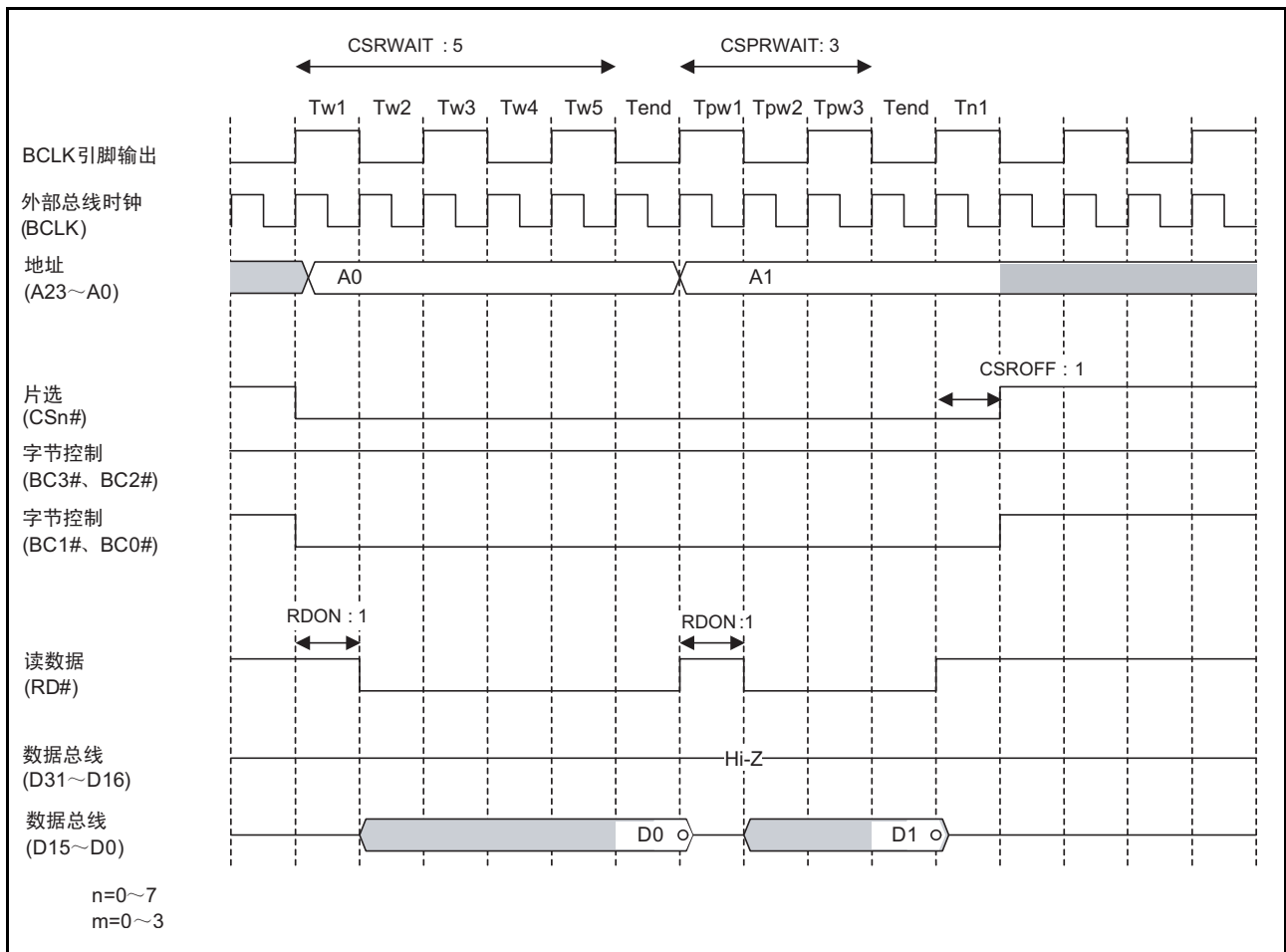


图 12.33 页面读存取的运行例子
 (BCLK 引脚输出: BCLK=1:2 并且 1 次传送请求发生 2 次总线存取的情况)

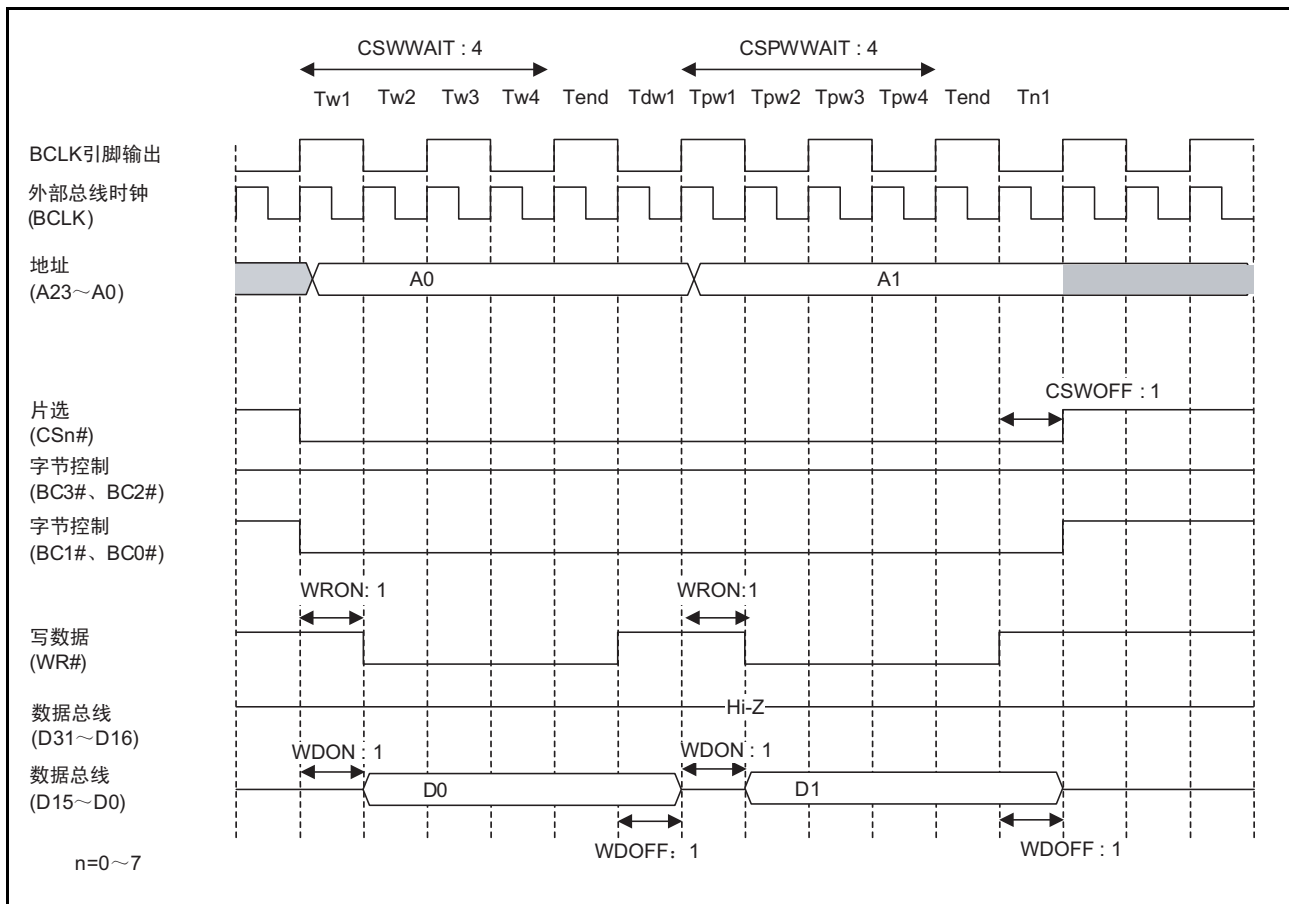


图 12.34 页面写存取的运行例子
 (BCLK 引脚输出: BCLK=1:2 并且在 1 次写选通模式中 1 次传送请求发生 2 次总线存取的情况)

12.5.2 外部等待功能

能通过 WAIT# 信号将等待周期延长至超过 CSn 等待控制寄存器 1 (CSnWCR1) 设定的正常存取周期等待 (CSRWAIT[4:0] 位和 CSWWAIT[4:0] 位) 和页面存取周期等待 (CSPRWAIT[2:0] 位和 CSPWWAIT[2:0] 位)。

如果设定为允许外部等待 (CSnMOD.EWENB=1)，就在 WAIT# 信号为 Low 电平期间插入等待周期。如果设定为禁止外部等待 (CSnMOD.EWENB=0)，WAIT# 信号就无效。

与 WAIT# 信号无关，插入 CSnWCR1 寄存器设定的各周期等待。

(1) 正常存取

从 CSnWCR1 寄存器设定的周期等待数结束时 (Tend) 开始对 WAIT# 信号进行采样。在 WAIT# 信号为 Low 电平期间，延长总线周期，并且 WAIT# 信号变为 High 电平后的下一个周期为等待周期的结束 (Tend)。

(2) 页面存取

最初的存取和正常存取相同。从等待控制寄存器设定的周期等待数结束时 (Tend) 开始对 WAIT# 信号进行采样。在 WAIT# 信号为 Low 电平期间，延长总线周期，并且 WAIT# 信号变为 High 电平后的下一个周期为等待周期的结束 (Tend)。

第 2 次以后的读存取从页面存取的等待周期结束时 (Tend) 开始对 WAIT# 信号进行采样。在 WAIT# 信号为 Low 电平期间，延长页面存取的等待周期，并且 WAIT# 信号变为 High 电平后的周期为等待周期的结束 (Tend)。

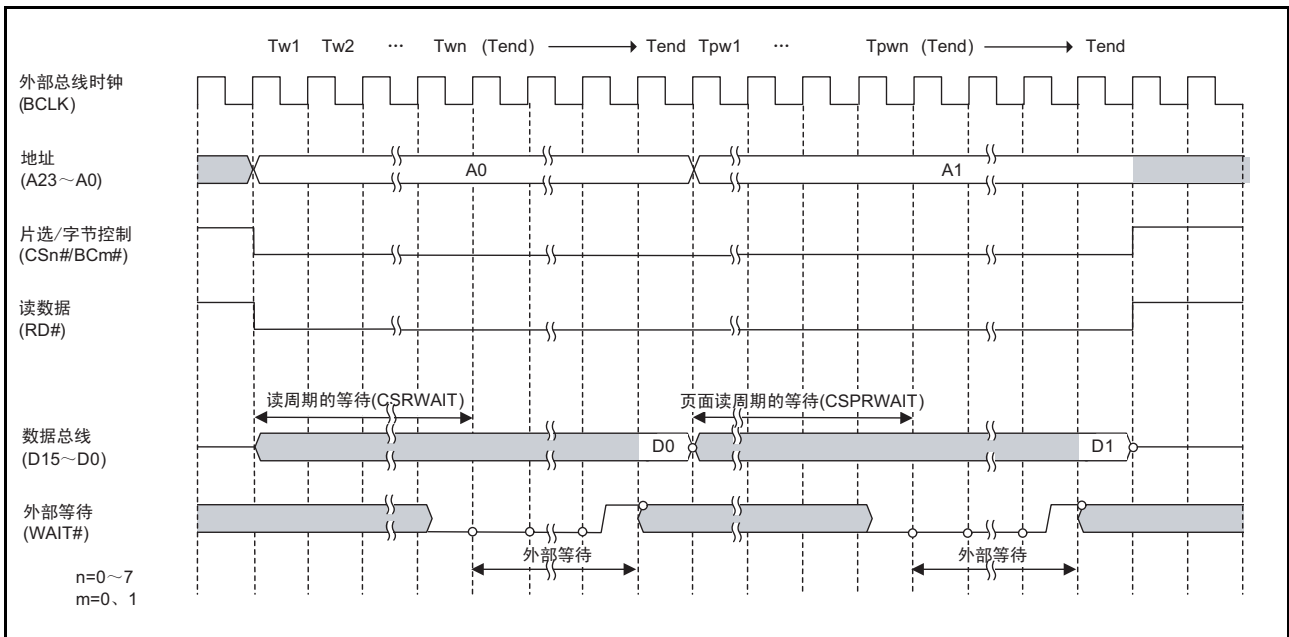


图 12.35 外部等待时序的例子 (对 16 位总线空间进行页面读存取)

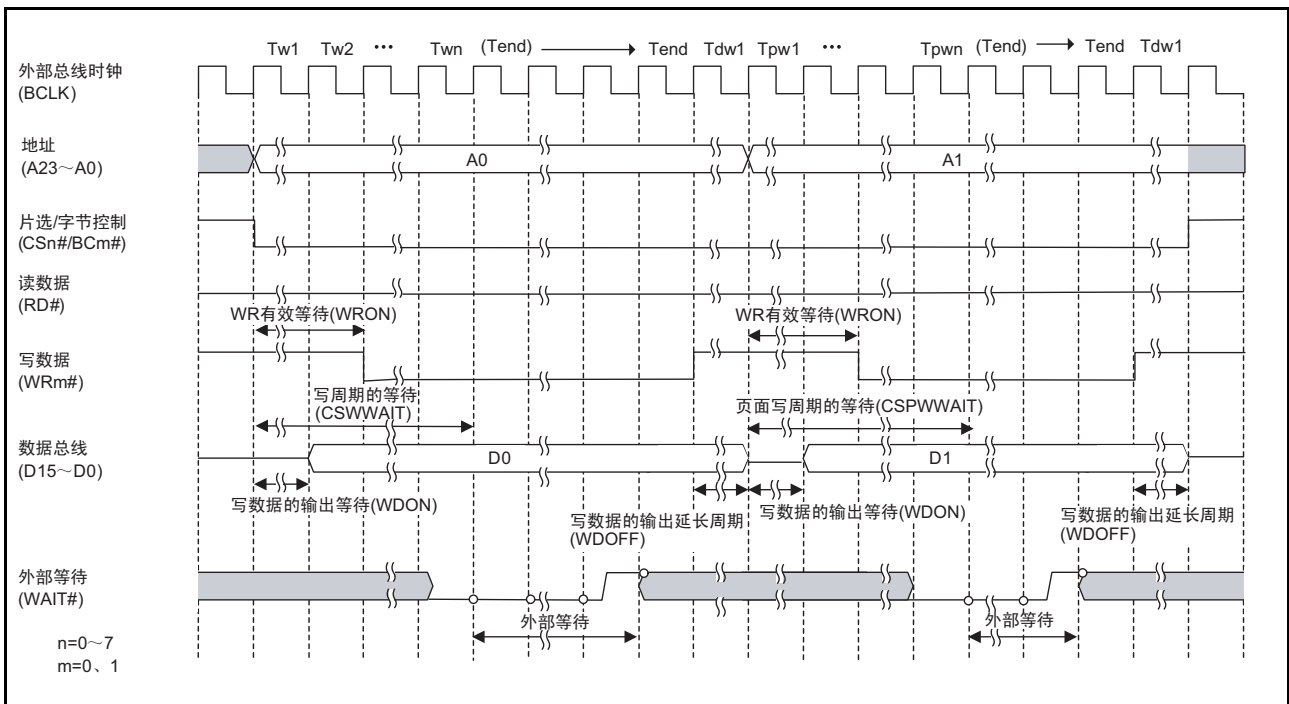


图 12.36 外部等待时序的例子
(在字节选通模式中，对 16 位总线空间进行页面写存取)

12.5.3 不存取时的状态

在尚未对外部地址空间进行处理时，CSn# 信号、BCn# 信号、WRn# 信号和 RD# 信号为 High 电平，D31 ~ D0 为高阻抗状态。

12.5.4 恢复周期的插入

能在连续的外部总线存取期间插入恢复周期。可插入恢复周期的条件如下所示：

- 在对外部总线进行读存取后有外部总线的写存取时
- 在对外部总线进行读存取后有不同区域的读存取时
- 在对外部总线进行写存取后有外部总线的读存取时

在写存取后的写存取中，不插入恢复周期。

能在写周期后和读周期后分别设定要插入的恢复周期。通过上次总线周期的写存取区域的 CSnREC.WRCV[3:0] 位设定写周期后的恢复周期数，通过上次总线周期的读存取区域的 CSnREC.RRCV[3:0] 位设定读周期后的恢复周期数。例如，如果在 CS0 读存取后有 CS1 读存取，在此期间插入的恢复周期就为 CS0REC.RRCV[3:0] 设定的周期数。

上次总线周期结束时（当 CSn# 信号（n=0 ~ 7）变为无效时）是恢复周期的起点。在从结束时开始设定的恢复周期期间插入 CSn# 信号的 High 电平期间。

最快在恢复周期结束后，下一次总线存取的片选 CSn# 信号有效。即使在恢复周期期间发生下一个外部地址区的存取请求，也在恢复周期结束后开始下一次的外部总线存取。

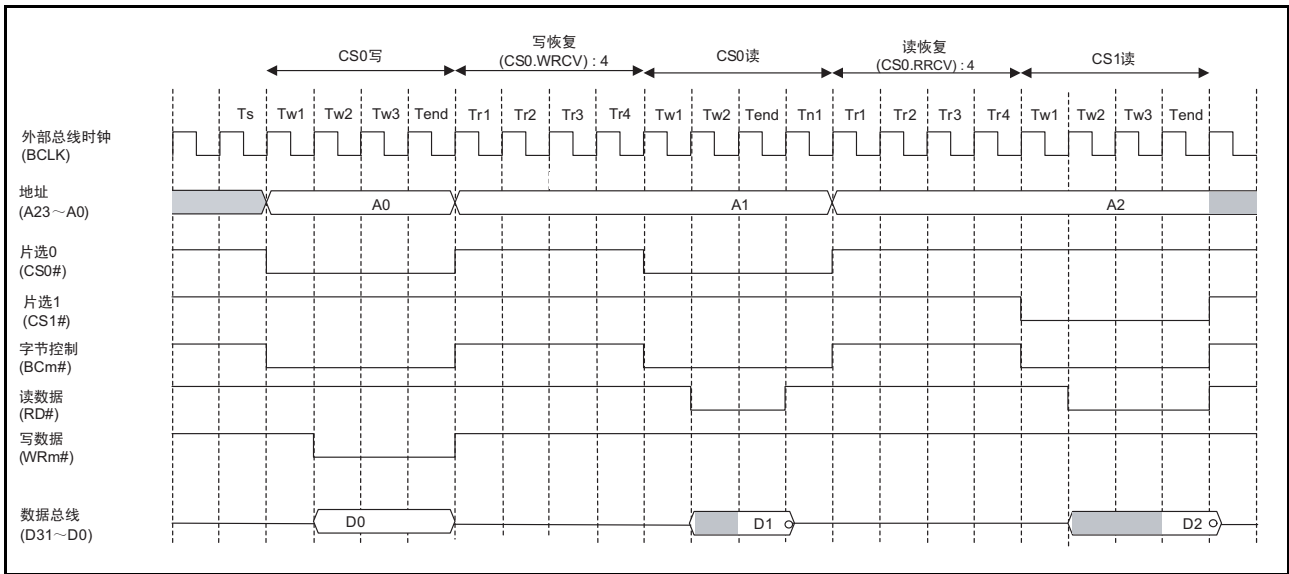


图 12.37 恢复周期的时序例子

12.5.5 写缓冲器功能

在进行写存取时，通过将数据写到写缓冲器来释放内部主总线而不到运行结束，因此能开始下一次的总线存取。但是，如果下一次总线存取是存取外部地址空间或者外部总线控制器的寄存器，就要等到上一次外部总线运行结束为止。

使用写缓冲器功能时的运行例子如图 12.38 所示。如果使用此功能并且在进行外部写操作以后有内部存取，就不等到外部写操作的结束而并行执行内部存取（内部存储器和外围模块的存取）。

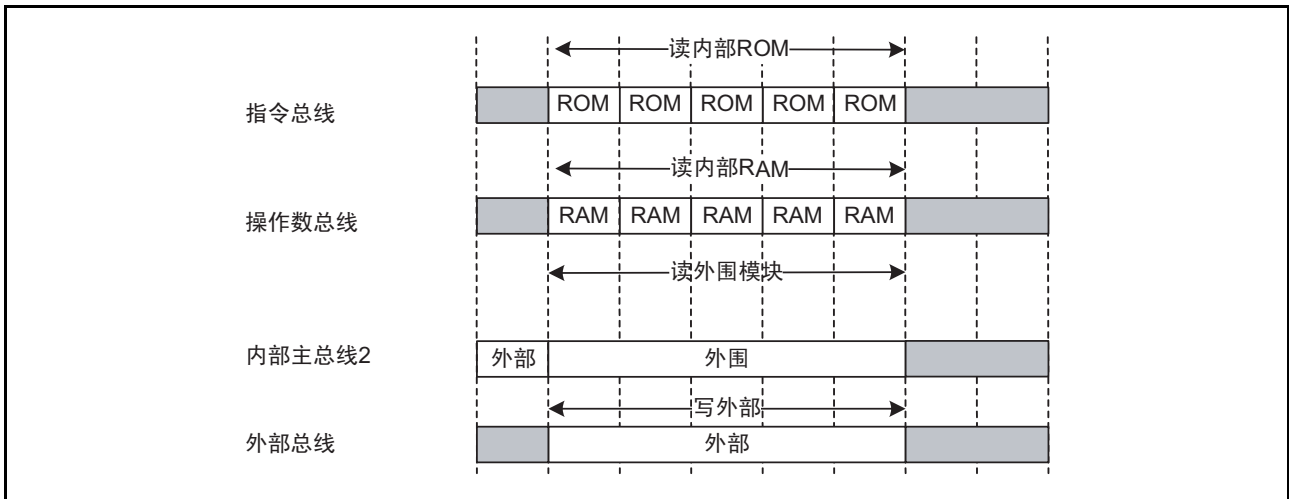


图 12.38 使用写缓冲器功能时的运行例子

12.5.6 限制事项

(1) 正常存取和页面存取时的限制事项

正常存取和页面存取时 CSn 等待控制寄存器 1 (CSnWCR1) 和 CSn 等待控制寄存器 2 (CSnWCR2) 的各位设定值的限制事项如表 12.11 所示。

即使 CSn 模式寄存器的页面读存取允许位有效 (CSnMOD.PRENB=1) 或者页面写存取允许位有效 (CSnMOD.PWENB=1)，在进行第 1 次页面存取或者进行不作为页面存取对象的存取时，也作为正常存取运行并且需要满足正常存取的限制条件。

表 12.11 正常存取和页面存取时的限制事项

正常存取时的限制条件		页面存取时的限制条件	
读	写	读	写
CS0N[2:0] ≤ CSRWAIT	1 ≤ WDON[2:0]	CS0N[2:0] ≤ CSPRWAIT	1 ≤ WDON[2:0]
RDON[2:0] ≤ CSRWAIT	CS0N[2:0] ≤ WDON[2:0]	RDON[2:0] ≤ CSPRWAIT	CS0N[2:0] ≤ WDON[2:0]
CS0N[2:0] ≤ RDON	CS0N[2:0] ≤ CSWWAIT	CS0N[2:0] ≤ RDON	CS0N[2:0] ≤ CSPWWAIT
	WRON[2:0] ≤ CSWWAIT		WRON[2:0] ≤ CSPWWAIT
	WDON[2:0] ≤ CSWWAIT		WDON[2:0] ≤ CSPWWAIT
	WDOFF[2:0] ≤ CSWOFF		WDOFF[2:0] ≤ CSWOFF
	WDON[2:0] ≤ WRON		WDON[2:0] ≤ WRON
	CS0N[2:0] ≤ WRON		CS0N[2:0] ≤ WRON

(2) 通过 BCLK 引脚输出选择位设定 BCLK×1/2 时的限制事项

如果通过 BCLK 引脚输出选择位设定 BCLK×1/2，就在 BCLK 引脚输出的上升沿开始外部总线的存取。当总线主控的 1 次传送请求至少发生 2 次外部总线存取时，根据等待数的设定，有可能在 BCLK 引脚输出的下降沿开始第 2 次以后的外部总线存取。必须根据要连接的设备规格设定寄存器的值。

(3) 兼用 A0 引脚和 BC0# 引脚时的限制事项

对于兼用 A0 引脚和 BC0# 引脚的产品，能在 16 位总线空间和 32 位总线空间中设定 1 次写选通模式，而禁止在 8 位总线空间中设定 1 次写选通模式。

(4) EXDMAC 单地址传送模式时的限制事项

- 能通过 EXDMA 输出设定寄存器的 EDACKn 引脚无效等待位 (EDMOMD.DACKW)，在进行读存取时，将 EXDMAC 的单地址传送时的 EDACK 信号的无效时序设定为 RD# 信号的 1 个周期前；在进行写存取时，设定为 WR# 信号的 1 个周期后。此时，要在 CS# 信号有效时使 EDACK 信号有效，需要设定 CS# 信号的有效时序和无效时序。EXDMAC 单地址传送模式时的 CSn 等待控制寄存器 1 (CSnWCR1) 和 CSn 等待控制寄存器 2 (CSnWCR2) 的各位设定值的限制事项如表 12.12 和表 12.13 所示。
- 在 EXDMAC 单地址传送模式中，要将 EDACK 信号输出设定为有效时，需要预先将外部等待功能设定为无效 (CSnMOD.EWENB=0)。
- 在进行页面读存取的情况下设定外部数据的读连续有效模式 (CSnMOD.PRMOD=1) 时，禁止 EXDMAC 的单地址传送，否则无法保证运行。

表 12.12 EXDMAC 单地址传送模式时的限制事项 (EDMOMD.DACKW=0)

正常存取时的限制条件		页面存取时的限制条件	
读	写	读	写
CSON[2:0] ≤ CSRWAIT RDON[2:0] ≤ CSRWAIT CSON[2:0] ≤ RDON 1 ≤ RDON	CSON[2:0] ≤ CSWWAIT WRON[2:0] ≤ CSWWAIT WDON[2:0] ≤ CSWWAIT WDOFF[2:0] ≤ CSWOFF WDON[2:0] ≤ WRON CSON[2:0] ≤ WRON 1 ≤ WRON	CSON[2:0] ≤ CSPRWAIT RDON[2:0] ≤ CSPRWAIT CSON[2:0] ≤ RDON 1 ≤ RDON	CSON[2:0] ≤ CSPWWAIT WRON[2:0] ≤ CSPWWAIT WDON[2:0] ≤ CSPWWAIT WDOFF[2:0] ≤ CSWOFF WDON[2:0] ≤ WRON CSON[2:0] ≤ WRON 1 ≤ WRON

表 12.13 EXDMAC 单地址传送模式时的限制事项 (EDMOMD.DACKW=1)

正常存取时的限制条件		页面存取时的限制条件	
读	写	读	写
CSON[2:0] ≤ CSRWAIT RDON[2:0] < CSRWAIT CSON[2:0] ≤ RDON 1 ≤ RDON	CSON[2:0] ≤ CSWWAIT WRON[2:0] ≤ CSWWAIT WDON[2:0] ≤ CSWWAIT WDOFF[2:0] ≤ CSWOFF WDON[2:0] ≤ WRON CSON[2:0] ≤ WRON 1 ≤ WRON 1 ≤ WDOFF	CSON[2:0] ≤ CSPRWAIT RDON[2:0] < CSPRWAIT CSON[2:0] ≤ RDON 1 ≤ RDON	CSON[2:0] ≤ CSPWWAIT WRON[2:0] ≤ CSPWWAIT WDON[2:0] ≤ CSPWWAIT WDOFF[2:0] CSWOFF WDON[2:0] ≤ WRON CSON[2:0] ≤ WRON 1 ≤ WRON 1 ≤ WDOFF

(5) 禁止对跨地址空间的多个区域进行存取

禁止在 1 次存取中对跨地址空间的多个区域进行存取，否则无法保证运行。1 个字的存取或者长字的存取不能夹着地址空间的各区域边界而跨 2 个区域。

在 EXDMAC 单地址模式的块传送和群集传送过程中禁止对跨地址空间的各区域进行存取，否则无法保证运行。EXDMAC 单地址模式的块传送和群集传送不能夹着地址空间的各区域边界而跨 2 个区域。

(6) 有关 RMPA 指令、字符串操作指令的限制事项

- 外部空间具有各区域的字节序转换功能（只限于数据）。但是，禁止将 RMPA 指令和字符串操作指令的操作对象数据分配到与芯片字节序设定不同的设定区域，否则无法保证运行。如果要将 RMPA 指令和字符串操作指令的操作对象数据分配到外部空间，就必须分配到与芯片字节序设定相同的设定区域。
- 禁止将 RMPA 指令和字符串操作指令的操作对象数据分配到 I/O 寄存器，否则无法保证运行。

(7) 有关指令码的限制事项

- 不能将指令码分配到与芯片字节序设定不同的设定区域。如果要将指令码分配到外部空间，就必须分配到与芯片字节序设定相同的设定区域。

12.6 SDRAM 区控制器的运行说明

以下说明 SDRAMC（SDRAM 区控制器）运行的允许、SDRAM 总线宽度的设定以及对 SDRAM 进行的各种操作（读、写、自动刷新、自刷新、初始化顺序和模式寄存器的设定）。

12.6.1 SDRAM 存取的有效 / 无效和 SDRAM 总线宽度的设定

通过 SDC 控制寄存器（SDCCR）设定允许或者禁止 SDRAM 的存取，设定 SDRAM 存取的有效或者无效，而且也通过 SDCCR 寄存器设定 SDRAM 总线宽度。

即使将 SDRAM 存取空间设定为禁止运行的状态，只要已经将自刷新或者自动刷新运行设定为有效，也能进行刷新运行。

12.6.2 不存取时的状态

在尚未对外部地址空间进行处理时，SDCS# 信号、WE# 信号、RAS# 信号和 CAS# 信号为 High 电平。

12.6.3 恢复周期的插入

在存取 CS 区域后存取 SDRAM 时，给 CSC（CS 区域控制器）插入数据恢复周期。当没有 CSC 恢复周期时，最快在 CSn# 信号无效后立即发行下一条 SDRAM 存取的 ACT 命令；当恢复周期不为“0”时，最快在 CSn# 信号无效后的 2 个恢复周期后发行 ACT 命令。在存取 SDRAM 时，不会在总线上发生数据冲突。因此，没有给 SDRAM 设定数据恢复周期（固定为 0 个周期）。

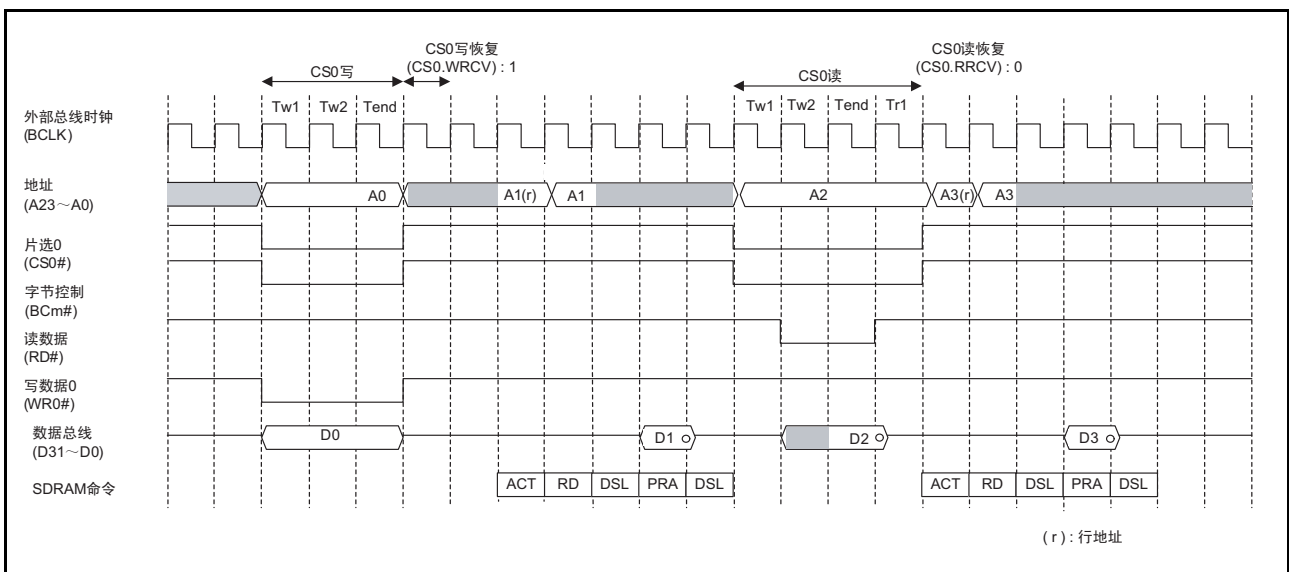


图 12.39 恢复周期的运行例子（存取 SDRAM 的情况）

12.6.4 写缓冲器功能

在进行写存取时，通过将数据写到写缓冲器来释放内部主总线而不等到运行结束，因此能开始下一次的总线存取。但是，如果下一次总线存取是存取外部地址空间或者外部总线控制器的寄存器，就要等到上一次外部总线运行结束为止。

12.6.5 SDRAM 命令

SDRAMC 通过在各总线周期发行命令进行 SDRAM 的控制，通过 SDCS#/RAS#/CAS#/WE#/CKE 信号等的组合定义命令。

SDRAMC 发行的命令如表 12.14 所示。

表 12.14 SDRAMC 命令

一般	略称	命令	SDCS#	RAS#	CAS#	WE#	CKE		BA1	BA0
							n-1	n		
DESL	DSL	设备非选择	H	x	x	x	H	x	x	x
ACTV	ACT	存储体激活	L	L	H	H	H	x	V	V
READ	RD	读	L	H	L	H	H	x	V	V
WRIT	WRI	写	L	H	L	L	H	x	V	V
PALL	PRA	全存储体预充电	L	L	H	L	H	x	x	x
REF	RFA	自动刷新	L	L	L	H	H	x	x	x
MRS	MRS	模式寄存器置位	L	L	L	L	H	x	L	L
SELF	RFS	自刷新入口	L	L	L	H	H	L	x	x
SELFX	RFX	自刷新结束	H	x	x	x	L	H	x	x

注. H: High L: Low V: Valid x: Don't Care (High 电平或者 Low 电平)

“n”表示命令发行周期，“n-1”表示发行命令的前1个周期。

12.6.6 SDRAMC 寄存器的设定条件

只能在满足表 12.15 所示的各条件下改写 SDRAMC 的各寄存器。

表 12.15 寄存器的改写条件

功能 / 运行	改写对象	条件
自刷新	SDSELF 寄存器 (注1)	<ul style="list-style-type: none"> • SDRAM 的存取无效 (SDCCR.EXENB=0 (注2)) • 自动刷新有效 (SDRFEN.RFEN=1)
自动刷新	SDRFCR 寄存器	自刷新无效 (SDSELF.SFEN=0)
	SDRFEN 寄存器	自刷新无效 (SDSELF.SFEN=0)
初始化顺序	SDIR 寄存器 (注1)	在设定 SDICR 前并且和改写 SDICR 的条件相同。
	SDICR 寄存器 (注1)	<ul style="list-style-type: none"> • SDRAM 的存取无效 (SDCCR.EXENB=0 (注2)) • 自动刷新无效 (SDRFEN.RFEN=0) • 自刷新无效 (SDSELF.SFEN=0)
地址寄存器的设定	SDADR 寄存器	<ul style="list-style-type: none"> • SDRAM 的存取无效 (SDCCR.EXENB=0 (注2)) • 自动刷新无效 (SDRFEN.RFEN=0) • 自刷新无效 (SDSELF.SFEN=0)
时序寄存器的设定	SDTR	<ul style="list-style-type: none"> • 正在进行自刷新 (SDSELF.SFEN=1) 或者 <ul style="list-style-type: none"> • SDRAM 的存取无效 (SDCCR.EXENB=0 (注2)) • 自动刷新无效 (SDRFEN.RFEN=0) • 自刷新无效 (SDSELF.SFEN=0)
模式寄存器的设定	SDMOD 寄存器 (注1)	<ul style="list-style-type: none"> • SDRAM 的存取无效 (SDCCR.EXENB=0 (注2)) • 自刷新无效 (SDSELF.SFEN=0)
存取模式寄存器的设定	SDAMOD 寄存器	<ul style="list-style-type: none"> • SDRAM 的存取无效 (SDCCR.EXENB=0 (注2)) • 自动刷新无效 (SDRFEN.RFEN=0) • 自刷新无效 (SDSELF.SFEN=0)

注 1. 必须在改写前确认 SDRAM 状态寄存器 (SDSR) 的状态位全部为“0”。

注 2. 必须在给 EXENB 位写“0”后确认 EXENB 位为“0”。

12.6.7 自刷新

能通过设定 SDRAM 自刷新控制寄存器 (SDSELF)，控制自刷新模式的转移和返回。

在转移到自刷新模式前进行自动刷新周期运行。在自刷新模式中，CKE 信号为 Low 电平。在从自刷新模式返回后，启动自动刷新周期。

自刷新模式的转移时序和返回时序的例子分别如图 12.40 和图 12.41 所示。

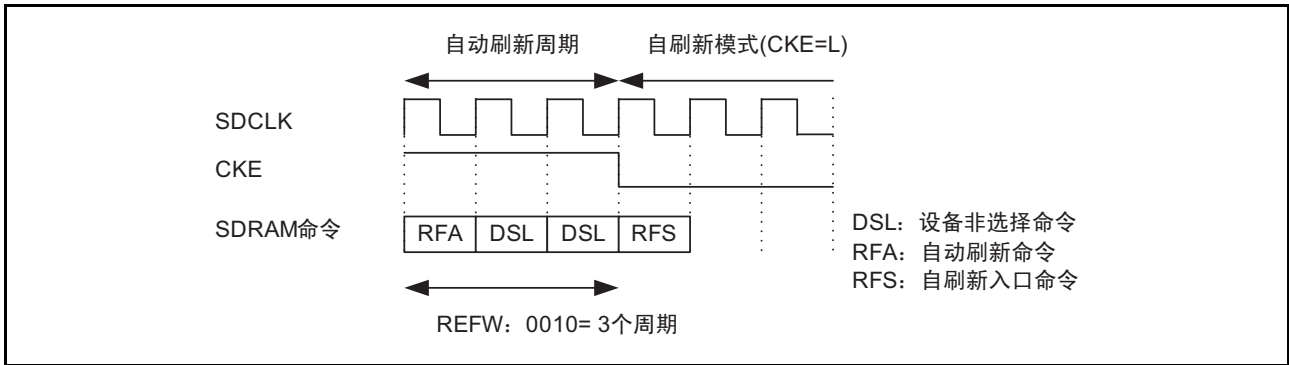


图 12.40 自刷新模式的转移时序例子
(SDRFCR.REFW[3:0] 位为“0010b” (3 个周期) 的情况)

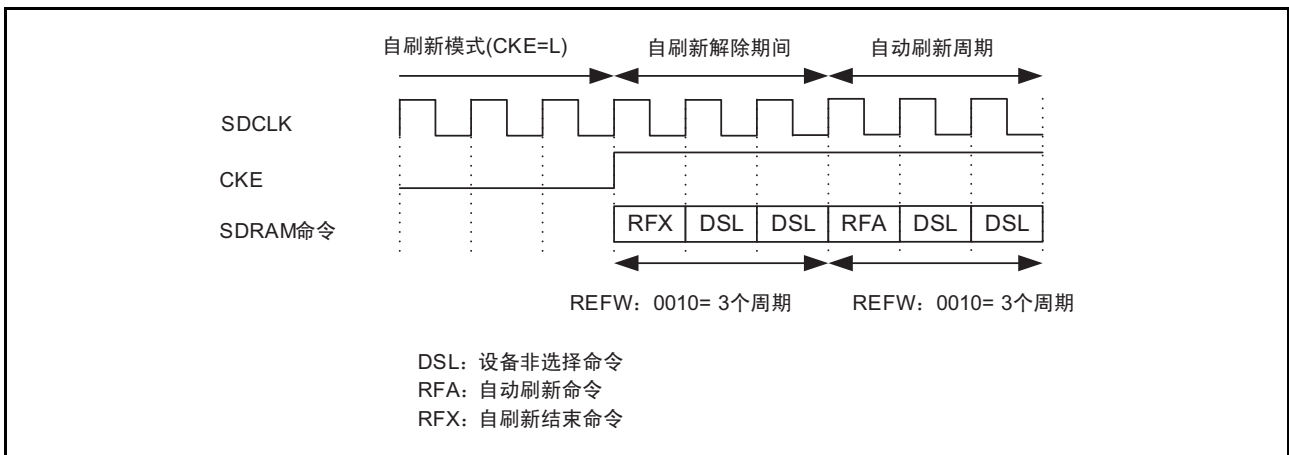


图 12.41 自刷新模式的返回时序例子

(1) 全模块时钟停止模式中的自刷新

在全模块时钟停止模式中向自刷新模式转移时，必须根据“12.6.12.2 自刷新模式的转移 / 返回步骤”，在转移到自刷新模式后进行向全模块时钟停止模式转移的设定。

在解除全模块时钟停止模式后，必须根据“12.6.12.2 自刷新模式的转移 / 返回步骤”进行设定。

有关全模块时钟停止模式的转移和解除的详细内容，请参照“9. 低功耗功能”。

(2) 软件待机模式中的自刷新

在软件待机模式中向自刷新模式转移时，必须根据“12.6.12.2 自刷新模式的转移 / 返回步骤”，在转移到自刷新模式后进行向软件待机模式转移的设定。在软件待机模式中，必须将待机控制寄存器的输出端口允许位 (SBYCR.OPE 位) 置“1”并且保持地址总线和总线控制信号的输出状态。

在解除软件待机模式后，必须根据“12.6.12.2 自刷新模式的转移 / 返回步骤”进行设定。

有关软件待机模式的转移和解除的详细内容，请参照“9. 低功耗功能”。

(3) 深度软件待机模式中的自刷新

通过软件待机模式转移到深度软件待机模式。深度软件待机模式中的引脚状态保持软件待机模式中的状态。因此，在深度软件待机模式中，也能通过和软件待机模式相同的步骤转移到自刷新。

在深度软件待机模式中，必须设定软件待机模式的自刷新并且将深度待机控制寄存器的 I/O 端口保持位（DPSBYCR.IOKEEP 位）置“1”，然后转移到自刷新模式。

在解除深度软件待机模式时，因为通过内部复位对 SDRAMC 内部状态进行复位，所以需要重新设定 SDRAM 相关的控制寄存器。在解除深度软件待机模式后，必须按照以下步骤解除自刷新。深度软件待机模式中的自刷新时序例子如图 12.42 所示。

有关深度软件待机模式的转移和解除的详细内容，请参照“9. 低功耗功能”。

1. 在深度软件待机模式中，通过 DPSBYCR.IOKEEP 位保持引脚状态，使 CKE 信号保持 Low 电平输出状态。
2. 必须开始给 SDRAMC 提供时钟。
3. 必须重新设定在深度软件待机模式中通过内部复位被初始化的 SDRAM 相关控制寄存器（SDCMOD、SDAMOD、SDADR 和 SDTR），然后将自动刷新设定为有效（SDRFEN.RFEN=1）。
4. 必须确认 SDSR 寄存器的全部状态位已被清“0”并且将 SDSELF.SFEN 位置“1”，重新设定为自刷新模式。
5. 必须按照以下步骤将端口更改为 SDRAM 接口。
 - A. 必须将 SDRAM 引脚的允许位（PF6BUS.MDSDE 和 PF6BUS.DQM1E）分别置“1”，将端口重新设定为 SDRAM。
 - B. 必须将 SDCLK 引脚的允许位（PF6BUS.SDCLKE）置“1”，将 SDCLK 引脚重新设定为输出有效。
 - C. 必须将 DPSBYCR.IOKEEP 位置“0”，解除 I/O 端口的保持状态。
6. 必须通过将 CKCR.PSTOP0 位置“0”，从 SDCLK 引脚开始给 SDRAM 提供时钟。
7. 必须在确认 SDSR 寄存器的全部状态标志都为“0”后，将 SDSELF.SFEN 位置“0”，解除自刷新。

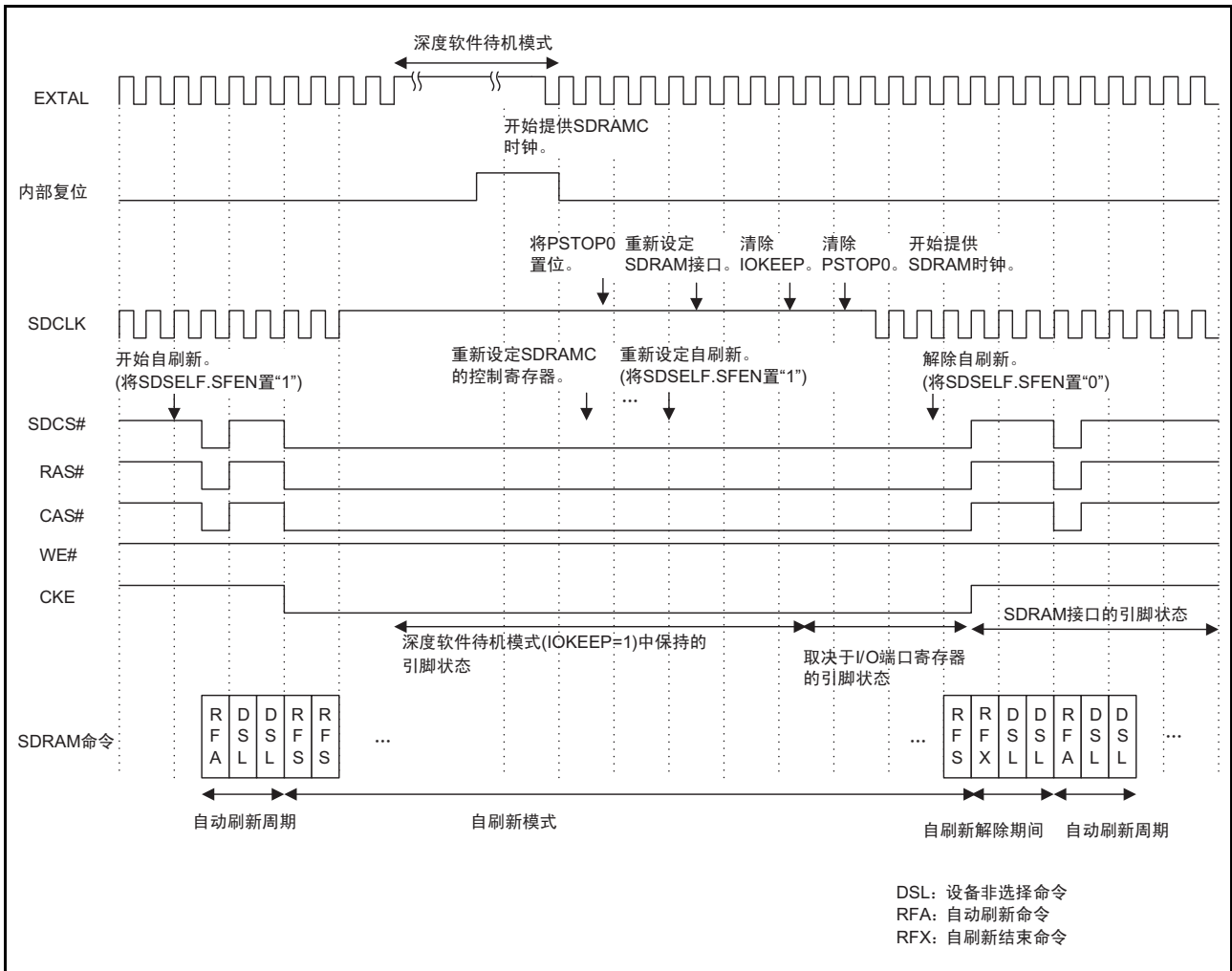


图 12.42 自刷新的时序例子（深度软件待机模式）

12.6.8 自动刷新

如果将 SDRAM 自动刷新控制寄存器的自动刷新运行有效位 (SDRFEN.RFEN) 置“1”，就开始自动刷新周期。如果以后通过刷新计数器定期产生刷新请求，就启动自动刷新周期。但是，因为在读写存取过程中不接受刷新请求，所以有可能让自动刷新周期的启动等待。如果在连续存取过程中产生自动刷新请求，就在产生总线主控的 1 次传送请求的总线存取结束后，开始自动刷新周期。

如果 SDRAM 的存取请求和刷新请求同时发生，就优先刷新请求。CS 区域的存取请求和刷新请求能同时发生。但是，发行刷新命令所需的 SDCS#/RAS#/CAS#/WE#/CKE 信号必须是 SDRAM 存取的专用信号。

如果在开始自动刷新周期后再次将 SDRFEN.RFEN 位置“1”，就产生刷新请求。但是，如果正在进行读写存取，就在存取结束后产生刷新请求。

在自刷新过程中停止刷新计数器。在从自刷新返回并且启动自动刷新周期后，计数器值被复位并且重新开始计数。

自动刷新周期的时序例子如图 12.43 所示。

在单次存取和连续存取过程中产生自动刷新请求时的运行例子分别如图 12.44 和图 12.45 所示。

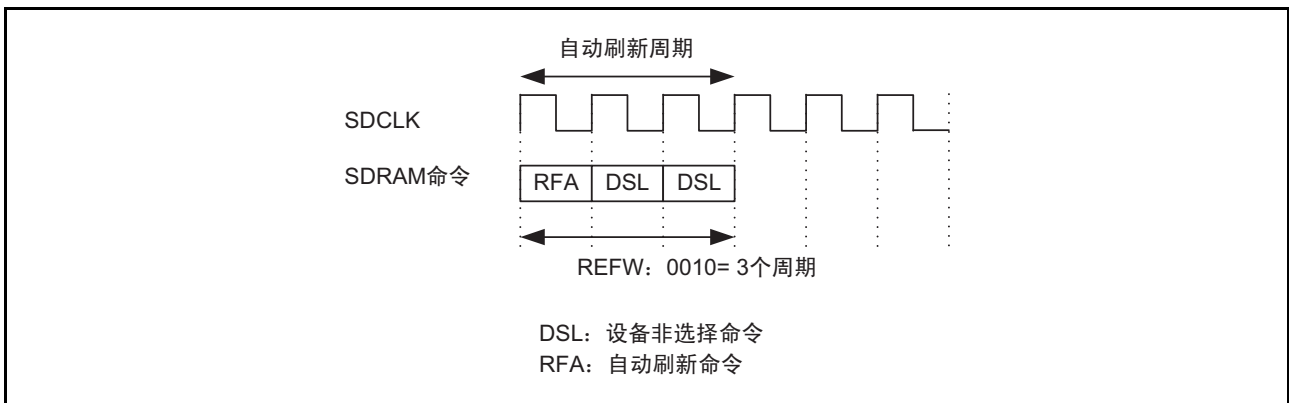


图 12.43 自动刷新周期的时序例子 (1)

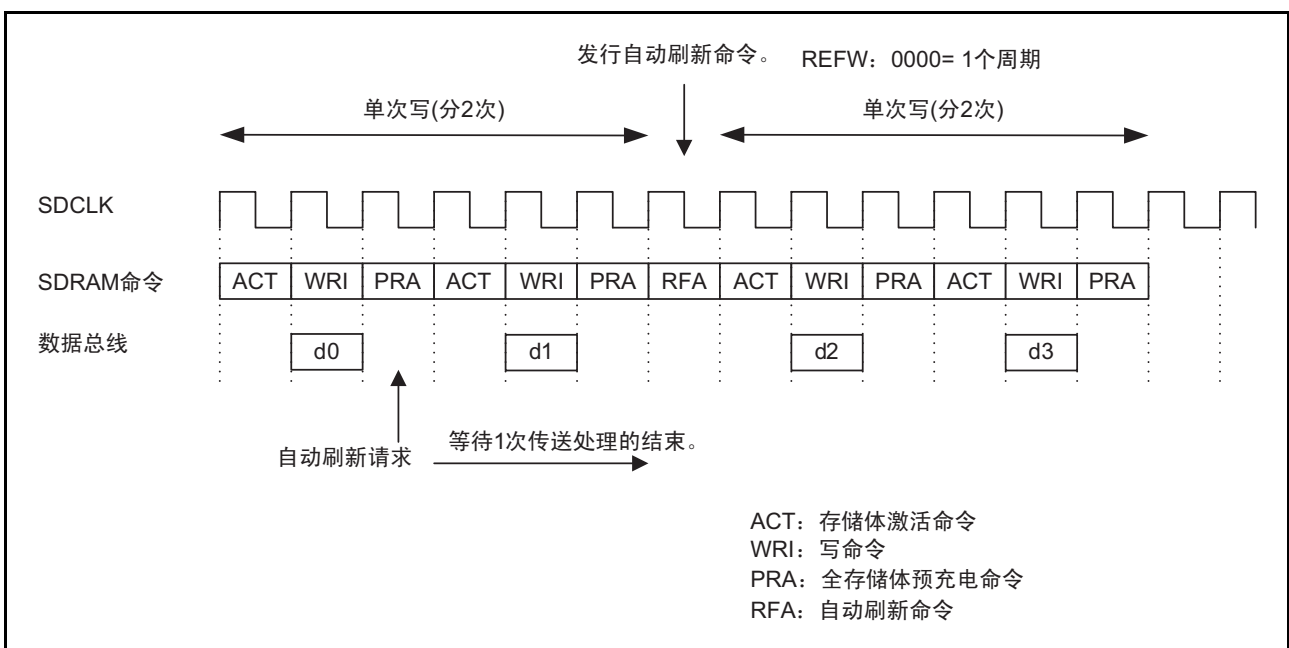


图 12.44 自动刷新周期的时序例子 (2)
(在单次存取过程中产生自动刷新请求的情况)

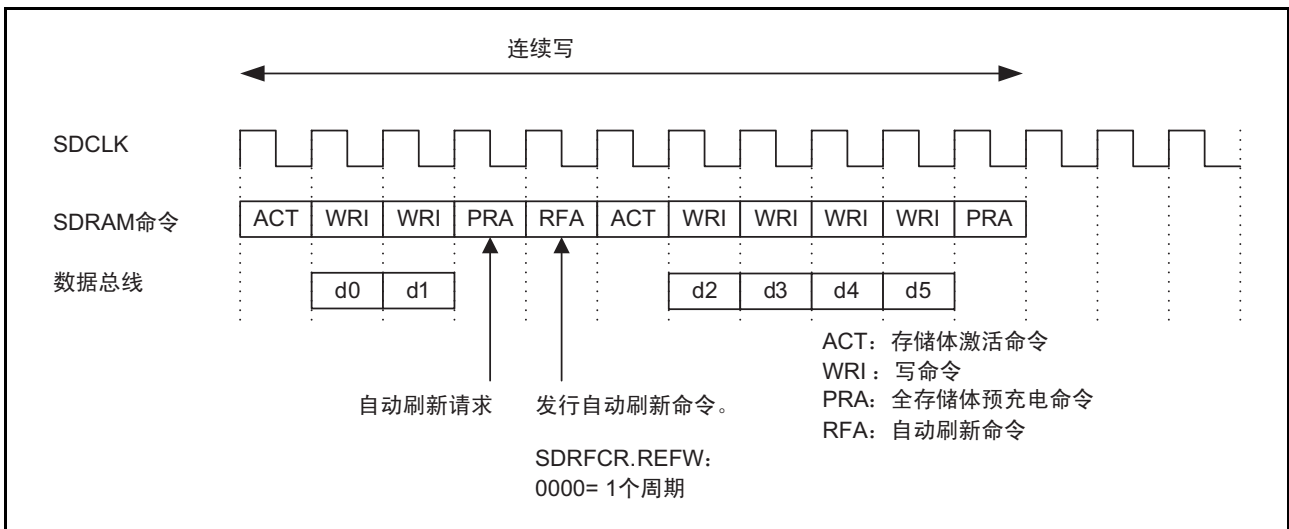


图 12.45 自动刷新周期的时序例子 (3)
(在连续存取过程中产生自动刷新请求的情况)

12.6.9 初始化定序器

SDRAMC 有用于发行 SDRAM 初始化命令的定序器。必须在复位后启动初始化顺序，否则无法保证运行。

SDRAM 的初始化定序器按顺序发行全存储体预充电命令和 n (n=1 ~ 15) 次自动刷新命令。必须通过 SDRAM 的初始化寄存器 (SDIR) 设定初始化定序器的时序，通过 SDRAM 的初始化顺序控制寄存器 (SDICR) 启动初始化顺序。只能在满足“表 12.15 寄存器的改写条件”的条件下设定这些寄存器。

初始化顺序的时序例子如图 12.46 所示。如果将 SDIR.ARFC[3:0] 位设定大于等于 2 次，就重复初始化自动刷新周期。

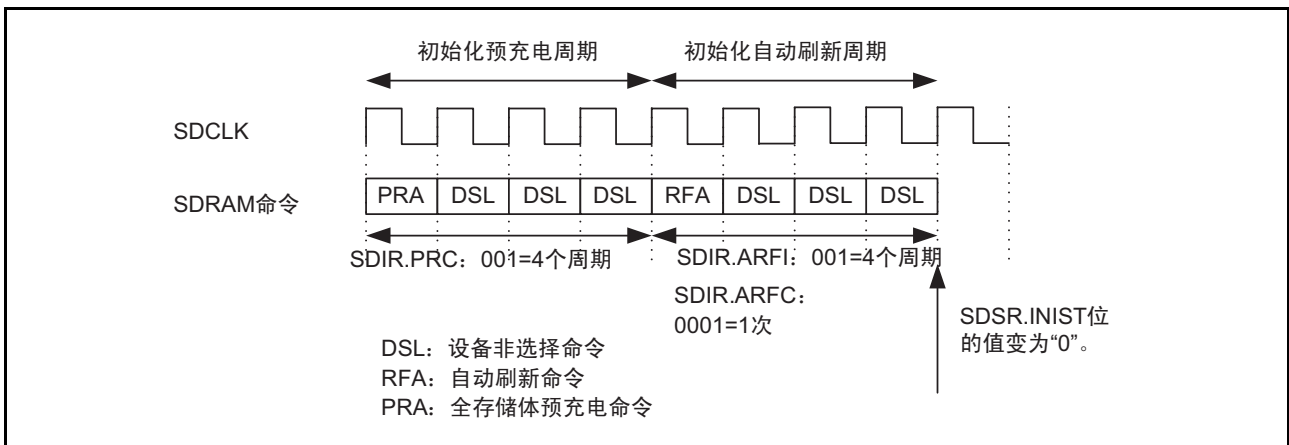


图 12.46 初始化顺序的时序例子

12.6.10 读写存取

SDRAMC 的读写存取有以下 2 种：

- 单次存取：在每次存取时输出行地址，然后存取数据。
- 连续存取：当连续存取相同的行地址时，在输出行地址后，只通过更改列地址进行高速的数据存取。

在 EXDMAC 的群集传送或者单地址模式的块传送时，能通过设定 SDRAM 存取模式寄存器的连续存取允许位 (SDAMOD.BE=1)，连续存取 SDRAM。

如同 EXDMAC 的 1 次传送数据长度小于等于外部总线宽度并且不进行非定位存取的情况，只在 1 次传送请求进行 1 次总线存取结束时，能进行连续存取。

如果不满足上述的条件，就禁止设定为连续存取模式，否则无法保证运行。

在连续存取模式中，禁止将 SDTR 寄存器的 SDRAMC 的列等待时间设定位 (SDTR.CL[2:0]) 置“1” (CL=1)，否则无法保证运行。

当 SDAMOD.BE 为“0”时，EXDMAC 的群集传送和单地址模式的块传送也为单次存取。

(1) 单次存取

单次读的时序例子如图 12.47 和图 12.48 所示，单次写的时序例子如图 12.49 所示。存取时序因 SDRAM 时序寄存器 (SDTR) 的设定而不同，详细内容请参照“12.6.12.3 时序寄存器的设定值和存取时序”。

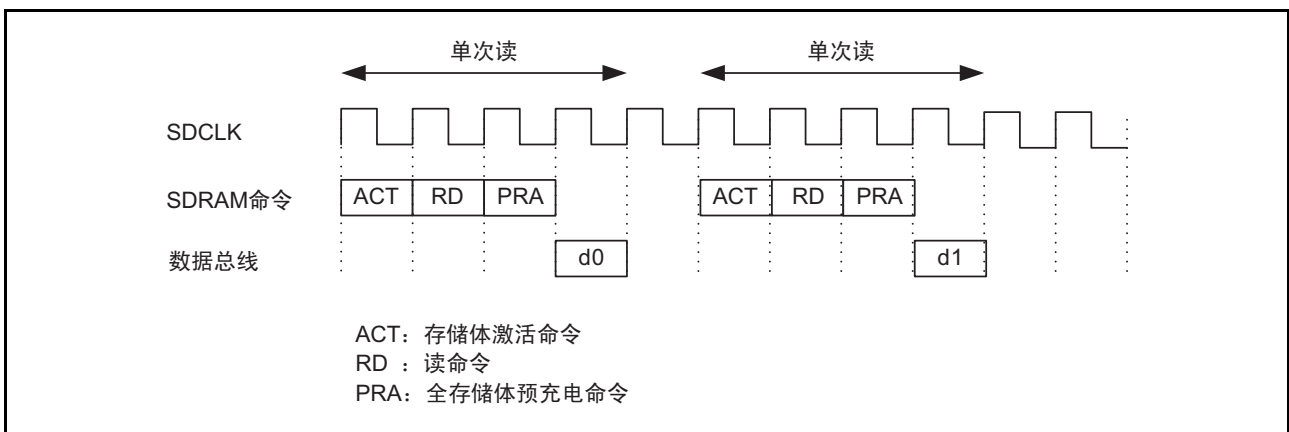


图 12.47 单次读的时序例子 (SDTR.CL[2:0] 位为“010b” (2 个周期) 的情况)

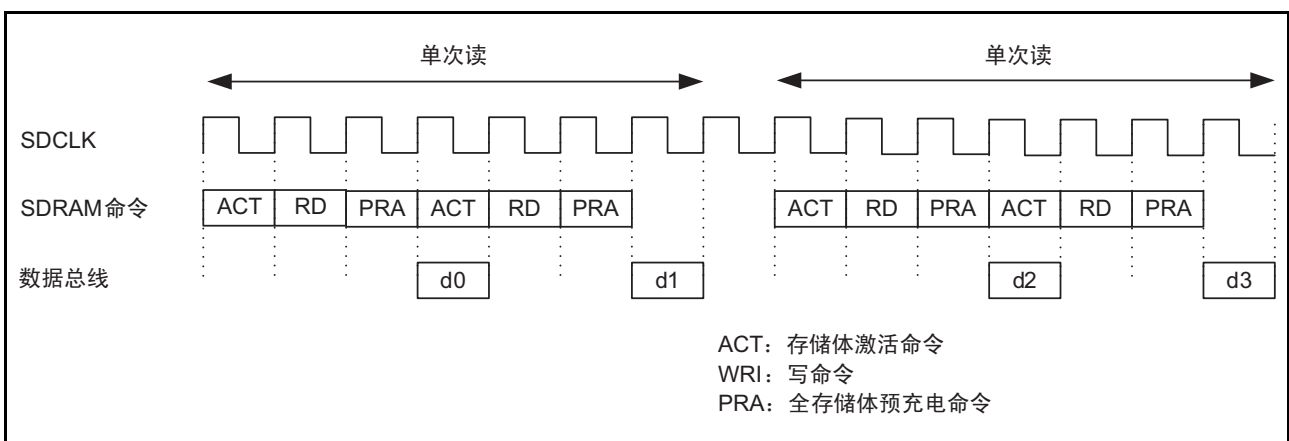


图 12.48 单次读的时序例子 (EXDMAC 的群集传送或者单地址模式的块传送、SDAMOD.BE 为“0”并且 SDTR.CL[2:0] 为“010b” (2 个周期) 的情况)

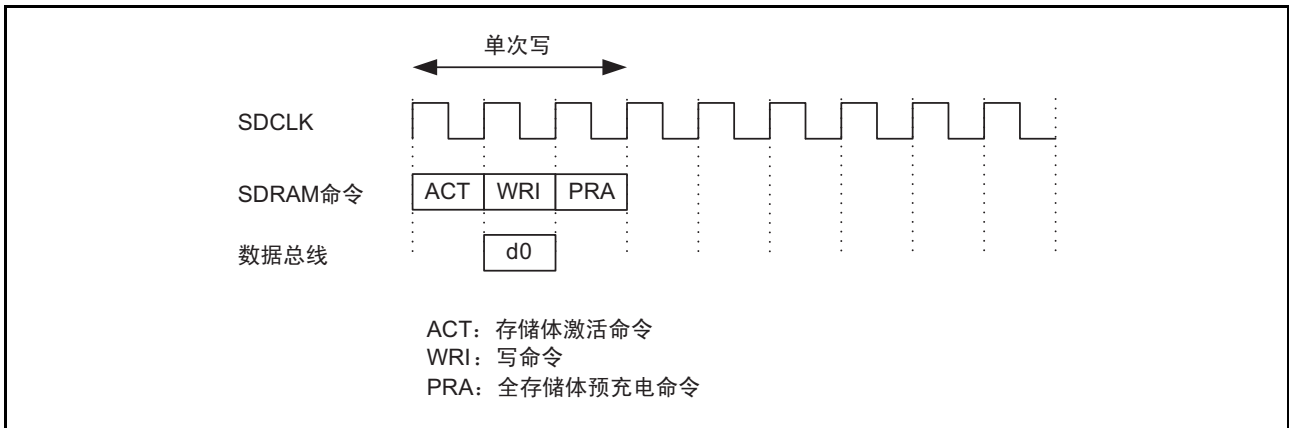


图 12.49 单次写的时序例子（设定最小时序的情况）

(2) 连续存取

连续读和连续写的时序例子分别如图 12.50 和图 12.51 所示。

在传送过程中 SDRAM 的行地址发生变化时，行自动进行非激活和激活的转换。

在连续写时行地址发生变化时的时序例子如图 12.52 所示。

存取时序因 SDRAM 时序寄存器（SDTR）的设定而不同，详细内容请参照“12.6.12.3 时序寄存器的设定值和存取时序”。

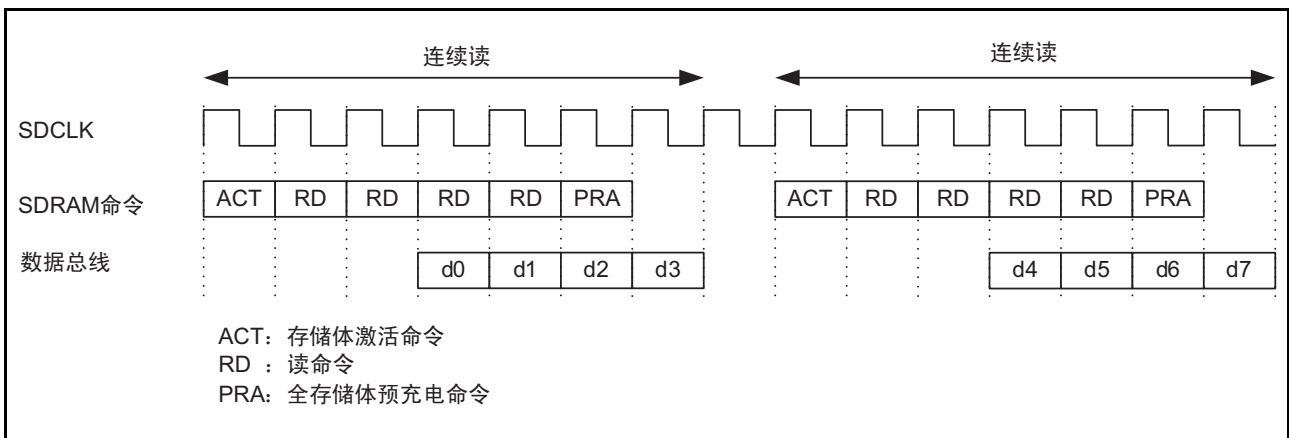


图 12.50 连续读的时序例子（SDAMOD.BE 为“1”并且 SDTR.CL[2:0] 为“010b”（2 个周期）的情况）

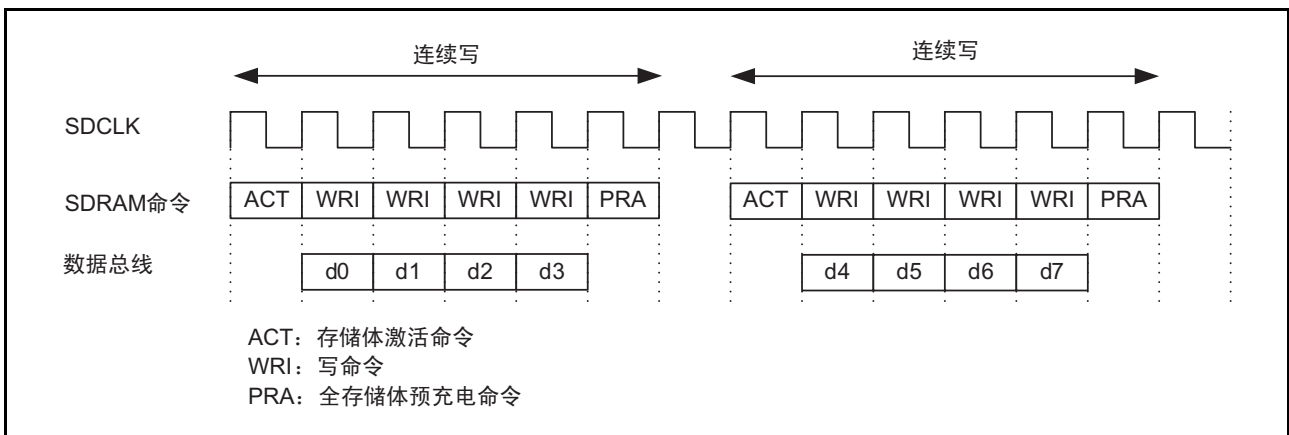


图 12.51 连续写的时序例子（SDAMOD.BE 为“1”并且设定最小时序的情况）

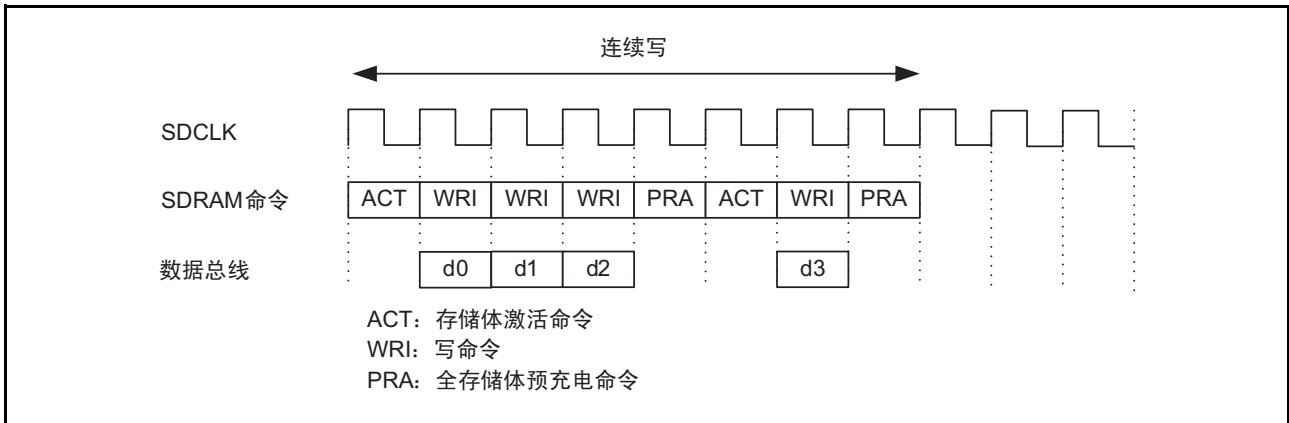


图 12.52 连续写的时序例子 (SDAMOD.BE 为“1”并且设定最小时序的情况) / 跨行地址

12.6.11 模式寄存器的设定

通过写 SDRAM 模式寄存器 (SDMOD)，向 SDRAM 发行模式寄存器的设定命令并且将 SDMOD.MR[14:0] 位的设定值输出到地址的低位。当数据总线宽度为 8 位时，输出到 A14 ~ A0；当数据总线宽度为 16 位时，输出到 A15 ~ A1；当数据总线宽度为 32 位时，输出到 A16 ~ A2。因此，在设定模式寄存器前，需要预先设定 SDCCR.BSIZE[1:0] 并且确定 SDRAM 的数据总线宽度。

模式寄存器的设定时序如图 12.53 所示。

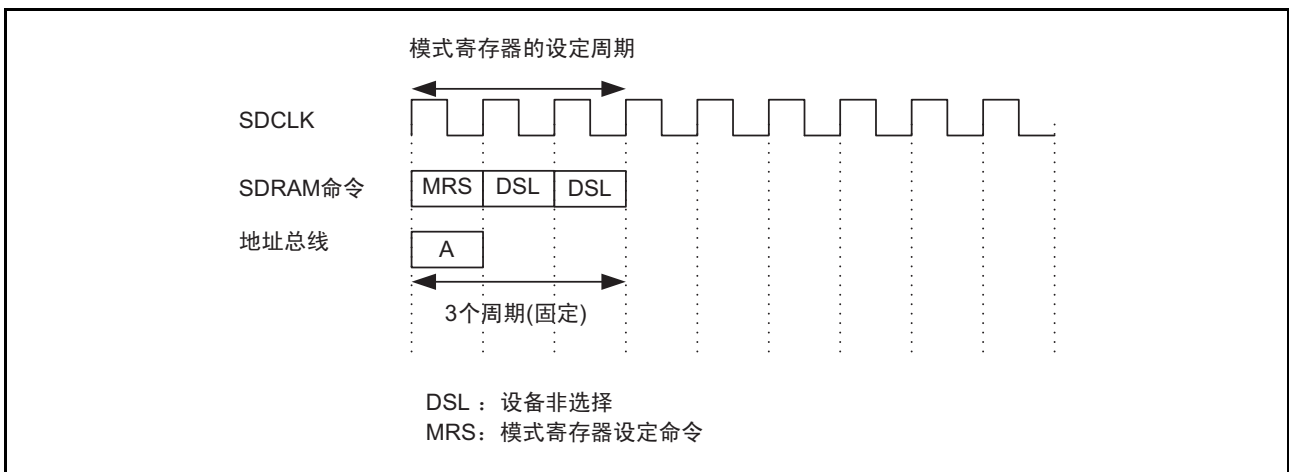


图 12.53 模式寄存器的设定时序

12.6.12 SDRAMC 的设定例子

在此说明 SDRAMC 的设定步骤、时序寄存器的设定例子以及自刷新模式的转移 / 返回步骤。

12.6.12.1 SDRAMC 的存取设定步骤

SDRAMC 的设定步骤如图 12.54 所示。

上电顺序等规格因使用的 SDRAM 而不同，必须在充分探讨 SDRAM 的规格后再进行系统设计。

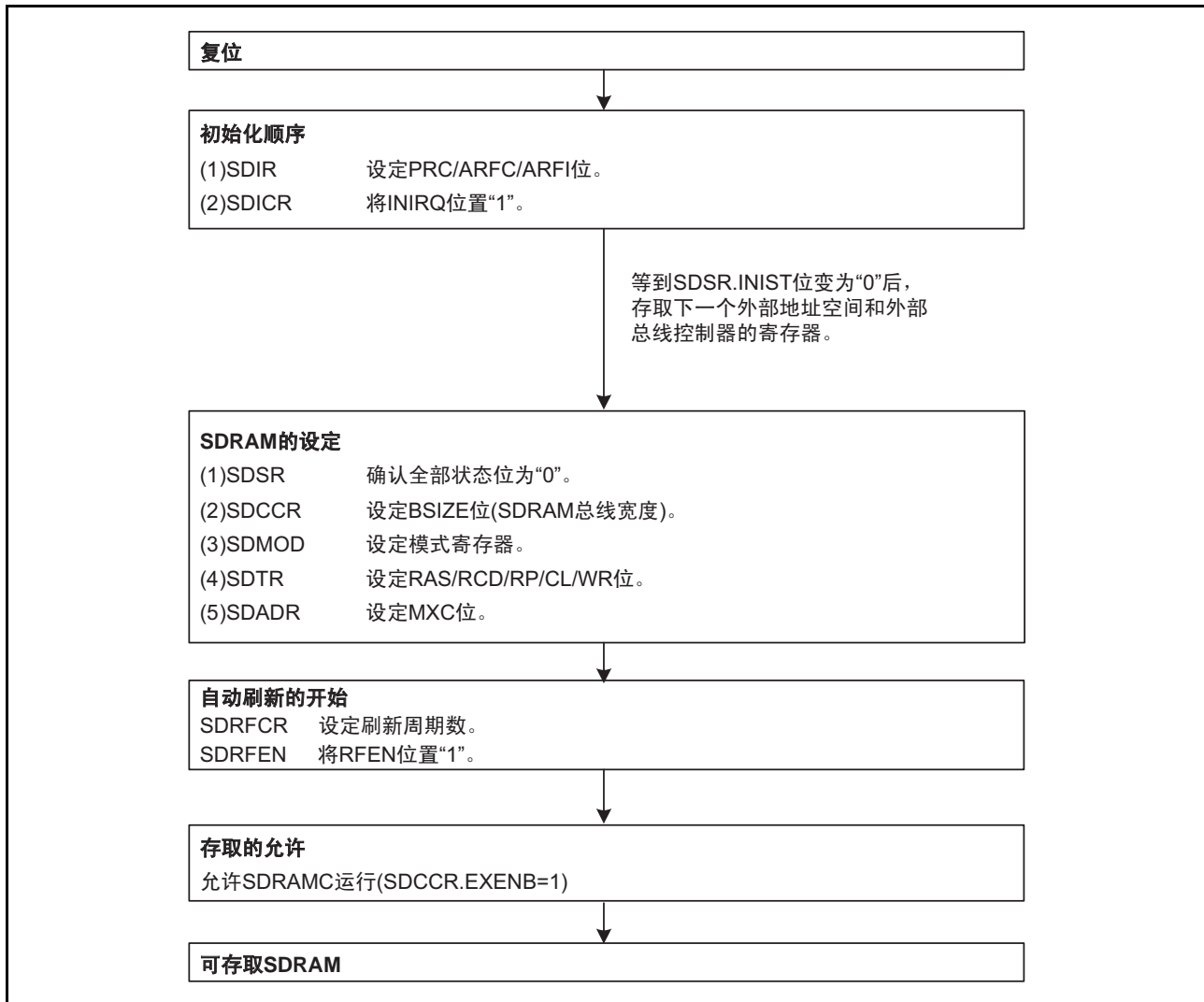


图 12.54 SDRAMC 的设定步骤

12.6.12.2 自刷新模式的转移 / 返回步骤

自刷新模式的转移 / 返回步骤如图 12.55 所示。

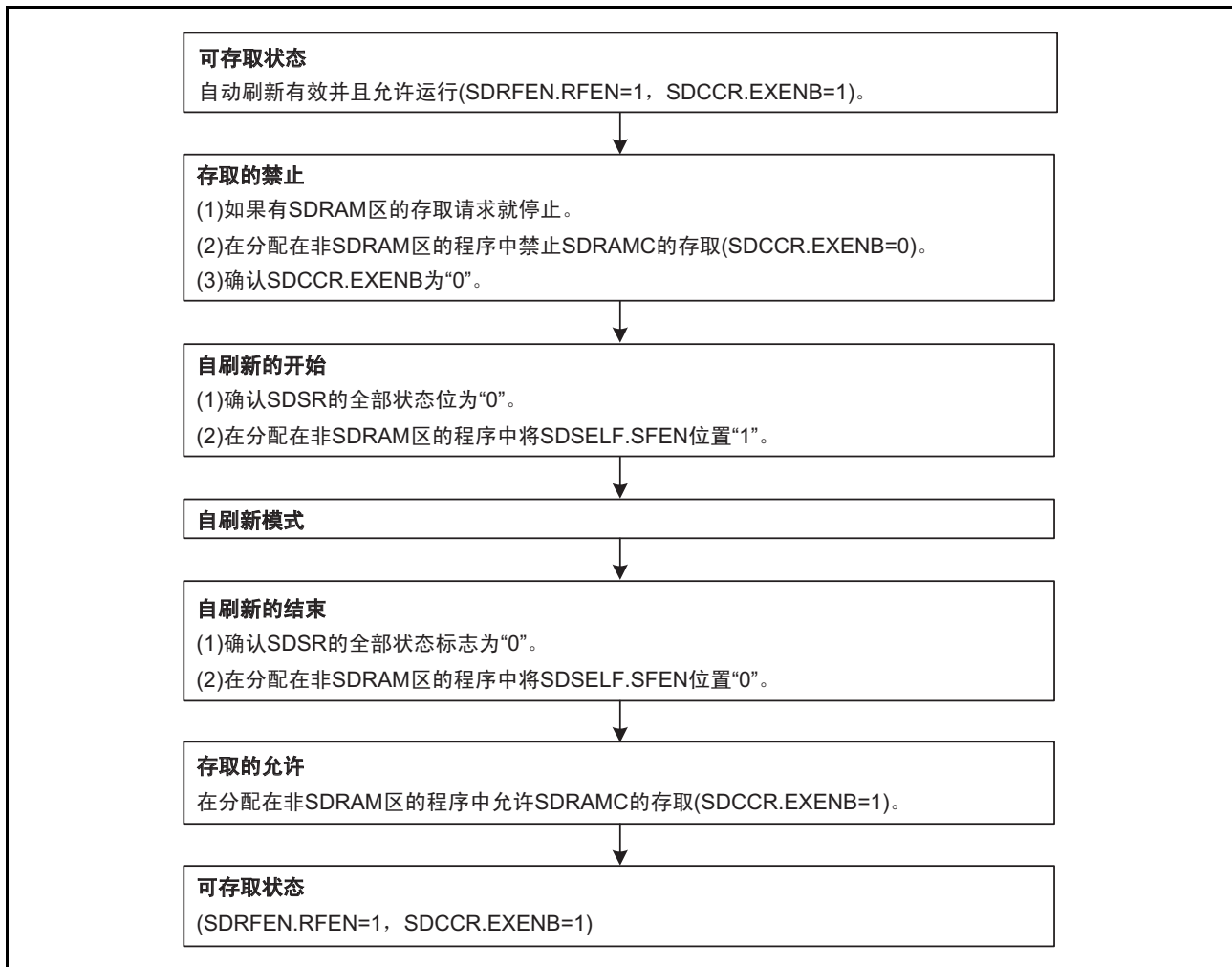


图 12.55 自刷新模式的转移 / 返回步骤

注 . 在进行自刷新模式的转移 / 返回时，需要禁止 SDRAM 的存取。因此，不能在存取 SDRAM 的过程中进行自刷新模式的转移 / 返回。必须在编程时注意以下事项：

- 必须在转移到自刷新模式前禁止 SDRAM 区的存取。
- 在转移到自刷新、自刷新模式中以及从自刷新模式返回时执行的程序不能对 SDRAM 区进行操作数存取和取指令（包含预取）。

深度待机模式中自刷新模式的转移 / 返回步骤如图 12.56 所示。

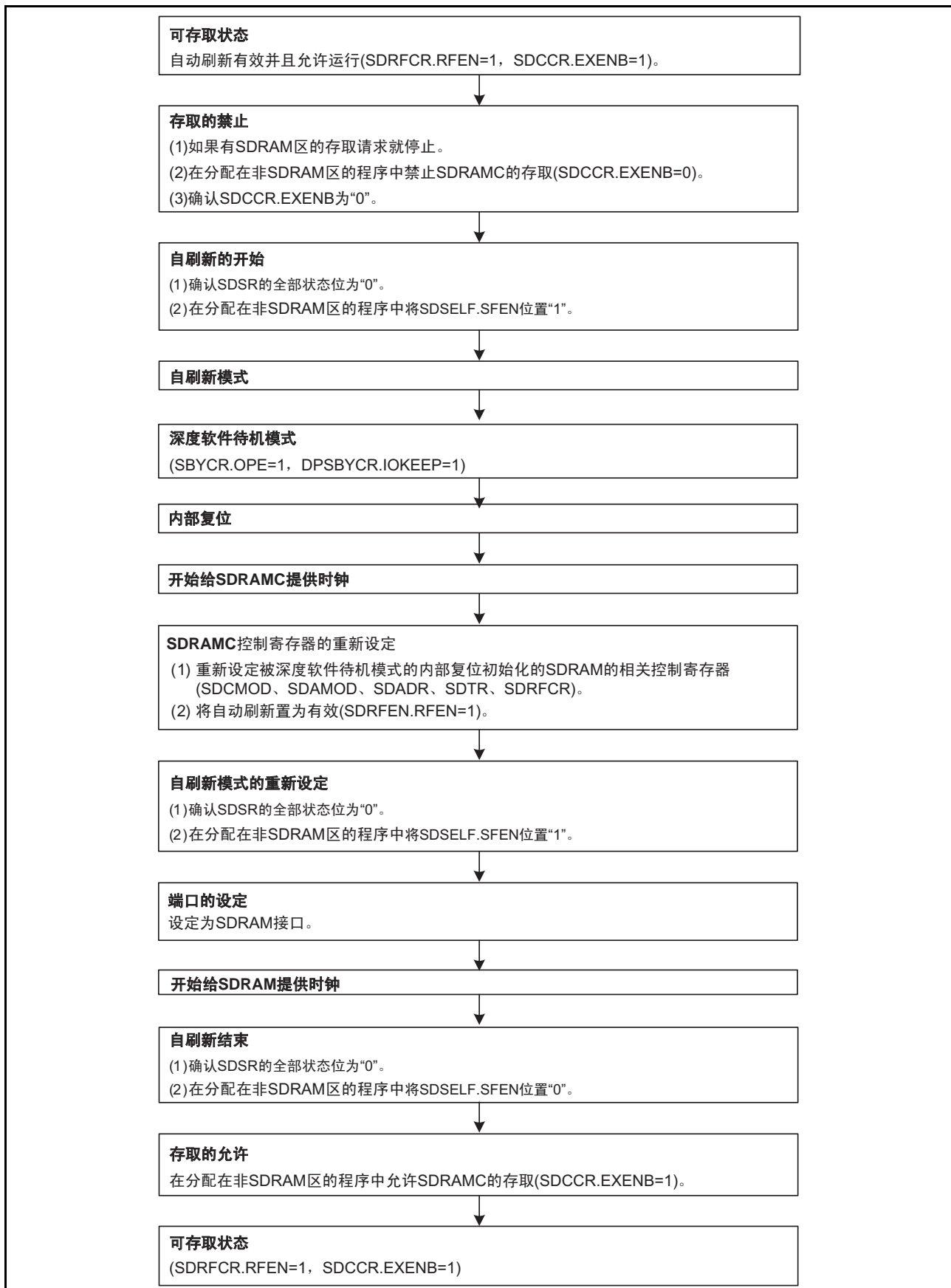


图 12.56 深度软件待机模式中自刷新模式的转移 / 返回步骤

12.6.12.3 时序寄存器的设定值和存取时序

以下说明有关读写存取时序和 SDRAM 时序寄存器 (SDTR) 设定值的关系。

(1) 单次读的时序设定例子

单次读时序和 SDRAM 时序寄存器 (SDTR) 设定值的关系如图 12.57 ~ 图 12.61 所示, 各图和 SDTR 寄存器设定值的对应如表 12.16 所示。

在进行读存取时, 最快能在读数据有效的 2 个周期后进行下一次的总线存取。但是, 在 1 次传送请求至少发生 2 个总线存取时, 如图 12.61 所示, 最快能从读数据有效的下一个周期开始进行总线存取。

表 12.16 SDTR 寄存器设定值的对应表 (单次读)

图	RAS[2:0]	周期数	RCD[1:0]	周期数	RP[2:0]	周期数	CL[2:0]	周期数
	设定值		设定值		设定值		设定值	
图 12.57	010	3	00	1	001	2	010	2
图 12.58	000	1	01	2	001	2	010	2
图 12.59	000	1	01	2	001	2	011	3
图 12.60 图 12.61	010	3	00	1	000	1	010	2

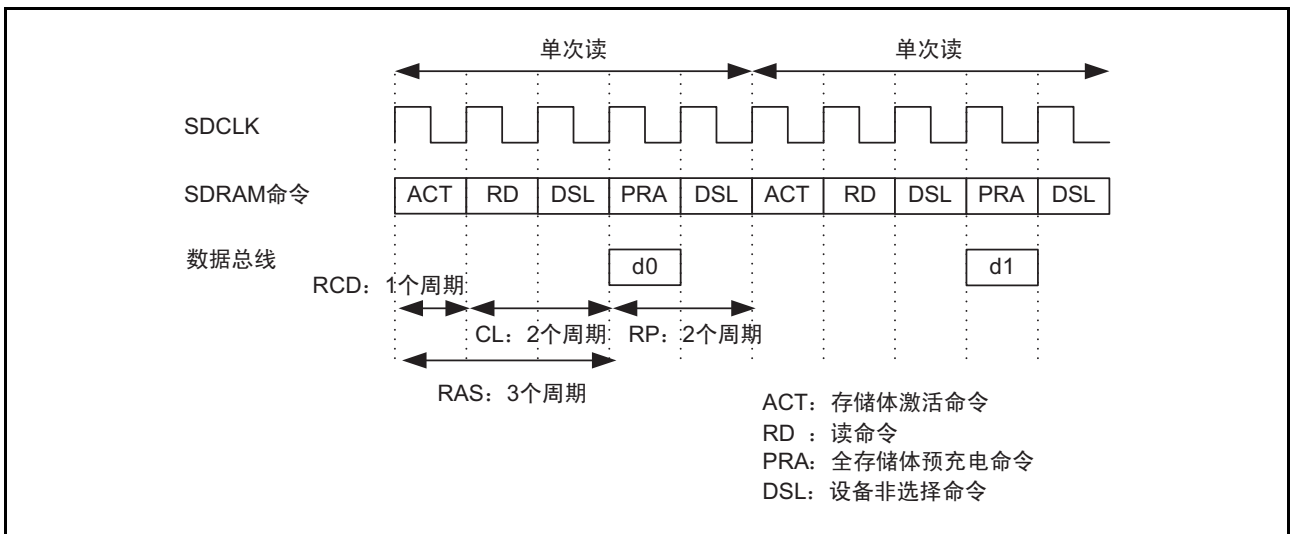


图 12.57 单次读的时序例子 (1)

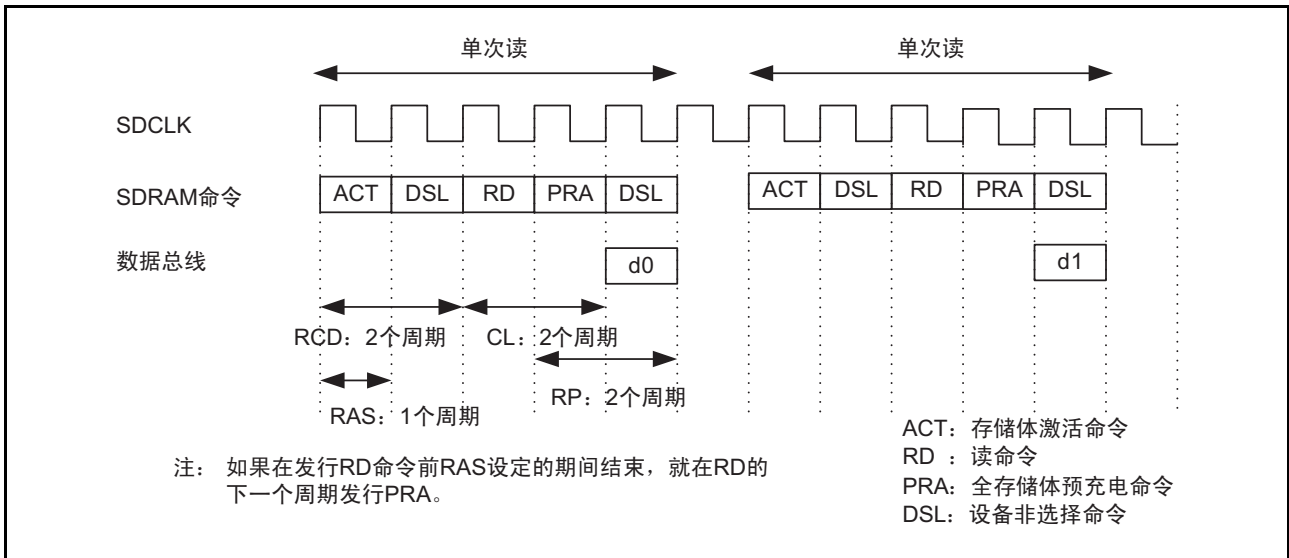


图 12.58 单次读的时序例子 (2)

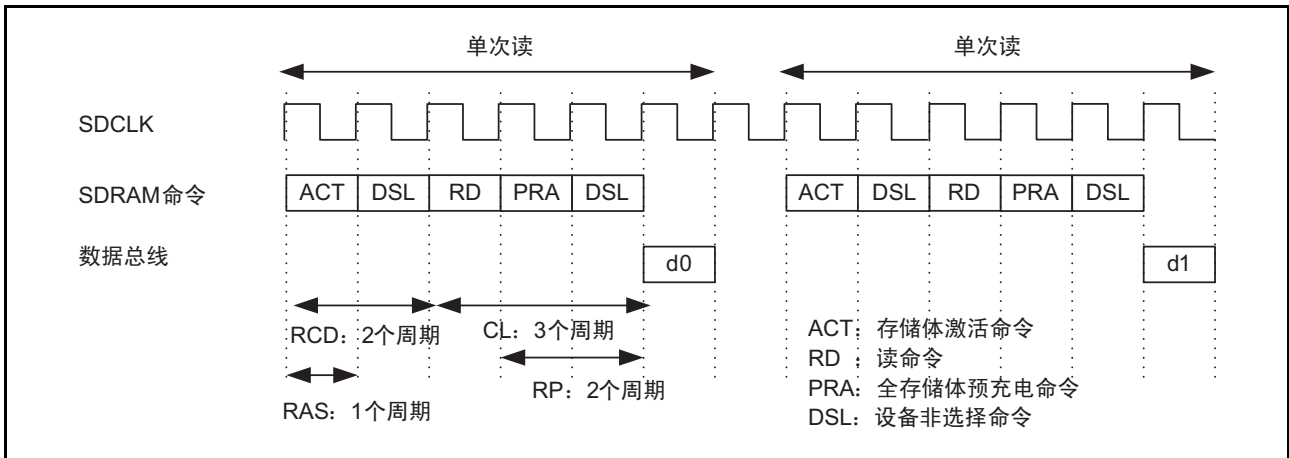


图 12.59 单次读的时序例子 (3)

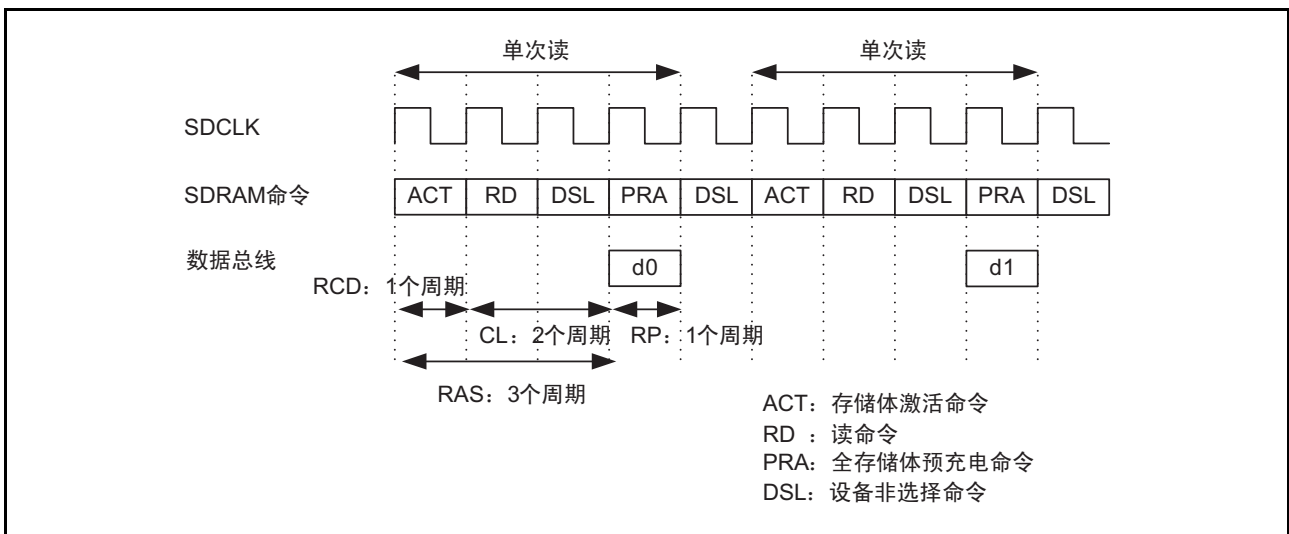


图 12.60 单次读的时序例子 (4)

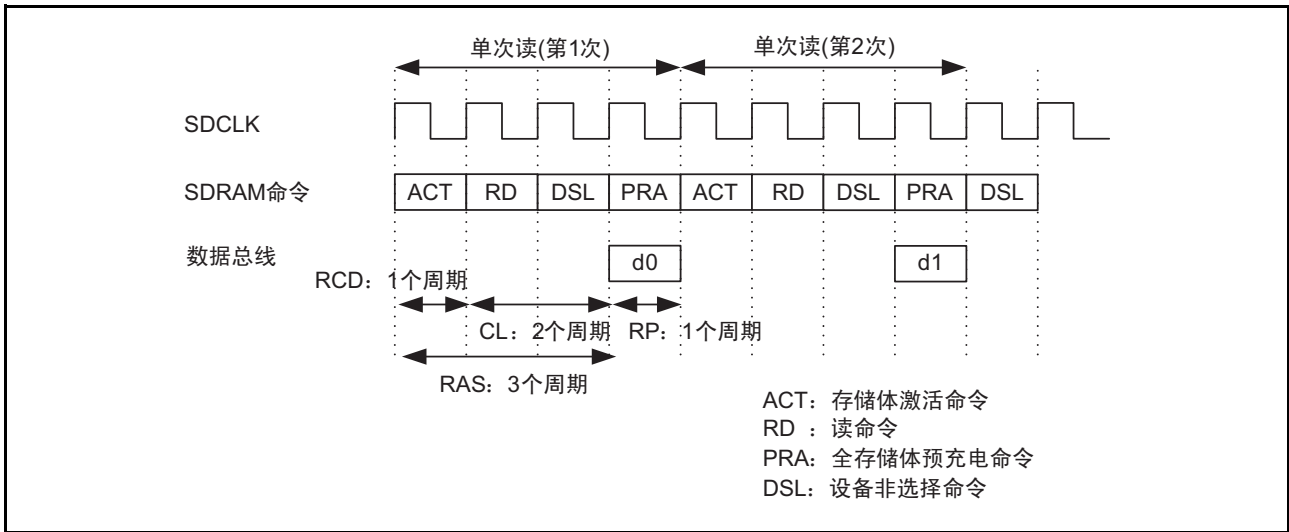


图 12.61 单次读的时序例子 (5) (1 次传送请求发生 2 次总线存取的情况)

(2) 单次写的时序设定例子

单次写时序和 SDRAM 时序寄存器 (SDTR) 设定值的关系如图 12.62 ~ 图 12.66 所示, 各图和 SDTR 寄存器设定值的对应如表 12.17 所示。

表 12.17 SDTR 寄存器设定值的对应表 (单次写)

图	RAS[2:0]	周期数	RCD[1:0]	周期数	RP[2:0]	周期数	WR	周期数
	设定值		设定值		设定值		设定值	
图 12.62	010	3	00	1	001	2	0	1
图 12.63	000	1	01	2	001	2	0	1
图 12.64	000	1	01	2	001	2	1	2
图 12.65	010	3	00	0	000	2	0	1
图 12.66								

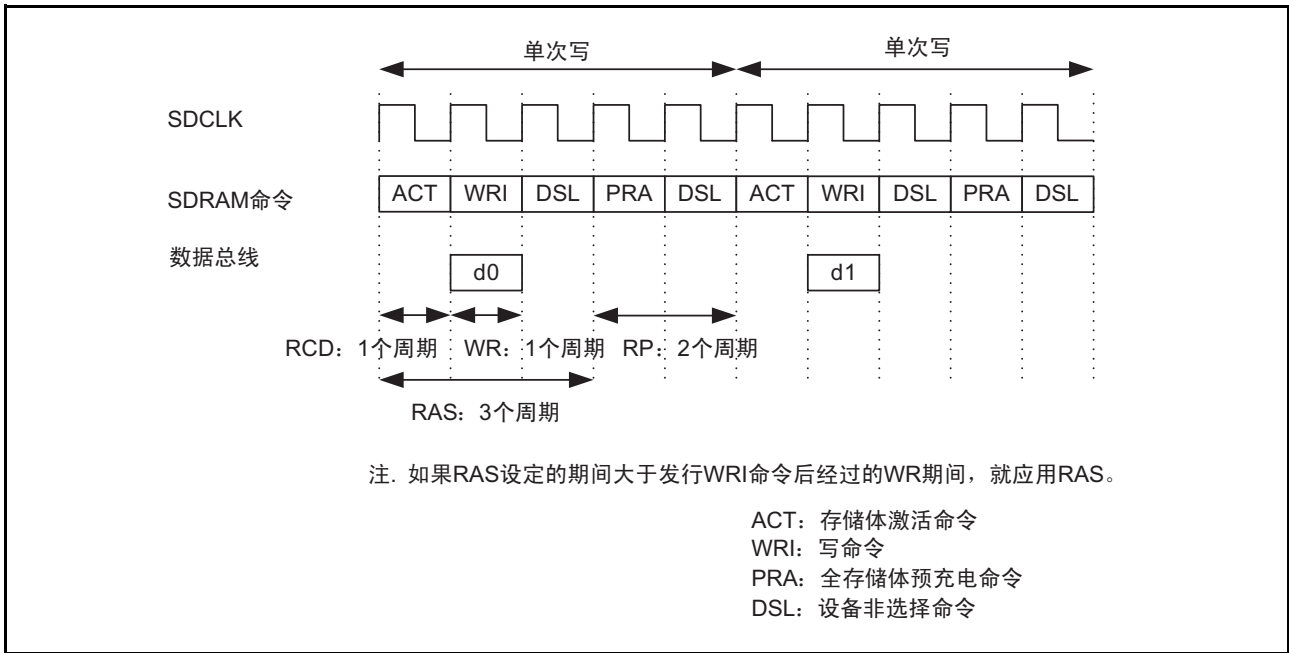


图 12.62 单次写的时序例子 (1)

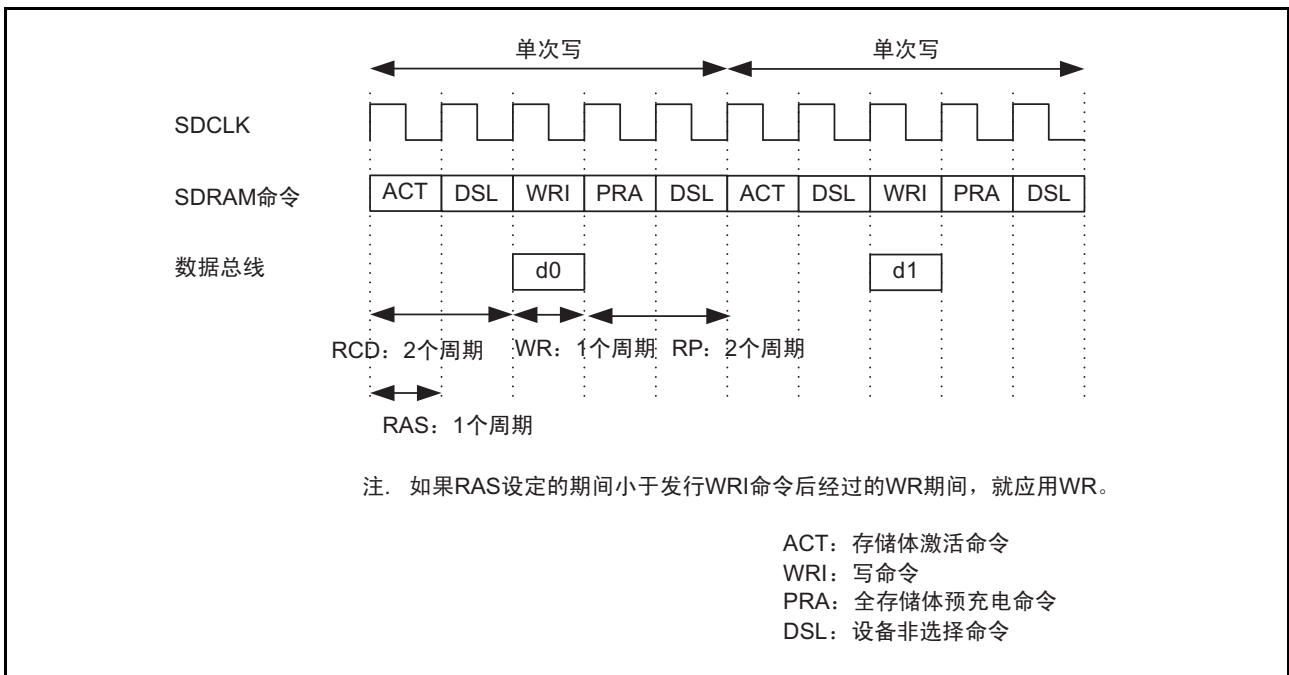


图 12.63 单次写的时序例子 (2)

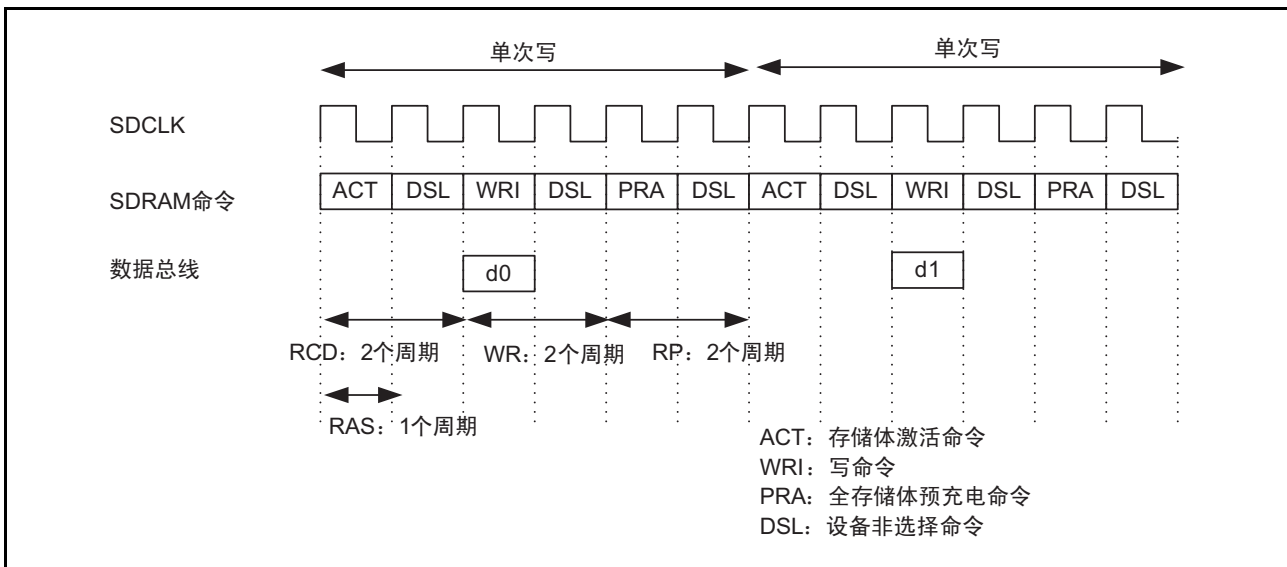


图 12.64 单次写的时序例子 (3)

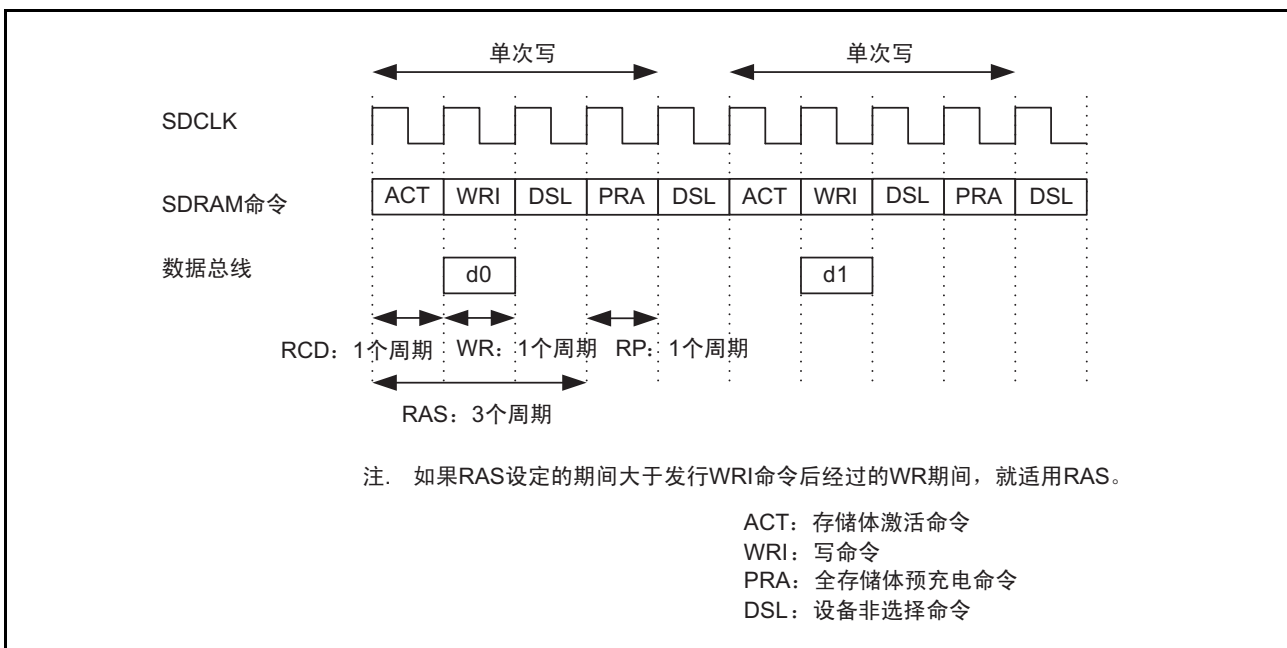


图 12.65 单次写的时序例子 (4)

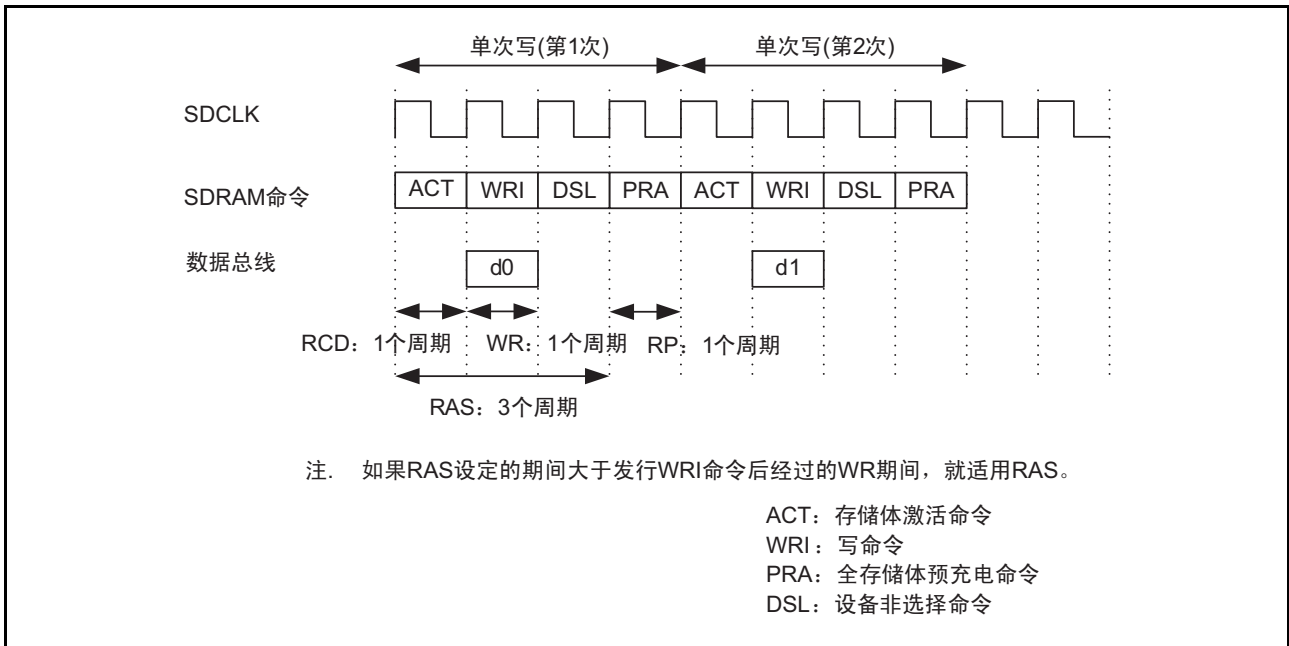


图 12.66 单次写的时序例子 (5) (1次传送请求发生2次总线存取的情况)

(3) 连续读的时序设定例子

连续读4个数据时的时序和SDRAM时序寄存器(SDTR)设定值的关系如图12.67~图12.69所示,各图和SDTR寄存器设定值的对应表如表12.18所示。

表 12.18 SDTR 设定值的对应表 (连续读时序)

图	RAS[2:0]	周期数	RCD[1:0]	周期数	RP[2:0]	周期数	CL[2:0]	周期数
	设定值		设定值		设定值		设定值	
图 12.67	010	3	00	1	001	2	010	2
图 12.68	000	1	01	2	001	2	010	2
图 12.69	000	1	01	2	001	2	011	3

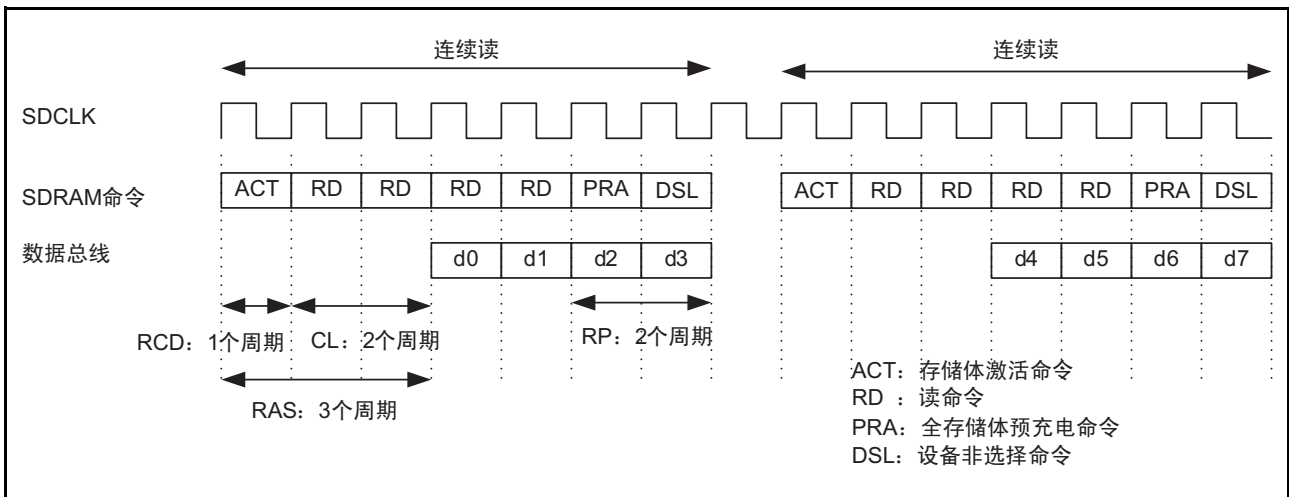


图 12.67 连续读的时序例子 (1)

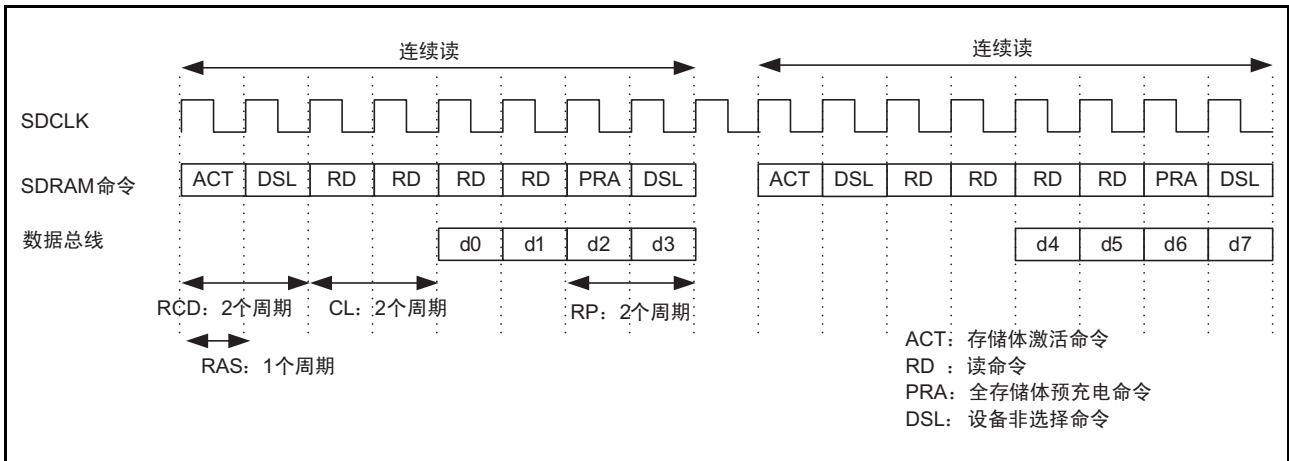


图 12.68 连续读的时序例子 (2)

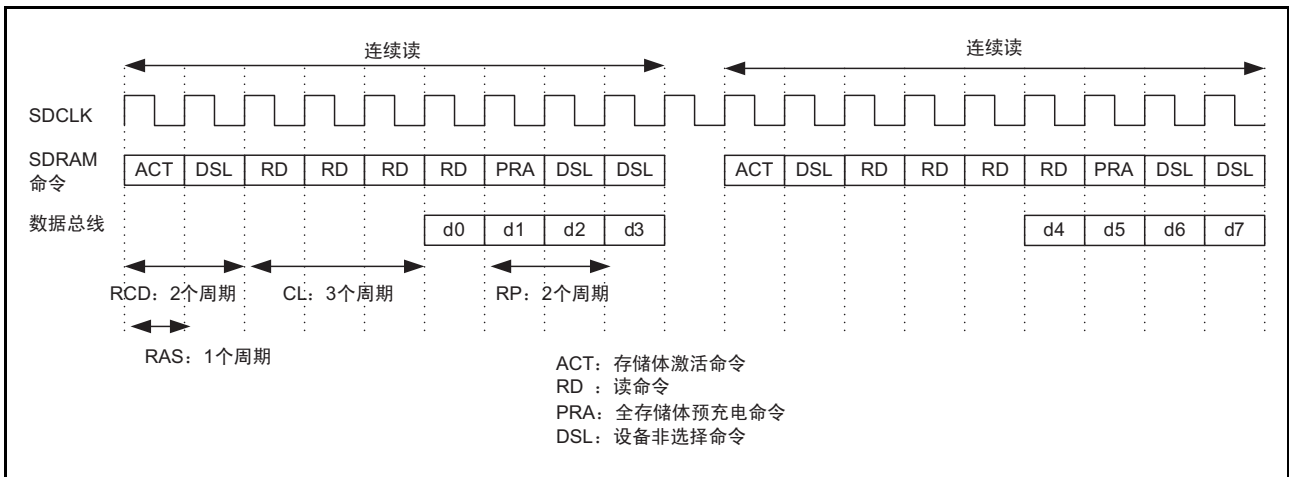


图 12.69 连续读的时序例子 (3)

(4) 连续写的时序设定例子

连续写 4 个数据时的时序和 SDRAM 时序寄存器 (SDTR) 设定值的关系如图 12.70 ~ 图 12.72 所示, 各图和 SDTR 寄存器设定值的对应如表 12.19 所示。

表 12.19 SDTR 设定值的对应表 (连续写时序)

图	RAS[2:0]	周期数	RCD[1:0]	周期数	RP[2:0]	周期数	WR	周期数
	设定值		设定值		设定值		设定值	
图 12.70	010	3	00	1	001	2	0	1
图 12.71	000	1	01	2	001	2	0	1
图 12.72	000	1	01	2	001	2	1	2

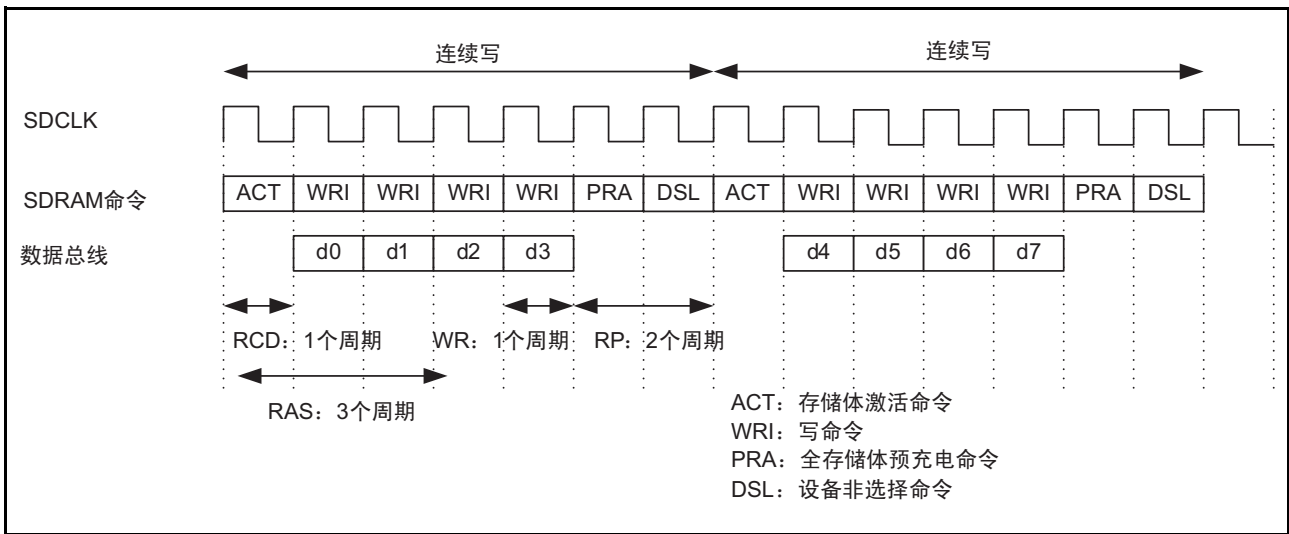


图 12.70 连续写的时序例子 (1)

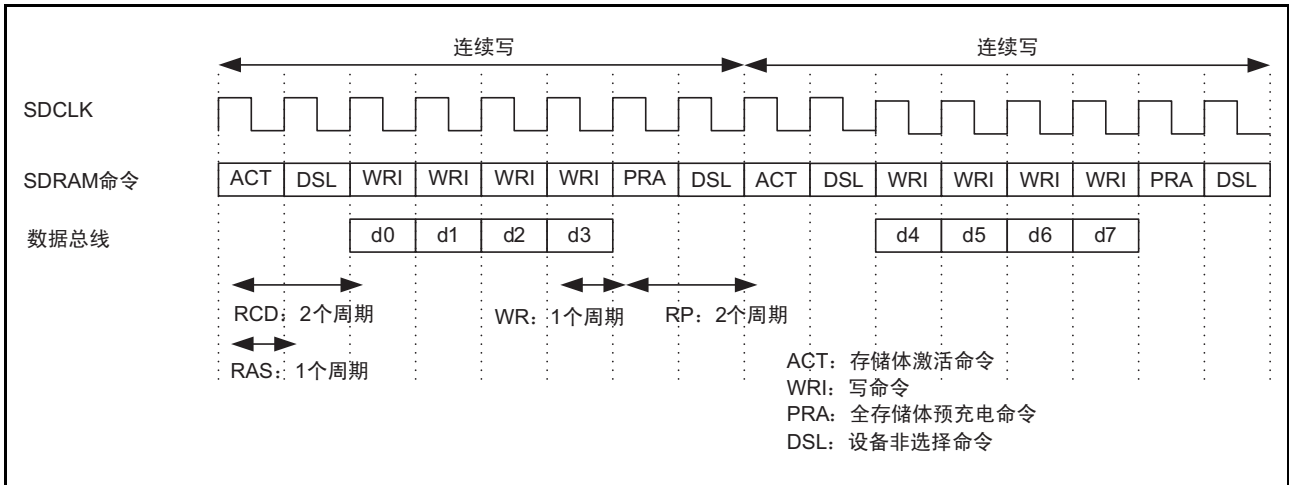


图 12.71 连续写的时序例子 (2)

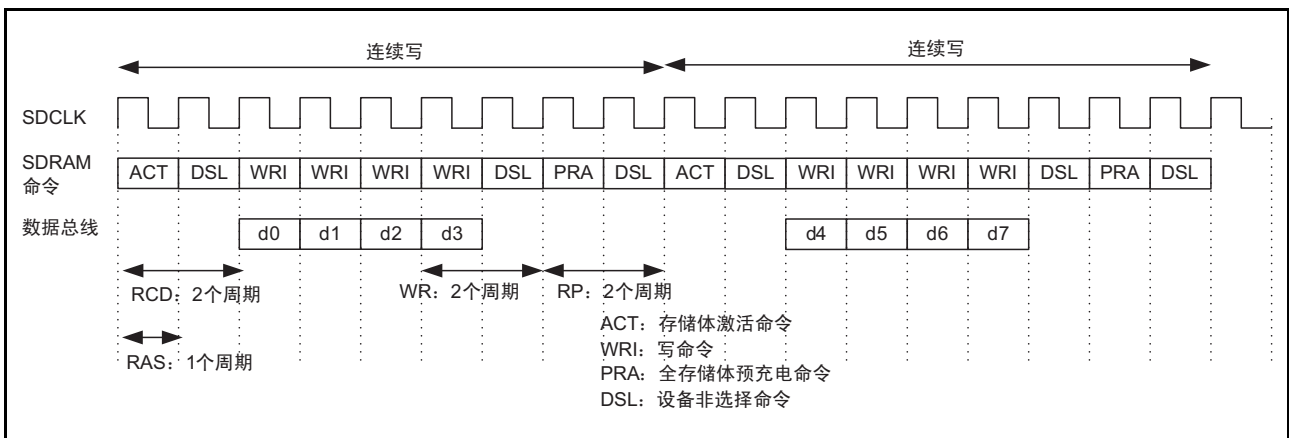


图 12.72 连续写的时序例子 (3)

12.6.13 地址多路复用

在 SDRAM 空间中，行地址和列地址被多路复用。地址的多路复用通过 SDRAM 地址寄存器 (SDADR) 的地址多路复用选择位 (SDADR.MXC[1:0])，选择行地址的位移量。在 SDRAM 空间中，将地址预充电设定命令 (Precharge-sel) 输出到列地址的高位。SDADR.MXC[1:0] 位的设定值和位移量的关系如表 12.20 所示。

表 12.20 地址多路复用

MXC [1:0]	位移量	数据 总线宽度	地址	单片机外部地址的引脚																													
				A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0											
00	8位	8位	行	A26	A25	A24	A23	A22	A21	A20	A19	A18*	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0			
			列	A26	A25	A24	A23	A22	A21	A20	A19	P	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0											
		16位	行	A26	A25	A24	A23	A22	A21	A20	A19*	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0			
			列	A26	A25	A24	A23	A22	A21	A20	P	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0											
		32位	行	A26	A25	A24	A23	A22	A21	A20*	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0			
			列	A26	A25	A24	A23	A22	A21	P	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0											
01	9位	8位	行	-	A26	A25	A24	A23	A22	A21	A20	A20*	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0		
			列	-	A26	A25	A24	A23	A22	A21	A20	P	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0											
		16位	行	-	A26	A25	A24	A23	A22	A21	A20*	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0		
			列	-	A26	A25	A24	A23	A22	A21	P	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0											
		32位	行	-	A26	A25	A24	A23	A22	A21*	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0		
			列	-	A26	A25	A24	A23	A22	P	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0											
10	10位	8位	行	-	-	A26	A25	A24	A23	A22	A21	A20*	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
			列	-	-	A26	A25	A24	A23	A22	A21	P	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0											
		16位	行	-	-	A26	A25	A24	A23	A22	A21*	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
			列	-	-	A26	A25	A24	A23	A22	P	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0											
		32位	行	-	-	A26	A25	A24	A23	A22*	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
			列	-	-	A26	A25	A24	A23	P	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0											
11	11位	8位	行	-	-	-	A26	A25	A24	A23	A22	A21*	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
			列	-	-	-	A26	A25	A24	A23	A10	P	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0											
		16位	行	-	-	-	A26	A25	A24	A23	A22*	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
			列	-	-	-	A26	A25	A24	A11	P	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0											
		32位	行	-	-	-	A26	A25	A24	A23*	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
			列	-	-	-	A26	A25	A12	P	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0											

注. P : 输出预充电设定命令(Precharge-sel)。

* : 在发行PALL命令时输出Precharge-sel=1(High)，在发行Active命令时输出对应的地址。

- : Don't care。

12.6.14 SDRAM 的连接例子

12.6.14.1 32 位总线空间

连接 2 个 SDRAM（13 位行地址、10 位列地址、512M 位产品、16 位总线）时的例子如图 12.73 所示。

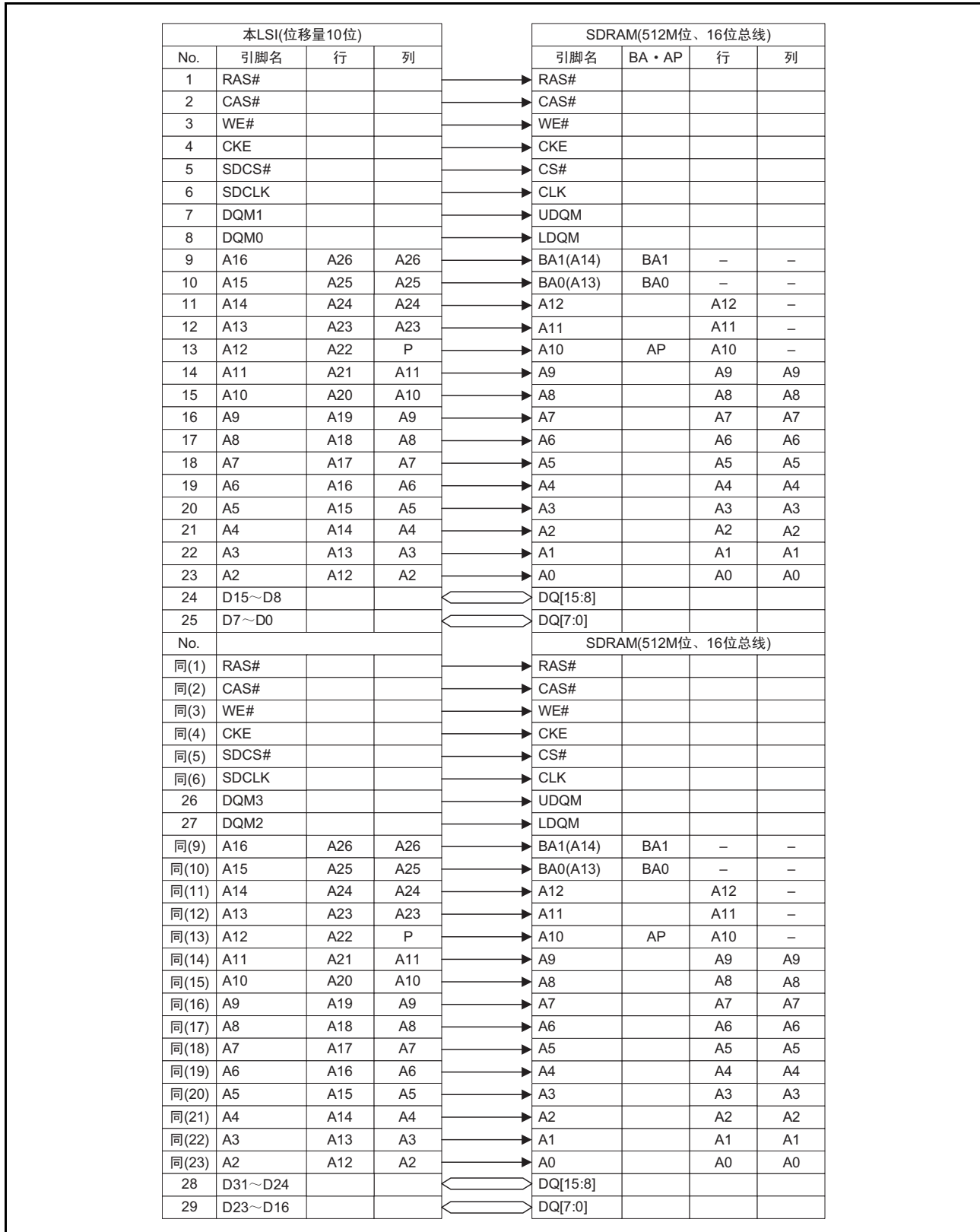


图 12.73 SDRAM 的连接例子（512M 位产品 ×2 个、16 位总线）

连接 1 个 SDRAM（12 位行地址、9 位列地址、256M 位产品、32 位总线）时的例子如图 12.74 所示。

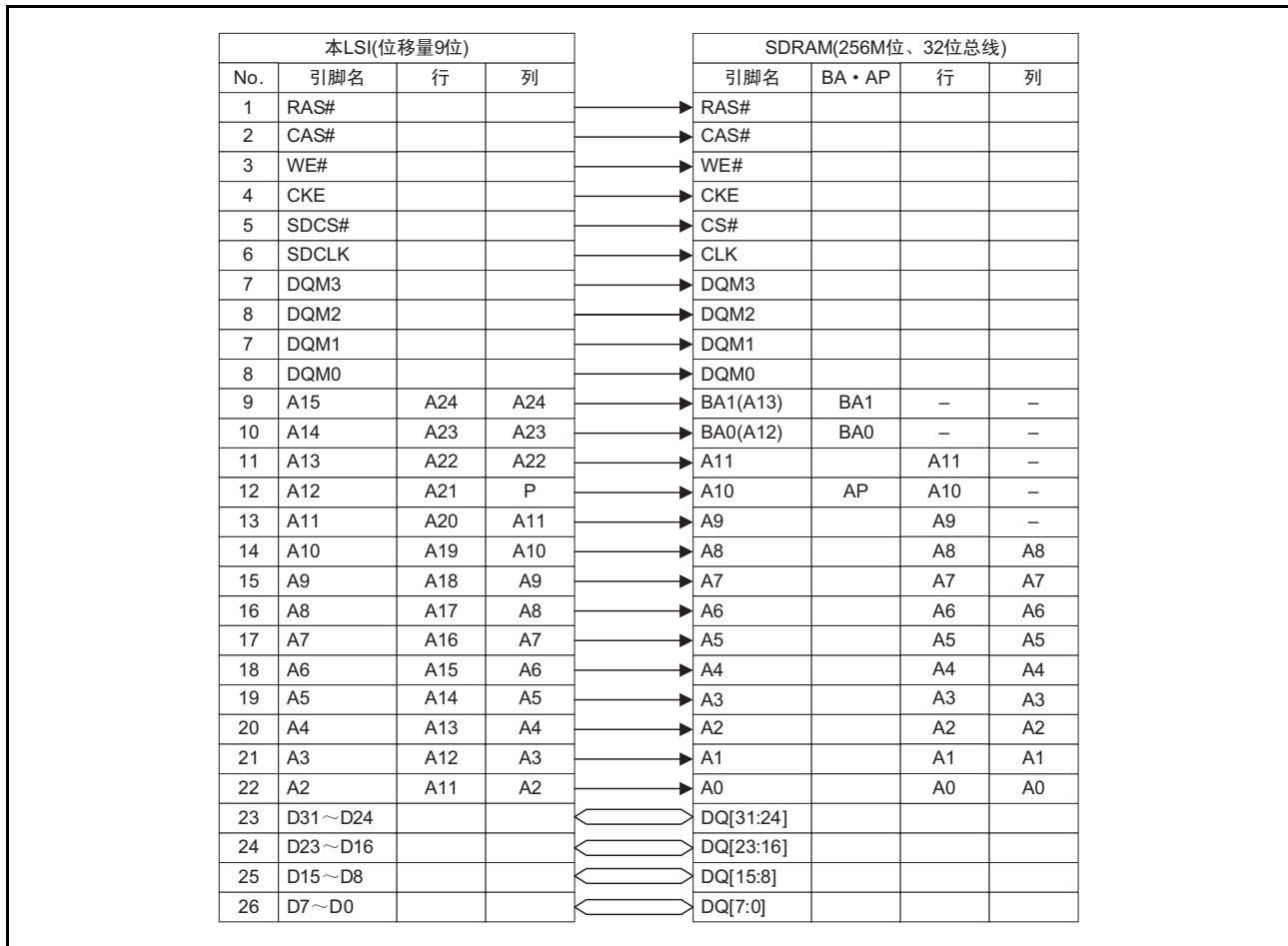


图 12.74 SDRAM 的连接例子（256M 位产品 ×1 个、32 位总线）

连接 2 个 SDRAM（12 位行地址、9 位列地址、128M 位产品、16 位总线）时的例子如图 12.75 所示。

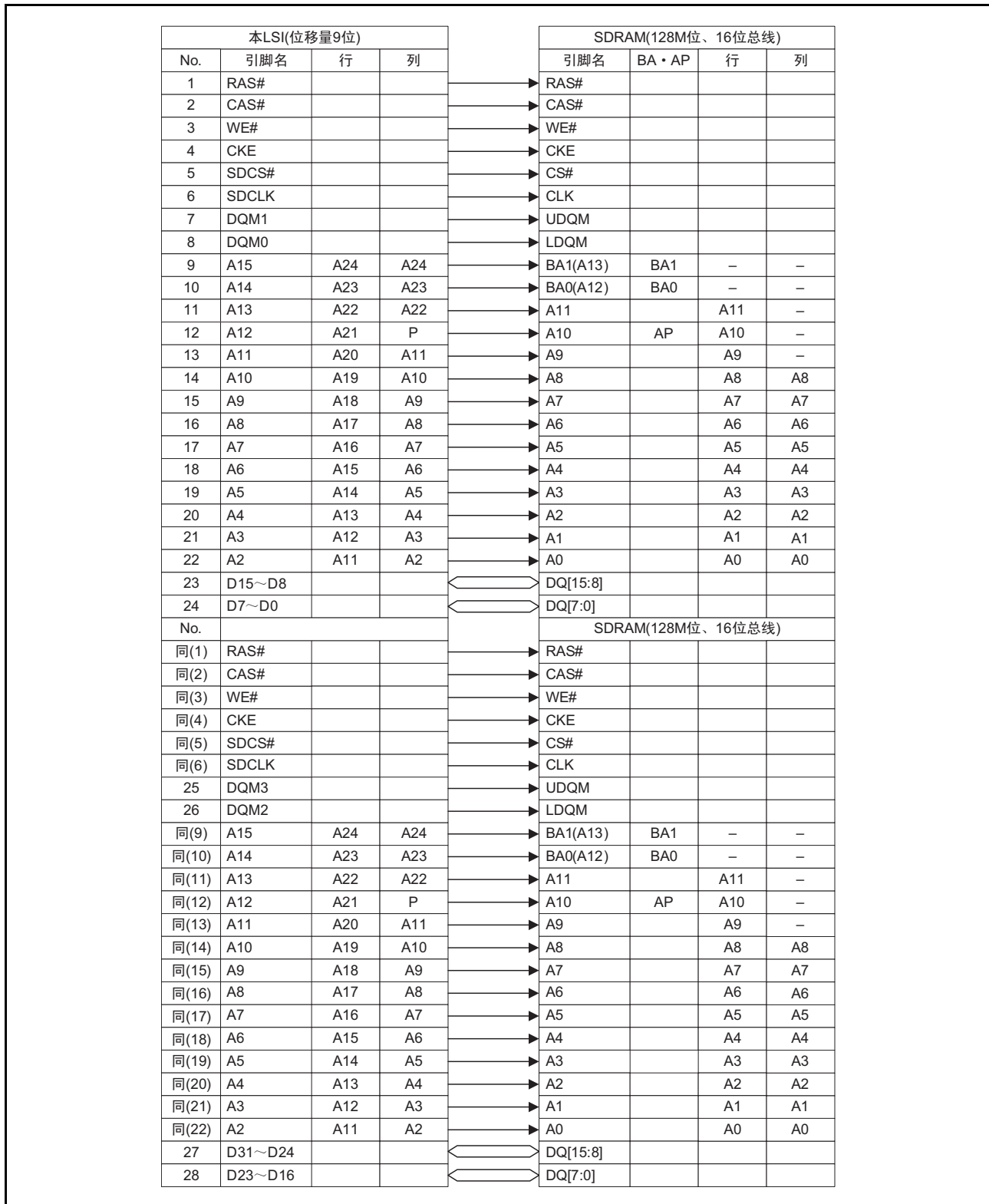


图 12.75 SDRAM 的连接例子（128M 位产品 ×2 个、16 位总线）

12.6.14.2 16 位总线空间

连接 2 个 SDRAM（13 位行地址、11 位列地址、512M 位产品、8 位总线）时的例子如图 12.76 所示。

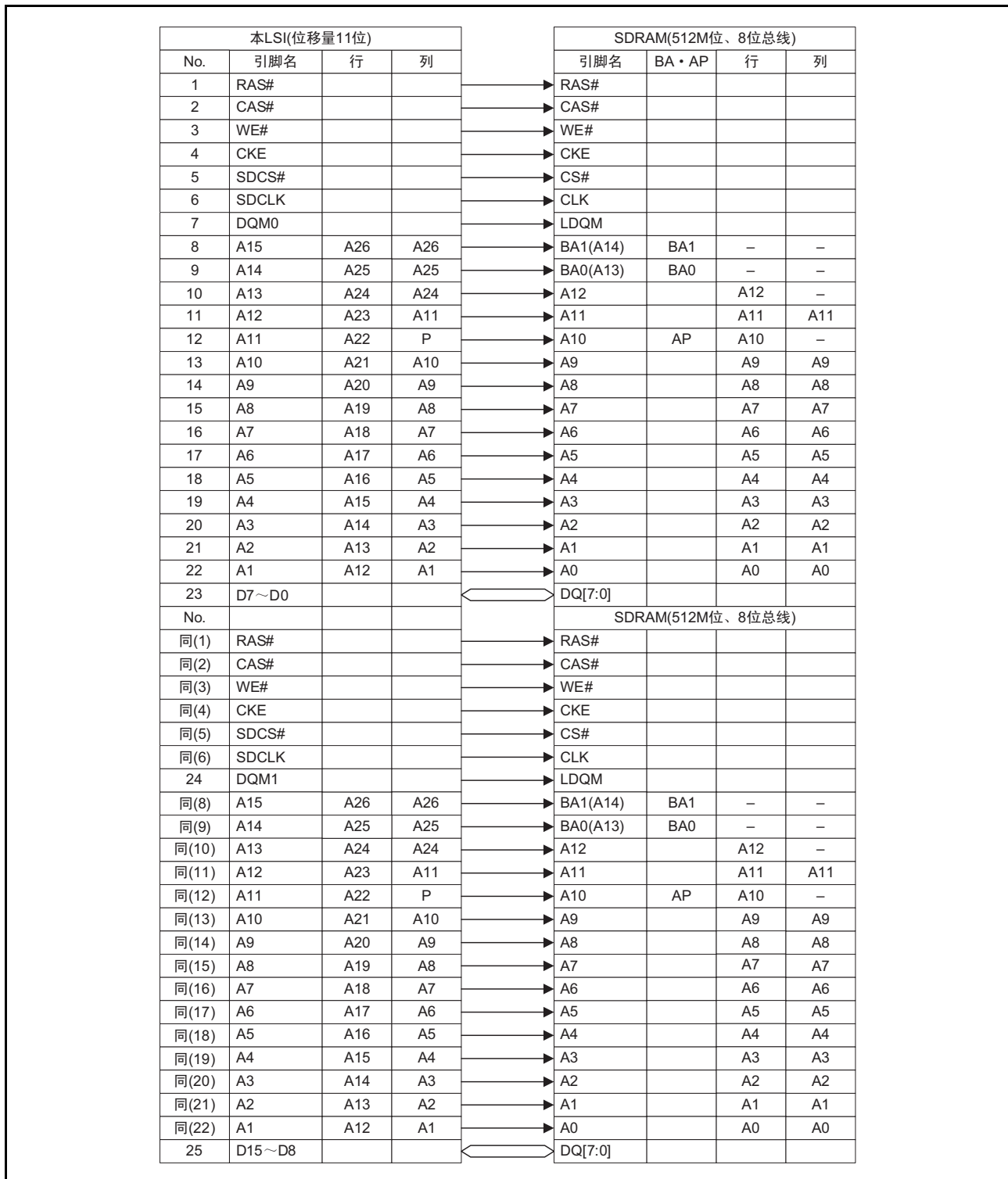


图 12.76 SDRAM 的连接例子（512M 位产品 ×2 个、8 位总线）

连接 1 个 SDRAM（13 位行地址、10 位列地址、512M 位产品、16 位总线）时的例子如图 12.77 所示。

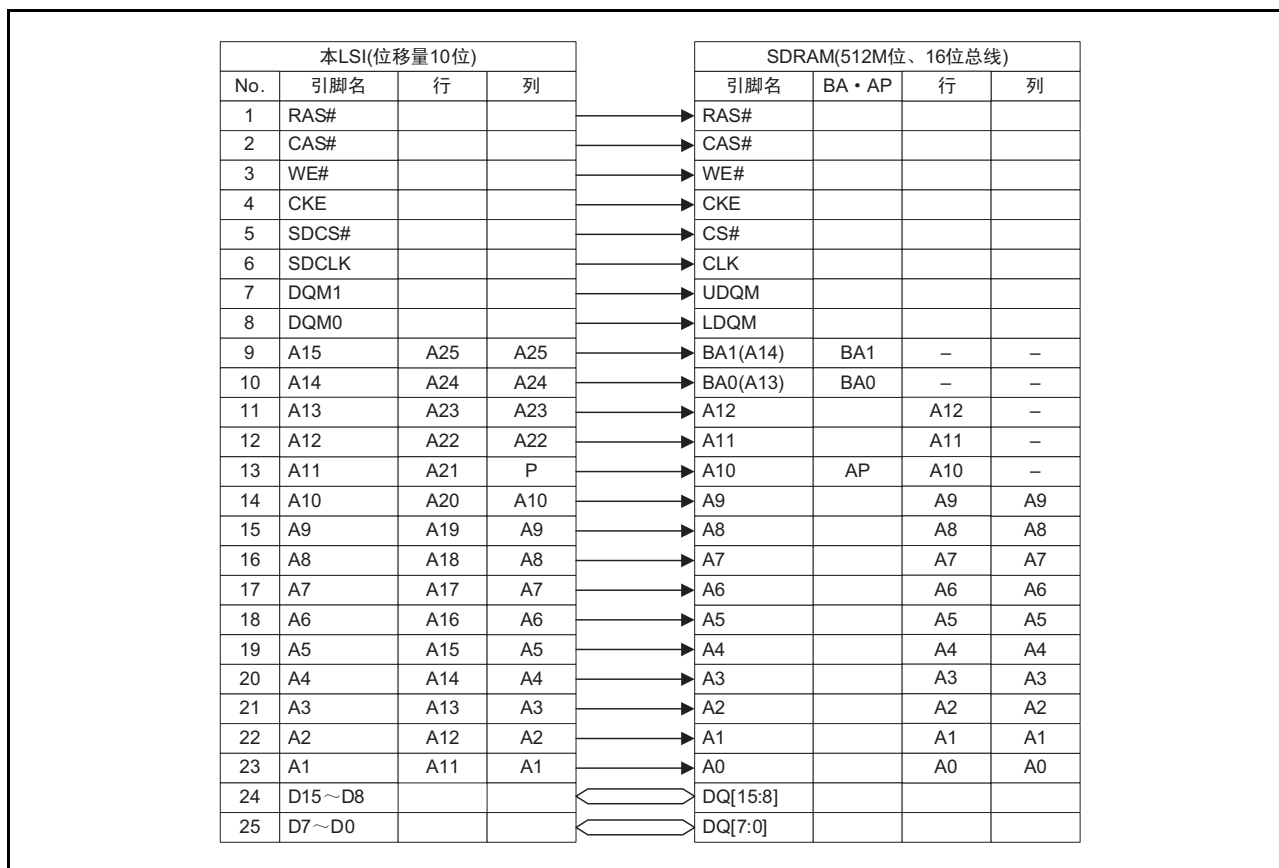


图 12.77 SDRAM 的连接例子（512M 位产品 ×1 个、16 位总线）

连接 1 个 SDRAM（13 位行地址、9 位列地址、256M 位产品、16 位总线）时的例子如图 12.78 所示。

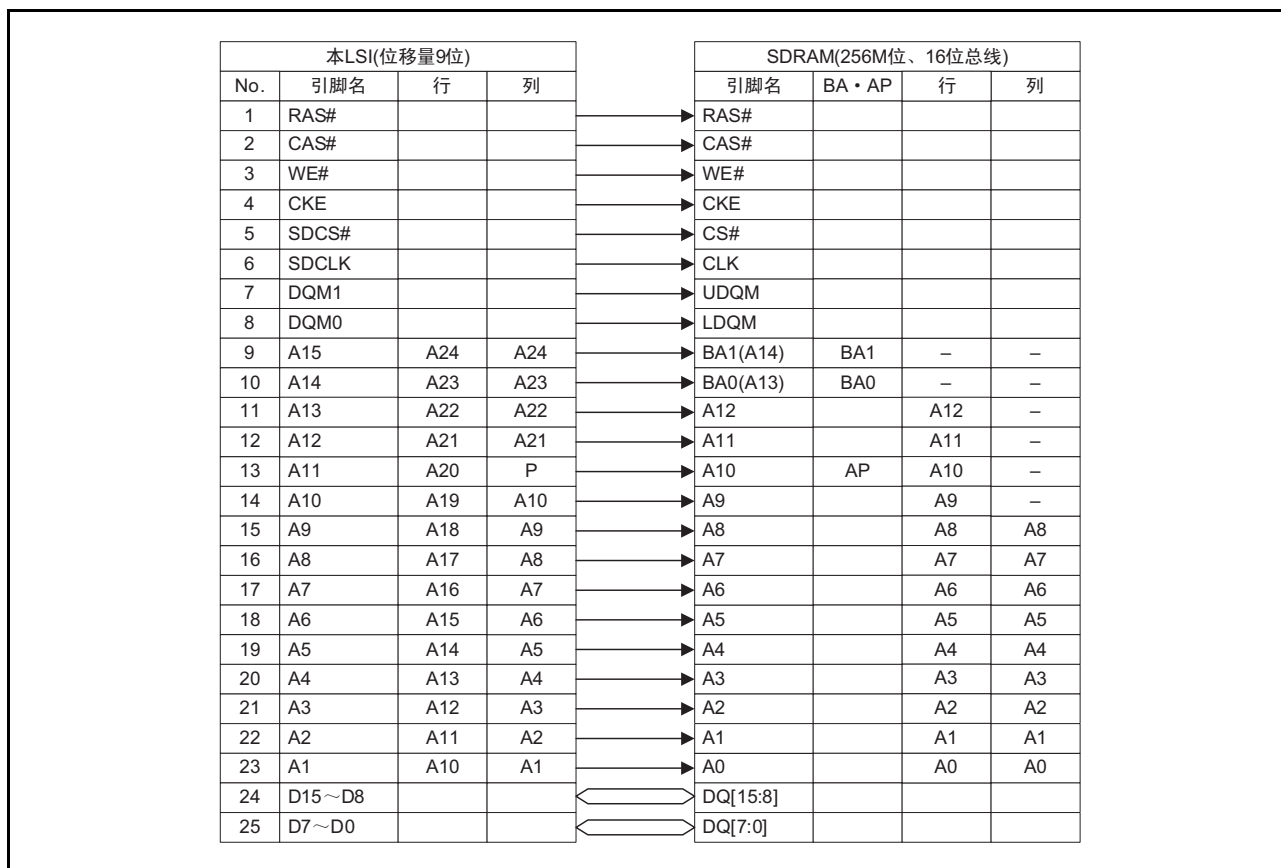


图 12.78 SDRAM 的连接例子（256M 位产品 ×1 个、16 位总线）

12.6.15 限制事项

(1) 禁止对跨地址空间的各区域进行存取

禁止在 1 次存取中对跨地址空间的各区域进行存取，否则无法保证运行。1 个字的存取或者长字的存取不能夹着地址空间的各区域边界而跨 2 个区域。

在 EXDMAC 单地址模式的块传送和群集传送过程中禁止对跨地址空间的各区域进行存取，否则无法保证运行。EXDMAC 单地址模式的块传送和群集传送不能夹着地址空间的各区域边界而跨 2 个区域。

(2) 低功耗状态

因为在全模块时钟停止模式、软件待机模式和深度软件待机模式中停止 SDRAMC 时钟，所以不执行自动刷新。如果想连接外部 SDRAM 并且保持 SDRAM 数据，就必须使用自刷新功能。有关自刷新模式的转移 / 返回步骤，请参照“12.6.7 自刷新”。

(3) 连续存取模式

在 EXDMAC 单地址模式的块传送和群集传送时禁止将 CL 设定为“1”，否则无法保证运行。

(4) SDRAM 时序寄存器的设定

SDRAM 时序寄存器 (SDTR) 的 RAS[2:0] 位的值必须小于等于行列等待时间 (SDTR.RCD[1:0]) + 列等待时间 (SDTR.CL[2:0])，否则无法保证运行。

(5) 有关 RMPA 指令、字符串操作指令的限制事项

- 外部空间具有各区域的字节序转换功能（只限于数据）。但是，禁止将 RMPA 指令和字符串操作指令的操作对象数据分配到与芯片字节序设定不同的设定区域，否则无法保证运行。如果要将 RMPA 指令和字符串操作指令的操作对象数据分配到外部空间，就必须分配到与芯片字节序设定相同的设定区域。
- 禁止将 RMPA 指令和字符串操作指令的操作对象数据分配到 I/O 寄存器，否则无法保证运行。

(6) 有关指令码的限制事项

- 不能将指令码分配到与芯片字节序设定不同的设定区域。如果要将指令码分配到外部空间，就必须分配到与芯片字节序设定相同的设定区域。

12.7 总线错误监视部

总线错误监视部监视各区域的总线错误并且在发生总线错误时通知总线主控。总线错误有非法地址的存取和超时两种。当存取非法区域时被检测为非法地址的存取；当总线存取在 768 个周期以内不结束时被检测为超时。

12.7.1 总线错误的种类

总线错误有非法地址存取和超时两种。

当存取非法区域时被检测为非法地址存取；当总线存取在 768 个周期以内不结束时被检测为超时。

12.7.1.1 非法地址存取

当总线错误监视允许寄存器的非法地址存取检测允许位有效（BEREN.IGAEN 位 =1）并且发生以下存取时，发生非法地址存取。

- 对外部区域存取了被设定为禁止运行（CSnCR.EXENB 位 =0，SDCCR.EXENB 位 =0）的区域时
- 对上述以外的区域存取了非法地址区域时
非法地址存取错误的发生区域如表 12.21 所示。

12.7.1.2 超时

在总线错误监视允许寄存器的超时检测允许位有效（BEREN.TOEN 位 =1）并且总线存取在 768 个周期以内不结束时，发生超时。

- CS 区域（CS0～CS7）：在开始总线存取后，总线存取在外部总线时钟（BCLK）的 768 个周期以内不结束时（WAIT# 信号有效）
在发生超时的情况下强制结束总线存取，因此无法保证运行。如果发生超时，就在 BCLK 的 256 个周期内不接受总线主控的存取。在总线主控的 1 次请求发生多次外部总线存取的传送过程中，即使发生超时也不能中止后续的总线存取。此时，有可能连续发生超时。

注：RX62N 和 RX621 在上述以外的区域不发生超时。

12.7.2 发生总线错误时的运行

一旦发生总线错误，就向 CPU 通知总线错误。当发生总线错误时，无法保证运行。

- 向 CPU 通知总线错误的发生
发生中断。能通过 ICU.IEN 寄存器控制是否发生中断。

12.7.3 总线错误的发生条件

地址空间各区域发生的总线错误的种类如表 12.21 所示。

在没有发生总线错误的状态（总线错误状态寄存器 n（BERSRn）（n=1、2）被清除的状态）下，如果检测到非法地址的存取错误或者超时，就将当时的状态保存到 BERSRn 寄存器。一旦发生总线错误，即使以后再发生总线错误，在没有清除 BERSRn 的状态下也不保存当时的状态。

当 2 个或者 2 个以上的总线主控同时发生总线错误时，只保存 1 个总线主控的信息。在发生总线错误后，状态保持到 BERSRn 寄存器被清除为止。

表 12.21 发生的总线错误的种类

地址	内容		种类			
			非法地址存取		超时	
	有效	无效	有效	无效	有效	无效
0000 0000h ~ 0007 FFFFh	内部 RAM (注)		—		—	
0008 0000h ~ 0009 0FFFh	外围 I/O 寄存器		—		—	
0009 1000h ~ 0009 FFFFh			○		—	
000A 0000h ~ 000A 00FFh			—		—	
000A 0100h ~ 000A 01FFh			○		—	
000A 0200h ~ 000A 02FFh			—		—	
000A 0300h ~ 000A 03FFh			○		—	
000A 0400h ~ 000A 041Fh			—		—	
000A 0420h ~ 000B FFFFh			○		—	
000C 0000h ~ 000C 043Fh			—		—	
000C 0440h ~ 000D FFFFh			○		—	
000E 0000h ~ 000F FFFFh			○		—	
0010 0000h ~ 0011 FFFFh			数据闪存 (注)	保留区	—	○
0012 0000h ~ 007F 7FFFh	保留区	○	—			
007F 8000h ~ 007F 9FFFh	FCU RAM	—	—			
007F A000h ~ 007F BFFFh	保留区	○	—			
007F C000h ~ 007F C4FFh	外围 I/O 寄存器	—	—			
007F C500h ~ 007F FBFFh	保留区	○	—			
007F FC00h ~ 007F FFFFh	外围 I/O 寄存器	—	—			
0080 0000h ~ 00DF FFFFh	保留区	—	—			
00E0 0000h ~ 00FF FFFFh	内部 ROM (注) (改写专用)	—	—			
0100 0000h ~ 07FF FFFFh	外部地址空间 (CS1 ~ CS7)		[IA](*1)		[TO]	
0800 0000h ~ 0FFF FFFFh	SDRAM 区		[IA](*2)		—	
1000 0000h ~ 7FFF FFFFh	保留区		○		—	
8000 0000h ~ FEFF FFFFh	内部 ROM (读专用)	保留区	—	○	—	—
FF00 0000h ~ FFFF FFFFh		外部地址空间 (CS0)	—	[IA](*1)	—	[TO]
8000 0000h ~ FEFF FFFFh	保留区	保留区	—	○	—	—
FF00 0000h ~ FF7F FFFFh		外部地址空间 (CS0)	—	[IA](*1)	—	[TO]
FF80 0000h ~ FFFF FFFFh	内部 ROM (注) (读专用)	外部地址空间 (CS0)	—	[IA](*1)	—	[TO]

【符号说明】 —: 不发生总线错误

○: 发生总线错误

[IA](*1): 当将这些区域设定为禁止 (CSnCR.EXENB=0 (n=0 ~ 7)) 运行时, 被检测为总线错误。

[IA](*2): 当将这些区域设定为禁止 (SDCCR.EXENB=0) 运行时, 被检测为总线错误。

[TO]: 当总线存取在 768 个周期以内不结束时, 被检测为总线错误。

注. 装载的内部 RAM、数据闪存和内部 ROM 的容量因产品而不同。有关各产品的规格, 请参照“37. RAM”、“38. ROM (保存代码的闪存)”和“39. 数据闪存 (保存数据的闪存)”。

13. 存储器保护单元 (MPU)

13.1 概要

存储器保护单元内置于 RX CPU，对 CPU 存取的全部地址空间 (0000 0000h ~ FFFF FFFFh) 进行地址校验。

MPU 最多能设定 8 个区域，根据各区域的存取控制信息来允许存取。如果检测到设定区域外的存取，默认值就为发生存储器保护错误。

各区域的存取控制信息对应“允许读”、“允许写”和“允许执行”，在 CPU 的处理器模式为用户模式时有效，而在处理器模式为管理模式时不进行存储器保护。

存储器保护单元的规格和框图分别如表 13.1 和图 13.1 所示。

表 13.1 存储器保护的规格

规格	内容
存储器保护对象区域和处理器模式	0000 0000h ~ FFFF FFFFh (用户模式) 在处理器模式为管理模式时不进行存储器保护。
区域数	8 个
页大小 (最小保护单位)	16 字节
各区域的地址指定	通过起始页号和结束页号进行设定。
各区域的有效设定	通过区域 n 结束页号寄存器 (REPAGEn) 的有效位 (V) 设定各区域的有效或者无效 (n=0 ~ 7)。
各区域的存取控制信息	指令执行: 允许执行 操作数存取: 允许读、允许写
存储器保护的开始	在将存储器保护功能设定为有效后，通过转移到用户模式，开始监视存取。
存储器保护错误的处理	发生存取异常。
存储器保护错误的发生地址	指令执行地址: 将 PC 压栈。 操作数存取地址: 保存到数据存储器保护错误地址寄存器 (MPDEA)。
存储器保护的错误源判断	将错误源保存到存储器保护错误状态寄存器 (MPESTS)。
后台区域的设定	能给后台区域 (全部地址空间) 设定存取控制信息。
区域重叠的处理	如果给某地址重叠设定区域并且各区域的存取控制信息不同，就优先执行被允许的操作。

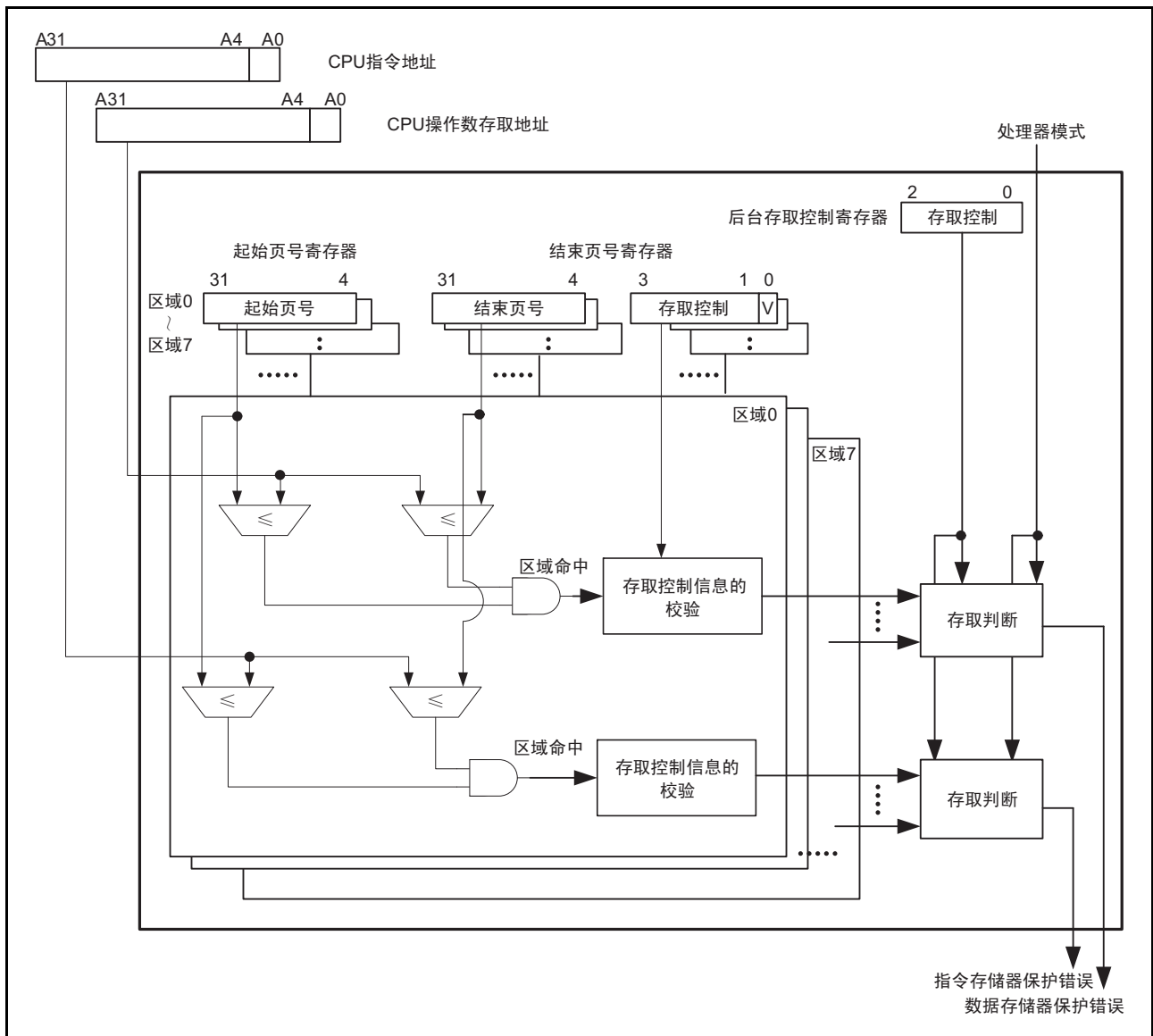


图 13.1 存储器保护单元的框图

13.1.1 存取控制的种类

存取控制有“允许执行指令”、“允许读操作数”和“允许写操作数”共3种。只对用户模式中的程序进行存取控制的违反检测，而对管理模式中的程序不进行存取控制的违反检测。

13.1.2 存取控制区域

最多能定义8个存取控制区域。通过区域n起始页号寄存器 (RSPAGEn) 和区域n结束页号寄存器 (REPAGEn) 设定各存取控制区域的范围 (n=0 ~ 7)。

页是将地址空间按16字节进行分割而成的存取控制的最小单位。地址 [31:0] 的高28位 ([31:4]) 对应页号。通过 REPAGEn 寄存器指定各区域的存取控制信息以及是否将该区域设定为有效。

13.1.3 后台区域

后台区域为全部地址空间 (0000 0000h ~ FFFF FFFFh)，通过后台存取控制寄存器 (MPBAC) 设定后台区域的存取控制信息。后台区域的存取控制信息不同于8个存取控制区域的信息，在存储器保护功能有效 (MPEN.MPEN 位为“1”) 时有效。

13.1.4 区域的重叠

多个区域重叠时的存取控制信息为重叠区域 (包括后台区域) 存取控制位的逻辑或，优先执行设定为允许的操作。

13.1.5 跨区域的指令和数据

对于跨不同存取控制设定的区域而分配的指令和数据，存储器保护错误的检测为不确定，因此不能跨不同存取控制设定的区域分配指令和数据。

13.2 寄存器说明

存储器保护单元的寄存器一览如表 13.2 所示。

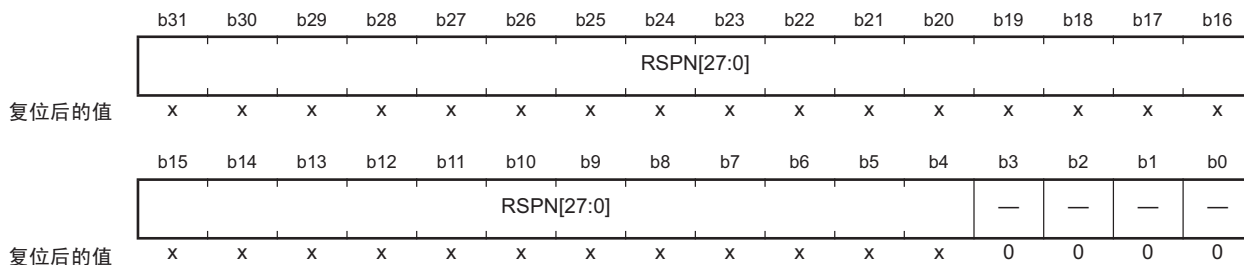
表 13.2 存储器保护单元的寄存器一览

寄存器名	符号	复位后的值 (注 1)	地址	存取长度
区域 0 起始页号寄存器	RSPAGE0	xxxx xxx0h	0008 6400h	32
区域 0 结束页号寄存器	REPAGE0	xxxx xxx0h	0008 6404h	32
区域 1 起始页号寄存器	RSPAGE1	xxxx xxx0h	0008 6408h	32
区域 1 结束页号寄存器	REPAGE1	xxxx xxx0h	0008 640Ch	32
区域 2 起始页号寄存器	RSPAGE2	xxxx xxx0h	0008 6410h	32
区域 2 结束页号寄存器	REPAGE2	xxxx xxx0h	0008 6414h	32
区域 3 起始页号寄存器	RSPAGE3	xxxx xxx0h	0008 6418h	32
区域 3 结束页号寄存器	REPAGE3	xxxx xxx0h	0008 641Ch	32
区域 4 起始页号寄存器	RSPAGE4	xxxx xxx0h	0008 6420h	32
区域 4 结束页号寄存器	REPAGE4	xxxx xxx0h	0008 6424h	32
区域 5 起始页号寄存器	RSPAGE5	xxxx xxx0h	0008 6428h	32
区域 5 结束页号寄存器	REPAGE5	xxxx xxx0h	0008 642Ch	32
区域 6 起始页号寄存器	RSPAGE6	xxxx xxx0h	0008 6430h	32
区域 6 结束页号寄存器	REPAGE6	xxxx xxx0h	0008 6434h	32
区域 7 起始页号寄存器	RSPAGE7	xxxx xxx0h	0008 6438h	32
区域 7 结束页号寄存器	REPAGE7	xxxx xxx0h	0008 643Ch	32
存储器保护功能有效化寄存器	MPEN	0000 0000h	0008 6500h	32
后台存取控制寄存器	MPBAC	0000 0000h	0008 6504h	32
存储器保护错误状态清除寄存器	MPECLR	0000 0000h	0008 6508h	32
存储器保护错误状态寄存器	MPESTS	0000 0000h	0008 650Ch	32
数据存储器保护地址寄存器	MPDEA	xxxx xxxh	0008 6514h	32
区域搜索地址寄存器	MPSA	xxxx xxxh	0008 6520h	32
区域搜索操作寄存器	MPOPS	0000h	0008 6524h	16
区域无效化操作寄存器	MPOPI	0000h	0008 6526h	16
指令命中区域寄存器	MHITI	0000 0000h	0008 6528h	32
数据命中区域寄存器	MHITD	0000 0000h	0008 652Ch	32

注 1. x: 不定值

13.2.1 区域 n 起始页号寄存器 (RSPAGEn) (n=0 ~ 7)

地址 RSPAGE0 0008 6400h、RSPAGE1 0008 6408h、RSPAGE2 0008 6410h、RSPAGE3 0008 6418h
RSPAGE4 0008 6420h、RSPAGE5 0008 6428h、RSPAGE6 0008 6430h、RSPAGE7 0008 6438h



x: 不定值

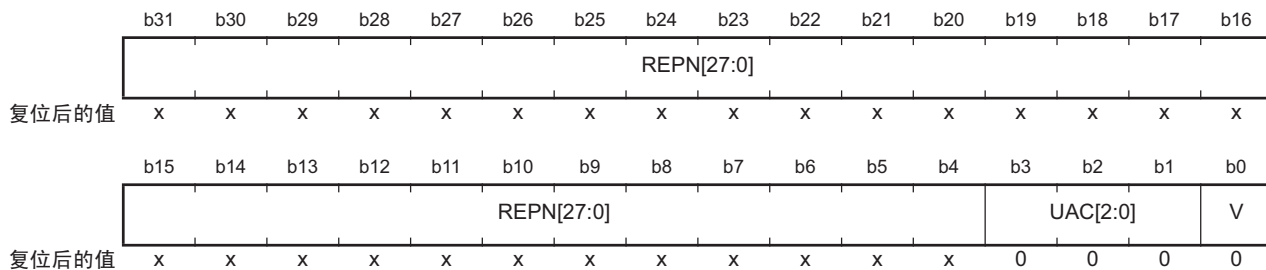
位	符号	位名	说明	R/W
b3-b0	—	保留位	读写值都为“0”。	R/W
b31-b4	RSPN[27:0]	区域起始页号位	用于区域判断的区域起始页号信息	R/W

RSPN[27:0] 位 (区域起始页号位)

这些位设定区域起始页号。

13.2.2 区域 n 结束页号寄存器 (REPAGEn) (n=0 ~ 7)

地址 REPAGE0 0008 6404h、REPAGE1 0008 640Ch、REPAGE2 0008 6414h、REPAGE3 0008 641Ch
 REPAGE4 0008 6424h、REPAGE5 0008 642Ch、REPAGE6 0008 6434h、REPAGE7 0008 643Ch



x: 不定值

位	符号	位名	说明	R/W
b0	V	有效位	0: 区域设定无效 1: 区域设定有效	R/W
b3-b1	UAC[2:0]	用户模式的存取控制位	b3 0: 禁止读 1: 允许读 b2 0: 禁止写 1: 允许写 b1 0: 禁止执行 1: 允许执行	R/W
b31-b4	REPN[27:0]	区域结束页号	用于区域判断的区域结束页号信息	R/W

V 位 (有效位)

此位选择将对应的区域设定为有效或者无效。

如果通过区域无效化寄存器 (MPOPI) 将全部存取控制区域设定为无效 (无效化), V 位就变为“0”。

UAC[2:0] 位 (用户模式的存取控制位)

这些位设定用户模式中的存取控制。

REPN[27:0] 位 (区域结束页号位)

这些位设定区域结束页号, 设定值必须大于或者等于对应区域的起始页号。区域结束页号也是存储器保护对象区域。

13.2.3 存储器保护功能有效化寄存器 (MPEN)

地址 0008 6500h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MPEN
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	说明	R/W
b0	MPEN	存储器保护功能有效化位	1: 存储器保护功能有效 0: 存储器保护功能无效	R/W
b31-b1	—	保留位	读写值都为“0”。	R/W

MPEN 位 (存储器保护功能有效化位)

此位选择将存储器保护功能设定为有效或者无效。

在给 MPEN 位写“1”后，通过执行转移到用户模式的转移指令 (RTE、RTFI)，开始由 CPU 的存储器保护进行的地址校验。

13.2.4 后台存取控制寄存器 (MPBAC)

地址 0008 6504h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	UBAC[2:0]			—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	说明	R/W
b0	—	保留位	读写值都为“0”。	R/W
b3-b1	UBAC[2:0]	用户模式的后台存取控制位	b3 0: 禁止读 1: 允许读 b2 0: 禁止写 1: 允许写 b1 0: 禁止执行 1: 允许执行	R/W
b31-b4	—	保留位	读写值都为“0”。	R/W

UBAC[2:0] 位 (用户模式的后台存取控制位)

这些位设定用户模式中的后台存取控制。

13.2.5 存储器保护错误状态清除寄存器 (MPECLR)

地址 0008 6508h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLR
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	说明	R/W
b0	CLR	错误状态清除位	【读时】 0: 读 (固定) 【写时】 0: 不进行任何操作 1: 将 MPESTS.DRW 位、MPESTS.DA 位和 MPESTS.IA 位置“0”。	R/W
b31-b1	—	保留位	读写值都为“0”。	R/W

CLR 位 (错误状态清除位)

将存储器保护错误状态寄存器 (MPESTS) 的数据读写位 (DRW)、数据存储器保护错误发生位 (DA) 和指令存储器保护错误发生位 (IA) 置“0”。

13.2.6 存储器保护错误状态寄存器 (MPESTS)

地址 0008 650Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DRW	DA	IA
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	说明	R/W
b0	IA	指令存储器保护错误发生位	0: 未发生指令存储器保护错误 1: 发生指令存储器保护错误	R
b1	DA	数据存储器保护错误发生位	0: 未发生数据存储器保护错误 1: 发生数据存储器保护错误	R
b2	DRW	数据读写位	0: 读数据 1: 写数据	R
b31-b3	—	保留位	读写值都为“0”。	R/W

IA 位 (指令存储器保护错误发生位)

此位表示因执行指令而发生存储器保护错误的状态。

只有通过将存储器保护错误状态清除寄存器 (MPECLR) 的错误状态清除位 (CLR) 置“1”, IA 位才变为“0”。

DA 位 (数据存储器保护错误发生位)

此位表示因存取操作数而发生存储器保护错误的状态。

只有通过将存储器保护错误状态清除寄存器 (MPECLR) 的错误状态清除位 (CLR) 置“1”, DA 位才变为“0”。

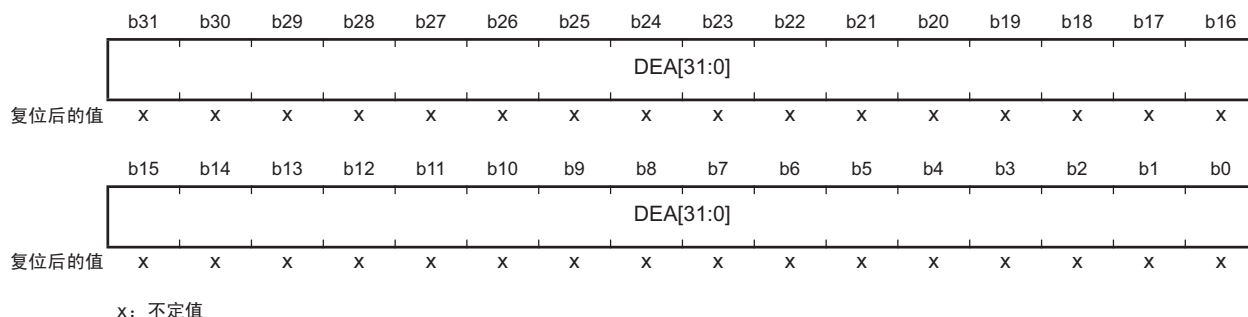
DRW 位 (数据读写位)

此位表示因存取操作数而发生存储器保护错误的存取读写属性, 只在 DA 位为“1”时有效。

通过将存储器保护错误状态清除寄存器 (MPECLR) 的错误状态清除位 (CLR) 置“1”, DRW 位变为“0”。

13.2.7 数据存储保护错误地址寄存器 (MPDEA)

地址 0008 6514h



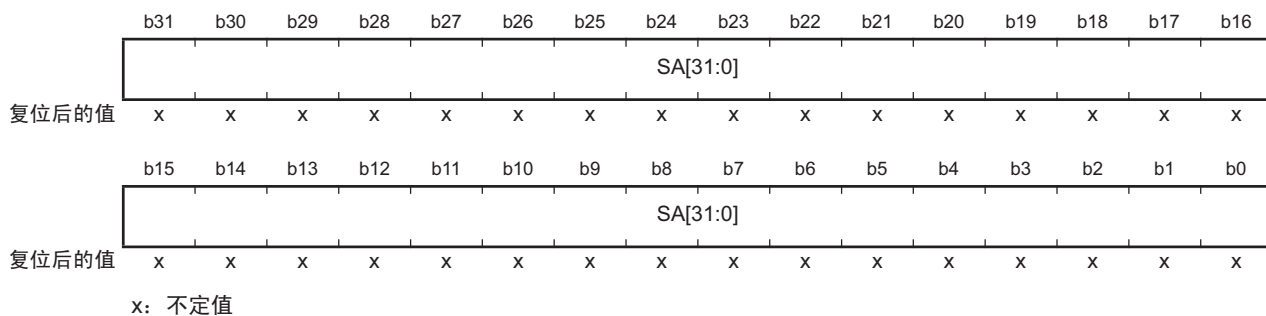
位	符号	位名	说明	R/W
b31-b0	DEA[31:0]	数据存储保护错误地址位	数据存储保护错误地址	R

DEA[31:0] 位 (数据存储保护错误地址位)

这些位保持因存取操作数而发生存储器保护错误的地址。

13.2.8 区域搜索地址寄存器 (MPSA)

地址 0008 6520h



位	符号	位名	说明	R/W
b31-b0	SA[31:0]	区域搜索地址位	用于区域搜索的地址	R/W

SA[31:0] 位 (区域搜索地址位)

这些位通过区域搜索来设定和区域 n 起始页号寄存器 (RSPAGEn) 的区域起始地址、区域 n 结束页号寄存器 (REPAGEn) 的区域结束地址进行比较的地址。

13.2.9 区域搜索操作寄存器 (MPOPS)

地址 0008 6524h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	S
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	说明	R/W
b0	S	区域搜索操作位	【读时】 0: 读 (固定) 【写时】 0: 不进行任何操作 1: 进行区域搜索	R/W
b15-b1	—	保留位	读写值都为“0”。	R/W

S 位 (区域搜索操作位)

存储器保护单元通过将 S 位置“1”进行区域搜索。将区域搜索地址寄存器 (MPSA) 指定的地址和各区域的地址信息进行比较, 搜索命中的区域。

将搜索结果保存到数据命中区域寄存器 (MHITD) 的数据命中区域位 (HITD[7:0])。另外, 将命中区域的存取控制位的逻辑或保存到用户模式中的数据命中区域存取控制位 (UHACD[2:0])。

13.2.10 区域无效化操作寄存器 (MPOPI)

地址 0008 6526h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INV
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	说明	R/W
b0	INV	区域无效化操作启动位	【读】 0: 读 (固定) 【写】 0: 不进行任何操作 1: 使全部存取控制区域 (无效化)	R/W
b15-b1	—	保留位	读写值都为“0”。	R/W

INV 位 (区域无效化操作启动位)

通过将 INV 位置“1”, 将全部区域 n 结束页号寄存器 (REPAGEn) 的有效位 (V) 置“0”。在将 REPAGEn.V 位置“0”后, 后台区域的存取控制以外的设定无效。

13.2.11 指令命中区域寄存器 (MHIT1)

地址 0008 6528h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16		
—	—	—	—	—	—	—	—	HIT1[7:0]								—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0		
—	—	—	—	—	—	—	—	—	—	—	—	UHACI[2:0]			—		
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		

位	符号	位名	说明	R/W
b0	—	保留位	读写值都为“0”。	R/W
b3-b1	UHACI[2:0]	用户模式的指令命中区域存取控制位	b3 0: 禁止读 1: 允许读 b2 0: 禁止写 1: 允许写 b1 0: 禁止执行 1: 允许执行	R
b15-b4	—	保留位	读写值都为“0”。	R/W
b23-b16	HIT1[7:0]	指令命中区域位	指令存储器保护错误发生位 (MPESTS.IA) 为“1”的情况 当 [b23:b16] 位为“0000 0000b”时, 表示在后台区域发生指令存储器保护错误。 上述以外 b23 0: 区域 7 未发生指令存储器保护错误 1: 区域 7 发生指令存储器保护错误 b22 0: 区域 6 未发生指令存储器保护错误 1: 区域 6 发生指令存储器保护错误 b21 0: 区域 5 未发生指令存储器保护错误 1: 区域 5 发生指令存储器保护错误 b20 0: 区域 4 未发生指令存储器保护错误 1: 区域 4 发生指令存储器保护错误 b19 0: 区域 3 未发生指令存储器保护错误 1: 区域 3 发生指令存储器保护错误 b18 0: 区域 2 未发生指令存储器保护错误 1: 区域 2 发生指令存储器保护错误 b17 0: 区域 1 未发生指令存储器保护错误 1: 区域 1 发生指令存储器保护错误 b16 0: 区域 0 未发生指令存储器保护错误 1: 区域 0 发生指令存储器保护错误	R
b31-b24	—	保留位	读写值都为“0”。	R/W

UHACI[2:0] 位 (用户模式的指令命中区域存取控制位)

UHACI[2:0] 位保持发生指令存储器保护错误的区域的用户模式存取控制位 (REPAGEn.UAC[2:0])。如果重叠区域发生错误, 这些位就保持对应区域 (包括后台区域) 的用户模式存取控制位的逻辑或。

HITI[7:0] 位 (指令命中区域位)

HITI[7:0] 位表示发生指令存储器保护错误的区域。如果在后台区域发生指令存储器保护错误, 就将 HITI[7:0] 位置 “0000 0000b”。

13.2.12 数据命中区域寄存器 (MHITD)

地址 0008 652Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	HITD[7:0]							—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	—	—	—	UHACD[2:0]			—		
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		

位	符号	位名	说明	R/W
b0	—	保留位	读写值都为“0”。	R/W
b3-b1	UHACD[2:0]	用户模式的数据命中区域存取控制位	b3 0: 禁止读 1: 允许读 b2 0: 禁止写 1: 允许写 b1 0: 禁止执行 1: 允许执行	R
b15-b4	—	保留位	读写值都为“0”。	R/W
b23-b16	HITD[7:0]	数据命中区域位	数据存储保护错误发生位 (DA) 为“1”的情况 当 [b23:b16] 位为“0000 0000b”时, 表示在后台区域发生数据存储保护错误。 上述以外 b23 0: 区域 7 未发生数据存储保护错误并且未搜索到命中区域 1: 区域 7 发生数据存储保护错误或者搜索到命中区域 b22 0: 区域 6 未发生数据存储保护错误并且未搜索到命中区域 1: 区域 6 发生数据存储保护错误或者搜索到命中区域 b21 0: 区域 5 未发生数据存储保护错误并且未搜索到命中区域 1: 区域 5 发生数据存储保护错误或者搜索到命中区域 b20 0: 区域 4 未发生数据存储保护错误并且未搜索到命中区域 1: 区域 4 发生数据存储保护错误或者搜索到命中区域 b19 0: 区域 3 未发生数据存储保护错误并且未搜索到命中区域 1: 区域 3 发生数据存储保护错误或者搜索到命中区域 b18 0: 区域 2 未发生数据存储保护错误并且未搜索到命中区域 1: 区域 2 发生数据存储保护错误或者搜索到命中区域 b17 0: 区域 1 未发生数据存储保护错误并且未搜索到命中区域 1: 区域 1 发生数据存储保护错误或者搜索到命中区域 b16 0: 区域 0 未发生数据存储保护错误并且未搜索到命中区域 1: 区域 0 发生数据存储保护错误或者搜索到命中区域	R
b31-b24	—	保留位	读写值都为“0”。	R/W

UHACD[2:0] 位 (用户模式的数据命中区域存取控制位)

UHACD[2:0] 位保持发生数据存储器保护错误的区域或者在区域搜索中命中的区域的用户模式存取控制位 (REPAGEn.UAC[2:0])。

如果重叠区域发生错误或者在区域搜索中命中, 这些位就保持对应区域 (包括后台区域) 的用户模式存取控制位的逻辑或。

HITD[7:0] 位 (数据命中区域位)

HITD[7:0] 位表示发生数据存储器保护错误的区域或者在区域搜索中命中的区域。如果在后台区域发生数据存储器保护错误, 就将 HITD[7:0] 位置 “0000 0000b”。

注. 在用户模式中, 如果在存取存储器保护单元的寄存器后发生数据存储器保护错误, MHITD 寄存器的值就变为 “0000 0000h”。

13.3 功能

13.3.1 存储器保护功能

存储器保护功能是根据存取控制区域和后台区域设定的存取控制信息来监视用户模式中的程序是否进行了违反存取控制信息的存取。如果检测到违反的存取控制（存储器保护错误），存储器保护单元就将该信息通知 CPU，CPU 开始存取异常处理。

通过将存储器保护功能有效化寄存器（MPEN）的存储器保护功能有效化位（MPEN）置“1”，存储器保护功能变为有效。

如果检测到违反的指令执行，就发生指令存储器保护错误；如果检测到违反的操作数存取（读写），就发生数据存储器保护错误。在发生数据存储器保护错误时，不执行引起违反的存取控制的操作数存取。

13.3.2 区域搜索功能

区域搜索功能是调查某个特定地址命中 8 个存取控制区域中的哪一个区域以及该地址的存取控制信息（允许执行、允许读、允许写）是如何设定的。

通过将区域搜索操作寄存器（MPOPS）的区域搜索操作位（S）置“1”，将区域搜索地址寄存器（MPSA）指定的地址和各区域的地址进行比较。执行区域搜索后的数据命中区域寄存器（MHITD）表示命中区域和各区域存取控制信息的逻辑或。

13.3.3 存储器保护单元相关寄存器的保护

只能在管理模式中通过 CPU 的操作数存取对存储器保护单元的相关寄存器进行存取。如果在用户模式中通过 CPU 的操作数存取对存储器保护单元的相关寄存器进行存取，就发生数据存储器保护错误，与存储器保护功能是否有效无关。

13.3.4 存储器保护功能的存取判断流程

数据存取判断流程和指令存取判断流程分别如图 13.2 和图 13.3 所示。

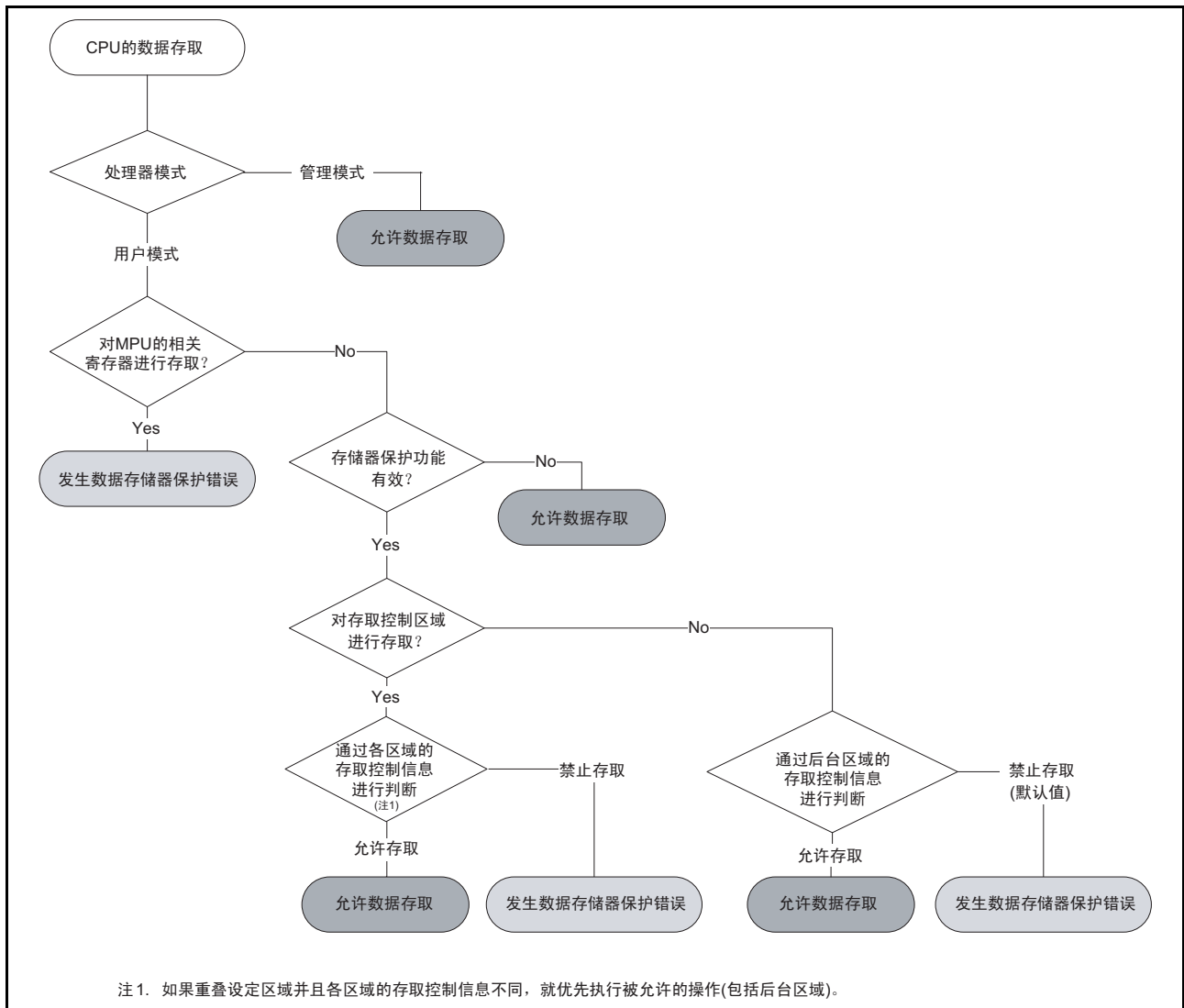


图 13.2 数据存取判断流程

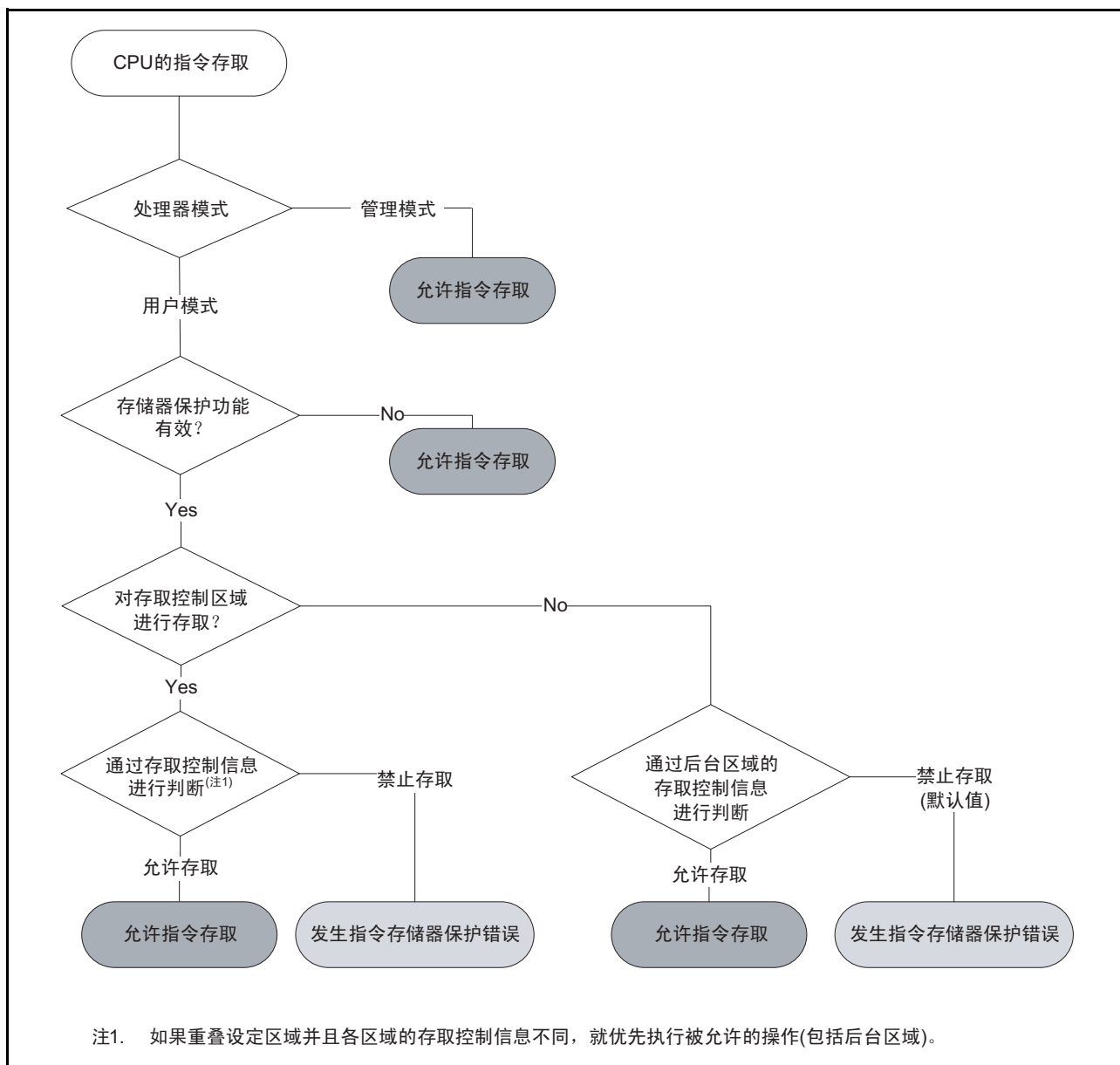


图 13.3 指令存取判断流程

13.4 存储器保护功能的使用步骤

13.4.1 存取控制信息的设定

在管理模式中设定各区域的存取控制信息。

通过区域 n 起始页号寄存器 (RSPAGEn) 和区域 n 结束页号寄存器 (REPAGEn)，最多设定 8 个存取控制区域 ($n=0 \sim 7$)。

通过后台存取控制寄存器 (MPBAC) 设定后台存取控制区域。

13.4.2 存储器保护功能的有效化

在管理模式中将存储器保护功能有效化寄存器 (MPEN) 的存储器保护功能有效化位 (MPEN) 置“1”。

13.4.3 向用户模式的转移

在改写存储器保护单元相关寄存器的设定后，必须在转移到用户模式前先读最后写的存储器保护单元相关寄存器并且确认值已被设定，然后转移到用户模式。

按照以下的任意方法从管理模式转移到用户模式：

- 在将压栈的处理器状态字 (PSW) 的处理器模式设定位 (PM) 置“1” (设定为用户模式) 后执行 RTE 指令。
- 在将备份 PSW (BPSW) 的 PM 位置“1”后执行 RTFI 指令。

注. 通过 MVTC 指令和 POPC 指令进行 PSW.PM 位的改写无效，而必须通过 RTE 指令或者 RTFI 指令更改 PSW.PM 位的值。

通过转移到用户模式，存储器保护单元开始对 CPU 的指令执行地址和操作数存取地址进行校验。

13.4.4 发生存储器保护错误时的处理

如果检测到违反的存取控制信息 (存储器保护错误)，CPU 就开始存取异常处理。存取异常处理中的 CPU 运行的详细内容请参照“10. 异常处理”。

在异常处理程序中，确认存储器保护错误状态寄存器 (MPESTS) 的指令存储器保护错误发生位 (IA) 和数据存储器保护错误发生位 (DA)，判断是指令存储器保护错误还是数据存储器保护错误。

在确认后，通过将存储器保护错误状态清除寄存器 (MPECLR) 的错误状态清除位 (CLR) 置“1”，清除 MPESTS 寄存器。

(1) 发生数据存储器保护错误时的情况

通过 CPU 的存取异常处理，将发生存储器保护错误的指令地址压栈，将发生存储器保护错误的操作数存取地址保存到数据存储器保护错误地址寄存器 (MPDEA) 以及将发生存储器保护错误的区域信息保存到数据命中区域寄存器 (MHITD)。

- **存取有效区域 0~7 却违反存取控制的情况**
与发生错误的区域号对应的数据命中区域位 (MHITD.HITD[7:0]) 变为“1”，并且发生错误的区域存取控制信息的逻辑或被设定到用户模式的数据命中区域存取控制位 (MHITD.UHACD[2:0])。
- **存取有效区域 0~7 以外的区域并且违反后台区域的存取控制的情况**
数据命中区域位 (MHITD.HITD[7:0]) 变为“0000 0000b”，并且后台区域的存取控制信息被设定到用户模式的数据命中区域存取控制位 (MHITD.UHACD[2:0])。

能通过参照这些信息进行特定错误原因等的处理。

(2) 发生指令存储器保护错误的情况

通过 CPU 的存取异常处理，将发生存储器保护错误的指令地址压栈以及将发生存储器保护错误的区域信息保存到指令命中区域寄存器 (MHITI)。

- **存取有效区域 0~7 却违反存取控制的情况**
与发生错误的区域号对应的指令命中区域位 (MHITI.HITI[7:0]) 变为“1”，并且发生错误的区域存取控制信息的逻辑或被设定到用户模式的指令命中区域存取控制位 (MHITI.UHACI[2:0])。
- **存取有效区域 0~7 以外的区域并且违反后台区域的存取控制的情况**
指令命中区域位 (MHITI.HITI[7:0]) 变为“0000 0000b”，并且后台区域的存取控制被设定到用户模式的指令命中区域存取控制位 (MHITI.UHACI[2:0])。

能通过参照这些信息进行特定错误原因等的处理。

14. DMA 控制器 (DMACA)

RX62N 群和 RX621 群内置 4 个通道的 DMACA (Direct Memory Access Controller)。

DMACA 不通过 CPU 进行数据传送。如果产生传送请求, DMACA 就将传送源地址的数据传送到传送目标地址。

14.1 概要

DMACA 的规格和框图分别如表 14.1 和图 14.1 所示。

表 14.1 DMACA 的规格

项目		内容
通道数		4 个通道 (DMACn (n=0 ~ 3))
传送空间		512M 字节 (00000000h ~ 0FFFFFFFh 和 F0000000h ~ FFFFFFFFh 中除保留区以外的区域)
最大传送数据量		1023K 数据 (块传送模式的最大总传送量: 1023 个数据 × 1024 块)
DMACA 启动源		<ul style="list-style-type: none"> 各通道可选择启动源。 软件触发 外围模块的中断请求和外部中断输入引脚的触发输入 (注 1)
通道优先级		通道 0 > 通道 1 > 通道 2 > 通道 3 (通道 0 最优先)
传送数据	1 个数据	位长: 8 位、16 位、32 位
	块大小	数据量: 1 ~ 1023 个数据
传送模式	正常传送模式	<ul style="list-style-type: none"> 1 次 DMA 传送请求进行 1 个数据的传送。 能指定总数据传送量 (自由运行模式)。
	重复传送模式	<ul style="list-style-type: none"> 1 次 DMA 传送请求进行 1 个数据的传送。 如果传送由传送源或者传送目标设定的重复大小的数据, 就返回到开始传送时的地址。 重复大小最多能设定 1024 个数据。
	块传送模式	<ul style="list-style-type: none"> 1 次 DMA 传送请求进行 1 块数据的传送。 块大小最多能设定 1023 个数据。
选择功能	扩展重复区域功能	<ul style="list-style-type: none"> 能通过固定传送地址寄存器的高位的值, 重复设定特定范围的地址。 能分别给传送源和传送目标设定 2 字节到 128M 字节的扩展重复区域。
中断请求	传送结束中断	当传送计数器设定的数据量传送结束时, 发生此中断。
	传送退出结束中断	当重复大小的数据传送结束或者扩展重复区域发生上溢时, 发生此中断。

注 1. DMACA 的启动源请参照“14.3.4 启动源”。

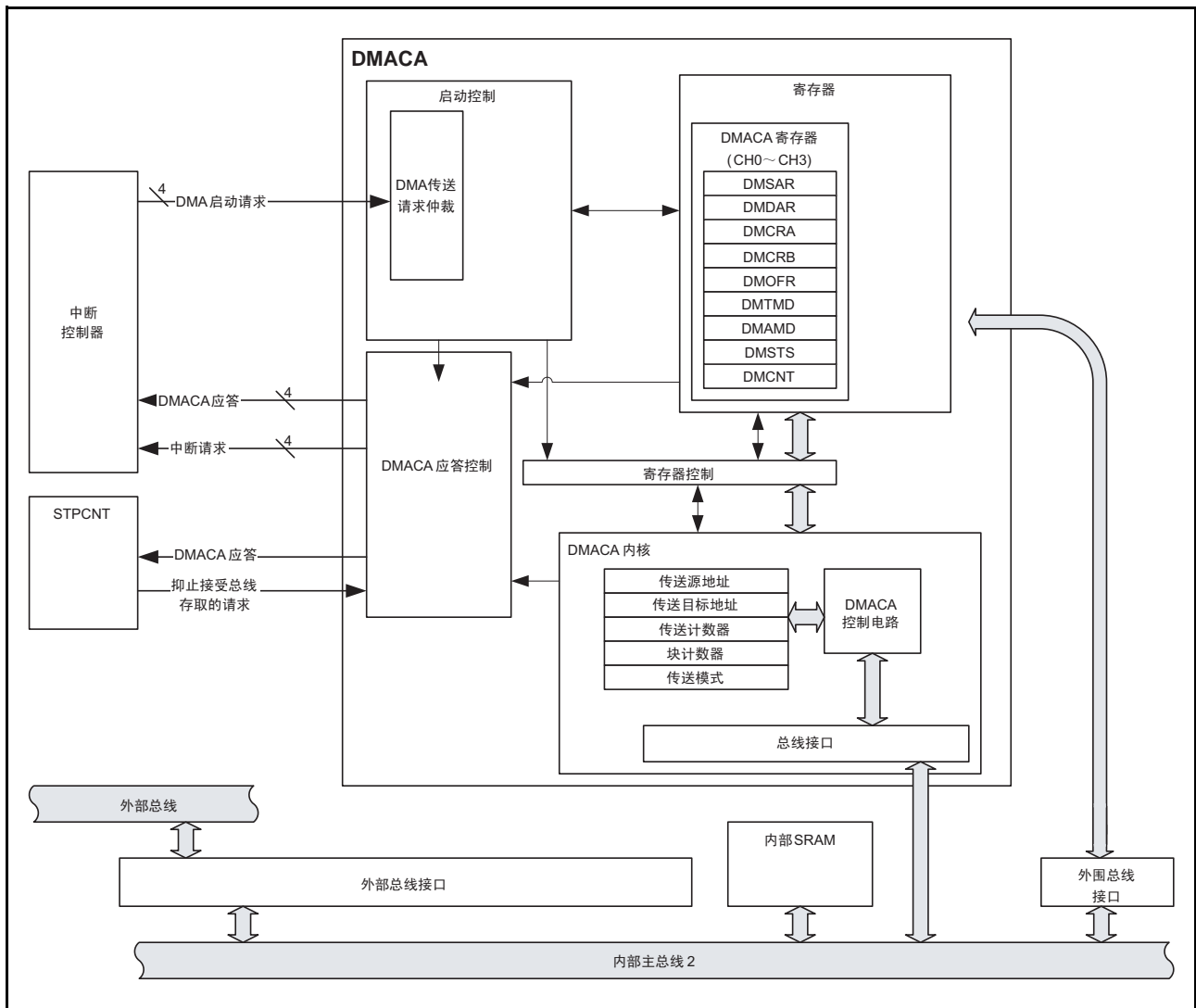


图 14.1 DMACA 的框图

14.2 寄存器说明

DMACA 的寄存器一览表如表 14.2 所示，DMAC0 ~ DMAC3 寄存器的功能相同。

表 14.2 DMACA 的寄存器一览表 (1 / 2)

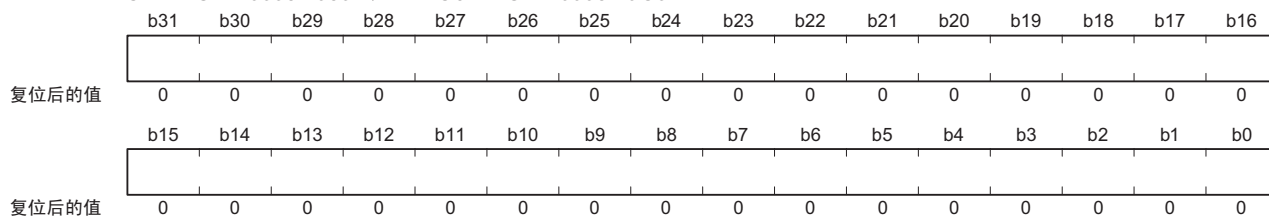
通道	寄存器名	符号	复位后的值	地址	存取长度
DMAC0	DMA 传送源地址寄存器	DMSAR	0000 0000h	0008 2000h	32
	DMA 传送目标地址寄存器	DMDAR	0000 0000h	0008 2004h	32
	DMA 传送计数寄存器	DMCRA	0000 0000h	0008 2008h	32
	DMA 块传送计数寄存器	DMCRB	0000h	0008 200Ch	16
	DMA 传送模式寄存器	DMTMD	0000h	0008 2010h	16
	DMA 中断设定寄存器	DMINT	00h	0008 2013h	8
	DMA 地址模式寄存器	DMAMD	0000h	0008 2014h	16
	DMA 偏移寄存器	DMOFR	0000 0000h	0008 2018h	32
	DMA 传送允许寄存器	DMCNT	00h	0008 201Ch	8
	DMA 软件启动寄存器	DMREQ	00h	0008 201Dh	8
	DMA 状态寄存器	DMSTS	00h	0008 201Eh	8
	DMA 启动源标志的控制寄存器	DMCSL	00h	0008 201Fh	8
DMAC1	DMA 传送源地址寄存器	DMSAR	0000 0000h	0008 2040h	32
	DMA 传送目标地址寄存器	DMDAR	0000 0000h	0008 2044h	32
	DMA 传送计数寄存器	DMCRA	0000 0000h	0008 2048h	32
	DMA 块传送计数寄存器	DMCRB	0000h	0008 204Ch	16
	DMA 传送模式寄存器	DMTMD	0000h	0008 2050h	16
	DMA 中断设定寄存器	DMINT	00h	0008 2053h	8
	DMA 地址模式寄存器	DMAMD	0000h	0008 2054h	16
	DMA 传送允许寄存器	DMCNT	00h	0008 205Ch	8
	DMA 软件启动寄存器	DMREQ	00h	0008 205Dh	8
	DMA 状态寄存器	DMSTS	00h	0008 205Eh	8
	DMA 启动源标志的控制寄存器	DMCSL	00h	0008 205Fh	8
	DMAC2	DMA 传送源地址寄存器	DMSAR	0000 0000h	0008 2080h
DMA 传送目标地址寄存器		DMDAR	0000 0000h	0008 2084h	32
DMA 传送计数寄存器		DMCRA	0000 0000h	0008 2088h	32
DMA 块传送计数寄存器		DMCRB	0000h	0008 208Ch	16
DMA 传送模式寄存器		DMTMD	0000h	0008 2090h	16
DMA 中断设定寄存器		DMINT	00h	0008 2093h	8
DMA 地址模式寄存器		DMAMD	0000h	0008 2094h	16
DMA 传送允许寄存器		DMCNT	00h	0008 209Ch	8
DMA 软件启动寄存器		DMREQ	00h	0008 209Dh	8
DMA 状态寄存器		DMSTS	00h	0008 209Eh	8
DMA 启动源标志的控制寄存器		DMCSL	00h	0008 209Fh	8

表 14.2 DMACA 的寄存器一览表 (2 / 2)

通道	寄存器名	符号	复位后的值	地址	存取长度
DMAC3	DMA 传送源地址寄存器	DMSAR	0000 0000h	0008 20C0h	32
	DMA 传送目标地址寄存器	DMDAR	0000 0000h	0008 20C4h	32
	DMA 传送计数寄存器	DMCRA	0000 0000h	0008 20C8h	32
	DMA 块传送计数寄存器	DMCRB	0000h	0008 20CCh	16
	DMA 传送模式寄存器	DMTMD	0000h	0008 20D0h	16
	DMA 中断设定寄存器	DMINT	00h	0008 20D3h	8
	DMA 地址模式寄存器	DMAMD	0000h	0008 20D4h	16
	DMA 传送允许寄存器	DMCNT	00h	0008 20DCh	8
	DMA 软件启动寄存器	DMREQ	00h	0008 20DDh	8
	DMA 状态寄存器	DMSTS	00h	0008 20DEh	8
	DMA 启动源标志的控制寄存器	DMCSL	00h	0008 20DFh	8
DMAC	DMACA 模块启动寄存器	DMAST	00h	0008 2200h	8

14.2.1 DMA 传送源地址寄存器 (DMSAR)

地址 DMAC0.DMSAR 0008 2000h、DMAC1.DMSAR 0008 2040h
DMAC2.DMSAR 0008 2080h、DMAC3.DMSAR 0008 20C0h



位	功能	设定范围	R/W
b31-b0	设定传送源的起始地址。	00000000h ~ 0FFFFFFFh (256M 字节) F0000000h ~ FFFFFFFFh (256M 字节)	R/W

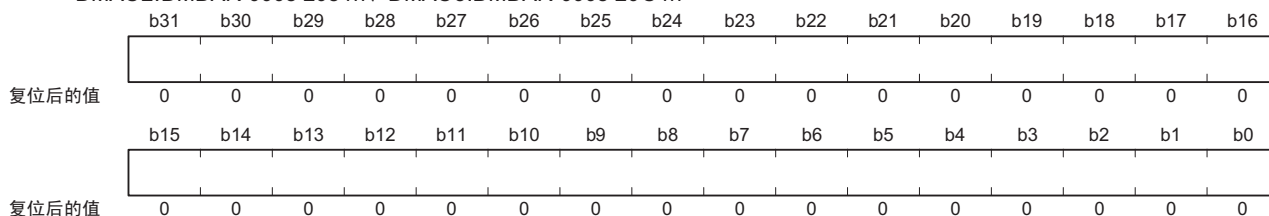
DMSAR 寄存器是设定传送源起始地址的寄存器。

在设定 DMSAR 寄存器时，必须在禁止启动 DMACA (DMAST.DMST=0) 或者禁止 DMA 传送 (DMCNT.DTE=0) 时进行写操作。

bit31 ~ bit29 的设定值无效，将 bit28 的值扩展到 bit31 ~ bit29。如果读 DMSAR 寄存器，就会读到位扩展后的值。

14.2.2 DMA 传送目标地址寄存器 (DMDAR)

地址 DMAC0.DMDAR 0008 2004h、DMAC1.DMDAR 0008 2044h
DMAC2.DMDAR 0008 2084h、DMAC3.DMDAR 0008 20C4h



位	功能	设定范围	R/W
b31-b0	设定传送目标的起始地址。	00000000h ~ 0FFFFFFFh (256M 字节) F0000000h ~ FFFFFFFFh (256M 字节)	R/W

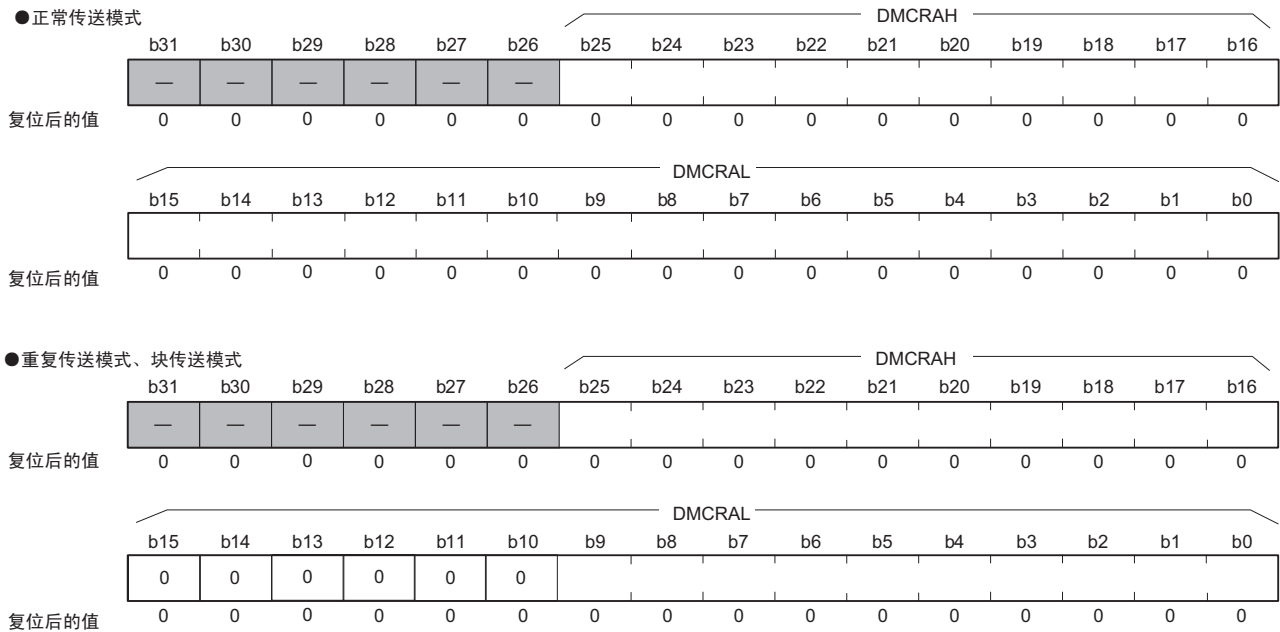
DMDAR 寄存器是设定传送目标起始地址的寄存器。

在设定 DMDAR 寄存器时，必须在禁止启动 DMACA (DMAST.DMST=0) 或者禁止 DMA 传送 (DMCNT.DTE=0) 时进行写操作。

bit31 ~ bit29 的设定值无效，将 bit28 的值扩展到 bit31 ~ bit29。如果读 DMDAR 寄存器，就会读到位扩展后的值。

14.2.3 DMA 传送计数寄存器 (DMCRA)

地址 DMAC0.DMCRA 0008 2008h、DMAC1.DMCRA 0008 2048h
DMAC2.DMCRA 0008 2088h、DMAC3.DMCRA 0008 20C8h



符号	位名	功能	R/W
DMCRAL	传送计数的低位	设定传送次数。	R/W
DMCRAH	传送计数的高位		R/W

注. 在重复传送模式和块传送模式中，必须给 DMCRAH 寄存器和 DMCRAL 寄存器设定相同的值。

DMCRA 寄存器指定 DMA 的传送次数，其功能因传送模式而不同。

(1) 正常传送模式 (DMTMD.MD[1:0]=00b)

DMCRAL 寄存器用作 16 位传送计数器。当设定值是“0001h”时，传送次数为 1 次；当设定值是“FFFFh”时，传送次数为 65535 次。每进行 1 次数据传送，DMCRAL 寄存器就减 1。

当设定值是“0000h”时，不指定传送次数，在传送计数器停止计数后进行数据传送（自由运行模式）。

在正常传送模式中不使用 DMCRAH 寄存器，必须给 DMCRAH 寄存器写“0000h”。

(2) 重复传送模式 (DMTMD.MD[1:0]=01b)

DMCRAH 寄存器保持重复大小，DMCRAL 寄存器用作 10 位传送计数器。

当设定值是“001h”时，传送次数为 1 次；当设定值是“3FFh”时，传送次数为 1023 次；当设定是“000h”时，传送次数为 1024 次。在重复传送模式中，DMCRAH 寄存器和 DMCRAL 寄存器的设定范围都是“000h ~ 3FFh”（1 次 ~ 1024 次）。

DMCRAL 寄存器的 bit15 ~ bit10 的设定值无效，必须给 DMCRAL 寄存器的 bit15 ~ bit10 写“0”。

每进行 1 次数据传送，DMCRAL 寄存器就减 1。当 DMCRAL 寄存器变为“000h”时，传送 DMCRAH 寄存器的值。

(3) 块传送模式 (DMTMD.MD[1:0]=10b)

DMCRAH 寄存器保持块大小，DMCRAL 寄存器用作 10 位块大小计数器。

当设定值是“001h”时，块大小为 1；当设定值是“3FFh”时，块大小为 1023。在块传送模式中，DMCRAH 寄存器和 DMCRAL 寄存器的设定范围都是“001h ~ 3FFh”，不能设定“000h”。

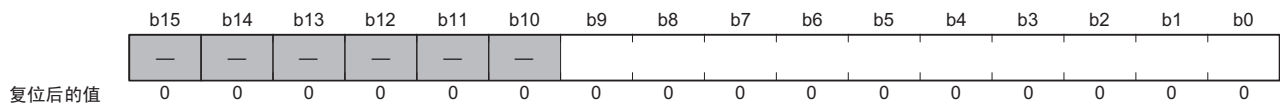
DMCRAL 寄存器的 bit15 ~ bit10 的设定值无效，必须给 DMCRAL 寄存器的 bit15 ~ bit10 写“0”。

每进行 1 次数据传送，DMCRAL 寄存器就减 1。当 DMCRAL 寄存器变为“000h”时，传送 DMCRAH 寄存器的值。

如果在块传送过程中从 CPU 读 DMCRAL 寄存器，读取值就为初始设定值（块大小）。

14.2.4 DMA 块传送计数寄存器 (DMCRB)

地址 DMAC0.DMCRB 0008 200Ch、DMAC1.DMCRB 0008 204Ch
DMAC2.DMCRB 0008 208Ch、DMAC3.DMCRB 0008 20CCh



位	功能	设定范围	R/W
b9-b0	设定块传送次数和重复传送次数。	001h ~ 3FFh (1 ~ 1023 次) 000h (1024 次)	R/W
b15-b10	保留位	读写值都为“0”。	R/W

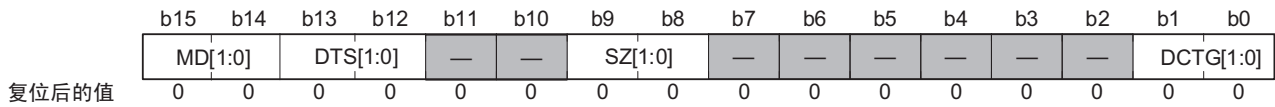
DMCRB 寄存器指定块传送模式的块传送次数以及指定重复传送模式的重复传送次数。

当设定值是“001h”时，传送次数为 1 次；当设定值是“3FFh”时，传送次数为 1023 次；当设定值是“000h”时，传送次数为 1024 次。每进行 1 次数据传送，DMCRB 寄存器就减 1。

在设定为正常传送模式时，必须将 DMCRB 寄存器设定为“3FFh”。

14.2.5 DMA 传送模式寄存器 (DMTMD)

地址 DMAC0.DMTMD 0008 2010h、DMAC1.DMTMD 0008 2050h
DMAC2.DMTMD 0008 2090h、DMAC3.DMTMD 0008 20D0h



位	符号	位名	功能	R/W
b1-b0	DCTG[1:0]	传送请求选择位	b1 b0 0 0: 软件 0 1: 外围模块中断和外部中断输入引脚的中断 (注) 1 0: 不能设定 1 1: 不能设定	R/W
b7-b2	—	保留位	读写值都为“0”。	R/W
b9-b8	SZ[1:0]	数据传送长度位	b9 b8 0 0: 8 位传送 0 1: 16 位传送 1 0: 32 位传送 1 1: 不能设定	R/W
b11-b10	—	保留位	读写值都为“0”。	R/W
b13-b12	DTS[1:0]	重复区域选择位	b13 b12 0 0: 传送目标为重复区域或者块区域 0 1: 传送源为重复区域或者块区域 1 0: 不设定重复区域和块区域 1 1: 不能设定	R/W
b15-b14	MD[1:0]	传送模式设定位	b15 b14 0 0: 正常传送 0 1: 重复传送 1 0: 块传送 1 1: 不能设定	R/W

注. 通过 ICU.DMRSRn 寄存器设定 DMACA 的启动源, 详细内容请参照“14.3.4 启动源”和“11. 中断控制器 (ICUa)”。

DMTMD 寄存器是设定 DMA 传送模式的寄存器。

DCTG[1:0] 位 (传送请求选择位)

这些位选择 DMACA 的启动源为通过软件来启动或者通过中断请求来启动。

SZ[1:0] 位 (数据传送长度位)

这些位选择 1 次数据传送的数据长度为 8 位、16 位或者 32 位。

DTS[1:0] 位 (重复区域选择位)

在重复传送模式或者块传送模式中, 这些位能选择传送源或者传送目标为重复区域; 在正常传送模式中, 这些位的设定值无效。

MD[1:0] 位 (传送模式设定位)

这些位将 DMA 传送模式设定为正常传送、重复传送或者块传送。

14.2.6 DMA 中断设定寄存器 (DMINT)

地址	DMAC0.DMINT 0008 2013h、DMAC1.DMINT 0008 2053h DMAC2.DMINT 0008 2093h、DMAC3.DMINT 0008 20D3h							
	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	DTIE	ESIE	RPTIE	SARIE	DARIE
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	DARIE	传送目标地址的扩展重复区域上溢中断允许位	0: 禁止传送目标地址的扩展重复区域上溢中断 1: 允许传送目标地址的扩展重复区域上溢中断	R/W
b1	SARIE	传送源地址的扩展重复区域上溢中断允许位	0: 禁止传送源地址的扩展重复区域上溢中断 1: 允许传送源地址的扩展重复区域上溢中断	R/W
b2	RPTIE	重复大小结束中断允许位	0: 禁止重复大小结束中断 1: 允许重复大小结束中断	R/W
b3	ESIE	传送退出结束中断允许位	0: 禁止退出中断 1: 允许退出中断	R/W
b4	DTIE	传送结束中断允许位	0: 禁止传送结束中断 1: 允许传送结束中断	R/W
b7-b5	—	保留位	读写值都为“0”。	R/W

DMINT 寄存器是设定 DMACA 的中断请求输出的寄存器。

DARIE 位 (传送目标地址的扩展重复区域上溢中断允许位)

如果在将 DARIE 位置“1”时传送目标地址的扩展重复区域发生上溢，DMCNT.DTE 位就变为“0”，同时 DMSTS.ESIF 标志变为“1”，表示产生了传送目标地址的扩展重复区域上溢中断请求。

当和块传送模式并用时，在 1 块数据传送结束后产生中断请求。

如果没有将扩展重复区域设定为传送目标地址，DARIE 位的设定值就无效。

SARIE 位 (传送源地址的扩展重复区域上溢中断允许位)

如果在将 SARIE 位置“1”时传送源地址的扩展重复区域发生上溢，DMCNT.DTE 位就变为“0”，同时 DMSTS.ESIF 标志变为“1”，表示产生了传送源地址的扩展重复区域上溢中断请求。

当和块传送模式并用时，在 1 块数据传送结束后产生中断请求。

如果没有将扩展重复区域设定为传送源地址，SARIE 位的设定值就无效。

RPTIE 位 (重复大小结束中断允许位)

在重复传送模式中，如果将 RPTIE 位置“1”，DMCNT.DTE 位就在 1 个重复大小的传送结束后变为“0”，同时 DMSTS.ESIF 标志变为“1”，表示产生了重复大小结束中断请求。即使 DMTMD.DTS[1:0] 位为“10b”（不指定重复区域或者块区域），也能产生重复大小结束中断请求。

在块传送模式中，如果将 DMINT.RPTIE 位置“1”，DMCNT.DTE 位同样也在 1 块数据传送结束后变为“0”，同时 DMSTS.ESIF 标志变为“1”，表示产生了重复大小结束中断请求。即使 DMTMD.DTS[1:0] 位为“10b”（不指定重复区域或者块区域），也能产生重复大小结束中断请求。

ESIE 位 (传送退出结束中断允许位)

此位允许或者禁止 DMA 传送过程中产生的退出中断请求 (重复大小结束中断和扩展重复区域上溢中断)。

如果将 ESIE 位置“1”，就在 DMSTS.ESIF 标志变为“1”时产生传送退出结束中断。如果将 ESIE 位或者 DMSTS.ESIF 标志置“0”，就解除传送退出结束中断。

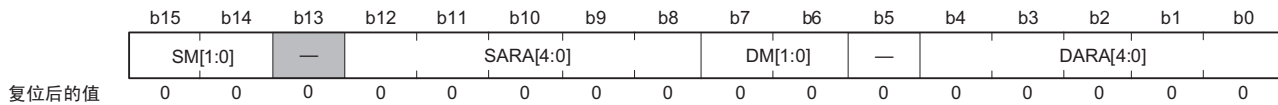
DTIE 位 (传送结束中断允许位)

此位允许或者禁止在指定次数的数据传送结束时产生的传送结束中断请求。

如果将 DTIE 位置“1”，就在 DMSTS.DTIF 标志变为“1”时产生传送结束中断。如果将 DTIE 位或者 DMSTS.DTIF 标志置“0”，就解除传送结束中断。

14.2.7 DMA 地址模式寄存器 (DMAMD)

地址 DMAC0.DMAMD 0008 2014h、DMAC1.DMAMD 0008 2054h
DMAC2.DMAMD 0008 2094h、DMAC3.DMAMD 0008 20D4h



位	符号	位名	功能	R/W
b4-b0	DARA[4:0]	传送目标地址的扩展重复区域设定位	能将扩展重复区域设定为传送目标地址，设定值的详细内容请参照表 14.3。	R/W
b5	—	保留位	读写值都为“0”。	R/W
b7-b6	DM[1:0]	传送目标地址的更新模式设定位	b7 b6 00: 地址固定 01: 偏移量增加 (注1) 10: 递增 11: 递减	R/W
b12-b8	SARA[4:0]	传送源地址的扩展重复区域设定位	能将扩展重复区域设定为传送源地址，设定值的详细内容请参照表 14.3。	R/W
b13	—	保留位	读写值都为“0”。	R/W
b15-b14	SM[1:0]	传送源地址的更新模式设定位	b15 b14 00: 地址固定 01: 偏移量增加 (注1) 10: 递增 11: 递减	R/W

注 1. 只有 DMAC0 能设定偏移量增加。

DMAMD 寄存器是设定 DMACA 地址模式的寄存器。

DARA[4:0] 位 (传送目标地址的扩展重复区域设定位)

这些位能将扩展重复区域设定为传送目标地址。通过将指定的低位地址作为地址更新的对象并且总是给剩余的高位取固定值，实现扩展重复区域功能。能设定 2 字节~ 128M 字节的扩展重复区域，设定间隔以 2 的乘方字节为单位。

由地址的增减引起的从扩展重复区域上溢的低位地址会发生以下变化：当地址增加时，为扩展重复区域的起始地址；当地址减小时，为扩展重复区域的结束地址。

如果将重复区域或者块区域设定为传送目标，就不能设定传送目标地址的扩展重复区域。如果在进行重复传送或者块传送时将 DMTMD.DTS[1:0] 位置“00b”（传送目标为重复区域或者块区域），就必须给 DARA[4:0] 位写“00000b”。

如果 DMINT.DARIE 位为“1”，就能在扩展重复区域发生上溢时发生中断。扩展重复区域的设定和范围如表 14.3 所示。

DM[1:0] 位 (传送目标地址的更新模式设定位)

这些位设定传送目标地址的更新模式。

如果选择递增，就在 DMTMD.SZ[1:0] 位为“00b”时加 1；在 DMTMD.SZ[1:0] 位为“01b”时加 2；在 DMTMD.SZ[1:0] 位为“10b”时加 4。

如果选择递减，就在 DMTMD.SZ[1:0] 位为“00b”时减 1；在 DMTMD.SZ[1:0] 位为“01b”时减 2；在 DMTMD.SZ[1:0] 位为“10b”时减 4。

如果选择偏移量增加，就加上 DMOFR 寄存器的设定值。只有 DMAC0 能设定偏移量增加。

SARA[4:0] 位 (传送源地址的扩展重复区域设定位)

这些位能将扩展重复区域设定为传送源地址。通过将指定的低位地址作为地址更新的对象并且总是给剩余的高位取固定值，实现扩展重复区域功能。能设定 2 字节~ 128M 字节的扩展重复区域，设定间隔以 2 的乘方字节为单位。

由地址的增减引起的从扩展重复区域上溢的低位地址会发生以下变化：当地址增加时，为扩展重复区域的起始地址；当地址减小时，为扩展重复区域的结束地址。

如果将重复区域或者块区域设定为传送源，就不能设定传送源地址的扩展重复区域。如果在进行重复传送或者块传送时将 DMTMD.DTS[1:0] 位置“01b”（传送源为重复区域或者块区域），就必须给 SARA[4:0] 位写“00000b”。

如果 DMINT.SARIE 位为“1”，就能在扩展重复区域发生上溢时发生中断。扩展重复区域的设定和范围如表 14.3 所示。

SM 位 (传送源地址的更新模式设定位)

此位设定传送源地址的更新模式。

如果选择递增，就在 DMTMD.SZ[1:0] 位为“00b”时加 1；在 DMTMD.SZ[1:0] 位为“01b”时加 2；在 DMTMD.SZ[1:0] 位为“10b”时加 4。

如果选择递减，就在 DMTMD.SZ[1:0] 位为“00b”时减 1；在 DMTMD.SZ[1:0] 位为“01b”时减 2；在 DMTMD.SZ[1:0] 位为“10b”时减 4。

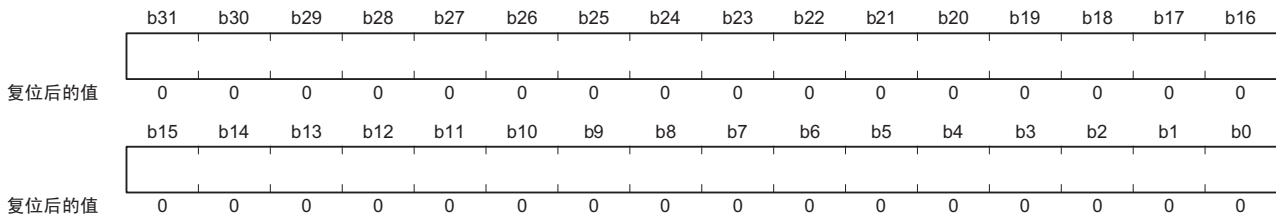
如果选择偏移量增加，就将 DMOFR 寄存器的设定值相加。只有 DMAC0 能设定偏移量增加。

表 14.3 扩展重复区域的设定和范围

SARA[4:0]/DARA[4:0] 的值	扩展重复区域的范围
00000b	不设定扩展重复区域。
00001b	将该地址的低 1 位 (2 字节) 设定为扩展重复区域。
00010b	将该地址的低 2 位 (4 字节) 设定为扩展重复区域。
00011b	将该地址的低 3 位 (8 字节) 设定为扩展重复区域。
00100b	将该地址的低 4 位 (16 字节) 设定为扩展重复区域。
00101b	将该地址的低 5 位 (32 字节) 设定为扩展重复区域。
00110b	将该地址的低 6 位 (64 字节) 设定为扩展重复区域。
00111b	将该地址的低 7 位 (128 字节) 设定为扩展重复区域。
01000b	将该地址的低 8 位 (256 字节) 设定为扩展重复区域。
01001b	将该地址的低 9 位 (512 字节) 设定为扩展重复区域。
01010b	将该地址的低 10 位 (1K 字节) 设定为扩展重复区域。
01011b	将该地址的低 11 位 (2K 字节) 设定为扩展重复区域。
01100b	将该地址的低 12 位 (4K 字节) 设定为扩展重复区域。
01101b	将该地址的低 13 位 (8K 字节) 设定为扩展重复区域。
01110b	将该地址的低 14 位 (16K 字节) 设定为扩展重复区域。
01111b	将该地址的低 15 位 (32K 字节) 设定为扩展重复区域。
10000b	将该地址的低 16 位 (64K 字节) 设定为扩展重复区域。
10001b	将该地址的低 17 位 (128K 字节) 设定为扩展重复区域。
10010b	将该地址的低 18 位 (256K 字节) 设定为扩展重复区域。
10011b	将该地址的低 19 位 (512K 字节) 设定为扩展重复区域。
10100b	将该地址的低 20 位 (1M 字节) 设定为扩展重复区域。
10101b	将该地址的低 21 位 (2M 字节) 设定为扩展重复区域。
10110b	将该地址的低 22 位 (4M 字节) 设定为扩展重复区域。
10111b	将该地址的低 23 位 (8M 字节) 设定为扩展重复区域。
11000b	将该地址的低 24 位 (16M 字节) 设定为扩展重复区域。
11001b	将该地址的低 25 位 (32M 字节) 设定为扩展重复区域。
11010b	将该地址的低 26 位 (64M 字节) 设定为扩展重复区域。
11011b	将该地址的低 27 位 (128M 字节) 设定为扩展重复区域。
11100b ~ 11111b	(不能设定)

14.2.8 DMA 偏移寄存器 (DMOFR)

地址 DMAC0.DMOFR 0008 2018h



位	功能	设定范围	R/W
b31-b0	设定传送源或者传送目标的地址更新模式为偏移量增加时的偏移值。	00000000h ~ 00FFFFFFh (0 字节 ~ (16M-1) 字节) FF000000h ~ FFFFFFFFh (-16M 字节 ~ -1 字节)	R/W

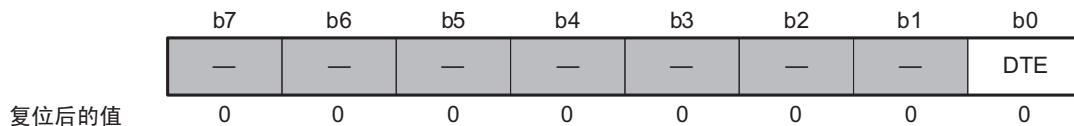
DMOFR 寄存器是设定地址偏移值的寄存器。

在设定 DMOFR 寄存器时，必须在 DMACA 停止或者禁止 DMA 传送时而不能在数据传送过程中进行写操作。

bit31 ~ bit25 的设定值无效，将 bit24 的值扩展到 bit31 ~ bit25。如果读 DMOFR 寄存器，就会读到位扩展后的值。

14.2.9 DMA 传送允许寄存器 (DMCNT)

地址 DMAC0.DMCNT 0008 201Ch、DMAC1.DMCNT 0008 205Ch
DMAC2.DMCNT 0008 209Ch、DMAC3.DMCNT 0008 20DCh



位	符号	位名	功能	R/W
b0	DTE	DMA 传送允许位	0: 禁止 DMA 传送 1: 允许 DMA 传送	R/W
b7-b1	—	保留位	读写值都为“0”。	R/W

DMCNT 寄存器是允许或者禁止对应通道的 DMA 传送的寄存器。

DTE 位 (DMA 传送允许位)

能在 DMAST.DMST 位为“1” (允许启动 DMACA) 并且 DTE 位为“1” (允许 DMA 传送) 时开始对应通道的 DMA 传送。

[为“1”的条件]

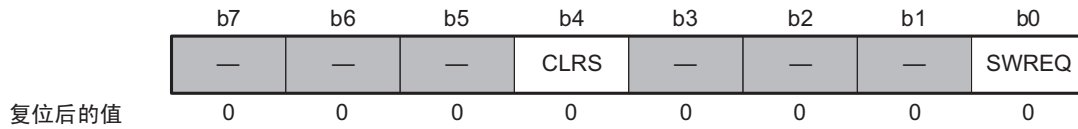
- 写“1”时

[为“0”的条件]

- 写“0”时
- 结束所设定的总传送数据量的传送时
- 通过重复大小结束中断停止 DMA 传送时
- 通过扩展重复区域上溢中断停止 DMA 传送时

14.2.10 DMA 软件启动寄存器 (DMREQ)

地址 DMAC0.DMREQ 0008 201Dh、DMAC1.DMREQ 0008 205Dh
DMAC2.DMREQ 0008 209Dh、DMAC3.DMREQ 0008 20DDh



位	符号	位名	功能	R/W
b0	SWREQ	DMACA 软件启动位	0: 无 DMA 传送请求 1: 有 DMA 传送请求	R/W
b3-b1	—	(保留位)	读写值都为“0”。	R/W
b4	CLRS	DMACA 软件启动位的自动清除选择位	0: 在软件启动后清除 SWREQ 位 1: 在软件启动后不清除 SWREQ 位	R/W
b7-b5	—	(保留位)	读写值都为“0”。	R/W

DMREQ 寄存器是通过软件启动 DMACA 的寄存器。

SWREQ 位 (DMACA 软件启动位)

如果给 SWREQ 位写“1”，就产生 DMA 的传送请求。该请求的传送一旦开始，SWREQ 位就在 CLRS 位为“0”时变为“0”，而在 CLRS 位为“1”时不变为“0”。此时，能在传送结束后再次产生 DMA 传送请求。

但是，SWREQ 位的值只在 DMTMD.DCTG[1:0] 位被置“00b” (DMA 启动源为软件) 时有效，能通过软件启动 DMA 传送。

如果 DMTMD.DCTG[1:0] 位不是“00b”，SWREQ 位的设定值就无效。

如果在 CLRS 位为“0”时要启动软件，就必须在确认 SWREQ 位为“0”后给 SWREQ 位写“1”。

[为“1”的条件]

- 写“1”时

[为“0”的条件]

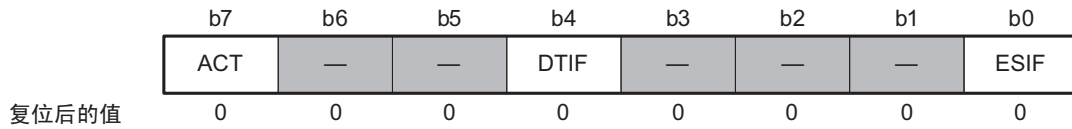
- 当 CLRS 位为“0” (在软件启动后清除 SWREQ 位) 时，在接受软件请求并且开始数据传送时
- 写“0”时

CLRS 位 (DMACA 软件启动位的自动清除选择位)

当通过给 SWREQ 位写“1”开始 DMA 传送请求的传送时，此位设定是否将 SWREQ 位置“0”。当 CLRS 位为“0”时，一旦开始传送，SWREQ 位就变为“0”；当 CLRS 位为“1”时，SWREQ 位不变为“0”。此时，能在传送结束后再次产生 DMA 传送请求。

14.2.11 DMA 状态寄存器 (DMSTS)

地址 DMAC0.DMSTS 0008 201Eh、DMAC1.DMSTS 0008 205Eh
DMAC2.DMSTS 0008 209Eh、DMAC3.DMSTS 0008 20DEh



位	符号	位名	功能	R/W
b0	ESIF	传送退出中断标志	0: 未发生传送退出中断 1: 发生传送退出中断	R/W (注1)
b3-b1	—	保留位	读取值为“0”，写操作无效。	R
b4	DTIF	传送结束中断标志	0: 无传送结束中断 1: 有传送结束中断	R/W (注1)
b6-b5	—	保留位	读取值为“0”，写操作无效。	R
b7	ACT	DMACA 激活标志	0: DMACA 停止 1: DMACA 正在运行	R

注1. 只能写“0”。

DMSTS 寄存器是表示 DMACA 状态的寄存器。

ESIF 标志 (传送退出中断标志)

这是表示发生了传送退出中断的标志。

[为“1”的条件]

- DMINT.RPTIE位被置“1”并且在重复传送模式中1个重复大小的传送结束后
- DMINT.RPTIE位被置“1”并且在块传送模式中1块数据传送结束后
- 在DMINT.SARIE位被置“1”而DMAMD.SARA[4:0]位被置的值不是“00000b” (将传送源地址指定为扩展重复区域) 的情况下传送源地址的扩展重复区域发生上溢时
- 在DMINT.DARIE位被置“1”而DMAMD.DARA[4:0]位被置的值不是“00000b” (将传送目标地址指定为扩展重复区域) 的情况下传送目标地址的扩展重复区域发生上溢时

[为“0”的条件]

- 写“0”时
- 给DMCNT.DTE位写“1”时

DTIF 标志 (传送结束中断标志)

这是表示发生了传送结束中断的标志。

[为“1”的条件]

- 在正常传送模式中指定次数的传送结束时 (DMCRAL 寄存器变为“0”并且传送结束时)
- 在重复传送模式中指定重复次数的传送结束时 (DMCRB 寄存器变为“0”并且传送结束时)
- 在块传送模式中指定块数的传送结束时 (DMCRB 寄存器变为“0”并且传送结束时)

[为“0”的条件]

- 写“0”时
- 给DMCNT.DTE位写“1”时

ACT 标志 (DMACA 激活标志)

这是表示 DMACA 正在运行或者停止的标志。

[为“1”的条件]

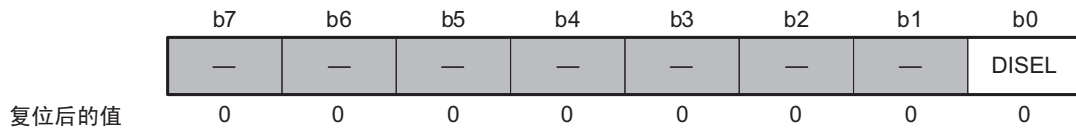
- DMACA 开始传送时

[为“0”的条件]

- 1次传送请求的传送全部结束时

14.2.12 DMA 启动源标志的控制寄存器 (DMCSL)

地址 DMAC0.DMCSL 0008 201Fh、DMAC1.DMCSL 0008 205Fh
DMAC2.DMCSL 0008 209Fh、DMAC3.DMCSL 0008 20DFh



位	符号	位名	功能	R/W
b0	DISEL	中断选择位	0: 在传送结束时, 将启动源的中断标志置“0”。 1: 在传送结束时, 通过启动源的中断标志向 CPU 请求中断。	R/W
b7-b1	—	保留位	读写值都为“0”。	R/W

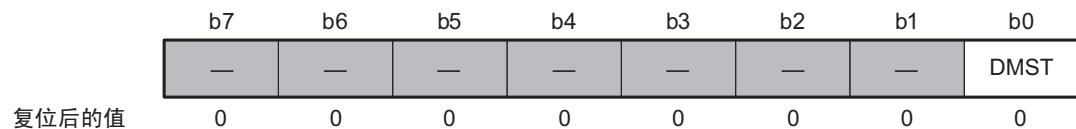
DMCSL 寄存器控制 DMACA 启动源的中断控制器 (ICU) 的中断标志。

DISEL 位 (中断选择位)

在 DMACA 传送结束时, 此位选择是将启动源的中断标志置“0”还是通过中断标志向 CPU 请求中断。在将 DMTMD.DCTG[1:0] 位置“00b” (通过软件启动) 时, DISEL 位的设定值无效。

14.2.13 DMACA 模块启动寄存器 (DMAST)

地址 0008 2200h



位	符号	位名	功能	R/W
b0	DMST	DMACA 运行允许位	0: 禁止启动 DMACA 1: 允许启动 DMACA	R/W
b7-b1	—	保留位	读写值都为“0”。	R/W

DMAST 寄存器是允许或者禁止启动 DMACA 全部通道的寄存器。

DMST 位 (DMACA 运行允许位)

当 DMST 位为“1”时, 允许启动 DMACA 的全部通道。在进行 DMA 传送时, 必须将 DMST 位置“1”并且将各通道的 DMCNT.DTE 位置“1”。

[为“1”的条件]

- 写“1”时

[为“0”的条件]

- 写“0”时

14.3 运行说明

14.3.1 传送模式

(1) 正常传送模式

在正常传送模式中，1 次传送请求进行 1 个数据的传送。能通过设定 DMCRAL 寄存器，设定最多 65535 次的数据传送次数。如果将 DMCRAL 寄存器设定为“0000h”，就不需要指定传送次数，并且在传送计数器停止计数后进行数据传送（自由运行模式）。在正常传送模式中，DMCRB 寄存器的设定无效。除自由运行模式以外，能在指定传送次数的传送结束后产生传送结束中断请求。

正常传送模式的寄存器更新值以及正常传送模式的运行分别如表 14.4 和图 14.2 所示。

表 14.4 正常传送模式的寄存器更新值

寄存器	功能	1 次传送请求的传送结束后的更新值
DMSAR	传送源地址	递增 / 递减 / 固定 / 偏移量增加 (注 1)
DMDAR	传送目标地址	递增 / 递减 / 固定 / 偏移量增加 (注 1)
DMCRAL	传送计数	减 1 或者不更新 (自由运行模式)
DMCRAH	—	不更新 (不用于正常传送模式)
DMCRB	—	不更新 (不用于正常传送模式)

注 1. 只有 DMAC0 能指定偏移量增加。

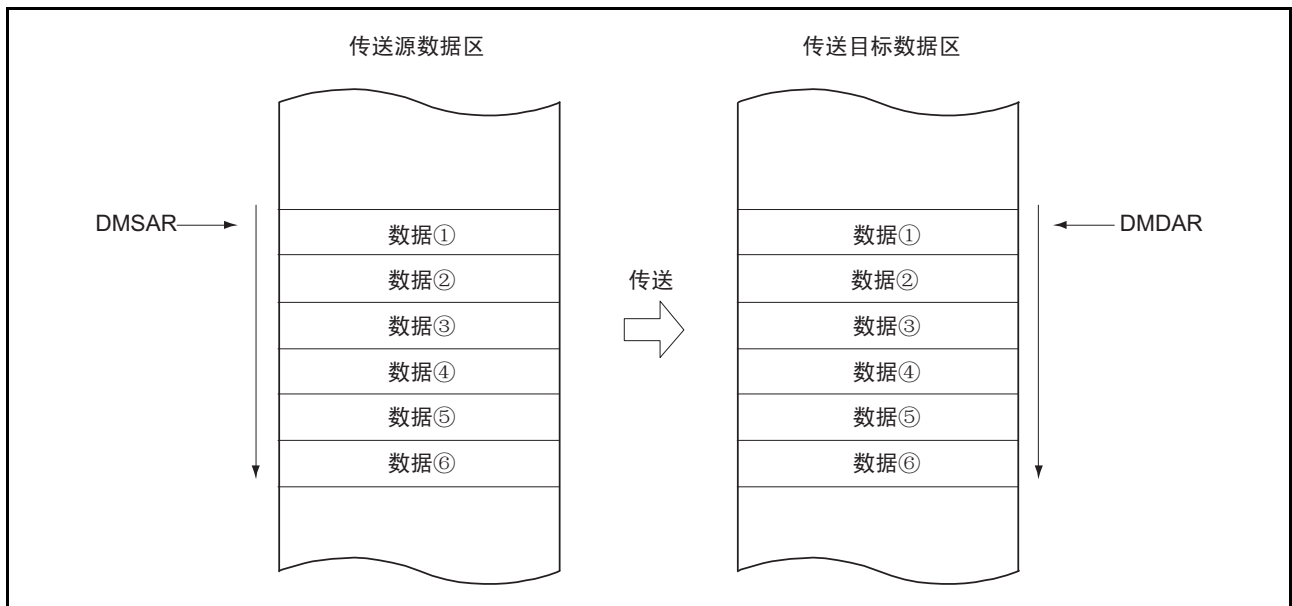


图 14.2 正常传送模式的运行

(2) 重复传送模式

在重复传送模式中，1 次传送请求进行 1 个数据的传送。能通过 DMCRA 寄存器设定最多 1K 数据的重复大小，还能通过 DMCRB 寄存器设定最多 1K 次的指定重复次数，指定最多 1K 数据 × 1K 重复次数 = 1M 数据的总数据传送量。能将传送源或者传送目标指定为重复区域。一旦重复大小的数据传送结束，被指定为重复区域的地址寄存器 (DMSAR 或者 DMDAR) 就返回到初始地址。在重复传送模式中，能在重复大小的数据传送结束后停止 DMA 传送并且产生重复大小结束中断请求。

能在指定重复次数的传送结束后产生传送结束中断请求。

重复传送模式的寄存器更新值以及重复传送模式的运行分别如表 14.5 和图 14.3 所示。

表 14.5 重复传送模式的寄存器更新值

寄存器	功能	1 次传送请求的传送结束后的更新值	
		DMCRAL 寄存器不为“1”	DMCRAL 寄存器为“1” (重复大小的最后数据的传送)
DMSAR	传送源地址	递增 / 递减 / 固定 / 偏移量增加 (注 1)	<ul style="list-style-type: none"> DMTMD.DTS[1:0]=00b 递增 / 递减 / 固定 / 偏移量增加 (注 1) DMTMD.DTS[1:0]=01b DMSAR 的初始值 DMTMD.DTS[1:0]=10b 递增 / 递减 / 固定 / 偏移量增加 (注 1)
DMDAR	传送目标地址	递增 / 递减 / 固定 / 偏移量增加 (注 1)	<ul style="list-style-type: none"> DMTMD.DTS[1:0]=00b DMDAR 的初始值 DMTMD.DTS[1:0]=01b 递增 / 递减 / 固定 / 偏移量增加 (注 1) DMTMD.DTS[1:0]=10b 递增 / 递减 / 固定 / 偏移量增加 (注 1)
DMCRAH	重复大小	保持	保持
DMCRAL	传送计数	减 1	DMCRAH
DMCRB	重复次数计数	保持	减 1

注 1. 只有 DMAC0 能指定偏移量增加。

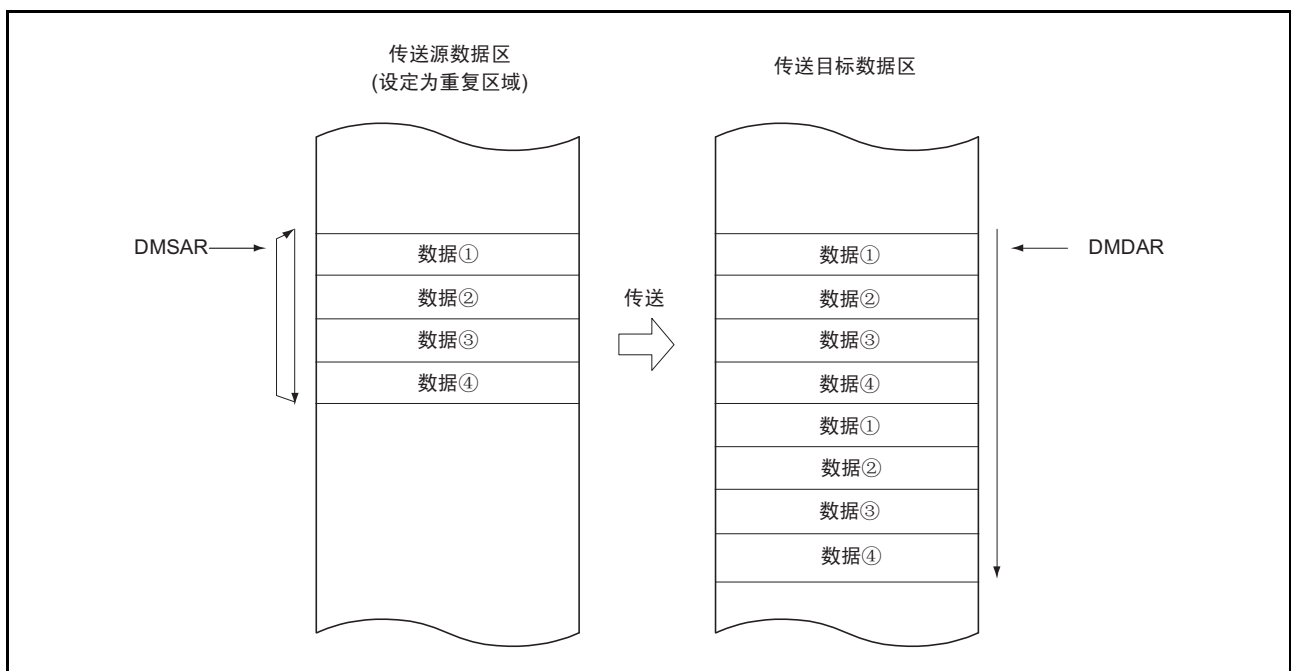


图 14.3 重复传送模式的运行

(3) 块传送模式

在块传送模式中，1 次传送请求进行 1 块数据的传送。能通过 DMCRA 寄存器设定最多 1023 个数据的块大小，还能通过 DMCRB 寄存器设定最多 1K 次的指定块次数，指定最多 1023 个数据 × 1K 块 = 1023K 数据的总数据传送量。能将传送源或者传送目标指定为块区域。一旦 1 块数据传送结束，被指定为块区域的地址寄存器 (DMSAR 或者 DMDAR) 就返回到初始地址。在块传送模式中，能在 1 块数据传送结束后停止 DMA 传送并且产生重复大小结束中断请求。

能在指定块次数的传送结束后产生传送结束中断请求。

块传送模式的寄存器更新值以及块传送模式的运行分别如表 14.6 和图 14.4 所示。

表 14.6 块传送模式的寄存器更新值

寄存器	功能	1 次传送请求的 1 块传送结束后的更新值
DMSAR	传送源地址	<ul style="list-style-type: none"> DMTMD.DTS[1:0]=00b 递增 / 递减 / 固定 / 偏移量增加 (注 1) DMTMD.DTS[1:0]=01b DMSAR 的初始值 DMTMD.DTS[1:0]=10b 递增 / 递减 / 固定 / 偏移量增加 (注 1)
DMDAR	传送目标地址	<ul style="list-style-type: none"> DMTMD.DTS[1:0]=00b DMDAR 的初始值 DMTMD.DTS[1:0]=01b 递增 / 递减 / 固定 / 偏移量增加 (注 1) DMTMD.DTS[1:0]=10b 递增 / 递减 / 固定 / 偏移量增加 (注 1)
DMCRAH	块大小	保持
DMCRAL	传送计数	DMCRAH
DMCRB	块计数	减 1

注 1. 只有 DMAC0 能指定偏移量增加。

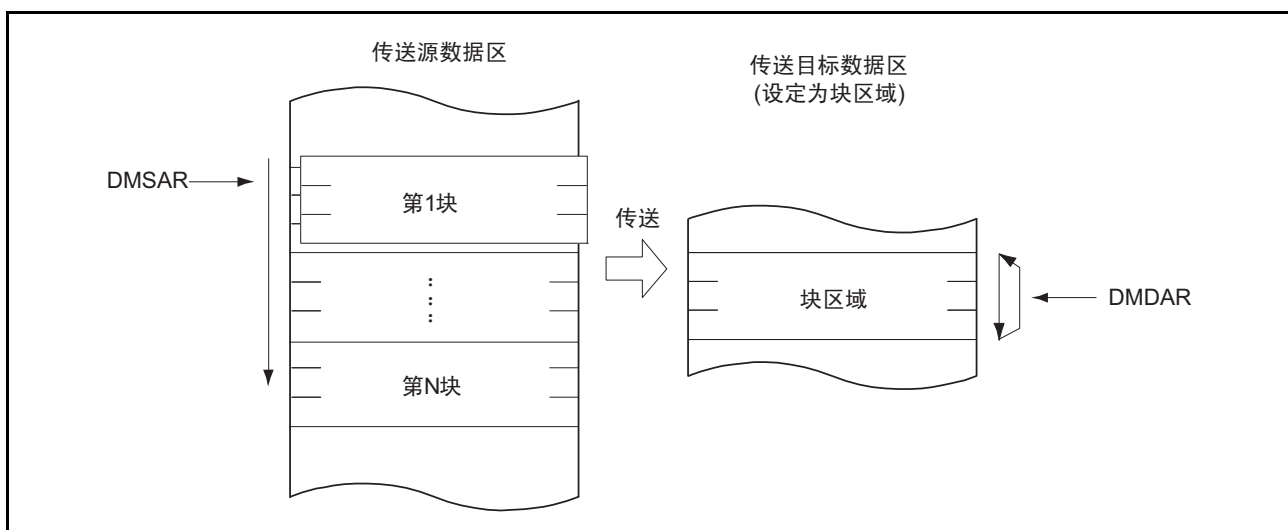


图 14.4 块传送模式的运行

14.3.2 扩展重复区域功能

DMACA 具有给传送源地址或者传送目标地址设定扩展重复区域的功能。如果设定扩展重复区域，地址寄存器就重复被指定为扩展重复区域范围的地址值。

能给 DMSAR 寄存器（传送源地址寄存器）和 DMDAR 寄存器（传送目标地址寄存器）独立设定扩展重复区域功能。

通过 DMAMD.SARA[4:0] 位设定传送源地址的扩展重复区域，通过 DMAMD.DARA[4:0] 位设定传送目标地址的扩展重复区域。能独立设定各扩展重复区域的大小，但是不能将被指定为重复区域或者块区域（传送源或者传送目标）的区域指定为扩展重复区域。

如果地址寄存器的值为扩展重复区域的结束地址并且扩展重复区域发生上溢，就暂停 DMA 传送，并且能对 CPU 产生扩展重复区域上溢中断请求。如果将 DMINT.SARIE 位置“1”，就在传送源地址的扩展重复区域发生上溢时，通过将 DMSTS.ESIF 标志置“1”并且将 DMCNT.DTE 位置“0”来结束 DMA 传送。此时，如果 DMINT.ESIE 位为“1”，就对 CPU 或者 DTC 产生扩展重复区域上溢中断请求。

如果将 DMINT.DARIE 位置“1”，就以传送目标地址寄存器为对象。

扩展重复区域功能的例子如图 14.5 所示。

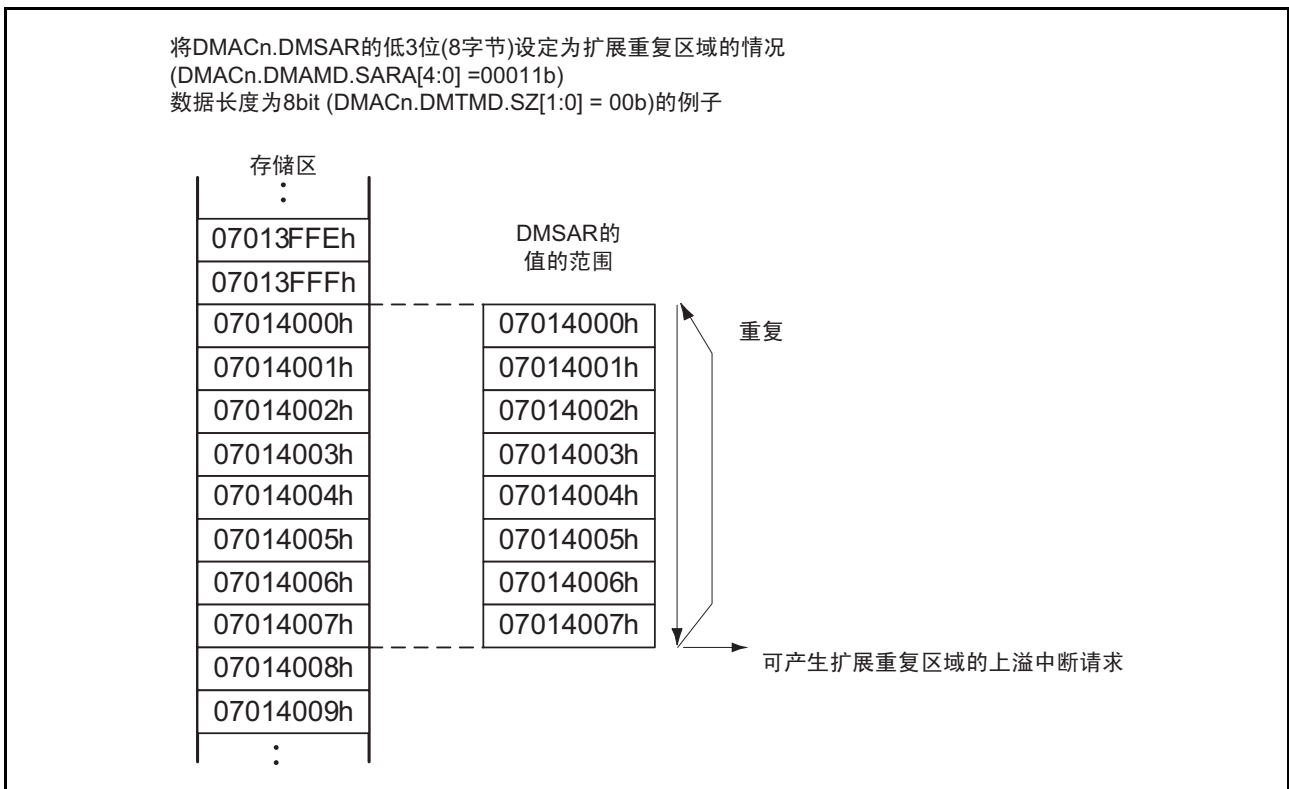


图 14.5 扩展重复区域功能的例子

在块传送模式和扩展重复区域上溢中断并用时，需要注意以下事项。

如果要在扩展重复区域发生上溢时结束传送，就需要将块大小设定为 2 的乘方，或者设定地址寄存器的值，使块大小的边界和扩展重复区域范围的边界相同。如果在传送 1 块数据的过程中扩展重复区域发生上溢，就将扩展重复区域上溢中断请求保留到 1 块数据传送结束，传送发生溢出。

块传送模式和扩展重复区域功能的并用例子如图 14.6 所示。

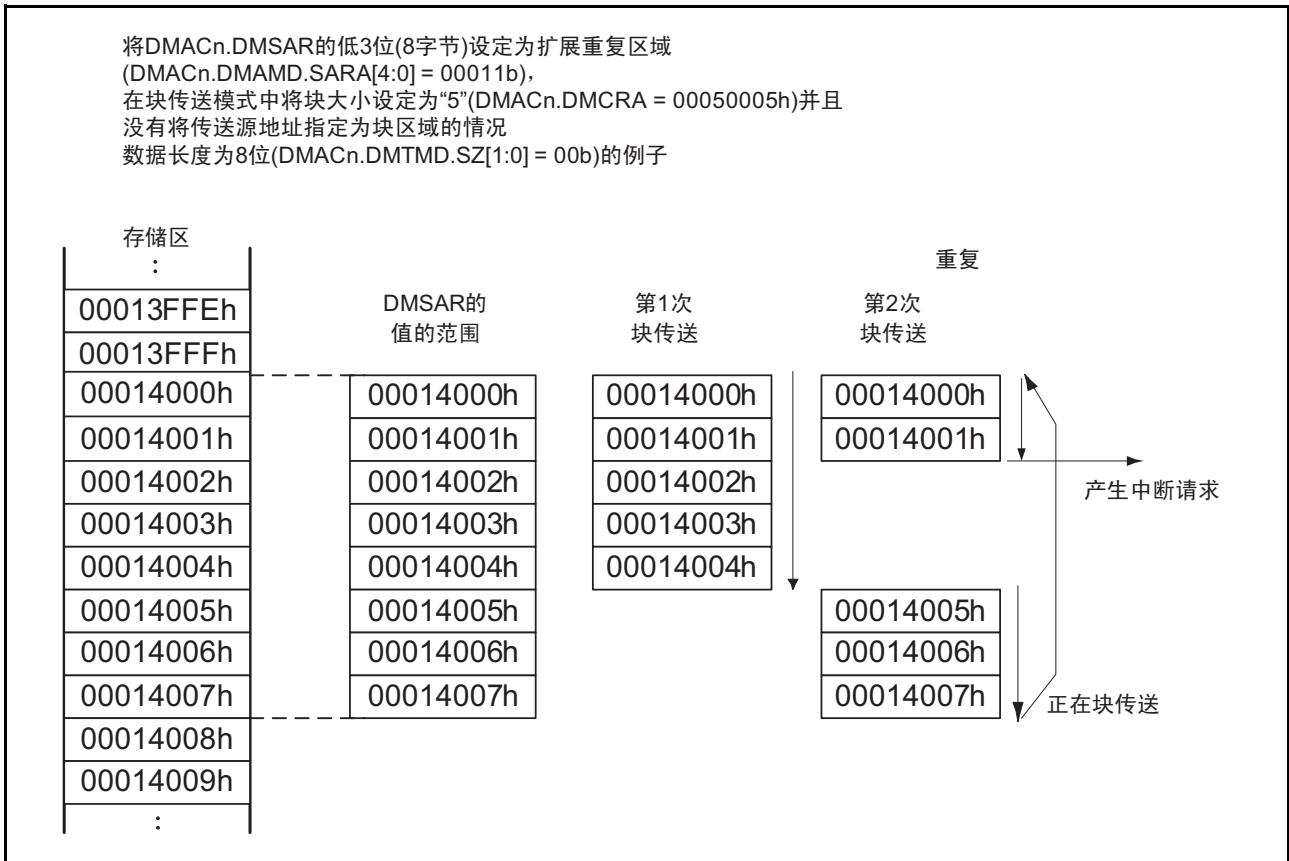


图 14.6 块传送模式和扩展重复区域功能的并用例子

14.3.3 带偏移的地址更新功能

传送源地址和传送目标地址的更新方法有固定、递增、递减和偏移量增加。偏移量增加是指在每进行 1 个数据的传送时加上 DMA 偏移寄存器 (DMAC0.DMOFR) 的设定值。通过此功能, 能跳过中途地址进行数据传送。如果用 2 的补数给 DMAC0.DMOFR 设定负值, 也能通过偏移实现减法运算。

只有通道 DMAC0 才能使用带偏移的地址更新功能。

各地址更新模式的地址更新方法如表 14.7 所示。

表 14.7 各地址更新模式的地址更新方法

地址更新模式	DMAMD.SM[1:0] DMAMD.DM[1:0] 地址更新模式的设定值	更新方法 (各 DMTMD.SZ[1:0] 设定值的更新方法)		
		SZ[1:0]=00b	SZ[1:0]=01b	SZ[1:0]=10b
地址固定	00b	固定		
偏移量增加	01b	+DMAC0.DMOFR (注 1)		
递增	10b	+1	+2	+4
递减	11b	-1	-2	-4

注 1. 必须用 2 的补数给偏移寄存器设定负值。用以下表达式求 2 的补数:
负偏移值的 2 的补数表示 = \sim (偏移值) + 1 (\sim : 位取反)

(1) 使用偏移量增加的基本传送

带偏移的地址更新功能的运行例子如图 14.7 所示。

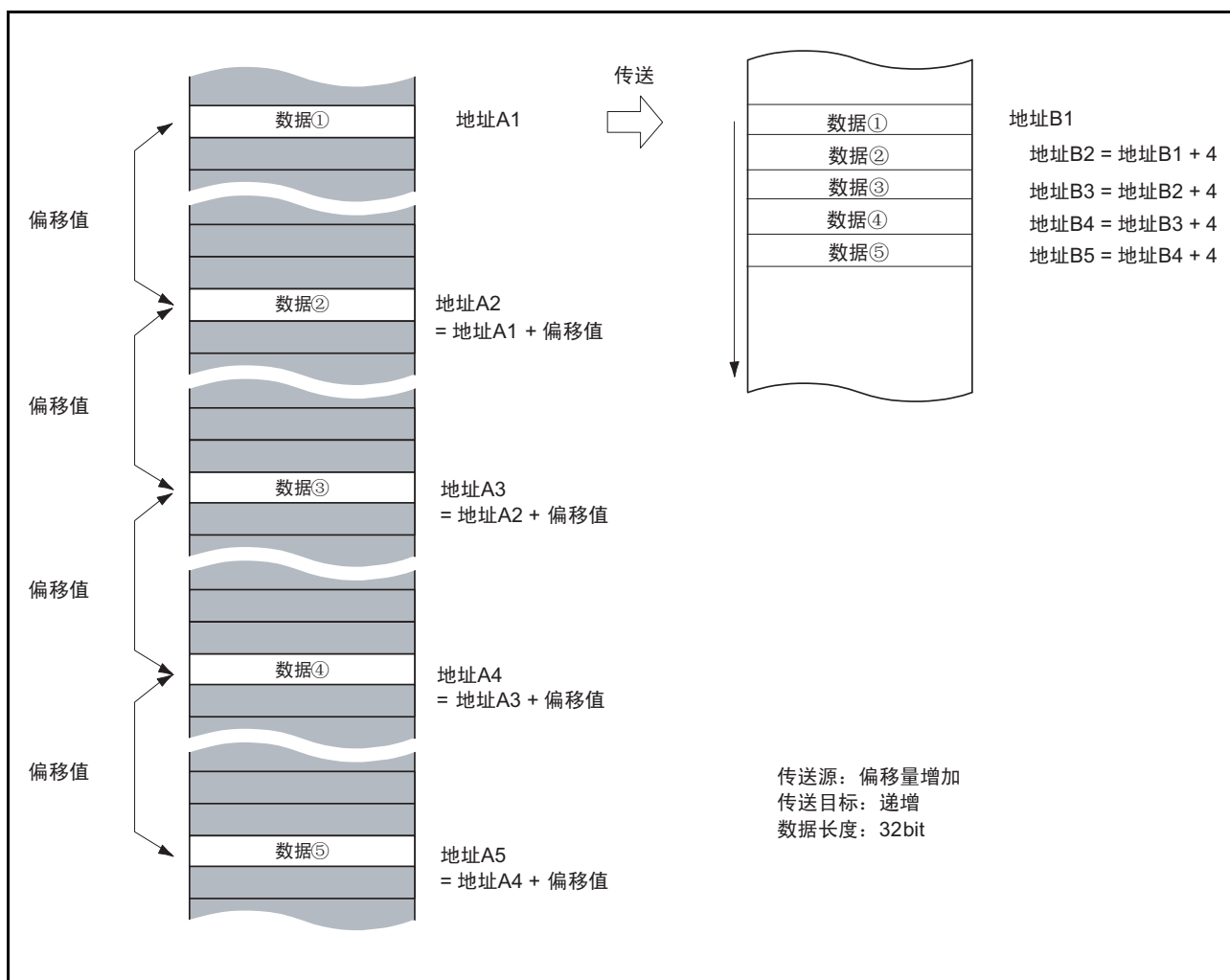


图 14.7 带偏移的地址更新功能的运行例子

在图 14.7 中，将传送数据长度设定为“32 位”，传送源地址的更新模式设定为“偏移量增加”，传送目标地址的更新模式设定为“递增”。在进行第 2 次以后的传送源地址更新时，从上次传送时的地址加上偏移值后的地址读数据，然后将一定间隔的读数据写到传送目标的连续区域。

(2) 使用偏移量增加的 XY 转换例子

使用重复传送模式和偏移量增加进行 XY 转换时的运行例子如图 14.8 所示。

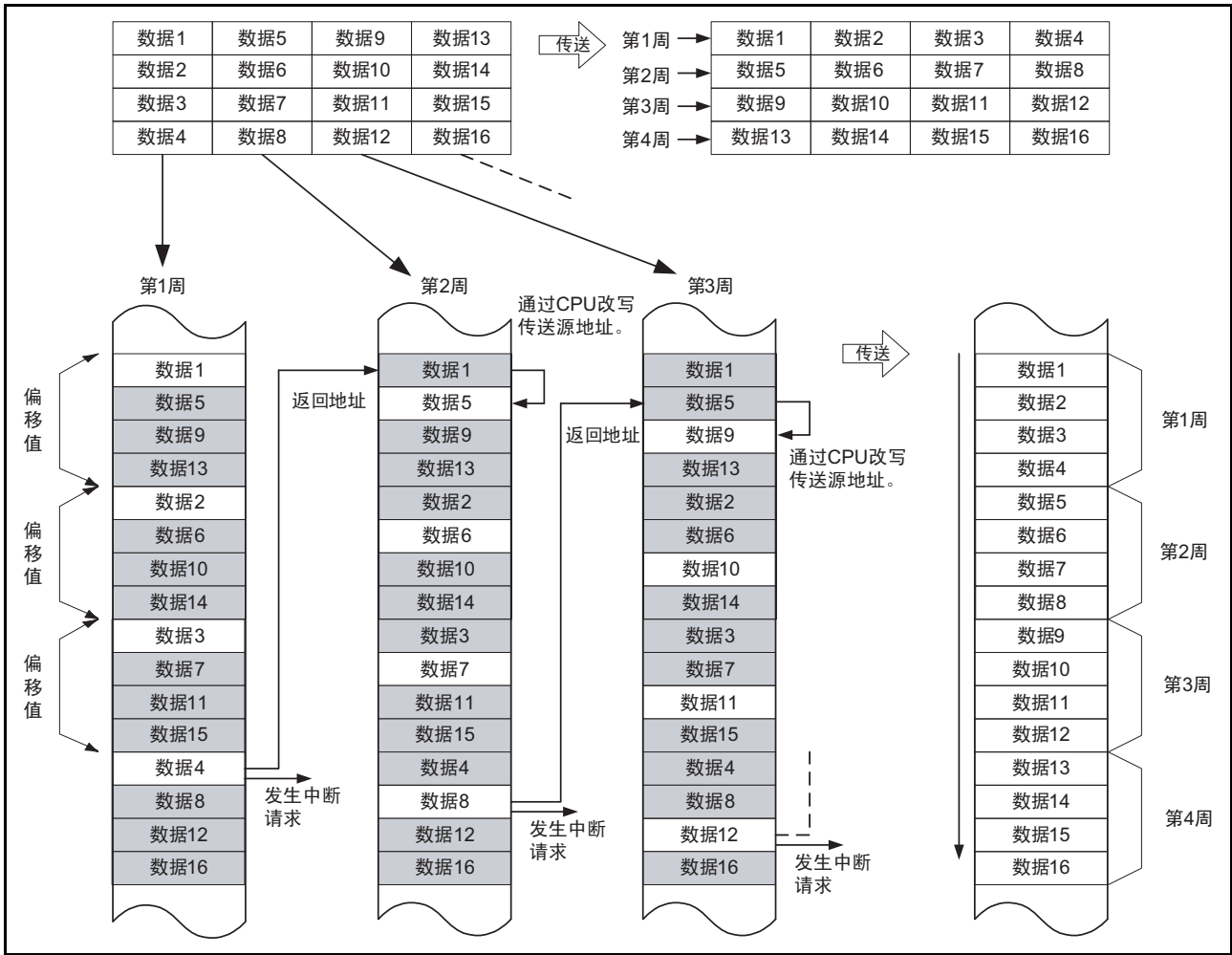


图 14.8 使用重复传送模式和偏移量增加进行 XY 转换时的运行例子

在图 14.8 中，通过 DMAC0.DMAMD 寄存器将传送源地址设定为重复区域并且设定为“偏移量增加”。偏移值是相当于 4× 传送数据长度的地址（例如，如果传送数据长度为 32 位，就给 DMAC0.DMOFR 寄存器指定“00000010h”），重复大小为 4× 传送数据长度（例如，传送数据长度为 32 位，就将 4×4=16 字节指定为重复大小）。传送目标设定为“递增”。如果将 DMAC0.DMINT.RPTIE 位置“1”并且重复大小的传送结束，就产生重复大小结束中断请求。

一旦传送开始，传送源就将地址加上偏移值后进行数据传送，传送数据按照传送顺序连续排列在传送目标中。如果传送“数据 4”为止的数据，DMACA 就通过传送重复大小的数据，将传送源地址返回到开始传送时的地址（传送源“数据 1”的地址），同时产生重复大小结束中断请求。一旦传送被此中断请求中止，就必须通过 CPU 将 DMAC0.DMSAR 寄存器的值改写为“数据 5”的地址（如果是 32 位传送，就将地址改写为“数据 1”的地址 +4）。如果给 DMAC0.DMCNT.DTE 位写“1”，就通过下次产生的传送请求开始继续 DMA 传送。此后，重复同样的处理，就能在将传送源数据进行 XY 转换后传送到传送目标。

XY 转换的处理流程如图 14.9 所示。

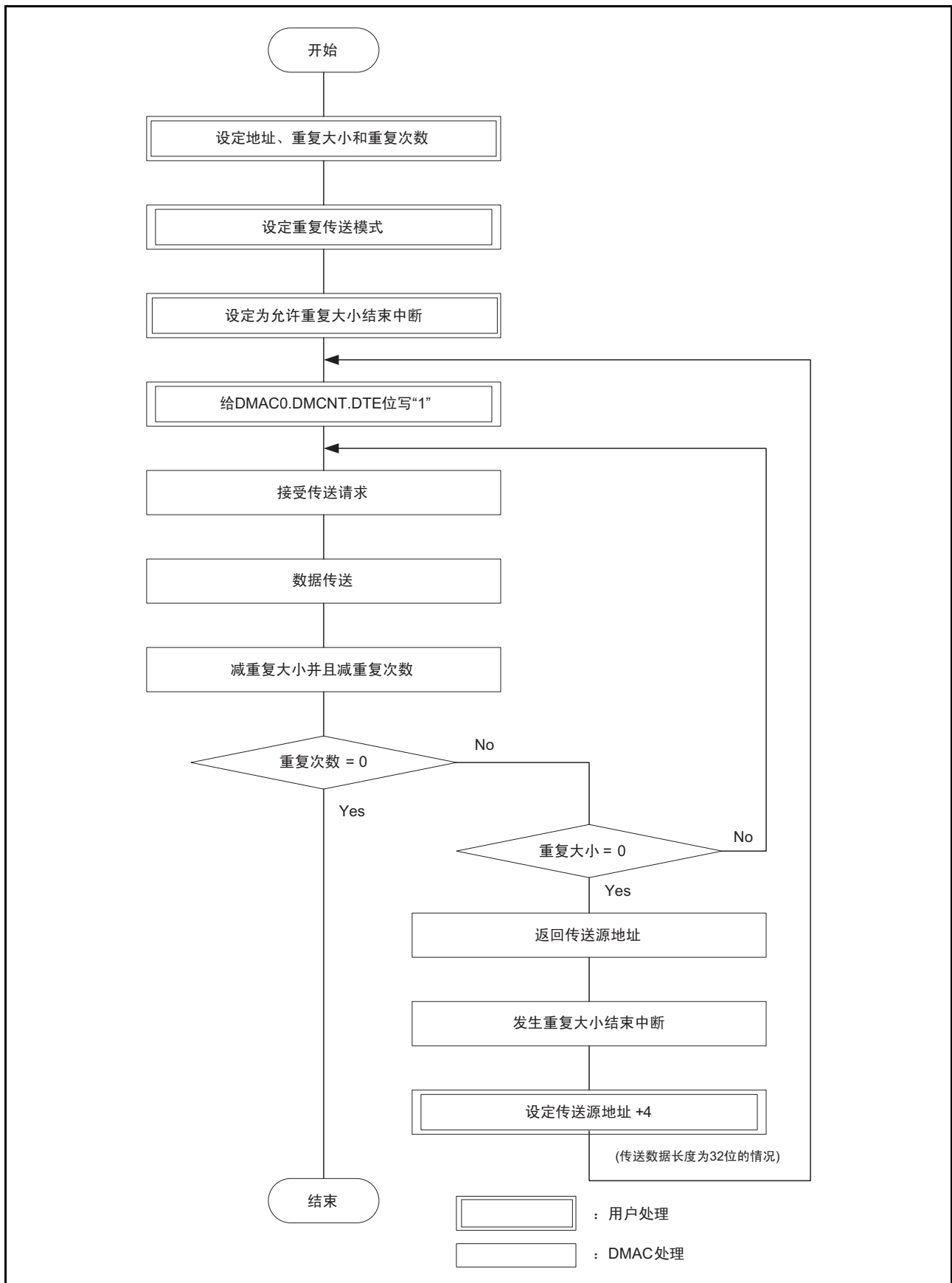


图 14.9 使用重复传送模式和偏移量增加进行 XY 转换的流程

14.3.4 启动源

DMACA 的启动源有软件、外围模块中断请求和外部中断请求，能通过 DMTMD.DCTG[1:0] 位选择这些启动源。

(1) 通过软件启动

如果将 DMTMD.DCTG[1:0] 位置“00b”，就能通过软件启动。

在通过软件启动 DMA 传送前，必须将 DMTMD.DCTG[1:0] 位置“00b”并且将 DMAST.DMST 位置“1”（允许启动 DMACA）。此后，如果给 DMCNT.DTE 位写“1”（允许 DMA 传送）并且将 DMREQ.SWREQ 位置“1”（有 DMA 传送请求），就开始 DMACA 运行。

当 DMREQ.CLRS 位为“0”时，开始 DMA 传送请求的传送并且 DMREQ.SWREQ 位变为“0”；当 DMREQ.CLRS 位为“1”时，DMREQ.SWREQ 位不变为“0”。在该请求的传送结束后再次产生 DMA 传送请求。

(2) 通过外围模块中断请求或者外部中断请求启动

能将外围模块中断请求或者外部中断请求指定为 DMA 传送启动源。能通过中断控制器 (ICU) 的 ICU.DMRSRn 寄存器 (n=0 ~ 3) 选择启动源，各通道能独立设定。能指定为 DMACA 启动源的中断一览表如表 14.8 所示。

当通过外围模块中断请求或者外部中断请求启动 DMACA 时，如果在将 DMTMD.DCTG[1:0] 位置“01b”（外围模块中断和外部中断引脚中断），将 DMAST.DMST 位置“1”（允许启动 DMACA）并且将 DMCNT.DTE 位置“1”（允许 DMA 传送）后产生中断请求，就开始 DMACA 运行。

表 14.8 作为 DMACA 启动源的中断请求一览表 (1 / 2)

DMA 启动源 (外围模块中断请求 / 外部中断请求)	ICU.DMRSRn
CMIO (比较匹配定时器单元 0 的 CMT0 比较匹配中断)	28
CMI1 (比较匹配定时器单元 0 的 CMT1 比较匹配中断)	29
CMI2 (比较匹配定时器单元 1 的 CMT2 比较匹配中断)	30
CMI3 (比较匹配定时器单元 1 的 CMT3 比较匹配中断)	31
D0FIFO0 (USB0 的 D0FIFO 传送请求)	36
D1FIFO0 (USB0 的 D1FIFO 传送请求)	37
D0FIFO1 (USB1 的 D0FIFO 传送请求)	40
D1FIFO1 (USB1 的 D1FIFO 传送请求)	41
SPRIO (RSPI0 接收缓冲器满中断)	45
SPTIO (RSPI0 发送缓冲器空中断)	46
SPRI1 (RSPI1 接收缓冲器满中断)	49
SPT11 (RSPI1 发送缓冲器空中断)	50
IRQ0 (外部引脚中断)	64
IRQ1 (外部引脚中断)	65
IRQ2 (外部引脚中断)	66
IRQ3 (外部引脚中断)	67
ADI0 (A/D 转换器单元 0 的 AD0 中断)	98
ADI1 (A/D 转换器单元 1 的 AD1 中断)	99
S12ADI0 (S12AD 中断)	102
TGIA0 (多功能定时器脉冲单元 0 的 MTU0 输入捕捉 / 比较匹配中断)	114
TGIA1 (多功能定时器脉冲单元 0 的 MTU1 输入捕捉 / 比较匹配中断)	121
TGIA2 (多功能定时器脉冲单元 0 的 MTU2 输入捕捉 / 比较匹配中断)	125

表 14.8 作为 DMACA 启动源的中断请求一览表 (2 / 2)

DMA 启动源 (外围模块中断请求 / 外部中断请求)	ICU.DMRSRn
TGIA3 (多功能定时器脉冲单元 0 的 MTU3 输入捕捉 / 比较匹配中断)	129
TGIA4 (多功能定时器脉冲单元 0 的 MTU4 输入捕捉 / 比较匹配中断)	134
TGIA6 (多功能定时器脉冲单元 1 的 MTU6 输入捕捉 / 比较匹配中断)	142
TGIA7 (多功能定时器脉冲单元 1 的 MTU7 输入捕捉 / 比较匹配中断)	149
TGIA8 (多功能定时器脉冲单元 1 的 MTU8 输入捕捉 / 比较匹配中断)	153
TGIA9 (多功能定时器脉冲单元 1 的 MTU9 输入捕捉 / 比较匹配中断)	157
TGIA10 (多功能定时器脉冲单元 1 的 MTU10 输入捕捉 / 比较匹配中断)	162
RXI0 (串行通信接口 SCI0 的接收数据满中断)	215
TXI0 (串行通信接口 SCI0 的发送数据空中断)	216
RXI1 (串行通信接口 SCI1 的接收数据满中断)	219
TXI1 (串行通信接口 SCI1 的发送数据空中断)	220
RXI2 (串行通信接口 SCI2 的接收数据满中断)	223
TXI2 (串行通信接口 SCI2 的发送数据空中断)	224
RXI3 (串行通信接口 SCI3 的接收数据满中断)	227
TXI3 (串行通信接口 SCI3 的发送数据空中断)	228
RXI5 (串行通信接口 SCI5 的接收数据满中断)	235
TXI5 (串行通信接口 SCI5 的发送数据空中断)	236
RXI6 (串行通信接口 SCI6 的接收数据满中断)	239
TXI6 (串行通信接口 SCI6 的发送数据空中断)	240
ICRXI0 (I ² C 总线接口 RIIC0 的数据接收结束中断)	247
ICTXI0 (I ² C 总线接口 RIIC0 的发送数据空中断)	248
ICRXI1 (I ² C 总线接口 RIIC1 的数据接收结束中断)	251
ICTXI1 (I ² C 总线接口 RIIC1 的发送数据空中断)	252

14.3.5 DMACA 的启动

寄存器的设定步骤如图 14.10 所示。



图 14.10 寄存器的设定步骤

14.3.6 DMA 传送的开始

如果在将 DMCNT.DTE 位置“1”（允许 DMA 传送）后将 DMAST.DMST 位置“1”（DMACA 运行），就能进行通道 n（n=0～3）的 DMA 传送。

在 DTC 传送过程中，不接受其他 DMACA 通道的新启动请求。在先开始的传送结束时接受优先级最高的通道的 DMA 传送请求，开始 DMA 传送。一旦接受 DMA 传送请求并且开始 DMA 传送，DMSTS.ACT 位就变为“1”（DMACA 正在运行）。

14.3.7 DMA 传送过程中的寄存器

通过 DMA 传送处理更新 DMACA 寄存器的值，被更新的值因各种设定和传送状态而不同，被更新的寄存器为 DMSAR、DMDAR、DMCRA、DMCRB、DMCNT 和 DMSTS。

(1) DMA 传送源地址寄存器 (DMSAR)

如果进行 1 次传送请求的数据传送，就通过下次请求将 DMSAR 寄存器更新为要存取的地址。各模式的寄存器更新请参照表 14.4～表 14.6。

(2) DMA 传送目标地址寄存器 (DMDAR)

如果进行 1 次传送请求的数据传送，就在下次请求时将 DMDAR 寄存器更新为要存取的地址。各模式的寄存器更新请参照表 14.4～表 14.6。

(3) DMA 传送计数寄存器 (DMCRA)

如果进行 1 次传送请求的数据传送，就更新计数值。各模式的更新值不同，各模式的寄存器更新请参照表 14.4～表 14.6。

(4) DMA 块传送计数寄存器 (DMCRB)

如果进行 1 次传送请求的数据传送，就更新计数值。各模式的更新值不同，各模式的寄存器更新请参照表 14.4～表 14.6。

(5) DMA 传送允许位 (DMCNT.DTE)

DMCNT.DTE 位通过 CPU 的写操作控制允许或者禁止数据传送。根据 DMA 传送状态，有可能通过 DMACA 自动将 DMCNT.DTE 位置“0”。

通过 DMACA 自动将 DMCNT.DTE 位置“0”的条件如下：

- 设定的总传送数据量的传送结束时
- 产生重复大小结束中断请求并且传送结束时
- 产生扩展重复区域上溢中断请求并且传送结束时
- 给 DMCNT.DTE 位写“0”时
- 复位时

禁止写 DMCNT.DTE 位为“1”的通道的寄存器（DMCNT 寄存器除外），必须在给 DMCNT.DTE 位写“0”后更改各寄存器的设定。

(6) DMA 激活标志 (DMSTS.ACT 位)

此标志表示 DMACAn 停止或者正在运行。当 DMACA 开始传送时，DMSTS.ACT 位为“1”；当结束 1 次传送请求的数据传送时，此标志变为“0”。

即使在 DMA 传送过程中通过给 DMCNT.DTE 位写“0”来停止 DMA 传送，DMSTS.ACT 位也将“1”的状态保持到 DMA 传送结束为止。

(7) 传送结束中断标志 (DMSTS.DTIF 标志)

当通过 DMA 传送结束总传送长度的传送时，DMSTS.DTIF 标志变为“1”。

当 DMSTS.DTIF 标志为“1”并且 DMINT.DTIE 位变为“1”时，产生传送结束中断请求。

在 DMA 传送的总线周期结束后 DMSTS.ACT 位变为“0”并且结束传送时，DMSTS.DTIF 标志变为“1”。

如果在中断处理过程中给 DMCNT.DTE 位写“1”，DMSTS.DTIF 标志就自动变为“0”。

(8) 传送退出中断标志 (DMSTS.ESIF)

当产生重复大小结束中断请求或者扩展重复区域上溢中断请求时，DMSTS.ESIF 标志变为“1”。当 DMSTS.ESIF 标志为“1”并且 DMINT.ESIE 位变为“1”时，产生传送退出中断请求。

在作为中断请求产生源的 DMA 传送总线周期结束后 DMSTS.ACT 标志变为“0”并且结束传送时，DMSTS.ESIF 标志变为“1”。

如果在中断处理过程中给 DMCNT.DTE 位写“1”，DMSTS.ESIF 标志就自动变为“0”。

要将 DMACA 的中断请求通知 CPU 或者 DTC 时，需要设定中断控制寄存器，详细内容请参照“11. 中断控制器 (ICUa)”。

14.3.8 通道的优先级

当有多个 DMA 传送请求时，DMACA 判断有 DMA 传送请求的通道的优先级。通道的优先级固定为通道 0 > 通道 1 > 通道 2 > 通道 3。

如果在数据传送过程中产生 DMA 传送请求，就在最后的数据传送结束后进行通道仲裁，开始优先级高的通道的传送。

14.3.9 运行时序

DMACA 的运行时序例子如图 14.11 和图 14.12 所示。

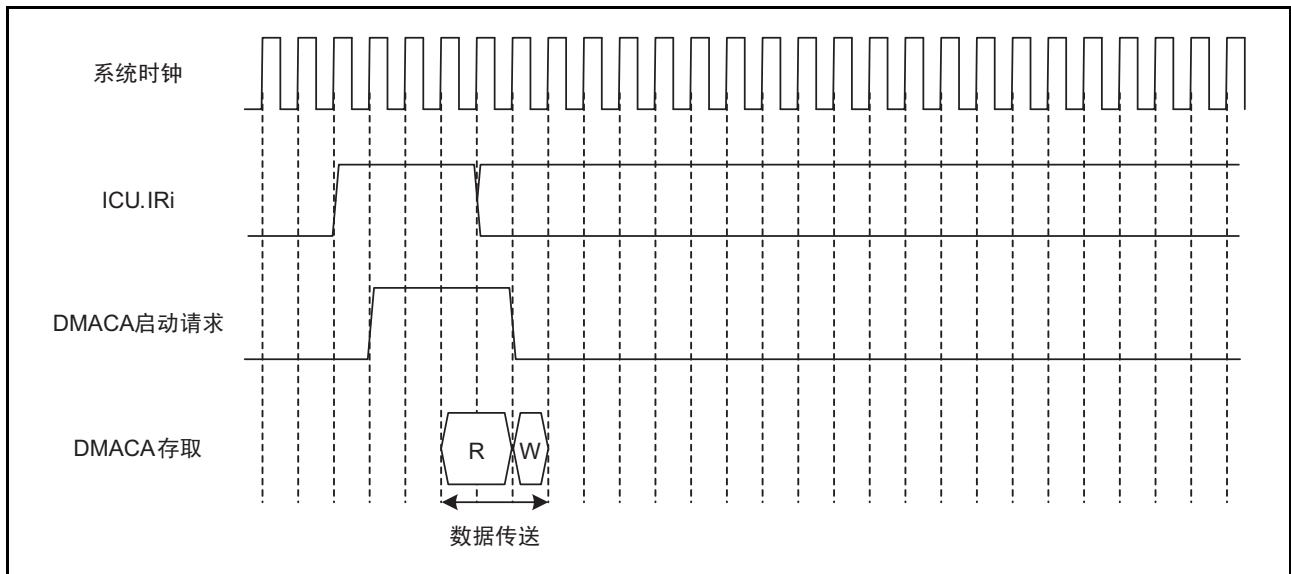


图 14.11 DMACA 的运行时序例子 (1) (在正常传送模式和重复传送模式中, 通过外围模块中断或者外部中断输入引脚中断启动 DMACA 的情况)

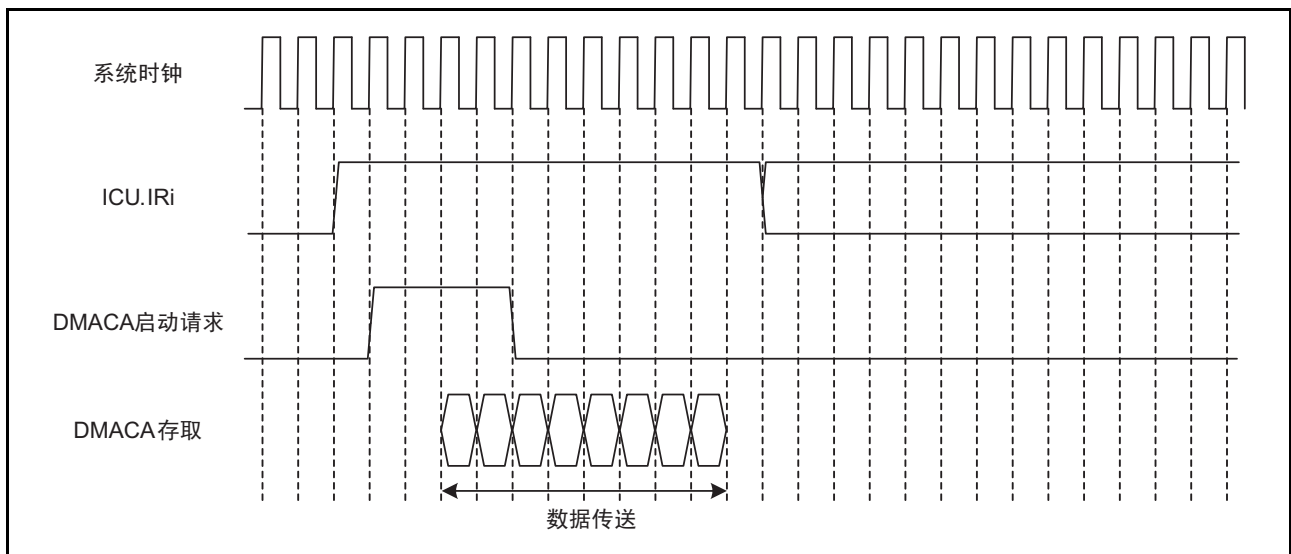


图 14.12 DMACA 的运行时序例子 (2) (在块传送模式中, 块大小为“4”, 通过外围模块中断或者外部中断输入引脚中断启动 DMACA 的情况)

14.3.10 DMACA 的执行周期

DMACA 的 1 次数据传送的执行状态如表 14.9 所示。

表 14.9 DMACA 的执行周期

传送模式	数据传送 (读)	数据传送 (写)
正常	Cr+1	Cw
重复	Cr+1	Cw
块 (注1)	Cr×P	Cw×P

注 1. 块大小大于等于 2 的情况。块大小为 1 时是正常传送的周期数。

【符号说明】

P: 块大小 (DMCRAH 寄存器和 DMCRAL 寄存器的设定值)

Cr: 数据的读目标存取周期

Cw: 数据的写目标存取周期

(Cr 和 Cw 因存取目标而不同。各存取目标的周期数请参照“37. RAM”、“38. ROM (保存代码的闪存)”、“5. I/O 寄存器”和“12.2.5 外部总线”。)

读数据的“+1”的单位是系统时钟 (ICLK)。

运行例子请参照“14.3.9 运行时序”

14.4 DMA 传送的结束

DMA 传送的结束因传送结束条件而不同。一旦 DMA 传送结束, DMCNT.DTE 位和 DMSTS.ACT 标志就从“1”变为“0”, 表示 DMA 传送已经结束。

14.4.1 通过设定的总数据传送结束传送

(1) 正常传送模式 (DMTMD.MD[1:0]=00b)

当 DMCRAL 寄存器的值从“1”变为“0”时, 对应通道的 DMA 传送结束并且 DMCNT.DTE 位变为“0”, 同时 DMSTS.DTIF 标志变为“1”。

此时, 如果 DMINT.DTIE 位为“1”, 就对 CPU 或者 DTC 产生传送结束中断请求。

(2) 重复传送模式 (DMTMD.MD[1:0]=01b)

当 DMCRB 寄存器的值从“1”变为“0”时, 对应通道的 DMA 传送结束并且 DMCNT.DTE 位变为“0”, 同时 DMSTS.DTIF 标志变为“1”。此时, 如果 DMINT.DTIE 位为“1”, 就对 CPU 或者 DTC 产生中断请求。

(3) 块传送模式 (DMTMD.MD[1:0]=10b)

当 DMCRB 寄存器的值从“1”变为“0”时, 对应通道的 DMA 传送结束并且 DMCNT.DTE 位变为“0”, 同时 DMSTS.DTIF 标志变为“1”。此时, 如果 DMINT.DTIE 位为“1”, 就对 CPU 或者 DTC 产生中断请求。

要将 DMACA 的中断请求通知 CPU 或者 DTC 时, 需要设定中断控制寄存器, 详细内容请参照“11. 中断控制器 (ICUa)”。

14.4.2 通过重复大小结束中断结束传送

在重复传送模式中，当 DMINT.RPTIE 位为“1”时，在 1 个重复大小的传送结束后产生重复大小结束中断请求。通过产生中断请求结束 DMA 传送并且 DMCNT.DTE 位变为“0”，同时 DMSTS.ESIF 标志变为“1”。此时，如果 DMINT.ESIE 位为“1”，就对 CPU 或者 DTC 产生中断请求。

即使在块传送模式中，也能产生重复大小结束中断请求。在块传送模式中，在 1 块数据传送结束后同样产生重复大小结束中断请求。

要将 DMACA 的中断请求通知 CPU 或者 DTC 时，需要设定中断控制寄存器，详细内容请参照“11. 中断控制器 (ICUa) ”。

14.4.3 通过扩展重复区域上溢中断结束传送

在指定扩展重复区域并且将 DMINT.SARIE 位或者 DMINT.DARIE 位置“1”时，如果地址的扩展重复区域发生上溢，就产生扩展重复区域上溢中断请求。通过产生中断请求结束 DMA 传送并且 DMCNT.DTE 位变为“0”，同时 DMSTS.ESIF 标志变为“1”。此时，如果 DMINT.ESIE 位为“1”，就对 CPU 或者 DTC 产生中断请求。

即使在读周期中产生扩展重复区域上溢中断请求，也执行后续的写周期处理。

在块传送模式中，即使在 1 块数据传送过程中产生扩展重复区域上溢中断请求，也进行 1 块数据的传送。在块大小的边界，通过扩展重复区域上溢中断结束传送。

要将 DMACA 的断请求通知 CPU 或者 DTC 时，需要设定中断控制寄存器，详细内容请参照“11. 中断控制器 (ICUa) ”。

14.5 中断

DMACA 能将各通道的中断请求输出到 CPU 或者 DTC。中断源、标志和允许位的关系如表 14.10 所示，中断输出的概略逻辑图如图 14.13 所示。

表 14.10 中断源、标志和允许位的关系

中断源		允许位	状态标志	请求输出的允许
传送结束		—	DMSTS.DTIF	DMINT.DTIE
退出传送结束	重复大小结束	DMINT.RPTIE	DMSTS.ESIF	DMINT.ESIE
	传送源地址的扩展重复区域发生上溢	DMINT.SARIE		
	传送目标地址的扩展重复区域发生上溢	DMINT.DARIE		

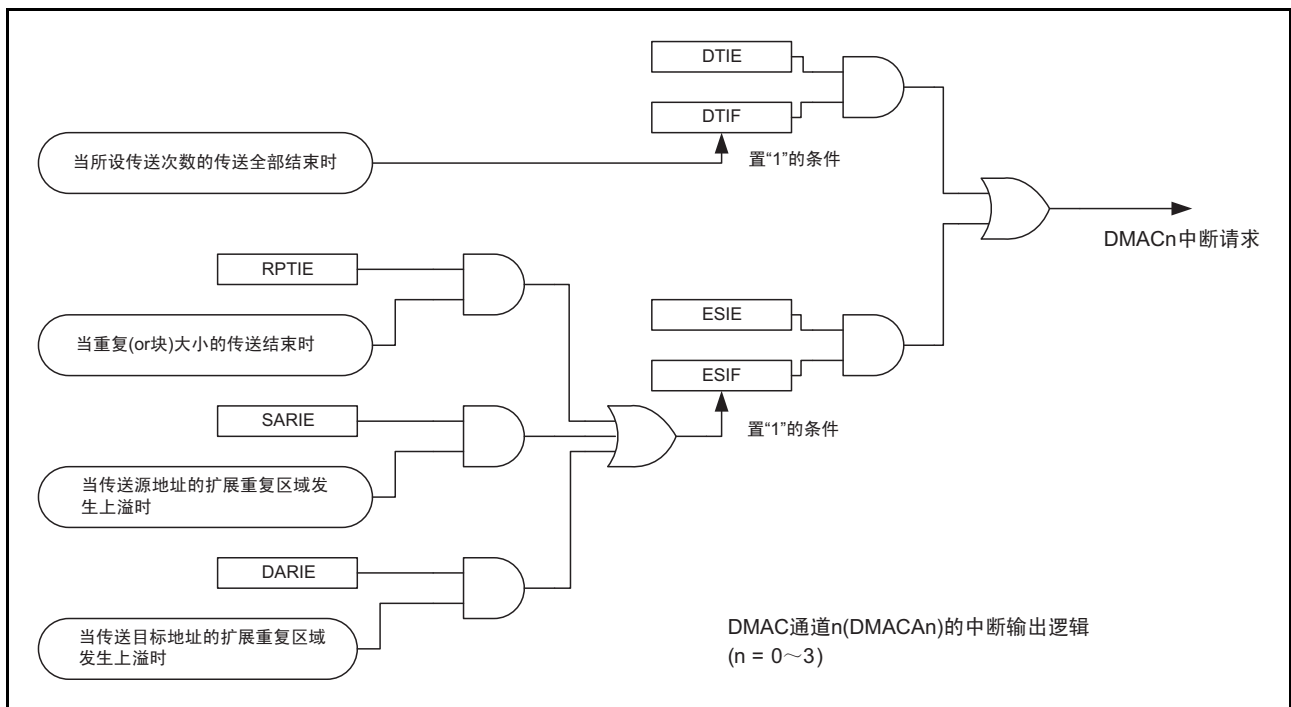


图 14.13 中断输出的概略逻辑图

在结束或者中止 DMA 传送时以及在继续传送时，通过中断处理程序解除中断的方法不同。

(1) 在 DISEL 为“0”时进行传送后通过下次产生的请求继续 DMA 传送的情况

必须预先将 DMACA 启动源的中断优先级设定为小于等于 IPL（处理器中断优先级）。

必须通过 DMAC 中断进行以下的处理：

- 必须给启动源的 ICU.IERm.IENj 位写“0”。在进行此处理前禁止多重中断。
- 必须给 DMCNT.DTE 位写“1”。
- 必须给启动源的 ICU.IERm.IENj 位写“1”。

注. m=02h ~ 1Fh, j=0 ~ 7

(2) 在 DISEL 为“1”时进行传送后通过下次产生的请求继续 DMA 传送的情况

必须通过启动源的中断进行以下的处理：

- 必须确认 DMSTS.DTIF 标志和 DMSTS.ESIF 标志。如果 DMSTS.DTIF 标志和 DMSTS.ESIF 标志为“1”，就必须给启动源的 ICU.IERm.IENj 位写“0”。

必须通过 DMAC 中断进行以下的处理：

- 必须给 DMCNT.DTE 位写“1”。
- 必须给启动源的 ICU.IERm.IENj 位写“1”。

注. m=02h ~ 1Fh, j=0 ~ 7

(3) 通过下次产生的请求进行 CPU 中断处理或者新的传送的情况
(DISEL=0、1 通用)

必须通过 DMAC 的中断进行以下的处理：

- 必须给启动源的 ICU.IERm.IENj 位写“0”。
- 在传送结束中断的情况下，必须给 DMSTS.DTIF 标志写“0”；在传送退出中断的情况下，必须给 DMSTS.ESIF 标志写“0”。
- 在进行新的传送的情况下，必须进行图 14.10 的设定。在结束传送并且发生 CPU 中断时，必须给启动源的 ICU.IERm.IENj 位写“1”。

注. m=02h ~ 1Fh, j=0 ~ 7

14.6 低功耗功能

在使用 DMACA 的模块停止功能以及向全模块时钟停止模式、软件待机模式或者深度软件待机模式转移时，必须在将 DMACA 启动源的 ICU.IERm.IENj 位置“0”（注 1）后将 DMAST.DMST 位和 DMCNT.DTE 位置“0”，然后分别进行以下的处理。

注 1. 如果发生作为低功耗模式返回源的 CPU 中断，就必须给 ICU.IERm.IENj 位写“1”，设定方法的详细内容请参照“11.6 从低功耗状态的返回”。

(1) 模块停止功能

通过给 MSTPCRA.MSTPA28 位写“1”（转移到模块停止状态），使 DMACA 的模块停止功能有效。如果在给 MSTPCRA.MSTPA28 位写“1”时正在进行 DMA 传送，就在 DMA 传送结束后转移到模块停止状态。

通过将 MSTPCRA.MSTPA28 位置“0”（解除模块停止状态），解除 DMACA 的模块停止状态。

(2) 全模块时钟停止模式

给 MSTPCRA.ACSE 位写“1”（允许全模块时钟停止模式）并且给包括 MSTPCRA.MSTPA28 位（转移到模块停止状态）在内的 MSTPCRA 寄存器和 MSTPCRB 寄存器的全部位写“1”，然后通过执行 WAIT 指令转移到全模块时钟停止模式。如果在执行 WAIT 指令时正在进行 DMA 传送，就在 DMA 传送结束后转移到全模块时钟停止模式。

在从全模块时钟停止模式返回后，通过给 MSTPCRA.MSTPA28 位写“0”，解除 DMACA 的模块停止状态。

(3) 软件待机模式和深度软件待机模式

给 SBYCR.SSBY 位写“1”（在执行 WAIT 指令后转移到软件待机模式）并且给 DPSBYCR.DPSBY 位写“0”（在执行 WAIT 指令后转移到软件待机模式），然后通过执行 WAIT 指令转移到软件待机模式。如果在执行 WAIT 指令时正在进行 DMA 传送，就在 DMA 传送结束后转移到软件待机模式。

如果在给 DPSBYCR.DPSBY 位写“1”（在执行 WAIT 指令后转移到深度软件待机模式）后执行 WAIT 指令，就转移到深度软件待机模式。

(4) 使用低功耗功能时的注意事项

有关 WAIT 指令和寄存器的设定步骤，请参照“9.7.7 WAIT 指令的执行时序”。

要在从低功耗模式返回后继续启动 DMACA，必须按照“14.3.5 DMACA 的启动”进行设定；在转换为 CPU 中断或者 DTC，必须按照“11.4.3 中断请求目标的选择”进行设定。

14.7 使用时的注意事项

14.7.1 使用外部设备的情况

在进行向外部设备的 DMA 传送过程中，在从开始写最后数据到外部总线存取结束前，DMSTS.ACT 标志有可能变为“0”（DMACA 停止）。

14.7.2 外围模块的 DMA 传送的情况

在进行向外围模块的 DMA 传送过程中，在从开始写最后数据到外围总线存取结束前，DMSTS.ACT 标志有可能变为“0”（DMACA 停止）。

14.7.3 有关 DMACA 运行过程中的寄存器存取

当 DMSTS.ACT 标志为“1”（DMACA 正在运行）或者 DMCNT.DTE 位为“1”（允许 DMA 传送）时，不能存取相同通道的设定寄存器（DMSAR、DMDAR、DMCRA、DMCRB、DMTMD、DMINT、DMAMD、DMOFR、DMCSL）。

14.7.4 有关保留区的 DMA 传送

因为禁止向保留区的 DMA 传送，所以无法保证存取保留区时的传送结果。保留区的详细内容请参照“4. 地址空间”。

14.7.5 因设定 DMACA 启动源标志控制寄存器（DMCSL）而产生的各传送结束中断请求

如果将 DMCSL.DISEL 位置“1”，就能在每结束 1 次 DMA 启动请求的传送时对 CPU 产生中断请求。此时发生的中断不同于 DMACA 输出的传送结束中断和退出结束中断，如果在 DMA 传送结束时不将作为 DMACA 启动源的中断标志置“0”，就通过将中断请求目标转换为 CPU，对 CPU 产生中断请求。

有关中断标志和中断请求目标的变更，请参照“11. 中断控制器（ICUa）”，DMCSL.DISEL 位的设定请参照“14.2.12 DMA 启动源标志的控制寄存器（DMCSL）”。

14.7.6 中断控制器的 DMACA 启动请求寄存器（ICU.DMRSRn）的设定

必须在 DMA 传送允许位（DMCNT.DTE 位）为“0”（禁止 DMA 传送）时设定 DMACA 启动源选择寄存器（ICU.DMRSRn）。不能将和 ICU.DMRSRn 寄存器设定的向量号相同的向量号对应的 DTC 启动允许寄存器（ICU.DTCERn）置“1”。ICU.DTCERn 寄存器和 ICU.DMRSRn 寄存器的详细内容请参照“11. 中断控制器（ICUa）”。

14.7.7 DMACA 启动的保留和重新开始

要保留 DMACA 的启动请求时，必须给启动源的中断允许位（ICU.IERm.IEN 位）写“0”；要重新开始 DMA 传送时，必须在进行“14.3.5 DMACA 的启动”的设定后给 ICU.IERm.IEN 位写“1”。

14.7.8 指定通信功能的中断为 DMA 传送启动源的情况

对于 RX62N 群和 RX621 群，在组合使用通信功能（SCI/RIIC/RSPI/USB）和 DTC/DMAC 功能时有一些注意事项，详细内容请参照“11.7 使用时的注意事项”。

15. EXDMA 控制器 (EXDMAC)

RX62N 群和 RX621 群内置 2 个通道的外部总线传送专用的 DMAC (EXDMAC)。

EXDMAC 不通过 CPU 进行数据传送。如果产生传送请求，EXDMAC 就将传送源地址的数据传送到传送目标地址。

15.1 概要

EXDMAC 的规格和框图分别如表 15.1 和图 15.1 所示。

表 15.1 EXDMAC 的规格

项目		内容
通道数		2 个通道 (EXDMACn (n=0 ~ 1))
传送空间		512M 字节 (00000000h ~ 0FFFFFFFh 和 F0000000h ~ FFFFFFFFh 中除保留区以外的外部区域)
最大传送数据量		1M 数据 (块传送模式的最大总传送量: 1023 个数据 × 1024 块)
DMA 启动源		<ul style="list-style-type: none"> 各通道可选择 3 种启动源。 软件触发 外部 DMA 传送请求引脚 外围模块 (MTU1 的比较匹配) 的 DMA 传送请求
通道优先级		通道 0 > 通道 1 (通道 0 最优先)
传送数据	1 个数据	位长: 8 位、16 位、32 位
	块大小	数据量: 1 ~ 1023 个数据
	群集大小	数据量: 1 ~ 7 个数据
传送模式	正常传送模式	<ul style="list-style-type: none"> 1 次 DMA 传送请求进行 1 个数据的传送。 能不定总数据传送量 (自由运行模式)。
	重复传送模式	<ul style="list-style-type: none"> 1 次 DMA 传送请求进行 1 个数据的传送。 如果传送由传送源或者传送目标设定的重复大小的数据, 就返回到开始传送时的地址。 重复大小最多能设定 1023 个数据。
	块传送模式	<ul style="list-style-type: none"> 1 次 DMA 传送请求进行 1 块数据的传送。 块大小最多能设定 1023 个数据。
	群集传送模式	<ul style="list-style-type: none"> 1 次 DMA 传送请求进行 1 群集数据的传送。 群集大小最多能设定 7 个数据 (28 字节)。
地址模式	单地址模式	<ul style="list-style-type: none"> 通过 EDACKn 信号存取传送源或者传送目标的外围设备, 在指定传送源地址或者传送目标地址后传送数据。 能用于正常传送模式、重复传送模式和块传送模式。
	双地址模式	<ul style="list-style-type: none"> 指定传送源地址和传送目标地址并且传送数据。 能用于正常传送模式、重复传送模式、块传送模式和群集传送模式。
选择功能	扩展重复区域功能	<ul style="list-style-type: none"> 能通过固定传送地址寄存器的高位的值, 重复设定特定范围的地址。 能分别给传送源和传送目标设定 2 字节到 128M 字节的扩展重复区域。
中断请求	传送结束中断	当传送计数器设定的数据量传送结束时, 发生此中断。
	传送退出结束中断	当重复大小的数据传送结束或者扩展重复区域发生上溢时, 发生此中断。

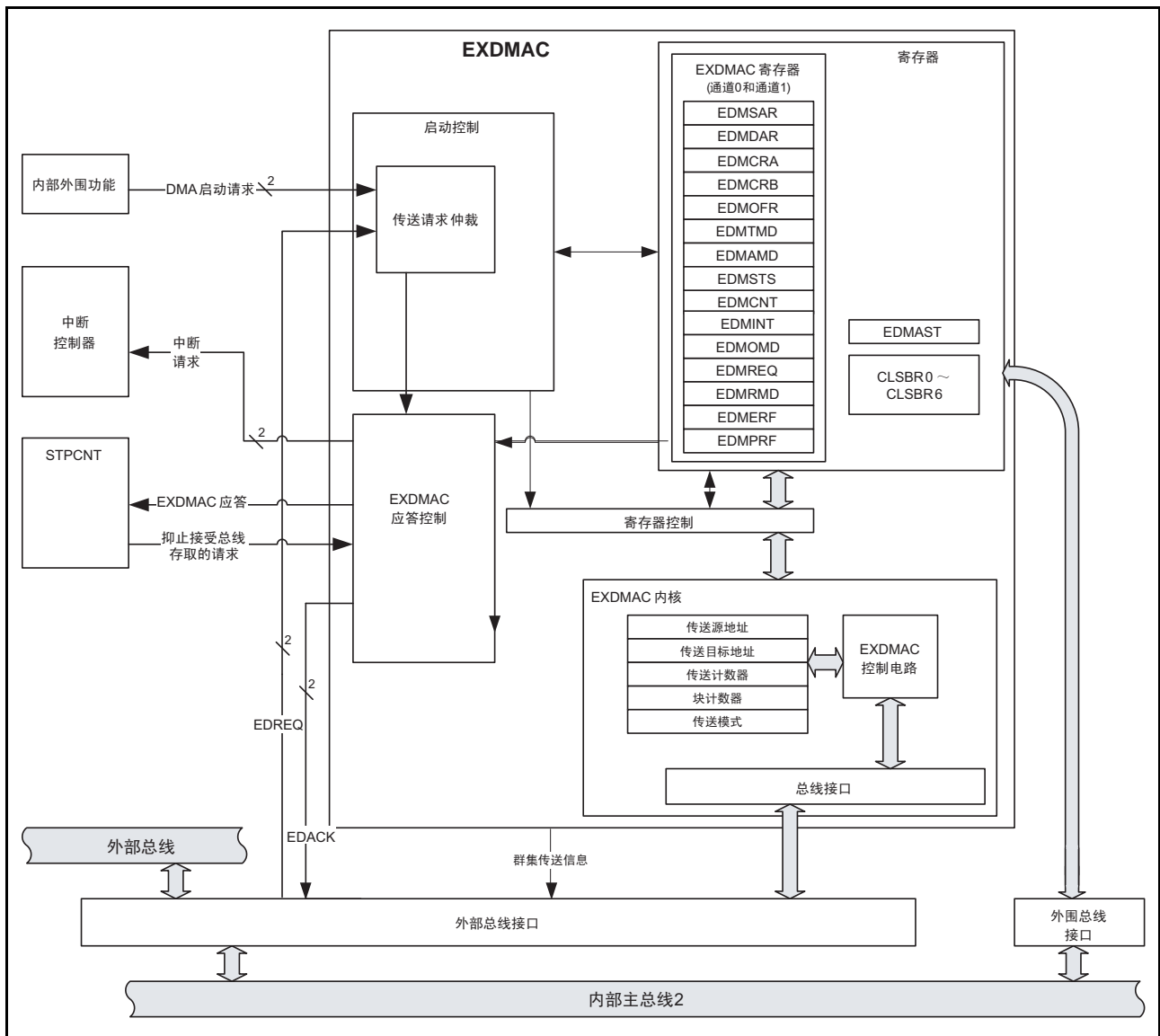


图 15.1 EXDMAC 的框图

EXDMAC 的输入 / 输出引脚如表 15.2 所示。

表 15.2 EXDMAC 的输入 / 输出引脚

通道	引脚	输入 / 输出	功能
EXDMAC0	EDREQ0	输入	EXDMAC0 的外部 DMA 传送请求
	EDACK0	输出	EXDMAC0 的单地址传送应答
EXDMAC1	EDREQ1	输入	EXDMAC1 的外部 DMA 传送请求
	EDACK1	输出	EXDMAC1 的单地址传送应答

15.2 寄存器说明

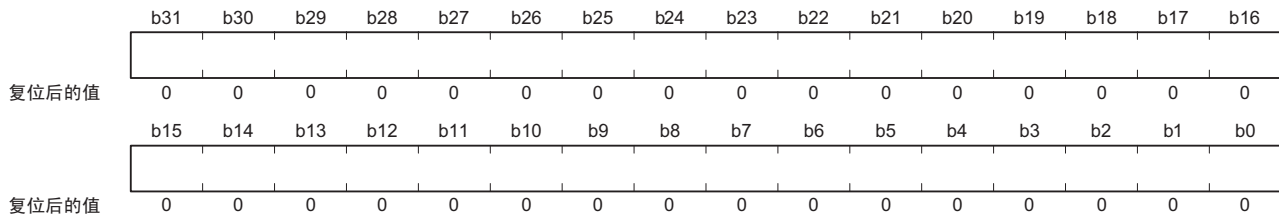
EXDMAC 的寄存器一览表如表 15.3 所示，EXDMAC0 寄存器和 EXDMAC1 寄存器的功能相同。

表 15.3 EXDMAC 的寄存器一览表

通道	寄存器名	符号	复位后的值	地址	存取长度
EXDMAC0	EXDMA 传送源地址寄存器	EDMSAR	0000 0000h	0008 2800h	32
	EXDMA 传送目标地址寄存器	EDMDAR	0000 0000h	0008 2804h	32
	EXDMA 传送计数寄存器	EDMCRA	0000 0000h	0008 2808h	32
	EXDMA 块传送计数寄存器	EDMCRB	0000h	0008 280Ch	16
	EXDMA 传送模式寄存器	EDMTMD	0000h	0008 2810h	16
	EXDMA 输出设定寄存器	EDMOMD	00h	0008 2812h	8
	EXDMA 中断设定寄存器	EDMINT	00h	0008 2813h	8
	EXDMA 地址模式寄存器	EDMAMD	0000 0000h	0008 2814h	32
	EXDMA 偏移寄存器	EDMOFR	0000 0000h	0008 2818h	32
	EXDMA 传送允许寄存器	EDMCNT	00h	0008 281Ch	8
	EXDMA 软件启动寄存器	EDMREQ	00h	0008 281Dh	8
	EXDMA 状态寄存器	EDMSTS	00h	0008 281Eh	8
	EXDMA 外部请求感测模式寄存器	EDMRMD	00h	0008 2820h	8
	EXDMA 外部请求标志寄存器	EDMERF	00h	0008 2821h	8
	EXDMA 外围请求标志寄存器	EDMPRF	00h	0008 2822h	8
EXDMAC1	EXDMA 传送源地址寄存器	EDMSAR	0000 0000h	0008 2840h	32
	EXDMA 传送目标地址寄存器	EDMDAR	0000 0000h	0008 2844h	32
	EXDMA 传送计数寄存器	EDMCRA	0000 0000h	0008 2848h	32
	EXDMA 块传送计数寄存器	EDMCRB	0000h	0008 284Ch	16
	EXDMA 传送模式寄存器	EDMTMD	0000h	0008 2850h	16
	EXDMA 输出设定寄存器	EDMOMD	00h	0008 2852h	8
	EXDMA 中断设定寄存器	EDMINT	00h	0008 2853h	8
	EXDMA 地址模式寄存器	EDMAMD	0000 0000h	0008 2854h	32
	EXDMA 传送允许寄存器	EDMCNT	00h	0008 285Ch	8
	EXDMA 软件启动寄存器	EDMREQ	00h	0008 285Dh	8
	EXDMA 状态寄存器	EDMSTS	00h	0008 285Eh	8
	EXDMA 外部请求感测模式寄存器	EDMRMD	00h	0008 2860h	8
	EXDMA 外部请求标志寄存器	EDMERF	00h	0008 2861h	8
	EXDMA 外围请求标志寄存器	EDMPRF	00h	0008 2862h	8
	EXDMAC	EXDMA 模块启动寄存器	EDMAST	00h	0008 2A00h
群集缓冲寄存器 0		CLSBR0	0000 0000h	0008 2BE0h	32
群集缓冲寄存器 1		CLSBR1	0000 0000h	0008 2BE4h	32
群集缓冲寄存器 2		CLSBR2	0000 0000h	0008 2BE8h	32
群集缓冲寄存器 3		CLSBR3	0000 0000h	0008 2BECh	32
群集缓冲寄存器 4		CLSBR4	0000 0000h	0008 2BF0h	32
群集缓冲寄存器 5		CLSBR5	0000 0000h	0008 2BF4h	32
群集缓冲寄存器 6		CLSBR6	0000 0000h	0008 2BF8h	32

15.2.1 EXDMA 传送源地址寄存器 (EDMSAR)

地址 EXDMAC0.EDMSAR: 0008 2800h、EXDMAC1.EDMSAR: 0008 2840h



位	功能	设定范围	R/W
b31-b0	设定传送源的起始地址。	00000000h ~ 0FFFFFFFh (256M 字节) F0000000h ~ FFFFFFFFh (256M 字节)	R/W

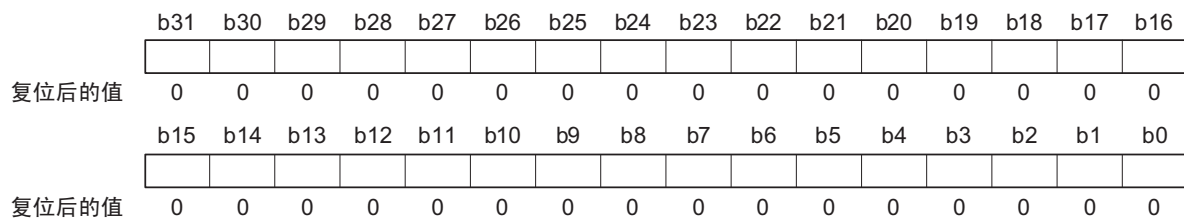
EDMSAR 寄存器是设定传送源起始地址的寄存器。

在设定 EDMSAR 寄存器时，必须在禁止启动 EXDMAC (EDMAST.DMST=0) 或者禁止 DMA 传送 (EDMCNT.DTE=0) 时进行写操作。

bit31 ~ bit29 的设定值无效，将 bit28 的值扩展到 bit31 ~ bit29。如果读 EDMSAR 寄存器，就会读到位扩展后的值。

15.2.2 EXDMA 传送目标地址寄存器 (EDMDAR)

地址 EXDMAC0.EDMDAR: 0008 2804h、EXDMAC1.EDMDAR: 0008 2844h



位	功能	设定范围	R/W
b31-b0	设定传送目标的起始地址。	00000000h ~ 0FFFFFFFh (256M 字节) F0000000h ~ FFFFFFFFh (256M 字节)	R/W

EDMDAR 寄存器是设定传送目标起始地址的寄存器。

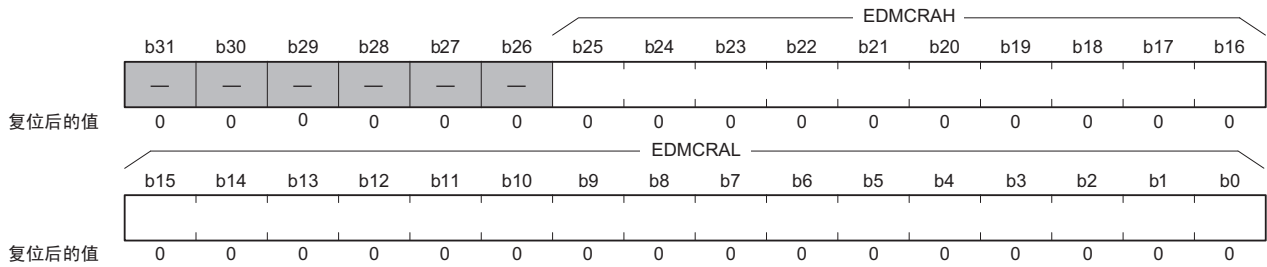
在设定 EDMDAR 寄存器时，必须在禁止启动 EXDMAC (EDMAST.DMST=0) 或者禁止 DMA 传送 (EDMCNT.DTE=0) 时进行写操作。

bit31 ~ bit29 的设定值无效，将 bit28 的值扩展到 bit31 ~ bit29。如果读 EDMDAR 寄存器，就会读到位扩展后的值。

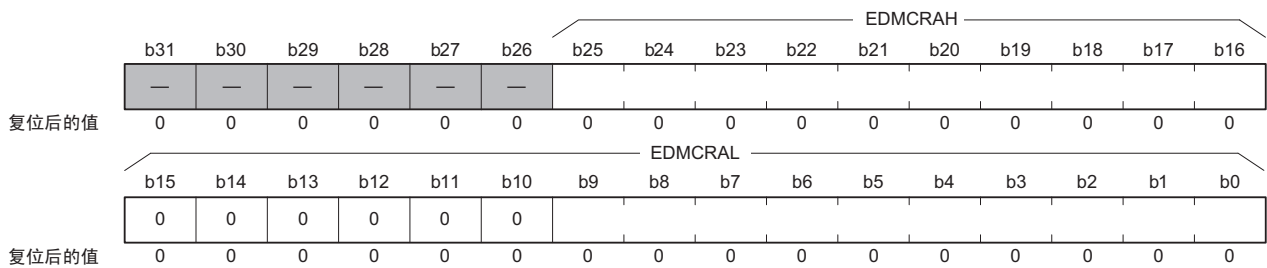
15.2.3 EXDMA 传送计数寄存器 (EDMCRA)

地址 EXDMAC0.EDMCRA: 0008 2808h、EXDMAC1.EDMCRA: 0008 2848h

●正常传送模式

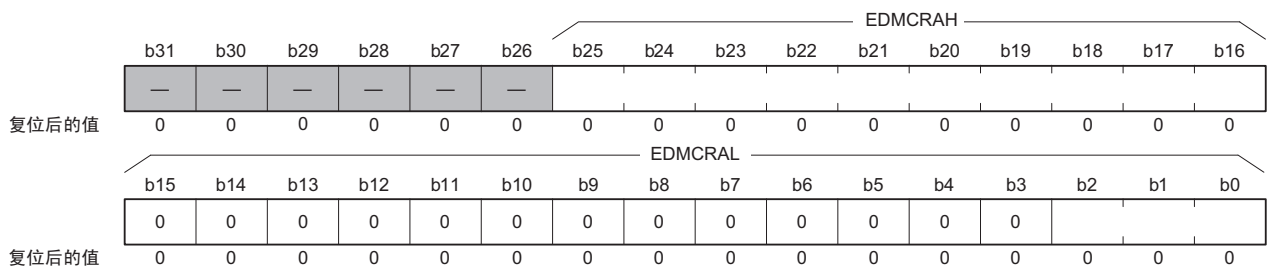


●重复传送模式、块传送模式



注. 功能因传送模式而不同。

●群集传送模式



符号	位名	功能	R/W
EDMCRAL	传送计数的低位	设定传送次数。	R/W
EDMCRAH	传送计数的高位		R/W

注. 在重复传送模式、块传送模式和群集传送模式中, 必须给 EDMCRAH 寄存器和 EDMCRAL 寄存器设定相同的值。

EDMCRA 寄存器指定 DMA 的传送次数, 其功能因传送模式而不同。

(1) 正常传送模式 (EXDMACn.EDMTMD.MD[1:0]=00b)

EDMCRAL 寄存器用作 16 位传送计数器。

当设定值是“0001h”时，传送次数为 1 次；当设定值是“FFFFh”时，传送次数为 65535 次。每进行 1 次数据传送，EDMCRAL 寄存器就减 1。

当设定值是“0000h”时，不指定传送次数，在传送计数器停止计数后进行数据传送（自由运行模式）。在正常传送模式中不使用 EDMCRAH 寄存器，必须给 EDMCRAH 寄存器写“0000h”。

(2) 重复传送模式 (EXDMACn.EDMTMD.MD[1:0]=01b)

EDMCRAH 寄存器保持重复大小，EDMCRAL 寄存器用作 10 位传送计数器。

当设定值是“001h”时，传送次数为 1 次；当设定值是“3FFh”时，传送次数为 1023 次。在重复传送模式中，EDMCRAH 寄存器和 EDMCRAL 寄存器的设定范围都是“001h ~ 3FFh”，不能设定“000h”。

EDMCRAL 寄存器的 bit15 ~ bit10 的设定值无效，必须给 EDMCRAL 寄存器的 bit15 ~ bit10 写“0”。

每进行 1 次数据传送，EDMCRAL 寄存器就减 1。当 EDMCRAL 寄存器变为“000h”时，传送 EDMCRAH 寄存器的值。

(3) 块传送模式 (EXDMACn.EDMTMD.MD[1:0]=10b)

EDMCRAH 寄存器保持块大小，EDMCRAL 寄存器用作 10 位块大小计数器。

当设定值是“001h”时，块大小为 1；当设定值是“3FFh”时，块大小为 1023。在块传送模式中，EDMCRAH 寄存器和 EDMCRAL 寄存器的设定范围都是“001h ~ 3FFh”，不能设定“000h”。

EDMCRAL 寄存器的 bit15 ~ bit10 的设定值无效，必须给 EDMCRAL 寄存器的 bit15 ~ bit10 写“0”。

每进行 1 次数据传送，EDMCRAL 寄存器就减 1。当 EDMCRAL 寄存器变为“000h”时，传送 EDMCRAH 寄存器的值。

如果在块传送过程中从 CPU 读 EDMCRAL 寄存器，读取值就为初始设定值（块大小）。

(4) 群集传送模式 (EXDMACn.EDMTMD.MD[1:0]=11b)

EDMCRAH 寄存器保持群集大小，EDMCRAL 寄存器用作 3 位群集大小计数器。

当设定值是“001h”时，群集大小为 1；当设定值是“007h”时，群集大小为 7。在群集传送模式中，EDMCRAH 寄存器和 EDMCRAL 寄存器的设定范围都是“001h ~ 007h”，不能设定“000h”。

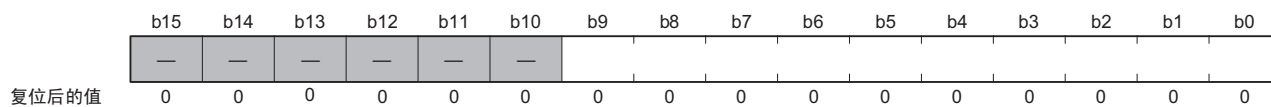
EDMCRAL 寄存器的 bit15 ~ bit3 的设定值无效，必须给 EDMCRAL 寄存器的 bit15 ~ bit3 写“0”。

每进行 1 次数据传送，EDMCRAL 寄存器就减 1。当 EDMCRAL 寄存器变为“000h”时，传送 EDMCRAH 寄存器的值。

如果在群集传送过程中从 CPU 读 EDMCRAL 寄存器，读取值就为初始设定值（群集大小）。

15.2.4 EXDMA 块传送计数寄存器 (EDMCRB)

地址 EXDMAC0.EDMCRB: 0008 280Ch、EXDMAC1.EDMCRB: 0008 284Ch



位	功能	设定范围	R/W
b9-b0	设定块传送次数、重复传送次数或者群集传送次数。	001h ~ 3FFh (1 ~ 1023 次) 000h (1024 次)	R/W
b15-b10	保留位	读写值都为“0”。	R/W

EDMCRB 寄存器指定块传送模式的块传送次数以及指定重复传送模式的重复传送次数或者群集传送次数。

当设定值是“001h”时，传送次数为 1 次；当设定值是“3FFh”时，传送次数为 1023 次；当设定值是“000h”时，传送次数为 1024 次。每进行 1 次数据传送，EDMCRB 寄存器就减 1。

在设定为正常传送模式时，必须将 EDMCRB 寄存器设定为“3FFh”。

15.2.5 EXDMA 传送模式寄存器 (EDMTMD)

地址 EXDMAC0.EDMTMD: 0008 2810h、EXDMAC1.EDMTMD: 0008 2850h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
MD[1:0]		DTS[1:0]		—	—	SZ[1:0]		—	—	—	—	—	—	DCTG[1:0]	
复位后的值															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	DCTG[1:0]	传送请求选择位	b1 b0 0 0: 软件 0 1: 不能设定 1 0: 外部 DMA 传送请求引脚 (EDREQn 引脚) 1 1: 内部外围模块 (MTU1 的比较匹配) 的 DMA 传送请求	R/W
b7-b2	—	(保留位)	读写值都为“0”。	R/W
b9-b8	SZ[1:0]	数据传送长度位	b9 b8 0 0: 8 位传送 0 1: 16 位传送 1 0: 32 位传送 1 1: 不能设定	R/W
b11-b10	—	(保留位)	读写值都为“0”。	R/W
b13-b12	DTS[1:0]	重复区域选择位	b13 b12 0 0: 传送目标为重复区域或者块区域 0 1: 传送源为重复区域或者块区域 1 0: 不设定重复区域或者块区域 1 1: 不能设定	R/W
b15-b14	MD[1:0]	传送模式设定位	b15 b14 0 0: 正常传送 0 1: 重复传送 1 0: 块传送 1 1: 群集传送	R/W

EDMTMD 是设定 DMA 传送模式的寄存器。

DCTG[1:0] 位 (传送请求选择位)

这些位选择 EXDMAC 的启动源为通过软件来启动或者通过外部 DMA 传送请求引脚来启动或者通过内部外围模块 (MTU1 的比较匹配) 的 DMA 传送请求来启动。

SZ[1:0] 位 (数据传送长度位)

这些位选择 1 次数据传送的数据长度为 8 位、16 位或者 32 位。

DTS[1:0] 位 (重复区域选择位)

在重复传送模式、块传送模式或者群集传送模式中, 这些位能选择传送源或者传送目标为重复区域; 在正常传送模式中, 这些位的设定值无效。

MD[1:0] 位 (传送模式设定位)

这些位将 DMA 传送模式设定为正常传送、重复传送、块传送或者群集传送。

15.2.6 EXDMA 输出设定寄存器 (EDMOMD)

地址 EXDMAC0.EDMOMD: 0008 2812h、EXDMAC1.EDMOMD: 0008 2852h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	DAKS	DACE	DACKW	—
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	—	保留位	读写值都为“0”。	R/W
b1	DACKW	EDACKn 引脚的无效等待位	0: EDACKn 引脚和 RDn# 引脚或者 WRn# 引脚同时无效。 1: EDACKn 引脚在 RDn# 引脚的 1 个 BCLK 周期前无效, 在 WRn # 引脚的 1 个 BCLK 周期后无效。	R/W
b2	DACE	EDACKn 引脚的输出允许位	0: 禁止 EDACKn 引脚的输出 1: 允许 EDACKn 引脚的输出	R/W
b3	DAKS	EDACKn 引脚的极性设定位	0: EDACKn 引脚的极性为 Low 电平有效 1: EDACKn 引脚的极性为 High 电平有效	R/W
b7-b4	—	保留位	读写值都为“0”。	R/W

EDMOMD 寄存器是设定 EXDMAC 输出信号的寄存器。

DACKW 位 (EDACKn 引脚的无效等待位)

此位设定与 CS 区域进行单地址模式的正常传送、重复传送或者块传送时的 EDACKn 引脚的无效时序。

当与 CS 区域进行单地址模式 (EDMAMD.AMS 位 =1) 的正常传送、重复传送或者块传送时, 如果 DACKW 位为“0”, EDACKn 引脚就和 RDn# 引脚 (或者 WRn# 引脚) 同时无效; 如果 DACKW 位为“1”, EDACKn 引脚就在 RDn# 引脚无效的 1 个 BCLK 周期前或者在 WRn# 引脚无效的 1 个 BCLK 周期后无效。当与 SDRAM 进行单地址模式的正常传送、重复传送或者块传送时, DACKW 位的值无效, 不能更改 EDACKn 引脚的无效时序。在进行双地址模式的传送或者群集传送时, DACKW 位的值无效, EDACKn 引脚不进行输出。

DACE 位 (EDACKn 引脚的输出允许位)

此位允许或者禁止 EDACKn 引脚的输出。在进行双地址模式的传送或者群集传送时, DACE 位的值无效 (EDACKn 引脚不进行输出)。

DAKS 位 (EDACKn 引脚的输出极性设定位)

此位设定外围 EDACKn 引脚的输出极性。

15.2.7 EXDMA 中断设定寄存器 (EDMINT)

地址 EXDMAC0.EDMINT: 0008 2813h、EXDMAC1.EDMINT: 0008 2853h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	DTIE	ESIE	RPTIE	SARIE	DARIE
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	DARIE	传送目标地址的扩展重复区域上溢中断允许位	0: 禁止传送目标地址的扩展重复区域上溢中断 1: 允许传送目标地址的扩展重复区域上溢中断	R/W
b1	SARIE	传送源地址的扩展重复区域上溢中断允许位	0: 禁止传送源地址的扩展重复区域上溢中断 1: 允许传送源地址的扩展重复区域上溢中断	R/W
b2	RPTIE	重复大小结束中断允许位	0: 禁止重复大小结束中断 1: 允许重复大小结束中断	R/W
b3	ESIE	传送退出结束中断允许位	0: 禁止退出中断 1: 允许退出中断	R/W
b4	DTIE	传送结束中断允许位	0: 禁止传送结束中断 1: 允许传送结束中断	R/W
b7-b5	—	(保留位)	读写值都为“0”。	R/W

EDMINT 寄存器是设定 EXDMAC 的中断请求输出的寄存器。

DARIE 位 (传送目标地址的扩展重复区域上溢中断允许位)

如果在将 DARIE 位置“1”时传送目标地址的扩展重复区域发生上溢，EDMCNT.DTE 位就变为“0”，同时 EDMSTS.ESIF 标志变为“1”，表示产生了传送目标地址的扩展重复区域上溢中断请求。

当和块传送模式并用时，在 1 块数据传送结束后产生中断请求。如果将通过中断结束传送的通道的 EDMCNT.DTE 位置“1”，就能从传送结束状态重新开始传送。

如果没有将扩展重复区域设定为传送目标地址，DARIE 位的设定值就无效。

SARIE 位 (传送源地址的扩展重复区域上溢中断允许位)

如果在将 SARIE 位置“1”时传送源地址的扩展重复区域发生上溢，EDMCNT.DTE 位就变为“0”，同时 EDMSTS.ESIF 标志变为“1”，表示产生了传送源地址的扩展重复区域上溢中断请求。

当和块传送模式并用时，在 1 块数据传送结束后产生中断请求。如果将通过中断结束传送的通道的 EDMCNT.DTE 位置“1”，就能从传送结束状态重新开始传送。

如果没有将扩展重复区域设定为传送源地址，SARIE 位的设定值就无效。

RPTIE 位 (重复大小结束中断允许位)

在重复传送模式中, 如果将 RPTIE 位置“1”, EDMCNT.DTE 位就在 1 个重复大小的传送结束后变为“0”, 同时 EDMSTS.ESIF 标志变为“1”, 表示产生了重复大小结束中断请求。即使 EDMTMD.DTS[1:0] 位为“10b” (不指定重复区域或者块区域), 也能产生重复大小结束中断请求。

在块传送模式中, 如果将 RPTIE 位置“1”, EDMCNT.DTE 位同样也在 1 块数据传送结束后变为“0”, 同时 EDMSTS.ESIF 标志变为“1”, 表示产生了重复大小结束中断请求。即使 EDMTMD.DTS[1:0] 位为“10b” (不指定重复区域或者块区域), 也能产生重复大小结束中断请求。

在群集传送模式中, 如果将 RPTIE 位置“1”, EDMCNT.DTE 位同样也在 1 群集数据传送结束后变为“0”, 同时 EDMSTS.ESIF 标志变为“1”, 表示产生了重复大小结束中断请求。即使 EDMTMD.DTS 位为“10b” (不指定重复区域或者块区域), 也能产生重复大小结束中断请求。

ESIE 位 (传送退出结束中断允许位)

此位允许或者禁止 DMA 传送过程中产生的退出中断请求 (重复大小结束中断和扩展重复区域上溢中断)。

如果将 ESIE 位置“1”, 就在 EXDMACn.EDMSTS.ESIF 标志为“1”时产生传送退出结束中断。如果将 ESIE 位或者 EDMSTS.ESIF 标志置“0”, 就解除传送退出结束中断。

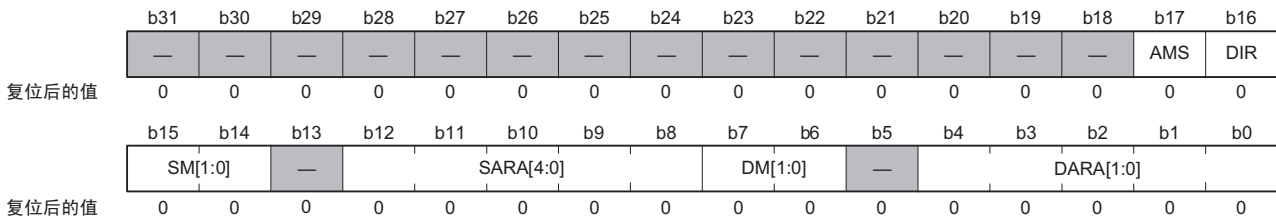
DTIE 位 (传送结束中断允许位)

此位允许或者禁止在指定次数的数据传送结束时产生的传送结束中断请求。

如果将 DTIE 位置“1”, 就在 EDMSTS.DTIF 标志为“1”时产生传送结束中断。如果将 DTIE 位或者 EDMSTS.DTIF 标志置“0”, 就解除传送结束中断。

15.2.8 EXDMA 地址模式寄存器 (EDMAMD)

地址 EXDMAC0.EDMAMD: 0008 2814h、EXDMAC1.EDMAMD: 0008 2854h



位	符号	位名	功能	R/W
b4-b0	DARA[4:0]	传送目标地址的扩展重复区域设定位	能将扩展重复区域设定为传送目标地址，设定值的详细内容请参照表 15.4。	R/W
b5	—	保留位	读写值都为“0”。	R/W
b7-b6	DM[1:0]	传送目标地址的更新模式设定位	b7 b6 00: 地址固定 01: 偏移量增加 (注1) 10: 递增 11: 递减	R/W
b12-b8	SARA[4:0]	传送源地址的扩展重复区域设定位	能将扩展重复区域设定为传送源地址，设定值的详细内容请参照表 15.4。	R/W
b13	—	保留位	读写值都为“0”。	R/W
b15-b14	SM[1:0]	传送源地址的更新模式设定位	b15 b14 00: 地址固定 01: 偏移量增加 (注1) 10: 递增 11: 递减	R/W
b16	DIR	单地址方向选择位	0: 将 EDMSAR 寄存器作为传送源地址进行单次传送 将 EDACKn 输出到传送目标 1: 将 EDMDAR 寄存器作为传送目标地址进行单次传送 将 EDACKn 输出到传送源	R/W
b17	AMS	地址模式选择位	0: 双地址模式 1: 单地址模式	R/W
b31-b18	—	保留位	读写值都为“0”。	R/W

注 1. 只有 EXDMAC0 能设定偏移量增加。

EDMAND 寄存器是设定 EDMACn 的地址模式的寄存器。

DARA[4:0] 位 (传送目标地址的扩展重复区域设定位)

这些位能将扩展重复区域设定为传送目标地址。通过将指定的低位地址作为地址更新的对象并且总是给剩余的高位取固定值，实现扩展重复区域功能。能设定 2 字节~ 128M 字节的扩展重复区域，设定间隔以 2 的乘方字节为单位。

由地址的增减引起的从扩展重复区域上溢的低位地址会发生以下变化：当地址增加时，为扩展重复区域的起始地址；当地址减小时，为扩展重复区域的结束地址。

如果将重复区域或者块区域设定为传送目标，就不能设定传送目标地址的扩展重复区域。如果在进行重复传送、块传送或者群集传送时将 EXDMACn.EDMTMD.DTS[1:0] 位置“00b”（传送目标为重复区域或者块区域），就必须给 DARA[4:0] 位写“00000b”。

如果 EDMINT.DARIE 位为“1”，就能在扩展重复区域发生上溢时发生中断。扩展重复区域的设定和范围如表 15.4 所示。

DM[1:0] 位 (传送目标地址的更新模式设定位)

这些位设定传送目标地址的更新模式。

如果选择递增,就在 EDMTMD.SZ[1:0] 位为“00b”时加 1;在 EDMTMD.SZ[1:0] 位为“01b”时加 2;在 EDMTMD.SZ[1:0] 位为“10b”时加 4。

如果选择递减,就在 EDMTMD.SZ[1:0] 位为“00b”时减 1;在 EDMTMD.SZ[1:0] 位为“01b”时减 2;在 EDMTMD.SZ[1:0] 位为“10b”时减 4。

如果选择偏移量增加,就加上 EXDMAC0.EDMOFR 寄存器的设定值。只有 EXDMAC0 能设定偏移量增加。

SARA[4:0] 位 (传送源地址的扩展重复区域设定位)

这些位能将扩展重复区域设定为传送源地址。通过将指定的低位地址作为地址更新的对象并且总是给剩余的高位取固定值,实现扩展重复区域功能。能设定 2 字节~ 128M 字节的扩展重复区域,设定间隔以 2 的乘方字节为单位。

由地址的增减引起的从扩展重复区域上溢的低位地址会发生以下变化:当地址增加时,为扩展重复区域的起始地址;当地址减小时,为扩展重复区域的结束地址。

如果将重复区域或者块区域设定为传送源,就不能设定传送源地址的扩展重复区域。如果在进行重复传送、块传送或者群集传送时将 EXDMACn.EDMTMD.DTS[1:0] 位置“01b”(传送源为重复区域或者块区域),就必须给 SARA[4:0] 位写“00000b”。

如果 EDMINT.SARIE 位为“1”,就能在扩展重复区域发生上溢时发生中断。扩展重复区域的设定和范围如表 15.4 所示。

SM 位 (传送源地址的更新模式设定位)

此位设定传送源地址的更新模式。

如果选择递增,就在 EDMTMD.SZ[1:0] 位为“00b”时加 1;在 EDMTMD.SZ[1:0] 位为“01b”时加 2;在 EDMTMD.SZ[1:0] 位为“10b”时加 4。

如果选择递减,就在 EDMTMD.SZ[1:0] 位为“00b”时减 1;在 EDMTMD.SZ[1:0] 位为“01b”时减 2;在 EDMTMD.SZ[1:0] 为“10b”时减 4。

如果选择偏移量增加,就将 EXDMAC0.EDMOFR 寄存器的设定值相加。只有 EXDMAC0 能设定偏移量增加。

DIR 位 (单地址方向选择位)

此位选择单地址模式的地址方向。

- 正常传送、重复传送和块传送的情况

如果将 DIR 位置“0”,就将 EDMSAR 寄存器作为传送源地址,进行单次传送。此时,如果将 EDMOMD.DACKE 位置“1”(输出 EDACKn),就能将 EDACKn 输出到传送目标的设备。

如果将 DIR 位置“1”,就将 EDMDAR 寄存器作为传送目标地址,进行单次传送。此时,如果将 EDMOMD.DACKE 位置“1”(输出 EDACKn),就能将 EDACKn 输出到传送源的设备。DIR 位的设定值在 EDMAMD.AMS 为“1”(单地址模式)时有效,在 EDMAMD.AMS 为“0”(双地址模式)时无效。

- 群集传送的情况

如果将 DIR 位置“0”,就将 EDMSAR 寄存器作为传送源地址,通过群集传送读地址模式进行传送,能从外部设备传送到群集缓冲器。

如果将 DIR 位置“1”,就将 EDMDAR 寄存器作为传送目标地址,通过群集传送写地址模式进行传送,能从群集缓冲器传送到外部设备。

DIR 位的设定值在 EDMAMD.AMS 为“1”(单地址模式)时有效,在 EDMAMD.AMS 为“0”(双地址模式)时无效。

AMS 位 (地址模式选择位)

此位选择地址模式。

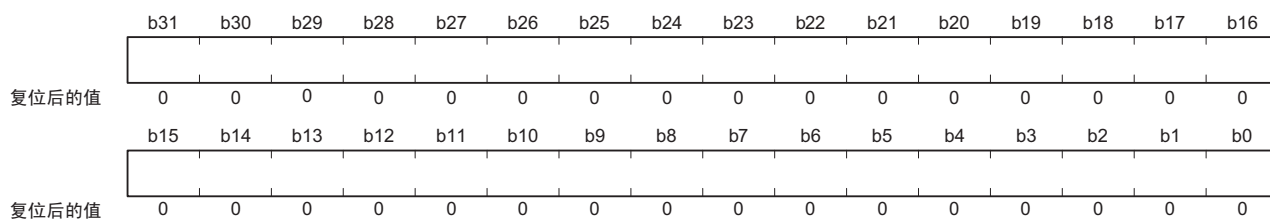
- 正常传送、重复传送和块传送的情况
如果将 AMS 位置“0”，就为双地址模式；如果将 AMS 位置“1”，就为单地址模式。
当设定为单地址模式时，必须通过 EDMAMD.DIR 位设定是将地址输出到传送源还是输出到传送目标。
- 群集传送的情况
如果将 AMS 位置“0”，就为双地址模式；如果将 AMS 位置“1”，就为读地址模式或者写地址模式。
必须通过 EDMAMD.DIR 位选择读地址模式或者写地址模式。

表 15.4 扩展重复区域的设定和范围

SARA[4:0]/DARA[4:0] 的值	扩展重复区域的范围
00000b	不设定扩展重复区域。
00001b	将该地址的低 1 位 (2 字节) 设定为扩展重复区域。
00010b	将该地址的低 2 位 (4 字节) 设定为扩展重复区域。
00011b	将该地址的低 3 位 (8 字节) 设定为扩展重复区域。
00100b	将该地址的低 4 位 (16 字节) 设定为扩展重复区域。
00101b	将该地址的低 5 位 (32 字节) 设定为扩展重复区域。
00110b	将该地址的低 6 位 (64 字节) 设定为扩展重复区域。
00111b	将该地址的低 7 位 (128 字节) 设定为扩展重复区域。
01000b	将该地址的低 8 位 (256 字节) 设定为扩展重复区域。
01001b	将该地址的低 9 位 (512 字节) 设定为扩展重复区域。
01010b	将该地址的低 10 位 (1K 字节) 设定为扩展重复区域。
01011b	将该地址的低 11 位 (2K 字节) 设定为扩展重复区域。
01100b	将该地址的低 12 位 (4K 字节) 设定为扩展重复区域。
01101b	将该地址的低 13 位 (8K 字节) 设定为扩展重复区域。
01110b	将该地址的低 14 位 (16K 字节) 设定为扩展重复区域。
01111b	将该地址的低 15 位 (32K 字节) 设定为扩展重复区域。
10000b	将该地址的低 16 位 (64K 字节) 设定为扩展重复区域。
10001b	将该地址的低 17 位 (128K 字节) 设定为扩展重复区域。
10010b	将该地址的低 18 位 (256K 字节) 设定为扩展重复区域。
10011b	将该地址的低 19 位 (512K 字节) 设定为扩展重复区域。
10100b	将该地址的低 20 位 (1M 字节) 设定为扩展重复区域。
10101b	将该地址的低 21 位 (2M 字节) 设定为扩展重复区域。
10110b	将该地址的低 22 位 (4M 字节) 设定为扩展重复区域。
10111b	将该地址的低 23 位 (8M 字节) 设定为扩展重复区域。
11000b	将该地址的低 24 位 (16M 字节) 设定为扩展重复区域。
11001b	将该地址的低 25 位 (32M 字节) 设定为扩展重复区域。
11010b	将该地址的低 26 位 (64M 字节) 设定为扩展重复区域。
11011b	将该地址的低 27 位 (128M 字节) 设定为扩展重复区域。
11100b ~ 11111b	(不能设定)

15.2.9 EXDMA 偏移寄存器 (EDMOFR)

地址 EXDMAC0.EDMOFR: 0008 2818h



位	功能	设定范围	R/W
b31-b0	设定传送源或者传送目标的地址更新模式为偏移量增加时的偏移值。	00000000h ~ 00FFFFFFh (0字节~ (16M-1)字节) FF000000h ~ FFFFFFFFh (-16M字节~-1字节)	R/W

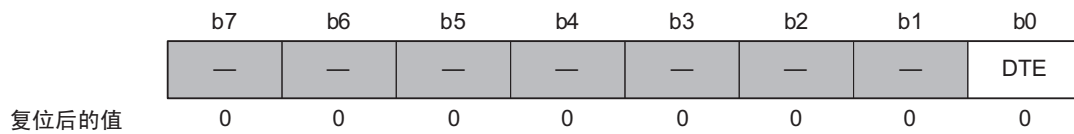
EDMOFR 寄存器是设定地址偏移值的寄存器。

在设定 EDMOFR 寄存器时，必须在 EXDMAC 停止或者禁止 DMA 传送时而不能在数据传送过程中进行写操作。

bit31 ~ bit25 的设定值无效，将 bit24 的值扩展到 bit31 ~ bit25。如果读 EDMOFR 寄存器，就会读到位扩展后的值。

15.2.10 EXDMA 传送允许寄存器 (EDMCNT)

地址 EXDMAC0.EDMCNT: 0008 281Ch、EXDMAC1.EDMCNT: 0008 285Ch



位	符号	位名	功能	R/W
b0	DTE	DMA 传送允许位	0: 禁止 DMA 传送 1: 允许 DMA 传送	R/W
b7-b1	—	保留位	读写值都为“0”。	R/W

EDMCNT 寄存器是允许或者禁止对应通道的 DMA 传送的寄存器。

DTE 位 (DMA 传送允许位)

能在 EDMAST.DMST 位为“1” (允许 EXDMAC 启动) 并且 DTE 位为“1” (允许 DMA 传送) 时开始对应通道的 DMA 传送。

如果在 DMA 传送过程中将 DTE 位置“0”，就在执行的 1 次传送请求的数据传送结束后暂停 DMA 传送。在此状态下，能通过再次将 DTE 位置“1”，继续进行 DMA 传送。

当 DTE 位为“1”时，禁止写对应 EXDMAC 通道的 DTE 位以外的寄存器。

[为“1”的条件]

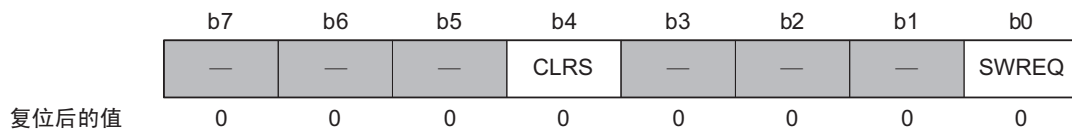
- 写“1”时

[为“0”的条件]

- 写“0”时
- 结束所设定的总传送数据量的传送时
- 通过重复大小结束中断停止 DMA 传送时
- 通过扩展重复区域上溢中断停止 DMA 传送时

15.2.11 EXDMA 软件启动寄存器 (EDMREQ)

地址 EXDMAC0.EDMREQ: 0008 281Dh、EXDMAC1.EDMREQ: 0008 285Dh



位	符号	位名	功能	R/W
b0	SWREQ	DMA 软件启动位	0: 无 DMA 传送请求 1: 有 DMA 传送请求	R/W
b3-b1	—	保留位	读写值都为“0”。	R/W
b4	CLRS	DMA 软件启动位的自动清除选择位	0: 在软件启动后清除 SWREQ 位 1: 在软件启动后不清除 SWREQ 位	R/W
b7-b5	—	保留位	读写值都为“0”。	R/W

EDMREQ 寄存器是通过软件启动 DMA 的寄存器。

SWREQ 位 (DMA 软件启动位)

如果给 SWREQ 位写“1”，就产生 DMA 的传送请求。该请求的传送一旦开始，SWREQ 位就在 CLRS 位为“0”时变为“0”，而在 CLRS 位为“1”时不变为“0”。此时，能在传送结束后再次产生 DMA 传送请求。

但是，SWREQ 位的值只在 EDMTMD.DCTG[1:0] 位被置“00b” (DMA 启动源为软件) 时有效，能通过软件启动 DMA 传送。

如果 EDMTMD.DCTG[1:0] 位不是“00b”，SWREQ 位的设定值就无效。

如果在 CLRS 位为“0”时要启动软件，就必须在确认 SWREQ 位为“0”后给 SWREQ 位写“1”。

[为“1”的条件]

- 写“1”时

[为“0”的条件]

- 当 CLRS 位为“0” (在软件启动后清除 SWREQ 位) 时，在接受软件请求并且开始数据传送时
- 写“0”时

CLRS 位 (DMA 软件启动位的自动清除选择位)

当通过给 SWREQ 位写“1”开始 DMA 传送请求的传送时，此位设定是否将 SWREQ 位置“0”。当 CLRS 位为“0”时，一旦开始传送，SWREQ 位就变为“0”；当 CLRS 位为“1”时，SWREQ 位不变为“0”。此时，能在传送结束后再次产生 DMA 传送请求。

15.2.12 EXDMA 状态寄存器 (EDMSTS)

地址 EXDMAC0.EDMSTS: 008 281Eh、EXDMAC1.EDMSTS: 0008 285Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	ACT	—	—	DTIF	—	—	—	ESIF
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	ESIF	传送退出中断标志	0: 未发生传送退出中断 1: 发生传送退出中断	R/W
b3-b1	—	保留位	读取值为“0”，写操作无效。	R
b4	DTIF	传送结束中断标志	0: 无传送结束中断 1: 有传送结束中断	R/W
b6-b5	—	保留位	读取值为“0”，写操作无效。	R
b7	ACT	EXDMA 激活标志	0: EXDMAC 停止 1: EXDMAC 正在运行	R

EDMSTS 寄存器是表示 DMA 状态的寄存器。

ESIF 标志 (传送退出中断标志)

这是表示发生了传送退出中断的标志。

[为“1”的条件]

- EDMINT.RPTIE 位被置“1”并且在重复传送模式中 1 个重复大小的传送结束后
- EDMINT.RPTIE 位被置“1”并且在块传送模式中 1 块数据传送结束后
- EDMINT.RPTIE 位被置“1”并且在群集传送模式中 1 群集数据传送结束后
- 在 EDMINT.SARIE 位被置“1”而 EDMAMD.SARA[4:0] 位被置的值不是“00000b” (指定传送源地址为扩展重复区域) 的情况下传送源地址的扩展重复区域发生上溢时
- 在 EDMINT.DARIE 位被置“1”而 EDMAMD.DARA[4:0] 位被置的值不是“00000b” (指定传送目标地址为扩展重复区域) 的情况下传送目标地址的扩展重复区域发生上溢时

[为“0”的条件]

- 写“0”时
- 给 EDMCNT.DTE 位写“1”时

DTIF 标志 (传送结束中断标志)

这是表示发生了传送结束中断的标志。

[为“1”的条件]

- 在正常传送模式中指定次数的传送结束时 (EDMCRAL 寄存器变为“0”并且传送结束时)
- 在重复传送模式中指定重复次数的传送结束时 (EDMCRB 寄存器变为“0”并且传送结束时)
- 在块传送模式中指定块数的传送结束时 (EDMCRB 寄存器变为“0”并且传送结束时)
- 在群集传送模式中指定群集数的传送结束时 (EDMCRB 寄存器变为“0”并且传送结束时)

[为“0”的条件]

- 写“0”时
- 给 EDMCNT.DTE 位写“1”时

ACT 标志 (EXDMA 激活标志)

这是表示 EXDMAC_n 正在运行或者停止的标志。

[为“1”的条件]

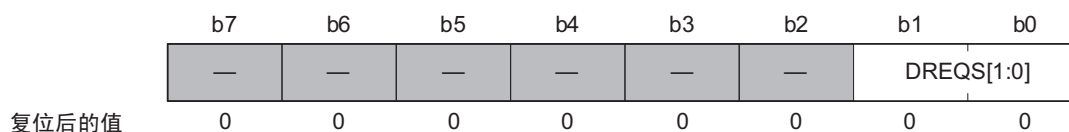
- EXDMAC_n 开始传送时

[为“0”的条件]

- 1次传送请求的传送全部结束时

15.2.13 EXDMA 外部请求感测模式寄存器 (EDMRMD)

地址 EXDMAC0.EDMRMD: 0008 2820h、EXDMAC1.EDMRMD: 0008 2860h



位	符号	位名	功能	R/W
b1-b0	DREQS[1:0]	请求输入的感测模式设定位	b1 b0 0 0: 上升沿 0 1: 下降沿 1 0: Low 电平 1 1: 不能设定	R/W
b7-b2	—	保留位	读写值都为“0”。	R/W

EDMRMD 寄存器是设定 EDREQ_n 引脚的感测模式的寄存器。

DREQS[1:0] 位 (EDREQ_n 引脚的感测模式设定位)

这些位设定外部 DMA 传送请求信号 (EDREQ_n 引脚) 的感测模式。

15.2.14 EXDMA 外部请求标志寄存器 (EDMERF)

地址 EXDMAC0.EDMERF: 0008 2821h、EXDMAC1.EDMERF: 0008 2861h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	EREQ
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	EREQ	外部请求标志	这是 EDREQn 引脚的 DMA 传送请求标志。 0: 无请求 1: 有请求	R/(W) (注 1)
b7-b1	—	保留位	读写值都为“0”。	R/W

注 1. 写“0”无效。

EDMERF 寄存器是 EDREQn 引脚的请求检测标志寄存器。

EREQ 标志 (外部请求标志)

这是外部 DMA 传送请求信号 (EDREQn 引脚) 的请求检测标志。

[为“1”的条件]

- 在 EXDMACn.EDMRMD.DREQS[1:0] 位为“00b” (上升沿) 的情况下 EDREQn 引脚从“0”变为“1”时
- 在 EXDMACn.EDMRMD.DREQS[1:0] 位为“01b” (下降沿) 的情况下 EDREQn 引脚从“1”变为“0”时
- 在 EXDMACn.EDMRMD.DREQS[1:0] 位为“10b” (Low 电平) 的情况下 EDREQn 引脚为“0”时

[为“0”的条件]

- 在 EXDMACn.EDMRMD.DREQS[1:0] 位为“00b” (上升沿) 或者“01b” (下降沿) 的情况下, 因 EREQ 标志变为“1” (有请求) 而开始该外部请求的 DMA 传送时
- 在 EXDMACn.EDMRMD.DREQS[1:0] 位为“00b” (上升沿) 或者“01b” (下降沿) 的情况下写“1”时
- 在 EXDMACn.EDMRMD.DREQS[1:0] 位为“10b” (Low 电平) 的情况下 EDREQn 引脚为“1”时

15.2.15 EXDMA 外围请求标志寄存器 (EDMPRF)

地址 EXDMAC0.EDMPRF: 0008 2822h、EXDMAC1.EDMPRF: 0008 2862h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PREQ
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	PREQ	外围模块的请求标志	这是外围模块的 DMA 传送请求标志。 0: 无请求 1: 有请求	R/(W) (注1)
b7-b1	—	保留位	读写值都为“0”。	R/W

注1. 写“0”无效。

EDMPRF 寄存器是外围模块的 DMA 传送请求标志寄存器。

PREQ 标志 (外围模块的请求标志)

这是外围模块的 DMA 传送请求标志。

[为“1”的条件]

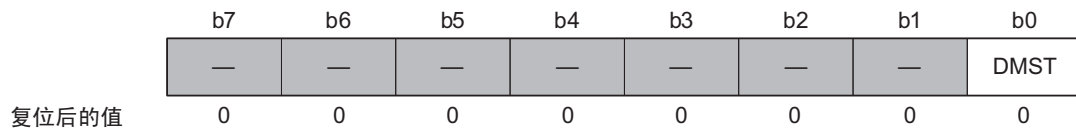
- 产生外围模块的 DMA 传送请求时

[为“0”的条件]

- 产生外围模块的 DMA 传送请求并且因 PREQ 标志变为“1” (有请求) 而开始该外围模块的 DMA 传送请求的 DMA 传送时
- 写“1”时

15.2.16 EXDMA 模块启动寄存器 (EDMAST)

地址 0008 2A00h



位	符号	位名	功能	R/W
b0	DMST	EXDMAC 运行允许位	0: 禁止启动 EXDMAC 1: 允许启动 EXDMAC	R/W
b7-b1	—	保留位	读写值都为“0”。	R/W

EDMAST 寄存器是允许或者禁止启动 EXDMAC 全部通道的寄存器。

DMST 位 (EXDMAC 运行允许位)

当 DMST 位为“1”时，允许启动 EXDMAC 的全部通道。

如果在给多个通道的 EDMCNT.DTE 位写“1”（允许 DMA 传送）后将 DMST 位置“1”（允许启动 EXDMAC），就能将多个通道同时设定为可接受传送请求的状态。

如果在 DMA 传送过程中将 DMST 位置“0”，就在执行的 1 次传送请求的数据传送结束后停止全部通道的 DMA 传送。在此状态下，能通过再次将 DMST 位置“1”，继续进行 DMA 传送。

[为“1”的条件]

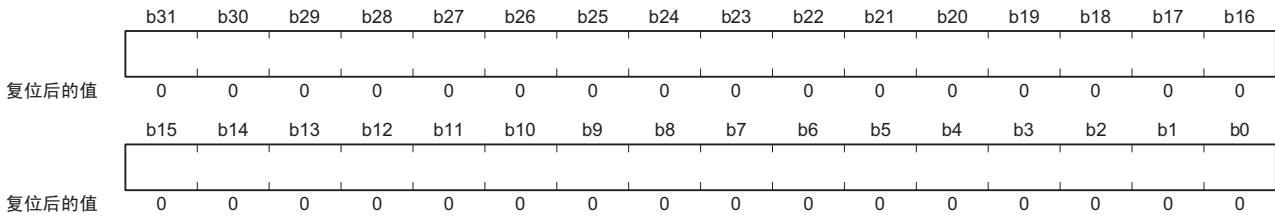
- 写“1”时

[为“0”的条件]

- 写“0”时

15.2.17 群集缓冲寄存器 i (CLSB Ri) (i=0 ~ 6)

地址 CLSBR0: 0008 2BE0h、CLSBR1: 0008 2BE4h、CLSBR2: 0008 2BE8h、CLSBR3: 0008 2BECh
 CLSBR4: 0008 2BF0h、CLSBR5: 0008 2BF4h、CLSBR6: 0008 2BF8h



位	功能	R/W
b31-b0	用作群集传送时的临时缓冲器。	R/W

CLSB Ri 寄存器是用于群集传送的缓冲寄存器。在群集传送过程中，从 CLSBR0 寄存器开始按顺序保存传送数据。将群集传送数据或者 CPU 所写的的数据保持到下一次群集传送或者 CPU 的写操作为止。在 CPU 读由群集传送所保存的数据时，必须确认群集传送的结束并且只能参照在传送时指定的群集大小的数据，而不能参照其他数据。

在群集传送时，全部通道使用相同的 CLSB Ri 寄存器。如果 CPU 写 CLSB Ri 寄存器的操作和群集传送发生竞争，就无法保证被传送的数据。当设定为群集传送的读地址模式或者群集传送的写地址模式时，如果其他通道被设定为群集传送，被传送的数据就可能被改写。

数据的保存方法因群集缓冲器设定的传送长度 (EDMTMD.SZ[1:0] 位) 而不同。

(1) 传送长度为 8 位的情况 (EXDMACn.EDMTMD.SZ[1:0]=00b)

将数据保存到群集缓冲器的低 8 位 (CLSB Rn[7:0])，此时高 24 位 (CLSB Rn[31:8]) 无效。如果将群集大小的最大值设定为 7，7 字节数据就为 1 个群集单位。

传送顺序为 CLSB R0 ~ CLSB Rj (j= 群集大小 -1)。

(2) 传送长度为 16 位的情况 (EXDMACn.EDMTMD.SZ[1:0]=01b)

将数据保存到群集缓冲器的低 16 位 (CLSB Rn[15:0])，此时高 16 位 (CLSB Rn[31:16]) 无效。如果将群集大小的最大值设定为 7，14 字节数据就为 1 个群集单位。

传送顺序为 CLSB R0 ~ CLSB Rj (j= 群集大小 -1)。

(3) 传送长度为 32 位的情况 (EXDMACn.EDMTMD.SZ[1:0]=10b)

将数据保存到群集缓冲器的全 32 位 (CLSB Rn[31:0])。如果将群集大小的最大值设定为 7，28 字节数据就为 1 个群集单位。

传送顺序为 CLSB R0 ~ CLSB Rj (j= 群集大小 -1)。

15.3 运行说明

15.3.1 传送模式

(1) 正常传送模式

在正常传送模式中，1 次传送请求进行 1 个数据的传送。能通过 EXDMACn.EDMCRA 寄存器，设定最多 65535 次的数据传送次数。如果将 EXDMACn.EDMCRAL 寄存器设定为“0000h”，就不需要指定传送次数，并且在传送计数器停止计数后进行数据传送（自由运行模式）。在正常传送模式中，EXDMACn.EDMCRB 寄存器的设定无效。除自由运行模式以外，能在指定传送次数的传送结束后产生传送结束中断请求。

正常传送模式的寄存器更新值以及正常传送模式的运行分别如表 15.5 和图 15.2 所示。

表 15.5 正常传送模式的寄存器更新值

寄存器	功能	1 次传送请求的传送结束后的更新值
EXDMACn.EDMSAR	传送源地址	递增 / 递减 / 固定 / 偏移量增加 (注)
EXDMACn.EDMDAR	传送目标地址	递增 / 递减 / 固定 / 偏移量增加 (注)
EXDMACn.EDMCRAL	传送计数	减 1 / 不更新 (自由运行模式)
EXDMACn.EDMCRAH	块大小	不更新 (不用于正常传送模式)
EXDMACn.EDMCRB	块计数	不更新 (不用于正常传送模式)

注. 只有 EXDMAC0 能设定偏移量增加。

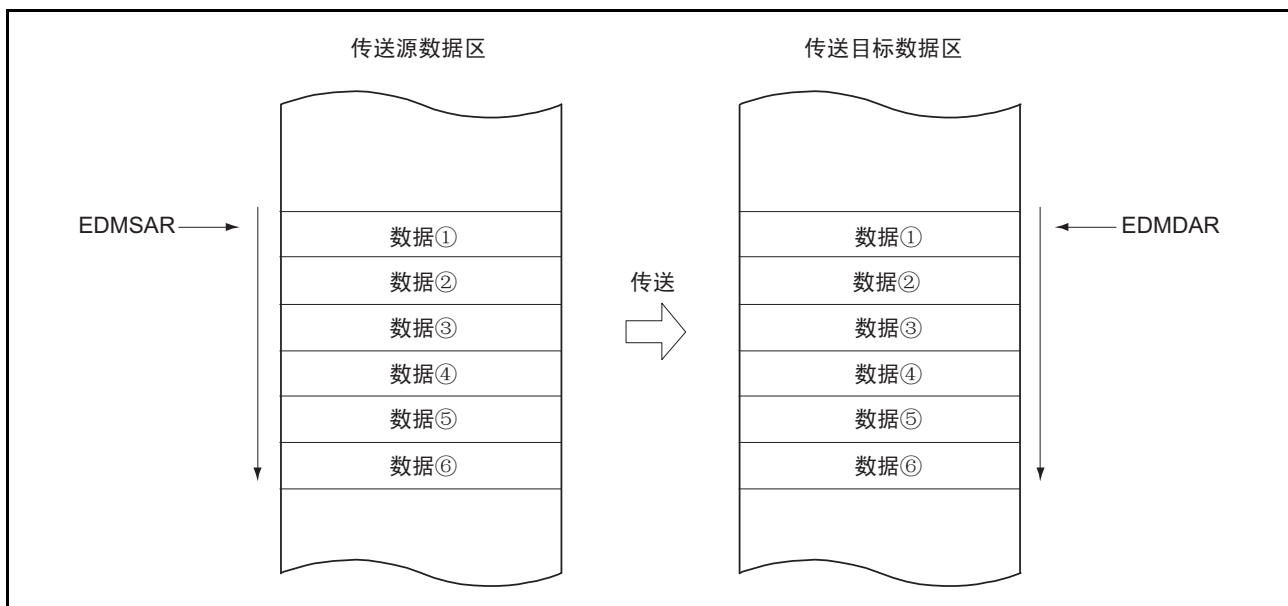


图 15.2 正常传送模式的运行

(2) 重复传送模式

在重复传送模式中，1 次传送请求进行 1 个数据的传送。能通过 EXDMACn.EDMCRA 寄存器设定最多 1023 个数据的重复大小，还能通过 EXDMACn.EDMCRB 寄存器设定最多 1K 次的指定重复次数，指定最多 1023 个数据 × 1K 次 = 1023K 数据的总数据传送量。能将传送源或者传送目标指定为重复区域。一旦重复大小的数据传送结束，被指定为重复区域的地址寄存器 (EXDMACn.EDMSAR 或者 EXDMACn.EDMDAR) 就返回到初始地址。在重复传送模式中，能在重复大小的数据传送结束后停止 DMA 并且产生重复大小结束中断请求。在重复大小结束中断处理过程中，能通过给 EXDMACn.EDMCNT.DTE 位写“1”，重新开始 DMA 传送。

能在指定重复次数的传送结束后产生传送结束中断请求。

重复传送模式的寄存器更新值以及重复传送模式的运行分别如表 15.6 和图 15.3 所示。

表 15.6 重复传送模式的寄存器更新值

寄存器	功能	1 次传送请求的传送结束后的更新值	
		EXDMACn.EDMCRAL 寄存器不为“1”	EXDMACn.EDMCRAL 寄存器为“1” (重复大小的最后数据传送)
EXDMACn.EDMSAR	传送源地址	递增 / 递减 / 固定 / 偏移量增加 (注)	<ul style="list-style-type: none"> EXDMACn.EDMTMD.DTS[1:0]=00 递增 / 递减 / 固定 / 偏移量增加 (注) EXDMACn.EDMTMD.DTS[1:0]=01 DMSAR 的初始值 EXDMACn.EDMTMD.DTS[1:0]=10 递增 / 递减 / 固定 / 偏移量增加 (注)
EXDMACn.EDMDAR	传送目标地址	递增 / 递减 / 固定 / 偏移量增加 (注)	<ul style="list-style-type: none"> EXDMACn.EDMTMD.DTS[1:0]=00 EDMDAR 的初始值 EXDMACn.EDMTMD.DTS[1:0]=01 递增 / 递减 / 固定 / 偏移量增加 (注) EXDMACn.EDMTMD.DTS[1:0]=10 递增 / 递减 / 固定 / 偏移量增加 (注)
EXDMACn.EDMCRAH	重复大小	保持	保持
EXDMACn.EDMCRAL	传送计数	减 1	EXDMACn.EDMCRAH
EXDMACn.EDMCRB	块计数	保持	减 1

注. 只有 EXDMAC0 能设定偏移量增加。

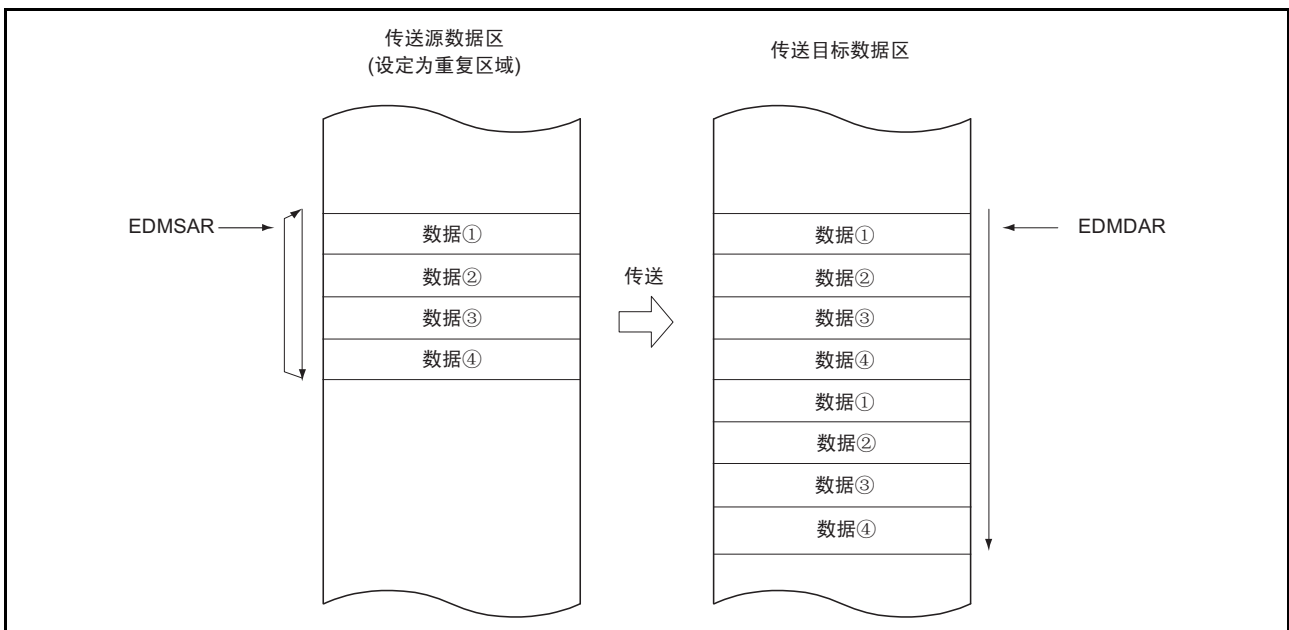


图 15.3 重复传送模式的运行

(3) 块传送模式

在块传送模式中，1 次传送请求进行 1 块数据的传送。能通过 EXDMACn.EDMCRA 寄存器设定最多 1023 个数据的块大小，还能通过 EXDMACn.EDMCRB 寄存器设定最多 1K 次的指定块次数，指定最多 1023 个数据 ×1K 块 =1023K 数据的总数据传送量。能将传送源或者传送目标指定为块区域。一旦 1 块数据传送结束，被指定为块区域的地址寄存器 (EXDMACn.EDMSAR 或者 EXDMACn.EDMDAR) 就返回到初始地址。在块传送模式中，能在 1 块数据传送结束后停止 DMA 传送并且产生结束中断请求。在重复大小结束中断处理过程中，如果给 EXDMACn.EDMCNT.DTE 位写“1”，就能重新开始 DMA 传送。

能在指定块次数的传送结束后产生传送结束中断请求。

块传送模式的寄存器更新值以及块传送模式的运行分别如表 15.7 和图 15.4 所示。

表 15.7 块传送模式的寄存器更新值

寄存器	功能	1 次传送请求的 1 块传送结束后的更新值
EXDMACn.EDMSAR	传送源地址	<ul style="list-style-type: none"> EXDMACn.EDMTMD.DTS[1:0]=00 递增 / 递减 / 固定 / 偏移量增加 (注) EXDMACn.EDMTMD.DTS[1:0]=01 EDMSAR 的初始值 EXDMACn.EDMTMD.DTS[1:0]=10 递增 / 递减 / 固定 / 偏移量增加 (注)
EXDMACn.EDMDAR	传送目标地址	<ul style="list-style-type: none"> EXDMACn.EDMTMD.DTS[1:0]=00 EDMDAR 的初始值 EXDMACn.EDMTMD.DTS[1:0]=01 递增 / 递减 / 固定 / 偏移量增加 (注) EXDMACn.EDMTMD.DTS[1:0]=10 递增 / 递减 / 固定 / 偏移量增加 (注)
EXDMACn.EDMCRAH	块大小	保持
EXDMACn.EDMCRAL	传送计数	EXDMACn.EDMCRAH
EXDMACn.EDMCRB	块计数	减 1

注. 只有 EXDMAC0 能设定偏移量增加。

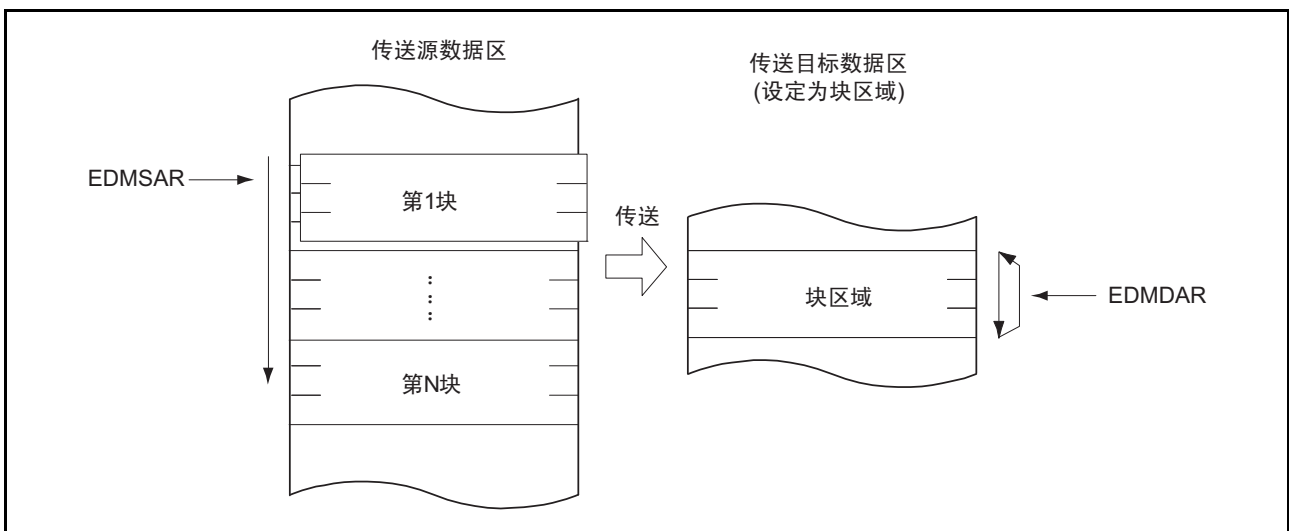


图 15.4 块传送模式的运行

(4) 群集传送模式

在群集传送模式中，1 次传送请求进行 1 群集数据的传送。能通过 EXDMACn.EDMCRA 寄存器设定最多 7 个数据的群集大小，还能通过 EXDMACn.EDMCRB 寄存器设定最多 1K 次的指定群集次数，指定最多 7 个数据 ×1K 次 = 7K 数据的总数据传送量。

群集传送模式可选择群集传送双地址模式、群集传送读地址模式和群集传送写地址模式。

- 群集传送双地址模式

(EXDMACn.EDMTMD.MD[1:0]=11, EXDMACn.EDMAMD.AMS=0)

通过 1 次传送请求，首先将 1 群集大小的数据从传送源地址传送到群集寄存器，然后将 1 群集数据从群集缓冲器传送到传送目标地址。

- 群集传送读地址模式

(EXDMACn.EDMTMD.MD[1:0]=11, EXDMACn.EDMAMD.AMS=1, EXDMACn.EDMAMD.DIR=0)

通过 1 次传送请求，将 1 群集大小的数据从传送源地址传送到群集缓冲器。

- 群集传送写地址模式

(EXDMACn.EDMTMD.MD[1:0]=11, EXDMACn.EDMAMD.AMS=1, EXDMACn.EDMAMD.DIR=1)

通过 1 次传送请求，将 1 群集大小的数据从群集缓冲器传送到传送目标地址。

群集传送模式的寄存器更新值以及群集传送模式的运行分别如表 15.8 和图 15.5 所示。

表 15.8 群集传送模式的寄存器更新值 (双地址模式)

寄存器	功能	1 次传送请求的 1 群集数据传送结束后的更新值
EXDMACn.EDMSAR	传送源地址	<ul style="list-style-type: none"> EXDMACn.EDMTMD.DTS[1:0]=00b 递增 / 递减 / 固定 / 偏移量增加 (注 1) EXDMACn.EDMTMD.DTS[1:0]=01b EDMSAR 的初始值 EXDMACn.EDMTMD.DTS[1:0]=10b 递增 / 递减 / 固定 / 偏移量增加 (注 1)
EXDMACn.EDMDAR	传送目标地址	<ul style="list-style-type: none"> EXDMACn.EDMTMD.DTS[1:0]=00b EDMDAR 的初始值 EXDMACn.EDMTMD.DTS[1:0]=01b 递增 / 递减 / 固定 / 偏移量增加 (注 1) EXDMACn.EDMTMD.DTS[1:0]=10b 递增 / 递减 / 固定 / 偏移量增加 (注 1)
EXDMACn.EDMCRAH	群集大小	保持
EXDMACn.EDMCRAL	传送计数	EXDMACn.EDMCRAH
EXDMACn.EDMCRB	群集计数	减 1

注 1. 只有 EXDMAC0 能设定偏移量增加。

在读地址模式中，传送目标地址 EXDMACn.EDMADAR 固定 (无效)。

在写地址模式中，传送源地址 EXDMACn.EDMASAR 固定 (无效)。

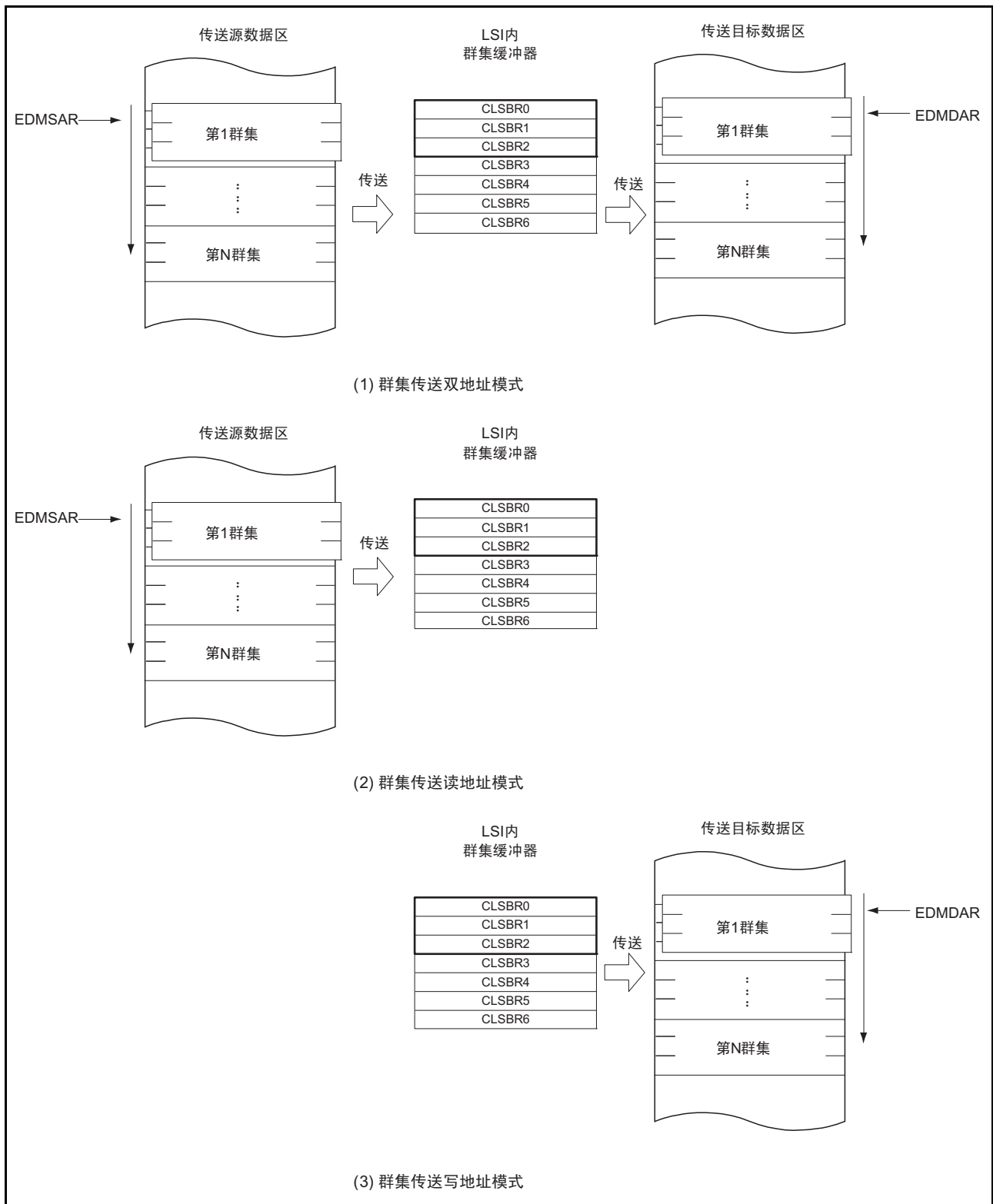


图 15.5 群集传送模式的运行

15.3.2 扩展重复区域功能

EXDMAC 具有给传送源地址或者传送目标地址设定扩展重复区域的功能。如果设定扩展重复区域，地址寄存器就重复被指定为扩展重复区域范围的地址值。

能给 EXDMACn.EDMSAR 寄存器（传送源地址寄存器）和 EXDMACn.EDMDAR 寄存器（传送目标地址寄存器）独立设定扩展重复区域功能。

通过 EXDMACn.EDMAMD.SARA[4:0] 位设定传送源地址的扩展重复区域，通过 EXDMACn.EDMAMD.DARA[4:0] 位设定传送目标地址的扩展重复区域，能独立设定各扩展重复区域的大小。

如果地址寄存器的值为扩展重复区域的结束地址并且扩展重复区域发生上溢，就暂停 DMA 传送，并且能向 CPU 请求扩展重复区域上溢中断。如果将 EXDMACn.EDMINT.SARIE 位置“1”，就在传送源地址的扩展重复区域发生上溢时，通过将 EXDMACn.EDMSTS.ESIF 标志置“1”并且将 EXDMACn.EDMCNT.DTE 位置“0”来结束传送。此时，如果 EXDMACn.EDMINT.ESIE 位为“1”，就向 CPU 或者 DTC 请求扩展重复区域上溢中断。

如果将 EXDMACn.EDMINT.DARIE 位置“1”，就以传送目标地址寄存器为对象。如果在发生中断时将 EXDMACn.EDMCNT.DTE 位置“1”，就重新开始后续的传送。

扩展重复区域功能的例子如图 15.6 所示。

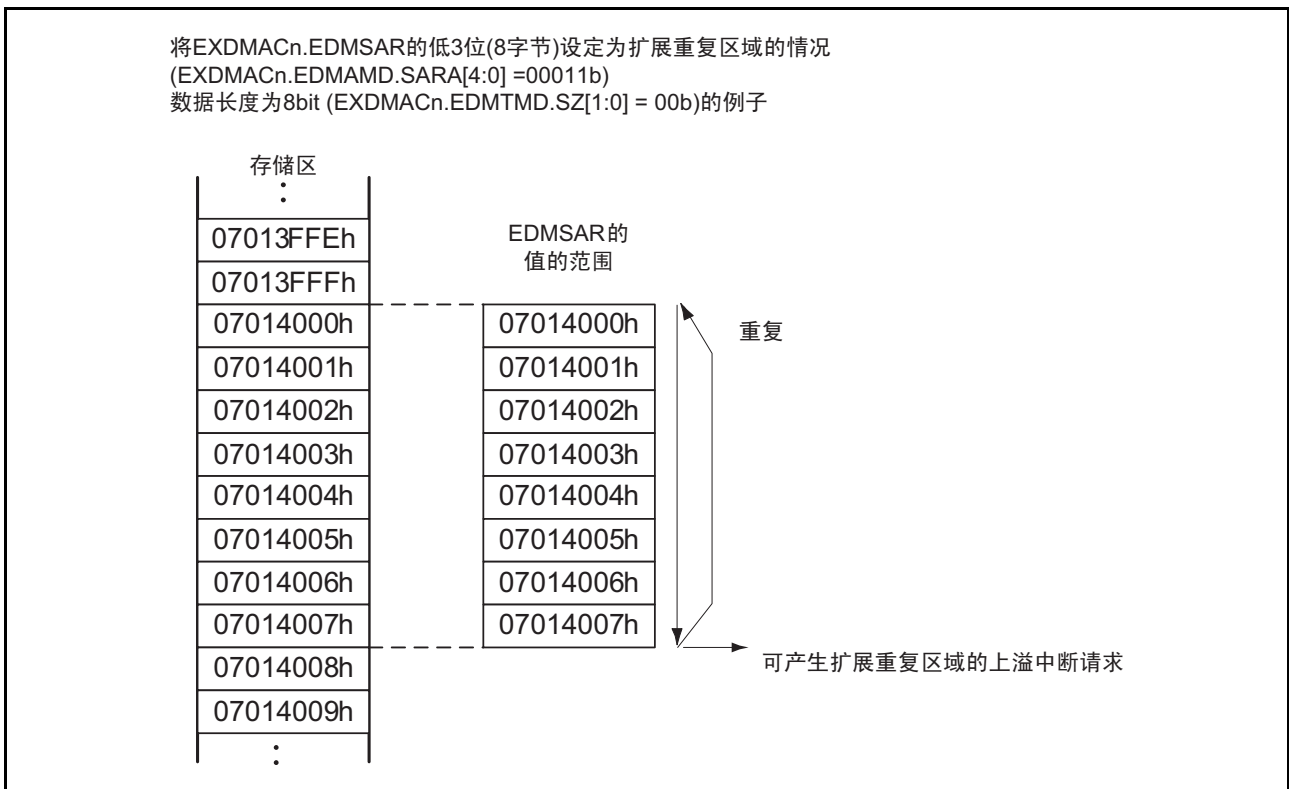


图 15.6 扩展重复区域功能的例子

在块传送模式（或者群集传送模式）和扩展重复区域上溢中断并用时，需要注意以下事项。

如果要在扩展重复区域发生上溢时结束传送，就需要将块大小（或者群集大小）设定为 2 的乘方，或者设定地址寄存器的值，使块大小（或者群集大小）的边界和扩展重复区域范围的边界相同。如果在 1 块大小的传送过程中（或者 1 群集大小的传送过程中）扩展重复区域发生上溢，就将扩展重复区域上溢中断请求保留到 1 块大小（或者 1 群集大小）的传送结束，传送发生溢出。

块传送模式和扩展重复区域功能的并用例子如图 15.7 所示。

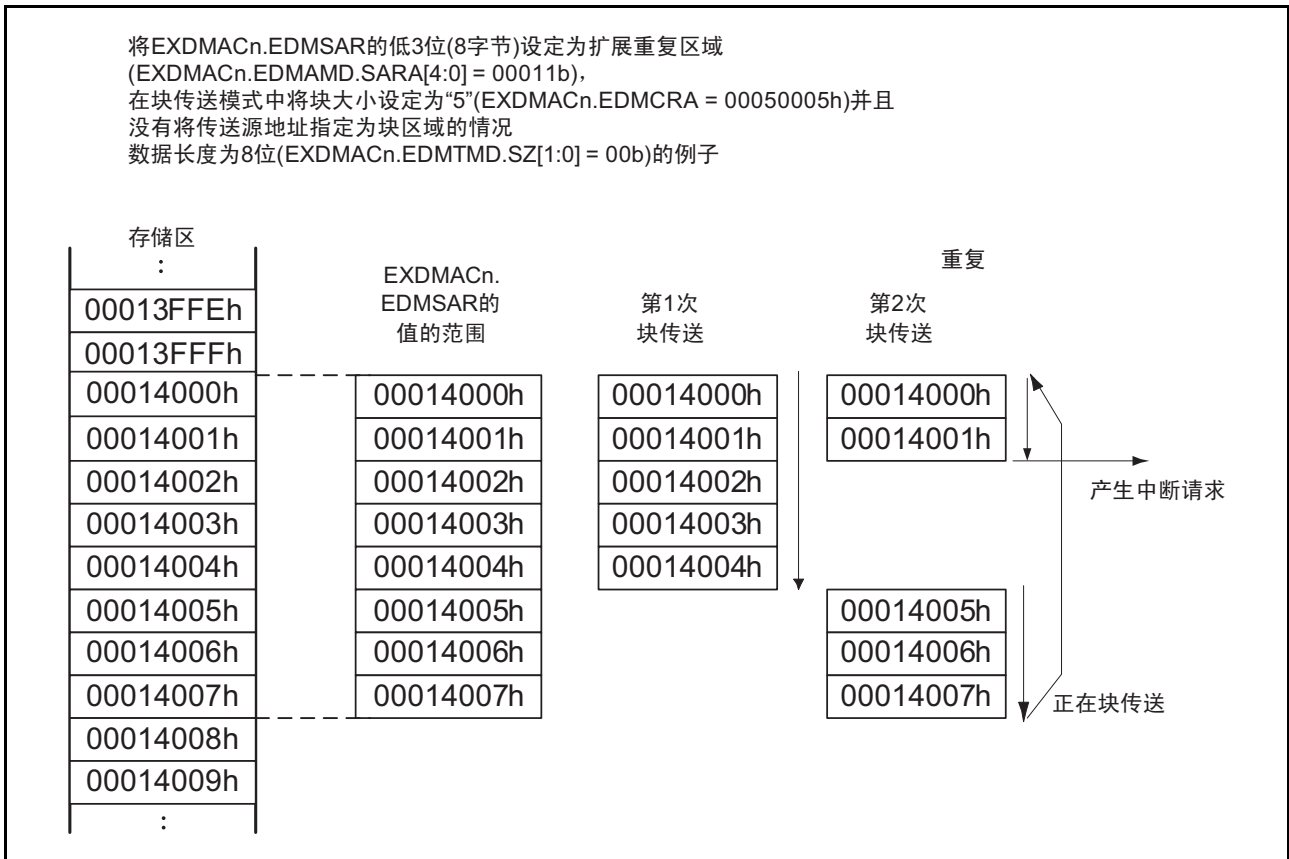


图 15.7 块传送模式和扩展重复区域功能的并用例子

15.3.3 带偏移的地址更新功能

传送源地址和传送目标地址的更新方法有固定、递增、递减和偏移量增加。偏移量增加是指在每进行 1 个数据的传送时加上 EXDMAC0.EDMOFR (DMA 偏移寄存器) 的设定值。通过此功能, 能跳过中途地址进行数据传送。如果用 2 的补数给 EXDMAC0.EDMOFR 设定负值, 也能通过偏移实现减法运算。

只有通道 EXDMAC0 才能使用带偏移的地址更新功能。

各地址更新模式的地址更新方法如表 15.9 所示。

表 15.9 各地址更新模式的地址更新方法

地址更新模式	EXDMACn.EDMAMD.SM EXDMACn.EDMAMD.DM 地址更新模式的设定值	更新方法 (各 EXDMACn.EDMTMD.SZ[1:0] 设定值的更新方法)		
		SZ[1:0]=00b	SZ[1:0]=01b	SZ[1:0]=10b
地址固定	00b	固定		
偏移量增加	01b	+EXDMAC0.EDMOFR (注)		
递增	10b	+1	+2	+4
递减	11b	-1	-2	-4

注. 必须用 2 的补数给偏移寄存器设定负值。用以下表达式求 2 的补数:
 负偏移值的 2 的补数表示 = ~ (偏移值) + 1 (~: 位取反)

(1) 使用偏移量增加的基本传送

带偏移的地址更新功能的运行例子如图 15.8 所示。

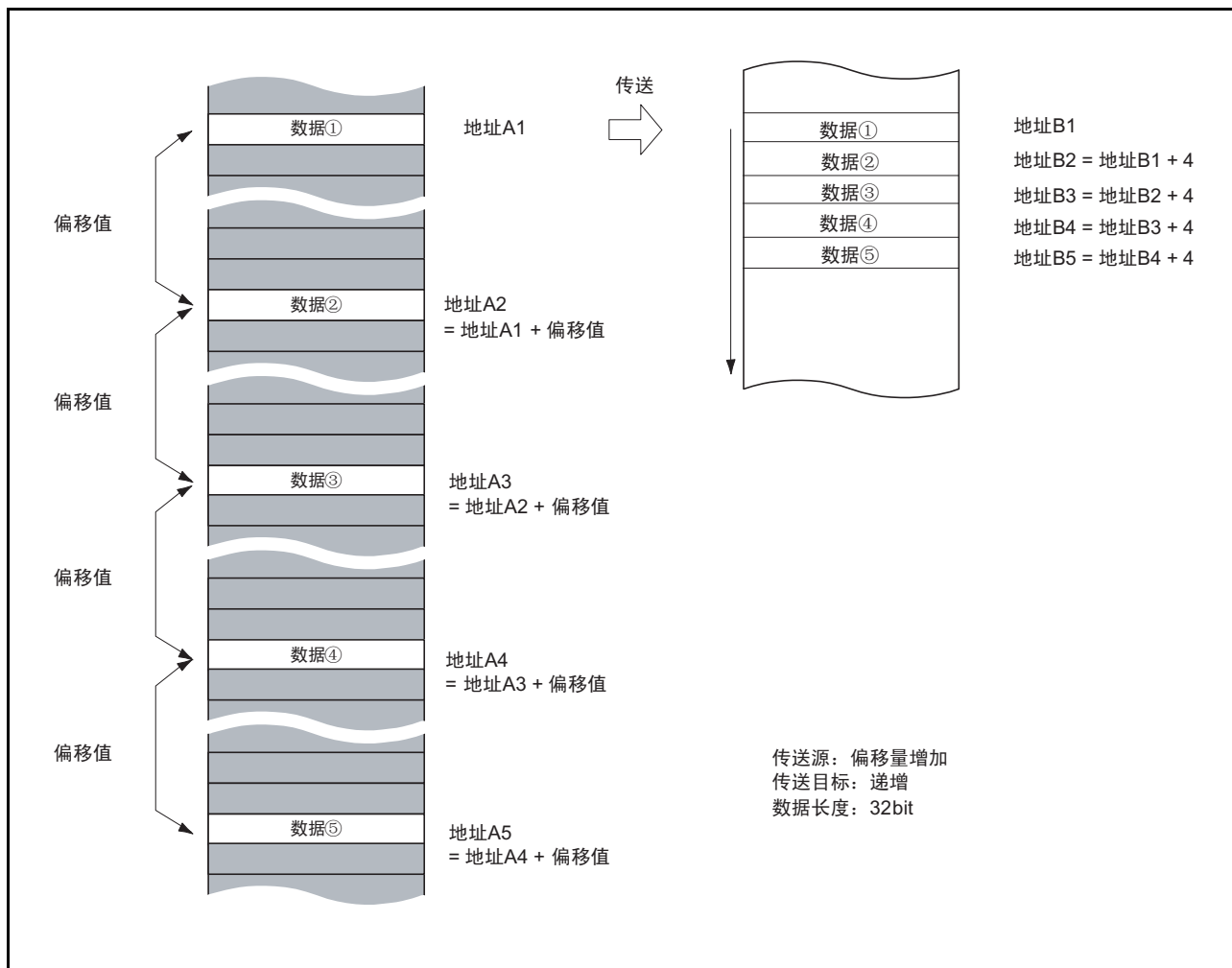


图 15.8 带偏移的地址更新功能的运行例子

在图 15.8 中，将传送数据长度设定为“32 位”，传送源地址的更新模式设定为“偏移量增加”，传送目标地址的更新模式设定为“递增”。在进行第 2 次以后的传送源地址更新时，从上次传送时的地址加上偏移值后的地址读数据，然后将一定间隔的读数据写到传送目标的连续区域。

(2) 使用偏移量增加的 XY 转换例子

使用重复传送模式和偏移量增加进行 XY 转换时运行例子如图 15.9 所示。

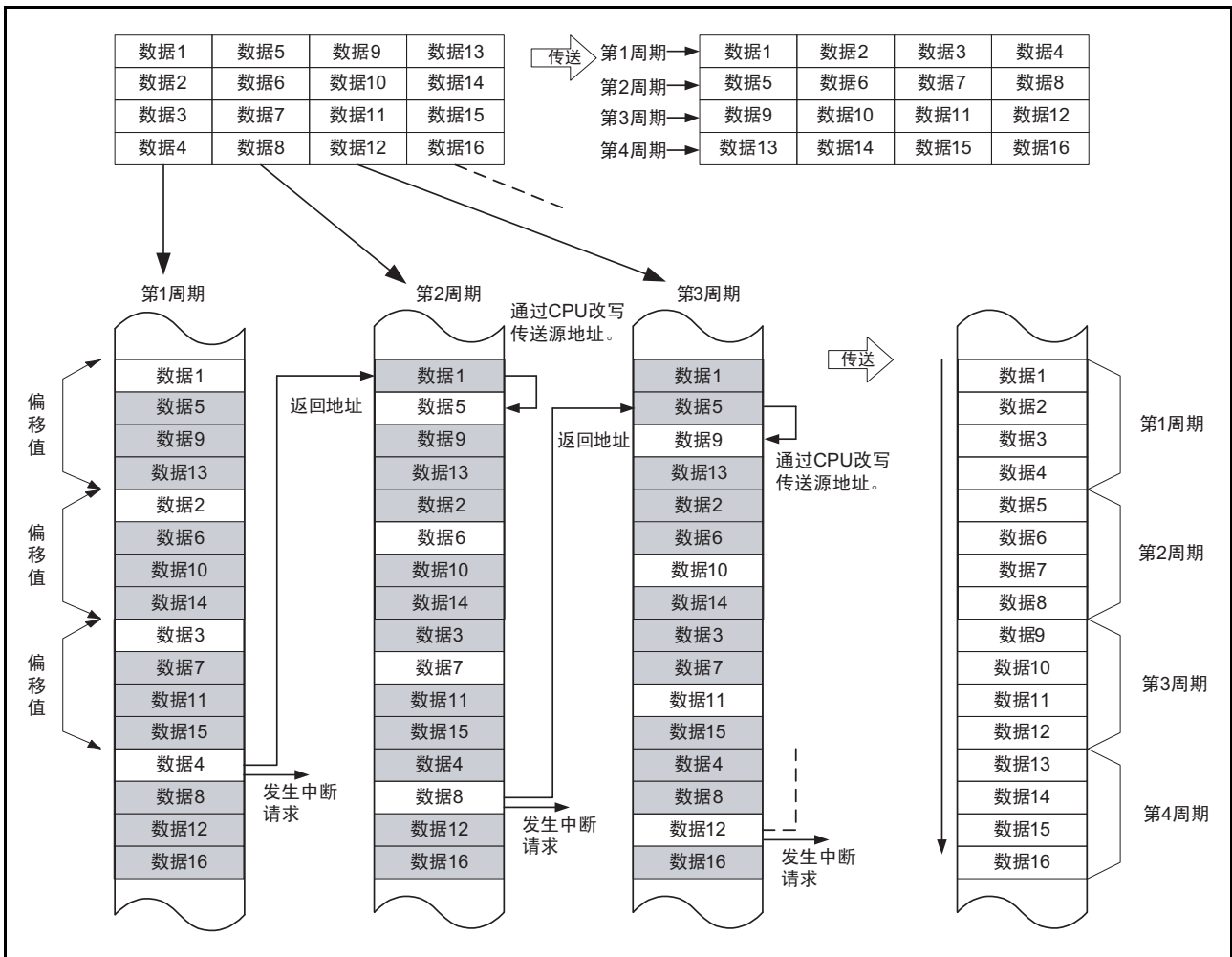


图 15.9 使用重复传送模式和偏移量增加进行 XY 转换时的运行例子

在图 15.9 中，通过 EXDMAC0.EDMAMD 寄存器将传送源地址设定为重复区域并且设定为“偏移量增加”。偏移值是相当于 4× 传送数据长度的地址（例如，如果传送数据长度为 32 位，就给 EXDMAC0.EDMOFR 寄存器指定“00000010h”），重复大小为 4× 传送数据长度（例如，传送数据长度为 32 位，就将 4×4=16 字节指定为重复大小）。传送目标设定为“递增”，如果将 EXDMAC0.EDMINT.RPTIE 位置“1”并且重复大小的传送结束，就产生重复大小结束中断请求。

一旦传送开始，传送源就将地址加上偏移值后进行数据传送，传送数据按照传送顺序连续排列在传送目标中。如果传送“数据 4”为止的数据，EXDMAC 就通过传送重复大小的数据，将传送源地址返回到开始传送时的地址（传送源“数据 1”的地址），同时产生重复大小结束中断请求。一旦传送被此中断请求中止，就必须通过 CPU 将 EXDMAC0.EDMSAR 的值改写为“数据 5”的地址（如果是 32 位传送，就将地址改写为“数据 1”的地址 +4）。如果给 EDMCNT0.DTE 位写“1”，就从传送中止状态开始继续传送。此后，重复同样的处理，就能在将传送源数据进行 XY 转换后传送到传送目标。

XY 转换的处理流程如图 15.10 所示。

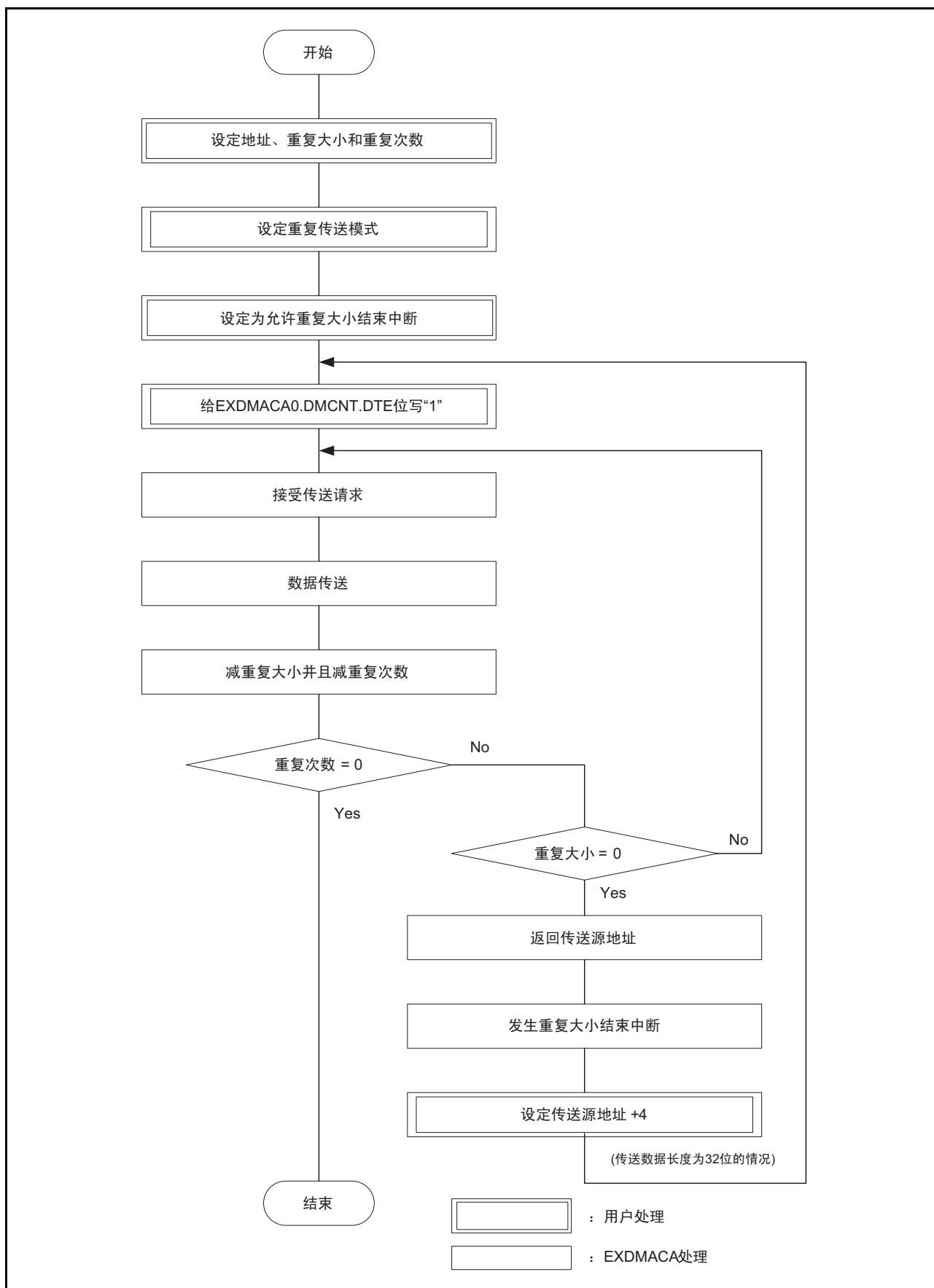


图 15.10 使用重复传送模式和偏移量增加进行 XY 转换的流程

15.3.4 地址模式

EXDMAC 能设定双地址模式和单地址模式（群集传送能设定读地址模式或者写地址模式），传送模式和地址模式的关系如表 15.10 所示。

表 15.10 传送模式和地址模式的关系

传送模式	地址模式	单地址方向	EXDMAC 运行
正常传送模式 (EDMTMD.MD[1:0]=00)	双地址模式 (EDMAMD.AMS=0)	—	在读后进行写操作。
	单地址模式 (EDMAMD.AMS=1)	传送源 (EDMAMD.DIR=0)	只读，将 EDACK 输出到写操作的设备。 RX62N 和 RX621 不接受读数据。
		传送目标 (EDMAMD.DIR=1)	只写，将 EDACK 输出到读操作的设备。 RX62N 和 RX621 不输出写数据。
重复传送模式 (EDMTMD.MD[1:0]=01)	双地址模式 (EDMAMD.AMS=0)	—	在读后进行写操作。
	单地址模式 (EDMAMD.AMS=1)	传送源 (EDMAMD.DIR=0)	只读，将 EDACK 输出到写操作的设备。 RX62N 和 RX621 不接受读数据。
		传送目标 (EDMAMD.DIR=1)	只写，将 EDACK 输出到读操作的设备。 RX62N 和 RX621 不输出写数据。
块传送模式 (EDMTMD.MD[1:0]=10)	双地址模式 (EDMAMD.AMS=0)	—	按 EDMTMD.SZ（传送数据长度）进行交替读写。
	单地址模式 (EDMAMD.AMS=1)	传送源 (EDMAMD.DIR=0)	只读，将 EDACK 输出到写操作的设备。 RX62N 和 RX621 不接受读数据
		传送目标 (EDMAMD.DIR=1)	只写，将 EDACK 输出到读操作的设备。 RX62N 和 RX621 不输出写数据。
群集传送模式 (EDMTMD.MD[1:0]=11)	双地址模式 (EDMAMD.AMS=0)	—	在进行群集大小的读操作后，进行群集大小的写操作。
	读地址模式 (EDMAMD.AMS=1)	传送源 (EDMAMD.DIR=0)	只进行群集大小的读操作，传送目标为群集缓冲器。
	写地址模式 (EDMAMD.AMS=1)	传送目标 (EDMAMD.DIR=1)	只进行群集大小的写操作，传送源为群集缓冲器。

15.4 传送运行

EXDMAC 传送运行例子如下所示。EXDMAC 与外部总线时钟 (BCLK) 同步运行。

以下如无特别理由, 均为外部总线时钟 (BCLK) 和 BCLK 引脚输出频率相同时的运行例子。

15.4.1 正常传送模式和重复传送模式的传送运行

(1) 双地址模式

正常传送双地址模式的总线周期例子如图 15.11 所示, 这是通过 EDREQ 下降沿的启动, 以 16 位数据长度 (EXDMACn.EDMTMD.SZ[1:0]=01) 将 1 个数据从 16 位、2 个周期存取的设备传送到另一个 16 位、2 个周期存取的设备时的运行例子。

重复传送模式和正常传送模式的总线周期相同。

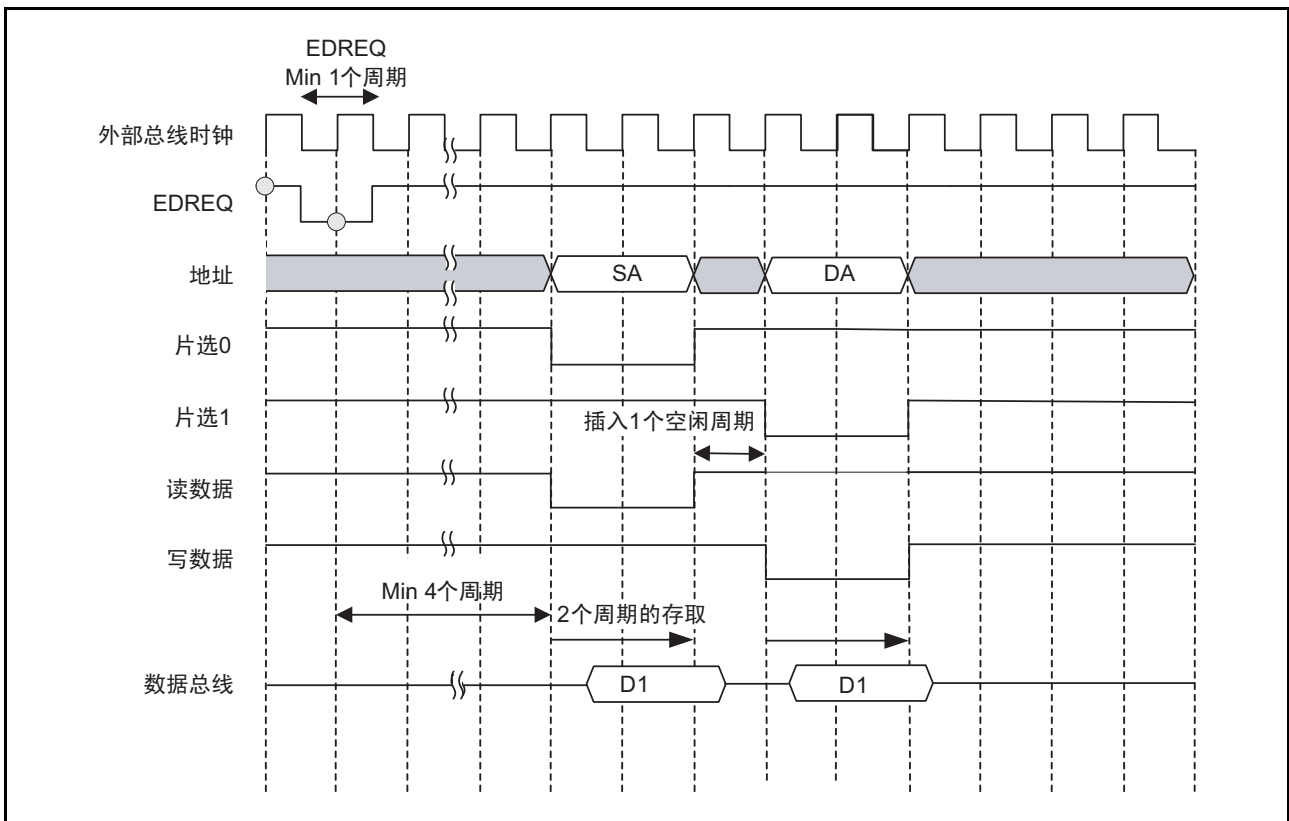


图 15.11 正常传送双地址模式的总线周期例子

(2) 单地址模式

在单地址模式中, 在读传送源地址时不将读到的数据取到 LSI 而直接传送到传送目标设备。此时, 将 EDACK 输出到传送源中的一个传送目标的外部设备, 同时向另一个传送对象输出地址并且进行存取。

当 EXDMACn.EDMAMD.DIR 为 “0” 时, 将传送源地址输出到外部总线, 将 EDACK 输出到传送目标; 当 EXDMACn.EDMAMD.DIR 为 “1” 时, 将传送目标地址输出到外部总线, 将 EDACK 输出到传送源。单地址模式的数据流程如图 15.12 所示。

在正常传送单地址模式中, EXDMACn.EDMAMD.DIR 为 “1” (传送目标地址输出) 并且 EXDMACn.EDMAMD.DIR 为 “0” (传送源地址输出) 时, 通过 2 个周期的存取分别传送 1 个数据时的总线周期例子如图 15.13 所示。

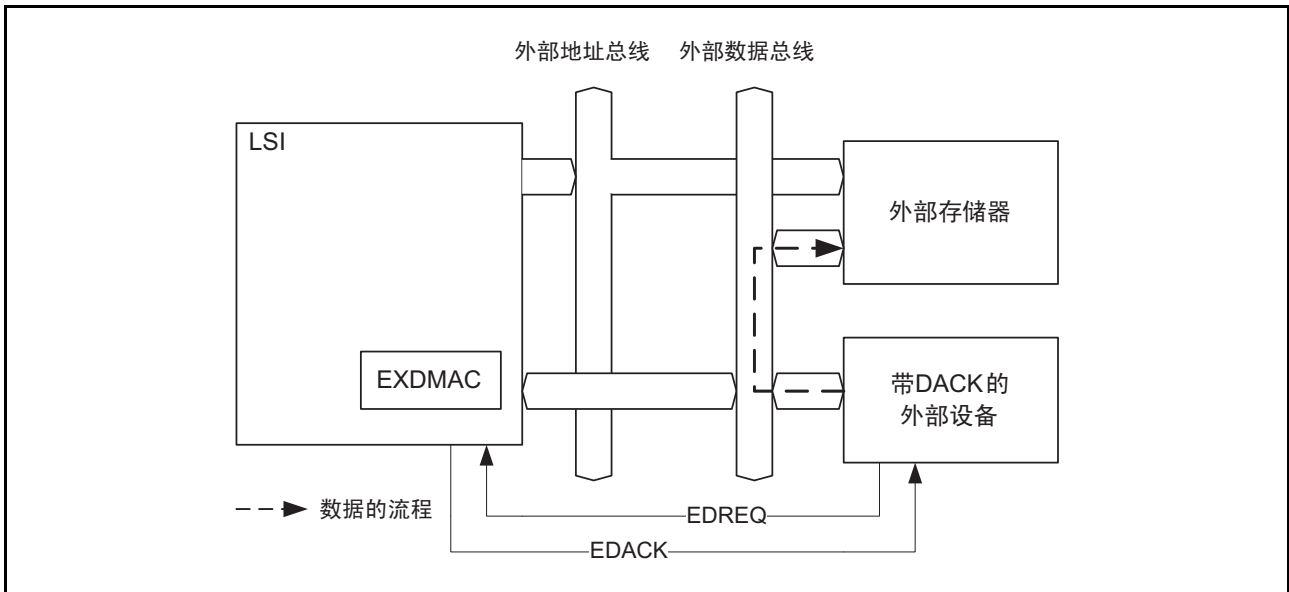


图 15.12 单地址模式的数据流程 (DIR=1 时)

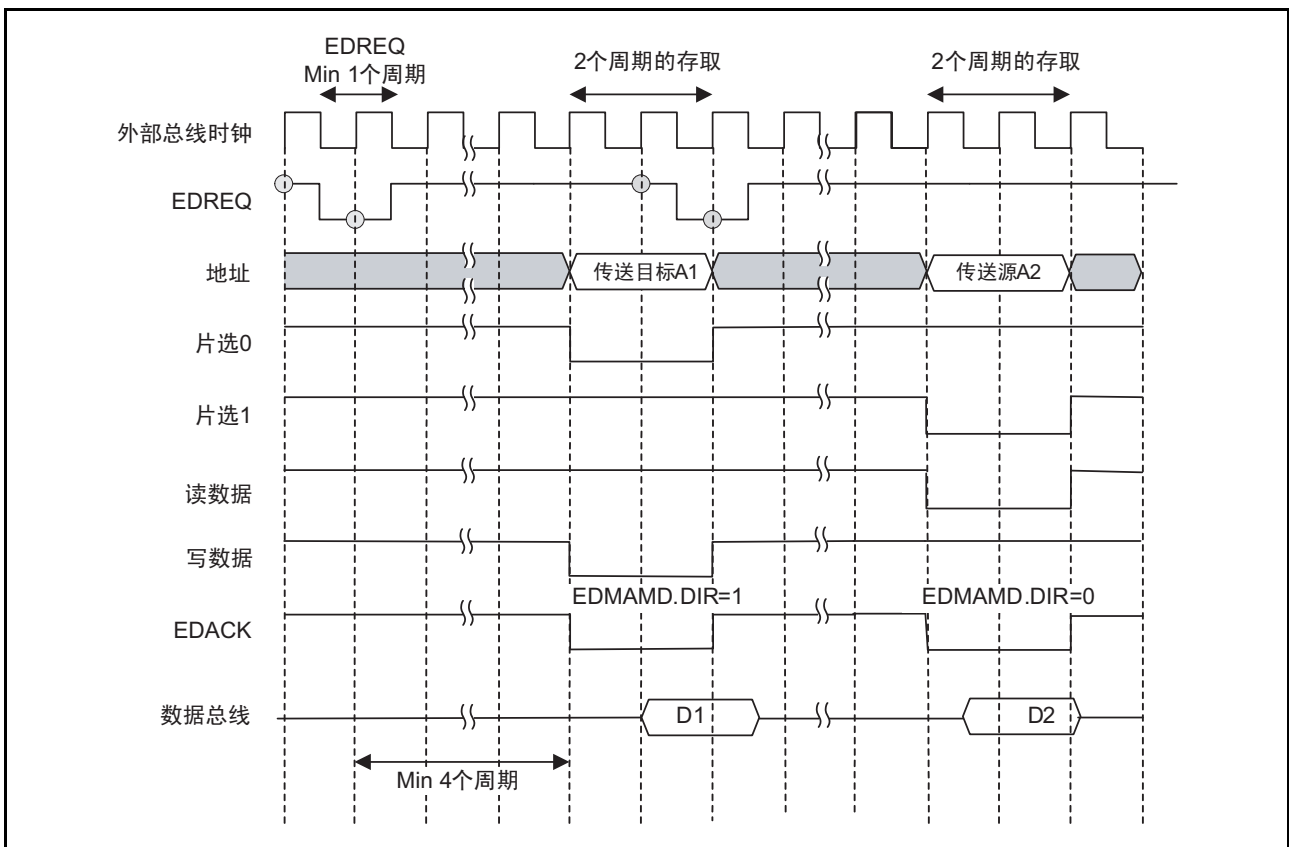


图 15.13 正常传送单地址模式的总线周期例子

15.4.2 块传送模式的传送运行

(1) 双地址模式

块传送双地址模式的总线周期例子如图 15.14 所示，这是以 16 位数据长度 (EXDMACn.EDMTMD.SZ[1:0]=01) 将块大小为 3 的数据从 16 位、2 个周期存取的设备传送到另一个 16 位、2 个周期存取的设备时的运行例子。

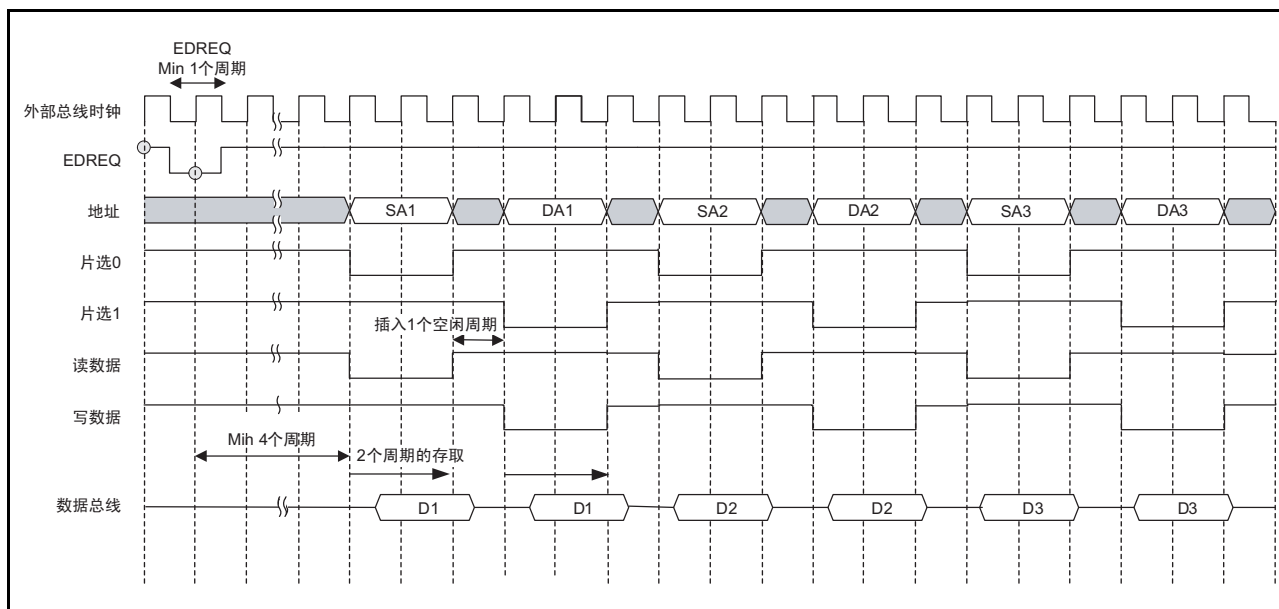


图 15.14 块传送双地址模式的总线周期例子

(2) 单地址模式

块传送单地址模式的总线周期例子如图 15.15 所示，这是以 16 位数据长度 (EXDMACn.EDMTMD.SZ[1:0]=01) 并且通过 3 个总线周期将块大小为 3 的数据从带 EDACK 的 16 位存取设备传送到另一个 16 位存取设备时的运行例子。

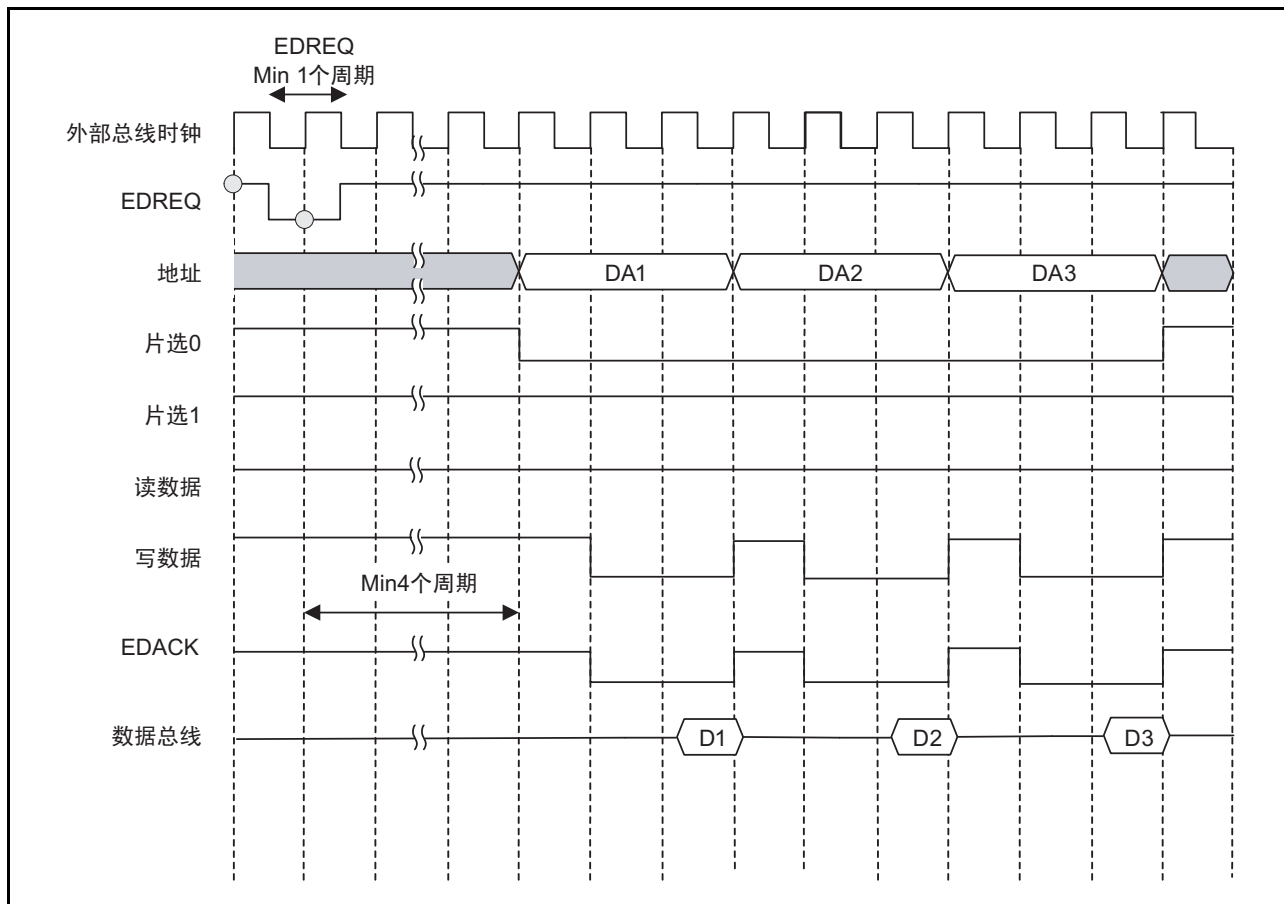


图 15.15 块传送单地址模式的总线周期例子

15.4.3 群集传送模式的传送运行

(1) 双地址模式

在群集传送双地址模式中，通过群集缓冲器将群集大小的数据从传送源外部设备传送到传送目标外部设备。群集传送双地址模式的数据流程如图 15.16 所示，群集大小为 3 并且通过 2 个时钟周期传送 1 群集数据时的总线周期例子如图 15.17 所示。

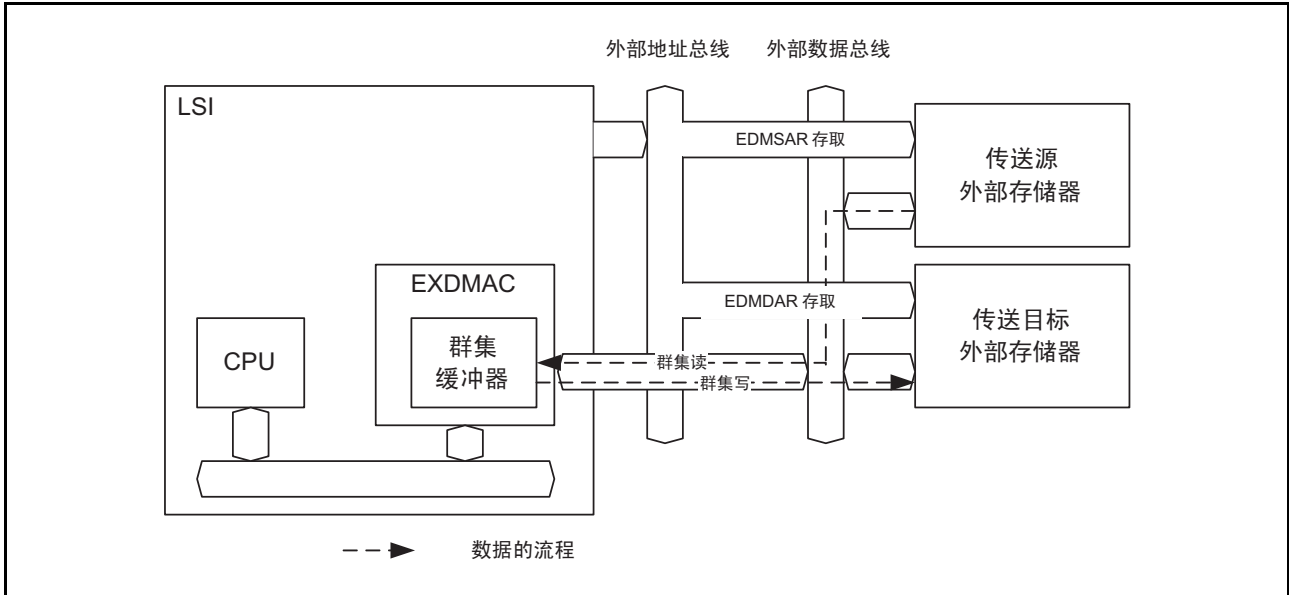


图 15.16 群集传送双地址模式的数据流程

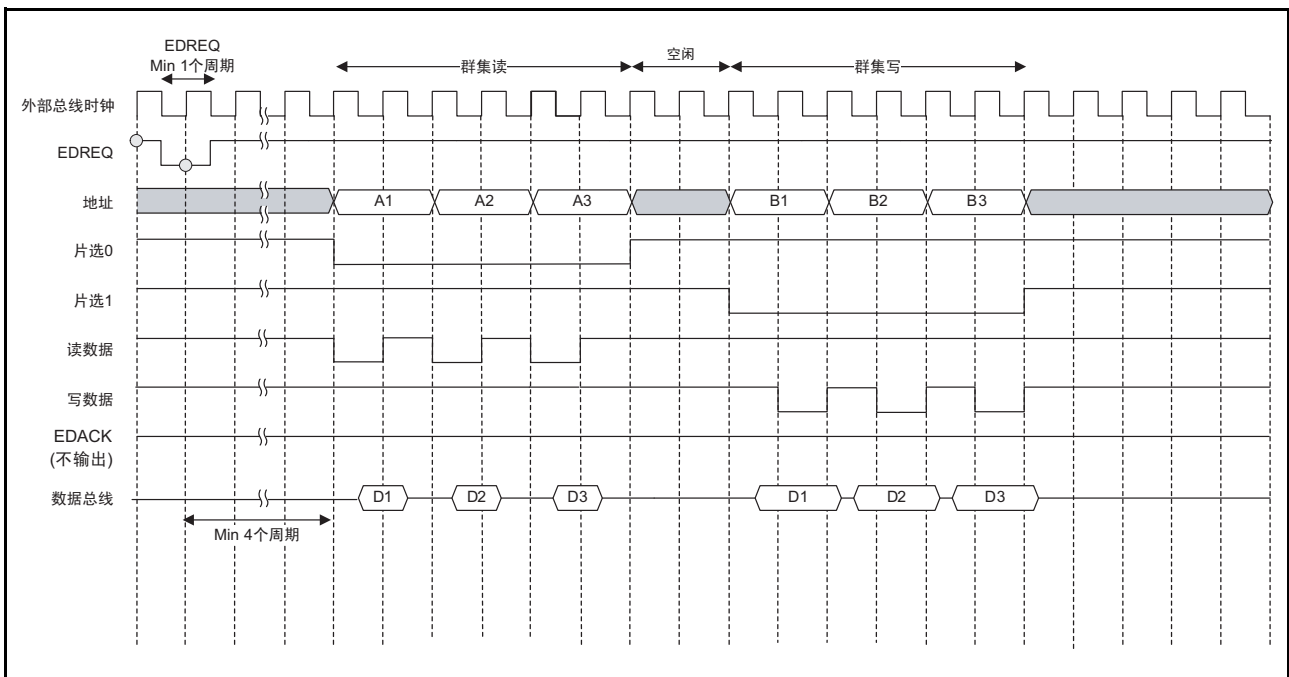


图 15.17 群集传送双地址模式的总线周期例子

(2) 读地址模式

在群集传送读地址模式中，将群集大小的数据从传送源外部设备传送到群集缓冲器。能从 CPU 读被传送到群集缓冲器内的数据。群集传送读地址模式的数据流程如图 15.18 所示，群集大小为 6 并且通过 2 个时钟周期传送 1 群集数据时的总线周期例子如图 15.19 所示。

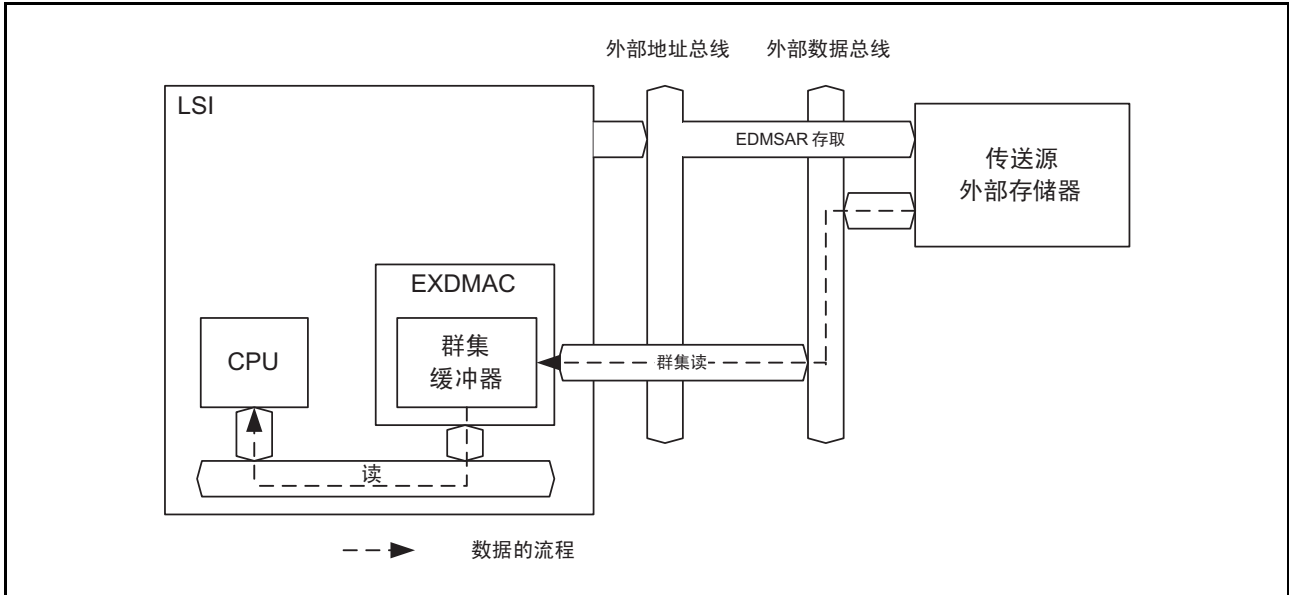


图 15.18 群集传送读地址模式的数据流程

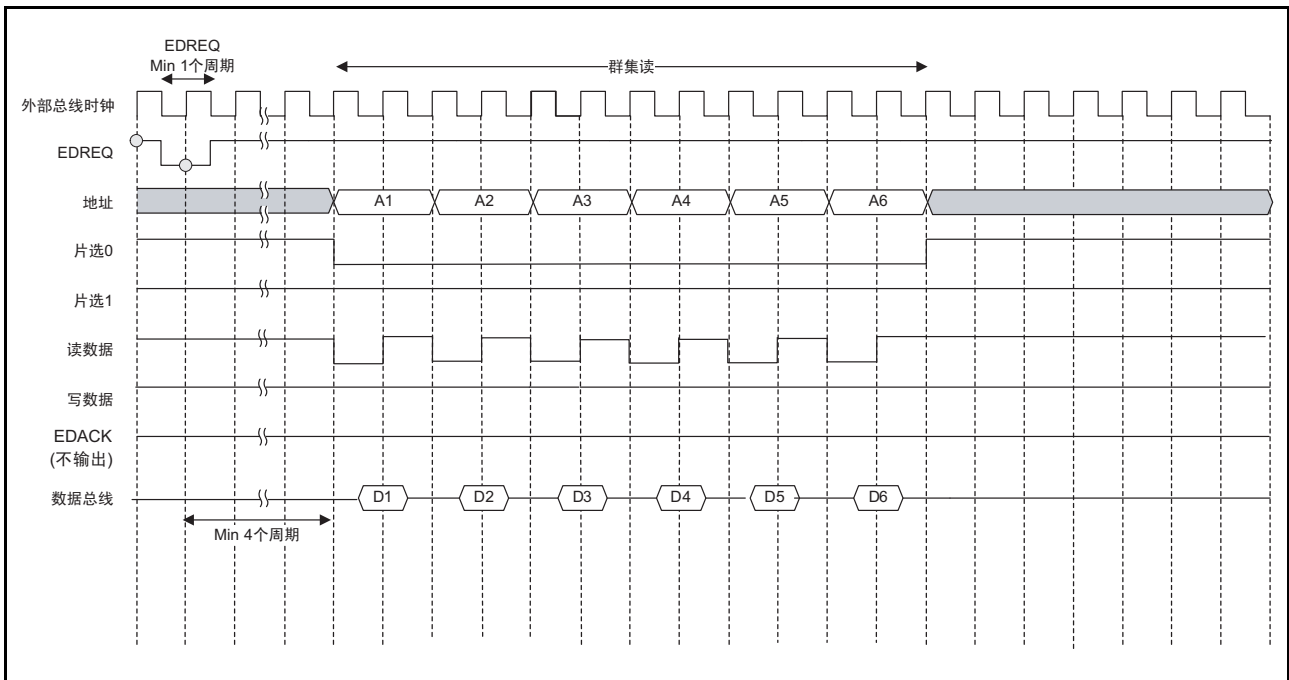


图 15.19 群集传送读地址模式的总线周期例子

(3) 写地址模式

在群集传送写地址模式中，通过 CPU/DMAC/DTC 等内部总线主控将写入群集缓冲器内的数据传送到传送目标外部设备。群集传送写地址模式的数据流程如图 15.20 所示，群集大小为 6 并且通过 2 个总线周期传送 1 群集数据时的总线周期子如图 15.21 所示。

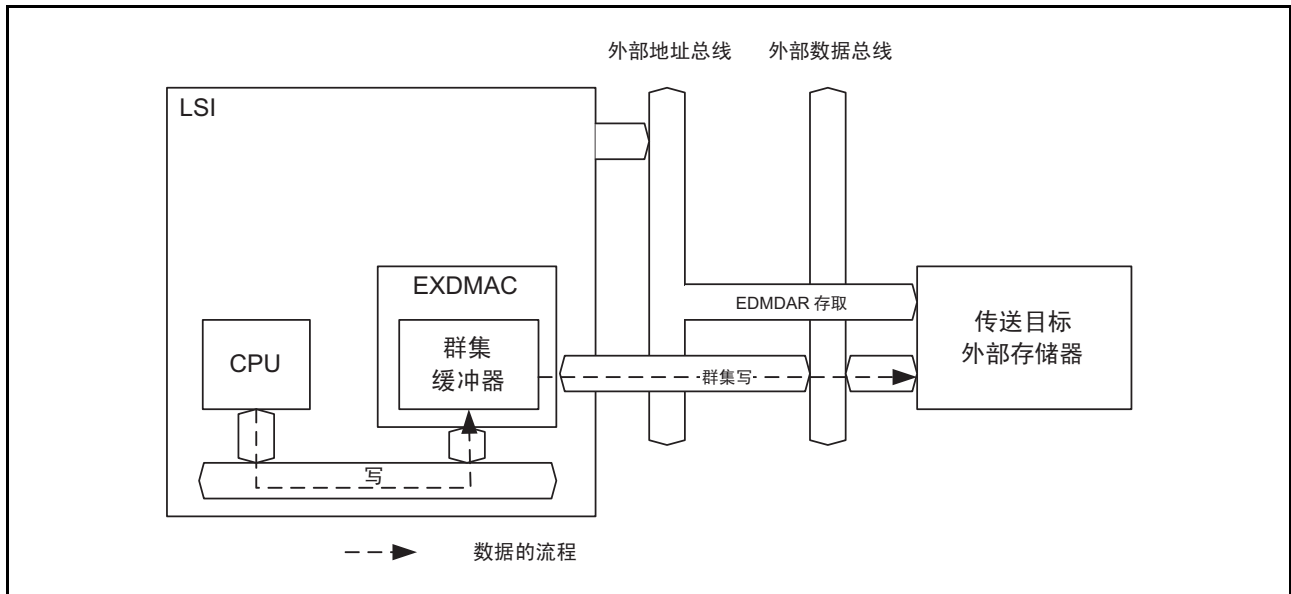


图 15.20 群集传送写地址模式的数据流程

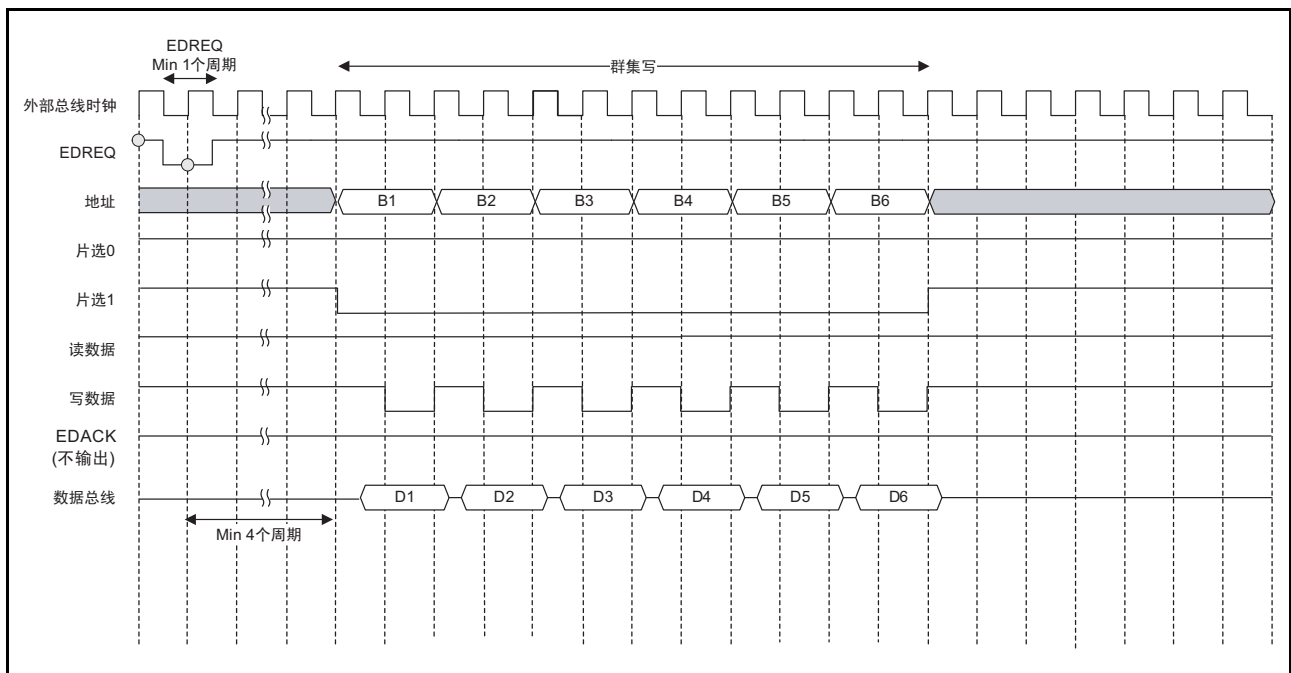


图 15.21 群集传送写地址模式的总线周期例子

15.5 启动源和启动步骤

15.5.1 启动源

EXDMAC 的启动源有软件、外部 DMA 传送请求引脚 (EDREQ 引脚) 和内部外围模块 (MTU1 的比较匹配) 的 DMA 传送请求, 能通过 EXDMACn.EDMTMD.DCTG[1:0] 位选择这些启动源。

(1) 通过软件启动

如果将 EXDMACn.EDMTMD.DCTG[1:0] 位置“00b”, 就能通过软件启动。

在通过软件启动 DMA 传送时, 必须按照以下步骤进行:

1. 确认 EXDMACn.EDMREQ.SWREQ 位已为“0”。
2. 将 EXDMACn.EDMTMD.DCTG[1:0] 位置“00b”。
3. 将 EXDMACn.EDMCNT.DTE 位置“1”。
4. 将 EXDMACn.EDMREQ.SWREQ 位置“1”。

当 EXDMACn.DMREQ.CLRS 位为“0”时, 一旦请求的传送开始, EXDMACn.EDMREQ.SWREQ 位就变为“0”。当 EXDMACn.EDMREQ.CLRS 位为“1”时, EXDMACn.EDMREQ.SWREQ 位不变为“0”。在该请求的传送结束后再次产生 DMA 传送请求。

(2) 通过外部 DMA 传送请求引脚 (EDREQ) 启动

如果将 EXDMACn.EDMTMD.DCTG[1:0] 位置“10b”, 就能通过外部 DMA 传送请求引脚启动。在通过外部 DMA 传送请求引脚启动时, 必须按照以下步骤进行设定:

1. 通过 EXDMACn.EDMRMD.DREQS[1:0] 位设定检测方法。
2. 将 EXDMACn.EDMTMD.DCTG[1:0] 位置“10b” (外部 DMA 传送请求引脚)。
3. 将 EXDMACn.EDMERF.EREQ 标志置“1”后清除 EREQ 标志。
4. 将 EXDMACn.EDMCNT.DTE 位置“1” (允许启动)。

当通过 EXDMACn.EDMRMD.DREQS[1:0] 位设定为“下降沿检测”或者“上升沿检测”时, 一旦检测到外部 DMA 传送请求引脚的边沿, EXDMACn.EDMERF.EREQ 标志就变为“1”。一旦通过外部请求开始 DMA 传送, EXDMACn.EDMERF.EREQ 标志就变为“0”。如果写“1”, EXDMACn.EDMERF.EREQ 标志就变为“0”。

当通过 EXDMACn.EDMRMD.DREQS[1:0] 位设定为“Low 电平检测”时, 如果外部 DMA 传送请求引脚为“Low 电平”, EXDMACn.EDMERF.EREQ 标志就变为“1”; 如果外部 DMA 传送请求引脚为“High 电平”, EXDMACn.EDMERF.EREQ 标志就变为“0”。在“Low 电平检测”的情况下, 如果通过外部请求开始 DMA 传送或者写“1”, EXDMACn.EDMERF.EREQ 标志就不变为“0”。

当 EXDMACn.EDMERF.EREQ 标志为“1”时, 如果 EDMAST.DMST 位为“1”并且 EXDMACn.EDMCNT.DTE 位为“1”, 就开始 DMA 运行。

下降沿检测时的外部 DMA 请求时序和 Low 电平检测时的外部 DMA 请求时序分别如图 15.22 和图 15.23 所示。

与 EDMAST.DMST 位和 EXDMACn.EDMCNT.DTE 位的值无关, 保持 EXDMACn.EDMERF.EREQ 标志。

图 14.22 表示下降沿检测时的外部 DMA 传送请求时序，图 14.23 表示 Low 电平检测时的外部 DMA 传送请求时序。

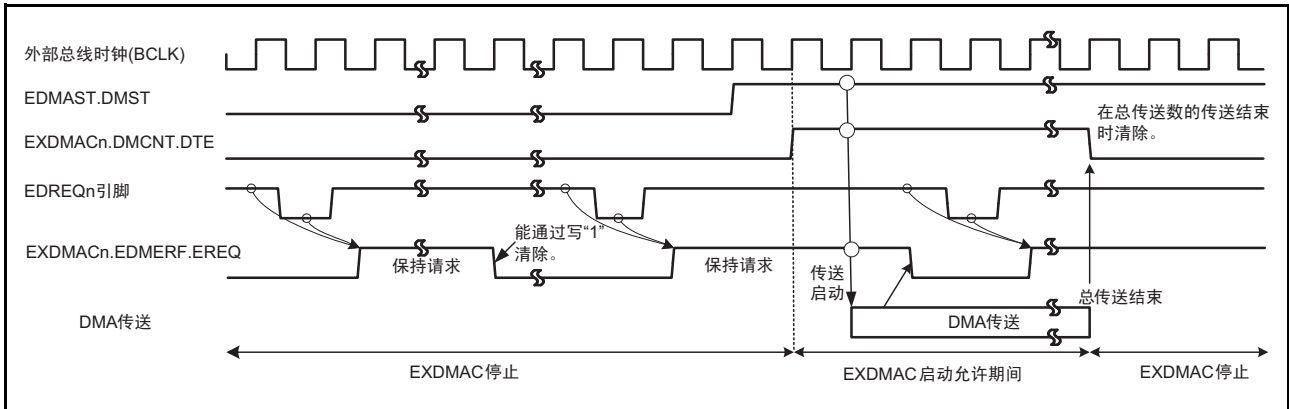


图 15.22 下降沿检测时的外部 DMA 传送请求时序

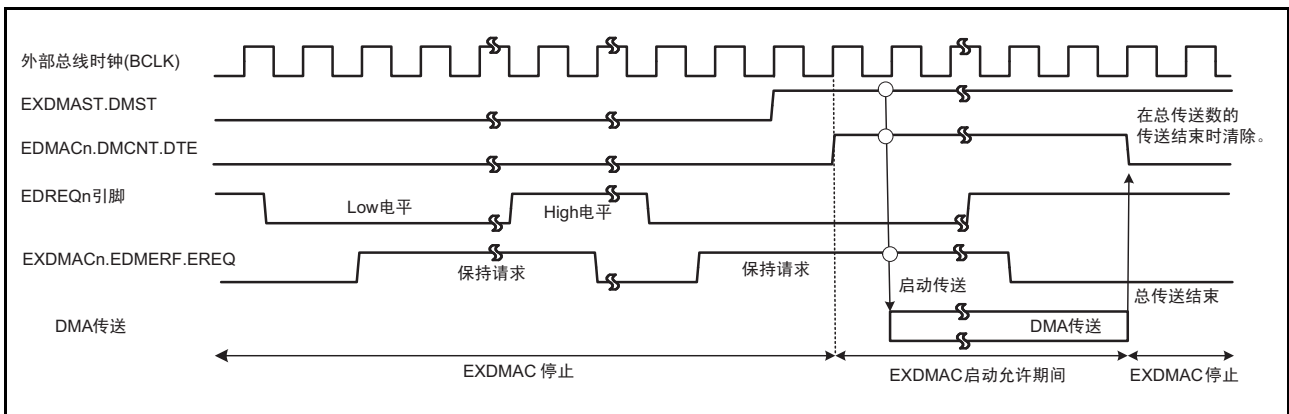


图 15.23 Low 电平检测时的外部 DMA 传送请求时序

(3) 通过内部外围的 DMA 传送请求 (MTU1 的比较匹配) 启动

如果将 EXDMACn.EDMTMD.DCTG[1:0] 位置“11b”，就能通过内部外围模块 (MTU1 的比较匹配) 的 DMA 传送请求启动。

在通过内部外围模块 (MTU1 的比较匹配) 启动时，必须按照以下步骤进行设定：

1. 将 EXDMACn.EDMTMD.DCTG[1:0] 位置“11b” (MTU1 的比较匹配)。
2. 将 EXDMACn.EDMPRF.PREQ 标志置“1”后清除 PREQ 标志。
3. 将 EXDMACn.EDMCNT.DTE 位置“1” (允许启动)。

当发生内部外围模块 (MTU1 的比较匹配) 的 DMA 传送请求时，EXDMACn 内部的 EXDMACn.EDMPRF.PREQ 标志变为“1”。一旦通过内部外围请求开始 DMA 传送，EXDMACn.EDMPRF.PREQ 标志就变为“0”。如果写“1”，就变为“0”。

如果在 EXDMACn.EDMPRF.PREQ 标志为“1”的状态下 EDMAST.DMST 位为“1”并且 EXDMACn.EDMCNT.DTE 位为“1”，就开始 DMA 运行。

与 EDMAST.DMST 位和 EXDMACn.EDMCNT.DTE 位的值无关，保持 EXDMACn.EDMPRF.PREQ 标志。

15.5.2 EXDMAC 的启动

寄存器的设定步骤如图 15.24 所示。



图 15.24 寄存器的设定步骤

15.5.3 DMA 传送的开始

如果在将 EXDMACn.EDMCNT.DTE 位置“1”（允许 DMA 传送）后将 EDMAST.DMST 位置“1”（EXDMAC 运行），就能进行通道 n（n=0 ~ 1）的 DMA 传送。

如果产生 DMA 传送请求，就进行通道仲裁，接受优先级高的通道的 DMA 传送请求，开始 DMA 传送。一旦接受 DMA 传送请求并且开始 DMA 传送，EXDMACn.EDMSTS.ACT 标志就变为“1”（正在传送数据）。

15.5.4 DMA 传送过程中的寄存器

通过 DMA 传送处理更新 EXDMAC 寄存器的值。被更新的值因各种设定和传送状态而不同，被更新的寄存器为 EXDMACn.EDMSAR、EXDMACn.EDMDAR、EXDMACn.EDMCRA、EXDMACn.EDMCRB、EXDMACn.EDMCNT 和 EXDMACn.EDMSTS。

(1) DMA 传送源地址寄存器 (EXDMACn.EDMSAR)

如果结束 1 次传送请求的数据传送，就通过下次请求将 EXDMACn.EDMSAR 寄存器更新为要存取的地址。各模式的寄存器更新请参照表 15.5 ~ 表 15.8。

(2) DMA 传送目标地址寄存器 (EXDMACn.EDMDAR)

如果结束 1 次传送请求的数据传送，就通过下次请求将 EXDMACn.EDMDAR 寄存器更新为要存取的地址。各模式的寄存器的更新请参照表 15.5 ~ 表 15.8。

(3) DMA 传送计数寄存器 (EXDMACn.EDMCRA)

如果结束 1 次传送请求的数据传送，就更新计数值。各模式的更新值不同，各模式的寄存器的更新请参照表 15.5 ~ 表 15.8。

(4) DMA 块传送计数寄存器 (EXDMACn.EDMCRB)

如果结束 1 次传送请求的数据传送，就更新计数值。各模式的更新值不同，各模式的寄存器的更新请参照表 15.5 ~ 表 15.8。

(5) DMA 传送允许位 (EXDMACn.EDMCNT.DTE)

EXDMACn.EDMCNT.DTE 位通过 CPU 的写操作控制允许或者禁止数据传送。根据 DMA 传送状态，有可能通过 EXDMAC 自动将 EXDMACn.EDMCNT.DTE 位置“0”。

通过 EXDMAC 自动将 EXDMACn.EDMCNT.DTE 位置“0”的条件如下：

- 设定的总传送数据量的传送结束时
- 产生重复大小结束中断请求并且传送结束时
- 产生扩展重复区域上溢中断请求并且传送结束时
- 给 EXDMACn.EDMCNT.DTE 位写“0”时
- 复位时

禁止写 EXDMACn.EDMCNT.DTE 位为“1”的通道的寄存器（EXDMACn.EDMCNT 除外），必须在给 EXDMACn.EDMCNT.DTE 位写“0”后更改各寄存器的设定。

(6) DMA 激活标志 (EXDMACn.EDMSTS.ACT 标志)

此标志表示 EXDMACn 停止或者正在运行。当 EXDMACn 开始传送时，EXDMACn.EDMSTS.ACT 标志为“1”；当结束 1 次传送请求的数据传送时，此标志变为“0”。

即使在 DMA 传送过程中通过给 EXDMACn.EDMCNT.DTE 位写“0”来停止 DMA 传送，EXDMACn.EDMSTS.ACT 标志也将“1”的状态保持到 DMA 传送结束为止。

(7) 传送结束中断标志 (EXDMACn.EDMSTS.DTIF 标志)

当通过 DMA 传送结束总传送长度的传送时, EXDMACn.EDMSTS.DTIF 标志为“1”。

当 EXDMACn.EDMSTS.DTIF 标志为“1”并且 EXDMACn.EDMINT.DTIE 位为“1”时, 产生传送结束中断请求。

在 DMA 传送的总线周期结束后 EXDMACn.EDMSTS.ACT 标志变为“0”并且结束传送时, EXDMACn.EDMSTS.DTIF 标志变为“1”。

如果在中断处理过程中给 EXDMACn.EDMCNT.DTE 位写“1”, EXDMACn.EDMSTS.DTIF 标志就自动变为“0”。

(8) 传送退出中断标志 (EXDMACn.EDMSTS.ESIF)

当产生重复大小结束中断请求或者扩展重复区域上溢中断请求时, EXDMACn.EDMSTS.ESIF 标志变为“1”。

当 EXDMACn.EDMSTS.ESIF 标志为“1”并且 EXDMACn.EDMINT.ESIE 位为“1”时, 产生传送退出中断请求。

在作为中断请求源的 DMA 传送的总线周期结束后 EXDMACn.EDMSTS.ACT 标志变为“0”并且结束传送时, EXDMACn.EDMINT.F 标志变为“1”。

如果在中断处理过程中给 EXDMACn.EDMCNT.DTE 位写“1”, EXDMACn.EDMSTS.ESIF 标志就自动变为“0”。

要将 EXDMACn 的中断请求通知 CPU 或者 DTC 时, 需要设定中断控制寄存器, 详细内容请参照“11. 中断控制器 (ICUa) ”。

15.5.5 通道的优先级

当有多个 DMA 传送请求时, EXDMAC 判断有 DMA 传送请求的通道的优先级。通道的优先级固定为通道 0 > 通道 1。

如果在数据传送过程中产生 DMA 传送请求, 就在最后的数据传送结束后进行通道仲裁, 开始优先级高的通道的传送。

15.6 DMA 传送的结束

DMA 传送的结束因传送结束条件而不同。一旦 DMA 传送结束，EXDMACn.EDMCNT.DTE 位和 EXDMACn.EDMSTS.ACT 标志就从“1”变为“0”，表示 DMA 传送结束。

15.6.1 通过设定的总数据传送结束传送

(1) 正常传送模式 (EXDMACn.EDMTMD.MD[1:0]=00b)

当 EXDMACn.EDMCRAL 寄存器的值从“1”变为“0”时，对应通道的 DMA 传送结束并且 EXDMACn.EDMCNT.DTE 位变为“0”，同时 EXDMACn.EDMSTS.DTIF 标志变为“1”。此时，如果 EXDMACn.EDMINT.DTIE 位为“1”，就向 CPU 或者 DTC 请求传送结束中断请求。

(2) 重复传送模式 (EXDMACn.EDMTMD.MD[1:0]=01b)

当 EXDMACn.EDMCRB 的值从“1”变为“0”时，对应通道的 DMA 传送结束并且将 EXDMACn.EDMCNT.DTE 位清 0，同时 EXDMACn.EDMSTS.DTIF 标志变为“1”。此时，如果 EXDMACn.EDMINT.DTIE 位为“1”，就向 CPU 或者 DTC 请求中断。

(3) 块传送模式 (EXDMACn.EDMTMD.MD[1:0]=10b)

当 EXDMACn.EDMCRB 的值从“1”变为“0”时，对应通道的 DMA 传送结束并且 EXDMACn.EDMCNT.DTE 位变为“0”，同时 EXDMACn.EDMSTS.DTIF 标志变为“1”。此时，如果 EXDMACn.EDMINT.DTIE 位为“1”，就向 CPU 或者 DTC 请求中断。

(4) 群集传送模式 (EXDMACn.EDMTMD.MD[1:0]=11b)

当 EXDMACn.EDMCRB 的值从“1”变为“0”时，对应通道的 DMA 传送结束并且 EXDMACn.EDMCNT.DTE 位变为“0”，同时 EXDMACn.EDMSTS.DTIF 标志变为“1”。此时，如果 EXDMACn.EDMINT.DTIE 位为“1”，就向 CPU 或者 DTC 请求中断。

要将 EXDMACn 的中断请求通知 CPU 或者 DTC 时，需要设定中断控制寄存器，详细内容请参照“11. 中断控制器 (ICUa)”。

15.6.2 通过重复大小结束中断结束传送

在重复传送模式中，当 EXDMACn.EDMINT.RPTIE 位为“1”时，在 1 个重复大小的传送结束后产生重复大小结束中断请求。通过产生中断请求结束 DMA 传送并且 EXDMACn.EDMCNT.DTE 位变为“0”，同时 EXDMACn.EDMSTS.ESIF 标志变为“1”。此时，如果 EXDMACn.EDMINT.ESIE 位为“1”，就向 CPU 或者 DTC 请求中断。如果将 EXDMACn.EDMCNT.DTE 位置“1”，就从此状态重新开始传送。

即使在块传送模式（或者群集传送模式）中，也能产生重复大小结束中断请求。在块传送模式（或者群集传送模式）中，在 1 块（或者 1 群集）数据传送结束后同样产生重复大小结束中断请求。

要将 EXDMACn 的中断请求通知 CPU 或者 DTC 时，需要设定中断控制寄存器，详细内容请参照“11. 中断控制器 (ICUa)”。

15.6.3 通过扩展重复区域上溢中断结束传送

在指定扩展重复区域并且将 EXDMACn.EDMINT.SARIE 或者 EXDMACn.EDMINT.DARIE 位置“1”时，如果地址的扩展重复区域发生上溢，就产生扩展重复区域上溢中断请求。通过中断请求结束 DMA 传送并且 EXDMACn.EDMCNT.DTE 位变为“0”，同时 EXDMACn.EDMSTS.ESIF 标志变为“1”。此时，如果 EXDMACn.EDMINT.ESIE 位为“1”，就向 CPU 或者 DTC 请求中断。

即使在读周期中产生扩展重复区域上溢中断请求，也执行后续的写周期处理。

在块传送模式（或者群集传送模式）中，即使在 1 块（1 群集）数据传送过程中产生扩展重复区域上溢中断请求，也进行 1 块（或者 1 群集）数据的传送。在块大小的边界，通过扩展重复区域上溢中断结束传送。

要将 EXDMACn 的中断请求通知 CPU 或者 DTC 时，需要设定中断中断控制寄存器，详细内容请参照“11. 中断控制器 (ICUa)”。

15.7 中断

EXDMAC 能将各通道的中断请求输出到 CPU 或者 DTC。中断源、标志和允许位的关系如表 15.11 所示，中断输出的概略逻辑图如图 15.25 所示。另外，通过 EXDMAC 中断处理重新开始或者中止 DMA 传送的方法如下所示。

表 15.11 中断源、标志、允许位的关系

中断源	允许位	状态标志	请求输出的允许
传送结束	—	EXDMACn.EDMSTS.DTIF	EXDMACn.EDMINT.DTIE
退出传送结束	重复大小结束	EXDMACn.EDMINT.RPTIE	EXDMACn.EDMINT.ESIE
	传送源地址的扩展重复区域发生上溢	EXDMACn.EDMINT.SARIE	
	传送目标地址的扩展重复区域发生上溢	EXDMACn.EDMINT.DARIE	

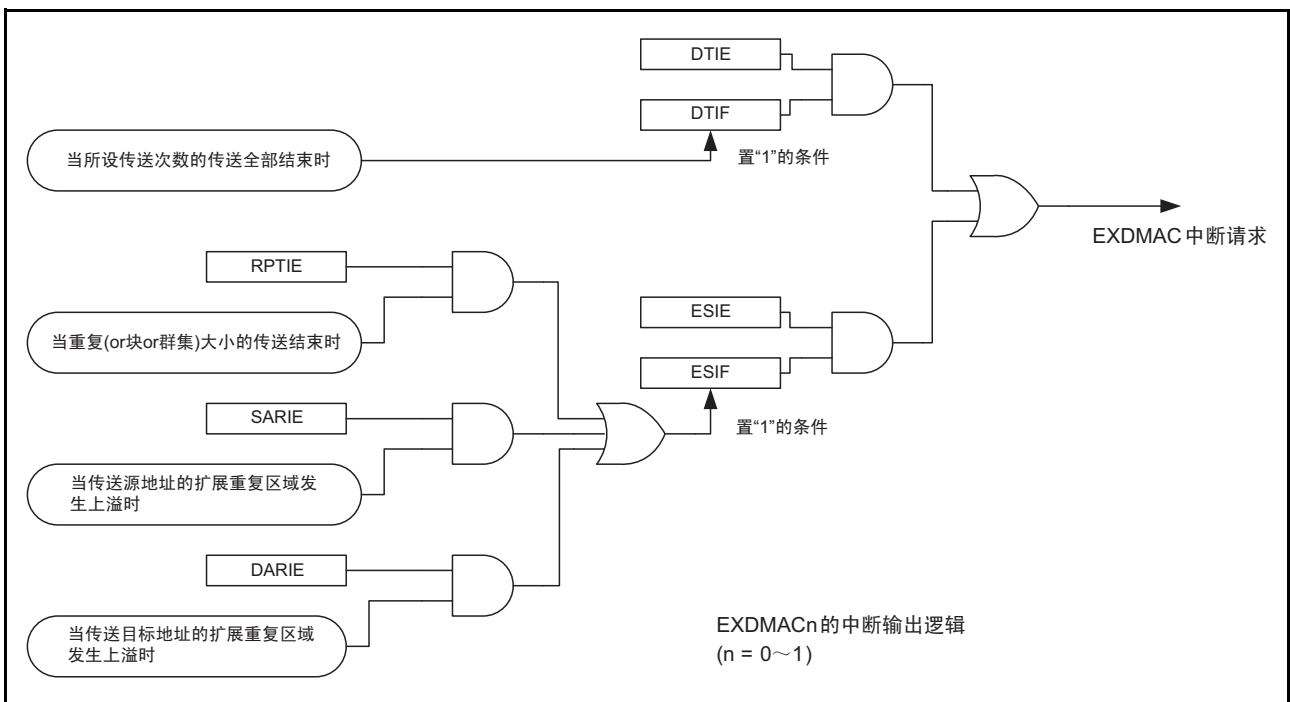


图 15.25 中断输出的概略逻辑图

结束或者中止 DMA 传送时的 EXDMAC 中断处理步骤与继续传送时的 EXDMAC 中断处理步骤不同。

(1) 结束或者中止 DMA 传送的情况

在传送结束中断的情况下，必须给 EXDMACn.EDMSTS.DTIF 标志写“0”，清除中断源；在重复大小中断和扩展重复区域上溢中断的情况下，必须给 EXDMACn.EDMSTS.ESIF 标志写“0”，清除中断源。EXDMACn 保持停止状态。如果此后进行新的 DMA 传送，就必须给需要的寄存器写设定值，并且给 EXDMACn.EDMCNT.DTE 位写“1”。

(2) 继续 DMA 传送的情况

必须给 EXDMACn.EDMCNT.DTE 位写“1”，EXDMACn.EDMSTS.ESIF 标志自动被清除（清除中断源），重新开始传送。

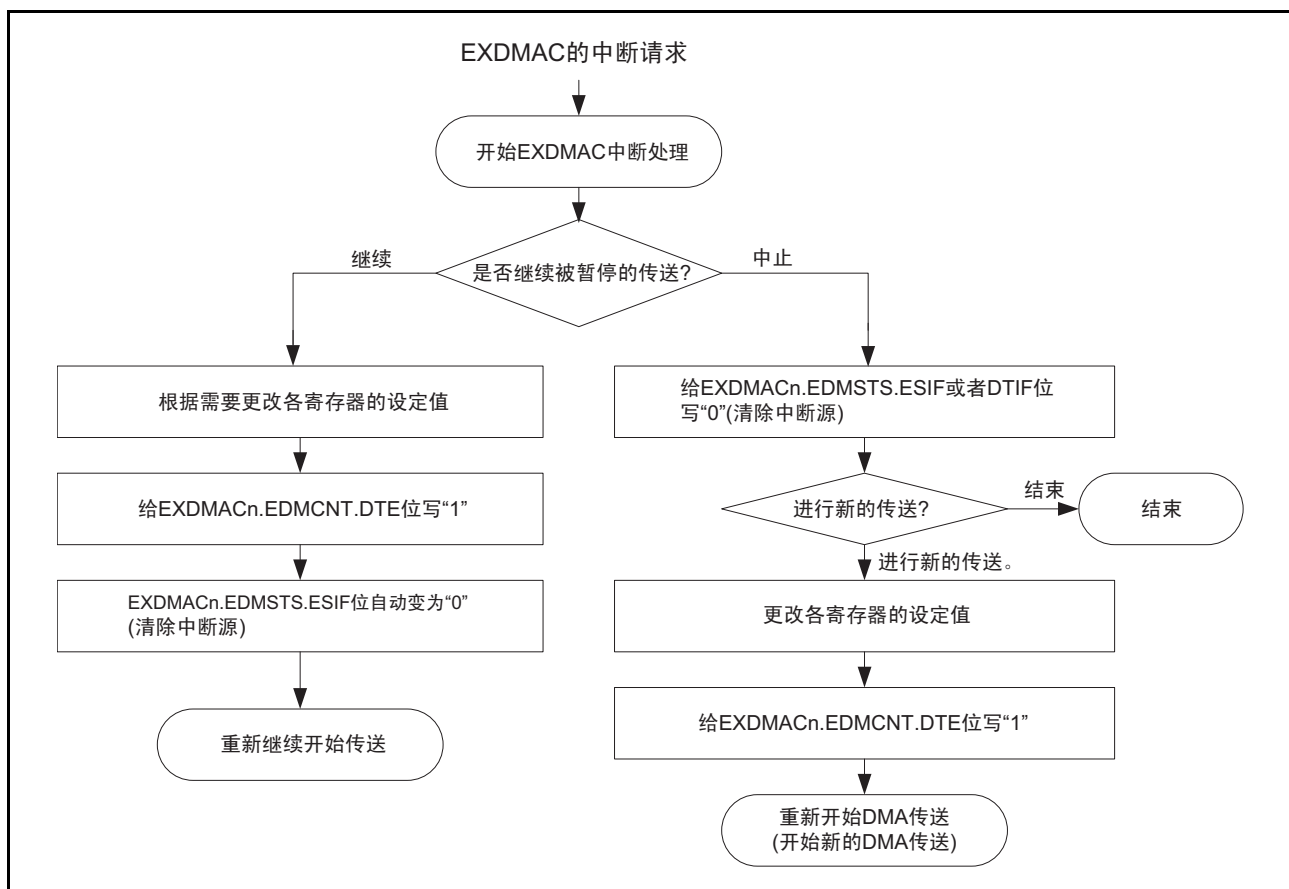


图 15.26 通过 EXDMAC 中断处理重新开始或者中止 DMA 传送的方法

15.8 低功耗功能

在使用 EXDMAC 的模块停止功能以及向全模块时钟停止模式、软件待机模式和深度软件待机模式转移时，必须在将 EDMAST.DMST 位置“0”（EXDMAC 停止）后进行以下的处理。

(1) 模块停止功能

通过给 MSTPCRA.MSTPA29 位写“1”（转移到模块停止状态），使 EXDMAC 的模块停止功能有效。如果在给 MSTPCRA.MSTPA29 位写“1”时正在进行 DMA 传送，就在 DMA 传送结束后转移到模块停止状态。

通过给 MSTPCRA.MSTPA29 位写“0”（解除模块停止状态），解除 EXDMAC 的模块停止状态。

(2) 全模块时钟停止模式

给 MSTPCRA.ACSE 位写“1”（允许全模块时钟停止模式）并且给包括 MSTPCRA.MSTPA29 位（转移到模块停止状态）在内的 MSTPCRA 寄存器和 MSTPCRB 寄存器的全部位写“1”，然后通过执行 WAIT 指令转移到全模块时钟停止模式。如果在执行 WAIT 指令时正在进行 DMA 传送，就在 DMA 传送结束后转移到全模块时钟停止模式。

在从全模块时钟停止模式返回后，通过给 MSTPCRA.MSTPA29 位写“0”，解除 EXDMAC 的模块停止状态。

(3) 软件待机模式和深度软件待机模式

给 SBYCR.SSBY 位写“1”（在执行 WAIT 指令后转移到软件待机模式）并且给 DPSBYCR.DPSBY 位写“0”（在执行 WAIT 指令后转移到软件待机模式），然后通过执行 WAIT 指令转移到软件待机模式。

如果在执行 WAIT 指令时正在进行 DMA 传送，就在 DMA 传送结束后转移到软件待机模式。

如果在给 DPSBYCR.DPSBY 位写“1”（在执行 WAIT 指令后转移到深度软件待机模式）后执行 WAIT 指令，就转移到深度软件待机模式。

(4) 使用低功耗功能时的注意事项

有关 WAIT 指令和寄存器的设定顺序，请参照“9.7.7 WAIT 指令的执行时序”。

要在从低功耗模式返回后进行 DMA 传送时，必须再次给 EDMAST.DMST 位写“1”。

15.9 单地址模式的 EDACK 运行

在单地址模式中，将 EDACK 输出到传送源中的一个传送目标的外部设备，同时向另一个传送对象输出地址并且进行存取。

如果接收 EDACK 的外部设备的传送目标为 CS 区域，就能通过设定 EXDMACn.EDMOMD.DACKW 位，将 EDACK 的无效时序调整为 1 个 BCLK 周期（当外部设备为传送目标时，在 1 个 BCLK 周期前；当外部设备为传送源时，在 1 个 BCLK 周期后）。如果传送目标为 SDRAM，就无法调整 EDACK 的无效时序（EXDMACn.EDMOMD.DACKW 位的设定值无效）。有关 CS 区域和 SDRAM 区的地址，请参照“4. 地址空间”。

通过单地址模式的正常传送和块传送分别对 CS 区域和 SDRAM 区进行传送时的 EDACK 运行例子如下所示。

15.9.1 单地址模式的正常传送 (CS 区域) 的 EDACK 运行例子

通过正常传送将数据从 CS 区域传送到带 EDACK 的设备时的运行例子如图 15.27 所示。能通过将 EXDMACn.EDMOMD.DACKW 位置“1”，在数据读信号无效时序的 1 个 BCLK 周期前将 EDACK 置为无效。

通过正常传送将数据从带 EDACK 的设备传送到 CS 区域时的运行例子如图 15.28 所示。通过将 EXDMACn.EDMOMD.DACKW 位置“1”，在数据写信号无效时序的 1 个 BCLK 周期后将 EDACK 置为无效。

有关数据读信号、数据写信号和 CS 区域存取时序设定寄存器的详细内容，请参照“12. 总线”。

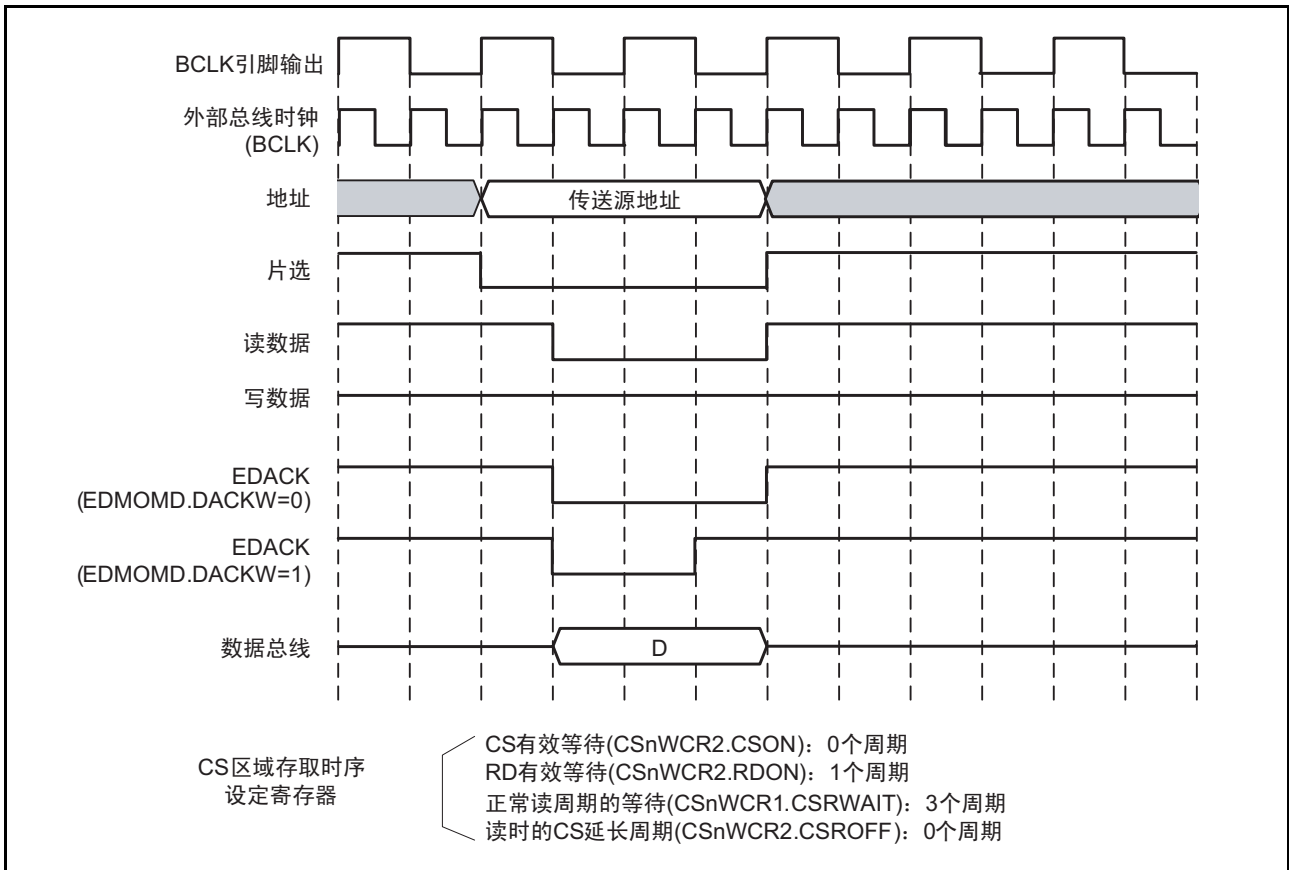


图 15.27 单地址模式的正常传送 (CS 区域、读) 运行例子

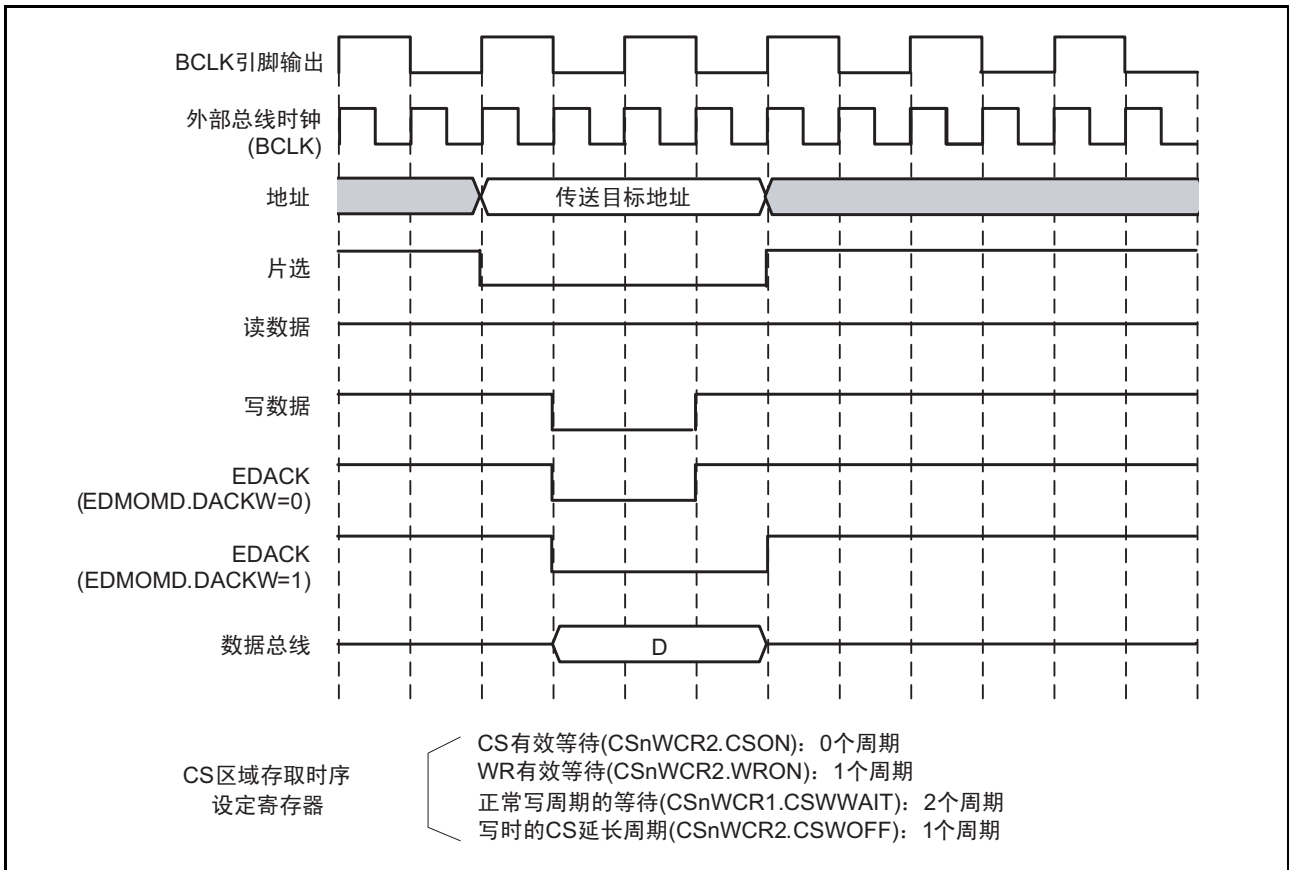


图 15.28 单地址模式的正常传送 (CS 区域、写) 运行例子

15.9.2 单地址模式的正常传送 (SDRAM 区) 的 EDACK 运行例子

通过正常传送将数据从 SDRAM 传送到带 EDACK 的设备时的运行例子如图 15.29 所示。

EDACK 在 SDRAM 的数据输出周期期间有效。

通过正常传送将数据从带 EDACK 的设备传送到 SDRAM 时的运行例子如图 15.30 所示。

EDACK 在 SDRAM 的写周期期间有效。

有关 SDRAM 命令和 SDRAM 存取时序设定寄存器的详细内容，请参照“12. 总线”。

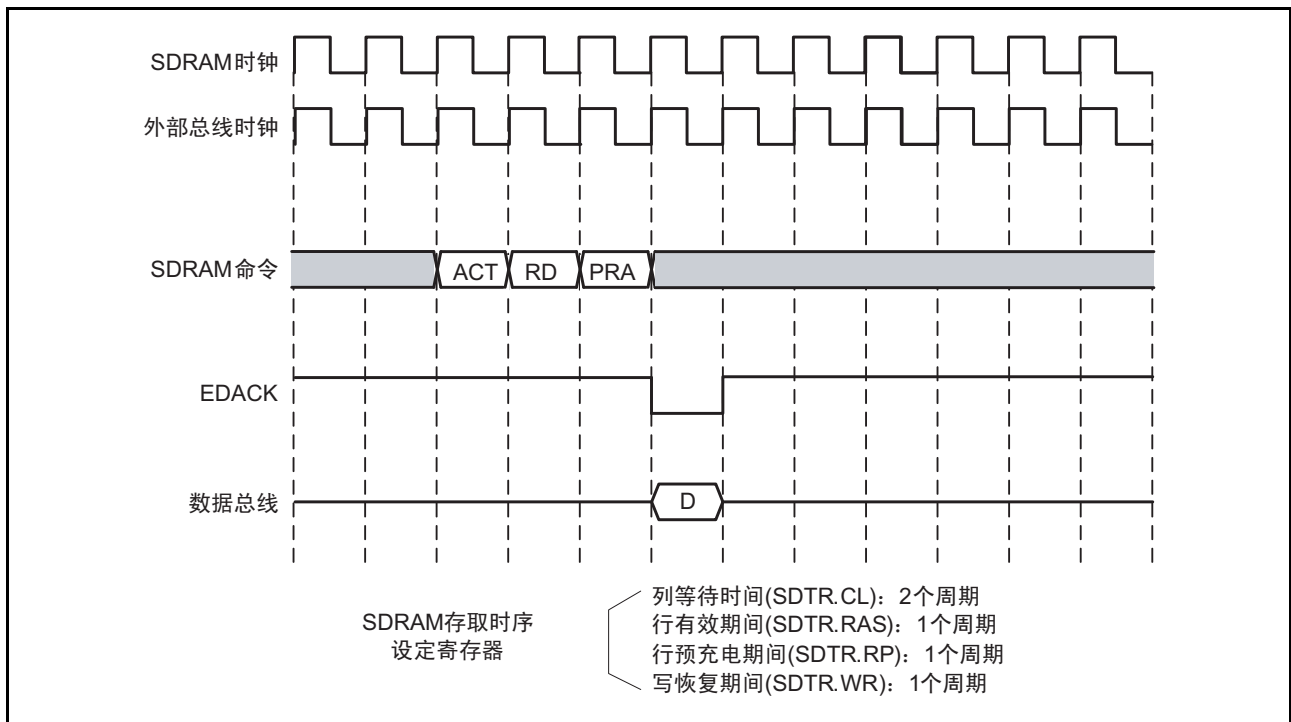


图 15.29 单地址模式的正常传送 (SDRAM 区、读) 运行例子

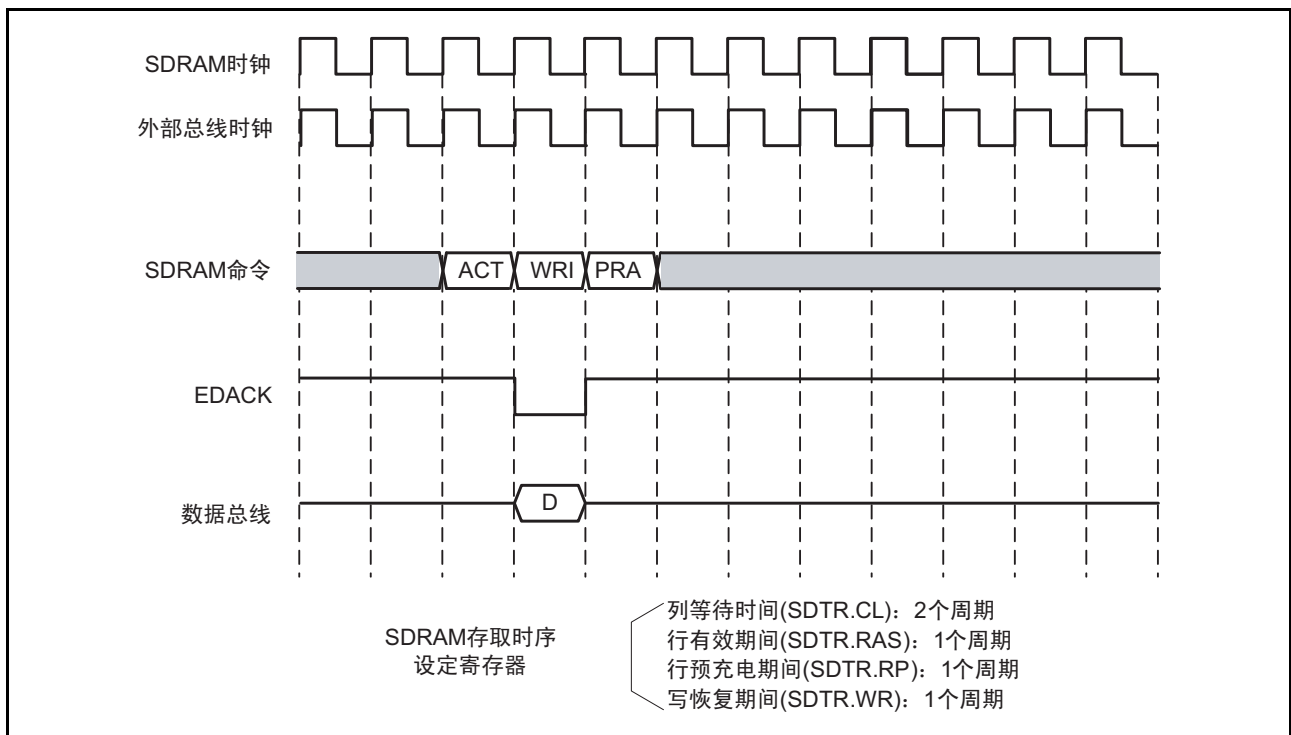


图 15.30 单地址模式的正常传送 (SDRAM 区、写) 运行例子

15.9.3 单地址模式的块传送 (CS 区域) 的 EDACK 运行例子

通过块传送 (块大小为 2) 将数据从 CS 区域传送到带 EDACK 的设备时的运行例子如图 15.31 所示。能通过将 EXDMACn.EDMOMD.DACKW 位置“1”，在数据读信号无效时序的 1 个 BCLK 周期前将 EDACK 置为无效。

通过块传送 (块大小为 2) 将数据从带 EDACK 的设备传送到 CS 区域时的运行例子如图 15.32 所示。能通过将 EXDMACn.EDMOMD.DACKW 位置“1”，在数据写信号无效时序的 1 个 BCLK 周期后将 EDACK 置为无效。

有关数据读信号、数据写信号和 CS 区域存取时序设定寄存器的详细内容，请参照“12. 总线”。

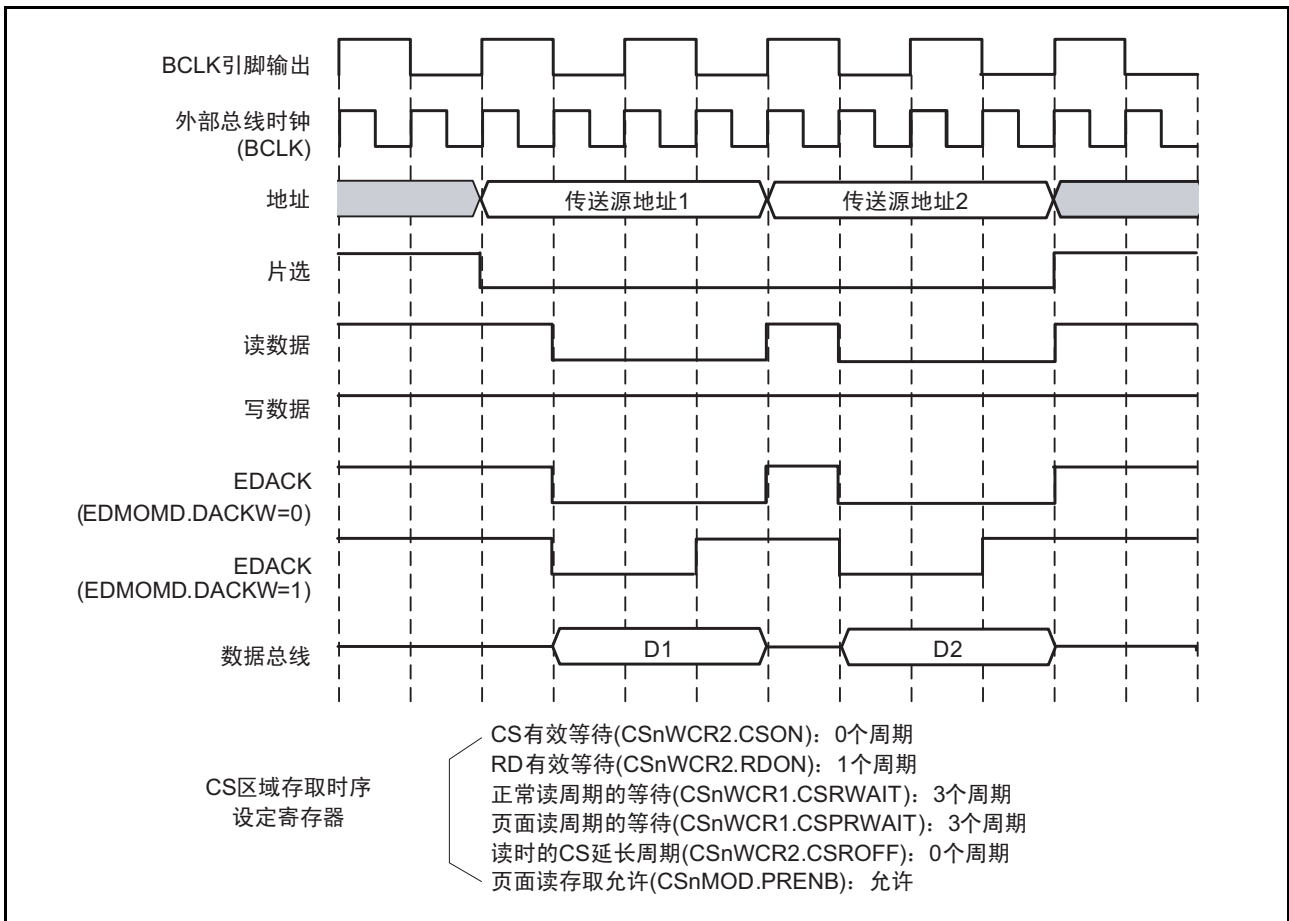


图 15.31 单地址模式的块传送 (CS 区域、读) 运行例子

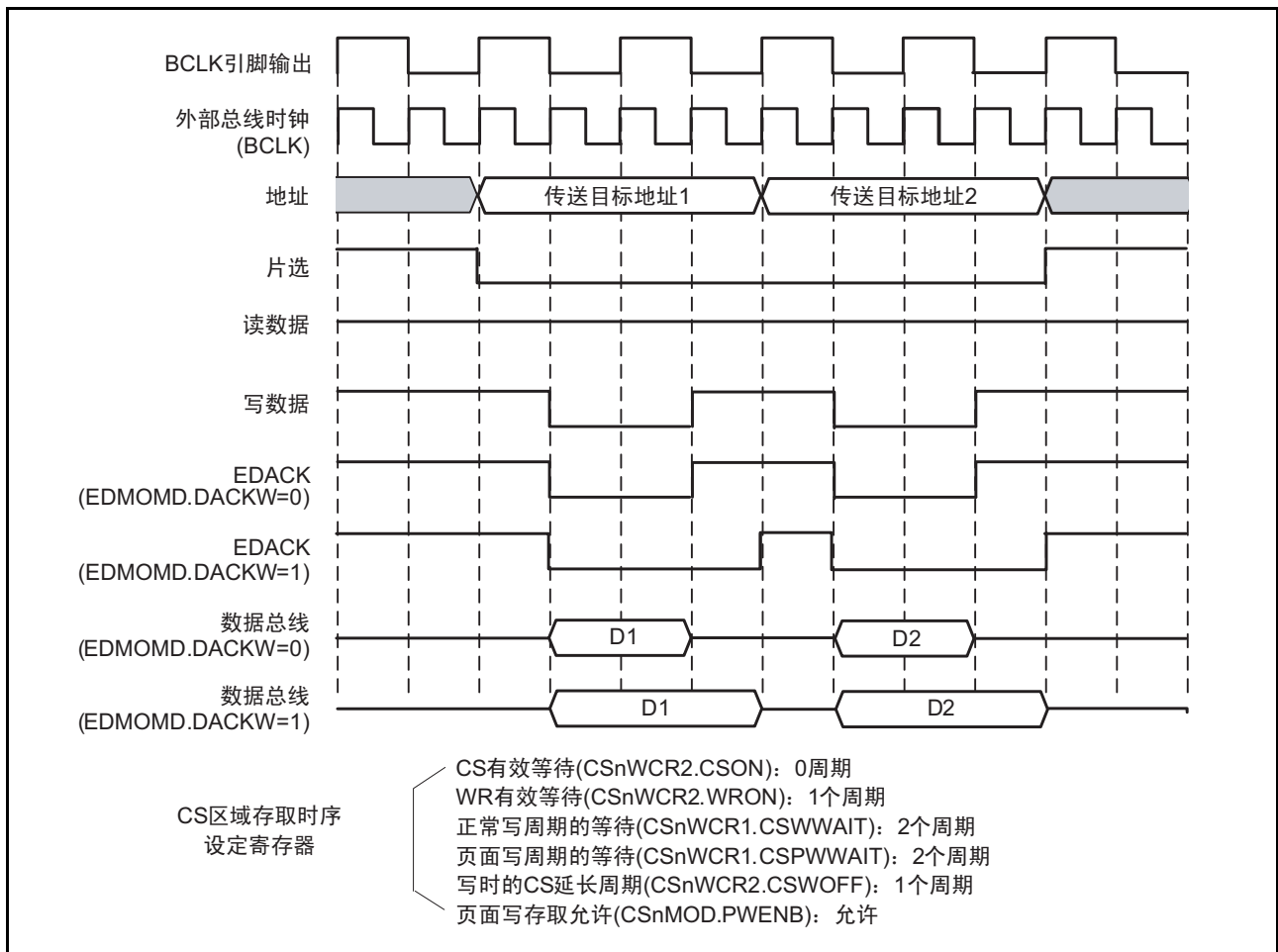


图 15.32 单地址模式的块传送 (CS 区域、写) 运行例子

15.9.4 单地址模式的块传送 (SDRAM 区) 的 EDACK 运行例子

允许连续存取 SDRAM (SDAMOD.BE=1) 并且通过块传送 (块大小为 4) 将数据从 SDRAM 传送到带 EDACK 的设备时的运行例子如图 15.33 所示。EDACK 在 SDRAM 的数据输出周期期间有效。

允许连续存取 SDRAM (SDAMOD.BE=1) 并且通过块传送 (块大小为 4) 将数据从带 EDACK 的设备传送到 SDRAM 时的运行例子如图 15.34 所示。EDACK 在 SDRAM 的写周期期间有效。

禁止连续存取 SDRAM (SDAMOD.BE=0) 并且通过块传送 (块大小为 2) 将数据从 SDRAM 传送到带 EDACK 的设备时的运行例子如图 15.35 所示。EDACK 在 SDRAM 数据输出周期期间有效。

禁止连续存取 SDRAM (SDAMOD.BE=0) 并且通过块传送 (块大小为 2) 将数据从带 EDACK 的设备传送到 SDRAM 时的运行例子如图 15.36 所示。EDACK 在 SDRAM 的写周期期间有效。

有关 SDRAM 命令和 SDRAM 存取时序设定寄存器的详细内容, 请参照“12. 总线”。

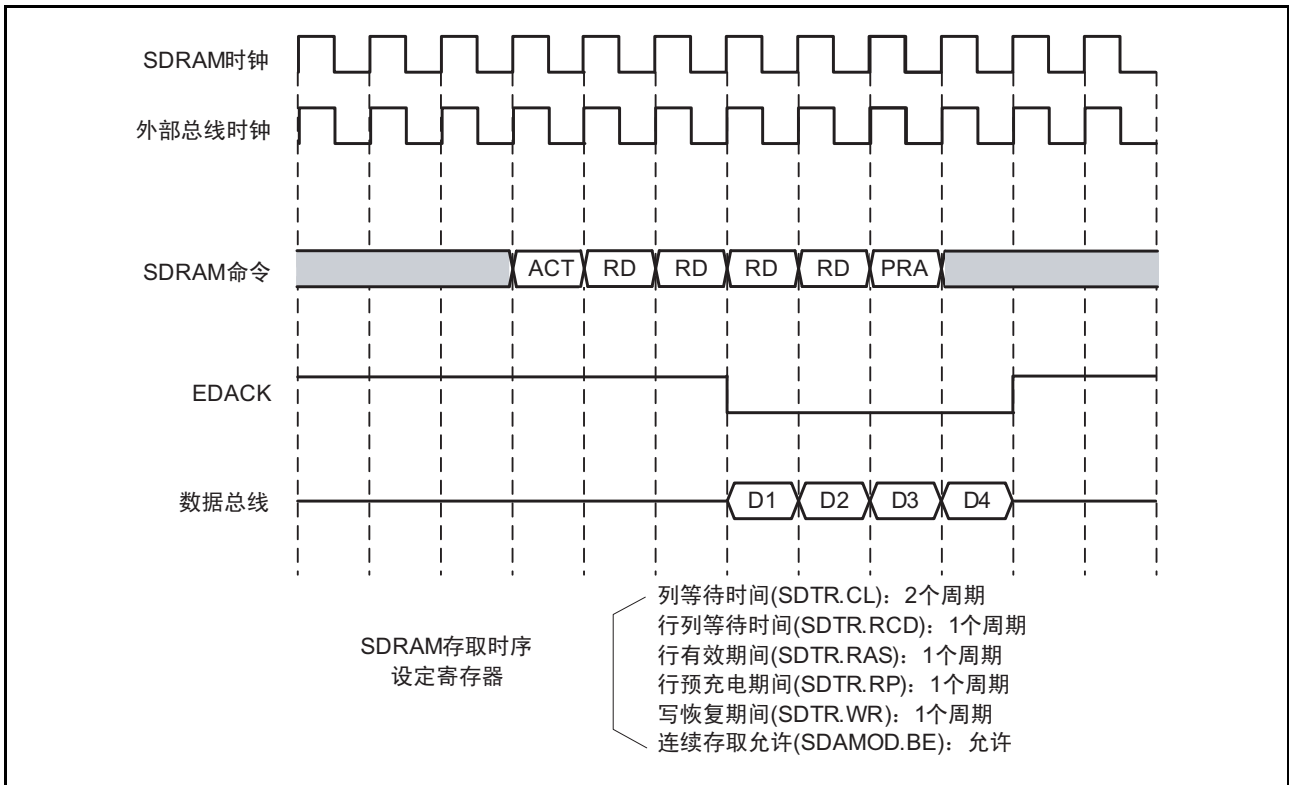


图 15.33 单地址模式的块传送 (SDRAM 区, 读: 允许连续存取) 运行例子

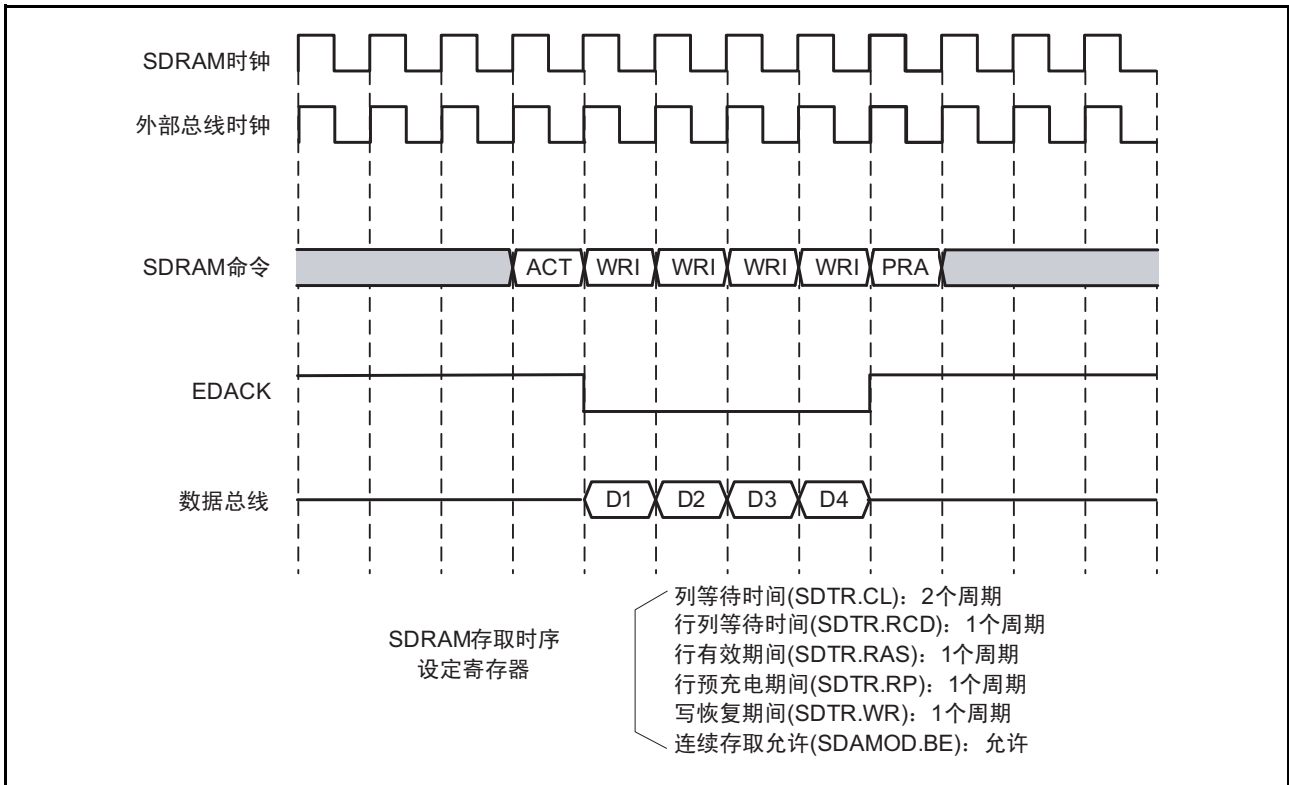


图 15.34 单地址模式的块传送 (SDRAM 区, 写: 允许连续存取) 运行例子

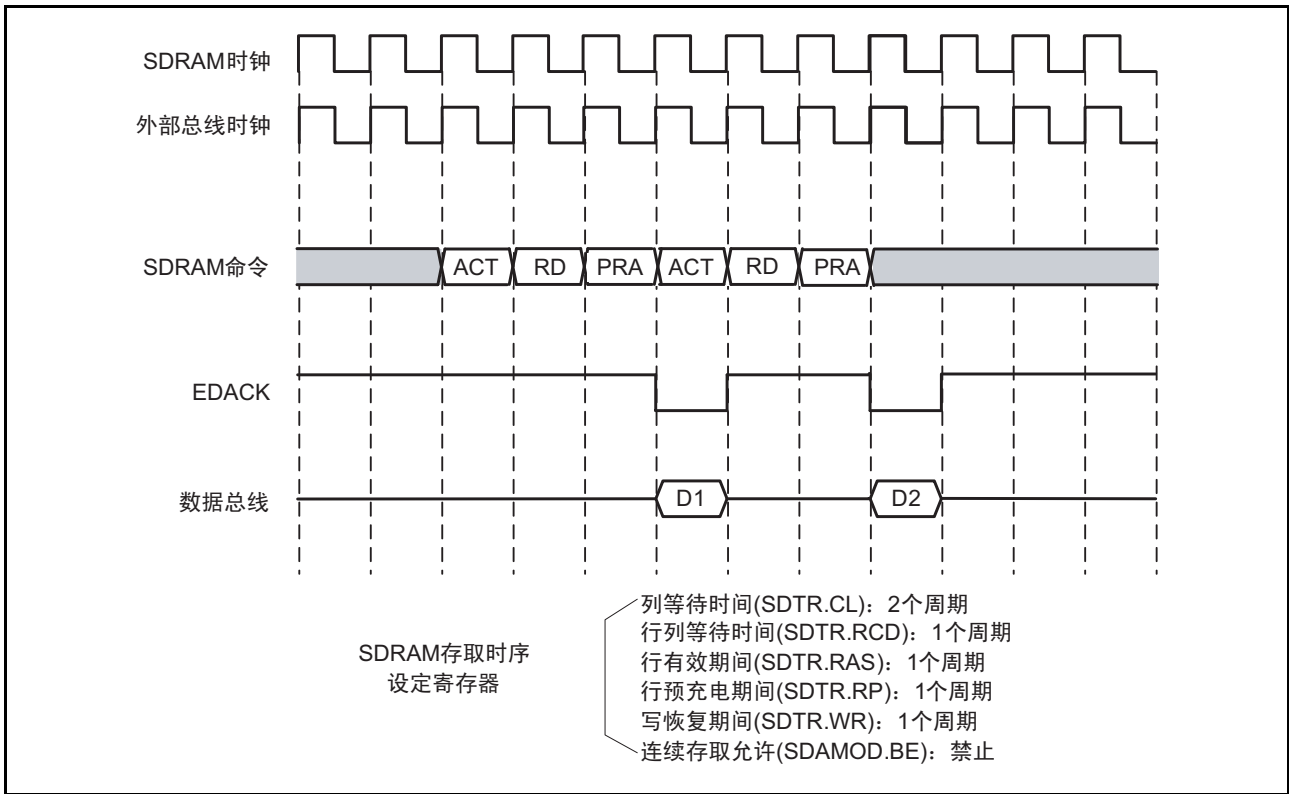


图 15.35 单地址模式的块传送 (SDRAM 区, 读: 禁止连续存取) 运行例子

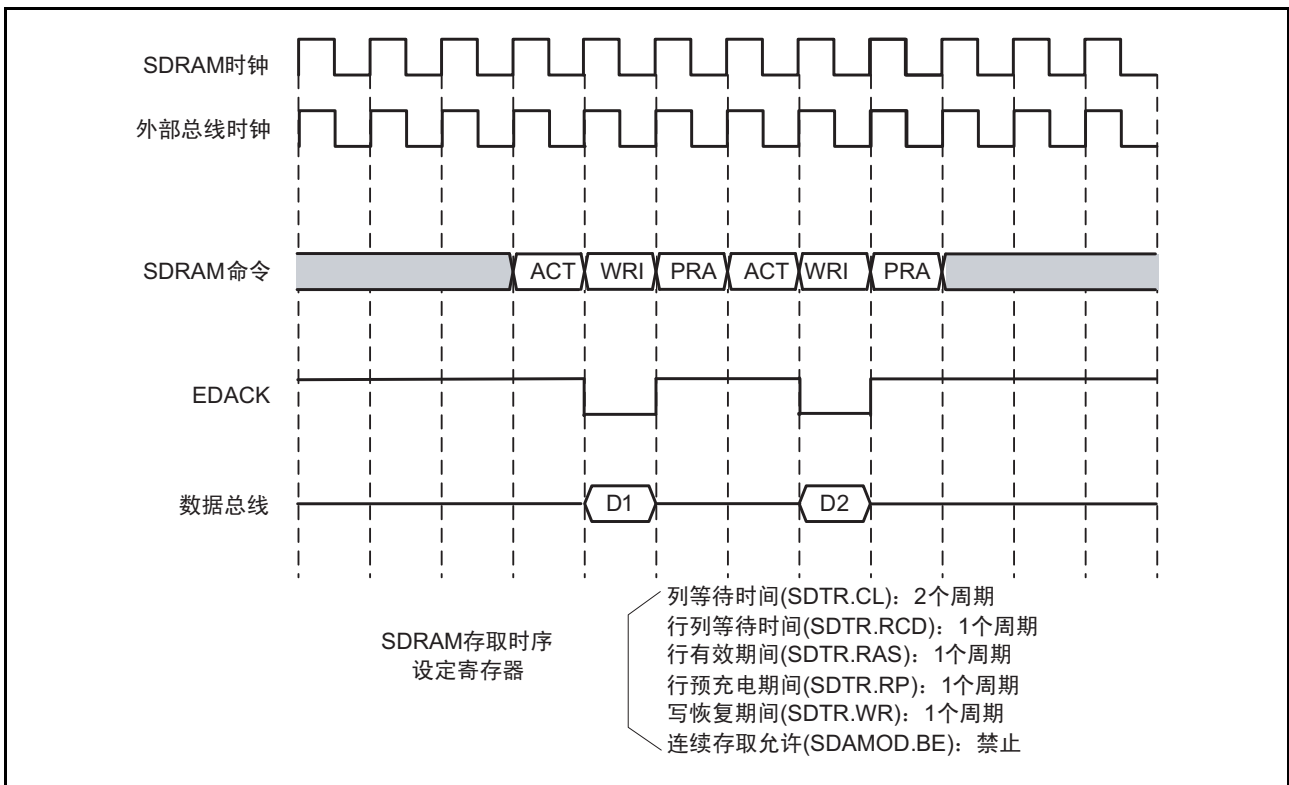


图 15.36 单地址模式的块传送 (SDRAM 区, 写: 禁止连续存取) 运行例子

15.10 使用时的注意事项

15.10.1 有关群集缓冲器

EXDMAC 内置 7 个 (CLSBR0 ~ CLSBR6) 32 位群集缓冲器, 数据的保存方法因传送长度 (EXDMACn.EDMTMD.SZ) 的设定而不同。

群集缓冲器的数据保存方法如图 15.37 所示。

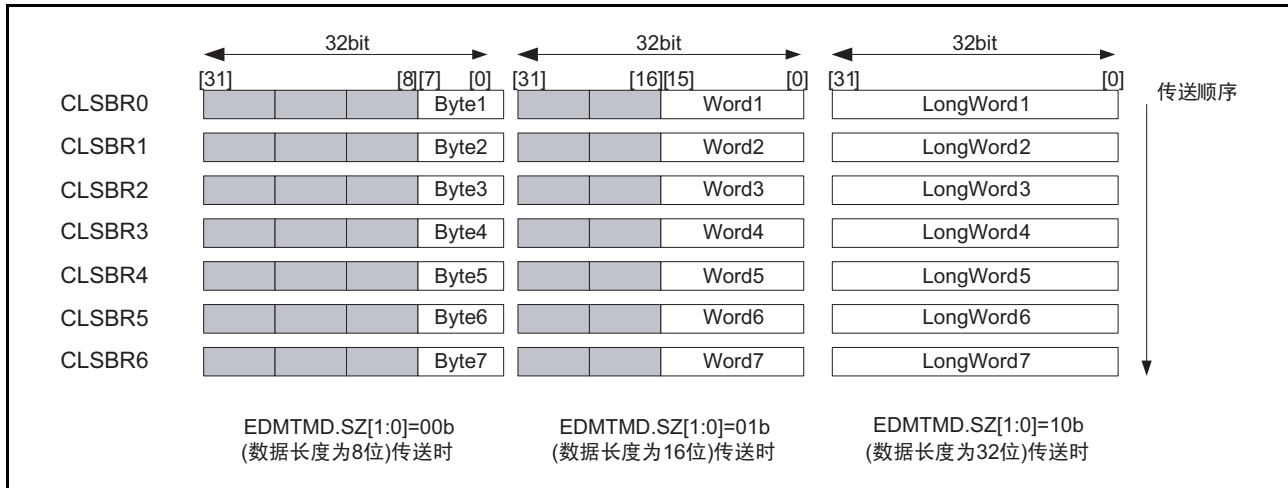


图 15.37 群集缓冲器的数据保存方法

15.10.2 有关 DMA 运行过程中的寄存器存取

当 EXDMACn.EDMSTS.ACT 标志为“1” (DMA 正在运行) 或者 EXDMACn.EDMCNT.DTE 位为“1” (允许 DMA 传送) 时, 不能存取相同通道的设定寄存器 (EDMSAR、EDMDAR、EDMCRA、EDMCRB、EDMTMD、EDMOMD、EDMINT、EDMAMD、EDMOFR、EDMRMD)。

15.10.3 有关保留区的 DMA 传送

因为禁止保留区的 DMA 传送, 所以无法保证存取保留区时的传送结果。保留区的详细内容请参照“4. 地址空间”。

16. 数据传送控制器 (DTCa)

RX62N 群和 RX621 群内置数据传送控制器 (DTC)。
能通过中断请求启动 DTC 并且进行数据传送。

16.1 概要

DTC 的规格和框图分别如表 16.1 和图 16.1 所示。

表 16.1 DTC 的规格

项目	内容
传送模式	<ul style="list-style-type: none"> • 正常传送模式 1 次启动进行 1 个数据的传送。 • 重复传送模式 1 次启动进行 1 个数据的传送。 如果传送重复大小的数据, 就返回到开始传送的地址。 重复大小最多能设定 256 个数据。 • 块传送模式 1 次启动进行 1 块数据的传送。 块大小最多能设定 255 个数据。
传送通道	<ul style="list-style-type: none"> • 能进行对应中断源的通道传送 (通过 ICU 的 DTC 启动请求进行传送)。 • 能对 1 个启动源进行多个的数据传送 (链传送)。 • 能选择是在计数器为 "0" 时进行链传送还是每次都进行链传送。
传送空间	<ul style="list-style-type: none"> • 在短地址模式中为 16M 字节。 (0000 0000h ~ 007F FFFFh 和 FF80 0000h ~ FFFF FFFFh 中保留区除外的区域) • 在全地址模式中为 4G 字节。 (0000 0000h ~ FFFF FFFFh 中保留区除外的区域)
数据传送单位	<ul style="list-style-type: none"> • 1 个数据的位长: 8 位、16 位、32 位 • 块大小的数据量: 1 ~ 255 个数据
CPU 中断源	<ul style="list-style-type: none"> • 能通过启动 DTC 的中断向 CPU 产生中断请求。 • 在 1 次数据传送结束后向 CPU 产生中断请求。 • 在指定数据量的数据传送结束后向 CPU 产生中断请求。
跳读	<ul style="list-style-type: none"> • 能指定传送信息的跳读。
回写的省略	<ul style="list-style-type: none"> • 当传送源地址被固定或者传送目标被固定时省略回写。

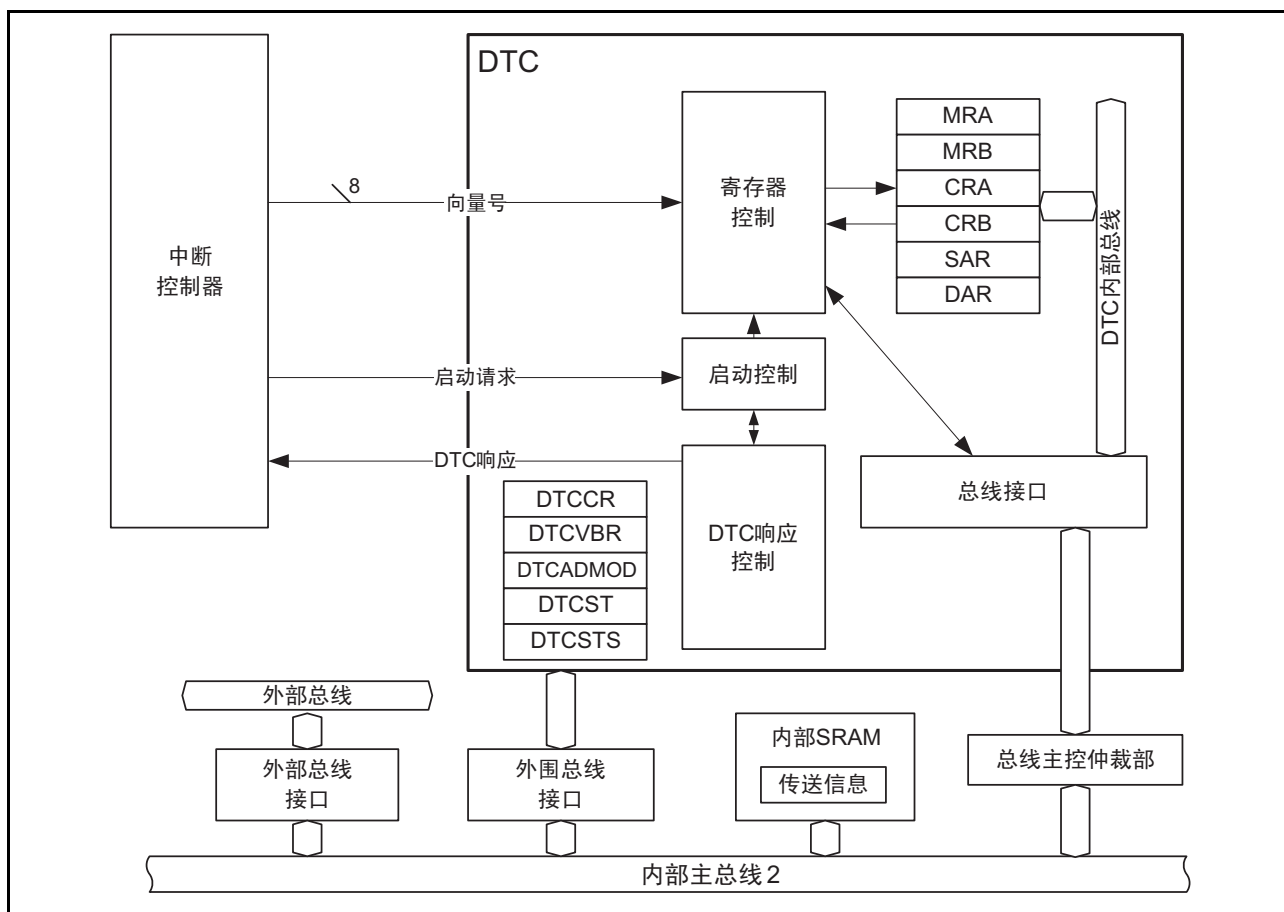


图 16.1 DTC 的框图

16.2 寄存器说明

DTC 的寄存器一览表如表 16.2 所示。

MRA、MRB、SAR、DAR、CRA、CRB 共 6 个寄存器是 DTC 的内部寄存器，不能从 CPU 直接存取，这些内部寄存器的设定值作为传送信息被分配到 RAM 区。如果发生 DTC 启动请求，就从 RAM 区读传送信息并且将读到的传送信息设定到内部寄存器。在进行数据传送后，DTC 的内部寄存器的内容作为传送信息被回写到 RAM 区。

表 16.2 DTC 的寄存器一览表

寄存器名	符号	复位后的值	地址	存取长度 (位)
DTC 模式寄存器 A	MRA	xxh	—	—
DTC 模式寄存器 B	MRB	xxh	—	—
DTC 传送源地址寄存器	SAR	xxxxxxxxh	—	—
DTC 传送目标地址寄存器	DAR	xxxxxxxxh	—	—
DTC 传送计数寄存器 A	CRA	xxxxh	—	—
DTC 传送计数寄存器 B	CRB	xxxxh	—	—
DTC 控制寄存器	DTCCR	08h	0008 2400h	8
DTC 向量基址寄存器	DTCVBR	00000000h	0008 2404h	32
DTC 地址模式寄存器	DTCADM0D	00h	0008 2408h	8
DTC 模块启动寄存器	DTCST	00h	0008 240Ch	8
DTC 状态寄存器	DTCSTS	0000h	0008 240Eh	16

x: 不定值

注. 要启动 DTC 时，需要设定中断控制器 (ICU) 的 DTCERi.DTCE 位 (i= 中断向量号) 和 IERm.IENj 位 (m=02h ~ 1Fh, j=7 ~ 0)，详细内容请参照“11. 中断控制器 (ICUa)”。

16.2.1 DTC 模式寄存器 A (MRA)

地址 (不能由CPU直接存取)



注. x: 不定值

位	符号	位名	功能	R/W
b1-b0	—	保留位	读取值为不定值, 只能写“0”。	—
b3-b2	SM[1:0]	传送源地址的寻址方式位	b3 b2 0 0: SAR 寄存器为地址固定 (省略 SAR 寄存器的回写) 0 1: SAR 寄存器为地址固定 (省略 SAR 寄存器的回写) 1 0: 传送后 SAR 寄存器递增 (当 SZ[1:0] 位为“00b”时加 1; 为“01b”时加 2; 为“10b”时加 4) 1 1: 传送后 SAR 寄存器递减 (当 SZ[1:0] 位为“00b”时减 1; 为“01b”时减 2; 为“10b”时减 4)	—
b5-b4	SZ[1:0]	DTC 数据传送长度位	b5 b4 0 0: 字节传送 0 1: 字传送 1 0: 长字传送 1 1: 不能设定	—
b7-b6	MD[1:0]	DTC 传送模式选择位	b7 b6 0 0: 正常传送模式 0 1: 重复传送模式 1 0: 块传送模式 1 1: 不能设定	—

MRA 寄存器是选择 DTC 运行模式的寄存器。

CPU 不能直接存取 MRA 寄存器。

SM[1:0] 位 (传送源地址的寻址方式位)

这些位指定数据传送后的 SAR 寄存器的运行。

SZ[1:0] 位 (DTC 数据传送长度位)

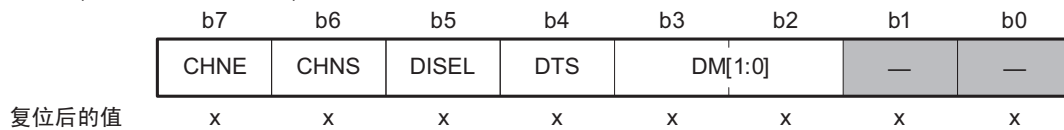
这些位指定传送数据的长度。

MD[1:0] 位 (DTC 传送模式选择位)

这些位指定 DTC 传送模式。

16.2.2 DTC 模式寄存器 B (MRB)

地址 (不能由CPU直接存取)



复位后的值

注: x: 不定值

位	符号	位名	功能	R/W
b1-b0	—	保留位	读取值为不定值, 只能写“0”。	—
b3-b2	DM[1:0]	传送目标地址的寻址方式位	b3 b2 0 0: DAR 寄存器为地址固定 (省略 DAR 寄存器的回写) 0 1: DAR 寄存器为地址固定 (省略 DAR 寄存器的回写) 1 0: 传送后 DAR 寄存器递增 (当 MAR.SZ[1:0] 位为“00b”时加 1; 为 “01b”时加 2; 为“10b”时加 4) 1 1: 传送后 DAR 寄存器递减 (当 MAR.SZ[1:0] 位为“00b”时减 1; 为 “01b”时减 2; 为“10b”时减 4)	—
b4	DTS	DTC 传送模式选择位	0: 传送目标为重复区域或者块区域 1: 传送源为重复区域或者块区域	—
b5	DISEL	DTC 中断选择位	0: 在指定的数据传送结束时向 CPU 请求中断 1: 在每次 DTC 数据传送时都向 CPU 请求中断	—
b6	CHNS	DTC 链传送选择位	0: 连续进行链传送 1: 只在传送计数器为“0”时进行链传送	—
b7	CHNE	DTC 链传送允许位	0: 禁止链传送 1: 允许链传送	—

MRB 寄存器是选择 DTC 运行模式的寄存器。
CPU 不能直接存取 MRB 寄存器。

DM[1:0] 位 (传送目标地址的寻址方式位)

这些位指定数据传送后的 DAR 寄存器的运行。

DTS 位 (DTC 传送模式选择位)

在重复传送模式或者块传送模式中, 此位指定是将传送源还是将传送目标作为重复区域或者块区域。

DISEL 位 (DTC 中断选择位)

此位指定是在每次 DTC 数据传送时还是只在数据传送结束时向 CPU 请求中断。

CHNS 位 (DTC 链传送选择位)

此位选择链传送的条件。

如果下一次传送是链传送, 就不判断指定次数的传送结束, 并且不清除中断状态标志, 也不向 CPU 请求中断。

CHNE 位 (DTC 链传送允许位)

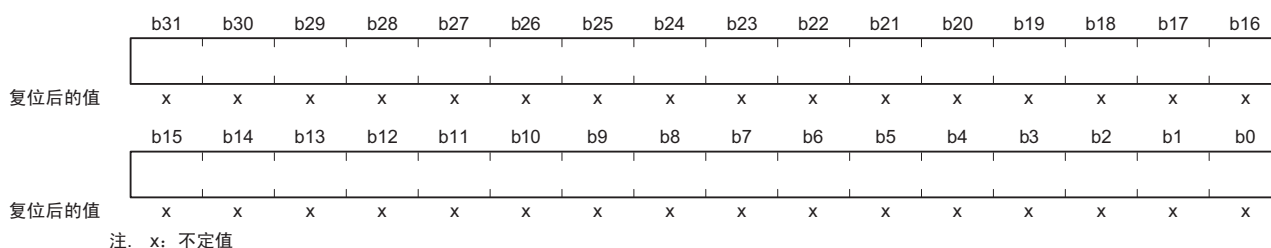
此位指定链传送。

通过 CHNS 位选择链传送的条件。

有关链传送的详细内容, 请参照“16.4.6 链传送”。

16.2.3 DTC 传送源地址寄存器 (SAR)

地址 (不能由CPU直接存取)



SAR 寄存器是设定传送源起始地址的寄存器。

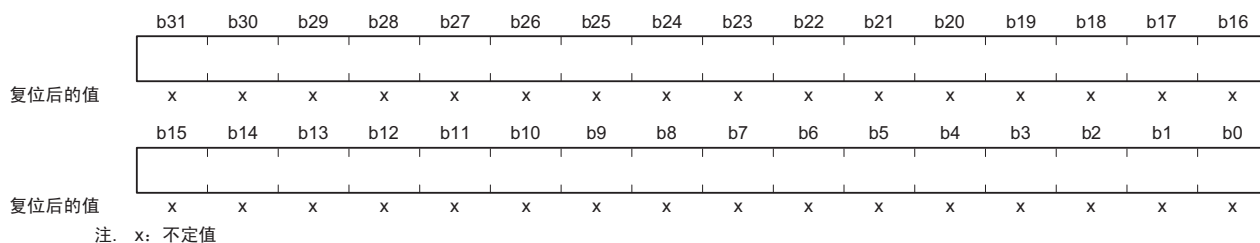
在全地址模式中 32 位有效。

在短地址模式中低 24 位有效, 忽视高 8 位 (b31 ~ b24) 的设定, 通过 b23 指定的值进行位扩展。

CPU 不能直接存取 SAR 寄存器。

16.2.4 DTC 传送目标地址寄存器 (DAR)

地址 (不能由CPU直接存取)



DAR 寄存器是设定传送目标起始地址的寄存器。

在全地址模式中 32 位有效。

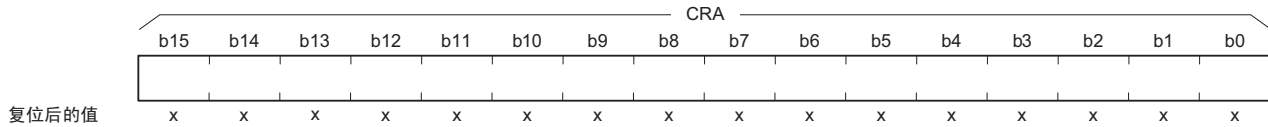
在短地址模式中低 24 位有效, 忽视高 8 位 (b31 ~ b24) 的设定, 通过 b23 指定的值进行位扩展。

CPU 不能直接存取 DAR 寄存器。

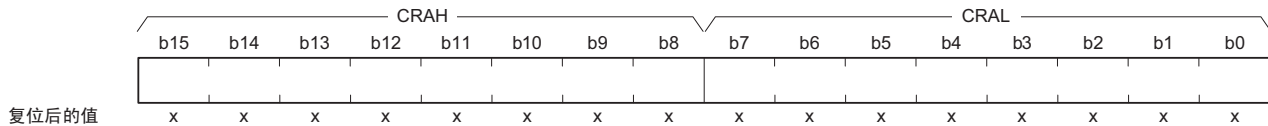
16.2.5 DTC 传送计数器寄存器 A (CRA)

地址 (不能由CPU直接存取)

●正常传送模式



●重复传送模式、块传送模式



- 注1. 功能因传送模式而不同。
注2. x: 不定值

符号	寄存器名	功能	R/W
CRAL	传送计数器 A 的低位寄存器	设定传送次数。	—
CRAH	传送计数器 A 的高位寄存器		—

注 1. 在重复传送模式和块传送模式中，必须给 CRAH 寄存器和 CRAL 寄存器设定相同的值。

CRA 寄存器是指定 DTC 传送次数的寄存器，其功能因传送模式而不同。
CPU 不能直接存取 CRA 寄存器。

(1) 正常传送模式 (MRA.MD[1:0] 位 =00b)

在正常传送模式中，CRA 寄存器用作 16 位传送计数器。

当设定值为“0001h”时，传送次数为 1 次；当设定值为“FFFFh”时，传送次数为 65535 次；当设定值为“0000h”时，传送次数为 65536 次。

每进行 1 次数据传送，CRA 寄存器就减 1。

(2) 重复传送模式 (MRA.MD[1:0] 位 =01b)

CRAH 寄存器保持传送次数，CRAL 寄存器用作 8 位传送计数器。

当设定值为“01h”时，传送次数为 1 次；当设定值为“FFh”时，传送次数为 255 次；当设定值为“00h”时，传送次数为 256 次。

每进行 1 次数据传送，CRAL 寄存器就减 1。当 CRAL 寄存器变为“00h”时，就传送 CRAH 寄存器的值。

(3) 块传送模式 (MRA.MD[1:0] 位 =10b)

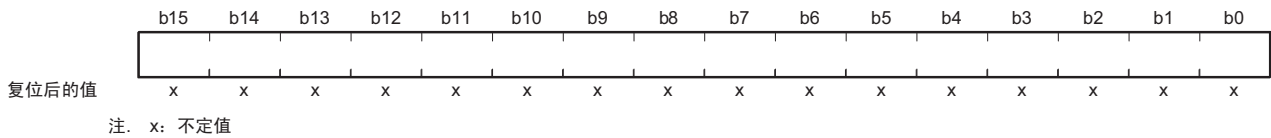
CRAH 寄存器保持块的大小，CRAL 寄存器用作 8 位块大小计数器。

当设定值为“01h”时，传送次数为 1 次；当设定值为“FFh”时，传送次数为 255 次。不能设定“00h”。

每进行 1 次数据传送，CRAL 寄存器就减 1。当 CRAL 寄存器变为“00h”时，就传送 CRAH 寄存器的值。

16.2.6 DTC 传送计数寄存器 B (CRB)

地址 (不能由CPU直接存取)



CRB 寄存器是指定块传送模式的块传送次数的寄存器。

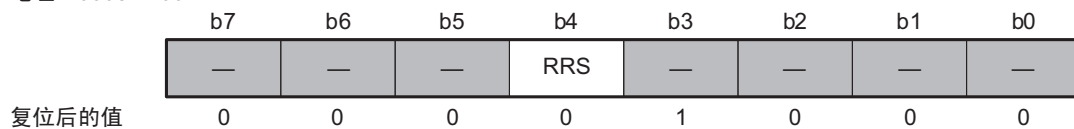
当设定值为“0001h”时，传送次数为 1 次；当设定值为“FFFFh”时，传送次数为 65535 次；当设定值为“0000h”时，传送次数为 65536 次。每进行 1 次数据传送，CRB 寄存器就减 1。

在正常传送模式和重复传送模式中，必须给 CRB 寄存器设定“FFFFh”。

CPU 不能直接存取 CRB 寄存器。

16.2.7 DTC 控制寄存器 (DTCCR)

地址 0008 2400h



位	符号	位名	功能	R/W
b2-b0	—	保留位	读写值都为“0”。	R/W
b3	—	保留位	读写值都为“1”。	R/W
b4	RRS	DTC 传送信息的跳读允许位	0: 不跳读传送信息 1: 在向量号相同时跳读传送信息	R/W
b7-b5	—	保留位	读写值都为“0”。	R/W

DTCCR 寄存器是选择 DTC 控制的寄存器。

RRS 位 (DTC 传送信息的跳读允许位)

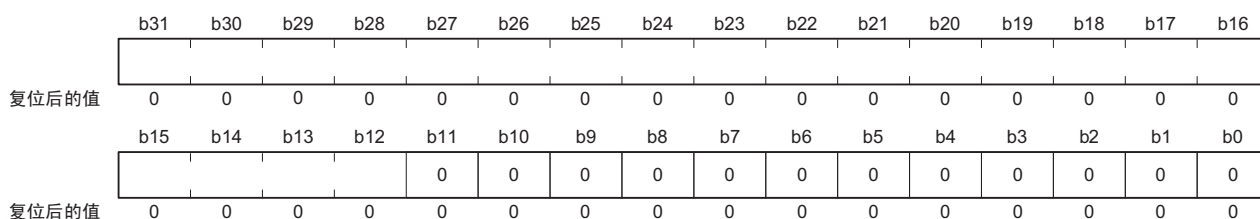
DTC 向量号随时和上次启动的向量号进行比较。

如果向量号相同并且 RRS 位为“1”，就不读传送信息而进行 DTC 的数据传送。如果上次的启动为链传送，就读传送信息，与 RRS 位的值无关。

在上次的传送为正常传送并且传送计数器 (CRA 寄存器) 为“0”时，或者在上次的传送为块传送并且传送计数器 (CRB 寄存器) 为“0”时，都读传送信息，与 RRS 位的值无关。

16.2.8 DTC 向量基址寄存器 (DTCVBR)

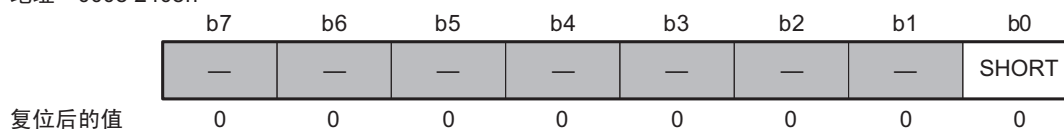
地址 0008 2404h



DTCVBR 寄存器设定在计算 DTC 向量表地址时的基址。
 低 12 位 (b11-b0) 固定为“0”，写操作无效。
 忽视高 4 位 (b31-b28) 的写操作，通过 b27 指定的值进行位扩展。

16.2.9 DTC 地址模式寄存器 (DTCADMOD)

地址 0008 2408h



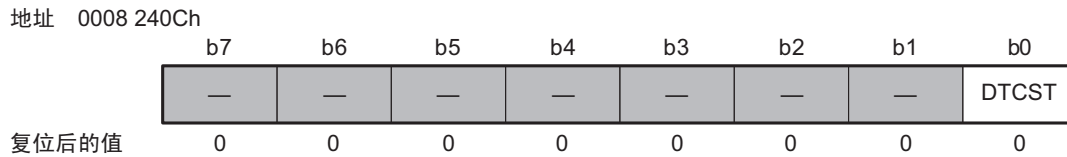
位	符号	位名	功能	R/W
b0	SHORT	短地址模式设定位	0: 全地址模式 1: 短地址模式	R/W
b7-b1	—	保留位	读写值都为“0”。	R/W

DTCADMOD 寄存器是设定 DTC 能存取的地域的寄存器。

SHORT 位 (短地址模式设定位)

在全地址模式中，能存取 4G 字节空间 (00000000h ~ FFFFFFFFh)。
 在短地址模式中，能存取 16M 字节空间 (00000000h ~ 007FFFFFFFh 和 FF800000h ~ FFFFFFFFh)。

16.2.10 DTC 模块启动寄存器 (DTCST)



位	符号	位名	功能	R/W
b0	DTCST	DTC 模块启动位	0: DTC 模块停止 1: DTC 模块运行	R/W
b7-b1	—	保留位	读写值都为“0”。	R/W

DTCST 寄存器是设定 DTC 模块的运行或者停止的寄存器。

DTCST 位 (DTC 模块启动位)

为了使 DTC 能接受启动请求, 必须将 DTCST 位置“1”。如果将 DTCST 位置“0”, 就不能接受新的启动请求。

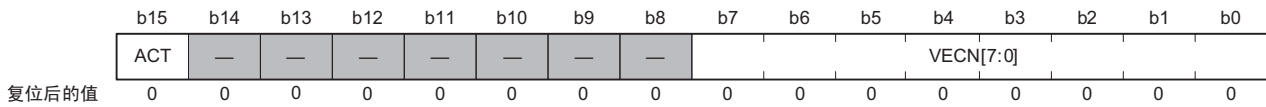
如果在运行过程中将此位改写为“0”, 已接受的启动请求就保持到处理结束为止。

在向模块停止状态以及向全模块时钟停止模式、软件待机模式、深度软件待机模式转移时, 必须将 DTCST 位置“0”。

有关向模块停止状态以及向全模块时钟停止模式、软件待机模式、深度软件待机模式的转移, 请参照“16.8 低功耗功能”和“9. 低功耗功能”。

16.2.11 DTC 状态寄存器 (DTCSTS)

地址 0008 240Eh



位	符号	位名	功能	R/W
b7-b0	VECN[7:0]	DTC 有效向量号监视位	在 DTC 传送过程中，用向量号表示该传送的启动源。 只在 DTC 传送过程中 (ACT 激活标志为“1”)，此值为有效值。	R
b14-b8	—	保留位	读取值为“0”，写操作无效。	R
b15	ACT	DTC 激活标志	0: 不在进行 DTC 传送 1: 正在进行 DTC 传送	R

DTCSTS 寄存器是表示 DTC 传送状态的寄存器。

VECN[7:0] 位 (DTC 有效向量号监视位)

在 DTC 传送过程中，用向量号表示该传送的启动源。

在读 DTCSTS 寄存器时，如果 ACT 标志为“1” (正在进行 DTC 传送)，读到的 VECN[7:0] 位就为有效值；如果 ACT 标志为“0” (不在进行 DTC 传送)，读到的 VECN[7:0] 位就为无效值。

启动源和向量号的关系请参照表 16.3。

ACT 标志 (DTC 激活标志)

表示 DTC 的传送状态。

[为“1”的条件]

- 通过启动请求进行了 DTC 启动时

[为“0”的条件]

- 对于 1 次启动请求 DTC 运行结束时

16.3 启动源

通过中断请求启动 DTC。如果将启动 DTC 的中断对应的中断控制器 (ICU) 的 $DTCERn.DTCE$ 位 (n 为中断向量号) 置“1”，该中断就为 DTC 的启动源。

有关软件启动 (SWINT)，请参照“11. 中断控制器 (ICUa)”。

在 1 次数据传送 (在链传送时，为连续传送的最后) 结束时，DTC 进行以下的运行：

- 在指定的总传送量的传送结束时，将 $DTCERn.DTCE$ 位置“0”，然后向 CPU 请求中断。
- 在上述以外的传送结束时，如果 $MRB.DISEL$ 位为“1”，就向 CPU 请求中断；如果 $MRB.DISEL$ 位为“0”，就将作为启动源的中断状态标志 ($IRi.IR$) 位置“0”。

16.3.1 传送信息的分配和 DTC 向量表

DTC 按启动源从向量表读传送信息的起始地址，并且从该起始地址读传送信息。

必须分配向量表，使基址 (起始地址) 的低 12 位变为“0”。必须给 DTC 向量基址寄存器 (DTCVBR) 设定 DTC 向量表的基址。

传送信息分配在 RAM 区。对于向量表的基址，向量号 n 的传送信息 (n) 的起始地址必须为地址 $+4n$ 。

能通过短地址模式 (3 个长字) 或者全地址模式 (4 个长字) 分配传送信息。通过 $DTCADMOD.SHORT$ 位设定短地址模式 ($SHORT$ 位为“1”) 或者全地址模式 ($SHORT$ 位为“0”)。

DTC 向量表和传送信息的对应以及 RAM 区内传送信息的分配分别如图 16.2 和如图 16.3 所示。低位地址因分配区域的字节序而不同，详细内容请参照图 16.16。

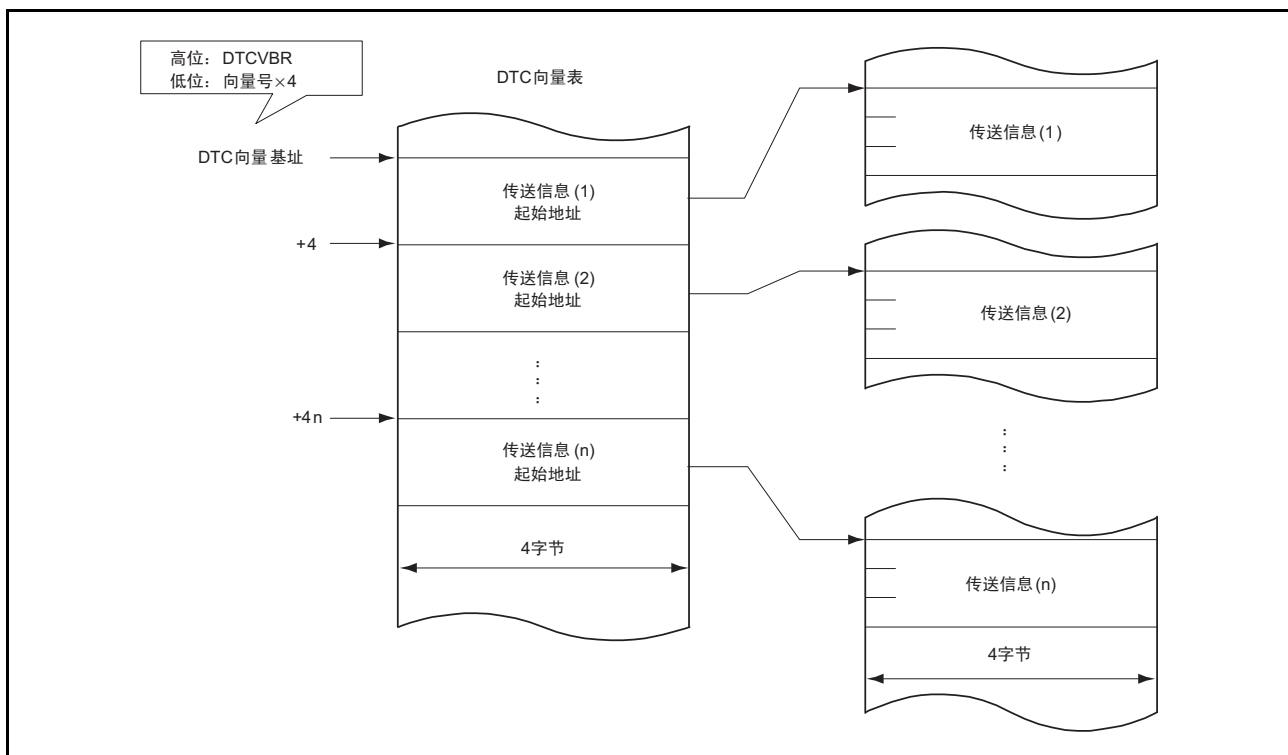


图 16.2 DTC 向量表和传送信息的对应

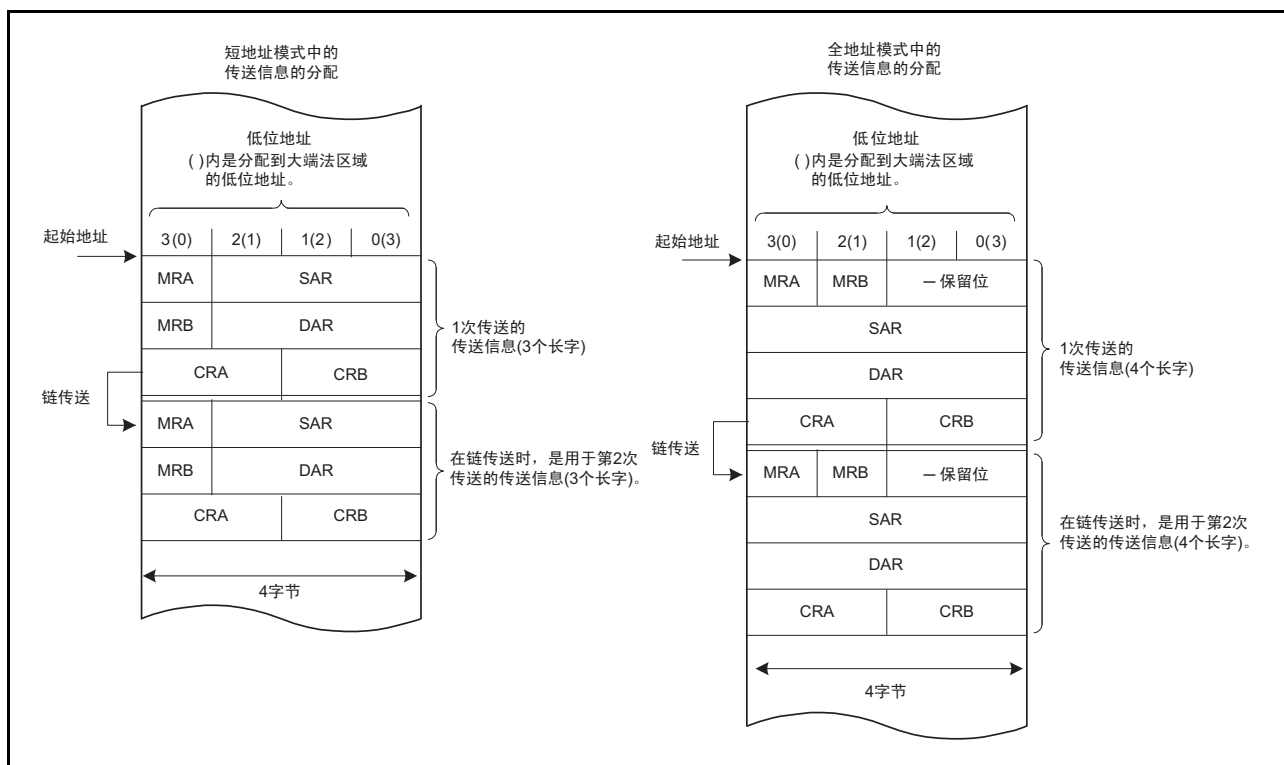


图 16.3 数据区内的传送信息的分配

表 16.3 中断源、DTC 向量地址和 ICU.DTCERn 寄存器的对应 (2 / 3)

启动请求发生源	启动源	向量号	DTC 向量地址的偏移量	ICU.DTCERn	优先级
MTU3	TGIA3	129	0204h	ICU.DTCER129	↑ 高
	TGIB3	130	0208h	ICU.DTCER130	
	TGIC3	131	020Ch	ICU.DTCER131	
	TGID3	132	0210h	ICU.DTCER132	
MTU4	TGIA4	134	0218h	ICU.DTCER134	
	TGIB4	135	021Ch	ICU.DTCER135	
	TGIC4	136	0220h	ICU.DTCER136	
	TGID4	137	0224h	ICU.DTCER137	
	TGIV4	138	0228h	ICU.DTCER138	
MTU5	TGIU5	139	022Ch	ICU.DTCER139	
	TGIV5	140	0230h	ICU.DTCER140	
	TGIW5	141	0234h	ICU.DTCER141	
MTU6	TGIA6	142	0238h	ICU.DTCER142	
	TGIB6	143	023Ch	ICU.DTCER143	
	TGIC6	144	0240h	ICU.DTCER144	
	TGID6	145	0244h	ICU.DTCER145	
MTU7	TGIA7	149	0254h	ICU.DTCER149	
	TGIB7	150	0258h	ICU.DTCER150	
MTU8	TGIA8	153	0264h	ICU.DTCER153	
	TGIB8	154	0268h	ICU.DTCER154	
MTU9	TGIA9	157	0274h	ICU.DTCER157	
	TGIB9	158	0278h	ICU.DTCER158	
	TGIC9	159	027Ch	ICU.DTCER159	
	TGID9	160	0280h	ICU.DTCER160	
MTU10	TGIA10	162	0288h	ICU.DTCER162	
	TGIB10	163	028Ch	ICU.DTCER163	
	TGIC10	164	0290h	ICU.DTCER164	
	TGID10	165	0294h	ICU.DTCER165	
	TGIV10	166	0298h	ICU.DTCER166	
MTU11	TGIU11	167	029Ch	ICU.DTCER167	
	TGIV11	168	02A0h	ICU.DTCER168	
	TGIW11	169	02A4h	ICU.DTCER169	
TMR0	CMIA0	174	02B8h	ICU.DTCER174	
	CMIB0	175	02BCh	ICU.DTCER175	
TMR1	CMIA1	177	02C4h	ICU.DTCER177	
	CMIB1	178	02C8h	ICU.DTCER178	
TMR2	CMIA2	180	02D0h	ICU.DTCER180	
	CMIB2	181	02D4h	ICU.DTCER181	
TMR3	CMIA3	183	02DCh	ICU.DTCER183	
	CMIB3	184	02E0h	ICU.DTCER184	
DMACA	DMACI0	198	0318h	ICU.DTCER198	
	DMACI1	199	031Ch	ICU.DTCER199	
	DMACI2	200	0320h	ICU.DTCER200	
	DMACI3	201	0324h	ICU.DTCER201	
EXDMAC	EXDMACI0	202	0328h	ICU.DTCER202	
	EXDMACI1	203	032Ch	ICU.DTCER203	低

表 16.3 中断源、DTC 向量地址和 ICU.DTCERn 寄存器的对应 (3 / 3)

启动请求发生源	启动源	向量号	DTC 向量地址的偏移量	ICU.DTCERn	优先级
SCI0	RXI0	215	035Ch	ICU.DTCER215	高 ↑ 低
	TXI0	216	0360h	ICU.DTCER216	
SCI1	RXI1	219	036Ch	ICU.DTCER219	
	TXI1	220	0370h	ICU.DTCER220	
SCI2	RXI2	223	037Ch	ICU.DTCER223	
	TXI2	224	0380h	ICU.DTCER224	
SCI3	RXI3	227	038Ch	ICU.DTCER227	
	TXI3	228	0390h	ICU.DTCER228	
SCI5	RXI5	235	03ACh	ICU.DTCER235	
	TXI5	236	03B0h	ICU.DTCER236	
SCI6	RXI6	239	03BCh	ICU.DTCER239	
	TXI6	240	03C0h	ICU.DTCER240	
RIIC0	ICRXI0	247	03DCh	ICU.DTCER247	
	ICTXI0	248	03E0h	ICU.DTCER248	
RIIC1	ICRXI1	251	03ECh	ICU.DTCER251	
	ICTXI1	252	03F0h	ICU.DTCER252	

注. 一旦接受启动请求, DTC 就在该 1 次请求的传送结束前不接受新的启动请求, 与优先级无关。如果在 DMAC/DTC 传送过程中发生多个启动请求, 就在该传送结束时接受最高优先级的请求。如果在 DTC 模块启动寄存器 (DTCST) 为“0”的状态下发生多个启动请求, 就在 DTC 变为启动允许状态 (DTCST 为“1”)时接受最高优先级的请求。

16.4 运行说明

DTC 以传送信息为准进行数据传送。为了使 DTC 运行, 需要预先将传送信息保存到 RAM 区。

一旦启动 DTC, 就读与向量号对应的 DTC 向量, 然后从 DTC 向量所示的传送信息的保存地址读传送信息, 并且进行数据传送以及回写数据传送后的传送信息。能通过将传送信息保存到 RAM 区, 进行任意个通道的数据传送。

传送模式有正常传送模式、重复传送模式和块传送模式。

DTC 通过 SAR 寄存器指定传送源地址, 通过 DAR 寄存器指定传送目标地址。在传送后, SAR 寄存器和 DAR 寄存器分别递增、递减或者为地址固定。

DTC 的传送模式如表 16.4 所示。

表 16.4 DTC 的传送模式

传送模式	1 次启动请求能传送的数据长度	存储器地址的增减	能指定的传送次数
正常传送模式	1 字节 / 字 / 长字	增减 1、2、4 或者地址固定	1 ~ 65536 次
重复传送模式 (注 1)	1 字节 / 字 / 长字	增减 1、2、4 或者地址固定	1 ~ 256 次 (注 3)
块传送模式 (注 2)	CRAH 寄存器指定的块大小 (1 ~ 256 字节 / 字 / 长字)	增减 1、2、4 或者地址固定	1 ~ 65536 次

注 1. 将传送源或者传送目标设定为重复区域。

注 2. 将传送源或者传送目标设定为块区域。

注 3. 在指定次数的传送结束后, 恢复初始状态并且继续 (重复) 运行。

能通过先将 MRB.CHNE 位置“1”, 用 1 个启动源进行多次传送 (链传送)。也能通过设定 MRB.CHNS 位, 在传送计数器为“0”时进行链传送。

DTC 的运行流程图如图 16.4 所示, 链传送的条件如表 16.5 所示 (省略了第 2 次到第 3 次的传送组合以及第 3 次以后的传送组合)。

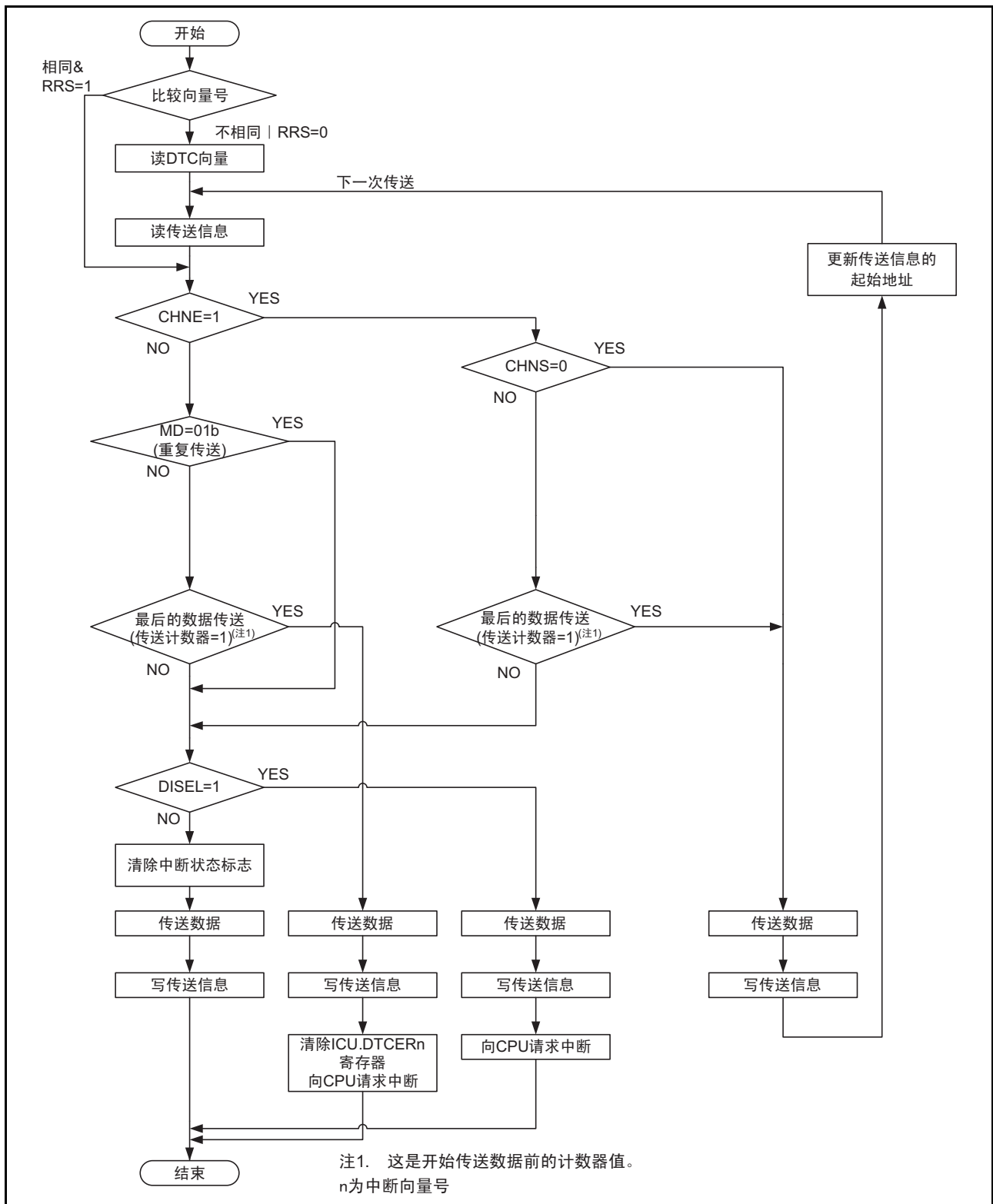


图 16.4 DTC 的运行流程图

表 16.5 链传送的条件

第 1 次传送				第 2 次传送 (注 3)				DTC 传送
CHNE 位	CHNS 位	DISEL 位	传送计数器 (注 1) (注 2)	CHNE 位	CHNS 位	DISEL 位	传送计数器 (注 1) (注 2)	
0	—	0	(1→0) 以外	—	—	—	—	到第 1 次传送为止结束。
0	—	0	(1→0)	—	—	—	—	到第 1 次传送为止结束并且向 CPU 请求中断。
0	—	1	—	—	—	—	—	到第 2 次传送为止结束。
1	0	—	—	0	—	0	(1→0) 以外	到第 2 次传送为止结束并且向 CPU 请求中断。
				0	—	0	(1→0)	到第 2 次传送为止结束并且向 CPU 请求中断。
				0	—	1	—	到第 2 次传送为止结束并且向 CPU 请求中断。
1	1	0	(1→*) 以外	—	—	—	—	到第 1 次传送为止结束。
1	1	—	(1→*)	0	—	0	(1→0) 以外	到第 2 次传送为止结束。
				0	—	0	(1→0)	到第 2 次传送为止结束并且向 CPU 请求中断。
				0	—	1	—	到第 2 次传送为止结束并且向 CPU 请求中断。
1	1	1	(1→*) 以外	—	—	—	—	到第 1 次传送为止结束并且向 CPU 请求中断。

注 1. 传送计数器因各传送模式而不同，各传送模式中的传送计数器如下：

正常传送模式：CRA 寄存器

重复传送模式：CRAL 寄存器

块传送模式：CRB 寄存器

注 2. 在正常传送模式或者块传送模式中，最后传送时的计数器变化为 (1→0)；在重复传送模式中，最后传送时的计数器变化为 (1→CRAH)。表中的 (1→*) 表示两种情况的变化。

注 3. 在第 2 次传送或者第 2 次以后的传送时能选择链传送，但是在第 2 次传送时省略 CHNE 位为“1”的组合。

16.4.1 传送信息的跳读功能

能通过设定 DTCCR.RRS 位，跳读向量地址和传送信息。

在产生 DTC 启动请求时，这次启动的 DTC 向量号随时和上次启动的 DTC 向量号进行比较。如果比较结果相同并且 RRS 位为“1”，就不读向量地址和传送信息而进行 DTC 的数据传送。如果上次启动为链传送，就必定读向量地址和传送信息。如果上次传送为正常传送并且传送计数器 (CRA 寄存器) 变为“0”或者上次传送为块传送并且传送计数器 (CRB 寄存器) 变为“0”，就必定读传送信息，与 RRS 位的值无关。跳读传送信息的运行例子如图 16.13 所示。

要更新 DTC 向量表和传送信息时，必须先将 RRS 位置“0”并且在更新 DTC 向量表和传送信息后设定 RRS 位。一旦将 RRS 位置“0”，就取消被保持的向量号，在下次启动时能读被更新的 DTC 向量表和传送信息。

16.4.2 传送信息的回写省略功能

如果将 MRA.SM[1:0] 位或者 MRB.DM[1:0] 位设定为“地址固定”，就不回写部分传送信息，此功能与短地址模式和全地址模式的设定无关。传送信息的回写省略条件以及省略回写的寄存器如表 16.6 所示。

与短地址模式和全地址模式的设定无关，必须回写 CRA 寄存器和 CRB 寄存器。在全地址模式中，必须省略 MRA 寄存器和 MRB 寄存器的回写。

表 16.6 传送信息的回写省略条件以及省略回写的寄存器

MRA.SM[1:0] 位		MRB.DM[1:0] 位		SAR 寄存器	DAR 寄存器
b3	b2	b3	b2		
0	0	0	0	省略	省略
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	省略	回写
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	回写	省略
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	回写	回写
1	0	1	1		
1	1	1	0		
1	1	1	1		

16.4.3 正常传送模式

用 1 个启动源进行 1 个字节、1 个字或者 1 个长字的传送，传送次数为 1 ~ 65536 次。

能将传送源地址和传送目标地址分别设定为递增、递减或者固定。一旦指定次数的传送结束，就能向 CPU 请求中断。

正常传送模式的寄存器功能和存储器映像分别如表 16.7 和图 16.5 所示。

表 16.7 正常传送模式的寄存器功能

寄存器	功能	回写传送信息时被回写的值
SAR	传送源地址	递增 / 递减 / 固定 (注 1)
DAR	传送目标地址	递增 / 递减 / 固定 (注 1)
CRA	传送计数器 A	CRA-1
CRB	传送计数器 B	不更新

注 1. 在地址固定的情况下，省略回写。

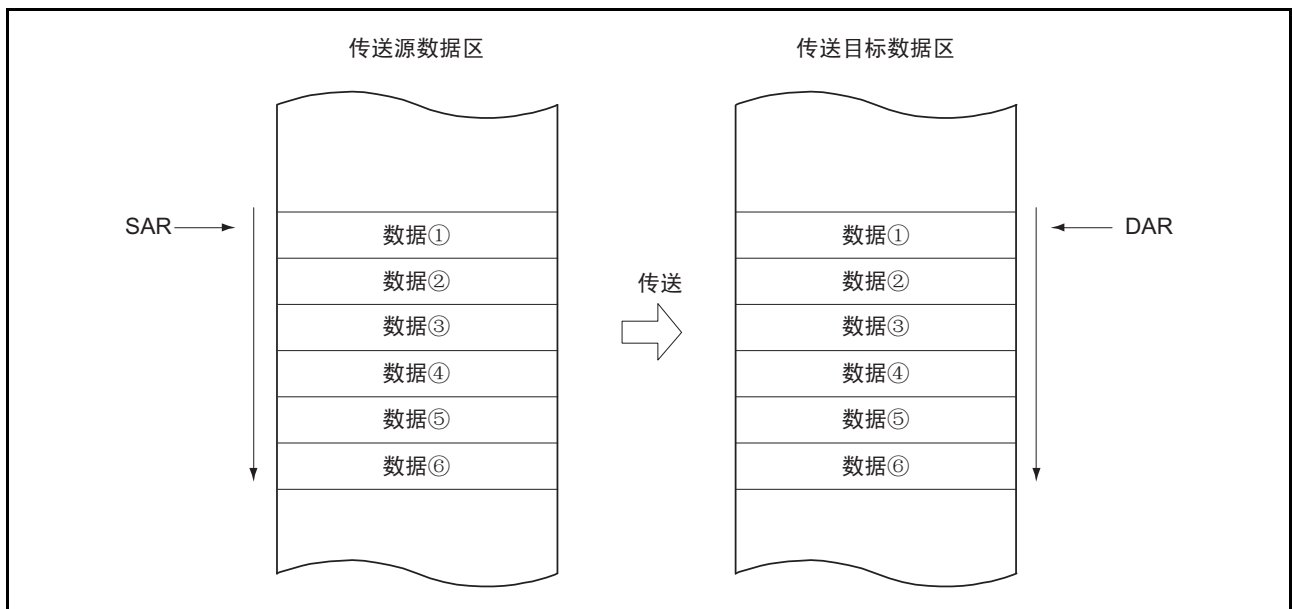


图 16.5 正常传送模式的存储器映像

16.4.4 重复传送模式

用 1 个启动源进行 1 个字节、1 个字或者 1 个长字的传送。

通过 MRB.DTS 位将传送源或者传送目标指定为重复区域，传送次数可指定为 1 ~ 256 次。一旦指定次数的传送结束，传送计数器和被指定为重复区域的地址寄存器就恢复初始状态并且进行重复传送。其他的地址寄存器继续递增、递减或者为地址固定。

在重复传送模式中，如果传送计数器的 CRAL 寄存器的值变为“00h”，CRAL 寄存器的值就被更新为 CRAH 寄存器的设定值。因为传送计数器不变为“00h”，所以在 MRB.DISEL 位为“0”（在指定的数据传送结束时向 CPU 请求中断）时不向 CPU 请求中断。

重复传送模式的寄存器功能和存储器映像分别如表 16.8 和图 16.6 所示。

表 16.8 重复传送模式的寄存器功能

寄存器	功能	写传送信息时被回写的值	
		CRAL≠1	CRAL=1
SAR	传送源地址	递增 / 递减 / 固定 (注 1)	(当 MRB.DTS 位为“0”时) 递增 / 递减 / 固定 (注 1) (当 MRB.DTS 位为“1”时) SAR 寄存器的初始值
DAR	传送目标地址	递增 / 递减 / 固定 (注 1)	(当 MRB.DTS 位为“0”时) DAR 寄存器的初始值 (当 MRB.DTS 位为“1”时) 递增 / 递减 / 固定 (注 1)
CRAH	传送计数器的保持	CRAH	CRAH
CRAL	传送计数器 A	CRAL-1	CRAH
CRB	传送计数器 B	不更新	不更新

注 1. 在地址固定的情况下，省略回写。

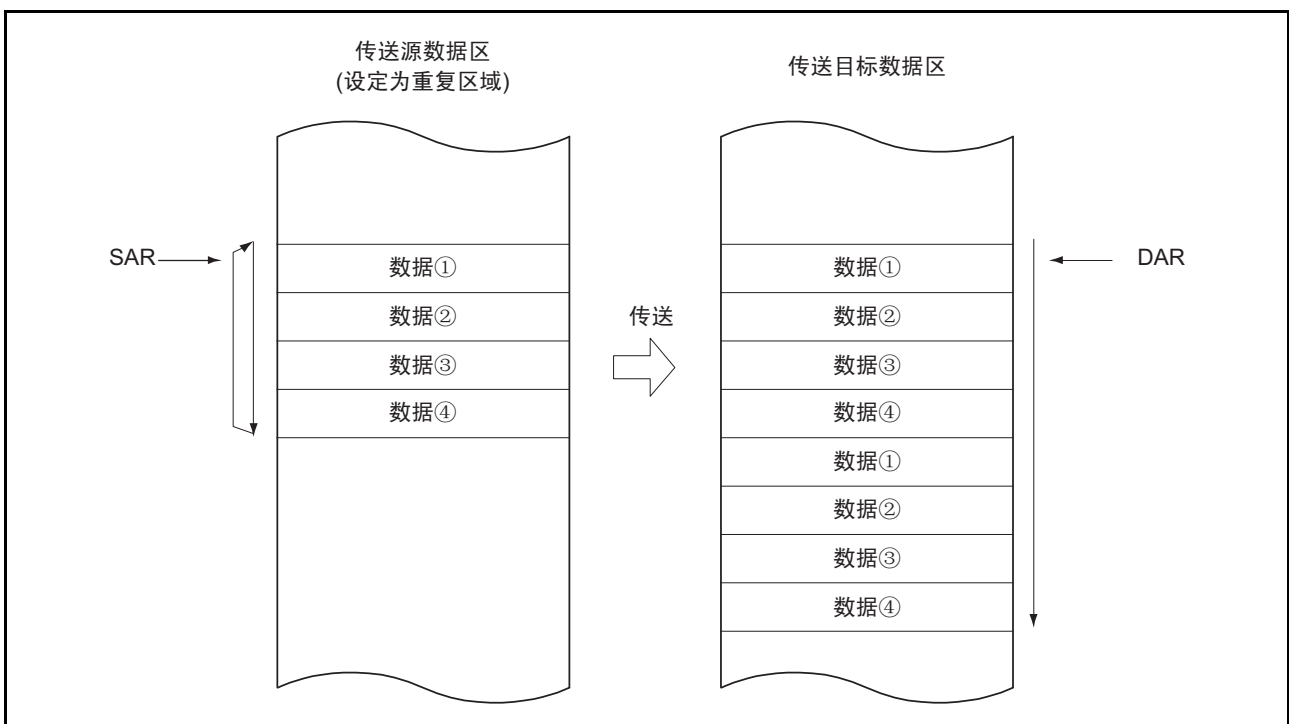


图 16.6 重复传送模式的存储器映像 (将传送源设定为重复区域的情况)

16.4.5 块传送模式

用 1 个启动源进行 1 个块的传送。

通过 MRB.DTS 位将传送源或者传送目标指定为块区域，块大小可指定为 1 ~ 255 字节（或者 1 ~ 255 字、1 ~ 255 长字）。

一旦指定的 1 块的传送结束，块大小计数器的 CRAL 寄存器和被指定为块区域的地址寄存器（当 MRB.DTS 位为“1”时为 SAR 寄存器，当 MRB.DTS 位为“0”时为 DAR 寄存器）就恢复初始状态。其他的地址寄存器继续递增、递减或者为地址固定。

块传送次数能指定为 1 ~ 65536 次。一旦指定次数的块传送结束，就能向 CPU 请求中断。

块传送模式的寄存器功能和存储器映像分别如表 16.9 和图 16.7 所示。

表 16.9 块传送模式的寄存器功能

寄存器	功能	回写传送信息时被回写的值
SAR	传送源地址	(当 MRB.DTS 位为“0”时) 递增 / 递减 / 固定 (注 1) (当 MRB.DTS 位为“1”时) SAR 寄存器的初始值
DAR	传送目标地址	(当 MRB.DTS 位为“0”时) DAR 寄存器的初始值 (当 MRB.DTS 位为“1”时) 递增 / 递减 / 固定 (注 1)
CRAH	块大小的保持	CRAH
CRAL	块大小计数器	CRAH
CRB	块传送次数计数器	CRB-1

注 1. 在地址固定的情况下，省略回写。

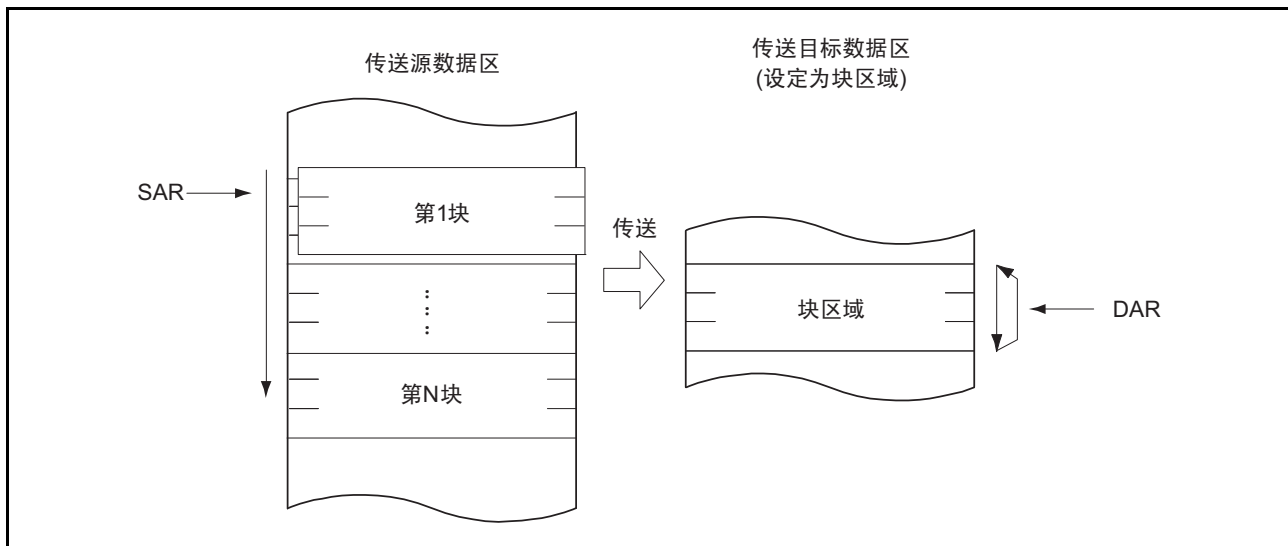


图 16.7 块传送模式的存储器映像（将传送目标指定为块区域的情况）

16.4.6 链传送

如果将 MRB.CHNE 位置“1”，就能进行链传送。链传送能用 1 个启动源进行多个数据传送。

将 MRB.CHNE 位置“1”、MRB.CHNS 位置“0”时，如果指定的传送次数结束，不对 CPU 产生中断请求，如果 MRB.DISEL 位为“1”（每当进行 DTC 数据传送时，对 CPU 产生中断请求），也不对 CPU 产生中断请求。另外，不影响作为启动源的中断状态标志。

能分别设定用于定义数据传送的 SAR、DAR、CRA、CRB、MRA、MRB 寄存器。

链传送的运行如图 16.8 所示。

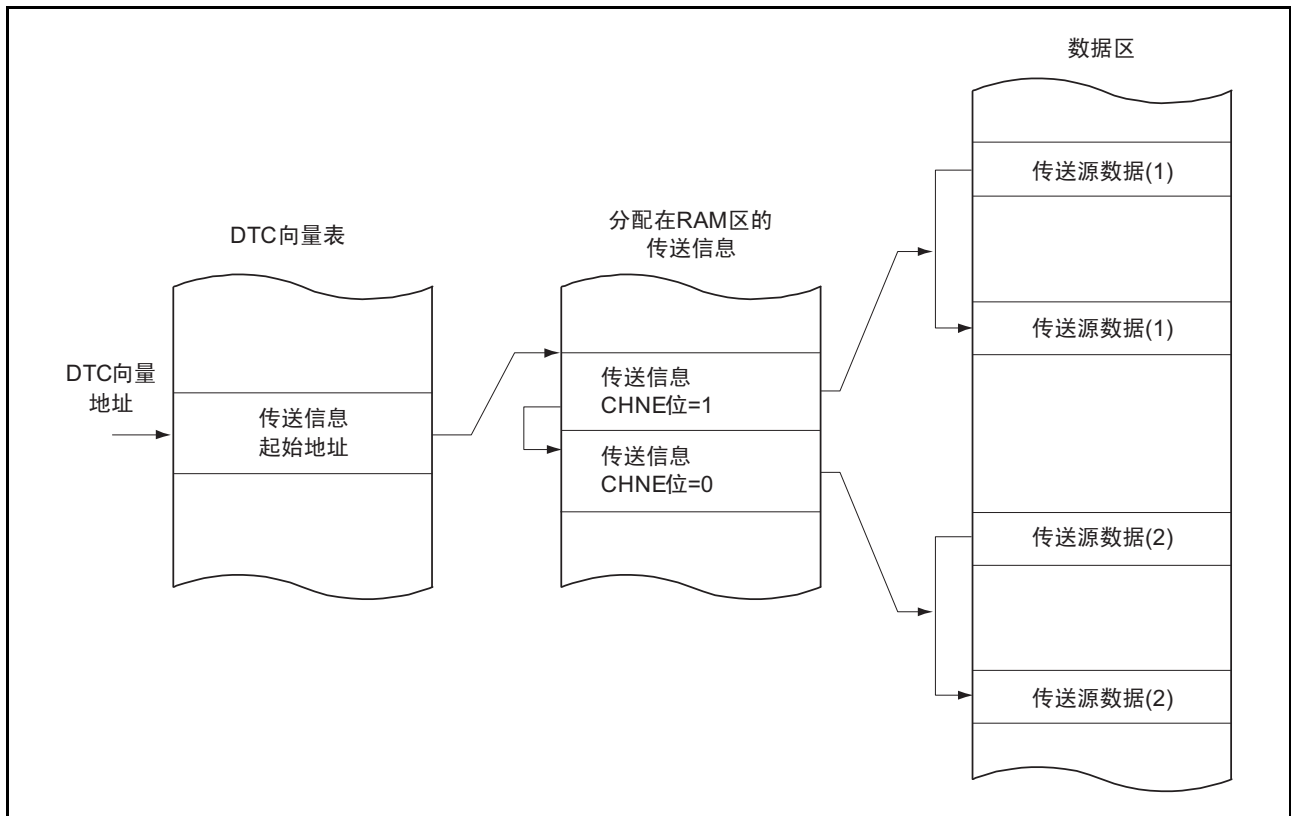


图 16.8 链传送的运行

将 MRB.CHNE 位和 MRB.CHNS 位都置“1”时，仅在指定的数据传送结束时（传送计数器变为“0”时）进行链传送。在重复传送模式中，也是在指定的数据传送结束时进行链传送。

链传送条件的详细内容请参照表 16.5。

16.4.7 运行时序

DTC 的运行时序例子如图 16.9 ~ 图 16.13 所示。

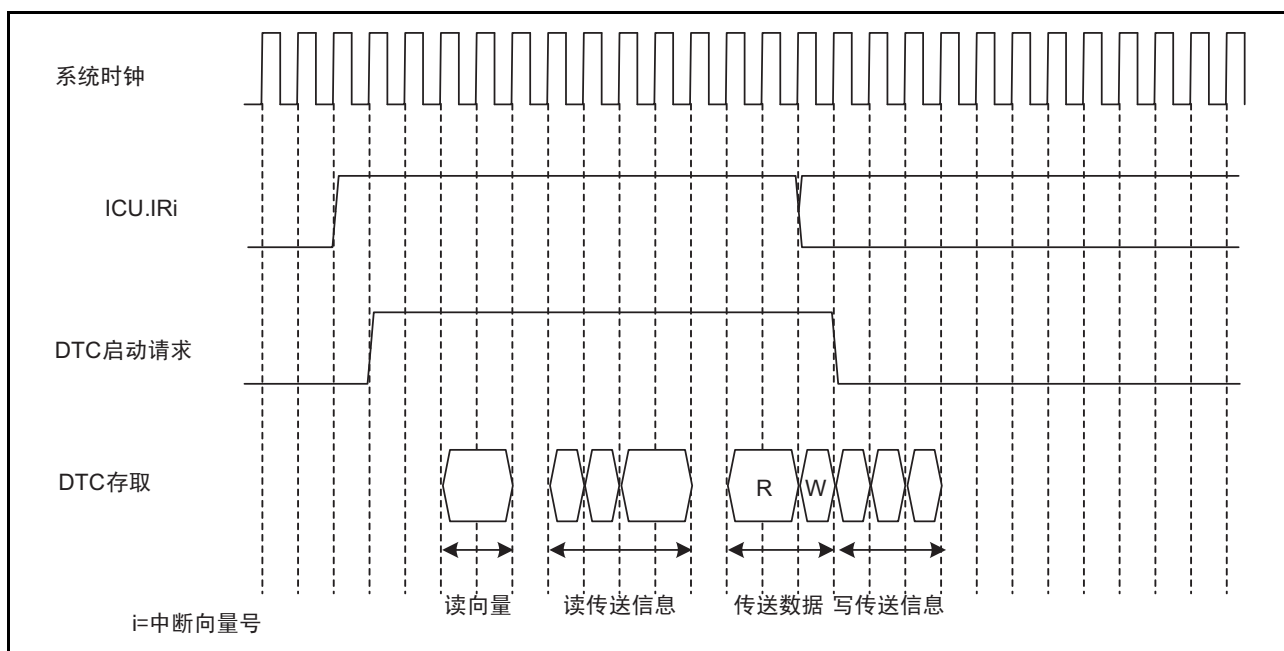


图 16.9 DTC 的运行时序例子 (1)
(短地址模式、正常传送模式、重复传送模式的情况)

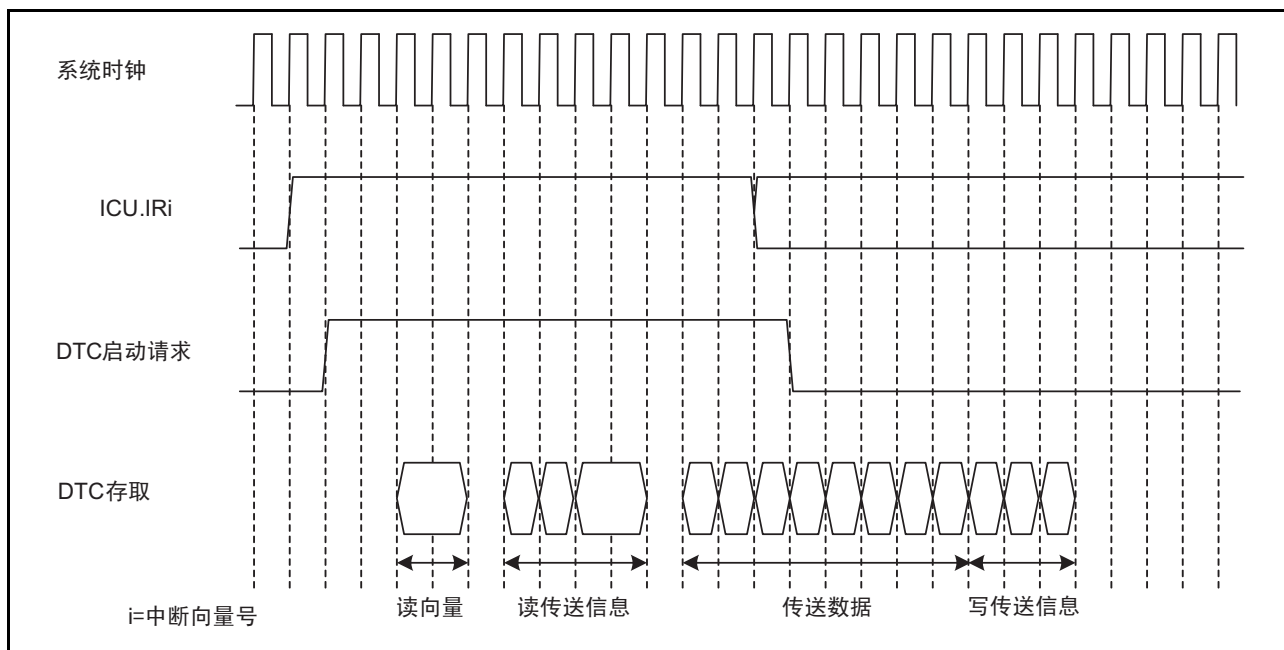


图 16.10 DTC 的运行时序例子 (2)
(短地址模式、块传送模式、块大小为“4”的情况)

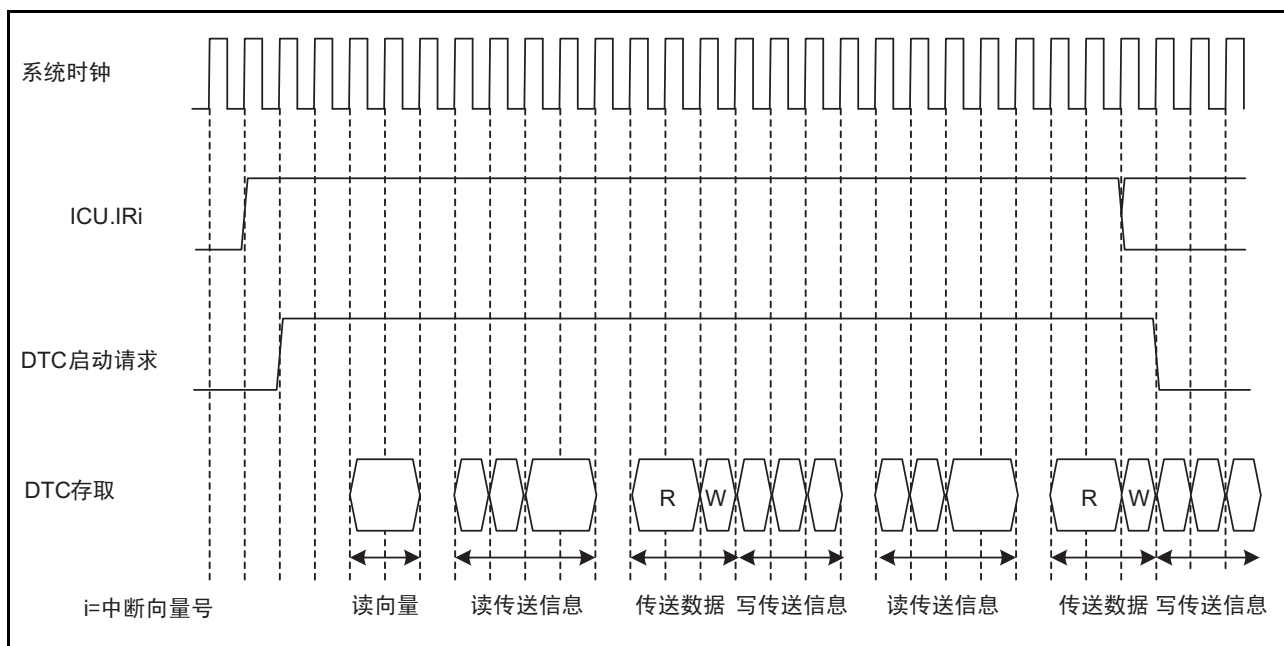


图 16.11 DTC 的运行时序例子 (3) (短地址模式、链传送的情况)

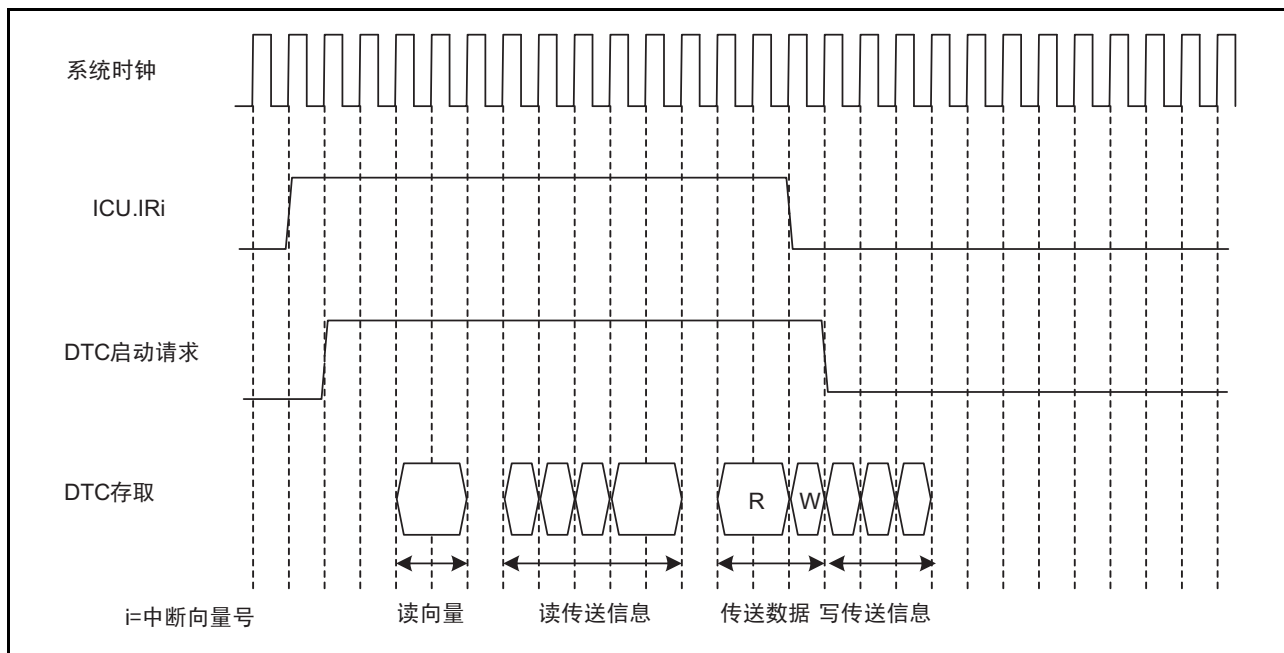


图 16.12 DTC 的运行时序例子 (4) (全地址模式、正常传送模式、重复传送模式的情况)

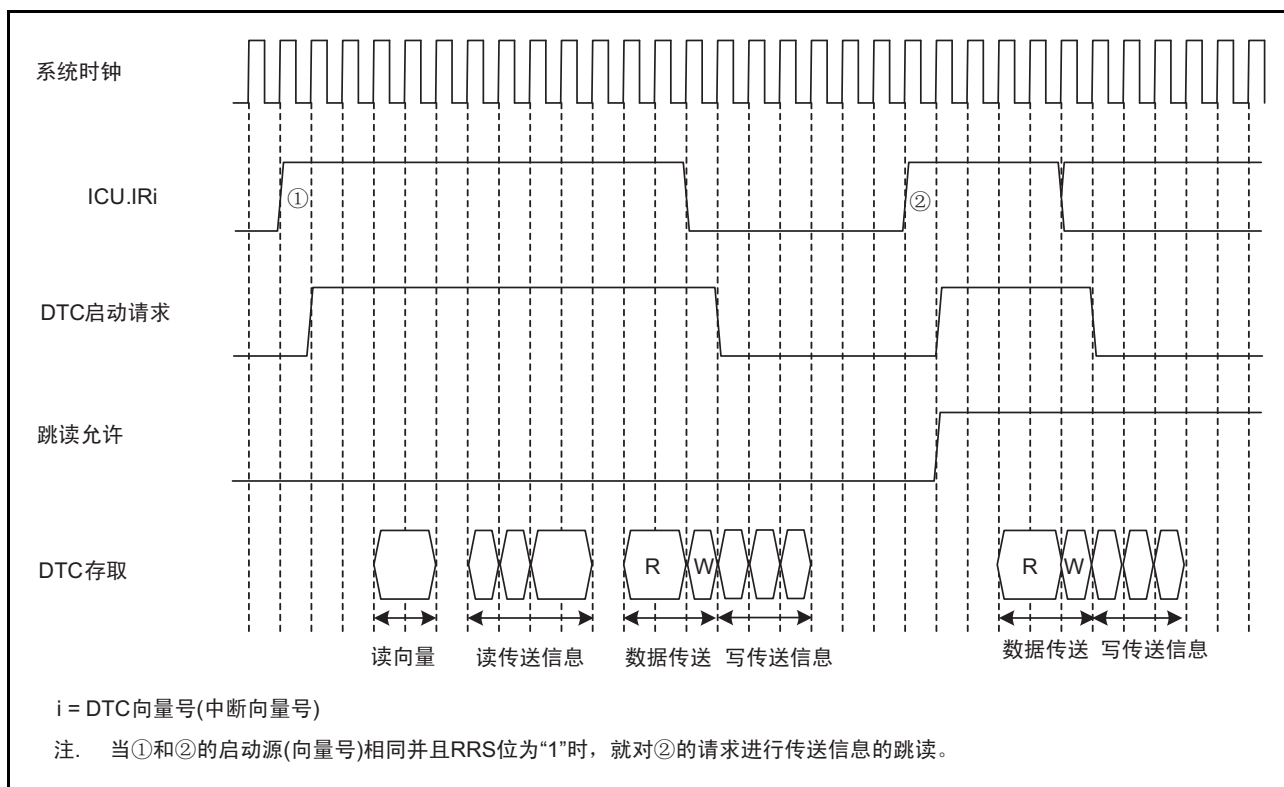


图 16.13 跳读传送信息的运行例子

16.4.8 DTC 的执行状态

DTC 的 1 次数据传送的执行状态如表 16.10 所示。

表 16.10 DTC 的执行状态

传送模式	读向量		读传送信息			写传送信息			读数据	写数据	内部运行	
	Cv+1	0 (注1)	4×Ci+1 (注2)	3×Ci+1 (注3)	0 (注1)	3×Ci (注4)	2×Ci (注5)	Ci (注6)	Cr+1	Cw	2	0 (注1)
正常	Cv+1	0 (注1)	4×Ci+1 (注2)	3×Ci+1 (注3)	0 (注1)	3×Ci (注4)	2×Ci (注5)	Ci (注6)	Cr+1	Cw	2	0 (注1)
重复	Cv+1	0 (注1)	4×Ci+1 (注2)	3×Ci+1 (注3)	0 (注1)	3×Ci (注4)	2×Ci (注5)	Ci (注6)	Cr+1	Cw	2	0 (注1)
块 (注7)	Cv+1	0 (注1)	4×Ci+1 (注2)	3×Ci+1 (注3)	0 (注1)	3×Ci (注4)	2×Ci (注5)	Ci (注6)	P×Cr	P×Cw	2	0 (注1)

- 注 1. 这是省略传送信息的情况。
 注 2. 这是全地址模式运行的情况。
 注 3. 这是短地址模式运行的情况。
 注 4. SAR 寄存器和 DAR 寄存器都不为地址固定的情况。
 注 5. SAR 寄存器或者 DAR 寄存器为地址固定的情况。
 注 6. SAR 寄存器和 DAR 寄存器为地址固定的情况。
 注 7. 块大小大于等于 2 的情况。块大小为 1 时是正常传送的周期数。

【符号说明】

P: 块大小 (CRAH 寄存器和 CRAL 寄存器的设定值)

Cv: 向量信息保存目标的存取周期

Ci: 传送信息保存目标的存取周期

Cv: 数据读目标的存取周期

Cw: 数据写目标的存取周期

(读向量、读传送信息、读数据传送的“+1”、内部运行的“2”的单位都是系统时钟 (ICLK)。)

(Cv、Ci、Cr 和 Cw 因存取目标而不同。各存取目标的周期数请参照“37. RAM”、“38. ROM (保存代码的闪存)”、“5. I/O 寄存器”和“12.2.5 外部总线”。)

各处理状态的执行顺序请参照“16.4.7 运行时序”

16.4.9 DTC 的总线权释放时序

在读写传送信息过程中, DTC 不释放总线权。在其他时序中, 根据总线主控仲裁部决定的优先级进行总线仲裁。有关总线仲裁请参照“12. 总线”。

16.5 DTC 的设定步骤

必须在使用 DTC 前设定 DTC 向量基址寄存器 (DTCVBR)。

必须按照图 16.14 的设定步骤进行 DTC 各启动源的设定。

必须将 DTC 模块启动位 (DTCST.DTCST 位) 置“1”。

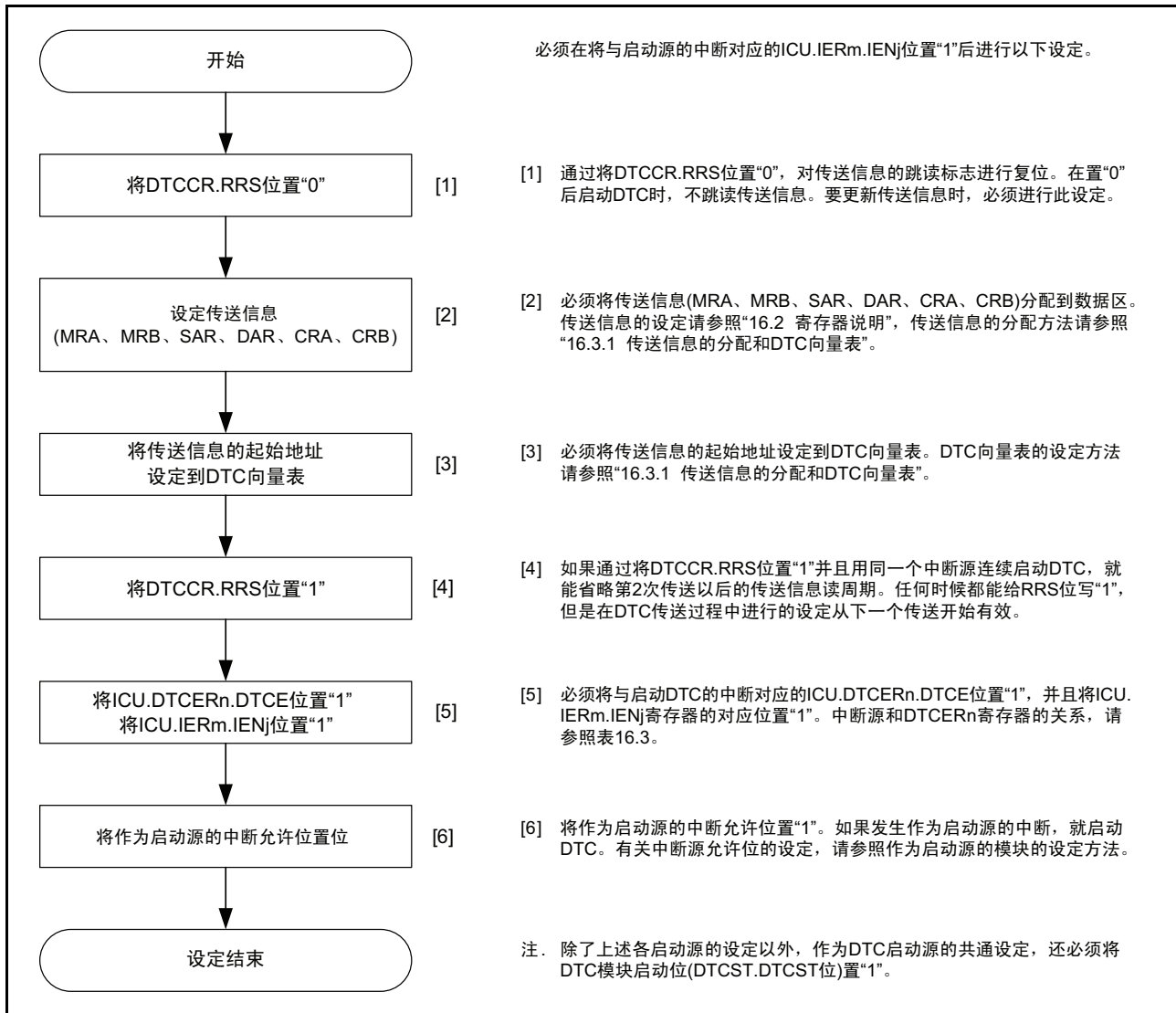


图 16.14 DTC 各启动源的设定步骤

16.6 DTC 的使用例子

16.6.1 正常传送

以 SCI 进行的 128 字节数据接收为例说明 DTC 的使用。

(1) 传送信息的设定

给 MRA 寄存器设定传送源地址固定 (MRA.SM[1:0] 位 =00b)、正常传送模式 (MRA.MD[1:0] 位 =00b) 和字节传送 (MRA.SZ[1:0] 位 =00b)；给 MRB 寄存器设定传送目标地址递增 (MRB.DM[1:0] 位 =10b)、1 次中断进行 1 次数据传送 (MRB.CHNE 位 =0, MRB.DISEL 位 =0)，能给 MRB.DTS 位设定任意值；给 SAR 寄存器设定 SCIn.RDR 寄存器 (n=0 ~ 3、5、6) 的地址，给 DAR 寄存器设定用于保存数据的 RAM 起始地址，并且给 CRA 寄存器设定 128 (“0080h”)。必须给 CRB 寄存器设定 “FFFFh”。

(2) DTC 向量表的设定

将用于 RXI 中断的传送信息的起始地址设定到 DTC 向量表。

(3) ICU 的设定和 DTC 模块的启动

将对应的 ICU.DTCERn.DTCE 位置 “1”，将 ICU.IERm.IENj 位和 DTCST.DTCST 位置 “1”。

(4) SCI 的设定

将 SCIn.SCR.RIE 位置 “1” 并且允许接收结束 (RXI) 中断。如果在 SCI 接收过程中发生接收错误，就不进行以后的接收，因此必须设定为 CPU 能接受接收错误中断。

(5) DTC 传送

在每次 SCI 的 1 字节数据接收结束时发生 RXI 中断，启动 DTC。通过 DTC 将接收数据从 SCIn.RDR 寄存器传送到 RAM，并且进行 DAR 寄存器的递增和 CRA 寄存器的递减。

(6) 中断处理

如果在 128 次的数据传送结束后 CRA 寄存器变为 “0”，就向 CPU 请求 RXI 中断。必须通过中断处理程序进行结束处理。

16.6.2 链传送

以 PPG 进行的脉冲输出为例说明 DTC 的链传送。

能使用链传送进行脉冲输出数据的传送以及 PPG 输出触发周期的变更。设定为：在链传送的前半部分对 PPGn.NDRH 寄存器和 PPGn.NDRL 寄存器 (n=0、1) 进行重复传送，在后半部分对 MTUn.TGR 寄存器 (n=0 ~ 11) 进行正常传送。这是因为只能在链传送的后半部分 (MRB.CHNE 位为 “0” 的传送) 清除启动源以及在指定次数的传送结束时发生中断。

将 MTUn.TRGA 寄存器 (n=0 ~ 4、6 ~ 11) 的比较匹配中断用作 DTC 启动源的例子如下所示。

(1) 第 1 次传送的传送信息的设定

设定对 PPGn.NDRH 寄存器和 PPGn.NDRL 寄存器的传送。给 MRA 寄存器设定传送源地址递增 (MRA.SM[1:0] 位 =10b)、重复传送模式 (MRA.MD[1:0] 位 =01b) 和字长度 (MRA.SZ[1:0] 位 =01b)；给 MRB 寄存器设定传送目标地址固定 (MRB.DM[1:0] 位 =00b)、链传送 (MRB.CHNE 位 =1, MRB.CHNS 位 =0)，将传送源设定为重复区域 (MRB.DTS 位 =1)；给 SAR 寄存器设定数据表的起始地址，给 DAR 寄存器设定 PPGn.NDRH 寄存器的地址，并且给 CRAH 寄存器和 CRAL 寄存器设定数据表的大小。必须给 CRB 寄存器设定 “FFFFh”。

(2) 第 2 次传送的传送信息的设定

设定对 MTUn.TGRA 寄存器的传送。给 MRA 寄存器设定传送源地址递增 (MRA.SM[1:0] 位 =10b)、正常传送模式 (MRA.MD[1:0] 位 =00b) 和字长度 (MRA.SZ[1:0] 位 =01b)；给 MRB 寄存器设定传送目标地址固定 (MRB.DM[1:0] 位 =00b)、1 次中断进行 1 次数据传送 (MRB.CHNE 位 =0, MRB.DISEL 位 =0)，能给 MRB.DTS 位设定任意值；给 SAR 寄存器设定数据表的起始地址，给 DAR 寄存器设定 MTUn.TGRA 寄存器的地址，并且给 CRA 寄存器设定数据表的大小。必须给 CRB 寄存器设定“FFFFh”。

(3) 传送信息的配置方法

在用于 PPGn.NDRH 寄存器和 PPGn.NDRL 寄存器传送的传送信息后面连续配置用于 MTU 传送的传送信息。

(4) DTC 向量表的设定

将用于 PPGn.NDRH 寄存器和 PPGn.NDRL 寄存器传送的传送信息的起始地址设定到 DTC 向量表。

(5) ICU 的设定和 DTC 模块的启动

将 TGIA 中断对应的 ICU.DTCERn.DTCE 位置“1”，将 ICU.IERm.IENj 位和 DTCST.DTCST 位置“1”。

(6) MTU 的设定

通过 MTUn.TIOR 寄存器将 MTUn.TGRA 寄存器设定为输出比较寄存器 (禁止输出)，通过 MTUn.TIER 寄存器允许 TGIA_n 中断请求。

(7) PPG 的设定

给 PPGn.PODRH 寄存器和 PPGn.PODRL 寄存器设定输出的初始值，给 PPGn.NDRH 寄存器和 PPGn.NDRL 寄存器设定下一个输出值。将 PORTn.DDR 寄存器 (n=0 ~ 9、A ~ G) 以及进行 PPGn.NDRH 寄存器和 PPGn.NDRL 寄存器输出的对应位置“1”。通过 PPGn.PCR 寄存器 (n=A ~ E、G) 选择作为输出触发的 MTU 的比较匹配信号。

(8) MTU 的启动

将 MTUn.TSTRi.CST[5:0] 位 (n=A、B) 置“1”，开始 MTUn.TCNT 计数器的计数。

(9) DTC 传送

在每次发生 MTUn.TGRA 寄存器的比较匹配时，将下一个输出值传送到 PPGn.NDRH 寄存器和 PPGn.NDRL 寄存器并且将下一个输出触发周期的设定值传送到 MTUn.TGRA 寄存器。

(10) 中断处理

在指定次数的传送结束后 (用于 MTU 传送的 CRA 寄存器变为“0”)，向 CPU 请求 TGIA_n 中断。必须通过中断处理程序进行结束处理。

16.6.3 计数器为“0”时的链传送

只能在计数器变为“0”时进行第2次数据的传送。能通过重新设定第1次数据的传送，至少进行256次的重复传送。

这是构成128K字节输入缓冲器的例子，假设输入缓冲器从低位地址“0000h”开始。计数器为“0”时的链传送如图16.15所示。

1. 作为第1次数据传送，设定输入数据的正常传送模式。传送源地址必须固定，CRA寄存器为“0000h”（65536次），MRB.CHNE位为“1”（允许链传送），MRB.CHNS位为“1”（只在传送计数器为“0”时进行链传送），MRB.DISEL位为“0”（在指定的数据传送结束时向CPU请求中断）。
2. 必须在其他区域（ROM等）准备第1次数据传送的传送目标地址的每65536次的起始地址高8位。例如，当输入缓冲器为“20000h”~“21FFFFh”时，准备“21h”和“20h”。
3. 作为第2次数据传送，设定为用于重新设定第1次数据传送的传送目标地址的重复传送模式（传送源为重复区域），传送目标为第1次传送信息区的DAR寄存器的高8位。此时，必须将MRB.CHNE位置“0”（禁止链传送），并且将MRB.DISEL位置“0”（在指定的数据传送结束时向请求CPU中断）。当上述输入缓冲器为“20000h”~“21FFFFh”时，必须将传送计数器设定为“2”。
4. 通过中断进行65536次的第1次数据的传送。如果第1次数据传送的传送计数器变为“0”，就启动第2次数据传送。将第1次数据传送的传送源地址高8位设定为“21h”，第1次数据传送的传送目标地址低16位的传送计数器变为“0000h”。
5. 通过中断继续进行在第1次数据传送指定的65536次的第1次数据传送。如果第1次数据传送的传送计数器变为“0”，就启动第2次数据传送。将第1次数据传送的传送源地址高8位置“20h”，第1次的数据传送的传送目标地址低16位的传送计数器变为“0000h”。
6. 无限重复上述的第4步骤和第5步骤。因为第2次数据传送为重复传送模式，所以不向CPU请求中断。

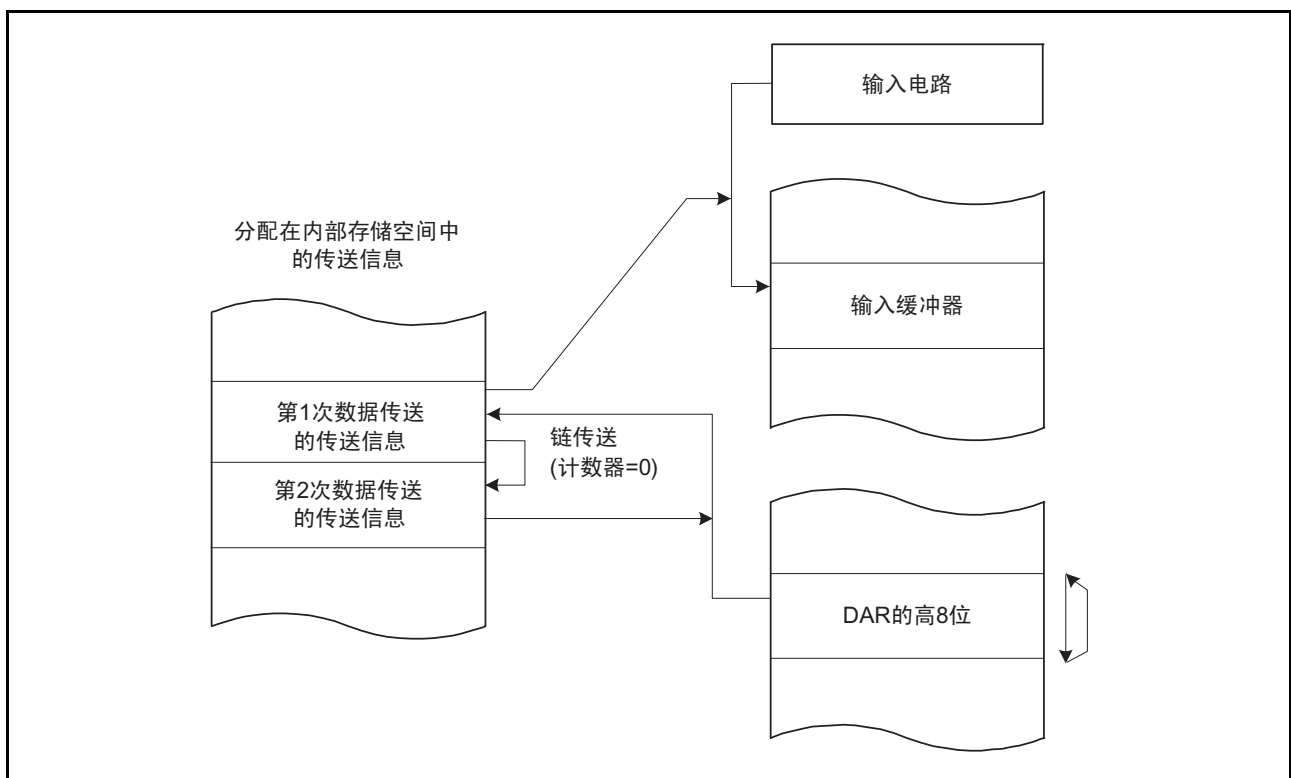


图 16.15 计数器为“0”时的链传送

16.7 中断源

在结束 DTC 指定次数的数据传送以及结束 MRB.DISEL 位为“1”（在每次 DTC 数据传送时向 CPU 请求中断）的数据传送时，通过启动 DTC 的中断源向 CPU 请求中断。这些向 CPU 请求的中断受 CPU 的 PSW.I 位（中断允许位）、PSW.IPL[3:0] 位（处理器中断优先级）和中断控制器优先级的控制。

16.8 低功耗功能

在向模块停止功能以及向全模块时钟停止模式、软件待机模式、深度软件待机模式转移时，必须将 DTCST.DTCST 位置“0”（DTC 模块停止），然后分别进行以下的设定。

(1) 模块停止功能

通过给 MSTPCRA.MSTPA28 位写“1”（向 DMACA 和 DTC 模块停止状态转移），使 DTC 的模块停止功能有效。如果在给 MSTPCRA.MSTPA28 位写“1”时正在进行 DTC 传送，就在 DTC 传送结束后转移到模块停止状态。

通过将 MSTPCRA.MSTPA28 位置“0”（解除模块停止状态），解除 DTC 模块停止状态。

(2) 全模块时钟停止模式

在给 MSTPCRA.ACSE 位写“1”（允许全模块时钟停止模式）并且给包括 MSTPCRA.MSTPA28 位（向 DMACA 和 DTC 模块停止状态转移的设定）在内的 MSTPCRA.MSTPAn 和 MSTPCRB.MSTPBn 的全部位写“1”后，通过执行 WAIT 指令转移到全模块时钟停止模式。如果在执行 WAIT 指令时正在进行 DTC 传送，就在 DTC 传送结束后转移到全模块时钟停止模式。

在从全模块时钟停止模式返回后，通过给 MSTPCRA.MSTPA28 位写“0”，解除 DTC 模块停止状态。

(3) 软件待机模式、深度软件待机模式

在给 SBYCR.SSBY 位写“1”（在执行 WAIT 指令后转移到软件待机模式）并且给 DPSBYCR.DPSBY 位写“0”（在执行 WAIT 指令后转移到软件待机模式）后，通过执行 WAIT 指令转移到软件待机模式。如果在执行 WAIT 指令时正在进行 DTC 传送，就在 DTC 传送结束后转移到软件待机模式。

如果在给 DPSBYCR.DPSBY 位写“1”（在执行 WAIT 指令后转移到深度软件待机模式）后执行 WAIT 指令，就转移到深度软件待机模式。

(4) 低功耗功能的注意事项

有关 WAIT 指令和寄存器设定步骤，请参照“9.7.7 WAIT 指令的执行时序”。

要在从低功耗模式返回后进行 DTC 传送时，必须再次将 DTCST.DTCST 位置“1”。

16.9 使用时的注意事项

16.9.1 传送信息起始地址

必须给 DTC 向量表中指定的传送信息的起始地址指定地址 4n，否则地址的低 2 位就作为“00b”进行存取。

16.9.2 传送信息的分配

如图 16.16 所示，在将传送信息分配到存储器时，必须根据要分配区域的字节序进行分配。

例如，当用 16 位写 CRA 和 CRB 的设定数据时，在大端法的情况下，必须将 CRA 和 CRB 的设定数据分别写到低位地址 0 和低位地址 2；在小端法的情况下，必须将 CRA 和 CRB 的设定数据分别写到低位地址 2 和低位地址 0。当用 32 位写 CRA 和 CRB 的设定数据时，与字节序无关，必须在将 CRA 的设定数据分配到 32 位的 MSB 侧、将 CRB 的设定数据分配到 32 位的 LSB 侧后写到低位地址 0。

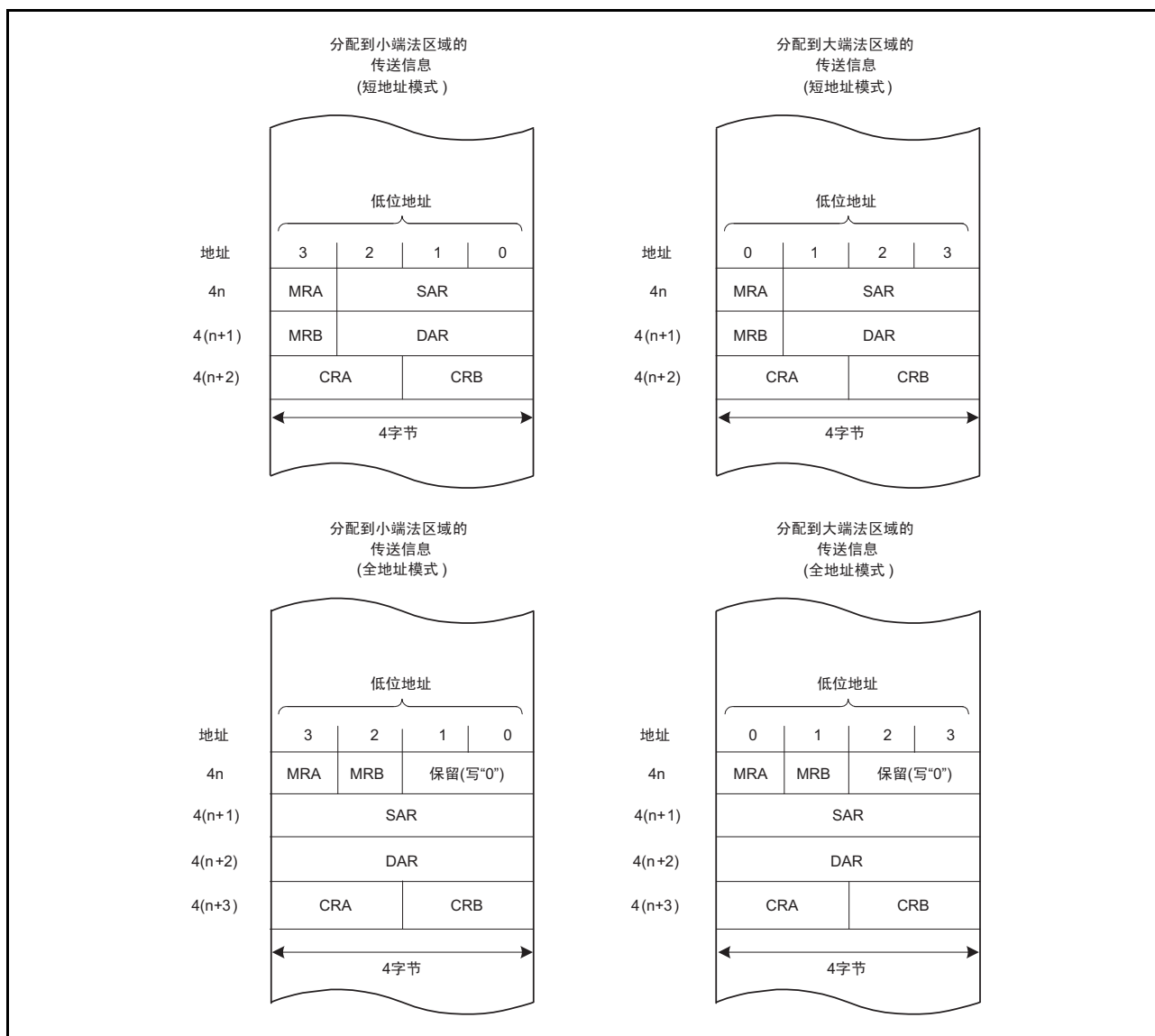


图 16.16 传送信息的分配

16.9.3 中断控制器的 DTC 启动允许寄存器 (ICU.DTCERi) 的设定

必须在 DTCST.DTCST 位为“0” (DTC 模块停止) 时设定 DTC 启动允许寄存器 (ICU.DTCERi 寄存器 (i= 中断向量号))。另外, 不能在将与通过 ICU.DTCERi 寄存器置“1” (允许 DTC 传送) 的中断向量号相同的中断向量号设定给 DMACA 启动请求选择寄存器 (ICU.DMRSRn (n=DMACA 通道号)) 后启动 DMACA。有关 ICU.DTCERi 寄存器和 ICU.DMRSRn 寄存器 (n=DMACA 通道号) 的详细内容, 请参照“11. 中断控制器 (ICUa)”。

16.9.4 给 DTC 启动源指定通信功能中断的情况

RX62N 群和 RX621 群在组合使用通信功能 (SCI/RIIC/RSPI/USB) 和 DTC/DMACA 功能时, 可能有注意事项。详细内容请参照“11.7 使用时的注意事项”。

17. I/O 端口

RX62N 群和 RX621 群的 I/O 端口用作可编程输入 / 输出端口、外围功能的输入 / 输出、中断输入引脚或者总线控制引脚。

各端口兼用外围模块的输入 / 输出引脚和中断输入引脚。在复位后立即变为输入端口，通过设定寄存器进行功能的转换。各端口的设定取决于 I/O 端口的寄存器设定和内部外围模块的寄存器设定。

各端口有控制输入 / 输出的数据方向寄存器（DDR）、保存输出数据的数据寄存器（DR）、读引脚状态的端口寄存器（PORT）以及控制输入缓冲器的有效或者无效的输入缓冲控制寄存器（ICR）。

I/O 端口的结构因封装而不同，详细内容请参照各封装的章节。

176 引脚 LFBGA 请参照“17.1 [176 引脚 LFBGA]I/O 端口”。

145 引脚 TFLGA 和 144 引脚 LQFP 请参照“17.2 [145 引脚 TFLGA/144 引脚 LQFP]I/O 端口”。

100 引脚 LQFP 请参照“17.3 [100 引脚 LQFP]I/O 端口”。

85 引脚 TFLGA 请参照“17.4 [85 引脚 TFLGA]I/O 端口”。

17.1 [176 引脚 LFBGA]I/O 端口

RX62N 群和 RX621 群（176 引脚 LFBGA）的 I/O 端口由端口 0 ~ 9 和端口 A ~ G 共 17 个端口构成，有 128 个输入 / 输出引脚。

17.1.1 概要

I/O 端口的规格和端口功能一览表分别如表 17.1 和表 17.2 所示。

表 17.1 I/O 端口的规格（176 引脚 LFBGA）

项目	内容
输入 / 输出引脚	126 个
输入引脚	2 个
端口	17 个端口（端口 0 ~ 9 和端口 A ~ G）
内部输入上拉电阻	端口 9 和端口 A、B、C、D、E、G
漏极开路输出	端口 0、1、2、3（P30 ~ P34）和端口 C
5V 容许的对应引脚	端口 0（P00、P01、P02、P07）、端口 1（P12、P13、P16、P17）、端口 2（P20、P21）、端口 3（P33）
施密特触发输入引脚	全部端口输入、CAN 输入、USB 输入、IRQ 输入、MTU 输入、POE 输入、TMR 输入、RIIC 输入、SCI 输入、A/D 触发输入
其他	<ul style="list-style-type: none"> 能驱动 1 个 TTL 负载和 30pF 的电容负载。 在输出时驱动达林顿晶体管。

表 17.2 端口功能一览表 (1 / 5) (176 引脚 LFBGA)

端口	概要	位	功能			CMOS 输入引脚	施密特触发 输入引脚	输入上拉 电阻功能	漏极开路 输出功能
			输入 / 输出	输入	输出				
端口 0	与中断输入、TMR 输入、SCI 输入 / 输出、A/D 转换器输入和 D/A 转换器输出兼用的通用输入 / 输出端口	0	P00	TMRI0-A/IRQ8-A	TxD6-A	—	全部输入功能	—	○
		1	P01	TMCI0-A/RxD6-A/ IRQ9-A					
		2	P02/SCK6-A	TMCI1-A/IRQ10-A					
		3	P03	IRQ11-A	DA0				
		5	P05	IRQ13-A	DA1				
		7	P07	ADTRG0#-A/IRQ15-A					
		端口 1	与 USB 输入 / 输出、MTU 输入 / 输出、TMR 输入 / 输出、中断输入、SCI 输入 / 输出、RIIC 输入 / 输出、PPG 输入 / 输出和 A/D 转换器输入兼用的通用输入 / 输出端口	0	P10				
1	P11/SCK2-A			MTIC5V-A/TMCI3-A/ IRQ1-B	USB1_VBUSEN-A				
2	P12/SCL0			MTIC5U-A/TMCI1-B/ RxD2-A/IRQ2-B					
3	P13/SDA0			ADTRG1#/IRQ3-B	TMO3/TxD2-A				
4	P14			USB0_OVRCURA/ TMRI2/IRQ4-B	USB0_DPUPE-B				
5	P15/MTIOC0B/ SCK3-A			USB1_OVRCURA/ TMCI2-A/IRQ5-B	PO13/ USB1_DPUPE-B				
6	P16/MTIOC3C-A			USB0_VBUS/ USB0_OVRCURB/ RxD3-A/IRQ6-B	TMO2/PO14/ USB0_VBUSEN-B				
7	P17/MTIOC3A			USB1_VBUS/ USB1_OVRCURB/ IRQ7-B	TxD3-A/PO15/ USB1_VBUSEN-B				
端口 2	与总线控制输入 / 输出、EXDMAC 输入 / 输出、USB 输入 / 输出、RSPI 输入 / 输出、MTU 输入 / 输出、PPG 输出、TMR 输入 / 输出、SCI 输入 / 输出、RIIC 输入 / 输出和 A/D 转换器输入兼用的通用输入 / 输出端口	0	P20/MTIOC1A/ SDA1	USB0_ID/ TMRI0-B	PO0/TxD0	—	全部输入功能	—	○
		1	P21/MTIOC1B/ SCL1	TMCI0-B/RxD0	USB0_EXICEN/ PO1				
		2	P22/MTIOC3B-A/ SCK0	EDREQ0-B/ MTCLKC-A	USB0_DRPD/PO2/ TMO0	EDREQ0-B	P22、MTIOC3B-A SCK0、MTCLKC-A		
		3	P23/MTIOC3D-A	MTCLKD-A	EDACK0-B/ USB0_DPUPE-A/ TxD3-B/PO3	—	全部输入功能		
		4	P24/MTIOC4A-A/ SCK3-B	EDREQ1-B/ MTCLKA-A/TMRI1	CS4#-C/ USB0_VBUSEN-A/ PO4	EDREQ1-B	P24、MTIOC4A-A、 SCK3-B、CLKA-A、 TMRI1		
		5	P25/MTIOC4C-A	MTCLKB-A/ ADTRG0#-B/ RxD3-B	CS5#-C/ EDACK1-B/ USB0_DPRPD/ PO5	—	全部输入功能		
		6	P26/MOSIB-A/ MTIOC2A	USB1_ID	CS6#-C/PO6/ TMO1/TxD1-A	MOSIB-A	P26、MTIOC2A、 USB1_ID		
		7	P27/ RSPCKB-A/ MTIOC2B/ SCK1-A		CS7#-C/ USB1_EXICEN/ PO7	RSPCKB-A	P27、MTIOC2B、 SCK1-A		

表 17.2 端口功能一览表 (2 / 5) (176 引脚 LFBGA)

端口	概要	位	功能			CMOS 输入引脚	施密特触发 输入引脚	输入上拉 电阻功能	漏极开路 输出功能
			输入 / 输出	输入	输出				
端口 3	与 CAN 输入 / 输出、USB 输出、RSPI 输入 / 输出、MTU 输入 / 输出、TMR 输入、SCI 输入 / 输出、中断输入、PPG 输出和 RTC 输出兼用的通用输入 / 输出端口	0	P30/MISOB-A/ MTIOC4B-A	TMRI3-B/RxD1-A/ IRQ0-A	USB1_DRPD/ PO8	MISOB-A	P30、MTIOC4B-A TMRI3-B、RxD1-A、 IRQ0-A	—	○
		1	P31/SSLB0-A/ MTIOC4D-A	TMC12-B/IRQ1-A	USB1_DPRPD/ PO9	SSLB0-A	P31、MTIOC4D-A TMC12-B、IRQ1-A	—	○
		2	P32/MTIOC0C	IRQ2-A	CTX0/TxD6-B/ PO10/RTCOU	—	全部输入功能	—	○
		3	P33/MTIOC0D	CRX0/RxD6-B/ IRQ3-A	PO11	—	全部输入功能	—	○
		4	P34/MTIOC0A/ SCK6-B	TMC13-B/IRQ4-A	PO12	—	全部输入功能	—	○
		5		P35/NMI			—	全部输入功能	—
端口 4	与中断输入和 A/D 转换器输入兼用的通用输入 / 输出端口	0	P40	AN0/IRQ8-B		—	P40、IRQ8-B	—	—
		1	P41	AN1/IRQ9-B		—	P41、IRQ9-B	—	—
		2	P42	AN2/IRQ10-B		—	P42、IRQ10-B	—	—
		3	P43	AN3/IRQ11-B		—	P43、IRQ11-B	—	—
		4	P44	AN4/IRQ12		—	P44、IRQ12	—	—
		5	P45	AN5/IRQ13-B		—	P45、IRQ13-B	—	—
		6	P46	AN6/IRQ14		—	P46、IRQ14	—	—
		7	P47	AN7/IRQ15-B		—	P47、IRQ15-B	—	—
端口 5	与外部总线时钟输出、总线控制输入 / 输出、USB 输出、EXDMAC 输入 / 输出、RSPI 输出、Ether 输入 / 输出、MTU 输入 / 输出和 SCI 输入 / 输出兼用的通用输入 / 输出端口	0	P50		WR0#/WR#/ SSLB1-A/TxD2-B	—	全部输入功能	—	—
		1	P51/SCK2-B	WAIT#-D	WR1#/BC1#/ SSLB2-A	WAIT#-D	P51、SCK2-B	—	—
		2	P52	RxD2-B	RD#/SSLB3-A	—	全部输入功能	—	—
		3		P53	BCLK	—	全部输入功能	—	—
		4	P54/MTIOC4B-B	ET_LINKSTA	EDACK0-C	ET_LINKSTA	P54、MTIOC4B-B	—	—
		5	P55/MTIOC4D-B	WAIT#-B/ EDREQ0-C	ET_EXOUT	WAIT#-B、 EDREQ0-C	P55、MTIOC4D-B	—	—
		6	P56/MTIOC3C-B		WR2#/BC2#/ EDACK1-C	—	全部输入功能	—	—
		7	P57	WAIT#-A/ EDREQ1-C	WR3#/BC3#	WAIT#-A、 EDREQ1-C	P57	—	—
端口 6	与 SDRAM 输出和总线控制输出兼用的通用输入 / 输出端口	0	P60		CS0#-A	—	全部输入功能	—	—
		1	P61		CS1#-A/SDCS#	—	全部输入功能	—	—
		2	P62		CS2#-A/RAS#	—	全部输入功能	—	—
		3	P63		CS3#-A/CAS#	—	全部输入功能	—	—
		4	P64		CS4#-A/WE#	—	全部输入功能	—	—
		5	P65		CS5#-A/CKE	—	全部输入功能	—	—
		6	P66		CS6#-A/DQM0	—	全部输入功能	—	—
		7	P67		CS7#-A/DQM1	—	全部输入功能	—	—

表 17.2 端口功能一览表 (3 / 5) (176 引脚 LFBGA)

端口	概要	位	功能			CMOS 输入引脚	施密特触发 输入引脚	输入上拉 电阻功能	漏极开路 输出功能
			输入 / 输出	输入	输出				
端口 7	与 SDRAM 输出、总线控制输出和 Ether 输入 / 输出兼用的通用输入 / 输出端口	0	P70		SDCLK	—	全部输入功能	—	—
		1	P71/ET_MDIO		CS1#-B	ET_MDIO	P71		
		2	P72		CS2#-B/ET_MDC	—	全部输入功能		
		3	P73		CS3#-B/ET_WOL		全部输入功能		
		4	P74	ET_ERXD1/ RMII_RXD1	CS4#-B	ET_ERXD1/ RMII_RXD1	P74		
		5	P75	ET_ERXD0/ RMII_RXD0	CS5#-B	ET_ERXD0/ RMII_RXD0	P75		
		6	P76	ET_RX_CLK/ REF50CK	CS6#-B	ET_RX_CL K/REF50CK	P76		
		7	P77	ET_RX_ER/ RMII_RX_ER	CS7#-B	ET_RX_ER/ RMII_RX_ER	P77		
端口 8	与 EXDMAC 输入 / 输出、MTU 输入 / 输出和 Ether 输入 / 输出兼用的通用输入 / 输出端口	0	P80/MTIOC3B-B	EDREQ0-A	ET_TX_EN/ RMII_TXD_EN	EDREQ0-A	P80、MTIOC3B-B	—	—
		1	P81/MTIOC3D-B		EDACK0-A/ ET_ETXD0/ RMII_TXD0	—	全部输入功能		
		2	P82/MTIOC4A-B	EDREQ1-A	ET_ETXD1/ RMII_TXD1	EDREQ1-A	P82、MTIOC4A-B		
		3	P83/MTIOC4C-B	ET_CRCS/ RMII_CRCS_DV	EDACK1-A	ET_CRCS、 RMII_CRCS_DV	P83、MTIOC4C-B		
		4	P84			—	全部输入功能		
		5	P85				全部输入功能		
端口 9	与地址输出和双向数据总线兼用的通用输入 / 输出端口	0	P90/D16		A16-B	D16	P90	○	—
		1	P91/D17		A17-B	D17	P91		
		2	P92/D18		A18-B	D18	P92		
		3	P93/D19		A19-B	D19	P93		
		4	P94/D20		A20-B	D20	P94		
		5	P95/D21		A21-B	D21	P95		
		6	P96/D22		A22-B	D22	P96		
		7	P97/D23		A23-B	D23	P97		
端口 A	与地址输出、SDRAM 输出、总线控制输入 / 输出、RSPI 输入 / 输出、MTU 输入 / 输出和 PPG 输出兼用的通用输入 / 输出端口	0	PA0/MTIOC6A		A0/BC0#/DQM2/ SSLA1-B/PO16	—	全部输入功能	○	—
		1	PA1/MTIOC6B		A1/DQM3/ SSLA2-B/PO17		全部输入功能		
		2	PA2/MTIOC6C		A2/SSLA3-B/ PO18		全部输入功能		
		3	PA3/MTIOC6D		A3/PO19		全部输入功能		
		4	PA4/SSLA0-B/ MTIOC7A		A4/PO20	SSLA0-B	PA4、MTIOC7A		
		5	PA5/ RSPCKA-B/ MTIOC7B		A5/PO21	RSPCKA-B	PA5、MTIOC7B		
		6	PA6/MOSIA-B/ MTIOC8A		A6/PO22	MOSIA-B	PA6、MTIOC8A		
		7	PA7/MISOA-B/ MTIOC8B		A7/PO23	MISOA-B	PA7、MTIOC8B		

表 17.2 端口功能一览表 (4 / 5) (176 引脚 LFBGA)

端口	概要	位	功能			CMOS 输入引脚	施密特触发 输入引脚	输入上拉 电阻功能	漏极开路 输出功能
			输入 / 输出	输入	输出				
端口 B	与地址输出、 MTU 输入 / 输出 和 PPG 输出 兼用的通用输入 / 输出端口	0	PB0/MTIOC9A		A8/PO24	—	全部输入功能	○	—
		1	PB1/MTIOC9C		A9/PO25		全部输入功能		
		2	PB2/MTIOC9B	MTCLKG-B	A10/PO26		全部输入功能		
		3	PB3/MTIOC9D	MTCLKH-B	A11/PO27		全部输入功能		
		4	PB4/MTIOC10A	MTCLKE-B	A12/PO28		全部输入功能		
		5	PB5/MTIOC10C	MTCLKF-B	A13/PO29		全部输入功能		
		6	PB6/MTIOC10B		A14/PO30		全部输入功能		
		7	PB7/MTIOC10D		A15/PO31		全部输入功能		
端口 C	与地址输出、 总线控制输出、 RSPI 输入 / 输出、 Ether 输入 / 输出、 MTU 输入和 SCI 输入 / 输出 兼用的通用输入 / 输出 端口	0	PC0	ET_ERXD3/ MTCLKG-A	A16-A/SSLA1-A	ET_ERXD3	PC0、MTCLKG-A	○	○
		1	PC1/SCK5	ET_ERXD2/ MTCLKH-A	A17-A/SSLA2-A	ET_ERXD2	PC1、SCK5、 MTCLKH-A		
		2	PC2	ET_RX_DV/ MTCLKE-A/RxD5	A18-A/SSLA3-A	ET_RX_DV	PC2、MTCLKE-A、 RxD5		
		3	PC3	ET_TX_ER/ MTCLKF-A	A19-A/TxD5	ET_TX_ER	PC3、MTCLKF-A		
		4	PC4/SSLA0-A	MTCLKC-B/ ET_TX_CLK	A20-A/CS3#-C	SSLA0-A、 ET_TX_CLK	PC4、MTCLKC-B		
		5	PC5/ RSPCKA-A	WAIT#-C/ MTIC11W-A/ MTCLKD-B	A21-A/CS2#-C/ ET_ETXD2	RSPCKA-A、 WAIT#-C	PC5、MTIC11W-A、 TCLKD-B		
		6	PC6/MOSIA-A	MTIC11V-A/ MTCLKA-B	A22-A /CS1#-C/ ET_ETXD3	MOSIA-A	PC6、MTIC11V-A MTCLKA-B		
		7	PC7/MISOA-A	ET_COL/ MTIC11U-A/ MTCLKB-B	A23-A/CS0#-B	MISOA-A、 ET_COL	PC7、MTIC11U-A MTCLKB-B		
端口 D	与双向数据总 线、MTU 输入 和 POE 输入兼 用的通用输入 / 输出端口	0	PD0/D0	POE7#		D0	PD0、POE7#	○	—
		1	PD1/D1	POE6#		D1	PD1、POE6#		
		2	PD2/D2	MTIC11W-B/ POE5#		D2	PD2、MTIC11W-B、 POE5#		
		3	PD3/D3	MTIC11V-B/ POE4#		D3	PD3、MTIC11V-B、 POE4#		
		4	PD4/D4	MTIC11U-B/ POE3#		D4	PD4、MTIC11U-B、 POE3#		
		5	PD5/D5	MTIC5W-B/ POE2#		D5	PD5、MTIC5W-B、 POE2#		
		6	PD6/D6	MTIC5V-B/ POE1#		D6	PD6、MTIC5V-B、 POE1#		
		7	PD7/D7	MTIC5U-B/ POE0#		D7	PD7、MTIC5U-B、 POE0#		
端口 E	与双向数据总 线、RSPI 输入 / 输出、中断输 入和 POE 输入 兼用的通用输入 / 输出端口	0	PE0/D8		SSLB1-B	D8	PE0	○	—
		1	PE1/D9		SSLB2-B	D9	PE1		
		2	PE2/D10	POE9#	SSLB3-B	D10	PE2、POE9#		
		3	PE3/D11	POE8#		D11	PE3、POE8#		
		4	PE4/D12/ SSLB0-B			D12、 SSLB0-B	PE4		
		5	PE5/D13/ RSPCKB-B	IRQ5-A		D13、 RSPCKB-B	PE5、IRQ5-A		
		6	PE6/D14/ MOSIB-B	IRQ6-A		D14、 MOSIB-B	PE6、IRQ6-A		
		7	PE7/D15/ MISOB-B	IRQ7-A		D15、 MISOB-B	PE7、IRQ7-A		

表 17.2 端口功能一览表 (5 / 5) (176 引脚 LFBGA)

端口	概要	位	功能			CMOS 输入引脚	施密特触发 输入引脚	输入上拉 电阻功能	漏极开路 输出功能
			输入 / 输出	输入	输出				
端口 F	与内部仿真器 输入 / 输出和 SCI 输入 / 输出 兼用的通用输 入 / 输出端口	0	PF0		TDO/TxD1-B	—	全部输入功能	—	—
		1	PF1/SCK1-B	TCK	—	TCK	PF1、SCK1-B		
		2	PF2	TDI/RxD1-B		—	全部输入引脚		
		3	PF3	TMS		—	全部输入引脚		
		4	PF4	TRST#		—	全部输入引脚		
端口 G	与跟踪输出和 双向数据总线 兼用的通用输 入 / 输出端口	0	PG0/D24			D24	PG0	○	—
		1	PG1/D25			D25	PG1		
		2	PG2/D26		TRDATA0	D26	PG2		
		3	PG3/D27		TRDATA1	D27	PG3		
		4	PG4/D28		TRSYNC	D28	PG4		
		5	PG5/D29		TRCLK	D29	PG5		
		6	PG6/D30		TRDATA2	D30	PG6		
		7	PG7/D31		TRDATA3	D31	PG7		

17.1.2 寄存器说明

I/O 端口的寄存器一览表和各寄存器的有效位一览表分别如表 17.3 和表 17.4 所示。

表 17.3 I/O 端口的寄存器一览表 (1 / 3) (176 引脚 LFBGA)

端口符号	寄存器名	寄存器符号	复位后的值	地址	存取长度
PORT0	数据方向寄存器	DDR	00h	0008 C000h	8
	数据寄存器	DR	00h	0008 C020h	8
	端口寄存器	PORT	不定值	0008 C040h	8
	输入缓冲控制寄存器	ICR	00h	0008 C060h	8
	漏极开路控制寄存器	ODR	00h	0008 C080h	8
PORT1	数据方向寄存器	DDR	00h	0008 C001h	8
	数据寄存器	DR	00h	0008 C021h	8
	端口寄存器	PORT	不定值	0008 C041h	8
	输入缓冲控制寄存器	ICR	00h	0008 C061h	8
	漏极开路控制寄存器	ODR	00h	0008 C081h	8
PORT2	数据方向寄存器	DDR	00h	0008 C002h	8
	数据寄存器	DR	00h	0008 C022h	8
	端口寄存器	PORT	不定值	0008 C042h	8
	输入缓冲控制寄存器	ICR	00h	0008 C062h	8
	漏极开路控制寄存器	ODR	00h	0008 C082h	8
PORT3	数据方向寄存器	DDR	00h	0008 C003h	8
	数据寄存器	DR	00h	0008 C023h	8
	端口寄存器	PORT	不定值	0008 C043h	8
	输入缓冲控制寄存器	ICR	00h	0008 C063h	8
	漏极开路控制寄存器	ODR	00h	0008 C083h	8
PORT4	数据方向寄存器	DDR	00h	0008 C004h	8
	数据寄存器	DR	00h	0008 C024h	8
	端口寄存器	PORT	不定值	0008 C044h	8
	输入缓冲控制寄存器	ICR	00h	0008 C064h	8
PORT5	数据方向寄存器	DDR	00h	0008 C005h	8
	数据寄存器	DR	00h	0008 C025h	8
	端口寄存器	PORT	不定值	0008 C045h	8
	输入缓冲控制寄存器	ICR	00h	0008 C065h	8
PORT6	数据方向寄存器	DDR	00h	0008 C006h	8
	数据寄存器	DR	00h	0008 C026h	8
	端口寄存器	PORT	不定值	0008 C046h	8
	输入缓冲控制寄存器	ICR	00h	0008 C066h	8
PORT7	数据方向寄存器	DDR	00h	0008 C007h	8
	数据寄存器	DR	00h	0008 C027h	8
	端口寄存器	PORT	不定值	0008 C047h	8
	输入缓冲控制寄存器	ICR	00h	0008 C067h	8
PORT8	数据方向寄存器	DDR	00h	0008 C008h	8
	数据寄存器	DR	00h	0008 C028h	8
	端口寄存器	PORT	不定值	0008 C048h	8
	输入缓冲控制寄存器	ICR	00h	0008 C068h	8

表 17.3 I/O 端口的寄存器一览表 (2 / 3) (176 引脚 LFBGA)

端口符号	寄存器名	寄存器符号	复位后的值	地址	存取长度
PORT9	数据方向寄存器	DDR	00h	0008 C009h	8
	数据寄存器	DR	00h	0008 C029h	8
	端口寄存器	PORT	不定值	0008 C049h	8
	输入缓冲控制寄存器	ICR	00h	0008 C069h	8
	上拉电阻控制寄存器	PCR	00h	0008 C0C9h	8
PORTA	数据方向寄存器	DDR	00h	0008 C00Ah	8
	数据寄存器	DR	00h	0008 C02Ah	8
	端口寄存器	PORT	不定值	0008 C04Ah	8
	输入缓冲控制寄存器	ICR	00h	0008 C06Ah	8
	上拉电阻控制寄存器	PCR	00h	0008 C0CAh	8
PORTB	数据方向寄存器	DDR	00h	0008 C00Bh	8
	数据寄存器	DR	00h	0008 C02Bh	8
	端口寄存器	PORT	不定值	0008 C04Bh	8
	输入缓冲控制寄存器	ICR	00h	0008 C06Bh	8
	上拉电阻控制寄存器	PCR	00h	0008 C0CBh	8
PORTC	数据方向寄存器	DDR	00h	0008 C00Ch	8
	数据寄存器	DR	00h	0008 C02Ch	8
	端口寄存器	PORT	不定值	0008 C04Ch	8
	输入缓冲控制寄存器	ICR	00h	0008 C06Ch	8
	漏极开路控制寄存器	ODR	00h	0008 C08Ch	8
	上拉电阻控制寄存器	PCR	00h	0008 C0CCh	8
PORTD	数据方向寄存器	DDR	00h	0008 C00Dh	8
	数据寄存器	DR	00h	0008 C02Dh	8
	端口寄存器	PORT	不定值	0008 C04Dh	8
	输入缓冲控制寄存器	ICR	00h	0008 C06Dh	8
	上拉电阻控制寄存器	PCR	00h	0008 C0CDh	8
PORTE	数据方向寄存器	DDR	00h	0008 C00Eh	8
	数据寄存器	DR	00h	0008 C02Eh	8
	端口寄存器	PORT	不定值	0008 C04Eh	8
	输入缓冲控制寄存器	ICR	00h	0008 C06Eh	8
	上拉电阻控制寄存器	PCR	00h	0008 C0CEh	8
PORTF	数据方向寄存器	DDR	00h	0008 C00Fh	8
	数据寄存器	DR	00h	0008 C02Fh	8
	端口寄存器	PORT	不定值	0008 C04Fh	8
	输入缓冲控制寄存器	ICR	00h	0008 C06Fh	8
PORTG	数据方向寄存器	DDR	00h	0008 C010h	8
	数据寄存器	DR	00h	0008 C030h	8
	端口寄存器	PORT	不定值	0008 C050h	8
	输入缓冲控制寄存器	ICR	00h	0008 C070h	8
	上拉电阻控制寄存器	PCR	00h	0008 C0D0h	8

表 17.3 I/O 端口的寄存器一览表 (3 / 3) (176 引脚 LFBGA)

端口符号	寄存器名	寄存器符号	复位后的值	地址	存取长度
IOPORT	端口功能寄存器 0	PF0CSE	00h	0008 C100h	8
	端口功能寄存器 1	PF1CSS	00h	0008 C101h	8
	端口功能寄存器 2	PF2CSS	00h	0008 C102h	8
	端口功能寄存器 3	PF3BUS	00h	0008 C103h	8
	端口功能寄存器 4	PF4BUS	00h	0008 C104h	8
	端口功能寄存器 5	PF5BUS	00h	0008 C105h	8
	端口功能寄存器 6	PF6BUS	00h	0008 C106h	8
	端口功能寄存器 7	PF7DMA	00h	0008 C107h	8
	端口功能寄存器 8	PF8IRQ	00h	0008 C108h	8
	端口功能寄存器 9	PF9IRQ	00h	0008 C109h	8
	端口功能寄存器 A	PFAADC	00h	0008 C10Ah	8
	端口功能寄存器 B	PFBTMR	00h	0008 C10Bh	8
	端口功能寄存器 C	PFCMTU	00h	0008 C10Ch	8
	端口功能寄存器 D	PFDMTU	00h	0008 C10Dh	8
	端口功能寄存器 E	PFENET	00h	0008 C10Eh	8
	端口功能寄存器 F	PFSCI	00h	0008 C10Fh	8
	端口功能寄存器 G	PFISPI	00h	0008 C110h	8
	端口功能寄存器 H	PFHSPI	00h	0008 C111h	8
	端口功能寄存器 J	PFJCAN	00h	0008 C113h	8
	端口功能寄存器 K	PFKUSB	00h	0008 C114h	8
端口功能寄存器 L	PFLUSB	00h	0008 C115h	8	
端口功能寄存器 M	PFMPOE	00h	0008 C116h	8	
端口功能寄存器 N	PFNPOE	00h	0008 C117h	8	

表 17.4 各寄存器的有效位一览表 (1 / 3) (176 引脚 LFBGA)

寄存器符号	b7	b6	b5	b4	b3	b2	b1	b0
PORT0.DDR	○	×	○	×	○	○	○	○
PORT1.DDR	○	○	○	○	○	○	○	○
PORT2.DDR	○	○	○	○	○	○	○	○
PORT3.DDR	×	×	×	○	○	○	○	○
PORT4.DDR	○	○	○	○	○	○	○	○
PORT5.DDR	○	○	○	○	○	○	○	○
PORT6.DDR	○	○	○	○	○	○	○	○
PORT7.DDR	○	○	○	○	○	○	○	○
PORT8.DDR	×	×	○	○	○	○	○	○
PORT9.DDR	○	○	○	○	○	○	○	○
PORTA.DDR	○	○	○	○	○	○	○	○
PORTB.DDR	○	○	○	○	○	○	○	○
PORTC.DDR	○	○	○	○	○	○	○	○
PORTD.DDR	○	○	○	○	○	○	○	○
PORTE.DDR	○	○	○	○	○	○	○	○
PORTF.DDR	×	×	×	○	○	○	○	○
PORTG.DDR	○	○	○	○	○	○	○	○
PORT0.DR	○	×	○	×	○	○	○	○
PORT1.DR	○	○	○	○	○	○	○	○
PORT2.DR	○	○	○	○	○	○	○	○
PORT3.DR	×	×	×	○	○	○	○	○
PORT4.DR	○	○	○	○	○	○	○	○
PORT5.DR	○	○	○	○	×	○	○	○
PORT6.DR	○	○	○	○	○	○	○	○
PORT7.DR	○	○	○	○	○	○	○	○
PORT8.DR	×	×	○	○	○	○	○	○
PORT9.DR	○	○	○	○	○	○	○	○
PORTA.DR	○	○	○	○	○	○	○	○
PORTB.DR	○	○	○	○	○	○	○	○
PORTC.DR	○	○	○	○	○	○	○	○
PORTD.DR	○	○	○	○	○	○	○	○
PORTE.DR	○	○	○	○	○	○	○	○
PORTF.DR	×	×	×	○	○	○	○	○
PORTG.DR	○	○	○	○	○	○	○	○
PORT0.PORT	○	×	○	×	○	○	○	○
PORT1.PORT	○	○	○	○	○	○	○	○
PORT2.PORT	○	○	○	○	○	○	○	○
PORT3.PORT	×	×	○	○	○	○	○	○
PORT4.PORT	○	○	○	○	○	○	○	○
PORT5.PORT	○	○	○	○	○	○	○	○
PORT6.PORT	○	○	○	○	○	○	○	○
PORT7.PORT	○	○	○	○	○	○	○	○
PORT8.PORT	×	×	○	○	○	○	○	○

表 17.4 各寄存器的有效位一览表 (2 / 3) (176 引脚 LFBGA)

寄存器符号	b7	b6	b5	b4	b3	b2	b1	b0
PORT9.PORT	○	○	○	○	○	○	○	○
PORTA.PORT	○	○	○	○	○	○	○	○
PORTB.PORT	○	○	○	○	○	○	○	○
PORTC.PORT	○	○	○	○	○	○	○	○
PORTD.PORT	○	○	○	○	○	○	○	○
PORTE.PORT	○	○	○	○	○	○	○	○
PORTF.PORT	×	×	×	○	○	○	○	○
PORTG.PORT	○	○	○	○	○	○	○	○
PORT0.ICR	○	×	○	×	○	○	○	○
PORT1.ICR	○	○	○	○	○	○	○	○
PORT2.ICR	○	○	○	○	○	○	○	○
PORT3.ICR	×	×	×	○	○	○	○	○
PORT4.ICR	○	○	○	○	○	○	○	○
PORT5.ICR	○	○	○	○	○	○	○	○
PORT6.ICR	○	○	○	○	○	○	○	○
PORT7.ICR	○	○	○	○	○	○	○	○
PORT8.ICR	×	×	○	○	○	○	○	○
PORT9.ICR	○	○	○	○	○	○	○	○
PORTA.ICR	○	○	○	○	○	○	○	○
PORTB.ICR	○	○	○	○	○	○	○	○
PORTC.ICR	○	○	○	○	○	○	○	○
PORTD.ICR	○	○	○	○	○	○	○	○
PORTE.ICR	○	○	○	○	○	○	○	○
PORTF.ICR	×	×	×	○	○	○	○	○
PORTG.ICR	○	○	○	○	○	○	○	○
PORT0.ODR	○	×	○	×	○	○	○	○
PORT1.ODR	○	○	○	○	○	○	○	○
PORT2.ODR	○	○	○	○	○	○	○	○
PORT3.ODR	×	×	×	○	○	○	○	○
PORTC.ODR	○	○	○	○	○	○	○	○
PORT9.PCR	○	○	○	○	○	○	○	○
PORTA.PCR	○	○	○	○	○	○	○	○
PORTB.PCR	○	○	○	○	○	○	○	○
PORTC.PCR	○	○	○	○	○	○	○	○
PORTD.PCR	○	○	○	○	○	○	○	○
PORTE.PCR	○	○	○	○	○	○	○	○
PORTG.PCR	○	○	○	○	○	○	○	○
IOPORT.PF0CSE	○	○	○	○	○	○	○	○
IOPORT.PF1CSE	○	○	○	○	○	○	○	○
IOPORT.PF2CSE	○	○	○	○	○	○	×	○
IOPORT.PF3CSE	○	○	○	○	○	○	○	○
IOPORT.PF4CSE	○	○	○	○	○	○	○	○
IOPORT.PF5CSE	○	○	○	○	×	×	○	×
IOPORT.PF6CSE	○	○	×	○	×	×	○	○

表 17.4 各寄存器的有效位一览表 (3 / 3) (176 引脚 LFBGA)

寄存器符号	b7	b6	b5	b4	b3	b2	b1	b0
IOPORT.PF7CSE	○	○	○	○	×	×	×	×
IOPORT.PF8IRQ	○	×	○	×	○	○	○	○
IOPORT.PF9IRQ	○	○	○	○	○	○	○	○
IOPORT.PFAADC	×	×	×	×	×	×	×	○
IOPORT.PFBTMR	×	×	×	×	○	○	○	○
IOPORT.PFCMTU	○	○	○	○	○	○	×	×
IOPORT.PFDMTU	○	○	×	×	×	×	×	×
IOPORT.PFENET	○	×	×	○	○	○	○	○
IOPORT.PFFSCI	×	○	×	×	○	○	○	×
IOPORT.PFGSPI	○	○	○	○	○	○	○	○
IOPORT.PFHSPi	○	○	○	○	○	○	○	○
IOPORT.PFJCAN	×	×	×	×	×	×	×	○
IOPORT.PFKUSB	×	×	×	○	○	○	○	○
IOPORT.PFLUSB	×	×	×	○	○	○	○	○
IOPORT.PFMPOE	○	○	○	○	○	○	○	○
IOPORT.PFNPOE	×	×	×	×	×	×	○	○

17.1.2.1 数据方向寄存器 (DDR)

地址 PORT0.DDR 0008 C000h、PORT1.DDR 0008 C001h、PORT2.DDR 0008 C002h、PORT3.DDR 0008 C003h
 PORT4.DDR 0008 C004h、PORT5.DDR 0008 C005h、PORT6.DDR 0008 C006h、PORT7.DDR 0008 C007h
 PORT8.DDR 0008 C008h、PORT9.DDR 0008 C009h、PORTA.DDR 0008 C00Ah、PORTB.DDR 0008 C00Bh
 PORTC.DDR 0008 C00Ch、PORTD.DDR 0008 C00Dh、PORTE.DDR 0008 C00Eh、PORTF.DDR 0008 C00Fh
 PORTG.DDR 0008 C010h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

复位后的值 0 0 0 0 0 0 0 0

注. PORT0.DDR寄存器的b6和b4是保留位。
 PORT3.DDR寄存器的低5位有效，高3位是保留位。
 PORT8.DDR寄存器的低6位有效，高2位是保留位。
 PORTF.DDR寄存器的低5位有效，高3位是保留位。
 保留位的读写值都为“0”。

位	符号	位名	功能	R/W
b0	B0	Pn0 输入 / 输出指定位	0: 输入端口 1: 输出端口	R/W
b1	B1	Pn1 输入 / 输出指定位		R/W
b2	B2	Pn2 输入 / 输出指定位		R/W
b3	B3	Pn3 输入 / 输出指定位		R/W
b4	B4	Pn4 输入 / 输出指定位		R/W
b5	B5	Pn5 输入 / 输出指定位		R/W
b6	B6	Pn6 输入 / 输出指定位		R/W
b7	B7	Pn7 输入 / 输出指定位		R/W

【符号说明】 (n = 0 ~ 9、A ~ G)

DDR 寄存器是在选择了通用输入 / 输出端口功能时指定端口输入 / 输出的寄存器。

PORTn.DDR 寄存器 (n = 0 ~ 9、A ~ G) 的各位分别对应端口 n 的各引脚，并且能以 1 位为单位进行指定。

P5.DDR.B3 位指定 P53 输入或者 BCLK 输出。当 P5.DDR.B3 位被置“1”时，因为 P53 的输出为 BCLK，所以不选择通用输出端口的功能。

17.1.2.2 数据寄存器 (DR)

地址 PORT0.DR 0008 C020h、PORT1.DR 0008 C021h、PORT2.DR 0008 C022h、PORT3.DR 0008 C023h
 PORT4.DR 0008 C024h、PORT5.DR 0008 C025h、PORT6.DR 0008 C026h、PORT7.DR 0008 C027h
 PORT8.DR 0008 C028h、PORT9.DR 0008 C029h、PORTA.DR 0008 C02Ah、PORTB.DR 0008 C02Bh
 PORTC.DR 0008 C02Ch、PORTD.DR 0008 C02Dh、PORTE.DR 0008 C02Eh、PORTF.DR 0008 C02Fh
 PORTG.DR 0008 C030h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

复位后的值 0 0 0 0 0 0 0 0

注. PORT0.DR寄存器的b6和b4是保留位。
 PORT3.DR寄存器的低5位有效，高3位是保留位。
 PORT8.DR寄存器的低6位有效，高2位是保留位。
 PORTF.DR寄存器的低5位有效，高3位是保留位。
 保留位的读写值都为“0”。

位	符号	位名	功能	R/W
b0	B0	Pn0 输出数据保存位	保存输出的数据。	R/W
b1	B1	Pn1 输出数据保存位		R/W
b2	B2	Pn2 输出数据保存位		R/W
b3	B3	Pn3 输出数据保存位		R/W
b4	B4	Pn4 输出数据保存位		R/W
b5	B5	Pn5 输出数据保存位		R/W
b6	B6	Pn6 输出数据保存位		R/W
b7	B7	Pn7 输出数据保存位		R/W

【符号说明】 (n = 0 ~ 9, A ~ G)

DR 寄存器保存用作通用输出端口的引脚输出数据。
 P53 的输出为 BCLK，即使给 PORT5.DR.B3 位设定值，也不影响引脚。

17.1.2.3 端口寄存器 (PORT)

地址 PORT0.PORT 0008 C040h、PORT1.PORT 0008 C041h、PORT2.PORT 0008 C042h、PORT3.PORT 0009 C043h
 PORT4.PORT 0008 C044h、PORT5.PORT 0008 C045h、PORT6.PORT 0008 C046h、PORT7.PORT 0008 C047h
 PORT8.PORT 0008 C048h、PORT9.PORT 0008 C049h、PORTA.PORT 0008 C04Ah、PORTB.PORT 0008 C04Bh
 PORTC.PORT 0008 C04Ch、PORTD.PORT 0008 C04Dh、PORTE.PORT 0008 C04Eh、PORTF.PORT 0008 C04Fh
 PORTG.PORT 0008 C050h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

复位后的值

x x x x x x x x

注. PORT0.PORT寄存器的b6和b4是保留位。
 PORT3.PORT寄存器的低6位有效，高2位是保留位。
 PORT8.PORT寄存器的低6位有效，高2位是保留位。
 PORTF.PORT寄存器的低5位有效，高3位是保留位。
 保留位的读取值为“1”，写操作无效。

位	符号	位名	功能	R/W
b0	B0 (注1)	Pn0 位	反映端口的引脚状态。	R
b1	B1 (注1)	Pn1 位		R
b2	B2 (注1)	Pn2 位		R
b3	B3 (注1)	Pn3 位		R
b4	B4 (注1)	Pn4 位		R
b5	B5 (注1)	Pn5 位		R
b6	B6 (注1)	Pn6 位		R
b7	B7 (注1)	Pn7 位		R

【符号说明】 (n = 0 ~ 9、A ~ G)

注 1. 在进行读操作时，必须预先将 PORTn.ICR 寄存器的对应位置“1”。
 如果在 PORTn.ICR 寄存器的位为“0”的状态下进行读操作，对应位的值就为不定值。

PORT 寄存器是反映端口引脚状态的寄存器。

如果读 PORTn.PORT 寄存器 (n=0 ~ 9、A ~ G)，就能读到引脚的状态。

P35 能读 NMI 引脚的状态。

17.1.2.4 输入缓冲控制寄存器 (ICR)

地址 PORT0.ICR 0008 C060h、PORT1.ICR 0008 C061h、PORT2.ICR 0008 C062h、PORT3.ICR 0008 C063h
 PORT4.ICR 0008 C064h、PORT5.ICR 0008 C065h、PORT6.ICR 0008 C066h、PORT7.ICR 0008 C067h
 PORT8.ICR 0008 C068h、PORT9.ICR 0008 C069h、PORTA.ICR 0008 C06Ah、PORTB.ICR 0008 C06Bh
 PORTC.ICR 0008 C06Ch、PORTD.ICR 0008 C06Dh、PORTE.ICR 0008 C06Eh、PORTF.ICR 0008 C06Fh
 PORTG.ICR 0008 C070h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
复位后的值	0	0	0	0	0	0	0	0

注. PORT0.ICR寄存器的b6和b4是保留位。
 PORT3.ICR寄存器的低5位有效，高3位是保留位。
 PORT8.ICR寄存器的低6位有效，高2位是保留位。
 PORTF.ICR寄存器的低5位有效，高3位是保留位。
 保留位的读写值都为“0”。

位	符号	位名	功能	R/W
b0	B0 (注1)	Pn0 输入缓冲器控制位	0: 对应引脚的输入缓冲器无效 1: 对应引脚的输入缓冲器有效	R/W
b1	B1 (注1)	Pn1 输入缓冲器控制位		R/W
b2	B2 (注1)	Pn2 输入缓冲器控制位		R/W
b3	B3 (注1)	Pn3 输入缓冲器控制位		R/W
b4	B4 (注1)	Pn4 输入缓冲器控制位		R/W
b5	B5 (注1)	Pn5 输入缓冲器控制位		R/W
b6	B6 (注1)	Pn6 输入缓冲器控制位		R/W
b7	B7 (注1)	Pn7 输入缓冲器控制位		R/W

【符号说明】 (n = 0 ~ 9、A ~ G)

注 1. 在用作输入引脚时，必须将对应位置“1”。必须将不用作输入的引脚和模拟输入 / 输出引脚的对应位置“0”。

ICR 寄存器是控制端口输入缓冲器的寄存器。

PORTn.ICR 寄存器 (n=0 ~ 9、A ~ G) 的各位分别对应端口 n 的各引脚，并且能以 1 位为单位进行指定。

在用作外围模块的输入引脚时，为了使对应引脚的输入缓冲器有效，需要预先将 PORTn.ICR 置“1”。如果在将 PORTn.ICR 置“0”的状态下用作外围模块的输入引脚，就将输入到外围模块的信号固定为 High 电平。在用作外部总线引脚的数据总线时，引脚的输入缓冲器会自动变为有效，因此无需将 PORTn.ICR 置“1”。

在更改 PORTn.ICR 寄存器的设定时，有可能因引脚的状态而在内部产生边沿，因此必须在不使用该输入引脚时更改 PORTn.ICR 寄存器的设定。例如，在 IRQ_i (i=0 ~ 15) 输入时，必须在禁止该中断的状态下更改 PORTn.ICR 寄存器的设定。先将中断控制器的 IR_i.IR 标志 (i=64 ~ 79 (IRQ 的中断向量号)) 置“0”，然后允许该中断。如果在更改 PORTn.ICR 寄存器的设定后产生边沿，就必须取消该边沿。

17.1.2.5 漏极开路控制寄存器 (ODR)

地址 PORT0.ODR 0008 C080h、PORT1.ODR 0008 C081h、PORT2.ODR 0008 C082h
PORT3.ODR 0008 C083h、PORTC.ODR 0008 C08Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
复位后的值	0	0	0	0	0	0	0	0

注. PORT0.ODR寄存器的b6和b4是保留位。
PORT3.ODR寄存器的低5位有效，高3位是保留位。
保留位的读写值都为“0”。

位	符号	位名	功能	R/W
b0	B0	Pn0 输出形态指定位	0: CMOS 输出 1: NMOS 漏极开路输出	R/W
b1	B1	Pn1 输出形态指定位		R/W
b2	B2	Pn2 输出形态指定位		R/W
b3	B3	Pn3 输出形态指定位		R/W
b4	B4	Pn4 输出形态指定位		R/W
b5	B5	Pn5 输出形态指定位		R/W
b6	B6	Pn6 输出形态指定位		R/W
b7	B7	Pn7 输出形态指定位		R/W

【符号说明】 (n = 0 ~ 3、C)

ODR 寄存器是选择端口引脚输出形态的寄存器。

17.1.2.6 上拉电阻控制寄存器 (PCR)

地址 PORT9.PCR 0008 C0C9h、PORTA.PCR 0008 C0CAh、PORTB.PCR 0008 C0CBh
 PORTC.PCR 0008 C0CCh、PORTD.PCR 0008 C0CDh、PORTE.PCR 0008 C0CEh
 PORTG.PCR 0008 C0D0h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	B0	Pn0 输入上拉电阻控制位	0: 输入上拉电阻无效 1: 输入上拉电阻有效	R/W
b1	B1	Pn1 输入上拉电阻控制位		R/W
b2	B2	Pn2 输入上拉电阻控制位		R/W
b3	B3	Pn3 输入上拉电阻控制位		R/W
b4	B4	Pn4 输入上拉电阻控制位		R/W
b5	B5	Pn5 输入上拉电阻控制位		R/W
b6	B6	Pn6 输入上拉电阻控制位		R/W
b7	B7	Pn7 输入上拉电阻控制位		R/W

【符号说明】 (n = 9、A ~ E、G)

PCR 寄存器是控制端口输入上拉电阻的有效或者无效的寄存器。

在引脚为输入的状态下，与 PORTn.PCR 寄存器为“1”的位对应的引脚输入上拉电阻有效。输入上拉电阻的状态如表 17.5 所示。

表 17.5 输入上拉电阻的状态（176 引脚 LFBGA）

端口	引脚状态	复位、硬件待机模式	其他运行
端口 9	数据输入 / 输出	无效	
	地址输出	无效	
	端口输出	无效	
	端口输入	无效	有效 / 无效
端口 A	地址输出	无效	
	外围模块输出	无效	
	端口输出	无效	
	端口输入	无效	有效 / 无效
端口 B	地址输出	无效	
	外围模块输出	无效	
	端口输出	无效	
	端口输入	无效	有效 / 无效
端口 C	地址输出	无效	
	外围模块输出	无效	
	端口输出	无效	
	端口输入	无效	有效 / 无效
端口 D	数据输入 / 输出	无效	
	端口输出	无效	
	端口输入	无效	有效 / 无效
端口 E	数据输入 / 输出	无效	
	外围模块输出	无效	
	端口输出	无效	
	端口输入	无效	有效 / 无效
端口 G	数据输入 / 输出	无效	
	端口输出	无效	
	端口输入	无效	有效 / 无效

【符号说明】

无效 : 输入上拉电阻总是无效。

有效 / 无效 : 当将 PORTm.PCR.Bj 位 (m=9、A ~ E、G, j=0 ~ 7) 置“1”时有效, 否则无效。

17.1.2.7 端口功能寄存器 0 (PF0CSE)

地址 0008 C100h

	b7	b6	b5	b4	b3	b2	b1	b0
	CS7E	CS6E	CS5E	CS4E	CS3E	CS2E	CS1E	CS0E
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	CS0E	CS0 输出允许位	0: 用作 I/O 端口 1: 用作 CSn# 输出引脚 (n=0 ~ 7)	R/W
b1	CS1E	CS1 输出允许位		R/W
b2	CS2E	CS2 输出允许位		R/W
b3	CS3E	CS3 输出允许位		R/W
b4	CS4E	CS4 输出允许位		R/W
b5	CS5E	CS5 输出允许位		R/W
b6	CS6E	CS6 输出允许位		R/W
b7	CS7E	CS7 输出允许位		R/W

PF0CSE 寄存器是选择允许或者禁止 CSn# 输出的寄存器。

CSnE 位 (CSn 输出允许位) (n=0 ~ 7)

此位选择允许或者禁止对应的 CSn# 输出。

在输出 CSn 时, 必须将对应的 PF0CSE.CsnE 位置“1”。

17.1.2.8 端口功能寄存器 1 (PF1CSS)

地址 0008 C101h



位	符号	位名	功能	R/W
b1-b0	CS4S[1:0]	CS4# 输出引脚选择位	b1 b0 0 0: 从 P64 输出 CS4#-A 0 1: 从 P74 输出 CS4#-B 1 x: 从 P24 输出 CS4#-C	R/W
b3-b2	CS5S[1:0]	CS5# 输出引脚选择位	b3 b2 0 0: 从 P65 输出 CS5#-A 0 1: 从 P75 输出 CS5#-B 1 x: 从 P25 输出 CS5#-C	R/W
b5-b4	CS6S[1:0]	CS6# 输出引脚选择位	b5 b4 0 0: 从 P66 输出 CS6#-A 0 1: 从 P76 输出 CS6#-B 1 x: 从 P26 输出 CS6#-C	R/W
b7-b6	CS7S[1:0]	CS7# 输出引脚选择位	b7 b6 0 0: 从 P67 输出 CS7#-A 0 1: 从 P77 输出 CS7#-B 1 x: 从 P27 输出 CS7#-C	R/W

【符号说明】 x: Don't care

PF1CSS 寄存器是选择 CSn# 输出引脚 (n=4 ~ 7) 的寄存器。

CSnS[1:0] 位 (CSn# 输出引脚选择位) (n=4 ~ 7)

在允许 CSn# 输出时 (PF0CSE.CSnE 位为“1”), 这些位选择 CSn# 的输出引脚。

17.1.2.9 端口功能寄存器 2 (PF2CSS)

地址 0008 C102h



位	符号	位名	功能	R/W
b0	CS0S	CS0# 输出引脚选择位	0: 从 P60 输出 CS0#-A 1: 从 PC7 输出 CS0#-B	R/W
b1	—	保留位	读写值都为“0”。	R/W
b3-b2	CS1S[1:0]	CS1# 输出引脚选择位	b3 b2 0 0: 从 P61 输出 CS1#-A 0 1: 从 P71 输出 CS1#-B 1 x: 从 PC6 输出 CS1#-C	R/W
b5-b4	CS2S[1:0]	CS2# 输出引脚选择位	b5 b4 0 0: 从 P62 输出 CS2#-A 0 1: 从 P72 输出 CS2#-B 1 x: 从 PC5 输出 CS2#-C	R/W
b7-b6	CS3S[1:0]	CS3# 输出引脚选择位	b7 b6 0 0: 从 P63 输出 CS3#-A 0 1: 从 P73 输出 CS3#-B 1 x: 从 PC4 输出 CS3#-C	R/W

【符号说明】 x: Don't care

PF2CSS 寄存器是选择 CSn# 输出引脚 (n=0 ~ 3) 的寄存器。

CSnS 位 (CSn# 输出引脚选择位) (n=0 ~ 3)

在允许 CSn# 输出时 (PF0CSE.CSnE 位为“1”), 此位选择 CSn# 的输出引脚。

17.1.2.10 端口功能寄存器 3 (PF3BUS)

地址 0008 C103h

	b7	b6	b5	b4	b3	b2	b1	b0
	A23E	A22E	A21E	A20E	A19E	A18E	A17E	A16E
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	A16E	地址 A16 输出允许位	0: A16 输出无效 1: A16 输出有效	R/W
b1	A17E	地址 A17 输出允许位	0: A17 输出无效 1: A17 输出有效	R/W
b2	A18E	地址 A18 输出允许位	0: A18 输出无效 1: A18 输出有效	R/W
b3	A19E	地址 A19 输出允许位	0: A19 输出无效 1: A19 输出有效	R/W
b4	A20E	地址 A20 输出允许位	0: A20 输出无效 1: A20 输出有效	R/W
b5	A21E	地址 A21 输出允许位	0: A21 输出无效 1: A21 输出有效	R/W
b6	A22E	地址 A22 输出允许位	0: A22 输出无效 1: A22 输出有效	R/W
b7	A23E	地址 A23 输出允许位	0: A23 输出无效 1: A23 输出有效	R/W

PF3BUS 寄存器是选择允许或者禁止地址输出的寄存器。

AnE 位 (地址 An 输出允许位) (n=16 ~ 23)

此位选择允许或者禁止地址输出 (An)。

17.1.2.11 端口功能寄存器 4 (PF4BUS)

地址 0008 C104h

	b7	b6	b5	b4	b3	b2	b1	b0
	A15E	A14E	A13E	A12E	A11E	A10E	ADRLE[1:0]	
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	ADRLE[1:0]	低位地址 A9 ~ A0 输出允许位	b1 b0 0 0: A9 ~ A0 输出无效 0 1: A9 ~ A4 输出无效, A3 ~ A0 输出有效。 1 0: A9 ~ A8 输出无效, A7 ~ A0 输出有效。 1 1: A9 ~ A0 输出有效	R/W
b2	A10E	地址 A10 输出允许位	0: A10 输出无效 1: A10 输出有效	R/W
b3	A11E	地址 A11 输出允许位	0: A11 输出无效 1: A11 输出有效	R/W
b4	A12E	地址 A12 输出允许位	0: A12 输出无效 1: A12 输出有效	R/W
b5	A13E	地址 A13 输出允许位	0: A13 输出无效 1: A13 输出有效	R/W
b6	A14E	地址 A14 输出允许位	0: A14 输出无效 1: A14 输出有效	R/W
b7	A15E	地址 A15 输出允许位	0: A15 输出无效 1: A15 输出有效	R/W

PF4BUS 寄存器是允许或者禁止地址输出的寄存器。

ADRLE[1:0] 位 (低位地址 A9 ~ A0 输出允许位)

这些位选择允许或者禁止地址输出 (A9 ~ A0)。

AnE 位 (地址 An 输出允许位) (n=10 ~ 15)

此位选择允许或者禁止地址输出 (An)。

17.1.2.12 端口功能寄存器 5 (PF5BUS)

地址 0008 C105h

	b7	b6	b5	b4	b3	b2	b1	b0
	WR32 BC32E	WR1BC1E	DH32E	DHE	—	—	ADRHMS	—
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	—	保留位	读写值都为“0”。	R/W
b1	ADRHMS	A23 ~ A16 输出选择位	A23 ~ A16 输出的选择 0: 将 PC[7:0] 设定为外部地址总线 A23-A ~ A16-A 1: 将 P9[7:0] 设定为外部地址总线 A23-B ~ A16-B	R/W
b3-b2	—	保留位	读写值都为“0”。	R/W
b4	DHE	数据 D15 ~ D8 有效位	0: 将 PE7 ~ PE0 设定为 I/O 端口 1: 将 PE7 ~ PE0 设定为外部数据总线 D15 ~ D8	R/W
b5	DH32E	数据 D31 ~ D16 有效位	0: 将 PG7 ~ PG0 和 P97 ~ P90 设定为 I/O 端口 1: 将 PG7 ~ PG0 和 P97 ~ P90 设定为外部数据总线 D31 ~ D16	R/W
b6	WR1BC1E	WR1#/BC1# 输出允许位	0: 将 P51 设定为 I/O 端口 1: 将 P51 设定为 WR#1 或者 BC1#	R/W
b7	WR32BC32E	WR3#/BC3# 输出允许位 WR2#/BC2# 输出允许位	0: 将 P56 和 P57 设定为 I/O 端口 1: 将 P56 设定为 WR#2 或者 BC2# 将 P57 设定为 WR#3 或者 BC3#	R/W

ADRHMS 位 (地址 A23 ~ A16 输出选择位)

此位选择地址总线 (A23 ~ A16) 的输出引脚。

DHE 位 (数据 D15 ~ D8 有效位)

此位选择允许或者禁止数据输入 / 输出 (D15 ~ D8)。

DH32E 位 (数据 D31 ~ D16 有效位)

此位选择允许或者禁止数据输入 / 输出 (D31 ~ D16)。

WR1BC1E 位 (WR1#/BC1# 输出允许位)

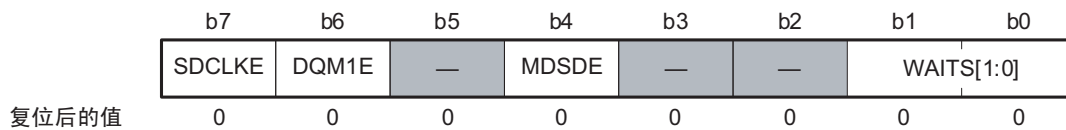
此位选择允许或者禁止 WR1#/BC1# 输出。

WR32BC32E 位 (WR3#/BC3# 输出允许位、WR2#/BC2# 输出允许位)

此位选择允许或者禁止 WR3#/BC3# 输出、WR2#/BC2# 输出。

17.1.2.13 端口功能寄存器 6 (PF6BUS)

地址 0008 C106h



位	符号	位名	功能	R/W
b1-b0	WAITS[1:0]	WAIT 选择位	b1 b0 0 0: 将 P57 设定为 WAIT#-A 输入引脚 0 1: 将 P55 设定为 WAIT#-B 输入引脚 1 0: 将 PC5 设定为 WAIT#-C 输入引脚 1 1: 将 P51 设定为 WAIT#-D 输入引脚	R/W
b3-b2	—	保留位	读写值都为“0”。	R/W
b4	MDSDE	SDRAM 引脚允许位	请参照 b6 (DQM1E 位)。	R/W
b5	—	保留位	读写值都为“0”。	R/W
b6	DQM1E	DQM1 输出允许位	MDSDE DQM1E 0 x: 只限于 P70/SDCLK, 通过 SDCLKE 位进行控制。 1 0: 除 P67/DQM1 以外, SDRAM 有效。 1 1: SDRAM 有效 (全部引脚)	R/W
b7	SDCLKE	SDCLK 输出允许位	0: SDCLK 输出无效 1: SDCLK 输出有效	R/W

WAITS 位 (WAIT 选择位)

此位选择 WAIT# 的输入引脚。

MDSDE 位 (SDRAM 引脚允许位)

此位选择允许或者禁止 SDRAM 引脚的输出。

在将 MDSDE 位置“1”的状态下, 能通过 DQM1E 位选择允许或者禁止各 DQM1 引脚的输出。与 MDSDE 位的设定无关, 能通过 SDCLKE 位独立选择允许或者禁止 SDCLKE 引脚的输出。

DQM1E 位 (DQM1 输出允许位)

此位选择允许或者禁止 DQM1 引脚的输出。

如果将 MDSDE 位置“1”, DQM1E 位的设定就有效; 如果将 MDSDE 位置“0”, 就忽视 DQM1E 位的设定。

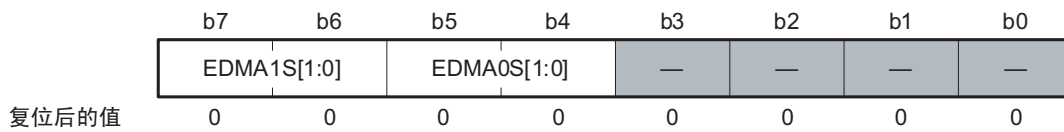
SDCLK 位 (SDCLK 输出允许位)

此位选择允许或者禁止 SDCLK 引脚的输出。

必须在设定为时钟停止状态后更改 SDCLK 位的设定。

17.1.2.14 端口功能寄存器 7 (PF7DMA)

地址 0008 C107h



位	符号	位名	功能	R/W
b3-b0	—	保留位	读写值都为“0”。	R/W
b5-b4	EDMA0S[1:0]	EXDMAC0 引脚选择位	b5 b4 0 0: 将 P80 设定为 EDREQ0-A 引脚 将 P81 设定为 EDACK0-A 引脚 0 1: 将 P22 设定为 EDREQ0-B 引脚 将 P23 设定为 EDACK0-B 引脚 1 x: 将 P55 设定为 EDREQ0-C 引脚 将 P54 设定为 EDACK0-C 引脚	R/W
b7-b6	EDMA1S[1:0]	EXDMAC1 引脚选择位	b7 b6 0 0: 将 P82 设定为 EDREQ1-A 引脚 将 P83 设定为 EDACK1-A 引脚 0 1: 将 P24 设定为 EDREQ1-B 引脚 将 P25 设定为 EDACK1-B 引脚 1 x: 将 P57 设定为 EDREQ1-C 引脚 将 P56 设定为 EDACK1-C 引脚	R/W

【符号说明】 x: Don't care

EDMA_nS 位 (EXDMAC_n 引脚选择位) (n=0 ~ 1)此位选择 EXDMAC_n 的引脚。

17.1.2.15 端口功能寄存器 8 (PF8IRQ)

地址 0008 C108h

	b7	b6	b5	b4	b3	b2	b1	b0
	ITS15	—	ITS13	—	ITS11	ITS10	ITS9	ITS8
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	ITS8	IRQ8 引脚选择位	0: 将 P00 设定为 IRQ8-A 输入引脚 1: 将 P40 设定为 IRQ8-B 输入引脚	R/W
b1	ITS9	IRQ9 引脚选择位	0: 将 P01 设定为 IRQ9-A 输入引脚 1: 将 P41 设定为 IRQ9-B 输入引脚	R/W
b2	ITS10	IRQ10 引脚选择位	0: 将 P02 设定为 IRQ10-A 输入引脚 1: 将 P42 设定为 IRQ10-B 输入引脚	R/W
b3	ITS11	IRQ11 引脚选择位	0: 将 P03 设定为 IRQ11-A 输入引脚 1: 将 P43 设定为 IRQ11-B 输入引脚	R/W
b4	—	保留位	读写值都为“0”。	R/W
b5	ITS13	IRQ13 引脚选择位	0: 将 P05 设定为 IRQ13-A 输入引脚 1: 将 P45 设定为 IRQ13-B 输入引脚	R/W
b6	—	保留位	读写值都为“0”。	R/W
b7	ITS15	IRQ15 引脚选择位	0: 将 P07 设定为 IRQ15-A 输入引脚 1: 将 P47 设定为 IRQ15-B 输入引脚	R/W

PF8IRQ 寄存器是选择 IRQ8 ~ IRQ15 输入引脚的寄存器。

ITS_i (IRQ_i 引脚选择位) (i=8 ~ 11、13、15)

此位选择 IRQ_i 的输入引脚。

17.1.2.16 端口功能寄存器 9 (PF9IRQ)

地址 0008 C109h

	b7	b6	b5	b4	b3	b2	b1	b0
	ITS7	ITS6	ITS5	ITS4	ITS3	ITS2	ITS1	ITS0
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	ITS0	IRQ0 引脚选择位	0: 将 P30 设定为 IRQ0-A 输入引脚 1: 将 P10 设定为 IRQ0-B 输入引脚	R/W
b1	ITS1	IRQ1 引脚选择位	0: 将 P31 设定为 IRQ1-A 输入引脚 1: 将 P11 设定为 IRQ1-B 输入引脚	R/W
b2	ITS2	IRQ2 引脚选择位	0: 将 P32 设定为 IRQ2-A 输入引脚 1: 将 P12 设定为 IRQ2-B 输入引脚	R/W
b3	ITS3	IRQ3 引脚选择位	0: 将 P33 设定为 IRQ3-A 输入引脚 1: 将 P13 设定为 IRQ3-B 输入引脚	R/W
b4	ITS4	IRQ4 引脚选择位	0: 将 P34 设定为 IRQ4-A 输入引脚 1: 将 P14 设定为 IRQ4-B 输入引脚	R/W
b5	ITS5	IRQ5 引脚选择位	0: 将 PE5 设定为 IRQ5-A 输入引脚 1: 将 P15 设定为 IRQ5-B 输入引脚	R/W
b6	ITS6	IRQ6 引脚选择位	0: 将 PE6 设定为 IRQ6-A 输入引脚 1: 将 P16 设定为 IRQ6-B 输入引脚	R/W
b7	ITS7	IRQ7 引脚选择位	0: 将 PE7 设定为 IRQ7-A 输入引脚 1: 将 P17 设定为 IRQ7-B 输入引脚	R/W

PF9IRQ 寄存器是选择 IRQ0 ~ IRQ7 输入引脚的寄存器。

ITS_i (IRQ_i 引脚选择位) (i=0 ~ 7)

此位选择 IRQ_i 的输入引脚。

17.1.2.17 端口功能寄存器 A (PFAADC)

地址 0008 C10Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ADTRG0S
复位后的值	0	0	0	0	0	0	0	0

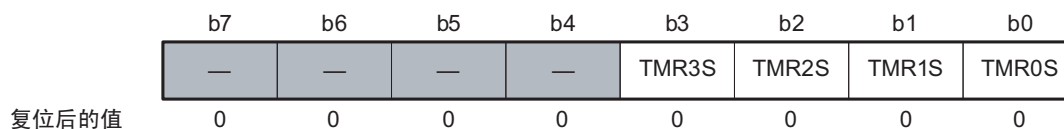
位	符号	位名	功能	R/W
b0	ADTRG0S	ADTRG0# 输入选择位	0: 将 P07 设定为 ADTRG0#-A 输入引脚 1: 将 P25 设定为 ADTRG0#-B 输入引脚	R/W
b7-b1	—	(保留位)	读写值都为“0”。	R/W

ADTRG0S 位 (ADTRG0# 输入选择位)

此位选择 ADTRG0# 的输入引脚。

17.1.2.18 端口功能寄存器 B (PFBTMR)

地址 0008 C10Bh



位	符号	位名	功能	R/W
b0	TMR0S	TMR0 输入引脚选择位	0: 选择 P01 为 TMCI0-A 引脚 选择 P00 为 TMRI0-A 引脚 1: 选择 P21 为 TMCI0-B 引脚 选择 P20 为 TMRI0-B 引脚	R/W
b1	TMR1S	TMR1 输入引脚选择位	0: 选择 P02 为 TMCI1-A 引脚 1: 选择 P12 为 TMCI1-B 引脚	R/W
b2	TMR2S	TMR2 输入引脚选择位	0: 选择 P15 为 TMCI2-A 引脚 1: 选择 P31 为 TMCI2-B 引脚	R/W
b3	TMR3S	TMR3 输入引脚选择位	0: 选择 P11 为 TMCI3-A 引脚 选择 P10 为 TMRI3-A 引脚 1: 选择 P34 为 TMCI3-B 引脚 选择 P30 为 TMRI3-B 引脚	R/W
b7-b4	—	保留位	读写值都为“0”。	R/W

PFBTMR 寄存器是选择 TMR0 ~ TMR3 引脚的寄存器。

TMRnS 位 (TMRn 输入引脚选择位) (n=0 ~ 3)

此位选择 TMRn 的输入引脚。

17.1.2.19 端口功能寄存器 C (PFCMTU)

地址 0008 C10Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	TCLKS	MTUS6	MTUS5	MTUS4	MTUS3	MTUS2	—	—
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	—	保留位	读写值都为“0”。	R/W
b2	MTUS2	MTU 引脚选择位 2	0: 选择 P16 为 MTIOC3C-A 引脚 1: 选择 P56 为 MTIOC3C-B 引脚	R/W
b3	MTUS3	MTU 引脚选择位 3	0: 选择 P22 为 MTIOC3B-A 引脚 选择 P23 为 MTIOC3D-A 引脚 1: 选择 P80 为 MTIOC3B-B 引脚 选择 P81 为 MTIOC3D-B 引脚	R/W
b4	MTUS4	MTU 引脚选择位 4	0: 选择 P24 为 MTIOC4A-A 引脚 选择 P25 为 MTIOC4C-A 引脚 1: 选择 P82 为 MTIOC4A-B 引脚 选择 P83 为 MTIOC4C-B 引脚	R/W
b5	MTUS5	MTU 引脚选择位 5	0: 选择 P30 为 MTIOC4B-A 引脚 选择 P31 为 MTIOC4D-A 引脚 1: 选择 P54 为 MTIOC4B-B 引脚 选择 P55 为 MTIOC4D-B 引脚	R/W
b6	MTUS6	MTU 引脚选择位 6	0: 选择 P12 为 MTIC5U-A 引脚 选择 P11 为 MTIC5V-A 引脚 选择 P10 为 MTIC5W-A 引脚 1: 选择 PD7 为 MTIC5U-B 引脚 选择 PD6 为 MTIC5V-B 引脚 选择 PD5 为 MTIC5W-B 引脚	R/W
b7	TCLKS	MTCLK 引脚选择位	0: 选择 P24 为 MTCLKA-A 引脚 选择 P25 为 MTCLKB-A 引脚 选择 P22 为 MTCLKC-A 引脚 选择 P23 为 MTCLKD-A 引脚 1: 选择 PC6 为 MTCLKA-B 引脚 选择 PC7 为 MTCLKB-B 引脚 选择 PC4 为 MTCLKC-B 引脚 选择 PC5 为 MTCLKD-B 引脚	R/W

PFCMTU 寄存器是选择 MTU 单元 0 的引脚的寄存器。

MTUS_j 位 (MTU 引脚选择位 j) (j=2 ~ 6)

此位选择 MTU 的输入 / 输出引脚。

TCLKS 位 (MTCLK 引脚选择位)

此位选择 MTU 的 MTCLK 输入引脚。

17.1.2.20 端口功能寄存器 D (PFDMTU)

地址 0008 C10Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	TCLKS	MTUS6	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b5-b0	—	保留位	读写值都为“0”。	R/W
b6	MTUS6	MTU 引脚选择位 6	0: 选择 PC7 为 MTIC11U-A 引脚 选择 PC6 为 MTIC11V-A 引脚 选择 PC5 为 MTIC11W-A 引脚 1: 选择 PD4 为 MTIC11U-B 引脚 选择 PD3 为 MTIC11V-B 引脚 选择 PD2 为 MTIC11W-B 引脚	R/W
b7	TCLKS	MTCLK 引脚选择位	0: 选择 PC2 为 MTCLKE-A 引脚 选择 PC3 为 MTCLKF-A 引脚 选择 PC0 为 MTCLKG-A 引脚 选择 PC1 为 MTCLKH-A 引脚 1: 选择 PB4 为 MTCLKE-B 引脚 选择 PB5 为 MTCLKF-B 引脚 选择 PB2 为 MTCLKG-B 引脚 选择 PB3 为 MTCLKH-B 引脚	R/W

PFDMTU 寄存器是选择 MTU 单元 1 的引脚的寄存器。

MTUS6 位 (MTU 引脚选择位)

此位选择 MTIC11U/V/W 的输入引脚。

TCLKS 位 (MTCLK 引脚选择位)

此位选择 MTU 的 MTCLK 输入引脚。

17.1.2.21 端口功能寄存器 E (PFENET)

地址 0008 C10Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	EE	—	—	PHY MODE	ENETE3	ENETE2	ENETE1	ENETE0
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	ENETE0	EtherNET 引脚允许位 0	0: ET_WOL 引脚无效 1: ET_WOL 引脚有效	R/W
b1	ENETE1	EtherNET 引脚允许位 1	0: ET_LINKSTA 引脚无效 1: ET_LINKSTA 引脚有效	R/W
b2	ENETE2	EtherNET 引脚允许位 2	0: ET_EXOUT 引脚无效 1: ET_EXOUT 引脚有效	R/W
b3	ENETE3	EtherNET 引脚允许位 3	0: ET_TX_ER 引脚无效 1: ET_TX_ER 引脚有效	R/W
b4	PHYMODE	EtherNET 模式设定位	0: RMI 模式 1: MII 模式	R/W
b6-b5	—	(保留位)	读写值都为“0”。	R/W
b7	EE	EtherNET 引脚允许位	0: 将全部 EtherNET 引脚设定为无效 1: 将全部 EtherNET 引脚设定为有效	R/W

PFENET 寄存器是设定 EtherNET 的相关输入 / 输出引脚的寄存器。

ENETE0 ~ 3 位 (EtherNET 引脚允许位)

此位选择 EtherNET 引脚。

PHYMODE 位 (EtherNET 模式设定位)

此位设定 EtherNET 的 PHY 模式。

PHYMODE 位的设定和 EtherNET 模式的关系如表 17.6 所示。

EE (EtherNET 引脚允许位)

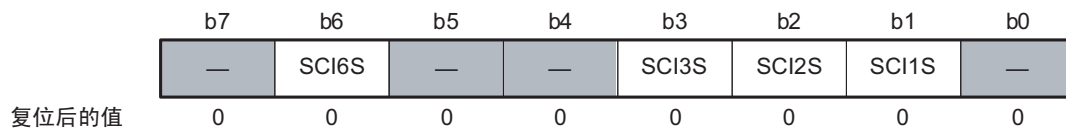
此位选择 EtherNET 引脚的有效或者无效。

表 17.6 PHYMODE 位的设定和 EtherNET 模式的关系 (176 引脚 LFBGA)

PHYMODE	EtherNET 的模式	使用的 EtherNET 引脚	分配的端口名	备注
0	RMII 模式	ET_MDC	P72	
		ET_MDIO	P71	
		ET_WOL	P73	在 ENETE0=1 时有效
		ET_LINKSTA	P54	在 ENETE1=1 时有效
		ET_EXOUT	P55	在 ENETE2=1 时有效
		REF50CK	P76	
		RMII_TXD0	P81	
		RMII_TXD1	P82	
		RMII_TXD_EN	P80	
		RMII_RXD0	P75	
		RMII_RXD1	P74	
		RMII_RX_ER	P77	
		RMII_CRSDV	P83	
		1	MII 模式	ET_MDC
ET_MDIO	P71			
ET_WOL	P73			在 ENETE0=1 时有效
ET_LINKSTA	P54			在 ENETE1=1 时有效
ET_EXOUT	P55			在 ENETE2=1 时有效
ET_TX_CLK	PC4			
ET_ETXD0	P81			
ET_ETXD1	P82			
ET_ETXD2	PC5			
ET_ETXD3	PC6			
ET_TX_EN	P80			
ET_TX_ER	PC3			在 ENETE3=1 时有效
ET_COL	PC7			
ET_CRSDV	P83			
ET_RX_CLK	P76			
ET_ERXD0	P75			
ET_ERXD1	P74			
ET_ERXD2	PC1			
ET_ERXD3	PC0			
ET_RX_DV	PC2			
ET_RX_ER	P77			

17.1.2.22 端口功能寄存器 F (PFFSCI)

地址 0008 C10Fh



位	符号	位名	功能	R/W
b0	—	保留位	读写值都为“0”。	R/W
b1	SCI1S	SCI1 引脚选择位	0: 将 P30 设定为 RxD1-A 引脚 将 P27 设定为 SCK1-A 引脚 将 P26 设定为 TxD1-A 引脚 1: 将 PF2 设定为 RxD1-B 引脚 将 PF1 设定为 SCK1-B 引脚 将 PF0 设定为 TxD1-B 引脚	R/W
b2	SCI2S	SCI2 引脚选择位	0: 将 P12 设定为 RxD2-A 引脚 将 P11 设定为 SCK2-A 引脚 将 P13 设定为 TxD2-A 引脚 1: 将 P52 设定为 RxD2-B 引脚 将 P51 设定为 SCK2-B 引脚 将 P50 设定为 TxD2-B 引脚	R/W
b3	SCI3S	SCI3 引脚选择位	0: 将 P16 设定为 RxD3-A 引脚 将 P15 设定为 SCK3-A 引脚 将 P17 设定为 TxD3-A 引脚 1: 将 P25 设定为 RxD3-B 引脚 将 P24 设定为 SCK3-B 引脚 将 P23 设定为 TxD3-B 引脚	R/W
b5-b4	—	保留位	读写值都为“0”。	R/W
b6	SCI6S	SCI6 引脚选择位	0: 将 P01 设定为 RxD6-A 引脚 将 P02 设定为 SCK6-A 引脚 将 P00 设定为 TxD6-A 引脚 1: 将 P33 设定为 RxD6-B 引脚 将 P34 设定为 SCK6-B 引脚 将 P32 设定为 TxD6-B 引脚	R/W
b7	—	保留位	读写值都为“0”。	R/W

PFFSCI 寄存器是选择 SCI 引脚的寄存器。

SCInS 位 (SCI 通道 n 引脚选择位) (n=1 ~ 3、6)

此位选择 SCI 通道 n 的输入 / 输出引脚。

17.1.2.23 端口功能寄存器 G (PFGSPI)

地址 0008 C110h

	b7	b6	b5	b4	b3	b2	b1	b0
	SSL3E	SSL2E	SSL1E	SSL0E	MISOE	MOSIE	RSPCKE	RSPIS
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	RSPIS	RSPI 引脚选择位	0: 将 PC7 设定为 MISOA-A 引脚 将 PC6 设定为 MOSIA-A 引脚 将 PC5 设定为 RSPCKA-A 引脚 将 PC4 设定为 SSLA0-A 引脚 将 PC0 设定为 SSLA1-A 引脚 将 PC1 设定为 SSLA2-A 引脚 将 PC2 设定为 SSLA3-A 引脚 1: 将 PA7 设定为 MISOA-B 引脚 将 PA6 设定为 MOSIA-B 引脚 将 PA5 设定为 RSPCKA-B 引脚 将 PA4 设定为 SSLA0-B 引脚 将 PA0 设定为 SSLA1-B 引脚 将 PA1 设定为 SSLA2-B 引脚 将 PA2 设定为 SSLA3-B 引脚	R/W
b1	RSPCKE	RSPCKA 输出允许位	0: RSPCKA 引脚无效 1: RSPCKA 引脚有效	R/W
b2	MOSIE	MOSIA 输出允许位	0: MOSIA 引脚无效 1: MOSIA 引脚有效	R/W
b3	MISOE	MISOA 输出允许位	0: MISOA 引脚无效 1: MISOA 引脚有效	R/W
b4	SSL0E	SSLA0 输出允许位	0: SSLA0 引脚无效 1: SSLA0 引脚有效	R/W
b5	SSL1E	SSLA1 输出允许位	0: SSLA1 引脚无效 1: SSLA1 引脚有效	R/W
b6	SSL2E	SSLA2 输出允许位	0: SSLA2 引脚无效 1: SSLA2 引脚有效	R/W
b7	SSL3E	SSLA3 输出允许位	0: SSLA3 引脚无效 1: SSLA3 引脚有效	R/W

PFGSPI 寄存器是设定 RSPIS 通道 0 的相关输入 / 输出引脚的寄存器。

RSPIS 位 (RSPIS 引脚选择位)

此位选择 RSPIS 的输入 / 输出引脚。RSPIS 的各输入 / 输出引脚有允许位，选择允许位为“1”的引脚而不选择允许位为“0”的引脚。

RSPCKE 位 (RSPCKA 输出允许位)

此位选择允许或者禁止 RSPCKA 引脚的输出。在使用 RSPCKA 引脚时，必须将此位置“1”。

MOSIE 位（MOSIA 输出允许位）

此位选择允许或者禁止 MOSIA 引脚的输出。在使用 MOSIA 引脚时，必须将此位置“1”。

MISOE 位（MISOA 输出允许位）

此位选择允许或者禁止 MISOA 引脚的输出。在使用 MISOA 引脚时，必须将此位置“1”。

SSL0E 位（SSLA0 输出允许位）

此位选择允许或者禁止 SSLA0 引脚的输出。在使用 SSLA0 引脚时，必须将此位置“1”。

SSL1E 位（SSLA1 输出允许位）

此位选择允许或者禁止 SSLA1 引脚的输出。在使用 SSLA1 引脚时，必须将此位置“1”。

SSL2E 位（SSLA2 输出允许位）

此位选择允许或者禁止 SSLA2 引脚的输出。在使用 SSLA2 引脚时，必须将此位置“1”。

SSL3E 位（SSLA3 输出允许位）

此位选择允许或者禁止 SSLA3 引脚的输出。在使用 SSLA3 引脚时，必须将此位置“1”。

17.1.2.24 端口功能寄存器 H (PFHSPI)

地址 0008 C111h

	b7	b6	b5	b4	b3	b2	b1	b0
	SSL3E	SSL2E	SSL1E	SSL0E	MISOE	MOSIE	RSPCKE	RSPIS
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	RSPIS	RSPI 引脚选择位	0: 将 P30 设定为 MISOB-A 引脚 将 P26 设定为 MOSIB-A 引脚 将 P27 设定为 RSPCKB-A 引脚 将 P31 设定为 SSLB0-A 引脚 将 P50 设定为 SSLB1-A 引脚 将 P51 设定为 SSLB2-A 引脚 将 P52 设定为 SSLB3-A 引脚 1: 将 PE7 设定为 MISOB-B 引脚 将 PE6 设定为 MOSIB-B 引脚 将 PE5 设定为 RSPCKB-B 引脚 将 PE4 设定为 SSLB0-B 引脚 将 PE0 设定为 SSLB1-B 引脚 将 PE1 设定为 SSLB2-B 引脚 将 PE2 设定为 SSLB3-B 引脚	R/W
b1	RSPCKE	RSPCKB 输出允许位	0: RSPCKB 引脚无效 1: RSPCKB 引脚有效	R/W
b2	MOSIE	MOSIB 输出允许位	0: MOSIB 引脚无效 1: MOSIB 引脚有效	R/W
b3	MISOE	MISOB 输出允许位	0: MISOB 引脚无效 1: MISOB 引脚有效	R/W
b4	SSL0E	SSLB0 输出允许位	0: SSLB0 引脚无效 1: SSLB0 引脚有效	R/W
b5	SSL1E	SSLB1 输出允许位	0: SSLB1 引脚无效 1: SSLB1 引脚有效	R/W
b6	SSL2E	SSLB2 输出允许位	0: SSLB2 引脚无效 1: SSLB2 引脚有效	R/W
b7	SSL3E	SSLB3 输出允许位	0: SSLB3 引脚无效 1: SSLB3 引脚有效	R/W

PFHSPI 寄存器是设定 RSPi 通道 1 的相关输入 / 输出引脚的寄存器。

RSPIS 位 (RSPi 引脚选择位)

此位选择 RSPi 的输入 / 输出引脚。

RSPi 的各输入 / 输出引脚有允许位，选择允许位为“1”的引脚而不选择允许位为“0”的引脚。

RSPCKE 位 (RSPCKB 输出允许位)

此位选择允许或者禁止 RSPCKB 引脚的输出。在使用 RSPCKB 引脚时，必须将此位置“1”。

MOSIE 位 (MOSIB 输出允许位)

此位选择允许或者禁止 MOSIB 引脚的输出。在使用 MOSIB 引脚时，必须将此位置“1”。

MISOE 位 (MISOB 输出允许位)

此位选择允许或者禁止 MISOB 引脚的输出。在使用 MISOB 引脚时，必须将此位置“1”。

SSL0E 位 (SSLB0 允许位)

此位选择允许或者禁止 SSLB0 引脚的输出。在使用 SSLB0 引脚时，必须将此位置“1”。

SSL1E 位 (SSLB1 输出允许位)

此位选择允许或者禁止 SSLB1 引脚的输出。在使用 SSLB1 引脚时，必须将此位置“1”。

SSL2E 位 (SSLB2 输出允许位)

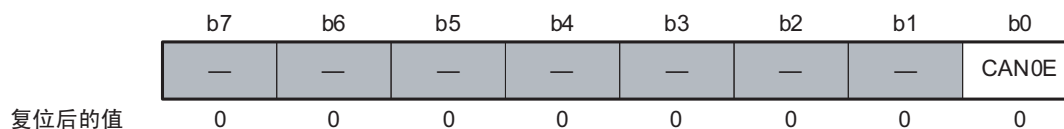
此位选择允许或者禁止 SSLB2 引脚的输出。在使用 SSLB2 引脚时，必须将此位置“1”。

SSL3E 位 (SSLB3 输出允许位)

此位选择允许或者禁止 SSLB3 引脚的输出。在使用 SSLB3 引脚时，必须将此位置“1”。

17.1.2.25 端口功能寄存器 J (PFJCAN)

地址 0008 C113h



位	符号	位名	功能	R/W
b0	CAN0E	CAN0 引脚允许位	0: CTX0 引脚和 CRX0 引脚无效 1: CTX0 引脚和 CRX0 引脚有效	R/W
b7-b1	—	保留位	读写值都为“0”。	R/W

PFJCAN 寄存器是设定 CAN 的相关输入 / 输出引脚的寄存器。

CAN0E 位 (CAN0 引脚允许位)

此位选择允许或者禁止 CAN0 引脚。在使用 CAN0 引脚时，必须将此位置“1”。

17.1.2.26 端口功能寄存器 K (PFKUSB)

地址 0008 C114h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	USBE	PDHZS	PUPHZS	USBMD[1:0]	
0	0	0	0	0	0	0	0

复位后的值

位	符号	位名	功能	R/W
b1-b0	USBMD[1:0]	USB 模式设定位	b1 b0 0 0: 将 USB0 引脚设定为 Function 模式 0 1: 将 USB0 引脚设定为 Host 模式 1 0: 将 USB0 引脚设定为 Host/Function 兼用 (选项) (注 1) 1 1: 将 USB0 引脚设定为 OTG 模式	R/W
b2	PUPHZS	PUPHZ 选择位	0: USB0_DPUPE 引脚为 High 电平输出或者 Low 电平输出 (外部上拉控制信号) 1: USB0_DPUPE 引脚为 High 电平输出或者 Hi-Z 状态 (USB0_DP 引脚上拉输出)	R/W
b3	PDHZS	PDHZ 选择位	0: USB0_DPRPD 引脚为 High 电平输出或者 Low 电平输出 USB0_DRPD 引脚为 High 电平输出或者 Low 电平输出 (外部下拉控制信号) 1: USB0_DPRPD 引脚为 Low 电平输出或者 Hi-Z 状态 USB0_DRPD 引脚为 Low 电平输出或者 Hi-Z 状态 (USB0_DP 引脚和 USB0_DM 引脚为下拉输出)	R/W
b4	USBE	USB 允许位	0: 将 USB0 引脚全部设定为无效 1: 将 USB0 引脚全部设定为有效	R/W
b7-b5	—	保留位	读写值都为“0”。	R/W

注 1. 有关选项, 请向本公司营业窗口询问。

PFKUSB 寄存器是设定 USB0 的相关输入 / 输出引脚的寄存器。

USBMD[1:0] 位 (USB 模式设定位)

这些位选择 USB 的模式。

USBMD[1:0] 位的设定和 USB 模式的关系如表 17.8 所示。

PUPHZS 位 (PUPHZ 选择位)

此位选择 USB 的 DPUPE 引脚输出模式 (外部上拉控制 / 引脚上拉输出)。

如果将 PUPHZS 位置“0”, 就为用于外部上拉 IC 的控制信号输出模式, 从 DPUPE 引脚输出 High 电平有效的控制信号。当上拉 DP 引脚时, DPUPE 引脚为 High 电平输出状态; 当解除 DP 引脚的上拉时, DPUPE 引脚为 Low 电平输出状态。

如果将 PUPHZS 位置“1”, 就为直接上拉 DP 引脚的输出模式。当上拉 DP 引脚时, DPUPE 引脚为 High 电平输出状态; 当解除 DP 引脚的上拉时, DPUPE 引脚为高阻抗状态。

PDHYS 位（PDHZ 选择位）

此位选择 USB 的 DPRPD 引脚和 DRPD 引脚的输出模式（外部下拉控制 / 引脚下拉输出）。

如果将 PDHYS 位置“0”，就为用于外部下拉 IC 的控制信号输出模式，从 DPRPD 引脚和 DRPD 引脚输出 High 电平有效的控制信号。当下拉 DP 引脚和 DM 引脚时，DPRPD 引脚和 DRPD 引脚为 High 电平输出状态；当解除 DP 引脚和 DM 引脚的下拉时，DPRPD 引脚和 DRPD 引脚为 Low 电平输出状态。

如果将 PDHYS 位置“1”，就为直接下拉 DP 引脚和 DM 引脚的输出模式。当下拉 DP 引脚和 DM 引脚时，DPRPD 引脚和 DRPD 引脚为 Low 电平输出状态；当解除 DP 引脚和 DM 引脚的下拉时，DPRPD 引脚和 DRPD 引脚为高阻抗状态。

USBE 位（USB 允许位）

此位允许 USB 引脚。

表 17.7 USBMD[1:0] 位的设定和 USB 模式的关系（USB0）

USBMD1	USBMD0	USB0 的模式	使用的 USB 引脚	分配的端口名	备注
0	0	Function 模式	USB0_DP	USB0_DP	
			USB0_DM	USB0_DM	
			USB0_VBUS	P16	
			USB0_DPUPE-B	P14	选择 -B 侧
0	1	Host 模式	USB0_DP	USB0_DP	
			USB0_DM	USB0_DM	
			USB0_OVRCURA	P14	
			USB0_VBUSEN-B	P16	选择 -B 侧
1	0	Host/Function 兼用 (选项) (注 1)	USB0_DP	USB0_DP	
			USB0_DM	USB0_DM	
			USB0_OVRCURA	P14	
			USB0_VBUS	P16	
			USB0_DRPD	P22	
			USB0_DPUPE-A	P23	选择 -A 侧
			USB0_VBUSEN-A	P24	选择 -A 侧
1	1	OTG 模式	USB0_DP	USB0_DP	
			USB0_DM	USB0_DM	
			USB0_OVRCURA	P14	
			USB0_OVRCURB	P16	
			USB0_DPRPD	P25	
			USB0_DRPD	P22	
			USB0_EXICEN	P21	
			USB0_ID	P20	
			USB0_DPUPE-A	P23	选择 -A 侧
			USB0_VBUSEN-A	P24	选择 -A 侧

注 1. 有关选项，请向本公司营业窗口询问。

17.1.2.27 端口功能寄存器 L (PFLUSB)

地址 0008 C115h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	USBE	PDHZS	PUPHZS	USBMD[1:0]	
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	USBMD[1:0]	USB 模式设定位	b1 b0 0 0: 将 USB1 引脚设定为 Function 模式 0 1: 将 USB1 引脚设定为 Host 模式 1 0: 将 USB1 引脚设定为 Host/Function 兼用 (选项) (注 1) 1 1: 将 USB1 引脚设定为 OTG 模式	R/W
b2	PUPHZS	PUPHZ 选择位	0: USB1_DPUPE 引脚为 High 电平输出或者 Low 电平输出 (外部上拉控制信号) 1: USB1_DPUPE 引脚为 High 电平输出或者 Hi-Z 状态 (USB1_DP 引脚上拉输出)	R/W
b3	PDHZS	PDHZ 选择位	0: USB1_DPRPD 引脚为 High 电平输出或者 Low 电平输出 USB1_DRPD 引脚为 High 电平输出或者 Low 电平输出 (外部下拉控制信号) 1: USB1_DPRPD 引脚为 Low 电平输出或者 Hi-Z 状态 USB1_DRPD 引脚为 Low 电平输出或者 Hi-Z 状态 (USB1_DP 引脚和 USB1_DM 引脚为下拉输出)	R/W
b4	USBE	USB 允许位	0: 将 USB1 引脚全部设定为无效 1: 将 USB1 引脚全部设定为有效	R/W
b7-b5	—	(保留位)	读写值都为“0”。	R/W

注 1. 有关选项, 请向本公司营业窗口询问。

PFLUSB 寄存器是设定 USB1 的相关输入 / 输出引脚的寄存器。

USBMD[1:0] 位 (USB 模式设定位)

这些位选择 USB 的模式。

USBMD[1:0] 位的设定和 USB 模式的关系如表 17.8 所示。

PUPHZS 位 (PUPHZ 选择位)

此位选择 USB 的 DPUPE 引脚的输出模式 (外部上拉控制 / 引脚上拉输出)。

如果将 PUPHZS 位置“0”, 就为用于外部上拉 IC 的控制信号输出模式, 从 DPUPE 引脚输出 High 电平有效的控制信号。当上拉 DP 引脚时, DPUPE 引脚为 High 电平输出状态; 当解除 DP 引脚的上拉时, DPUPE 引脚为 Low 电平输出状态。

如果将 PUPHZS 位置“1”, 就为直接上拉 DP 引脚的输出模式。当上拉 DP 引脚时, DPUPE 引脚为 High 电平输出状态; 当解除 DP 引脚的上拉时, DPUPE 引脚为高阻抗状态。

PDHVS 位（PDHZ 选择位）

此位选择 USB 的 DPRPD 引脚和 DRPD 引脚的输出模式（外部下拉控制 / 引脚下拉输出）。

如果将 PDHVS 位置“0”，就为用于外部下拉 IC 的控制信号输出模式，从 DPRPD 引脚和 DRPD 引脚输出 High 电平有效的控制信号。当下拉 DP 引脚和 DM 引脚时，DPRPD 引脚和 DRPD 引脚为 High 电平输出状态；当解除 DP 引脚和 DM 引脚的下拉时，DPRPD 引脚和 DRPD 引脚为 Low 电平输出状态。

如果将 PDHVS 位置“1”，就为直接下拉 DP 引脚和 DM 引脚的输出模式。当下拉 DP 引脚和 DM 引脚时，DPRPD 引脚和 DRPD 引脚为 Low 电平输出状态；当解除 DP 引脚和 DM 引脚的下拉时，DPRPD 引脚和 DRPD 引脚为高阻抗状态。

USBE 位（USB 允许位）

此位允许 USB 引脚。

表 17.8 USBMD[1:0] 位的设定和 USB 模式的关系（USB1）

USBMD1	USBMD0	USB1 的模式	使用的 USB 引脚	分配的端口名	备注
0	0	Function 模式	USB1_DP	USB1_DP	
			USB1_DM	USB1_DM	
			USB1_VBUS	P17	
			USB1_DPUPE-B	P15	选择 -B 侧
0	1	Host 模式	USB1_DP	USB1_DP	
			USB1_DM	USB1_DM	
			USB1_OVRCURA	P15	
			USB1_VBUSEN-B	P17	选择 -B 侧
1	0	Host/Function 兼用 (选项) (注 1)	USB1_DP	USB1_DP	
			USB1_DM	USB1_DM	
			USB1_OVRCURA	P15	
			USB1_VBUS	P17	
			USB1_DRPD	P30	
			USB1_DPUPE-A	P10	选择 -A 侧
			USB1_VBUSEN-A	P11	选择 -A 侧
1	1	OTG 模式	USB1_DP	USB1_DP	
			USB1_DM	USB1_DM	
			USB1_OVRCURA	P15	
			USB1_OVRCURB	P17	
			USB1_DPRPD	P31	
			USB1_DRPD	P30	
			USB1_EXICEN	P27	
			USB1_ID	P26	
			USB1_DPUPE-A	P10	选择 -A 侧
			USB1_VBUSEN-A	P11	选择 -A 侧

注 1. 有关选项，请向本公司营业窗口询问。

17.1.2.28 端口功能寄存器 M (PFMPOE)

地址 0008 C116h

	b7	b6	b5	b4	b3	b2	b1	b0
	POE7E	POE6E	POE5E	POE4E	POE3E	POE2E	POE1E	POE0E
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	POE0E	POE0 输入允许位	0: 设定为 I/O 端口 1: 设定为 POEn# 输入引脚 (n=0 ~ 7)	R/W (注1)
b1	POE1E	POE1 输入允许位		R/W (注1)
b2	POE2E	POE2 输入允许位		R/W (注1)
b3	POE3E	POE3 输入允许位		R/W (注1)
b4	POE4E	POE4 输入允许位		R/W (注1)
b5	POE5E	POE5 输入允许位		R/W (注1)
b6	POE6E	POE6 输入允许位		R/W (注1)
b7	POE7E	POE7 输入允许位		R/W (注1)

注 1. 只有复位开始后的第 1 次写操作有效，不能进行第 2 次以后的写操作。

PFMPOE 寄存器是选择允许或者禁止 POE 输入引脚的寄存器。

为了防止系统的误动作，必须在复位开始后进行写操作。

只有复位开始后的第 1 次写操作有效。

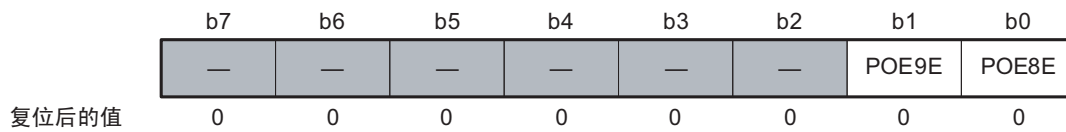
POEnE 位 (POEn 输入允许位) (n=0 ~ 7)

此位选择允许或者禁止对应的 POEn# 输入。

在使用 POEn# 时，必须将对应的 POEnE 位置“1”。

17.1.2.29 端口功能寄存器 N (PFNPOE)

地址 0008 C117h



位	符号	位名	功能	R/W
b0	POE8E	POE8 输入允许位	0: 设定为 I/O 端口 1: 设定为 POEn# 输入引脚 (n=8 ~ 9)	R/W (注 1)
b1	POE9E	POE9 输入允许位		R/W (注 1)
b7-b2	—	(保留位)	读写值都为“0”。	R/W

注 1. 只有复位开始后的第 1 次写操作有效，不能进行第 2 次以后的写操作。

PFNPOE 寄存器是选择允许或者禁止 POE 输入引脚的寄存器。

为了防止系统的误动作，必须在复位开始后进行写操作。

只有复位开始后的第 1 次写操作有效。

POEnE 位 (POEn 输入允许位) (n=8 ~ 9)

此位选择允许或者禁止对应的 POEn# 输入。

在使用 POEn# 时，必须将对应的 POEnE 位置“1”。

17.1.3 端口的设定

如果将各外围模块的引脚设定为有效，就能转换各端口的设定。

能通过设定各外围模块，独立设定用作输入的引脚。除 PORT 寄存器的读、数据总线的输入、NMI 引脚的输入和 POE 引脚的输入以外，需要通过将输入缓冲控制寄存器（ICR）的对应位置“1”，将输入缓冲器设定为有效。

对于用作输出和输入/输出的引脚，需要将各外围模块引脚的输出信号设定为有效。如果被相同端口多路复用的各外围模块输出信号的有效设定发生竞争，就根据外围模块的端口多路复用优先级，优先的外围模块功能变为有效。

外围模块的端口多路复用优先级一览表如表 17.9 所示。

各端口的输出允许设定一览表如表 17.10 所示。

表 17.9 外围模块的端口多路复用优先级一览表（176 引脚 LFBGA）

优先级	模块名	输出引脚名	
↑ 高 低	1	外部总线（数据）	D0 ~ D31（数据总线）
	2	外部总线 SDRAM	RD#, WR#, WR0# ~ WR3#, BC0# ~ BC3#, BCLK、SDCLK、 SDCS#、RAS#、CAS#、WE#、CKE、DQM0 ~ DQM3、 A0 ~ A23（地址总线）
	3	外部总线（CS）	CS0# ~ CS7#（片选）
	4	RSPIO、RSPI1	RSPCKn、MOSIn、MISO _n 、SSL _n 0 ~ SSL _n 3（n=A、B）
	5	USB0、USB1	USBm_DPUPE、USBm_VBUSEN、USBm_EXICEN、 USBm_DRPD、USBm_DPRPD（m=0、1）
	6	CAN0	CTX0
	7	EtherNET	ET_MDC、ET_MDIO、ET_EXOUT、ET_WOL、 ET_TX_EN、ET_TX_ER、ET_ETXD0 ~ ET_ETXD3、 RMII_TXD_EN、RMII_TXD0、RMII_TXD1
	8	EXDMAC0、 EXDMAC1	EDACK0、EDACK1
	9	MTU0 ~ MTU4、 MTU6 ~ MTU10	MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D、MTIOC1A、MTIOC1B、MTIOC2A、 MTIOC2B、MTIOC3A、MTIOC3B、MTIOC3C、MTIOC3D、MTIOC4A、MTIOC4B、 MTIOC4C、MTIOC4D、MTIOC6A、MTIOC6B、MTIOC6C、MTIOC6D、MTIOC7A、 MTIOC7B、MTIOC8A、MTIOC8B、MTIOC9A、MTIOC9B、MTIOC9C、MTIOC9D、 MTIOC10A、MTIOC10B、MTIOC10C、MTIOC10D
	10	TMR0 ~ TMR3	TMO0 ~ TMO3
	11	SCI0 ~ SCI3、 SCI5 ~ SCI6	SCK0 ~ SCK3、SCK5 ~ SCK6、 Tx _D 0 ~ Tx _D 3、Tx _D 5 ~ Tx _D 6
	12	RTC	RTCOUT
	13	PPG0、PPG1	PO0 ~ PO15、PO16 ~ PO31
	14	RIIC0、RIIC1	SCL0 ~ SCL1、SDA0 ~ SDA1
	15	DA	DA0 ~ DA1
	16	I/O PORT	P00 ~ P03、P05、P07、P10 ~ P17、P20 ~ P27、P30 ~ P34、P50 ~ P52、 P54 ~ P57、P60 ~ P67、P70 ~ P77、P80 ~ P85、P90 ~ P97、PA0 ~ PA7、 PB0 ~ PB7、PC0 ~ PC7、PD0 ~ PD7、PE0 ~ PE7、PF0 ~ PF4、PG0 ~ PG7

17.1.4 输出允许设定一览表

各端口的输出允许设定一览表如表 17.10 所示。

对应的输出信号的详细内容请参照各外围模块的寄存器说明。

能通过端口功能寄存器，更改各外围模块引脚名末尾带有 A ~ D 的任意一个字符的引脚功能。

表 17.10 各端口的输出允许设定一览表 (1 / 15) (176 引脚 LFBGA)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
P00	SCI6	TxD6-A	PFFSCI.SCI6S=0	SCI6.SCR.TE=1
	PORT0	P00		PORT0.DDR.B0=1
P01	PORT0	P01		PORT0.DDR.B1=1
P02	SCI6	SCK6-A	PFFSCI.SCI6S=0	当 SCI6.SCMR.SMIF=1 时: SMR.GM=0、SCR.CKE[1:0]=01, 或者 SMR.GM=1 当 SCI6.SCMR.SMIF=0 时: SMR.CM=0、SCR.CKE[1:0]=01, 或者 SMR.CM=1、SCR.CKE[1]=0
	PORT0	P02		PORT0.DDR.B2=1
P03	DA	DA0		DACR.DAOE0=1
	PORT0	P03		PORT0.DDR.B3=1
P05	DA	DA1		DACR.DAOE1=1
	PORT0	P05		PORT0.DDR.B5=1
P07	PORT0	P07		PORT0.DDR.B7=1
P10	USB1	USB1_DPUPE-A	PFLUSB.USBE=1 PFLUSB.USBMD[1:0]=10/11	(信号的输出状态取决于外围模块的设定)
	PORT1	P10		PORT1.DDR.B0=1
P11	USB1	USB1_VBUSEN-A	PFLUSB.USBE=1 PFLUSB.USBMD[1:0]=10/11	(信号的输出状态取决于外围模块的设定)
	SCI2	SCK2-A	PFFSCI.SCI2S=0	当 SCI2.SCMR.SMIF=1 时: SMR.GM=0、SCR.CKE[1:0]=01, 或者 SMR.GM=1 当 SCI2.SCMR.SMIF=0 时: SMR.CM=0、SCR.CKE[1:0]=01, 或者 SMR.CM=1、SCR.CKE[1]=0
	PORT1	P11		PORT1.DDR.B1=1
P12	RIIC0	SCL0		RIIC0.ICCR1.ICE=1
	PORT1	P12		PORT1.DDR.B2=1
P13	TMR3	TMO3		TMO3.TCSR.OSA[1:0]=01/10/11 或者 TMO3.TCSR.OSB[1:0]=01/10/11
	SCI2	TxD2-A	PFFSCI.SCI2S=0	SCI2.SCR.TE=1
	RIIC0	SDA0		RIIC0.ICCR1.ICE=1
	PORT1	P13		PORT1.DDR.B3=1
P14	USB0	USB0_DPUPE-B	PFKUSB.USBE=1 PFKUSB.USBMD[1:0]=00	(信号的输出状态取决于外围模块的设定)
	PORT1	P14		PORT1.DDR.B4=1

表 17.10 各端口的输出允许设定一览表 (2 / 15) (176 引脚 LFBGA)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
P15	USB1	USB1_DPUPE-B	PFLUSB.USBE=1 PFLUSB.USBMD[1:0]=00	(信号的输出状态取决于外围模块的设定)
	MTU0	MTIOC0B		MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	SCI3	SCK3-A	PFFSCI.SCI3S=0	当 SCI3.SCMR.SMIF=1 时: SMR.GM=0、SCR.CKE[1:0]=01, 或者 SMR.GM=1 当 SCI3.SCMR.SMIF=0 时: SMR.CM=0、SCR.CKE[1:0]=01, 或者 SMR.CM=1、SCR.CKE[1]=0
	PPG0	PO13		PPG0.NDERH.NDER13=1
	PORT1	P15		PORT1.DDR.B5=1
P16	USB0	USB0_VBUSEN-B	PFKUSB.USBE=1 PFKUSB.USBMD[1:0]=01	(信号的输出状态取决于外围模块的设定)
	MTU3	MTIOC3C-A	PFCMTU.MTUS2=0	MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	TMR2	TMO2		TMO2.TCSR.OSA[1:0]=01/10/11 或者 TMO2.TCSR.OSB[1:0]=01/10/11
	PPG0	PO14		PPG0.NDERH.NDER14=1
	PORT1	P16		PORT1.DDR.B6=1
P17	USB1	USB1_VBUSEN-B	PFLUSB.USBE=1 PFLUSB.USBMD[1:0]=01	(信号的输出状态取决于外围模块的设定)
	MTU3	MTIOC3A		MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	SCI3	TxD3-A	PFFSCI.SCI3S=0	SCI3.SCR.TE=1
	PPG0	PO15		PPG0.NDERH.NDER15=1
	PORT1	P17		PORT1.DDR.B7=1
P20	MTU1	MTIOC1A		MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	SCI0	TxD0		SCI0.SCR.TE=1
	PPG0	PO0		PPG0.NDERL.NDER0=1
	RIIC1	SDA1		RIIC1.ICCR1.ICE=1
	PORT2	P20		PORT2.DDR.B0=1
P21	USB0	USB0_EXICEN	PFKUSB.USBE=1 PFKUSB.USBMD[1:0]=11	(信号的输出状态取决于外围模块的设定)
	MTU1	MTIOC1B		MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	PPG0	PO1		PPG0.NDERL.NDER1=1
	RIIC1	SCL1		RIIC1.ICCR1.ICE=1
	PORT2	P21		PORT2.DDR.B1=1

表 17.10 各端口的输出允许设定一览表 (3 / 15) (176 引脚 LFBGA)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
P22	USB0	USB0_DRPD	PFKUSB.USBE=1 PFKUSB.USBMD[1:0]=10/11	(信号的输出状态取决于外围模块的设定)
	MTU3	MTIOC3B-A	PFCMTU.MTUS3=0	MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	TMR0	TMO0		TMO0.TCSR.OSA[1:0]=01/10/11 或者 TMO0.TCSR.OSB[1:0]=01/10/11
	SCI0	SCK0		当 SCI0.SCMR.SMIF=1 时: SMR.GM=0、SCR.CKE[1:0]=01, 或者 SMR.GM=1 当 SCI0.SCMR.SMIF=0 时: SMR.CM=0、SCR.CKE[1:0]=01, 或者 SMR.CM=1、SCR.CKE[1]=0
	PPG0	PO2		PPG0.NDERL.NDER2=1
	PORT2	P22		PORT2.DDR.B2=1
P23	USB0	USB0_DPUPE-A	PFKUSB.USBE=1 PFKUSB.USBMD[1:0]=10/11	(信号的输出状态取决于外围模块的设定)
	EXDMAC0	EDACK0-B	PF7DMA.EDMA0S[1:0]=01	EXDMAC0.EDMOMD.DACKE=1 (信号的输出状态取决于 EXDMAC0 的设定)
	MTU3	MTIOC3D-A	PFCMTU.MTUS3=0	MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	SCI3	TxD3-B	PF7SCI.SCI3S=1	SCI3.SCR.TE=1
	PPG0	PO3		PPG0.NDERL.NDER3=1
	PORT2	P23		PORT2.DDR.B3=1
P24	外部总线 (CS)	CS4#-C	PF0CSE.CS4E=1 PF1CSS.CS4S[1:0]=11/10	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	USB0	USB0_VBUSEN-A	PFKUSB.USBE=1 PFKUSB.USBMD[1:0]=10/11	(信号的输出状态取决于外围模块的设定)
	MTU4	MTIOC4A-A	PFCMTU.MTUS4=0	MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	SCI3	SCK3-B	PF7SCI.SCI3S=1	当 SCI3.SCMR.SMIF=1 时: SMR.GM=0、SCR.CKE[1:0]=01, 或者 SMR.GM=1 当 SCI3.SCMR.SMIF=0 时: SMR.CM=0、SCR.CKE[1:0]=01, 或者 SMR.CM=1、SCR.CKE[1]=0
	PPG0	PO4		PPG0.NDERL.NDER4=1
	PORT2	P24		PORT2.DDR.B4=1
P25	外部总线 (CS)	CS5#-C	PF0CSE.CS5E=1 PF1CSS.CS5S[1:0]=11/10	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	USB0	USB0_DPRPD	PFKUSB.USBE=1 PFKUSB.USBMD[1:0]=11	(信号的输出状态取决于外围模块的设定)
	EXDMAC1	EDACK1-B	PF7DMA.EDMA1S[1:0]=01	EDMAC1.EDMOMD.DACKE=1 (信号的输出状态取决于 EXDMAC1 的设定)
	MTU4	MTIOC4C-A	PFCMTU.MTUS4=0	MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	PPG0	PO5		PPG0.NDERL.NDER5=1
	PORT2	P25		PORT2.DDR.B5=1

表 17.10 各端口的输出允许设定一览表 (4 / 15) (176 引脚 LFBGA)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
P26	外部总线 (CS)	CS6#-C	PF0CSE.CS6E=1 PF1CSS.CS6S[1:0]=11/10	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	RSPI1	MOSIB-A	PFHSPI.MOSIE=1 PFHSPI.RSPIS=0	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	MTU2	MTIOC2A		MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	TMR1	TMO1		TMO1.TCSR.OSA[1:0]=01/10/11 或者 TMO1.TCSR.OSB[1:0]=01/10/11
	SCI1	TxD1-A	PFFSCI.SCI1S=0	SCI1.SCR.TE=1
	PPG0	PO6		PPG0.NDERL.NDER6=1
	PORT2	P26		PORT2.DDR.B6=1
P27	外部总线 (CS)	CS7#-C	PF0CSE.CS7E=1 PF1CSS.CS7S[1:0]=11/10	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	RSPI1	RSPCKB-A	PFHSPI.RSPCKE=1 PFHSPI.RSPIS=0	除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	USB1	USB1_EXICEN	PFLUSB.USBE=1 PFLUSB.USBMD[1:0]=11	(信号的输出状态取决于外围模块的设定)
	MTU2	MTIOC2B		MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	SCI1	SCK1-A	PFFSCI.SCI1S=0	当 SCI1.SCMR.SMIF=1 时: SMR.GM=0、SCR.CKE[1:0]=01, 或者 SMR.GM=1 当 SCI1.SCMR.SMIF=0 时: SMR.CM=0、SCR.CKE[1:0]=01, 或者 SMR.CM=1、SCR.CKE[1]=0
	PPG0	PO7		PPG0.NDERL.NDER7=1
	PORT2	P27		PORT2.DDR.B7=1
P30	RSPI1	MISOB-A	PFHSPI.MISOE=1 PFHSPI.RSPIS=0	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	USB1	USB1_DRPD	PFLUSB.USBE=1 PFLUSB.USBMD[1:0]=10/11	(信号的输出状态取决于外围模块的设定)
	MTU4	MTIOC4B-A	PFCMTU.MTUS5=0	MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	PPG0	PO8		PPG0.NDERH.NDER8=1
	PORT3	P30		PORT3.DDR.B0=1
P31	RSPI1	SSLB0-A	PFHSPI.SSL0E=1 PFHSPI.RSPIS=0	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	USB1	USB1_DPRPD	PFLUSB.USBE=1 PFLUSB.USBMD[1:0]=11	(信号的输出状态取决于外围模块的设定)
	MTU4	MTIOC4D-A	PFCMTU.MTUS5=0	MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	PPG0	PO9		PPG0.NDERH.NDER9=1
	PORT3	P31		PORT3.DDR.B1=1

表 17.10 各端口的输出允许设定一览表 (5 / 15) (176 引脚 LFBGA)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
P32	CAN0	CTX0	PFJCAN.CAN0E=1	(信号的输出状态取决于外围模块的设定)
	MTU0	MTIOC0C		MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	SCI6	TxD6-B	PFSCI.SCI6S=1	SCI6.SCR.TE=1
	RTC	RTCOUT		RRC2.RTCOE=1
	PPG0	PO10		PPG0.NDERH.NDER10=1
	PORT3	P32		PORT3.DDR.B2=1
P33	MTU0	MTIOC0D		MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	PPG0	PO11		PPG0.NDERH.NDER11=1
	PORT3	P33		PORT3.DDR.B3=1
P34	MTU0	MTIOC0A		MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	SCI6	SCK6-B	PFSCI.SCI6S=1	当 CI6.SCMR.SMIF=1 时: SMR.GM=0、SCR.CKE[1:0]=01, 或者 SMR.GM=1 当 CI6.SCMR.SMIF=0 时: SMR.CM=0、SCR.CKE[1:0]=01, 或者 SMR.CM=1、SCR.CKE[1]=0
	PPG0	PO12		PPG0.NDERH.NDER12=1
	PORT3	P34		PORT3.DDR.B4=1
P35	(NA)	(NA)		
P40	IOPORT	P40		P4.DDR.B0=1
P41	IOPORT	P41		P4.DDR.B1=1
P42	IOPORT	P42		P4.DDR.B2=1
P43	IOPORT	P43		P4.DDR.B3=1
P44	IOPORT	P44		P4.DDR.B4=1
P45	IOPORT	P45		P4.DDR.B5=1
P46	IOPORT	P46		P4.DDR.B6=1
P47	IOPORT	P47		P4.DDR.B7=1
P50	外部总线	WR# WR0#		SYSCR0.EXBE=1
	RSP1	SSLB1-A	PFHSP1.SSL1E=1 PFHSP1.RSPIS=0	(信号的输出状态取决于外围模块的设定)
	SCI2	TxD2-B	PFSCI.SCI2S=1	SCI2.SCR.TE=1
	PORT5	P50		PORT5.DDR.B0=1
P51	外部总线	WR1# BC1#	PF5BUS.WR1BC1E=1	SYSCR0.EXBE=1
	RSP1	SSLB2-A	PFHSP1.SSL2E=1 PFHSP1.RSPIS=0	(信号的输出状态取决于外围模块的设定)
	SCI2	SCK2-B	PFSCI.SCI2S=1	当 CI2.SCMR.SMIF=1 时: SMR.GM=0、SCR.CKE[1:0]=01, 或者 SMR.GM=1 当 CI2.SCMR.SMIF=0 时: SMR.CM=0、SCR.CKE[1:0]=01, 或者 SMR.CM=1、SCR.CKE[1]=0
	PORT5	P51		PORT5.DDR.B1=1

表 17.10 各端口的输出允许设定一览表 (6 / 15) (176 引脚 LFBGA)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
P52	外部总线	RD#	PF6BUS.MDSDE=1	SYSCR0.EXBE=1
	RSP1	SSLB3-A	PFHSPI.SSL3E=1 PFHSPI.RSPIS=0	(信号的输出状态取决于外围模块的设定)
	PORT5	P52		PORT5.DDR.B2=1
P53	外部总线	BCLK		PORT5.DDR.B3=1
P54	EXDMAC0	EDACK0-C	PF7DMA.EDMA0S[1:0]=11/ 10	EXDMAC0.EDMOMD.DACKE=1 (信号的输出状态取决于外围模块的设定)
	MTU4	MTIOC4B-B	PFCMTU.MTUS5=1	MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	PORT5	P54		PORT5.DDR.B4=1
P55	EtherNET	ET_EXOUT	PFENET.EE=1 PFENET.ENETE2=1	(信号的输出状态取决于外围模块的设定)
	MTU4	MTIOC4D-B	PFCMTU.MTUS5=1	MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	PORT5	P55		PORT5.DDR.B5=1
P56	外部总线	WR2# BC2#	PF5BUS.WR32BC32E=1	SYSCR0.EXBE=1
	EXDMAC1	EDACK1-C	PF7DMA.EDMA1S[1:0]=11/ 10	EDMAC1.EDMOMD.DACKE=1 (信号的输出状态取决于 EXDMAC1 的设定)
	MTU3	MTIOC3C-B	PFCMTU.MTUS2=1	MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	PORT5	P56		PORT5.DDR.B6=1
P57	外部总线	WR3# BC3#	PF5BUS.WR32BC32E=1	SYSCR0.EXBE=1
	PORT5	P57		PORT5.DDR.B7=1
P60	外部总线 (CS)	CS0#-A	PF0CSE.CS0E=1 PF2CSS.CS0S=0	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	PORT6	P60		PORT6.DDR.B0=1
P61	SDRAM	SDCS#	PF6BUS.MDSDE=1	SYSCR0.EXBE=1
	外部总线 (CS)	CS1#-A	PF0CSE.CS1E=1 PF2CSS.CS1S[1:0]=00	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	PORT6	P61		PORT6.DDR.B1=1
P62	SDRAM	RAS#	PF6BUS.MDSDE=1	SYSCR0.EXBE=1
	外部总线 (CS)	CS2#-A	PF0CSE.CS2E=1 PF2CSS.CS2S[1:0]=00	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	PORT6	P62		PORT6.DDR.B2=1
P63	SDRAM	CAS#	PF6BUS.MDSDE=1	SYSCR0.EXBE=1
	外部总线 (CS)	CS3#-A	PF0CSE.CS3E=1 PF2CSS.CS3S[1:0]=00	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	PORT6	P63		PORT6.DDR.B3=1
P64	SDRAM	WE#	PF6BUS.MDSDE=1	SYSCR0.EXBE=1
	外部总线 (CS)	CS4#-A	PF0CSE.CS4E=1 PF1CSS.CS4S[1:0]=00	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	PORT6	P64		PORT6.DDR.B4=1

表 17.10 各端口的输出允许设定一览表 (7 / 15) (176 引脚 LFBGA)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
P65	SDRAM	CKE	PF6BUS.MDSDE=1	SYSCR0.EXBE=1
	外部总线 (CS)	CS5#-A	PF0CSE.CS5E=1 PF1CSS.CS5S[1:0]=00	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	PORT6	P65		PORT6.DDR.B5=1
P66	SDRAM	DQM0	PF6BUS.MDSDE=1	SYSCR0.EXBE=1
	外部总线 (CS)	CS6#-A	PF0CSE.CS6E=1 PF1CSS.CS6S[1:0]=00	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	PORT6	P66		PORT6.DDR.B6=1
P67	SDRAM	DQM1	PF6BUS.MDSDE=1 PF6BUS.DQM1E=1	SYSCR0.EXBE=1
	外部总线 (CS)	CS7#-A	PF0CSE.CS7E=1 PF1CSS.CS7S[1:0]=00	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	PORT6	P67		PORT6.DDR.B7=1
P70	SDRAM	SDCLK	PF6BUS.SDCLKE=1	
	PORT7	P70		PORT7.DDR.B0=1
P71	外部总线 (CS)	CS1#-B	PF0CSE.CS1E=1 PF2CSS.CS1S[1:0]=01	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	EtherNET	ET_MDIO	PFENET.EE=1	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	PORT7	P71		PORT7.DDR.B1=1
P72	外部总线 (CS)	CS2#-B	PF0CSE.CS2E=1 PF2CSS.CS2S[1:0]=01	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	EtherNET	ET_MDC	PFENET.EE=1	(信号的输出状态取决于外围模块的设定)
	PORT7	P72		PORT7.DDR.B2=1
P73	外部总线 (CS)	CS3#-B	PF0CSE.CS3E=1 PF2CSS.CS3S[1:0]=01	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	EtherNET	ET_WOL	PFENET.EE=1 PFENET.ENETE0=1	(信号的输出状态取决于外围模块的设定)
	PORT7	P73		PORT7.DDR.B3=1
P74	外部总线 (CS)	CS4#-B	PF0CSE.CS4E=1 PF1CSS.CS4S[1:0]=01	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	PORT7	P74		PORT7.DDR.B4=1
P75	外部总线 (CS)	CS5#-B	PF0CSE.CS5E=1 PF1CSS.CS5S[1:0]=01	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	PORT7	P75		PORT7.DDR.B5=1
P76	外部总线 (CS)	CS6#-B	PF0CSE.CS6E=1 PF1CSS.CS6S[1:0]=01	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	PORT7	P76		PORT7.DDR.B6=1
P77	外部总线 (CS)	CS7#-B	PF0CSE.CS7E=1 PF1CSS.CS7S[1:0]=01	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	PORT7	P77		PORT7.DDR.B7=1

表 17.10 各端口的输出允许设定一览表 (8 / 15) (176 引脚 LFBGA)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
P80	EtherNET	ET_TX_EN	PFENET.EE=1 PFENET.PHYMODE=1	(信号的输出状态取决于外围模块的设定)
	EtherNET	RMII_TXD_EN	PFENET.EE=1 PFENET.PHYMODE=0	(信号的输出状态取决于外围模块的设定)
	MTU3	MTIOC3B-B	PFCMTU.MTUS3=1	MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	PORT8	P80		PORT8.DDR.B0=1
P81	EtherNET	ET_ETXD0	PFENET.EE=1 PFENET.PHYMODE=1	(信号的输出状态取决于外围模块的设定)
	EtherNET	RMII_TXD0	PFENET.EE=1 PFENET.PHYMODE=0	(信号的输出状态取决于外围模块的设定)
	EXDMAC0	EDACK0-A	PF7DMA.EDMA0S[1:0]=00	EXDMAC0.EDMOMD.DACKE=1 (信号的输出状态取决于 EXDMAC0 的设定)
	MTU3	MTIOC3D-B	PFCMTU.MTUS3=1	MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	PORT8	P81		PORT8.DDR.B1=1
P82	EtherNET	ET_ETXD1	PFENET.EE=1 PFENET.PHYMODE=1	(信号的输出状态取决于外围模块的设定)
	EtherNET	RMII_TXD1	PFENET.EE=1 PFENET.PHYMODE=0	(信号的输出状态取决于外围模块的设定)
	MTU4	MTIOC4A-B	PFCMTU.MTUS4=1	MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	PORT8	P82		PORT8.DDR.B2=1
P83	EXDMAC1	EDACK1-A	PF7DMA.EDMA1S[1:0]=00	EDMAC1.EDMOMD.DACKE=1 (信号的输出状态取决于 EXDMAC1 的设定)
	MTU4	MTIOC4C-B	PFCMTU.MTUS4=1	MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	PORT8	P83		PORT8.DDR.B3=1
P84	PORT8	P84		PORT8.DDR.B4=1
P85	PORT8	P85		PORT8.DDR.B5=1
P90	外部总线 (数据)	D16	PF5BUS.DH32E=1	SYSCR0.EXBE=1
	外部总线	A16-B	PF3BUS.A16E=1 PF5BUS.ADRHMS=1	SYSCR0.EXBE=1
	PORT9	P90		PORT9.DDR.B0=1
P91	外部总线 (数据)	D17	PF5BUS.DH32E=1	SYSCR0.EXBE=1
	外部总线	A17-B	PF3BUS.A17E=1 PF5BUS.ADRHMS=1	SYSCR0.EXBE=1
	PORT9	P91		PORT9.DDR.B1=1
P92	外部总线 (数据)	D18	PF5BUS.DH32E=1	SYSCR0.EXBE=1
	外部总线	A18-B	PF3BUS.A18E=1 PF5BUS.ADRHMS=1	SYSCR0.EXBE=1
	PORT9	P92		PORT9.DDR.B2=1

表 17.10 各端口的输出允许设定一览表 (9 / 15) (176 引脚 LFBGA)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
P93	外部总线 (数据)	D19	PF5BUS.DH32E=1	SYSCR0.EXBE=1
	外部总线	A19-B	PF3BUS.A19E=1 PF5BUS.ADRHMS=1	SYSCR0.EXBE=1
	PORT9	P93		PORT9.DDR.B3=1
P94	外部总线 (数据)	D20	PF5BUS.DH32E=1	SYSCR0.EXBE=1
	外部总线	A20-B	PF3BUS.A20E=1 PF5BUS.ADRHMS=1	SYSCR0.EXBE=1
	PORT9	P94		PORT9.DDR.B4=1
P95	外部总线 (数据)	D21	PF5BUS.DH32E=1	SYSCR0.EXBE=1
	外部总线	A21-B	PF3BUS.A21E=1 PF5BUS.ADRHMS=1	SYSCR0.EXBE=1
	PORT9	P95		PORT9.DDR.B5=1
P96	外部总线 (数据)	D22	PF5BUS.DH32E=1	SYSCR0.EXBE=1
	外部总线	A22-B	PF3BUS.A22E=1 PF5BUS.ADRHMS=1	SYSCR0.EXBE=1
	PORT9	P96		PORT9.DDR.B6=1
P97	外部总线 (数据)	D23	PF5BUS.DH32E=1	SYSCR0.EXBE=1
	外部总线	A23-B	PF3BUS.A23E=1 PF5BUS.ADRHMS=1	SYSCR0.EXBE=1
	PORT9	P97		PORT9.DDR.B7=1
PA0	外部总线 SDRAM	A0 BC0# DQM2	PF4BUS.ADRLE[1:0]=01/10/ 11	SYSCR0.EXBE=1
	RSPI0	SSLA1-B	PFGSPI.SSL1E=1 PFGSPI.RSPIS=1	(信号的输出状态取决于外围模块的设定)
	MTU6	MTIOC6A		MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	PPG1	PO16		PPG1.NDERL.NDER0=1
	PORTA	PA0		PORTA.DDR.B0=1
PA1	外部总线 SDRAM	A1 DQM3	PF4BUS.ADRLE[1:0]=01/10/ 11	SYSCR0.EXBE=1
	RSPI0	SSLA2-B	PFGSPI.SSL2E=1 PFGSPI.RSPIS=1	(信号的输出状态取决于外围模块的设定)
	MTU6	MTIOC6B		MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	PPG1	PO17		PPG1.NDERL.NDER1=1
	PORTA	PA1		PORTA.DDR.B1=1

表 17.10 各端口的输出允许设定一览表 (10 / 15) (176 引脚 LFBGA)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
PA2	外部总线	A2	PF4BUS.ADRLE[1:0]=01/10/11	SYSCR0.EXBE=1
	RSPI0	SSLA3-B	PFGSPI.SSL3E=1 PFGSPI.RSPIS=1	(信号的输出状态取决于外围模块的设定)
	MTU6	MTIOC6C		MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	PPG1	PO18		PPG1.NDERL.NDER2=1
	PORTA	PA2		PORTA.DDR.B2=1
PA3	外部总线	A3	PF4BUS.ADRLE[1:0]=01/10/11	SYSCR0.EXBE=1
	MTU6	MTIOC6D		MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	PPG1	PO19		PPG1.NDERL.NDER3=1
	PORTA	PA3		PORTA.DDR.B3=1
PA4	外部总线	A4	PF4BUS.ADRLE[1:0]=10/11	SYSCR0.EXBE=1
	RSPI0	SSLA0-B	PFGSPI.SSL0E=1 PFGSPI.RSPIS=1	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	MTU7	MTIOC7A		MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	PPG1	PO20		PPG1.NDERL.NDER4=1
	PORTA	PA4		PORTA.DDR.B4=1
PA5	外部总线	A5	PF4BUS.ADRLE[1:0]=10/11	SYSCR0.EXBE=1
	RSPI0	RSPCKA-B	PFGSPI.RSPCKE=1 PFGSPI.RSPIS=1	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	MTU7	MTIOC7B		MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	PPG1	PO21		PPG1.NDERL.NDER5=1
	PORTA	PA5		PORTA.DDR.B5=1
PA6	外部总线	A6	PF4BUS.ADRLE[1:0]=10/11	SYSCR0.EXBE=1
	RSPI0	MOSIA-B	PFGSPI.MOSIE=1 PFGSPI.RSPIS=1	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	MTU8	MTIOC8A		MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	PPG1	PO22		PPG1.NDERL.NDER6=1
	PORTA	PA6		PORTA.DDR.B6=1
PA7	外部总线	A7	PF4BUS.ADRLE[1:0]=10/11	SYSCR0.EXBE=1
	RSPI0	MISOA-B	PFGSPI.MISOE=1 PFGSPI.RSPIS=1	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	MTU8	MTIOC8B		MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	PPG1	PO23		PPG1.NDERL.NDER7=1
	PORTA	PA7		PORTA.DDR.B7=1

表 17.10 各端口的输出允许设定一览表 (11 / 15) (176 引脚 LFBGA)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
PB0	外部总线	A8	PF4BUS.ADRLE[1:0]=11	SYSCR0.EXBE=1
	MTU9	MTIOC9A		MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	PPG1	PO24		PPG1.NDERH.NDER8=1
	PORTB	PB0		PORTB.DDR.B0=1
PB1	外部总线	A9	PF4BUS.ADRLE[1:0]=11	SYSCR0.EXBE=1
	MTU9	MTIOC9C		MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	PPG1	PO25		PPG1.NDERH.NDER9=1
	PORTB	PB1		PORTB.DDR.B1=1
PB2	外部总线	A10	PF4BUS.A10E=1	SYSCR0.EXBE=1
	MTU9	MTIOC9B		MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	PPG1	PO26		PPG1.NDERH.NDER10=1
	PORTB	PB2		PORTB.DDR.B2=1
PB3	外部总线	A11	PF4BUS.A11E=1	SYSCR0.EXBE=1
	MTU9	MTIOC9D		MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	PPG1	PO27		PPG1.NDERH.NDER11=1
	PORTB	PB3		PORTB.DDR.B3=1
PB4	外部总线	A12	PF4BUS.A12E=1	SYSCR0.EXBE=1
	MTU10	MTIOC10A		MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	PPG1	PO28		PPG1.NDERH.NDER12=1
	PORTB	PB4		PORTB.DDR.B4=1
PB5	外部总线	A13	PF4BUS.A13E=1	SYSCR0.EXBE=1
	MTU10	MTIOC10C		MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	PPG1	PO29		PPG1.NDERH.NDER13=1
	PORTB	PB5		PORTB.DDR.B5=1
PB6	外部总线	A14	PF4BUS.A14E=1	SYSCR0.EXBE=1
	MTU10	MTIOC10B		MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	PPG1	PO30		PPG1.NDERH.NDER14=1
	PORTB	PB6		PORTB.DDR.B6=1
PB7	外部总线	A15	PF4BUS.A15E=1	SYSCR0.EXBE=1
	MTU10	MTIOC10D		MTU 的设定请参照“表 17.11 MTU 各端口的输出允许设定一览表”。
	PPG1	PO31		PPG1.NDERH.NDER15=1
	PORTB	PB7		PORTB.DDR.B7=1
PC0	外部总线	A16-A	PF3BUS.A16E=1 PF5BUS.ADRHMS=0	SYSCR0.EXBE=1
	RSPI0	SSLA1-A	PFGSPI.SSL1E=1 PFGSPI.RSPIS=0	(信号的输出状态取决于外围模块的设定)
	PORTC	PC0		PORTC.DDR.B0=1

表 17.10 各端口的输出允许设定一览表 (12 / 15) (176 引脚 LFBGA)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
PC1	外部总线	A17-A	PF3BUS.A17E=1 PF5BUS.ADRHMS=0	SYSCR0.EXBE=1
	RSPI0	SSLA2-A	PFGSPI.SSL2E=1 PFGSPI.RSPIS=0	(信号的输出状态取决于外围模块的设定)
	SCI5	SCK5		当 SCI5.SCMR.SMIF=1 时: SMR.GM=0、SCR.CKE[1:0]=01, 或者 SMR.GM=1 当 SCI5.SCMR.SMIF=0 时: SMR.CM=0、SCR.CKE[1:0]=01, 或者 SMR.CM=1、SCR.CKE[1]=0
	PORTC	PC1		PORTC.DDR.B1=1
PC2	外部总线	A18-A	PF3BUS.A18E=1 PF5BUS.ADRHMS=0	SYSCR0.EXBE=1
	RSPI0	SSLA3-A	PFGSPI.SSL3E=1 PFGSPI.RSPIS=0	(信号的输出状态取决于外围模块的设定)
	PORTC	PC2		PORTC.DDR.B2=1
PC3	外部总线	A19-A	PF3BUS.A19E=1 PF5BUS.ADRHMS=0	SYSCR0.EXBE=1
	EtherNET	ET_TX_ER	PFENET.EE=1 PFENET.ENETE3=1	(信号的输出状态取决于外围模块的设定)
	SCI5	TxD5		SCI5.SCR.TE=1
	PORTC	PC3		PORTC.DDR.B3=1
PC4	外部总线	A20-A	PF3BUS.A20E=1 PF5BUS.ADRHMS=0	SYSCR0.EXBE=1
	外部总线 (CS)	CS3#-C	PF0CSE.CS3E=1 PF2CSS.CS3S[1:0]=11/10	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	RSPI0	SSLA0-A	PFGSPI.SSL0E=1 PFGSPI.RSPIS=0	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	PORTC	PC4		PORTC.DDR.B4=1
PC5	外部总线	A21-A	PF3BUS.A21E=1 PF5BUS.ADRHMS=0	SYSCR0.EXBE=1
	外部总线 (CS)	CS2#-C	PF0CSE.CS2E=1 PF2CSS.CS2S[1:0]=11/10	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	RSPI0	RSPCKA-A	PFGSPI.RSPCKE=1 PFGSPI.RSPIS=0	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	EtherNET	ET_ETXD2	PFENET.EE=1 PFENET.PHYMODE=1	(信号的输出状态取决于外围模块的设定)
	PORTC	PC5		PORTC.DDR.B5=1
PC6	外部总线	A22-A	PF3BUS.A22E=1 PF5BUS.ADRHMS=0	SYSCR0.EXBE=1
	外部总线 (CS)	CS1#-C	PF0CSE.CS1E=1 PF2CSS.CS1S[1:0]=11/10	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	RSPI0	MOSIA-A	PFGSPI.MOSIE=1 PFGSPI.RSPIS=0	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	EtherNET	ET_ETXD3	PFENET.EE=1 PFENET.PHYMODE=1	(信号的输出状态取决于外围模块的设定)
	PORTC	PC6		PORTC.DDR.B6=1

表 17.10 各端口的输出允许设定一览表 (13 / 15) (176 引脚 LFBGA)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
PC7	外部总线	A23-A	PF3BUS.A23E=1 PF5BUS.ADRHMS=0	SYSCR0.EXBE=1
	外部总线 (CS)	CS0#-B	PF0CSE.CS0E=1 PF2CSS.CS0S=1	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	RSPI0	MISOA-A	PFGSPI.MISOE=1 PFGSPI.RSPIS=0	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	PORTC	PC7		PORTC.DDR.B7=1
PD0	外部总线 (数据)	D0		SYSCR0.EXBE=1
	PORTD	PD0		PORTD.DDR.B0=1
PD1	外部总线 (数据)	D1		SYSCR0.EXBE=1
	PORTD	PD1		PORTD.DDR.B1=1
PD2	外部总线 (数据)	D2		SYSCR0.EXBE=1
	PORTD	PD2		PORTD.DDR.B2=1
PD3	外部总线 (数据)	D3		SYSCR0.EXBE=1
	PORTD	PD3		PORTD.DDR.B3=1
PD4	外部总线 (数据)	D4		SYSCR0.EXBE=1
	PORTD	PD4		PORTD.DDR.B4=1
PD5	外部总线 (数据)	D5		SYSCR0.EXBE=1
	PORTD	PD5		PORTD.DDR.B5=1
PD6	外部总线 (数据)	D6		SYSCR0.EXBE=1
	PORTD	PD6		PORTD.DDR.B6=1
PD7	外部总线 (数据)	D7		SYSCR0.EXBE=1
	PORTD	PD7		PORTD.DDR.B7=1
PE0	外部总线 (数据)	D8	PF5BUS.DHE=1	SYSCR0.EXBE=1
	RSPI1	SSLB1-B	PFHSPI.SSL1E=1 PFHSPI.RSPIS=1	(信号的输出状态取决于外围模块的设定)
	PORTE	PE0		PORTE.DDR.B0=1
PE1	外部总线 (数据)	D9	PF5BUS.DHE=1	SYSCR0.EXBE=1
	RSPI1	SSLB2-B	PFHSPI.SSL2E=1 PFHSPI.RSPIS=1	(信号的输出状态取决于外围模块的设定)
	PORTE	PE1		PORTE.DDR.B1=1
PE2	外部总线 (数据)	D10	PF5BUS.DHE=1	SYSCR0.EXBE=1
	RSPI1	SSLB3-B	PFHSPI.SSL3E=1 PFHSPI.RSPIS=1	(信号的输出状态取决于外围模块的设定)
	PORTE	PE2		PORTE.DDR.B2=1

表 17.10 各端口的输出允许设定一览表 (14 / 15) (176 引脚 LFBGA)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
PE3	外部总线 (数据)	D11	PF5BUS.DHE=1	SYSCR0.EXBE=1
	PORTE	PE3		PORTE.DDR.B3=1
PE4	外部总线 (数据)	D12	PF5BUS.DHE=1	SYSCR0.EXBE=1
	RSPI1	SSLB0-B	PFHSPI.SSL0E=1 PFHSPI.RSPIS=1	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	PORTE	PE4		PORTE.DDR.B4=1
PE5	外部总线 (数据)	D13	PF5BUS.DHE=1	SYSCR0.EXBE=1
	RSPI1	RSPCKB-B	PFHSPI.RSPCKE=1 PFHSPI.RSPIS=1	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	PORTE	PE5		PORTE.DDR.B5=1
PE6	外部总线 (数据)	D14	PF5BUS.DHE=1	SYSCR0.EXBE=1
	RSPI1	MOSIB-B	PFHSPI.MOSIE=1 PFHSPI.RSPIS=1	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	PORTE	PE6		PORTE.DDR.B6=1
PE7	外部总线 (数据)	D15	PF5BUS.DHE=1	SYSCR0.EXBE=1
	RSPI1	MISOB-B	PFHSPI.MISOE=1 PFHSPI.RSPIS=1	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	PORTE	PE7		PORTE.DDR.B7=1
PF0	SCI1	TxD1-B	PF5FSCI.SCI1S=1	SCI1.SCR.TE=1
	PORTF	PF0		PORTF.DDR.B0=1
PF1	SCI1	SCK1-B	PF5FSCI.SCI1S=1	当 SCI1.SCMR.SMIF=1 时: SMR.GM=0、SCR.CKE[1:0]=01, 或者 SMR.GM=1 当 SCI1.SCMR.SMIF=0 时: SMR.CM=0、SCR.CKE[1:0]=01, 或者 SMR.CM=1、SCR.CKE[1]=0
	PORTF	PF1		PORTF.DDR.B1=1
PF2	PORTF	PF2		PORTF.DDR.B2=1
PF3	PORTF	PF3		PORTF.DDR.B3=1
PF4	PORTF	PF4		PORTF.DDR.B4=1
PG0	外部总线 (数据)	D24	PF5BUS.DH32E=1	SYSCR0.EXBE=1
	PORTG	PG0		PORTG.DDR.B0=1
PG1	外部总线 (数据)	D25	PF5BUS.DH32E=1	SYSCR0.EXBE=1
	PORTG	PG1		PORTG.DDR.B1=1
PG2	外部总线 (数据)	D26	PF5BUS.DH32E=1	SYSCR0.EXBE=1
	PORTG	PG2		PORTG.DDR.B2=1
PG3	外部总线 (数据)	D27	PF5BUS.DH32E=1	SYSCR0.EXBE=1
	PORTG	PG3		PORTG.DDR.B3=1

表 17.10 各端口的输出允许设定一览表 (15 / 15) (176 引脚 LFBGA)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
PG4	外部总线 (数据)	D28	PF5BUS.DH32E=1	SYSCR0.EXBE=1
	PORTG	PG4		PORTG.DDR.B4=1
PG5	外部总线 (数据)	D29	PF5BUS.DH32E=1	SYSCR0.EXBE=1
	PORTG	PG5		PORTG.DDR.B5=1
PG6	外部总线 (数据)	D30	PF5BUS.DH32E=1	SYSCR0.EXBE=1
	PORTG	PG6		PORTG.DDR.B6=1
PG7	外部总线 (数据)	D31	PF5BUS.DH32E=1	SYSCR0.EXBE=1
	PORTG	PG7		PORTG.DDR.B7=1

表 17.11 MTU 各端口的输出允许设定一览表 (1 / 6)

通道	引脚名	运行模式	模式选择位	各端口的输出允许设定	
MTU0	MTIOC0A	普通运行	MTU0.TMDR.MD[3:0] = 0000	MTU0.TIORH.IOA[3] = 0 MTU0.TIORH.IOA[1:0] = 01/10/11	
		PWM 模式 1	MTU0.TMDR.MD[3:0] = 0010	MTU0.TIORH.IOA[1:0] = 01/10/11	
		PWM 模式 2	MTU0.TMDR.MD[3:0] = 0011	MTU0.TCR.CCLR[2:0] = 001 以外 MTU0.TIORH.IOA[1:0] = 01/10/11	
	MTIOC0B	普通运行	MTU0.TMDR.MD[3:0] = 0000	MTU0.TIORH.IOB[3] = 0 MTU0.TIORH.IOB[1:0] = 01/10/11	
		PWM 模式 2	MTU0.TMDR.MD[3:0] = 0011	MTU0.TCR.CCLR[2:0] = 010 以外 MTU0.TIORH.IOB[1:0] = 01/10/11	
	MTIOC0C	普通运行	MTU0.TMDR.MD[3:0] = 0000	MTU0.TMDR.BFA = 0 MTU0.TIORL.IOC[3] = 0 MTU0.TIORL.IOC[1:0] = 01/10/11	
		PWM 模式 1	MTU0.TMDR.MD[3:0] = 0010	MTU0.TMDR.BFA = 0 MTU0.TMDR.BFB = 0 MTU0.TIORL.IOC[1:0] = 01/10/11	
		PWM 模式 2	MTU0.TMDR.MD[3:0] = 0011	MTU0.TMDR.BFA = 0 MTU0.TCR.CCLR[2:0] = 101 以外 MTU0.TIORL.IOC[1:0] = 01/10/11	
	MTIOC0D	普通运行	MTU0.TMDR.MD[3:0] = 0000	MTU0.TMDR.BFB = 0 MTU0.TIORL.IOD[3] = 0 MTU0.TIORL.IOD[1:0] = 01/10/11	
		PWM 模式 2	MTU0.TMDR.MD[3:0] = 0011	MTU0.TMDR.BFB = 0 MTU0.TCR.CCLR[2:0] = 110 以外 MTU0.TIORL.IOD[1:0] = 01/10/11	
	MTU1	MTIOC1A	普通运行	MTU1.TMDR.MD[3:0] = 0000	MTU1.TIOR.IOA[3] = 0 MTU1.TIOR.IOA[1:0] = 01/10/11
			PWM 模式 1	MTU1.TMDR.MD[3:0] = 0010	MTU1.TIOR.IOA[1:0] = 01/10/11
PWM 模式 2			MTU1.TMDR.MD[3:0] = 0011	MTU1.TCR.CCLR[1:0] = 01 以外 MTU1.TIOR.IOA[1:0] = 01/10/11	
相位计数模式 1			MTU1.TMDR.MD[3:0] = 0100	MTU1.TIOR.IOA[3] = 0 MTU1.TIOR.IOA[1:0] = 01/10/11	
相位计数模式 2			MTU1.TMDR.MD[3:0] = 0101		
相位计数模式 3			MTU1.TMDR.MD[3:0] = 0110		
相位计数模式 4			MTU1.TMDR.MD[3:0] = 0111		
MTIOC1B		普通运行	MTU1.TMDR.MD[3:0] = 0000	MTU1.TIOR.IOB[3] = 0 MTU1.TIOR.IOB[1:0] = 01/10/11	
		PWM 模式 2	MTU1.TMDR.MD[3:0] = 0011	MTU1.TCR.CCLR[1:0] = 10 以外 MTU1.TIOR.IOB[1:0] = 01/10/11	
		相位计数模式 1	MTU1.TMDR.MD[3:0] = 0100	MTU1.TIOR.IOB[3] = 0 MTU1.TIOR.IOB[1:0] = 01/10/11	
		相位计数模式 2	MTU1.TMDR.MD[3:0] = 0101		
		相位计数模式 3	MTU1.TMDR.MD[3:0] = 0110		
相位计数模式 4	MTU1.TMDR.MD[3:0] = 0111				
MTU2	MTIOC2A	普通运行	MTU2.TMDR.MD[3:0] = 0000	MTU2.TIOR.IOA[3] = 0 MTU2.TIOR.IOA[1:0] = 01/10/11	
		PWM 模式 1	MTU2.TMDR.MD[3:0] = 0010	MTU2.TIOR.IOA[1:0] = 01/10/11	
		PWM 模式 2	MTU2.TMDR.MD[3:0] = 0011	MTU2.TCR.CCLR[1:0] = 01 以外 MTU2.TIOR.IOA[1:0] = 01/10/11	
		相位计数模式 1	MTU2.TMDR.MD[3:0] = 0100	MTU2.TIOR.IOA[3] = 0 MTU2.TIOR.IOA[1:0] = 01/10/11	
		相位计数模式 2	MTU2.TMDR.MD[3:0] = 0101		
		相位计数模式 3	MTU2.TMDR.MD[3:0] = 0110		
		相位计数模式 4	MTU2.TMDR.MD[3:0] = 0111		

表 17.11 MTU 各端口的输出允许设定一览表 (2 / 6)

通道	引脚名	运行模式	模式选择位	各端口的输出允许设定	
MTU2	MTIOC2B	普通运行	MTU2.TMDR.MD[3:0] = 0000	MTU2.TIOR.IOB[3] = 0 MTU2.TIOR.IOB[1:0] = 01/10/11	
		PWM 模式 2	MTU2.TMDR.MD[3:0] = 0011	MTU2.TCR.CCLR[1:0] = 10 以外 MTU2.TIOR.IOB[1:0] = 01/10/11	
		相位计数模式 1	MTU2.TMDR.MD[3:0] = 0100	MTU2.TIOR.IOB[3] = 0 MTU2.TIOR.IOB[1:0] = 01/10/11	
		相位计数模式 2	MTU2.TMDR.MD[3:0] = 0101		
		相位计数模式 3	MTU2.TMDR.MD[3:0] = 0110		
		相位计数模式 4	MTU2.TMDR.MD[3:0] = 0111		
MTU3	MTIOC3A	普通运行	MTU3.TMDR.MD[3:0] = 0000	MTU3.TIORH.IOA[3] = 0 MTU3.TIORH.IOA[1:0] = 01/10/11	
		PWM 模式 1	MTU3.TMDR.MD[3:0] = 0010	MTU3.TIORH.IOA[1:0] = 01/10/11	
		复位同步 PWM 模式	MTU3.TMDR.MD[3:0] = 1000	MTUA.TOCR1.PSYE = 1	
		互补 PWM 模式 1	MTU3.TMDR.MD[3:0] = 1101		
		互补 PWM 模式 2	MTU3.TMDR.MD[3:0] = 1110		
		互补 PWM 模式 3	MTU3.TMDR.MD[3:0] = 1111		
	MTIOC3B	普通运行	MTU3.TMDR.MD[3:0] = 0000	MTUA.TOER.OE3B = 1 MTU3.TIORH.IOB[3] = 0 MTU3.TIORH.IOB[1:0] = 01/10/11	
		复位同步 PWM 模式	MTU3.TMDR.MD[3:0] = 1000	MTUA.TOER.OE3B = 1	
		互补 PWM 模式 1	MTU3.TMDR.MD[3:0] = 1101		
		互补 PWM 模式 2	MTU3.TMDR.MD[3:0] = 1110		
		互补 PWM 模式 3	MTU3.TMDR.MD[3:0] = 1111		
	MTIOC3C	普通运行	MTU3.TMDR.MD[3:0] = 0000	MTU3.TMDR.BFA = 0 MTU3.TIORL.IOC[3] = 0 MTU3.TIORL.IOC[1:0] = 01/10/11	
		PWM 模式 1	MTU3.TMDR.MD[3:0] = 0010	MTU3.TMDR.BFA = 0 MTU3.TMDR.BFB = 0 MTU3.TIORL.IOC[1:0] = 01/10/11	
	MTIOC3D	普通运行	MTU3.TMDR.MD[3:0] = 0000	MTUA.TOER.OE3D = 1 MTU3.TMDR.BFB = 0 MTU3.TIORL.IOD[3] = 0 MTU3.TIORL.IOD[1:0] = 01/10/11	
		复位同步 PWM 模式	MTU3.TMDR.MD[3:0] = 1000	MTUA.TOER.OE3D = 1	
		互补 PWM 模式 1	MTU3.TMDR.MD[3:0] = 1101		
		互补 PWM 模式 2	MTU3.TMDR.MD[3:0] = 1110		
		互补 PWM 模式 3	MTU3.TMDR.MD[3:0] = 1111		
	MTU4	MTIOC4A	普通运行	MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4A = 1 MTU4.TIORH.IOA[3] = 0 MTU4.TIORH.IOA[1:0] = 01/10/11
			PWM 模式 1	MTU4.TMDR.MD[3:0] = 0010	MTUA.TOER.OE4A = 1 MTU4.TIORH.IOA[1:0] = 01/10/11
			不能设定	MTU4.TMDR.MD[3:0] = 1000	MTUA.TOER.OE4A = 1
			不能设定	MTU4.TMDR.MD[3:0] = 1101	
			不能设定	MTU4.TMDR.MD[3:0] = 1110	
			不能设定	MTU4.TMDR.MD[3:0] = 1111	
复位同步 PWM 模式 (联动 MTU3)			MTU3.TMDR.MD[3:0] = 1000 MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4A = 1	
互补 PWM 模式 1 (联动 MTU3)			MTU3.TMDR.MD[3:0] = 1101 MTU4.TMDR.MD[3:0] = 0000		
互补 PWM 模式 2 (联动 MTU3)			MTU3.TMDR.MD[3:0] = 1110 MTU4.TMDR.MD[3:0] = 0000		
互补 PWM 模式 3 (联动 MTU3)			MTU3.TMDR.MD[3:0] = 1111 MTU4.TMDR.MD[3:0] = 0000		

表 17.11 MTU 各端口的输出允许设定一览表 (3 / 6)

通道	引脚名	运行模式	模式选择位	各端口的输出允许设定		
MTU4	MTIOC4B	普通运行	MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4B = 1 MTU4.TIORH.IOB[3] = 0 MTU4.TIORH.IOB[1:0] = 01/10/11		
		不能设定	MTU4.TMDR.MD[3:0] = 1000	MTUA.TOER.OE4B = 1		
		不能设定	MTU4.TMDR.MD[3:0] = 1101			
		不能设定	MTU4.TMDR.MD[3:0] = 1110			
		不能设定	MTU4.TMDR.MD[3:0] = 1111			
		复位同步 PWM 模式 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1000 MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4B = 1		
		互补 PWM 模式 1 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1101 MTU4.TMDR.MD[3:0] = 0000			
		互补 PWM 模式 2 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1110 MTU4.TMDR.MD[3:0] = 0000			
		互补 PWM 模式 3 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1111 MTU4.TMDR.MD[3:0] = 0000			
		MTIOC4C	普通运行	MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4C = 1 MTU4.TMDR.BFA = 0 MTU4.TIORL.IOC[3] = 0 MTU4.TIORL.IOC[1:0] = 01/10/11	
			PWM 模式 1	MTU4.TMDR.MD[3:0] = 0010	MTUA.TOER.OE4C = 1 MTU4.TMDR.BFA = 0 MTU4.TMDR.BFB = 0 MTU4.TIORL.IOC[1:0] = 01/10/11	
			不能设定	MTU4.TMDR.MD[3:0] = 1000		
	不能设定		MTU4.TMDR.MD[3:0] = 1101			
	不能设定		MTU4.TMDR.MD[3:0] = 1110			
	不能设定		MTU4.TMDR.MD[3:0] = 1111	MTUA.TOER.OE4C = 1 MTU4.TMDR.BFA = 0		
	复位同步 PWM 模式 (联动 MTU3)		MTU3.TMDR.MD[3:0] = 1000 MTU4.TMDR.MD[3:0] = 0000			
	互补 PWM 模式 1 (联动 MTU3)		MTU3.TMDR.MD[3:0] = 1101 MTU4.TMDR.MD[3:0] = 0000			
	互补 PWM 模式 2 (联动 MTU3)		MTU3.TMDR.MD[3:0] = 1110 MTU4.TMDR.MD[3:0] = 0000			
	互补 PWM 模式 3 (联动 MTU3)		MTU3.TMDR.MD[3:0] = 1111 MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4C = 1 MTU4.TMDR.BFA = 0		
	MTIOC4D		普通运行		MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4D = 1 MTU4.TMDR.BFB = 0 MTU4.TIORL.IOD[3] = 0 MTU4.TIORL.IOD[1:0] = 01/10/11
			不能设定		MTU4.TMDR.MD[3:0] = 1000	MTUA.TOER.OE4D = 1
		不能设定	MTU4.TMDR.MD[3:0] = 1101			
		不能设定	MTU4.TMDR.MD[3:0] = 1110			
		不能设定	MTU4.TMDR.MD[3:0] = 1111			
		复位同步 PWM 模式 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1000 MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4D = 1		
		互补 PWM 模式 1 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1101 MTU4.TMDR.MD[3:0] = 0000			
		互补 PWM 模式 2 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1110 MTU4.TMDR.MD[3:0] = 0000			
		互补 PWM 模式 3 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1111 MTU4.TMDR.MD[3:0] = 0000			

表 17.11 MTU 各端口的输出允许设定一览表 (4 / 6)

通道	引脚名	运行模式	模式选择位	各端口的输出允许设定	
MTU6	MTIOC6A	普通运行	MTU6.TMDR.MD[3:0] = 0000	MTU6.TIORH.IOA[3] = 0 MTU6.TIORH.IOA[1:0] = 01/10/11	
		PWM 模式 1	MTU6.TMDR.MD[3:0] = 0010	MTU6.TIORH.IOA[1:0] = 01/10/11	
		PWM 模式 2	MTU6.TMDR.MD[3:0] = 0011	MTU6.TCR.CCLR[2:0] = 001 以外 MTU6.TIORH.IOA[1:0] = 01/10/11	
	MTIOC6B	普通运行	MTU6.TMDR.MD[3:0] = 0000	MTU6.TIORH.IOB[3] = 0 MTU6.TIORH.IOB[1:0] = 01/10/11	
		PWM 模式 2	MTU6.TMDR.MD[3:0] = 0011	MTU6.TCR.CCLR[2:0] = 010 以外 MTU6.TIORH.IOB[1:0] = 01/10/11	
	MTIOC6C	普通运行	MTU6.TMDR.MD[3:0] = 0000	MTU6.TMDR.BFA = 0 MTU6.TIORL.IOC[3] = 0 MTU6.TIORL.IOC[1:0] = 01/10/11	
		PWM 模式 1	MTU6.TMDR.MD[3:0] = 0010	MTU6.TMDR.BFA = 0 MTU6.TMDR.BFB = 0 MTU6.TIORL.IOC[1:0] = 01/10/11	
		PWM 模式 2	MTU6.TMDR.MD[3:0] = 0011	MTU6.TMDR.BFA = 0 MTU6.TCR.CCLR[2:0] = 101 以外 MTU6.TIORL.IOC[1:0] = 01/10/11	
	MTIOC6D	普通运行	MTU6.TMDR.MD[3:0] = 0000	MTU6.TMDR.BFB = 0 MTU6.TIORL.IOD[3] = 0 MTU6.TIORL.IOD[1:0] = 01/10/11	
		PWM 模式 2	MTU6.TMDR.MD[3:0] = 0011	MTU6.TMDR.BFB = 0 MTU6.TCR.CCLR[2:0] = 110 以外 MTU6.TIORL.IOD[1:0] = 01/10/11	
	MTU7	MTIOC7A	普通运行	MTU7.TMDR.MD[3:0] = 0000	MTU7.TIOR.IOA[3] = 0 MTU7.TIOR.IOA[1:0] = 01/10/11
			PWM 模式 1	MTU7.TMDR.MD[3:0] = 0010	MTU7.TIOR.IOA[1:0] = 01/10/11
PWM 模式 2			MTU7.TMDR.MD[3:0] = 0011	MTU7.TCR.CCLR[1:0] = 01 以外 MTU7.TIOR.IOA[1:0] = 01/10/11	
相位计数模式 1			MTU7.TMDR.MD[3:0] = 0100	MTU7.TIOR.IOA[3] = 0 MTU7.TIOR.IOA[1:0] = 01/10/11	
相位计数模式 2			MTU7.TMDR.MD[3:0] = 0101		
相位计数模式 3			MTU7.TMDR.MD[3:0] = 0110		
相位计数模式 4			MTU7.TMDR.MD[3:0] = 0111		
MTIOC7B		普通运行	MTU7.TMDR.MD[3:0] = 0000	MTU7.TIOR.IOB[3] = 0 MTU7.TIOR.IOB[1:0] = 01/10/11	
		PWM 模式 2	MTU7.TMDR.MD[3:0] = 0011	MTU7.TCR.CCLR[1:0] = 10 以外 MTU7.TIOR.IOB[1:0] = 01/10/11	
		相位计数模式 1	MTU7.TMDR.MD[3:0] = 0100	MTU7.TIOR.IOB[3] = 0 MTU7.TIOR.IOB[1:0] = 01/10/11	
		相位计数模式 2	MTU7.TMDR.MD[3:0] = 0101		
		相位计数模式 3	MTU7.TMDR.MD[3:0] = 0110		
相位计数模式 4	MTU7.TMDR.MD[3:0] = 0111				
MTU8	MTIOC8A	普通运行	MTU8.TMDR.MD[3:0] = 0000	MTU8.TIOR.IOA[3] = 0 MTU8.TIOR.IOA[1:0] = 01/10/11	
		PWM 模式 1	MTU8.TMDR.MD[3:0] = 0010	MTU8.TIOR.IOA[1:0] = 01/10/11	
		PWM 模式 2	MTU8.TMDR.MD[3:0] = 0011	MTU8.TCR.CCLR[1:0] = 01 以外 MTU8.TIOR.IOA[1:0] = 01/10/11	
		相位计数模式 1	MTU8.TMDR.MD[3:0] = 0100	MTU8.TIOR.IOA[3] = 0 MTU8.TIOR.IOA[1:0] = 01/10/11	
		相位计数模式 2	MTU8.TMDR.MD[3:0] = 0101		
		相位计数模式 3	MTU8.TMDR.MD[3:0] = 0110		
		相位计数模式 4	MTU8.TMDR.MD[3:0] = 0111		

表 17.11 MTU 各端口的输出允许设定一览表 (5 / 6)

通道	引脚名	运行模式	模式选择位	各端口的输出允许设定
MTU8	MTIOC8B	普通运行	MTU8.TMDR.MD[3:0] = 0000	MTU8.TIOR.IOB[3] = 0 MTU8.TIOR.IOB[1:0] = 01/10/11
		PWM 模式 2	MTU8.TMDR.MD[3:0] = 0011	MTU8.TCR.CCLR[1:0] = 10 以外 MTU8.TIOR.IOB[1:0] = 01/10/11
		相位计数模式 1	MTU8.TMDR.MD[3:0] = 0100	MTU8.TIOR.IOB[3] = 0
		相位计数模式 2	MTU8.TMDR.MD[3:0] = 0101	MTU8.TIOR.IOB[1:0] = 01/10/11
		相位计数模式 3	MTU8.TMDR.MD[3:0] = 0110	
		相位计数模式 4	MTU8.TMDR.MD[3:0] = 0111	
MTU9	MTIOC9A	普通运行	MTU9.TMDR.MD[3:0] = 0000	MTU9.TIORH.IOA[3] = 0 MTU9.TIORH.IOA[1:0] = 01/10/11
		PWM 模式 1	MTU9.TMDR.MD[3:0] = 0010	MTU9.TIORH.IOA[1:0] = 01/10/11
		复位同步 PWM 模式	MTU9.TMDR.MD[3:0] = 1000	MTUB.TOCR1.PSYE = 1
		互补 PWM 模式 1	MTU9.TMDR.MD[3:0] = 1101	
		互补 PWM 模式 2	MTU9.TMDR.MD[3:0] = 1110	
		互补 PWM 模式 3	MTU9.TMDR.MD[3:0] = 1111	
	MTIOC9B	普通运行	MTU9.TMDR.MD[3:0] = 0000	MTUB.TOER.OE3B = 1 MTU9.TIORH.IOB[3] = 0 MTU9.TIORH.IOB[1:0] = 01/10/11
		复位同步 PWM 模式	MTU9.TMDR.MD[3:0] = 1000	MTUB.TOER.OE3B = 1
		互补 PWM 模式 1	MTU9.TMDR.MD[3:0] = 1101	
		互补 PWM 模式 2	MTU9.TMDR.MD[3:0] = 1110	
		互补 PWM 模式 3	MTU9.TMDR.MD[3:0] = 1111	
	MTIOC9C	普通运行	MTU9.TMDR.MD[3:0] = 0000	MTU9.TMDR.BFA = 0 MTU9.TIORL.IOC[3] = 0 MTU9.TIORL.IOC[1:0] = 01/10/11
		PWM 模式 1	MTU9.TMDR.MD[3:0] = 0010	MTU9.TMDR.BFA = 0 MTU9.TMDR.BFB = 0 MTU9.TIORL.IOC[1:0] = 01/10/11
	MTIOC9D	普通运行	MTU9.TMDR.MD[3:0] = 0000	MTUB.TOER.OE3D = 1 MTU9.TMDR.BFB = 0 MTU9.TIORL.IOD[3] = 0 MTU9.TIORL.IOD[1:0] = 01/10/11
		复位同步 PWM 模式	MTU9.TMDR.MD[3:0] = 1000	MTUB.TOER.OE3D = 1
		互补 PWM 模式 1	MTU9.TMDR.MD[3:0] = 1101	
		互补 PWM 模式 2	MTU9.TMDR.MD[3:0] = 1110	
		互补 PWM 模式 3	MTU9.TMDR.MD[3:0] = 1111	
MTU10	MTIOC10A	普通运行	MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4A = 1 MTU10.TIORH.IOA[3] = 0 MTU10.TIORH.IOA[1:0] = 01/10/11
		PWM 模式 1	MTU10.TMDR.MD[3:0] = 0010	MTUB.TOER.OE4A = 1 MTU10.TIORH.IOA[1:0] = 01/10/11
		不能设定	MTU10.TMDR.MD[3:0] = 1000	MTUB.TOER.OE4A = 1
		不能设定	MTU10.TMDR.MD[3:0] = 1101	
		不能设定	MTU10.TMDR.MD[3:0] = 1110	
		不能设定	MTU10.TMDR.MD[3:0] = 1111	
		复位同步 PWM 模式 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1000 MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4A = 1
		互补 PWM 模式 1 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1101 MTU10.TMDR.MD[3:0] = 0000	
		互补 PWM 模式 2 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1110 MTU10.TMDR.MD[3:0] = 0000	
		互补 PWM 模式 3 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1111 MTU10.TMDR.MD[3:0] = 0000	

表 17.11 MTU 各端口的输出允许设定一览表 (6 / 6)

通道	引脚名	运行模式	模式选择位	各端口的输出允许设定	
MTU10	MTIOC10B	普通运行	MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4B = 1 MTU10.TIORH.IOB[3] = 0 MTU10.TIORH.IOB[1:0] = 01/10/11	
		不能设定	MTU10.TMDR.MD[3:0] = 1000	MTUB.TOER.OE4B = 1	
		不能设定	MTU10.TMDR.MD[3:0] = 1101		
		不能设定	MTU10.TMDR.MD[3:0] = 1110		
		不能设定	MTU10.TMDR.MD[3:0] = 1111		
		复位同步 PWM 模式 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1000 MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4B = 1	
		互补 PWM 模式 1 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1101 MTU10.TMDR.MD[3:0] = 0000		
		互补 PWM 模式 2 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1110 MTU10.TMDR.MD[3:0] = 0000		
		互补 PWM 模式 3 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1111 MTU10.TMDR.MD[3:0] = 0000		
		MTIOC10C	普通运行	MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4C = 1 MTU10.TMDR.BFA = 0 MTU10.TIORL.IOC[3] = 0 MTU10.TIORL.IOC[1:0] = 01/10/11
			PWM 模式 1	MTU10.TMDR.MD[3:0] = 0010	MTUB.TOER.OE4C = 1 MTU10.TMDR.BFA = 0 MTU10.TMDR.BFB = 0 MTU10.TIORL.IOC[1:0] = 01/10/11
			不能设定	MTU10.TMDR.MD[3:0] = 1000	MTUB.TOER.OE4C = 1 MTU10.TMDR.BFA = 0
	不能设定		MTU10.TMDR.MD[3:0] = 1101		
	不能设定		MTU10.TMDR.MD[3:0] = 1110		
	不能设定		MTU10.TMDR.MD[3:0] = 1111		
	复位同步 PWM 模式 (联动 MTU9)		MTU9.TMDR.MD[3:0] = 1000 MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4C = 1 MTU10.TMDR.BFA = 0	
	互补 PWM 模式 1 (联动 MTU9)		MTU9.TMDR.MD[3:0] = 1101 MTU10.TMDR.MD[3:0] = 0000		
	互补 PWM 模式 2 (联动 MTU9)		MTU9.TMDR.MD[3:0] = 1110 MTU10.TMDR.MD[3:0] = 0000		
	互补 PWM 模式 3 (联动 MTU9)		MTU9.TMDR.MD[3:0] = 1111 MTU10.TMDR.MD[3:0] = 0000		
	MTIOC10D		普通运行	MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4D = 1 MTU10.TMDR.BFB = 0 MTU10.TIORL.IOD[3] = 0 MTU10.TIORL.IOD[1:0] = 01/10/11
			不能设定	MTU10.TMDR.MD[3:0] = 1000	MTUB.TOER.OE4D = 1
		不能设定	MTU10.TMDR.MD[3:0] = 1101		
		不能设定	MTU10.TMDR.MD[3:0] = 1110		
		不能设定	MTU10.TMDR.MD[3:0] = 1111		
		复位同步 PWM 模式 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1000 MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4D = 1	
		互补 PWM 模式 1 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1101 MTU10.TMDR.MD[3:0] = 0000		
		互补 PWM 模式 2 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1110 MTU10.TMDR.MD[3:0] = 0000		
		互补 PWM 模式 3 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1111 MTU10.TMDR.MD[3:0] = 0000		

17.1.5 未使用引脚的处理

未使用引脚的处理内容如表 17.12 所示。

表 17.12 未使用引脚的处理内容（176 引脚 LFBGA）

引脚名	处理内容
EMLE	通过电阻连接 VSS（下拉）。
MD1、MD0	（必须用作模式引脚。）
MDE	（必须用作模式引脚。）
RES#	通过电阻连接 VCC（上拉）。
USB0_DP	将引脚置为开路。
USB0_DM	
USB1_DP	
USB1_DM	
BSCANP	通过电阻连接 VSS（下拉）。
P35/NMI	通过电阻连接 VCC（上拉）。
EXTAL	（必须用作时钟引脚。）
XTAL	将引脚置为开路。
XCIN	通过电阻连接 VCC（上拉）或者 VSS（下拉）。
XCOUT	将引脚置为开路。
WDTOVF#	将引脚置为开路。
端口 0 ~ 9 端口 A ~ G	每个引脚通过电阻连接 VCC（上拉）或者 VSS（下拉）。 也能在 PORTn.ICR 为初始值（输入缓冲器无效）的状态下将引脚置为开路（注 1）。
VREFH	连接 AVCC。
VREFL	连接 AVSS。
CNVSS	通过电阻连接 VSS（下拉）。

注 1. 不能改变 PORTn.ICR 寄存器的初始值，否则就可能有穿透电流流过。

17.2 [145 引脚 TFLGA/144 引脚 LQFP]I/O 端口

RX62N 群和 RX621 群（145 引脚 TFLGA/144 引脚 LQFP）的 I/O 端口由端口 0 ~ 9 和端口 A ~ E 共 15 个端口构成，有 105 个输入 / 输出引脚。

17.2.1 概要

I/O 端口的规格和端口功能一览表分别如表 17.13 和表 17.14 所示。

表 17.13 I/O 端口的规格（145 引脚 TFLGA/144 引脚 LQFP）

项目	内容
输入 / 输出引脚	103 个
输入引脚	2 个
端口	15 个端口（端口 0 ~ 9 和端口 A ~ E）
内部输入上拉电阻	端口 9 和端口 A、B、C、D、E
漏极开路输出	端口 0、1、2、3（P30 ~ P34）和端口 C
5V 容许的对应引脚	端口 0（P00、P01、P02、P07）、端口 1（P12、P13、P16、P17）、 端口 2（P20、P21）、端口 3（P33）
施密特触发输入引脚	全部端口输入、CAN 输入、USB 输入、IRQ 输入、MTU 输入、POE 输入、TMR 输入、 RIIC 输入、SCI 输入、A/D 触发输入
其他	<ul style="list-style-type: none"> 能驱动 1 个 TTL 负载和 30pF 的电容负载。 在输出时驱动达林顿晶体管。

表 17.14 端口功能一览表 (1 / 4) (145 引脚 TFLGA/144 引脚 LQFP)

端口	概要	位	功能			CMOS 输入引脚	施密特触发 输入引脚	输入上拉 电阻功能	漏极开路 输出功能
			输入 / 输出	输入	输出				
端口 0	与中断输入、TMR 输入、SCI 输入 / 输出、A/D 转换器输入和 D/A 转换器输出兼用的通用输入 / 输出端口	0	P00	TMRI0-A/IRQ8-A	TxD6-A	—	全部输入功能	—	○
		1	P01	TMC10-A/RxD6-A/ IRQ9-A			全部输入功能		
		2	P02/SCK6-A	TMCI1-A/IRQ10-A			全部输入功能		
		3	P03	IRQ11-A	DA0		全部输入功能		
		5	P05	IRQ13-A	DA1		全部输入功能		
		7	P07	ADTRG0#-A/IRQ15-A			全部输入功能		
端口 1	与 USB 输入 / 输出、MTU 输入 / 输出、TMR 输入 / 输出、中断输入、SCI 输入 / 输出、RIIC 输入 / 输出、PPG 输入 / 输出和 A/D 转换器输入兼用的通用输入 / 输出端口	2	P12/SCL0	TMCI1-B/ RxD2-A/IRQ2-B		—	全部输入功能	—	○
		3	P13/SDA0	ADTRG1#/IRQ3-B	TMO3/TxD2-A		全部输入功能		○
		4	P14	USB0_OVRCURA/ TMRI2/IRQ4-B	USB0_DPUPE-B		全部输入功能		○
		5	P15/MTIOC0B/ SCK3-A	TMCI2-A/IRQ5-B	PO13		全部输入功能		○
		6	P16/MTIOC3C-A	USB0_VBUS/ USB0_OVRCURB/ RxD3-A/IRQ6-B	TMO2/PO14/ USB0_VBUSEN-B		全部输入功能		○
		7	P17/MTIOC3A	IRQ7-B	TxD3-A/PO15		全部输入功能		○
		端口 2	与总线控制输入 / 输出、EXDMAC 输入 / 输出、USB 输入 / 输出、RSPI 输入 / 输出、MTU 输入 / 输出、PPG 输出、TMR 输入 / 输出、SCI 输入 / 输出、RIIC 输入 / 输出、A/D 转换器输入和内部仿真器输入 / 输出兼用的通用输入 / 输出端口	0	P20/MTIOC1A/ SDA1	USB0_ID/ TMRI0-B	PO0/TxD0	—	全部输入功能
1	P21/MTIOC1B/ SCL1			TMC10-B/RxD0	USB0_EXICEN/ PO1		全部输入功能		
2	P22/MTIOC3B-A/ SCK0			EDREQ0-B/ MTCLKC-A	USB0_DRPD/PO2/ TMO0	EDREQ0-B	P22、MTIOC3B-A SCK0、MTCLKC-A		
3	P23/MTIOC3D-A			MTCLKD-A	EDACK0-B/ USB0_DPUPE-A/ TxD3-B/PO3	—	全部输入功能		
4	P24/MTIOC4A-A/ SCK3-B			EDREQ1-B/ MTCLKA-A/TMRI1	CS4#-C/ USB0_VBUSEN-A/ PO4	EDREQ1-B	P24、 MTIOC4A-A、 SCK3-B、 MTCLKA-A、 TMRI1		
5	P25/MTIOC4C-A			MTCLKB-A/ ADTRG0#-B/ RxD3-B	CS5#-C/ EDACK1-B/ USB0_DPRPD/ PO5	—	全部输入功能		
6	P26/MOSIB-A/ MTIOC2A				CS6#-C/PO6/ TMO1/TxD1/TDO	MOSIB-A	P26、MTIOC2A		
7	P27/ RSPCKB-A/ MTIOC2B/ SCK1-A			TCK	CS7#-C/ PO7	RSPCKB-A TCK	P27、MTIOC2B、 SCK1-A		
端口 3	与 CAN 输入 / 输出、RSPI 输入 / 输出、MTU 输入 / 输出、TMR 输入 / 输出、SCI 输入 / 输出、中断输入、PPG 输出、RTC 输出和内部仿真器输入兼用的通用输入 / 输出端口	0	P30/MISOB-A/ MTIOC4B-A	TMRI3/RxD1/ IRQ0/TDI	PO8	MISOB-A	P30、MTIOC4B-A TMRI3、RxD1、 IRQ0、TDI	—	○
		1	P31/SSLB0-A/ MTIOC4D-A	TMCI2-B/IRQ1/ TMS	PO9	SSLB0-A	P31、MTIOC4D-A TMCI2-B、IRQ1、 TMS		○
		2	P32/MTIOC0C	IRQ2-A	CTX0/TxD6-B/ PO10/RTCOUT	—	全部输入功能		○
		3	P33/MTIOC0D	CRX0/RxD6-B/ IRQ3-A	PO11		全部输入功能		○
		4	P34/MTIOC0A/ SCK6-B	TMCI3-B/IRQ4-A /TRST#	PO12		全部输入功能		○
		5		P35/NMI			全部输入功能		—

表 17.14 端口功能一览表 (2 / 4) (145 引脚 TFLGA/144 引脚 LQFP)

端口	概要	位	功能			CMOS 输入引脚	施密特触发 输入引脚	输入上拉 电阻功能	漏极开路 输出功能
			输入 / 输出	输入	输出				
端口 4	与中断输入和 A/D 转换器输入兼用的通用输入 / 输出端口	0	P40	AN0/IRQ8-B		—	P40、IRQ8-B	—	—
		1	P41	AN1/IRQ9-B			P41、IRQ9-B		
		2	P42	AN2/IRQ10-B			P42、IRQ10-B		
		3	P43	AN3/IRQ11-B			P43、IRQ11-B		
		4	P44	AN4/IRQ12			P44、IRQ12		
		5	P45	AN5/IRQ13-B			P45、IRQ13-B		
		6	P46	AN6/IRQ14			P46、IRQ14		
		7	P47	AN7/IRQ15-B			P47、IRQ15-B		
端口 5	与外部总线时钟输出、总线控制输入 / 输出、USB 输出、EXDMAC 输入 / 输出、RSPI 输出、Ether 输入 / 输出、MTU 输入 / 输出、SCI 输入 / 输出和跟踪输出兼用的通用输入 / 输出端口	0	P50		WR0#/WR#/ SSLB1-A/TxD2-B	—	全部输入功能	—	—
		1	P51/SCK2	WAIT#-D	WR1#/BC1#/ SSLB2-A		WAIT#-D		
		2	P52	RxD2-B	RD#/SSLB3-A	—	全部输入功能		
		3		P53	BCLK	—	全部输入功能		
		4	P54/MTIOC4B-B	ET_LINKSTA	TRDATA2/ EDACK0-C	ET_LINKSTA	P54、MTIOC4B-B		
		5	P55/MTIOC4D-B	WAIT#-B/ EDREQ0-C	TRDATA3/ ET_EXOUT	WAIT#-B、 EDREQ0-C	P55、MTIOC4D-B		
		6	P56/MTIOC3C-B		EDACK1-C	—	全部输入功能		
端口 6	与 SDRAM 输出和总线控制输出兼用的通用输入 / 输出端口	0	P60		CS0#-A	—	全部输入功能	—	—
		1	P61		CS1#-A/SDCS#		全部输入功能		
		2	P62		CS2#-A/RAS#		全部输入功能		
		3	P63		CS3#-A/CAS#		全部输入功能		
		4	P64		CS4#-A/WE#		全部输入功能		
		5	P65		CS5#-A/CKE		全部输入功能		
		6	P66		CS6#-A/DQM0		全部输入功能		
		7	P67		CS7#-A/DQM1		全部输入功能		
端口 7	与 SDRAM 输出、总线控制输出和 Ether 输入 / 输出兼用的通用输入 / 输出端口	0	P70		SDCLK	—	全部输入功能	—	—
		1	P71/ET_MDIO		CS1#-B		ET_MDIO		
		2	P72		CS2#-B/ET_MDC	—	全部输入功能		
		3	P73		CS3#-B/ET_WOL		全部输入功能		
		4	P74	ET_ERXD1/ RMII_RXD1	CS4#-B	ET_ERXD1/ RMII_RXD1	P74		
		5	P75	ET_ERXD0/ RMII_RXD0	CS5#-B	ET_ERXD0/ RMII_RXD0	P75		
		6	P76	ET_RX_CLK/ REF50CK	CS6#-B	ET_RX_CLK/ REF50CK	P76		
		7	P77	ET_RX_ER/ RMII_RX_ER	CS7#-B	ET_RX_ER/ RMII_RX_ER	P77		
端口 8	与跟踪输出、EXDMAC 输入 / 输出、MTU 输入 / 输出和 Ether 输入 / 输出兼用的通用输入 / 输出端口	0	P80/MTIOC3B-B	EDREQ0-A	TRDATA0/ ET_TX_EN/ RMII_TXD_EN	EDREQ0-A	P80、MTIOC3B-B	—	—
		1	P81/MTIOC3D-B		TRDATA1/ EDACK0-A/ ET_ETXD0/ RMII_TXD0	—	全部输入功能		
		2	P82/MTIOC4A-B	EDREQ1-A	TRSYNC ET_ETXD1 RMII_TXD1	EDREQ1-A	P82、MTIOC4A-B		
		3	P83/MTIOC4C-B	ET_CRS/ RMII_CRS_DV	TRCLK/ EDACK1-A	ET_CRS/ RMII_CRS_DV	P83、MTIOC4C-B		

表 17.14 端口功能一览表 (3 / 4) (145 引脚 TFLGA/144 引脚 LQFP)

端口	概要	位	功能			CMOS 输入引脚	施密特触发 输入引脚	输入上拉 电阻功能	漏极开路 输出功能
			输入 / 输出	输入	输出				
端口 9	与地址输出兼用的通用输入 / 输出端口	0	P90		A16-B	—	全部输入功能	○	—
		1	P91		A17-B	—	全部输入功能	○	
		2	P92		A18-B	—	全部输入功能	○	
		3	P93		A19-B	—	全部输入功能	○	
端口 A	与地址输出、总线控制输入 / 输出、RSPI 输入 / 输出、MTU 输入 / 输出和 PPG 输出兼用的通用输入 / 输出端口	0	PA0/MTIOC6A		A0/BC0#/ SSLA1-B/PO16	—	全部输入功能	○	—
		1	PA1/MTIOC6B		A1/ SSLA2-B/PO17		全部输入功能		
		2	PA2/MTIOC6C		A2/SSLA3-B/ PO18		全部输入功能		
		3	PA3/MTIOC6D		A3/PO19		全部输入功能		
		4	PA4/SSLA0-B/ MTIOC7A		A4/PO20	SSLA0-B	PA4、MTIOC7A		
		5	PA5/ RSPCKA-B/ MTIOC7B		A5/PO21	RSPCKA-B	PA5、MTIOC7B		
		6	PA6/MOSIA-B/ MTIOC8A		A6/PO22	MOSIA-B	PA6、MTIOC8A		
		7	PA7/MISOA-B/ MTIOC8B		A7/PO23	MISOA-B	PA7、MTIOC8B		
端口 B	与地址输出、MTU 输入 / 输出和 PPG 输出兼用的通用输入 / 输出端口	0	PB0/MTIOC9A		A8/PO24	—	全部输入功能	○	—
		1	PB1/MTIOC9C		A9/PO25		全部输入功能		
		2	PB2/MTIOC9B	MTCLKG-B	A10/PO26		全部输入功能		
		3	PB3/MTIOC9D	MTCLKH-B	A11/PO27		全部输入功能		
		4	PB4/MTIOC10A	MTCLKI-B	A12/PO28		全部输入功能		
		5	PB5/MTIOC10C	MTCLKF-B	A13/PO29		全部输入功能		
		6	PB6/MTIOC10B		A14/PO30		全部输入功能		
		7	PB7/MTIOC10D		A15/PO31		全部输入功能		
端口 C	与地址输出、总线控制输出、RSPI 输入 / 输出、Ether 输入 / 输出、MTU 输入和 SCI 输入 / 输出兼用的通用输入 / 输出端口	0	PC0	ET_ERXD3/ MTCLKG-A	A16-A/SSLA1-A	ET_ERXD3	PC0、MTCLKG-A	○	○
		1	PC1/SCK5	ET_ERXD2/ MTCLKH-A	A17-A/SSLA2-A	ET_ERXD2	PC1、SCK5、 MTCLKH-A		
		2	PC2	ET_RX_DV/ MTCLKE-A/RxD5	A18-A/SSLA3-A	ET_RX_DV	PC2、MTCLKE-A、 RxD5		
		3	PC3	ET_TX_ER/ MTCLKF-A	A19-A/TxD5	ET_TX_ER	PC3、MTCLKF-A		
		4	PC4/SSLA0-A	MTCLKC-B/ ET_TX_CLK	A20-A/CS3#-C	SSLA0-A、 ET_TX_CLK	PC4、MTCLKC-B		
		5	PC5/ RSPCKA-A	WAIT#-C/ MTIC11W-A/ MTCLKD-B	A21-A/CS2#-C/ ET_ETXD2	RSPCKA-A、 WAIT#-C	PC5、MTIC11W-A、 MTCLKD-B		
		6	PC6/MOSIA-A	MTIC11V-A/ MTCLKA-B	A22-A/CS1#-C/ ET_ETXD3	MOSIA-A	PC6、MTIC11V-A MTCLKA-B		
		7	PC7/MISOA-A	ET_COL/ MTIC11U-A/ MTCLKB-B	A23-A/CS0#-B	MISOA-A、 ET_COL	PC7、MTIC11U-A MTCLKB-B		

表 17.14 端口功能一览表 (4 / 4) (145 引脚 TFLGA/144 引脚 LQFP)

端口	概要	位	功能			CMOS 输入引脚	施密特触发 输入引脚	输入上拉 电阻功能	漏极开路 输出功能
			输入 / 输出	输入	输出				
端口 D	与双向数据总线、MTU 输入和 POE 输入兼用的通用输入 / 输出端口	0	PD0/D0	POE7#		D0	PD0、POE7#	○	—
		1	PD1/D1	POE6#		D1	PD1、POE6#		
		2	PD2/D2	MTIC11W-B/ POE5#		D2	PD2、MTIC11W-B、 POE5#		
		3	PD3/D3	MTIC11V-B/ POE4#		D3	PD3、MTIC11V-B、 POE4#		
		4	PD4/D4	MTIC11U-B/ POE3#		D4	PD4、MTIC11U-B、 POE3#		
		5	PD5/D5	MTIC5W/ POE2#		D5	PD5、MTIC5W、 POE2#		
		6	PD6/D6	MTIC5V/ POE1#		D6	PD6、MTIC5V、 POE1#		
		7	PD7/D7	MTIC5U/ POE0#		D7	PD7、MTIC5U、 POE0#		
端口 E	与双向数据总线、RSPI 输入 / 输出、中断输入和 POE 输入兼用的通用输入 / 输出端口	0	PE0/D8		SSLB1-B	D8	PE0	○	—
		1	PE1/D9		SSLB2-B	D9	PE1		
		2	PE2/D10	POE9#	SSLB3-B	D10	PE2、POE9#		
		3	PE3/D11	POE8#		D11	PE3、POE8#		
		4	PE4/D12/ SSLB0-B			D12、 SSLB0-B	PE4		
		5	PE5/D13/ RSPCKB-B	IRQ5-A		D13、 RSPCKB-B	PE5、IRQ5-A		
		6	PE6/D14/ MOSIB-B	IRQ6-A		D14、 MOSIB-B	PE6、IRQ6-A		
		7	PE7/D15/ MISOB-B	IRQ7-A		D15、 MISOB-B	PE7、IRQ7-A		

17.2.2 寄存器说明

I/O 端口的寄存器一览表和各寄存器的有效位一览表分别如表 17.15 和表 17.16 所示。

表 17.15 I/O 端口的寄存器一览表 (1 / 3) (145 引脚 TFLGA/144 引脚 LQFP)

端口符号	寄存器名	寄存器符号	复位后的值	地址	存取长度
PORT0	数据方向寄存器	DDR	00h	0008 C000h	8
	数据寄存器	DR	00h	0008 C020h	8
	端口寄存器	PORT	不定值	0008 C040h	8
	输入缓冲控制寄存器	ICR	00h	0008 C060h	8
	漏极开路控制寄存器	ODR	00h	0008 C080h	8
PORT1	数据方向寄存器	DDR	00h	0008 C001h	8
	数据寄存器	DR	00h	0008 C021h	8
	端口寄存器	PORT	不定值	0008 C041h	8
	输入缓冲控制寄存器	ICR	00h	0008 C061h	8
	漏极开路控制寄存器	ODR	00h	0008 C081h	8
PORT2	数据方向寄存器	DDR	00h	0008 C002h	8
	数据寄存器	DR	00h	0008 C022h	8
	端口寄存器	PORT	不定值	0008 C042h	8
	输入缓冲控制寄存器	ICR	00h	0008 C062h	8
	漏极开路控制寄存器	ODR	00h	0008 C082h	8
PORT3	数据方向寄存器	DDR	00h	0008 C003h	8
	数据寄存器	DR	00h	0008 C023h	8
	端口寄存器	PORT	不定值	0008 C043h	8
	输入缓冲控制寄存器	ICR	00h	0008 C063h	8
	漏极开路控制寄存器	ODR	00h	0008 C083h	8
PORT4	数据方向寄存器	DDR	00h	0008 C004h	8
	数据寄存器	DR	00h	0008 C024h	8
	端口寄存器	PORT	不定值	0008 C044h	8
	输入缓冲控制寄存器	ICR	00h	0008 C064h	8
PORT5	数据方向寄存器	DDR	00h	0008 C005h	8
	数据寄存器	DR	00h	0008 C025h	8
	端口寄存器	PORT	不定值	0008 C045h	8
	输入缓冲控制寄存器	ICR	00h	0008 C065h	8
PORT6	数据方向寄存器	DDR	00h	0008 C006h	8
	数据寄存器	DR	00h	0008 C026h	8
	端口寄存器	PORT	不定值	0008 C046h	8
	输入缓冲控制寄存器	ICR	00h	0008 C066h	8
PORT7	数据方向寄存器	DDR	00h	0008 C007h	8
	数据寄存器	DR	00h	0008 C027h	8
	端口寄存器	PORT	不定值	0008 C047h	8
	输入缓冲控制寄存器	ICR	00h	0008 C067h	8
PORT8	数据方向寄存器	DDR	00h	0008 C008h	8
	数据寄存器	DR	00h	0008 C028h	8
	端口寄存器	PORT	不定值	0008 C048h	8
	输入缓冲控制寄存器	ICR	00h	0008 C068h	8

表 17.15 I/O 端口的寄存器一览表 (2 / 3) (145 引脚 TFLGA/144 引脚 LQFP)

端口符号	寄存器名	寄存器符号	复位后的值	地址	存取长度
PORT9	数据方向寄存器	DDR	00h	0008 C009h	8
	数据寄存器	DR	00h	0008 C029h	8
	端口寄存器	PORT	不定值	0008 C049h	8
	输入缓冲控制寄存器	ICR	00h	0008 C069h	8
	上拉电阻控制寄存器	PCR	00h	0008 C0C9h	8
PORTA	数据方向寄存器	DDR	00h	0008 C00Ah	8
	数据寄存器	DR	00h	0008 C02Ah	8
	端口寄存器	PORT	不定值	0008 C04Ah	8
	输入缓冲控制寄存器	ICR	00h	0008 C06Ah	8
	上拉电阻控制寄存器	PCR	00h	0008 C0CAh	8
PORTB	数据方向寄存器	DDR	00h	0008 C00Bh	8
	数据寄存器	DR	00h	0008 C02Bh	8
	端口寄存器	PORT	不定值	0008 C04Bh	8
	输入缓冲控制寄存器	ICR	00h	0008 C06Bh	8
	上拉电阻控制寄存器	PCR	00h	0008 C0CBh	8
PORTC	数据方向寄存器	DDR	00h	0008 C00Ch	8
	数据寄存器	DR	00h	0008 C02Ch	8
	端口寄存器	PORT	不定值	0008 C04Ch	8
	输入缓冲控制寄存器	ICR	00h	0008 C06Ch	8
	漏极开路控制寄存器	ODR	00h	0008 C08Ch	8
	上拉电阻控制寄存器	PCR	00h	0008 C0CCh	8
PORTD	数据方向寄存器	DDR	00h	0008 C00Dh	8
	数据寄存器	DR	00h	0008 C02Dh	8
	端口寄存器	PORT	不定值	0008 C04Dh	8
	输入缓冲控制寄存器	ICR	00h	0008 C06Dh	8
	上拉电阻控制寄存器	PCR	00h	0008 C0CDh	8
PORTE	数据方向寄存器	DDR	00h	0008 C00Eh	8
	数据寄存器	DR	00h	0008 C02Eh	8
	端口寄存器	PORT	不定值	0008 C04Eh	8
	输入缓冲控制寄存器	ICR	00h	0008 C06Eh	8
	上拉电阻控制寄存器	PCR	00h	0008 C0CEh	8

表 17.15 I/O 端口的寄存器一览表 (3 / 3) (145 引脚 TFLGA/144 引脚 LQFP)

端口符号	寄存器名	寄存器符号	复位后的值	地址	存取长度
IOPORT	端口功能寄存器 0	PF0CSE	00h	0008 C100h	8
	端口功能寄存器 1	PF1CSS	00h	0008 C101h	8
	端口功能寄存器 2	PF2CSS	00h	0008 C102h	8
	端口功能寄存器 3	PF3BUS	00h	0008 C103h	8
	端口功能寄存器 4	PF4BUS	00h	0008 C104h	8
	端口功能寄存器 5	PF5BUS	00h	0008 C105h	8
	端口功能寄存器 6	PF6BUS	00h	0008 C106h	8
	端口功能寄存器 7	PF7DMA	00h	0008 C107h	8
	端口功能寄存器 8	PF8IRQ	00h	0008 C108h	8
	端口功能寄存器 9	PF9IRQ	00h	0008 C109h	8
	端口功能寄存器 A	PFAADC	00h	0008 C10Ah	8
	端口功能寄存器 B	PFBTMR	00h	0008 C10Bh	8
	端口功能寄存器 C	PFCMTU	00h	0008 C10Ch	8
	端口功能寄存器 D	PFDMTU	00h	0008 C10Dh	8
	端口功能寄存器 E	PFENET	00h	0008 C10Eh	8
	端口功能寄存器 F	PFSCI	00h	0008 C10Fh	8
	端口功能寄存器 G	PFISPI	00h	0008 C110h	8
	端口功能寄存器 H	PFHSPI	00h	0008 C111h	8
	端口功能寄存器 J	PFJCAN	00h	0008 C113h	8
	端口功能寄存器 K	PFKUSB	00h	0008 C114h	8
端口功能寄存器 M	PFMPOE	00h	0008 C116h	8	
端口功能寄存器 N	PFNPOE	00h	0008 C117h	8	

表 17.16 各寄存器的有效位一览表 (1 / 3) (145 引脚 TFLGA/144 引脚 LQFP)

寄存器符号	b7	b6	b5	b4	b3	b2	b1	b0
PORT0.DDR	○	×	○	×	○	○	○	○
PORT1.DDR	○	○	○	○	○	○	×	×
PORT2.DDR	○	○	○	○	○	○	○	○
PORT3.DDR	×	×	×	○	○	○	○	○
PORT4.DDR	○	○	○	○	○	○	○	○
PORT5.DDR	×	○	○	○	○	○	○	○
PORT6.DDR	○	○	○	○	○	○	○	○
PORT7.DDR	○	○	○	○	○	○	○	○
PORT8.DDR	×	×	×	×	○	○	○	○
PORT9.DDR	×	×	×	×	○	○	○	○
PORTA.DDR	○	○	○	○	○	○	○	○
PORTB.DDR	○	○	○	○	○	○	○	○
PORTC.DDR	○	○	○	○	○	○	○	○
PORTD.DDR	○	○	○	○	○	○	○	○
PORTE.DDR	○	○	○	○	○	○	○	○
PORT0.DR	○	×	○	×	○	○	○	○
PORT1.DR	○	○	○	○	○	○	×	×
PORT2.DR	○	○	○	○	○	○	○	○
PORT3.DR	×	×	×	○	○	○	○	○
PORT4.DR	○	○	○	○	○	○	○	○
PORT5.DR	×	○	○	○	×	○	○	○
PORT6.DR	○	○	○	○	○	○	○	○
PORT7.DR	○	○	○	○	○	○	○	○
PORT8.DR	×	×	×	×	○	○	○	○
PORT9.DR	×	×	×	×	○	○	○	○
PORTA.DR	○	○	○	○	○	○	○	○
PORTB.DR	○	○	○	○	○	○	○	○
PORTC.DR	○	○	○	○	○	○	○	○
PORTD.DR	○	○	○	○	○	○	○	○
PORTE.DR	○	○	○	○	○	○	○	○
PORT0.PORT	○	×	○	×	○	○	○	○
PORT1.PORT	○	○	○	○	○	○	×	×
PORT2.PORT	○	○	○	○	○	○	○	○
PORT3.PORT	×	×	○	○	○	○	○	○
PORT4.PORT	○	○	○	○	○	○	○	○
PORT5.PORT	×	○	○	○	○	○	○	○
PORT6.PORT	○	○	○	○	○	○	○	○
PORT7.PORT	○	○	○	○	○	○	○	○
PORT8.PORT	×	×	×	×	○	○	○	○
PORT9.PORT	×	×	×	×	○	○	○	○

表 17.16 各寄存器的有效位一览表 (2 / 3) (145 引脚 TFLGA/144 引脚 LQFP)

寄存器符号	b7	b6	b5	b4	b3	b2	b1	b0
PORTA.PORT	○	○	○	○	○	○	○	○
PORTB.PORT	○	○	○	○	○	○	○	○
PORTC.PORT	○	○	○	○	○	○	○	○
PORTD.PORT	○	○	○	○	○	○	○	○
PORTE.PORT	○	○	○	○	○	○	○	○
PORT0.ICR	○	×	○	×	○	○	○	○
PORT1.ICR	○	○	○	○	○	○	×	×
PORT2.ICR	○	○	○	○	○	○	○	○
PORT3.ICR	×	×	×	○	○	○	○	○
PORT4.ICR	○	○	○	○	○	○	○	○
PORT5.ICR	×	○	○	○	○	○	○	○
PORT6.ICR	○	○	○	○	○	○	○	○
PORT7.ICR	○	○	○	○	○	○	○	○
PORT8.ICR	×	×	×	×	○	○	○	○
PORT9.ICR	×	×	×	×	○	○	○	○
PORTA.ICR	○	○	○	○	○	○	○	○
PORTB.ICR	○	○	○	○	○	○	○	○
PORTC.ICR	○	○	○	○	○	○	○	○
PORTD.ICR	○	○	○	○	○	○	○	○
PORTE.ICR	○	○	○	○	○	○	○	○
PORT0.ODR	○	×	○	×	○	○	○	○
PORT1.ODR	○	○	○	○	○	○	×	×
PORT2.ODR	○	○	○	○	○	○	○	○
PORT3.ODR	×	×	×	○	○	○	○	○
PORTC.ODR	○	○	○	○	○	○	○	○
PORT9.PCR	×	×	×	×	○	○	○	○
PORTA.PCR	○	○	○	○	○	○	○	○
PORTB.PCR	○	○	○	○	○	○	○	○
PORTC.PCR	○	○	○	○	○	○	○	○
PORTD.PCR	○	○	○	○	○	○	○	○
PORTE.PCR	○	○	○	○	○	○	○	○
IOPORT.PF0CSE	○	○	○	○	○	○	○	○
IOPORT.PF1CSS	○	○	○	○	○	○	○	○
IOPORT.PF2CSS	○	○	○	○	○	○	×	○
IOPORT.PF3BUS	○	○	○	○	○	○	○	○
IOPORT.PF4BUS	○	○	○	○	○	○	○	○
IOPORT.PF5BUS	×	○	×	○	×	×	○	×
IOPORT.PF6BUS	○	○	×	○	×	×	○	○
IOPORT.PF7DMA	○	○	○	○	×	×	×	×
IOPORT.PF8IRQ	○	×	○	×	○	○	○	○
IOPORT.PF9IRQ	○	○	○	○	○	○	×	×

表 17.16 各寄存器的有效位一览表 (3 / 3) (145 引脚 TFLGA/144 引脚 LQFP)

寄存器符号	b7	b6	b5	b4	b3	b2	b1	b0
IOPORT.PFAADC	×	×	×	×	×	×	×	○
IOPORT.PFBTMR	×	×	×	×	×	○	○	○
IOPORT.PFCMTU	○	×	○	○	○	○	×	×
IOPORT.PFDMTU	○	○	×	×	×	×	×	×
IOPORT.PFENET	○	×	×	○	○	○	○	○
IOPORT.PFFSCI	×	○	×	×	○	○	×	×
IOPORT.PFGSPI	○	○	○	○	○	○	○	○
IOPORT.PFHSPi	○	○	○	○	○	○	○	○
IOPORT.PFJCAN	×	×	×	×	×	×	×	○
IOPORT.PFKUSB	×	×	×	○	○	○	○	○
IOPORT.PFMPOE	○	○	○	○	○	○	○	○
IOPORT.PFNPOE	×	×	×	×	×	×	○	○

17.2.2.1 数据方向寄存器 (DDR)

地址 PORT0.DDR 0008 C000h、PORT1.DDR 0008 C001h、PORT2.DDR 0008 C002h、PORT3.DDR 0008 C003h
 PORT4.DDR 0008 C004h、PORT5.DDR 0008 C005h、PORT6.DDR 0008 C006h、PORT7.DDR 0008 C007h
 PORT8.DDR 0008 C008h、PORT9.DDR 0008 C009h、PORTA.DDR 0008 C00Ah、PORTB.DDR 0008 C00Bh
 PORTC.DDR 0008 C00Ch、PORTD.DDR 0008 C00Dh、PORTE.DDR 0008 C00Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
复位后的值	0	0	0	0	0	0	0	0

注. PORT0.DDR寄存器的b6和b4是保留位。
 PORT1.DDR寄存器的b1和b0是保留位。
 PORT3.DDR寄存器的低5位有效，高3位是保留位。
 PORT8.DDR寄存器的低4位有效，高4位是保留位。
 PORT9.DDR寄存器的低4位有效，高4位是保留位。
 保留位的读写值都为“0”。

位	符号	位名	功能	R/W
b0	B0	Pn0 输入 / 输出指定位	0: 输入端口 1: 输出端口	R/W
b1	B1	Pn1 输入 / 输出指定位		R/W
b2	B2	Pn2 输入 / 输出指定位		R/W
b3	B3	Pn3 输入 / 输出指定位		R/W
b4	B4	Pn4 输入 / 输出指定位		R/W
b5	B5	Pn5 输入 / 输出指定位		R/W
b6	B6	Pn6 输入 / 输出指定位		R/W
b7	B7	Pn7 输入 / 输出指定位		R/W

【符号说明】 (n = 0 ~ 9、A ~ E)

DDR 寄存器是在选择了通用输入 / 输出端口功能时指定端口输入 / 输出的寄存器。

PORTn.DDR 寄存器 (n=0 ~ 9、A ~ E) 的各位分别对应端口 n 的各引脚，并且能以 1 位为单位进行指定。

PORT5.DDR.B3 位指定 P53 输入或者 BCLK 输出。当 PORT5.DDR.B3 位被置“1”时，因为 P53 的输出为 BCLK，所以不选择通用输出端口的功能。

17.2.2.2 数据寄存器 (DR)

地址 PORT0.DR 0008 C020h、PORT1.DR 0008 C021h、PORT2.DR 0008 C022h、PORT3.DR 0008 C023h
 PORT4.DR 0008 C024h、PORT5.DR 0008 C025h、PORT6.DR 0008 C026h、PORT7.DR 0008 C027h
 PORT8.DR 0008 C028h、PORT9.DR 0008 C029h、PORTA.DR 0008 C02Ah、PORTB.DR 0008 C02Bh
 PORTC.DR 0008 C02Ch、PORTD.DR 0008 C02Dh、PORTE.DR 0008 C02Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
复位后的值	0	0	0	0	0	0	0	0

注. PORT0.DR寄存器的b6和b4是保留位。
 PORT1.DR寄存器的b1和b0是保留位。
 PORT3.DR寄存器的低5位有效，高3位是保留位。
 PORT5.DR寄存器的b7和b3是保留位。
 PORT8.DR寄存器的低4位有效，高4位是保留位。
 PORT9.DR寄存器的低4位有效，高4位是保留位。
 保留位的读写值都为“0”。

位	符号	位名	功能	R/W
b0	B0	Pn0 输出数据保存位	保存输出的数据。	R/W
b1	B1	Pn1 输出数据保存位		R/W
b2	B2	Pn2 输出数据保存位		R/W
b3	B3	Pn3 输出数据保存位		R/W
b4	B4	Pn4 输出数据保存位		R/W
b5	B5	Pn5 输出数据保存位		R/W
b6	B6	Pn6 输出数据保存位		R/W
b7	B7	Pn7 输出数据保存位		R/W

【符号说明】 (n = 0 ~ 9、A ~ E)

DR 寄存器保存用作通用输出端口的引脚输出数据。

P53 的输出为 BCLK，即使给 PORT5.DR.B3 位设定值，也不影响引脚。

17.2.2.3 端口寄存器 (PORT)

地址 PORT0.PORT 0008 C040h、PORT1.PORT 0008 C041h、PORT2.PORT 0008 C042h、PORT3.PORT 0009 C043h
 PORT4.PORT 0008 C044h、PORT5.PORT 0008 C045h、PORT6.PORT 0008 C046h、PORT7.PORT 0008 C047h
 PORT8.PORT 0008 C048h、PORT9.PORT 0008 C049h、PORTA.PORT 0008 C04Ah、PORTB.PORT 0008 C04Bh
 PORTC.PORT 0008 C04Ch、PORTD.PORT 0008 C04Dh、PORTE.PORT 0008 C04Eh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

复位后的值 x x x x x x x x

注. PORT0.PORT寄存器的b6和b4是保留位。
 PORT1.PORT寄存器的b1和b0是保留位。
 PORT3.PORT寄存器的低6位有效，高2位是保留位。
 PORT5.PORT寄存器的低7位有效，高1位是保留位。
 PORT8.PORT寄存器的低4位有效，高4位是保留位。
 PORT9.PORT寄存器的低4位有效，高4位是保留位。
 保留位的读取值为“1”，写操作无效。

位	符号	位名	功能	R/W
b0	B0 (注1)	Pn0 位	反映端口的引脚状态。	R
b1	B1 (注1)	Pn1 位		R
b2	B2 (注1)	Pn2 位		R
b3	B3 (注1)	Pn3 位		R
b4	B4 (注1)	Pn4 位		R
b5	B5 (注1)	Pn5 位		R
b6	B6 (注1)	Pn6 位		R
b7	B7 (注1)	Pn7 位		R

【符号说明】 (n = 0 ~ 9、A ~ E)

注 1. 在进行读操作时，必须预先将 PORTn.ICR 寄存器的对应位置“1”。

如果在 PORTn.ICR 寄存器的位为“0”的状态下进行读操作，对应位的值就为不定值。

PORT 寄存器是反映端口引脚状态的寄存器。

如果读 PORTn.PORT 寄存器 (n=0 ~ 9、A ~ E)，就能读到引脚的状态。

P35 能读 NMI 引脚的状态。

17.2.2.4 输入缓冲控制寄存器 (ICR)

地址 PORT0.ICR 0008 C060h、PORT1.ICR 0008 C061h、PORT2.ICR 0008 C062h、PORT3.ICR 0008 C063h
 PORT4.ICR 0008 C064h、PORT5.ICR 0008 C065h、PORT6.ICR 0008 C066h、PORT7.ICR 0008 C067h
 PORT8.ICR 0008 C068h、PORT9.ICR 0008 C069h、PORTA.ICR 0008 C06Ah、PORTB.ICR 0008 C06Bh
 PORTC.ICR 0008 C06Ch、PORTD.ICR 0008 C06Dh、PORTE.ICR 0008 C06Eh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

复位后的值 0 0 0 0 0 0 0 0

注. PORT0.ICR寄存器的b6和b4是保留位。
 PORT1.ICR寄存器的b1和b0是保留位。
 PORT3.ICR寄存器的低5位有效，高3位是保留位。
 PORT5.ICR寄存器的低7位有效，高1位是保留位。
 PORT8.ICR寄存器的低4位有效，高4位是保留位。
 PORT9.ICR寄存器的低4位有效，高4位是保留位。
 保留位的读写值都为“0”。

位	符号	位名	功能	R/W
b0	B0 (注1)	Pn0 输入缓冲器控制位	0: 对应引脚的输入缓冲器无效 1: 对应引脚的输入缓冲器有效	R/W
b1	B1 (注1)	Pn1 输入缓冲器控制位		R/W
b2	B2 (注1)	Pn2 输入缓冲器控制位		R/W
b3	B3 (注1)	Pn3 输入缓冲器控制位		R/W
b4	B4 (注1)	Pn4 输入缓冲器控制位		R/W
b5	B5 (注1)	Pn5 输入缓冲器控制位		R/W
b6	B6 (注1)	Pn6 输入缓冲器控制位		R/W
b7	B7 (注1)	Pn7 输入缓冲器控制位		R/W

【符号说明】 (n = 0 ~ 9、A ~ E)

注1. 在用作输入引脚时，必须将对应位置“1”。必须将不用作输入的引脚和模拟输入 / 输出引脚的对应位置“0”。

ICR 寄存器是控制端口输入缓冲器的寄存器。

PORTn.ICR 寄存器 (n=0 ~ 9、A ~ E) 的各位分别对应端口 n 的各引脚，并且能以 1 位为单位进行指定。

在用作外围模块的输入引脚时，为了使对应引脚的输入缓冲器有效，需要预先将 PORTn.ICR 置“1”。如果在将 PORTn.ICR 置“0”的状态下用作外围模块的输入引脚，就将输入到外围模块的信号固定为 High 电平。

在更改 PORTn.ICR 寄存器的设定时，有可能因引脚的状态而在内部产生边沿，因此必须在不使用该输入引脚时更改 PORTn.ICR 寄存器的设定。例如，在 IRQ_i (i=0 ~ 15) 输入时，必须在禁止该中断的状态下更改 PORTn.ICR 寄存器的设定。先将中断控制器的 IR_i.IR 标志 (i=64 ~ 79 (IRQ 的中断向量号)) 置“0”，然后允许该中断。如果在更改 PORTn.ICR 寄存器的设定后产生边沿，就必须取消该边沿。

17.2.2.5 漏极开路控制寄存器 (ODR)

地址 PORT0.ODR 0008 C080h、PORT1.ODR 0008 C081h、PORT2.ODR 0008 C082h、PORT3.ODR 0008 C083h
PORTC.ODR 0008 C08Ch

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

复位后的值 0 0 0 0 0 0 0 0

注. PORT0.ODR寄存器的b6和b4是保留位。
PORT1.ODR寄存器的b1和b0是保留位。
PORT3.ODR寄存器的低5位有效，高3位是保留位。
保留位的读写值都为“0”。

位	符号	位名	功能	R/W
b0	B0	Pn0 输出形态指定位	0: CMOS 输出 1: NMOS 漏极开路输出	R/W
b1	B1	Pn1 输出形态指定位		R/W
b2	B2	Pn2 输出形态指定位		R/W
b3	B3	Pn3 输出形态指定位		R/W
b4	B4	Pn4 输出形态指定位		R/W
b5	B5	Pn5 输出形态指定位		R/W
b6	B6	Pn6 输出形态指定位		R/W
b7	B7	Pn7 输出形态指定位		R/W

【符号说明】 (n = 0 ~ 3、C)

ODR 寄存器是选择端口引脚输出形态的寄存器。

17.2.2.6 上拉电阻控制寄存器 (PCR)

地址 PORT9.PCR 0008 C0C9h、PORTA.PCR 0008 C0CAh、PORTB.PCR 0008 C0CBh、PORTC.PCR 0008 C0CCh
PORTD.PCR 0008 C0CDh、PORTE.PCR 0008 C0CEh

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
复位后的值	0	0	0	0	0	0	0	0

注. PORT9.PCR寄存器的低4位有效，高4位是保留位。
保留位的读写值都为“0”。

位	符号	位名	功能	R/W
b0	B0	Pn0 输入上拉电阻控制位	0: 输入上拉电阻无效 1: 输入上拉电阻有效	R/W
b1	B1	Pn1 输入上拉电阻控制位		R/W
b2	B2	Pn2 输入上拉电阻控制位		R/W
b3	B3	Pn3 输入上拉电阻控制位		R/W
b4	B4	Pn4 输入上拉电阻控制位		R/W
b5	B5	Pn5 输入上拉电阻控制位		R/W
b6	B6	Pn6 输入上拉电阻控制位		R/W
b7	B7	Pn7 输入上拉电阻控制位		R/W

【符号说明】 (n = 9、A ~ E)

PCR 寄存器是控制端口输入上拉电阻的有效或者无效的寄存器。

在引脚为输入的状态下，与 PORTn.PCR 寄存器为“1”的位对应的引脚输入上拉电阻有效。输入上拉电阻的状态如表 17.17 所示。

表 17.17 输入上拉电阻的状态 (1) (145 引脚 TFLGA/144 引脚 LQFP)

端口	引脚状态	复位、硬件待机模式	其他运行
端口 9	地址输出	无效	
	端口输出	无效	
	端口输入	无效	有效 / 无效
端口 A	地址输出	无效	
	外围模块输出	无效	
	端口输出	无效	
	端口输入	无效	有效 / 无效
端口 B	地址输出	无效	
	外围模块输出	无效	
	端口输出	无效	
	端口输入	无效	有效 / 无效
端口 C	地址输出	无效	
	外围模块输出	无效	
	端口输出	无效	
	端口输入	无效	有效 / 无效
端口 D	数据输入 / 输出	无效	
	端口输出	无效	
	端口输入	无效	有效 / 无效
端口 E	数据输入 / 输出	无效	
	外围模块输出	无效	
	端口输出	无效	
	端口输入	无效	有效 / 无效

【符号说明】

无效： 输入上拉 MOS 总是处于截至状态。

有效 / 无效： 当将 PORTn.PCR.Bi 位 (n=9、A ~ E, i=0 ~ 7) 置“1”时有效，否则无效。

17.2.2.7 端口功能寄存器 0 (PF0CSE)

地址 0008 C100h

	b7	b6	b5	b4	b3	b2	b1	b0
	CS7E	CS6E	CS5E	CS4E	CS3E	CS2E	CS1E	CS0E
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	CS0E	CS0 输出允许位	0: 设定为 I/O 端口 1: 设定为 CSn# 输出引脚 (n=0 ~ 7)	R/W
b1	CS1E	CS1 输出允许位		R/W
b2	CS2E	CS2 输出允许位		R/W
b3	CS3E	CS3 输出允许位		R/W
b4	CS4E	CS4 输出允许位		R/W
b5	CS5E	CS5 输出允许位		R/W
b6	CS6E	CS6 输出允许位		R/W
b7	CS7E	CS7 输出允许位		R/W

PF0CSE 寄存器是选择允许或者禁止 CSn# 输出的寄存器。

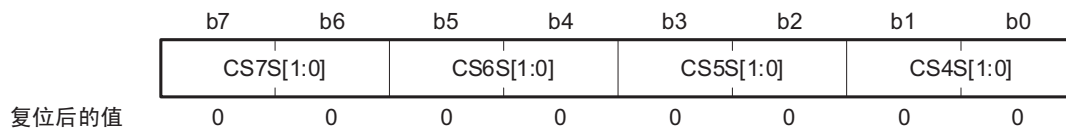
CSnE 位 (CSn 输出允许位) (n=0 ~ 7)

此位选择允许或者禁止对应的 CSn# 输出。

在输出 CSn 时, 必须将对应的 PF0CSE.CSnE 位置“1”。

17.2.2.8 端口功能寄存器 1 (PF1CSS)

地址 0008 C101h



位	符号	位名	功能	R/W
b1-b0	CS4S[1:0]	CS4# 输出引脚选择位	b1 b0 0 0: 从 P64 输出 CS4#-A 0 1: 从 P74 输出 CS4#-B 1 x: 从 P24 输出 CS4#-C	R/W
b3-b2	CS5S[1:0]	CS5# 输出引脚选择位	b3 b2 0 0: 从 P65 输出 CS5#-A 0 1: 从 P75 输出 CS5#-B 1 x: 从 P25 输出 CS5#-C	R/W
b5-b4	CS6S[1:0]	CS6# 输出引脚选择位	b5 b4 0 0: 从 P66 输出 CS6#-A 0 1: 从 P76 输出 CS6#-B 1 x: 从 P26 输出 CS6#-C	R/W
b7-b6	CS7S[1:0]	CS7# 输出引脚选择位	b7 b6 0 0: 从 P67 输出 CS7#-A 0 1: 从 P77 输出 CS7#-B 1 x: 从 P27 输出 CS7#-C	R/W

【符号说明】 x: Don't care

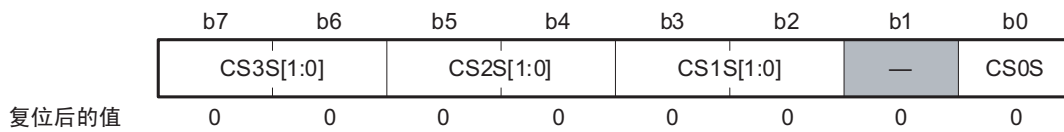
PF1CSS 寄存器是选择 CSn# 输出引脚 (n=4 ~ 7) 的寄存器。

CSnS[1:0] 位 (CSn# 输出引脚选择位) (n=4 ~ 7)

在允许 CSn# 输出时 (PF0CSE.CSnE 位为“1”), 这些位选择 CSn# 的输出引脚。

17.2.2.9 端口功能寄存器 2 (PF2CSS)

地址 0008 C102h



位	符号	位名	功能	R/W
b0	CS0S	CS0# 输出引脚选择位	0: 从 P60 输出 CS0#-A 1: 从 PC7 输出 CS0#-B	R/W
b1	—	保留位	读写值都为“0”。	R/W
b3-b2	CS1S[1:0]	CS1# 输出引脚选择位	b3 b2 0 0: 从 P61 输出 CS1#-A 0 1: 从 P71 输出 CS1#-B 1 x: 从 PC6 输出 CS1#-C	R/W
b5-b4	CS2S[1:0]	CS2# 输出引脚选择位	b5 b4 0 0: 从 P62 输出 CS2#-A 0 1: 从 P72 输出 CS2#-B 1 x: 从 PC5 输出 CS2#-C	R/W
b7-b6	CS3S[1:0]	CS3# 输出引脚选择位	b7 b6 0 0: 从 P63 输出 CS3#-A 0 1: 从 P73 输出 CS3#-B 1 x: 从 PC4 输出 CS3#-C	R/W

【符号说明】 x: Don't care

PF2CSS 寄存器是选择 CSn# 输出引脚 (n=0 ~ 3) 的寄存器。

CSnS[1:0] 位 (CSn# 输出引脚选择位) (n=0 ~ 3)

在允许 CSn# 输出时 (PF0CSE.CSnE 位为“1”), 这些位选择 CSn# 的输出引脚。

17.2.2.10 端口功能寄存器 3 (PF3BUS)

地址 0008 C103h

	b7	b6	b5	b4	b3	b2	b1	b0
	A23E	A22E	A21E	A20E	A19E	A18E	A17E	A16E
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	A16E	地址 A16 输出允许位	0: A16 输出无效 1: A16 输出有效	R/W
b1	A17E	地址 A17 输出允许位	0: A17 输出无效 1: A17 输出有效	R/W
b2	A18E	地址 A18 输出允许位	0: A18 输出无效 1: A18 输出有效	R/W
b3	A19E	地址 A19 输出允许位	0: A19 输出无效 1: A19 输出有效	R/W
b4	A20E	地址 A20 输出允许位	0: A20 输出无效 1: A20 输出有效	R/W
b5	A21E	地址 A21 输出允许位	0: A21 输出无效 1: A21 输出有效	R/W
b6	A22E	地址 A22 输出允许位	0: A22 输出无效 1: A22 输出有效	R/W
b7	A23E	地址 A23 输出允许位	0: A23 输出无效 1: A23 输出有效	R/W

PF3BUS 寄存器是选择允许或者禁止地址输出的寄存器。

AnE 位 (地址 An 输出允许位) (n=16 ~ 23)

此位选择允许或者禁止地址输出 (An)。

17.2.2.11 端口功能寄存器 4 (PF4BUS)

地址 0008 C104h

	b7	b6	b5	b4	b3	b2	b1	b0
	A15E	A14E	A13E	A12E	A11E	A10E	ADRLE[1:0]	
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	ADRLE[1:0]	低位地址 A9 ~ A0 输出允许位	b1 b0 0 0: A9 ~ A0 输出无效 0 1: A9 ~ A4 输出无效, A3 ~ A0 输出有效。 1 0: A9 ~ A8 输出无效, A7 ~ A0 输出有效。 1 1: A9 ~ A0 输出有效	R/W
b2	A10E	地址 A10 输出允许位	0: A10 输出无效 1: A10 输出有效	R/W
b3	A11E	地址 A11 输出允许位	0: A11 输出无效 1: A11 输出有效	R/W
b4	A12E	地址 A12 输出允许位	0: A12 输出无效 1: A12 输出有效	R/W
b5	A13E	地址 A13 输出允许位	0: A13 输出无效 1: A13 输出有效	R/W
b6	A14E	地址 A14 输出允许位	0: A14 输出无效 1: A14 输出有效	R/W
b7	A15E	地址 A15 输出允许位	0: A15 输出无效 1: A15 输出有效	R/W

PF4BUS 寄存器是选择允许或者禁止地址输出的寄存器。

ADRLE[1:0] 位 (低位地址 A9 ~ A0 输出允许位)

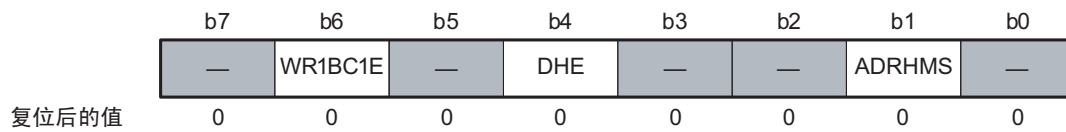
这些位选择允许或者禁止地址输出 (A9 ~ A0)。

AnE 位 (地址 An 输出允许位) (n=10 ~ 15)

此位选择允许或者禁止地址输出 (An)。

17.2.2.12 端口功能寄存器 5 (PF5BUS)

地址 0008 C105h



位	符号	位名	功能	R/W
b0	—	保留位	读写值都为“0”。	R/W
b1	ADRHMS	A19 ~ A16 输出选择位	A19 ~ A16 输出的选择 0: 将 PC[3:0] 设定为外部地址总线 A19-A ~ A16-A 1: 将 P9[3:0] 设定为外部地址总线 A19-B ~ A16-B	R/W
b3-b2	—	保留位	读写值都为“0”。	R/W
b4	DHE	数据 D15 ~ D8 有效位	0: 将 PE7 ~ PE0 设定为 I/O 端口 1: 将 PE7 ~ PE0 设定为外部数据总线 D15 ~ D8	R/W
b5	—	保留位	读写值都为“0”。	R/W
b6	WR1BC1E	WR1#/BC1# 输出允许位	0: 将 P51 设定为 I/O 端口 1: 将 P51 设定为 WR#1 或者 BC1#	R/W
b7	—	保留位	读写值都为“0”。	R/W

ADRHMS 位 (地址 A19 ~ A16 输出选择位)

此位选择地址总线 (A19 ~ A16) 的输出引脚。

DHE 位 (数据 D15 ~ D8 有效位)

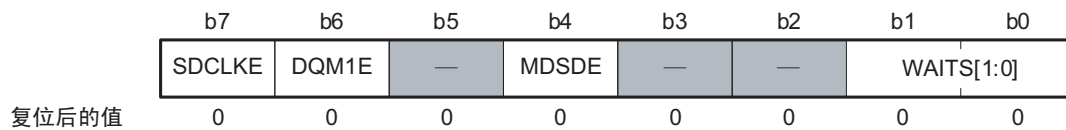
此位选择允许或者禁止数据输入 / 输出 (D15 ~ D8)。

WR1BC1E 位 (WR1#/BC1# 输出允许位)

此位选择允许或者禁止 WR1#/BC1# 输出。

17.2.2.13 端口功能寄存器 6 (PF6BUS)

地址 0008 C106h



位	符号	位名	功能	R/W
b1-b0	WAITS[1:0]	WAIT 选择位	b1 b0 0 x: 将 P55 设定为 WAIT#-B 输入引脚 1 0: 将 PC5 设定为 WAIT#-C 输入引脚 1 1: 将 P51 设定为 WAIT#-D 输入引脚	R/W
b3-b2	—	保留位	读写值都为“0”。	R/W
b4	MDSDE	SDRAM 引脚允许位	请参照 b6 (DQM1E 位)。	R/W
b5	—	保留位	读写值都为“0”。	R/W
b6	DQM1E	DQM1 输出允许位	MDSDE DQM1E 0 x: 只限于 P70/SDCLK, 通过 SDCLKE 位进行控制。 1 0: 除 P67/DQM1 以外, SDRAM 有效。 1 1: SDRAM 有效 (全部引脚)	R/W
b7	SDCLKE	SDCLK 输出允许位	0: SDCLK 输出无效 1: SDCLK 输出有效	R/W

【符号说明】 x: Don't care

WAITS 位 (WAIT 选择位)

此位选择 WAIT# 的输入引脚。

MDSDE 位 (SDRAM 引脚允许位)

此位选择允许或者禁止 SDRAM 引脚的输出。

在将 MDSDE 位置“1”的状态下, 能通过 DQM1E 位选择允许或者禁止各 DQM1 引脚的输出。与 MDSDE 位的设定无关, 能通过 SDCLKE 位独立选择允许或者禁止 SDCLK 引脚的输出。

DQM1E 位 (DQM1 输出允许位)

此位选择允许或者禁止 DQM1 引脚的输出。

如果将 MDSDE 位置“1”, DQM1E 位的设定就有效; 如果将 MDSDE 位置“0”, 就忽视 DQM1E 位的设定。

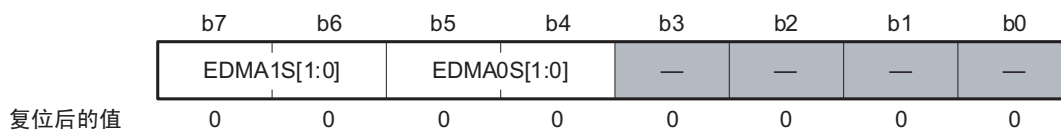
SDCLK 位 (SDCLK 输出允许位)

此位选择允许或者禁止 SDCLK 引脚的输出。

必须在设定为时钟停止状态后更改 SDCLK 位的设定。

17.2.2.14 端口功能寄存器 7 (PF7DMA)

地址 0008 C107h



位	符号	位名	功能	R/W
b3-b0	—	保留位	读写值都为“0”。	R/W
b5-b4	EDMA0S[1:0]	EXDMAC0 引脚选择位	b5 b4 0 0: 将 P80 设定为 EDREQ0-A 引脚 将 P81 设定为 EDACK0-A 引脚 0 1: 将 P22 设定为 EDREQ0-B 引脚 将 P23 设定为 EDACK0-B 引脚 1 x: 将 P55 设定为 EDREQ0-C 引脚 将 P54 设定为 EDACK0-C 引脚	R/W
b7-b6	EDMA1S[1:0]	EXDMAC1 引脚选择位	b7 b6 0 0: 将 P82 设定为 EDREQ1-A 引脚 将 P83 设定为 EDACK1-A 引脚 0 1: 将 P24 设定为 EDREQ1-B 引脚 将 P25 设定为 EDACK1-B 引脚 1 x: 将 P24 设定为 EDREQ1-B 引脚 将 P56 设定为 EDACK1-C 引脚	R/W

【符号说明】 x: Don't care

EDMA_nS 位 (EXDMAC_n 引脚选择位) (n=0 ~ 1)

此位选择 EXDMAC_n 的引脚。

17.2.2.15 端口功能寄存器 8 (PF8IRQ)

地址 0008 C108h

	b7	b6	b5	b4	b3	b2	b1	b0
	ITS15	—	ITS13	—	ITS11	ITS10	ITS9	ITS8
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	ITS8	IRQ8 引脚选择位	0: 将 P00 设定为 IRQ8-A 输入引脚 1: 将 P40 设定为 IRQ8-B 输入引脚	R/W
b1	ITS9	IRQ9 引脚选择位	0: 将 P01 设定为 IRQ9-A 输入引脚 1: 将 P41 设定为 IRQ9-B 输入引脚	R/W
b2	ITS10	IRQ10 引脚选择位	0: 将 P02 设定为 IRQ10-A 输入引脚 1: 将 P42 设定为 IRQ10-B 输入引脚	R/W
b3	ITS11	IRQ11 引脚选择位	0: 将 P03 设定为 IRQ11-A 输入引脚 1: 将 P43 设定为 IRQ11-B 输入引脚	R/W
b4	—	保留位	读写值都为“0”。	R/W
b5	ITS13	IRQ13 引脚选择位	0: 将 P05 设定为 IRQ13-A 输入引脚 1: 将 P45 设定为 IRQ13-B 输入引脚	R/W
b6	—	保留位	读写值都为“0”。	R/W
b7	ITS15	IRQ15 引脚选择位	0: 将 P07 设定为 IRQ15-A 输入引脚 1: 将 P47 设定为 IRQ15-B 输入引脚	R/W

PF8IRQ 寄存器是选择 IRQ8 ~ IRQ11、IRQ13、IRQ15 输入引脚的寄存器。

ITS_i 位 (IRQ_i 引脚选择位) (i=8 ~ 11、13、15)

此位选择 IRQ_i 的输入引脚。

17.2.2.16 端口功能寄存器 9 (PF9IRQ)

地址 0008 C109h

	b7	b6	b5	b4	b3	b2	b1	b0
	ITS7	ITS6	ITS5	ITS4	ITS3	ITS2	—	—
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	—	保留位	读写值都为“0”。	R/W
b2	ITS2	IRQ2 引脚选择位	0: 将 P32 设定为 IRQ2-A 输入引脚 1: 将 P12 设定为 IRQ2-B 输入引脚	R/W
b3	ITS3	IRQ3 引脚选择位	0: 将 P33 设定为 IRQ3-A 输入引脚 1: 将 P13 设定为 IRQ3-B 输入引脚	R/W
b4	ITS4	IRQ4 引脚选择位	0: 将 P34 设定为 IRQ4-A 输入引脚 1: 将 P14 设定为 IRQ4-B 输入引脚	R/W
b5	ITS5	IRQ5 引脚选择位	0: 将 PE5 设定为 IRQ5-A 输入引脚 1: 将 P15 设定为 IRQ5-B 输入引脚	R/W
b6	ITS6	IRQ6 引脚选择位	0: 将 PE6 设定为 IRQ6-A 输入引脚 1: 将 P16 设定为 IRQ6-B 输入引脚	R/W
b7	ITS7	IRQ7 引脚选择位	0: 将 PE7 设定为 IRQ7-A 输入引脚 1: 将 P17 设定为 IRQ7-B 输入引脚	R/W

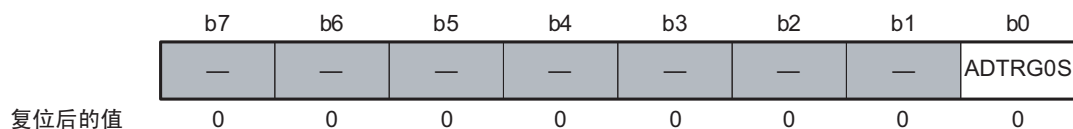
PF9IRQ 寄存器是选择 IRQ2 ~ IRQ7 输入引脚的寄存器。

ITS_i 位 (IRQ_i 引脚选择位) (i=2 ~ 7)

此位选择 IRQ_i 的输入引脚。

17.2.2.17 端口功能寄存器 A (PFAADC)

地址 0008 C10Ah



位	符号	位名	功能	R/W
b0	ADTRG0S	ADTRG0# 输入选择位	0: 将 P07 设定为 ADTRG0#-A 输入引脚 1: 将 P25 设定为 ADTRG0#-B 输入引脚	R/W
b7-b1	—	保留位	读写值都为“0”。	R/W

PFAADC 寄存器是选择 ADTRG0# 引脚的寄存器。

ADTRG0S 位 (ADTRG0# 输入选择位)

此位选择 ADTRG0# 的输入引脚。

17.2.2.18 端口功能寄存器 B (PFBTMR)

地址 0008 C10Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TMR2S	TMR1S	TMR0S
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	TMR0S	TMR0 输入引脚选择位	0: 选择 P01 为 TMCIO-A 引脚 选择 P00 为 TMRIO-A 引脚 1: 选择 P21 为 TMCIO-B 引脚 选择 P20 为 TMRIO-B 引脚	R/W
b1	TMR1S	TMR1 输入引脚选择位	0: 选择 P02 为 TMC11-A 引脚 1: 选择 P12 为 TMC11-B 引脚	R/W
b2	TMR2S	TMR2 输入引脚选择位	0: 选择 P15 为 TMC12-A 引脚 1: 选择 P31 为 TMC12-B 引脚	R/W
b7-b3	—	保留位	读写值都为“0”。	R/W

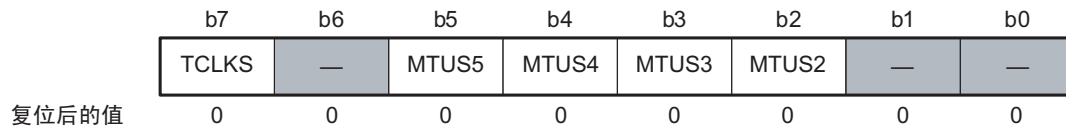
PFBTMR 寄存器是选择 TMR0 ~ TMR2 引脚的寄存器。

TMRnS 位 (TMRn 输入引脚选择位) (n=0 ~ 2)

此位选择 TMRn 的输入引脚。

17.2.2.19 端口功能寄存器 C (PFCMTU)

地址 0008 C10Ch



位	符号	位名	功能	R/W
b1-b0	—	保留位	读写值都为“0”。	R/W
b2	MTUS2	MTU 引脚选择位 2	0: 选择 P16 为 MTIOC3C-A 引脚 1: 选择 P56 为 MTIOC3C-B 引脚	R/W
b3	MTUS3	MTU 引脚选择位 3	0: 选择 P22 为 MTIOC3B-A 引脚 选择 P23 为 MTIOC3D-A 引脚 1: 选择 P80 为 MTIOC3B-B 引脚 选择 P81 为 MTIOC3D-B 引脚	R/W
b4	MTUS4	MTU 引脚选择位 4	0: 选择 P24 为 MTIOC4A-A 引脚 选择 P25 为 MTIOC4C-A 引脚 1: 选择 P82 为 MTIOC4A-B 引脚 选择 P83 为 MTIOC4C-B 引脚	R/W
b5	MTUS5	MTU 引脚选择位 5	0: 选择 P30 为 MTIOC4B-A 引脚 选择 P31 为 MTIOC4D-A 引脚 1: 选择 P54 为 MTIOC4B-B 引脚 选择 P55 为 MTIOC4D-B 引脚	R/W
b6	—	保留位	读写值都为“0”。	R/W
b7	TCLKS	MTCLK 引脚选择位	0: 选择 P24 为 MTCLKA-A 引脚 选择 P25 为 MTCLKB-A 引脚 选择 P22 为 MTCLKC-A 引脚 选择 P23 为 MTCLKD-A 引脚 1: 选择 PC6 为 MTCLKA-B 引脚 选择 PC7 为 MTCLKB-B 引脚 选择 PC4 为 MTCLKC-B 引脚 选择 PC5 为 MTCLKD-B 引脚	R/W

PFCMTU 寄存器是选择 MTU 单元 0 的引脚的寄存器。

MTUS_j 位 (MTU 引脚选择位 j) (j=2 ~ 5)

此位选择 MTU 的输入 / 输出引脚。

TCLKS 位 (MTCLK 引脚选择位)

此位选择 MTU 的 MTCLK 输入引脚。

17.2.2.20 端口功能寄存器 D (PFDMTU)

地址 0008 C10Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	TCLKS	MTUS6	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b5-b0	—	保留位	读写值都为“0”。	R/W
b6	MTUS6	MTU 引脚选择位 6	0: 选择 PC7 为 MTIC11U-A 引脚 选择 PC6 为 MTIC11V-A 引脚 选择 PC5 为 MTIC11W-A 引脚 1: 选择 PD4 为 MTIC11U-B 引脚 选择 PD3 为 MTIC11V-B 引脚 选择 PD2 为 MTIC11W-B 引脚	R/W
b7	TCLKS	MTCLK 引脚选择位	0: 选择 PC2 为 MTCLKE-A 引脚 选择 PC3 为 MTCLKF-A 引脚 选择 PC0 为 MTCLKG-A 引脚 选择 PC1 为 MTCLKH-A 引脚 1: 选择 PB4 为 MTCLKE-B 引脚 选择 PB5 为 MTCLKF-B 引脚 选择 PB2 为 MTCLKG-B 引脚 选择 PB3 为 MTCLKH-B 引脚	R/W

PFDMTU 寄存器是选择 MTU 单元 1 的引脚的寄存器。

MTUS6 位 (MTU 引脚选择 6 位)

此位选择 MTIC11U/V/W 的输入引脚。

TCLKS 位 (MTCLK 引脚选择位)

此位选择 MTU 的 MTCLK 输入引脚。

17.2.2.21 端口功能寄存器 E (PFENET)

地址 0008 C10Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	EE	—	—	PHY MODE	ENETE3	ENETE2	ENETE1	ENETE0
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	ENETE0	EtherNET 引脚允许位 0	0: ET_WOL 引脚无效 1: ET_WOL 引脚有效	R/W
b1	ENETE1	EtherNET 引脚允许位 1	0: ET_LINKSTA 引脚无效 1: ET_LINKSTA 引脚有效	R/W
b2	ENETE2	EtherNET 引脚允许位 2	0: ET_EXOUT 引脚无效 1: ET_EXOUT 引脚有效	R/W
b3	ENETE3	EtherNET 引脚允许位 3	0: ET_TX_ER 引脚无效 1: ET_TX_ER 引脚有效	R/W
b4	PHYMODE	EtherNET 模式设定位	0: RMII 模式 1: MII 模式	R/W
b6-b5	—	保留位	读写值都为“0”。	R/W
b7	EE	EtherNET 引脚允许位	0: 将全部 EtherNET 引脚设定为无效 1: 将全部 EtherNET 引脚设定为有效	R/W

PFENET 寄存器是设定 EtherNET 的相关输入 / 输出引脚的寄存器。

ENETEn 位 (EtherNET 引脚允许位 n) (n=0 ~ 3)

此位选择 EtherNET 引脚。

PHYMODE 位 (EtherNET 模式设定位)

此位选择 EtherNET 的 PHY 模式。

PHYMODE 位的设定和 EtherNET 模式的关系如表 17.18 所示。

EE 位 (EtherNET 引脚允许位)

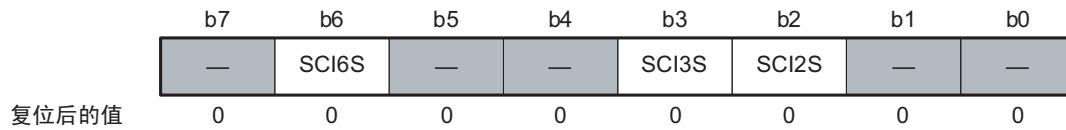
此位选择 EtherNET 引脚的有效或者无效。

表 17.18 PHYMODE 位的设定和 EtherNET 模式的关系 (145 引脚 TFLGA/144 引脚 LQFP)

PHYMODE	EtherNET 的模式	使用的 EtherNET 引脚	分配的端口名	备注
0	RMII 模式	ET_MDC	P72	
		ET_MDIO	P71	
		ET_WOL	P73	在 ENETE0=1 时有效
		ET_LINKSTA	P54	在 ENETE1=1 时有效
		ET_EXOUT	P55	在 ENETE2=1 时有效
		REF50CK	P76	
		RMII_TXD0	P81	
		RMII_TXD1	P82	
		RMII_TXD_EN	P80	
		RMII_RXD0	P75	
		RMII_RXD1	P74	
		RMII_RX_ER	P77	
		RMII_CRSDV	P83	
1	MII 模式	ET_MDC	P72	
		ET_MDIO	P71	
		ET_WOL	P73	在 ENETE0=1 时有效
		ET_LINKSTA	P54	在 ENETE1=1 时有效
		ET_EXOUT	P55	在 ENETE2=1 时有效
		ET_TX_CLK	PC4	
		ET_ETXD0	P81	
		ET_ETXD1	P82	
		ET_ETXD2	PC5	
		ET_ETXD3	PC6	
		ET_TX_EN	P80	
		ET_TX_ER	PC3	在 ENETE3=1 时有效
		ET_COL	PC7	
		ET_CRSDV	P83	
		ET_RX_CLK	P76	
		ET_ERXD0	P75	
		ET_ERXD1	P74	
		ET_ERXD2	PC1	
		ET_ERXD3	PC0	
		ET_RX_DV	PC2	
ET_RX_ER	P77			

17.2.2.22 端口功能寄存器 F (PFFSCI)

地址 0008 C10Fh



位	符号	位名	功能	R/W
b1-b0	—	保留位	读写值都为“0”。	R/W
b2	SCI2S	SCI2 引脚选择位	0: 将 P12 设定为 RxD2-A 引脚 将 P51 设定为 SCK2 引脚 将 P13 设定为 TxD2-A 引脚 1: 将 P52 设定为 RxD2-B 引脚 将 P51 设定为 SCK2 引脚 将 P50 设定为 TxD2-B 引脚	R/W
b3	SCI3S	SCI3 引脚选择位	0: 将 P16 设定为 RxD3-A 引脚 将 P15 设定为 SCK3-A 引脚 将 P17 设定为 TxD3-A 引脚 1: 将 P25 设定为 RxD3-B 引脚 将 P24 设定为 SCK3-B 引脚 将 P23 设定为 TxD3-B 引脚	R/W
b5-b4	—	保留位	读写值都为“0”。	R/W
b6	SCI6S	SCI6 引脚选择位	0: 将 P01 设定为 RxD6-A 引脚 将 P02 设定为 SCK6-A 引脚 将 P00 设定为 TxD6-A 引脚 1: 将 P33 设定为 RxD6-B 引脚 将 P34 设定为 SCK6-B 引脚 将 P32 设定为 TxD6-B 引脚	R/W
b7	—	保留位	读写值都为“0”。	R/W

PFFSCI 寄存器是选择 SCI 引脚的寄存器。

SCInS 位 (SCIn 引脚选择位) (n=2 ~ 3、6)

此位选择 SCI 通道 n 的输入 / 输出引脚。

17.2.2.23 端口功能寄存器 G (PFGSPI)

地址 0008 C110h

	b7	b6	b5	b4	b3	b2	b1	b0
	SSL3E	SSL2E	SSL1E	SSL0E	MISOE	MOSIE	RSPCKE	RSPIS
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	RSPIS	RSPI 引脚选择位	0: 将 PC7 设定为 MISOA-A 引脚 将 PC6 设定为 MOSIA-A 引脚 将 PC5 设定为 RSPCKA-A 引脚 将 PC4 设定为 SSLA0-A 引脚 将 PC0 设定为 SSLA1-A 引脚 将 PC1 设定为 SSLA2-A 引脚 将 PC2 设定为 SSLA3-A 引脚 1: 将 PA7 设定为 MISOA-B 引脚 将 PA6 设定为 MOSIA-B 引脚 将 PA5 设定为 RSPCKA-B 引脚 将 PA4 设定为 SSLA0-B 引脚 将 PA0 设定为 SSLA1-B 引脚 将 PA1 设定为 SSLA2-B 引脚 将 PA2 设定为 SSLA3-B 引脚	R/W
b1	RSPCKE	RSPCKA 输出允许位	0: RSPCKA 引脚无效 1: RSPCKA 引脚有效	R/W
b2	MOSIE	MOSIA 输出允许位	0: MOSIA 引脚无效 1: MOSIA 引脚有效	R/W
b3	MISOE	MISOA 输出允许位	0: MISOA 引脚无效 1: MISOA 引脚有效	R/W
b4	SSL0E	SSLA0 输出允许位	0: SSLA0 引脚无效 1: SSLA0 引脚有效	R/W
b5	SSL1E	SSLA1 输出允许位	0: SSLA1 引脚无效 1: SSLA1 引脚有效	R/W
b6	SSL2E	SSLA2 输出允许位	0: SSLA2 引脚无效 1: SSLA2 引脚有效	R/W
b7	SSL3E	SSLA3 输出允许位	0: SSLA3 引脚无效 1: SSLA3 引脚有效	R/W

PFGSPI 寄存器是设定 RSPIS 通道 0 的相关输入 / 输出引脚的寄存器。

RSPIS 位 (RSPI 引脚选择位)

此位选择 RSPIS 的输入 / 输出引脚。

RSPIS 的各输入 / 输出引脚有允许位，选择允许位为“1”的引脚而不选择允许位为“0”的引脚。

RSPCKE 位 (RSPCKA 输出允许位)

此位选择允许或者禁止 RSPCKA 引脚的输出。在使用 RSPCKA 引脚时，必须将此位置“1”。

MOSIE 位（MOSIA 输出允许位）

此位选择允许或者禁止 MOSIA 引脚的输出。在使用 MOSIA 引脚时，必须将此位置“1”。

MISOE 位（MISOA 输出允许位）

此位选择允许或者禁止 MISOA 引脚的输出。在使用 MISOA 引脚时，必须将此位置“1”。

SSL0E 位（SSLA0 输出允许位）

此位选择允许或者禁止 SSLA0 引脚的输出。在使用 SSLA0 引脚时，必须将此位置“1”。

SSL1E 位（SSLA1 输出允许位）

此位选择允许或者禁止 SSLA1 引脚的输出。在使用 SSLA1 引脚时，必须将此位置“1”。

SSL2E 位（SSLA2 输出允许位）

此位选择允许或者禁止 SSLA2 引脚的输出。在使用 SSLA2 引脚时，必须将此位置“1”。

SSL3E 位（SSLA3 输出允许位）

此位选择允许或者禁止 SSLA3 引脚的输出。在使用 SSLA3 引脚时，必须将此位置“1”。

17.2.2.24 端口功能寄存器 H (PFHSPI)

地址 0008 C111h

	b7	b6	b5	b4	b3	b2	b1	b0
	SSL3E	SSL2E	SSL1E	SSL0E	MISOE	MOSIE	RSPCKE	RSPIS
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	RSPIS	RSPI 引脚选择位	0: 将 P30 设定为 MISOB-A 引脚 将 P26 设定为 MOSIB-A 引脚 将 P27 设定为 RSPCKB-A 引脚 将 P31 设定为 SSLB0-A 引脚 将 P50 设定为 SSLB1-A 引脚 将 P51 设定为 SSLB2-A 引脚 将 P52 设定为 SSLB3-A 引脚 1: 将 PE7 设定为 MISOB-B 引脚 将 PE6 设定为 MOSIB-B 引脚 将 PE5 设定为 RSPCKB-B 引脚 将 PE4 设定为 SSLB0-B 引脚 将 PE0 设定为 SSLB1-B 引脚 将 PE1 设定为 SSLB2-B 引脚 将 PE2 设定为 SSLB3-B 引脚	R/W
b1	RSPCKE	RSPCKB 输出允许位	0: RSPCKB 引脚无效 1: RSPCKB 引脚有效	R/W
b2	MOSIE	MOSIB 输出允许位	0: MOSIB 引脚无效 1: MOSIB 引脚有效	R/W
b3	MISOE	MISOB 输出允许位	0: MISOB 引脚无效 1: MISOB 引脚有效	R/W
b4	SSL0E	SSLB0 输出允许位	0: SSLB0 引脚无效 1: SSLB0 引脚有效	R/W
b5	SSL1E	SSLB1 输出允许位	0: SSLB1 引脚无效 1: SSLB1 引脚有效	R/W
b6	SSL2E	SSLB2 输出允许位	0: SSLB2 引脚无效 1: SSLB2 引脚有效	R/W
b7	SSL3E	SSLB3 输出允许位	0: SSLB3 引脚无效 1: SSLB3 引脚有效	R/W

PFHSPI 寄存器是设定 RSPIS 通道 1 的相关输入 / 输出引脚的寄存器。

RSPIS 位 (RSPIS 引脚选择位)

此位选择 RSPIS 的输入 / 输出引脚。

RSPIS 的各输入 / 输出引脚有允许位，选择允许位为“1”的引脚而不选择允许位为“0”的引脚。

RSPCKE 位 (RSPCKB 输出允许位)

此位选择允许或者禁止 RSPCKB 引脚的输出。在使用 RSPCKB 引脚时，必须将此位置“1”。

MOSIE 位 (MOSIB 输出允许位)

此位选择允许或者禁止 MOSIB 引脚的输出。在使用 MOSIB 引脚时，必须将此位置“1”。

MISOE 位 (MISOB 输出允许位)

此位选择允许或者禁止 MISOB 引脚的输出。在使用 MISOB 引脚时，必须将此位置“1”。

SSL0E 位 (SSLB0 输出允许位)

此位选择允许或者禁止 SSLB0 引脚的输出。在使用 SSLB0 引脚时，必须将此位置“1”。

SSL1E 位 (SSLB1 输出允许位)

此位选择允许或者禁止 SSLB1 引脚的输出。在使用 SSLB1 引脚时，必须将此位置“1”。

SSL2E 位 (SSLB2 输出允许位)

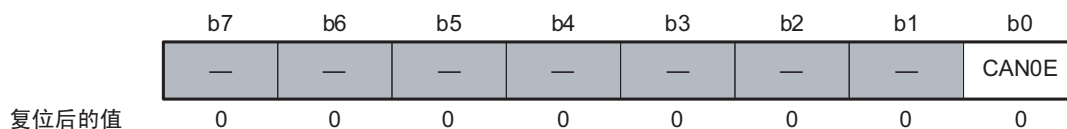
此位选择允许或者禁止 SSLB2 引脚的输出。在使用 SSLB2 引脚时，必须将此位置“1”。

SSL3E 位 (SSLB3 输出允许位)

此位选择允许或者禁止 SSLB3 引脚的输出。在使用 SSLB3 引脚时，必须将此位置“1”。

17.2.2.25 端口功能寄存器 J (PFJCAN)

地址 0008 C113h



位	符号	位名	功能	R/W
b0	CAN0E	CAN0 引脚允许位	0: CTX0 引脚和 CRX0 引脚无效 1: CTX0 引脚和 CRX0 引脚有效	R/W
b7-b1	—	保留位	读写值都为“0”。	R/W

PFJCAN 寄存器是设定 CAN 的相关输入 / 输出引脚的寄存器。

CANnE 位 (CANn 引脚允许位) (n=0)

此位选择允许或者禁止 CANn 引脚。在使用 CANn 引脚时，必须将此位置“1”。

17.2.2.26 端口功能寄存器 K (PFKUSB)

地址 0008 C114h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	USBE	PDHZS	PUPHZS	USBMD[1:0]	
0	0	0	0	0	0	0	0

复位后的值

位	符号	位名	功能	R/W
b1-b0	USBMD[1:0]	USB 模式设定位	b1 b0 0 0: 将 USB0 引脚设定为 Function 模式 0 1: 将 USB0 引脚设定为 Host 模式 1 0: 将 USB0 引脚设定为 Host/Function 兼用 (选项) (注 1) 1 1: 将 USB0 引脚设定为 OTG 模式	R/W
b2	PUPHZS	PUPHZ 选择位	0: USB0_DPUPE 引脚为 High 电平输出或者 Low 电平输出 (外部上拉控制信号) 1: USB0_DPUPE 引脚为 High 电平输出或者 Hi-Z 状态 (USB0_DP 引脚上拉输出)	R/W
b3	PDHZS	PDHZ 选择位	0: USB0_DPRPD 引脚为 High 电平输出或者 Low 电平输出 USB0_DRPD 引脚为 High 电平输出或者 Low 电平输出 (外部下拉控制信号) 1: USB0_DPRPD 引脚为 Low 电平输出或者 Hi-Z 状态 USB0_DRPD 引脚为 Low 电平输出或者 Hi-Z 状态 (USB0_DP 引脚和 USB0_DM 引脚为下拉输出)	R/W
b4	USBE	USB 允许位	0: 将全部 USB0 引脚设定为无效 1: 将全部 USB0 引脚设定为有效	R/W
b7-b5	—	保留位	读写值都为“0”。	R/W

注 1. 有关选项, 请向本公司营业窗口询问。

PFKUSB 寄存器是设定 USB0 的相关输入 / 输出引脚的寄存器。

USBMD[1:0] 位 (USB 模式设定位)

这些位选择 USB 的模式。

USBMD[1:0] 位的设定和 USB 模式的关系如表 17.19 所示。

PUPHZS 位 (PUPHZ 选择位)

此位选择 USB 的 DPUPE 引脚输出模式 (外部上拉控制 / 引脚上拉输出)。

如果将 PUPHZS 位置“0”, 就为用于外部上拉 IC 的控制信号输出模式, 从 DPUPE 引脚输出 High 电平有效的控制信号。当上拉 DP 引脚时, DPUPE 引脚为 High 电平输出状态; 当解除 DP 引脚的上拉时, DPUPE 引脚为 Low 电平输出状态。

如果将 PUPHZS 位置“1”, 就为直接上拉 DP 引脚的输出模式。当上拉 DP 引脚时, DPUPE 引脚为 High 电平输出状态; 当解除 DP 引脚的上拉时, DPUPE 引脚为高阻抗状态。

PDHYS 位（PDHZ 选择位）

此位选择 USB 的 DPRPD 引脚和 DRPD 引脚的输出模式（外部下拉控制 / 引脚下拉输出）。

如果将 PDHYS 位置“0”，就为用于外部下拉 IC 的控制信号输出模式，从 DPRPD 引脚和 DRPD 引脚输出 High 电平有效的控制信号。当下拉 DP 引脚和 DM 引脚时，DPRPD 引脚和 DRPD 引脚为 High 电平输出状态；当解除 DP 引脚和 DM 引脚的下拉时，DPRPD 引脚和 DRPD 引脚为 Low 电平输出状态。

如果将 PDHYS 位置“1”，就为直接下拉 DP 引脚和 DM 引脚的输出模式。当下拉 DP 引脚和 DM 引脚时，DPRPD 引脚和 DRPD 引脚为 Low 电平输出状态；当解除 DP 引脚和 DM 引脚的下拉时，DPRPD 引脚和 DRPD 引脚为高阻抗状态。

USBE 位（USB 允许位）

此位允许 USB 引脚。

表 17.19 USBMD[1:0] 位的设定和 USB 模式的关系（USB0）

USBMD1	USBMD0	USB0 的模式	使用的 USB 引脚	分配的端口名	备注
0	0	Function 模式	USB0_DP	USB0_DP	
			USB0_DM	USB0_DM	
			USB0_VBUS	P16	
			USB0_DPUPE-B	P14	选择 -B 侧
0	1	Host 模式	USB0_DP	USB0_DP	
			USB0_DM	USB0_DM	
			USB0_OVRCURA	P14	
			USB0_VBUSEN-B	P16	选择 -B 侧
1	0	Host/Function 兼用 (选项) (注 1)	USB0_DP	USB0_DP	
			USB0_DM	USB0_DM	
			USB0_OVRCURA	P14	
			USB0_VBUS	P16	
			USB0_DRPD	P22	
			USB0_DPUPE-A	P23	选择 -A 侧
			USB0_VBUSEN-A	P24	选择 -A 侧
1	1	OTG 模式	USB0_DP	USB0_DP	
			USB0_DM	USB0_DM	
			USB0_OVRCURA	P14	
			USB0_OVRCURB	P16	
			USB0_DPRPD	P25	
			USB0_DRPD	P22	
			USB0_EXICEN	P21	
			USB0_ID	P20	
			USB0_DPUPE-A	P23	选择 -A 侧
			USB0_VBUSEN-A	P24	选择 -A 侧

注 1. 有关选项，请向本公司营业窗口询问。

17.2.2.27 端口功能寄存器 M (PFMPOE)

地址 0008 C116h

	b7	b6	b5	b4	b3	b2	b1	b0
	POE7E	POE6E	POE5E	POE4E	POE3E	POE2E	POE1E	POE0E
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	POE0E	POE0 输入允许位	0: 设定为 I/O 端口 1: 设定为 POEn# 输入引脚 (n=0 ~ 7)	R/W (注1)
b1	POE1E	POE1 输入允许位		R/W (注1)
b2	POE2E	POE2 输入允许位		R/W (注1)
b3	POE3E	POE3 输入允许位		R/W (注1)
b4	POE4E	POE4 输入允许位		R/W (注1)
b5	POE5E	POE5 输入允许位		R/W (注1)
b6	POE6E	POE6 输入允许位		R/W (注1)
b7	POE7E	POE7 输入允许位		R/W (注1)

注 1. 只有复位开始后的第 1 次写操作有效，不能进行第 2 次以后的写操作。

PFMPOE 寄存器是选择允许或者禁止 POE 输入引脚的寄存器。

为了防止系统的误动作，必须在复位开始后进行写操作。

只有复位开始后的第 1 次写操作有效。

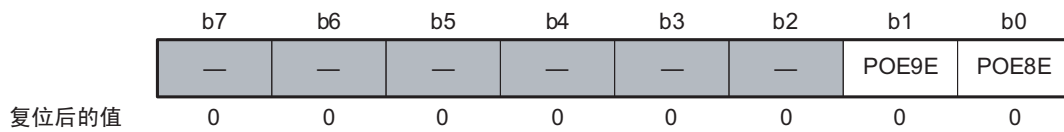
POEnE 位 (POEn 输入允许位) (n=0 ~ 7)

此位选择允许或者禁止对应的 POEn# 输入。

在使用 POEn# 时，必须将对应的 POEnE 位置“1”。

17.2.2.28 端口功能寄存器 N (PFNPOE)

地址 0008 C117h



位	符号	位名	功能	R/W
b0	POE8E	POE8 输入允许位	0: 设定为 I/O 端口 1: 设定为 POEn# 输入引脚 (n=8 ~ 9)	R/W (注 1)
b1	POE9E	POE9 输入允许位		R/W (注 1)
b7-b2	—	(保留位)	读写值都为“0”。	R/W

注 1. 只有复位开始后的第 1 次写操作有效，不能进行第 2 次以后的写操作。

PFNPOE 寄存器是选择允许或者禁止 POE 输入引脚的寄存器。

为了防止系统的误动作，必须在复位开始后进行写操作。

只有复位开始后的第 1 次写操作有效。

POEnE 位 (POEn 输入允许位) (n=8 ~ 9)

此位选择允许或者禁止对应的 POEn# 输入。

在使用 POEn# 时，必须将对应的 POEnE 位置“1”。

17.2.3 端口的设定

如果将各外围模块的引脚设定为有效，就能转换各端口的设定。

能通过设定各外围模块，独立设定用作输入的引脚。除 PORT 寄存器的读、数据总线的输入、NMI 引脚的输入和 POE 引脚的输入以外，需要通过将输入缓冲控制寄存器（ICR）的对应位置“1”，将输入缓冲器设定为有效。

对于用作输出和输入 / 输出的引脚，需要将各外围模块引脚的输出信号设定为有效。如果被相同端口多路复用的各外围模块输出信号的有效设定发生竞争，就根据外围模块的端口多路复用优先级，优先的外围模块功能变为有效。

外围模块的端口多路复用优先级一览表如表 17.20 所示。

表 17.20 外围模块的端口多路复用优先级一览表（145 引脚 TFLGA/144 引脚 LQFP）

优先级	模块名	输出引脚名	
高 ↑ 低	1	外部总线（数据）	D0 ~ D15（数据总线）
	2	外部总线 SDRAM	RD#、WR#、WR0# ~ WR1#、BC0# ~ BC1#、BCLK、SDCLK、 SDCS#、RAS#、CAS#、WE#、CKE、DQM0 ~ DQM1、 A0 ~ A23（地址总线）
	3	外部总线（CS）	CS0# ~ CS7#（片选）
	4	RSPI0、RSPI1	RSPCKn、MOSIn、MISON、SSLn0 ~ SSLn3（n=A、B）
	5	USB0	USB0_DPUPE、USB0_VBUSEN、USB0_EXICEN、 USB0_DRPD、USB0_DPRPD
	6	CAN0	CTX0
	7	EtherNET	ET_MDC、ET_MDIO、ET_EXOUT、ET_WOL、 ET_TX_EN、ET_TX_ER、ET_ETXD0 ~ ET_ETXD3、 RMII_TXD_EN、RMII_TXD0、RMII_TXD1
	8	EXDMAC0、 EXDMAC1	EDACK0、EDACK1
	9	MTU0 ~ MTU4、 MTU6 ~ MTU10	MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D、MTIOC1A、MTIOC1B、MTIOC2A、 MTIOC2B、MTIOC3A、MTIOC3B、MTIOC3C、MTIOC3D、MTIOC4A、MTIOC4B、 MTIOC4C、MTIOC4D、MTIOC6A、MTIOC6B、MTIOC6C、MTIOC6D、MTIOC7A、 MTIOC7B、MTIOC8A、MTIOC8B、MTIOC9A、MTIOC9B、MTIOC9C、MTIOC9D、 MTIOC10A、MTIOC10B、MTIOC10C、MTIOC10D
	10	TMR0 ~ TMR3	TMO0 ~ TMO3
	11	SCI0 ~ SCI3、 SCI5 ~ SCI6	SCK0 ~ SCK3、SCK5 ~ SCK6、 TxD0 ~ TxD3、TxD5 ~ TxD6
	12	RTC	RTCOUT
	13	PPG0、PPG1	PO0 ~ PO15、PO16 ~ PO31
	14	RIIC0、RIIC1	SCL0 ~ SCL1、SDA0 ~ SDA1
	15	DA	DA0 ~ DA1
	16	IOPORT	P00 ~ P03、P05、P07、P12 ~ P17、P20 ~ P27、P30 ~ P34、P50 ~ P52、 P54 ~ P56、P60 ~ P67、P70 ~ P77、P80 ~ P83、P90 ~ P93、PA0 ~ PA7、 PB0 ~ PB7、PC0 ~ PC7、PD0 ~ PD7、PE0 ~ PE7

17.2.4 输出允许设定一览表

各端口的输出允许设定一览表如表 17.21 所示。

对应的输出信号的详细内容请参照各外围模块的寄存器说明。

能通过端口功能寄存器，更改各外围模块引脚名末尾带有 A ~ D 的任意一个字符的引脚功能。

表 17.21 各端口的输出允许设定一览表 (1 / 10) (145 引脚 TFLGA/144 引脚 LQFP)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
P00	SCI6	TxD6-A	PFFSCI.SCI6S=0	SCI6.SCR.TE=1
	PORT0	P00		PORT0.DDR.B0=1
P01	PORT0	P01		PORT0.DDR.B1=1
P02	SCI6	SCK6-A	PFFSCI.SCI6S=0	当 SCI6.SCMR.SMIF=1 时: SMR.GM=0、SCR.CKE[1:0]=01, 或者 SMR.GM=1 当 SCI6.SCMR.SMIF=0 时: SMR.CM=0、SCR.CKE[1:0]=01, 或者 SMR.CM=1、SCR.CKE[1]=0
	PORT0	P02		PORT0.DDR.B2=1
P03	DA	DA0		DACR.DAOE0=1
	PORT0	P03		PORT0.DDR.B3=1
P05	DA	DA1		DACR.DAOE1=1
	PORT0	P05		PORT0.DDR.B5=1
P07	PORT0	P07		PORT0.DDR.B7=1
P12	RIIC0	SCL0		RIIC0.ICCR1.ICE=1
	PORT1	P12		PORT1.DDR.B2=1
P13	TMR3	TMO3		TMO3.TCSR.OSA[1:0]=01/10/11 或者 TMO3.TCSR.OSB[1:0]=01/10/11
	SCI2	TxD2-A	PFFSCI.SCI2S=0	SCI2.SCR.TE=1
	RIIC0	SDA0		RIIC0.ICCR1.ICE=1
	PORT1	P13		PORT1.DDR.B3=1
P14	USB0	USB0_DPUPE-B	PFKUSB.USBE=1 PFKUSB.USBMD[1:0]=00	(信号的输出状态取决于外围模块的设定)
	PORT1	P14		PORT1.DDR.B4=1
P15	MTU0	MTIOC0B		MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	SCI3	SCK3-A	PFFSCI.SCI3S=0	当 SCI3.SCMR.SMIF=1 时: SMR.GM=0、SCR.CKE[1:0]=01, 或者 SMR.GM=1 当 SCI3.SCMR.SMIF=0 时: SMR.CM=0、SCR.CKE[1:0]=01, 或者 SMR.CM=1、SCR.CKE[1]=0
	PPG0	PO13		PPG0.NDERH.NDER13=1
	PORT1	P15		PORT1.DDR.B5=1
P16	USB0	USB0_VBUSEN-B	PFKUSB.USBE=1 PFKUSB.USBMD[1:0]=01	(信号的输出状态取决于外围模块的设定)
	MTU3	MTIOC3C-A	PFCMTU.MTUS2=0	MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	TMR2	TMO2		TMO2.TCSR.OSA[1:0]=01/10/11 或者 TMO2.TCSR.OSB[1:0]=01/10/11
	PPG0	PO14		PPG0.NDERH.NDER14=1
	PORT1	P16		PORT1.DDR.B6=1
P17	MTU3	MTIOC3A		MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	SCI3	TxD3-A	PFFSCI.SCI3S=0	SCI3.SCR.TE=1
	PPG0	PO15		PPG0.NDERH.NDER15=1
	PORT1	P17		PORT1.DDR.B7=1

表 17.21 各端口的输出允许设定一览表 (2 / 10) (145 引脚 TFLGA/144 引脚 LQFP)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
P20	MTU1	MTIOC1A		MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	SCI0	TxD0		SCI0.SCR.TE=1
	PPG0	PO0		PPG0.NDERL.NDER0=1
	RIIC1	SDA1		RIIC1.ICCR1.ICE=1
	PORT2	P20		PORT2.DDR.B0=1
P21	USB0	USB0_EXICEN	PFKUSB.USBE=1 PFKUSB.USBMD[1:0]=11	(信号的输出状态取决于外围模块的设定)
	MTU1	MTIOC1B		MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	PPG0	PO1		PPG0.NDERL.NDER1=1
	RIIC1	SCL1		RIIC1.ICCR1.ICE=1
	PORT2	P21		PORT2.DDR.B1=1
P22	USB0	USB0_DRPD	PFKUSB.USBE=1 PFKUSB.USBMD[1:0]=10/11	(信号的输出状态取决于外围模块的设定)
	MTU3	MTIOC3B-A	PFCMTU.MTUS3=0	MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	TMR0	TMO0		TMO0.TCSR.OSA[1:0]=01/10/11 或者 TMO0.TCSR.OSB[1:0]=01/10/11
	SCI0	SCK0		当 SCI0.SCMR.SMIF=1 时: SMR.GM=0、SCR.CKE[1:0]=01, 或者 SMR.GM=1 当 SCI0.SCMR.SMIF=0 时: SMR.CM=0、SCR.CKE[1:0]=01, 或者 SMR.CM=1、SCR.CKE[1]=0
	PPG0	PO2		PPG0.NDERL.NDER2=1
	PORT2	P22		PORT2.DDR.B2=1
P23	USB0	USB0_DPUPE-A	PFKUSB.USBE=1 PFKUSB.USBMD[1:0]=10/11	(信号的输出状态取决于外围模块的设定)
	EXDMAC0	EDACK0-B	PF7DMA.EDMA0S[1:0]=01	EXDMAC0.EDMOMD.DACKE=1 (信号的输出状态取决于 EXDMAC0 的设定)
	MTU3	MTIOC3D-A	PFCMTU.MTUS3=0	MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	SCI3	TxD3-B	PFFSCI.SCI3S=1	SCI3.SCR.TE=1
	PPG0	PO3		PPG0.NDERL.NDER3=1
	PORT2	P23		PORT2.DDR.B3=1
P24	外部总线 (CS)	CS4#-C	PF0CSE.CS4E=1 PF1CSS.CS4S[1:0]=11/10	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	USB0	USB0_VBUSEN-A	PFKUSB.USBE=1 PFKUSB.USBMD[1:0]=10/11	(信号的输出状态取决于外围模块的设定)
	MTU4	MTIOC4A-A	PFCMTU.MTUS4=0	MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	SCI3	SCK3-B	PFFSCI.SCI3S=1	当 SCI3.SCMR.SMIF=1 时: SMR.GM=0、SCR.CKE[1:0]=01, 或者 SMR.GM=1 当 SCI3.SCMR.SMIF=0 时: SMR.CM=0、SCR.CKE[1:0]=01, 或者 SMR.CM=1、SCR.CKE[1]=0
	PPG0	PO4		PPG0.NDERL.NDER4=1
	PORT2	P24		PORT2.DDR.B4=1
P25	外部总线 (CS)	CS5#-C	PF0CSE.CS5E=1 PF1CSS.CS5S[1:0]=11/10	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	USB0	USB0_DPRPD	PFKUSB.USBE=1 PFKUSB.USBMD[1:0]=11	(信号的输出状态取决于外围模块的设定)
	EXDMAC1	EDACK1-B	PF7DMA.EDMA1S[1:0]=01	EDMAC1.EDMOMD.DACKE=1 (信号的输出状态取决于 EXDMAC1 的设定)
	MTU4	MTIOC4C-A	PFCMTU.MTUS4=0	MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	PPG0	PO5		PPG0.NDERL.NDER5=1
	PORT2	P25		PORT2.DDR.B5=1

表 17.21 各端口的输出允许设定一览表 (3 / 10) (145 引脚 TFLGA/144 引脚 LQFP)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
P26	外部总线 (CS)	CS6#-C	PF0CSE.CS6E=1 PF1CSS.CS6S[1:0]=11/10	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	RSP1	MOSIB-A	PFHSPI.MOSIE=1 PFHSPI.RSPIS=0	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	MTU2	MTIOC2A		MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	TMR1	TMO1		TMO1.TCSR.OSA[1:0]=01/10/11 或者 TMO1.TCSR.OSB[1:0]=01/10/11
	SCI1	TxD1		SCI1.SCR.TE=1
	PPG0	PO6		PPG0.NDERL.NDER6=1
	PORT2	P26		PORT2.DDR.B6=1
P27	外部总线 (CS)	CS7#-C	PF0CSE.CS7E=1 PF1CSS.CS7S[1:0]=11/10	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	RSP1	RSPCKB-A	PFHSPI.RSPCKE=1 PFHSPI.RSPIS=0	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	MTU2	MTIOC2B		MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	SCI1	SCK1		当 SCI1.SCMR.SMIF=1 时: SMR.GM=0、SCR.CKE[1:0]=01, 或者 SMR.GM=1 当 SCI1.SCMR.SMIF=0 时: SMR.CM=0、SCR.CKE[1:0]=01, 或者 SMR.CM=1、SCR.CKE[1]=0
	PPG0	PO7		PPG0.NDERL.NDER7=1
	PORT2	P27		PORT2.DDR.B7=1
P30	RSP1	MISOB-A	PFHSPI.MISOE=1 PFHSPI.RSPIS=0	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	MTU4	MTIOC4B-A	PFCMTU.MTUS5=0	MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	PPG0	PO8		PPG0.NDERH.NDER8=1
	PORT3	P30		PORT3.DDR.B0=1
P31	RSP1	SSLB0-A	PFHSPI.SSL0E=1 PFHSPI.RSPIS=0	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	MTU4	MTIOC4D-A	PFCMTU.MTUS5=0	MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	PPG0	PO9		PPG0.NDERH.NDER9=1
	PORT3	P31		PORT3.DDR.B1=1
P32	CAN0	CTX0	PFJCAN.CAN0E=1	(信号的输出状态取决于外围模块的设定)
	MTU0	MTIOC0C		MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	SCI6	TxD6-B	PFFSCI.SCI6S=1	SCI6.SCR.TE=1
	RTC	RTCOUT		RCR2.RTCOE=1
	PPG0	PO10		PPG0.NDERH.NDER10=1
	PORT3	P32		PORT3.DDR.B2=1
P33	MTU0	MTIOC0D		MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	PPG0	PO11		PPG0.NDERH.NDER11=1
	PORT3	P33		PORT3.DDR.B3=1
P34	MTU0	MTIOC0A		MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	SCI6	SCK6-B	PFFSCI.SCI6S=1	当 SCI6.SCMR.SMIF=1 时: SMR.GM=0、SCR.CKE[1:0]=01, 或者 SMR.GM=1 当 SCI6.SCMR.SMIF=0 时: SMR.CM=0、SCR.CKE[1:0]=01, 或者 SMR.CM=1、SCR.CKE[1]=0
	PPG0	PO12		PPG0.NDERH.NDER12=1
	PORT3	P34		PORT3.DDR.B4=1
P35	(NA)	(NA)		
P40	PORT4	P40		PORT4.DDR.B0=1

表 17.21 各端口的输出允许设定一览表 (4 / 10) (145 引脚 TFLGA/144 引脚 LQFP)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
P41	PORT4	P41		PORT4.DDR.B1=1
P42	PORT4	P42		PORT4.DDR.B2=1
P43	PORT4	P43		PORT4.DDR.B3=1
P44	PORT4	P44		PORT4.DDR.B4=1
P45	PORT4	P45		PORT4.DDR.B5=1
P46	PORT4	P46		PORT4.DDR.B6=1
P47	PORT4	P47		PORT4.DDR.B7=1
P50	外部总线	WR# WR0#		SYSCR0.EXBE=1
	RSPI1	SSLB1-A	PFHSPI.SSL1E=1 PFHSPI.RSPIS=0	(信号的输出状态取决于外围模块的设定)
	SCI2	TxD2-B	PFSCI.SCI2S=1	SCI2.SCR.TE=1
	PORT5	P50		PORT5.DDR.B0=1
P51	外部总线	WR1# BC1#	PF5BUS.WR1BC1E=1	SYSCR0.EXBE=1
	RSPI1	SSLB2-A	PFHSPI.SSL2E=1 PFHSPI.RSPIS=0	(信号的输出状态取决于外围模块的设定)
	SCI2	SCK2	PFSCI.SCI2S=1	当 SCI2.SCMR.SMIF=1 时: SMR.GM=0、SCR.CKE[1:0]=01, 或者 SMR.GM=1 当 SCI2.SCMR.SMIF=0 时: SMR.CM=0、SCR.CKE[1:0]=01, 或者 SMR.CM=1、SCR.CKE[1]=0
	PORT5	P51		PORT5.DDR.B1=1
P52	外部总线	RD#	PF6BUS.MDSDE=1	SYSCR0.EXBE=1
	RSPI1	SSLB3-A	PFHSPI.SSL3E=1 PFHSPI.RSPIS=0	(信号的输出状态取决于外围模块的设定)
	PORT5	P52		PORT5.DDR.B2=1
P53	外部总线	BCLK		PORT5.DDR.B3=1
P54	EXDMAC0	EDACK0-C	PF7DMA.EDMA0S[1:0]=11/10	EXDMAC0.EDMOMD.DACKE=1 (信号的输出状态取决于 EXDMAC0 的设定)
	MTU4	MTIOC4B-B	PFCMTU.MTUS5=1	MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	PORT5	P54		PORT5.DDR.B4=1
P55	EtherNET	ET_EXOUT	PFENET.EE=1 PFENET.ENETE2=1	(信号的输出状态取决于外围模块的设定)
	MTU4	MTIOC4D-B	PFCMTU.MTUS5=1	MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	PORT5	P55		PORT5.DDR.B5=1
P56	EXDMAC1	EDACK1-C	PF7DMA.EDMA1S[1:0]=11/10	EDMAC1.EDMOMD.DACKE=1 (信号的输出状态取决于 EXDMAC1 的设定)
	MTU3	MTIOC3C-B	PFCMTU.MTUS2=1	MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	PORT5	P56		PORT5.DDR.B6=1
P60	外部总线 (CS)	CS0#-A	PF0CSE.CS0E=1 PF2CSS.CS0S=0	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	PORT6	P60		PORT6.DDR.B0=1
P61	SDRAM	SDCS#	PF6BUS.MDSDE=1	SYSCR0.EXBE=1
	外部总线 (CS)	CS1#-A	PF0CSE.CS1E=1 PF2CSS.CS1S[1:0]=00	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	PORT6	P61		PORT6.DDR.B1=1
P62	SDRAM	RAS#	PF6BUS.MDSDE=1	SYSCR0.EXBE=1
	外部总线 (CS)	CS2#-A	PF0CSE.CS2E=1 PF2CSS.CS2S[1:0]=00	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	PORT6	P62		PORT6.DDR.B2=1
P63	SDRAM	CAS#	PF6BUS.MDSDE=1	SYSCR0.EXBE=1
	外部总线 (CS)	CS3#-A	PF0CSE.CS3E=1 PF2CSS.CS3S[1:0]=00	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	PORT6	P63		PORT6.DDR.B3=1

表 17.21 各端口的输出允许设定一览表 (5 / 10) (145 引脚 TFLGA/144 引脚 LQFP)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
P64	SDRAM	WE#	PF6BUS.MDSDE=1	SYSCR0.EXBE=1
	外部总线 (CS)	CS4#-A	PF0CSE.CS4E=1 PF1CSS.CS4S[1:0]=00	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	PORT6	P64		PORT6.DDR.B4=1
P65	SDRAM	CKE	PF6BUS.MDSDE=1	SYSCR0.EXBE=1
	外部总线 (CS)	CS5#-A	PF0CSE.CS5E=1 PF1CSS.CS5S[1:0]=00	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	PORT6	P65		PORT6.DDR.B5=1
P66	SDRAM	DQM0	PF6BUS.MDSDE=1	SYSCR0.EXBE=1
	外部总线 (CS)	CS6#-A	PF0CSE.CS6E=1 PF1CSS.CS6S[1:0]=00	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	PORT6	P66		PORT6.DDR.B6=1
P67	SDRAM	DQM1	PF6BUS.MDSDE=1 PF6BUS.DQM1E=1	SYSCR0.EXBE=1
	外部总线 (CS)	CS7#-A	PF0CSE.CS7E=1 PF1CSS.CS7S[1:0]=00	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	PORT6	P67		PORT6.DDR.B7=1
P70	SDRAM	SDCLK	PF6BUS.SDCLKE=1	
	PORT7	P70		PORT7.DDR.B0=1
P71	外部总线 (CS)	CS1#-B	PF0CSE.CS1E=1 PF2CSS.CS1S[1:0]=01	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	EtherNET	ET_MDIO	PFENET.EE=1	(除引脚允许以外, 外围模块的设定有输入/输出转换功能)
	PORT7	P71		PORT7.DDR.B1=1
P72	外部总线 (CS)	CS2#-B	PF0CSE.CS2E=1 PF2CSS.CS2S[1:0]=01	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	EtherNET	ET_MDC	PFENET.EE=1	(信号的输出状态取决于外围模块的设定)
	PORT7	P72		PORT7.DDR.B2=1
P73	外部总线 (CS)	CS3#-B	PF0CSE.CS3E=1 PF2CSS.CS3S[1:0]=01	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	EtherNET	ET_WOL	PFENET.EE=1 PFENET.ENETE0=1	(信号的输出状态取决于外围模块的设定)
	PORT7	P73		PORT7.DDR.B3=1
P74	外部总线 (CS)	CS4#-B	PF0CSE.CS4E=1 PF1CSS.CS4S[1:0]=01	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	PORT7	P74		PORT7.DDR.B4=1
P75	外部总线 (CS)	CS5#-B	PF0CSE.CS5E=1 PF1CSS.CS5S[1:0]=01	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	PORT7	P75		PORT7.DDR.B5=1
P76	外部总线 (CS)	CS6#-B	PF0CSE.CS6E=1 PF1CSS.CS6S[1:0]=01	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	PORT7	P76		PORT7.DDR.B6=1
P77	外部总线 (CS)	CS7#-B	PF0CSE.CS7E=1 PF1CSS.CS7S[1:0]=01	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	PORT7	P77		PORT7.DDR.B7=1
P80	EtherNET	ET_TX_EN	PFENET.EE=1 PFENET.PHYMODE=1	(信号的输出状态取决于外围模块的设定)
	EtherNET	RMII_TXD_EN	PFENET.EE=1 PFENET.PHYMODE=0	(信号的输出状态取决于外围模块的设定)
	MTU3	MTIOC3B-B	PFMTU.MTUS3=1	MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	PORT8	P80		PORT8.DDR.B0=1

表 17.21 各端口的输出允许设定一览表 (6 / 10) (145 引脚 TFLGA/144 引脚 LQFP)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
P81	EtherNET	ET_ETXD0	PFENET.EE=1 PFENET.PHYMODE=1	(信号的输出状态取决于外围模块的设定)
	EtherNET	RMII_TXD0	PFENET.EE=1 PFENET.PHYMODE=0	(信号的输出状态取决于外围模块的设定)
	EXDMAC0	EDACK0-A	PF7DMA.EDMA0S[1:0]=00	EXDMAC0.EDMOMD.DACKE=1 (信号的输出状态取决于 EXDMAC0 的设定)
	MTU3	MTIOC3D-B	PFCMTU.MTUS3=1	MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	PORT8	P81		PORT8.DDR.B1=1
P82	EtherNET	ET_ETXD1	PFENET.EE=1 PFENET.PHYMODE=1	(信号的输出状态取决于外围模块的设定)
	EtherNET	RMII_TXD1	PFENET.EE=1 PFENET.PHYMODE=0	(信号的输出状态取决于外围模块的设定)
	MTU4	MTIOC4A-B	PFCMTU.MTUS4=1	MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	PORT8	P82		PORT8.DDR.B2=1
P83	EXDMAC1	EDACK1-A	PF7DMA.EDMA1S[1:0]=00	EDMAC1.EDMOMD.DACKE=1 (信号的输出状态取决于 EXDMAC1 的设定)
	MTU4	MTIOC4C-B	PFCMTU.MTUS4=1	MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	PORT8	P83		PORT8.DDR.B3=1
P90	外部总线	A16-B	PF3BUS.A16E=1 PF5BUS.ADRHMS=1	SYSCR0.EXBE=1
	PORT9	P90		PORT9.DDR.B0=1
P91	外部总线	A17-B	PF3BUS.A17E=1 PF5BUS.ADRHMS=1	SYSCR0.EXBE=1
	PORT9	P91		PORT9.DDR.B1=1
P92	外部总线	A18-B	PF3BUS.A18E=1 PF5BUS.ADRHMS=1	SYSCR0.EXBE=1
	PORT9	P92		PORT9.DDR.B2=1
P93	外部总线	A19-B	PF3BUS.A19E=1 PF5BUS.ADRHMS=1	SYSCR0.EXBE=1
	PORT9	P93		PORT9.DDR.B3=1
PA0	外部总线	A0 BC0#	PF4BUS.ADRLE[1:0]=01/10/11	SYSCR0.EXBE=1
	RSPI0	SSLA1-B	PFGSPI.SSL1E=1 PFGSPI.RSPIS=1	(信号的输出状态取决于外围模块的设定)
	MTU6	MTIOC6A		MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	PPG1	PO16		PPG1.NDERL.NDER0=1
	PORTA	PA0		PORTA.DDR.B0=1
PA1	外部总线	A1	PF4BUS.ADRLE[1:0]=01/10/11	SYSCR0.EXBE=1
	RSPI0	SSLA2-B	PFGSPI.SSL2E=1 PFGSPI.RSPIS=1	(信号的输出状态取决于外围模块的设定)
	MTU6	MTIOC6B		MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	PPG1	PO17		PPG1.NDERL.NDER1=1
	PORTA	PA1		PORTA.DDR.B1=1
PA2	外部总线	A2	PF4BUS.ADRLE[1:0]=01/10/11	SYSCR0.EXBE=1
	RSPI0	SSLA3-B	PFGSPI.SSL3E=1 PFGSPI.RSPIS=1	(信号的输出状态取决于外围模块的设定)
	MTU6	MTIOC6C		MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	PPG1	PO18		PPG1.NDERL.NDER2=1
	PORTA	PA2		PORTA.DDR.B2=1

表 17.21 各端口的输出允许设定一览表 (7 / 10) (145 引脚 TFLGA/144 引脚 LQFP)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
PA3	外部总线	A3	PF4BUS.ADRLE[1:0]=01/10/11	SYSCR0.EXBE=1
	MTU6	MTIOC6D		MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	PPG1	PO19		PPG1.NDERL.NDER3=1
	PORTA	PA3		PORTA.DDR.B3=1
PA4	外部总线	A4	PF4BUS.ADRLE[1:0]=10/11	SYSCR0.EXBE=1
	RSPIO	SSLA0-B	PFGSPI.SSL0E=1 PFGSPI.RSPIS=1	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	MTU7	MTIOC7A		MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	PPG1	PO20		PPG1.NDERL.NDER4=1
PORTA	PA4		PORTA.DDR.B4=1	
PA5	外部总线	A5	PF4BUS.ADRLE[1:0]=10/11	SYSCR0.EXBE=1
	RSPIO	RSPCKA-B	PFGSPI.RSPCKE=1 PFGSPI.RSPIS=1	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	MTU7	MTIOC7B		MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	PPG1	PO21		PPG1.NDERL.NDER5=1
PORTA	PA5		PORTA.DDR.B5=1	
PA6	外部总线	A6	PF4BUS.ADRLE[1:0]=10/11	SYSCR0.EXBE=1
	RSPIO	MOSIA-B	PFGSPI.MOSIE=1 PFGSPI.RSPIS=1	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	MTU8	MTIOC8A		MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	PPG1	PO22		PPG1.NDERL.NDER6=1
PORTA	PA6		PORTA.DDR.B6=1	
PA7	外部总线	A7	PF4BUS.ADRLE[1:0]=10/11	SYSCR0.EXBE=1
	RSPIO	MISOA-B	PFGSPI.MISOE=1 PFGSPI.RSPIS=1	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	MTU8	MTIOC8B		MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	PPG1	PO23		PPG1.NDERL.NDER7=1
PORTA	PA7		PORTA.DDR.B7=1	
PB0	外部总线	A8	PF4BUS.ADRLE[1:0]=11	SYSCR0.EXBE=1
	MTU9	MTIOC9A		MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	PPG1	PO24		PPG1.NDERH.NDER8=1
PORTB	PB0		PORTB.DDR.B0=1	
PB1	外部总线	A9	PF4BUS.ADRLE[1:0]=11	SYSCR0.EXBE=1
	MTU9	MTIOC9C		MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	PPG1	PO25		PPG1.NDERH.NDER9=1
PORTB	PB1		PORTB.DDR.B1=1	
PB2	外部总线	A10	PF4BUS.A10E=1	SYSCR0.EXBE=1
	MTU9	MTIOC9B		MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	PPG1	PO26		PPG1.NDERH.NDER10=1
PORTB	PB2		PORTB.DDR.B2=1	
PB3	外部总线	A11	PF4BUS.A11E=1	SYSCR0.EXBE=1
	MTU9	MTIOC9D		MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	PPG1	PO27		PPG1.NDERH.NDER11=1
PORTB	PB3		PORTB.DDR.B3=1	

表 17.21 各端口的输出允许设定一览表 (8 / 10) (145 引脚 TFLGA/144 引脚 LQFP)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
PB4	外部总线	A12	PF4BUS.A12E=1	SYSCR0.EXBE=1
	MTU10	MTIOC10A		MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	PPG1	PO28		PPG1.NDERH.NDER12=1
	PORTB	PB4		PORTB.DDR.B4=1
PB5	外部总线	A13	PF4BUS.A13E=1	SYSCR0.EXBE=1
	MTU10	MTIOC10C		MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	PPG1	PO29		PPG1.NDERH.NDER13=1
	PORTB	PB5		PORTB.DDR.B5=1
PB6	外部总线	A14	PF4BUS.A14E=1	SYSCR0.EXBE=1
	MTU10	MTIOC10B		MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	PPG1	PO30		PPG1.NDERH.NDER14=1
	PORTB	PB6		PORTB.DDR.B6=1
PB7	外部总线	A15	PF4BUS.A15E=1	SYSCR0.EXBE=1
	MTU10	MTIOC10D		MTU 的设定请参照“表 17.22 MTU 各端口的输出允许设定一览表”。
	PPG1	PO31		PPG1.NDERH.NDER15=1
	PORTB	PB7		PORTB.DDR.B7=1
PC0	外部总线	A16-A	PF3BUS.A16E=1 PF5BUS.ADRHMS=0	SYSCR0.EXBE=1
	RSPI0	SSLA1-A	PFGSPI.SSL1E=1 PFGSPI.RSPIS=0	(信号的输出状态取决于外围模块的设定)
	PORTC	PC0		PORTC.DDR.B0=1
PC1	外部总线	A17-A	PF3BUS.A17E=1 PF5BUS.ADRHMS=0	SYSCR0.EXBE=1
	RSPI0	SSLA2-A	PFGSPI.SSL2E=1 PFGSPI.RSPIS=0	(信号的输出状态取决于外围模块的设定)
	SCI5	SCK5		当 SCI5.SCMR.SMIF=1 时: SMR.GM=0、SCR.CKE[1:0]=01, 或者 SMR.GM=1 当 SCI5.SCMR.SMIF=0 时: SMR.CM=0、SCR.CKE[1:0]=01, 或者 SMR.CM=1、SCR.CKE[1]=0
	PORTC	PC1		PORTC.DDR.B1=1
PC2	外部总线	A18-A	PF3BUS.A18E=1 PF5BUS.ADRHMS=0	SYSCR0.EXBE=1
	RSPI0	SSLA3-A	PFGSPI.SSL3E=1 PFGSPI.RSPIS=0	(信号的输出状态取决于外围模块的设定)
	PORTC	PC2		PORTC.DDR.B2=1
PC3	外部总线	A19-A	PF3BUS.A19E=1 PF5BUS.ADRHMS=0	SYSCR0.EXBE=1
	EtherNET	ET_TX_ER	PFENET.EE=1 PFENET.ENETE3=1	(信号的输出状态取决于外围模块的设定)
	SCI5	TxD5		SCI5.SCR.TE=1
	PORTC	PC3		PORTC.DDR.B3=1
PC4	外部总线	A20	PF3BUS.A20E=1	SYSCR0.EXBE=1
	外部总线 (CS)	CS3#-C	PF0CSE.CS3E=1 PF2CSS.CS3S[1:0]=11/10	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	RSPI0	SSLA0-A	PFGSPI.SSL0E=1 PFGSPI.RSPIS=0	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	PORTC	PC4		PORTC.DDR.B4=1

表 17.21 各端口的输出允许设定一览表 (9 / 10) (145 引脚 TFLGA/144 引脚 LQFP)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
PC5	外部总线	A21	PF3BUS.A21E=1	SYSCR0.EXBE=1
	外部总线 (CS)	CS2#-C	PF0CSE.CS2E=1 PF2CSS.CS2S[1:0]=11/10	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	RSPI0	RSPCKA-A	PF0GPI.RSPCKE=1 PF0GPI.RSPIS=0	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	EtherNET	ET_ETXD2	PFENET.EE=1 PFENET.PHYMODE=1	(信号的输出状态取决于外围模块的设定)
	PORTC	PC5		PORTC.DDR.B5=1
PC6	外部总线	A22	PF3BUS.A22E=1	SYSCR0.EXBE=1
	外部总线 (CS)	CS1#-C	PF0CSE.CS1E=1 PF2CSS.CS1S[1:0]=11/10	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	RSPI0	MOSIA-A	PF0GPI.MOSIE=1 PF0GPI.RSPIS=0	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	EtherNET	ET_ETXD3	PFENET.EE=1 PFENET.PHYMODE=1	(信号的输出状态取决于外围模块的设定)
	PORTC	PC6		PORTC.DDR.B6=1
PC7	外部总线	A23	PF3BUS.A23E=1	SYSCR0.EXBE=1
	外部总线 (CS)	CS0#-B	PF0CSE.CS0E=1 PF2CSS.CS0S=1	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	RSPI0	MISOA-A	PF0GPI.MISOE=1 PF0GPI.RSPIS=0	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	PORTC	PC7		PORTC.DDR.B7=1
PD0	外部总线 (数据)	D0		SYSCR0.EXBE=1
	PORTD	PD0		PORTD.DDR.B0=1
PD1	外部总线 (数据)	D1		SYSCR0.EXBE=1
	PORTD	PD1		PORTD.DDR.B1=1
PD2	外部总线 (数据)	D2		SYSCR0.EXBE=1
	PORTD	PD2		PORTD.DDR.B2=1
PD3	外部总线 (数据)	D3		SYSCR0.EXBE=1
	PORTD	PD3		PORTD.DDR.B3=1
PD4	外部总线 (数据)	D4		SYSCR0.EXBE=1
	PORTD	PD4		PORTD.DDR.B4=1
PD5	外部总线 (数据)	D5		SYSCR0.EXBE=1
	PORTD	PD5		PORTD.DDR.B5=1
PD6	外部总线 (数据)	D6		SYSCR0.EXBE=1
	PORTD	PD6		PORTD.DDR.B6=1
PD7	外部总线 (数据)	D7		SYSCR0.EXBE=1
	PORTD	PD7		PORTD.DDR.B7=1
PE0	外部总线 (数据)	D8	PF5BUS.DHE=1	SYSCR0.EXBE=1
	RSPI1	SSLB1-B	PFHSP1.SSL1E=1 PFHSP1.RSPIS=1	(信号的输出状态取决于外围模块的设定)
	PORTE	PE0		PORTE.DDR.B0=1
PE1	外部总线 (数据)	D9	PF5BUS.DHE=1	SYSCR0.EXBE=1
	RSPI1	SSLB2-B	PFHSP1.SSL2E=1 PFHSP1.RSPIS=1	(信号的输出状态取决于外围模块的设定)
	PORTE	PE1		PORTE.DDR.B1=1

表 17.21 各端口的输出允许设定一览表 (10 / 10) (145 引脚 TFLGA/144 引脚 LQFP)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
PE2	外部总线 (数据)	D10	PF5BUS.DHE=1	SYSCR0.EXBE=1
	RSPI1	SSLB3-B	PFHSPI.SSL3E=1 PFHSPI.RSPIS=1	(信号的输出状态取决于外围模块的设定)
	PORTE	PE2		PORTE.DDR.B2=1
PE3	外部总线 (数据)	D11	PF5BUS.DHE=1	SYSCR0.EXBE=1
	PORTE	PE3		PORTE.DDR.B3=1
PE4	外部总线 (数据)	D12	PF5BUS.DHE=1	SYSCR0.EXBE=1
	RSPI1	SSLB0-B	PFHSPI.SSL0E=1 PFHSPI.RSPIS=1	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	PORTE	PE4		PORTE.DDR.B4=1
PE5	外部总线 (数据)	D13	PF5BUS.DHE=1	SYSCR0.EXBE=1
	RSPI1	RSPCKB-B	PFHSPI.RSPCKE=1 PFHSPI.RSPIS=1	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	PORTE	PE5		PORTE.DDR.B5=1
PE6	外部总线 (数据)	D14	PF5BUS.DHE=1	SYSCR0.EXBE=1
	RSPI1	MOSIB-B	PFHSPI.MOSIE=1 PFHSPI.RSPIS=1	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	PORTE	PE6		PORTE.DDR.B6=1
PE7	外部总线 (数据)	D15	PF5BUS.DHE=1	SYSCR0.EXBE=1
	RSPI1	MISOB-B	PFHSPI.MISOE=1 PFHSPI.RSPIS=1	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	PORTE	PE7		PORTE.DDR.B7=1

表 17.22 MTU 各端口的输出允许设定一览表 (1 / 6)

通道	引脚名	运行模式	模式选择位	各端口的输出允许设定	
MTU0	MTIOC0A	普通运行	MTU0.TMDR.MD[3:0] = 0000	MTU0.TIORH.IOA[3] = 0 MTU0.TIORH.IOA[1:0] = 01/10/11	
		PWM 模式 1	MTU0.TMDR.MD[3:0] = 0010	MTU0.TIORH.IOA[1:0] = 01/10/11	
		PWM 模式 2	MTU0.TMDR.MD[3:0] = 0011	MTU0.TCR.CCLR[2:0] = 001 以 \bar{O} MTU0.TIORH.IOA[1:0] = 01/10/11	
	MTIOC0B	普通运行	MTU0.TMDR.MD[3:0] = 0000	MTU0.TIORH.IOB[3] = 0 MTU0.TIORH.IOB[1:0] = 01/10/11	
		PWM 模式 2	MTU0.TMDR.MD[3:0] = 0011	MTU0.TCR.CCLR[2:0] = 010 以 \bar{O} MTU0.TIORH.IOB[1:0] = 01/10/11	
	MTIOC0C	普通运行	MTU0.TMDR.MD[3:0] = 0000	MTU0.TMDR.BFA = 0 MTU0.TIORL.IOC[3] = 0 MTU0.TIORL.IOC[1:0] = 01/10/11	
		PWM 模式 1	MTU0.TMDR.MD[3:0] = 0010	MTU0.TMDR.BFA = 0 MTU0.TMDR.BFB = 0 MTU0.TIORL.IOC[1:0] = 01/10/11	
		PWM 模式 2	MTU0.TMDR.MD[3:0] = 0011	MTU0.TMDR.BFA = 0 MTU0.TCR.CCLR[2:0] = 101 以 \bar{O} MTU0.TIORL.IOC[1:0] = 01/10/11	
	MTIOC0D	普通运行	MTU0.TMDR.MD[3:0] = 0000	MTU0.TMDR.BFB = 0 MTU0.TIORL.IOD[3] = 0 MTU0.TIORL.IOD[1:0] = 01/10/11	
		PWM 模式 2	MTU0.TMDR.MD[3:0] = 0011	MTU0.TMDR.BFB = 0 MTU0.TCR.CCLR[2:0] = 110 以 \bar{O} MTU0.TIORL.IOD[1:0] = 01/10/11	
	MTU1	MTIOC1A	普通运行	MTU1.TMDR.MD[3:0] = 0000	MTU1.TIOR.IOA[3] = 0 MTU1.TIOR.IOA[1:0] = 01/10/11
			PWM 模式 1	MTU1.TMDR.MD[3:0] = 0010	MTU1.TIOR.IOA[1:0] = 01/10/11
PWM 模式 2			MTU1.TMDR.MD[3:0] = 0011	MTU1.TCR.CCLR[1:0] = 01 以 \bar{O} MTU1.TIOR.IOA[1:0] = 01/10/11	
相位计数模式 1			MTU1.TMDR.MD[3:0] = 0100	MTU1.TIOR.IOA[3] = 0	
相位计数模式 2			MTU1.TMDR.MD[3:0] = 0101	MTU1.TIOR.IOA[1:0] = 01/10/11	
相位计数模式 3			MTU1.TMDR.MD[3:0] = 0110		
相位计数模式 4			MTU1.TMDR.MD[3:0] = 0111		
MTIOC1B		普通运行	MTU1.TMDR.MD[3:0] = 0000	MTU1.TIOR.IOB[3] = 0 MTU1.TIOR.IOB[1:0] = 01/10/11	
		PWM 模式 2	MTU1.TMDR.MD[3:0] = 0011	MTU1.TCR.CCLR[1:0] = 10 以 \bar{O} MTU1.TIOR.IOB[1:0] = 01/10/11	
		相位计数模式 1	MTU1.TMDR.MD[3:0] = 0100	MTU1.TIOR.IOB[3] = 0	
		相位计数模式 2	MTU1.TMDR.MD[3:0] = 0101	MTU1.TIOR.IOB[1:0] = 01/10/11	
		相位计数模式 3	MTU1.TMDR.MD[3:0] = 0110		
MTU2	MTIOC2A	普通运行	MTU2.TMDR.MD[3:0] = 0000	MTU2.TIOR.IOA[3] = 0 MTU2.TIOR.IOA[1:0] = 01/10/11	
		PWM 模式 1	MTU2.TMDR.MD[3:0] = 0010	MTU2.TIOR.IOA[1:0] = 01/10/11	
		PWM 模式 2	MTU2.TMDR.MD[3:0] = 0011	MTU2.TCR.CCLR[1:0] = 01 以 \bar{O} MTU2.TIOR.IOA[1:0] = 01/10/11	
		相位计数模式 1	MTU2.TMDR.MD[3:0] = 0100	MTU2.TIOR.IOA[3] = 0	
		相位计数模式 2	MTU2.TMDR.MD[3:0] = 0101	MTU2.TIOR.IOA[1:0] = 01/10/11	
		相位计数模式 3	MTU2.TMDR.MD[3:0] = 0110		
		相位计数模式 4	MTU2.TMDR.MD[3:0] = 0111		

表 17.22 MTU 各端口的输出允许设定一览表 (2 / 6)

通道	引脚名	运行模式	模式选择位	各端口的输出允许设定	
MTU2	MTIOC2B	普通运行	MTU2.TMDR.MD[3:0] = 0000	MTU2.TIOR.IOB[3] = 0 MTU2.TIOR.IOB[1:0] = 01/10/11	
		PWM 模式 2	MTU2.TMDR.MD[3:0] = 0011	MTU2.TCR.CCLR[1:0] = 10 以 \bar{O} MTU2.TIOR.IOB[1:0] = 01/10/11	
		相位计数模式 1	MTU2.TMDR.MD[3:0] = 0100	MTU2.TIOR.IOB[3] = 0 MTU2.TIOR.IOB[1:0] = 01/10/11	
		相位计数模式 2	MTU2.TMDR.MD[3:0] = 0101		
		相位计数模式 3	MTU2.TMDR.MD[3:0] = 0110		
		相位计数模式 4	MTU2.TMDR.MD[3:0] = 0111		
MTU3	MTIOC3A	普通运行	MTU3.TMDR.MD[3:0] = 0000	MTU3.TIORH.IOA[3] = 0 MTU3.TIORH.IOA[1:0] = 01/10/11	
		PWM 模式 1	MTU3.TMDR.MD[3:0] = 0010	MTU3.TIORH.IOA[1:0] = 01/10/11	
		复位同步 PWM 模式	MTU3.TMDR.MD[3:0] = 1000	MTUA.TOCR1.PSYE = 1	
		互补 PWM 模式 1	MTU3.TMDR.MD[3:0] = 1101		
		互补 PWM 模式 2	MTU3.TMDR.MD[3:0] = 1110		
		互补 PWM 模式 3	MTU3.TMDR.MD[3:0] = 1111		
	MTIOC3B	普通运行	MTU3.TMDR.MD[3:0] = 0000	MTUA.TOER.OE3B = 1 MTU3.TIORH.IOB[3] = 0 MTU3.TIORH.IOB[1:0] = 01/10/11	
		复位同步 PWM 模式	MTU3.TMDR.MD[3:0] = 1000	MTUA.TOER.OE3B = 1	
		互补 PWM 模式 1	MTU3.TMDR.MD[3:0] = 1101		
		互补 PWM 模式 2	MTU3.TMDR.MD[3:0] = 1110		
		互补 PWM 模式 3	MTU3.TMDR.MD[3:0] = 1111		
	MTIOC3C	普通运行	MTU3.TMDR.MD[3:0] = 0000	MTU3.TMDR.BFA = 0 MTU3.TIORL.IOC[3] = 0 MTU3.TIORL.IOC[1:0] = 01/10/11	
		PWM 模式 1	MTU3.TMDR.MD[3:0] = 0010	MTU3.TMDR.BFA = 0 MTU3.TMDR.BFB = 0 MTU3.TIORL.IOC[1:0] = 01/10/11	
	MTIOC3D	普通运行	MTU3.TMDR.MD[3:0] = 0000	MTUA.TOER.OE3D = 1 MTU3.TMDR.BFB = 0 MTU3.TIORL.IOD[3] = 0 MTU3.TIORL.IOD[1:0] = 01/10/11	
		复位同步 PWM 模式	MTU3.TMDR.MD[3:0] = 1000	MTUA.TOER.OE3D = 1	
		互补 PWM 模式 1	MTU3.TMDR.MD[3:0] = 1101		
		互补 PWM 模式 2	MTU3.TMDR.MD[3:0] = 1110		
		互补 PWM 模式 3	MTU3.TMDR.MD[3:0] = 1111		
		MTU4	MTIOC4A	普通运行	MTU4.TMDR.MD[3:0] = 0000
	PWM 模式 1			MTU4.TMDR.MD[3:0] = 0010	MTUA.TOER.OE4A = 1 MTU4.TIORH.IOA[1:0] = 01/10/11
	不能设定			MTU4.TMDR.MD[3:0] = 1000	MTUA.TOER.OE4A = 1
不能设定	MTU4.TMDR.MD[3:0] = 1101				
不能设定	MTU4.TMDR.MD[3:0] = 1110				
不能设定	MTU4.TMDR.MD[3:0] = 1111				
复位同步 PWM 模式 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1000 MTU4.TMDR.MD[3:0] = 0000			MTUA.TOER.OE4A = 1	
互补 PWM 模式 1 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1101 MTU4.TMDR.MD[3:0] = 0000				
互补 PWM 模式 2 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1110 MTU4.TMDR.MD[3:0] = 0000				
互补 PWM 模式 3 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1111 MTU4.TMDR.MD[3:0] = 0000				

表 17.22 MTU 各端口的输出允许设定一览表 (3 / 6)

通道	引脚名	运行模式	模式选择位	各端口的输出允许设定
MTU4	MTIOC4B	普通运行	MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4B = 1 MTU4.TIORH.IOB[3] = 0 MTU4.TIORH.IOB[1:0] = 01/10/11
		不能设定	MTU4.TMDR.MD[3:0] = 1000	MTUA.TOER.OE4B = 1
		不能设定	MTU4.TMDR.MD[3:0] = 1101	
		不能设定	MTU4.TMDR.MD[3:0] = 1110	
		不能设定	MTU4.TMDR.MD[3:0] = 1111	
		复位同步 PWM 模式 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1000 MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4B = 1
		互补 PWM 模式 1 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1101 MTU4.TMDR.MD[3:0] = 0000	
		互补 PWM 模式 2 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1110 MTU4.TMDR.MD[3:0] = 0000	
		互补 PWM 模式 3 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1111 MTU4.TMDR.MD[3:0] = 0000	
	MTIOC4C	普通运行	MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4C = 1 MTU4.TMDR.BFA = 0 MTU4.TIORL.IOC[3] = 0 MTU4.TIORL.IOC[1:0] = 01/10/11
		PWM 模式 1	MTU4.TMDR.MD[3:0] = 0010	MTUA.TOER.OE4C = 1 MTU4.TMDR.BFA = 0 MTU4.TMDR.BFB = 0 MTU4.TIORL.IOC[1:0] = 01/10/11
		不能设定	MTU4.TMDR.MD[3:0] = 1000	
		不能设定	MTU4.TMDR.MD[3:0] = 1101	
		不能设定	MTU4.TMDR.MD[3:0] = 1110	
		不能设定	MTU4.TMDR.MD[3:0] = 1111	MTUA.TOER.OE4C = 1 MTU4.TMDR.BFA = 0
		复位同步 PWM 模式 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1000 MTU4.TMDR.MD[3:0] = 0000	
		互补 PWM 模式 1 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1101 MTU4.TMDR.MD[3:0] = 0000	
		互补 PWM 模式 2 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1110 MTU4.TMDR.MD[3:0] = 0000	
	互补 PWM 模式 3 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1111 MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4C = 1 MTU4.TMDR.BFA = 0	
	MTIOC4D	普通运行	MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4D = 1 MTU4.TMDR.BFB = 0 MTU4.TIORL.IOD[3] = 0 MTU4.TIORL.IOD[1:0] = 01/10/11
		不能设定	MTU4.TMDR.MD[3:0] = 1000	MTUA.TOER.OE4D = 1
		不能设定	MTU4.TMDR.MD[3:0] = 1101	
		不能设定	MTU4.TMDR.MD[3:0] = 1110	
		不能设定	MTU4.TMDR.MD[3:0] = 1111	
		复位同步 PWM 模式 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1000 MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4D = 1
		互补 PWM 模式 1 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1101 MTU4.TMDR.MD[3:0] = 0000	
		互补 PWM 模式 2 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1110 MTU4.TMDR.MD[3:0] = 0000	
		互补 PWM 模式 3 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1111 MTU4.TMDR.MD[3:0] = 0000	

表 17.22 MTU 各端口的输出允许设定一览表 (4 / 6)

通道	引脚名	运行模式	模式选择位	各端口的输出允许设定	
MTU6	MTIOC6A	普通运行	MTU6.TMDR.MD[3:0] = 0000	MTU6.TIORH.IOA[3] = 0 MTU6.TIORH.IOA[1:0] = 01/10/11	
		PWM 模式 1	MTU6.TMDR.MD[3:0] = 0010	MTU6.TIORH.IOA[1:0] = 01/10/11	
		PWM 模式 2	MTU6.TMDR.MD[3:0] = 0011	MTU6.TCR.CCLR[2:0] = 001 以 \bar{O} MTU6.TIORH.IOA[1:0] = 01/10/11	
	MTIOC6B	普通运行	MTU6.TMDR.MD[3:0] = 0000	MTU6.TIORH.IOB[3] = 0 MTU6.TIORH.IOB[1:0] = 01/10/11	
		PWM 模式 2	MTU6.TMDR.MD[3:0] = 0011	MTU6.TCR.CCLR[2:0] = 010 以 \bar{O} MTU6.TIORH.IOB[1:0] = 01/10/11	
	MTIOC6C	普通运行	MTU6.TMDR.MD[3:0] = 0000	MTU6.TMDR.BFA = 0 MTU6.TIORL.IOC[3] = 0 MTU6.TIORL.IOC[1:0] = 01/10/11	
		PWM 模式 1	MTU6.TMDR.MD[3:0] = 0010	MTU6.TMDR.BFA = 0 MTU6.TMDR.BFB = 0 MTU6.TIORL.IOC[1:0] = 01/10/11	
		PWM 模式 2	MTU6.TMDR.MD[3:0] = 0011	MTU6.TMDR.BFA = 0 MTU6.TCR.CCLR[2:0] = 101 以 \bar{O} MTU6.TIORL.IOC[1:0] = 01/10/11	
	MTIOC6D	普通运行	MTU6.TMDR.MD[3:0] = 0000	MTU6.TMDR.BFB = 0 MTU6.TIORL.IOD[3] = 0 MTU6.TIORL.IOD[1:0] = 01/10/11	
		PWM 模式 2	MTU6.TMDR.MD[3:0] = 0011	MTU6.TMDR.BFB = 0 MTU6.TCR.CCLR[2:0] = 110 以 \bar{O} MTU6.TIORL.IOD[1:0] = 01/10/11	
	MTU7	MTIOC7A	普通运行	MTU7.TMDR.MD[3:0] = 0000	MTU7.TIOR.IOA[3] = 0 MTU7.TIOR.IOA[1:0] = 01/10/11
			PWM 模式 1	MTU7.TMDR.MD[3:0] = 0010	MTU7.TIOR.IOA[1:0] = 01/10/11
PWM 模式 2			MTU7.TMDR.MD[3:0] = 0011	MTU7.TCR.CCLR[1:0] = 01 以 \bar{O} MTU7.TIOR.IOA[1:0] = 01/10/11	
相位计数模式 1			MTU7.TMDR.MD[3:0] = 0100	MTU7.TIOR.IOA[3] = 0 MTU7.TIOR.IOA[1:0] = 01/10/11	
相位计数模式 2			MTU7.TMDR.MD[3:0] = 0101		
相位计数模式 3			MTU7.TMDR.MD[3:0] = 0110		
相位计数模式 4			MTU7.TMDR.MD[3:0] = 0111		
MTIOC7B		普通运行	MTU7.TMDR.MD[3:0] = 0000	MTU7.TIOR.IOB[3] = 0 MTU7.TIOR.IOB[1:0] = 01/10/11	
		PWM 模式 2	MTU7.TMDR.MD[3:0] = 0011	MTU7.TCR.CCLR[1:0] = 10 以 \bar{O} MTU7.TIOR.IOB[1:0] = 01/10/11	
		相位计数模式 1	MTU7.TMDR.MD[3:0] = 0100	MTU7.TIOR.IOB[3] = 0 MTU7.TIOR.IOB[1:0] = 01/10/11	
		相位计数模式 2	MTU7.TMDR.MD[3:0] = 0101		
		相位计数模式 3	MTU7.TMDR.MD[3:0] = 0110		
相位计数模式 4	MTU7.TMDR.MD[3:0] = 0111				
MTU8	MTIOC8A	普通运行	MTU8.TMDR.MD[3:0] = 0000	MTU8.TIOR.IOA[3] = 0 MTU8.TIOR.IOA[1:0] = 01/10/11	
		PWM 模式 1	MTU8.TMDR.MD[3:0] = 0010	MTU8.TIOR.IOA[1:0] = 01/10/11	
		PWM 模式 2	MTU8.TMDR.MD[3:0] = 0011	MTU8.TCR.CCLR[1:0] = 01 以 \bar{O} MTU8.TIOR.IOA[1:0] = 01/10/11	
		相位计数模式 1	MTU8.TMDR.MD[3:0] = 0100	MTU8.TIOR.IOA[3] = 0 MTU8.TIOR.IOA[1:0] = 01/10/11	
		相位计数模式 2	MTU8.TMDR.MD[3:0] = 0101		
		相位计数模式 3	MTU8.TMDR.MD[3:0] = 0110		
		相位计数模式 4	MTU8.TMDR.MD[3:0] = 0111		

表 17.22 MTU 各端口的输出允许设定一览表 (5 / 6)

通道	引脚名	运行模式	模式选择位	各端口的输出允许设定	
MTU8	MTIOC8B	普通运行	MTU8.TMDR.MD[3:0] = 0000	MTU8.TIOR.IOB[3] = 0 MTU8.TIOR.IOB[1:0] = 01/10/11	
		PWM 模式 2	MTU8.TMDR.MD[3:0] = 0011	MTU8.TCR.CCLR[1:0] = 10 以 \bar{O} MTU8.TIOR.IOB[1:0] = 01/10/11	
		相位计数模式 1	MTU8.TMDR.MD[3:0] = 0100	MTU8.TIOR.IOB[3] = 0 MTU8.TIOR.IOB[1:0] = 01/10/11	
		相位计数模式 2	MTU8.TMDR.MD[3:0] = 0101		
		相位计数模式 3	MTU8.TMDR.MD[3:0] = 0110		
		相位计数模式 4	MTU8.TMDR.MD[3:0] = 0111		
MTU9	MTIOC9A	普通运行	MTU9.TMDR.MD[3:0] = 0000	MTU9.TIORH.IOA[3] = 0 MTU9.TIORH.IOA[1:0] = 01/10/11	
		PWM 模式 1	MTU9.TMDR.MD[3:0] = 0010	MTU9.TIORH.IOA[1:0] = 01/10/11	
		复位同步 PWM 模式	MTU9.TMDR.MD[3:0] = 1000	MTUB.TOER.PSYE = 1	
		互补 PWM 模式 1	MTU9.TMDR.MD[3:0] = 1101		
		互补 PWM 模式 2	MTU9.TMDR.MD[3:0] = 1110		
		互补 PWM 模式 3	MTU9.TMDR.MD[3:0] = 1111		
	MTIOC9B	普通运行	MTU9.TMDR.MD[3:0] = 0000	MTUB.TOER.OE3B = 1 MTU9.TIORH.IOB[3] = 0 MTU9.TIORH.IOB[1:0] = 01/10/11	
		复位同步 PWM 模式	MTU9.TMDR.MD[3:0] = 1000	MTUB.TOER.OE3B = 1	
		互补 PWM 模式 1	MTU9.TMDR.MD[3:0] = 1101		
		互补 PWM 模式 2	MTU9.TMDR.MD[3:0] = 1110		
		互补 PWM 模式 3	MTU9.TMDR.MD[3:0] = 1111		
	MTIOC9C	普通运行	MTU9.TMDR.MD[3:0] = 0000	MTU9.TMDR.BFA = 0 MTU9.TIORL.IOC[3] = 0 MTU9.TIORL.IOC[1:0] = 01/10/11	
		PWM 模式 1	MTU9.TMDR.MD[3:0] = 0010	MTU9.TMDR.BFA = 0 MTU9.TMDR.BFB = 0 MTU9.TIORL.IOC[1:0] = 01/10/11	
	MTIOC9D	普通运行	MTU9.TMDR.MD[3:0] = 0000	MTUB.TOER.OE3D = 1 MTU9.TMDR.BFB = 0 MTU9.TIORL.IOD[3] = 0 MTU9.TIORL.IOD[1:0] = 01/10/11	
		复位同步 PWM 模式	MTU9.TMDR.MD[3:0] = 1000	MTUB.TOER.OE3D = 1	
		互补 PWM 模式 1	MTU9.TMDR.MD[3:0] = 1101		
		互补 PWM 模式 2	MTU9.TMDR.MD[3:0] = 1110		
		互补 PWM 模式 3	MTU9.TMDR.MD[3:0] = 1111		
		MTU10	MTIOC10A	普通运行	MTU10.TMDR.MD[3:0] = 0000
	PWM 模式 1			MTU10.TMDR.MD[3:0] = 0010	MTUB.TOER.OE4A = 1 MTU10.TIORH.IOA[1:0] = 01/10/11
	不能设定			MTU10.TMDR.MD[3:0] = 1000	MTUB.TOER.OE4A = 1
	不能设定			MTU10.TMDR.MD[3:0] = 1101	
	不能设定			MTU10.TMDR.MD[3:0] = 1110	
	不能设定			MTU10.TMDR.MD[3:0] = 1111	
复位同步 PWM 模式 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1000 MTU10.TMDR.MD[3:0] = 0000			MTUB.TOER.OE4A = 1	
互补 PWM 模式 1 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1101 MTU10.TMDR.MD[3:0] = 0000				
互补 PWM 模式 2 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1110 MTU10.TMDR.MD[3:0] = 0000				
互补 PWM 模式 3 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1111 MTU10.TMDR.MD[3:0] = 0000				

表 17.22 MTU 各端口的输出允许设定一览表 (6 / 6)

通道	引脚名	运行模式	模式选择位	各端口的输出允许设定	
MTU10	MTIOC10B	普通运行	MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4B = 1 MTU10.TIORH.IOB[3] = 0 MTU10.TIORH.IOB[1:0] = 01/10/11	
		不能设定	MTU10.TMDR.MD[3:0] = 1000	MTUB.TOER.OE4B = 1	
		不能设定	MTU10.TMDR.MD[3:0] = 1101		
		不能设定	MTU10.TMDR.MD[3:0] = 1110		
		不能设定	MTU10.TMDR.MD[3:0] = 1111		
		复位同步 PWM 模式 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1000 MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4B = 1	
		互补 PWM 模式 1 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1101 MTU10.TMDR.MD[3:0] = 0000		
		互补 PWM 模式 2 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1110 MTU10.TMDR.MD[3:0] = 0000		
		互补 PWM 模式 3 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1111 MTU10.TMDR.MD[3:0] = 0000		
	MTIOC10C	普通运行	MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4C = 1 MTU10.TMDR.BFA = 0 MTU10.TIORL.IOC[3] = 0 MTU10.TIORL.IOC[1:0] = 01/10/11	
		PWM 模式 1	MTU10.TMDR.MD[3:0] = 0010	MTUB.TOER.OE4C = 1 MTU10.TMDR.BFA = 0 MTU10.TMDR.BFB = 0 MTU10.TIORL.IOC[1:0] = 01/10/11	
		不能设定	MTU10.TMDR.MD[3:0] = 1000	MTUB.TOER.OE4C = 1 MTU10.TMDR.BFA = 0	
		不能设定	MTU10.TMDR.MD[3:0] = 1101		
		不能设定	MTU10.TMDR.MD[3:0] = 1110		
		不能设定	MTU10.TMDR.MD[3:0] = 1111		
		复位同步 PWM 模式 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1000 MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4C = 1 MTU10.TMDR.BFA = 0	
		互补 PWM 模式 1 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1101 MTU10.TMDR.MD[3:0] = 0000		
		互补 PWM 模式 2 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1110 MTU10.TMDR.MD[3:0] = 0000		
		互补 PWM 模式 3 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1111 MTU10.TMDR.MD[3:0] = 0000		
		MTIOC10D	普通运行	MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4D = 1 MTU10.TMDR.BFB = 0 MTU10.TIORL.IOD[3] = 0 MTU10.TIORL.IOD[1:0] = 01/10/11
			不能设定	MTU10.TMDR.MD[3:0] = 1000	MTUB.TOER.OE4D = 1
			不能设定	MTU10.TMDR.MD[3:0] = 1101	
	不能设定		MTU10.TMDR.MD[3:0] = 1110		
	不能设定		MTU10.TMDR.MD[3:0] = 1111		
	复位同步 PWM 模式 (联动 MTU9)		MTU9.TMDR.MD[3:0] = 1000 MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4D = 1	
	互补 PWM 模式 1 (联动 MTU9)		MTU9.TMDR.MD[3:0] = 1101 MTU10.TMDR.MD[3:0] = 0000		
	互补 PWM 模式 2 (联动 MTU9)		MTU9.TMDR.MD[3:0] = 1110 MTU10.TMDR.MD[3:0] = 0000		
	互补 PWM 模式 3 (联动 MTU9)		MTU9.TMDR.MD[3:0] = 1111 MTU10.TMDR.MD[3:0] = 0000		

17.2.5 未使用引脚的处理

未使用引脚的处理内容如表 17.23 所示。

表 17.23 未使用引脚的处理内容（145 引脚 TFLGA/144 引脚 LQFP）

引脚名	处理内容
EMLE	通过电阻连接 VSS（下拉）。
MD1、MD0	（必须用作模式引脚。）
MDE	（必须用作模式引脚。）
RES#	通过电阻连接 VCC（上拉）。
USB0_DP	将引脚置为开路。
USB0_DM	
BSCANP	通过电阻连接 VSS（下拉）。
P35/NMI	通过电阻连接 VCC（上拉）。
EXTAL	（必须用作时钟引脚。）
XTAL	将引脚置为开路。
XCIN	通过电阻连接 VCC（上拉）或者 VSS（下拉）。
XCOUT	将引脚置为开路。
WDTOVF#	将引脚置为开路。
端口 0 ~ 9 端口 A ~ E	<ul style="list-style-type: none"> 每个引脚通过电阻连接 VCC（上拉）或者 VSS（下拉）。 也能在 PORTn.ICR 为初始值（输入缓冲器无效）的状态下将引脚置为开路（注 1）。
VREFH	连接 AVCC。
VREFL	连接 AVSS。

注 1. 不能改变 PORTn.ICR 寄存器的初始值，否则就可能有穿透电流流过。

17.3 [100 引脚 LQFP]I/O 端口

RX62N 群和 RX621 群（100 引脚 LQFP）的 I/O 端口由端口 0 ~ 5 和端口 A ~ E 共 11 个端口构成，有 74 个输入 / 输出引脚。

17.3.1 概要

I/O 端口的规格和端口功能一览表分别如表 17.24 和表 17.25 所示。

表 17.24 I/O 端口的规格（100 引脚 LQFP）

项目	内容
输入 / 输出引脚	72 个
输入引脚	2 个
端口	11 个端口（端口 0 ~ 5 和端口 A ~ E）
内部输入上拉电阻	端口 A、B、C、D、E
漏极开路输出	端口 0、1、2、3（P30 ~ P34）和端口 C
5V 允许的对应引脚	端口 0（P07）、端口 1（P12、P13、P16）、端口 2（P20、P21）、端口 3（P33）
施密特触发输入引脚	全部端口输入、CAN 输入、USB 输入、IRQ 输入、MTU 输入、POE 输入、TMR 输入、RIIC 输入、SCI 输入、A/D 触发输入
其他	<ul style="list-style-type: none"> 能驱动 1 个 TTL 负载和 30pF 的电容负载。 在输出时驱动达林顿晶体管。

表 17.25 端口功能一览表 (1 / 3) (100 引脚 LQFP)

端口	概要	位	功能			CMOS 输入引脚	施密特触发 输入引脚	输入上拉 电阻功能	漏极开路 输出功能
			输入 / 输出	输入	输出				
端口 0	与中断输入、 A/D 转换器输入 和 D/A 转换器 输出兼用的 通用输入 / 输出 端口	5	P05	IRQ13-A	DA1	—	全部输入功能	—	○
		7	P07	ADTRG0#-A/IRQ15-A			全部输入功能	—	○
端口 1	与 USB 输入 / 输出、MTU 输入 / 输出、 TMR 输入 / 输出、 中断输入、 SCI 输入 / 输出、 RIIC 输入 / 输出、 PPG 输入 / 输出和 A/D 转换器输入兼 用的通用输入 / 输出端口	2	P12/SCL0	TMCI1/ RxD2-A/IRQ2-B		—	全部输入功能	—	○
		3	P13/MTIOC0B/ SDA0	ADTRG1#/IRQ3-B	PO13/TMO3/ TxD2-A		全部输入功能		○
		4	P14/MTIOC3A	USB0_OVRCURA/ TMRI2/IRQ4-B	PO15/ USB0_DPUPE-B		全部输入功能		○
		6	P16/MTIOC3C	USB0_VBUS/ USB0_OVRCURB/ IRQ6-B	TMO2/PO14/ USB0_VBUSEN-B		全部输入功能		○
端口 2	与总线控制输入 / 输出、 USB 输入 / 输出、 RSPI 输入 / 输出、 MTU 输入 / 输出、 PPG 输出、 TMR 输入 / 输出、 SCI 输入 / 输出、 A/D 转换器输入和内部 仿真器输入 / 输出兼用的通用输入 / 输出端口	0	P20/MTIOC1A/	USB0_ID/ TMR10	PO0/TxD0	—	全部输入功能	—	○
		1	P21/MTIOC1B	TMCI0/RxD0	USB0_EXICEN/ PO1	全部输入功能			
		2	P22/MTIOC3B/ SCK0	MTCLKC-A	USB0_DRPD/PO2/ TMO0	—	全部输入功能		
		3	P23/MTIOC3D	MTCLKD-A	USB0_DPUPE-A/ TxD3/PO3	—	全部输入功能		
		4	P24/MTIOC4A/ SCK3	MTCLKA-A/TMR1	CS4#/ USB0_VBUSEN-A/ PO4	—	全部输入功能		
		5	P25/MTIOC4C	MTCLKB-A/ ADTRG0#-B/ RxD3	CS5#/ USB0_DPRPD/ PO5	—	全部输入功能		
		6	P26/MOSIB-A/ MTIOC2A		CS6#/PO6/ TMO1/TxD1/TDO	MOSIB-A	P26、MTIOC2A		
7	P27/RSPCKB-A/ MTIOC2B/SCK1	TCK	CS7#/ PO7	RSPCKB-A TCK	P27、MTIOC2B、 SCK1				
端口 3	与 CAN 输入 / 输出、RSPI 输入 / 输出、 MTU 输入 / 输出、 TMR 输入 / 输出、 SCI 输入 / 输出、 中断输入、PPG 输出、 RTC 输出 和内部仿真器 输入兼用的通用输入 / 输出端口	0	P30/MISOB-A/ MTIOC4B-A	TMR13/RxD1/ IRQ0/TDI	PO8	MISOB-A	P30、MTIOC4B-A TMR13、RxD1、 IRQ0、TDI	—	○
		1	P31/SSLB0-A/ MTIOC4D-A	TMCI2/IRQ1/ TMS	PO9	SSLB0-A	P31、MTIOC4D-A TMCI2、IRQ1、 TMS		○
		2	P32/MTIOC0C	IRQ2-A	CTX0/TxD6/ PO10/RTCOU	—	全部输入功能		○
		3	P33/MTIOC0D	CRX0/RxD6/ IRQ3-A	PO11		全部输入功能		○
		4	P34/MTIOC0A/ SCK6	TMCI3/IRQ4-A/ TRST#	PO12		全部输入功能		○
5		P35/NMI			全部输入功能		—		
端口 4	与中断输入和 A/D 转换器输入 兼用的通用 输入 / 输出端口	0	P40	AN0/IRQ8		—	P40、IRQ8	—	—
		1	P41	AN1/IRQ9			P41、IRQ9		
		2	P42	AN2/IRQ10			P42、IRQ10		
		3	P43	AN3/IRQ11			P43、IRQ11		
		4	P44	AN4/IRQ12			P44、IRQ12		
		5	P45	AN5/IRQ13-B			P45、IRQ13-B		
		6	P46	AN6/IRQ14			P46、IRQ14		
7	P47	AN7/IRQ15-B		P47、IRQ15-B					

表 17.25 端口功能一览表 (2 / 3) (100 引脚 LQFP)

端口	概要	位	功能			CMOS 输入引脚	施密特触发 输入引脚	输入上拉 电阻功能	漏极开路 输出功能
			输入 / 输出	输入	输出				
端口 5	与外部总线时钟输出、总线控制输入 / 输出、RSPI 输出、MTU 输入 / 输出和 SCI 输入 / 输出兼用的通用输入 / 输出端口	0	P50		WR0#/WR#/ SSLB1-A/TxD2-B	—	全部输入功能	—	—
		1	P51/SCK2	WAIT#-D	WR1#/BC1#/ SSLB2-A	WAIT#-D	P51、SCK2		
		2	P52	RxD2-B	RD#/SSLB3-A	—	全部输入功能		
		3		P53	BCLK	—	全部输入功能		
		4	P54/MTIOC4B-B			—	全部输入功能		
		5	P55/MTIOC4D-B	WAIT#-B		WAIT#-B	P55、MTIOC4D-B		
端口 A	与地址输出、总线控制输入 / 输出、RSPI 输入 / 输出、MTU 输入 / 输出、PPG 输出和 Ether 输入 / 输出兼用的通用输入 / 输出端口	0	PA0/MTIOC6A		A0/BC0#/ SSLA1-B/PO16	—	全部输入功能	○	—
		1	PA1/MTIOC6B		A1/ SSLA2-B/PO17		全部输入功能		
		2	PA2/MTIOC6C		A2/SSLA3-B/ PO18		全部输入功能		
		3	PA3/MTIOC6D/ ET_MDIO		A3/PO19	ET_MDIO	PA3、MTIOC6D		
		4	PA4/SSLA0-B/ MTIOC7A		A4/PO20/ ET_MDC	SSLA0-B	PA4、MTIOC7A		
		5	PA5/ RSPCKA-B/ MTIOC7B	ET_LINKSTA	A5/PO21	RSPCKA-B、 ET_LINKSTA	PA5、MTIOC7B		
		6	PA6/MOSIA-B/ MTIOC8A		A6/PO22/ ET_EXOUT	MOSIA-B	PA6、MTIOC8A		
		7	PA7/MISOA-B/ MTIOC8B		A7/PO23/ ET_WOL	MISOA-B	PA7、MTIOC8B		
端口 B	与地址输出、MTU 输入 / 输出、PPG 输出和 Ether 输入 / 输出兼用的通用输入 / 输出端口	0	PB0/MTIOC9A	ET_ERXD1/ RMII_RXD1	A8/PO24	ET_ERXD1、 RMII_RXD1	PB0、MTIOC9A	○	—
		1	PB1/MTIOC9C	ET_ERXD0/ RMII_RXD0	A9/PO25	ET_ERXD0、 RMII_RXD0	PB1、MTIOC9C		
		2	PB2/MTIOC9B	ET_RX_CLK/ REF50CK/ MTCLKG-B	A10/PO26	ET_RX_CLK、 REF50CK	PB2、MTIOC9B、 MTCLKG-B		
		3	PB3/MTIOC9D	ET_RX_ER/ RMII_RX_ER/ MTCLKH-B	A11/PO27	ET_RX_ER、 RMII_RX_ER	PB3、MTIOC9D、 MTCLKH-B		
		4	PB4/MTIOC10A	MTCLKE-B	A12/PO28/ ET_TX_EN/ RMII_TXD_EN	—	全部输入功能		
		5	PB5/MTIOC10C	MTCLKF-B	A13/PO29/ ET_ETXD0/ RMII_TXD0	—	全部输入功能		
		6	PB6/MTIOC10B		A14/PO30/ ET_ETXD1/ RMII_TXD1	—	全部输入功能		
		7	PB7/MTIOC10D	ET_CRIS/ RMII_CRIS_DV	A15/PO31	ET_CRIS、 RMII_CRIS_DV	PB7、MTIOC10D		

表 17.25 端口功能一览表 (3 / 3) (100 引脚 LQFP)

端口	概要	位	功能			CMOS 输入引脚	施密特触发 输入引脚	输入上拉 电阻功能	漏极开路 输出功能	
			输入 / 输出	输入	输出					
端口 C	与地址输出、 总线控制输出、 RSPI 输入 / 输出、 Ether 输入 / 输出、 MTU 输入和 SCI 输入 / 输出兼用的 通用输入 / 输出 端口	0	PC0	ET_ERXD3/ MTCLKG-A	A16-A/SSLA1-A	ET_ERXD3	PC0、MTCLKG-A	○	○	
		1	PC1/SCK5	ET_ERXD2/ MTCLKH-A	A17-A/SSLA2-A	ET_ERXD2	PC1、SCK5、 MTCLKH-A			
		2	PC2	ET_RX_DV/ MTCLKE-A/RxD5	A18-A/SSLA3-A	ET_RX_DV	PC2、MTCLKE-A、 RxD5			
		3	PC3	ET_TX_ER/ MTCLKF-A	A19-A/TxD5	ET_TX_ER	PC3、MTCLKF-A			
		4	PC4/SSLA0-A	MTCLKC-B/ ET_TX_CLK	A20-A/CS3#	SSLA0-A、 ET_TX_CLK	PC4、MTCLKC-B			
		5	PC5/ RSPCKA-A	WAIT#-C/ MTIC11W-A/ MTCLKD-B	A21-A/CS2#/ ET_ETXD2	RSPCKA-A、 WAIT#-C	PC5、MTIC11W-A、 MTCLKD-B			
		6	PC6/MOSIA-A	MTIC11V-A/ MTCLKA-B	A22-A/CS1#/ ET_ETXD3	MOSIA-A	PC6、MTIC11V-A MTCLKA-B			
		7	PC7/MISOA-A	ET_COL/ MTIC11U-A/ MTCLKB-B	A23-A/CS0#	MISOA-A、 ET_COL	PC7、MTIC11U-A MTCLKB-B			
端口 D	与双向数据总 线、MTU 输入 和 POE 输入兼 用的通用输入 / 输出端口	0	PD0/D0	POE7#		D0	PD0、POE7#	○	—	
		1	PD1/D1	POE6#		D1	PD1、POE6#			
		2	PD2/D2	MTIC11W-B/ POE5#		D2	PD2、MTIC11W-B、 POE5#			
		3	PD3/D3	MTIC11V-B/ POE4#		D3	PD3、MTIC11V-B、 POE4#			
		4	PD4/D4	MTIC11U-B/ POE3#		D4	PD4、MTIC11U-B、 POE3#			
		5	PD5/D5	MTIC5W/ POE2#		D5	PD5、MTIC5W、 POE2#			
		6	PD6/D6	MTIC5V/ POE1#		D6	PD6、MTIC5V、 POE1#			
		7	PD7/D7	MTIC5U/ POE0#		D7	PD7、MTIC5U、 POE0#			
端口 E	与双向数据总 线、中断输入、 RSPI 输入 / 输出 和 POE 输入兼 用的通用输入 / 输出端口	0	PE0/D8		SSLB1-B	D8	PE0	○	—	
		1	PE1/D9		SSLB2-B	D9	PE1			
		2	PE2/D10	POE9#		SSLB3-B	D10	PE2、POE9#		
		3	PE3/D11	POE8#			D11	PE3、POE8#		
		4	PE4/D12/SSLB0-B				D12、 SSLB0-B	PE4		
		5	PE5/D13/ RSPCKB-B	IRQ5			D13、 RSPCKB-B	PE5、IRQ5		
		6	PE6/D14/ MOSIB-B	IRQ6-A			D14、 MOSIB-B	PE6、IRQ6-A		
		7	PE7/D15/ MISOB-B	IRQ7			D15、 MISOB-B	PE7、IRQ7		

17.3.2 寄存器说明

I/O 端口的寄存器一览表和各寄存器的有效位一览表分别如表 17.26 和表 17.27 所示。

表 17.26 I/O 端口的寄存器一览表 (1 / 2) (100 引脚 LQFP)

端口符号	寄存器名	寄存器符号	复位后的值	地址	存取长度
PORT0	数据方向寄存器	DDR	00h	0008 C000h	8
	数据寄存器	DR	00h	0008 C020h	8
	端口寄存器	PORT	不定值	0008 C040h	8
	输入缓冲控制寄存器	ICR	00h	0008 C060h	8
	漏极开路控制寄存器	ODR	00h	0008 C080h	8
PORT1	数据方向寄存器	DDR	00h	0008 C001h	8
	数据寄存器	DR	00h	0008 C021h	8
	端口寄存器	PORT	不定值	0008 C041h	8
	输入缓冲控制寄存器	ICR	00h	0008 C061h	8
	漏极开路控制寄存器	ODR	00h	0008 C081h	8
PORT2	数据方向寄存器	DDR	00h	0008 C002h	8
	数据寄存器	DR	00h	0008 C022h	8
	端口寄存器	PORT	不定值	0008 C042h	8
	输入缓冲控制寄存器	ICR	00h	0008 C062h	8
	漏极开路控制寄存器	ODR	00h	0008 C082h	8
PORT3	数据方向寄存器	DDR	00h	0008 C003h	8
	数据寄存器	DR	00h	0008 C023h	8
	端口寄存器	PORT	不定值	0008 C043h	8
	输入缓冲控制寄存器	ICR	00h	0008 C063h	8
	漏极开路控制寄存器	ODR	00h	0008 C083h	8
PORT4	数据方向寄存器	DDR	00h	0008 C004h	8
	数据寄存器	DR	00h	0008 C024h	8
	端口寄存器	PORT	不定值	0008 C044h	8
	输入缓冲控制寄存器	ICR	00h	0008 C064h	8
PORT5	数据方向寄存器	DDR	00h	0008 C005h	8
	数据寄存器	DR	00h	0008 C025h	8
	端口寄存器	PORT	不定值	0008 C045h	8
	输入缓冲控制寄存器	ICR	00h	0008 C065h	8
PORTA	数据方向寄存器	DDR	00h	0008 C00Ah	8
	数据寄存器	DR	00h	0008 C02Ah	8
	端口寄存器	PORT	不定值	0008 C04Ah	8
	输入缓冲控制寄存器	ICR	00h	0008 C06Ah	8
	上拉电阻控制寄存器	PCR	00h	0008 C0CAh	8
PORTB	数据方向寄存器	DDR	00h	0008 C00Bh	8
	数据寄存器	DR	00h	0008 C02Bh	8
	端口寄存器	PORT	不定值	0008 C04Bh	8
	输入缓冲控制寄存器	ICR	00h	0008 C06Bh	8
	上拉电阻控制寄存器	PCR	00h	0008 C0CBh	8

表 17.26 I/O 端口的寄存器一览表 (2 / 2) (100 引脚 LQFP)

端口符号	寄存器名	寄存器符号	复位后的值	地址	存取长度
PORTC	数据方向寄存器	DDR	00h	0008 C00Ch	8
	数据寄存器	DR	00h	0008 C02Ch	8
	端口寄存器	PORT	不定值	0008 C04Ch	8
	输入缓冲控制寄存器	ICR	00h	0008 C06Ch	8
	漏极开路控制寄存器	ODR	00h	0008 C08Ch	8
	上拉电阻控制寄存器	PCR	00h	0008 C0CCh	8
PORTD	数据方向寄存器	DDR	00h	0008 C00Dh	8
	数据寄存器	DR	00h	0008 C02Dh	8
	端口寄存器	PORT	不定值	0008 C04Dh	8
	输入缓冲控制寄存器	ICR	00h	0008 C06Dh	8
	上拉电阻控制寄存器	PCR	00h	0008 C0CDh	8
PORTE	数据方向寄存器	DDR	00h	0008 C00Eh	8
	数据寄存器	DR	00h	0008 C02Eh	8
	端口寄存器	PORT	不定值	0008 C04Eh	8
	输入缓冲控制寄存器	ICR	00h	0008 C06Eh	8
	上拉电阻控制寄存器	PCR	00h	0008 C0CEh	8
IOPORT	端口功能寄存器 0	PF0CSE	00h	0008 C100h	8
	端口功能寄存器 3	PF3BUS	00h	0008 C103h	8
	端口功能寄存器 4	PF4BUS	00h	0008 C104h	8
	端口功能寄存器 5	PF5BUS	00h	0008 C105h	8
	端口功能寄存器 6	PF6BUS	00h	0008 C106h	8
	端口功能寄存器 8	PF8IRQ	00h	0008 C108h	8
	端口功能寄存器 9	PF9IRQ	00h	0008 C109h	8
	端口功能寄存器 A	PFAADC	00h	0008 C10Ah	8
	端口功能寄存器 C	PFCMTU	00h	0008 C10Ch	8
	端口功能寄存器 D	PFDMTU	00h	0008 C10Dh	8
	端口功能寄存器 E	PFENET	00h	0008 C10Eh	8
	端口功能寄存器 F	PFSCI	00h	0008 C10Fh	8
	端口功能寄存器 G	PFSPi	00h	0008 C110h	8
	端口功能寄存器 H	PFHSPI	00h	0008 C111h	8
	端口功能寄存器 J	PFJCAN	00h	0008 C113h	8
	端口功能寄存器 K	PFKUSB	00h	0008 C114h	8
	端口功能寄存器 M	PFMPOE	00h	0008 C116h	8
端口功能寄存器 N	PFNPOE	00h	0008 C117h	8	

表 17.27 各寄存器的有效位一览表 (1 / 2) (100 引脚 LQFP)

寄存器符号	b7	b6	b5	b4	b3	b2	b1	b0
PORT0.DDR	○	×	○	×	×	×	×	×
PORT1.DDR	×	○	×	○	○	○	×	×
PORT2.DDR	○	○	○	○	○	○	○	○
PORT3.DDR	×	×	×	○	○	○	○	○
PORT4.DDR	○	○	○	○	○	○	○	○
PORT5.DDR	×	×	○	○	○	○	○	○
PORTA.DDR	○	○	○	○	○	○	○	○
PORTB.DDR	○	○	○	○	○	○	○	○
PORTC.DDR	○	○	○	○	○	○	○	○
PORTD.DDR	○	○	○	○	○	○	○	○
PORTE.DDR	○	○	○	○	○	○	○	○
PORT0.DR	○	×	○	×	×	×	×	×
PORT1.DR	×	○	×	○	○	○	×	×
PORT2.DR	○	○	○	○	○	○	○	○
PORT3.DR	×	×	×	○	○	○	○	○
PORT4.DR	○	○	○	○	○	○	○	○
PORT5.DR	×	×	○	○	×	○	○	○
PORTA.DR	○	○	○	○	○	○	○	○
PORTB.DR	○	○	○	○	○	○	○	○
PORTC.DR	○	○	○	○	○	○	○	○
PORTD.DR	○	○	○	○	○	○	○	○
PORTE.DR	○	○	○	○	○	○	○	○
PORT0.PORT	○	×	○	×	×	×	×	×
PORT1.PORT	×	○	×	○	○	○	×	×
PORT2.PORT	○	○	○	○	○	○	○	○
PORT3.PORT	×	×	○	○	○	○	○	○
PORT4.PORT	○	○	○	○	○	○	○	○
PORT5.PORT	×	×	○	○	○	○	○	○
PORTA.PORT	○	○	○	○	○	○	○	○
PORTB.PORT	○	○	○	○	○	○	○	○
PORTC.PORT	○	○	○	○	○	○	○	○
PORTD.PORT	○	○	○	○	○	○	○	○
PORTE.PORT	○	○	○	○	○	○	○	○
PORT0.ICR	○	×	○	×	×	×	×	×
PORT1.ICR	×	○	×	○	○	○	×	×
PORT2.ICR	○	○	○	○	○	○	○	○
PORT3.ICR	×	×	×	○	○	○	○	○
PORT4.ICR	○	○	○	○	○	○	○	○
PORT5.ICR	×	×	○	○	○	○	○	○
PORTA.ICR	○	○	○	○	○	○	○	○

表 17.27 各寄存器的有效位一览表 (2 / 2) (100 引脚 LQFP)

寄存器符号	b7	b6	b5	b4	b3	b2	b1	b0
PORTB.ICR	○	○	○	○	○	○	○	○
PORTC.ICR	○	○	○	○	○	○	○	○
PORTD.ICR	○	○	○	○	○	○	○	○
PORTE.ICR	○	○	○	○	○	○	○	○
PORT0.ODR	○	×	○	×	×	×	×	×
PORT1.ODR	×	○	×	○	○	○	×	×
PORT2.ODR	○	○	○	○	○	○	○	○
PORT3.ODR	×	×	×	○	○	○	○	○
PORTC.ODR	○	○	○	○	○	○	○	○
PORTA.PCR	○	○	○	○	○	○	○	○
PORTB.PCR	○	○	○	○	○	○	○	○
PORTC.PCR	○	○	○	○	○	○	○	○
PORTD.PCR	○	○	○	○	○	○	○	○
PORTE.PCR	○	○	○	○	○	○	○	○
IOPORT.PF0CSE	○	○	○	○	○	○	○	○
IOPORT.PF3BUS	○	○	○	○	○	○	○	○
IOPORT.PF4BUS	○	○	○	○	○	○	○	○
IOPORT.PF5BUS	×	○	×	○	×	×	×	×
IOPORT.PF6BUS	×	×	×	×	×	×	○	○
IOPORT.PF8IRQ	○	×	○	×	×	×	×	×
IOPORT.PF9IRQ	×	○	×	○	○	○	×	×
IOPORT.PFAADC	×	×	×	×	×	×	×	○
IOPORT.PFCMTU	○	×	○	×	×	×	×	×
IOPORT.PFDMTU	○	○	×	×	×	×	×	×
IOPORT.PFENET	○	×	×	○	○	○	○	○
IOPORT.PFFSCI	×	×	×	×	×	○	×	×
IOPORT.PFGSPI	○	○	○	○	○	○	○	○
IOPORT.PFHSPI	○	○	○	○	○	○	○	○
IOPORT.PFJCAN	×	×	×	×	×	×	×	○
IOPORT.PFKUSB	×	×	×	○	○	○	○	○
IOPORT.PFMPOE	○	○	○	○	○	○	○	○
IOPORT.PFNPOE	×	×	×	×	×	×	○	○

17.3.2.1 数据方向寄存器 (DDR)

地址 PORT0.DDR 0008 C000h、PORT1.DDR 0008 C001h、PORT2.DDR 0008 C002h、PORT3.DDR 0008 C003h
 PORT4.DDR 0008 C004h、PORT5.DDR 0008 C005h、PORTA.DDR 0008 C00Ah、PORTB.DDR 0008 C00Bh
 PORTC.DDR 0008 C00Ch、PORTD.DDR 0008 C00Dh、PORTE.DDR 0008 C00Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
复位后的值	0	0	0	0	0	0	0	0

注. PORT0.DDR寄存器的b6和b4~b0是保留位。
 PORT1.DDR寄存器的b7、b5、b1和b0是保留位。
 PORT3.DDR寄存器的低5位有效，高3位是保留位。
 PORT5.DDR寄存器的低6位有效，高2位是保留位。
 保留位的读写值都为“0”。

位	符号	位名	功能	R/W
b0	B0	Pn0 输入 / 输出指定位	0: 输入端口 1: 输出端口	R/W
b1	B1	Pn1 输入 / 输出指定位		R/W
b2	B2	Pn2 输入 / 输出指定位		R/W
b3	B3	Pn3 输入 / 输出指定位		R/W
b4	B4	Pn4 输入 / 输出指定位		R/W
b5	B5	Pn5 输入 / 输出指定位		R/W
b6	B6	Pn6 输入 / 输出指定位		R/W
b7	B7	Pn7 输入 / 输出指定位		R/W

【符号说明】 (n = 0 ~ 5、A ~ E)

DDR 寄存器是在选择了通用输入 / 输出端口功能时指定端口输入 / 输出的寄存器。

PORTn.DDR 寄存器 (n=0 ~ 5、A ~ E) 的各位分别对应端口 n 的各引脚，并且能以 1 位为单位进行指定。

PORT5.DDR.B3 位指定 P53 输入或者 BCLK 输出。当 PORT5.DDR.B3 位被置“1”时，因为 P53 的输出为 BCLK，所以不选择通用输出端口的功能。

17.3.2.2 数据寄存器 (DR)

地址 PORT0.DR 0008 C020h、PORT1.DR 0008 C021h、PORT2.DR 0008 C022h、PORT3.DR 0008 C023h
 PORT4.DR 0008 C024h、PORT5.DR 0008 C025h、PORTA.DR 0008 C02Ah、PORTB.DR 0008 C02Bh
 PORTC.DR 0008 C02Ch、PORTD.DR 0008 C02Dh、PORTE.DR 0008 C02Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
复位后的值	0	0	0	0	0	0	0	0

注. PORT0.DR寄存器的b6和b4~b0是保留位。
 PORT1.DR寄存器的b7、b5、b1和b0是保留位。
 PORT3.DR寄存器的低5位有效，高3位是保留位。
 PORT5.DR寄存器的b7、b6和b3是保留位。
 保留位的读写值都为“0”。

位	符号	位名	功能	R/W
b0	B0	Pn0 输出数据保存位	保存输出的数据。	R/W
b1	B1	Pn1 输出数据保存位		R/W
b2	B2	Pn2 输出数据保存位		R/W
b3	B3	Pn3 输出数据保存位		R/W
b4	B4	Pn4 输出数据保存位		R/W
b5	B5	Pn5 输出数据保存位		R/W
b6	B6	Pn6 输出数据保存位		R/W
b7	B7	Pn7 输出数据保存位		R/W

【符号说明】 (n = 0 ~ 5、A ~ E)

DR 寄存器保存用作通用输出端口的引脚输出数据。

P53 的输出为 BCLK，即使给 PORT5.DR.B3 位设定值，也不影响引脚。

17.3.2.3 端口寄存器 (PORT)

地址 PORT0.PORT 0008 C040h、PORT1.PORT 0008 C041h、PORT2.PORT 0008 C042h、PORT3.PORT 0009 C043h
 PORT4.PORT 0008 C044h、PORT5.PORT 0008 C045h、PORTA.PORT 0008 C04Ah、PORTB.PORT 0008 C04Bh
 PORTC.PORT 0008 C04Ch、PORTD.PORT 0008 C04Dh、PORTE.PORT 0008 C04Eh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

复位后的值 x x x x x x x x

注. PORT0.PORT寄存器的b6和b4~b0是保留位。
 PORT1.PORT寄存器的b7、b5、b1和b0是保留位。
 PORT3.PORT寄存器的低6位有效，高2位是保留位。
 PORT5.PORT寄存器的低6位有效，高2位是保留位。
 保留位的读取值为“1”，写操作无效。

位	符号	位名	功能	R/W
b0	B0 (注1)	Pn0 位	反映端口的引脚状态。	R
b1	B1 (注1)	Pn1 位		R
b2	B2 (注1)	Pn2 位		R
b3	B3 (注1)	Pn3 位		R
b4	B4 (注1)	Pn4 位		R
b5	B5 (注1)	Pn5 位		R
b6	B6 (注1)	Pn6 位		R
b7	B7 (注1)	Pn7 位		R

【符号说明】 (n = 0 ~ 5、A ~ E)

注 1. 在进行读操作时，必须预先将 PORTn.ICR 寄存器的对应位置“1”。
 如果在 PORTn.ICR 寄存器的位为“0”的状态下进行读操作，对应位的值就为不定值。

PORT 寄存器是反映端口引脚状态的寄存器。

如果读 PORTn.PORT 寄存器 (n=0 ~ 5、A ~ E)，就能读到引脚的状态。

P35 能读 NMI 引脚的状态。

17.3.2.4 输入缓冲控制寄存器 (ICR)

地址 PORT0.ICR 0008 C060h、PORT1.ICR 0008 C061h、PORT2.ICR 0008 C062h、PORT3.ICR 0008 C063h
 PORT4.ICR 0008 C064h、PORT5.ICR 0008 C065h、PORTA.ICR 0008 C06Ah、PORTB.ICR 0008 C06Bh
 PORTC.ICR 0008 C06Ch、PORTD.ICR 0008 C06Dh、PORTE.ICR 0008 C06Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
复位后的值	0	0	0	0	0	0	0	0

注. PORT0.ICR寄存器的b6和b4~b0是保留位。
 PORT1.ICR寄存器的b7、b5、b1和b0是保留位。
 PORT3.ICR寄存器的低5位有效，高3位是保留位。
 PORT5.ICR寄存器的低6位有效，高2位是保留位。
 保留位的读写值都为“0”。

位	符号	位名	功能	R/W
b0	B0 (注1)	Pn0 输入缓冲器控制位	0: 对应引脚的输入缓冲器无效 1: 对应引脚的输入缓冲器有效	R/W
b1	B1 (注1)	Pn1 输入缓冲器控制位		R/W
b2	B2 (注1)	Pn2 输入缓冲器控制位		R/W
b3	B3 (注1)	Pn3 输入缓冲器控制位		R/W
b4	B4 (注1)	Pn4 输入缓冲器控制位		R/W
b5	B5 (注1)	Pn5 输入缓冲器控制位		R/W
b6	B6 (注1)	Pn6 输入缓冲器控制位		R/W
b7	B7 (注1)	Pn7 输入缓冲器控制位		R/W

【符号说明】 (n = 0 ~ 5、A ~ E)

注 1. 在用作输入引脚时，必须将对应位置“1”。必须将不用作输入的引脚和模拟输入 / 输出引脚的对应位置“0”。

ICR 寄存器是控制端口输入缓冲器的寄存器。

PORTn.ICR 寄存器 (n=0 ~ 5、A ~ E) 的各位分别对应端口 n 的各引脚，并且能以 1 位为单位进行指定。

在用作外围模块的输入引脚时，为了使对应引脚的输入缓冲器有效，需要预先将 PORTn.ICR 置“1”。如果在将 PORTn.ICR 置“0”的状态下用作外围模块的输入引脚，就将输入到外围模块的信号固定为 High 电平。

在更改 PORTn.ICR 寄存器的设定时，有可能因引脚的状态而在内部产生边沿，因此必须在不使用该输入引脚时更改 PORTn.ICR 寄存器的设定。例如，在 IRQ_i (i=0 ~ 15) 输入时，必须在禁止该中断的状态下更改 PORTn.ICR 寄存器的设定。先将中断控制器的 IR_i.IR 标志 (i=64 ~ 79 (IRQ 的中断向量号)) 置“0”，然后允许该中断。如果在更改 PORTn.ICR 寄存器的设定后产生边沿，就必须取消该边沿。

17.3.2.5 漏极开路控制寄存器 (ODR)

地址 PORT0.ODR 0008 C080h、PORT1.ODR 0008 C081h、PORT2.ODR 0008 C082h、PORT3.ODR 0008 C083h
PORTC.ODR 0008 C08Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
复位后的值	0	0	0	0	0	0	0	0

注. PORT0.ODR寄存器的b6和b4~b0是保留位。
PORT1.ODR寄存器的b7、b5、b1和b0是保留位。
PORT3.ODR寄存器的低5位有效，高3位是保留位。
保留位的读写值都为“0”。

位	符号	位名	功能	R/W
b0	B0	Pn0 输出形态指定位	0: CMOS 输出 1: NMOS 漏极开路输出	R/W
b1	B1	Pn1 输出形态指定位		R/W
b2	B2	Pn2 输出形态指定位		R/W
b3	B3	Pn3 输出形态指定位		R/W
b4	B4	Pn4 输出形态指定位		R/W
b5	B5	Pn5 输出形态指定位		R/W
b6	B6	Pn6 输出形态指定位		R/W
b7	B7	Pn7 输出形态指定位		R/W

【符号说明】 (n = 0 ~ 3、C)

ODR 寄存器是选择端口引脚输出形态的寄存器。

17.3.2.6 上拉电阻控制寄存器 (PCR)

地址 PORTA.PCR 0008 C0CAh、PORTB.PCR 0008 C0CBh、PORTC.PCR 0008 C0CCh
 PORTD.PCR 0008 C0CDh、PORTE.PCR 0008 C0CEh

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	B0	Pn0 输入上拉电阻控制位	0: 输入上拉电阻无效 1: 输入上拉电阻有效	R/W
b1	B1	Pn1 输入上拉电阻控制位		R/W
b2	B2	Pn2 输入上拉电阻控制位		R/W
b3	B3	Pn3 输入上拉电阻控制位		R/W
b4	B4	Pn4 输入上拉电阻控制位		R/W
b5	B5	Pn5 输入上拉电阻控制位		R/W
b6	B6	Pn6 输入上拉电阻控制位		R/W
b7	B7	Pn7 输入上拉电阻控制位		R/W

【符号说明】 (n = A ~ E)

PCR 寄存器是控制端口输入上拉电阻的有效或者无效的寄存器。

在引脚为输入的状态下，与 PORTn.PCR 寄存器为“1”的位对应的引脚输入上拉电阻有效。输入上拉电阻的状态如表 17.28 所示。

表 17.28 输入上拉电阻的状态 (1) (100 引脚 LQFP)

端口	引脚状态	复位	其他运行
端口 A	地址输出	无效	
	外围模块输出	无效	
	端口输出	无效	
	端口输入	无效	有效 / 无效
端口 B	地址输出	无效	
	外围模块输出	无效	
	端口输出	无效	
	端口输入	无效	有效 / 无效
端口 C	地址输出	无效	
	外围模块输出	无效	
	端口输出	无效	
	端口输入	无效	有效 / 无效
端口 D	数据输入 / 输出	无效	
	端口输出	无效	
	端口输入	无效	有效 / 无效
端口 E	数据输入 / 输出	无效	
	外围模块输出	无效	
	端口输出	无效	
	端口输入	无效	有效 / 无效

【符号说明】

无效： 输入上拉电阻总是无效。

有效 / 无效： 当将 PORTn.PCR.Bi 位 (n=A ~ E、i=0 ~ 7) 置“1”时有效，否则无效。

17.3.2.7 端口功能寄存器 0 (PF0CSE)

地址 0008 C100h

	b7	b6	b5	b4	b3	b2	b1	b0
	CS7E	CS6E	CS5E	CS4E	CS3E	CS2E	CS1E	CS0E
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	CS0E	CS0 输出允许位	0: 用作 I/O 端口 1: 用作 CSn# 输出引脚 (n=0 ~ 7)	R/W
b1	CS1E	CS1 输出允许位		R/W
b2	CS2E	CS2 输出允许位		R/W
b3	CS3E	CS3 输出允许位		R/W
b4	CS4E	CS4 输出允许位		R/W
b5	CS5E	CS5 输出允许位		R/W
b6	CS6E	CS6 输出允许位		R/W
b7	CS7E	CS7 输出允许位		R/W

PF0CSE 寄存器是选择允许或者禁止 CSn# 输出的寄存器。

CSnE 位 (CSn 输出允许位) (n=0 ~ 7)

此位选择允许或者禁止对应的 CSn# 输出。

在输出 CSn 时, 必须将对应的 PF0CSE.CsnE 位置“1”。

17.3.2.8 端口功能寄存器 3 (PF3BUS)

地址 0008 C103h

	b7	b6	b5	b4	b3	b2	b1	b0
	A23E	A22E	A21E	A20E	A19E	A18E	A17E	A16E
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	A16E	地址 A16 输出允许位	0: A16 输出无效 1: A16 输出有效	R/W
b1	A17E	地址 A17 输出允许位	0: A17 输出无效 1: A17 输出有效	R/W
b2	A18E	地址 A18 输出允许位	0: A18 输出无效 1: A18 输出有效	R/W
b3	A19E	地址 A19 输出允许位	0: A19 输出无效 1: A19 输出有效	R/W
b4	A20E	地址 A20 输出允许位	0: A20 输出无效 1: A20 输出有效	R/W
b5	A21E	地址 A21 输出允许位	0: A21 输出无效 1: A21 输出有效	R/W
b6	A22E	地址 A22 输出允许位	0: A22 输出无效 1: A22 输出有效	R/W
b7	A23E	地址 A23 输出允许位	0: A23 输出无效 1: A23 输出有效	R/W

PF3BUS 寄存器是选择允许或者禁止地址输出的寄存器。

AnE 位 (地址 An 输出允许位) (n=16 ~ 23)

此位选择允许或者禁止地址输出 (An)。

17.3.2.9 端口功能寄存器 4 (PF4BUS)

地址 0008 C104h

	b7	b6	b5	b4	b3	b2	b1	b0
	A15E	A14E	A13E	A12E	A11E	A10E	ADRLE[1:0]	
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	ADRLE[1:0]	低位地址 A9 ~ A0 输出允许位	b1 b0 0 0: A9 ~ A0 输出无效 0 1: A9 ~ A4 输出无效, A3 ~ A0 输出有效。 1 0: A9 ~ A8 输出无效, A7 ~ A0 输出有效。 1 1: A9 ~ A0 输出有效	R/W
b2	A10E	地址 A10 输出允许位	0: A10 输出无效 1: A10 输出有效	R/W
b3	A11E	地址 A11 输出允许位	0: A11 输出无效 1: A11 输出有效	R/W
b4	A12E	地址 A12 输出允许位	0: A12 输出无效 1: A12 输出有效	R/W
b5	A13E	地址 A13 输出允许位	0: A13 输出无效 1: A13 输出有效	R/W
b6	A14E	地址 A14 输出允许位	0: A14 输出无效 1: A14 输出有效	R/W
b7	A15E	地址 A15 输出允许位	0: A15 输出无效 1: A15 输出有效	R/W

PF4BUS 寄存器是选择允许或者禁止地址输出的寄存器。

ADRLE[1:0] 位 (低位地址 A9 ~ A0 输出允许位)

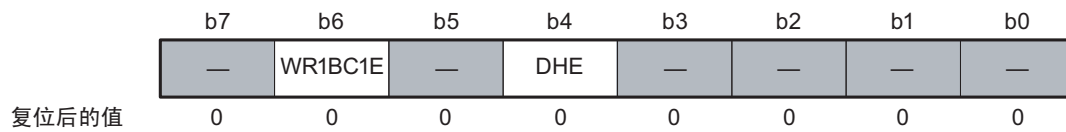
这些位选择允许或者禁止地址输出 (A9 ~ A0)。

AnE 位 (地址 An 输出允许位) (n=10 ~ 15)

此位选择允许或者禁止地址输出 (An)。

17.3.2.10 端口功能寄存器 5 (PF5BUS)

地址 0008 C105h



位	符号	位名	功能	R/W
b3-b0	—	保留位	读写值都为“0”。	R/W
b4	DHE	数据 D15 ~ D8 有效位	0: 将 PE7 ~ PE0 设定为 I/O 端口 1: 将 PE7 ~ PE0 设定为外部数据总线 D15 ~ D8	R/W
b5	—	保留位	读写值都为“0”。	R/W
b6	WR1BC1E	WR1#/BC1# 输出允许位	0: 将 P51 设定为 I/O 端口 1: 将 P51 设定为 WR#1 或者 BC1#	R/W
b7	—	保留位	读写值都为“0”。	R/W

DHE 位 (数据 D15 ~ D8 有效位)

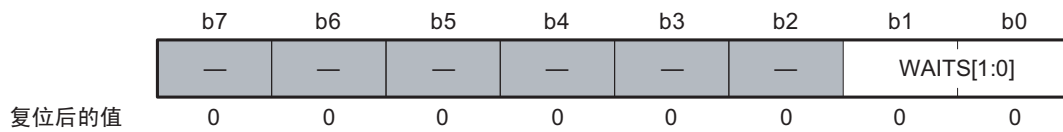
此位选择允许或者禁止数据输入 / 输出 (D15 ~ D8)。

WR1BC1E 位 (WR1#/BC1# 输出允许位)

此位选择允许或者禁止 WR1#/BC1# 输出。

17.3.2.11 端口功能寄存器 6 (PF6BUS)

地址 0008 C106h



位	符号	位名	功能	R/W
b1-b0	WAITS[1:0]	WAIT 引脚选择位	b1 b0 0 x: 将 P55 设定为 WAIT#-B 输入引脚 1 0: 将 PC5 设定为 WAIT#-C 输入引脚 1 1: 将 P51 设定为 WAIT#-D 输入引脚	R/W
b7-b2	—	保留位	读写值都为“0”。	R/W

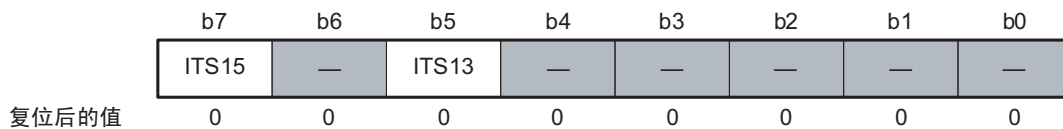
【符号说明】 x: Don't care

WAITS 位 (WAIT 引脚选择位)

此位选择 WAIT# 的输入引脚。

17.3.2.12 端口功能寄存器 8 (PF8IRQ)

地址 0008 C108h



位	符号	位名	功能	R/W
b4-b0	—	保留位	读写值都为“0”。	R/W
b5	ITS13	IRQ13 引脚选择位	0: 将 P05 设定为 IRQ13-A 输入引脚 1: 将 P45 设定为 IRQ13-B 输入引脚	R/W
b6	—	保留位	读写值都为“0”。	R/W
b7	ITS15	IRQ15 引脚选择位	0: 将 P07 设定为 IRQ15-A 输入引脚 1: 将 P47 设定为 IRQ15-B 输入引脚	R/W

PF8IRQ 寄存器是选择 IRQ13 输入引脚和 IRQ15 输入引脚的寄存器。

ITS_i 位 (IRQ_i 引脚选择位) (i=13、15)此位选择 IRQ_i 的输入引脚。

17.3.2.13 端口功能寄存器 9 (PF9IRQ)

地址 0008 C109h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ITS6	—	ITS4	ITS3	ITS2	—	—
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	—	保留位	读写值都为“0”。	R/W
b2	ITS2	IRQ2 引脚选择位	0: 将 P32 设定为 IRQ2-A 输入引脚 1: 将 P12 设定为 IRQ2-B 输入引脚	R/W
b3	ITS3	IRQ3 引脚选择位	0: 将 P33 设定为 IRQ3-A 输入引脚 1: 将 P13 设定为 IRQ3-B 输入引脚	R/W
b4	ITS4	IRQ4 引脚选择位	0: 将 P34 设定为 IRQ4-A 输入引脚 1: 将 P14 设定为 IRQ4-B 输入引脚	R/W
b5	—	保留位	读写值都为“0”。	R/W
b6	ITS6	IRQ6 引脚选择位	0: 将 PE6 设定为 IRQ6-A 输入引脚 1: 将 P16 设定为 IRQ6-B 输入引脚	R/W
b7	—	保留位	读写值都为“0”。	R/W

PF9IRQ 寄存器是选择 IRQ2 ~ IRQ4 输入引脚和 IRQ6 输入引脚的寄存器。

ITS_i 位 (IRQ_i 引脚选择位) (i=2 ~ 4、6)

此位选择 IRQ_i 的输入引脚。

17.3.2.14 端口功能寄存器 A (PFAADC)

地址 0008 C10Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ADTRG0S
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	ADTRG0S	ADTRG0# 输入选择位	0: 将 P07 设定为 ADTRG0#-A 输入引脚 1: 将 P25 设定为 ADTRG0#-B 输入引脚	R/W
b7-b1	—	保留位	读写值都为“0”。	R/W

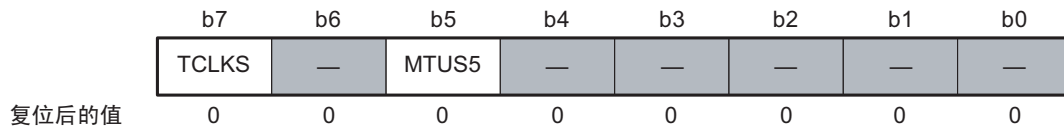
PFAADC 寄存器是选择 ADTRG0# 引脚的寄存器。

ADTRG0S 位 (ADTRG0# 输入选择位)

此位选择 ADTRG0# 的输入引脚。

17.3.2.15 端口功能寄存器 C (PFCMTU)

地址 0008 C10Ch



位	符号	位名	功能	R/W
b4-b0	—	保留位	读写值都为“0”。	R/W
b5	MTUS5	MTU 引脚选择 5 位	0: 选择 P30 为 MTIOC4B-A 引脚 选择 P31 为 MTIOC4D-A 引脚 1: 选择 P54 为 MTIOC4B-B 引脚 选择 P55 为 MTIOC4D-B 引脚	R/W
b6	—	保留位	读写值都为“0”。	R/W
b7	TCLKS	MTCLK 引脚选择位	0: 选择 P24 为 MTCLKA-A 引脚 选择 P25 为 MTCLKB-A 引脚 选择 P22 为 MTCLKC-A 引脚 选择 P23 为 MTCLKD-A 引脚 1: 选择 PC6 为 MTCLKA-B 引脚 选择 PC7 为 MTCLKB-B 引脚 选择 PC4 为 MTCLKC-B 引脚 选择 PC5 为 MTCLKD-B 引脚	R/W

PFCMTU 寄存器是选择 MTU 单元 0 的引脚的寄存器。

MTUS5 位 (MTU 引脚选择 5 位)

此位选择 MTU 的输入 / 输出引脚。

TCLKS 位 (MTCLK 引脚选择位)

此位选择 MTU 的 MTCLK 输入引脚。

17.3.2.16 端口功能寄存器 D (PFDMTU)

地址 0008 C10Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	TCLKS	MTUS6	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b5-b0	—	保留位	读写值都为“0”。	R/W
b6	MTUS6	MTU 引脚选择 6 位	0: 选择 PC7 为 MTIC11U-A 引脚 选择 PC6 为 MTIC11V-A 引脚 选择 PC5 为 MTIC11W-A 引脚 1: 选择 PD4 为 MTIC11U-B 引脚 选择 PD3 为 MTIC11V-B 引脚 选择 PD2 为 MTIC11W-B 引脚	R/W
b7	TCLKS	MTCLK 引脚选择位	0: 选择 PC2 为 MTCLKE-A 引脚 选择 PC3 为 MTCLKF-A 引脚 选择 PC0 为 MTCLKG-A 引脚 选择 PC1 为 MTCLKH-A 引脚 1: 选择 PB4 为 MTCLKE-B 引脚 选择 PB5 为 MTCLKF-B 引脚 选择 PB2 为 MTCLKG-B 引脚 选择 PB3 为 MTCLKH-B 引脚	R/W

PFDMTU 寄存器是选择 MTU 单元 1 的引脚的寄存器。

MTUS6 位 (MTU 引脚选择 6 位)

此位选择 MTU 的输入引脚。

TCLKS 位 (MTCLK 引脚选择位)

此位选择 MTU 的 MTCLK 输入引脚。

17.3.2.17 端口功能寄存器 E (PFENET)

地址 0008 C10Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	EE	—	—	PHY MODE	ENETE3	ENETE2	ENETE1	ENETE0
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	ENETE0	EtherNET 引脚允许位 0	0: ET_WOL 引脚无效 1: ET_WOL 引脚有效	R/W
b1	ENETE1	EtherNET 引脚允许位 1	0: ET_LINKSTA 引脚无效 1: ET_LINKSTA 引脚有效	R/W
b2	ENETE2	EtherNET 引脚允许位 2	0: ET_EXOUT 引脚无效 1: ET_EXOUT 引脚有效	R/W
b3	ENETE3	EtherNET 引脚允许位 3	0: ET_TX_ER 引脚无效 1: ET_TX_ER 引脚有效	R/W
b4	PHYMODE	EtherNET 模式设定位	0: RMII 模式 1: MII 模式	R/W
b6-b5	—	保留位	读写值都为“0”。	R/W
b7	EE	EtherNET 引脚允许位	0: 将全部 EtherNET 引脚设定为无效 1: 将全部 EtherNET 引脚设定为有效	R/W

PFENET 寄存器是设定 EtherNET 的相关输入 / 输出引脚的寄存器。

ENETEn 位 (EtherNET 引脚允许位 n) (n=0 ~ 3)

此位选择 EtherNET 引脚。

PHYMODE 位 (EtherNET 模式设定位)

此位设定 EtherNET 的 PHY 模式。

PHYMODE 位的设定和 EtherNET 模式的关系如表 17.29 所示。

EE 位 (EtherNET 引脚允许位)

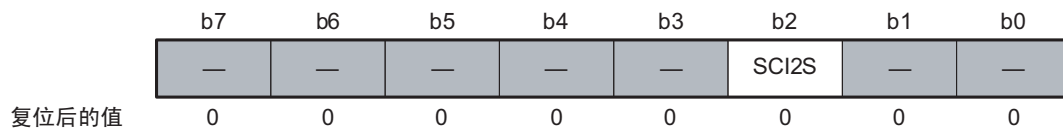
此位选择 EtherNET 引脚的有效或者无效。

表 17.29 PHYMODE 位的设定和 EtherNET 模式的关系 (100 引脚 LQFP)

PHYMODE	EtherNET 的模式	使用的 EtherNET 引脚	分配的端口名	备注
0	RMII 模式	ET_MDC	PA4	
		ET_MDIO	PA3	
		ET_WOL	PA7	在 ENETE0=1 时有效
		ET_LINKSTA	PA5	在 ENETE1=1 时有效
		ET_EXOUT	PA6	在 ENETE2=1 时有效
		REF50CK	PB2	
		RMII_TXD0	PB5	
		RMII_TXD1	PB6	
		RMII_TXD_EN	PB4	
		RMII_RXD0	PB1	
		RMII_RXD1	PB0	
		RMII_RX_ER	PB3	
		RMII_CRSDV	PB7	
1	MII 模式	ET_MDC	PA4	
		ET_MDIO	PA3	
		ET_WOL	PA7	在 ENETE0=1 时有效
		ET_LINKSTA	PA5	在 ENETE1=1 时有效
		ET_EXOUT	PA6	在 ENETE2=1 时有效
		ET_TX_CLK	PC4	
		ET_ETXD0	PB5	
		ET_ETXD1	PB6	
		ET_ETXD2	PC5	
		ET_ETXD3	PC6	
		ET_TX_EN	PB4	
		ET_TX_ER	PC3	在 ENETE3=1 时有效
		ET_COL	PC7	
		ET_CRSDV	PB7	
		ET_RX_CLK	PB2	
		ET_ERXD0	PB1	
		ET_ERXD1	PB0	
		ET_ERXD2	PC1	
		ET_ERXD3	PC0	
		ET_RX_DV	PC2	
ET_RX_ER	PB3			

17.3.2.18 端口功能寄存器 F (PFFSCI)

地址 0008 C10Fh



位	符号	位名	功能	R/W
b1-b0	—	保留位	读写值都为“0”。	R/W
b2	SCI2S	SCI2 引脚选择位	0: 将 P12 设定为 RxD2-A 引脚 将 P51 设定为 SCK2 引脚 将 P13 设定为 TxD2-A 引脚 1: 将 P52 设定为 RxD2-B 引脚 将 P51 设定为 SCK2 引脚 将 P50 设定为 TxD2-B 引脚	R/W
b7-b3	—	保留位	读写值都为“0”。	R/W

PFFSCI 寄存器是选择 SCI 引脚的寄存器。

SCInS 位 (SCIn 引脚选择位) (n=2)

此位选择 SCI 通道 n 的输入 / 输出引脚。

17.3.2.19 端口功能寄存器 G (PFGSPI)

地址 0008 C110h

	b7	b6	b5	b4	b3	b2	b1	b0
	SSL3E	SSL2E	SSL1E	SSL0E	MISOE	MOSIE	RSPCKE	RSPIS
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	RSPIS	RSPI 引脚选择位	0: 将 PC7 设定为 MISOA-A 引脚 将 PC6 设定为 MOSIA-A 引脚 将 PC5 设定为 RSPCKA-A 引脚 将 PC4 设定为 SSLA0-A 引脚 将 PC0 设定为 SSLA1-A 引脚 将 PC1 设定为 SSLA2-A 引脚 将 PC2 设定为 SSLA3-A 引脚 1: 将 PA7 设定为 MISOA-B 引脚 将 PA6 设定为 MOSIA-B 引脚 将 PA5 设定为 RSPCKA-B 引脚 将 PA4 设定为 SSLA0-B 引脚 将 PA0 设定为 SSLA1-B 引脚 将 PA1 设定为 SSLA2-B 引脚 将 PA2 设定为 SSLA3-B 引脚	R/W
b1	RSPCKE	RSPCKA 输出允许位	0: RSPCKA 引脚无效 1: RSPCKA 引脚有效	R/W
b2	MOSIE	MOSIA 输出允许位	0: MOSIA 引脚无效 1: MOSIA 引脚有效	R/W
b3	MISOE	MISOA 输出允许位	0: MISOA 引脚无效 1: MISOA 引脚有效	R/W
b4	SSL0E	SSLA0 输出允许位	0: SSLA0 引脚无效 1: SSLA0 引脚有效	R/W
b5	SSL1E	SSLA1 输出允许位	0: SSLA1 引脚无效 1: SSLA1 引脚有效	R/W
b6	SSL2E	SSLA2 输出允许位	0: SSLA2 引脚无效 1: SSLA2 引脚有效	R/W
b7	SSL3E	SSLA3 输出允许位	0: SSLA3 引脚无效 1: SSLA3 引脚有效	R/W

PFGSPI 寄存器是设定 RSPI 通道 0 的相关输入 / 输出引脚的寄存器。

RSPIS 位 (RSPI 引脚选择位)

此位选择 RSPI 的输入 / 输出引脚。

RSPI 的各输入 / 输出引脚有允许位，选择允许位为“1”的引脚而不选择允许位为“0”的引脚。

RSPCKE 位 (RSPCKA 输出允许位)

此位选择允许或者禁止 RSPCKA 引脚的输出。在使用 RSPCKA 引脚时，必须将此位置“1”。

MOSIE 位 (MOSIA 输出允许位)

此位选择允许或者禁止 MOSIA 引脚的输出。在使用 MOSIA 引脚时，必须将此位置“1”。

MISOE 位 (MISOA 输出允许位)

此位选择允许或者禁止 MISOA 引脚的输出。在使用 MISOA 引脚时，必须将此位置“1”。

SSL0E 位 (SSLA0 输出允许位)

此位选择允许或者禁止 SSLA0 引脚的输出。在使用 SSLA0 引脚时，必须将此位置“1”。

SSL1E 位 (SSLA1 输出允许位)

此位选择允许或者禁止 SSLA1 引脚的输出。在使用 SSLA1 引脚时，必须将此位置“1”。

SSL2E 位 (SSLA2 输出允许位)

此位选择允许或者禁止 SSLA2 引脚的输出。在使用 SSLA2 引脚时，必须将此位置“1”。

SSL3E 位 (SSLA3 输出允许位)

此位选择允许或者禁止 SSLA3 引脚的输出。在使用 SSLA3 引脚时，必须将此位置“1”。

17.3.2.20 端口功能寄存器 H (PFHSPI)

地址 0008 C111h

	b7	b6	b5	b4	b3	b2	b1	b0
	SSL3E	SSL2E	SSL1E	SSL0E	MISOE	MOSIE	RSPCKE	RSPIS
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	RSPIS	RSPI 引脚选择位	0: 将 P30 设定为 MISOB-A 引脚 将 P26 设定为 MOSIB-A 引脚 将 P27 设定为 RSPCKB-A 引脚 将 P31 设定为 SSLB0-A 引脚 将 P50 设定为 SSLB1-A 引脚 将 P51 设定为 SSLB2-A 引脚 将 P52 设定为 SSLB3-A 引脚 1: 将 PE7 设定为 MISOB-B 引脚 将 PE6 设定为 MOSIB-B 引脚 将 PE5 设定为 RSPCKB-B 引脚 将 PE4 设定为 SSLB0-B 引脚 将 PE0 设定为 SSLB1-B 引脚 将 PE1 设定为 SSLB2-B 引脚 将 PE2 设定为 SSLB3-B 引脚	R/W
b1	RSPCKE	RSPCKB 输出允许位	0: RSPCKB 引脚无效 1: RSPCKB 引脚有效	R/W
b2	MOSIE	MOSIB 输出允许位	0: MOSIB 引脚无效 1: MOSIB 引脚有效	R/W
b3	MISOE	MISOB 输出允许位	0: MISOB 引脚无效 1: MISOB 引脚有效	R/W
b4	SSL0E	SSLB0 输出允许位	0: SSLB0 引脚无效 1: SSLB0 引脚有效	R/W
b5	SSL1E	SSLB1 输出允许位	0: SSLB1 引脚无效 1: SSLB1 引脚有效	R/W
b6	SSL2E	SSLB2 输出允许位	0: SSLB2 引脚无效 1: SSLB2 引脚有效	R/W
b7	SSL3E	SSLB3 输出允许位	0: SSLB3 引脚无效 1: SSLB3 引脚有效	R/W

PFHSPI 寄存器是设定 RSPI 通道 1 的相关输入 / 输出引脚的寄存器。

RSPIS 位 (RSPI 引脚选择位)

此位选择 RSPI 的输入 / 输出引脚。

RSPI 的各输入 / 输出引脚有允许位，选择允许位为“1”的引脚而不选择允许位为“0”的引脚。

RSPCKE 位 (RSPCKB 输出允许位)

此位选择允许或者禁止 RSPCKB 引脚的输出。在使用 RSPCKB 引脚时，必须将此位置“1”。

MOSIE 位（MOSIB 输出允许位）

此位选择允许或者禁止 MOSIB 引脚的输出。在使用 MOSIB 引脚时，必须将此位置“1”。

MISOE 位（MISOB 输出允许位）

此位选择允许或者禁止 MISOB 引脚的输出。在使用 MISOB 引脚时，必须将此位置“1”。

SSL0E 位（SSLB0 输出允许位）

此位选择允许或者禁止 SSLB0 引脚的输出。在使用 SSLB0 引脚时，必须将此位置“1”。

SSL1E 位（SSLB1 输出允许位）

此位选择允许或者禁止 SSLB1 引脚的输出。在使用 SSLB1 引脚时，必须将此位置“1”。

SSL2E 位（SSLB2 输出允许位）

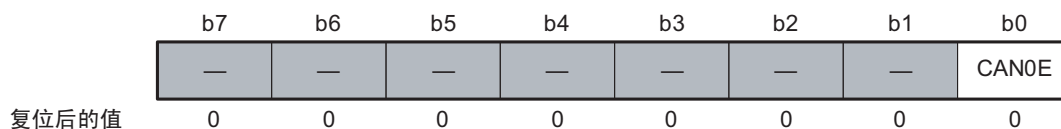
此位选择允许或者禁止 SSLB2 引脚的输出。在使用 SSLB2 引脚时，必须将此位置“1”。

SSL3E 位（SSLB3 输出允许位）

此位选择允许或者禁止 SSLB3 引脚的输出。在使用 SSLB3 引脚时，必须将此位置“1”。

17.3.2.21 端口功能寄存器 J (PFJCAN)

地址 0008 C113h



位	符号	位名	功能	R/W
b0	CAN0E	CAN0 引脚允许位	0: CTX0 引脚和 CRX0 引脚无效 1: CTX0 引脚和 CRX0 引脚有效	R/W
b7-b1	—	保留位	读写值都为“0”。	R/W

PFJCAN 寄存器是设定 CAN 的相关输入 / 输出引脚的寄存器。

CANnE 位 (CANn 引脚允许位) (n=0)

此位选择允许或者禁止 CANn 引脚。在使用 CANn 引脚时，必须将此位置“1”。

17.3.2.22 端口功能寄存器 K (PFKUSB)

地址 0008 C114h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	USBE	PDHZS	PUPHZS	USBMD[1:0]	
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	USBMD[1:0]	USB 模式设定位	b1 b0 0 0: 将 USB0 引脚设定为 Function 模式 0 1: 将 USB0 引脚设定为 Host 模式 1 0: 将 USB0 引脚设定为 Host/Function 兼用 (选项) (注 1) 1 1: 将 USB0 引脚设定为 OTG 模式	R/W
b2	PUPHZS	PUPHZ 选择位	0: USB0_DPUPE 引脚为 High 电平输出或者 Low 电平输出 (外部上拉控制信号) 1: USB0_DPUPE 引脚为 High 电平输出或者 Hi-Z 状态 (USB0_DP 引脚上拉输出)	R/W
b3	PDHZS	PDHZ 选择位	0: USB0_DPRPD 引脚为 High 电平输出或者 Low 电平输出 USB0_DRPD 引脚为 High 电平输出或者 Low 电平输出 (外部下拉控制信号) 1: USB0_DPRPD 引脚为 Low 电平输出或者 Hi-Z 状态 USB0_DRPD 引脚为 Low 电平输出或者 Hi-Z 状态 (USB0_DP 引脚和 USB0_DM 引脚为下拉输出)	R/W
b4	USBE	USB 允许位	0: 将全部 USB0 引脚设定为无效 1: 将全部 USB0 引脚设定为有效	R/W
b7-b5	—	保留位	读写值都为“0”。	R/W

注 1. 有关选项, 请向本公司营业窗口询问。

PFKUSB 寄存器是设定 USB0 的相关输入 / 输出引脚的寄存器。

USBMD[1:0] 位 (USB 模式设定位)

这些位选择 USB 的模式。

USBMD[1:0] 位的设定和 USB 模式的关系如表 17.30 所示。

PUPHZS 位 (PUPHZ 选择位)

此位选择 USB 的 DPUPE 引脚输出模式 (外部上拉控制 / 引脚上拉输出)。

如果将 PUPHZS 位置“0”, 就为用于外部上拉 IC 的控制信号输出模式, 从 DPUPE 引脚输出 High 电平有效的控制信号。当上拉 DP 引脚时, DPUPE 引脚为 High 电平输出状态; 当解除 DP 引脚的上拉时, DPUPE 引脚为 Low 电平输出状态。

如果将 PUPHZS 位置“1”, 就为直接上拉 DP 引脚的输出模式。当上拉 DP 引脚时, DPUPE 引脚为 High 电平输出状态; 当解除 DP 引脚的上拉时, DPUPE 引脚为高阻抗状态。

PDHYS 位（PDHZ 选择位）

此位选择 USB 的 DPRPD 引脚和 DRPD 引脚的输出模式（外部下拉控制 / 引脚下拉输出）。

如果将 PDHYS 位置“0”，就为用于外部下拉 IC 的控制信号输出模式，从 DPRPD 引脚和 DRPD 引脚输出 High 电平有效的控制信号。当下拉 DP 引脚和 DM 引脚时，DPRPD 引脚和 DRPD 引脚为 High 电平输出状态；当解除 DP 引脚和 DM 引脚的下拉时，DPRPD 引脚和 DRPD 引脚为 Low 电平输出状态。

如果将 PDHYS 位置“1”，就为直接下拉 DP 引脚和 DM 引脚的输出模式。当下拉 DP 引脚和 DM 引脚时，DPRPD 引脚和 DRPD 引脚为 Low 电平输出状态；当解除 DP 引脚和 DM 引脚的下拉时，DPRPD 引脚和 DRPD 引脚为高阻抗状态。

USBE 位（USB 允许位）

此位允许 USB 引脚。

表 17.30 USBMD[1:0] 位的设定和 USB 模式的关系（USB0）

USBMD1	USBMD0	USB0 的模式	使用的 USB 引脚	分配的端口名	备注
0	0	Function 模式	USB0_DP	USB0_DP	
			USB0_DM	USB0_DM	
			USB0_VBUS	P16	
			USB0_DPUPE-B	P14	选择 -B 侧
0	1	Host 模式	USB0_DP	USB0_DP	
			USB0_DM	USB0_DM	
			USB0_OVRCURA	P14	
			USB0_VBUSEN-B	P16	选择 -B 侧
1	0	Host/Function 兼用 (选项) (注 1)	USB0_DP	USB0_DP	
			USB0_DM	USB0_DM	
			USB0_OVRCURA	P14	
			USB0_VBUS	P16	
			USB0_DRPD	P22	
			USB0_DPUPE-A	P23	选择 -A 侧
			USB0_VBUSEN-A	P24	选择 -A 侧
1	1	OTG 模式	USB0_DP	USB0_DP	
			USB0_DM	USB0_DM	
			USB0_OVRCURA	P14	
			USB0_OVRCURB	P16	
			USB0_DPRPD	P25	
			USB0_DRPD	P22	
			USB0_EXICEN	P21	
			USB0_ID	P20	
			USB0_DPUPE-A	P23	选择 -A 侧
			USB0_VBUSEN-A	P24	选择 -A 侧

注 1. 有关选项，请向本公司营业窗口询问。

17.3.2.23 端口功能寄存器 M (PFMPOE)

地址 0008 C116h

	b7	b6	b5	b4	b3	b2	b1	b0
	POE7E	POE6E	POE5E	POE4E	POE3E	POE2E	POE1E	POE0E
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	POE0E	POE0 输入允许位	0: 设定为 I/O 端口 1: 设定为 POEn# 输入引脚 (n=0 ~ 7)	R/W (注 1)
b1	POE1E	POE1 输入允许位		R/W (注 1)
b2	POE2E	POE2 输入允许位		R/W (注 1)
b3	POE3E	POE3 输入允许位		R/W (注 1)
b4	POE4E	POE4 输入允许位		R/W (注 1)
b5	POE5E	POE5 输入允许位		R/W (注 1)
b6	POE6E	POE6 输入允许位		R/W (注 1)
b7	POE7E	POE7 输入允许位		R/W (注 1)

注 1. 只有复位开始后的第 1 次写操作有效，不能进行第 2 次以后的操作。

PFMPOE 寄存器是选择允许或者禁止 POE 输入引脚的寄存器。

为了防止系统的误动作，必须在复位开始后进行写操作。

只有复位开始后的第 1 次写操作有效。

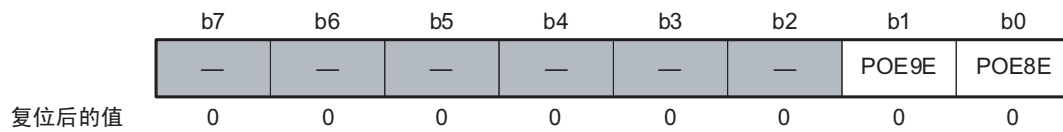
POEnE 位 (POEn 输入允许位) (n=0 ~ 7)

此位选择允许或者禁止对应的 POEn# 输入。

在使用 POEn# 时，必须将对应的 POEnE 位置“1”。

17.3.2.24 端口功能寄存器 N (PFNPOE)

地址 0008 C117h



位	符号	位名	功能	R/W
b0	POE8E	POE8 输入允许位	0: 设定为 I/O 端口 1: 设定为 POEn# 输入引脚 (n=8 ~ 9)	R/W (注 1)
b1	POE9E	POE9 输入允许位		R/W (注 1)
b7-b2	—	保留位	读写值都为“0”。	R/W

注 1. 只有复位开始后的第 1 次写操作有效，不能进行第 2 次以后的操作。

PFNPOE 寄存器是选择允许或者禁止 POE 输入引脚的寄存器。
为了防止系统的误动作，必须在复位开始后进行写操作。
只有复位开始后的第 1 次写操作有效。

POEnE 位 (POEn 输入允许位) (n=8 ~ 9)

此位选择允许或者禁止对应的 POEn# 输入。
在使用 POEn# 时，必须将对应的 POEnE 位置“1”。

17.3.4 输出允许设定一览表

各端口的输出允许设定一览表如表 17.32 所示。

对应的输出信号的详细内容请参照各外围模块的寄存器说明。

能通过端口功能寄存器，更改各外围模块引脚名末尾带有 A ~ D 的任意一个字符的引脚功能。

表 17.32 各端口的输出允许设定一览表 (1 / 9) (100 引脚 LQFP)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
P05	DA	DA1		DACR.DAOE1=1
	PORT0	P05		PORT0.DDR.B5=1
P07	PORT0	P07		PORT0.DDR.B7=1
P12	RIIC0	SCL0		RIIC0.ICCR1.ICE=1
	PORT1	P12		PORT1.DDR.B2=1
P13	MTU0	MTIOC0B		MTU 的设定请参照“表 17.33 MTU 各端口的输出允许设定一览表”。
	TMR3	TMO3		TMO3.TCSR.OSA[1:0]=01/10/11 或者 TMO3.TCSR.OSB[1:0]=01/10/11
	SCI2	TxD2-A	PFFSCI.SCI2S=0	SCI2.SCR.TE=1
	PPG0	PO13		PPG0.NDERH.NDER13=1
	RIIC0	SDA0		RIIC0.ICCR1.ICE=1
	PORT1	P13		PORT1.DDR.B3=1
P14	USB0	USB0_DPUPE-B	PFKUSB.USBE=1 PFKUSB.USBMD[1:0]=00	(信号的输出状态取决于外围模块的设定)
	MTU3	MTIOC3A		MTU 的设定请参照“表 17.33 MTU 各端口的输出允许设定一览表”。
	PPG0	PO15		PPG0.NDERH.NDER15=1
	PORT1	P14		PORT1.DDR.B4=1
P16	USB0	USB0_VBUSEN-B	PFKUSB.USBE=1 PFKUSB.USBMD[1:0]=01	(信号的输出状态取决于外围模块的设定)
	MTU3	MTIOC3C		MTU 的设定请参照“表 17.33 MTU 各端口的输出允许设定一览表”。
	TMR2	TMO2		TMO2.TCSR.OSA[1:0]=01/10/11 或者 TMO2.TCSR.OSB[1:0]=01/10/11
	PPG0	PO14		PPG0.NDERH.NDER14=1
	PORT1	P16		PORT1.DDR.B6=1
P20	MTU1	MTIOC1A		MTU 的设定请参照“表 17.33 MTU 各端口的输出允许设定一览表”。
	SCI0	TxD0		SCI0.SCR.TE=1
	PPG0	PO0		PPG0.NDERL.NDER0=1
	PORT2	P20		PORT2.DDR.B0=1
P21	USB0	USB0_EXICEN	PFKUSB.USBE=1 PFKUSB.USBMD[1:0]=11	(信号的输出状态取决于外围模块的设定)
	MTU1	MTIOC1B		MTU 的设定请参照“表 17.33 MTU 各端口的输出允许设定一览表”。
	PPG0	PO1		PPG0.NDERL.NDER1=1
	PORT2	P21		PORT2.DDR.B1=1

表 17.32 各端口的输出允许设定一览表 (2 / 9) (100 引脚 LQFP)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
P22	USB0	USB0_DRPD	PFKUSB.USBE=1 PFKUSB.USBMD[1:0]=10/11	(信号的输出状态取决于外围模块的设定)
	MTU3	MTIOC3B		MTU 的设定请参照“表 17.33 MTU 各端口的输出允许设定一览表”。
	TMR0	TMO0		TMO0.TCSR.OSA[1:0]=01/10/11 或者 TMO0.TCSR.OSB[1:0]=01/10/11
	SCI0	SCK0		当 SCI0.SCMR.SMIF=1 时: SMR.GM=0、SCR.CKE[1:0]=01, 或者 SMR.GM=1 当 SCI0.SCMR.SMIF=0 时: SMR.CM=0、SCR.CKE[1:0]=01, 或者 SMR.CM=1、SCR.CKE[1]=0
	PPG0	PO2		PPG0.NDERL.NDER2=1
	PORT2	P22		PORT2.DDR.B2=1
P23	USB0	USB0_DPUPE-A	PFKUSB.USBE=1 PFKUSB.USBMD[1:0]=10/11	(信号的输出状态取决于外围模块的设定)
	MTU3	MTIOC3D		MTU 的设定请参照“表 17.33 MTU 各端口的输出允许设定一览表”。
	SCI3	TxD3		SCI3.SCR.TE=1
	PPG0	PO3		PPG0.NDERL.NDER3=1
	PORT2	P23		PORT2.DDR.B3=1
P24	外部总线 (CS)	CS4#	PF0CSE.CS4E=1	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	USB0	USB0_VBUSEN-A	PFKUSB.USBE=1 PFKUSB.USBMD[1:0]=10/11	(信号的输出状态取决于外围模块的设定)
	MTU4	MTIOC4A		MTU 的设定请参照“表 17.33 MTU 各端口的输出允许设定一览表”。
	SCI3	SCK3		当 SCI3.SCMR.SMIF=1 时: SMR.GM=0、SCR.CKE[1:0]=01, 或者 SMR.GM=1 当 SCI3.SCMR.SMIF=0 时: SMR.CM=0、SCR.CKE[1:0]=01, 或者 SMR.CM=1、SCR.CKE[1]=0
	PPG0	PO4		PPG0.NDERL.NDER4=1
	PORT2	P24		PORT2.DDR.B4=1
P25	外部总线 (CS)	CS5#	PF0CSE.CS5E=1	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	USB0	USB0_DPRPD	PFKUSB.USBE=1 PFKUSB.USBMD[1:0]=11	(信号的输出状态取决于外围模块的设定)
	MTU4	MTIOC4C		MTU 的设定请参照“表 17.33 MTU 各端口的输出允许设定一览表”。
	PPG0	PO5		PPG0.NDERL.NDER5=1
	PORT2	P25		PORT2.DDR.B5=1

表 17.32 各端口的输出允许设定一览表 (3 / 9) (100 引脚 LQFP)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
P26	外部总线 (CS)	CS6#	PF0CSE.CS6E=1	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	RSPI1	MOSIB-A	PFHSPI.MOSIE=1 PFHSPI.RSPIS=0	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	MTU2	MTIOC2A		MTU 的设定请参照“表 17.33 MTU 各端口的输出允许设定一览表”。
	TMR1	TMO1		TMO1.TCSR.OSA[1:0]=01/10/11 或者 TMO1.TCSR.OSB[1:0]=01/10/11
	SCI1	TxD1		SCI1.SCR.TE=1
	PPG0	PO6		PPG0.NDERL.NDER6=1
	PORT2	P26		PORT2.DDR.B6=1
P27	外部总线 (CS)	CS7#	PF0CSE.CS7E=1	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	RSPI1	RSPCKB-A	PFHSPI.RSPCKE=1 PFHSPI.RSPIS=0	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	MTU2	MTIOC2B		MTU 的设定请参照“表 17.33 MTU 各端口的输出允许设定一览表”。
	SCI1	SCK1		当 SCI1.SCMR.SMIF=1 时: SMR.GM=0、SCR.CKE[1:0]=01, 或者 SMR.GM=1 当 SCI1.SCMR.SMIF=0 时: SMR.CM=0、SCR.CKE[1:0]=01, 或者 SMR.CM=1、SCR.CKE[1]=0
	PPG0	PO7		PPG0.NDERL.NDER7=1
	PORT2	P27		PORT2.DDR.B7=1
	P30	RSPI1	MISOB-A	PFHSPI.MISOE=1 PFHSPI.RSPIS=0
MTU4		MTIOC4B-A	PFCMTU.MTUS5=0	MTU 的设定请参照“表 17.33 MTU 各端口的输出允许设定一览表”。
PPG0		PO8		PPG0.NDERH.NDER8=1
PORT3		P30		PORT3.DDR.B0=1
P31	RSPI1	SSLB0-A	PFHSPI.SSL0E=1 PFHSPI.RSPIS=0	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	MTU4	MTIOC4D-A	PFCMTU.MTUS5=0	MTU 的设定请参照“表 17.33 MTU 各端口的输出允许设定一览表”。
	PPG0	PO9		PPG0.NDERH.NDER9=1
	PORT3	P31		PORT3.DDR.B1=1
P32	CAN0	CTX0	PFJCAN.CAN0E=1	(信号的输出状态取决于外围模块的设定)
	MTU0	MTIOC0C		MTU 的设定请参照“表 17.33 MTU 各端口的输出允许设定一览表”。
	SCI6	TxD6		SCI6.SCR.TE=1
	RTC	RTCOUT		RCR2.RTCOE=1
	PPG0	PO10		PPG0.NDERH.NDER10=1
	PORT3	P32		PORT3.DDR.B2=1
	P33	MTU0	MTIOC0D	
PPG0		PO11		PPG0.NDERH.NDER11=1
PORT3		P33		PORT3.DDR.B3=1

表 17.32 各端口的输出允许设定一览表 (4 / 9) (100 引脚 LQFP)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
P34	MTU0	MTIOC0A		MTU 的设定请参照“表 17.33 MTU 各端口的输出允许设定一览表”。
	SCI6	SCK6		当 SCI6.SCMR.SMIF=1 时: SMR.GM=0、SCR.CKE[1:0]=01, 或者 SMR.GM=1 当 SCI6.SCMR.SMIF=0 时: SMR.CM=0、SCR.CKE[1:0]=01, 或者 SMR.CM=1、SCR.CKE[1]=0
	PPG0	PO12		PPG0.NDERH.NDER12=1
	PORT3	P34		PORT3.DDR.B4=1
P35	(NA)	(NA)		
P40	PORT4	P40		PORT4.DDR.B0=1
P41	PORT4	P41		PORT4.DDR.B1=1
P42	PORT4	P42		PORT4.DDR.B2=1
P43	PORT4	P43		PORT4.DDR.B3=1
P44	PORT4	P44		PORT4.DDR.B4=1
P45	PORT4	P45		PORT4.DDR.B5=1
P46	PORT4	P46		PORT4.DDR.B6=1
P47	PORT4	P47		PORT4.DDR.B7=1
P50	外部总线	WR# WR0#		SYSCR0.EXBE=1
	RSPI1	SSLB1-A	PFHSPI.SSL1E=1 PFHSPI.RSPIS=0	(信号的输出状态取决于外围模块的设定)
	SCI2	TxD2-B	PFHSCI.SCI2S=1	SCI2.SCR.TE=1
	PORT5	P50		PORT5.DDR.B0=1
P51	外部总线	WR1# BC1#	PF5BUS.WR1BC1E=1	SYSCR0.EXBE=1
	RSPI1	SSLB2-A	PFHSPI.SSL2E=1 PFHSPI.RSPIS=0	(信号的输出状态取决于外围模块的设定)
	SCI2	SCK2		当 SCI2.SCMR.SMIF=1 时: SMR.GM=0、SCR.CKE[1:0]=01, 或者 SMR.GM=1 当 SCI2.SCMR.SMIF=0 时: SMR.CM=0、SCR.CKE[1:0]=01, 或者 SMR.CM=1、SCR.CKE[1]=0
	PORT5	P51		PORT5.DDR.B1=1
P52	外部总线	RD#	PF6BUS.MDSDE=1	SYSCR0.EXBE=1
	RSPI1	SSLB3-A	PFHSPI.SSL3E=1 PFHSPI.RSPIS=0	(信号的输出状态取决于外围模块的设定)
	PORT5	P52		PORT5.DDR.B2=1
P53	外部总线	BCLK		PORT5.DDR.B3=1
P54	MTU4	MTIOC4B-B	PFCMTU.MTUS5=1	MTU 的设定请参照“表 17.33 MTU 各端口的输出允许设定一览表”。
	PORT5	P54		PORT5.DDR.B4=1
P55	EtherNET	ET_EXOUT	PFENET.EE=1 PFENET.ENETE2=1	(信号的输出状态取决于外围模块的设定)
	MTU4	MTIOC4D-B	PFCMTU.MTUS5=1	MTU 的设定请参照“表 17.33 MTU 各端口的输出允许设定一览表”。
	PORT5	P55		PORT5.DDR.B5=1

表 17.32 各端口的输出允许设定一览表 (5 / 9) (100 引脚 LQFP)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
PA0	外部总线	A0 BC0#	PF4BUS.ADRLE[1:0]=01/10/11	SYSCR0.EXBE=1
	RSPI0	SSLA1-B	PFGSPI.SSL1E=1 PFGSPI.RSPIS=1	(信号的输出状态取决于外围模块的设定)
	MTU6	MTIOC6A		MTU 的设定请参照“表 17.33 MTU 各端口的输出允许设定一览表”。
	PPG1	PO16		PPG1.NDERL.NDER0=1
	PORTA	PA0		PORTA.DDR.B0=1
PA1	外部总线	A1	PF4BUS.ADRLE[1:0]=01/10/11	SYSCR0.EXBE=1
	RSPI0	SSLA2-B	PFGSPI.SSL2E=1 PFGSPI.RSPIS=1	(信号的输出状态取决于外围模块的设定)
	MTU6	MTIOC6B		MTU 的设定请参照“表 17.33 MTU 各端口的输出允许设定一览表”。
	PPG1	PO17		PPG1.NDERL.NDER1=1
	PORTA	PA1		PORTA.DDR.B1=1
PA2	外部总线	A2	PF4BUS.ADRLE[1:0]=01/10/11	SYSCR0.EXBE=1
	RSPI0	SSLA3-B	PFGSPI.SSL3E=1 PFGSPI.RSPIS=1	(信号的输出状态取决于外围模块的设定)
	MTU6	MTIOC6C		MTU 的设定请参照“表 17.33 MTU 各端口的输出允许设定一览表”。
	PPG1	PO18		PPG1.NDERL.NDER2=1
	PORTA	PA2		PORTA.DDR.B2=1
PA3	外部总线	A3	PF4BUS.ADRLE[1:0]=01/10/11	SYSCR0.EXBE=1
	EtherNET	ET_MDIO	PFENET.EE=1	(除引脚允许以外, 外围模块的设定有输入/输出转换功能)
	MTU6	MTIOC6D		MTU 的设定请参照“表 17.33 MTU 各端口的输出允许设定一览表”。
	PPG1	PO19		PPG1.NDERL.NDER3=1
	PORTA	PA3		PORTA.DDR.B3=1
PA4	外部总线	A4	PF4BUS.ADRLE[1:0]=10/11	SYSCR0.EXBE=1
	RSPI0	SSLA0-B	PFGSPI.SSL0E=1 PFGSPI.RSPIS=1	(除引脚允许以外, 外围模块的设定有输入/输出转换功能。)
	EtherNET	ET_MDC	PFENET.EE=1	(信号的输出状态取决于外围模块的设定)
	MTU7	MTIOC7A		MTU 的设定请参照“表 17.33 MTU 各端口的输出允许设定一览表”。
	PPG1	PO20		PPG1.NDERL.NDER4=1
	PORTA	PA4		PORTA.DDR.B4=1
PA5	外部总线	A5	PF4BUS.ADRLE[1:0]=10/11	SYSCR0.EXBE=1
	RSPI0	RSPCKA-B	PFGSPI.RSPCKE=1 PFGSPI.RSPIS=1	(除引脚允许以外, 外围模块的设定有输入/输出转换功能。)
	MTU7	MTIOC7B		MTU 的设定请参照“表 17.33 MTU 各端口的输出允许设定一览表”。
	PPG1	PO21		PPG1.NDERL.NDER5=1
	PORTA	PA5		PORTA.DDR.B5=1

表 17.32 各端口的输出允许设定一览表 (6 / 9) (100 引脚 LQFP)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
PA6	外部总线	A6	PF4BUS.ADRLE[1:0]=10/11	SYSCR0.EXBE=1
	RSPI0	MOSIA-B	PFGSPI.MOSIE=1 PFGSPI.RSPIS=1	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	EtherNET	ET_EXOUT	PFENET.EE=1 PFENET.ENETE2=1	(信号的输出状态取决于外围模块的设定)
	MTU8	MTIOC8A		MTU 的设定请参照“表 17.33 MTU 各端口的输出允许设定一览表”。
	PPG1	PO22		PPG1.NDERL.NDER6=1
	PORTA	PA6		PORTA.DDR.B6=1
PA7	外部总线	A7	PF4BUS.ADRLE[1:0]=10/11	SYSCR0.EXBE=1
	RSPI0	MISOA-B	PFGSPI.MISOE=1 PFGSPI.RSPIS=1	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	EtherNET	ET_WOL	PFENET.EE=1 PFENET.ENETE0=1	(信号的输出状态取决于外围模块的设定)
	MTU8	MTIOC8B		MTU 的设定请参照“表 17.33 MTU 各端口的输出允许设定一览表”。
	PPG1	PO23		PPG1.NDERL.NDER7=1
	PORTA	PA7		PORTA.DDR.B7=1
PB0	外部总线	A8	PF4BUS.ADRLE[1:0]=11	SYSCR0.EXBE=1
	MTU9	MTIOC9A		MTU 的设定请参照“表 17.33 MTU 各端口的输出允许设定一览表”。
	PPG1	PO24		PPG1.NDERH.NDER8=1
	PORTB	PB0		PORTB.DDR.B0=1
PB1	外部总线	A9	PF4BUS.ADRLE[1:0]=11	SYSCR0.EXBE=1
	MTU9	MTIOC9C		MTU 的设定请参照“表 17.33 MTU 各端口的输出允许设定一览表”。
	PPG1	PO25		PPG1.NDERH.NDER9=1
	PORTB	PB1		PORTB.DDR.B1=1
PB2	外部总线	A10	PF4BUS.A10E=1	SYSCR0.EXBE=1
	MTU9	MTIOC9B		MTU 的设定请参照“表 17.33 MTU 各端口的输出允许设定一览表”。
	PPG1	PO26		PPG1.NDERH.NDER10=1
	PORTB	PB2		PORTB.DDR.B2=1
PB3	外部总线	A11	PF4BUS.A11E=1	SYSCR0.EXBE=1
	MTU9	MTIOC9D		MTU 的设定请参照“表 17.33 MTU 各端口的输出允许设定一览表”。
	PPG1	PO27		PPG1.NDERH.NDER11=1
	PORTB	PB3		PORTB.DDR.B3=1
PB4	外部总线	A12	PF4BUS.A12E=1	SYSCR0.EXBE=1
	EtherNET	ET_TX_EN	PFENET.EE=1 PFENET.PHYMODE=1	(信号的输出状态取决于外围模块的设定)
	EtherNET	RMII_TXD_EN	PFENET.EE=1 PFENET.PHYMODE=0	(信号的输出状态取决于外围模块的设定)
	MTU10	MTIOC10A		MTU 的设定请参照“表 17.33 MTU 各端口的输出允许设定一览表”。
	PPG1	PO28		PPG1.NDERH.NDER12=1
	PORTB	PB4		PORTB.DDR.B4=1

表 17.32 各端口的输出允许设定一览表 (7 / 9) (100 引脚 LQFP)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
PB5	外部总线	A13	PF4BUS.A13E=1	SYSCR0.EXBE=1
	EtherNET	ET_ETXD0	PFENET.EE=1 PFENET.PHYMODE=1	(信号的输出状态取决于外围模块的设定)
	EtherNET	RMII_TXD0	PFENET.EE=1 PFENET.PHYMODE=0	(信号的输出状态取决于外围模块的设定)
	MTU10	MTIOC10C		MTU 的设定请参照“表 17.33 MTU 各端口的输出允许设定一览表”。
	PPG1	PO29		PPG1.NDERH.NDER13=1
	PORTB	PB5		PORTB.DDR.B5=1
PB6	外部总线	A14	PF4BUS.A14E=1	SYSCR0.EXBE=1
	EtherNET	ET_ETXD1	PFENET.EE=1 PFENET.PHYMODE=1	(信号的输出状态取决于外围模块的设定)
	EtherNET	RMII_TXD1	PFENET.EE=1 PFENET.PHYMODE=0	(信号的输出状态取决于外围模块的设定)
	MTU10	MTIOC10B		MTU 的设定请参照“表 17.33 MTU 各端口的输出允许设定一览表”。
	PPG1	PO30		PPG1.NDERH.NDER14=1
	PORTB	PB6		PORTB.DDR.B6=1
PB7	外部总线	A15	PF4BUS.A15E=1	SYSCR0.EXBE=1
	MTU10	MTIOC10D		MTU 的设定请参照“表 17.33 MTU 各端口的输出允许设定一览表”。
	PPG1	PO31		PPG1.NDERH.NDER15=1
	PORTB	PB7		PORTB.DDR.B7=1
PC0	外部总线	A16	PF3BUS.A16E=1	SYSCR0.EXBE=1
	RSPI0	SSLA1-A	PFGSPI.SSL1E=1 PFGSPI.RSPIS=0	(信号的输出状态取决于外围模块的设定)
	PORTC	PC0		PORTC.DDR.B0=1
PC1	外部总线	A17	PF3BUS.A17E=1	SYSCR0.EXBE=1
	RSPI0	SSLA2-A	PFGSPI.SSL2E=1 PFGSPI.RSPIS=0	(信号的输出状态取决于外围模块的设定)
	SCI5	SCK5		当 SCI5.SCMR.SMIF=1 时: SMR.GM=0、SCR.CKE[1:0]=01, 或者 SMR.GM=1 当 SCI5.SCMR.SMIF=0 时: SMR.CM=0、SCR.CKE[1:0]=01, 或者 SMR.CM=1、SCR.CKE[1]=0
	PORTC	PC1		PORTC.DDR.B1=1
PC2	外部总线	A18	PF3BUS.A18E=1	SYSCR0.EXBE=1
	RSPI0	SSLA3-A	PFGSPI.SSL3E=1 PFGSPI.RSPIS=0	(信号的输出状态取决于外围模块的设定)
	PORTC	PC2		PORTC.DDR.B2=1
PC3	外部总线	A19	PF3BUS.A19E=1	SYSCR0.EXBE=1
	EtherNET	ET_TX_ER	PFENET.EE=1 PFENET.ENETE3=1	(信号的输出状态取决于外围模块的设定)
	SCI5	TxD5		SCI5.SCR.TE=1
	PORTC	PC3		PORTC.DDR.B3=1

表 17.32 各端口的输出允许设定一览表 (8 / 9) (100 引脚 LQFP)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
PC4	外部总线	A20	PF3BUS.A20E=1	SYSCR0.EXBE=1
	外部总线 (CS)	CS3#	PF0CSE.CS3E=1	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	RSPI0	SSLA0-A	PFGSPI.SSL0E=1 PFGSPI.RSPIS=0	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	PORTC	PC4		PORTC.DDR.B4=1
PC5	外部总线	A21	PF3BUS.A21E=1	SYSCR0.EXBE=1
	外部总线 (CS)	CS2#	PF0CSE.CS2E=1	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	RSPI0	RSPCKA-A	PFGSPI.RSPCKE=1 PFGSPI.RSPIS=0	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	EtherNET	ET_ETXD2	PFENET.EE=1 PFENET.PHYMODE=1	(信号的输出状态取决于外围模块的设定)
	PORTC	PC5		PORTC.DDR.B5=1
PC6	外部总线	A22	PF3BUS.A22E=1	SYSCR0.EXBE=1
	外部总线 (CS)	CS1#	PF0CSE.CS1E=1	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	RSPI0	MOSIA-A	PFGSPI.MOSIE=1 PFGSPI.RSPIS=0	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	EtherNET	ET_ETXD3	PFENET.EE=1 PFENET.PHYMODE=1	(信号的输出状态取决于外围模块的设定)
	PORTC	PC6		PORTC.DDR.B6=1
PC7	外部总线	A23	PF3BUS.A23E=1	SYSCR0.EXBE=1
	外部总线 (CS)	CS0#	PF0CSE.CS0E=1	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	RSPI0	MISOA-A	PFGSPI.MISOE=1 PFGSPI.RSPIS=0	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	PORTC	PC7		PORTC.DDR.B7=1
PD0	外部总线 (数据)	D0		SYSCR0.EXBE=1
	PORTD	PD0		PORTD.DDR.B0=1
PD1	外部总线 (数据)	D1		SYSCR0.EXBE=1
	PORTD	PD1		PORTD.DDR.B1=1
PD2	外部总线 (数据)	D2		SYSCR0.EXBE=1
	PORTD	PD2		PORTD.DDR.B2=1
PD3	外部总线 (数据)	D3		SYSCR0.EXBE=1
	PORTD	PD3		PORTD.DDR.B3=1
PD4	外部总线 (数据)	D4		SYSCR0.EXBE=1
	PORTD	PD4		PORTD.DDR.B4=1
PD5	外部总线 (数据)	D5		SYSCR0.EXBE=1
	PORTD	PD5		PORTD.DDR.B5=1
PD6	外部总线 (数据)	D6		SYSCR0.EXBE=1
	PORTD	PD6		PORTD.DDR.B6=1

表 17.32 各端口的输出允许设定一览表 (9 / 9) (100 引脚 LQFP)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
PD7	外部总线 (数据)	D7		SYSCR0.EXBE=1
	PORTD	PD7		PORTD.DDR.B7=1
PE0	外部总线 (数据)	D8	PF5BUS.DHE=1	SYSCR0.EXBE=1
	RSPI1	SSLB1-B	PFHSPI.SSL1E=1 PFHSPI.RSPIS=1	(信号的输出状态取决于外围模块的设定)
	PORTE	PE0		PORTE.DDR.B0=1
PE1	外部总线 (数据)	D9	PF5BUS.DHE=1	SYSCR0.EXBE=1
	RSPI1	SSLB2-B	PFHSPI.SSL2E=1 PFHSPI.RSPIS=1	(信号的输出状态取决于外围模块的设定)
	PORTE	PE1		PORTE.DDR.B1=1
PE2	外部总线 (数据)	D10	PF5BUS.DHE=1	SYSCR0.EXBE=1
	RSPI1	SSLB3-B	PFHSPI.SSL3E=1 PFHSPI.RSPIS=1	(信号的输出状态取决于外围模块的设定)
	PORTE	PE2		PORTE.DDR.B2=1
PE3	外部总线 (数据)	D11	PF5BUS.DHE=1	SYSCR0.EXBE=1
	PORTE	PE3		PORTE.DDR.B3=1
PE4	外部总线 (数据)	D12	PF5BUS.DHE=1	SYSCR0.EXBE=1
	RSPI1	SSLB0-B	PFHSPI.SSL0E=1 PFHSPI.RSPIS=1	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	PORTE	PE4		PORTE.DDR.B4=1
PE5	外部总线 (数据)	D13	PF5BUS.DHE=1	SYSCR0.EXBE=1
	RSPI1	RSPCKB-B	PFHSPI.RSPCKE=1 PFHSPI.RSPIS=1	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	PORTE	PE5		PORTE.DDR.B5=1
PE6	外部总线 (数据)	D14	PF5BUS.DHE=1	SYSCR0.EXBE=1
	RSPI1	MOSIB-B	PFHSPI.MOSIE=1 PFHSPI.RSPIS=1	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	PORTE	PE6		PORTE.DDR.B6=1
PE7	外部总线 (数据)	D15	PF5BUS.DHE=1	SYSCR0.EXBE=1
	RSPI1	MISOB-B	PFHSPI.MISOE=1 PFHSPI.RSPIS=1	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	PORTE	PE7		PORTE.DDR.B7=1

表 17.33 MTU 各端口的输出允许设定一览表 (1 / 6)

通道	引脚名	运行模式	模式选择位	各端口的输出允许设定	
MTU0	MTIOC0A	普通运行	MTU0.TMDR.MD[3:0] = 0000	MTU0.TIORH.IOA[3] = 0 MTU0.TIORH.IOA[1:0] = 01/10/11	
		PWM 模式 1	MTU0.TMDR.MD[3:0] = 0010	MTU0.TIORH.IOA[1:0] = 01/10/11	
		PWM 模式 2	MTU0.TMDR.MD[3:0] = 0011	MTU0.TCR.CCLR[2:0] = 001 以外 MTU0.TIORH.IOA[1:0] = 01/10/11	
	MTIOC0B	普通运行	MTU0.TMDR.MD[3:0] = 0000	MTU0.TIORH.IOB[3] = 0 MTU0.TIORH.IOB[1:0] = 01/10/11	
		PWM 模式 2	MTU0.TMDR.MD[3:0] = 0011	MTU0.TCR.CCLR[2:0] = 010 以外 MTU0.TIORH.IOB[1:0] = 01/10/11	
	MTIOC0C	普通运行	MTU0.TMDR.MD[3:0] = 0000	MTU0.TMDR.BFA = 0 MTU0.TIORL.IOC[3] = 0 MTU0.TIORL.IOC[1:0] = 01/10/11	
		PWM 模式 1	MTU0.TMDR.MD[3:0] = 0010	MTU0.TMDR.BFA = 0 MTU0.TMDR.BFB = 0 MTU0.TIORL.IOC[1:0] = 01/10/11	
		PWM 模式 2	MTU0.TMDR.MD[3:0] = 0011	MTU0.TMDR.BFA = 0 MTU0.TCR.CCLR[2:0] = 101 以外 MTU0.TIORL.IOC[1:0] = 01/10/11	
	MTIOC0D	普通运行	MTU0.TMDR.MD[3:0] = 0000	MTU0.TMDR.BFB = 0 MTU0.TIORL.IOD[3] = 0 MTU0.TIORL.IOD[1:0] = 01/10/11	
		PWM 模式 2	MTU0.TMDR.MD[3:0] = 0011	MTU0.TMDR.BFB = 0 MTU0.TCR.CCLR[2:0] = 110 以外 MTU0.TIORL.IOD[1:0] = 01/10/11	
	MTU1	MTIOC1A	普通运行	MTU1.TMDR.MD[3:0] = 0000	MTU1.TIOR.IOA[3] = 0 MTU1.TIOR.IOA[1:0] = 01/10/11
			PWM 模式 1	MTU1.TMDR.MD[3:0] = 0010	MTU1.TIOR.IOA[1:0] = 01/10/11
PWM 模式 2			MTU1.TMDR.MD[3:0] = 0011	MTU1.TCR.CCLR[1:0] = 01 以外 MTU1.TIOR.IOA[1:0] = 01/10/11	
相位计数模式 1			MTU1.TMDR.MD[3:0] = 0100	MTU1.TIOR.IOA[3] = 0 MTU1.TIOR.IOA[1:0] = 01/10/11	
相位计数模式 2			MTU1.TMDR.MD[3:0] = 0101		
相位计数模式 3			MTU1.TMDR.MD[3:0] = 0110		
相位计数模式 4			MTU1.TMDR.MD[3:0] = 0111		
MTIOC1B		普通运行	MTU1.TMDR.MD[3:0] = 0000	MTU1.TIOR.IOB[3] = 0 MTU1.TIOR.IOB[1:0] = 01/10/11	
		PWM 模式 2	MTU1.TMDR.MD[3:0] = 0011	MTU1.TCR.CCLR[1:0] = 10 以外 MTU1.TIOR.IOB[1:0] = 01/10/11	
		相位计数模式 1	MTU1.TMDR.MD[3:0] = 0100	MTU1.TIOR.IOB[3] = 0 MTU1.TIOR.IOB[1:0] = 01/10/11	
		相位计数模式 2	MTU1.TMDR.MD[3:0] = 0101		
		相位计数模式 3	MTU1.TMDR.MD[3:0] = 0110		
相位计数模式 4	MTU1.TMDR.MD[3:0] = 0111				
MTU2	MTIOC2A	普通运行	MTU2.TMDR.MD[3:0] = 0000	MTU2.TIOR.IOA[3] = 0 MTU2.TIOR.IOA[1:0] = 01/10/11	
		PWM 模式 1	MTU2.TMDR.MD[3:0] = 0010	MTU2.TIOR.IOA[1:0] = 01/10/11	
		PWM 模式 2	MTU2.TMDR.MD[3:0] = 0011	MTU2.TCR.CCLR[1:0] = 01 以外 MTU2.TIOR.IOA[1:0] = 01/10/11	
		相位计数模式 1	MTU2.TMDR.MD[3:0] = 0100	MTU2.TIOR.IOA[3] = 0 MTU2.TIOR.IOA[1:0] = 01/10/11	
		相位计数模式 2	MTU2.TMDR.MD[3:0] = 0101		
		相位计数模式 3	MTU2.TMDR.MD[3:0] = 0110		
		相位计数模式 4	MTU2.TMDR.MD[3:0] = 0111		

表 17.33 MTU 各端口的输出允许设定一览表 (2 / 6)

通道	引脚名	运行模式	模式选择位	各端口的输出允许设定	
MTU2	MTIOC2B	普通运行	MTU2.TMDR.MD[3:0] = 0000	MTU2.TIOR.IOB[3] = 0 MTU2.TIOR.IOB[1:0] = 01/10/11	
		PWM 模式 2	MTU2.TMDR.MD[3:0] = 0011	MTU2.TCR.CCLR[1:0] = 10 以外 MTU2.TIOR.IOB[1:0] = 01/10/11	
		相位计数模式 1	MTU2.TMDR.MD[3:0] = 0100	MTU2.TIOR.IOB[3] = 0 MTU2.TIOR.IOB[1:0] = 01/10/11	
		相位计数模式 2	MTU2.TMDR.MD[3:0] = 0101		
		相位计数模式 3	MTU2.TMDR.MD[3:0] = 0110		
		相位计数模式 4	MTU2.TMDR.MD[3:0] = 0111		
MTU3	MTIOC3A	普通运行	MTU3.TMDR.MD[3:0] = 0000	MTU3.TIORH.IOA[3] = 0 MTU3.TIORH.IOA[1:0] = 01/10/11	
		PWM 模式 1	MTU3.TMDR.MD[3:0] = 0010	MTU3.TIORH.IOA[1:0] = 01/10/11	
		复位同步 PWM 模式	MTU3.TMDR.MD[3:0] = 1000	MTUA.TOCR1.PSYE = 1	
		互补 PWM 模式 1	MTU3.TMDR.MD[3:0] = 1101		
		互补 PWM 模式 2	MTU3.TMDR.MD[3:0] = 1110		
		互补 PWM 模式 3	MTU3.TMDR.MD[3:0] = 1111		
	MTIOC3B	普通运行	MTU3.TMDR.MD[3:0] = 0000	MTUA.TOER.OE3B = 1 MTU3.TIORH.IOB[3] = 0 MTU3.TIORH.IOB[1:0] = 01/10/11	
		复位同步 PWM 模式	MTU3.TMDR.MD[3:0] = 1000	MTUA.TOER.OE3B = 1	
		互补 PWM 模式 1	MTU3.TMDR.MD[3:0] = 1101		
		互补 PWM 模式 2	MTU3.TMDR.MD[3:0] = 1110		
		互补 PWM 模式 3	MTU3.TMDR.MD[3:0] = 1111		
	MTIOC3C	普通运行	MTU3.TMDR.MD[3:0] = 0000	MTU3.TMDR.BFA = 0 MTU3.TIORL.IOC[3] = 0 MTU3.TIORL.IOC[1:0] = 01/10/11	
		PWM 模式 1	MTU3.TMDR.MD[3:0] = 0010	MTU3.TMDR.BFA = 0 MTU3.TMDR.BFB = 0 MTU3.TIORL.IOC[1:0] = 01/10/11	
	MTIOC3D	普通运行	MTU3.TMDR.MD[3:0] = 0000	MTUA.TOER.OE3D = 1 MTU3.TMDR.BFB = 0 MTU3.TIORL.IOD[3] = 0 MTU3.TIORL.IOD[1:0] = 01/10/11	
		复位同步 PWM 模式	MTU3.TMDR.MD[3:0] = 1000	MTUA.TOER.OE3D = 1	
		互补 PWM 模式 1	MTU3.TMDR.MD[3:0] = 1101		
		互补 PWM 模式 2	MTU3.TMDR.MD[3:0] = 1110		
		互补 PWM 模式 3	MTU3.TMDR.MD[3:0] = 1111		
	MTU4	MTIOC4A	普通运行	MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4A = 1 MTU4.TIORH.IOA[3] = 0 MTU4.TIORH.IOA[1:0] = 01/10/11
			PWM 模式 1	MTU4.TMDR.MD[3:0] = 0010	MTUA.TOER.OE4A = 1 MTU4.TIORH.IOA[1:0] = 01/10/11
			不能设定	MTU4.TMDR.MD[3:0] = 1000	MTUA.TOER.OE4A = 1
			不能设定	MTU4.TMDR.MD[3:0] = 1101	
			不能设定	MTU4.TMDR.MD[3:0] = 1110	
			不能设定	MTU4.TMDR.MD[3:0] = 1111	
复位同步 PWM 模式 (联动 MTU3)			MTU3.TMDR.MD[3:0] = 1000 MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4A = 1	
互补 PWM 模式 1 (联动 MTU3)			MTU3.TMDR.MD[3:0] = 1101 MTU4.TMDR.MD[3:0] = 0000		
互补 PWM 模式 2 (联动 MTU3)			MTU3.TMDR.MD[3:0] = 1110 MTU4.TMDR.MD[3:0] = 0000		
互补 PWM 模式 3 (联动 MTU3)			MTU3.TMDR.MD[3:0] = 1111 MTU4.TMDR.MD[3:0] = 0000		

表 17.33 MTU 各端口的输出允许设定一览表 (3 / 6)

通道	引脚名	运行模式	模式选择位	各端口的输出允许设定		
MTU4	MTIOC4B	普通运行	MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4B = 1 MTU4.TIORH.IOB[3] = 0 MTU4.TIORH.IOB[1:0] = 01/10/11		
		不能设定	MTU4.TMDR.MD[3:0] = 1000	MTUA.TOER.OE4B = 1		
		不能设定	MTU4.TMDR.MD[3:0] = 1101			
		不能设定	MTU4.TMDR.MD[3:0] = 1110			
		不能设定	MTU4.TMDR.MD[3:0] = 1111			
		复位同步 PWM 模式 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1000 MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4B = 1		
		互补 PWM 模式 1 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1101 MTU4.TMDR.MD[3:0] = 0000			
		互补 PWM 模式 2 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1110 MTU4.TMDR.MD[3:0] = 0000			
		互补 PWM 模式 3 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1111 MTU4.TMDR.MD[3:0] = 0000			
		MTIOC4C	普通运行	MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4C = 1 MTU4.TMDR.BFA = 0 MTU4.TIORL.IOC[3] = 0 MTU4.TIORL.IOC[1:0] = 01/10/11	
			PWM 模式 1	MTU4.TMDR.MD[3:0] = 0010	MTUA.TOER.OE4C = 1 MTU4.TMDR.BFA = 0 MTU4.TMDR.BFB = 0 MTU4.TIORL.IOC[1:0] = 01/10/11	
			不能设定	MTU4.TMDR.MD[3:0] = 1000		
	不能设定		MTU4.TMDR.MD[3:0] = 1101			
	不能设定		MTU4.TMDR.MD[3:0] = 1110			
	不能设定		MTU4.TMDR.MD[3:0] = 1111	MTUA.TOER.OE4C = 1 MTU4.TMDR.BFA = 0		
	复位同步 PWM 模式 (联动 MTU3)		MTU3.TMDR.MD[3:0] = 1000 MTU4.TMDR.MD[3:0] = 0000			
	互补 PWM 模式 1 (联动 MTU3)		MTU3.TMDR.MD[3:0] = 1101 MTU4.TMDR.MD[3:0] = 0000			
	互补 PWM 模式 2 (联动 MTU3)		MTU3.TMDR.MD[3:0] = 1110 MTU4.TMDR.MD[3:0] = 0000			
	互补 PWM 模式 3 (联动 MTU3)		MTU3.TMDR.MD[3:0] = 1111 MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4C = 1 MTU4.TMDR.BFA = 0		
	MTIOC4D		普通运行		MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4D = 1 MTU4.TMDR.BFB = 0 MTU4.TIORL.IOD[3] = 0 MTU4.TIORL.IOD[1:0] = 01/10/11
			不能设定		MTU4.TMDR.MD[3:0] = 1000	MTUA.TOER.OE4D = 1
			不能设定		MTU4.TMDR.MD[3:0] = 1101	
			不能设定	MTU4.TMDR.MD[3:0] = 1110		
			不能设定	MTU4.TMDR.MD[3:0] = 1111		
			复位同步 PWM 模式 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1000 MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4D = 1	
		互补 PWM 模式 1 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1101 MTU4.TMDR.MD[3:0] = 0000			
		互补 PWM 模式 2 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1110 MTU4.TMDR.MD[3:0] = 0000			
		互补 PWM 模式 3 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1111 MTU4.TMDR.MD[3:0] = 0000			

表 17.33 MTU 各端口的输出允许设定一览表 (4 / 6)

通道	引脚名	运行模式	模式选择位	各端口的输出允许设定	
MTU6	MTIOC6A	普通运行	MTU6.TMDR.MD[3:0] = 0000	MTU6.TIORH.IOA[3] = 0 MTU6.TIORH.IOA[1:0] = 01/10/11	
		PWM 模式 1	MTU6.TMDR.MD[3:0] = 0010	MTU6.TIORH.IOA[1:0] = 01/10/11	
		PWM 模式 2	MTU6.TMDR.MD[3:0] = 0011	MTU6.TCR.CCLR[2:0] = 001 以外 MTU6.TIORH.IOA[1:0] = 01/10/11	
	MTIOC6B	普通运行	MTU6.TMDR.MD[3:0] = 0000	MTU6.TIORH.IOB[3] = 0 MTU6.TIORH.IOB[1:0] = 01/10/11	
		PWM 模式 2	MTU6.TMDR.MD[3:0] = 0011	MTU6.TCR.CCLR[2:0] = 010 以外 MTU6.TIORH.IOB[1:0] = 01/10/11	
	MTIOC6C	普通运行	MTU6.TMDR.MD[3:0] = 0000	MTU6.TMDR.BFA = 0 MTU6.TIORL.IOC[3] = 0 MTU6.TIORL.IOC[1:0] = 01/10/11	
		PWM 模式 1	MTU6.TMDR.MD[3:0] = 0010	MTU6.TMDR.BFA = 0 MTU6.TMDR.BFB = 0 MTU6.TIORL.IOC[1:0] = 01/10/11	
		PWM 模式 2	MTU6.TMDR.MD[3:0] = 0011	MTU6.TMDR.BFA = 0 MTU6.TCR.CCLR[2:0] = 101 以外 MTU6.TIORL.IOC[1:0] = 01/10/11	
	MTIOC6D	普通运行	MTU6.TMDR.MD[3:0] = 0000	MTU6.TMDR.BFB = 0 MTU6.TIORL.IOD[3] = 0 MTU6.TIORL.IOD[1:0] = 01/10/11	
		PWM 模式 2	MTU6.TMDR.MD[3:0] = 0011	MTU6.TMDR.BFB = 0 MTU6.TCR.CCLR[2:0] = 110 以外 MTU6.TIORL.IOD[1:0] = 01/10/11	
	MTU7	MTIOC7A	普通运行	MTU7.TMDR.MD[3:0] = 0000	MTU7.TIOR.IOA[3] = 0 MTU7.TIOR.IOA[1:0] = 01/10/11
			PWM 模式 1	MTU7.TMDR.MD[3:0] = 0010	MTU7.TIOR.IOA[1:0] = 01/10/11
PWM 模式 2			MTU7.TMDR.MD[3:0] = 0011	MTU7.TCR.CCLR[1:0] = 01 以外 MTU7.TIOR.IOA[1:0] = 01/10/11	
相位计数模式 1			MTU7.TMDR.MD[3:0] = 0100	MTU7.TIOR.IOA[3] = 0 MTU7.TIOR.IOA[1:0] = 01/10/11	
相位计数模式 2			MTU7.TMDR.MD[3:0] = 0101		
相位计数模式 3			MTU7.TMDR.MD[3:0] = 0110		
相位计数模式 4			MTU7.TMDR.MD[3:0] = 0111		
MTIOC7B		普通运行	MTU7.TMDR.MD[3:0] = 0000	MTU7.TIOR.IOB[3] = 0 MTU7.TIOR.IOB[1:0] = 01/10/11	
		PWM 模式 2	MTU7.TMDR.MD[3:0] = 0011	MTU7.TCR.CCLR[1:0] = 10 以外 MTU7.TIOR.IOB[1:0] = 01/10/11	
		相位计数模式 1	MTU7.TMDR.MD[3:0] = 0100	MTU7.TIOR.IOB[3] = 0 MTU7.TIOR.IOB[1:0] = 01/10/11	
		相位计数模式 2	MTU7.TMDR.MD[3:0] = 0101		
		相位计数模式 3	MTU7.TMDR.MD[3:0] = 0110		
相位计数模式 4	MTU7.TMDR.MD[3:0] = 0111				
MTU8	MTIOC8A	普通运行	MTU8.TMDR.MD[3:0] = 0000	MTU8.TIOR.IOA[3] = 0 MTU8.TIOR.IOA[1:0] = 01/10/11	
		PWM 模式 1	MTU8.TMDR.MD[3:0] = 0010	MTU8.TIOR.IOA[1:0] = 01/10/11	
		PWM 模式 2	MTU8.TMDR.MD[3:0] = 0011	MTU8.TCR.CCLR[1:0] = 01 以外 MTU8.TIOR.IOA[1:0] = 01/10/11	
		相位计数模式 1	MTU8.TMDR.MD[3:0] = 0100	MTU8.TIOR.IOA[3] = 0 MTU8.TIOR.IOA[1:0] = 01/10/11	
		相位计数模式 2	MTU8.TMDR.MD[3:0] = 0101		
		相位计数模式 3	MTU8.TMDR.MD[3:0] = 0110		
		相位计数模式 4	MTU8.TMDR.MD[3:0] = 0111		

表 17.33 MTU 各端口的输出允许设定一览表 (5 / 6)

通道	引脚名	运行模式	模式选择位	各端口的输出允许设定	
MTU8	MTIOC8B	普通运行	MTU8.TMDR.MD[3:0] = 0000	MTU8.TIOR.IOB[3] = 0 MTU8.TIOR.IOB[1:0] = 01/10/11	
		PWM 模式 2	MTU8.TMDR.MD[3:0] = 0011	MTU8.TCR.CCLR[1:0] = 10 以外 MTU8.TIOR.IOB[1:0] = 01/10/11	
		相位计数模式 1	MTU8.TMDR.MD[3:0] = 0100	MTU8.TIOR.IOB[3] = 0 MTU8.TIOR.IOB[1:0] = 01/10/11	
		相位计数模式 2	MTU8.TMDR.MD[3:0] = 0101		
		相位计数模式 3	MTU8.TMDR.MD[3:0] = 0110		
		相位计数模式 4	MTU8.TMDR.MD[3:0] = 0111		
MTU9	MTIOC9A	普通运行	MTU9.TMDR.MD[3:0] = 0000	MTU9.TIORH.IOA[3] = 0 MTU9.TIORH.IOA[1:0] = 01/10/11	
		PWM 模式 1	MTU9.TMDR.MD[3:0] = 0010	MTU9.TIORH.IOA[1:0] = 01/10/11	
		复位同步 PWM 模式	MTU9.TMDR.MD[3:0] = 1000	MTUB.TOER.PSYE = 1	
		互补 PWM 模式 1	MTU9.TMDR.MD[3:0] = 1101		
		互补 PWM 模式 2	MTU9.TMDR.MD[3:0] = 1110		
		互补 PWM 模式 3	MTU9.TMDR.MD[3:0] = 1111		
	MTIOC9B	普通运行	MTU9.TMDR.MD[3:0] = 0000	MTUB.TOER.OE3B = 1 MTU9.TIORH.IOB[3] = 0 MTU9.TIORH.IOB[1:0] = 01/10/11	
		复位同步 PWM 模式	MTU9.TMDR.MD[3:0] = 1000	MTUB.TOER.OE3B = 1	
		互补 PWM 模式 1	MTU9.TMDR.MD[3:0] = 1101		
		互补 PWM 模式 2	MTU9.TMDR.MD[3:0] = 1110		
		互补 PWM 模式 3	MTU9.TMDR.MD[3:0] = 1111		
	MTIOC9C	普通运行	MTU9.TMDR.MD[3:0] = 0000	MTU9.TMDR.BFA = 0 MTU9.TIORL.IOC[3] = 0 MTU9.TIORL.IOC[1:0] = 01/10/11	
		PWM 模式 1	MTU9.TMDR.MD[3:0] = 0010	MTU9.TMDR.BFA = 0 MTU9.TMDR.BFB = 0 MTU9.TIORL.IOC[1:0] = 01/10/11	
	MTIOC9D	普通运行	MTU9.TMDR.MD[3:0] = 0000	MTUB.TOER.OE3D = 1 MTU9.TMDR.BFB = 0 MTU9.TIORL.IOD[3] = 0 MTU9.TIORL.IOD[1:0] = 01/10/11	
		复位同步 PWM 模式	MTU9.TMDR.MD[3:0] = 1000	MTUB.TOER.OE3D = 1	
		互补 PWM 模式 1	MTU9.TMDR.MD[3:0] = 1101		
		互补 PWM 模式 2	MTU9.TMDR.MD[3:0] = 1110		
		互补 PWM 模式 3	MTU9.TMDR.MD[3:0] = 1111		
	MTU10	MTIOC10A	普通运行	MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4A = 1 MTU10.TIORH.IOA[3] = 0 MTU10.TIORH.IOA[1:0] = 01/10/11
			PWM 模式 1	MTU10.TMDR.MD[3:0] = 0010	MTUB.TOER.OE4A = 1 MTU10.TIORH.IOA[1:0] = 01/10/11
			不能设定	MTU10.TMDR.MD[3:0] = 1000	MTUB.TOER.OE4A = 1
			不能设定	MTU10.TMDR.MD[3:0] = 1101	
			不能设定	MTU10.TMDR.MD[3:0] = 1110	
			不能设定	MTU10.TMDR.MD[3:0] = 1111	
复位同步 PWM 模式 (联动 MTU9)			MTU9.TMDR.MD[3:0] = 1000 MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4A = 1	
互补 PWM 模式 1 (联动 MTU9)			MTU9.TMDR.MD[3:0] = 1101 MTU10.TMDR.MD[3:0] = 0000		
互补 PWM 模式 2 (联动 MTU9)			MTU9.TMDR.MD[3:0] = 1110 MTU10.TMDR.MD[3:0] = 0000		
互补 PWM 模式 3 (联动 MTU9)			MTU9.TMDR.MD[3:0] = 1111 MTU10.TMDR.MD[3:0] = 0000		

表 17.33 MTU 各端口的输出允许设定一览表 (6 / 6)

通道	引脚名	运行模式	模式选择位	各端口的输出允许设定	
MTU10	MTIOC10B	普通运行	MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4B = 1 MTU10.TIORH.IOB[3] = 0 MTU10.TIORH.IOB[1:0] = 01/10/11	
		不能设定	MTU10.TMDR.MD[3:0] = 1000	MTUB.TOER.OE4B = 1	
		不能设定	MTU10.TMDR.MD[3:0] = 1101		
		不能设定	MTU10.TMDR.MD[3:0] = 1110		
		不能设定	MTU10.TMDR.MD[3:0] = 1111		
		复位同步 PWM 模式 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1000 MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4B = 1	
		互补 PWM 模式 1 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1101 MTU10.TMDR.MD[3:0] = 0000		
		互补 PWM 模式 2 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1110 MTU10.TMDR.MD[3:0] = 0000		
		互补 PWM 模式 3 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1111 MTU10.TMDR.MD[3:0] = 0000		
		MTIOC10C	普通运行	MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4C = 1 MTU10.TMDR.BFA = 0 MTU10.TIORL.IOC[3] = 0 MTU10.TIORL.IOC[1:0] = 01/10/11
			PWM 模式 1	MTU10.TMDR.MD[3:0] = 0010	MTUB.TOER.OE4C = 1 MTU10.TMDR.BFA = 0 MTU10.TMDR.BFB = 0 MTU10.TIORL.IOC[1:0] = 01/10/11
			不能设定	MTU10.TMDR.MD[3:0] = 1000	MTUB.TOER.OE4C = 1 MTU10.TMDR.BFA = 0
	不能设定		MTU10.TMDR.MD[3:0] = 1101		
	不能设定		MTU10.TMDR.MD[3:0] = 1110		
	不能设定		MTU10.TMDR.MD[3:0] = 1111		
	复位同步 PWM 模式 (联动 MTU9)		MTU9.TMDR.MD[3:0] = 1000 MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4C = 1 MTU10.TMDR.BFA = 0	
	互补 PWM 模式 1 (联动 MTU9)		MTU9.TMDR.MD[3:0] = 1101 MTU10.TMDR.MD[3:0] = 0000		
	互补 PWM 模式 2 (联动 MTU9)		MTU9.TMDR.MD[3:0] = 1110 MTU10.TMDR.MD[3:0] = 0000		
	互补 PWM 模式 3 (联动 MTU9)		MTU9.TMDR.MD[3:0] = 1111 MTU10.TMDR.MD[3:0] = 0000		
	MTIOC10D		普通运行	MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4D = 1 MTU10.TMDR.BFB = 0 MTU10.TIORL.IOD[3] = 0 MTU10.TIORL.IOD[1:0] = 01/10/11
			不能设定	MTU10.TMDR.MD[3:0] = 1000	MTUB.TOER.OE4D = 1
			不能设定	MTU10.TMDR.MD[3:0] = 1101	
			不能设定	MTU10.TMDR.MD[3:0] = 1110	
			不能设定	MTU10.TMDR.MD[3:0] = 1111	
			复位同步 PWM 模式 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1000 MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4D = 1
		互补 PWM 模式 1 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1101 MTU10.TMDR.MD[3:0] = 0000		
		互补 PWM 模式 2 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1110 MTU10.TMDR.MD[3:0] = 0000		
		互补 PWM 模式 3 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1111 MTU10.TMDR.MD[3:0] = 0000		

17.3.5 未使用引脚的处理

未使用引脚的处理内容如表 17.34 所示。

表 17.34 未使用引脚的处理内容（100 引脚 LQFP）

引脚名	处理内容
EMLE	通过电阻连接 VSS（下拉）。
MD1、MD0	（必须用作模式引脚。）
MDE	（必须用作模式引脚。）
RES#	通过电阻连接 VCC（上拉）。
USB0_DP	将引脚置为开路。
USB0_DM	
P35/NMI	通过电阻连接 VCC（上拉）。
EXTAL	（必须用作时钟引脚。）
XTAL	将引脚置为开路。
XCIN	通过电阻连接 VCC（上拉）或者 VSS（下拉）。
XCOUT	将引脚置为开路。
端口 0 ~ 5 端口 A ~ E	每个引脚通过电阻连接 VCC（上拉）或者 VSS（下拉）。 也能在 PORTn.ICR 为初始值（输入缓冲器无效）的状态下将引脚置为开路（注）。
VREFH	连接 AVCC。
VREFL	连接 AVSS。

注． 不能改变 PORTn.ICR 寄存器的初始值，否则就可能有穿透电流流过。

17.4 [85 引脚 TFLGA]I/O 端口

17.4.1 概要

RX62N 群和 RX621 群（85 引脚 TFLGA）的 I/O 端口由端口 0 ~ 5 和端口 A ~ D 共 10 个端口构成，有 60 个输入 / 输出引脚。

I/O 端口的规格和端口功能一览表分别如表 17.35 和表 17.36 所示。

表 17.35 I/O 端口的规格（85 引脚 TFLGA）

项目	内容
输入 / 输出引脚	58 个
输入引脚	2 个
端口	10 个端口（端口 0 ~ 5 和端口 A ~ D）
内部输入上拉电阻	端口 A、B、C、D
漏极开路输出	端口 0、1、2、3（P30 ~ P34）和端口 C
5V 允许的对应引脚	端口 1（P12、P13、P16）、端口 2（P20、P21）、端口 3（P33）
施密特触发输入引脚	全部端口输入、CAN 输入、USB 输入、IRQ 输入、MTU 输入、TMR 输入、RIIC 输入、SCI 输入、A/D 触发输入
其他	<ul style="list-style-type: none"> 能驱动 1 个 TTL 负载和 30pF 的电容负载。 在输出时驱动达林顿晶体管。

表 17.36 端口功能一览表 (1 / 2) (85 引脚 TFLGA)

端口	概要	位	功能			CMOS 输入引脚	施密特触发 输入引脚	输入上拉 电阻功能	漏极开路 输出功能
			输入 / 输出	输入	输出				
端口 0	与中断输入和 D/A 转换器输出兼用的通用输入 / 输出端口	3	P03	IRQ11-A	DA0	—	全部输入功能	—	○
		5	P05	IRQ13-A	DA1		全部输入功能	—	○
端口 1	与 USB 输入 / 输出、MTU 输入 / 输出、TMR 输入 / 输出、中断输入、SCI 输入 / 输出、RIIC 输入 / 输出、PPG 输出和 A/D 转换器输入兼用的通用输入 / 输出端口	2	P12/SCL0	TMC11/ RxD2-A/IRQ2-B		—	全部输入功能	—	○
		3	P13/MTIOC0B/ SDA0	ADTRG1#/IRQ3-B	PO13/TMO3/ TxD2-A		全部输入功能	—	○
		4	P14/MTIOC3A	USB0_OVRCURA/ TMR12/IRQ4-B	PO15/ USB0_DPUPE-B		全部输入功能	—	○
		6	P16/MTIOC3C	USB0_VBUS/ USB0_OVRCURB/ IRQ6-B	TMO2/PO14/ USB0_VBUSEN-B		全部输入功能	—	○
端口 2	与总线控制输出、USB 输入 / 输出、RSPI 输入 / 输出、MTU 输入 / 输出、PPG 输出、TMR 输入 / 输出、SCI 输入 / 输出、RIIC 输入 / 输出、A/D 转换器输入和内部仿真器输入 / 输出兼用的通用输入 / 输出端口	0	P20/MTIOC1A/ SDA1	USB0_ID/ TMR10	PO0/TxD0	—	全部输入功能	—	○
		1	P21/MTIOC1B/ SCL1	TMC10/RxD0	USB0_EXICEN/ PO1		全部输入功能		
		2	P22/MTIOC3B/ SCK0	MTCLKC	USB0_DRPD/PO2/ TMO0	—	全部输入功能		
		3	P23/MTIOC3D	MTCLKD	USB0_DPUPE-A/ TxD3-B/PO3	—	全部输入功能		
		4	P24/MTIOC4A/ SCK3	MTCLKA-A/TMR11	CS4#/ USB0_VBUSEN-A/ PO4	—	全部输入功能		
		5	P25/MTIOC4C	MTCLKB/ ADTRG0#/ RxD3	CS5#/ USB0_DPRPD/ PO5	—	全部输入功能		
		6	P26/MOSIB/ MTIOC2A		CS6#/PO6/ TMO1/TxD1/TDO	MOSIB	P26、MTIOC2A		
		7	P27/ RSPCKB/ MTIOC2B/ SCK1	TCK	CS7#/ PO7	RSPCKB TCK	P27、MTIOC2B、 SCK1		
端口 3	与 CAN 输入 / 输出、USB 输出、RSPI 输入 / 输出、MTU 输入 / 输出、TMR 输入、SCI 输入 / 输出、中断输入、PPG 输出、RTC 输出和内部仿真器输入兼用的通用输入 / 输出端口	0	P30/MISOB/ MTIOC4B	TMR13/RxD1/ IRQ0/TDI	PO8	MISOB	P30、MTIOC4B TMR13、RxD1、 IRQ0、TDI	—	○
		1	P31/SSLB0/ MTIOC4D	TMC12/IRQ1/ TMS	PO9	SSLB0	P31、MTIOC4D TMC12、IRQ1、 TMS		○
		2	P32/MTIOC0C	IRQ2-A	CTX0/TxD6/ PO10/RTCOUT	—	全部输入功能		○
		3	P33/MTIOC0D	CRX0/RxD6/ IRQ3-A	PO11		全部输入功能		○
		4	P34/MTIOC0A/ SCK6	TMC13/IRQ4-A /TRST#	PO12		全部输入功能		○
		5		P35/NMI			全部输入功能		—

表 17.36 端口功能一览表 (2 / 2) (85 引脚 TFLGA)

端口	概要	位	功能			CMOS 输入引脚	施密特触发 输入引脚	输入上拉 电阻功能	漏极开路 输出功能
			输入 / 输出	输入	输出				
端口 4	与中断输入和 A/D 转换器输入兼用的通用输入 / 输出端口	0	P40	AN0/IRQ8		—	P40、IRQ8	—	—
		1	P41	AN1/IRQ9			P41、IRQ9		
		2	P42	AN2/IRQ10			P42、IRQ10		
		3	P43	AN3/IRQ11-B			P43、IRQ11-B		
		4	P44	AN4/IRQ12			P44、IRQ12		
		5	P45	AN5/IRQ13-B			P45、IRQ13-B		
		6	P46	AN6/IRQ14			P46、IRQ14		
		7	P47	AN7/IRQ15			P47、IRQ15		
端口 5	与外部总线时钟输出、总线控制输入 / 输出、RSPI 输出和 SCI 输入 / 输出兼用的通用输入 / 输出端口	0	P50		WR0#/ SSLB1/TxD2-B	—	全部输入功能	—	—
		1	P51/SCK2	WAIT#	SSLB2	WAIT#	P51、SCK2		
		2	P52	RxD2-B	RD#/SSLB3	—	全部输入功能		
		3		P53	BCLK	—	全部输入功能		
端口 A	与地址输出、RSPI 输入 / 输出、MTU 输入 / 输出和 PPG 输出兼用的通用输入 / 输出端口	0	PA0/MTIOC6A		A0/ SSLA1/PO16	—	全部输入功能	○	—
		1	PA1/MTIOC6B		A1/ SSLA2/PO17	—	全部输入功能		
		2	PA2/MTIOC6C		A2/ SSLA3/PO18	—	全部输入功能		
		3	PA3/MTIOC6D		A3/PO19	—	全部输入功能		
		4	PA4/SSLA0/ MTIOC7A		A4/PO20	SSLA0	PA4、MTIOC7A		
		5	PA5/ RSPCKA/ MTIOC7B		A5/PO21	RSPCKA	PA5、MTIOC7B		
		6	PA6/MOSIA/ MTIOC8A		A6/PO22	MOSIA	PA6、MTIOC8A		
		7	PA7/MISOA/ MTIOC8B		A7/PO23	MISOA	PA7、MTIOC8B		
端口 B	与地址输出、MTU 输入 / 输出和 PPG 输出兼用的通用输入 / 输出端口	0	PB0/MTIOC9A		A8/PO24	—	全部输入功能	○	—
		1	PB1/MTIOC9C		A9/PO25	—	全部输入功能		
		2	PB2/MTIOC9B	MTCLKG-B	A10/PO26	—	全部输入功能		
		3	PB3/MTIOC9D	MTCLKH-B	A11/PO27	—	全部输入功能		
		4	PB4/MTIOC10A	MTCLKI-B	A12/PO28	—	全部输入功能		
		5	PB5/MTIOC10C	MTCLKF-B	A13/PO29	—	全部输入功能		
		6	PB6/MTIOC10B		A14/PO30	—	全部输入功能		
		7	PB7/MTIOC10D		A15/PO31	—	全部输入功能		
端口 C	与地址输出、MTU 输入和 SCI 输入 / 输出兼用的通用输入 / 输出端口	0	PC0	MTCLKG-A	A16	—	全部输入功能	○	○
		1	PC1/SCK5	MTCLKH-A	A17	—	全部输入功能		
		2	PC2	MTCLKI-A/RxD5	A18	—	全部输入功能		
		3	PC3	MTCLKF-A	A19/TxD5	—	全部输入功能		
端口 D	与双向数据总线和 MTU 输入兼用的通用输入 / 输出端口	0	PD0/D0			D0	PD0	○	—
		1	PD1/D1			D1	PD1		
		2	PD2/D2	MTIC11W		D2	PD2、MTIC11W		
		3	PD3/D3	MTIC11V		D3	PD3、MTIC11V		
		4	PD4/D4	MTIC11U		D4	PD4、MTIC11U		
		5	PD5/D5	MTIC5W		D5	PD5、MTIC5W		
		6	PD6/D6	MTIC5V		D6	PD6、MTIC5V		
		7	PD7/D7	MTIC5U		D7	PD7、MTIC5U		

17.4.2 寄存器说明

I/O 端口的寄存器一览表和各寄存器的有效位一览表分别如表 17.37 和表 17.38 所示。

表 17.37 I/O 端口的寄存器一览表 (1 / 2) (85 引脚 TFLGA)

端口符号	寄存器名	寄存器符号	复位后的值	地址	存取长度
PORT0	数据方向寄存器	DDR	00h	0008 C000h	8
	数据寄存器	DR	00h	0008 C020h	8
	端口寄存器	PORT	不定值	0008 C040h	8
	输入缓冲控制寄存器	ICR	00h	0008 C060h	8
	漏极开路控制寄存器	ODR	00h	0008 C080h	8
PORT1	数据方向寄存器	DDR	00h	0008 C001h	8
	数据寄存器	DR	00h	0008 C021h	8
	端口寄存器	PORT	不定值	0008 C041h	8
	输入缓冲控制寄存器	ICR	00h	0008 C061h	8
	漏极开路控制寄存器	ODR	00h	0008 C081h	8
PORT2	数据方向寄存器	DDR	00h	0008 C002h	8
	数据寄存器	DR	00h	0008 C022h	8
	端口寄存器	PORT	不定值	0008 C042h	8
	输入缓冲控制寄存器	ICR	00h	0008 C062h	8
	漏极开路控制寄存器	ODR	00h	0008 C082h	8
PORT3	数据方向寄存器	DDR	00h	0008 C003h	8
	数据寄存器	DR	00h	0008 C023h	8
	端口寄存器	PORT	不定值	0008 C043h	8
	输入缓冲控制寄存器	ICR	00h	0008 C063h	8
	漏极开路控制寄存器	ODR	00h	0008 C083h	8
PORT4	数据方向寄存器	DDR	00h	0008 C004h	8
	数据寄存器	DR	00h	0008 C024h	8
	端口寄存器	PORT	不定值	0008 C044h	8
	输入缓冲控制寄存器	ICR	00h	0008 C064h	8
PORT5	数据方向寄存器	DDR	00h	0008 C005h	8
	数据寄存器	DR	00h	0008 C025h	8
	端口寄存器	PORT	不定值	0008 C045h	8
	输入缓冲控制寄存器	ICR	00h	0008 C065h	8
PORTA	数据方向寄存器	DDR	00h	0008 C00Ah	8
	数据寄存器	DR	00h	0008 C02Ah	8
	端口寄存器	PORT	不定值	0008 C04Ah	8
	输入缓冲控制寄存器	ICR	00h	0008 C06Ah	8
	上拉电阻控制寄存器	PCR	00h	0008 C0CAh	8
PORTB	数据方向寄存器	DDR	00h	0008 C00Bh	8
	数据寄存器	DR	00h	0008 C02Bh	8
	端口寄存器	PORT	不定值	0008 C04Bh	8
	输入缓冲控制寄存器	ICR	00h	0008 C06Bh	8
	上拉电阻控制寄存器	PCR	00h	0008 C0CBh	8

表 17.37 I/O 端口的寄存器一览表 (2 / 2) (85 引脚 TFLGA)

端口符号	寄存器名	寄存器符号	复位后的值	地址	存取长度
PORTC	数据方向寄存器	DDR	00h	0008 C00Ch	8
	数据寄存器	DR	00h	0008 C02Ch	8
	端口寄存器	PORT	不定值	0008 C04Ch	8
	输入缓冲控制寄存器	ICR	00h	0008 C06Ch	8
	漏极开路控制寄存器	ODR	00h	0008 C08Ch	8
	上拉电阻控制寄存器	PCR	00h	0008 C0CCh	8
PORTD	数据方向寄存器	DDR	00h	0008 C00Dh	8
	数据寄存器	DR	00h	0008 C02Dh	8
	端口寄存器	PORT	不定值	0008 C04Dh	8
	输入缓冲控制寄存器	ICR	00h	0008 C06Dh	8
	上拉电阻控制寄存器	PCR	00h	0008 C0CDh	8
IOPORT	端口功能寄存器 0	PF0CSE	00h	0008 C100h	8
	端口功能寄存器 3	PF3BUS	00h	0008 C103h	8
	端口功能寄存器 4	PF4BUS	00h	0008 C104h	8
	端口功能寄存器 8	PF8IRQ	00h	0008 C108h	8
	端口功能寄存器 9	PF9IRQ	00h	0008 C109h	8
	端口功能寄存器 D	PFDMTU	00h	0008 C10Dh	8
	端口功能寄存器 F	PFSCI	00h	0008 C10Fh	8
	端口功能寄存器 G	PFSGPI	00h	0008 C110h	8
	端口功能寄存器 H	PFHSPI	00h	0008 C111h	8
	端口功能寄存器 J	PFJCAN	00h	0008 C113h	8
	端口功能寄存器 K	PFKUSB	00h	0008 C114h	8

表 17.38 各寄存器的有效位一览表 (1 / 2) (85 引脚 TFLGA)

寄存器符号	b7	b6	b5	b4	b3	b2	b1	b0
PORT0.DDR	×	×	○	×	○	×	×	×
PORT1.DDR	×	○	×	○	○	○	×	×
PORT2.DDR	○	○	○	○	○	○	○	○
PORT3.DDR	×	×	×	○	○	○	○	○
PORT4.DDR	○	○	○	○	○	○	○	○
PORT5.DDR	×	×	×	×	○	○	○	○
PORTA.DDR	○	○	○	○	○	○	○	○
PORTB.DDR	○	○	○	○	○	○	○	○
PORTC.DDR	×	×	×	×	○	○	○	○
PORTD.DDR	○	○	○	○	○	○	○	○
PORT0.DR	×	×	○	×	○	×	×	×
PORT1.DR	×	○	×	○	○	○	×	×
PORT2.DR	○	○	○	○	○	○	○	○
PORT3.DR	×	×	×	○	○	○	○	○
PORT4.DR	○	○	○	○	○	○	○	○
PORT5.DR	×	×	×	×	×	○	○	○
PORTA.DR	○	○	○	○	○	○	○	○
PORTB.DR	○	○	○	○	○	○	○	○
PORTC.DR	×	×	×	×	○	○	○	○
PORTD.DR	○	○	○	○	○	○	○	○
PORT0.PORT	×	×	○	×	○	×	×	×
PORT1.PORT	×	○	×	○	○	○	×	×
PORT2.PORT	○	○	○	○	○	○	○	○
PORT3.PORT	×	×	○	○	○	○	○	○
PORT4.PORT	○	○	○	○	○	○	○	○
PORT5.PORT	×	×	×	×	○	○	○	○
PORTA.PORT	○	○	○	○	○	○	○	○
PORTB.PORT	○	○	○	○	○	○	○	○
PORTC.PORT	×	×	×	×	○	○	○	○
PORTD.PORT	○	○	○	○	○	○	○	○
PORT0.ICR	×	×	○	×	○	×	×	×
PORT1.ICR	×	○	×	○	○	○	×	×
PORT2.ICR	○	○	○	○	○	○	○	○
PORT3.ICR	×	×	×	○	○	○	○	○
PORT4.ICR	○	○	○	○	○	○	○	○
PORT5.ICR	×	×	×	×	○	○	○	○
PORTA.ICR	○	○	○	○	○	○	○	○
PORTB.ICR	○	○	○	○	○	○	○	○
PORTC.ICR	×	×	×	×	○	○	○	○
PORTD.ICR	○	○	○	○	○	○	○	○

表 17.38 各寄存器的有效位一览表 (2 / 2) (85 引脚 TFLGA)

寄存器符号	b7	b6	b5	b4	b3	b2	b1	b0
PORT0.ODR	×	×	○	×	○	×	×	×
PORT1.ODR	×	○	×	○	○	○	×	×
PORT2.ODR	○	○	○	○	○	○	○	○
PORT3.ODR	×	×	×	○	○	○	○	○
PORTC.ODR	×	×	×	×	○	○	○	○
PORTA.PCR	○	○	○	○	○	○	○	○
PORTB.PCR	○	○	○	○	○	○	○	○
PORTC.PCR	×	×	×	×	○	○	○	○
PORTD.PCR	○	○	○	○	○	○	○	○
IOPORT.PF0CSE	○	○	○	○	×	×	×	×
IOPORT.PF3BUS	×	×	×	×	○	○	○	○
IOPORT.PF4BUS	○	○	○	○	○	○	○	○
IOPORT.PF8IRQ	×	×	○	×	○	×	×	×
IOPORT.PF9IRQ	×	○	×	○	○	○	×	×
IOPORT.PFDMTU	○	×	×	×	×	×	×	×
IOPORT.PFFSCI	×	×	×	×	×	○	×	×
IOPORT.PFGSPI	○	○	○	○	○	○	○	×
IOPORT.PFHSPI	○	○	○	○	○	○	○	×
IOPORT.PFJCAN	×	×	×	×	×	×	×	○
IOPORT.PFKUSB	×	×	×	○	○	○	○	○

17.4.2.1 数据方向寄存器 (DDR)

地址 PORT0.DDR 0008 C000h、PORT1.DDR 0008 C001h、PORT2.DDR 0008 C002h、PORT3.DDR 0008 C003h
 PORT4.DDR 0008 C004h、PORT5.DDR 0008 C005h、PORTA.DDR 0008 C00Ah、PORTB.DDR 0008 C00Bh
 PORTC.DDR 0008 C00Ch、PORTD.DDR 0008 C00Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
复位后的值	0	0	0	0	0	0	0	0

注. PORT0.DDR寄存器的b7、b6、b4和b2~b0是保留位。
 PORT1.DDR寄存器的b7、b5、b1和b0是保留位。
 PORT3.DDR寄存器的低5位有效，高3位是保留位。
 PORT5.DDR寄存器的低4位有效，高4位是保留位。
 PORTC.DDR寄存器的低4位有效，高4位是保留位。
 保留位的读写值都为“0”。

位	符号	位名	功能	R/W
b0	B0	Pn0 输入 / 输出指定位	0: 输入端口 1: 输出端口	R/W
b1	B1	Pn1 输入 / 输出指定位		R/W
b2	B2	Pn2 输入 / 输出指定位		R/W
b3	B3	Pn3 输入 / 输出指定位		R/W
b4	B4	Pn4 输入 / 输出指定位		R/W
b5	B5	Pn5 输入 / 输出指定位		R/W
b6	B6	Pn6 输入 / 输出指定位		R/W
b7	B7	Pn7 输入 / 输出指定位		R/W

【符号说明】 (n = 0 ~ 5、A ~ D)

DDR 寄存器是在选择了通用输入 / 输出端口功能时指定端口输入 / 输出的寄存器。

PORTn.DDR 寄存器 (n=0 ~ 5、A ~ D) 的各位分别对应端口 n 的各引脚，并且能以 1 位为单位进行指定。

PORT5.DDR.B3 位指定 P53 输入或者 BCLK 输出。当 PORT5.DDR.B3 位被置“1”时，因为 P53 的输出为 BCLK，所以不选择通用输出端口的功能。

17.4.2.2 数据寄存器 (DR)

地址 PORT0.DR 0008 C020h、PORT1.DR 0008 C021h、PORT2.DR 0008 C022h、PORT3.DR 0008 C023h
PORT4.DR 0008 C024h、PORT5.DR 0008 C025h、PORTA.DR 0008 C02Ah、PORTB.DR 0008 C02Bh
PORTC.DR 0008 C02Ch、PORTD.DR 0008 C02Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
复位后的值	0	0	0	0	0	0	0	0

注. PORT0.DR寄存器的b7、b6、b4和b2~b0是保留位。
PORT1.DR寄存器的b7、b5、b1和b0是保留位。
PORT3.DR寄存器的低5位有效，高3位是保留位。
PORT5.DR寄存器的低3位有效，高5位是保留位。
PORTC.DR寄存器的低4位有效，高4位是保留位。
保留位的读写值都为“0”。

位	符号	位名	功能	R/W
b0	B0	Pn0 输出数据保存位	保存输出的数据。	R/W
b1	B1	Pn1 输出数据保存位		R/W
b2	B2	Pn2 输出数据保存位		R/W
b3	B3	Pn3 输出数据保存位		R/W
b4	B4	Pn4 输出数据保存位		R/W
b5	B5	Pn5 输出数据保存位		R/W
b6	B6	Pn6 输出数据保存位		R/W
b7	B7	Pn7 输出数据保存位		R/W

【符号说明】 (n = 0 ~ 5、A ~ D)

DR 寄存器保存用作通用输出端口的引脚输出数据。
P53 的输出为 BCLK，即使给 PORT5.DR.B3 位设定值，也不影响引脚。

17.4.2.3 端口寄存器 (PORT)

地址 PORT0.PORT 0008 C040h、PORT1.PORT 0008 C041h、PORT2.PORT 0008 C042h、PORT3.PORT 0009 C043h
 PORT4.PORT 0008 C044h、PORT5.PORT 0008 C045h、PORTA.PORT 0008 C04Ah、PORTB.PORT 0008 C04Bh
 PORTC.PORT 0008 C04Ch、PORTD.PORT 0008 C04Dh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

复位后的值 x x x x x x x x

注. PORT0.PORT寄存器的b7、b6、b4和b2~b0是保留位。
 PORT1.PORT寄存器的b7、b5、b1和b0是保留位。
 PORT3.PORT寄存器的低6位有效，高2位是保留位。
 PORT5.PORT寄存器的低4位有效，高4位是保留位。
 PORTC.PORT寄存器的低4位有效，高4位是保留位。
 保留位的读取值为“1”，写操作无效。

位	符号	位名	功能	R/W
b0	B0 (注1)	Pn0 位	反映端口的引脚状态。	R
b1	B1 (注1)	Pn1 位		R
b2	B2 (注1)	Pn2 位		R
b3	B3 (注1)	Pn3 位		R
b4	B4 (注1)	Pn4 位		R
b5	B5 (注1)	Pn5 位		R
b6	B6 (注1)	Pn6 位		R
b7	B7 (注1)	Pn7 位		R

【符号说明】 (n = 0 ~ 5、A ~ D)

注 1. 在进行读操作时，必须预先将 PORTn.ICR 寄存器的对应位置“1”。
 如果在 PORTn.ICR 寄存器的位为“0”的状态下进行读操作，对应位的值就为不定值。

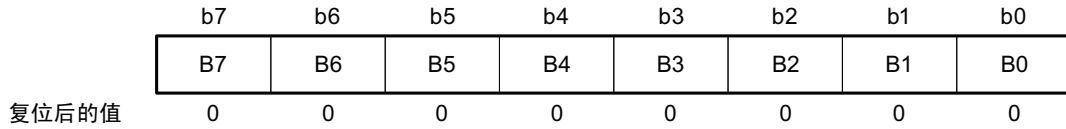
PORT 寄存器是反映端口引脚状态的寄存器。

如果读 PORTn.PORT 寄存器 (n=0 ~ 5、A ~ D)，就能读到引脚的状态。

P35 能读 NMI 引脚的状态。

17.4.2.4 输入缓冲控制寄存器 (ICR)

地址 PORT0.ICR 0008 C060h、PORT1.ICR 0008 C061h、PORT2.ICR 0008 C062h、PORT3.ICR 0008 C063h
 PORT4.ICR 0008 C064h、PORT5.ICR 0008 C065h、PORTA.ICR 0008 C06Ah、PORTB.ICR 0008 C06Bh
 PORTC.ICR 0008 C06Ch、PORTD.ICR 0008 C06Dh



注. PORT0.ICR寄存器的b7、b6、b4和b2~b0是保留位。
 PORT1.ICR寄存器的b7、b5、b1和b0是保留位。
 PORT3.ICR寄存器的低5位有效，高3位是保留位。
 PORT5.ICR寄存器的低4位有效，高4位是保留位。
 PORTC.ICR寄存器的低4位有效，高4位是保留位。
 保留位的读写值都为“0”。

位	符号	位名	功能	R/W
b0	B0 (注1)	Pn0 输入缓冲器控制位	0: 对应引脚的输入缓冲器无效 1: 对应引脚的输入缓冲器有效	R/W
b1	B1 (注1)	Pn1 输入缓冲器控制位		R/W
b2	B2 (注1)	Pn2 输入缓冲器控制位		R/W
b3	B3 (注1)	Pn3 输入缓冲器控制位		R/W
b4	B4 (注1)	Pn4 输入缓冲器控制位		R/W
b5	B5 (注1)	Pn5 输入缓冲器控制位		R/W
b6	B6 (注1)	Pn6 输入缓冲器控制位		R/W
b7	B7 (注1)	Pn7 输入缓冲器控制位		R/W

【符号说明】 (n = 0 ~ 5、A ~ D)

注 1. 在用作输入引脚时，必须将对应位置“1”。必须将不用作输入的引脚和模拟输入 / 输出引脚的对应位置“0”。

ICR 寄存器是控制端口输入缓冲器的寄存器。

PORTn.ICR 寄存器 (n=0 ~ 5、A ~ D) 的各位分别对应端口 n 的各引脚，并且能以 1 位为单位进行指定。

在用作外围模块的输入引脚时，为了使对应引脚的输入缓冲器有效，必须预先将 PORTn.ICR 置“1”。如果在将 PORTn.ICR 置“0”的状态下用作外围模块的输入引脚，就将输入到外围模块的信号固定为 High 电平。

在更改 PORTn.ICR 寄存器的设定时，有可能因引脚的状态而在内部产生边沿，因此必须在不使用该输入引脚时更改 PORTn.ICR 寄存器的设定。例如，在 IRQi (i=0 ~ 15) 输入时，必须在禁止该中断的状态下更改 PORTn.ICR 寄存器的设定。先将中断控制器的 IRi.IR 标志 (i=64 ~ 79 (IRQ 的中断向量号)) 置“0”，然后允许该中断。如果在更改 PORTn.ICR 寄存器的设定后产生边沿，就必须取消该边沿。

17.4.2.5 漏极开路控制寄存器 (ODR)

地址 PORT0.ODR 0008 C080h、PORT1.ODR 0008 C081h、PORT2.ODR 0008 C082h、PORT3.ODR 0008 C083h
PORTC.ODR 0008 C08Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
复位后的值	0	0	0	0	0	0	0	0

注. PORT0.ODR寄存器的b7、b6、b4和b2~b0是保留位。
PORT1.ODR寄存器的b7、b5、b1和b0是保留位。
PORT3.ODR寄存器的低5位有效，高3位是保留位。
PORTC.ODR寄存器的低4位有效，高4位是保留位。
保留位的读写值都为“0”。

位	符号	位名	功能	R/W
b0	B0	Pn0 输出形态指定位	0: CMOS 输出 1: NMOS 漏极开路输出	R/W
b1	B1	Pn1 输出形态指定位		R/W
b2	B2	Pn2 输出形态指定位		R/W
b3	B3	Pn3 输出形态指定位		R/W
b4	B4	Pn4 输出形态指定位		R/W
b5	B5	Pn5 输出形态指定位		R/W
b6	B6	Pn6 输出形态指定位		R/W
b7	B7	Pn7 输出形态指定位		R/W

【符号说明】 (n = 0 ~ 3、C)

ODR 寄存器是选择端口引脚输出形态的寄存器。

17.4.2.6 上拉电阻控制寄存器 (PCR)

地址 PORTA.PCR 0008 C0CAh、PORTB.PCR 0008 C0CBh、PORTC.PCR 0008 C0CCh
PORTD.PCR 0008 C0CDh

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
复位后的值	0	0	0	0	0	0	0	0

注: PORTC.PCR寄存器的低4位有效, 高4位是保留位。
保留位的读写值都为“0”。

位	符号	位名	功能	R/W
b0	B0	Pn0 输入上拉电阻控制位	0: 输入上拉电阻有效 1: 输入上拉电阻无效	R/W
b1	B1	Pn1 输入上拉电阻控制位		R/W
b2	B2	Pn2 输入上拉电阻控制位		R/W
b3	B3	Pn3 输入上拉电阻控制位		R/W
b4	B4	Pn4 输入上拉电阻控制位		R/W
b5	B5	Pn5 输入上拉电阻控制位		R/W
b6	B6	Pn6 输入上拉电阻控制位		R/W
b7	B7	Pn7 输入上拉电阻控制位		R/W

【符号说明】 (n = A ~ D)

PCR 寄存器是控制端口输入上拉电阻的有效或者无效的寄存器。

在引脚为输入的状态下, 与 PORTn.PCR 寄存器为“1”的位对应的引脚输入上拉电阻有效。输入上拉电阻的状态如表 17.39 所示。

表 17.39 输入上拉电阻的状态 (85 引脚 TFLGA)

端口	引脚状态	复位	其他运行
端口 A	地址输出		无效
	外围模块输出		无效
	端口输出		无效
	端口输入	无效	有效 / 无效
端口 B	地址输出		无效
	外围模块输出		无效
	端口输出		无效
	端口输入	无效	有效 / 无效
端口 C	地址输出		无效
	外围模块输出		无效
	端口输出		无效
	端口输入	无效	有效 / 无效
端口 D	数据输入 / 输出		无效
	端口输出		无效
	端口输入	无效	有效 / 无效

【符号说明】

无效: 输入上拉 MOS 总是处于截至状态。

有效 / 无效: 当将 PORTn.PCR.Bj 位 (n=A ~ D, j=0 ~ 7) 置“1”有效, 否则无效。

17.4.2.7 端口功能寄存器 0 (PF0CSE)

地址 0008 C100h

	b7	b6	b5	b4	b3	b2	b1	b0
	CS7E	CS6E	CS5E	CS4E	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b3-b0	—	保留位	读写值都为“0”。	R/W
b4	CS4E	CS4 输出允许位	0: 用作 I/O 端口 1: 用作 CSn# 输出引脚 (n=4 ~ 7)	R/W
b5	CS5E	CS5 输出允许位		R/W
b6	CS6E	CS6 输出允许位		R/W
b7	CS7E	CS7 输出允许位		R/W

PF0CSE 寄存器是选择允许或者禁止 CSn# 输出的寄存器。

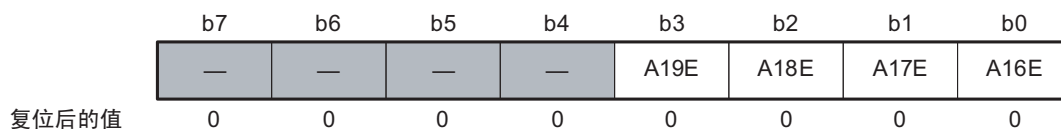
CSnE 位 (CSn 输出允许位) (n=4 ~ 7)

此位选择允许或者禁止对应的 CSn# 输出。

在输出 CSn 时, 必须将对应的 PF0CSE.CSnE 位置“1”。

17.4.2.8 端口功能寄存器 3 (PF3BUS)

地址 0008 C103h



位	符号	位名	功能	R/W
b0	A16E	地址 A16 输出允许位	0: A16 输出无效 1: A16 输出有效	R/W
b1	A17E	地址 A17 输出允许位	0: A17 输出无效 1: A17 输出有效	R/W
b2	A18E	地址 A18 输出允许位	0: A18 输出无效 1: A18 输出有效	R/W
b3	A19E	地址 A19 输出允许位	0: A19 输出无效 1: A19 输出有效	R/W
b7-b4	—	(保留位)	读写值都为“0”。	R/W

PF3BUS 寄存器是选择允许或者禁止地址输出的寄存器。

AnE 位 (地址 An 输出允许位) (n=16 ~ 19)

此位选择允许或者禁止地址输出 (An)。

17.4.2.9 端口功能寄存器 4 (PF4BUS)

地址 0008 C104h

	b7	b6	b5	b4	b3	b2	b1	b0
	A15E	A14E	A13E	A12E	A11E	A10E	ADRLE[1:0]	
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	ADRLE[1:0]	低位地址 A9 ~ A0 输出允许位	b1 b0 0 0: A9 ~ A0 输出无效 0 1: A9 ~ A4 输出无效, A3 ~ A0 输出有效。 1 0: A9 ~ A8 输出无效, A7 ~ A0 输出有效。 1 1: A9 ~ A0 输出有效	R/W
b2	A10E	地址 A10 输出允许位	0: A10 输出无效 1: A10 输出有效	R/W
b3	A11E	地址 A11 输出允许位	0: A11 输出无效 1: A11 输出有效	R/W
b4	A12E	地址 A12 输出允许位	0: A12 输出无效 1: A12 输出有效	R/W
b5	A13E	地址 A13 输出允许位	0: A13 输出无效 1: A13 输出有效	R/W
b6	A14E	地址 A14 输出允许位	0: A14 输出无效 1: A14 输出有效	R/W
b7	A15E	地址 A15 输出允许位	0: A15 输出无效 1: A15 输出有效	R/W

PF4BUS 寄存器是选择允许或者禁止地址输出的寄存器。

ADRLE[1:0] 位 (低位地址 A9 ~ A0 输出允许位)

这些位选择允许或者禁止地址输出 (A9 ~ A0)。

AnE 位 (地址 An 输出允许位) (n=10 ~ 15)

此位选择允许或者禁止地址输出 (An)。

17.4.2.10 端口功能寄存器 8 (PF8IRQ)

地址 0008 C108h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	ITS13	—	ITS11	—	—	—
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b2-b0	—	保留位	读写值都为“0”。	R/W
b3	ITS11	IRQ11 引脚选择位	0: 将 P03 设定为 IRQ11-A 输入引脚 1: 将 P43 设定为 IRQ11-B 输入引脚	R/W
b4	—	保留位	读写值都为“0”。	R/W
b5	ITS13	IRQ13 引脚选择位	0: 将 P05 设定为 IRQ13-A 输入引脚 1: 将 P45 设定为 IRQ13-B 输入引脚	R/W
b7-b6	—	保留位	读写值都为“0”。	R/W

PF8IRQ 寄存器是选择 IRQ13 输入引脚和 IRQ15 输入引脚的寄存器。

ITS_i 位 (IRQ_i 引脚选择位) (i=11、13)

此位选择 IRQ_i 的输入引脚。

17.4.2.11 端口功能寄存器 9 (PF9IRQ)

地址 0008 C109h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	ITS4	ITS3	ITS2	—	—
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	—	保留位	读写值都为“0”。	R/W
b2	ITS2	IRQ2 引脚选择位	0: 将 P32 设定为 IRQ2-A 输入引脚 1: 将 P12 设定为 IRQ2-B 输入引脚	R/W
b3	ITS3	IRQ3 引脚选择位	0: 将 P33 设定为 IRQ3-A 输入引脚 1: 将 P13 设定为 IRQ3-B 输入引脚	R/W
b4	ITS4	IRQ4 引脚选择位	0: 将 P34 设定为 IRQ4-A 输入引脚 1: 将 P14 设定为 IRQ4-B 输入引脚	R/W
b7-b5	—	保留位	读写值都为“0”。	R/W

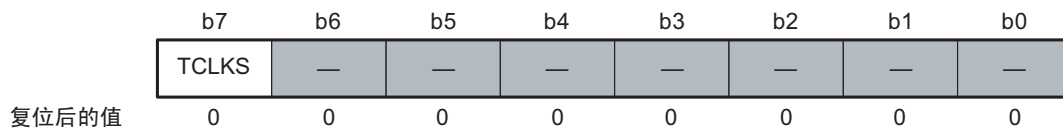
PF9IRQ 寄存器是选择 IRQ2 ~ IRQ4 输入引脚的寄存器。

ITS_i 位 (IRQ_i 引脚选择位) (i=2 ~ 4)

此位选择 IRQ_i 的输入引脚。

17.4.2.12 端口功能寄存器 D (PFDMTU)

地址 0008 C10Dh



位	符号	位名	功能	R/W
b6-b0	—	保留位	读写值都为“0”。	R/W
b7	TCLKS	TCLK 引脚选择位	0: 选择 PC2 为 MTCLKE-A 引脚 选择 PC3 为 MTCLKF-A 引脚 选择 PC0 为 MTCLKG-A 引脚 选择 PC1 为 MTCLKH-A 引脚 1: 选择 PB4 为 MTCLKE-B 引脚 选择 PB5 为 MTCLKF-B 引脚 选择 PB2 为 MTCLKG-B 引脚 选择 PB3 为 MTCLKH-B 引脚	R/W

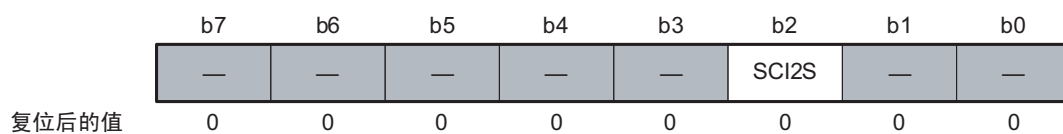
PFDMTU 寄存器是选择 MTU 单元 1 的引脚的寄存器。

TCLKS 位 (MTCLK 引脚选择位)

此位选择 MTU 的 MTCLK 输入引脚。

17.4.2.13 端口功能寄存器 F (PFFSCI)

地址 0008 C10Fh



位	符号	位名	功能	R/W
b1-b0	—	保留位	读写值都为“0”。	R/W
b2	SCI2S	SCI2 引脚选择位	0: 将 P12 设定为 Rx D2-A 引脚 将 P51 设定为 SCK2 引脚 将 P13 设定为 Tx D2-A 引脚 1: 将 P52 设定为 Rx D2-B 引脚 将 P51 设定为 SCK2 引脚 将 P50 设定为 Tx D2-B 引脚	R/W
b7-b3	—	保留位	读写值都为“0”。	R/W

PFFSCI 寄存器是选择 SCI 引脚的寄存器。

SCInS 位 (SCIn 引脚选择位) (n=2)

此位选择 SCI 通道 n 的输入 / 输出引脚。

17.4.2.14 端口功能寄存器 G (PFGSPI)

地址 0008 C110h

	b7	b6	b5	b4	b3	b2	b1	b0
	SSL3E	SSL2E	SSL1E	SSL0E	MISOE	MOSIE	RSPCKE	—
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	—	保留位	读写值都为“0”。	R/W
b1	RSPCKE	RSPCKA 引脚允许位	0: RSPCKA 引脚无效 1: RSPCKA 引脚有效	R/W
b2	MOSIE	MOSIA 输出允许位	0: MOSIA 引脚无效 1: MOSIA 引脚有效	R/W
b3	MISOE	MISOA 输出允许位	0: MISOA 引脚无效 1: MISOA 引脚有效	R/W
b4	SSL0E	SSLA0 输出允许位	0: SSLA0 引脚无效 1: SSLA0 引脚有效	R/W
b5	SSL1E	SSLA1 输出允许位	0: SSLA1 引脚无效 1: SSLA1 引脚有效	R/W
b6	SSL2E	SSLA2 输出允许位	0: SSLA2 引脚无效 1: SSLA2 引脚有效	R/W
b7	SSL3E	SSLA3 输出允许位	0: SSLA3 引脚无效 1: SSLA3 引脚有效	R/W

PFGSPI 寄存器是设定 RSPI 通道 0 的相关输入 / 输出引脚的寄存器。

RSPCKE 位 (RSPCKA 引脚允许位)

此位选择允许或者禁止 RSPCKA 引脚的输出。在使用 RSPCKA 引脚时，必须将此位置“1”。

MOSIE 位 (MOSIA 输出允许位)

此位选择允许或者禁止 MOSIA 引脚的输出。在使用 MOSIA 引脚时，必须将此位置“1”。

MISOE 位 (MISOA 输出允许位)

此位选择允许或者禁止 MISOA 引脚的输出。在使用 MISOA 引脚时，必须将此位置“1”。

SSL0E 位 (SSLA0 输出允许位)

此位选择允许或者禁止 SSLA0 引脚的输出。在使用 SSLA0 引脚时，必须将此位置“1”。

SSL1E 位 (SSLA1 输出允许位)

此位选择允许或者禁止 SSLS1 引脚的输出。在使用 SSLS1 引脚时，必须将此位置“1”。

SSL2E 位 (SSLA2 输出允许位)

此位选择允许或者禁止 SSLS2 引脚的输出。在使用 SSLS2 引脚时，必须将此位置“1”。

SSL3E 位 (SSLA3 输出允许位)

此位选择允许或者禁止 SSLS3 引脚的输出。在使用 SSLA3 引脚时，必须将此位置“1”。

17.4.2.15 端口功能寄存器 H (PFHSPI)

地址 0008 C111h

	b7	b6	b5	b4	b3	b2	b1	b0
	SSL3E	SSL2E	SSL1E	SSL0E	MISOE	MOSIE	RSPCKE	—
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	—	保留位	读写值都为“0”。	R/W
b1	RSPCKE	RSPCKB 引脚允许位	0: RSPCKB 引脚无效 1: RSPCKB 引脚有效	R/W
b2	MOSIE	MOSIB 输出允许位	0: MOSIB 引脚无效 1: MOSIB 引脚有效	R/W
b3	MISOE	MISOB 输出允许位	0: MISOB 引脚无效 1: MISOB 引脚有效	R/W
b4	SSL0E	SSLB0 输出允许位	0: SSLB0 引脚无效 1: SSLB0 引脚有效	R/W
b5	SSL1E	SSLB1 输出允许位	0: SSLB1 引脚无效 1: SSLB1 引脚有效	R/W
b6	SSL2E	SSLB2 输出允许位	0: SSLB2 引脚无效 1: SSLB2 引脚有效	R/W
b7	SSL3E	SSLB3 输出允许位	0: SSLB3 引脚无效 1: SSLB3 引脚有效	R/W

PFHSPI 寄存器是设定 RSPi 通道 1 的相关输入 / 输出引脚的寄存器。

RSPCKE 位 (RSPCKB 引脚允许位)

此位选择允许或者禁止 RSPCKB 引脚的输出。在使用 RSPCKB 引脚时，必须将此位置“1”。

MOSIE 位 (MOSIB 输出允许位)

此位选择允许或者禁止 MOSIB 引脚的输出。在使用 MOSIB 引脚时，必须将此位置“1”。

MISOE 位 (MISOB 输出允许位)

此位选择允许或者禁止 MISOB 引脚的输出。在使用 MISOB 引脚时，必须将此位置“1”。

SSL0E 位 (SSLB0 输出允许位)

此位选择允许或者禁止 SSLB0 引脚的输出。在使用 SSLB0 引脚时，必须将此位置“1”。

SSL1E 位 (SSLB1 输出允许位)

此位选择允许或者禁止 SSLB1 引脚的输出。在使用 SSLB1 引脚时，必须将此位置“1”。

SSL2E 位 (SSLB2 输出允许位)

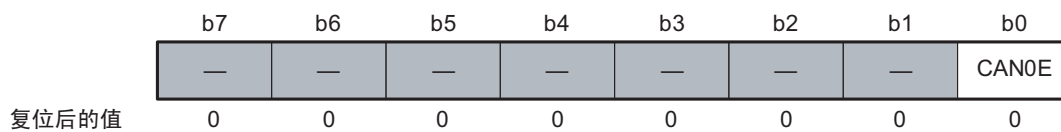
此位选择允许或者禁止 SSLB2 引脚的输出。在使用 SSLB2 引脚时，必须将此位置“1”。

SSL3E 位 (SSLB3 输出允许位)

此位选择允许或者禁止 SSLB3 引脚的输出。在使用 SSLB3 引脚时，必须将此位置“1”。

17.4.2.16 端口功能寄存器 J (PFJCAN)

地址 0008 C113h



位	符号	位名	功能	R/W
b0	CAN0E	CAN0 引脚允许位	0: CTX0 引脚和 CRX0 引脚无效 1: CTX0 引脚和 CRX0 引脚有效	R/W
b7-b1	—	保留位	读写值都为“0”。	R/W

PFJCAN 寄存器是设定 CAN 的相关输入 / 输出引脚的寄存器。

CANnE 位 (CANn 引脚允许位) (n=0)

此位选择允许或者禁止 CANn 引脚。在使用 CANn 引脚时，必须将此位置“1”。

17.4.2.17 端口功能寄存器 K (PFKUSB)

地址 0008 C114h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	USBE	PDHZS	PUPHZS	USBMD[1:0]	
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	USBMD[1:0]	USB 模式设定位	b1 b0 0 0: 将 USB0 引脚设定为 Function 模式 0 1: 将 USB0 引脚设定为 Host 模式 1 0: 将 USB0 引脚设定为 Host/Function 兼用 (选项) (注 1) 1 1: 将 USB0 引脚设定为 OTG 模式	R/W
b2	PUPHZS	PUPHZ 选择位	0: USB0_DPUPE 引脚为 High 电平输出或者 Low 电平输出 (外部上拉控制信号) 1: USB0_DPUPE 引脚为 High 电平输出或者 Hi-Z 状态 (USB0_DP 引脚上拉输出)	R/W
b3	PDHZS	PDHZ 选择位	0: USB0_DPRPD 引脚为 High 电平输出或者 Low 电平输出 USB0_DRPD 引脚为 High 电平输出或者 Low 电平输出 (外部下拉控制信号) 1: USB0_DPRPD 引脚为 Low 电平输出或者 Hi-Z 状态 USB0_DRPD 引脚为 Low 电平输出或者 Hi-Z 状态 (USB0_DP 引脚和 USB0_DM 引脚为下拉输出)	R/W
b4	USBE	USB 允许位	0: 将全部 USB0 引脚设定为无效 1: 将全部 USB0 引脚设定为有效	R/W
b7-b5	—	(保留位)	读写值都为“0”。	R/W

注 1. 有关选项, 请向本公司营业窗口询问。

PFKUSB 寄存器是设定 USB0 的相关输入 / 输出引脚的寄存器。

USBMD[1:0] 位 (USB 模式设定位)

这些位选择 USB 的模式。

USBMD[1:0] 位的设定和 USB 模式的关系如表 17.40 所示。

PUPHZS 位 (PUPHZ 选择位)

此位选择 USB 的 DPUPE 引脚输出模式 (外部上拉控制 / 引脚上拉输出)。

如果将 PUPHZS 位置“0”, 就为用于外部上拉 IC 的控制信号输出模式, 从 DPUPE 引脚输出 High 电平有效的控制信号。当上拉 DP 引脚时, DPUPE 引脚为 High 电平输出状态; 当解除 DP 引脚的上拉时, DPUPE 引脚为 Low 电平输出状态。

如果将 PUPHZS 位置“1”, 就为直接上拉 DP 引脚的输出模式。当上拉 DP 引脚时, DPUPE 引脚为 High 电平输出状态; 当解除 DP 引脚的上拉时, DPUPE 引脚为高阻抗状态。

PDHZZ 位（PDHZ 选择位）

此位选择 USB 的 DPRPD 引脚和 DRPD 引脚的输出模式（外部下拉控制 / 引脚下拉输出）。

如果将 PDHZZ 位置“0”，就为用于外部下拉 IC 的控制信号输出模式，从 DPRPD 引脚和 DRPD 引脚输出 High 电平有效的控制信号。当下拉 DP 引脚和 DM 引脚时，DPRPD 引脚和 DRPD 引脚为 High 电平输出状态；当解除 DP 引脚和 DM 引脚的下拉时，DPRPD 引脚和 DRPD 引脚为 Low 电平输出状态。

如果将 PDHZZ 位置“1”，就为直接下拉 DP 引脚和 DM 引脚的输出模式。当下拉 DP 引脚和 DM 引脚时，DPRPD 引脚和 DRPD 引脚为 Low 电平输出状态；当解除 DP 引脚和 DM 引脚的下拉时，DPRPD 引脚和 DRPD 引脚为高阻抗状态。

USBE 位（USB 允许位）

此位允许 USB 引脚。

表 17.40 USBMD[1:0] 位的设定和 USB 模式的关系（USB0）

USBMD1	USBMD0	USB0 的模式	使用的 USB 引脚	分配的端口名	备注
0	0	Function 模式	USB0_DP	USB0_DP	
			USB0_DM	USB0_DM	
			USB0_VBUS	P16	
			USB0_DPUPE-B	P14	选择 -B 侧
0	1	Host 模式	USB0_DP	USB0_DP	
			USB0_DM	USB0_DM	
			USB0_OVRCURA	P14	
			USB0_VBUSEN-B	P16	选择 -B 侧
1	0	Host/Function 兼用 (选项) (注 1)	USB0_DP	USB0_DP	
			USB0_DM	USB0_DM	
			USB0_OVRCURA	P14	
			USB0_VBUS	P16	
			USB0_DRPD	P22	
			USB0_DPUPE-A	P23	选择 -A 侧
			USB0_VBUSEN-A	P24	选择 -A 侧
1	1	OTG 模式	USB0_DP	USB0_DP	
			USB0_DM	USB0_DM	
			USB0_OVRCURA	P14	
			USB0_OVRCURB	P16	
			USB0_DPRPD	P25	
			USB0_DRPD	P22	
			USB0_EXICEN	P21	
			USB0_ID	P20	
			USB0_DPUPE-A	P23	选择 -A 侧
			USB0_VBUSEN-A	P24	选择 -A 侧

注 1. 有关选项，请向本公司营业窗口询问。

17.4.3 端口的设定

如果将各外围模块的引脚设定为有效，就能转换各端口的设定。

能通过设定各外围模块，独立设定用作输入的引脚。除 PORT 寄存器的读、数据总线的输入和 NMI 以外，需要通过将输入缓冲控制寄存器（ICR）的对应位置“1”，将输入缓冲器设定为有效。

对于用作输出和输入/输出的引脚，需要将各外围模块引脚的输出信号设定为有效。如果被相同端口多路复用的各外围模块输出信号的有效设定发生竞争，就根据外围模块的端口多路复用优先级，优先的外围模块功能变为有效。

外围模块的端口多路复用优先级一览表如表 17.41 所示。

表 17.41 外围模块的端口多路复用优先级一览表（85 引脚 TFLGA）

优先级	模块名	输出引脚名	
高 ↑ 低	1	外部总线（数据）	D0 ~ D7（数据总线）
	2	外部总线	RD#、WR0#、BCLK、 A0 ~ A19（地址总线）
	3	外部总线（CS）	CS4# ~ CS7#（片选）
	4	RSPI0、RSPI1	RSPCKn、MOSIn、MISO _n 、SSLn0 ~ SSLn3（n=A、B）
	5	USB0	USB0_DPUPE、USB0_VBUSEN、USB0_EXICEN、 USB0_DRPD、USB0_DPRPD
	6	CAN0	CTX0
	7	MTU0 ~ MTU4、 MTU6 ~ MTU10	MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D、MTIOC1A、MTIOC1B、MTIOC2A、 MTIOC2B、MTIOC3A、MTIOC3B、MTIOC3C、MTIOC3D、MTIOC4A、MTIOC4B、 MTIOC4C、MTIOC4D、MTIOC6A、MTIOC6B、MTIOC6C、MTIOC6D、MTIOC7A、 MTIOC7B、MTIOC8A、MTIOC8B、MTIOC9A、MTIOC9B、MTIOC9C、MTIOC9D、 MTIOC10A、MTIOC10B、MTIOC10C、MTIOC10D
	8	TMR0 ~ TMR3	TMO0 ~ TMO3
	9	SCI0 ~ SCI3、 SCI5 ~ SCI6	SCK0 ~ SCK3、SCK5 ~ SCK6、 TxD0 ~ TxD3、TxD5 ~ TxD6
	10	RTC	RTCOUT
	11	PPG0、PPG1	PO0 ~ PO15、PO16 ~ PO31
	12	RIIC0、RIIC1	SCL0 ~ SCL1、SDA0 ~ SDA1
	13	DA	DA0、DA1
	14	I/O PORT	P03、P05、P12 ~ P14、P16、P20 ~ P27、P30 ~ P34、P50 ~ P52、 PA0 ~ PA7、PB0 ~ PB7、PC0 ~ PC3、PD0 ~ PD7

17.4.4 输出允许设定一览表

各端口的输出允许设定一览表如表 17.42 所示。

对应的输出信号的详细内容请参照各外围模块的寄存器说明。

能通过端口功能寄存器，更改各外围模块引脚名末尾带有 A ~ D 的任意一个字符的引脚功能。

表 17.42 各端口的输出允许设定一览表 (1 / 6) (85 引脚 TFLGA)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
P03	DA	DA0		DACR.DAOE0=1
	PORT0	P03		PORT0.DDR.B3=1
P05	D/A	DA1		DACR.DAOE1=1
	PORT0	P05		PORT0.DDR.B5=1
P12	RIIC0	SCL0		RIIC0.ICCR1.ICE=1
	PORT1	P12		PORT1.DDR.B2=1
P13	MTU0	MTIOC0B		MTU 的设定请参照“表 17.43 MTU 各端口的输出允许设定一览表”。
	TMR3	TMO3		TMO3.TCSR.OSA[1:0]=01/10/11 或者 TMO3.TCSR.OSB[1:0]=01/10/11
	SCI2	TxD2-A	PFKUSC.SCI2S=0	SCI2.SCR.TE=1
	PPG0	PO13		PPG0.NDERH.NDER13=1
	RIIC0	SDA0		RIIC0.ICCR1.ICE=1
	PORT1	P13		PORT1.DDR.B3=1
P14	USB0	USB0_DPUPE-B	PFKUSB.USBE=1 PFKUSB.USBMD[1:0]=00	(信号的输出状态取决于外围模块的设定)
	MTU3	MTIOC3A		MTU 的设定请参照“表 17.43 MTU 各端口的输出允许设定一览表”。
	PPG0	PO15		PPG0.NDERH.NDER15=1
	PORT1	P14		PORT1.DDR.B4=1
P16	USB0	USB0_VBUSEN-B	PFKUSB.USBE=1 PFKUSB.USBMD[1:0]=01	(信号的输出状态取决于外围模块的设定)
	MTU3	MTIOC3C		MTU 的设定请参照“表 17.43 MTU 各端口的输出允许设定一览表”。
	TMR2	TMO2		TMO2.TCSR.OSA[1:0]=01/10/11 或者 TMO2.TCSR.OSB[1:0]=01/10/11
	PPG0	PO14		PPG0.NDERH.NDER14=1
	PORT1	P16		PORT1.DDR.B6=1
P20	MTU1	MTIOC1A		MTU 的设定请参照“表 17.43 MTU 各端口的输出允许设定一览表”。
	SCI0	TxD0		SCI0.SCR.TE=1
	PPG0	PO0		PPG0.NDERL.NDER0=1
	RIIC1	SDA1		RIIC1.ICCR1.ICE=1
	PORT2	P20		PORT2.DDR.B0=1
P21	USB0	USB0_EXICEN	PFKUSB.USBE=1 PFKUSB.USBMD[1:0]=11	(信号的输出状态取决于外围模块的设定)
	MTU1	MTIOC1B		MTU 的设定请参照“表 17.43 MTU 各端口的输出允许设定一览表”。
	PPG0	PO1		PPG0.NDERL.NDER1=1
	RIIC1	SCL1		RIIC1.ICCR1.ICE=1
	PORT2	P21		PORT2.DDR.B1=1

表 17.42 各端口的输出允许设定一览表 (2 / 6) (85 引脚 TFLGA)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
P22	USB0	USB0_DRPD	PFKUSB.USBE=1 PFKUSB.USBMD[1:0]=10/11	(信号的输出状态取决于外围模块的设定)
	MTU3	MTIOC3B		MTU 的设定请参照“表 17.43 MTU 各端口的输出允许设定一览表”。
	TMR0	TMO0		TMO0.TCSR.OSA[1:0]=01/10/11 或者 TMO0.TCSR.OSB[1:0]=01/10/11
	SCI0	SCK0		当 SCI0.SCMR.SMIF=1 时: SMR.GM=0、SCR.CKE[1:0]=01, 或者 SMR.GM=1 当 SCI0.SCMR.SMIF=0 时: SMR.CM=0、SCR.CKE[1:0]=01, 或者 SMR.CM=1, SCR.CKE[1]=0
	PPG0	PO2		PPG0.NDERL.NDER2=1
	PORT2	P22		PORT2.DDR.B2=1
P23	USB0	USB0_DPUPE-A	PFKUSB.USBE=1 PFKUSB.USBMD[1:0]=10/11	(信号的输出状态取决于外围模块的设定)
	MTU3	MTIOC3D		MTU 的设定请参照“表 17.43 MTU 各端口的输出允许设定一览表”。
	SCI3	TxD3		SCI3.SCR.TE=1
	PPG0	PO3		PPG0.NDERL.NDER3=1
	PORT2	P23		PORT2.DDR.B3=1
P24	外部总线 (CS)	CS4#	PF0CSE.CS4E=1	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	USB0	USB0_VBUSEN-A	PFKUSB.USBE=1 PFKUSB.USBMD[1:0]=10/11	(信号的输出状态取决于外围模块的设定)
	MTU4	MTIOC4A		MTU 的设定请参照“表 17.43 MTU 各端口的输出允许设定一览表”。
	SCI3	SCK3		当 SCI3.SCMR.SMIF=1 时: SMR.GM=0、SCR.CKE[1:0]=01, 或者 SMR.GM=1 当 SCI3.SCMR.SMIF=0 时: SMR.CM=0、SCR.CKE[1:0]=01, 或者 SMR.CM=1, SCR.CKE[1]=0
	PPG0	PO4		PPG0.NDERL.NDER4=1
	PORT2	P24		PORT2.DDR.B4=1
P25	外部总线 (CS)	CS5#	PF0CSE.CS5E=1	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	USB0	USB0_DPRPD	PFKUSB.USBE=1 PFKUSB.USBMD[1:0]=11	(信号的输出状态取决于外围模块的设定)
	MTU4	MTIOC4C		MTU 的设定请参照“表 17.43 MTU 各端口的输出允许设定一览表”。
	PPG0	PO5		PPG0.NDERL.NDER5=1
	PORT2	P25		PORT2.DDR.B5=1
P26	外部总线 (CS)	CS6#	PF0CSE.CS6E=1	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	RSPI1	MOSIB	PFHSPI.MOSIE=1	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	MTU2	MTIOC2A		MTU 的设定请参照“表 17.43 MTU 各端口的输出允许设定一览表”。
	TMR1	TMO1		TMO1.TCSR.OSA[1:0]=01/10/11 或者 TMO1.TCSR.OSB[1:0]=01/10/11
	SCI1	TxD1		SCI1.SCR.TE=1
	PPG0	PO6		PPG0.NDERL.NDER6=1
	PORT2	P26		PORT2.DDR.B6=1

表 17.42 各端口的输出允许设定一览表 (3 / 6) (85 引脚 TFLGA)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
P27	外部总线 (CS)	CS7#	PF0CSE.CS7E=1	SYSCR0.EXBE=1 (运行时需要设定外部总线控制器)
	RSP11	RSPCKB	PFHSPI.RSPCKE=1	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	MTU2	MTIOC2B		MTU 的设定请参照“表 17.43 MTU 各端口的输出允许设定一览表”。
	SCI1	SCK1		当 SCI1.SCMR.SMIF=1 时: SMR.GM=0、SCR.CKE[1:0]=01, 或者 SMR.GM=1 当 SCI1.SCMR.SMIF=0 时: SMR.CM=0、SCR.CKE[1:0]=01, 或者 SMR.CM=1, SCR.CKE[1]=0
	PPG0	PO7		PPG0.NDERL.NDER7=1
	PORT2	P27		PORT2.DDR.B7=1
P30	RSP11	MISOB	PFHSPI.MISOE=1	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	MTU4	MTIOC4B		MTU 的设定请参照“表 17.43 MTU 各端口的输出允许设定一览表”。
	PPG0	PO8		PPG0.NDERH.NDER8=1
	PORT3	P30		PORT3.DDR.B0=1
P31	RSP11	SSLB0	PFHSPI.SSL0E=1	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	MTU4	MTIOC4D		MTU 的设定请参照“表 17.43 MTU 各端口的输出允许设定一览表”。
	PPG0	PO9		PPG0.NDERH.NDER9=1
	PORT3	P31		PORT3.DDR.B1=1
P32	CAN0	CTX0	PFJCAN.CAN0E=1	(信号的输出状态取决于外围模块的设定)
	MTU0	MTIOC0C		MTU 的设定请参照“表 17.43 MTU 各端口的输出允许设定一览表”。
	SCI6	TxD6		SCI6.SCR.TE=1
	RTC	RTCOUT		RCR2.RTCOE=1
	PPG0	PO10		PPG0.NDERH.NDER10=1
	PORT3	P32		PORT3.DDR.B2=1
P33	MTU0	MTIOC0D		MTU 的设定请参照“表 17.43 MTU 各端口的输出允许设定一览表”。
	PPG0	PO11		PPG0.NDERH.NDER11=1
	PORT3	P33		PORT3.DDR.B3=1
P34	MTU0	MTIOC0A		MTU 的设定请参照“表 17.43 MTU 各端口的输出允许设定一览表”。
	SCI6	SCK6		当 SCI6.SCMR.SMIF=1 时: SMR.GM=0、SCR.CKE[1:0]=01, 或者 SMR.GM=1 当 SCI6.SCMR.SMIF=0 时: SMR.CM=0、SCR.CKE[1:0]=01, 或者 SMR.CM=1, SCR.CKE[1]=0
	PPG0	PO12		PPG0.NDERH.NDER12=1
	PORT3	P34		PORT3.DDR.B4=1
P35	(NA)	(NA)		
P40	PORT4	P40		PORT4.DDR.B0=1
P41	PORT4	P41		PORT4.DDR.B1=1
P42	PORT4	P42		PORT4.DDR.B2=1
P43	PORT4	P43		PORT4.DDR.B3=1
P44	PORT4	P44		PORT4.DDR.B4=1
P45	PORT4	P45		PORT4.DDR.B5=1
P46	PORT4	P46		PORT4.DDR.B6=1
P47	PORT4	P47		PORT4.DDR.B7=1

表 17.42 各端口的输出允许设定一览表 (4 / 6) (85 引脚 TFLGA)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
P50	外部总线	WR0#		SYSCR0.EXBE=1
	RSPI1	SSLB1	PFHSPI.SSL1E=1	(信号的输出状态取决于外围模块的设定)
	SCI2	TxD2-B	PFHSPI.SCI2S=1	SCI2.SCR.TE=1
	PORT5	P50		PORT5.DDR.B0=1
P51	RSPI1	SSLB2	PFHSPI.SSL2E=1	(信号的输出状态取决于外围模块的设定)
	SCI2	SCK2		当 SCI2.SCMR.SMIF=1 时: SMR.GM=0、SCR.CKE[1:0]=01, 或者 SMR.GM=1 当 SCI2.SCMR.SMIF=0 时: SMR.CM=0、SCR.CKE[1:0]=01, 或者 SMR.CM=1, SCR.CKE[1]=0
	PORT5	P51		PORT5.DDR.B1=1
P52	外部总线	RD#	PF6BUS.MDSDE=1	SYSCR0.EXBE=1
	RSPI1	SSLB3	PFHSPI.SSL3E=1	(信号的输出状态取决于外围模块的设定)
	PORT5	P52		PORT5.DDR.B2=1
P53	外部总线	BCLK		PORT5.DDR.B3=1
PA0	外部总线	A0	PF4BUS.ADRLE[1:0]=01/10/11	SYSCR0.EXBE=1
	RSPI0	SSLA1	PFHSPI.SSL1E=1	(信号的输出状态取决于外围模块的设定)
	MTU6	MTIOC6A		MTU 的设定请参照“表 17.43 MTU 各端口的输出允许设定一览表”。
	PPG1	PO16		PPG1.NDERL.NDER0=1
	PORTA	PA0		PORTA.DDR.B0=1
PA1	外部总线	A1	PF4BUS.ADRLE[1:0]=01/10/11	SYSCR0.EXBE=1
	RSPI0	SSLA2	PFHSPI.SSL2E=1	(信号的输出状态取决于外围模块的设定)
	MTU6	MTIOC6B		MTU 的设定请参照“表 17.43 MTU 各端口的输出允许设定一览表”。
	PPG1	PO17		PPG1.NDERL.NDER1=1
	PORTA	PA1		PORTA.DDR.B1=1
PA2	外部总线	A2	PF4BUS.ADRLE[1:0]=01/10/11	SYSCR0.EXBE=1
	RSPI0	SSLA3	PFHSPI.SSL3E=1	(信号的输出状态取决于外围模块的设定)
	MTU6	MTIOC6C		MTU 的设定请参照“表 17.43 MTU 各端口的输出允许设定一览表”。
	PPG1	PO18		PPG1.NDERL.NDER2=1
	PORTA	PA2		PORTA.DDR.B2=1
PA3	外部总线	A3	PF4BUS.ADRLE[1:0]=01/10/11	SYSCR0.EXBE=1
	MTU6	MTIOC6D		MTU 的设定请参照“表 17.43 MTU 各端口的输出允许设定一览表”。
	PPG1	PO19		PPG1.NDERL.NDER3=1
	PORTA	PA3		PORTA.DDR.B3=1
PA4	外部总线	A4	PF4BUS.ADRLE[1:0]=10/11	SYSCR0.EXBE=1
	RSPI0	SSLA0	PFHSPI.SSL0E=1	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	MTU7	MTIOC7A		MTU 的设定请参照“表 17.43 MTU 各端口的输出允许设定一览表”。
	PPG1	PO20		PPG1.NDERL.NDER4=1
	PORTA	PA4		PORTA.DDR.B4=1

表 17.42 各端口的输出允许设定一览表 (5 / 6) (85 引脚 TFLGA)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
PA5	外部总线	A5	PF4BUS.ADRLE[1:0]=10/11	SYSCR0.EXBE=1
	RSPI0	RSPCKA	PF4BUS.RSPCKE=1	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	MTU7	MTIOC7B		MTU 的设定请参照“表 17.43 MTU 各端口的输出允许设定一览表”。
	PPG1	PO21		PPG1.NDERL.NDER5=1
	PORTA	PA5		PORTA.DDR.B5=1
PA6	外部总线	A6	PF4BUS.ADRLE[1:0]=10/11	SYSCR0.EXBE=1
	RSPI0	MOSIA	PF4BUS.MOSIE=1	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	MTU8	MTIOC8A		MTU 的设定请参照“表 17.43 MTU 各端口的输出允许设定一览表”。
	PPG1	PO22		PPG1.NDERL.NDER6=1
	PORTA	PA6		PORTA.DDR.B6=1
PA7	外部总线	A7	PF4BUS.ADRLE[1:0]=10/11	SYSCR0.EXBE=1
	RSPI0	MISOA	PF4BUS.MISOE=1	(除引脚允许以外, 外围模块的设定有输入 / 输出转换功能。)
	MTU8	MTIOC8B		MTU 的设定请参照“表 17.43 MTU 各端口的输出允许设定一览表”。
	PPG1	PO23		PPG1.NDERL.NDER7=1
	PORTA	PA7		PORTA.DDR.B7=1
PB0	外部总线	A8	PF4BUS.ADRLE[1:0]=11	SYSCR0.EXBE=1
	MTU9	MTIOC9A		MTU 的设定请参照“表 17.43 MTU 各端口的输出允许设定一览表”。
	PPG1	PO24		PPG1.NDERH.NDER8=1
	PORTB	PB0		PORTB.DDR.B0=1
PB1	外部总线	A9	PF4BUS.ADRLE[1:0]=11	SYSCR0.EXBE=1
	MTU9	MTIOC9C		MTU 的设定请参照“表 17.43 MTU 各端口的输出允许设定一览表”。
	PPG1	PO25		PPG1.NDERH.NDER9=1
	PORTB	PB1		PORTB.DDR.B1=1
PB2	外部总线	A10	PF4BUS.A10E=1	SYSCR0.EXBE=1
	MTU9	MTIOC9B		MTU 的设定请参照“表 17.43 MTU 各端口的输出允许设定一览表”。
	PPG1	PO26		PPG1.NDERH.NDER10=1
	PORTB	PB2		PORTB.DDR.B2=1
PB3	外部总线	A11	PF4BUS.A11E=1	SYSCR0.EXBE=1
	MTU9	MTIOC9D		MTU 的设定请参照“表 17.43 MTU 各端口的输出允许设定一览表”。
	PPG1	PO27		PPG1.NDERH.NDER11=1
	PORTB	PB3		PORTB.DDR.B3=1
PB4	外部总线	A12	PF4BUS.A12E=1	SYSCR0.EXBE=1
	MTU10	MTIOC10A		MTU 的设定请参照“表 17.43 MTU 各端口的输出允许设定一览表”。
	PPG1	PO28		PPG1.NDERH.NDER12=1
	PORTB	PB4		PORTB.DDR.B4=1
PB5	外部总线	A13	PF4BUS.A13E=1	SYSCR0.EXBE=1
	MTU10	MTIOC10C		MTU 的设定请参照“表 17.43 MTU 各端口的输出允许设定一览表”。
	PPG1	PO29		PPG1.NDERH.NDER13=1
	PORTB	PB5		PORTB.DDR.B5=1

表 17.42 各端口的输出允许设定一览表 (6 / 6) (85 引脚 TFLGA)

端口	模块名	输出信号名	端口功能寄存器的设定	各外围模块的设定
PB6	外部总线	A14	PF4BUS.A14E=1	SYSCR0.EXBE=1
	MTU10	MTIOC10B		MTU 的设定请参照“表 17.43 MTU 各端口的输出允许设定一览表”。
	PPG1	PO30		PPG1.NDERH.NDER14=1
	PORTB	PB6		PORTB.DDR.B6=1
PB7	外部总线	A15	PF4BUS.A15E=1	SYSCR0.EXBE=1
	MTU10	MTIOC10D		MTU 的设定请参照“表 17.43 MTU 各端口的输出允许设定一览表”。
	PPG1	PO31		PPG1.NDERH.NDER15=1
	PORTB	PB7		PORTB.DDR.B7=1
PC0	外部总线	A16	PF3BUS.A16E=1	SYSCR0.EXBE=1
	PORTC	PC0		PORTC.DDR.B0=1
PC1	外部总线	A17	PF3BUS.A17E=1	SYSCR0.EXBE=1
	SCI5	SCK5		当 SCI5.SCMR.SMIF=1 时: SMR.GM=0、SCR.CKE[1:0]=01, 或者 SMR.GM=1 当 SCI5.SCMR.SMIF=0 时: SMR.CM=0、SCR.CKE[1:0]=01, 或者 SMR.CM=1, SCR.CKE[1]=0
	PORTC	PC1		PORTC.DDR.B1=1
PC2	外部总线	A18	PF3BUS.A18E=1	SYSCR0.EXBE=1
	PORTC	PC2		PORTC.DDR.B2=1
PC3	外部总线	A19	PF3BUS.A19E=1	SYSCR0.EXBE=1
	SCI5	TxD5		SCI5.SCR.TE=1
	PORTC	PC3		PORTC.DDR.B3=1
PD0	外部总线 (数据)	D0		SYSCR0.EXBE=1
	PORTD	PD0		PORTD.DDR.B0=1
PD1	外部总线 (数据)	D1		SYSCR0.EXBE=1
	PORTD	PD1		PORTD.DDR.B1=1
PD2	外部总线 (数据)	D2		SYSCR0.EXBE=1
	PORTD	PD2		PORTD.DDR.B2=1
PD3	外部总线 (数据)	D3		SYSCR0.EXBE=1
	PORTD	PD3		PORTD.DDR.B3=1
PD4	外部总线 (数据)	D4		SYSCR0.EXBE=1
	PORTD	PD4		PORTD.DDR.B4=1
PD5	外部总线 (数据)	D5		SYSCR0.EXBE=1
	PORTD	PD5		PORTD.DDR.B5=1
PD6	外部总线 (数据)	D6		SYSCR0.EXBE=1
	PORTD	PD6		PORTD.DDR.B6=1
PD7	外部总线 (数据)	D7		SYSCR0.EXBE=1
	PORTD	PD7		PORTD.DDR.B7=1

表 17.43 MTU 各端口的输出允许设定一览表 (1 / 6)

通道	引脚名	运行模式	模式选择位	各端口的输出允许设定	
MTU0	MTIOC0A	普通运行	MTU0.TMDR.MD[3:0] = 0000	MTU0.TIORH.IOA[3] = 0 MTU0.TIORH.IOA[1:0] = 01/10/11	
		PWM 模式 1	MTU0.TMDR.MD[3:0] = 0010	MTU0.TIORH.IOA[1:0] = 01/10/11	
		PWM 模式 2	MTU0.TMDR.MD[3:0] = 0011	MTU0.TCR.CCLR[2:0] = 001 以外 MTU0.TIORH.IOA[1:0] = 01/10/11	
	MTIOC0B	普通运行	MTU0.TMDR.MD[3:0] = 0000	MTU0.TIORH.IOB[3] = 0 MTU0.TIORH.IOB[1:0] = 01/10/11	
		PWM 模式 2	MTU0.TMDR.MD[3:0] = 0011	MTU0.TCR.CCLR[2:0] = 010 以外 MTU0.TIORH.IOB[1:0] = 01/10/11	
	MTIOC0C	普通运行	MTU0.TMDR.MD[3:0] = 0000	MTU0.TMDR.BFA = 0 MTU0.TIORL.IOC[3] = 0 MTU0.TIORL.IOC[1:0] = 01/10/11	
		PWM 模式 1	MTU0.TMDR.MD[3:0] = 0010	MTU0.TMDR.BFA = 0 MTU0.TMDR.BFB = 0 MTU0.TIORL.IOC[1:0] = 01/10/11	
		PWM 模式 2	MTU0.TMDR.MD[3:0] = 0011	MTU0.TMDR.BFA = 0 MTU0.TCR.CCLR[2:0] = 101 以外 MTU0.TIORL.IOC[1:0] = 01/10/11	
	MTIOC0D	普通运行	MTU0.TMDR.MD[3:0] = 0000	MTU0.TMDR.BFB = 0 MTU0.TIORL.IOD[3] = 0 MTU0.TIORL.IOD[1:0] = 01/10/11	
		PWM 模式 2	MTU0.TMDR.MD[3:0] = 0011	MTU0.TMDR.BFB = 0 MTU0.TCR.CCLR[2:0] = 110 以外 MTU0.TIORL.IOD[1:0] = 01/10/11	
	MTU1	MTIOC1A	普通运行	MTU1.TMDR.MD[3:0] = 0000	MTU1.TIOR.IOA[3] = 0 MTU1.TIOR.IOA[1:0] = 01/10/11
			PWM 模式 1	MTU1.TMDR.MD[3:0] = 0010	MTU1.TIOR.IOA[1:0] = 01/10/11
PWM 模式 2			MTU1.TMDR.MD[3:0] = 0011	MTU1.TCR.CCLR[1:0] = 01 以外 MTU1.TIOR.IOA[1:0] = 01/10/11	
相位计数模式 1			MTU1.TMDR.MD[3:0] = 0100	MTU1.TIOR.IOA[3] = 0 MTU1.TIOR.IOA[1:0] = 01/10/11	
相位计数模式 2			MTU1.TMDR.MD[3:0] = 0101		
相位计数模式 3			MTU1.TMDR.MD[3:0] = 0110		
相位计数模式 4			MTU1.TMDR.MD[3:0] = 0111		
MTIOC1B		普通运行	MTU1.TMDR.MD[3:0] = 0000	MTU1.TIOR.IOB[3] = 0 MTU1.TIOR.IOB[1:0] = 01/10/11	
		PWM 模式 2	MTU1.TMDR.MD[3:0] = 0011	MTU1.TCR.CCLR[1:0] = 10 以外 MTU1.TIOR.IOB[1:0] = 01/10/11	
		相位计数模式 1	MTU1.TMDR.MD[3:0] = 0100	MTU1.TIOR.IOB[3] = 0 MTU1.TIOR.IOB[1:0] = 01/10/11	
		相位计数模式 2	MTU1.TMDR.MD[3:0] = 0101		
		相位计数模式 3	MTU1.TMDR.MD[3:0] = 0110		
相位计数模式 4	MTU1.TMDR.MD[3:0] = 0111				
MTU2	MTIOC2A	普通运行	MTU2.TMDR.MD[3:0] = 0000	MTU2.TIOR.IOA[3] = 0 MTU2.TIOR.IOA[1:0] = 01/10/11	
		PWM 模式 1	MTU2.TMDR.MD[3:0] = 0010	MTU2.TIOR.IOA[1:0] = 01/10/11	
		PWM 模式 2	MTU2.TMDR.MD[3:0] = 0011	MTU2.TCR.CCLR[1:0] = 01 以外 MTU2.TIOR.IOA[1:0] = 01/10/11	
		相位计数模式 1	MTU2.TMDR.MD[3:0] = 0100	MTU2.TIOR.IOA[3] = 0 MTU2.TIOR.IOA[1:0] = 01/10/11	
		相位计数模式 2	MTU2.TMDR.MD[3:0] = 0101		
		相位计数模式 3	MTU2.TMDR.MD[3:0] = 0110		
		相位计数模式 4	MTU2.TMDR.MD[3:0] = 0111		

表 17.43 MTU 各端口的输出允许设定一览表 (2 / 6)

通道	引脚名	运行模式	模式选择位	各端口的输出允许设定	
MTU2	MTIOC2B	普通运行	MTU2.TMDR.MD[3:0] = 0000	MTU2.TIOR.IOB[3] = 0 MTU2.TIOR.IOB[1:0] = 01/10/11	
		PWM 模式 2	MTU2.TMDR.MD[3:0] = 0011	MTU2.TCR.CCLR[1:0] = 10 以外 MTU2.TIOR.IOB[1:0] = 01/10/11	
		相位计数模式 1	MTU2.TMDR.MD[3:0] = 0100	MTU2.TIOR.IOB[3] = 0 MTU2.TIOR.IOB[1:0] = 01/10/11	
		相位计数模式 2	MTU2.TMDR.MD[3:0] = 0101		
		相位计数模式 3	MTU2.TMDR.MD[3:0] = 0110		
		相位计数模式 4	MTU2.TMDR.MD[3:0] = 0111		
MTU3	MTIOC3A	普通运行	MTU3.TMDR.MD[3:0] = 0000	MTU3.TIORH.IOA[3] = 0 MTU3.TIORH.IOA[1:0] = 01/10/11	
		PWM 模式 1	MTU3.TMDR.MD[3:0] = 0010	MTU3.TIORH.IOA[1:0] = 01/10/11	
		复位同步 PWM 模式	MTU3.TMDR.MD[3:0] = 1000	MTUA.TOCR1.PSYE = 1	
		互补 PWM 模式 1	MTU3.TMDR.MD[3:0] = 1101		
		互补 PWM 模式 2	MTU3.TMDR.MD[3:0] = 1110		
		互补 PWM 模式 3	MTU3.TMDR.MD[3:0] = 1111		
	MTIOC3B	普通运行	MTU3.TMDR.MD[3:0] = 0000	MTUA.TOER.OE3B = 1 MTU3.TIORH.IOB[3] = 0 MTU3.TIORH.IOB[1:0] = 01/10/11	
		复位同步 PWM 模式	MTU3.TMDR.MD[3:0] = 1000	MTUA.TOER.OE3B = 1	
		互补 PWM 模式 1	MTU3.TMDR.MD[3:0] = 1101		
		互补 PWM 模式 2	MTU3.TMDR.MD[3:0] = 1110		
		互补 PWM 模式 3	MTU3.TMDR.MD[3:0] = 1111		
	MTIOC3C	普通运行	MTU3.TMDR.MD[3:0] = 0000	MTU3.TMDR.BFA = 0 MTU3.TIORL.IOC[3] = 0 MTU3.TIORL.IOC[1:0] = 01/10/11	
		PWM 模式 1	MTU3.TMDR.MD[3:0] = 0010	MTU3.TMDR.BFA = 0 MTU3.TMDR.BFB = 0 MTU3.TIORL.IOC[1:0] = 01/10/11	
	MTIOC3D	普通运行	MTU3.TMDR.MD[3:0] = 0000	MTUA.TOER.OE3D = 1 MTU3.TMDR.BFB = 0 MTU3.TIORL.IOD[3] = 0 MTU3.TIORL.IOD[1:0] = 01/10/11	
		复位同步 PWM 模式	MTU3.TMDR.MD[3:0] = 1000	MTUA.TOER.OE3D = 1	
		互补 PWM 模式 1	MTU3.TMDR.MD[3:0] = 1101		
		互补 PWM 模式 2	MTU3.TMDR.MD[3:0] = 1110		
		互补 PWM 模式 3	MTU3.TMDR.MD[3:0] = 1111		
		MTU4	MTIOC4A	普通运行	MTU4.TMDR.MD[3:0] = 0000
	PWM 模式 1			MTU4.TMDR.MD[3:0] = 0010	MTUA.TOER.OE4A = 1 MTU4.TIORH.IOA[1:0] = 01/10/11
	不能设定			MTU4.TMDR.MD[3:0] = 1000	MTUA.TOER.OE4A = 1
	不能设定			MTU4.TMDR.MD[3:0] = 1101	
	不能设定			MTU4.TMDR.MD[3:0] = 1110	
	不能设定			MTU4.TMDR.MD[3:0] = 1111	
复位同步 PWM 模式 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1000 MTU4.TMDR.MD[3:0] = 0000			MTUA.TOER.OE4A = 1	
互补 PWM 模式 1 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1101 MTU4.TMDR.MD[3:0] = 0000				
互补 PWM 模式 2 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1110 MTU4.TMDR.MD[3:0] = 0000				
互补 PWM 模式 3 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1111 MTU4.TMDR.MD[3:0] = 0000				

表 17.43 MTU 各端口的输出允许设定一览表 (3 / 6)

通道	引脚名	运行模式	模式选择位	各端口的输出允许设定		
MTU4	MTIOC4B	普通运行	MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4B = 1 MTU4.TIORH.IOB[3] = 0 MTU4.TIORH.IOB[1:0] = 01/10/11		
		不能设定	MTU4.TMDR.MD[3:0] = 1000	MTUA.TOER.OE4B = 1		
		不能设定	MTU4.TMDR.MD[3:0] = 1101			
		不能设定	MTU4.TMDR.MD[3:0] = 1110			
		不能设定	MTU4.TMDR.MD[3:0] = 1111			
		复位同步 PWM 模式 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1000 MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4B = 1		
		互补 PWM 模式 1 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1101 MTU4.TMDR.MD[3:0] = 0000			
		互补 PWM 模式 2 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1110 MTU4.TMDR.MD[3:0] = 0000			
		互补 PWM 模式 3 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1111 MTU4.TMDR.MD[3:0] = 0000			
	MTIOC4C	普通运行	MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4C = 1 MTU4.TMDR.BFA = 0 MTU4.TIORL.IOC[3] = 0 MTU4.TIORL.IOC[1:0] = 01/10/11		
		PWM 模式 1	MTU4.TMDR.MD[3:0] = 0010	MTUA.TOER.OE4C = 1 MTU4.TMDR.BFA = 0 MTU4.TMDR.BFB = 0 MTU4.TIORL.IOC[1:0] = 01/10/11		
		不能设定	MTU4.TMDR.MD[3:0] = 1000			
		不能设定	MTU4.TMDR.MD[3:0] = 1101			
		不能设定	MTU4.TMDR.MD[3:0] = 1110			
		不能设定	MTU4.TMDR.MD[3:0] = 1111	MTUA.TOER.OE4C = 1 MTU4.TMDR.BFA = 0		
		复位同步 PWM 模式 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1000 MTU4.TMDR.MD[3:0] = 0000			
		互补 PWM 模式 1 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1101 MTU4.TMDR.MD[3:0] = 0000			
		互补 PWM 模式 2 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1110 MTU4.TMDR.MD[3:0] = 0000			
		互补 PWM 模式 3 (联动 MTU3)	MTU3.TMDR.MD[3:0] = 1111 MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4C = 1 MTU4.TMDR.BFA = 0		
		MTIOC4D	普通运行		MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4D = 1 MTU4.TMDR.BFB = 0 MTU4.TIORL.IOD[3] = 0 MTU4.TIORL.IOD[1:0] = 01/10/11
			不能设定		MTU4.TMDR.MD[3:0] = 1000	MTUA.TOER.OE4D = 1
	不能设定		MTU4.TMDR.MD[3:0] = 1101			
	不能设定		MTU4.TMDR.MD[3:0] = 1110			
	不能设定		MTU4.TMDR.MD[3:0] = 1111			
	复位同步 PWM 模式 (联动 MTU3)		MTU3.TMDR.MD[3:0] = 1000 MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4D = 1		
	互补 PWM 模式 1 (联动 MTU3)		MTU3.TMDR.MD[3:0] = 1101 MTU4.TMDR.MD[3:0] = 0000			
	互补 PWM 模式 2 (联动 MTU3)		MTU3.TMDR.MD[3:0] = 1110 MTU4.TMDR.MD[3:0] = 0000			
	互补 PWM 模式 3 (联动 MTU3)		MTU3.TMDR.MD[3:0] = 1111 MTU4.TMDR.MD[3:0] = 0000			

表 17.43 MTU 各端口的输出允许设定一览表 (4 / 6)

通道	引脚名	运行模式	模式选择位	各端口的输出允许设定	
MTU6	MTIOC6A	普通运行	MTU6.TMDR.MD[3:0] = 0000	MTU6.TIORH.IOA[3] = 0 MTU6.TIORH.IOA[1:0] = 01/10/11	
		PWM 模式 1	MTU6.TMDR.MD[3:0] = 0010	MTU6.TIORH.IOA[1:0] = 01/10/11	
		PWM 模式 2	MTU6.TMDR.MD[3:0] = 0011	MTU6.TCR.CCLR[2:0] = 001 以外 MTU6.TIORH.IOA[1:0] = 01/10/11	
	MTIOC6B	普通运行	MTU6.TMDR.MD[3:0] = 0000	MTU6.TIORH.IOB[3] = 0 MTU6.TIORH.IOB[1:0] = 01/10/11	
		PWM 模式 2	MTU6.TMDR.MD[3:0] = 0011	MTU6.TCR.CCLR[2:0] = 010 以外 MTU6.TIORH.IOB[1:0] = 01/10/11	
	MTIOC6C	普通运行	MTU6.TMDR.MD[3:0] = 0000	MTU6.TMDR.BFA = 0 MTU6.TIORL.IOC[3] = 0 MTU6.TIORL.IOC[1:0] = 01/10/11	
		PWM 模式 1	MTU6.TMDR.MD[3:0] = 0010	MTU6.TMDR.BFA = 0 MTU6.TMDR.BFB = 0 MTU6.TIORL.IOC[1:0] = 01/10/11	
		PWM 模式 2	MTU6.TMDR.MD[3:0] = 0011	MTU6.TMDR.BFA = 0 MTU6.TCR.CCLR[2:0] = 101 以外 MTU6.TIORL.IOC[1:0] = 01/10/11	
	MTIOC6D	普通运行	MTU6.TMDR.MD[3:0] = 0000	MTU6.TMDR.BFB = 0 MTU6.TIORL.IOD[3] = 0 MTU6.TIORL.IOD[1:0] = 01/10/11	
		PWM 模式 2	MTU6.TMDR.MD[3:0] = 0011	MTU6.TMDR.BFB = 0 MTU6.TCR.CCLR[2:0] = 110 以外 MTU6.TIORL.IOD[1:0] = 01/10/11	
	MTU7	MTIOC7A	普通运行	MTU7.TMDR.MD[3:0] = 0000	MTU7.TIOR.IOA[3] = 0 MTU7.TIOR.IOA[1:0] = 01/10/11
			PWM 模式 1	MTU7.TMDR.MD[3:0] = 0010	MTU7.TIOR.IOA[1:0] = 01/10/11
PWM 模式 2			MTU7.TMDR.MD[3:0] = 0011	MTU7.TCR.CCLR[1:0] = 01 以外 MTU7.TIOR.IOA[1:0] = 01/10/11	
相位计数模式 1			MTU7.TMDR.MD[3:0] = 0100	MTU7.TIOR.IOA[3] = 0 MTU7.TIOR.IOA[1:0] = 01/10/11	
相位计数模式 2			MTU7.TMDR.MD[3:0] = 0101		
相位计数模式 3			MTU7.TMDR.MD[3:0] = 0110		
相位计数模式 4			MTU7.TMDR.MD[3:0] = 0111		
MTIOC7B		普通运行	MTU7.TMDR.MD[3:0] = 0000	MTU7.TIOR.IOB[3] = 0 MTU7.TIOR.IOB[1:0] = 01/10/11	
		PWM 模式 2	MTU7.TMDR.MD[3:0] = 0011	MTU7.TCR.CCLR[1:0] = 10 以外 MTU7.TIOR.IOB[1:0] = 01/10/11	
		相位计数模式 1	MTU7.TMDR.MD[3:0] = 0100	MTU7.TIOR.IOB[3] = 0 MTU7.TIOR.IOB[1:0] = 01/10/11	
		相位计数模式 2	MTU7.TMDR.MD[3:0] = 0101		
		相位计数模式 3	MTU7.TMDR.MD[3:0] = 0110		
相位计数模式 4	MTU7.TMDR.MD[3:0] = 0111				
MTU8	MTIOC8A	普通运行	MTU8.TMDR.MD[3:0] = 0000	MTU8.TIOR.IOA[3] = 0 MTU8.TIOR.IOA[1:0] = 01/10/11	
		PWM 模式 1	MTU8.TMDR.MD[3:0] = 0010	MTU8.TIOR.IOA[1:0] = 01/10/11	
		PWM 模式 2	MTU8.TMDR.MD[3:0] = 0011	MTU8.TCR.CCLR[1:0] = 01 以外 MTU8.TIOR.IOA[1:0] = 01/10/11	
		相位计数模式 1	MTU8.TMDR.MD[3:0] = 0100	MTU8.TIOR.IOA[3] = 0 MTU8.TIOR.IOA[1:0] = 01/10/11	
		相位计数模式 2	MTU8.TMDR.MD[3:0] = 0101		
		相位计数模式 3	MTU8.TMDR.MD[3:0] = 0110		
		相位计数模式 4	MTU8.TMDR.MD[3:0] = 0111		

表 17.43 MTU 各端口的输出允许设定一览表 (5 / 6)

通道	引脚名	运行模式	模式选择位	各端口的输出允许设定	
MTU8	MTIOC8B	普通运行	MTU8.TMDR.MD[3:0] = 0000	MTU8.TIOR.IOB[3] = 0 MTU8.TIOR.IOB[1:0] = 01/10/11	
		PWM 模式 2	MTU8.TMDR.MD[3:0] = 0011	MTU8.TCR.CCLR[1:0] = 10 以外 MTU8.TIOR.IOB[1:0] = 01/10/11	
		相位计数模式 1	MTU8.TMDR.MD[3:0] = 0100	MTU8.TIOR.IOB[3] = 0 MTU8.TIOR.IOB[1:0] = 01/10/11	
		相位计数模式 2	MTU8.TMDR.MD[3:0] = 0101		
		相位计数模式 3	MTU8.TMDR.MD[3:0] = 0110		
		相位计数模式 4	MTU8.TMDR.MD[3:0] = 0111		
MTU9	MTIOC9A	普通运行	MTU9.TMDR.MD[3:0] = 0000	MTU9.TIORH.IOA[3] = 0 MTU9.TIORH.IOA[1:0] = 01/10/11	
		PWM 模式 1	MTU9.TMDR.MD[3:0] = 0010	MTU9.TIORH.IOA[1:0] = 01/10/11	
		复位同步 PWM 模式	MTU9.TMDR.MD[3:0] = 1000	MTUB.TOCR1.PSYE = 1	
		互补 PWM 模式 1	MTU9.TMDR.MD[3:0] = 1101		
		互补 PWM 模式 2	MTU9.TMDR.MD[3:0] = 1110		
		互补 PWM 模式 3	MTU9.TMDR.MD[3:0] = 1111		
	MTIOC9B	普通运行	MTU9.TMDR.MD[3:0] = 0000	MTUB.TOER.OE3B = 1 MTU9.TIORH.IOB[3] = 0 MTU9.TIORH.IOB[1:0] = 01/10/11	
		复位同步 PWM 模式	MTU9.TMDR.MD[3:0] = 1000	MTUB.TOER.OE3B = 1	
		互补 PWM 模式 1	MTU9.TMDR.MD[3:0] = 1101		
		互补 PWM 模式 2	MTU9.TMDR.MD[3:0] = 1110		
		互补 PWM 模式 3	MTU9.TMDR.MD[3:0] = 1111		
	MTIOC9C	普通运行	MTU9.TMDR.MD[3:0] = 0000	MTU9.TMDR.BFA = 0 MTU9.TIORL.IOC[3] = 0 MTU9.TIORL.IOC[1:0] = 01/10/11	
		PWM 模式 1	MTU9.TMDR.MD[3:0] = 0010	MTU9.TMDR.BFA = 0 MTU9.TMDR.BFB = 0 MTU9.TIORL.IOC[1:0] = 01/10/11	
	MTIOC9D	普通运行	MTU9.TMDR.MD[3:0] = 0000	MTUB.TOER.OE3D = 1 MTU9.TMDR.BFB = 0 MTU9.TIORL.IOD[3] = 0 MTU9.TIORL.IOD[1:0] = 01/10/11	
		复位同步 PWM 模式	MTU9.TMDR.MD[3:0] = 1000	MTUB.TOER.OE3D = 1	
		互补 PWM 模式 1	MTU9.TMDR.MD[3:0] = 1101		
		互补 PWM 模式 2	MTU9.TMDR.MD[3:0] = 1110		
		互补 PWM 模式 3	MTU9.TMDR.MD[3:0] = 1111		
		MTU10	MTIOC10A	普通运行	MTU10.TMDR.MD[3:0] = 0000
	PWM 模式 1			MTU10.TMDR.MD[3:0] = 0010	MTUB.TOER.OE4A = 1 MTU10.TIORH.IOA[1:0] = 01/10/11
	不能设定			MTU10.TMDR.MD[3:0] = 1000	MTUB.TOER.OE4A = 1
	不能设定			MTU10.TMDR.MD[3:0] = 1101	
	不能设定			MTU10.TMDR.MD[3:0] = 1110	
	不能设定			MTU10.TMDR.MD[3:0] = 1111	
复位同步 PWM 模式 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1000 MTU10.TMDR.MD[3:0] = 0000			MTUB.TOER.OE4A = 1	
互补 PWM 模式 2 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1101 MTU10.TMDR.MD[3:0] = 0000				
互补 PWM 模式 2 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1110 MTU10.TMDR.MD[3:0] = 0000				
互补 PWM 模式 3 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1111 MTU10.TMDR.MD[3:0] = 0000				

表 17.43 MTU 各端口的输出允许设定一览表 (6 / 6)

通道	引脚名	运行模式	模式选择位	各端口的输出允许设定	
MTU10	MTIOC10B	普通运行	MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4B = 1 MTU10.TIORH.IOB[3] = 0 MTU10.TIORH.IOB[1:0] = 01/10/11	
		不能设定	MTU10.TMDR.MD[3:0] = 1000	MTUB.TOER.OE4B = 1	
		不能设定	MTU10.TMDR.MD[3:0] = 1101		
		不能设定	MTU10.TMDR.MD[3:0] = 1110		
		不能设定	MTU10.TMDR.MD[3:0] = 1111		
		复位同步 PWM 模式 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1000 MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4B = 1	
		互补 PWM 模式 2 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1101 MTU10.TMDR.MD[3:0] = 0000		
		互补 PWM 模式 2 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1110 MTU10.TMDR.MD[3:0] = 0000		
		互补 PWM 模式 3 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1111 MTU10.TMDR.MD[3:0] = 0000		
	MTIOC10C	普通运行	MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4C = 1 MTU10.TMDR.BFA = 0 MTU10.TIORL.IOC[3] = 0 MTU10.TIORL.IOC[1:0] = 01/10/11	
		PWM 模式 1	MTU10.TMDR.MD[3:0] = 0010	MTUB.TOER.OE4C = 1 MTU10.TMDR.BFA = 0 MTU10.TMDR.BFB = 0 MTU10.TIORL.IOC[1:0] = 01/10/11	
		不能设定	MTU10.TMDR.MD[3:0] = 1000	MTUB.TOER.OE4C = 1 MTU10.TMDR.BFA = 0	
		不能设定	MTU10.TMDR.MD[3:0] = 1101		
		不能设定	MTU10.TMDR.MD[3:0] = 1110		
		不能设定	MTU10.TMDR.MD[3:0] = 1111		
		复位同步 PWM 模式 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1000 MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4C = 1 MTU10.TMDR.BFA = 0	
		互补 PWM 模式 2 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1101 MTU10.TMDR.MD[3:0] = 0000		
		互补 PWM 模式 2 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1110 MTU10.TMDR.MD[3:0] = 0000		
		互补 PWM 模式 3 (联动 MTU9)	MTU9.TMDR.MD[3:0] = 1111 MTU10.TMDR.MD[3:0] = 0000		
		MTIOC10D	普通运行	MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4D = 1 MTU10.TMDR.BFB = 0 MTU10.TIORL.IOD[3] = 0 MTU10.TIORL.IOD[1:0] = 01/10/11
			不能设定	MTU10.TMDR.MD[3:0] = 1000	MTUB.TOER.OE4D = 1
			不能设定	MTU10.TMDR.MD[3:0] = 1101	
	不能设定		MTU10.TMDR.MD[3:0] = 1110		
	不能设定		MTU10.TMDR.MD[3:0] = 1111		
	复位同步 PWM 模式 (联动 MTU9)		MTU9.TMDR.MD[3:0] = 1000 MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4D = 1	
	互补 PWM 模式 2 (联动 MTU9)		MTU9.TMDR.MD[3:0] = 1101 MTU10.TMDR.MD[3:0] = 0000		
	互补 PWM 模式 2 (联动 MTU9)		MTU9.TMDR.MD[3:0] = 1110 MTU10.TMDR.MD[3:0] = 0000		
	互补 PWM 模式 3 (联动 MTU9)		MTU9.TMDR.MD[3:0] = 1111 MTU10.TMDR.MD[3:0] = 0000		

17.4.5 未使用引脚的处理

未使用引脚的处理内容如表 17.44 所示。

表 17.44 未使用引脚的处理内容（85 引脚 TFLGA）

引脚名	处理内容
EMLE	通过电阻连接 VSS（下拉）。
MD1、MD0	（必须用作模式引脚。）
MDE	（必须用作模式引脚。）
RES#	通过电阻连接 VCC（上拉）。
USB0_DP	将引脚置为开路。
USB0_DM	
BSCANP	通过电阻连接 VSS（下拉）。
P35/NMI	通过电阻连接 VCC（上拉）。
EXTAL	（必须用作时钟引脚。）
XTAL	将引脚置为开路。
XCIN	通过电阻连接 VCC（上拉）或者 VSS（下拉）。
XCOUT	将引脚置为开路。
端口 0 ~ 5 端口 A ~ D	<ul style="list-style-type: none"> • 每个引脚通过电阻连接 VCC（上拉）或者 VSS（下拉）。 • 也能在 PORTn.ICR 为初始值（输入缓冲器无效）的状态下将引脚置为开路（注）。
VREFH	连接 AVCC。
VREFL	连接 AVSS。

注. 不能改变 PORTn.ICR 寄存器的初始值，否则就可能有穿透电流流过。

17.5 输入 / 输出端口的结构

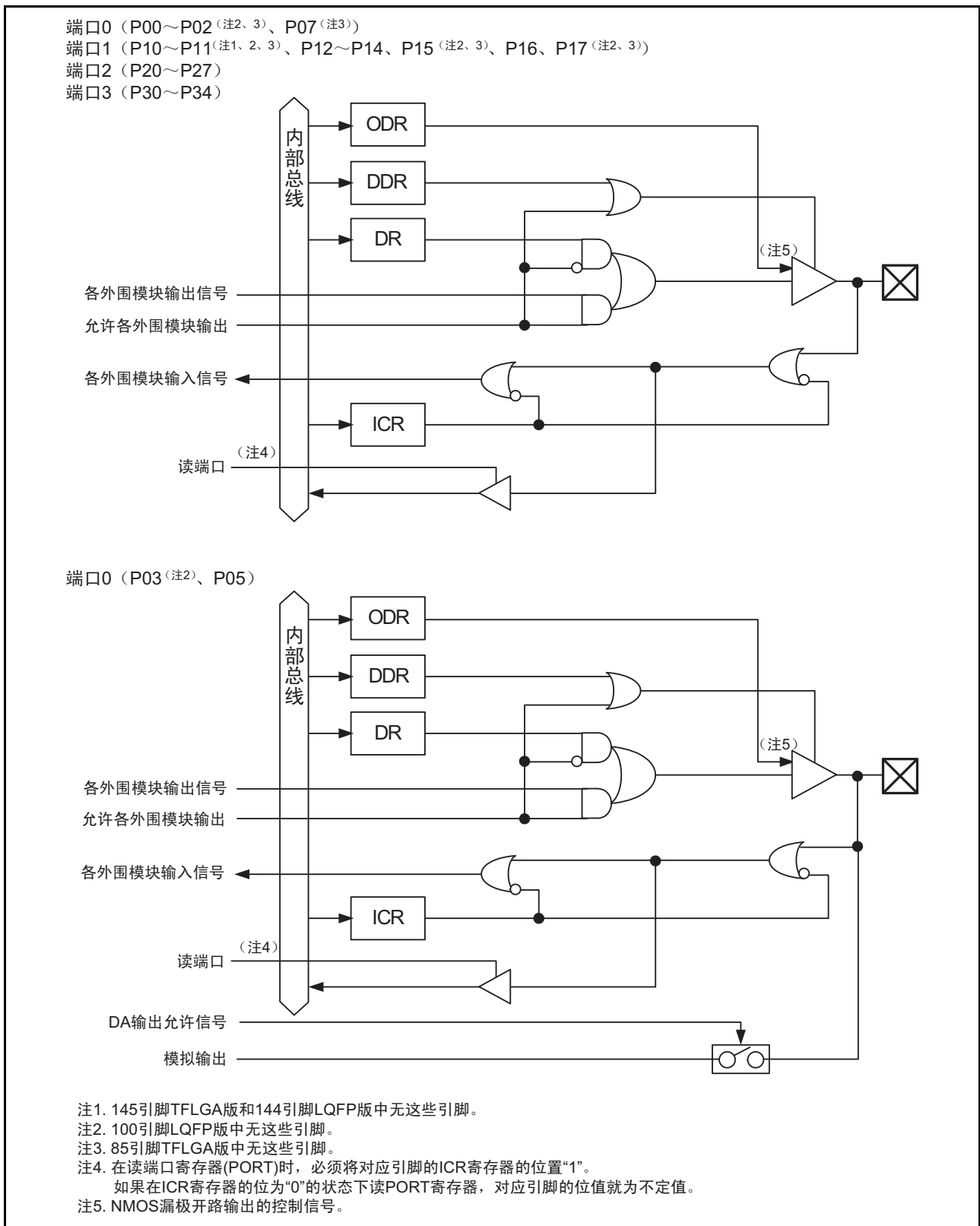


图 17.1 输入 / 输出端口的结构 (1)

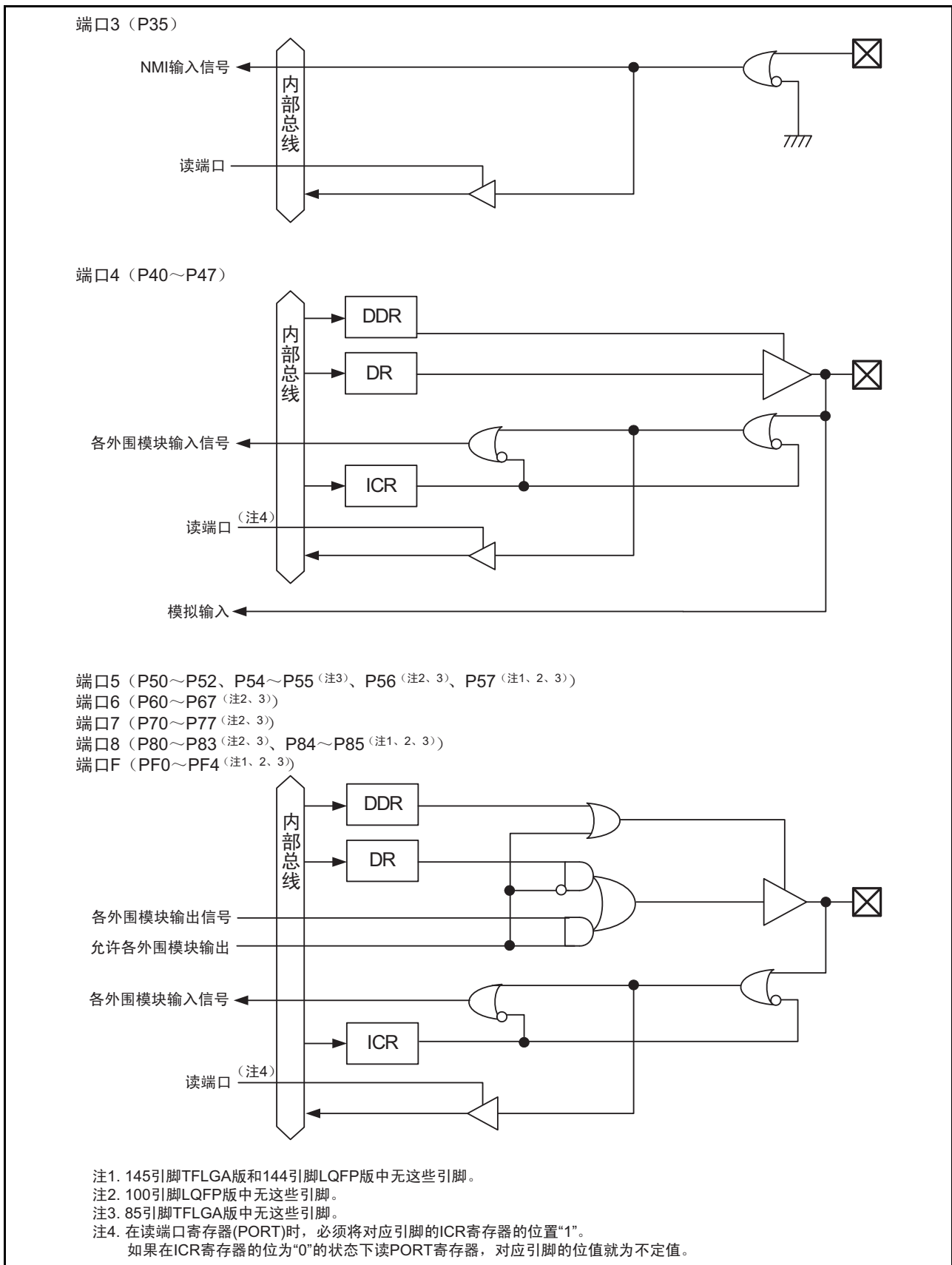


图 17.2 输入 / 输出端口的结构 (2)

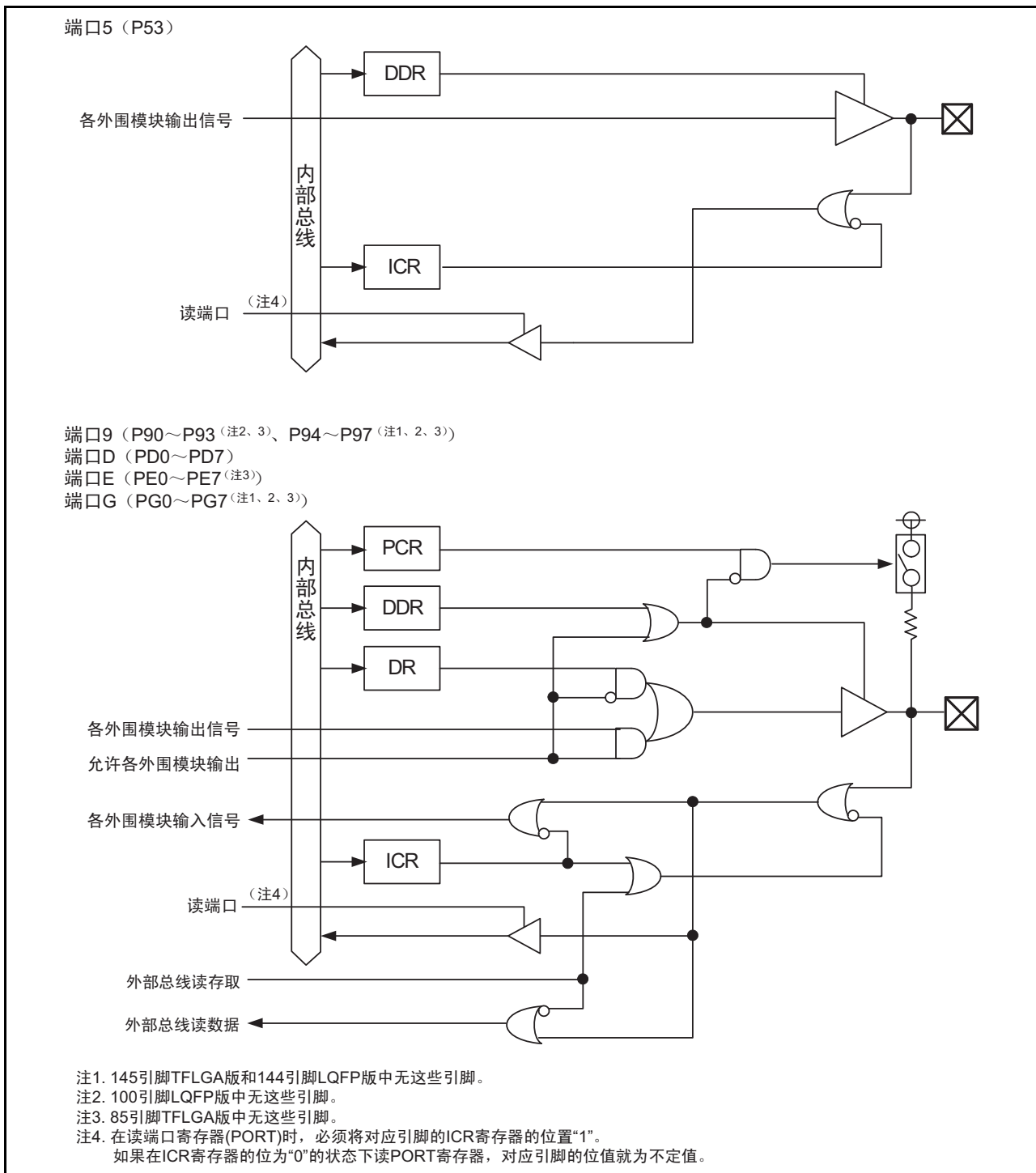


图 17.3 输入 / 输出端口的结构 (3)

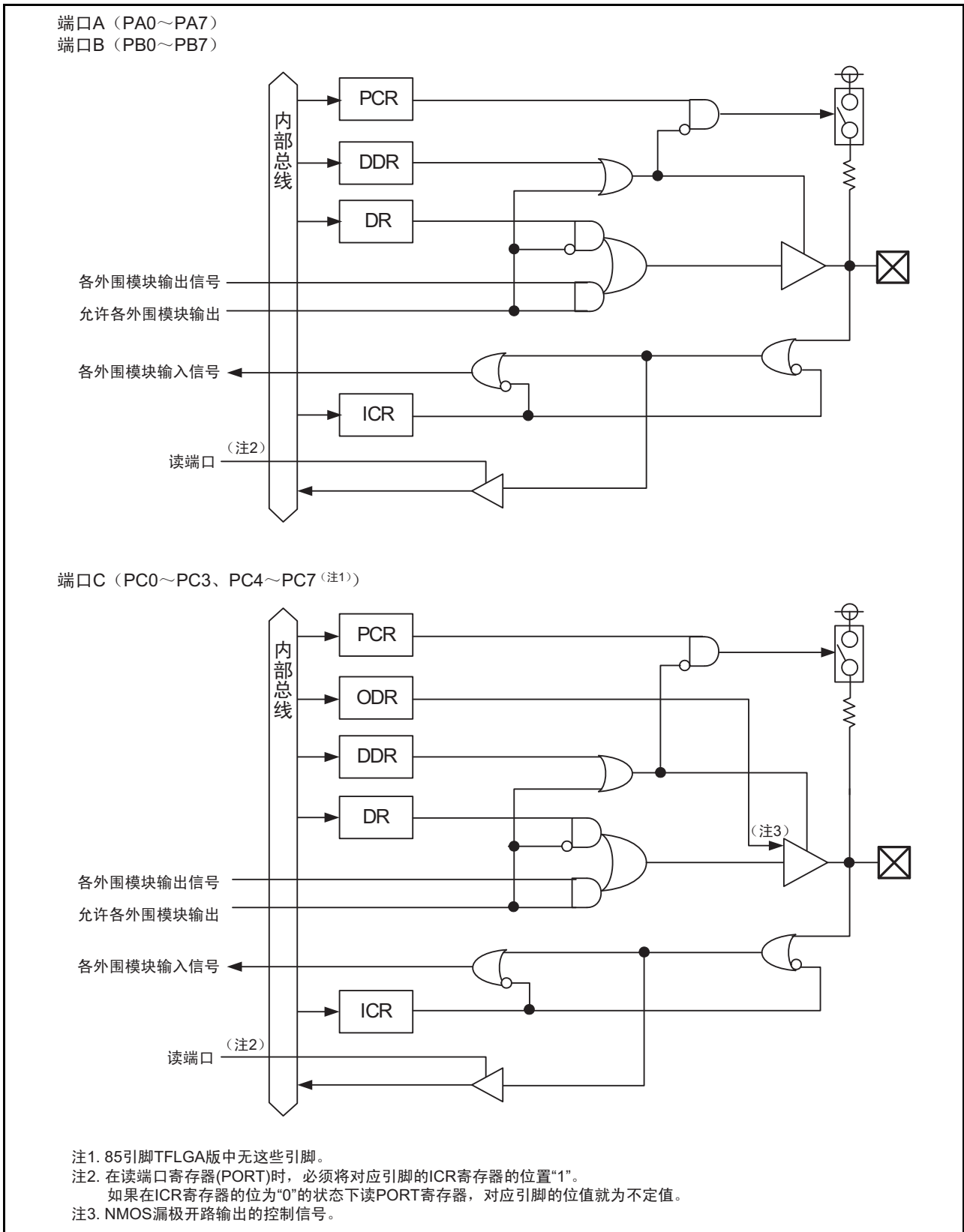


图 17.4 输入 / 输出端口的结构 (4)

17.6 使用时的注意事项

17.6.1 输入缓冲控制寄存器 (PORTn.ICR) 的设定

在更改 PORTn.ICR 寄存器的设定时，有可能因引脚的状态而在内部产生边沿，导致意想不到的运行。因此，必须在将引脚固定为 High 电平的状态下或者在通过设定被分配到该引脚的外围模块将输入功能置为无效的状态下更改 PORTn.ICR 寄存器的设定。

如果通过设定 PORTn.ICR 寄存器将输入置为有效，对于分配了多个输入功能的引脚，就将引脚状态反映到全部的输入功能。对于未使用的输入功能，必须注意各外围模块的设定。

在将引脚用作输出引脚时，如果通过设定 PORTn.ICR 寄存器将输入置为有效，输出数据就作为引脚状态被取入。必须通过设定 PORTn.ICR 寄存器将用作输出的引脚输入置为无效。

17.6.2 端口功能寄存器的设定

端口功能寄存器控制 I/O 端口。在设定各引脚的输入 / 输出时，必须在选择输入 / 输出目标后将输入 / 输出置为有效。

在更改输入引脚时，如果更改前的引脚电平和更改后的引脚电平不同，就可能在内部产生边沿，导致意想不到的运行。因此在更改输入引脚时，必须按照以下步骤进行设定：

1. 通过设定与要更改的引脚功能对应的外围模块，将输入功能置为无效。
2. 通过设定端口功能寄存器，选择输入引脚。
3. 通过设定与要更改的引脚功能对应的外围模块，将输入功能置为有效。

在更改输出引脚时，如果更改前的引脚设定和更改后的引脚设定不同，就可能从引脚输出内部边沿，导致意想不到的运行。因此在更改输出引脚时，必须按照以下步骤进行设定：

1. 通过设定与要更改的引脚功能对应的外围模块，将输出功能置为无效。
2. 通过设定端口功能寄存器，选择输出引脚。
3. 通过设定与要更改的引脚功能对应的外围模块，将输出功能置为有效。

对于 1 个引脚功能，如果同时有用于更改输入 / 输出目标的引脚选择位以及用于将引脚功能置为有效的允许位，就必须在通过引脚选择位设定引脚的输入 / 输出目标后，通过允许位将引脚功能置为有效。

17.6.3 有关输出允许设定的转换

因为禁止各端口输出允许设定的初始状态，所以引脚为 Hi-Z 状态。如果进行输出允许设定的转换，各端口就从 Hi-Z 状态转换为输出（High 电平输出或者 Low 电平输出），此时可能因 LSI 内部状态而从引脚输出边沿。

要想不产生边沿，需要预先给端口数据寄存器（DR）设定值。

在从 Hi-Z 状态转换为 High 电平输出时，必须按照以下步骤进行转换：

1. 将输出引脚的端口数据寄存器（DR）的位置“1”（将 LSI 内部状态置为 High 电平）。
2. 通过设定端口功能寄存器，选择输出引脚。
3. 将输出引脚功能转换为输出允许设定。

在从 Hi-Z 状态转换为 Low 电平输出时，必须按照以下步骤进行转换：

1. 将输出引脚的端口数据寄存器（DR）的位置“0”（将 LSI 内部状态置为 Low 电平）。
2. 通过设定端口功能寄存器，选择输出引脚。
3. 将输出引脚功能转换为输出允许设定。

17.6.4 有关分配了 TDO 的引脚的漏极开路设定

在 RX62N 群和 RX621 群的情况下，如果将分配了 TDO 的引脚设定为漏极开路，该引脚就为漏极开路输出，与是否用作 TDO 无关，无法进行内部仿真器的通信。

RX62N 群和 RX621 群的 145 引脚 TFLGA、144 引脚 LQFP、100 引脚 LQFP、85 引脚 TFLGA 的 TDO 引脚分配给 P26，如果将 P26 设定为漏极开路输出（P2.ODR.B6=1），就无法进行使用了 TDO 引脚的通信。因此在对 145 引脚 TFLGA、144 引脚 LQFP、100 引脚 LQFP、85 引脚 TFLGA 使用内部仿真器时，不能将 P26 设定为漏极开路输出。

17.6.5 读端口寄存器（PORT）时的注意事项

在读端口寄存器（PORT）时，为了使对应引脚的输入缓冲器有效，必须预先将 PORTn.ICR 寄存器的对应位置“1”。

如果在 PORTn.ICR 寄存器的位为“0”的状态下读 PORTn.PORT 寄存器，对应位的值就为不定值。

18. 多功能定时器脉冲单元 2 (MTU2)

18.1 概要

RX62N 群和 RX621 群内置 2 个由 6 个通道的 16 位定时器构成的多功能定时器脉冲单元 (MTU, 单元 0: 通道 0 ~ 5, 单元 1: 通道 6 ~ 11), 共计 12 个通道。

MTU 的规格如表 18.1 所示, MTU (单元 0) 和 MTU (单元 1) 的功能一览表分别如表 18.2 和表 18.3 所示, MTU (单元 0) 和 MTU (单元 1) 的框图分别如图 18.1 和图 18.2 所示。

在本章中, 因为单元 0 和单元 1 的功能相同, 所以通道 0 ~ 5 的各功能对应通道 6 ~ 11 的各功能, 在表述中有关单元 0 的说明也适用于单元 1 的通道说明。

表 18.1 MTU 的规格

项目	内容
脉冲输入 / 输出	最多 16 个
脉冲输入	3 个
计数时钟	各通道有 8 种或者 7 种 (通道 5 和通道 11 有 4 种)。
能设定的运行	【通道 0 ~ 4、通道 6 ~ 10】 <ul style="list-style-type: none"> 通过比较匹配进行波形输出。 输入捕捉功能 计数器清除运行 同时写多个定时器的计数器 (TCNT)。 通过比较匹配或者输入捕捉进行同时清除。 通过计数器的同步运行进行各寄存器的同步输入 / 输出。 通过和同步运行的组合进行最多 12 相的 PWM 输出。 级联运行
	【通道 0、3、4、6、9、10】 <ul style="list-style-type: none"> 能设定缓冲运行。 能设定使用互补 PWM 或者复位同步 PWM 的 AC 同步马达 (无刷 DC 马达) 驱动模式, 并且可选择 2 种 (斩波、电平) 波形输出。
	【通道 1、2、7、8】 <ul style="list-style-type: none"> 能分别设定相位计数模式。
	【通道 3、4、9、10】 <ul style="list-style-type: none"> 能通过联动运行输出互补 PWM 或者复位 PWM 的正负 3 相共 6 相。
	【通道 5、通道 11】 <ul style="list-style-type: none"> 用于补偿死区时间的计数器功能。
互补 PWM 模式	<ul style="list-style-type: none"> 计数器波峰 / 波谷的中断 A/D 转换器的转换开始触发减少功能
中断源	28 种
缓冲运行	寄存器数据的自动传送
触发生成	能生成可编程脉冲发生器 (PPG) 的输出触发。
	能生成 A/D 转换器的转换开始触发。
低功耗功能	各单元能设定为模块停止状态。

表 18.2 MTU 的功能一览表 (单元 0) (1 / 2)

项目	MTU0	MTU1	MTU2	MTU3	MTU4	MTU5
计数时钟	PCLK/1 PCLK/4 PCLK/16 PCLK/64 MTCLKA MTCLKB MTCLKC MTCLKD	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 MTCLKA MTCLKB	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/1024 MTCLKA MTCLKB MTCLKC	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 PCLK/1024 MTCLKA MTCLKB	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 PCLK/1024 MTCLKA MTCLKB	PCLK/1 PCLK/4 PCLK/16 PCLK/64
通用寄存器 (TGR)	TGRA TGRB TGRE	TGRA TGRB	TGRA TGRB	TGRA TGRB	TGRA TGRB	TGRU TGRV TGRW
通用寄存器 / 缓冲寄存器	TGRC TGRD TGRF	—	—	TGRC TGRD	TGRC TGRD	—
输入 / 输出引脚	MTIOC0A MTIOC0B MTIOC0C MTIOC0D	MTIOC1A MTIOC1B	MTIOC2A MTIOC2B	MTIOC3A MTIOC3B MTIOC3C MTIOC3D	MTIOC4A MTIOC4B MTIOC4C MTIOC4D	输入引脚 MTIC5U MTIC5V MTIC5W
计数器清除功能	TGR 的比较匹配 或者输入捕捉	TGR 的比较匹配 或者输入捕捉	TGR 的比较匹配 或者输入捕捉	TGR 的比较匹配 或者输入捕捉	TGR 的比较匹配 或者输入捕捉	TGR 的比较匹配 或者输入捕捉
比较匹配 输出	Low 电平输出	○	○	○	○	—
	High 电平输出	○	○	○	○	—
	交替输出	○	○	○	○	—
输入捕捉功能	○	○	○	○	○	○
同步运行	○	○	○	○	○	—
PWM 模式 1	○	○	○	○	○	—
PWM 模式 2	○	○	○	—	—	—
互补 PWM 模式	—	—	—	○	○	—
复位同步 PWM	—	—	—	○	○	—
AC 同步马达驱动模式	○	—	—	○	○	—
相位计数模式	—	○	○	—	—	—
缓冲运行	○	—	—	○	○	—
用于补偿死区时间的 计数器功能	—	—	—	—	—	○
DMACA 的启动	TGRA 的比较匹配 或者输入捕捉	TGRA 的比较匹配 或者输入捕捉	TGRA 的比较匹配 或者输入捕捉	TGRA 的比较匹配 或者输入捕捉	TGRA 的比较匹配 或者输入捕捉	—
DTC 的启动	TGR 的比较匹配 或者输入捕捉	TGR 的比较匹配 或者输入捕捉	TGR 的比较匹配 或者输入捕捉	TGR 的比较匹配 或者输入捕捉	TGR 的比较匹配 或者输入捕捉、 TCNT 的上溢 / 下溢	TGR 的比较匹配 或者输入捕捉
A/D 转换开始触发	TGRA 的比较匹配 或者输入捕捉、 TGRB 的比较匹配 或者输入捕捉、 TGRE 的比较匹 配、TGRF 的比 较匹配、	TGRA 的比较匹配 或者输入捕捉	TGRA 的比较匹配 或者输入捕捉	TGRA 的比较匹配 或者输入捕捉	TGRA 的比较匹配 或者输入捕捉、 互补 PWM 模式 中的 TCNT 下溢 (波谷)	—

表 18.2 MTU 的功能一览表 (单元 0) (2 / 2)

项目	MTU0	MTU1	MTU2	MTU3	MTU4	MTU5
PPG 触发	TGRA、TGRB 的比较匹配或者输入捕捉	TGRA、TGRB 的比较匹配或者输入捕捉	TGRA、TGRB 的比较匹配或者输入捕捉	TGRA、TGRB 的比较匹配或者输入捕捉	—	—
中断源	7 个源 <ul style="list-style-type: none"> • 比较匹配 / 输入捕捉 0A • 比较匹配 / 输入捕捉 0B • 比较匹配 / 输入捕捉 0C • 比较匹配 / 输入捕捉 0D • 比较匹配 0E • 比较匹配 0F • 上溢 	4 个源 <ul style="list-style-type: none"> • 比较匹配 / 输入捕捉 1A • 比较匹配 / 输入捕捉 1B • 上溢 • 下溢 	4 个源 <ul style="list-style-type: none"> • 比较匹配 / 输入捕捉 2A • 比较匹配 / 输入捕捉 2B • 上溢 • 下溢 	5 个源 <ul style="list-style-type: none"> • 比较匹配 / 输入捕捉 3A • 比较匹配 / 输入捕捉 3B • 比较匹配 / 输入捕捉 3C • 比较匹配 / 输入捕捉 3D • 上溢 	5 个源 <ul style="list-style-type: none"> • 比较匹配 / 输入捕捉 4A • 比较匹配 / 输入捕捉 4B • 比较匹配 / 输入捕捉 4C • 比较匹配 / 输入捕捉 4D • 上溢 / 下溢 	3 个源 <ul style="list-style-type: none"> • 比较匹配 / 输入捕捉 5U • 比较匹配 / 输入捕捉 5V • 比较匹配 / 输入捕捉 5W
A/D 转换的开始请求延迟功能	—	—	—	—	• 在 TADCORA 和 TCNT 匹配时或者 TADCORB 和 TCNT 匹配时请求开始 A/D 转换	—
中断减少功能	—	—	—	• 减少 TGRA 比较匹配中断	• 减少 TCIV 中断	—
模块停止	MSTPCRA.MSTPA9 (注1)					

【符号说明】 ○ : 能
 — : 不能

注 1. 有关模块停止的详细内容, 请参照“9. 低功耗功能”。

表 18.3 MTU 的功能一览表 (单元 1) (1/2)

项目	MTU6	MTU7	MTU8	MTU9	MTU10	MTU11
计数时钟	PCLK/1 PCLK/4 PCLK/16 PCLK/64 MTCLKE MTCLKF MTCLKG MTCLKH	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 MTCLKE MTCLKF	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/1024 MTCLKE MTCLKF MTCLKG	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 PCLK/1024 MTCLKE MTCLKF	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 PCLK/1024 MTCLKE MTCLKF	PCLK/1 PCLK/4 PCLK/16 PCLK/64
通用寄存器 (TGR)	TGRA TGRB TGRE	TGRA TGRB	TGRA TGRB	TGRA TGRB	TGRA TGRB	TGRU TGRV TGRW
通用寄存器 / 缓冲寄存器	TGRC TGRD TGRF	—	—	TGRC TGRD	TGRC TGRD	—
输入 / 输出引脚	MTIOC6A MTIOC6B MTIOC6C MTIOC6D	MTIOC7A MTIOC7B	MTIOC8A MTIOC8B	MTIOC9A MTIOC9B MTIOC9C MTIOC9D	MTIOC10A MTIOC10B MTIOC10C MTIOC10D	输入引脚 MTIC11U MTIC11V MTIC11W
计数器清除功能	TGR 的比较匹配 或者输入捕捉	TGR 的比较匹配 或者输入捕捉	TGR 的比较匹配 或者输入捕捉	TGR 的比较匹配 或者输入捕捉	TGR 的比较匹配 或者输入捕捉	TGR 的比较匹配 或者输入捕捉
比较匹配 输出	Low 电平输出	○	○	○	○	—
	High 电平输出	○	○	○	○	—
	交替输出	○	○	○	○	—
输入捕捉功能	○	○	○	○	○	○
同步运行	○	○	○	○	○	—
PWM 模式 1	○	○	○	○	○	—
PWM 模式 2	○	○	○	—	—	—
互补 PWM 模式	—	—	—	○	○	—
复位同步 PWM	—	—	—	○	○	—
AC 同步马达驱动模式	○	—	—	○	○	—
相位计数模式	—	○	○	—	—	—
缓冲运行	○	—	—	○	○	—
用于补偿死区时间的 计数器功能	—	—	—	—	—	○
DMACA 的启动	TGRA 的比较匹配 或者输入捕捉	TGRA 的比较匹配 或者输入捕捉	TGRA 的比较匹配 或者输入捕捉	TGRA 的比较匹配 或者输入捕捉	TGRA 的比较匹配 或者输入捕捉	—
DTC 的启动	TGR 的比较匹配 或者输入捕捉	TGR 的比较匹配 或者输入捕捉	TGR 的比较匹配 或者输入捕捉	TGR 的比较匹配 或者输入捕捉	TGR 的比较匹配 或者输入捕捉、 TCNT 的上溢 / 下溢	TGR 的比较匹配 或者输入捕捉
A/D 转换开始触发	TGRA 的比较匹配 或者输入捕捉	TGRA 的比较匹配 或者输入捕捉	TGRA 的比较匹配 或者输入捕捉	TGRA 的比较匹配 或者输入捕捉	TGRA 的比较匹配 或者输入捕捉、 互补 PWM 模式 中的 TCNT 下溢 (波谷)	—
PPG 触发	TGRA、TGRB 的比较匹配或者 输入捕捉	TGRA、TGRB 的比较匹配或者 输入捕捉	TGRA、TGRB 的比较匹配或者 输入捕捉	TGRA、TGRB 的比较匹配或者 输入捕捉	—	—

表 18.3 MTU 的功能一览表 (单元 1) (2 / 2)

项目	MTU6	MTU7	MTU8	MTU9	MTU10	MTU11
中断源	7 个源 <ul style="list-style-type: none"> • 比较匹配 / 输入捕捉 6A • 比较匹配 / 输入捕捉 6B • 比较匹配 / 输入捕捉 6C • 比较匹配 / 输入捕捉 6D • 比较匹配 6E • 比较匹配 6F • 上溢 	4 个源 <ul style="list-style-type: none"> • 比较匹配 / 输入捕捉 7A • 比较匹配 / 输入捕捉 7B • 上溢 • 下溢 	4 个源 <ul style="list-style-type: none"> • 比较匹配 / 输入捕捉 8A • 比较匹配 / 输入捕捉 8B • 上溢 • 下溢 	5 个源 <ul style="list-style-type: none"> • 比较匹配 / 输入捕捉 9A • 比较匹配 / 输入捕捉 9B • 比较匹配 / 输入捕捉 9C • 比较匹配 / 输入捕捉 9D • 上溢 	5 个源 <ul style="list-style-type: none"> • 比较匹配 / 输入捕捉 10A • 比较匹配 / 输入捕捉 10B • 比较匹配 / 输入捕捉 10C • 比较匹配 / 输入捕捉 10D 上溢 / 下溢 	3 个源 <ul style="list-style-type: none"> • 比较匹配 / 输入捕捉 11U • 比较匹配 / 输入捕捉 11V • 比较匹配 / 输入捕捉 11W
A/D 转换的开始请求延迟功能	—	—	—	—	<ul style="list-style-type: none"> • 在 TADCORA 和 TCNT 匹配时或者 TADCORB 和 TCNT 匹配时请求开始 A/D 转换 	—
中断减少功能	—	—	—	<ul style="list-style-type: none"> • 减少 TGRA 的比较匹配中断 	<ul style="list-style-type: none"> • 减少 TCIV 中断 	—
模块停止	MSTPCRA.MSTPA8 (注1)					

【符号说明】 ○ : 能
— : 不能

注 1. 有关模块停止的详细内容, 请参照“9. 低功耗功能”。

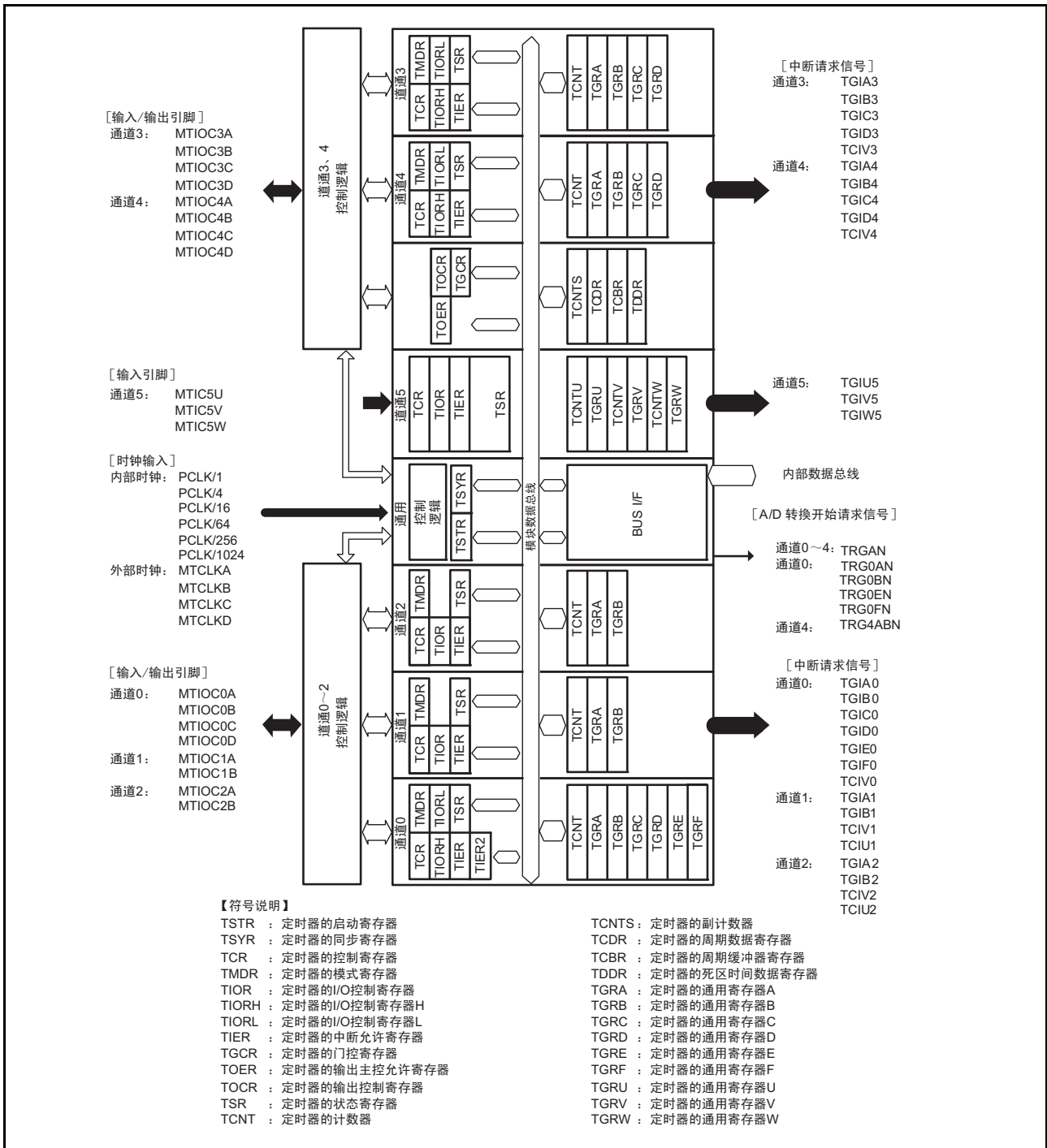


图 18.1 MTU 的框图 (单元 0) (1)

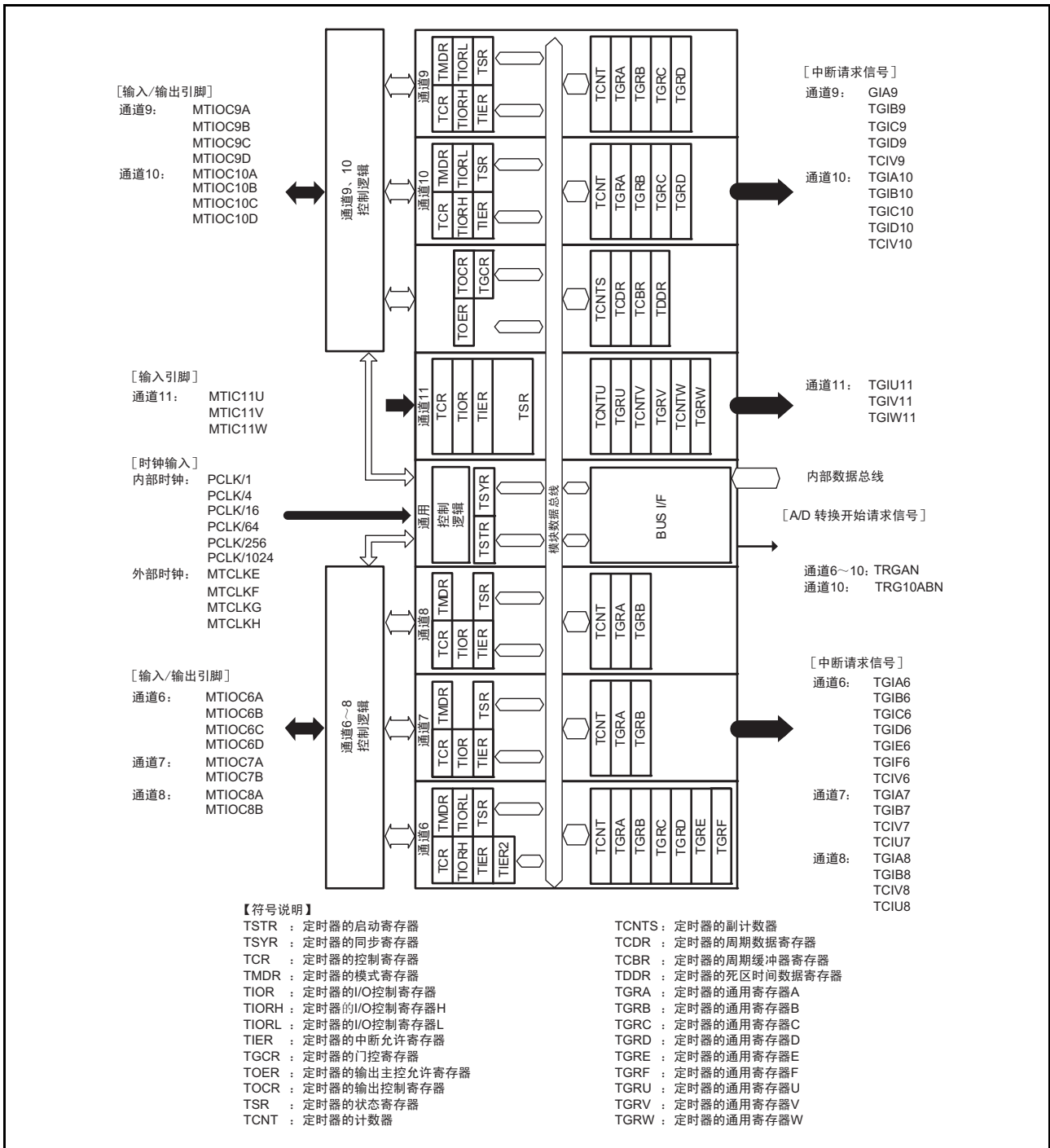


图 18.2 MTU 的框图 (单元 1) (2)

MTU 使用的输入 / 输出引脚如表 18.4 所示。

表 18.4 MTU 的输入 / 输出引脚 (1 / 2)

单元	通道	引脚名	输入 / 输出	功能
单元 0	通用	MTCLKA	输入	外部时钟 A 的输入引脚 (通道 1 的相位计数模式的 A 相输入)
		MTCLKB	输入	外部时钟 B 的输入引脚 (通道 1 的相位计数模式的 B 相输入)
		MTCLKC	输入	外部时钟 C 的输入引脚 (通道 2 的相位计数模式的 A 相输入)
		MTCLKD	输入	外部时钟 D 的输入引脚 (通道 2 的相位计数模式的 B 相输入)
	MTU0	MTIOC0A	输入 / 输出	TGRA0 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
		MTIOC0B	输入 / 输出	TGRB0 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
		MTIOC0C	输入 / 输出	TGRC0 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
		MTIOC0D	输入 / 输出	TGRD0 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
	MTU1	MTIOC1A	输入 / 输出	TGRA1 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
		MTIOC1B	输入 / 输出	TGRB1 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
	MTU2	MTIOC2A	输入 / 输出	TGRA2 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
		MTIOC2B	输入 / 输出	TGRB2 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
	MTU3	MTIOC3A	输入 / 输出	TGRA3 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
		MTIOC3B	输入 / 输出	TGRB3 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
		MTIOC3C	输入 / 输出	TGRC3 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
		MTIOC3D	输入 / 输出	TGRD3 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
	MTU4	MTIOC4A	输入 / 输出	TGRA4 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
		MTIOC4B	输入 / 输出	TGRB4 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
		MTIOC4C	输入 / 输出	TGRC4 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
		MTIOC4D	输入 / 输出	TGRD4 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
	MTU5	MTIC5U	输入	TGRU5 的输入捕捉的输入引脚 / 外部脉冲的输入引脚
		MTIC5V	输入	TGRV5 的输入捕捉的输入引脚 / 外部脉冲的输入引脚
		MTIC5W	输入	TGRW5 的输入捕捉的输入引脚 / 外部脉冲的输入引脚

表 18.4 MTU 的输入 / 输出引脚 (2 / 2)

单元	通道	引脚名	输入 / 输出	功能
单元 1	通用	MTCLKE	输入	外部时钟 E 的输入引脚 (通道 7 的相位计数模式的 A 相输入)
		MTCLKF	输入	外部时钟 F 的输入引脚 (通道 7 的相位计数模式的 B 相输入)
		MTCLKG	输入	外部时钟 G 的输入引脚 (通道 8 的相位计数模式的 A 相输入)
		MTCLKH	输入	外部时钟 H 的输入引脚 (通道 8 的相位计数模式的 B 相输入)
	MTU6	MTIOC6A	输入 / 输出	TGRA6 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
		MTIOC6B	输入 / 输出	TGRB6 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
		MTIOC6C	输入 / 输出	TGRC6 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
		MTIOC6D	输入 / 输出	TGRD6 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
	MTU7	MTIOC7A	输入 / 输出	TGRA7 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
		MTIOC7B	输入 / 输出	TGRB7 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
	MTU8	MTIOC8A	输入 / 输出	TGRA8 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
		MTIOC8B	输入 / 输出	TGRB8 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
	MTU9	MTIOC9A	输入 / 输出	TGRA9 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
		MTIOC9B	输入 / 输出	TGRB9 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
		MTIOC9C	输入 / 输出	TGRC9 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
		MTIOC9D	输入 / 输出	TGRD9 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
	MTU10	MTIOC10A	输入 / 输出	TGRA10 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
		MTIOC10B	输入 / 输出	TGRB10 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
		MTIOC10C	输入 / 输出	TGRC10 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
		MTIOC10D	输入 / 输出	TGRD10 的输入捕捉的输入引脚 / 输出比较的输出引脚 / PWM 的输出引脚
	MTU11	MTIC11U	输入	TGRU11 的输入捕捉的输入引脚 / 外部脉冲的输入引脚
		MTIC11V	输入	TGRV11 的输入捕捉的输入引脚 / 外部脉冲的输入引脚
		MTIC11W	输入	TGRW11 的输入捕捉的输入引脚 / 外部脉冲的输入引脚

18.2 寄存器说明

MTU 的寄存器一览表如表 18.5 所示。

表 18.5 MTU 的寄存器一览表 (1 / 5)

单元	通道	寄存器名	寄存器符号	复位后的值	地址	存取长度
单元 0	MTU0	定时器的控制寄存器	TCR	00h	0008 8700h	8
		定时器的模式寄存器	TMDR	00h	0008 8701h	8
		定时器的 I/O 控制寄存器 H	TIORH	00h	0008 8702h	8
		定时器的 I/O 控制寄存器 L	TIORL	00h	0008 8703h	8
		定时器的中断允许寄存器	TIER	00h	0008 8704h	8
		定时器的状态寄存器	TSR	C0h	0008 8705h	8
		定时器的计数器	TCNT	0000h	0008 8706h	16
		定时器的通用寄存器 A	TGRA	FFFFh	0008 8708h	16
		定时器的通用寄存器 B	TGRB	FFFFh	0008 870Ah	16
		定时器的通用寄存器 C	TGRC	FFFFh	0008 870Ch	16
		定时器的通用寄存器 D	TGRD	FFFFh	0008 870Eh	16
		定时器的通用寄存器 E	TGRE	FFFFh	0008 8720h	16
		定时器的通用寄存器 F	TGRF	FFFFh	0008 8722h	16
		定时器的中断允许寄存器 2	TIER2	00h	0008 8724h	8
		定时器的缓冲运行传送模式寄存器	TBTM	00h	0008 8726h	8
	MTU1	定时器的控制寄存器	TCR	00h	0008 8780h	8
		定时器的模式寄存器	TMDR	00h	0008 8781h	8
		定时器的 I/O 控制寄存器	TIOR	00h	0008 8782h	8
		定时器的中断允许寄存器	TIER	00h	0008 8784h	8
		定时器的状态寄存器	TSR	C0h	0008 8785h	8
		定时器的计数器	TCNT	0000h	0008 8786h	16
		定时器的通用寄存器 A	TGRA	FFFFh	0008 8788h	16
		定时器的通用寄存器 B	TGRB	FFFFh	0008 878Ah	16
		定时器的输入捕捉控制寄存器	TICCR	00h	0008 8790h	8
	MTU2	定时器的控制寄存器	TCR	00h	0008 8800h	8
		定时器的模式寄存器	TMDR	00h	0008 8801h	8
		定时器的 I/O 控制寄存器	TIOR	00h	0008 8802h	8
		定时器的中断允许寄存器	TIER	00h	0008 8804h	8
		定时器的状态寄存器	TSR	C0h	0008 8805h	8
		定时器的计数器	TCNT	0000h	0008 8806h	16
		定时器的通用寄存器 A	TGRA	FFFFh	0008 8808h	16
		定时器的通用寄存器 B	TGRB	FFFFh	0008 880Ah	16

表 18.5 MTU 的寄存器一览表 (2 / 5)

单元	通道	寄存器名	寄存器符号	复位后的值	地址	存取长度	
单元 0	MTU3	定时器的控制寄存器	TCR	00h	0008 8600h	8	
		定时器的模式寄存器	TMDR	00h	0008 8602h	8	
		定时器的 I/O 控制寄存器 H	TIORH	00h	0008 8604h	8	
		定时器的 I/O 控制寄存器 L	TIORL	00h	0008 8605h	8	
		定时器的中断允许寄存器	TIER	00h	0008 8608h	8	
		定时器的计数器	TCNT	0000h	0008 8610h	16	
		定时器的通用寄存器 A	TGRA	FFFFh	0008 8618h	16	
		定时器的通用寄存器 B	TGRB	FFFFh	0008 861Ah	16	
		定时器的通用寄存器 C	TGRC	FFFFh	0008 8624h	16	
		定时器的通用寄存器 D	TGRD	FFFFh	0008 8626h	16	
		定时器的状态寄存器	TSR	C0h	0008 862Ch	8	
		定时器的缓冲运行传送模式寄存器	TBTM	00h	0008 8638h	8	
		MTU4	定时器的控制寄存器	TCR	00h	0008 8601h	8
	定时器的模式寄存器		TMDR	00h	0008 8603h	8	
	定时器的 I/O 控制寄存器 H		TIORH	00h	0008 8606h	8	
	定时器的 I/O 控制寄存器 L		TIORL	00h	0008 8607h	8	
	定时器的中断允许寄存器		TIER	00h	0008 8609h	8	
	定时器的计数器		TCNT	0000h	0008 8612h	16	
	定时器的通用寄存器 A		TGRA	FFFFh	0008 861Ch	16	
	定时器的通用寄存器 B		TGRB	FFFFh	0008 861Eh	16	
	定时器的通用寄存器 C		TGRC	FFFFh	0008 8628h	16	
	定时器的通用寄存器 D		TGRD	FFFFh	0008 862Ah	16	
	定时器的状态寄存器		TSR	C0h	0008 862Dh	8	
	定时器的缓冲运行传送模式寄存器		TBTM	00h	0008 8639h	8	
	定时器的 A/D 转换开始请求控制寄存器		TADCR	0000h	0008 8640h	16	
	定时器的 A/D 转换开始请求周期设定寄存器 A		TADCORA	FFFFh	0008 8644h	16	
	定时器的 A/D 转换开始请求周期设定寄存器 B		TADCORB	FFFFh	0008 8646h	16	
	定时器的 A/D 转换开始请求周期设定缓冲寄存器 A		TADCOBRA	FFFFh	0008 8648h	16	
	定时器的 A/D 转换开始请求周期设定缓冲寄存器 B		TADCOBRB	FFFFh	0008 864Ah	16	
	MTU5		定时器的计数器 U	TCNTU	0000h	0008 8880h	16
			定时器的通用寄存器 U	TGRU	FFFFh	0008 8882h	16
		定时器的控制寄存器 U	TCRU	00h	0008 8884h	8	
		定时器的 I/O 控制寄存器 U	TIORU	00h	0008 8886h	8	
		定时器的计数器 V	TCNTV	0000h	0008 8890h	16	
		定时器的通用寄存器 V	TGRV	FFFFh	0008 8892h	16	
		定时器的控制寄存器 V	TCRV	00h	0008 8894h	8	
		定时器的 I/O 控制寄存器 V	TIORV	00h	0008 8896h	8	
		定时器的计数器 W	TCNTW	0000h	0008 88A0h	16	
		定时器的通用寄存器 W	TGRW	FFFFh	0008 88A2h	16	
		定时器的控制寄存器 W	TCRW	00h	0008 88A4h	8	
		定时器的 I/O 控制寄存器 W	TIORW	00h	0008 88A6h	8	
		定时器的中断允许寄存器	TIER	00h	0008 88B2h	8	
定时器的启动寄存器 A		TSTRA	00h	0008 88B4h	8		
定时器的比较匹配清除寄存器	TCNTCMPCLR	00h	0008 88B6h	8			

表 18.5 MTU 的寄存器一览表 (3 / 5)

单元	通道	寄存器名	寄存器符号	复位后的值	地址	存取长度
单元 0	MTUA	定时器的输出主控允许寄存器	TOER	C0h	0008 860A	8
		定时器的门控寄存器	TGCR	80h	0008 860D	8
		定时器的输出控制寄存器 1	TOCR1	00h	0008 860E	8
		定时器的输出控制寄存器 2	TOCR2	00h	0008 860Fh	8
		定时器的周期数据寄存器	TCDR	FFFFh	0008 8614h	16
		定时器的死区时间数据寄存器	TDDR	FFFFh	0008 8616h	16
		定时器的副计数器	TCNTS	0000h	0008 8620h	16
		定时器的周期缓冲寄存器	TCBR	FFFFh	0008 8622h	16
		定时器的中断减少设定寄存器	TITCR	00h	0008 8630h	8
		定时器的中断减少次数计数器	TITCNT	00h	0008 8631h	8
		定时器的缓冲传送设定寄存器	TBTER	00h	0008 8632h	8
		定时器的死区时间允许寄存器	TDER	01h	0008 8634h	8
		定时器的输出电平缓冲寄存器	TOLBR	00h	0008 8636h	8
		定时器的波形控制寄存器	TWCR	00h	0008 8660h	8
		定时器的启动寄存器	TSTR	00h	0008 8680h	8
		定时器的同步寄存器	TSYR	00h	0008 8681h	8
		定时器的读写允许寄存器	TRWER	01h	0008 8684h	8
单元 1	MTU6	定时器的控制寄存器	TCR	00h	0008 8B00h	8
		定时器的模式寄存器	TMDR	00h	0008 8B01h	8
		定时器的 I/O 控制寄存器 H	TIORH	00h	0008 8B02h	8
		定时器的 I/O 控制寄存器 L	TIORL	00h	0008 8B03h	8
		定时器的中断允许寄存器	TIER	00h	0008 8B04h	8
		定时器的状态寄存器	TSR	C0h	0008 8B05h	8
		定时器的计数器	TCNT	0000h	0008 8B06h	16
		定时器的通用寄存器 A	TGRA	FFFFh	0008 8B08h	16
		定时器的通用寄存器 B	TGRB	FFFFh	0008 8B0Ah	16
		定时器的通用寄存器 C	TGRC	FFFFh	0008 8B0Ch	16
		定时器的通用寄存器 D	TGRD	FFFFh	0008 8B0Eh	16
		定时器的通用寄存器 E	TGRE	FFFFh	0008 8B20h	16
		定时器的通用寄存器 F	TGRF	FFFFh	0008 8B22h	16
		定时器的中断允许寄存器 2	TIER2	00h	0008 8B24h	8
	定时器的缓冲运行传送模式寄存器	TBTM	00h	0008 8B26h	8	
	MTU7	定时器的控制寄存器	TCR	00h	0008 8B80h	8
		定时器的模式寄存器	TMDR	00h	0008 8B81h	8
		定时器的 I/O 控制寄存器	TIOR	00h	0008 8B82h	8
		定时器的中断允许寄存器	TIER	00h	0008 8B84h	8
		定时器的状态寄存器	TSR	C0h	0008 8B85h	8
		定时器的计数器	TCNT	0000h	0008 8B86h	16
		定时器的通用寄存器 A	TGRA	FFFFh	0008 8B88h	16
		定时器的通用寄存器 B	TGRB	FFFFh	0008 8B8Ah	16
		定时器的输入捕捉控制寄存器	TICCR	00h	0008 8B90h	8

表 18.5 MTU 的寄存器一览表 (4 / 5)

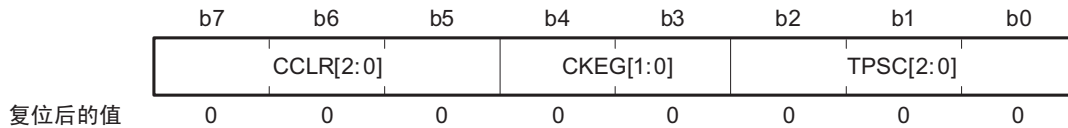
单元	通道	寄存器名	寄存器符号	复位后的值	地址	存取长度
单元 1	MTU8	定时器的控制寄存器	TCR	00h	0008 8C00h	8
		定时器的模式寄存器	TMDR	00h	0008 8C01h	8
		定时器的 I/O 控制寄存器	TIOR	00h	0008 8C02h	8
		定时器的中断允许寄存器	TIER	00h	0008 8C04h	8
		定时器的状态寄存器	TSR	C0h	0008 8C05h	8
		定时器的计数器	TCNT	0000h	0008 8C06h	16
		定时器的通用寄存器 A	TGRA	FFFFh	0008 8C08h	16
		定时器的通用寄存器 B	TGRB	FFFFh	0008 8C0Ah	16
	MTU9	定时器的控制寄存器	TCR	00h	0008 8A00h	8
		定时器的模式寄存器	TMDR	00h	0008 8A02h	8
		定时器的 I/O 控制寄存器 H	TIORH	00h	0008 8A04h	8
		定时器的 I/O 控制寄存器 L	TIORL	00h	0008 8A05h	8
		定时器的中断允许寄存器	TIER	00h	0008 8A08h	8
		定时器的计数器	TCNT	0000h	0008 8A10h	16
		定时器的通用寄存器 A	TGRA	FFFFh	0008 8A18h	16
		定时器的通用寄存器 B	TGRB	FFFFh	0008 8A1Ah	16
		定时器的通用寄存器 C	TGRC	FFFFh	0008 8A24h	16
		定时器的通用寄存器 D	TGRD	FFFFh	0008 8A26h	16
		定时器的状态寄存器	TSR	C0h	0008 8A2Ch	8
		定时器的缓冲运行传送模式寄存器	TBTM	00h	0008 8A38h	8
		MTU10	定时器的控制寄存器	TCR	00h	0008 8A01h
	定时器的模式寄存器		TMDR	00h	0008 8A03h	8
	定时器的 I/O 控制寄存器 H		TIORH	00h	0008 8A06h	8
	定时器的 I/O 控制寄存器 L		TIORL	00h	0008 8A07h	8
	定时器的中断允许寄存器		TIER	00h	0008 8A09h	8
	定时器的计数器		TCNT	0000h	0008 8A12h	16
	定时器的通用寄存器 A		TGRA	FFFFh	0008 8A1Ch	16
	定时器的通用寄存器 B		TGRB	FFFFh	0008 8A1Eh	16
	定时器的通用寄存器 C		TGRC	FFFFh	0008 8A28h	16
	定时器的通用寄存器 D		TGRD	FFFFh	0008 8A2Ah	16
	定时器的状态寄存器		TSR	C0h	0008 8A2Dh	8
	定时器的缓冲运行传送模式寄存器		TBTM	00h	0008 8A39h	8
	定时器的 A/D 转换开始请求控制寄存器		TADCR	0000h	0008 8A40h	16
	定时器的 A/D 转换开始请求周期设定寄存器 A		TADCORA	FFFFh	0008 8A44h	16
	定时器的 A/D 转换开始请求周期设定寄存器 B		TADCORB	FFFFh	0008 8A46h	16
	定时器的 A/D 转换开始请求周期设定缓冲寄存器 A		TADCOBRA	FFFFh	0008 8A48h	16
	定时器的 A/D 转换开始请求周期设定缓冲寄存器 B		TADCOBRB	FFFFh	0008 8A4Ah	16

表 18.5 MTU 的寄存器一览表 (5 / 5)

单元	通道	寄存器名	寄存器符号	复位后的值	地址	存取长度
单元 1	MTU11	定时器的计数器 U	TCNTU	0000h	0008 8C80h	16
		定时器的通用寄存器 U	TGRU	FFFFh	0008 8C82h	16
		定时器的控制寄存器 U	TCRU	00h	0008 8C84h	8
		定时器的 I/O 控制寄存器 U	TIORU	00h	0008 8C86h	8
		定时器的计数器 V	TCNTV	0000h	0008 8C90h	16
		定时器的通用寄存器 V	TGRV	FFFFh	0008 8C92h	16
		定时器的控制寄存器 V	TCRV	00h	0008 8C94h	8
		定时器的 I/O 控制寄存器 V	TIORV	00h	0008 8C96h	8
		定时器的计数器 W	TCNTW	0000h	0008 8CA0h	16
		定时器的通用寄存器 W	TGRW	FFFFh	0008 8CA2h	16
		定时器的控制寄存器 W	TCRW	00h	0008 8CA4h	8
		定时器的 I/O 控制寄存器 W	TIORW	00h	0008 8CA6h	8
		定时器的中断允许寄存器	TIER	00h	0008 8CB2h	8
		定时器的启动寄存器 B	TSTRB	00h	0008 8CB4h	8
		定时器的比较匹配清除寄存器	TCNTCMPCLR	00h	0008 8CB6h	8
		MTUB	定时器的输出主控允许寄存器	TOER	C0h	0008 8A0Ah
	定时器的门控寄存器		TGCR	80h	0008 8A0Dh	8
	定时器的输出控制寄存器 1		TOCR1	00h	0008 8A0Eh	8
	定时器的输出控制寄存器 2		TOCR2	00h	0008 8A0Fh	8
	定时器的周期数据寄存器		TCDR	FFFFh	0008 8A14h	16
	定时器的死区时间数据寄存器		TDDR	FFFFh	0008 8A16h	16
	定时器的副计数器		TCNTS	0000h	0008 8A20h	16
	定时器的周期缓冲寄存器		TGBR	FFFFh	0008 8A22h	16
	定时器的中断减少设定寄存器		TITCR	00h	0008 8A30h	8
	定时器的中断减少次数计数器		TITCNT	00h	0008 8A31h	8
	定时器的缓冲传送设定寄存器		TBTER	00h	0008 8A32h	8
	定时器的死区时间允许寄存器		TDER	01h	0008 8A34h	8
	定时器的输出电平缓冲寄存器		TOLBR	00h	0008 8A36h	8
	定时器的波形控制寄存器		TWCR	00h	0008 8A60h	8
	定时器的启动寄存器		TSTR	00h	0008 8A80h	8
	定时器的同步寄存器		TSYR	00h	0008 8A81h	8
	定时器的读写允许寄存器		TRWER	01h	0008 8A84h	8

18.2.1 定时器的控制寄存器 (TCR)

地址 MTU0.TCR 0008 8700h、MTU1.TCR 0008 8780h、MTU2.TCR 0008 8800h、MTU3.TCR 0008 8600h、MTU4.TCR 0008 8601h、MTU5.TCRU 0008 8884h、MTU5.TCRV 0008 8894h、MTU5.TCRW 0008 88A4h、MTU6.TCR 0008 8B00h、MTU7.TCR 0008 8B80h、MTU8.TCR 0008 8C00h、MTU9.TCR 0008 8A00h、MTU10.TCR 0008 8A01h、MTU11.TCRU 0008 8C84h、MTU11.TCRV 0008 8C94h、MTU11.TCRW 0008 8CA4h



位	符号	位名	功能	R/W
b2-b0	TPSC[2:0]	定时器的预分频器选择位	请参照表 18.8 ~ 表 18.12。	R/W
b4-b3	CKEG[1:0] (注 1)	时钟边沿选择位	b4 b3 0 0: 在上升沿进行计数 0 1: 在下降沿进行计数 1 x: 在双边沿进行计数	R/W
b7-b5	CCLR[2:0]	计数器清除源选择位	请参照表 18.6 和表 18.7。	R/W

【符号说明】x: Don't care

注 1. 在通道 5 和通道 11 中, bit4 和 bit3 为保留位。

TCR 寄存器是控制各通道 TCNT 的 8 位可读写寄存器。MTU 的通道 0 ~ 4 和通道 6 ~ 10 各有 1 个 TCR, 通道 5 和通道 11 各有 3 个 TCRU/V/W, 共计 16 个 TCR。必须在 TCNT 停止计数的状态下设定 TCR。

TPSC[2:0] 位 (定时器的预分频器选择位)

这些位选择 TCNT 计数器的时钟。各通道能独立选择时钟源, 详细内容请参照表 18.8 ~ 表 18.12。

CKEG[1:0] 位 (时钟边沿选择位)

这些位选择输入时钟的边沿。如果在双边沿对内部时钟进行计数, 输入时钟的周期就为 1/2 (例如: PCLK/4 的双边沿 = PCLK/2 的上升沿)。在通道 1 和通道 2 中使用相位计数模式时, 忽视此设定而优先设定相位计数模式。内部时钟的边沿选择在输入时钟为 PCLK/4 或者慢于 PCLK/4 时有效。如果选择 PCLK/1 或者其他通道的上溢 / 下溢作为输入时钟, 虽然能写值, 但是在运行时为初始值。

CCLR[2:0] 位 (计数器清除位)

这些位选择 TCNT 计数器的清除源, 详细内容请参照表 18.6 和表 18.7。

表 18.6 CCLR[2:0] (通道 0、3、4、6、9、10)

通道	bit7	bit6	bit5	说明
	CCLR2	CCLR1	CCLR0	
0、3、4、 6、9、10	0	0	0	禁止清除 TCNT。
	0	0	1	在发生 TGRA 的比较匹配 / 输入捕捉时清除 TCNT。
	0	1	0	在发生 TGRB 的比较匹配 / 输入捕捉时清除 TCNT。
	0	1	1	在清除正在进行同步清除或者同步运行的其他通道的计数器时清除 TCNT (注 1)。
	1	0	0	禁止清除 TCNT。
	1	0	1	在发生 TGRC 的比较匹配 / 输入捕捉时清除 TCNT (注 2)。
	1	1	0	在发生 TGRD 的比较匹配 / 输入捕捉时清除 TCNT (注 2)。
	1	1	1	在清除正在进行同步清除或者同步运行的其他通道的计数器时清除 TCNT (注 1)。

注 1. 通过将 TSYR.SYNC 位置“1”，设定为同步运行。

注 2. 在将 TGRC 或者 TGRD 用作缓冲寄存器时，因为优先设定缓冲寄存器而且不发生比较匹配 / 输入捕捉，所以不清除 TCNT。

注 3. 在通道 5 和通道 11 中，bit7 ~ 5 为保留位。

表 18.7 CCLR[2:0] (通道 1、2、7、8)

通道	bit7	bit6	bit5	说明
	保留位 (注 2)	CCLR1	CCLR0	
1、2、7、8	0	0	0	禁止清除 TCNT。
	0	0	1	在发生 TGRA 的比较匹配 / 输入捕捉时清除 TCNT。
	0	1	0	在发生 TGRB 的比较匹配 / 输入捕捉时清除 TCNT。
	0	1	1	在清除正在进行同步清除或者同步运行的其他通道的计数器时清除 TCNT (注 1)。

注 1. 通过将 TSYR.SYNC 位置“1”，设定为同步运行。

注 2. 在通道 1、2、7、8 中，bit7 为保留位，读写值都为“0”。

注 3. 在通道 5 和通道 11 中，bit7 ~ 5 为保留位。

表 18.8 TPSC[2:0] (通道 0 和通道 6)

通道	bit2	bit1	bit0	说明
	TPSC2	TPSC1	TPSC0	
0、6	0	0	0	内部时钟：通过 PCLK/1 进行计数
	0	0	1	内部时钟：通过 PCLK/4 进行计数
	0	1	0	内部时钟：通过 PCLK/16 进行计数
	0	1	1	内部时钟：通过 PCLK/64 进行计数
	1	0	0	外部时钟：通过 MTCLKn 引脚输入进行计数 (n=A、E)
	1	0	1	外部时钟：通过 MTCLKn 引脚输入进行计数 (n=B、F)
	1	1	0	外部时钟：通过 MTCLKn 引脚输入进行计数 (n=C、G)
	1	1	1	外部时钟：通过 MTCLKn 引脚输入进行计数 (n=D、H)

表 18.9 TPSC[2:0] (通道 1 和通道 7)

通道	bit2	bit1	bit0	说明
	TPSC2	TPSC1	TPSC0	
1、7	0	0	0	内部时钟: 通过 PCLK/1 进行计数
	0	0	1	内部时钟: 通过 PCLK/4 进行计数
	0	1	0	内部时钟: 通过 PCLK/16 进行计数
	0	1	1	内部时钟: 通过 PCLK/64 进行计数
	1	0	0	外部时钟: 通过 MTCLKn 引脚输入进行计数 (n=A、E)
	1	0	1	外部时钟: 通过 MTCLKn 引脚输入进行计数 (n=B、F)
	1	1	0	内部时钟: 通过 PCLK/256 进行计数
	1	1	1	通过 TCNTn 的上溢 / 下溢进行计数 (n=2、8)。

注. 在通道 1 或者通道 7 为相位计数模式时, 此设定无效。

表 18.10 TPSC[2:0] (通道 2 和通道 8)

通道	bit2	bit1	bit0	说明
	TPSC2	TPSC1	TPSC0	
2、8	0	0	0	内部时钟: 通过 PCLK/1 进行计数
	0	0	1	内部时钟: 通过 PCLK/4 进行计数
	0	1	0	内部时钟: 通过 PCLK/16 进行计数
	0	1	1	内部时钟: 通过 PCLK/64 进行计数
	1	0	0	外部时钟: 通过 MTCLKn 引脚输入进行计数 (n=A、E)
	1	0	1	外部时钟: 通过 MTCLKn 引脚输入进行计数 (n=B、F)
	1	1	0	外部时钟: 通过 MTCLKn 引脚输入进行计数 (n=C、G)
	1	1	1	内部时钟: 通过 PCLK/1024 进行计数

注. 在通道 2 或者通道 8 为相位计数模式时, 此设定无效。

表 18.11 TPSC[2:0] (通道 3、4、9、10)

通道	bit2	bit1	bit0	说明
	TPSC2	TPSC1	TPSC0	
3、4、9、10	0	0	0	内部时钟: 通过 PCLK/1 进行计数
	0	0	1	内部时钟: 通过 PCLK/4 进行计数
	0	1	0	内部时钟: 通过 PCLK/16 进行计数
	0	1	1	内部时钟: 通过 PCLK/64 进行计数
	1	0	0	内部时钟: 通过 PCLK/256 进行计数
	1	0	1	内部时钟: 通过 PCLK/1024 进行计数
	1	1	0	外部时钟: 通过 MTCLKA/MTCLKE 引脚输入进行计数
	1	1	1	外部时钟: 通过 MTCLKB/MTCLKF 引脚输入进行计数

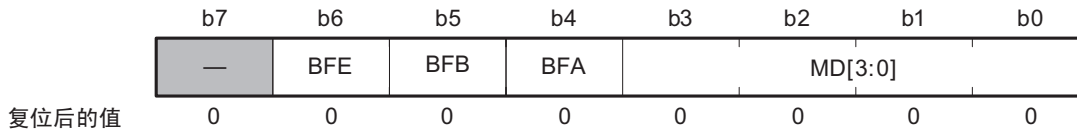
表 18.12 TPSC[2:0] (通道 5 和通道 11)

通道	bit1	bit0	说明
	TPSC1	TPSC0	
5、11	0	0	内部时钟: 通过 PCLK/1 进行计数
	0	1	内部时钟: 通过 PCLK/4 进行计数
	1	0	内部时钟: 通过 PCLK/16 进行计数
	1	1	内部时钟: 通过 PCLK/64 进行计数

注. 在通道 5 和通道 11 中, bit2 为保留位, 读写值都为“0”。

18.2.2 定时器的模式寄存器 (TMDR)

地址 MTU0.TMDR 0008 8701h、MTU1.TMDR 0008 8781h、MTU2.TMDR 0008 8801h、MTU3.TMDR 0008 8602h、MTU4.TMDR 0008 8603h、MTU6.TMDR 0008 8B01h、MTU7.TMDR 0008 8B81h、MTU8.TMDR 0008 8C01h、MTU9.TMDR 0008 8A02h、MTU10.TMDR 0008 8A03h



位	符号	位名	功能	R/W
b3-b0	MD[3:0]	模式选择位	设定定时器的运行模式，请参照表 18.13。	R/W
b4	BFA	缓冲运行 A 位	0: TGRA 寄存器和 TGRC 寄存器进行正常运行 1: TGRA 寄存器和 TGRC 寄存器进行缓冲运行	R/W
b5	BFB	缓冲运行 B 位	0: TGRB 寄存器和 TGRD 寄存器进行正常运行 1: TGRB 寄存器和 TGRD 寄存器进行缓冲运行	R/W
b6	BFE	缓冲运行 E 位	0: MTUn.TGRE 寄存器和 MTUn.TGRF 寄存器进行正常运行 1: MTUn.TGRE 寄存器和 MTUn.TGRF 寄存器进行缓冲运行 (n=0、6)	R/W
b7	—	保留位	读写值都为“0”。	R/W

TMDR 寄存器是 8 位可读写寄存器，设定各通道的运行模式。MTU 的通道 0 ~ 4 和通道 6 ~ 10 各有 1 个 TMDR，共计 10 个。必须在 TCNT 停止计数的状态下设定 TMDR。

表 18.13 通过 MD[3:0] 位设定的运行模式

bit3	bit2	bit1	bit0	说明
MD3	MD2	MD1	MD0	
0	0	0	0	正常运行
0	0	0	1	不能设定。
0	0	1	0	PWM 模式 1
0	0	1	1	PWM 模式 2 (注 1)
0	1	0	0	相位计数模式 1 (注 2)
0	1	0	1	相位计数模式 2 (注 2)
0	1	1	0	相位计数模式 3 (注 2)
0	1	1	1	相位计数模式 4 (注 2)
1	0	0	0	复位同步 PWM 模式 (注 3)
1	0	0	1	不能设定。
1	0	1	x	不能设定。
1	1	0	0	不能设定。
1	1	0	1	互补 PWM 模式 1 (在波峰进行传送) (注 3)
1	1	1	0	互补 PWM 模式 2 (在波谷进行传送) (注 3)
1	1	1	1	互补 PWM 模式 3 (在波峰或者波谷进行传送) (注 3)

【符号说明】x: Don't care

注 1. 在通道 3、4、9、10 中，不能设定 PWM 模式 2。

注 2. 在通道 0、3、4、6、9、10 中，不能设定相位计数模式。

注 3. 只能在通道 3 和通道 9 中设定复位同步 PWM 模式或者互补 PWM 模式。

如果将通道 3 和通道 9 设定为复位同步 PWM 模式或者互补 PWM 模式，通道 4 和通道 10 的设定就无效并且自动服从通道 3 和通道 9 的设定。必须给通道 4 和通道 10 设定初始值。

在通道 0、1、2、6、7、8 中，不能设定复位同步 PWM 模式或者互补 PWM 模式。

BFA 位 (缓冲运行 A 位)

此位设定是使 TGRA 进行正常运行还是组合 TGRA 和 TGRC 进行缓冲运行。如果将 TGRC 用作缓冲寄存器，除了互补 PWM 模式以外，不发生 TGRC 的输入捕捉 / 输出比较，但是在互补 PWM 模式中发生 TGRC 的比较匹配。如果在互补 PWM 模式的 Tb 区间发生通道 4 和通道 10 的比较匹配，就必须将定时器的中断允许寄存器 (MTU4.TIER 和 MTU10.TIER) 的 TGIEC 位置“0”。

复位同步 PWM 模式和互补 PWM 模式的通道 3、4、9、10 的缓冲运行服从通道 3 和通道 9 的设定。必须将通道 4 和通道 10 的 TMDR.BFA 位置“0”。

在没有 TGRC 的通道 1、2、7、8 中，此位为保留位，读写值都为“0”。

有关互补 PWM 模式的 Tb 区间，请参照图 18.42。

BFB 位 (缓冲运行 B 位)

此位设定是使 TGRB 进行正常运行还是组合 TGRB 和 TGRD 进行缓冲运行。如果将 TGRD 用作缓冲寄存器，除了互补 PWM 模式以外，不发生 TGRD 的输入捕捉 / 输出比较，但是在互补 PWM 模式中发生 TGRD 的比较匹配。如果在互补 PWM 模式的 Tb 区间发生比较匹配，就必须将定时器的中断允许寄存器 3、4、9、10 (MTU3.TIER、MTU4.TIER、MTU9.TIER 和 MTU10.TIER) 的 TGIED 位置“0”。

复位同步 PWM 模式和互补 PWM 模式的通道 3、4、9、10 的缓冲运行服从通道 3 和通道 9 的设定。必须将通道 4 和通道 10 的 TMDR.BFB 位置“0”。

在没有 TGRD 的通道 1、2、7、8 中，此位为保留位，读写值都为“0”。

有关互补 PWM 模式的 Tb 区间，请参照图 18.42。

BFE 位 (缓冲运行 E 位)

此位选择是否使 MTU0.TGRE 和 MTU0.TGRF 进行正常运行或者缓冲运行。即使将 TGRF 用作缓冲寄存器，也产生 TGRF 的比较匹配。单元 1 也相同。

在通道 1 ~ 4 和通道 7 ~ 10 中，此位为保留位，读写值都为“0”。

18.2.3 定时器的 I/O 控制寄存器 (TIOR)

- MTU0.TIORH、MTU1.TIOR、MTU2.TIOR、MTU3.TIORH、MTU4.TIORH、MTU6.TIORH、MTU7.TIOR、MTU8.TIOR、MTU9.TIORH、MTU10.TIORH

地址 MTU0.TIORH 0008 8702h、MTU1.TIOR 0008 8782h、MTU2.TIOR 0008 8802h、MTU3.TIORH 0008 8604h、MTU4.TIORH 0008 8606h、MTU6.TIORH 0008 8B02h、MTU7.TIOR 0008 8B82h、MTU8.TIOR 0008 8C02h、MTU9.TIORH 0008 8A04h、MTU10.TIORH 0008 8A06h

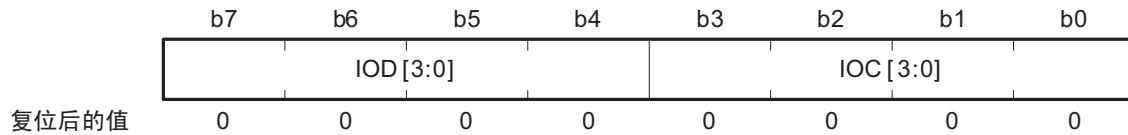


位	符号	位名	功能	R/W
b3-b0	IOA[3:0]	I/O 控制 A 位	请参照下表: MTU0.TIORH: 表 18.22 MTU1.TIOR: 表 18.24 MTU2.TIOR: 表 18.25 MTU3.TIORH: 表 18.26 MTU4.TIORH: 表 18.28	R/W
b7-b4	IOB[3:0]	I/O 控制 B 位	请参照下表: MTU0.TIORH: 表 18.14 MTU1.TIOR: 表 18.16 MTU2.TIOR: 表 18.17 MTU3.TIORH: 表 18.18 MTU4.TIORH: 表 18.20	R/W

注. 通道 0 和通道 6、通道 1 和通道 7、通道 2 和通道 8、通道 3 和通道 9、通道 4 和通道 10、通道 5 和通道 11 的功能相同，在此说明单元 0。

- MTU0.TIORL、MTU3.TIORL、MTU4.TIORL、MTU6.TIORL、MTU9.TIORL、MTU10.TIORL

地址 MTU0.TIORL 0008 8703h、MTU3.TIORL 0008 8605h、MTU4.TIORL 0008 8607h、
MTU6.TIORL 0008 8B03h、MTU9.TIORL 0008 8A05h、MTU10.TIORL 0008 8A07h

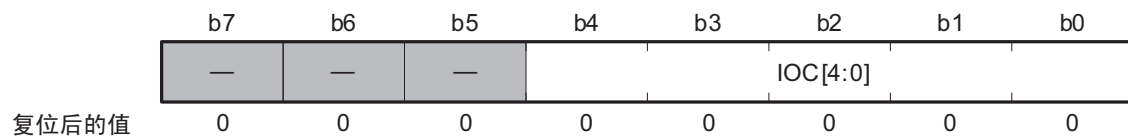


位	符号	位名	功能	R/W
b3-b0	IOC[3:0]	I/O 控制 C 位	请参照下表： MTU0.TIORL: 表 18.23 MTU3.TIORL: 表 18.27 MTU4.TIORL: 表 18.29	R/W
b7-b4	IOD[3:0]	I/O 控制 D 位	请参照下表： MTU0.TIORL: 表 18.15 MTU3.TIORL: 表 18.19 MTU4.TIORL: 表 18.21	R/W

注. 通道 0 和通道 6、通道 3 和通道 9、通道 4 和通道 10 的功能相同，在此说明单元 0。

- MTU5.TIORU、MTU5.TIORV、MTU5.TIORW、MTU11.TIORU、MTU11.TIORV、MTU11.TIORW

地址 MTU5.TIORU 0008 8886h、MTU5.TIORV 0008 8896h、MTU5.TIORW 0008 88A6h、
MTU11.TIORU 0008 8C86h、MTU11.TIORV 0008 8C96h、MTU11.TIORW 0008 8CA6h



位	符号	位名	功能	R/W
b4-b0	IOC[4:0]	I/O 控制 C 位	请参照下表： MTU5.TIORU、MTU5.TIORV、 MTU5.TIORW: 表 18.30	R/W
b7-b5	—	保留位	读写值都为“0”。	R/W

注. 通道 5 和通道 11 的功能相同，在此说明单元 0。

TIOR 寄存器是控制 TGR 的 8 位可读写寄存器。MTU 中的通道 0、3、4、6、9、10 各有 2 个 TIOR，通道 1、2、7、8 各有 1 个 TIOR，通道 5 和通道 11 有 6 个 MTU5.TIORU/V/W 和 MTU11.TIORU/V/W，共计 22 个 TIOR。

在 TMDR 为正常运行、PWM 模式或者相位计数模式时设定 TIOR。

在计数器停止计数（将 TSTR 的 CST 位清“0”）的状态下，TIOR 指定的初始输出有效。另外，在 PWM 模式 2 的情况下，指定计数器被清“0”时的输出。

如果将 TGRC 或者 TGRD 设定为缓冲运行，此设定就无效并且用作缓冲寄存器。

表 18.14 TIORH (MTU0 和 MTU6)

bit7	bit6	bit5	bit4	说明	
IOB3	IOB2	IOB1	IOB0	MTUn.TGRB 的功能	MTIOCnB 引脚的功能
0	0	0	0	输出比较寄存器	禁止输出。
0	0	0	1		初始输出为 Low 电平, 在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平, 在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平, 在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平, 在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平, 在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平, 在比较匹配时进行交替输出。
1	0	0	0	输入捕捉寄存器	在上升沿进行输入捕捉。
1	0	0	1		在下降沿进行输入捕捉。
1	0	1	x		在双边沿进行输入捕捉。
1	1	x	x		捕捉输入源为通道 m/ 计数时钟。 在 MTUm.TCNT 进行递增计数或者递减计数时进行输入捕捉 (m=1、7)。

【符号说明】 x: Don't care n=0、6

表 18.15 TIORL (MTU0 和 MTU6)

bit7	bit6	bit5	bit4	说明	
IOD3	IOD2	IOD1	IOD0	MTUn.TGRD 的功能	MTIOCnD 引脚的功能
0	0	0	0	输出比较寄存器 (注 1)	禁止输出。
0	0	0	1		初始输出为 Low 电平, 在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平, 在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平, 在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平, 在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平, 在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平, 在比较匹配时进行交替输出。
1	0	0	0	输入捕捉寄存器 (注 1)	在上升沿进行输入捕捉。
1	0	0	1		在下降沿进行输入捕捉。
1	0	1	x		在双边沿进行输入捕捉。
1	1	x	x		捕捉输入源为通道 m/ 计数时钟。 在 MTUm.TCNT 进行递增计数或者递减计数时进行输入捕捉 (m=1、7)。

【符号说明】 x: Don't care n=0、6

注 1. 如果将 TMDRn.BFB 位置“1”使 MTUn.TGRD 用作缓冲寄存器, 此设定就无效并且不发生输入捕捉 / 输出比较。

表 18.16 TIOR (MTU1 和 MTU7)

bit7	bit6	bit5	bit4	说明	
IOB3	IOB2	IOB1	IOB0	MTUn.TGRB 的功能	MTIOCnB 引脚的功能
0	0	0	0	输出比较寄存器	禁止输出。
0	0	0	1		初始输出为 Low 电平, 在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平, 在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平, 在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平, 在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平, 在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平, 在比较匹配时进行交替输出。
1	0	0	0	输入捕捉寄存器	在上升沿进行输入捕捉。
1	0	0	1		在下降沿进行输入捕捉。
1	0	1	x		在双边沿进行输入捕捉。
1	1	x	x		在发生 MTUm.TGRC 的比较匹配 / 输入捕捉时进行输入捕捉 (m=0、6)。

【符号说明】 x: Don't care n=1、7

表 18.17 TIOR (MTU2 和 MTU8)

bit7	bit6	bit5	bit4	说明	
IOB3	IOB2	IOB1	IOB0	MTUn.TGRB 的功能	MTIOCnB 引脚的功能
0	0	0	0	输出比较寄存器	禁止输出。
0	0	0	1		初始输出为 Low 电平, 在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平, 在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平, 在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平, 在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平, 在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平, 在比较匹配时进行交替输出。
1	x	0	0	输入捕捉寄存器	在上升沿进行输入捕捉。
1	x	0	1		在下降沿进行输入捕捉。
1	x	1	x		在双边沿进行输入捕捉。

【符号说明】 x: Don't care n=2、8

表 18.18 TIORH (MTU3 和 MTU9)

bit7	bit6	bit5	bit4	说明	
IOB3	IOB2	IOB1	IOB0	MTUn.TGRB 的功能	MTIOCnB 引脚的功能
0	0	0	0	输出比较寄存器	禁止输出。
0	0	0	1		初始输出为 Low 电平, 在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平, 在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平, 在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平, 在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平, 在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平, 在比较匹配时进行交替输出。
1	x	0	0	输入捕捉寄存器	在上升沿进行输入捕捉。
1	x	0	1		在下降沿进行输入捕捉。
1	x	1	x		在双边沿进行输入捕捉。

【符号说明】 x: Don't care n=3、9

表 18.19 TIORL (MTU3 和 MTU9)

bit7	bit6	bit5	bit4	说明	
IOD3	IOD2	IOD1	IOD0	MTUn.TGRD 的功能	MTIOCnD 引脚的功能
0	0	0	0	输出比较寄存器 (注)	禁止输出。
0	0	0	1		初始输出为 Low 电平, 在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平, 在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平, 在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平, 在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平, 在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平, 在比较匹配时进行交替输出。
1	x	0	0	输入捕捉寄存器 (注)	在上升沿进行输入捕捉。
1	x	0	1		在下降沿进行输入捕捉。
1	x	1	x		在双边沿进行输入捕捉。

【符号说明】 x: Don't care n=3、9

注. 如果将 MTUn.TMDR 的 BFB 位置“1”使 MTUn.TGRD 用作缓冲寄存器, 此设定就无效并且不发生输入捕捉 / 输出比较。

表 18.20 TIORH (MTU4 和 MTU10)

bit7	bit6	bit5	bit4	说明	
IOB3	IOB2	IOB1	IOB0	MTUn.TGRB 的功能	MTIOCnB 引脚的功能
0	0	0	0	输出比较寄存器	禁止输出。
0	0	0	1		初始输出为 Low 电平, 在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平, 在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平, 在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平, 在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平, 在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平, 在比较匹配时进行交替输出。
1	x	0	0	输入捕捉寄存器	在上升沿进行输入捕捉。
1	x	0	1		在下降沿进行输入捕捉。
1	x	1	x		在双边沿进行输入捕捉。

【符号说明】 x: Don't care n=4、10

表 18.21 TIORL (MTU4 和 MTU10)

bit7	bit6	bit5	bit4	说明	
IOD3	IOD2	IOD1	IOD0	MTUn.TGRD 的功能	MTIOCnD 引脚的功能
0	0	0	0	输出比较寄存器 (注1)	禁止输出。
0	0	0	1		初始输出为 Low 电平, 在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平, 在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平, 在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平, 在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平, 在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平, 在比较匹配时进行交替输出。
1	x	0	0	输入捕捉寄存器 (注1)	在上升沿进行输入捕捉。
1	x	0	1		在下降沿进行输入捕捉。
1	x	1	x		在双边沿进行输入捕捉。

【符号说明】 x: Don't care n=4、10

注 1. 如果将 MTUn.TMDR 的 BFB 位置“1”使 MTUn.TGRD 用作缓冲寄存器, 此设定就无效并且不发生输入捕捉 / 输出比较。

表 18.22 TIORH (MTU0 和 MTU6)

bit3	bit2	bit1	bit0	说明	
IOA3	IOA2	IOA1	IOA0	MTUn.TGRA 的功能	MTIOCnA 引脚的功能
0	0	0	0	输出比较寄存器	禁止输出。
0	0	0	1		初始输出为 Low 电平, 在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平, 在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平, 在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平, 在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平, 在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平, 在比较匹配时进行交替输出。
1	0	0	0	输入捕捉寄存器	在上升沿进行输入捕捉。
1	0	0	1		在下降沿进行输入捕捉。
1	0	1	x		在双边沿进行输入捕捉。
1	1	x	x		捕捉输入源为通道 1、通道 7/ 计数时钟。 在 MTU1/7.TCNT 进行递增计数或者递减计数时进行输入捕捉。

【符号说明】 x: Don't care n=0、6

表 18.23 TIORL (MTU0 和 MTU6)

bit3	bit2	bit1	bit0	说明	
IOC3	IOC2	IOC1	IOC0	MTUn.TGRC 的功能	MTIOCnC 引脚的功能
0	0	0	0	输出比较寄存器 (注 1)	禁止输出。
0	0	0	1		初始输出为 Low 电平, 在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平, 在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平, 在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平, 在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平, 在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平, 在比较匹配时进行交替输出。
1	0	0	0	输入捕捉寄存器 (注 1)	在上升沿进行输入捕捉。
1	0	0	1		在下降沿进行输入捕捉。
1	0	1	x		在双边沿进行输入捕捉。
1	1	x	x		捕捉输入源为通道 1、通道 7/ 计数时钟。 在 MTU1/7.TCNT 进行递增计数或者递减计数时进行输入捕捉。

【符号说明】 x: Don't care n=0、6

注 1. 如果将 MTUn.TMDR 的 BFA 位置“1”使 MTUn.TGRC 用作缓冲寄存器, 此设定就无效并且不发生输入捕捉 / 输出比较。

表 18.24 TIOR (MTU1 和 MTU7)

bit3	bit2	bit1	bit0	说明	
IOA3	IOA2	IOA1	IOA0	MTUn.TGRA 的功能	MTIOCnA 引脚的功能
0	0	0	0	输出比较寄存器	禁止输出。
0	0	0	1		初始输出为 Low 电平, 在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平, 在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平, 在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平, 在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平, 在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平, 在比较匹配时进行交替输出。
1	0	0	0	输入捕捉寄存器	在上升沿进行输入捕捉。
1	0	0	1		在下降沿进行输入捕捉。
1	0	1	x		在双边沿进行输入捕捉。
1	1	x	x		在发生 MTUm.TGRC 的比较匹配 / 输入捕捉时进行输入捕捉 (m=0、6)。

【符号说明】 x: Don't care n=1、7

表 18.25 TIOR (MTU2 和 MTU8)

bit3	bit2	bit1	bit0	说明	
IOA3	IOA2	IOA1	IOA0	MTUn.TGRA 的功能	MTIOCnA 引脚的功能
0	0	0	0	输出比较寄存器	禁止输出。
0	0	0	1		初始输出为 Low 电平, 在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平, 在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平, 在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平, 在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平, 在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平, 在比较匹配时进行交替输出。
1	x	0	0	输入捕捉寄存器	在上升沿进行输入捕捉。
1	x	0	1		在下降沿进行输入捕捉。
1	x	1	x		在双边沿进行输入捕捉。

【符号说明】 x: Don't care n=2、8

表 18.26 TIORH (MTU3 和 MTU9)

bit3	bit2	bit1	bit0	说明	
IOA3	IOA2	IOA1	IOA0	MTUn.TGRA 的功能	MTIOCnA 引脚的功能
0	0	0	0	输出比较寄存器	禁止输出。
0	0	0	1		初始输出为 Low 电平, 在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平, 在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平, 在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平, 在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平, 在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平, 在比较匹配时进行交替输出。
1	x	0	0	输入捕捉寄存器	在上升沿进行输入捕捉。
1	x	0	1		在下降沿进行输入捕捉。
1	x	1	x		在双边沿进行输入捕捉。

【符号说明】 x: Don't care n=3、9

表 18.27 TIORL (MTU3 和 MTU9)

bit3	bit2	bit1	bit0	说明	
IOC3	IOC2	IOC1	IOC0	MTUn.TGRC 的引脚	MTIOCnC 引脚的功能
0	0	0	0	输出比较寄存器 (注 1)	禁止输出。
0	0	0	1		初始输出为 Low 电平, 在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平, 在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平, 在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平, 在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平, 在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平, 在比较匹配时进行交替输出。
1	x	0	0	输入捕捉寄存器 (注 1)	在上升沿进行输入捕捉。
1	x	0	1		在下降沿进行输入捕捉。
1	x	1	x		在双边沿进行输入捕捉。

【符号说明】 x: Don't care n=3、9

注 1. 如果将 MTUn.TMDR 的 BFA 位置“1”使 MTUn.TGRC 用作缓冲寄存器, 此设定就无效并且不发生输入捕捉 / 输出比较。

表 18.28 TIORH (MTU4 和 MTU10)

bit3	bit2	bit1	bit0	说明	
IOA3	IOA2	IOA1	IOA0	MTUn.TGRA 的功能	MTIOCnA 引脚的功能
0	0	0	0	输出比较寄存器	禁止输出。
0	0	0	1		初始输出为 Low 电平, 在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平, 在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平, 在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平, 在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平, 在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平, 在比较匹配时进行交替输出。
1	x	0	0	输入捕捉寄存器	在上升沿进行输入捕捉。
1	x	0	1		在下降沿进行输入捕捉。
1	x	1	x		在双边沿进行输入捕捉。

【符号说明】 x: Don't care n=4、10

表 18.29 TIORL (MTU4 和 MTU10)

bit3	bit2	bit1	bit0	说明	
IOC3	IOC2	IOC1	IOC0	MTUn.TGRC 的功能	MTIOCnC 引脚的功能
0	0	0	0	输出比较寄存器 (注1)	禁止输出。
0	0	0	1		初始输出为 Low 电平, 在比较匹配时输出 Low 电平。
0	0	1	0		初始输出为 Low 电平, 在比较匹配时输出 High 电平。
0	0	1	1		初始输出为 Low 电平, 在比较匹配时进行交替输出。
0	1	0	0		禁止输出。
0	1	0	1		初始输出为 High 电平, 在比较匹配时输出 Low 电平。
0	1	1	0		初始输出为 High 电平, 在比较匹配时输出 High 电平。
0	1	1	1		初始输出为 High 电平, 在比较匹配时进行交替输出。
1	x	0	0	输入捕捉寄存器 (注1)	在上升沿进行输入捕捉。
1	x	0	1		在下降沿进行输入捕捉。
1	x	1	x		在双边沿进行输入捕捉。

【符号说明】 x: Don't care n=4、10

注 1. 如果将 MTUn.TMDR 的 BFA 位置“1”使 MTUn.TGRC 用作缓冲寄存器, 此设定就无效并且不发生输入捕捉 / 输出比较。

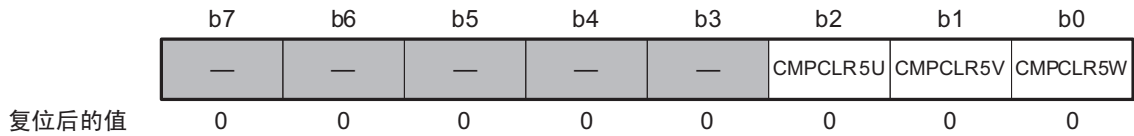
表 18.30 TIORU、TIO RV、TIO RW (MTU5 和 MTU11)

bit4	bit3	bit2	bit1	bit0	说明	
IOC4	IOC3	IOC2	IOC1	IOC0	MTUn.TGRU、MTUn.TGRV、 MTUn.TGRW 的功能	MTICnU、MTICnV、MTICnW 引脚的功能
0	0	0	0	0	比较匹配寄存器	比较匹配
0	0	0	0	1		不能设定。
0	0	0	1	x		不能设定。
0	0	1	x	x		不能设定。
0	1	x	x	x		不能设定。
1	0	0	0	0	输入捕捉寄存器	不能设定。
1	0	0	0	1		在上升沿进行输入捕捉。
1	0	0	1	0		在下降沿进行输入捕捉。
1	0	0	1	1		在双边沿进行输入捕捉。
1	0	1	x	x		不能设定。
1	1	0	0	0		不能设定。
1	1	0	0	1		用于测量外部输入信号的 Low 电平脉宽。 在互补 PWM 模式的波谷进行捕捉。
1	1	0	1	0		用于测量外部输入信号的 Low 电平脉宽。 在互补 PWM 模式的波峰进行捕捉。
1	1	0	1	1		用于测量外部输入的信号 Low 电平脉宽。 在互补 PWM 模式的波峰和波谷进行捕捉。
1	1	1	0	0		不能设定。
1	1	1	0	1		用于测量外部输入信号的 High 电平脉宽。 在互补 PWM 模式的波谷进行捕捉。
1	1	1	1	0		用于测量外部输入信号的 High 电平脉宽。 在互补 PWM 模式的波峰进行捕捉。
1	1	1	1	1		用于测量外部输入信号的 High 电平脉宽。 在互补 PWM 模式的波峰和波谷进行捕捉。

【符号说明】 x: Don't care n=5、11

18.2.4 定时器的比较匹配清除寄存器 (TCNTCMPCLR)

地址 MTU5.TCNTCMPCLR 0008 88B6h、MTU11.TCNTCMPCLR 0008 8CB6h



位	符号	位名	功能	R/W
b0	CMPCLR5W	TCNT 比较清除 5W 位	0: 禁止通过 MTU5.TCNTW 和 MTU5.TGRW 的比较匹配 / 输入捕捉将 MTU5.TCNTW 清“0000h” 1: 允许通过 MTU5.TCNTW 和 MTU5.TGRW 的比较匹配 / 输入捕捉将 MTU5.TCNTW 清“0000h”	R/W
b1	CMPCLR5V	TCNT 比较清除 5V 位	0: 禁止通过 MTU5.TCNTV 和 MTU5.TGRV 的比较匹配 / 输入捕捉将 MTU5.TCNTV 清“0000h” 1: 允许通过 MTU5.TCNTV 和 MTU5.TGRV 的比较匹配 / 输入捕捉将 MTU5.TCNTV 清“0000h”	R/W
b2	CMPCLR5U	TCNT 比较清除 5U 位	0: 禁止通过 MTU5.TCNTU 和 MTU5.TGRU 的比较匹配 / 输入捕捉将 MTU5.TCNTU 清“0000h” 1: 允许通过 MTU5.TCNTU 和 MTU5.TGRU 的比较匹配 / 输入捕捉将 MTU5.TCNTU 清“0000h”	R/W
b7-b3	—	保留位	读写值都为“0”。	R/W

注. 通道 5 和通道 11 的功能相同, 在此说明单元 0。

TCNTCMPCLR 寄存器是 8 位可读写寄存器, 能设定 MTU5.TCNTU、MTU5.TCNTV 和 MTU5.TCNTW 的清除请求。MTU 的通道 5 和通道 11 各有 1 个 TCNTCMPCLR 寄存器。

18.2.5 定时器的中断允许寄存器 (TIER)

- TIER (MTU0~MTU4和MTU6~MTU10)

地址 MTU0.TIER 0008 8704h、MTU1.TIER 0008 8784h、MTU2.TIER 0008 8804h、MTU3.TIER 0008 8608h、MTU4.TIER 0008 8609h、MTU6.TIER 0008 8B04h、MTU7.TIER 0008 8B84h、MTU8.TIER 0008 8C04h、MTU9.TIER 0008 8A08h、MTU10.TIER 0008 8A09h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	TTGE2	TCIEU	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	TGIEA	TGR 中断允许 A 位	0: 禁止中断请求 (TGIA) 1: 允许中断请求 (TGIA)	R/W
b1	TGIEB	TGR 中断允许 B 位	0: 禁止中断请求 (TGIB) 1: 允许中断请求 (TGIB)	R/W
b2	TGIEC	TGR 中断允许 C 位	0: 禁止中断请求 (TGIC) 1: 允许中断请求 (TGIC)	R/W
b3	TGIED	TGR 中断允许 D 位	0: 禁止中断请求 (TGID) 1: 允许中断请求 (TGID)	R/W
b4	TCIEV	上溢中断允许位	0: 禁止中断请求 (TCIV) 1: 允许中断请求 (TCIV)	R/W
b5	TCIEU	下溢中断允许位	0: 禁止中断请求 (TCIU) 1: 允许中断请求 (TCIU)	R/W
b6	TTGE2	A/D 转换开始请求允许 2 位	0: 禁止因 MTUn.TCNT 的下溢 (波谷) 而产生的 A/D 转换请求 1: 允许因 MTUn.TCNT 的下溢 (波谷) 而产生的 A/D 转换请求	R/W
b7	TTGE	A/D 转换开始请求允许位	0: 禁止产生 A/D 转换开始请求 1: 允许产生 A/D 转换开始请求	R/W

【符号说明】n=4、10

TIER 寄存器是 8 位可读写寄存器，允许或者禁止各通道的中断请求。在 MTU 中，通道 0 和通道 6 各有 2 个，通道 1~5 和通道 7~11 各有 1 个，共计 14 个 TIER。

TGIEA 位、TGIEB 位 (TGR 中断允许 A 位、B 位)

这些位允许或者禁止中断请求 (TGIn) (n=A、B)。

TGIEC 位、TGIED 位 (TGR 中断允许 C 位、D 位)

这些位允许或者禁止在通道 0、3、4、6、9、10 中产生中断请求 (TGIn) (n=C、D)。在通道 1、2、7、8 中，这些位为保留位，读写值都为“0”。

TCIEV 位 (上溢中断允许位)

此位允许或者禁止中断请求 (TCIV)。

TCIEU 位 (下溢中断允许位)

此位允许或者禁止在通道 1、2、7、8 中产生中断请求 (TCIU)。在通道 0、3、4、6、9、10 中，此位为保留位，读写值都为“0”。

TTGE2 位 (A/D 转换开始请求允许 2 位)

此位允许或者禁止在互补 PWM 模式中因 MTU4/10.TCNT 的下溢 (波谷) 而产生的 A/D 转换请求。
在通道 0 ~ 3 和通道 6 ~ 9 中, 此位为保留位, 读写值都为“0”。

TTGE 位 (A/D 转换开始请求允许位)

此位允许或者禁止因 TGRA 的输入捕捉 / 比较匹配而产生的 A/D 转换开始请求。

• TIER2 (MTU0、MTU6)

地址 MTU0.TIER2 0008 8724h、MTU6.TIER2 0008 8B24h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TGIEF	TGIEE
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	TGIEE	TGR 中断允许 E 位	0: 禁止中断请求 (TGIE) 1: 允许中断请求 (TGIE)	R/W
b1	TGIEF	TGR 中断允许 F 位	0: 禁止中断请求 (TGIF) 1: 允许中断请求 (TGIF)	R/W
b7-b2	—	(保留位)	读写值都为“0”。	R/W

TGIEE 位、TGIEF 位 (TGR 中断允许 E 位、F 位)

此位允许或者禁止因 MTUn.TCNT 和 MTUn.TGRm 的比较匹配而产生的中断请求 (n=0、6, m=E、F)。

• TIER (MTU5、MTU11)

地址 MTU5.TIER 0008 88B2h、MTU11.TIER 0008 8CB2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TGIE5U	TGIE5V	TGIE5W
复位后的值	0	0	0	0	0	0	0	1

位	符号	位名	功能	R/W
b0	TGIE5W	TGR 中断允许 5W 位	0: 禁止 TGInW 中断请求 1: 允许 TGInW 中断请求	R/W
b1	TGIE5V	TGR 中断允许 5V 位	0: 禁止 TGInV 中断请求 1: 允许 TGInV 中断请求	R/W
b2	TGIE5U	TGR 中断允许 5U 位	0: 禁止 TGInU 中断请求 1: 允许 TGInU 中断请求	R/W
b7-b3	—	(保留位)	读写值都为“0”。	R/W

【符号说明】 n=5、11

注. 通道 5 和通道 11 的功能相同, 在此说明单元 0。

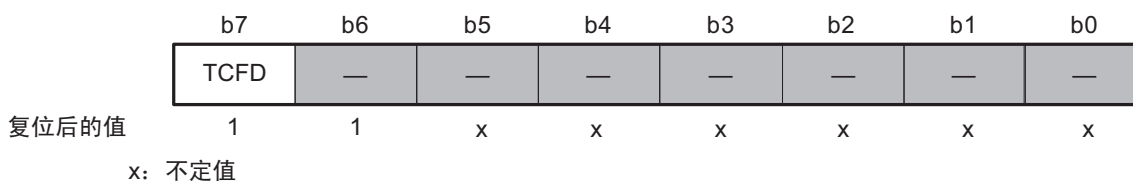
TGIE5W 位、TGIE5V 位、TGIE5U 位 (TGR 中断允许 5m 位)

允许或者禁止中断请求 (TGIm)。(m=U、V、W)

18.2.6 定时器的状态寄存器 (TSR)

- TSR (MTU0~MTU4和MTU6~MTU10)

地址 MTU0.TSR 0008 8705h、MTU1.TSR 0008 8785h、MTU2.TSR 0008 8805h、MTU3.TSR 0008 862Ch、MTU4.TSR 0008 862Dh、MTU6.TSR 0008 8B05h、MTU7.TSR 0008 8B85h、MTU8.TSR 0008 8C05h、MTU9.TSR 0008 8A2Ch、MTU10.TSR 0008 8A2Dh



位	符号	位名	功能	R/W
b5-b0	—	保留位	读取值为不定值，只能写“1”。	R/W
b6	—	保留位	都写值都为“1”。	R/W
b7	TCFD	计数方向标志	0: TCNT 进行递减计数 1: TCNT 进行递增计数	R

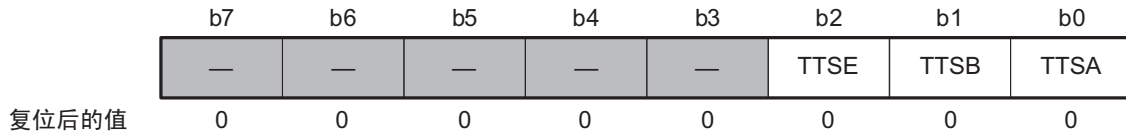
TSR 寄存器是 8 位可读写寄存器，表示各通道的状态。在 MTU 中，通道 0 和通道 6 各有 1 个，通道 1~4 和通道 7~10 各有 1 个，共计 10 个 TSR。

TCFD 标志 (计数方向标志)

这是表示通道 1~4 和通道 7~10 的 TCNT 计数方向的状态标志。
在通道 0 和通道 6 中，此位为保留位，读写值都为“1”。

18.2.7 定时器的缓冲运行传送模式寄存器 (TBTM)

地址 MTU0.TBTM 0008 8726h、MTU3.TBTM 0008 8638h、MTU4.TBTM 0008 8639h、
MTU6.TBTM 0008 8B26h、MTU9.TBTM 0008 8A38h、MTU10.TBTM 0008 8A39h



位	符号	位名	功能	R/W
b0	TTSA	时序选择 A 位	0: 在发生各通道的比较匹配 A 时从 TGRC 传送到 TGRA 1: 在清除各通道的 TCNT 时从 TGRC 传送到 TGRA	R/W
b1	TTSB	时序选择 B 位	0: 在发生各通道的比较匹配 B 时从 TGRD 传送到 TGRB 1: 在清除各通道的 TCNT 时从 TGRD 传送到 TGRB	R/W
b2	TTSE	时序选择 E 位	0: 在发生通道 0 和通道 6 的比较匹配 E 时从 MTUn.TGRF 传送到 MTUn.TGRE 1: 在清除 MTUn.TCNT 时从 MTUn.TGRF 传送到 MTUn.TGRE (n=0、6)	R/W
b7-b3	—	保留位	读写值都为“0”。	R/W

TBTM 寄存器设定在 PWM 模式中从缓冲寄存器到定时器的通用寄存器的传送时序。在 MTU 中，通道 0、3、4、6、9、10 各有 1 个，共计 6 个 TBTM。

TTSA 位 (时序选择 A 位)

此位设定在各通道进行缓冲运行时从 TGRC 到 TGRA 的传送时序。在用于其他模式 (非 PWM 模式) 的通道中，不能将 TTSA 位置“1”。

TTSB 位 (时序选择 B 位)

此位设定在各通道进行缓冲运行时从 TGRD 到 TGRB 的传送时序。在用于其他模式 (非 PWM 模式) 的通道中，不能将 TTSB 位置“1”。

TTSE 位 (时序选择 E 位)

此位设定在进行缓冲运行时从 MTUn.TGRF 到 MTUn.TGRE 的传送时序。在通道 3、4、9、10 中，此位为保留位，读写值都为“0”。在用于其他模式 (非 PWM 模式) 的通道 0 和通道 6 中，不能将 TTSE 位置“1” (n=0、6)。

18.2.8 定时器的输入捕捉控制寄存器 (TICCR)

地址 MTU1.TICCR 0008 8790h、MTU7.TICCR 0008 8B90h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	I2BE	I2AE	I1BE	I1AE
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	I1AE	输入捕捉允许位	0: 不将 MTIOCjA 引脚追加到 MTU2.TGRA 的输入捕捉条件 1: 将 MTIOCjA 引脚追加到 MTU2.TGRA 的输入捕捉条件	R/W
b1	I1BE	输入捕捉允许位	0: 不将 MTIOCjB 引脚追加到 MTU2.TGRB 的输入捕捉条件 1: 将 MTIOCjB 引脚追加到 MTU2.TGRB 的输入捕捉条件	R/W
b2	I2AE	输入捕捉允许位	0: 不将 MTIOCKA 引脚追加到 MTU1.TGRA 的输入捕捉条件 1: 将 MTIOCKA 引脚追加到 MTU1.TGRA 的输入捕捉条件	R/W
b3	I2BE	输入捕捉允许位	0: 不将 MTIOCKB 引脚追加到 MTU1.TGRB 的输入捕捉条件 1: 将 MTIOCKB 引脚追加到 MTU1.TGRB 的输入捕捉条件	R/W
b7-b4	—	(保留位)	读写值都为“0”。	R/W

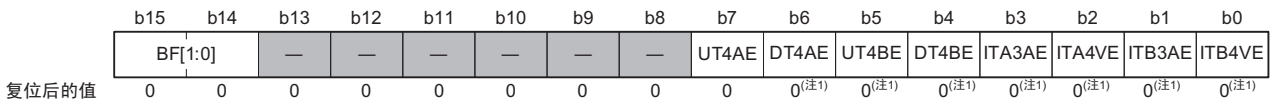
【符号说明】j=1、7，k=2、8

注. 通道 1 和通道 7、通道 2 和通道 8 的功能相同，在此说明单元 0。

TICCR 寄存器控制 MTU1.TCNT 和 MTU2.TCNT 级联时的输入捕捉条件。在 MTU 中，通道 1 和通道 7 各有 1 个 TICCR。

18.2.9 定时器的 A/D 转换开始请求控制寄存器 (TADCR)

地址 MTU4.TADCR 0008 8640h、MTU10.TADCR 0008 8A40h



复位后的值

注1. 除了互补PWM模式以外，b6、b4~b0不能设定为“1”。

位	符号	位名	功能	R/W
b0	ITB4VE	TCIV4 中断减少联动允许位	0: 不联动 TCIV4 中断减少功能 1: 联动 TCIV4 中断减少功能	R/W
b1	ITB3AE	TGIA3 中断减少联动允许位	0: 不联动 TGI3A 中断减少功能 1: 联动 TGI3A 中断减少功能	R/W
b2	ITA4VE	TCIV4 中断减少联动允许位	0: 不联动 TCIV4 中断减少功能 1: 联动 TCIV4 中断减少功能	R/W
b3	ITA3AE	TGIA3 中断减少联动允许位	0: 不联动 TGI3A 中断减少功能 1: 联动 TGI3A 中断减少功能	R/W
b4	DT4BE	递减计数 TRG4BN 允许位	0: 禁止在 MTU4.TCNT 进行递减计数时发生 A/D 转换的开始请求 (TRG4BN) 1: 允许在 MTU4.TCNT 进行递减计数时发生 A/D 转换的开始请求 (TRG4BN)	R/W
b5	UT4BE	递增计数 TRG4BN 允许位	0: 禁止在 MTU4.TCNT 进行递增计数时发生 A/D 转换的开始请求 (TRG4BN) 1: 允许在 MTU4.TCNT 进行递增计数时发生 A/D 转换的开始请求 (TRG4BN)	R/W
b6	DT4AE	递减计数 TRG4AN 允许位	0: 禁止在 MTU4.TCNT 进行递减计数时发生 A/D 转换的开始请求 (TRG4AN) 1: 允许在 MTU4.TCNT 进行递减计数时发生 A/D 转换的开始请求 (TRG4AN)	R/W
b7	UT4AE	递增计数 TRG4AN 允许位	0: 禁止在 MTU4.TCNT 进行递增计数时发生 A/D 转换的开始请求 (TRG4AN) 1: 允许在 MTU4.TCNT 进行递增计数时发生 A/D 转换的开始请求 (TRG4AN)	R/W
b13-b8	—	保留位	读写值都为“0”。	R/W
b15-b14	BF[1:0]	MTU4.TADCOBRA/B 传送时序选择位	详细内容请参照表 18.31。	R/W

注 1. 通道 4 和通道 10 的功能相同，在此说明单元 0。

注 2. 禁止以 8 位为单位存取 TADCR，必须以 16 位为单位进行存取。

注 3. 当禁止中断减少功能时（将定时器的中断减少设定寄存器 (TITCR) 的 T3AEN 位和 T4VEN 位置“0”，或者将 TITCR 的减少次数设定 (T3ACOR 和 T4VCOR) 置“0”时)，必须设定为不联动中断减少功能（将定时器的 A/D 转换开始请求控制寄存器 (TADCR) 的 ITA3AE、ITA4VE、ITB3AE、ITB4VE 位置“0”)。

注 4. 在禁止中断减少功能时，如果设定为联动中断减少功能，就不进行 A/D 转换的开始请求。

TADCR 寄存器是 16 位可读写寄存器，允许或者禁止 A/D 转换的开始请求以及设定 A/D 转换开始请求是否联动中断减少功能。在 MTU 中，通道 4 和通道 10 各有 1 个 TADCR。

表 18.31 通过 BF1 位和 BF0 位进行传送时序的设定

bit15	bit14	说明
BF1	BF0	
0	0	不从周期设定缓冲寄存器传送到周期设定寄存器。
0	1	在 MTUn.TCNT 的波峰从周期设定缓冲寄存器传送到周期设定寄存器 (注 1)。
1	0	在 MTUn.TCNT 的波谷从周期设定缓冲寄存器传送到周期设定寄存器 (注 2)。
1	1	在 MTUn.TCNT 的波峰和波谷从周期设定缓冲寄存器传送到周期设定寄存器 (注 2)。

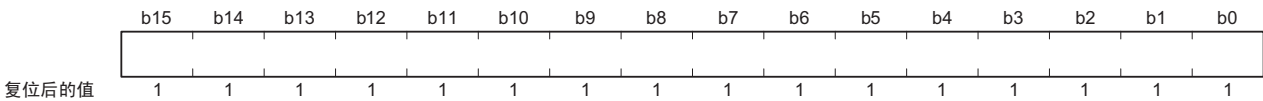
【符号说明】 n=4、10, m=3、9

注 1. 在互补 PWM 模式中, 在 MTUn.TCNT 的波峰从周期设定缓冲寄存器传送到周期设定寄存器; 在复位同步 PWM 模式中, 当发生 MTUm.TCNT 和 MTUm.TGRA 的比较匹配时, 从周期设定缓冲寄存器传送到周期设定寄存器; 在 PWM 模式 1 和正常运行模式中, 当发生 MTUn.TCNT 和 MTUn.TGRA 的比较匹配时, 从周期设定缓冲寄存器传送到周期设定寄存器。

注 2. 除了互补 PWM 模式以外, 禁止此设定。

18.2.10 定时器的 A/D 转换开始请求周期设定寄存器 (TADCORA、TADCORB)

地址 MTU4.TADCORA 0008 8644h、MTU4.TADCORB 0008 8646h、
MTU10.TADCORA 0008 8A44h、MTU10.TADCORB 0008 8A46h



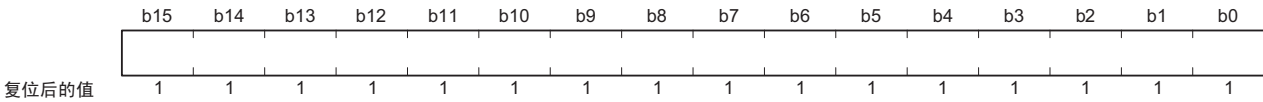
注. 禁止以8位为单位存取TADCORA/B, 必须以16位为单位进行存取。

TADCORA/B 寄存器是 16 位可读写寄存器。当 TADCORA/B 和 MTUn.TCNT (n=4、10) 匹配时, 产生对应的 A/D 转换开始请求。

复位后, TADCORA/B 的值为“FFFFh”。

18.2.11 定时器的 A/D 转换开始请求周期设定缓冲寄存器 (TADCORA、TADCORB)

地址 MTU4.TADCOBRA 0008 8648h、MTU4.TADCOBRB 0008 864Ah、
MTU10.TADCOBRA 0008 8A48h、MTU10.TADCOBRB 0008 8A4Ah



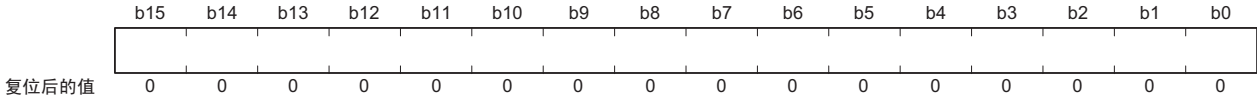
注. 禁止以8位为单位存取TADCOBRA/B, 必须以16位为单位进行存取。

TADCOBRA/B 寄存器是 16 位可读写寄存器, 在波峰或者波谷从 TADCORA/B 的缓冲寄存器传送到 TADCORA/B。

复位后, TADCOBRA/B 的值为“FFFFh”。

18.2.12 定时器的计数器 (TCNT)

地址 MTU0.TCNT 0008 8706h、MTU1.TCNT 0008 8786h、MTU2.TCNT 0008 8806h、MTU3.TCNT 0008 8610h、
 MTU4.TCNT 0008 8612h、MTU5.TCNTU 0008 8880h、MTU5.TCNTV 0008 8890h、MTU5.TCNTW 0008 88A0h、
 MTU6.TCNT 0008 8B06h、MTU7.TCNT 0008 8B86h、MTU8.TCNT 0008 8C06h、MTU9.TCNT 0008 8A10h、
 MTU10.TCNT 0008 8A12h、MTU11.TCNTU 0008 8C80h、MTU11.TCNTV 0008 8C90h、MTU11.TCNTW 0008 8CA0h



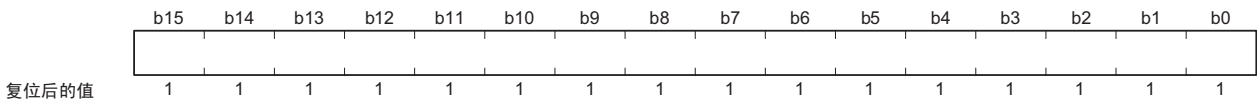
注：禁止以8位为单位存取TCNT，必须以16位为单位进行存取。

TCNT 是 16 位可读写计数器。通道 0 ~ 4 和通道 6 ~ 10 各有 1 个，通道 5 和通道 11 各有 3 个 MTUn.TCNTU/V/W，共计 16 个 TCNT (n=5、11)。

在复位时，TCNT 被初始化为“0000h”。

18.2.13 定时器的通用寄存器 (TGR)

地址 MTU0.TGRA 0008 8708h、MTU0.TGRB 0008 870Ah、MTU0.TGRC 0008 870Ch、MTU0.TGRD 0008 870Eh、
 MTU0.TGRE 0008 8720h、MTU0.TGRF 0008 8722h、MTU1.TGRA 0008 8788h、MTU1.TGRB 0008 878Ah、
 MTU2.TGRA 0008 8808h、MTU2.TGRB 0008 880Ah、MTU3.TGRA 0008 8618h、MTU3.TGRB 0008 861Ah、
 MTU3.TGRC 0008 8624h、MTU3.TGRD 0008 8626h、MTU4.TGRA 0008 861Ch、MTU4.TGRB 0008 861Eh、
 MTU4.TGRC 0008 8628h、MTU4.TGRD 0008 862Ah、MTU5.TGRU 0008 8882h、MTU5.TGRV 0008 8892h、
 MTU5.TGRW 0008 88A2h、MTU6.TGRA 0008 8B08h、MTU6.TGRB 0008 8B0Ah、MTU6.TGRC 0008 8B0Ch、
 MTU6.TGRD 0008 8B0Eh、MTU6.TGRE 0008 8B20h、MTU6.TGRF 0008 8B22h、MTU7.TGRA 0008 8B88h、
 MTU7.TGRB 0008 8B8Ah、MTU8.TGRA 0008 8C08h、MTU8.TGRB 0008 8C0Ah、MTU9.TGRA 0008 8A18h、
 MTU9.TGRB 0008 8A1Ah、MTU9.TGRC 0008 8A24h、MTU9.TGRD 0008 8A26h、MTU10.TGRA 0008 8A1Ch、
 MTU10.TGRB 0008 8A1Eh、MTU10.TGRC 0008 8A28h、MTU10.TGRD 0008 8A2Ah、MTU11.TGRU 0008 8C82h、
 MTU11.TGRV 0008 8C92h、MTU11.TGRW 0008 8CA2h



注：禁止以8位为单位存取TGR，必须以16位为单位进行存取。TGR的初始值为“FFFFh”。

TGR 是 16 位可读写寄存器。通道 0 和通道 6 有 6 个，通道 1、2、7、8 各有 2 个，通道 3、4、9、10 各有 4 个，通道 5 和通道 11 各有 3 个，共计 42 个 TGR 通用寄存器。

TGRA、TGRB、TGRC 和 TGRD 是输出比较 / 输入捕捉兼用的寄存器。能将通道 0、3、4、6、9、10 的 TGRC 和 TGRD 用作缓冲寄存器。TGR 和缓冲寄存器的组合为 TGRA-TGRC、TGRB-TGRD。

MTUn.TGRE 和 MTUn.TGRF 用作比较寄存器，当 MTUn.TCNT 和 MTUn.TGRE 匹配时，能产生 A/D 转换开始请求 (n=0、6)。能将 TGRF 用作缓冲寄存器。TGR 和缓冲寄存器的组合为 TGRE-TGRF。

MTUm.TGRU、MTUm.TGRV 和 MTUm.TGRW 是比较匹配 / 输入捕捉 / 外部脉宽测量兼用的寄存器 (m=5、11)。

另外，通过此寄存器能设定 A/D 转换开始请求的产生间隔。有关 A/D 转换开始条件的详细内容，请参照“34. 12 位 A/D 转换器 (S12AD)”和“35. 10 位 A/D 转换器 (ADa)”。

18.2.14 定时器的启动寄存器 (TSTR)

- MTUA.TSTR (MTU0 ~ MTU4)、MTUB.TSTR (MTU6 ~ MTU10)

地址 MTUA.TSTR 0008 8680h、MTUB.TSTR 0008 8A80h

	b7	b6	b5	b4	b3	b2	b1	b0
	CST4	CST3	—	—	—	CST2	CST1	CST0
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	CST0	计数器开始 0 位	0: MTU0.TCNT 停止运行 1: MTU0.TCNT 运行	R/W
b1	CST1	计数器开始 1 位	0: MTU1.TCNT 停止运行 1: MTU1.TCNT 运行	R/W
b2	CST2	计数器开始 2 位	0: MTU2.TCNT 停止运行 1: MTU2.TCNT 运行	R/W
b5-b3	—	保留位	读写值都为“0”。	R/W
b6	CST3	计数器开始 3 位	0: MTU3.TCNT 停止运行 1: MTU3.TCNT 运行	R/W
b7	CST4	计数器开始 4 位	0: MTU4.TCNT 停止运行 1: MTU4.TCNT 运行	R/W

注. 通道 0 ~ 4 和通道 6 ~ 10 的功能相同, 在此说明单元 0。

TSTR 寄存器选择 MTU0 ~ 4 和 MTU6 ~ 10 的 TCNT 的运行或者停止。

在给 TMDR 设定运行模式或者给 TCR 设定 TCNT 的计数时钟时, 必须在停止 TCNT 计数器后再进行设定。

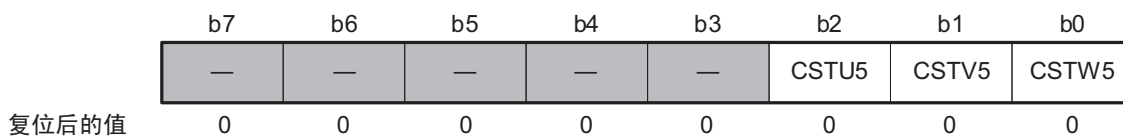
CST 位 (计数开始位)

此位选择各通道 TCNT 的运行或者停止。

MTIOC 引脚在输出状态下运行时, 如果给 CST 位写“0”, 计数器就停止计数, 但是保持 MTIOC 引脚的输出比较的输出电平。如果在 CST 位为“0”的状态下写 TIOR 寄存器, 就将引脚的输出电平更新为所设定的初始输出值。

- MTUA.TSTR (MTU5)、MTUB.TSTR (MTU11)

地址 MTUA.TSTR 0008 88B4h、MTUB.TSTR 0008 8CB4h



位	符号	位名	功能	R/W
b0	CSTW5	计数器开始 W5 位	0: MTU5.TCNTW 停止运行 1: MTU5.TCNTW 运行	R/W
b1	CSTV5	计数器开始 V5 位	0: MTU5.TCNTV 停止运行 1: MTU5.TCNTV 运行	R/W
b2	CSTU5	计数器开始 U5 位	0: MTU5.TCNTU 停止运行 1: MTU5.TCNTU 运行	R/W
b7-b3	—	保留位	读写值都为“0”。	R/W

注. 通道 5 和通道 11 的功能相同，在此说明单元 0。

18.2.15 定时器的同步寄存器 (TSYR)

地址 MTUA.TSYR 0008 8681h、MTUB.TSYR 0008 8A81h

	b7	b6	b5	b4	b3	b2	b1	b0
	SYNC4	SYNC3	—	—	—	SYNC2	SYNC1	SYNC0
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	SYNC0	定时器的同步 0 位	0: MTU0.TCNT 独立运行 (TCNT 的预置 / 清除与其他通道无关) 1: MTU0.TCNT 进行同步运行 能进行 TCNT 的同步预置 / 同步清除。	R/W
b1	SYNC1	定时器的同步 1 位	0: MTU1.TCNT 独立运行 (TCNT 的预置 / 清除与其他通道无关) 1: MTU1.TCNT 进行同步运行 能进行 TCNT 的同步预置 / 同步清除。	R/W
b2	SYNC2	定时器的同步 2 位	0: MTU2.TCNT 独立运行 (TCNT 的预置 / 清除与其他通道无关) 1: MTU2.TCNT 进行同步运行 能进行 TCNT 的同步预置 / 同步清除。	R/W
b5-b3	—	保留位	读写值都为“0”。	R/W
b6	SYNC3	定时器的同步 3 位	0: MTU3.TCNT 独立运行 (TCNT 的预置 / 清除与其他通道无关) 1: MTU3.TCNT 进行同步运行 能进行 TCNT 的同步预置 / 同步清除。	R/W
b7	SYNC4	定时器的同步 4 位	0: MTU4.TCNT 独立运行 (TCNT 的预置 / 清除与其他通道无关) 1: MTU4.TCNT 进行同步运行 能进行 TCNT 的同步预置 / 同步清除。	R/W

注. 在此说明单元 0。

TSYR 寄存器选择 MTU0 ~ 4、MTU6 ~ 10 的 TCNT 进行独立运行或者同步运行。
对应位为“1”的通道进行同步运行。

SYNC 位 (定时器的同步位)

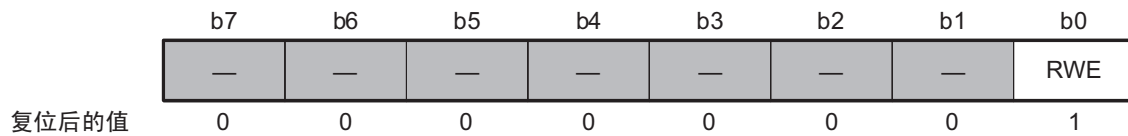
此位选择 TCNT 是与其他通道同步运行还是独立运行。

如果选择同步运行, 就能对多个 TCNT 进行同步预置并且通过清除其他通道的计数器进行同步清除。

要设定同步运行时, 需要至少将 2 个通道的 SYNC 位置“1”; 要设定同步清除时, 除了 SYNC 位以外, 还需要通过 TCR 的 CCLR[2:0] 位设定 TCNT 的清除源。

18.2.16 定时器的读写允许寄存器 (TRWER)

地址 MTUA.TRWER 0008 8684h、MTUB.TRWER 0008 8A84h



位	符号	位名	功能	R/W
b0	RWE	读写允许位	0: 禁止读写寄存器 1: 允许读写寄存器	R/W
b7-b1	—	保留位	读写值都为“0”。	R/W

TRWERA 寄存器设定允许或者禁止存取通道 3 和通道 4 的误写防止对象寄存器 / 计数器。

TRWERB 寄存器设定允许或者禁止存取通道 9 和通道 10 的误写防止对象寄存器 / 计数器。

RWE 位 (读写允许位)

此位设定允许或者禁止读写误写防止寄存器。

[为“0”的条件]

- 在 RWE 为“1”的状态下读 RWE 后给 RWE 写“0”时
- 误写防止对象寄存器/计数器
MTUn.TCR、MTUn.TMDR、MTUn.TIORH、MTUn.TIORL、MTUn.TIER、MTUn.TGRA、MTUn.TGRB、
MTUj.TOER、MTUj.TOCR1、MTUj.TOCR2、MTUj.TGCR、MTUj.TCDR、MTUj.TDDR 和
MTUn.TCNT, 共计 44 个寄存器 (n=3、4、9、10, j=A、B)。

18.2.17 定时器的输出主控允许寄存器 (TOER)

地址 MTUA.TOER 0008 860Ah、MTUB.TOER 0008 8A0Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
复位后的值	1	1	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	OE3B	主控允许 MTIOC3B 位	0: 禁止 MTU 输出 (注1) 1: 允许 MTU 输出	R/W
b1	OE4A	主控允许 MTIOC4A 位	0: 禁止 MTU 输出 (注1) 1: 允许 MTU 输出	R/W
b2	OE4B	主控允许 MTIOC4B 位	0: 禁止 MTU 输出 (注1) 1: 允许 MTU 输出	R/W
b3	OE3D	主控允许 MTIOC3D 位	0: 禁止 MTU 输出 (注1) 1: 允许 MTU 输出	R/W
b4	OE4C	主控允许 MTIOC4C 位	0: 禁止 MTU 输出 (注1) 1: 允许 MTU 输出	R/W
b5	OE4D	主控允许 MTIOC4D 位	0: 禁止 MTU 输出 (注1) 1: 允许 MTU 输出	R/W
b7-b6	—	保留位	读写值都为“1”。	R/W

注 1. 在设定为禁止 MTU 输出时，如果从各引脚输出无效电平，就必须事先使用 I/O 端口的数据方向寄存器 (DDR) 和数据寄存器 (DR) 设定为“向通用输入 / 输出端口输出无效电平”。详细内容请参照“17. I/O 端口”。

TOER 寄存器允许或者禁止输出引脚的 MTIOC4D、MTIOC4C、MTIOC3D、MTIOC4B、MTIOC4A、MTIOC3B、MTIOC10D、MTIOC10C、MTIOC9D、MTIOC10B、MTIOC10A、MTIOC9B 的输出设定。

如果不设定 TOER 寄存器的各位，就无法正确地输出这些引脚。在通道 3、4、9、10 中，必须在设定通道 3、4、9、10 的 TIOR 寄存器前给 TOER 寄存器设定值。

必须在将 MTUA.TSTR 寄存器的 CST3、CST4 位置“0”后才能设定 MTUA.TOER 寄存器。必须在将 MTUB.TSTR 寄存器的 CST0 位和 CST1 位置“0”后才能设定 MTUB.TOER 寄存器（参照图 18.36 和图 18.39）。

18.2.18 定时器的输出控制寄存器 1 (TOCR1)

地址 MTUA.TOCR1 0008 860Eh、MTUB.TOCR1 0008 8A0Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	PSYE	—	—	TOCL	TOCS	OLSN	OLSP
复位后的值	0	0	0	0	0 ^(注1)	0	0	0

注1. 复位后，只能写1次“1”并且不能在写“1”后写“0”。

位	符号	位名	功能	R/W
b0	OLSP	输出电平选择 P 位 (注2、注3)	请参照表 18.32。	R/W
b1	OLSN	输出电平选择 N 位 (注2、注3)	请参照表 18.33。	R/W
b2	TOCS	TOC 选择位	0: TOCR1j 的设定有效 1: TOCR2j 的设定有效	R/W
b3	TOCL	TOC 寄存器的写禁止位 (注1)	0: 允许写 TOCS 位、OLSN 位和 OLSP 位 1: 禁止写 TOCS 位、OLSN 位和 OLSP 位	R/W
b5-b4	—	(保留位)	读写值都为“0”。	R/W
b6	PSYE	PWM 同步输出允许位	0: 禁止交替输出 1: 允许交替输出	R/W
b7	—	保留位	读写值都为“0”。	R/W

注1. 能通过将 TOCR1j.TOCL 位置“1”，防止 CPU 失控时的误写。

注2. 通过将 TOCR1j.TOCS 位置“0”，使此设定变为有效。

注3. 在不生成死区时间时，反相输出总是为正相的相反电平。此时，只有 OLSP 位有效。

TOCR1 寄存器是 8 位可读写寄存器，允许或者禁止与互补 PWM 模式 / 复位同步 PWM 模式的 PWM 周期同步进行交替输出以及对 PWM 输出电平进行反相控制。

MTUA.TOCR1 寄存器用于单元 0，MTUB.TOCR1 寄存器用于单元 1。

OLSP 位 (输出电平选择 P 位)

在复位同步 PWM 模式 / 互补 PWM 模式中，此位选择正相的输出电平。

OLSN 位 (输出电平选择 N 位)

在复位同步 PWM 模式 / 互补 PWM 模式中，此位选择反相的输出电平。

TOCS 位 (TOC 选择位)

此位选择互补 PWM 模式 / 复位同步 PWM 模式的输出电平是 TOCR1 的设定有效还是 TOCR2 的设定有效。

TOCL 位 (TOC 寄存器的写禁止位)

此位设定允许或者禁止写 TOCR1 寄存器的 TOCS 位、OLSN 位和 OLSP 位。

PSYE 位 (PWM 同步输出允许位)

此位设定允许或者禁止与 PWM 周期同步进行交替输出。

表 18.32 输出电平的选择功能

bit0	功能			
OLSP	初始输出	有效电平	比较匹配输出	
			递增计数	递减计数
0	High 电平	Low 电平	Low 电平	High 电平
1	Low 电平	High 电平	High 电平	Low 电平

表 18.33 输出电平的选择功能

bit1	功能			
OLSN	初始输出	有效电平	比较匹配输出	
			递增计数	递减计数
0	High 电平	Low 电平	High 电平	Low 电平
1	Low 电平	High 电平	Low 电平	High 电平

注. 在开始计数并且经过死区时间后，反相波形的初始输出值变为有效电平。

OLSN 为“1”并且 OLSP 为“1”时的互补 PWM 模式的输出例子（1 相）如图 18.3 所示。

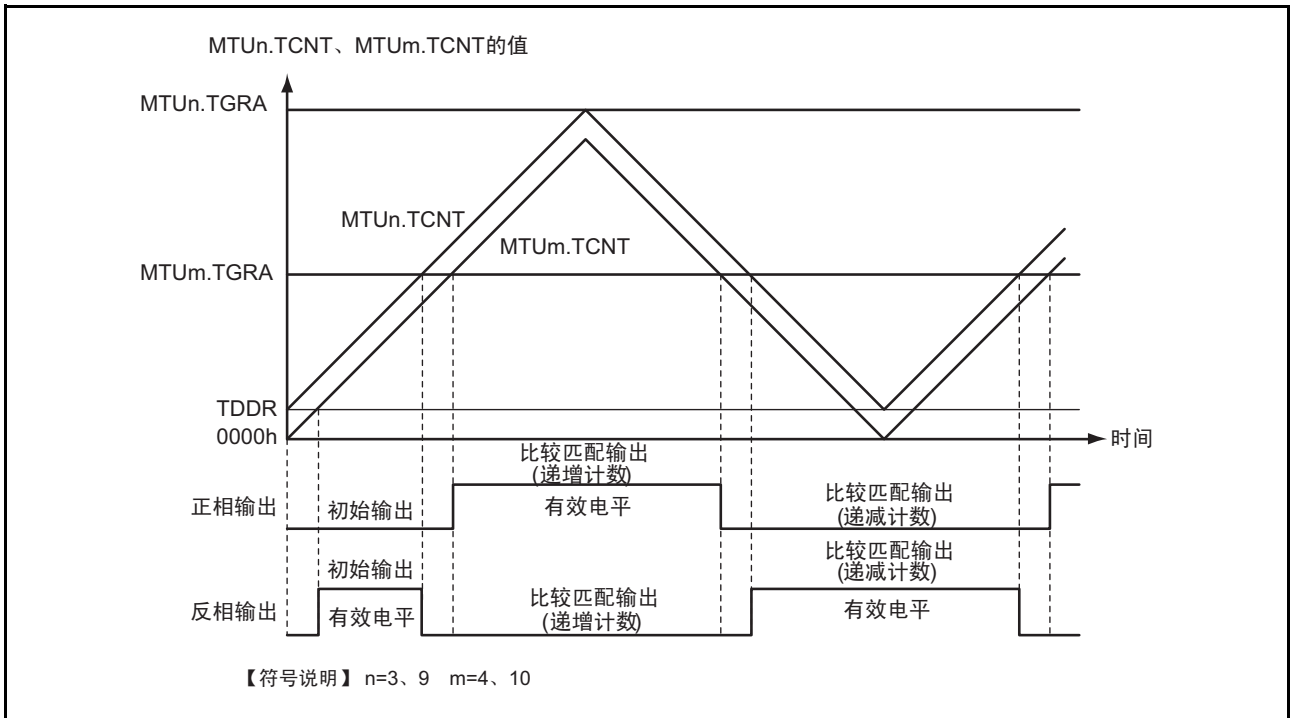


图 18.3 互补 PWM 模式的输出电平例子

18.2.19 定时器的输出控制寄存器 2 (TOCR2)

地址 MTUA.TOCR2 0008 860Fh、MTUB.TOCR2 0008 8A0Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	BF[1:0]		OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	OLS1P	输出电平选择 1P 位 (注 1、注 2)	选择在复位同步 PWM 模式 / 互补 PWM 模式中的 MTIOC3B 的输出电平, 请参照表 18.34。	R/W
b1	OLS1N	输出电平选择 1N 位 (注 1、注 2)	选择在复位同步 PWM 模式 / 互补 PWM 模式中的 MTIOC3D 的输出电平, 请参照表 18.35。	R/W
b2	OLS2P	输出电平选择 2P 位 (注 1、注 2)	选择在复位同步 PWM 模式 / 互补 PWM 模式中的 MTIOC4A 的输出电平, 请参照表 18.36。	R/W
b3	OLS2N	输出电平选择 2N 位 (注 1、注 2)	选择在复位同步 PWM 模式 / 互补 PWM 模式中的 MTIOC4C 的输出电平, 请参照表 18.37。	R/W
b4	OLS3P	输出电平选择 3P 位 (注 1、注 2)	选择在复位同步 PWM 模式 / 互补 PWM 模式中的 MTIOC4B 的输出电平, 请参照表 18.38。	R/W
b5	OLS3N	输出电平选择 3N 位 (注 1、注 2)	选择在复位同步 PWM 模式 / 互补 PWM 模式中的 MTIOC4D 的输出电平, 请参照表 18.39。	R/W
b7-b6	BF[1:0]	TOLBR 缓冲传送时序选择位	选择从 TOLBRj 到 TOCR2j 的缓冲传送时序, 详细内容请参照表 18.40。	R/W

【符号说明】j=A、B

注 1. 通道 3 和通道 9、通道 4 和通道 10 的功能相同, 在此说明单元 0。

通过将 TOCR1.TOCS 位置“1”, 使此设定变为有效。

注 2. 在不生成死区时间时, 反相输出总是为正相的相反电平。此时, 只有 OLSiP 位有效。(i=1、2、3)

TOCR2 寄存器对互补 PWM 模式 / 复位同步 PWM 模式的 PWM 输出电平进行反相控制。

MTUA.TOCR2 寄存器用于单元 0, MTUB.TOCR2 寄存器用于单元 1。

表 18.34 MTIOCmB 输出电平的选择功能

bit0	功能			
OLS1P	初始输出	有效电平	比较匹配输出	
			递增计数	递减计数
0	High 电平	Low 电平	Low 电平	High 电平
1	Low 电平	High 电平	High 电平	Low 电平

【符号说明】m=3、9

表 18.35 MTIOCmD 输出电平的选择功能

bit1	功能			
OLS1N	初始输出	有效电平	比较匹配输出	
			递增计数	递减计数
0	High 电平	Low 电平	High 电平	Low 电平
1	Low 电平	High 电平	Low 电平	High 电平

【符号说明】m=3、9

注. 在开始计数并且经过死区时间后, 反相波形的初始输出值变为有效电平。

表 18.36 MTIOcN_A 输出电平的选择功能

bit2	功能			
OLS2P	初始输出	有效电平	比较匹配输出	
			递增计数	递减计数
0	High 电平	Low 电平	Low 电平	High 电平
1	Low 电平	High 电平	High 电平	Low 电平

【符号说明】n=4、10

表 18.37 MTIOcN_C 输出电平的选择功能

bit3	功能			
OLS2N	初始输出	有效电平	比较匹配输出	
			递增计数	递减计数
0	High 电平	Low 电平	High 电平	Low 电平
1	Low 电平	High 电平	Low 电平	High 电平

【符号说明】n=4、10

注. 在开始计数并且经过死区时间后, 反相波形的初始输出值变为有效电平。

表 18.38 MTIOcM_B 输出电平的选择功能

bit4	功能			
OLS3P	初始输出	有效电平	比较匹配输出	
			递增计数	递减计数
0	High 电平	Low 电平	Low 电平	High 电平
1	Low 电平	High 电平	High 电平	Low 电平

【符号说明】m=3、9

表 18.39 MTIOcM_D 输出电平的选择功能

bit5	功能			
OLS3N	初始输出	有效电平	比较匹配输出	
			递增计数	递减计数
0	High 电平	Low 电平	High 电平	Low 电平
1	Low 电平	High 电平	Low 电平	High 电平

【符号说明】m=3、9

注. 在开始计数并且经过死区时间后, 反相波形的初始输出值变为有效电平。

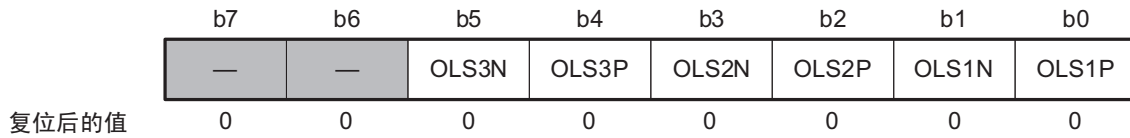
表 18.40 TOCR2.BF[1:0] 位的设定

bit7	bit6	说明	
BF1	BF0	互补 PWM 模式	复位 PWM 模式
0	0	不从缓冲寄存器 (TOLBR) 传送到 TOCR2。	不从缓冲寄存器 (TOLBR) 传送到 TOCR2。
0	1	在 MTUn.TCNT 的波峰从缓冲寄存器 (TOLBR) 传送到 TOCR2。	在清除 MTUn.TCNT 计数器和 MTUm.TCNT 计数器时从缓冲寄存器 (TOLBR) 传送到 TOCR2。
1	0	在 MTUn.TCNT 的波谷从缓冲寄存器 (TOLBR) 传送到 TOCR2。	不能设定。
1	1	在 MTUn.TCNT 的波峰和波谷从缓冲寄存器 (TOLBR) 传送到 TOCR2。	不能设定。

【符号说明】n=4、10, m=3、9

18.2.20 定时器的输出电平缓冲寄存器 (TOLBR)

地址 MTUA.TOLBR 0008 8636h、MTUB.TOLBR 0008 8A36h



位	符号	位名	功能	R/W
b0	OLS1P	输出电平选择 1P 位	必须给 TOCR2 的 OLS1P 位设定缓冲传送的值。	R/W
b1	OLS1N	输出电平选择 1N 位	必须给 TOCR2 的 OLS1N 位设定缓冲传送的值。	R/W
b2	OLS2P	输出电平选择 2P 位	必须给 TOCR2 的 OLS2P 位设定缓冲传送的值。	R/W
b3	OLS2N	输出电平选择 2N 位	必须给 TOCR2 的 OLS2N 位设定缓冲传送的值。	R/W
b4	OLS3P	输出电平选择 3P 位	必须给 TOCR2 的 OLS3P 位设定缓冲传送的值。	R/W
b5	OLS3N	输出电平选择 3N 位	必须给 TOCR2 的 OLS3N 位设定缓冲传送的值。	R/W
b7-b6	—	保留位	读写值都为“0”。	R/W

注. 在此说明单元 0。

TOLBR 寄存器是 TOCR2 的缓冲寄存器，设定互补 PWM 模式 / 复位同步 PWM 模式的 PWM 输出电平。TOLBR 寄存器是 8 位可读写寄存器。

在进行缓冲运行中设定 PWM 输出电平时的设定步骤例子如图 18.4 所示。



图 18.4 在进行缓冲运行中设定 PWM 输出电平时的设定步骤例子

18.2.21 定时器的门控寄存器 (TGCR)

地址 MTUA.TGCR 0008 860Dh、MTUB.TGCR 0008 8A0Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	BDC	N	P	FB	WF	VF	UF
复位后的值	1	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	UF	输出相转换位	设定正相 / 反相输出相的 ON/OFF。这些位的设定只在 FB 位为“1”时有效。此时，b0 ~ b2 的设定取代外部输入，请参照表 18.41。	R/W
b1	VF			R/W
b2	WF			R/W
b3	FB	外部反馈信号允许位	0: 通过外部输入进行输出转换 (输入源为通道 n (n=0、6) 的 TGRA、TGRB、TGRC 的输入捕捉信号) 1: 通过软件进行输出转换 (TGCR 的 UF、VF 和 WF 的设定值)	R/W
b4	P	正相输出 (P) 控制位	0: 电平输出 1: 复位同步 PWM/ 互补 PWM 输出	R/W
b5	N	反相输出 (N) 控制位	0: 电平输出 1: 复位同步 PWM/ 互补 PWM 输出	R/W
b6	BDC	无刷 DC 马达位	0: 正常输出 1: 此寄存器的功能有效	R/W
b7	—	(保留位)	读写值都为“1”。	R/W

TGCR 寄存器在复位同步 PWM 模式 / 互补 PWM 模式中对控制无刷 DC 马达所需的波形输出进行控制。除了互补 PWM 模式 / 复位同步 PWM 模式以外，此寄存器的设定无效。

UF 位、VF 位、WF 位 (输出相转换位)

这些位的设定只在 FB 位为“1”时有效。此时，bit0 ~ bit2 的设定取代外部输入，请参照表 18.41。

FB 位 (外部反馈信号允许位)

此位选择是通过 MTUn (n=0、6) 的 TGRA、TGRB、TGRC 的输入捕捉信号自动进行正反相输出的转换，还是通过给 TGCR 的 bit2 ~ bit0 写“0”或者“1”进行正反相输出的转换。

P 位 (正相输出 (P) 控制位)

在正相引脚 (MTIOCnB 引脚、MTIOCmA 引脚、MTIOCmB 引脚) (n=3、9, m=4、10) 输出时，此位选择是进行电平输出还是进行复位同步 PWM/ 互补 PWM 输出。

N 位 (反相输出 (N) 控制位)

在反相引脚 (MTIOCnD 引脚、MTIOCmC 引脚、MTIOCmD 引脚) (n=3、9, m=4、10) 输出时，此位选择是进行电平输出还是进行复位同步 PWM/ 互补 PWM 输出。

BDC 位 (无刷 DC 马达位)

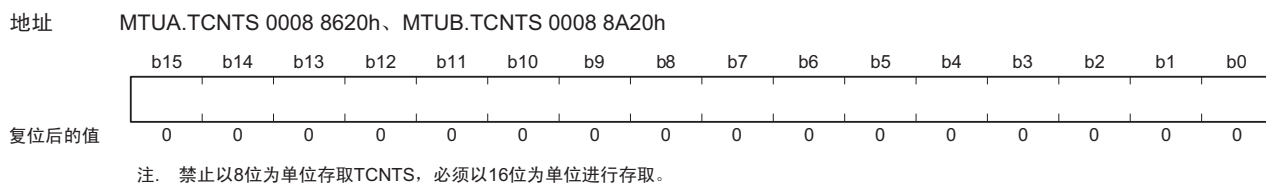
此位选择 TGCR 寄存器功能的有效或者无效。

表 18.41 输出电平的选择功能

bit2	bit1	bit0	功能					
			MTIOc _n B	MTIOc _m A	MTIOc _m B	MTIOc _n D	MTIOc _m C	MTIOc _m D
WF	VF	UF	U 相	V 相	W 相	U 相	V 相	W 相
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	OFF	OFF	OFF	ON
0	1	0	OFF	ON	OFF	ON	OFF	OFF
0	1	1	OFF	ON	OFF	OFF	OFF	ON
1	0	0	OFF	OFF	ON	OFF	ON	OFF
1	0	1	ON	OFF	OFF	OFF	ON	OFF
1	1	0	OFF	OFF	ON	ON	OFF	OFF
1	1	1	OFF	OFF	OFF	OFF	OFF	OFF

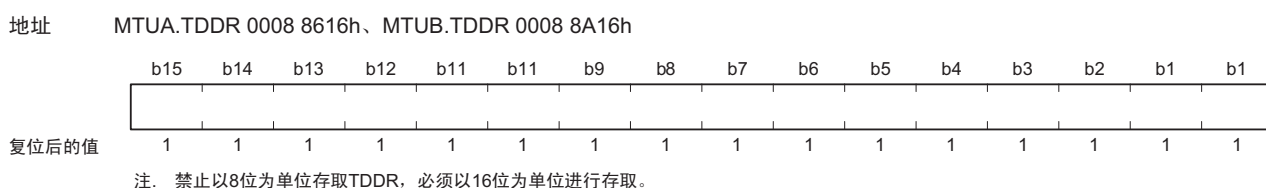
【符号说明】(n=3、9, m=4、10)

18.2.22 定时器的副计数器 (TCNTS)



TCNTS 寄存器是只用于互补 PWM 模式的 16 位只读计数器。复位后, TCNTS 的值为“0000h”。

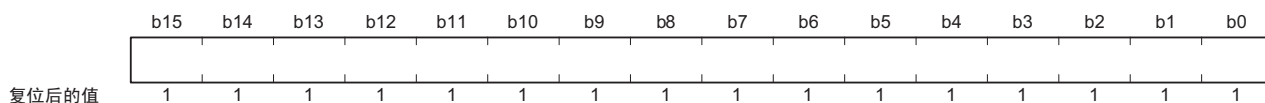
18.2.23 定时器的死区时间数据寄存器 (TDDR)



TDDR 寄存器是只用于互补 PWM 模式的 16 位寄存器, 在互补 PWM 模式中设定 MTU3/9.TCNT 计数器和 MTU4/10.TCNT 计数器的偏移值。在互补 PWM 模式中清除 MTU3/9.TCNT 计数器和 MTU4/10.TCNT 计数器后重新开始计数时, 将 TDDR 寄存器的值加载到 MTU3/9.TCNT 计数器并且开始计数。复位后, TDDR 的值为“FFFFh”。

18.2.24 定时器的周期数据寄存器 (TCDR)

地址 MTUA.TCDR 0008 8614h、MTUB.TCDR 0008 8A14h

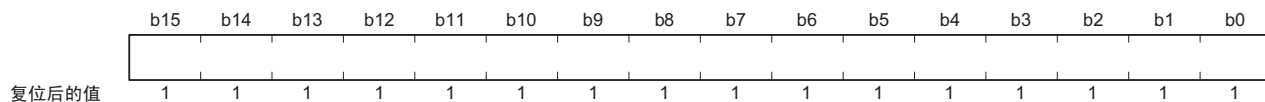


注. 禁止以8位为单位存取TCDR, 必须以16位为单位进行存取。

TCDR 寄存器是只用于互补 PWM 模式的 16 位寄存器, 必须给 TCDR 寄存器设定 1/2 个 PWM 载波周期的值。在互补 PWM 模式中, 此寄存器随时和 TCNTS 计数器进行比较, 如果两者的值相同, TCNTS 计数器就转换计数方向 (递减计数 → 递增计数)。复位后, TCDR 的值为 “FFFFh”。

18.2.25 定时器的周期缓冲寄存器 (TCBR)

地址 MTUA.TCBR 0008 8622h、MTUB.TCBR 0008 8A22h

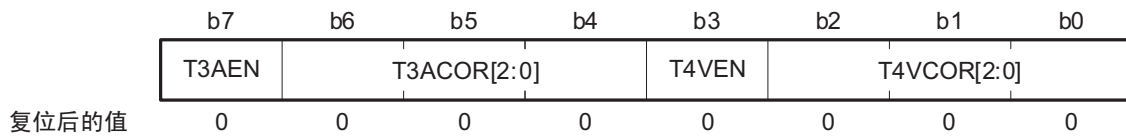


注. 禁止以8位为单位存取TCBR, 必须以16位为单位进行存取。

TCBR 寄存器是只用于互补 PWM 模式的 16 位寄存器, 用作 TCDR 寄存器的缓冲寄存器。在 TMDR 寄存器设定的传送时序将 TCBR 寄存器的值传送到 TCDR 寄存器。复位后, TCBR 的值为 “FFFFh”。

18.2.26 定时器的中断减少设定寄存器 (TITCR)

地址 MTUA.TITCR 0008 8630h、MTUB.TITCR 0008 8A30h



位	符号	位名	功能	R/W
b2-b0	T4VCOR[2:0]	TCIV4 中断减少次数设定位	将 TCIV4 的中断减少次数设定为 0 ~ 7 次 (注 1), 详细内容请参照表 18.42。	R/W
b3	T4VEN	T4VEN 位	0: 禁止 TCIV4 中断的减少 1: 允许 TCIV4 中断的减少	R/W
b6-b4	T3ACOR[2:0]	TGIA3 中断减少次数设定位	将 TGIA3 的中断减少次数设定为 0 ~ 7 次 (注 1、注 2), 详细内容请参照表 18.43。	R/W
b7	T3AEN	T3AEN 位	0: 禁止 TGIA3 中断的减少 1: 允许 TGIA3 中断的减少	R/W

注. 通道 3 和通道 9、通道 4 和通道 10 的功能相同, 在此说明单元 0。

注 1. 如果将中断减少次数设定为“0”, 就不减少中断。

注 2. 另外, 必须在更改中断减少次数前, 通过将 TITCR.T3AEN 位和 TITCR.T4VEN 位置“0”, 清除减少次数计数器 (TITCNT)。

TITCR 寄存器禁止或者允许中断减少以及控制中断减少次数的设定, MTU 有 2 个 TITCR。

T4VCOR[2:0] 位 (TCIV4 的中断减少次数设定位)

T3ACOR[2:0] 位 (TGIA3 的中断减少次数设定位)

将 TCIV_m 和 TGIA_n 的中断减少次数设定为 0 ~ 7 次, 详细内容请参照表 18.42 和表 18.43。

表 18.42 通过 T4VCOR[2:0] 位设定的中断减少次数

bit2	bit1	bit0	说明
T4VCOR2	T4VCOR1	T4VCOR0	
0	0	0	不减少 TCIV _n 的中断。
0	0	1	将 TCIV _n 的中断减少次数设定为 1 次。
0	1	0	将 TCIV _n 的中断减少次数设定为 2 次。
0	1	1	将 TCIV _n 的中断减少次数设定为 3 次。
1	0	0	将 TCIV _n 的中断减少次数设定为 4 次。
1	0	1	将 TCIV _n 的中断减少次数设定为 5 次。
1	1	0	将 TCIV _n 的中断减少次数设定为 6 次。
1	1	1	将 TCIV _n 的中断减少次数设定为 7 次。

【符号说明】 n=4、10

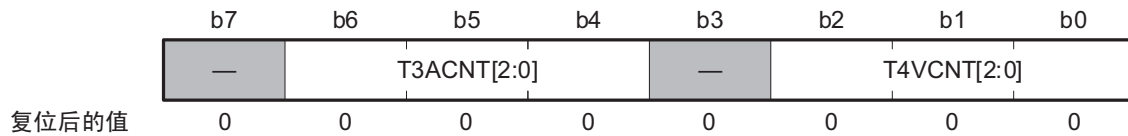
表 18.43 通过 T3ACOR[2:0] 位设定的中断减少次数

bit6	bit5	bit4	说明
T3ACOR2	T3ACOR1	T3ACOR0	
0	0	0	不减少 TGIAm 的中断。
0	0	1	将 TGIAm 的中断减少次数设定为 1 次。
0	1	0	将 TGIAm 的中断减少次数设定为 2 次。
0	1	1	将 TGIAm 的中断减少次数设定为 3 次。
1	0	0	将 TGIAm 的中断减少次数设定为 4 次。
1	0	1	将 TGIAm 的中断减少次数设定为 5 次。
1	1	0	将 TGIAm 的中断减少次数设定为 6 次。
1	1	1	将 TGIAm 的中断减少次数设定为 7 次。

【符号说明】 m=3、9

18.2.27 定时器的中断减少次数计数器 (TITCNT)

地址 MTUA.TITCNT 0008 8631h、MTUB.TITCNT 0008 8A31h



位	符号	位名	功能	R/W
b2-b0	T4VCNT[2:0]	TCIV4 中断计数器位	如果将 TITCR 的 T4VEN 位置“1”，就在发生 TCIV4 中断源时递增 1。	R
b3	—	保留位	读取值为“0”，写操作无效。	R
b6-b4	T3ACNT[2:0]	TGIA3 中断计数器位	如果将 TITCR 的 T3AEN 位置“1”，就在发生 TGIA3 中断源时递增 1。	R
b7	—	保留位	读取值为“0”，写操作无效。	R

注. 通道 3 和通道 9、通道 4 和通道 10 的功能相同，在此说明单元 0。
要清除 TITCNT 的值时，必须将 TITCR.T3AEN 位和 TITCR.T4VEN 位清 0。

TITCNT 寄存器是 8 位可读计数器，MTU 有 2 个 TITCNT。在 MTUn.TCNT 和 MTUm.TCNT 停止计数后，TITCNT 仍保持原来的值 (n=3、9，m=4、10)。

T4VCNT[2:0] 位 (TCIV4 中断计数器位)

[为“0”的条件]

- TITCR 的 T4VCOR[2:0] 位和 TITCNT 的 T4VCNT[2:0] 位相同时
- TITCR 的 T4VEN 位为“0”时
- TITCR 的 T4VCOR[2:0] 位为“000b”时

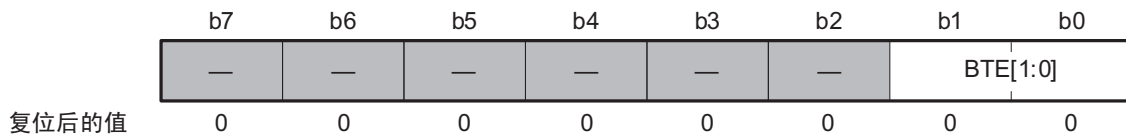
T3ACNT[2:0] 位 (TGIA3 中断计数器位)

[为“0”的条件]

- TITCR 的 T3ACOR[2:0] 位和 TITCNT 的 T3ACNT[2:0] 位相同时
- TITCR 的 T3AEN 位为“0”时
- TITCR 的 T3ACOR[2:0] 位为“000b”时

18.2.28 定时器的缓冲传送设定寄存器 (TBTER)

地址 MTUA.TBTER 0008 8632h、MTUB.TBTER 0008 8A32h



位	符号	位名	功能	R/W
b1-b0	BTE[1:0]	缓冲传送抑止和中断减少联动设定位	此位设定是否抑止用于互补 PWM 模式的缓冲寄存器 (注) 到暂存器的传送以及是否联动中断减少功能, 详细内容请参照表 18.44。	R/W
b7-b2	—	保留位	读写值都为“0”。	R/W

注. 对象缓冲寄存器:

MTU3.TGRC、MTU3.TGRD、MTU4.TGRC、MTU4.TGRD、MTUj.TCBr (j=A、B)

TBTER 寄存器是 8 位可读写寄存器, 设定是否抑止用于互补 PWM 模式的缓冲寄存器到暂存器的传送以及是否联动中断减少功能。MTU 有 2 个 TBTER 寄存器。

表 18.44 TBTER.BTE[1:0] 位的设定

bit1	bit0	说明
BTE1	BTE0	
0	0	不抑止缓冲寄存器到暂存器的传送 (注 1), 也不联动中断减少功能。
0	1	抑止缓冲寄存器到暂存器的传送。
1	0	缓冲寄存器到暂存器的传送联动中断减少功能 (注 2)。
1	1	不能设定。

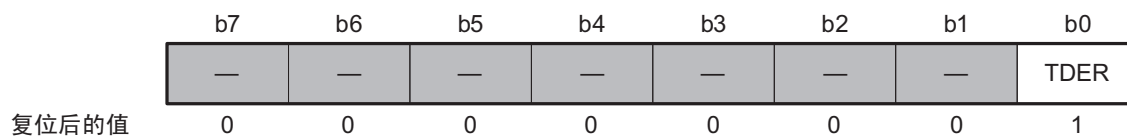
注 1. 根据 TMDR 的 MD[3:0] 位的设定进行传送, 详细内容请参照“18.3.8 互补 PWM 模式”。

注 2. 在禁止中断减少功能时 (将定时器的中断减少设定寄存器 (TITCR) 的 T3AEN 位和 T4VEN 位置“0”, 或者将 TITCR 的减少次数设定位 (T3ACOR 和 T4VCOR) 置“0”时), 必须设定为缓冲传送不联动中断减少功能 (将定时器的缓冲传送寄存器 (TBTER) 的 BTE1 位置“0”)。

在禁止中断减少功能时, 如果设定为缓冲传送联动中断减少功能, 就不进行缓冲传送。

18.2.29 定时器的死区时间允许寄存器 (TDER)

地址 MTUA.TDER 0008 8634h、MTUB.TDER 0008 8A34h



位	符号	位名	功能	R/W
b0	TDER	死区时间允许寄存器位	0: 不生成死区时间 1: 生成死区时间 (注1)	R/(W)
b7-b1	—	保留位	读写值都为“0”。	R/W

注 1. 必须设定为 $TDDR \geq 1$ 。

TDER 寄存器是 8 位可读写寄存器，通道 3 和通道 9 各有 1 个 TDER 寄存器，能控制互补 PWM 模式的死区时间的生成。MTU 有 2 个 TDER 寄存器。必须在 TCNT 停止计数的状态下设定 TDER 寄存器。

TDER 位 (死区时间允许寄存器位)

此位设定是否生成死区时间。

[为“0”的条件]

- 在 TDER 为“1”的状态下读 TDER 后写“0”时

18.2.30 定时器的波形控制寄存器 (TWCR)

地址 MTUA.TWCR 0008 8660h MTUB.TWCR 0008 8A60h

	b7	b6	b5	b4	b3	b2	b1	b0
	CCE	—	—	—	—	—	—	WRE
复位后的值	0 ^(注1)	0	0	0	0	0	0	0

注1. 除了互补PWM模式1以外, 不能设定为“1”。

位	符号	位名	功能	R/W
b0	WRE	抑制初始输出允许位	0: 输出 TOCR 寄存器设定的初始输出值 1: 抑制初始输出	R/(W)
b6-b1	—	保留位	读写值都为“0”。	R/W
b7	CCE	比较匹配清除允许位	0: 不通过 MTUn.TGRA 的比较匹配清除计数器 1: 通过 MTUn.TGRA 的比较匹配清除计数器	R/(W)

【符号说明】 n=3、9

TWCR 寄存器是 8 位可读写寄存器。MTUA.TWCR 寄存器控制在互补 PWM 模式中发生 MTU3.TNCT 和 MTU4.TNCT 的同步计数清除时的输出波形以及设定是否通过 MTU3.TGRA 的比较匹配清除计数器。MTUB.TWCR 寄存器控制在互补 PWM 模式中发生 MTU9.TNCT 和 MTU10.TNCT 的同步计数清除时的输出波形以及设定是否通过 MTU9.TGRA 的比较匹配清除计数器。

必须在 TCNT 停止计数的状态下设定 TWCR.CCE 位和 TWCR.WRE 位。

WRE 位 (抑制初始输出允许位)

此位选择在互补 PWM 模式中发生同步计数清除时的输出波形。

只有在互补 PWM 模式的波谷 Tb 区间发生同步清除时, 才能通过此功能抑制初始输出。如果在其他区间发生同步清除, 就输出 TOCR 寄存器设定的初始值, 与 TWCR.WRE 位的设定无关。如果在 MTUn.TCNT 和 MTUm.TCNT 开始计数后的波谷 Tb 区间发生同步清除, 也输出 TOCR 寄存器设定的初始值 (n=3、9, m=4、10)。

有关互补 PWM 模式的波谷 Tb 区间, 请参照图 18.41。

[为“1”的条件]

- 在 TWCR.WRE 为“0”并且在读 TWCR.WRE 后给 TWCR.WRE 写“1”时

CCE 位 (比较匹配清除允许位)

此位设定在互补 PWM 模式中是否通过 TGRAn 的比较匹配清除计数器 (n=3、9)。

[为“1”的条件]

- 在 CCE 为“0”并且在读 CCE 后写“1”时

18.2.31 和总线主控的接口

定时器的计数器 (TCNT)、通用寄存器 (TGR)、定时器的副计数器 (TCNTS)、定时器的周期缓冲寄存器 (TCBR)、定时器的死区时间数据寄存器 (TDDR)、定时器的周期数据寄存器 (TCDR)、定时器的 A/D 转换开始请求控制寄存器 (TADCR)、定时器的 A/D 转换开始请求周期设定寄存器 (TADCOR) 和定时器的 A/D 转换开始请求周期设定缓冲寄存器 (TADCOBR) 都是 16 位寄存器。因为和总线主控之间的数据总线宽度为 16 位, 所以能以 16 位为单位进行读写, 而不能以 8 位为单位进行读写。必须总是以 16 位为单位进行存取。

上述以外的寄存器是 8 位寄存器, 必须以 8 位为单位进行读写。

18.3 运行说明

18.3.1 概要

各通道有 TCNT 和 TGR。TCNT 进行递增计数，能进行自由运行、周期计数器运行或者外部事件计数运行。TGR 能分别用作输入捕捉寄存器或者输出比较寄存器。

(1) 计数器的运行

如果将 TSTR 的 CST0 ~ CST4 位和 MTUn.TSTR 的 CSTU5 位、CSTV5 位、CSTW5 位置“1”，对应通道的 TCNT 就开始计数。能用作自由运行计数器和周期计数器等 (n=5、11)。

(a) 计数运行的设定步骤例子

计数器运行的设定步骤例子如图 18.5 所示。

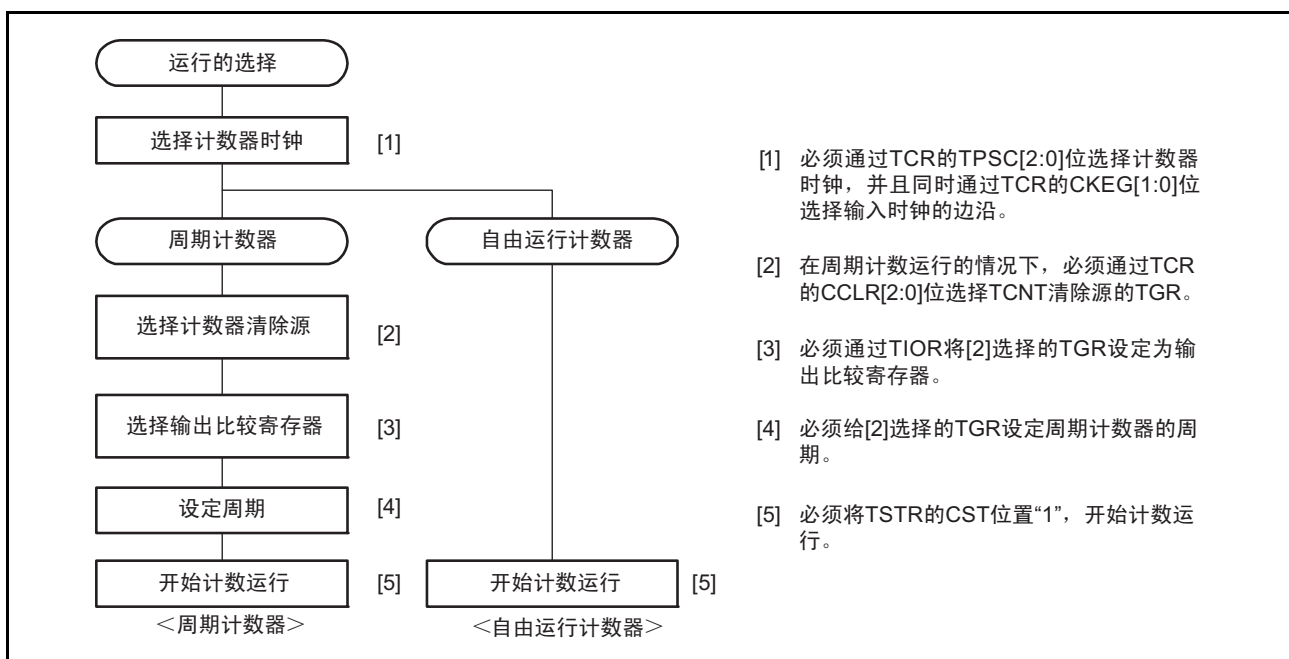


图 18.5 计数器运行的设定步骤例子

(b) 自由运行计数的运行和周期计数的运行

MTU 的 TCNT 在复位后立即被全部设定为自由运行计数器。如果将 TSTR 的对应位置“1”，就作为自由运行计数器开始递增计数。如果 TCNT 发生上溢 (FFFFh→0000h) 并且对应的 TIER 寄存器的 TCIEV 位为“1”，MTU 就请求中断。TCNT 在发生上溢后从“0000h”开始继续递增计数。

自由运行计数器的运行如图 18.6 所示。

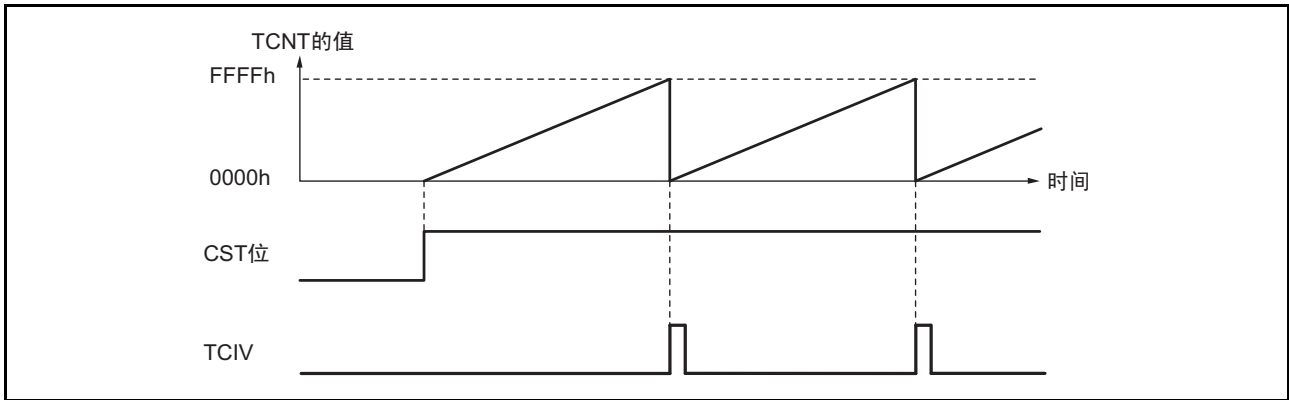


图 18.6 自由运行计数器的运行

当选择比较匹配作为 TCNT 的清除源时，对应通道的 TCNT 进行周期计数。将用于设定周期的 TGR 设定为输出比较寄存器，并且由 TCR 的 CCLR[2:0] 位选择通过比较匹配进行计数器清除。如果在设定后将 TSTR 的对应位置“1”，就作为周期计数器开始递增计数。如果计数值和 TGR 的值相同，TCNT 就变为“0000h”。

此时，如果对应的 TIER 的 TGIE 位为“1”，MTU 就请求中断。TCNT 在比较匹配后从“0000h”开始继续递增计数。

周期计数器的运行如图 18.7 所示。

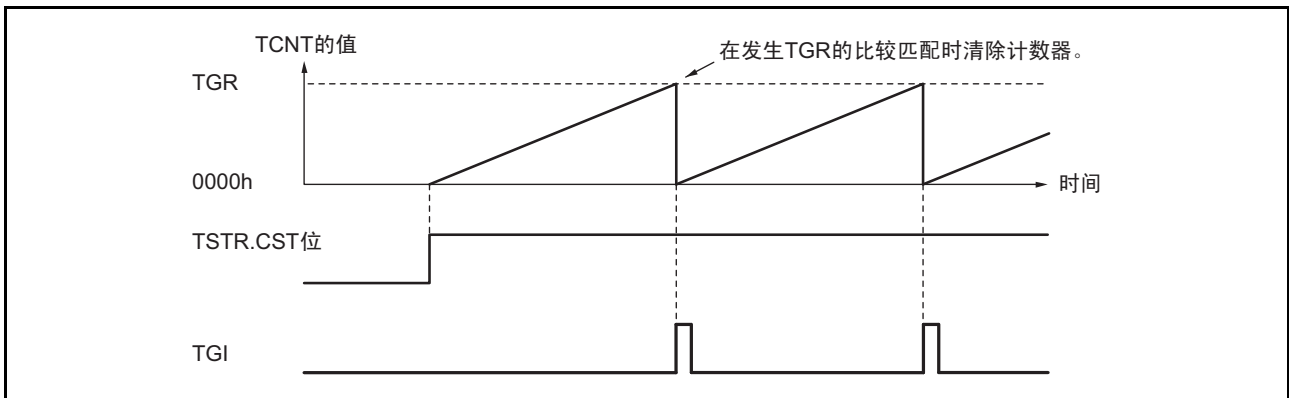


图 18.7 周期计数器的运行

(2) 通过比较匹配进行的波形输出功能

MTU 能通过比较匹配从对应的输出引脚输出 Low 电平、High 电平或者进行交替输出。

(a) 通过比较匹配进行波形输出运行的设定步骤例子

通过比较匹配进行波形输出运行的设定步骤例子如图 18.8 所示。

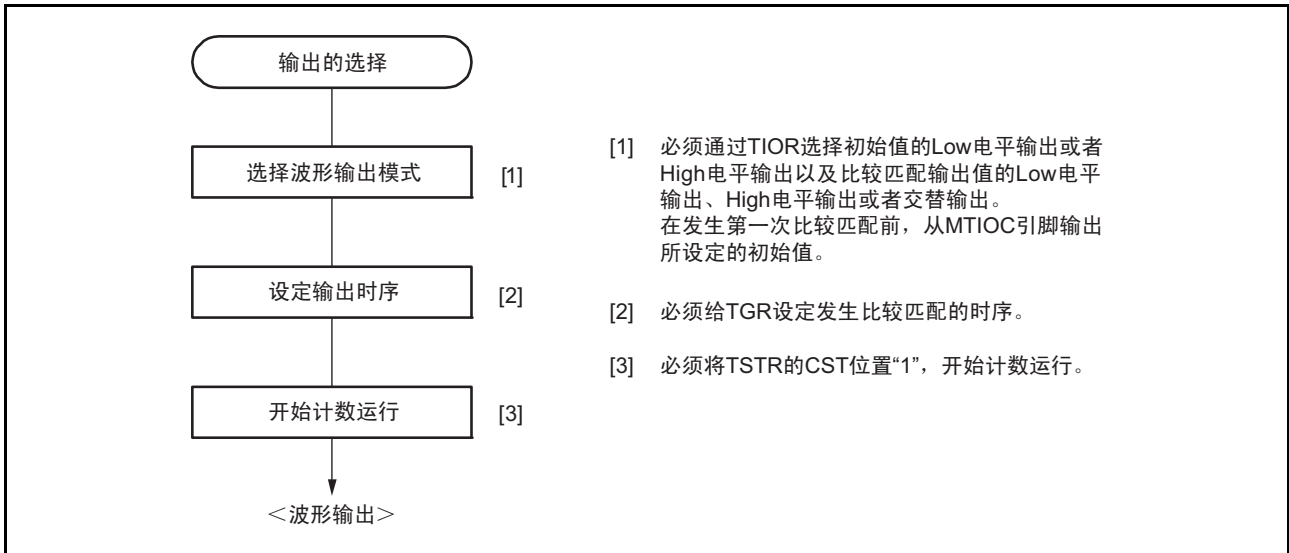


图 18.8 通过比较匹配进行波形输出的运行例子

(b) 波形输出的运行例子

输出 Low 电平 /High 电平的运行例子如图 18.9 所示。

在此例子中，假设 TCNT 进行自由运行的计数，通过比较匹配 A 输出 High 电平，通过比较匹配 B 输出 Low 电平。如果设定的电平和引脚的电平相同，引脚的电平就不变。

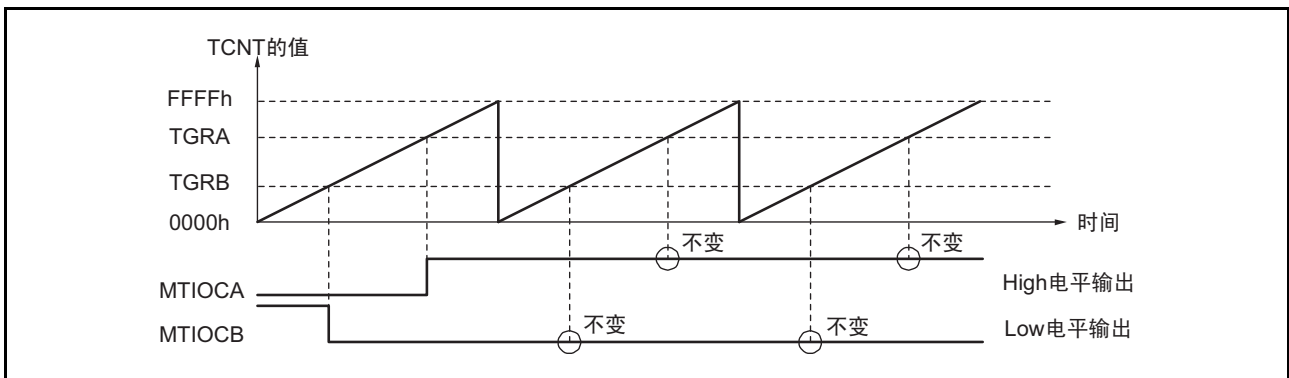


图 18.9 输出 Low 电平 /High 电平的运行例子

交替输出的运行例子如图 18.10 所示。

在此例子中，假设 TCNT 进行周期计数（通过比较匹配 B 进行计数器清除），并且比较匹配 A 和比较匹配 B 都进行交替输出。

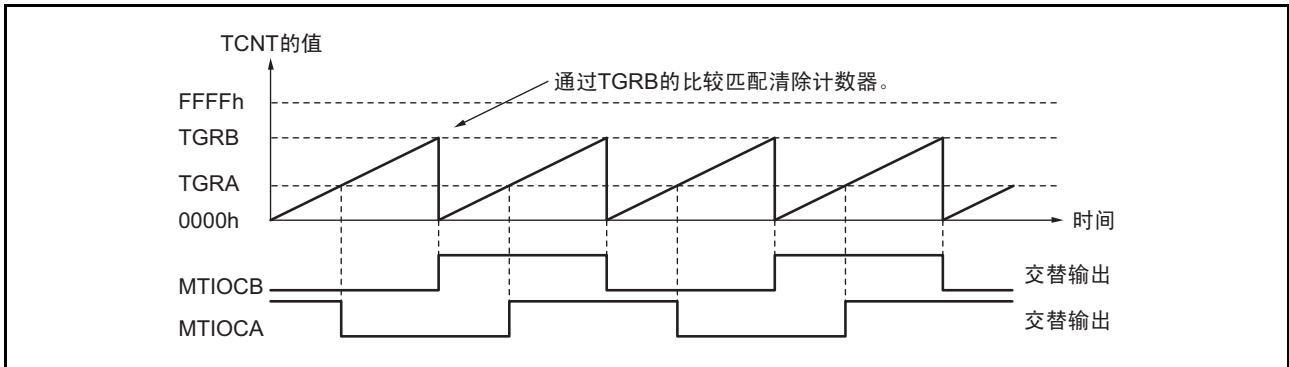


图 18.10 交替输出的运行例子

(3) 输入捕捉功能

能在检测到 MTIOC 引脚的输入边沿后将 TCNT 的值传送到 TGR。

检测边沿可选择上升沿、下降沿或者双边沿，而在通道 0、1、6、7 中也能将其他通道的计数器输入时钟或者比较匹配信号作为输入捕捉源。

注. 如果在通道 0、1、6、7 中将其他通道的计数器输入时钟作为输入捕捉的输入引脚，就不能选择 PCLK/1 作为输入捕捉的输入引脚的计数器输入时钟，否则就不发生输入捕捉。

(a) 输入捕捉运行的设定步骤例子

输入捕捉运行的设定步骤例子如图 18.11 所示。

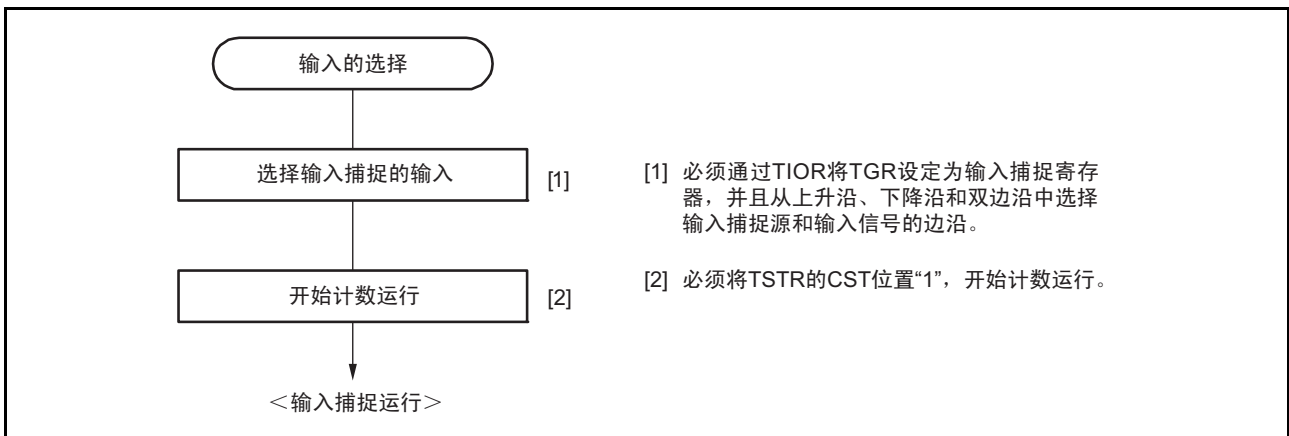


图 18.11 输入捕捉运行的设定例子

(b) 输入捕捉的运行例子

输入捕捉的运行例子如图 18.12 所示。

在此例子中，假设选择上升沿 / 下降沿的双边沿作为 MTIOCA 引脚的输入捕捉的输入边沿，选择下降沿作为 MTIOCB 引脚的输入捕捉的输入边沿，并且在发生 TGRB 的输入捕捉时清除 TCNT 计数器。

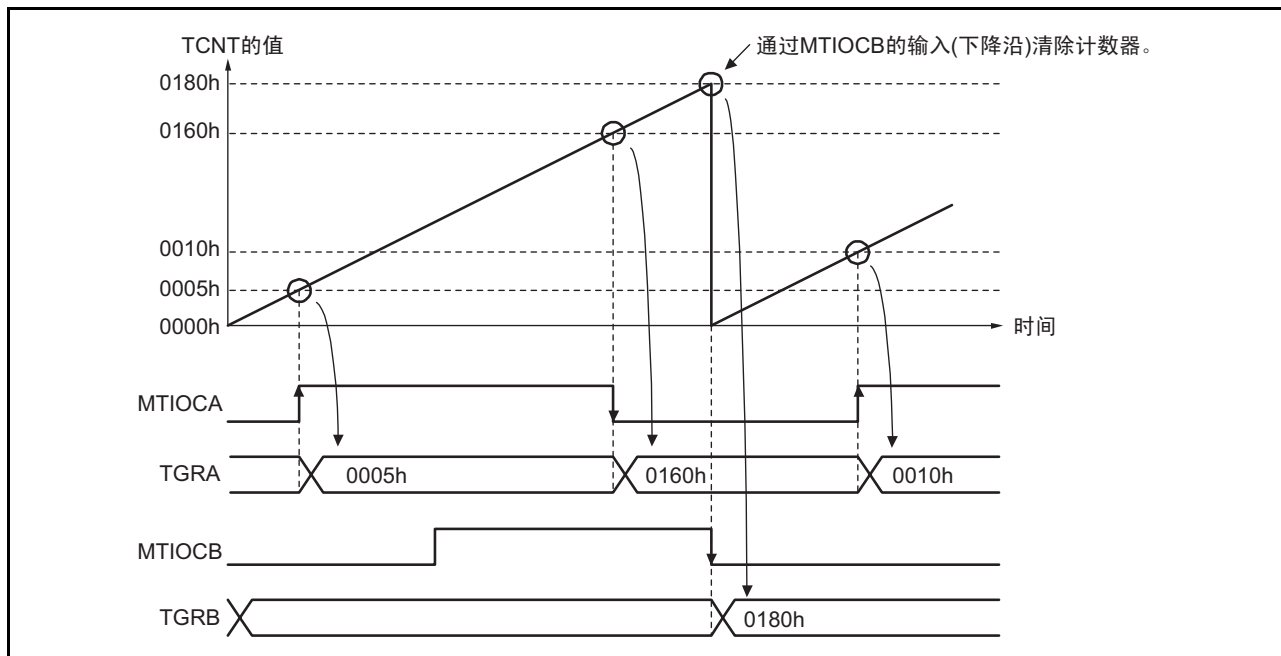


图 18.12 输入捕捉的运行例子

18.3.2 同步运行

能使用同步运行同时改写多个 TCNT 的值（同步预置），还能通过设定 TCR 同时清除多个 TCNT（同步清除）。

能通过同步运行对 1 个时基增加要运行的 TGR 个数。

通道 0 ~ 4 和通道 6 ~ 10 都能设定为同步运行。

通道 5 和通道 11 不能设定为同步运行。

(1) 同步运行的设定步骤例子

同步运行的设定步骤例子如图 18.13 所示。

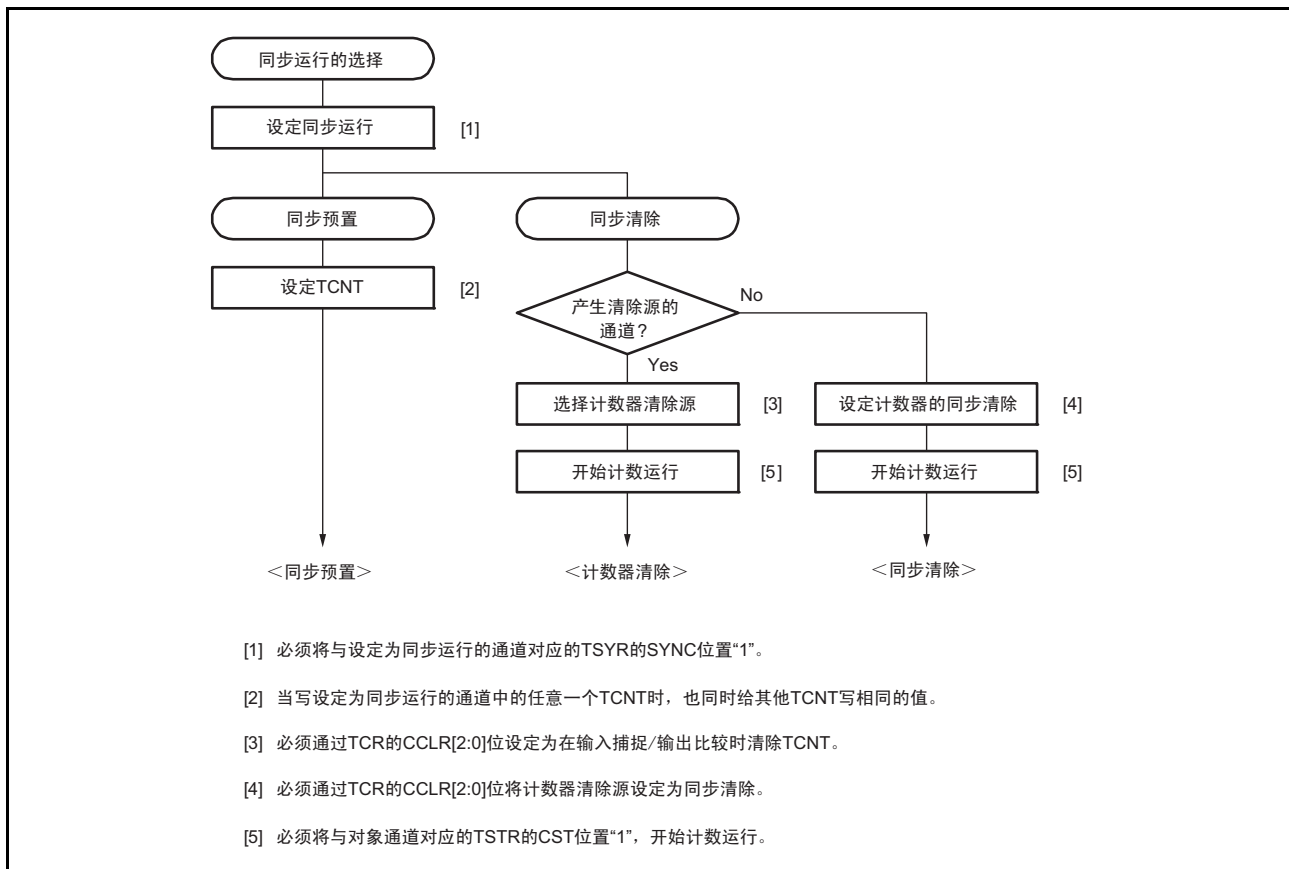


图 18.13 同步运行的设定步骤例子

(2) 同步运行的例子

同步运行的例子如图 18.14 所示。

在此例子中，假设将通道 0 ~ 2 设定为同步运行和 PWM 模式 1，将通道 0 的计数器清除源设定为 MTU0.TGRB 的比较匹配，将通道 1 和通道 2 的计数器清除源设定为同步清除。

从 MTIOC0A、MTIOC1A、MTIOC2A 引脚输出 3 相 PWM 波形。此时，通道 0 ~ 2 的 TCNT 进行同步预置并且通过 MTU0.TGRB 的比较匹配进行同步清除，MTU0.TGRB 设定的数据为 PWM 周期。

有关 PWM 模式，请参照“18.3.5 PWM 模式”。

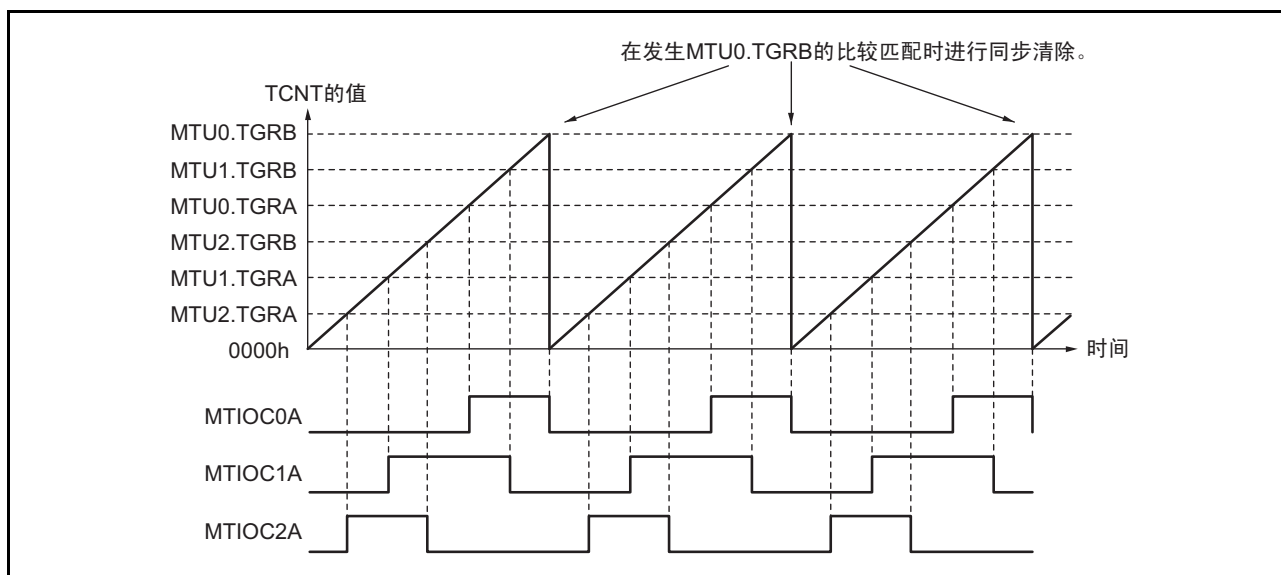


图 18.14 同步运行的例子

18.3.3 缓冲运行

缓冲运行是通道 0、3、4、6、9、10 具有的功能，能将 TGRC 和 TGRD 用作缓冲寄存器，在通道 0 和通道 6 中也能将 TGRF 用作缓冲寄存器。

将 TGR 设定为输入捕捉寄存器和比较匹配寄存器时的缓冲运行内容不同。

注. MTUn.TGRE 不能被设定为输入捕捉寄存器，而只能用作比较匹配寄存器 (n=0、6)。

缓冲运行时的寄存器组合如表 18.45 所示。

表 18.45 寄存器的组合

通道	定时器的通用寄存器	缓冲寄存器
MTU0、MTU6	TGRA	TGRC
	TGRB	TGRD
	TGRE	TGRF
MTU3、MTU9	TGRA	TGRC
	TGRB	TGRD
MTU4、MTU10	TGRA	TGRC
	TGRB	TGRD

- TGR 为输出比较寄存器的情况

如果发生比较匹配，就将对应通道的缓冲寄存器的值传送到定时器的通用寄存器。此运行如图 18.15 所示。

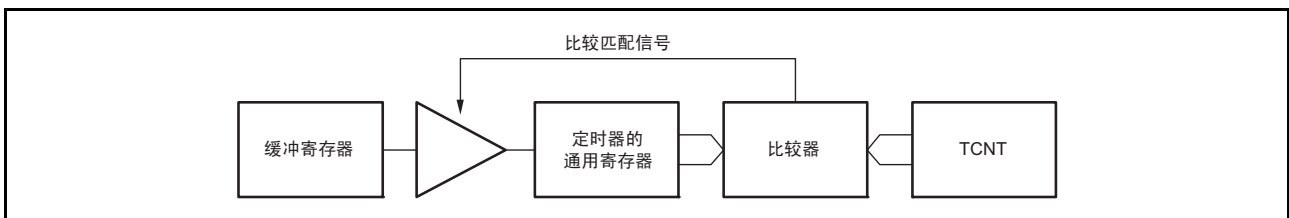


图 18.15 比较匹配的缓冲运行

- TGR 为输入捕捉寄存器的情况

如果发生输入捕捉，就在将 TCNT 的值传送到 TGR 的同时，将以前保存的 TGR 值传送到缓冲寄存器。此运行如图 18.16 所示。

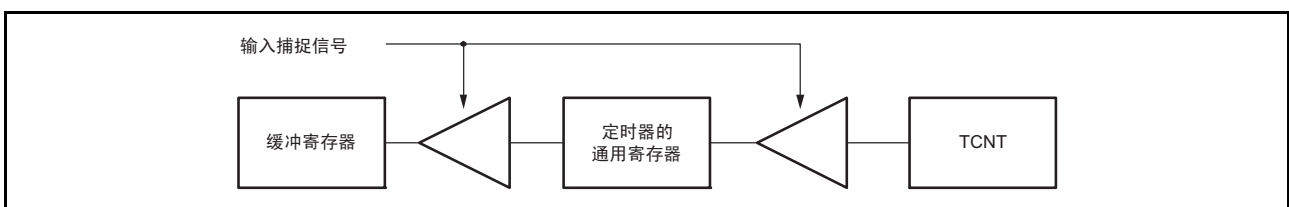


图 18.16 输入捕捉的缓冲运行

(1) 缓冲运行的设定步骤例子

缓冲运行的设定步骤例子如图 18.17 所示。

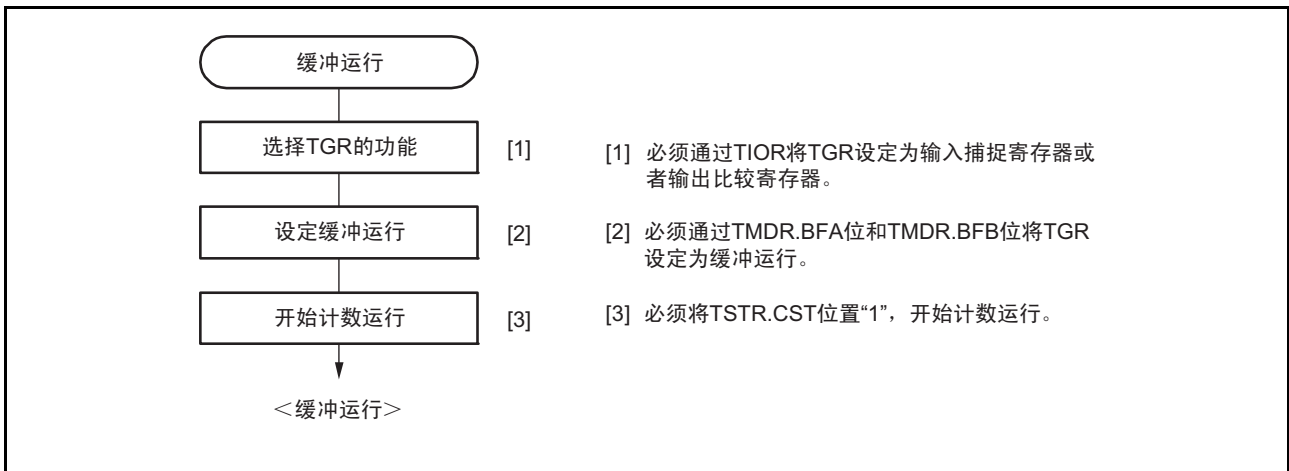


图 18.17 缓冲运行的设定步骤例子

(2) 缓冲运行的例子

(a) TGR 为输出比较寄存器的情况

将通道 0 设定为 PWM 模式 1 并且将 TGRA 和 TGRC 设定为缓冲运行时的运行例子如图 18.18 所示。在此例子中，假设通过比较匹配 B 进行 TCNT 的清除，在比较匹配 A 时输出 High 电平，在比较匹配 B 时输出 Low 电平，将 TBTM 的 TTSA 位置“0”。

因为设定了缓冲运行，所以当发生比较匹配 A 时，就在输出发生变化的同时将缓冲寄存器 TGRC 的值传送到定时器的通用寄存器 TGRA。每当发生比较匹配 A 时，重复此操作。

有关 PWM 模式，请参照“18.3.5 PWM 模式”。

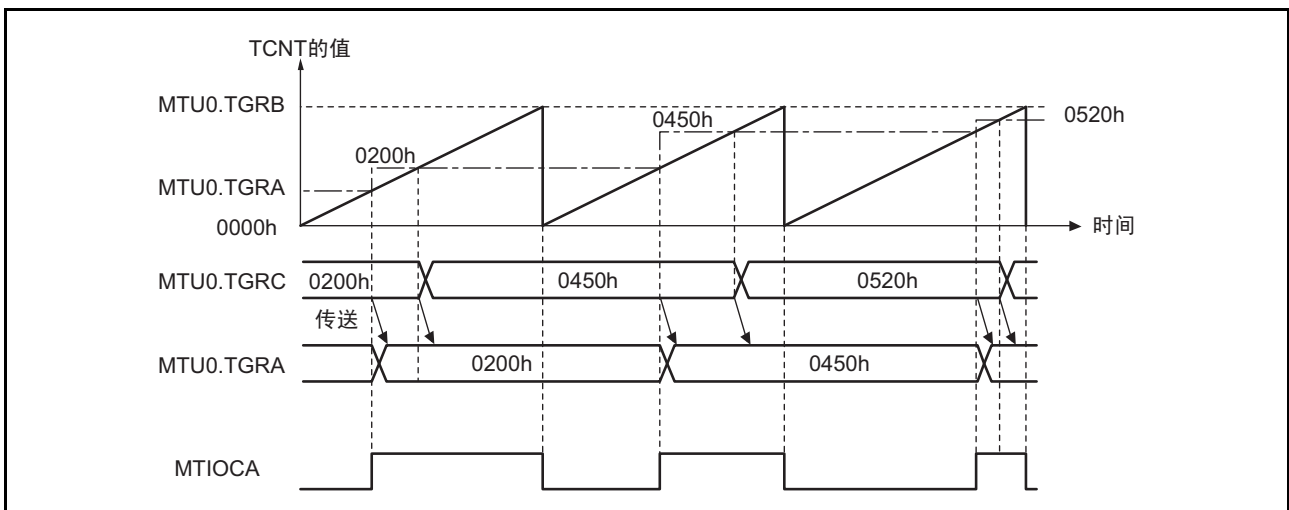


图 18.18 缓冲运行的例子 (1)

(b) TGR 为输入捕捉寄存器的情况

将 TGRA 设定为输入捕捉寄存器并且将 TGRA 和 TGRC 设定为缓冲运行时的运行例子如图 18.19 所示。

在 TGRA 的输入捕捉时清除 TCNT 计数器，选择上升沿 / 下降沿的双边沿作为 MTIOCA 引脚的输入捕捉的输入边沿。

因为设定了缓冲运行，所以在通过输入捕捉 A 将 TCNT 的值保存到 TGRA 的同时，将以前保存在 TGRA 的值传送到 TGRC。

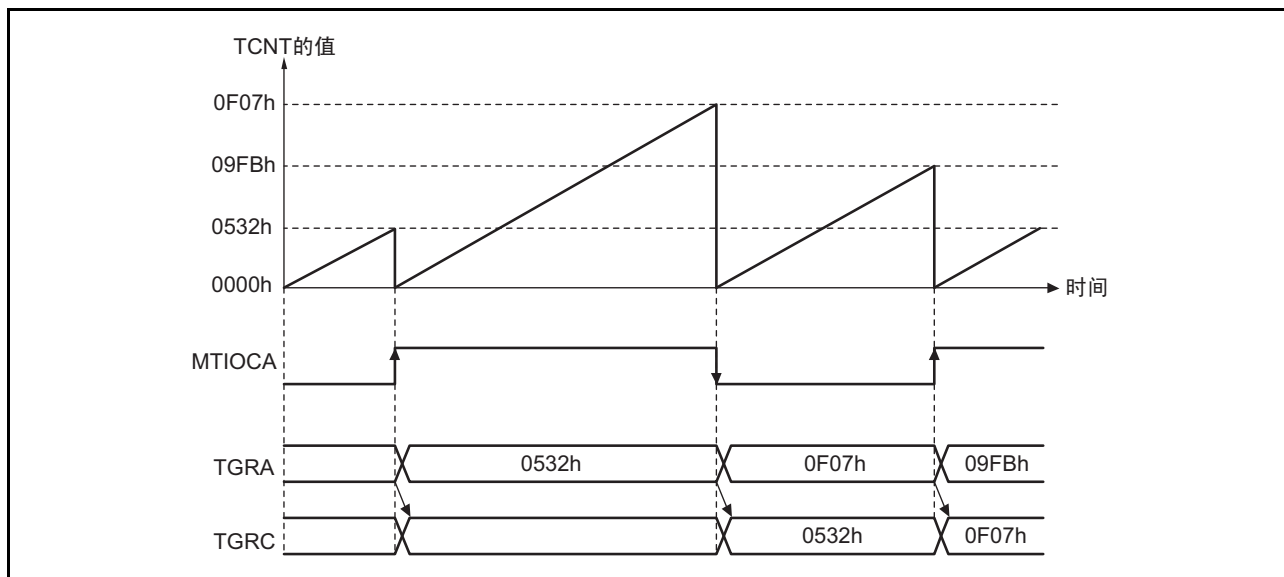


图 18.19 缓冲运行的例子 (2)

(3) 从缓冲运行时的缓冲寄存器到定时器的通用寄存器的传送时序选择

能通过设定缓冲运行传送模式寄存器 (MTUn.TBTM、MTUm.TBTM、MTUi.TBTM)，选择通道 0 和通道 6 为 PWM 模式 1 和 PWM 模式 2 时以及通道 3、4、9、10 为 PWM 模式 1 时的从缓冲寄存器到定时器的通用寄存器的传送时序。能选择在发生比较匹配时 (初始值) 或者在清除 TCNT 时进行缓冲传送。在此，清除 TCNT 时是指当以下的任意一个条件成立时 (n=0、6, m=3、9, i=4、10)。

- TCNT 发生上溢时 (FFFFh→0000h)
- 在计数器运行过程中给 TCNT 写“0000h”时
- 通过 TCR 的 CCLR[2:0] 位设定的清除源使 TCNT 变为“0000h”时

注. 必须在 TCNT 停止计数的状态下设定 TBTM 寄存器。

将通道 0 设定为 PWM 模式 1 并且将 MTU0.TGRA 和 MTU0.TGRC 设定为缓冲运行时的运行例子如图 18.20 所示。通过比较匹配 B 进行 MTU0.TCNT 的清除，通过比较匹配 A 输出 High 电平，通过比较匹配 B 输出 Low 电平，将 MTU0.TBTM 的 TTSA 位置“1”。

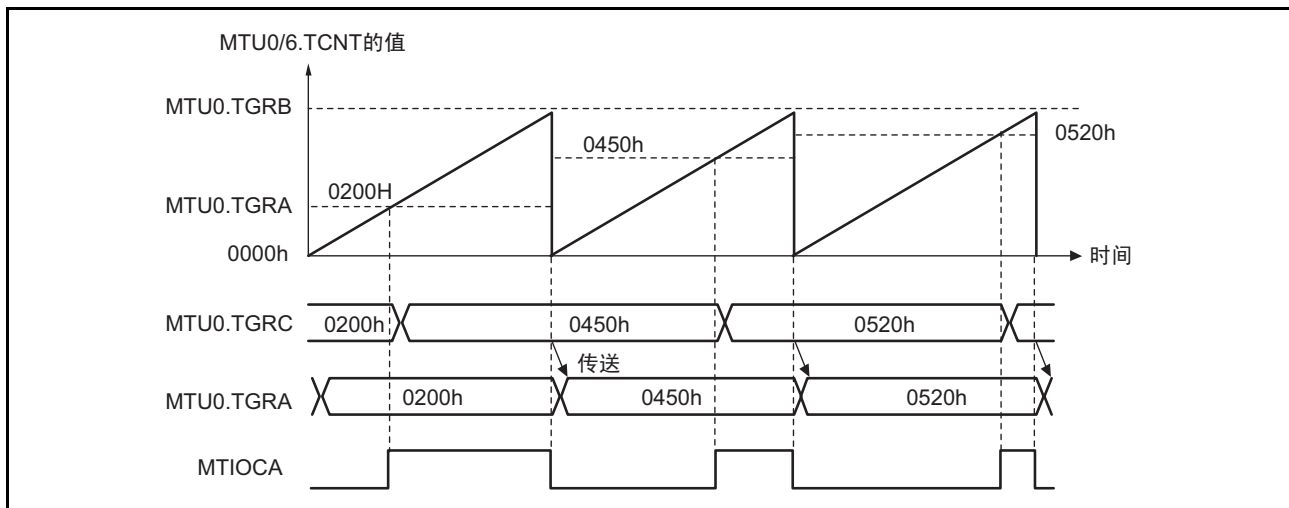


图 18.20 选择在清除 MTU0.TCNT 时进行从 MTU0.TGRC 到 MTU0.TGRA 的缓冲传送的运行例子

18.3.4 级联运行

级联运行是将 2 个通道的 16 位计数器连接为 32 位计数器的功能。

通过 TCR 的 TPSC[2:0] 位将通道 1 和通道 7 的计数器时钟设定为通过 MTU1.TCNT 或者 MTU7.TCNT 的上溢 / 下溢进行计数，实现级联运行的功能。

只在低 16 位的 TCNT 为相位计数模式时发生下溢。

级联的组合如表 18.46 所示。

注. 如果将通道 1 和通道 7 设定为相位计数模式，计数器时钟的设定就无效，并且在相位计数模式中独立运行。

表 18.46 级联的组合

组合	高 16 位	低 16 位
通道 1 和通道 2 (通道 7 和通道 8)	MTU1.TCNT (MTU7.TCNT)	MTU2.TCNT (MTU8.TCNT)

在进行级联运行时，如果 MTUn.TCNT 和 MTUm.TCNT 同时进行输入捕捉，就能通过输入捕捉控制寄存器 (TICCR) 进行设定，将输入引脚追加到输入捕捉条件。对取得原有输入引脚输入电平和追加输入引脚输入电平的逻辑“或”的信号执行输入捕捉条件的边沿检测。因此，当其中任意一个为 High 电平时，即使另外一个发生变化，也不能执行边沿检测。详细内容请参照“(4) 级联运行的例子 (c)”。有关级联时的输入捕捉，请参照“18.6.22 级联中的 MTUn.TCNT 和 MTUm.TCNT 的同时输入捕捉”。

(n=1、7 m=2、8)

TICCR 的设定值和输入捕捉的输入引脚的对应如表 18.47 所示。

表 18.47 TICCR 的设定值和输入捕捉的输入引脚的对应

对象输入捕捉	TICCR 的设定值	输入捕捉的输入引脚
MTUn.TCNT 到 MTUn.TGRA 的 输入捕捉	I2AE 位 =0 (初始值)	MTIOCnA
	I2AE 位 =1	MTIOCnA、MTIOCmA
MTUn.TCNT 到 MTUn.TGRB 的 输入捕捉	I2BE 位 =0 (初始值)	MTIOCnB
	I2BE 位 =1	MTIOCnB、MTIOCmB
MTUm.TCNT 到 MTUm.TGRA 的 输入捕捉	I1AE 位 =0 (初始值)	MTIOCmA
	I1AE 位 =1	MTIOCmA、MTIOCnA
MTUm.TCNT 到 MTUm.TGRB 的 输入捕捉	I1BE 位 =0 (初始值)	MTIOCmB
	I1BE 位 =1	MTIOCmB、MTIOCnB

【符号说明】(n=1、7, m=2、8)

(1) 级联运行的设定步骤例子

级联运行的设定步骤例子如图 18.21 所示。



图 18.21 级联运行的设定步骤例子

(2) 级联运行的例子 (a)

MTU1.TCNT 通过 MTU2.TCNT 的上溢/下溢进行计数并且将通道 2 设定为相位计数模式时的运行如图 18.22 所示。

MTU1.TCNT 通过 MTU2.TCNT 的上溢进行递增计数，通过 MTU2.TCNT 的下溢进行递减计数。

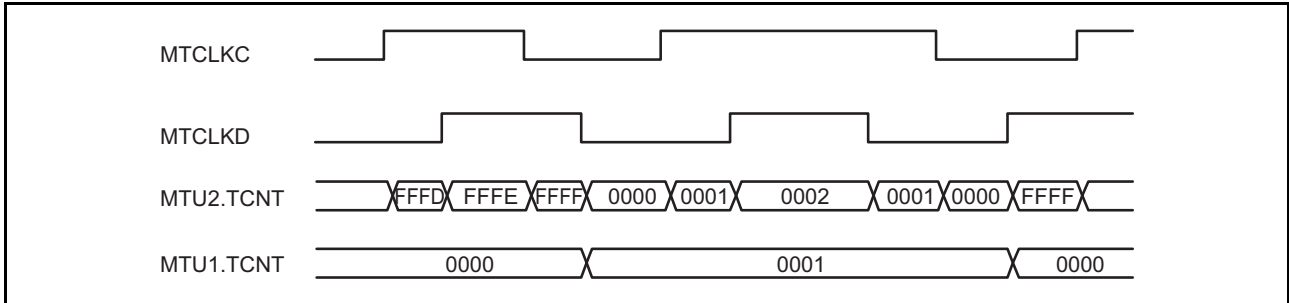


图 18.22 级联运行的例子 (a)

(3) 级联运行的例子 (b)

在将 MTU1.TCNT 和 MTU2.TCNT 进行级联，并且通过将 TICCR.I2AE 位置“1”使 MTIOC2A 引脚追加到 MTU1.TGRA 输入捕捉条件时的运行如图 18.23 所示。在此例子中，将 MTU1.TIOR 的 IOA[3:0] 设定为在 MTIOC1A 的上升沿进行输入捕捉，将 MTU2.TIOR 的 IOA[3:0] 设定为在 MTIOC2A 的上升沿进行输入捕捉。

此时，MTIOC1A 和 MTIOC2A 的上升沿被设定为 MTU1.TGRA 的输入捕捉条件，MTIOC2A 的上升沿被设定为 MTU2.TGRA 的输入捕捉条件。

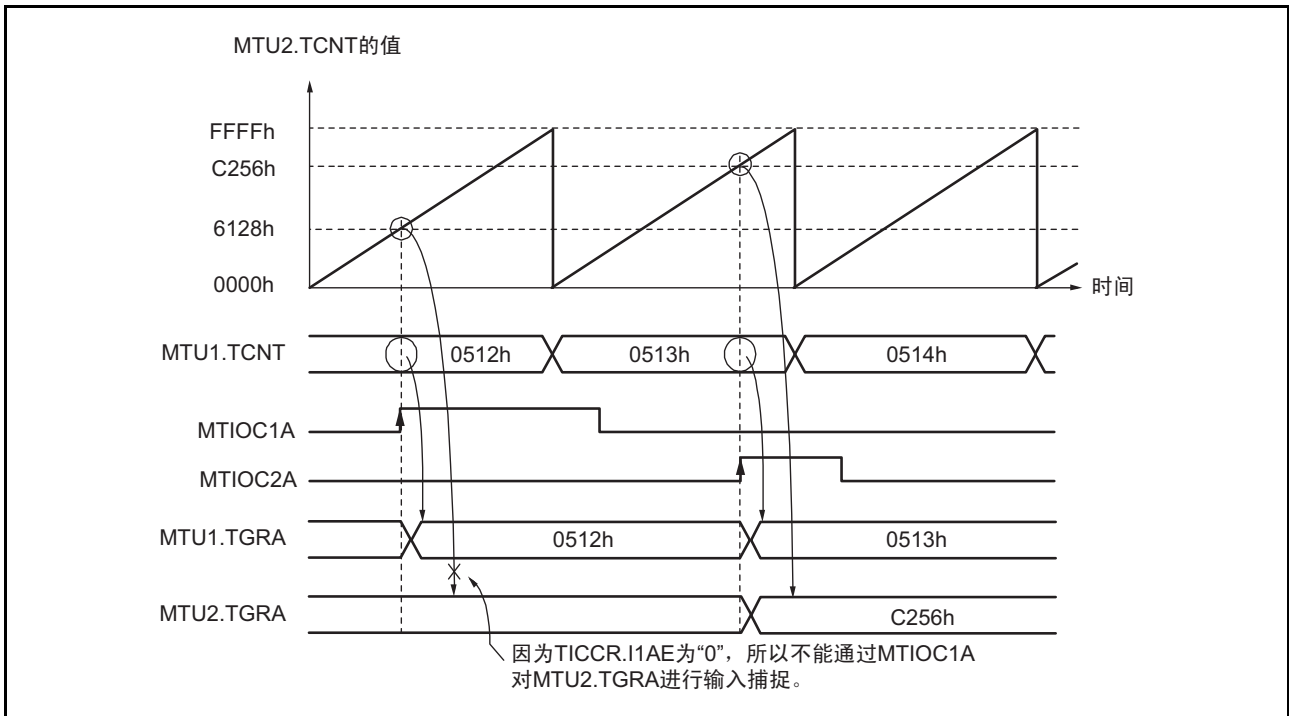


图 18.23 级联运行的例子 (b)

(4) 级联运行的例子 (c)

将 MTU1.TCNT 和 MTU2.TCNT 进行级联，并且通过将 TICCR.I2AE 位和 TICCR.I1AE 位置“1”使 MTIOC2A 引脚追加到 MTU1.TGRA 的输入捕捉条件以及使 MTIOC1A 引脚追加到 MTU2.TGRA 的输入捕捉条件时的运行如图 18.24 所示。在此例子中，将 MTU1.TIOR 和 MTU2.TIOR 的 IOA[3:0] 都设定为在双边沿进行输入捕捉。此时，MTIOC1A 输入和 MTIOC2A 输入的 OR 为 MTU1.TGRA 和 MTU2.TGRA 的输入捕捉条件。

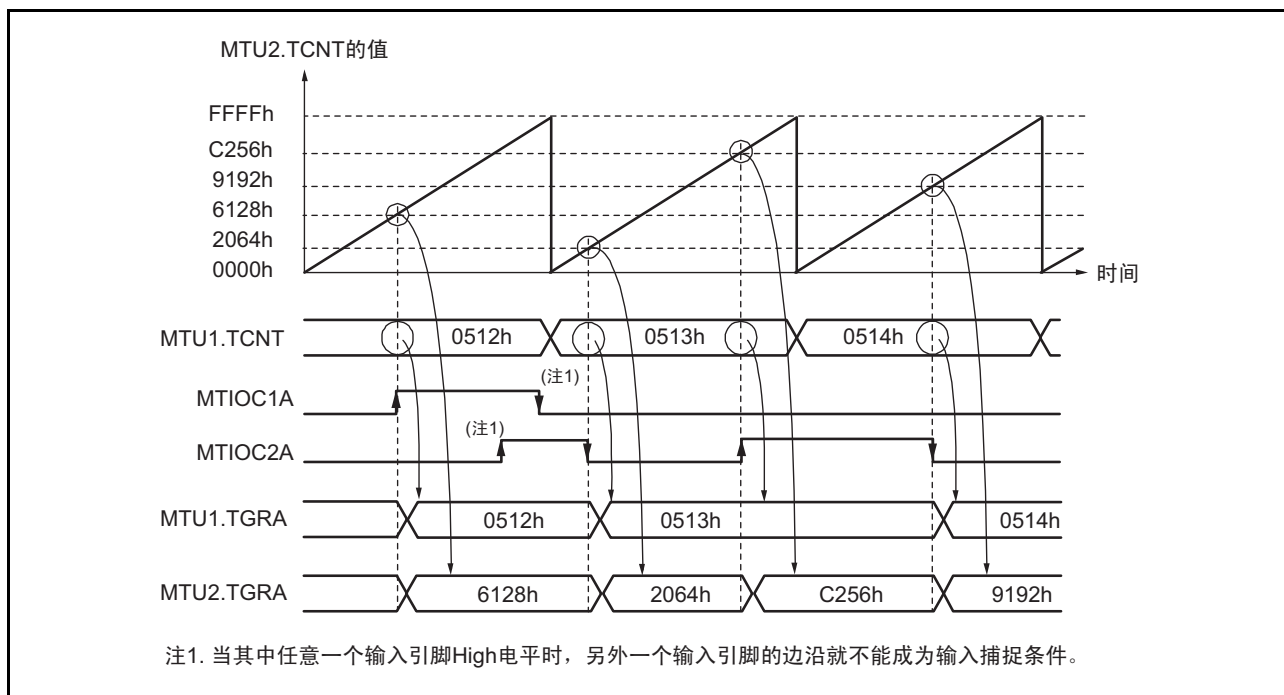


图 18.24 级联运行的例子 (c)

(5) 级联运行的例子 (d)

在将 MTU1.TCNT 和 MTU2.TCNT 进行级联，并且通过将 TICCR 的 I2AE 位置“1”使 MTIOC2A 引脚追加到 MTU1.TGRA 的输入捕捉条件时的运行如图 18.25 所示。在此例子中，将 MTU1.TIOR 的 IOA[3:0] 设定为在发生 MTU0.TGRA 的比较匹配 / 输入捕捉时进行输入捕捉，将 MTU2.TIOR 的 IOA[3:0] 设定为在 MTIOC2A 的上升沿进行输入捕捉。

此时，因为将 MTU1.TIOR 设定为在发生 MTU0.TGRA 的比较匹配 / 输入捕捉时进行输入捕捉，所以即使将 TICCR 的 I2AE 位置“1”，MTIOC2A 的边沿也不会成为 MTU1.TGRA 的输入捕捉条件。

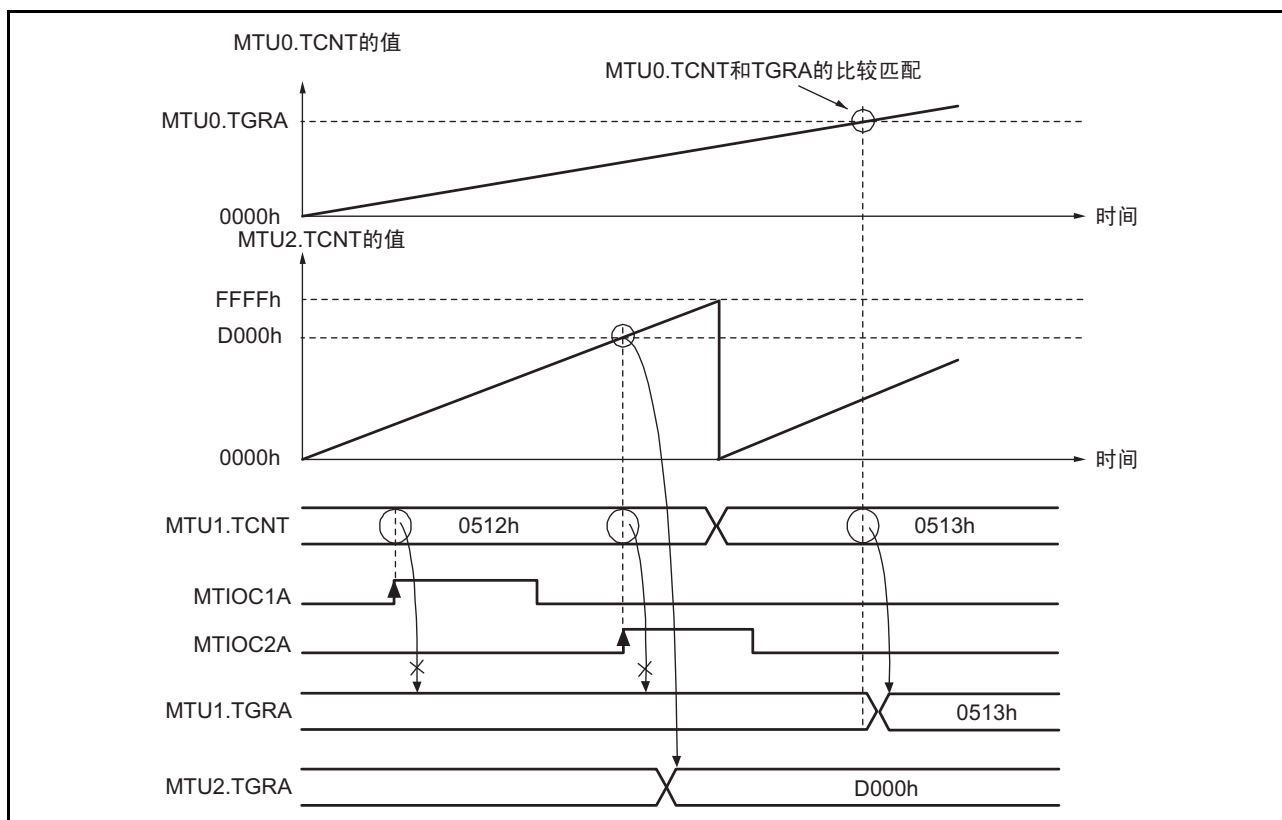


图 18.25 级联运行的例子 (d)

18.3.5 PWM 模式

PWM 模式是从输出引脚分别输出 PWM 波形的模式。各 TGR 比较匹配的输出电平可选择 Low 电平输出、High 电平输出或者交替输出。

能通过设定各 TGR，输出 0 ~ 100% 占空比的 PWM 波形。

能通过将 TGR 的比较匹配作为计数器的清除源，给该寄存器设定周期。能将全部通道分别设定为 PWM 模式，也能进行同步运行。

PWM 模式有以下 2 种模式：

(a) PWM 模式 1

TGRA 和 TGRB、TGRC 和 TGRD 配对使用，从 MTIOCA 引脚和 MTIOCC 引脚输出 PWM 波形。通过比较匹配 A 和比较匹配 C 从 MTIOCA 引脚和 MTIOCC 引脚进行 TIOR 的 IOA[3:0] 位和 IOC[3:0] 位指定的输出，并且通过比较匹配 B 和比较匹配 D 从 MTIOCA 引脚和 MTIOCC 引脚进行 TIOR 的 IOB[3:0] 位和 IOD[3:0] 位指定的输出，初始输出值为 TGRA 和 TGRC 的设定值。当配对使用的 TGR 的设定值相同时，即使发生比较匹配，输出值也不变。

在 PWM 模式 1 中，能进行最多 8 相的 PWM 波形输出。

(b) PWM 模式 2

将 1 个 TGR 用作周期寄存器而将其他 TGR 用作占空比寄存器，进行 PWM 波形输出。通过比较匹配进行 TIOR 指定的输出，并且通过同步寄存器的比较匹配进行计数器清除，各引脚的输出值为 TIOR 设定的初始值。如果周期寄存器和占空比寄存器的设定值相同，即使发生比较匹配，输出值也不变。

在 PWM 模式 2 中，能通过和同步运行的并用，进行最多 8 相的 PWM 波形输出。

PWM 的输出引脚和寄存器的对应如表 18.48 所示。

表 18.48 各 PWM 输出的寄存器和输出引脚

通道	寄存器	输出引脚	
		PWM 模式 1	PWM 模式 2
MTU0、MTU6	MTUn.TGRA (n=0、6)	MTIOC0A MTIOC6A	MTIOC0A
	MTUn.TGRB (n=0、6)		MTIOC6A
	MTUn.TGRC (n=0、6)	MTIOC0C MTIOC6C	MTIOC0B
	MTUn.TGRD (n=0、6)		MTIOC6B
MTU1、MTU7	MTUn.TGRA (n=1、7)	MTIOC1A MTIOC7A	MTIOC0C
	MTUn.TGRB (n=1、7)		MTIOC6C
MTU2、MTU8	MTUn.TGRA (n=2、8)	MTIOC2A MTIOC8A	MTIOC0D
	MTUn.TGRB (n=2、8)		MTIOC6D
MTU3、MTU9	MTUn.TGRA (n=3、9)	MTIOC3A MTIOC9A	不能设定。
	MTUn.TGRB (n=3、9)		
	MTUn.TGRC (n=3、9)	MTIOC3C	
	MTUn.TGRD (n=3、9)	MTIOC9C	
MTU4、MTU10	MTUn.TGRA (n=4、10)	MTIOC4A	
	MTUn.TGRB (n=4、10)	MTIOC10A	
	MTUn.TGRC (n=4、10)	MTIOC4C	
	MTUn.TGRD (n=4、10)	MTIOC10C	

注. 在 PWM 模式 2 中，不能对已设定周期的 TGR 进行 PWM 波形输出。

(1) PWM 模式的设定步骤例子

PWM 模式的设定步骤例子如图 18.26 所示。

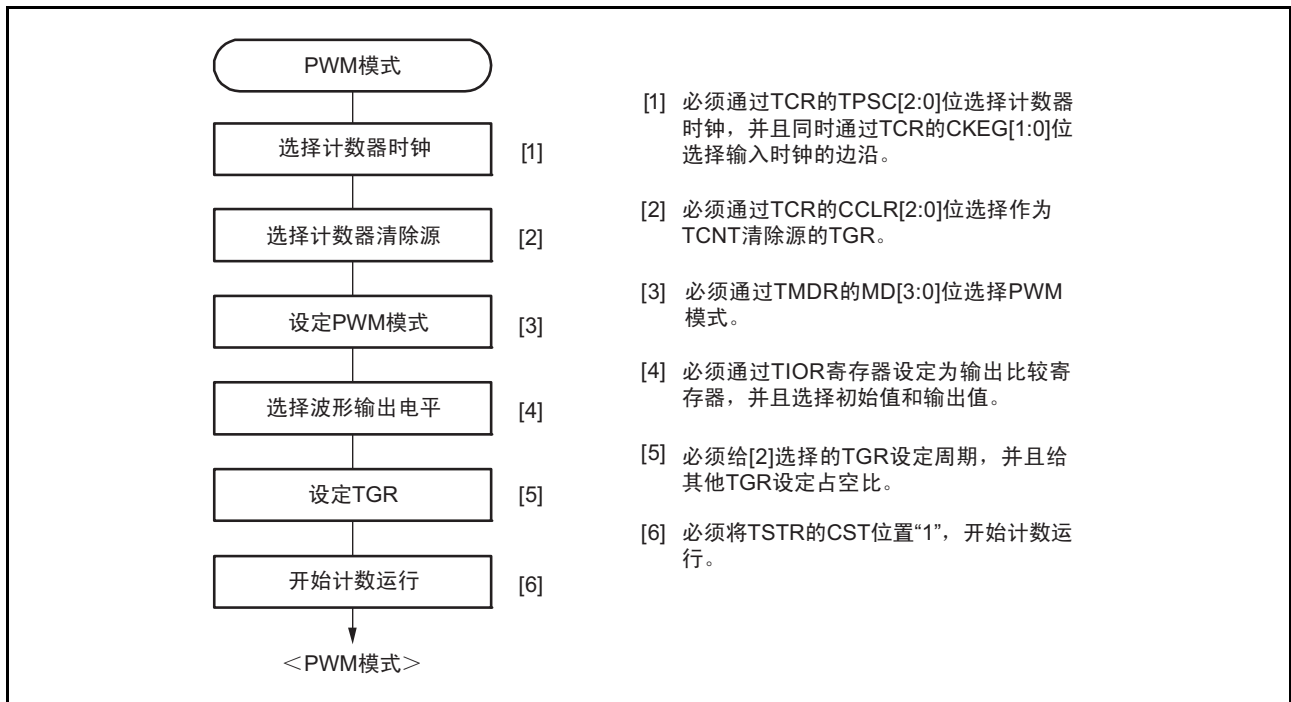


图 18.26 PWM 模式的设定步骤例子

(2) PWM 模式的运行例子

PWM 模式 1 的运行例子如图 18.27 所示。

在此例子中，假设将 TGRA 的比较匹配设定为 TCNT 的清除源，将 TGRA 的初始输出值和输出值设定为 Low 电平，将 TGRB 的输出值设定为 High 电平。

此时，TGRA 的设定值为周期，TGRB 的设定值为占空比。

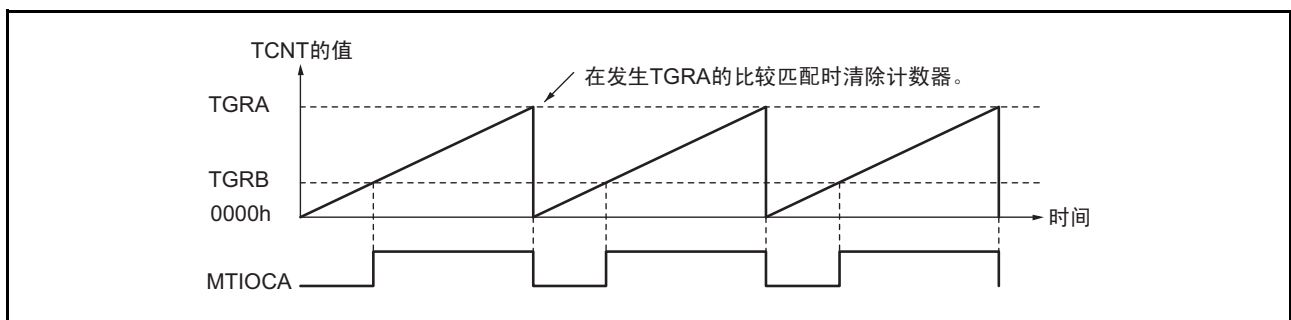


图 18.27 PWM 模式 1 的运行例子

PWM 模式 2 的运行例子如图 18.28 所示。

在此例子中，假设使通道 0 和通道 1 同步运行，将 MTU1.TGRB 的比较匹配设定为 TCNT 的清除源，将其其他 TGR (MTU0.TGRA ~ MTU0.TGRD、MTU1.TGRA) 的初始输出值设定为 Low 电平，将输出值设定为 High 电平，输出 5 相 PWM 波形。

此时，MTU1.TGRB 的设定值为周期，其他 TGR (MTU0.TGRA ~ MTU0.TGRD、MTU1.TGRA) 的设定值为各输出的占空比。

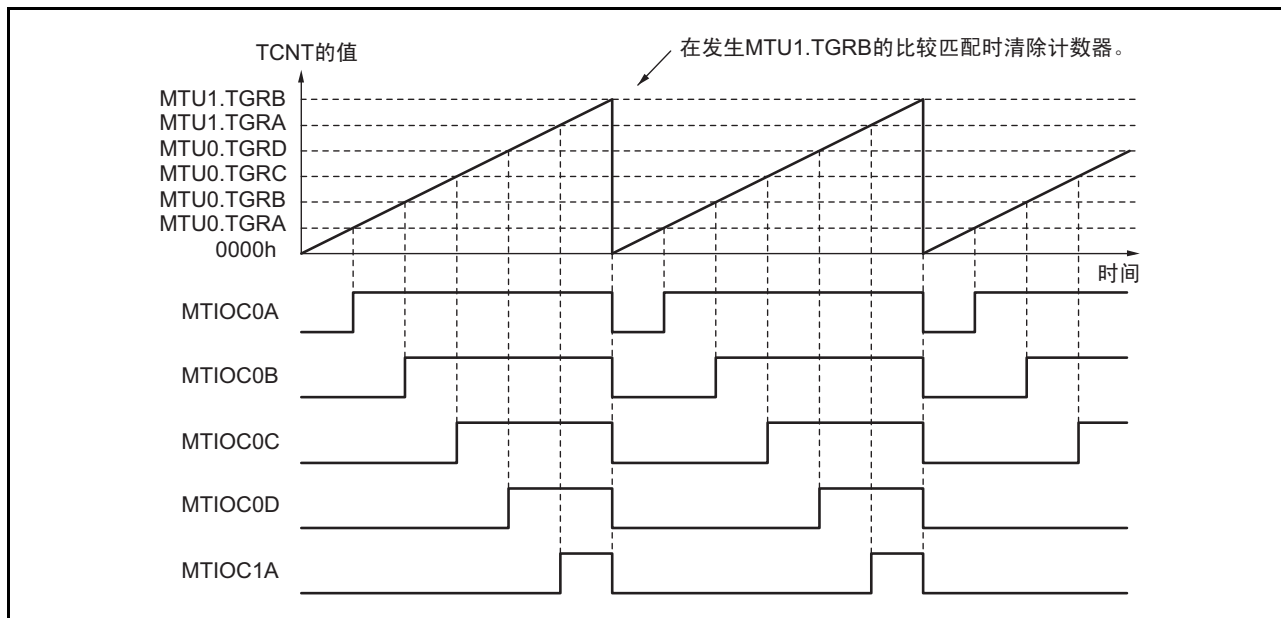


图 18.28 PWM 模式 2 的运行例子

在 PWM 模式中，占空比为 0% 和 100% 的 PWM 波形输出例子如图 18.29 所示。

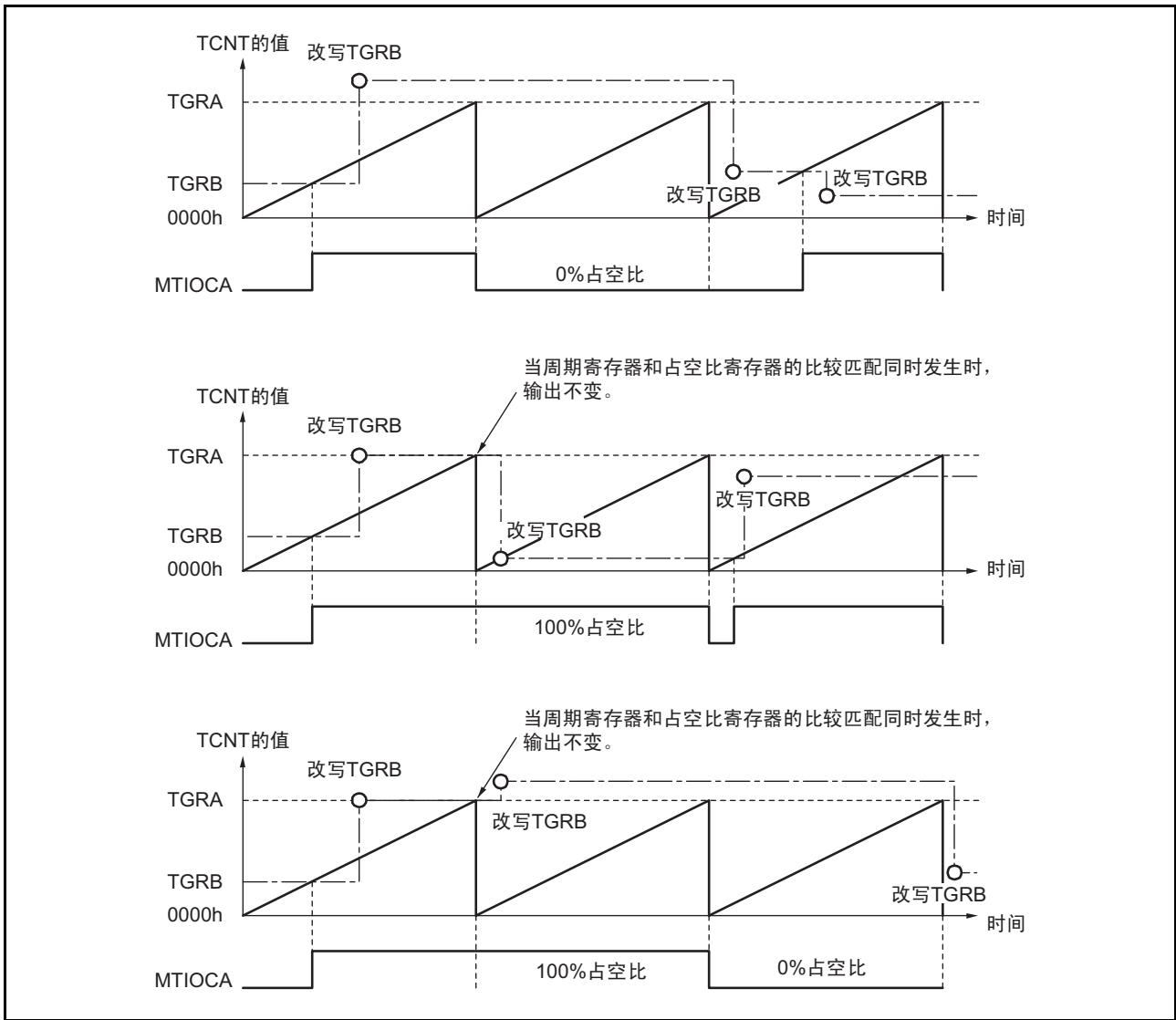


图 18.29 PWM 模式的占空比变更例子

18.3.6 相位计数模式

在相位计数模式中，通过设定通道 1 和通道 2（或者通道 7 和通道 8），检测 2 个外部时钟输入的相位差，并且 TCNT 进行递增 / 递减计数。

如果设定为相位计数模式，就选择外部时钟作为计数器输入时钟，并且 TCNT 作为递增 / 递减计数器运行，与 TCR 的 TPSC[2:0] 位和 CKEG[1:0] 位的设定无关。但是，因为 TCR 的 CCLR[1:0] 位、TIOR、TIER、TGR 的功能有效，所以能使用输入捕捉 / 比较匹配功能和中断功能。

相位计数模式能用作 2 相编码器脉冲的输入。

如果在 TCNT 进行递增计数时发生上溢并且对应的 TIER 的 TCIEV 位为“1”，就产生 TCIV 中断。如果在 TCNT 进行递减计数时发生下溢并且对应的 TIER 的 TCIEU 位为“1”，就产生 TCIU 中断。

TSR 的 TCFD 位是计数方向标志。能通过读 TCFD 标志，确认 TCNT 是在进行递增计数还是在进行递减计数。

外部时钟引脚和通道的对应如表 18.49 所示。

表 18.49 相位计数模式的时钟输入引脚

通道	外部时钟引脚	
	A 相	B 相
将通道 1（或者通道 7）设定为相位计数模式的情况	MTCLKA (MTCLKE)	MTCLKB (MTCLKF)
将通道 2（或者通道 8）设定为相位计数模式的情况	MTCLKC (MTCLKG)	MTCLKD (MTCLKH)

(1) 相位计数模式的设定步骤例子

相位计数模式的设定步骤例子如图 18.30 所示。

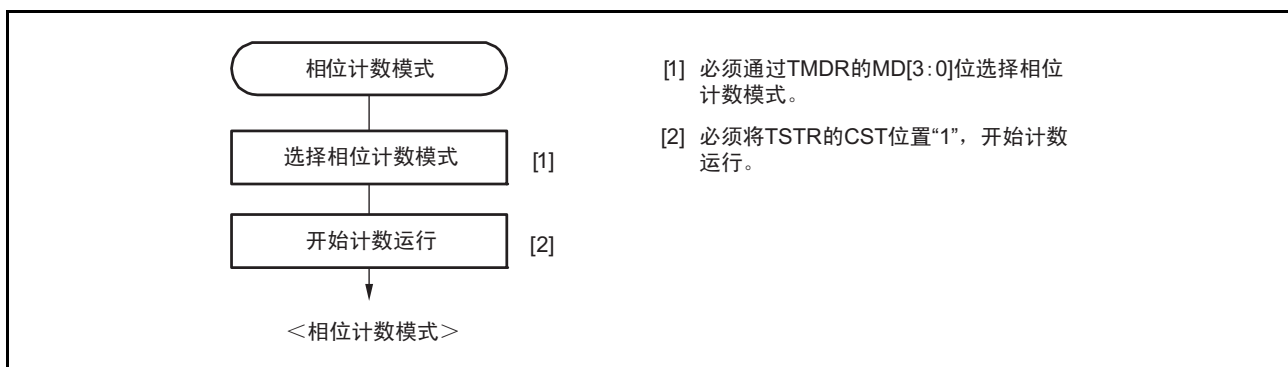


图 18.30 相位计数模式的设定步骤例子

(2) 相位计数模式的运行例子

在相位计数模式中，TCNT 通过 2 个外部时钟的相位差进行递增计数或者递减计数。计数条件有 4 种模式。

(a) 相位计数模式 1

相位计数模式 1 的运行例子如图 18.31 所示，TCNT 的递增 / 递减计数条件如表 18.50 所示。

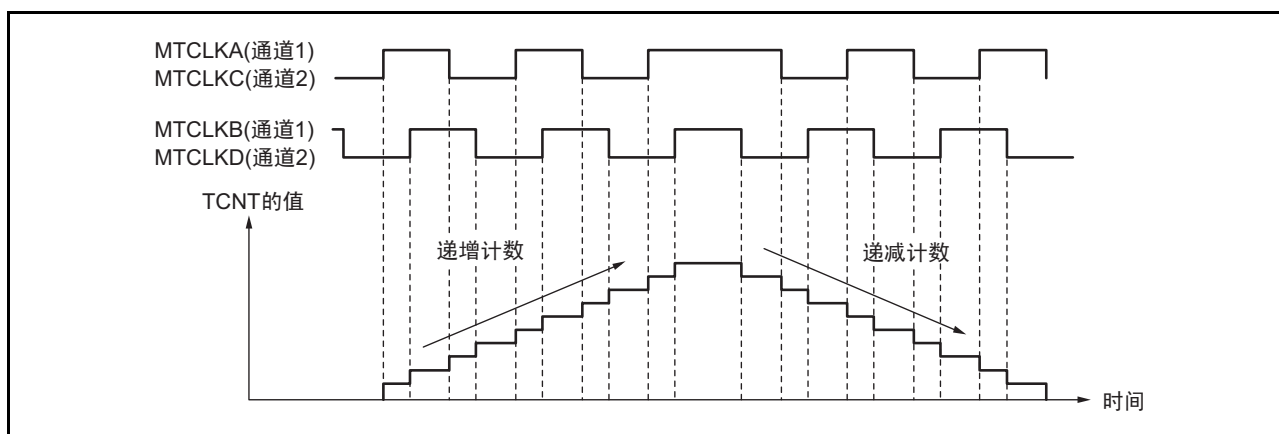


图 18.31 相位计数模式 1 的运行例子

表 18.50 相位计数模式 1 的递增 / 递减计数条件

MTCLKA (通道 1) MTCLKC (通道 2)	MTCLKB (通道 1) MTCLKD (通道 2)	运行内容
High 电平	↑	递增计数
Low 电平	↓	
↑	Low 电平	
↓	High 电平	
High 电平	↓	递减计数
Low 电平	↑	
↑	High 电平	
↓	Low 电平	

【符号说明】

↑ : 上升沿

↓ : 下降沿

(b) 相位计数模式 2

相位计数模式 2 的运行例子如图 18.32 所示，TCNT 的递增 / 递减计数条件如表 18.51 所示。

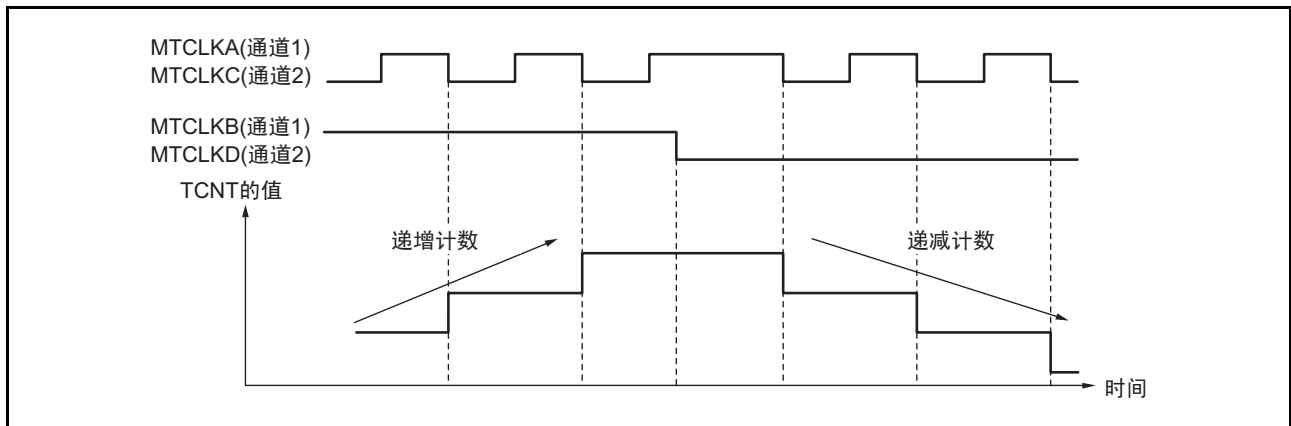


图 18.32 相位计数模式 2 的运行例子

表 18.51 相位计数模式 2 的递增 / 递减计数条件

MTCLKA (通道 1) MTCLKC (通道 2)	MTCLKB (通道 1) MTCLKD (通道 2)	运行内容
High 电平	上升沿	不计数 (Don't care)
Low 电平	下降沿	
上升沿	Low 电平	
下降沿	High 电平	递增计数
High 电平	下降沿	不计数 (Don't care)
Low 电平	上升沿	
上升沿	High 电平	
下降沿	Low 电平	递减计数

【符号说明】

上升沿

下降沿

(c) 相位计数模式 3

相位计数模式 3 的运行例子如图 18.33 所示，TCNT 的递增 / 递减计数条件如表 18.52 所示。

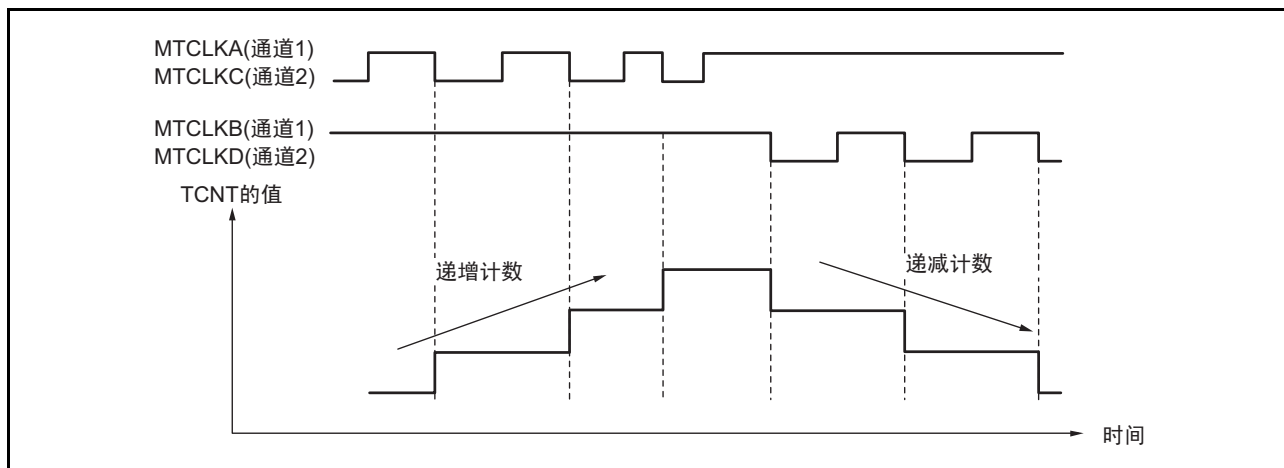


图 18.33 相位计数模式 3 的运行例子

表 18.52 相位计数模式 3 的递增 / 递减计数条件

MTCLKA (通道 1) MTCLKC (通道 2)	MTCLKB (通道 1) MTCLKD (通道 2)	运行内容
High 电平	↑	不计数 (Don't care)
Low 电平	↓	
↑	Low 电平	
↓	High 电平	递增计数
High 电平	↓	递减计数
Low 电平	↑	不计数 (Don't care)
↑	High 电平	
↓	Low 电平	

【符号说明】

↑ : 上升沿

↓ : 下降沿

(d) 相位计数模式 4

相位计数模式 4 的运行例子如图 18.34 所示，TCNT 的递增 / 递减计数条件如表 18.53 所示。

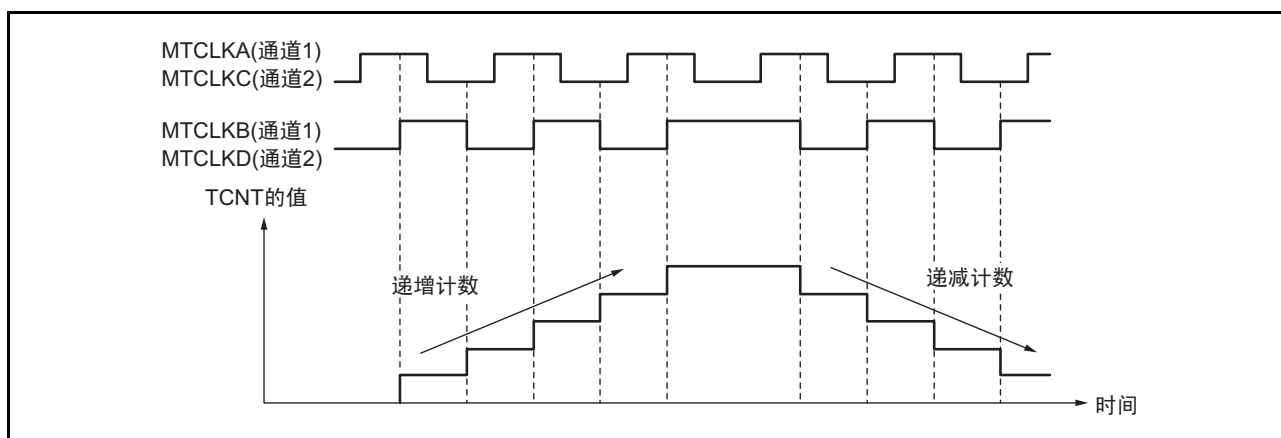


图 18.34 相位计数模式 4 的运行例子

表 18.53 相位计数模式 4 的递增 / 递减计数条件

MTCLKA (通道 1) MTCLKC (通道 2)	MTCLKB (通道 1) MTCLKD (通道 2)	运行内容
High 电平	↑	递增计数
Low 电平	↓	
↑	Low 电平	不计数 (Don't care)
↓	High 电平	
High 电平	↓	递减计数
Low 电平	↑	
↑	High 电平	不计数 (Don't care)
↓	Low 电平	

【符号说明】

↑ : 上升沿

↓ : 下降沿

(3) 相位计数模式的应用例子

将通道 1 (或者通道 7) 设定为相位计数模式, 并且在与通道 0 (或者通道 6) 组合输入伺服马达 2 相编码器脉冲后检测位置或者速度的例子如图 18.35 所示。

将通道 1 (或者通道 7) 设定为相位计数模式 1, 给 MTCLKA (或者 MTCLKE) 和 MTCLKB (或者 MTCLKF) 输入编码器脉冲的 A 相和 B 相。

通道 0 (或者通道 6) 通过 MTUn.TGRC 的比较匹配进行 TCNT 计数器清除, MTUn.TGRA 和 MTUn.TGRC 用于比较匹配功能, 设定速度控制周期和位置控制周期。MTUn.TGRB 用于输入捕捉功能, 使 MTUn.TGRB 和 MTUn.TGRD 进行缓冲运行。将通道 1 (或者通道 7) 的计数器输入时钟作为 MTUn.TGRB 的输入捕捉源, 检测 2 相编码器的 4 倍频脉冲的脉宽 (n=0、6)。

将通道 1 (或者通道 7) 的 MTUm.TGRA 和 MTUm.TGRB 设定为输入捕捉功能, 选择通道 0 (或者通道 6) 的 MTUn.TGRA 和 MTUn.TGRC 的比较匹配作为输入捕捉源, 保存各控制周期时的递增 / 递减计数器的值。

能用此方法检测正确的位置和速度 (n=0、6, m=1、7)。

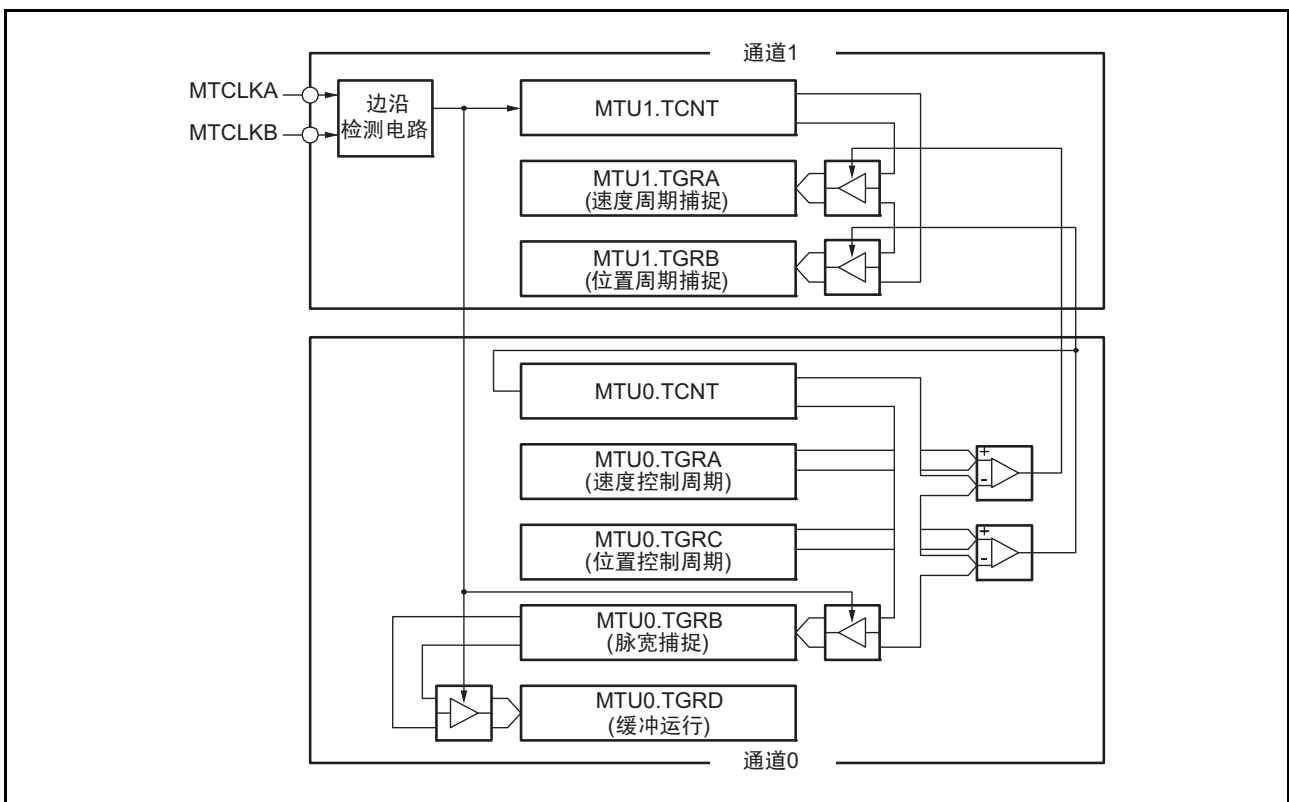


图 18.35 相位计数模式的应用例子 (单元 0)

18.3.7 复位同步 PWM 模式

在复位同步 PWM 模式中，通过组合通道 3 和通道 4（或者通道 9 和通道 10），将一方的波形变化点作为共同关系的 PWM 波形（正相和反相）进行 3 相输出。

如果设定为复位同步 PWM 模式，MTIOCnB、MTIOCnD、MTIOCmA、MTIOCmC、MTIOCmB 和 MTIOCmD 引脚就为 PWM 输出引脚，定时器的计数器 n（MTUn.TCNT）用作递增计数器（n=3、9，m=4、10）。

使用的 PWM 的输出引脚和寄存器设定分别如表 18.54 和表 18.55 所示。

表 18.54 复位同步 PWM 模式中的输出引脚

通道	输出引脚	说明
MTU3、 MTU9	MTIOCnB	PWM 的输出引脚 1
	MTIOCnD	PWM 的输出引脚 1'（PWM 输出 1 的反相波形）
MTU4、 MTU10	MTIOCmA	PWM 的输出引脚 2
	MTIOCmC	PWM 的输出引脚 2'（PWM 输出 2 的反相波形）
	MTIOCmB	PWM 的输出引脚 3
	MTIOCmD	PWM 的输出引脚 3'（PWM 输出 3 的反相波形）

【符号说明】 n=3、9， m=4、10

表 18.55 复位同步 PWM 模式中的寄存器设定

寄存器	设定内容
MTUn.TCNT	初始设定“0000h”。
MTUm.TCNT	初始设定“0000h”。
MTUn.TGRA	设定 MTUn.TCNT 的计数周期。
MTUn.TGRB	设定从 MTIOCnB 引脚和 MTIOCnD 引脚输出的 PWM 波形变化点。
MTUm.TGRA	设定从 MTIOCmA 引脚和 MTIOCmC 引脚输出的 PWM 波形变化点。
MTUm.TGRB	设定从 MTIOCmB 引脚和 MTIOCmD 引脚输出的 PWM 波形变化点。

【符号说明】 n=3、9， m=4、10

(1) 复位同步 PWM 模式的设定步骤例子

复位同步 PWM 模式 (单元 0) 的设定步骤例子如图 18.36 所示。

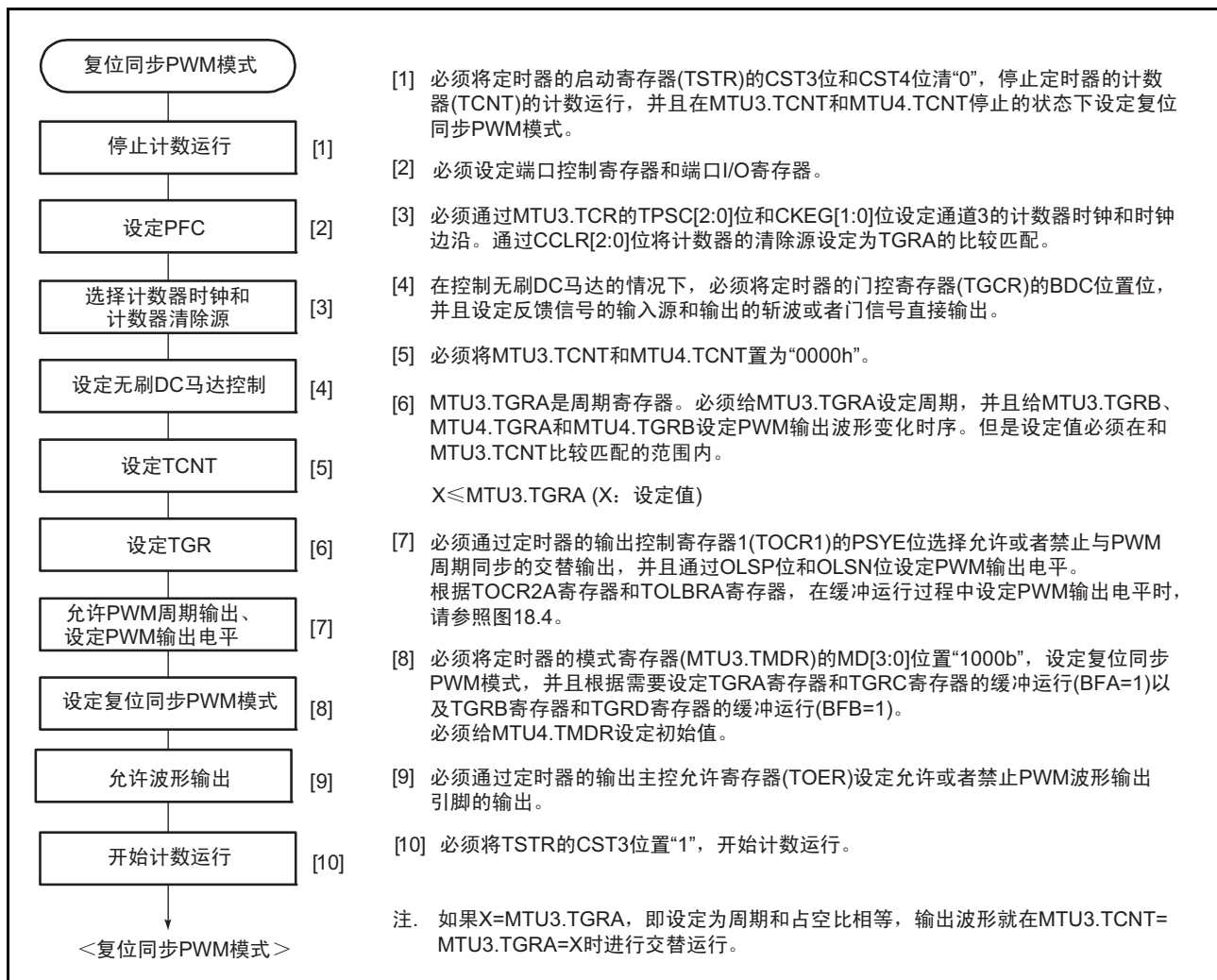


图 18.36 复位同步 PWM 模式 (单元 0) 的设定步骤例子

(2) 复位同步 PWM 模式的运行例子

复位同步 PWM 模式的运行例子如图 18.37 所示。

在复位同步 PWM 模式中，MTU3.TCNT 和 MTU4.TCNT 作为递增计数器运行。如果 MTU3.TCNT 和 MTU3.TGRA 比较匹配，就清除计数器，并且从“0000h”重新开始递增计数。每当各 MTU3.TGRB、MTU4.TGRA 和 MTU4.TGRB 发生比较匹配并且进行计数器清除时，PWM 输出引脚进行交替输出。

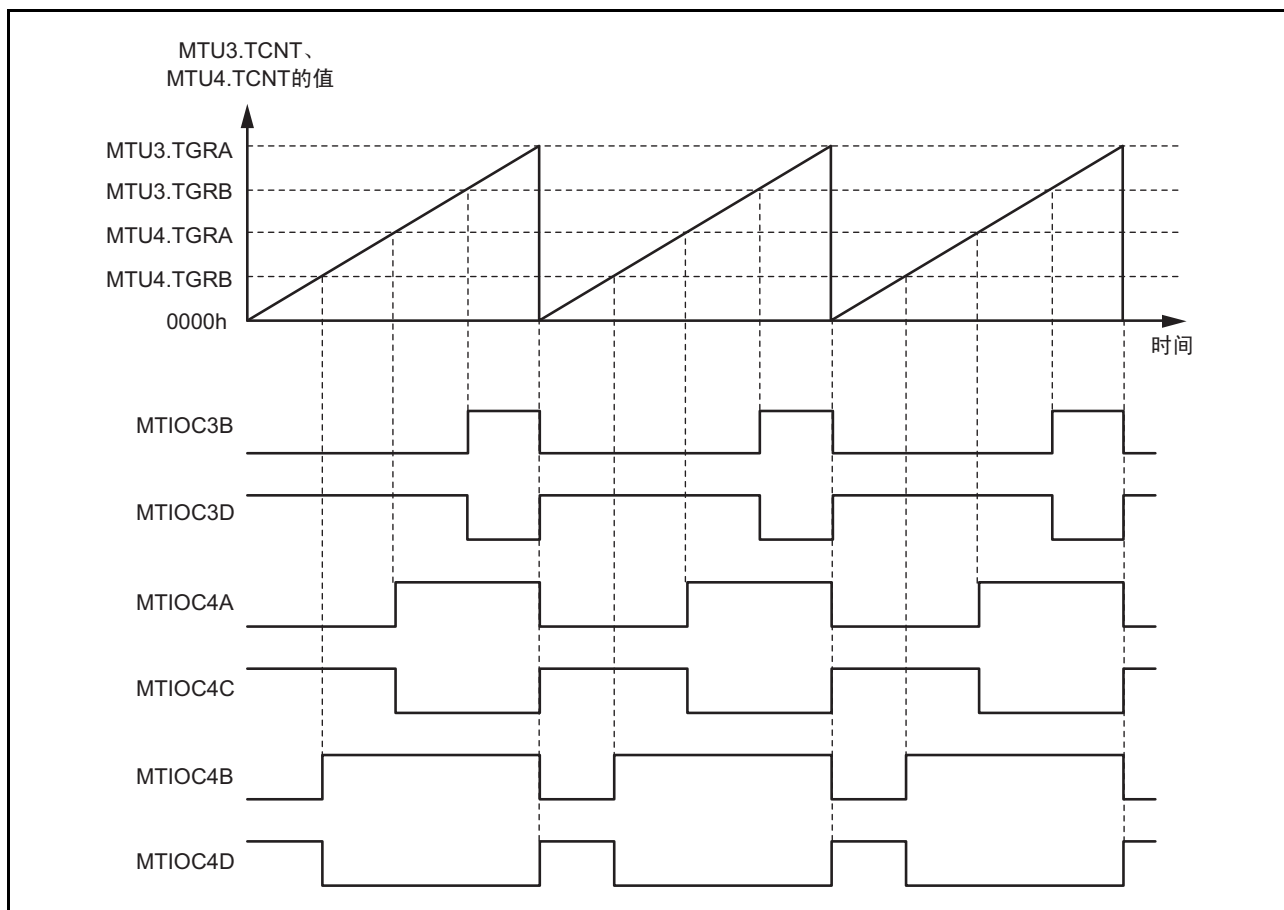


图 18.37 复位同步 PWM 模式的运行例子 (单元 0, 设定为 TOCRA 的 OLSN=1 并且 OLSP=1 的情况)

18.3.8 互补 PWM 模式

在互补 PWM 模式中，通过组合通道 3 和通道 4（或者通道 9 和通道 10），将正相和反相为非重叠关系的 PWM 波形进行 3 相输出，也能设定为没有非重叠时间。

如果设定为互补 PWM 模式，MTIOc_nB、MTIOc_nD、MTIOc_mA、MTIOc_mB、MTIOc_mC 和 MTIOc_mD 引脚就为 PWM 输出引脚，也能将 MTIOc_nA 引脚设定为与 PWM 周期同步的交替输出。

MTU_n.TCNT 和 MTU_m.TCNT 用作递增 / 递减计数器。

使用的 PWM 输出引脚和寄存器设定分别如表 18.56 和表 18.57 所示。

作为端口功能，支持通过外部信号直接关闭 PWM 输出的功能。

(n=3、9, m=4、10)

表 18.56 互补 PWM 模式的输出引脚

通道	输出引脚	说明
MTU3 MTU9	MTIOc3A/ MTIOc9A	与 PWM 周期同步的交替输出（或者输入 / 输出端口）
	MTIOc3B/ MTIOc9B	PWM 输出引脚 1
	MTIOc3C/ MTIOc9C	输入 / 输出端口（注 1）
	MTIOc3D/ MTIOc9D	PWM 输出引脚 1'（与 PWM 输出 1 有非重叠关系的反相波形，也能设定为没有非重叠时间）
MTU4 MTU10	MTIOc4A/ MTIOc10A	PWM 输出引脚 2
	MTIOc4C/ MTIOc10C	PWM 输出引脚 2'（与 PWM 输出 2 有非重叠关系的反相波形，也能设定为没有非重叠时间）
	MTIOc4B/ MTIOc10B	PWM 输出引脚 3
	MTIOc4D/ MTIOc10D	PWM 输出引脚 3'（与 PWM 输出 3 有非重叠关系的反相波形，也能设定为没有非重叠时间）

注 1. 在互补 PWM 模式中，不能将 MTIOc3C/MTIOc9C 引脚设定为定时器的输入 / 输出引脚。

表 18.57 互补 PWM 模式的寄存器设定

通道	计数器 / 寄存器	说明	由 CPU 进行读写
MTU3/ MTU9	MTUn. TCNT	从死区时间寄存器的设定值开始递增计数。	能通过设定 TRWER (注1) 进行屏蔽。
	MTUn. TGRA	设定 MTUn.TCNT 的上限值 (1/2 个载波周期 + 死区时间)。	能通过设定 TRWER (注1) 进行屏蔽。
	MTUn. TGRB	PWM 输出 1 的比较寄存器	能通过设定 TRWER (注1) 进行屏蔽。
	MTUn. TGRC	MTUn.TGRA 的缓冲寄存器	随时能读写。
	MTUn. TGRD	PWM 输出 1/MTUn.TGRB 的缓冲寄存器	随时能读写。
MTU4/ MTU10	MTUm. TCNT	初始设定 "0000h" 并且开始递增计数。	能通过设定 TRWER (注1) 进行屏蔽。
	MTUm. TGRA	PWM 输出 2 的比较寄存器	能通过设定 TRWER (注1) 进行屏蔽。
	MTUm. TGRB	PWM 输出 3 的比较寄存器	能通过设定 TRWER (注1) 进行屏蔽。
	MTUm. TGRC	PWM 输出 2/MTUm.TGRA 的缓冲寄存器	随时能读写。
	MTUm. TGRD	PWM 输出 3/MTUm.TGRB 的缓冲寄存器	随时能读写。
定时器的死区时间数据寄存器 (TDDR)	设定 MTUm.TCNT 和 MTUn.TCNT 的偏移值 (死区时间的值)。	能通过设定 TRWER (注1) 进行屏蔽。	
定时器的周期数据寄存器 (TCDR)	设定 MTUm.TCNT 的上限值 (1/2 个载波周期)。	能通过设定 TRWER (注1) 进行屏蔽。	
定时器的周期缓冲寄存器 (TCBR)	TCDR 的缓冲寄存器	随时能读写。	
副计数器 (TCNTS)	用于生成死区时间的副计数器	只能读。	
暂存器 1 (TEMP1)	PWM 输出 1/MTUn.TGRB 的暂存器	不能读写。	
暂存器 2 (TEMP2)	PWM 输出 2/MTUm.TGRA 的暂存器	不能读写。	
暂存器 3 (TEMP3)	PWM 输出 3/MTUm.TGRB 的暂存器	不能读写。	

【符号说明】n=3、9, m=4、10

注 1. 能通过设定 TRWER (定时器的读写允许寄存器), 允许或者禁止存取。

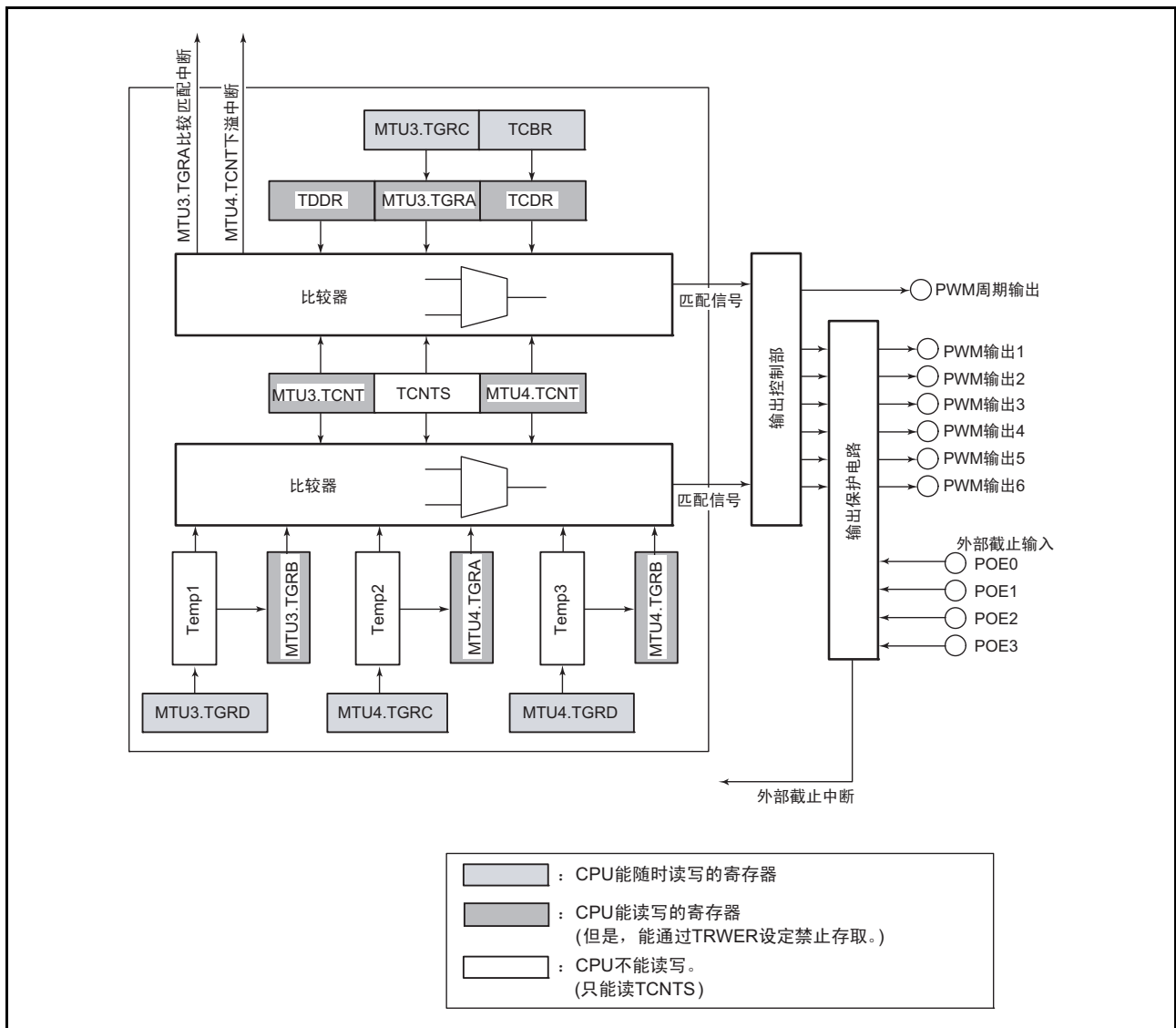


图 18.38 互补 PWM 模式中的通道 3 和通道 4 的框图

(1) 互补 PWM 模式的设定步骤例子

互补 PWM 模式 (单元 0) 的设定步骤例子如图 18.39 所示。



图 18.39 互补 PWM 模式 (单元 0) 的设定步骤例子

(2) 互补 PWM 模式的运行概要

在互补 PWM 模式中能进行 6 相的 PWM 输出。互补 PWM 模式的计数器运行和运行例子分别如图 18.40 和图 18.41 所示。

(a) 计数器的运行

在互补 PWM 模式中， $MTUn.TCNT$ 、 $MTUm.TCNT$ 和 $TCNTSTCNTS$ 这 3 个计数器（各单元）进行递增计数或者递减计数。

在设定为互补 PWM 模式并且 $TSTRj$ 的 CST 位为“0”时，将 $TDDR$ 的设定值作为初始值，自动设定给 $MTUn.TCNT$ 。

如果将 CST 位置“1”， $MTUn.TCNT$ 就进行递增计数，直到 $MTUn.TGRA$ 的设定值为止。一旦 $MTUn.TCNT$ 的值和 $MTUn.TGRA$ 的值相同， $MTUn.TCNT$ 就改为递减计数。以后，一旦 $MTUn.TCNT$ 的值和 $TDDR$ 的值相同， $MTUn.TCNT$ 就改为递增计数，重复此运行。

将 $MTUm.TCNT$ 的初始值置为“0000h”。

如果将 CST 位置“1”，就与 $MTUn.TCNT$ 同步运行并且进行递增计数。一旦 $MTUm.TCNT$ 的值和 $TCDR$ 的值相同， $MTUm.TCNT$ 就改为递减计数。此后，一旦计数到“0000h”， $MTUm.TCNT$ 就改为递增计数，重复此运行。

$TCNTS$ 是只读计数器，不需要设定初始值。

当通道 3 和通道 4（或者通道 9 和通道 10）的 $TCNT$ 进行递增计数或者递减计数时，一旦 $MTUn.TCNT$ 的值和 $TCDR$ 的值相同，就开始递减计数。一旦 $TCNTS$ 的值和 $TCDR$ 的值相同， $TCNTS$ 就改为递增计数。一旦计数器的值和 $MTUn.TGRA$ 的值相同， $TCNTS$ 就被清“0000h”。

在 $MTUn.TCNT$ 和 $MTUm.TCNT$ 进行递减计数时，一旦 $MTUm.TCNT$ 的值和 $TDDR$ 的值相同，就开始递增计数。一旦 $TCNTS$ 的值和 $TDDR$ 的值相同， $TCNTS$ 就改为递减计数。一旦计数到“0000h”， $TCNTS$ 就被设定为 $MTUn.TGRA$ 的值。

$TCNTS$ 只在计数运行期间与已设定 PWM 占空比的比较寄存器和暂存器进行比较（ $n=3、9$ ， $m=4、10$ ）。

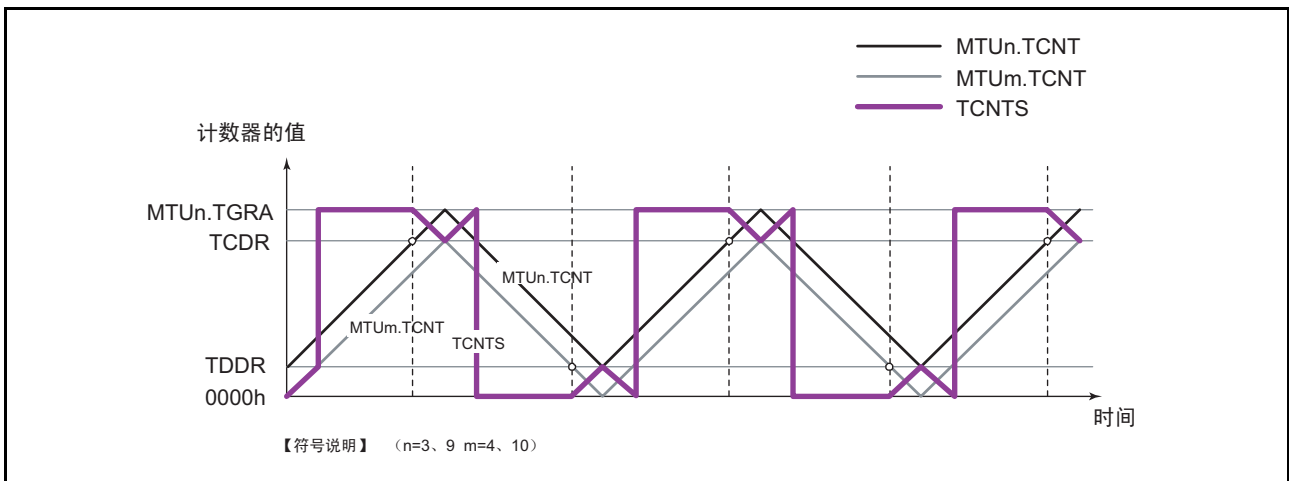


图 18.40 互补 PWM 模式的计数器运行

(b) 寄存器的运行

在互补 PWM 模式中，使用比较寄存器、缓冲寄存器和暂存器等 9 个寄存器（各单元）。互补 PWM 模式的运行例子如图 18.41 所示。

为了进行 PWM 输出，MTUn.TGRB、MTUm.TGRA、MTUm.TGRB 寄存器随时和计数器进行比较。如果这些寄存器的值和计数器的值相同，就输出定时器的输出控制寄存器（TOCR）的 OLSN 位和 OLSP 位的设定值（n=3、9，m=4、10）。

这些比较寄存器的缓冲寄存器为 MTUn.TGRD、MTUm.TGRC、MTUm.TGRD。在缓冲寄存器和比较寄存器之间有暂存器，但是 CPU 不能存取暂存器（n=3、9，m=4、10）。

要更改比较寄存器的数据时，必须给对应的缓冲寄存器写要更改的数据。随时能读写缓冲寄存器。

在 Ta 区间总是将写到缓冲寄存器的数据传送到暂存器，而在 Tb 区间不传送到暂存器。在 Tb 区间结束后，将在此区间写到缓冲寄存器的数据传送到暂存器。

如果 Tb 区间结束的 TCNTS 在进行递增计数时计数值和 MTUn.TGRA 的值相同，或者在递减计数时计数值为“0000h”，就将传送到暂存器的值传送到比较寄存器。能通过定时器的模式寄存器（TMDR）的 MD[3:0] 位选择从暂存器到比较寄存器的传送时序。选择在波谷更改模式的例子如图 18.41 所示（n=3、9，m=4、10，j=A、B）。

在不向暂存器传送数据的 Tb（图 18.41 为 Tb1）区间，暂存器具有和比较寄存器相同的功能，和计数器进行比较。在此区间，1 相输出有 2 个比较匹配寄存器，比较寄存器保存变更前的数据，暂存器保存要变更的新数据。在此区间，单元 0 有 MTU3.TCNT、MTU4.TCNT 和 MTUA.TCNTSA 共 3 个计数器，单元 1 有 MTU9.TCNT、MTU10.TCNT 和 MTUB.TCNTSB 共 3 个计数器，这些计数器和比较寄存器、暂存器（2 个寄存器）进行比较，控制 PWM 输出。

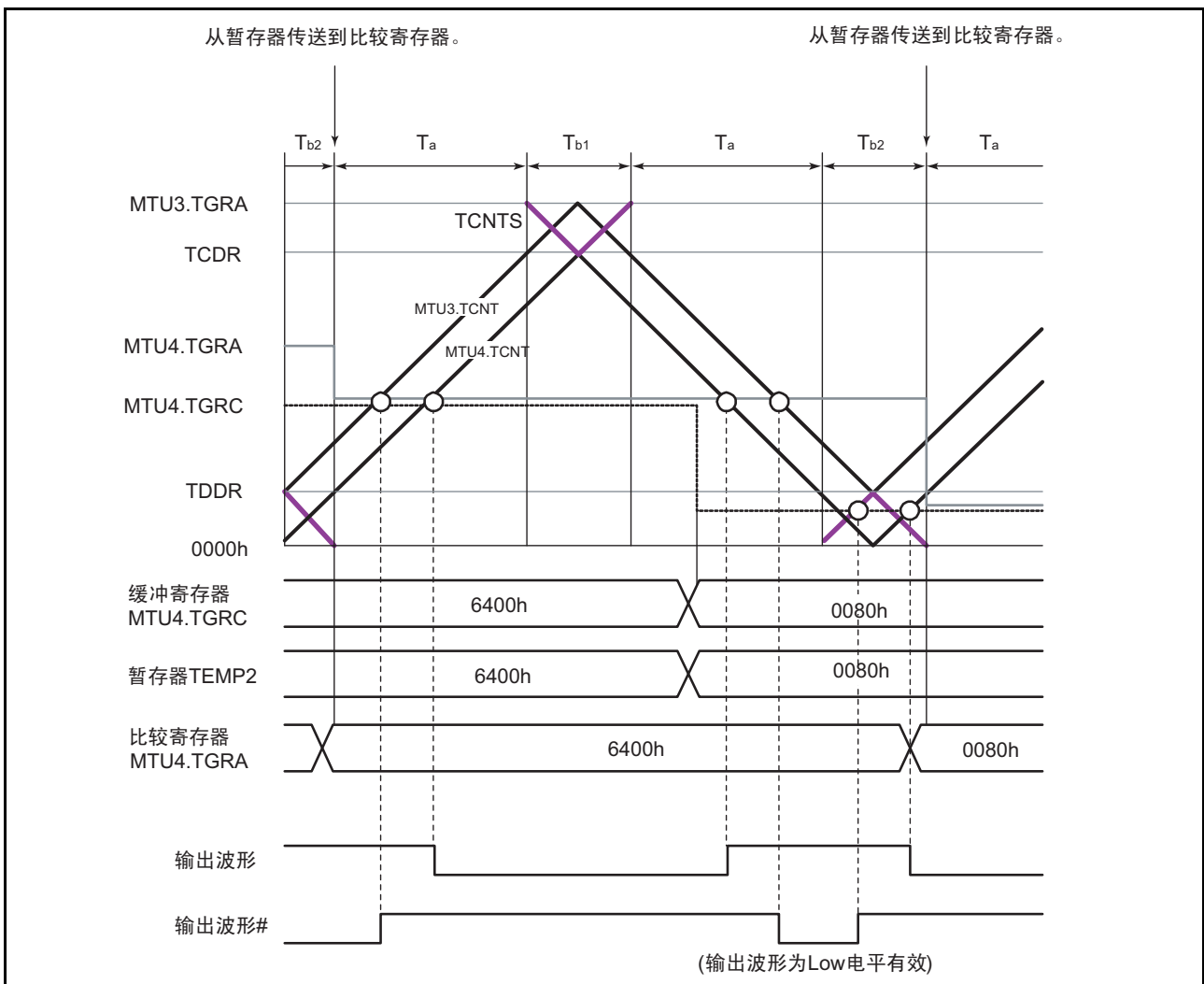


图 18.41 互补 PWM 模式的运行例子

(c) 初始设定

在互补 PWM 模式中，有 6 个需要初始设定的寄存器，还有 1 个用于设定是否生成死区时间的寄存器（只在不生成死区时间的情况下进行设定）。

在通过定时器的模式寄存器（TMDR）的 MD[3:0] 位设定为互补 PWM 模式前，必须设定以下寄存器的初始值。

MTUn.TGRC 用作 MTUn.TGRA（n=3、9）的缓冲寄存器，设定 1/2 个 PWM 载波周期 + 死区时间 Td。定时器的周期缓冲寄存器（TCBR）用作定时器的周期数据寄存器（TCDR）的缓冲寄存器，设定 1/2 个 PWM 载波周期，并且给定时器的死区时间数据寄存器（TDDR）设定死区时间 Td。

如果不生成死区时间，就将定时器的死区时间允许寄存器（TDER）的 TDER 位置“0”，给 MTUn.TGRC 和 MTUn.TGRA（n=3、9）设定 1/2 个 PWM 载波周期 +1，并且将 TDDR 置“1”。

给单元 0 的缓冲寄存器 MTU3.TGRD、MTU4.TGRC、MTU4.TGRD（或者单元 1 的缓冲寄存器 MTU9.TGRD、MTU10.TGRC、MTU10.TGRD）分别设定 PWM 占空比的初始值。

在设定为互补 PWM 模式的同时，将 TDDR 除外的 5 个缓冲寄存器的设定值非别传送到对应的比较寄存器。

必须在设定互补 PWM 模式前将 MTUm.TCNT（m=4、10）设定为“0000h”。

表 18.58 需要初始设定的寄存器和计数器

寄存器 / 计数器	设定值
MTUn.TGRC (n=3、9)	1/2 个 PWM 载波周期 + 死区时间 Td (如果通过 TDER 设定为不生成死区时间，就为 1/2 个 PWM 载波周期 +1)
TDDR	死区时间 Td (如果通过 TDER 设定为不生成死区时间，就为“1”)
TCBR	1/2 个 PWM 载波周期
MTUn.TGRD、 MTUm.TGRC、 MTUm.TGRD (n=3、9, m=4、10)	各相 PWM 占空比的初始值
MTUm.TCNT (m=4、10)	0000h

注. MTUn.TGRC (n=3、9) 的设定值必须为 TCBR 设定的 1/2 个 PWM 载波周期的值和 TDDR 设定的死区时间 Td 值的和。如果通过 TDER 寄存器设定为不生成死区时间，就为 1/2 个 PWM 载波周期 +1。

(d) PWM 输出电平的设定

在互补 PWM 模式中，通过定时器的输出控制寄存器 1（TOCR1）的 OLSN 位和 OLSP 位或者定时器的输出控制寄存器 2（TOCR2）的 OLS1P ~ OLS3P 位和 OLS1N ~ OLS3N 位，设定 PWM 脉冲的输出电平。

能按 6 相输出中的 3 相正相和 3 相反相设定输出电平。

必须在解除互补 PWM 模式的状态下设定或者更改输出电平。

(e) 死区时间的设定

在互补 PWM 模式中，输出正相和反相为非重叠关系的 PWM 脉冲，此非重叠时间称为死区时间。

将非重叠时间设定到定时器的死区时间数据寄存器（TDDR）。TDDR 的设定值为 MTUn.TCNT 的计数器开始值，生成 MTUn.TCNT 和 MTUm.TCNT 的非重叠关系。必须在解除互补 PWM 模式的状态下更改 TDDR 的内容（n=3、9，m=4、10）。

(f) 不生成死区时间的设定

通过将定时器的死区时间允许寄存器 (TDER) 的 TDER 位置“0”，设定为不生成死区时间。只在 TDER 为“1”的状态下读 TDER 后给 TDER 写“0”时，TDER 变为“0”。

给 MTUn.TGRA 和 MTUn.TGRC (n=3、9) 设定 1/2 个 PWM 载波周期 +1，并且将定时器的死区时间数据寄存器 (TDDR) 置“1”。

如果设定为不生成死区时间，就能输出无死区时间的 PWM 波形。不生成死区时间的运行例子如图 18.42 所示。

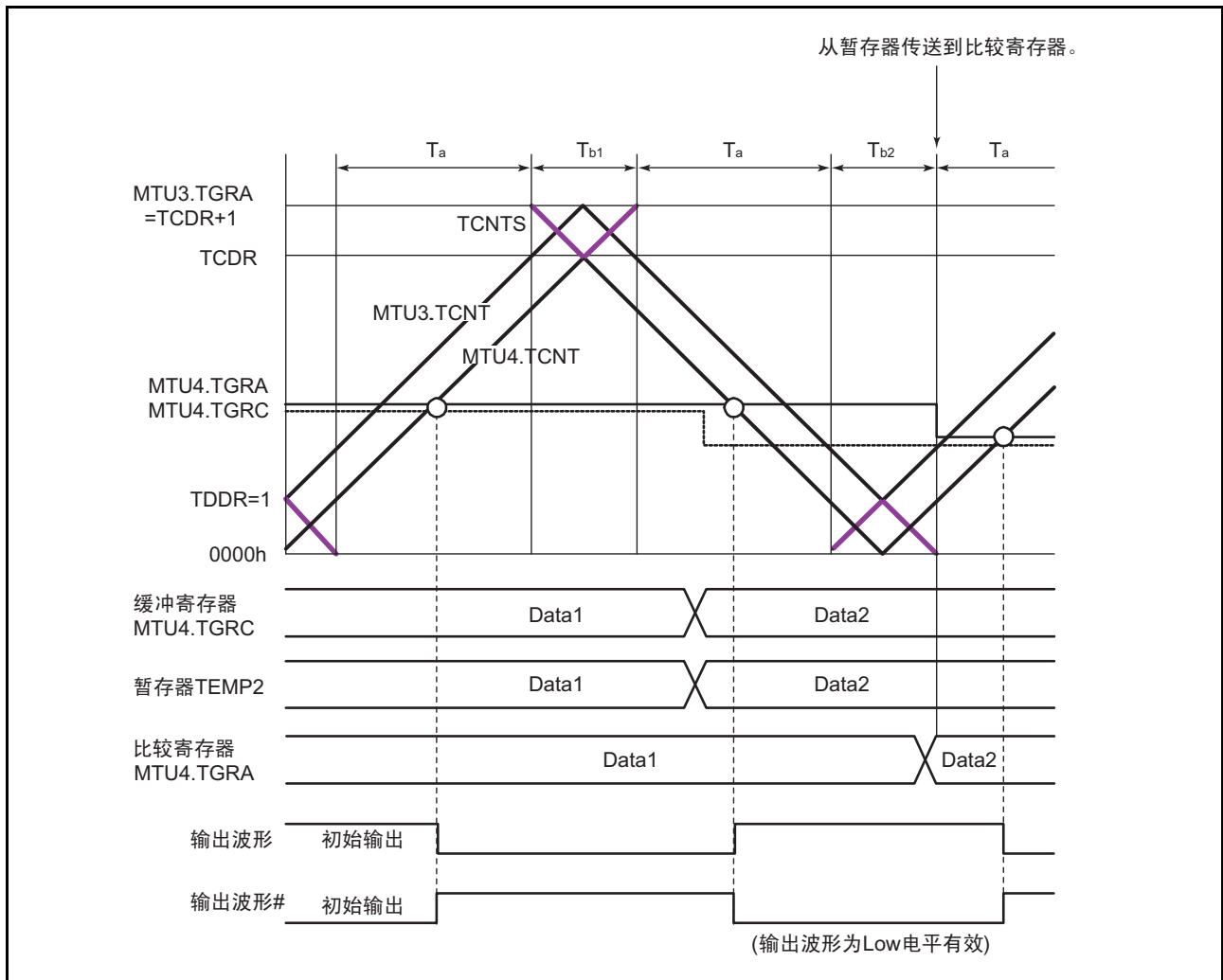


图 18.42 不生成死区时间的运行例子

(g) PWM 周期的设定

在互补 PWM 模式中，将 PWM 脉冲周期设定到 $MTU_n.TGRA$ （设定 $MTU_n.TCNT$ 的上限值（ $n=3、9$ ））和 $TCDR$ （设定 $MTU_m.TCNT$ （ $m=4、10$ ）的上限值）2 个寄存器。必须将这 2 个寄存器设定为如下的关系。

生成死区时间： $MTU_3.TGRA$ 或者 $MTU_9.TGRA$ 的设定值 = $TCDR$ 的设定值 + $TDDR$ 的设定值

不生成死区时间： $MTU_3.TGRA$ 或者 $MTU_9.TGRA$ 的设定值 = $TCDR$ 的设定值 + 1

必须通过给缓冲寄存器的 $MTU_n.TGRC$ 或者 $TCBR$ 设定值，设定 $MTU_n.TGRA$ 和 $TCDR$ 。通过定时器的模式寄存器（ $TMDR$ ）的 $MD[3:0]$ 位选择的传送时序，将 $MTU_n.TGRC$ 和 $TCBR$ 的设定值同时传送到 $MTU_n.TGRA$ 和 $TCDR$ （ $n=3、9$ ）。

如果在波峰更新数据，就从下一个周期反映更改的 PWM 周期；如果在波谷更新数据，就从该周期反映被更改的 PWM 周期。在波峰更改 PWM 周期时的运行例子如图 18.43 所示。

有关各缓冲寄存器数据的更新方法，请参照下面“(h) 寄存器数据的更新”。

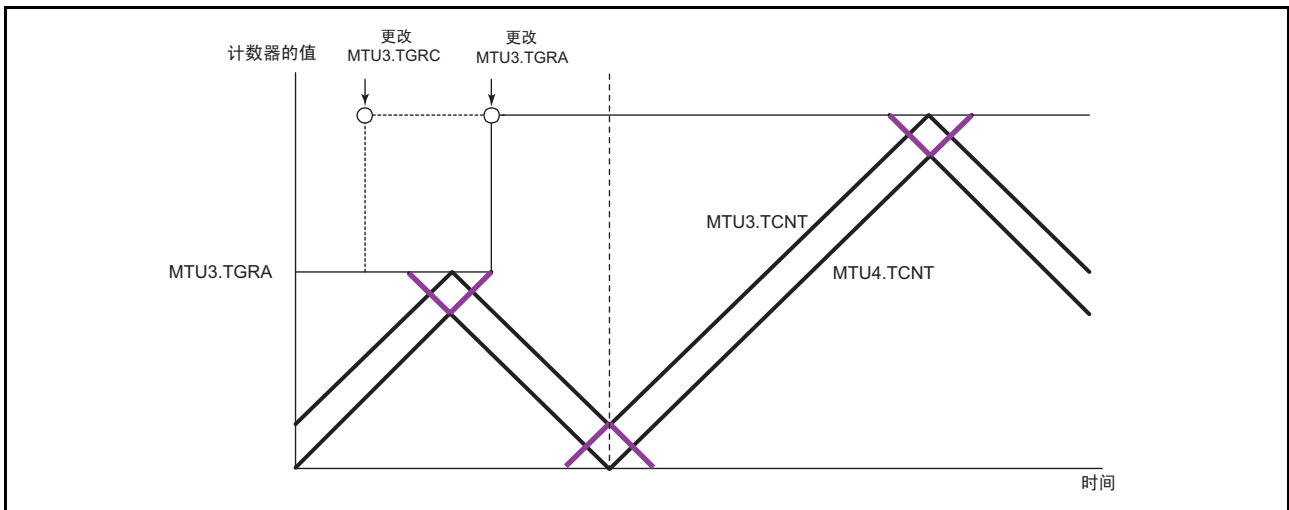


图 18.43 PWM 周期的更改例子

(h) 寄存器数据的更新

在互补 PWM 模式中更新比较寄存器的数据时，使用缓冲寄存器。更新的数据随时能写到缓冲寄存器。另外，能在有缓冲寄存器的运行过程中更改的寄存器为 5 个用于 PWM 占空比和载波周期的寄存器。

在这些寄存器和缓冲寄存器之间有各自的暂存器。如果在副计数器 $TCNTS$ 不进行计数的期间更新缓冲寄存器的数据，也会改写暂存器的值。在 $TCNTS$ 计数过程中，不进行缓冲寄存器到暂存器的传送，而在 $TCNTS$ 停止计数后传送缓冲寄存器的写入值。

通过定时器的模式寄存器（ $TMDR$ ）的 $MD[3:0]$ 位设定的数据更新时序，将暂存器的值传送到比较寄存器。互补 PWM 模式的数据更新例子如图 18.44 所示，此图是在计数器的波峰和波谷更新数据的模式例子。

在改写缓冲寄存器的数据时，最后必须写 $MTU_m.TGRD$ 。在写 $MTU_m.TGRD$ 后，5 个寄存器的数据同时从缓冲寄存器传送到暂存器（ $m=4、10$ ）。

即使不全部更新 5 个寄存器或者不更新 $MTU_m.TGRD$ 的数据，也必须在写要更新的寄存器数据后写 $MTU_m.TGRD$ 。此时，写到 $MTU_m.TGRD$ 的数据必须和写之前的数据相同（ $m=4、10$ ）。

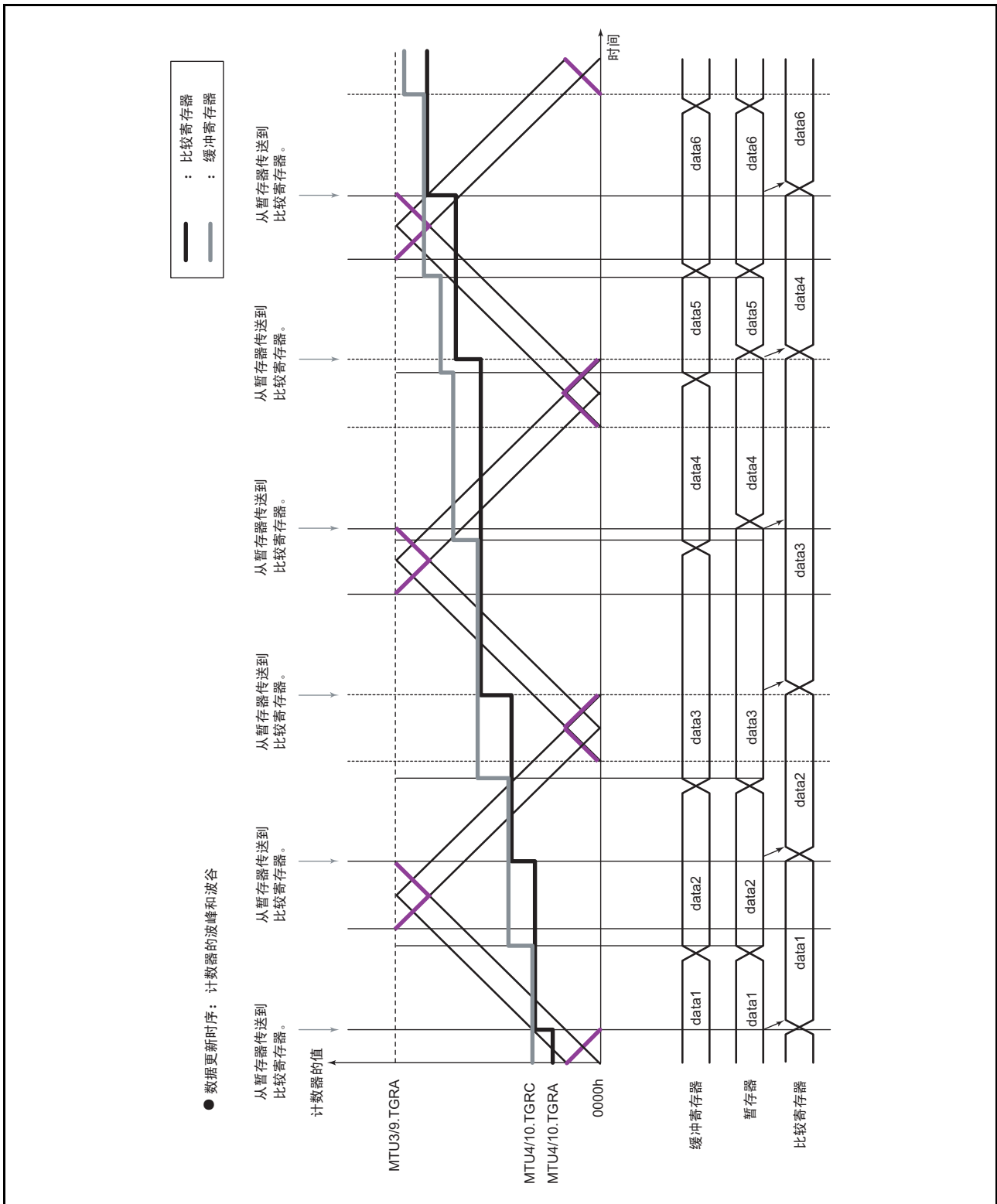


图 18.44 互补 PWM 模式的数据更新例子

(i) 互补 PWM 模式的初始输出

在互补 PWM 模式中，通过设定定时器的输出控制寄存器 1 (TOCR1) 的 OLSN 位和 OLSP 位或者定时器的输出控制寄存器 2 (TOCR2) 的 OLS1N ~ OLS3N 位和 OLS1P ~ OLS3P 位，决定初始输出。

此初始输出为 PWM 脉冲的无效电平，从通过定时器的模式寄存器 (TMDR) 设定互补 PWM 模式开始到 MTU4.TCNT (或者 MTU10.TCNT) 大于死区时间寄存器 (TDDR) 设定的值前，输出此初始输出。互补 PWM 模式的初始输出例子如图 18.45 所示。

PWM 占空比的初始值小于 TDDR 值时的波形例子如图 18.46 所示。

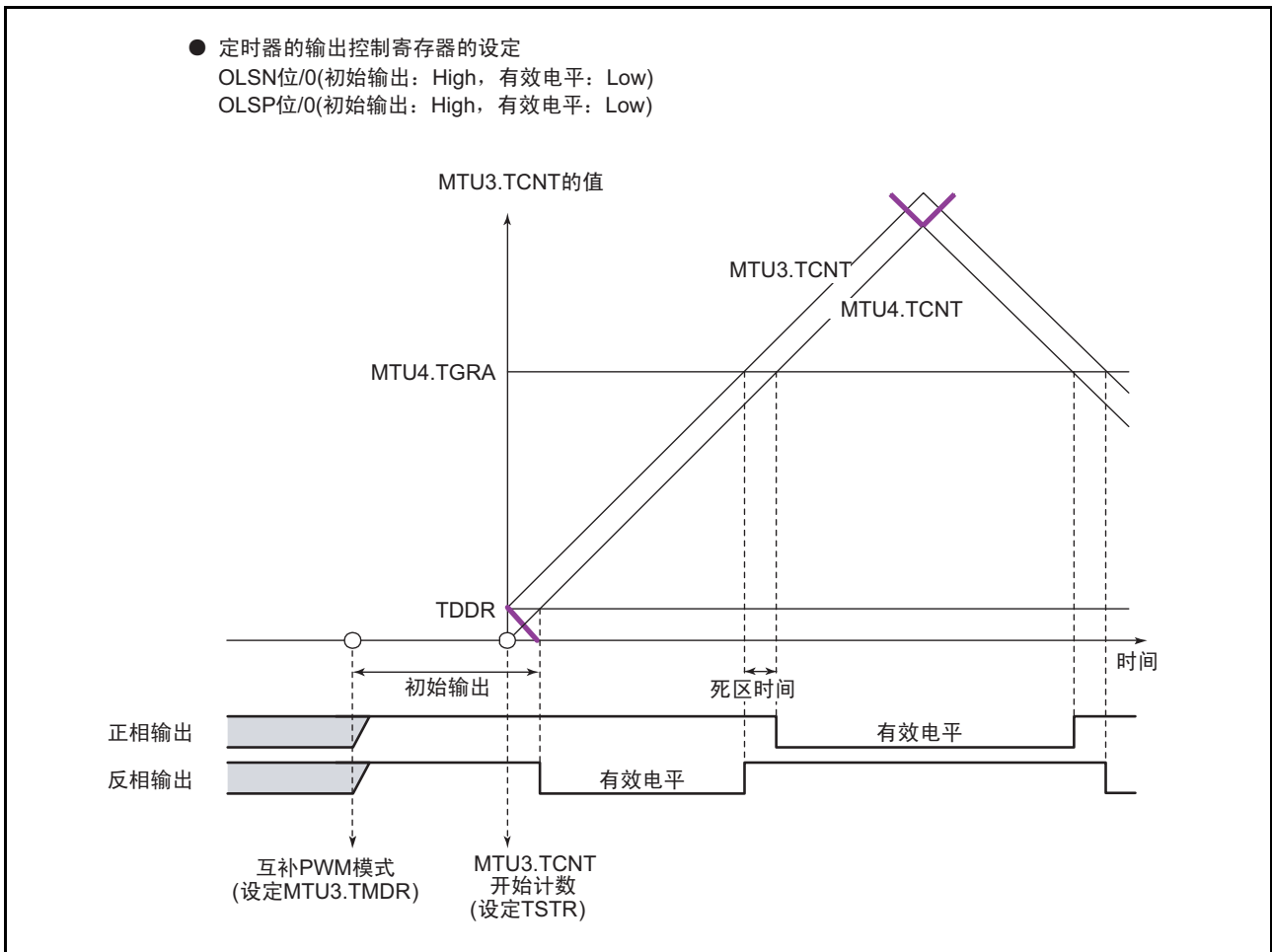


图 18.45 互补 PWM 模式的初始输出例子 (1) (单元 0)

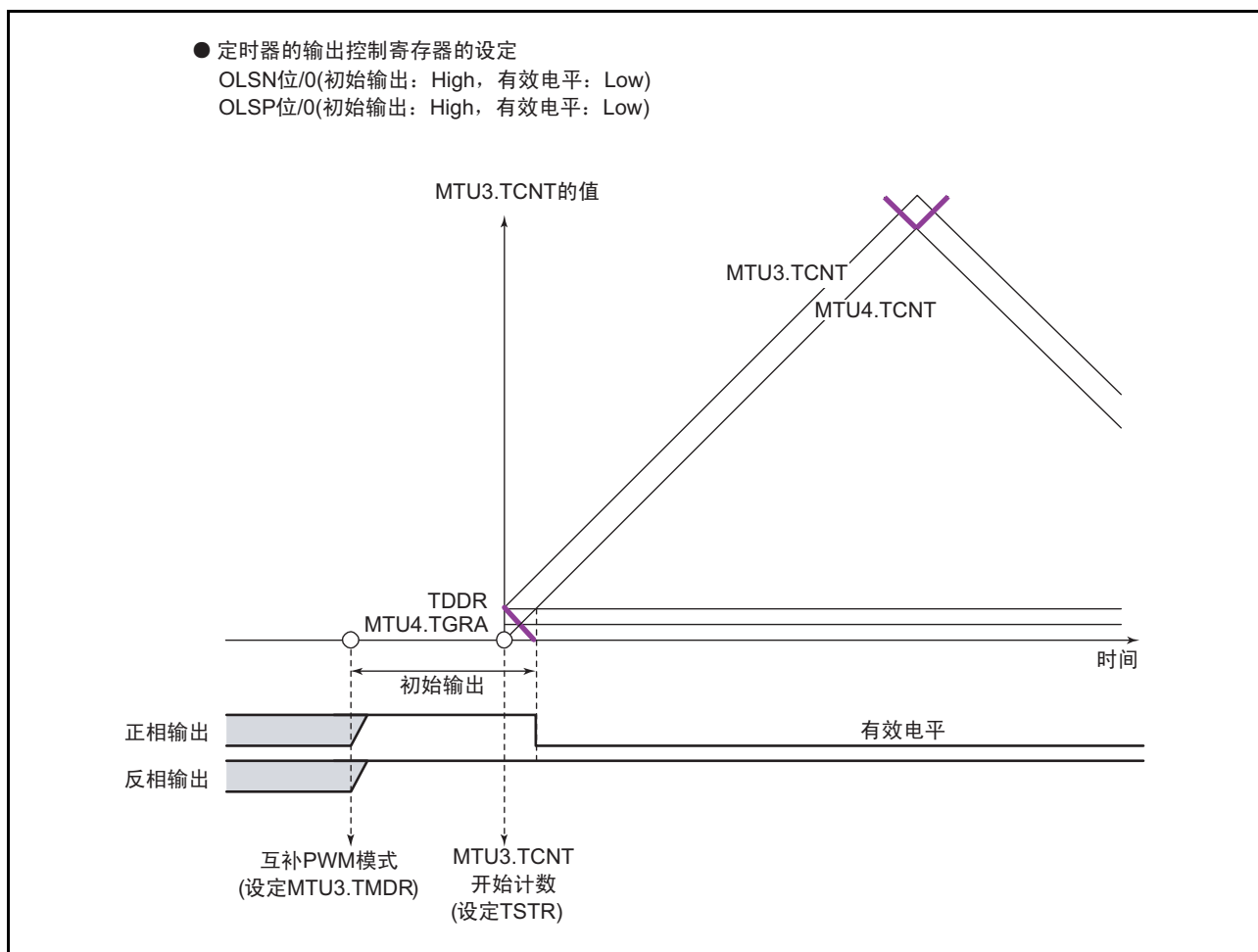


图 18.46 互补 PWM 模式的初始输出例子 (2) (单元 0)

(j) 互补 PWM 模式的 PWM 输出生成方法

在互补 PWM 模式中，将正相和反相有非重叠时间的 PWM 波形进行 3 相输出，此非重叠时间称为死区时间。

在发生计数器和数据寄存器的比较匹配时，通过输出定时器的输出控制寄存器选择的输出电平，生成 PWM 波形。在 TCNTS 进行计数的期间，因为产生 0 ~ 100% 的连续 PWM 脉冲，所以同时比较数据寄存器的值和暂存器的值。此时，ON/OFF 比较匹配的发生时序会有前有后，为了确保死区时间并且使正相 / 反相的 ON 时间不重叠，必须优先使各相 OFF 的比较匹配。互补 PWM 模式的波形生成例子如图 18.47 ~ 图 18.49 所示。

通过和实线计数器的比较匹配，生成正相 / 反相的 OFF 时序；通过和点线计数器（比实线计数器迟死区时间）的比较匹配，生成 ON 时序。在 T1 期间，最优先使反相 OFF 的 a 的比较匹配，忽视比 a 先发生的比较匹配。在 T2 期间，最优先使正相 OFF 的 c 的比较匹配，忽视比 c 先发生的比较匹配。

如图 18.47 所示，通常按照 a→b→c→d（或者 c→d→a'→b'）的顺序发生比较匹配。

当不按 a→b→c→d 的顺序发生比较匹配时，因为反相的 OFF 时间短于 2 倍的死区时间，所以表示正相不为 ON；当不按 c→d→a'→b' 的顺序发生比较匹配时，因为正相的 OFF 时间短于 2 倍的死区时间，所以表示反相不为 ON。

如图 18.48 所示，如果在 a 的比较匹配之后先发生 c 的比较匹配，就忽视 b 的比较匹配，而通过 d 的比较匹配使反相 ON。这是因为比 b 的比较匹配（正相 ON 时序）先发生正相 OFF 的 c 的比较匹配而优先使正相 OFF（因为正相从 OFF 变为 OFF，所以波形不变）。

同样地，在图 18.49 所示的例子中，比 c 的比较匹配先发生和暂存器的新数据比较匹配的 a'，但是在发生使正相 OFF 的 c 前忽视其他比较匹配，因此不使反相 ON。

如此，在互补 PWM 模式中，优先 OFF 时序的比较匹配，即使 ON 时序的比较匹配比 OFF 先发生，也被忽视。

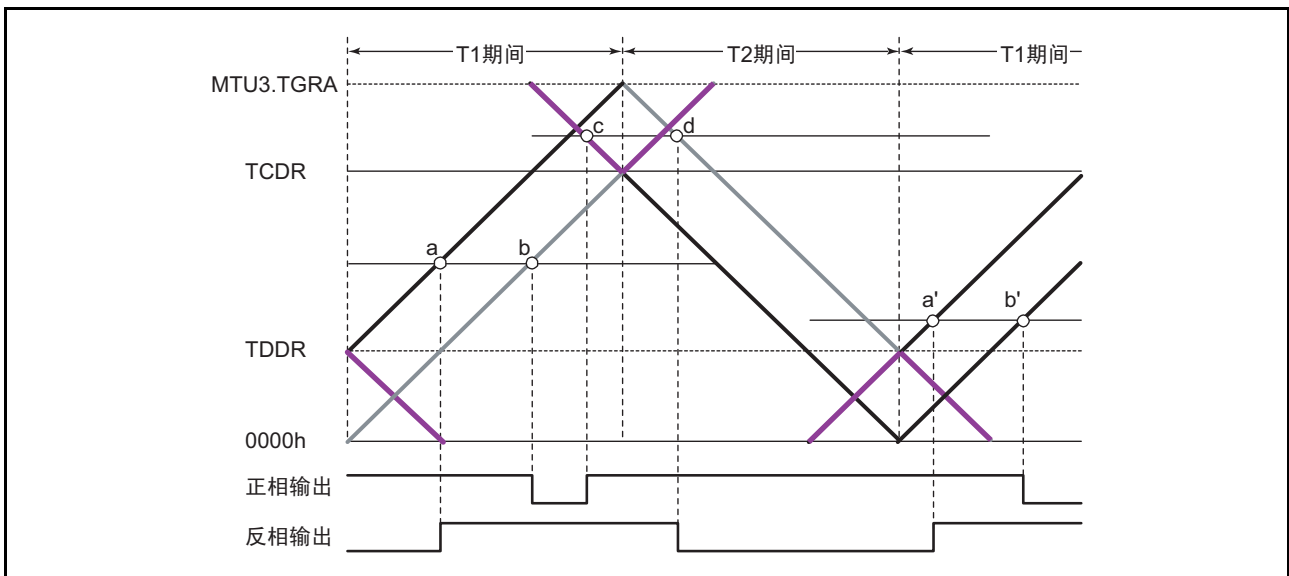


图 18.47 互补 PWM 模式的波形输出例子 (1) (单元 0)

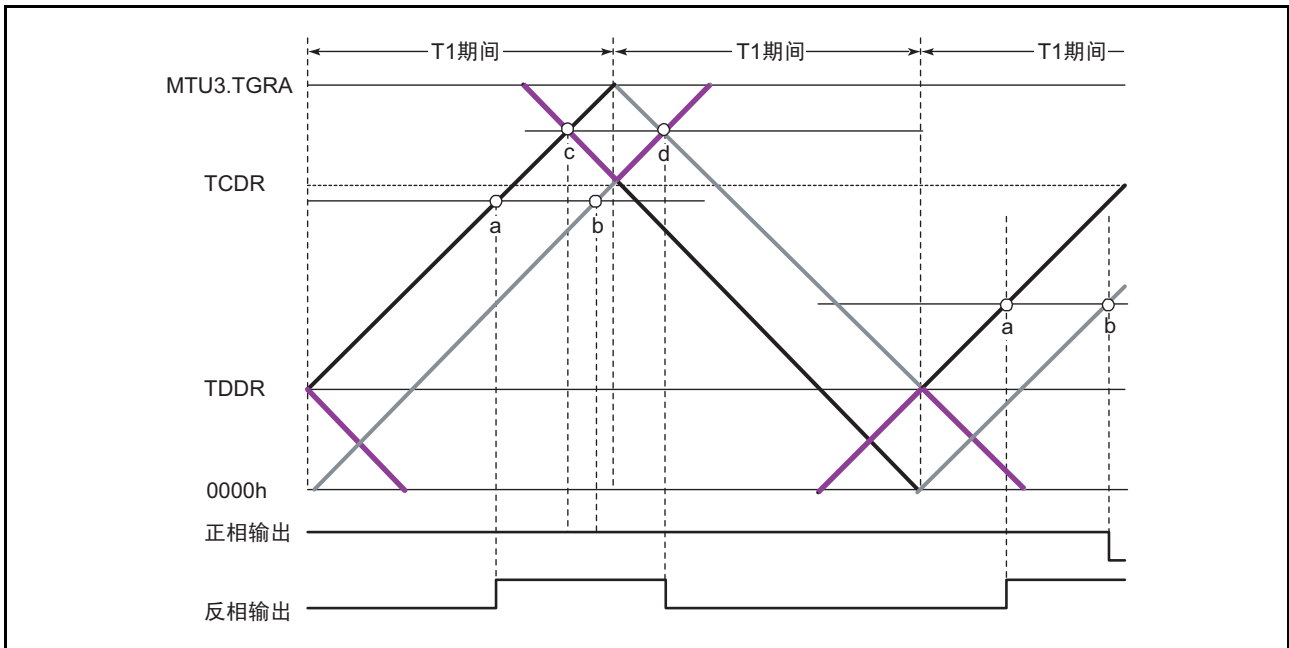


图 18.48 互补 PWM 模式的波形输出例子 (2)

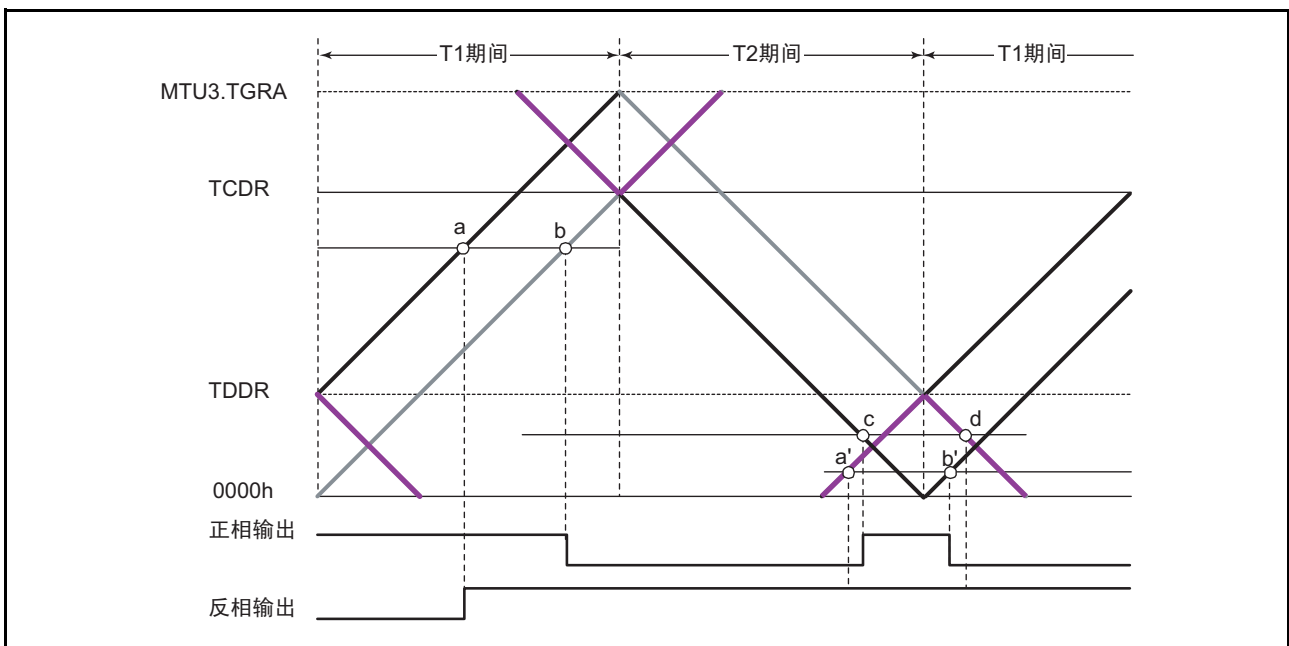


图 18.49 互补 PWM 模式的波形输出例子 (3) (单元 0)

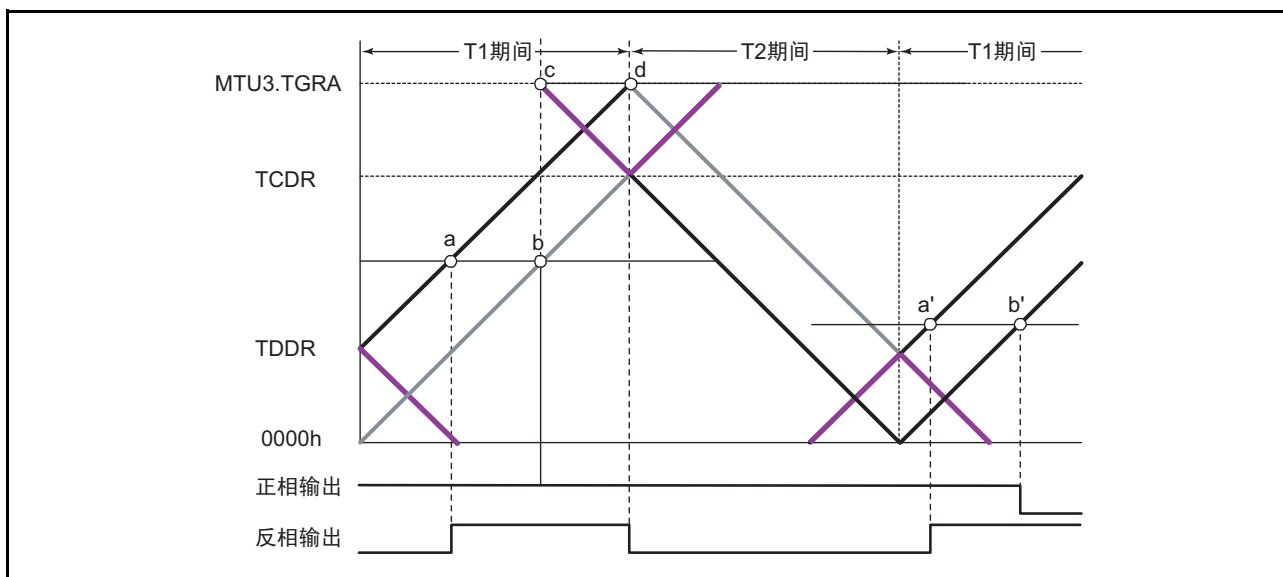


图 18.50 互补 PWM 模式的 0%、100% 波形输出例子 (1) (单元 0)

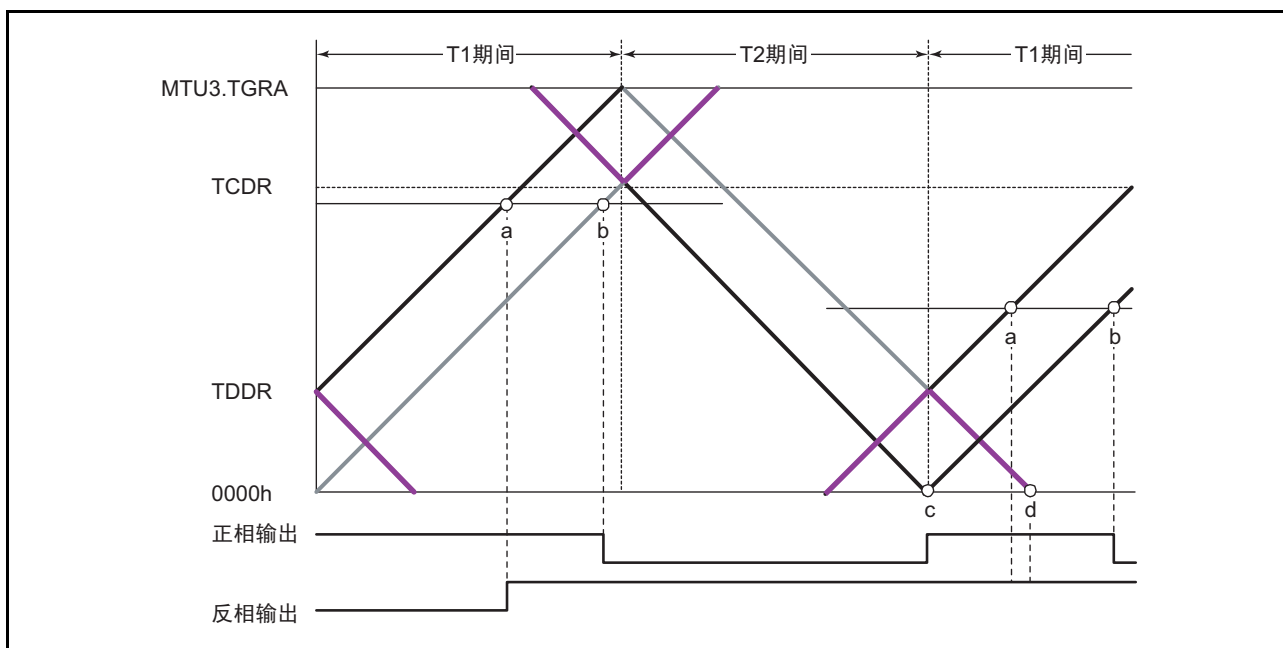


图 18.51 互补 PWM 模式的 0%、100% 波形输出例子 (2) (单元 0)

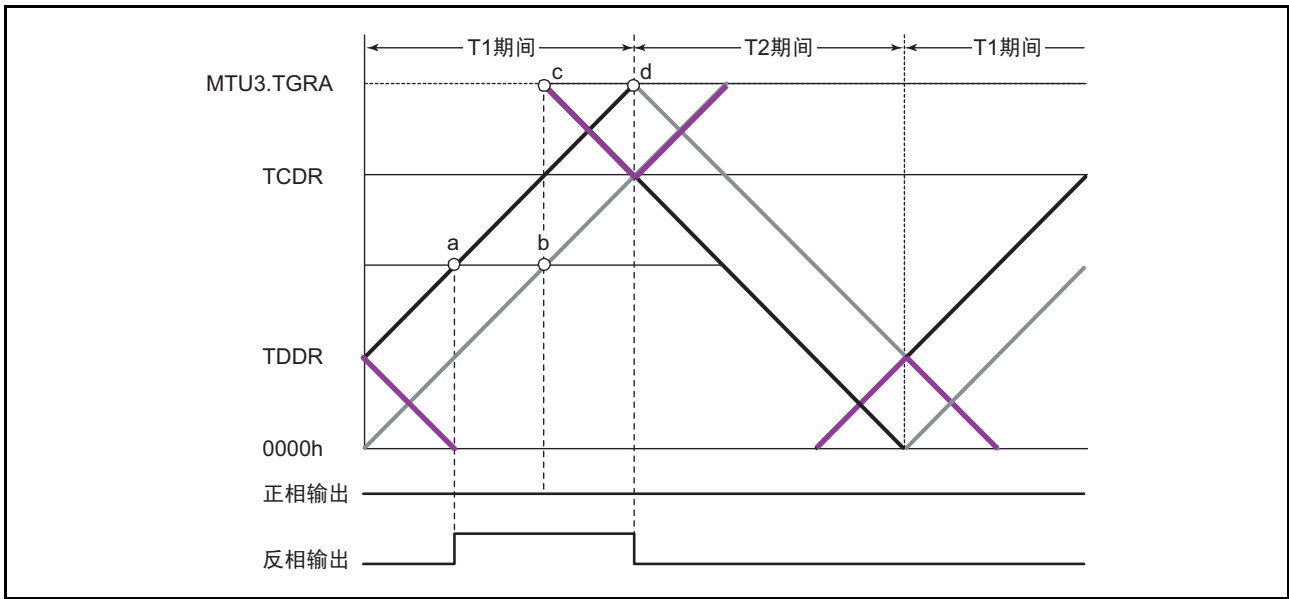


图 18.52 互补 PWM 模式的 0%、100% 波形输出例子 (3) (单元 0)

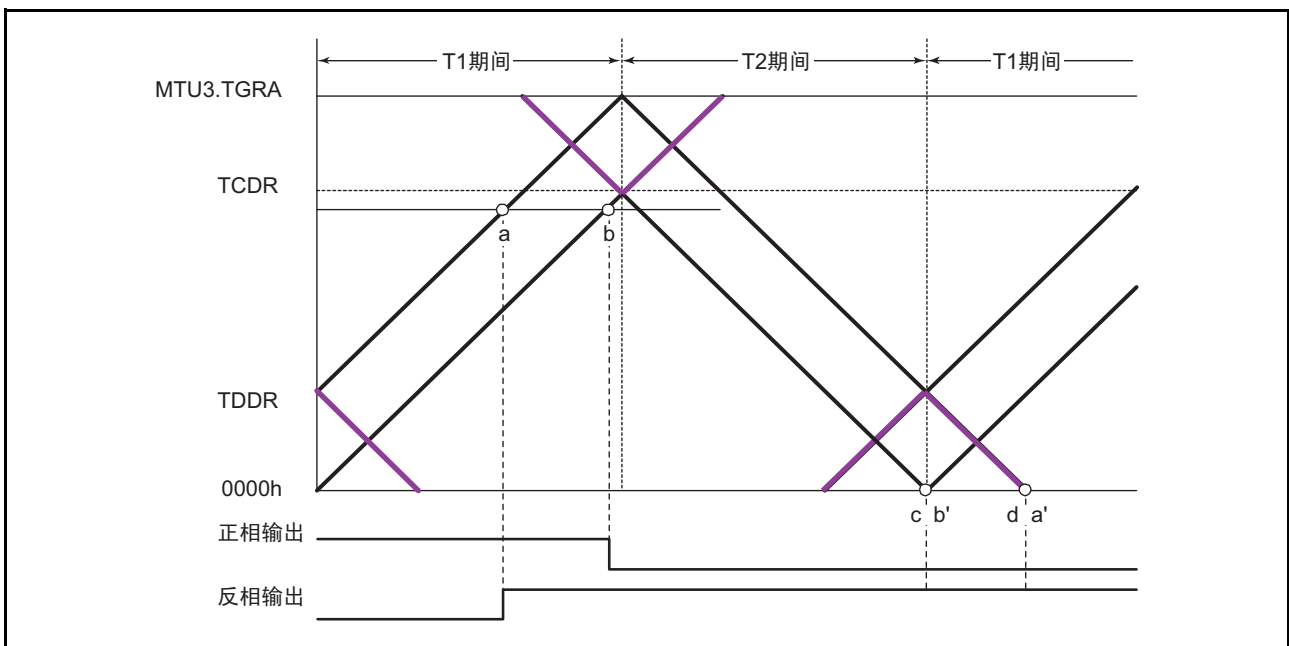


图 18.53 互补 PWM 模式的 0%、100% 波形输出例子 (4) (单元 0)

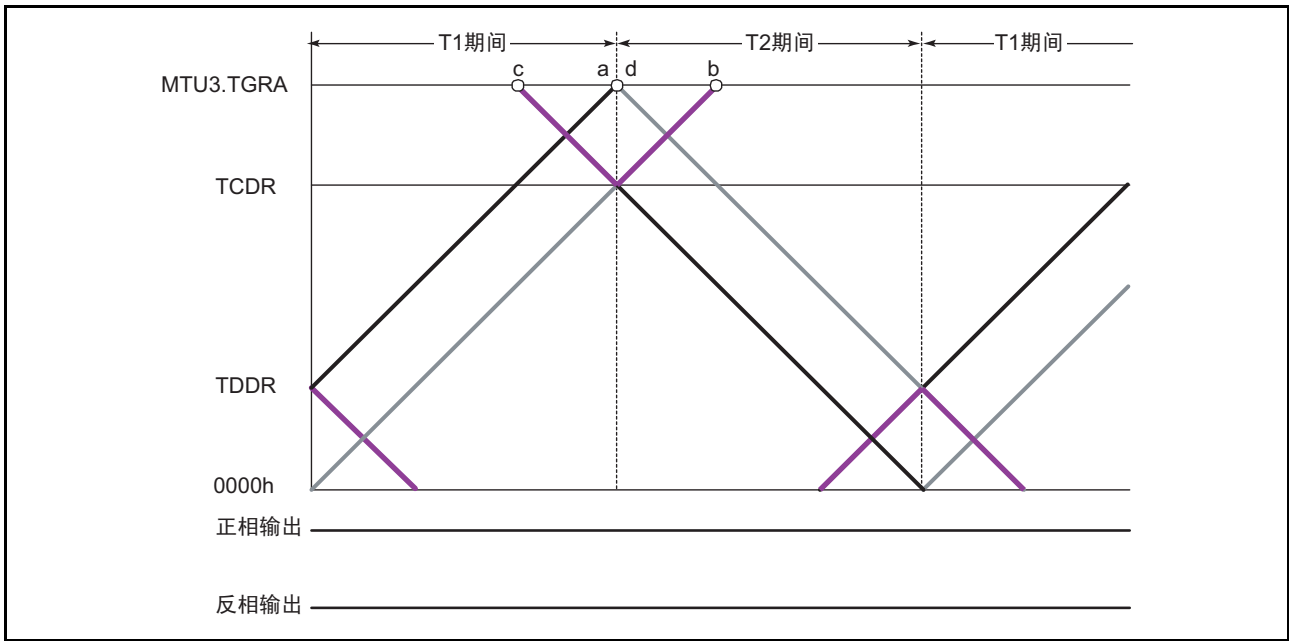


图 18.54 互补 PWM 模式的 0%、100% 波形输出例子 (5) (单元 0)

(k) 互补 PWM 模式的 0%、100% 占空比输出

在互补 PWM 模式中，能任意输出 0%、100% 的占空比，输出例子如图 18.50 ~ 图 18.53 所示。

如果将数据寄存器的值设定为“0000h”，就输出 100% 的占空比。此时的波形是正相为 100%ON 状态的波形。如果将数据寄存器的值设定为和 MTUn.TGRA (n=3、9) 相同的值，就输出 0% 的占空比。此时的波形是正相为 100%OFF 状态的波形。

此时，同时发生 ON 和 OFF 的比较匹配，如果同相的 ON 比较匹配和 OFF 比较匹配同时发生，双方的比较匹配就都被忽视而波形不变。

(l) 与 PWM 周期同步的交替输出

在互补 PWM 模式中，能通过将定时器的输出控制寄存器 (TOCR) 的 PSYE 位置“1”，进行与 PWM 载波周期同步的交替输出。交替输出的波形例子如图 18.55 所示。

通过 MTUn.TCNT 和 MTUn.TGRA 的比较匹配以及 MTUm.TCNT 和 0000h 的比较匹配进行交替输出。此交替输出的输出引脚为 MTIOCnA 引脚，初始输出为 High 电平输出 (n=3、9, m=4、10)。

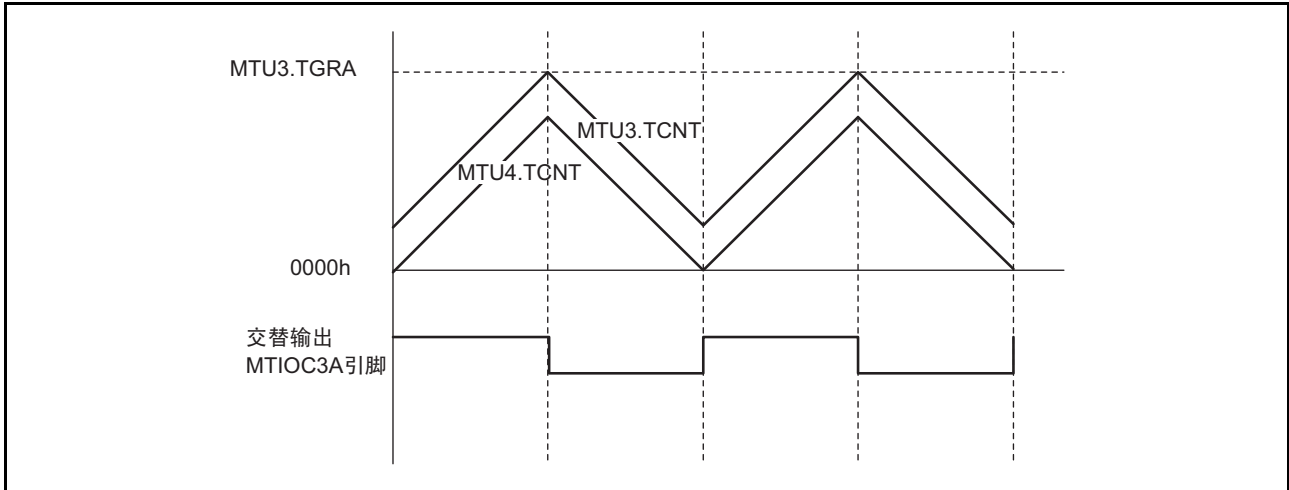


图 18.55 与 PWM 输出同步的交替输出波形例子 (单元 0)

(m) 其他通道的计数器清除

在互补 PWM 模式中，当通过定时器的同步寄存器 (TSYR) 设定为与其他通道的同步模式并且通过定时器的控制寄存器 (TCR) 的 CCLR[2:0] 位选择同步清除时，能由其他通道进行 MTUn.TCNT、MTUm.TCNT 和 TCNTS 的清除 (n=3、9, m=4、10)。

运行例子如图 18.56 所示。

使用此功能，能通过外部信号进行计数器清除和重新开始。

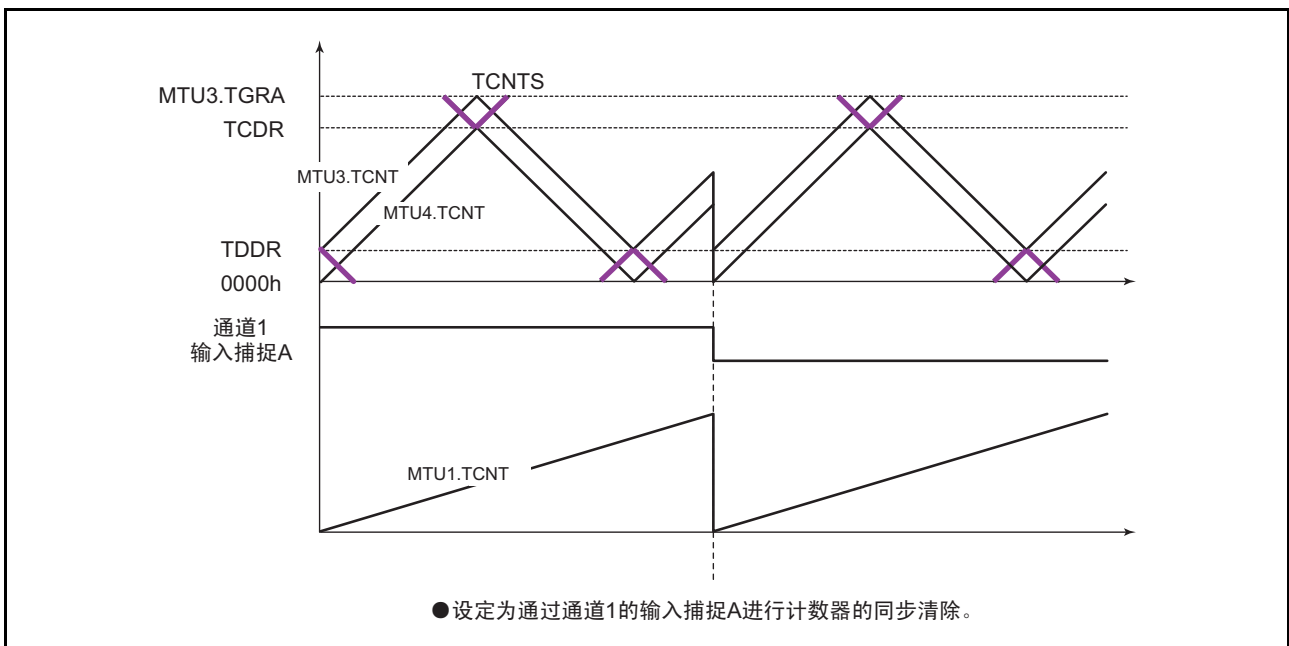


图 18.56 与其他通道同步的计数器清除 (单元 0)

(n) 互补 PWM 模式的同步计数器清除时的输出波形控制

能通过将 TWCR 寄存器的 WRE 位置“1”，抑止在互补 PWM 模式的波谷 Tb 区间发生同步计数器清除时的初始输出。因此，能抑止同步计数器清除时占空比的急剧变化。

只有在如图 18.57 的⑩、⑪ 的波谷 Tb 区间进行同步清除时，才能通过将 WRE 位置“1”来抑止初始输出。如果在其他时序中发生同步清除，就输出 TOCR 寄存器的 OLS 位设定的初始值。即使在波谷的 Tb 区间，如果在图 18.57 的①所示的计数器开始计数后的初始输出期间发生同步清除，也不抑止初始输出。

MTU 的计数器清除源为通道 0 ~ 2 和通道 6 ~ 8 的同步清除。

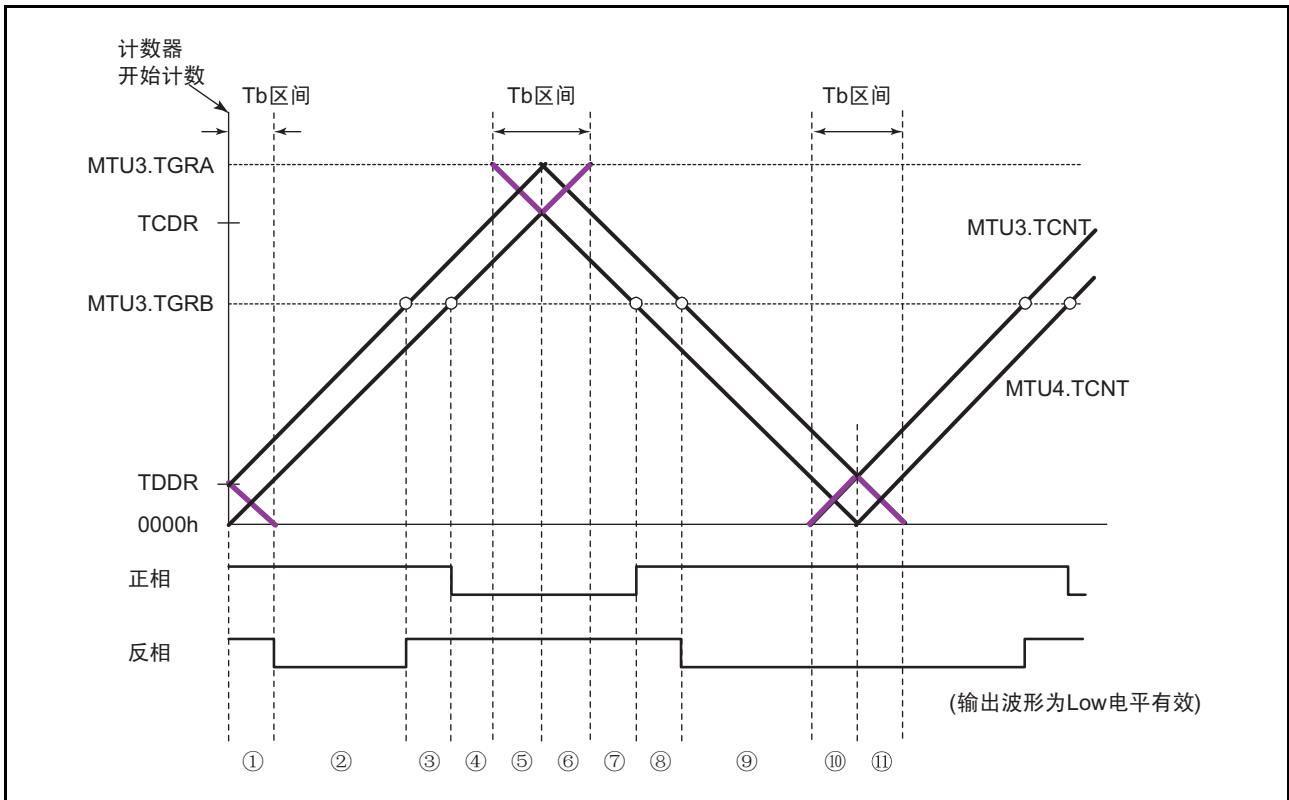


图 18.57 同步计数器的清除时序 (单元 0)

• 互补 PWM 模式的同步计数器清除时输出波形控制的设定步骤例子

互补 PWM 模式的同步计数器清除时输出波形控制的设定步骤例子如图 18.58 所示。

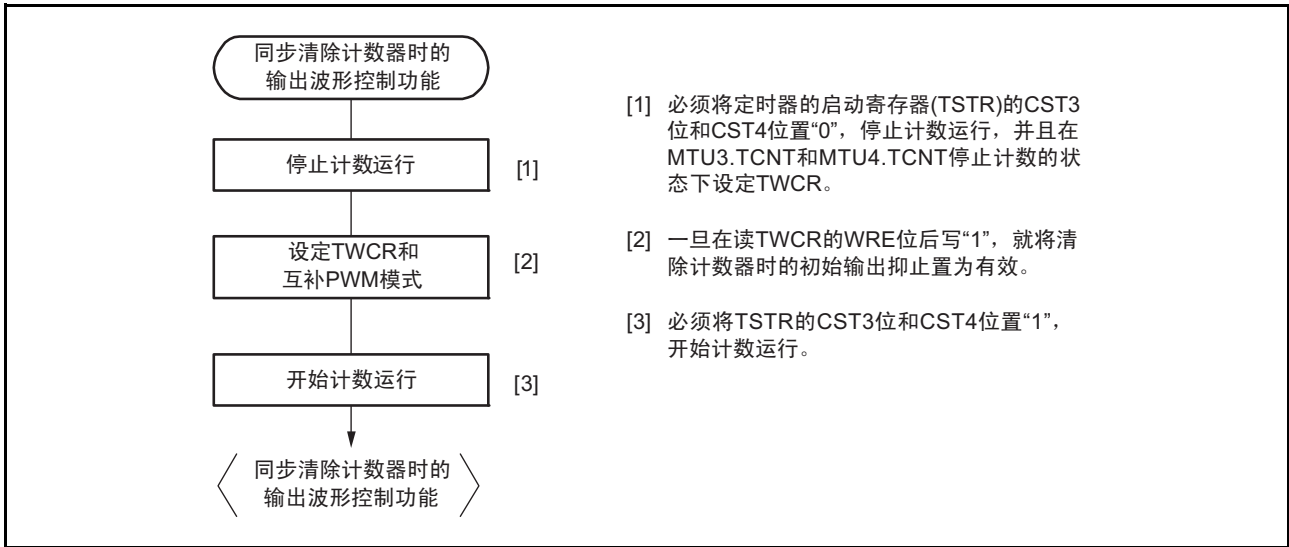


图 18.58 互补 PWM 模式的同步计数器清除时输出波形控制的设定步骤例子

• 互补 PWM 模式的同步计数器清除时输出波形控制的运行例子

在将 TWCR.WRE 位置“1”的状态下使 MTU 进行互补 PWM 运行并且进行同步计数器清除时的运行例子如图 18.59 ~ 图 18.62 所示。在此，图 18.59 ~ 图 18.62 的同步计数器清除时序分别是图 18.57 的③、⑥、⑧、⑩所示的时序。

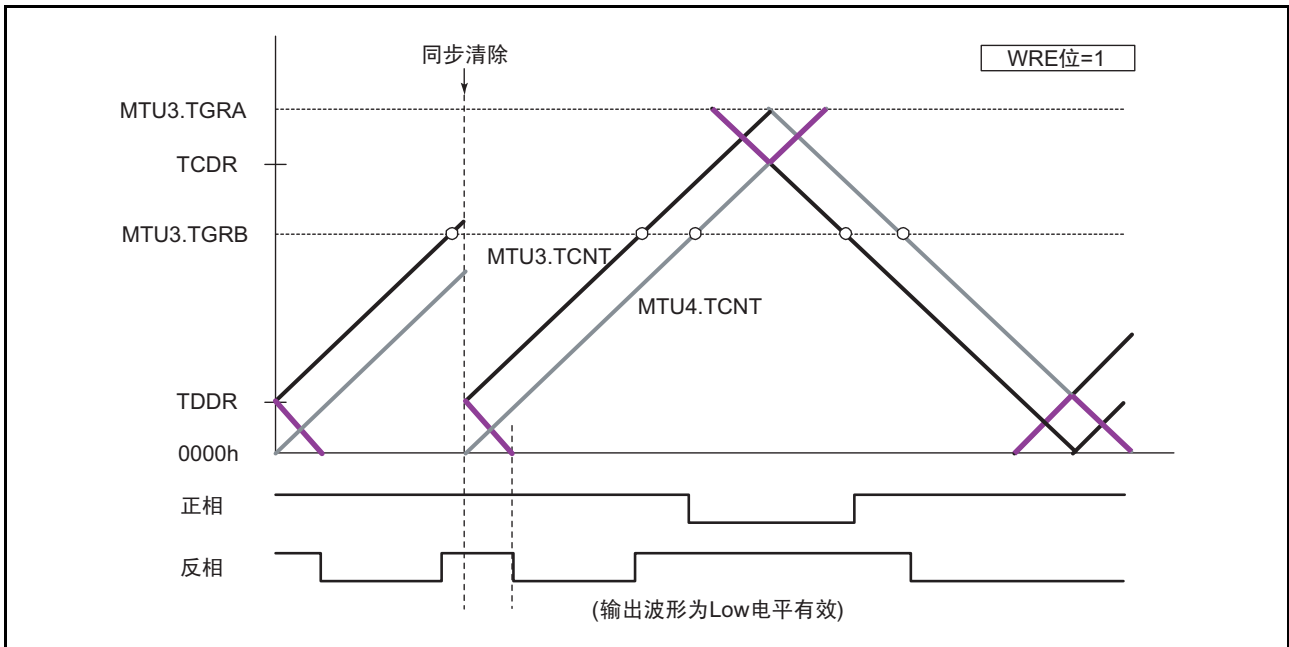


图 18.59 在递增计数过程中的死区时间发生同步清除的情况 (图 18.57 的时序③、MTU 的 TWCR 寄存器的 WRE 位 =1) (单元 0)

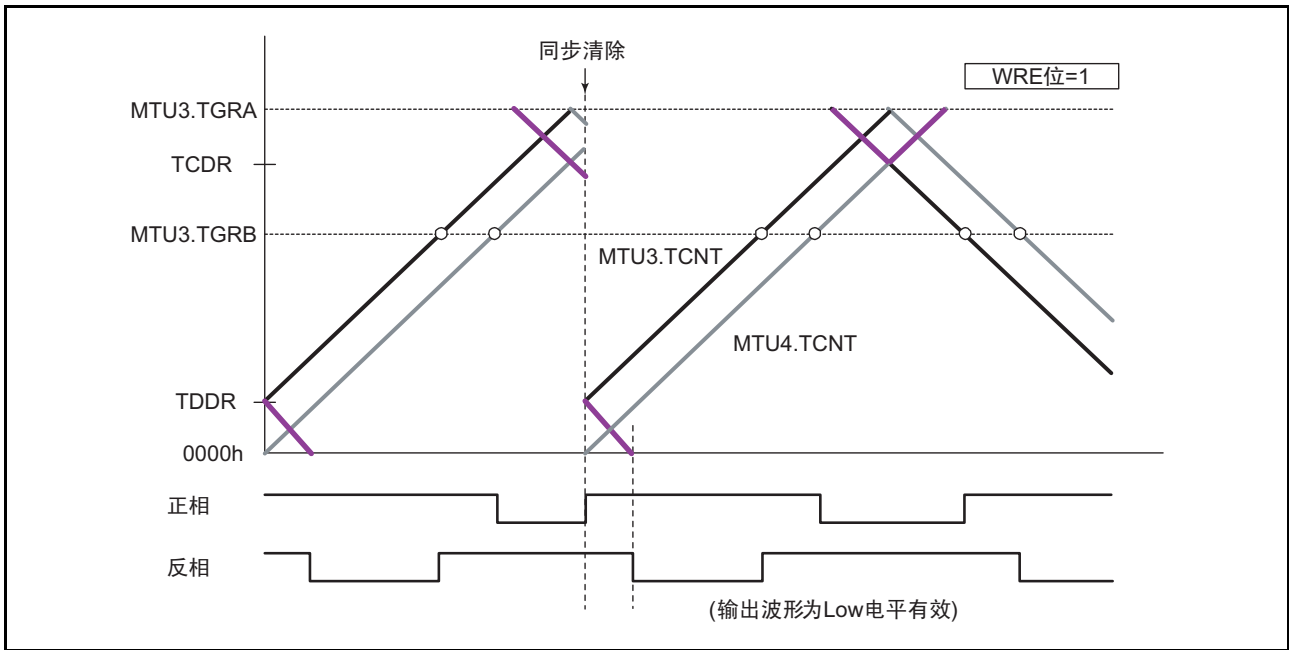


图 18.60 在波峰 Tb 区间发生同步清除的情况
(图 18.57 的时序⑥、MTU 的 TWCR 寄存器的 WRE 位 =1) (单元 0)

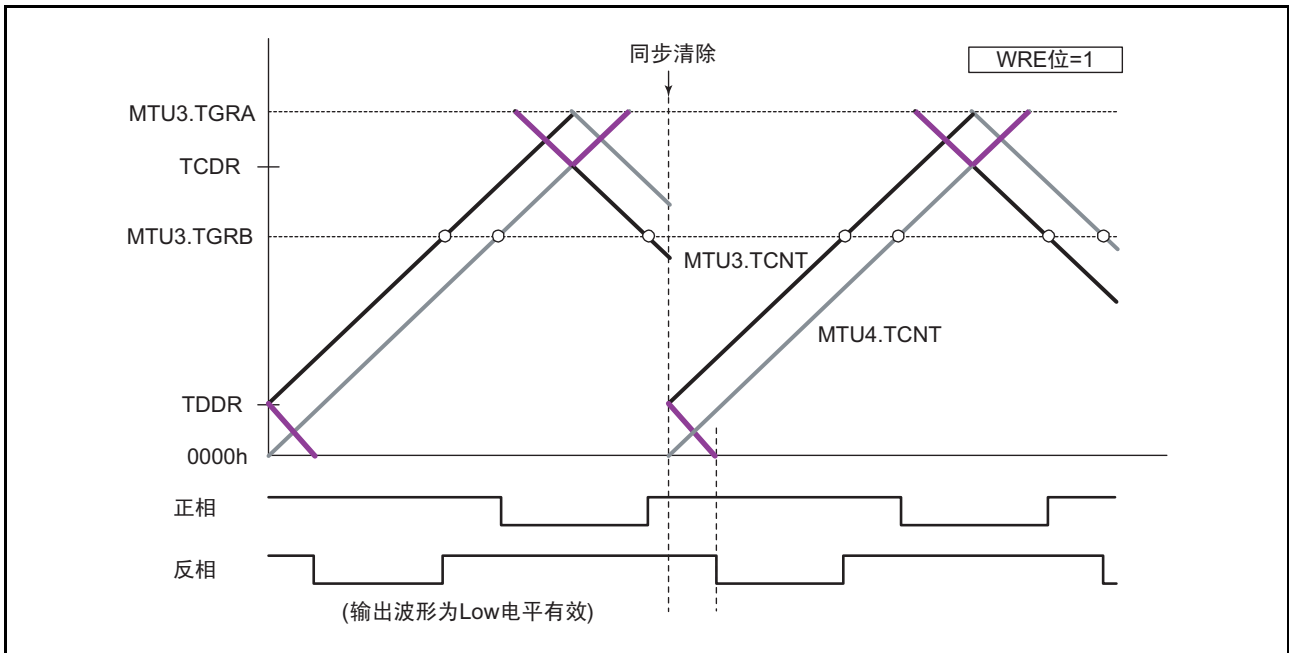


图 18.61 在递减计数过程中的死区时间发生同步清除的情况
(图 18.57 的时序⑧、TWCR 寄存器的 WRE 位 =1) (单元 0)

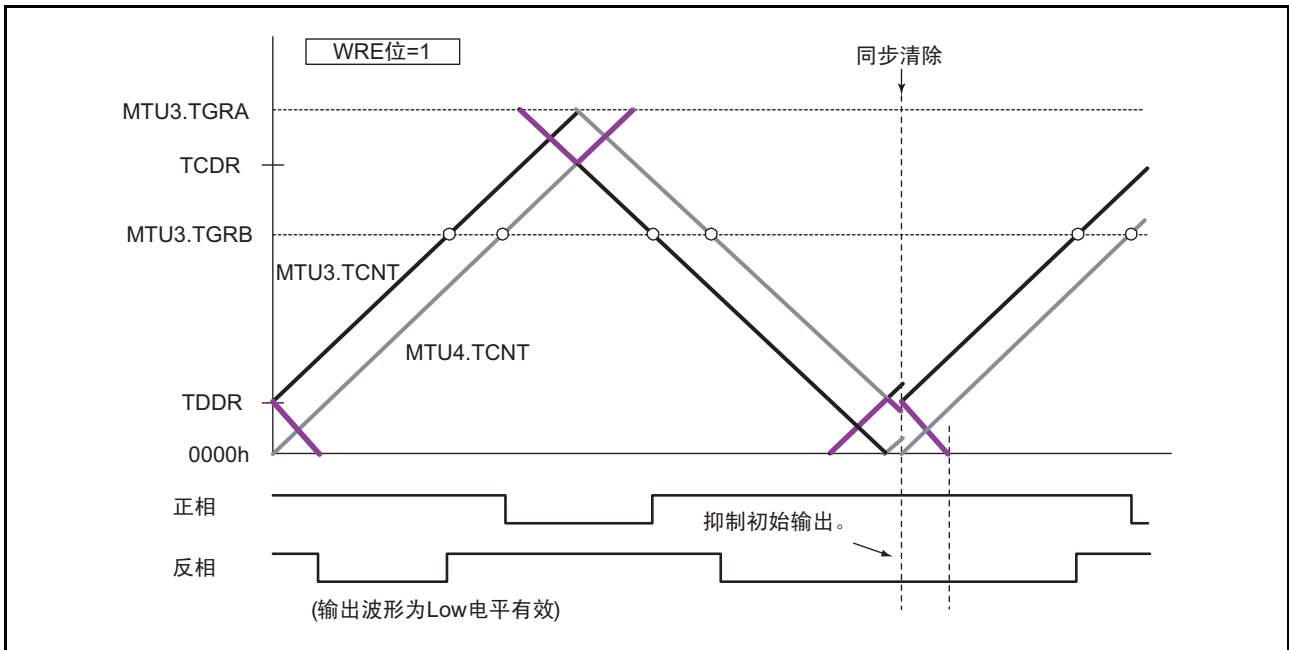


图 18.62 在波谷 Tb 区间发生同步清除的情况
(图 18.57 的时序 ⑪、TWCR 寄存器的 WRE 位 =1) (单元 0)

(o) 通过 MTUn.TGRA 的比较匹配进行的计数器清除 (n=3、9)

在互补 PWM 模式中，能通过设定定时器的波形控制寄存器 (TWCR) 的 CCE 位，在 MTUn.TGRA 的比较匹配时清除 MTUn.TCNT、MTUm.TCNT 和 TCNTS (n=3、9, m=4、10)，运行例子如图 18.63 所示。

- 注 1. 只能在互补 PWM 模式 1 (在波峰进行传送) 中使用。
- 注 2. 不能设定为与其他通道同步清除功能 (不能将定时器的同步寄存器 (TSYR) 的 SYNC0 ~ SYNC4 位置“1”)。
- 注 3. 不能将 PWM 占空比设定为“0000h”。
- 注 4. 不能将定时器的输出控制寄存器 1 (TOCR1) 的 PSYE 位置“1”。

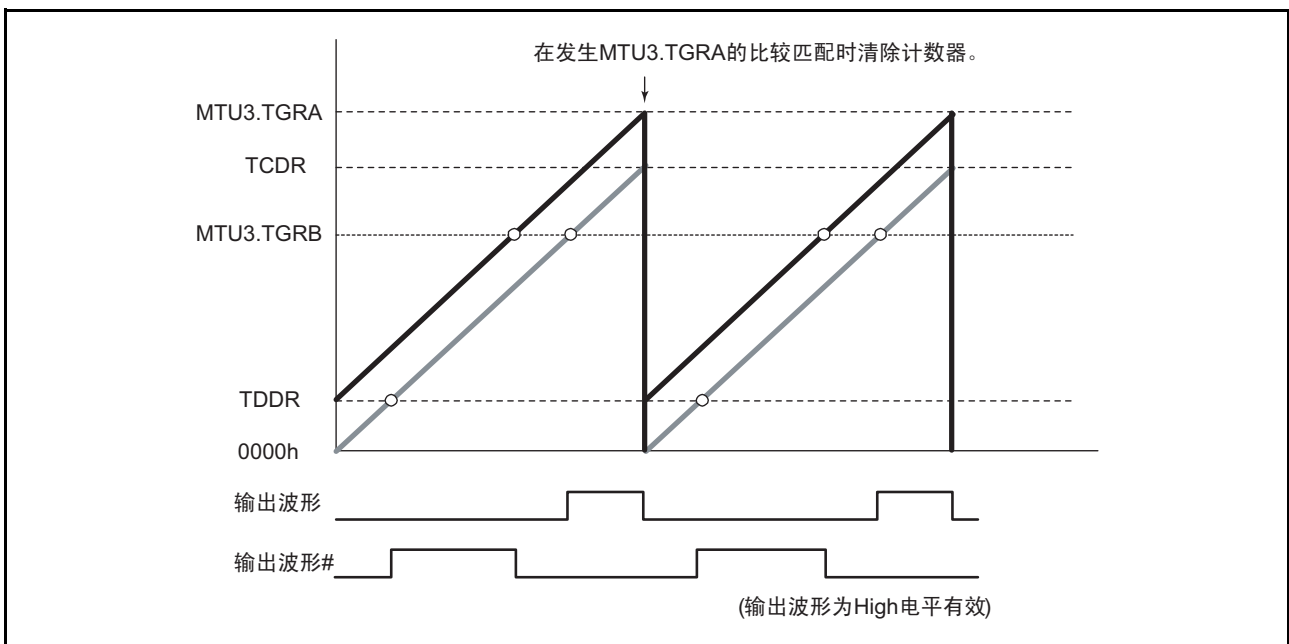


图 18.63 MTU3. TGRA 的比较匹配时的计数器清除的运行例子 (单元 0)

(p) AC 同步马达 (无刷 DC 马达) 的驱动波形输出例子

在互补 PWM 模式中, 能使用定时器的门控寄存器 (TGCR), 简单地控制无刷 DC 马达。使用 TGCR 的无刷 DC 马达的驱动波形例子如图 18.64 ~ 图 18.67 所示。

在通过使用霍尔元件等检测到的外部信号进行 3 相无刷 DC 马达的输出相转换时, 必须将 TGCR 的 FB 位置“0”。此时, 将表示磁极位置的外部信号输入到通道 0 的定时器输入引脚 MTIOC0A、MTIOC0B、MTIOC0C 引脚 (必须通过 PFCMTU 寄存器进行设定)。如果在 MTIOC0A、MTIOC0B、MTIOC0C 引脚产生边沿, 输出的 ON/OFF 就自动进行转换。

在 TGCR.FB 位为“1”的情况下, 如果将 TGCR 的 UF 位、VF 位和 WF 位置“0”或者“1”, 输出的 ON/OFF 就进行转换。

从互补 PWM 模式的 6 相输出引脚输出驱动波形。

对于此 6 相输出, 能通过将 N 位或者 P 位置“1”, 在 ON 输出时使用互补 PWM 模式的输出, 进行斩波输出。如果 N 位或者 P 位为“0”, 就为电平输出。

6 相输出的有效电平 (ON 输出时的电平) 与 N 位和 P 位的设定无关, 能通过定时器的输出控制寄存器 (TOCR) 的 OLSN 位和 OLSP 位进行设定。

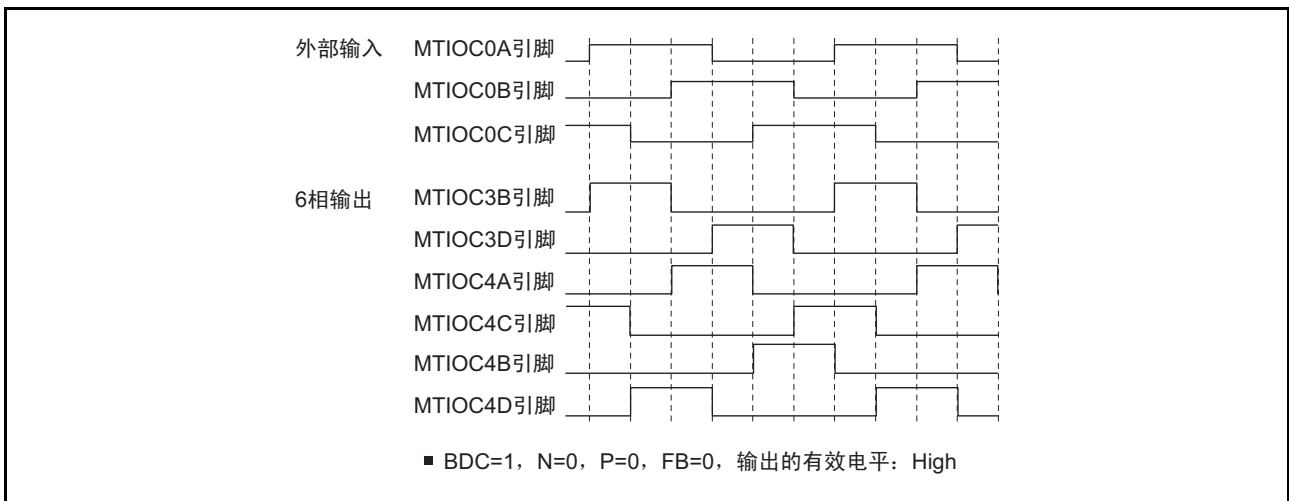


图 18.64 通过外部输入进行输出相转换的运行例子 (1) (单元 0)

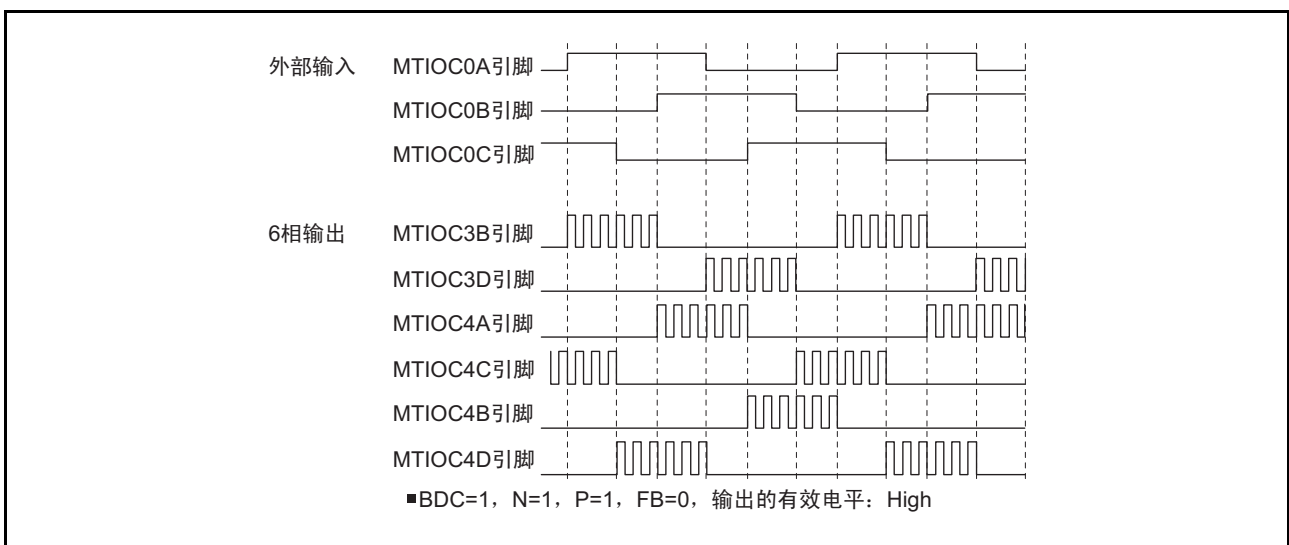


图 18.65 通过外部输入进行输出相转换的运行例子 (2) (单元 0)

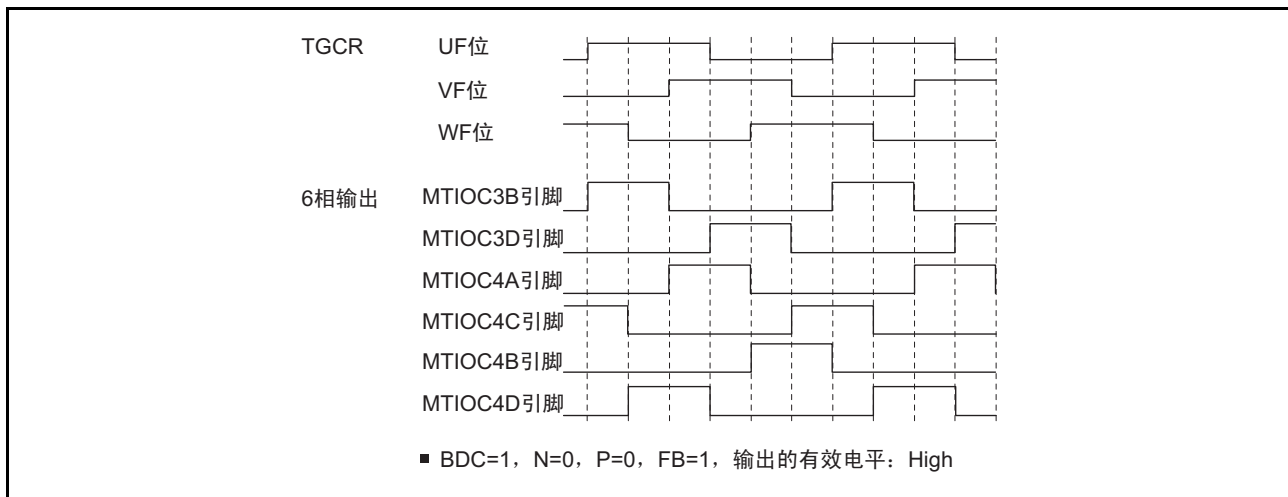


图 18.66 通过设定 UF 位、VF 位和 WF 位进行输出相转换的运行例子 (1) (单元 0)

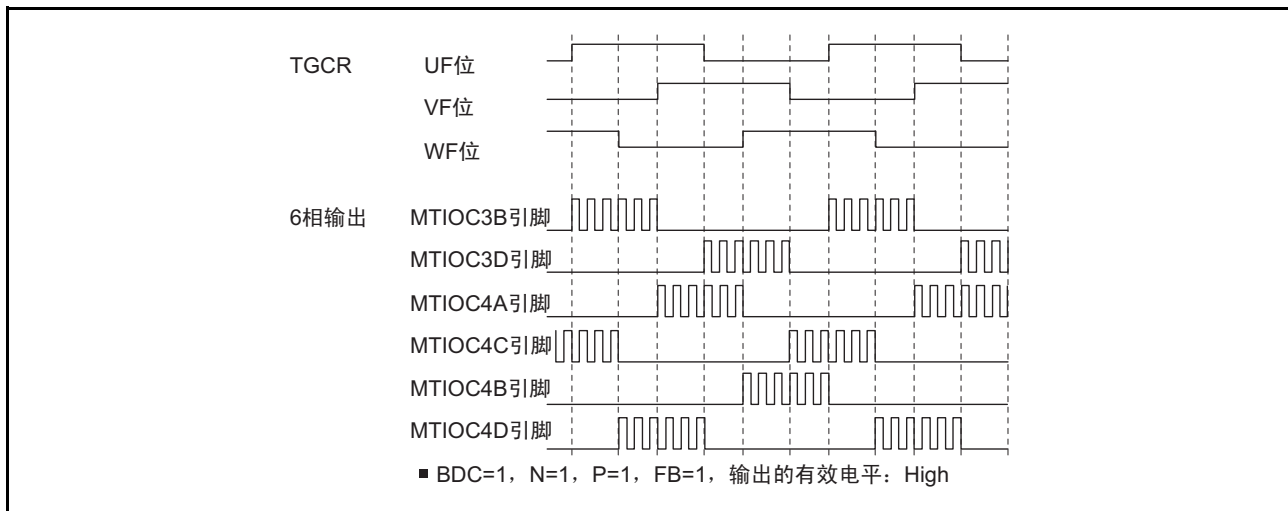


图 18.67 通过设定 UF 位、VF 位和 WF 位进行输出相转换的运行例子 (2) (单元 0)

(q) A/D 转换开始请求的设定

在互补 PWM 模式中，能使用 $MTU_n.TGRA$ 的比较匹配、 $MTU_m.TCNT$ 的下溢（波谷）、通道 3、4、9、10 以外通道的比较匹配，请求开始 A/D 转换。

如果使用 $MTU_n.TGRA$ 的比较匹配设定开始请求，就能在 $MTU_n.TCNT$ 的波峰开始 A/D 转换。

能通过将定时器的中断允许寄存器（TIER）的 TTGE 位置“1”，设定 A/D 转换的开始请求，并且能通过将 $MTU_m.TIER$ 的 TTGE2 位置“1”，设定 $MTU_m.TCNT$ 下溢（波谷）的 A/D 转换开始请求（ $n=3、9$ ， $m=4、10$ ）。

(3) 互补 PWM 模式的中断减少功能

能通过设定定时器的中断减少设定寄存器 (TITCR)，使通道 3 (或者通道 9) 和通道 4 (或者通道 10) 的 TGIAn (波峰的中断) 以及 TCIVm (波谷的中断) 最多减少 7 次中断 (n=3、9, m=4、10)。

能通过设定定时器的缓冲传送寄存器 (TBTER)，联动缓冲寄存器到暂寄存器 / 比较寄存器的数据传送来减少中断。有关和缓冲寄存器的联动，请参照“(c) 联动中断减少功能的缓冲传送控制”。

能通过设定定时器的 A/D 转换请求控制寄存器 (TADCR)，联动 A/D 转换开始请求延迟功能的 A/D 转换开始请求来减少中断。有关和 A/D 转换开始请求延迟功能的联动，请参照“18.3.9 A/D 转换开始请求的延迟功能”。

必须通过设定 MTUn.TIER 寄存器和 MTUm.TIER 寄存器，在禁止 TGIAn 和 TCIVm 中断请求的状态下并且在不发生由比较匹配产生的 TGFA3 标志和 TCFV4 标志的置位以及不发生由比较匹配产生的 TGIA3 中断请求和 TGIA4 中断请求的状态下，设定定时器的中断减少设定寄存器 (TITCR)。在更改减少次数前，必须将 T3AEN 位和 T4VEN 位置“0”，清除减少计数器 (n=3、9, m=4、10)。

(a) 中断减少功能的设定步骤例子

中断减少功能的设定步骤例子和中断减少次数的可变更期间 (单元 0) 分别如图 18.68 和图 18.69 所示。

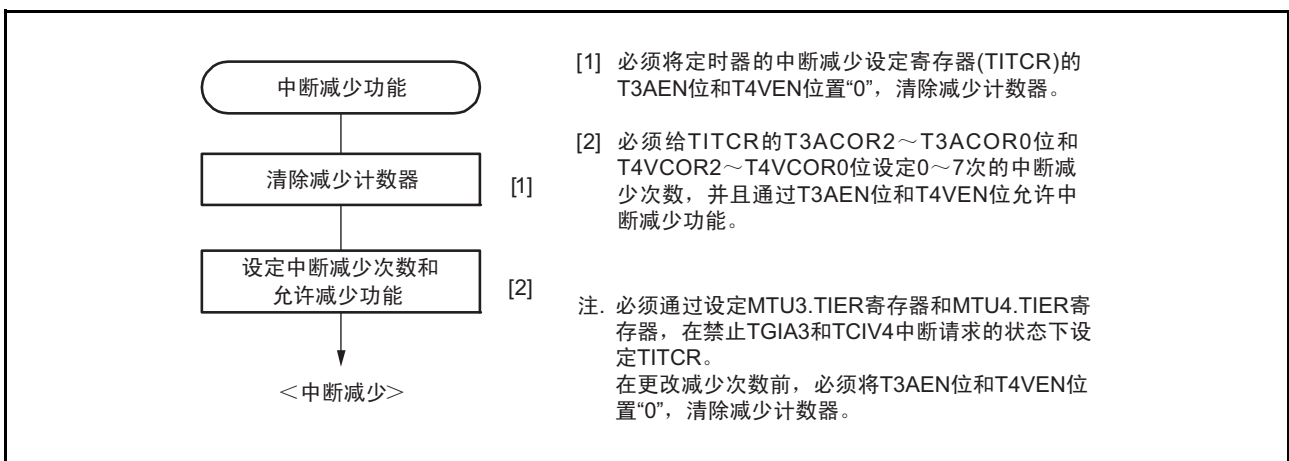


图 18.68 中断减少功能的设定步骤例子

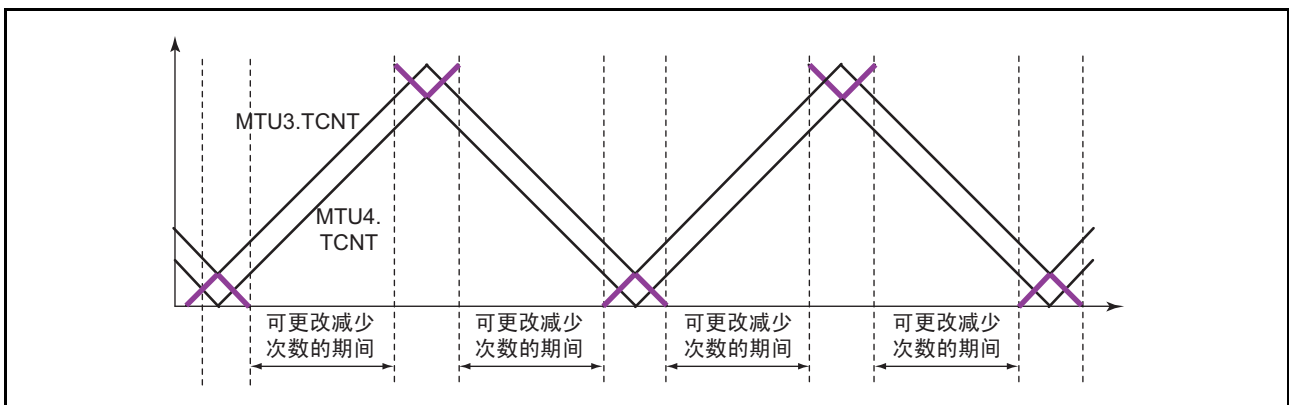


图 18.69 中断减少次数的可变更期间 (单元 0)

(b) 中断减少功能的运行例子

通过定时器的中断减少设定寄存器 (TITCR) 的 T3ACOR 位将中断减少次数设定为 3 次并且将 T3AEN 位置“1”时的 MTU3.TGIA 中断减少的运行例子如图 18.70 所示。

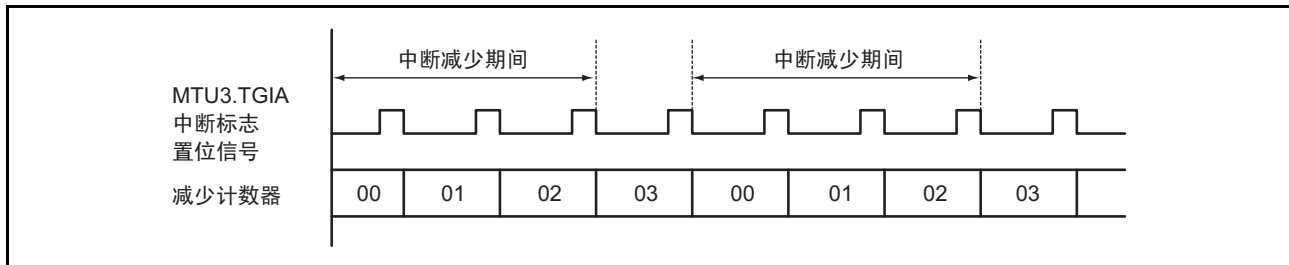


图 18.70 中断减少功能的运行例子 (单元 0)

(c) 联动中断减少功能的缓冲传送控制

能通过设定定时器的缓冲传送设定寄存器 (TBTER) 的 BTE1 位和 BTE0 位, 选择在互补 PWM 模式中是否进行缓冲寄存器到暂存器的缓冲传送以及是否联动中断减少功能。

设定为抑止缓冲传送 (BTE1=0, BTE0=1) 时的运行例子如图 18.71 所示。在此设定期间中, 不进行缓冲寄存器到暂存器的传送。

设定为缓冲传送联动中断减少功能 (BTE1=1, BTE0=0) 时的运行例子如图 18.72 所示。此时, 除了缓冲传送允许期间以外, 不进行缓冲寄存器到暂存器的传送。

如果将定时器的中断减少设定寄存器 (TITCR) 的 T3AEN 位置“1”, 或者将 T4VEN 位置“1”, 或者将 T3AEN/T4VEN 位置“1”, 各缓冲传送允许期间就不同。TITCR 的 T3AEN 位、T4VEN 位的设定和缓冲传送允许期间的关系如图 18.73 所示。

注. 此功能必须和中断减少功能配合使用。
 在禁止中断减少（将定时器的中断减少设定寄存器（TITCR）的T3AEN位和T4VEN位置“0”，或者将TITCR的减少次数设定（T3ACOR和T4VCOR）置“0”）时，必须设定为缓冲传送不联动中断减少功能（将TBTER.BTE1位置“0”）。
 在禁止中断减少功能时，如果设定为缓冲传送联动中断减少功能，就不进行缓冲传送。

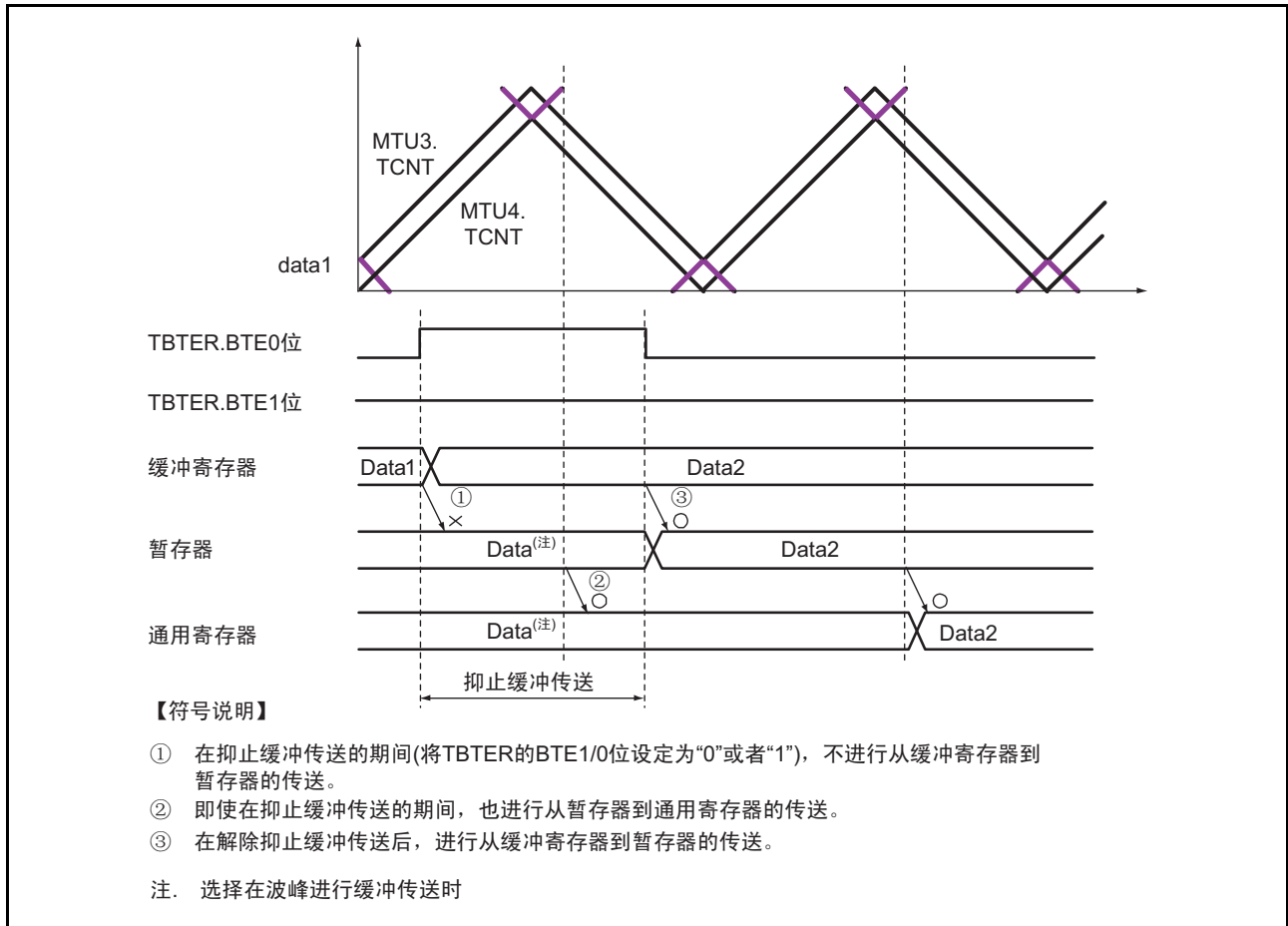


图 18.71 设定为抑止缓冲传送 (BTE1=0, BTE0=1) 时的运行例子 (单元 0)

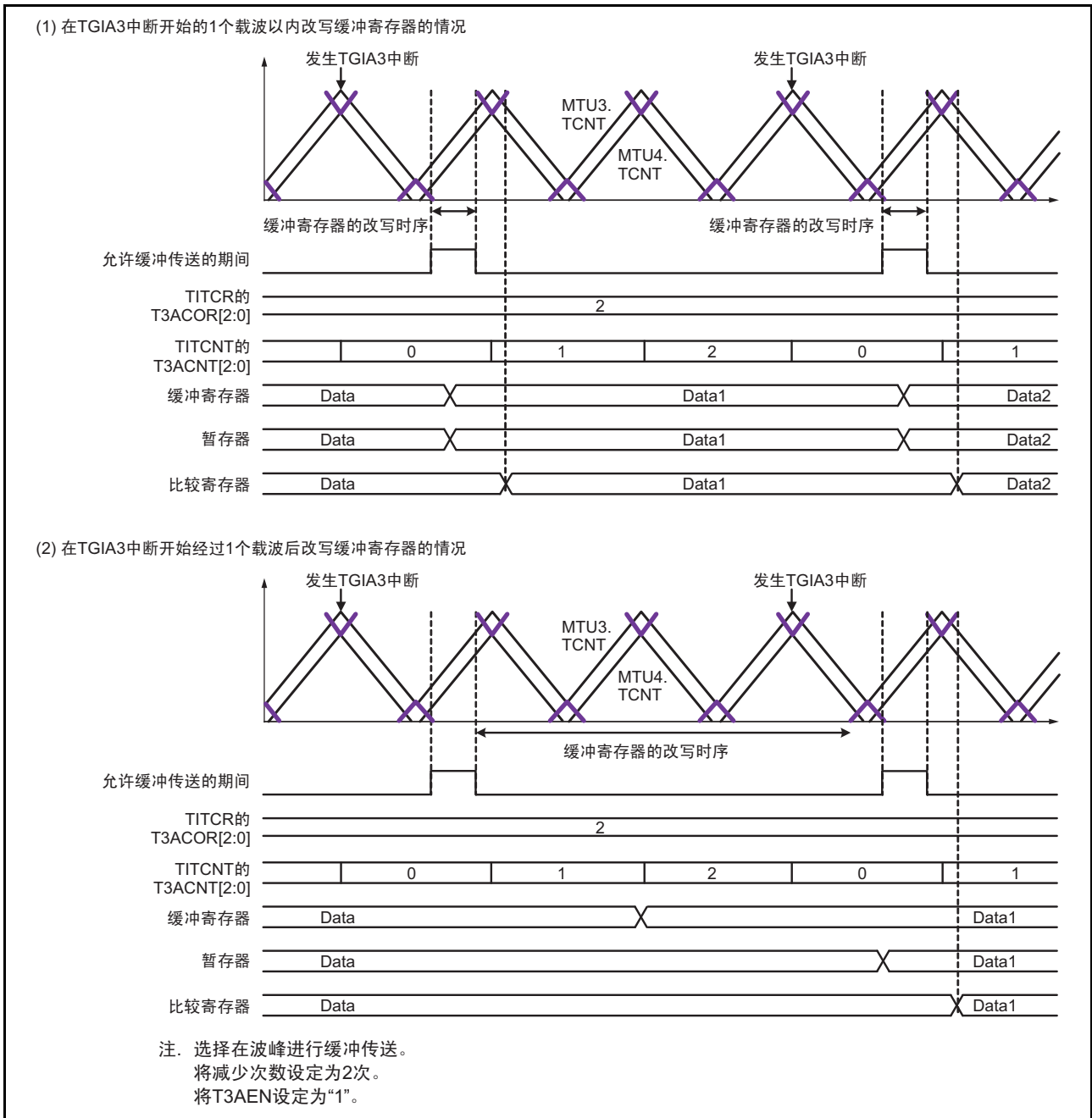


图 18.72 设定为缓冲传送联动中断减少功能 (BTE1=1, BTE0=0) 时的运行例子 (单元 0)

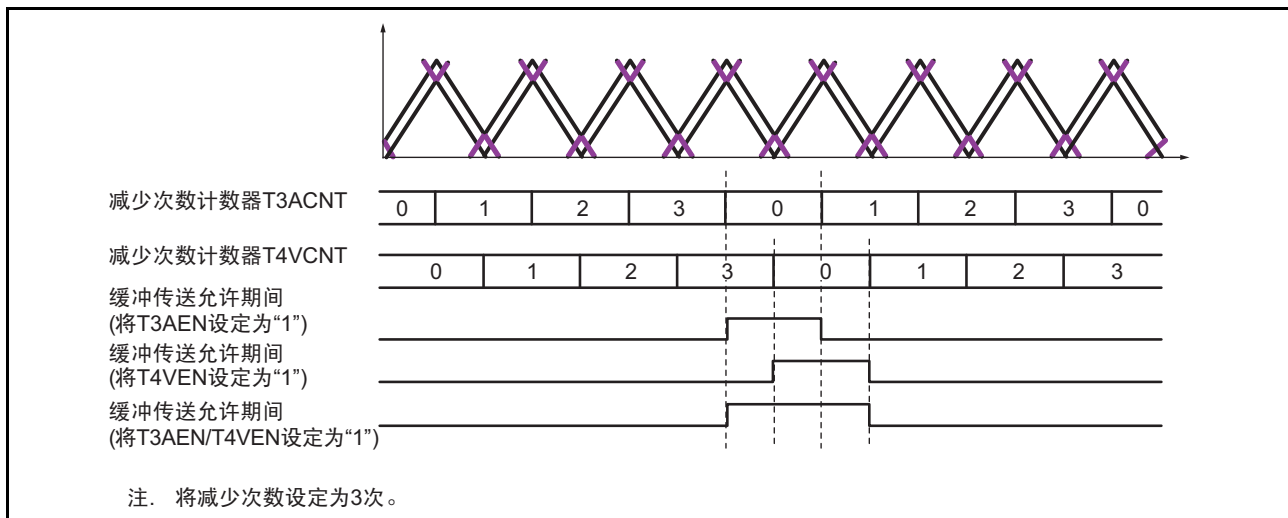


图 18.73 定时器的中断减少设定寄存器 (TITCR) 的 T3AEN 位、T4VEN 位的设定和缓冲传送允许期间的关系 (单元 0)

(4) 互补 PWM 模式的输出保护功能

互补 PWM 模式的输出具有以下保护功能。

(a) 寄存器和计数器的误写防止功能

在互补 PWM 模式中使用的寄存器和计数器当中，除了随时能改写的缓冲寄存器以外，能通过设定定时器的读写允许寄存器 (TRWER) 的 RWE 位，选择允许或者禁止 CPU 存取模式寄存器、控制寄存器、比较寄存器和计数器。对象寄存器为通道 3 和通道 4 (单元 0)、或者通道 9 和通道 10 (单元 1) 的一部分寄存器，适用于以下寄存器：

单元 0:

MTU3.TCR 和 MTU4.TCR、MTU3.TMDR 和 MTU4.TMDR、MTU3.TIORH 和 MTU4.TIORH、MTU3.TIORL 和 MTU4.TIORL、MTU3.TIER 和 MTU4.TIER、MTU3.TCNT 和 MTU4.TCNT、MTU3.TGRA 和 MTU4.TGRA、MTU3.TGRB 和 MTU4.TGRB、MTUA.TOER、MTUA.TOCR1、MTUA.TOCR2、MTUA.TGCR、MTUA.TCDR、MTUA.TDDR 共计 22 个寄存器

单元 1:

MTU9.TCR 和 MTU10.TCR、MTU9.TMDR 和 MTU10.TMDR、MTU9.TIORH 和 MTU10.TIORH、MTU9.TIORL 和 MTU10.TIORL、MTU9.TIER 和 MTU10.TIER、MTU9.TCNT 和 MTU10.TCNT、MTU9.TGRA 和 MTU10.TGRA、MTU9.TGRB 和 MTU10.TGRB、MTUB.TOER、MTUB.TOCR1、MTUB.TOCR2、MTUB.TGCR、MTUB.TCDR、MTUB.TDDR 共计 22 个寄存器

通过此功能，能设定为禁止 CPU 存取模式寄存器、控制寄存器和计数器，以防止因 CPU 失控而产生的误写。在禁止存取的状态下读对象寄存器时，读取值为不定值，写操作无效。

(b) 通过外部信号进行的 PWM 输出停止功能

能通过输入指定的外部信号，使 6 相 PWM 输出引脚自动变为高阻抗状态。

详细内容请参照“19. 端口输出允许 2 (POE2)”。

(c) 振荡停止时的 PWM 输出停止功能

在检测到输入到本 LSI 的时钟停止后，6 相 PWM 输出引脚自动变为高阻抗状态。但是，一旦时钟重新开始振荡，就无法保证此引脚状态。

详细内容请参照“8.11 振荡停止检测功能”。

18.3.9 A/D 转换开始请求的延迟功能

能通过设定通道 4 或者通道 10 的定时器的 A/D 转换开始请求控制寄存器 (TADCR)、定时器的 A/D 启动请求周期寄存器 (MTUn.TADCORA 和 MTUn.TADCORB) 或者定时器的 A/D 启动请求周期缓冲寄存器 (MTUn.TADCOBRA 和 MTUn.TADCOBRB)，进行 A/D 转换的开始请求 (n=4、10)。

A/D 转换开始请求的延迟功能是将 MTUn.TCNT 和 MTUn.TADCORA、MTUn.TADCORB 进行比较，如果 MTUn.TCNT 和 MTUn.TADCORA、MTUn.TADCORB 相同，就进行各自的 A/D 转换开始请求 (TRGnAN 和 TRGnBN)。

能通过设定 TADCR 的 ITA3AE、ITAnVE、ITBmAE、ITBnVE 位，联动中断减少功能减少 A/D 转换的开始请求 (TRGnAN 和 TRGnBN) (n=4、10, m=3、7)。

(1) A/D 转换开始请求延迟功能的设定步骤例子

A/D 转换开始请求延迟功能的设定步骤例子如图 18.74 所示。

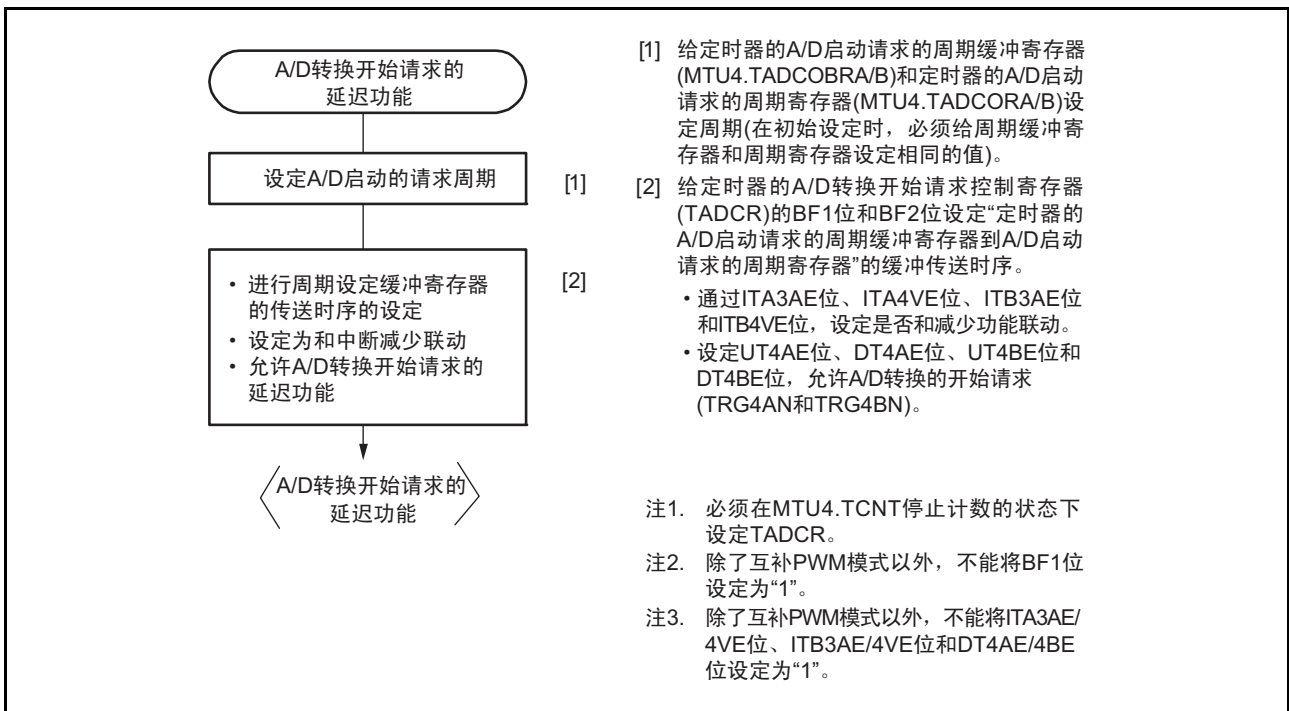


图 18.74 A/D 转换开始请求延迟功能的设定步骤例子

(2) A/D 转换开始请求延迟功能的基本运行例子

将缓冲传送时序设定为 MTU4.TCNT 的波谷并且在 MTU4.TCNT 进行递减计数时输出 A/D 转换开始请求信号 (TRG4AN) 时的 A/D 转换开始请求信号 (TRG4AN) 的基本运行例子 (单元 0) 如图 18.75 所示。

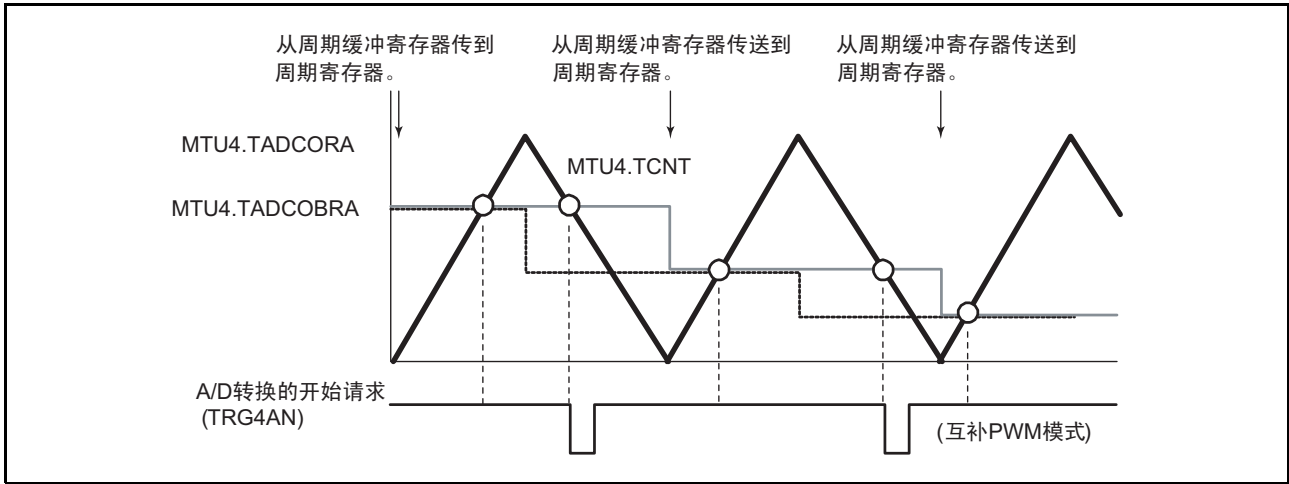


图 18.75 A/D 转换开始请求信号 (TRG4AN) 的基本运行例子 (单元 0)

(3) 缓冲传送

通过将数据写到定时器的 A/D 启动请求周期设定缓冲寄存器 (MTUn.TADCOBRA/B)，更新定时器的 A/D 启动请求周期设定寄存器 (MTUn.TADCORA/B) 的数据。能通过设定定时器的 A/D 转换开始请求控制寄存器 (MTUn.TADCR) 的 BF1 位和 BF0 位，选择定时器 A/D 的启动请求周期设定缓冲寄存器到定时器的 A/D 启动请求周期设定寄存器的传送时序 (n=4、10)。

(4) 联动中断减少功能的 A/D 转换开始请求延迟功能

能通过设定过定时器的 A/D 转换开始请求控制寄存器 (TADCR) 的 ITA3AE、ITA4VE、ITB3AE、ITB4VE 位，联动中断减少功能进行 A/D 转换的开始请求 (TRG4AN 和 TRG4BN)。在 MTUn.TCNT 进行递增计数和递减计数时允许 TRG4AN 输出并且联动中断减少功能时的 A/D 转换开始请求信号 (TRG4AN) 的运行例子如图 18.76 所示。

在 MTUn.TCNT 进行递增计数时允许 TRG4AN 输出并且联动中断减少功能时的 A/D 转换开始请求信号 (TRG4AN) 的运行例子如图 18.77 所示。(n=4、10)

注. 此功能必须和中断减少功能配合使用。

在禁止中断减少 (将定时器的中断减少设定寄存器 (TITCR) 的 T3AEN 位和 T4VEN 位置“0”，或者将 TITCR 的减少次数设定位 (T3ACOR 和 T4VCOR) 置“0”) 时，必须设定为不联动中断减少功能 (将 TADCR.ITA3AE、TADCR.ITA4VE、TADCR.ITB3AE 和 TADCR.ITB4VE 位置“0”)。

必须注意：A/D 转换器的转换请求信号可能变为 TRG4ABN (TRG4AN 或者 TRG4BN)。

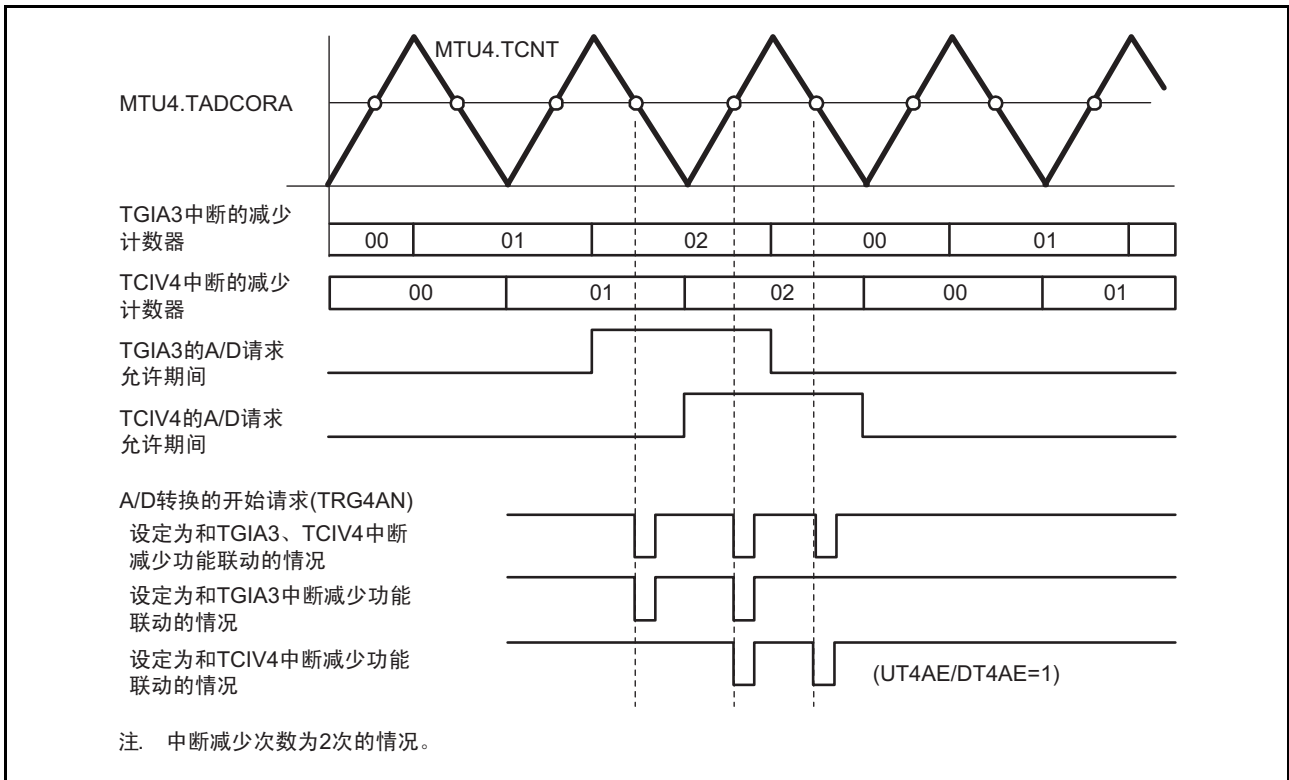


图 18.76 联动中断减少功能时的 A/D 转换开始请求信号 (TRG4AN) 的运行例子 (单元 0) (在 TCNT 进行递增计数和递减计数时允许 TRG4AN 输出的情况下)

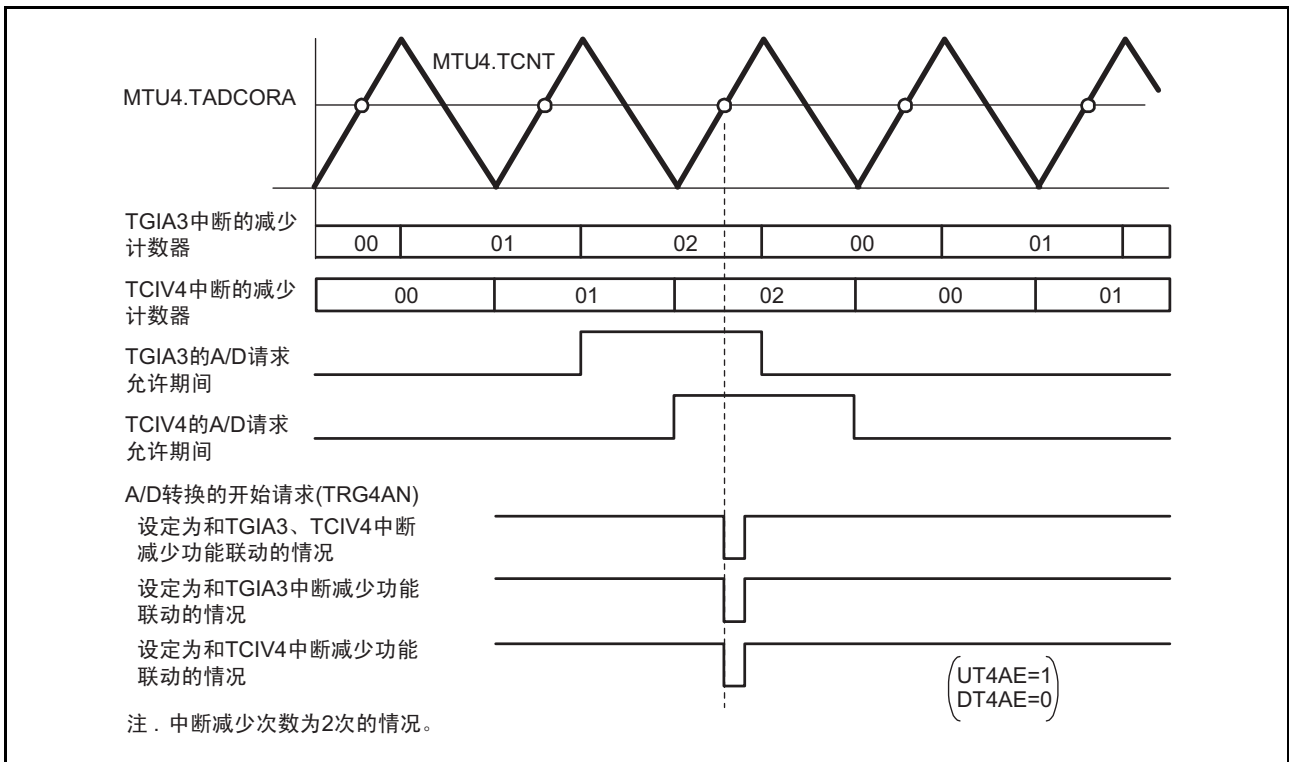


图 18.77 联动中断减少功能时的 A/D 转换开始请求信号 (TRG4AN) 的运行例子 (单元 0) (在 TCNT 进行递增计数时允许 TRG4AN 输出的情况下)

18.3.10 外部脉宽的测量功能

通道 5 (或者通道 11) 最多能测量 3 个外部脉宽。

(1) 测量外部脉宽的设定步骤例子

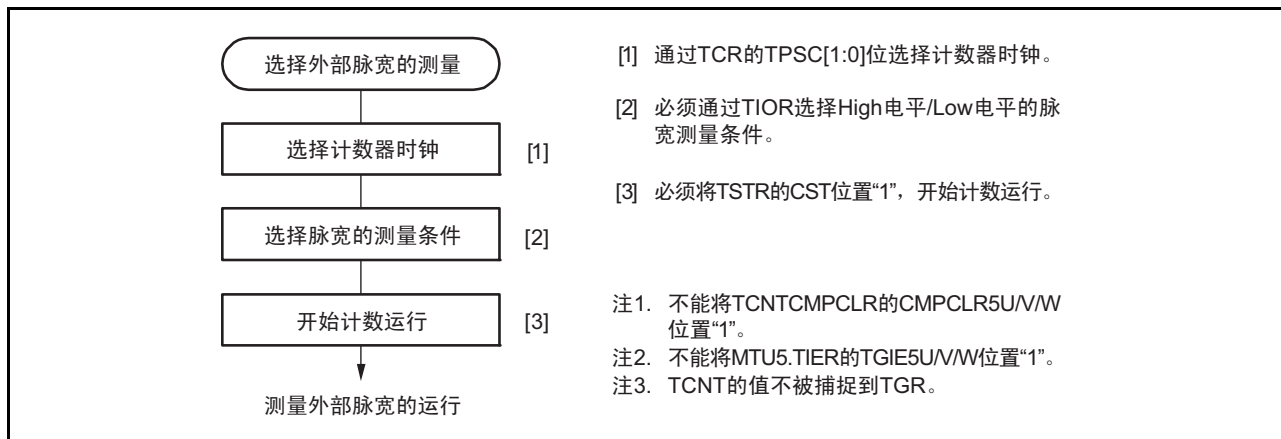


图 18.78 测量外部脉宽的设定步骤例子 (单元 0)

(2) 测量外部脉宽的运行例子

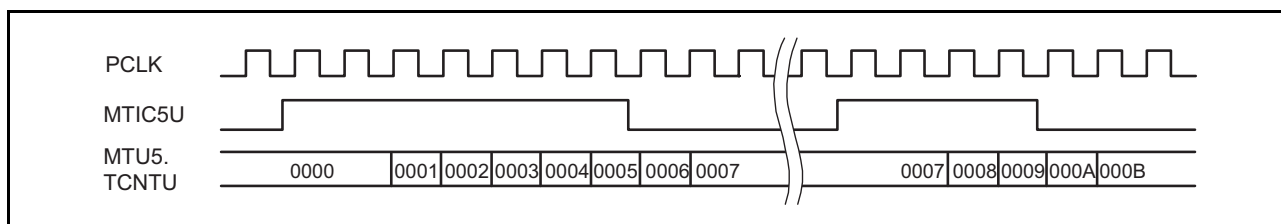


图 18.79 测量外部脉宽的运行例子 (测量 High 电平的脉宽)

18.3.11 死区时间的补偿功能

能通过测量输出波形的延迟并且将此延迟反映到占空比，将外部脉宽测量功能用作互补 PWM 运行时的 PWM 输出波形的死区时间补偿功能。

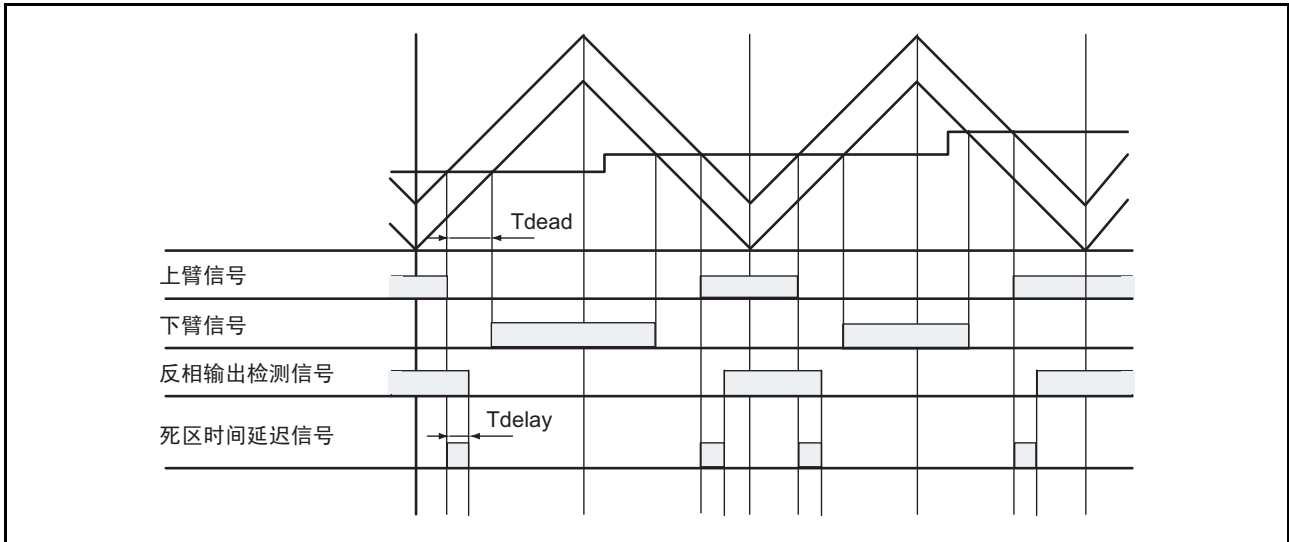


图 18.80 互补 PWM 运行时的死区时间延迟

(1) 死区时间补偿功能的设定步骤例子

使用通道 5 (或者通道 11) 的 3 个计数器的死区时间补偿功能的设定步骤例子 (单元 0) 如图 18.81 所示。

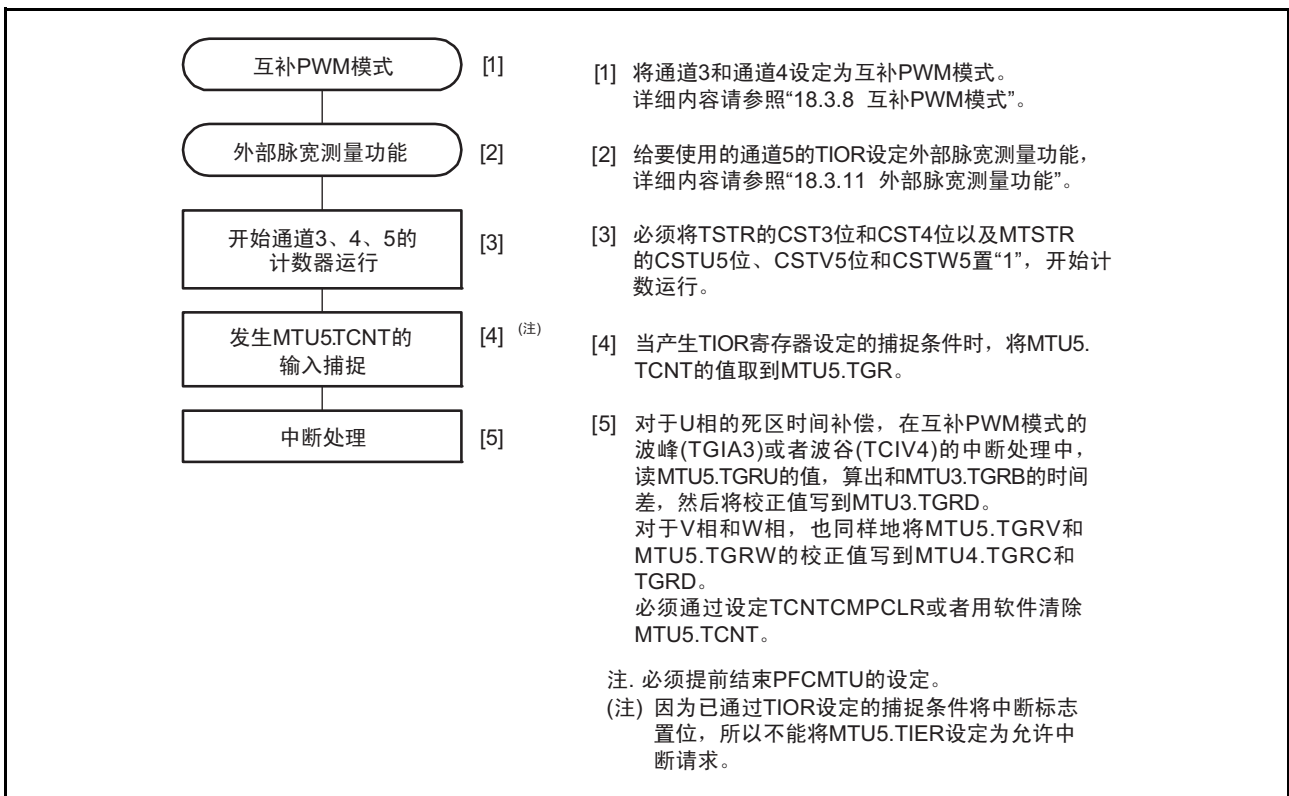


图 18.81 死区时间补偿功能的设定步骤例子 (单元 0)

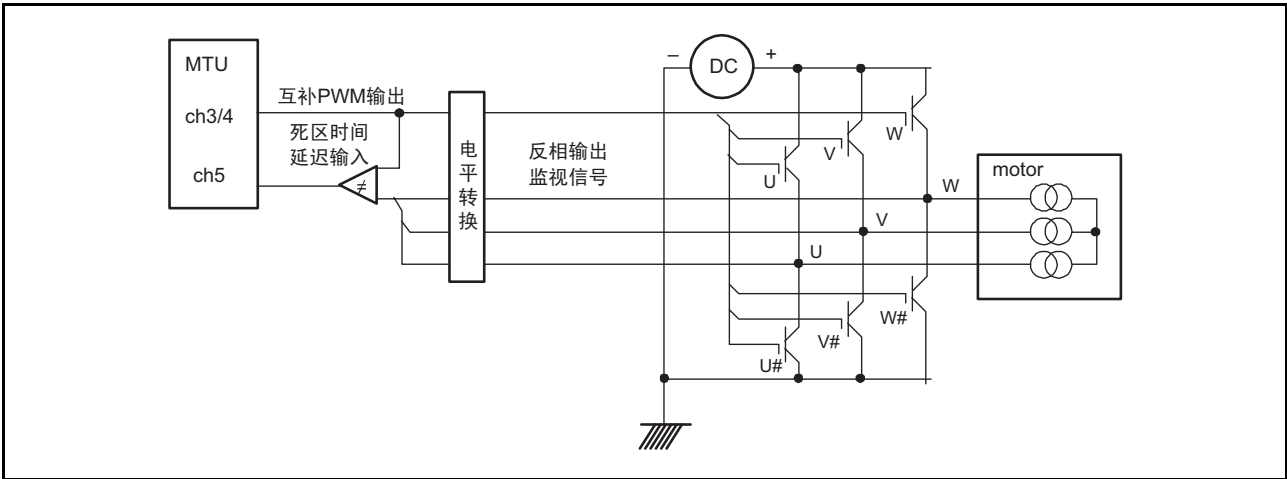


图 18.82 马达控制电路的结构例子

18.3.12 在互补 PWM 的“波峰 / 波谷”进行的 TCNT 捕捉运行

在互补 PWM 运行时，在“波峰、波谷、波峰和波谷”将 TCNT 的值保存到 TGR，通过 TIOR 选择要保存到 TGR 的时序转换。

TCNT 用作自由运行计数器（不被清除）并且在设定的“波峰、波谷”对 TGR 进行捕捉的运行例子如图 18.83 所示。

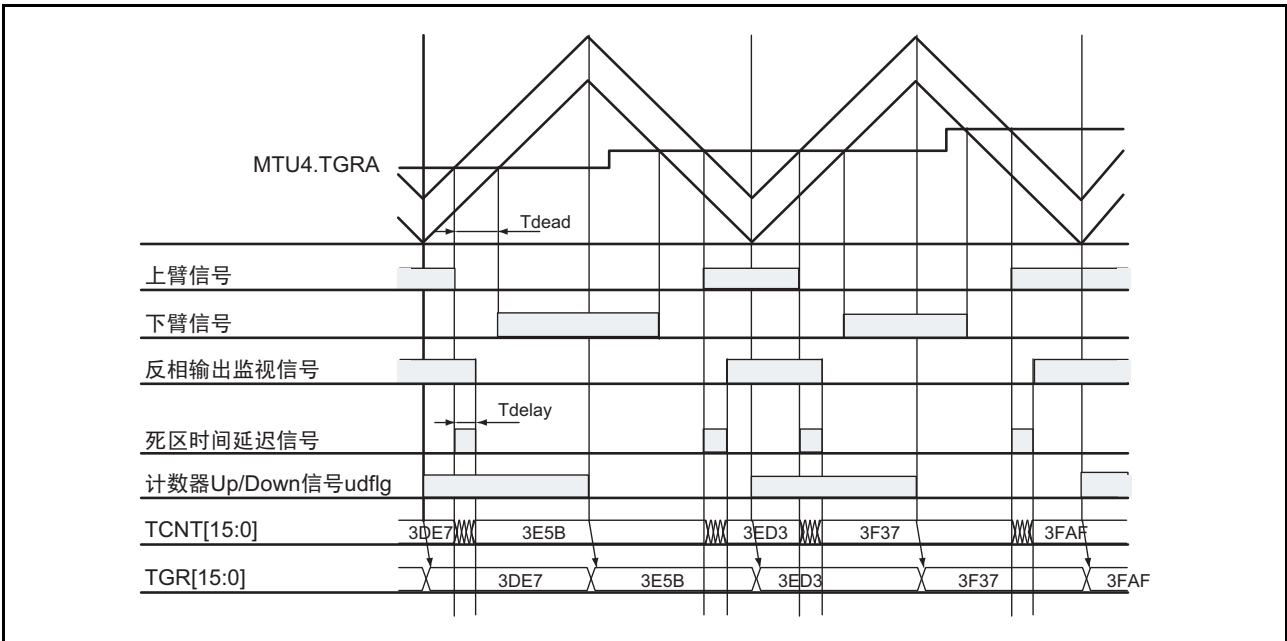


图 18.83 在互补 PWM 的“波峰 / 波谷”进行的 TCNT 捕捉运行

18.4 中断源

18.4.1 中断源和优先级

MTU 的中断源有 TGR 的输入捕捉 / 比较匹配、TCNT 的上溢和 TCNT 的下溢共 3 种。因为各中断源有各自专用的状态标志和允许 / 禁止位，所以能独立允许或者禁止中断请求信号的产生。

如果产生中断源并且将 TIER 对应的允许 / 禁止位置“1”，就请求中断。能通过中断控制器更改通道之间的优先级，但是不能更改通道内的优先级，详细内容请参照“11. 中断控制器 (ICUa) ”。

MTU 的中断源一览表如表 18.59 和表 18.60 所示。

表 18.59 MTU 中断源 (1) (单元 0)

通道	名称	中断源	DMACA 的启动	DTC 的启动	优先级
0	TGIA0	MTU0.TGRA 的输入捕捉 / 比较匹配	能	能	↑ 高
	TGIB0	MTU0.TGRB 的输入捕捉 / 比较匹配	不能	能	
	TGIC0	MTU0.TGRC 的输入捕捉 / 比较匹配	不能	能	
	TGID0	MTU0.TGRD 的输入捕捉 / 比较匹配	不能	能	
	TCIV0	MTU0.TCNT 的上溢	不能	不能	
	TGIE0	MTU0.TGRE 的比较匹配	不能	不能	
	TGIF0	MTU0.TGRF 的比较匹配	不能	不能	
1	TGIA1	MTU1.TGRA 的输入捕捉 / 比较匹配	能	能	
	TGIB1	MTU1.TGRB 的输入捕捉 / 比较匹配	不能	能	
	TCIV1	MTU1.TCNT 的上溢	不能	不能	
	TCIU1	MTU1.TCNT 的下溢	不能	不能	
2	TGIA2	MTU2.TGRA 的输入捕捉 / 比较匹配	能	能	
	TGIB2	MTU2.TGRB 的输入捕捉 / 比较匹配	不能	能	
	TCIV2	MTU2.TCNT 的上溢	不能	不能	
	TCIU2	MTU2.TCNT 的下溢	不能	不能	
3	TGIA3	MTU3.TGRA 的输入捕捉 / 比较匹配	能	能	
	TGIB3	MTU3.TGRB 的输入捕捉 / 比较匹配	不能	能	
	TGIC3	MTU3.TGRC 的输入捕捉 / 比较匹配	不能	能	
	TGID3	MTU3.TGRD 的输入捕捉 / 比较匹配	不能	能	
	TCIV3	MTU3.TCNT 的上溢	不能	不能	
4	TGIA4	MTU4.TGRA 的输入捕捉 / 比较匹配	能	能	
	TGIB4	MTU4.TGRB 的输入捕捉 / 比较匹配	不能	能	
	TGIC4	MTU4.TGRC 的输入捕捉 / 比较匹配	不能	能	
	TGID4	MTU4.TGRD 的输入捕捉 / 比较匹配	不能	能	
	TCIV4	MTU4.TCNT 的上溢 / 下溢	不能	能	
5	TGIU5	MTU5.TGRU 的输入捕捉 / 比较匹配	不能	能	↓ 低
	TGIV5	MTU5.TGRV 的输入捕捉 / 比较匹配	不能	能	
	TGIW5	MTU5.TGRW 的输入捕捉 / 比较匹配	不能	能	

注 . 表示复位后的初始状态。能通过中断控制器更改通道之间的优先级。

表 18.60 MTU 中断源 (2) (单元 1)

通道	名称	中断源	DMACA 的启动	DTC 的启动	优先级
6	TGIA6	MTU6.TGRA 的输入捕捉 / 比较匹配	能	能	高 ↑
	TGIB6	MTU6.TGRB 的输入捕捉 / 比较匹配	不能	能	
	TGIC6	MTU6.TGRC 的输入捕捉 / 比较匹配	不能	能	
	TGID6	MTU6.TGRD 的输入捕捉 / 比较匹配	不能	能	
	TCIV6	MTU6.TCNT 的上溢	不能	不能	
	TGIE6	MTU6.TGRE 的比较匹配	不能	不能	
	TGIF6	MTU6.TGRF 的比较匹配	不能	不能	
7	TGIA7	MTU7.TGRA 的输入捕捉 / 比较匹配	能	能	低
	TGIB7	MTU7.TGRB 的输入捕捉 / 比较匹配	不能	能	
	TCIV7	MTU7.TCNT 的上溢	不能	不能	
	TCIU7	MTU7.TCNT 的下溢	不能	不能	
8	TGIA8	MTU8.TGRA 的输入捕捉 / 比较匹配	能	能	
	TGIB8	MTU8.TGRB 的输入捕捉 / 比较匹配	不能	能	
	TCIV8	MTU8.TCNT 的上溢	不能	不能	
	TCIU8	MTU8.TCNT 的下溢	不能	不能	
9	TGIA9	MTU9.TGRA 的输入捕捉 / 比较匹配	能	能	
	TGIB9	MTU9.TGRB 的输入捕捉 / 比较匹配	不能	能	
	TGIC9	MTU9.TGRC 的输入捕捉 / 比较匹配	不能	能	
	TGID9	MTU9.TGRD 的输入捕捉 / 比较匹配	不能	能	
	TCIV9	MTU9.TCNT 的上溢	不能	不能	
10	TGIA10	MTU10.TGRA 的输入捕捉 / 比较匹配	能	能	
	TGIB10	MTU10.TGRB 的输入捕捉 / 比较匹配	不能	能	
	TGIC10	MTU10.TGRC 的输入捕捉 / 比较匹配	不能	能	
	TGID10	MTU10.TGRD 的输入捕捉 / 比较匹配	不能	能	
	TCIV10	MTU10.TCNT 的上溢 / 下溢	不能	能	
11	TGIU11	MTU11.TGRU 的输入捕捉 / 比较匹配	不能	能	
	TGIV11	MTU11.TGRV 的输入捕捉 / 比较匹配	不能	能	
	TGIW11	MTU11.TGRW 的输入捕捉 / 比较匹配	不能	能	

(1) 输入捕捉 / 比较匹配中断

如果在各通道的 TGR 发生输入捕捉 / 比较匹配时 TIER 的 TGIE 位变为“1”，就请求中断。在 MTU 中，单元 0 的通道 0 有 6 个，通道 3 和通道 4 各有 4 个，通道 1 和通道 2 各有 2 个，通道 5 各有 3 个，共计 21 个；单元 1 的通道 6 有 6 个，通道 9 和通道 10 各有 4 个，通道 7 和通道 8 各有 2 个，通道 11 有各 3 个，共计 21 个输入捕捉 / 比较匹配中断。

(2) 上溢中断

如果在各通道的 TCNT 发生上溢时 TIER 的 TCIEV 位变为“1”，就请求中断。在 MTU 中，单元 0 的各通道各有 1 个，共计 5 个；单元 1 的各通道各有 1 个，共计 5 个上溢中断。

(3) 下溢中断

如果在各通道的 TCNT 发生下溢时 TIER 的 TCIEU 位变为“1”，就请求中断。在 MTU 中，单元 0 的通道 1 和通道 2 各有 1 个，共计 2 个；单元 1 的通道 7 和通道 8 各有 1 个，共计 2 个下溢中断。

18.4.2 DTC/DMACA 的启动

(1) DTC 的启动

能通过各通道 TGR 的输入捕捉 / 比较匹配中断或者通道 4 的上溢中断来启动 DTC，详细内容请参照“16. 数据传送控制器 (DTCa)”。

在 MTU 中，单元 0 的通道 0 和通道 3 各有 4 个，通道 1 和通道 2 各有 2 个，通道 4 有 5 个，通道 5 有 3 个，共计 20 个；单元 1 的通道 6 和通道 9 各有 4 个，通道 7 和通道 8 各有 2 个，通道 10 有 5 个，通道 11 有 3 个，共计 20 个输入捕捉 / 比较匹配中断和上溢中断，能将这输入捕捉 / 比较匹配中断和上溢中断作为 DTC 的启动源。

(2) DMACA 的启动

能通过各通道 TGRA 的输入捕捉 / 比较匹配中断来启动 DMACA，详细内容请参照“14. DMA 控制器 (DMACA)”。

在 MTU 中，单元 0 的通道 0 ~ 4 各有 1 个，共计 5 个；单元 1 的通道 6 ~ 10 各有 1 个，共计 5 个 TGRA 寄存器的输入捕捉 / 比较匹配中断，能将这输入捕捉 / 比较匹配中断作为 DMACA 的启动源。

当通过 MTU 启动 DMACA 时，在 DMACA 请求内部总线权时清除启动源。因此根据内部总线的状态，即使清除启动源，也会产生 DMACA 传送进入开始等待状态的期间。

(3) EXDMAC 的启动

能通过通道 1 的 TGRA 的输入捕捉 / 比较匹配中断来启动 EXDMAC，详细内容请参照“15. EXDMA 控制器 (EXDMAC)”。

18.4.3 A/D 转换器的启动

在 MTU 中，能通过以下 5 种方法启动 A/D 转换器。

各中断源和 A/D 转换开始请求的对应如表 18.61 所示。

(1) 在 TGRA 的输入捕捉 / 比较匹配时以及在互补 PWM 模式的 MTUn.TCNT 波谷进行的 A/D 启动 (n=4、10)

能通过各通道 TGRA 的输入捕捉 / 比较匹配来启动 A/D 转换器。另外，如果在将 MTUn.TIER 的 TTGE2 位置“1”的状态下进行互补 PWM 运行，就能在 MTUn.TCNT 的波谷 (MTUn.TCNT=0000h) 启动 A/D 转换器 (n=4、10)。

在以下所示的条件下，对 A/D 转换器产生 A/D 转换开始请求 TRGAN。

- 在发生各通道的 TGRA 输入捕捉 / 比较匹配的情况下 TIER 的 TTGE 位为“1”时
- 在 MTUn.TIER 的 TTGE2 位为“1”的状态下进行互补 PWM 运行并且 MTUn.TCNT 变为波谷时 (MTUn.TCNT=0000h) (n=4、10)

在上述条件下，如果已在 A/D 转换器侧选择 MTU 的转换开始触发 TRGAN，就开始进行 A/D 转换。

(2) 通过 MTU0.TCNT 和 MTU0.TGRE 的比较匹配进行的 A/D 转换器启动 (MTU0)

能通过 MTU0.TCNT 和 MTU0.TGRE 的比较匹配，对 A/D 转换器产生 A/D 转换开始请求 TRG0EN。

能通过通道 0 的 TCNT 和 TGRE 的比较匹配，对 A/D 转换器产生 A/D 转换开始请求 TRG0EN。此时，如果已在 A/D 转换器侧选择 MTU 的转换开始触发 TRG0EN，就开始进行 A/D 转换。

(3) 通过 TCNT0 和 TGRF0 的比较匹配进行的 A/D 转换器启动 (MTU0)

能通过通道 0 的 TCNT0 和 TGRF0 的比较匹配，产生 A/D 转换开始请求 TRG0FN 并且启动 A/D 转换器。

能通过通道 0 的 TCNT0 和 TGRF0 的比较匹配，对 A/D 转换器产生 A/D 转换开始请求 TRG0FN。此时，如果已在 A/D 转换器侧选择 MTU 的转换开始触发 TRG0FN，就开始进行 A/D 转换。

(4) 通过 TGRA0 或者 TGRB0 的输入捕捉 / 比较匹配进行的 A/D 转换器启动 (MTU0)

能通过通道 0 的 TCNT0 和 TGRA0 或者 TCNT0 和 TGRB0 的输入捕捉 / 比较匹配来启动 A/D 转换器。

能通过通道 0 的 TCNT0 和 TGRA0 或者 TCNT0 和 TGRB0 的输入捕捉 / 比较匹配, 对 A/D 转换器产生 A/D 转换开始请求 TRG0AN 或者 TRG0BN。此时, 如果已在 A/D 转换器侧选择 MTU 的转换开始触发 TRG0AN 或者 TRG0BN, 就开始进行 A/D 转换。

(5) 通过 A/D 转换开始请求的延迟功能进行的 A/D 转换器启动 (MTU4)

如果给 A/D 转换开始请求控制寄存器 (TADCR) 的 UT4AE、DT4AE、UT4BE、DT4BE 位写“1”, 就能在 TADCORA、TADCORB 和 MTU4.TCNT 相同时产生 TRG4AN 或者 TRG4BN, 启动 A/D 转换器。详细内容请参照“18.3.9 A/D 转换开始请求的延迟功能”。

如果发生 TRG4AN 或者 TRG4BN, 就产生 TRG4ABN。如果已在 A/D 转换器侧选择 MTU 的转换开始触发 TRG4ABN, 就开始进行 A/D 转换。

表 18.61 各中断源和 A/D 转换开始请求的对应

对象	AD 启动源	A/D 转换开始请求
MTUn.TGRA 和 MTUn.TCNT (n=0)	输入捕捉 / 比较匹配	TRGAN
MTUn.TGRA 和 MTUn.TCNT (n=1、7)		
MTUn.TGRA 和 MTUn.TCNT (n=2、8)		
MTUn.TGRA 和 MTUn.TCNT (n=3、9)		
MTUn.TGRA 和 MTUn.TCNT (n=4、10)		
MTUn.TCNT (n=4、10)	互补 PWM 模式的 MTUn.TCNT 波谷 (n=4、10)	
MTUn.TGRA 和 MTUn.TCNT (n=0)	输入捕捉 / 比较匹配	TRGnAN (n=0)
MTUn.TGRB 和 MTUn.TCNT (n=0)		TRGnBN (n=0)
MTUn.TGRE 和 MTUn.TCNT (n=0)	比较匹配	TRGnEN (n=0)
MTUn.TGRF 和 MTUn.TCNT (n=0)		TRGnFN (n=0)
TADCORA 和 MTUn.TCNT, 或者 TADCORB 和 MTUn.TCNT (n=4、10)		TRGnABN (n=4、10)

18.5 运行时序

18.5.1 输入 / 输出时序

(1) TCNT 的计数时序

内部时钟运行时的 TGI 中断的计数时序如图 18.84 和图 18.85 所示，外部时钟运行（正常模式）和外部时钟运行（相位计数模式）时的 TCNT 计数时序分别如图 18.86 和图 18.87 所示。

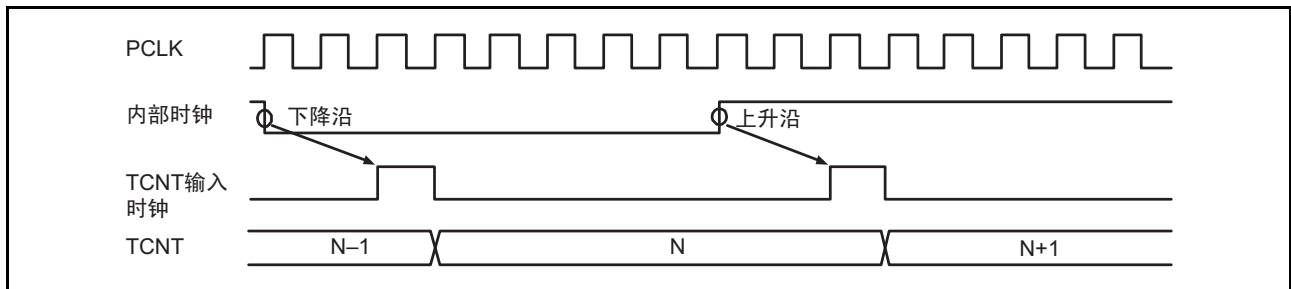


图 18.84 内部时钟运行时的计数时序（通道 0 ~ 4 或者通道 6 ~ 10）

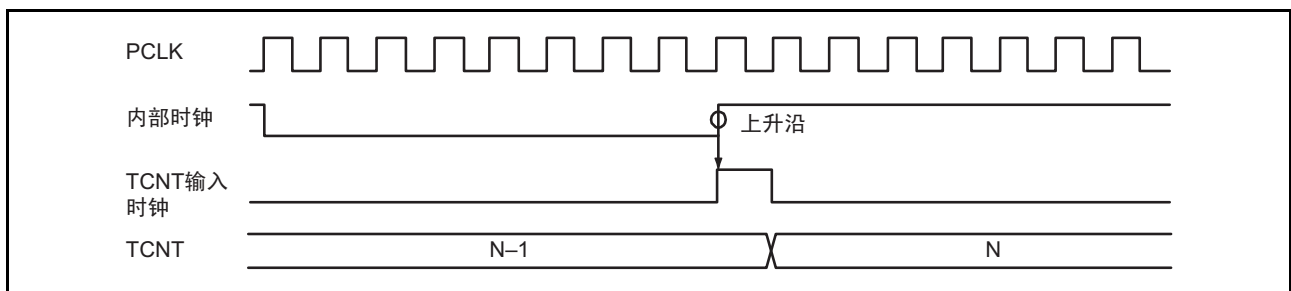


图 18.85 内部时钟运行时的计数时序（通道 5 或者通道 11）

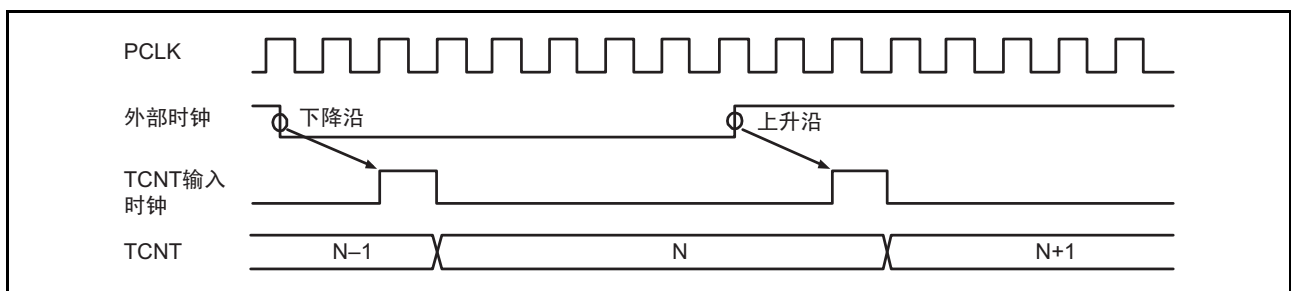


图 18.86 外部时钟运行时的计数时序（通道 0 ~ 4 或者通道 6 ~ 10）

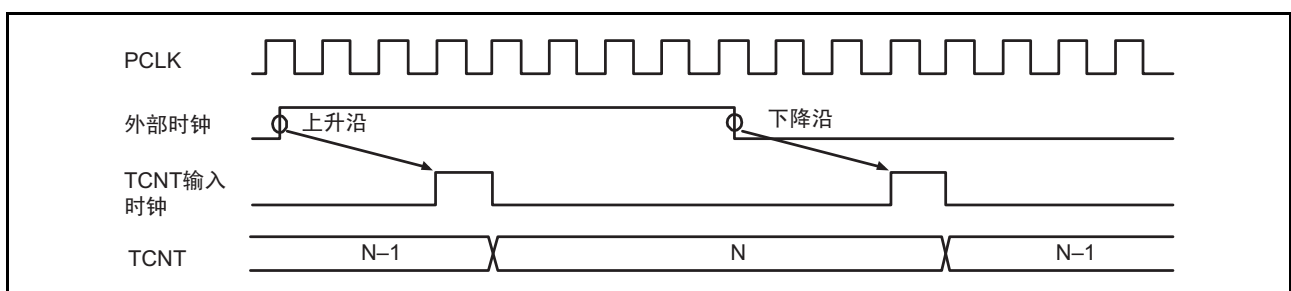


图 18.87 外部时钟运行时的计数时序（相位计数模式）

(2) 输出比较的输出时序

在 TCNT 和 TGR 的值相同的最后状态（在更新 TCNT 相同后的计数值时）产生比较匹配信号。当产生比较匹配信号时，将 TIOR 设定的输出值输出到输出比较的输出引脚（MTIOC 引脚）。在 TCNT 和 TGR 的值相同后到产生 TCNT 输入时钟前，不产生比较匹配信号。

输出比较的输出时序（正常模式、PWM 模式）和输出比较的输出时序（互补 PWM 模式、复位同步 PWM 模式）分别如图 18.88 和图 18.89 所示。

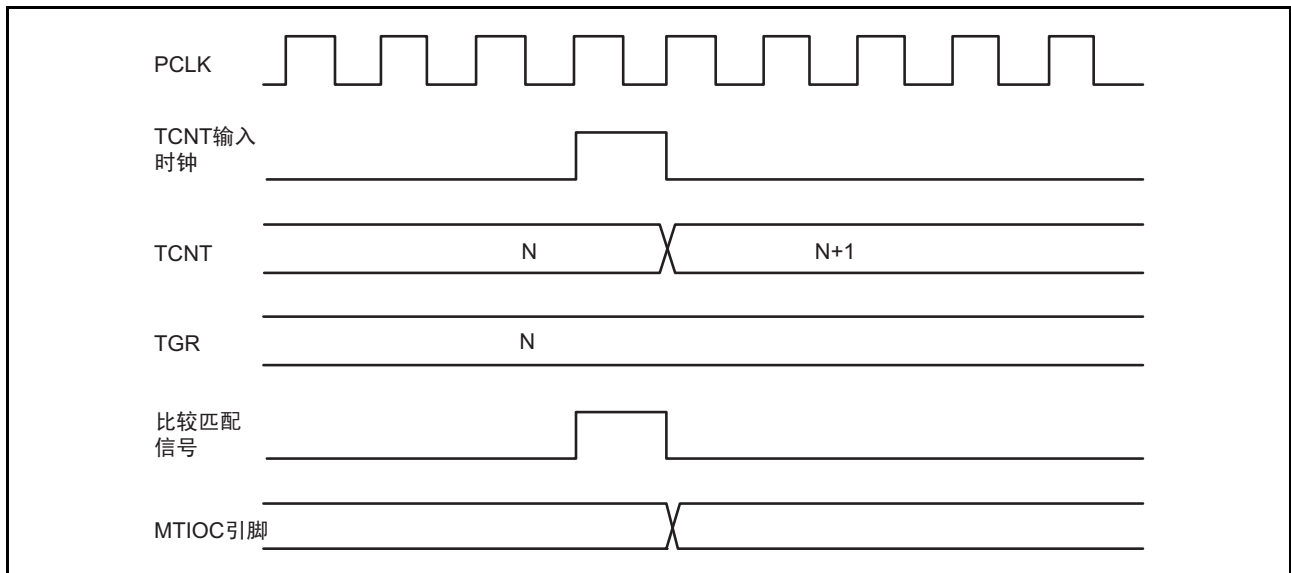


图 18.88 输出比较的输出时序（正常模式、PWM 模式）

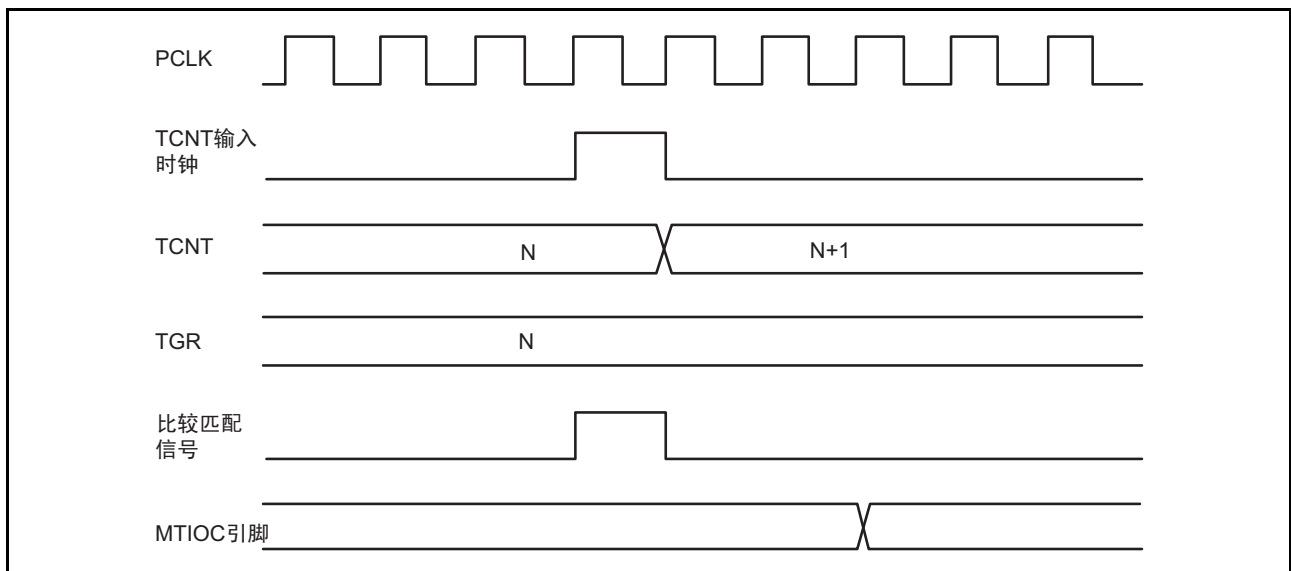


图 18.89 输出比较的输出时序（互补 PWM 模式、复位同步 PWM 模式）

(3) 输入捕捉信号的时序

输入捕捉的时序如图 18.90 所示。

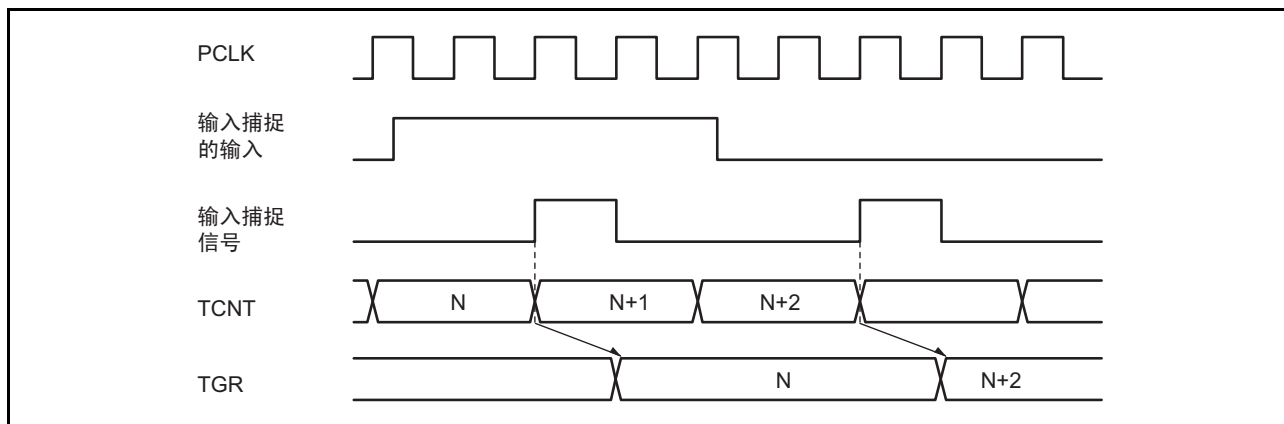


图 18.90 输入捕捉的输入信号时序

(4) 通过比较匹配 / 输入捕捉进行的计数器清除时序

指定通过发生比较匹配进行计数器清除时的时序如图 18.91 和图 18.92 所示，指定通过发生输入捕捉进行计数器清除时的时序如图 18.93 所示。

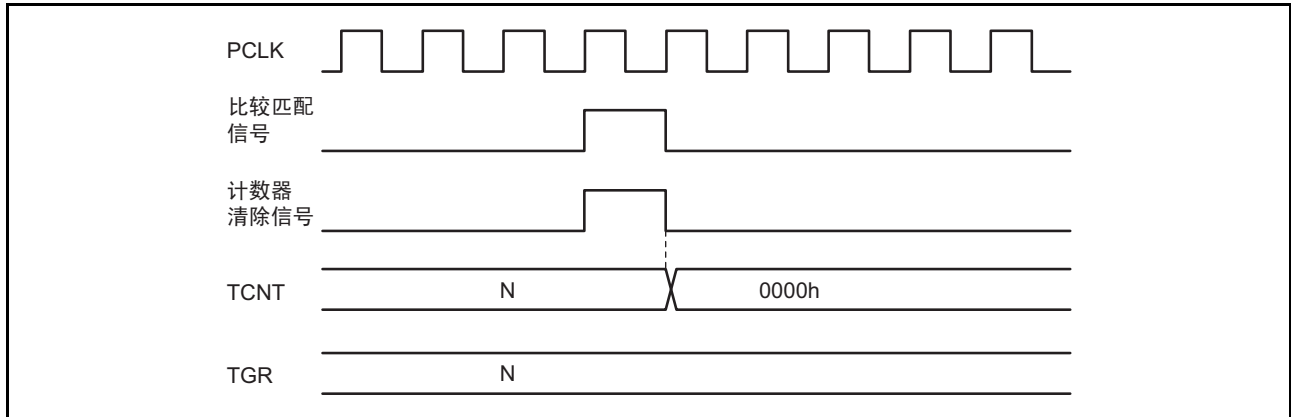


图 18.91 计数器清除的时序 (比较匹配) (通道 0 ~ 4 或者通道 6 ~ 10)

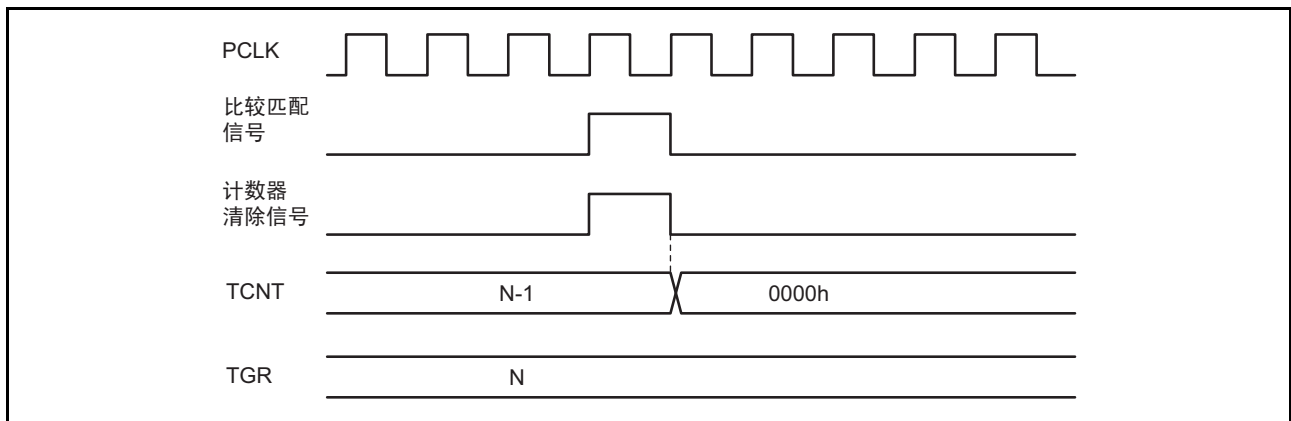


图 18.92 计数器清除的时序 (比较匹配) (通道 5 或者通道 11)

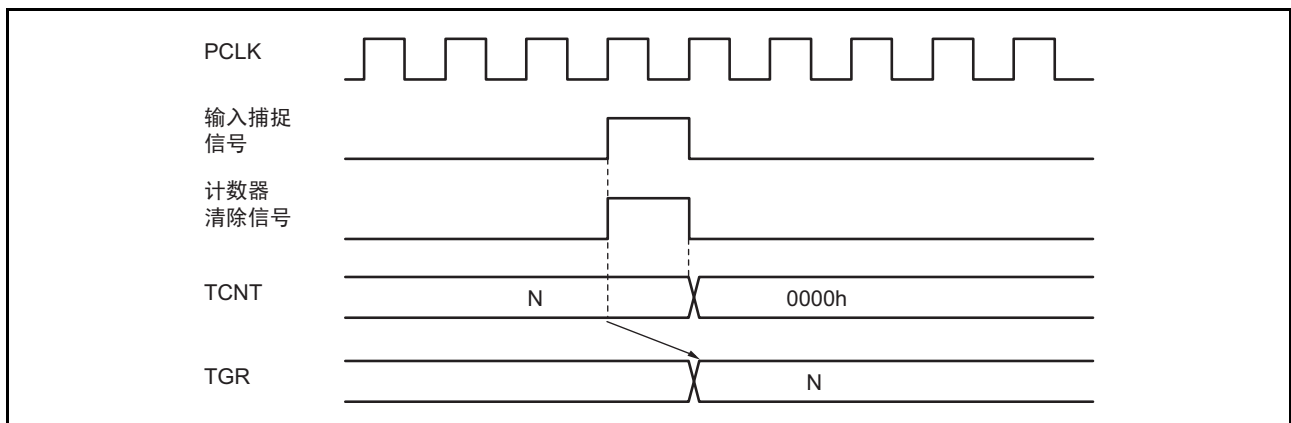


图 18.93 计数器清除的时序 (输入捕捉) (通道 0 ~ 5 或者通道 6 ~ 11)

(5) 缓冲运行的时序

缓冲运行的时序如图 18.94 ~ 图 18.96 所示。

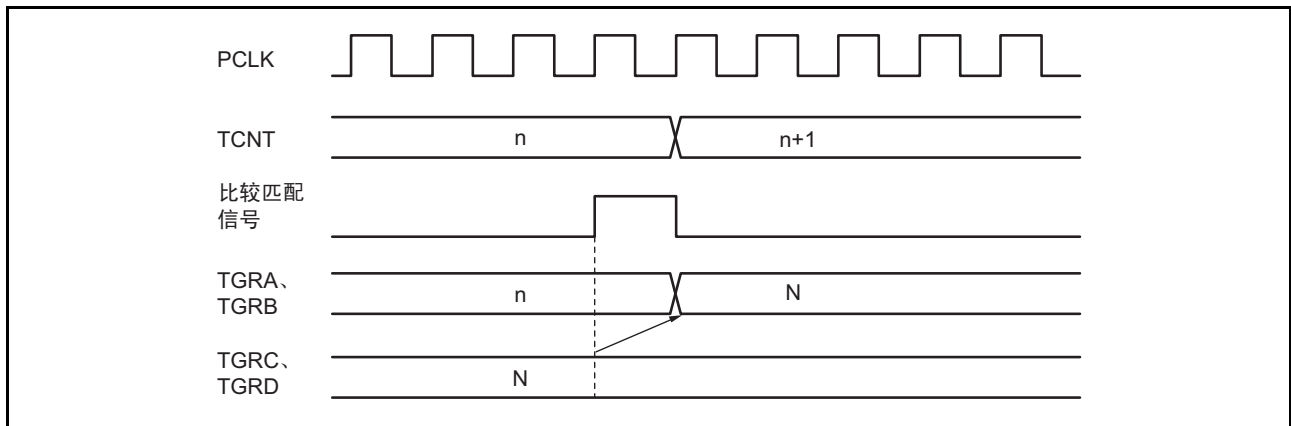


图 18.94 缓冲运行的时序 (比较匹配)

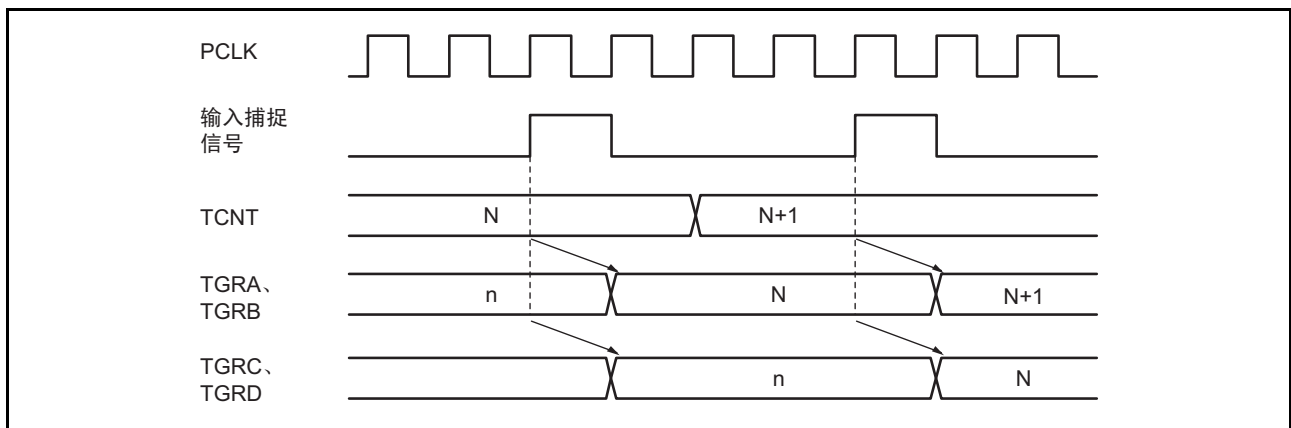


图 18.95 缓冲运行的时序 (输入捕捉)

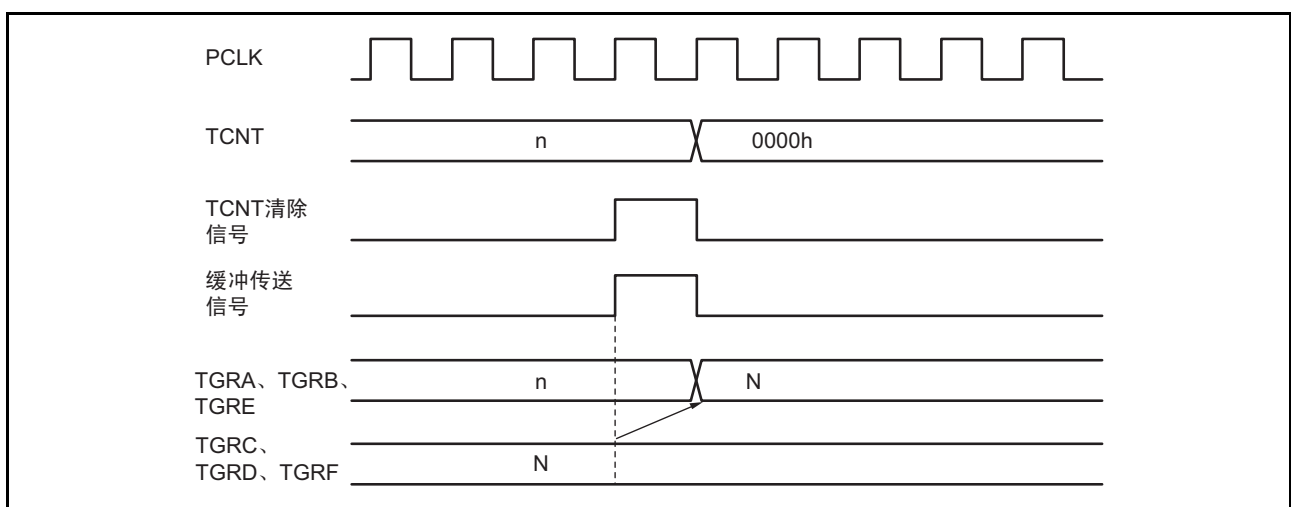


图 18.96 缓冲运行的时序 (清除 TCNT 的情况)

(6) 缓冲传送的时序 (互补 PWM 模式)

互补 PWM 模式的缓冲传送时序如图 18.97 ~ 图 18.99 所示。

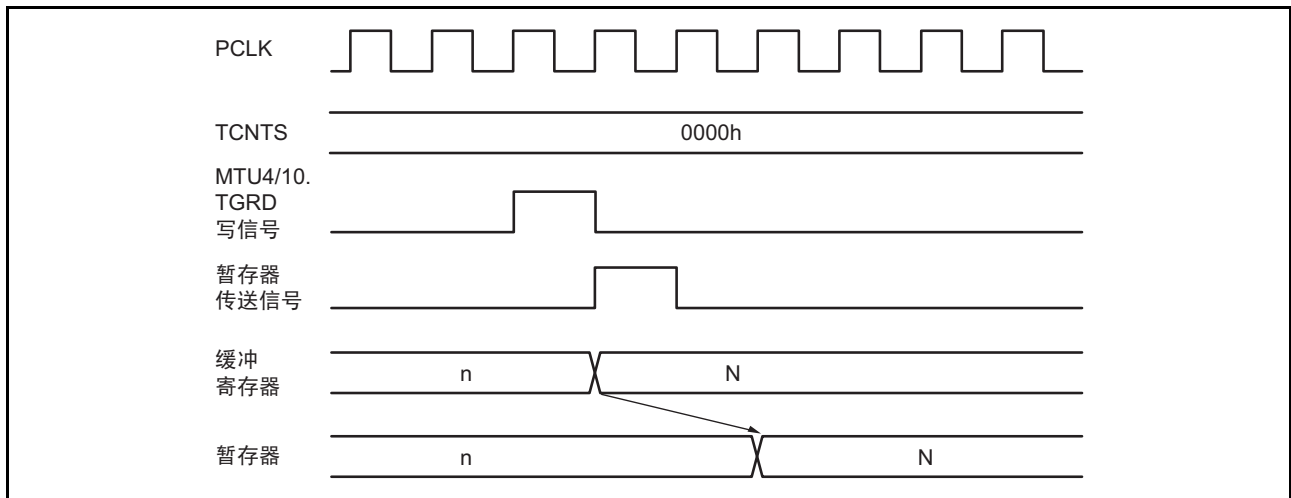


图 18.97 缓冲寄存器到暂存器的传送时序 (TCNTS 停止)

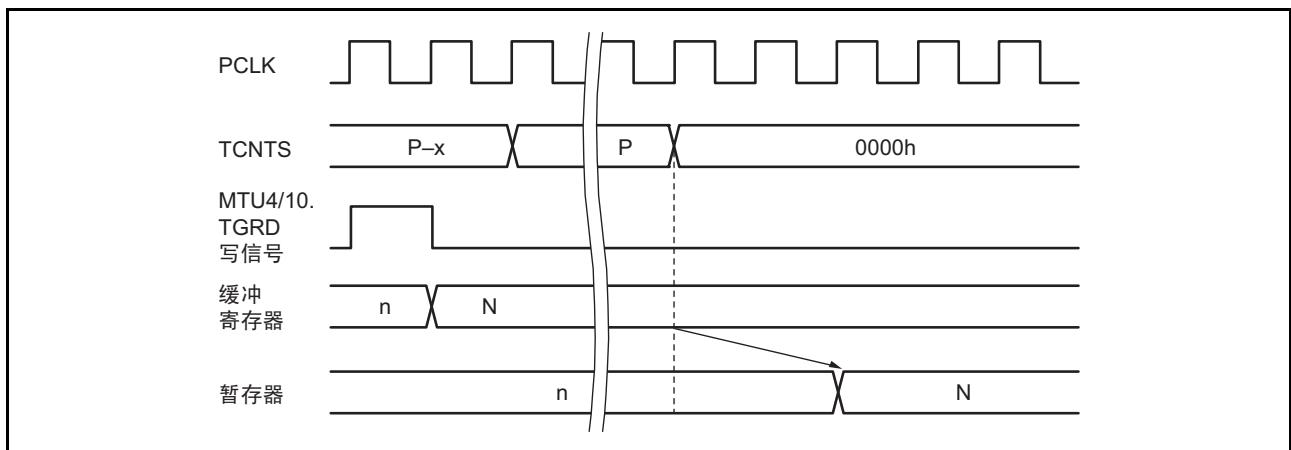


图 18.98 缓冲寄存器到暂存器的传送时序 (TCNTS 正在运行)

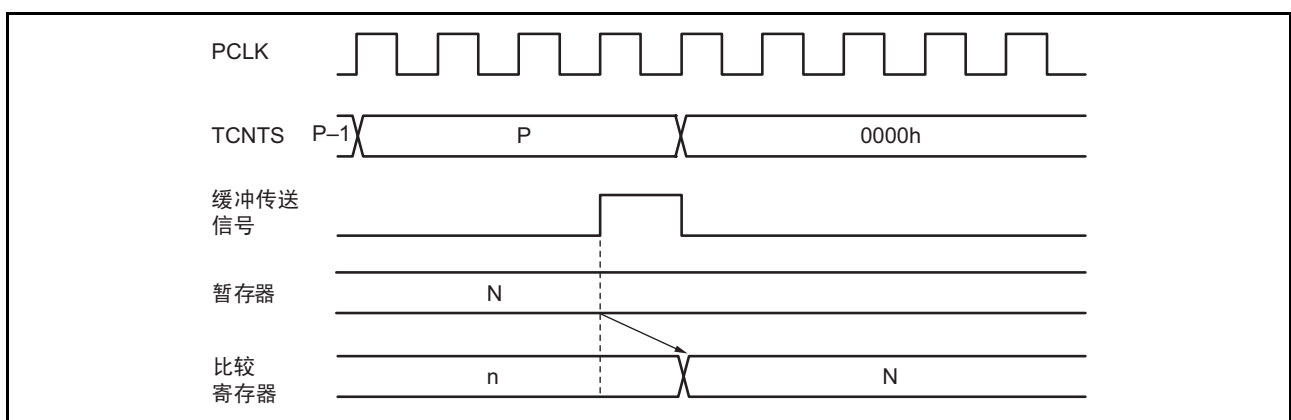


图 18.99 暂存器到比较寄存器的传送时序

18.5.2 中断信号的时序

(1) 比较匹配时的 TGI 中断的置位时序

由发生比较匹配产生的 TGI 中断请求信号的时序如图 18.100 和图 18.101 所示。

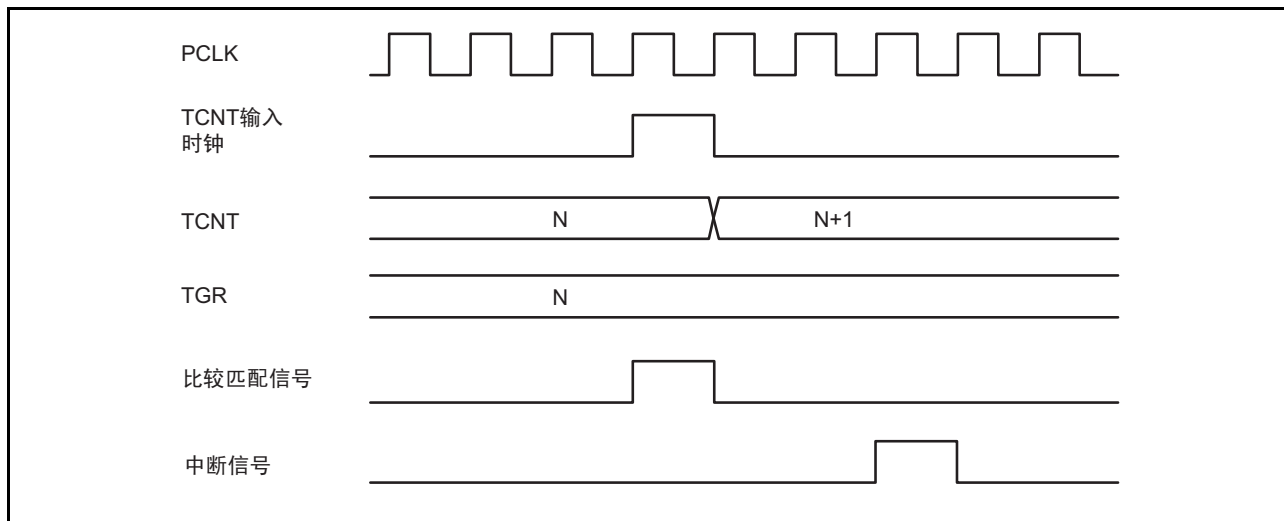


图 18.100 TGI 中断时序 (比较匹配) (通道 0 ~ 4 或者通道 6 ~ 10)

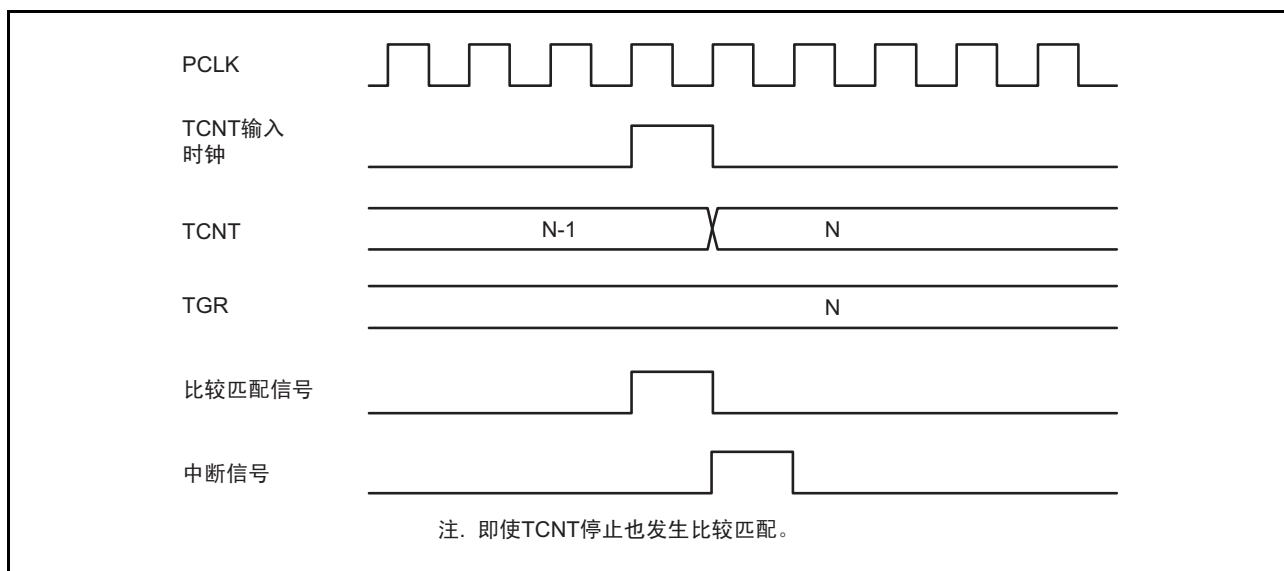


图 18.101 TGI 中断时序 (比较匹配) (通道 5 或者通道 11)

(2) 输入捕捉时的 TGI 中断的置位时序

由发生输入捕捉产生的 TGI 中断请求信号的时序如图 18.102 和图 18.103 所示。

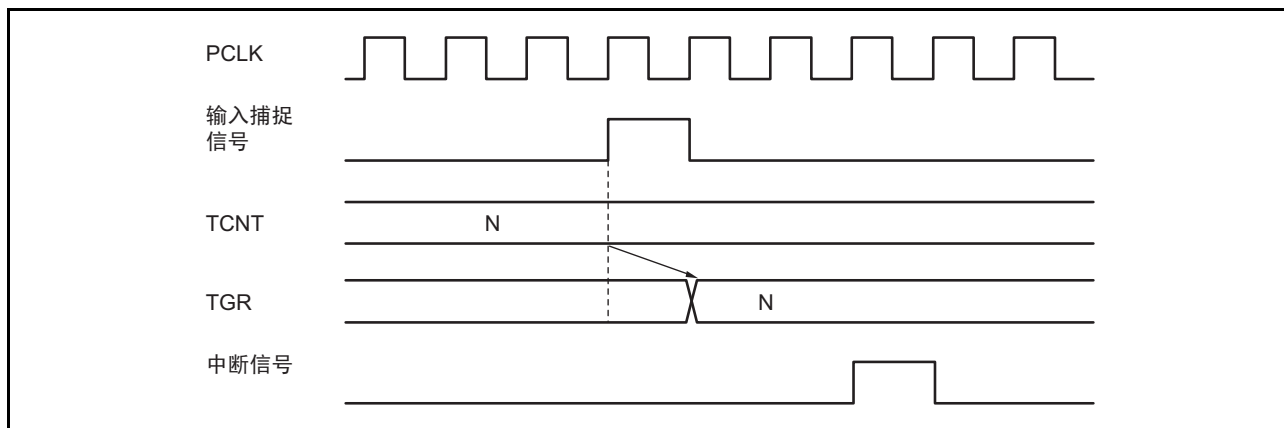


图 18.102 TGI 中断的时序 (输入捕捉) (通道 0 ~ 4 或者通道 6 ~ 10)

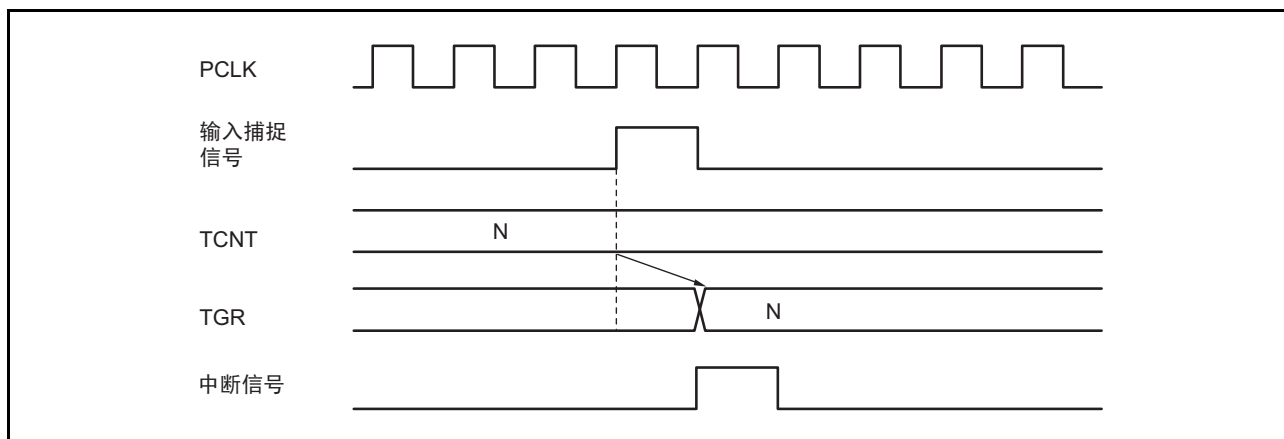


图 18.103 TGI 中断的时序 (输入捕捉) (通道 5 或者通道 11)

(3) TCIV/TCIU 中断标志的置位时序

由发生上溢产生的 TCIV 中断请求信号的时序如图 18.104 所示。

由发生下溢产生的 TCIU 中断请求信号的时序如图 18.105 所示。

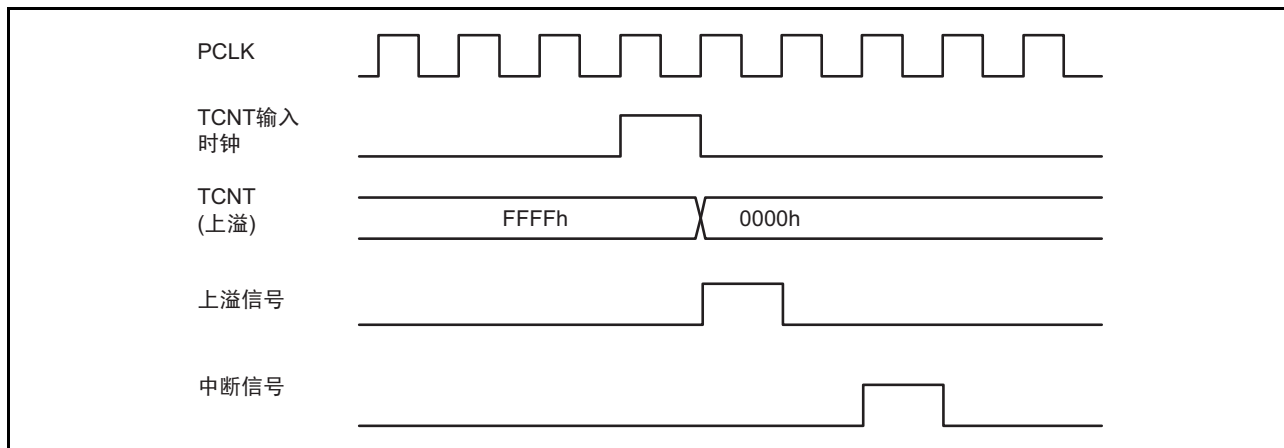


图 18.104 TCIV 中断的置位时序

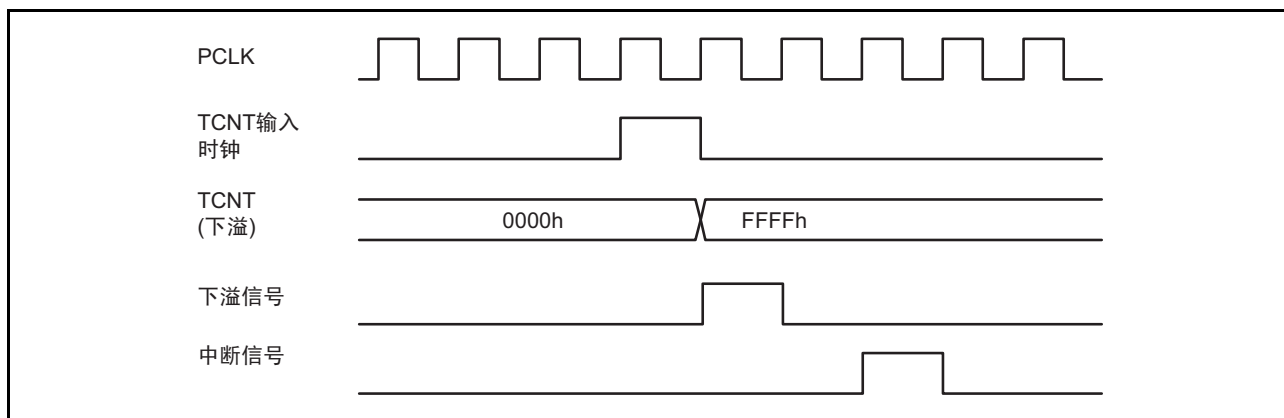


图 18.105 TCIU 中断的置位时序

18.6 使用时的注意事项

18.6.1 模块时钟停止模式的设定

能通过模块停止控制寄存器设定允许或者禁止 MTU 的运行，初始值为停止 MTU 的运行。能通过解除模块时钟停止模式，使寄存器变为可存取的状态，详细内容请参照“9. 低功耗功能”。

18.6.2 输入时钟的制限事项

必须注意：在单边沿的情况下，输入时钟的脉宽至少为 1.5 个状态；在双边沿的情况下，输入时钟的脉宽至少为 2.5 个状态。否则，就不能正常运行。

在相位计数模式中，2 个输入时钟的相位差和重叠都至少为 1.5 个状态，脉宽至少为 2.5 个状态。相位计数模式的输入时钟条件如图 18.106 所示。

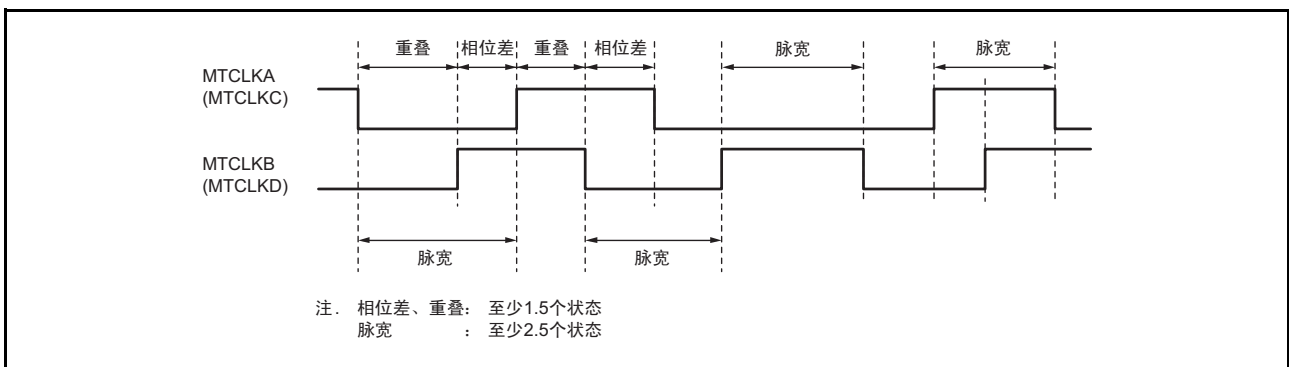


图 18.106 相位计数模式的相位差、重叠和脉宽 (单元 0)

18.6.3 设定周期时的注意事项

如果设定为通过比较匹配清除计数器，就在 TCNT 和 TGR 的值相同的最后状态（在更新 TCNT 相同后的计数值时）清除 TCNT 计数器。因此，实际的计数器频率用以下表达式表示：

- 通道 0~4 或者通道 6~10 的情况

$$f = \frac{PCLK}{(N+1)}$$

- 通道 5 或者通道 11 的情况

$$f = \frac{PCLK}{N}$$

- f : 计数器的频率
- PCLK : MTU 时钟的工作频率
- N : TGR 的设定值

18.6.4 TCNT 的写和清除的竞争

如果在 TCNT 的写周期中产生计数器清除信号，就不写 TCNT 而优先清除 TCNT。
 此时序如图 18.107 所示。

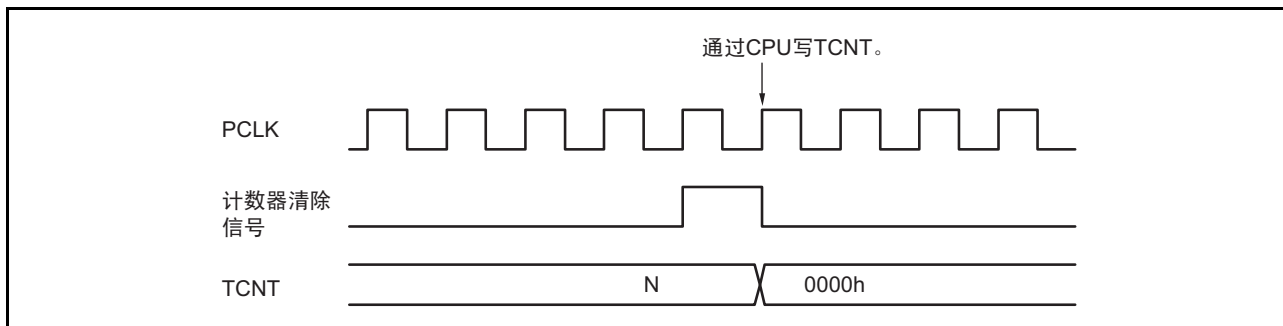


图 18.107 TCNT 的写和清除的竞争

18.6.5 TCNT 的写和递增计数的竞争

即使在 TCNT 的写周期中发生递增计数，也不进行递增计数而优先写 TCNT。
 此时序如图 18.108 所示。

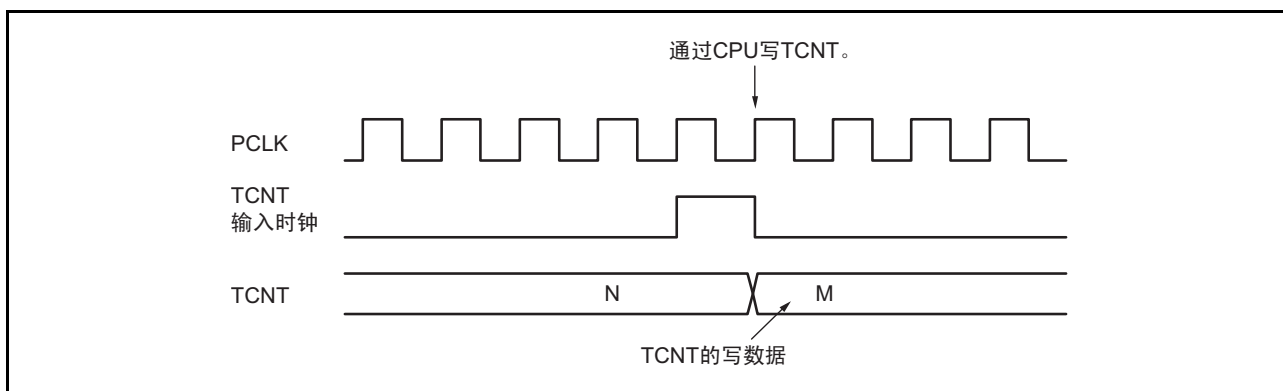


图 18.108 TCNT 的写和递增计数的竞争

18.6.6 TGR 的写和比较匹配的竞争

如果在 TGR 的写周期中发生比较匹配，就写 TGR 并且也产生比较匹配信号。
 此时序如图 18.109 所示。

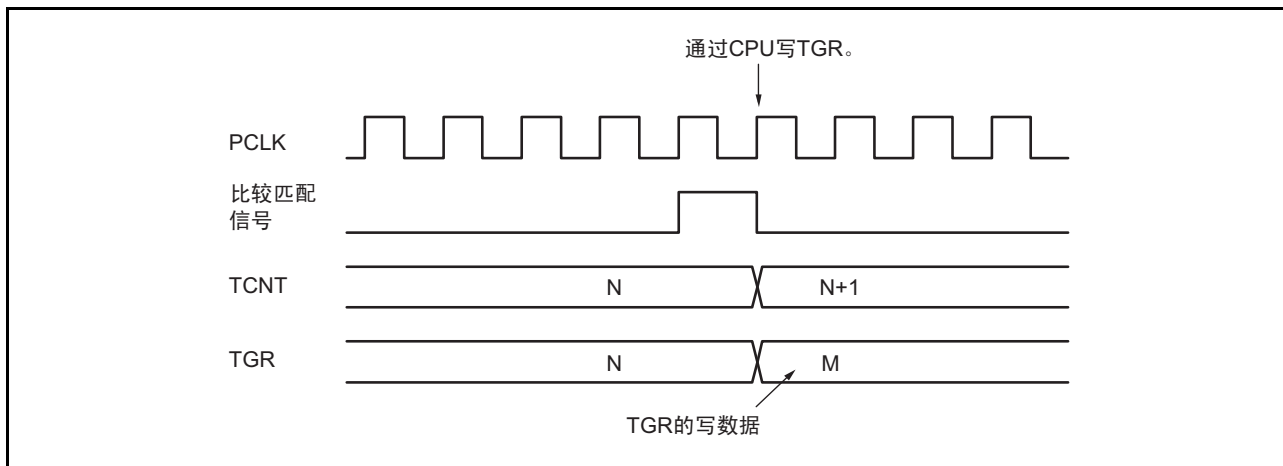


图 18.109 TGR 的写和比较匹配的竞争

18.6.7 缓冲寄存器的写和比较匹配的竞争

如果在 TGR 的写周期中发生比较匹配，通过缓冲运行传送到 TGR 的数据就为写之前的数据。
 此时序如图 18.110 所示。

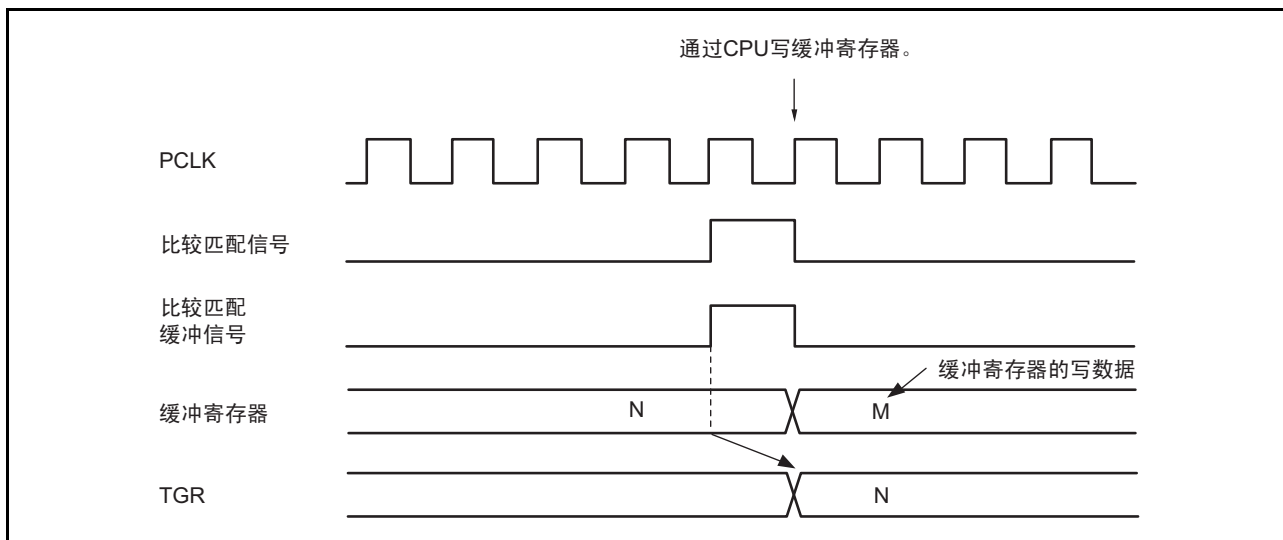


图 18.110 缓冲寄存器的写和比较匹配的竞争

18.6.8 缓冲寄存器的写和 TCNT 清除的竞争

当通过缓冲传送模式寄存器 (TBTM) 将缓冲传送时序设定为清除 TCNT 时, 如果在 TGR 的写周期中产生 TCNT 的清除信号, 通过缓冲运行传送到 TGR 的数据就为写之前的数据。

此时序如图 18.111 所示。

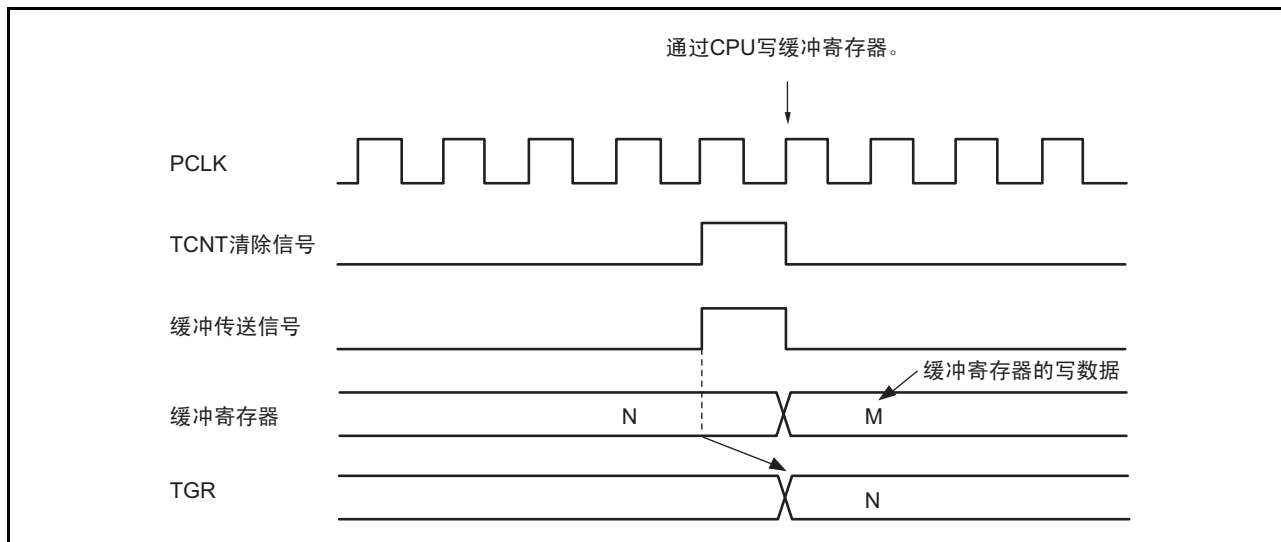


图 18.111 缓冲寄存器的写和 TCNT 清除的竞争

18.6.9 TGR 的读和输入捕捉的竞争

如果在 TGR 的读周期中产生输入捕捉信号，读出的数据就在通道 0 ~ 4 (或者通道 6 ~ 10) 时为输入捕捉传送前的数据而在通道 5 (或者通道 11) 时为输入捕捉传送后的数据。

此时序如图 18.112 和图 18.113 所示。

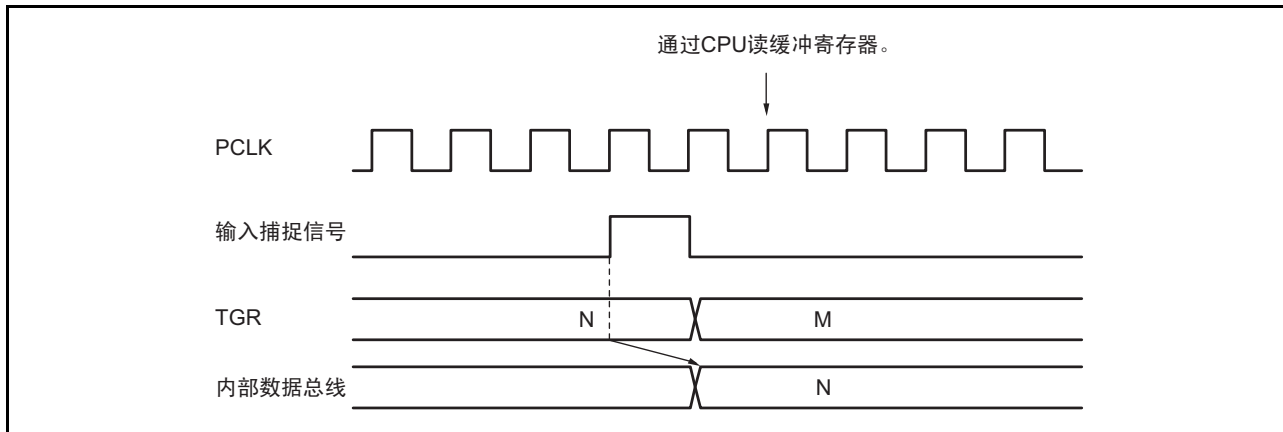


图 18.112 TGR 的读和输入捕捉的竞争 (通道 0 ~ 4 或者通道 6 ~ 10)

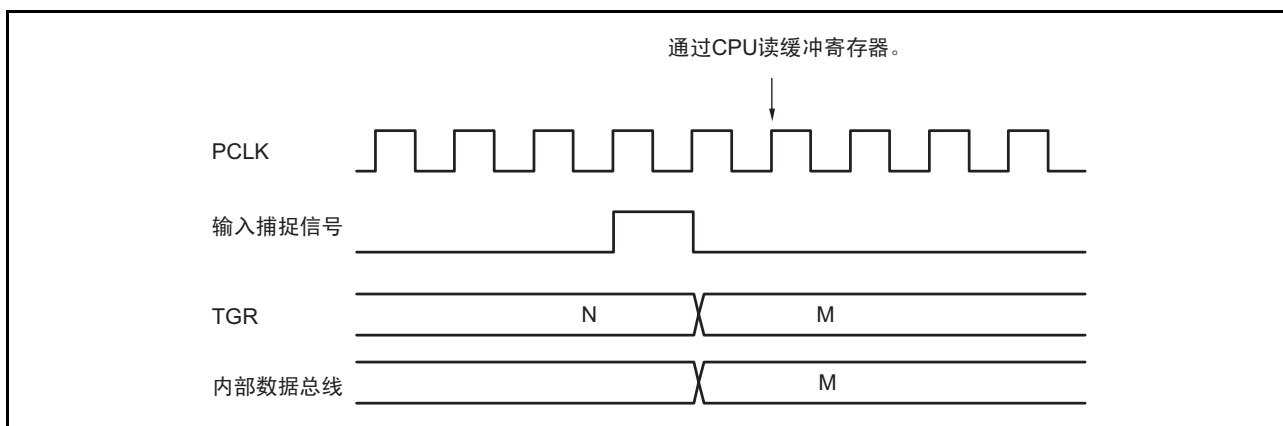


图 18.113 TGR 的读和输入捕捉的竞争 (通道 5 或者通道 11)

18.6.10 TGR 的写和输入捕捉的竞争

如果在 TGR 的写周期中产生输入捕捉信号，就在通道 0 ~ 4 (或者通道 6 ~ 10) 时不写 TGR 而优先输入捕捉，但是在通道 5 (或者通道 11) 时写 TGR 并且也产生输入捕捉信号。

此时序如图 18.114 和图 18.115 所示。

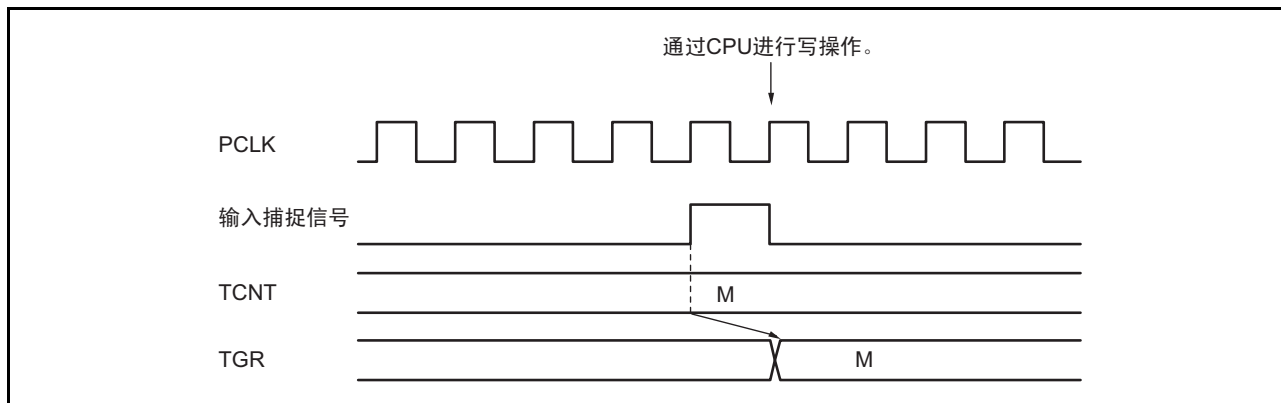


图 18.114 TGR 的写和输入捕捉的竞争 (通道 0 ~ 4 或者通道 6 ~ 10)

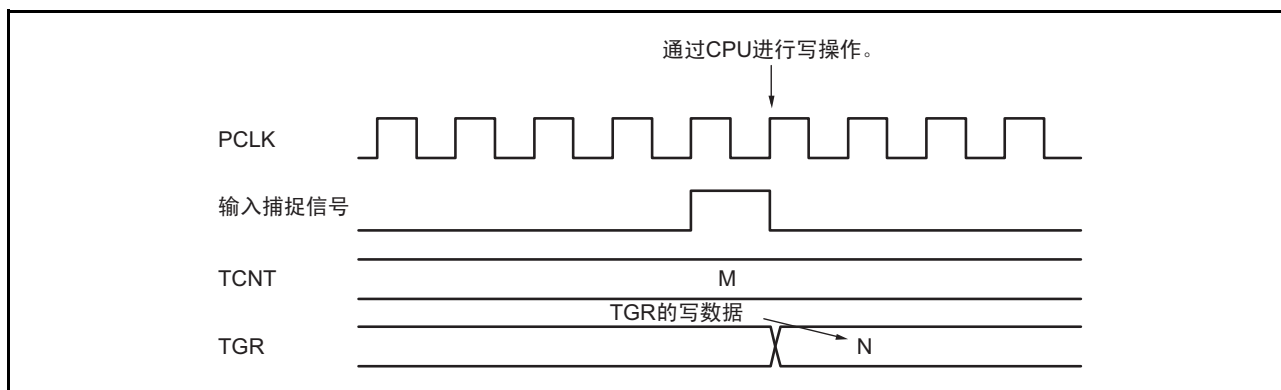


图 18.115 TGR 的写和输入捕捉的竞争 (通道 5 或者通道 11)

18.6.11 缓冲寄存器的写和输入捕捉的竞争

如果在缓冲器写周期中的 T2 状态产生输入捕捉信号，就不写缓冲寄存器而优先缓冲运行。此时序如图 18.116 所示。

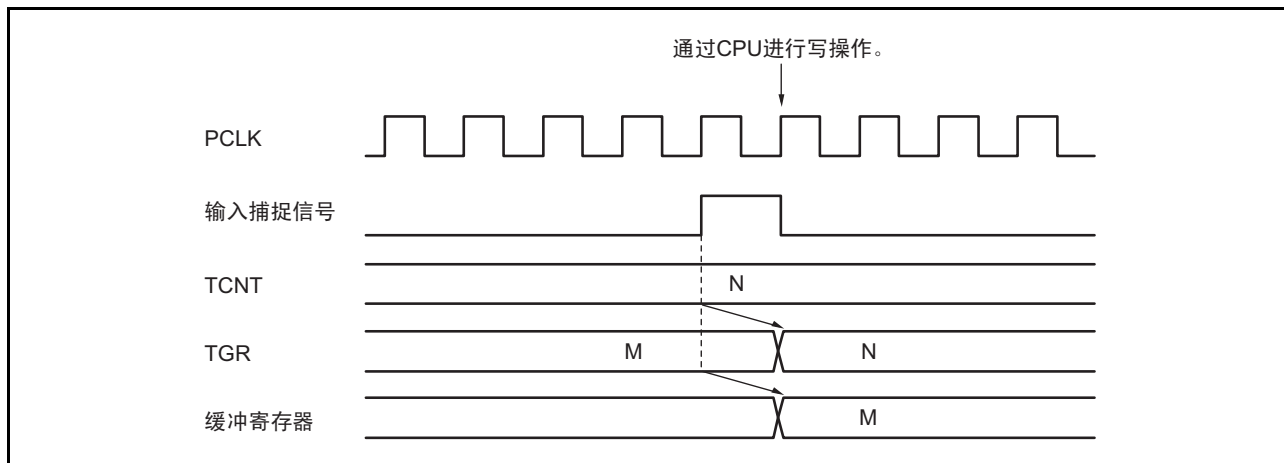


图 18.116 缓冲寄存器的写和输入捕捉的竞争

18.6.12 级联中的 MTUn.TCNT 的写和上溢 / 下溢的竞争 (n=2、8)

如果级联定时器的计数器 (MTUm.TCNT 和 MTUn.TCNT) 并且在 MTUm.TCNT 计数的瞬间 (MTUn.TCNT 上溢 / 下溢的瞬间) 和 MTUn.TCNT 的写周期发生竞争, 就写 MTUn.TCNT 而禁止 MTUm.TCNT 的计数信号。此时, MTUm.TGRA 作为比较匹配寄存器运行, 如果和 MTUm.TCNT 的值相同, 就产生比较匹配信号。

如果选择 MTUm.TCNT 计数时钟作为通道 0 或者通道 6 的输入捕捉源, MTU0.TGRA ~ TGRD (或者 MTU6.TGRA ~ TGRD) 就进行输入捕捉运行。如果选择 MTU0.TGRC (或者 MTU6.TGRC) 的比较匹配 / 输入捕捉作为 MTUm.TGRB 的输入捕捉源, MTUm.TGRB 就进行输入捕捉运行 (n=2、8, m=1、7)。

此时序如图 18.117 所示。

如果在级联运行时设定清除 TCNT, 就必须进行通道 1 和通道 2 (或者通道 7 和通道 8) 的同步设定。

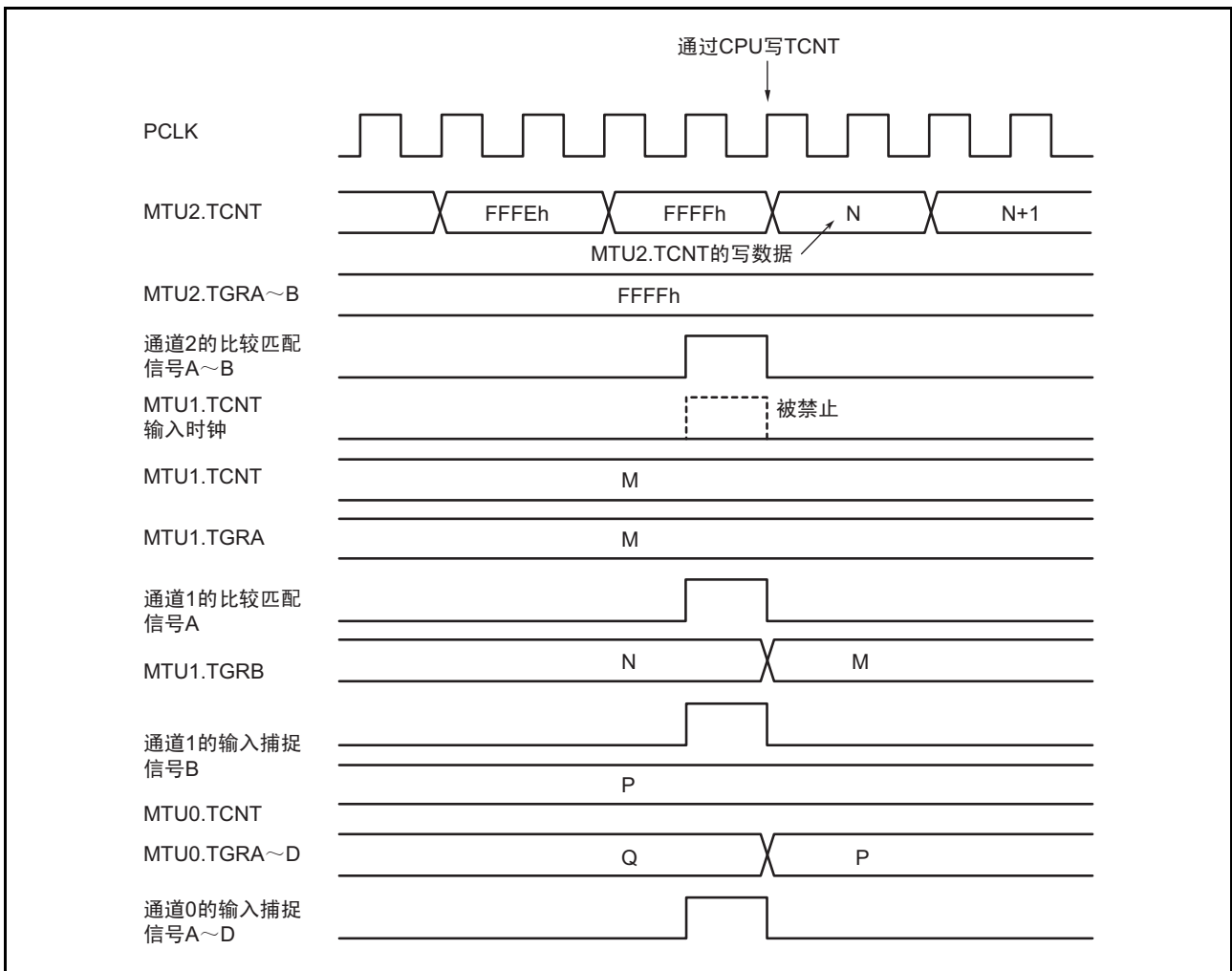


图 18.117 级联中的 MTU2.TCNT 的写和上溢 / 下溢的竞争

18.6.13 互补 PWM 模式停止时的计数器值

如果 $MTU_n.TCNT$ 和 $MTU_m.TCNT$ 在互补 PWM 运行时停止计数运行, $MTU_n.TCNT$ 就变为定时器的死区时间寄存器 (TDDR) 的值, $MTU_m.TCNT$ 变为“0000h”。

一旦重新开始互补 PWM 运行, 计数器就自动从初始状态开始计数 ($n=3、9$, $m=4、10$)。

此说明图如图 18.118 所示。

如果要在其他运行模式中开始计数, 就必须给 $MTU_n.TCNT$ 和 $MTU_m.TCNT$ 设定计数初始值。

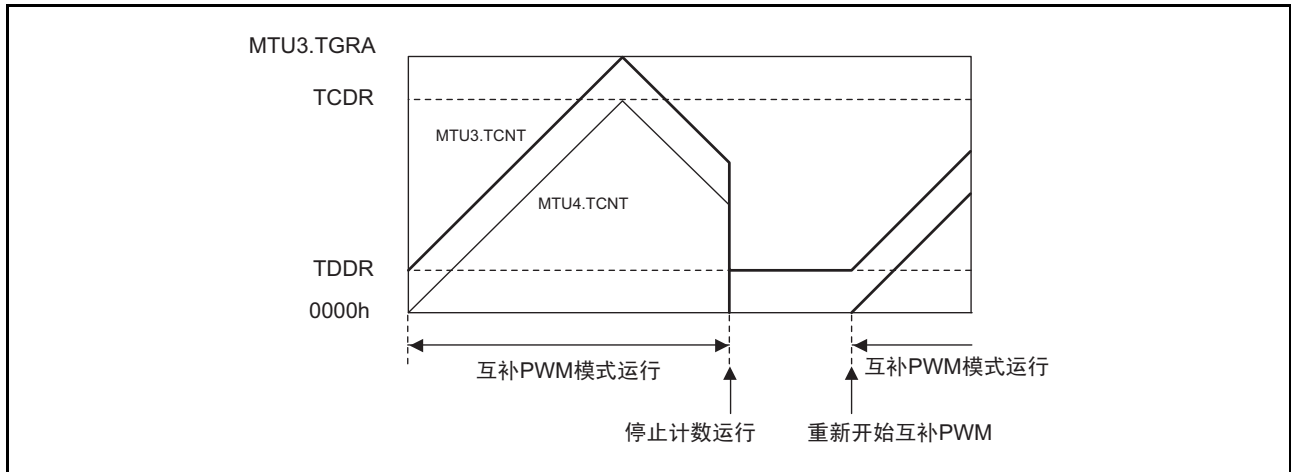


图 18.118 互补 PWM 模式停止时的计数器值 (MTU3 和 MTU4 运行)

18.6.14 互补 PWM 模式中的缓冲运行的设定

在互补 PWM 模式中，必须通过缓冲运行改写 PWM 周期设定寄存器 (MTUn.TGRA)、定时器的周期数据寄存器 (TCDR) 和占空比设定寄存器 (MTUn.TGRB、MTUm.TGRA、MTUm.TGRB)，并且将 MTUm.TMDR.BFA 位和 MTUm.TMDR.BFB 位置“0”。如果将 MTUm.TMDR.BFA 位置“1”，就无法进行 MTIOCmC 引脚的波形输出。

按照 MTUn.TMDR 的 BFA 位和 BFB 位的设定，进行互补 PWM 模式的通道 3 和通道 4 (或者通道 9 和通道 10) 的缓冲运行。如果将 MTUn.TMDR 的 BFA 位置“1”，就在 MTUn.TGRC 用作 MTUn.TGRA 的缓冲寄存器的同时，MTUm.TGRC 用作 MTUm.TGRA 的缓冲寄存器，并且 TCBR 用作 TCDR 的缓冲寄存器 (n=3、9, m=4、10)。

18.6.15 复位同步 PWM 模式的缓冲运行和比较匹配标志

要设定为在复位同步 PWM 模式中进行缓冲运行时，必须将 MTUm.TMDR 的 BFA 位和 BFB 位置“0”。如果将 MTUm.TMDR 的 BFA 位置“1”，就不能进行 MTIOCmC 引脚的波形输出。

按照 MTUn.TMDR 的 BFA 位和 BFB 位的设定，进行复位同步 PWM 模式的通道 3 和通道 4 (或者通道 9 和通道 10) 的缓冲运行。例如，如果将 MTUn.TMDR 的 BFA 位置“1”，就在 MTUn.TGRC 用作 MTUn.TGRA 的缓冲寄存器的同时，MTUm.TGRC 用作 MTUm.TGRA 的缓冲寄存器。

当 MTUn.TGRC 和 MTUn.TGRD 用作缓冲寄存器时，不产生对应的 TGIC 和 TGID 的中断请求 (n=3、9, m=4、10)。

将 MTU3.TMDR 的 BFA 位和 BFB 位置“1”并且将 MTU4.TMDR 的 BFA 位和 BFB 位置“0”时的 MTU3.TGR、MTU4.TGR、MTIOC3、MTIOC4 的运行例子如图 18.119 所示。

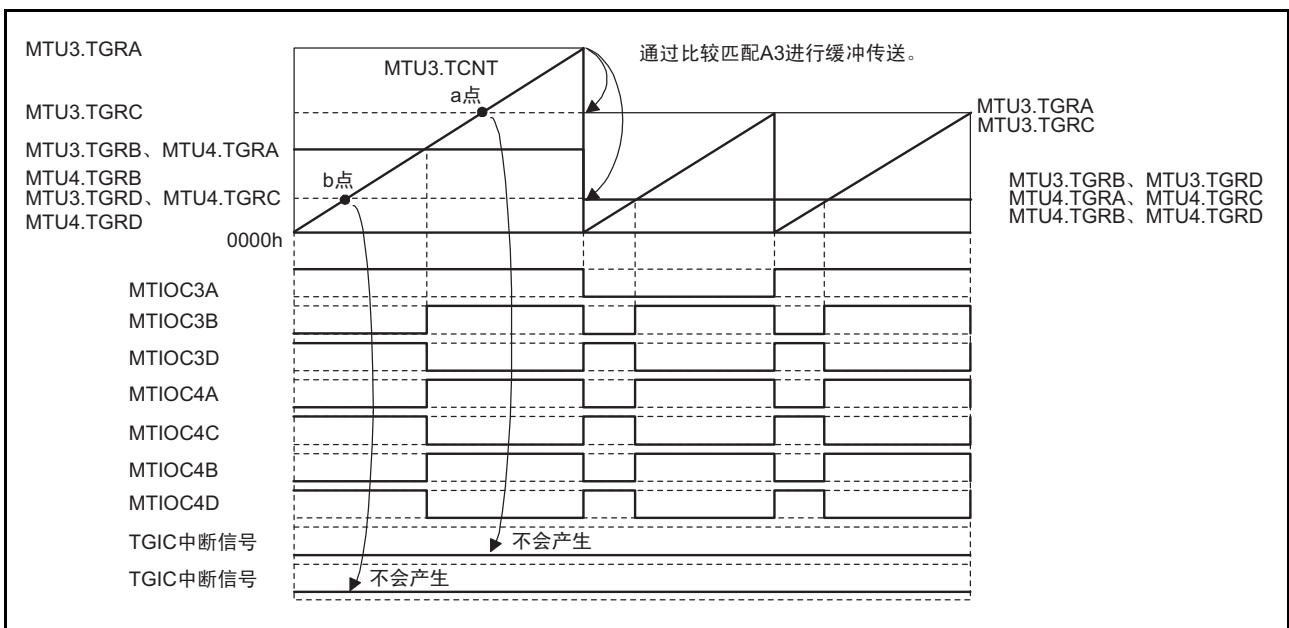


图 18.119 复位同步 PWM 模式的缓冲运行和比较匹配标志

18.6.16 复位同步 PWM 模式的上溢标志

如果设定复位同步 PWM 模式并且将 TSTR 的 CST3 位置“1”，就开始 MTUn.TCNT 和 MTUm.TCNT 的计数运行。此时，MTUm.TCNT 的计数时钟源和计数边沿服从 MTUn.TCR 的设定。

在复位同步 PWM 模式中，当周期寄存器 MTUn.TGRA 的设定值为“FFFFh”并且指定 MTUn.TGRA 的比较匹配为计数器清除源时，如果 MTUn.TCNT 和 MTUm.TCNT 递增计数到“FFFFh”，就发生和 MTUn.TGRA 的比较匹配，并且清除 MTUn.TCNT 和 MTUm.TCNT (n=3、9，m=4、10)。此时，不产生对应的 TCIV 中断请求。

在复位同步 PWM 模式中，当周期寄存器 MTU3.TGRA 的设定值为“FFFFh”并且指定 MTU3.TGRA 的比较匹配为计数器清除源而不进行同步设定时的运行例子如图 18.120 所示。

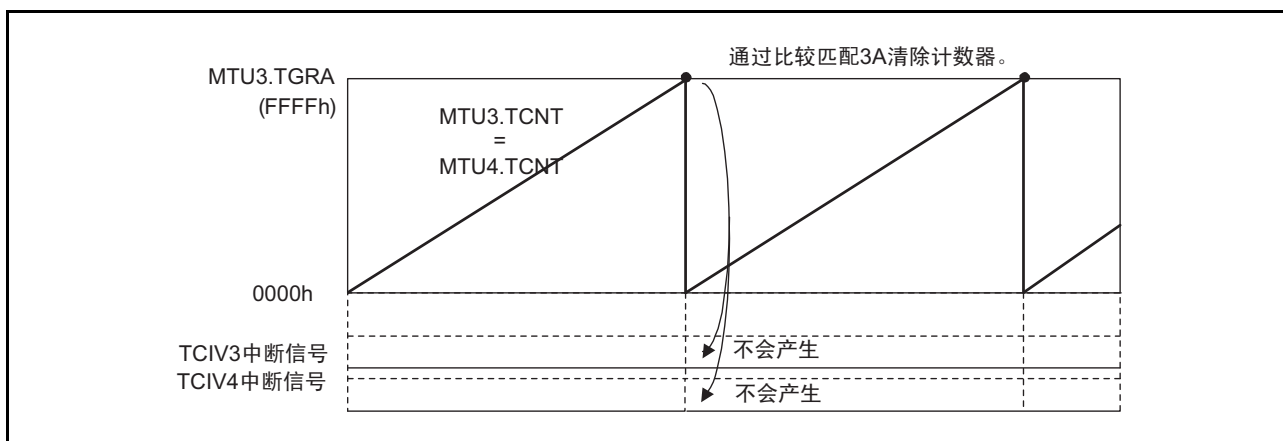


图 18.120 复位同步 PWM 模式的上溢标志

18.6.17 上溢 / 下溢和计数器清除的竞争

如果同时发生上溢 / 下溢和计数器清除，就优先清除 TCNT 而不会发生对应的 TCIV 中断。将 TGR 的比较匹配作为清除源并且给 TGR 设定“FFFFh”时的运行时序如图 18.121 所示。

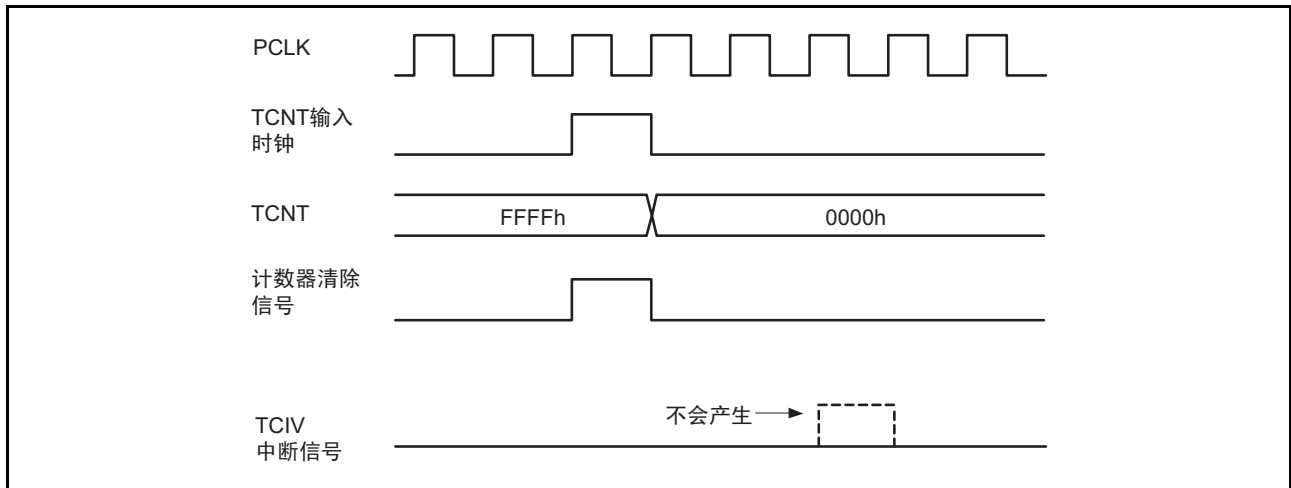


图 18.121 上溢和计数器清除的竞争

18.6.18 TCNT 的写和上溢 / 下溢的竞争

即使在 TCNT 的写周期中发生递增计数 / 递减计数和上溢 / 下溢，也优先写 TCNT 而不会产生中断请求。TCNT 的写和上溢竞争时的运行时序如图 18.122 所示。

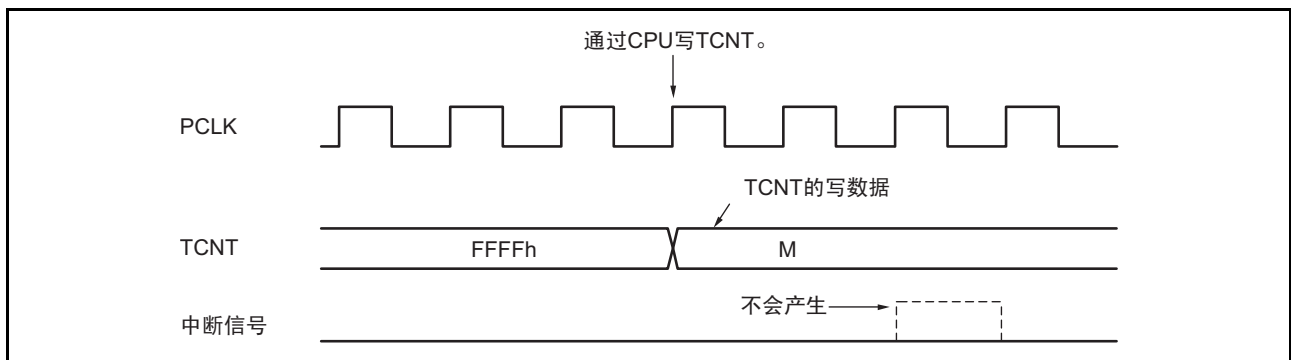


图 18.122 TCNT 的写和上溢的竞争

18.6.19 从正常运行或者 PWM 模式 1 转移到复位同步 PWM 模式时的注意事项

要从通道 3 和通道 4（或者通道 9 和通道 10）的正常运行或者 PWM 模式 1 转移到复位同步 PWM 模式的 High 状态时，如果在将输出引脚（MTIOCnB、MTIOCnD、MTIOCmA、MTIOCmC、MTIOCmB、MTIOCmD）置为高电平的状态下停止计数器并且在转移到复位同步 PWM 模式后进行运行，就不能正确地进行引脚的初始输出，因此必须注意。

在从正常运行转移到复位同步 PWM 模式时，必须在给 MTUn.TIORH、MTUn.TIORL、MTUm.TIORH、MTUm.TIORL 寄存器写“11h”并且将输出引脚初始化为低电平后设定寄存器的初始值“00h”，然后进行模式移行（n=3、9，m=4、10）。

在从 PWM 模式 1 转移到复位同步 PWM 模式时，必须暂且转移到正常运行，在将输出引脚初始化为低电平后设定寄存器的初始值“00h”，然后转移到复位同步 PWM 模式。

18.6.20 互补 PWM 模式、复位同步 PWM 模式的输出电平

当 MTU3 和 MTU4 为互补 PWM 模式或者复位同步 PWM 模式时，通过定时器的输出控制寄存器 1 (TOCR) 的 OLSF 位和 OLSN 位设定 PWM 波形的输出电平。并且必须将 TIOR 寄存器设定为“00h”。

18.6.21 模块停止状态时的中断

如果通过中断请求状态变为模块停止状态，就不能清除 CPU 的中断源或者 DMAC/DTC 的启动源。必须先将在中断设定为无效后再设定模块停止状态。

18.6.22 级联中的 MTUn.TCNT 和 MTUm.TCNT 的同时输入捕捉

在将定时器的计数器 1 和计数器 2（或者计数器 7 和计数器 8）(MTU1.TCNT/MTU2.TCNT 或者 MTU7.TCNT/MTU8.TCNT) 级联用作 32 位计数器时，即使 MTIOCnA 和 MTIOCmA 或者 MTIOCnB 和 MTIOCmB 同时进行输入捕捉的输入，也会与内部时钟同步将输入到 MTUn.TCNT 和 MTUm.TCNT 的外部输入捕捉信号取到内部，此时可能因 MTIOCnA 和 MTIOCmA 或者 MTIOCnB 和 MTIOCmB 的取时序产生偏差而不能正确地捕捉级联计数器的值（n=1、7，m=2、8）。

例如，MTU1.TCNT（高 16 位的计数器）应该捕捉由 MTU2.TCNT（低 16 位的计数器）的上溢产生的递增计数值，却会捕捉递增计数前的计数值。此时，应该将 MTU1.TCNT 为“FFF1h”以及 MTU2.TCNT 为“0000h”的值传送到 MTU1.TGRA 和 MTU2.TGRA 或者 MTU1.TGRB 和 MTU2.TGRB，却会误传送 MTU1.TCNT 为“FFF0h”以及 MTU2.TCNT 为“0000h”的值。

在 MTU 中，能通过 1 个输入捕捉的输入，追加可同时捕捉 MTU1.TCNT 和 MTU2.TCNT（或者 MTU7.TCNT 和 MTU8.TCNT）的功能。如果使用此功能，就不会产生 MTU1.TCNT 和 MTU2.TCNT（或者 MTU7.TCNT 和 MTU8.TCNT）的捕捉时序偏差而能取到 32 位计数器的值。详细内容请参照“18.2.8 定时器的输入捕捉控制寄存器 (TICCR)”。

18.6.23 未使用互补 PWM 模式的输出保护功能时的注意事项

互补 PWM 模式的输出保护功能在初始状态下有效。如果不使用此功能，就必须给 POE 的 POECR1 寄存器写“00h”并且给 POE 的 POECR2 寄存器写“00h”。

18.6.24 同步清除互补 PWM 模式时的异常动作的防止

在互补 PWM 模式中，如果在同步计数器清除时输出波形控制有效 (TWCR.WRE 位 =1) 的状态下满足条件 1 或者条件 2，就会出现以下现象：

- PWM 输出引脚的死区时间变短 (或者消失)。
- 在非有效电平输出期间，从 PWM 反相输出引脚输出有效电平。

条件 1: 在初始输出的抑止期间⑩，当 PWM 输出在死区时间的期间中进行同步清除时 (参照图 18.123)

条件 2: 在初始输出的抑止期间⑩和 ⑪，当在满足 $MTU3.TGRB \leq TDDR$ 、 $MTU4.TGRA \leq TDDR$ 或者 $MTU4.TGRB \leq TDDR$ 的状态下进行同步清除时 (参照图 18.124)

能通过以下方法回避这种现象：

- 在将比较寄存器 MTU3.TGRB、MTU4.TGRA 和 MTU4.TGRB 全部设定为不小于死区时间数据寄存器 (TDDR) 的 2 倍的状态下进行同步清除。

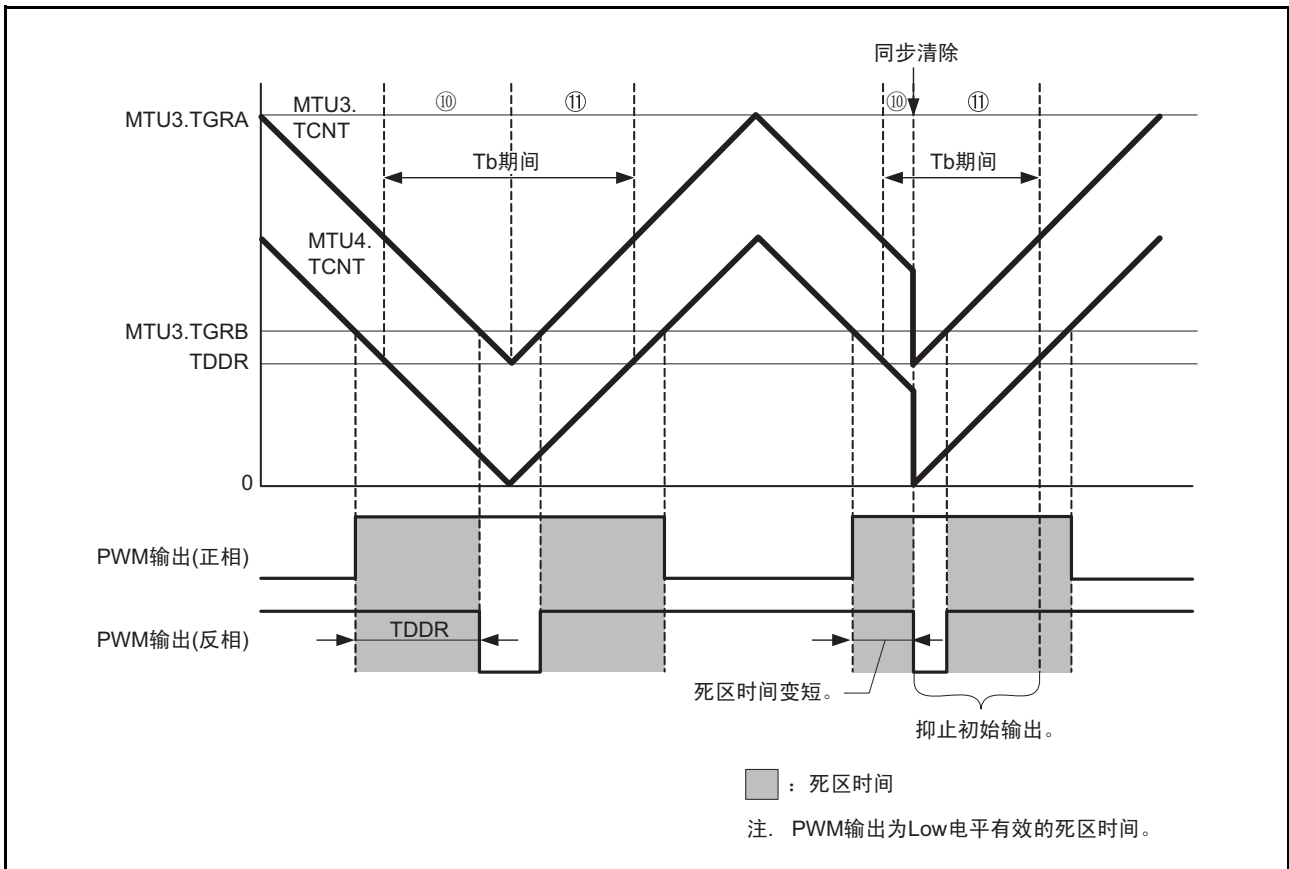


图 18.123 同步清除的例子 (条件 1 的情况)

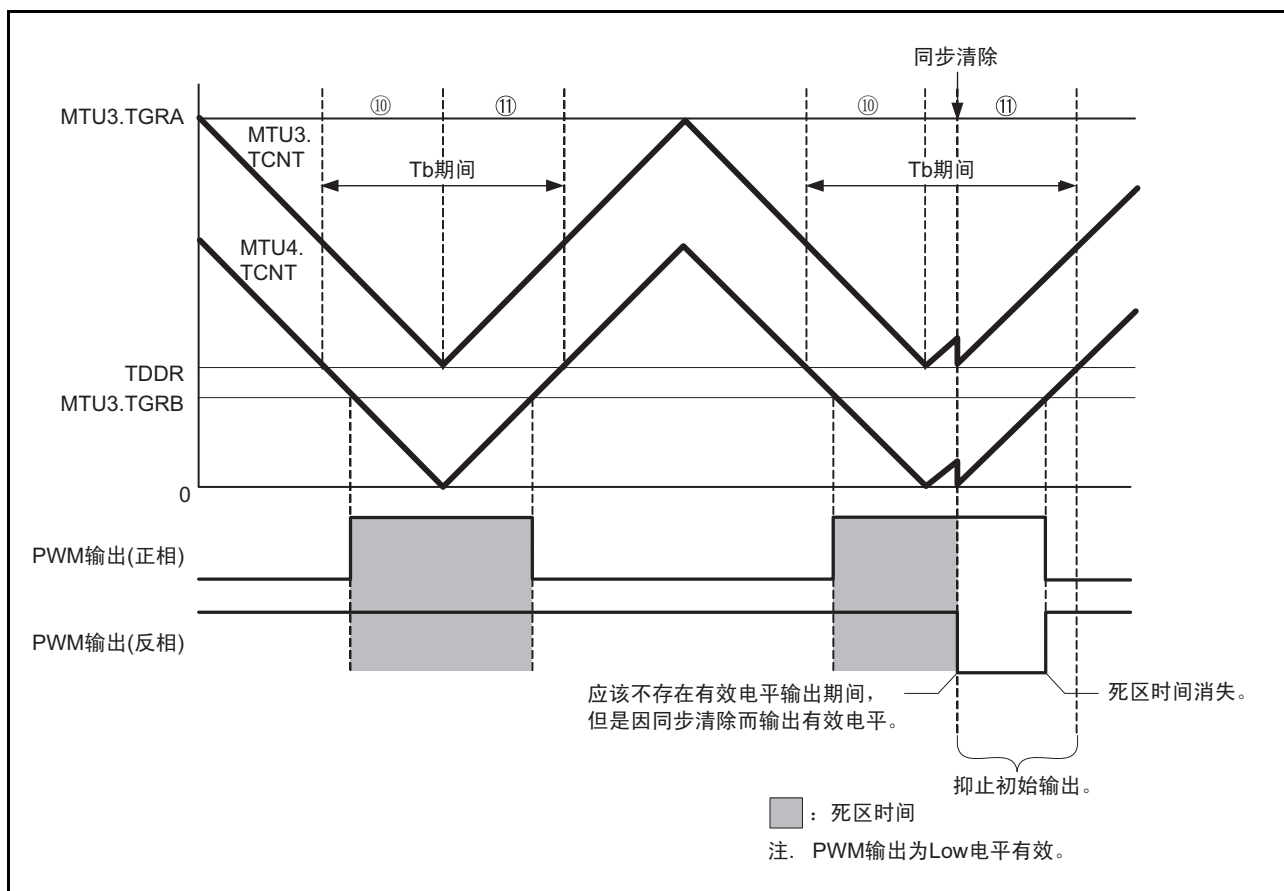


图 18.124 同步清除的例子 (条件 2 的情况)

18.7 MTU 输出引脚的初始化方法

18.7.1 运行模式

MTU 有以下 6 种运行模式，能在任意的模式中进行波形输出。

- 正常模式 (通道 0~4 或者通道 6~10)
- PWM 模式 1 (通道 0~4 或者通道 6~10)
- PWM 模式 2 (通道 0~2 或者通道 6~8)
- 相位计数模式 1~4 (通道 1 和通道 2、或者通道 7 和通道 8)
- 互补 PWM 模式 (通道 3 和通道 4、或者通道 9 和通道 10)
- 复位同步 PWM 模式 (通道 3 和通道 4、或者通道 9 和通道 10)

在此说明各模式中的 MTU 输出引脚的初始化方法。

18.7.2 因运行过程中的异常而重新设定时的运行

如果在 MTU 运行过程中发生异常，就必须通过系统切断 MTU 的输出。要切断输出时，需要事先通过 I/O 端口的数据方向寄存器 (DDR) 和数据寄存器 (DR) 设定为向通用输入 / 输出端口输出无效电平，禁止 MTU 的引脚输出，并且作为通用输出端口，将无效电平输出到引脚。对于马达驱动引脚，也能使用端口输出允许位 (POE)，通过硬件来切断输出。因运行过程中的异常等而重新设定时的引脚初始化步骤以及重新设定后在其他运行模式中重新开始时的步骤如下所示。

如上所述，因为 MTU 有 6 个运行模式，所以有 36 种模式转移的组合，但是有通道和模式的组合中不存在的转移。模式转移的组合一览表如表 18.62 所示。

表中使用下述的符号表示：

Normal: 正常模式 PWM1: PWM 模式 1 PWM2: PWM 模式 2
PCM: 相位计数模式 1~4 CPWM: 互补 PWM 模式 RPWM: 复位同步 PWM 模式

表 18.62 模式转移的组合

	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	(1)	(2)	(3)	(4)	(5)	(6)
PWM1	(7)	(8)	(9)	(10)	(11)	(12)
PWM2	(13)	(14)	(15)	(16)	none	none
PCM	(17)	(18)	(19)	(20)	none	none
CPWM	(21)	(22)	none	none	(23) (24)	(25)
RPWM	(26)	(27)	none	none	(28)	(29)

18.7.3 因运行过程中的异常而对引脚进行初始化的步骤以及模式转移的概要

- 在转移到定时器的 I/O 控制寄存器 (TIOR) 选择的引脚输出电平模式 (Normal、PWM1、PWM2、PCM) 时, 必须通过设定 TIOR 对引脚进行初始化。
- 因为在 PWM 模式 1 中不将波形输出到 MTIOCNB (MTIOCND) 引脚 (n=通道号), 所以即使设定 TIOR 也不对引脚进行初始化。要进行初始化时, 必须在正常模式中进行初始化后转移到 PWM 模式 1。
- 因为在 PWM 模式 2 中不将波形输出到周期寄存器的引脚, 所以即使设定 TIOR 也不对引脚进行初始化。要进行初始化时, 必须在正常模式中进行初始化后转移到 PWM 模式 2。
- 在正常模式或者 PWM 模式 2 中, 如果 TGRC 和 TGRD 都用作缓冲寄存器, 即使设定 TIOR 也不对缓冲寄存器的引脚进行初始化。要进行初始化时, 必须在解除缓冲器模式进行初始化后重新设定缓冲器模式。
- 在 PWM 模式 1 中, 如果 TGRC 或者 TGRD 用作缓冲寄存器, 即使设定 TIOR 也不对 MTIOCNB (n=通道号) 的引脚进行初始化。如果要对 MTIOCNB (n=通道号) 的引脚进行初始化, 必须在解除缓冲器模式进行初始化后重新设定缓冲器模式。
- 在转移到定时器的输出控制寄存器 (TOCR) 选择的引脚输出电平模式 (CPWM、RPWM) 时, 必须转移到正常模式并且通过 TIOR 进行初始化, 在将 TIOR 恢复为初始值后通过定时器的输出主控允许寄存器 (TOER) 暂时禁止通道 3 和通道 4 (或者通道 9 和通道 10) 的输出, 然后按照模式的设定步骤 (TOCR 的设定、TMDR 的设定和 TOER 的设定) 运行。

注. 在没有特别要求的情况下, 各项记述中的 n 为通道号。

根据表 18.62 的组合 No. 对引脚进行初始化的步骤如下所示, 有效电平为低电平。

(1) 在正常模式的运行过程中发生异常并且在正常模式中重新开始时的运行

在正常模式中发生异常并且重新设定后在正常模式中重新开始时的说明图如图 18.125 所示。

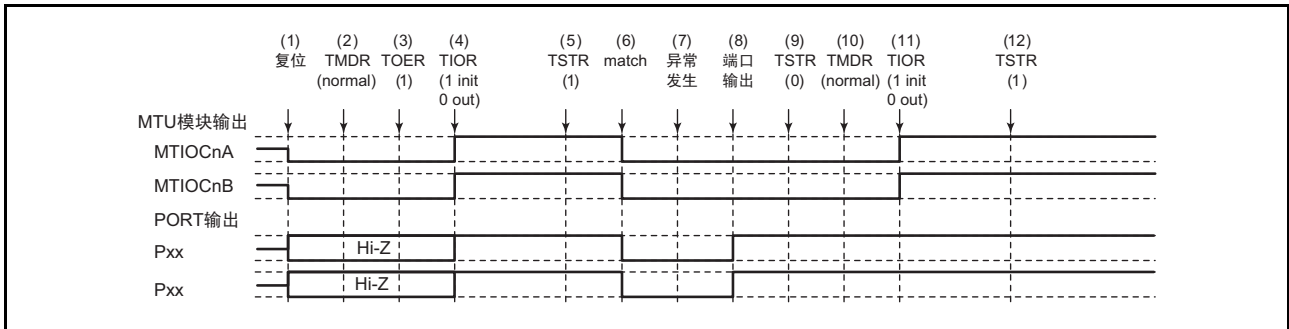


图 18.125 在正常模式中发生异常并且在正常模式中恢复的情况

- (1) 复位后，MTU 的输出为低电平，端口为高阻抗。
- (2) 复位后，TMDR 被设定为正常模式。
- (3) 在通道3和通道4（或者通道9和通道10）中，必须在通过TIOR对引脚进行初始化前用TOER允许输出。
- (4) 必须通过TIOR对引脚进行初始化（这是初始输出为高电平并且在比较匹配时输出低电平的例子）。
- (5) 通过TSTR开始计数运行。
- (6) 在比较匹配时输出低电平。
- (7) 发生异常。
- (8) 必须通过TIOR禁止引脚输出，而作为端口输出，反相输出有效电平。
- (9) 通过TSTR停止计数运行。
- (10) 在正常模式中重新开始的情况下不需要此步骤。
- (11) 必须通过TIOR对引脚进行初始化。
- (12) 通过TSTR重新开始。

(2) 在正常模式的运行过程中发生异常并且在 PWM 模式 1 中重新开始时的运行

在正常模式中发生异常并且重新设定后在 PWM 模式 1 中重新开始时的说明图如图 18.126 所示。

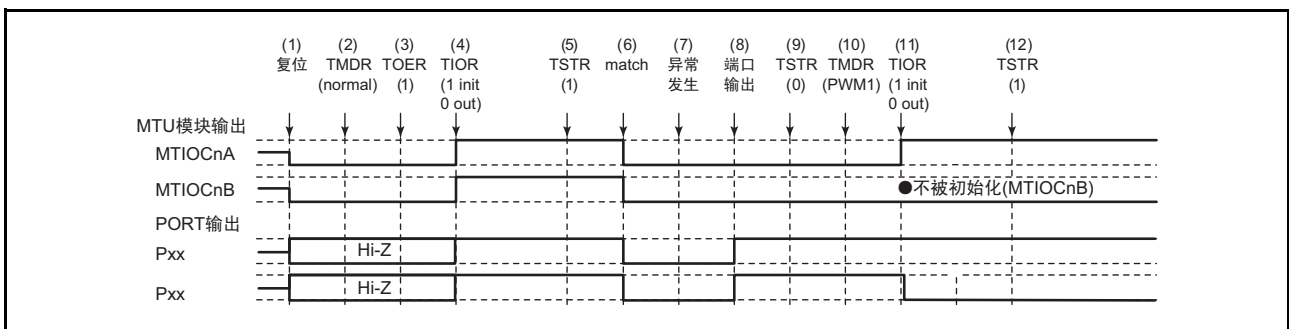


图 18.126 在正常模式中发生异常并且在 PWM 模式 1 中恢复的情况

- (1) ~ (9) 和图 18.125 通用。
- (10) 设定 PWM 模式 1。
- (11) 必须通过TIOR对引脚进行初始化（在 PWM 模式 1 中不对 MTIOCnB 进行初始化。如果要进行初始化，就必须在正常模式中进行初始化后转移到 PWM 模式 1）。
- (12) 通过 TSTR 重新开始。

(3) 在正常模式的运行过程中发生异常并且在 PWM 模式 2 中重新开始时的运行

在正常模式中发生异常并且重新设定后在 PWM 模式 2 中重新开始时的说明图如图 18.127 所示。

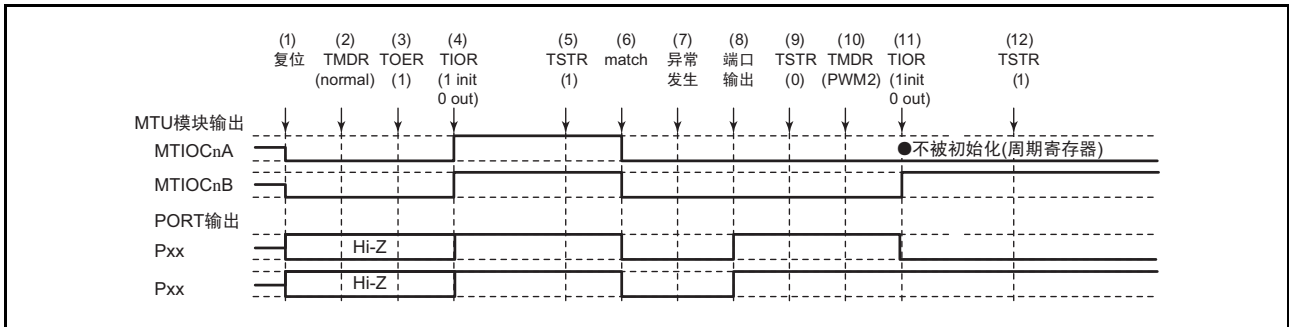


图 18.127 在正常模式中发生异常并且在 PWM 模式 2 中恢复的情况

(1) ~ (9) 和图 18.125 通用。

(10) 设定 PWM 模式 2。

(11) 必须通过 TIOR 对引脚进行初始化（在 PWM 模式 2 中不对周期寄存器的引脚进行初始化。如果要进行初始化，就必须在正常模式中进行初始化后转移到 PWM 模式 2）。

(12) 通过 TSTR 重新开始。

注. 只有通道 0 ~ 2 或者通道 6 ~ 8 能设定 PWM 模式 2，因此不需要设定 TOER。

(4) 在正常模式的运行过程中发生异常并且在相位计数模式中重新开始时的运行

在正常模式中发生异常并且重新设定后在相位计数模式中重新开始时的说明图如图 18.128 所示。

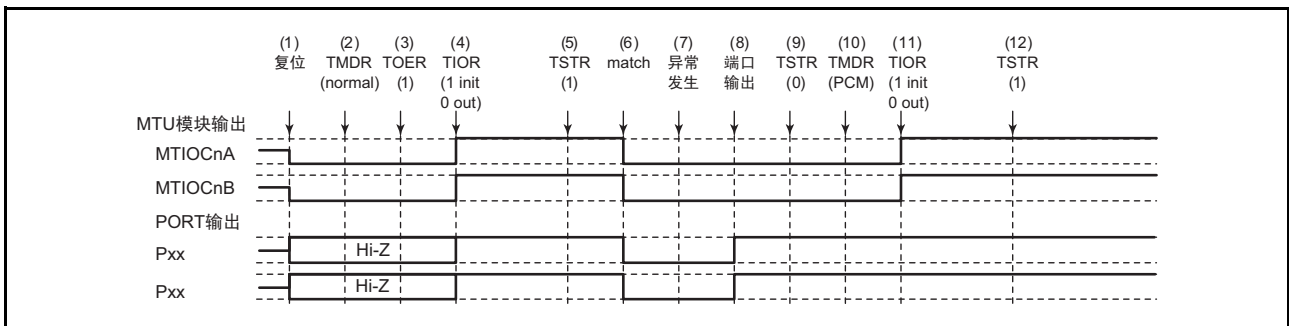


图 18.128 在正常模式中发生异常并且在相位计数模式中恢复的情况

(1) ~ (9) 和图 18.125 通用。

(10) 设定相位计数模式。

(11) 必须通过 TIOR 对引脚进行初始化。

(12) 通过 TSTR 重新开始。

注. 只有通道 1 和通道 2 能设定相位计数模式，因此不需要设定 TOER。

(5) 在正常模式的运行过程中发生异常并且在互补 PWM 模式中重新开始时的运行

在正常模式中发生异常并且重新设定后在互补 PWM 模式中重新开始时的说明图如图 18.129 所示。

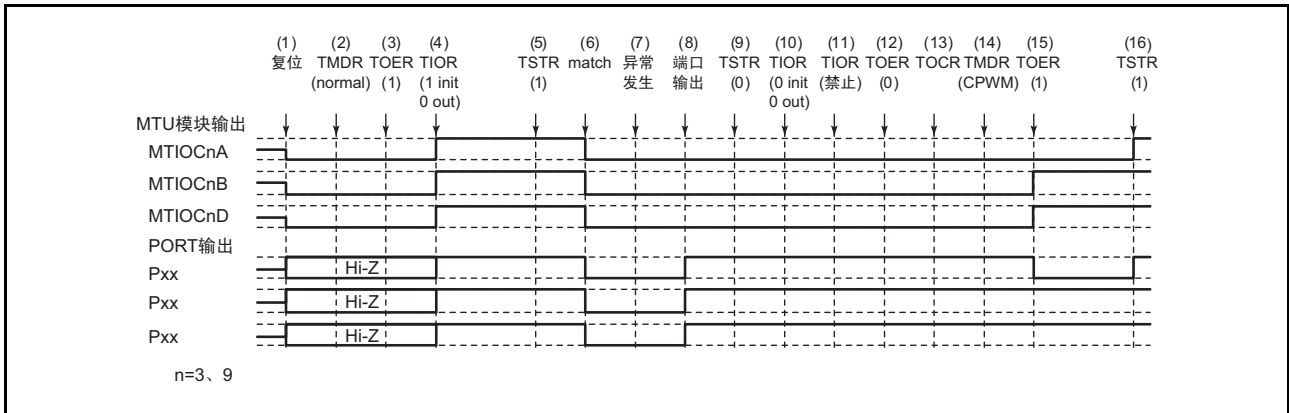


图 18.129 在正常模式中发生异常并且在互补 PWM 模式中恢复的情况

- (1) ~ (9) 和图 18.125 通用。
- (10) 必须通过 TIOR 对正常模式的波形生成部进行初始化。
- (11) 必须通过 TIOR 禁止正常模式的波形生成部的运行。
- (12) 必须通过 TOER 禁止通道 3 和通道 4 (或者通道 9 和通道 10) 的输出。
- (13) 必须通过 TOCR 选择互补 PWM 的输出电平以及允许或者禁止周期输出。
- (14) 设定互补 PWM。
- (15) 必须通过 TOER 允许通道 3 和通道 4 (或者通道 9 和通道 10) 的输出。
- (16) 通过 TSTR 重新开始。

(6) 在正常模式的运行过程中发生异常并且在复位同步 PWM 模式中重新开始时的运行

在正常模式中发生异常并且重新设定后在复位同步 PWM 模式中重新开始时的说明图如图 18.130 所示。

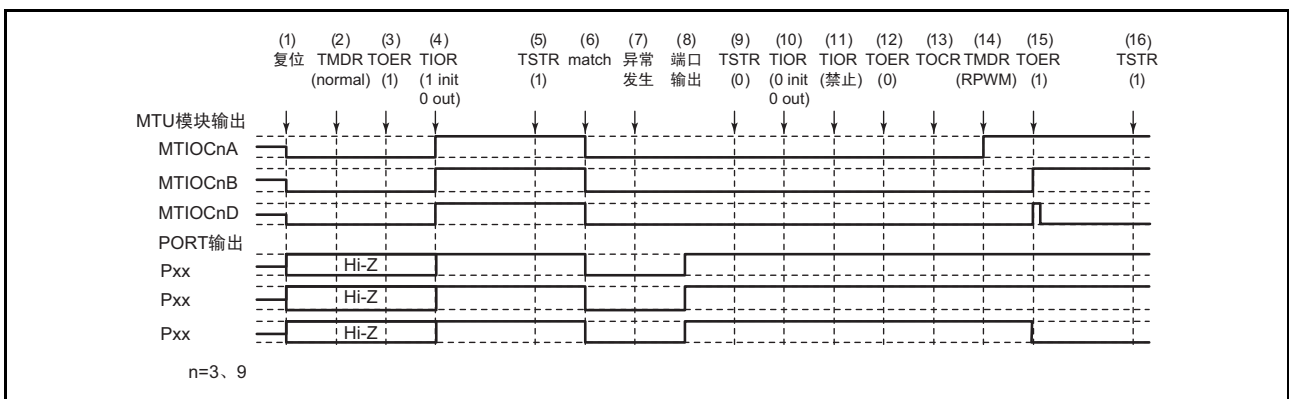


图 18.130 在正常模式中发生异常并且复位同步 PWM 模式中恢复的情况

- (1) ~ (12) 和图 18.125 通用。
- (13) 必须通过 TOCR 选择复位同步 PWM 的输出电平以及允许或者禁止周期输出。
- (14) 设定复位同步 PWM。
- (15) 必须通过 TOER 允许通道 3 和通道 4 (或者通道 9 和通道 10) 的输出。
- (16) 通过 TSTR 重新开始。

(7) 在 PWM 模式 1 的运行过程中发生异常并且在正常模式中重新开始时的运行

在 PWM 模式 1 中发生异常并且重新设定后在正常模式中重新开始时的说明图如图 18.131 所示。

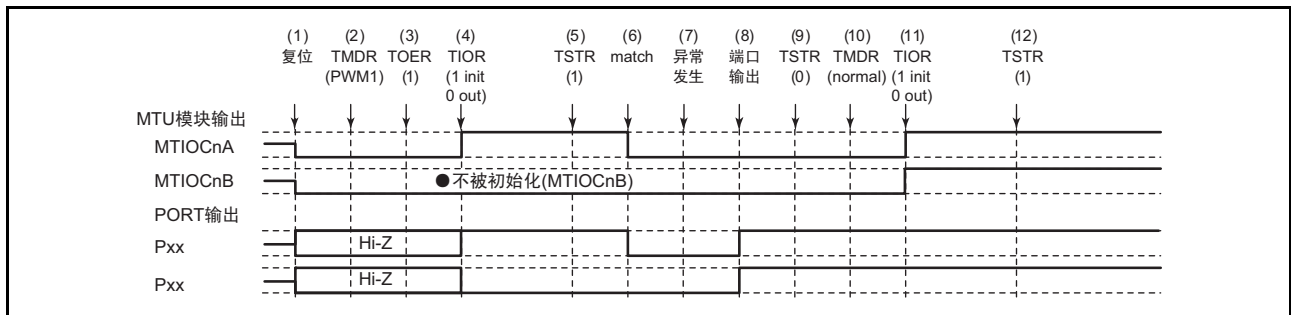


图 18.131 在 PWM 模式 1 中发生异常并且在正常模式中恢复的情况

- (1) 复位后，MTU 的输出为低电平，端口为高阻抗。
- (2) 必须设定 PWM 模式 1。
- (3) 在通道 3 和通道 4（或者通道 9 和通道 10）中，必须在通过 TIOR 对引脚进行初始化前用 TOER 允许输出。
- (4) 必须通过 TIOR 对引脚进行初始化（这是初始输出为高电平并且在比较匹配时输出低电平的例子。在 PWM 模式 1 中不对 MTIOCnB 进行初始化）。
- (5) 通过 TSTR 开始计数运行。
- (6) 在比较匹配时输出 Low 电平。
- (7) 发生异常。
- (8) 必须通过 TIOR 禁止引脚输出，而作为端口输出，反相输出有效电平。
- (9) 通过 TSTR 停止计数运行。
- (10) 必须设定正常模式。
- (11) 必须通过 TIOR 对引脚进行初始化。
- (12) 通过 TSTR 重新开始。

(8) 在 PWM 模式 1 的运行过程中发生异常并且在 PWM 模式 1 中重新开始时的运行

在 PWM 模式 1 中发生异常并且重新设定后在 PWM 模式 1 中重新开始时的说明图如图 18.132 所示。

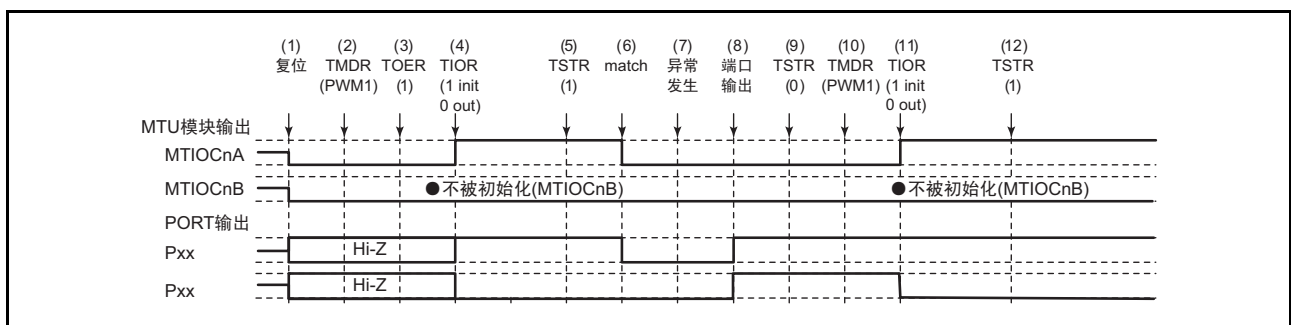


图 18.132 在 PWM 模式 1 中发生异常并且在 PWM 模式 1 中恢复的情况

- (1) ~ (9) 和图 18.131 通用。
- (10) 在 PWM 模式 1 中重新开始的情况下不需要此步骤。
- (11) 必须通过 TIOR 对引脚进行初始化（在 PWM 模式 1 中不对 MTIOCnB 进行初始化）。
- (12) 通过 TSTR 重新开始。

(9) 在 PWM 模式 1 的运行过程中发生异常并且在 PWM 模式 2 中重新开始时的运行

在 PWM 模式 1 中发生异常并且重新设定后在 PWM 模式 2 中重新开始时的说明图如图 18.133 所示。

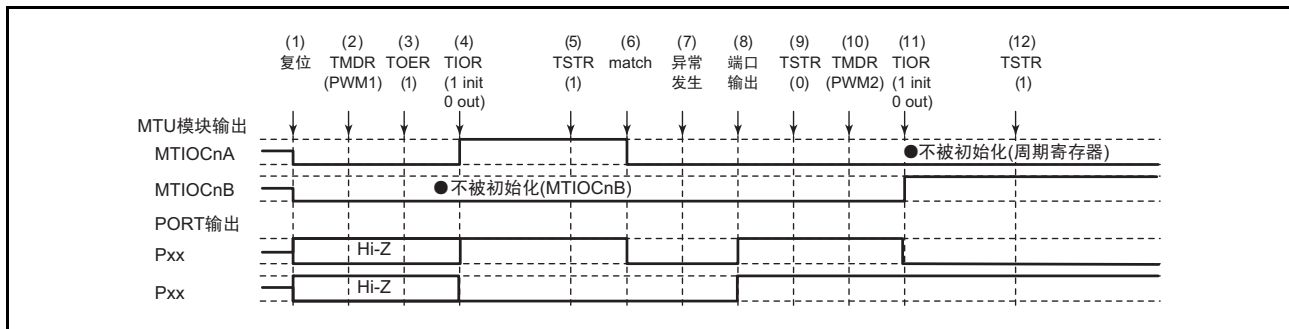


图 18.133 在 PWM 模式 1 中发生异常并且在 PWM 模式 2 中恢复的情况

(1) ~ (9) 和图 18.131 通用。

(10) 设定 PWM 模式 2。

(11) 必须通过 TIOR 对引脚进行初始化（在 PWM 模式 2 中不对周期寄存器的引脚进行初始化）。

(12) 通过 TSTR 重新开始。

注. 只有通道 0 ~ 2（或者通道 6 ~ 8）能设定 PWM 模式 2，因此不需要设定 TOER。

(10) 在 PWM 模式 1 的运行过程中发生异常并且在相位计数模式中重新开始时的运行

在 PWM 模式 1 中发生异常并且重新设定后在相位计数模式中重新开始时的说明图如图 18.134 所示。

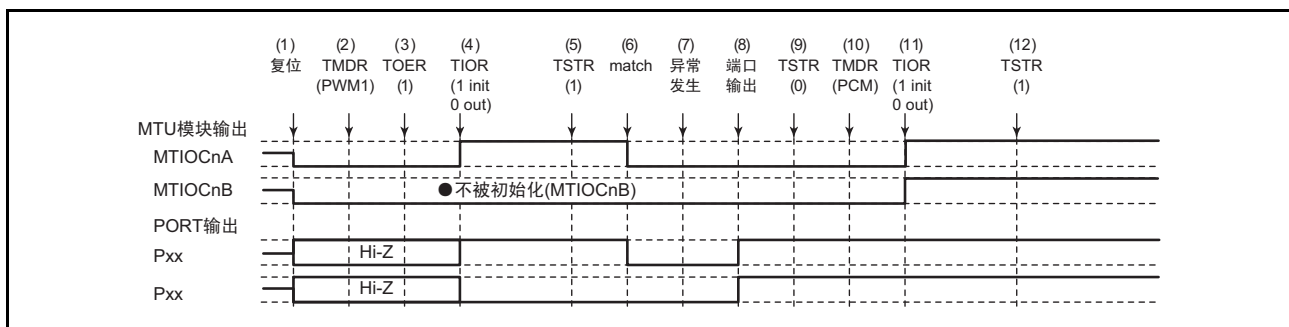


图 18.134 在 PWM 模式 1 中发生异常并且在相位计数模式中恢复的情况

(1) ~ (9) 和图 18.131 通用。

(10) 设定相位计数模式。

(11) 必须通过 TIOR 对引脚进行初始化。

(12) 通过 TSTR 重新开始。

注. 只有通道 1 和通道 2（或者通道 7 和通道 8）能设定相位计数模式，因此不需要设定 TOER。

(11) 在 PWM 模式 1 的运行过程中发生异常并且在互补 PWM 模式中重新开始时的运行

在 PWM 模式 1 中发生异常并且重新设定后在互补 PWM 模式中重新开始时的说明图如图 18.135 所示。

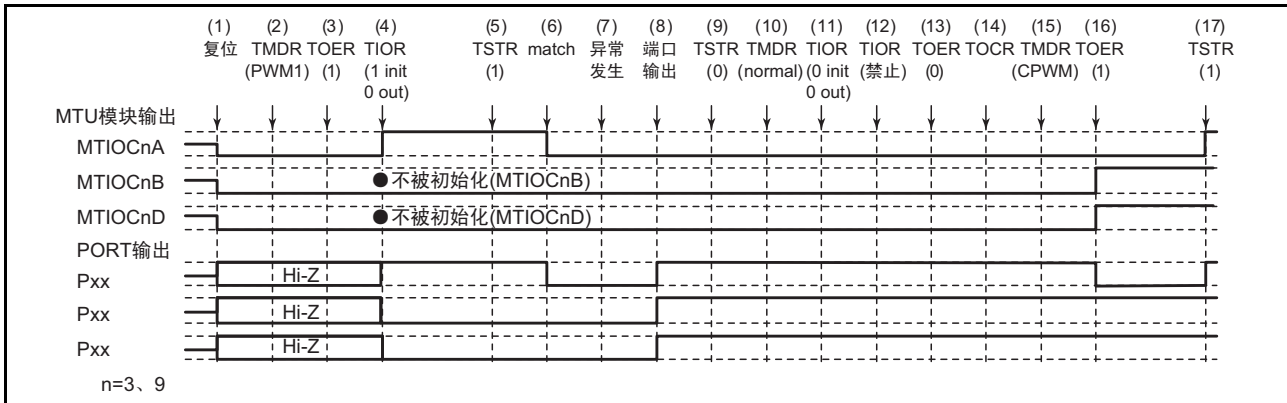


图 18.135 在 PWM 模式 1 中发生异常并且在互补 PWM 模式中恢复的情况

- (1) ~ (9) 和图 18.131 通用。
- (10) 为了对波形生成部进行初始化，必须设定正常模式。
- (11) 必须通过 TIOR 对 PWM 模式 1 的波形生成部进行初始化。
- (12) 必须通过 TIOR 禁止 PWM 模式 1 的波形生成部的运行。
- (13) 必须通过 TOER 禁止通道 3 和通道 4（或者通道 9 和通道 10）的输出。
- (14) 必须通过 TOCR 选择互补 PWM 的输出电平以及允许或者禁止周期输出。
- (15) 设定互补 PWM。
- (16) 必须通过 TOER 允许通道 3 和通道 4（或者通道 9 和通道 10）的输出。
- (17) 通过 TSTR 重新开始。

(12) 在 PWM 模式 1 的运行过程中发生异常并且在复位同步 PWM 模式中重新开始时的运行

在 PWM 模式 1 中发生异常并且重新设定后在复位同步 PWM 模式中重新开始时的说明图如图 18.136 所示。

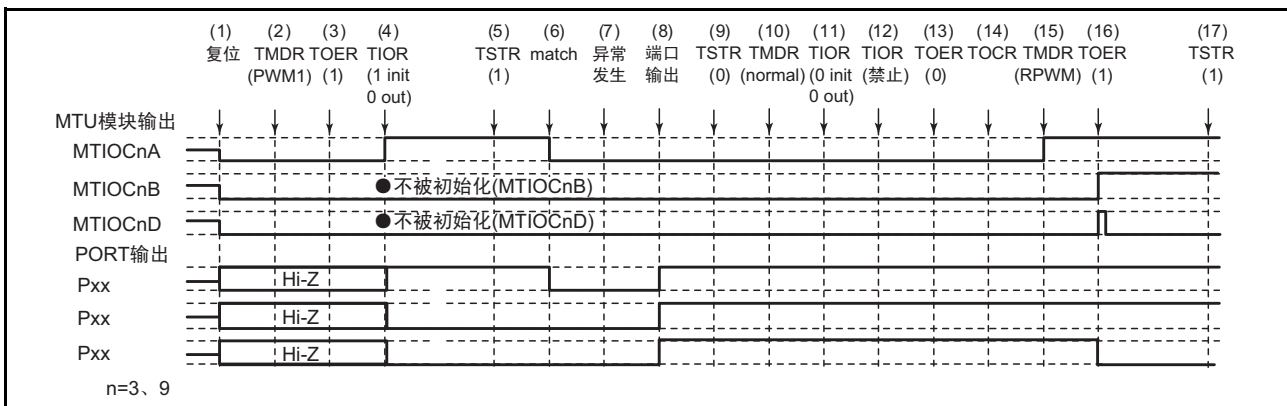


图 18.136 在 PWM 模式 1 中发生异常并且在复位同步 PWM 模式中恢复的情况

- (1) ~ (13) 和图 18.135 通用。
- (14) 必须通过 TOCR 选择复位同步 PWM 的输出电平以及允许或者禁止周期输出。
- (15) 设定复位同步 PWM。
- (16) 必须通过 TOER 允许通道 3 和通道 4（或者通道 9 和通道 10）的输出。
- (17) 通过 TSTR 重新开始。

(13) 在 PWM 模式 2 的运行过程中发生异常并且在正常模式中重新开始时的运行

在 PWM 模式 2 中发生异常并且重新设定后在正常模式中重新开始时的说明图如图 18.137 所示。

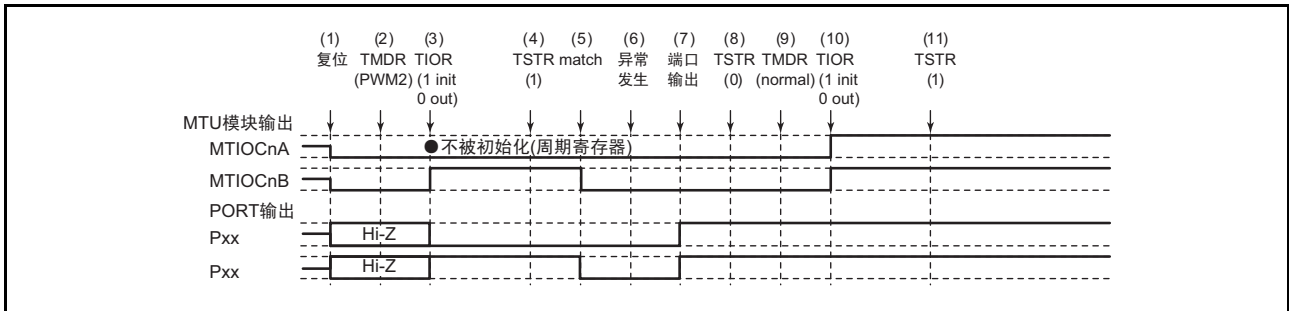


图 18.137 在 PWM 模式 2 中发生异常并且在正常模式中恢复的情况

- (1) 复位后，MTU 的输出为低电平，端口为高阻抗。
- (2) 必须设定 PWM 模式 2。
- (3) 必须通过 TIOR 对引脚进行初始化（这是初始输出为高电平并且在比较匹配输出时低电平的例子。在 PWM 模式 2 中不对周期寄存器的引脚进行初始化，这是 MTIOCnA 为周期寄存器的例子）。
- (4) 通过 TSTR 开始计数运行。
- (5) 在比较匹配时输出低电平。
- (6) 发生异常。
- (7) 必须通过 TIOR 禁止引脚输出，而作为端口输出，反相输出有效电平。
- (8) 通过 TSTR 停止计数运行。
- (9) 必须设定正常模式。
- (10) 必须通过 TIOR 对引脚进行初始化。
- (11) 通过 TSTR 重新开始。

(14) 在 PWM 模式 2 的运行过程中发生异常并且在 PWM 模式 1 中重新开始时的运行

在 PWM 模式 2 中发生异常并且重新设定后在 PWM 模式 1 中重新开始时的说明图如图 18.138 所示。

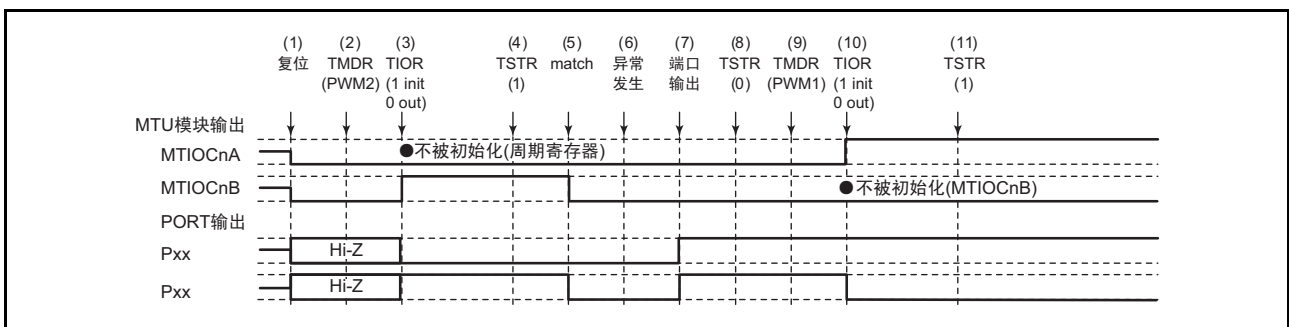


图 18.138 在 PWM 模式 2 中发生异常并且在 PWM 模式 1 中恢复的情况

- (1) ~ (8) 和图 18.137 通用。
- (9) 设定 PWM 模式 1。
- (10) 必须通过 TIOR 对引脚进行初始化（在 PWM 模式 1 中不对 MTIOCnB 进行初始化）。
- (11) 通过 TSTR 重新开始。

(15) 在 PWM 模式 2 的运行过程中发生异常并且在 PWM 模式 2 中重新开始时的运行

在 PWM 模式 2 中发生异常并且重新设定后在 PWM 模式 2 中重新开始时的说明图如图 18.139 所示。

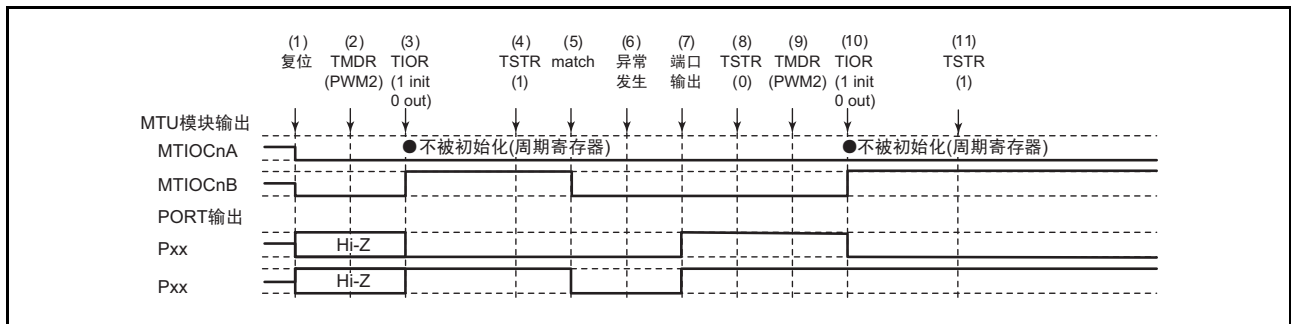


图 18.139 在 PWM 模式 2 中发生异常并且在 PWM 模式 2 中恢复的情况

- (1) ~ (8) 和图 18.137 通用。
- (9) 在 PWM 模式 2 中重新开始的情况下不需要此步骤。
- (10) 必须通过 TIOR 对引脚进行初始化（在 PWM 模式 2 中不对周期寄存器的引脚进行初始化）。
- (11) 通过 TSTR 重新开始。

(16) 在 PWM 模式 2 的运行过程中发生异常并且在相位计数模式中重新开始时的运行

在 PWM 模式 2 中发生异常并且重新设定后在相位计数模式中重新开始时的说明图如图 18.140 所示。

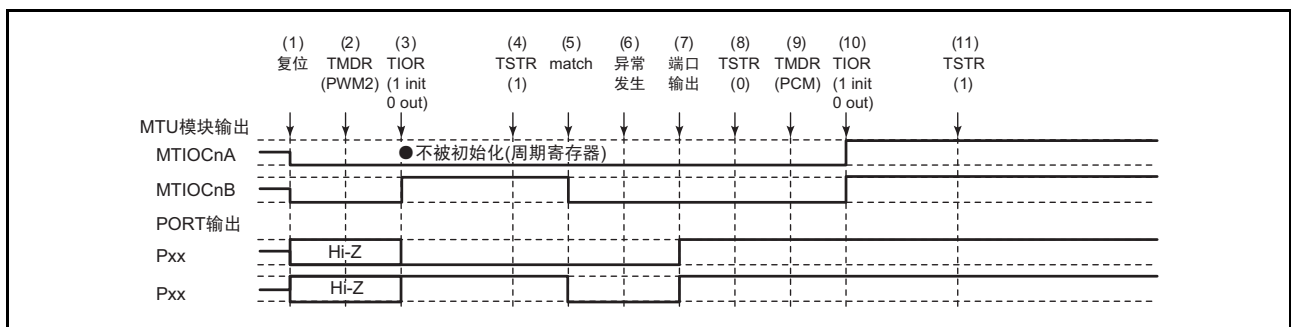


图 18.140 在 PWM 模式 2 中发生异常并且在相位计数模式中恢复的情况

- (1) ~ (8) 和图 18.137 通用。
- (9) 设定相位计数模式。
- (10) 必须通过 TIOR 对引脚进行初始化。
- (11) 通过 TSTR 重新开始。

(17) 在相位计数模式的运行过程中发生异常并且在正常模式中重新开始时的运行

在相位计数模式中发生异常并且重新设定后在正常模式中重新开始时的说明图如图 18.141 所示。

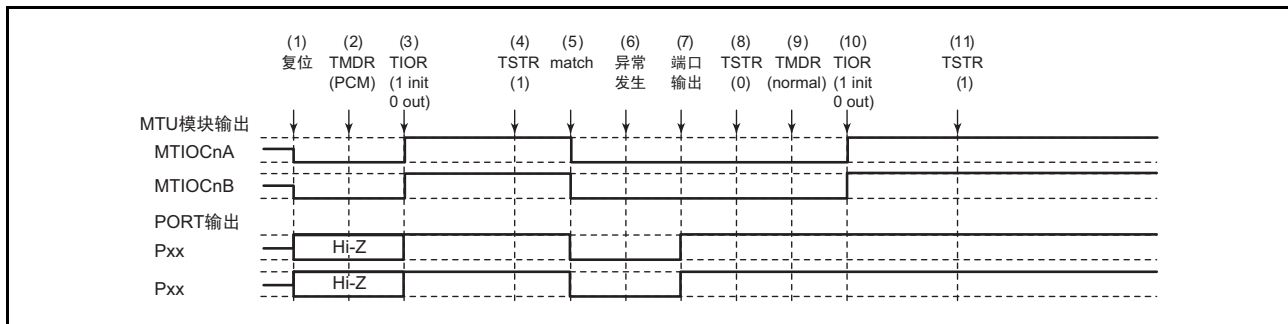


图 18.141 在相位计数模式中发生异常并且在正常模式中恢复的情况

- (1) 复位后，MTU 的输出为低电平，端口为高阻抗。
- (2) 必须设定相位计数模式。
- (3) 必须通过 TIOR 对引脚进行初始化（这是初始输出为高电平并且在比较匹配时输出低电平的例子）。
- (4) 通过 TSTR 开始计数运行。
- (5) 在比较匹配时输出低电平。
- (6) 发生异常。
- (7) 必须作为端口输出，反相输出有效电平。
- (8) 通过 TSTR 停止计数运行。
- (9) 必须在正常模式中进行设定。
- (10) 必须通过 TIOR 对引脚进行初始化。
- (11) 通过 TSTR 重新开始。

(18) 在相位计数模式的运行过程中发生异常并且在 PWM 模式 1 中重新开始时的运行

在相位计数模式中发生异常并且重新设定后在 PWM 模式 1 中重新开始时的说明图如图 18.142 所示。

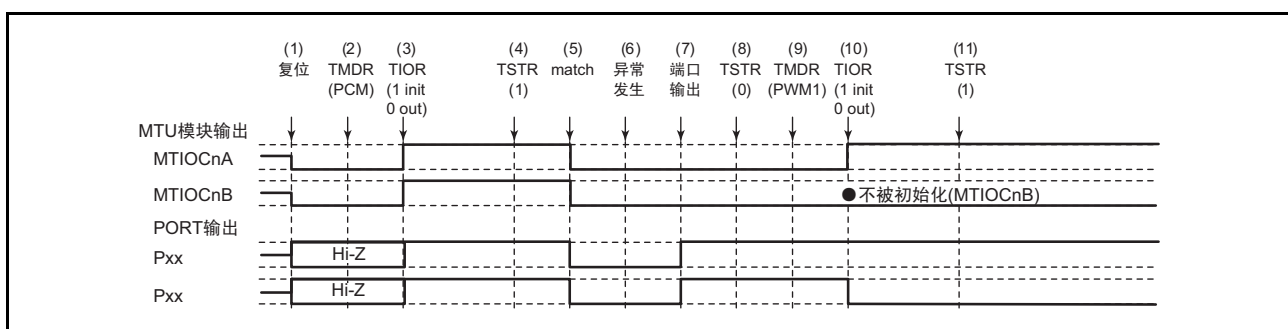


图 18.142 在相位计数模式中发生异常并且在 PWM 模式 1 中恢复的情况

- (1) ~ (8) 和图 18.141 通用。
- (9) 设定 PWM 模式 1。
- (10) 必须通过 TIOR 对引脚进行初始化（在 PWM 模式 1 中不对 MTIOCnB 进行初始化）。
- (11) 通过 TSTR 重新开始。

(19) 在相位计数模式的运行过程中发生异常并且在 PWM 模式 2 中重新开始时的运行

在相位计数模式中发生异常并且重新设定后在 PWM2 模式中重新开始时的说明图如图 18.143 所示。

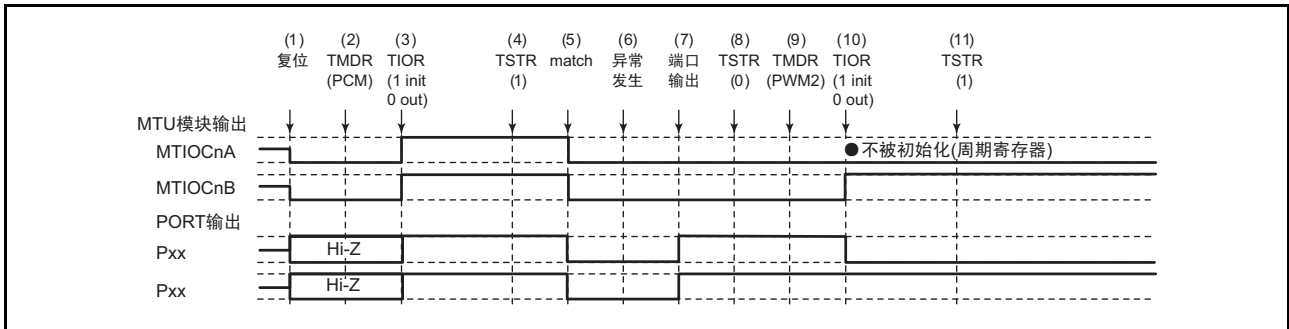


图 18.143 在相位计数模式中发生异常并且在 PWM 模式 2 中恢复的情况

- (1) ~ (8) 和图 18.141 通用。
- (9) 设定 PWM 模式 2。
- (10) 必须通过 TIOR 对引脚进行初始化 (在 PWM 模式 2 中不对周期寄存器的引脚进行初始化)。
- (11) 通过 TSTR 重新开始。

(20) 在相位计数模式的运行过程中发生异常并且在相位计数模式中重新开始时的运行

在相位计数模式中发生异常并且重新设定后在相位计数模式中重新开始时的说明图如图 18.144 所示。

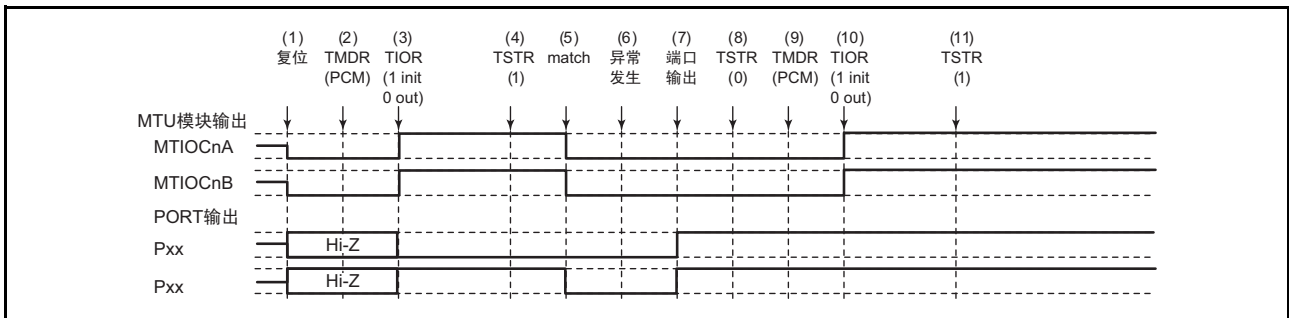


图 18.144 在相位计数模式中发生异常并且在相位计数模式中恢复的情况

- (1) ~ (8) 和图 18.141 通用。
- (9) 在相位计数模式重新开始的情况下不需要此步骤。
- (10) 必须通过 TIOR 对引脚进行初始化。
- (11) 通过 TSTR 重新开始。

(21) 在互补 PWM 模式的运行过程中发生异常并且在正常模式中重新开始时的运行

在互补 PWM 模式中发生异常并且重新设定后在正常模式中重新开始的说明图如图 18.145 所示。

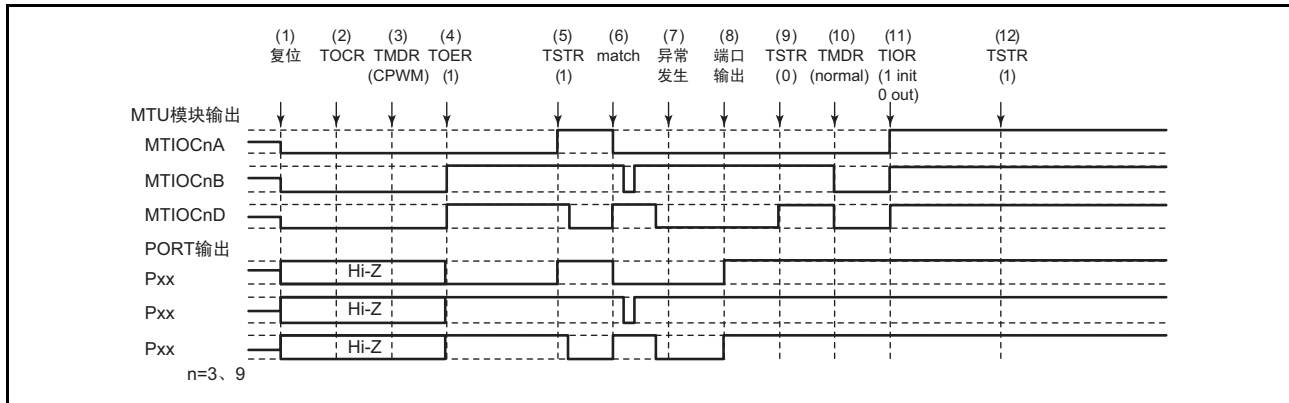


图 18.145 在互补 PWM 模式中发生异常并且在正常模式中恢复的情况

- (1) 复位后，MTU 的输出为低电平，端口为高阻抗。
- (2) 必须通过 TOCR 选择互补 PWM 的输出电平以及允许或者禁止周期输出。
- (3) 设定互补 PWM。
- (4) 必须通过 TOER 允许通道 3 和通道 4（或者通道 9 和通道 10）的输出。
- (5) 通过 TSTR 开始计数运行。
- (6) 通过发生比较匹配输出互补 PWM 波形。
- (7) 发生异常。
- (8) 必须通过 TIOR 禁止引脚输出，而作为端口输出，反相输出有效电平。
- (9) 通过 TSTR 停止计数运行（MTU 输出为互补 PWM 输出的初始值）。
- (10) 必须设定正常模式（MTU 的输出为低电平）。
- (11) 必须通过 TIOR 对引脚进行初始化。
- (12) 通过 TSTR 重新开始。

(22) 在互补 PWM 模式的运行过程中发生异常并且在 PWM 模式 1 中重新开始时的运行

在互补 PWM 模式中发生异常并且重新设定后在 PWM 模式 1 中重新开始时的说明图如图 18.146 所示。

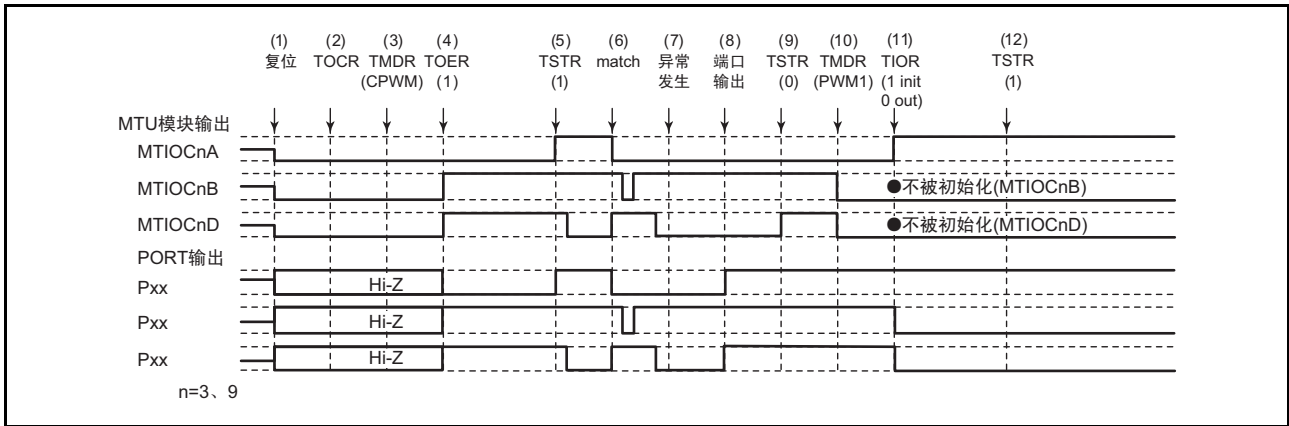


图 18.146 在互补 PWM 模式中发生异常并且在 PWM 模式 1 中恢复的情况

- (1) ~ (9) 和图 18.145 通用。
- (10) 必须设定 PWM 模式 1 (MTU 的输出为低电平)。
- (11) 必须通过 TIOR 对引脚进行初始化 (在 PWM 模式 1 中不对 MTIOC*B 进行初始化)。
- (12) 通过 TSTR 重新开始。

(23) 在互补 PWM 模式的运行过程中发生异常并且在互补 PWM 模式中重新开始时的运行

在互补 PWM 模式中发生异常并且重新设定后在互补 PWM 模式中重新开始时的说明图如图 18.147 所示 (从停止对周期和占空比进行计数时的值重新开始的情况)。

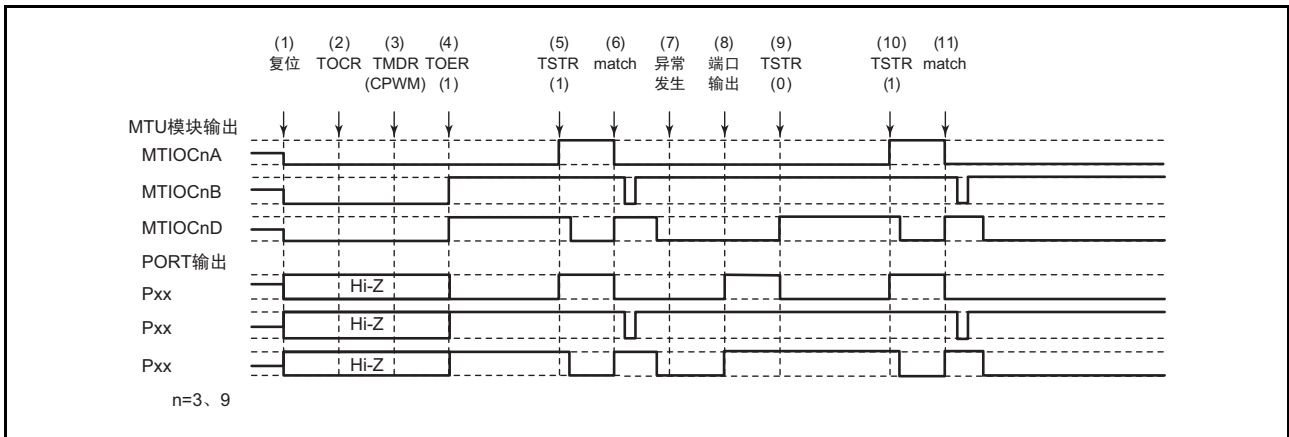


图 18.147 在互补 PWM 模式中发生异常并且在互补 PWM 模式中恢复的情况

- (1) ~ (9) 和图 18.145 通用。
- (10) 通过 TSTR 重新开始。
- (11) 通过发生比较匹配输出互补 PWM 波形。

(24) 在互补 PWM 模式的运行过程中发生异常并且在互补 PWM 模式中重新开始时的运行

在互补 PWM 模式中发生异常并且重新设定后在互补 PWM 模式中重新开始时的说明图如图 18.148 所示（从重新设定的周期和占空比的值重新开始的情况）。

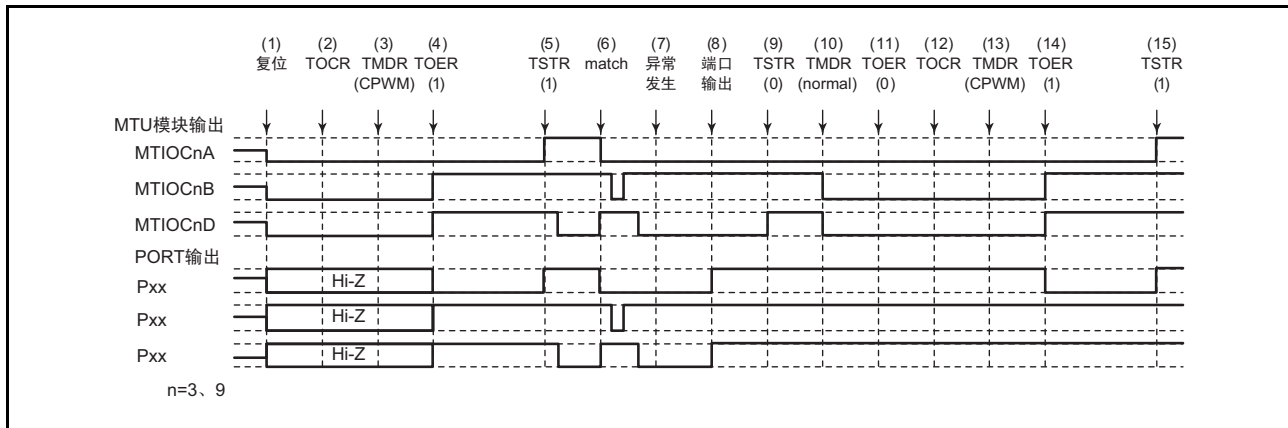


图 18.148 在互补 PWM 模式中发生异常并且在互补 PWM 模式中恢复的情况

(1) ~ (9) 和图 18.145 通用。

(10) 必须设定正常模式并且设定新的设定值（MTU 的输出为低电平）。

(11) 必须通过 TOER 禁止通道 3 和通道 4（或者通道 9 和通道 10）的输出。

(12) 必须通过 TOCR 选择互补 PWM 模式的输出电平以及允许或者禁止周期输出。

(13) 设定互补 PWM。

(14) 必须通过 TOER 允许通道 3 和通道 4（或者通道 9 和通道 10）的输出。

(15) 通过 TSTR 重新开始。

(25) 在互补 PWM 模式的运行过程中发生异常并且在复位同步 PWM 模式中重新开始时的运行

在互补 PWM 模式中发生异常并且重新设定后在复位同步 PWM 模式中重新开始时的说明图如图 18.149 所示。

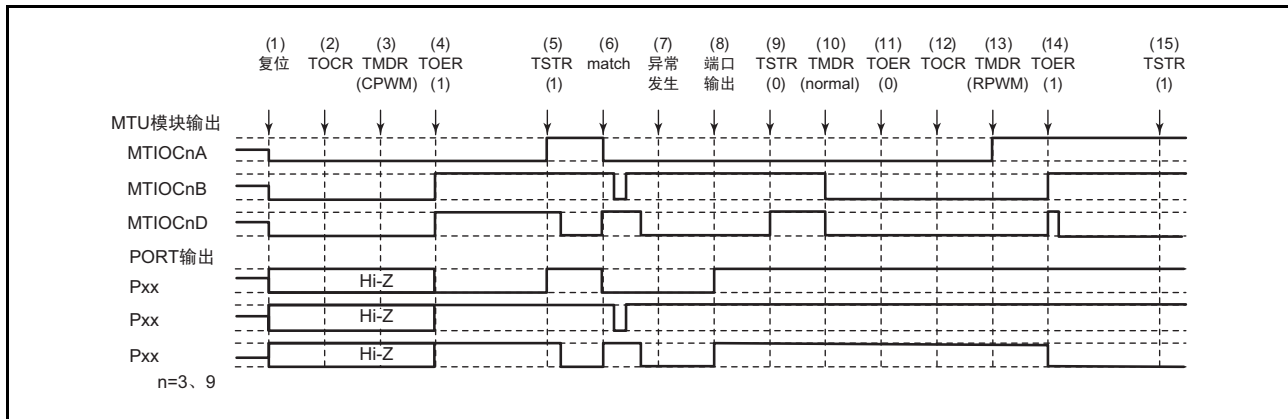


图 18.149 在互补 PWM 模式中发生异常并且在复位同步 PWM 模式中恢复的情况

(1) ~ (9) 和图 18.145 通用。

(10) 必须设定正常模式 (MTU 的输出为低电平)。

(11) 必须通过 TOER 禁止通道 3 和通道 4 (或者通道 9 和通道 10) 的输出。

(12) 必须通过 TOCR 选择复位同步 PWM 模式的输出电平以及允许或者禁止周期输出。

(13) 设定复位同步 PWM。

(14) 必须通过 TOER 允许通道 3 和通道 4 (或者通道 9 和通道 10) 的输出。

(15) 通过 TSTR 重新开始。

(26) 在复位同步 PWM 模式的运行过程中发生异常并且在正常模式中重新开始时的运行

在复位同步 PWM 模式中发生异常并且重新设定后在正常模式中重新开始的说明图如图 18.150 所示。

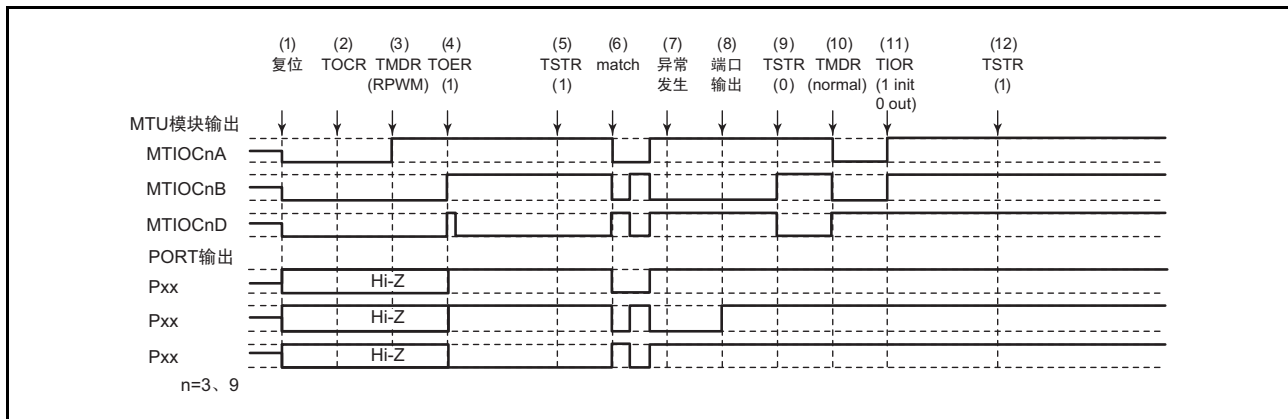


图 18.150 在复位同步 PWM 模式中发生异常并且在正常模式中恢复的情况

- (1) 复位后，MTU 的输出为低电平，端口为高阻抗。
- (2) 必须通过 TOCR 选择复位同步 PWM 的输出电平以及允许或者禁止周期输出。
- (3) 设定复位同步 PWM。
- (4) 必须通过 TOER 允许通道 3 和通道 4（或者通道 9 和通道 10）的输出。
- (5) 通过 TSTR 开始计数运行。
- (6) 通过发生比较匹配输出复位同步 PWM 波形。
- (7) 发生异常。
- (8) 必须通过 TIOR 禁止引脚输出，而作为端口输出，反相输出有效电平。
- (9) 通过 TSTR 停止计数运行（MTU 的输出为复位同步 PWM 输出的初始值）。
- (10) 必须设定正常模式（MTU 输出的正相侧为低电平，反相侧为高电平）。
- (11) 必须通过 TIOR 对引脚进行初始化。
- (12) 通过 TSTR 重新开始。

(27) 在复位同步 PWM 模式的运行过程中发生异常并且在 PWM 模式 1 中重新开始时的运行

在复位同步 PWM 模式中发生异常并且重新设定后在 PWM 模式 1 中重新开始时的说明图如图 18.151 所示。

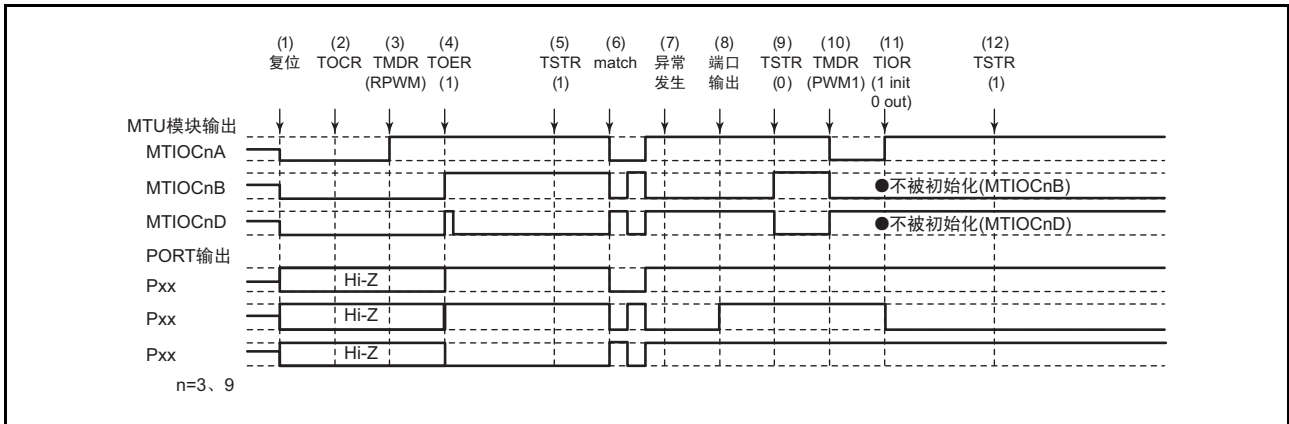


图 18.151 在复位同步 PWM 模式中发生异常并且在 PWM 模式 1 中恢复的情况

- (1) ~ (9) 和图 18.150 通用。
- (10) 必须设定 PWM 模式 1 (MTU 输出的正相侧为低电平, 反相侧为高电平)。
- (11) 必须通过 TIOR 对引脚进行初始化 (在 PWM 模式 1 中不对 MTIOCnB 进行初始化)。
- (12) 通过 TSTR 重新开始。

(28) 在复位同步 PWM 模式的运行过程中发生异常并且在互补 PWM 模式中重新开始时的运行

在复位同步 PWM 模式中发生异常并且重新设定后在互补 PWM 模式中重新开始时的说明图如图 18.152 所示。

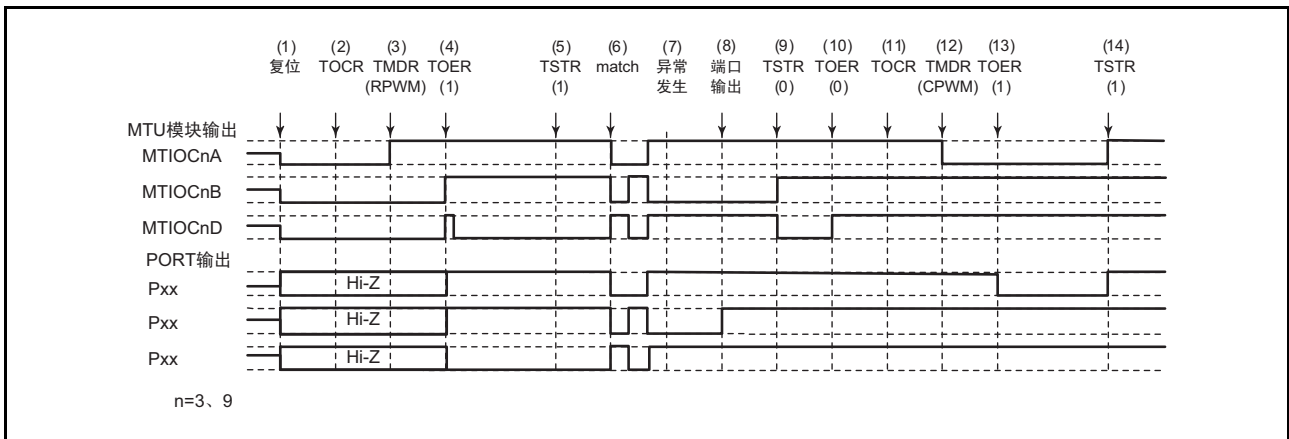


图 18.152 在复位同步 PWM 模式中发生异常并且在互补 PWM 模式中恢复的情况

- (1) ~ (9) 和图 18.150 通用。
- (10) 必须通过 TOER 禁止通道 3 和通道 4 (或者通道 9 和通道 10) 的输出。
- (11) 必须通过 TOCR 选择互补 PWM 的输出电平以及允许或者禁止周期输出。
- (12) 设定互补 PWM (MTU 的周期输出引脚为低电平)。
- (13) 必须通过 TOER 允许通道 3 和通道 4 (或者通道 9 和通道 10) 的输出。
- (14) 通过 TSTR 重新开始。

(29) 在复位同步 PWM 模式的运行过程中发生异常并且在复位同步 PWM 模式中重新开始时的运行

在复位同步 PWM 模式中发生异常并且重新设定后在复位同步 PWM 模式中重新开始时的说明图如图 18.153 所示。

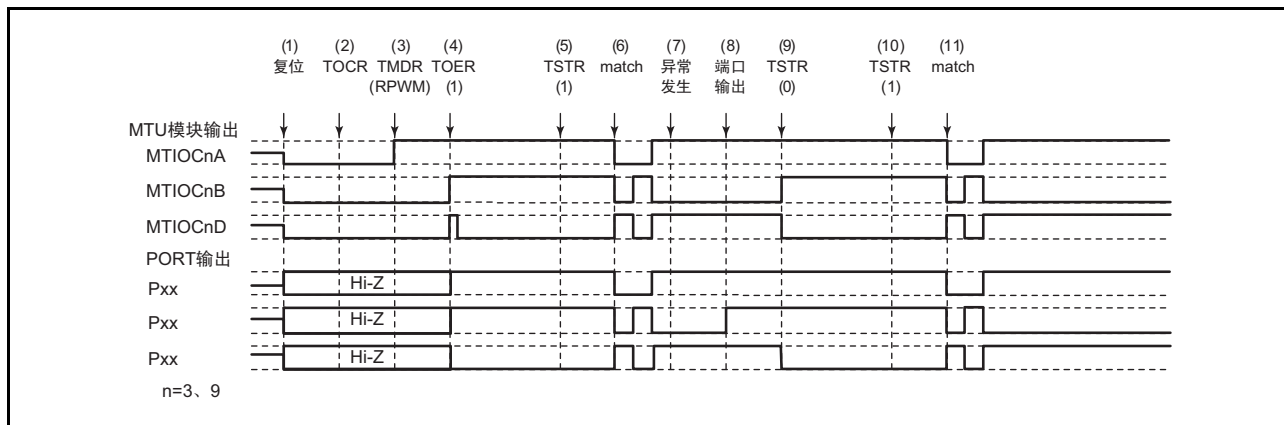


图 18.153 在复位同步 PWM 模式中发生异常并且在复位同步 PWM 模式中恢复的情况

- (1) ~ (9) 和图 18.150 通用。
- (10) 通过 TSTR 重新开始。
- (11) 通过发生比较匹配输出复位同步 PWM 波形。

19. 端口输出允许 2 (POE2)

根据 POE0# ~ POE9# 引脚的输入变化、MTU 的互补 PWM 输出引脚 (MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C 和 MTIOC4D 以及 MTIOC9B、MTIOC9D、MTIOC10A、MTIOC10B、MTIOC10C 和 MTIOC10D 为多路复用引脚) 的输出状态或者寄存器的设定, 端口输出允许 (POE) 能将 MTU 的互补 PWM 输出引脚以及 MTU0 或者 MTU6 的引脚 (MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D、MTIOC6A、MTIOC6B、MTIOC6C 和 MTIOC6D 为多路复用引脚) 置为高阻抗状态。即使检测到时钟发生电路停止振荡, 也能将 MTU 的互补 PWM 输出引脚以及 MTU0 或者 MTU6 的引脚置为高阻抗状态, 还能同时发行中断请求。

19.1 概要

POE 的规格和框图分别如表 19.1 和图 19.1 所示。

表 19.1 POE 的规格

项目	内容
功能	<ul style="list-style-type: none"> • 能给 POE0# ~ POE9# 的各输入引脚设定下降沿、PCLK/8×16 次、PCLK/16×16 次或者 PCLK/128×16 次的低电平采样。 • 能通过 POE0# ~ POE9# 引脚的下降沿或者低电平采样, 将 MTU 的互补 PWM 输出引脚以及 MTU0 或者 MTU6 的引脚置为高阻抗状态。 • 当检测到时钟发生电路停止振荡时, 能将 MTU 的互补 PWM 输出引脚以及 MTU0 或者 MTU6 的引脚置为高阻抗状态。 • 如果在将 MTU 的互补 PWM 输出引脚的输出电平进行比较的同时, 有效电平至少持续输出了 1 个周期, 就能将 MTU 的引脚置为高阻抗状态。 • 能通过写 POE 的寄存器, 将 MTU 的互补 PWM 输出引脚以及 MTU0 或者 MTU6 的引脚置为高阻抗状态。 • 根据输入电平的采样或者输出电平的比较结果, 可能会发生各种中断。

如图 19.1 的框图所示, POE 由输入电平的检测电路、输出电平的比较电路和高阻抗请求 / 中断请求的生成电路构成。另外, 即使振荡器停止振荡, 也能将 MTU 的互补 PWM 输出引脚以及 MTU0 或者 MTU6 的引脚置为高阻抗状态。

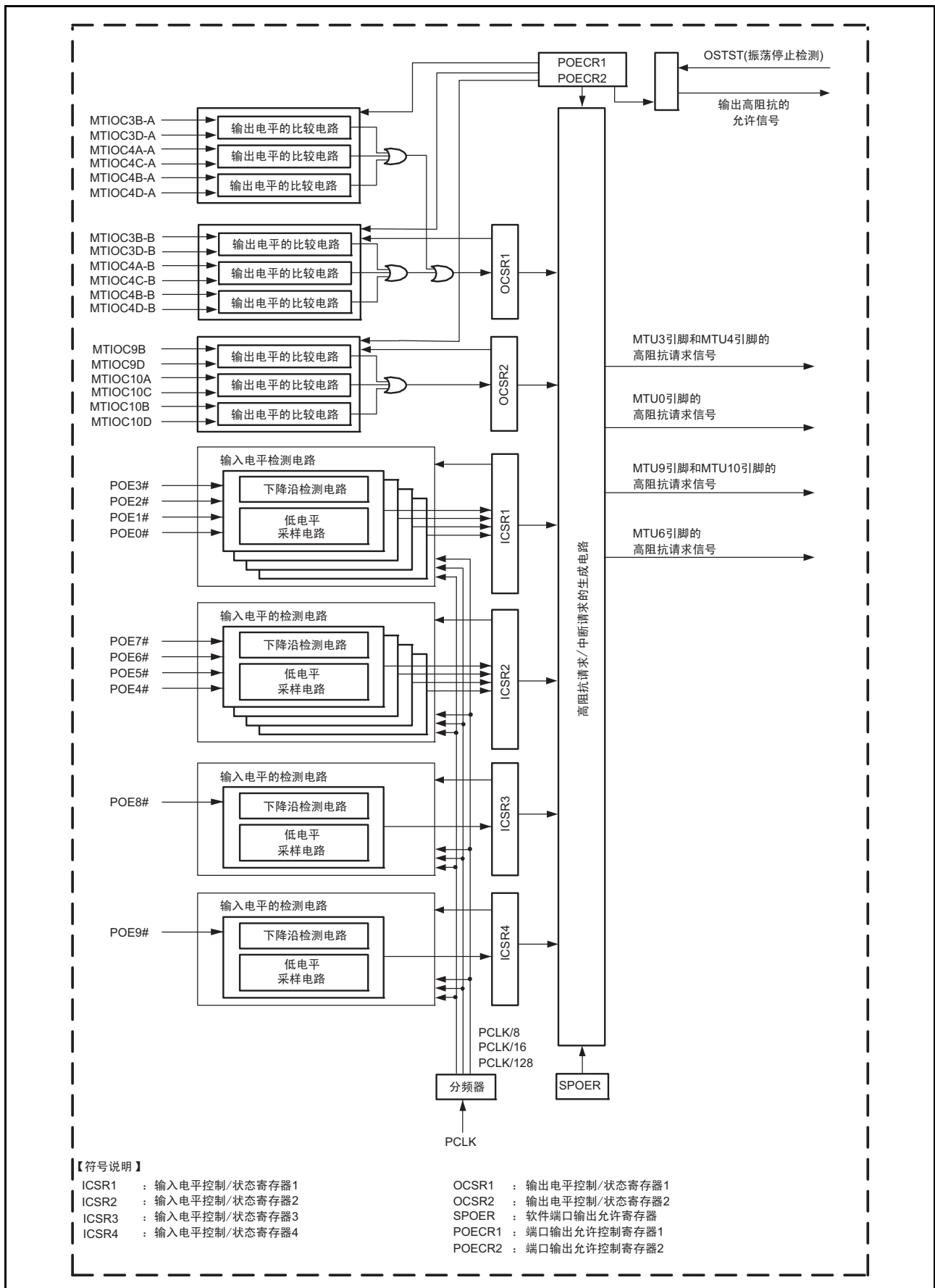


图 19.1 POE 的框图

POE 使用的输入 / 输出引脚如表 19.2 所示。

表 19.2 POE 的输入 / 输出引脚

引脚名	输入 / 输出	功能
POE0# ~ POE3#	输入	输入将 MTU3 或者 MTU4 的引脚（用于 MTU 互补 PWM 输出）置为高阻抗状态的请求信号
POE4# ~ POE7#	输入	输入将 MTU9 或者 MTU10 的引脚（用于 MTU 互补 PWM 输出）置为高阻抗状态的请求信号。
POE8#	输入	输入将 MTU0 的引脚置为高阻抗状态的请求信号。
POE9#	输入	输入将 MTU6 的引脚置为高阻抗状态的请求信号。

通过表 19.3 所示的引脚组合进行输出电平的比较。

表 19.3 引脚组合

引脚组合	输入 / 输出	功能
MTIOC3B-A 和 MTIOC3D-A	输出	当 2 个引脚的有效电平（在 MTUA.TOCR1.TOCS 位为“0”的情况下，MTUA.TOCR1.OLSP 位是“0”时为低电平输出，是“1”时为高电平输出。在 MTUA.TOCR1.TOCS 位为“1”的情况下，MTUA.TOCR2.OLS3N、OLS3P、OLS2N、OLS2P、OLS1N、OLS1P 位是“0”时为低电平输出，是“1”时为高电平输出）至少同时持续输出了 1 个外围时钟（PCLK）周期时，能将用于 MTU 互补 PWM 输出的 MTU3 或者 MTU4 的引脚置为高阻抗状态。 能通过 POE 的寄存器设定对哪个组合进行输出比较并且进行高阻抗控制。
MTIOC4A-A 和 MTIOC4C-A	输出	
MTIOC4B-A 和 MTIOC4D-A	输出	
MTIOC3B-B 和 MTIOC3D-B	输出	
MTIOC4A-B 和 MTIOC4C-B	输出	
MTIOC4B-B 和 MTIOC4D-B	输出	
MTIOC9B 和 MTIOC9D	输出	当 2 个引脚的有效电平（在 MTUB.TOCR1.TOCS 位为“0”的情况下，MTUB.TOCR1.OLSP 位是“0”时为低电平输出，是“1”时为高电平输出。在 MTUB.TOCR1.TOCS 位为“1”的情况下，MTUB.TOCR2.OLS3N、OLS3P、OLS2N、OLS2P、OLS1N、OLS1P 位是“0”时为低电平输出，是“1”时为高电平输出）至少同时持续输出了 1 个外围时钟（PCLK）周期时，能将用于 MTU 互补 PWM 输出的 MTU9 或者 MTU10 的引脚置为高阻抗状态。 能通过 POE 的寄存器设定对哪个组合进行输出比较并且进行高阻抗控制。
MTIOC10A 和 MTIOC10C	输出	
MTIOC10B 和 MTIOC10D	输出	

19.2 寄存器说明

POE 的寄存器一览表如表 19.4 所示。
通过复位对 POE 的寄存器进行初始化。

表 19.4 POE 的寄存器一览表

寄存器名	符号	复位后的值	地址	存取长度
输入电平控制 / 状态寄存器 1	ICSR1	0000h	0008 8900h	16
输出电平控制 / 状态寄存器 1	OCSR1 (注 1)	0000h	0008 8902h	16
输入电平控制 / 状态寄存器 2	ICSR2	0000h	0008 8904h	16
输出电平控制 / 状态寄存器 2	OCSR2	0000h	0008 8906h	16
输入电平控制 / 状态寄存器 3	ICSR3	0000h	0008 8908h	16
软件端口输出允许寄存器	SPOER	00h	0008 890Ah	8
端口输出允许控制寄存器 1	POECR1	00h	0008 890Bh	8
端口输出允许控制寄存器 2	POECR2	7070h	0008 890Ch	16
输入电平控制 / 状态寄存器 4	ICSR4	0000h	0008 890Eh	16

注 1. 对于 100 引脚 LQFP 版, 不能将 OCSR1.OCE1 位置“1”, 否则无法保证运行。

19.2.1 输入电平控制 / 状态寄存器 1 (ICSR1)

地址 0008 8900h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
POE3F	POE2F	POE1F	POE0F	—	—	—	PIE1	POE3M[1:0]	POE2M[1:0]	POE1M[1:0]	POE0M[1:0]				
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	POE0M[1:0]	POE0 模式选择位	b1 b0 0 0: 在 POE0# 输入的下降沿接受请求 0 1: 在每个 PCLK/8 时钟对 POE0# 输入的低电平进行 16 次采样, 当全部为低电平时, 接受请求。 1 0: 在每个 PCLK/16 时钟对 POE0# 输入的低电平进行 16 次采样, 当全部为低电平时, 接受请求。 1 1: 在每个 PCLK/128 时钟对 POE0# 输入的低电平进行 16 次采样, 当全部为低电平时, 接受请求。	R/W (注 1)
b3-b2	POE1M[1:0]	POE1 模式选择位	b3 b2 0 0: 在 POE1# 输入的下降沿接受请求 0 1: 在每个 PCLK/8 时钟对 POE1# 输入的低电平进行 16 次采样, 当全部为低电平时, 接受请求。 1 0: 在每个 PCLK/16 时钟对 POE1# 输入的低电平进行 16 次采样, 当全部为低电平时, 接受请求。 1 1: 在每个 PCLK/128 时钟对 POE1# 输入的低电平进行 16 次采样, 当全部为低电平时, 接受请求。	R/W (注 1)
b5-b4	POE2M[1:0]	POE2 模式选择位	b5 b4 0 0: 在 POE2# 输入的下降沿接受请求 0 1: 在每个 PCLK/8 时钟对 POE2# 输入的低电平进行 16 次采样, 当全部为低电平时, 接受请求。 1 0: 在每个 PCLK/16 时钟对 POE2# 输入的低电平进行 16 次采样, 当全部为低电平时, 接受请求。 1 1: 在每个 PCLK/128 时钟对 POE2# 输入的低电平进行 16 次采样, 当全部为低电平时, 接受请求。	R/W (注 1)
b7-b6	POE3M[1:0]	POE3 模式选择位	b7 b6 0 0: 在 POE3# 输入的下降沿接受请求 0 1: 在每个 PCLK/8 时钟对 POE3# 输入的低电平进行 16 次采样, 当全部为低电平时, 接受请求。 1 0: 在每个 PCLK/16 时钟对 POE3# 输入的低电平进行 16 次采样, 当全部为低电平时, 接受请求。 1 1: 在每个 PCLK/128 时钟对 POE3# 输入的低电平进行 16 次采样, 当全部为低电平时, 接受请求。	R/W (注 1)
b8	PIE1	端口中断允许 1 位	0: 禁止中断请求 1: 允许中断请求	R/W
b11-b9	—	保留位	读写值都为“0”。	R/W
b12	POE0F	POE0 标志	0: POE0# 引脚无高阻抗请求 1: POE0# 引脚有高阻抗请求	R/(W) (注 2)
b13	POE1F	POE1 标志	0: POE1# 引脚无高阻抗请求 1: POE1# 引脚有高阻抗请求	R/(W) (注 2)
b14	POE2F	POE2 标志	0: POE2# 引脚无高阻抗请求 1: POE2# 引脚有高阻抗请求	R/(W) (注 2)
b15	POE3F	POE3 标志	0: POE3# 引脚无高阻抗请求 1: POE3# 引脚有高阻抗请求	R/(W) (注 2)

注 1. 复位后, 只能写 1 次。

注 2. 为了将标志置“0”, 只能在读“1”后写“0”。

ICSR1 寄存器是选择 POE0# ~ POE3# 引脚的输入模式、控制中断的允许 / 禁止以及表示各状态的寄存器。

POE0M[1:0] 位 (POE0 模式选择位)

这些位选择 POE0# 引脚的输入模式。

POE1M[1:0] 位 (POE1 模式选择位)

这些位选择 POE1# 引脚的输入模式。

POE2M[1:0] 位 (POE2 模式选择位)

这些位选择 POE2# 引脚的输入模式。

POE3M[1:0] 位 (POE3 模式选择位)

这些位选择 POE3# 引脚的输入模式。

PIE1 位 (端口中断允许 1 位)

当 POE3F ~ POE0F 标志中的任意一个为“1”时，此位指定是否请求中断。

POE0F 标志 (POE0 标志)

这是表示给 POE0# 引脚输入了高阻抗请求的标志。

[为“0”的条件]

- 读“1”后写“0”时

[为“1”的条件]

- POE0# 引脚发生 POE0M[1:0] 位设定的输入时

POE1F 标志 (POE1 标志)

这是表示给 POE1# 引脚输入了高阻抗请求的标志。

[为“0”的条件]

- 读“1”后写“0”时

[为“1”的条件]

- POE1# 引脚发生 POE1M[1:0] 位设定的输入时

POE2F 标志 (POE2 标志)

这是表示给 POE2# 引脚输入了高阻抗请求的标志。

[为“0”的条件]

- 读“1”后写“0”时

[为“1”的条件]

- POE2# 引脚发生 POE2M[1:0] 位设定的输入时

POE3F 标志 (POE3 标志)

这是表示给 POE3# 引脚输入了高阻抗请求的标志。

[为“0”的条件]

- 读“1”后写“0”时

[为“1”的条件]

- POE3# 引脚发生 POE3M[1:0] 位设定的输入时

19.2.2 输出电平控制 / 状态寄存器 1 (OCSR1)

地址 0008 8902h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF1	—	—	—	—	—	OCE1	OIE1	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b7-b0	—	保留位	读写值都为“0”。	R/W
b8	OIE1	输出短路的中断允许 1 位	0: 禁止中断请求 1: 允许中断请求	R/W
b9	OCE1 (注 3)	输出短路的高阻抗允许 1 位	0: 不将引脚置为高阻抗 1: 将引脚置为高阻抗	R/W (注 1)
b14-b10	—	保留位	读写值都为“0”。	R/W
b15	OSF1	输出短路标志 1	0: 不同时为有效电平 1: 同时为有效电平	R/(W) (注 2)

注 1. 复位后，只能写 1 次。

注 2. 为了清除标志，只能在读“1”后写“0”。

注 3. 对于 100 引脚 LQFP 版，不能将 OCSR1.OCE1 位置“1”，否则无法保证运行。

OCSR1 寄存器是允许或者禁止输出电平的比较、控制中断的允许 / 禁止以及表示各状态 of 的寄存器。

OIE1 位 (输出短路的中断允许 1 位)

当 OSF1 标志为“1”时，此位指定是否请求中断。

OCE1 位 (输出短路的高阻抗允许 1 位)

当 OSF1 标志为“1”时，此位指定是否将引脚置为高阻抗。

OSF1 标志 (输出短路标志 1)

此标志表示在用于 MTU 互补 PWM 输出的 MTU3 或者 MTU4 的引脚要比较的 3 组 2 相输出中至少有 1 组同时为有效电平。

[为“0”的条件]

- 读“1”后写“0”时

[为“1”的条件]

- 3 组 2 相输出中至少有 1 组同时为有效电平时

19.2.3 输入电平控制 / 状态寄存器 2 (ICSR2)

地址 0008 8904h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
POE7F	POE6F	POE5F	POE4F	—	—	—	PIE2	POE7M[1:0]	POE6M[1:0]	POE5M[1:0]	POE4M[1:0]				
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	POE4M[1:0]	POE4 模式选择位	b1 b0 0 0: 在 POE4# 输入的下降沿接受请求 0 1: 在每个 PCLK/8 时钟对 POE4# 输入的低电平进行 16 次采样, 当全部为低电平时, 接受请求。 1 0: 在每个 PCLK/16 时钟对 POE4# 输入的低电平进行 16 次采样, 当全部为低电平时, 接受请求。 1 1: 在每个 PCLK/128 时钟对 POE4# 输入的低电平进行 16 次采样, 当全部为低电平时, 接受请求。	R/W (注 1)
b3-b2	POE5M[1:0]	POE5 模式选择位	b3 b2 0 0: 在 POE5# 输入的下降沿接受请求 0 1: 在每个 PCLK/8 时钟对 POE5# 输入的低电平进行 16 次采样, 当全部为低电平时, 接受请求。 1 0: 在每个 PCLK/16 时钟对 POE5# 输入的低电平进行 16 次采样, 当全部为低电平时, 接受请求。 1 1: 在每个 PCLK/128 时钟对 POE5# 输入的低电平进行 16 次采样, 当全部为低电平时, 接受请求。	R/W (注 1)
b5-b4	POE6M[1:0]	POE6 模式选择位	b5 b4 0 0: 在 POE6# 输入的下降沿接受请求 0 1: 在每个 PCLK/8 时钟对 POE6# 输入的低电平进行 16 次采样, 当全部为低电平时, 接受请求。 1 0: 在每个 PCLK/16 时钟对 POE6# 输入的低电平进行 16 次采样, 当全部为低电平时, 接受请求。 1 1: 在每个 PCLK/128 时钟对 POE6# 输入的低电平进行 16 次采样, 当全部为低电平时, 接受请求。	R/W (注 1)
b7-b6	POE7M[1:0]	POE7 模式选择位	b7 b6 0 0: 在 POE7# 输入的下降沿接受请求 0 1: 在每个 PCLK/8 时钟对 POE7# 输入的低电平进行 16 次采样, 当全部为低电平时, 接受请求。 1 0: 在每个 PCLK/16 时钟对 POE7# 输入的低电平进行 16 次采样, 当全部为低电平时, 接受请求。 1 1: 在每个 PCLK/128 时钟对 POE7# 输入的低电平进行 16 次采样, 当全部为低电平时, 接受请求。	R/W (注 1)
b8	PIE2	端口中断允许 2 位	0: 禁止中断请求 1: 允许中断请求	R/W
b11-b9	—	保留位	读写值都为“0”。	R/W
b12	POE4F	POE4 标志	0: POE4# 引脚无高阻抗请求 1: POE4# 引脚有高阻抗请求	R/(W) (注 2)
b13	POE5F	POE5 标志	0: POE5# 引脚无高阻抗请求 1: POE5# 引脚有高阻抗请求	R/(W) (注 2)
b14	POE6F	POE6 标志	0: POE6# 引脚无高阻抗请求 1: POE6# 引脚有高阻抗请求	R/(W) (注 2)
b15	POE7F	POE7 标志	0: POE7# 引脚无高阻抗请求 1: POE7# 引脚有高阻抗请求	R/(W) (注 2)

注 1. 复位后, 只能写 1 次。

注 2. 为了清除标志, 只能在读“1”后写“0”。

ICSR2 寄存器是选择 POE4# ~ POE7# 引脚的输入模式、控制中断的允许 / 禁止以及表示各状态的寄存器。

POE4M[1:0] 位 (POE4 模式选择位)

这些位选择 POE4# 引脚的输入模式。

POE5M[1:0] 位 (POE5 模式选择位)

这些位选择 POE5# 引脚的输入模式。

POE6M[1:0] 位 (POE6 模式选择位)

这些位选择 POE6# 引脚的输入模式。

POE7M[1:0] 位 (POE7 模式选择位)

这些位选择 POE7# 引脚的输入模式。

PIE2 位 (端口中断允许 2 位)

当 POE7F ~ POE4F 标志中的任意一个为“1”时，此位指定是否请求中断。

POE4F 标志 (POE4 标志)

这是表示给 POE4# 引脚输入了高阻抗请求的标志。

[为“0”的条件]

- 读“1”后写“0”时

[为“1”的条件]

- POE4# 引脚发生 POE4M[1:0] 位设定的输入时

POE5F 标志 (POE5 标志)

这是表示给 POE5# 引脚输入了高阻抗请求的标志。

[为“0”的条件]

- 读“1”后写“0”时

[为“1”的条件]

- POE5# 引脚发生 POE5M[1:0] 位设定的输入时

POE6F 标志 (POE6 标志)

这是表示给 POE6# 引脚输入了高阻抗请求的标志。

[为“0”的条件]

- 读“1”后写“0”时

[为“1”的条件]

- POE6# 引脚发生 POE6M[1:0] 位设定的输入时

POE7F 标志 (POE7 标志)

这是表示给 POE7# 引脚输入了高阻抗请求的标志。

[为“0”的条件]

- 读“1”后写“0”时

[为“1”的条件]

- POE7# 引脚发生 POE7M[1:0] 位设定的输入时

19.2.4 输出电平控制 / 状态寄存器 2 (OCSR2)

地址 0008 8906h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF2	—	—	—	—	—	OCE2	OIE2	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b7-b0	—	保留位	读写值都为“0”。	R/W
b8	OIE2	输出短路的中断允许 2 位	0: 禁止中断请求 1: 允许中断请求	R/W
b9	OCE2	输出短路的高阻抗允许 2 位	0: 不将引脚置为高阻抗 1: 将引脚置为高阻抗	R/W (注 1)
b14-b10	—	保留位	读写值都为“0”。	R/W
b15	OSF2	输出短路标志 2	0: 不同时为有效电平 1: 同时为有效电平	R/(W) (注 2)

注 1. 复位后，只能写 1 次。

注 2. 为了清除标志，只能在读“1”后写“0”。

OCSR2 寄存器是允许或者禁止输出电平的比较、控制中断的允许 / 禁止以及表示各状态 of 的寄存器。

OIE2 位 (输出短路的中断允许 2 位)

当 OSF2 标志为“1”时，此位指定是否请求中断。

OCE2 位 (输出短路的高阻抗允许 2 位)

当 OSF2 标志为“1”时，此位指定是否将引脚置为高阻抗。

OSF2 标志 (输出短路标志 2)

此标志表示在用于 MTU 互补 PWM 输出的 MTU9 或者 MTU10 的引脚要比较的 3 组 2 相输出中至少有 1 组同时为有效电平。

[为“0”的条件]

- 读“1”后写“0”时

[为“1”的条件]

- 3 组 2 相输出中至少有 1 组同时为有效电平时

19.2.5 输入电平控制 / 状态寄存器 3 (ICSR3)

地址 0008 8908h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	POE8F	—	—	POE8E	PIE3	—	—	—	—	—	—	POE8M[1:0]	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	POE8M[1:0]	POE8 模式选择位	b1 b0 0 0: 在 POE8# 输入的下降沿接受请求 0 1: 在每个 PCLK/8 时钟对 POE8# 输入的低电平进行 16 次采样, 当全部为低电平时, 接受请求。 1 0: 在每个 PCLK/16 时钟对 POE8# 输入的低电平进行 16 次采样, 当全部为低电平时, 接受请求。 1 1: 在每个 PCLK/128 时钟对 POE8# 输入的低电平进行 16 次采样, 当全部为低电平时, 接受请求。	R/W (注 1)
b7-b2	—	保留位	读写值都为“0”。	R/W
b8	PIE3	端口中断允许 3 位	0: 禁止中断请求 1: 允许中断请求	R/W
b9	POE8E	POE8 高阻抗允许位	0: 不将 MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D 引脚置为高阻抗 1: 将 MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D 引脚置为高阻抗	R/W (注 1)
b11-b10	—	保留位	读写值都为“0”。	R/W
b12	POE8F	POE8 标志	0: POE8# 引脚无高阻抗请求 1: POE8# 引脚有高阻抗请求	R/(W) (注 2)
b15-b13	—	保留位	读写值都为“0”。	R/W

注 1. 复位后, 只能写 1 次。

注 2. 为了清除标志, 只能在读“1”后写“0”。

ICSR3 寄存器是选择 POE8# 引脚的输入模式, 控制中断的允许 / 禁止以及表示各状态的寄存器。

POE8M[1:0] 位 (POE8 模式选择位)

这些位选择 POE8# 引脚的输入模式。

PIE3 位 (端口中断允许 3 位)

当 POE8F 标志为“1”时, 此位指定是否请求中断。

POE8E 位 (POE8 高阻抗允许位)

当 POE8F 标志为“1”时, 此位指定是否将引脚置为高阻抗。

POE8F 标志 (POE8 标志)

这是表示给 POE8# 引脚输入了高阻抗请求的标志。

[为“0”的条件]

- 读“1”后写“0”时

[为“1”的条件]

- POE8# 引脚发生 POE8M[1:0] 位设定的输入时

19.2.6 输入电平控制 / 状态寄存器 4 (ICSR4)

地址 0008 890Eh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	POE9F	—	—	POE9E	PIE4	—	—	—	—	—	—	POE9M[1:0]	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	POE9M[1:0]	POE9 模式选择位	b1 b0 0 0: 在 POE9# 输入的下降沿接受请求 0 1: 在每个 PCLK/8 时钟对 POE9# 输入的低电平进行 16 次采样, 当全部为低电平时, 接受请求。 1 0: 在每个 PCLK/16 时钟对 POE9# 输入的低电平进行 16 次采样, 当全部为低电平时, 接受请求。 1 1: 在每个 PCLK/128 时钟对 POE9# 输入的低电平进行 16 次采样, 当全部为低电平时, 接受请求。	R/W (注 1)
b7-b2	—	保留位	读写值都为“0”。	R/W
b8	PIE4	端口中断允许 4 位	0: 禁止中断请求 1: 允许中断请求	R/W
b9	POE9E	POE9 高阻抗允许位	0: 不将 MTIOC6A、MTIOC6B、MTIOC6C、MTIOC6D 引脚置为高阻抗 1: 将 MTIOC6A、MTIOC6B、MTIOC6C、MTIOC6D 引脚置为高阻抗	R/W (注 1)
b11-b10	—	保留位	读写值都为“0”。	R/W
b12	POE9F	POE9 标志	0: POE9# 引脚无高阻抗请求 1: POE9# 引脚有高阻抗请求	R/(W) (注 2)
b15-b13	—	保留位	读写值都为“0”。	R/W

注 1. 复位后, 只能写 1 次。

注 2. 为了清除标志, 只能在读“1”后写“0”。

ICSR4 寄存器是选择 POE9# 引脚的输入模式、控制中断的允许 / 禁止以及表示各状态的寄存器。

POE9M[1:0] 位 (POE9 模式选择位)

这些位选择 POE9# 引脚的输入模式。

PIE4 位 (端口中断允许 4 位)

当 POE9F 标志为“1”时, 此位指定是否请求中断。

POE9E 位 (POE9 高阻抗允许位)

当 POE9F 标志为“1”时, 此位指定是否将引脚置为高阻抗。

POE9F 标志 (POE9 标志)

这是表示给 POE9# 引脚输入了高阻抗请求的标志。

[为“0”的条件]

- 读“1”后写“0”时

[为“1”的条件]

- POE9# 引脚发生 POE9M[1:0] 位设定的输入时

19.2.7 软件端口输出允许寄存器 (SPOER)

地址 0008 890Ah

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	CH6HIZ	CH910HIZ	CH0HIZ	CH34HIZ
复位后的值	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	CH34HIZ	MTU3、MTU4 的输出高阻抗允许位	0: 不置为高阻抗状态 1: 置为高阻抗状态	R/W
b1	CH0HIZ	MTU0 的输出高阻抗允许位	0: 不置为高阻抗状态 1: 置为高阻抗状态	R/W
b2	CH910HIZ	MTU9、MTU10 的输出高阻抗允许位	0: 不置为高阻抗状态 1: 置为高阻抗状态	R/W
b3	CH6HIZ	MTU6 的输出高阻抗允许位	0: 不置为高阻抗状态 1: 置为高阻抗状态	R/W
b7-b4	—	保留位	读写值都为“0”。	R/W

SPOER 寄存器是对引脚进行高阻抗控制的寄存器。

CH34HIZ 位 (MTU3、MTU4 的输出高阻抗允许位)

此位对 MTU 的互补 PWM 输出引脚 (MTIOC3B/MTIOC3D/MTIOC4A/MTIOC4B/MTIOC4C/MTIOC4D) 进行高阻抗控制。

[为“0”的条件]

- 复位
- 读“1”后写“0”时

[为“1”的条件]

- 写“1”时

CH0HIZ 位 (MTU0 的输出高阻抗允许位)

此位对 MTU0 的引脚进行高阻抗控制。

[为“0”的条件]

- 复位
- 读“1”后写“0”时

[为“1”的条件]

- 写“1”时

CH910HIZ 位 (MTU9、MTU10 的输出高阻抗允许位)

此位对互补 PWM 输出引脚 (MTIOC9B/MTIOC9D/MTIOC10A/MTIOC10B/MTIOC10C/MTIOC10D) 进行高阻抗控制。

[为“0”的条件]

- 复位
- 读“1”后写“0”时

[为“1”的条件]

- 写“1”时

CH6HIZ 位 (MTU6 的输出高阻抗允许位)

此位对 MTU6 的引脚进行高阻抗控制。

[为“0”的条件]

- 复位
- 读“1”后写“0”时

[为“1”的条件]

- 写“1”时

19.2.8 端口输出允许控制寄存器 1 (POECR1)

地址 0008 890Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	PE7ZE	PE6ZE	PE5ZE	PE4ZE	PE3ZE	PE2ZE	PE1ZE	PE0ZE
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	PE0ZE	MTIOC0A 的高阻抗允许位	0: 不置为高阻抗 1: 置为高阻抗	R/W (注1)
b1	PE1ZE	MTIOC0B 的高阻抗允许位	0: 不置为高阻抗 1: 置为高阻抗	R/W (注1)
b2	PE2ZE	MTIOC0C 的高阻抗允许位	0: 不置为高阻抗 1: 置为高阻抗	R/W (注1)
b3	PE3ZE	MTIOC0D 的高阻抗允许位	0: 不置为高阻抗 1: 置为高阻抗	R/W (注1)
b4	PE4ZE	MTIOC6A 的高阻抗允许位	0: 不置为高阻抗 1: 置为高阻抗	R/W (注1)
b5	PE5ZE	MTIOC6B 的高阻抗允许位	0: 不置为高阻抗 1: 置为高阻抗	R/W (注1)
b6	PE6ZE	MTIOC6C 的高阻抗允许位	0: 不置为高阻抗 1: 置为高阻抗	R/W (注1)
b7	PE7ZE	MTIOC6D 的高阻抗允许位	0: 不置为高阻抗 1: 置为高阻抗	R/W (注1)

注 1. 复位后, 只能写 1 次。

POECR1 寄存器是对引脚进行高阻抗控制的寄存器。

PE0ZE 位 (MTIOC0A 的高阻抗允许位)

当 ICSR3.POE8F 标志、SPOER.CH0HIZ 位和 ICU.NMISR.OSTST 位中的任意一个为“1”时, 此位设定是否将 MTU0 引脚的 P34/MTIOC0A 置为高阻抗状态。

PE1ZE 位 (MTIOC0B 的高阻抗允许位)

当 ICSR3.POE8F 标志、SPOER.CH0HIZ 位和 ICU.NMISR.OSTST 位中的任意一个为“1”时, 此位设定是否将 MTU0 引脚的 P15/MTIOC0B 置为高阻抗状态。

PE2ZE 位 (MTIOC0C 的高阻抗允许位)

当 ICSR3.POE8F 标志、SPOER.CH0HIZ 位和 ICU.NMISR.OSTST 位中的任意一个为“1”时, 此位设定是否将 MTU0 引脚的 P32/MTIOC0C 置为高阻抗状态。

PE3ZE 位 (MTIOC0D 的高阻抗允许位)

当 ICSR3.POE8F 标志、SPOER.CH0HIZ 位和 ICU.NMISR.OSTST 位中的任意一个为“1”时, 此位设定是否将 MTU0 引脚的 P33/MTIOC0D 置为高阻抗状态。

PE4ZE 位 (MTIOC6A 的高阻抗允许位)

当 ICSR3.POE9F 标志、SPOER.CH6HIZ 位和 ICU.NMISR.OSTST 位中的任意一个为“1”时，此位设定是否将 MTU6 引脚的 PA0/MTIOC6A 置为高阻抗状态。

PE5ZE 位 (MTIOC6B 的高阻抗允许位)

当 ICSR3.POE9F 标志、SPOER.CH6HIZ 位和 ICU.NMISR.OSTST 位中的任意一个为“1”时，此位设定是否将 MTU6 引脚的 PA1/MTIOC6B 置为高阻抗状态。

PE6ZE 位 (MTIOC6C 的高阻抗允许位)

当 ICSR3.POE9F 标志、SPOER.CH6HIZ 位和 ICU.NMISR.OSTST 位中的任意一个为“1”时，此位设定是否将 MTU6 引脚的 PA2/MTIOC6C 置为高阻抗状态。

PE7ZE 位 (MTIOC6D 的高阻抗允许位)

当 ICSR3.POE9F 标志、SPOER.CH6HIZ 位和 ICU.NMISR.OSTST 位中的任意一个为“1”时，此位设定是否将 MTU6 引脚的 PA3/MTIOC6D 置为高阻抗状态。

19.2.9 端口输出允许控制寄存器 2 (POE2CR2)

地址 0008 890Ch

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	P1CZEA	P2CZEA	P3CZEA	—	P1CZEB	P2CZEB	P3CZEB	—	P4CZE	P5CZE	P6CZE	—	—	—	—	
复位后的值	0	1	1	1	0	0	0	0	0	1	1	1	0	0	0	0

位	符号	位名	功能	R/W
b0-b3	—	保留位	读写值都为“0”。	R/W
b4	P6CZE	MTU 端口 6 的高阻抗允许位	0: 不进行输出电平的比较并且不置为高阻抗 1: 进行输出电平的比较并且置为高阻抗	R/W (注 1)
b5	P5CZE	MTU 端口 5 的高阻抗允许位	0: 不进行输出电平的比较并且不置为高阻抗 1: 进行输出电平的比较并且置为高阻抗	R/W (注 1)
b6	P4CZE	MTU 端口 4 的高阻抗允许位	0: 不进行输出电平的比较并且不置为高阻抗 1: 进行输出电平的比较并且置为高阻抗	R/W (注 1)
b7	—	保留位	读写值都为“0”。	R/W
b8	P3CZEB	MTU 端口 3 的高阻抗允许 B 位	0: 不进行输出电平的比较并且不置为高阻抗 1: 进行输出电平的比较并且置为高阻抗	R/W (注 1)
b9	P2CZEB	MTU 端口 2 的高阻抗允许 B 位	0: 不进行输出电平的比较并且不置为高阻抗 1: 进行输出电平的比较并且置为高阻抗	R/W (注 1)
b10	P1CZEB	MTU 端口 1 的高阻抗允许 B 位	0: 不进行输出电平的比较并且不置为高阻抗 1: 进行输出电平的比较并且置为高阻抗	R/W (注 1)
b11	—	保留位	读写值都为“0”。	R/W
b12	P3CZEA	MTU 端口 3 的高阻抗允许 A 位	0: 不进行输出电平的比较并且不置为高阻抗 1: 进行输出电平的比较并且置为高阻抗	R/W (注 1)
b13	P2CZEA	MTU 端口 2 的高阻抗允许 A 位	0: 不进行输出电平的比较并且不置为高阻抗 1: 进行输出电平的比较并且置为高阻抗	R/W (注 1)
b14	P1CZEA	MTU 端口 1 的高阻抗允许 A 位	0: 不进行输出电平的比较并且不置为高阻抗 1: 进行输出电平的比较并且置为高阻抗	R/W (注 1)
b15	—	保留位	读写值都为“0”。	R/W

注 1. 复位后, 只能写 1 次。

POE2CR2 寄存器是对引脚进行高阻抗控制的寄存器。

P6CZE 位 (MTU 端口 6 的高阻抗允许位)

当 OCSR2.OSF2 标志、ICSR2.POE4F、ICSR2.POE5F、ICSR2.POE6F、ICSR2.POE7F 标志、SPOER.CH910HIZ 位和 ICU.NMISR.OSTST 位中的任意一个为“1”时, 此位设定是否将互补 PWM 输出引脚的 PB6/MTIOC10B 和 PB7/MTIOC10D 置为高阻抗状态。

P5CZE 位 (MTU 端口 5 的高阻抗允许位)

当 OCSR2.OSF2 标志、ICSR2.POE4F、ICSR2.POE5F、ICSR2.POE6F、ICSR2.POE7F 标志、SPOER.CH910HIZ 位和 ICU.NMISR.OSTST 位中的任意一个为“1”时, 此位设定是否将互补 PWM 输出引脚的 PB4/MTIOC10A 和 PB5/MTIOC10C 置为高阻抗状态。

P4CZE 位 (MTU 端口 4 的高阻抗允许位)

当 OCSR2.OSF2 标志、ICSR2.POE4F、ICSR2.POE5F、ICSR2.POE6F、ICSR2.POE7F 标志、SPOER.CH910HIZ 位和 ICU.NMISR.OSTST 位中的任意一个为“1”时，此位设定是否将互补 PWM 输出引脚的 PB2/MTIOC9B 和 PB3/MTIOC9D 置为高阻抗状态。

P3CZEB 位 (MTU 端口 3 的高阻抗允许 B 位)

当 OCSR1.OSF1 标志、ICSR1.POE0F、ICSR1.POE1F、ICSR1.POE2F、ICSR1.POE3F 标志、SPOER.CH34HIZ 位和 ICU.NMISR.OSTST 位中的任意一个为“1”时，此位设定是否将互补 PWM 输出引脚的 P54/MTIOC4B-B 和 P55/MTIOC4D-B 置为高阻抗状态。

P2CZEB 位 (MTU 端口 2 的高阻抗允许 B 位)

当 OCSR1.OSF1 标志、ICSR1.POE0F、ICSR1.POE1F、ICSR1.POE2F、ICSR1.POE3F 标志、SPOER.CH34HIZ 位和 ICU.NMISR.OSTST 位中的任意一个为“1”时，此位设定是否将互补 PWM 输出引脚的 P82/MTIOC4A-B 和 P83/MTIOC4C-B 置为高阻抗状态。

P1CZEB 位 (MTU 端口 1 的高阻抗允许 B 位)

当 OCSR1.OSF1 标志、ICSR1.POE0F、ICSR1.POE1F、ICSR1.POE2F、ICSR1.POE3F 标志、SPOER.CH34HIZ 位和 ICU.NMISR.OSTST 位中的任意一个为“1”时，此位设定是否将互补 PWM 输出引脚的 P80/MTIOC3B-B 和 P81/MTIOC3D-B 置为高阻抗状态。

P3CZEA 位 (MTU 端口 3 的高阻抗允许 A 位)

当 OCSR1.OSF1 标志、ICSR1.POE0F、ICSR1.POE1F、ICSR1.POE2F、ICSR1.POE3F 标志、SPOER.CH34HIZ 位和 ICU.NMISR.OSTST 位中的任意一个为“1”时，此位设定是否将互补 PWM 输出引脚的 P30/MTIOC4B-A 和 P31/MTIOC4D-A 置为高阻抗状态。

P2CZEA 位 (MTU 端口 2 的高阻抗允许 A 位)

当 OCSR1.OSF1 标志、ICSR1.POE0F、ICSR1.POE1F、ICSR1.POE2F、ICSR1.POE3F 标志、SPOER.CH34HIZ 位和 ICU.NMISR.OSTST 位中的任意一个为“1”时，此位设定是否将互补 PWM 输出引脚的 P24/MTIOC4A-A 和 P25/MTIOC4C-A 置为高阻抗状态。

P1CZEA 位 (MTU 端口 1 的高阻抗允许 A 位)

当 OCSR1.OSF1 标志、ICSR1.POE0F、ICSR1.POE1F、ICSR1.POE2F、ICSR1.POE3F 标志、SPOER.CH34HIZ 位和 ICU.NMISR.OSTST 位中的任意一个为“1”时，此位设定是否将互补 PWM 输出引脚的 P22/MTIOC3B-A 和 P23/MTIOC3D-A 置为高阻抗状态。

19.3 运行说明

高阻抗控制的对象引脚及其条件如表 19.5 所示。

表 19.5 高阻抗控制的对象引脚及其条件

引脚	条件	详细内容
MTU3 的引脚 (P22/MTIOC3B-A、 P23/MTIOC3D-A)	进行 POE0#~POE3# 引脚的输入电平的检测、P22/ MTIOC3B 引脚和 P23/MTIOC3D 引脚的输出电平的比较、 SPOER 寄存器的设定或者振荡停止的检测。	P1CZEA? ((POE3F+POE2F+POE1F+POE0F)+ (OSF1?OCE1)+(CH34HIZA)+(OSTST))
MTU4 的引脚 (P24/MTIOC4A-A、 P25/MTIOC4C-A)	进行 POE0#~POE3# 引脚的输入电平的检测、P24/ MTIOC4A 引脚和 P25/MTIOC4C 引脚的输出电平的比较、 SPOER 寄存器的设定或者振荡停止的检测。	P2CZEA? ((POE3F+POE2F+POE1F+POE0F)+ (OSF1?OCE1)+(CH34HIZ)+(OSTST))
MTU4 的引脚 (P30/MTIOC4B-A、 P31/MTIOC4D-A)	进行 POE0#~POE3# 引脚的输入电平的检测、P30/ MTIOC4B 引脚和 P31/MTIOC4D 引脚的输出电平的比较、 SPOER 寄存器的设定或者振荡停止的检测。	P3CZEA? ((POE3F+POE2F+POE1F+POE0F)+ (OSF1?OCE1)+(CH34HIZ)+(OSTST))
MTU3 的引脚 (P80/MTIOC3B-B、 P81/MTIOC3D-B)	进行 POE0#~POE3# 引脚的输入电平的检测、P80/ MTIOC3B 引脚和 P81/MTIOC3D 引脚的输出电平的比较、 SPOER 寄存器的设定或者振荡停止的检测。	P1CZEB? ((POE3F+POE2F+POE1F+POE0F)+ (OSF1?OCE1)+(CH34HIZ)+(OSTST))
MTU4 的引脚 (P82/MTIOC4A-B、 P83/MTIOC4C-B)	进行 POE0#~POE3# 引脚的输入电平的检测、P82/ MTIOC4A 引脚和 P83/MTIOC4C 引脚的输出电平的比较、 SPOER 寄存器的设定或者振荡停止的检测。	P2CZEB? ((POE3F+POE2F+POE1F+POE0F)+ (OSF1?OCE1)+(CH34HIZ)+(OSTST))
MTU4 的引脚 (P54/MTIOC4B-B、 P55/MTIOC4D-B)	进行 POE0#~POE3# 引脚的输入电平的检测、P54/ MTIOC4B 引脚和 P55/MTIOC4D 引脚的输出电平的比较、 SPOER 寄存器的设定或者振荡停止的检测。	P3CZEB? ((POE3F+POE2F+POE1F+POE0F)+ (OSF1?OCE1)+(CH34HIZ)+(OSTST))
MTU9 的引脚 (PB2/MTIOC9B、 PB3/MTIOC9D)	进行 POE4#~POE7# 引脚的输入电平的检测、PB2/ MTIOC9B 引脚和 PB3/MTIOC9D 引脚的输出电平的比较、 SPOER 寄存器的设定或者振荡停止的检测。	P4CZE? ((POE4F+POE5F+POE6F+POE7F)+ (OSF2?OCE2)+(CH910HIZ)+(OSTST))
MTU10 的引脚 (PB4/MTIOC10A、 PB5/MTIOC10C)	进行 POE4#~POE7# 引脚的输入电平的检测、PB4/ MTIOC10A 引脚和 PB5/MTIOC10C 引脚的输出电平的比 较、SPOER 寄存器的设定或者振荡停止的检测。	P5CZE? ((POE4F+POE5F+POE6F+POE7F)+ (OSF2?OCE2)+(CH910HIZ)+(OSTST))
MTU10 的引脚 (PB6/MTIOC10B、 PB7/MTIOC10D)	进行 POE4#~POE7# 引脚的输入电平的检测、PB6/ MTIOC10B 引脚和 PB7/MTIOC10D 引脚的输出电平的比 较、SPOER 寄存器的设定或者振荡停止的检测。	P6CZE? ((POE4F+POE5F+POE6F+POE7F)+ (OSF2?OCE2)+(CH910HIZ)+(OSTST))
MTU0 的引脚 (P34/MTIOC0A)	进行 POE8# 引脚的输入电平的检测、SPOER 寄存器的设 定或者振荡停止的检测。	PE0ZE? ((POE8F?POE8E)+(CH0HIZ)+(OSTST))
MTU0 的引脚 (P15/MTIOC0B)	进行 POE8# 引脚的输入电平的检测、SPOER 寄存器的设 定或者振荡停止的检测。	PE1ZE? ((POE8F?POE8E)+(CH0HIZ)+(OSTST))
MTU0 的引脚 (P32/MTIOC0C)	进行 POE8# 引脚的输入电平的检测、SPOER 寄存器的设 定或者振荡停止的检测。	PE2ZE? ((POE8F?POE8E)+(CH0HIZ)+(OSTST))
MTU0 的引脚 (P33/MTIOC0D)	进行 POE8# 引脚的输入电平的检测、SPOER 寄存器的设 定或者振荡停止的检测。	PE3ZE? ((POE8F?POE8E)+(CH0HIZ)+(OSTST))
MTU6 的引脚 (PA0/MTIOC6A)	进行 POE9# 引脚的输入电平的检测、SPOER 寄存器的设 定或者振荡停止的检测。	PE4ZE? ((POE9F?POE9E)+(CH6HIZ)+(OSTST))
MTU6 的引脚 (PA1/MTIOC6B)	进行 POE9# 引脚的输入电平的检测、SPOER 寄存器的设 定或者振荡停止的检测。	PE5ZE? ((POE9F?POE9E)+(CH6HIZ)+(OSTST))
MTU6 的引脚 (PA2/MTIOC6C)	进行 POE9# 引脚的输入电平的检测、SPOER 寄存器的设 定或者振荡停止的检测。	PE6ZE? ((POE9F?POE9E)+(CH6HIZ)+(OSTST))
MTU6 的引脚 (PA3/MTIOC6D)	进行 POE9# 引脚的输入电平的检测、SPOER 寄存器的设 定或者振荡停止的检测。	PE7ZE? ((POE9F?POE9E)+(CH6HIZ)+(OSTST))

19.3.1 输入电平的检测

当 POE0# ~ POE9# 引脚产生 ICSR1 ~ ICSR4 寄存器设定的输入条件时，就将 MTU 的互补 PWM 输出引脚以及 MTU0 或者 MTU6 的引脚置为高阻抗状态。但是，在 MTU 的互补 PWM 输出引脚以及 MTU0 或者 MTU6 的引脚为通用输出功能、或者在没有选择 MTU 单元 0 和 MTU 单元 1 功能时，也能置为高阻抗。

(1) 下降沿检测

当 POE0# ~ POE9# 引脚从高电平变为低电平时，将 MTU 的互补 PWM 输出引脚以及 MTU0 或者 MTU6 的引脚置为高阻抗。

从 POE0# ~ POE9# 引脚输入到将引脚置为高阻抗的时序例子如图 19.2 所示。

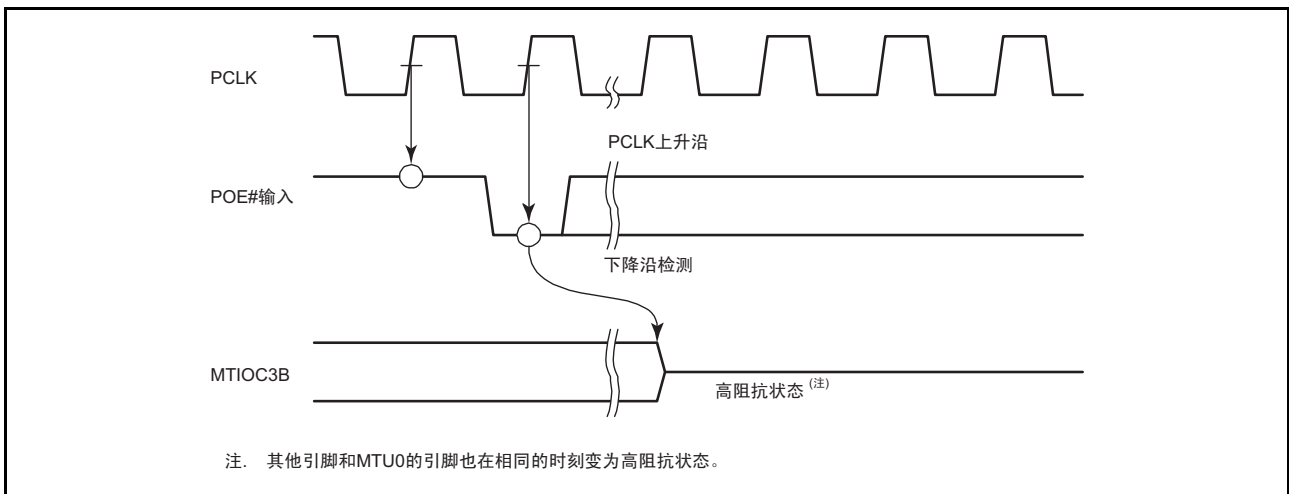


图 19.2 下降沿检测

(2) 低电平检测

低电平检测如图 19.3 所示。通过 ICSR1 ~ ICSR4 寄存器设定的采样时钟连续对低电平进行 16 次采样。此时，只要有 1 次检测到高电平，就不接受请求。

从采样时钟到 MTU 的互补 PWM 输出引脚以及 MTU0 和 MTU6 的引脚变为高阻抗状态的时序和下降沿检测、低电平检测相同。

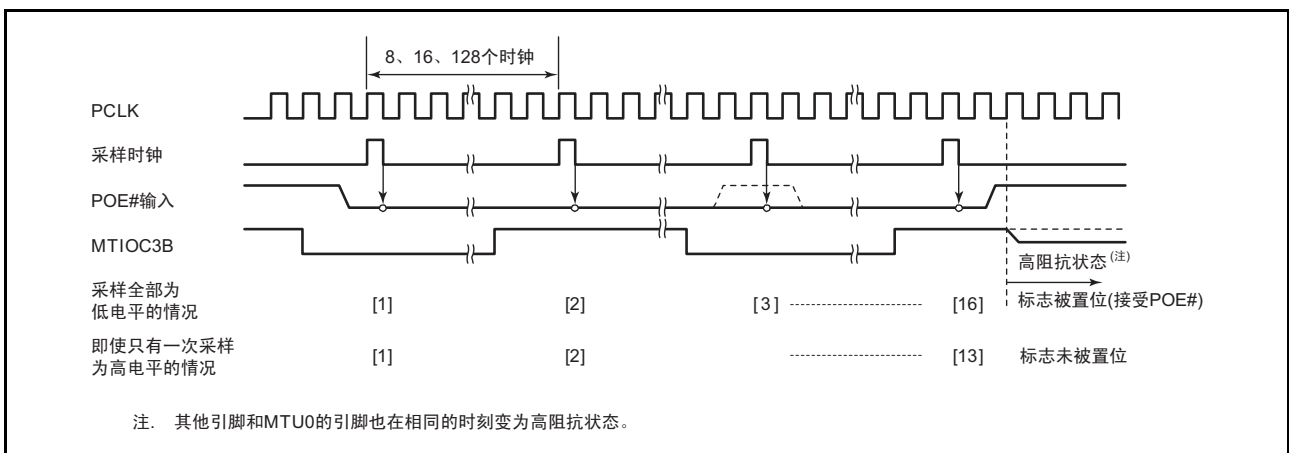


图 19.3 低电平检测

19.3.2 输出电平的比较运行

以 MTIOC3B 和 MTIOC3D 的组合为例，输出电平的比较运行如图 19.4 所示，其他引脚的组合也一样。

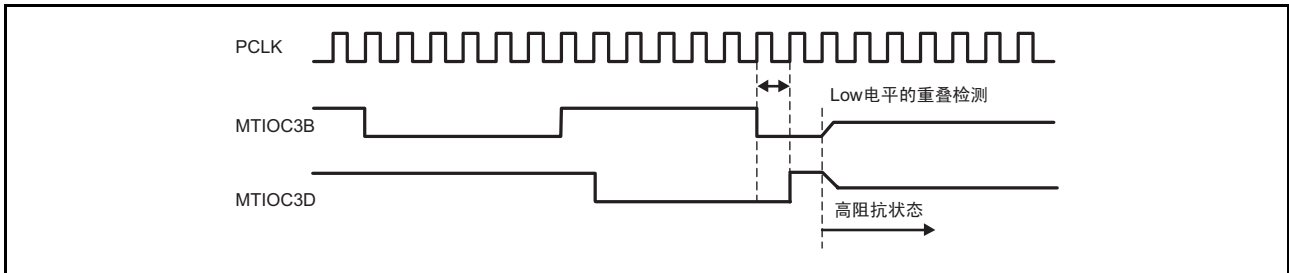


图 19.4 输出电平的比较运行

19.3.3 通过寄存器进行的高阻抗控制

通过软件端口输出允许寄存器 (SPOER) 直接对 MTU 的引脚 (MTU0、MTU6、MTU3、MTU4、MTU9、MTU10) 进行高阻抗控制。

通过将 SPOER.CH34HIZ 位置“1”，将端口输出允许控制寄存器 2 (POE2) 设定的 MTU3 或者 MTU4 的引脚置为高阻抗状态。

对于其他引脚，通过 SPOER 寄存器的位设定，同样也能进行高阻抗控制。

19.3.4 通过振荡停止检测进行的高阻抗控制

如果通过时钟发生电路的振荡停止检测电路检测到振荡停止，就将端口输出允许控制寄存器 2 (POE2) 设定的 MTU 的互补 PWM 输出引脚以及端口输出允许控制寄存器 1 (POE1) 设定的 MTU0 或者 MTU6 的引脚置为高阻抗。

19.3.5 高阻抗状态的解除

因输入电平检测而变为高阻抗状态的 MTU 引脚通过复位恢复到初始状态，或者通过将 ICSR1.POE3F、ICSR1.POE2F、ICSR1.POE1F、ICSR1.POE0F 标志、ICSR2.POE7F、ICSR2.POE6F、ICSR2.POE5F、ICSR2.POE4F 标志、ICSR3.POE8F 标志和 ICSR4.POE9F 标志置“0”，解除高阻抗状态。但是，在通过 ICSR1.POE3M[1:0]、ICSR1.POE2M[1:0]、ICSR1.POE1M[1:0]、ICSR1.POE0M[1:0] 位、ICSR2.POE7M[1:0]、ICSR2.POE6M[1:0]、ICSR2.POE5M[1:0]、ICSR2.POE4M[1:0] 位、ICSR3.POE8M[1:0] 位和 ICSR4.POE9M[1:0] 位设定为低电平采样时，如果不是在 POE0# ~ POE9# 引脚输入高电平后对高电平进行了采样以后，即使给标志写“0”也无效并且无法清除标志。

因输出电平检测而变为高阻抗状态的 MTU 引脚通过复位恢复到初始状态，或者通过将 OCSR1.OSF1 标志或者 OCSR2.OSF2 标志置“0”，解除高阻抗状态。但是，如果不是在从 MTU 的互补 PWM 输出引脚输出了无效电平以后，即使给标志写“0”也无效并且无法清除标志。能通过设定 MTU 单元 0 或者 MTU 单元 1 内的寄存器，输出无效电平。

19.4 中断

如果在进行输入电平的检测或者输出电平的比较时条件相同，POE 就能在产生中断请求后发生中断。中断的种类和产生中断请求的条件如表 19.6 所示。

表 19.6 中断请求的种类和条件

名称	中断源	中断标志	条件
OEI1	输出允许中断 1	POE3F、POE2F、 POE1F、POE0F、OSF1	PIE1•(POE0F+POE1F+POE2F+POE3F)+OIE1•OSF1
OEI2	输出允许中断 2	POE8F	PIE3•POE8F
OEI3	输出允许中断 3	POE4F、POE5F、 POE6F、POE7F、OSF2	PIE2•(POE4F+POE5F+POE6F+POE7F)+OIE2•OSF2
OEI4	输出允许中断 4	POE9F	PIE4•POE9F

19.5 使用时的注意事项

在使用 POE 时，不能转移到软件待机模式和深度软件待机模式。因为在软件待机模式和深度软件待机模式中 POE 停止运行，所以不能对引脚进行高阻抗控制。

在不使用 POE 时，必须给端口输出允许控制寄存器 1 (POECR1) 和端口输出允许控制寄存器 2 (POECR2) 写“00h”。

20. 可编程脉冲发生器 (PPG)

可编程脉冲发生器 (PPG) 以多功能定时器脉冲单元 (MTU) 为时基输出脉冲。

RX62N 群和 RX621 群内置了 2 个单元的 PPG，每个单元都有 16 位的脉冲输出引脚，以 4 位为单位构成 1 个脉冲输出组。各脉冲输出组既能同时运行，也能各自独立运行。

20.1 概要

PPG 的规格和功能一览表分别如表 20.1 和表 20.2 所示。

PPG 的框图如图 20.1 和图 20.2 所示。

表 20.1 PPG 的规格

项目	内容
输出位数	最多 32 位
脉冲输出	<ul style="list-style-type: none"> 能输出 4 组 ×2 个单元。 能选择输出触发信号。 能进行非重叠运行。 能指定反相输出。
输出数据的传送	能和 DTC、DMACA 联动运行 (使用 MTU 的中断功能时)。
低功耗功能	各单元能设定为模块停止状态。

表 20.2 PPG 功能一览表

项目			PPG0	PPG1
PPG 输出触发	MTU (单元 0) 的 通道 0 ~ 3 (MTU0 ~ MTU3)	比较匹配	○	○
		输入捕捉	○	○
	MTU (单元 1) 的 通道 6 ~ 9 (MTU6 ~ MTU9)	比较匹配	—	○
		输入捕捉	—	○
非重叠运行			○	○
输出数据的传送	DTC		○	○
	DMACA		○	○
反相输出的指定			○	○
模块停止的设定 (注 1)			MSTPCRA.MSTPA11 位	MSTPCRA.MSTPA10 位

【符号说明】 ○：能
—：不能

注 1. 详细内容请参照“9. 低功耗功能”。

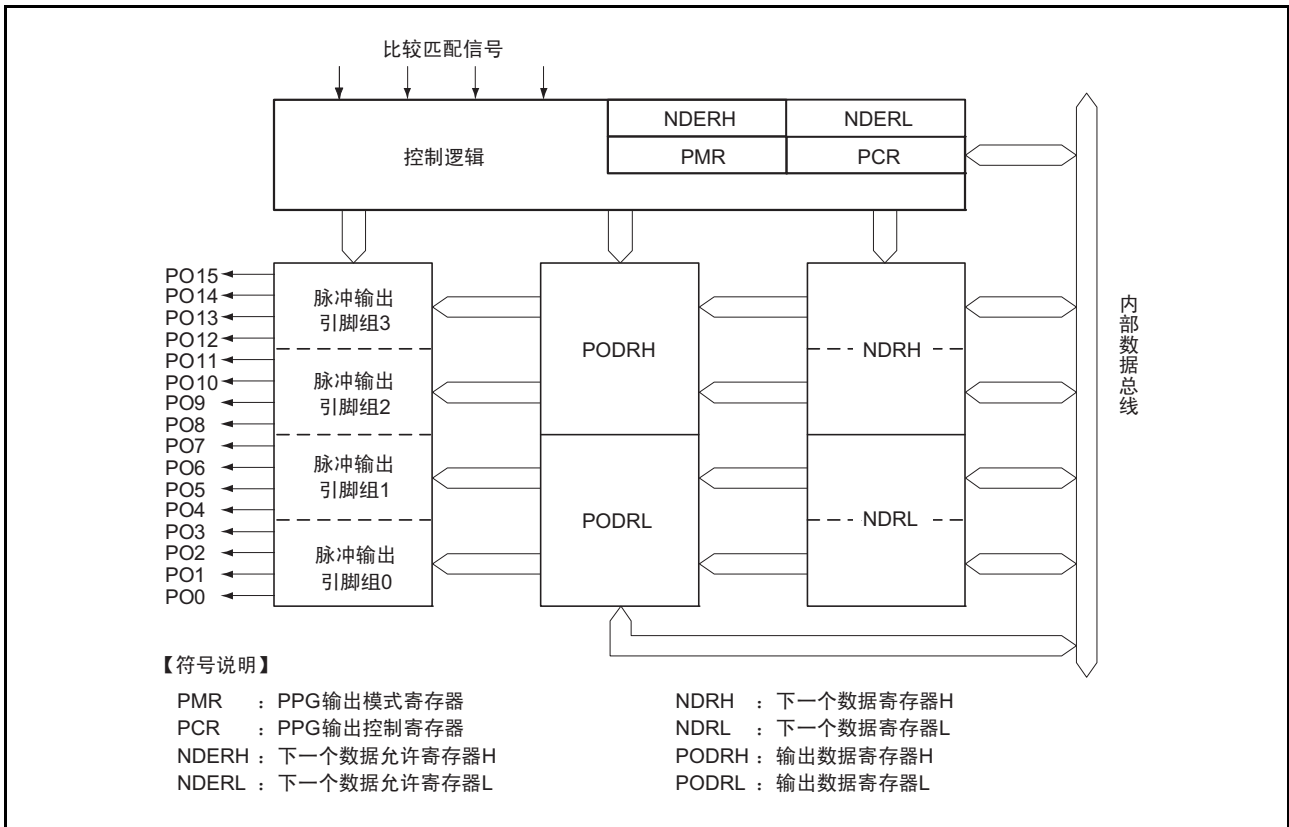


图 20.1 PPG (单元 0) 的框图

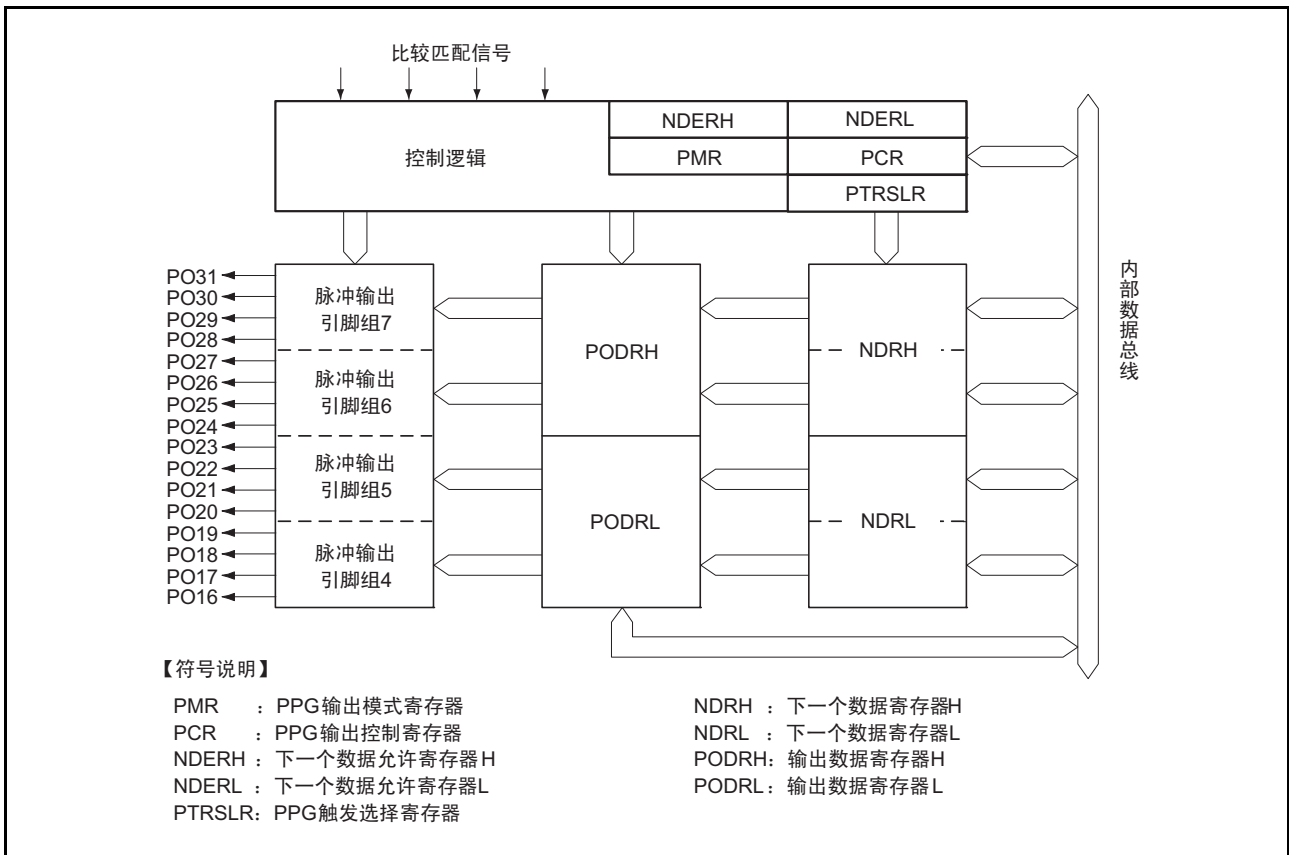


图 20.2 PPG (单元 1) 的框图

PPG 的输入 / 输出引脚如表 20.3 所示。

表 20.3 PPG 的输入 / 输出引脚

单元	引脚名	输入 / 输出	功能
PPG0	PO0	输出	脉冲输出组 0 的脉冲输出
	PO1	输出	
	PO2	输出	
	PO3	输出	
	PO4	输出	脉冲输出组 1 的脉冲输出
	PO5	输出	
	PO6	输出	
	PO7	输出	
	PO8	输出	脉冲输出组 2 的脉冲输出
	PO9	输出	
	PO10	输出	
	PO11	输出	
	PO12	输出	脉冲输出组 3 的脉冲输出
	PO13	输出	
	PO14	输出	
PO15	输出		
PPG1	PO16	输出	脉冲输出组 4 的脉冲输出
	PO17	输出	
	PO18	输出	
	PO19	输出	
	PO20	输出	脉冲输出组 5 的脉冲输出
	PO21	输出	
	PO22	输出	
	PO23	输出	
	PO24	输出	脉冲输出组 6 的脉冲输出
	PO25	输出	
	PO26	输出	
	PO27	输出	
	PO28	输出	脉冲输出组 7 的脉冲输出
	PO29	输出	
	PO30	输出	
PO31	输出		

20.2 寄存器说明

PPG 的寄存器一览表如表 20.4 所示。

表 20.4 PPG 的寄存器一览表

单元	寄存器名	符号	复位后的值	地址	存取长度
PPG0	PPG 输出控制寄存器	PCR	FFh	0008 81E6h	8
	PPG 输出模式寄存器	PMR	F0h	0008 81E7h	8
	下一个数据允许寄存器 H	NDERH	00h	0008 81E8h	8
	下一个数据允许寄存器 L	NDERL	00h	0008 81E9h	8
	输出数据寄存器 H	PODRH	00h	0008 81EAh	8
	输出数据寄存器 L	PODRL	00h	0008 81EBh	8
	下一个数据寄存器 H	NDRH	00h	0008 81ECh (注1)	8
	下一个数据寄存器 L	NDRL	00h	0008 81EDh (注2)	8
	下一个数据寄存器 H2	NDRH2	00h	0008 81EEh (注1)	8
	下一个数据寄存器 L2	NDRL2	00h	0008 81EFh (注2)	8
PPG1	PPG 触发选择寄存器	PTRSLR	01h	0008 81F0h	8
	PPG 输出控制寄存器	PCR	FFh	0008 81F6h	8
	PPG 输出模式寄存器	PMR	F0h	0008 81F7h	8
	下一个数据允许寄存器 H	NDERH	00h	0008 81F8h	8
	下一个数据允许寄存器 L	NDERL	00h	0008 81F9h	8
	输出数据寄存器 H	PODRH	00h	0008 81FAh	8
	输出数据寄存器 L	PODRL	00h	0008 81FBh	8
	下一个数据寄存器 H	NDRH	00h	0008 81FCh (注3)	8
	下一个数据寄存器 L	NDRL	00h	0008 81FDh (注3)	8
	下一个数据寄存器 H2	NDRH2	00h	0008 81FEh (注4)	8
下一个数据寄存器 L2	NDRL2	00h	0008 81FFh (注4)	8	

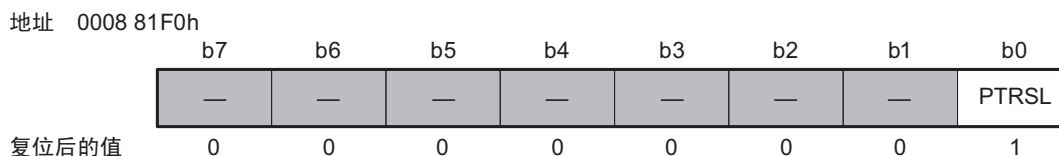
注 1. 通过设定 PPG0.PCR，当脉冲输出组 2 和脉冲输出组 3 的输出触发设定值相同时，PPG0.NDRH 的地址为 000881ECh；当输出触发设定值不同时，对应脉冲输出组 2 的 PPG0.NDRH2 的地址为 000881EEh，对应脉冲输出组 3 的 PPG0.NDRH 的地址为 000881ECh。

注 2. 通过设定 PPG0.PCR，当脉冲输出组 0 和脉冲输出组 1 的输出触发设定值相同时，PPG0.NDRL 的地址为 000881EDh；当输出触发设定值不同时，对应脉冲输出组 0 的 PPG0.NDRL2 的地址为 000881EFh，对应脉冲输出组 1 的 PPG0.NDRL 的地址为 000881EDh。

注 3. 通过设定 PPG1.PCR，当脉冲输出组 6 和脉冲输出组 7 的输出触发设定值相同时，PPG1.NDRH 的地址为 000881FCh；当输出触发设定值不同时，对应脉冲输出组 6 的 PPG1.NDRH2 的地址为 000881FEh，对应脉冲输出组 7 的 PPG1.NDRH 的地址为 000881FCh。

注 4. 通过设定 PPG1.PCR，当脉冲输出组 4 和脉冲输出组 5 的输出触发设定值相同时，PPG1.NDRL 的地址为 000881FDh；当输出触发设定值不同时，对应脉冲输出组 4 的 PPG1.NDRL2 的地址为 000881FFh，对应脉冲输出组 5 的 PPG1.NDRL2 的地址为 000881FDh。

20.2.1 PPG 触发选择寄存器 (PTRSLR)



• PPG1.PTRSLR

位	符号	位名	功能	R/W
b0	PTRSL	PPG 触发选择位	0: PPG1 的触发为 MTU0 ~ 3 1: PPG1 的触发为 MTU6 ~ 9	R/W
b1-b7	—	保留位	读写值都为“0”。	R/W

PPG1.PTRSLR 寄存器是选择触发输入的寄存器。

PTRSL 位 (PPG 触发选择位)

此位从 MTU0 ~ 3 或者 MTU6 ~ 9 中选择 PPG1 的触发输入。

如果将此位置“0”，PPG1 的触发输入就为 MTU0 ~ 3；如果置“1”，PPG1 的触发输入就为 MTU6 ~ 9。

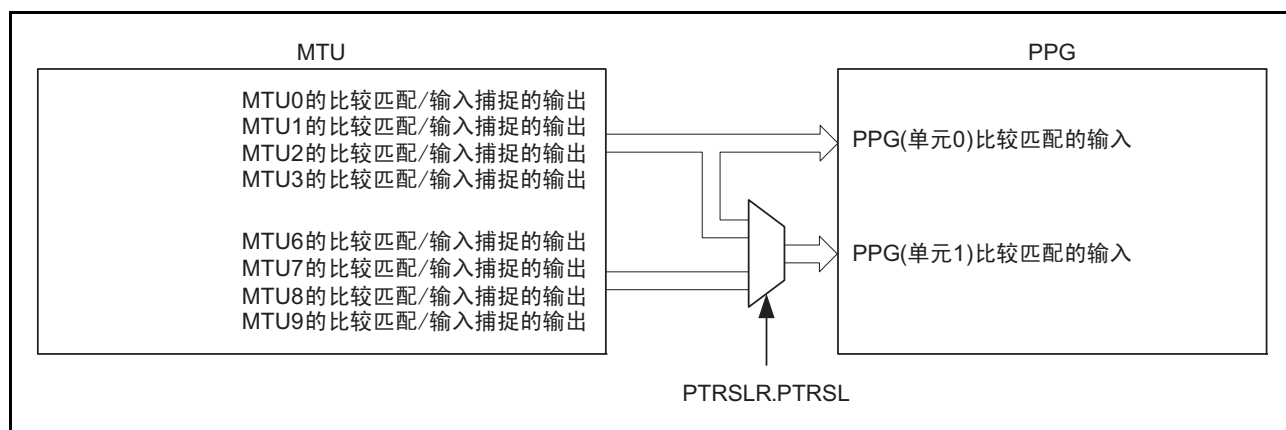


图 20.3 PPG 触发选择的框图

20.2.2 下一个数据允许寄存器 H (NDERH)、下一个数据允许寄存器 L (NDERL)

地址 0008 81E8h

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.NDERH	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
复位后的值	0	0	0	0	0	0	0	0

地址 0008 81E9h

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.NDERL	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
复位后的值	0	0	0	0	0	0	0	0

• PPG0.NDERH

位	符号	位名	功能	R/W
b0	NDER8	下一个数据传送允许位	0: 禁止数据传送 1: 允许数据传送	R/W
b1	NDER9	下一个数据传送允许位		R/W
b2	NDER10	下一个数据传送允许位		R/W
b3	NDER11	下一个数据传送允许位		R/W
b4	NDER12	下一个数据传送允许位		R/W
b5	NDER13	下一个数据传送允许位		R/W
b6	NDER14	下一个数据传送允许位		R/W
b7	NDER15	下一个数据传送允许位		R/W

PPG0.NDERH 寄存器以位为单位允许或者禁止 PPG 产生的 PO8 ~ PO15 脉冲输出。

NDER_i 位 (下一个数据传送允许位) (i=8 ~ 15)

如果将此位置“1”，就在产生由 PTRSLR 寄存器选择的触发时，将数据从 PPG0.NDRH 寄存器的对应位传送到 PPG0.PODRH 寄存器。但是，为“0”的位不进行从 PPG0.NDRH 寄存器到 PPG0.PODRH 寄存器的数据传送。

• PPG0.NDERL

位	符号	位名	功能	R/W
b0	NDER0	下一个数据传送允许位	0: 禁止数据传送 1: 允许数据传送	R/W
b1	NDER1	下一个数据传送允许位		R/W
b2	NDER2	下一个数据传送允许位		R/W
b3	NDER3	下一个数据传送允许位		R/W
b4	NDER4	下一个数据传送允许位		R/W
b5	NDER5	下一个数据传送允许位		R/W
b6	NDER6	下一个数据传送允许位		R/W
b7	NDER7	下一个数据传送允许位		R/W

PPG0.NDERL 寄存器以位为单位允许或者禁止 PPG 产生的 PO0 ~ PO7 脉冲输出。

NDER_i 位 (下一个数据传送允许位) (i=0 ~ 7)

如果将此位置“1”，就在产生由 PTRSLR 寄存器选择的触发时，将数据从 PPG0.NDRL 寄存器的对应位传送到 PPG0.PODRL 寄存器。但是，为“0”的位不进行从 PPG0.NDRL 寄存器到 PPG0.PODRL 寄存器的数据传送。

地址 0008 81F8h

	b7	b6	b5	b4	b3	b2	b1	b0
PPG1.NDERH	NDER31	NDER30	NDER29	NDER28	NDER27	NDER26	NDER25	NDER24
复位后的值	0	0	0	0	0	0	0	0

地址 0008 81F9h

	b7	b6	b5	b4	b3	b2	b1	b0
PPG1.NDERL	NDER23	NDER22	NDER21	NDER20	NDER19	NDER18	NDER17	NDER16
复位后的值	0	0	0	0	0	0	0	0

• PPG1.NDERH

位	符号	位名	功能	R/W
b0	NDER24	下一个数据传送允许位	0: 禁止数据传送 1: 允许数据传送	R/W
b1	NDER25	下一个数据传送允许位		R/W
b2	NDER26	下一个数据传送允许位		R/W
b3	NDER27	下一个数据传送允许位		R/W
b4	NDER28	下一个数据传送允许位		R/W
b5	NDER29	下一个数据传送允许位		R/W
b6	NDER30	下一个数据传送允许位		R/W
b7	NDER31	下一个数据传送允许位		R/W

PPG1.NDERH 寄存器以位为单位允许或者禁止 PPG 产生的 PO24 ~ PO31 脉冲输出。

NDER_i 位 (下一个数据传送允许位) (i=24 ~ 31)

如果将此位置“1”，就在产生由 PTRSLR 寄存器选择的触发时，将数据从 PPG1.NDRH 寄存器的对应位传送到 PPG1.PODRH 寄存器。但是，为“0”的位不进行从 PPG1.NDRH 寄存器到 PPG1.PODRH 寄存器的数据传送。

• PPG1.NDERL

位	符号	位名	功能	R/W
b0	NDER16	下一个数据传送允许位	0: 禁止数据传送 1: 允许数据传送	R/W
b1	NDER17	下一个数据传送允许位		R/W
b2	NDER18	下一个数据传送允许位		R/W
b3	NDER19	下一个数据传送允许位		R/W
b4	NDER20	下一个数据传送允许位		R/W
b5	NDER21	下一个数据传送允许位		R/W
b6	NDER22	下一个数据传送允许位		R/W
b7	NDER23	下一个数据传送允许位		R/W

PPG1.NDERL 寄存器以位为单位允许或者禁止 PPG 产生的 PO16 ~ PO23 脉冲输出。

NDER_i 位 (下一个数据传送允许位) (i=16 ~ 23)

如果将此位置“1”，就在产生由 PTRSLR 寄存器选择的触发时，将数据从 PPG1.NDRL 寄存器的对应位传送到 PPG1.PODRL 寄存器。但是，为“0”的位不进行 PPG1.NDRL 寄存器到 PPG1.PODRL 寄存器的数据传送。

20.2.3 输出数据寄存器 H (PODRH)、输出数据寄存器 L (PODRL)

地址 0008 81EAh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.PODRH	POD15	POD14	POD13	POD12	POD11	POD10	POD9	POD8
复位后的值	0	0	0	0	0	0	0	0

地址 0008 81EBh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.PODRL	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0
复位后的值	0	0	0	0	0	0	0	0

• PPG0.PODRH

位	符号	位名	功能	R/W
b0	POD8	输出数据寄存器位	只限于通过 PPG0.NDERH 寄存器设定为允许数据传送的位。如果在 PPG 运行过程中产生输出触发, 就将 PPG0.NDRH 寄存器的值传送到此寄存器。在 PPG0.NDERH.NDERi (i=8 ~ 15) 的某位为“1”的期间, CPU 不能写此寄存器。能在 PPG0.NDERH 寄存器为“00h”的状态下设定脉冲的初始输出值。	R/W
b1	POD9	输出数据寄存器位		R/W
b2	POD10	输出数据寄存器位		R/W
b3	POD11	输出数据寄存器位		R/W
b4	POD12	输出数据寄存器位		R/W
b5	POD13	输出数据寄存器位		R/W
b6	POD14	输出数据寄存器位		R/W
b7	POD15	输出数据寄存器位		R/W

PPG0.PODRH 寄存器保存脉冲输出值。对于由 PPG0.NDERH 寄存器设定为脉冲输出的位, 通过输出触发将 PPG0.NDRH 寄存器的值传送到此寄存器。

• PPG0.PODRL

位	符号	位名	功能	R/W
b0	POD0	输出数据寄存器位	只限于通过 PPG0.NDERL 寄存器设定为允许数据传送的位。如果在 PPG 运行过程中产生输出触发, 就将 PPG0.NDRL 寄存器的值传送到此寄存器。在 PPG0.NDERL.NDERi (i=0 ~ 7) 的某位为“1”的期间, CPU 不能写此寄存器。能在 PPG0.NDERL 寄存器为“00h”的状态下设定脉冲的初始输出值。	R/W
b1	POD1	输出数据寄存器位		R/W
b2	POD2	输出数据寄存器位		R/W
b3	POD3	输出数据寄存器位		R/W
b4	POD4	输出数据寄存器位		R/W
b5	POD5	输出数据寄存器位		R/W
b6	POD6	输出数据寄存器位		R/W
b7	POD7	输出数据寄存器位		R/W

PPG0.PODRL 寄存器保存脉冲输出值。对于由 PPG0.NDERL 寄存器设定为脉冲输出的位, 通过输出触发将 PPG0.NDRL 寄存器的值传送到此寄存器。

地址 0008 81FAh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG1.PODRH	POD31	POD30	POD29	POD28	POD27	POD26	POD25	POD24
复位后的值	0	0	0	0	0	0	0	0

地址 0008 81FBh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG1.PODRL	POD23	POD22	POD21	POD20	POD19	POD18	POD17	POD16
复位后的值	0	0	0	0	0	0	0	0

- PPG1.PODRH

位	符号	位名	功能	R/W
b0	POD24	输出数据寄存器位	只限于通过 PPG1.NDERH 寄存器设定为允许数据传送的位。如果在 PPG 运行过程中产生输出触发, 就将 PPG1.NDRH 寄存器的值传送到此寄存器。在 PPG1.NDERH.NDERi (i=24 ~ 31) 的某位为“1”的期间, CPU 不能写此寄存器。能在 PPG1.NDERH 寄存器为“00h”的状态下设定脉冲的初始输出值。	R/W
b1	POD25	输出数据寄存器位		R/W
b2	POD26	输出数据寄存器位		R/W
b3	POD27	输出数据寄存器位		R/W
b4	POD28	输出数据寄存器位		R/W
b5	POD29	输出数据寄存器位		R/W
b6	POD30	输出数据寄存器位		R/W
b7	POD31	输出数据寄存器位		R/W

PPG1.PODRH 寄存器保存脉冲输出值。对于由 PPG1.NDERH 寄存器设定为脉冲输出的位, 通过输出触发将 PPG1.NDRH 寄存器的值传送到此寄存器。

- PPG1.PODRL

位	符号	位名	功能	R/W
b0	POD16	输出数据寄存器位	只限于通过 PPG1.NDERL 寄存器设定为允许数据传送的位。如果在 PPG 运行过程中产生输出触发, 就将 PPG1.NDRL 寄存器的值传送到此寄存器。在 PPG1.NDERL.NDERi (i=16 ~ 23) 的某位为“1”的期间, CPU 不能写此寄存器。能在 PPG1.NDERL 寄存器为“00h”的状态下设定脉冲的初始输出值。	R/W
b1	POD17	输出数据寄存器位		R/W
b2	POD18	输出数据寄存器位		R/W
b3	POD19	输出数据寄存器位		R/W
b4	POD20	输出数据寄存器位		R/W
b5	POD21	输出数据寄存器位		R/W
b6	POD22	输出数据寄存器位		R/W
b7	POD23	输出数据寄存器位		R/W

PPG1.PODRL 寄存器保存脉冲输出值。对于由 PPG1.NDERL 寄存器设定为脉冲输出的位, 通过输出触发将 PPG1.NDRL 寄存器的值传送到此寄存器。

20.2.4 下一个数据寄存器 H (NDRH)、下一个数据寄存器 L (NDRL)

地址 NDRH 0008 81ECh、NDRH2 0008 81EEh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.NDRH	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
复位后的值	0	0	0	0	0	0	0	0

地址 NDRL 0008 81EDh、NDRL2 0008 81EFh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.NDRL	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
复位后的值	0	0	0	0	0	0	0	0

- PPG0.NDRH

PPG0.NDRH 寄存器保存脉冲输出的下一个数据。PPG0.NDRH 寄存器的地址因将脉冲输出组设定为相同的输出触发或者不同的输出触发而不同。

(1) 脉冲输出组 2 和脉冲输出组 3 的输出触发相同的情况

如果将脉冲输出组 2 和脉冲输出组 3 设定为相同的输出触发，就能将此 8 位全部映像到相同的地址，并且能同时存取此 8 位。

(0008 81ECh)

位	符号	位名	功能	R/W
b0	NDR8	下一个数据寄存器位	通过由 PPG0.PCR 寄存器指定的输出触发，将此寄存器的值传送到 PPG0.PODRH 寄存器的对应位。	R/W
b1	NDR9	下一个数据寄存器位		R/W
b2	NDR10	下一个数据寄存器位		R/W
b3	NDR11	下一个数据寄存器位		R/W
b4	NDR12	下一个数据寄存器位		R/W
b5	NDR13	下一个数据寄存器位		R/W
b6	NDR14	下一个数据寄存器位		R/W
b7	NDR15	下一个数据寄存器位		R/W

(2) 脉冲输出组 2 和脉冲输出组 3 的输出触发不同的情况

如果脉冲输出组 2 和脉冲输出组 3 选择不同的输出触发，就将高 4 位和低 4 位映像到不同的地址。

(脉冲输出组 3: 0008 81ECh)

位	符号	位名	功能	R/W
b3-b0	—	保留位	读写值都为“1”。	R/W
b4	NDR12	下一个数据寄存器位	通过由 PPG0.PCR 寄存器指定的输出触发，将此寄存器的值传送到 PPG0.PODRH 寄存器的对应位。	R/W
b5	NDR13	下一个数据寄存器位		R/W
b6	NDR14	下一个数据寄存器位		R/W
b7	NDR15	下一个数据寄存器位		R/W

(脉冲输出组2: 0008 81EEh)

位	符号	位名	功能	R/W
b0	NDR8	下一个数据寄存器位	通过由 PPG0.PCR 寄存器指定的输出触发, 将此寄存器的值传送到 PPG0.PODRH 寄存器的对应位。	R/W
b1	NDR9	下一个数据寄存器位		R/W
b2	NDR10	下一个数据寄存器位		R/W
b3	NDR11	下一个数据寄存器位		R/W
b7-b4	—	保留位	读写值都为“1”。	R/W

• PPG0.NDRL

PPG0.NDRL 寄存器保存脉冲输出的下一个数据。PPG0.NDRL 寄存器的地址因将脉冲输出组设定为相同的输出触发或者不同的输出触发而不同。

(1) 脉冲输出组0和脉冲输出组1的输出触发相同的情况

如果将脉冲输出组0和脉冲输出组1设定为相同的输出触发, 就能将此8位全部映像到相同的地址, 并且能同时存取此8位。

(0008 81EDh)

位	符号	位名	功能	R/W
b0	NDR0	下一个数据寄存器位	通过由 PPG0.PCR 寄存器指定的输出触发, 将此寄存器的值传送到 PPG0.PODRL 寄存器的对应位。	R/W
b1	NDR1	下一个数据寄存器位		R/W
b2	NDR2	下一个数据寄存器位		R/W
b3	NDR3	下一个数据寄存器位		R/W
b4	NDR4	下一个数据寄存器位		R/W
b5	NDR5	下一个数据寄存器位		R/W
b6	NDR6	下一个数据寄存器位		R/W
b7	NDR7	下一个数据寄存器位		R/W

(2) 脉冲输出组0和脉冲输出组1的输出触发不同的情况

如果脉冲输出组0和脉冲输出组1选择不同的输出触发, 就将高4位和低4位映像到不同的地址。

(脉冲输出组1: 0008 81EDh)

位	符号	位名	功能	R/W
b3-b0	—	保留位	读写值都为“1”。	R/W
b4	NDR4	下一个数据寄存器位	通过由 PPG0.PCR 寄存器指定的输出触发, 将此寄存器的值传送到 PPG0.PODRL 寄存器的对应位。	R/W
b5	NDR5	下一个数据寄存器位		R/W
b6	NDR6	下一个数据寄存器位		R/W
b7	NDR7	下一个数据寄存器位		R/W

(脉冲输出组0: 0008 81EFh)

位	符号	位名	功能	R/W
b0	NDR0	下一个数据寄存器位	通过由 PPG0.PCR 寄存器指定的输出触发, 将此寄存器的值传送到 PPG0.PODRL 寄存器的对应位。	R/W
b1	NDR1	下一个数据寄存器位		R/W
b2	NDR2	下一个数据寄存器位		R/W
b3	NDR3	下一个数据寄存器位		R/W
b7-b4	—	保留位	读写值都为“1”。	R/W

地址 NDRH 0008 81FCh、NDRH2 0008 81FEh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG1.NDRH	NDR31	NDR30	NDR29	NDR28	NDR27	NDR26	NDR25	NDR24
复位后的值	0	0	0	0	0	0	0	0

地址 NDRL 0008 81FDh、NDRL2 0008 81FFh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG1.NDRL	NDR23	NDR22	NDR21	NDR20	NDR19	NDR18	NDR17	NDR16
复位后的值	0	0	0	0	0	0	0	0

• PPG1.NDRH

PPG1.NDRH 寄存器保存脉冲输出的下一个数据。PPG1.NDRH 寄存器的地址因将脉冲输出组设定为相同的输出触发或者不同的输出触发的而不同。

(1) 脉冲输出组 6 和脉冲输出组 7 的输出触发相同的情况

如果将脉冲输出组 6 和脉冲输出组 7 设定为相同的输出触发，就能将此 8 位全部映像到相同的地址，并且能同时存取此 8 位。

(0008 81FCh)

位	符号	位名	功能	R/W
b0	NDR24	下一个数据寄存器位	通过由 PPG1.PCR 寄存器指定的输出触发，将此寄存器的值传送到 PPG1.PODRH 寄存器的对应位。	R/W
b1	NDR25	下一个数据寄存器位		R/W
b2	NDR26	下一个数据寄存器位		R/W
b3	NDR27	下一个数据寄存器位		R/W
b4	NDR28	下一个数据寄存器位		R/W
b5	NDR29	下一个数据寄存器位		R/W
b6	NDR30	下一个数据寄存器位		R/W
b7	NDR31	下一个数据寄存器位		R/W

(2) 脉冲输出组 6 和脉冲输出组 7 的输出触发不同的情况

如果脉冲输出组 6 和脉冲输出组 7 选择不同的输出触发，就将高 4 位和低 4 位映像到不同的地址。

(脉冲输出组 7: 0008 81FCh)

位	符号	位名	功能	R/W
b3-b0	—	保留位	读写值都为“1”。	R/W
b4	NDR28	下一个数据寄存器位	通过由 PPG1.PCR 寄存器指定的输出触发，将此寄存器的值传送到 PPG1.PODRH 寄存器的对应位。	R/W
b5	NDR29	下一个数据寄存器位		R/W
b6	NDR30	下一个数据寄存器位		R/W
b7	NDR31	下一个数据寄存器位		R/W

(脉冲输出组6: 0008 81FEh)

位	符号	位名	功能	R/W
b0	NDR24	下一个数据寄存器位	通过由 PPG1.PCR 寄存器指定的输出触发, 将此寄存器的值传送到 PPG1.PODRH 寄存器的对应位。	R/W
b1	NDR25	下一个数据寄存器位		R/W
b2	NDR26	下一个数据寄存器位		R/W
b3	NDR27	下一个数据寄存器位		R/W
b7-b4	—	保留位	读写值都为“1”。	R/W

• PPG1.NDRL

PPG1.NDRL 寄存器保存脉冲输出的下一个数据。PPG1.NDRL 寄存器的地址因将脉冲输出组设定为相同的输出触发或者不同的输出触发而不同。

(1) 脉冲输出组4和脉冲输出组5的输出触发相同的情况

如果将脉冲输出组4和脉冲输出组5设定为相同的输出触发, 就能将此8位全部映像到相同的地址, 并且能同时存取此8位。

(0008 81FDh)

位	符号	位名	功能	R/W
b0	NDR16	下一个数据寄存器位	通过由 PPG1.PCR 寄存器指定的输出触发, 将此寄存器的值传送到 PPG1.PODRL 寄存器的对应位。	R/W
b1	NDR17	下一个数据寄存器位		R/W
b2	NDR18	下一个数据寄存器位		R/W
b3	NDR19	下一个数据寄存器位		R/W
b4	NDR20	下一个数据寄存器位		R/W
b5	NDR21	下一个数据寄存器位		R/W
b6	NDR22	下一个数据寄存器位		R/W
b7	NDR23	下一个数据寄存器位		R/W

(2) 脉冲输出组4和脉冲输出组5的输出触发不同的情况

如果脉冲输出组4和脉冲输出组5选择不同的输出触发, 就将高4位和低4位映像到不同的地址。

(脉冲输出组5: 0008 81FDh)

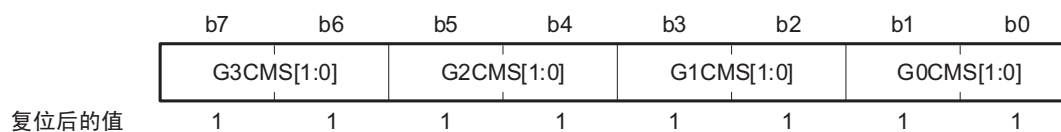
位	符号	位名	功能	R/W
b3-b0	—	(保留位)	读写值都为“1”。	R/W
b4	NDR20	下一个数据寄存器位	通过由 PPG1.PCR 寄存器指定的输出触发, 将此寄存器的值传送到 PPG1.PODRL 寄存器的对应位。	R/W
b5	NDR21	下一个数据寄存器位		R/W
b6	NDR22	下一个数据寄存器位		R/W
b7	NDR23	下一个数据寄存器位		R/W

(脉冲输出组4: 0008 81FFh)

位	符号	位名	功能	R/W
b0	NDR16	下一个数据寄存器位	通过由 PPG1.PCR 寄存器指定的输出触发, 将此寄存器的值传送到 PPG1.PODRL 寄存器的对应位。	R/W
b1	NDR17	下一个数据寄存器位		R/W
b2	NDR18	下一个数据寄存器位		R/W
b3	NDR19	下一个数据寄存器位		R/W
b7-b4	—	保留位	读写值都为“1”。	R/W

20.2.5 PPG 输出控制寄存器 (PCR)

地址 PPG0.PCR 0008 81E6h、PPG1.PCR 0008 81F6h



• PPG0.PCR

位	符号	位名	功能	R/W
b1-b0	G0CMS[1:0]	组 0 的比较匹配选择位	b1 b0 0 0: MTU0 的比较匹配 0 1: MTU1 的比较匹配 1 0: MTU2 的比较匹配 1 1: MTU3 的比较匹配	R/W
b3-b2	G1CMS[1:0]	组 1 的比较匹配选择位	b3 b2 0 0: MTU0 的比较匹配 0 1: MTU1 的比较匹配 1 0: MTU2 的比较匹配 1 1: MTU3 的比较匹配	R/W
b5-b4	G2CMS[1:0]	组 2 的比较匹配选择位	b5 b4 0 0: MTU0 的比较匹配 0 1: MTU1 的比较匹配 1 0: MTU2 的比较匹配 1 1: MTU3 的比较匹配	R/W
b7-b6	G3CMS[1:0]	组 3 的比较匹配选择位	b7 b6 0 0: MTU0 的比较匹配 0 1: MTU1 的比较匹配 1 0: MTU2 的比较匹配 1 1: MTU3 的比较匹配	R/W

• PPG1.PCR

位	符号	位名	功能	R/W
b1-b0	G0CMS[1:0]	组 4 的比较匹配选择位	<ul style="list-style-type: none"> 当 PPG1.PTRSLR.PTRSL 位为“0”时 b1 b0 0 0: MTU0 的比较匹配 0 1: MTU1 的比较匹配 1 0: MTU2 的比较匹配 1 1: MTU3 的比较匹配 当 PPG1.PTRSLR.PTRSL 位为“1”时 b1 b0 0 0: MTU6 的比较匹配 0 1: MTU7 的比较匹配 1 0: MTU8 的比较匹配 1 1: MTU9 的比较匹配 	R/W
b3-b2	G1CMS[1:0]	组 5 的比较匹配选择位	<ul style="list-style-type: none"> 当 PPG1.PTRSLR.PTRSL 位为“0”时 b3 b2 0 0: MTU0 的比较匹配 0 1: MTU1 的比较匹配 1 0: MTU2 的比较匹配 1 1: MTU3 的比较匹配 当 PPG1.PTRSLR.PTRSL 位为“1”时 b3 b2 0 0: MTU6 的比较匹配 0 1: MTU7 的比较匹配 1 0: MTU8 的比较匹配 1 1: MTU9 的比较匹配 	R/W
b5-b4	G2CMS[1:0]	组 6 的比较匹配选择位	<ul style="list-style-type: none"> 当 PPG1.PTRSLR.PTRSL 位为“0”时 b5 b4 0 0: MTU0 的比较匹配 0 1: MTU1 的比较匹配 1 0: MTU2 的比较匹配 1 1: MTU3 的比较匹配 当 PPG1.PTRSLR.PTRSL 位为“1”时 b5 b4 0 0: MTU6 的比较匹配 0 1: MTU7 的比较匹配 1 0: MTU8 的比较匹配 1 1: MTU9 的比较匹配 	R/W
b7-b6	G3CMS[1:0]	组 7 的比较匹配选择位	<ul style="list-style-type: none"> 当 PPG1.PTRSLR.PTRSL 位为“0”时 b7 b6 0 0: MTU0 的比较匹配 0 1: MTU1 的比较匹配 1 0: MTU2 的比较匹配 1 1: MTU3 的比较匹配 当 PPG1.PTRSLR.PTRSL 位为“1”时 b7 b6 0 0: MTU6 的比较匹配 0 1: MTU7 的比较匹配 1 0: MTU8 的比较匹配 1 1: MTU9 的比较匹配 	R/W

PPGn.PCR 寄存器 (n=0、1) 是以组为单位选择脉冲输出触发信号的寄存器。

有关输出触发的选择, 请参照“20.2.6 PPG 输出模式寄存器 (PMR)”。

GiCMS[1:0] 位 (组 j 的比较匹配选择位) (i=0 ~ 3, j=0 ~ 7)

这些位选择脉冲输出组 j 的输出触发。

20.2.6 PPG 输出模式寄存器 (PMR)

地址 PPG0.PMR 0008 81E7h、PPG1.PMR 0008 81F7h

	b7	b6	b5	b4	b3	b2	b1	b0
	G3INV	G2INV	G1INV	G0INV	G3NOV	G2NOV	G1NOV	G0NOV
复位后的值	1	1	1	1	0	0	0	0

• PPG0.PMR

位	符号	位名	功能	R/W
b0	G0NOV	组 0 的非重叠位	0: 正常运行 (在发生所选的 MTUn 的 TGRA 寄存器的比较匹配 A 时更新输出值) 1: 非重叠运行 (在发生所选的 MTUn 的 TGRA 寄存器和 TGRB 寄存器的比较匹配 A 和比较匹配 B 时更新输出值) (n=0 ~ 3)	R/W
b1	G1NOV	组 1 的非重叠位	0: 正常运行 (在发生所选的 MTUn 的 TGRA 寄存器的比较匹配 A 时更新输出值) 1: 非重叠运行 (在发生所选的 MTUn 的 TGRA 寄存器和 TGRB 寄存器的比较匹配 A 和比较匹配 B 时更新输出值) (n=0 ~ 3)	R/W
b2	G2NOV	组 2 的非重叠位	0: 正常运行 (在发生所选的 MTUn 的 TGRA 寄存器的比较匹配 A 时更新输出值) 1: 非重叠运行 (在发生所选的 MTUn 的 TGRA 寄存器和 TGRB 寄存器的比较匹配 A 和比较匹配 B 时更新输出值) (n=0 ~ 3)	R/W
b3	G3NOV	组 3 的非重叠位	0: 正常运行 (在发生所选的 MTUn 的 TGRA 寄存器的比较匹配 A 时更新输出值) 1: 非重叠运行 (在发生所选的 MTUn 的 TGRA 寄存器和 TGRB 寄存器的比较匹配 A 和比较匹配 B 时更新输出值) (n=0 ~ 3)	R/W
b4	G0INV	组 0 的输出极性变更位	0: 反相输出 1: 直接输出	R/W
b5	G1INV	组 1 的输出极性变更位	0: 反相输出 1: 直接输出	R/W
b6	G2INV	组 2 的输出极性变更位	0: 反相输出 1: 直接输出	R/W
b7	G3INV	组 3 的输出极性变更位	0: 反相输出 1: 直接输出	R/W

• PPG1.PMR

位	符号	位名	功能	R/W
b0	G0NOV	组 4 的非重叠位	0: 正常运行 (在产生所选的 MTUn 的比较匹配 A 时更新输出值) 1: 非重叠运行 (在产生所选的 MTUn 的比较匹配 A 和比较匹配 B 时更新输出值) (n=0 ~ 3、6 ~ 9)	R/W
b1	G1NOV	组 5 的非重叠位	0: 正常运行 (在产生所选的 MTUn 的比较匹配 A 时更新输出值) 1: 非重叠运行 (在产生所选的 MTUn 的比较匹配 A 和比较匹配 B 时更新输出值) (n=0 ~ 3、6 ~ 9)	R/W
b2	G2NOV	组 6 的非重叠位	0: 正常运行 (在产生所选的 MTUn 的比较匹配 A 时更新输出值) 1: 非重叠运行 (在产生所选的 MTUn 的比较匹配 A 和比较匹配 B 时更新输出值) (n=0 ~ 3、6 ~ 9)	R/W
b3	G3NOV	组 7 的非重叠位	0: 正常运行 (在产生所选的 MTUn 的比较匹配 A 时更新输出值) 1: 非重叠运行 (在产生所选的 MTUn 的比较匹配 A 和比较匹配 B 时更新输出值) (n=0 ~ 3、6 ~ 9)	R/W
b4	G0INV	组 4 的输出极性变更位	0: 反相输出 1: 直接输出	R/W
b5	G1INV	组 5 的输出极性变更位	0: 反相输出 1: 直接输出	R/W
b6	G2INV	组 6 的输出极性变更位	0: 反相输出 1: 直接输出	R/W
b7	G3INV	组 7 的输出极性变更位	0: 反相输出 1: 直接输出	R/W

PPGn.PMR 寄存器 (n=0、1) 是以组为单位设定 PPG 脉冲输出模式的寄存器。

当设定为反相输出时，如果 PPGn.PODRH 寄存器和 PPGn.PODRL 寄存器的值为“1”，就将 Low 电平输出到引脚；如果 PPGn.PODRH 寄存器和 PPGn.PODRL 寄存器的值为“0”，就将 High 电平输出到引脚。当设定为非重叠运行时，PPG 就在产生作为输出触发的 MTU 的比较匹配 A 和比较匹配 B 时更新输出值。

详细内容请参照“20.3.4 脉冲输出非重叠运行”。

GiNOV 位 (组 j 的非重叠位) (i=0 ~ 3, j=0 ~ 7)

这些位选择是使脉冲输出组 j 进行正常运行还是进行非重叠运行。

GiINV 位 (组 j 的输出极性变更位) (i=0 ~ 3, j=0 ~ 7)

这些位选择是使脉冲输出组 j 进行直接输出还是进行反相输出。

20.3 运行说明

PPG 概要图如图 20.4 所示。

通过将 PPGn.NDERH 寄存器和 PPGn.NDERL 寄存器 (n=0、1) 的对应位分别置“1” (允许数据传送), 使 PPG 进入脉冲输出状态。

初始输出值取决于对应的 PPGn.PODRH 寄存器和 PPGn.PODRL 寄存器的初始设定值。此后, 如果产生由 PPGn.PCR 寄存器指定的比较匹配, 就将对应的 PPGn.NDRH 寄存器和 PPGn.NDRL 寄存器的值分别传送到 PPGn.PODRH 寄存器和 PPGn.PODRL 寄存器, 并且更新输出值。

通过在发生下一个比较匹配前将输出数据写到 PPGn.NDRH 寄存器和 PPGn.NDRL 寄存器, 就能在每次发生比较匹配时依次输出最多 16 位的数据。

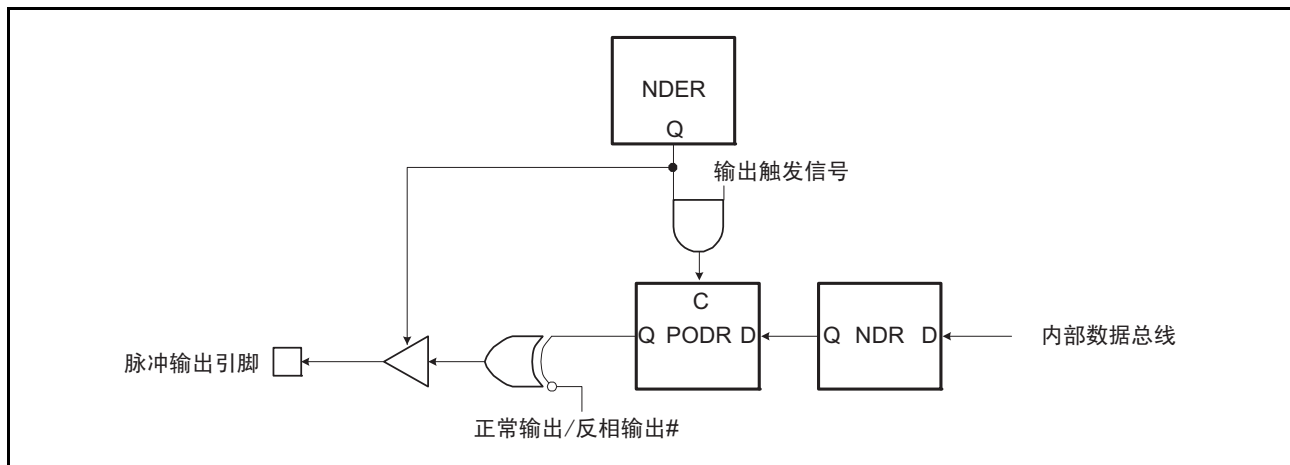


图 20.4 PPG 概要图

20.3.1 输出时序

如果在允许脉冲输出的状态下发生指定的比较匹配，就将 PPGn.NDRH 寄存器和 PPGn.NDRL 寄存器 ($n = 0、1$) 的值分别传送到 PPGn.PODRH 寄存器和 PPGn.PODRL 寄存器并且进行输出。

此时序如图 20.5 所示，这是组 2 和组 3 通过比较匹配 A 进行正常输出的例子。

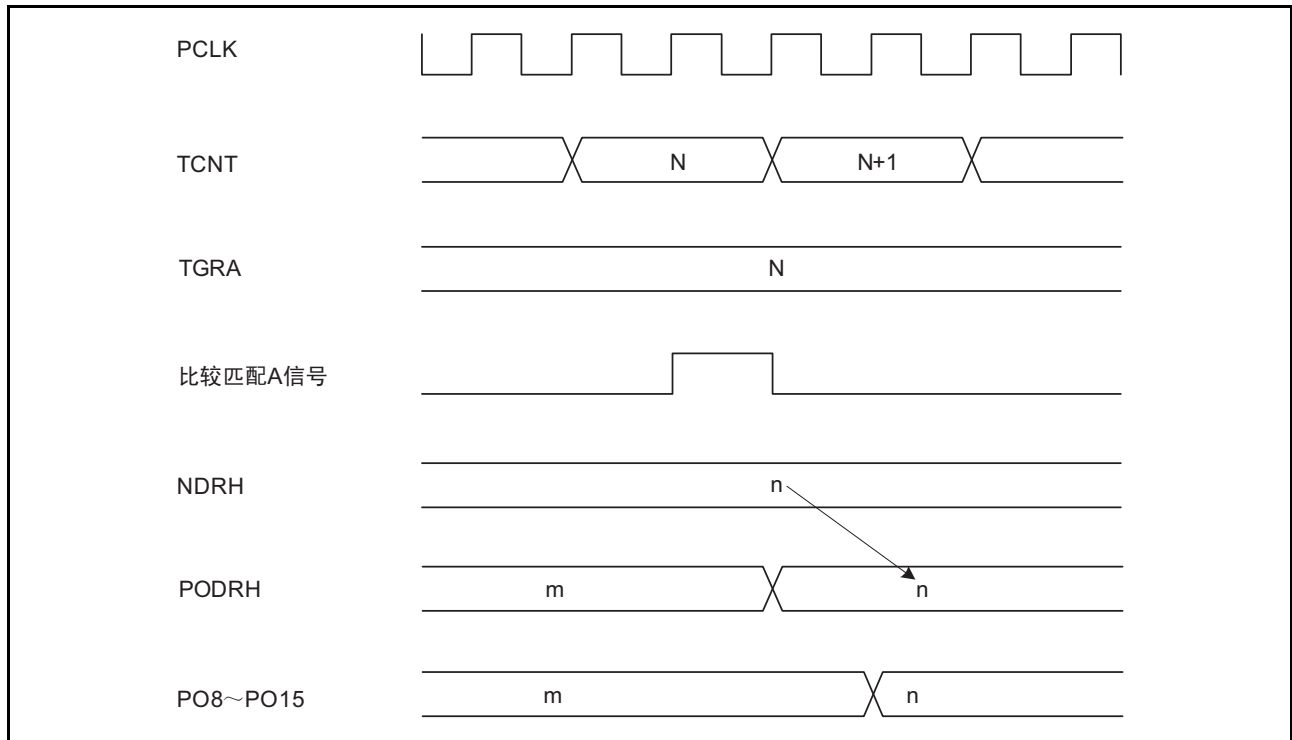


图 20.5 传送并且输出 NDR 寄存器的值的时序例子

20.3.2 脉冲输出正常运行的设定步骤例子

脉冲输出正常运行的设定步骤例子如图 20.6 和图 20.7 所示。

(1) PPG0 的设定

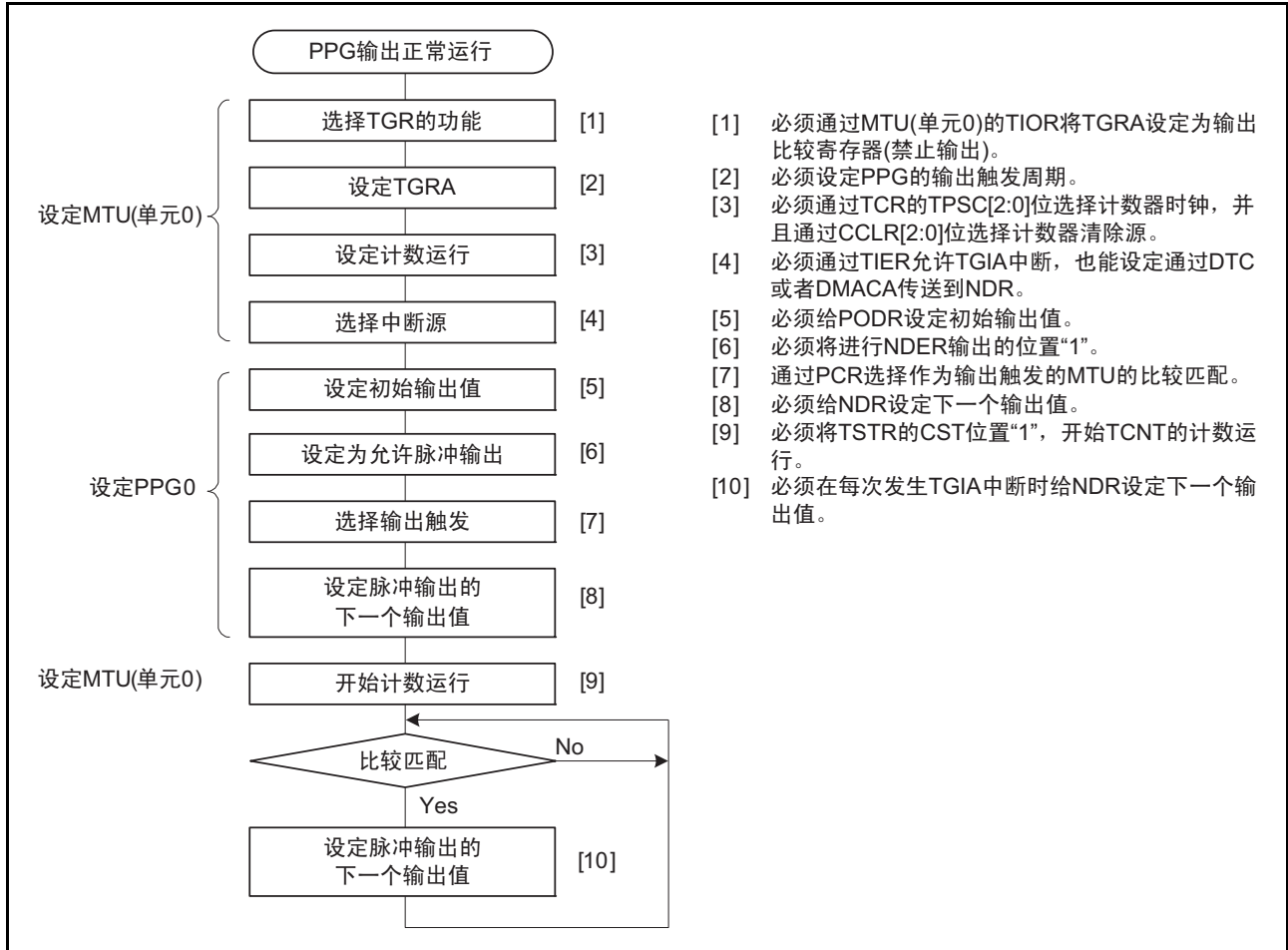


图 20.6 脉冲输出正常运行的设定步骤例子 (PPG0 的设定)

(2) PPG1 的设置

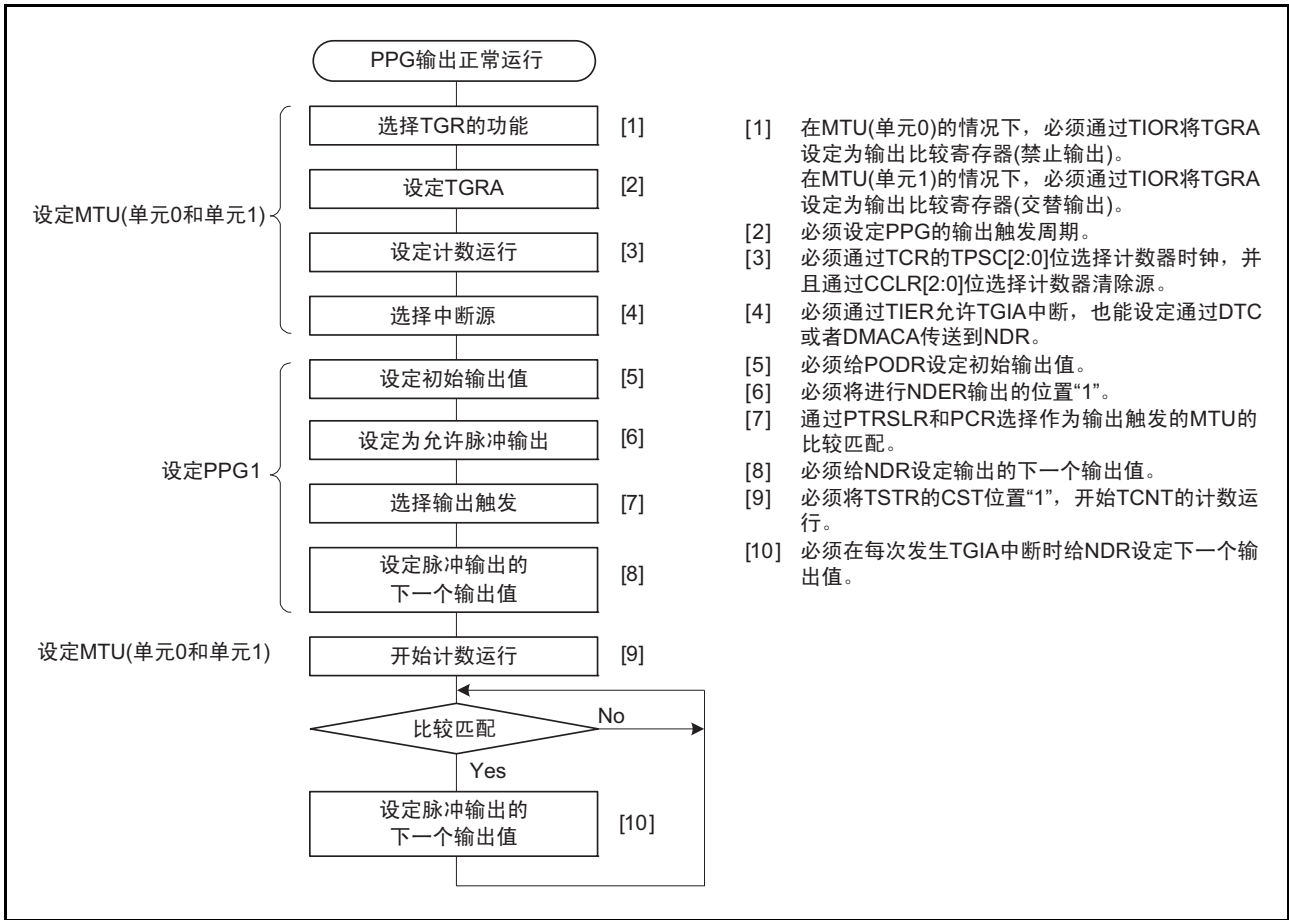


图 20.7 脉冲输出正常运行的设定步骤例子 (PPG1 的设置)

20.3.3 脉冲输出正常运行的例子 (5 相脉冲输出例子)

使用脉冲输出，以一定的周期输出 5 相脉冲的 PPG0 的例子如图 20.8 所示。

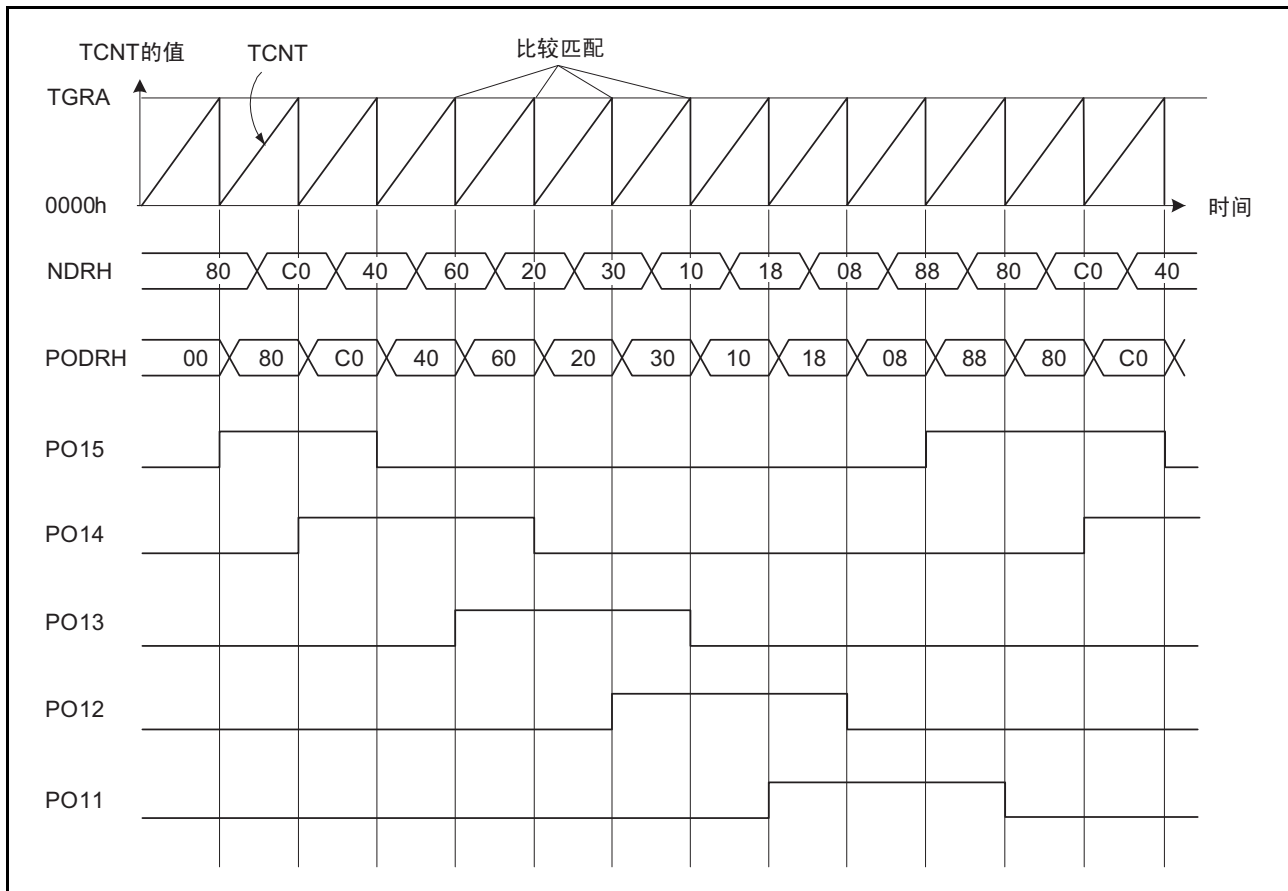


图 20.8 脉冲输出正常运行的例子 (5 相脉冲输出例子)

1. 将作为输出触发的MTU的MTUn.TGRA寄存器 (n=0~3) 设定为输出比较寄存器。给TGRA寄存器设定周期并且选择通过比较匹配A进行计数器的清除。将MTUn.TIER.TGIEA位置“1”，允许比较匹配/输入捕捉A (TGInA) 中断请求。
2. 将“F8h”写到PPG0.NDRH寄存器，并且通过PPG0.PCR.G3CMS[1:0]位和G2CMS[1:0]位，将输出触发设定到上述1.中选择的MTUn的比较匹配。将输出数据“80h”写到PPG0.NDRH寄存器。
3. 一旦MTU的该通道开始运行并且发生比较匹配A，就将PPG0.NDRH寄存器的值传送到PPG0.PODRH寄存器并且进行输出。通过TGInA中断处理将下一个输出数据“C0h”写到PPG0.NDRH寄存器。
4. 此后，能通过TGInA中断依次写“40h”、“60h”、“20h”、“30h”、“10h”、“18h”、“08h”、“88h”……，进行5相的1-2相脉冲输出。如果设定为通过TGInA中断启动DTC或者DMACA，就能在CPU没有负担的情况下进行脉冲输出。

20.3.4 脉冲输出非重叠运行

非重叠运行时的从 PPGn.NDRH 寄存器和 PPGn.NDRL 寄存器 (n=0、1) 到 PPGn.PODRH 寄存器和 PPGn.PODRL 寄存器的传送如下:

- 在发生比较匹配A时, 总是将 PPGn.NDRH 寄存器和 PPGn.NDRL 寄存器的值传送到 PPGn.PODRH 寄存器和 PPGn.PODRL 寄存器。
- 在发生比较匹配B时, 只在 PPGn.NDRH 寄存器和 PPGn.NDRL 寄存器的传送位的内容为“0”时进行传送, 为“1”时不进行传送。

脉冲输出非重叠运行如图 20.9 所示。

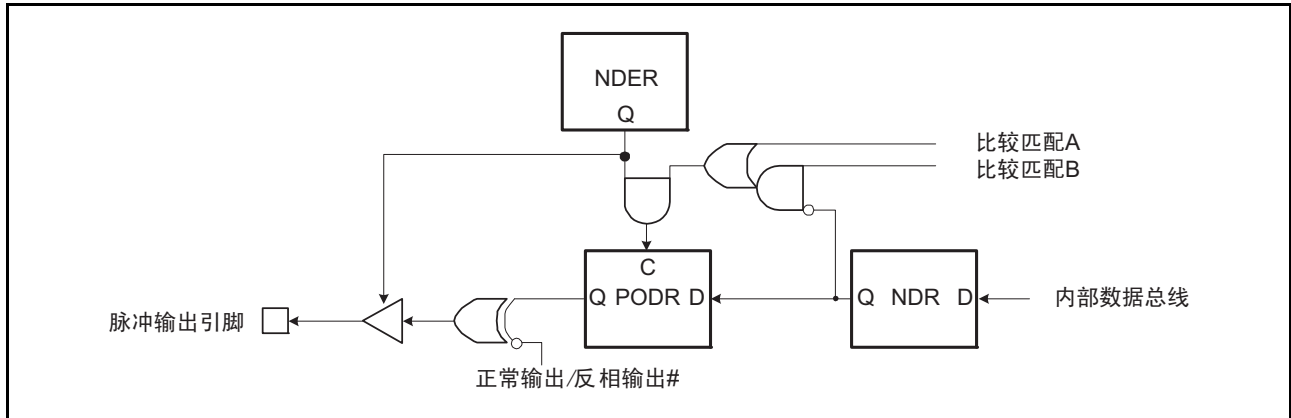


图 20.9 脉冲输出非重叠运行

因此, 能通过在发生比较匹配 A 前发生比较匹配 B, 在传送“1”的数据前传送“0”的数据。

此时, 在发生比较匹配 B 后到发生比较匹配 A 前的期间 (非重叠期间), 不能更改 PPGn.NDRH 寄存器和 PPGn.NDRL 寄存器的值。必须通过 TGIA 中断的中断处理程序将下一个数据写到 PPGn.NDRH 寄存器和 PPGn.NDRL 寄存器, 也能通过 TGIA 中断启动 DTC 或者 DMACA。但是, 必须在发生下一个比较匹配 B 前进行此写操作。

此时序如图 20.10 所示。

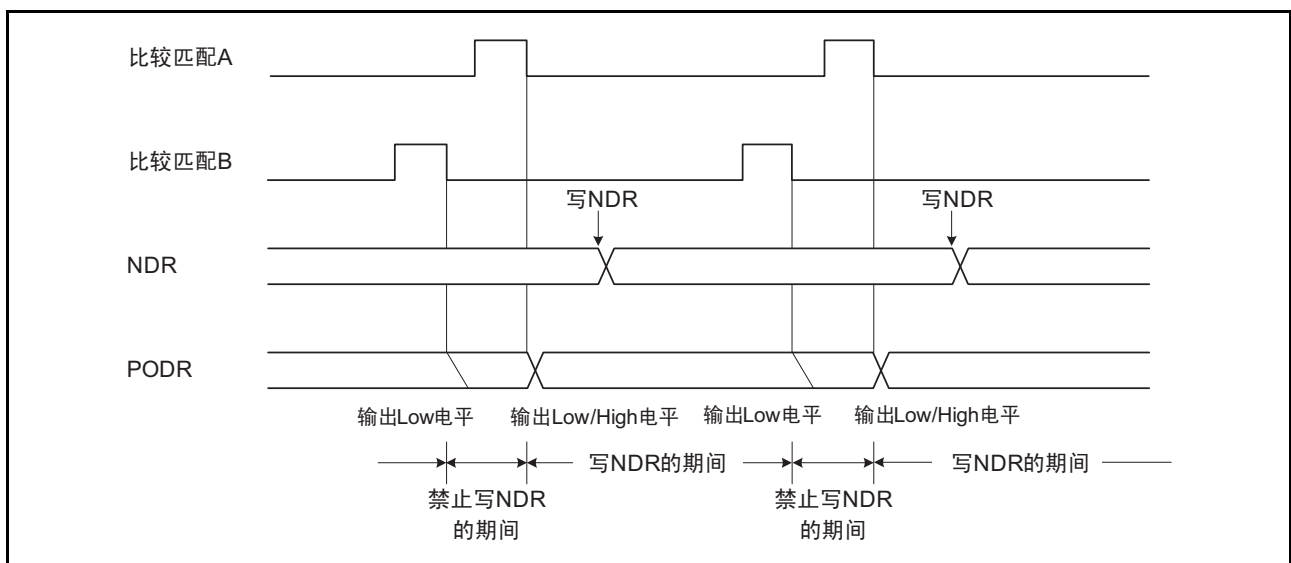


图 20.10 非重叠运行和 PPGn.NDRH、PPGn.NDRL 寄存器的写时序

20.3.5 脉冲输出非重叠运行的设定步骤例子

脉冲输出非重叠运行的设定步骤例子如图 20.11 和图 20.12 所示。

(1) PPG0 的设定

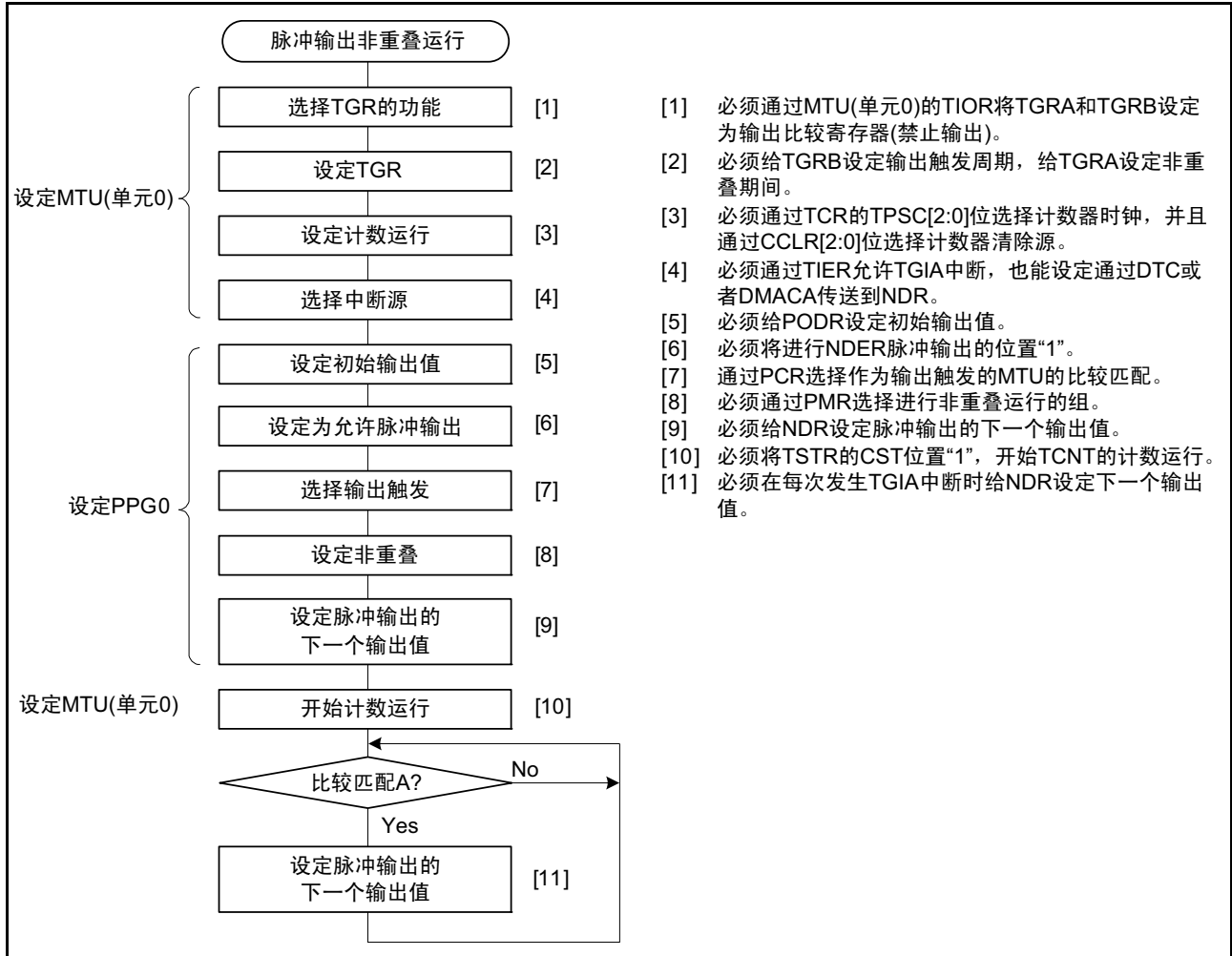


图 20.11 脉冲输出非重叠运行的设定步骤例子 (PPG0 的设定)

(2) PPG1 的设置

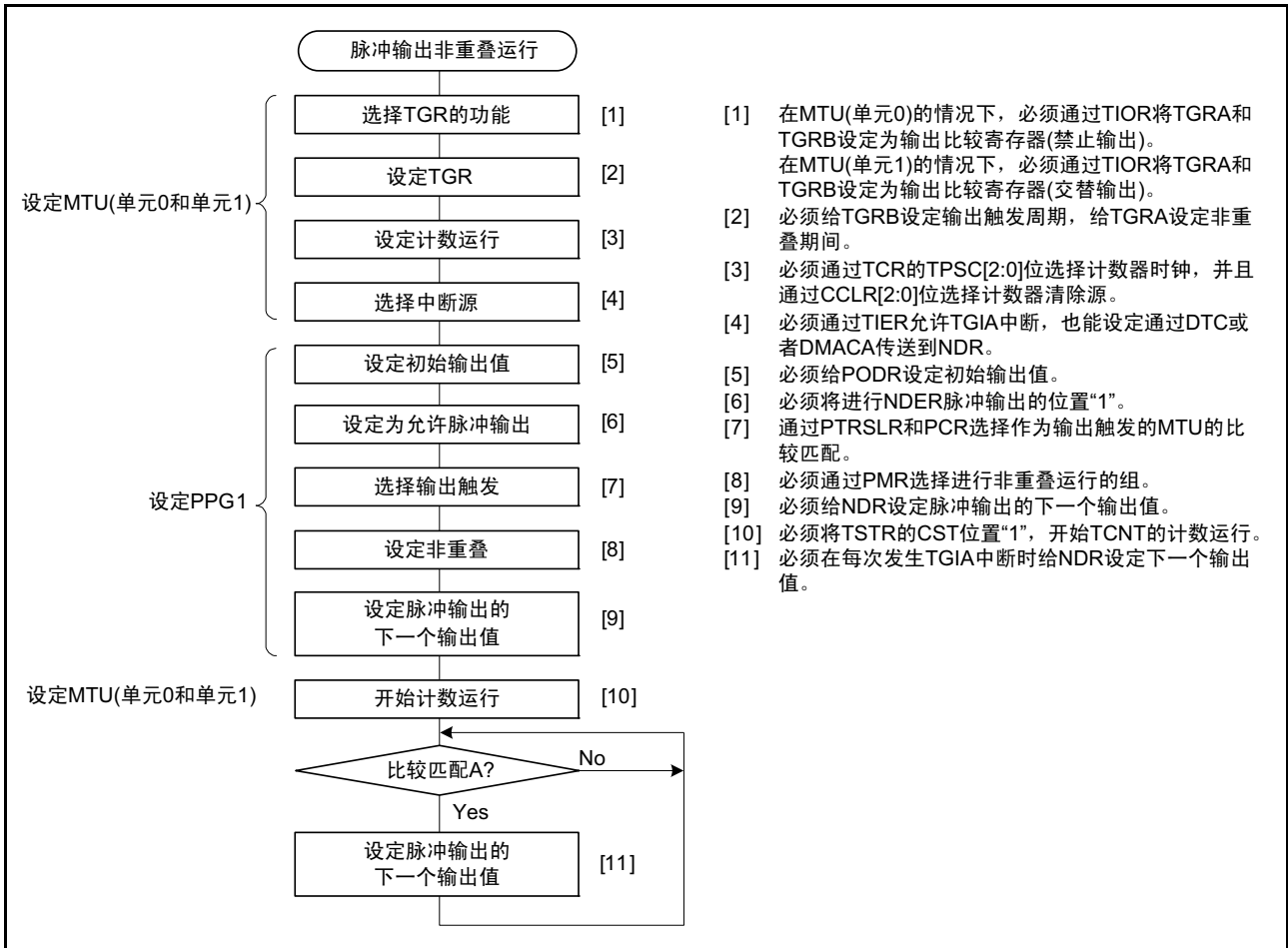


图 20.12 脉冲输出非重叠运行的设定步骤例子 (PPG1 的设置)

20.3.6 脉冲输出非重叠运行的例子（4 相互补的非重叠输出例子）

使用脉冲输出，输出 4 相互补非重叠脉冲的 PPG0 的例子如图 20.13 所示。

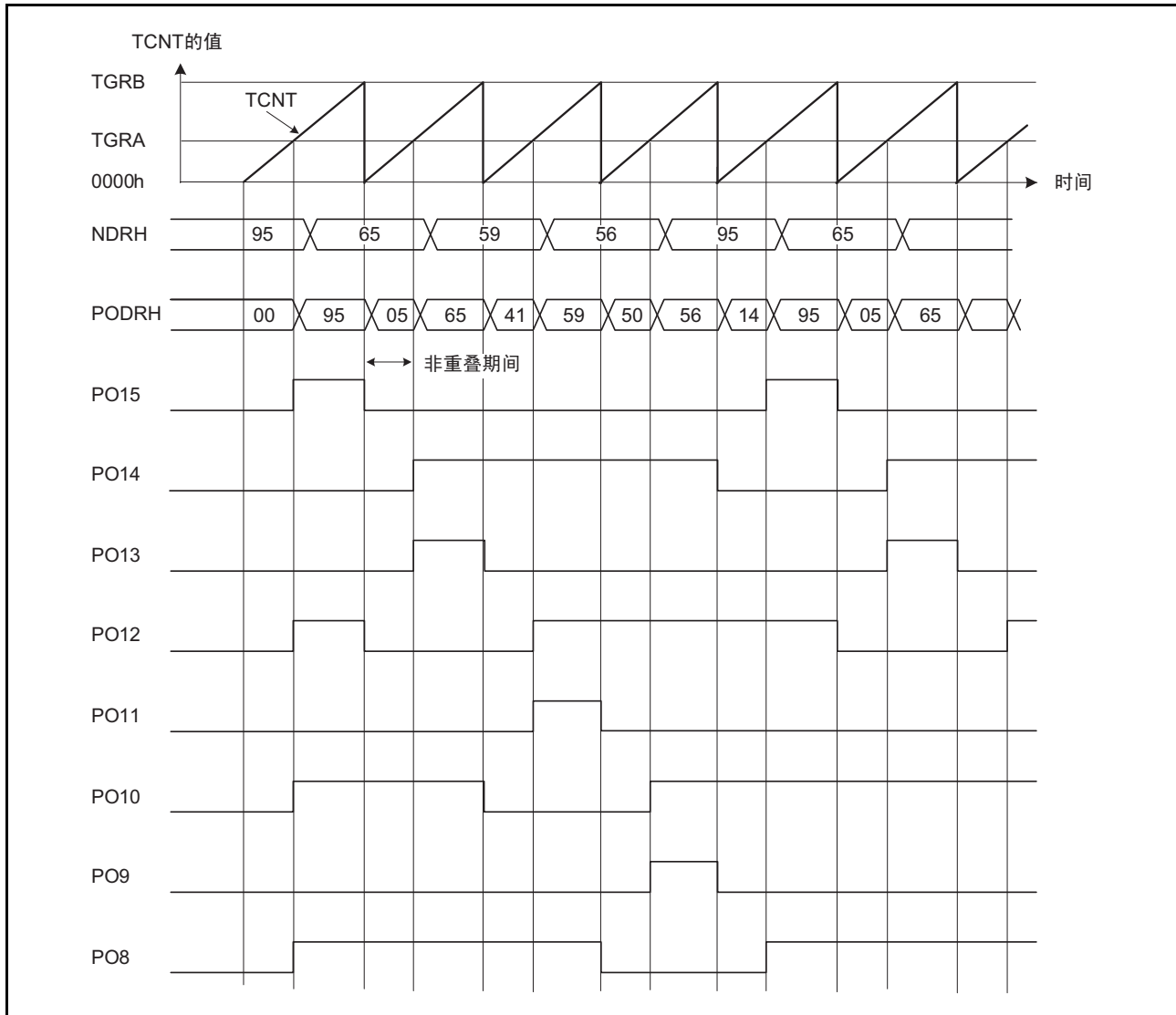


图 20.13 脉冲输出非重叠运行的例子（4 相互补的非重叠输出）

1. 将作为输出触发的MTU的MTUn.TGRA寄存器和MTUn.TGRB寄存器（n=0~3）设定为输出比较寄存器。给TGRB寄存器设定周期，给TGRA寄存器设定非重叠期间，并且选择通过比较匹配B进行计数器的清除。将MTUn.TIER.TGIEA位置“1”，允许比较匹配/输入捕捉A（TGInA）中断请求。
2. 将“FFh”写到PPG0.NDRH，并且通过PPG0.PCR.G3CMS[1:0]位和G2CMS[1:0]位，将输出触发设定为上述1.中选择的MTUn的比较匹配。将PPG0.PMR.G3NOV位和PPG0.PMR.G2NOV位分别置“1”，设定为非重叠运行。将输出数据“95h”写到PPG0.NDRH。
3. 一旦MTU的该通道开始运行，就通过TGRB寄存器的比较匹配进行High电平输出→Low电平输出的转换，通过TGRA寄存器的比较匹配进行Low电平输出→High电平输出的转换（Low电平输出→High电平输出的转换有可能会延迟，延迟时间为TGRA寄存器的设定值）。通过TGInA中断处理将下一个输出数据“65h”写到PPG0.NDRH寄存器。
4. 此后，通过TGInA中断依次写“59h”、“56h”、“95h”……，能产生4相互补的非重叠输出。如果设定为通过TGInA中断启动DTC或者DMACA，就能在CPU没有负担的情况下进行脉冲输出。

20.3.7 脉冲的反相输出

如果将 PPG0.PMR.G3INV、PPG0.PMR.G2INV、PPG0.PMR.G1INV、PPG0.PMR.G0INV 位置“0”，就能将 PPG0.PODRH 寄存器和 PPG0.PODRL 寄存器的反相值输出到引脚。

使用图 20.13 的设定并且将 G3INV 位和 G2INV 位置“0”时的引脚输出例子如图 20.14 所示。

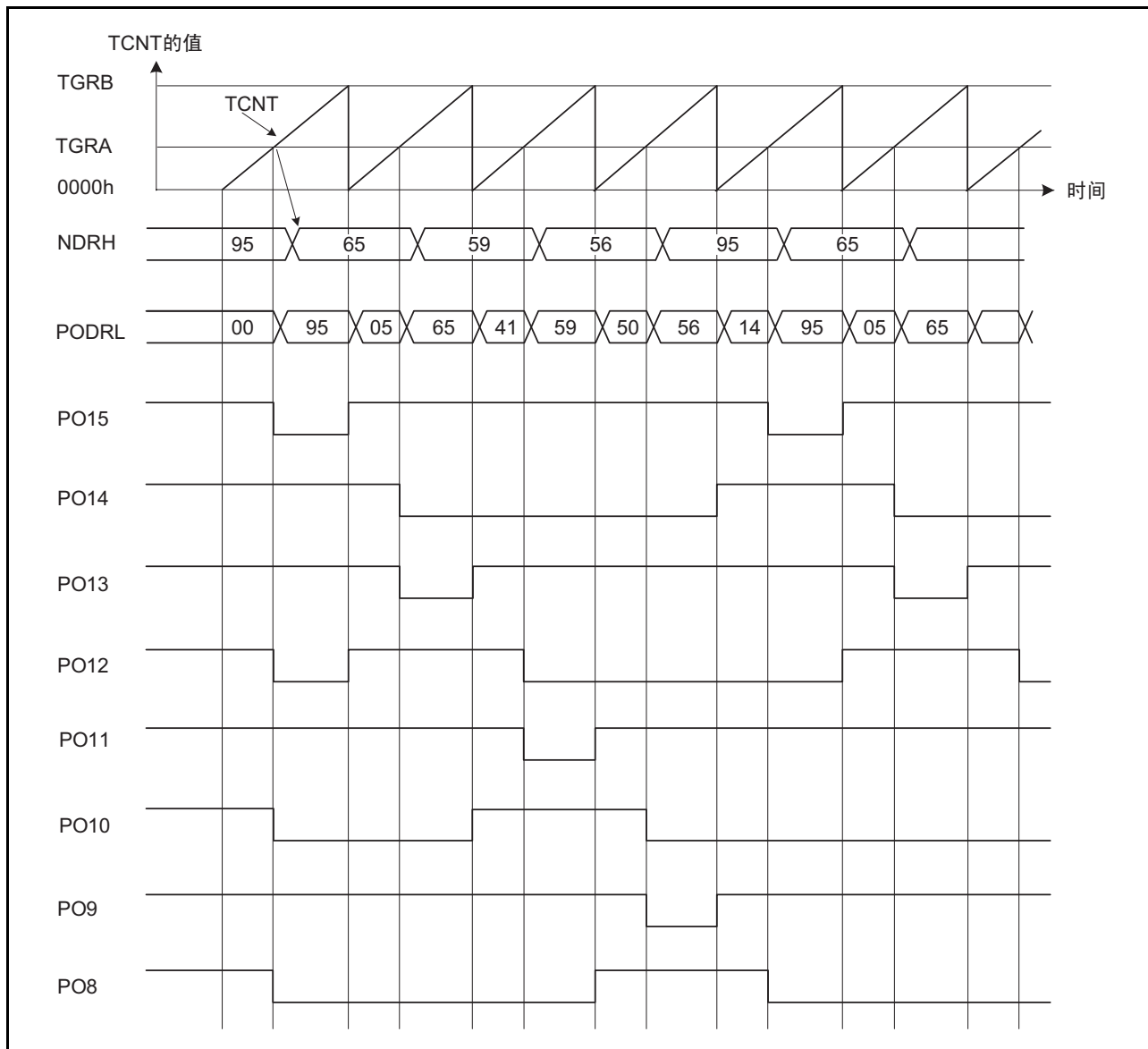


图 20.14 脉冲的反相输出例子

20.3.8 通过输入捕捉进行的脉冲输出

不仅能通过 MTU（单元 0）的比较匹配，而且也能通过输入捕捉进行 PPG0 的脉冲输出。在 PPG0.PCR 寄存器选择的 MTU（单元 0）的 MTUn.TGRA 寄存器（n=0~3）用作输入捕捉寄存器时，通过输入捕捉信号进行脉冲输出。

此时序如图 20.15 所示。

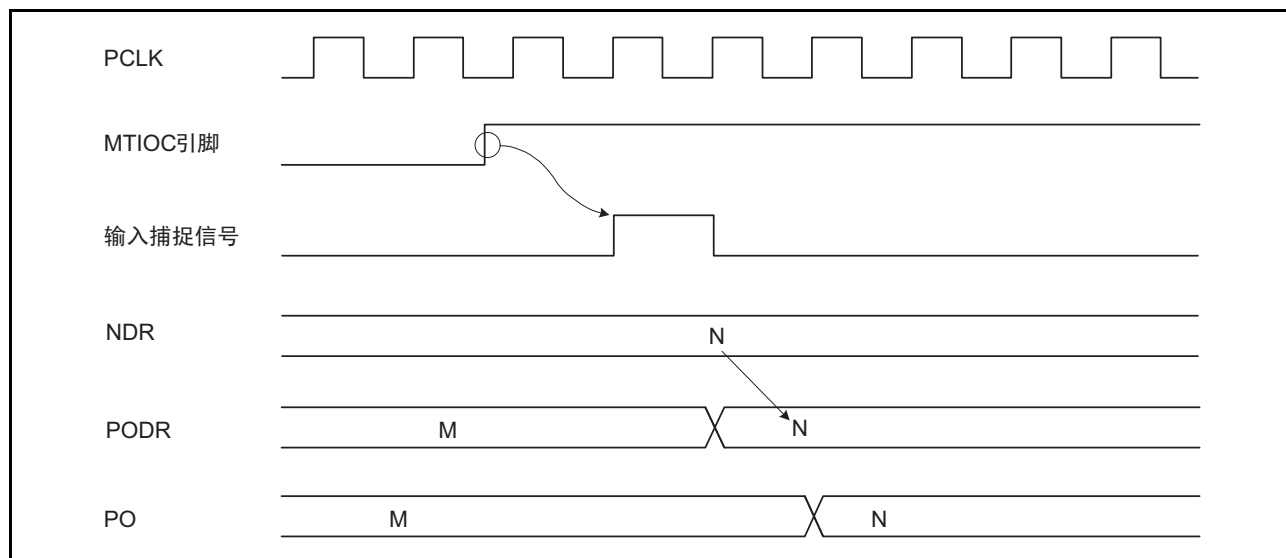


图 20.15 通过输入捕捉进行脉冲输出的例子

20.4 使用时的注意事项

20.4.1 模块停止功能的设定

能通过模块停止控制寄存器设定允许或者禁止 PPG 的运行，初始值为停止 PPG 的运行。能通过解除模块停止状态，使寄存器变为可存取的状态。详细内容请参照“9. 低功耗功能”。

21. 8 位定时器 (TMR)

RX62N 群和 RX621 群内置以 8 位计数器为基础的 2 个通道的 8 位定时器 (TMR)，有 2 个单元 (单元 0 和单元 1)，共计 4 个通道。除了能对外部事件进行计数以外，还能通过和 2 个寄存器的比较匹配信号，作为多功能定时器应用于计数器复位、中断请求、任意占空比的脉冲输出等方面。

单元 0 和单元 1 的功能相同，能生成 SCI 的波特率时钟。

21.1 概要

TMR 的规格如表 21.1 所示。

单元 0 和单元 1 的框图分别如图 21.1 和图 21.2 所示。

表 21.1 TMR 的规格

项目	规格
计数时钟	<ul style="list-style-type: none"> 内部时钟: PCLK、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192 外部时钟
通道数	(8 位 × 2 个通道) × 2 个单元
比较匹配	<ul style="list-style-type: none"> 8 位模式 (比较匹配 A 和比较匹配 B) 16 位模式 (比较匹配 A 和比较匹配 B)
计数器清除	可选择比较匹配 A、比较匹配 B 或者外部复位信号。
定时器输出	任意占空比的脉冲输出和 PWM 输出。
2 个通道的级联	<ul style="list-style-type: none"> 16 位计数模式 将 TMR0 作为高位、TMR1 作为低位 (或者将 TMR2 作为高位、TMR3 作为低位) 的 16 位定时器。 比较匹配计数模式 TMR1 对 TMR0 的比较匹配进行计数 (或者 TMR3 对 TMR2 的比较匹配进行计数)。
中断源	比较匹配 A、比较匹配 B 或者上溢。
DTC 的启动	能通过比较匹配 A 中断或者比较匹配 B 中断启动 DTC。
A/D 转换器的转换开始触发	TMR0 和 TMR2 的比较匹配 A (注 1)。
SCI 的波特率时钟的生成	生成 SCI5 和 SCI6 的波特率时钟 (注 2)。
低功耗功能	各单元能设定为模块停止状态。

注 1. 详细内容请参照“34. 12 位 A/D 转换器 (S12AD)”和“35. 10 位 A/D 转换器 (ADa)”。

注 2. 详细内容请参照“29. 串行通信接口 (SCIa)”。

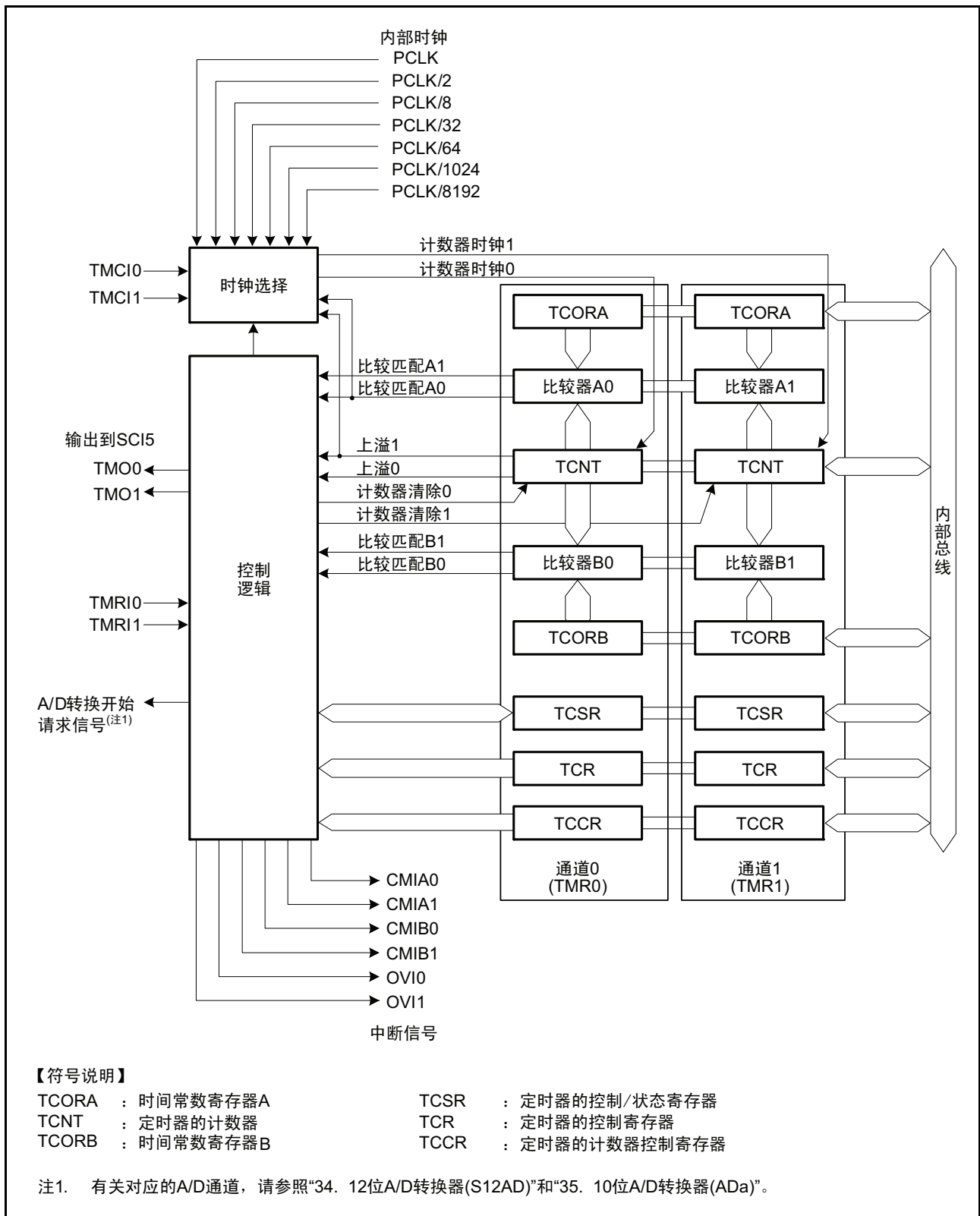


图 21.1 TMR (单元 0) 的框图

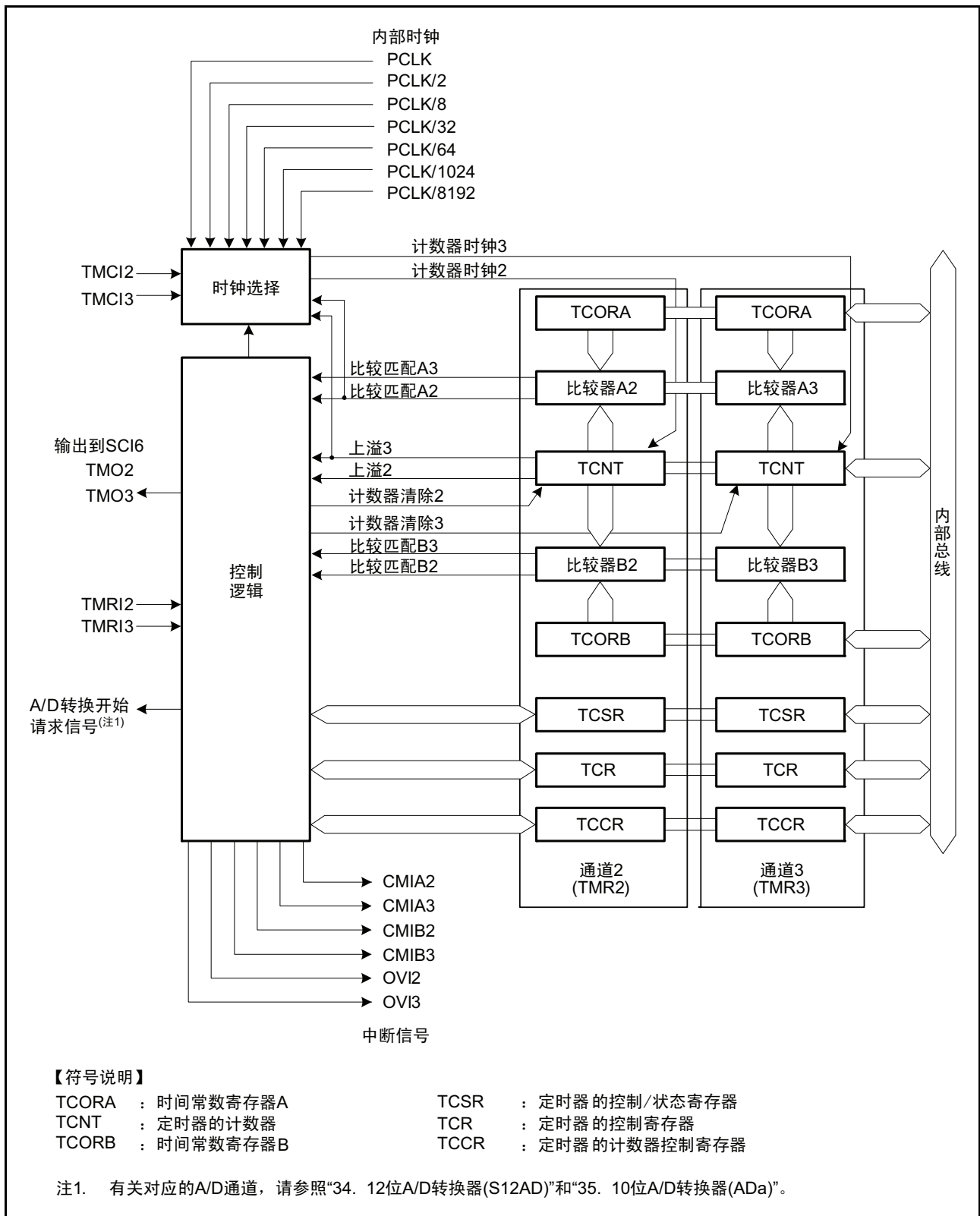


图 21.2 TMR (单元 1) 的框图

TMR 使用的输入 / 输出引脚如表 21.2 所示。

表 21.2 TMR 的输入 / 输出引脚

单元	通道	引脚名	输入 / 输出	功能
单元 0	TMR0	TMO0	输出	比较匹配的输出生
		TMCI0	输入	计数器外部时钟的输入
		TMRI0	输入	计数器外部复位的输入
	TMR1	TMO1	输出	比较匹配的输出生
		TMCI1	输入	计数器外部时钟的输入
		TMRI1	输入	计数器外部复位的输入
单元 1	TMR2	TMO2	输出	比较匹配的输出生
		TMCI2	输入	计数器外部时钟的输入
		TMRI2	输入	计数器外部复位的输入
	TMR3	TMO3	输出	比较匹配的输出生
		TMCI3	输入	计数器外部时钟的输入
		TMRI3	输入	计数器外部复位的输入

21.2 寄存器说明

TMR 的寄存器一览表如表 21.3 所示。

表 21.3 TMR 的寄存器一览表

单元	通道	寄存器名	符号	复位后的值	地址 (注 1)	存取长度
单元 0	TMR0	定时器的计数器	TCNT	00h	0008 8208h	8 或者 16
		时间常数寄存器 A	TCORA	FFh	0008 8204h	8 或者 16
		时间常数寄存器 B	TCORB	FFh	0008 8206h	8 或者 16
		定时器的控制寄存器	TCR	00h	0008 8200h	8
		定时器的计数器控制寄存器	TCCR	00h	0008 820Ah	8 或者 16
		定时器的控制 / 状态寄存器	TCSR	xxx0 0000b	0008 8202h	8
	TMR1	定时器的计数器	TCNT	00h	0008 8209h	8 或者 16 (注 1)
		时间常数寄存器 A	TCORA	FFh	0008 8205h	8 或者 16 (注 1)
		时间常数寄存器 B	TCORB	FFh	0008 8207h	8 或者 16 (注 1)
		定时器的控制寄存器	TCR	00h	0008 8201h	8
		定时器的计数器控制寄存器	TCCR	00h	0008 820Bh	8 或者 16 (注 1)
		定时器的控制 / 状态寄存器	TCSR	xxx1 0000b	0008 8203h	8
单元 1	TMR2	定时器的计数器	TCNT	00h	0008 8218h	8 或者 16
		时间常数寄存器 A	TCORA	FFh	0008 8214h	8 或者 16
		时间常数寄存器 B	TCORB	FFh	0008 8216h	8 或者 16
		定时器的控制寄存器	TCR	00h	0008 8210h	8
		定时器的计数器控制寄存器	TCCR	00h	0008 821Ah	8 或者 16
		定时器的控制 / 状态寄存器	TCSR	xxx0 0000b	0008 8212h	8
	TMR3	定时器的计数器	TCNT	00h	0008 8219h	8 或者 16 (注 1)
		时间常数寄存器 A	TCORA	FFh	0008 8215h	8 或者 16 (注 1)
		时间常数寄存器 B	TCORB	FFh	0008 8217h	8 或者 16 (注 1)
		定时器的控制寄存器	TCR	00h	0008 8211h	8
		定时器的计数器控制寄存器	TCCR	00h	0008 821Bh	8 或者 16 (注 1)
		定时器的控制 / 状态寄存器	TCSR	xxx1 0000b	0008 8213h	8

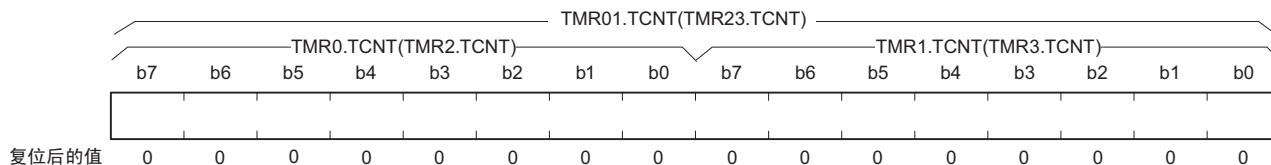
注 1. 不能对奇数地址进行 16 位存取。在对寄存器进行 16 位存取时, 必须对 TMR0 寄存器或者 TMR2 寄存器的地址进行存取。16 位存取的寄存器分配如表 21.4 所示。

表 21.4 16 位存取的寄存器分配和符号

地址	高 8 位	低 8 位	16 位存取时的符号
0008 8208h	TMR0.TCNT	TMR1.TCNT	TMR01.TCNT
0008 8204h	TMR0.TCORA	TMR1.TCORA	TMR01.TCORA
0008 8206h	TMR0.TCORB	TMR1.TCORB	TMR01.TCORB
0008 820Ah	TMR0.TCCR	TMR1.TCCR	TMR01.TCCR
0008 8218h	TMR2.TCNT	TMR3.TCNT	TMR23.TCNT
0008 8214h	TMR2.TCORA	TMR3.TCORA	TMR23.TCORA
0008 8216h	TMR2.TCORB	TMR3.TCORB	TMR23.TCORB
0008 821Ah	TMR2.TCCR	TMR3.TCCR	TMR23.TCCR

21.2.1 定时器的计数器 (TCNT)

地址 TMR0.TCNT 0008 8208h、TMR1.TCNT 0008 8209h
 TMR2.TCNT 0008 8218h、TMR3.TCNT 0008 8219h
 TMR01.TCNT 0008 8208h、TMR23.TCNT 0008 8218h



TCNT 计数器是 8 位可读写的递增计数器。

也能将 TMR0.TCNT 计数器和 TMR1.TCNT 计数器（或者 TMR2.TCNT 计数器和 TMR3.TCNT 计数器）作为 16 位计数器（TMR01.TCNT 或者 TMR23.TCNT）进行字存取。

能通过 TCCR.CSS[1:0] 位和 TCCR.CKS[2:0] 位选择时钟。

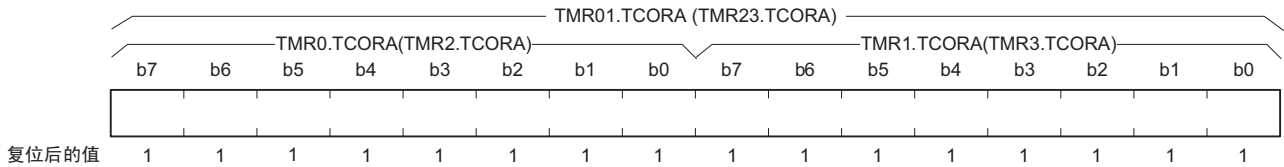
能通过外部复位输入信号、比较匹配 A 信号或者比较匹配 B 信号清除 TCNT 计数器，并且通过 TCR.CCLR[1:0] 位选择用哪个信号进行清除。

如果 TCNT 计数器发生上溢（“FFh”→“00h”），中断标志就变为“1”。

对应的中断向量号请参照“11. 中断控制器 (ICUa)”和“表 21.6 TMR 的中断源”。

21.2.2 时间常数寄存器 A (TCORA)

地址 TMR0.TCORA: 0008 8204h、TMR1.TCORA: 0008 8205h
 TMR2.TCORA: 0008 8214h、TMR3.TCORA: 0008 8215h
 TMR01.TCORA: 0008 8204h、TMR23.TCORA: 0008 8214h



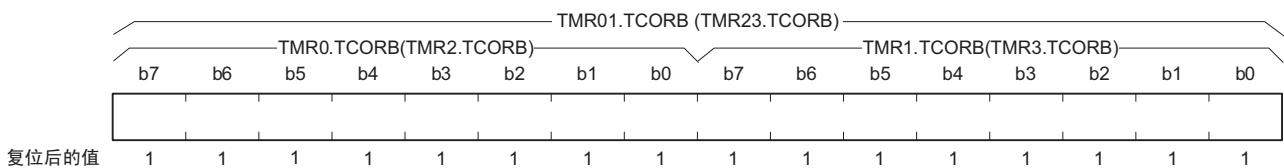
TCORA 寄存器是 8 位可读写寄存器。

也能将 TMR0.TCORA 寄存器和 TMR1.TCORA 寄存器（或者 TMR2.TCORA 寄存器和 TMR3.TCORA 寄存器）作为 16 位寄存器（TMR01.TCORA 或者 TMR23.TCORA）进行字存取。

TCORA 寄存器的值随时和 TCNT 计数器进行比较，如果两者的值相同，比较匹配 A 信号就变为 High 电平。但是，在写 TCORA 寄存器时不进行比较。还能通过 TCSR.OSA[1:0] 位的设定和此比较匹配 A 信号，控制 TMO_n 引脚的定时器输出。

21.2.3 时间常数寄存器 B (TCORB)

地址 TMR0.TCORB 0008 8206h、TMR1.TCORB 0008 8207h
 TMR2.TCORB 0008 8216h、TMR3.TCORB 0008 8217h
 TMR01.TCORB 0008 8206h、TMR23.TCORB 0008 8216h



TCORB 寄存器是 8 位可读写寄存器。

也能将 TMR0.TCORB 寄存器和 TMR1.TCORB 寄存器（或者 TMR2.TCORB 寄存器和 TMR3.TCORB 寄存器）作为 16 位寄存器（TMR01.TCORB 或者 TMR23.TCORB）进行字存取。

TCORB 寄存器的值随时和 TCNT 计数器进行比较。如果两者的值相同，比较匹配 B 信号就变为 High 电平。但是，在写 TCORB 寄存器时不进行比较。还能通过 TCSR.OSB[1:0] 位的设定和此比较匹配 B 信号，控制 TMO_n 引脚的定时器输出。

21.2.4 定时器的控制寄存器 (TCR)

地址 TMR0.TCR 0008 8200h、TMR1.TCR 0008 8201h
TMR2.TCR 0008 8210h、TMR3.TCR 0008 8211h

	b7	b6	b5	b4	b3	b2	b1	b0
	CMIEB	CMIEA	OVIE	CCLR[1:0]		—	—	—
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b2-b0	—	保留位	读写值都为“0”。	R/W
b4-b3	CCLR[1:0]	计数器清除位 (注 1)	b4 b3 0 0: 禁止清除 0 1: 通过比较匹配 A 进行清除 1 0: 通过比较匹配 B 进行清除 1 1: 通过外部复位输入进行清除 (通过 TCCR.TMRIS 位选择边沿或者电平)	R/W
b5	OVIE	定时器的上溢中断允许位	0: 禁止由上溢引起的中断请求 (OVIn) 1: 允许由上溢引起的中断请求 (OVIn)	R/W
b6	CMIEA	比较匹配中断允许 A 位	0: 禁止由比较匹配 A 引起的中断请求 (CMIAAn) 1: 允许由比较匹配 A 引起的中断请求 (CMIAAn)	R/W
b7	CMIEB	比较匹配中断允许 B 位	0: 禁止由比较匹配 B 引起的中断请求 (CMIBn) 1: 允许由比较匹配 B 引起的中断请求 (CMIBn)	R/W

注 1. 在使用外部复位时, 必须将对应引脚的 DDR 寄存器的位置“0”、ICR 寄存器的位置“1”, 详细内容请参照“17. I/O 端口”。

TCR 寄存器是指定 TCNT 计数器清除条件的寄存器。

CCLR[1:0] 位 (计数器清除位)

这些位指定 TCNT 计数器的清除条件。

OVIE 位 (定时器的上溢中断允许位)

此位选择允许或者禁止由 TCNT 计数器的上溢引起的中断请求 (OVIn)。

CMIEA 位 (比较匹配中断允许 A 位)

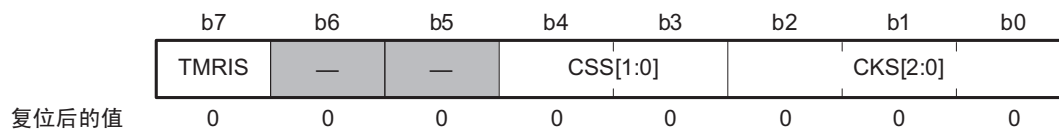
此位选择允许或者禁止在 TCORA 寄存器和 TCNT 计数器的值相同时输出的比较匹配 A 引起的中断请求 (CMIAAn)。

CMIEB 位 (比较匹配中断允许 B 位)

此位选择允许或者禁止在 TCORB 寄存器和 TCNT 计数器的值相同时输出的比较匹配 B 引起的中断请求 (CMIBn)。

21.2.5 定时器的计数器控制寄存器 (TCCR)

地址 TMR0.TCCR 0008 820Ah、TMR1.TCCR 0008 820Bh
 TMR2.TCCR 0008 821Ah、TMR3.TCCR 0008 821Bh
 TMR01.TCCR 0008 820Ah、TMR23.TCCR 0008 821A



位	符号	位名	功能	R/W
b2-b0	CKS[2:0]	时钟选择位 (注1)	请参照表 21.5。	R/W
b4-b3	CSS[1:0]	时钟源选择位	请参照表 21.5。	R/W
b6-b5	—	保留位	读写值都为“0”。	R/W
b7	TMRIS	定时器的复位检测条件选择位	0: 在外部复位的上升沿进行清除 1: 通过外部复位的 High 电平进行清除	R/W

注 1. 在使用外部时钟时，必须将对应引脚的 DDR 寄存器的位置“0”、ICR 寄存器的位置“1”，详细内容请参照“17. I/O 端口”。

TCCR 寄存器是选择 TCNT 计数器的内部时钟和外部复位检测条件的寄存器。

也能将 TMR0.TCCR 寄存器和 TMR1.TCCR 寄存器 (TMR2.TCCR 寄存器和 TMR3.TCCR 寄存器) 作为 16 位寄存器 (TMR01.TCCR 或者 TMR23.TCCR) 进行字存取。

CKS[2:0] 位 (时钟选择位)

CSS[1:0] 位 (时钟源选择位)

CKS[2:0] 位和 CSS[1:0] 位选择时钟，详细内容请参照表 21.5。

TMRIS 位 (定时器的复位检测条件选择位)

此位在 TCR.CCLR[1:0] 位为“11b” (通过外部复位输入进行清除) 时有效，用于选择外部复位检测条件 (电平或者边沿)。

表 21.5 TCNT 计数器的输入时钟和计数条件

通道	TCCR 寄存器					功能		
	CSS[1:0]		CKS[2:0]					
	b4	b3	b2	b1	b0			
TMR0 (TMR2)	0	0	—	0	0	禁止时钟输入。		
					1	在外部时钟的上升沿进行计数 (注1)。		
				1	0	在外部时钟的下降沿进行计数 (注1)。		
					1	在外部时钟的双边沿进行计数 (注1)。		
	0	1	0	0	0	内部时钟：通过 PCLK 进行计数。		
					1	内部时钟：通过 PCLK/2 进行计数。		
					1	0	内部时钟：通过 PCLK/8 进行计数。	
						1	内部时钟：通过 PCLK/32 进行计数。	
				1	0	0	内部时钟：通过 PCLK/64 进行计数。	
						1	内部时钟：通过 PCLK/1024 进行计数。	
						1	0	内部时钟：通过 PCLK/8192 进行计数。
							1	禁止时钟输入。
	1	0	—	—	—	不能设定		
	1	1	—	—	—	通过 TMR1.TCNT (TMR3.TCNT) 的上溢信号进行计数 (注2)。		
TMR1 (TMR3)	0	0	—	0	0	禁止时钟输入。		
					1	在外部时钟的上升沿进行计数 (注1)。		
				1	0	在外部时钟的下降沿进行计数 (注1)。		
					1	在外部时钟的双边沿进行计数 (注1)。		
	0	1	0	0	0	内部时钟：通过 PCLK 进行计数。		
					1	内部时钟：通过 PCLK/2 进行计数。		
					1	0	内部时钟：通过 PCLK/8 进行计数。	
						1	内部时钟：通过 PCLK/32 进行计数。	
				1	0	0	内部时钟：通过 PCLK/64 进行计数。	
						1	内部时钟：通过 PCLK/1024 进行计数。	
						1	0	内部时钟：通过 PCLK/8192 进行计数。
							1	禁止时钟输入。
	1	0	—	—	—	不能设定		
	1	1	—	—	—	通过 TMR0.TCNT (TMR2.TCNT) 的比较匹配 A 进行计数 (注2)。		

注 1. 在使用外部时钟时，必须将对应引脚的 DDR 寄存器的位置“0”、ICR 寄存器的位置“1”，详细内容请参照“17. I/O 端口”。

注 2. 如果将 TMR0 (或者 TMR2) 的时钟输入用作 TMR1.TCNT (或者 TMR3.TCNT) 计数器的上溢信号，将 TMR1 (或者 TMR3) 的时钟输入用作 TMR0.TCNT (或者 TMR2.TCNT) 计数器的比较匹配信号，就不产生递增计数时钟。不能进行此设定。

21.2.6 定时器的控制 / 状态寄存器 (TCSR)

- TMR0.TCSR 寄存器和 TMR2.TCSR 寄存器

地址 TMR0.TCSR 0008 8202h、TMR2.TCSR 0008 8212h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	ADTE	OSB[1:0]		OSA[1:0]	
复位后的值	x	x	x	0	0	0	0	0

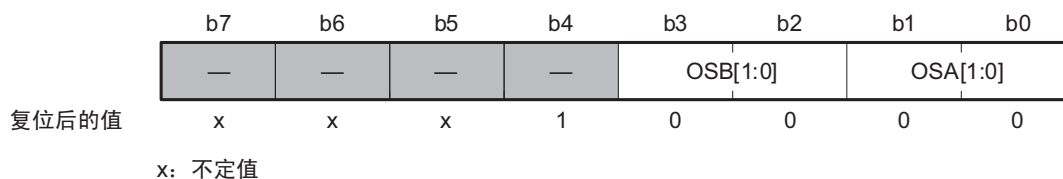
位	符号	位名	功能	R/W
b1-b0	OSA[1:0]	输出选择位 A (注 1)	b1 b0 00: 不变 01: Low 电平输出 10: High 电平输出 11: 反相输出 (交替输出)	R/W
b3-b2	OSB[1:0]	输出选择位 B (注 1)	b3 b2 00: 不变 01: Low 电平输出 10: High 电平输出 11: 反相输出 (交替输出)	R/W
b4	ADTE	A/D 触发允许位 (注 2)	0: 禁止由比较匹配 A 引起的 A/D 转换开始请求 1: 允许由比较匹配 A 引起的 A/D 转换开始请求	R/W
b7-b5	—	保留位	读取值为不定值, 只能写“1”。	R/W

注 1. 当 OSB[1:0] 位和 OSA[1:0] 位都为“0”时, 禁止定时器输出。在从复位后到发生最初的比较匹配的期间, 定时器输出为“0”。

注 2. 有关对应的 A/D 通道, 请参照“34. 12 位 A/D 转换器 (S12AD)”和“35. 10 位 A/D 转换器 (ADa)”。

- TMR1.TCSR 寄存器和 TMR3.TCSR 寄存器

地址 TMR1.TCSR 0008 8203h、TMR3.TCSR 0008 8213h



位	符号	位名	功能	R/W
b1-b0	OSA[1:0]	输出选择位 A (注 1)	b1 b0 0 0: 不变 0 1: Low 电平输出 1 0: High 电平输出 1 1: 反相输出 (交替输出)	R/W
b3-b2	OSB[1:0]	输出选择位 B (注 1)	b3 b2 0 0: 不变 0 1: Low 电平输出 1 0: High 电平输出 1 1: 反相输出 (交替输出)	R/W
b4	—	保留位	读写值都为“1”。	R/W
b7-b5	—	保留位	读取值为不定值, 只能写“1”。	R/W

注 1. 当 OSB[1:0] 位和 OSA[1:0] 位都为“0”时, 禁止定时器输出。在从复位后到发生最初的比较匹配的期间, 定时器输出为“0”。

TCSR 寄存器控制比较匹配的输出。

OSA[1:0] 位 (输出选择位 A)

这些位选择 TCORA 寄存器和 TCNT 计数器的比较匹配 A 的 TMO_n 引脚的输出方法。

OSB[1:0] 位 (输出选择位 B)

这些位选择 TCORB 寄存器和 TCNT 计数器的比较匹配 B 的 TMO_n 引脚的输出方法。

ADTE 位 (A/D 触发允许位)

此位选择允许或者禁止由比较匹配 A 引起的 A/D 转换开始请求。

在 TMR1.TCSR 寄存器和 TMR3.TCSR 寄存器中, 此位为保留位。

21.3 运行说明

21.3.1 脉冲输出

任意占空比的脉冲输出例子如图 21.3 所示。

1. 为了通过 TCORA 寄存器的比较匹配清除 TCNT 计数器，将 TCR.CCLR[1:0] 位置“01b”（通过比较匹配 A 进行清除）。
2. 为了通过 TCORA 寄存器的比较匹配进行 High 电平输出，通过 TCORB 寄存器的比较匹配进行 Low 电平输出，将 TCSR.OSA[1:0] 位置“10b”（High 电平输出）并且将 TCSR.OSB[1:0] 位置“01b”（Low 电平输出）。

通过上述设定，能不通过软件而输出周期由 TCORA 寄存器、脉宽由 TCORB 寄存器决定的波形。在从复位后到发生最初的比较匹配的期间，定时器为 Low 电平输出。

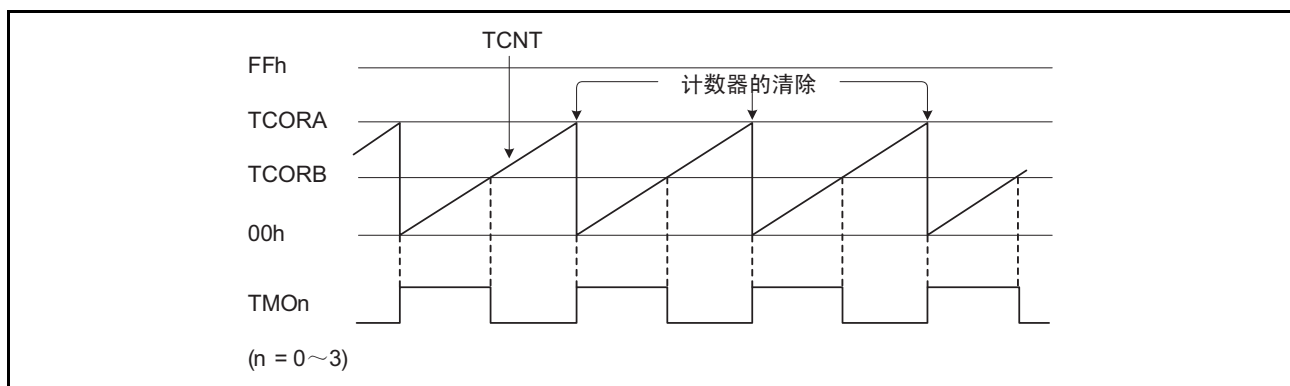


图 21.3 脉冲输出例子

21.3.2 复位输入

TMRIn 输入的任意延迟时间的脉冲输出例子如图 21.4 所示。

1. 为了通过 TMRIn 输入的 High 电平清除 TCNT 计数器，将 TCR.CCLR[1:0] 位置“11b”（通过外部复位输入进行清除）并且将 TCCR.TMRIS 位置“1”（通过外部复位的 High 电平进行清除）。
2. 为了通过 TCORA 寄存器的比较匹配进行 High 电平输出，通过 TCORB 寄存器的比较匹配进行 Low 电平输出，将 TCSR.OSA[1:0] 位置“10b”（High 电平输出）并且将 TCSR.OSB[1:0] 位置“01b”（Low 电平输出）。

通过上述设定，能输出延迟（从 TMRIn 输入开始的延迟）由 TCORA 寄存器、脉宽由（TCORB-TCORA）决定的波形。

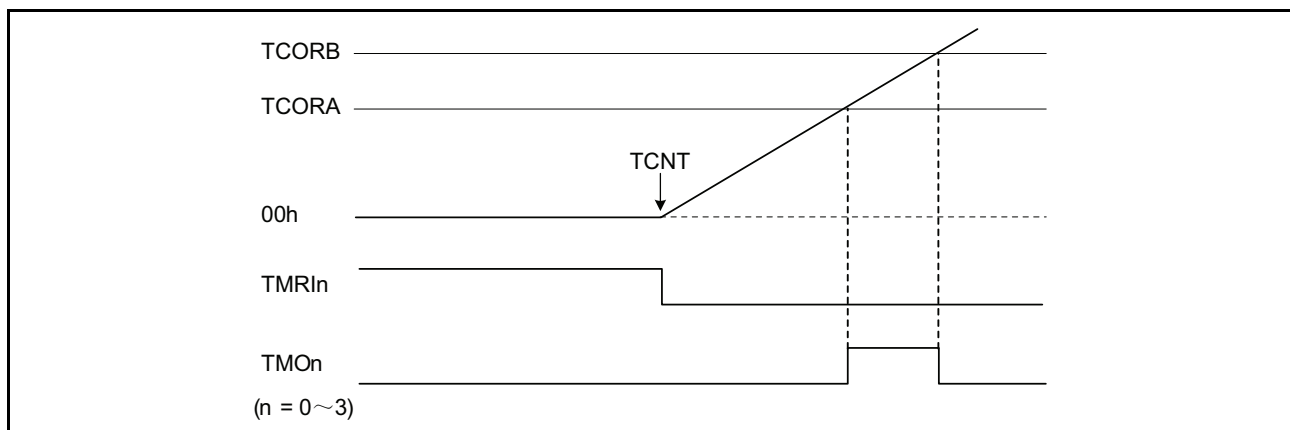


图 21.4 复位输入例子

21.4 运行时序

21.4.1 TCNT 计数器的计数时序

内部时钟和外部时钟运行时的 TCNT 计数器的计数时序分别如图 21.5 和图 21.6 所示。

必须注意：在单边沿的情况下，外部时钟的脉宽至少需要 1.5 个状态；在双边沿的情况下，外部时钟的脉宽至少需要 2.5 个状态。否则，就不能正常运行。

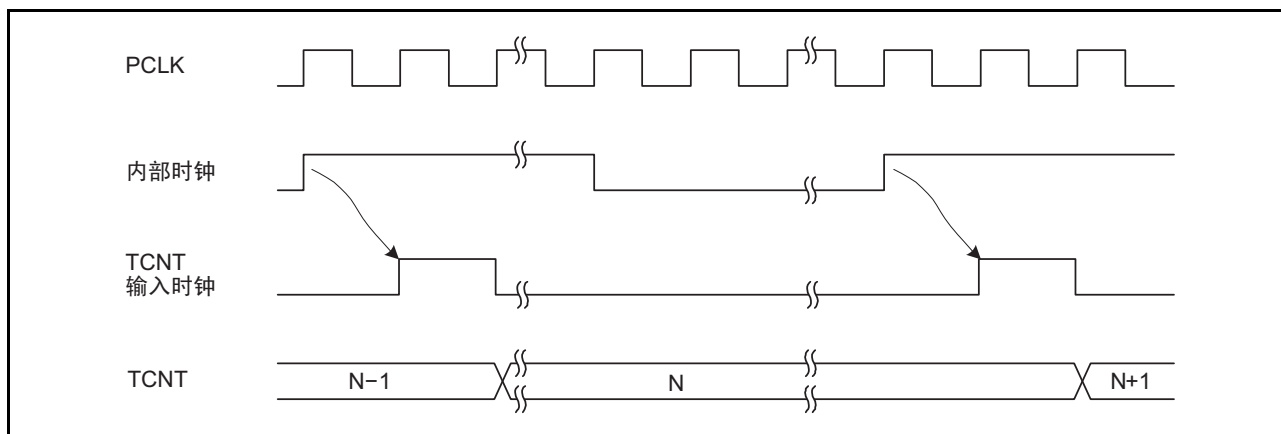


图 21.5 内部时钟运行时的计数时序

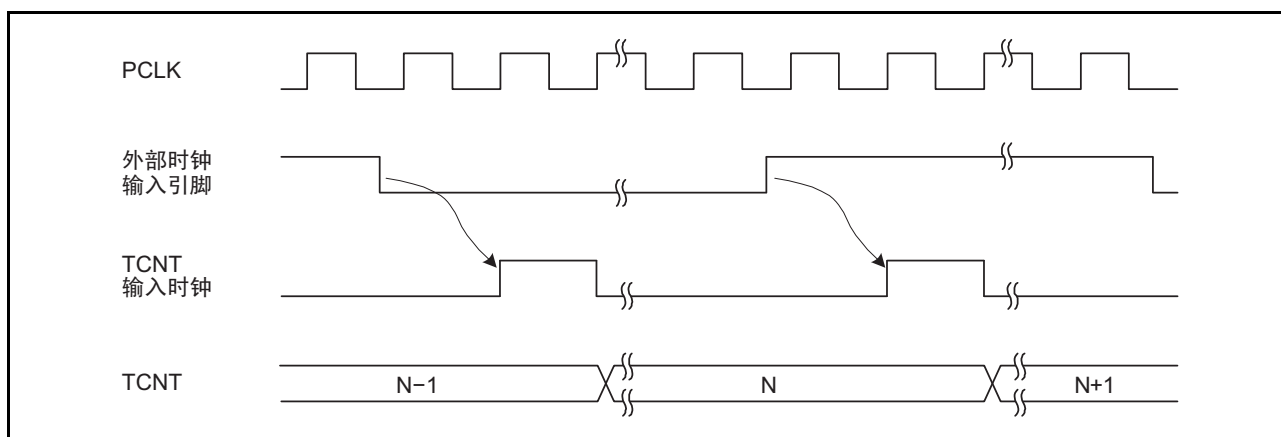


图 21.6 外部时钟运行时的计数时序

21.4.2 比较匹配时的中断标志变为“1”的时序

如果 TCORA 寄存器、TCORB 寄存器和 TCNT 计数器的值相同并且输出比较匹配信号，就不会出中断信号。

在 TCORA 寄存器、TCORB 寄存器和 TCNT 计数器的值相同的最后状态（在更新 TCNT 计数器相同后的计数值时）产生比较匹配信号。因此，在 TCNT 计数器和 TCORA 寄存器、TCORB 寄存器的值相同后到产生 TCNT 计数器的输入时钟前，不产生比较匹配信号。

比较匹配时的中断时序如图 21.7 所示。

对应的中断向量号请参照“11. 中断控制器 (ICUa)”和“表 21.6 TMR 的中断源”。

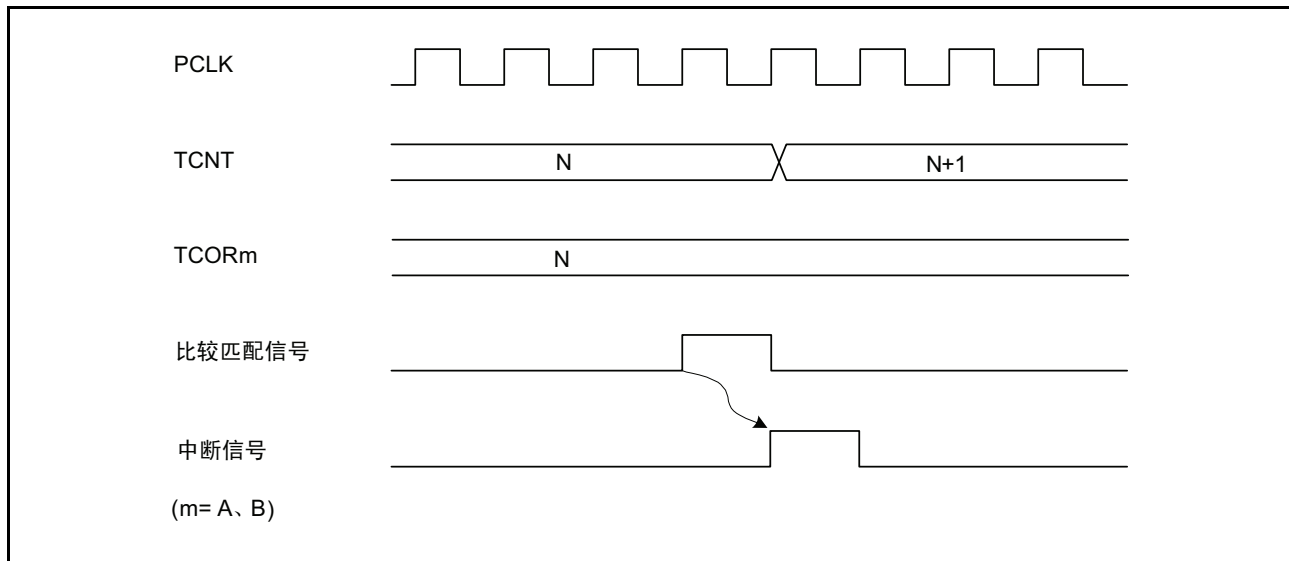


图 21.7 比较匹配时的中断标志变为“1”的时序

21.4.3 比较匹配时的定时器输出时序

在产生比较匹配信号时，将 TCSR.OSA[1:0] 位和 TCSR.OSB[1:0] 位设定的输出值输出到定时器的输出引脚。通过比较匹配 A 信号进行交替输出时的定时器输出时序如图 21.8 所示。

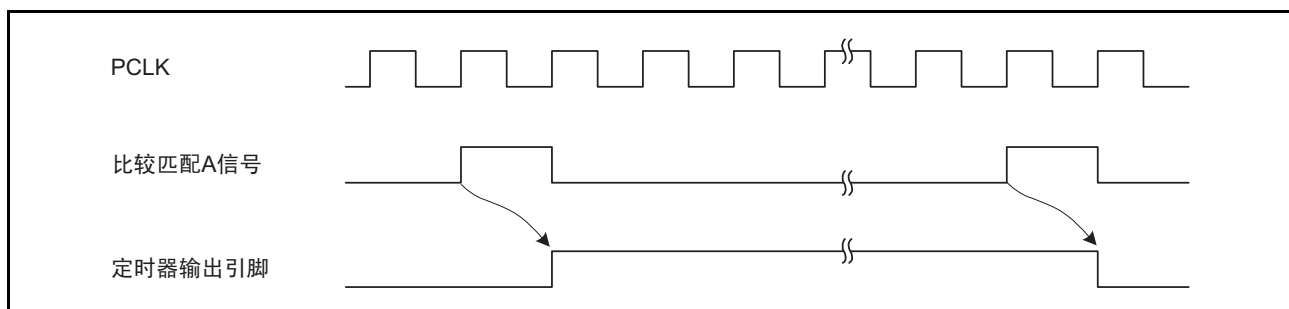


图 21.8 通过比较匹配 A 信号进行的定时器输出时序

21.4.4 通过比较匹配进行的计数器清除时序

根据 TCR.CCLR[1:0] 位的选择，通过比较匹配 A 或者比较匹配 B 进行 TCNT 计数器的清除。
通过比较匹配进行的计数器清除时序如图 21.9 所示。

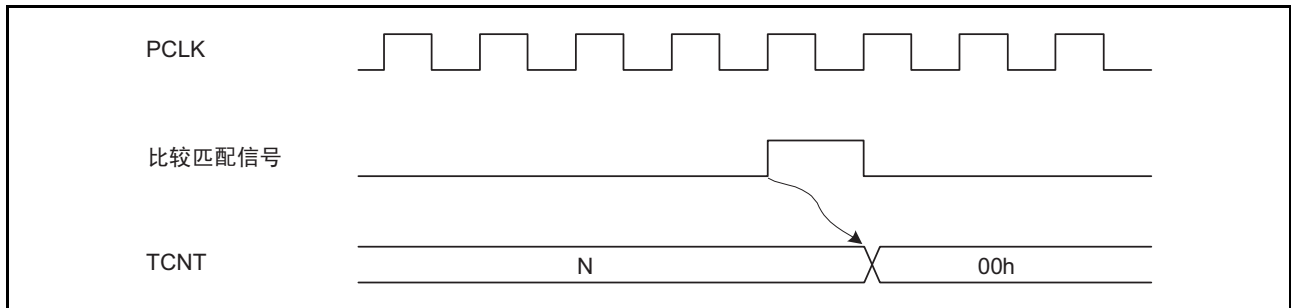


图 21.9 通过比较匹配进行的计数器清除时序

21.4.5 TCNT 计数器的外部复位时序

根据 TCRn.CCLR[1:0] 位的选择，在外部复位输入的上升沿或者通过 High 电平清除 TCNT 计数器。从输入外部复位到清除 TCNT 计数器前，至少需要 2 个周期。

通过外部复位输入进行的清除时序如图 21.10 和图 21.11 所示。

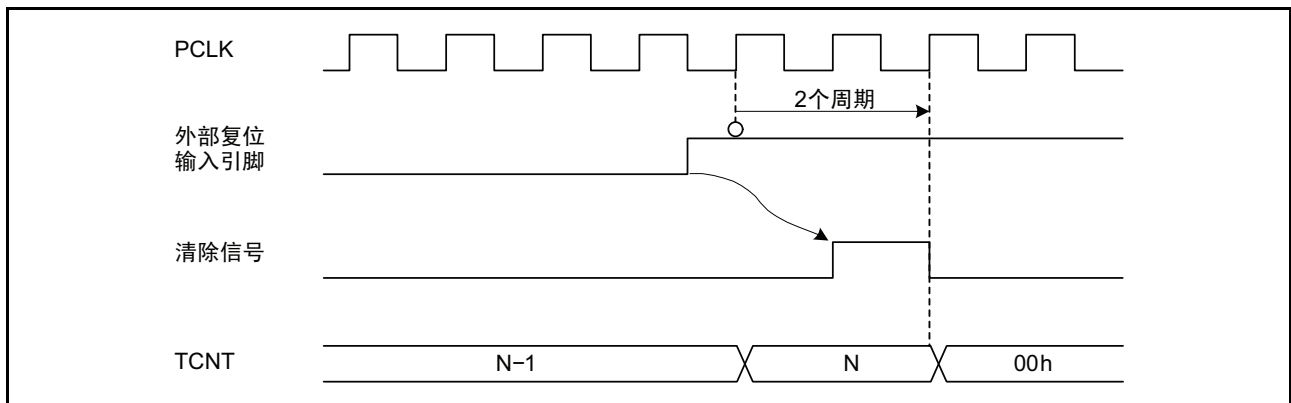


图 21.10 通过外部复位输入进行的清除时序 (上升沿)

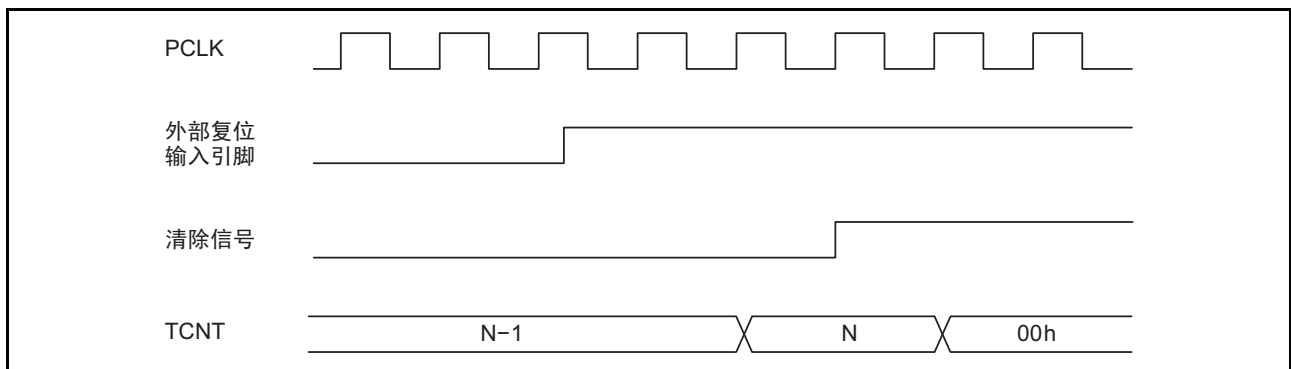


图 21.11 通过外部复位输入进行的清除时序 (High 电平)

21.4.6 通过上溢使中断标志变为“1”的时序

通过 TCNT 计数器发生上溢 (“FFh”→“00h”) 时输出的上溢信号来输出中断信号。

通过上溢引起中断的时序如图 21.12 所示。

对应的中断向量号请参照“11. 中断控制器 (ICUa)”和“表 21.6 TMR 的中断源”。

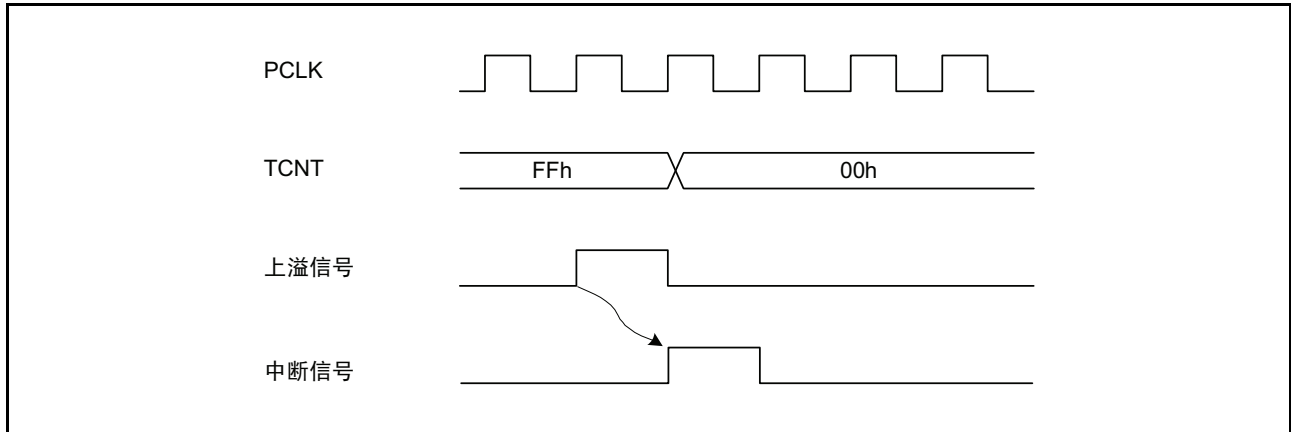


图 21.12 通过上溢使中断标志变为“1”的时序

21.5 级联时的运行

如果将 TMR0.TCCR 寄存器或者 TMR1.TCCR 寄存器的 CSS[1:0] 位置“11b”，就将 2 个通道的 TMR 级联。此时，可设定为 16 位计数模式（用作 1 个 16 位定时器）或者比较匹配计数模式（通过 TMR1 对 TMR0 的比较匹配进行计数）。

【补充】“21.5 级联时的运行”只说明单元 0，单元 1 级联时的运行和单元 0 相同。

21.5.1 16 位计数模式

当 TMR0.TCCR.CSS[1:0] 位为“11b”时，作为 1 个通道的 16 位定时器（TMR0 为高 8 位、TMR1 为低 8 位）运行。只有在此模式中才能对表 21.3 所示的存取长度栏中记载为 16 位的寄存器（TMR01）进行 16 位存取。

(1) 计数器清除的指定

- TMR0.TCR.CCLR[1:0] 位的设定对 16 位计数器有效。如果在通过 TMR0.TCR.CCLR[1:0] 位设定为通过比较匹配进行计数器清除时发生 16 位比较匹配，就清除 16 位计数器（TMR0.TCNT 计数器和 TMR1.TCNT 计数器）。如果设定为通过 TMR10 引脚进行计数器清除，也能清除 16 位计数器（TMR0.TCNT 计数器和 TMR1.TCNT 计数器）。
- TMR1.TCR.CCLR[1:0] 位的设定无效。

(2) 引脚输出

- 根据 16 位的比较匹配条件，通过 TMR0.TCSR.OSA[1:0] 位和 TMR0.TCSR.OSB[1:0] 位控制 TMO0 引脚的输出。
- 根据低 8 位的比较匹配条件，通过 TMR1.TCSR.OSA[1:0] 位和 TMR1.TCSR.OSB[1:0] 位控制 TMO1 引脚的输出。

21.5.2 比较匹配计数模式

当 TMR1.TCCR.CSS[1:0] 位为“11b”时，TMR1.TCNT 计数器对 TMR0 比较匹配 A 的发生次数进行计数。分别控制 TMR0 和 TMR1，并且根据各通道的设定，控制中断的发生、TMO_n (n=0、1) 引脚的输出和计数器的清除等。

21.6 中断源

21.6.1 中断源和 DTC 启动

TMRn 的中断源有 CMIA_n、CMIB_n 和 OVI_n 共 3 种，各中断源和优先级如表 21.6 所示。
能通过 CMIA_n 中断或者 CMIB_n 中断启动 DTC，而不能通过 TMRn 的中断源启动 DMACA。

表 21.6 TMR 的中断源

名称	中断源	中断状态标志 (注 1)	DTC 的启动	优先级
CMIA0	TMR0.TCORA 的比较匹配	IR174.IR	能	高  低
CMIB0	TMR0.TCORB 的比较匹配	IR175.IR	能	
OVI0	TMR0.TCNT 的上溢	IR176.IR	不能	
CMIA1	TMR1.TCORA 的比较匹配	IR177.IR	能	
CMIB1	TMR1.TCORB 的比较匹配	IR178.IR	能	
OVI1	TMR1.TCNT 的上溢	IR179.IR	不能	
CMIA2	TMR2.TCORA 的比较匹配	IR180.IR	能	
CMIB2	TMR2.TCORB 的比较匹配	IR181.IR	能	
OVI2	TMR2.TCNT 的上溢	IR182.IR	不能	
CMIA3	TMR3.TCORA 的比较匹配	IR183.IR	能	
CMIB3	TMR3.TCORB 的比较匹配	IR184.IR	能	
OVI3	TMR3.TCNT 的上溢	IR185.IR	不能	

注 1. 有关中断状态标志的详细内容，请参照“11. 中断控制器 (ICUa)”。

21.6.2 A/D 转换器的启动

能通过 TMR0 或者 TMR2 的比较匹配 A 启动 A/D 转换器 (注 1)。

通过在 TMRn.TCSR.ADTE 位为“1” (允许由比较匹配 A 引起的 A/D 转换开始请求) 的状态下产生比较匹配 A，向 A/D 转换器请求开始 A/D 转换。此时，如果在 A/D 转换器侧选择了 8 位定时器的转换触发，就开始 A/D 转换。

注 1. 有关对应的 A/D 转换器的单元，请参照“34. 12 位 A/D 转换器 (S12AD)”和“35. 10 位 A/D 转换器 (ADa)”。

21.7 使用时的注意事项

21.7.1 模块停止功能的设定

能通过模块停止控制寄存器设定为禁止或者允许 TMR 的运行，初始值为禁止 TMR 的运行。能通过解除模块停止状态，使寄存器变为可存取的状态。详细内容请参照“9. 低功耗功能”。

21.7.2 设定周期时的注意事项

如果设定为通过比较匹配进行计数器清除，就在更新与 TCORA 寄存器和 TCORB 寄存器的值相同的计数值时清除 TCNT 计数器。因此，计数器的频率用以下表达式表示（f: 计数器的频率，PCLK: 工作频率，N: TCORA 寄存器或者 TCORB 的寄存器设定值）。

$$f = \text{PCLK} / (N + 1)$$

21.7.3 TCNT 计数器的写和计数器清除的竞争

如果在通过 CPU 写 TCNT 计数器的同时产生计数器清除信号，就不写计数器而优先清除计数器。此时序如图 21.13 所示。

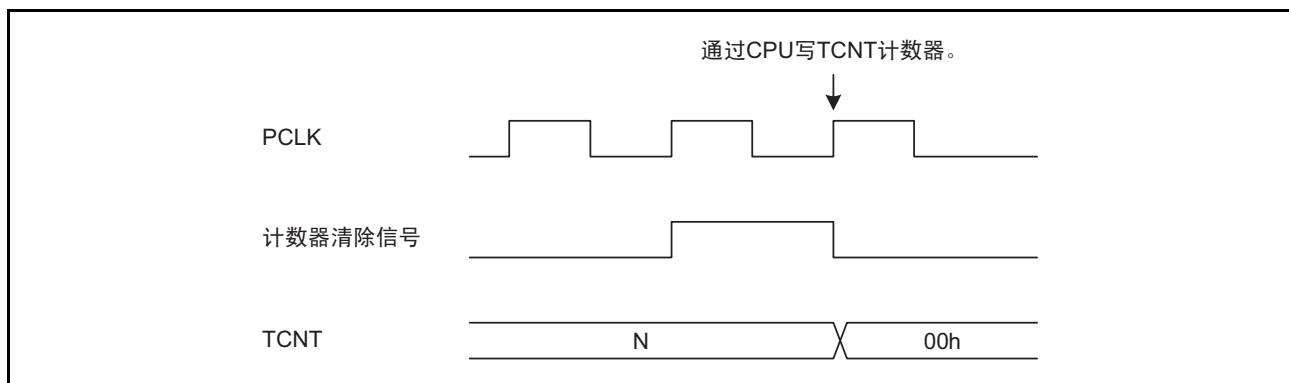


图 21.13 TCNT 计数器的写和计数器清除的竞争

21.7.4 TCNT 计数器的写和递增计数的竞争

即使在通过 CPU 写 TCNT 计数器的同时发生递增计数，也不进行递增计数而优先写 TCNT 计数器。此时序如图 21.14 所示。

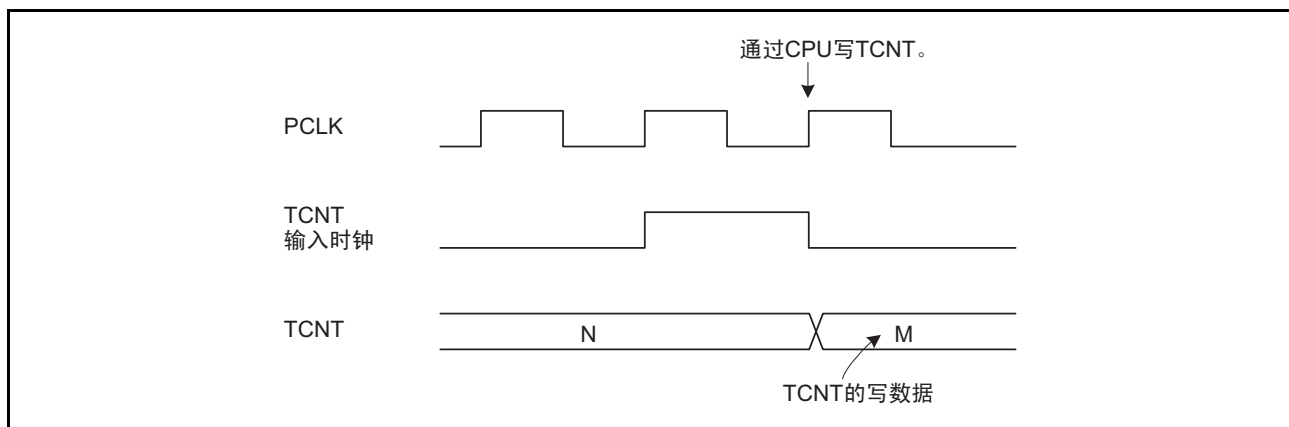


图 21.14 TCNT 计数器的写和递增计数的竞争

21.7.5 TCORA 寄存器、TCORB 寄存器的写和比较匹配的竞争

如图 21.15 所示，即使在通过 CPU 写 TCORA 寄存器或者 TCORB 寄存器的同时发生比较匹配，也优先写 TCORA 寄存器或者 TCORB 寄存器，而比较匹配信号不变为 High 电平。

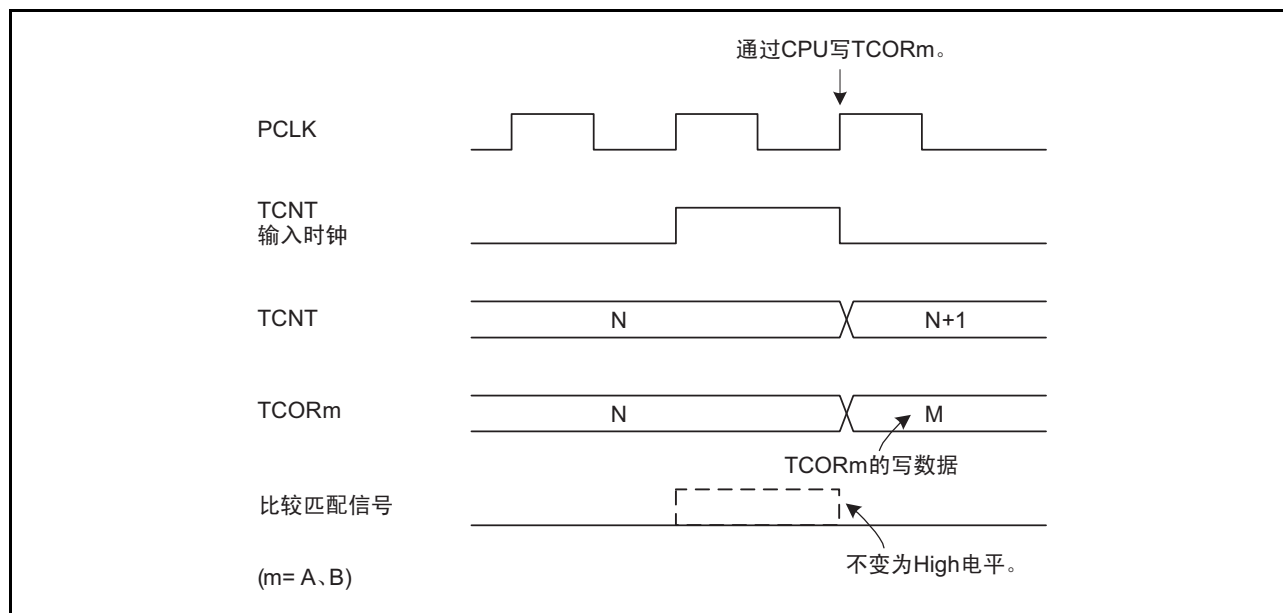


图 21.15 TCORA 寄存器、TCORB 寄存器的写和比较匹配的竞争

21.7.6 比较匹配 A 和比较匹配 B 的竞争

如果同时发生比较匹配 A 和比较匹配 B，就从比较匹配 A 和比较匹配 B 的输出设定中，进行如表 21.7 所示的优先级高的定时器输出。

表 21.7 定时器输出的优先级

输出的设定	优先级
交替输出	高 ↑ 低
High 电平输出	
Low 电平输出	
不变	

21.7.7 内部时钟的转换和 TCNT 计数器的运行

在进行内部时钟的转换时，TCNT 计数器有可能进行了递增计数。内部时钟的转换时序 (TCCR.CKS[2:0] 位的改写) 和 TCNT 计数器运行的关系如表 21.8 所示。

在内部时钟生成 TCNT 计数器的时钟的情况下，检测内部时钟的上升沿。因此，如表 21.8 的 No.2 所示，如果进行 Low 电平 → High 电平的时钟转换，就将转换时序视为边沿，产生 TCNT 计数器时钟并且 TCNT 计数器进行了递增计数。

在进行内部时钟和外部时钟的转换时，TCNT 计数器也有可能进行递增计数。

表 21.8 内部时钟的转换和 TCNT 计数器的运行 (1 / 2)

No	TCCR.CKS[2:0] 位的改写时序	TCNT 时钟的运行
1	Low 电平 → Low 电平 (注1) 的转换	
2	Low 电平 → High 电平 (注2) 的转换	
3	High 电平 → Low 电平 (注4) 的转换	

表 21.8 内部时钟的转换和 TCNT 计数器的运行 (2 / 2)

No	TCCR.CKS[2:0] 位的改写时序	TCNT 时钟的运行
4	High 电平 → High 电平的转换	<p>改写TCCR.CKS[2:0]位。</p>

注 1. 包括 Low 电平 → 停止和停止 → Low 电平的转换。

注 2. 包括停止 → High 电平的转换。

注 3. 因为将转换时序视为边沿，所以产生了 TCNT 输入时钟，并且 TCNT 进行了递增计数。

注 4. 包括 High 电平 → 停止的转换。

21.7.8 级联时的时钟源设定

如果同时设定 16 位计数模式和比较匹配计数模式，因为不产生 TMR0.TCNT 计数器、TMR1.TCNT 计数器 (TMR2.TCNT 计数器、TMR3.TCNT 计数器) 的输入时钟，所以计数器停止后不再运行。不能进行此设定。

22. 比较匹配定时器 (CMT)

RX62N 群和 RX621 群内置由 2 个通道的 16 位定时器构成的比较匹配定时器 (CMT)，有 2 个单元 (单元 0 和单元 1)，共计 4 个通道。CMT 有 16 位计数器，能按设定的各周期发生中断。

22.1 概要

CMT 的规格如表 22.1 所示。

CMT (单元 0) 的框图如图 22.1 所示。2 个通道的 CMT 构成 1 个单元，单元 0 和单元 1 的规格相同。

表 22.1 CMT 的规格

项目	功能
计数时钟	<ul style="list-style-type: none"> 4 种内部时钟 各通道可分别从 PCLK/8、PCLK/32、PCLK/128、PCLK/512 中选择。
中断	能分别向各通道请求比较匹配中断。
低功耗功能	各单元能设定为模块停止状态。

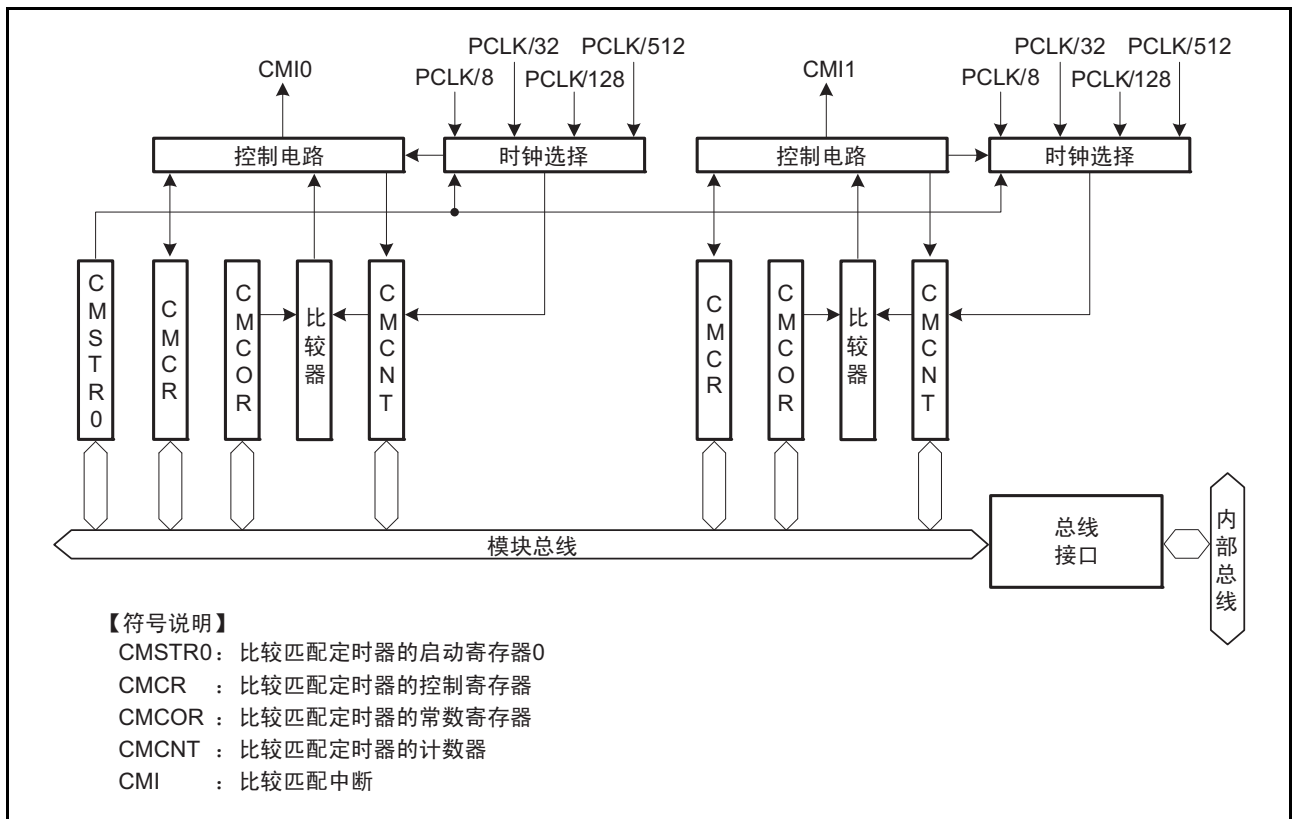


图 22.1 CMT (单元 0) 的框图

22.2 寄存器说明

CMT 的寄存器一览表如表 22.2 所示。

表 22.2 CMT 的寄存器一览表

单元	通道	寄存器名	符号	复位后的值	地址	存取长度
单元 0	CMT	比较匹配定时器的启动寄存器 0	CMSTR0	0000h	0008 8000h	16
	CMT0	比较匹配定时器的控制寄存器	CMCR	00x0h	0008 8002h	16
		比较匹配定时器的计数器	CMCNT	0000h	0008 8004h	16
		比较匹配定时器的常数寄存器	CMCOR	FFFFh	0008 8006h	16
	CMT1	比较匹配定时器的控制寄存器	CMCR	00x0h	0008 8008h	16
		比较匹配定时器的计数器	CMCNT	0000h	0008 800Ah	16
比较匹配定时器的常数寄存器		CMCOR	FFFFh	0008 800Ch	16	
单元 1	CMT	比较匹配定时器的启动寄存器 1	CMSTR1	0000h	0008 8010h	16
	CMT2	比较匹配定时器的控制寄存器	CMCR	00x0h	0008 8012h	16
		比较匹配定时器的计数器	CMCNT	0000h	0008 8014h	16
		比较匹配定时器的常数寄存器	CMCOR	FFFFh	0008 8016h	16
	CMT3	比较匹配定时器的控制寄存器	CMCR	00x0h	0008 8018h	16
		比较匹配定时器的计数器	CMCNT	0000h	0008 801Ah	16
比较匹配定时器的常数寄存器		CMCOR	FFFFh	0008 801Ch	16	

22.2.1 比较匹配定时器的启动寄存器 0（CMSTR0）

地址 0008 8000h

	b15	b14	b13	b12	b11	b10	b9	b8
	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0
	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	STR1	STR0
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	STR0	计数开始 0 位	0: CMT0.CMCNT 计数器停止计数 1: CMT0.CMCNT 计数器开始计数	R/W
b1	STR1	计数开始 1 位	0: CMT1.CMCNT 计数器停止计数 1: CMT1.CMCNT 计数器开始计数	R/W
b15-b2	—	保留位	读写值都为“0”。	R/W

CMSTR0 寄存器设定开始或者停止 CMT0.CMCNT 计数器和 CMT1.CMCNT 计数器的计数。

STR0 位（计数开始 0 位）

此位选择开始或者停止 CMT0.CMCNT 计数器的计数。

STR1 位（计数开始 1 位）

此位选择开始或者停止 CMT1.CMCNT 计数器的计数。

22.2.2 比较匹配定时器的启动寄存器 1 (CMSTR1)

地址 0008 8010h

	b15	b14	b13	b12	b11	b10	b9	b8
	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0
	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	STR3	STR2
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	STR2	计数开始 2 位	0: CMT2.CMCNT 计数器停止计数 1: CMT2.CMCNT 计数器开始计数	R/W
b1	STR3	计数开始 3 位	0: CMT3.CMCNT 计数器停止计数 1: CMT3.CMCNT 计数器开始计数	R/W
b15-b2	—	保留位	读写值都为“0”。	R/W

CMSTR1 寄存器设定开始或者停止 CMT2.CMCNT 计数器和 CMT3.CMCNT 计数器的计数。

STR2 位 (计数开始 2 位)

此位选择开始或者停止 CMT2.CMCNT 计数器的计数。

STR3 位 (计数开始 3 位)

此位选择开始或者停止 CMT3.CMCNT 计数器的计数。

22.2.3 比较匹配定时器的控制寄存器（CMCR）

地址 CMT0.CMCR 0008 8002h、CMT1.CMCR 0008 8008h、
CMT2.CMCR 0008 8012h、CMT3.CMCR 0008 8018h

	b15	b14	b13	b12	b11	b10	b9	b8
	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0
	b7	b6	b5	b4	b3	b2	b1	b0
	—	CMIE	—	—	—	—	CKS[1:0]	
复位后的值	x	0	0	0	0	0	0	0

x: 不定值

位	符号	位名	功能	R/W
b1-b0	CKS[1:0]	时钟选择位	b1 b0 0 0: PCLK/8 0 1: PCLK/32 1 0: PCLK/128 1 1: PCLK/512	R/W
b5-b2	—	保留位	读写值都为“0”。	R/W
b6	CMIE	比较匹配中断允许位	0: 禁止比较匹配中断（CMTn） 1: 允许比较匹配中断（CMTn）	R/W
b7	—	保留位	读取值为不定值，只能写“1”。	R/W
b15-b8	—	保留位	读写值都为“0”。	R/W

CMCR 寄存器是设定递增计数时钟的寄存器。

如果 CMCR 寄存器的改写与比较匹配发生竞争，就忽视 CMCR 寄存器的写操作，详细内容请参照“22.5.4 改写比较匹配定时器的控制寄存器（CMCR）时的注意事项”。

CKS[1:0] 位（时钟选择位）

这些位从外围模块时钟（PCLK）分频后得到的 4 种内部时钟中选择输入到 CMCNT 计数器的计数时钟。

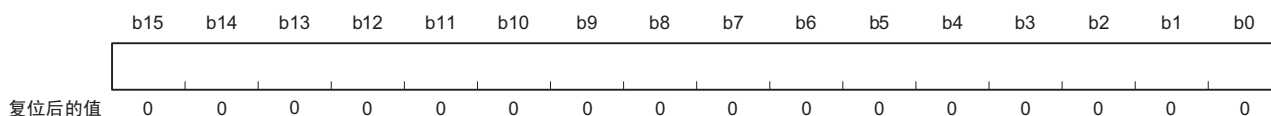
如果将 CMSTRm.STRn 位（m=0、1，n=0～3）置“1”，对应的 CMCNT 计数器就通过 CKS[1:0] 位选择的时钟开始递增计数。

CMIE 位（比较匹配中断允许位）

在 CMCNT 和 CMCOR 的值相同时，此位选择允许或者禁止比较匹配中断（CMTn）（n=0～3）的发生。

22.2.4 比较匹配定时器的计数器 (CMCNT)

地址 CMT0.CMCNT 0008 8004h、CMT1.CMCNT 0008 800Ah、
CMT2.CMCNT 0008 8014h、CMT3.CMCNT 0008 801Ah



CMCNT 计数器是用于产生中断请求的可读写递增计数器。

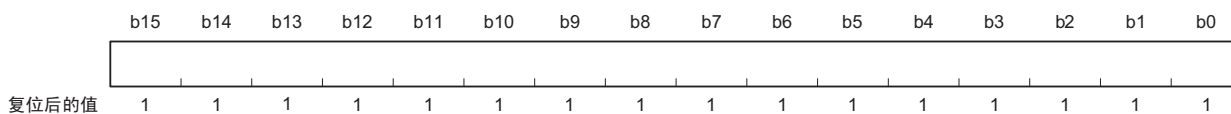
如果通过 CMCR.CKS[1:0] 位选择计数时钟并且将 CMSTRm.STRn 位 (m=0、1, n=0 ~ 3) 置“1”，CMCNT 计数器就通过计数时钟开始递增计数。

如果 CMCNT 计数器的值和 CMCOR 寄存器的值相同，CMCNT 计数器就变为“0000h”，并且产生比较匹配中断 (CMIn) (n=0 ~ 3)。

不能在 CMCNT 计数器的计数停止的状态下给 CMCNT 寄存器和 CMCOR 寄存器设定相同的值，详细内容请参照“22.5.5 比较匹配定时器的计数器 (CMCNT) 和比较匹配常数寄存器 (CMCOR) 的注意事项”。

22.2.5 比较匹配定时器的常数寄存器 (CMCOR)

地址 CMT0.CMCOR 0008 8006h、CMT1.CMCOR 0008 800Ch、
CMT2.CMCOR 0008 8016h、CMT3.CMCOR 0008 801Ch



CMCOR 寄存器是设定和 CMCNT 计数器的比较匹配周期的寄存器。

不能在 CMCNT 计数器的计数停止的状态下给 CMCNT 寄存器和 CMCOR 寄存器设定相同的值，详细内容请参照“22.5.5 比较匹配定时器的计数器 (CMCNT) 和比较匹配常数寄存器 (CMCOR) 的注意事项”。

22.3 运行说明

22.3.1 周期计数

如果通过 `CMCR.CKS[1:0]` 位选择计数时钟并且将 `CMSTRm.STRn` 位 ($m=0、1$, $n=0 \sim 3$) 置“1”，`CMCNT` 计数器就通过所选的计数时钟开始递增计数。

如果 `CMCNT` 计数器的值和 `CMCOR` 寄存器的值相同，`CMCNT` 计数器就变为“0000h”，并且发生比较匹配中断 (`CMIn`) ($n=0 \sim 3$)。`CMCNT` 计数器从“0000h”重新开始递增计数，`CMCNT` 计数器的运行如图 22.2 所示。

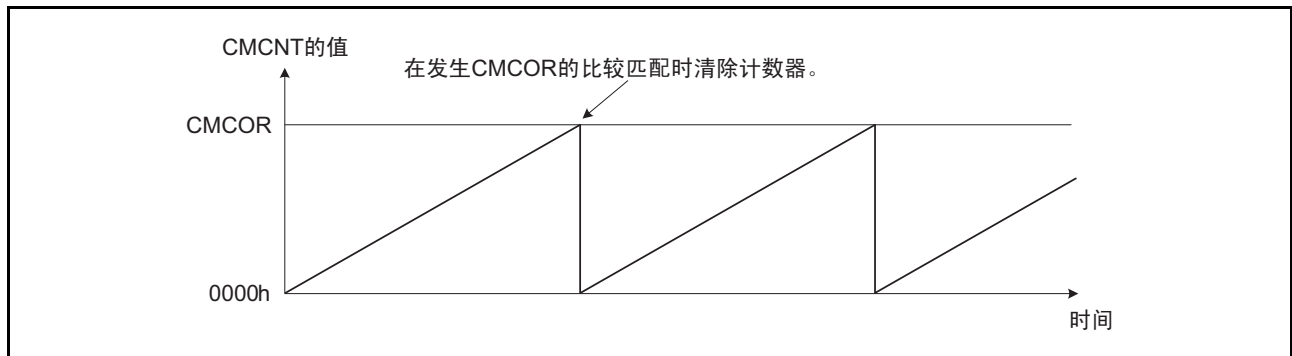


图 22.2 CMCNT 计数器的运行

22.3.2 CMCNT 计数器的计数时序

能通过 `CMCR.CKS[1:0]` 位从外围模块时钟 (`PCLK`) 分频后的 4 种内部时钟 (`PCLK/8`、`PCLK/32`、`PCLK/128`、`PCLK/512`) 中选择计数时钟，此时的 `CMCNT` 计数器的计数时序如图 22.3 所示。

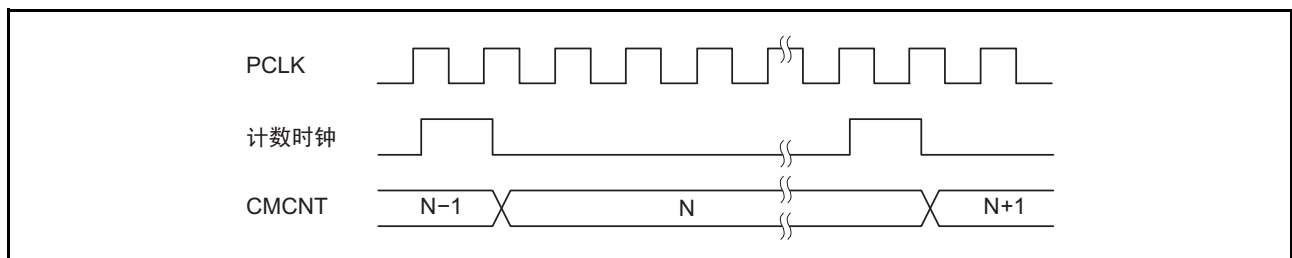


图 22.3 CMCNT 计数器的计数时序

22.4 中断

22.4.1 中断源

CMT 的各通道有比较匹配中断 (CMI_n) (n=0 ~ 3)，各中断分配有向量地址。如果发生比较匹配中断，就输出对应的中断请求。

在通过中断请求启动 CPU 中断时，能通过设定中断控制器更改通道之间的优先级，详细内容请参照“11. 中断控制器 (ICUa)”。

表 22.3 CMT 的中断源

名称	中断源	中断状态标志	DTC 的启动	DMACA 的启动
CMI0	CMT0.CMCNT 和 CMT0.CMCOR 的比较匹配	IR028.IR	能	能
CMI1	CMT1.CMCNT 和 CMT1.CMCOR 的比较匹配	IR029.IR	能	能
CMI2	CMT2.CMCNT 和 CMT2.CMCOR 的比较匹配	IR030.IR	能	能
CMI3	CMT3.CMCNT 和 CMT3.CMCOR 的比较匹配	IR031.IR	能	能

22.4.2 比较匹配中断的发生时序

在 CMCNT 计数器的值和 CMCOR 寄存器的值相同时，发生比较匹配中断 (CMI_n) (n=0 ~ 3)。

在更新与 CMCNT 计数器相同的计数值时，产生比较匹配信号。因此，从 CMCNT 计数器和 CMCOR 寄存器的值相同后到产生计数时钟前，不产生比较匹配信号。

比较匹配中断的发生时序如图 22.4 所示。

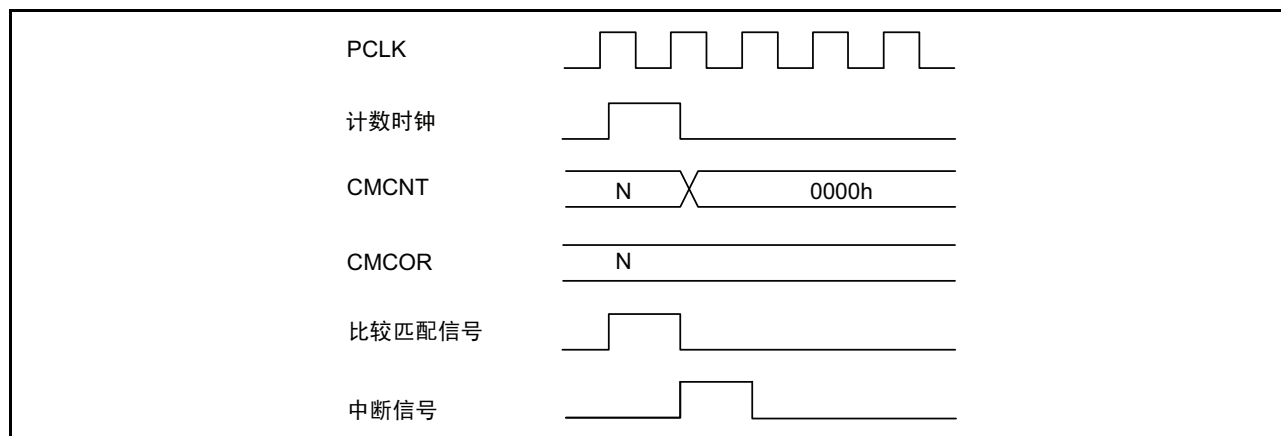


图 22.4 比较匹配中断的发生时序

22.5 使用时的注意事项

22.5.1 模块停止功能的设定

能通过模块停止控制寄存器设定禁止或者允许 CMT 的运行，初始值为停止 CMT 的运行。能通过解除模块停止状态，使寄存器变为可存取的状态。详细内容请参照“9. 低功耗功能”。

22.5.2 比较匹配定时器的计数器 (CMCNT) 的写和比较匹配的竞争

如果在写 CMCNT 计数器的过程中产生比较匹配信号，就不写 CMCNT 计数器而优先清除 CMCNT 计数器。此时序如图 22.5 所示。

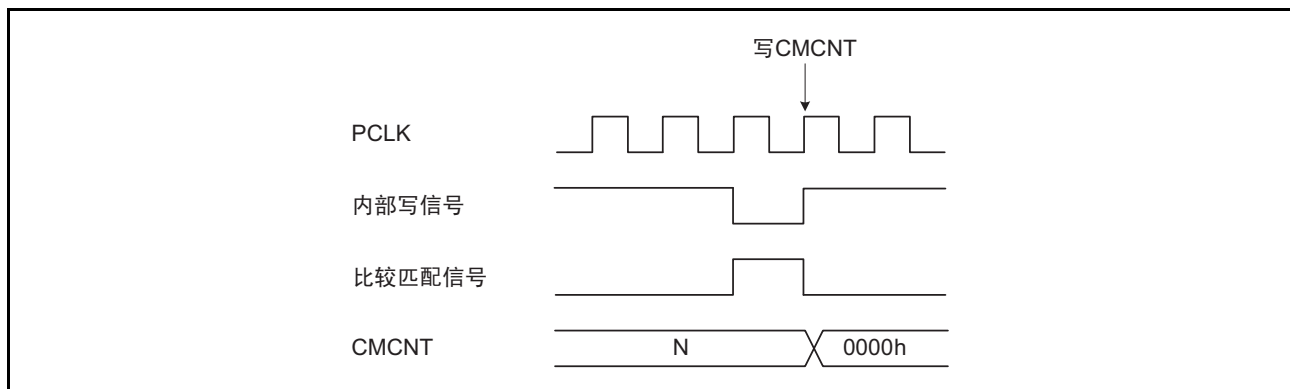


图 22.5 CMCNT 计数器的写和比较匹配的竞争

22.5.3 比较匹配定时器的计数器 (CMCNT) 的写和递增计数的竞争

即使在写 CMCNT 计数器的过程中发生递增计数，CMCNT 计数器也不进行递增计数而优先写 CMCNT 计数器。此时序如图 22.6 所示。

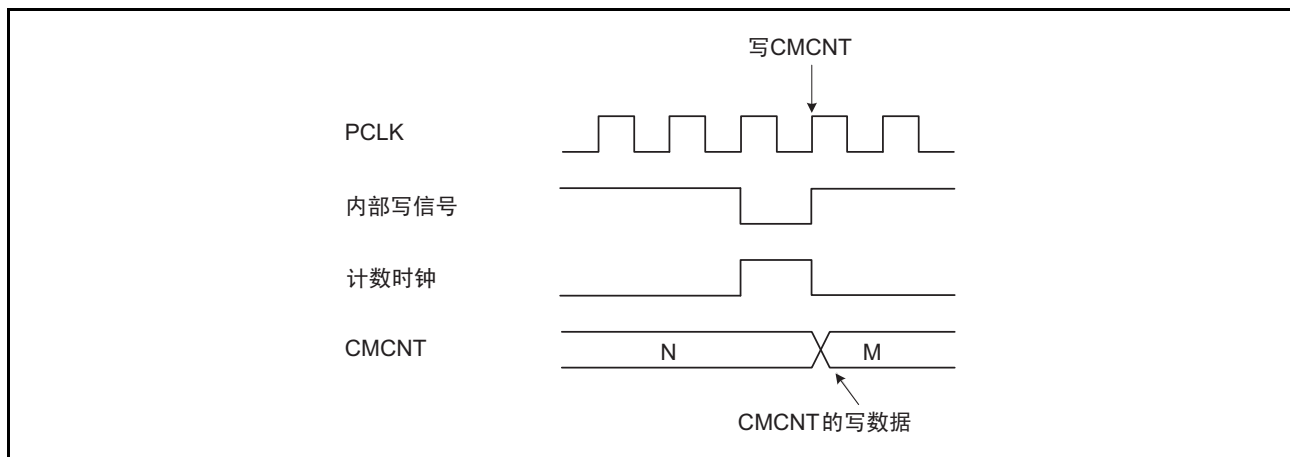


图 22.6 CMCNT 计数器的写和递增计数的竞争

22.5.4 改写比较匹配定时器的控制寄存器 (CMCR) 时的注意事项

如果 CMCR 寄存器的改写与比较匹配发生竞争，就忽视 CMCR 寄存器的写操作。因此，必须在写 CMCR 寄存器后读 CMCR 寄存器，确认写数据是否被正确写入。当写数据没有被正确写入时，必须再次写 CMCR 寄存器。

因为 CMCR 寄存器的 bit7 的读取值为不定值，所以在比较写数据时必须注意。

22.5.5 比较匹配定时器的计数器 (CMCNT) 和比较匹配常数寄存器 (CMCOR) 的注意事项

不能在 CMCNT 计数器的计数停止的状态下给 CMCNT 计数器和 CMCOR 寄存器设定相同的值。

如果在 CMCNT 计数器的计数停止的状态下给 CMCNT 计数器和 CMCOR 寄存器设定相同的值，就发生比较匹配，与计数停止状态无关。此时，如果比较匹配中断允许位 (CMCR.CMIE 位) 为“1” (允许)，就发生比较匹配中断。

与比较匹配中断是否禁止无关，如果因与 CMCOR 寄存器的值相同而发生比较匹配，CMCNT 计数器就自动清为“0000h”。

23. 实时时钟（RTC）

23.1 概要

RX62N 群和 RX621 群内置实时时钟（RTC）和 32.768kHz 晶体振荡器。
RTC 的规格如表 23.1 所示。

表 23.1 RTC 的规格

项目	内容
计数源	RTC 专用时钟（32.768kHz）
时钟 / 日历功能	<ul style="list-style-type: none"> 对年、月、日、星期、小时、分钟、秒进行计数和 BCD 显示。 用二进制显示 1Hz、2Hz、4Hz、8Hz、16Hz、32Hz、64Hz 的状态。 开始 / 停止功能 30 秒调整功能（在秒数小于 30 秒的情况下，舍去秒数，为 00 秒；在秒数大于等于 30 秒的情况下，向 1 分钟进位） 闰年自动调整功能 1Hz 时钟输出
中断	<ul style="list-style-type: none"> 闹钟中断（ALM） 闹钟中断条件可选择与年、月、日、星期、小时、分钟或者秒进行比较。 周期中断（PRD） 中断周期可选择 2 秒、1 秒、1/2 秒、1/4 秒、1/16 秒、1/64 秒或者 1/256 秒周期。 进位中断（CUP） 表示向秒计数器进位，或者在读 64Hz 计数器时从预分频器向 64Hz 计数器进位。 能通过闹钟中断，从软件待机或者深度软件待机返回。

RTC 以计数源（32.768kHz）为基本时钟运行。各计数器以通过预分频器将计数源分频后的 128Hz 时钟为基准时钟运行，并且由 64Hz 计数器生成作为时钟计数器功能基准的秒周期。

RTC 的框图和输入 / 输出引脚分别如图 23.1 和表 23.2 所示。

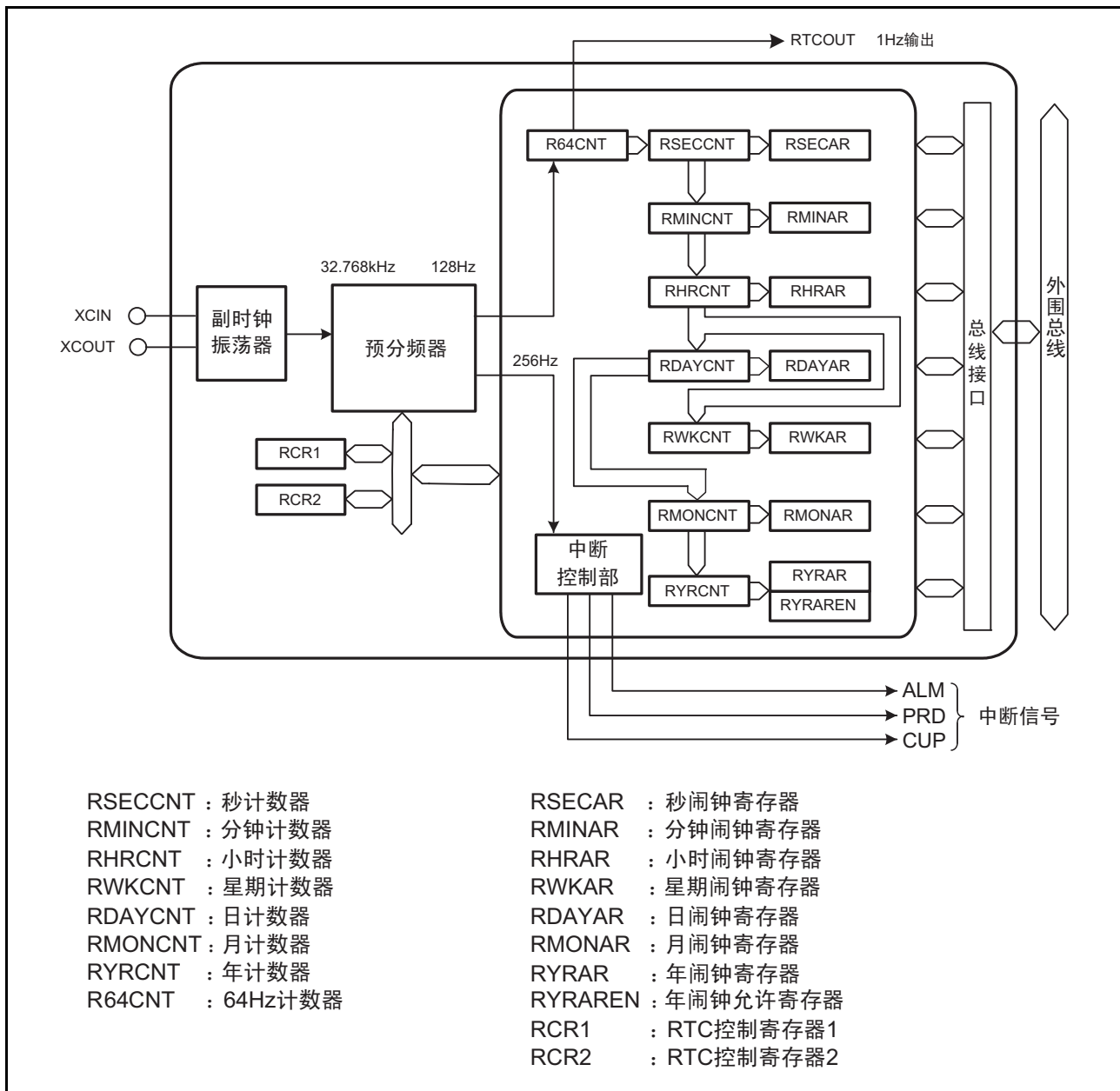


图 23.1 RTC 的框图

表 23.2 RTC 的输入 / 输出引脚

引脚名	输入 / 输出	功能
XCOUT	输出	将 32.768kHz 晶体振荡器连接到 RTC，或者将外部时钟输入到 XCIN 引脚。
XCIN	输入	
RTCOUT	输出	输出 1Hz 时钟。

23.2 寄存器说明

RTC 的寄存器一览表如表 23.3 所示。

表 23.3 RTC 的寄存器一览表

寄存器名	符号	复位后的值 (注1)	地址	存取长度
64Hz 计数器	R64CNT	xxh	0008 C400h	8
秒计数器	RSECCNT	xxh	0008 C402h	8
分钟计数器	RMINCNT	xxh	0008 C404h	8
小时计数器	RHRCNT	xxh	0008 C406h	8
星期计数器	RWKCNT	0xh	0008 C408h	8
日计数器	RDAYCNT	xxh	0008 C40Ah	8
月计数器	RMONCNT	xxh	0008 C40Ch	8
年计数器	RYRCNT	xxxxh	0008 C40Eh	16
秒闹钟寄存器	RSECAR	xxh	0008 C410h	8
分钟闹钟寄存器	RMINAR	xxh	0008 C412h	8
小时闹钟寄存器	RHRAR	xxh	0008 C414h	8
星期闹钟寄存器	RWKAR	xxh	0008 C416h	8
日闹钟寄存器	RDAYAR	xxh	0008 C418h	8
月闹钟寄存器	RMONAR	xxh	0008 C41Ah	8
年闹钟寄存器	RYRAR	xxxxh	0008 C41Ch	16
年闹钟允许寄存器	RYRAREN	x0h	0008 C41Eh	8
RTC 控制寄存器 1	RCR1	00h	0008 C422h	8
RTC 控制寄存器 2	RCR2	01h	0008 C424h	8

【符号说明】x: 不定值

注 1. 在复位、深度软件待机模式中，不对 RTC 的寄存器位中复位后的值为 X（不定值）的位进行初始化。另外，如果在计数运行时（RCR2.START 位 =1 时）转移到复位状态或者低功耗状态，年、月、星期、日、小时、分钟、秒以及 64Hz 计数器就继续运行。

但是，必须注意：如果在写或者更新寄存器的过程中发生复位，就有可能破坏寄存器的值。另外，不能在设定寄存器后立即转移到软件待机模式或者深度软件待机模式。详细内容请参照“23.5.3 有关在设定寄存器后向低功耗模式的转移”。

在 RX62N 群、RX621 群中，如果在深度软件待机模式的状态下进行 RES# 引脚复位，就会破坏寄存器的值。因此，必须在引脚复位后进行寄存器的初始设定。

必须根据“23.5.4 读 / 写寄存器时的注意事项”读写 RTC 寄存器。

23.2.1 64Hz 计数器 (R64CNT)

地址 0008 C400h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	F1HZ	F2HZ	F4HZ	F8HZ	F16HZ	F32HZ	F64HZ
复位后的值	0	x	x	x	x	x	x	x

注. x: 不定值

位	符号	位名	功能	R/W
b0	F64HZ	64Hz 位	表示 1Hz ~ 64Hz 的状态。	R
b1	F32HZ	32Hz 位		R
b2	F16HZ	16Hz 位		R
b3	F8HZ	8Hz 位		R
b4	F4HZ	4Hz 位		R
b5	F2HZ	2Hz 位		R
b6	F1HZ	1Hz 位		R
b7	—	保留位	读取值为“0”，写操作无效。	R

64Hz 计数器 (R64CNT) 是通过 128Hz 时钟进行递增计数的计数器，生成秒周期。

能通过读 R64CNT 寄存器，确认秒以下的状态。

如果将 RTC 控制寄存器 2 (RCR2) 的 RESET 位置“1”或者将 RCR2 的 ADJ 位置“1”，此寄存器就变为“0”。

在读 R64CNT 时，必须遵循“23.3.4 64Hz 计数器和时间读取步骤”。

23.2.2 秒计数器 (RSECCNT)

地址 0008 C402h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SEC10[2:0]			SEC1[3:0]			
复位后的值	0	x	x	x	x	x	x	x

注. x: 不定值

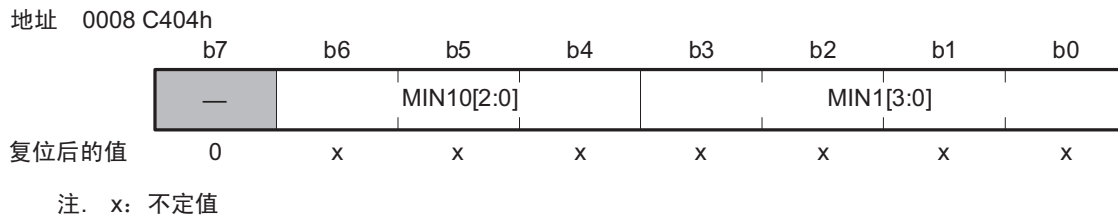
位	符号	位名	功能	R/W
b3-b0	SEC1[3:0]	秒的个位计数位	秒的个位按秒进行 0 ~ 9 的计数。如果发生进位，秒的十位就加 1。	R/W
b6-b4	SEC10[2:0]	秒的十位计数位	秒的十位进行 0 ~ 5 的计数，是 60 秒计数。	R/W
b7	—	保留位	读写值都为“0”。	R/W

RSECCNT 是对秒部分 (BCD 码) 进行设定和计数的计数器，通过 64Hz 计数器按秒进位而进行计数。

可设定的范围为 10 进制 (BCD) 的 00 ~ 59，否则无法正常运行。另外，必须在通过 RCR2 的 START 位停止计数后进行写处理。

在读 RSECCNT 时，必须遵循“23.3.4 64Hz 计数器和时间读取步骤”。

23.2.3 分钟计数器 (RMINCNT)



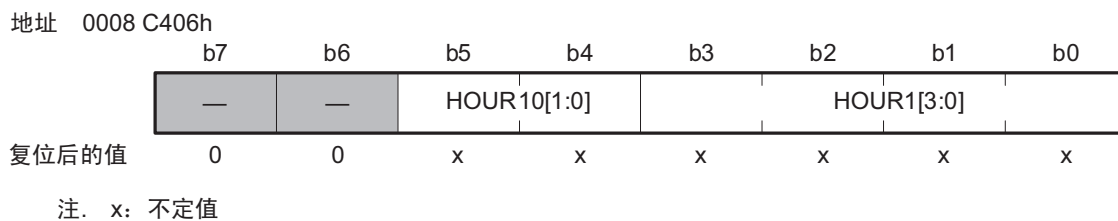
位	符号	位名	功能	R/W
b3-b0	MIN1[3:0]	分钟个位计数位	分钟个位按分钟进行 0 ~ 9 的计数。如果发生进位，分钟的十位就加 1。	R/W
b6-b4	MIN10[2:0]	分钟的十位计数位	分钟的十位进行 0 ~ 5 的计数，是 60 分钟计数。	R/W
b7	—	保留位	读写值都为“0”。	R/W

RMINCNT 是对分钟部分 (BCD 码) 进行设定和计数的计数器，通过秒计数器按分钟进位而进行计数。

可设定的范围是 10 进制 (BCD) 的 00 ~ 59，否则无法正常运行。必须在通过 RCR2 的 START 位停止计数后进行写处理。

在读 RMINCNT 时，必须遵循“23.3.4 64Hz 计数器和时间读取步骤”。

23.2.4 小时计数器 (RHRCNT)



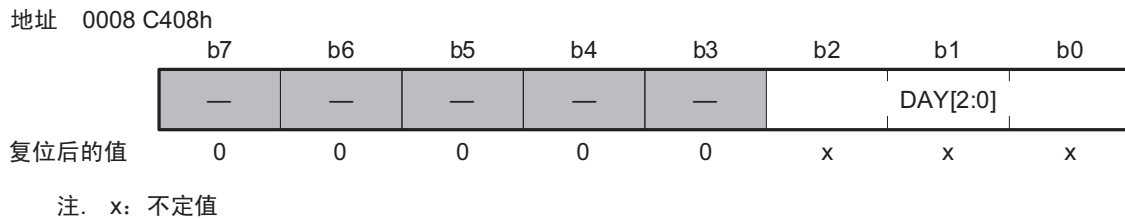
位	符号	位名	功能	R/W
b3-b0	HOUR1[3:0]	小时的个位计数位	小时的个位按小时进行 0 ~ 9 的计数。如果发生进位，小时的十位就加 1。	R/W
b5-b4	HOUR10[1:0]	小时的十位计数位	小时的个位每发生一次进位，小时的十位就进行 0 ~ 2 的计数。	R/W
b7-b6	—	保留位	读写值都为“0”。	R/W

RHRCNT 是对小时部分 (BCD 码) 进行设定和计数的计数器，通过分钟计数器按小时进位而进行计数。

可设定的范围是 10 进制 (BCD) 的 00 ~ 23，否则无法正常运行。另外，必须在通过 RCR2 的 START 位停止计数后进行写处理。

在读 RHRCNT 时，必须遵循“23.3.4 64Hz 计数器和时间读取步骤”。

23.2.5 星期计数器（RWKCNT）

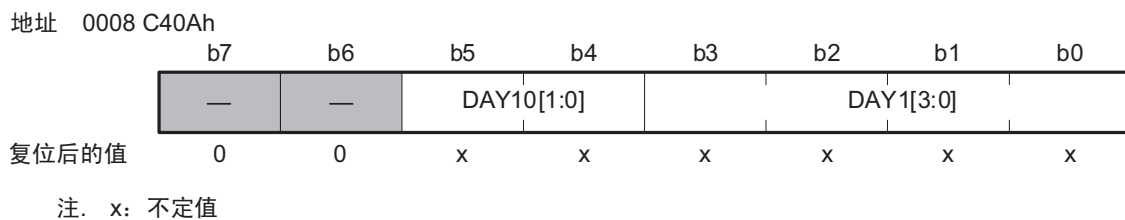


位	符号	位名	功能	R/W
b2-b0	DAY[2:0]	星期计数位	b2 b0 0 0 0: 星期日 0 0 1: 星期一 0 1 0: 星期二 0 1 1: 星期三 1 0 0: 星期四 1 0 1: 星期五 1 1 0: 星期六 1 1 1: 不能设定	R/W
b7-b3	—	保留位	读写值都为“0”。	R/W

RWKCNT 是对星期部分（BCD 码）进行设定和计数的计数器，通过小时计数器按日进位而进行计数。可设定的范围是 10 进制（BCD）的 0 ~ 6，否则无法正常运行。必须在通过 RCR2 的 START 位停止计数后进行写处理。

在读 RWKCNT 时，必须遵循“23.3.4 64Hz 计数器和时间读取步骤”。

23.2.6 日计数器（RDAYCNT）



位	符号	位名	功能	R/W
b3-b0	DAY1[3:0]	日的个位计数位	日的个位按日进行 0 ~ 9 的计数。如果发生进位，日的十位就加 1。	R/W
b5-b4	DAY10[1:0]	日的十位计数位	日的个位每发生一次进位，日的十位就进行 0 ~ 3 的计数。	R/W
b7-b6	—	保留位	读写值都为“0”。	R/W

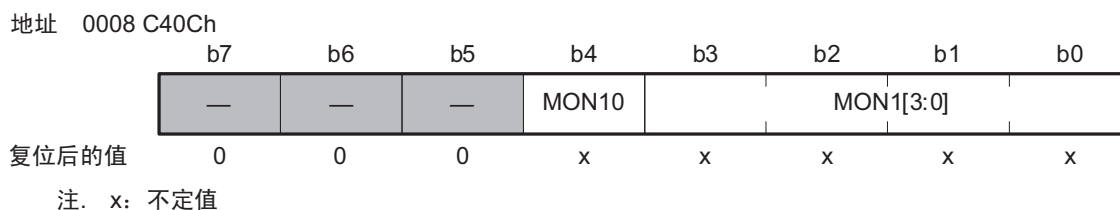
RDAYCNT 是对日部分（BCD 码）进行设定和计数的计数器，通过小时计数器按日进位而进行计数，还进行与闰年和月对应的计数。

闰年是将年计数器（RYRCNT）作为西历，根据是否能被 400、100 或者 4 整除而得来的。

可设定的范围是 10 进制（BCD）的 01 ~ 31，否则无法正常运行（可设定的范围因月和闰年而不同，必须在确认后设定）。必须在通过 RCR2 的 START 位停止计数后进行写处理。

在读 RDAYCNT 时，必须遵循“23.3.4 64Hz 计数器和时间读取步骤”。

23.2.7 月计数器（RMONCNT）



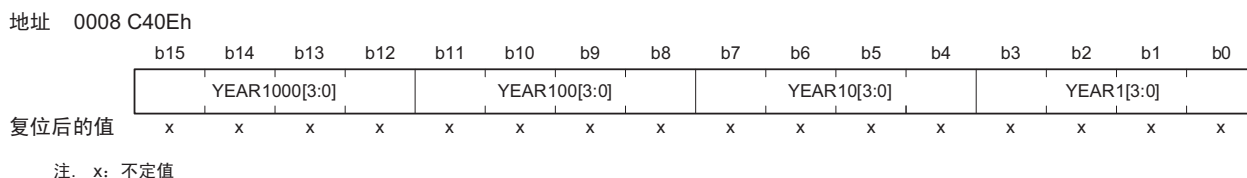
位	符号	位名	功能	R/W
b3-b0	MON1[3:0]	月的个位计数位	月的个位按月进行 0 ~ 9 的计数。如果发生进位，月的十位就加 1。	R/W
b4	MON10	月的十位计数位	月的个位每发生一次进位，月的十位就进行 0 ~ 1 的计数。	R/W
b7-b5	—	保留位	读写值都为“0”。	R/W

RMONCNT 是对月部分（BCD 码）进行设定和计数的计数器，通过日计数器按月进位而进行计数。

可设定的范围是 10 进制（BCD）的 01 ~ 12，否则无法正常运行。必须在通过 RCR2 的 START 位停止计数后进行写处理。

在读 RMONCNT 时，必须遵循“23.3.4 64Hz 计数器和时间读取步骤”。

23.2.8 年计数器（RYRCNT）



位	符号	位名	功能	R/W
b3-b0	YEAR1[3:0]	年的个位计数位	年的个位按年进行 0 ~ 9 的计数。如果发生进位，年的十位就加 1。	R/W
b7-b4	YEAR10[3:0]	年的十位计数位	年的个位每发生一次进位，年的十位就进行 0 ~ 9 的计数。如果发生进位，年的百位就加 1。	R/W
b11-b8	YEAR100[3:0]	年的百位计数位	年的十位每发生一次进位，年的百位就进行 0 ~ 9 的计数。如果发生进位，年的千位就加 1。	R/W
b15-b12	YEAR1000[3:0]	年的千位计数位	年的百位每发生一次进位，年的千位就进行 0 ~ 9 的计数。	R/W

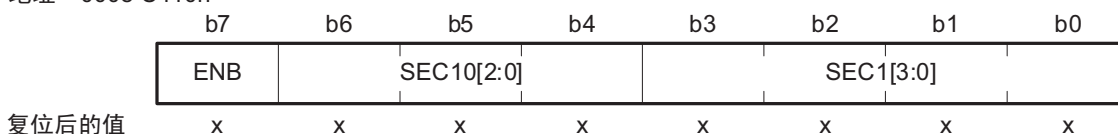
RYRCNT 是对年部分（BCD 码）进行设定和计数的计数器，根据月计数器按年进位而进行计数。

可设定的范围是 10 进制（BCD）的 0000 ~ 9999，否则无法正常运行。必须在通过 RCR2 的 START 位停止计数后进行写处理。

在读 RYRCNT 时，必须遵循“23.3.4 64Hz 计数器和时间读取步骤”。

23.2.9 秒闹钟寄存器 (RSECAR)

地址 0008 C410h



注. x: 不定值

位	符号	位名	功能	R/W
b3-b0	SEC1[3:0]	1 秒位	秒的个位设定值	R/W
b6-b4	SEC10[2:0]	10 秒位	秒的十位设定值	R/W
b7	ENB	ENB 位	如果为“1”，就和 RSECNT 的值进行比较。	R/W

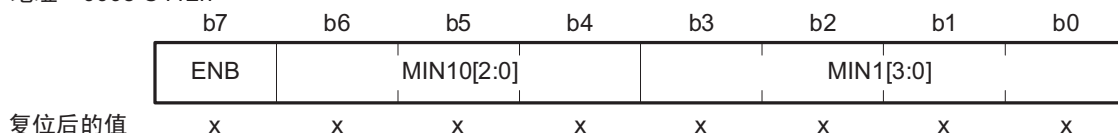
RSECAR 寄存器是与秒部分 (BCD 码) 的计数器 RSECNT 对应的闹钟寄存器。如果 ENB 位为“1”，就将 RSECAR 的值和 RSECNT 的值进行比较。只对闹钟寄存器 (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN) 中 ENB 位为“1”的进行计数器和闹钟寄存器的比较，当各自的值全部相同时，ICU 的 IR92.IR 标志变为“1”。

秒的可设定范围是 10 进制 (BCD) 的 00 ~ 59，否则无法正常运行。

如果将 RTC 控制寄存器 2 (RCR2) 的 RESET 位置“1”，RSECAR 寄存器就变为“00h”。

23.2.10 分钟闹钟寄存器 (RMINAR)

地址 0008 C412h



注. x: 不定值

位	符号	位名	功能	R/W
b3-b0	MIN1[3:0]	1 分钟位	分钟个位设定值	R/W
b6-b4	MIN10[2:0]	10 分钟位	分钟的十位设定值	R/W
b7	ENB	ENB 位	如果为“1”，就和 RMINCNT 的值进行比较。	R/W

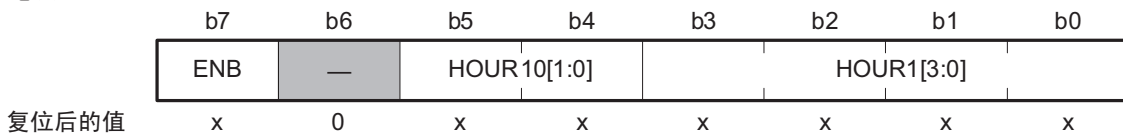
RMINAR 寄存器是与分钟部分 (BCD 码) 的计数器 RMINCNT 对应的闹钟寄存器。如果 ENB 位为“1”，就将 RMINAR 的值和 RMINCNT 的值进行比较。只对闹钟寄存器 (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN) 中 ENB 位为“1”的进行计数器和闹钟寄存器的比较，当各自的值全部相同时，ICU 的 IR92.IR 标志变为“1”。

分钟的可设定范围是 10 进制 (BCD) 的 00 ~ 59，否则无法正常运行。

如果将 RTC 控制寄存器 2 (RCR2) 的 RESET 位置“1”，RMINAR 寄存器就变为“00h”。

23.2.11 小时闹钟寄存器 (RHRAR)

地址 0008 C414h



注. x: 不定值

位	符号	位名	功能	R/W
b3-b0	HOUR1[3:0]	1 小时位	小时的个位设定值	R/W
b5-b4	HOUR10[1:0]	10 小时位	小时的十位设定值	R/W
b6	—	保留位	读写值都为“0”。	R/W
b7	ENB	ENB 位	如果为“1”，就和 RHCNT 的值进行比较。	R/W

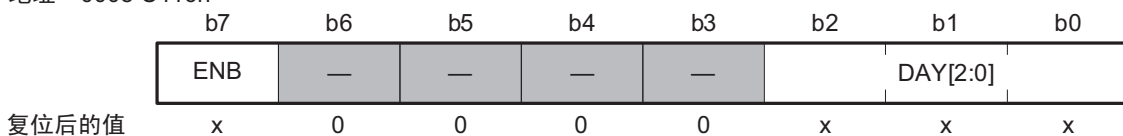
RHRAR 寄存器是与小时部分 (BCD 码) 的计数器 RHCNT 对应的闹钟寄存器。如果 ENB 位为“1”，就将 RHRAR 的值和 RHCNT 的值进行比较。只对闹钟寄存器 (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN) 中 ENB 位为“1”的进行计数器和闹钟寄存器的比较，当各自的值全部相同时，ICU 的 IR92.IR 标志变为“1”。

小时的可设定范围是 10 进制 (BCD) 的 00 ~ 23，否则无法正常运行。

如果将 RTC 控制寄存器 2 (RCR2) 的 RESET 位置“1”，RHRAR 寄存器就被清除为“00h”。

23.2.12 星期闹钟寄存器 (RWKAR)

地址 0008 C416h



注. x: 不定值

位	符号	位名	功能	R/W
b2-b0	DAY[2:0]	星期的设定值位	b2 b0 0 0 0: 星期日 0 0 1: 星期一 0 1 0: 星期二 0 1 1: 星期三 1 0 0: 星期四 1 0 1: 星期五 1 1 0: 星期六 1 1 1: 不能设定	R/W
b6-b3	—	保留位	读写值都为“0”。	R/W
b7	ENB	ENB 位	如果为“1”，就和 RWKCNT 的值进行比较。	R/W

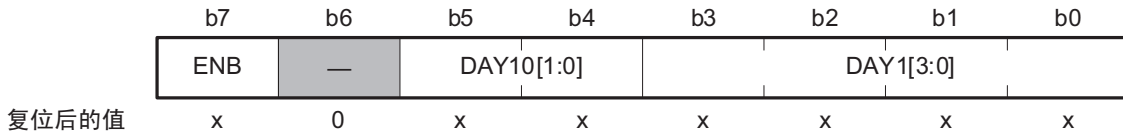
RWKAR 寄存器是与星期部分 (BCD 码) 的计数器 RWKCNT 对应的闹钟寄存器。如果 ENB 位为“1”，就将 RWKAR 的值和 RWKCNT 的值进行比较。只对 (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN) 中 ENB 位为“1”的闹钟寄存器进行计数器和闹钟寄存器的比较，当各自的值全部相同时，ICU 的 IR92.IR 标志变为“1”。

星期的可设定范围是 10 进制 (BCD) 的 0 ~ 6，否则无法正常运行。

如果将 RTC 控制寄存器 2 (RCR2) 的 RESET 位置“1”，RWKAR 寄存器就变为“00h”。

23.2.13 日闹钟寄存器（RDAYAR）

地址 0008 C418h



注. x: 不定值

位	符号	位名	功能	R/W
b3-b0	DAY1[3:0]	1 日位	日的个位设定值	R/W
b5-b4	DAY10[1:0]	10 日位	日的十位设定值	R/W
b6	—	保留位	读写值都为“0”。	R/W
b7	ENB	ENB 位	如果为“1”，就和 RDAYCNT 的值进行比较。	R/W

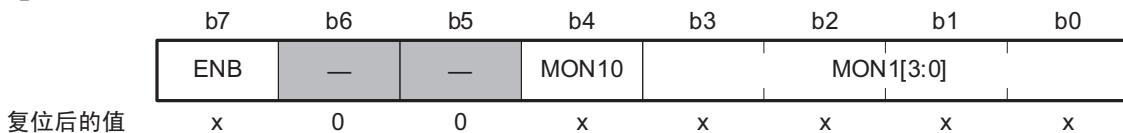
RDAYAR 寄存器是与日部分（BCD 码）的计数器 RDAYCNT 对应的闹钟寄存器。如果 ENB 位为“1”，就将 RDAYAR 的值和 RDAYCNT 的值进行比较。只对闹钟寄存器（RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN）中 ENB 位为“1”的进行计数器和闹钟寄存器的比较，当各自的价值全部相同时，ICU 的 IR92.IR 标志变为“1”。

日的可设定范围是 10 进制（BCD）的 01 ~ 31，否则无法正常运行。

如果将 RTC 控制寄存器 2（RCR2）的 RESET 位置“1”，RDAYAR 寄存器就变为“00h”。

23.2.14 月闹钟寄存器（RMONAR）

地址 0008 C41Ah



注. x: 不定值

位	符号	位名	功能	R/W
b3-b0	MON1[3:0]	1 月位	月的个位设定值	R/W
b4	MON10	10 月位	月的十位设定值	R/W
b6-b5	—	保留位	读写值都为“0”。	R/W
b7	ENB	ENB 位	如果为“1”，就和 RMONCNT 的值进行比较。	R/W

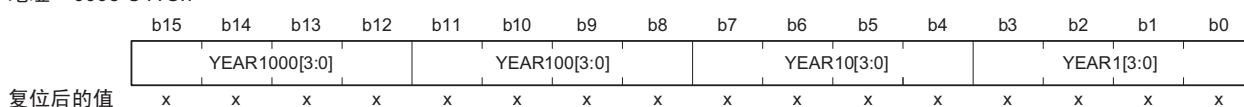
RMONAR 寄存器是与月部分（BCD 码）的计数器 RMONCNT 对应的闹钟寄存器。如果 ENB 位为“1”时，就将 RMONAR 的值和 RMONCNT 的值进行比较。只对闹钟寄存器（RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN）中 ENB 位为“1”的进行计数器和闹钟寄存器的比较，当各自的价值全部相同时，ICU 的 IR92.IR 标志就变为“1”。

月的可设定范围是 10 进制（BCD）的 01 ~ 12，否则无法正常运行。

如果将 RTC 控制寄存器 2（RCR2）的 RESET 位置“1”，RMONAR 寄存器就变为“00h”。

23.2.15 年闹钟寄存器 (RYRAR)

地址 0008 C41Ch



复位后的值

注. x: 不定值

位	符号	位名	功能	R/W
b3-b0	YEAR1[3:0]	1 年位	年的个位设定值	R/W
b7-b4	YEAR10[3:0]	10 年位	年的十位设定值	R/W
b11-b8	YEAR100[3:0]	100 年位	年的百位设定值	R/W
b15-b12	YEAR1000[3:0]	1000 年位	年的千位设定值	R/W

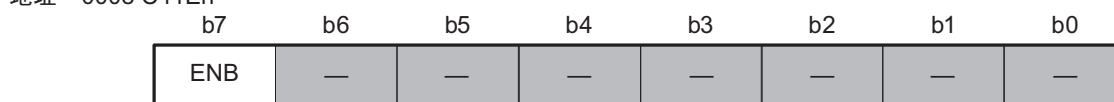
RYRAR 寄存器是与年部分 (BCD 码) 的计数器 RYRCNT 对应的闹钟寄存器。

年的可设定范围是 10 进制 (BCD) 的 0000 ~ 9999, 否则无法正常运行。

如果将 RTC 控制寄存器 2 (RCR2) 的 RESET 位置“1”, RYRAR 寄存器就变为“0000h”。

23.2.16 年闹钟允许寄存器 (RYRAREN)

地址 0008 C41Eh



复位后的值

注. x: 不定值

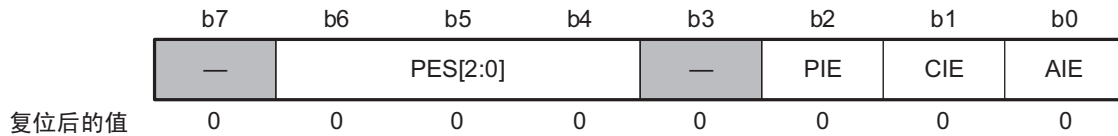
位	符号	位名	功能	R/W
b6-b0	—	保留位	读写值都为“0”。	R/W
b7	ENB	ENB 位	如果为“1”, 就和 RYRCNT 的值进行比较。	R/W

如果 RYRAREN 寄存器的 ENB 位为“1”, 就将 RYRCAR 的值和 RYRCNT 的值进行比较。只对闹钟寄存器 (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN) 中 ENB 位为“1”的进行计数器和闹钟寄存器的比较, 当各自的值全部相同时, ICU 的 IR92.IR 标志变为“1”。

如果将 RTC 控制寄存器 2 (RCR2) 的 RESET 位置“1”, RYRAREN 寄存器就变为“00h”。

23.2.17 RTC 控制寄存器 1 (RCR1)

地址 0008 C422h



位	符号	位名	功能	R/W
b0	AIE	闹钟中断允许位	0: 不请求闹钟中断 1: 请求闹钟中断	R/W
b1	CIE	进位中断允许位	0: 在向秒计数器进位或者在读 64Hz 计数器时向 64Hz 计数器进位的情况下时, 不请求进位中断。 1: 在向秒计数器进位或者在读 64Hz 计数器时向 64Hz 计数器进位的情况下, 请求进位中断。	R/W
b2	PIE	周期中断允许位	0: 不请求周期中断 1: 请求周期中断	R/W
b3	—	保留位	读写值都为“0”。	R/W
b6-b4	PES[2:0]	周期中断选择位	b6 b4 0 0 0: 不发生周期中断 0 0 1: 将周期中断的发生周期设定为每 1/256 秒 0 1 0: 将周期中断的发生周期设定为每 1/64 秒 0 1 1: 将周期中断的发生周期设定为每 1/16 秒 1 0 0: 将周期中断的发生周期设定为每 1/4 秒 1 0 1: 将周期中断的发生周期设定为每 1/2 秒 1 1 0: 将周期中断的发生周期设定为每 1 秒 1 1 1: 将周期中断的发生周期设定为每 2 秒	R/W
b7	—	保留位	读写值都为“0”。	R/W

RCR1 寄存器是与中断控制有关的寄存器。

AIE 位 (闹钟中断允许位)

此位选择允许或者禁止闹钟中断请求。

在从深度软件待机返回时, 与 AIE 位的设定无关, 当计数器和闹钟时间相同时, 产生闹钟中断请求。

与 128Hz 时钟同步更新 AIE 位。如果改写 AIE 位, 被更新前的读取值就是被改写前的值, 必须在确认 AIE 位的值已被更新后进行下一个处理。

CIE 位 (进位中断允许位)

此位选择允许或者禁止在向秒计数器进位或者在读 64Hz 计数器时向 64Hz 计数器进位的情况下产生的中断请求。

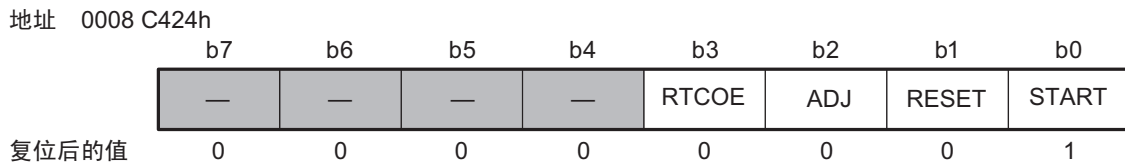
PIE 位 (周期中断允许位)

此位选择允许或者禁止周期中断请求。

PES[2:0] 位 (周期中断选择位)

这些位设定周期中断的周期。根据这些位设定的周期, 定期产生周期中断 (PRD) 源。

23.2.18 RTC 控制寄存器 2（RCR2）



位	符号	位名	功能	R/W
b0	START	开始位	0: 年、月、星期、日、小时、分钟、秒、64Hz 计数器和预分频器停止运行 1: 年、月、星期、日、小时、分钟、秒、64Hz 计数器和预分频器正常运行	R/W
b1	RESET	复位的位	0: 时钟正常运行或者初始化结束 1: 对预分频器、64Hz 计数器和闹钟寄存器进行初始化	R/W
b2	ADJ	30 秒调整位	0: 时钟正常运行或者 30 秒调整结束 1: 正在进行 30 秒调整	R/W
b3	RTCOE	RTCOUT 输出控制位	0: 不从引脚输出 RTCOUT 1: 从引脚输出 RTCOUT	R/W
b7-b4	—	保留位	读写值都为“0”。	R/W

RCR2 寄存器是与 30 秒调整、预分频器和 R64CNT 的复位以及计数控制有关的寄存器。

START 位（开始位）

这是停止或者重新启动预分频器和计数器（时钟）运行的控制位。

与计数源同步更新 START 位。如果改写 START 位，被更新前的读取值就是被改写前的值，必须在确认 START 位的值已被更新后进行下一个处理。

RESET 位（复位的位）

这是对预分频器、R64CNT 寄存器、闹钟寄存器和 RYRAREN 寄存器进行初始化的位。

在时钟运行过程中（START 位为“1”），与 128Hz 时钟同步对上述寄存器进行初始化。在 RESET 位已被写“1”的情况下，如果上述寄存器的初始化结束，RESET 位就自动变为“0”。

在时钟停止运行时（START 位为“0”），如果给 RESET 位写“1”，就立即对上述寄存器进行初始化。一旦初始化结束，此位就自动变为“0”。

如果给 RESET 位写“1”，就必须在确认 RESET 位已经变为“0”后进行下一个处理。

ADJ 位（30 秒调整位）

这是进行 30 秒调整（在秒数小于 30 秒的情况下，舍去秒数，为 00 秒；在秒数大于等于 30 秒的情况下，向 1 分钟进位）的位。

与 128Hz 时钟同步进行 30 秒调整。在 ADJ 位已被写“1”的情况下，如果 30 秒调整结束，ADJ 位就自动变为“0”，必须在确认 ADJ 位已经变为“0”后进行下一个处理。

RTCOE 位（RTCOUT 输出控制位）

此位控制 RTCOUT（1Hz 时钟）的引脚输出。

23.3 运行说明

23.3.1 接通电源后的寄存器初始设定

必须在接通电源后对全部寄存器进行初始设定。

23.3.2 时间设定步骤

时间设定步骤如图 23.2 所示。

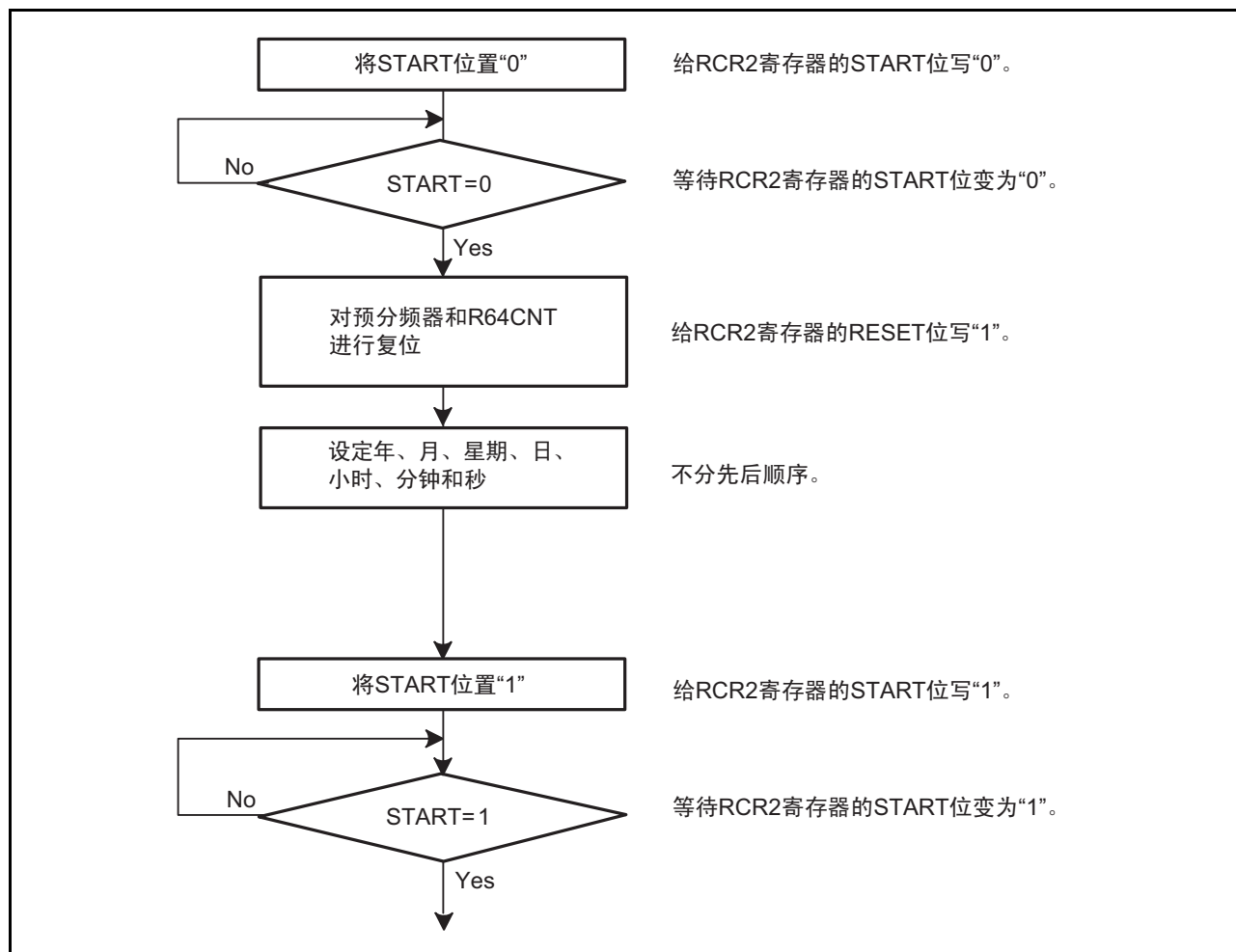


图 23.2 时间设定步骤

23.3.3 30 秒调整步骤

30 秒调整步骤如图 23.3 所示。

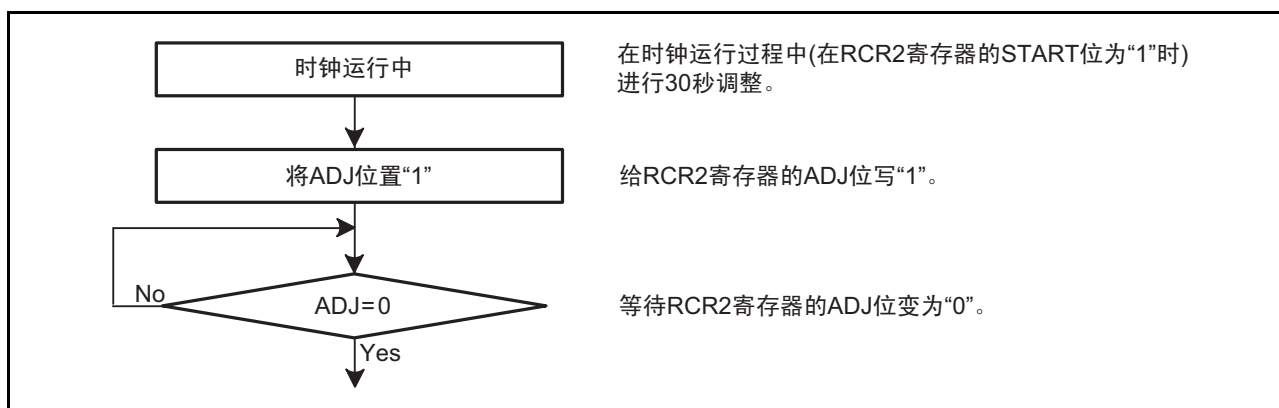


图 23.3 30 秒调整步骤

23.3.4 64Hz 计数器和时间读取步骤

64Hz 计数器和时间读取步骤如图 23.4 所示。

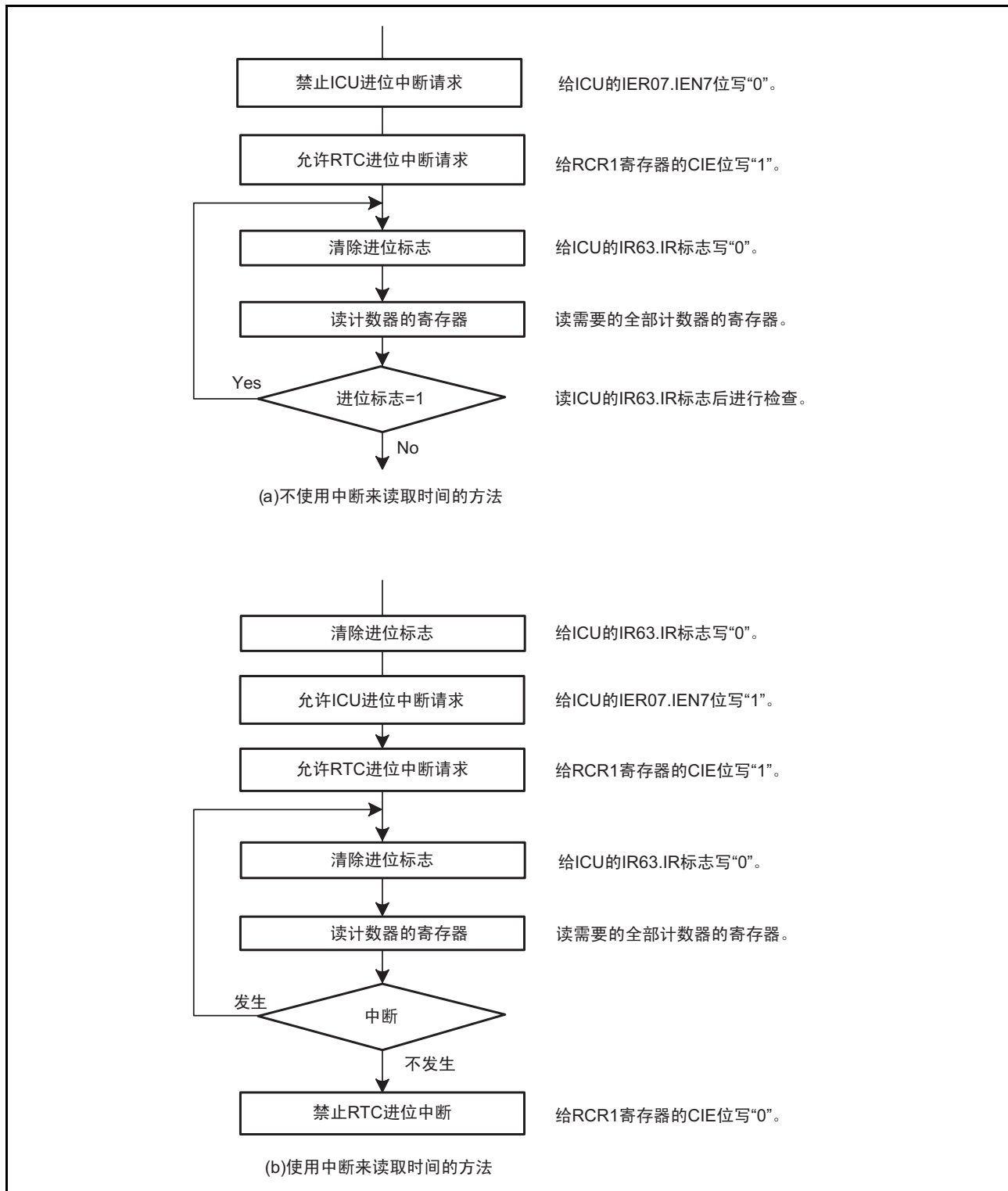


图 23.4 时间读取步骤

如果在读 64Hz 计数器和时间的过程中发生进位，就读不到正确的时间，因此有可能需要重新读。不使用中断的方法以及使用进位中断的方法分别如图 23.4 的 (a) 和图 23.4 的 (b) 所示。为了便于编程，通常利用不使用中断的方法。

23.3.5 闹钟功能

闹钟功能的使用方法如图 23.5 所示。

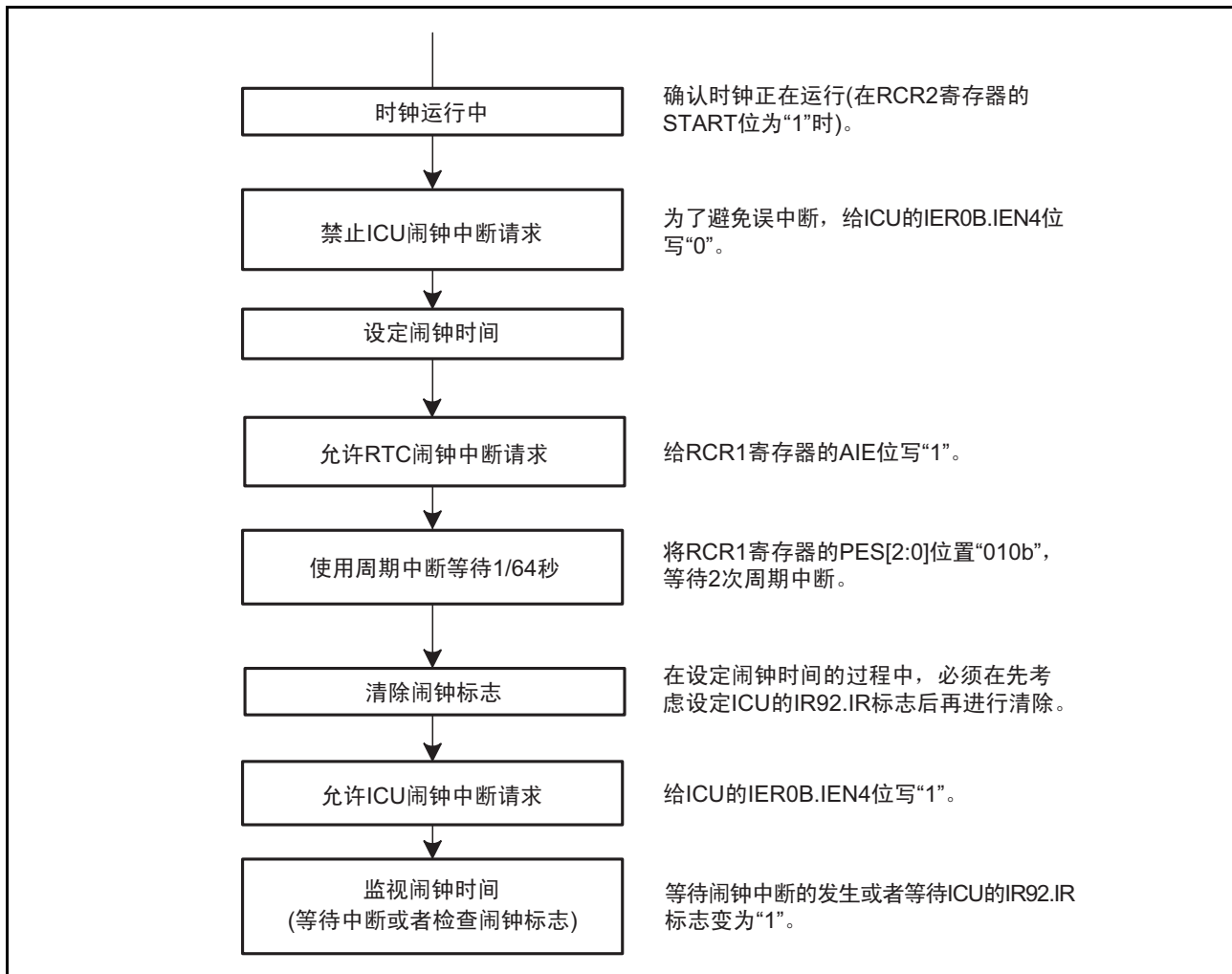


图 23.5 闹钟功能的使用方法

能通过年、月、日、星期、小时、分钟和秒中的任意一个或者组合产生闹钟。给作为闹钟对象的各闹钟寄存器的 ENB 位写“1”，将闹钟时间设定到低位；给不作为闹钟对象的寄存器的 ENB 位写“0”。

如果计数器和闹钟时间相同，就将 ICU 的 IR92.IR 标志置“1”。能通过读此位来确认闹钟的检测，但是通常通过中断进行确认。当 ICU 的 IER0B.IEN4 位已被写“1”时，发生闹钟中断并且能检测到闹钟。

如果写“0”，就清除 ICU 的 IR92.IR 标志。

在低功耗状态下，如果计数器和闹钟时间相同，就从低功耗状态返回。

注. 对应的中断源号请参照表 23.4。

23.3.6 闹钟中断的禁止步骤

允许状态的闹钟中断请求的禁止步骤如图 23.6 所示。

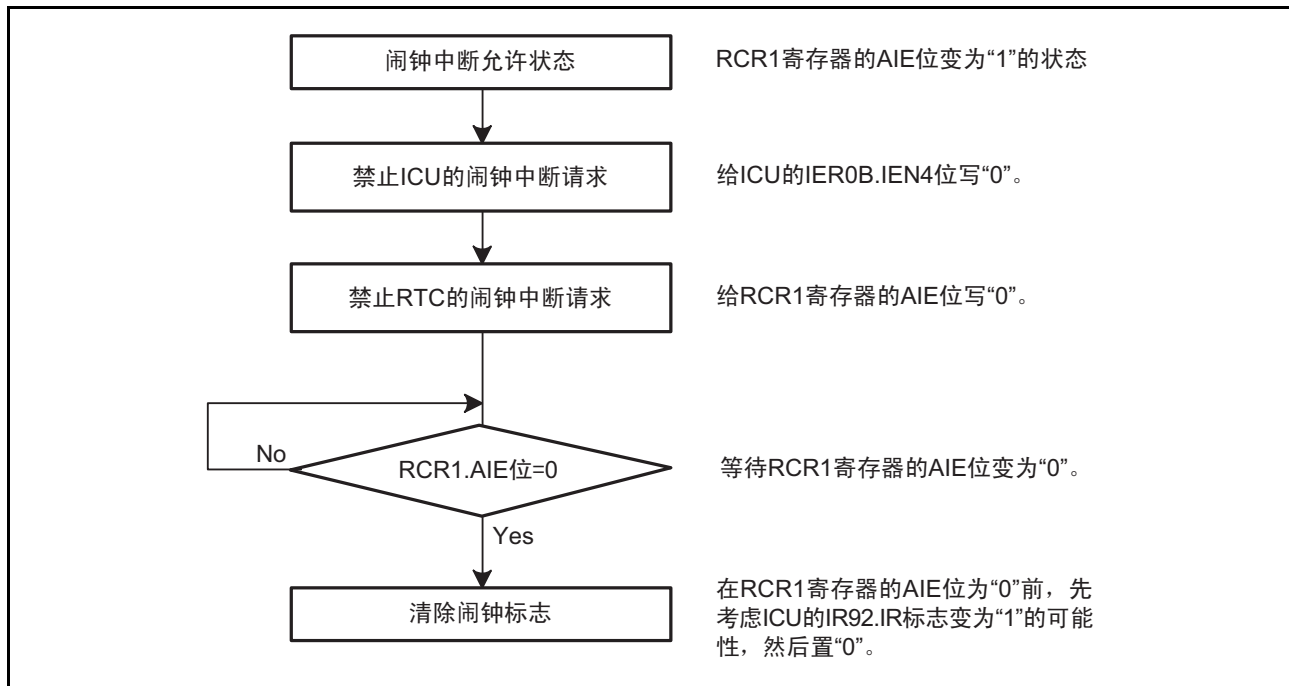


图 23.6 闹钟中断请求的禁止步骤

23.4 中断源

实时时钟的中断源有以下 3 种，RTC 的中断源如表 23.4 所示。

表 23.4 RTC 的中断源

名称	中断源	中断状态标志
ALM	闹钟中断	IR92.IR
PRD	周期中断	IR62.IR
CUP	进位中断	IR63.IR

(1) 闹钟中断（ALM）

根据闹钟寄存器和时钟计数器的比较结果发生中断（详细内容请参照各闹钟寄存器的说明）。

在设定闹钟寄存器的过程中，可能因闹钟寄存器和时钟计数器的值相同而使中断标志被置位，所以必须在更改闹钟寄存器后等待 1/64 秒，清除 1 次中断的 IRi.IR 标志。一旦闹钟中断的中断标志被清除 1 次，就在闹钟寄存器和时钟计数器再次变为不同的状态后，到再次相同或者重新设定闹钟为止，中断标志不被置位。

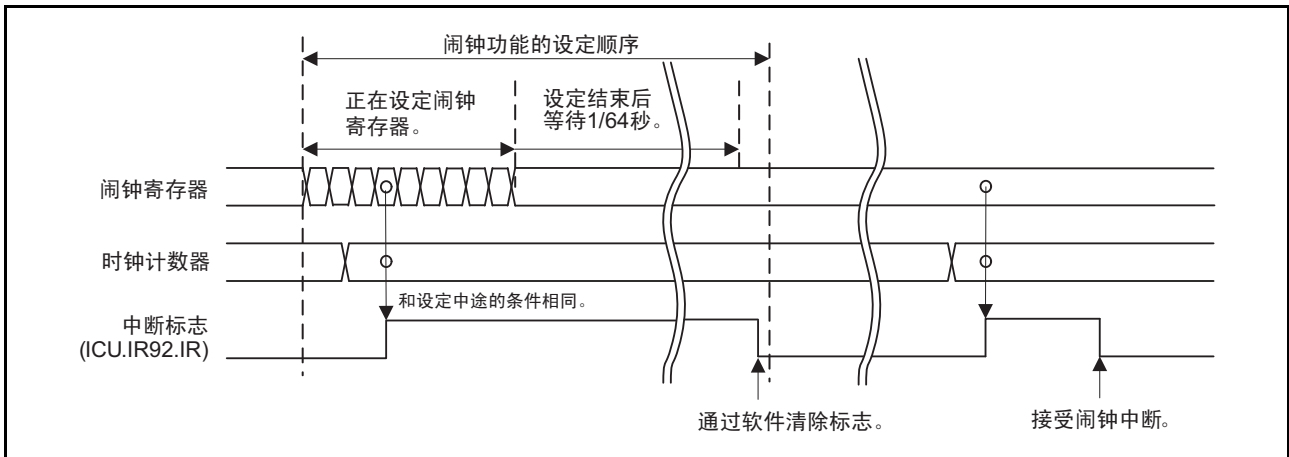


图 23.7 闹钟中断 (ALM) 的时序图

(2) 周期中断 (PRD)

这是在 2 秒、1 秒、1/2 秒、1/4 秒、1/16 秒、1/64 秒、1/256 秒周期发生的中断，可通过 RCR1 的 PES 位选择周期。

(3) 进位中断 (CUP)

这是在向秒计数器进位或者在读 64Hz 计数器时从预分频器向 R64CNT 进位时发生的有效中断。

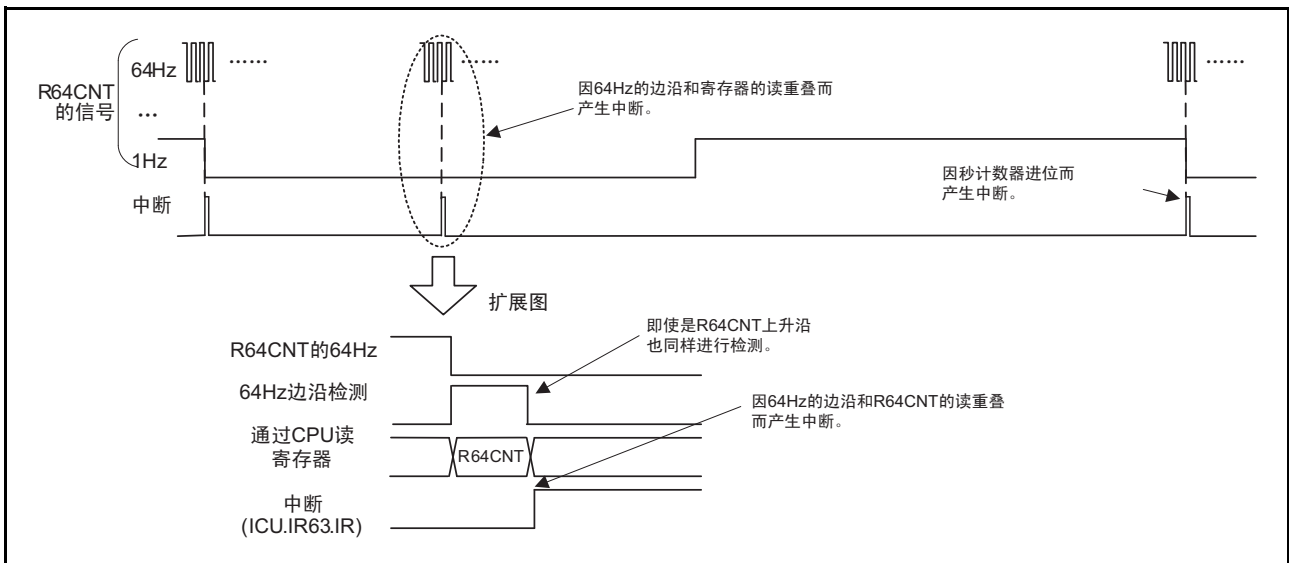


图 23.8 进位中断 (CUP) 的时序图

23.5 使用时的注意事项

23.5.1 计数运行时的寄存器写操作

在进行计数运行 (RCR2.START 位 =1) 时, 不能写以下寄存器:

RSECCNT、RMINCNT、RHRCNT、RDAYCNT、RWKCNT、RMONCNT、RYRCNT

如果要写上述寄存器, 就必须在暂停计数后进行写操作。

23.5.2 有关周期中断的使用

周期中断的使用方法如图 23.9 所示。

对于周期中断, 能通过设定 RCR1.PES[2:0] 位, 转换中断的发生周期。但是, 因为在发生中断时使用预分频器、R64CNT 和 RSECCNT, 所以无法保证设定 RCR1.PES[2:0] 位后的中断发生周期。如果通过 RCR2 寄存器进行计数的停止 / 重新开始、复位或者 30 秒调整, 就会影响中断的发生周期。

注. 对应的中断源号请参照表 23.4。

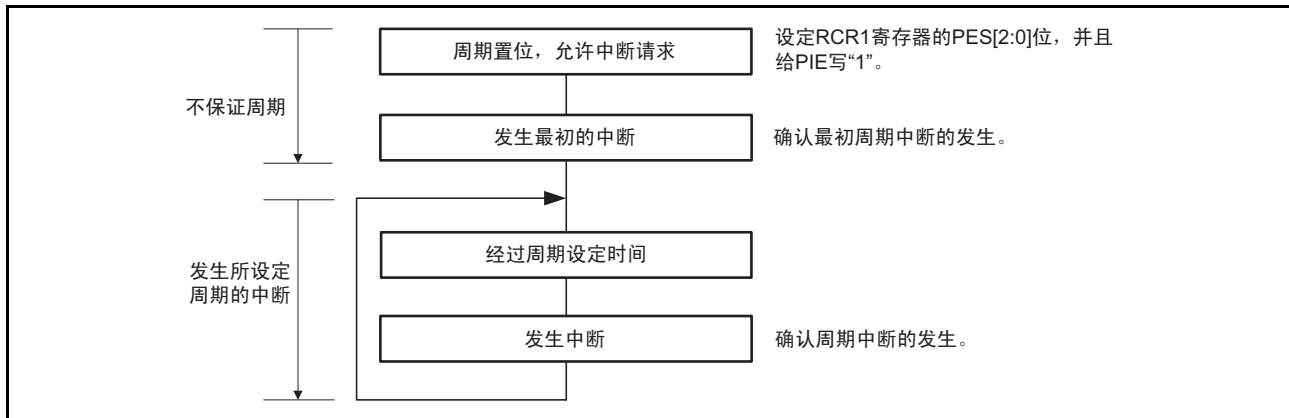


图 23.9 周期中断功能的使用方法

23.5.3 有关在设定寄存器后向低功耗模式的转移

如果在设定 RTC 内的寄存器后立即转移到软件待机状态或者深度软件待机状态, 就可能无法正常地进行计数。因此在设定寄存器后, 必须确认寄存器已被设定, 然后转移到软件待机状态或者深度软件待机状态。

23.5.4 读 / 写寄存器时的注意事项

- 在读秒计数器等计数寄存器时, 必须遵循“23.3.4 64Hz 计数器和时间读取步骤”。
- 如果在写计数寄存器、闹钟寄存器、年闹钟允许寄存器后读这些寄存器, 就从空读 3 次后的读操作开始反映写入值。
- 对于 RCR2.RTCOE 位和 RCR1 寄存器 (AIE 位除外), 能在写后立即读到你写入值。
- 如果在时钟停止运行过程中 (RCR2.START 位 =0) 转移到复位、软件待机或者深度软件待机状态, 就在从复位解除、软件待机或者深度软件待机返回后, 读不到正确的时钟计数器值。为了能在返回后读到时钟计数器的值, 需要重新开始时钟的运行 (将 RCR2.START 位置“1”) 并且等待 1/128 秒。
- 如果在从软件待机或者深度软件待机返回后需要转移到软件待机或者深度软件待机前的值, 就必须事先读取并且保存时钟计数器的值。
- 如果在时钟运行过程中 (RCR2.START 位 =1) 转移到复位、软件待机或者深度软件待机状态, 就在从复位解除、软件待机或者深度软件待机返回后的 1 个 128Hz 时钟周期, 读不到正确的时钟计数器值。为了能在从复位解除、软件待机或者深度软件待机返回后读到时钟计数器的值, 必须在等待 1/128 秒后进行读操作。

24. 看门狗定时器 (WDT)

看门狗定时器 (WDT) 是 8 位定时器，如果因系统失控等而不改写计数器的值导致发生上溢，就将上溢信号 (WDTOVF#) 输出到外部，同时能对 RX62N 和 RX621 的内部进行复位。

在不用作看门狗定时器时，也能用作间隔定时器。在用作间隔定时器的情况下，每当计数器发生上溢时，就发生间隔定时器中断。

24.1 概要

WDT 的规格和框图分别如表 24.1 和图 24.1 所示。

表 24.1 WDT 的规格

项目	内容
计数时钟	PCLK/4、PCLK/64、PCLK/128、PCLK/512、PCLK/2048、PCLK/8192、PCLK/32768、PCLK/131072
通道数	8 位 × 1 个通道
计数器清除	写 TCNT。
运行模式	看门狗定时器模式和间隔定时器模式的转换
看门狗定时器模式	如果计数器发生上溢，就将 WDTOVF# 信号输出到外部，并且能选择是否同时对 LSI 内部进行复位。
间隔定时器模式	如果计数器发生上溢，就产生间隔定时器中断 (WOVI)。

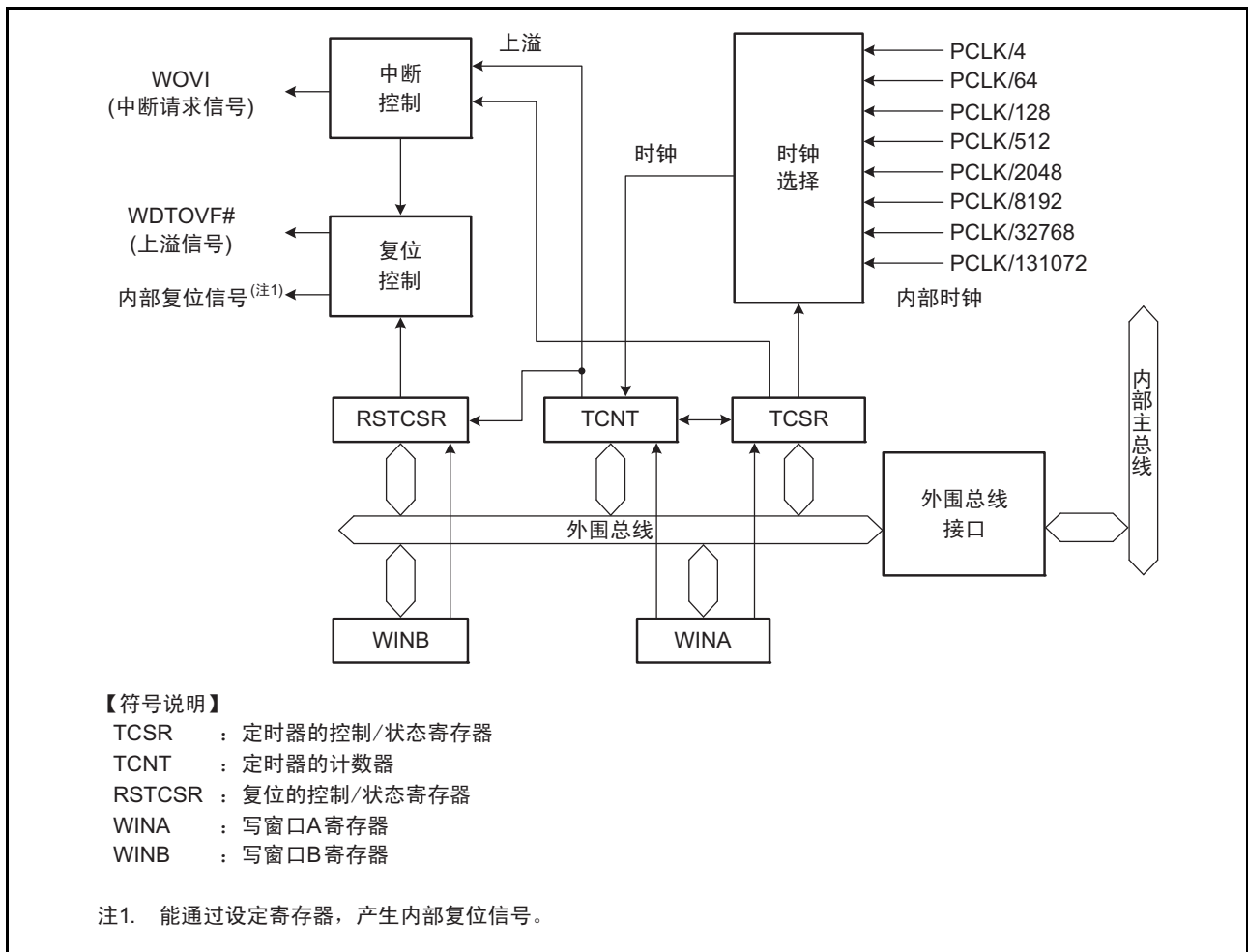


图 24.1 WDT 的框图

WDT 使用的输入 / 输出引脚如表 24.2 所示。

表 24.2 WDT 的输入 / 输出引脚

引脚名	输入 / 输出	功能
WDTOVF#	输出	输出看门狗定时器模式中的计数器上溢信号。

24.2 寄存器说明

WDT 的寄存器一览表如表 24.3 所示。

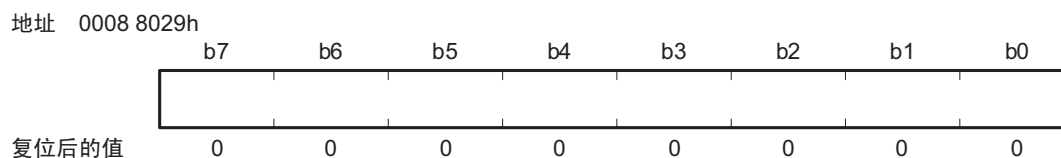
表 24.3 WDT 的寄存器一览表

寄存器名	符号	复位后的值	地址	存取长度
定时器的控制 / 状态寄存器	TCSR	x8h	0008 8028h (注 1)	8
定时器的计数器	TCNT	00h	0008 8029h (注 1)	8
复位的控制 / 状态寄存器	RSTCSR	1Fh	0008 802Bh (注 1)	8
写窗口 A 寄存器	WINA	—	0008 8028h (注 2)	16
写窗口 B 寄存器	WINB	—	0008 802Ah (注 2)	16

注 1. 这是只读寄存器。

注 2. 这是只写寄存器。

24.2.1 定时器的计数器 (TCNT)



TCNT 计数器是对内部时钟进行计数的 8 位递增计数器。

如果将 TCSR.TME 位置“0”，TCNT 计数器就被初始化为“00h”。

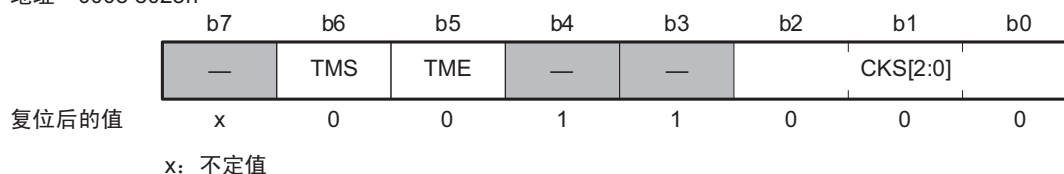
必须以 8 位为单位读 TCNT。

在写 TCNT 寄存器时，必须以 16 位为单位写 WINA 寄存器。

详细内容请参照“24.5.1 存取寄存器时的注意事项”。

24.2.2 定时器的控制 / 状态寄存器 (TCSR)

地址 0008 8028h



位	符号	位名	功能	R/W
b2-b0	CKS[2:0]	时钟选择位	b2 b0 0 0 0: PCLK/4 (周期为 20.5 μ s) 0 0 1: PCLK/64 (周期为 327.7 μ s) 0 1 0: PCLK/128 (周期为 655.4 μ s) 0 1 1: PCLK/512 (周期为 2.6ms) 1 0 0: PCLK/2048 (周期为 10.5ms) 1 0 1: PCLK/8192 (周期为 41.9ms) 1 1 0: PCLK/32768 (周期为 167.8ms) 1 1 1: PCLK/131072 (周期为 671.1ms) 注: () 内表示 PCLK 为 50MHz 时的上溢周期。	R/W
b4-b3	—	保留位	读写值都为“1”。	R/W
b5	TME	定时器允许位	0: TCNT 计数器停止计数并且被初始化为“00h” 1: TCNT 计数器开始计数	R/W
b6	TMS	定时器模式选择位	0: 间隔定时器模式 在 TCNT 计数器发生上溢时, 请求间隔定时器中断 (WOVI)。 1: 看门狗定时器模式 在 TCNT 计数器发生上溢时, 将 WDTOVF# 输出到外部。	R/W
b7	—	保留位	读取值为不定值, 只能写“1”。	R/W

TCSR 寄存器是选择 TCNT 计数器的输入时钟和模式的寄存器。

必须以 8 位为单位读 TCSR。

在写 TCSR 寄存器时, 必须以 16 位为单位写 WINA 寄存器。

详细内容请参照“24.5.1 存取寄存器时的注意事项”。

CKS[2:0] 位 (时钟选择位)

这些位选择 TCNT 计数器的输入时钟。

TME 位 (定时器允许位)

此位选择开始或者停止 TCNT 计数器的计数。

如果将此位置“1”, TCNT 计数器就开始计数; 如果置“0”, TCNT 计数器就停止计数并且被初始化为“00h”。

TMS 位 (定时器模式选择位)

此位选择是用作看门狗定时器还是用作间隔定时器。

24.2.3 复位的控制 / 状态寄存器 (RSTCSR)

地址 0008 802Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	WOVF	RSTE	—	—	—	—	—	—
复位后的值	0	0	0	1	1	1	1	1

位	符号	位名	功能	R/W
b4-b0	—	保留位	读写值都为“1”。	R/W
b5	—	保留位	读写值都为“0”。	R/W
b6	RSTE	复位允许位	0: 在看门狗定时器模式中, 即使 TCNT 计数器发生上溢, LSI 内部也不被复位 (WDT 的 TCNT 计数器和 TCSR 寄存器被复位)。 1: 在看门狗定时器模式中, 当 TCNT 计数器发生上溢时, LSI 内部被复位。	R/W
b7	WOVF	看门狗定时器上溢标志	0: 在看门狗定时器模式中, TCNT 计数器不发生上溢。 1: 在看门狗定时器模式中, TCNT 计数器发生上溢。	R/(W) (注 1)

注 1. 为了清除标志, 只能写“0”。

RSTCSR 寄存器控制因 TCNT 计数器的上溢而产生的内部复位信号以及选择内部复位信号的种类。

通过 RES# 引脚的复位信号和深度软件待机复位将 RSTCSR 寄存器初始化为“1Fh”, 而不通过因看门狗定时器的上溢而产生的内部复位信号进行初始化。

必须以 8 位为单位读 RSTCSR 寄存器。

写 RSTCSR 寄存器时, 必须以 16 位为单位写 WINB 寄存器。

详细内容请“24.5.1 存取寄存器时的注意事项”。

RSTE 位 (复位允许位)

在看门狗定时器模式中, 此位选择是否通过 TCNT 计数器的上溢对 LSI 内部进行复位。

WOVF 标志 (看门狗定时器上溢标志)

在看门狗定时器模式中, 此标志表示 TCNT 计数器发生了上溢; 在间隔定时器模式中, 此标志不为“1”。

[为“1”的条件]

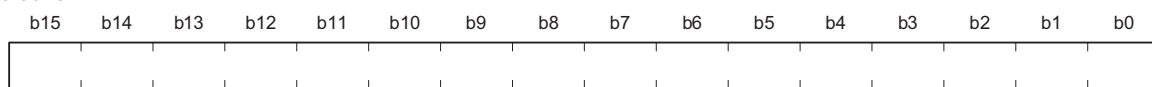
- 在看门狗定时器模式中, TCNT 计数器发生上溢 (“FFh”→“00h”) 时

[为“0”的条件]

- 读“1”后写“0”时

24.2.4 写窗口 A 寄存器 (WINA)

地址 0008 8028h



复位后的值

-

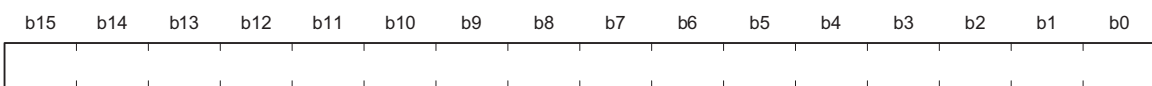
WINA 寄存器是改写 TCNT 计数器值和 TCSR 寄存器值的只写寄存器。

TCNT 计数器和 TCSR 寄存器的写法不同，详细内容请参照“24.5.1 存取寄存器时的注意事项”。

必须以 16 位为单位写 WINA 寄存器。

24.2.5 写窗口 B 寄存器 (WINB)

地址 0008 802Ah



复位后的值

-

WINB 寄存器是改写 RSTCSR 寄存器值的只写寄存器。

给 RSTCSR.WOVF 标志写“0”的方法不同于 RSTCSR.RSTE 位的写法，详细内容请参照“24.5.1 存取寄存器时的注意事项”。

必须以 16 位为单位写 WINB 寄存器。

24.3 运行说明

24.3.1 看门狗定时器模式

在用作看门狗定时器模式时，必须将 TCSR.TMS 位置“1”（看门狗定时器模式）并且将 TCSR.TME 位置“1”（TCNT 计数器开始计数）。

如果在用作看门狗定时器时因系统失控等而不改写 TCNT 计数器的值导致发生上溢，就输出 WDTOVF# 信号。在系统正常运行期间，TCNT 计数器不发生上溢。为了避免上溢的产生，必须编写在 TCNT 计数器发生上溢前改写 TCNT 计数器的值（通常写“00h”）的程序。而且，能在看门狗定时器模式中通过 WDTOVF# 信号对 LSI 内部进行复位。

如果在看门狗定时器模式中 TCNT 计数器发生上溢，RSTCSR.WOVF 标志就变为“1”。另外，如果将 RSTCSR.RSTE 位置“1”，就在 TCNT 计数器发生上溢时输出 WDTOVF# 信号，同时产生对 LSI 内部进行复位的信号。如果 RES# 引脚输入信号的复位和看门狗定时器上溢的复位同时发生，就优先进行 RES# 引脚的复位，并且 RSTCSR.WOVF 标志变为“0”。

当 RSTE 位为“1”时，在 PCLK 的 257 个状态期间输出 WDTOVF# 信号；当 RSTE 位为“0”时，在 PCLK 的 256 个状态期间输出 WDTOVF# 信号。在 PCLK 的 1027 个状态期间输出内部复位信号。

因为在 RSTE 位为“1”时产生内部复位信号并且系统时钟的控制寄存器（SCKCR）被复位，所以 PCLK 输入时钟的倍率变为初始值。

因为在 RSTE 位为“0”时不产生内部复位信号并且保持 SCKCR 寄存器的设定，所以 PCLK 输入时钟的倍率不变。

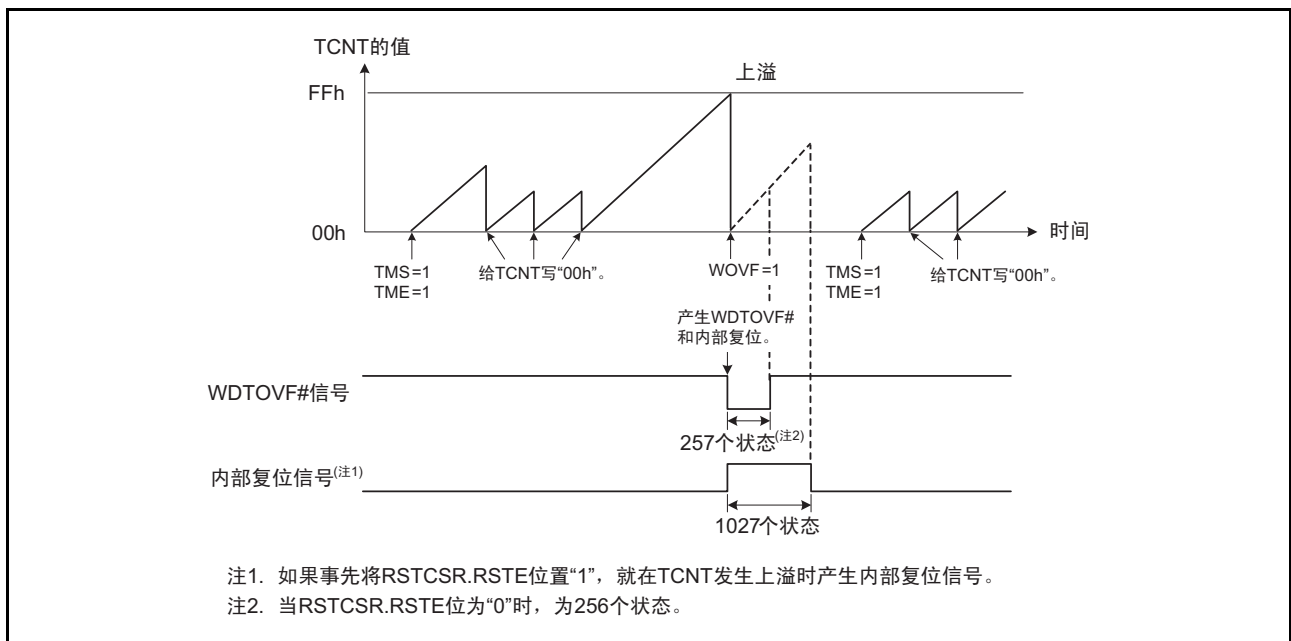


图 24.2 看门狗定时器模式的运行

24.3.2 间隔定时器模式

在用作间隔定时器时，必须将 TCSR.TMS 位置“0”（间隔定时器模式）并且将 TCSR.TME 位置“1”（TCNT 计数器开始计数）。

在用作间隔定时器的情况下，每当 TCNT 计数器发生上溢时，就发生间隔定时器中断（WOVI）。因此，能按固定的时间发生中断。

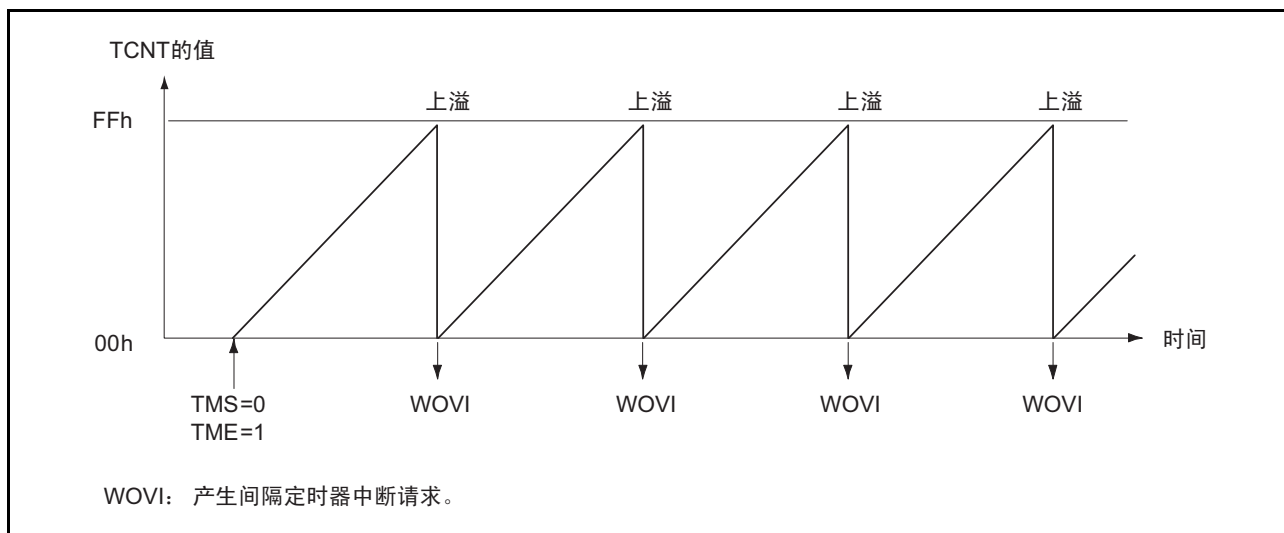


图 24.3 间隔定时器模式的运行

24.4 中断源

在间隔定时器模式中，通过 TCNT 计数器的上溢产生间隔定时器中断（WOVI），详细内容请参照“11. 中断控制器（ICUa）”。

表 24.4 WDT 的中断源

名称	中断源	中断状态标志	DTC 的启动	DMACA 的启动
WOVI	TCNT 的上溢	IR096.IR	不能	不能

24.5 使用时的注意事项

24.5.1 存取寄存器时的注意事项

为了 TCNT 计数器、TCSR 寄存器和 RSTCSR 寄存器不被轻易改写，其写法不同于一般寄存器。

(1) 写 TCNT 计数器、TCSR 寄存器和 RSTCSR 寄存器

在写 TCNT 计数器和 TCSR 寄存器时，必须对写窗口 A 寄存器 (WINA) (0008 8028h) 使用字传送指令。TCNT 计数器和 TCSR 寄存器的写操作被分配在相同的地址，因此必须如图 24.4 进行设定。

在写 TCNT 计数器时，必须在将高位字节置“5Ah”并且将低位字节设定为 TCNT 计数器的写数据后进行传送。

在写 TCSR 寄存器时，必须在将高位字节置“A5h”并且将低位字节设定为 TCSR 寄存器的写数据后进行传送。

在写 RSTCSR 寄存器时，必须对写窗口 B 寄存器 (WINB) (0008 802Ah) 使用字传送指令。

给 RSTCSR.WOVF 标志写“0”的方法不同于 RSTCSR.RSTE 位的写法。因此，必须按图 24.4 所示的内容传送数据。

在给 WOVF 标志写“0”时，如图 24.4 所示，必须在将高位字节置“A5h”，将低位字节置“00h”后，以 16 位为单位写数据。此时，不影响 RSTE 位。

在写 RSTE 位时，如图 24.4 所示，必须在将高位字节置“5Ah”并且将低位字节设定为 RSTCSR 寄存器的写数据后，以 16 位为单位写数据。此时，不影响 WOVF 标志。

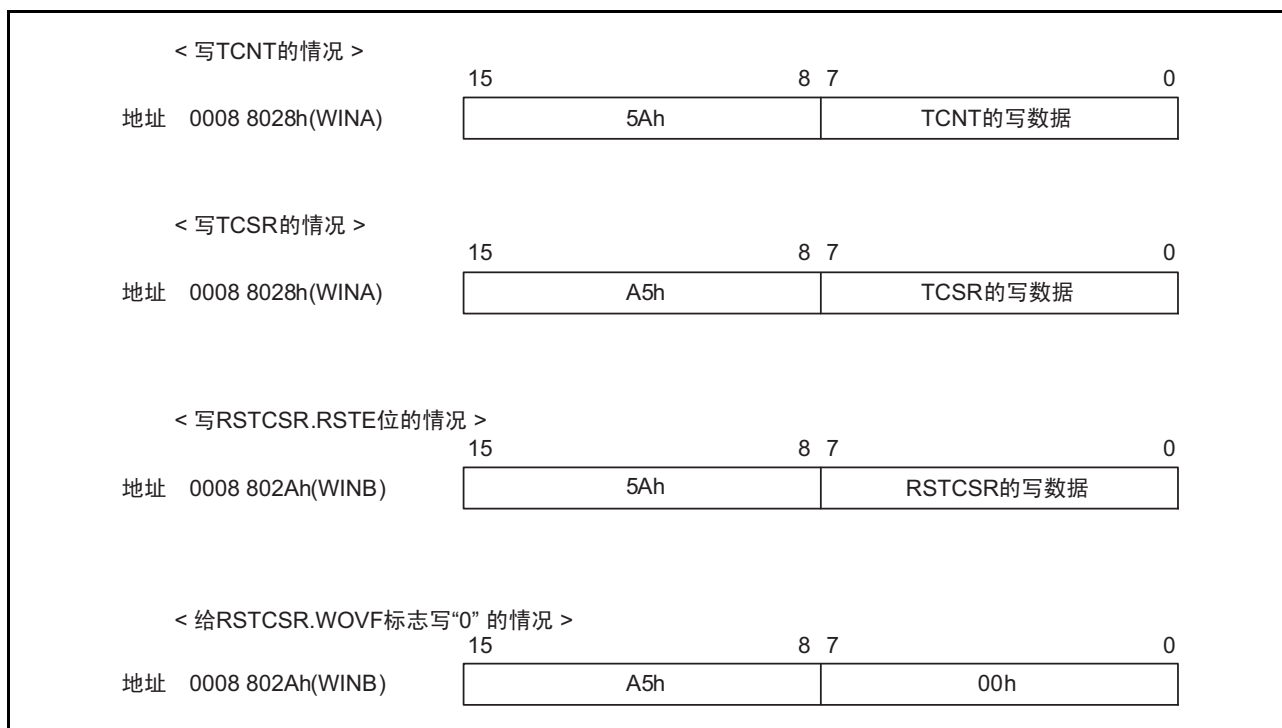


图 24.4 写 TCNT 计数器、TCSR 寄存器和 RSTCSR 寄存器

(2) 读 TCNT 计数器、TCSR 寄存器和 RSTCSR 寄存器

TCNT 计数器、TCSR 寄存器和 RSTCSR 寄存器的读法和一般寄存器相同。

TCSR 寄存器必须以 8 位为单位存取地址 0008 8028h，TCNT 计数器必须以 8 位为单位存取地址 0008 8029h，RSTCSR 寄存器必须以 8 位为单位存取地址 0008 802Bh。

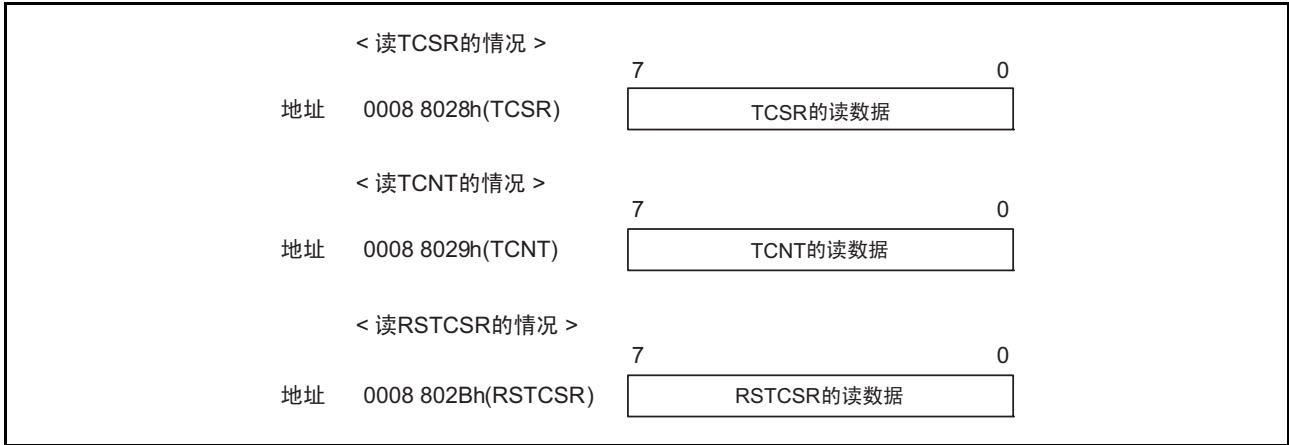


图 24.5 读 TCNT 计数器、TCSR 寄存器和 RSTCSR 寄存器

24.5.2 定时器的计数器 (TCNT) 的写和递增计数的竞争

即使在写 TCNT 计数器的过程中输入递增计数的时钟，也不进行递增计数而优先写 TCNT 计数器，如图 24.6 所示。

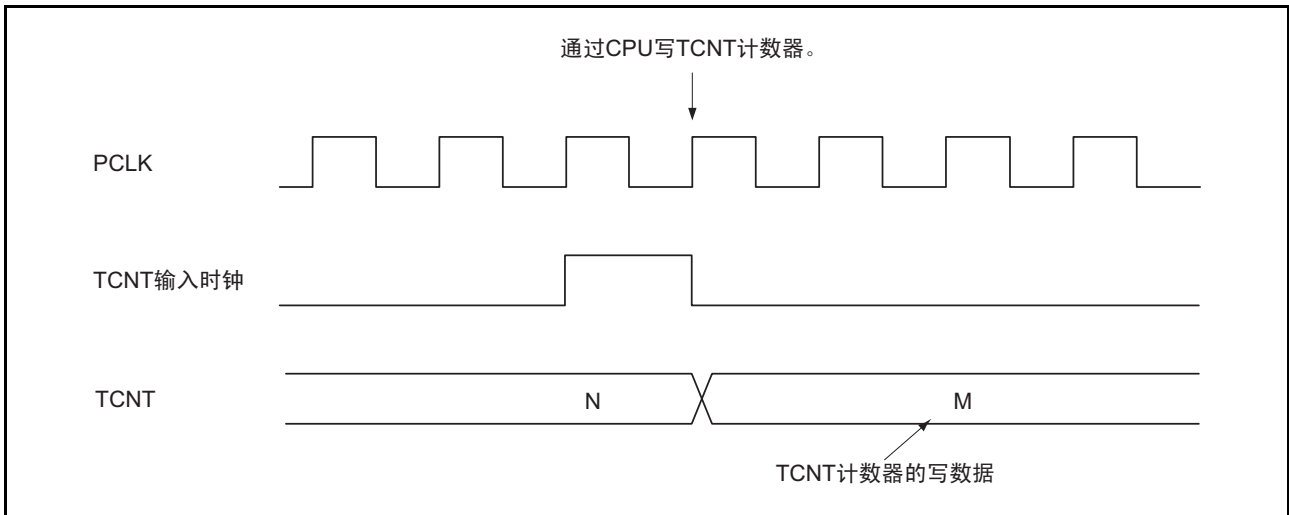


图 24.6 TCNT 计数器的写和递增计数的竞争

24.5.3 CKS[2:0] 位的改写

如果在看门狗定时器运行过程中改写 TCSR.CKS[2:0] 位，就可能无法正常进行递增计数。因此，必须在停止看门狗定时器（将 TCSR.TME 位置“0”）后改写 CKS[2:0] 位。

24.5.4 看门狗定时器模式和间隔定时器模式的转换

如果在看门狗定时器运行过程中进行看门狗定时器模式和间隔定时器模式的转换，就可能无法正常运行。因此，必须在停止看门狗定时器（将 TCSR.TME 位置“0”）后转换定时器模式。

24.5.5 看门狗定时器模式的内部复位

如果在看门狗定时器模式中将 RSTCSR.RSTE 位置“0”，即使 TCNT 计数器发生上溢，LSI 内部也不被复位，但是看门狗定时器的 TCNT 计数器和 TCSR 寄存器被复位。

在 WDTOVF# 信号输出 Low 电平期间，不能写 TCNT 计数器、TCSR 寄存器和 RSTCSR 寄存器，也无法识别 RSTCSR.WOVF 标志的读操作。因此，要清除 WOVF 标志时，必须在 WDTOVF# 信号变为 High 电平后，在读 RSTCSR 寄存器后给 WOVF 标志写“0”。

24.5.6 通过 WDTOVF# 信号进行系统复位

如果将 WDTOVF# 信号输入到 RES# 引脚，就不能对 LSI 进行正常的初始化。不能将 WDTOVF# 信号输入到 RES# 引脚。在通过 WDTOVF# 信号对整个系统进行复位时，必须在如图 24.7 所示的电路上进行。

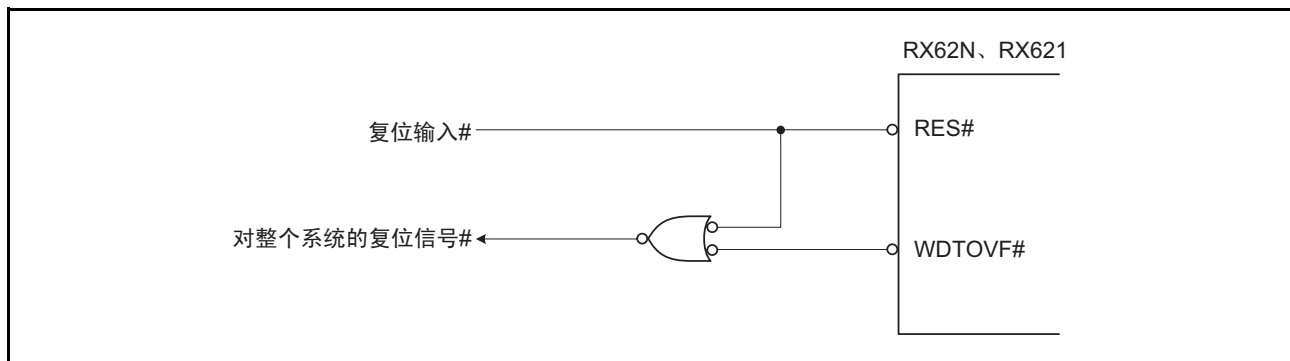


图 24.7 通过 WDTOVF# 信号进行系统复位的电路例子

24.5.7 向看门狗定时器模式和软件待机模式的转移

在用作看门狗定时器模式时，即使在将待机控制寄存器的软件待机位（SBYCR.SSBY）置“1”（在执行 WAIT 指令后转移到软件待机模式）的状态下执行 WAIT 指令，也不转移到软件待机模式，而转移到睡眠模式或者全模块时钟停止模式。

如果要转移到软件待机模式，就必须在停止看门狗定时器（将 TCSR.TME 位置“0”）后执行 WAIT 指令。

在用作间隔定时器模式时，如果在将 SSBY 位置“1”的状态下执行 WAIT 指令，就转移到软件待机模式。

详细内容请参照“9. 低功耗功能”。

25. 独立看门狗定时器 (IWDT)

独立看门狗定时器 (IWDT) 是和检测程序失控的传统看门狗定时器 (WDT) 独立使用的看门狗定时器。IWDT 内置 14 位递减计数器，如果递减计数器的计数值发生下溢，就对系统进行复位。IWDT 还有刷新功能。

注. 在使用 IWDT 时，必须在发生下溢前进行刷新，详细内容请参照“25.3.3 刷新”。

25.1 概要

IWDT 的规格和框图分别如表 25.1 和图 25.1 所示。

表 25.1 IWDT 的规格

项目	内容
计数时钟	IWDTCLK、IWDTCLK/16、IWDTCLK/32、IWDTCLK/64、IWDTCLK/128、IWDTCLK/256
计数	通过 14 位递减计数器进行递减计数。
计数开始条件	通过刷新递减计数器（在给 IWDTRR 寄存器写“00h”后写“FFh”）开始计数。
计数停止条件	<ul style="list-style-type: none"> • 复位（递减计数器或者寄存器返回到初始值） • 发生下溢时
IWDT 复位输出源	递减计数器发生下溢时
读 IWDT 计数器	能通过读 IWDTSR 寄存器，读递减计数器的计数值。

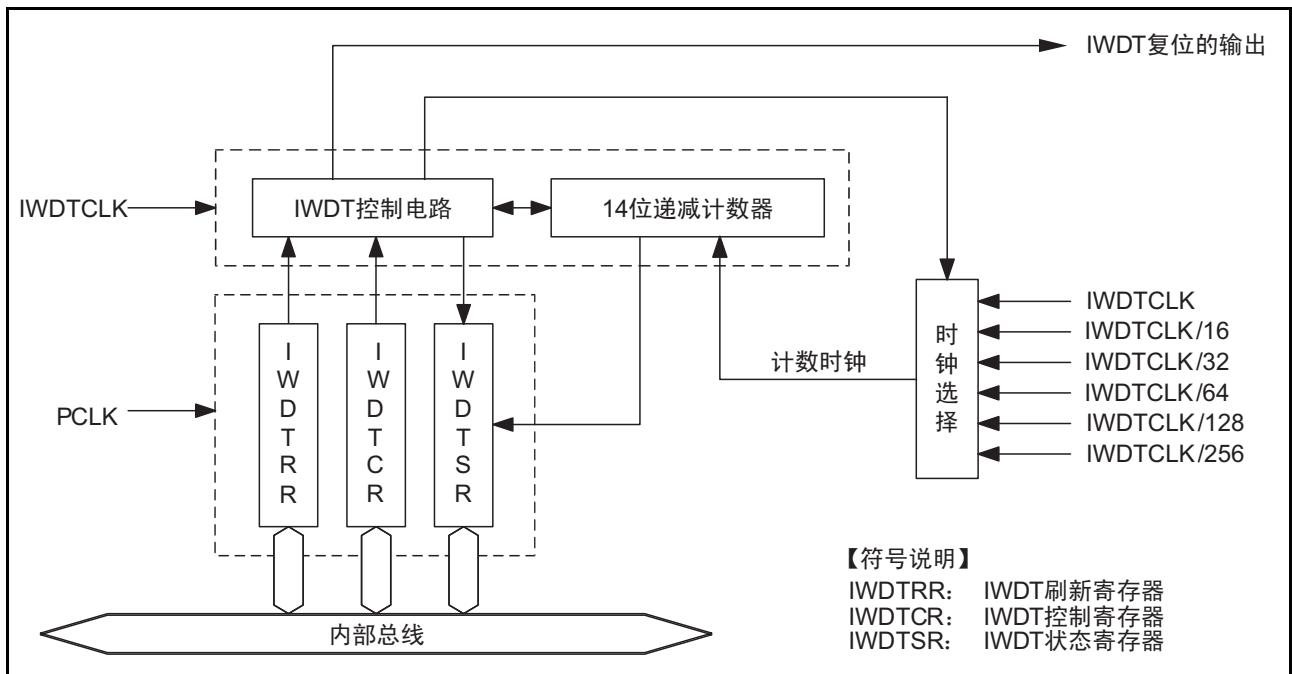


图 25.1 WDT 的框图

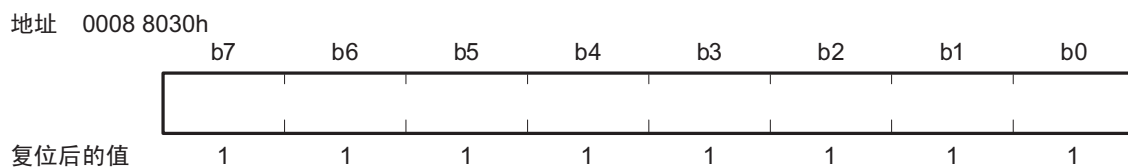
25.2 寄存器说明

IWDG 的寄存器一览表如表 25.2 所示。

表 25.2 IWDG 的寄存器一览表

寄存器名	符号	复位后的值	地址	存取长度
IWDG 刷新寄存器	IWDTRR	FFh	0008 8030h	8
IWDG 控制寄存器	IWDTCR	3303h	0008 8032h	16
IWDG 状态寄存器	IWDTSR	0000h	0008 8034h	16

25.2.1 IWDG 刷新寄存器 (IWDTRR)



IWDTRR 寄存器是刷新 IWDG 递减计数器的寄存器。

通过在给 IWDTRR 寄存器写“00h”后写“FFh”（刷新），刷新 IWDG 的递减计数器。一旦递减计数器被刷新，就从 IWDG 控制寄存器 (IWDTCR) 的 TOPS[1:0] 位设定的值开始递减计数。

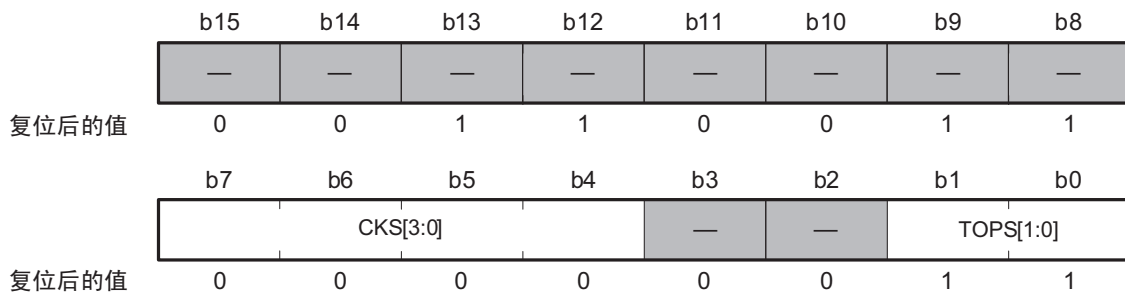
通过复位解除后的第 1 次刷新，从 IWDTCR.TOPS[1:0] 位的设定值开始递减计数。

如果在写“00h”后写“FFh”以外的值，写“00h”就无效。要将刷新设定为有效时，必须再次在写“00h”后写“FFh”。

如果写“00h”，读取值就为“00h”；如果写“00h”以外的值，就总是为“FFh”。

25.2.2 IWDT 控制寄存器 (IWDTCR)

地址 0008 8032h



位	符号	位名	功能	R/W
b1-b0	TOPS[1:0]	超时选择位	b1 b0 0 0: 1024 个周期 (03FFh) 0 1: 4096 个周期 (0FFFh) 1 0: 8192 个周期 (1FFFh) 1 1: 16384 个周期 (3FFFh)	R/W
b3-b2	—	保留位	读写值都为“0”。	R/W
b7-b4	CKS[3:0]	时钟选择位	b7 b4 0 0 — — : IWDTCLK 0 1 0 0 : IWDTCLK/16 0 1 0 1 : IWDTCLK/32 0 1 1 0 : IWDTCLK/64 0 1 1 1 : IWDTCLK/128 1 — — — : IWDTCLK/256	R/W
b9-b8	—	保留位	读写值都为“1”。	R/W
b11-b10	—	保留位	读写值都为“0”。	R/W
b13-b12	—	保留位	读写值都为“1”。	R/W
b15-b14	—	保留位	读写值都为“0”。	R/W

IWDTCR 寄存器是设定递减计数器发生下溢前的超时以及计数时钟的寄存器。

在从解除复位后到第 1 次刷新的期间，只能写 1 次 IWDTCR 寄存器。因为 IWDTCR 寄存器的写操作被锁定，所以不能在刷新（开始计数）后写 IWDTCR 寄存器，并且第 2 次以后的 IWDTCR 寄存器写操作无效。

通过 IWDT 的复位源而不能通过其他复位源来解除 IWDTCR 寄存器的锁定，详细内容请参照“6. 复位”。

TOPS[1:0] 位（超时选择位）

以 CKS[3:0] 位设定的计数时钟为 1 个周期，这些位从 1024 个周期、4096 个周期、8192 个周期和 16384 个周期中选择递减计数器发生下溢前的超时。

刷新后到下溢前的时间（IWDTCLK 数）取决于 CKS[3:0] 位和 TOPS[1:0] 位的组合。

CKS[3:0] 位和 TOPS[1:0] 位的设定与超时、IWDTCLK 数的关系如表 25.3 所示。

表 25.3 超时设定表

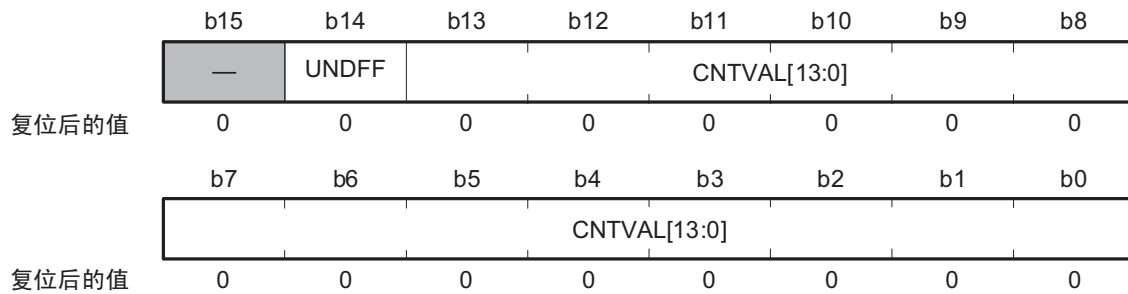
CKS[3:0]				TOPS[1:0]		计数时钟	超时 (周期数)	IWDTCLK 数
0	0	—	—	0	0	IWDTCLK	1024	1024
				0	1		4096	4096
				1	0		8192	8192
				1	1		16384	16384
0	1	0	0	0	0	IWDTCLK/16	1024	16384
				0	1		4096	65536
				1	0		8192	131072
				1	1		16384	262144
0	1	0	1	0	0	IWDTCLK/32	1024	32768
				0	1		4096	131072
				1	0		8192	262144
				1	1		16384	524288
0	1	1	0	0	0	IWDTCLK/64	1024	65536
				0	1		4096	262144
				1	0		8192	524288
				1	1		16384	1048576
0	1	1	1	0	0	IWDTCLK/128	1024	131072
				0	1		4096	524288
				1	0		8192	1048576
				1	1		16384	2097152
1	—	—	—	0	0	IWDTCLK/256	1024	262144
				0	1		4096	1048576
				1	0		8192	2097152
				1	1		16384	4194304

CKS[3:0] 位 (时钟选择位)

从 IWDTCLK、IWDTCLK/16、IWDTCLK/32、IWDTCLK/64、IWDTCLK/128 和 IWDTCLK/256 中选择递减计数器的计数时钟。能通过和 TOPS[1:0] 位的组合设定，将 IWDT 的计数时间设定在 IWDTCLK 的 1024 ~ 4194304 个时钟之间。

25.2.3 IWDT 状态寄存器 (IWDTSR)

地址 0008 8034h



位	符号	位名	功能	R/W
b13-b0	CNTVAL[13:0]	递减计数器位	递减计数器的计数值	R
b14	UNDFE	下溢标志	1: 下溢 0: 无下溢	R/W
b15	—	保留位	读写值都为“0”。	R/W

IWDTSR 寄存器是确认递减计数器的计数值和下溢发生状态的寄存器。

通过 IWDT 的复位源而不能通过其他复位源对 IWDTSR 寄存器进行初始化，详细内容请参照“6. 复位”。

CNTVAL[13:0] 位 (递减计数器位)

这些位能确认递减计数器的计数值。

UNDFE 标志 (下溢标志)

此标志能确认递减计数器的下溢发生状态。

当读取值为“1”时，表示递减计数器发生下溢；当读取值为“0”时，表示未发生下溢。

要清除 UNDFE 标志的值时，必须给此标志写“0”，写“1”无效。

25.3 运行说明

25.3.1 递减计数器的计数

在解除复位后，给 IWDTCR 寄存器设定计数时钟和超时，然后通过刷新将 IWDTCR.TOPS[1:0] 位设定的值设定到递减计数器并且开始递减计数。

此后，如果程序正常运行并且递减计数器被刷新，就在每次刷新时重新设定计数器的值并且继续递减计数。在此期间，IWDT 不输出复位。但是，如果因程序失控而无法刷新递减计数器并且递减计数器发生下溢，IWDT 就输出复位。

在输出复位后，递减计数器保持初始状态 (ALL“0”)。在从复位返回后，通过刷新开始递减计数。递减计数器的计数运行例子如图 25.2 所示。

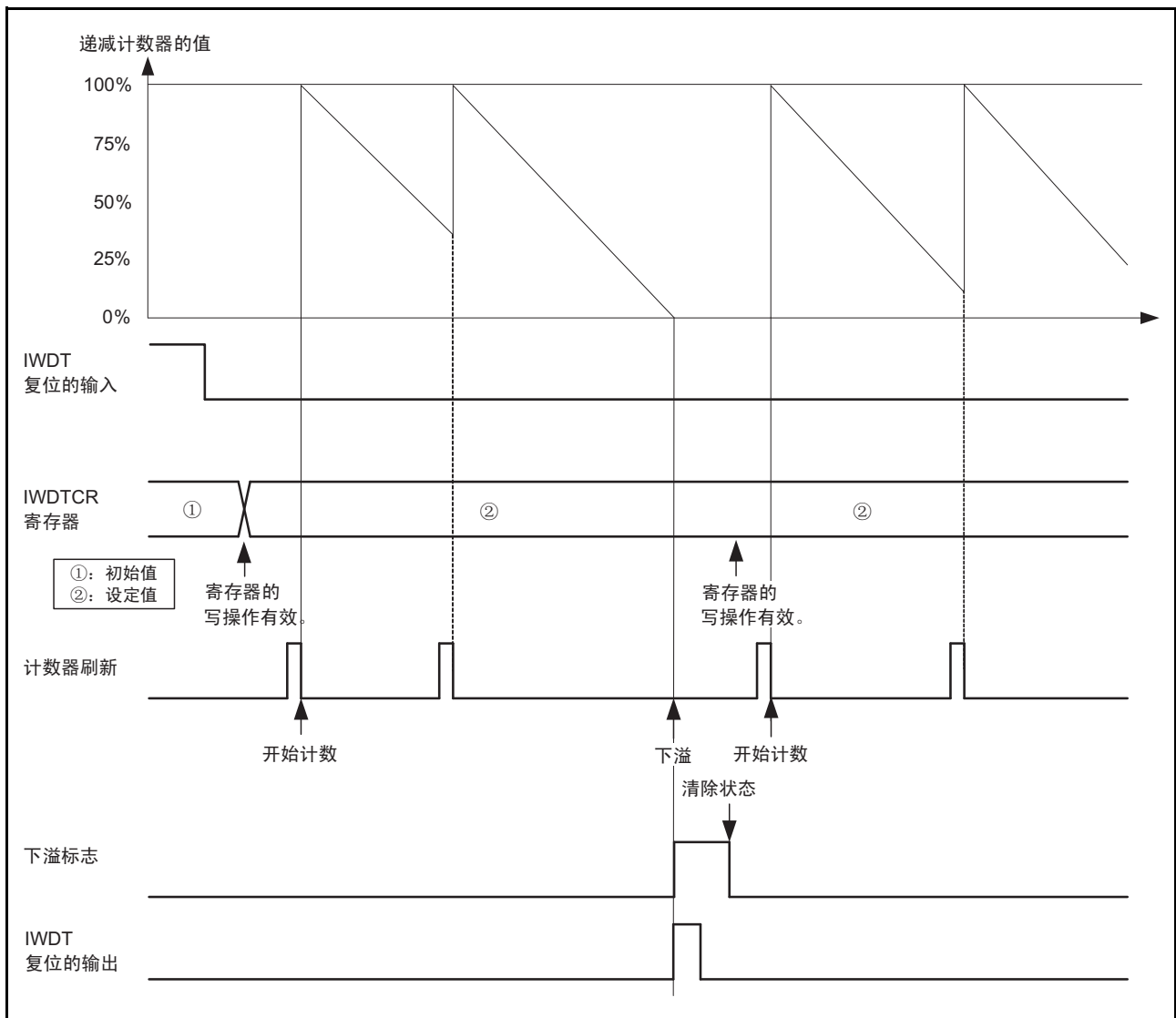


图 25.2 递减计数器的计数运行例子

25.3.2 IWDT 控制寄存器的写控制

只能在解除复位后写 1 次 IWDT 控制寄存器 (IWDTCR)。

如果写 IWDTCR 寄存器，IWDT 内部的寄存器锁定信号就变为“1”，锁定以后的 IWDTCR 寄存器的写操作。通过 IWDT 的复位源而不能通过其他复位源来解除锁定，详细内容请参照“6. 复位”。

IWDTCR 寄存器的写控制波形如图 25.3 所示。

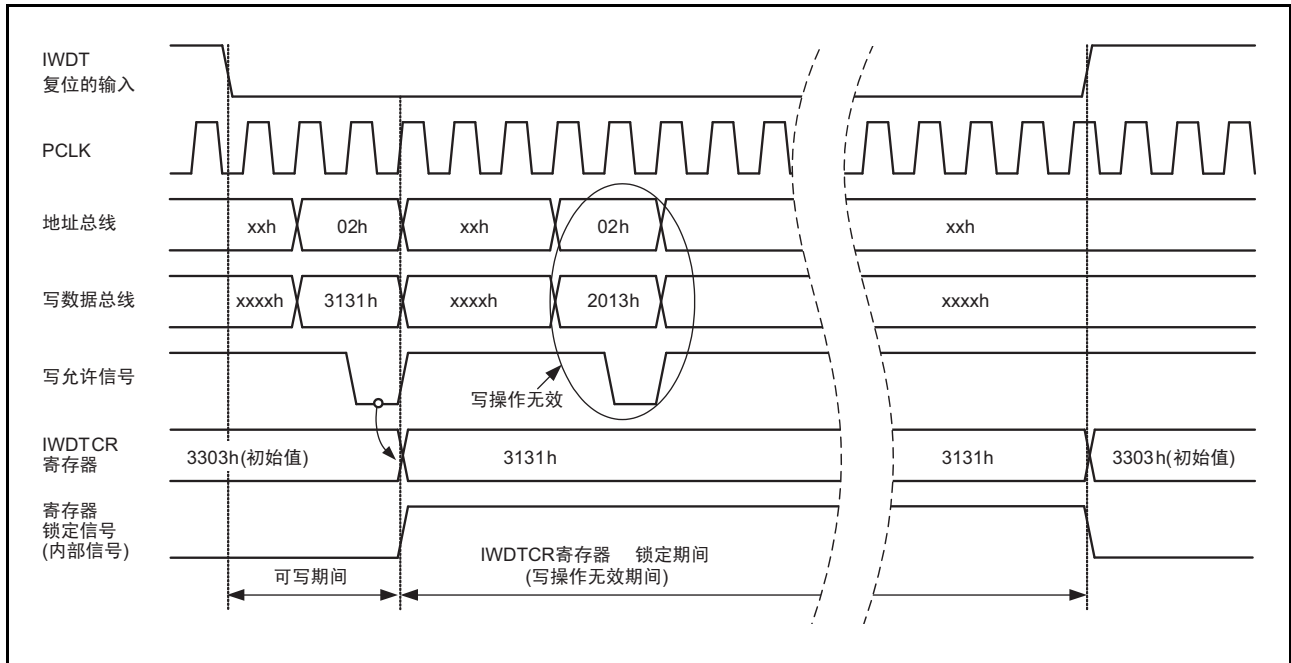


图 25.3 WDTCR 寄存器的写控制波形

25.3.3 刷新

要使 IWDT 开始运行 (开始递减计数) 以及刷新递减计数器时，必须按照 00h→FFh 的顺序写 IWDT 的刷新寄存器 (IWDTRR)，否则写操作无效。因此，为了能正常地进行刷新，必须再次按照 00h→FFh 的顺序写 IWDTRR 寄存器。

虽然 00h→00h 的写操作无效，但是之后通过写“FFh”能使 00h→FFh 的写操作变为有效，因此 00h→00h→FFh 的写操作也有效。即使第 1 次写“00h”以外的值，之后 00h→FFh 的写操作也同样有效。

【刷新无效的写操作例子】

- 23h (不是“00h”) →FFh
- 00h→54h (不是“FFh”)
- 00h→AAh (不是“FFh”) →FFh

在给 IWDTRR 寄存器写“FFh”后，递减计数器的刷新最多需要 4 个计数周期 (1 个周期的 IWDTCLK 数因时钟选择位 (IWDTCR.CKS[3:0]) 的设定值而不同)。因此，在计数器发生下溢的 4 个计数时钟前，必须给 IWDTRR 寄存器写完“FFh”。能通过递减计数器的位 (IWDTSR.CNTVAL[13:0]) 确认计数器的值。

计数时钟为 IWDTCLK 时的刷新波形如图 25.4 所示。

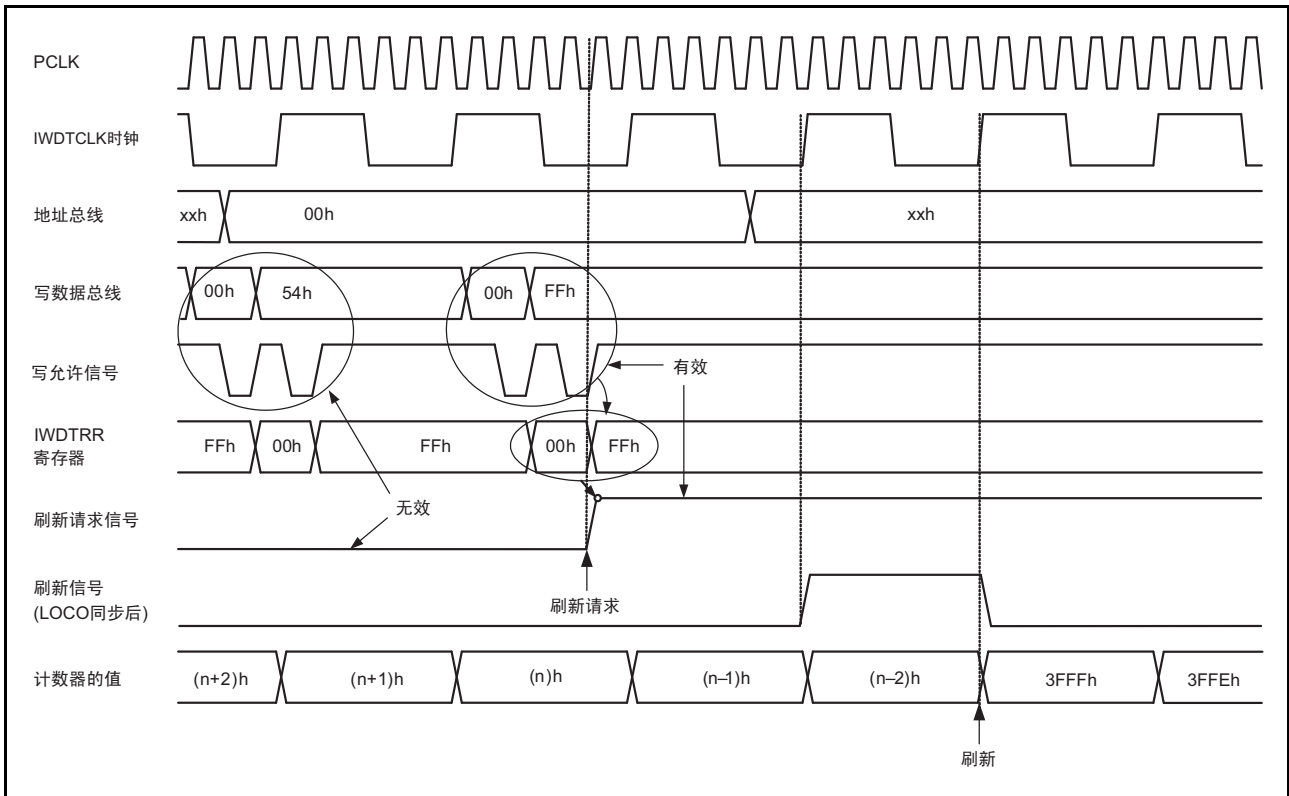


图 25.4 刷新波形 (IWDTCR.CKS[3:0]=0000b, IWDTCR.TOPS[1:0]=11b)

25.3.4 状态标志

下溢标志 (IWDTSR.UNDNF) 保持 IWDT 输出复位时的复位源。

在解除复位后, 能通过读 IWDTSR.UNDNF 标志, 确认复位源的发生状态。

要清除 UNDNF 标志的值时, 必须写“0”。写“1”无效。

即使不清除 UNDNF 标志, 也不影响运行。在不清除 UNDNF 标志的情况下, 在下次 IWDT 输出复位时清除旧的复位源并且写新的复位源。

25.4 使用时的注意事项

25.4.1 向低功耗功能转移时的限制事项

通过写 IWDTCR 寄存器或者刷新 IWDTCR 寄存器, IWDT 进入使用状态。

当 IWDT 处于使用状态时, 即使在将 SBYCR.SSBY 位置“1”后执行 WAIT 指令, 也不转移到软件待机模式而转移到睡眠模式或者全模块时钟停止模式。

通过 IWDT 的复位源而不能通过其他复位源来解除 IWDT 的使用状态, 详细内容请参照“6. 复位”。

26. 以太网控制器 (ETHERC)

26.1 概要

RX62N 群内置以太网或者符合 IEEE802.3 的 MAC (Media Access Control) 层规格的以太网控制器 (ETHERC)。ETHERC 能通过连接相同规格的物理层 LSI (PHY-LSI)，进行以太网 /IEEE802.3 帧的发送和接收。ETHERC 内置 1 个系统的 MAC 层接口，还在内部连接用于以太网控制器的直接存储器存取控制器 (EDMAC)，能和存储器进行高速存取。

ETHERC 的规格和结构分别如表 26.1 和图 26.1 所示，ETHERC 的引脚结构如表 26.2 和表 26.3 所示。

表 26.1 ETHERC 的规格

项目	内容
协议	• 符合 IEEE802.3x 规格的流控制。
数据的发送 / 接收	• 进行以太网 /IEEE802.3 帧的发送和接收。
位速率	• 支持 10Mbps 和 100Mbps 的传送。
模式	• 支持全双工模式和半双工模式。
接口	• 支持 IEEE802.3u 规格的 MII (Media Independent Interface) 和 RMII (Reduced Media Independent Interface)。
功能	• 检测 Magic Packet™ (注) 以及输出 Wake-On-LAN (WOL) 信号。

注 . Magic Packet™ 是 Advanced Micro Devices, Inc. 的注册商标。

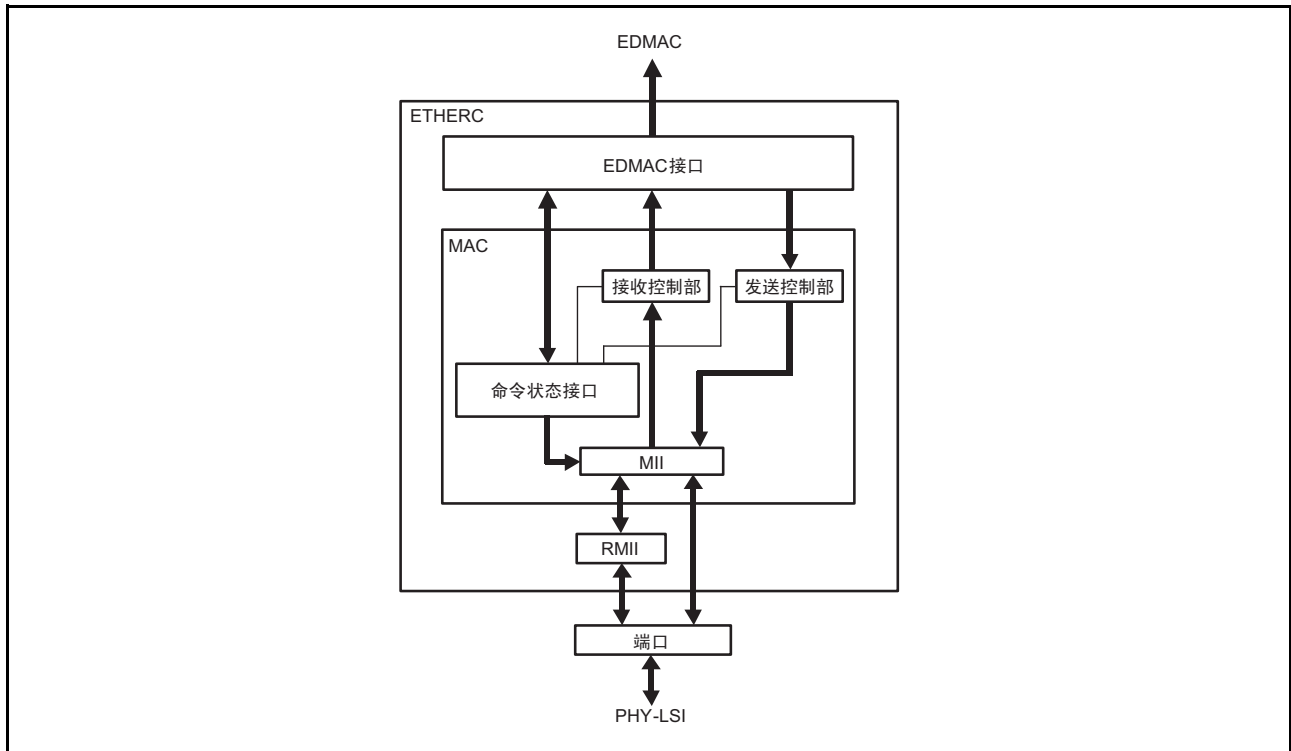


图 26.1 ETHERC 的结构

表 26.2 ETHERC 的输入/输出引脚 (1) (MII 模式)

引脚名	输入/输出	功能
ET_TX_CLK (注1)	输入	这是发送时钟信号, 是 ET_TX_EN、ET_ETXD3 ~ ET_ETXD0 和 ET_TX_ER 的时序参考信号。
ET_RX_CLK (注1)	输入	这是接收时钟信号, 是 ET_RX_DV、ET_ERXD3 ~ ET_ERXD0 和 ET_RX_ER 的时序参考信号。
ET_TX_EN (注1)	输出	这是发送允许信号, 表示在 ET_ETXD3 ~ ET_ETXD0 上已准备好发送数据。
ET_ETXD3 ~ ET_ETXD0 (注1)	输出	4 位发送数据
ET_TX_ER (注1)	输出	将发送过程中的错误通知 PHY-LSI。
ET_RX_DV (注1)	输入	此信号表示在 ET_ERXD3 ~ ET_ERXD0 上有有效接收数据。
ET_ERXD3 ~ ET_ERXD0 (注1)	输入	4 位接收数据
ET_RX_ER (注1)	输入	这是接收错误引脚, 表示在数据接收过程中发生的错误状态。
ET_CRD (注1)	输入	载波检测信号
ET_COL (注1)	输入	冲突检测信号
ET_MDC (注1)	输出	这是用于 ET_MDIO 信号传送的参考时钟信号。
ET_MDIO (注1)	输入/输出	这是用于在 STA 和 PHY-LSI 之间交换管理信息的双向信号。
ET_LINKSTA	输入	这是从 PHY-LSI 输入的连接状态。
ET_EXOUT	输出	外部输出引脚
ET_WOL	输出	这是表示接收 Magic Packet™ 的 Wake-On-LAN 信号。

注 1. 符合 IEEE802.3u 规格的 MII 信号

表 26.3 ETHERC 的输入/输出引脚 (2) (RMII 模式)

引脚名	输入/输出	功能
ET_MDC	输出	这是用于 ET_MDIO 信息传送的参考时钟信号。
ET_MDIO	输入/输出	这是用于在 STA 和 PHY-LSI 之间交换管理信息的双向信号。
ET_WOL	输出	这是表示接收 Magic Packet™ 的 Wake-On-LAN 信号。
ET_LINKSTA	输入	这是从 PHY-LSI 输入的连接状态。
ET_EXOUT	输出	外部输出引脚
REF50CK (注1)	输入	这是 RMII_TXD_EN、RMII_TXD1 ~ RMII_TXD0、RMII_CRD_DV、RMII_RXD1 ~ RMII_RXD0 和 RMII_RX_ER 的时序参考信号。
RMII_TXD1 ~ RMII_TXD0 (注1)	输出	2 位发送数据
RMII_TXD_EN (注1)	输出	此信号表示在 RMII_TXD1 ~ RMII_TXD0 上已准备好发送数据。
RMII_RXD1 ~ RMII_RXD0 (注1)	输入	2 位接收数据
RMII_RX_ER (注1)	输入	识别数据接收过程中发生的错误状态。
RMII_CRD_DV (注1)	输入	此信号表示在 RMII_RXD1 ~ RMII_RXD0 上有载波检测信号或者有效接收数据。

注 1. RMII 信号

26.2 寄存器说明

ETHERC 的寄存器结构如表 26.4 所示。

表 26.4 寄存器结构

寄存器名	寄存器符号	复位后的值	地址	存取长度
ETHERC 模式寄存器	ECMR	0000 0000h	000C 0100h	32
接收帧长上限寄存器	RFLR	0000 0000h	000C 0108h	32
ETHERC 状态寄存器	ECSR	0000 0000h	000C 0110h	32
ETHERC 中断允许寄存器	ECSIPR	0000 0000h	000C 0118h	32
PHY 接口寄存器	PIR	0000 0000h	000C 0120h	32
PHY 状态寄存器	PSR	0000 0000h	000C 0128h	32
随机数生成计数器的上限值设定寄存器	RDMLR	0000 0000h	000C 0140h	32
IPG 设定寄存器	IPGR	0000 0014h	000C 0150h	32
自动 PAUSE 帧设定寄存器	APR	0000 0000h	000C 0154h	32
手动 PAUSE 帧设定寄存器	MPR	0000 0000h	000C 0158h	32
接收 PAUSE 帧计数器	RFCF	0000 0000h	000C 0160h	32
自动 PAUSE 帧重新发送次数设定寄存器	TPAUSER	0000 0000h	000C 0164h	32
PAUSE 帧重新发送次数计数器	TPAUSECR	0000 0000h	000C 0168h	32
Broadcast 帧接收次数设定寄存器	BCFRR	0000 0000h	000C 016Ch	32
MAC 地址高位设定寄存器	MAHR	0000 0000h	000C 01C0h	32
MAC 地址低位设定寄存器	MALR	0000 0000h	000C 01C8h	32
发送重试超限计数寄存器	TROCR	0000 0000h	000C 01D0h	32
延迟冲突检测计数寄存器	CDCR	0000 0000h	000C 01D4h	32
载波消失计数寄存器	LCCR	0000 0000h	000C 01D8h	32
载波未检测计数寄存器	CNDCR	0000 0000h	000C 01DCh	32
CRC 错误帧接收计数寄存器	CEFCR	0000 0000h	000C 01E4h	32
帧接收错误计数寄存器	FRECR	0000 0000h	000C 01E8h	32
64 字节未完成的帧接收计数寄存器	TSFRCR	0000 0000h	000C 01ECh	32
超过指定字节的帧接收计数寄存器	TLFRCR	0000 0000h	000C 01F0h	32
尾数位的帧接收计数寄存器	RFCR	0000 0000h	000C 01F4h	32
多播地址帧接收计数寄存器	MAFCR	0000 0000h	000C 01F8h	32

26.2.1 ETHERC 模式寄存器（ECMR）

地址 000C 0100h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	TPC	ZPF	PFR	RXF	TXF
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	PRCEF	—	—	MPDE	—	—	RE	TE	—	ILB	RTM	DM	PRM
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	PRM	混杂模式位	0: ETHERC 正常运行 1: ETHERC 以混杂模式运行	R/W
b1	DM	双工模式位	0: 指定半双工传送方式 1: 指定全双工传送方式	R/W
b2	RTM	发送 / 接收速率位	0: 10Mbps 1: 100Mbps	R/W
b3	ILB	内部环回模式位	0: 正常发送或者接收数据 1: 当 DM 为“1”时, 回送 ETHERC 内的 MAC 内部数据。	R/W
b4	—	保留位	读写值都为“0”。	R/W
b5	TE	发送允许位	0: 将发送功能置为无效 1: 将发送功能置为有效	R/W
b6	RE	接收允许位	0: 将接收功能置为无效 1: 将接收功能置为有效	R/W
b8-b7	—	保留位	读写值都为“0”。	R/W
b9	MPDE	Magic Packet™ 检测允许位	0: 不允许 Magic Packet™ 的检测 1: 允许 Magic Packet™ 的检测	R/W
b11-b10	—	保留位	读写值都为“0”。	R/W
b12	PRCEF	CRC 错误帧接收允许位	0: 将发生 CRC 错误的接收帧作为错误 1: 不将发生 CRC 错误的接收帧作为错误	R/W
b15-b13	—	保留位	读写值都为“0”。	R/W
b16	TXF	发送流控制运行模式位	0: PAUSE 帧的检测功能无效 (不发送自动 PAUSE 帧) 1: 发送流控制功能有效 (根据需要, 发送自动 PAUSE 帧)	R/W
b17	RXF	接收流控制运行模式位	0: PAUSE 帧的检测功能无效 1: 接收流控制功能有效	R/W
b18	PFR	PAUSE 帧接收模式位	0: 不将 PAUSE 帧传送到 EDMAC 1: 将 PAUSE 帧传送到 EDMAC	R/W
b19	ZPF	0 time PAUSE 帧使用允许位	0: 将 TIME 参数为“0”的 PAUSE 帧控制置为无效 1: 将 TIME 参数为“0”的 PAUSE 帧控制置为有效	R/W
b20	TPC	PAUSE 帧发送位	0: 在 PAUSE 期间不发送 PAUSE 帧 1: 即使在 PAUSE 期间也发送 PAUSE 帧	R/W
b31-b21	—	保留位	读写值都为“0”。	R/W

ECMR 寄存器是指定 ETHERC 运行模式的寄存器。通常，在复位后的初始设定时设定 ECMR 寄存器。

禁止在发送 / 接收功能有效的状态下改写运行模式的设定。要转换运行模式时，必须在通过 EDMAC 的 EDMAC 模式寄存器 (EDMR) 的软件复位位 (SWR) 将 ETHERC 和 EDMAC 恢复到初始状态后，重新设定此寄存器。

PRM 位 (混杂模式位)

如果设定 PRM 位，就能接收全部以太网帧。全部以太网帧是指能接收的全部帧，与目标地址、广播地址和多播位等的差异或者是否存在无关。

RTM 位 (发送 / 接收速率位)

在选择 RMII 时，此位设定发送和接收的位速率。

TE 位 (发送允许位)

当 TE 位从发送功能有效 (TE=1) 变为无效 (TE=0) 时，如果有正在发送的帧，发送功能的有效状态就保持到该帧发送结束为止。

RE 位 (接收允许位)

当 RE 位从接收功能有效 (RE=1) 变为无效 (RE=0) 时，如果有正在接收的帧，接收功能的有效状态就保持到该帧接收结束为止。

MPDE 位 (Magic Packet™ 检测允许位)

为了允许从以太网的启动，此位通过硬件选择是否允许 Magic Packet™ 的检测功能。

ZPF 位 (0 time PAUSE 帧使用允许位)

如果将 ZPF 位置“0”，就在经过 Timer 值所示的时间之前不发送下一帧。当接收到 Timer 值所示时间为“0”的 PAUSE 帧时，放弃 PAUSE 帧。

如果将 ZPF 位置“1”并且在未经过 Timer 值所示时间的状态下接收 FIFO 的数据量小于 EDMAC 的流控制开始 FIFO 阈值设定寄存器 (FCFTR) 的设定值，就发送 Timer 值为“0”的自动 PAUSE 帧。当接收到 Timer 值所示时间为“0”的 PAUSE 帧时，解除发送等待状态。

26.2.2 ETHERC 状态寄存器（ECSR）

地址 000C 0110h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	BFR	PSRTO	—	LCHNG	MPD	ICD
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	ICD	非法载波检测位	0: PHY-LSI 在线路上未检测到非法载波 1: PHY-LSI 在线路上检测到非法载波	R/W
b1	MPD	Magic Packet™ 检测位	0: 未检测到 Magic Packet™ 1: 检测到 Magic Packet™	R/W
b2	LCHNG	连接信号变化位	0: 未检测到 LINKSTA 信号的变化 1: 检测到 LINKSTA 信号的变化（从高电平变为低电平或者从低电平变为高电平）	R/W
b3	—	保留位	读写值都为“0”。	R/W
b4	PSRTO	PAUSE 帧发送重试超限位	0: PAUSE 帧重新发送次数未超过上限值 1: PAUSE 帧重新发送次数超过上限值	R/W
b5	BFR	Broadcast 帧连续接收位	Broadcast 帧连续接收中断（中断源） 表示连续接收到 Broadcast 帧。	R/W
b31-b6	—	保留位	读写值都为“0”。	R/W

ECSR 寄存器表示 ETHERC 的内部状态，能通过中断将各状态通知 CPU。如果给 PSRTO、LCHNG、MPD 和 ICD 位写“1”，对应的标志就变为“0”。但是，写“0”时不影响标志。产生中断的位能通过 ETHERC 中断允许寄存器（ECSIPR）的对应位允许或者禁止中断。

因 ECSR 寄存器而产生的中断被反映到 EDMAC 的 ETHERC/EDMAC 状态寄存器（EESR）的 ETHERC 状态寄存器中断源位（ECI）。

ICD 位（非法载波检测位）

此位表示 PHY-LSI 在线路上检测到非法载波。即，当 PHY-LSI 通知 RX62N 的信号为 ET_RX_DV=0 并且 ET_RX_ER=1 并且 ET_ERXD3 ~ ET_ERXD0=1110 时，将 ICD 位置“1”（参照图 26.9）。但是，如果 PHY-LSI 输入的信号变化快于软件的识别时间，就可能得不到正确的信息，请参照采用的 PHY-LSI 时序。

LCHNG 位（连接信号变化位）

此位表示 PHY-LSI 输入的 ET_LINKSTA 信号从高电平变为低电平或者从低电平变为高电平。

要确认当前的 Link 状态时，请参照 PHY 状态寄存器（PSR）的 ET_LINKSTA 引脚状态位（LMON）。

PSRTO 位（PAUSE 帧发送重试超限位）

此位表示在使用流控制重新发送 PAUSE 帧时，重新发送次数超过自动 PAUSE 帧重新发送次数设定寄存器（TPAUSER）的重新发送上限值。

26.2.3 ETHERC 中断允许寄存器（ECSIPR）

地址 000C 0118h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	BFSIPR	PSRTO IP	—	LCHN GIP	MPDIP	ICDIP
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	ICDIP	非法载波检测中断允许位	0: 禁止 ICD 的中断通知 1: 允许 ICD 的中断通知	R/W
b1	MPDIP	Magic Packet™ 检测中断允许位	0: 禁止 MPD 的中断通知 1: 允许 MPD 的中断通知	R/W
b2	LCHNGIP	连接信号变化中断允许位	0: 禁止 LCHNG 的中断通知 1: 允许 LCHNG 的中断通知	R/W
b3	—	保留位	读写值都为“0”。	R/W
b4	PSRTOIP	Pause 帧发送重试超限中断允许位	0: 禁止 PSRTO 的中断通知 1: 允许 PSRTO 的中断通知	R/W
b5	BFSIPR	Broadcast 帧连续接收中断允许位	0: 允许 ECSR 的对应位引起的中断 1: 禁止 ECSR 的对应位引起的中断	R/W
b31-b6	—	保留位	读写值都为“0”。	R/W

ECSIPR 寄存器允许由 ECSR 寄存器报告的中断源。各位能允许 ECSR 的对应位的中断。

26.2.4 接收帧长上限寄存器（RFLR）

地址 000C 0108h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	RFL[11:0]											
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b11-b0	RFL[11:0]	接收帧数据长度 11 ~ 0	000h ~ 5EEh: 1518 字节 5EFh: 1519 字节 5F0h: 1520 字节 : : 7FFh: 2047 字节 800h ~ FFFh: 2048 字节 这里的帧数据是包括从目标地址到 CRC 数据的范围，但是实际上是将目标地址到数据的信息传送到存储器而不包括 CRC 数据。如果接收数据超过在此指定的值，就舍弃超过设定值部分的数据。	R/W
b31-b12	—	保留位	读写值都为“0”。	R/W

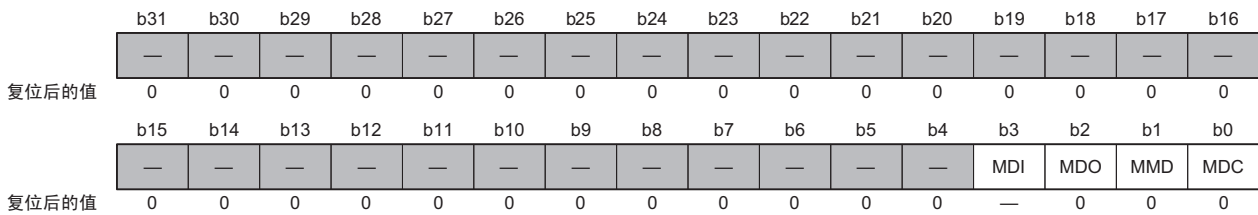
RFLR 寄存器以字节为单位指定 RX62N 能接收的最大帧长。禁止在接收功能有效的状态下改写 RFLR 寄存器。

RFL[11:0] 位（接收帧数据长度 11 ~ 0）

将 RFL[11:0] 位的设定值作为帧长检查值，如果超过此值，就为帧长错误。

26.2.5 PHY 接口寄存器（PIR）

地址 000C 0120h



位	符号	位名	功能	R/W
b0	MDC	MII/RMII 管理数据时钟位	从 ET_MDC 引脚输出 MDC 位的设定值，给 MII/RMII 提供管理数据时钟。	R/W
b1	MMD	MII/RMII 管理模式位	0: 指定读方向 1: 指定写方向	R/W
b2	MDO	MII/RMII 管理数据输出位	保存从 ET_MDIO 引脚输出的数据。 ET_MDIO 引脚在 MMD 位为“1”（规定写方向）时输出；在 MMD 位为“0”（规定读方向）时不输出。	R/W
b3	MDI	MII/RMII 管理数据输入位	表示 ET_MDIO 引脚的电平，只能写“0”。	R/W
b31-b4	—	保留位	读写值都为“0”。	R/W

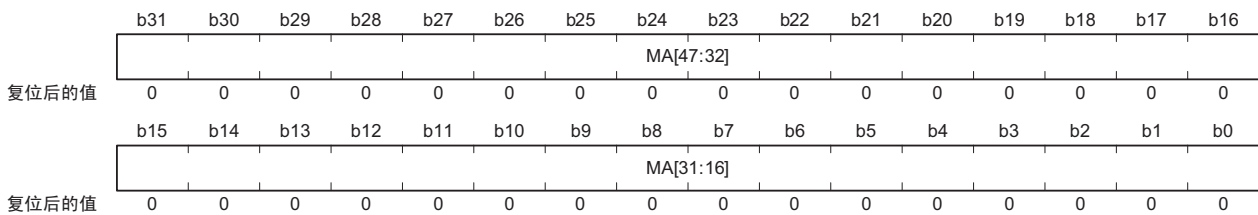
PIR 寄存器是通过 MII/RMII 给 PHY-LSI 内部寄存器提供存取方法的寄存器。

MDC 位（MII/RMII 管理数据时钟位）

从 ET_MDC 引脚输出 MDC 位的设定值，给 MII/RMII 提供管理数据时钟。有关 MII/RMII 寄存器的存取方法，请参照“26.3.4 MII/RMII 寄存器的存取方法”。

26.2.6 MAC 地址高位设定寄存器（MAHR）

地址 000C 01C0h



位	符号	位名	功能	R/W
b31-b0	MA[47:16]	MAC 地址 47 ~ 16	设定 MAC 地址的高 32 位。当 MAC 地址为“01-23-45-67-89-AB”（16 进制数表示）时，将 MAHR 寄存器置“01234567h”。	R/W

MAHR 寄存器设定 48 位 MAC 地址的高 32 位。通常，在复位后的初始设定时设定 MAHR 寄存器。禁止在发送 / 接收功能有效的状态下改写 MAC 地址的设定。必须在通过 EDMAC 的 EDMAC 模式寄存器（EDMR）的软件复位位（SWR）将 ETHERC 和 EDMAC 恢复到初始状态后，重新设定此寄存器。

26.2.7 MAC 地址低位设定寄存器（MALR）

地址 000C 01C8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MA[15:0]															
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b15-b0	MA[15:0]	MAC 地址 15 ~ 0	设定 MAC 地址的低 16 位。当 MAC 地址为“01-23-45-67-89-AB”（16 进制数表示）时，将 MALR 寄存器置“89ABh”。	R/W
b31-b16	—	保留位	读写值都为“0”。	R/W

MALR 设定 48 位 MAC 地址的低 16 位。通常，在复位后的初始设定时设定 MALR 寄存器。禁止在发送 / 接收功能有效的状态下改写 MAC 地址的设定。必须通过 EDMAC 模式寄存器（EDMR）的软件复位位（SWR）位将 ETHERC 和 EDMAC 恢复到初始状态后，重新设定此寄存器。

26.2.8 PHY 状态寄存器（PSR）

地址 000C 0128h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LMON
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	—

位	符号	位名	功能	R/W
b0	LMON	LINKSTA 引脚状态位	能通过将 PHY-LSI 输出的 Link 信号连接 EX_LINKSTA 引脚来读 Link 状态。有关极性，请参照要连接的 PHY-LSI 的规格。	R
b31-b1	—	保留位	读写值都为“0”。	R

PSR 寄存器是能读 PHY-LSI 接口信号的寄存器。

26.2.9 发送重试超限计数寄存器（TROCR）

地址 000C 01D0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b31-b0	—	—	表示在发送时（包括重新发送，重试 16 次）无法发送的帧数。	R/W

TROCR 寄存器是表示在发送时（包括重新发送，重试 16 次）无法发送的帧数的计数器。当 16 次发送失败时，TROCR 寄存器加 1。当 TROCR 寄存器的值为“FFFFFFFFh”时，停止递增计数。通过写 TROCR 寄存器将计数器的值置“0”，可以写任意值。

26.2.10 延迟冲突检测计数寄存器（CDCR）

地址 000C 01D4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b31-b0	—	—	表示发送开始后的全部延迟冲突次数。	R/W

CDCR 寄存器是表示在发送开始后全部线路上的延迟冲突次数的计数器。当 CDCR 寄存器的值为“FFFFFFFFh”时，停止递增计数。通过写 CDCR 寄存器将计数器的值置“0”，可以写任意值。

26.2.11 载波消失计数寄存器 (LCCR)

地址 000C 01D8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b31-b0	—	—	表示在数据发送过程中载波的消失次数。	R/W

LCCR 寄存器是表示在数据发送过程中载波消失次数的计数器。当 LCCR 寄存器的值为“FFFFFFFFh”时，停止递增计数。通过写 LCCR 寄存器将计数器的值置“0”，可以写任意值。

26.2.12 载波未检测计数寄存器 (CNDCCR)

地址 000C 01DCh

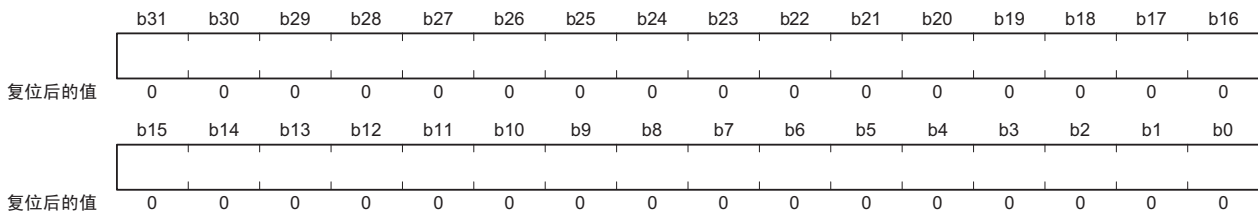
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b31-b0	—	—	表示未检测到载波的次数。	R/W

CNDCCR 寄存器是表示在前同步码的发送过程中未检测到载波的次数的计数器。当 CNDCCR 寄存器的值为“FFFFFFFFh”时，停止递增计数。通过写 CNDCCR 寄存器将计数器的值置“0”，可以写任意值。

26.2.13 CRC 错误帧接收计数寄存器（CEFCR）

地址 000C 01E4h

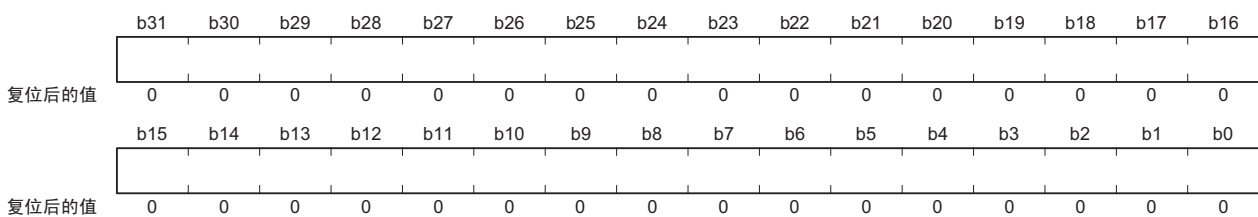


位	符号	位名	功能	R/W
b31-b0	—	—	表示 CRC 错误帧的接收次数。	R/W

CEFCR 寄存器是 32 位计数器，表示 CRC 错误帧的接收次数。当 CEFCR 寄存器的值为“FFFFFFFFh”时，停止递增计数。通过写 CEFCR 寄存器将计数器的值置“0”，可以写任意值。

26.2.14 帧接收错误计数寄存器（FRECR）

地址 000C 01E8h

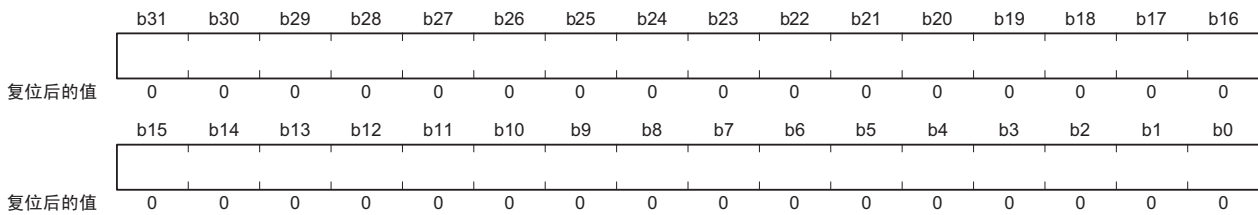


位	符号	位名	功能	R/W
b31-b0	—	—	表示在接收帧的过程中发生错误的次数。	R/W

FRECR 寄存器是 32 位计数器，表示通过 ET_RX_ER 引脚接收到 PHY-LSI 输入的错误帧的次数。每当 ET_RX_ER 引脚有效时，FRECR 寄存器加 1。当 FRECR 寄存器的值为“FFFFFFFFh”时，停止递增计数。通过写 FRECR 寄存器将计数器的值置“0”，可以写任意值。

26.2.15 未满 64 字节的帧接收计数寄存器（TSFRCR）

地址 000C 01ECh

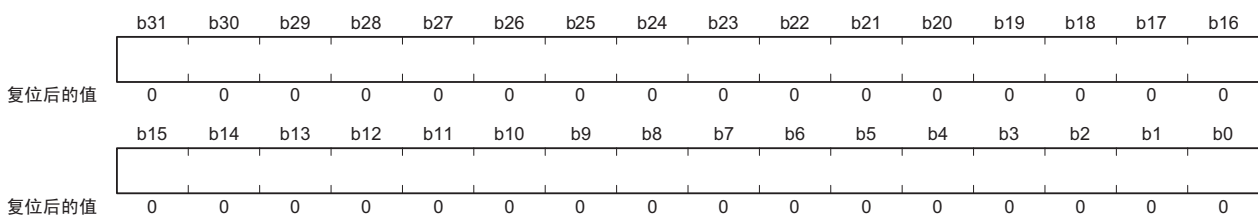


位	符号	位名	功能	R/W
b31-b0	—	—	表示接收到未满 64 字节的帧的次数。	R/W

TSFRCR 寄存器是表示接收到未满 64 字节帧的次数的计数器。当 TSFRCR 寄存器的值为“FFFFFFFFh”时，停止递增计数。通过写 TSFRCR 寄存器将计数器的值置“0”，可以写任意值。

26.2.16 超过指定字节的帧接收计数寄存器（TLFRCR）

地址 000C 01F0h



位	符号	位名	功能	R/W
b31-b0	—	—	表示接收到超过 RFLR 值的帧的次数。	R/W

TLFRCR 寄存器是表示接收到超过 RFLR 寄存器指定值的帧的次数计数器。当 TLFRCR 寄存器的值为“FFFFFFFFh”时，停止递增计数。如果接收到有尾数位的帧，TLFRCR 寄存器就不进行递增计数。此时，接收的帧被反映到尾数位的帧接收计数寄存器（RFCR）。通过写 TLFRCR 寄存器将计数器的值置“0”，可以写任意值。

26.2.17 尾数位的帧接收计数寄存器（RFCR）

地址 000C 01F4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b31-b0	—	—	表示接收到有尾数位数据的帧的次数。	R/W

RFCR 寄存器是表示接收到有不满 8 位的尾数位数据帧的计数器。当 RFCR 寄存器的值为“FFFFFFFFh”时，停止递增计数。通过写 RFCR 寄存器将计数器的值置“0”，可以写任意值。

26.2.18 多播地址帧接收计数寄存器（MAFCR）

地址 000C 01F8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b31-b0	—	—	表示接收到多播帧的次数。	R/W

MAFCR 寄存器是表示接收到指定多播地址的帧的计数器。当 MAFCR 寄存器的值为“FFFFFFFFh”时，停止递增计数。通过写 MAFCR 寄存器将计数器的值置“0”，可以写任意值。

26.2.19 IPG 设定寄存器（IPGR）

地址 000C 0150h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	IPG[4:0]				
	—	—	—	—	—	—	—	—	—	—	—					
复位后的值	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0

位	符号	位名	功能	R/W
b4-b0	IPG[4:0]	Inter Packet Gap 位	00h: 16 位时间 01h: 20 位时间 : : 14h: 96 位时间（初始值） : : 1Fh: 140 位时间	R/W
b31-b5	—	保留位	读写值都为“0”。	R/W

IPGR 寄存器是设定 IPG（Inter Packet Gap）值的寄存器。禁止在 ECMR 寄存器的发送 / 接收功能有效的状态下改写此寄存器（详细内容请参照“26.3.6 根据 IPG 设定的运行”）。

IPG[4:0] 位（Inter Packet Gap 位）

按每 4 位时间设定 IPG 值。

26.2.20 自动 PAUSE 帧设定寄存器（APR）

地址 000C 0154h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AP[15:0]															
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b15-b0	AP[15:0]	自动 PAUSE 位	设定自动 PAUSE 帧的 TIME 参数值。	R/W
b31-b16	—	保留位	读写值都为“0”。	R/W

APR 寄存器是设定自动 PAUSE 帧的 TIME 参数值的寄存器。在发送自动 PAUSE 帧时，将 APR 寄存器的设定值用作 PAUSE 帧的 TIME 参数。

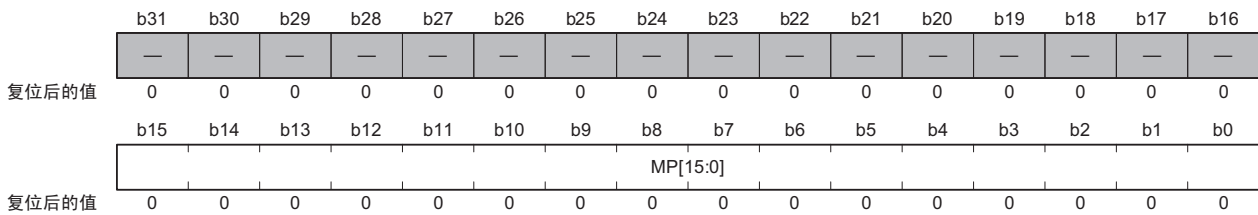
禁止在发送 / 接收功能有效的状态下改写 APR 寄存器。

AP[15:0] 位（自动 PAUSE 位）

这些位设定自动 PAUSE 帧的 TIME 参数值。此时，1 位表示 512 位时间。

26.2.21 手动 PAUSE 帧设定寄存器 (MPR)

地址 000C 0158h



位	符号	位名	功能	R/W
b15-b0	MP[15:0]	手动 PAUSE 位	设定手动 PAUSE 帧的 TIME 参数值。	R/W
b31-b16	—	保留位	读写值都为“0”。	R/W

MPR 寄存器是设定手动 PAUSE 帧的 TIME 参数值的寄存器。在发送手动 PAUSE 帧时，将 MPR 寄存器的设定值用作 PAUSE 帧的 TIME 参数。

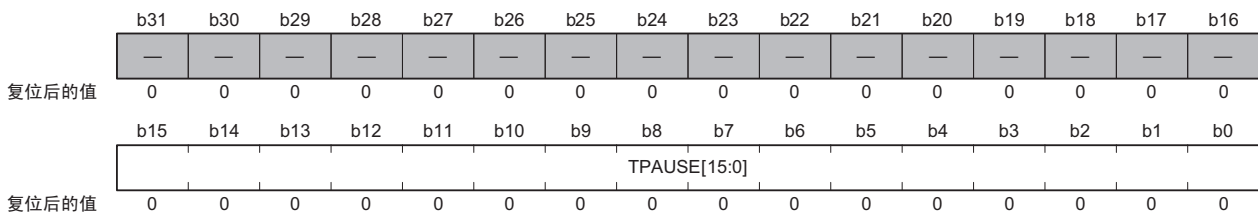
必须在发送功能有效的状态下写 MPR 寄存器。

MP[15:0] 位 (手动 PAUSE 位)

这些位设定手动 PAUSE 帧的 TIME 参数值。此时，1 位表示 512 位时间，读取值为不定值。

26.2.22 自动 PAUSE 帧重新发送次数设定寄存器 (TPAUSER)

地址 000C 0164h



位	符号	位名	功能	R/W
b15-b0	TPAUSE[15:0]	自动 PAUSE 帧重新发送次数上限值	0000h: 重新发送次数无限制 0001h: 重新发送次数为 1 次 : : FFFFh: 重新发送次数为 65535 次	R/W
b31-b16	—	保留位	读写值都为“0”。	R/W

TPAUSER 寄存器是设定自动 PAUSE 帧重新发送次数上限值的寄存器。禁止在发送功能有效的状态下改写 TPAUSER 寄存器。

26.2.23 随机数生成计数器的上限值设定寄存器（RDMLR）

地址 000C 0140h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	RMD[19:16]			
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RMD[15:0]															
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b19-b0	RMD[19:0]	随机数生成部使用的计数器上限值	00000h: 正常运行时的设定值 00001h ~ FFFFEh: 计数器的上限值为该设定值	R/W
b31-b20	—	保留位	读写值都为“0”。	R/W

注. 因为随机数生成部的运行会发生变化，所以在给 RDMLR 寄存器写“0”以外的值时必须注意。

RDMLR 寄存器能设定随机数生成部使用的计数器的上限值。

禁止在发送 / 接收功能有效的状态下改写 RDMLR 寄存器。

26.2.24 接收 PAUSE 帧计数器（RFCF）

地址 000C 0160h

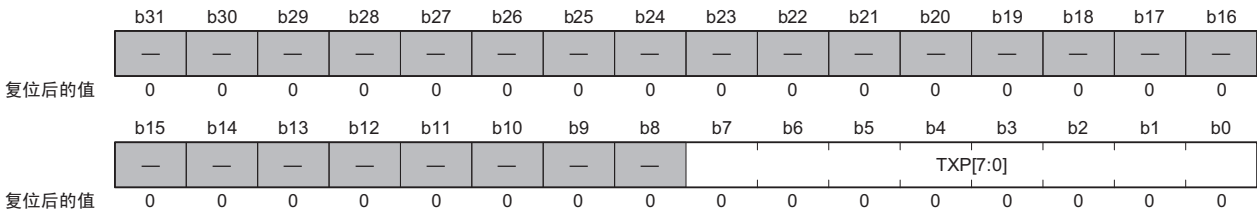
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16		
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0		
	—	—	—	—	—	—	—	—	RPAUSE[7:0]								—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		

位	符号	位名	功能	R/W
b7-b0	RPAUSE[7:0]	PAUSE 帧接收次数	接收计数器	R
b31-b8	—	保留位	读写值都为“0”。	R/W

RFCF 寄存器是 PAUSE 帧的接收计数器。

26.2.25 PAUSE 帧重新发送次数计数器 (TPAUSECR)

地址 000C 0168h

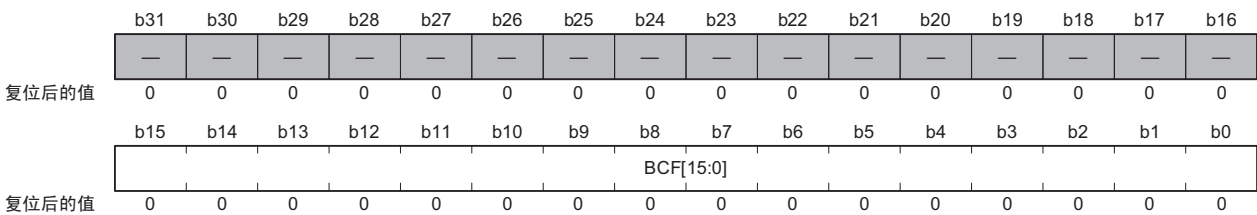


位	符号	位名	功能	R/W
b7-b0	TXP[7:0]	PAUSE 帧接收次数	PAUSE 帧的重新发送次数	R
b31-b8	—	保留位	读写值都为“0”。	R/W

TPAUSECR 寄存器是表示 PAUSE 帧重新发送次数的计数器。

26.2.26 Broadcast 帧接收次数设定寄存器 (BCFRR)

地址 000C 016Ch



位	符号	位名	功能	R/W
b15-b0	BCF[15:0]	Broadcast 帧的连续接收次数设定	0000h: 接收次数无限制 0001h: 接收次数为 1 次 : : FFFFh: 接收次数为 65535 次	R/W
b31-b16	—	保留位	读写值都为“0”。	R/W

BCFRR 寄存器是设定 Broadcast 帧连续接收次数的寄存器。

禁止在接收功能有效的状态下改写 BCFRR 寄存器。

BCF[15:0] 位 (Broadcast 帧的连续接收次数设定)

DA (目标地址) 能接收设定次数的广播地址帧, 如果接收次数超过设定的次数值, 就放弃超过部分的广播帧。

26.3 运行说明

ETHERC 的运行概要如下所示。ETHERC 支持符合 IEEE802.3x 规格的控制，能发送和接收被使用的 Pause 帧。

26.3.1 发送

如果发送 EDMAC 有发送请求，ETHERC 发送部就为发送数据组合为帧后输出到 MII/RMII。通过 PHY-LSI 将经由 MII/RMII 的发送数据发送到线路上。ETHERC 发送部的状态转移图如图 26.2 所示。

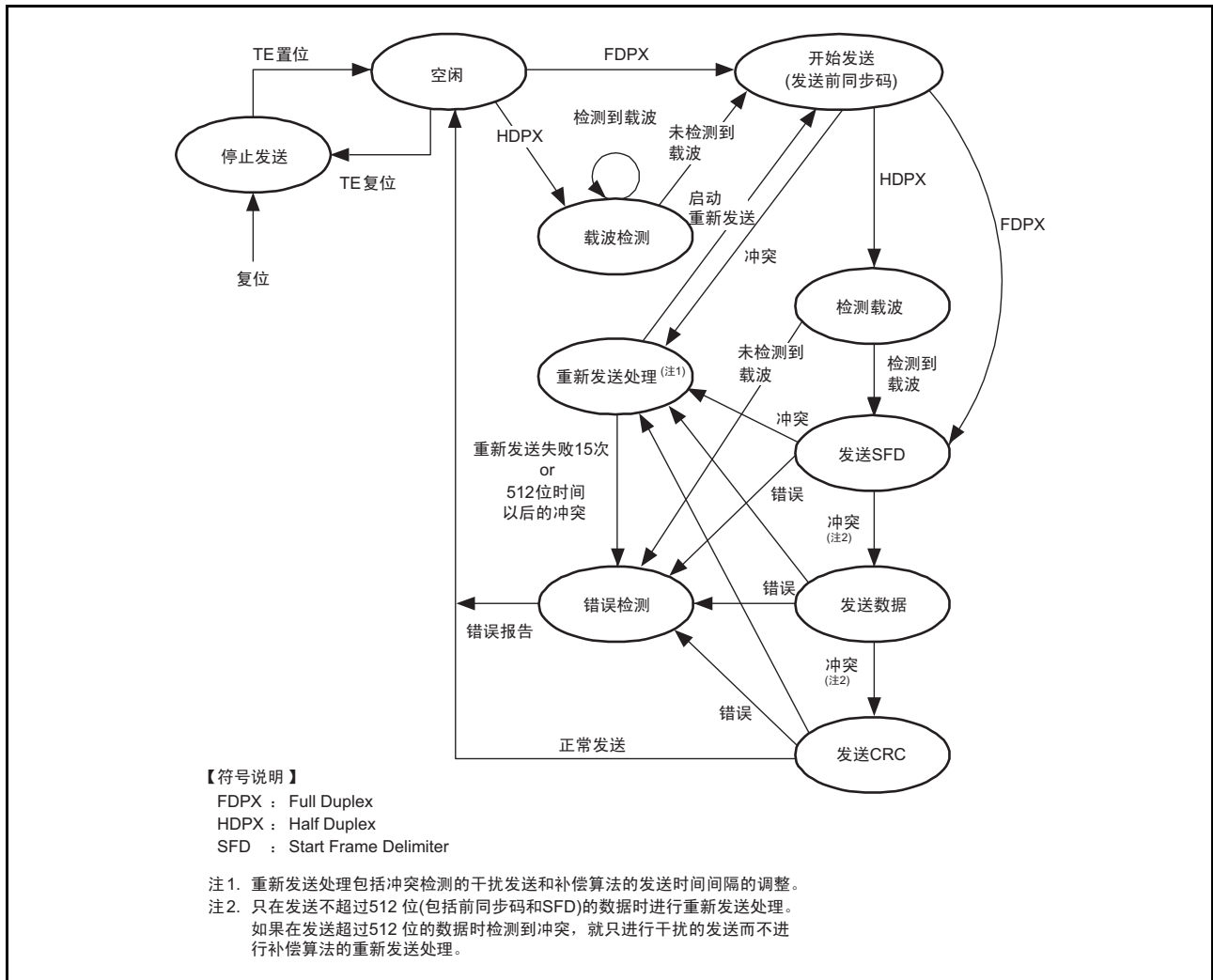


图 26.2 ETHERC 发送部的状态转移图

1. 如果将发送允许位 (ECMR.TE) 置位，就转移到发送空闲状态。
2. 如果EDMAC有发送请求，ETHERC 就检测载波，在经过帧间隔时间的发送延时后将前同步码发送到 MII/RMII。在选择不需要载波检测的全双工传送方式时，如果发送EDMAC有发送请求，就立即发送前同步码。
3. 依次发送SFD、数据和CRC。一旦结束发送，发送EDMAC就产生发送结束中断 (TC)。如果在数据发送过程中发生冲突或者变为未检测到载波的状态，就将其作为中断源进行报告。
4. 在经过帧间隔时间后转移到空闲状态，此后，如果有发送数据就继续进行发送。

26.3.2 接收

ETHERC 接收部将 MII/RMII 输入的帧分解为前同步码、SFD、数据和 CRC 数据，并且将从 DA（目标地址）到 CRC 数据的信息输出到接收 EDMAC。ETHERC 接收部的状态转移图如图 26.3 所示。

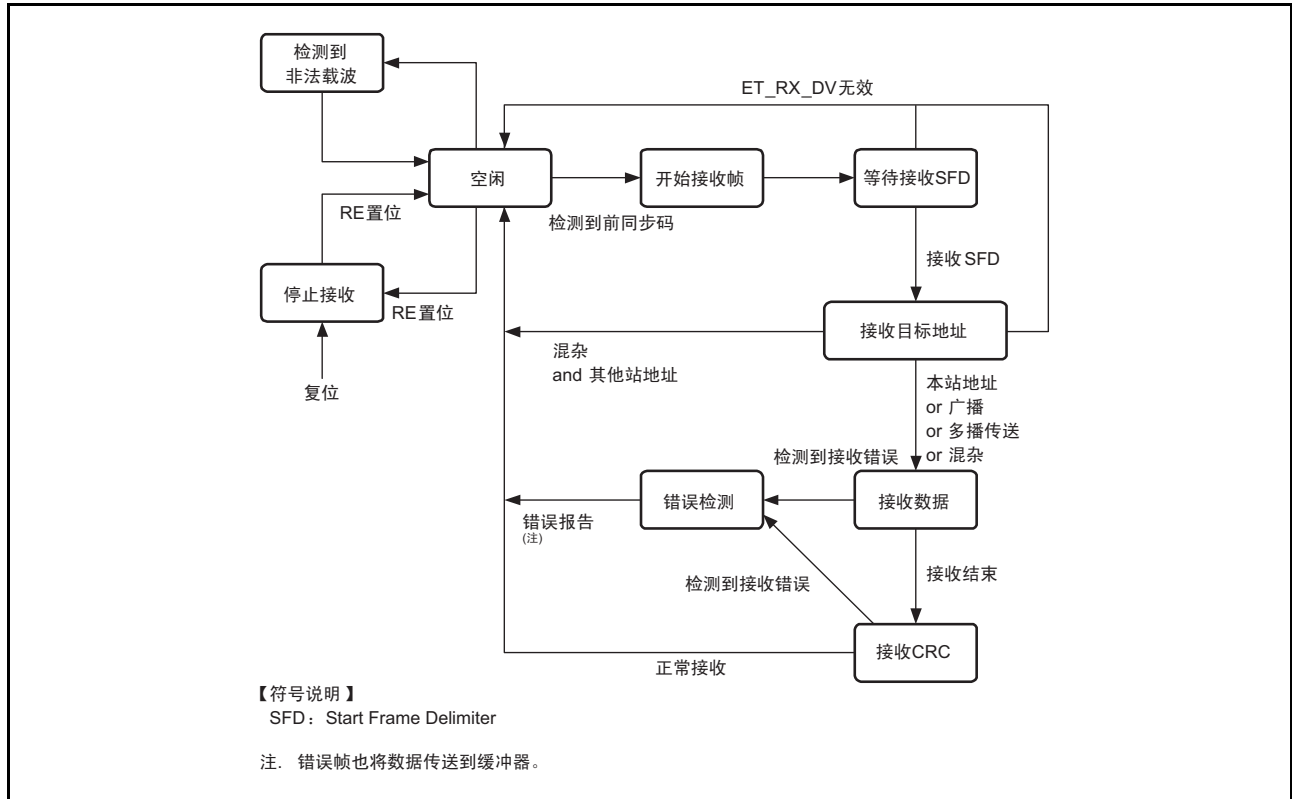


图 26.3 ETHERC 接收部的状态转移图

1. 如果将接收允许位（ECMR.RE）置位，就转移到接收空闲状态。
2. 一旦检测到接收包的前同步码之后的SFD（起始帧分隔符），就开始接收处理。如果是非法参数，就放弃帧。
3. 在正常模式中，当帧的目标地址为RX62N地址、广播帧或者多播帧时，开始接收数据。在混杂模式中，与帧的种类无关，开始接收数据。
4. 在接收MII/RMII的数据后，进行帧数据部的CRC检查。在将帧数据写到存储器后，将CRC检查结果作为状态反映到描述符。在发生异常时，报告错误状态。
5. 如果在接收1帧后ETHERC模式寄存器内的接收允许位被置位（ECMR.RE=1），就准备接收下一帧。

26.3.3 帧时序

26.3.3.1 MII 帧时序

MI I 帧时序如图 26.4 ~ 图 26.9 所示。

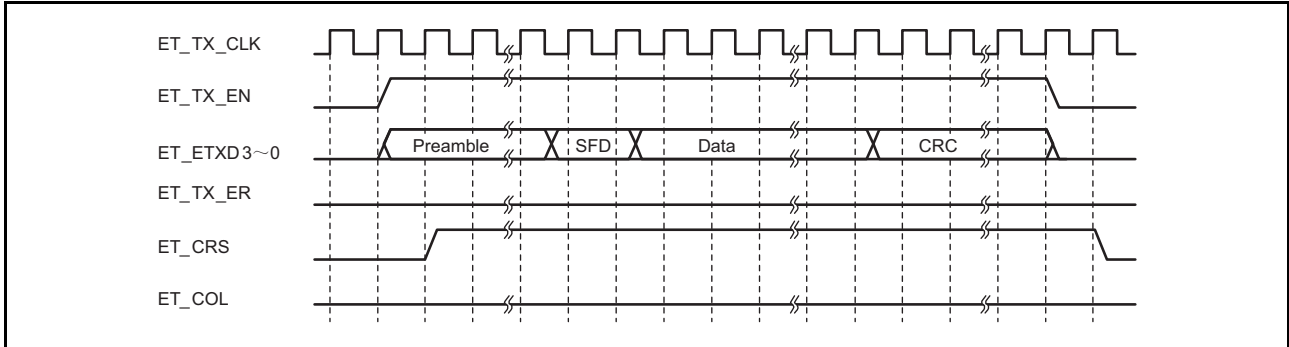


图 26.4 MII 帧的发送时序 (正常发送)

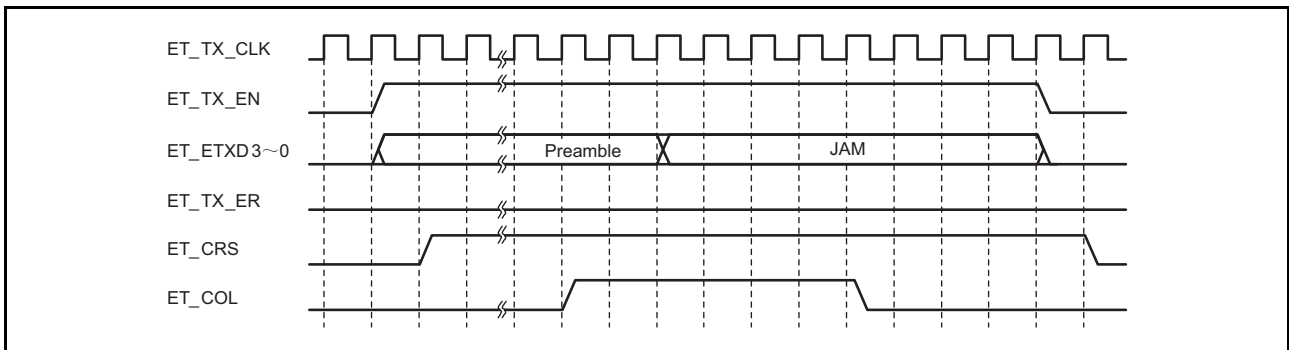


图 26.5 MII 帧的发送时序 (发生冲突)

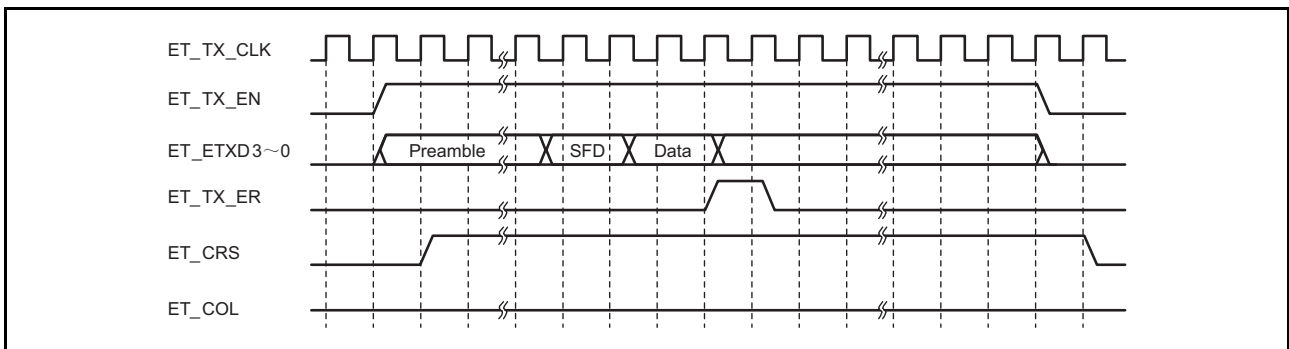


图 26.6 MII 帧的发送时序 (发生发送错误)

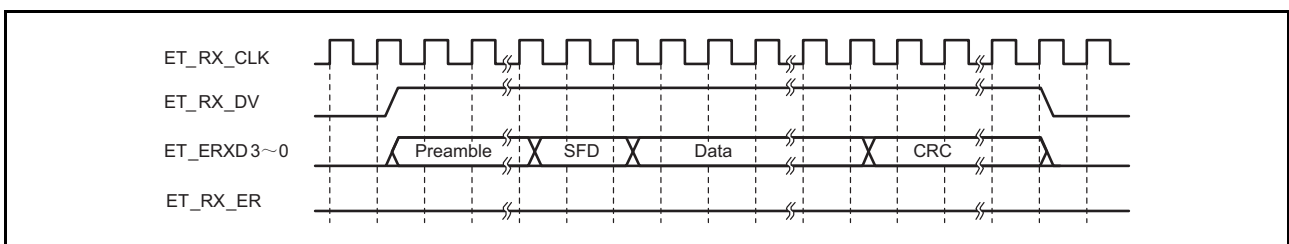


图 26.7 MII 帧的接收时序 (正常接收)

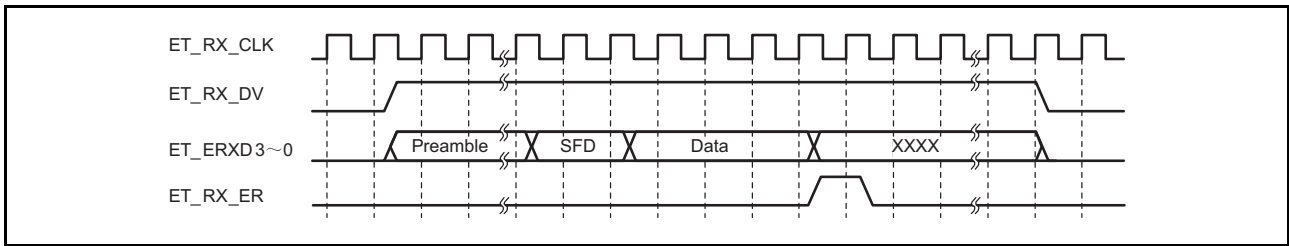


图 26.8 MII 帧的接收时序 (接收错误 (1) 通知接收错误)

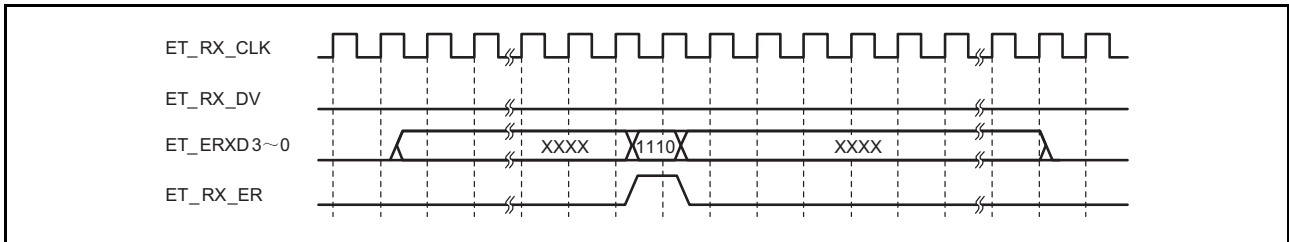


图 26.9 MII 帧的接收时序 (接收错误 (2) 通知载波错误)

26.3.3.2 RMII 帧时序

RMII 帧时序如图 26.10 ~ 图 26.12 所示。

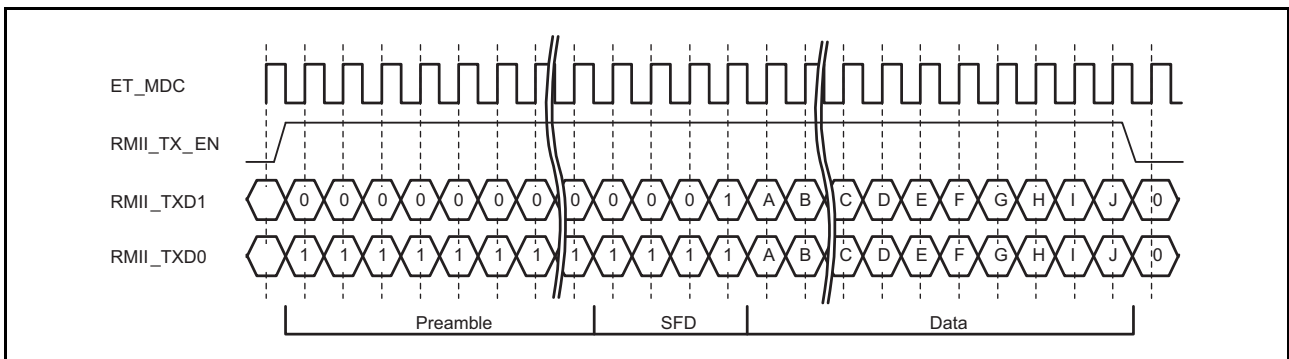


图 26.10 RMII 帧的发送时序 (正常发送)

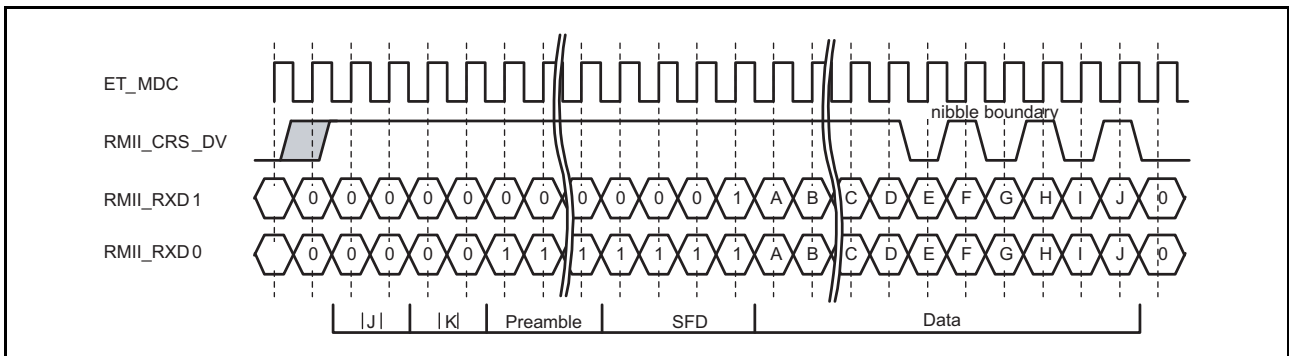


图 26.11 RMII 帧的接收时序 (正常接收)

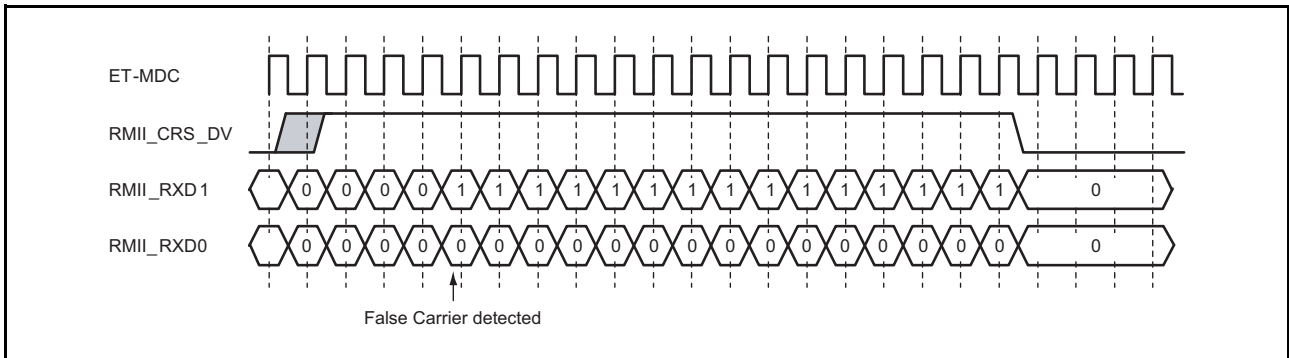


图 26.12 RMII 帧的接收时序 (有 False Carrier 的接收)

26.3.4 MII/RMII 寄存器的存取方法

经由 RX62N 的 PHY 接口寄存器 (PIR) 对 PHY-LSI 内的 MII/RMII 寄存器进行存取。按照 MII/RMII 帧格式，作为串行接口进行连接。

26.3.4.1 MII/RMII 管理帧的格式

MII/RMII 管理帧的格式如图 26.13 所示。在存取 MII/RMII 寄存器时，按照“26.3.4.2 MII/RMII 寄存器的存取步骤”所示的步骤，通过程序实现管理帧。



图 26.13 MII/RMII 管理帧的格式

26.3.4.2 MII/RMII 寄存器的存取步骤

程序经由 PHY 部接口寄存器 (PIR) 存取 MII/RMII 寄存器。通过 1 位为单位的写数据、1 位为单位的读数据、总线释放和单独总线释放的组合来实现存取。MII/RMII 寄存器的存取时序例子如图 26.14 ~ 图 26.17 所示。存取时序因 PHY-LSI 的种类而不同。

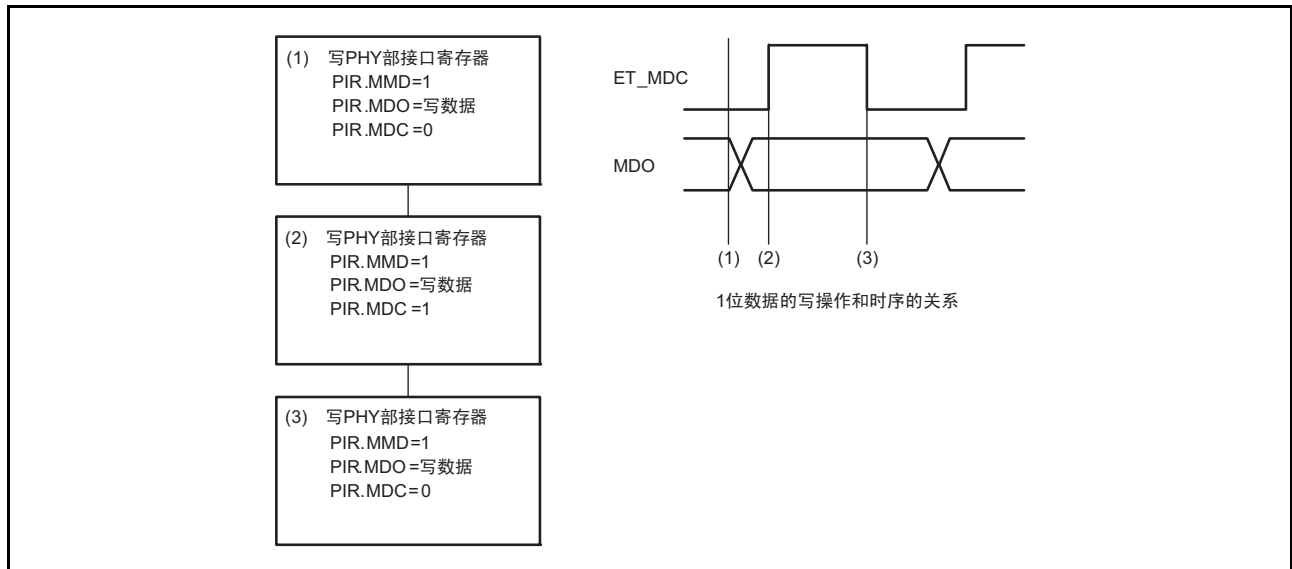


图 26.14 1 位数据的写流程

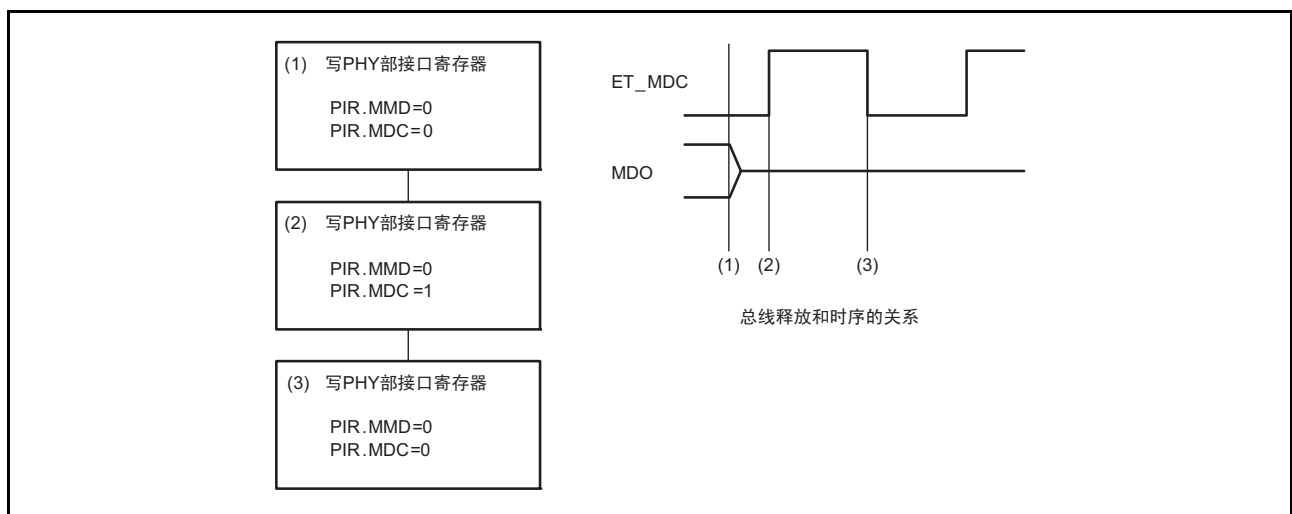


图 26.15 总线释放流程 (图 26.13 中读时的 TA)

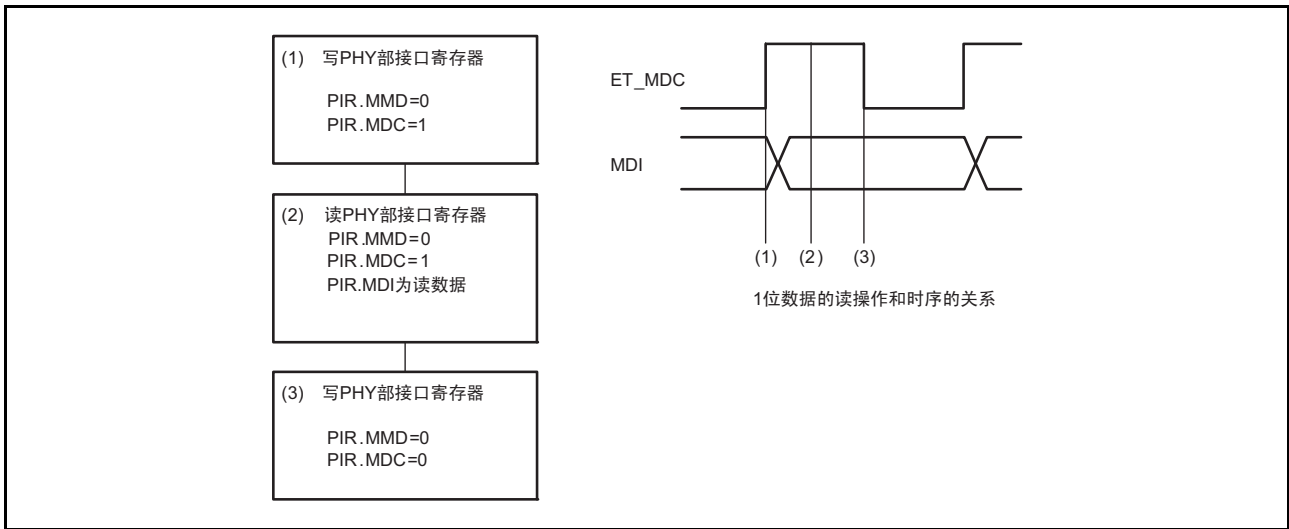


图 26.16 1 位数据的读流程

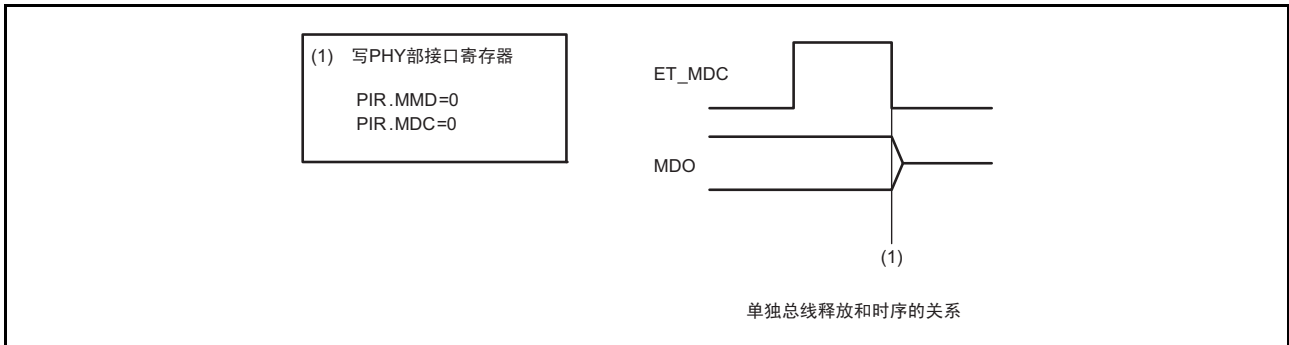


图 26.17 单独总线释放流程（图 26.13 中写时的 IDLE）

26.3.5 Magic Packet™ 的检测

ETHERC 具有 Magic Packet™ 的检测功能。使用此功能，能从主设备等启动连接到 LAN 的各种外围设备（WOL: Wake-On-LAN）。因此，能构筑外围装置接收主设备等发送的 Magic Packet™ 并且自动启动外围设备的系统。当检测到 Magic Packet™ 时，通过此前接收的广播包等将数据积累在接收 FIFO，并且将接收状态等报告给 ETHERC。要从中断处理返回到正常运行时，必须通过 EDMAC 的 EDMAC 模式寄存器（EDMR）的软件复位的位（SWR）对 ETHERC 和 EDMAC 进行初始化。

Magic Packet™ 与目标地址无关，进行数据的接收。ET_WOL 引脚只有在与 Magic Packet™ 内的格式所指定地址相同时才有效。有关 Magic Packet™ 的详细内容，请参照 AMD 公司的技术资料。

在通过 RX62N 使用 WOL 时，必须按照以下的设定步骤进行设定：

1. 通过各种中断允许/屏蔽寄存器，禁止中断源的输出。
2. 设定 ETHERC 模式寄存器（ECMR）的 Magic Packet™ 检测允许位（MPDE）。
3. 将 ETHERC 中断允许寄存器（ECSIPR）的 Magic Packet™ 检测中断允许位（MPDIP）置“1”。
4. 必要时，将 CPU 的运行模式设定为睡眠模式或者将外围功能设定为模块待机模式。
5. 如果检测到 Magic Packet™，就将中断通知 CPU，并且通过 ET_WOL 引脚通知外围 LSI。

26.3.6 根据 IPG 设定的运行

ETHERC 具有更改发送帧之间的无发送期间 IPG（Inter Packet Gap）的功能。通过更改 IPG 设定寄存器（IPGR）的设定值，能提高或者降低传送效率（与标准值相比）。IEEE802.3 标准规定了 IPG 的设定。在更改设定时，必须在同一个网络中充分确认各设备是否正常运行。

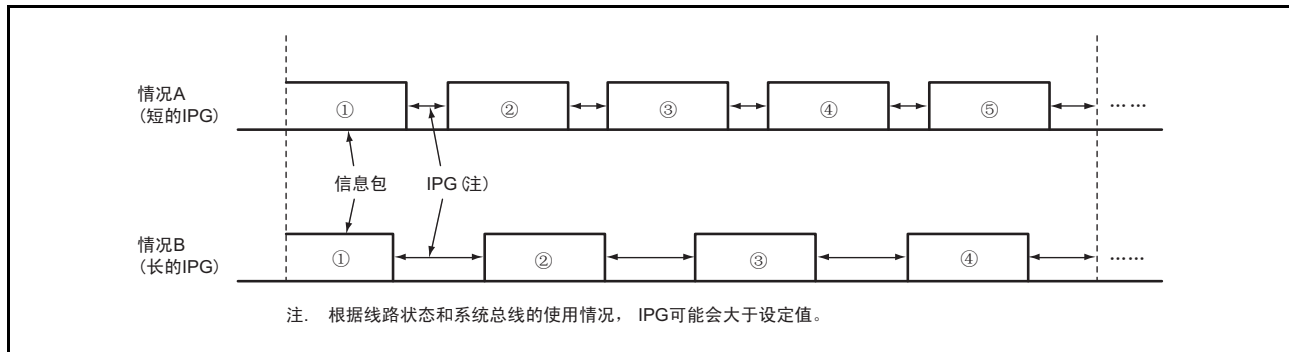


图 26.18 更改 IPG 引起的传送效率的不同

26.3.7 流控制

在以全双工模式运行时，ETHERC 支持符合 IEEE802.3x 规格的流控制功能。流控制能适用于接收运行和发送运行。在进行流控制时，PAUSE 帧的发送步骤如下。

26.3.7.1 自动 PAUSE 帧的发送

对于接收帧，如果写在接收 FIFO（内置于 EDMAC）中的数据量达到 EDMAC 的流控制开始 FIFO 阈值设定寄存器（FCFTR）的设定值，就自动发送 PAUSE 帧。此时，通过自动 PAUSE 帧设定寄存器（APR）设定 PAUSE 帧中的 TIME 参数。重复发送自动 PAUSE 帧，直到接收 FIFO 内的数据被读取并且数据量少于 FCFTR 寄存器设定值为止。另外，也能通过自动 PAUSE 帧重新发送次数设定寄存器（TPAUSER）设定 PAUSE 帧重新发送次数的上限值。在这种情况下，如果接收 FIFO 内的数据量少于 FCFTR 寄存器的设定值或者发送次数少于 TPAUSER 寄存器的设定值，就重复发送 PAUSE 帧。在 ETHERC 模式寄存器（ECMR）的发送流控制运行模式位（TXF）为“1”时，自动 PAUSE 帧的发送有效。

26.3.7.2 手动 PAUSE 帧的发送

根据软件的指示来发送 PAUSE 帧。如果将 Timer 值写到手动 PAUSE 帧设定寄存器（MPR），就开始发送手动 PAUSE 帧。按照此步骤，只发送 1 次 PAUSE 帧。

26.3.7.3 PAUSE 帧的接收

如果接收到 PAUSE 帧，就在经过 Timer 值所示的时间之前等待发送下一帧。但是，正在发送的帧将继续发送。在 ETHERC 模式寄存器（ECMR）的接收流控制运行模式位（RXF）为“1”时，PAUSE 帧的接收有效。

26.4 和 PHY-LSI 的连接

和 PHY-LSI 的连接例子如图 26.19 和图 26.20 所示。

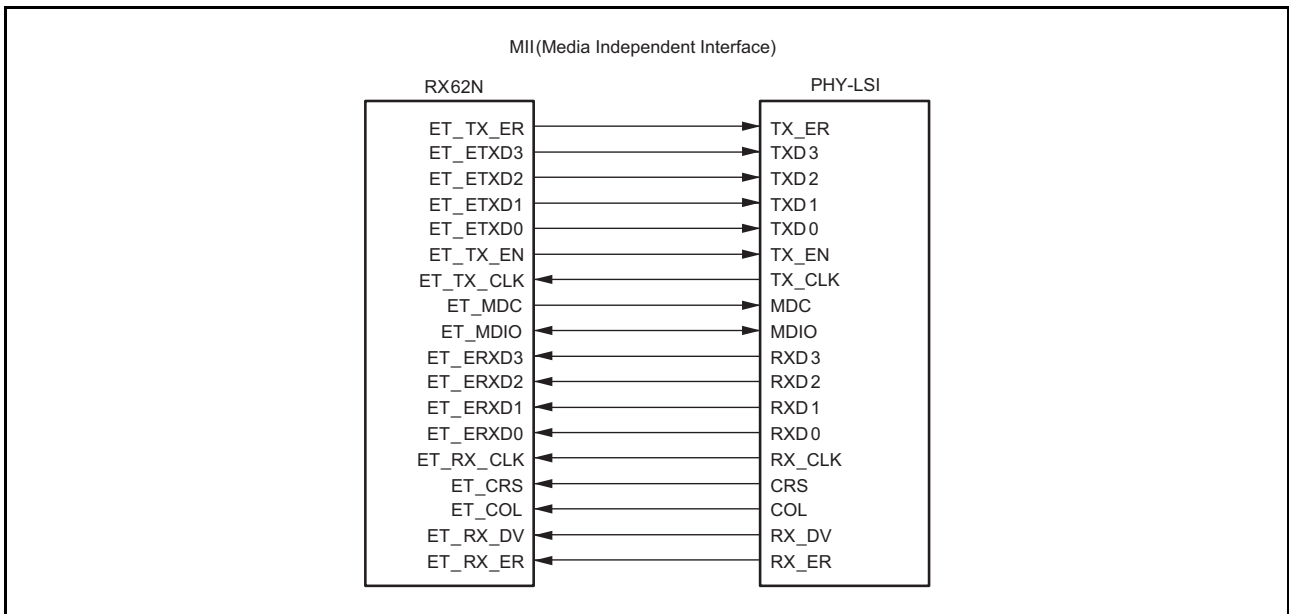


图 26.19 和 PHY-LSI 的连接例子 (MII)

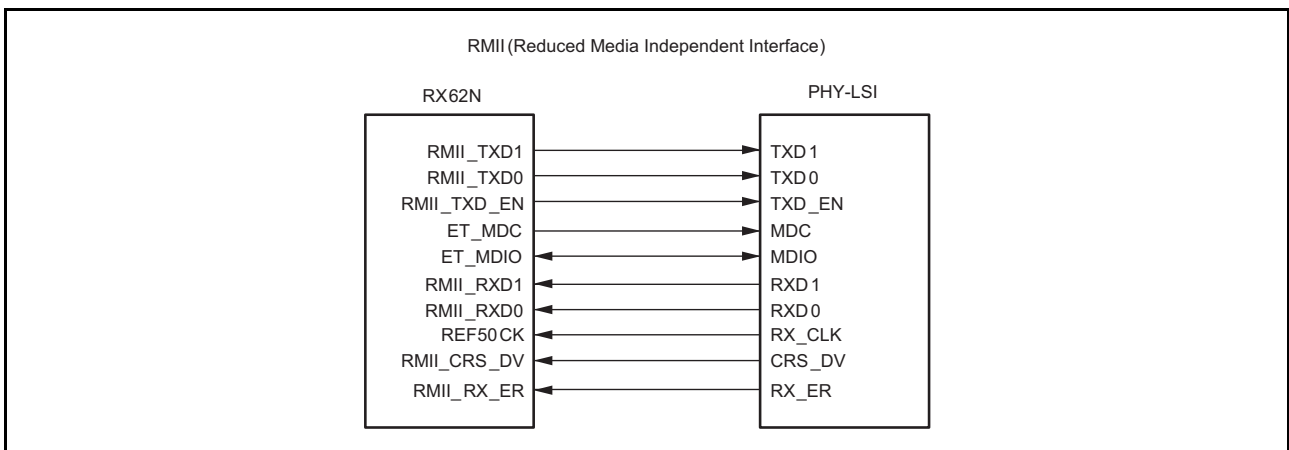


图 26.20 和 PHY-LSI 的连接例子 (RMII)

26.5 使用时的注意事项

在使用 ETHERC 时，必须注意以下事项。

26.5.1 有关 LCHNG 位的置位条件

即使 ET_LINKSTA 引脚的输入电平不发生变化，ECSR.LCHNG 位也可能变为“1”。这是在通过 IOPORT.PFENET 位当 ET_LINKSTA 引脚为有效时，或者通过 EDMAC 的 EDMR.SWR 位解除 ETHERC/EDMAC 的软件复位时给 ET_LINKSTA 引脚输入高电平的情况。因为在不通过 IOPORT.PFENET 位当 ET_LINKSTA 引脚为有效时，或者 ETHERC/EDMAC 正在进行软件复位时，LSI 内部的 ET_LINKSTA 信号与外部引脚的输入电平无关而被固定为低电平。

为了避免误发生连接信号变化中断，必须在清除 ECSR.LCHNG 位后将 ECSIPR.LCHNGIP 位置“1”。

26.5.2 有关选择 RMII 时的 RMII_RX_ER 引脚输入

在选择 RMII 时，如果从 PHY 接受的接收错误信号宽度为 1 个 50MHz 的 RMII 参考时钟周期，就不将此信号视为错误信号。

27. 以太网控制器的 DMA 控制器 (EDMAC)

27.1 概要

RX62N 群内置直接连接以太网控制器 (ETHERC) 的直接存储器存取控制器 (EDMAC)。EDMAC 使用描述符控制大部分的缓冲器管理，能减轻 CPU 的负担，高效率地控制数据的发送和接收。

EDMAC 的规格如表 27.1 所示，EDMAC 和存储器中的描述符以及发送 / 接收缓冲器的结构如图 27.1 所示。

表 27.1 EDMAC 的规格

项目	内容
数据发送 / 接收	<ul style="list-style-type: none"> • 描述符管理方式 • 支持单帧方式和多缓冲方式。
功能	<ul style="list-style-type: none"> • 通过块传送 (以 32 字节为单位) 提高系统总线的使用效率。 • 通过描述符反映发送 / 接收帧的状态。 • 能填充插入接收数据。

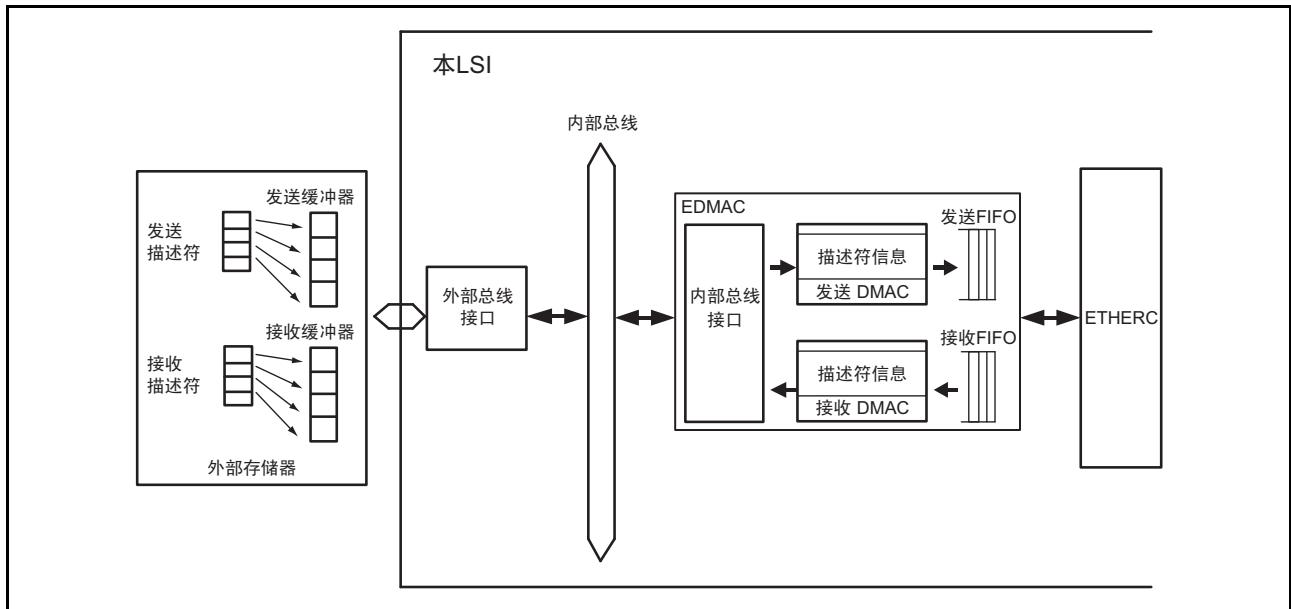


图 27.1 EDMAC、描述符和缓冲器结构

27.2 寄存器说明

EDMAC 的寄存器一览表如表 27.2 所示。

表 27.2 EDMAC 的寄存器一览表

寄存器名	符号	复位后的值	地址	存取长度
EDMAC 模式寄存器	EDMR	0000 0000h	000C 0000h	32
EDMAC 发送请求寄存器	EDTRR	0000 0000h	000C 0008h	32
EDMAC 接收请求寄存器	EDRRR	0000 0000h	000C 0010h	32
发送描述符列表起始地址寄存器	TDLAR	0000 0000h	000C 0018h	32
接收描述符列表起始地址寄存器	RDLAR	0000 0000h	000C 0020h	32
ETHERC/EDMAC 状态寄存器	EESR	0000 0000h	000C 0028h	32
ETHERC/EDMAC 状态中断允许寄存器	EESIPR	0000 0000h	000C 0030h	32
发送 / 接收状态复制指示寄存器	TRSCER	0000 0000h	000C 0038h	32
漏帧计数寄存器	RMFCR	0000 0000h	000C 0040h	32
发送 FIFO 阈值指定寄存器	TFTR	0000 0000h	000C 0048h	32
FIFO 容量指定寄存器	FDR	0000 0000h	000C 0050h	32
接收方式控制寄存器	RMCR	0000 0000h	000C 0058h	32
发送 FIFO 欠载计数	TFUCR	0000 0000h	000C 0064h	32
接收 FIFO 上溢计数	RFOCR	0000 0000h	000C 0068h	32
个别输出信号设定寄存器	IOSR	0000 0000h	000C 006Ch	32
流控制开始 FIFO 阈值设定寄存器	FCFTR	0007 0007h	000C 0070h	32
接收数据填充插入设定寄存器	RPADIR	0000 0000h	000C 0078h	32
发送中断设定寄存器	TRIMD	0000 0000h	000C 007Ch	32
接收缓冲器的写地址寄存器	RBWAR	0000 0000h	000C 00C8h	32
接收描述符的取地址寄存器	RDFAR	0000 0000h	000C 00CCh	32
发送缓冲器的读地址寄存器	TBRAR	0000 0000h	000C 00D4h	32
发送描述符的取地址寄存器	TDFAR	0000 0000h	000C 00D8h	32

27.2.1 EDMAC 模式寄存器 (EDMR)

地址 000C 0000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	DE	DL[1:0]	—	—	—	—	SWR
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	SWR	软件复位的位	(写时) 0: 无效 1: 对 ETHERC 以及 EDMAC 进行复位 (注1)	R/W
b3-b1	—	保留位	读写值都为“0”。	R/W
b5-b4	DL[1:0]	发送 / 接收描述符长指定位	b5 b4 00: 16 字节 01: 32 字节 10: 64 字节 11: 16 字节	R/W
b6	DE	大端法 / 小端法模式指定位 (注2)	0: 大端法模式 (长字存取) 1: 小端法模式 (长字存取)	R/W
b31-b7	—	保留位	读写值都为“0”。	R/W

注 1. TDLAR、RMFCR、TFUCR 以及 RFOCR 寄存器不被复位。

注 2. 此位对发送 / 接收数据有效, 对发送 / 接收描述符和寄存器无效 (只支持大端法)。

EDMR 寄存器是指定 EDMAC 运行模式的寄存器。

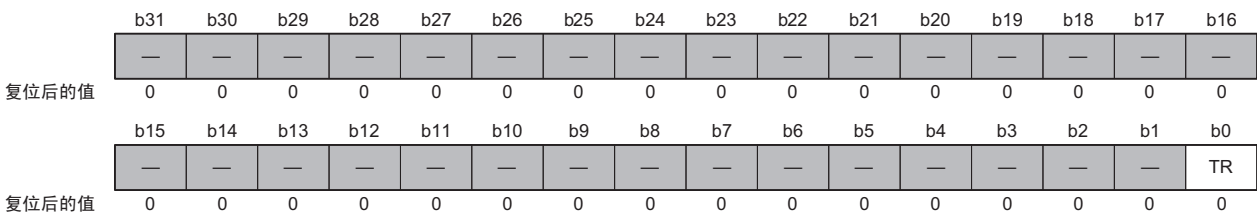
通常, 在复位后的初始设定时设定 EDMR 寄存器。如果在数据发送过程中通过 EDMR 寄存器对 ETHERC 和 EDMAC 进行初始化, 就可能在线路上发送异常数据。

禁止在发送 / 接收功能有效的状态下改写运行模式的设定。要转换运行模式时, 必须在通过 SWR 位将 ETHERC 和 EDMAC 恢复到初始状态后, 重新设定此寄存器。

完成 ETHERC 和 EDMAC 的初始化所需要的时间为 64 个 EDMAC 内部总线时钟周期, 因此必须在经过 64 个 EDMAC 内部总线时钟周期后存取 ETHERC 和 EDMAC 内的寄存器。

27.2.2 EDMAC 发送请求寄存器 (EDTRR)

地址 000C 0008h



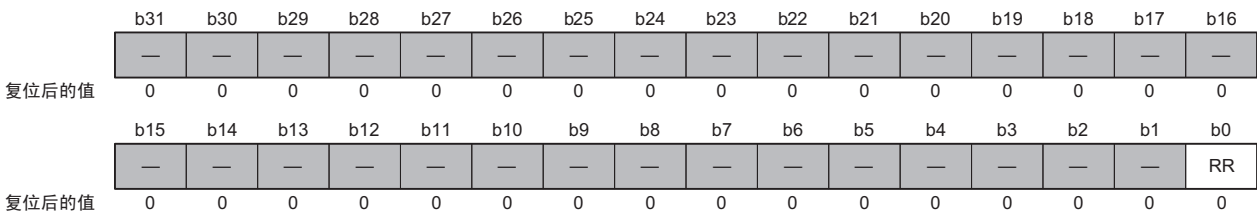
位	符号	位名	功能	R/W
b0	TR	发送请求位	0: 发送停止状态 即使写“0”，也不停止发送。通过发送描述符内的有效位控制发送的结束。 1: 开始发送 读对应的描述符并且发送有效位为“1”的帧。	R/W
b31-b1	—	保留位	读写值都为“0”。	R/W

EDTRR 寄存器是给 EDMAC 指示发送的寄存器。

当结束 1 帧的发送时，读下一个描述符。如果此描述符内的发送描述符有效位有效，就继续发送，否则就通过将 TR 位置“0”，停止发送 DMAC 的运行。

27.2.3 EDMAC 接收请求寄存器 (EDRRR)

地址 000C 0010h



位	符号	位名	功能	R/W
b0	RR	接收请求位	0: 将接收功能置为无效 (注 1) 1: 读接收描述符并且将 EDMAC 置为可接收的状态	R/W
b31-b1	—	保留位	读写值都为“0”。	R/W

注 1. 如果在接收帧的过程中将接收功能置为无效，就无法正常回写接收描述符，导致此后的接收描述符的读指针出现异常，EDMAC 无法正常运行。此时，为了重新将 EDMAC 置为可接收的状态，必须通过 EDMR.SWR 位进行软件复位。

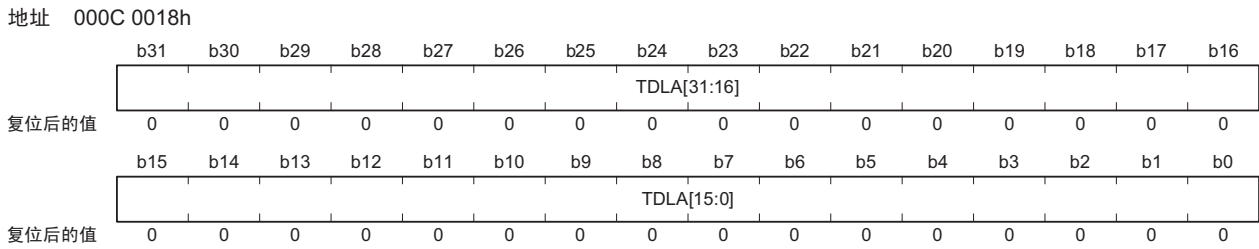
在不对 EDMAC 进行软件复位而将接收功能置为无效时，必须通过 ETHERC 的 ECMR.RE 位将接收功能置为无效，然后在 EDMAC 接收结束并且能确认接收描述符的回写后，将 EDRRR 寄存器的接收功能置为无效。

EDRRR 寄存器是给 EDMAC 指示接收的寄存器。

如果接收请求位为“1”，EDMAC 就读对应的接收描述符。如果描述符内的接收描述符有效位有效，就等待 ETHERC 的接收请求。

当接收缓冲器的接收结束时，EDMAC 读下一个描述符，等待帧的接收。此时，如果描述符内的接收描述符有效位无效，就通过清除 RR 位，停止接收 DMAC 的运行。

27.2.4 发送描述符列表起始地址寄存器 (TDLAR)



位	符号	位名	功能	R/W
b31-b0	TDLA[31:0]	发送描述符的起始地址位	16 字节边界: TDLA[3:0]=0000 32 字节边界: TDLA[4:0]=00000 64 字节边界: TDLA[5:0]=000000	R/W

TDLAR 寄存器是设定发送描述符列表起始地址的寄存器。

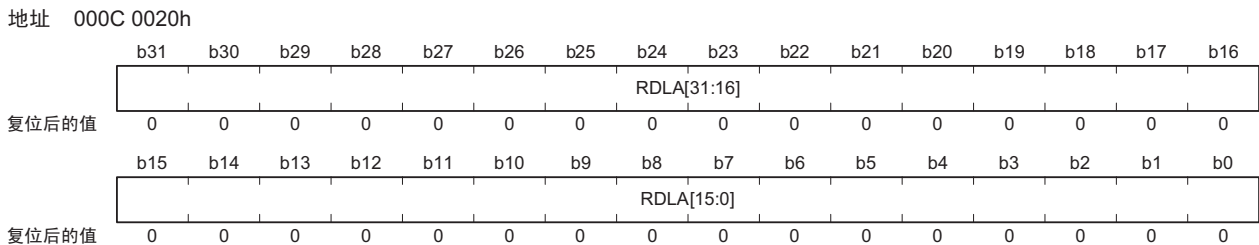
各描述符由与 EDMR.DL[1:0] 位所示描述符长度相同的边界构成。

禁止在发送过程中改写 TDLAR 寄存器，必须在发送停止的状态下通过 EDTRR.TR 位 (=0) 改写 TDLAR 寄存器。

TDLA[31:0] 位 (发送描述符的起始地址位)

这些位根据指定的描述符长度设定低位。

27.2.5 接收描述符列表起始地址寄存器 (RDLAR)



位	符号	位名	功能	R/W
b31-b0	RDLA[31:0]	接收描述符的起始地址位	16 字节边界: RDLA[3:0]=0000 32 字节边界: RDLA[4:0]=00000 64 字节边界: RDLA[5:0]=000000	R/W

RDLAR 寄存器是设定接收描述符列表起始地址的寄存器。

各描述符由与 EDMR.DL[1:0] 位所示描述符长度相同的边界构成。

禁止在接收过程中改写 RDLAR 寄存器，必须在停止接收的状态下通过 EDRRR.RR 位 (=0) 改写 RDLAR 寄存器。

RDLA[31:0] 位 (接收描述符的起始地址位)

这些位根据指定的描述符长度设定低位。

27.2.6 ETHERC/EDMAC 状态寄存器 (EESR)

地址 000C 0028h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	TWB	—	—	—	TABT	RABT	RFCOF	ADE	ECI	TC	TDE	TFUF	FR	RDE	RFOF
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CND	DLC	CD	TRO	RMAF	—	—	RRF	RTLF	RTSF	PRE	CERF
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	CERF	接收帧 CRC 错误位	0: 未检测到 CRC 错误 1: 检测到 CRC 错误	R/W
b1	PRE	PHY-LSI 接收错误位	0: 未检测到 PHY-LSI 接收错误 1: 检测到 PHY-LSI 接收错误	R/W
b2	RTSF	短帧接收错误位	0: 未接收到短帧 1: 接收到短帧	R/W
b3	RTLF	长帧接收错误位	0: 未接收到长帧 1: 接收到长帧	R/W
b4	RRF	尾数位的帧接收位	0: 未接收到尾数位的帧 1: 接收到尾数位的帧	R/W
b6-b5	—	保留位	读写值都为“0”。	R/W
b7	RMAF	多播地址帧接收位	0: 未接收到多播地址帧 1: 接收到多播地址帧	R/W
b8	TRO	发送重试超限位	0: 未检测到发送重试超限 1: 检测到发送重试超限	R/W
b9	CD	延迟冲突检测位	0: 未检测到延迟冲突 1: 检测到延迟冲突	R/W
b10	DLC	载波消失检测位	0: 未检测到载波消失 1: 检测到载波消失	R/W
b11	CND	载波未检测位	0: 在开始发送时检测到载波 1: 未检测到载波	R/W
b15-b12	—	保留位	读写值都为“0”。	R/W
b16	RFOF	接收 FIFO 上溢位	0: 未发生上溢 1: 发生上溢	R/W
b17	RDE	接收描述符空位	0: 检测到接收描述符有效位 RD0.RACT 为“1” 1: 检测到接收描述符有效位 RD0.RACT 为“0”	R/W
b18	FR	帧接收位	0: 未接收到帧 1: 帧接收结束	R/W
b19	TFUF	发送 FIFO 下溢位	0: 未发生下溢 1: 发生下溢	R/W
b20	TDE	发送描述符空位	0: 检测到发送描述符有效位 TD0.TACT 为“1” 1: 检测到发送描述符有效位 TD0.TACT 为“0”	R/W
b21	TC	帧发送结束位	0: 传送未结束或者未指示传送 1: 传送结束	R/W

位	符号	位名	功能	R/W
b22	ECI	ETHERC 状态寄存器源位	0: 未检测到 ETHERC 状态中断源 1: 检测到 ETHERC 状态中断源	R (注1)
b23	ADE	地址错误位	0: 未检测到非法存储器地址 (正常运行) 1: 检测到非法存储器地址 (注2)	R/W
b24	RFCOF	接收帧计数器上溢位	0: 接收帧计数器未发生上溢 1: 接收帧计数器发生上溢	R/W
b25	RABT	接收中断检测位	0: 未发生帧接收中断或者未指示接收 1: 发生帧接收中断	R/W
b26	TABT	发送中断检测位	0: 未发生帧发送中断或者未指示发送 1: 发生帧发送中断	R/W
b29-b27	—	(保留位)	读写值都为“0”。	R/W
b30	TWB	回写结束位	0: 回写未结束或者未指示发送 1: 回写结束	R/W
b31	—	保留位	读写值都为“0”。	R/W

注 1. ECI 位是只读位。如果清除 ETHERC 的 ECSR 寄存器的中断源，ECI 位也被清除。

注 2. 一旦检测到地址错误，EDMAC 就停止发送和接收。要重新开始时，必须在通过 EDMR.SWR 位进行软件复位后重新设定。

EESR 寄存器表示 ETHERC 和 EDMAC 的通信状态。

以中断源的形式报告 EESR 寄存器的信息。通过给各位写“1”，各位变为“0”（ECI 位为只读位，即使写“1”也不变为“0”）。写“0”时不影响各位的状态。能通过 ETHERC/EDMAC 状态中断允许寄存器（EESIPR）的相应位禁止各中断源。

RTSF 位（短帧接收错误位）

此位表示接收到不满 64 字节的帧。

RTLF 位（长帧接收错误位）

此位表示接收帧的字节数超过 ETHERC 接收帧长上限寄存器（RFLR）设定的接收帧长上限值。

TRO 位（发送重试超限位）

此位表示在发送帧的过程中发生重试超限，这表明在 ETHERC 开始发送后，基于补偿算法的 16 次发送重试（包括 15 次重新发送）都失败。

CD 位（延迟冲突检测位）

此位表示在发送帧的过程中检测到延迟冲突。

DLC 位（载波消失检测位）

此位表示在发送帧的过程中检测到载波消失。

RFOF 位（接收 FIFO 上溢位）

此位表示在接收帧的过程中接收 FIFO 发生上溢。

RDE 位 (接收描述符空位)

当接收描述符为空 (RDE 位 =1) 时, 能通过将该接收描述符有效位 RD0.RACT 置“1”并且启动接收, 重新开始接收。

FR 位 (帧接收位)

此位表示接收帧并且更新了接收描述符。每接收 1 帧就将 FR 位置“1”。

TFUF 位 (发送 FIFO 下溢位)

此位表示在发送帧的过程中发送 FIFO 发生下溢。不完整的数据被发送到线路上。

TDE 位 (发送描述符空位)

在多缓冲帧的处理过程中前一个描述符不是最终帧的情况下, 此位表示在 EDMAC 读发送描述符时描述符内的发送描述符有效位 (TD0.TACT) 不为“1”, 因此有可能发送不完整的帧。

当发送描述符为空 (TDE=1) 时, 必须在软件复位后启动发送。此时, 从 TDLAR 寄存器保存的地址开始发送。

TC 位 (帧发送结束位)

此位表示通过 ETHERC 发送了由发送描述符指定的全部数据。在 1 帧 /1 缓冲器的处理过程中, 如果 1 帧发送结束, 或者在多缓冲帧的处理过程中发送帧的最后数据并且下一个描述符内的发送描述符有效位 (TD0.TACT) 未被置位, 就视为发送结束, TC 位变为“1”。在帧的发送结束后, EDMAC 将传送状态回写到相应的描述符。

ADE 位 (地址错误位)

此位表示 EDMAC 要传送的存储器地址为非法地址。

RFCOF 位 (接收帧计数器上溢位)

此位表示接收 FIFO 内的帧计数器发生上溢。

RABT 位 (接收中断检测位)

此位表示在接收帧时 ETHERC 因障碍等而中止帧的接收。

TABT 位 (发送中断检测位)

此位表示在发送帧时 ETHERC 因障碍等而中止帧的发送。

TWB 位 (回写结束位)

此位表示在帧发送结束后结束 EDMAC 对应的描述符的回写。只有在发送中断设定寄存器 (TRIMD) 的发送中断设定位 (TIS) 为“1” (设定中断) 时此运行才有效。

27.2.7 ETHERC/EDMAC 状态中断允许寄存器 (EESIPR)

地址 000C 0030h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	TWB IP	—	—	—	TABT IP	RABT IP	RFCOF IP	ADE IP	ECI IP	TC IP	TDE IP	TFUF IP	FR IP	RDE IP	RFOF IP
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CND IP	DLC IP	CD IP	TRO IP	RMAF IP	—	—	RRF IP	RTLFI IP	RTSFI IP	PRE IP	CERFI IP
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	CERFIP	接收帧 CRC 错误中断允许位	0: 禁止 CRC 错误中断 1: 允许 CRC 错误中断	R/W
b1	PREIP	PHY-LSI 接收错误中断允许位	0: 禁止 PHY-LSI 接收错误中断 1: 允许 PHY-LSI 接收错误中断	R/W
b2	RTSFIP	短帧接收错误中断允许位	0: 禁止短帧接收错误中断 1: 允许短帧接收错误中断	R/W
b3	RTLFIPI	长帧接收错误中断允许位	0: 禁止长帧接收错误中断 1: 允许长帧接收错误中断	R/W
b4	RRFIP	尾数位帧接收中断允许位	0: 禁止尾数位帧接收中断 1: 允许尾数位帧接收中断	R/W
b6-b5	—	保留位	读写值都为“0”。	R/W
b7	RMAFIP	多播地址帧接收中断允许位	0: 禁止多播地址帧接收中断 1: 允许多播地址帧接收中断	R/W
b8	TROIP	发送重试超限中断允许位	0: 禁止发送重试超限中断 1: 允许发送重试超限中断	R/W
b9	CDIP	延迟冲突检测中断允许位	0: 禁止延迟冲突中断 1: 允许延迟冲突中断	R/W
b10	DLCIP	载波消失检测中断允许位	0: 禁止载波消失检测中断 1: 允许载波消失检测中断	R/W
b11	CNDIP	载波未检测中断允许位	0: 禁止载波未检测中断 1: 允许载波未检测中断	R/W
b15-b12	—	保留位	读写值都为“0”。	R/W
b16	RFOFIP	接收 FIFO 上溢中断允许位	0: 禁止上溢中断 1: 允许上溢中断	R/W
b17	RDEIP	接收描述符空中断允许位	0: 禁止接收描述符空中断 1: 允许接收描述符空中断	R/W
b18	FRIP	帧接收中断允许位	0: 禁止帧接收中断 1: 允许帧接收中断	R/W
b19	TFUFIP	发送 FIFO 下溢中断允许位	0: 禁止下溢中断 1: 允许下溢中断	R/W
b20	TDEIP	发送描述符空中断允许位	0: 禁止发送描述符空中断 1: 允许发送描述符空中断	R/W
b21	TCIP	帧发送结束中断允许位	0: 禁止帧发送结束中断 1: 允许帧发送结束中断	R/W

位	符号	位名	功能	R/W
b22	ECIIP	ETHERC 状态寄存器源中断允许位	0: 禁止 ETHERC 状态中断 1: 允许 ETHERC 状态中断	R/W
b23	ADEIP	地址错误中断允许位	0: 禁止地址错误中断 1: 允许地址错误中断	R/W
b24	RFCOFIP	接收帧计数器上溢中断允许位	0: 禁止接收帧计数器的上溢中断 1: 允许接收帧计数器的上溢中断	R/W
b25	RABTIP	接收中断检测中断允许位	0: 禁止接收中断检测中断 1: 允许接收中断检测中断	R/W
b26	TABTIP	发送中断检测中断允许位	0: 禁止发送中断检测中断 1: 允许发送中断检测中断	R/W
b29-b27	—	保留位	读写值都为“0”。	R/W
b30	TWBIP	回写结束中断允许位	0: 禁止回写结束中断 1: 允许回写结束中断	R/W
b31	—	保留位	读写值都为“0”。	R/W

EESIPR 寄存器是对应 ETHERC/EDMAC 状态寄存器 (EESR) 各位的中断允许寄存器。通过给各位写“1”允许中断。

27.2.8 发送 / 接收状态复制指示寄存器 (TRSCER)

地址 000C 0038h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CND CE	DLC CE	CD CE	TRO CE	RMAF CE	—	—	RRF CE	RTLF CE	RTSF CE	PRE CE	CERF CE
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	CERFCE	CERF 位复制指示位	0: 将 EESR.CERF 位的状态反映到接收描述符的 RD0.RFS 位 1: 即使发生相应的中断源, 也不反映到接收描述符的 RD0.RFS 位。	R/W
b1	PRECE	PRE 位复制指示位	0: 将 EESR.PRE 位的状态反映到接收描述符的 RD0.RFS 位 1: 即使发生相应的中断源, 也不反映到接收描述符的 RD0.RFS 位。	R/W
b2	RTSFCE	RTSF 位复制指示位	0: 将 EESR.RTSF 位的状态反映到接收描述符的 RD0.RFS 位 1: 即使发生相应的中断源, 也不反映到接收描述符的 RD0.RFS 位。	R/W
b3	RTLFCE	RTLF 位复制指示位	0: 将 EESR.RTLF 位的状态反映到接收描述符的 RD0.RFS 位 1: 即使发生相应的中断源, 也不反映到接收描述符的 RD0.RFS 位。	R/W
b4	RRFCE	RRF 位复制指示位	0: 将 EESR.RRF 位的状态反映到接收描述符的 RD0.RFS 位 1: 即使发生相应的中断源, 也不反映到接收描述符的 RD0.RFS 位。	R/W
b6-b5	—	保留位	读写值都为“0”。	R/W
b7	RMAFCE	RMAF 位复制指示位	0: 将 EESR.RMAF 位的状态反映到接收描述符的 RD0.RFS 位 1: 即使发生相应的中断源, 也不反映到接收描述符的 RD0.RFS 位。	R/W
b8	TROCE	TRO 位复制指示位	0: 将 EESR.TRO 位的状态反映到发送描述符的 TD0.TFS 位 1: 即使发生相应的中断源, 也不反映到发送描述符的 TD0.TFS 位。	R/W
b9	CDCE	CD 位复制指示位	0: 将 EESR.CD 位的状态反映到发送描述符的 TD0.TFS 位 1: 即使发生相应的中断源, 也不反映到发送描述符的 TD0.TFS 位。	R/W
b10	DLCCE	DLC 位复制指示位	0: 将 EESR.DLC 位的状态反映到发送描述符的 TD0.TFS 位 1: 即使发生相应的中断源, 也不反映到发送描述符的 TD0.TFS 位。	R/W

位	符号	位名	功能	R/W
b11	CNDCE	CND 位复制指示位	0: 将 EESR.CND 位的状态反映到发送描述符的 TD0.TFS 位 1: 即使发生相应的中断源, 也不反映到发送描述符的 TD0.TFS 位。	R/W
b31-b12	—	保留位	读写值都为“0”。	R/W

TRSCER 寄存器指示是否将通过 ETHERC/EDMAC 状态寄存器 (EESR) 的各位报告的发送 / 接收状态信息反映到相应描述符的 TFS25 ~ TFS0 和 RFS26 ~ RFS0。

如果 TRSCER 寄存器的各位分别对应 EESR 寄存器的 bit11 ~ bit0 并且将各位置“0”，就将发送状态 (EESR 寄存器的 bit11 ~ bit8) 反映到发送描述符的 TFS3 ~ 0 位并且将接收状态 (EESR 的 bit7 ~ bit0) 反映到接收描述符的 RFS7 ~ 0 位。如果置“1”，即使发生相应的中断源，也不反映到描述符。在 LSI 复位后，各位变为“0”。

27.2.9 漏帧计数寄存器 (RMFCR)

地址 000C 0040h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MFC[15:0]															
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b15-b0	MFC[15:0]	漏帧计数器位	表示在接收时因无法传送到接收缓冲器而被废弃的帧数。	R/W
b31-b16	—	保留位	读写值都为“0”。	R/W

RMFCR 寄存器是表示在接收时因接收缓冲器无法保存而被废弃的帧数的计数器。如果接收 FIFO 发生上溢，就废弃该 FIFO 内的接收帧。此时，对废弃的帧数进行递增计数。当 RMFCR 寄存器的值变为“FFFFh”时，停止递增计数。通过写 RMFCR 寄存器将计数器的值置“0”。

27.2.10 发送 FIFO 阈值指定寄存器 (TFTR)

地址 000C 0048h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TFT[10:0]										
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b10-b0	TFT[10:0]	发送 FIFO 阈值	000h: 存储 & 正向模式 001h ~ 00Ch: 不能设定 00Dh: 52 字节 00Eh: 56 字节 : : 01Fh: 124 字节 020h: 128 字节 : : 03Fh: 252 字节 040h: 256 字节 : : 07Fh: 508 字节 080h: 512 字节 : : 0FFh: 1020 字节 100h: 1024 字节 : : 1FFh: 2044 字节 200h: 2048 字节 201h ~ 7FFh: 不能设定	R/W
b31-b11	—	保留位	读写值都为“0”。	R/W

注 1. 如果在写完 1 帧数据前开始发送，就需要注意下溢的发生。

注 2. 如果 TFTR 寄存器的设定值大于发送 / 接收 FIFO 容量，就无法保证运行。

注 3. 为了防止发生发送下溢，建议设定初始值（存储 & 正向模式）。

TFTR 寄存器指定第 1 次发送开始前的发送 FIFO 的阈值。实际的阈值相当于设定值的 4 倍。

如果发送 FIFO 内的数据量超过 TFTR 寄存器指定的字节数或者发送 FIFO 满或者写 1 帧数据，ETHERC 就开始发送。必须在发送停止的状态下设定 TFTR 寄存器。

TFT[10:0] 位（发送 FIFO 阈值位）

必须将发送 FIFO 的阈值设定为小于 FIFO 容量指定寄存器（FDR）指定的 FIFO 容量值。

27.2.11 FIFO 容量指定寄存器 (FDR)

地址 000C 0050h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—			TFD[4:0]			—	—	—			RFD[4:0]		
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b4-b0	RFD[4:0]	接收 FIFO 容量位	00000: 256 字节 00001: 512 字节 00010: 768 字节 00011: 1024 字节 00100: 1280 字节 00101: 1536 字节 00110: 1792 字节 00111: 2048 字节 上述以外: 不能设定	R/W
b7-b5	—	保留位	读写值都为“0”。	R/W
b12-b8	TFD[4:0]	发送 FIFO 容量	00000: 256 字节 00001: 512 字节 00010: 768 字节 00011: 1024 字节 00100: 1280 字节 00101: 1536 字节 00110: 1792 字节 00111: 2048 字节 上述以外: 不能设定	R/W
b31-b13	—	保留位	读写值都为“0”。	R/W

注. 如果 FDR 寄存器的设定值大于发送 / 接收 FIFO 容量, 就无法保证运行。

FDR 寄存器是指定发送 / 接收 FIFO 容量的寄存器。

在启动 ETHERC 时, 必须设定“0000 0707h”。

RFD[4:0] 位 (接收 FIFO 容量位)

这些位指定接收 FIFO 的容量。在开始发送或者接收后, 禁止更改设定值。

TFD[4:0] 位 (发送 FIFO 容量位)

这些位指定发送 FIFO 的容量。在开始发送或者接收后, 禁止更改设定值。

27.2.12 接收方式控制寄存器 (RMCR)

地址 000C 0058h

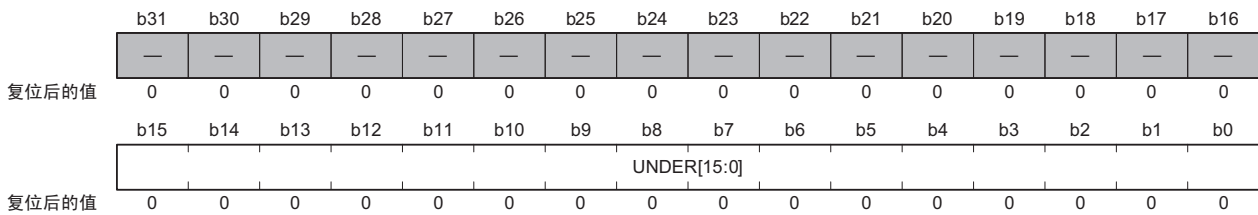
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RNC	RNR
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	RNR	接收请求复位的位	0: 当 1 帧接收结束时, EDRRR 的接收请求位 (RR) 通过硬件进行自清除。能以 1 帧为单位进行控制。在接收后续接收帧时, 需要重新设定 RR 位。 1: 通过上层软件控制 EDRRR 的接收请求位 (RR)。在给 RR 位写“1”后并且在给 RR 位写“0”前, 硬件自动取接收描述符并且接收帧, 能连续接收多个帧。在连续接收时, 建议将 RNR 位置“1”。但是, 如果检测到接收描述符为空, RR 位就通过硬件进行自清除。	R/W
b1	RNC	接收请求 non 复位模式指定位	0: Nop 1: 将 EDRRR 的接收请求位 (RR) 的复位设定为软件控制。即使取到的描述符的 RD0.RACT 位为“0” (接收描述符为空), RR 位也不进行自复位, 而是继续取接收描述符并且继续进行接收帧的 DMA 传送。	R/W
b31-b2	—	保留位	读写值都为“0”。	R/W

RMCR 寄存器指定接收帧时的 EDMAC 接收请求寄存器 (EDRRR) 接收请求位 (RR) 的控制方法。必须在停止接收的状态下设定 RMCR 寄存器。

27.2.13 发送 FIFO 欠载计数 (TFUCR)

地址 000C 0064h

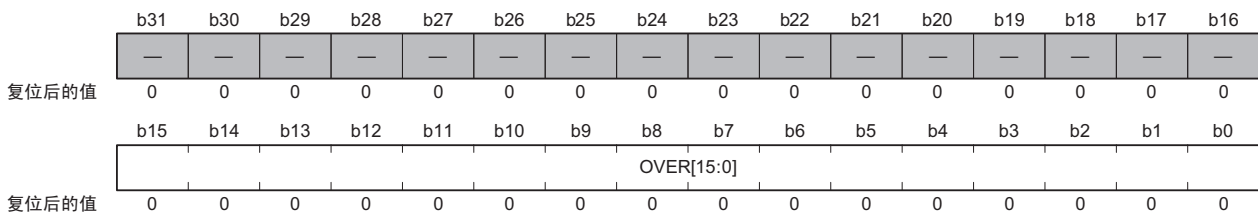


位	符号	位名	功能	R/W
b15-b0	UNDER[15:0]	发送 FIFO 下溢次数位	设定发送 FIFO 的下溢次数。当计数值为“FFFFh”时，停止计数。	R/W
b31-b16	—	保留位	读写值都为“0”。	R/W

TFUCR 寄存器是表示发送 FIFO 欠载次数的寄存器。
通过写 TFUCR 寄存器将计数器的值置“0”。

27.2.14 接收 FIFO 上溢计数 (RFOCR)

地址 000C 0068h

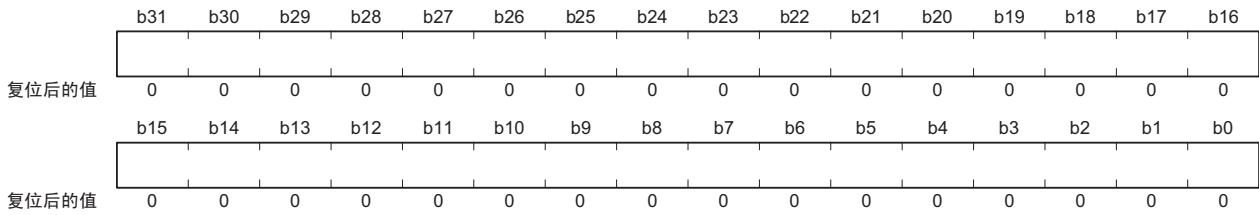


位	符号	位名	功能	R/W
b15-b0	OVER[15:0]	接收 FIFO 上溢次数位	设定接收 FIFO 的上溢次数。当计数值为“FFFFh”时，停止计数。	R/W
b31-b16	—	保留位	读写值都为“0”。	R/W

RFOCR 是表示接收 FIFO 上溢次数的寄存器。
通过写 RFOCR 寄存器将计数器的值置“0”。

27.2.15 接收缓冲器的写地址寄存器 (RBWAR)

地址 000C 00C8h



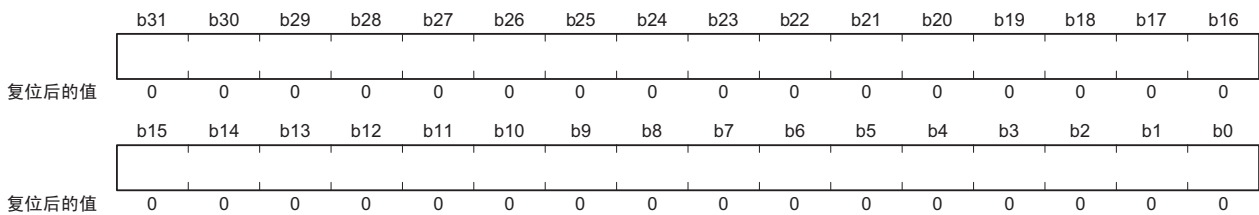
位	符号	位名	功能	R/W
b31-b0	—	—	RBWA[31:0] 位是只读位，禁止写操作。	R

在 EDMAC 将数据写到接收缓冲器时，RBWAR 寄存器保存接收缓冲器内为写对象的缓冲器地址。

能通过监视 RBWAR 寄存器所示的地址，识别 EDMAC 正在处理接收缓冲器内的哪一个地址。有可能 EDMAC 正在执行的缓冲器写处理和寄存器的读取值不同。

27.2.16 接收描述符的取地址寄存器 (RDFAR)

地址 000C 00CCh



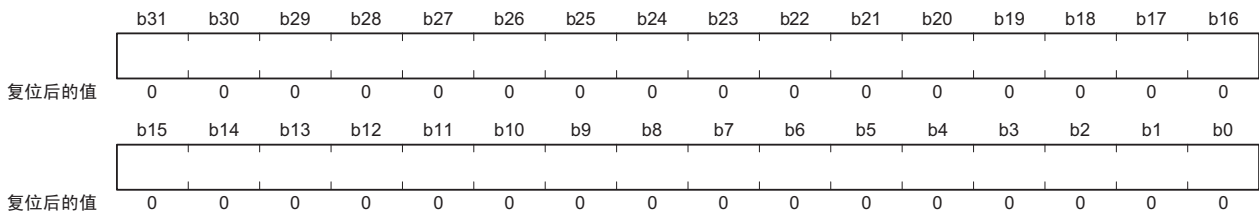
位	符号	位名	功能	R/W
b31-b0	—	—	RDFA[31:0] 位是只读位，禁止写操作。	R

在 EDMAC 从接收描述符取描述符信息时，RDFAR 寄存器保存所需的描述符起始地址。

能通过监视 RDFAR 寄存器所示的地址，识别 EDMAC 正在处理哪一个接收描述符信息。有可能 EDMAC 正在执行的描述符取处理和寄存器的读取值不同。

27.2.17 发送缓冲器的读地址寄存器 (TBRAR)

地址 000C 00D4h



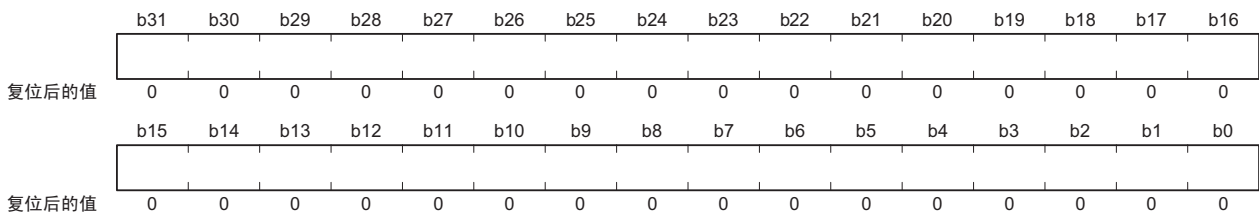
位	符号	位名	功能	R/W
b31-b0	—	—	TBRA[31:0] 位是只读位，禁止写操作。	R

在 EDMAC 从发送缓冲器读数据时，TBRAR 寄存器保存发送缓冲器内为读对象的缓冲器地址。

能通过监视 TBRAR 寄存器所示的地址，识别 EDMAC 正在处理发送缓冲器内的哪一个地址。有可能 EDMAC 正在执行的缓冲器读处理和寄存器的读取值不同。

27.2.18 发送描述符的取地址寄存器 (TDFAR)

地址 000C 00D8h



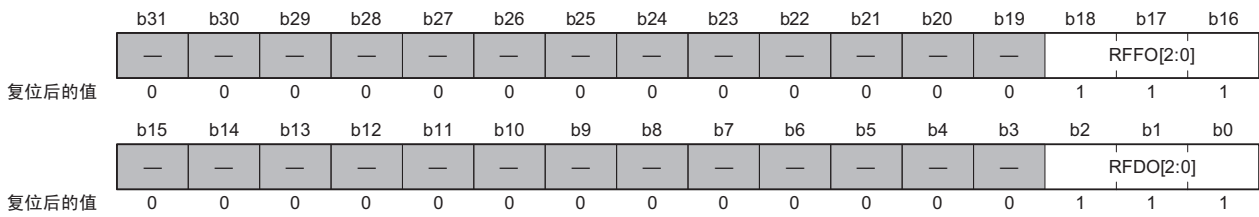
位	符号	位名	功能	R/W
b31-b0	—	—	TDFAR[31:0] 位是只读位，禁止写操作	R

在 EDMAC 从发送描述符取描述符信息时，TDFAR 寄存器保存所需的描述符起始地址。

能通过监视 TDFAR 寄存器所示的地址，识别 EDMAC 正在处理哪一个发送描述符信息。有可能 EDMAC 正在执行的描述符取处理和寄存器的读取值不同。

27.2.19 流控制开始 FIFO 阈值设定寄存器 (FCFTR)

地址 000C 0070h



位	符号	位名	功能	R/W
b2-b0	RFDO[2:0]	接收 FIFO 上溢的 BSY 发送阈值位	b2 b0 0 0 0: 在将 256 ~ 32 字节的数据保存到接收 FIFO 时 0 0 1: 在将 512 ~ 32 字节的数据保存到接收 FIFO 时 : 1 1 0: 在将 1792 ~ 32 字节的数据保存到接收 FIFO 时 1 1 1: 在将 2048 ~ 64 字节的数据保存到接收 FIFO 时	R/W
b15-b3	—	保留位	读写值都为“0”。	R/W
b18-b16	RFFO[2:0]	接收帧数上溢的 BSY 发送阈值位	b18 b16 0 0 0: 在接收 FIFO 内保存了 2 个接收帧时 0 0 1: 在接收 FIFO 内保存了 4 个接收帧时 0 1 0: 在接收 FIFO 内保存了 6 个接收帧时 : 1 1 0: 在接收 FIFO 内保存了 14 个接收帧时 1 1 1: 在接收 FIFO 内保存了 16 个接收帧时	R/W
b31-b19	—	保留位	读写值都为“0”。	R/W

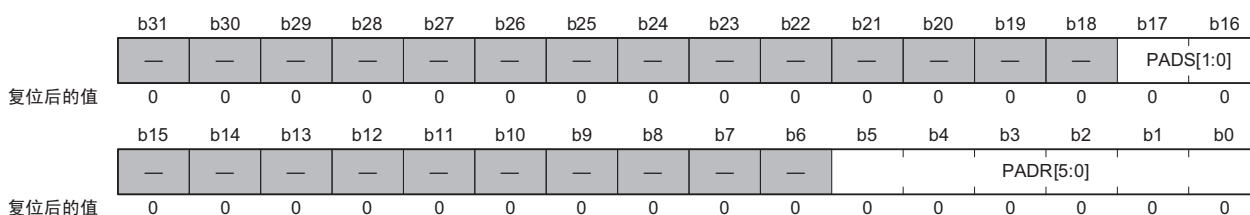
FCFTR 寄存器是设定 ETHERC 的流控制 (设定自动 PAUSE 发送的阈值) 的寄存器。

能通过接收 FIFO 数据容量 (RFDO[2:0] 位) 和接收帧数 (RFFO[2:0] 位) 设定阈值。以接收 FIFO 数据容量阈值判断和接收帧数阈值判断的逻辑或为条件开始流控制。

在根据 RFDO[2:0] 位的设定条件开始流控制时, 如果设定条件和 FIFO 容量设定寄存器 (FDR) 设定的接收 FIFO 容量值相同, 就以 (FIFO 数据容量-64) 字节为单位开始流控制。例如, 在 FDR.RFD[4:0] 为“00111b”并且 FCFTR.RFDO[2:0] 为“111b”时, 如果将 (2048-64) 字节的数据保存到接收 FIFO 内, 就开始流控制。必须将 RFDO[2:0] 位的设定值设定为小于等于 FDR.RFD[4:0] 位的设定值。

27.2.20 接收数据填充插入设定寄存器 (RPADIR)

地址 000C 0078h



位	符号	位名	功能	R/W
b5-b0	PADR[5:0]	填充范围位	00h: 在接收数据的第 1 个字节前插入填充字节 01h: 在接收数据的第 2 个字节前插入填充字节 : 3Eh: 在接收数据的第 63 个字节前插入填充字节 3Fh: 在接收数据的第 64 个字节前插入填充字节	R/W
b15-b6	—	保留位	读写值都为“0”。	R/W
b17-b16	PADS[1:0]	填充大小位	b17 b16 0 0: 不插入填充 0 1: 插入 1 个字节 1 0: 插入 2 个字节 1 1: 插入 3 个字节	R/W
b31-b18	—	保留位	读写值都为“0”。	R/W

RPADIR 寄存器对接收数据进行填充插入的设定。

必须在通过 EDMA.SWR 位进行复位后重新设定 RPADIR 寄存器。

27.2.21 发送中断设定寄存器 (TRIMD)

地址 000C 007Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	TIM	—	—	—	TIS
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	TIS	发送中断设定	0: 未设定中断 在 TIM 位指定的模式中不通知中断。 当 TIS 位为“0”时，TIM 位的设定无效。 1: 设定中断 在 TIM 位指定的模式中，将 EESR.TWB 位置“1”并且通知中断。	R/W
b3-b1	—	保留位	读写值都为“0”。	R/W
b4	TIM	发送中断模式	0: 每个发送帧模式 在每个发送帧回写结束时发生中断。 1: 中断模式 在发送描述符 TD0.TWBI 位设定描述符的回写结束时发生中断。	R/W
b31-b5	—	保留位	读写值都为“0”。	R/W

TRIMD 寄存器指定在发送时是否通过 EESR.TWB 位和中断来通知各帧的回写结束。

27.2.22 个别输出信号设定寄存器 (IOSR)

地址 000C 006Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ELB
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	ELB	外部环回模式	0: ET_EXOUT 引脚输出低电平 1: ET_EXOUT 引脚输出高电平	R/W
b31-b1	—	保留位	读写值都为“0”。	R/W

IOSR 寄存器在外部环回模式中选择外部输出引脚 (ET_EXOUT) 的输出电平。

将 ELB 位的值直接输出到 RX62N 的外部输出引脚 (ET_EXOUT)，通过 ET_EXOUT 引脚将此寄存器用于 PHY-LSI 环回模式的指示等。在通过此功能实现 PHY-LSI 的环回功能时，PHY-LSI 需要有与 ET_EXOUT 引脚对应的引脚。

27.3 运行说明

连接 EDMAC 和 ETHERC，不经过 CPU 而与存储器（缓冲器）进行高效率的发送 / 接收数据的传送。EDMAC 自动读取被称为描述符的控制信息，此描述符对应各缓冲器并且保存缓冲器指针等控制信息。根据此控制信息，从发送缓冲器读发送数据并且将接收数据写到接收缓冲器。能通过将此描述符进行多个连续排列（描述符列表），实现连续地发送和接收。

27.3.1 描述符列表和数据缓冲器

在开始发送和接收前，通信程序在存储器中建立发送和接收的各描述符列表，然后将此列表的起始地址设定到发送描述符列表起始地址寄存器和接收描述符列表起始地址寄存器。

必须将描述符的起始地址设定为与 EDMAC 模式寄存器 (EDMR) 设定的描述符长度相符的地址边界。发送缓冲器的起始地址能设定为长字边界、字边界或者字节边界。

27.3.1.1 发送描述符

发送描述符和发送缓冲器的关系如图 27.2 所示。根据发送描述符的指示，能将发送帧和发送缓冲器构成 1 帧 / 1 缓冲器或者 1 帧 / 多缓冲器的关系。

在指定发送缓冲器的长度 (TBL) 为 1 ~ 16 字节时，需要将缓冲器地址设定为 32 字节边界。在指定发送缓冲器的长度 (TBL) 为 0 字节时，无法保证运行。

各发送描述符复位后的值为“0000 0000h”。

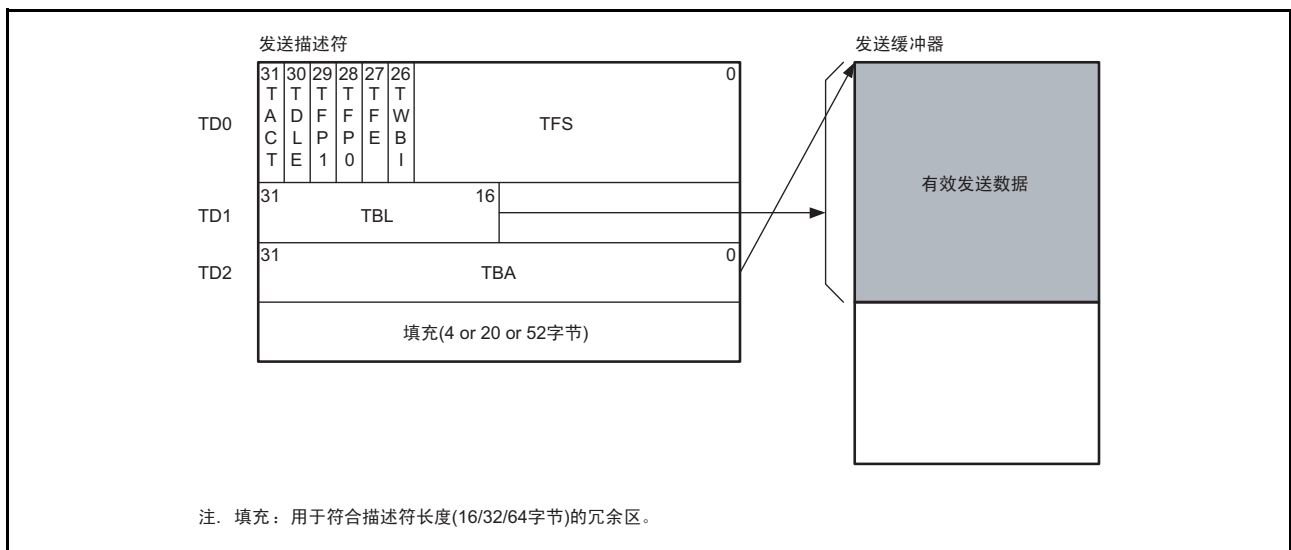


图 27.2 发送描述符和发送缓冲器的关系

(1) 发送描述符 0 (TD0)

位	符号	位名	功能	R/W
<u>b25-b0</u>	<u>TFS</u>	发送帧状态	TFS25 ~ 9: 保留 (只能写“0”) TFS8: 检测到发送中止 当被置位 (=1) 时, 表示在发送帧的过程中中止信号变为“1” (TFE 置位源) TFS7 ~ 4: 保留 (只能写“0”) TFS3: 检测到无载波 (相当于 EESR.CND 位) TFS2: 检测到载波消失 (相当于 EESR.DLC 位) TFS1: 检测到发送过程中的延迟冲突 (相当于 EESR.CD 位) TFS0: 发送重试超限 (相当于 EESR.TRO 位) 当被置位 (=1) 时, 表示在发送帧的过程中 TFS8 ~ 1 变为“1”。(是 TFE 置位源, 能通过 TRSCER 进行设定)	R/W
b26	TWBI	回写结束后的中断指示	(通过设定 TRIMD, 将此位设定为有效) 0: Nop 1: 在此描述符的回写结束后发生中断	R/W
<u>b27</u>	<u>TFE</u>	发送帧错误	0: 继续接收帧 (正常运行) 1: 发生帧接收中断	R/W
b29-b28	TFP[1:0]	发送帧内的位置	b29 b28 0 0: 维持描述符指示的发送缓冲器的帧发送 (帧没有结束) 0 1: 描述符指示的发送缓冲器包含帧的最后部分 (帧结束) 1 0: 描述符指示的发送缓冲器为帧的起始部分 (帧没有结束) 1 1: 描述符指示的发送缓冲器的内容相当于 1 帧 (1 帧 /1 缓冲器)	R/W
b30	TDLE	发送描述符环的最后	当 TDLE 位被置位时, 表示该描述符为发送描述符环的最后。	R/W
<u>b31</u>	<u>TACT</u>	发送描述符有效	表示该描述符有效。	R/W

注. 下划线表示要回写的位。

TD0 表示发送帧的状态, 以此提供帧的发送状态。

TFE 位 (发送帧错误位)

当 TFE 位为“1”时, 表示 TFS 有错误 (对于 TFS7 ~ TFS0, 能通过 TRSCER 禁止将 TFE 位置“1”。但是, 当 TFS8 为“1”时, 就不能屏蔽 TFS7 ~ TFS0 的中断源)。

TFP 位 (发送帧内的位置位)

发送缓冲器与发送帧有关。必须通过设定 TFP 位和 TBL 位, 维持前后描述符的正确逻辑关系。

TACT 位 (发送描述符有效位)

此位表示该描述符有效。通过软件将 TACT 位置“1”, 在发送帧的传送结束或者因某种原因而中止发送时, 通过硬件将此位置“0”。

(2) 发送描述符 1 (TD1)

位	符号	位名	功能	R/W
b15-b0	—	保留位	读写值都为“0”。	R/W
b31-b16	TBL	发送缓冲器的长度位	表示作为对象的发送缓冲器的有效字节长度。	R/W

TD1 表示发送缓冲器的长度。

(3) 发送描述符 2 (TD2)

位	符号	位名	功能	R/W
b31-b0	TBA	发送缓冲器的地址位	表示发送缓冲器的起始地址。	R/W

27.3.1.2 接收描述符

接收描述符和接收缓冲器的关系如图 27.3 所示，必须将接收缓冲器的地址设定为 32 字节边界。如果指定接收缓冲器长度 (RBL) 为“0”的描述符，就无法保证运行。各接收描述符复位后的值为“0000 0000h”。

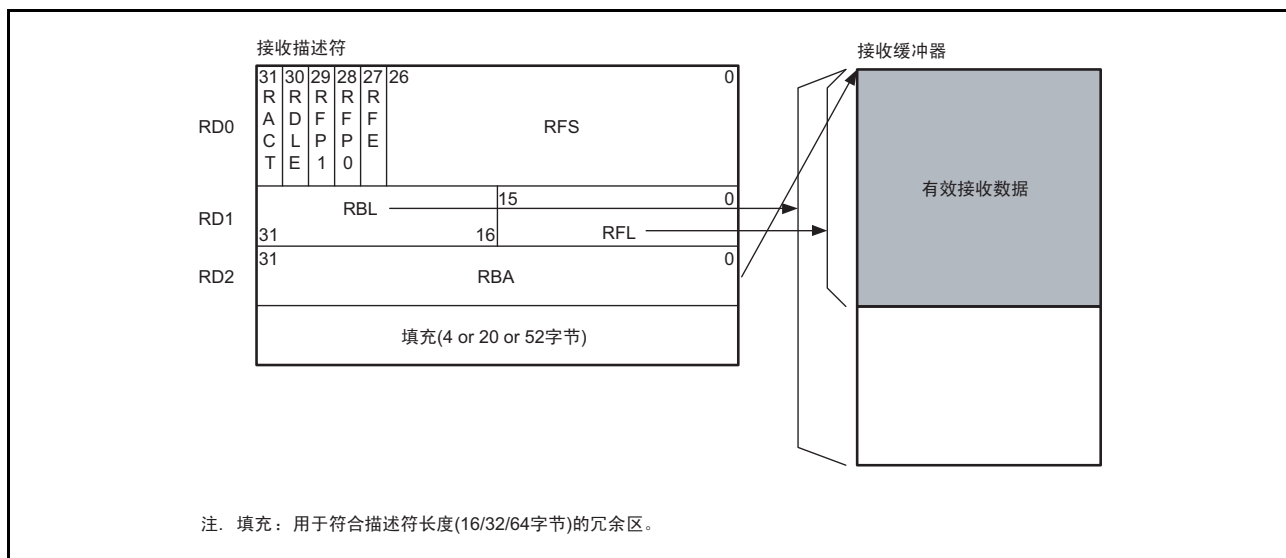


图 27.3 接收描述符和接收缓冲器的关系

(1) 接收描述符 0 (RD0)

位	符号	位名	功能	R/W
<u>b26-b0</u>	<u>RFS</u>	接收帧状态	<p>RFS26 ~ 10: 保留 (只能写“0”)</p> <p>RFS9: 接收 FIFO 发生上溢 (相当于 EESR 的 RFOF 位) 当此位为“1”时, 表示因接收 FIFO 的上溢而在中途回写被切断的帧 (RFE 置位源)</p> <p>RFS8: 检测到接收中止 (相当于 EESR 的 RABT 位) 当此位为“1”时, 表示 RFS3 ~ RFS0 中的任意一位变为“1”。</p> <p>RFS7: 接收多播地址帧 (相当于 EESR 的 RMAF 位)</p> <p>RFS6、5: 保留 (只能写“0”)</p> <p>RFS4: 尾数位的帧接收 (相当于 EESR 的 RRF 位)</p> <p>RFS3: 长帧接收错误 (相当于 EESR 的 RTL F 位)</p> <p>RFS2: 短帧接收错误 (相当于 EESR 的 RTSF 位)</p> <p>RFS1: PHY-LSI 接收错误 (相当于 EESR 的 PRE 位)</p> <p>RFS0: 接收帧 CRC 错误 (相当于 EESR 的 CERF 位)</p>	R/W
<u>b27</u>	<u>RFE</u>	接收帧错误	<p>0: RFS 无错误</p> <p>1: RFS 发生错误</p>	R/W
<u>b29-b28</u>	<u>RFP[1:0]</u>	接收帧内的位置	<p>b29 b28</p> <p>0 0: 继续本描述符指示的接收缓冲器的帧接收 (帧没有结束)</p> <p>0 1: 此描述符指示的接收缓冲器包含帧的最后部分 (帧结束)</p> <p>1 0: 此描述符指示的接收缓冲器为帧的起始部分 (帧没有结束)</p> <p>1 1: 此描述符指示的接收缓冲器的内容相当于 1 帧 (1 帧 /1 缓冲器)</p>	R/W
<u>b30</u>	<u>RDLE</u>	接收描述符环的最后	当 RDLE 位被置位时, 表示该描述符为接收描述符环的最后。	R/W
<u>b31</u>	<u>RACT</u>	接收描述符有效	表示该描述符有效。	R/W

注. 下划线表示要回写的位。

RD0 表示接收帧的状态, 以此提供帧的接收状态。

RFE 位 (接收帧错误位)

当 RFE 位为“1”时, 表示 RFS 有错误 (对于 RFS7 ~ RFS0, 能通过 TRSCER 禁止将 RFE 位置“1”。但是, 不能通过 RFS7 ~ RFS0 的中断源禁止将 RFS8 置“1”。

RFP 位 (接收帧内的位置位)

接收缓冲器和接收帧有关。

RACT 位 (接收描述符有效位)

此位表示该描述符有效。通过软件将 RACT 位置“1”, 在将接收帧传送到 RD2 所示的缓冲器地址并且结束全部帧的传送时, 或者在接收缓冲器满时, 通过硬件将此位置“0”。

(2) 接收描述符 1 (RD1)

位	符号	位名	功能	R/W
<u>b15-b0</u>	RFL	接收帧的长度	表示保存在缓冲器内的接收帧的长度 (字节数), 不包含 RPADIR 指定的填充字节数, 回写到含帧的最后部分的描述符。	R/W
b31-b16	RBL	接收缓冲器的长度	表示作为对象的接收缓冲器的字节长度。缓冲器长度必须为 32×n。	R/W

注. 用下划线表示要回写的位。

RD1 表示接收缓冲器长度和接收帧的长度。

(3) 接收描述符 2 (RD2)

位	符号	位名	功能	R/W
b31-b0	RBA	接收缓冲器地址	表示接收缓冲器的起始地址。必须将缓冲器地址设定为 32 字节边界。	R/W

27.3.2 发送功能

如果发送功能有效并且将 EDTRR.TR 位置“1”，EDMAC 就从发送描述符列表读上次使用的描述符的下一个描述符（初始状态为发送描述符起始地址寄存器（TDLAR）所示的描述符）。当读取的描述符的 TD0.TACT 位有效时，EDMAC 就从 TD2 指定的发送缓冲器起始地址依次读取发送帧数据，并且将其传送到 ETHERC。ETHERC 建立发送帧并且开始向 MII 发送。在描述符所示缓冲器长度的 DMA 传送结束后，根据 TD0.TFP 位的值进行以下的处理。

- TD0.TFP=00b or 10b（帧继续）
在进行 DMA 传送后回写描述符（只限于 TD0.TACT 位）。
- TD0.TFP=01b or 11b（帧结束）
在帧的发送结束后回写描述符（TD0.TACT 位和状态）。

在读取的描述符的 TD0.TACT 位有效期间，继续读 EDMAC 描述符并且继续发送帧。如果读到 TD0.TACT 位无效的描述符，EDMAC 就在对 EDTRR.TR 位进行复位后结束发送处理。

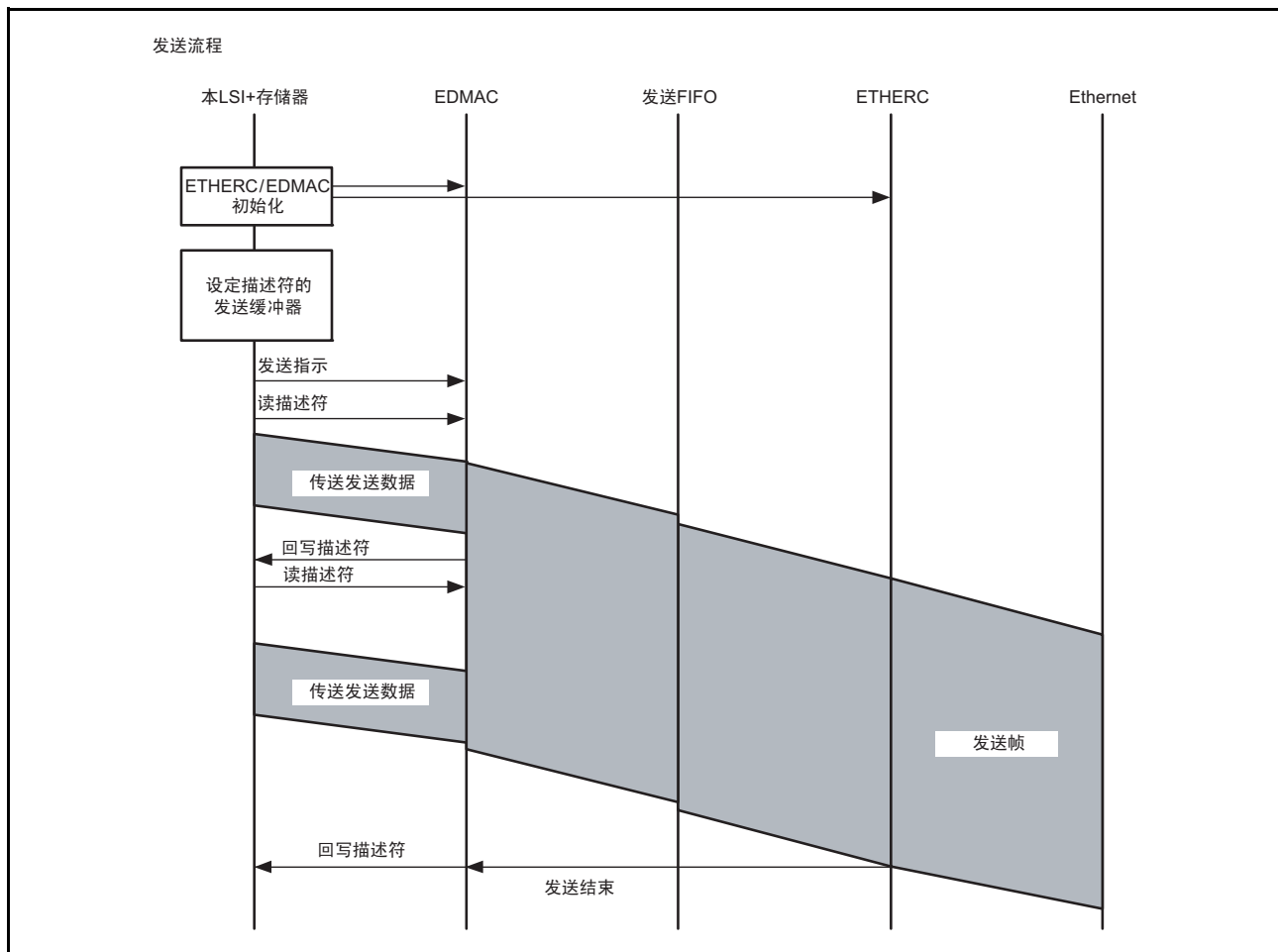


图 27.4 发送流程例子

27.3.3 接收功能

如果接收功能有效并且 CPU 将 EDRRR.RR 位置“1”，EDMAC 就从接收描述符列表读上次使用的描述符的下一个描述符（初始状态为接收描述符起始地址寄存器（RDLAR）所示的描述符），然后进入接收待机状态。如果 RD0.RACT 位有效并且接收本站的帧，就将其传送到 RD2 指定的接收缓冲器。当接收帧的数据长度大于 RD1 指定的缓冲器长度时，EDMAC 在缓冲器满时回写描述符（RD0.RFP=10b or 00b），然后读下一个描述符，并且继续将数据传送到新的 RD2 指定的接收缓冲器。当帧接收结束或者因某种错误而中止帧的接收时，在回写该描述符（RD0.RFP=11b or 01b）后结束接收处理，然后读下一个描述符，进入接收待机状态。

在连续接收帧时，必须将接收方式控制寄存器的 RMCR.RNC 位置“1”。在进行初始化后，此位变为“0”。

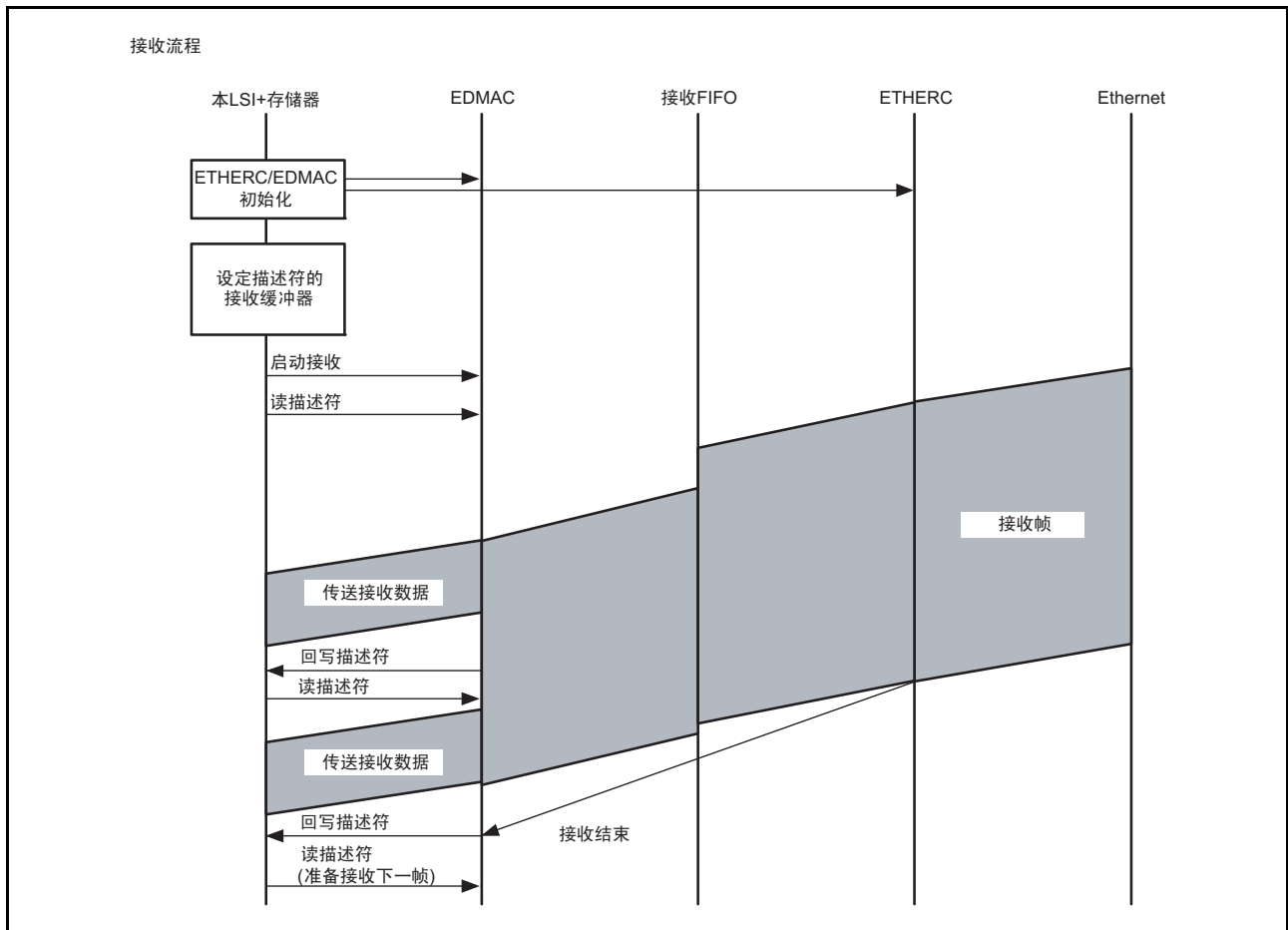


图 27.5 接收流程例子

27.3.4 有关多缓冲帧的发送 / 接收处理

27.3.4.1 多缓冲帧的发送处理

如果在发送多缓冲帧的过程中发生错误，EDMAC 就进行如图 27.6 所示的处理。

在此图中，发送描述符无效 (TR0.TACT 位为“0”) 的部分表示已正常发送的缓冲器数据，发送描述符有效 (TR0.TACT 位为“1”) 的部分表示未发送的缓冲器数据。如果在发送描述符有效 (TR0.TACT 位为“1”) 并且在最初描述符部分发生帧发送错误，就立刻停止发送并且将 TR0.TACT 位置“0”，然后读下一个描述符，通过 TR0.TFP[1:0] 位判断发送帧内的位置 (继续 [00b] 或者结束 [01b])。如果是继续的描述符，就只将 TR0.TACT 位置“0”，并且立即读下一个描述符；如果是最后的描述符，不仅将 TR0.TACT 位置“0”，还要同时回写 TR0.TFE 位和 TR0.TFS 位。在从发生错误后到回写最后的描述符的期间，不发送缓冲器内的数据。当通过 ETHERC/EDMAC 状态中断允许寄存器 (EESIPR) 允许错误中断时，在回写最后的描述符后立即发生中断。

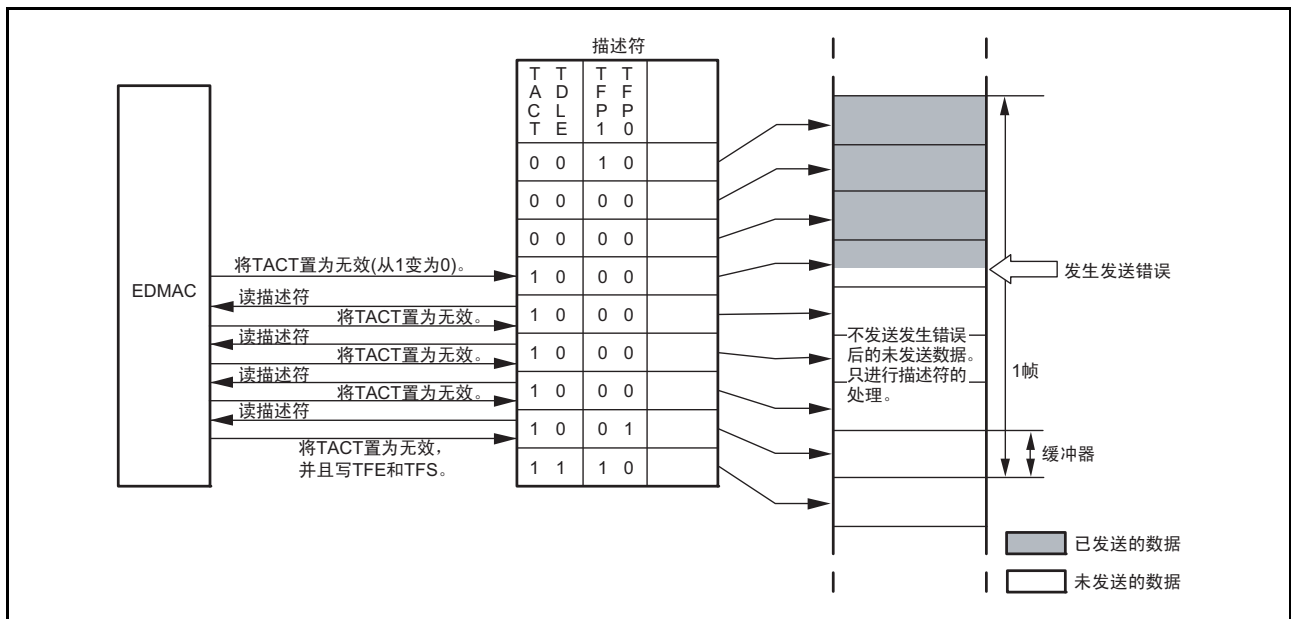


图 27.6 发生发送错误后的 EDMAC 运行

27.3.4.2 多缓冲帧的接收处理

如果在接收多缓冲帧的过程中发生错误，EDMAC 就进行如图 27.7 所示的处理。

在此图中，接收描述符无效 (RD0.RACT 位为“0”) 的部分表示已正常接收的缓冲器数据，接收描述符有效 (RD0.RACT 位为“1”) 的部分表示未接收的缓冲器数据。如果在图中 RD0.RACT 位为“1”并且在最初描述符部分发生帧接收错误，就将状态回写到描述符。

当通过 EESIPR 允许错误中断时，在回写后立即产生中断。如果有新的帧接收请求，就从发生错误的缓冲器的下一个缓冲器开始继续接收。

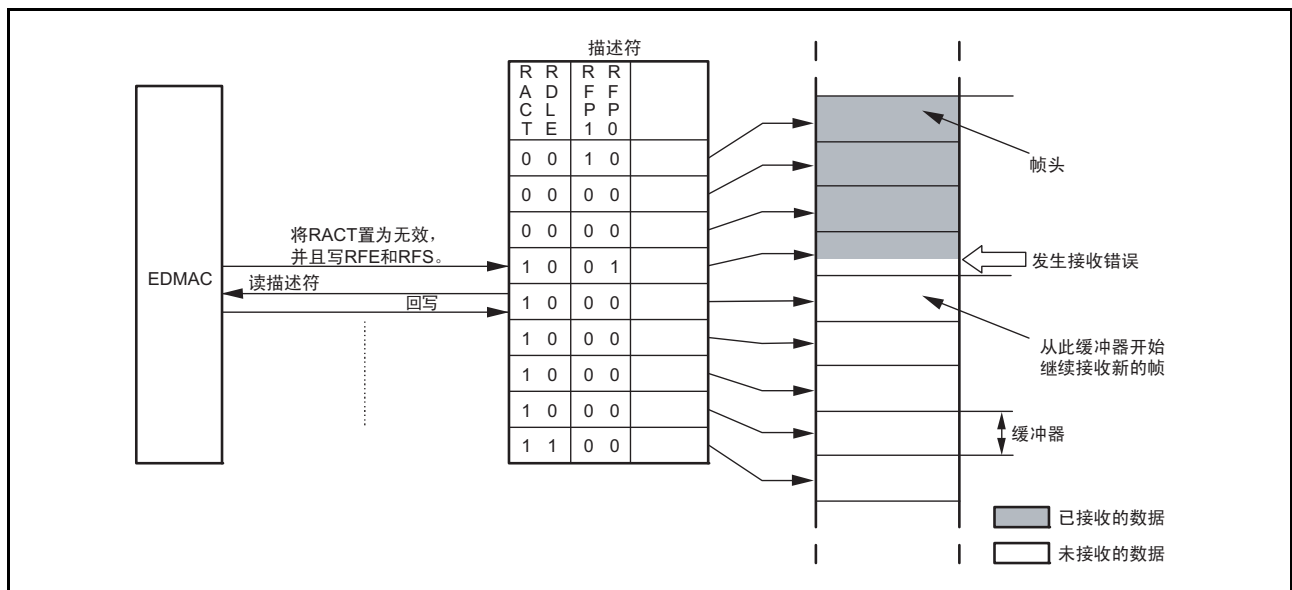


图 27.7 发生接收错误后的 EDMAC 运行

28. USB2.0 主机 / 功能模块 (USB)

28.1 概要

RX62N 群和 RX621 群内置独立的 2 个端口的 USB2.0 主机 / 功能模块 (USB)。

USB 是具有 USB 主机控制器功能和 USB 功能控制器功能的 USB 控制器。在选择主机控制器功能时，支持 USB (Universal Serial Bus) 规格 2.0 的全速传送；在选择功能控制器功能时，支持全速传送。USB 还内置 USB 收发器，支持 USB 规格定义的全传送类型。

USB 内置用于数据传送的缓冲存储器，最多能使用 10 个管道。能给管道 1 ~ 9 分配与进行通信的外围设备以及用户系统相符的任意端点号。

USB 的规格如表 28.1 所示。

表 28.1 USB 的规格

项目	内容
特点	<ul style="list-style-type: none"> • 内置支持 USB2.0 的 UDC (USB Device Controller) 和收发器。 • 内置 2 个端口。 • 内置 USB 主机控制器和 USB 功能控制器 (能通过软件进行转换)。 • 可选择自供电模式和总线供电模式。 • 支持 OTG (ON-The-Go)。 <p>(1) 当选择主机控制器功能时</p> <ul style="list-style-type: none"> • 支持全速传送 (12Mbps)。 • 能通过一段集线器，和多个外围设备连接并且进行通信。 • 自动安排 SOF 和信息包的发送时间。 • 等时传送和中断传送的传送间隔设定功能 <p>(2) 当选择功能控制器功能时</p> <ul style="list-style-type: none"> • 支持全速传送 (12Mbps)。 • 控制传送阶段管理功能 • 设备状态管理功能 • SET_ADDRESS 请求的自动应答功能 • SOF 内插功能
通信数据的传送类型	<ul style="list-style-type: none"> • 控制传送 • 批量传送 • 中断传送 • 等时传送
内部总线接口	<ul style="list-style-type: none"> • 连接内部外围总线 3。
管道配置	<ul style="list-style-type: none"> • 内置用于 USB 通信的缓冲存储器。 • 最多可选择 10 个管道 (包含默认控制管道)。 • 能给管道 1 ~ 9 分配任意的端点号。 • 各管道能设定的传送条件如下： • 管道 0：是控制传送的专用管道 (默认控制管道：DPC)，缓冲器大小为 8/16/32/64 字节 (单缓冲器)。 • 管道 1 和管道 2：是能批量传送或者等时传送的管道，批量传送时的缓冲器大小为 8/16/32/64 字节 (能指定双缓冲器)，等时传送时的缓冲器大小为 1 ~ 256 字节 (能指定双缓冲器)。 • 管道 3 ~ 5：是批量传送的专用管道，缓冲器大小为 8/16/32/64 字节 (能指定双缓冲器)。 • 管道 6 ~ 9：是中断传送的专用管道，缓冲器大小为 1 ~ 64 字节 (单缓冲器)。
其他功能	<ul style="list-style-type: none"> • 事务计数产生的接收传送结束功能 • BRDY 中断事件通知时序的变更功能 (BFRE) • 读 DnFIFO (n=0、1) 端口指定的管道数据后的自动缓冲存储器清除功能 (DCLRM) • 传送结束产生的应答 PID 的 NAK 设定功能 (SHTNAK)

USB 的框图如图 28.1 所示。

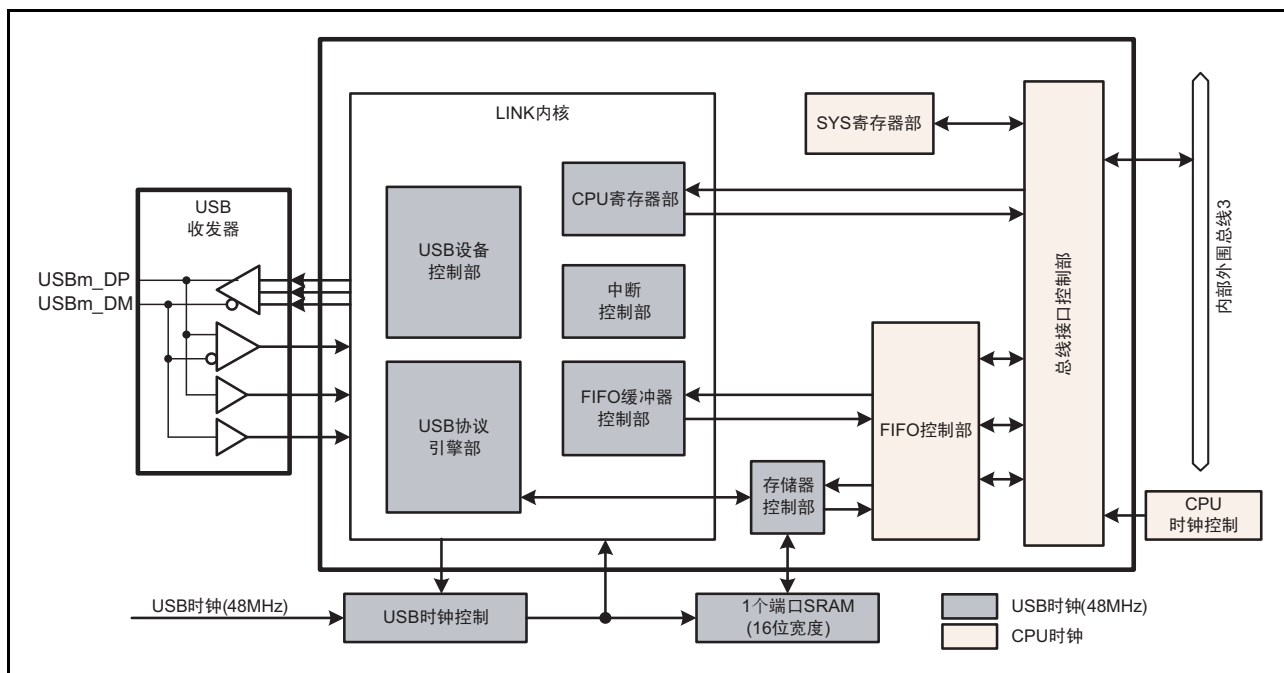


图 28.1 USB 的框图

USB 的输入 / 输出引脚如表 28.2 所示。

表 28.2 USB 的输入 / 输出引脚

端口	引脚名	输入 / 输出	功能
USB0	USB0_DP	输入 / 输出	端口 0 的 USB 内部收发器的 D+ 输入 / 输出引脚 必须连接 USB 总线的 D+ 引脚。
	USB0_DM	输入 / 输出	端口 0 的 USB 内部收发器的 D- 输入 / 输出引脚 必须连接 USB 总线的 D- 引脚。
	USB0_VBUS	输入	端口 0 的 USB 电缆连接监视引脚 必须连接 USB 总线的 VBUS。在功能运行时，能检测到 VBUS 的连接或者断开。
	USB0_EXICEN	输出	这是端口 0 的外部电源 (OTG) 芯片的低功耗控制信号。
	USB0_VBUSEN	输出	这是允许给端口 0 的外部电源芯片提供 VBUS (5V) 的信号。
	USB0_OVRCURA USB0_OVRCURB	输入	连接端口 0 的外部过电流检测信号，或者在连接 OTG 电源芯片时连接 VBUS 比较器信号。
	USB0_ID	输入	在端口 0 的 OTG 运行时连接 miniAB 连接器的 ID 输入信号。
	USB0_DPUPE	输出	此信号在端口 0 的功能运行时控制 USB 的 D+ 信号的 1.5kΩ 上拉电阻。
	USB0_DPRPD USB0_DRPD	输出	此信号在端口 0 的主机运行时控制 USB 的 D+ 信号和 D- 信号的 15kΩ 下拉电阻。
USB1	USB1_DP	输入 / 输出	端口 1 的 USB 内部收发器的 D+ 输入 / 输出引脚 必须连接 USB 总线的 D+ 引脚。
	USB1_DM	输入 / 输出	端口 1 的 USB 内部收发器的 D- 输入 / 输出引脚。 必须连接 USB 总线的 D- 引脚。
	USB1_VBUS	输入	端口 1 的 USB 电缆连接监视引脚 必须连接 USB 总线的 VBUS。在功能运行时，能检测到 VBUS 的连接或者断开。
	USB1_EXICEN	输出	这是端口 1 的外部电源 (OTG) 芯片的低功耗控制信号。
	USB1_VBUSEN	输出	这是允许给端口 1 的外部电源芯片提供 VBUS (5V) 的信号。
	USB1_OVRCURA USB1_OVRCURB	输入	连接端口 1 的外部过电流检测信号，或者在连接 OTG 电源芯片时连接 VBUS 比较器信号。
	USB1_ID	输入	在端口 1 的 OTG 运行时连接 miniAB 连接器的 ID 输入信号。
	USB1_DPUPE	输出	此信号在端口 1 的功能运行时控制 USB 的 D+ 信号的 1.5kΩ 上拉电阻。
	USB1_DPRPD USB1_DRPD	输出	此信号在端口 1 的主机运行时控制 USB 的 D+ 信号和 D- 信号的 15kΩ 下拉电阻。
通用	VCC_USB	输入	USB 的电源引脚
	VSS_USB	输入	USB 的接地引脚

28.2 寄存器说明

USB 的寄存器一览表如表 28.3 所示。

表 28.3 USB 的寄存器一览表 (1 / 4)

端口	寄存器名	符号	复位后的值	地址	存取长度
USB0	系统配置控制寄存器	SYSCFG	0000h	000A 0000h	16
	系统配置状态寄存器 0	SYSSTS0	0000h	000A 0004h	16
	设备状态控制寄存器 0	DVSTCTR0	0000h	000A 0008h	16
	CFIFO 端口寄存器	CFIFO	0000h	000A 0014h	8、16
	D0FIFO 端口寄存器	D0FIFO	0000h	000A 0018h	8、16
	D1FIFO 端口寄存器	D1FIFO	0000h	000A 001Ch	8、16
	CFIFO 端口选择寄存器	CFIFOSEL	0000h	000A 0020h	16
	CFIFO 端口控制寄存器	CFIFOCTR	0000h	000A 0022h	16
	D0FIFO 端口选择寄存器	D0FIFOSEL	0000h	000A 0028h	16
	D0FIFO 端口控制寄存器	D0FIFOCTR	0000h	000A 002Ah	16
	D1FIFO 端口选择寄存器	D1FIFOSEL	0000h	000A 002Ch	16
	D1FIFO 端口控制寄存器	D1FIFOCTR	0000h	000A 002Eh	16
	中断允许寄存器 0	INTENB0	0000h	000A 0030h	16
	中断允许寄存器 1	INTENB1	0000h	000A 0032h	16
	BRDY 中断允许寄存器	BRDYENB	0000h	000A 0036h	16
	NRDY 中断允许寄存器	NRDYENB	0000h	000A 0038h	16
	BEMP 中断允许寄存器	BEMPENB	0000h	000A 003Ah	16
	SOF 输出配置寄存器	SOFCFG	0000h	000A 003Ch	16
	中断状态寄存器 0	INTSTS0	0000h	000A 0040h	16
	中断状态寄存器 1	INTSTS1	0000h	000A 0042h	16
	BRDY 中断状态寄存器	BRDYSTS	0000h	000A 0046h	16
	NRDY 中断状态寄存器	NRDYSTS	0000h	000A 0048h	16
	BEMP 中断状态寄存器	BEMPSTS	0000h	000A 004Ah	16
	帧号寄存器	FRMNUM	0000h	000A 004Ch	16
	设备状态转换寄存器	DVCHGR	0000h	000A 004Eh	16
	USB 地址寄存器	USBADDR	0000h	000A 0050h	16
	USB 请求类型寄存器	USBREQ	0000h	000A 0054h	16
	USB 请求值寄存器	USBVAL	0000h	000A 0056h	16
	USB 请求变址寄存器	USBINDX	0000h	000A 0058h	16
	USB 请求长度寄存器	USBLENG	0000h	000A 005Ah	16
	DCP 配置寄存器	DCPCFG	0000h	000A 005Ch	16
	DCP 最大信息包长度寄存器	DCPMAXP	0040h (注1)	000A 005Eh	16
	DCP 控制寄存器	DCPCTR	0040h (注1)	000A 0060h	16
管道窗口选择寄存器	PIPESEL	0000h	000A 0064h	16	
管道配置寄存器	PIPECFG	0000h	000A 0068h	16	
管道最大信息包长度寄存器	PIPEMAXP	0000h/0040h (注1、注3)	000A 006Ch	16	
管道周期控制寄存器	PIPEPERI	0000h	000A 006Eh	16	

表 28.3 USB 的寄存器一览表 (2 / 4)

端口	寄存器名	符号	复位后的值	地址	存取长度
USB0	管道 1 的控制寄存器	PIPE1CTR	0000h	000A 0070h	16
	管道 2 的控制寄存器	PIPE2CTR	0000h	000A 0072h	16
	管道 3 的控制寄存器	PIPE3CTR	0000h	000A 0074h	16
	管道 4 的控制寄存器	PIPE4CTR	0000h	000A 0076h	16
	管道 5 的控制寄存器	PIPE5CTR	0000h	000A 0078h	16
	管道 6 的控制寄存器	PIPE6CTR	0000h	000A 007Ah	16
	管道 7 的控制寄存器	PIPE7CTR	0000h	000A 007Ch	16
	管道 8 的控制寄存器	PIPE8CTR	0000h	000A 007Eh	16
	管道 9 的控制寄存器	PIPE9CTR	0000h	000A 0080h	16
	管道 1 的事务计数允许寄存器	PIPE1TRE	0000h	000A 0090h	16
	管道 1 的事务计数寄存器	PIPE1TRN	0000h	000A 0092h	16
	管道 2 的事务计数允许寄存器	PIPE2TRE	0000h	000A 0094h	16
	管道 2 的事务计数寄存器	PIPE2TRN	0000h	000A 0096h	16
	管道 3 的事务计数允许寄存器	PIPE3TRE	0000h	000A 0098h	16
	管道 3 的事务计数寄存器	PIPE3TRN	0000h	000A 009Ah	16
	管道 4 的事务计数允许寄存器	PIPE4TRE	0000h	000A 009Ch	16
	管道 4 的事务计数寄存器	PIPE4TRN	0000h	000A 009Eh	16
	管道 5 的事务计数允许寄存器	PIPE5TRE	0000h	000A 00A0h	16
	管道 5 的事务计数寄存器	PIPE5TRN	0000h	000A 00A2h	16
	设备地址 0 的配置寄存器	DEVADD0	0000h	000A 00D0h	16
	设备地址 1 的配置寄存器	DEVADD1	0000h	000A 00D2h	16
	设备地址 2 的配置寄存器	DEVADD2	0000h	000A 00D4h	16
设备地址 3 的配置寄存器	DEVADD3	0000h	000A 00D6h	16	
设备地址 4 的配置寄存器	DEVADD4	0000h	000A 00D8h	16	
设备地址 5 的配置寄存器	DEVADD5	0000h	000A 00DAh	16	
USB1	系统配置控制寄存器	SYSCFG	0000h	000A 0200h	16
	系统配置状态寄存器 0	SYSSTS0	0000h	000A 0204h	16
	设备状态控制寄存器 0	DVSTCTR0	0000h	000A 0208h	16
	CFIFO 端口寄存器	CFIFO	0000h	000A 0214h	8、16
	D0FIFO 端口寄存器	D0FIFO	0000h	000A 0218h	8、16
	D1FIFO 端口寄存器	D1FIFO	0000h	000A 021Ch	8、16
	CFIFO 端口选择寄存器	CFIFOSEL	0000h	000A 0220h	16
	CFIFO 端口控制寄存器	CFIFOCTR	0000h	000A 0222h	16
	D0FIFO 端口选择寄存器	D0FIFOSEL	0000h	000A 0228h	16
	D0FIFO 端口控制寄存器	D0FIFOCTR	0000h	000A 022Ah	16
	D1FIFO 端口选择寄存器	D1FIFOSEL	0000h	000A 022Ch	16
	D1FIFO 端口控制寄存器	D1FIFOCTR	0000h	000A 022Eh	16
	中断允许寄存器 0	INTENB0	0000h	000A 0230h	16
	中断允许寄存器 1	INTENB1	0000h	000A 0232h	16
	BRDY 中断允许寄存器	BRDYENB	0000h	000A 0236h	16
	NRDY 中断允许寄存器	NRDYENB	0000h	000A 0238h	16

表 28.3 USB 的寄存器一览表 (3 / 4)

端口	寄存器名	符号	复位后的值	地址	存取长度
USB1	BEMP 中断允许寄存器	BEMPENB	0000h	000A 023Ah	16
	SOF 输出配置寄存器	SOFCFG	0000h	000A 023Ch	16
	中断状态寄存器 0	INTSTS0	0000h	000A 0240h	16
	中断状态寄存器 1	INTSTS1	0000h	000A 0242h	16
	BRDY 中断状态寄存器	BRDYSTS	0000h	000A 0246h	16
	NRDY 中断状态寄存器	NRDYSTS	0000h	000A 0248h	16
	BEMP 中断状态寄存器	BEMPSTS	0000h	000A 024Ah	16
	帧号寄存器	FRMNUM	0000h	000A 024Ch	16
	设备状态转换寄存器	DVCHGR	0000h	000A 024Eh	16
	USB 地址寄存器	USBADDR	0000h	000A 0250h	16
	USB 请求类型寄存器	USBREQ	0000h	000A 0254h	16
	USB 请求值寄存器	USBVAL	0000h	000A 0256h	16
	USB 请求变址寄存器	USBINDX	0000h	000A 0258h	16
	USB 请求长度寄存器	USBLENG	0000h	000A 025Ah	16
	DCP 配置寄存器	DCPCFG	0000h	000A 025Ch	16
	DCP 最大信息包长度寄存器	DCPMAXP	0040h (注2)	000A 025Eh	16
	DCP 控制寄存器	DCPCTR	0040h (注2)	000A 0260h	16
	管道窗口选择寄存器	PIPESEL	0000h	000A 0264h	16
	管道配置寄存器	PIPECFG	0000h	000A 0268h	16
	管道最大信息包长度寄存器	PIPEMAXP	0000h/0040h (注2、注3)	000A 026Ch	16
	管道周期控制寄存器	PIPEPERI	0000h	000A 026Eh	16
	管道 1 的控制寄存器	PIPE1CTR	0000h	000A 0270h	16
	管道 2 的控制寄存器	PIPE2CTR	0000h	000A 0272h	16
	管道 3 的控制寄存器	PIPE3CTR	0000h	000A 0274h	16
	管道 4 的控制寄存器	PIPE4CTR	0000h	000A 0276h	16
	管道 5 的控制寄存器	PIPE5CTR	0000h	000A 0278h	16
	管道 6 的控制寄存器	PIPE6CTR	0000h	000A 027Ah	16
	管道 7 的控制寄存器	PIPE7CTR	0000h	000A 027Ch	16
	管道 8 的控制寄存器	PIPE8CTR	0000h	000A 027Eh	16
	管道 9 的控制寄存器	PIPE9CTR	0000h	000A 0280h	16
	管道 1 的事务计数允许寄存器	PIPE1TRE	0000h	000A 0290h	16
	管道 1 的事务计数寄存器	PIPE1TRN	0000h	000A 0292h	16
	管道 2 的事务计数允许寄存器	PIPE2TRE	0000h	000A 0294h	16
	管道 2 的事务计数寄存器	PIPE2TRN	0000h	000A 0296h	16
	管道 3 的事务计数允许寄存器	PIPE3TRE	0000h	000A 0298h	16
	管道 3 的事务计数寄存器	PIPE3TRN	0000h	000A 029Ah	16
	管道 4 的事务计数允许寄存器	PIPE4TRE	0000h	000A 029Ch	16
	管道 4 的事务计数寄存器	PIPE4TRN	0000h	000A 029Eh	16
	管道 5 的事务计数允许寄存器	PIPE5TRE	0000h	000A 02A0h	16

表 28.3 USB 的寄存器一览表 (4 / 4)

端口	寄存器名	符号	复位后的值	地址	存取长度
USB1	管道 5 的事务计数寄存器	PIPE5TRN	0000h	000A 02A2h	16
	设备地址 0 的配置寄存器	DEVADD0	0000h	000A 02D0h	16
	设备地址 1 的配置寄存器	DEVADD1	0000h	000A 02D2h	16
	设备地址 2 的配置寄存器	DEVADD2	0000h	000A 02D4h	16
	设备地址 3 的配置寄存器	DEVADD3	0000h	000A 02D6h	16
	设备地址 4 的配置寄存器	DEVADD4	0000h	000A 02D8h	16
	设备地址 5 的配置寄存器	DEVADD5	0000h	000A 02DAh	16
	深度待机 USB 收发器的控制 / 引脚监视寄存器	DPUSR0R	xxxx 0000h	000A 0400h	32
	深度待机 USB 的挂起 / 恢复中断寄存器	DPUSR1R	0000 0000h	000A 0404h	32

注 1. 这是允许使用 USB (MSTPCRB.MSTPB19 位为“0”) 并且将 USB0.SYSCFG.SCKE 位置“1”时的值。

注 2. 这是允许使用 USB (MSTPCRB.MSTPB18 位为“0”) 并且将 USB1.SYSCFG.SCKE 位置“1”时的值。

注 3. 初始值因 PIPESEL.PIPESEL[3:0] 位的设定而不同。在不选择管道时初始值为“0000h”，在选择管道时初始值为“0040h”。

28.2.1 系统配置控制寄存器 (SYSCFG)

地址 USB0.SYSCFG 000A 0000h、USB1.SYSCFG 000A 0200h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	SCKE	—	—	—	DCFM	DRPD	DPRPU	—	—	—	USBE
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	USBE	USB 模块运行允许位	0: 禁止 USB 模块运行 1: 允许 USB 模块运行	R/W
b3-b1	—	保留位	读写值都为“0”。	R/W
b4	DPRPU	D+ 线路电阻控制位	0: 禁止上拉 1: 允许上拉	R/W
b5	DRPD	D+/D- 线路电阻控制位	0: 禁止下拉 1: 允许下拉	R/W
b6	DCFM	控制器功能选择位	0: 选择功能控制器功能 1: 选择主机控制器功能	R/W
b9-b7	—	保留位	读写值都为“0”。	R/W
b10	SCKE	USB 模块时钟允许位	0: 停止给 USB 模块提供时钟 1: 允许给 USB 模块提供时钟	R/W
b15-b11	—	保留位	读写值都为“0”。	R/W

SYSCFG 寄存器选择主机控制器功能或者功能控制器功能，控制 USBm_DP 引脚和 USBm_DM 引脚以及控制允许 USB 模块运行 (m=0、1)。

USBE 位 (USB 模块运行允许位)

此位指定禁止或者允许 USB 模块的运行。

在将 USBE 位从“1”改为“0”时被初始化的寄存器和位如表 28.4 和表 28.5 所示。

必须在 SYSCFG.SCKE 位为“1”时更改 USBE 位。

在选择主机控制器功能时，必须将 SYSCFG.DRPD 位置“1”，在消除 LNST 位的颤动并且确认 USB 总线状态稳定后，将 SYSCFG.USBE 位置“1”。

DPRPU 位 (D+ 线路电阻控制位)

在选择功能控制器功能时，此位指定禁止或者允许 D+ 线路的上拉。

如果在选择功能控制器功能时将 DPRPU 位置“1”，USB 模块就能将 USBm_DPUPE 引脚置为有效并且将连接状态通知 USB 主机。通过将 DPRPU 位从“1”改为“0”，USB 模块将 USBm_DPUPE 引脚置为无效，所以能将断开状态通知 USB 主机。

必须在选择功能控制器功能时给 DPRPU 位写“1”，在选择主机控制器功能时将此位置“0”。

DRPD 位 (D+/D- 线路电阻控制位)

在选择主机控制器功能时，此位指定通过 USBm_DPRPD 引脚和 USBm_DRPD 引脚禁止或者允许 D+/D- 线路的下拉。

必须在选择主机控制器功能时给 DRPD 位写“1”，在选择功能控制器功能时将 DRPD 位置“0”。

DCFM 位 (控制器功能选择位)

此位选择 USB 模块的功能。

必须在 SYSCFG.DPRPU 位为“0”并且 SYSCFG.DRPD 位为“0”时更改 DCFM 位。

SCKE 位 (USB 模块时钟允许位)

此位指定停止或者允许给 USB 模块提供 48MHz 时钟。

当 SCKE 位为“0”时，只能读写 SYSCFG 寄存器而不能读写 USB 模块内的其他寄存器。

表 28.4 在给 SYSCFG.USBE 位写“0”时被初始化的寄存器
(选择功能控制器功能的情况)

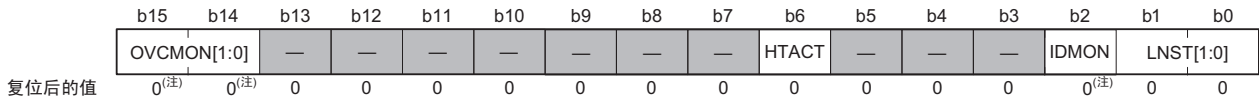
寄存器	符号	备注
SYSSTS0	LNST	在选择主机控制器功能时，保持原来的值。
DVSTCTR0	RHST	
INTSTS0	DVSQ	在选择主机控制器功能时，保持原来的值。
USBADDR	USBADDR	在选择主机控制器功能时，保持原来的值。
USBREQ	BREQUEST、BMREQUESTTYPE	在选择主机控制器功能时，保持原来的值。
USBVAL	WVALUE	在选择主机控制器功能时，保持原来的值。
USBINDX	WINDEX	在选择主机控制器功能时，保持原来的值。
USBLENG	WLENGTH	在选择主机控制器功能时，保持原来的值。

表 28.5 在给 SYSCFG.USBE 位写“0”时被初始化的寄存器 (选择主机控制器功能的情况)

寄存器	符号	备注
DVSTCTR0	RHST	
FRMNUM	FRNM	在选择功能控制器功能时，保持原来的值。

28.2.2 系统配置状态寄存器 0 (SYSSTS0)

地址 USB0.SYSSTS0 000A 0004h、USB1.SYSSTS0 000A 0204h



注. 取决于USBm_OVRCURA/USBm_OVRCURB引脚和USBm_ID引脚的状态。

位	符号	位名	功能	R/W
b1-b0	LNST[1:0]	USB 数据线路状态监视位	此位表示 USB 数据总线线路 (D+ 线路、D- 线路) 的状态。USB 数据总线线路的状态如 28.2.3 所示。	R
b2	IDMON	外部 ID0 的输入引脚监视位	此位表示 USBm_ID 引脚的状态。	R
b5-b3	—	保留位	读取值为“0”，写操作无效。	R
b6	HTACT	USB 主机定序器状态监视位	0: USB 模块的主机定序器完全停止 1: USB 模块的主机定序器未完全停止	R
b13-b7	—	保留位	读取值为“0”，写操作无效。	R
b15-b14	OVCMON [1:0]	外部 USBm_OVRCURA/USBm_OVRCURB 的输入引脚监视位	OVCMON[1] 位表示 USBm_OVRCURA 引脚的状态。 OVCMON[0] 位表示 USBm_OVRCURB 引脚的状态。	R

注. m=0、1

SYSSTS0 寄存器是监视 USB 数据总线线路状态 (D+ 线路和 D- 线路) 的寄存器。

LNST[1:0] 位 (USB 数据线路状态监视位)

在选择功能控制器功能时, 必须在连接处理 (将 SYSCFG.DPRPU 位置“1”) 后参照 LNST[1:0] 位; 在选择主机控制器功能时, 必须在允许下拉 (将 SYSCFG.DRPD 位置“1”) 后参照 LNST[1:0] 位。

表 28.6 USB 数据总线线路状态表

LNST[1]	LNST[0]	状态
0	0	SE0
0	1	J-State
1	0	K-State
1	1	SE1

HTACT 位 (USB 主机定序器状态监视位)

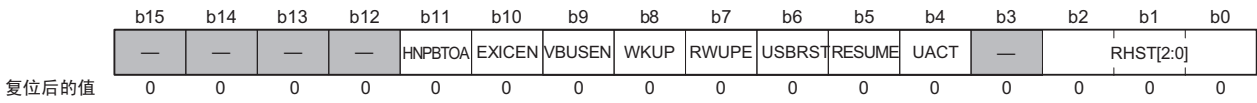
在 USB 模块的主机定序器完全停止时, HTACT 位为“0”。
要停止 USB 模块的时钟时, 必须确认 HTACT 位为“0”。

OVCMON[1:0] 位 (外部 USBm_OVRCURA/USBm_OVRCURB 的输入引脚监视位)

这些位表示外部电源芯片过电流的状态。

28.2.3 设备状态控制寄存器 0 (DVSTCTR0)

地址 USB0.DVSTCTR0 000A 0008h、USB1.DVSTCTR0 000A 0208h



位	符号	位名	功能	R/W
b2-b0	RHST[2:0]	USB 总线复位状态位	<ul style="list-style-type: none"> 选择主机控制器功能的情况: b2 b0 0 0 0: 通信速度为不定值 (供电时或者未连接时) 1 x x: 正在进行 USB 总线复位处理 0 0 1: 低速连接 (注 1) 0 1 0: 全速连接 【符号说明】 X: Don't care 选择功能控制器功能的情况: b2 b0 0 0 0: 通信速度为不定值 1 0 0: 正在进行 USB 总线复位处理 0 1 0: 全速连接 	R
b3	—	保留位	读写值都为“0”。	R/W
b4	UACT	USB 总线允许位	0: 禁止下行端口运行 (禁止 SOF 发送) 1: 允许下行端口运行 (允许 SOF 发送)	R/W
b5	RESUME	恢复输出位	0: 不输出恢复信号 1: 输出恢复信号	R/W
b6	USBRST	USB 总线复位输出位	0: 不输出 USB 总线复位信号 1: 输出 USB 总线复位信号	R/W
b7	RWUPE	唤醒检测允许位	0: 禁止下行端口的远程唤醒 1: 允许下行端口的远程唤醒	R/W
b8	WKUP	唤醒输出位	0: 不输出远程唤醒信号 1: 输出远程唤醒信号	R/W (注 2)
b9	VBUSEN	USBm_VBUSEN 输出引脚控制位	作为外部 USBm_VBUSEN 引脚的状态, 直接输出 VBUSEN 位的值。	R/W
b10	EXICEN	USBm_EXICEN 输出引脚控制位	作为外部 USBm_EXICEN 引脚的状态, 直接输出 EXICEN 位的值。	R/W
b11	HNPBTOA	主机协商协议 (HNP) 控制位	在用于 OTG (On-The-Go) 时, 此位用于从 B 设备到 A 设备的转换。如果 HNPBTOA 位为“1”, 即使将 SYSCFG.DPRPU 位置“0”或者将 SYSCFG.DCFM 位置“1”, 在 HNP 处理结束前, 内部功能控制位仍保持挂起状态。	R/W
b15-b12	—	保留位	读写值都为“0”。	R/W

注 1. USB 控制器不支持和低速设备的通信。在读此位的值时, 必须在高位应用中进行异常连接处理。

注 2. 只能写“1”。

DVSTCTR0 寄存器是控制和确认 USB 数据总线状态的寄存器。

RHST[2:0] 位 (USB 总线复位状态位)

这些位表示 USB 总线复位的状态。

在选择主机控制器功能时，在通过软件给 USBRST 位写“1”后 RHST[2:0] 位变为“100b”。

通过软件给 USBRST 位写“0”，在 USB 结束 SE0 驱动时，确定 RHST[2:0] 位的值。

在选择功能控制器功能时，如果 USB 检测到 USB 总线复位，就将 RHST[2:0] 位置“010b”并且产生 DVST 中断。

UACT 位 (USB 总线允许位)

在选择主机控制器功能时，此位允许 USB 总线运行 (控制将 SOF 包发送到 USB 总线)。

如果将 UACT 位置“1”，USB 模块就将 USB 端口设定为 USB 总线允许状态，并且进行 SOF 包的输出以及数据的发送和接收。

在通过软件给 UACT 位写“1”后，在 1 帧时间以内开始输出 SOF 包。

如果将 UACT 位置“0”，USB 模块就在输出 SOF 包后转移到空闲状态。

在以下情况下，USB 模块将 UACT 位置“0”：

- 在通信过程中 (UACT=1) 检测到 DTCH 中断。
- 在通信过程中 (UACT=1) 检测到 EOFERR 中断。

必须在 USB 总线复位处理结束时 (USBRST=0) 或者挂起恢复处理结束时 (RESUME=0) 给 UACT 位写“1”。

在选择功能控制器功能时，必须将此位置“0”。

RESUME 位 (恢复输出位)

在选择主机控制器功能时，此位控制恢复信号的输出。

如果将 RESUME 位置“1”，USB 模块就对端口进行 K-State 驱动并且输出恢复信号。

在 RESUME 位为“1”的期间 (在通过软件给 RESUME 位写“0”前)，USB 模块继续进行 K-State 输出。在 RESUME 位为“1”的期间 (恢复期间)，必须确认符合 USB Specification2.0 规格的时间。

只能在挂起过程中给 RESUME 位写“1”。

必须在恢复结束 (RESUME=0) 的同时，给 UACT 位写“1”。

在选择功能控制器功能时，必须将此位置“0”。

USBRST 位 (USB 总线复位输出位)

在选择主机控制器功能时，此位控制 USB 总线复位信号的输出。

在选择主机控制器功能时，如果将 USBRST 位置“1”，USB 模块就对 USB 端口进行 SE0 驱动并且进行 USB 总线复位处理。

在 USBRST 位为“1”的期间 (在通过软件给 USBRST 位写“0”前) USB 模块继续 SE0 输出。在 USBRST 位为“1”的期间 (USB 总线复位期间)，必须确保符合 USB Specification2.0 规格的时间。

如果在通信过程中 (UACT=1) 或者恢复过程中 (RESUME=1) 给 USBRST 位写“1”，USB 模块就在 UACT 位变为“0”并且 RESUME 位变为“0”的状态前不开始 USB 总线复位。

必须在 USB 总线复位结束 (USBRST=0) 的同时，给 UACT 位写“1”。

在选择功能控制器功能时，必须将此位置“0”。

RWUPE 位 (唤醒检测允许位)

在选择主机控制器功能时, 此位指定禁止或者允许下行端口外围设备的远程唤醒 (输出恢复信号)。

当 RWUPE 位为“1”时, 如果检测到远程唤醒信号, 就检测下行端口的恢复信号 (2.5 μ s 之间的 K-State) 并且进行恢复处理 (K-State 驱动)。

如果将 RWUPE 位置“0”, 即使 USB 模块检测 USB 端口连接的外围设备的远程唤醒信号 (K-State), 也被忽视。

如果将 RWUPE 位置“1”, 即使在挂起过程中也不能停止内部时钟 (必须保持 SCKE 位为“1”的状态)。

在选择功能控制器功能时, 必须将此位置“0”。

WKUP 位 (唤醒输出位)

在选择功能控制器功能时, 此位指定禁止或者允许 USB 总线上的远程唤醒 (输出恢复信号)。

USB 模块管理远程唤醒信号的输出时间。如果将 WKUP 位置“1”, USB 模块就在输出 10ms 的 K-State 后将 WKUP 位置“0”。

根据 USB 规格, 在发送远程唤醒信号前需要保持最短 5ms 的 USB 总线空闲状态。因此, 即使在检测到挂起状态后立即给 WKUP 位写“1”, USB 模块也要在等待 2ms 后输出 K-State。

只有在设备状态为挂起状态 (INTSTS0.DVSQ=1xx) 并且允许 USB 主机远程唤醒时, 才能给 WKUP 位写“1”。在将 WKUP 位置“1”时, 即使在挂起过程中也不能停止内部时钟 (必须在 SYSCFG.SCKE 位为“1”的状态下给 WKUP 位写“1”)。

在选择主机控制器功能时, 必须将此位置“0”。

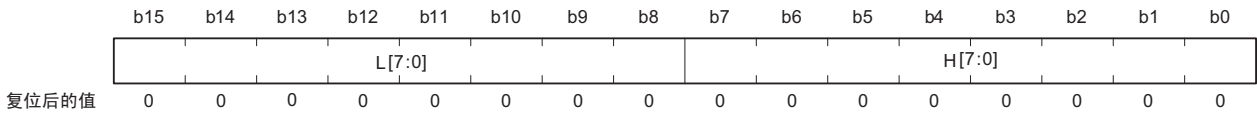
HNPBTOA 位 (主机协商协议 (HNP) 控制位)

在用于 OTG (On-The-Go) 时, 此位用于从 B 设备到 A 设备的转换。如果 HNPBTOA 位为“1”, 即使将 SYSCFG.DPRPU 位置“0”或者将 SYSCFG.DCFM 位置“1”, 内部功能控制也将挂起状态保持到 HNP 处理结束为止。此时, 即使检测到 D+ 的下降沿, 也不产生恢复 (RESM) 中断。

在将 HNPBTOA 位置“1”后检测到 HOST 连接 (对方的上拉) 或者 HNP 处理超时, 通过 FW 给此位写“0”, 结束 HNP 处理。

28.2.4 CFIFO 端口寄存器 (CFIFO)
 D0FIFO 端口寄存器 (D0FIFO)
 D1FIFO 端口寄存器 (D1FIFO)

地址 USB0.CFIFO 000A 0014h、USB0.D0FIFO 000A 0018h、USB0.D1FIFO 000A 001Ch
 USB1.CFIFO 000A 0214h、USB1.D0FIFO 000A 0218h、USB1.D1FIFO 000A 021Ch



位	符号	位名	功能	R/W
b15-b8	L[7:0]	FIFO 端口位	FIFO 端口寄存器的有效位因 MBW 位的设定值和 BIGEND 位的设定值而不同，有效位如表 28.7 和表 28.8 所示。	R/W
b7-b0	H[7:0]			

CFIFO、D0FIFO 和 D1FIFO 是读写 FIFO 缓冲存储器数据的端口寄存器。

FIFO 端口有 CFIFO、D0FIFO 和 D1FIFO 共 3 个端口。各 FIFO 端口由读写 FIFO 缓冲存储器数据的 FIFO 端口寄存器 (CFIFO、D0FIFO 和 D1FIFO)、选择分配给 FIFO 端口的管道的选择寄存器 (CFIFOSEL、D0FIFOSEL 和 D1FIFOSEL) 和控制寄存器 (CFIFOCTR、D0FIFOCTR 和 D1FIFOCTR) 构成。

各 FIFO 端口有以下特点：

- 必须通过 CFIFO 端口存取 DCP (控制传送) 的 FIFO 缓冲器。
- 必须通过 D0FIFO 端口或者 D1FIFO 端口存取 DMA 传送的 FIFO 缓冲器。
- 也能通过 CPU 存取 D1FIFO 端口或者 D0FIFO 端口。
- 在使用 FIFO 端口的特有功能时，不能更改 CURPIPE 位设定的管道号 (所选管道) (使用 DMA 传送功能的情况等)。
- 构成 FIFO 端口的寄存器群不影响其他 FIFO 端口。
- 不能将相同的管道分配给多个 FIFO 端口。
- FIFO 缓冲器状态有存取权在 CPU 侧和存取权在 SIE 侧两种。如果 FIFO 缓冲器的存取权在 SIE 侧，CPU 就不能存取。

L[7:0] / H[7:0] (FIFO 端口位)

通过存取 FIFOPORT 位，读 FIFO 缓冲器的接收数据或者将发送数据写到 FIFO 缓冲器。

只有在各 FIFO 端口控制寄存器 (CFIFOCTR、D0FIFOCTR 或者 D1FIFOCTR) 的 FRDY 位为“1”时，才能存取 FIFO 端口寄存器。

FIFO 端口寄存器的有效位因端口选择寄存器的 MBW 位的设定值和 BIGEND 位的设定值而不同，有效位如表 28.7 和表 28.8 所示。

在进行 8 位存取时，必须进行字节存取，而且 BIGEND 位的设定无效。

在进行 16 位存取时，必须进行字存取。但是，如果数据总数是奇数，就必须对最后数据进行字节存取。

在进行 8 位存取和 16 位存取时，存取时的地址与设定无关，都必须存取 FIFO 寄存器的起始地址。

表 28.7 进行 16 位存取时的字节序操作表

CFIFOSEL.BIGEND 位 D0FIFOSEL.BIGEND 位 D1FIFOSEL.BIGEND 位	bit15 ~ 8	bit7 ~ 0
0	N+1 数据	N+0 数据
1	N+0 数据	N+1 数据

表 28.8 进行 8 位存取时的字节序操作表

CFIFOSEL.BIGEND 位 D0FIFOSEL.BIGEND 位 D1FIFOSEL.BIGEND 位	bit15 ~ 8	bit7 ~ 0
x (设定无效)	禁止存取 (注 1)	N+0 数据

注 1. 不能对禁止区域进行读存取。

28.2.5 CFIFO 端口选择寄存器 (CFIFOSEL) D0FIFO 端口选择寄存器 (D0FIFOSEL) D1FIFO 端口选择寄存器 (D1FIFOSEL)

- CFIFOSEL

地址 USB0.CFIFOSEL 000A 0020h、USB1.CFIFOSEL 000A 0220h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RCNT	REW	—	—	—	MBW	—	BIGEND	—	—	ISEL	—	CURPIPE[3:0]			
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b3-b0	CURPIPE[3:0]	CFIFO 端口存取管道指定位	b3 b0 0 0 0 0: DCP (默认控制管道) 0 0 0 1: 管道 1 0 0 1 0: 管道 2 0 0 1 1: 管道 3 0 1 0 0: 管道 4 0 1 0 1: 管道 5 0 1 1 0: 管道 6 0 1 1 1: 管道 7 1 0 0 0: 管道 8 1 0 0 1: 管道 9 上述以外: 不能设定	R/W
b4	—	保留位	读写值都为“0”。	R/W
b5	ISEL	选择 DCP 时的 CFIFO 端口存取方向位	0: 选择缓冲存储器的读方向 1: 选择缓冲存储器的写方向	R/W
b7-b6	—	保留位	读写值都为“0”。	R/W
b8	BIGEND	CFIFO 端口字节序控制位	0: 小端法 1: 大端法	R/W
b9	—	保留位	读写值都为“0”。	R/W
b10	MBW	CFIFO 端口存取位的宽度位	0: 8 位 1: 16 位	R/W
b13-b11	—	保留位	读写值都为“0”。	R/W
b14	REW	缓冲器指针复位的位	0: 不对缓冲器指针进行复位 1: 对缓冲器指针进行复位	R/W (注)
b15	RCNT	读计数模式位	0: 在读完 CFIFO 的全部接收数据时, 将 DTLN 位清“0”。 (在双缓冲器的情况下, 只读完 1 个缓冲器面时) 1: 每读 1 个 CFIFO 接收数据时, 对 DTLN 位进行递减计数。	R/W

注. 只能读取“0”。

CFIFOSEL 寄存器选择分配给 FIFO 端口的管道以及控制各 FIFO 端口的存取。

不能给 CFIFOSEL、D0FIFOSEL、D1FIFOSEL 的 CURPIPE 位指定相同的管道。当 D0FIFOSEL 寄存器和 D1FIFOSEL 寄存器的 CURPIPE 位的设定值为“0000b”时, 不指定管道。

不能在 DMA 传送允许状态下更改管道号。

CURPIPE[3:0] 位 (CFIFO 端口存取管道指定位)

必须经由 CFIFO 端口给要读或者要写的数据设定管道号。

要更改 CURPIPE[3:0] 位时, 必须在写 CURPIPE[3:0] 位后进行读操作, 在确认写入值和读取值相同后, 进行下一个处理。

不能给 CFIFOSEL、D0FIFOSEL 和 D1FIFOSEL 寄存器的 CURPIPE 位设定相同的管道号。

如果在存取 FIFO 缓冲器的过程中更改 CURPIPE[3:0] 位的设定, 就保持以前的存取, 并且能在回写 CURPIPE[3:0] 位后继续进行存取。

ISEL 位 (选择 DCP 时的 CFIFO 端口存取方向位)

如果在所选管道为 DCP 时更改 ISEL 位, 就必须在写 ISEL 位后进行读操作, 在确认写入值和读取值相同后, 进行下一个处理。

必须在设定 CURPIPE[3:0] 位的同时设定 ISEL 位。

BIGEND 位 (CFIFO 端口字节序控制位)

此位指定 CFIFO 端口的字节序。

MBW 位 (CFIFO 端口存取位的宽度位)

此位指定 CFIFO 端口存取位的宽度。

当所选管道为接收方向时, 如果在设定 MBW 位后开始读, 就不能在读完全部数据前更改 MBW 位。

在所选管道为接收方向时, 必须同时设定 CURPIPE 位和 MBW 位。

当所选管道为发送方向时, 不能在缓冲存储器的写处理过程中从 8 位改为 16 位。

即使设定为 16 位, 也能通过字节存取的控制来写奇数字节。

REW 位 (缓冲器指针复位的位)

此位指定是否对缓冲器指针进行复位。

当所选管道为接收方向时, 如果在读 FIFO 缓冲器的过程中将 REW 位置“1”, 就能从 FIFO 缓冲器的最初数据开始读 (在双缓冲器的情况下, 能对正在读的 1 个缓冲器面从最初的数据重新开始读)。

不能在将 REW 位置“1”的同时更改 CURPIPE 位的设定。必须在确认 FRDY 位为“1”后将 REW 位置“1”。

对于发送方向的管道, 如果从 FIFO 缓冲器最初的数据开始重新写, 就必须使用 BCLR 位。

RCNT 位 (读计数模式位)

此位指定 CFIFOCTR 寄存器的 DTLN[8:0] 位的读模式。

- D0FIFOSEL、D1FIFOSEL

地址 USB0.D0FIFOSEL 000A 0028h、USB0.D1FIFOSEL 000A 002Ch
 USB1.D0FIFOSEL 000A 0228h、USB1.D1FIFOSEL 000A 022Ch

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RCNT	REW	DCLRM	DREQE	—	MBW	—	BIGEND	—	—	—	—	CURPIPE[3:0]			
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b3-b0	CURPIPE[3:0]	FIFO 端口存取管道指定位	b3 b0 0 0 0 0: DCP (默认控制管道) 0 0 0 1: 管道 1 0 0 1 0: 管道 2 0 0 1 1: 管道 3 0 1 0 0: 管道 4 0 1 0 1: 管道 5 0 1 1 0: 管道 6 0 1 1 1: 管道 7 1 0 0 0: 管道 8 1 0 0 1: 管道 9 上述以外: 不能设定	R/W
b7-b4	—	保留位	读写值都为“0”。	R/W
b8	BIGEND	FIFO 端口字节序控制位	0: 小端法 1: 大端法	R/W
b9	—	保留位	读写值都为“0”。	R/W
b10	MBW	FIFO 端口存取位的宽度位	0: 8 位 1: 16 位	R/W
b11	—	保留位	读写值都为“0”。	R/W
b12	DREQE	DMA 传送请求允许位	0: 禁止 DMA 传送请求 1: 允许 DMA 传送请求	R/W
b13	DCLRM	读所选管道的数据后的缓冲存储器自动清除模式	0: 禁止缓冲器自动清除模式 1: 允许缓冲器自动清除模式	R/W
b14	REW	缓冲器指针复位的位	0: 不对缓冲器指针进行复位 1: 对缓冲器指针进行复位	R/W (注)
b15	RCNT	读计数模式位	0: 在读完 DnFIFO 的全部接收数据时, 将 DTLN 位清“0”。 (在双缓冲器的情况下, 只读完 1 个缓冲器面时) 1: 每读 1 个 DnFIFO 接收数据时, 对 DTLN 位进行递减计数 (n=0、1)。	R/W

注. 只能读取“0”。

D0FIFOSEL 寄存器和 D1FIFOSEL 寄存器选择分配给 FIFO 端口的管道以及控制各 FIFO 端口的存取。

不能给 CFIFOSEL、D0FIFOSEL、D1FIFOSEL 的 CURPIPE 位指定相同的管道。当将 D0FIFOSEL 寄存器和 D1FIFOSEL 寄存器的 CURPIPE 位置“0000b”时, 不指定管道。

不能在 DMA 传送允许状态下更改管道号。

CURPIPE[3:0] 位 (FIFO 端口存取管道指定位)

必须经由 D0FIFO/D1FIFO 端口给要读或者要写的数据设定管道号。

要更改 CURPIPE[3:0] 位时, 必须在写 CURPIPE[3:0] 位后进行读操作, 在确认写入值和读取值相同后, 进行下一个处理。

不能给 CFIFOSEL、D0FIFOSEL 和 D1FIFOSEL 寄存器的 CURPIPE 位设定相同的管道号。

如果在存取 FIFO 缓冲器的过程中更改 CURPIPE[3:0] 位的设定, 就保持以前的存取, 并且能在回写 CURPIPE[3:0] 位后继续进行存取。

BIGEND 位 (FIFO 端口字节序控制位)

此位指定 D0FIFO 端口和 D1FIFO 端口的字节序。

MBW 位 (FIFO 端口存取位的宽度位)

此位指定 D0FIFO 端口和 D1FIFO 端口存取位的宽度。

当所选管道为接收方向时, 如果在设定 MBW 位后开始读, 就不能在读完全部数据前更改 MBW 位。

在所选管道为接收方向时, 必须同时设定 CURPIPE 位和 MBW 位。

当所选管道为发送方向时, 不能在缓冲存储器的写处理过程中从 8 位转换为 16 位。

即使设定为 16 位, 也能通过字节存取的控制来写奇数字节。

DREQE 位 (DMA 传送请求允许位)

此位指定禁止或者允许 DMA 传送请求的发行。

在允许发行 DMA 传送请求时, 必须在设定 CURPIPE[3:0] 位后将 DREQE 位置“1”。

必须在将 CURPIPE[3:0] 位置“0”后更改 CURPIPE[3:0] 位的设定。

DCLRM 位 (读所选管道的数据后的缓冲存储器自动清除模式)

在读所选管道的数据后, 此位指定禁止或者允许缓冲存储器自动清除。

当 DCLRM 位为“1”时, 如果在分配给所选管道的 FIFO 缓冲器为空的状态下接收 Zero-Length packet 或者将 PIPECFG.BFRE 位置“1”, USB 模块就在接收短包并且读完数据时将 FIFO 缓冲器的 BCLR 位置“1”。

REW 位 (缓冲器指针复位的位)

此位指定是否对缓冲器指针进行复位。

当所选管道为接收方向时, 如果在读 FIFO 缓冲器的过程中给 REW 位写“1”, 就能从 FIFO 缓冲器的最初数据开始读 (在双缓冲器的情况下, 对正在读的 1 个缓冲器面, 能从最初的数据重新开始读)。

不能在将 REW 位置“1”的同时更改 CURPIPE 位的设定。必须在确认 FRDY 位为“1”后将 REW 位置“1”。

对于发送方向的管道, 如果从 FIFO 缓冲器最初的数据重新写, 就必须使用 BCLR 位。

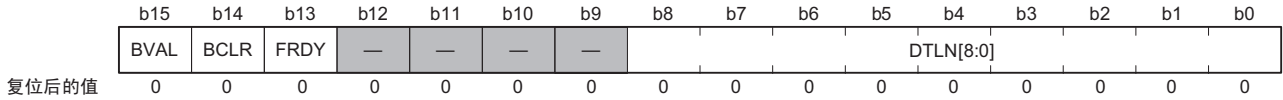
RCNT 位 (读计数模式位)

此位指定 DnFIFOCTR 寄存器的 DTLN 位的读模式。

在将 PIPECFG.BFRE 位置“1”后存取 DnFIFO 时, 必须将 RCNT 位置“0”。

28.2.6 CFIFO 端口控制寄存器 (CFIFOCTR) D0FIFO 端口控制寄存器 (D0FIFOCTR) D1FIFO 端口控制寄存器 (D1FIFOCTR)

地址 USB0.CFIFOCTR 000A 0022h、USB0.D0FIFOCTR 000A 002Ah、USB0.D1FIFOCTR 000A 002Eh
USB1.CFIFOCTR 000A 0222h、USB1.D0FIFOCTR 000A 022Ah、USB1.D1FIFOCTR 000A 022Eh



位	符号	位名	功能	R/W
b8-b0	DTLN[8:0]	接收数据长度表示位	这些位表示接收数据的长度。这些位的值因端口选择寄存器的 RCNT 位的设定而不同，详细内容请参照下述 DTLN[8:0] 位的说明。	R
b12-b9	—	保留位	读写值都为“0”。	R/W
b13	FRDY	FIFO 端口就绪位	0: 不能存取 FIFO 端口 1: 能存取 FIFO 端口	R
b14	BCLR	CPU 缓冲器清除位	0: 无效 1: 清除 CPU 侧缓冲存储器	R/W (注 1)
b15	BVAL	缓冲存储器有效标志	0: 无效 1: 写操作结束	R/W (注 2)

注 1. 只能在读“0”后写“1”。

注 2. 只能写“1”。

CFIFOCTR、D0FIFOCTR 和 D1FIFOCTR 寄存器设定缓冲存储器的写操作结束、CPU 侧缓冲器的清除以及是否能存取 FIFO 端口。FIFO 端口控制寄存器对应各 FIFO 端口。

DTLN[8:0] 位 (接收数据长度表示位)

这些位表示接收数据的长度。

在读 FIFO 缓冲器的过程中，DTLN[8:0] 位的值因 DnFIFOSEL.RCNT 位的设定值而不同 (n=0、1)，如下所示：

- RCNT=0

在 CPU (DTC 或者 DMACA) 读完 1 个 FIFO 缓冲器面的接收数据前，USB 模块的 DTLN[8:0] 位表示接收数据的长度。

当 PIPECFG.BFRE 位为“1”时，即使已读完数据，在将 BCLR 位置“1”前，USB 模块也保持接收数据的长度。

- RCNT=1

在每次读时，USB 模块对 DTLN 位进行递减计数 (MBW 位为“0”时减 1，MBW 位为“1”时减 2)

在读完 1 个 FIFO 缓冲器面时，USB 模块将 DTLN 位置“0”。如果在设定双缓冲器并且读完 1 个 FIFO 缓冲器面的接收数据前已经接收完 1 个 FIFO 缓冲器面的数据，FIFO 端口控制寄存器的 DTLN 位就在先读完 1 个缓冲器面的数据时显示后续 1 个缓冲器面的接收数据的长度。

FRDY 位 (FIFO 端口就绪位)

此位表示 CPU (DTC 或 DMACA) 是否能存取 FIFO 端口。

在以下情况下, USB 模块将 FRDY 位置“1”, 因为没有应该读的数据, 所以不能读 FIFO 端口的数据。在这些情况下, 必须通过将 BCLR 位置“1”, 清除 FIFO 缓冲器并且设定为能发送和接收数据的状态。

- 在分配给所选管道的 FIFO 缓冲器为空的状态下接收到 Zero-Length 包。
- 在 PIPECFG.BFRE 位为“1”时接收到短包并且读完数据。

BCLR 位 (CPU 缓冲器清除位)

在清除所选管道的 CPU 侧 FIFO 缓冲器时, 将此位置“1”。

当分配给所选管道的 FIFO 缓冲器为双缓冲器时, 即使为能读 2 个缓冲器面的状态, USB 模块也只清除 1 个 FIFO 缓冲器面。

在所选管道为 DCP 时, 与 FIFO 缓冲器是 CPU 侧还是 SIE 侧无关, 通过给 BCLR 位写“1”, USB 模块清除 FIFO 缓冲器。要清除 SIE 侧缓冲器时, 必须在将 DCP 控制寄存器的 PID 位设定为 NAK 后将 BCLR 位置“1”。

当所选管道为发送方向时, 如果同时给 BVAL 位和 BCLR 位写“1”, USB 模块就清除以前写的的数据, 并且设定为可发送 Zero-Length 包的状态。

在所选管道不是 DCP 时, 必须在 USB 模块将 FIFO 端口控制的 FRDY 位置“1”时给 BCLR 位写“1”。

BVAL 位 (缓冲存储器有效标志位)

在写完 CURPIPE 指定管道 (选择的管道) 的 CPU 侧 FIFO 缓冲器时, 将此位置“1”。

当所选管道为发送方向时, 必须在以下情况下将 BVAL 位置“1”。USB 模块将 CPU 侧 FIFO 缓冲器改为 SIE 侧, 并且设定为能发送的状态。

- 要发送短包时, 在写完数据时将 BVAL 位置“1”。
- 要发送 Zero-Length 包时, 在将数据写到 FIFO 缓冲器前将 BVAL 位置“1”。

如果写 MaxPacketSize 的数据, USB 模块就将 BVAL 位置“1”, 并且在将 CPU 侧 FIFO 缓冲器改为 SIE 侧后, 设定为能发送的状态。

必须在 USB 模块将 FRDY 位置“1”时给 BVAL 位写 1”。

当所选管道为接收方向时, 不能给 BVAL 位写“1”。

28.2.7 中断允许寄存器 0 (INTENB0)

地址 USB0.INTENB0 000A 0030h、USB1.INTENB0 000A 0230h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b7-b0	—	保留位	读写值都为“0”。	R/W
b8	BRDYE	缓冲器就绪中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b9	NRDYE	缓冲器未就绪应答中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b10	BEMPE	缓冲器空中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b11	CTRE	控制传送阶段转移中断允许位 (注1)	0: 禁止中断输出 1: 允许中断输出	R/W
b12	DVSE	设备状态转移中断允许位 (注1)	0: 禁止中断输出 1: 允许中断输出	R/W
b13	SOFE	帧号更新中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b14	RSME	恢复中断允许位 (注1)	0: 禁止中断输出 1: 允许中断输出	R/W
b15	VBSE	VBUS 中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W

注 1. 只能在选择功能控制器功能时设定 RSME 位、DVSE 位和 CTRE 位。在选择主机控制器功能时不能设定为允许。

INTENB0 寄存器是控制各中断的寄存器。如果 USB 模块检测到通过软件将 INTENB0 寄存器置“1”的位所对应的中断，USB 模块就产生 USB 中断。

与 INTENB0 寄存器的设定值（禁止或者允许中断通知）无关，在满足各中断源的检测条件时，USB 模块将 INTSTS0 寄存器对应的状态位置“1”。

在各中断源对应的 INTSTS0 寄存器的状态位为“1”的状态下，如果通过软件将 INTENB0 寄存器对应的中断允许位从“0”改为“1”，USB 模块就产生 USB 中断。

BRDYE 位 (缓冲器就绪中断允许位)

在检测到 BRDY 中断时, 此位指定禁止或者允许 USB 中断的输出。

NRDYE 位 (缓冲器未就绪应答中断允许位)

在检测到 NRDY 中断时, 此位指定禁止或者允许 USB 中断的输出。

BEMPE 位 (缓冲器空中断允许位)

在检测到 BEMP 中断时, 此位指定禁止或者允许 USB 中断的输出。

CTRE 位 (控制传送阶段转移中断允许位)

在检测到 CTRT 中断时, 此位指定禁止或者允许 USB 中断的输出。

DVSE 位 (设备状态转移中断允许位)

在检测到 DVST 中断时, 此位指定禁止或者允许 USB 中断的输出。

SOFE 位 (帧号更新中断允许位)

在检测到 SOFR 中断时, 此位指定禁止或者允许 USB 中断的输出。

RSME 位 (恢复中断允许位)

在检测到 RESM 中断时, 此位指定禁止或者允许 USB 中断的输出。

VBSE 位 (VBUS 中断允许位)

在检测到 VBINT 中断时, 此位指定禁止或者允许 USB 中断的输出。

28.2.8 中断允许寄存器 1 (INTENB1)

地址 USB0.INTENB1 000A 0032h、USB1.INTENB1 000A 0232h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVRCRE	BCHGE	—	DTCHE	ATTCHE	—	—	—	—	EOFERRE	SIGNE	SACKE	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b3-b0	—	保留位	读写值都为“0”。	R/W
b4	SACKE	设置事务正常应答中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b5	SIGNE	设置事务错误中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b6	EOFERRE	EOF 错误检测中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b10-b7	—	保留位	读写值都为“0”。	R/W
b11	ATTCHE	连接检测中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b12	DTCHE	断开检测中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b13	—	保留位	读写值都为“0”。	R/W
b14	BCHGE	USB 总线变化中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b15	OVRCRE	过电流输入变化中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W

注. 只能在选择主机控制器功能时设定为通过 INTENB1 寄存器允许中断。在选择功能控制器功能时不能设定为允许。

INTENB1 寄存器是设定选择主机控制器功能时的中断屏蔽以及设定 SETUP 事务中断屏蔽的寄存器。

如果 USB 模块检测到通过软件将 INTENB1 寄存器置“1”的位所对应的中断，USB 模块就产生 USB 中断。

与 INTENB1 寄存器的设定值（禁止或者允许中断通知）无关，在满足各中断源的检测条件时，USB 模块将 INTSTS1 寄存器对应的状态位置“1”。

在各中断源对应的 INTSTS1 寄存器的状态位为“1”的状态下，如果通过软件将 INTENB1 寄存器对应的中断允许位从“0”改为“1”，USB 模块就产生 USB 中断。

在选择功能控制器功能时，不能设定为允许 INTENB1 中断。

SACKE 位 (设置事务正常应答中断允许位)

在检测到 SACK 中断时, 此位指定禁止或者允许 USB 中断的输出。

SIGNE 位 (设置事务错误中断允许位)

在检测到 SIGN 中断时, 此位指定禁止或者允许 USB 中断的输出。

EOFERRE 位 (EOF 错误检测中断允许位)

在检测到 EOFERR 中断时, 此位指定禁止或者允许 USB 中断的输出。

ATTCHE 位 (连接检测中断允许位)

在检测到 ATTCH 中断时, 此位指定禁止或者允许 USB 中断的输出。

DTCHE 位 (断开检测中断允许位)

在检测到 DTCH 中断时, 此位指定禁止或者允许 USB 中断的输出。

BCHGE 位 (USB 总线变化中断允许位)

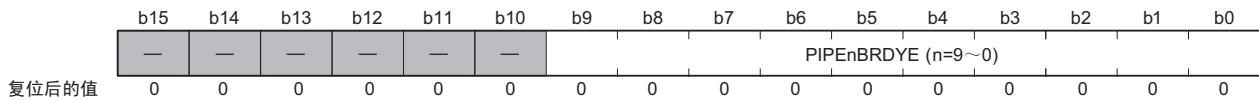
在检测到 BCHG 中断时, 此位指定禁止或者允许 USB 中断的输出。

OVRCRE 位 (过电流输入变化中断允许位)

在检测到 OVRCCR 中断时, 此位指定禁止或者允许 USB 中断的输出。

28.2.9 BRDY 中断允许寄存器 (BRDYENB)

地址 USB0.BRDYENB 000A 0036h、USB1.BRDYENB 000A 0236h



位	符号	位名	功能	R/W
b0	PIPE0 BRDYE	管道 0 的 BRDY 中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b1	PIPE1 BRDYE	管道 1 的 BRDY 中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b2	PIPE2 BRDYE	管道 2 的 BRDY 中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b3	PIPE3 BRDYE	管道 3 的 BRDY 中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b4	PIPE4 BRDYE	管道 4 的 BRDY 中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b5	PIPE5 BRDYE	管道 5 的 BRDY 中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b6	PIPE6 BRDYE	管道 6 的 BRDY 中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b7	PIPE7 BRDYE	管道 7 的 BRDY 中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b8	PIPE8 BRDYE	管道 8 的 BRDY 中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b9	PIPE9 BRDYE	管道 9 的 BRDY 中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b15-b10	—	保留位	读写值都为“0”。	R/W

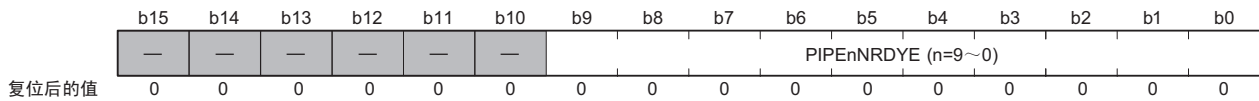
在检测到各管道的 BRDY 中断时，BRDYENB 寄存器指定禁止或者允许将 INTSTS0 寄存器的 BRDY 位置“1”。

对于通过软件将 BRDYENB 寄存器置“1”的管道，如果 USB 模块检测到 BRDY 中断，USB 模块就将 BRDYSTS 寄存器的 PIPEBRDY 位的对应位置“1”，将 INTSTS0 寄存器的 BRDY 位置“1”并且产生 BRDY 中断。

在 BRDYSTS 寄存器的 PIPEnBRDY 位中至少有 1 位为“1”的状态下，如果通过软件将 BRDYENB 寄存器对应的中断允许位从“0”改为“1”，USB 模块就产生 BRDY 中断。

28.2.10 NRDY 中断允许寄存器 (NRDYENB)

地址 USB0.NRDYENB 000A 0038h、USB1.NRDYENB 000A 0238h



位	符号	位名	功能	R/W
b0	PIPE0 NRDYE	管道 0 的 NRDY 中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b1	PIPE1 NRDYE	管道 1 的 NRDY 中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b2	PIPE2 NRDYE	管道 2 的 NRDY 中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b3	PIPE3 NRDYE	管道 3 的 NRDY 中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b4	PIPE4 NRDYE	管道 4 的 NRDY 中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b5	PIPE5 NRDYE	管道 5 的 NRDY 中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b6	PIPE6 NRDYE	管道 6 的 NRDY 中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b7	PIPE7 NRDYE	管道 7 的 NRDY 中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b8	PIPE8 NRDYE	管道 8 的 NRDY 中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b9	PIPE9 NRDYE	管道 9 的 NRDY 中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b15-b10	—	保留位	读写值都为“0”。	R/W

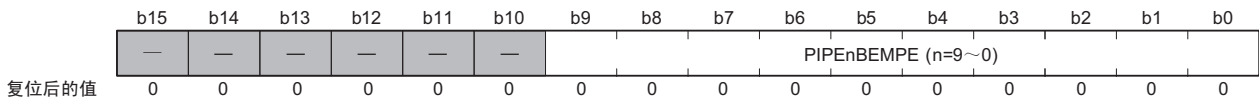
在检测到各管道的 NRDY 中断时，NRDYENB 寄存器指定禁止或者允许将 INTSTS0 寄存器的 NRDY 位置“1”。

对于通过软件将 NRDYENB 寄存器置“1”的管道，如果 USB 模块检测到 NRDY 中断源，USB 模块就将 NRDYSTS 寄存器的 PIPENRDY 位的对应位置“1”，将 INTSTS0 寄存器的 NRDY 位置“1”并且产生 NRDY 中断。

在 NRDYSTS 寄存器的 PIPENRDY 位中至少有 1 位为“1”的状态下，如果通过软件将 NRDYENB 寄存器对应的中断允许位从“0”改为“1”，USB 模块就产生 NRDY 中断。

28.2.11 BEMP 中断允许寄存器 (BEMPENB)

地址 USB0.BEMPENB 000A 003Ah、USB1.BEMPENB 000A 023Ah



位	符号	位名	功能	R/W
b0	PIPE0 BEMPE	管道 0 的 BEMP 中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b1	PIPE1 BEMPE	管道 1 的 BEMP 中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b2	PIPE2 BEMPE	管道 2 的 BEMP 中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b3	PIPE3 BEMPE	管道 3 的 BEMP 中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b4	PIPE4 BEMPE	管道 4 的 BEMP 中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b5	PIPE5 BEMPE	管道 5 的 BEMP 中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b6	PIPE6 BEMPE	管道 6 的 BEMP 中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b7	PIPE7 BEMPE	管道 7 的 BEMP 中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b8	PIPE8 BEMPE	管道 8 的 BEMP 中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b9	PIPE9 BEMPE	管道 9 的 BEMP 中断允许位	0: 禁止中断输出 1: 允许中断输出	R/W
b15-b10	—	保留位	读写值都为“0”。	R/W

在检测到各管道的 BEMP 中断时，BEMPENB 寄存器指定禁止或者允许将 INTSTS0 寄存器的 BEMP 位置“1”。

对于通过软件将 BEMPENB 寄存器置“1”的管道，如果 USB 模块检测到 BEMP 中断源，USB 模块就将 BEMPSTS 寄存器的 PIPEBEMP 位的对应位置“1”，将 INTSTS0 寄存器的 BEMP 位置“1”并且产生 BEMP 中断。

在 BEMPSTS 寄存器的 PIPEnBEMP 位中至少有 1 位为“1”的状态下，如果通过软件将 BEMPENB 寄存器对应的中断允许位从“0”改为“1”，USB 模块就产生 BEMP 中断。

28.2.12 SOF 输出配置寄存器 (SOFCFG)

地址 USB0.SOFCFG 000A 003Ch、USB1.SOFCFG 000A 023Ch

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	TRNENSEL	—	BRDYM	—	EDGESTS	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b3-b0	—	保留位	读写值都为“0”。	R/W
b4	EDGESTS	边沿中断输出状态监视位	在对边沿中断输出信号进行边沿处理的过程中，将此位置“1”。	R
b5	—	保留位	读写值都为“0”。	R/W
b6	BRDYM (注 1)	各管道的 BRDY 中断状态清除时序设定位	0: 通过软件清除状态 1: USB 模块通过读写 FIFO 缓冲器来清除状态	R/W
b7	—	保留位	读写值都为“0”。	R/W
b8	TRNENSEL	事务有效期间转换位	0: 不支持低速 1: 不能设定	R/W
b15-b9	—	保留位	读写值都为“0”。	R/W

注 1. 必须将 BRDYM 位置“0”。

SOFCFG 寄存器指定事务有效期间和 BRDY 中断状态清除时序等。

EDGESTS 位 (边沿中断输出状态监视位)

在对边沿中断输出信号进行边沿处理的过程中，将此位置“1”。

注. 要停止 USB 模块的时钟时，必须确认 EDGESTS 位为“0”。

BRDYM 位 (边沿中断输出状态监视位)

此位指定各管道的 BRDY 中断状态清除时序。

必须将 BRDYM 位置“0”。

TRNENSEL 位 (事务有效期间转换位)

对于正在进行全速通信或者低速通信的端口，此位指定 1 帧内 USB 模块发行权标的期间 (事务有效期间)。

在经由 HUB 连接低速设备时，必须将 TRNENSEL 位置“1”。

TRNENSEL 位只在选择主机控制器功能时有效。

在选择功能控制器功能时，必须将此位置“0”。

28.2.13 中断状态寄存器 0 (INTSTS0)

地址 USB0.INTSTS0 000A 0040h、USB1.INTSTS0 000A 0240h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
VBINT	RESM	SOFR	DVST	CTRTR	BEMP	NRDY	BRDY	VBSTS	DVSQ[2:0]		VALID	CTSQ[2:0]			
复位后的值	0	0	0	0/1 ^(注1)	0	0	0	0	0 ^(注3)	0	0	0/1 ^(注2)	0	0	0

位	符号	位名	功能	R/W
b2-b0	CTSQ[2:0]	控制传送阶段位	b2 b0 000: 空闲阶段或者设置阶段 001: 控制读数据阶段 010: 控制读状态阶段 011: 控制写数据阶段 100: 控制写状态阶段 101: 控制写 (NoData) 状态阶段 110: 控制传送顺序错误 111: 不能设定	R
b3	VALID	USB 请求位	0: 未检测到 1: 接收到设置包	R/W (注4)
b6-b4	DVSQ[2:0]	设备状态位	b6 b4 000: 供电状态 001: 默认状态 010: 地址状态 011: 配置状态 1xx: 挂起状态 【符号说明】x: Don't care	R
b7	VBSTS	VBUS 输入状态位	0: USBm_VBUS 引脚为低电平 1: USBm_VBUS 引脚为高电平	R
b8	BRDY	缓冲器就绪中断状态位	0: 未发生 BRDY 中断 1: 发生 BRDY 中断	R
b9	NRDY	缓冲器未就绪中断状态位	0: 未发生 NRDY 中断 1: 发生 NRDY 中断	R
b10	BEMP	缓冲器空中断状态位	0: 未发生 BEMP 中断 1: 发生 BEMP 中断	R
b11	CTRTR	控制传送阶段转移中断状态位 (注6)	0: 未发生控制传送阶段转移中断 1: 发生控制传送阶段转移中断	R/W (注4)
b12	DVST	设备状态转移中断状态位 (注6)	0: 未发生设备状态转移中断 1: 发生设备状态转移中断	R/W (注4)
b13	SOFR	帧号更新中断状态位	0: 未发生 SOF 中断 1: 发生 SOF 中断 1. 当设定主机控制器功能时 在通过软件将 UACT 位置“1”的状态下更新帧号时 将 SOFR 位置“1” (每 1ms 检测 1 次 SOFR 中断) 2. 当设定功能控制器功能时 在更新帧号时, USB 模块将 SOFR 位置“1” (每 1ms 检测 1 次 SOFR 中断)。 在 USB 主机的 SOF 包发生破损时, USB 模块也能 通过内部内插检测到 SOFR 中断。	R/W (注4)
b14	RESM	恢复中断状态位 (注5、注6)	0: 未发生恢复中断 1: 发生恢复中断	R/W (注4)
b15	VBINT	VBUS 中断状态位 (注5)	0: 未发生 VBUS 中断 1: 发生 VBUS 中断	R/W (注4)

注 1. 在上电复位时, 此位为“0b”; 在 USB 总线复位时, 此位为“1b”。

注 2. 在上电复位时, 此位为“000b”; 在 USB 总线复位时, 此位为“001b”。

注 3. 在 USBm_VBUS 引脚为高电平时, 此位为“1”; 在 USBm_VBUS 引脚为低电平时, 此位为“0”。

注 4. 要清除 VBINT 位、RESM 位、SOFR 位、DVST 位、CTRTR 位或者 VALID 位时, 只能给要清除的位写“0”而给其他位写“1”。不能给为“0”的状态位写“0”。

注 5. 也能在时钟停止过程中 (SCKE=0) 检测到 VBINT 位和 RESM 位所示的状态变化, 如果允许对应的中断, 就进行中断通知。必须在允许时钟后通过软件清除状态。

注 6. 只有在选择主机控制器功能时, RESM 位、DVST 位和 CTRTR 位才发生状态变化。在选择功能控制器功能时, 必须将对应的中断允许位置“0” (禁止)。

INTSTS0 寄存器表示被检测到的中断状态。
通过 USB 总线复位对 DVSQ[2:0] 位进行初始化。

CTSQ[2:0] 位 (控制传送阶段位)

在选择主机控制器功能时，读操作无效。

VALID 位 (USB 请求接收位)

在选择主机控制器功能时，读操作无效。

DVSQ[2:0] 位 (设备状态位)

在选择主机控制器功能时，读操作无效。

BRDY 位 (缓冲器就绪中断状态位)

此位表示 BRDY 中断状态。

当 BRDYENB 寄存器的 PIPEBRDYE 位为“1”的管道对应的 BRDYSTS 寄存器的 PIPEnBRDY 位中至少有 1 位为“1”时 (至少对通过软件允许 BRDY 中断通知的管道中的 1 个管道，USB 模块检测到 BRDY 中断状态时)，USB 模块将 BRDY 位置“1”。

PIPEBRDY 状态的有效条件请参照“28.3.3.1 BRDY 中断”。

如果通过软件给由 PIPEBRDYE 位设定为允许的管道对应的 PIPEnBRDY 位全部写“0”，USB 模块就将 BRDY 位置“0”。

即使通过软件给 BRDY 位写“0”，也无法将 BRDY 位置“0”。

NRDY 位 (缓冲器未就绪中断状态位)

当 NRDYENB 寄存器的 PIPENRDYE 位为“1”的管道对应的 NRDYSTS 寄存器的 PIPENRDY 位中至少有 1 位为“1”时 (至少对通过软件允许 NRDY 中断通知的管道中的 1 个通道，USB 模块检测到 NRDY 中断状态时)，USB 模块将 NRDY 位置“1”。

PIPENRDY 状态的有效条件请参照“28.3.3.2 NRDY 中断”。

如果通过软件给由 PIPENRDYE 位设定为允许的管道对应的 PIPENRDY 位全部写“0”，USB 模块就将 NRDY 位置“0”。

即使通过软件给 NRDY 位写“0”，也无法将 NRDY 位置“0”。

BEMP 位 (缓冲器空中断状态位)

当 BEMPENB 寄存器的 PIPEBEMPE 位为“1”的管道对应的 BEMPSTS 寄存器的 PIPEBEMP 位中至少有 1 位为“1”时 (至少对通过软件允许 BEMP 中断通知的管道中的 1 个通道，USB 模块检测到 BEMP 中断状态时)，USB 模块将 BEMP 位置“1”。

PIPEBEMP 状态的有效条件请参照“28.3.3.3 BEMP 中断”。

如果通过软件给由 PIPEBEMPE 位设定为允许的管道对应的 PIPEBEMP 位全部写“0”，USB 模块就将 BEMP 位置“0”。

即使通过软件给 BEMP 位写“0”，也无法将 BEMP 位置“0”。

CTRT 位 (控制传送阶段转移中断状态位)

在设定功能控制器功能时, 如果 USB 模块检测到控制传送的阶段转移, USB 模块就更新 CTSQ 的值并且将 CTRT 位置“1”。

当发生控制传送阶段转移中断时, 必须在 USB 模块检测到控制传送的下一个阶段转移前清除状态。
在选择主机控制器功能时, 读取值无效。

DVST 位 (设备状态转移中断状态位)

在设定功能控制器功能时, 如果 USB 模块检测到设备状态的变化, USB 模块就更新 DVSQ 的值并且将 DVST 位置“1”。

当发生设备状态转移中断时, 必须在 USB 模块检测到下一个设备状态转移前清除状态。
在选择主机控制器功能时, 读取值无效。

SOFR 位 (帧号更新中断状态位)

(1) 当设定主机控制器功能时

在通过软件将 DVSTCTR0.UACT 位置“1”的状态下更新帧号时将 SOFR 位置“1” (每 1ms 检测 1 次帧号更新中断)。

(2) 当设定功能控制器功能时

在更新帧号时, USB 模块将 SOFR 位置“1” (每 1ms 检测 1 次帧号更新中断)。

即使 USB 主机的 SOF 包发生破损, USB 模块也能通过内部内插检测到 SOFR 中断。

RESM 位 (恢复中断状态位)

在设定功能控制器功能时, 如果 USB 模块为挂起状态 (DVSQ=1xx) 并且检测到 USBm_DP 引脚的下降沿, 就将 RESM 位置“1”。

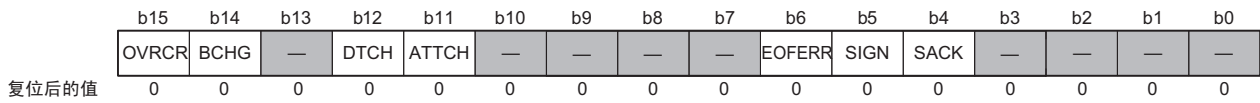
在选择主机控制器功能时, 读取值无效。

VBINT 位 (VBUS 中断状态位)

如果 USB 模块检测到 USBm_VBUS 引脚输入值的变化 (从 High 电平变为 Low 电平或者从 Low 电平变为 High 电平), 就将 VBINT 位置“1”。USB 模块将 USBm_VBUS 引脚的输入值反映到 VBSTS 位。在发生 VBINT 中断时, 必须通过软件重复读 VBSTS 位, 直到读取值数次相同为止, 消除颤动。

28.2.14 中断状态寄存器 1 (INTSTS1)

地址 USB0.INTSTS1 000A 0042h、USB1.INTSTS1 000A 0242h



位	符号	位名	功能	R/W
b3-b0	—	保留位	读写值都为“0”。	R/W
b4	SACK	设置事务正常应答中断状态位	0: 未发生 SACK 中断 1: 发生 SACK 中断	R/W (注1)
b5	SIGN	设置事务错误中断状态位	0: 未发生 SIGN 中断 1: 发生 SIGN 中断	R/W (注1)
b6	EOFERR	EOF 错误检测中断状态位	0: 未发生 EOFERR 中断 1: 发生 EOFERR 中断	R/W (注1)
b10-b7	—	保留位	读写值都为“0”。	R/W
b11	ATTCH	ATTCH 中断状态位	0: 未发生 ATTCH 中断 1: 发生 ATTCH 中断	R/W (注1)
b12	DTCH	USB 断开检测中断状态位	0: 未发生 DTCH 中断 1: 发生 DTCH 中断	R/W (注1)
b13	—	保留位	读写值都为“0”。	R/W
b14	BCHG	USB 总线变化中断状态位 (注2)	0: 未发生 BCHG 中断 1: 发生 BCHG 中断	R/W (注1)
b15	OVRCR	过电流输入变化中断状态位 (注2)	0: 未发生 OVRCR 中断 1: 发生 OVRCR 中断	R/W (注1)

注 1. 要清除 INTSTS1 寄存器的各位所示的状态时，只能给要清除的位写“0”而给其他位写“1”。

注 2. 即使在时钟停止时 (SCKE=0) 也检测到 OVRCR 位和 BCHG 位所示的状态变化，只要允许对应的中断，也进行中断通知。必须在允许时钟后通过软件清除状态。在时钟停止时 (SCKE=0)，不检测 OVRCR 位和 BCHG 位以外的中断。

INTSTS1 寄存器是在选择主机控制器功能时确认各中断状态的寄存器。

只有在选择主机控制器功能时，才能允许 INTSTS1 寄存器各位所示的状态变化引起的中断。

SACK 位 (设置事务正常应答中断状态位)

在选择主机控制器功能时，此位表示设置事务正常应答中断状态。

在 USB 模块发行的 SETUP 事务中，如果接收外围设备的 ACK 应答，USB 模块就检测到 SACK 中断并且将 SACK 位置“1”。此时，如果已通过软件将对应的中断允许位置“1”，USB 模块就产生 SACK 中断。

在选择功能控制器功能时，读取值无效。

SIGN 位 (设置事务错误中断状态位)

在选择主机控制器功能时，此位表示设置事务错误的中断状态。

在 USB 模块发行的 SETUP 事务中，如果外围设备连续 3 次没有 ACK 应答，USB 模块就检测到 SIGN 中断并且将 SIGN 位置“1”。此时，如果已通过软件将对应的中断允许位置“1”，USB 模块就产生 SIGN 中断。

USB 模块的 SIGN 中断检测条件是在对连续 3 次的 SETUP 事务进行以下任何一种应答时的情况：

- 在外围设备没有任何应答的状态下 USB 模块检测到超时
- ACK 包发生破损
- 检测到 ACK 以外的握手信号 (NAK、NYET 或者 STALL) 时

在选择功能控制器功能时，读取值无效。

EOFERR 位 (EOF 错误检测中断状态位)

在选择主机控制器功能时，此位表示 EOFERR 的中断状态。

如果在 USB2.0 规格规定的 EOF2 时序 USB 模块检测到通信未结束，USB 模块就检测到 EOFERR 中断并且将 EOFERR 位置“1”。此时，如果已通过软件将对应的中断允许位置“1”，USB 模块就产生 EOFERR 中断。

在检测到 EOFERR 中断 (与对应的中断允许位的设定无关) 后，USB 模块进行以下的硬件控制。必须通过软件使正在与 USB 端口进行通信的管道全部停止，并且重新对 USB 端口进行 Enumeration。

- 将检测到 EOFERR 中断的端口的 UACT 改为“0”。
- 将产生 EOFERR 中断的端口转移到空闲状态。

在选择功能控制器功能时，读取值无效。

ATTCH 位 (ATTCH 中断状态位)

在选择主机控制器功能时，此位表示 ATTCH 的中断状态。

如果 USB 模块在端口检测到 2.5 μ s 的全速信号电平的 J-State 或者 K-State，USB 模块就检测到 ATTCH 中断并且将 ATTCH 位置“1”。此时，如果已通过软件将对应的中断允许位置“1”，USB 模块就产生中断。

USB 模块的 ATTCH 中断检测条件的具体内容如下：

- 从 K-State、SE0 或者 SE1 变为 J-State 并且 J-State 持续保持 2.5 μ s 时
- 从 J-State、SE0 或者 SE1 变为 K-State 并且 K-State 持续保持 2.5 μ s 时

在选择功能控制器功能时，读取值无效。

DTCH 位 (USB 断开检测中断状态位)

在选择主机控制器功能时，此位表示 USB 断开检测中断的状态。

在检测到 USB 总线断开时，USB 模块检测到 DTCH 中断并且将 DTCH 位置“1”。此时，如果已通过软件将对应的中断允许位置“1”，USB 模块就产生中断。

USB 模块按照 USB2.0 规格的基准检测总线的断开。

在检测到 DTCH 中断后（与该中断允许位的设定值无关），USB 模块进行以下的硬件控制。必须通过软件使正在与 USB 端口进行通信的管道全部停止，并且转移到 USB 端口的连接（产生 ATTCH 中断）等待状态。

- 将检测到 DTCH 中断的端口的 UACT 位改为“0”。
- 将发生 DTCH 中断的端口转移到空闲状态。

在选择功能控制器功能时，读取值无效。

BCHG 位 (USB 总线变化中断状态位)

此位表示 USB 总线变化的中断状态。

如果 USB 端口发生全速信号电平的状态变化（从 J-State、K-State 或者 SE0 任意一种状态变为 J-State、K-State 或者 SE0 的任意一种状态），USB 模块就检测到 BCHG 中断并且将 BCHG 位置“1”。此时，如果已通过软件将对应的中断允许位置“1”，USB 模块就产生中断。

SYSSTS0 寄存器的 LNST 位表示 USB 端口当前的输入状态。在 BCHG 引脚发生中断时，通过软件重复读 LNST 位，直到读取值数次相同为止，消除颤动。

在内部时钟停止状态下也能检测到 USB 总线的变化。

在选择功能控制器功能时，读取值无效。

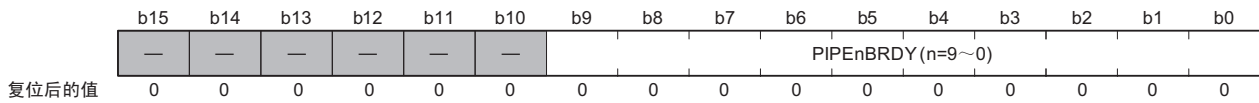
OVRCCR 位 (过电流输入变化中断状态位)

此位表示 USBm_OVRCURA 和 USBm_OVRCURB 输入引脚变化的中断状态。

如果 USBm_OVRCURA 或者 USBm_OVRCURB 引脚输入值发生变化（从 High 电平变为 Low 电平或者从 Low 电平变为 High 电平），USB 模块就检测到 OVRCCR 中断并且将 OVRCCR 位置“1”。此时，如果已通过软件将对应的中断允许位置“1”，USB 模块就产生中断。

28.2.15 BRDY 中断状态寄存器 (BRDYSTS)

地址 USB0.BRDYSTS 000A 0046h、USB1.BRDYSTS 000A 0246h



位	符号	位名	功能	R/W
b0	PIPE0BRDY	管道 0 的 BRDY 中断状态位 (注2)	0: 未发生中断 1: 发生中断	R/W (注1)
b1	PIPE1BRDY	管道 1 的 BRDY 中断状态位 (注2)	0: 未发生中断 1: 发生中断	R/W (注1)
b2	PIPE2BRDY	管道 2 的 BRDY 中断状态位 (注2)	0: 未发生中断 1: 发生中断	R/W (注1)
b3	PIPE3BRDY	管道 3 的 BRDY 中断状态位 (注2)	0: 未发生中断 1: 发生中断	R/W (注1)
b4	PIPE4BRDY	管道 4 的 BRDY 中断状态位 (注2)	0: 未发生中断 1: 发生中断	R/W (注1)
b5	PIPE5BRDY	管道 5 的 BRDY 中断状态位 (注2)	0: 未发生中断 1: 发生中断	R/W (注1)
b6	PIPE6BRDY	管道 6 的 BRDY 中断状态位 (注2)	0: 未发生中断 1: 发生中断	R/W (注1)
b7	PIPE7BRDY	管道 7 的 BRDY 中断状态位 (注2)	0: 未发生中断 1: 发生中断	R/W (注1)
b8	PIPE8BRDY	管道 8 的 BRDY 中断状态位 (注2)	0: 未发生中断 1: 发生中断	R/W (注1)
b9	PIPE9BRDY	管道 9 的 BRDY 中断状态位 (注2)	0: 未发生中断 1: 发生中断	R/W (注1)
b15-b10	—	保留位	读写值都为“0”。	R/W

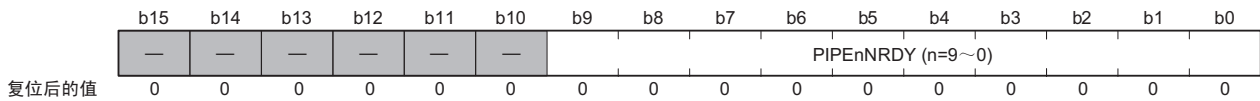
注 1. 当 BRDYM 位为“0”并且要清除 BRDYSTS 寄存器的各位所示的状态时，只能给要清除的位写“0”而给其他位给写“1”。

注 2. 当 BRDYM 位为“0”时，必须在进行 FIFO 存取前清除 BRDY 中断。

BRDYSTS 寄存器是表示各管道的 BRDY 中断状态的寄存器。

28.2.16 NRDY 中断状态寄存器 (NRDYSTS)

地址 USB0.NRDYSTS 000A 0048h、USB1.NRDYSTS 000A 0248h



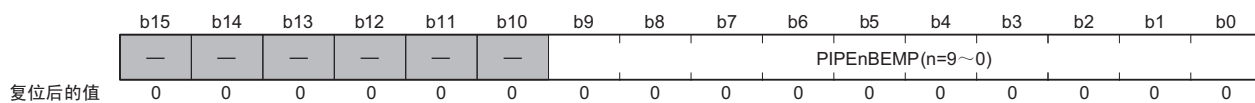
位	符号	位名	功能	R/W
b0	PIPE0NRDY	管道 0 的 NRDY 中断状态位	0: 未发生中断 1: 发生中断	R/W (注 1)
b1	PIPE1NRDY	管道 1 的 NRDY 中断状态位	0: 未发生中断 1: 发生中断	R/W (注 1)
b2	PIPE2NRDY	管道 2 的 NRDY 中断状态位	0: 未发生中断 1: 发生中断	R/W (注 1)
b3	PIPE3NRDY	管道 3 的 NRDY 中断状态位	0: 未发生中断 1: 发生中断	R/W (注 1)
b4	PIPE4NRDY	管道 4 的 NRDY 中断状态位	0: 未发生中断 1: 发生中断	R/W (注 1)
b5	PIPE5NRDY	管道 5 的 NRDY 中断状态位	0: 未发生中断 1: 发生中断	R/W (注 1)
b6	PIPE6NRDY	管道 6 的 NRDY 中断状态位	0: 未发生中断 1: 发生中断	R/W (注 1)
b7	PIPE7NRDY	管道 7 的 NRDY 中断状态位	0: 未发生中断 1: 发生中断	R/W (注 1)
b8	PIPE8NRDY	管道 8 的 NRDY 中断状态位	0: 未发生中断 1: 发生中断	R/W (注 1)
b9	PIPE9NRDY	管道 9 的 NRDY 中断状态位	0: 未发生中断 1: 发生中断	R/W (注 1)
b15-b10	—	保留位	读写值都为“0”。	R/W

注 1. 要清除 NRDYSTS 寄存器的各位所示的状态时，只能给要清除的位写“0”而给其他位写“1”。

NRDYSTS 寄存器是表示各管道的 NRDY 中断状态的寄存器。

28.2.17 BEMP 中断状态寄存器 (BEMPSTS)

地址 USB0.BEMPSTS 000A 004Ah、USB1.BEMPSTS 000A 024Ah



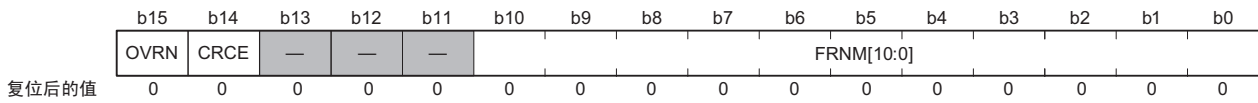
位	符号	位名	功能	R/W
b0	PIPE0BEMP	管道 0 的 BEMP 中断状态位	0: 未发生中断 1: 发生中断	R/W (注)
b1	PIPE1BEMP	管道 1 的 BEMP 中断状态位	0: 未发生中断 1: 发生中断	R/W (注)
b2	PIPE2BEMP	管道 2 的 BEMP 中断状态位	0: 未发生中断 1: 发生中断	R/W (注)
b3	PIPE3BEMP	管道 3 的 BEMP 中断状态位	0: 未发生中断 1: 发生中断	R/W (注)
b4	PIPE4BEMP	管道 4 的 BEMP 中断状态位	0: 未发生中断 1: 发生中断	R/W (注)
b5	PIPE5BEMP	管道 5 的 BEMP 中断状态位	0: 未发生中断 1: 发生中断	R/W (注)
b6	PIPE6BEMP	管道 6 的 BEMP 中断状态位	0: 未发生中断 1: 发生中断	R/W (注)
b7	PIPE7BEMP	管道 7 的 BEMP 中断状态位	0: 未发生中断 1: 发生中断	R/W (注)
b8	PIPE8BEMP	管道 8 的 BEMP 中断状态位	0: 未发生中断 1: 发生中断	R/W (注)
b9	PIPE9BEMP	管道 9 的 BEMP 中断状态位	0: 未发生中断 1: 发生中断	R/W (注)
b15-b10	—	保留位	读写值都为“0”。	R/W

注. 要清除 BEMPSTS 寄存器的各位所示的状态时, 只能给要清除的位写“0”而给其他位写“1”。

BEMPSTS 寄存器是表示各管道的 BEMP 中断状态的寄存器。

28.2.18 帧号寄存器 (FRMNUM)

地址 USB0.FRNUM 000A 004Ch、USB1.FRNUM 000A 024Ch



位	符号	位名	功能	R/W
b10-b0	FRNM[10:0]	帧号位	在每 1ms 发行 1 次 SOF 时或者接收 SOF 时改写 FRNM[10:0] 位，表示最新的帧号。 在读 FRNM[10:0] 位时，必须重复读，直到 2 次的读取值相同为止。	R
b13-b11	—	保留位	读写值都为“0”。	R/W
b14	CRCE	接收数据错误位	0: 未发生错误 1: 发生错误	R/W (注 1)
b15	OVRN	超限 / 欠载检测状态位	0: 未发生错误 1: 发生错误	R/W (注 1)

注 1. 只能写“0”。

FRMNUM 寄存器是判断等时错误的通知源以及表示帧号的寄存器。

CRCE 位 (接收数据错误位)

对于正在进行等时传送的管道，此位表示 CRC 错误或者位填充错误的检测状态。

能通过软件给 CRCE 位写“0”，将 CRCE 位置“0”。

此时，必须给 FRMNUM 寄存器的其他位写“1”。

- (1) 当选择主机控制器功能时
在检测到 CRC 错误时，USB 模块产生内部 NRDY 中断请求。
- (2) 当选择功能控制器功能时
在检测到 CRC 错误时，USB 模块不产生内部 NRDY 中断请求。

OVRN 位 (超限 / 欠载检测状态位)

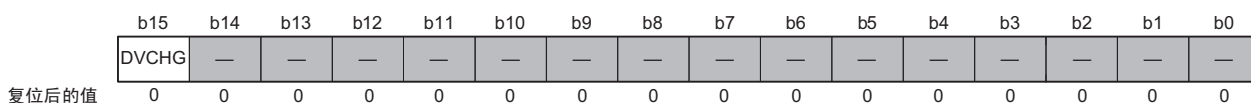
对于正在进行等时传送的管道，此位表示是否检测到超限 / 欠载错误。

能通过软件给 OVRN 位写“0”，将 OVRN 位置“0”。此时，必须给 FRMNUM 寄存器的其他位写“1”。

- (1) 当选择主机控制器功能时
在以下任意情况下，USB 模块将 OVRN 位置“1”：
 - 对传送类型为等时发送方向的管道，在还没有将发送数据完全写到 FIFO 缓冲器，却到了发行 OUT 权标的时间时。
 - 对传送类型为等时接收方向的管道，在至少有 1 个 FIFO 缓冲器不为空的状态下到了发行 IN 权标的时间时。
- (2) 当选择功能控制器功能时
在以下情况下，USB 模块将 OVRN 位置“1”：
 - 对传送类型为等时发送方向的管道，在还没有将发送数据完全写到 FIFO 缓冲器，却接收到 IN 权标时
 - 对传送类型为等时接收方向的管道，在至少 1 个 FIFO 缓冲器不为空的状态下接收到 OUT 权标时

28.2.19 设备状态转换寄存器 (DVCHGR)

地址 USB0.DVCHGR 000A 004Eh、USB1.DVCHGR 000A 024Eh

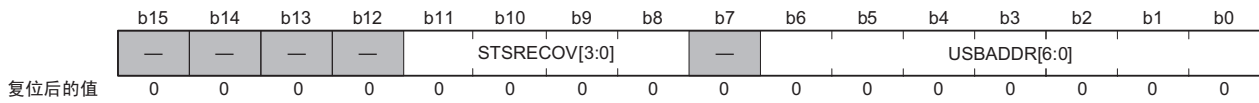


位	符号	位名	功能	R/W
b14-b0	—	保留位	读写值都为“0”。	R/W
b15	DVCHG	设备状态转换位	0: STSRECOV[3:0] 位和 USBADDR 位的写操作无效 1: 允许写 STSRECOV[3:0] 位和 USBADDR 位	R/W

DVCHGR 寄存器是指定 USBADDR.STSRECOV[3:0] 位和 USBADDR.USBADDR[6:0] 位的写操作是否有效的寄存器，详细内容请参照“9. 低功耗功能”的“9.5.4.5 通过 USB 进行深度软件待机模式的解除”。

28.2.20 USB 地址寄存器 (USBADDR)

地址 USB0.USBADDR 000A 0050h、USB1.USBADDR 000A 0250h



位	符号	位名	功能	R/W
b6-b0	USBADDR [6:0]	USB 地址位	在选择功能控制器功能时，如果正常处理 SET_ADRESS 请求，就表示由主机分配的 USB 地址。	R/W
b7	—	保留位	读写值都为“0”。	R/W
b11-b8	STSRECOV [3:0]	状态恢复位	b11 b8 <ul style="list-style-type: none"> 选择功能控制器功能时的恢复 <ul style="list-style-type: none"> 1001: 恢复全速状态 (RHST[2:0]=010) 或者将 DVST 置“001” (Default 状态) 1010: 恢复全速状态 (RHST[2:0]=010) 或者将 DVST 置“010” (Address 状态) 1011: 恢复全速状态 (RHST[2:0]=010) 或者将 DVST 置“010” (Configured 状态) 上述以外: 不能设定 选择主机控制器功能时的恢复 <ul style="list-style-type: none"> 1000: 恢复全速状态 (RHST[2:0]=010) 上述以外: 不能设定 	R/W
b15-b12	—	保留位	读写值都为“0”。	R/W

USBADDR 寄存器是表示 USB 地址的寄存器。在从 USB 电源切断状态返回时，此寄存器用于使 USB 的内部定序器状态恢复到切断前的状态，详细内容请参照“9. 低功耗功能”的“9.5.4.5 通过 USB 进行深度软件待机模式的解除”。

USBADDR[6:0] 位 (USB 地址位)

当 USB 模块检测到 USB 总线复位时，将 USBADDR[6:0] 位置“00h”。

只有在 DVCHGR.DVCHG 位为“1”时才能写这些位，在从 USB 电源切断状态返回时，能通过软件设定为切断前的 USB 地址。

在选择主机控制器功能时，USBADDR[6:0] 位无效。

通过 USB 总线复位检测对 USBADDR[6:0] 位进行初始化。

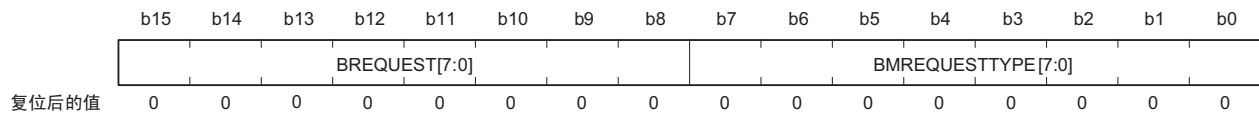
STSRECOV[3:0] 位 (状态恢复位)

在从 USB 电源切断状态返回时，这些位用于将 USB 内部定序器状态恢复到切断前的状态。

只在 DVCHGR.DVCHG 位为“1”时，才能写 STSRECOV[3:0] 位。

28.2.21 USB 请求类型寄存器 (USBREQ)

地址 USB0.USBREQ 000A 0054h、USB1.USBREQ 000A 0254h



位	符号	位名	功能	R/W
b7-b0	BMREQUE STTYPE[7:0]	请求类型位	保存 USB 请求的 bmRequestType 值。 <ul style="list-style-type: none"> 当选择主机控制器功能时必须设定要发送的 SETUP 事务的 USB 请求数值。不能在 SUREQ 位为“1”的状态下改写 BMREQUESTTYPE[7:0] 位。 当选择功能控制器功能时表示 SETUP 事务处理时接收的 USB 请求数值，写操作无效。 	R/W (注)
b15-b8	BREQUEST [7:0]	请求位	保存 USB 请求的 bRequest 值。 <ul style="list-style-type: none"> 当选择主机控制器功能时必须设定要发送的 SETUP 事务的 USB 请求数值。不能在 SUREQ 位为“1”的状态下改写 BREQUEST[7:0] 位。 当选择功能控制器功能时表示 SETUP 事务处理时接收的 USB 请求数值，写操作无效。 	R/W (注)

注 . 当选择功能控制器功能时，此位为只读位，写操作无效；当选择主机控制器功能时，此位为可读写位。

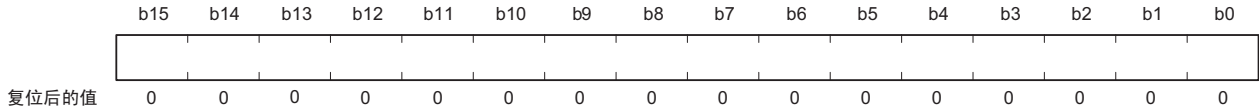
USBREQ 寄存器是保存控制传送的设置请求的寄存器。

在选择功能控制器功能时，USBREQ 寄存器保存接收到的 bRequest 值和 bmRequestType 值；在选择主机控制器功能时，此寄存器设定要发送的 bRequest 值和 bmRequestType 值。

通过 USB 总线复位对 USBREQ 寄存器进行初始化。

28.2.22 USB 请求值寄存器 (USBVAL)

地址 USB0.USBVAL 000A 0056h、USB1.USBVAL 000A 0256h



位	符号	位名	功能	R/W
b15-b0	—	—	保存 USB 请求的 wValue 值。 • 当选择主机控制器功能时必须设定要发送的 SETUP 事务的 USB 请求 wValue 值。不能在 SUREQ 位为“1”的状态下改写 WVALU[15:0] 位。 • 当选择功能控制器功能时表示 SETUP 事务处理时接收到的 USB 请求 wValue 值。WVALU[15:0] 位的写操作无效。	R/W (注 1)

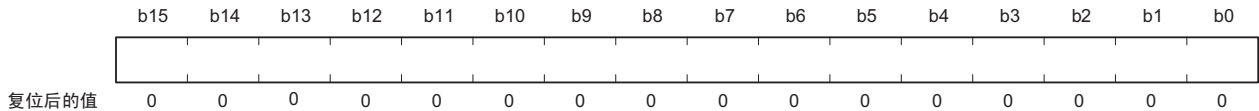
注 1. 当选择功能控制器功能时，此位为只读位，写操作无效；当选择主机控制器功能时，此位为可读写位。

在选择功能控制器功能时，USBVAL 寄存器保存接收到的 wValue 值；在选择主机控制器功能时，此寄存器设定要发送的 wValue 值。

通过 USB 总线复位对 USBVAL 寄存器进行初始化。

28.2.23 USB 请求变址寄存器 (USBINDEX)

地址 USB0.USBINDEX 000A 0058h、USB1.USBINDEX 000A 0258h



位	符号	位名	功能	R/W
b15-b0	—	—	保存 USB 请求的 wIndex 值。 • 当选择主机控制器功能时必须设定要发送的 SETUP 事务的 USB 请求 wIndex 值。不能在 DCPCTR.SUREQ 位为“1”的状态下改写 WINDEX[15:0] 位。 • 当选择功能控制器功能时表示 SETUP 事务处理时接收到的 USB 请求 wIndex 值。WINDEX[15:0] 位的写操作无效。	R/W (注 1)

注 1. 当选择功能控制器功能时，此位为只读位，写操作无效；当选择主机控制器功能时，此位为可读写位。

USBINDEX 寄存器是保存控制传送的设置请求的寄存器。

在选择功能控制器功能时，USBINDEX 寄存器保存接收到的 wIndex 值；在选择主机控制器功能时，此寄存器设定要发送的 wIndex 值。

通过 USB 总线复位对 USBINDEX 寄存器进行初始化。

28.2.24 USB 请求长度寄存器 (USBLENG)

地址 USB0.USBLENG 000A 005Ah、USB1.USBLENG 000A 025Ah



位	符号	位名	功能	R/W
b15-b0	—	—	保存 USB 请求的 wLength 值。 • 当选择主机控制器功能时 必须设定要发送的 SETUP 事务的 USB 请求 wLength 值。不能在 DCPCTR.SUREQ 位为 “1” 的状态下改写这些位。 • 当选择功能控制器功能时 表示 SETUP 事务处理时接收到的 USB 请求 wLength 值。WLENGTH[15:0] 位的写操作无效。	R/W (注 1)

注 1. 当选择功能控制器功能时，此位为只读位，写操作无效；当选择主机控制器功能时，此位为可读写位。

USBLENG 寄存器是保存控制传送的设置请求的寄存器。

在选择功能控制器功能时，USBLENG 寄存器保存接收到的 wLength 值；在选择主机控制器功能时，此寄存器设定要发送的 wLength 值。

通过总线复位对 USBLENG 寄存器进行初始化。

28.2.25 DCP 配置寄存器 (DCPCFG)

地址 USB0.DCPCFG 000A 005Ch、USB1.DCPCFG 000A 025Ch

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	SHTNAK	—	—	DIR	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b3-b0	—	保留位	读写值都为“0”。	R/W
b4	DIR	传送方向设定位 (注1)	0: 数据接收方向 1: 数据发送方向	R/W
b6-b5	—	保留位	读写值都为“0”。	R/W
b7	SHTNAK	传送结束时的管道禁止位 (注1)	0: 在传送结束时继续管道 1: 在传送结束时禁止管道	R/W
b15-b8	—	保留位	读写值都为“0”。	R/W

注1. 必须在 PID 位为 NAK 的状态下更改设定。如果要在将 DCP 的 PID 位从 BUF 改为 NAK 后更改设定, 就必须在确认 PBUSY 为“0”后进行更改。但是, 如果 USB 模块将 PID 位改为 NAK, 就不需要通过软件确认 PBUSY 位。

DCPCFG 寄存器是给默认控制管道 (DCP) 指定数据传送方向的寄存器。

DIR 位 (传送方向设定位)

在选择主机控制器功能时, 此位设定控制传送的数据阶段和状态阶段的传送方向。

在选择功能控制器功能时, 必须将 DIR 位置“0”。

SHTNAK 位 (传送结束时的管道禁止位)

在控制传送为接收方向时, 此位指定在传送结束时是否将 PID 位改为 NAK。

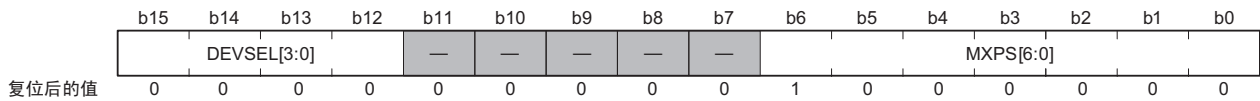
在控制传送为接收方向时, SHTNAK 位有效。

在 SHTNAK 位为“1”的情况下, USB 模块在判断为传送结束时将 DCP 的 PID 位改为 NAK。在满足以下条件的情况下, USB 模块判断为传送结束:

- 正常接收短包数据 (包含 Zero-Length 包) 时

28.2.26 DCP 最大信息包长度寄存器 (DCPMAXP)

地址 USB0.DCPMAXP 000A 005Eh、USB1.DCPMAXP 000A 025Eh



位	符号	位名	功能	R/W
b6-b0	MXPS[6:0]	最大信息包长度位 (注1)	必须给 MXPS[6:0] 位设定 DCP 的最大数据有效负载 (最大信息包长度), 初始值为 40h (64 字节)。MXPS 位的设定值必须符合 USB 规格。不能在 MXPS 位为“0”时写 FIFO 缓冲器或者将 PID 设定为 BUF。	R/W
b11-b7	—	保留位	读写值都为“0”。	R/W
b15-b12	DEVSEL[3:0]	设备选择位 (注2)	b15 b12 0 0 0 0: USB 地址 0000 0 0 0 1: USB 地址 0001 0 0 1 0: USB 地址 0010 0 0 1 1: USB 地址 0011 0 1 0 0: USB 地址 0100 0 1 0 1: USB 地址 0101 上述以外: 不能设定	R/W

注 1. 必须在 PID 位为 NAK 的状态下更改 MXPS[6:0] 位的设定。如果要在将 DCP 的 PID 位从 BUF 变为 NAK 后更改设定, 就必须在确认 PBUSY 位为“0”后进行更改。但是, 如果 USB 模块已将 PID 位改为 NAK, 就不需要通过软件确认 PBUSY 位。在更改 MXPS[6:0] 位的设定后, 必须在给 CURPIPE 位设定 DCP 后, 通过将 BCLR 位置“1”来进行缓冲器清除处理。

注 2. 必须在 PID 位为 NAK 的状态下并且在 SUREQ 位为“0”的期间更改 DEVSEL 位的设定。如果要在将 DCP 的 PID 位从 BUF 改为 NAK 后更改设定, 就必须在确认 PBUSY 位为“0”后进行更改。但是, 如果 USB 模块已将 PID 位改为 NAK, 就不需要通过软件确认 PBUSY 位。

DCPMAXP 寄存器是给 DCP 指定最大信息包长度的寄存器。

DEVSEL[3:0] 位 (设备选择位)

在选择主机控制器功能时, 这些位指定作为控制传送通信对象的外围设备的 USB 地址。

必须在设定与 DEVSEL[3:0] 位设定值对应的 DEVADDn (n=0~5) 寄存器后设定 DEVSEL[3:0] 位。例如, 要将 DEVSEL[3:0] 位设定为“0010”时, 必须给 DEVADD2 寄存器进行设定。

在选择功能控制器功能时, 必须将 DEVSEL[3:0] 位的值置“0000b”。

28.2.27 DCP 控制寄存器 (DCPCTR)

地址 USB0.DCPCTR 000A 0060h、USB1.DCPCTR 000A 0260h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BSTS	SUREQ	—	—	SUREQCLR	—	—	SQCLR	SQSET	SQMON	PBUSY	—	—	CCPL	PID[1:0]	
复位后的值	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	PID[1:0]	应答 PID 位	b1 b0 0 0: NAK 应答 0 1: BUF 应答 (取决于缓冲器的状态) 1 0: STALL 应答 1 1: STALL 应答	R/W
b2	CCPL	控制传送结束允许位	0: 无效 1: 允许控制传送结束	R/W
b4-b3	—	保留位	读写值都为“0”。	R/W
b5	PBUSY	管道忙位	0: 在事务处理时未使用 DCP 1: 在事务处理时使用 DCP	R
b6	SQMON	顺序交替位监视位	0: DATA0 1: DATA1	R
b7	SQSET	交替位置位的位 (注3)	0: 无效 1: 指定 DATA1	R/W (注1)
b8	SQCLR	交替位清除位 (注3)	0: 无效 1: 指定 DATA0	R/W (注1)
b10-b9	—	保留位	读写值都为“0”。	R/W
b11	SUREQCLR	SUREQ 位清除位	读取值为“0”。如果写“1”，就将 SUREQ 位置“0”。 写“0”时无效。	R/W (注2)
b13-b12	—	保留位	读写值都为“0”。	R/W
b14	SUREQ	SETUP 权标发送位	0: 无效 1: 发送设置包	R/W (注2)
b15	BSTS	缓冲器状态位	0: 不能存取缓冲器 1: 能存取缓冲器	R

注 1. 读取值为“0”，只能写“1”。

注 2. 只能写“1”。

注 3. 必须在 PID 位为 NAK 的状态下给 SQSET 位和 SQCLR 位写“1”。如果在将 DCP 的 PID 位从 BUF 改为 NAK 后更改设定，就必须在确认 PBUSY 位为“0”后进行更改。但是，如果 USB 模块已将 PID 位改为 NAK，就不需要通过软件确认 PBUSY 位。

DCPCTR 寄存器对 DCP 进行缓冲存储器状态的确认、数据 PID 顺序位的更改和确认以及应答 PID 的设定。通过 USB 总线复位对 DCPCTR 寄存器的 CCPL 位和 PID[1:0] 位进行初始化。

PID[1:0] 位 (应答 PID 位)

PID[1:0] 位对控制传送中的 USB 模块的应答进行控制。

(1) 当选择主机控制器功能时

必须按照以下步骤将 PID[1:0] 位从 NAK 改为 BUF。

- 当设定为发送方向时
必须在 UACT 位为“1”并且 PID 位为 NAK 的状态下，将发送数据全部写到 FIFO 缓冲器并且给 PID 位写 BUF。在给 PID 位写 BUF 后，USB 模块执行 OUT 事务。
- 当设定为接收方向时
必须在 UACT 位为“1”并且 PID 位为 NAK 的状态下，确认 FIFO 缓冲器为空状态 (空的状态) 并且给 PID 位写 BUF。在给 PID 位写 BUF 后，USB 模块执行 IN 事务。

在以下情况下，USB 模块更改 PID[1:0] 位的值。

- 在通过软件将 PID[1:0] 位设定为 BUF 的情况下，如果 USB 模块接收到的数据超过 MaxPacketSize，USB 模块就将 PID 位设定为 STALL (11)。
- 如果连续 3 次检测到 CRC 错误等接收错误，USB 模块就将 PID 位设定为 NAK。
- 如果接收到 STALL 握手信号，USB 模块就将 PID 位设定为 STALL (11)。

(2) 当选择功能控制器功能时

在以下情况下，USB 模块更改 PID[1:0] 位的值。

- 如果 USB 模块接收到 SETUP 包，USB 模块就将 PID[1:0] 位改为 NAK。此时，USB 模块将 VALID 位置“1”，在通过软件将 VALID 位置“0”前，不能通过软件更改 PID[1:0] 位。
- 在通过软件将 PID[1:0] 位设定为 BUF 的情况下，如果 USB 模块接收到的数据超过 MaxPacketSize，USB 模块就将 PID 位设定 STALL (11)。
- 如果 USB 模块检测到控制传送顺序错误，就将 PID 位设定为 STALL (1x)。
- 如果 USB 模块检测到 USB 总线复位，就将 PID 位设定为 NAK。

在进行 SET_ADDRESS 请求处理 (自动处理) 时，USB 模块不参照 PID[1:0] 位的设定值。

CCPL 位 (控制传送结束允许位)

在选择功能控制器功能时，通过将 CCPL 位置“1”，设定为允许结束控制传送的状态阶段。

当对应的 PID 位为 BUF 时，如果通过软件将 CCPL 位置“1”，USB 模块就结束控制传送的阶段。

即，在进行控制读传送时，对 USB 主机的 OUT 事务发送 ACK 握手信号；在控制写和无数据控制传送时，对 USB 主机的 IN 事务发送 Zero-Length 包。但是，当检测到 SET_ADDRESS 请求时，与 CCPL 位的设定值无关，USB 模块在从 SETUP 阶段到状态阶段结束前进行自动应答。

如果接收到新的 SETUP 包，USB 模块就将 CCPL 位从“1”改为“0”。

当 VALID 位为“1”时，不能通过软件给 CCPL 位写“1”。

在选择主机控制器功能时，必须给 CCPL 位写“0”。

PBUSY 位 (管道忙位)

当将 PID 位从 BUF 改为 NAK 时，此位表示在 DCP 事务处理中是否使用 DCP。

在开始相应管道的 USB 事务时，USB 模块将 PBUSY 位从“0”改为“1”；在 1 个事务结束时，将 PBUSY 位从“1”改为“0”。

在通过软件将 PID 位设定为 NAK 后，能通过读 PBUSY 位来确认是否能更改管道的设定。

详细内容请参照“28.3.4.1 管道控制寄存器的转换步骤”。

SQMON 位 (顺序交替位监视位)

在 DCP 传送中, 此位表示下一个事务的顺序交替位的值。

如果事务被正常处理, USB 模块就将 SQMON 位取反。但是, 如果在接收方向的传送时 DATA-PID 不同, 就不将 SQMON 位取反。

在选择功能控制器功能时, 如果正常接收 SETUP 包, USB 模块就将 SQMON 位置“1”(将期待值设定到 DATA1)。

在选择功能控制器功能时, 在状态阶段的 IN/OUT 事务处理中, USB 模块不参照 SQMON 位。即使正常结束, 也不将此位取反。

SQSET 位 (交替位置位的位)

在 DCP 传送中, 能将下一个事务的顺序交替位的值设定到 DATA1。

不能同时将 SQCLR 位和 SQSET 位置“1”。

SQCLR 位 (交替位清除位)

在 DCP 传送中, 能将下一个事务的顺序交替位的值设定到 DATA0。SQCLR 位总是为“0”。

不能同时将 SQCLR 位和 SQSET 位置“1”。

SUREQCLR 位 (SUREQ 位清除位)

在选择主机控制器功能时, 能通过将 SUREQCLR 位置“1”来清除 SUREQ 位。SUREQCLR 位总是为“0”。

在 SETUP 事务处理中, 如果在 SUREQ 位为“1”的状态下停止通信, 就必须通过软件将 SUREQCLR 位置“1”。正常的 SETUP 事务在事务处理结束时, USB 模块自动将 SUREQ 位置“0”, 所以不需要通过软件进行清除处理。

必须在通过将 UACT 位置“0”来停止通信时或者在检测到断开时尚未进行传送的情况下, 通过 SUREQCLR 位控制 SUREQ 位。

在选择功能控制器功能时, 必须给 SUREQCLR 位写“0”。

SUREQ 位 (SETUP 权标发送位)

在选择主机控制器功能时, 通过将 SUREQ 位置“1”, 发送设置包。

在 SETUP 事务处理结束后, USB 模块产生 SACK 中断或者 SIGN 中断, 并且将 SUREQ 位置“0”。

通过软件将 SUREQCLR 位置“1”, USB 模块将 SUREQ 位置“0”。

必须在给 DEVSEL 位、USBREQ 寄存器、USBVAL 寄存器、USBINDX 寄存器和 USBLENG 寄存器设定 SETUP 事务处理中要发送的 USB 请求后, 将 SUREQ 位置“1”。必须在将 SUREQ 位置“1”前, 确认 DCP 的 PID 位为 NAK。在将 SUREQ 位置“1”后到 SETUP 事务结束前 (SUREQ=1) 的期间, 不能更改 DEVSEL 位、USBREQ 寄存器、USBVAL 寄存器、USBINDX 寄存器和 USBLENG 寄存器的值。

只有在发出 SETUP 权标时, 才必须将 SUREQ 位置“1”, 否则就必须置“0”。

在选择功能控制器功能时, 必须给 SUREQ 位写“0”。

BSTS 位 (缓冲器状态位)

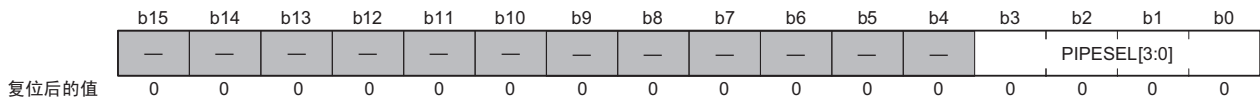
此位表示是否能存取 DCP 的 FIFO 缓冲器的状态。

BSTS 位的含义因 ISEL 位的设定值而不同。

- 当 ISEL 位为“0”时, 表示是否能读接收数据。
- 当 ISEL 位为“1”时, 表示是否能写发送数据。

28.2.28 管道窗口选择寄存器 (PIPESEL)

地址 USB0.PIPESEL 000A 0064h、USB1.PIPESEL 000A 0264h



位	符号	位名	功能	R/W
b3-b0	PIPESEL[3:0]	管道窗口选择位	b3 b0 0 0 0 0: 未选择 0 0 0 1: 管道 1 0 0 1 0: 管道 2 0 0 1 1: 管道 3 0 1 0 0: 管道 4 0 1 0 1: 管道 5 0 1 1 0: 管道 6 0 1 1 1: 管道 7 1 0 0 0: 管道 8 1 0 0 1: 管道 9 上述以外: 不能设定	R/W
b15-b4	—	保留位	读写值都为“0”。	R/W

PIPESEL 寄存器是指定管道号的寄存器。

必须通过 PIPESEL、PIPECFG、PIPEMAXP、PIPEPERI、PIPE_nCTR、PIPE_nTRE 和 PIPE_nTRN 寄存器设定管道 1 ~ 9。

在通过 PIPESEL 寄存器设定要使用的管道后，给 PIPECFG、PIPEMAXP 和 PIPEPERI 寄存器设定各管道的功能。与 PIPESEL 寄存器选择的管道无关，能设定 PIPE_nCTR、PIPE_nTRE 和 PIPE_nTRN 寄存器。

PIPESEL[3:0] 位 (管道窗口选择位)

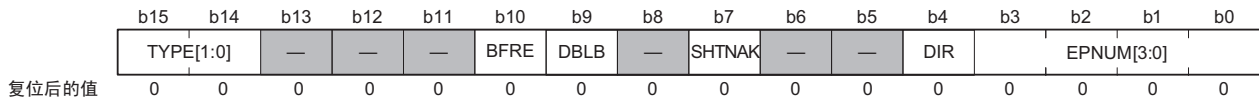
这些位指定与读写对象的 PIPECFG 寄存器、PIPEMAXP 寄存器和 PIPEPERI 寄存器对应的管道号。

能读写与 PIPESEL 位指定的管道号对应的 PIPECFG、PIPEMAXP 和 PIPEPERI 寄存器。

如果将 PIPESEL 位置“0000b”，PIPECFG 寄存器、PIPEMAXP 寄存器、PIPEPERI 寄存器和 PIPE_nCTR 寄存器各位的读取值就全部为“0”，写操作无效。

28.2.29 管道配置寄存器 (PIPECFG)

地址 USB0.PIPECFG 000A 0068h、USB1.PIPECFG 000A 0268h



位	符号	位名	功能	R/W
b3-b0	EPNUM[3:0]	端点号位 (注1)	指定所选管道的端点号。 当这些位为“0000b”，表示是未使用的管道。	R/W
b4	DIR	传送方向指定位 (注2、注3)	0: 接收方向 1: 发送方向	R/W
b6-b5	—	保留位	读写值都为“0”。	R/W
b7	SHTNAK	传送结束时的管道禁止位 (注1)	0: 传送结束时继续管道 1: 传送结束时禁止管道	R/W
b8	—	保留位	读写值都为“0”。	R/W
b9	DBLB	双缓冲器模式位 (注2、注3)	0: 单缓冲器 1: 双缓冲器	R/W
b10	BFRE	BRDY 中断运行指定位 (注2、注3)	0: 在数据的发送 / 接收过程中发生 BRDY 中断 1: 在读完数据时发生 BRDY 中断	R/W
b13-b11	—	保留位	读写值都为“0”。	R/W
b15-b14	TYPE[1:0]	传送类型位 (注1)	管道 1 和管道 2 的情况 b15 b14 0 0: 不使用管道 0 1: 批量传送 1 0: 不能设定 1 1: 等时传送 管道 3 ~ 5 的情况 b15 b14 0 0: 不使用管道 0 1: 批量传送 1 0: 不能设定 1 1: 不能设定 管道 6 ~ 9 的情况 b15 b14 0 0: 不使用管道 0 1: 不能设定 1 0: 中断传送 1 1: 不能设定	R/W

注 1. 必须在 PID 位为 NAK 的状态下更改 TYPE[1:0] 位、SHTNAK 位和 EPNUM 位的设定。如果要在将所选管道的 PID 位从 BUF 改为 NAK 后更改设定，就必须在确认 PBUSY 位为“0”后进行更改。但是，如果 USB 模块已将 PID 位改为 NAK，就不需要通过软件确认 PBUSY 位。

注 2. 必须在 PID 位为 NAK 并且未给 CURPIPE[3:0] 位设定管道的状态下更改 BFRE 位、DBLB 位和 DIR 位的设定。如果要在将所选管道的 PID 位从 BUF 改为 NAK 后更改设定，就必须在确认 PBUSY 位为“0”后进行更改。但是，如果 USB 模块已将 PID 位改为 NAK，就不需要通过软件确认 PBUSY 位。

注 3. 要在进行了使用所选择管道的 USB 通信后更改 BFRE 位、DBLB 位和 DIR 位的设定时，除了注 2. 的注意事项的状态以外，还必须通过软件给 ACLRM 位连续写“1”和“0”，清除分配给所选管道的 FIFO 缓冲器。

PIPECFG 寄存器指定管道 1 ~ 9 的传送类型、缓冲存储器的存取方向和端点号，并且选择是单缓冲器还是双缓冲器以及选择在传送结束时是否禁止管道运行。

EPNUM[3:0] 位 (端点号位)

这些位指定所选管道的端点号。

如果设定为“0000b”，就表示是未使用的管道。

DIR 位和 EPNUM 位的设定组合不能和其他管道的设定重复 (能重复将 EPNUM 位设定为“0000”)。

DIR 位 (传送方向指定位)

此位指定所选管道的传送方向。

在通过软件将 DIR 位置“0”的情况下，如果 USB 模块将所选管道设定为接收方向并且将 DIR 位置“1”，USB 模块就将所选管道设定为发送方向。

SHTNAK 位 (传送结束时的管道禁止位)

当所选管道为接收方向时，此位指定是否在传送结束时将 PID 位改为 NAK。

在所选管道为管道 1 ~ 管道 5 并且为接收方向时，SHTNAK 位有效。

对于接收方向的管道，如果通过软件将 SHTNAK 位置“1”，USB 模块就在对所选管道判断为传送结束时将所选管道对应的 PID 位改为 NAK。在满足以下条件的情况下，USB 模块判断为传送结束。

- 正常接收短包数据 (包括 Zero-Length 包) 时
- 使用事务计数器并且正常接收事务计数器数量的信息包时

DBLB 位 (双缓冲器模式位)

此位指定所选管道要使用的 FIFO 缓冲器是单缓冲器还是双缓冲器。

在选择管道 1 ~ 5 时，DBLB 位有效。

BFRE 位 (BRDY 中断运行指定位)

此位指定 USB 模块向 CPU 发行所选管道相关 BRDY 中断的时序。

如果通过软件将 BFRE 位置“1”并且将所选管道用于接收方向，USB 模块就检测到传送结束并且读完信息包时发送 BRDY 中断。

当通过此设定产生 BRDY 中断时，需要通过软件给 BCLR 位写“1”。在给 BCLR 位写“1”前，分配给所选管道的 FIFO 缓冲器为不可接收的状态。

当在通过软件将 BFRE 位置“1”并且将所选管道用于发送方向时，USB 模块不产生 BRDY 中断。

详细内容请参照“28.3.3.1 BRDY 中断”。

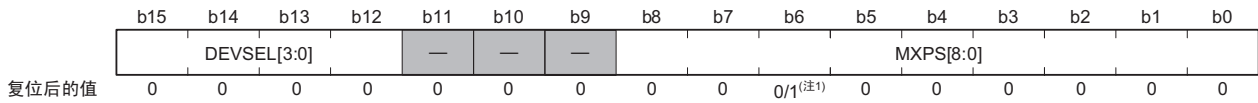
TYPE[1:0] 位 (传送类型位)

这些位指定由 PIPESEL 位指定的管道 (选择的管道) 的传送类型。

必须在将所选管道的 PID 位设定为 BUF (开始进行使用所选管道的 USB 通信) 前将 TYPE[1:0] 位设定为“00b”以外的值。

28.2.30 管道最大信息包长度寄存器 (PIPEMAXP)

地址 USB0.PIPEMAXP 000A 006Ch、USB1.PIPEMAXP 000A 026Ch



位	符号	位名	功能	R/W
b8-b0	MXPS[8:0]	MAX 信息包长度位 (注2)	管道 1、2: 1 字节 (001h) ~ 256 字节 (100h) 管道 3 ~ 5: 8 字节 (008h)、16 字节 (010h)、 32 字节 (020h)、64 字节 (040h) (没有 [8:7] 位和 [2:0] 位) 管道 6 ~ 9: 1 字节 (001h) ~ 64 字节 (040h) (没有 [8:7] 位)	R/W
b11-b9	—	保留位	读写值都为“0”。	R/W
b15-b12	DEVSEL[3:0]	设备选择位 (注3)	b3 b0 0 0 0 0: USB 地址 0000 0 0 0 1: USB 地址 0001 0 0 1 0: USB 地址 0010 0 0 1 1: USB 地址 0011 0 1 0 0: USB 地址 0100 0 1 0 1: USB 地址 0101 上述以外: 不能设定	R/W

注 1. 在不通过 PIPESEL 寄存器的 PIPESEL 位选择管道时为“0000h”，在选择管道时为“0040h”。

注 2. 必须在 PID 位为 NAK 并且未给 CURPIPE 位设定管道的状态下更改 MXPS 位的设定。如果要在将所选管道的 PID 位从 BUF 改为 NAK 后更改设定，就必须在确认 PBUSY 位为“0”后进行更改。但是，如果 USB 模块已将 PID 位改为 NAK，就不需要通过软件确认 PBUSY 位。

注 3. 必须在 PID 位为 NAK 的状态下更改 DEVSEL 位的设定。如果要在将所选管道的 PID 位从 BUF 改为 NAK 后更改设定，就必须在确认 PBUSY 位为“0”后进行更改。但是，如果 USB 模块已将 PID 位改为 NAK，就不需要通过软件确认 PBUSY 位。

PIPEMAXP 寄存器给管道 1 ~ 9 指定最大信息包的长度。

MXPS[8:0] 位 (MAX 信息包长度位)

这些位指定所选管道的最大数据有效负载 (最大信息包长度)。

MXPS 位的设定值必须符合各传送类型的 USB 规格。当 MXPS 位为“0”时，不能写 FIFO 缓冲器，也不能将 PID 位设定为 BUF。

DEVSEL[3:0] 位 (设备选择位)

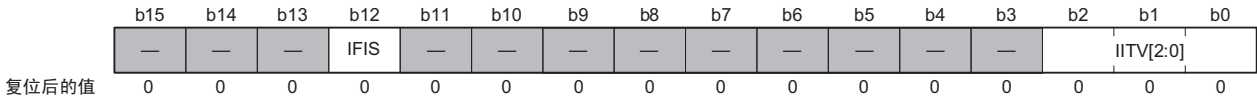
在选择主机控制器功能时，此位指定通信对象的外围设备的 USB 地址。

必须在设定与 DEVSEL[3:0] 位的设定值对应的 DEVADDn (n=0 ~ 5) 寄存器后设定 DEVSEL[3:0] 位。例如，要将 DEVSEL[3:0] 位设定为“0010”时，必须设定 DEVADD2 寄存器的地址。

在选择功能控制器功能时，必须将 DEVSEL[3:0] 位的值设定为“0000b”。

28.2.31 管道周期控制寄存器 (PIPEPERI)

地址 USB0.PIPEPERI 000A 006Eh、USB1.PIPEPERI 000A 026Eh



位	符号	位名	功能	R/W
b2-b0	IITV[2:0]	间隔错误的检测间隔位	必须将所选管道间隔错误的检测间隔指定为帧时序的 2 的 n 次方。 如下所述，详细功能根据是选择主机控制器功能还是选择功能控制器功能而不同。 如果要在设定 IITV[2:0] 位并且进行 USB 通信后改为其他值，就必须在将 PID 位设定为 NAK 后将 ACLRM 位置“1”，对间隔定时器进行初始化。 管道 3 ~ 5 没有 IITV[2:0] 位。必须将与管道 3 ~ 5 对应的 IITV[2:0] 位的位置设定为“000b”。	R/W
b11-b3	—	保留位	读写值都为“0”。	R/W
b12	IFIS	等时 IN 缓冲器刷新位	0: 不刷新缓冲器 1: 刷新缓冲器	R/W
b15-b13	—	保留位	读写值都为“0”。	R/W

注. 必须在 PID 位为 NAK 的状态下更改 IITV 位的设定。如果要在将所选管道的 PID 位从 BUF 改为 NAK 后更改设定，就必须在确认 PBUSY 位为“0”后进行更改。但是，如果 USB 模块已将 PID 位改为 NAK，就不需要通过软件确认 PBUSY 位。

对管道 1 ~ 9，PIPEPERI 寄存器选择在等时 IN 传送过程中发生间隔错误时是否运行缓冲器刷新功能，并且设定间隔错误的检测间隔。

IFIS 位 (等时 IN 缓冲器刷新位)

在 PIPESEL 位指定的管道 (选择的管道) 为等时 IN 传送时，此位指定是否刷新缓冲器。

在选择功能控制器功能的情况下，当所选管道的传送类型为等时传送并且传送方向为 IN 传送时，如果在 IITV 位设定的各间隔的帧中 USB 模块未接收到 USB 主机的 IN 权标，USB 模块就自动清除 FIFO 缓冲器。

在设定双缓冲器时 (DBLB=1)，USB 模块只清除先前使用的 1 个缓冲器面的数据。

在应该接收 IN 权标的帧之后接收到 SOF 包时，清除 FIFO 缓冲器。即使 SOF 包破损，也通过内部内插功能在应该接收 SOF 时清除缓冲器。

在选择主机控制器功能时，必须将 IITV[2:0] 位置“0”。

在所选管道的传送类型不是等时传送时，必须将 IITV[2:0] 位置“0”。

28.2.32 管道 n 控制寄存器 (PIPEnCTR) (n=1 ~ 9)

- PIPEnCTR (n=1 ~ 5)

地址 USB0.PIPE1CTR 000A 0070h、USB0.PIPE2CTR 000A 0072h、USB0.PIPE3CTR 000A 0074h、USB0.PIPE4CTR 000A 0076h、
USB0.PIPE5CTR 000A 0078h、USB1.PIPE1CTR 000A 0270h、USB1.PIPE2CTR 000A 0272h、USB1.PIPE3CTR 000A 0274h、
USB1.PIPE4CTR 000A 0276h、USB1.PIPE5CTR 000A 0278h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BSTS	INBUFM	—	—	—	ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	PID[1:0]	应答 PID 位	b1 b0 0 0: NAK 应答 0 1: BUF 应答 (取决于缓冲器状态) 1 0: STALL 应答 1 1: STALL 应答	R/W
b4-b2	—	保留位	读写值都为“0”。	R/W
b5	PBUSY	管道忙位	0: 在事务处理中未使用该管道 1: 在事务处理中使用该管道	R
b6	SQMON	交替位确认位	0: DATA0 1: DATA1	R
b7	SQSET	交替位置位的位 (注2)	0: 无效 1: 指定 DATA1	R/W (注1)
b8	SQCLR	交替位清除位 (注2)	0: 无效 1: 指定 DATA0	R/W (注1)
b9	ACLRM	缓冲器自动清除模式 (注3)	0: 禁止 1: 允许 (全部缓冲器被初始化)	R/W
b10	ATREPM	自动应答模式位 (注2)	0: 禁止自动应答 1: 允许自动应答	R/W
b13-b11	—	保留位	读写值都为“0”。	R/W
b14	INBUFM	发送缓冲器监视位	0: 缓冲存储器没有能发送的数据 1: 缓冲存储器有能发送的数据	R
b15	BSTS	缓冲器状态位	0: CPU 不能存取缓冲器 1: CPU 能存取缓冲器	R

注 1. 读取值为“0”，只能写“1”。

注 2. 必须在将 PID 位设定为 NAK 的状态下更改 ATREPM 位的设定以及给 SQCLR 位或者 SQSET 位写“1”。如果要在将所选管道的 PID 位从 BUF 改为 NAK 后更改设定，就必须在确认 DCPCTR.PBUSY 位为“0”后进行更改。但是，如果 USB 模块已将 PID 位改为 NAK，就不需要通过软件确认 DCPCTR.PBUSY 位。

注 3. 必须在 PID 位为 NAK 并且未给 CURPIPE 位设定管道的状态下更改 ACLRM 位的设定。如果要在将所选管道的 PID 位从 BUF 改为 NAK 后更改设定，就必须在确认 DCPCTR.PBUSY 位为“0”后进行更改。但是，如果 USB 模块已将 PID 位改为 NAK，就不需要通过软件确认 DCPCTR.PBUSY 位。

PIPEnCTR 寄存器对管道 1 ~ 9 进行缓冲存储器状态的确认、数据 PID 顺序位的更改和确认，并且选择是否设定为自动应答模式和缓冲器自动清除模式以及设定应答 PID。与 PIPESEL 寄存器选择的管道无关，能设定 PIPEnCTR 寄存器。

PID[1:0] 位 (应答 PID 位)

这些位指定相应管道的下一个事务的应答方法。

PID[1:0] 位的初始值为 NAK。在通过相应管道进行 USB 传送时, 必须将 PID[1:0] 位改为 BUF。各 PID 位的设定值所对应的基本运行 (通信包中没有错误时的运行) 如表 28.9 和表 28.10 所示。

当相应管道正在进行 USB 通信时, 如果通过软件将 PID[1:0] 位从 BUF 改为 NAK, 就必须在写 NAK 后确认 DCPCTR.PBUSY 位为“1”, 以便确认该管道的 USB 传送转移到 NAK 状态。

在以下情况下, USB 模块更改 PID[1:0] 位的值。

- 当相应管道为接收方向并且已通过软件将所选管道的 SHTNAK 位置“1”时, 如果 USB 模块认为传送结束, 就将 PID 位设定为 NAK。
- 对于相应管道, 如果接收到的数据包超过 MaxPacketSize 的有效负载, USB 模块就将 PID 位设定为 STALL (11b)。
- 在选择功能控制器功能时, 如果检测到 USB 总线复位, USB 模块就将 PID 位设定为 NAK。
- 在选择主机控制器功能时, 如果连续 3 次检测到 CRC 错误等接收错误, USB 模块就将 PID 位设定为 NAK。
- 在选择主机控制器功能时, 如果接收到 STALL 握手信号, USB 模块就将 PID 位设定为 STALL (11b)。

必须按照以下步骤设定 PID[1:0] 位:

- 在从 NAK (00b) 状态转移到 STALL 状态时, 必须写“10b”。
 - 在从 BUF (01b) 状态转移到 STALL 状态时, 必须写“11b”。
 - 在从 STALL (11b) 状态转移到 NAK 状态时, 必须在写“10b”后接着写“00”。
- 在从 STALL 状态转移到 BUF 状态时, 必须在变为 NAK 状态后设定为 BUF 状态。

PBUSY 位 (管道忙位)

此位表示在当前事务处理中是否使用相应管道。

当开始该管道的 USB 事务时, USB 模块将 PBUSY 位从“0”改为“1”。当 1 个事务结束时, 将 PBUSY 位从“1”改为“0”。

在通过软件将 PID 位设定为 NAK 后, 能通过读 PBUSY 位来确认是否能更改管道的设定。

详细内容请参照“28.3.4.1 管道控制寄存器的转换步骤”。

SQMON 位 (交替位确认位)

此位表示相应管道的下一个事务的顺序交替位的值。

当该管道的传送类型不是等时传送时, 如果事务被正常处理, USB 模块就将 SQMON 位取反。但是, 如果在接收方向的传送时 DATA-PID 不同, 就不将 SQMON 位取反。

SQSET 位 (交替位置位的位)

在要将相应管道的下一个事务的顺序交替位的值设定到 DATA1 时, 将此位置“1”。

如果通过软件将 SQSET 位置“1”, USB 模块就将该管道的顺序交替位的期待值设定到 DATA1。USB 模块总是将 SQSET 位置“0”。

SQCLR 位 (交替位清除位)

在要清除相应管道的下一个事务的顺序交替位的值 (将此值设定到 DATA0) 时, 将此位置“1”。

如果通过软件将 SQCLR 位置“1”, USB 模块就将该管道的顺序交替位的期待值设定到 DATA0。USB 模块总是将 SQCLR 位置“0”。

ACLRM 位 (缓冲器自动清除模式位)

此位指定禁止或者允许相应管道的缓冲器自动清除模式。

要将分配给该管道的 FIFO 缓冲器内容全部删除时, 必须给 ACLRM 位连续写“1”和“0”。

给 ACLRM 位连续写“1”和“0”时 USB 模块要清除的内容以及需要清除的情况如表 28.11 所示。

ATREPM 位 (自动应答模式位)

此位指定禁止或者允许相应管道的自动应答。

在选择功能控制器功能时, 如果将该管道的传送类型设定为批量传送, 就能将 ATREPM 位置“1”。

如果将 ATREPM 位置“1”, USB 模块就对 USB 主机的权标进行如下应答:

(1) 相应管道为批量 IN 传送 (TYPE=01 并且 DIR=1) 的情况

在将 ATREPM 位置“1”并且将 PID 位设定为 BUF 时, USB 模块向 IN 权标发送 Zero-Length 包。

在每次接收 USB 主机的 ACK 时 (1 个事务为 IN 权标的接收 → Zero Length 包的发送 → ACK 的接收),

USB 模块更新 (交替) 顺序交替位 (DATA-PID)。

不发生 BRDY 中断和 BEMP 中断。

(2) 相应管道为批量 OUT 传送 (TYPE=01 并且 DIR=0) 的情况

在将 ATREPM 位置“1”并且将 PID 设定为 BUF 时, USB 模块对 OUT 权标进行 NAK 应答并且产生 NRDY 中断。

要在将 ATREPM 位置“1”后进行 USB 通信时, 必须在 FIFO 缓冲器为空的状态下进行设定。在将 ATREPM 位置“1”后进行 USB 通信的期间, 不能写 FIFO 缓冲器。

在相应管道的传送类型为等时传送时, 必须将 ATREPM 位置“0”。

在选择主机控制器功能时, 必须给 ATREPM 位写“0”。

INBUFM 位 (发送缓冲器监视位)

在相应管道为发送方向时, 此位表示该管道的 FIFO 缓冲器状态。

在将该管道设定为发送方向 (DIR=1) 时, 如果 CPU (DTC 或者 DMACA) 至少将 1 个缓冲器面的数据全部写到 FIFO 缓冲器, USB 模块就将 INBUFM 位置“1”。

当 USB 模块将写完的 FIFO 缓冲器面的数据全部发送结束时, USB 模块就将 INBUFM 位置“0”。如果使用双缓冲器 (DBLB=1), 就在发送完 2 个缓冲器面的数据而 CPU (DTC 或者 DMACA) 还未写完 1 个缓冲器面的数据时, USB 模块将 INBUFM 位置“0”。

在将该管道设定为接收方向 (DIR=0) 时, INBUFM 位和 BSTS 位的值相同。

BSTS 位 (缓冲器状态位)

此位表示相应管道的 FIFO 缓冲器状态。

如表 28.12 所示, BSTS 位的含义因 DIR、BFRE 和 DCLRM 位的设定值而不同。

表 28.9 PID 位对应的 USB 模块运行一览表 (选择主机控制器功能的情况)

PID 位	传送类型	传送方向 (DIR 位)	USB 模块的运行
00 (NAK)	不取决于设定值	不取决于设定值	不发行权标。
01 (BUF)	批量或者中断	不取决于设定值	如果 UACT 位为“1”并且对应该管道的 FIFO 缓冲器为可发送 / 接收的状态, 就发行权标。 如果 UACT 位为“0”或者为不可发送 / 接收的状态, 就不发行权标。
	等时	不取决于设定值	与对应该管道的 FIFO 缓冲器的状态无关, 发行权标。
10 (STALL) 或者 11 (STALL)	不取决于设定值	不取决于设定值	不发行权标。

表 28.10 PID 位对应的 USB 模块运行一览表 (选择功能控制器功能的情况)

PID 位	传送类型	传送方向 (DIR 位)	USB 模块的运行
00 (NAK)	批量或者中断	不取决于设定值	对 USB 主机的权标进行 NAK 应答。 但是, 有关 ATREPM 位为“1”时的运行, 请参照 ATREPM 位的说明。
	等时	不取决于设定值	对 USB 主机的权标不进行应答。
01 (BUF)	批量	接收方向 (DIR=0)	对于 USB 主机的 OUT 权标, 如果对应该管道的 FIFO 缓冲器为可接收状态, 就接收数据并且进行 ACK 应答。如果不是可接收状态, 就进行 NAK 应答。
	中断	接收方向 (DIR=0)	对于 USB 主机的 OUT 权标, 如果对应该管道的 FIFO 缓冲器为可接收状态, 就接收数据并且进行 ACK 应答。如果不是可接收的状态, 就进行 NAK 应答。
	批量或者中断	发送方向 (DIR=1)	如果对应的 FIFO 缓冲器为可发送状态, 就对 USB 主机的权标发送数据。如果不是可发送状态, 就进行 NAK 应答。
	等时	接收方向 (DIR=0)	对于 USB 主机的 OUT 权标, 如果对应该管道的 FIFO 缓冲器为可接收状态, 就接收数据。如果不是可接收状态, 就放弃数据。
		发送方向 (DIR=1)	如果对应的 FIFO 缓冲器为可发送状态, 就对 USB 主机的权标发送数据。如果不是可发送状态, 就发送 Zero-Length 包。
10 (STALL) 或者 11 (STALL)	批量或者中断	不取决于设定值	对 USB 主机的权标进行 STALL 应答。
	等时	不取决于设定值	对 USB 主机的权标不进行应答。

表 28.11 ACLRM 位为“1”时 USB 模块要清除的内容

序号	通过 ACLRM 位操作清除的内容	需要清除的情况
1	分配给相应管道的 FIFO 缓冲器的全部内容（在设定双缓冲器时，清除 2 个 FIFO 缓冲器面）	在要对管道进行初始化时
2	在相应管道的传送类型为等时传送时，为间隔计数值。	在要对间隔计数值进行复位时
3	有关 BFRE 位的内部标志	在更改 BFRE 位的设定值时
4	FIFO 缓冲器交替控制	在更改 DBLB 位的设定值时
5	有关事务计数的内部标志	在强制结束事务计数功能时

表 28.12 BSTS 位的运行

DIR 位	BFRE 位	DCLRM 位	BSTS 位的功能
0	0	0	在能从 FIFO 缓冲器读接收数据时，此位为“1”；在读完数据时，此位为“0”。
		1	不能设定此组合。
	1	0	在能从 FIFO 缓冲器读接收数据时，此位为“1”；在读完数据后通过软件给 BCLR 写“1”时，此位为“0”。
		1	在能从 FIFO 缓冲器读接收数据时，此位为“1”；在读完数据时，此位为“0”。
1	0	0	在能将发送数据写到 FIFO 缓冲器时，此位为“1”；在写完数据时，此位为“0”。
		1	不能设定此组合。
	1	0	不能设定此组合。
		1	不能设定此组合。

- PIPE_nCTR (n=6~9)

地址 USB0.PIPE6CTR 000A 007Ah、USB0.PIPE7CTR 000A 007Ch、USB0.PIPE8CTR 000A 007Eh、USB0.PIPE9CTR 000A 0080h
 USB1.PIPE6CTR 000A 027Ah、USB1.PIPE7CTR 000A 027Ch、USB1.PIPE8CTR 000A 027Eh、USB1.PIPE9CTR 000A 0280h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BSTS	—	—	—	—	—	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	PID[1:0]	应答 PID 位	b1 b0 0 0: NAK 应答 0 1: BUF 应答 (根据缓冲器状态) 1 0: STALL 应答 1 1: STALL 应答	R/W
b4-b2	—	保留位	读写值都为“0”。	R/W
b5	PBUSY	管道忙位	0: 在 USB 总线上未使用相应管道 1: 在 USB 总线上使用相应管道	R
b6	SQMON	交替位确认位	0: DATA0 1: DATA1	R
b7	SQSET	交替位置位的位 (注2)	0: 无效 1: 指定 DATA1	R/W (注1)
b8	SQCLR	交替位清除位 (注2)	0: 无效 1: 指定 DATA0	R/W (注1)
b9	ACLRM	缓冲器自动清除模式位 (注2、注3)	0: 禁止缓冲器自动清除模式 1: 允许缓冲器自动清除模式 (全部缓冲器的初始化)	R/W
b14-b10	—	保留位	读写值都为“0”。	R/W
b15	BSTS	缓冲器状态位	0: 不能存取缓冲器 1: 能存取缓冲器	R

注 1. 读取值为“0”，只能写“1”。

注 2. 必须在 PID 位为 NAK 的状态下给 SQCLR 位或者 SQSET 位写“1”。如果要在将所选管道的 PID 位从 BUF 改为 NAK 后更改设定，就必须在确认 PBUSY 位为“0”后进行更改。但是，如果 USB 模块已将 PID 位改为 NAK，就不需要通过软件确认 PBUSY 位。

注 3. 必须在 PID 位为 NAK 并且未给 CURPIPE 位设定管道的状态下更改 ACLRM 位的设定。如果要在将所选管道的 PID 位从 BUF 改为 NAK 后更改设定，就必须在确认 PBUSY 位为“0”后进行更改。但是，如果 USB 模块已将 PID 位改为 NAK，就不需要通过软件确认 PBUSY 位。

PID[1:0] 位 (应答 PID 位)

这些位指定相应管道的下一个事务的应答方法。

PID[1:0] 位的初始值为 NAK。在通过相应管道进行 USB 传送时, 必须将 PID[1:0] 位改写为 BUF。各 PID 位的设定值所对应的基本运行 (通信包中没有错误时的运行) 如表 28.9 和表 28.10 所示。

当相应管道正在进行 USB 通信时, 如果通过软件将 PID[1:0] 位从 BUF 改为 NAK, 就必须在写 NAK 后确认 PBUSY 位为“1”, 以便确认该管道的 USB 传送转移到 NAK 状态。

在以下情况下, USB 模块更改 PID[1:0] 位的值。

- 对于相应管道, 如果接收到的数据包超过 MaxPacketSize 的有效负载, USB 模块就将 PID 位设定为 STALL (11b)。
- 在选择功能控制器功能时, 如果检测到 USB 总线复位, USB 模块就将 PID 位设定为 NAK。
- 在选择主机控制器功能时, 如果连续 3 次检测到 CRC 错误等接收错误, USB 模块就将 PID 位设定为 NAK。
- 在选择主机控制器功能时, 如果接收到 STALL 握手信号, USB 模块就将 PID 位设定为 STALL (11b)。

必须按照以下步骤设定 PID[1:0] 位:

- 在从 NAK (00b) 状态转移到 STALL 状态时, 必须写“10b”。
- 在从 BUF (01b) 状态转移到 STALL 状态时, 必须写“11b”。
- 在从 STALL (11b) 状态转移到 NAK 状态时, 必须在写“10b”后接着写“00b”。
- 在从 STALL 状态转移到 BUF 状态时, 必须在变为 NAK 状态后设定为 BUF 状态。

PBUSY 位 (管道忙位)

此位表示在当前 USB 总线上是否使用相应管道。

当开始该管道的 USB 事务时, USB 模块将 PBUSY 位从“0”改为“1”。当 1 个事务结束时, 将 PBUSY 位从“1”改为“0”。

在通过软件将 PID 位设定为 NAK 后, 能通过读 PBUSY 位来确认是否能更改管道的设定。

SQMON 位 (交替位确认位)

此位表示相应管道的下一个事务的顺序交替位的期待值。

如果事务被正常处理, USB 模块就将 SQMON 位取反。但是, 如果在接收方向的传送时 DATA-PID 不同, 就不将 SQMON 位取反。

SQSET 位 (交替位置位的位)

在要将相应管道的下一个事务的顺序交替位的期待值设定到 DATA1 时, 将此位置“1”。

如果通过软件将 SQSET 位置“1”, USB 模块就将该管道的顺序交替位的期待值设定到 DATA1。USB 模块总是将 SQSET 位置“0”。

SQCLR 位 (交替位清除位)

在要清除相应管道的下一个事务的顺序交替位的期待值 (将此值设定到 DATA0) 时, 将此位置“1”。

如果通过软件将 SQCLR 位置“1”, USB 模块就将该管道的顺序交替位的期待值设定到 DATA0。USB 模块总是将 SQCLR 位置“0”。

ACLRM 位 (缓冲器自动清除模式位)

此位指定禁止或者允许相应管道的缓冲器自动清除模式。

要将分配给该管道的 FIFO 缓冲器内容全部删除时，必须给 ACLRM 位连续写“1”和“0”。

给 ACLRM 位连续写“1”和“0”时 USB 模块要清除的内容以及需要清除的情况如表 28.13 所示。

BSTS 位 (缓冲器状态位)

此位表示相应管道的 FIFO 缓冲器状态。

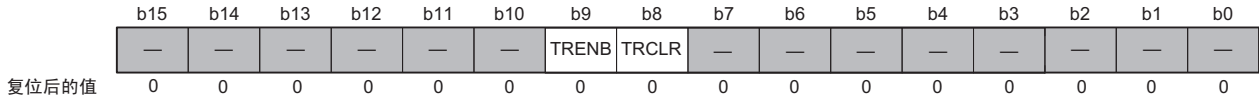
如表 28.12 所示，BSTS 位的含义因 DIR、BFRE 和 DCLRM 位的设定值而不同。

表 28.13 ACLRM 位为“1”时 USB 模块要清除的内容

序号	通过 ACLRM 位操作清除的内容	需要清除的情况
1	分配给所选管道的 FIFO 缓冲器的全部内容	
2	在选择主机控制器功能时，当所选管道的传送类型为中断传送时，为间隔计数值。	在要对间隔计数值进行复位时
3	有关 BFRE 位的内部标志	在更改 BFRE 位的设定值时
4	有关事务计数的内部标志	在强制结束事务计数功能时

28.2.33 管道 n 事务计数允许寄存器 (PIPE_nTRE) (n=1 ~ 5)

地址 USB0.PIPE1TRE 000A 0090h、USB0.PIPE2TRE 000A 0094h、USB0.PIPE3TRE 000A 0098h、USB0.PIPE4TRE 000A 009Ch、
 USB0.PIPE5TRE 000A 00A0h、USB1.PIPE1TRE 000A 0290h、USB1.PIPE2TRE 000A 0294h、USB1.PIPE3TRE 000A 0298h、
 USB1.PIPE4TRE 000A 029Ch、USB1.PIPE5TRE 000A 02A0h



位	符号	位名	功能	R/W
b7-b0	—	保留位	读写值都为“0”。	R/W
b8	TRCLR	事务计数器清除位	0: 无效 1: 清除当前计数器	R/W
b9	TRENB	事务计数器允许位	0: 事务计数器功能无效 1: 事务计数器功能有效	R/W
b15-b10	—	保留位	读写值都为“0”。	R/W

注. 必须在 PID 位为 NAK 时更改 PIPE_nTRE 寄存器的各位。
 如果要在将相应管道的 PID 位从 BUF 改为 NAK 后更改各位的设定值时，就必须在确认 PBUSY 位为“0”后进行更改。但是，如果 USB 模块已将 PID 位改为 NAK，就不需要通过软件确认 PBUSY 位。

PIPE_nTRE 寄存器指定对应管道 1 ~ 5 的事务计数器是否有效以及指定计数器的清除。

TRCLR 位 (事务计数器清除位)

清除对应该管道的事务计数器的当前计数值，并且将 TRCLR 位置“0”。

TRENB 位 (事务计数器允许位)

此位指定事务计数器的无效或者有效。

对于接收管道，如果通过软件在给 TRNCNT 位设定总信息包数量后将 TRENB 位置“1”，USB 模块就在接收完 TRNCNT 位设定数量的信息包后进行以下的控制：

- 当 SHTNAK 位为“1”时，在接收完 TRNCNT 位设定数量的信息包时将对应管道的 PID 位改为 NAK。
- 当 BFRE 位为“1”时，在接收 TRNCNT 位设定数量的信息包并且读完最后的数据时将 BRDY 中断置为有效。

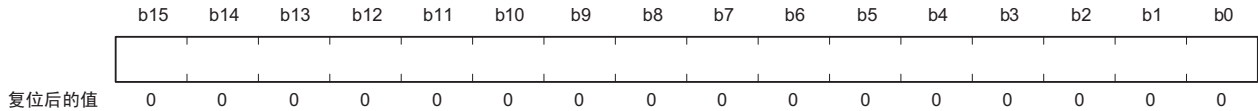
对于发送管道，必须将 TRENB 位置“0”。

在不使用事务计数功能时，必须将 TRENB 位置“0”。

在使用事务计数功能时，必须在将 TRENB 位置“1”前设定 TRNCNT 位。必须在接收事务计数对象的最初信息包前将 TRENB 位置“1”。

28.2.34 管道 n 事务计数寄存器 (PIPEnTRN) (n=1 ~ 5)

地址 USB0.PIPE1TRN 000A 0092h、USB0.PIPE2TRN 000A 0096h、USB0.PIPE3TRN 000A 009Ah、USB0.PIPE4TRN 000A 009Eh、
 USB0.PIPE5TRN 000A 00A2h、USB1.PIPE1TRN 000A 0292h、USB1.PIPE2TRN 000A 0296h、USB1.PIPE3TRN 000A 029Ah、
 USB1.PIPE4TRN 000A 029Eh、USB1.PIPE5TRN 000A 02A2h



位	符号	位名	功能	R/W
b15-b0	—	—	<ul style="list-style-type: none"> 写寄存器时： 设定 DMA 传送的事务次数。 读寄存器时： 当 TRENb 位为“0”时，表示已设定的事务次数。 当 TRENb 位为“1”时，表示正在计数的事务次数。 	R/W

PIPEnTRN 寄存器是对应管道 1 ~ 5 的事务计数器。
 在进行 USB 总线复位时，PIPEnTRN 寄存器保持设定值。

TRNCNT[15:0] 位 (事务计数器位)

如果接收时的状态满足以下全部条件，USB 模块就将 TRNCNT 位的值加 1。

- TRENb 位为“1”。
- 在接收信息包时 (TRNCNT 设定值 ≠ 当前的计数值 + 1)。
- 接收的信息包的有效负载和 MXPS 位的设定值相同。

在满足以下任意条件时，USB 模块将 TRNCNT 位置“0”。

- (1) 当满足以下全部条件时
 - TRENb 位为“1”。
 - 在接收信息包时 (TRNCNT 设定值 = 当前的计数值 + 1)。
 - 接收的信息包的有效负载和 MXPS 位的设定值相同。
- (2) 当满足以下全部条件时
 - TRENb 位为“1”
 - 接收到短包。
- (3) 当满足以下全部条件时
 - TRENb 位为“1”。
 - 通过软件将 TRCLR 位置“1”。

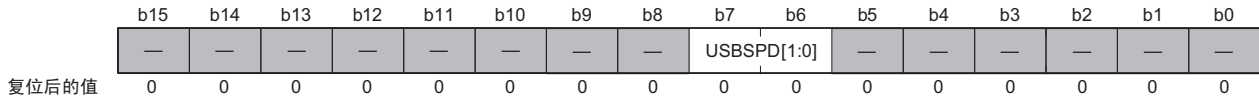
对于发送管道，必须将 TRNCNT 位置“0”。

在不使用事务计数功能时，必须将 TRNCNT 位置“0”。

只有在 PIPEnTRE 寄存器的 TRENb 为“0”时，才能设定 TRNCNT 位的事务次数。在更改事务次数设定值时，必须在开始 (TRENb=1) 前给 PIPEnTRE 寄存器的 TRCLR 位写“1” (清除当前计数器的值)。

28.2.35 设备地址 n 的配置寄存器 (DEVADDn) (n=0 ~ 5)

地址 USB0.DEVADD0 000A 00D0h、USB0.DEVADD1 000A 00D2h、USB0.DEVADD2 000A 00D4h、USB0.DEVADD3 000A 00D6h、
 USB0.DEVADD4 000A 00D8h、USB0.DEVADD5 000A 00DAh、USB1.DEVADD0 000A 02D0h、USB1.DEVADD1 000A 02D2h、
 USB1.DEVADD2 000A 02D4h、USB1.DEVADD3 000A 02D6h、USB1.DEVADD4 000A 02D8h、USB1.DEVADD5 000A 02DAh



位	符号	位名	功能	R/W
b5 ~ b0	—	保留位	读写值都为“0”。	R/W
b7-b6	USBSPD[1:0]	通信对象设备位速率的位	b7 b6 0 0: 未使用 DEVADDn 寄存器 0 1: 不能设定 1 0: 全速 1 1: 不能设定	R/W
b15-b8	—	保留位	读写值都为“0”。	R/W

对于管道 0 ~ 9，DEVADDn 寄存器指定连接通信对象外围设备的通信速度。

在选择主机控制器功能时，必须在开始各管道的通信前设定 DEVADDn 寄存器的各位。

必须在不存在使用各位设定的有效管道时更改 DEVADDn 寄存器的各位。有效管道是指满足以下 2 个条件的管道：

- 在通过设定 DEVSEL 位来指定 DEVADDn 寄存器时
- 在将所选管道的 PID 位设定为 BUF 时或者在所选管道为 DCP 并且 SUREQ 为“1”时

USBSPD[1:0] 位 (通信对象设备位速率的位)

这些位设定通信对象外围设备的 USB 位速率。

当经由 HUB 连接全速设备时，必须置“10b”。

在选择主机控制器功能时，USB 模块参照 USBSPD[1:0] 位的设定值生成信息包。

在选择功能控制器功能时，必须置“00b”。

28.2.36 深度待机 USB 收发器的控制 / 引脚监视寄存器 (DPUSR0R)

地址 000A 0400h

	b31	b30	b29	b28	b27	b26	b25	b24
	DVBSTS1	—	DOVCB1	DOVCA1	—	—	DM1	DP1
复位后的值	x	0	x	x	0	0	x	x
	b23	b22	b21	b20	b19	b18	b17	b16
	DVBSTS0	—	DOVCB0	DOVCA0	—	—	DM0	DP0
复位后的值	x	0	x	x	0	0	x	x
	b15	b14	b13	b12	b11	b10	b9	b8
	—	—	—	FIXPHY1	—	—	—	SRPC1
复位后的值	0	0	0	0	0	0	0	0
	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	FIXPHY0	—	—	—	SRPC0
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	SRPC0	USB0 单端接收器控制	0: DP/DM 的输入为禁止状态 1: DP/DM 的输入为允许状态	R/W
b3-b1	—	保留位	读写值都为“0”。	R/W
b4	FIXPHY0	USB0 收发器输出固定	0: 正常运行时和从深度软件待机返回时 1: 转移到深度软件待机时	R/W
b7-b5	—	保留位	读写值都为“0”。	R/W
b8	SRPC1	USB1 单端接收器控制	0: DP/DM 的输入为禁止状态 1: DP/DM 的输入为允许状态	R/W
b11-b9	—	保留位	读写值都为“0”。	R/W
b12	FIXPHY1	USB1 收发器输出固定	0: 正常运行时和从深度软件待机返回时 1: 转移到深度软件待机时	R/W
b15-b13	—	保留位	读写值都为“0”。	R/W
b16	DP0	USB0 的 DP 输入	表示 USB 端口 0 侧的 DP 输入信号。	R
b17	DM0	USB0 的 DM 输入	表示 USB 端口 0 侧的 DM 输入信号。	R
b19-b18	—	保留位	读写值都为“0”。	R/W
b20	DOVCA0	USB0 的 OVRCURA 输入	表示 USB 端口 0 侧的 OVRCURA 输入信号。	R
b21	DOVCB0	USB0 的 OVRCURB 输入	表示 USB 端口 0 侧的 OVRCURB 输入信号。	R
b22	—	保留位	读写值都为“0”。	R/W
b23	DVBSTS0	USB0 的 VBUS 输入	表示 USB 端口 0 侧的 VBUS 输入。	R
b24	DP1	USB1 的 DP 输入	表示 USB 端口 1 侧的 DP 输入信号。	R
b25	DM1	USB1 的 DM 输入	表示 USB 端口 1 侧的 DM 输入信号。	R
b27-b26	—	保留位	读写值都为“0”。	R/W
b28	DOVCA1	USB1 的 OVRCURA 输入	表示 USB 端口 1 侧的 OVRCURA 输入信号。	R
b29	DOVCB1	USB1 的 OVRCURB 输入	表示 USB 端口 1 侧的 OVRCURB 输入信号。	R
b30	—	保留位	读写值都为“0”。	R/W
b31	DVBSTS1	USB1 的 VBUS 输入	表示 USB 端口 1 侧的 VBUS 输入信号。	R

DPUSR0R 寄存器是控制 USB 内部收发器的数据以及监视 USB 引脚的寄存器。

SRPCn 位 (USBn 单端接收器控制位) (n=0、1)

此位控制 USB 端口 n 侧收发器的 DP/DM 输入。
当 FIXPHYn 位为“1”时，此位有效。

FIXPHYn 位 (USBn PHY 输出固定位) (n=0、1)

此位固定 USB 端口 n 侧收发器的输出。

28.2.37 深度待机 USB 的挂起 / 恢复中断寄存器 (DPUSR1R)

地址 000A 0404h

	b31	b30	b29	b28	b27	b26	b25	b24
	DVBINT1	—	DOVRCRB1	DOVRCRA1	—	—	DMINT1	DPINT1
复位后的值	0	0	0	0	0	0	0	0
	b23	b22	b21	b20	b19	b18	b17	b16
	DVBINT0	—	DOVRCRB0	DOVRCRA0	—	—	DMINT0	DPINT0
复位后的值	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8
	DVBSE1	—	DOVRCRBE1	DOVRCRAE1	—	—	DMINTE1	DPINTE1
复位后的值	0	0	0	0	0	0	0	0
	b7	b6	b5	b4	b3	b2	b1	b0
	DVBSE0	—	DOVRCRBE0	DOVRCRAE0	—	—	DMINTE0	DPINTE0
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	DPINTE0	USB0 的 DP 中断允许 / 清除位	0: 禁止从深度软件待机返回 1: 允许从深度软件待机返回	R/W
b1	DMINTE0	USB0 的 DM 中断允许 / 清除位	0: 禁止从深度软件待机返回 1: 允许从深度软件待机返回	R/W
b3-b2	—	保留位	读写值都为“0”。	R/W
b4	DOVRCRAE0	USB0 的 OVRCURA 中断允许 / 清除位	0: 禁止从深度软件待机返回 1: 允许从深度软件待机返回	R/W
b5	DOVRCRBE0	USB0 的 OVRCURB 中断允许 / 清除位	0: 禁止从深度软件待机返回 1: 允许从深度软件待机返回	R/W
b6	—	保留位	读写值都为“0”。	R/W
b7	DVBSE0	USB0 的 VBUS 中断允许 / 清除位	0: 禁止从深度软件待机返回 1: 允许从深度软件待机返回	R/W
b8	DPINTE1	USB1 的 DP 中断允许 / 清除位	0: 禁止从深度软件待机返回 1: 允许从深度软件待机返回	R/W
b9	DMINTE1	USB1 的 DM 中断允许 / 清除位	0: 禁止从深度软件待机返回 1: 允许从深度软件待机返回	R/W
b11-b10	—	保留位	读写值都为“0”。	R/W
b12	DOVRCRAE1	USB1 的 OVRCURA 中断允许 / 清除位	0: 禁止从深度软件待机返回 1: 允许从深度软件待机返回	R/W
b13	DOVRCRBE1	USB1 的 OVRCURB 中断允许 / 清除位	0: 禁止从深度软件待机返回 1: 允许从深度软件待机返回	R/W
b14	—	保留位	读写值都为“0”。	R/W
b15	DVBSE1	USB1 的 VBUS 中断允许 / 清除位	0: 禁止从深度软件待机返回 1: 允许从深度软件待机返回	R/W

位	符号	位名	功能	R/W
b16	DPINT0	通过 USB0 的 DP 中断源的返回表示位	0: 未从深度软件待机返回 1: 从深度软件待机返回	R
b17	DMINT0	通过 USB0 的 DM 中断源的返回表示位	0: 未从深度软件待机返回 1: 从深度软件待机返回	R
b19-18	—	保留位	读写值都为“0”。	R/W
b20	OVRCAINT0	通过 USB0 的 OVRCA 中断源的返回表示位	0: 未从深度软件待机返回 1: 从深度软件待机返回	R
b21	OVRCURBINT0	通过 USB0 的 OVRCURB 中断源的返回表示位	0: 未从深度软件待机返回 1: 从深度软件待机返回	R
b22	—	保留位	读写值都为“0”。	R/W
b23	DVBINT0	通过 USB0 的 VBUS 中断源的返回表示位	0: 未从深度软件待机返回 1: 从深度软件待机返回	R
b24	DPINT1	通过 USB1 的 DP 中断源的返回表示位	0: 未从深度软件待机返回 1: 从深度软件待机返回	R
b25	DMINT1	通过 USB1 的 DM 中断源的返回表示位	0: 未从深度软件待机返回 1: 从深度软件待机返回	R
b27-b26	—	保留位	读写值都为“0”。	R/W
b28	DOVCRA1	通过 USB1 的 OVRCA 中断源的返回表示位	0: 未从深度软件待机返回 1: 从深度软件待机返回	R
b29	DOVCRB1	通过 USB1 的 OVRCURB 中断源的返回表示位	0: 未从深度软件待机返回 1: 从深度软件待机返回	R
b30	—	保留位	读写值都为“0”。	R/W
b31	DVBINT1	通过 USB1 的 VBUS 中断源的返回表示位	0: 未从深度软件待机返回 1: 从深度软件待机返回	R

DPUSR1R 寄存器是用于通过 USB 的挂起 / 恢复中断从深度软件待机状态返回的控制寄存器，设定允许返回中断源以及表示和清除返回中断源。

DPINTEn 位 (USBn DP 中断允许 / 清除位) (n=0、1)

此位允许或者禁止通过 USB 端口 n 侧的 DP 输入从深度软件待机返回。
通过在 DPINTn 位为“1”时给 DPINTEn 位写“0”，将 DPINTn 位置“0”。

DMINTEn 位 (USBn DM 中断允许 / 清除位) (n=0、1)

此位允许或者禁止通过 USB 端口 n 侧的 DM 输入从深度软件待机返回。
通过在 DMINTn 位为“1”时给 DMINTEn 位写“0”，将 DMINTn 位置“0”。

DOVCRAEn 位 (USBn OVRCA 中断允许 / 清除位) (n=0、1)

此位允许或者禁止通过 USB 端口 n 侧的 OVRCA 输入从深度软件待机返回。
通过在 DOVCRAn 位为“1”时给 DOVCRAEn 位写“0”，将 DOVCRAn 位置“0”。

DOVCRBEn 位 (USBn OVRCURB 中断允许 / 清除位) (n=0、1)

此位允许或者禁止通过 USB 端口 n 侧的 OVRCURB 输入从深度软件待机返回。
通过在 DOVCRBn 位为“1”时给 DOVCRBEn 位写“0”，将 DOVCRBn 位置“0”。

DVBSEn (USBn VBUS 中断允许 / 清除位) (n=0、1)

此位允许或者禁止通过 USB 端口 n 侧的 VBUS 输入从深度软件待机返回。
通过在 DVBINTn 位为“1”时给 DVBSEn 写“0”，将 DVBINTn 位置“0”。

DPINTn 位 (通过 USBn 的 DP 中断源的返回表示位) (n=0、1)

此位表示通过 USB 端口 n 侧 DP 输入中断源从深度软件待机返回。只有在 DPINTEn 位为“1”时，才能通过 USB 端口 n 侧的 DP 输入中断源从深度软件待机返回。
通过在 DPINTn 位为“1”时给 DPINTEn 位写“0”，将此位清 0。

DMINTn 位 (通过 USBn 的 DM 中断源的返回表示位) (n=0、1)

此位表示通过 USB 端口 n 侧的 DM 输入中断源从深度软件待机返回。只有在 DMINTEn 位为“1”时，才能通过 USB 端口 n 侧的 DM 输入中断源从深度软件待机返回。
通过在 DMINTn 位为“1”时给 DMINTEn 位写“0”，将此位清 0。

DOVRCRA n 位 (通过 USBn 的 OVRCURA 中断源的返回表示位) (n=0、1)

此位表示通过 USB 端口 n 侧的 OVRCURA 输入中断源从深度软件待机返回。只有在 DOVRCRAEn 位为“1”时，才能通过 USB 端口 n 侧的 OVRCURA 输入中断源从深度软件待机返回。
通过在 DOVRCRA n 位为“1”时给 DOVRCRAEn 位写“0”，将此位置“0”。

DOVRCRB n 位 (通过 USBn 的 OVRCURB 中断源的返回表示位) (n=0、1)

此位表示通过 USB 端口 n 侧的 OVRCURB 输入中断源从深度软件待机返回。只有在 DOVRCRBE n 位为“1”时，才能通过 USB 端口 n 侧的 OVRCURB 输入中断源从深度软件待机返回。
通过在 DOVRCRB n 位为“1”时给 DOVRCRBE n 位写“0”，将此位置“0”。

DVBINTn 位 (通过 USBn VBUS 中断源的返回表示位) (n=0、1)

此位表示通过 USB 端口 n 侧的 VBUS 输入中断源从深度软件待机返回。只有在 DVBSEn 位为“1”时，才能通过 USB 端口 n 侧的 VBUS 输入中断源从深度软件待机返回。
通过在 DVBINTn 位为“1”时给 DVBSEn 位写“0”，将此位置“0”。

28.3 运行说明

28.3.1 系统控制

本节说明 USB 模块的初始设定所需的寄存器的设定以及功耗控制所需的寄存器。

28.3.1.1 运行开始

在开始给 USB 模块提供时钟 (SYSCFG.SCKE=1) 的状态下，通过将 SYSCFG.USBE 位置“1”，允许运行并且开始 USB 模块运行。

28.3.1.2 控制器功能的选择设定

USB 模块能选择主机控制器功能或者功能控制器功能。通过 SYSCFG.DCFM 位选择控制器功能。但是，必须在上电复位后的初始设定或者禁止 D+ 上拉 (DPRPU=0) 和 D+/D- 下拉 (DRPD=0) 的状态下进行 DCFM 位的设定。

28.3.1.3 USB 外部连接电路的例子

自供电时的 USB 连接器的 OTG 连接例子 (USB0) 如图 28.2 所示。

USB 模块控制 D+ 信号的上拉电阻以及 D+/D- 信号的下拉电阻的允许信号。必须通过设定 SYSCFG.DPRPU 位和 SYSCFG.DRPD 位, 设定各信号的上拉和下拉。

当选择功能控制器功能并且在和主机控制器进行通信过程中将 SYSCFG.DPRPU 位置“0”时, 因为禁止 USB 数据线路的上拉电阻, 所以能将设备的断开通知 USB 主机。

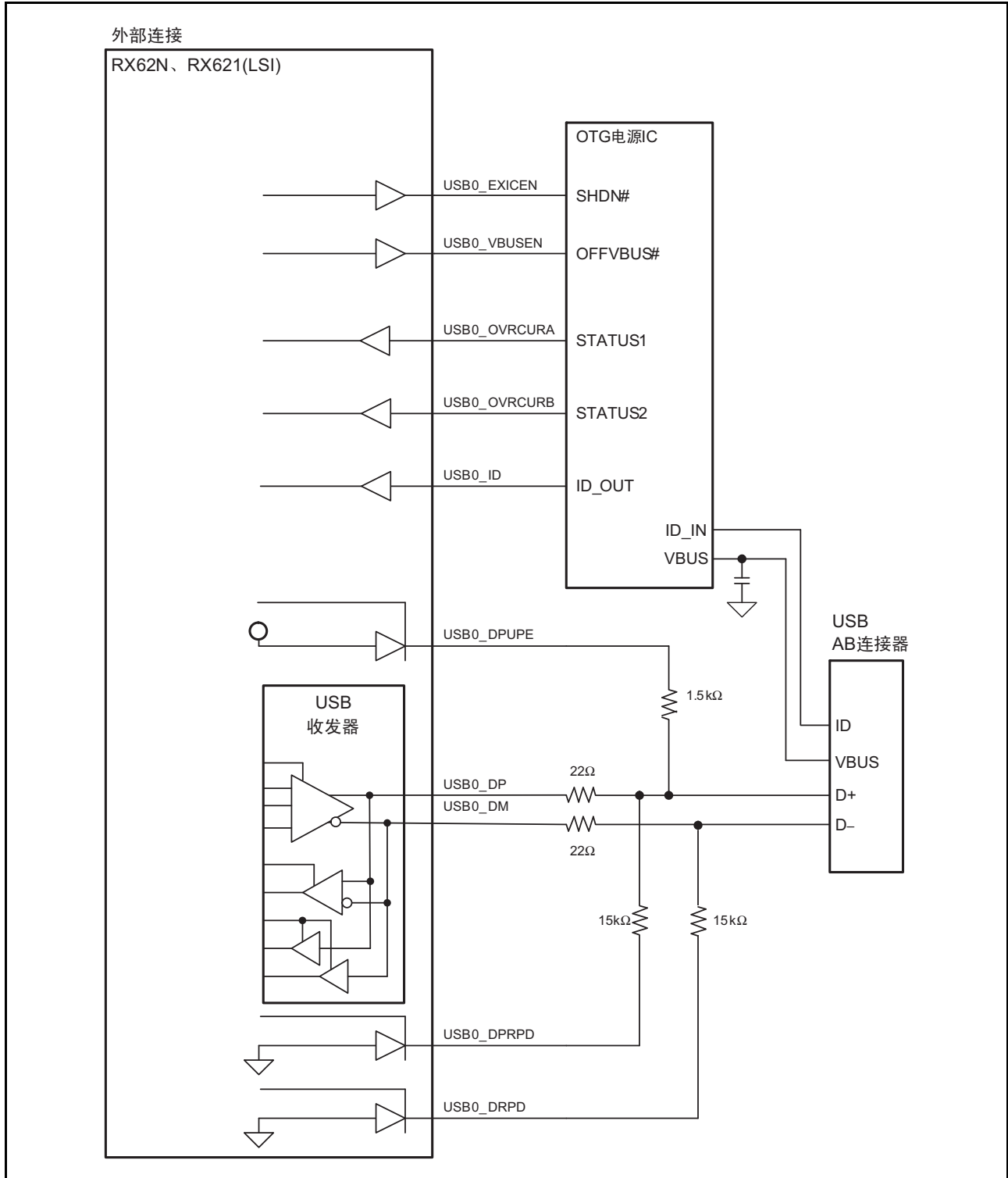


图 28.2 自供电时的 USB 连接器的 OTG 连接例子 (USB0)

自供电时的 USB 连接器的功能连接例子 (USB0) 如图 28.3 所示。

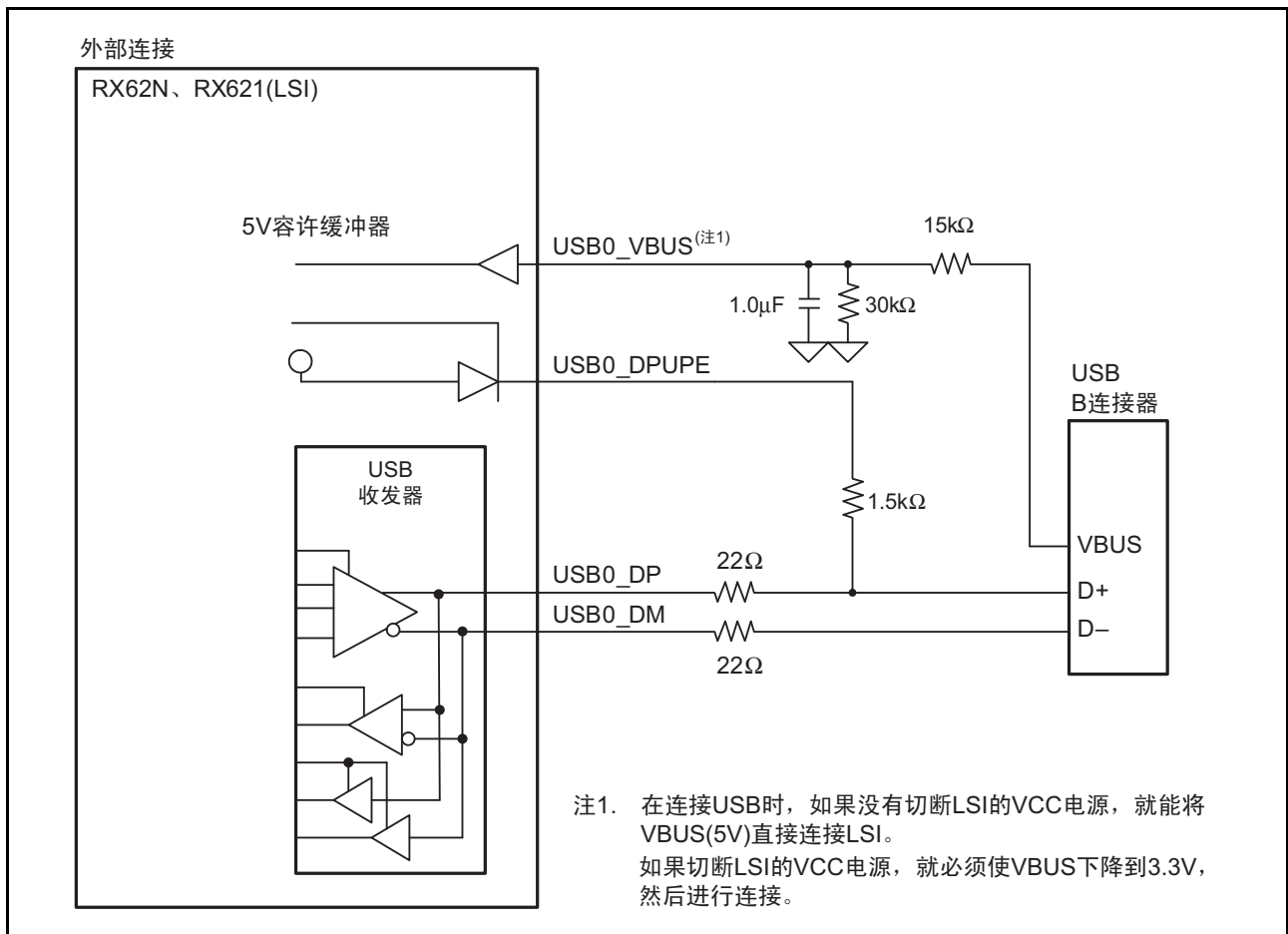


图 28.3 自供电时的 USB 连接器的功能连接例子 (USB0)

USB 连接器的主机连接例子 (USB0) 如图 28.4 所示。

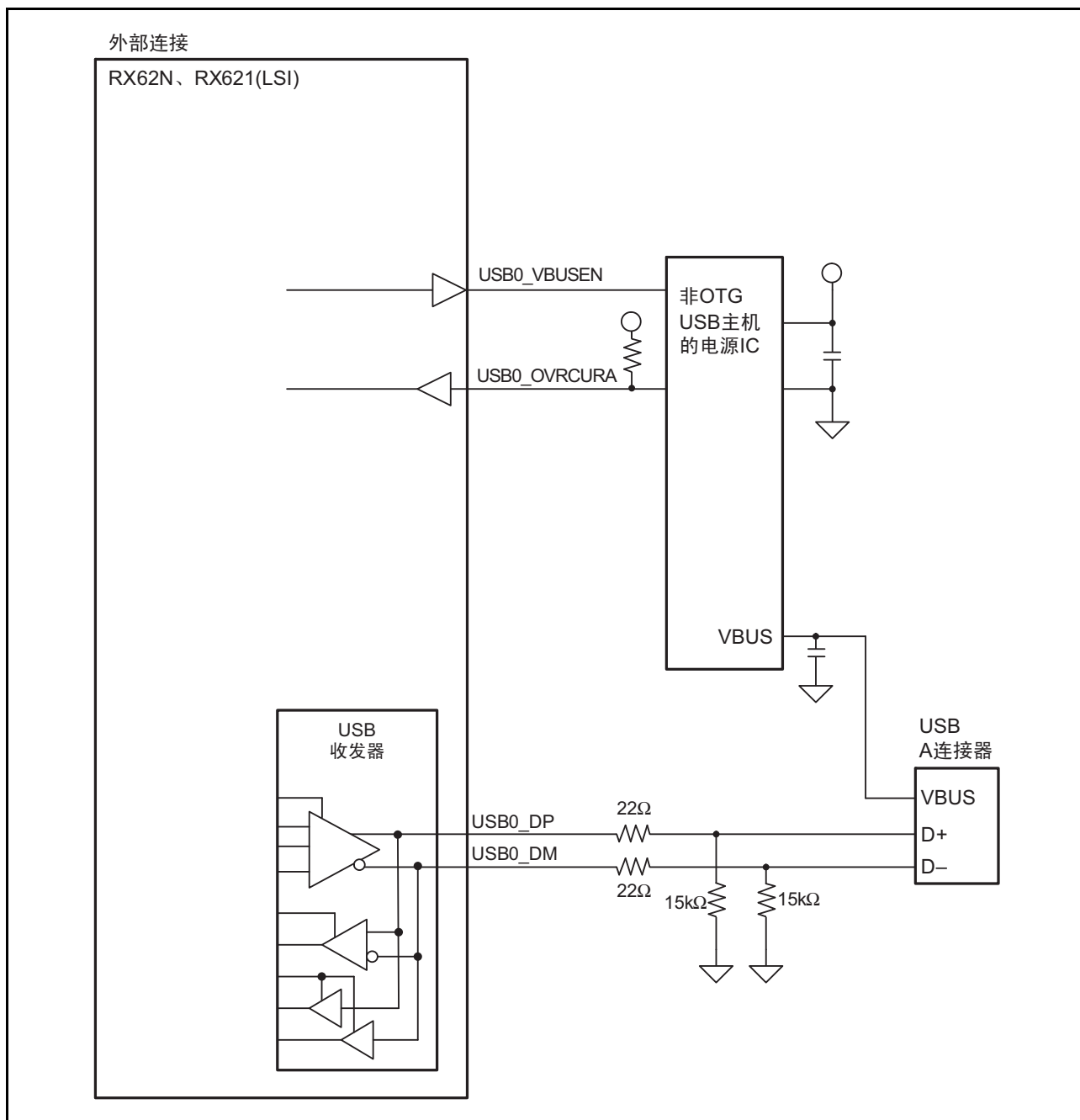


图 28.4 USB 连接器的主机连接例子 (USB0)

总线供电时的 USB 连接器的功能连接例子 (USB0) 如图 28.5 所示。

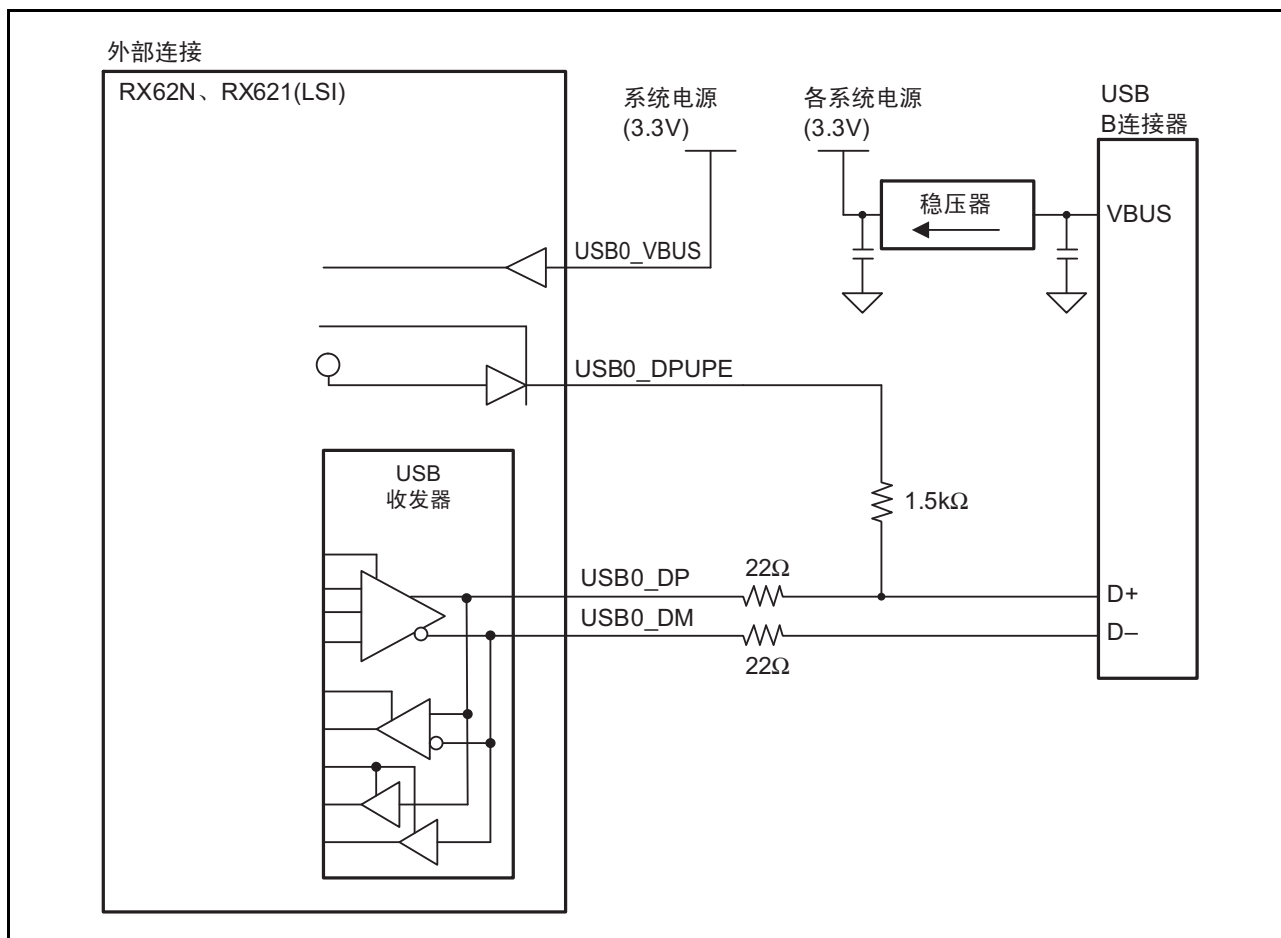


图 28.5 总线供电时的 USB 连接器的功能连接例子 (USB0)

本章节记载的各外部电路例子为概要电路，不保证所有系统中的运行。

28.3.1.4 通过 USB 挂起 / 恢复中断进行深度软件待机模式的解除

能通过 USB 的挂起 / 恢复中断来解除深度软件待机模式。

通过 USB 恢复检测部检测 USB 的挂起 / 恢复中断。USB 恢复检测部控制并且监视 USB0 和 USB1 的输入 / 输出引脚以及检测挂起 / 恢复中断。

USB 恢复检测部和 USB0、USB1 的输入 / 输出引脚的连接概要图如图 28.6 所示。

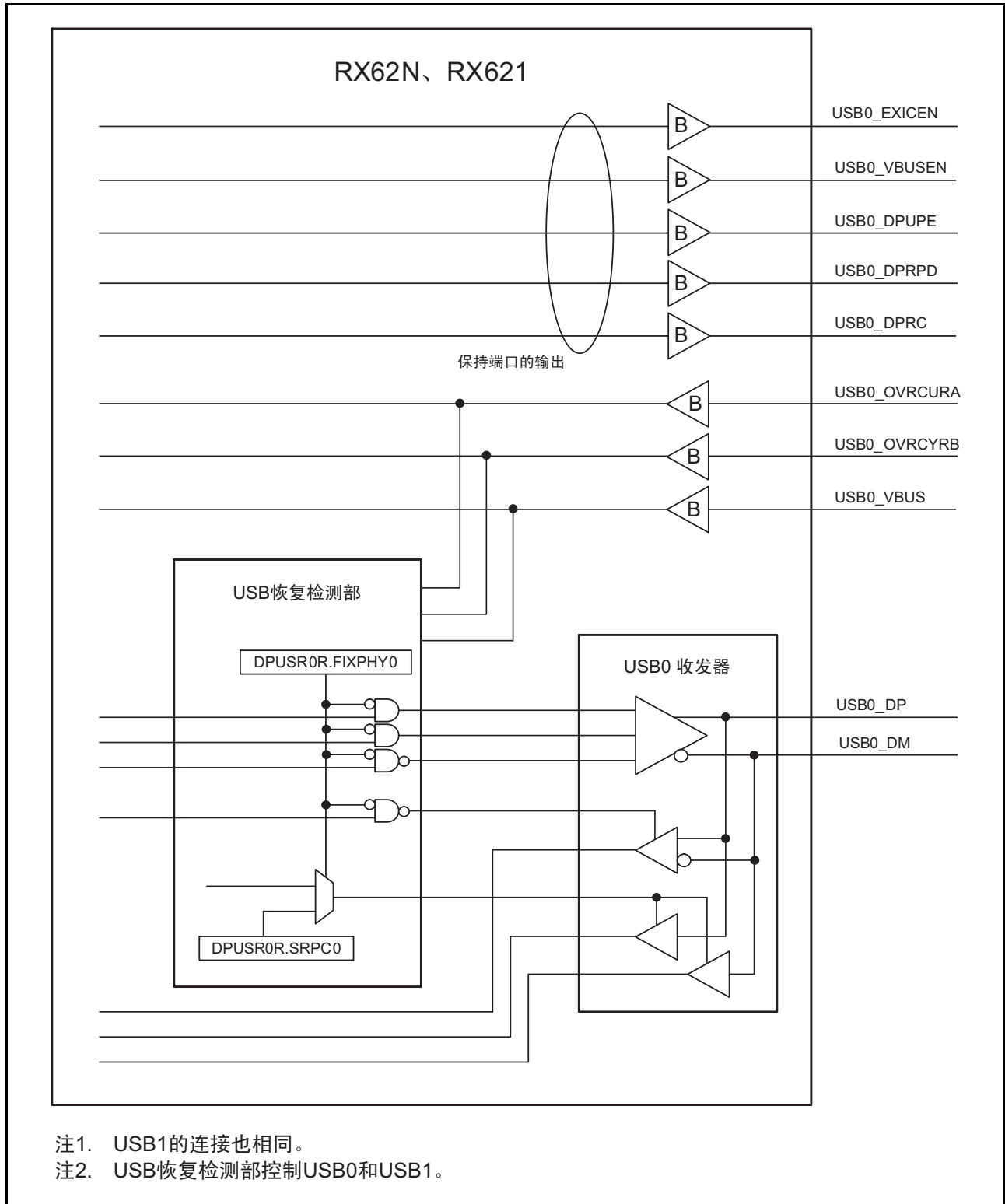


图 28.6 USB 恢复检测部和 USB0、USB1 的输入 / 输出引脚的连接概要图

USB 的挂起 / 恢复中断源和输入 / 输出引脚的对应如表 28.14 所示。

表 28.14 USB 的挂起 / 恢复中断源和输入 / 输出引脚的对应

USB 运行模式	中断源	引脚名
Function/OTG	恢复	USB0_DP/USB1_DP
Host/OTG	连接 / 断开	USB0_DP/USB0_DM USB1_DP/USB1_DM
Function	连接 / 断开	USB0_VBUS/USB1_VBUS
Host	过电流检测	USB0_OVRCURA/USB1_OVRCURA
OTG	过电流检测	USB0_OVRCURA/USB0_OVRCURB USB1_OVRCURA/USB1_OVRCURB

在通过 USB 的挂起 / 恢复中断来解除深度软件待机模式时，需要设定 DPSBYCR.IOKEEP 位并且保持 I/O 端口的输出。

HOST/Function 的深度软件待机转移时的 USB 设定流程如图 28.7 所示，HOST 的深度软件待机解除时的 USB 设定流程如图 28.8 所示，Function 的深度软件待机解除时的 USB 设定流程如图 28.9 所示。

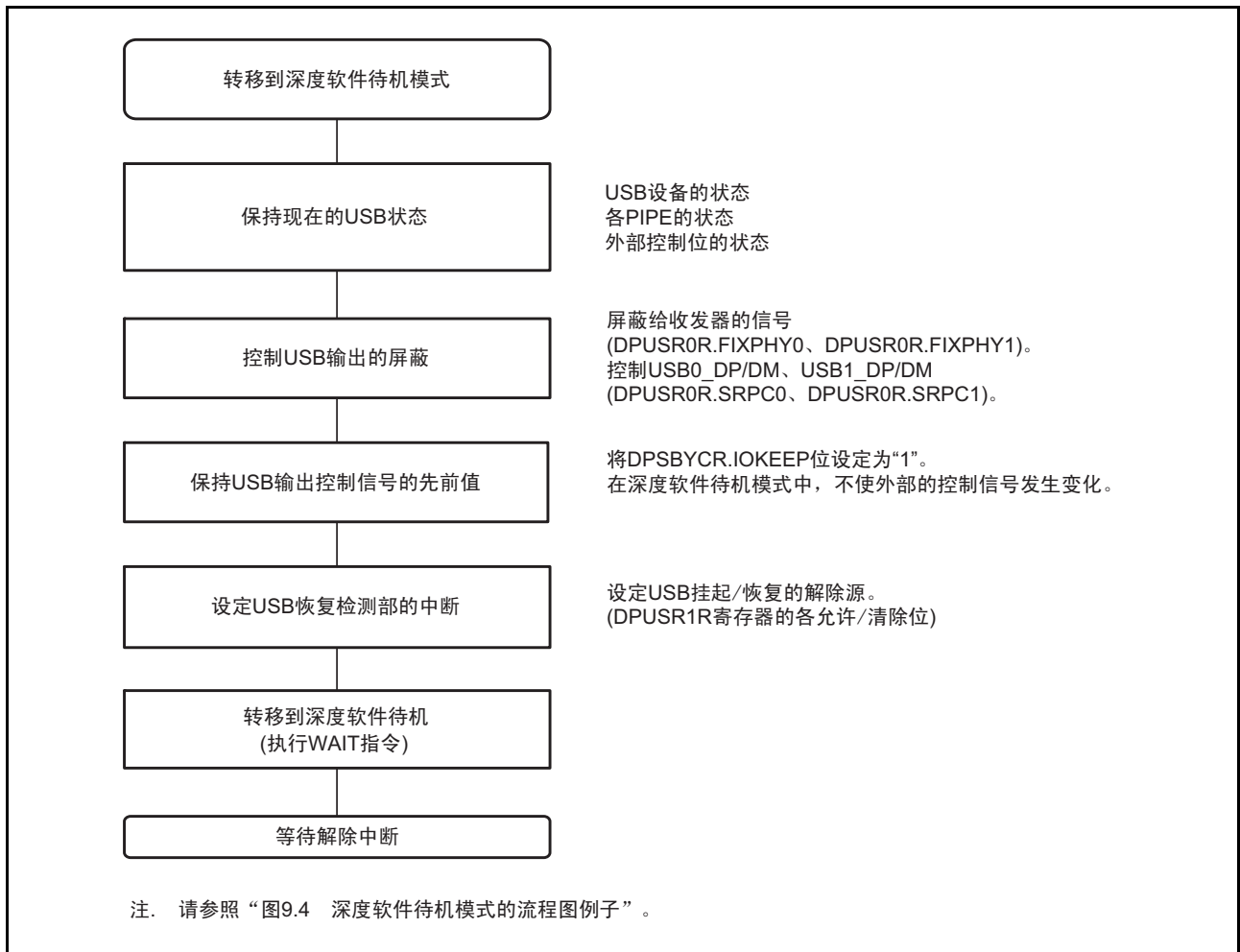


图 28.7 HOST/Function 的深度软件待机转移时的 USB 设定流程

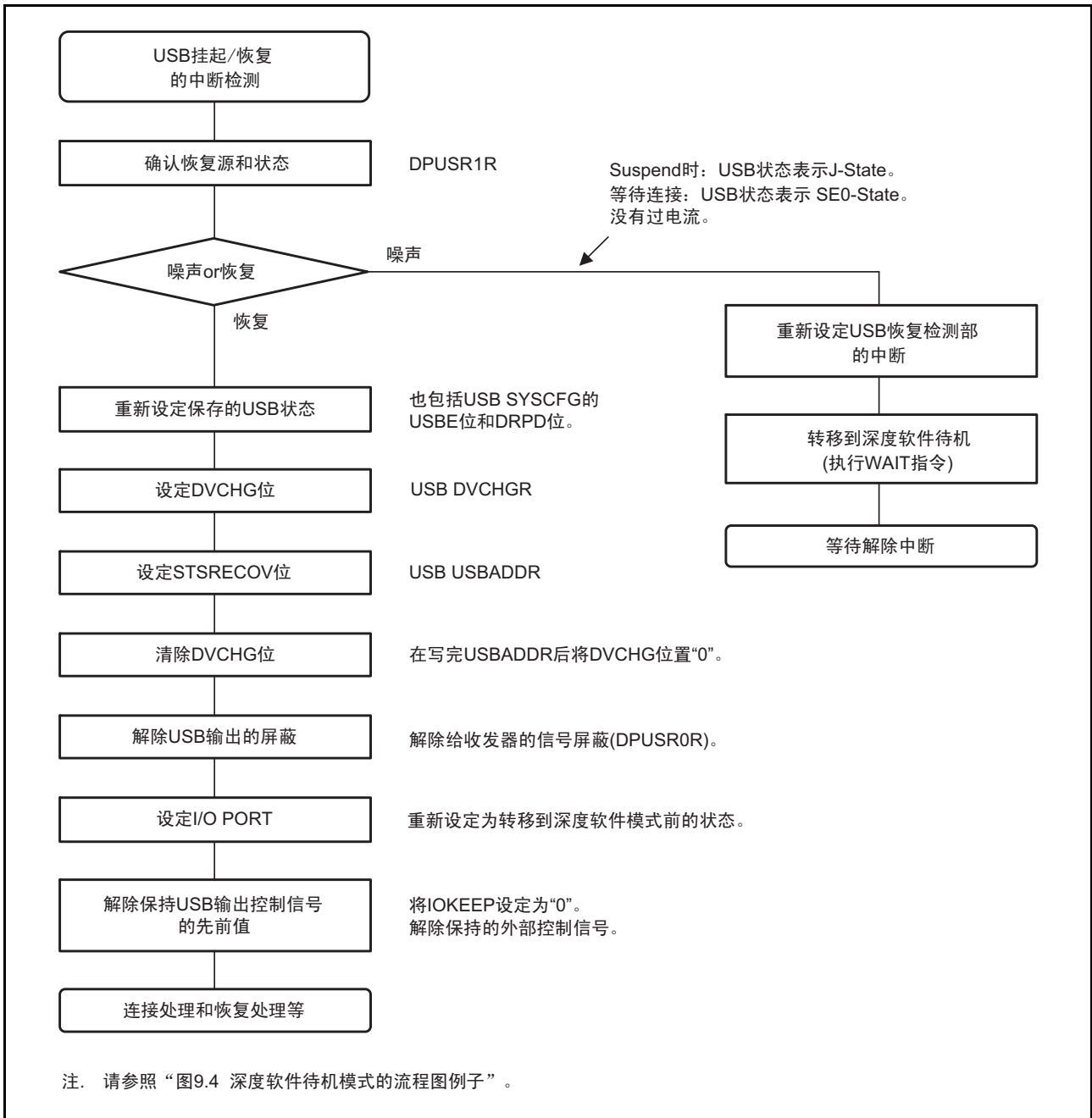


图 28.8 HOST 的深度软件待机解除时的 USB 设定流程

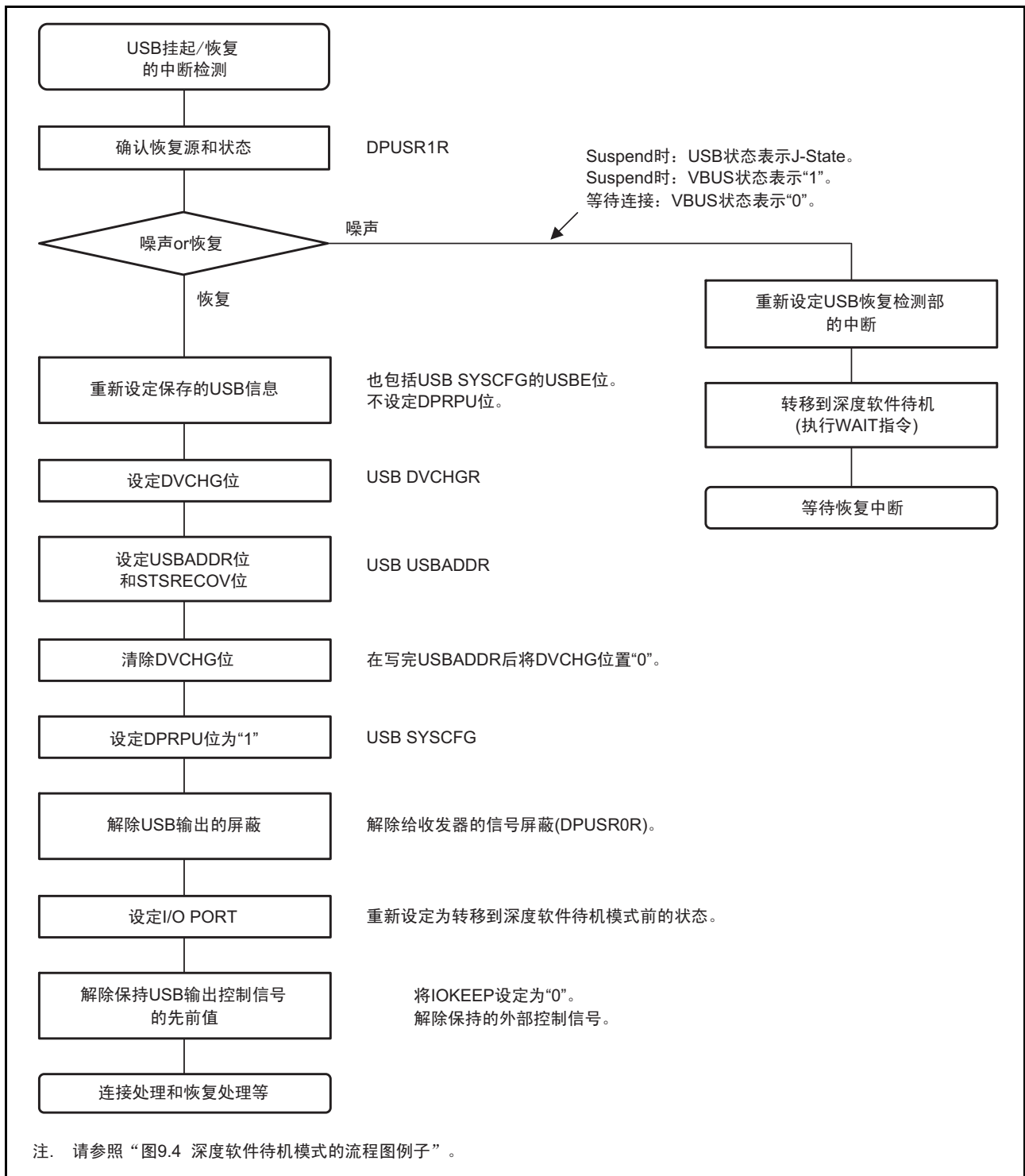


图 28.9 Function 的深度软件待机解除时的 USB 设定流程

28.3.2 中断源

USB 模块的中断源一览表如表 28.15 所示。

在这些中断发生条件成立并且通过对应的中断允许寄存器设定为允许中断输出时，USB 向中断控制器 (ICU) 发行 USB 中断请求并且产生 USB 中断。

表 28.15 中断源一览表

设定的位	名称	中断源	产生的功能	状态标志
VBINT	VBUS 中断	<ul style="list-style-type: none"> 检测到 USBm_VBUS 输入引脚的状态变化时 (Low 电平 → High 电平、或者 High 电平 → Low 电平) 	主机 / 功能 (注 1)	VBSTS
RESM	恢复中断	<ul style="list-style-type: none"> 在挂起状态下检测到 USB 总线的状态变化时 (J-State → K-State 或者 J-State → SE0) 	功能	—
SOFR	帧号更新中断	<ul style="list-style-type: none"> [在选择主机控制器功能时] 发送帧号不同的 SOF 包时 [在选择功能控制器功能时] 接收帧号不同的 SOF 包时 	主机 / 功能	—
DVST	设备状态转移中断	<ul style="list-style-type: none"> 检测到设备状态的转移时 (以下) USB 总线复位检测 挂起状态检测 SET_ADDRESS 请求的接收 SET_CONFIGURATION 请求的接收 	功能	DVSQ
CTRT	控制传送阶段转移中断	<ul style="list-style-type: none"> 检测到控制传送的阶段转移时 (以下) 设置阶段结束 控制写传送的状态阶段转移 控制读传送的状态阶段转移 控制传送结束 控制传送顺序错误的发生 	功能	CTSQ
BEMP	缓冲器空中断	<ul style="list-style-type: none"> 在发送缓冲存储器中的全部数据后缓冲器变空时 接收到超过最大信息包长度的信息包时 	主机 / 功能	BEMPSTS. PIPEBEMP
NRDY	缓冲器未就绪中断	<ul style="list-style-type: none"> [在选择主机控制器功能时] 对于发行的权标，接收到外围设备侧的 STALL 时 对于发行的权标，无法正常接收外围设备侧的应答时 (连续 3 次无应答或者连续 3 次发生信息包接收错误) 等时传送过程中发生超限 / 欠载时 [在选择功能控制器功能时] 在将 PID 位设定为 BUF 的情况下对 IN 权标 / OUT 权标进行 NAK 应答时 在等时传送的数据接收过程中发生 CRC 错误和位填充错误时 在等时传送的数据接收过程中发生超限 / 欠载时 	主机 / 功能	NRDYSTS. PIPENRDY
BRDY	缓冲器就绪中断	<ul style="list-style-type: none"> 缓冲器就绪 (可读或者可写的状态) 时 	主机 / 功能	BRDYSTS. PIPEBRDY
OCRCR	过电流变化中断	<ul style="list-style-type: none"> 检测到 USBm_OVRCURA 和 USBm_OVRCURB 输入引脚的状态变化时 (Low 电平 → High 电平、或者 High 电平 → Low 电平) 	主机	OVCMON
BCHG	总线变化中断	<ul style="list-style-type: none"> 检测到 USB 总线状态的变化时 	主机 / 功能	SYSSTS0 LNST
DTCH	全速运行时断开检测	<ul style="list-style-type: none"> 检测到全速运行过程中外围设备断开时 	主机	DCSTCTR0 RHST

表 28.15 中断源一览表

设定的位	名称	中断源	产生的功能	状态标志
ATTCH	设备连接检测	• 检测到 USB 总线状态为连续 2.5μs 的 J-STATE、或者连续 2.5μs 的 K-STATE 时。能用于外围设备连接的检测。	主机	—
EOFERR	EOF 错误检测	• 检测到外围设备的 EOF 错误时	主机	—
SACK	SETUP 正常	• 接收到设置事务的正常应答 (ACK) 时	主机	—
SIGN	SETUP 错误	• 连续 3 次检测到设置事务的错误 (无应答或者 ACK 包破损) 时	主机	—

注. 没有标明寄存器名的位的寄存器全部为 INTSTS0 寄存器。

注 1. 在使用主机功能时也产生此中断，但是通常在使用主机功能时不使用此中断。

USBm 的中断相关图如图 28.10 所示。

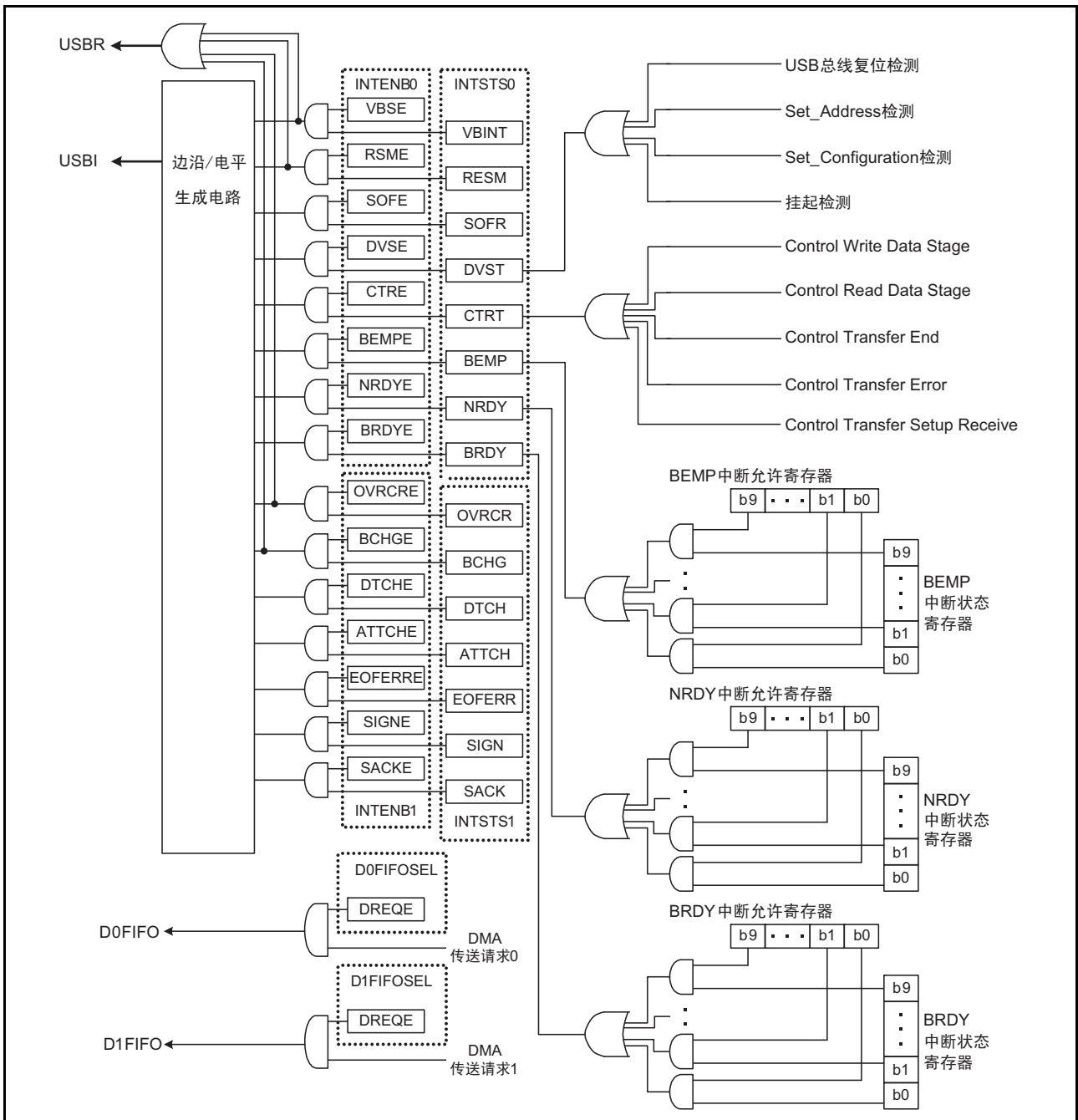


图 28.10 中断的相关图

USBm 的中断一览表如表 28.16 所示 (m=0、1)

表 28.16 USBm 的中断一览表

中断名称	中断标志	DTC 的启动	DMACA 的启动	优先级
D0FIFO	DMA 传送请求 0	能	能	高
D1FIFO	DMA 传送请求 1	能	能	↑ 低
USBI	VBUS 中断、恢复中断、帧号更新中断、设备状态转移中断、控制传送阶段转移中断、缓冲器空中断、缓冲器未就绪中断、缓冲器就绪中断、过电流变化中断、总线变化中断、全速运行时的断开检测、设备连接检测、EOF 错误检测、SETUP 正常、SETUP 错误	不能	不能	
USBR (注 1)	VBUS 中断、恢复中断、过电流变化中断、总线变化中断	不能	不能	—

注 1. 全模块时钟停止模式和软件待机模式可以解除。

28.3.3 中断说明

28.3.3.1 BRDY 中断

在选择主机控制器或者功能控制器的功能时，都产生 BRDY 中断。当各管道满足下述的条件时，USB 模块将 BRDYSTS 寄存器的对应位置“1”。此时，如果通过软件将相应管道对应的 BRDYENB 寄存器的 PIPEBRDYE 位置“1”并且将 INTENB0 寄存器的 BRDYE 位置“1”，USB 模块就产生 BRDY 中断。

BRDY 中断的产生条件和清除方法因 BRDYM 位和各管道的 BFRE 位的设定而不同。

(1) 当 BRDYM 位为“0”并且 BFRE 位为“0”时

在此设定的情况下，BRDY 中断是表示能存取 FIFO 端口的中断。

在满足以下所示条件时，USB 模块产生内部 BRDY 中断请求的触发并且将产生请求触发的管道所对应的 PIPEBRDY 位置“1”。

【设定为发送方向的管道的情况】

- 通过软件将 DIR 位从“0”改为“1”时
- USB 模块在 CPU 不能写分配给该管道的 FIFO 缓冲器的状态下（BSTS 位的读取值为“0”时）发送完该管道的信息包时
- 在将 FIFO 缓冲器设定为双缓冲器的情况下写完一个 FIFO 缓冲器而另一个 FIFO 缓冲器为空时
- 即使在写 FIFO 缓冲器的过程中另一个缓冲器发送结束，也不在写完当前正在写的缓冲器面的数据前产生请求触发。
- 在传送类型为等时传送的管道通过硬件刷新缓冲器时
- 通过给 ACLRM 位写“1”使 FIFO 缓冲器从写禁止状态变为可写状态时

对于 DCP（即，控制传送时的数据发送），不产生请求触发。

【设定为接收方向的管道的情况】

- 在 CPU 不能读分配给该管道的 FIFO 缓冲器的状态下（BSTS 位的读取值为 0 时），信息包的接收正常结束并且 FIFO 缓冲器变为可读状态时
对于数据 PID 不同的事务，不产生请求触发。
- 在 FIFO 缓冲器为双缓冲器的情况下读完一个 FIFO 缓冲器而另一个 FIFO 缓冲器变为可读状态时
即使在读过程中另一个缓冲器接收结束，也不在读完当前正在读的缓冲器面的数据前产生请求触发。

在选择功能控制器功能时的控制传送状态阶段通信过程中不产生 BRDY 中断。

能通过软件将相应管道对应的 BRDYSTS 寄存器的 PIPEBRDY 位置“0”，清除该管道的 PIPEBRDY 中断状态。此时，必须给其他管道的对应位写“1”。

必须在存取 FIFO 缓冲器前清除此中断状态。

(2) 当 BRDYM 位为“0”并且 BFRE 位为“1”时

在此设定的情况下，USB 模块在对接收管道读完一次传送的全部数据时判断为发生了 BRDY 中断，并且将 BRDYSTS 寄存器的相应管道的对应位置“1”。

在以下任意一种情况下，USB 模块判断为接收到一次传送的最后数据。

- 接收到包括 Zero-Length 包的短包时
- 使用事务计数器（TRNCNT 位）并且接收到 TRNCNT 位设定数量的信息包时

如果在满足上述判断条件后读完此数据，USB 模块就判断为读完一次传送的全部数据。

如果在 FIFO 缓冲器为空的状态下接收到 Zero-Length 包，就在将 Zero-Length 包的数据交给 CPU 时，USB 模块判断为读完一次传送的全部数据。此时，为了开始下一次传送，必须通过软件给对应的 FIFOCTR 寄存器的 BCLR 位写“1”。

在此设定的情况下，对于发送管道，USB 模块不检测 BRDY 中断。

能通过软件给相应管道对应的 PIPEBRDY 位写“0”，清除该管道的 PIPEBRDY 中断状态。此时，必须给其它管道的对应位写“1”。

在使用此模式时，不能在 1 个传送的数据处理结束前更改 BFRE 位的设定值。

如果要在处理过程中更改 BFRE 位，就必须通过 ACLRM 位清除全部对应管道的 FIFO 缓冲器。

BRDY 中断发生时序图如图 28.11 所示。

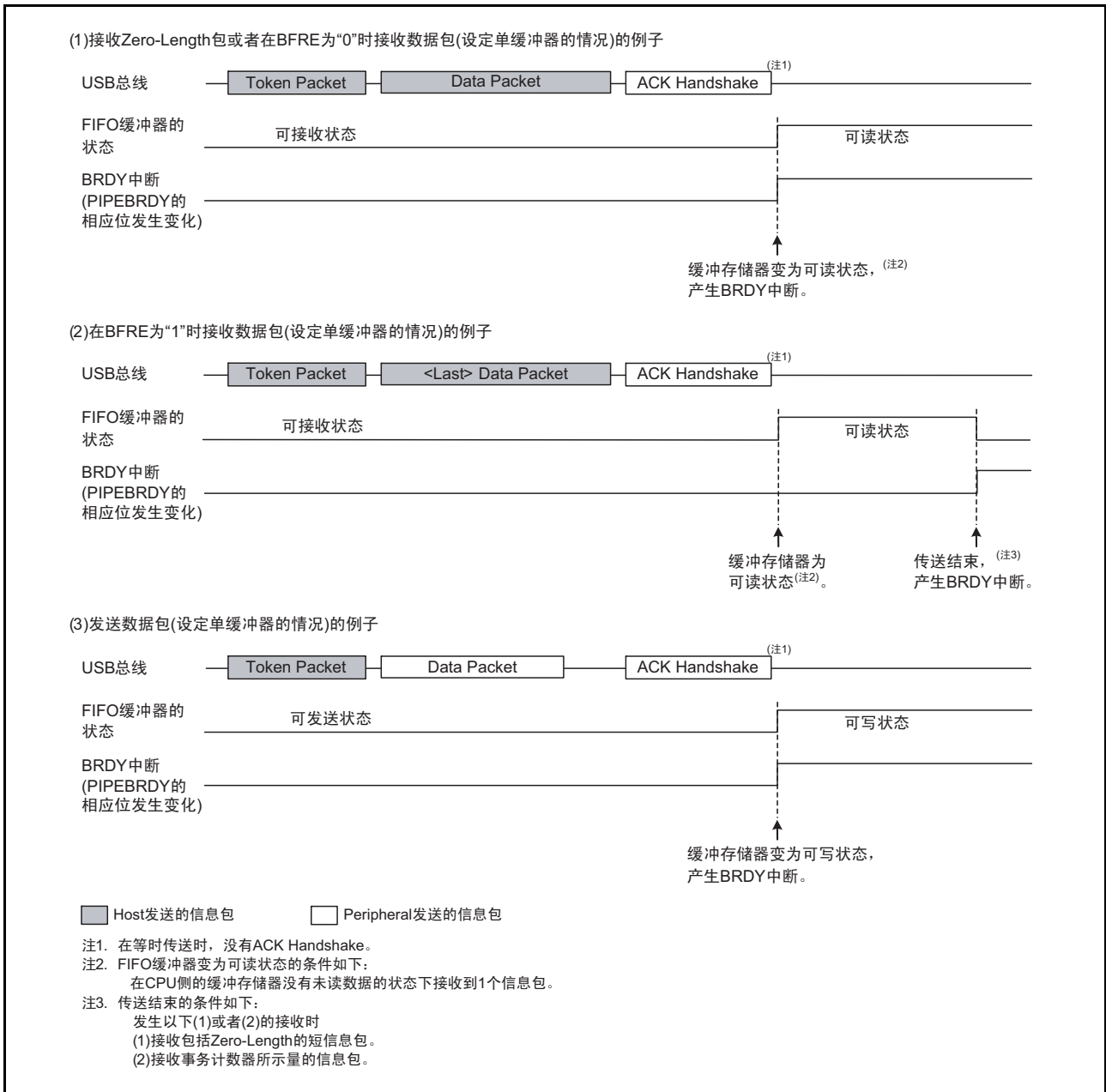


图 28.11 BRDY 中断发生时序图

USB 模块清除 INTSTS0 寄存器的 BRDY 位的条件因 SOFCFG.BRDYM 位的设定值而不同，BRDY 位的清除条件如表 28.17 所示。

表 28.17 BRDY 位的清除条件

BRDYM	BRDY 位的清除条件
0	如果通过软件将 BRDYSTS 寄存器的全部位置“0”，USB 模块就将 INTSTS0 寄存器的 BRDY 位置“0”。
1	当全部管道的 BSTS 位为“0”时，USB 模块将 INTSTS0 寄存器的 BRDY 位置“0”。

28.3.3.2 NRDY 中断

对于通过软件将 PID 位设定为 BUF 的管道，如果 USB 模块发生内部 NRDY 中断请求，USB 模块就将 NRDYSTS.PIPENRDY 位的对应位置“1”。此时，如果已通过软件将 NRDYENB 寄存器的对应位置“1”，USB 模块就将 INTSTS0 寄存器的 NRDY 位置“1”并且产生 USB 中断。

对于某个管道，USB 模块产生内部 NRDY 中断请求的条件如下所示。

但是，以下的中断产生条件不适合于选择主机控制器功能时 SETUP 事务的执行。在选择主机控制器功能时的 SETUP 事务中，检测 SACK 中断或者 SIGN 中断。

在选择功能控制器功能时的控制传送状态阶段执行过程中不产生中断请求。

(1) 当选择主机控制器功能时

- 发送方向管道的情况

在满足以下任意条件时，USB 模块检测 NRDY 中断。

- 对于传送类型为等时传送的管道，在 FIFO 缓冲器没有发送数据的状态下到了发行 OUT 权标的时间时。

此时，USB 模块在 OUT 权标后继续发送 Zero-Length 包，并且将 PIPENRDY 位的对应位置“1”，也将 OVRN 位置“1”。

- 对于传送类型不是等时传送的管道并且在 SETUP 事务以外的通信中，连续 3 次发生以下情况的任意组合：外围设备无应答（在未检测到外围设备的 Handshake 包的情况下检测到超时）或者从外围设备的信息包中检测到错误时。

此时，USB 模块将 PIPENRDY 位的对应位置“1”，并且将对应的管道的 PID 位改为 NAK。

- 在 SETUP 事务以外的通信中从外围设备接收到 STALL Handshake 时
- 此时，USB 模块将 PIPENRDY 位的对应位置“1”，并且将对应的管道的 PID 位改为 STALL（11b）。

- 接收方向管道的情况

- 对于传送类型为等时传送的管道，在 FIFO 缓冲器中没有空间的状态下到了发行 IN 权标的时间时。

此时，USB 模块放弃接收数据（对于 IN 权标）并且将该管道对应的 PIPENRDY 位置“1”，也将 OVRN 位置“1”。

另外，如果从接收数据（对于 IN 权标）中检测到信息包错误，就也将 CRCE 位置“1”。

- 对于传送类型不是等时传送的管道，连续 3 次发生以下情况的任意组合：外围设备对 USB 模块发行的 IN 权标无应答（在未检测到外围设备的 DATA 包的情况下检测到超时）或者从外围设备的信息包中检测到错误时。

此时，USB 模块将该管道对应的 PIPENRDY 位置“1”，并且将对应的管道的 PID 位改为 NAK。

- 对于传送类型为等时传送的管道，外围设备对 IN 权标无应答（在未检测到外围设备的 DATA 包的情况下检测到超时）或者从外围设备的信息包中检测到错误时。

此时，USB 模块将该管道对应的 PIPENRDY 位置“1”（不更改对应管道的 PID 位）。

- 对于传送类型为等时传送的管道，从接收的数据包中检测到 CRC 错误或者位填充错误时。

此时，USB 模块将该管道对应的 PIPENRDY 位置“1”，并且将 CRCE 位置“1”。

- 接收到 STALL Handshake 时

此时，USB 模块将该管道对应的 PIPENRDY 位置“1”，并且将对应管道的 PID 位改为 STALL。

(2) 当选择功能控制器功能时

- 发送方向管道的情况
- 在FIFO缓冲器没有发送数据的状态下接收到IN权标时
 在接收IN权标时，USB模块产生NRDY中断请求并且将PIPENRDY位置“1”。
 在发生中断的管道传送类型为等时传送时，USB模块发送Zero-Length包并且将OVRN位置“1”。
- 接收方向管道的情况
- 在FIFO缓冲器没有空间的状态下接收到OUT权标时
 当发生中断的管道传送类型为等时传送时，USB模块在接收OUT权标时产生NRDY中断请求，将PIPENRDY位置“1”并且将OVRN位置“1”。
 当发生中断的管道传送类型不是等时传送时，USB模块在接收到OUT权标之后的数据后发送NAK Handshake时产生NRDY中断请求并且将PIPENRDY位置“1”。
 但是，在重新发送时（DATA-PID不同时）不产生NRDY中断请求，并且在DATA包中有错误时也不产生NRDY中断请求。
- 对于传送类型为等时传送的管道，在间隔帧内无法正常接收时。
 在接收SOF时，USB模块产生NRDY中断请求并且将PIPENRDY位置“1”。

选择功能控制器功能时的NRDY中断发生时序图如图28.12所示。

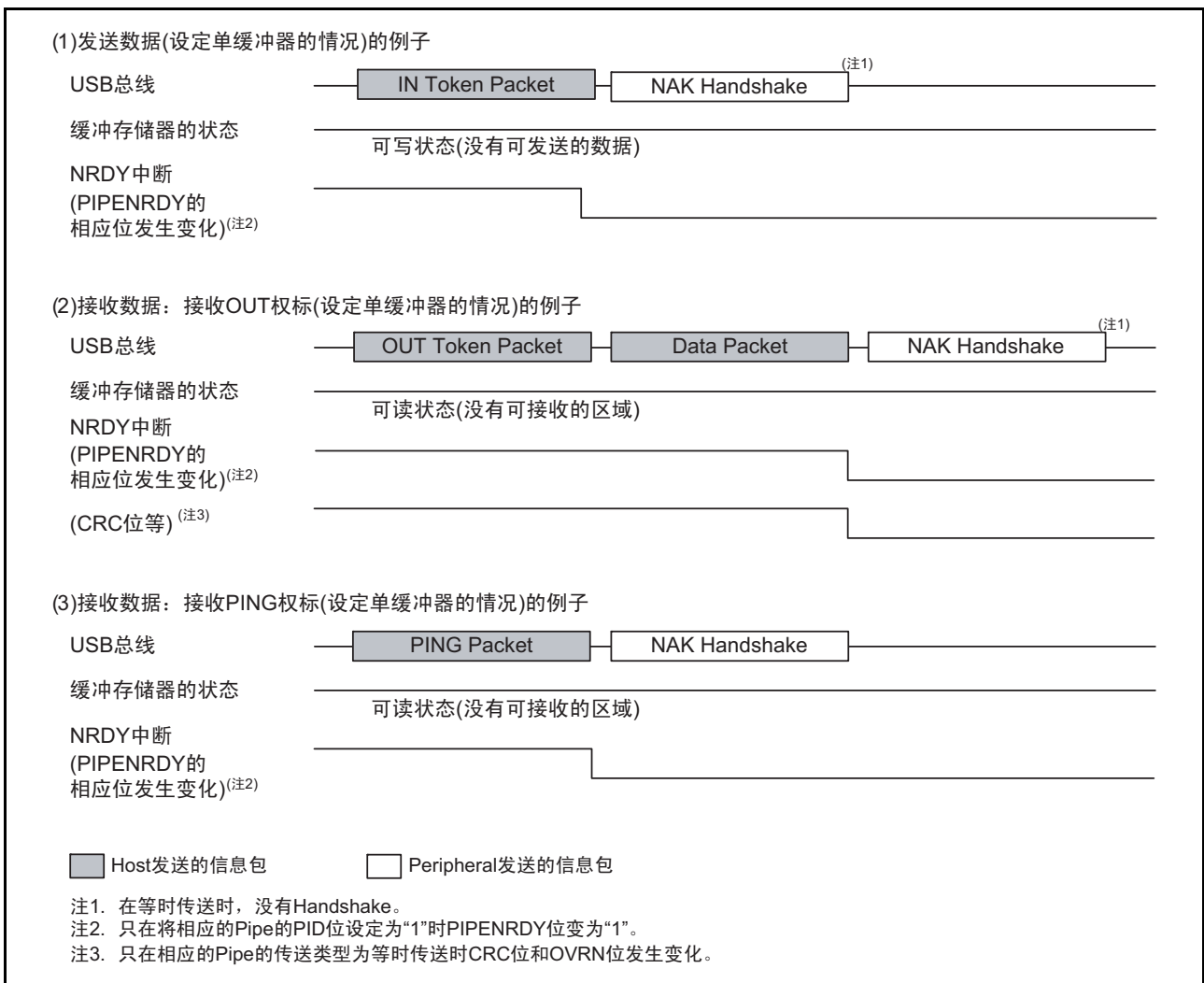


图 28.12 NRDY 中断发生时序图 (选择功能控制器功能时)

28.3.3.3 BEMP 中断

对于通过软件将 PID 位设定为 BUF 的管道，如果 USB 模块检测到 BEMP 中断，USB 模块就将 BEMPSTS 寄存器的 PIPEBEMP 位的对应位置“1”。此时，如果已通过软件将 BEMPENB 寄存器对应的位置“1”，USB 模块就将 INTSTS0 寄存器的 BEMP 位置“1”并且产生 USB 中断。

在以下情况下，USB 模块产生内部 BEMP 中断请求：

- 发送方向管道的情况
 - 在发送结束时（包括发送 Zero-Length 包时），对应管道的 FIFO 缓冲器为空时。
在设定为单缓冲器时，对于 DCP 以外的管道，在产生 BRDY 中断的同时产生内部 BEMP 中断请求。但是，在以下情况下不产生内部 BEMP 中断请求：
 - 在设定为双缓冲器并且发送完 1 个缓冲器面的数据时 CPU（DTC 或者 DMACA）已经开始写 CPU 侧的 FIFO 缓冲器的情况
 - 通过给 ACLRM 位或者 BCLR 位写“1”，清除（空）缓冲器。
 - 在设定功能控制器功能时，进行控制传送 Status 阶段的 IN 传送（发送 Zero-Length 包）时。
- 接收方向管道的情况
 - 正常接收到大于 MaxPacketSize 设定值的数据时
此时，USB 模块产生 BEMP 中断请求，将 BEMPSTS.PIPEnBEMP 位的对应位置“1”，并且放弃接收数据以及将对应管道的 PID 位改为 STALL（“11b”）。
此时，USB 模块在设定为主机控制器功能时不进行应答，而在设定功能控制器功能时进行 STALL 应答。
但是，在以下情况下不产生内部 BEMP 中断请求：
 - 从接收数据中检测到 CRC 错误或者位填充错误等时
 - 执行 SETUP 事务时
能通过给 BEMPSTS.PIPEnBEMP 位写“0”来清除状态。
即使给 BEMPSTS.PIPEnBEMP 位写“1”，也不影响运行。

选择功能控制器功能时的 BEMP 中断发生时序图如图 28.13 所示。

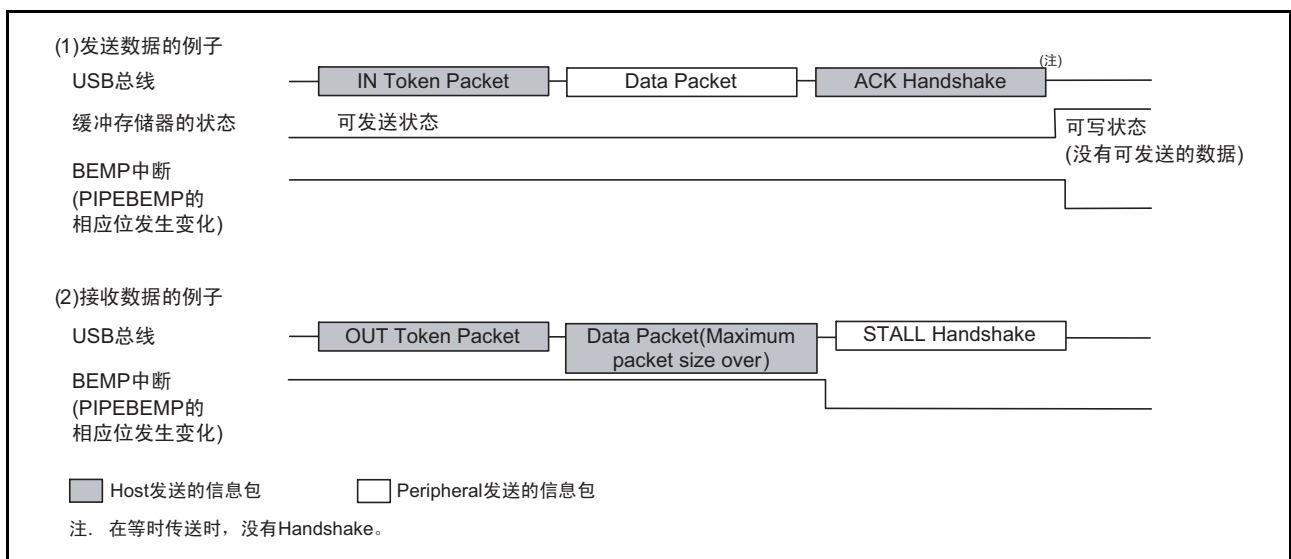


图 28.13 选择功能控制器功能时的 BEMP 中断发生时序图

28.3.3.4 设备状态转移中断

USB 模块的设备状态转移图如图 28.14 所示。USB 模块管理设备状态并且产生设备状态转移中断，但是通过恢复中断检测从挂起的恢复（恢复信号检测）。能通过 INTENB0 寄存器独立设定允许或者禁止设备状态转移中断，还能通过 INTSTS0.DVSQ 位确认转移后的设备状态。

当转移到默认状态时，在检测到 USB 总线复位后产生设备状态转移中断。

只有在选择功能控制器功能时，才能管理设备状态并且产生设备状态转移中断。

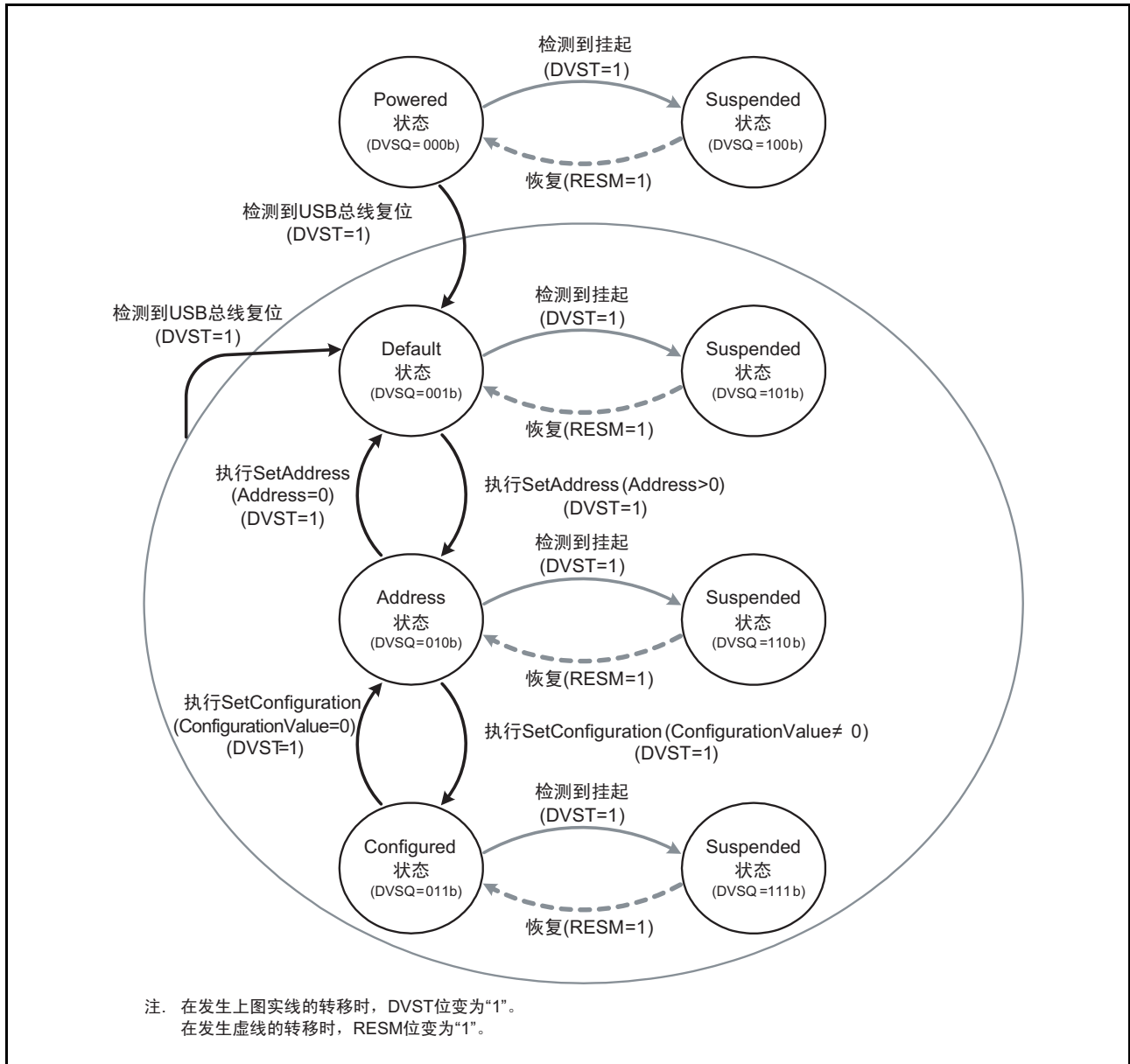


图 28.14 设备状态转移图

28.3.3.5 控制传送阶段转移中断

USB 模块的控制传送阶段转移图如图 28.15 所示。USB 模块管理控制传送顺序并且产生控制传送阶段转移中断。能通过 INTENB0 寄存器独立设定允许或者禁止控制传送阶段转移中断，还能通过 INTSTS0.CTSQ 位确认转移后的传送阶段。

只有在功能控制器功能时，才能产生控制传送阶段转移中断。

控制传送的顺序错误如下所示。在发生错误时，DCPCTR 寄存器的 PID 位变为“1xb”（应答 STALL）。

控制读传送的情况

- 对于数据阶段的 IN 权标，在一次也没有进行数据传送的状态下接收到 OUT 权标。
- 在状态阶段接收到 IN 权标。
- 在状态阶段接收到 DATAPID=DATA0 的数据包。

控制写传送的情况

- 对于数据阶段的 OUT 权标，在一次也没有进行 ACK 应答的状态下接收到 IN 权标。
- 在数据阶段接收到 DATAPID=DATA0 的最初的数据包。
- 在状态阶段接收到 OUT 权标。

控制写无数据控制传送的情况

- 在状态阶段接收到 OUT 权标。

在控制写传送数据阶段，如果接收数据量超过 USB 请求的 wLength 值，就不能识别为控制传送顺序错误。在控制读传送状态阶段，如果接收到的信息包不是 Zero-Length 包，就进行 ACK 应答并且正常结束。

当因顺序错误而发生 CTRT 中断时（SERR=1），就在系统给 CTRT 位写“0”（清除中断状态）前 CTSQ 位保持“110b”的值。因此，在 CTSQ 位保持“110b”的状态下即使接收到新的 USB 请求，也不产生设置阶段结束的 CTRT 中断（USB 模块保持设置阶段结束，在通过软件清除中断状态后产生设置阶段结束中断）。

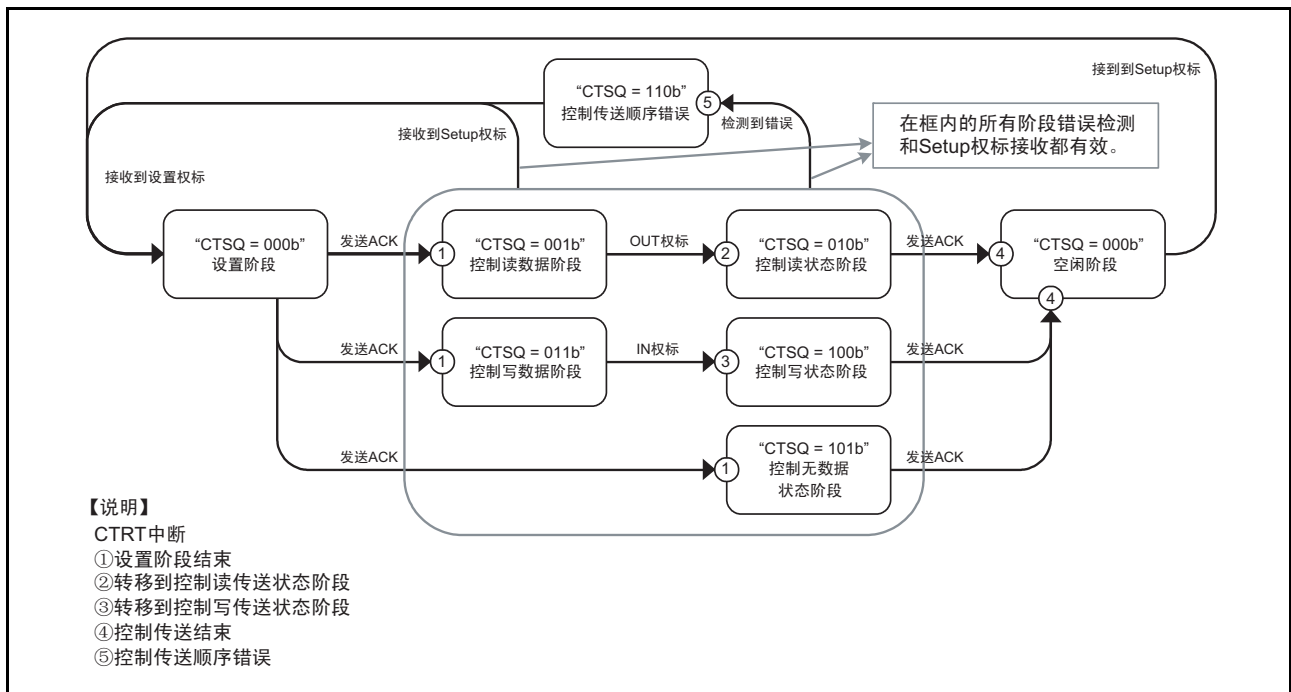


图 28.15 控制传送阶段转移图

28.3.3.6 帧号更新中断

如果选择主机控制器功能，就在更新帧号时产生中断；如果选择功能控制器功能，就在更新帧号时产生 SOFR 中断。

在选择功能控制器功能时，如果 USB 模块在全速运行中检测到新的 SOF 包，就更新帧号并且产生 SOFR 中断。

28.3.3.7 VBUS 中断

在 USBm_VBUS 引脚发生变化时，产生 VBUS 中断。能通过 INTSTS0 寄存器的 VBSTS 位确认 USBm_VBUS 引脚的电平，能通过 VBUS 中断确认主机控制器的连接和断开。但是，在连接主机控制器的状态下启动系统时，USBm_VBUS 引脚不变，因此不产生最初的 VBUS 中断。

28.3.3.8 恢复中断

在选择功能控制器功能时，如果在设备状态为挂起的状态下 USB 总线状态发生变化 (J-State→K-State 或者 J-State→SE0)，就产生恢复中断。通过恢复中断检测从挂起状态的返回。

在选择主机控制器功能时，不产生恢复中断。必须使用 BCHG 中断来检测 USB 总线的变化。

28.3.3.9 OVRCCR 中断

在 USBm_OVRCURA 引脚或者 USBm_OVRCURB 引脚发生变化时，端口 0 侧产生 OVRCCR 中断。能通过 SYSSTS0 寄存器的 OVCMON[1:0] 位确认 USBm_OVRCURA 引脚和 USBm_OVRCURB 引脚的电平，能通过 OVRCCR 中断确认外部电源 IC 的过电流检测。

能在连接 On-The-Go 时确认 VBUS 比较器变化的检测。

28.3.3.10 BCHG 中断

在 USB 总线状态发生变化时，产生 BCHG 中断。用于连接在选择主机控制器功能时的外围设备以及检测远程唤醒。在选择主机控制器功能或者功能控制器功能时，都产生 BCHG 中断。

28.3.3.11 DTCH 中断

在选择主机控制器功能时，如果检测到 USB 总线断开，就产生 DTCH 中断。USB 模块以 USB Specification 2.0 为基准检测总线的断开。

在检测到 DTCH 中断后（与该中断允许位的设定值无关），USB 模块进行以下的硬件控制。必须通过软件结束正在与该端口进行通信的全部管道的通信，并且转移到该端口的连接（产生 ATTCH 中断）等待状态。

- 将检测到 DTCH 中断的端口的 UACT 位置“0”。
- 将发生 DTCH 中断的端口转移到空闲状态。

28.3.3.12 SACK 中断

在选择主机控制器功能时，如果接收到外围设备对设置包的 ACK 应答，就产生 SACK 中断。能通过 SACK 中断得知设置事务已正常结束。

28.3.3.13 SIGN 中断

在选择主机控制器功能时，如果不能连续 3 次正常接收到外围设备对设置包的 ACK 应答，就产生 SIGN 中断。能检测外围设备未发送 ACK（无应答）或者 ACK 包破损。

28.3.3.14 ATTCH 中断

在选择主机控制器功能时，如果在 USB 端口检测到 2.5μs 的全速信号电平的 J-State 或者 K-State，就产生 ATTCH 中断。ATTCH 中断检测条件的具体内容如下：

- 从 K-State、SE0 或者 SE1 变为 J-State，并且 J-State 持续保持 2.5μs。
- 从 J-State、SE0 或者 SE1 变为 K-State，并且 K-State 持续保持 2.5μs。

28.3.3.15 EOFERR 中断

如果在 USB2.0 规格书所规定的 EOF2 时序检测到通信未结束，就产生 EOFERR 中断。

在检测到 EOFERR 中断后（与该中断允许位的设定值无关），USB 模块进行以下的硬件控制。必须通过软件结束正在与该端口进行通信的全部管道的通信，并且对该端口进行再 Enumeration。

- 将检测到 EOFERR 中断的端口的 DVSTCTRn.UACT 位置“0”（n=0、1）。
- 将发生 EOFERR 中断的端口转移到空闲状态。

28.3.4 管道控制

USB 模块的管道设定项目一览表如表 28.18 所示。USB 数据传送需要通过称为端点的逻辑管道进行数据通信。USB 模块有 10 个用于数据传送的管道，必须按照系统规格设定各管道。

表 28.18 管道设定项目一览表

寄存器名	位名	设定内容	备注
寄存器名	位名	设定内容	备注
DCPCFG PIPECFG	TYPE	指定传送类型。	管道 1 ~ 9: 能设定
	BFRE	选择 BRDY 中断模式。	管道 1 ~ 5: 能设定
	DBLB	选择双缓冲器。	管道 1 ~ 5: 能设定
	DIR	选择传送方向。	能设定 IN 或者 OUT。
	EPNUM	端点号	管道 1 ~ 9: 能设定 在使用管道时，不能设定“0000b”以外的数据。
	SHTNAK	选择在传送结束时禁止管道。	管道 1 和管道 2: 能设定（只有在选择批量传送时才能设定） 管道 3 ~ 5: 能设定
DCPMAXP PIPEMAXP	DEVSEL	选择设备。	只在选择主机控制器功能时能参照。
	MXPS	最大信息包长度	符合 USB 规格的设定
PIPEPERI	IFIS	刷新缓冲器。	管道 1 和管道 2: 能设定（只有在选择等时传送时才能设定） 管道 3 ~ 9: 不能设定
	IITV	间隔计数器	管道 1 和管道 2: 能设定（只有在选择等时传送时才能设定） 管道 3 ~ 5: 不能设定 管道 6 ~ 9: 只有在选择主机控制器功能时才能设定。
DCPCTR PIPEnCTR	BSTS	缓冲器状态	DCP 通过 ISEL 位进行接收 / 发送缓冲器状态的转换。
	INBUFM	监视 IN 缓冲器。	只内置于管道 1 ~ 5。
	SUREQ	SETUP 请求	只有 DCP 能设定 只有在选择主机控制器功能时才能控制。
	SUREQCLR	SUREQ 的清除	只有 DCP 能设定 只有在选择主机控制器功能时才能控制。
	ATREPM	自动应答模式	管道 1 ~ 5: 能设定 只有在选择功能控制器功能时才能设定。
	ACLRM	缓冲器的自动清除	管道 1 ~ 9: 能设定
	SQCLR	顺序的清除	清除数据交替位。
	SQSET	顺序的置位	将数据交替位置位。
	SQMON	顺序的确认	确认数据交替位。
	PBUSY	管道忙的确认为	
	PID	应答 PID	请参照“28.3.4.6 应答 PID”。
PIPEnTRE	TRENB	允许事务计数。	管道 1 ~ 5: 能设定
	TRCLR	清除当前事务计数器。	管道 1 ~ 5: 能设定
PIPEnTRN	TRNCNT	事务计数器	管道 1 ~ 5: 能设定

28.3.4.1 管道控制寄存器的转换步骤

只能在不允许 USB 通信 (PID=NAK) 时改写管道控制寄存器的以下位。

在允许 USB 通信 (PID=BUF) 的状态下禁止设定的寄存器:

- DCPCFG 寄存器和 DCPMAXP 寄存器的各位
- DCPCTR.SQCLR 位和 DCPCTR.SQSET 位
- PIPECFG 寄存器、PIPEMAXP 寄存器和 PIPEPERI 寄存器的各位
- PIPExCTR.ATREPM 位、PIPExCTR.ACLRM 位、PIPExCTR.SQCLR 位和 PIPExCTR.SQSET 位
- PIPExTRE 寄存器和 PIPExTRN 寄存器的各位

在从允许 USB 通信 (PID=BUF) 的状态下转换上述位时, 必须按照以下步骤进行:

1. 产生管道控制寄存器的位变更请求。
2. 将相应管道的 PID 位改为 NAK。
3. 等待该管道的 PBUSY 位变为“0”。
4. 开始更改管道控制寄存器的位。

只有在还没有给 CFIFOSEL、D0FIFOSEL 或者 D1FIFOSEL 寄存器的 CURPIPE 位设定管道信息时, 才能改写管道控制寄存器的以下位。

在设定 FIFO-PORT 的 CURPIPE 过程中禁止设定的寄存器:

- DCPCFG 寄存器和 DCPMAXP 寄存器的各位
- PIPECFG 寄存器、PIPEMAXP 寄存器和 PIPEPERI 寄存器的各位

在更改管道信息时, 必须将端口选择寄存器的 CURPIPE 位指定为变更管道以外的管道。有关 DCP, 必须在修改管道信息后, 通过 BCLR 进行缓冲器的清除处理。

28.3.4.2 传送类型

通过 PIPECFG 寄存器的 TYPE 位设定各管道的传送类型。能给各管道设定的传送类型如下:

- DCP: 不需要设定 (固定为控制传送)。
- 管道 1 和管道 2: 必须设定批量传送或者等时传送。
- 管道 3~5: 必须设定批量传送。
- 管道 6~9: 必须设定中断传送。

28.3.4.3 端点号

通过 PIPECFG 寄存器的 EPNUM 位设定各管道的端点号。DCP 固定为端点 0。其他管道能设定端点 1~端点 15。

- DCP: 不需要设定 (固定为端点 0)。
- 管道 1~9: 必须设定 1~15。

但是, DIR 位和 EPNUM 位的组合不能重复。

28.3.4.4 最大信息包长度的设定

通过 DCPMAXP 寄存器和 PIPEMAXP 寄存器的 MXPS 位设定各管道的最大信息包长度。能给 DCP 和管道 1~5 设定 USB 规格所定义的所有最大信息包长度。管道 6~9 最大为 64 字节, 是最大信息包长度的上限。必须在开始传送前 (PID=BUF) 设定最大信息包长度。

- DCP: 必须设定 8、16、32 或者 64。
- 管道 1~5: 在批量传送时, 必须设定 8、16、32 或者 64。
- 管道 1、2: 在等时传送时, 必须设定 1~256 的值。
- 管道 6~9: 必须设定 1~64 的值。

28.3.4.5 事务计数器 (管道 1 ~ 5 为读方向)

如果以数据包接收方向结束指定次数的事务处理，USB 模块就认为是传送结束。事务计数器有指定事务次数的 TRNCNT 寄存器和在内部进行事务计数的当前计数器，如果在将 SHTNAK 位置“1”时当前计数器和指定次数相同，就将相应 PIPE 的 PID 位设定为 NAK 状态，变为不允许下次传送的状态。能通过 TRCLR 位对事务计数器功能的当前计数器进行初始化，对事务从头开始计数。TRNCNT 寄存器的读信息因 TRENb 位的设定而不同。

- TRENb=0: 能读取所设定的事务计数器的值。
- TRENb=1: 能读取在内部进行计数的当前计数器的值。

TRCLR 位的操作条件如下:

- 在事务计数过程中并且 PID 位为 BUF 时，不能清除当前计数器。
- 在缓冲器中有剩余数据的状态下，不能清除当前计数器。

28.3.4.6 应答 PID

通过 DCPCTR 寄存器和 PIPEnCTR 寄存器的 PID 位设定各管道的应答 PID。

在各设定中，USB 模块的运行如下:

- 选择主机控制器功能时的应答 PID 的设定

应答 PID 指定事务的执行。

- 设定 NAK: 为管道禁止状态，不执行事务。
- 设定 BUF: 根据缓冲存储器的状况执行事务。

在 OUT 方向时，如果缓冲存储器中有发送数据，就发行 OUT 权标。

在 IN 方向时，如果缓冲存储器中有空间并且为接收允许状态，就发行 IN 权标。

- 设定 STALL: 为管道禁止状态，不执行事务。

注. 通过 SUREQ 位设定 DCP 的设置事务。

- 选择功能控制器功能时的应答 PID 设定

应答 PID 指定对主机事务的应答。

- 设定 NAK: 对发生的事务总是进行 NAK 应答。
- 设定 BUF: 根据缓冲存储器的状态对事务进行应答。
- 设定 STALL: 对发生的事务总是进行 STALL 应答。

注. 与 PID 的设定无关，总是对设置事务进行 ACK 应答，并且将 USB 请求保存到寄存器。

根据事务结果，USB 模块有可能写 PID 位。在以下情况时，USB 模块写 PID 位。

- 在选择主机控制器功能时通过硬件设定应答 PID 的情况
- 设定 NAK: 在以下情况下，PID 位为 NAK 并且自动停止权标的发行。
 - 在等时传送以外的传送过程中产生 NRDY 中断时
(详细内容请参照“28.3.3.2 NRDY 中断”)
 - 在批量传送过程中将 PIPECFG 寄存器的 SHTNAK 位置“1”的情况下接收到短包时
 - 在批量传送过程中将 SHTNAK 位置“1”的情况下结束事务计数器时
- 设定 BUF: 不能通过 USB 模块写 BUF。
- 设定 STALL: 在以下情况下，PID 为 STALL 并且自动停止权标的发行。
 - 对发送的权标，接收到 STALL 时
 - 接收的数据包超过最大信息包长度时

- 在选择功能控制器功能时通过硬件设定应答PID的情况
- NAK 设定：在以下情况下，PID 位为 NAK 并且对事务总是进行 NAK 应答。
正常接收 SETUP 权标时（只限于 DCP）
在批量传送过程中将 PIPECFG 寄存器的 SHTNAK 位置“1”的情况下结束事务计数器或者接收到短包时。
- 设定 BUF：不通过 USB 模块写 BUF。
- 设定 STALL：在以下情况下，PID 位为 STALL 并且总是对事务进行 STALL 应答。
在接收数据包中检测到最大信息包长度超出错误时
检测到控制传送顺序错误时（只限于 DCP）

28.3.4.7 数据 PID 顺序位

在控制传送的数据阶段、批量传送和中断传送中，如果进行正常的传送，数据 PID 顺序位就通过 USB 模块自动取反。能通过 DCPCTR 寄存器和 PIPEnCTR 寄存器的 SQMON 位确认下一次发送的数据 PID 顺序位。在发送数据的情况下，在接收 ACK 握手信号时转换顺序位；在接收数据的情况下，在发送 ACK 握手信号时转换顺序位。也能通过 DCPCTR 寄存器和 PIPEnCTR 寄存器的 SQLCLR 位、SQSET 位更改数据 PID 顺序位。

对于选择功能控制器功能时的控制传送，USB 模块在阶段转移时自动设定顺序位。在设置阶段结束时由 DATA0 应答；在状态阶段时由 DATA1 应答。因此，不需要通过软件进行设定。对于选择主机控制器功能时的控制传送，需要在阶段转移时通过软件设定顺序位。

必须注意：无论是选择主机控制器功能还是选择功能控制器功能，在发送或者接收 ClearFeature 请求时，都需要通过软件设定数据 PID 顺序位。

28.3.4.8 应答 PID 为 NAK 时的功能

USB 模块能通过将 PIPECFG 寄存器的 SHTNAK 位置“1”，在接收传送的最后（根据接收的短包或者事务计数器自动识别模块）数据包时禁止管道运行（应答 PID 为 NAK）。

通过使用此功能，在缓冲存储器用作双缓冲器时，能以传送单位接收数据包。在禁止管道运行后，需要通过软件重新设定为允许管道运行（应答 PID 为 BUF）。

应答 PID 为 NAK 时的功能只能用于批量传送。

28.3.4.9 自动应答模式

对于批量传送的管道（管道 1～5），如果将 PIPEnCTR 寄存器的 ATREPM 位置“1”，就变为自动应答模式。

在 OUT 传送时（DIR=0）变为 OUT-NAK 模式；在 IN 传送时（DIR=1）变为 Null 自动应答模式。

28.3.4.10 OUT-NAK 模式

对于批量 OUT 传送的管道，如果将 ATREPM 位置“1”，就对 OUT 权标进行 NAK 应答并且输出 NRDY 中断。为了从正常模式设定为 OUT-NAK 模式，必须在管道运行禁止状态（应答 PID 为 NAK）下设定为 OUT-NAK 模式，然后允许管道运行（应答 PID 为 BUF）。在允许管道运行后，OUT-NAK 模式有效。如果在设定为禁止管道运行前接收到 OUT 权标，就正常接收此权标的的数据，并且对主机进行 ACK 应答。

为了从 OUT-NAK 模式转移到正常模式，必须在管道运行禁止状态（应答 PID 为 NAK）下解除 OUT-NAK 模式，然后允许管道运行（应答 PID 为 BUF）。在正常模式中，能接收 OUT 数据。

28.3.4.11 Null 自动应答模式

对于批量 IN 传送的管道，如果将 ATREPM 位置“1”，就继续发送 Zero-Length 包。

为了从正常模式设定为 Null 自动应答模式，必须在管道运行禁止状态（应答 PID 为 NAK）下设定为 Null 自动应答模式，然后允许管道运行（应答 PID 为 BUF）。在允许管道运行之后，Null 自动应答模式有效。但是，在设定为 Null 自动应答模式时，需要缓冲器为空状态，因此必须确认 INBUFM 位是否为“0”。当 INBUFM 位为“1”时，因为缓冲器中有数据，所以必须通过 ACLRM 位将缓冲器清空。在 Null 自动应答模式的设定过程中，不能给 FIFO 端口写数据。

为了从 Null 自动应答模式转移到正常模式，必须使管道运行禁止状态（应答 PID 为 NAK）保持 1 个 Zero-Length 包的发送等待时间（约 10 μ s），然后解除 Null 自动应答模式。在正常模式中，能写 FIFO 端口；在允许管道运行（应答 PID 为 BUF）后，能给主机发送信息包。

28.3.5 FIFO 缓冲存储器

28.3.5.1 FIFO 缓冲存储器

USB 模块内置用于数据传送的 FIFO 缓冲存储器。通过 USB 模块管理各 PIPE 的使用区域。FIFO 缓冲存储器的情况有 2 种：系统拥有存取权（CPU 侧）和 USB 模块（SIE 侧）拥有存取权。

- 缓冲器状态

USB 模块的缓冲器状态表如表 28.19 和表 28.20 所示。能通过 DCPCTR.BSTS 位和 PIPEnCTR.INBUFM 位确认缓冲存储器状态，并且能通过 PIPEnCFG 寄存器的 DIR 位或者 CFIFOSEL 寄存器的 ISEL 位（DCP 选择时）指定缓冲存储器的存取方向。

INBUFM 位只在管道 1 ~ 5 为发送方向时有效。

在将发送侧的传送管道设定为双缓冲器时，BSTS 位用于判断 CPU 的缓冲器状态，INBUFM 位用于判断 SIE 的缓冲器状态。在因 CPU（DTC 或者 DMACA）给 FIFO 端口写数据的速度慢而不能通过 BEMP 中断判断缓冲器为空时，能通过 INBUFM 位确认发送结束。

表 28.19 通过 BSTS 位表示的缓冲器状态

ISEL 或者 DIR	BSTS	缓冲存储器的状态
0（接收方向）	0	没有接收数据或者正在接收。 不能从 FIFO 端口读数据。
0（接收方向）	1	有接收数据或者接收到 Zero-Length 包。 能从 FIFO 端口读数据。 但是，因为在接收 Zero-Length 包时不能读数据，所以需要清除缓冲器。
1（发送方向）	0	发送尚未结束。 不能给 FIFO 端口写数据。
1（发送方向）	1	发送结束。 CPU 能写数据。

表 28.20 通过 NBUFM 位表示的缓冲器状态

DIR	INBUFM	缓冲存储器的状态
0（接收方向）	无效	无效
1（发送方向）	0	发送完能发送的数据。 没有能发送的数据。
1（发送方向）	1	已给 FIFO 端口写能发送的数据。 有能发送的数据。

28.3.5.2 FIFO 缓冲器的清除

通过 USB 模块清除的 FIFO 缓冲存储器一览表如表 28.21 所示，能通过端口控制寄存器的 BCLR、DCLRM 和 ACLRM 位清除缓冲存储器。

表 28.21 各缓冲器清除一览表

FIFO 缓冲器清除的种类	清除 CPU 侧的缓冲存储器。	这是在读指定管道的数据后自动清除缓冲存储器的模式。	这是放弃接收包的缓冲器自动清除模式。
对应的寄存器	CFIFOCTR 寄存器 DnFIFOCTR 寄存器	DnFIFOSEL 寄存器	PIPEnCTR 寄存器
对应的位	BCLR 位	DCLRM 位	ACLRM 位
为“0”的条件	通过写“1”变为“0”。	1: 模式有效 0: 模式无效	1: 模式有效 0: 模式无效

(1) 缓冲器自动清除模式功能

通过将 PIPEnCTR 寄存器的 ACLRM 位置“1”，USB 模块放弃所接收的全部数据包。但是，在正常接收数据包时，对主机控制器进行 ACK 应答。只有在缓冲存储器为读方向时，才能设定缓冲器自动清除模式功能。与存取方向无关，能通过给 ACLRM 位写“1”接着写“0”，清除所选管道的缓冲存储器。作为硬件的内部顺序执行时间，给 ACLRM 位写“1”和“0”的时间间隔至少需要为 100ns。

(2) 缓冲存储器的规格（单缓冲器 / 双缓冲器的设定）

管道 1 ~ 5 能通过 PIPEnCFG 寄存器的 DBLB 位选择单缓冲器或者双缓冲器。

28.3.5.3 FIFO 端口功能

USB 模块的 FIFO 端口功能设定表如表 28.22 所示。在进行数据的写存取时，如果写最大信息包长度数的数据，就自动进入可发送状态。为了使不足最大信息包长度数的数据变为可发送状态，需要通过 C/DnFIFOCTR 寄存器的 BVAL 位设定写结束。在发送 Zero-Length 包时，不仅需要通过相同寄存器的 BCLR 位清除缓冲器，还需要通过 BVAL 位设定写结束。

在进行读存取时，如果读取全部数据，就自动进入可接收新包的状态。但是，在接收 Zero-Length 包时 (DTLN=0)，因为无法读取数据，所以需要通过相同寄存器的 BCLR 位清除缓冲器。通过 C/DnFIFOCTR 寄存器的 DTLN 位确认接收数据的长度。

表 28.22 FIFO 端口功能的设定

寄存器名	位名	功能
CFIFOSEL、 DnFIFOSEL (n=0, 1)	RCNT	选择 DTLN 读模式。
	REW	对缓冲存储器进行复位 (重新读或者重新写)。
	DCLRM	在读指定管道的接收数据后自动清除 (DnFIFO 专用)。
	DREQE	允许 DMA 传送 (DnFIFO 专用)。
	MBW	FIFO 端口的存取宽度
	BIGEND	选择 FIFO 端口的字节序。
	ISEL	FIFO 端口的存取方向 (DCP 专用)
	CURPIPE	选择当前管道。
CFIFOCTR、 DnFIFOCTR (n=0, 1)	BVAL	结束缓冲存储器的写操作。
	BCLR	清除 CPU 侧的缓冲存储器。
	DTLN	确认接收数据的长度。

(1) FIFO 端口的选择

各 FIFO 端口能选择的管道表如表 28.23 所示。通过 C/DnFIFOSEL 寄存器的 CURPIPE 位选择要存取的管道。在选择管道后，必须确认是否能正确读到所写的 CURPIPE 值 (如果读到上一轮的管道号，就表示 USB 控制器正处于管道变更处理中)，然后确认 FRDY 为“1”并且存取 FIFO 端口。

必须通过 MBW 位选择要存取的总线宽度。缓冲存储器的存取方向取决于 PIPEnCFG 寄存器的 DIR 位。但是 DCP 取决于 ISEL 位。

表 28.23 各管道的 FIFO 端口存取表

管道	存取方法	能使用的端口
DCP	CPU 存取	CFIFO 端口寄存器
管道 1 ~ 9	CPU 存取	CFIFO 端口寄存器 D0FIFO/D1FIFO 端口寄存器
	DTC 存取 /DMACA 存取	D0FIFO/D1FIFO 端口寄存器

(2) REW 位

通过 C/DnFIFOSEL 寄存器的 REW 位，能暂停当前存取中的管道存取而对其他管道进行存取，然后再继续当前管道的处理。

如果通过在设定 C/DnFIFOSEL 寄存器的 CURPIPE 位的同时将 REW 位置“1”来选择管道，缓冲存储器的读写指针就被复位，能从最初的字节开始读写。如果通过将 REW 位置“0”来选择管道，就不对缓冲存储器的读写指针进行复位，能接着上一次的存取操作继续读写数据。

为了存取 FIFO 端口，需要在选择管道后确认 FRDY 为“1”。

28.3.5.4 DMA 传送 (D0FIFO/D1FIFO 端口)

(1) DMA 传送的概要

对于管道 1 ~ 9, 能通过 DTC 或者 DMACA (注1) 存取 FIFO 端口。当 DMA 设定的管道缓冲器为可存取状态时, 输出 DMA 传送请求。

必须通过 DnFIFOSEL 寄存器的 MBW 位选择 FIFO 端口的传送单位, 通过 CURPIPE 位选择 DMA 传送的管道。不能在 DMA 传送过程中更改所选的管道。

(2) DnFIFO 自动清除模式 (D0FIFO/D1FIFO 端口为读方向)

通过将 DnFIFOSEL 寄存器的 DCLRM 位置“1”, USB 模块在读完缓冲存储器的数据时自动清除所选管道的缓冲存储器。

各设定状态下的接收信息包和由软件进行的缓冲存储器清除处理的关系如表 28.24 所示。缓冲器的清除条件因 BFRE 位的设定值而不同, 即使在需要清除的状态下, 只要使用 DCLRM 位就不需要通过软件进行缓冲器的清除, 而且不通过软件就能进行 DMA 传送。

只有在缓冲存储器为读方向时, 才能设定 DnFIFO 自动清除模式。

注 1. DTC 能用于接收和发送。DMACA 只能用于接收, 但是有限制事项。详细内容请参照“11.7.1 使用 DTC/DMACA 传送的通信运行注意事项”。

表 28.24 接收信息包和由软件进行缓冲存储器清除处理的关系

接收信息包时的缓冲器状态	寄存器的设定			
	DCLRM=0		DCLRM=1	
	BFRE=0	BFRE=1	BFRE=0	BFRE=1
缓冲器满	不需要清除	不需要清除	不需要清除	不需要清除
接收到 Zero-Length 包	需要清除	需要清除	不需要清除	不需要清除
接收到正常的短包	不需要清除	需要清除	不需要清除	不需要清除
事务计数结束	不需要清除	需要清除	不需要清除	不需要清除

28.3.6 控制传送 (DCP)

控制传送的数据阶段的数据传送使用默认控制管道 (DCP)。DCP 的缓冲存储器是控制读和控制写共用的固定区域，为 64 字节的单缓冲器。只能通过 CFIFO 端口存取缓冲存储器。

28.3.6.1 选择主机控制器功能时的控制传送

(1) 设置阶段

USBREQ 寄存器、USBVAL 寄存器、USBINDX 寄存器和 USBLENG 寄存器用于发送设置事务的 USB 请求。如果通过将设置包的数据写到寄存器并且给 DCPCTR 寄存器的 SUREQ 位写“1”，就将所设定的数据作为设置事务进行发送。一旦事务结束，SUREQ 位就变为“0”。在 SUREQ 位为“1”期间，不能操作上述的 USB 请求寄存器。

在检测到所连接的功能设备的连接后，对于该设备的最初设置事务，必须将 DCPMAXP 寄存器的 DEVSEL 位置“0”并且设定 DEVADD0 寄存器的 USBSPD 位，然后按照上述顺序发行设置事务。

在所连接的功能设备转移到 Address 状态以后，必须给 DEVSEL 位设定所分配的 USBAddress 值并且设定 USB Address 对应的 DEVADDx 寄存器的各位，然后按照上述顺序发行设置事务。例如，当 PIPEMAXP 寄存器的 DEVSEL 位为“2h”时，必须设定 DEVADD2 寄存器；当 PIPEMAXP 寄存器的 DEVSEL 位为“5h”时，必须设定 DEVADD5 寄存器。

如果发送事务，就根据外围设备的应答产生中断请求 (INTSTS1 寄存器的 SIGN 位和 SACK 位)。能通过此中断请求确认设置事务的结果。

设置事务的数据包与 DCPCTR 寄存器的 SQMON 位的内容无关，总是发送 DATA0 的数据包 (USB 请求)。

(2) 数据阶段

使用 DCP 缓冲存储器进行数据传送。

必须通过 CFIFSEL 寄存器的 ISEL 位指定 DCP 缓冲存储器的存取方向，通过 DCPCFG 寄存器的 DIR 位指定传送方向。

数据阶段的第 1 个数据包需要将数据 PID 作为 DATA1 进行通信。如果通过 DCPCFG 寄存器的 SQSET 位将数据 PID 设定到 DATA1 并且将 PID 位设定为 BUF，就执行事务。通过 BRDY 中断或者 BEMP 中断检测数据传送的结束。

在控制写传送的情况下，当发送数据为最大信息包长度的整数倍时，必须在最后通过软件控制 Zero-Length 包的发送。

(3) 状态阶段

这是与数据阶段反方向的 Zero-Length 包的数据传送。和数据阶段相同，使用 DCP 缓冲存储器进行数据传送。以数据阶段相同的步骤执行事务。

状态阶段的数据包需要将数据 PID 作为 DATA1 进行通信。必须通过 DCPCFG 寄存器的 SQSET 位将数据 PID 设定到 DATA1。

对于 Zero-Length 包的接收，必须在发生 BRDY 中断后，通过 CFIFOCTR 寄存器的 DTLN 位确认接收数据的长度，然后通过 BCLR 位清除缓冲存储器。

28.3.6.2 选择功能控制器功能时的控制传送

(1) 设置阶段

USB 模块必须对正常的设置包进行 ACK 应答。设置阶段的 USB 模块的运行如下所示：

如果接收到新的设置包，USB 模块就将以下的位置位：

- 将 INTSTS0 寄存器的 VALID 位置“1”。
- 将 DCPCTR 寄存器的 PID 位设定为 NAK。
- 将 DCPCTR 寄存器的 CCPL 位置“0”。

如果接收到设置包之后的数据包，USB 模块就将 USB 请求的参数保存到 USBREQ 寄存器、USBVAL 寄存器、USBINDX 寄存器和 USBLENG 寄存器。

在对控制传送进行应答处理时，必须将 VALID 位置“0”。在 VALID 位为“1”的状态下，不将 PID 位设定为 BUF，也不能结束数据阶段。

通过 VALID 位的功能，USB 模块能在控制传送过程中接收到新的 USB 请求时中止正在处理的请求处理，并且对最新的请求进行应答。

USB 模块自动判断接收的 USB 请求的方向位 (bmRequestType 的 bit8) 和请求数据的长度 (wLength)，并且识别控制读传送、控制写传送和控制写无数据传送，进行阶段转移的管理。对于错误的顺序，产生控制传送阶段转移中断的顺序错误并且通知软件。有关 USB 模块的阶段管理，请参照图 28.18。

(2) 数据阶段

必须通过 DCP 传送与接收的 USB 请求所对应的数据。在存取 DCP 缓冲存储器前，必须通过 CFIFOSEL 寄存器的 ISEL 位指定存取方向。

如果传送数据大于 DCP 缓冲存储器的大小，就必须在控制写传送时使用 BRDY 中断进行数据传送，在控制读传送时使用 BEMP 中断进行数据传送。

(3) 状态阶段

在 DCPCTR 寄存器的 PID 位为 BUF 的状态下，通过将 CCPL 位置“1”，结束控制传送。

在进行上述的设定后，根据在设置阶段确定的数据传送方向，USB 模块自动执行状态阶段。具体运行如下：

- 控制读传送的情况
USB 模块发送 Zero-Length 包并且接收 USB 主机的 ACK 应答。
- 控制写传送和无数据控制传送的情况
接收 USB 主机的 Zero-Length 包并且发送 ACK 应答。

(4) 控制传送自动应答功能

USB 模块自动应答正常的 SET_ADDRESS 请求。在发生以下错误时，需要通过软件对 SET_ADDRESS 请求进行应答。

- 控制读传送以外的传送：bmRequestType≠00h
- 请求错误：wIndex≠00h
- 无数据控制传送以外的传送：wLength≠00h
- 请求错误：wValue > 7Fh
- 设备状态错误的控制传送：DVSQ=011b (Configured)

需要通过对应的软件对 SET_ADDRESS 以外的全部请求进行应答。

28.3.7 批量传送 (管道 1 ~ 5)

批量传送能选择缓冲存储器的使用方法 (设定单缓冲器 / 双缓冲器)。

USB 模块具有以下批量传送专用的功能:

- BRDY 中断选择功能 (BFRE 位: 参照“28.3.3.1 (2) 当 BRDYM 位为“0”并且 BFRE 位为“1”时”)
- 事务计数功能
(TREN 位、TRCLR 位、TRCNT 位: 参照“28.3.4.5 事务计数器 (管道 1 ~ 5 为读方向) ”)
- 应答 PID 为 NAK 的功能 (SHTNAK 位: 参照“28.3.4.8 应答 PID 为 NAK 时的功能”)
- 自动应答模式 (ATREPM 位: 参照“28.3.4.9 自动应答模式”)

28.3.8 中断传送 (管道 6 ~ 9)

在选择功能控制器功能时, USB 模块根据主机控制器管理的周期进行中断传送。

在选择主机控制器功能时, 能通过间隔计数器设定权标的发行时序。

28.3.8.1 选择主机控制器功能时的中断传送的间隔计数器

在进行中断传送时, 给 PIPEPERI 寄存器的 IITV 位设定事务间隔。USB 控制器根据所设定的间隔发送中断传送的权标。

(1) 计数器的初始化

USB 控制器对间隔计数器进行初始化的条件如下:

- 上电复位:
对 IITV 位进行初始化。
- 通过 ACLRM 对缓冲存储器进行的初始化
不对 IITV 位而对计数值进行初始化。通过将 PIPEnCTR.ACLRM 位置“0”, 从头开始 IITV 设定值的计数。

必须注意: 在以下情况下, 不对间隔计数器进行初始化:

- USB 总线复位或者 USB 挂起
不对 IITV 位进行初始化。通过将 DVSTCTR0.UACT 位置“1”, 从进入 USB 总线复位或者 USB 挂起状态前的值开始计数。

(2) 在权标发生时序不能进行发送或者接收的运行

在以下情况下, 即使在权标发生时序也不产生权标, 而在下一个间隔尝试执行事务。

- 将 PID 位设定为 NAK 或者 STALL。
- 在 IN 方向 (接收) 的传送中发送权标时, 缓冲存储器没有空间。
- 在 OUT 方向 (发送) 的传送中发送权标时, 缓冲存储器没有发送数据。

28.3.9 等时传送 (管道 1 和管道 2)

USB 模块具有以下等时传送的功能:

- 等时传送的错误信息通知
- 间隔计数器 (由 IITV 位指定)
- 等时 IN 传送数据的设置控制 (IDLY 功能)
- 等时 IN 传送缓冲器的刷新功能 (由 IFIS 位指定)

28.3.9.1 等时传送的错误检测

USB 模块具有检测下述错误信息的功能, 以便能通过软件管理等时传送错误的产生。USB 模块检测错误的优先级以及错误检测引起的中断如表 28.25 和表 28.26 所示。

(a) PID 错误

- 接收包的 PID 不正确。

(b) CRC 错误和位填充错误

- 接收包的 CRC 有错误或者位填充不正确。

(c) 超出最大信息包长度

- 接收包的数据长度超过最大信息包长度的设定值。

(d) 超限 / 欠载错误

- 当选择主机控制器功能时
在 IN 方向 (接收) 的传送中发送权标时, 缓冲存储器没有空间。
在 OUT 方向 (发送) 的传送中发送权标时, 缓冲存储器没有数据。
- 当选择功能控制器功能时
在 IN 方向 (发送) 的传送中接收 IN 权标时, 缓冲存储器没有数据。
在 OUT 方向 (接收) 的传送中接收到 OUT 权标, 但是缓冲存储器没有空间。

(e) 间隔错误

在选择功能控制器功能时, 如果发生以下情况, 就视为间隔错误:

- 在等时 IN 传送中, 在间隔帧中不能接收 IN 权标。
- 在等时 OUT 传送中, 在非间隔帧中接收到 OUT 权标。

表 28.25 接收权标时的错误检测

检测的优先级	错误	产生的中断和状态
1	PID 错误	在选择主机控制器功能或者功能控制器功能时, 都不产生中断 (作为破损包被忽视)。
2	CRC 错误、位填充错误	在选择主机控制器功能或者功能控制器功能时, 都不产生中断 (作为破损包被忽视)。
3	超限 / 欠载错误	在选择主机控制器功能或者功能控制器功能时, 都产生 NRDY 中断, 并且将 OVRN 位置位。在选择功能控制器功能时, 对 IN 权标发送 Zero-Length 包。对于 OUT 权标, 不接收数据包。
4	间隔错误	在选择功能控制器功能时, 产生 NRDY 中断; 在选择主机控制器功能时, 不产生此中断。

表 28.26 接收数据包时的错误检测

检测的优先级	错误	产生的中断和状态
1	PID 错误	不产生中断 (作为破损包被忽视)。
2	CRC 错误、位填充错误	在选择主机控制器功能或者功能控制器功能时, 都产生 NRDY 中断, 并且将 CRCE 位置“1”。
3	最大信息包长度超出错误	在选择主机控制器功能或者功能控制器功能时, 都产生 BEMP 中断, 并且将 PID 设定为 STALL。

28.3.9.2 DATA-PID

在选择功能控制器功能时, 对接收的 PID 进行以下的处理:

IN 方向

- DATA0: 作为数据包的 PID 进行发送。
- DATA1: 不发送。
- DATA2: 不发送。
- mData: 不发送。

OUT 方向

- DATA0: 作为数据包的 PID, 正常接收。
- DATA1: 作为数据包的 PID, 正常接收。
- DATA2: 忽视此信息包。
- mData: 忽视此信息包。

28.3.9.3 间隔计数器

能通过 PIPEPERI 寄存器的 IITV 位设定等时传送的间隔。在选择功能控制器功能时, 通过间隔计数器实现表 28.27 所示的功能。在选择主机控制器功能时, 生成权标的发行时序。选择主机控制器功能时的间隔计数器的运行和中断传送的运行相同。

表 28.27 选择功能控制器功能时的间隔计数器的功能

传送方向	功能	检测条件
IN	发送缓冲器刷新功能	在等时 IN 传送时, 在间隔帧中不能正常接收 IN 权标。
OUT	权标未接收的通知	在等时 OUT 传送时, 在间隔帧中不能正常接收 OUT 权标。

通过接收 SOF 或者内插 SOF 进行间隔计数, 因此即使 SOF 破损也能保证等时性。能设定的帧间隔为 2^{IITV} 帧。

(1) 选择功能控制器功能时的计数器的初始化

在下述条件下, USB 模块对间隔计数器进行初始化:

- 上电复位
对 IITV 位进行初始化。
- 通过 ACLRM 对缓冲存储器进行的初始化
不对 IITV 位而对计数值进行初始化。通过将 ACLRM 位置“0”, 从头开始 IITV 设定值的计数。

在对间隔计数器进行初始化后正常传送信息包, 如果满足下述条件, 就开始进行间隔计数。

1. 在 PID 位为 BUF 的状态下, 对于 IN 权标, 在发送数据后接收 SOF。
2. 在 PID 位为 BUF 的状态下, 对于 OUT 权标, 在接收数据后接收 SOF。

在下述条件下，不对间隔计数器进行初始化：

- 将PID位设定为NAK或者STALL。
间隔定时器不停止计数，尝试在下一个间隔执行事务。
- USB总线复位或者USB挂起
不对IITV位进行初始化。如果接收到SOF，就从接收前的值开始计数。

(2) 选择主机控制器功能时的间隔计数和传送控制

USB 模块根据 IITV 位的设定值控制权标发行间隔。USB 模块以 2^{IITV} 帧为 1 个间隔对所选管道发行权标。USB 模块从通过软件将 PID 位设定为 BUF 后的下一帧开始权标发行间隔的计数。

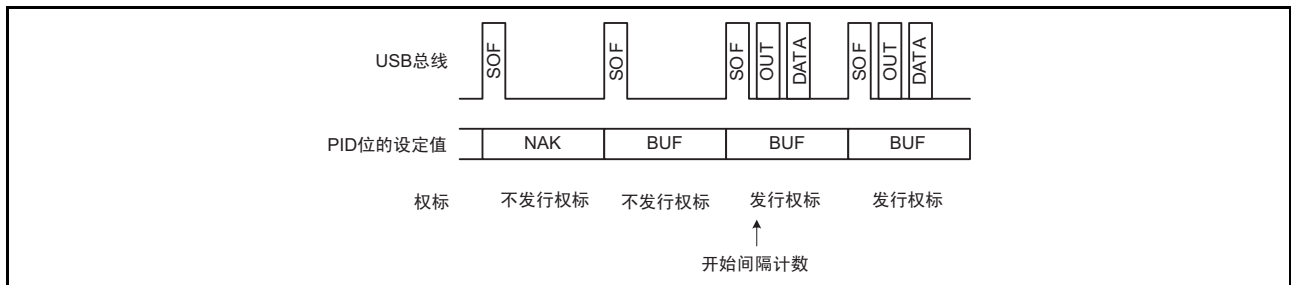


图 28.16 IITV 位为“0”时的权标发行情况

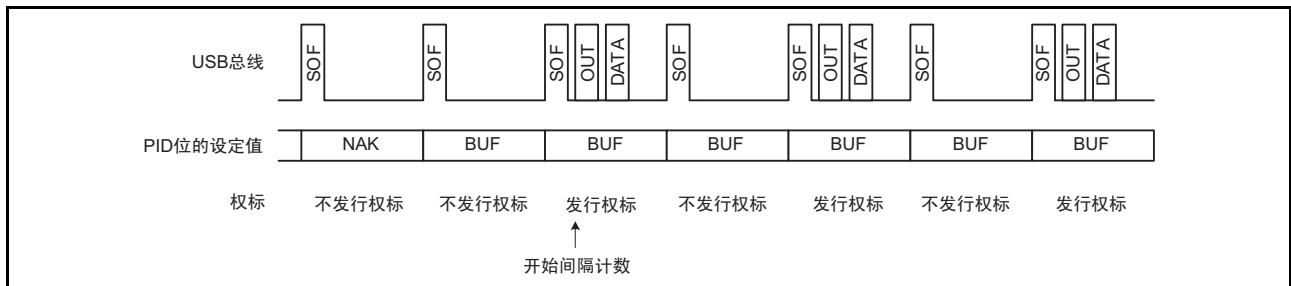


图 28.17 IITV 位为“1”时的权标发行情况

当所选管道的传送类型为等时传送时，USB 模块除了控制权标发行间隔以外，还进行以下的运行。即使满足 NRDY 中断产生条件，USB 模块也发行权标。

所选管道为等时 IN 传送管道的情况

当发行 IN 权标但是没有正常从外围设备接收到信息包时（无应答或者无信息包错误等），产生 NRDY 中断。

如果在因 FIFO 缓冲器满而使 USB 模块不能接收数据的状态下（这是因为 CPU（DTC 或者 DMACA）从 FIFO 缓冲器读数据的速度慢）到了发行 IN 权标的时间，USB 模块就将 OVRN 位置“1”并且产生 NRDY 中断。

所选管道为等时 OUT 传送管道的情况

如果在 FIFO 缓冲器中没有能发送数据的状态下（这是因为 CPU（DTC 或者 DMACA）给 FIFO 缓冲器写数据的速度慢）到了发行 OUT 权标的时间，USB 模块就将 OVRN 位置“1”，产生 NRDY 中断并且发送 Zero-Length 包。

权标发行间隔的复位条件如下：

- 对USB模块进行引脚复位时
(此时，IITV位的设定值也为“0”。)
- 通过软件将 ACLRM 置“1”时

(3) 选择功能控制器功能时的间隔计数和传送控制

所选管道为等时 OUT 传送管道的情况

在 IITV 位设定的各间隔的帧中没有接收到 DATA 包时，功能控制器产生 NRDY 中断。

USB 模块在因 DATA 包发生 CRC 错误等的错误或者因 FIFO 缓冲器满而不能接收数据时，也产生 NRDY 中断。NRDY 中断的产生时序是接收到 SOF 包时。即使 SOF 包破损，也通过内插功能在应该接收 SOF 时产生中断。但是，当 IITV 位不为“0”时，在间隔计数开始后的各间隔接收 SOF 包时产生 NRDY 中断。

如果在启动间隔定时器后通过软件将 PID 位设定为 NAK，USB 模块即使接收到 SOF 包也不产生 NRDY 中断。

间隔计数的开始条件因 IITV 位的设定值而不同。

- 当 IITV 位为“0”时，从将所选管道的 PID 位改为 BUF 后的下一帧开始间隔计数。

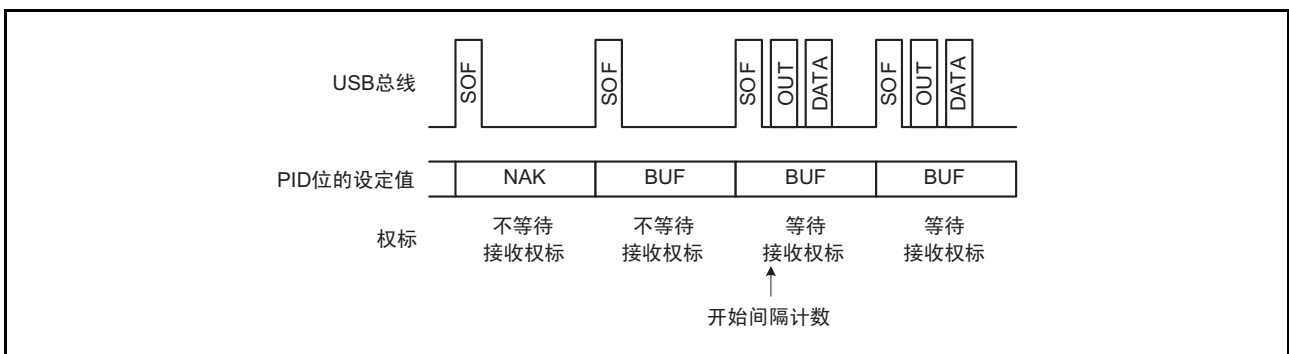


图 28.18 IITV 位为“0”时的帧和是否等待接收权标的关系

- 当 IITV 位不为“0”时，从将所选管道的 PID 位改为 BUF 后正常接收完最初的 DATA 包时开始间隔计数。

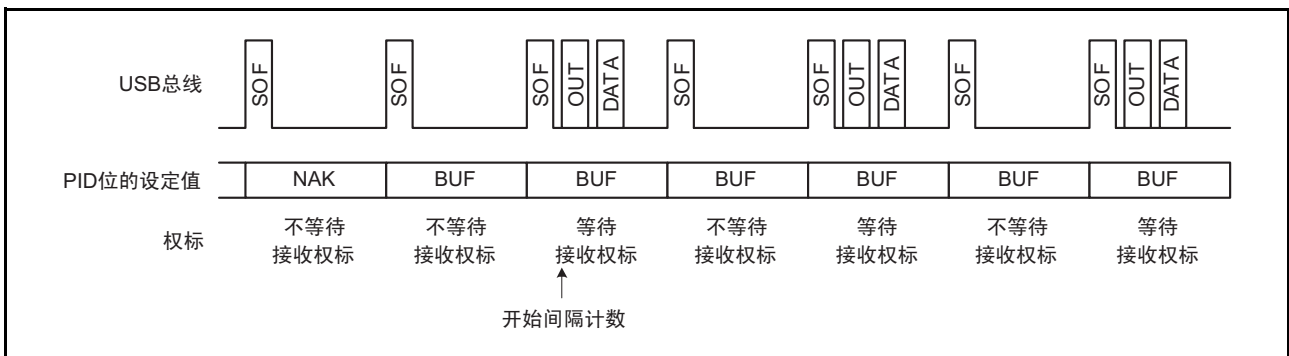


图 28.19 IITV 位不为“0”时的帧和是否等待接收权标的关系

所选管道为等时 IN 传送管道的情况

必须在 IFIS 位为“1”时使用。当 IFIS 位为“0”时，与 IITV 位的设定值无关，在对接收的权标进行应答后发送数据包。

在 IFIS 位为“1”并且 FIFO 缓冲器有能发送数据的状态下，如果在 IITV 位设定的各间隔的帧中没有接收到 IN 权标，USB 模块就清除 FIFO 缓冲器。

即使在因 IN 权标发生 CRC 错误等的总线错误而使 USB 模块不能正常接收时，也清除 FIFO 缓冲器。

FIFO 缓冲器的清除时序是接收到 SOF 包时。即使 SOF 包破损，也通过内插功能在应该接收 SOF 时清除 FIFO 缓冲器。

间隔计数的开始条件因 IITV 位的设定值而不同（与 OUT 时相同）。

选择功能控制器功能时的间隔计数条件如下：

- 对 USB 模块进行硬件复位时（此时，IITV 位的设定值也为“0”。）
- 通过软件将 ACLRM 置“1”时
- USB 模块检测到 USB 总线复位时

(4) 选择功能控制器功能时的等时传送发送数据设置

在选择功能控制器功能时，在 USB 模块的等时数据发送过程中给缓冲存储器写数据后，能通过检测到 SOF 包的下一帧发送数据包。此功能称为等时传送的发送数据设置功能。通过此功能能特定开始发送的帧。

在缓冲存储器用作双缓冲器时，即使写完 2 个缓冲器面，可传送状态的缓冲存储器也只为先写完的 1 个面。因此，在同一帧接收到多个 IN 权标时，被发送的缓冲存储器只为 1 个包的数据。

在接收到 IN 权标时，如果缓冲存储器为可发送状态，就传送数据并且进行正常的应答。如果缓冲存储器为不能发送状态，就发送 Zero-Length 包并且发生欠载错误。

USB 模块通过将 IITV 位置“0”（每帧）时的等时传送发送数据设置功能进行的发送例子如图 28.20 所示。

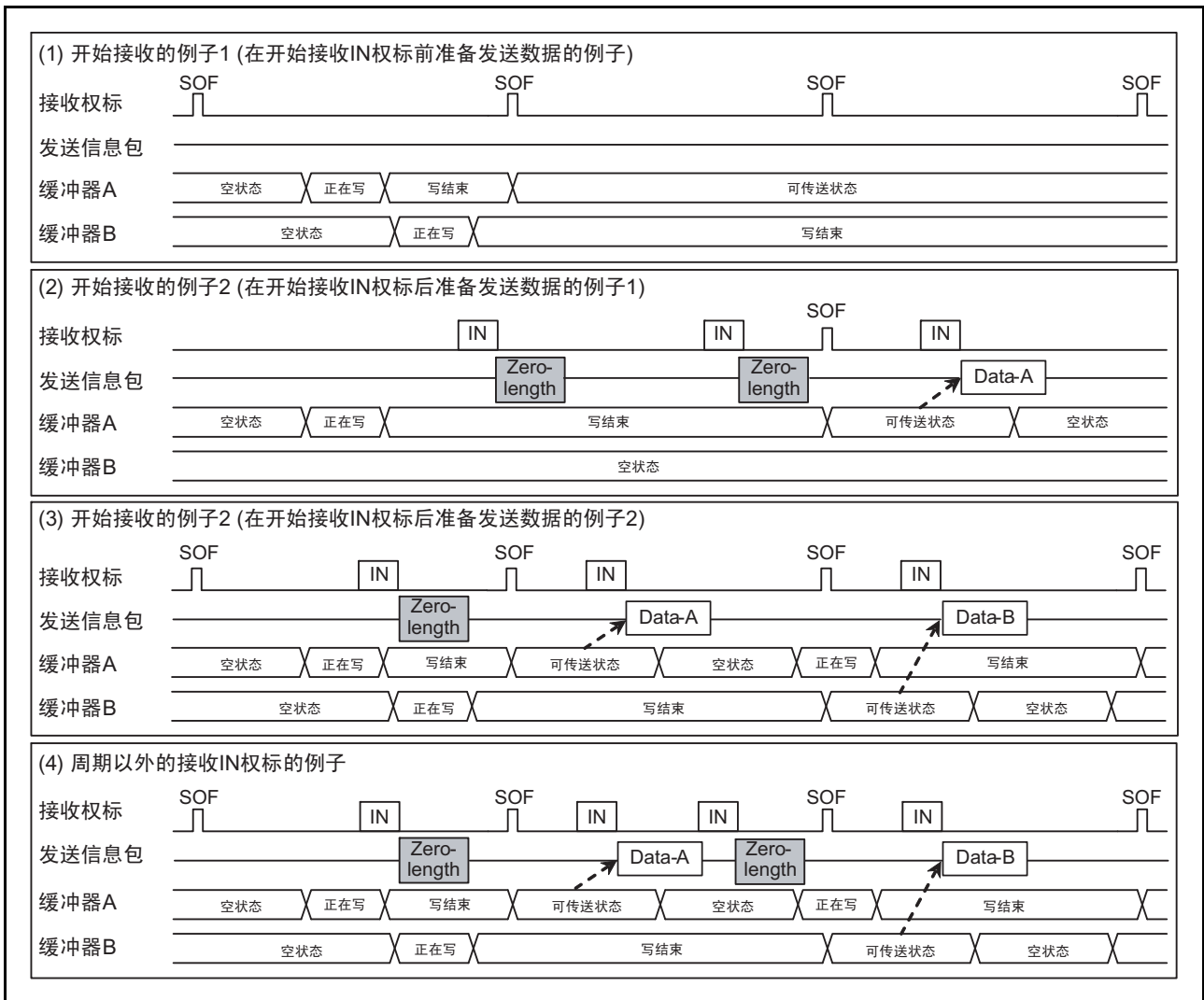


图 28.20 数据设置功能的运行例子

(5) 选择功能控制器功能时的等时传送发送缓冲器刷新

在选择功能控制器功能时，如果 USB 模块在等时数据发送过程中的间隔帧中没有接收到 IN 权标而接收到下一帧的 SOF 包，就作为 IN 权标破损进行处理，并且清除处于可发送状态的缓冲器，使该缓冲器变为可写状态。

此时，如果使用双缓冲器并且写完 2 个缓冲器，放弃的缓冲存储器就被看作是同一间隔帧发送的数据，并且将接收 SOF 包时未放弃的缓冲存储器设定为可传送状态。

缓冲器刷新功能的运行开始时序因 IITV 位的设定值而不同。

- IITV 位为“0”的情况
从管道有效的下一帧开始进行缓冲器刷新。
- IITV 位不为“0”的情况
在最初的正常事务后进行缓冲器刷新。

USB 模块的缓冲器刷新功能的运行例子如图 28.21 所示。但是，对于所设定间隔以外的权标（间隔帧前的权标），根据数据设置状态，发送写数据或者发送作为欠载错误的 Zero-Length 包。

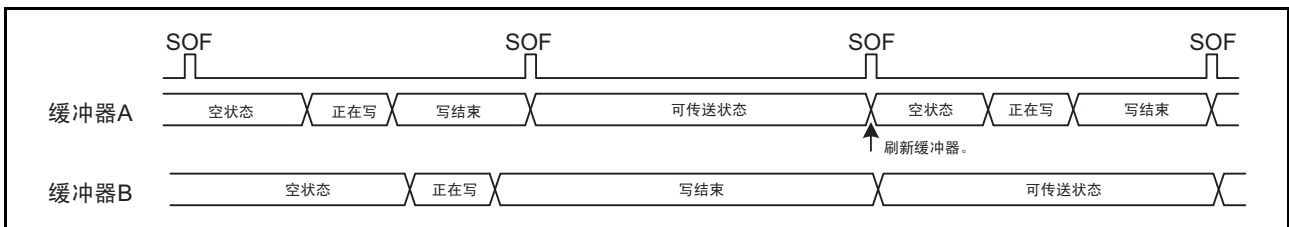


图 28.21 缓冲器刷新功能的运行例子

USB 模块的间隔错误发生例子如图 28.22 所示。间隔错误有以下 5 种。在图中的①时序发生间隔错误并且进行缓冲器刷新功能的运行。

如果在 IN 传送时发生间隔错误，缓冲器刷新功能就运行，并且在 OUT 传送时产生 NRDY 中断。

必须通过 OVRN 位判断接收包错误等 NRDY 中断和超限错误的区别。

图中阴影部分的权标是根据缓冲存储器的状态进行的应答。

【IN 方向】

- 如果缓冲器为可传送状态，就进行数据传送并且进行正常的应答。
- 如果缓冲器为不可传送状态，就发送 Zero-Length 包并且发生欠载错误

【OUT 方向】

- 如果缓冲器为可接收状态，就进行数据接收并且进行正常的应答。
- 如果缓冲器为不可接收状态，就放弃数据并且发生超限错误。

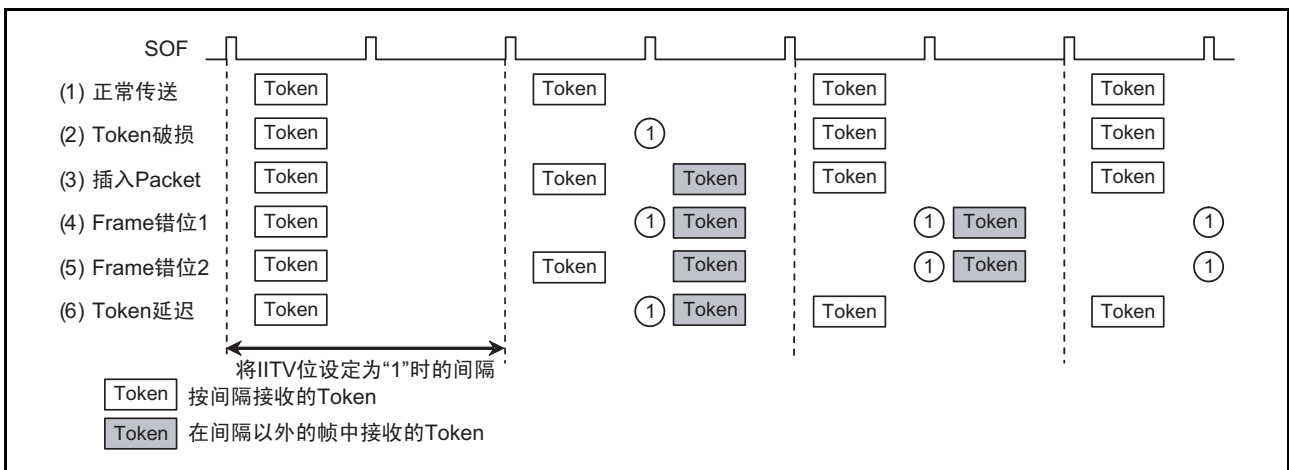


图 28.22 IITV 位为“1”时的间隔错误发生例子

28.3.10 SOF 内插功能

在选择功能控制器功能时，如果因 SOF 包的破损或者丢失而在 1ms 间隔内不能接收到 SOF 包，USB 模块就内插 SOF。在 SYSCFG.USB_E 位为“1”、SYSCFG.SCKE 位为“1”并且接收 SOF 包时，开始内插 SOF。在下述条件下，对内插功能进行初始化：

- 上电复位
- USB 总线复位
- 检测到挂起

SOF 内插按以下规格进行：

- 在接收 SOF 包前，不进行内插。
- 在接收到最初的 SOF 包后，通过 48MHz 内部时钟对 1ms 进行计数并且进行内插。
- 在接收到第 2 次以后的 SOF 包后，使用前一次接收间隔进行内插。
- 在挂起时或者在接收 USB 总线复位时，不进行内插。

USB 模块根据接收的 SOF 包运行下述功能。但是，如果 SOF 包丢失就进行内插 SOF，因此能继续正常运行。

- 帧号的更新
- SOFR 中断时序
- 等时传送的间隔计数

如果在全速运行时丢失 SOF 包，就不更新 FRMNUM 寄存器的 FRNM 位。

28.3.11 管道的安排

28.3.11.1 事务发行条件

在选择主机控制器功能时，USB 模块在将 UACT 位置“1”后，按表 28.28 所示的条件发行事务。

表 28.28 事务发行条件

事务	发行条件				
	DIR	PID	IITV0	缓冲器的状态	SUREQ
设置	— (注1)	— (注1)	— (注1)	— (注1)	设定“1”
控制传送的数据阶段、状态阶段、批量传送	IN	BUF	无效	有接收区域	— (注1)
	OUT	BUF	无效	有发送数据	— (注1)
中断传送	IN	BUF	有效	有接收区域	— (注1)
	OUT	BUF	有效	有发送数据	— (注1)
等时传送	IN	BUF	有效	(注2)	— (注1)
	OUT	BUF	有效	(注3)	— (注1)

注 1. 表中的“—”表示是与权标的发行无关的条件。“有效”表示在中断传送和等时传送中，只在间隔计数器的传送帧中发行。“无效”表示与间隔计数器无关的发行条件。

注 2. 不管有还是没有接收区域，都发行事务。但是在没有接收区域时，放弃接收数据。

注 3. 不管有还是没有发送数据，都发行事务。但是在没有发送数据时，发送 Zero-Length 包。

28.3.11.2 传送的安排

以下说明 USB 模块的帧内的传送安排方法。在发送 SOF 后，USB 模块按照以下所示的步骤进行传送：

1. 周期性传送的执行

按照管道 1→管道 2→管道 6→管道 7→管道 8→管道 9 的顺序查找管道，如果有能发行等时传送或者中断传送的事务管道，就发行事务。

2. 控制传送的设置事务

确认 DCP，如果能发行设置事务，就发送事务。

3. 批量、控制传送数据阶段和状态阶段的执行

按照 DCP→管道 1→管道 2→管道 3→管道 4→管道 5 的顺序查找管道，如果有能发行批量、控制传送数据阶段、控制传送状态阶段的事务管道，就执行事务。

在发行事务后，无论外围设备的应答是 ACK 还是 NAK，都移到下一个管道的事务。如果帧内有传送的时间，就重复执行步骤 3. 的操作。

28.3.11.3 USB 通信的允许

能通过将 DVSTCTR 寄存器的 UACT 位置“1”，开始发送 SOF 并且进入可发行事务的状态。

如果将 UACT 位置“0”，就停止发送 SOF 而进入挂起状态。如果将 UACT 位从“1”改为“0”，就在发送下一个 SOF 后停止发送。

29. 串行通信接口 (SCIA)

RX62N 群和 RX621 群内置 6 个独立通道的串行通信接口 (SCI: Serial Communication Interface)。

SCI 能进行异步串行通信和时钟同步串行通信。

在异步模式中, 能和 Universal Asynchronous Receiver/Transmitter (UART) 或者 Asynchronous Communication Interface Adapter (ACIA) 等标准异步通信 LSI 进行串行通信。

另外, 作为异步模式的扩展功能, 对应符合 ISO/IEC 7816-3 (Identification Card) 规格的智能卡 (IC 卡) 接口 (SMCI)。

29.1 概要

SCI 的规格和各通道功能一览表分别如表 29.1 和表 29.2 所示。

SCI0 ~ SCI3 以及 SMCI0 ~ SMCI3、SMCI5、SMCI6 的框图如图 29.1 所示, SCI5 和 SCI6 的框图如图 29.2 所示。

表 29.1 SCI 的规格

项目		内容
串行通信方式		<ul style="list-style-type: none"> • 异步 • 时钟同步 • 智能卡接口
传送率		能通过内部波特率发生器设定任意的位速率。
全双工通信		发送部: 能通过双缓冲结构进行连续的发送。 接收部: 能通过双缓冲结构进行连续的接收。
输入 / 输出引脚		参照表 29.3。
数据传送		可选择 LSB first 或者 MSB first。
中断源		发送结束、发送数据空、接收数据满、接收错误
低功耗功能		各通道能设定为模块停止状态。
异步模式	数据长度	7 位或者 8 位
	发送停止位	1 位或者 2 位
	奇偶校验功能	偶校验、奇校验或者无奇偶校验
	接收错误检测功能	奇偶校验错误、溢出错误、帧错误
	中止的检测	在发生帧错误时, 能通过直接读 RxDn (n=0 ~ 3、5、6) 引脚的电平检测中止。
	时钟源	可选择内部时钟或者外部时钟。 能输入 TMR 的传送率时钟 (SCI5 和 SCI6)。
	多处理器通信功能	多个处理器之间的串行通信功能
时钟同步模式	数据长度	8 位
	接收错误的检测	溢出错误
智能卡接口模式	错误处理	如果在接收时检测到奇偶校验错误, 就自动发送错误信号。
		如果在发送时接收到错误信号, 就自动重新发送数据。
	数据类型	支持正向协议或者反向协议

表 29.2 SCI 的各通道功能一览表

项目	SCI0 ~ SCI3	SCI5 和 SCI6
异步模式	○	○
时钟同步模式	○	○
智能卡接口模式	○	○
TMR 时钟输入	—	○

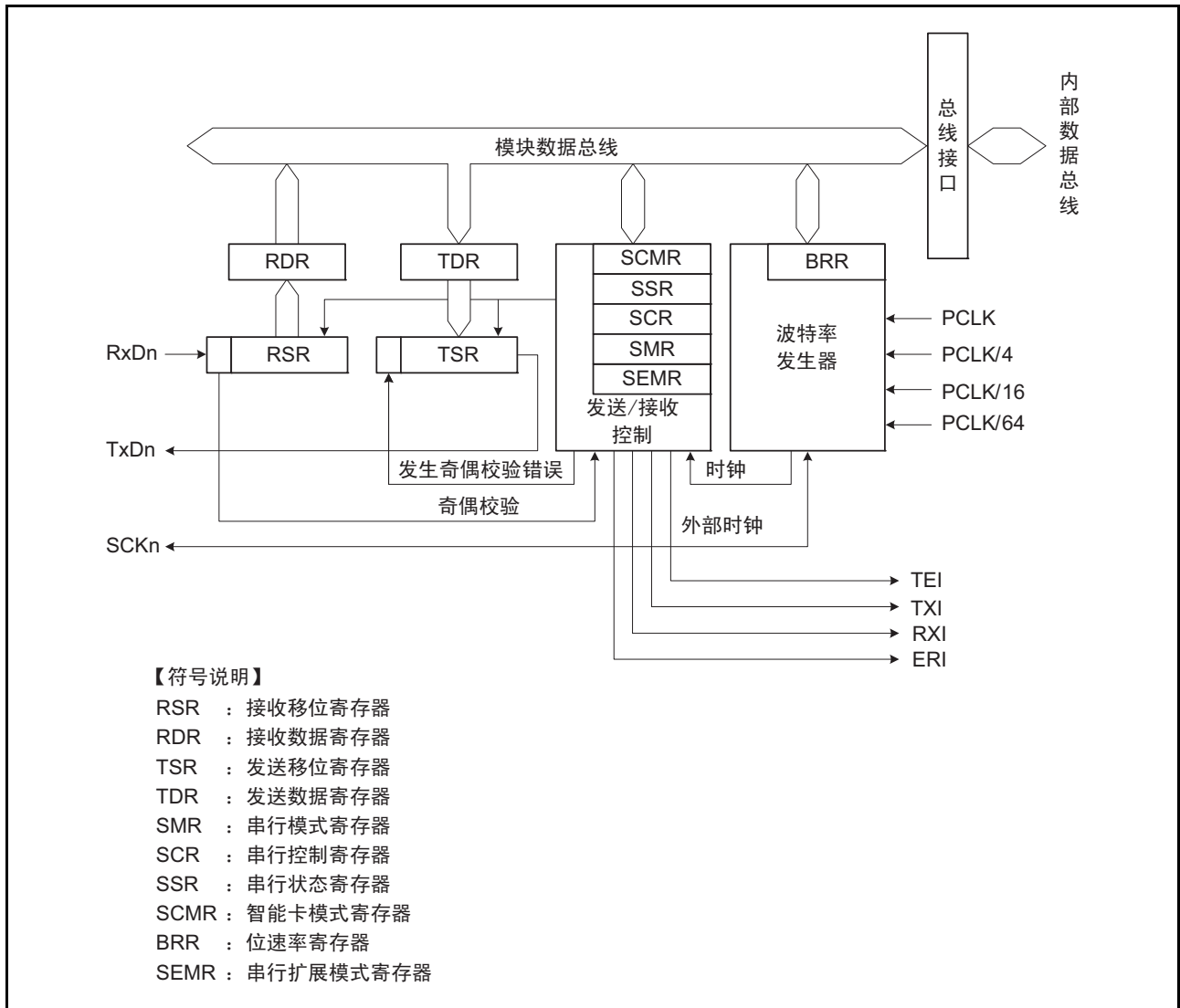


图 29.1 SCI0 ~ SCI3 以及 SMCIO ~ SMC13、SMCI5、SMCI6 的框图

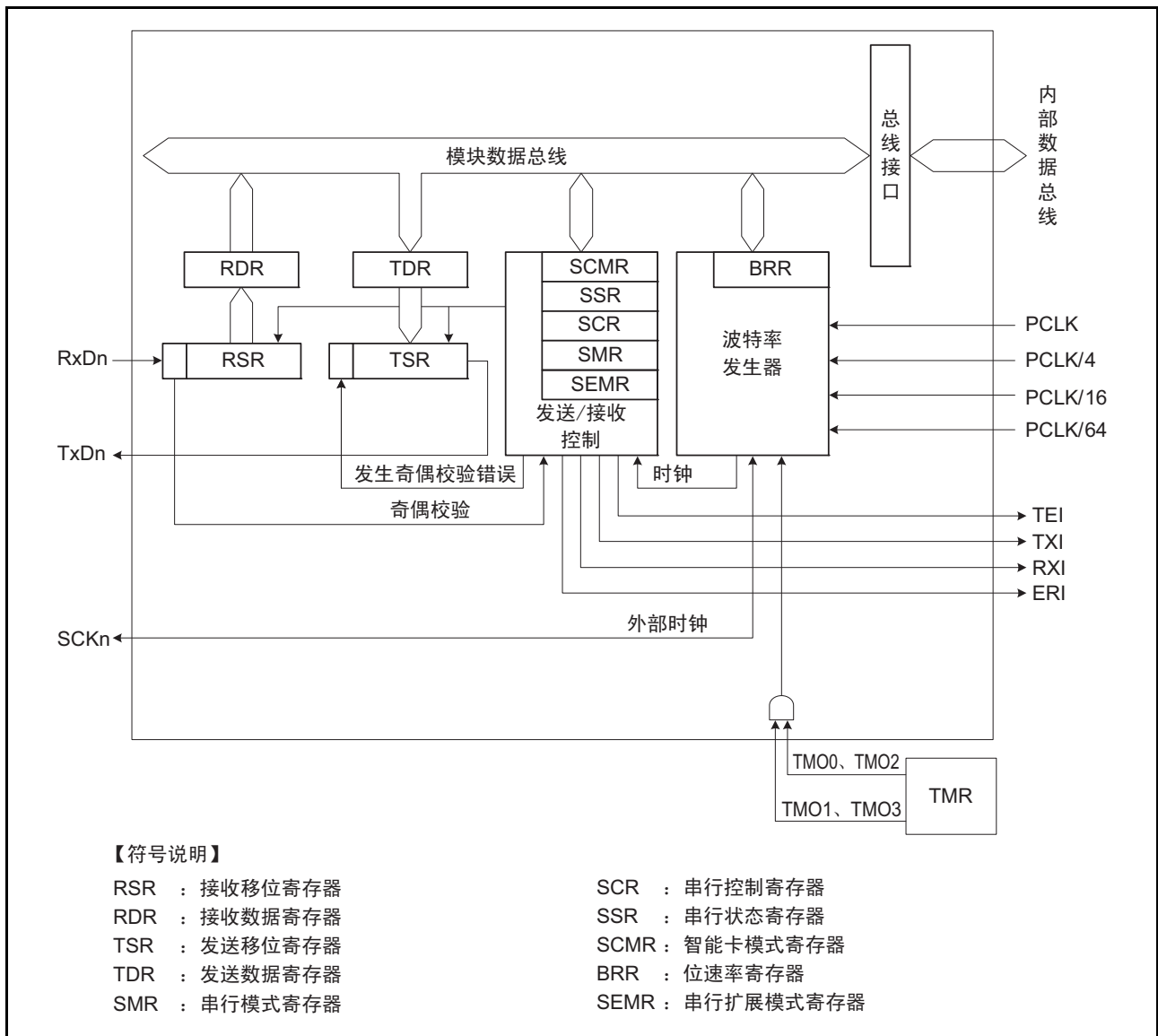


图 29.2 SCI5 和 SCI6 的框图

SCI/SMCI 使用的输入 / 输出引脚如表 29.3 所示。

表 29.3 SCI/SMCI 的输入 / 输出引脚

通道	引脚名	输入 / 输出	功能
SCI0/SMCI0	SCK0	输入 / 输出	SCI0/SMCI0 的时钟输入 / 输出引脚
	RxD0	输入	SCI0/SMCI0 的接收数据输入引脚
	TxD0	输出	SCI0/SMCI0 的发送数据输出引脚
SCI1/SMCI1	SCK1	输入 / 输出	SCI1/SMCI1 的时钟输入 / 输出引脚
	RxD1	输入	SCI1/SMCI1 的接收数据输入引脚
	TxD1	输出	SCI1/SMCI1 的发送数据输出引脚
SCI2/SMCI2	SCK2	输入 / 输出	SCI2/SMCI2 的时钟输入 / 输出引脚
	RxD2	输入	SCI2/SMCI2 的接收数据输入引脚
	TxD2	输出	SCI2/SMCI2 的发送数据输出引脚
SCI3/SMCI3	SCK3	输入 / 输出	SCI3/SMCI3 的时钟输入 / 输出引脚
	RxD3	输入	SCI3/SMCI3 的接收数据输入引脚
	TxD3	输出	SCI3/SMCI3 的发送数据输出引脚
SCI5/SMCI5	SCK5	输入 / 输出	SCI5/SMCI5 的时钟输入 / 输出引脚
	RxD5	输入	SCI5/SMCI5 的接收数据输入引脚
	TxD5	输出	SCI5/SMCI5 的发送数据输出引脚
SCI6/SMCI6	SCK6	输入 / 输出	SCI6/SMCI6 的时钟输入 / 输出引脚
	RxD6	输入	SCI6/SMCI6 的接收数据输入引脚
	TxD6	输出	SCI6/SMCI6 的发送数据输出引脚

29.2 串行通信接口模式

当 SCMR.SMIF 位为“0”时，SCI 为串行通信接口模式。

29.2.1 寄存器说明

SCI 的寄存器一览表如表 29.4 所示。

表 29.4 SCI 的寄存器一览表

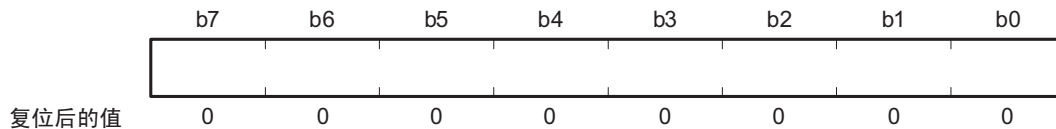
通道	寄存器名	符号	复位后的值	地址	存取长度
SCI0	串行模式寄存器	SMR	00h	0008 8240h	8
	位速率寄存器	BRR	FFh	0008 8241h	8
	串行控制寄存器	SCR	00h	0008 8242h	8
	发送数据寄存器	TDR	FFh	0008 8243h	8
	串行状态寄存器	SSR	84h	0008 8244h	8
	接收数据寄存器	RDR	00h	0008 8245h	8
	智能卡模式寄存器	SCMR	F2h	0008 8246h	8
	串行扩展模式寄存器	SEMR	00h	0008 8247h	8
SCI1	串行模式寄存器	SMR	00h	0008 8248h	8
	位速率寄存器	BRR	FFh	0008 8249h	8
	串行控制寄存器	SCR	00h	0008 824Ah	8
	发送数据寄存器	TDR	FFh	0008 824Bh	8
	串行状态寄存器	SSR	84h	0008 824Ch	8
	接收数据寄存器	RDR	00h	0008 824Dh	8
	智能卡模式寄存器	SCMR	F2h	0008 824Eh	8
	串行扩展模式寄存器	SEMR	00h	0008 824Fh	8
SCI2	串行模式寄存器	SMR	00h	0008 8250h	8
	位速率寄存器	BRR	FFh	0008 8251h	8
	串行控制寄存器	SCR	00h	0008 8252h	8
	发送数据寄存器	TDR	FFh	0008 8253h	8
	串行状态寄存器	SSR	84h	0008 8254h	8
	接收数据寄存器	RDR	00h	0008 8255h	8
	智能卡模式寄存器	SCMR	F2h	0008 8256h	8
	串行扩展模式寄存器	SEMR	00h	0008 8257h	8
SCI3	串行模式寄存器	SMR	00h	0008 8258h	8
	位速率寄存器	BRR	FFh	0008 8259h	8
	串行控制寄存器	SCR	00h	0008 825Ah	8
	发送数据寄存器	TDR	FFh	0008 825Bh	8
	串行状态寄存器	SSR	84h	0008 825Ch	8
	接收数据寄存器	RDR	00h	0008 825Dh	8
	智能卡模式寄存器	SCMR	F2h	0008 825Eh	8
	串行扩展模式寄存器	SEMR	00h	0008 825Fh	8
SCI5	串行模式寄存器	SMR	00h	0008 8268h	8
	位速率寄存器	BRR	FFh	0008 8269h	8
	串行控制寄存器	SCR	00h	0008 826Ah	8
	发送数据寄存器	TDR	FFh	0008 826Bh	8
	串行状态寄存器	SSR	84h	0008 826Ch	8
	接收数据寄存器	RDR	00h	0008 826Dh	8
	智能卡模式寄存器	SCMR	F2h	0008 826Eh	8
	串行扩展模式寄存器	SEMR	00h	0008 826Fh	8
SCI6	串行模式寄存器	SMR	00h	0008 8270h	8
	位速率寄存器	BRR	FFh	0008 8271h	8
	串行控制寄存器	SCR	00h	0008 8272h	8
	发送数据寄存器	TDR	FFh	0008 8273h	8
	串行状态寄存器	SSR	84h	0008 8274h	8
	接收数据寄存器	RDR	00h	0008 8275h	8
	智能卡模式寄存器	SCMR	F2h	0008 8276h	8
	串行扩展模式寄存器	SEMR	00h	0008 8277h	8

29.2.1.1 接收移位寄存器 (RSR)

RSR 寄存器是将 RxDn 引脚输入的串行数据转换为并行数据的接收移位寄存器。
如果接收 1 帧的数据，数据就自动传送到 RDR 寄存器。
CPU 不能直接存取 RSR 寄存器。

29.2.1.2 接收数据寄存器 (RDR)

地址 SCI0.RDR 0008 8245h、SCI1.RDR 0008 824Dh、SCI2.RDR 0008 8255h、SCI3.RDR 0008 25Dh
SCI5.RDR 0008 826Dh、SCI6.RDR 0008 8275h



RDR 寄存器是保存接收数据的 8 位寄存器。

如果接收 1 帧的数据，就将接收数据从 RSR 寄存器传送到此寄存器并且 RSR 寄存器变为能接收下一个数据的状态。

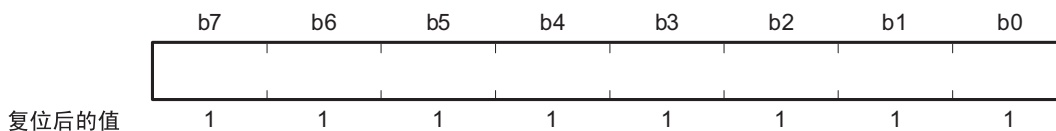
因为 RSR 寄存器和 RDR 寄存器是双缓冲结构，所以能连续接收。

在产生接收数据满中断 (RXI) 请求时，只能读 1 次 RDR 寄存器。必须注意：如果不从 RDR 读接收数据而接收下一帧的数据，就会产生溢出错误。

CPU 不能写 RDR 寄存器。

29.2.1.3 发送数据寄存器 (TDR)

地址 SCI0.TDR 0008 8243h、SCI1.TDR 0008 824Bh、SCI2.TDR 0008 8253h、SCI3.TDR 0008 825Bh
SCI5.TDR 0008 826Bh、SCI6.TDR 0008 8273h



TDR 寄存器是保存发送数据的 8 位寄存器。

如果检测到 TSR 寄存器为空，就将写在 TDR 寄存器的发送数据传送到 TSR 寄存器，开始发送。

因为 TDR 寄存器和 TSR 寄存器为双缓冲结构，所以能连续发送。如果在发送了 1 帧的数据时将下一个发送数据写到 TDR 寄存器，就将此数据传送到 TSR 寄存器，继续发送。

CPU 能随时读写 TDR 寄存器。在产生发送数据空中断 (TXI) 请求时，只能给 TDR 寄存器写 1 次发送数据。

29.2.1.4 发送移位寄存器 (TSR)

TSR 寄存器是发送串行数据的移位寄存器。

写在 TDR 寄存器的发送数据自动传送到 TSR 寄存器，通过将数据发送到 TxDn 引脚进行串行数据的发送。

CPU 不能直接存取 TSR 寄存器。

29.2.1.5 串行模式寄存器 (SMR)

地址 SCI0.SMR 0008 8240h、SCI1.SMR 0008 8248h、SCI2.SMR 0008 8250h、SCI3.SMR 0008 8258h
SCI5.SMR 0008 8268h、SCI6.SMR 0008 8270h

	b7	b6	b5	b4	b3	b2	b1	b0
	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	CKS[1:0]	时钟选择位	b1 b0 0 0: PCLK 时钟 (n=0) (注1) 0 1: PCLK/4 时钟 (n=1) (注1) 1 0: PCLK/16 时钟 (n=2) (注1) 1 1: PCLK/64 时钟 (n=3) (注1)	R/W (注4)
b2	MP	多处理器模式位	(只在异步模式中有效) 0: 禁止多处理器通信功能 1: 允许多处理器通信功能	R/W (注4)
b3	STOP	停止位长选择位	(只在异步模式中有效) 0: 1 个停止位 1: 2 个停止位	R/W (注4)
b4	PM	奇偶校验模式位	(只在异步模式中并且 PE 位为“1”时有效) 0: 偶校验 1: 奇校验	R/W (注4)
b5	PE	奇偶校验允许位	(只在异步模式中有效) • 发送时 0: 无奇偶校验位 1: 附加奇偶校验位 • 接收时 0: 不进行奇偶校验 1: 进行奇偶校验	R/W (注4)
b6	CHR	字符长位	(只在异步模式中有效) 0: 数据长度为 8 位 (注2) 1: 数据长度为 7 位 (注3)	R/W (注4)
b7	CM	通信模式位	0: 异步通信模式 1: 时钟同步通信模式	R/W (注4)

注 1. n 为设定值的 10 进制数, 表示“29.2.1.9 位速率寄存器 (BRR)”中的 n 的值。

注 2. 在时钟同步模式中, 与设定值无关, 数据长度为 8 位。

注 3. 固定为 LSB first, 在发送时不发送 TDR 寄存器的 MSB (b7)。

注 4. 只能在 SCR.TE 位和 SCR.RE 位都为“0” (禁止串行发送和串行接收) 时写这些位。

SMR 寄存器选择通信格式以及内部波特率发生器的时钟源。

CKS[1:0] 位 (时钟选择位)

这些位选择内部波特率发生器的时钟源。

有关 CKS[1:0] 位的设定值和波特率的关系，请参照“29.2.1.9 位速率寄存器 (BRR)”。

MP 位 (多处理器模式位)

此位选择禁止或者允许多处理器通信功能。在多处理器模式中，PE 位和 PM 位的设定无效。

STOP 位 (停止位长选择位)

此位选择发送数据的停止位长。

在接收时，与此位的设定无关，只检查停止位的第 1 位，当第 2 位为“0”时，将第 2 位视为下一个发送帧的起始位。

PM 位 (奇偶校验模式位)

此位选择发送和接收时的奇偶校验 (偶校验或者奇校验)。

在多处理器模式中，PM 位的设定无效。

PE 位 (奇偶校验允许位)

当 PE 位为“1”时，在发送时附加奇偶校验位，在接收时进行奇偶校验。

与 PE 位的设定无关，不在多处理器格式中附加奇偶校验位，也不进行奇偶校验。

CHR 位 (字符长位)

此位选择发送 / 接收数据的数据长度。

在时钟同步模式中，数据长度为 8 位。

CM 位 (通信模式位)

此位选择异步模式或者时钟同步模式。

29.2.1.6 串行控制寄存器 (SCR)

地址 SCI0.SCR 0008 8242h、SCI1.SCR 0008 824Ah、SCI2.SCR 0008 8252h、SCI3.SCR 0008 825Ah
SCI5.SCR 0008 826Ah、SCI6.SCR 0008 8272h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
0	0	0	0	0	0	0	0

复位后的值

位	符号	位名	功能	R/W
b1-b0	CKE[1:0]	时钟允许位	<ul style="list-style-type: none"> • SCI0 ~ SCI3 的情况 (异步模式) b1 b0 0 0: 内部波特率发生器 SCKn 引脚能用作输入 / 输出端口。 0 1: 内部波特率发生器 从 SCKn 引脚输出频率与位速率相同的时钟。 1 0: 外部时钟 必须从 SCKn 引脚输入频率为 16 倍位速率的时钟。 在 SEMR.ABCS 位为“1”时输入频率为 8 倍位速率的时钟。 1 1: 外部时钟 必须从 SCKn 引脚输入频率为 16 倍位速率的时钟。 在 SEMR.ABCS 位为“1”时输入频率为 8 倍位速率的时钟。 <ul style="list-style-type: none"> (时钟同步模式) b1 b0 0 0: 内部时钟 SCKn 引脚为时钟的输出引脚。 0 1: 内部时钟 SCKn 引脚为时钟的输出引脚。 1 0: 外部时钟 SCKn 引脚为时钟的输入引脚。 1 1: 外部时钟 SCKn 引脚为时钟的输入引脚。 	R/W (注 1)

位	符号	位名	功能	R/W
b1-b0	CKE[1:0]	时钟允许位	<ul style="list-style-type: none"> • SCI5 和 SCI6 的情况 (异步模式) b1 b0 0 0: 内部波特率发生器 SCKn 引脚能用作输入 / 输出端口。 0 1: 内部波特率发生器 从 SCKn 引脚输出频率与位速率相同的时钟。 1 0: 外部时钟或者 TMR 时钟 <ul style="list-style-type: none"> • 在使用外部时钟时, 必须从 SCKn 引脚输入频率为 16 倍位速率的时钟。在 SEMR.ABCS 位为 “1” 时输入频率为 8 倍位速率的时钟。 • 能使用 TMR 时钟。 1 1: 外部时钟或者 TMR 时钟 <ul style="list-style-type: none"> • 在使用外部时钟时, 必须从 SCKn 引脚输入频率为 16 倍位速率的时钟。在 SEMR.ABCS 位为 “1” 时输入频率为 8 倍位速率的时钟。 • 能使用 TMR 时钟。 (时钟同步模式) b1 b0 0 0: 内部时钟 SCKn 引脚为时钟的输出引脚。 0 1: 内部时钟 SCKn 引脚为时钟的输出引脚。 1 0: 外部时钟 SCKn 引脚为时钟的输入引脚。 1 1: 外部时钟 SCKn 引脚为时钟的输入引脚。	R/W (注 1)
b2	TEIE	发送结束中断允许位	0: 禁止 TEI 中断请求 1: 允许 TEI 中断请求	R/W
b3	MPIE	多处理器中断允许位	(在异步模式中 SMR.MP 位为 “1” 时有效) 0: 正常的接收运行 1: 跳读多处理器位为 “0” 的接收数据, 禁止 SSR. ORER 和 SSR.FER 各状态标志的置位 (“1”)。如果接收到多处理器位是 “1” 的数据, 就自动清除 (“0”) MPIE 位, 返回到正常的接收运行。	R/W
b4	RE	接收允许位	0: 禁止串行接收 1: 允许串行接收	R/W (注 2)
b5	TE	发送允许位	0: 禁止串行发送 1: 允许串行发送	R/W (注 2)
b6	RIE	接收中断允许位	0: 禁止 RXI 中断请求和 ERI 中断请求 1: 允许 RXI 中断请求和 ERI 中断请求	R/W
b7	TIE	发送中断允许位	0: 禁止 TXI 中断请求 1: 允许 TXI 中断请求	R/W

注 1. 只能在 TE 位和 RE 位都为 “0” 时写这些位。

注 2. 只能在 TE 位和 RE 位都为 “0” 时写 “1”。一旦将 TE 位或者 RE 位置 “1”, 就只能在 TE 位和 RE 位都为 “0” 时写此位。

SCR 寄存器是控制发送 / 接收以及选择发送 / 接收时钟源的寄存器。

CKE[1:0] 位 (时钟允许位)

这些位选择时钟源和 SCK_n 引脚的功能。

TEIE 位 (发送结束中断允许位)

此位允许或者禁止 TEI 中断。

要禁止 TEI 中断时, 将 TEIE 位置“0”。

MPIE 位 (多处理器中断允许位)

如果将 MPIE 位置“1”, 就跳读多处理器位为“0”的接收数据, 并且 SSR. ORER 和 SSR. FER 的各状态标志不变为“1”。如果接收多处理器位为“1”的数据, MPIE 位就自动变为“0”并且返回到通常的接收运行。详细内容请参照“29.2.3 多处理器通信功能”。

在接收包括 SSR. MPB 位为“0”的接收数据时, 不将接收数据从 RSR 寄存器传送到 RDR 寄存器, 也不检测接收错误并且不将 ORER 和 FER 的各标志置位 (“1”)。

如果接收包括 MPB 位为“1”的接收数据, 就将 MPB 位置“1”, MPIE 位自动变为“0”, 并且允许 RXI 中断请求和 ERI 中断请求 (SCR 的 RIE 位为“1”的情况) 以及允许 ORER 和 FER 各标志的置位 (“1”)。

在不使用多处理器通信功能时, 不能给 MPIE 位写“0”。

RE 位 (接收允许位)

此位允许或者禁止串行接收。

在将 RE 位置“1”后, 如果在异步模式中检测到起始位, 或者在时钟同步模式中检测到同步时钟输入, 就开始串行接收。必须在将 RE 位置“1”前设定 SMR 寄存器, 决定接收格式。

即使通过将 RE 位置“0”来停止接收, SSR. ORER 标志、SSR. FER 标志和 SSR. PER 标志也不受影响而保持原来的状态。

TE 位 (发送允许位)

此位允许或者禁止串行发送。

如果将 TE 位置“1”, 就通过给 TDR 寄存器写发送数据, 开始串行发送。必须在将 TE 位置“1”前设定 SMR 寄存器, 决定发送格式。

RIE 位 (接收中断允许位)

此位允许或者禁止 RXI 中断和 ERI 中断。

要禁止 RXI 中断时, 将 RIE 位置“0”。

如果在从 SSR. ORER 标志、SSR. FER 标志和 SSR. PER 标志读“1”后将这些标志位置“0”, 或者将 RIE 位置“0”, ERI 中断请求信号就消失。

TIE 位 (发送中断允许位)

此位允许或者禁止通知 TXI 中断。

要禁止 TXI 中断时, 将 TIE 位置“0”。

29.2.1.7 串行状态寄存器 (SSR)

地址 SCI0.SSR 0008 8244h、SCI1.SSR 0008 824Ch、SCI2.SSR 0008 8254h、SCI3.SSR 0008 825Ch
SCI5.SSR 0008 826Ch、SCI6.SSR 0008 8274h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
复位后的值	1	0	0	0	0	1	0	0

位	符号	位名	功能	R/W
b0	MPBT	多处理器位的传送位	设定给发送帧附加的多处理器位的值。	R/W
b1	MPB	多处理器位	是接收帧中的多处理器位的值。	R
b2	TEND	发送结束标志	0: 正在发送字符 1: 字符发送结束	R
b3	PER	奇偶校验错误标志	0: 未发生奇偶校验错误 1: 发生奇偶校验错误	R/(W) (注1)
b4	FER	帧错误标志	0: 未发生帧错误 1: 发生帧错误	R/(W) (注1)
b5	ORER	溢出错误标志	0: 未发生溢出错误 1: 发生溢出错误	R/(W) (注1)
b6	RDRF	接收数据满标志	0: 当从 RDR 寄存器传送数据时 1: 当接收正常结束并且将数据从 RSR 寄存器传送到 RDR 寄存器时	R/(W) (注2)
b7	TDRE	发送数据空标志	0: 当将数据传送到 TDR 寄存器时 1: 当将数据从 TDR 寄存器传送到 TSR 寄存器时	R/(W) (注2)

注1. 为了清除标志, 只能写“0”。

注2. 只能写“1”。

SSR 寄存器由 SCI 的状态标志以及发送 / 接收多处理器位构成。

MPBT 位 (多处理器位的传送位)

此位设定给发送帧附加的多处理器位的值。

MPB 位 (多处理器位)

此位保存接收帧中的多处理器位的值。此位在 SCR.RE 位为“0”时不变。

TEND 标志 (发送结束标志)

此标志表示发送已经结束。

[为“1”的条件]

- SCR.TE 位为“0” (禁止串行发送) 时
- 在发送字符的最后一位时未更新 TDR 寄存器时

[为“0”的条件]

- 给 TDR 寄存器写发送数据时

在通过给 TDR 寄存器写发送数据将 TEND 标志置“0”时, 必须读 TEND 标志, 确认 TEND 标志已变为“0”。

PER 标志 (奇偶校验错误标志)

此标志表示在异步模式中接收的数据发生了奇偶校验错误。

[为“1”的条件]

- 在接收时检测到奇偶校验错误时
将发生奇偶校验错误时的接收数据传送到RDR寄存器，但是不产生RXI中断请求。在PER标志为“1”的状态下，以后的接收数据不传送到RDR寄存器。

[为“0”的条件]

- 读“1”后写“0”（必须在写“0”后确认PER标志已变为“0”）时
即使将SCR.RE位置“0”（禁止串行接收），PER标志也不受影响而保持原来的状态。

FER 标志 (帧错误标志)

此标志表示在异步模式中接收的数据发生了帧错误并且异常结束。

[为“1”的条件]

- 停止位为“0”时
在2个停止位模式中，只判断第1个停止位是否为“1”而不检查第2个停止位。将发生帧错误的接收数据传送到RDR寄存器，但是不产生RXI中断请求。在FER标志为“1”的状态下，以后的接收数据不传送到RDR寄存器。

[为“0”的条件]

- 读“1”后写“0”（必须在写“0”后确认FER标志已变为“0”）时
即使将SCR.RE位置“0”，FER标志也不受影响而保持原来的状态。

ORER 标志 (溢出错误标志)

此标志表示接收的数据发生了溢出错误。

[为“1”的条件]

- 不读RDR寄存器的接收数据就接收到下一个数据时
RDR寄存器保持发生溢出错误前的接收数据而放弃后面的接收数据。在ORER标志为“1”的状态下，不能继续进行以后的串行接收。在时钟同步模式中，也不能继续进行串行发送。

[为“0”的条件]

- 读“1”后写“0”（必须在写“0”后确认ORER标志已变为“0”）时
即使将SCR.RE位置“0”，ORER标志也不受影响而保持原来的状态。

RDRF 标志 (接收数据满标志)

此标志表示在RDR寄存器中是否有接收数据。

[为“1”的条件]

- 接收正常结束并且将数据从RSR寄存器传送到RDR寄存器时

[为“0”的条件]

- 从RDR寄存器传送数据时

TDRE 标志 (发送数据空标志)

此标志表示在TDR寄存器中是否有发送数据。

[为“1”的条件]

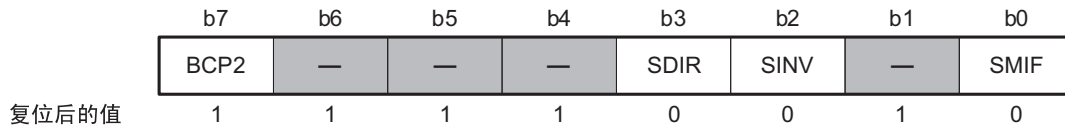
- 将数据从TDR寄存器传送到TSR寄存器时

[为“0”的条件]

- 将数据传送到TDR寄存器时

29.2.1.8 智能卡模式寄存器 (SCMR)

地址 SCI0.SCMR 0008 8246h、SCI1.SCMR 0008 824Eh、SCI2.SCMR 0008 8256h、SCI3.SCMR 0008 825Eh
SCI5.SCMR 0008 826Eh、SCI6.SCMR 0008 8276h



位	符号	位名	功能	R/W
b0	SMIF	智能卡接口模式选择位	0: 串行通信接口模式 1: 智能卡接口模式	R/W (注1)
b1	—	保留位	读写值都为“1”。	R/W
b2	SINV	智能卡数据反相位	0: 将 TDR 寄存器的内容直接发送, 并且将接收数据直接保存到 RDR 寄存器。 1: 将 TDR 寄存器的内容取反后发送, 并且将接收数据取反后保存到 RDR 寄存器。	R/W (注1)
b3	SDIR	位序选择位	0: 以 LSB first 进行发送和接收 1: 以 MSB first 进行发送和接收	R/W (注1)
b6-b4	—	保留位	读写值都为“1”。	R/W
b7	BCP2	基本时钟脉冲位 2	通过和 SMR.BCP[1:0] 位组合进行选择。 SCMR.BCP2 位和 SMR.BCP[1:0] 位的设定值 BCP2 BCP1 BCP0 0 0 0: 93 个时钟 (S=93) (注2) 0 0 1: 128 个时钟 (S=128) (注2) 0 1 0: 186 个时钟 (S=186) (注2) 0 1 1: 512 个时钟 (S=512) (注2) 1 0 0: 32 个时钟 (S=32) (注2) (初始值) 1 0 1: 64 个时钟 (S=64) (注2) 1 1 0: 372 个时钟 (S=372) (注2) 1 1 1: 256 个时钟 (S=256) (注2)	R/W (注1)

注1. 只能在 SCR.TE 位和 SCR.RE 位都为“0”（禁止串行发送和串行接收）时写此位。

注2. S 表示“29.2.1.9 位速率寄存器 (BRR)”中的 S 的值。

SCMR 寄存器是选择智能卡接口模式及其格式的寄存器。

SMIF 位 (智能卡接口模式选择位)

在以智能卡接口模式运行时, 将此位置“1”。

在以异步模式或者时钟同步模式运行时, 将此位置“0”。

SINV 位 (智能卡数据反相位)

将发送 / 接收数据的逻辑电平取反。SINV 位不影响奇偶校验位的逻辑电平。如果要将奇偶校验位取反, 就必须将 SMR.PM 位取反。

SDIR 位 (位序选择位)

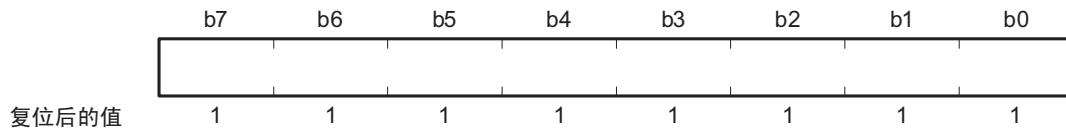
此位选择串行 / 并行转换的方向。

BCP2 位 (基本时钟脉冲位 2)

在智能卡接口模式中, 通过和 SMR.BCP[1:0] 位组合, 选择 1 位传送期间的基本时钟数。

29.2.1.9 位速率寄存器 (BRR)

地址 SCI0.BRR 0008 8241h、SCI1.BRR 0008 8249h、SCI2.BRR 0008 8251h、SCI3.BRR 0008 8259h
 SCI5.BRR 0008 8269h、SCI6.BRR 0008 8271h



BRR 寄存器是调整位速率的 8 位寄存器。

因为 SCI 各通道的波特率发生器独立运行，所以能设定不同的位速率。在一般的异步模式、时钟同步模式和智能卡接口模式中，BRR 寄存器的设定值 N 和位速率 B 的关系如表 29.5 所示。

BRR 寄存器的初始值为“FFh”。

CPU 能随时读 BRR 寄存器，但是只能在 SCR.TE 位和 SCR.RE 位都为“0”时写此寄存器。

表 29.5 BRR 寄存器的设定值 N 和位速率 B 的关系

模式	SEMR.ABCS位	BRR寄存器的设定值	误差
异步	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	误差(%) = $\left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	误差(%) = $\left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
时钟同步		$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	

- 注. B : 位速率 (bps)
- N : 波特率发生器的 BRR 设定值 (0 ≤ N ≤ 255)
- PCLK : 工作频率 (MHz)
- n、S : 取决于下表中 SMR 的设定值。

SMR 寄存器的设定值	时钟源	n
CKS[1:0] 位		
0 0	PCLK 时钟	0
0 1	PCLK/4 时钟	1
1 0	PCLK/16 时钟	2
1 1	PCLK/64 时钟	3

SCMR 寄存器的设定值	SMR 寄存器的设定值	基本时钟	S
BCP2 位	BCP[1:0] 位		
0	0 0	93 个时钟	93
0	0 1	128 个时钟	128
0	1 0	186 个时钟	186
0	1 1	512 个时钟	512
1	0 0	32 个时钟	32
1	0 1	64 个时钟	64
1	1 0	372 个时钟	372
1	1 1	256 个时钟	256

一般的异步模式中的 BRR 寄存器值 N 的设定例子如表 29.6(1) 和表 29.6(2) 所示，在各工作频率下能设定的最大位速率如表 29.7 所示；时钟同步模式和 BRR 寄存器值 N 的设定例子如表 29.9 所示。输入外部时钟时的最大位速率如表 29.8 和表 29.10 所示。

在异步模式中，如果将串行扩展模式寄存器 (SEMR) 的异步基本时钟选择位 (ABCS) 置“1”，位速率就变为表 29.6 所示的位速率的 2 倍。

表 29.6 对应位速率的 BRR 设定例子 (异步模式) (1)

位速率 (bps)	工作频率 PCLK (MHz)											
	8			9.8304			10			12		
	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00
38400	—	—	—	0	7	0.00	0	7	1.73	0	9	-2.34

位速率 (bps)	工作频率 PCLK (MHz)								
	12.288			14			16		
	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)
110	2	217	0.08	2	248	-0.17	3	70	0.03
150	2	159	0.00	2	181	0.16	2	207	0.16
300	2	79	0.00	2	90	0.16	2	103	0.16
600	1	159	0.00	1	181	0.16	1	207	0.16
1200	1	79	0.00	1	90	0.16	1	103	0.16
2400	0	159	0.00	0	181	0.16	0	207	0.16
4800	0	79	0.00	0	90	0.16	0	103	0.16
9600	0	39	0.00	0	45	-0.93	0	51	0.16
19200	0	19	0.00	0	22	-0.93	0	25	0.16
31250	0	11	2.40	0	13	0.00	0	15	0.00
38400	0	9	0.00	—	—	—	0	12	0.16

注. 这是 SEMR.ABCS 位为“0”时的例子。
如果将 ABCS 位置“1”，位速率就变为原来的 2 倍。

表 29.6 对应位速率的 BRR 设定例子 (异步模式) (2)

位速率 (bps)	工作频率 PCLK (MHz)											
	17.2032			18			19.6608			20		
	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)
110	3	75	0.48	3	79	-0.12	3	86	0.31	3	88	-0.25
150	2	223	0.00	2	233	0.16	2	255	0.00	3	64	0.16
300	2	111	0.00	2	116	0.16	2	127	0.00	2	129	0.16
600	1	223	0.00	1	233	0.16	1	255	0.00	2	64	0.16
1200	1	111	0.00	1	116	0.16	1	127	0.00	1	129	0.16
2400	0	223	0.00	0	233	0.16	0	255	0.00	1	64	0.16
4800	0	111	0.00	0	116	0.16	0	127	0.00	0	129	0.16
9600	0	55	0.00	0	58	-0.69	0	63	0.00	0	64	0.16
19200	0	27	0.00	0	28	1.02	0	31	0.00	0	32	-1.36
31250	0	16	1.20	0	17	0.00	0	19	-1.70	0	19	0.00
38400	0	13	0.00	0	14	-2.34	0	15	0.00	0	15	1.73

位速率 (bps)	工作频率 PCLK (MHz)											
	25			30			33			50		
	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)
110	3	110	-0.02	3	132	0.13	3	145	0.33	3	221	-0.02
150	3	80	0.47	3	97	-0.35	3	106	0.39	3	162	-0.15
300	2	162	-0.15	2	194	0.16	2	214	-0.07	3	80	0.47
600	2	80	0.47	2	97	-0.35	2	106	0.39	2	162	-0.15
1200	1	162	-0.15	1	194	0.16	1	214	-0.07	2	80	0.47
2400	1	80	0.47	1	97	-0.35	1	106	0.39	1	162	-0.15
4800	0	162	-0.15	0	194	0.16	0	214	-0.07	1	80	0.47
9600	0	80	0.47	0	97	-0.35	0	106	0.39	1	40	-0.77
19200	0	40	-0.76	0	48	-0.35	0	53	-0.54	0	80	0.47
31250	0	24	0.00	0	29	0	0	32	0	0	49	0.00
38400	0	19	1.73	0	23	1.73	0	26	-0.54	0	40	-0.77

注. 这是 SEMR.ABCS 位为“0”时的例子。
如果将 ABCS 位置“1”，位速率就变为原来的 2 倍。

表 29.7 各工作频率下的最大位速率 (异步模式)

PCLK (MHz)	最大位速率 (bps)	n	N	PCLK (MHz)	最大位速率 (bps)	n	N
8	250000	0	0	18	562500	0	0
9.8304	307200	0	0	19.6608	614400	0	0
10	312500	0	0	20	625000	0	0
12	375000	0	0	25	781250	0	0
12.288	384000	0	0	30	937500	0	0
14	437500	0	0	33	1031250	0	0
16	500000	0	0	50	1562500	0	0
17.2032	537600	0	0				

注. 如果将 SEMR.ABCS 位置“1”，位速率就变为原来的 2 倍。

表 29.8 输入外部时钟时的最大位速率 (异步模式) (1)

PCLK (MHz)	外部输入时钟 (MHz)	最大位速率 (bps)	PCLK (MHz)	外部输入时钟 (MHz)	最大位速率 (bps)
8	2.0000	125000	18	4.5000	281250
9.8304	2.4576	153600	19.6608	4.9152	307200
10	2.5000	156250	20	5.0000	312500
12	3.0000	187500	25	6.2500	390625
12.288	3.0720	192000	30	7.5000	468750
14	3.5000	218750	33	8.2500	515625
16	4.0000	250000	50	12.5000	781250
17.2032	4.3008	268800			

注. 这是 SEMR.ABCS 位为“0”时的例子。

表 29.8 输入外部时钟时的最大位速率 (异步模式) (2)

PCLK (MHz)	外部输入时钟 (MHz)	最大位速率 (bps)	PCLK (MHz)	外部输入时钟 (MHz)	最大位速率 (bps)
8	2.0000	250000	18	4.5000	562500
9.8304	2.4576	307200	19.6608	4.9152	614400
10	2.5000	312500	20	5.0000	625000
12	3.0000	375000	25	6.2500	781250
12.288	3.0720	384000	30	7.5000	937500
14	3.5000	437500	33	8.2500	1031250
16	4.0000	500000	50	12.5000	1562500
17.2032	4.3008	537600			

注. 这是 SEMR.ABCS 位为“1”时的例子。

表 29.9 对应位速率的 BRR 设定例子 (时钟同步模式)

位速率 (bps)	工作频率 PCLK (MHz)															
	8		10		16		20		25		30		33		50	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110																
250	3	124	—	—	3	249										
500	2	249	—	—	3	124	—	—			3	233				
1k	2	124	—	—	2	249	—	—	3	97	3	116	3	128	3	194
2.5k	1	199	1	249	2	99	2	124	2	155	2	187	2	205	3	77
5k	1	99	1	124	1	199	1	249	2	77	2	93	2	102	2	155
10k	0	199	0	249	1	99	1	124	1	155	1	187	1	205	2	77
25k	0	79	0	99	0	159	0	199	0	249	1	74	1	82	1	124
50k	0	39	0	49	0	79	0	99	0	124	0	149	0	164	1	61
100k	0	19	0	24	0	39	0	49	0	62	0	74	0	82	0	124
250k	0	7	0	9	0	15	0	19	0	24	0	29	0	32	0	49
500k	0	3	0	4	0	7	0	9	—	—	0	14	—	—	0	24
1M	0	1	—	—	0	3	0	4	—	—	—	—	—	—	—	—
2M	0	0 (注1)	—	—	0	1	—	—	—	—	—	—	—	—	—	—
2.5M			0	0 (注1)	—	—	0	1	—	—	0	2	—	—	0	4
4M					0	0 (注1)	—	—	—	—	—	—	—	—	—	—
5M							0	0 (注1)	—	—	—	—	—	—	—	—
6.25M									0	0 (注1)	—	—	—	—	0	1
7.5M											0	0 (注1)	—	—	—	—
8.25M													0	0 (注1)	—	—
12.5M															0	0 (注1)

【符号说明】 空栏：不能设定。

—：能设定，但是会产生误差。

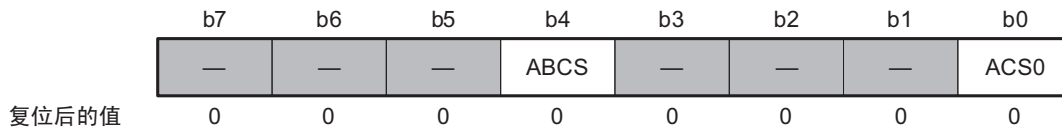
注 1. 不能进行连续的发送和接收。

表 29.10 输入外部时钟时的最大位速率 (时钟同步模式)

PCLK (MHz)	外部输入时钟 (MHz)	最大位速率 (bps)	PCLK (MHz)	外部输入时钟 (MHz)	最大位速率 (bps)
8	1.3333	1333333.3	20	3.3333	3333333.3
10	1.6667	1666666.7	25	4.1667	4166666.7
12	2.0000	2000000.0	30	5.0000	5000000.0
14	2.3333	2333333.3	33	5.5000	5500000.0
16	2.6667	2666666.7	50	8.3333	8333333.3
18	3.0000	3000000.0			

29.2.1.10 串行扩展模式寄存器 (SEMR)

地址 SCI0.SEMR 0008 8247h、SCI1.SEMR 0008 824Fh、SCI2.SEMR 0008 8257h、SCI3.SEMR 0008 25Fh
SCI5.SEMR 0008 826Fh、SCI6.SEMR 0008 8277h



位	符号	位名	功能	R/W									
b0	ACS0	异步时钟源选择位	(只在异步模式中有效) 0: 外部时钟的输入 (SCI0 ~ SCI3、SCI5、SCI6) 1: TMR 时钟的输入 (只对 SCI5 和 SCI6 有效) SCI 通道和比较匹配输出的对应如下所示: <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">SCI</th> <th style="width: 15%;">TMR</th> <th style="width: 25%;">比较匹配输出</th> </tr> </thead> <tbody> <tr> <td>SCI5</td> <td>单元 0</td> <td>TMO0、TMO1</td> </tr> <tr> <td>SCI6</td> <td>单元 1</td> <td>TMO2、TMO3</td> </tr> </tbody> </table>	SCI	TMR	比较匹配输出	SCI5	单元 0	TMO0、TMO1	SCI6	单元 1	TMO2、TMO3	R/W (注)
SCI	TMR	比较匹配输出											
SCI5	单元 0	TMO0、TMO1											
SCI6	单元 1	TMO2、TMO3											
b3-b1	—	保留位	读写值都为“0”。	R/W									
b4	ABCS	异步基本时钟选择位	(只在异步模式中有效) 0: 16 个基本时钟周期的时间为 1 位时间的传送率 1: 8 个基本时钟周期的时间为 1 位时间的传送率	R/W (注)									
b7-b5	—	保留位	读写值都为“0”。	R/W									

注. 只能在 SCR.TE 位和 SCR.RE 位都为“0” (禁止串行发送和串行接收) 时写此位。

SEMR 寄存器选择异步模式中的 1 位时间的时钟。

对于 SCI5 和 SCI6, 能将 TMR 单元 0 和单元 1 的 TMO_n (n=0 ~ 3) 输出设定为串行发送 / 接收的基本时钟。

选择 TMR_n (n=0 ~ 3) 的 TMO_n 输出时的设定例子如图 29.3 所示。

ACS0 位 (异步时钟源选择位)

此位选择异步模式中的时钟源。

ACS0 位在异步模式 (SMR.CM 位 =0) 中并且输入外部时钟 (SCR.CKE[1:0] 位 =10b、11b) 时有效。能选择外部时钟的输入或者内部 TMR 时钟的输入。

在 SCI5 和 SCI6 以外的通道时, 此位为保留位, 只能写“0”。

ABCS 位 (异步基本时钟选择位)

此位选择 1 位时间的基本时钟的脉冲数。

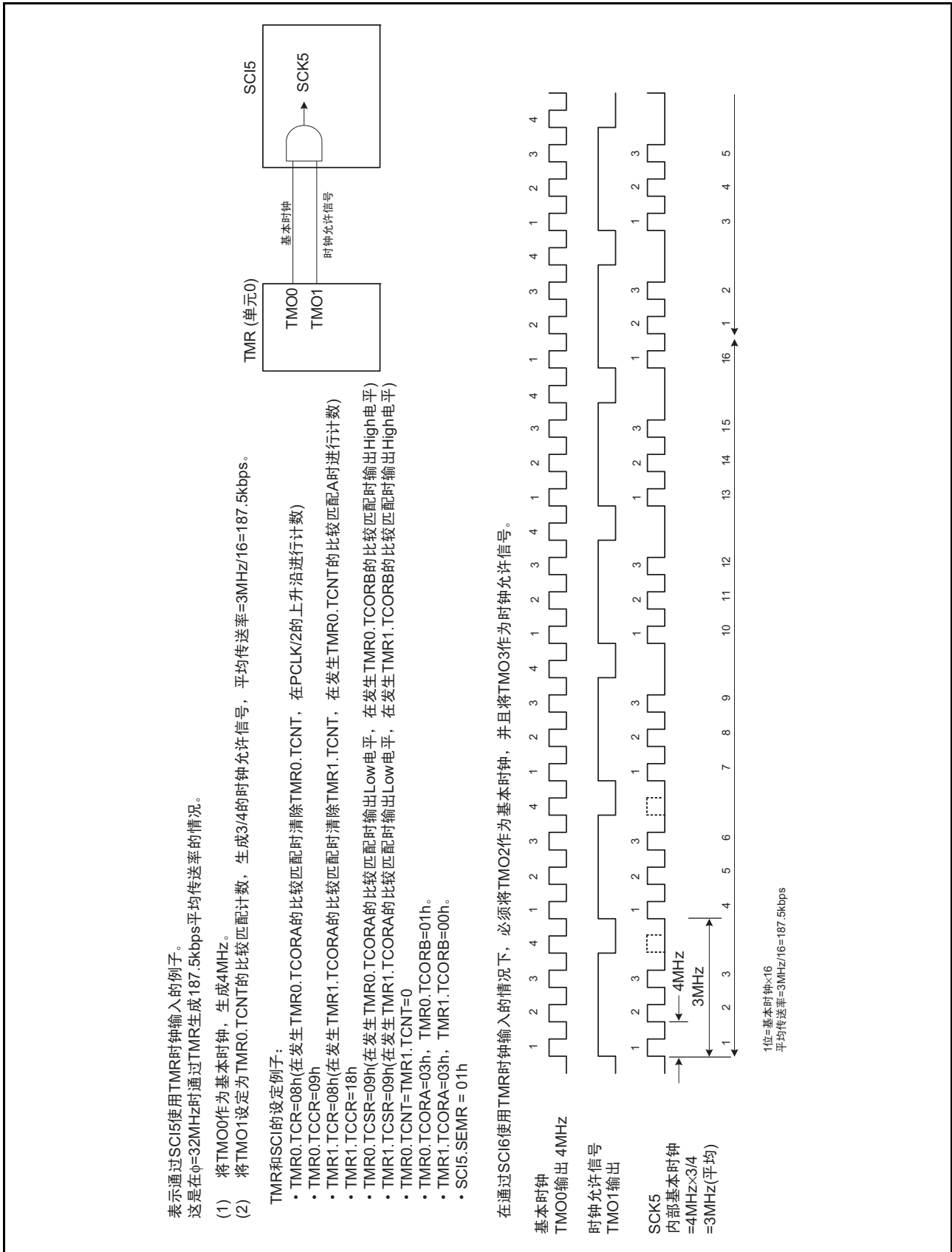


图 29.3 输入 TMR 时钟时的平均传送率的设定例子

29.2.2 异步模式的运行

异步串行通信的一般数据格式如图 29.4 所示。

按照起始位 (Low 电平)、发送 / 接收数据、奇偶校验位、停止位 (High 电平) 的顺序构成 1 帧。

在异步串行通信模式中, 通信线路通常保持标记状态 (High 电平)。

SCI 监视通信线路, 如果检测到空闲 (Low 电平), 就视为起始位并且开始串行通信。

SCI 内部的发送部和接收部各自独立, 因此能进行全双工通信。因为发送部和接收部都为双缓冲结构, 所以能在发送和接收时读写数据, 也能进行连续的发送和接收。

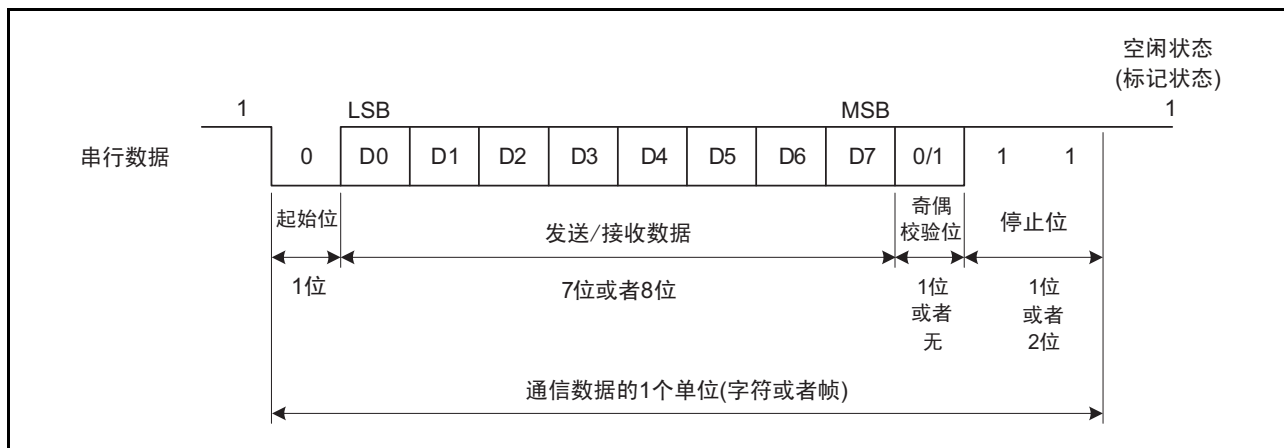


图 29.4 异步串行通信的数据格式 (8 位数据 / 有奇偶校验 / 2 个停止位的例子)

29.2.2.1 串行发送 / 接收格式

异步模式中能设定的串行发送 / 接收格式如表 29.11 所示。

串行发送 / 接收格式有 12 种，能通过设定 SMR 寄存器进行选择。有关多处理器通信功能的详细内容，请参照“29.2.3 多处理器通信功能”。

表 29.11 串行发送 / 接收格式 (异步模式)

SMR 的设定				串行发送/接收格式和帧长												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8位数据								STOP			
0	0	0	1	S	8位数据								STOP	STOP		
0	1	0	0	S	8位数据								P	STOP		
0	1	0	1	S	8位数据								P	STOP	STOP	
1	0	0	0	S	7位数据							STOP				
1	0	0	1	S	7位数据							STOP	STOP			
1	1	0	0	S	7位数据							P	STOP			
1	1	0	1	S	7位数据							P	STOP	STOP		
0	—	1	0	S	8位数据								MPB	STOP		
0	—	1	1	S	8位数据								MPB	STOP	STOP	
1	—	1	0	S	7位数据							MPB	STOP			
1	—	1	1	S	7位数据							MPB	STOP	STOP		

【符号说明】 S : 起始位
 STOP : 停止位
 P : 奇偶校验位
 MPB : 多处理器位

29.2.2.2 异步模式的接收数据采样时序和接收容限

在异步模式中，SCI 通过频率为 16 倍位速率（注 1）的基本时钟运行。

在接收时，通过基本时钟对起始位的下降沿进行采样，并且与内部取得同步。如图 29.5 所示，通过在第 8 个时钟（注 1）的上升沿对接收数据进行采样，在各位的中央取数据。因此，能用表达式（1）表示异步模式的接收容限。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100[\%] \quad \dots \text{表达式(1)}$$

M : 接收容限

N : 对应时钟的位速率比

（当 SEMR.ABCS 位为“0”时，N=16；当 ABCS 位为“1”时，N=8）

D : 时钟的占空比（D=0.5 ~ 1.0）

L : 帧长（L=9 ~ 12）

F : 时钟频率的偏差绝对值

假设表达式（1）中的 F（时钟频率的偏差绝对值）为“0”，D（时钟的占空比）为“0.5”，则

$$M = \{ 0.5 - 1 / (2 \times 16) \} \times 100 (\%) = 46.875\%$$

但是，此值毕竟是计算值，在进行系统设计时，必须留出 20 ~ 30% 的容限。

注 1. 这是 SEMR.ABCS 位为“0”时的例子。当 ABCS 位为“1”时，基本时钟的频率为位速率的 8 倍，在基本时钟的第 4 个上升沿对接收数据进行采样。

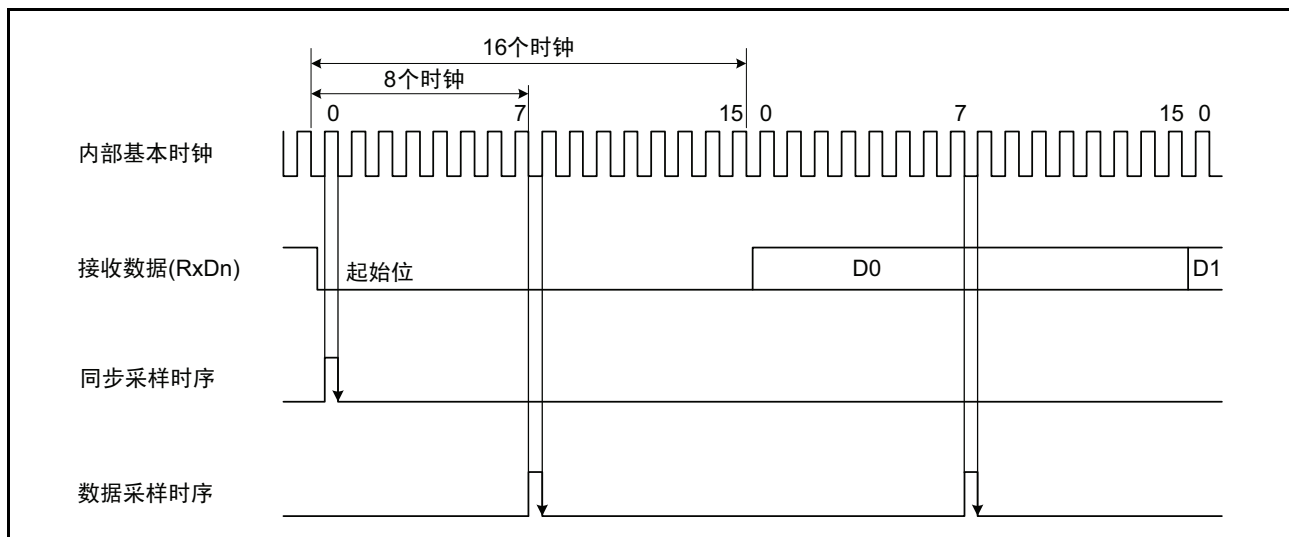


图 29.5 异步模式的接收数据采样时序

29.2.2.3 时钟

能通过设定 `SMR.CM` 位和 `SCR.CKE[1:0]` 位，选择内部波特率发生器生成的内部时钟或者 `SCKn` 引脚输入的外部时钟作为 SCI 的发送 / 接收时钟。

在使用外部时钟的情况下，必须将频率为 16 倍位速率 (`SEMR.ABCS` 位 =0) 或者频率为 8 倍位速率 (`SEMR.ABCS` 位 =1) 的时钟输入到 `SCKn` 引脚。如果选择外部时钟，就能通过设定 `SCIm.SEMR.ACS0` 位 ($m=5、6$)，选择 `TMR0`、`TMR1` 的基本时钟。

在通过内部时钟运行时，能从 `SCKn` 引脚输出时钟。此时，输出时钟的频率和位速率相等，发送时的相位如图 29.6 所示，时钟在发送数据的中央上升。

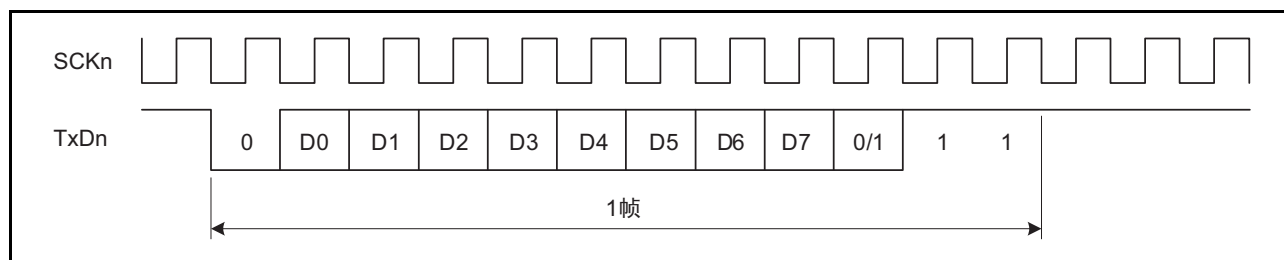


图 29.6 输出时钟和发送数据的相位关系 (异步模式)

29.2.2.4 SCI 的初始化 (异步模式)

必须在发送和接收数据前给 SCR 寄存器写初始值“00h”，并且根据图 29.7 的流程图例子对 SCI 进行初始化。必须在对 SCR 寄存器进行初始化后更改运行模式或者通信格式。

在异步模式中使用外部时钟的情况下，必须提供时钟（包括初始化期间）。

必须注意：即使将 SCR.RE 位置“0”，也不对 SSR.ORER 标志、SSR.FER 标志、SSR.PER 标志和 RDR 寄存器进行初始化。

必须注意：如果将 SCR.TE 位从“1”变为“0”或者从“0”变为“1”，就在 SCR.TIE 位为“1”时产生 TXI 中断请求。

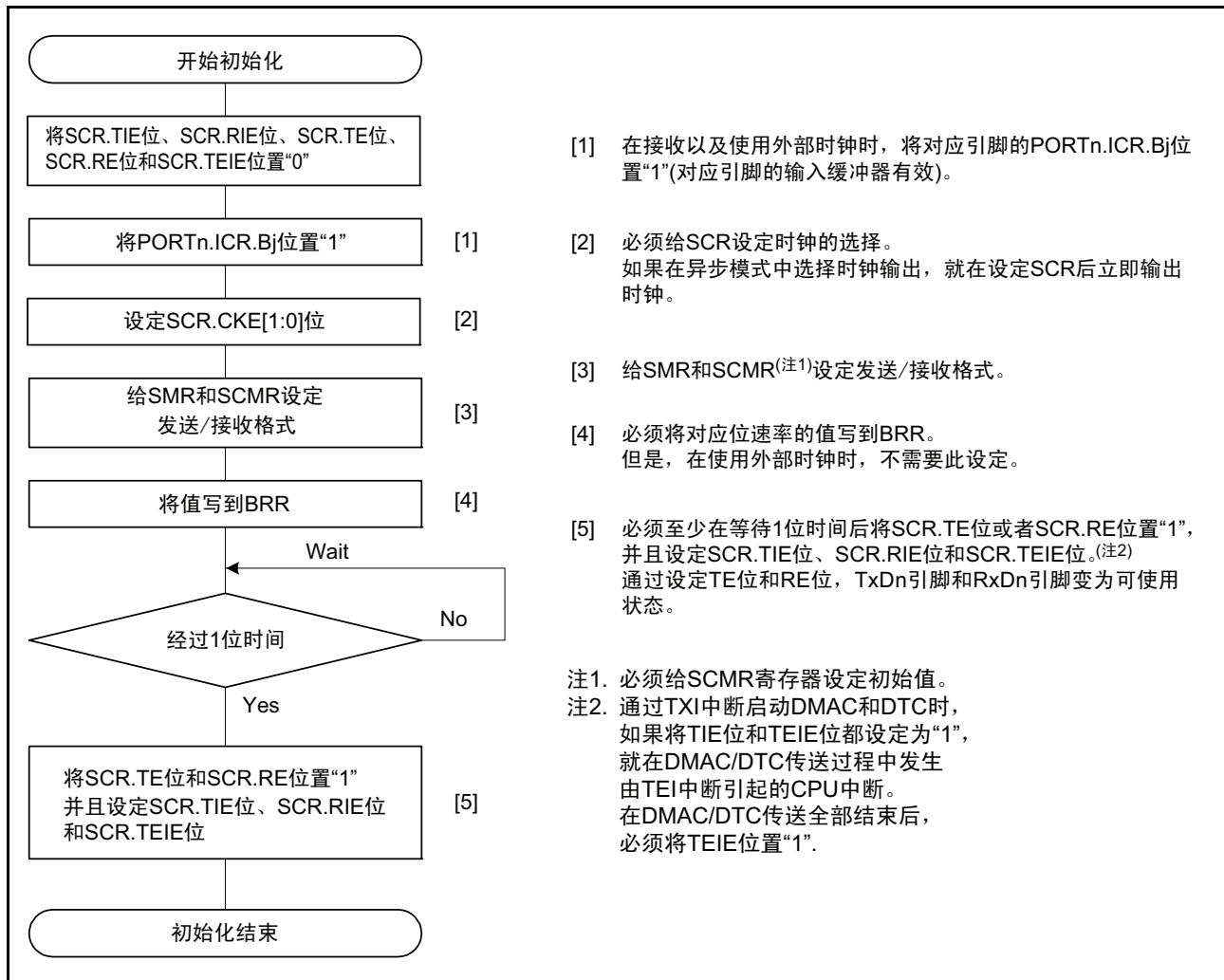


图 29.7 SCI 的初始化流程图例子 (异步模式)

29.2.2.5 串行数据的发送 (异步模式)

异步模式的串行发送例子如图 29.8 所示。

在发送串行数据时，SCI 的运行如下：

1. 如果通过 TXI 中断处理程序给 TDR 寄存器写数据，SCI 就将数据从 TDR 寄存器传送到 TSR 寄存器。在开始发送时，通过在将 SCR.TIE 位置“1”后将 SCR.TE 位置“1”，或者用 1 条指令同时将这 2 个位置“1”，产生 TXI 中断请求。
2. 通过将数据从 TDR 寄存器传送到 TSR 寄存器，开始发送。此时，如果 SCR.TIE 位为“1”，就产生 TXI 中断请求。能通过 TXI 中断处理程序，在上次传送的数据发送结束前给 TDR 寄存器写下一个发送数据，进行连续的发送。
3. 从 TxDn 引脚依次发送起始位、发送数据、奇偶校验位或者多处理器位（根据格式，有时没有此位）和停止位。
4. 在发送停止位时检查 TDR 寄存器的更新（写）。
5. 如果 TDR 寄存器已被更新，就将下一个发送数据从 TDR 寄存器传送到 TSR 寄存器，并且在发送停止位后开始下一帧的发送。
6. 如果 TDR 寄存器未被更新，就在将 SSR.TEND 标志置“1”并且发送停止位后，通过输出 High 电平进入标记状态。此时，如果 SCR.TEIE 位为“1”，SSR.TEND 标志就变为“1”并且产生 TEI 中断请求。

串行发送的流程图例子如图 29.9 所示。

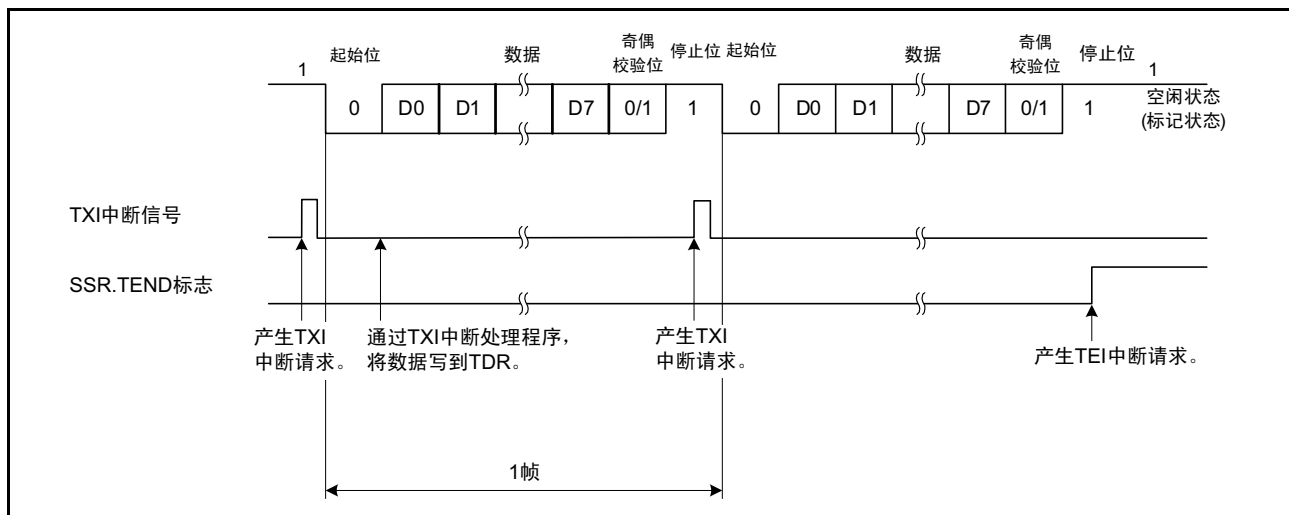


图 29.8 异步模式的串行发送例子 (8 位数据 / 有奇偶校验 / 1 个停止位的例子)

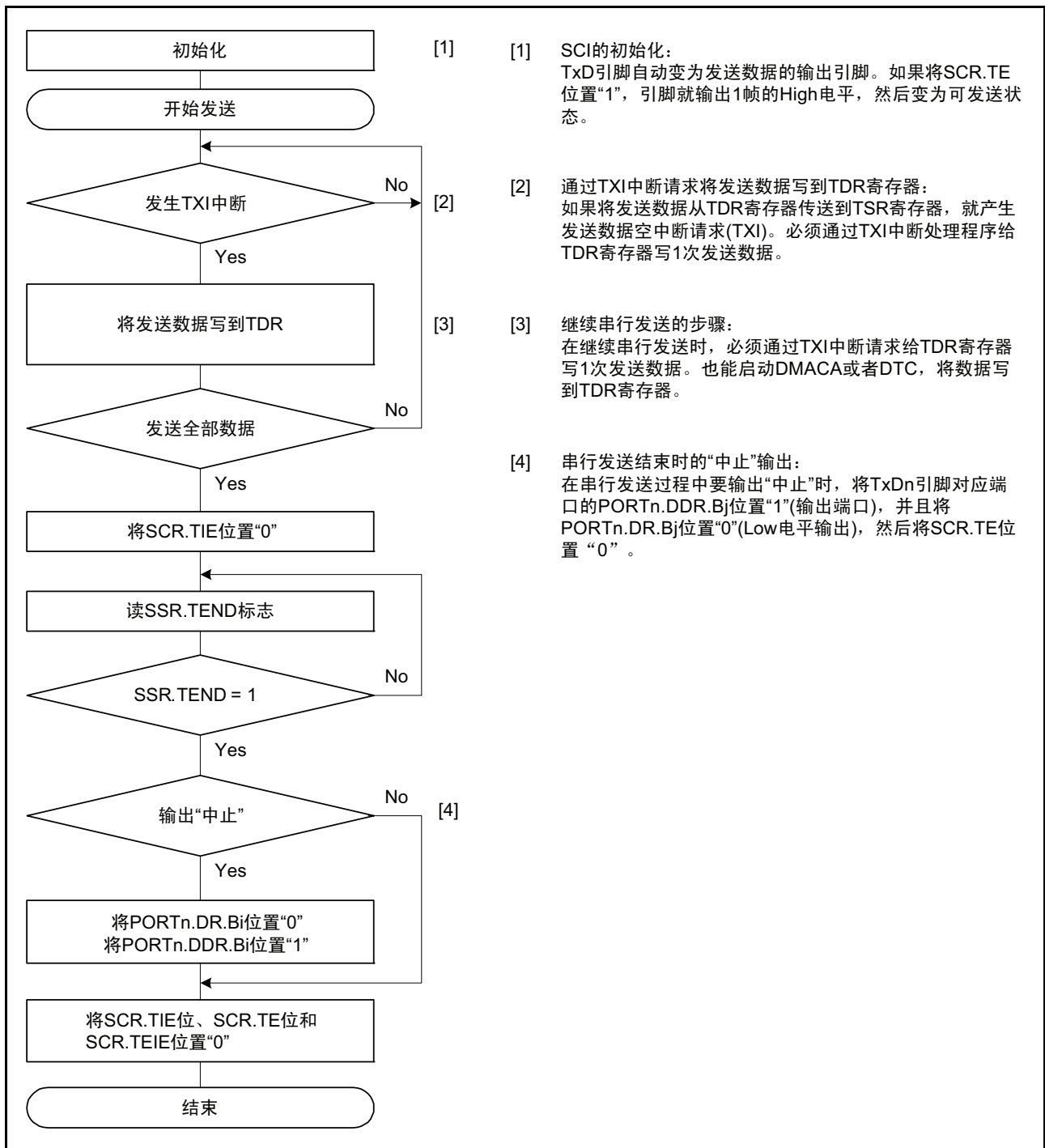


图 29.9 异步模式的串行发送的流程图例子

29.2.2.6 串行数据的接收 (异步模式)

异步模式的串行接收例子如图 29.10 所示。
在接收串行数据时，SCI 的运行如下：

1. 监视通信线路，如果检测到起始位，就与内部同步将接收数据取到 RSR 寄存器，并且检查奇偶校验位和停止位。
2. 如果发生溢出错误，SSR.ORER 标志就变为“1”。此时，如果 SCR.RIE 位为“1”，就产生 ERI 中断请求。不将接收数据传送到 RDR 寄存器。
3. 如果检测到奇偶校验错误，SSR.PER 标志就变为“1”，并且将接收数据传送到 RDR 寄存器。此时，如果 RIE 位为“1”，就产生 ERI 中断请求。
4. 如果检测到帧错误 (停止位为“0”)，SSR.FER 标志就变为“1，并且将接收数据传送 RDR 寄存器。此时，如果 RIE 位为“1”，就产生 ERI 中断请求。
5. 如果正常接收，就将接收数据传送到 RDR 寄存器。此时，如果 RIE 位为“1”，就产生 RXI 中断请求。能通过此 RXI 中断处理程序，在下一个数据接收结束前读已被传送到 RDR 寄存器的接收数据，进行连续的连接。

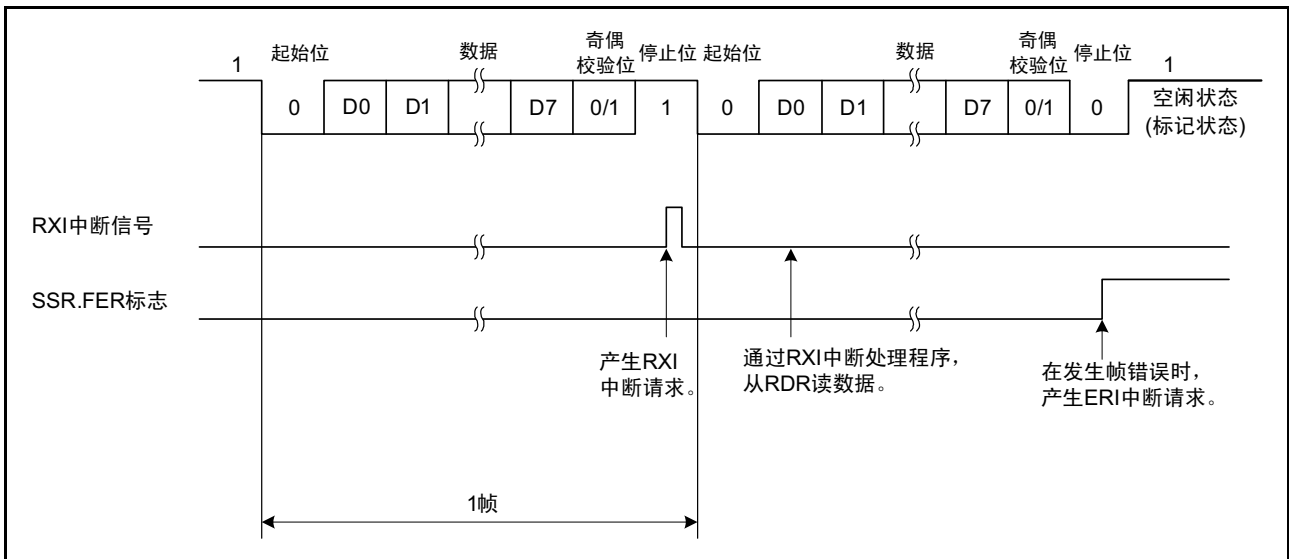


图 29.10 异步模式的串行接收例子 (8 位数据 / 有奇偶校验 / 1 个停止位的例子)

检测到接收错误时的 SSR 寄存器各状态标志的状态和接收数据的处理如表 29.12 所示。

一旦检测到接收错误，就产生 ERI 中断请求而不产生 RXI 中断请求。在接收错误标志为“1”的状态下不能进行以后的接收。因此，必须在继续接收前将 ORER 标志、FER 标志和 PER 标志置“0”。另外，在进行溢出错误处理时，必须读 RDR 寄存器。

串行接收的流程图例子如图 29.11 和图 29.12 所示。

表 29.12 SSR 寄存器状态标志的状态和接收数据的处理

SSR 寄存器的状态标志			接收数据	接收错误的状态
ORER	FER	PER		
1	0	0	消失	溢出错误
0	1	0	传送到 RDR	帧错误
0	0	1	传送到 RDR	奇偶校验错误
1	1	0	消失	溢出错误 + 帧错误
1	0	1	消失	溢出错误 + 奇偶校验错误
0	1	1	传送到 RDR	帧错误 + 奇偶校验错误
1	1	1	消失	溢出错误 + 帧错误 + 奇偶校验错误

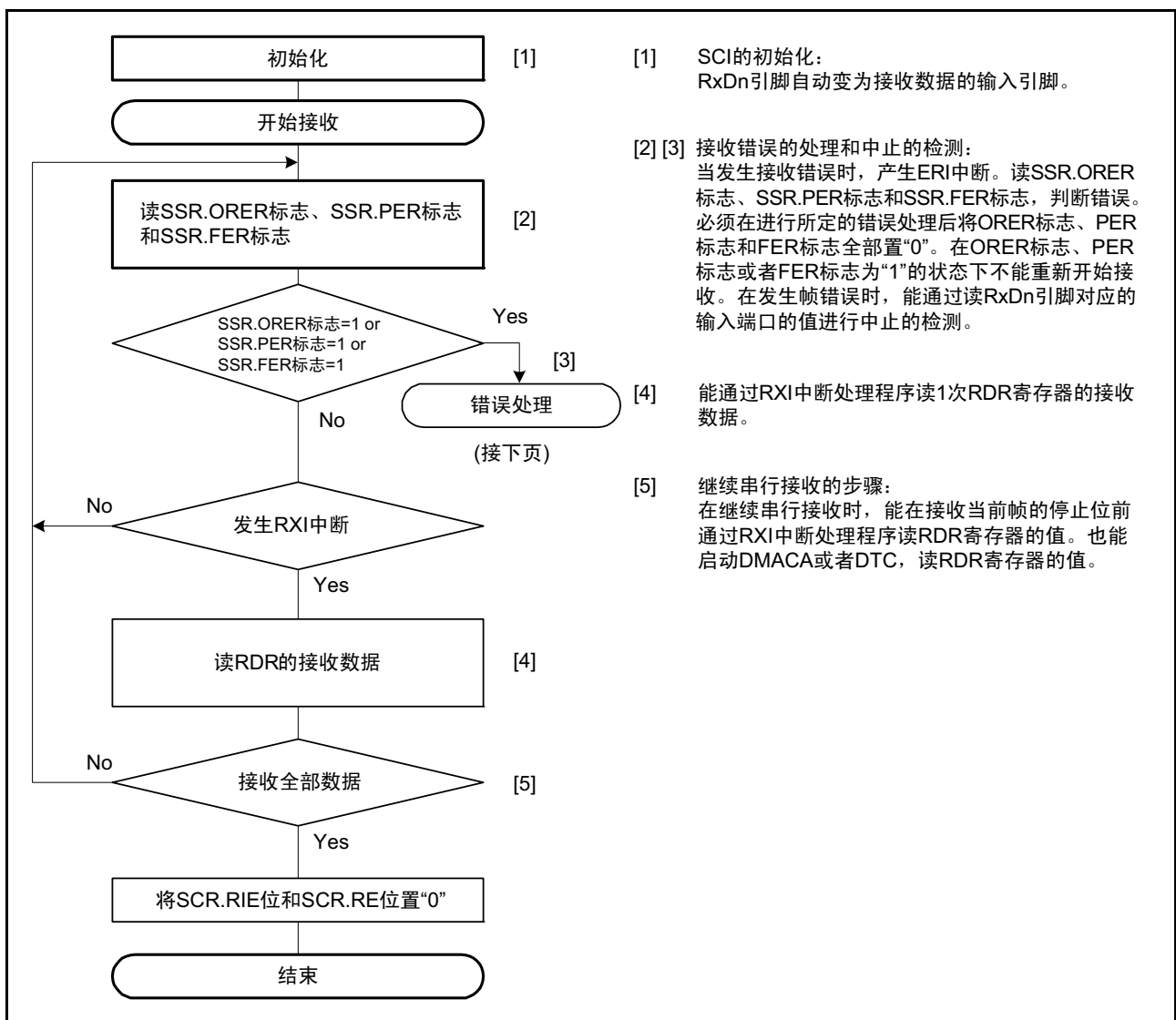


图 29.11 异步模式的串行接收的流程图例子 (1)

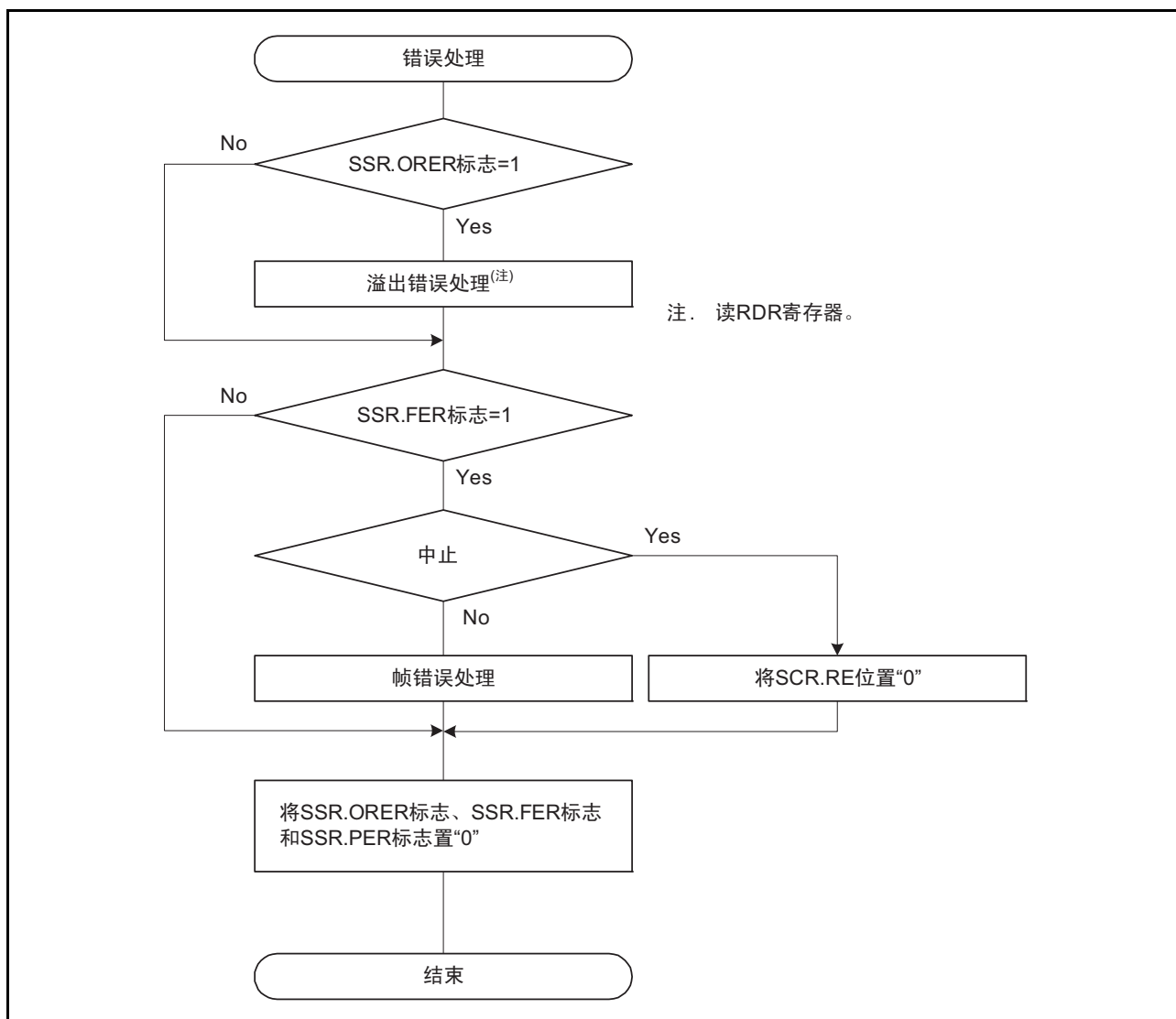


图 29.12 异步模式的串行接收的流程图例子 (2)

29.2.3 多处理器通信功能

如果使用多处理器通信功能，就能通过附加多处理器位的异步串行通信，在多个处理器之间共享通信线路进行数据的发送和接收。在多处理器通信中，给接收站分配各自特有的 ID 码。串行通信周期由指定接收站的 ID 发送周期和指定接收站的数据发送周期构成，用多处理器位区分 ID 发送周期和数据发送周期。当多处理器位是“1”时，为 ID 发送周期；当多处理器位是“0”时，为数据发送周期。使用多处理器格式的处理器之间的通信例子如图 29.13 所示。发送站首先发送多处理器位为“1”的接收站 ID 码，接着发送多处理器位为“0”的发送数据。如果接收站接收到多处理器位为“1”的通信数据，就将接收数据和本站的 ID 比较，如果相同，就继续接收被发送的通信数据；如果不相同，就在接收到下一个多处理器位为“1”的通信数据之前跳读通信数据。

SCI 为了支持此功能，设有 SCR.MPIE 位。如果将 MPIE 置“1”，就在接收到多处理器位为“1”的数据之前，禁止将接收数据从 RSR 传送到 RDR，禁止检测接收错误并且禁止将 SCR.ORER 和 SCR.FER 各状态标志置位。如果接收到多处理器位为“1”的字符，就在 SSR.MPB 位变为“1”的同时 SCR.MPIE 自动变为“0”，然后返回到通常的接收运行状态。此时，如果 SCR.RIE 位为“1”，就产生 RXI 中断。

在指定多处理器格式时，奇偶校验位的指定无效。除此以外与通常的异步模式相同，多处理器通信时的时钟也和通常的异步模式相同。

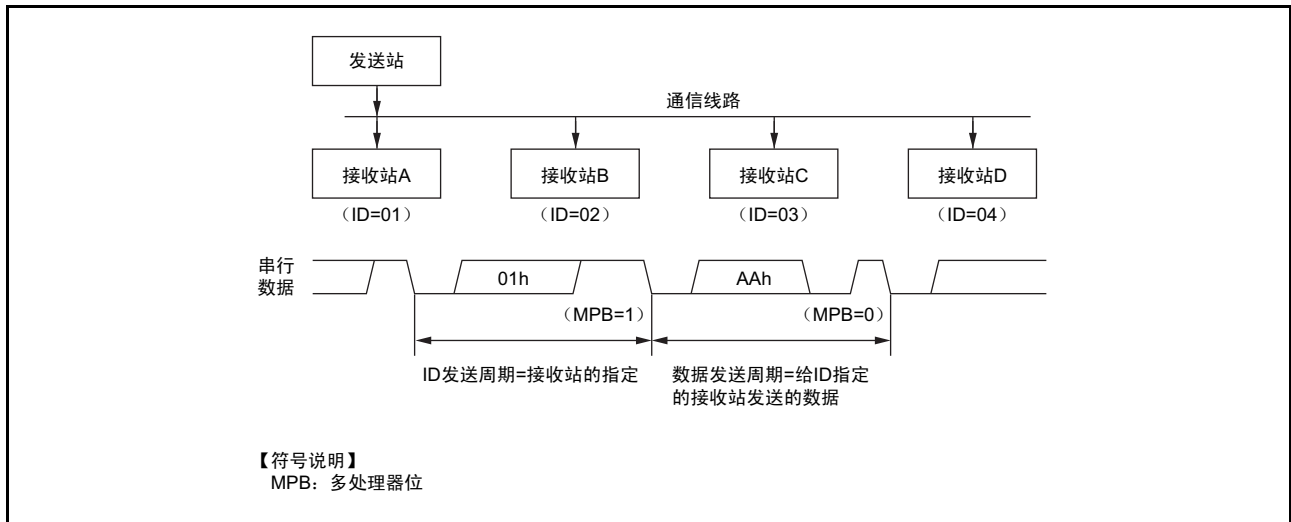


图 29.13 使用多处理器格式的通信的例子（将数据“AAh”发送到接收站 A 的例子）

29.2.3.1 多处理器串行数据的发送

多处理器串行发送的流程图例子如图 29.14 所示。必须在 ID 发送周期中将 SSR.MPBT 置“1”后发送 ID 码，在数据发送周期中将 SSR.MPBT 置“0”后发送数据。其他运行和异步模式的运行相同。

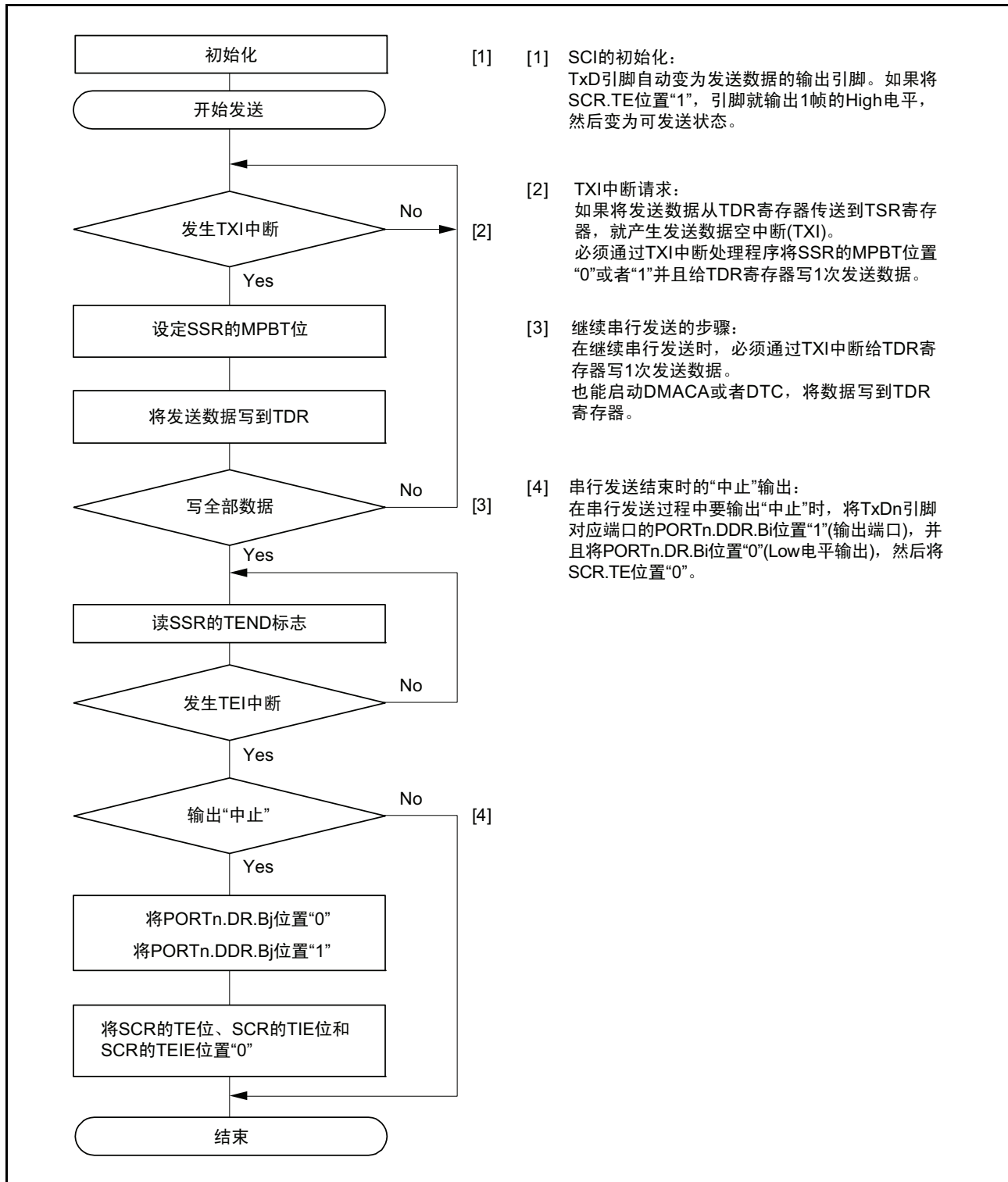


图 29.14 多处理器串行发送的流程图例子

29.2.3.2 多处理器串行数据的接收

多处理器数据接收的流程图例子如图 29.16 和图 29.17 所示。如果将 SCR.MPIE 置“1”，就在接收到多处理器位为“1”的通信数据之前跳读通信数据。如果接收到多处理器位为“1”的通信数据，就将接收数据传送到 RDR 寄存器，此时产生 RXI 中断请求。其他运行和异步模式的运行相同。

接收时的运行例子如图 29.15 所示。

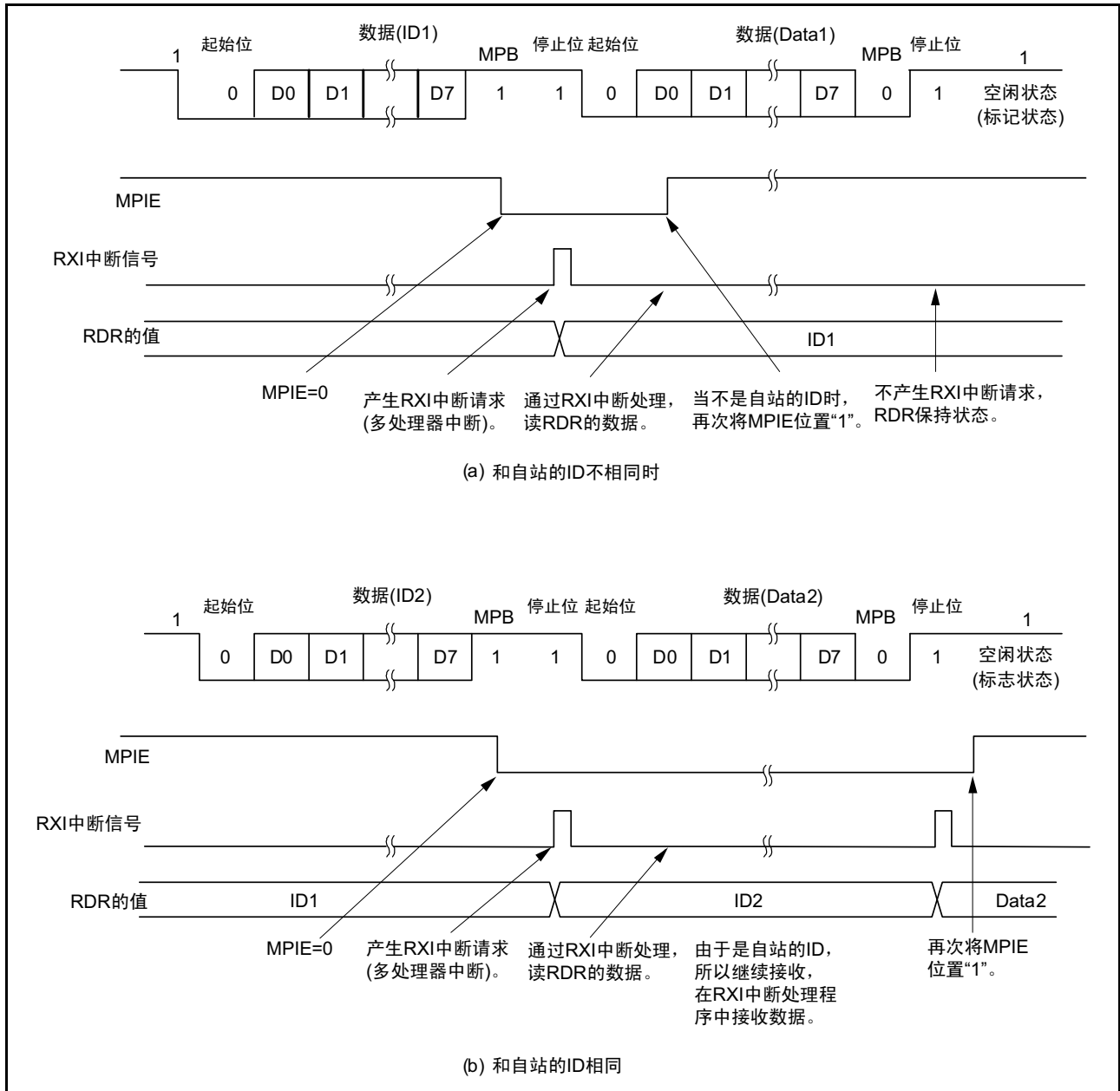


图 29.15 SCI 接收时的运行例子 (8 位数据 / 有多处理器位 / 1 个停止位的例子)

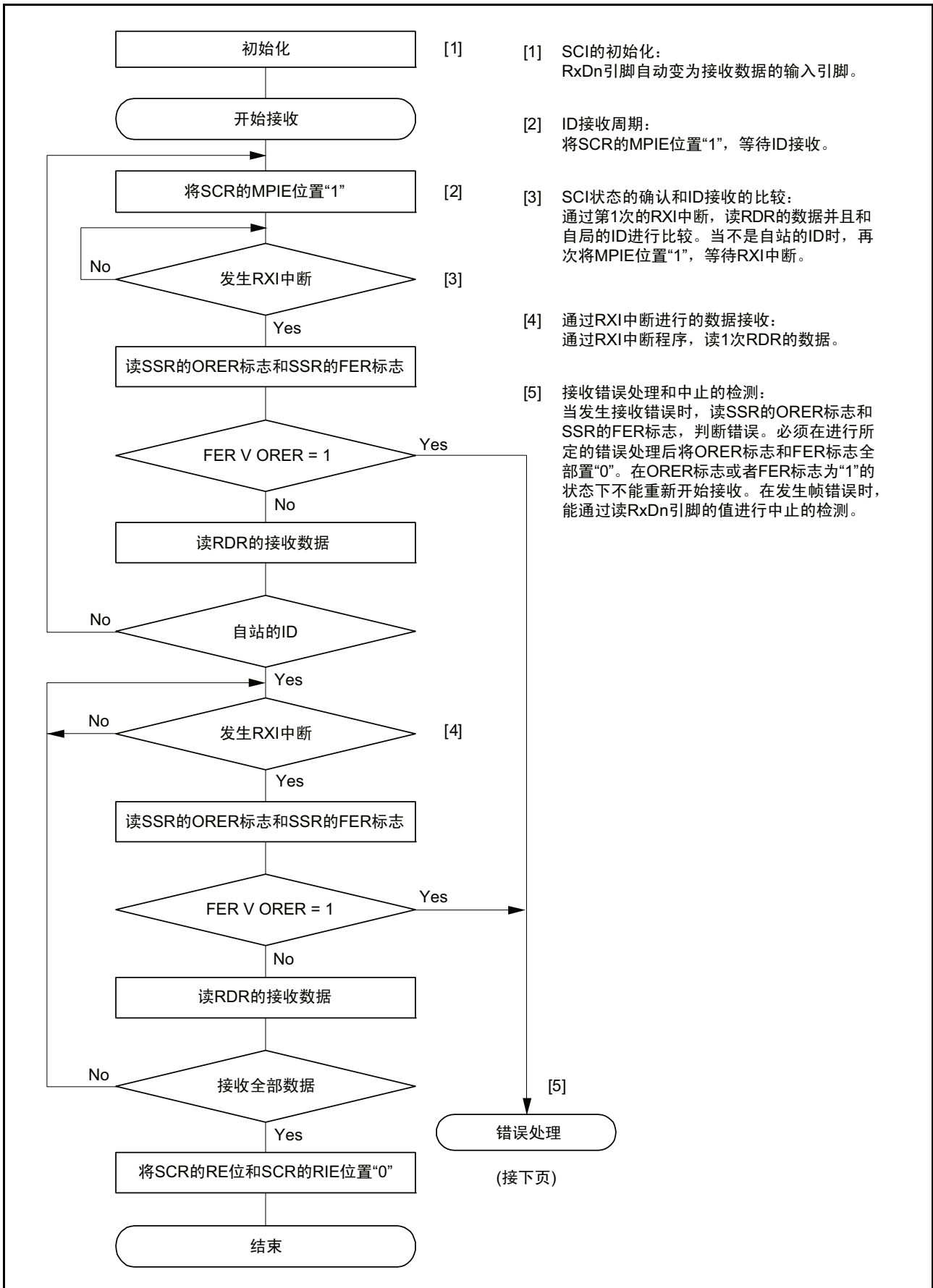


图 29.16 多处理器串行接收的流程图例子 (1)

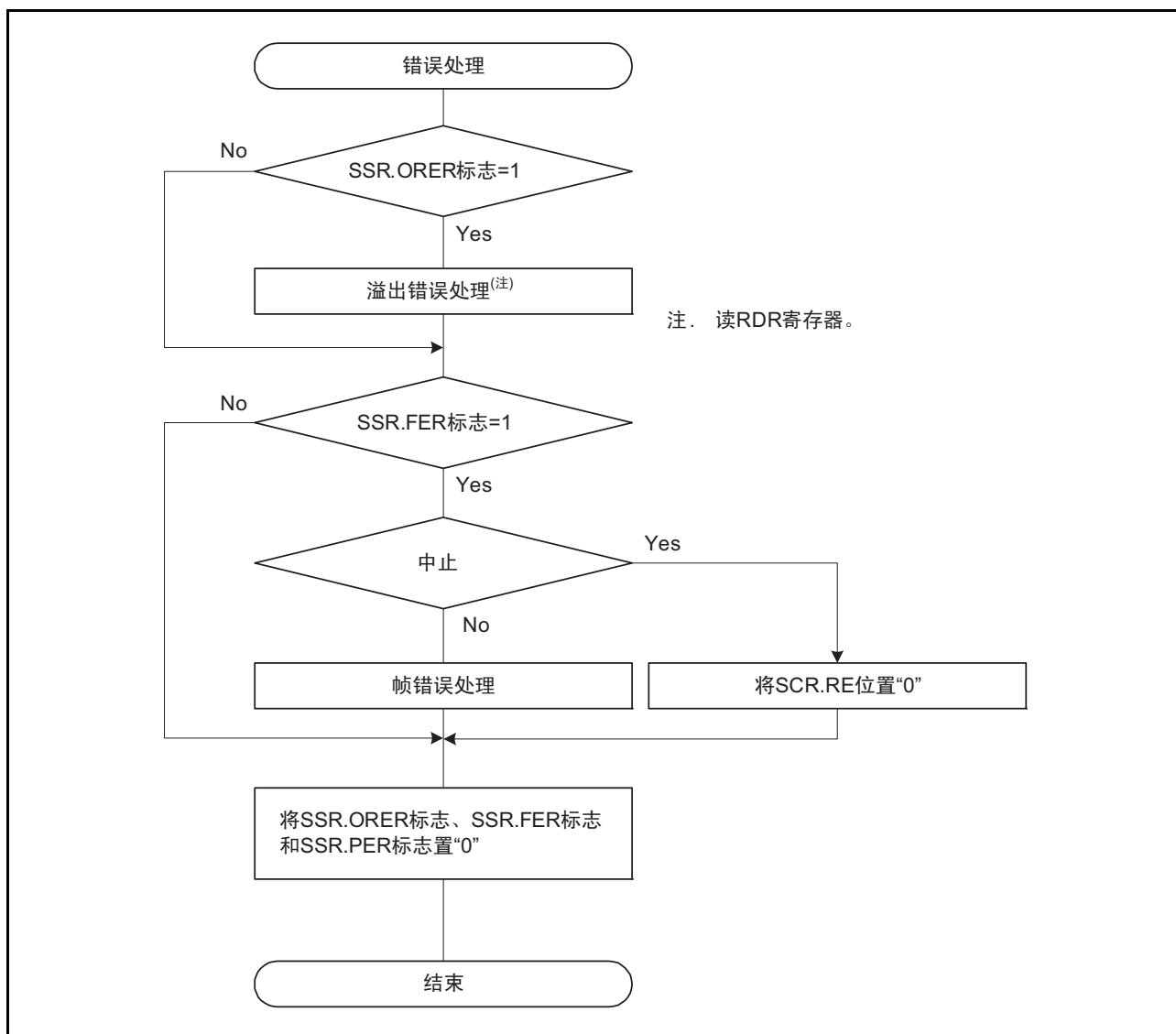


图 29.17 多处理器串行接收的流程图例子 (2)

29.2.4 时钟同步模式的运行

时钟同步串行通信的数据格式如图 29.18 所示。

在时钟同步模式中，与时钟脉冲同步发送和接收数据。通信数据的 1 个字符由 8 位数据构成，在时钟同步模式中，不能附加奇偶校验位。

SCI 在发送数据时，从同步时钟的下降沿开始到下一个下降沿前输出数据。在接收数据时，与时钟的上升沿同步接收数据。输出 8 位数据后的通信线路保持最后 1 位的输出状态。

SCI 内部的发送部和接收部各自独立，因此能通过共享时钟进行全双工通信。因为发送部和接收部都为双缓冲结构，所以能在发送时写下一个发送数据，通过在接收时读前一个接收数据，进行连续的接收和发送。

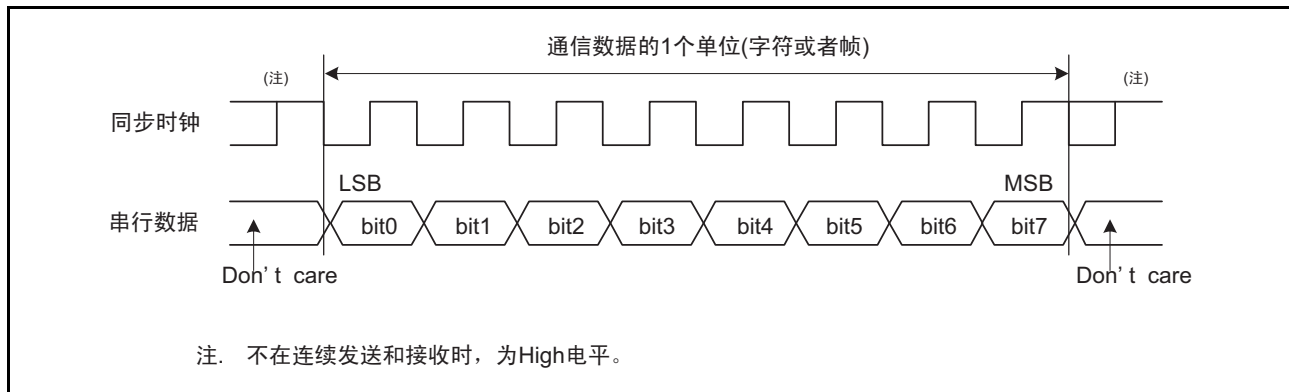


图 29.18 时钟同步串行通信的数据格式 (LSB first)

29.2.4.1 时钟

能通过设定 SCR.CKE[1:0] 位，选择内部波特率发生器生成的内部时钟或者 SCKn 引脚输入的外部同步时钟。

在通过内部时钟运行时，从 SCKn 引脚输出同步时钟。同步时钟在进行 1 个字符的发送和接收时输出 8 个脉冲，而在不进行发送和接收时固定为 High 电平。但是，在只进行接收时，在发生溢出错误或者在将 SCR.RE 位置“0”前输出同步时钟。

29.2.4.2 SCI 的初始化 (时钟同步模式)

必须在发送和接收数据前给 SCR 寄存器写初始值“00h”，并且根据图 29.19 的流程图例子进行初始化。必须在对 SCR 寄存器进行初始化后更改运行模式或者通信格式。

必须注意：即使将 SCR.RE 位置“0”，也不对 SSR.ORER 标志、SSR.FER 标志、SSR.PER 标志或者 RDR 寄存器进行初始化。

必须注意：如果将 SCR.TE 位从“1”变为“0”或者从“0”变为“1”，就在 SCR.TIE 位为“1”时产生 TXI 中断。

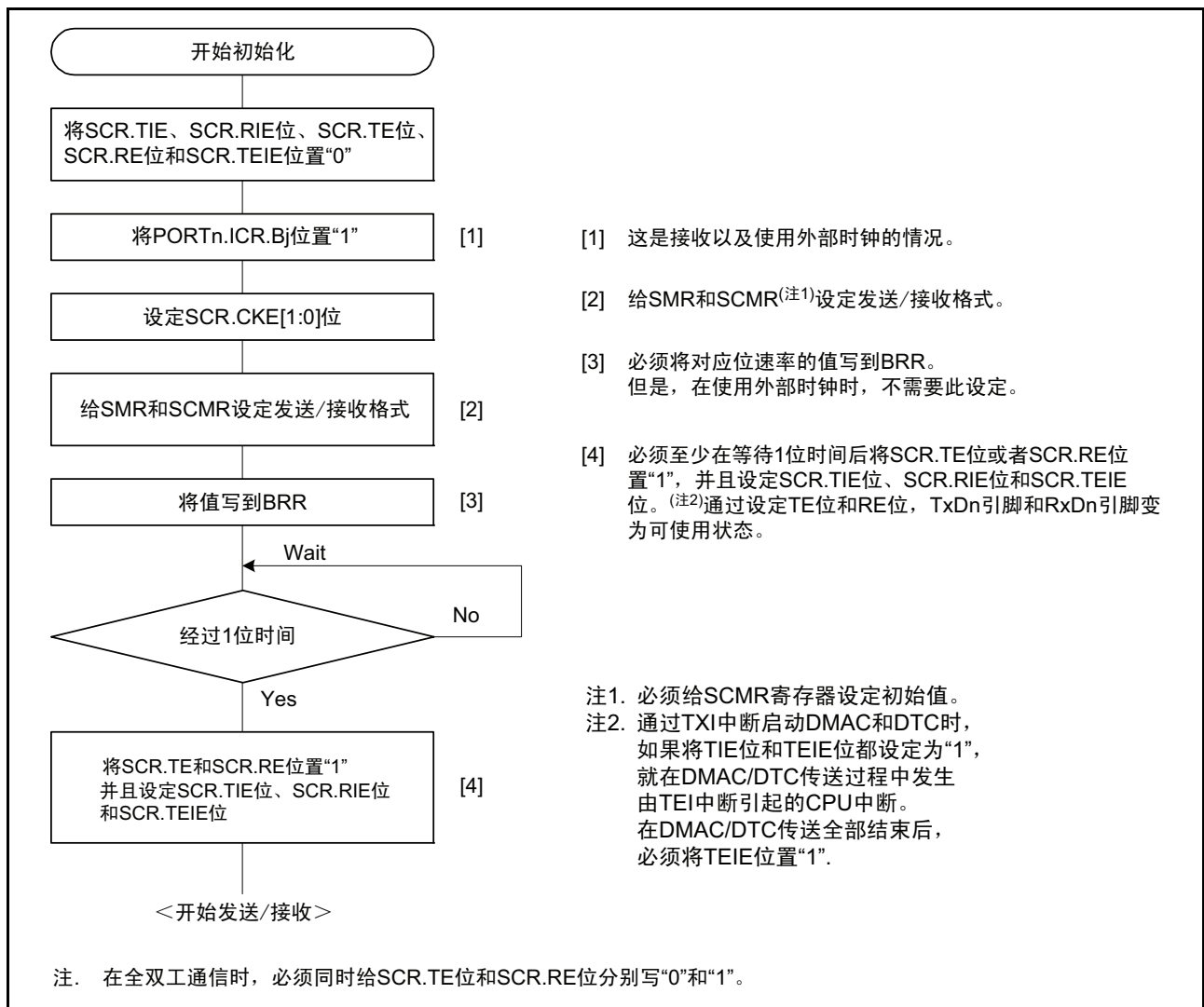


图 29.19 SCI 的初始化流程图例子 (时钟同步模式)

29.2.4.3 串行数据的发送 (时钟同步模式)

时钟同步模式的串行发送例子如图 29.20 所示。

在发送串行数据时，SCI 的运行如下：

1. 如果通过 TXI 中断处理程序给 TDR 寄存器写数据，SCI 就将数据从 TDR 寄存器传送到 TSR 寄存器。在开始发送时，通过在将 SCR.TIE 位置“1”后将 SCR.TE 位置“1”，或者用 1 条指令同时将这 2 个位置“1”，产生 TXI 中断请求。
2. 通过将数据从 TDR 寄存器传送到 TSR 寄存器，开始发送。此时，如果 TIE 位为“1”，就产生 TXI 中断请求。能通过此 TXI 中断处理程序，在上次传送的数据发送结束前给 TDR 寄存器写下一个发送数据，进行连续的发送。
3. 如果设定为时钟输出模式，就与输出时钟同步从 TxDn 引脚输出 8 位数据。如果设定为外部时钟，就与输入时钟同步从 TxDn 引脚输出 8 位数据。
4. 在发送最后 1 位数据时检查 TDR 寄存器的更新 (写)。
5. 如果 TDR 寄存器已被更新，就将数据从 TDR 寄存器传送到 TSR 寄存器，开始下一帧的发送。
6. 如果 TDR 寄存器未被更新，SSR.TEND 标志就变为“1”，并且保持最后 1 位的输出状态。此时，如果 SCR.TEIE 位为“1”，就产生 TEI 中断请求。SCKn 引脚被固定为 High 电平。

串行发送的流程图例子如图 29.21 所示。

不能在接收错误标志 (SSR.ORER、SSR.FER、SSR.PER) 为“1”的状态下开始发送，必须在开始发送前将接收错误标志置“0”。必须注意：即使只将 SCR.RE 位置“0”，接收错误标志也不变为“0”。

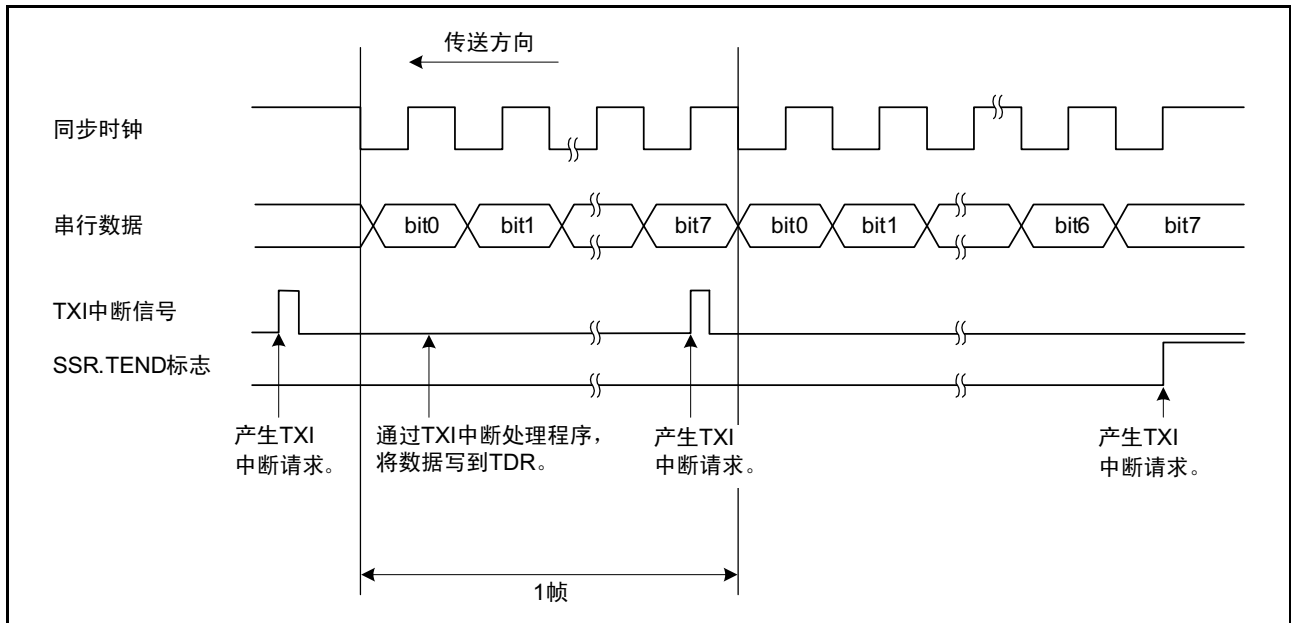


图 29.20 时钟同步模式的串行发送例子

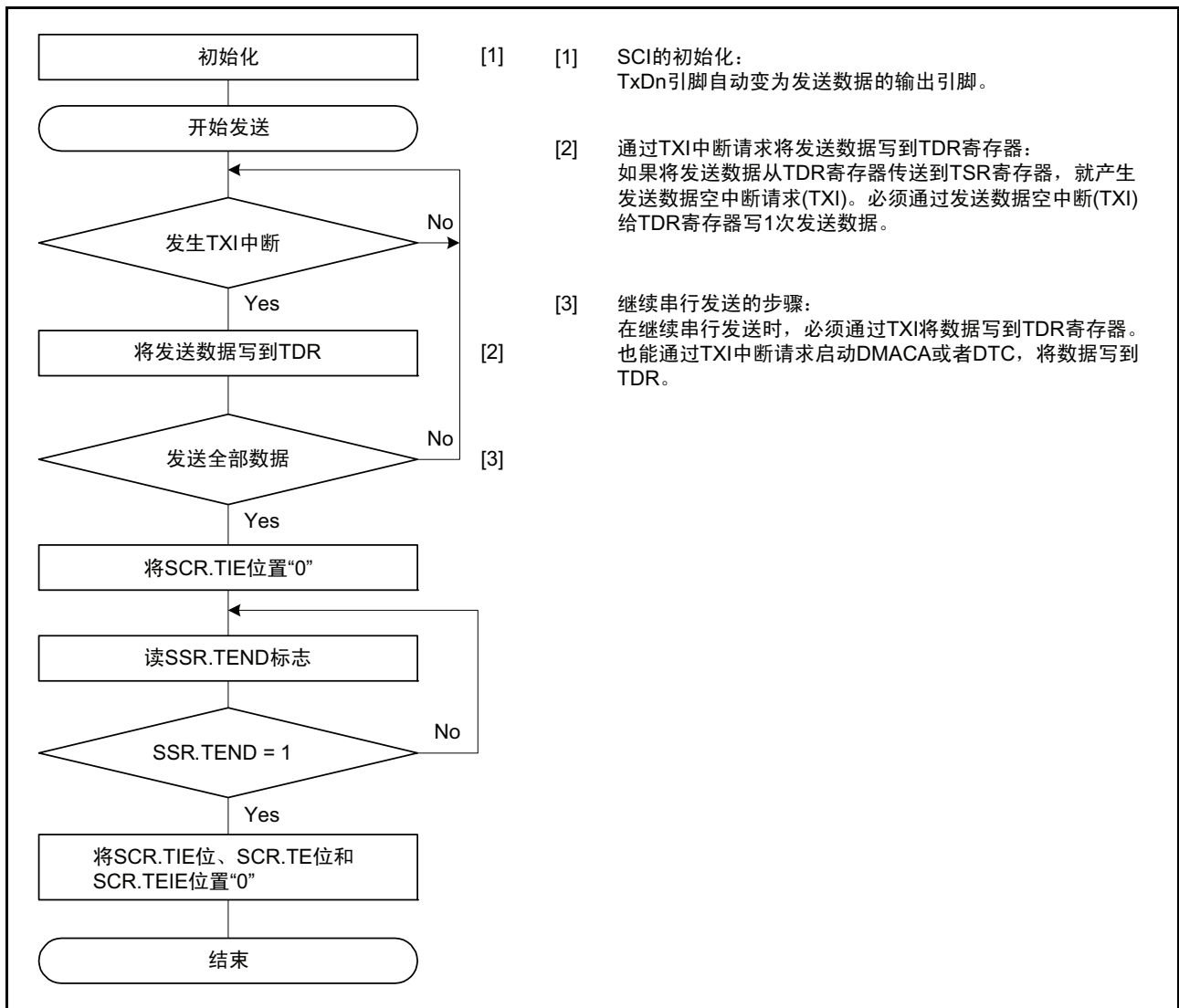


图 29.21 时钟同步模式的串行发送的流程图例子

29.2.4.4 串行数据的接收 (时钟同步模式)

时钟同步模式的串行接收例子如图 29.22 所示。

在接收串行数据时，SCI 的运行如下：

1. SCI 与同步时钟的输入同步或者与输出同步将内部进行初始化后开始接收，并且将接收数据取到 RSR 寄存器。
2. 如果发生溢出错误，SSR.ORER 标志就变为“1”。此时，如果 SCR.RIE 位为“1”，就产生 ERI 中断请求。不将接收数据传送到 RDR 寄存器。
3. 如果正常接收，就将接收数据传送到 RDR 寄存器。此时，如果 RIE 位为“1”，就产生 RXI 中断请求。能通过此 RXI 中断处理程序，在下一个数据接收结束前读已传送到 RDR 寄存器的接收数据，进行连续接收。

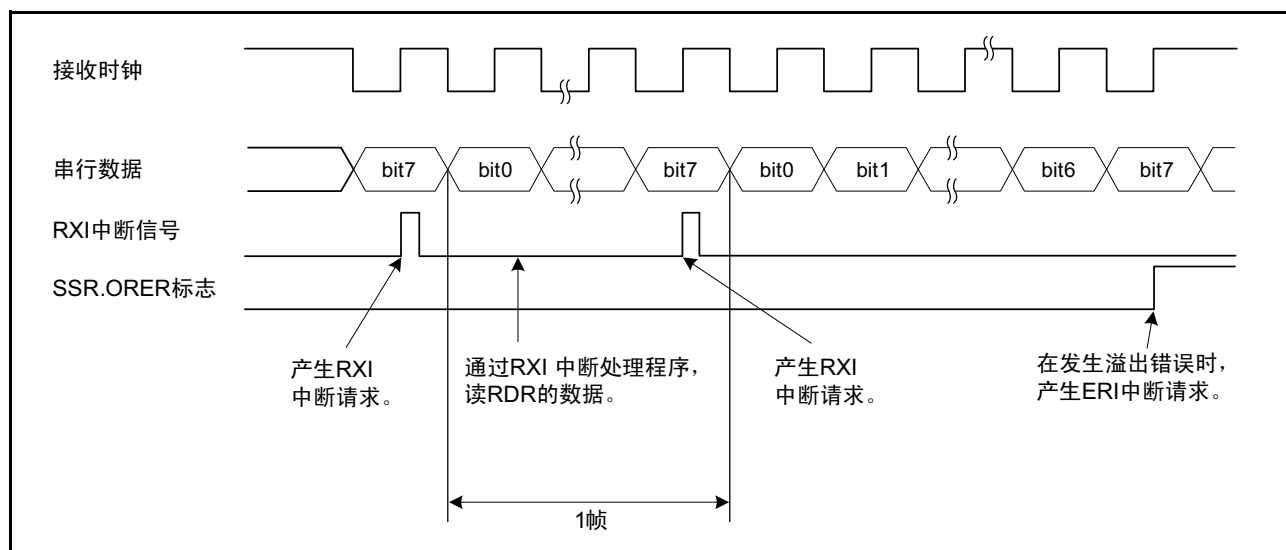


图 29.22 时钟同步模式的串行接收例子

在接收错误标志为“1”的状态下，不能进行以后的发送和接收。因此，必须在继续接收前将 SSR.ORER 标志、SSR.FER 标志和 SSR.PER 标志置“0”。另外，必须在进行溢出错误处理时读 RDR 寄存器。

串行接收的流程图例子如图 29.23 所示。

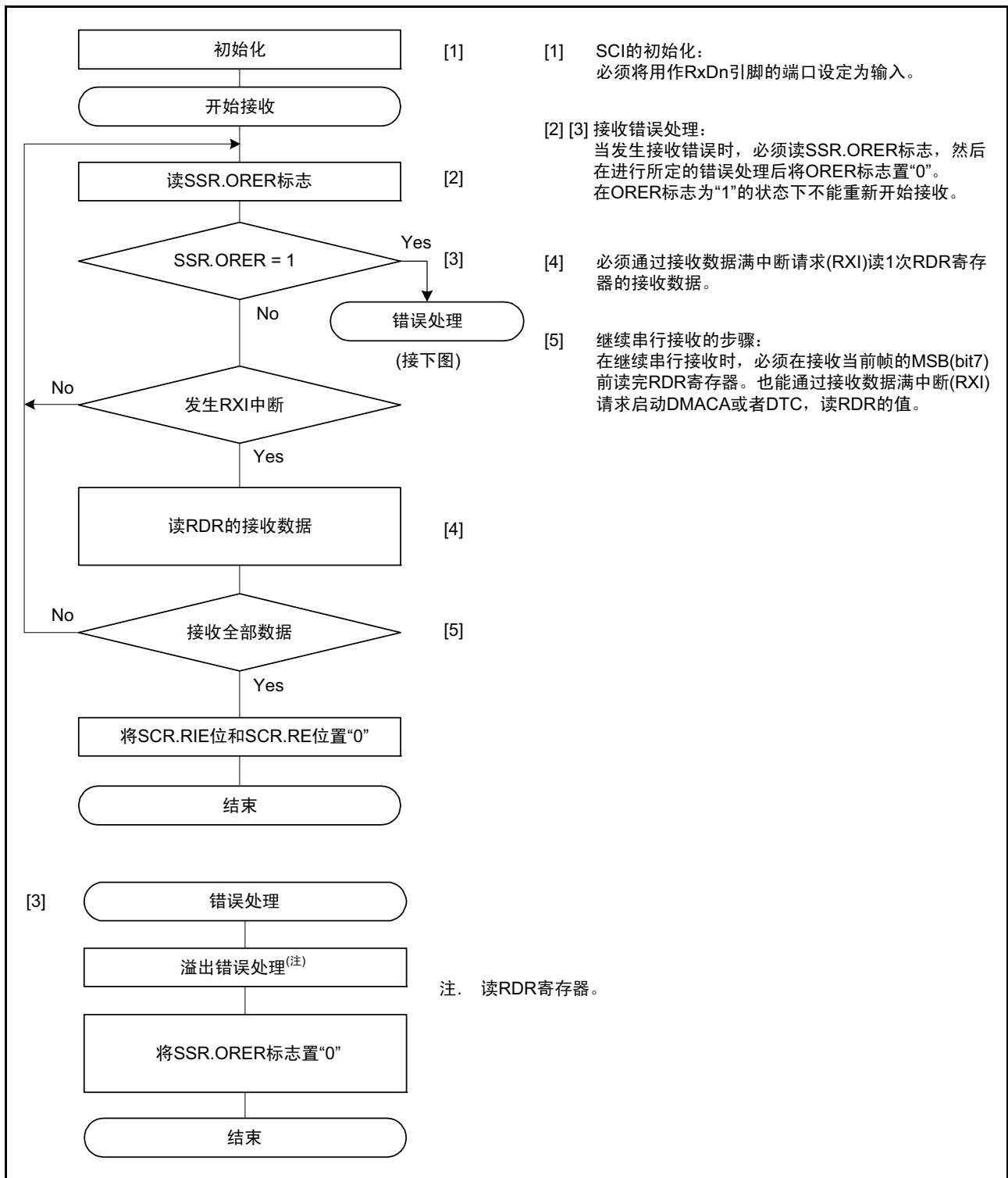


图 29.23 时钟同步模式的串行接收的流程图例子

29.2.4.5 串行数据的全双工通信 (时钟同步模式)

时钟同步模式的串行全双工通信的流程图例子如图 29.24 所示。

在对 SCI 进行初始化后, 必须按照以下步骤进行串行全双工通信。

要从发送转换为全双工通信时, 必须通过读已被置“1”的 SSR.TEND 标志, 确认 SCI 处于发送结束状态。然后, 必须在对 SCR 寄存器进行初始化后, 用 1 条指令将 SCR.TIE 位、SCR.RIE 位、SCR.TE 位、SCR.RE 位和 SCR.TEIE 位同时置“1”。

要从接收转换为全双工通信时, 必须在确认 SCI 处于接收结束状态后, 先将 SCR.RIE 位和 SCR.RE 位置“0”, 然后确认错误标志 (SSR.ORER、SSR.FER 和 SSR.PER) 为“0”, 最后用 1 条指令将 SCR.TIE 位、SCR.RIE 位、SCR.TE 位、SCR.RE 位和 SCR.TEIE 位同时置“1”。

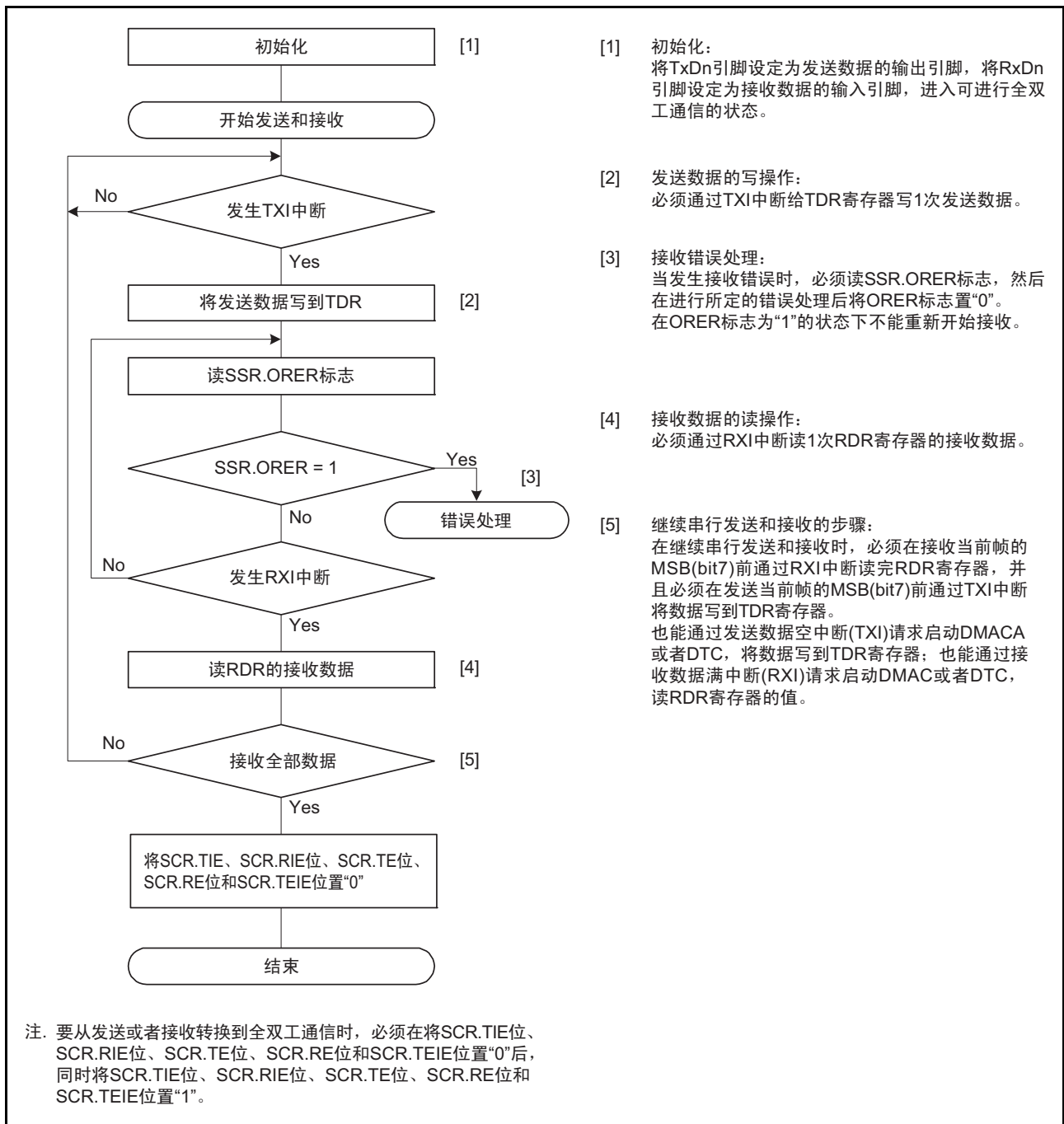


图 29.24 时钟同步模式的串行全双工通信的流程图例子

29.3 智能卡接口模式

作为 SCI 的扩展功能，支持符合 ISO/IEC 7816-3 (Identification Card) 标准的智能卡 (IC 卡) 接口 (SMCI)。

当 SCMR.SMIF 位为“1”时，SCI 为智能卡接口模式。

29.3.1 寄存器说明

SMCI 的寄存器一览表如表 29.13 所示。部分寄存器 (TDR、RDR、SCMR 寄存器) 的功能与串行通信接口模式相同。有关 TDR、RDR、SCMR 寄存器，请参照“29.2.1 寄存器说明”。

表 29.13 SMCI 的寄存器一览表

通道	寄存器名	符号	复位后的值	地址	存取长度
SMCI0	串行模式寄存器	SMR	00h	0008 8240h	8
	位速率寄存器	BRR	FFh	0008 8241h	8
	串行控制寄存器	SCR	00h	0008 8242h	8
	发送数据寄存器	TDR	FFh	0008 8243h	8
	串行状态寄存器	SSR	84h	0008 8244h	8
	接收数据寄存器	RDR	00h	0008 8245h	8
	智能卡模式寄存器	SCMR	F2h	0008 8246h	8
SMCI1	串行模式寄存器	SMR	00h	0008 8248h	8
	位速率寄存器	BRR	FFh	0008 8249h	8
	串行控制寄存器	SCR	00h	0008 824Ah	8
	发送数据寄存器	TDR	FFh	0008 824Bh	8
	串行状态寄存器	SSR	84h	0008 824Ch	8
	接收数据寄存器	RDR	00h	0008 824Dh	8
SMCI2	串行模式寄存器	SMR	00h	0008 8250h	8
	位速率寄存器	BRR	FFh	0008 8251h	8
	串行控制寄存器	SCR	00h	0008 8252h	8
	发送数据寄存器	TDR	FFh	0008 8253h	8
	串行状态寄存器	SSR	84h	0008 8254h	8
	接收数据寄存器	RDR	00h	0008 8255h	8
SMCI3	串行模式寄存器	SMR	00h	0008 8258h	8
	位速率寄存器	BRR	FFh	0008 8259h	8
	串行控制寄存器	SCR	00h	0008 825Ah	8
	发送数据寄存器	TDR	FFh	0008 825Bh	8
	串行状态寄存器	SSR	84h	0008 825Ch	8
	接收数据寄存器	RDR	00h	0008 825Dh	8
	智能卡模式寄存器	SCMR	F2h	0008 825Eh	8
SMCI5	串行模式寄存器	SMR	00h	0008 8268h	8
	位速率寄存器	BRR	FFh	0008 8269h	8
	串行控制寄存器	SCR	00h	0008 826Ah	8
	发送数据寄存器	TDR	FFh	0008 826Bh	8
	串行状态寄存器	SSR	84h	0008 826Ch	8
	接收数据寄存器	RDR	00h	0008 826Dh	8
	智能卡模式寄存器	SCMR	F2h	0008 826Eh	8
SMCI6	串行模式寄存器	SMR	00h	0008 8270h	8
	位速率寄存器	BRR	FFh	0008 8271h	8
	串行控制寄存器	SCR	00h	0008 8272h	8
	发送数据寄存器	TDR	FFh	0008 8273h	8
	串行状态寄存器	SSR	84h	0008 8274h	8
	接收数据寄存器	RDR	00h	0008 8275h	8
	智能卡模式寄存器	SCMR	F2h	0008 8276h	8

29.3.1.1 串行模式寄存器 (SMR)

地址 SMC10.SMR 0008 8240h、SMC11.SMR 0008 8248h、SMC12.SMR 0008 8250h、SMC13.SMR 0008 8258h
SMC15.SMR 0008 8268h、SMC16.SMR 0008 8270h

b7	b6	b5	b4	b3	b2	b1	b0
GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
复位后的值	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	CKS[1:0]	时钟选择位	b1 b0 00: PCLK 时钟 (n=0) (注1) 01: PCLK/4 时钟 (n=1) (注1) 10: PCLK/16 时钟 (n=2) (注1) 11: PCLK/64 时钟 (n=3) (注1)	R/W (注3)
b3-b2	BCP[1:0]	基本时钟脉冲位	通过和 SCMR.BCP2 位组合选择。 SCMR.BCP2 位、SMR.BCP[1:0] 位的设定值 BCP2 b3 b2 000: 93 个时钟 (S=93) (注2) 001: 128 个时钟 (S=128) (注2) 010: 186 个时钟 (S=186) (注2) 011: 512 个时钟 (S=512) (注2) 100: 32 个时钟 (S=32) (注2) (初始值) 101: 64 个时钟 (S=64) (注2) 110: 372 个时钟 (S=372) (注2) 111: 256 个时钟 (S=256) (注2)	R/W (注3)
b4	PM	奇偶校验模式位	(只在异步模式中并且 PE 位为“1”时有效) 0: 以偶校验发送 / 接收 1: 以奇校验时发送 / 接收	R/W (注4)
b5	PE	奇偶校验允许位	(只在异步模式中有效) PE 位为“1”时, 在发送时附加奇偶校验位, 在接收时进行奇偶校验。在智能卡接口模式中, 将 PE 位置“1”。	R/W (注3)
b6	BLK	字符长位	0: 以普通模式运行。 1: 以块传送模式运行。	R/W (注3)
b7	GM	通信模式位	0: 以普通模式运行。 1: 以 GSM 模式运行。	R/W (注3)

注 1. n 为设定值的 10 进制数, 表示“29.3.1.4 位速率寄存器 (BRR)”中的 n 值。

注 2. S 表示“29.3.1.4 位速率寄存器 (BRR)”中的 S 值。

注 3. 只能在 SCR.TE 位和 SCR.RE 位都为“0” (禁止串行发送和串行接收) 时写这些位。

SMR 寄存器选择通信格式以及内部波特率发生器的时钟源。

CKS[1:0] 位 (时钟选择位)

这些位选择内部波特率发生器的时钟源。

有关 CKS[1:0] 位的设定值和波特率的关系, 请参照“29.3.1.4 位速率寄存器 (BRR) ”。

BCP[1:0] 位 (基本时钟脉冲位)

这些位选择 1 位传送时间的基本时钟数。

通过和 SCMR.BCP2 位的组合进行选择。

详细内容请参照“29.3.3.2 接收数据的采样时序和接收容限”。

PM 位 (奇偶校验模式位)

此位选择发送和接收时的奇偶校验 (偶校验或者奇校验)。

有关此位在智能卡接口模式中的使用方法, 请参照“29.3.3 数据格式 (块传送模式除外) ”。

PE 位 (奇偶校验允许位)

必须将 PE 位置“1”。

在发送时附加奇偶校验位, 在接收时进行奇偶校验。

BLK (块传送模式位)

如果将 BLK 位置“1”, 就以块传送模式运行。

有关块传送模式, 请参照“29.3.3.1 块传送模式”。

GM 位 (GSM 模式位)

如果将 GM 位置“1”, 就以 GSM 模式运行。

在 GSM 模式中, SSR.TEND 标志变为“1”的时序为开始发送后的 11.0etu (etu: Elementary Time Unit, 1 位传送时间), 并且追加时钟输出控制功能, 详细内容请参照“29.3.3.4 串行数据的发送 (块传送模式除外)”和“29.3.3.6 时钟的输出控制”。

29.3.1.2 串行控制寄存器 (SCR)

地址 SMC10.SCR 0008 8242h、SMC11.SCR 0008 824Ah、SMC12.SCR 0008 8295h、SMC13.SCR 0008 25Ah
SMC15.SCR 0008 826Ah、SMC16.SCR 0008 8272h

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	CKE[1:0]	时钟允许位	<ul style="list-style-type: none"> SMR.GM 位 =0 的情况 b1 b0 0 0: 禁止输出 (SCKn 引脚可用作输入 / 输出端口) 0 1: 时钟输出 1 0: 不能设定 1 1: 不能设定 <ul style="list-style-type: none"> SMR.GM 位 =1 的情况 b1 b0 0 0: 固定为 Low 电平输出 0 1: 时钟输出 1 0: 固定为 High 电平输出 1 1: 时钟输出 	R/W (注 1)
b2	TEIE	发送结束中断允许位	必须置“0”。	R/W
b3	MPIE	多处理器中断允许位	必须置“0”。	R/W
b4	RE	接收允许位	0: 禁止串行接收 1: 允许串行接收	R/W (注 2)
b5	TE	发送允许位	0: 禁止串行发送 1: 允许串行发送	R/W (注 2)
b6	RIE	接收中断允许位	0: 禁止 RXI 中断请求和 ERI 中断请求 1: 允许 RXI 中断请求和 ERI 中断请求	R/W
b7	TIE	发送中断允许位	0: 禁止 TXI 中断请求 1: 允许 TXI 中断请求	R/W

注 1. 只能在 TE 位和 RE 位都为“0”时写这些位。

注 2. 只能在 TE 位和 RE 位都为“0”时写“1”。一旦将 TE 位或者 RE 位置“1”，就只能在 TE 位和 RE 位都为“0”时写此位。

SCR 寄存器是控制发送 / 接收和中断、以及选择发送 / 接收时钟源的寄存器。
有关各中断源，请参照“29.4 中断源”。

CKE[1:0] 位 (时钟允许位)

这些位控制 SCKn 引脚的时钟输出。

能在 GSM 模式中对时钟输出进行动态转换，详细内容请参照“29.3.3.6 时钟的输出控制”。

TEIE 位 (发送结束中断允许位)

在智能卡接口模式中，必须将此位置“0”。

MPIE 位 (多处理器中断允许位)

在智能卡接口模式中, 必须将此位置“0”。

RE 位 (接收允许位)

此位允许或者禁止串行接收。

在将 RE 位置“1”后, 如果检测到起始位, 就开始串行接收。必须在将 RE 位置“1”前设定 SMR 寄存器, 决定接收格式。

即使通过将 RE 位置“0”来停止接收, SSR. ORER 标志、FER 标志和 PER 标志也不受影响而保持原来的状态。

TE 位 (发送允许位)

此位允许或者禁止串行发送。

如果将 TE 位置“1”, 就通过给 TDR 寄存器写发送数据, 开始串行发送。必须在将 TE 位置“1”前设定 SMR 寄存器, 决定发送格式。

RIE 位 (接收中断允许位)

此位允许或者禁止 RXI 中断和 ERI 中断。

要禁止 RXI 中断时, 必须将 RIE 位置“0”。

如果在读取 SSR. ORER 标志、FER 标志和 PER 标志为“1”后, 将这些标志置“0”, 或者将 RIE 位置“0”, ERI 中断请求信号就消失。

TIE 位 (发送中断允许位)

此位允许或者禁止通知 TXI 中断。

要禁止 TXI 中断时, 必须将 TIE 位置“0”。

29.3.1.3 串行状态寄存器 (SSR)

地址 SMC10.SSR 0008 8244h、SMC11.SSR 0008 824Ch、SMC12.SSR 0008 8254h、SMC13.SSR 0008 825Ch
SMC15.SSR 0008 826Ch、SMC16.SSR 0008 8274h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
复位后的值	1	0	0	0	0	1	0	0

位	符号	位名	功能	R/W
b0	MPBT	多处理器位的传送位	必须置“0”。	R/W
b1	MPB	多处理器位	在智能卡接口模式中不使用，必须置“0”。	R
b2	TEND	发送结束标志	0: 正在发送字符 1: 字符发送结束	R
b3	PER	奇偶校验错误标志	0: 未发生奇偶校验错误 1: 发生奇偶校验错误	R/(W) (注1)
b4	ERS	错误信号状态标志	0: 无错误信号的 Low 电平响应 1: 有错误信号的 Low 电平响应	R/(W) (注1)
b5	ORER	溢出错误标志	0: 未发生溢出错误 1: 发生溢出错误	R/(W) (注1)
b6	RDRF	接收数据满标志	0: 当从 RDR 寄存器传送数据时 1: 当接收正常结束并且将数据从 RSR 寄存器传送到 RDR 寄存器时	R/(W) (注2)
b7	TDRE	发送数据空标志	0: 当将数据传送到 TDR 寄存器时 1: 当将数据从 TDR 寄存器传送到 TSR 寄存器时	R/(W) (注2)

注 1. 为了清除标志，只能写“0”。

注 2. 只能写“1”。

SSR 寄存器由 SCI 的状态标志构成。

MPBT 位 (多处理器位的传送位)

在智能卡接口模式中，必须将此位置“0”。

MPB 位 (多处理器位)

在智能卡接口模式中，不使用此位，必须将此位置“0”。

TEND 标志 (发送结束标志)

在没有接收侧的错误信号响应并且能将下一个发送数据传送到 TDR 寄存器的情况下，此标志变为“1”。

[为“1”的条件]

- SCR.TE 位为“0” (禁止串行发送) 时
- 在发送 1 字节数据后的一定时间后，ERS 标志变为“0”并且未更新 TDR 寄存器时
根据寄存器的设定，变为“1”的时序如下：
当 SMR.GM 位和 SMR.BLK 位都为“0”时，在开始发送后的 12.5etu。
当 SMR.GM 位为“0”并且 SMR.BLK 位为“1”时，在开始发送后的 11.5etu。
当 SMR.GM 位为“1”并且 SMR.BLK 位为“0”时，在开始发送后的 11.0etu。
当 SMR.GM 位和 SMR.BLK 位都为“1”时，在开始发送后的 11.0etu。

[为“0”的条件]

- 给 TDR 寄存器写发送数据时

PER 标志 (奇偶校验错误标志)

此标志表示在异步模式中接收的数据发生了奇偶校验错误。

[为“1”的条件]

- 在接收时检测到奇偶校验错误时

将发生奇偶校验错误时的接收数据传送到RDR寄存器，但是不产生RXI中断请求。在PER标志为“1”的状态下，不能继续进行以后的串行接收。以后的接收数据不传送到RDR寄存器。

[为“0”的条件]

- 读“1”后写“0”（必须在写“0”后确认PER标志已变为“0”）时
即使将SCR.RE位置“0”（禁止串行接收），PER标志也不受影响而保持原来的状态。

ERS 标志 (错误信号状态标志)

[为“1”的条件]

- 对错误信号的Low电平进行采样时

[为“0”的条件]

- 读“1”后写“0”时

ORER 标志 (溢出错误标志)

此标志表示接收的数据发生了溢出错误。

[为“1”的条件]

- 不读RDR寄存器的接收数据就接收到下一个数据时

RDR寄存器保持发生溢出错误前的接收数据而放弃后面的接收数据。在ORER标志为“1”的状态下，不能继续进行以后的串行接收。

[为“0”的条件]

- 读“1”后写“0”（必须在写“0”后确认ORER标志已变为“0”）时
即使将SCR.RE位置“0”，ORER标志也不受影响而保持原来的状态。

RDRF 标志 (接收数据满标志)

此标志表示在RDR寄存器中是否有接收数据。

[为“1”的条件]

- 接收正常结束并且将数据从RSR寄存器传送到RDR寄存器时

[为“0”的条件]

- 从RDR寄存器传送数据时

TDRE 标志 (发送数据空标志)

此标志表示在TDR寄存器中是否有发送数据。

[为“1”的条件]

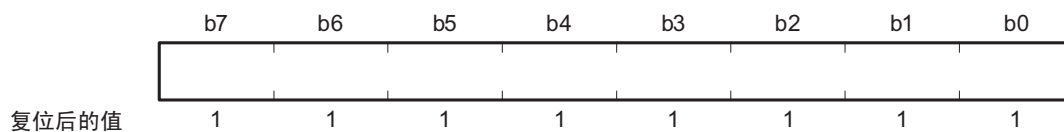
- 将数据从TDR寄存器传送到TSR寄存器时

[为“0”的条件]

- 将数据传送到TDR寄存器时

29.3.1.4 位速率寄存器 (BRR)

地址 SMC10.BRR 0008 8241h、SMC11.BRR 0008 8249h、SMC12.BRR 0008 8251h、SMC13.BRR 0008 8259h
SMC15.BRR 0008 8269h、SMC16.BRR 0008 8271h



BRR 寄存器是调整位速率的 8 位寄存器。

因为 SCI 各通道的波特率发生器独立运行，所以能设定不同的位速率。在智能卡接口模式中，BRR 寄存器的设定值 N 和位速率 B 的关系如表 29.14 所示。

BRR 寄存器的初始值为“FFh”。

CPU 能随时读 BRR 寄存器，但是只能在 SCR.TE 位和 SCR.RE 位都为“0”时写此寄存器。

表 29.14 BRR 寄存器的设定值 N 和位速率 B 的关系

模式	BRR寄存器的设定值	误差
智能卡接口	$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times B} - 1$	$\text{误差}(\%) = \left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$

注. B : 位速率 (bps)

N : 波特率发生器的 BRR 设定值 ($0 \leq N \leq 255$)

PCLK : 工作频率 (MHz)

n、S : 取决于下表中 SMR 的设定值。

智能卡接口模式中的 BRR 寄存器值 N 的设定例子如表 29.15 所示。在智能卡接口模式中，能选择 1 位传送时间的基本时钟数 S。详细内容请参照“29.3.3.2 接收数据的采样时序和接收容限”。各工作频率下能设定的最大位速率如表 29.16 所示。

表 29.15 对应位速率的 BRR 设定例子 (在智能卡接口模式中 n = 0、S = 372 时)

位速率 (bps)	工作频率 PCLK (MHz)											
	7.1424			10.00			10.7136			13.00		
	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)
9600	0	0	0.00	0	1	30	0	1	25	0	1	8.99

位速率 (bps)	工作频率 PCLK (MHz)											
	14.2848			16.00			18.00			20.00		
	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)
9600	0	1	0.00	0	1	12.01	0	2	15.99	0	2	6.66

位速率 (bps)	工作频率 PCLK (MHz)											
	25.00			30.00			33.00			503.00		
	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)
9600	0	3	12.49	0	3	5.01	0	4	7.59	0	27	0.00

表 29.16 各工作频率下的最大位速率 (在智能卡接口模式中 S = 372 时)

PCLK (MHz)	最大位速率 (bps)	n	N	PCLK (MHz)	最大位速率 (bps)	n	N
10.00	13441	0	0	20.00	26882	0	0
10.7136	14400	0	0	25.00	33602	0	0
13.00	17473	0	0	30.00	40323	0	0
16.00	21505	0	0	33.00	44355	0	0
18.00	24194	0	0	50.00	67205	0	0

29.3.2 智能卡接口模式的运行

作为 SCI 的扩展功能，支持符合 ISO/IEC 7816-3 (Identification Card) 标准的智能卡 (IC 卡) 接口。
切换至智能卡接口模式通过寄存器进行。

29.3.2.1 连接例子

智能卡 (IC 卡) 的连接例子如图 29.25 所示。

IC 卡是指通过 1 条数据传送线进行发送和接收，因此必须连接 TxDn 引脚和 RxDn 引脚并且通过电阻将数据传送线上拉到电源 Vcc 侧。

如果在不连接 IC 卡的状态下将 SCR.TE 位和 SCR.RE 位都置“1”，就能进行自诊断 (自己能接收自己发送的数据)。

如果给 IC 卡提供由 SCI 生成的时钟，就必须将 SCKn 引脚的输出信号输入到 IC 卡的 CLK 引脚。
能将 LSI 的输出端口用于复位信号的输出。

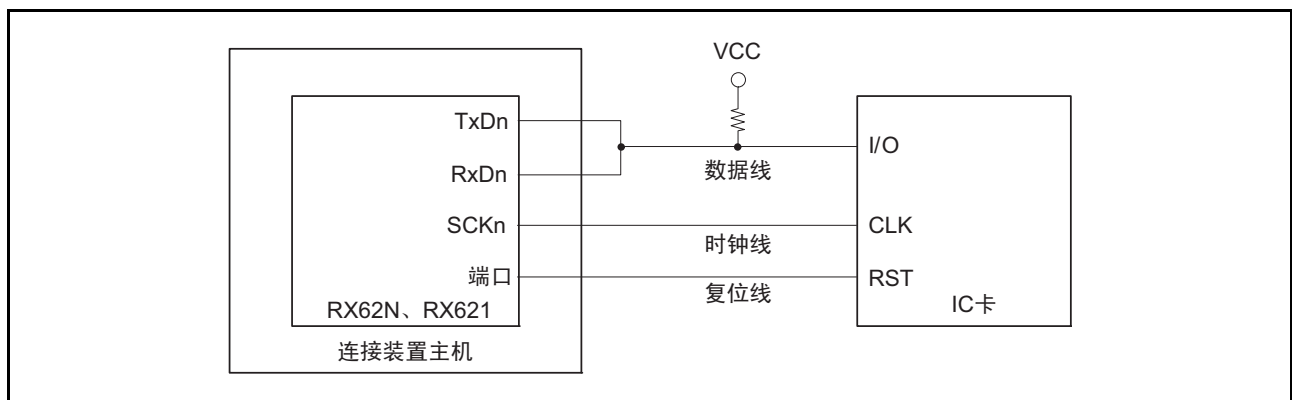


图 29.25 智能卡 (IC 卡) 的连接例子

29.3.3 数据格式 (块传送模式除外)

智能卡接口模式的发送 / 接收格式如图 29.26 所示。

- 在异步模式中，1 帧由 8 位数据和奇偶校验位构成。
- 在发送时，从奇偶校验位结束到下一帧的开始至少需要 2etu (Elementary Time Unit: 1 位传送时间) 的保护时间。
- 如果在接收时检测到奇偶校验错误，就在经过 10.5etu 后，从起始位输出 1etu 期间的错误信号 (Low 电平)。
- 如果在发送时对错误信号进行采样，就在至少经过 2etu 后，自动重新发送相同的数据。

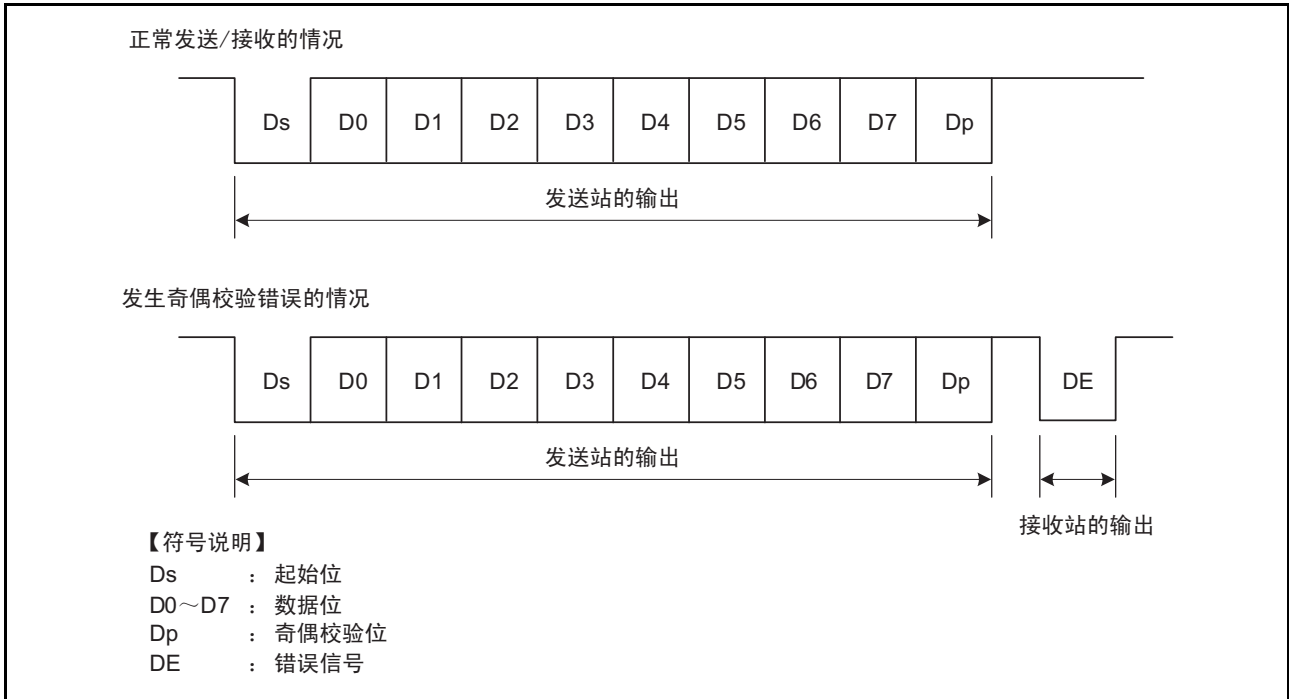


图 29.26 智能卡接口模式的数据格式

正向协议型和反向协议型这 2 种 IC 卡的发送和接收如下:

(1) 正向协议型

正向协议型如图 29.27 所示的开始字符例子，使逻辑 1 电平对应状态 Z，使逻辑 0 电平对应状态 A，并且以 LSB first 进行发送和接收。图 29.27 中的开始字符数据为“3Bh”。

对于正向协议型，必须将 SCMR.SDIR 位和 SCMR.SINV 位都置“0”。为了根据智能卡的规格进行偶校验，必须将 SMR.PM 位置“0”。

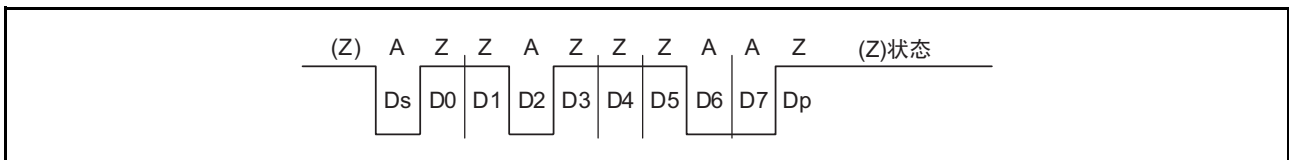


图 29.27 正向协议 (SCMR.SDIR 位 = 0, SCMR.SINV 位 = 0, SMR.PM 位 = 0)

(2) 反向协议型

反向协议型使逻辑 1 电平对应状态 A，使逻辑 0 电平对应状态 Z，以 MSB first 进行发送和接收。图 29.28 中的开始字符数据为“3Fh”。

对于反向协议型，必须将 SCMR.SDIR 位和 SCMR.SINV 位都置“1”。在根据智能卡的规格进行偶校验时，奇偶校验位为逻辑 0，对应状态 Z。在 RX62N 和 RX621 中，SINV 位只将数据位 D7 ~ D0 取反。因此，在发送和接收时，必须将 SMR.PM 位置“1”，将奇偶校验位取反。

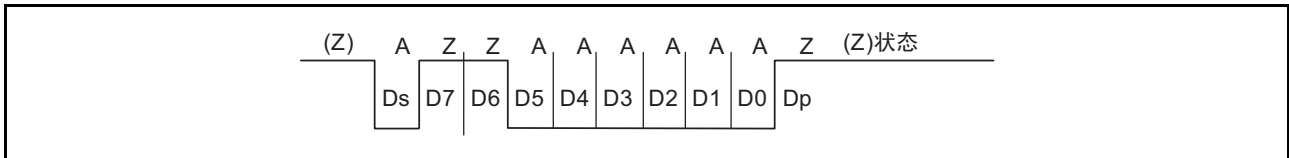


图 29.28 反向协议 (SCMR.SDIR 位 =1, SCMR.SINV 位 =1, SMR.PM 位 =1)

29.3.3.1 块传送模式

块传送模式和一般的智能卡接口模式比较，有以下不同点：

- 在接收时进行奇偶校验，即使检测到错误，也不输出错误信号。因为 SSR.PER 标志变为“1”，所以必须在接收下一帧的奇偶校验位前将此位置“0”。
- 在发送时，从奇偶校验位结束到下一帧的开始至少需要 1etu 的保护时间。
- 因为不重新进行发送，所以在开始发送后的 11.5etu 后，SSR.TEND 标志变为“1”。
- 和一般的智能卡接口模式一样，SSR.ERS 标志表示错误信号的状态。因为不发送和接收错误信号，所以 SSR.ERS 标志总是为“0”。

29.3.3.2 接收数据的采样时序和接收容限

能用于智能卡接口模式的发送 / 接收时钟只有内部波特率发生器生成的内部时钟。

在智能卡接口模式中，根据 SCMR.BCP2 位和 SMR.BCP[1:0] 位的设定，SCI 通过频率为 32 倍、64 倍、372 倍、256 倍、93 倍、128 倍、186 倍或者 512 倍（在一般的异步模式中固定为 16 倍）位速率的基本时钟运行。

在接收时，通过基本时钟对起始位的下降沿进行采样，并且与内部取得同步。如图 29.29 所示，通过在基本时钟的 16 个、32 个、186 个、128 个、46 个、64 个、93 个、256 个时钟的上升沿分别对接收数据进行采样，在各位的中央取数据。能用以下表达式表示此时的接收容限：

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100[\%]$$

- M : 接收容限 (%)
- N : 对于时钟的位速率比 (N=32、64、372、256)
- D : 时钟占空比 (D=0 ~ 1.0)
- L : 帧长 (L=10)
- F : 时钟频率的偏差绝对值

假设在上述的表达式中，F=0，D=0.5，N=372，则接收容限如下所示：

$$M = (0.5 - 1/2 \times 372) \times 100\% = 49.866\%$$

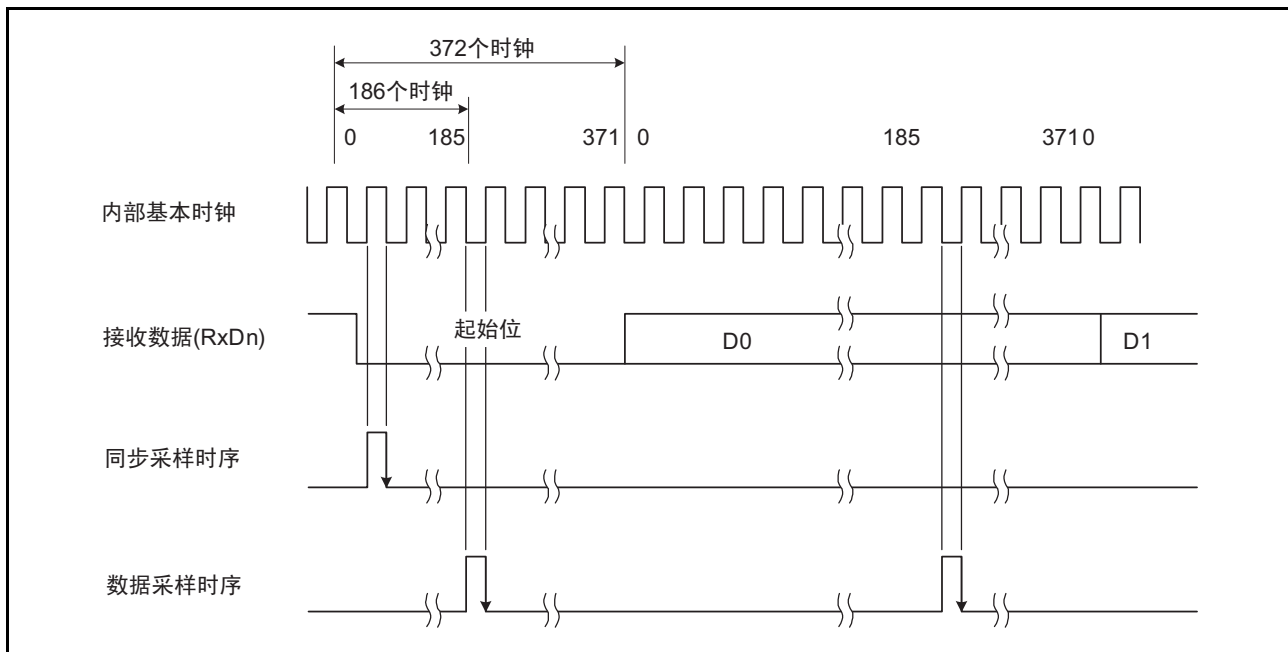


图 29.29 智能卡接口模式的接收数据的采样时序（使用 372 倍的时钟）

29.3.3.3 智能卡接口的初始化

在发送和接收数据前，必须按照以下步骤对 SCI 进行初始化。在从发送模式转换为接收模式或者从接收模式转换为发送模式时，都需要进行初始化。

1. 给 SCR 寄存器写初始值“00h”。
2. 必须将对应引脚的 PORTn.ICR.Bj 位（n=0~9、A~G，j=0~7）置“1”。
3. 必须将 SSR 寄存器的错误标志（ORER、ERS、PER）置“0”。
4. 必须设定 SMR.GM 位、SMR.BLK 位、SMR.PM 位、SMR.BCP[1:0] 位、SMR.CKS[1:0] 位和 SCMR.BCP2 位。此时，必须将 SMR.PE 位置“1”。
5. 必须设定 SCMR.SDIR 位、SCMR.SINV 位和 SCMR.SMIF 位，并且将 TxDn 引脚对应的 PORTn.ICR.Bj 位置“0”。因此，TxDn 引脚和 RxDn 引脚都从端口转换为 SCI 的引脚，并且为高阻抗状态。
6. 给 BRR 寄存器设定与位速率对应的值。
7. 必须设定 SCR.CKE[1:0] 位。此时，必须将 SCR.TIE 位、SCR.RIE 位、SCR.TE 位、SCR.RE 位和 SCR.TEIE 位置“0”。

如果将 CKE0 位置“1”，就从 SCKn 引脚输出时钟。

8. 必须在至少等待 1 位时间后设定 SCR.TIE 位、SCR.RIE 位、SCR.TE 位和 SCR.RE 位。除了进行自诊断以外，必须将 TE 位和 RE 位同时置“1”。

要从接收模式转换为发送模式时，必须在确认接收结束后从初始化开始进行，并且将 TE 位置“1”、RE 位置“0”。能通过 RXI 中断请求、SSR.ORER 标志或者 SSR.PER 标志确认接收的结束。

要从发送模式转换为接收模式时，必须在确认发送结束后从初始化开始进行，并且将 TE 位置“0”、RE 位置“1”。能通过 SSR.TEND 标志确认发送的结束。

29.3.3.4 串行数据的发送 (块传送模式除外)

智能卡接口模式的串行发送包括错误信号的采样和重新发送处理，因此和一般的串行通信接口模式的运行不同 (块传送模式除外)。发送时的重新传送如图 29.30 所示。

1. 如果在结束 1 帧的发送后采样到接收侧的错误信号，SSR.ERS 标志就变为“1”。此时，如果 SCR.RIE 位为“1”，就产生 ERI 中断请求。必须在对下一个奇偶校验位进行采样前将 ERS 标志置“0”。
2. 在接收到错误信号的帧中，SSR.TEND 标志不变为“1”。再次将数据从 TDR 寄存器传送到 TSR 寄存器，自动进行重新发送。
3. 如果接收侧没有返回错误信号，ERS 标志就不变为“1”。
4. 在判断出包括重新传送的 1 帧的发送已结束后，SSR.TEND 标志变为“1”。此时，如果 SCR.TIE 位为“1”，就产生 TXI 中断请求。通过给 TDR 寄存器写发送数据，开始下一个数据的发送。

串行发送的流程图例子如图 29.32 所示。能通过 TXI 中断源启动 DTC 或者 DMACA，自动进行上述的一系列处理。

在发送时，如果在 SCR.TIE 位为“1”时 SSR.TEND 标志变为“1”，就产生 TXI 中断请求。如果预先将 TXI 中断请求设定为 DTC 或者 DMACA 的启动源，就在通过 TXI 中断请求启动 DTC 或者 DMACA 后，进行发送数据的传送。在通过 DTC 或者 DMACA 进行数据传送时，TEND 标志自动变为“0”。

如果发生错误，SCI 就自动重新发送相同的数据。在此期间，TEND 标志保持“0”并且不启动 DTC 或者 DMACA。因此，自动发送 SCI 以及 DTC 或者 DMACA 指定的字节数，包括发生错误时的重新发送。但是，在发生错误时 ERS 标志不自动变为“0”，因此必须预先将 RIE 位置“1”，使在发生错误时产生 ERI 中断请求，并且将 ERS 标志置“0”。

在使用 DTC 或者 DMACA 进行发送和接收时，必须先设定 DTC 或者 DMACA，在设定为允许状态后进行 SCI 的设定。

有关 DTC 或者 DMACA 的设定方法，请参照“14. DMA 控制器 (DMACA)”和“16. 数据传送控制器 (DTCa)”。

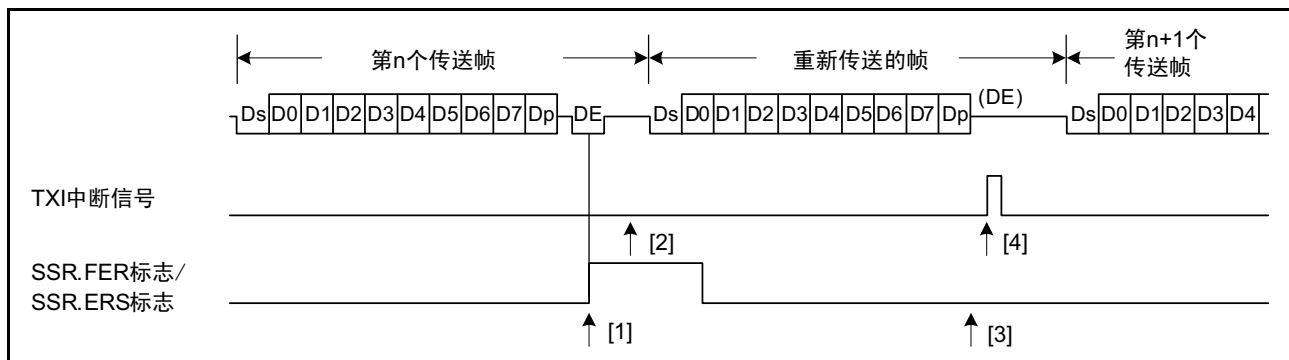


图 29.30 SMC1 发送模式的重新传送 (发送时的重新传送)

SSR.TEND 标志变为“1”的时序取决于 SMR.GM 位的设定，TEND 标志的产生时序如图 29.31 所示。

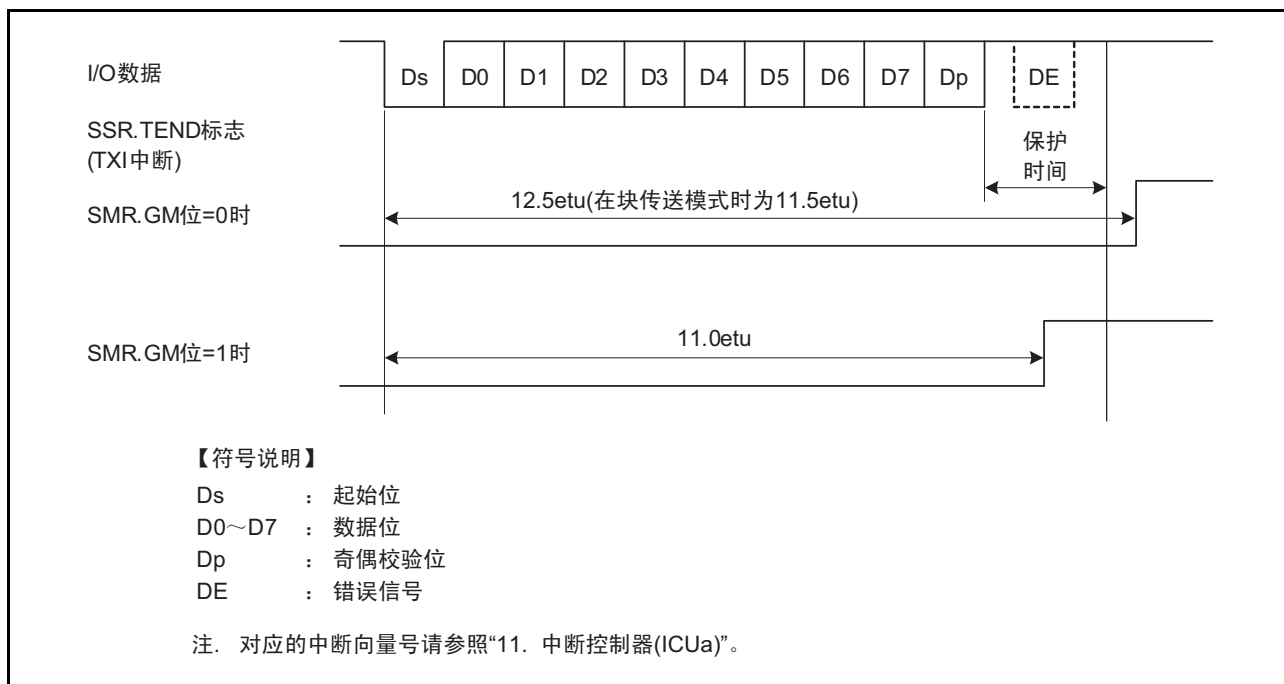


图 29.31 发送时的 SSR.TEND 标志的产生时序

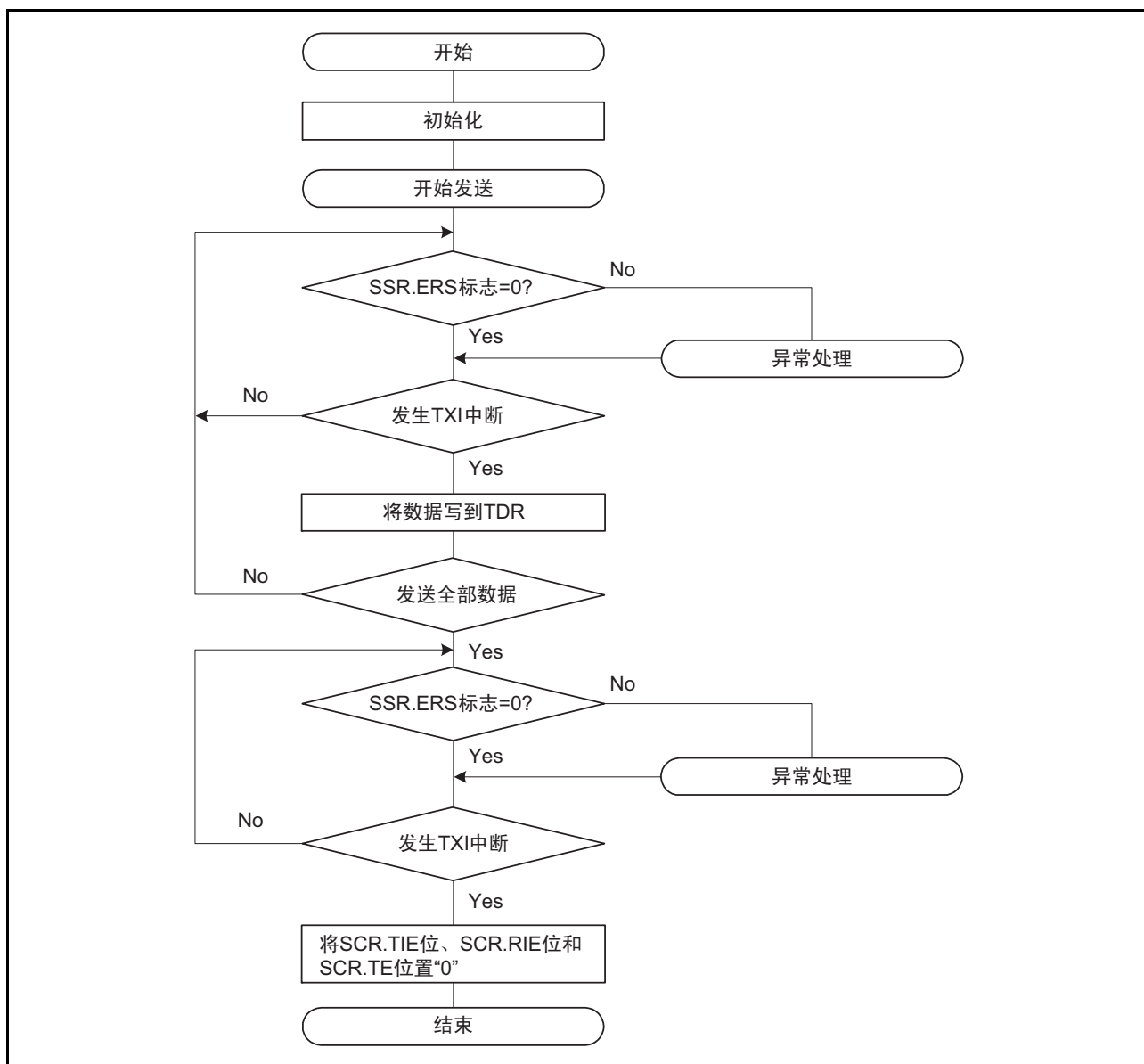


图 29.32 串行发送的流程图例子

29.3.3.5 串行接收 (块传送模式除外)

智能卡接口模式的串行接收和串行通信接口模式的处理步骤相同。接收模式的重新传送如图 29.33 所示。

1. 如果在接收数据时检测到奇偶校验错误, SSR.PER 标志就变为“1”。此时, 如果 SCR.RIE 位为“1”, 就产生 ERI 中断请求。必须在下一个奇偶校验位的采样时序前将 PER 标志置“0”。
2. 对于检测到奇偶校验错误的帧, 不发生 RXI 中断。
3. 如果检测不到奇偶校验错误, SSR.PER 标志就不变为“1”。
4. 如果在判断出接收正常结束后 RIE 位变为“1”, 就产生 RXI 中断请求。

串行接收的流程图例子如图 29.34 所示。能通过 RXI 中断请求启动 DTC 或者 DMACA, 自动进行上述的一系列处理。

如果在接收时预先将 RIE 位置“1”, 就产生 RXI 中断请求。如果预先将 RXI 中断请求设定为 DTC 或者 DMACA 的启动源, 就在通过 RXI 中断请求启动 DTC 或者 DMACA 后, 进行接收数据的传送。

如果在接收时发生错误, 并且 SSR.ORER 标志或者 SSR.PER 标志变为“1”, 就产生接收错误中断 (ERI) 请求, 因此必须将错误标志置“0”。因为在发生错误时不启动 DTC 或者 DMACA 而省略接收数据, 所以只传送由 DTC 或者 DMACA 设定的字节数的接收数据。

即使在接收时发生奇偶校验错误并且 PER 标志为“1”, 也将接收数据传送到 RDR 寄存器, 因此能读此数据。

注 1. 有关块传送模式, 请参照“29.2.2.1 串行发送 / 接收格式”。

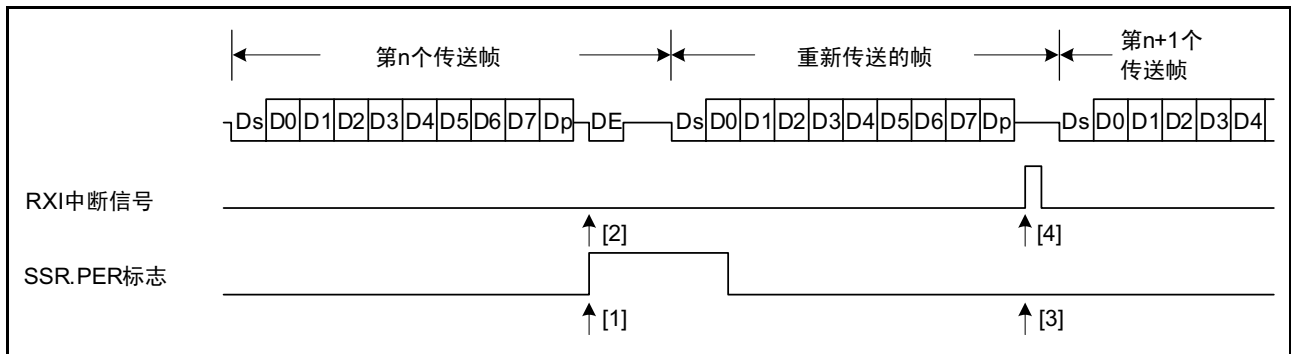


图 29.33 SMCI 接收模式的重新传送 (接收时的重新传送)

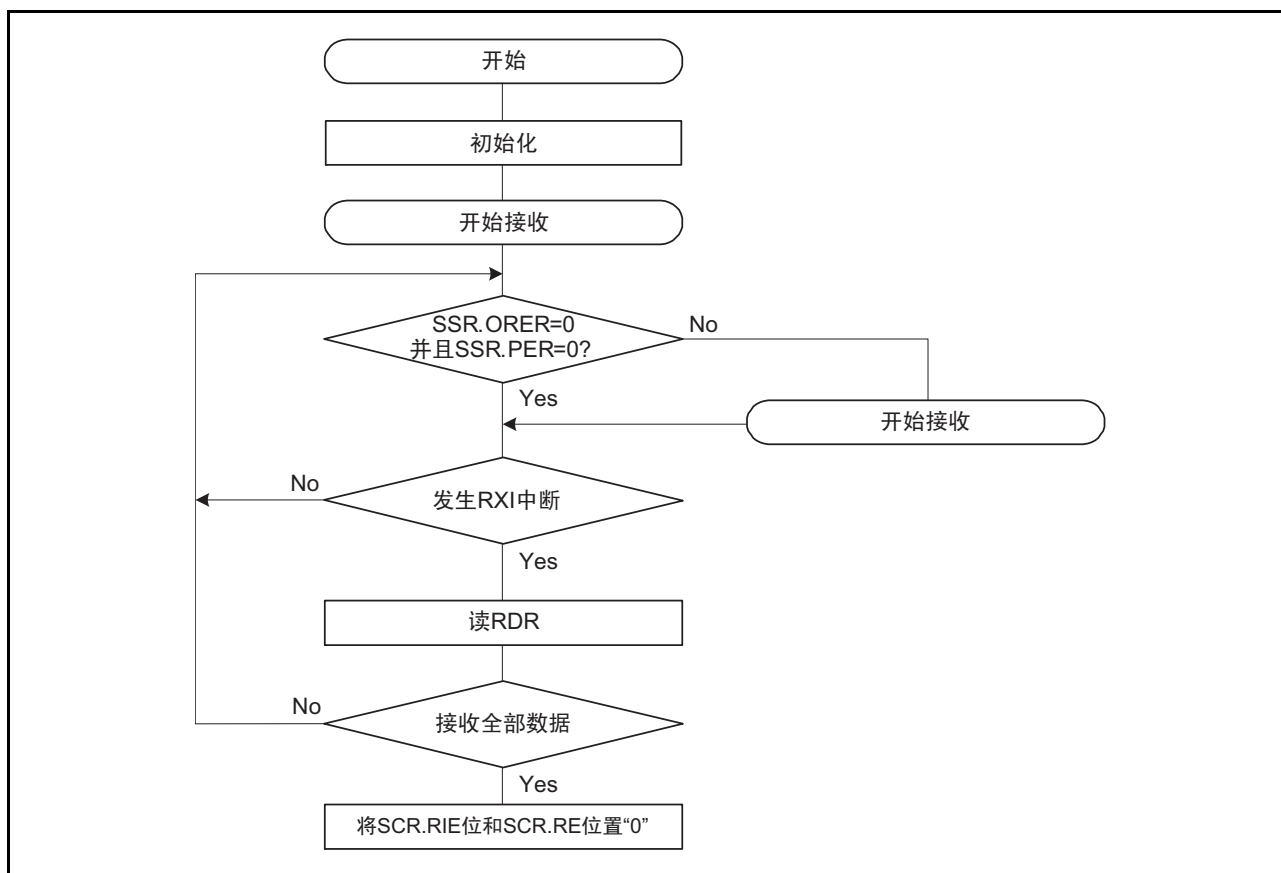


图 29.34 串行接收的流程图例子

29.3.3.6 时钟的输出控制

当 SMR.GM 位为“1”时，能通过 SCR.CKE[1:0] 位停止时钟输出。此时，能将时钟脉冲的最小宽度设定为指定的宽度。

时钟输出的停止时序如图 29.35 所示，这是将 GM 位和 CKE1 位分别置“1”和“0”并且控制 CKE0 位时的例子。

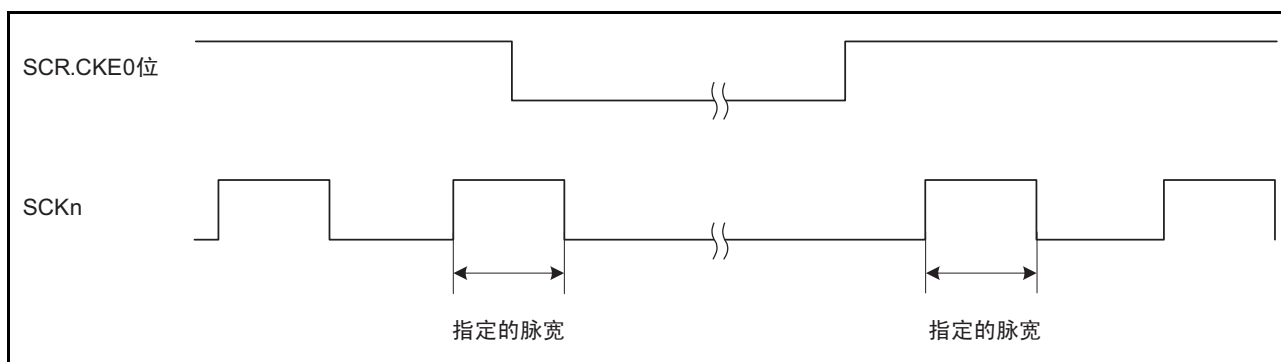


图 29.35 时钟输出的停止时序

在接通电源、向软件待机模式转移或者从软件待机模式返回时，为了确保时钟的占空比，必须按照以下步骤进行处理：

(1) 电源接通时

为了从接通电源开始确保时钟的占空比的转换步骤如下所示：

1. 初始状态为端口输入的高阻抗状态。要固定电位时，必须使用上拉电阻或者下拉电阻。
2. 必须通过SCR.CKE1位将SCKn引脚固定为指定的输出。
3. 必须将SMR寄存器和SCMR寄存器置位并且转换为智能卡接口模式的运行，并且将SCR.CKE0位置“1”，开始时钟的输出。

(2) 模式转换时

(a) 从智能卡接口模式转移到软件待机模式时

1. 必须给SCKn引脚对应的数据寄存器 (PORTn.DR) 和数据方向寄存器 (PORTn.DDR) 设定软件待机模式时的输出固定状态的值。
2. 必须给SCR.TE位和SCR.RE位写“0”，停止发送和接收。
同时，必须给SCR.CKE1位设定软件待机时的输出固定状态的值。
3. 必须给SCR.CKE0位写“0”，停止时钟。
4. 必须等待1个串行时钟周期。在此期间，在输出指定的High电平宽度后，以Low电平停止时钟输出。
5. 必须转移到软件待机状态。

(b) 从软件待机模式返回到智能卡接口模式时

1. 必须解除软件待机状态。
2. 必须将SCR.CKE0位置“1”，以指定的频率重新开始时钟的输出。

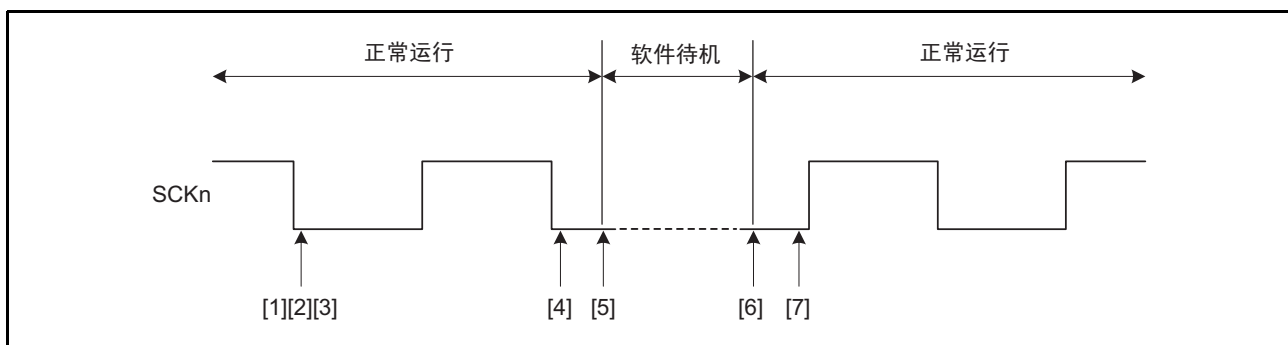


图 29.36 时钟的停止和重新启动的步骤

29.4 中断源

29.4.1 串行通信接口模式的中断

串行通信接口模式的中断源如表 29.17 所示。各中断源分配有不同的中断向量，能通过 SCR 寄存器的允许位分别允许各中断源。

如果将发送数据从 TDR 寄存器（发送数据寄存器）传送到 TSR 寄存器，就在 SCR.TIE 位为“1”时产生 TXI 中断请求。通过在将 SCR.TIE 位置“1”后将 SCR.TE 位置“1”，或者用 1 条指令将 SCR.TIE 位和 SCR.TE 位同时置“1”，产生 TXI 中断请求。能通过 TXI 中断请求，在启动 DTC 或者 DMACA 后进行数据传送。

如果给 RDR 寄存器设定接收数据，就在 SCR.RIE 位为“1”时产生 RXI 中断请求。能通过 RXI 中断请求，在启动 DTC 或者 DMACA 后进行数据传送。

在 SSR.ORER 标志、SSR.FER 标志或者 SSR.PER 标志为“1”并且 SCR.RIE 位为“1”的情况下，产生 ERI 中断请求。此时，不产生 RXI 中断请求。

如果在发送数据的最后 1 位时未更新 TDR 寄存器，SSR.TEND 标志就变为“1”，并且在 SCR.TEIE 位为“1”时产生 TEI 中断请求。如果通过 TXI 中断处理给 TDR 寄存器写数据，SSR.TEND 标志就变为“0”并且 TEI 中断请求被取消。在通过给 TDR 寄存器写发送数据，将 SSR.TEND 标志置“0”时，必须读 SSR.TEND 标志，确认该标志已变为“0”。

通过在将 SCR.TIE 位置“1”后将 SCR.TE 位置“1”，或者用 1 条指令将 SCR.TIE 位和 SCR.TE 位同时置“1”，产生 TXI 中断请求。即使在 SCR.TIE 位为“0”的状态下将 SCR.TE 位或者 SCR.TIE 位置“1”，也不产生 TXI 中断请求。因此，在发送最后的数据时，必须暂时禁止 TXI 中断，在进行发送结束中断处理后要重新开始数据发送时，不通过 SCR.TIE 位而通过 TXI 中断对应的 ICU.IERm.IENj 位控制中断的禁止和允许。

表 29.17 SCI 中断源

名称	中断源	中断标志	DTC 的启动	DMACA 的启动	优先级
ERI	接收错误	ORER、FER、PER	不能	不能	高 ↑ 低
RXI	接收数据满	—	能	能	
TXI	发送数据空	—	能	能	
TEI	发送结束	TEND	不能	不能	

29.4.2 智能卡接口模式的中断

智能卡接口模式的中断源如表 29.18 所示，不能使用发送结束中断 (TEI)。

表 29.18 SCI 中断源

名称	中断源	中断标志	DTC 的启动	DMACA 的启动	优先级
ERI	接收错误、错误信号检测	ORER、PER、ERS	不能	不能	高
RXI	接收数据满	—	能	能	↑
TXI	发送数据空	TEND	能	能	低

智能卡接口模式和一般的 SCI 相同，能通过 DTC 或者 DMACA 进行发送和接收。如果在发送时 SSR.TEND 标志变为“1”，就产生 TXI 中断请求。如果预先将 TXI 中断请求设定为 DTC 或者 DMACA 的启动源，就通过 TXI 中断请求，在启动 DTC 或者 DMACA 后传送发送数据。在通过 DTC 或者 DMACA 进行数据传送时，TEND 标志自动变为“0”。

如果发生错误，SCI 就自动重新发送相同的数据。在此期间，TEND 标志保持“0”，不启动 DTC 或者 DMACA。因此，SCI 和 DTC、DMACA 自动发送指定字节数的数据，包括发生错误时的重新发送。但是，在发生错误时，SSR.ERS 标志不自动变为“0”，因此必须先将 SCR.RIE 位置“1”，然后在发生错误时产生 ERI 中断请求，并且将 ERS 标志置“0”。

在通过 DTC 或者 DMACA 进行发送和接收时，必须先将 DTC 或者 DMACA 设定为允许状态后进行 SCI 的设定。有关 DTC 或者 DMACA 的设定方法，请参照“14. DMA 控制器 (DMACA)”和“16. 数据传送控制器 (DTCa)”。

如果在接收时将接收数据设定到 RDR 寄存器，就产生 RXI 中断请求。如果预先将 RXI 中断请求设定为 DTC 或者 DMACA 的启动源，就通过 RXI 中断请求，在启动 DTC 或者 DMACA 后传送接收数据。如果发生错误，错误标志就被置位。因此，不启动 DTC 或者 DMACA 而向 CPU 请求 ERI 中断，所以必须将错误标志置“0”。

29.5 使用时的注意事项

29.5.1 模块停止功能的设定

能通过模块停止控制寄存器 B (MSTPCRB) 禁止或者允许 SCI 的运行, 初始值为停止 SCI 的运行。能通过解除模块停止状态, 使寄存器变为可存取的状态。详细内容请参照“9. 低功耗功能”。

29.5.2 有关中止的检测和处理

在检测到帧错误时, 能通过直接读 RxDn 引脚的值检测中止。因为在中止时 RxDn 引脚的输入全部为“0”, 所以 SSR.FER 标志变为“1” (发生帧错误), SSR.PER 标志也有可能变为“1” (发生奇偶校验错误)。SCI 在接收到中止后继续进行接收。因此必须注意: 即使将 FER 标志置“0” (未发生帧错误), FER 标志也会再次变为“1”。

29.5.3 标记状态和中止的发送

当 SCR.TE 位为“0” (禁止串行发送) 时, TxDn 引脚变为由 PORTn.DR.Bj 位和 PORTn.DDR.Bj 位决定的输入 / 输出方向和电平的 I/O 端口。能通过此变化将 TxDn 引脚置为标记状态或者在发送数据时发送中止。

为了在将 TE 位置“1” (允许串行发送) 前将通信线路置为标记状态 (“1” 的状态), 必须将 PORTn.DDR.Bj 位和 PORTn.DR.Bj 位置“1”。当 TE 位为“0” 时, 因为 TxDn 引脚变为 I/O 端口, 所以输出“1”。

另外, 要在发送数据时发送中止的情况下, 必须在将 PORTn.DDR.Bj 位置“1” 并且将 PORTn.DR.Bj 位置“0” 后, 将 TE 位置“0”。如果将 TE 位置“0”, 就对发送部进行初始化, 与当前的发送状态无关, TxDn 引脚变为 I/O 端口, 并且从 TxDn 引脚输出“0”。

29.5.4 有关接收错误标志和发送 (只限于时钟同步模式)

在接收错误标志 (SSR.ORER、SSR.FER、SSR.PER) 为“1” 的状态下, 即使给 TDR 寄存器写数据, 也不能开始发送。在开始发送时, 必须将接收错误标志置“0”。必须注意: 即使将 SCR.RE 位置“0” (禁止串行接收), 接收错误标志也不能变为“0”。

29.5.5 有关写 TDR

能随时给 TDR 寄存器写数据。但是, 如果在 TDR 寄存器留有发送数据的状态下给 TDR 寄存器写新数据, 保存在 TDR 寄存器的数据就可能没有被传送到 TSR 寄存器而丢失。因此, 必须通过 TXI 中断请求给 TDR 寄存器写发送数据。

29.5.6 时钟同步发送时的限制事项

在将外部时钟源用于同步时钟时, 必须在通过 DMACA 或者 DTC 更新 TDR 寄存器并且通过 PCLK 时钟至少经过 5 个时钟后, 输入发送时钟。如果在更新 TDR 寄存器后的 4 个时钟以内输入发送时钟, 就可能发生误动作。

29.5.7 使用 DMACA 或者 DTC 时的限制事项

在通过 DMACA 或者 DTC 读 RDR 寄存器时, 必须将该 SCI 的接收结束中断 (RXI) 设定为启动源。

29.5.8 有关低功耗状态时的运行

(1) 发送

必须在停止运行 (SCR.TIE 位 =0, TE 位 =0, TEIE 位 =0) 的状态下设定为模块停止状态或者向软件待机模式转移。通过将 TE 位置“0”, TSR 寄存器和 SSR.TEND 标志变为“0”。模块停止状态以及软件待机模式时的输出引脚的状态取决于端口的设定, 在解除模块停止状态或者软件待机模式后, 为 High 电平输出。如果在发送时转移到这些模式, 发送就被中止。

如果在解除低功耗状态后不更改发送模式而进行发送, 就必须按照将 TE 位置“1”以及读 SSR 寄存器 → 写 TDR 寄存器的顺序开始发送。如果在更改发送模式后进行发送, 就必须在进行初始设定后开始发送。

发送时的模式转移的流程图例子如图 29.37 所示, 模式转移时的端口的引脚状态如图 29.38 和图 29.39 所示。

必须在停止运行的状态下, 从通过 DTC 传送进行的发送模式设定为模块停止状态或者转移到软件待机模式。在解除这些模式后通过 DTC 进行发送时, 如果将 TE 位置“1”, 就产生 TXI 中断并且开始通过 DTC 进行的发送。

(2) 接收

必须在停止接收 (SCR.RE 位 =0) 的状态下设定为模块停止状态或者向软件待机模式转移。如果在接收时进行转移, 正在接收的数据就无效。

如果在解除低功耗状态后不更改接收模式而进行接收, 就必须通过将 RE 位置“1”, 开始接收。如果在更改接收模式后进行接收, 就必须在进行初始设定后开始接收。

接收时的模式转移的流程图例子如图 29.40 所示。

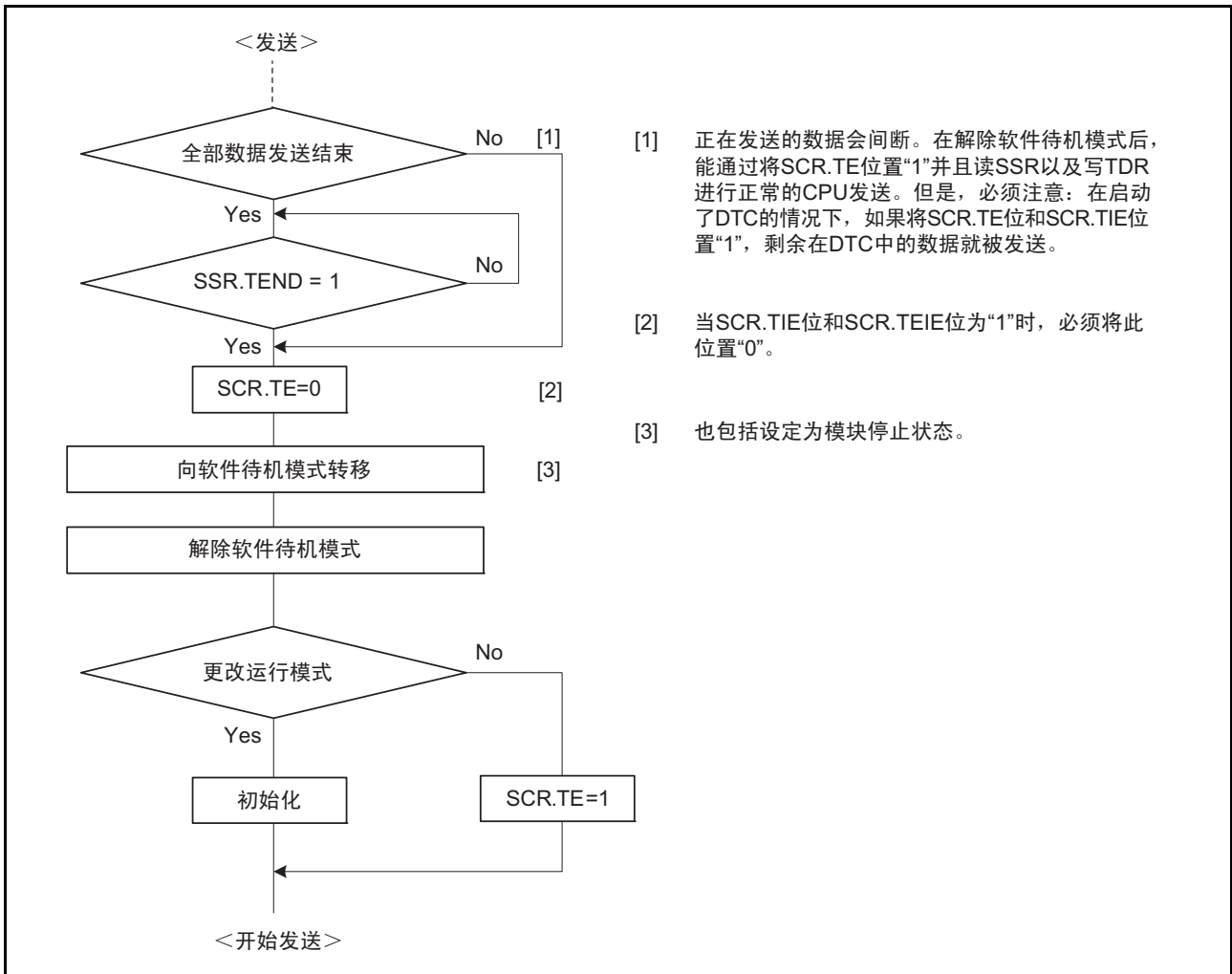


图 29.37 发送时向软件待机模式转移的流程图例子

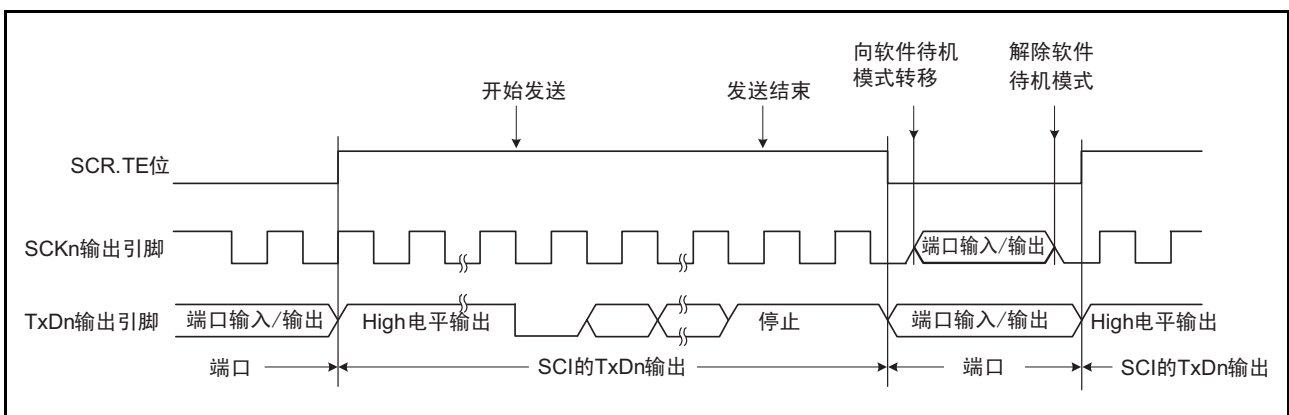


图 29.38 向软件待机模式转移时的端口引脚状态 (内部时钟、异步发送)

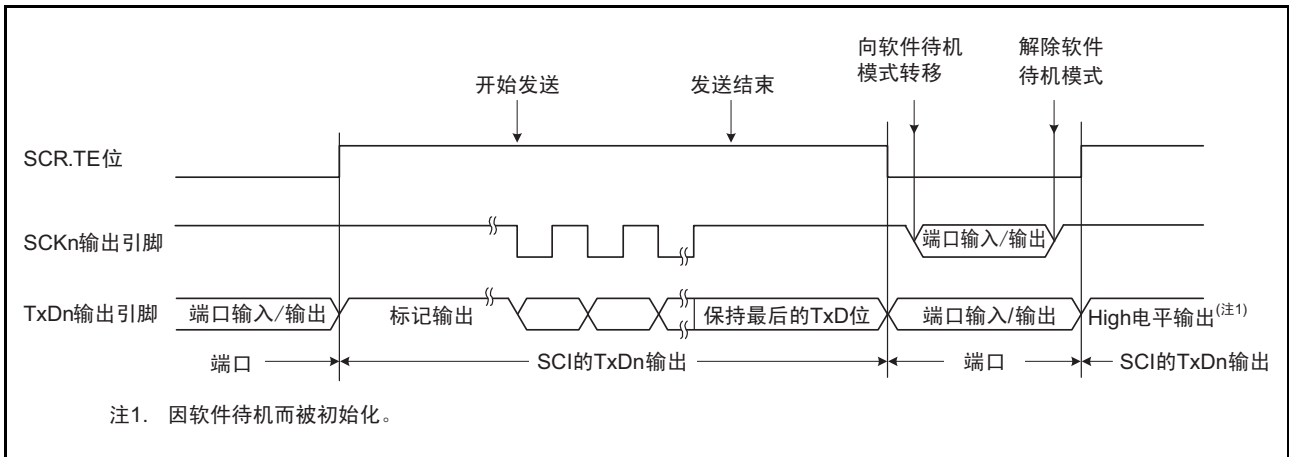


图 29.39 向软件待机模式转移时的端口引脚状态 (内部时钟、时钟同步发送)

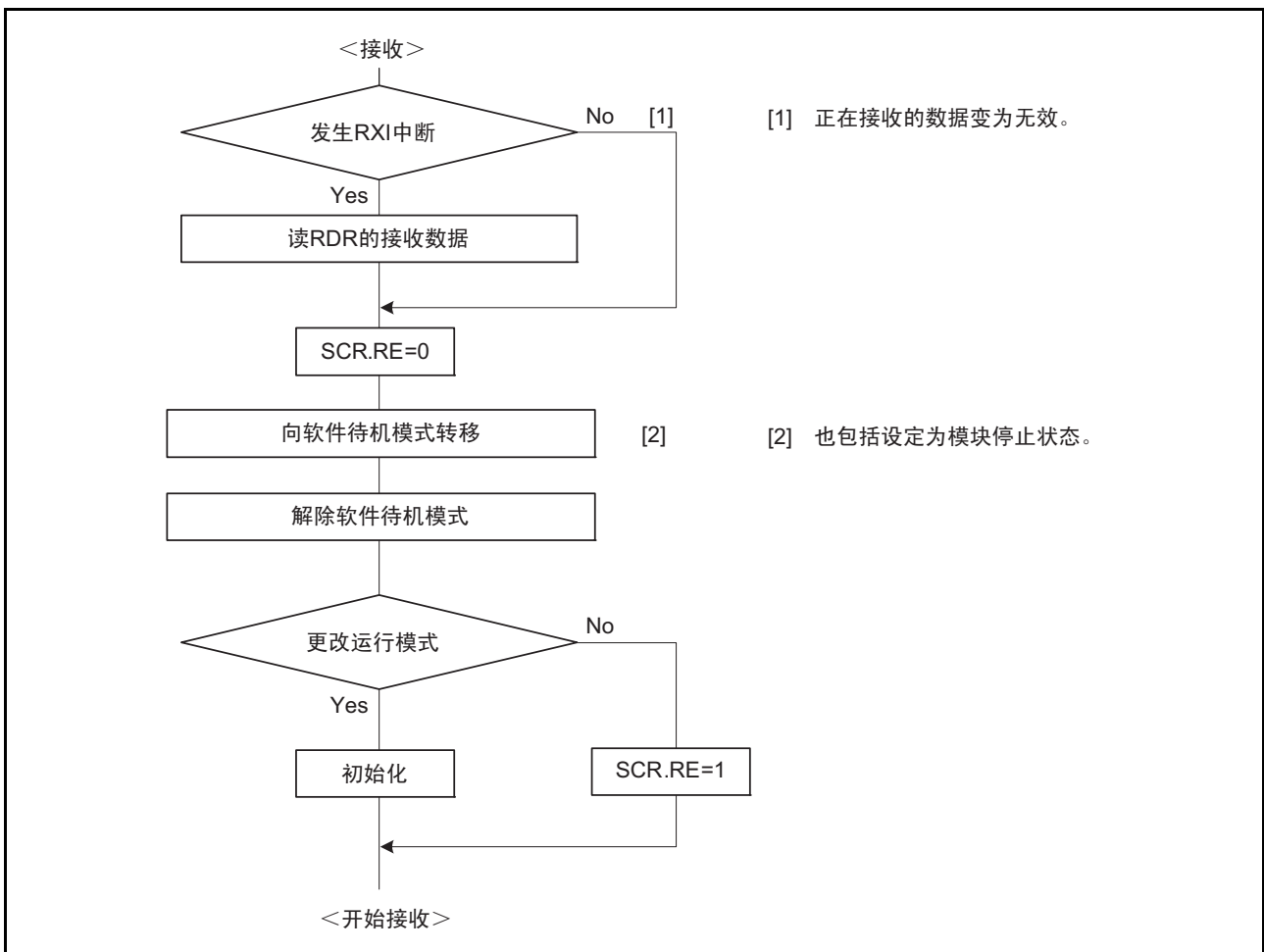


图 29.40 接收时向软件待机模式转移的流程图例子

29.5.9 时钟同步模式的外部时钟输入

在时钟同步模式中，外部时钟的 SCKn 输入必须至少为 2 个时钟的 High 电平脉冲期间和 Low 电平脉冲期间，或者 6 个时钟周期。

30. CRC 运算器 (CRC)

CRC (Cyclic Redundancy Check) 运算器生成数据块的 CRC 码。

30.1 概要

CRC 运算器的规格和框图分别如表 30.1 和图 30.1 所示。

表 30.1 CRC 运算器的规格

项目	内容
CRC 运算的对象数据 (注 1)	对于 8n 位的数据, 生成 CRC 码 (n 为自然数)。
数据块的大小	8 位
CRC 运算的处理方式	并行进行 8 位运算。
CRC 生成多项式	可从 3 个多项式中选择: <ul style="list-style-type: none"> • 8 位 CRC X^8+X^2+X+1 • 16 位 CRC $X^{16}+X^{15}+X^2+1$ $X^{16}+X^{12}+X^5+1$
CRC 运算的转换	能选择生成 LSB first 通信的 CRC 码或者生成 MSB first 通信的 CRC 码。
低功耗功能	能设定为模块停止状态。

注 1. 没有将运算对象数据分割成数据块的功能。必须以 8 位为单位进行写操作。

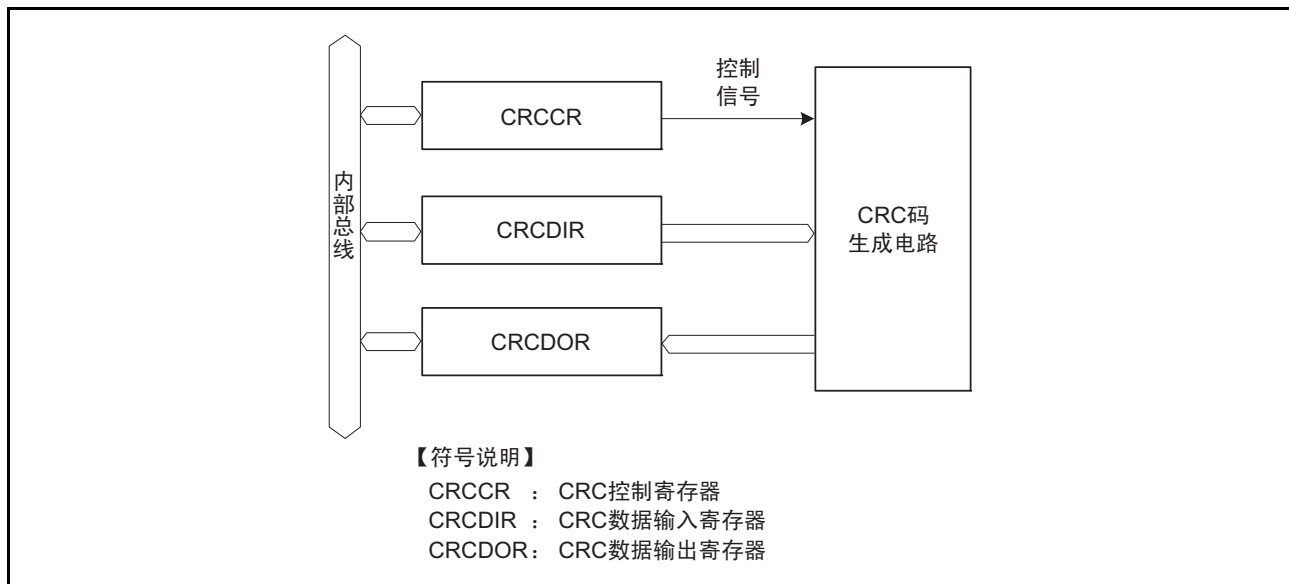


图 30.1 CRC 运算器的框图

30.2 寄存器说明

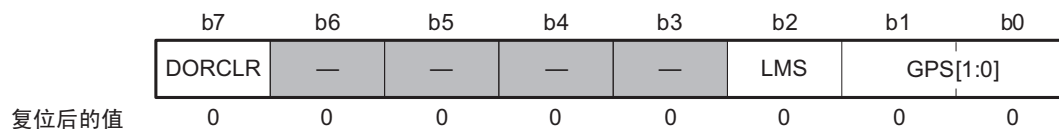
CRC 运算器的寄存器一览表如表 30.2 所示。

表 30.2 CRC 运算器的寄存器一览表

寄存器名	符号	复位后的值	地址	存取长度
CRC 控制寄存器	CRCCR	00h	0008 8280h	8
CRC 数据输入寄存器	CRCDIR	00h	0008 8281h	8
CRC 数据输出寄存器	CRCDOR	0000h	0008 8282h	16

30.2.1 CRC 控制寄存器 (CRCCR)

地址 0008 8280h



位	符号	位名	功能	R/W
b1-b0	GPS[1:0]	CRC 生成多项式转换位	$b1\ b0$ 0 0: 不运算 (注 1) 0 1: X^8+X^2+X+1 1 0: $X^{16}+X^{15}+X^2+1$ 1 1: $X^{16}+X^{12}+X^5+1$	R/W
b2	LMS	CRC 运算转换位	0: 进行 LSB first 通信时的 CRC 运算 在将 CRCDOR 寄存器的值 (CRC 码) 以字节为单 外分开发送时, 必须先发送低位字节 (b7 ~ b0)。 1: 进行 MSB first 通信时的 CRC 运算 在将 CRCDOR 寄存器的值 (CRC 码) 以字节为单 外分开发送时, 必须先发送高位字节 (b15 ~ b8)。	R/W
b6-b3	—	(保留位)	读写值都为“0”。	R/W
b7	DORCLR	CRCDOR 寄存器清除位	0: 不影响运行 1: 清除 CRCDOR 寄存器 读取值为“0”。	R/W

注 1. CRC 数据输出寄存器 (CRCDOR) 的值总是为“0000h”。

CRCCR 寄存器是选择 CRC 运算器的初始化、运算转换和生成多项式的寄存器。

GPS[1:0] 位 (CRC 生成多项式转换位)

这些位选择 CRC 码的生成多项式。

LMS 位 (CRC 运算转换位)

此位选择是生成 LSB first 通信的 CRC 码, 还是生成 MSB first 通信的 CRC 码。

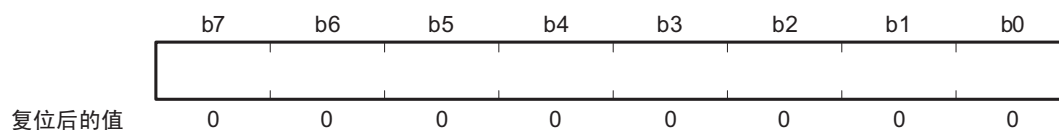
DORCLR 位 (CRCDOR 寄存器清除位)

如果将 DORCLR 位置“1”, CRCDOR 寄存器就变为“0000h”。

读取值为“0”。

30.2.2 CRC 数据输入寄存器 (CRCDIR)

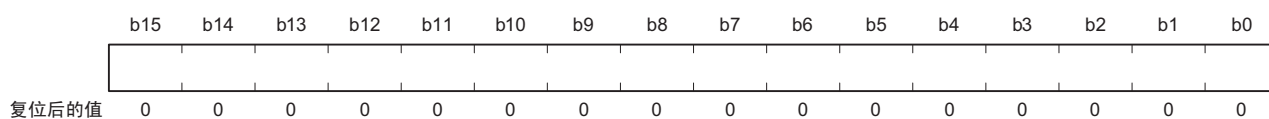
地址 0008 8281h



CRCDIR 寄存器是设定 CRC 运算对象数据块的 8 位可读写寄存器。

30.2.3 CRC 数据输出寄存器 (CRCDOR)

地址 0008 8282h



CRCDOR 寄存器是保存运算结果的 16 位可读写寄存器。

在一般情况下，如果在为了检查通信数据而在数据通信之后进行 CRC 码的运算时没有发生错误，CRCDOR 寄存器的值就为“0”。

如果使用 8 位 CRC (X^8+X^2+X+1 的多项式)，低位字节 (b7-b0) 就能得到有效的 CRC 码。高位字节 (b15-b8) 为“00h”。

30.3 CRC 运算器的运行说明

CRC 运算器生成用于 LSB first/MSB first 通信的 CRC 码。

假设 CRCCR.GPS[1:0] 位为 “11b”，使用 16 位 CRC ($X^{16}+X^{12}+X^5+1$ 的多项式)，将数据 “F0h” 生成 CRC 码的使用例子如下所示。

如果使用 8 位 CRC (X^8+X^2+X+1 的多项式)，CRCDOR 寄存器的低位字节就能得到有效的 CRC 码。

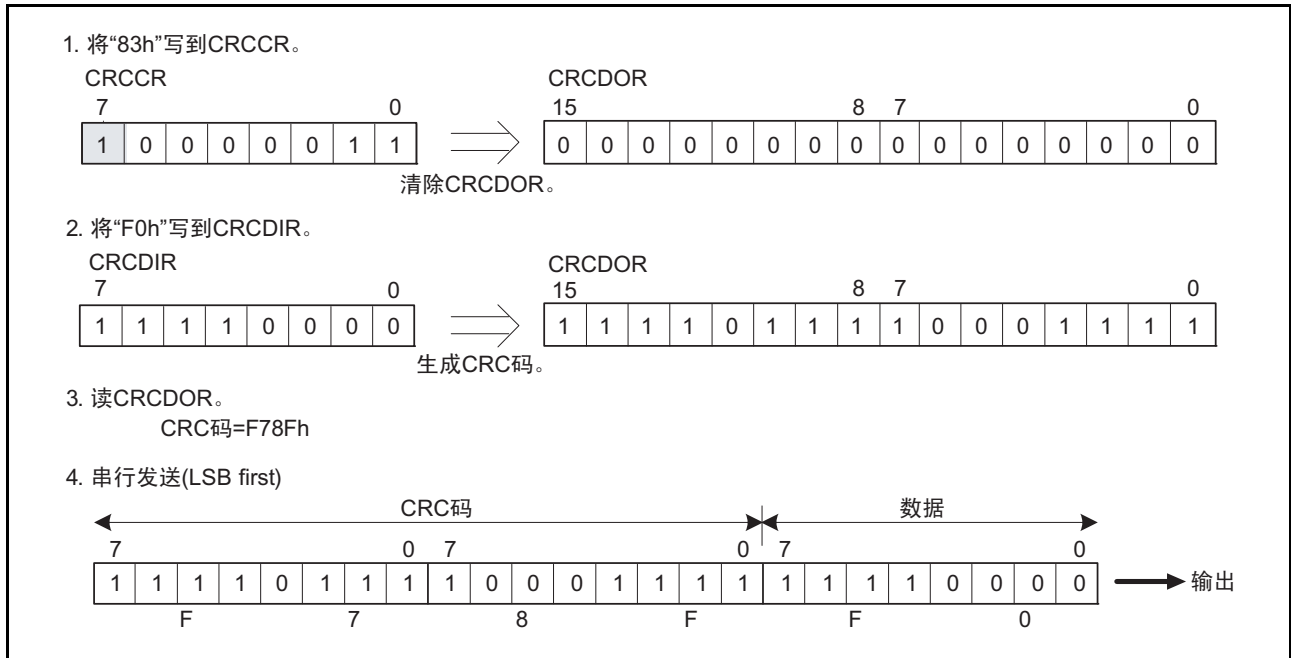


图 30.2 LSB first 的数据发送

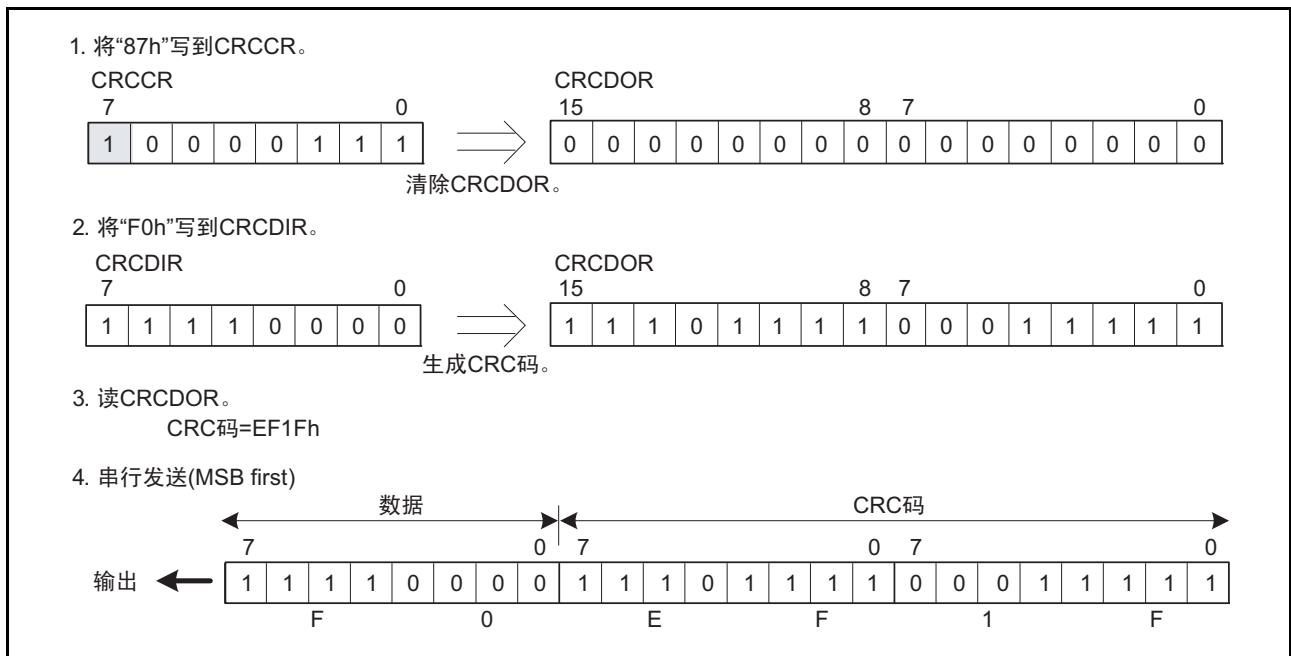


图 30.3 MSB first 的数据发送

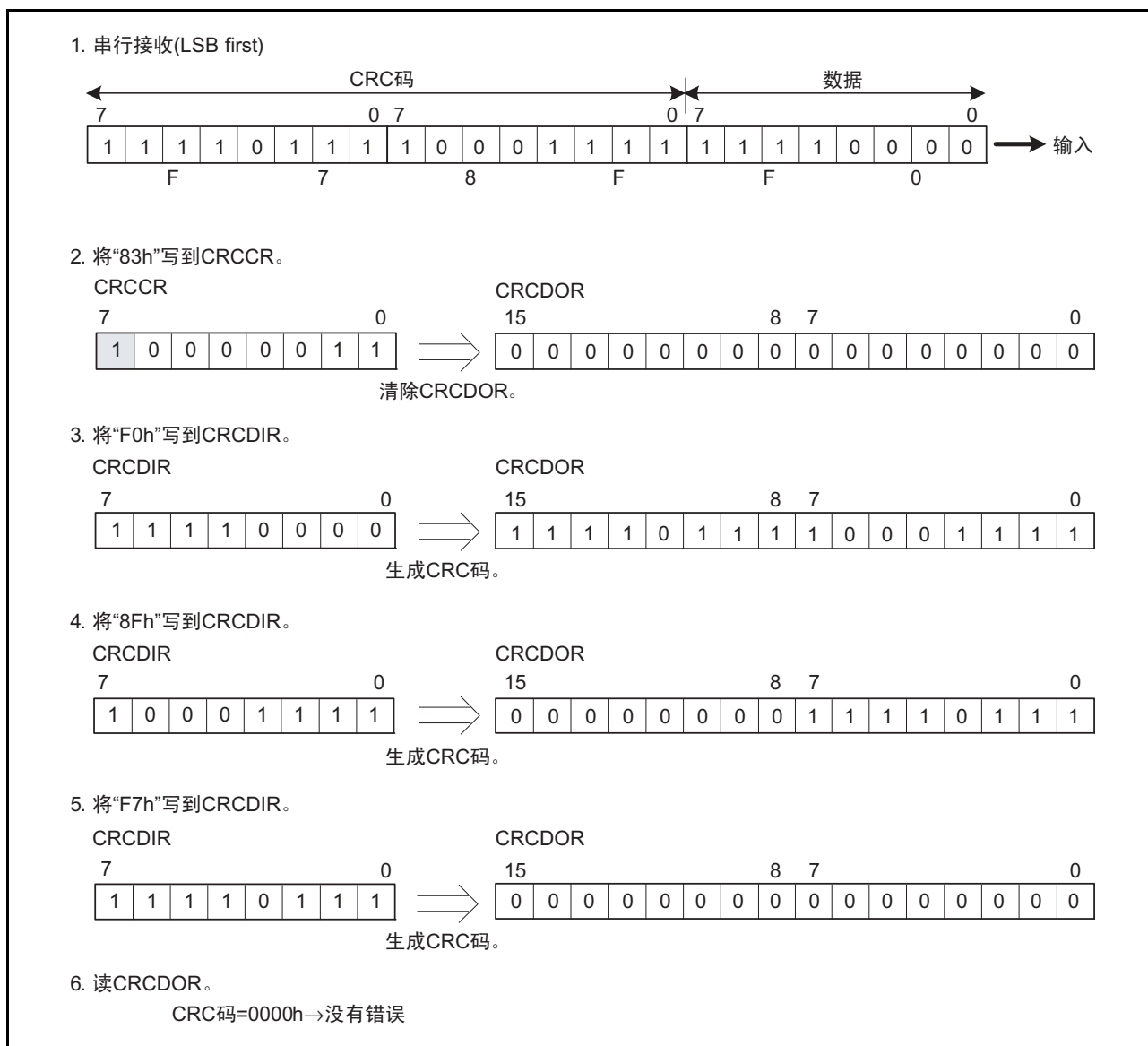


图 30.4 LSB first 的数据接收

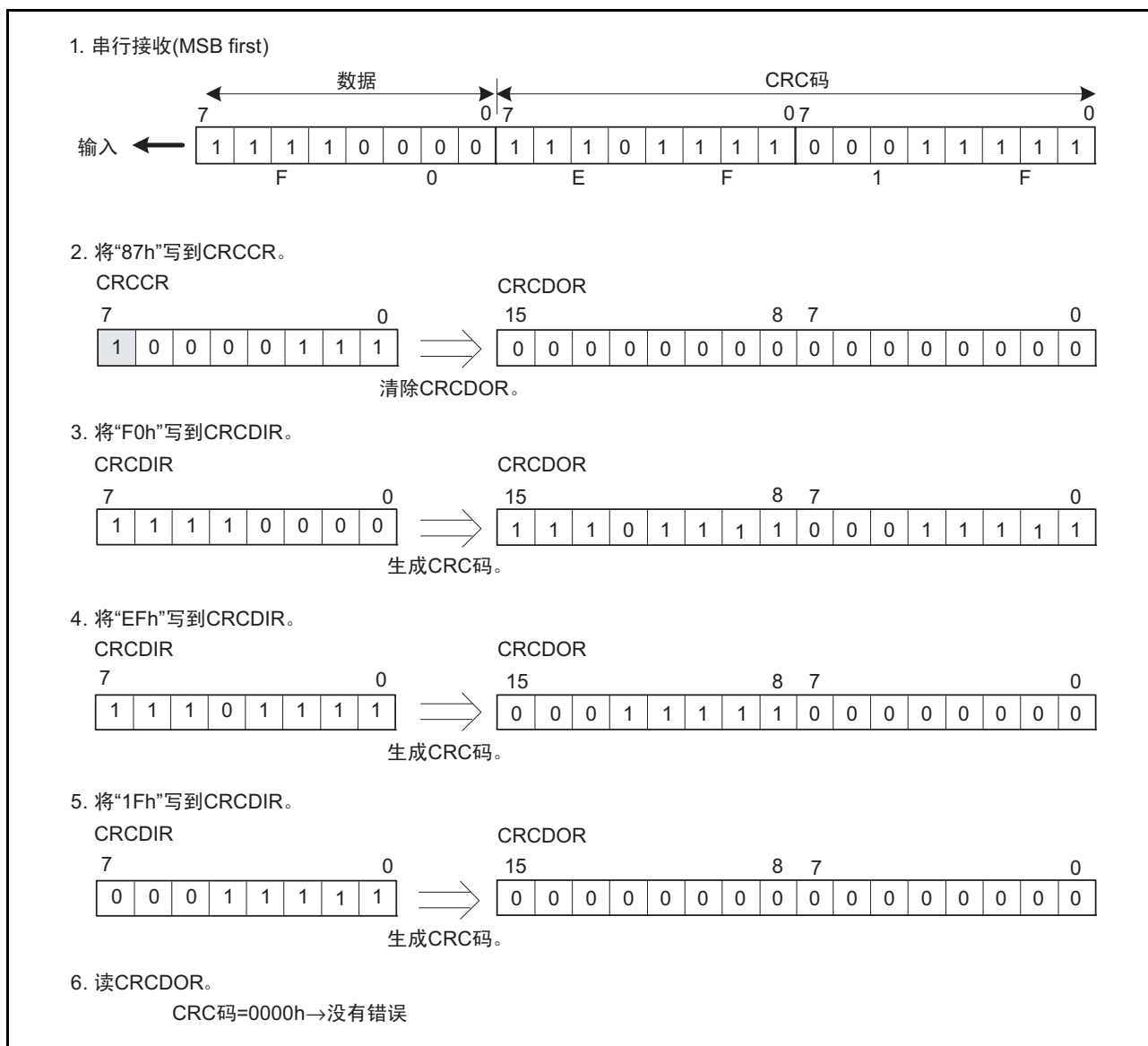


图 30.5 MSB first 的数据接收

30.4 使用时的注意事项

30.4.1 模块待机功能的设定

能通过模块待机控制寄存器 B (MSTPCRB) 禁止或者允许 CRC 运算器的运行, 初始值为停止 CRC 运算器的运行。能通过解除模块停止状态, 使寄存器变为可存取的状态。详细内容请参照“9. 低功耗功能”。

30.5 传送时的注意事项

必须注意: LSB first 发送和 MSB first 发送时的 CRC 码的发送顺序不同。

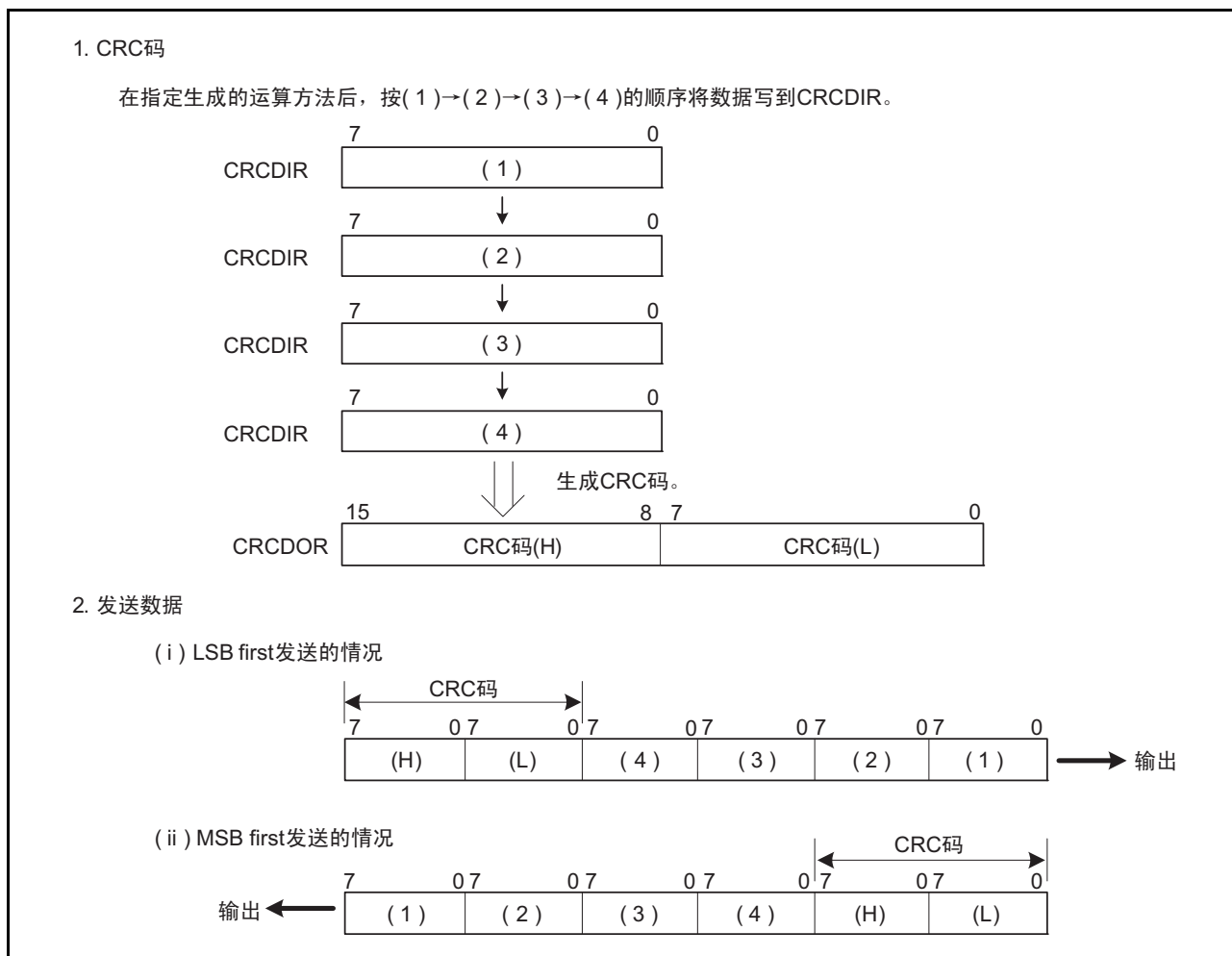


图 30.6 LSB first 和 MSB first 的发送数据

31. I²C 总线接口 (RIIC)

RX62N 群和 RX621 群内置 2 个通道的 I²C 总线接口 (RIIC)。

RIIC 以 NXP 公司提倡的 I²C 总线 (Inter-IC-Bus) 接口方式为基准, 装载了子集功能。

31.1 概要

RIIC 的规格和框图分别如表 31.1 和图 31.1 所示, 输入 / 输出引脚的外部电路连接例子 (I²C 总线的结构例子) 如图 31.2 所示, RIIC 使用的输入 / 输出引脚如表 31.2 所示。

表 31.1 RIIC 的规格

项目	内容
通信格式	<ul style="list-style-type: none"> I²C 总线格式或者 SMBus 格式 能选择主控模式或者从属模式。 自动确保与所设的传送率对应的各种准备时间、保持时间和总线空闲时间。
传送率	~ 1Mbps
SCL 时钟	在 主控模式中, 能将 SCL 时钟的占空比设定在 4%~96% 的范围内。
条件的发行和检测	自动生成开始条件、重新开始条件和停止条件, 并且能检测到开始条件 (包括重新开始条件) 和停止条件。
从属地址	<ul style="list-style-type: none"> 能设定 3 组从属地址。 对应 7 位或者 10 位的地址格式 (能同时存在)。 能检测到全呼地址、设备 ID 地址和 SMBus 的主机地址。
应答	<ul style="list-style-type: none"> 在发送时自动加载应答位。 能在接收 NACK 时自动中止下一个发送数据的传送。 在接收时自动发送应答位。 如果选择在第 8 个时钟和第 9 个时钟之间有等待, 就能通过软件控制与接收数据内容对应的应答位。
等待功能	<ul style="list-style-type: none"> 在接收时, 能通过保持 SCL 时钟的 Low 电平进行等待。 在第 8 个时钟和第 9 个时钟之间等待。 在第 9 个时钟和下次传送的第 1 个时钟之间等待 (WAIT 功能)。
SDA 输出延迟功能	能延迟数据发送 (包括发送 ACK) 的输出时序。
仲裁	<ul style="list-style-type: none"> 对应多主控 在和其他主控发生 SCL 时钟冲突时, 能与 SCL 时钟同步运行。 在发生开始条件的发行竞争时, 如果 SDA 线上的信号状态不同, 就能检测到仲裁失败。 在 主控模式中, 能在发送数据不同时检测到仲裁失败。 如果在总线忙时发行开始条件, 就能检测到仲裁失败 (防止双重发行开始条件)。 在发送 NACK 时, 如果 SDA 线上的信号状态不同, 就能检测到仲裁失败。 在从属发送模式中, 能在数据不同时检测到仲裁失败。
超时检测功能	能通过内部超时检测功能检测 SCL 时钟的长时间停止。
噪声消除	SCL 输入和 SDA 输入内置数字噪声滤波器, 噪声消除宽度为可编程调整。
中断源	<ul style="list-style-type: none"> 4 种 通信错误 / 事件的发生 (AL 检测、NACK 检测、超时检测、开始条件检测 (包括重新开始条件)、停止条件检测) 接收数据满 (包括从属地址匹配的情况) 发送数据空 (包括从属地址匹配的情况) 发送结束

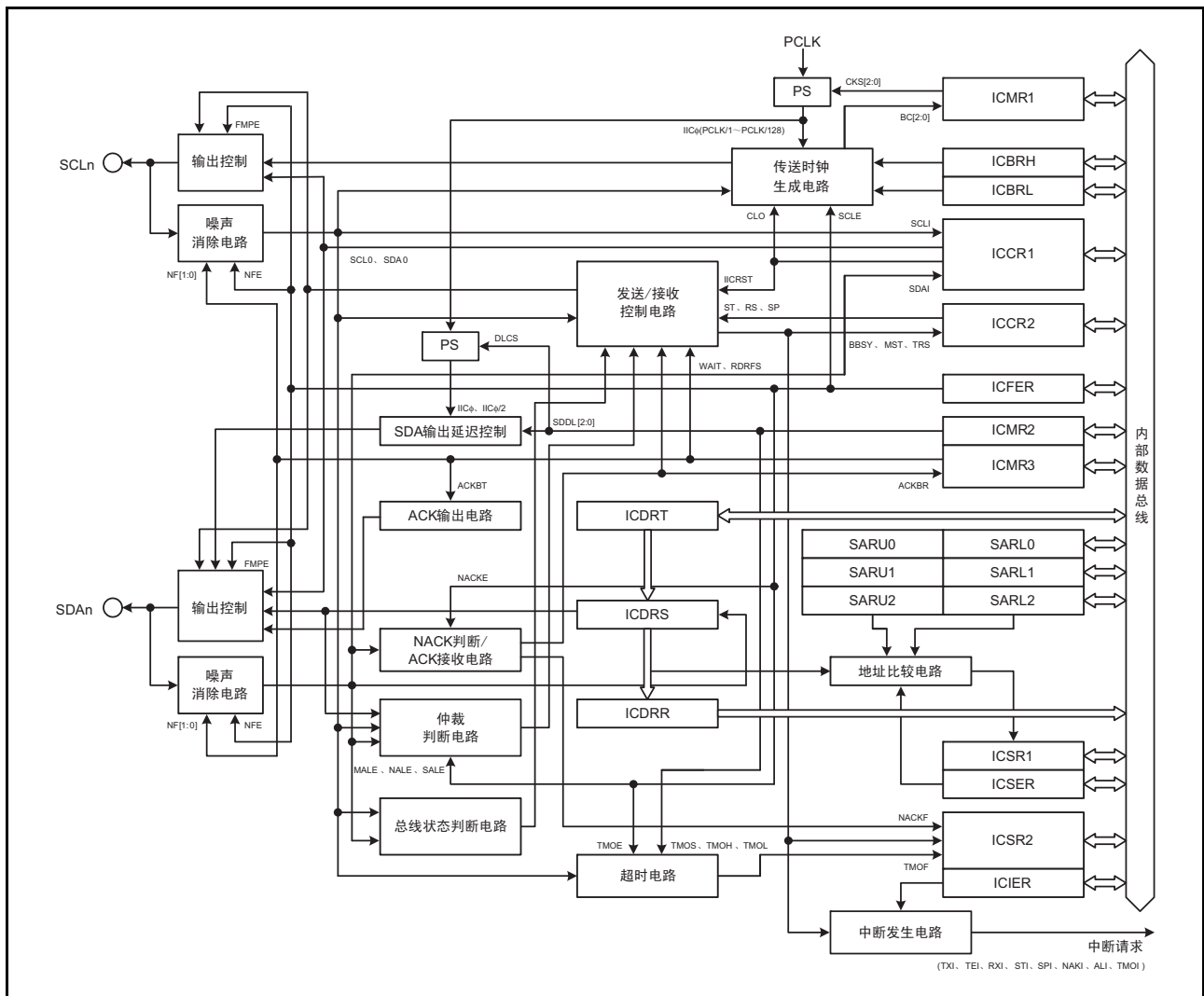


图 31.1 RIIC 的框图

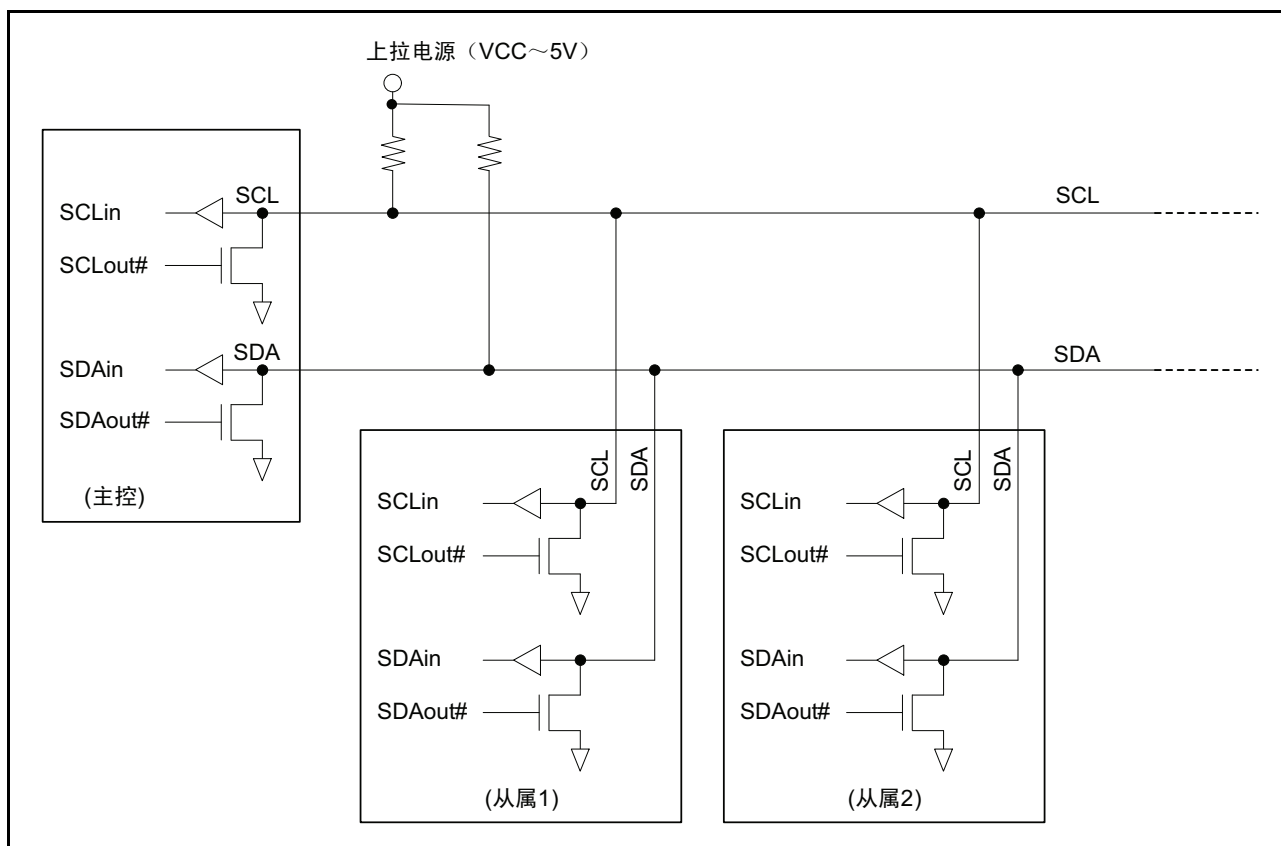


图 31.2 输入 / 输出引脚的外部电路连接例子 (I²C 总线的结构例子)

表 31.2 RIIC 的输入 / 输出引脚

通道	引脚名	输入 / 输出	功能
RIIC0	SCL0	输入 / 输出	RIIC0 侧的串行时钟的输入 / 输出引脚
	SDA0	输入 / 输出	RIIC0 侧的串行数据的输入 / 输出引脚
RIIC1	SCL1	输入 / 输出	RIIC1 侧的串行时钟的输入 / 输出引脚
	SDA1	输入 / 输出	RIIC1 侧的串行数据的输入 / 输出引脚

31.2 寄存器说明

RIIC 的寄存器一览表如表 31.3 所示。

表 31.3 RIIC 的寄存器一览表

通道	寄存器名	符号	复位后的值	地址	存取长度
RIIC0	I ² C 总线控制寄存器 1	ICCR1	1Fh	0008 8300h	8
	I ² C 总线控制寄存器 2	ICCR2	00h	0008 8301h	8
	I ² C 总线模式寄存器 1	ICMR1	08h	0008 8302h	8
	I ² C 总线模式寄存器 2	ICMR2	06h	0008 8303h	8
	I ² C 总线模式寄存器 3	ICMR3	00h	0008 8304h	8
	I ² C 总线功能允许寄存器	ICFER	72h	0008 8305h	8
	I ² C 总线状态允许寄存器	ICSER	09h	0008 8306h	8
	I ² C 总线中断允许寄存器	ICIER	00h	0008 8307h	8
	I ² C 总线状态寄存器 1	ICSR1	00h	0008 8308h	8
	I ² C 总线状态寄存器 2	ICSR2	00h	0008 8309h	8
	从属地址寄存器 L0	SARL0	00h	0008 830Ah	8
	从属地址寄存器 U0	SARU0	00h	0008 830Bh	8
	从属地址寄存器 L1	SARL1	00h	0008 830Ch	8
	从属地址寄存器 U1	SARU1	00h	0008 830Dh	8
	从属地址寄存器 L2	SARL2	00h	0008 830Eh	8
	从属地址寄存器 U2	SARU2	00h	0008 830Fh	8
	I ² C 总线位速率低电平寄存器	ICBRL	FFh	0008 8310h	8
	I ² C 总线位速率高电平寄存器	ICBRH	FFh	0008 8311h	8
	I ² C 总线发送数据寄存器	ICDRT	FFh	0008 8312h	8
	I ² C 总线接收数据寄存器	ICDRR	00h	0008 8313h	8
I ² C 总线移位寄存器	ICDRS	—	—	8	
RIIC1	I ² C 总线控制寄存器 1	ICCR1	1Fh	0008 8320h	8
	I ² C 总线控制寄存器 2	ICCR2	00h	0008 8321h	8
	I ² C 总线模式寄存器 1	ICMR1	08h	0008 8322h	8
	I ² C 总线模式寄存器 2	ICMR2	06h	0008 8323h	8
	I ² C 总线模式寄存器 3	ICMR3	00h	0008 8324h	8
	I ² C 总线功能允许寄存器	ICFER	72h	0008 8325h	8
	I ² C 总线状态允许寄存器	ICSER	09h	0008 8326h	8
	I ² C 总线中断允许寄存器	ICIER	00h	0008 8327h	8
	I ² C 总线状态寄存器 1	ICSR1	00h	0008 8328h	8
	I ² C 总线状态寄存器 2	ICSR2	00h	0008 8329h	8
	从属地址寄存器 L0	SARL0	00h	0008 832Ah	8
	从属地址寄存器 U0	SARU0	00h	0008 832Bh	8
	从属地址寄存器 L1	SARL1	00h	0008 832Ch	8
	从属地址寄存器 U1	SARU1	00h	0008 832Dh	8
	从属地址寄存器 L2	SARL2	00h	0008 832Eh	8
	从属地址寄存器 U2	SARU2	00h	0008 832Fh	8
	I ² C 总线位速率低电平寄存器	ICBRL	FFh	0008 8330h	8
	I ² C 总线位速率高电平寄存器	ICBRH	FFh	0008 8331h	8
	I ² C 总线发送数据寄存器	ICDRT	FFh	0008 8332h	8
	I ² C 总线接收数据寄存器	ICDRR	00h	0008 8333h	8
I ² C 总线移位寄存器	ICDRS	—	—	8	

31.2.1 I²C 总线控制寄存器 1 (ICCR1)

地址 RIIC0.ICCR1 0008 8300h、RIIC1.ICCR1 0008 8320h

	b7	b6	b5	b4	b3	b2	b1	b0
	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
复位后的值	0	0	0	1	1	1	1	1

位	符号	位名	功能	R/W
b0	SDAI	SDA 总线输入监视位	0: SDA _n 引脚输入为 Low 电平 1: SDA _n 引脚输入为 High 电平	R
b1	SCLI	SCL 总线输入监视位	0: SCL _n 引脚输入为 Low 电平 1: SCL _n 引脚输入为 High 电平	R
b2	SDAO	SDA 输出控制位	<ul style="list-style-type: none"> 读时 0: SDA_n 引脚为 Low 电平输出 1: SDA_n 引脚为高阻抗 写时 0: 将 SDA_n 引脚改为 Low 电平输出 1: 将 SDA_n 引脚改为高阻抗 (通过外部上拉电阻输出 High 电平) 	R/W (注1、注2)
b3	SCLO	SCL 输出控制位	<ul style="list-style-type: none"> 读时 0: SCL_n 引脚为 Low 电平输出 1: SCL_n 引脚为高阻抗 写时 0: 将 SCL_n 引脚改为 Low 电平输出 1: 将 SCL_n 引脚改为高阻抗 (通过外部上拉电阻输出 High 电平) 	R/W (注1、注2)
b4	SOWP	SCLO/SDAO 写保护位	0: 设定 SCLO 位和 SDAO 位的值 (读取值为“1”。)	R/W (注2)
b5	CLO	SCL 时钟的追加输出位	0: 不追加输出 SCL 时钟 (正常状态) 1: 追加输出 SCL 时钟 (在输出 1 个时钟后, 此位自动变为“0”。)	R/W
b6	IICRST	I ² C 总线接口内部复位的位	0: 解除 RIIC 复位或者内部复位 1: RIIC 复位或者内部复位状态 (清除位计数器并且解除 SCL _n /SDA _n 的输出锁存)	R/W
b7	ICE	I ² C 总线接口允许位	0: RIIC 的功能停止 (SCL _n 引脚 /SDA _n 引脚为端口功能) 1: RIIC 能进行传送 (SCL _n 引脚 /SDA _n 引脚为总线驱动功能)	R/W

注1. 不能在通信过程中写此位。如果在通信过程中更改此位的值, 就可能发生发送 / 接收异常或者 AL 错误。

注2. 必须在将 SOWP 位置“0”的同时改写 SDAO 位和 SCLO 位。

ICCR1 寄存器控制 RIIC 的运行 / 停止、RIIC 内部状态的复位、SCL 时钟的追加输出、SCL_n 引脚 /SDA_n 引脚的操作以及 SCL_n 引脚 /SDA_n 引脚的监视等。

SDAI 位 (SDA 总线输入监视位)

此位表示 SDA_n 引脚的输入电平。

SCLI 位 (SCL 总线输入监视位)

此位表示 SCL_n 引脚的输入电平。

SDAO 位 (SDA 输出控制位)

此位控制 SDA_n 引脚的输出电平并且表示此引脚的输出状态。

SCLO 位 (SCL 输出控制位)

此位控制 SCL_n 引脚的输出电平并且表示此引脚的输出状态。

SOWP 位 (SCLO/SDAO 写保护位)

此位控制 SCLO 位和 SDAO 位的写操作。

CLO 位 (SCL 时钟的追加输出位)

此位具有以 1 个时钟为单位追加输出 SCL 时钟的功能，用于调试或者异常处理。

在一般情况下，必须将此位“0”。如果在正常的通信过程中使用此位，就可能引起通信错误。

有关此功能的详细内容，请参照“31.11.2 SCL 时钟追加输出功能”。

IICRST 位 (I²C 总线内部复位的位)

此位对 RIIC 的内部状态进行复位。

如果将 IICRST 位置“1”，就能进行 RIIC 复位或者内部复位。

RIIC 复位和内部复位取决于 IICRST 位和 ICE 位的组合。RIIC 复位的种类如表 31.4 所示。

RIIC 复位是指对包括 ICCR2.BBSY 标志在内的全部寄存器和内部状态进行复位；内部复位是指对位计数器 (ICMR1.BC[2:0] 位)、I²C 总线移位寄存器 (ICDRS)、I²C 总线状态寄存器 (ICSR1 和 ICSR2) 和内部状态进行复位。有关各寄存器的复位状况，请参照“31.14 复位状况”。

如果在运行时 (ICE 位为“1”的状态) 因通信故障等引起总线和 RIIC 发生意外停机的情况下将 IICRST 位置“1”，就能在不对端口的设定、RIIC 的各控制寄存器和设定寄存器进行初始化的情况下对 RIIC 的内部状态进行复位。

如果在 RIIC 输出 Low 电平的状态下发生意外停机，就能通过对内部状态进行复位，将 SCL_n 引脚 /SDA_n 引脚置为高阻抗，然后释放总线。

注. 在从属模式中和主控设备进行通信时，如果因总线发生意外停机而通过 IICRST 位进行内部复位，RIIC 就可能变为和主控设备的状态不同的状态（主要是双方的位计数器信息产生差异），因此原则上不在从属模式中进行内部复位而从主控设备进行恢复处理。在从属模式中将 SCL_n 线置为 Low 电平输出的状态下，如果 RIIC 发生意外停机而需要内部复位，就必须在内部复位后从主控设备发行重新开始条件，或者在发行停止条件后发行开始条件，重新开始通信。如果只单独对从属设备进行复位，并且在没有从主控设备发行开始条件或者重新开始条件的情况下重新开始通信，就可能因双方运行状态的差异而导致不同步。

表 31.4 RIIC 复位的种类

IICRST	ICE	状态	内容
1	0	RIIC 复位	对 RIIC 的全部寄存器和内部状态进行复位。
	1	内部复位	对 ICMR1.BC[2:0] 位、ICSR1、ICSR2、ICDRS 寄存器和内部状态进行复位。

ICE 位 (I²C 总线接口允许位)

此位选择 RIIC 是能进行传送还是功能停止。

如果将 ICE 位置“0”（功能停止），SCL_n 引脚 /SDA_n 引脚就为端口功能。如果在 ICE 位为“0”时将 IICRST 位置“1”，就进行 RIIC 复位；如果在 ICE 位为“1”时将 IICRST 位置“1”，就进行内部复位。

另外，为了防止意想不到的通信开始，必须在设定 RIIC 的寄存器时将 ICE 位置“0”（功能停止）并且在设定完全部寄存器后将 ICE 位置“1”（能传送状态）。

注. RX62N 群和 RX621 群的引脚功能也分配了 I²C 总线引脚以外的其他功能。在用作 I²C 总线引脚 (SCL_n 引脚 /SDA_n 引脚) 时，必须禁止其他功能的输出。因为 I²C 总线引脚的 SCL_n 引脚 /SDA_n 引脚都为输入 / 输出引脚，因此必须将对应的 I/O 端口的 PORTm.DDR 寄存器设定为“0”（输入），将 PORTm.ICR 寄存器设定为“1”（输入缓冲器有效）。

31.2.2 I²C 总线控制寄存器 2 (ICCR2)

地址 RIIC0.ICCR2 0008 8301h、RIIC1.ICCR2 0008 8321h

	b7	b6	b5	b4	b3	b2	b1	b0
	BBSY	MST	TRS	—	SP	RS	ST	—
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	—	保留位	读写值都为“0”。	R/W
b1	ST	开始条件发行请求位	0: 不请求发行开始条件 1: 请求发行开始条件	R/W
b2	RS	重新开始条件发行请求位	0: 不请求发行重新开始条件 1: 请求发行重新开始条件	R/W
b3	SP	停止条件发行请求位	0: 不请求发行停止条件 1: 请求发行停止条件	R/W
b4	—	保留位	读写值都为“0”。	R/W
b5	TRS	发送 / 接收模式位	0: 接收模式 1: 发送模式	R/W (注1)
b6	MST	主控 / 从属模式位	0: 从属模式 1: 主控模式	R/W (注1)
b7	BBSY	总线忙检测标志	0: I ² C 总线为释放状态 (总线空闲状态) 1: I ² C 总线为占有状态 (总线忙状态或者总线处于空闲期间)	R

注 1. 当 ICMR1.MTWP 位为“1”时，能写 MST 位和 TRS 位。

ICCR2 寄存器是控制 I²C 总线接口的寄存器，表示 I²C 总线占有状态或者释放状态。

ST 位 (开始条件发行请求位)

此位请求向主控模式的转移以及开始条件的发行。

如果 ST 位为“1”，就请求发行开始条件，并且在 BBSY 标志为“0” (总线空闲) 时发行开始条件。有关发行开始条件的详细内容，请参照“31.10 开始条件、重新开始条件和停止条件的发行功能”。

[为“1”的条件]

- 写“1”时

[为“0”的条件]

- 写“0”时
- 结束开始条件的发行时
- ICSR2.AL 标志变为“1” (仲裁失败) 时
- 给 ICCR1.IICRST 位写“1”，并且进行 RIIC 复位或者内部复位时

注. 必须在 BBSY 标志为“0” (总线空闲) 时将 ST 位置“1” (请求发行开始条件)。

必须注意: 如果在 BBSY 标志为“1” (总线忙) 时将 ST 位置“1” (请求发行开始条件)，就作为开始条件的发行错误而发生仲裁失败。

RS 位 (重新开始条件发行请求位)

此位在主控模式中请求发行重新开始条件。

如果 RS 位为“1”，就请求发行重新开始条件，在 BBSY 标志为“1”（总线忙）并且 MST 位为“1”（主控模式）时，发行重新开始条件。

有关发行重新开始条件的详细内容，请参照“31.10 开始条件、重新开始条件和停止条件的发行功能”。

[为“1”的条件]

- 在 ICCR2.BBSY 标志为“1”的状态下写“1”时

[为“0”的条件]

- 写“0”时
- 结束重新开始条件的发行或者检测到开始条件时
- ICSR2.AL 标志变为“1”（仲裁失败）时
- 给 ICCR1.IICRST 位写“1”并且进行 RIIC 复位或者内部复位时

注 1. 不能在 BBSY 标志为“0”（总线空闲）的状态下写此位。

注 2. 不能在发行停止条件过程中将 RS 位置“1”。

注 3. 必须注意：如果在主控模式以外的模式中给 RS 位写“1”（请求发行重新开始条件），就不能在该运行模式中发行重新开始条件而 RS 位保持“1”。如果在此状态下将运行模式转移到主控模式，就可能发行重新开始条件。

SP 位 (停止条件发行请求位)

此位在主控模式中请求发行停止条件。

如果 SP 位为“1”，就请求发行停止条件，在 BBSY 标志为“1”（总线忙）并且 MST 位为“1”（主控模式）时，发行停止条件。

有关发行停止条件的详细内容，请参照“31.10 开始条件、重新开始条件和停止条件的发行功能”。

[为“1”的条件]

- 在 ICCR2.BBSY 标志为“1”并且 ICCR2.MST 位为“1”的状态下写“1”时

[为“0”的条件]

- 写“0”时
- 结束停止条件的发行或者检测到停止条件时
- ICSR2.AL 标志变为“1”（仲裁失败）时
- 检测到开始条件和重新开始条件时
- 给 ICCR1.IICRST 位写“1”并且进行 RIIC 复位或者内部复位时

注 1. 不能在 BBSY 标志为“0”（总线空闲）时写此位。

注 2. 不能在发行重新开始条件过程中将 SP 位置“1”。

TRS 位 (发送 / 接收模式位)

此位是表示发送模式或者接收模式的位。

当 TRS 位为“0”时，为接收模式；当 TRS 位为“1”时，为发送模式。通过和 MST 位的组合，表示 RIIC 的运行模式。

TRS 位通过开始条件的发行和检测以及 R/W# 位等变为“1”或者“0”，并且自动转移到发送模式或者接收模式。当 ICMR1.MTWP 位为“1”时，能写 TRS 位，但是一般不需要写。

[为“1”的条件]

- 根据开始条件的发行请求，正常地发行了开始条件（在 ST 位为“1”的状态下检测到开始条件）时
- 在主控模式中，附加到从属地址的 R/W# 位为“0”时
- 在从属模式中，接收的从属地址与 ICSER 寄存器的有效地址匹配，并且在 R/W# 位接收到“1”时
- 在 ICMR1.MTWP 位为“1”的状态下写“1”时

[为“0”的条件]

- 检测到停止条件时
- ICSR2.AL 标志变为“1” (仲裁失败) 时
- 在 主控模式中, 附加到从属地址的 R/W# 位为“1”时
- 在 从属模式中, 接收的从属地址与 ICSE 寄存器的有效地址匹配, 并且在 R/W# 位接收到“0” (包括全呼地址) 时
- 在 从属模式中, 检测到重新开始条件 (在 ICCR2.BBSY 位“1”并且 ICCR2.MST 为“0”的状态下检测到开始条件) 时
- 在 ICMR1.MTWP 位为“1”的状态下写“0”时
- 给 ICCR1.IICRST 位写“1”并且进行 RIIC 复位或者内部复位时

MST 位 (主控 / 从属模式位)

此位是表示主控模式或者从属模式的位。

当 MST 位为“0”时, 为从属模式; 当 MST 位为“1”时, 为主控模式。通过和 TRS 位的组合, 表示 RIIC 的运行模式。

通过开始条件的发行以及停止条件的发行和检测, MST 位变为“1”或者“0”, 并且自动转移到主控模式或者从属模式。当 ICMR1.MTWP 位为“1”时能写 MST 位, 但是一般不需要写。

[为“1”的条件]

- 根据开始条件的发行请求, 正常地发行了开始条件 (在 ST 位为“1”的状态下检测到开始条件) 时
- 在 ICMR1.MTWP 位为“1”的状态下写“1”时

[为“0”的条件]

- 检测到停止条件时
- ICSR2.AL 标志变为“1” (仲裁失败) 时
- 在 ICMR1.MTWP 位为“1”的状态下写“0”时
- 给 ICCR1.IICRST 位写“1”并且进行 RIIC 复位或者内部复位时

BBSY 标志 (总线忙检测标志)

此标志表示 I²C 总线的占有 (总线忙) 状态或者释放状态 (总线空闲)。

如果在 SCLn 线为 High 电平的状态下 SDA_n 线从 High 电平变为 Low 电平, 就认为发行了开始条件, 此标志变为“1”。

如果在 SCLn 线为 High 电平的状态下 SDA_n 线从 Low 电平变为 High 电平, 就认为发行了停止条件, 在没有检测到总线空闲时间 (ICBRL 寄存器的设定时间) 的开始条件时, 此标志变为“0”。

[为“1”的条件]

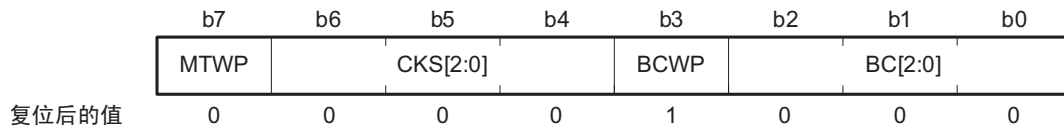
- 检测到开始条件时

[为“0”的条件]

- 在检测到停止条件后没有检测到总线空闲时间 (ICBRL 寄存器的设定时间) 的开始条件时
- 在 ICCR1.IICRST 位为“0”的状态下给 ICCR1.IICRST 位写“1” (RIIC 复位) 时

31.2.3 I²C 总线模式寄存器 1 (ICMR1)

地址 RIIC0.ICMR1 0008 8302h、RIIC1.ICMR1 0008 8322h



位	符号	位名	功能	R/W
b2-b0	BC[2:0]	位计数器	b2 b0 0 0 0: 9 位 0 0 1: 2 位 0 1 0: 3 位 0 1 1: 4 位 1 0 0: 5 位 1 0 1: 6 位 1 1 0: 7 位 1 1 1: 8 位	R/W (注 1)
b3	BCWP	BC 写保护位	0: 允许设定 BC[2:0] 的值 (读取值为“1”)	R/W (注 1)
b6-b4	CKS[2:0]	内部基准时钟选择位	b6 b4 0 0 0: PCLK/1 时钟 0 0 1: PCLK/2 时钟 0 1 0: PCLK/4 时钟 0 1 1: PCLK/8 时钟 1 0 0: PCLK/16 时钟 1 0 1: PCLK/32 时钟 1 1 0: PCLK/64 时钟 1 1 1: PCLK/128 时钟	R/W
b7	MTWP	MST/TRS 写保护位	0: 禁止写 ICCR2.MST 位和 ICCR2.TRS 位 1: 允许写 ICCR2.MST 位和 ICCR2.TRS 位	R/W

注 1. 必须在将 BCWP 位置“0”后，使用 MOV 指令改写 BC[2:0] 位。

ICMR1 寄存器选择 RIIC 的内部基准时钟源，取传送位数信息以及控制 ICCR2.MST 位和 ICCR2.TRS 位的写保护。

BC[2:0] 位 (位计数器)

这些位是在 SCL_n 线的上升沿进行递减计数的计数器。如果读这些位，就能得知剩下的传送位数。能读写这些位，但是一般不需要存取。

写这些位时，必须指定要传送的数据位数 +1 (数据附加 1 位应答位后传送)，并且在传送帧期间以及 SCL_n 线为 Low 电平的状态下进行。

在结束包含应答的数据传送或者检测到开始条件 (包括重新开始条件) 时，BC[2:0] 位自动返回“000b”。

BCWP 位 (BC 写保护位)

此位控制 BC[2:0] 位的写操作。

CKS[2:0] 位 (内部基准时钟选择位)

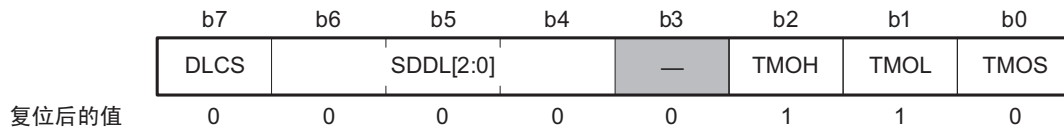
这些位选择 RIIC 的内部基准时钟源 (IIC ϕ)。

MTWP 位 (MST/TRS 写保护位)

此位控制 ICCR2.MST 位和 ICCR2.TRS 位的写操作。

31.2.4 I²C 总线模式寄存器 2 (ICMR2)

地址 RIIC0.ICMR2 0008 8303h、RIIC1.ICMR2 0008 8323h



位	符号	位名	功能	R/W
b0	TMOS	超时检测时间选择位	0: 选择长模式 1: 选择短模式	R/W
b1	TMOL	超时 L 电平计数控制位	0: 在 SCLn 线为 Low 电平时, 禁止计数。 1: 在 SCLn 线为 Low 电平时, 允许计数。	R/W
b2	TMOH	超时 H 电平计数控制位	0: 在 SCLn 线为 High 电平时, 禁止计数。 1: 在 SCLn 线为 High 电平时, 允许计数。	R/W
b3	—	保留位	读写值都为“0”。	R/W
b6-b4	SDDL[2:0]	SDA 输出延迟计数器	<ul style="list-style-type: none"> • 当 ICMR2.DLCS=0 (IICϕ) 时 <li style="margin-left: 20px;">b6 b4 0 0 0: 无输出延迟 0 0 1: 1 个 IICϕ 周期 0 1 0: 2 个 IICϕ 周期 0 1 1: 3 个 IICϕ 周期 1 0 0: 4 个 IICϕ 周期 1 0 1: 5 个 IICϕ 周期 1 1 0: 6 个 IICϕ 周期 1 1 1: 7 个 IICϕ 周期 • 当 ICMR2.DLCS=1 (IICϕ/2) 时 <li style="margin-left: 20px;">b6 b4 0 0 0: 无输出延迟 0 0 1: 1 ~ 2 个 IICϕ 周期 0 1 0: 3 ~ 4 个 IICϕ 周期 0 1 1: 5 ~ 6 个 IICϕ 周期 1 0 0: 7 ~ 8 个 IICϕ 周期 1 0 1: 9 ~ 10 个 IICϕ 周期 1 1 0: 11 ~ 12 个 IICϕ 周期 1 1 1: 13 ~ 14 个 IICϕ 周期 	R/W
b7	DLCS	SDA 输出延迟时钟源选择位	0: 选择内部基准时钟 (IIC ϕ) 为 SDA 输出延迟计数器的时钟源 1: 选择内部基准时钟的 2 分频时钟 (IIC ϕ /2) 为 SDA 输出延迟计数器的时钟源	R/W

ICMR2 寄存器是具有超时检测功能和 SDA 输出延迟功能的寄存器。

TMOS 位 (超时检测时间选择位)

此位是在超时检测功能有效时 (ICFER.TMOE 位 =1) 选择超时检测时间的位。如果将此位置“0”, 就为长模式; 如果置“1”, 就为短模式。在长模式中, 用于检测超时的内部计数器用作 16 位计数器; 在短模式中, 此内部计数器用作 14 位计数器。在 SCLn 线为 TMOH 位或者 TMOL 位选择的状态时, 将内部基准时钟 (IIC ϕ) 作为计数源进行递增计数。

有关超时检测功能的详细内容, 请参照“31.11.1 超时检测功能”。

TMOL 位 (超时 L 电平计数控制位)

在超时检测功能有效时 (ICFER.TMOE 位 =1)，此位选择在 SCLn 线为 Low 电平期间允许或者禁止超时检测功能的内部计数器的递增计数。

TMOH 位 (超时 H 电平计数控制位)

在超时检测功能有效时 (ICFER.TMOE 位 =1)，此位选择在 SCLn 线为 High 电平期间允许或者禁止超时检测功能的内部计数器的递增计数。

SDDL[2:0] 位 (SDA 输出延迟计数器)

能通过 SDDL[2:0] 位的设定值使 SDA 延迟输出。SDA 输出延迟计数器通过由 DLCS 位选择的时钟源进行计数。另外，此功能的设定还适用于包括应答位发送在内的全部 SDA 输出。

有关此功能的详细内容，请参照“31.5 SDA 输出延迟功能”。

注 1. 必须注意：SDA 输出延迟的设定必须符合 I²C 总线规格 (数据有效时间 / 应答有效时间 (注 2) 内) 或者 SMBus 规格 (数据保持时间：至少为 300ns，SCL 时钟的 Low 电平宽度的数据准备时间：250ns 的范围内)，否则就可能引起通信设备的通信故障，或者根据总线状态视如开始条件或者停止条件。

注 2. 数据有效时间 / 应答有效时间

3,450ns (~ 100kbps : 标准模式 [Sm])

900ns (~ 400kbp : 快速模式 [fm])

450ns (~ 1Mbps : 快速模式+[fm+])

DLCS 位 (SDA 输出延迟时钟源选择位)

此位选择内部基准时钟 (IIC ϕ) 或者内部基准时钟的 2 分频 (IIC ϕ /2) 时钟为 SDA 输出延迟时间的时钟源。

31.2.5 I²C 总线模式寄存器 3 (ICMR3)

地址 RIIC0.ICMR3 0008 8304h、RIIC1.ICMR3 0008 8324h

	b7	b6	b5	b4	b3	b2	b1	b0
	SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b1-b0	NF[1:0]	噪声滤波器的段数选择位	b1 b0 00: 消除不超过 1 个 IIC ϕ 的噪声 (滤波器为 1 段) 01: 消除不超过 2 个 IIC ϕ 的噪声 (滤波器为 2 段) 10: 消除不超过 3 个 IIC ϕ 的噪声 (滤波器为 3 段) 11: 消除不超过 4 个 IIC ϕ 的噪声 (滤波器为 4 段)	R/W
b2	ACKBR	接收应答位	0: 应答位接收“0” (ACK 接收) 1: 应答位接收“1” (NACK 接收)	R
b3	ACKBT	发送应答位	0: 应答位发送“0” (ACK 发送) 1: 应答位发送“1” (NACK 发送)	R/W (注 1)
b4	ACKWP	ACKBT 写保护位	0: 禁止写 ACKBT 位 1: 允许写 ACKBT 位	W (注 1)
b5	RDRFS	RDRF 标志的置位时序选择位	0: 在 SCL 时钟的第 9 个时钟上升时, 此位为“1”。 (在第 8 个时钟的下降沿, SCLn 线不保持 Low 电平) 1: 在 SCL 时钟的第 8 个时钟上升时, 此位为“1”。 (在第 8 个时钟的下降沿, SCLn 线保持 Low 电平) • 通过写 ACKBT 位来解除保持的 Low 电平。	R/W (注 2)
b6	WAIT	WAIT 位	0: 无 WAIT (在第 9 个时钟和下次传送的第 1 个时钟之间不保持 Low 电平) 1: 有 WAIT (在第 9 个时钟和下次传送的第 1 个时钟之间保持 Low 电平) • 通过读 ICDRR 寄存器来解除保持的 Low 电平。	R/W (注 2)
b7	SMBS	SMBus/I ² C 总线选择位	0: 选择 I ² C 总线 1: 选择 SMBus	R/W

注 1. 即使在写 ACKBT 位的同时将 ACKWP 位置“1”, 也不能写 ACKBT 位。

注 2. WAIT 位和 RDRFS 位只在接收模式中有效, 在发送模式中无效。

ICMR3 寄存器控制应答发送 / 接收功能、RIIC 接收时的 RDRF 标志以及 WAIT 运行等。

NF[1:0] 位 (噪声滤波器的段数选择位)

这些位选择数字噪声滤波器的段数。

注. 必须注意: 用噪声滤波器消除的噪声宽度必须小于 SCLn 线的高/低电平宽度。

如果设定大于等于 (SCL 时钟的宽度: High 电平宽度和 Low 电平宽度中较短的一方) - {1.5 个内部基准时钟同步 (IIC ϕ) + 模拟噪声滤波器: 120ns (参考值)} 的值, RIIC 的噪声滤波器功能就可能将 SCL 时钟视为噪声而无法正常运行。

ACKBR 位 (接收应答位)

在发送模式中, 此位保存从接收设备收到的应答位的内容。

[为“1”的条件]

- 在 ICCR2.TRS 位为“1”的状态下应答位接收到“1”时

[为“0”的条件]

- 在 ICCR2.TRS 位为“1”的状态下应答位接收到“0”时
- 在 ICCR1.ICE 位为“0”的状态下给 ICCR1.IICRST 位写“1” (RIIC 复位) 时

ACKBT 位 (发送应答位)

在接收模式中, 此位设定应答时要发送的位。

[为“1”的条件]

- 在 ACKWP 位为“1”的状态下写“1”时

[为“0”的条件]

- 在 ACKWP 位为“1”的状态下写“0”时
- 检测到停止条件的发行 (在 ICCR2.SP 位为“1”的状态下检测到停止条件) 时
- 在 ICCR1.ICE 位为“0”的状态下给 ICCR1.IICRST 位写“1” (RIIC 复位) 时

注. 必须在 ACKWP 位为“1”的状态下写 ACKBT 位。如果在 ACKWP 位为“0”的状态下写 ACKBT 位, 写操作就无效。

ACKWP 位 (ACKBT 写保护位)

此位控制 ACKBT 位的写操作。

RDRFS 位 (RDRF 标志的置位时序选择位)

此位选择接收模式中的 RDRF 标志的置位时序以及在 SCL 时钟的第 8 个时钟的下降沿是否保持 SCLn 线的 Low 电平。

当 RDRFS 位为“0”时, 在第 8 个时钟的下降沿 SCLn 线不保持 Low 电平, 在第 9 个时钟的上升沿将 RDRF 标志置“1”。

当 RDRFS 位为“1”时, 在第 8 个时钟的上升沿将 RDRF 标志置“1”, 在第 8 个时钟的下降沿 SCLn 线保持 Low 电平。通过写 ACKBT 位来解除此 SCLn 线保持的 Low 电平。

因为在进行此设定时, 在接收数据后到发送应答位前 SCLn 线自动保持 Low 电平, 所以能根据接收数据的内容发送 ACK (ACKBT 位为“0”) 或者 NACK (ACKBT 位为“1”)。

WAIT 位 (WAIT 位)

在接收模式中, 如果每接收 1 字节数据, 就在读完接收数据缓冲器 (ICDRR 寄存器) 前, WAIT 位控制在 SCL 时钟的第 9 个时钟和下次传送的第 1 个时钟之间是否保持 Low 电平。

当 WAIT 位为“0”时, 在 SCL 时钟的第 9 个时钟和下次传送的第 1 个时钟之间不保持 Low 电平, 继续接收数据。在 RDRFS 位和 WAIT 位都为“0”时, 也能通过双缓冲器进行连续接收。

当 WAIT 位为“1”时, 如果每接收 1 字节数据, 就从第 9 个时钟下降后到读 ICDRR 寄存器的值前, SCLn 线保持 Low 电平。因此能按字节接收数据。

注. 必须先读 ICDRR, 然后将 WAIT 位置“0”。

SMBS 位 (SMBus/I²C 总线选择位)

如果将 SMBS 位置“1”, 就选择 SMBus 并且 IC SER.HOAE 位有效。

31.2.6 I²C 总线功能允许寄存器 (ICFER)

地址 RIIC0.ICFER 0008 8305h、RIIC1.ICFER 0008 8325h

	b7	b6	b5	b4	b3	b2	b1	b0
	FMPE	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
复位后的值	0	1	1	1	0	0	1	0

位	符号	位名	功能	R/W
b0	TMOE	超时检测功能有效位	0: 超时检测功能无效 1: 超时检测功能有效	R/W
b1	MALE	主控仲裁失败检测允许位	0: 禁止主控仲裁失败的检测 (将仲裁失败检测功能设定为无效, 在发生仲裁失败时不自动清除 ICCR2.MST 位和 ICCR2.TRS 位) 1: 允许主控仲裁失败的检测 (将仲裁失败检测功能设定为有效, 在发生仲裁失败时自动清除 ICCR2.MST 位和 ICCR2.TRS 位)	R/W
b2	NALE	NACK 发送仲裁失败检测允许位	0: 禁止 NACK 发送仲裁失败的检测 1: 允许 NACK 发送仲裁失败的检测	R/W
b3	SALE	从属仲裁失败检测允许位	0: 禁止从属仲裁失败的检测 1: 允许从属仲裁失败的检测	R/W
b4	NACKE	NACK 接收传送中止允许位	0: 在接收 NACK 时, 不中止传送 (禁止中止传送)。 1: 在接收 NACK 时, 中止传送 (允许中止传送)。	R/W
b5	NFE	数字噪声滤波器电路有效位	0: 不使用数字噪声滤波器电路 1: 使用数字噪声滤波器电路	R/W
b6	SCLE	SCL 同步电路有效位	0: SCL 同步电路无效 1: SCL 同步电路有效	R/W
b7	FMPE	快速模式 + 有效位	0: 不将 fm+ 的斜率控制电路用于 SCLn 引脚 / SDA _n 引脚 1: 将 fm+ 的斜率控制电路用于 SCLn 引脚 / SDA _n 引脚	R/W

ICFER 寄存器控制是否使用超时检测功能、仲裁失败、接收 NACK 时的接收、SCL 同步电路和数字噪声滤波器电路。

TMOE 位 (超时检测功能有效位)

此位选择超时检测功能的有效或者无效。

有关超时检测功能的详细内容, 请参照“31.11.1 超时检测功能”。

MALE 位 (主控仲裁失败检测允许位)

此位决定主控模式中仲裁失败检测功能的有效或者无效。一般必须将此位置“1”。

NALE 位 (NACK 发送仲裁失败检测允许位)

在接收模式中, 此位选择在发送 NACK 时检测到 ACK 的情况下 (总线上有相同地址的从属设备, 或者 2 个以上 (包括 2 个) 的主控设备同时选择了相同的从属设备并且各自接收的字节数不同等情况) 是否产生仲裁失败。

SALE 位 (从属仲裁失败检测允许位)

在从属发送模式中, 此位选择在总线上检测到的值和正在发送的值不同的情况下 (总线上有相同地址的从属设备, 或者因噪声的影响而产生和发送数据不同的数据等情况) 是否产生仲裁失败。

NACKE 位 (NACK 接收传送中止允许位)

在发送模式中, 此位选择在从从属设备接收到 NACK 时是继续传送还是中止传送。一般必须将此位置“1”。

如果在 NACKE 位为“1”时接收到 NACK, 就中止下一个传送。

当 NACKE 位为“0”时, 与接收应答的内容无关, 继续进行下一个传送。

有关 NACK 接收传送中止功能的详细内容, 请参照“31.8.2 NACK 接收传送中止功能”。

NFE 位 (数字噪声滤波器电路有效位)

此位选择是否使用数字噪声滤波器电路。

SCLE 位 (SCL 同步电路有效位)

对于 SCL 输入时钟, 此位选择是否与 SCL 时钟同步。一般必须将此位置“1”。

如果将 SCLE 位置“0” (SCL 同步电路无效), 就不与时钟同步。在此设定下, 与 SCLn 线的状态无关, RIIC 输出 ICBRH 寄存器和 ICBLR 寄存器所设传送率的 SCL 时钟。因此必须注意: 在 I²C 总线的总线负载远远大于规格值时或者多主控模式中的 SCL 时钟输出发生重叠时, 有可能变为规格外的短时钟。在 SCL 同步电路无效的情况下, 也影响开始条件、重新开始条件、停止条件的发行以及 SCL 时钟追加输出的连续输出。

只在确认是否输出了所设传送率时才能将 SCLE 位置“0”。

FMPE 位 (快速模式 + 有效位)

此位选择斜率控制电路是否使用快速模式 +[fm+] 的斜率控制电路。

如果将 FMPE 位置“1”, 就选择符合 I²C 总线的快速模式 +[fm+] 的斜率控制规格 (tof) 的斜率控制电路; 如果置“0”, 就选择符合 I²C 总线的标准模式 [Sm] 和快速模式 [fm] 的斜率控制规格 (tof) 的斜率控制电路。

如果使用 I²C 总线规格的 ~ 1Mbps (快速模式 +[fm+]) 的通信速度, 就必须将此位置“1”。如果使用其他通信速度 (~ 100kbps[Sm] 或者 ~ 400kbps[fm]) 或者 SMBus (10kbps ~ 100kbps), 就必须将此位置“0”。

31.2.7 I²C 总线状态允许寄存器 (ICSER)

地址 RIIC0.ICSER 0008 8306h、RIIC1.ICSER 0008 8326h

	b7	b6	b5	b4	b3	b2	b1	b0
	HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E
复位后的值	0	0	0	0	1	0	0	1

位	符号	位名	功能	R/W
b0	SAR0E	从属地址寄存器 0 有效位	0: SARL0 和 SARU0 的设定值无效 1: SARL0 和 SARU0 的设定值有效	R/W
b1	SAR1E	从属地址寄存器 1 有效位	0: SARL1 和 SARU1 的设定值无效 1: SARL1 和 SARU1 的设定值有效	R/W
b2	SAR2E	从属地址寄存器 2 有效位	0: SARL2 和 SARU2 的设定值无效 1: SARL2 和 SARU2 的设定值有效	R/W
b3	GCAE	全呼地址有效位	0: 全呼地址的检测无效 1: 全呼地址的检测有效	R/W
b4	—	保留位	读写值都为“0”。	R/W
b5	DIDE	设备 ID 地址检测有效位	0: 设备 ID 地址的检测无效 1: 设备 ID 地址的检测有效	R/W
b6	—	保留位	读写值都为“0”。	R/W
b7	HOAE	主机地址有效位	0: 主机地址的检测无效 1: 主机地址的检测有效	R/W

ICSER 寄存器选择从属地址比较、全呼地址检测、设备 ID 地址检测、主机地址检测的有效或者无效。

SARyE 位 (从属地址寄存器 y 有效位) (y=0 ~ 2)

此位选择 SARLy 寄存器和 SARUy 寄存器设定的从属地址是否有效。

如果将 SARyE 位置“1”，SARLy 寄存器和 SARUy 寄存器的设定值就有效，并且和接收的从属地址进行比较。

如果将 SARyE 位置“0”，SARLy 寄存器和 SARUy 寄存器的设定值就无效，即使与接收的从属地址匹配，也忽视此设定值。

GCAE (全呼地址有效位)

在接收到全呼地址 (0000 000b+0[W]: All“0”)时，此位选择是否忽视此地址。

在 GCAE 位为“1”时，如果接收的从属地址与全呼地址匹配，RIIC 就将此从属地址视为全呼地址并且进行接收，与 SARLy 寄存器和 SARUy 寄存器 (y=0 ~ 2) 设定的从属地址无关。

在 GCAE 位为“0”时，即使接收的从属地址与全呼地址匹配，也忽视此地址。

DIDE 位 (设备 ID 地址检测有效位)

在检测到开始条件或者重新开始条件后的第 1 帧接收到设备 ID 地址 (1111 100b) 时，此位选择是否将此地址视为设备 ID 地址。

在 DIDE 位为“1”时，如果接收的第 1 帧与设备 ID 地址匹配，RIIC 就认为已接收到设备 ID 地址，并且当后续的 R/W# 位为“0”[W] 时，将第 2 帧以后的帧视为从属地址，继续接收。

在 DIDE 位为“0”时，即使接收的第 1 帧与设备 ID 地址匹配，也忽视此帧，而将第 1 帧视为一般的从属地址。

有关设备 ID 地址检测的详细内容，请参照“31.7.3 设备 ID 地址检测功能”。

HOAE 位 (主机地址有效位)

在 ICMR3.SMBS 位为“1”时接收到主机地址 (0001 000b) 的情况下，此位选择是否忽视此地址。

在 ICMR3.SMBS 位为“1”并且 HOAE 位为“1”时，如果接收的从属地址与主机地址匹配，RIIC 就将此从属地址视为主机地址进行接收，与 SARLy 寄存器和 SARUy 寄存器 (y=0 ~ 2) 设定的从属地址无关。

在 ICMR3.SMBS 位或者 HOAE 位为“0”时，即使接收的从属地址与主机地址匹配，也忽视此地址。

31.2.8 I²C 总线中断允许寄存器 (ICIER)

地址 RIIC0.ICIER 0008 8307h、RIIC1.ICIER 0008 8327h

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	TMOIE	超时中断允许位	0: 禁止超时中断 (TMOI) 1: 允许超时中断 (TMOI)	R/W
b1	ALIE	仲裁失败中断允许位	0: 禁止仲裁失败中断 (ALI) 1: 允许仲裁失败中断 (ALI)	R/W
b2	STIE	开始条件检测中断允许位	0: 禁止开始条件检测中断 (STI) 1: 允许开始条件检测中断 (STI)	R/W
b3	SPIE	停止条件检测中断允许位	0: 禁止停止条件检测中断 (SPI) 1: 允许停止条件检测中断 (SPI)	R/W
b4	NAKIE	NACK 接收中断允许位	0: 禁止 NACK 接收中断 (NAKI) 1: 允许 NACK 接收中断 (NAKI)	R/W
b5	RIE	接收数据满中断允许位	0: 禁止接收数据满中断 (ICRXI) 1: 允许接收数据满中断 (ICRXI)	R/W
b6	TEIE	发送结束中断允许位	0: 禁止发送结束中断 (ICTEI) 1: 允许发送结束中断 (ICTEI)	R/W
b7	TIE	发送数据空中断允许位	0: 禁止发送数据空中断 (ICTXI) 1: 允许发送数据空中断 (ICTXI)	R/W

ICIER 寄存器是选择是否使用各种中断源的寄存器。

TMOIE 位 (超时中断允许位)

当 ICSR2.TMOF 标志为“1”时，此位选择允许或者禁止超时中断 (TMOI)。能通过将 TMOF 标志或者 TMOIE 位置“0”来解除 TMOI 中断。

ALIE 位 (仲裁失败中断允许位)

当 ICSR2.AL 标志为“1”时，此位选择允许或者禁止仲裁失败中断 (ALI)。能通过将 AL 标志或者 ALIE 位置“0”来解除 ALI 中断。

STIE 位 (开始条件检测中断允许位)

当 ICSR2.START 标志为“1”时，此位选择允许或者禁止开始条件检测中断 (STI)。能通过将 START 标志或者 STIE 位置“0”来解除 STI 中断。

SPIE 位 (停止条件检测中断允许位)

当 ICSR2.STOP 标志为“1”时，此位选择允许或者禁止停止条件检测中断 (SPI)。能通过将 STOP 标志或者 SPIE 位置“0”来解除 SPI 中断。

NAKIE 位 (NACK 接收中断允许位)

当 ICSR2.NACKF 标志为“1”时，此位选择允许或者禁止 NACK 接收中断 (NAKI)。通过将 NACKF 标志或者 NAKIE 位置“0”来解除 NAKI 中断。

RIE 位 (接收数据满中断允许位)

当 ICSR2.RDRF 标志为“1”时，此位选择允许或者禁止接收数据满中断 (ICRXI)。

TEIE 位 (发送结束中断允许位)

当 ICSR2.TEND 标志为“1”时，此位选择允许或者禁止发送结束中断 (ICTEI)。能通过将 TEND 标志或者 TEIE 位置“0”来解除 ICTEI 中断。

TIE 位 (发送数据空中断允许位)

当 ICSR2.TDRE 标志为“1”时，此位选择允许或者禁止发送数据空中断 (ICTXI)。

31.2.9 I²C 总线状态寄存器 1 (ICSR1)

地址 RIIC0.ICSR1 0008 8308h、RIIC1.ICSR1 0008 8328h

	b7	b6	b5	b4	b3	b2	b1	b0
	HOA	—	DID	—	GCA	AAS2	AAS1	AAS0
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	AAS0	从属地址 0 的检测标志	0: 未检测到从属地址 0 1: 检测到从属地址 0 • 在 SARU0.FS 位为“0”（选择 7 位地址格式）的情况下，接收的从属地址与 SARL0.SVA[6:0] 匹配时 • 在 SARU0.FS 位为“1”（选择 10 位地址格式）的情况下，接收的从属地址与 1111 0b+SARU0.SVA[1:0] 匹配，并且后续的地址与 SARL0 寄存器匹配时 （在 SARL0 匹配判断帧的 SCL 时钟的第 9 个时钟上升时，此标志变为“1”。）	R/(W) (注 1)
b1	AAS1	从属地址 1 的检测标志	0: 未检测到从属地址 1 1: 检测到从属地址 1 • 在 SARU1.FS 位为“0”（选择 7 位地址格式）的情况下，接收的从属地址与 SARL1.SVA[6:0] 匹配时 • 在 SARU1.FS 位为“1”（选择 10 位地址格式）的情况下，接收的从属地址与 1111 0b+SARU1.SVA[1:0] 匹配，并且后续的地址与 SARL1 寄存器匹配时 （在 SARL1 匹配判断帧的 SCL 时钟的第 9 个时钟上升时，此标志变为“1”。）	R/(W) (注 1)
b2	AAS2	从属地址 2 的检测标志	0: 未检测到从属地址 2 1: 检测到从属地址 2 • 在 SARU2.FS 位为“0”（选择 7 位地址格式）的情况下，接收的从属地址与 SARL2.SVA[6:0] 匹配时 • 在 SARU2.FS 位为“1”（选择 10 位地址格式）的情况下，接收的从属地址与 1111 0b+SARU2.SVA[1:0] 匹配，并且后续的地址与 SARL2 寄存器匹配时 （在 SARL2 匹配判断帧的 SCL 时钟的第 9 个时钟上升时，此标志变为“1”。）	R/(W) (注 1)
b3	GCA	全呼地址的检测标志	0: 未检测到全呼地址 1: 检测到全呼地址 • 接收的从属地址与全呼地址（All“0”）匹配时	R/(W) (注 1)
b4	—	保留位	读写值都为“0”。	R/W
b5	DID	设备 ID 地址的检测标志	0: 未检测到设备 ID 地址 1: 检测到设备 ID 地址 • 紧接在开始条件后的第 1 帧与设备 ID 地址（1111 100b）+0[W] 匹配时	R/(W) (注 1)
b6	—	保留位	读写值都为“0”。	R/W
b7	HOA	主机地址的检测标志	0: 未检测到主机地址 1: 检测到主机地址 • 接收的从属地址与主机地址（0001 000b）匹配时	R/(W) (注 1)

注 1. 只能写“0”。

ICSR1 寄存器是确认各种地址检测状态的寄存器。

AASy 标志 (从属地址 y 的检测标志) (y=0 ~ 2)

[为“1”的条件]

【选择 7 位地址格式时: SARUy.FS 位 =0】

- 在 ICSEr.SARyE 位为“1” (从属地址 y 的检测有效) 的状态下接收的从属地址与 SARLy.SVA[6:0] 匹配时, 该帧的 SCL 时钟的第 9 个时钟上升。

【选择 10 位地址格式时: SARUy.FS 位 =1】

- 在 ICSEr.SARyE 位为“1” (从属地址 y 的检测有效) 的状态下接收的从属地址与 1111 0b+SARUy.SVA[1:0] 匹配, 并且后续的地址与 SARLy 寄存器匹配时, 该帧的 SCL 时钟的第 9 个时钟上升。

[为“0”的条件]

- 读“1”后写“0”时
- 检测到停止条件时
- 给 ICCR1.IICRST 位写“1”并且进行 RIIC 复位或者内部复位时

【选择 7 位地址格式时: SARUy.FS 位 =0】

- 在 ICSEr.SARyE 位为“1” (从属地址 y 的检测有效) 的状态下接收的从属地址与 SARLy.SVA[6:0] 不匹配时, 该帧的 SCL 时钟的第 9 个时钟上升。

【选择 10 位地址格式时: SARUy.FS 位 =1】

- 在 ICSEr.SARyE 位为“1” (从属地址 y 的检测有效) 的状态下接收的从属地址与 1111 0b+SARUy.SVA[1:0] 不匹配时, 该帧的 SCL 时钟的第 9 个时钟上升。
- 在 ICSEr.SARyE 位为“1” (从属地址 y 的检测有效) 的状态下接收的从属地址与 1111 0b+SARUy.SVA[1:0] 匹配, 而后续的地址与 SARLy 寄存器不匹配时, 该帧的 SCL 时钟的第 9 个时钟上升。

GCA 标志 (全呼地址的检测标志)

[为“1”的条件]

- 在 ICSEr.GCAE 位为“1” (全呼地址的检测有效) 的状态下接收的从属地址与全呼地址 (0000 000b +0[W]) 匹配时, 该帧的 SCL 时钟的第 9 个时钟上升。

[为“0”的条件]

- 读“1”后写“0”时
- 检测到停止条件时
- 在 ICSEr.GCAE 位为“1” (全呼地址的检测有效) 的状态下接收的从属地址与全呼地址 (0000 000b +0[W]) 不匹配时, 该帧的 SCL 时钟的第 9 个时钟上升。
- 给 ICCR1.IICRST 位写“1”并且进行 RIIC 复位或者内部复位时

DID 标志 (设备 ID 地址的检测标志)

[为“1”的条件]

- 在 ICSEr.DIDE 位为“1” (设备 ID 地址的检测有效) 的状态下检测到开始条件或者重新开始条件后的第 1 帧与设备 ID 地址 (1111 100b) +0[W] 匹配时, 该帧的 SCL 时钟的第 9 个时钟上升。

[为“0”的条件]

- 读“1”后写“0”时
- 检测到停止条件时
- 在 ICSEr.DIDE 位为“1” (设备 ID 地址的检测有效) 的状态下检测到开始条件或者重新开始条件检测后的第 1 帧与设备 ID 地址 (1111 100b) 不匹配时, 该帧的 SCL 时钟的第 9 个时钟上升。
- 在 ICSEr.DIDE 位为“1” (设备 ID 地址的检测有效) 的状态下检测到开始条件或者重新开始条件检测后的第 1 帧与设备的 ID 地址 (1111 100b) +0[W] 匹配, 而后续的第 2 帧与从属地址 0 ~ 2 全部不匹配时, 该帧的 SCL 时钟的第 9 个时钟上升。
- 给 ICCR1.IICRST 位写“1”并且进行 RIIC 复位或者内部复位时

HOA 标志 (主机地址的检测标志)

[为“1”的条件]

- 在 IC SER.HOAE 位为“1” (主机地址的检测有效) 的状态下接收的从属地址与主机地址 (0001 000b) 匹配时, 该帧的 SCL 时钟的第 9 个时钟上升。

[为“0”的条件]

- 读“1”后写“0”时
- 检测到停止条件时
- 给 ICMR3.SMBS 位或者 IC SER.HOAE 位写“0”时
- 在 IC SER.HOAE 位为“1” (主机地址的检测有效) 的状态下接收的从属地址与主机地址 (0001 000b) 不匹配时, 该帧的 SCL 时钟的第 9 个时钟上升。
- 给 ICCR1.IICRST 位写“1”并且进行 RIIC 复位或者内部复位时

31.2.10 I²C 总线状态寄存器 2 (ICSR2)

地址 RIIC0.ICSR2 0008 8309h、RIIC1.ICSR2 0008 8329h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	TMOF	超时检测标志	0: 未检测到超时 1: 检测到超时	R/W (注1)
b1	AL	仲裁失败标志	0: 未发生仲裁失败 1: 发生仲裁失败	R/W (注1)
b2	START	开始条件检测标志	0: 未检测到开始条件 1: 检测到开始条件	R/W (注1)
b3	STOP	停止条件检测标志	0: 未检测到停止条件 1: 检测到停止条件	R/W (注1)
b4	NACKF	NACK 检测标志	0: 未检测到 NACK 1: 检测到 NACK	R/W (注1)
b5	RDRF	接收数据满标志	0: ICDRR 寄存器无接收数据 1: ICDRR 寄存器有接收数据	R/W (注1)
b6	TEND	发送结束标志	0: 正在发送数据 1: 数据发送结束	R/W (注1)
b7	TDRE	发送数据空标志	0: ICDRT 寄存器有发送数据 1: ICDRT 寄存器无发送数据	R

注1. 只能写“0”。

ICSR2 寄存器是确认各种中断请求标志及其状态的寄存器。

TMOF 标志 (超时检测标志)

如果 SCLn 线的状态在一定期间内不发生变化, 就视为超时, 此标志变为“1”。

[为“1”的条件]

- 当 ICFER.TMOE 位为“1” (超时检测功能有效), 并且在指定为主控模式或者从属模式的状态下由 ICMR2.TMOH 位、ICMR2.TMOL 位、ICMR2.TMOS 位所选的条件的期间内, SCLn 线的状态没有变化时

[为“0”的条件]

- 读“1”后写“0”时
- 给 ICCR1.IICRST 位写“1”并且进行 RIIC 复位或者内部复位时

AL 标志 (仲裁失败标志)

在发行开始条件或者发送地址和数据时, 此标志表示因总线竞争等而失去了总线占有权 (仲裁失败)。

RIIC 在发送过程中监视 SDA_n 线的电平, 如果输出数据和 SDA_n 线的电平不同, 就将 AL 标志置“1”, 表示总线被其他设备占有。

另外, 通过设定, RIIC 也能在主控模式中检测发送 NACK 时的仲裁失败, 在从属模式中检测发送数据时的仲裁失败。

[为“1”的条件]

【主控仲裁失败的检测有效时：ICFER.MALE 位 =1】

- 在发送模式的数据发送（包括从属地址的发送）过程中，在 ACK 期间以外的 SCL 时钟的上升沿，RIIC 自身发送的 SDA 信号和 SDA_n 线上的信号状态不同（内部 SDA 输出为 High 电平输出（=SDA_n 引脚为高阻抗状态）而检测到 SDA_n 线为 Low 电平）时
- 在 ICCR2.ST 位为“1”（请求发行开始条件）的状态下检测到开始条件时，RIIC 自身发送的 SDA 信号和 SDA_n 线上的信号状态不同时
- 在 ICCR2.BBSY 标志为“1”的状态下将 ICCR2.ST 位置“1”（请求发行开始条件）时

【NACK 仲裁失败的检测有效时：ICFER.NALE 位 =1】

- 在接收模式的 NACK 发送过程中，在 ACK 期间的 SCL 时钟的上升沿，RIIC 自身发送的 SDA 信号和 SDA_n 线上的信号状态不同时

【从属仲裁失败的检测有效时：ICFER.SALE 位 =1】

- 在从属发送模式的数据发送过程中，在 ACK 期间以外的 SCL 时钟上升沿，RIIC 自身发送的 SDA 信号和 SDA_n 线上的信号状态不同时

[为“0”的条件]

- 读“1”后写“0”时
- 给 ICCR1.IICRST 位写“1”并且进行 RIIC 复位或者内部复位时

表 31.5 仲裁失败发生源和各仲裁失败允许功能的关系

ICFER			ICSR2	错误内容	仲裁失败发生源
MALE	NALE	SALE	AL		
1	*	*	1	开始条件发行错误	在 ICCR2.ST 位为“1”的状态下检测到开始条件时，RIIC 自身发送的 SDA 信号和 SDA _n 线上的信号状态不同。
			1	发送数据不同	在 ICCR2.BBSY 位为“1”的状态下将 ICCR2.ST 位置“1”。
*	1	*	1	发送的 NACK 不同	在主控接收模式或者从属接收模式中，在发送 NACK 时检测到 ACK。
*	*	1	1	发送数据不同	在从属发送模式中，发送数据与总线状态不同。

*: Don't care

START 标志（开始条件检测标志）

[为“1”的条件]

- 检测到开始条件（包括重新开始条件）时

[为“0”的条件]

- 读“1”后写“0”时
- 检测到停止条件时
- 给 ICCR1.IICRST 位写“1”并且进行 RIIC 复位或者内部复位时

STOP 标志（停止条件检测标志）

[为“1”的条件]

- 检测到停止条件时

[为“0”的条件]

- 读“1”后写“0”时
- 给 ICCR1.IICRST 位写“1”并且进行 RIIC 复位或者内部复位时

NACKF 标志 (NACK 检测标志)

[为“1”的条件]

- 在 ICFER.NACKF 位为“1” (允许中止传送) 的状态下, 发送模式中来自接收设备的应答 (接收到 NACK) 时

[为“0”的条件]

- 读“1”后写“0”时
- 给 ICCR1.IICRST 位写“1”并且进行 RIIC 复位或者内部复位时

注. 如果 NACKF 标志变为“1”, RIIC 就中止通信。即使在 NACKF 标志为“1”的状态下写 ICDRT 寄存器 (在发送模式中) 或者读 ICDRR 寄存器 (在接收模式中), 也不进行发送和接收。要重新开始通信时, 必须将 NACKF 标志置“0”。

RDRF 标志 (接收数据满标志)

[为“1”的条件]

- 在将接收数据从 ICDRS 寄存器传送到 ICDRR 寄存器时, 通过设定 ICMR3.RDRFS 位, 在 SCL 时钟的第 8 个时钟或者第 9 个时钟的上升沿 RDRF 标志变为“1”。
- 在检测到开始条件 (包括重新开始条件) 后接收的从属地址匹配并且 ICCR2.TRS 位为“0”时

[为“0”的条件]

- 读“1”后写“0”时
- 读 ICDRR 寄存器时
- 给 ICCR1.IICRST 位写“1”并且进行 RIIC 复位或者内部复位时

TEND 标志 (发送结束标志)

[为“1”的条件]

- 在 TDRE 标志为“1”的状态下 SCL 时钟的第 9 个时钟上升。

[为“0”的条件]

- 读“1”后写“0”时
- 给 ICDRT 寄存器写数据时
- 检测到停止条件时
- 给 ICCR1.IICRST 位写“1”并且进行 RIIC 复位或者内部复位时

TDRE 标志 (发送数据空标志)

[为“1”的条件]

- 将数据从 ICDRT 寄存器传送到 ICDRS 寄存器并且 ICDRT 寄存器为空时
- ICCR2.TRS 位变为“1”时
 - a. 在检测到开始条件 (包括重新开始条件) 后 ICCR2.MST 位为“1”时
 - b. 从接收模式变为发送模式时
 - c. 在 ICMR1.MTWP 位为“1”的状态下写“1”时
- 接收的从属地址匹配并且 TRS 位为“1”时

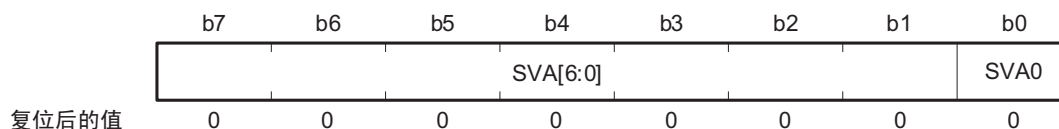
[为“0”的条件]

- 给 ICDRT 寄存器写数据时
- ICCR2.TRS 位变为“0”时
 - a. 检测到停止条件时
 - b. 从发送模式变为接收模式时
 - c. 在 ICMR1.MTWP 位为“1”的状态下写“0”时
- 给 ICCR1.IICRST 位写“1”并且进行 RIIC 复位或者内部复位时

注. 如果在 ICFER.NACKF 位为“1”的状态下 NACKF 标志变为“1”, RIIC 就中止通信。此时, 如果 TDRE 标志为“0” (已写下下一个发送数据的状态), 就在第 9 个时钟的上升沿将数据传送到 ICDRS 寄存器并且 ICDRT 寄存器变为空状态, 但是 TDRE 标志不变为“1”。

31.2.11 从属地址寄存器 Ly (SARLy) (y=0 ~ 2)

地址 RIIC0.SARL0 0008 830Ah、RIIC1.SARL0 0008 832Ah
 RIIC0.SARL1 0008 830Ch、RIIC1.SARL1 0008 832Ch
 RIIC0.SARL2 0008 830Eh、RIIC1.SARL2 0008 832Eh



位	符号	位名	功能	R/W
b0	SVA0	10 位地址的最低有效位	必须设定从属地址。 • 当 SARUy.FS 位为“0”（选择 7 位地址格式）时，SVA0 位无效。 • 当 SARUy.FS 位为“1”（选择 10 位地址格式）时，SVA0 位有效。SVA0 位和 SVA[6:0] 位合并为 10 位从属地址的低 8 位地址。	R/W
b7-b1	SVA[6:0]	7 位地址 /10 位地址的低位	必须设定从属地址。 • 当 SARUy.FS 位为“0”（选择 7 位地址格式）时，SVA[6:0] 位为 7 位从属地址。 • 当 SARUy.FS 位为“1”（选择 10 位地址格式）时，SVA[6:0] 位和 SVA0 位合并为 10 位从属地址的低 8 位地址。	R/W

SARLy 寄存器是设定从属地址 y（7 位地址或者 10 位地址的低 8 位）的寄存器。

SVA0 位（10 位地址的最低有效位）

在选择 10 位地址格式时（SARUy.FS 位 =1），作为 10 位地址的最低有效位，此位和 SVA[6:0] 位合并，用作 10 位地址的低 8 位。

当 IC SER.SARyE 位为“1”（SARLy 寄存器和 SARUy 寄存器有效）并且 SARUy.FS 位为“1”时，设定值有效；当 SARUy.FS 位或者 SARyE 位为“0”时，忽视设定值。

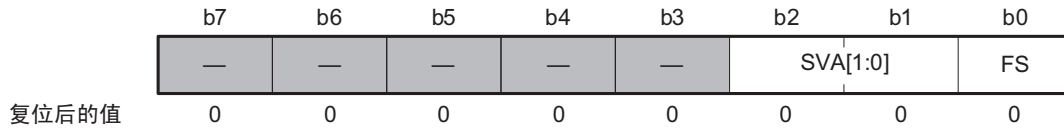
SVA[6:0] 位（7 位地址 /10 位地址的低位）

在选择 7 位地址格式时（SARUy.FS 位 =0），用作 7 位地址；在选择 10 位地址格式时（SARUy.FS 位 =1），此位和 SVA0 位合并，用作 10 位地址的低 8 位。

当 IC SER.SARyE 位为“0”时，忽视设定值。

31.2.12 从属地址寄存器 Uy (SARUy) (y=0 ~ 2)

地址 RIIC0.SARU0 0008 830Bh、RIIC1.SARU0 0008 832Bh
 RIIC0.SARU1 0008 830Dh、RIIC1.SARU1 0008 832Dh
 RIIC0.SARU2 0008 830Fh、RIIC1.SARU2 0008 832Fh



位	符号	位名	功能	R/W
b0	FS	7 位 /10 位地址格式选择位	0: 选择 7 位地址格式 1: 选择 10 位地址格式	R/W
b2-b1	SVA[1:0]	10 位地址的高位	必须设定从属地址。 <ul style="list-style-type: none"> • 当 SARUy.FS 位为“0”（7 位地址格式选择）时，SVA[1:0] 位无效。 • 当 SARUy.FS 位为“1”（10 位地址格式选择）时，SVA[1:0] 位有效，作为 10 位从属地址的高 2 位地址。 	R/W
b7-b3	—	保留位	读写值都为“0”。	R/W

SARUy 寄存选择 7 位 /10 位地址格式以及设定 10 位从属地址的高位。

FS 位（7 位 /10 位地址格式选择位）

此位选择从属地址 y (SARLy 寄存器和 SARUy 寄存器) 为 7 位地址或者 10 位地址。

当 ICSEr.SARyE 位为“1” (SARLy 寄存器和 SARUy 寄存器有效) 并且 SARUy.FS 位为“0” 时，选择从属地址 y 为 7 位地址格式，SARLy.SVA[6:0] 位的设定值有效，忽视 SVA[1:0] 位和 SARLy.SVA0 位的设定值。

当 ICSEr.SARyE 位为“1” (SARLy 寄存器和 SARUy 寄存器有效) 并且 SARUy.FS 位为“1” 时，选择从属地址 m 为 10 位地址格式，SVA[1:0] 位和 SARLy 寄存器的设定值有效。

当 ICSEr.SARyE 位为“0” (SARLy 寄存器和 SARUy 寄存器无效) 时，SARUy.FS 位的设定值无效。

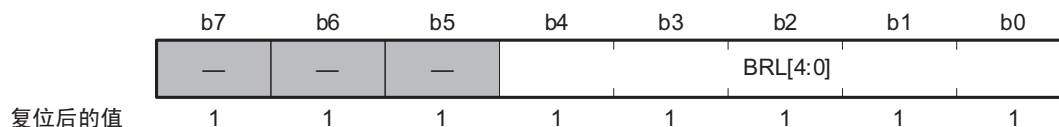
SVA[1:0] 位（10 位地址的高位）

在选择 10 位地址格式时 (FS 位 =1)，用作 10 位地址的高 2 位地址。

当 ICSEr.SARyE 位为“1” (SARLy 寄存器和 SARUy 寄存器有效) 并且 SARUy.FS 位为“1” 时，设定值有效；当 SARUy.FS 位或者 SARyE 位为“0” 时，忽视设定值。

31.2.13 I²C 总线位速率低电平寄存器 (ICBRL)

地址 RIIC0.ICBRL 0008 8310h、RIIC1.ICBRL 0008 8330h



位	符号	位名	功能	R/W
b4-b0	BRL[4:0]	位速率 Low 电平宽度设定位	设定 SCL 时钟的 Low 电平宽度的值。	R/W
b7-b5	—	保留位	读取值为“0”，只能写“1”。	R/W

ICBRL 寄存器是设定 SCL 时钟的 Low 电平宽度的 5 位寄存器。

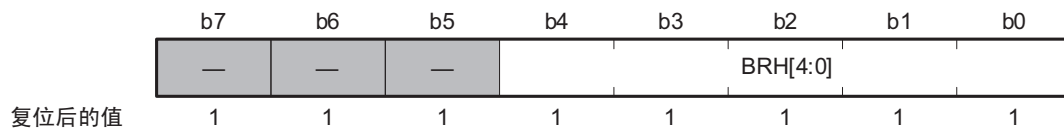
在发生 SCL 自动保持 Low 电平时（参照“31.8 SCL 的 Low 电平自动保持功能”），ICBRL 寄存器用作数据准备时间的确保寄存器。因此，在 RIIC 只用于从属模式的情况下，设定值不能小于数据准备时间（注）的值。

ICBRL 寄存器通过 ICMR1.CKS[2:0] 位选择的内部基准时钟源（IIC ϕ ），对 Low 电平宽度进行计数。

- 注. 数据准备时间 (t_{SU:DAT})
- 250ns (～100kbps : 标准模式[Sm])
 - 100ns (～400kbps : 快速模式[fm])
 - 50ns (～1Mbps : 快速模式+[fm+])

31.2.14 I²C 总线位速率高电平寄存器 (ICBRH)

地址 RIIC0.ICBRH 0008 8311h、RIIC1.ICBRH 0008 8331h



位	符号	位名	功能	R/W
b4-b0	BRH[4:0]	位速率 High 电平宽度设定位	设定 SCL 时钟的 High 电平宽度的值。	R/W
b7-b5	—	保留位	读写值都为“1”。	R/W

ICBRH 寄存器是设定 SCL 时钟的 High 电平宽度的 5 位寄存器，在主控模式中有效。在 RIIC 总是用于从属模式的情况下，不需要设定 High 电平宽度。

ICBRH 寄存器通过 ICMR1.CKS[2:0] 位选择的内部基准时钟源 (IIC ϕ)，对 High 电平宽度进行计数。

用以下表达式计算 I²C 传送率和 SCL 时钟的占空比。

传送率 = $1 / \{ [(ICBRH+1) + (ICBRL+1)] / IIC\phi^{(注1)} + SCLn \text{ 线的上升时间 } [tr] + SCLn \text{ 的下降时间 } [tf] \}$

占空比 = $\{ SCLn \text{ 线的上升时间 } [tr]^{(注2)} + (ICBRH+1) / IIC\phi \} / \{ SCLn \text{ 线的下降时间 } [tf]^{(注2)} + (ICBRL+1) / IIC\phi \}$

注 1. $IIC\phi = PCLK \times 10^6 \times \text{分频比}$

注 2. SCLn 线的上升时间 [tr] 和下降时间 [tf] 取决于总线的总电容量 [Cb] 和上拉电阻 [Rp]，详细内容请参照 NXP 公司的 I²C 总线规格书。

ICBRH 寄存器和 ICBRL 寄存器值的设定例子如表 31.6 所示。

表 31.6 对应传送率的 ICBRH 寄存器和 ICBRL 寄存器的设定例子

传送率 (kbps)	工作频率 PCLK (MHz)								
	8			10			12.5		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	100b	22 (F6h)	25 (F9h)	101b	13 (EDh)	15 (EFh)	101b	16 (F0h)	20 (F4h)
50	010b	16 (F0h)	19 (F3h)	010b	21 (F5h)	24 (F8h)	011b	12 (ECh)	15 (EFh)
100	001b	15 (EFh)	18 (F2h)	001b	19 (F3h)	23 (F7h)	001b	24 (F8h)	29 (FDh)
400	000b	4 (E4h)	10 (EAh)	000b	5 (E5h)	12 (ECh)	000b	7 (E7h)	16 (F0h)
1000	000b	2 (E2h)	3 (E3h)	000b	2 (E2h)	4 (E4h)	000b	3 (E3h)	6 (E6h)

传送率 (kbps)	工作频率 PCLK (MHz)								
	16			20			25		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	101b	22 (F6h)	25 (F9h)	110b	13 (EDh)	15 (EFh)	110b	16 (F0h)	20 (F4h)
50	011b	16 (F0h)	19 (F3h)	011b	21 (F5h)	24 (F8h)	100b	12 (ECh)	15 (EFh)
100	010b	15 (EFh)	18 (F2h)	010b	19 (F3h)	23 (F7h)	010b	24 (F8h)	29 (FDh)
400	000b	9 (E9h)	20 (F4h)	000b	11 (EBh)	25 (F9h)	001b	7 (E7h)	16 (F0h)
1000	000b	4 (E4h)	7 (E7h)	000b	5 (E5h)	9 (E9h)	000b	6 (E6h)	12 (ECh)

传送率 (kbps)	工作频率 PCLK (MHz)								
	30			33			50		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	110b	20 (F4h)	24 (F8h)	110b	22 (F6h)	26 (FAh)	111b	16 (F0h)	20 (F4h)
50	100b	15 (EFh)	18 (F2h)	100b	17 (F1h)	20 (F4h)	100b	26 (FAh)	31 (FFh)
100	010b	2 (E2h)	3 (E3h)	011b	16 (F0h)	19 (F3h)	011b	24 (F8h)	29 (FDh)
400	001b	8 (E8h)	19 (F3h)	001b	9 (E9h)	21 (F5h)	010b	7 (E7h)	16 (F0h)
1000	000b	7 (E7h)	14 (EEh)	000b	8 (E8h)	16 (F0h)	000b	12 (ECh)	24 (F8h)

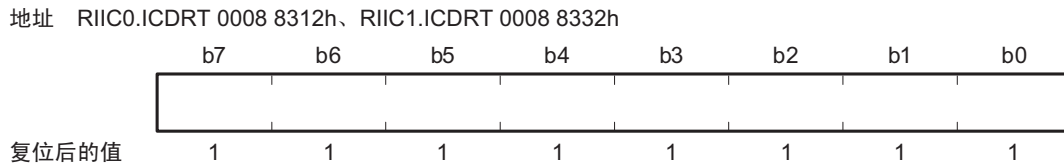
注. 计算的设定例子是假设:

SCLn线的上升时间 (tr) 不超过~100kbps, [Sm]为1000ns或者~400kbps, [Fm]为300ns或者~1Mbps, [Fm+]为120ns。

SCLn线的下降时间 (tf) 不超过~400kbps, [Sm/Fm]为300ns或者~1Mbps, [Fm+]为120ns。

有关SCLn线的上升时间 (tr) 和下降时间 (tf) 的规格值, 请参照NXP公司的I²C总线规格书。

31.2.15 I²C 总线发送数据寄存器 (ICDRT)



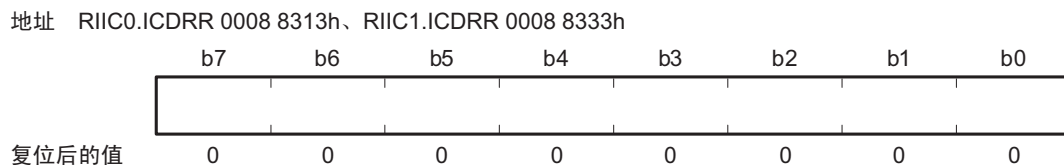
ICDRT 寄存器是保存发送数据的 8 位寄存器。

如果检测到 I²C 总线移位寄存器 (ICDRS) 为空, 就将写在 ICDRT 寄存器的发送数据传送到 ICDRS 寄存器, 在发送模式中开始数据发送。

ICDRT 寄存器和 ICDRS 寄存器为双缓冲结构, 如果在 ICDRS 寄存器的数据发送过程中将下一个要发送的数据写到 ICDRT 寄存器, 就能进行连续的发送。

能随时读写 ICDRT 寄存器。只能在产生发送数据空中断 (ICTXI) 请求时给 ICDRT 寄存器写 1 次发送数据。

31.2.16 I²C 总线接收数据寄存器 (ICDRR)



ICDRR 寄存器是保存接收数据的 8 位寄存器。

如果 1 字节数据接收结束, 就能将接收数据从 I²C 总线移位寄存器 (ICDRS) 传送到 ICDRR 寄存器, 进入能接收下一个数据的状态。

ICDRS 寄存器和 ICDRR 寄存器为双缓冲结构, 如果在 ICDRS 寄存器的数据接收过程中从 ICDRR 寄存器读接收数据, 就能进行连续的接收。

不能写 ICDRR 寄存器。只能在产生接收数据满中断 (ICRXI) 请求时读 1 次 ICDRR 寄存器。

如果不从 ICDRR 寄存器读接收数据 (ICSR2.RDRF 标志为“1”的状态) 而立即接收下一个数据, RIIC 就在 RDRF 标志变为“1”时的前一个 SCLn 时钟自动保持 Low 电平。

31.2.17 I²C 总线移位寄存器 (ICDRS)



ICDRS 寄存器是发送和接收数据的移位寄存器。

在发送时, 将发送数据从 ICDRT 寄存器传送到 ICDRS 寄存器, 从 SDA_n 引脚发送数据。在接收时, 一旦 1 字节数据接收结束, 就将数据从 ICDRS 寄存器传送到 ICDRR 寄存器。

不能直接存取 ICDRS 寄存器。

31.3 运行说明

31.3.1 通信数据的格式

I²C 总线格式由 8 位数据和 1 个应答位构成。接在开始条件或者重新开始条件后面的帧是地址帧，用于指定主控设备通信对象的从属设备。在指定新的从属设备或者发行停止条件前，指定的从属设备有效。

I²C 总线的格式及其总线时序分别如图 31.3 和图 31.4 所示。

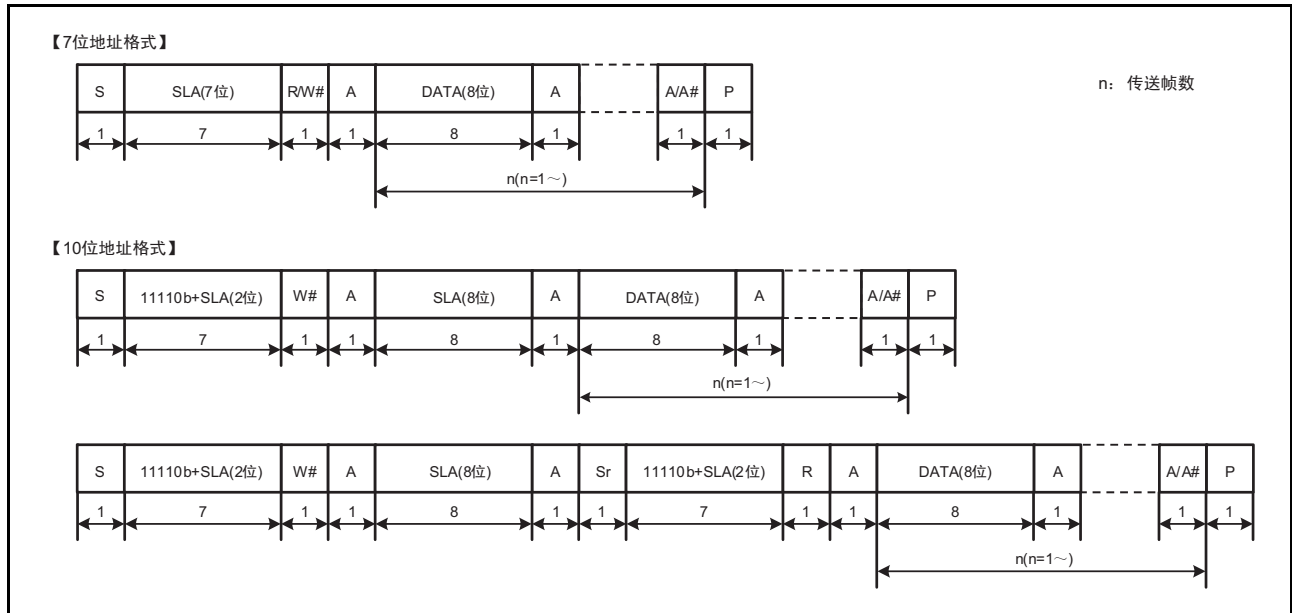


图 31.3 I²C 总线格式

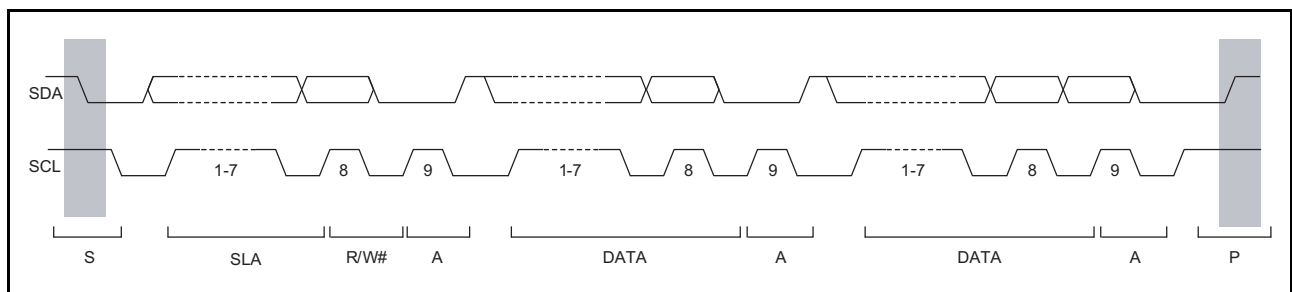


图 31.4 I²C 总线时序 (SLA 为 7 位)

【符号说明】

- S : 开始条件。主控设备在 SCLn 线为 High 电平的状态下将 SDA_n 线从 High 电平变为 Low 电平。
- SLA : 从属地址。主控设备选择从属设备。
- R/W# : 发送和接收的方向。当 R/W# 为“1”时，将数据从从属设备发送到主控设备；当 R/W# 为“0”时，将数据从主控设备发送到从属设备。
- A : 应答。接收设备将 SDA_n 线置为 Low 电平（在发送模式中，从属设备返回应答；在接收模式中，主控设备返回应答）。
- Sr : 重新开始条件。主控设备在 SCLn 线为 High 电平的状态下经过准备时间后将 SDA_n 线从 High 电平变为 Low 电平。
- DATA : 发送和接收的数据。
- P : 停止条件。主控设备在 SCLn 线为 High 电平的状态下将 SDA_n 线从 Low 电平变为 High 电平。

31.3.2 初始设定

在开始发送或者接收数据时，必须按照图 31.5 所示的步骤对 RIIC 进行初始化。

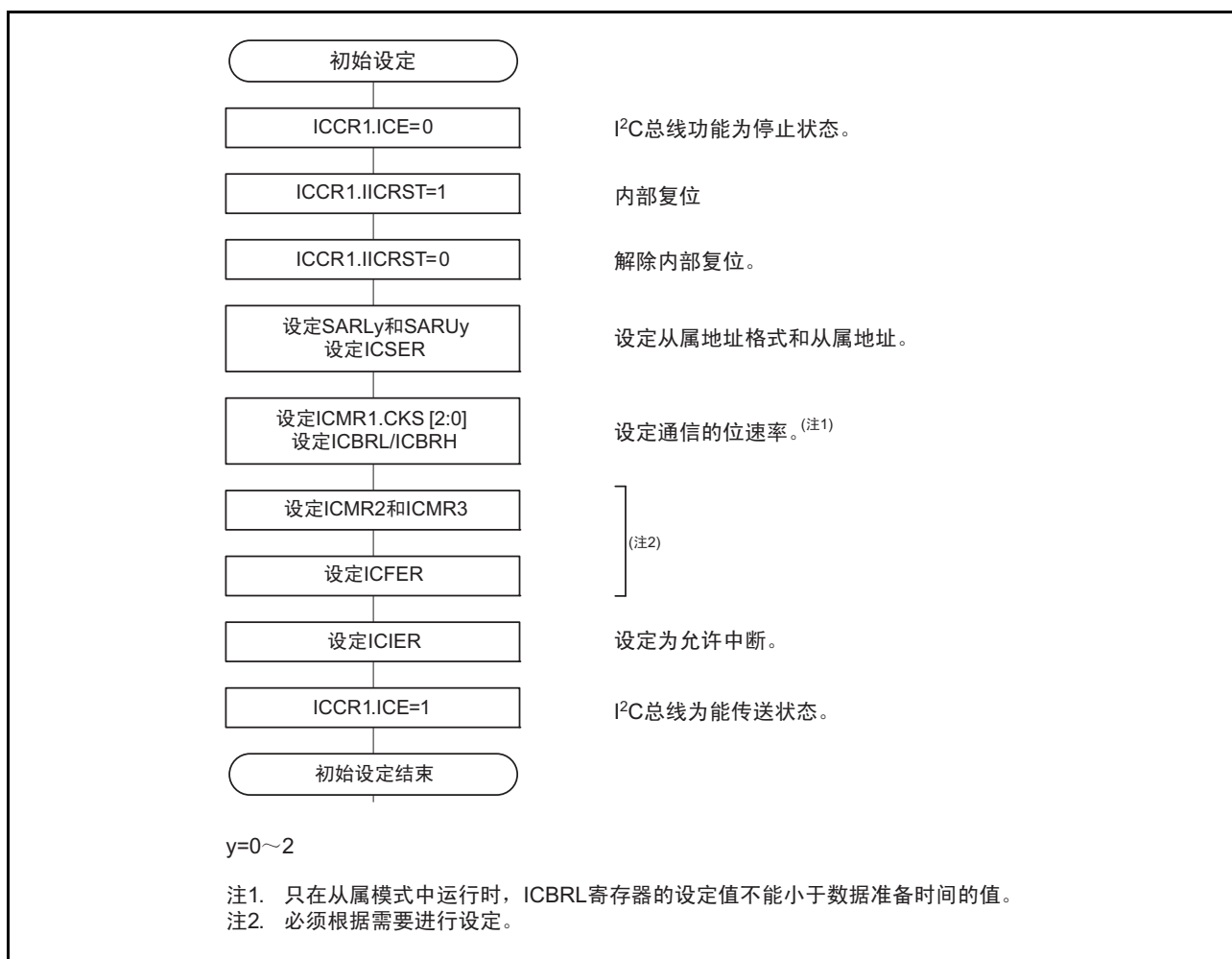


图 31.5 RIIC 的初始化流程图例子

31.3.3 主控发送

在主控发送中，主控设备 RIIC 输出 SCL 时钟和发送数据，从属设备返回应答。主控发送的使用例子和运行时序分别如图 31.6 和图 31.7 ~ 图 31.9 所示。

主控发送的发送步骤和运行如下所示：

1. 在将 ICCR1.ICE 位置“0”（功能停止状态）的状态下，通过将 ICCR1.IICRST 位置“1”（内部复位）后又置“0”（解除复位），对 ICSR1 寄存器的各标志和内部状态进行初始化。然后，设定 SARLy、SARUy、ICSER、ICMR1、ICBRH、ICBRL 寄存器（y=0~2）并且必须根据需要设定其他寄存器（有关 RIIC 的初始设定请参照图 31.5）。一旦设定完所需的寄存器，就必须将 ICE 位置“1”（能传送状态）。在 RIIC 已初始化的情况下，不需要此步骤。
2. 读 ICCR2.BBSY 标志，在确认总线为释放状态后将 ICCR2.ST 位置“1”（请求发行开始条件）。如果 RIIC 接受开始条件的发行请求，就发行开始条件。如果 RIIC 检测到开始条件，就自动将 BBSY 标志和 ICSR2.START 标志置“1”，并且自动将 ST 位置“0”。此时，如果在 ST 位为“1”的状态下 RIIC 自身发送的 SDA 信号与 SDA_n 线的信号状态相同，并且检测到开始条件，RIIC 就视为通过 ST 位正确地发行了开始条件，在将 ICCR2.MST 位和 ICCR2.TRS 位自动置“1”后变为主控发送模式。另外，ICSR2.TDRE 因 TRS 位为“1”而自动变为“1”。
3. 必须在确认 ICSR2.TDRE 标志为“1”后将发送数据（从属地址和 R/W# 位）写到 ICDRT 寄存器。一旦将发送数据写到 ICDRT 寄存器，TDRE 标志就自动变为“0”，在将数据从 ICDRT 寄存器传送到 ICDRS 寄存器后，TDRE 标志再次变为“1”。一旦结束包含 R/W# 位的从属地址的发送，就根据被发送的 R/W# 位自动更改 TRS 位，并且选择发送模式或者接收模式。如果接收到为“0”的 R/W# 位，RIIC 就继续保持主控发送模式的状态。

此时，如果 ICSR2.NACKF 标志为“1”，因为没有识别到从属设备或者发生了通信故障，所以必须发行停止条件。通过给 ICCR2.SP 位写“1”来发行停止条件。

在用 10 位地址格式进行发送时，必须先在第 1 次地址发送处理中给 ICDRT 寄存器写 1111 0b+ 从属地址的高 2 位+W，然后在第 2 次地址发送处理中给 ICDRT 寄存器写从属地址的低 8 位。

4. 必须在确认 ICSR2.TDRE 标志为“1”后将发送数据写到 ICDRT 寄存器。在准备好发送数据之前或者发行停止条件前，RIIC 自动将 SCL_n 线保持 Low 电平。
5. 在将要发送的全部字节写到 ICDRT 寄存器后，必须在等待 ICSR2.TEND 标志变为“1”后再给 ICCR2.SP 位写“1”（请求发行停止条件）。如果 RIIC 接受停止条件的发行请求，就发行停止条件。
6. 如果 RIIC 检测到停止条件，ICCR2.MST 位和 ICCR2.TRS 位就自动变为“00b”并且转移到从属接收模式，而且 ICSR2.TDRE 标志和 ICSR2.TEND 标志因检测到停止条件而自动变为“0”，ICSR2.STOP 标志变为“1”。
7. 在确认 ICSR2.STOP 标志为“1”后，必须将 ICSR2.NACKF 标志和 ICSR2.STOP 标志置“0”，以便进行下一次的通信。

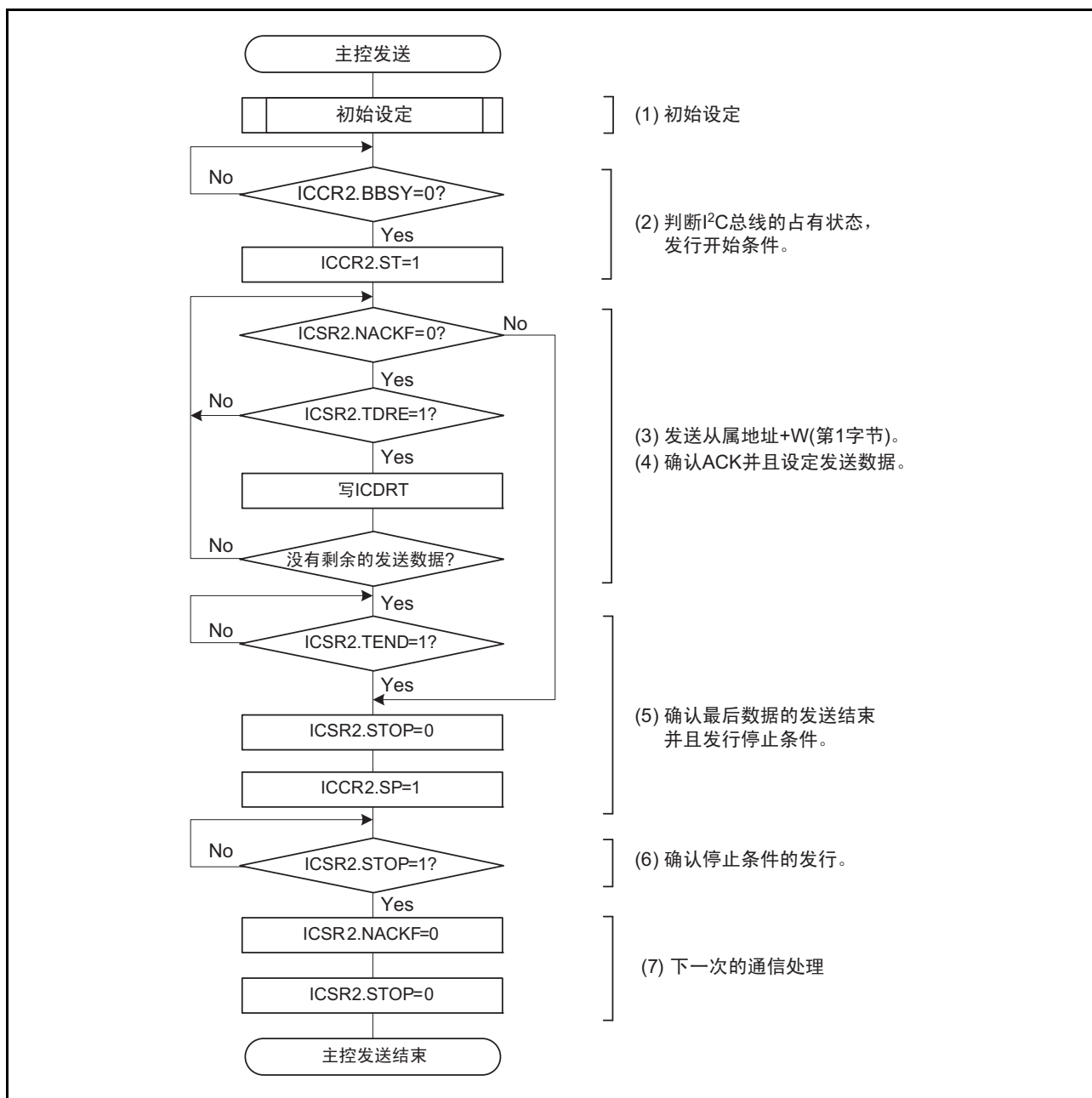


图 31.6 主控发送的流程图例子

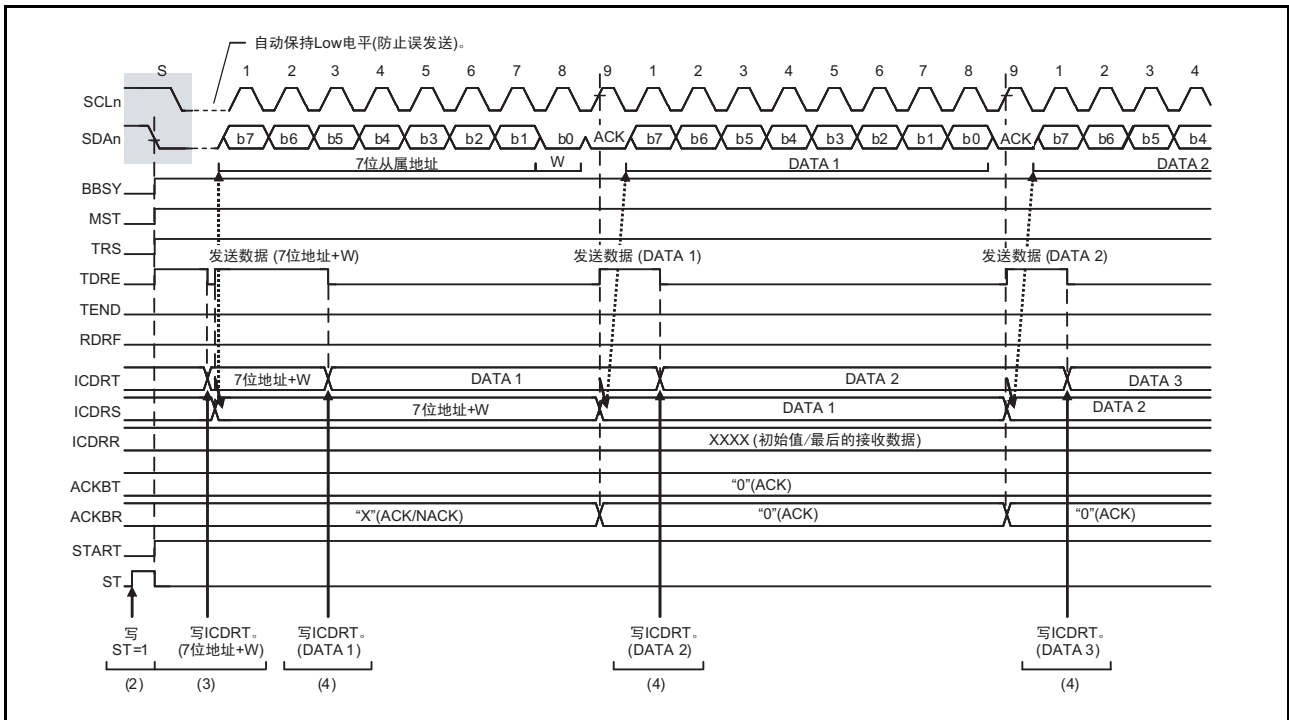


图 31.7 主控发送的运行时序 (1) (7 位地址格式的情况)

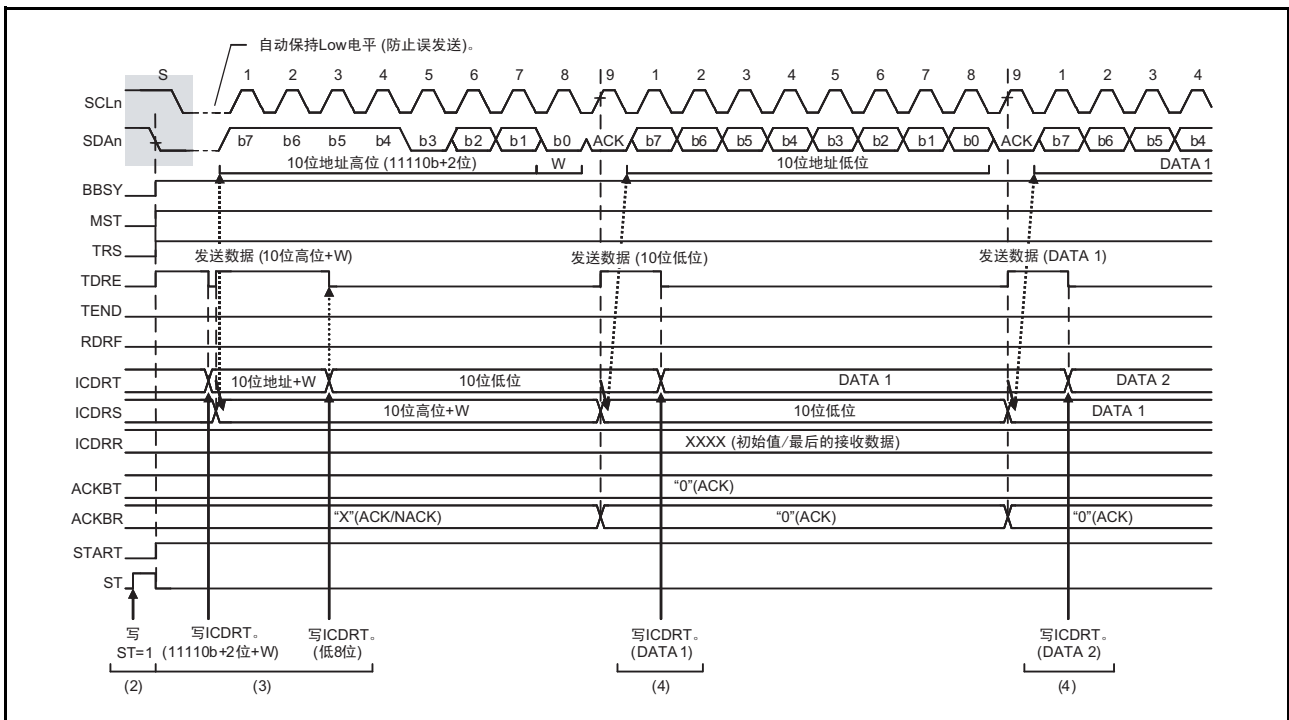


图 31.8 主控发送的运行时序 (2) (10 位地址格式的格式)

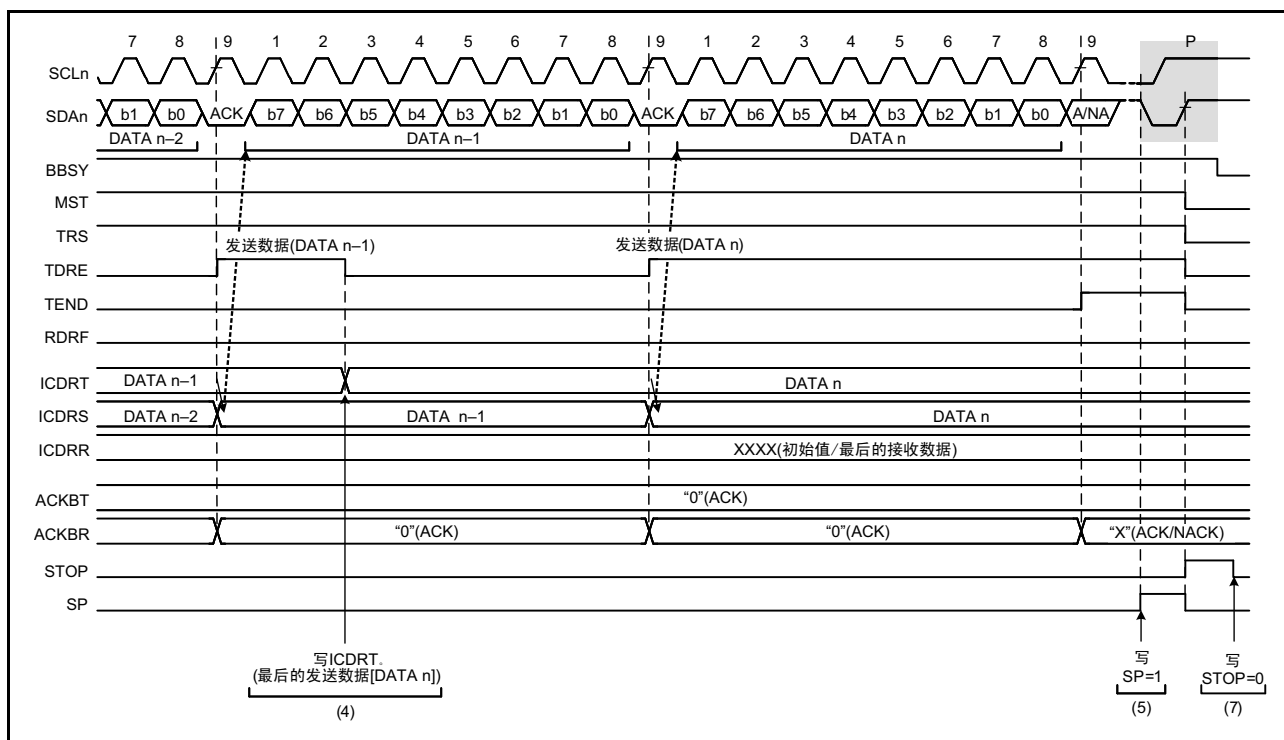


图 31.9 主控发送的运行时序 (3)

31.3.4 主控接收

在主控接收中，主控设备 RIIC 输出 SCL 时钟，从属设备接收数据后返回应答。因为首先需要将从属地址发送到从属设备，所以必须先在主控发送模式中发送从属地址，然后主控接收模式中接收数据。

主控接收的使用例子（7 位地址格式）和运行时序分别如图 31.10 和图 31.11 ~ 图 31.13 所示。

主控接收的接收步骤和运行如下所示：

1. 在将 ICCR1.ICE 位置“0”（功能停止状态）的状态下，通过将 ICCR1.IICRST 位置“1”（内部复位）后又置“0”（解除复位），对 ICSR1 寄存器的各标志和内部状态进行初始化。然后，设定 SARLy、SARUy、ICSER、ICMR1、ICBRH、ICBRL 寄存器（y=0~2）并且必须根据需要设定其他的寄存器（有关 RIIC 的初始设定请参照图 31.5）。必须在设定完所需的寄存器后将 ICE 位置“1”（能传送状态）。在 RIIC 已初始化的情况下，不需要此步骤。
2. 读 ICCR2.BBSY 标志，在确认总线为释放状态后将 ICCR2.ST 位置“1”（请求发行开始条件）。如果 RIIC 接受开始条件的发行请求，就发行开始条件。如果 RIIC 检测到开始条件，就自动将 BBSY 标志和 ICSR2.START 标志置“1”，并且自动将 ST 位置“0”。此时，如果在 ST 位为“1”的状态下 RIIC 自身发送的 SDA 信号与 SDA_n 线的状态相同，并且检测到开始条件，RIIC 就视为通过 ST 位正常地发行了开始条件，在将 ICCR2.MST 位和 ICCR2.TRS 位自动置“1”后变为主控发送模式。ICSR2.TDRE 标志因 TRS 位为“1”而自动变为“1”。
3. 必须在确认 ICSR2.TDRE 标志为“1”后将发送数据（从属地址和 R/W# 位）写到 ICDRT 寄存器。一旦将发送数据写到 ICDRT 寄存器，TDRE 标志就自动变为“0”，在将数据从 ICDRT 寄存器传送到 ICDRS 寄存器后，TDRE 标志再次变为“1”。一旦结束包含 R/W# 位的从属地址的发送，就根据被发送的 R/W# 位自动更改 ICCR2.TRS 位，并且选择发送模式或者接收模式。如果 RIIC 接收到为“1”的 R/W# 位，就在第 9 个时钟的上升沿将 TRS 位置“0”后转移到主控接收模式，此时 TDRE 标志变为“0”，ICSR2.RDRF 标志自动变为“1”。
此时，如果 ICSR2.NACKF 标志为“1”，因为没有识别到从属设备或者发生了通信故障，所以必须发行停止条件。通过将 ICCR2.SP 位置“1”来发行停止条件。
在用 10 位地址格式进行主控接收时，先在主控发送模式中发送 10 位地址，然后发行重新开始条件。接着，通过发送 1111 0b+ 从属地址的高 2 位 +R，转移到主控接收模式。
4. 如果在确认 ICSR2.RDRF 标志为“1”后虚读 ICDRR 寄存器，RIIC 就在输出 SCL 时钟后开始接收。
5. 结束 1 字节数据的接收后，在 ICMR3.RDRFS 位设定的 SCL 时钟的第 8 个时钟或者第 9 个时钟的上升沿 ICSR2.RDRF 标志变为“1”。此时，如果读 ICDRR 寄存器，就能读到接收数据，同时 RDRF 标志自动变为“0”，并且将 ICMR3.ACKBT 位的设定值返回给 SCL 时钟的第 9 个时钟的应答位。
另外，在下一个接收字节为最后字节 -1 的情况下，必须在读 ICDRR 寄存器（最后字节 - 第 2 个字节）前将 ICMR3.WAIT 位置“1”（有 WAIT）。因此，即使在下一步 (6) 中将 ICMR3.ACKBT 位置“1”(NACK) 的处理因其他中断等延迟时，也能以最后字节输出 NACK，并且能在接收最后字节时的第 9 个时钟的下降沿将 SCL_n 线固定为 Low 电平，处于能发行停止条件的状态。
6. 在 ICMR3.RDRFS 位为“0”并且需要将“下一个数据接收后通信结束”通知从属设备时，必须将 ICMR3.ACKBT 位置“1”（NACK）。
7. 在读 ICDRR 寄存器（最后字节 - 第 1 个字节）后，必须先确认 ICSR2.RDRF 标志为“1”，然后给 ICCR2.SP 位写“1”（请求发行停止条件）并且读 ICDRR 寄存器（最后字节）。RIIC 通过读 ICDRR 寄存器来解除 WAIT 状态，在结束第 9 个时钟的 Low 电平输出或者解除 SCL 线保持的 Low 电平后发行停止条件。
8. 如果 RIIC 检测到停止条件，ICCR2.MST 位和 ICCR2.TRS 位就自动变为“00b”并且转移到从属接收模式，而且 ICSR2.STOP 标志因检测到停止条件而变为“1”。
9. 在确认 ICSR2.STOP 标志为“1”后，必须将 ICSR2.NACKF 和 ICSR2.STOP 标志置“0”，以便进行下一次的通信。

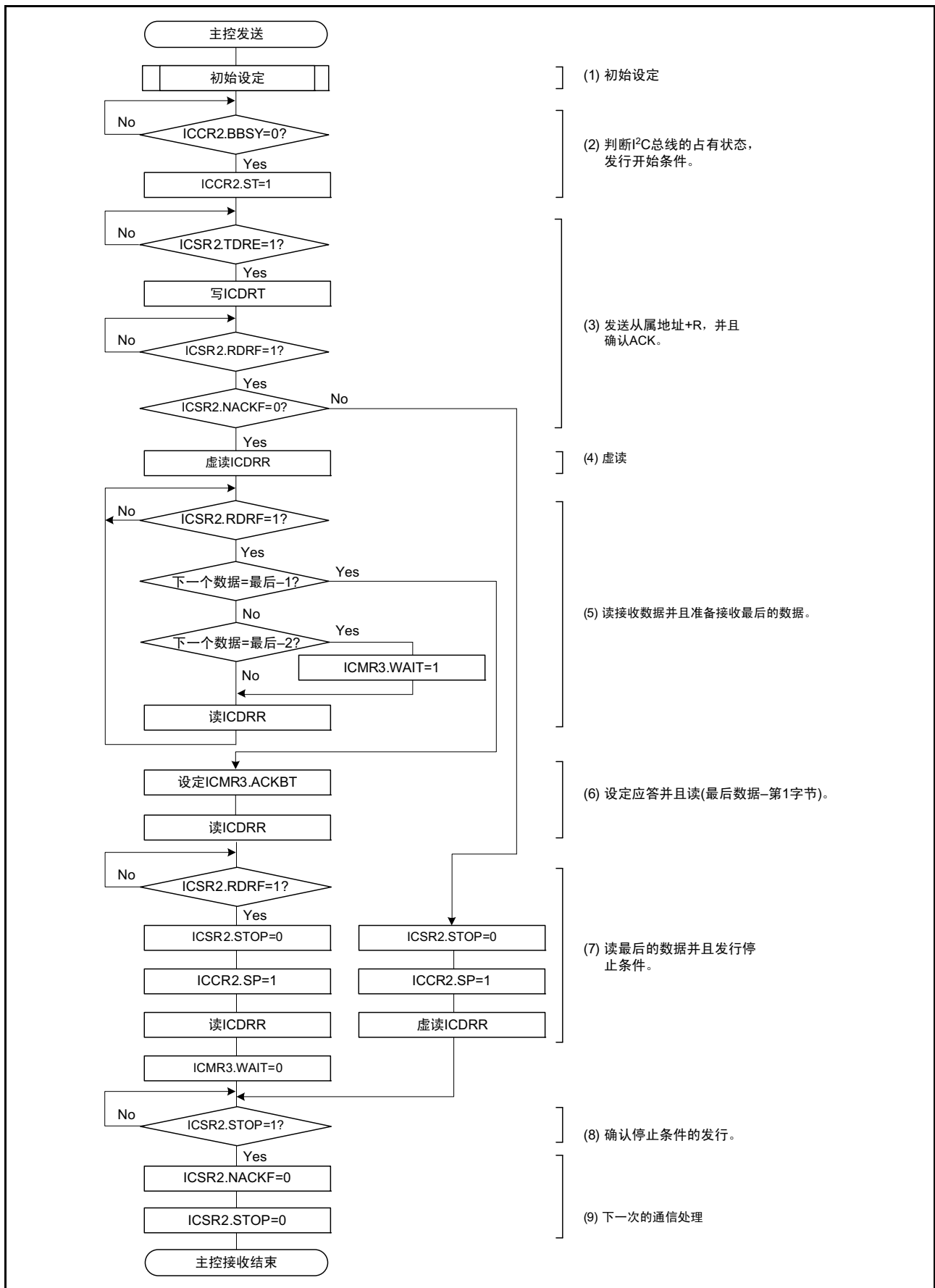


图 31.10 主控接收的流程图例子 (7 位地址格式的情况)

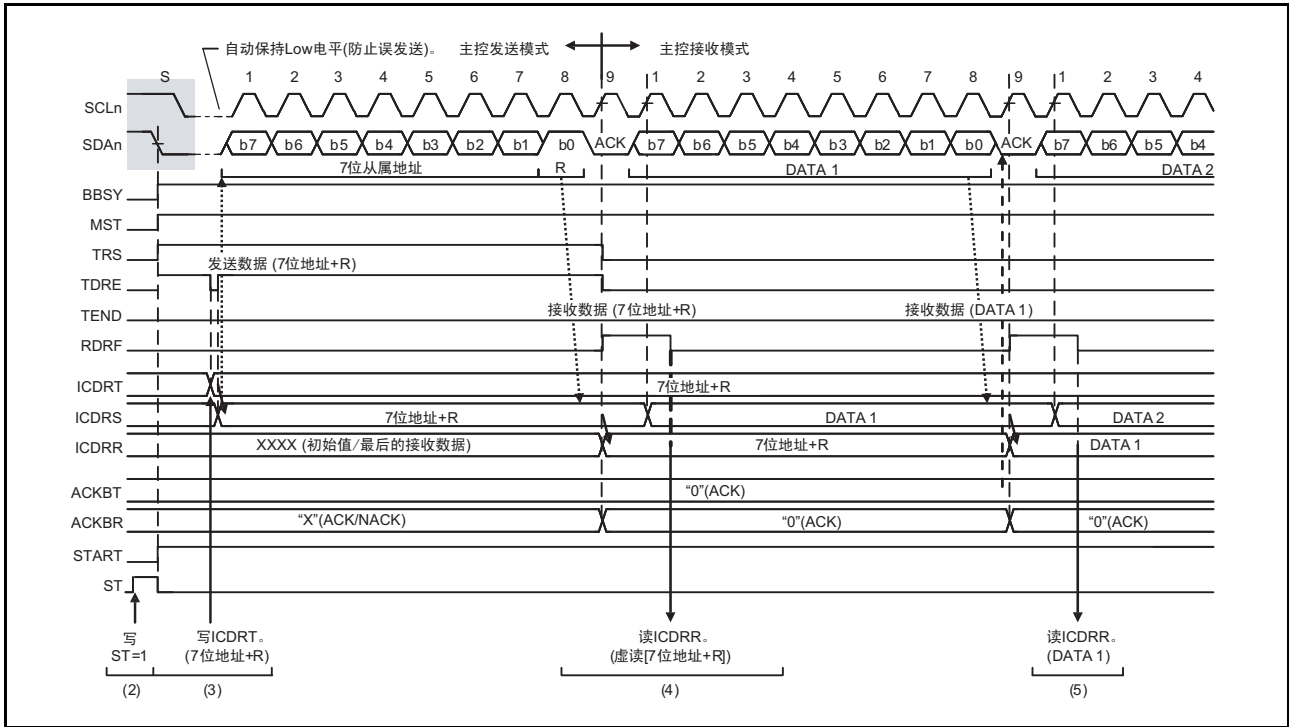


图 31.11 主控接收的运行时序 (1) (7 位地址格式, RDRFS=0 的情况)

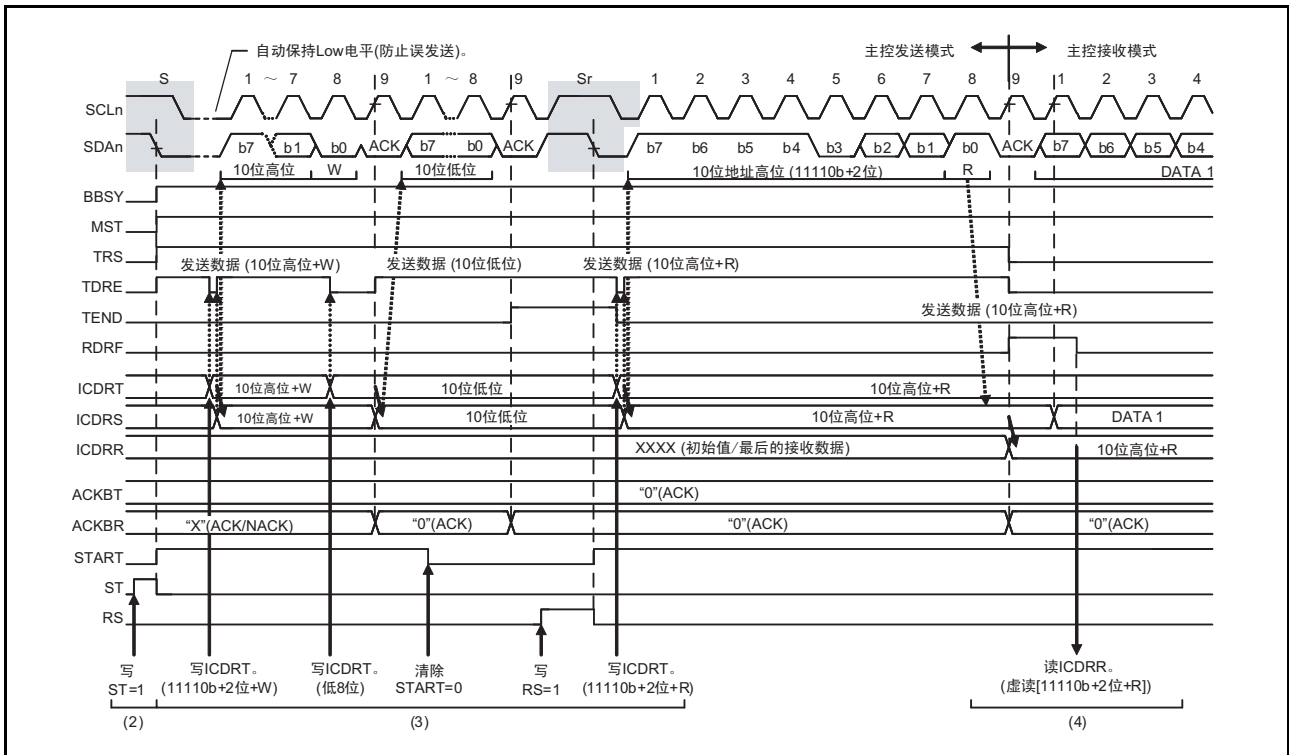


图 31.12 主控接收的运行时序 (2) (10 位地址格式, RDRFS=0 的情况)

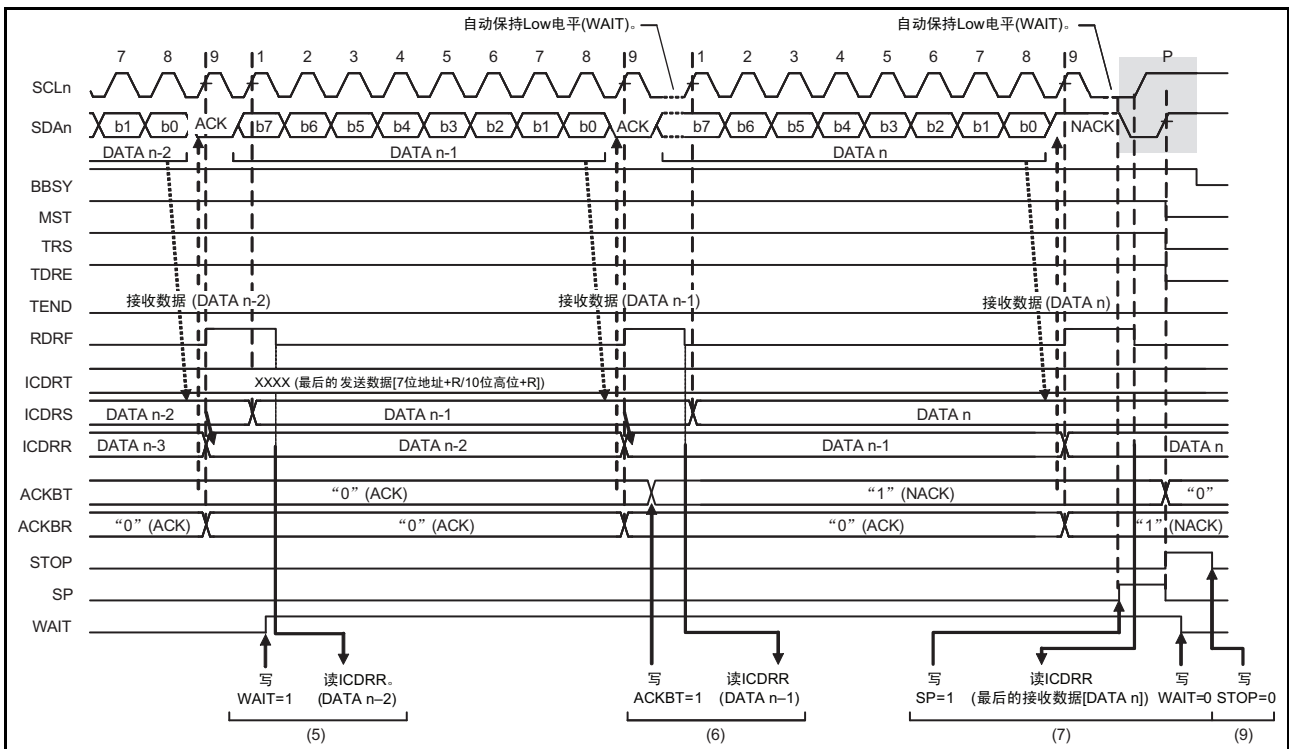


图 31.13 主控接收的运行时序 (3) (RDRFS=0 的情况)

31.3.5 从属发送

在从属发送中，主控设备输出 SCL 时钟，从属设备 RIIC 发送数据，并且主控设备返回应答。

从属发送的使用例子和运行时序分别如图 31.14 和图 31.15、图 31.16 所示。

从属发送的发送步骤及其运行如下所示：

1. 必须按照图 31.5 所示的步骤对 RIIC 进行初始设定。在 RIIC 已初始化的情况下，不需要此步骤。从初始设定结束后到从属地址匹配前，RIIC 处于待机状态。
2. 如果从属地址匹配，RIIC 就在 SCL 时钟的第 9 个时钟上升沿将对应的 ICSR1.HOA 位、ICSR1.GCA 位、或者 ICSR1.AASy 位 (y=0~2) 置“1”，并且将 ICMR3.ACKBT 位的设定值返回给 SCL 时钟的第 9 个时钟的应答位。此时，如果接收的 R/W# 位为“1”，就将 ICCR2.TRS 位和 ICSR2.TDRE 标志置“1”并且自动转换为从属发送模式。
3. 必须在确认 ICSR2.TDRE 标志为“1”后将发送数据写到 ICDRT 寄存器。此时，如果在 ICFER.NACK 位为“1”的状态下主控设备没有应答（接收到 NACK），RIIC 就中止下一次的通信。
4. 在 ICSR2.NACKF 标志变为“1”或者将最后发送数据写到 ICDRT 寄存器后，必须在 ICSR2.TDRE 标志为“1”的状态下等待 ICSR2.TEND 标志变为“1”。当 ICSR2.NACKF 标志或者 TEND 标志为“1”时，RIIC 在第 9 个时钟下降后将 SCLn 线保持 Low 电平。
5. 当 ICSR2.NACKF 标志或者 ICSR2.TEND 标志为“1”时，必须通过虚读 ICDRR 寄存器来结束处理，从而释放 SCLn 线。
6. 如果 RIIC 检测到停止条件，就自动将 ICSR1.HOA 位、ICSR1.GCA 位、ICSR1.AASy 位 (y=0~2)、ICSR2.TDRE 位、ICSR2.TEND 标志和 ICCR2.TRS 位置“0”并且转移到从属接收模式。
7. 在确认 ICSR2.STOP 标志为“1”后，必须将 ICSR2.NACKF 标志和 ICSR2.STOP 标志置“0”，以便进行下一次的通信。

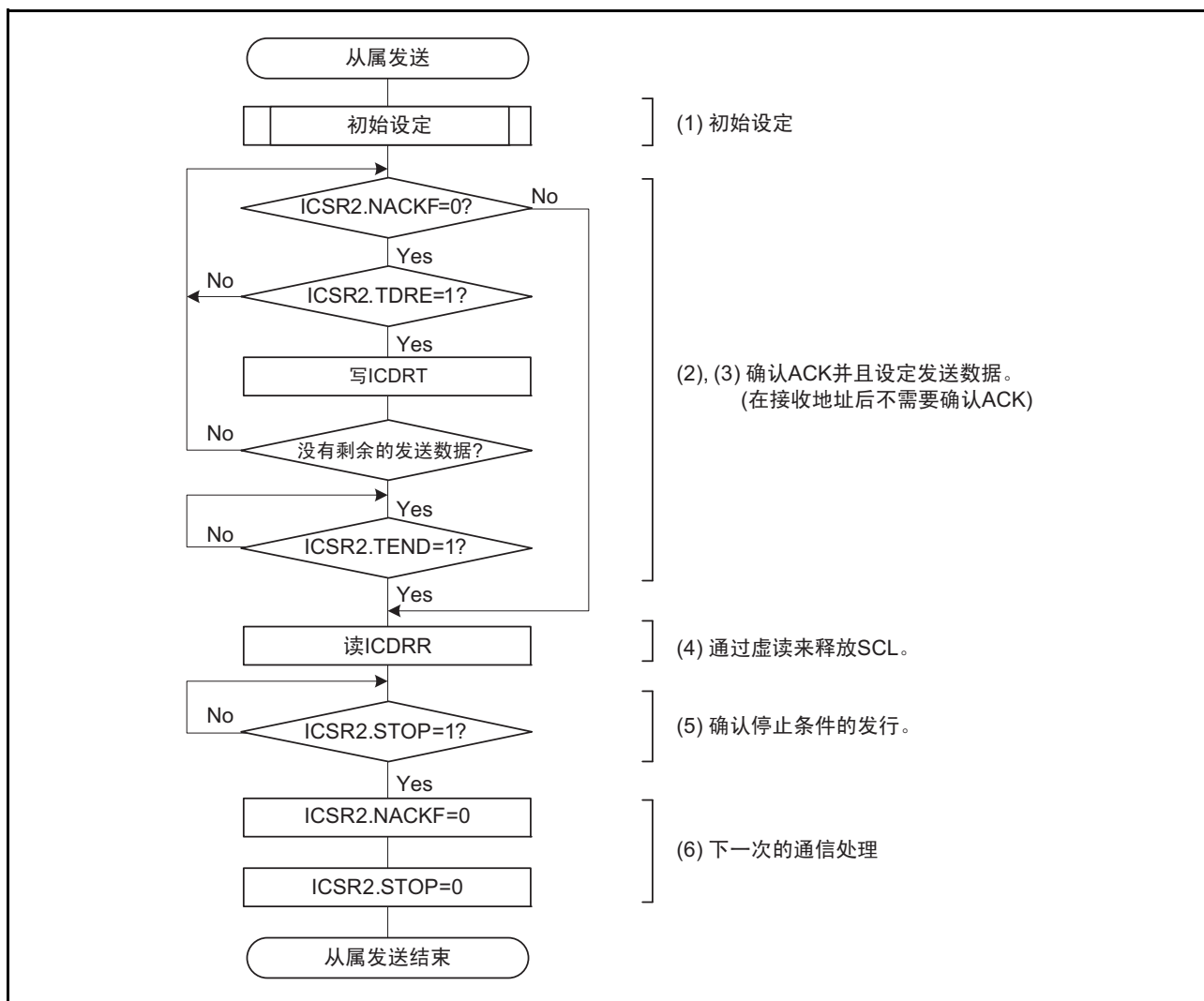


图 31.14 从属发送的流程图例子

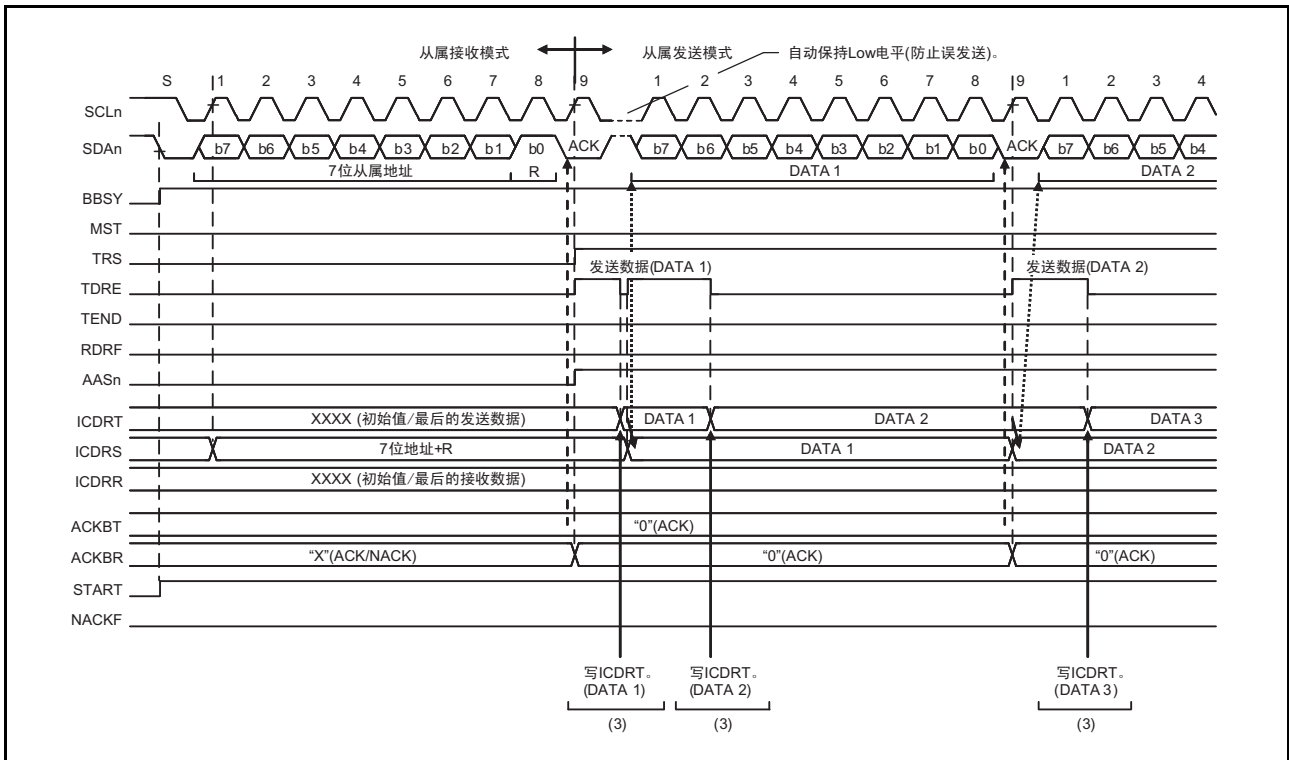


图 31.15 从属发送的运行时序 (1) (7 位地址格式的情况)

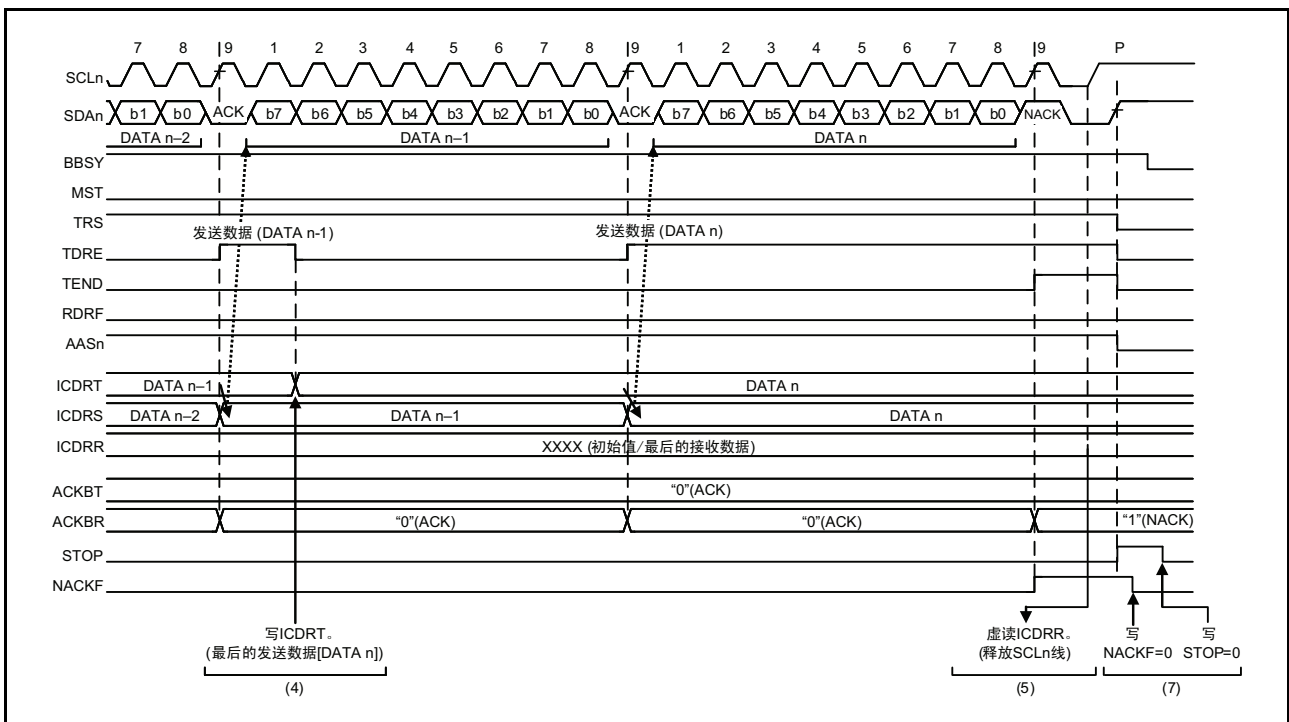


图 31.16 从属发送的运行时序 (2)

31.3.6 从属接收

在从属接收中，主控设备输出 SCL 时钟和发送数据，从属设备 RIIC 返回应答。

从属接收的使用例子和运行时序分别如图 31.17 和图 31.18、图 31.19 所示。

从属接收的接收步骤和运行如下所示：

1. 必须按照图 31.5 所示的步骤对 RIIC 进行初始设定。在 RIIC 已初始化的情况下，不需要此步骤。在初始设定结束后到从属地址匹配前，RIIC 处于待机状态。
2. 如果从属地址匹配，RIIC 就在 SCL 时钟的第 9 个时钟的上升沿将对应的 ICSR1.HOA 位、ICSR1.GCA 位、或者 ICSR1.AASy 位 (y=0~2) 置“1”并且将 ICMR3.ACKBT 位的设定值返回给 SCL 时钟的第 9 个时钟的应答位。此时，如果接收的 R/W# 位为“0”，就继续保持从属接收模式的状态并且将 ICSR2.RDRF 标志置“1”。
3. 在确认 ICSR2.STOP 标志为“0”并且 ICSR2.RDRF 标志为“1”后，第 1 次必须虚读 ICDRR 寄存器（虚读的数据在 7 位地址格式时为从属地址+R/W# 位，在 10 位地址格式时为低 8 位地址）。
4. 如果读 ICDRR 寄存器，RIIC 就自动将 ICSR2.RDRF 标志置“0”。如果在延迟了 ICDRR 寄存器的读操作并且 RDRF 标志为“1”的状态下接收下一个数据，RIIC 就在 RDRF 标志变为“1”时的前一个 SCL 时钟下降沿将 SCLn 线保持 Low 电平。通过读 ICDRR 寄存器来解除被保持的 Low 电平，RIIC 释放 SCLn 线。必须在 ICSR2.STOP 标志和 ICSR2.RDRF 标志都为“1”或者接收完全部数据时读 ICDRR 寄存器。
5. 如果 RIIC 检测到停止条件，就自动将 ICSR1.HOA 位、ICSR1.GCA 位和 ICSR1.AASy 位 (y=0~2) 置“0”。
6. 在确认 ICSR2.STOP 标志为“1”后，必须将 ICSR2.STOP 标志置“0”，以便进行下一次的通信。

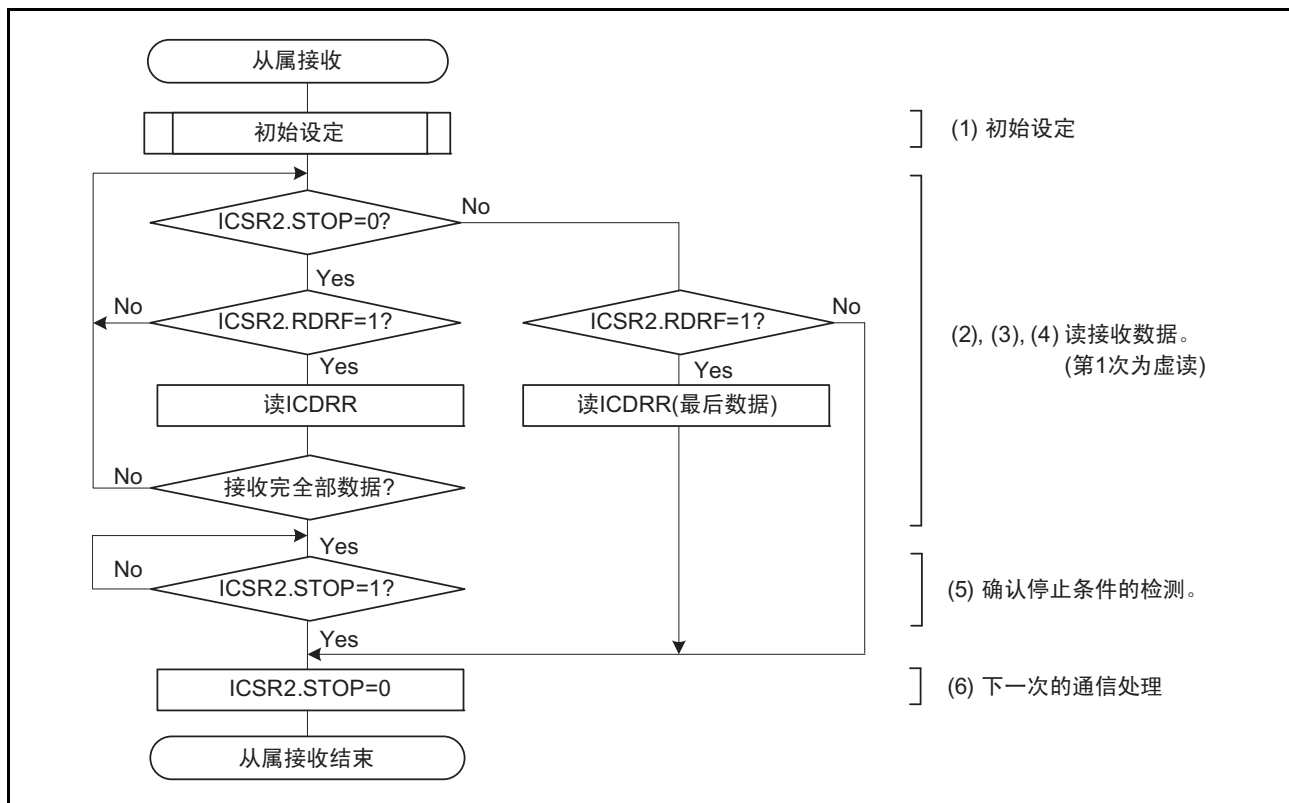


图 31.17 从属接收的流程图例子

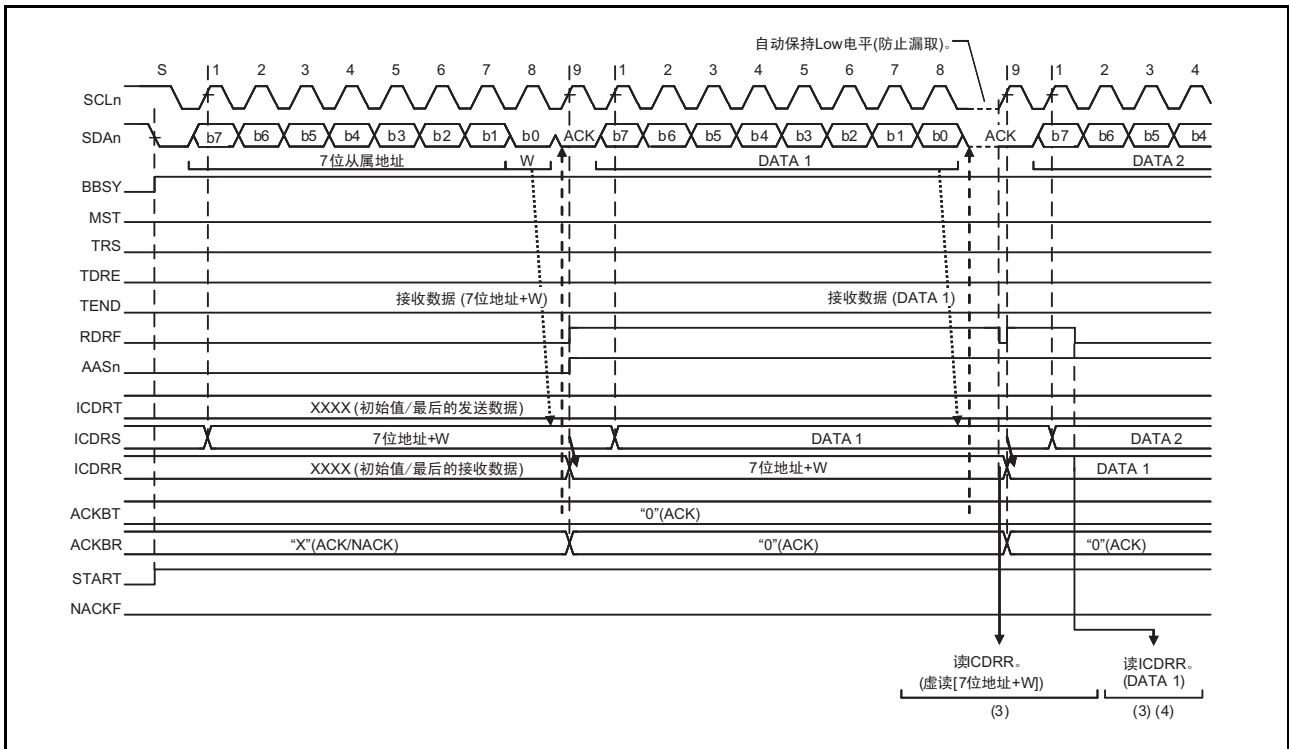


图 31.18 从属接收的运行时序 (1) (7 位地址格式, RDRFS=0 的情况)

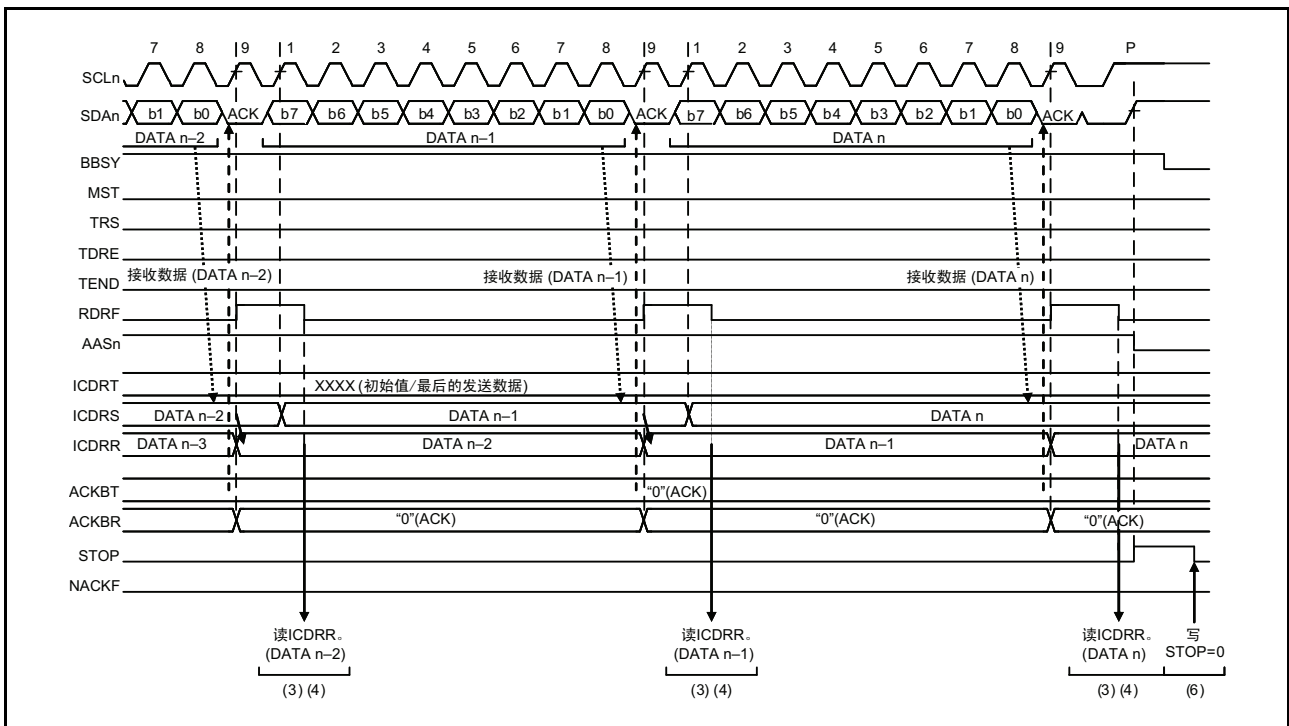


图 31.19 从属接收的运行时序 (2) (RDRFS=0 的情况)

31.4 SCL 同步电路

如果 RIIC 的 SCL 时钟生成电路检测到 SCLn 线的上升沿, 就开始对 ICBRH 寄存器设定的 High 电平宽度进行计数, 在结束 High 电平宽度的计数时将 SCLn 线驱动为 Low 电平并且下降。如果检测到 SCLn 线的下降沿, 就开始对 ICBRL 寄存器设定的 Low 电平宽度进行计数, 在结束 Low 电平宽度的计数时结束 SCLn 线的 Low 电平驱动, 然后释放 SCLn 线。通过此方法生成 SCL 时钟。

在多主控模式中使用 I²C 总线时, 有可能因和其他主控设备的竞争而使 SCL 时钟和 SCL 时钟发生冲突。如果 SCL 时钟发生冲突, 主控设备就需要与 SCL 时钟同步, 而且需要逐位进行 SCL 时钟的同步。RIIC 具有 SCL 同步电路功能, 在主控模式中监视 SCLn 线, 并且一边逐位取得同步, 一边生成 SCL 时钟。

RIIC 检测到 SCLn 线的上升沿并且在 ICBRH 寄存器设定的 High 电平进行计数的过程中, 如果因其他主控设备的 SCL 时钟输出而使 SCLn 线下降, RIIC 就在检测到 SCLn 线的下降沿时中止 High 电平宽度的递增计数, 并且在 SCLn 线被驱动为 Low 电平的同时开始对 ICBRL 寄存器设定的 Low 电平宽度进行递增计数, 在结束 Low 电平宽度的计数时结束 SCLn 线的 Low 电平驱动, 然后释放 SCLn 线。此时, 如果其他主控设备的 SCL 时钟的 Low 电平宽度大于 RIIC 设定的 Low 电平宽度, 就延长 SCL 时钟的 Low 电平宽度。当其他主控设备结束 Low 电平输出时, 释放 SCLn 线并且 SCL 时钟上升。因此, 在发生 SCL 时钟输出冲突时, SCL 时钟的 High 电平宽度与短时钟同步, Low 电平宽度与长时钟同步。此 SCL 同步在 ICFER.SCLE 位为“1”时有效。

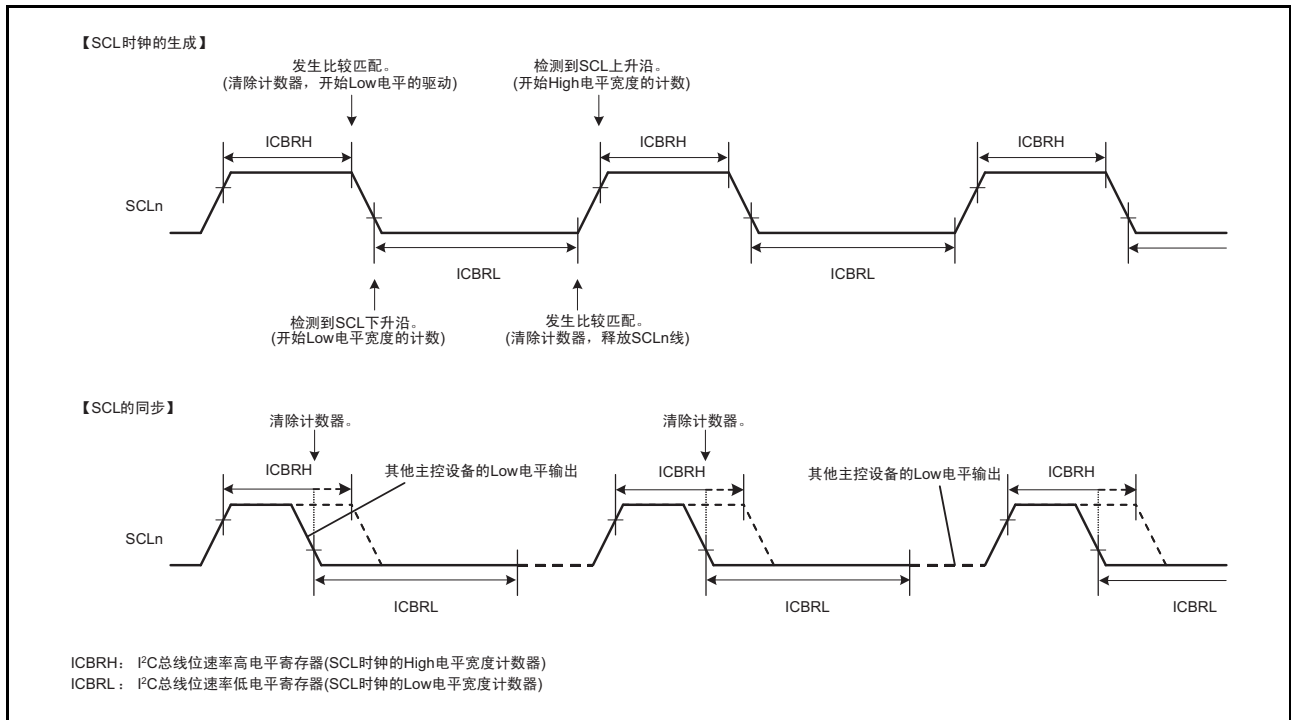


图 31.20 RIIC 的 SCL 时钟生成和 SCL 同步

31.5 SDA 输出延迟功能

RIIC 有 SDA 输出延迟功能。能通过 SDA 输出延迟功能，使全部的 SDA 输出时序（发行（开始 / 重新开始 / 停止）、数据输出和 ACK/NACK 输出）延迟。

SDA 输出延迟功能是从检测到 SCL 时钟的下降沿开始延迟 SDA 的输出，并且通过在 SCL 时钟的 Low 电平时期间确保 SDA 的输出，防止通信设备的误动作，也能用于满足 SMBus 数据保持时间（300ns（min））的规格。

SDA 输出延迟功能在 ICMR2.SDDL[2:0] 位不为“000b”时有效，在 SDDL[2:0] 位为“000b”时无效。

在 SDA 输出延迟功能有效（SDDL[2:0] 位不为“000b”）时，SDA 输出延迟计数器将 ICMR2.DLCS 位选择的内部基准时钟（IIC ϕ ）或者内部基准时钟的 2 分频时钟（IIC ϕ /2）作为计数源进行 SDDL[2:0] 位设定周期的计数，RIIC 在结束延迟周期的计数时进行 SDA 输出（发行（开始 / 重新开始 / 停止）、数据输出和 ACK/NACK 输出）。

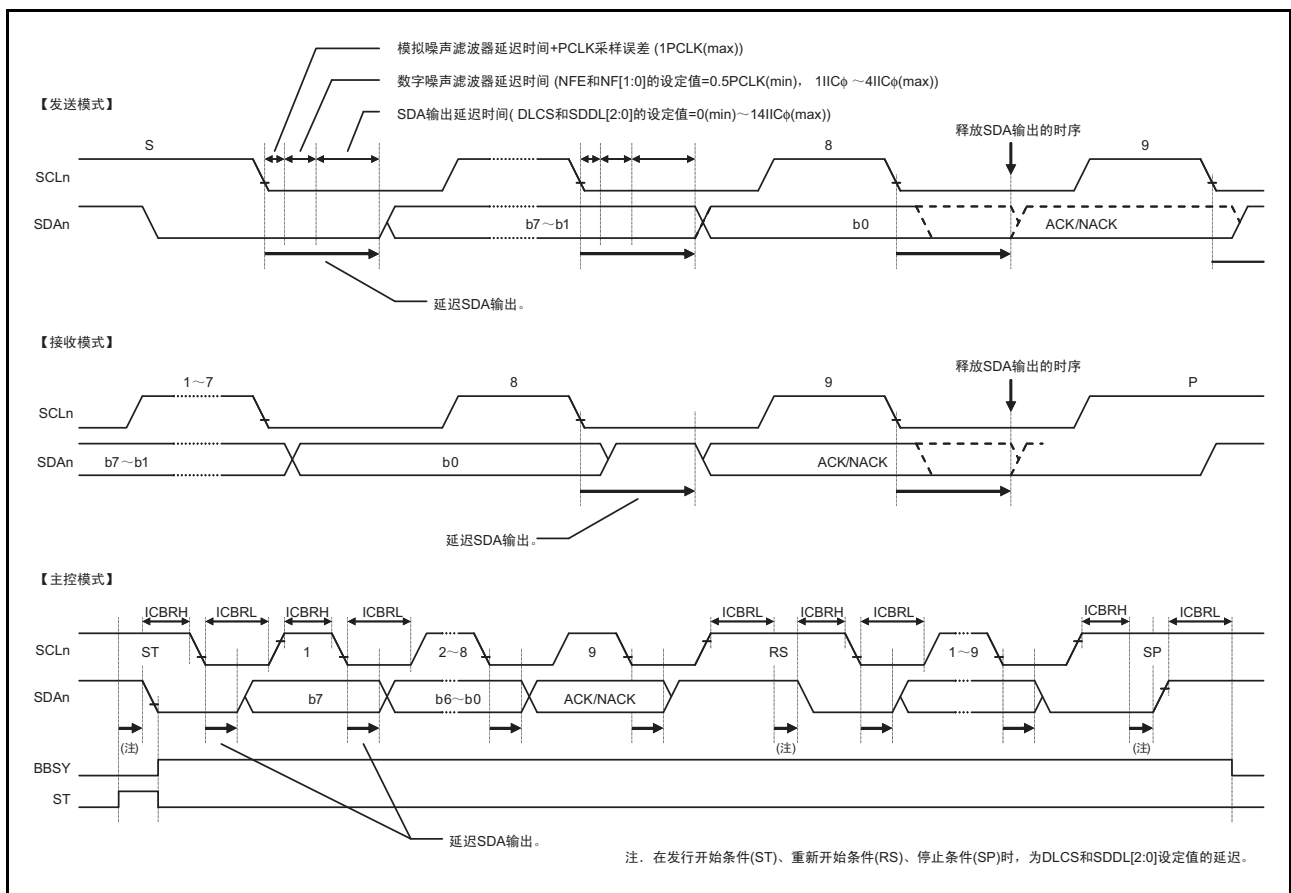


图 31.21 SDA 输出延迟时序

31.6 数字噪声滤波器电路

SCLn 引脚和 SDA_n 引脚的状态经由模拟噪声滤波器电路和数字噪声滤波器电路进入内部。数字噪声滤波器电路的框图如图 31.22 所示。

RIIC 的内部数字噪声滤波器电路由 4 段串联的触发电路和匹配检测电路构成。

通过 ICMR3.NF[1:0] 位选择数字噪声滤波器的有效段数，根据选择的有效段数，噪声消除能力为 1 ~ 4 个 IIC ϕ 周期。

在 PCLK 的下降沿对 SCLn 引脚的输入信号（或者 SDA_n 引脚的输入信号）进行采样，如果 ICMR3.NF[1:0] 位设定的有效段数的触发电路输出全部匹配，就将该电平作为内部信号进行传输，否则就保持原来的值。

在内部运行时钟（PCLK）与通信速度的比小的情况下（如：PCLK 为 4MHz 时的 400kbps 的通信），根据数字噪声滤波器的特性，有可能在产生噪声时需要的信号也被消除。在此情况下，能禁止（ICFER.NFE 位 = 0）使用数字噪声滤波器电路而只使用模拟噪声滤波器电路。

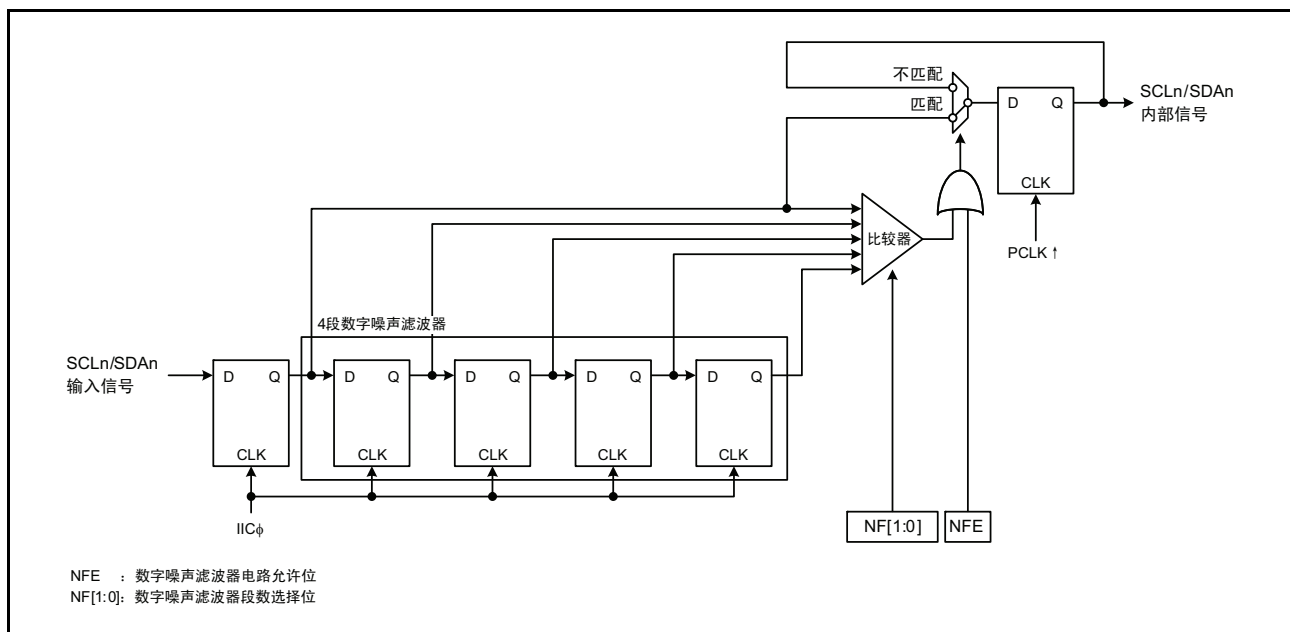


图 31.22 数字噪声滤波器电路的框图

31.7 地址匹配检测功能

RIIC 能设定全呼地址和主机地址以外的 3 种从属地址，从属地址能设定 7 位地址或者 10 位地址。

31.7.1 从属地址匹配检测功能

RIIC 能设定 3 种从属地址，有分别对应的从属地址检测功能。当 ICSER.SARyE 位 (y=0 ~ 2) 为“1”时，能检测到 SARUy/SARLy 寄存器 (y=0 ~ 2) 设定的从属地址。

如果 RIIC 检测到设定的从属地址匹配，就在 SCL 时钟的第 9 个时钟的下降沿将对应的 ICSR1.AASy 标志 (y=0 ~ 2) 置“1”，然后根据后续的 R/W# 位将 ICSR2.RDRF 标志或者 ICSR2.TDRE 标志置“1”。因此，能发生接收数据满中断 (ICRXI) 或者发送数据空中断 (ICTXI)，并且能通过 AASy 标志判断指定了哪个从属地址。

AASy (y=0 ~ 2) 标志变为“1”的时序如图 31.23 ~ 图 31.25 所示。

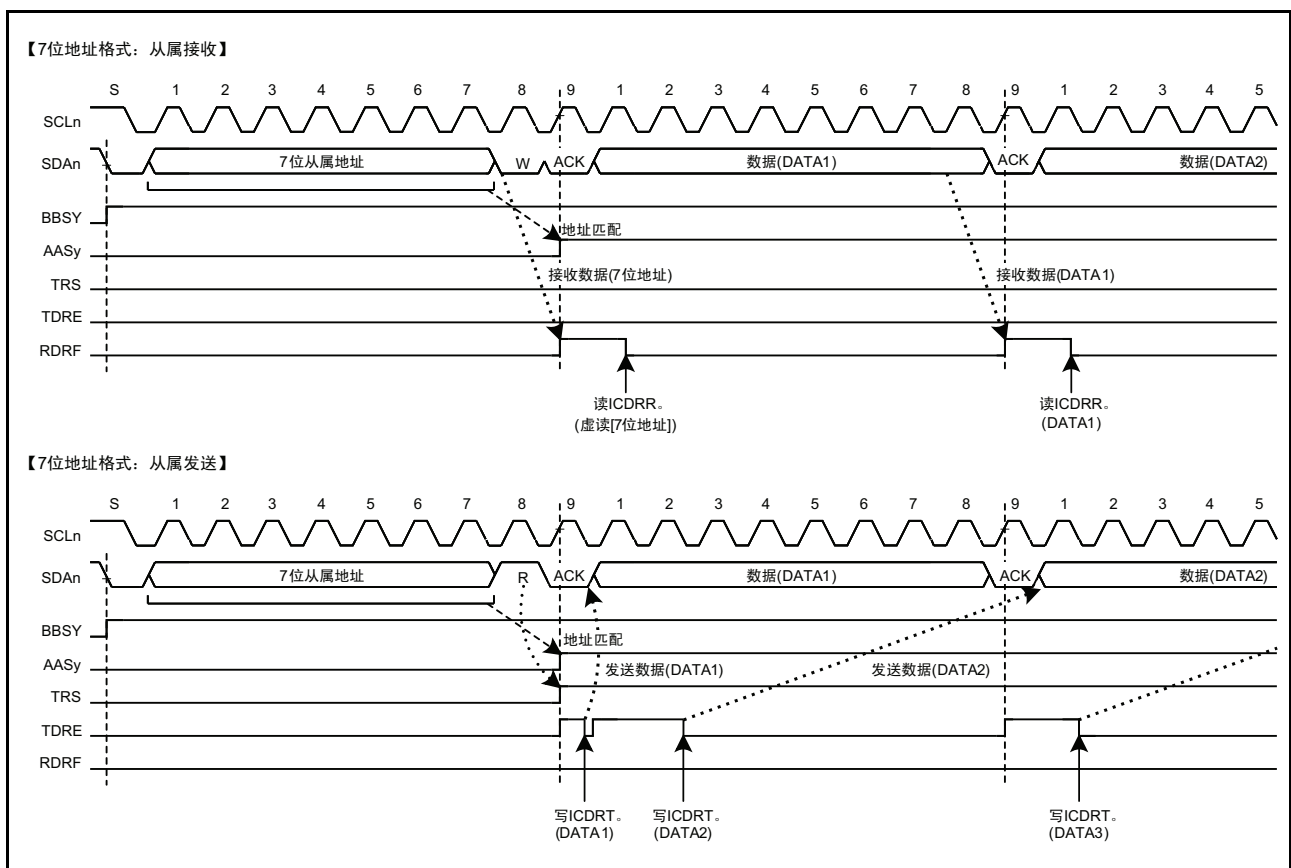


图 31.23 选择 7 位地址格式时的 AASy 标志变为“1”的时序

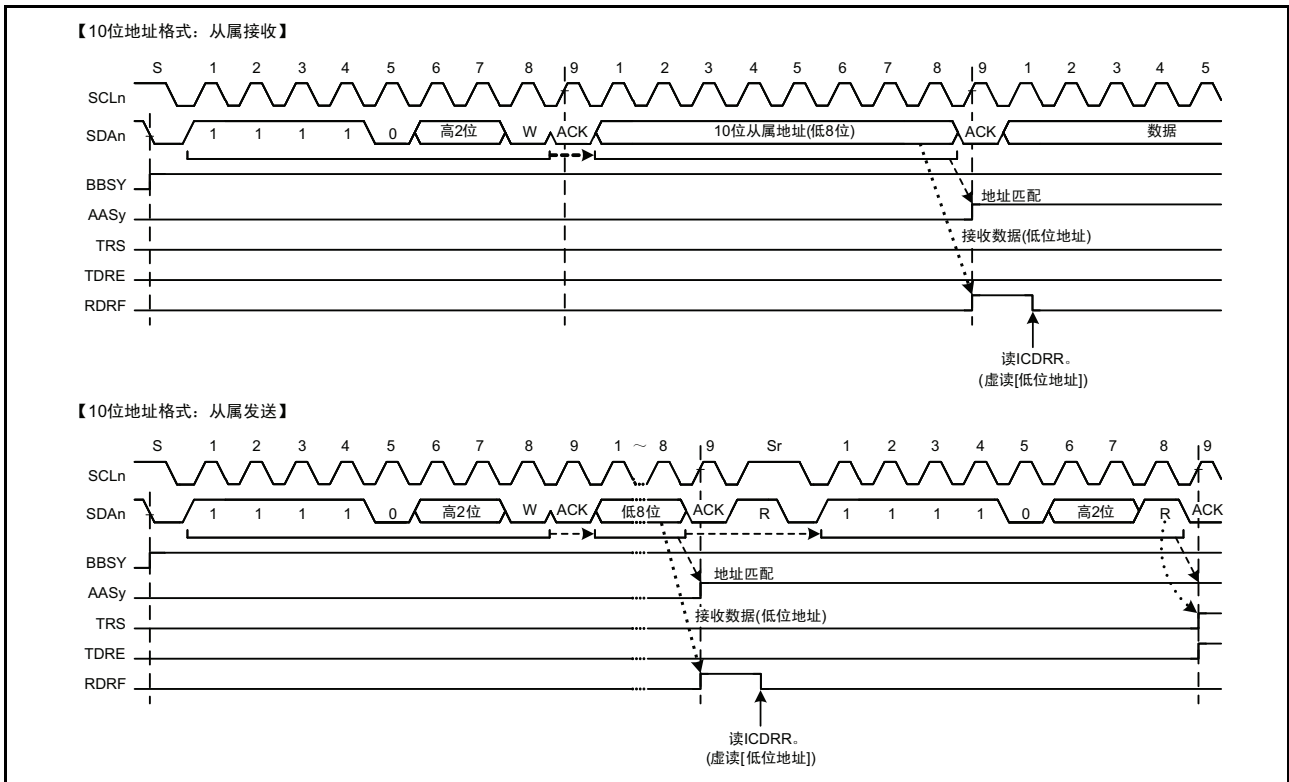


图 31.24 选择 10 位地址格式时的 AASy 标志变为“1”的时序

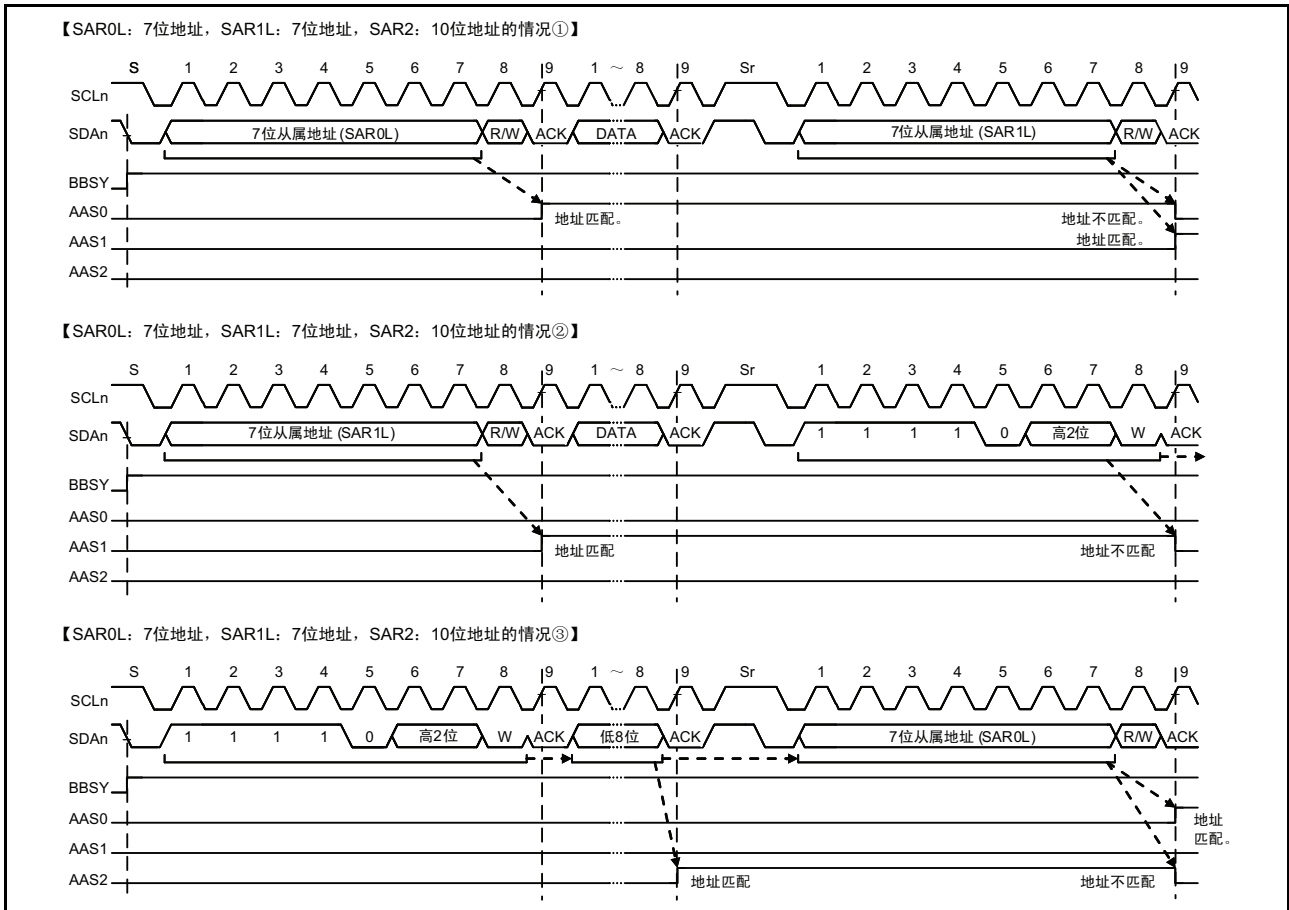


图 31.25 7 位 /10 位地址格式同时存在时的 AASy 标志变为“1”/“0”的时序

31.7.2 全呼地址检测功能

RIIC 具有全呼地址 (0000 000b+0[W]) 检测功能。当 ICSER.GCAE 位为 “1” 时，能检测全呼地址。

如果开始条件或者重新开始条件后的地址为 0000 000b+1[R] (开始字节)，RIIC 就将此地址视为 All“0” 的从属地址而不视为全呼地址。

如果 RIIC 检测到全呼地址，就在 SCL 时钟的第 9 个时钟的下降沿将 ICSR1.GCA 标志置 “1”，同时将 ICSR2.RDRF 标志置 “1”。因此，能发生接收数据满中断 (ICRXI)，并且能通过 GCA 标志判断是否发送了全呼地址。

全呼地址检测后的运行和普通的从属接收运行相同。

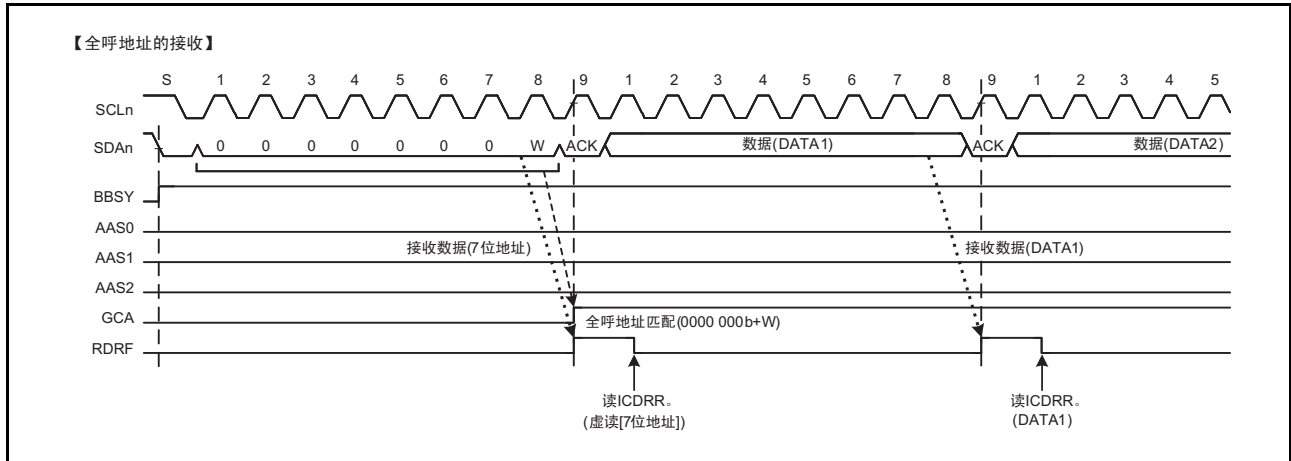


图 31.26 接收全呼地址时的 GCA 标志变为 “1” 的时序

31.7.3 设备 ID 地址检测功能

RIIC 具有符合 I²C 总线标准 (Rev.03) 的设备 ID 地址检测功能。在将 ICSER.DIDE 位置“1”的状态下, 如果开始条件或者重新开始条件之后的第 1 个字节接收到“1111 100b”, RIIC 就将此地址视为设备 ID 地址, 当后续的 R/W# 位为“0”时, 就在 SCL 时钟的第 9 个时钟的上升沿将 ICSR1.DID 标志置“1”, 然后将第 2 个字节以后的地址和自己的从属地址进行比较。如果第 2 个字节以后的地址与从属地址寄存器的值匹配, 对应的 ICSR1.AASy 标志 (y=0~2) 就变为“1”。

此后, 如果开始条件或者重新开始条件之后的第 1 个字节再次与设备 ID 地址 (1111 100b) 匹配并且后续的 R/W# 位为“1”, RIIC 就不比较第 2 个字节以后的地址, 而将 ICSR2.TDRE 标志置“1”。

设备 ID 地址检测功能, 在与自己的从属地址不匹配时或者自己的从属地址匹配后的重新开始条件后面的地址与设备 ID 地址不匹配时, 将 DID 标志置“0”。在开始条件或者重新开始条件之后的第 1 个字节与设备 ID 地址 (1111 100b) 匹配并且 R/W# 位为“0”时, 将 DID 标志置“1”, 并且将第 2 个字节以后的地址和从属地址进行比较。当 R/W# 位为“1”时, DID 标志继续保持原来的值, 并且不比较第 2 个字节以后的从属地址。因此, 通过在确认 TDRE 为“1”后检查 DID 标志, 能确认接收到设备 ID。

在接收一连串的设备 ID 后, 要发送给主机的设备 ID 字段所需的信息 (3 个字节: 厂商 [12 位]+ 部件识别 [9 位]+ 版本 [3 位]) 和通常的发送数据一样, 必须预先准备。有关设备 ID 字段所需信息的详细内容, 请向 NXP 公司询问。

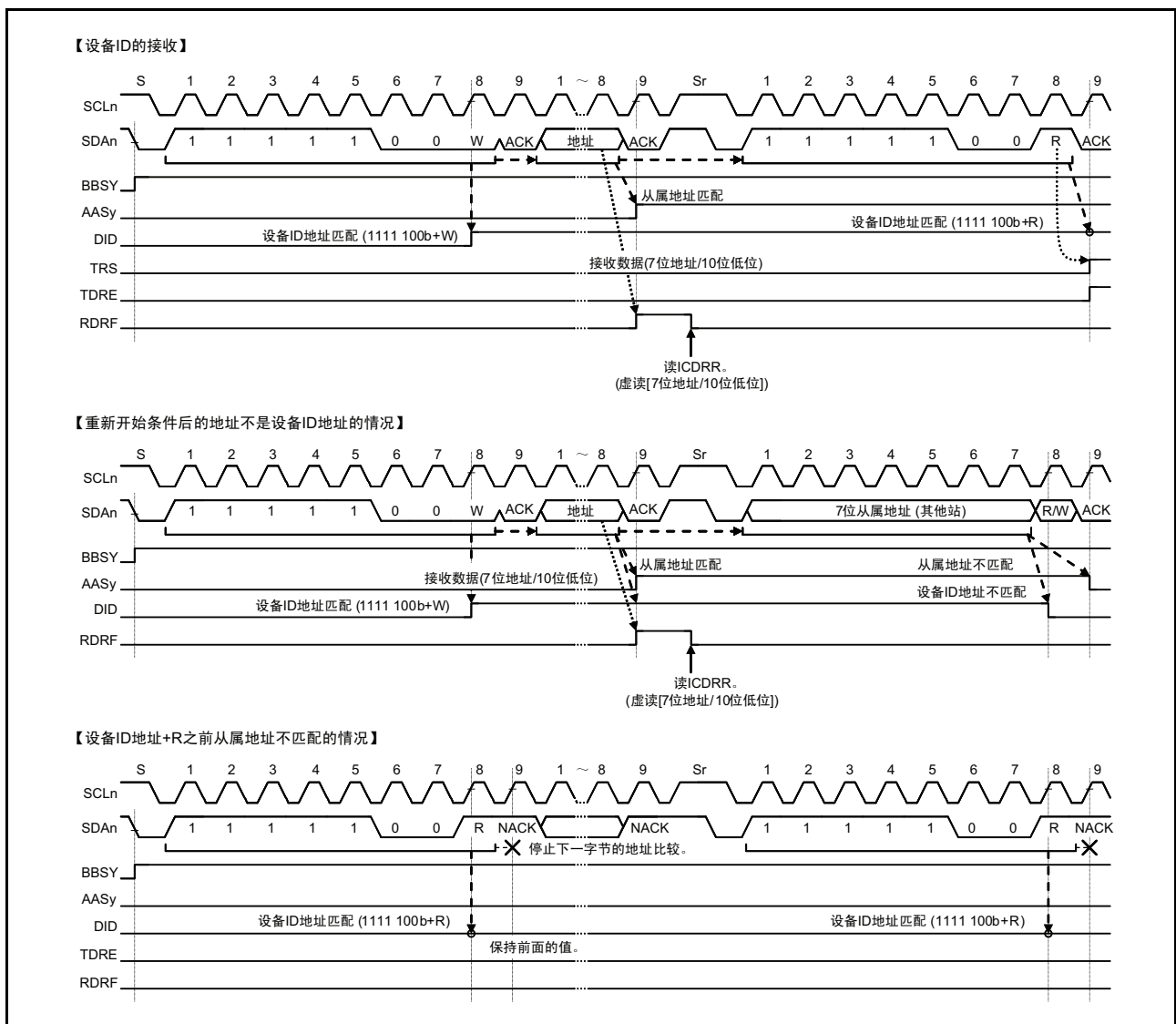


图 31.27 接收设备 ID 地址时的 AASy 标志和 DID 标志的置位 / 清除时序

31.7.4 主机地址检测功能

RIIC 具有 SMBus 运行时的主机地址检测功能。如果在 ICMR3.SMBS 位为“1”时将 IC SER.HOAE 位置“1”，就能在从属接收模式 (ICCR2.MST 位和 ICCR2.TRS 位为“00b”) 中检测主机地址 (0001 000b)。

如果 RIIC 检测到主机地址，就在 SCL 时钟的第 9 个时钟的下降沿将 ICSR1.HOA 标志置“1”，并且在 W_r 位的情况下 (R/W# 位接收到“0”)，将 ICSR2.TDRE 标志置“1”。因此，能发生发送数据空中断 (ICTXI)，并且能通过 HOA 标志，确认从智能电池等发送了主机地址。

即使接在主机地址 (0001 000b) 后面的位是 R_d 位 (R/W# 位接收到“1”)，也能检测主机地址。主机地址检测后的运行和普通的从属接受运行相同。

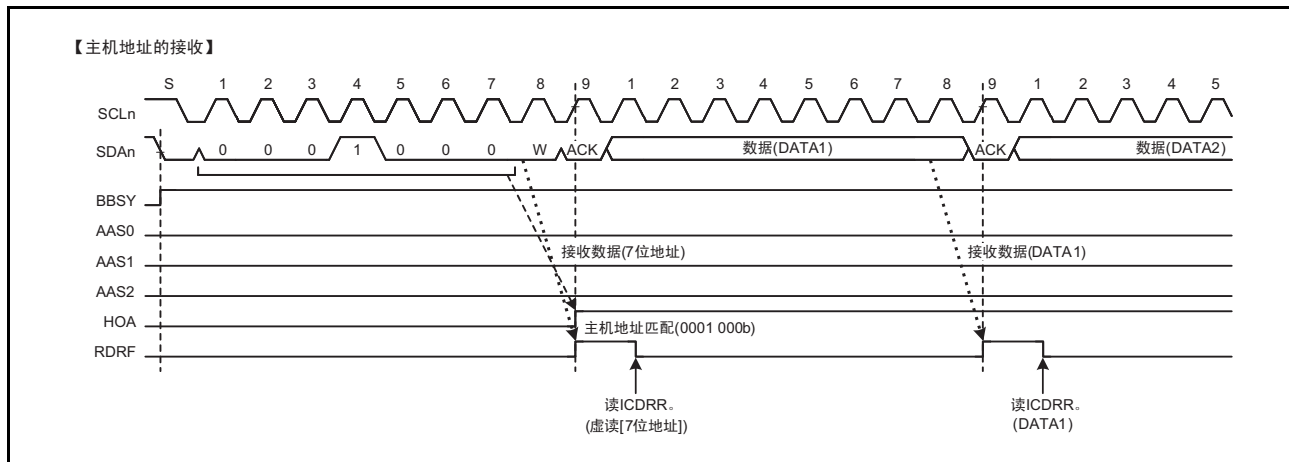


图 31.28 接收主机地址时的 HOA 标志变为“1”的时序

31.8 SCL 的 Low 电平自动保持功能

31.8.1 发送数据的误发送防止功能

在发送模式中 (ICCR2.TRS 位 =1)，如果移位寄存器 (ICDRS 寄存器) 为空状态并且未写发送数据 (ICDRT 寄存器)，RIIC 就在以下所示的区间自动保持 SCLn 线的 Low 电平。Low 电平的保持延长了写发送数据前的 Low 电平区间，防止意想不到的数据误发送。

《主控发送模式》

- 发行开始条件或者重新开始条件后的 Low 电平区间
- 第 9 个时钟和下次传送的第 1 个时钟的 Low 电平区间

《从属发送模式》

- 第 9 个时钟和下次传送的第 1 个时钟的 Low 电平区间

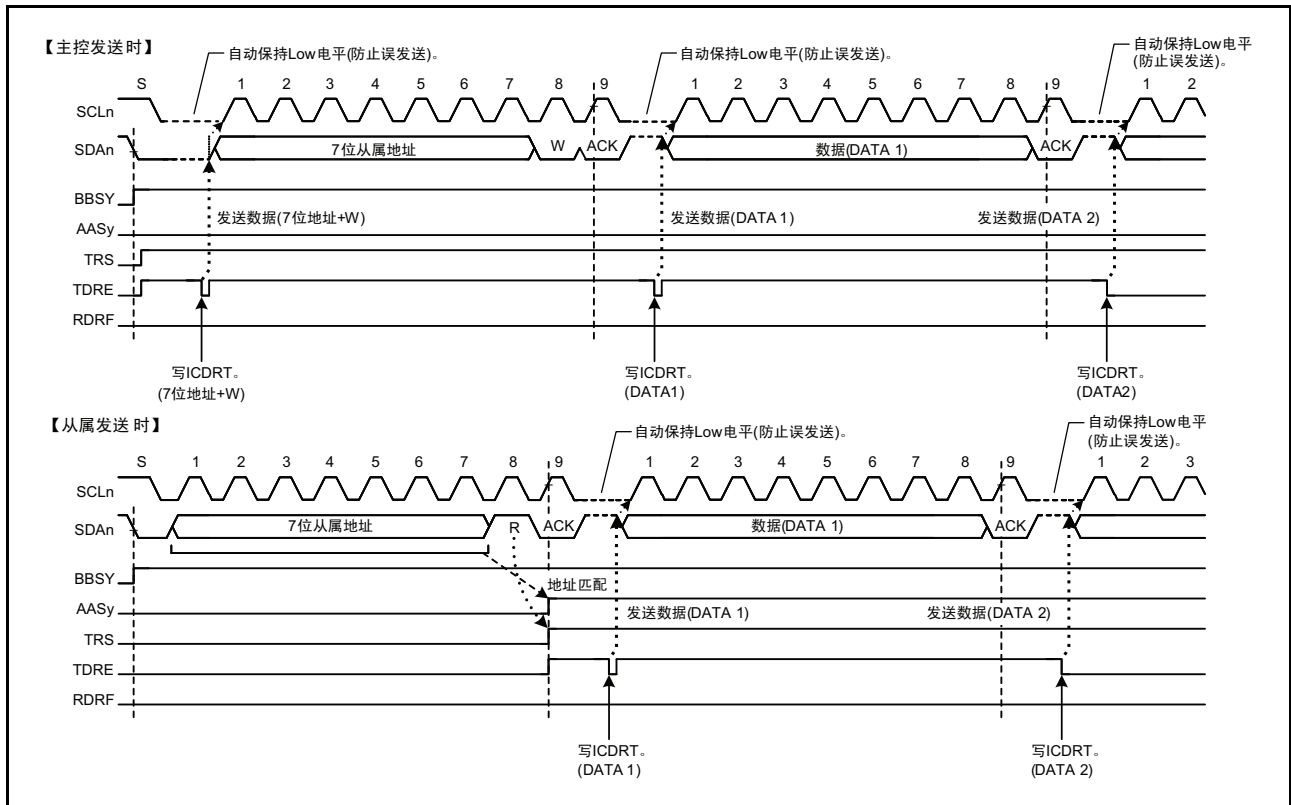


图 31.29 发送模式的 Low 电平自动保持运行

31.8.2 NACK 接收传送中止功能

RIIC 具有在发送模式中 (ICCR2.TRS 位 =1) 接收到 NACK 时中止传送的功能。此功能在 ICFER.NACKE 位为 “1” (允许中止传送) 时有效, 如果在接收 NACK 时已经写了下一个发送数据 (ICSR2.TDRE 标志为 “0” 的状态), 就在 SCL 时钟的第 9 个时钟下降时自动中止下一个数据的发送。因此, 能在下一个发送数据的 MSB 为 “0” 时防止 SDA_n 线被固定为 Low 电平输出。

如果通过 NACK 接收传送中止功能来中止传送 (ICSR2.NACKF 标志为 “1”), 就不进行以后的发送和接收。要重新开始传送时, 必须将 NACKF 标志置 “0”。在主机发送模式中, 必须将 NACKF 标志置 “0”, 然后在发行重新开始条件或者停止条件后发行开始条件, 重新开始传送。

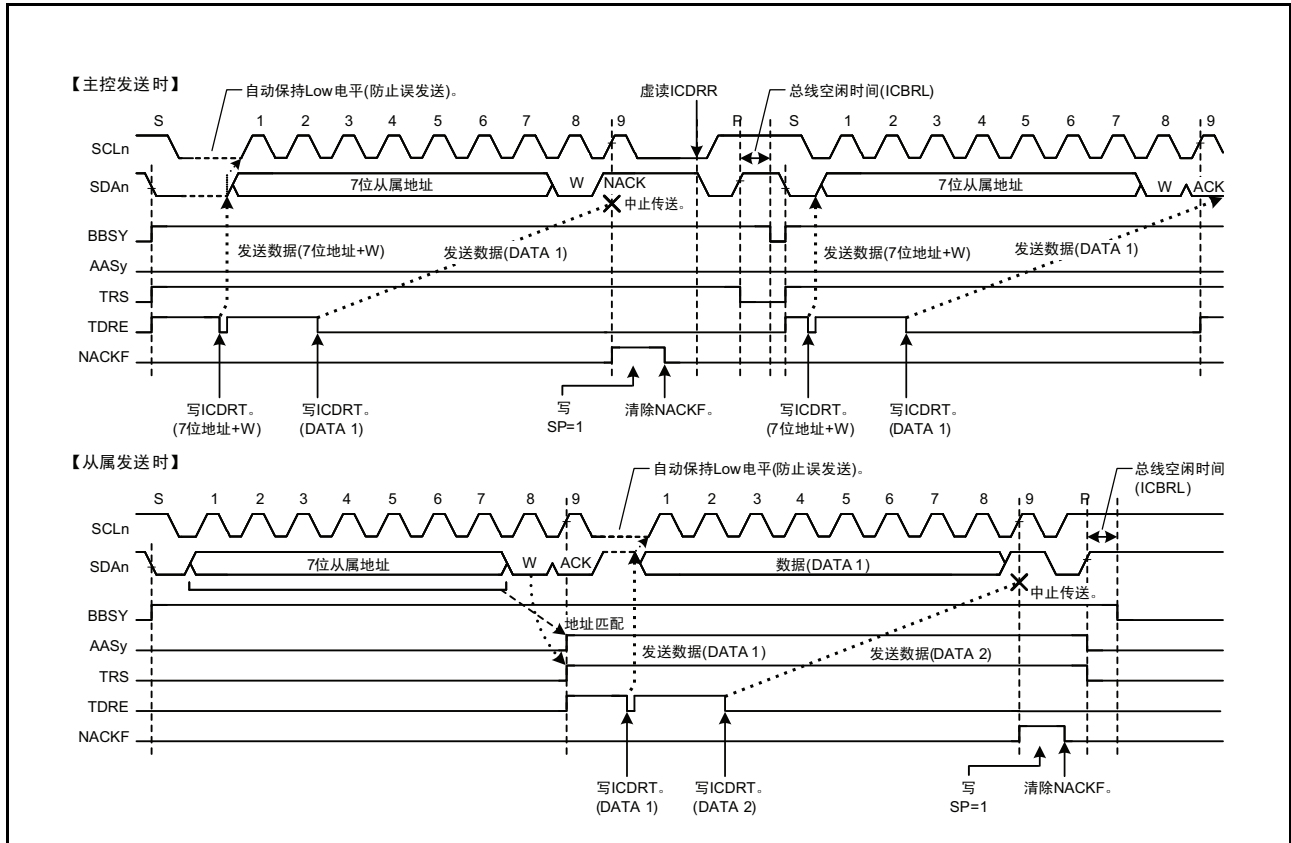


图 31.30 接收 NACK 时的传送中止 (NACKE=1)

31.8.3 接收数据漏取防止功能

如果在接收模式中 (ICCR2.TRS 位 =0) 并且接收数据满 (ICSR2.RDRF 标志 =1) 的状态下因至少推迟 1 个传送帧的读接收数据 (ICDRR 寄存器) 等而发生响应处理延迟, RIIC 就在开始下一个数据接收前自动保持 SCL_n 线的 Low 电平, 防止漏取接收数据。

在最后接收数据的读处理延迟期间, 即使在停止条件后指定了自己的从属地址, 通过自动保持 Low 电平防止漏取接收数据的功能仍然有效。因为在停止条件后自己的从属地址不匹配时不保持 Low 电平, 所以不妨碍其他通信。

RIIC 能通过 ICMR3.WAIT 位和 ICMR3.RDRFS 位的组合选择保持 Low 电平的区间。

(1) 通过 WAIT 位进行的 1 字节接收以及 Low 电平自动保持功能

如果将 ICMR3.WAIT 位置“1”，RIIC 就通过 WAIT 位的功能进行 1 字节的接收。当 ICMR3.RDRFS 位为“0”时，RIIC 就自动给从 SCL 时钟的第 8 个时钟的下降沿到第 9 个时钟的下降沿期间的应答位发送 ICMR3.ACKBT 位的内容，如果检测到第 9 个时钟的下降沿，就通过 WAIT 位的功能自动保持 SCLn 线的 Low 电平。通过读 ICDRR 寄存器来解除保持的 Low 电平。因此，能逐字节地进行接收。

在主控接收模式或者从属接收模式中，WAIT 位的功能从与自己的从属地址（包括全呼地址和主机地址）匹配后的接收帧开始有效。

(2) 通过 RDRFS 位进行的 1 字节接收（控制 ACK/NACK 发送）以及 Low 电平的自动保持功能

如果将 ICMR3.RDRFS 位置“1”，RIIC 就通过 RDRFS 位的功能进行 1 字节的接收。如果将 RDRFS 位置“1”，就将接收数据满标志（ICSR2.RDRF 标志）变为“1”的时序更改为 SCL 时钟的第 8 个时钟的上升沿。如果检测到第 8 个时钟的下降沿，就自动保持 SCLn 线的 Low 电平。通过写 ICMR3.ACKBT 位来解除保持的 Low 电平，而在读 ICDRR 寄存器时无法解除。因此，能逐字节地根据接收数据的内容进行 ACK/NACK 发送的接收运行。

在主控接收模式或者从属接收模式中，RDRFS 位的功能从与自己的从属地址（包括全呼地址和主机地址）匹配后的接收帧开始有效。

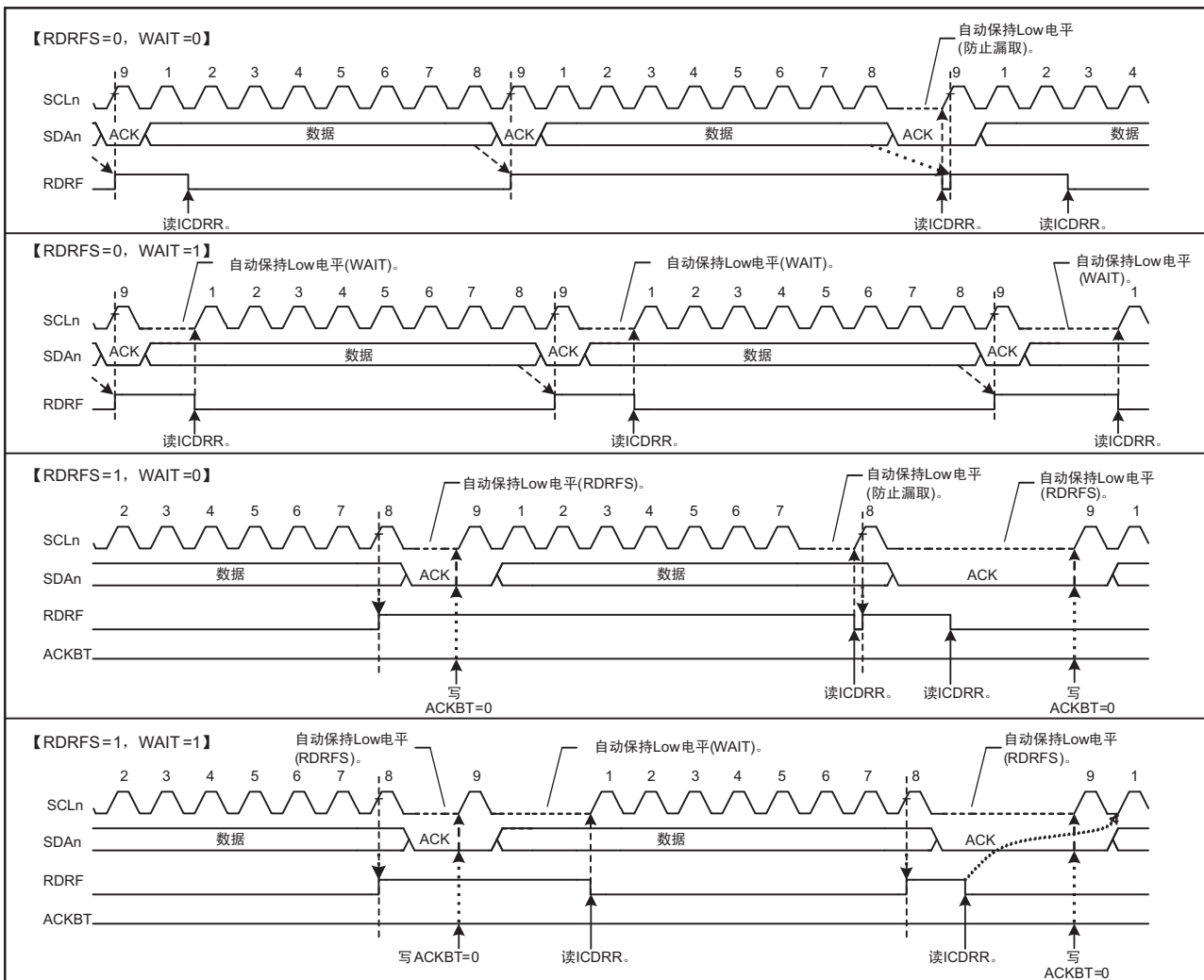


图 31.31 接收模式的 Low 电平自动保持（RDRFS 位和 WAIT 位）

31.9 仲裁失败检测功能

RIIC 除了 I²C 总线规格规定的普通仲裁失败检测功能以外，还具有防止双重发行开始条件功能、NACK 发送时的仲裁失败检测功能以及从属发送时的仲裁失败检测功能。

31.9.1 主控仲裁失败检测功能 (MALE 位)

在发行开始条件时，RIIC 将 SDA_n 线置为 Low 电平。但是，如果其他主控设备提前发行开始条件后将 SDA_n 线置为 Low 电平，就产生仲裁失败并且优先其他主控设备的通信。同样地，如果在 ICCR2.BBSY 标志为“1”（总线忙）时将 ICCR2.ST 位置“1”，就产生仲裁失败并且优先其他主控设备的通信。此时，不生成开始条件。

在正常地发行开始条件时，如果包括发送地址在内的发送数据（SDA 信号）与 SDA_n 线上的信号状态不同（自身发送的 SDA 输出为 High 电平输出（SDA_n 引脚为高阻抗状态）而检测到 SDA 线为 Low 电平时），就产生仲裁失败。

如果发生主控仲裁失败，RIIC 就立即转移到从属接收模式。此时，如果包括全呼地址在内的从属地址匹配，就继续从属模式的运行。

对于主控仲裁失败检测，在 ICFER.MALE 位为“1”（允许主控仲裁失败检测）的状态下以下条件成立时，检测到仲裁失败。

[主控仲裁失败条件]

- 在 ICCR2.BBSY 标志为“0”的状态下通过将 ICCR2.ST 位置“1”来发行开始条件时，SDA 信号与 SDA_n 线上的信号状态不同（开始条件发行错误）时
- 在 ICCR2.BBSY 标志为“1”的状态下将 ICCR2.ST 位置“1”（开始条件双重发行错误）时
- 在发送模式中（ICCR2.MST 位和 ICCR2.TRS 位为“11b”），应答除外的发送数据（SDA 信号）与 SDA_n 线上的信号状态不同时

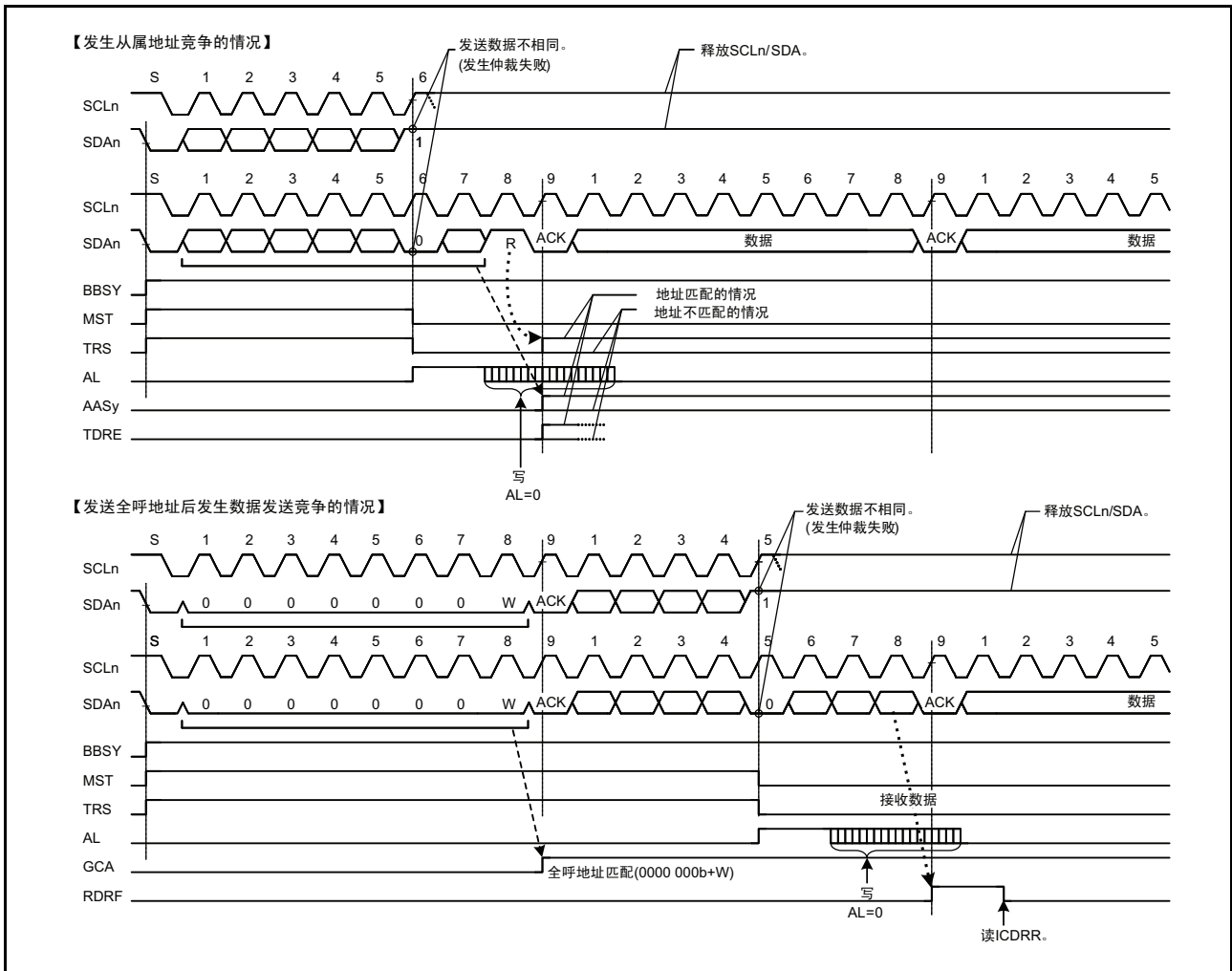


图 31.32 主控仲裁失败检测的运行例子 (MALE=1 的情况)

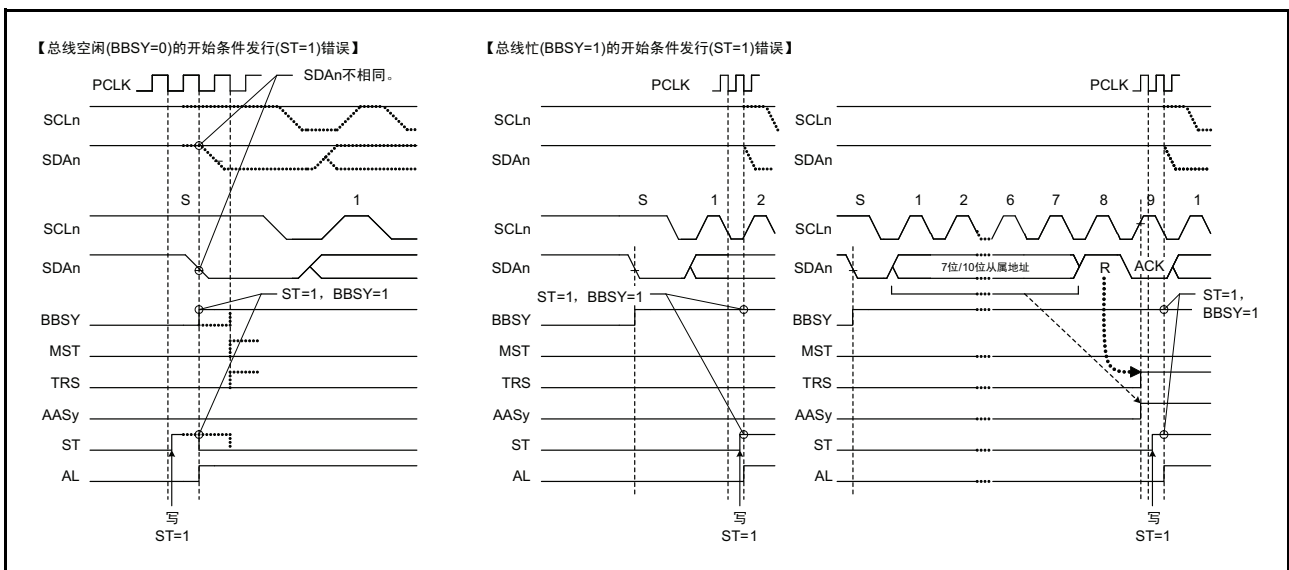


图 31.33 发行开始条件时的仲裁失败 (MALE=1 的情况)

31.9.2 NACK 发送仲裁失败检测功能 (NALE 位)

在接收模式中，如果在发送 NACK 时 RIIC 自身发送的 SDA 信号与 SDA 线上的信号状态不同（自身发送的 SDA 输出为 High 电平输出（SDAn 引脚为高阻抗状态）而检测到 SDA 线为 Low 电平时），就产生仲裁失败。主要在多主控系统中 2 个或者 2 个以上的主控设备同时从同一个从属设备接收数据时发生 NACK 发送和 ACK 发送的冲突。这种情况发生在 2 个或者 2 个以上的主控设备通过 1 个从属设备交换共同信息时。NACK 发送仲裁失败检测的运行例子如图 31.34 所示。

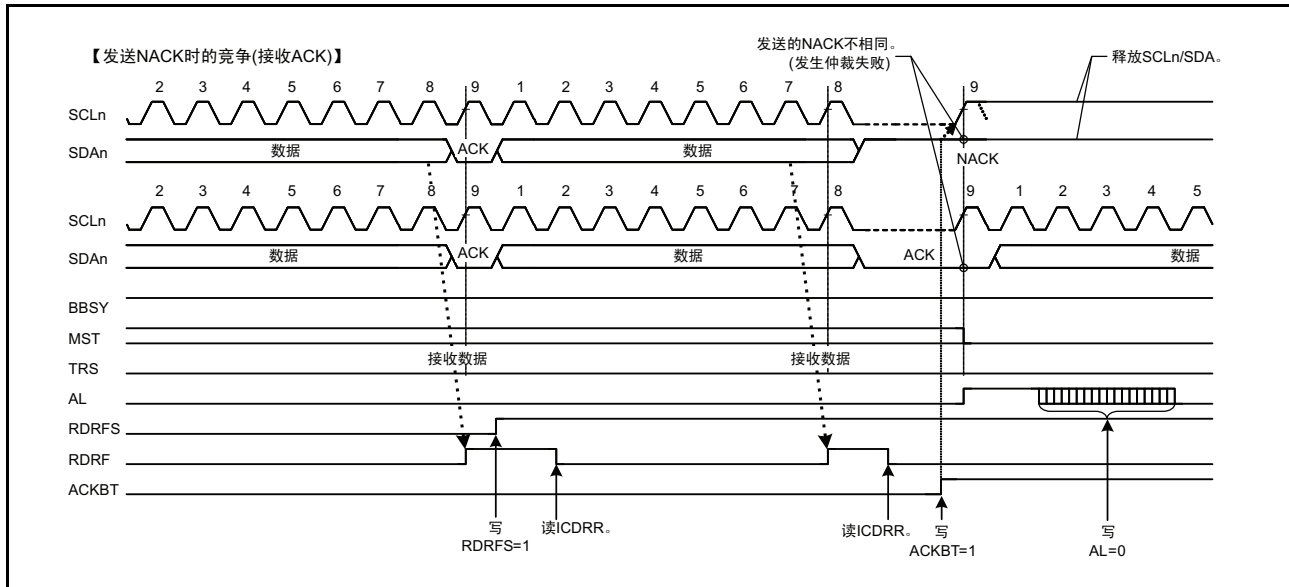


图 31.34 NACK 发送仲裁失败检测的运行例子 (NALE=1 的情况)

以 2 个主控设备（主控 A 和主控 B）和 1 个从属设备连接总线的情况为例进行说明。假设主控 A 从从属设备接收 2 字节的数据，主控 B 从从属设备接收 4 字节的数据。

在主控 A 和主控 B 同时存取从属设备的情况下，因为从属地址相同，所以主控 A 和主控 B 在存取从属设备时不发生仲裁失败，因此主控 A 和主控 B 都取得了总线权。然后，主控 A 在从从属设备接收完最后 2 字节数据时发送 NACK，主控 B 因为没有从从属设备接收完全需要的 4 字节而发送 ACK，因此主控 A 发送的 NACK 和主控 B 发送的 ACK 发生了冲突。一般情况下，如果发生这种状况，因为主控 A 在无法检测到主控 B 发送的 ACK 的状态下发行停止条件，所以与主控 B 的 SCL 时钟输出发生竞争并且阻碍通信。

RIIC 对于此类发送 NACK 时接收 ACK 的情况，能检测到和其他主控设备的竞争失败，产生仲裁失败。

如果发生 NACK 发送仲裁失败，RIIC 就立即解除从属匹配状态并且转移到从属接收模式。因此，能将停止条件的发行防范于未然并且防止总线的通信故障。

在 SMBus 的 ARP 命令处理中，能省去在与指定地址的 UDID（唯一设备标识别）不匹配时的 NACK 发送后以及确定指定地址后的 Get UDID（通用）的 NACK 发送后的剩余处理（FFh 发送处理）。

对于 NACK 发送仲裁失败检测，在 ICFER.NALE 位为“1”（允许 NACK 发送仲裁失败检测）的状态下以下条件成立时，检测到仲裁失败。

[NACK 发送仲裁失败条件]

- 在发送 NACK 时（ICMR3.ACKBT 位=1），自身发送的 SDA 信号与 SDA 线上的信号状态不同（接收到 ACK）。

31.9.3 从属仲裁失败检测功能 (SALE 位)

如果在从属发送时发送数据 (自身发送的 SDA 信号) 与 SDA 线上的信号状态不同 (自身发送的 SDA 输出为 High 电平输出 (SDAn 引脚为高阻抗状态) 而检测到 SDA 线为 Low 电平), RIIC 就产生仲裁失败。此仲裁失败功能主要用于 SMBus 的 UDID (唯一设备标识符) 的发送。

如果发生从属仲裁失败, RIIC 就立即解除从属匹配状态并且转移到从属接收模式。

通过使用此功能, 能省去发送 SMBus 的 UDID 时的数据冲突检测和数据冲突后的剩余处理 (FFh 发送处理)。

对于从属仲裁失败检测, 在 ICFER.SALE 位为 “1” (允许从属仲裁失败检测) 的状态下以下条件成立时, 检测到仲裁失败。

[从属仲裁失败条件]

- 在从属发送模式中 (ICCR2.MST 位和 ICCR2.TRS 位为 “01b”), 应答除外的发送数据 (自身发送的 SDA 信号) 与 SDA 线上的信号状态不同。

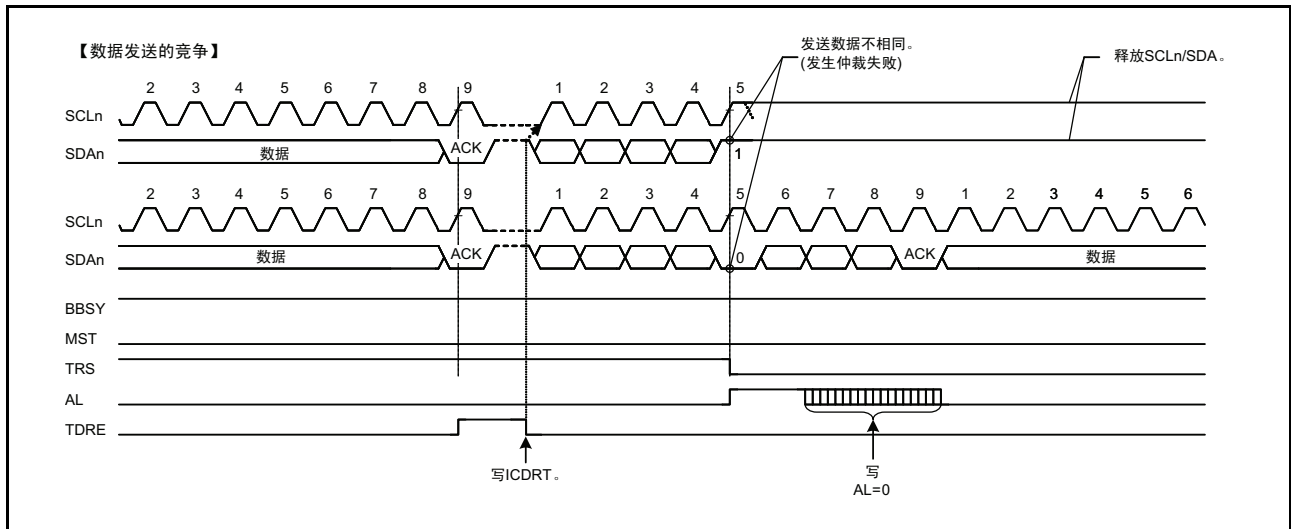


图 31.35 从属仲裁失败检测的运行例子 (SALE=1 的情况)

31.10 开始条件、重新开始条件和停止条件的发行功能

31.10.1 开始条件的发行

RIIC 通过 ICCR2.ST 位发行开始条件。

如果将 ST 位置“1”，就请求发行开始条件，在 ICCR2.BBSY 标志为“0”（总线空闲）的状态下发行开始条件。如果正常地发行开始条件，RIIC 就自动转移到主控发送模式。

开始条件的发行步骤如下：

[开始条件的发行]

1. 使SDAn线下降（从High电平变为Low电平）。
2. 确保ICBRH寄存器所设时间的开始条件的保持时间。
3. 使SCLn线下降（从High电平变为Low电平）。
4. 在检测到SCLn线的Low电平后，确保ICBRL寄存器所设时间的SCLn线的Low电平宽度。

31.10.2 重新开始条件的发行

RIIC 通过 ICCR2.RS 位发行重新开始条件。

如果将 RS 位置“1”，就请求发行重新开始条件，RIIC 在 ICCR2.BBSY 标志为“1”（总线忙）并且 ICCR2.MST 位为“1”（主控模式）的状态下发行重新开始条件。

重新开始条件的发行步骤如下：

[重新开始条件的发行]

1. 释放SDAn线。
2. 确保ICBRL寄存器所设时间的SCLn线的Low电平宽度。
3. 释放SCLn线（从Low电平变为High电平）。
4. 在检测到SCLn线的High电平后，确保ICBRL寄存器所设时间的重新开始条件的准备时间。
5. 使SDAn线下降（从High电平变为Low电平）。
6. 确保ICBRH寄存器所设时间的重新开始条件的保持时间。
7. 使SCLn线下降（从High电平变为Low电平）。
8. 在检测到SCLn线的Low电平后，确保ICBRL寄存器所设时间的SCLn线的Low电平宽度。

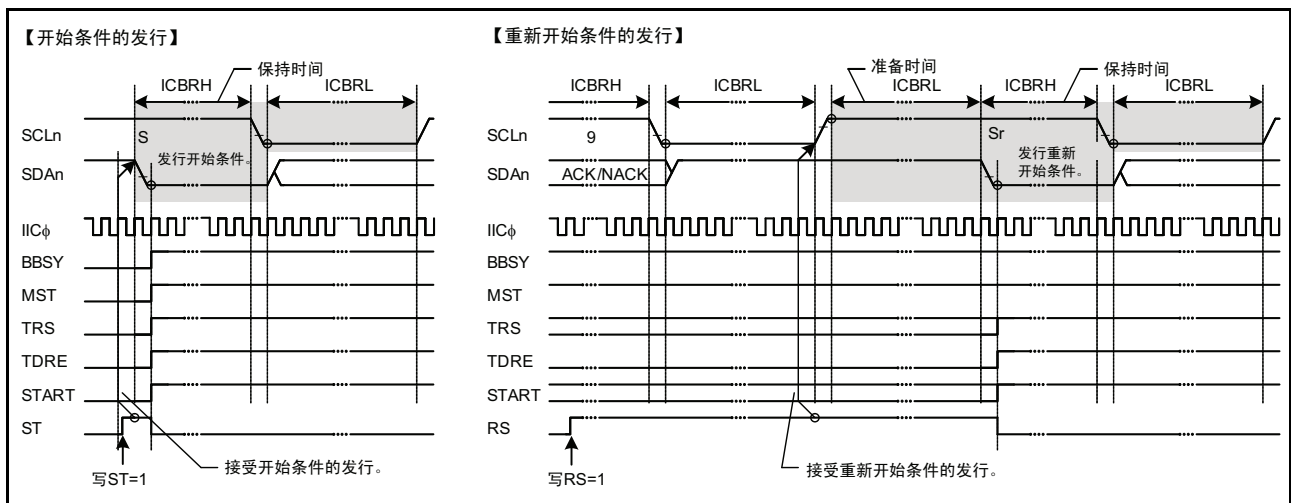


图 31.36 开始条件 / 重新开始条件的发行时序 (ST 位和 RS 位)

31.10.3 停止条件的发行

RIIC 通过 ICCR2.SP 位发行停止条件。

如果将 SP 位置“1”，就请求发行停止条件，RIIC 在 ICCR2.BBSY 标志为“1”（总线忙）并且 ICCR2.MST 位为“1”（主控模式）的状态下发行停止条件。

停止条件的发行步骤如下：

[停止条件的发行]

- 使 SDA_n 线下降（从 High 电平变为 Low 电平）
- 确保 ICBRL 寄存器所设时间的 SCL_n 线的 Low 电平宽度
- 释放 SCL_n 线（从 Low 电平变为 High 电平）
- 在检测到 SCL_n 线的 High 电平后，确保 ICBRH 寄存器所设时间的停止条件的准备时间
- 释放 SDA_n 线（从 Low 电平变为 High 电平）
- 确保 ICBRL 寄存器所设时间的总线空闲时间
- 清除 BBSY 标志（释放总线权）

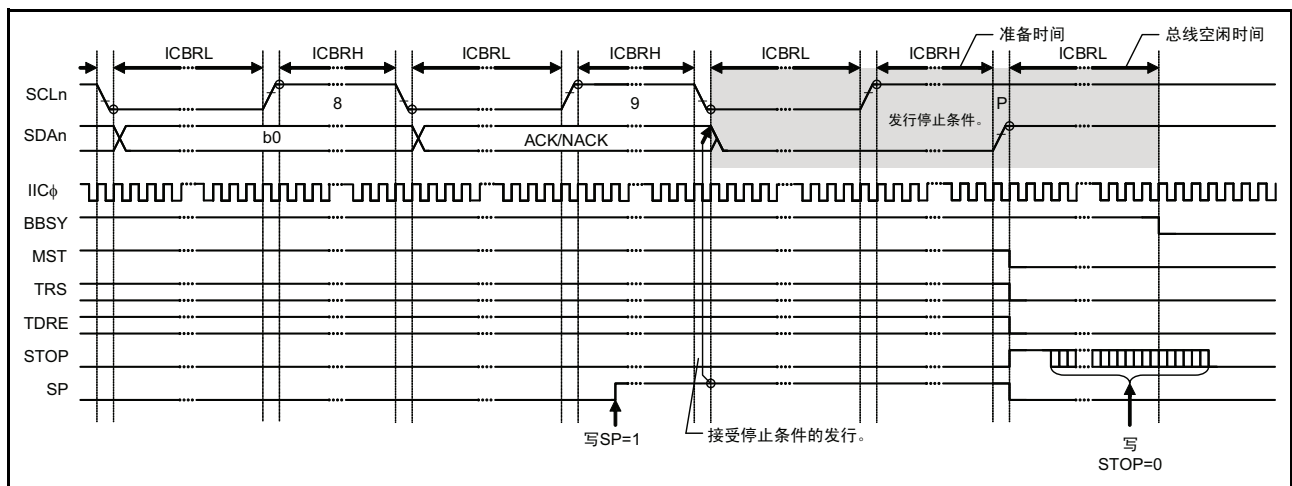


图 31.37 停止条件的发行时序 (SP 位)

31.11 总线意外停机

如果 I²C 总线主要因噪声等的影响而在主控设备和从属设备之间失去同步, 就可能在 SCLn 线和 SDA_n 线被固定的状态下发生总线意外停机。

对于总线意外停机的状态, RIIC 具有超时检测功能 (能通过监视 SCLn 线来检测总线意外停机状态)、SCL 时钟的追加输出功能 (用于解除因失去同步引起的总线意外停机状态) 和 RIIC/ 内部复位功能。

能通过 ICCR1.SCLO 位、ICCR1.SDAO 位、ICCR1.SCLI 位和 ICCR1.SDAI 位, 确认是 RIIC 自身给 SCLn 线 /SDAn 线输出了 Low 电平还是通信设备输出了 Low 电平。

31.11.1 超时检测功能

RIIC 具有超时检测功能, 检测 SCLn 线在一定时间后没有变化的状态。在总线忙的状态下, RIIC 能通过监视到 SCLn 线的 Low 电平或者 High 电平被固定了一定时间以上, 并且检测到总线的异常状态。

超时检测功能监视 SCLn 线的状态, 通过内部计数器对 Low 电平或者 High 电平的时间进行计数。如果 SCLn 线有变化 (上升 / 下降), 就对内部计数器进行复位, 否则就继续进行计数。如果在 SCLn 线没有变化的状态下内部计数器发生上溢, RIIC 就能检测到超时并且通知总线的异常状态。

超时检测功能在 ICFER.TMOE 位为 “1” 时有效, 在主控模式中总线忙时 (ICCR2.BBSY 标志为 “1” 的状态), 或者在从属模式中 BBSY 标志为 “1” 并且自己的从属地址匹配时 (ICSR1 寄存器 ≠ 00h), 能检测到 SCLn 线被固定为 Low 电平或者 High 电平的总线异常状态。

超时检测功能的内部计数器将 ICMR1.CKS[2:0] 位设定的内部基准时钟 (IICφ) 作为计数源, 在选择长模式时 (ICMR2.TMOS 位 = 0), 用作 16 位计数器; 在选择短模式时 (TMOS 位 = 1), 用作 14 位计数器。

对于内部计数器的计数, 能通过设定 ICMR2.TMOH 位和 ICMR2.TMOL 位选择是在 SCLn 线的 Low 电平还是在 High 电平的状态下进行计数, 或者在 Low 电平和 High 电平的状态下都进行计数器。如果将 ICMR2.TMOH 位和 ICMR2.TMOL 位都置 “0”, 就不进行内部计数。

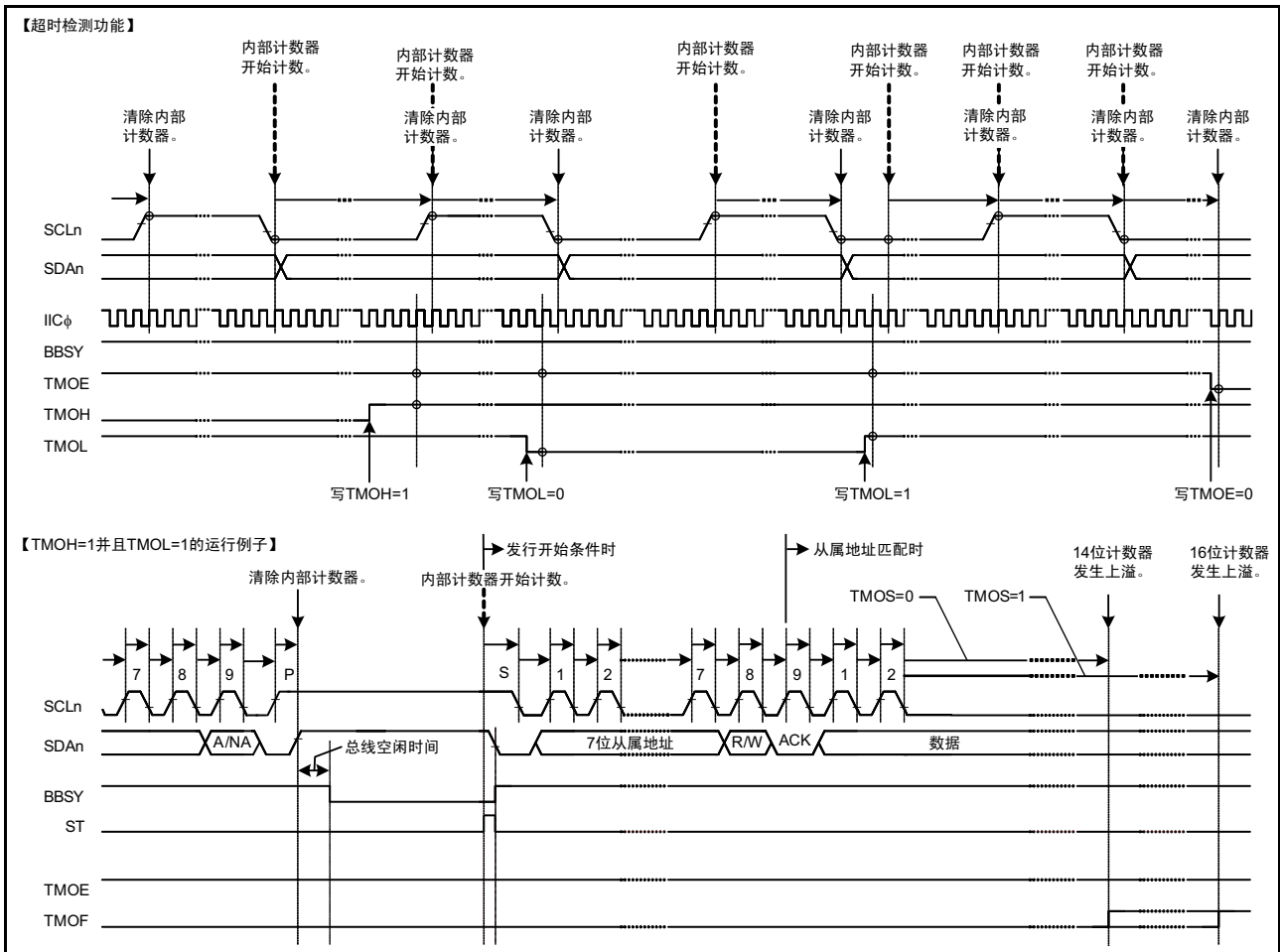


图 31.38 超时检测功能 (TMOE 位、TMOS 位、TMOH 位和 TMOL 位)

31.11.2 SCL 时钟追加输出功能

RIIC 具有 SCL 时钟的追加输出功能，在主控模式中用于释放因与从属设备失去同步而使从属设备的 SDA_n 线被固定为 Low 电平的状态。

SCL 时钟追加输出功能是以 1 个时钟为单位追加输出 SCL 时钟的功能，主要用于在从属设备在 SDA_n 线固定为 Low 电平的状态而无法发行停止条件时释放从属设备的 SDA_n 线的固定状态。一般情况下，不使用此功能。如果在正常的通信过程中使用此功能，就可能引起通信异常。

对于 SCL 时钟的追加输出，如果将 ICCR1.CLO 位置“1”，就将 ICMR1.CKS[2:0] 位、ICBRH 寄存器和 ICBRL 寄存器所设传送率的 SCL 时钟作为 1 个时钟的追加时钟进行输出。一旦输出完 1 个时钟的追加时钟，CLO 位就自动变为“0”。因此，能通过软件在确认 CLO 位为“0”后写“1”，连续输出追加时钟。

在从属设备中，因噪声等影响引起和从属设备失去同步，导致从属设备将 SDA_n 线固定为 Low 电平的状态而无法发行停止条件的总线异常。在这种情况下，RIIC 能通过使用 SCL 时钟追加输出功能逐个输出追加时钟，释放从属设备的 SDA_n 线 Low 电平的固定状态，恢复总线状态。能通过检查 ICCR1.SDAI 位，确认此从属设备的 SDA_n 线的释放。为了在确认从属设备的 SDA_n 线被释放后结束通信，必须重新发行停止条件。

在使用此功能时，必须将 ICFER.MALE 位置“0”（禁止主控仲裁失败检测）。必须注意：当 MALE 位为“1”（允许主控仲裁失败检测）时，在 ICCR1.SDAO 位的值与 SDA_n 线上的信号状态不同时会产生仲裁失败。

[ICCR1.CLO 位的输出条件]

- 在总线空闲状态（ICCR2.BBSY 标志=0）下或者在从属模式（ICCR2.MST 位或者 BBSY 标志为“1”的状态）中
- 通信设备没有保持 SCL_n 线的 Low 电平状态时

SCL 时钟追加输出功能（CLO 位）如图 31.39 所示。

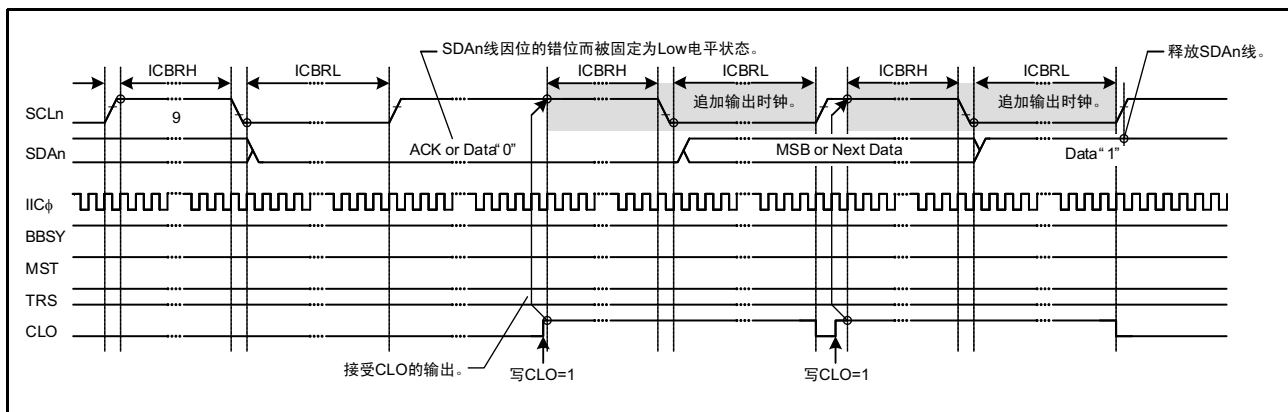


图 31.39 SCL 时钟追加输出功能（CLO 位）

31.11.3 RIIC/ 内部复位

RIIC 具有对 RIIC 模块进行复位的功能。有 2 种复位，1 种是对包括 ICCR2.BBSY 标志在内的全部寄存器进行初始化的 RIIC 复位，另一种是在保持各种设定值的状态下解除从属地址匹配状态以及对内部计数器进行初始化等的内部复位。

复位后，必须将 ICCR1.IICRST 位置“0”。

因为无论进行哪种复位都要解除 SCL_n 引脚 /SDA_n 引脚的输出状态而变为高阻抗状态，所以也能用于解除总线意外停机状态。

从属运行中的复位会引起与主控设备的不同步，因此尽量避免使用。必须注意：在 RIIC 复位（ICCR1.IICRST 位和 ICCR1.IICRST 位为“01b”）过程中不能监视开始条件等的总线状态。

有关 RIIC/ 内部复位的详细内容，请参照“31.14 复位状况”。

31.12 SMBus 运行

RIIC 能进行以 SMBus 规格 (Ver.2.0) 为基准的通信。在进行 SMBus 通信时, 必须将 ICMR3.SMBS 位置“1”。必须通过设定 ICMR1.CKS[2:0] 位、ICBRH 寄存器和 ICBRL 寄存器, 将传送率设定在 SMBus 规格的 10kbps ~ 100kbps 范围内, 通过设定 ICMR2.DLCS 位和 ICMR2.SDDL[2:0] 位的值, 使数据的保持时间符合 300ns (min) 的规格。在只将 RIIC 用作从属设备时, 不需要设定传送率, 但是 ICBRL 的设定值至少为数据准备时间 (250ns) 的值。

对于 SMBus 设备的默认地址 (1100 001b), 必须使用从属地址寄存器 L0 ~ L2 (SARL0、SARL1、SARL2) 中的任意 1 个, 并且必须将对应的 SARUy.FS 位 (y=0 ~ 2) (7 位 /10 位地址格式选择位) 置“0” (7 位地址格式)。

在发送 UDID (唯一设备标识符) 时, 必须将 ICFER.SALE 位置“1”, 使从属仲裁失败检测功能有效。

31.12.1 SMBus 超时测量

(1) 从属设备的超时测量

SMBus 通信的从属设备需要测量以下所示的区间 (超时间隔: $T_{\text{LOW:SEXT}}$)。

- 开始条件到停止条件的区间

在通过从属设备进行超时测量时, 使用 RIIC 的开始条件检测中断 (STI) 和停止条件检测中断 (SPI) 并且通过 MTU 或者 TMR 定时器, 测量从检测到开始条件到检测到停止条件的时间。此超时的测量时间必须在 SMBus 规格的时钟 Low 电平的累积时间 [从属设备] $T_{\text{LOW:SEXT}}$: 25ms (max) 以内。

如果通过 MTU 或者 TMR 测量的时间超过 SMBus 规格的时钟 Low 电平检测的超时 T_{TIMEOUT} : 25ms (min), 从属设备就需要释放总线。从属设备释放总线时, 必须给 ICCR1.IICRST 位写“1”, 进行 RIIC 的内部复位。一旦进行内部复位, RIIC 就能中止 SCLn 引脚 /SDAn 引脚的总线驱动, 并且将引脚置为高阻抗状态, 因此能释放总线。

(2) 主控设备的超时测量

SMBus 通信的主控设备需要测量以下所示的区间 (超时间隔: $T_{\text{LOW:MEXT}}$)。

- 开始条件到应答位的区间
- 应答位到下一个应答位的区间
- 应答位到停止条件的区间

在通过主控设备进行超时测量时, 使用 RIIC 的开始条件检测中断 (STI)、停止条件检测中断 (SPI) 以及发送结束中断 (ICTEI) 或者接收数据满中断 (ICRXI), 通过 MTU 或者 TMR 定时器测量各区间的时间。此超时的测量时间必须在 SMBus 规格的时钟 Low 电平的累积时间 [主控设备] $T_{\text{LOW:MEXT}}$: 10ms (max) 以内, 从开始条件到停止条件的全部 $T_{\text{LOW:MEXT}}$ 的累加结果必须在 $T_{\text{LOW:SEXT}}$: 25ms (max) 以内。

在主控发送模式中 (主控发送器), 需要通过 ICSR2.TEND 标志监视 ACK 接收时序 (SMBCLK 的第 9 个时钟的上升沿); 在主控接收模式中 (主控接收器), 需要通过 ICSR2.RDRF 标志监视 ACK 接收时序。因此, 在主控发送时, 进行 1 字节的发送; 在主控接收时, 必须在接收最后字节前将 ICMR3.RDRFS 位置“0”。当 RDRFS 位为“0”时, RDRF 标志在 SMBCLK 的第 9 个时钟的上升沿变为“1”。

如果通过 MTU 或者 TMR 测量的时间超过 SMBus 规格的时钟 Low 电平的累积时间 [主控设备] $T_{\text{LOW:MEXT}}$: 10ms (max), 或者各测量时间的累加结果超过 SMBus 规格的时钟 Low 电平检测的超时 T_{TIMEOUT} : 25ms (min), 主控设备就需要中止处理。在主控发送时, 必须立即中止发送 (写 ICDRT 寄存器)。通过发行停止条件中止主控设备的处理。

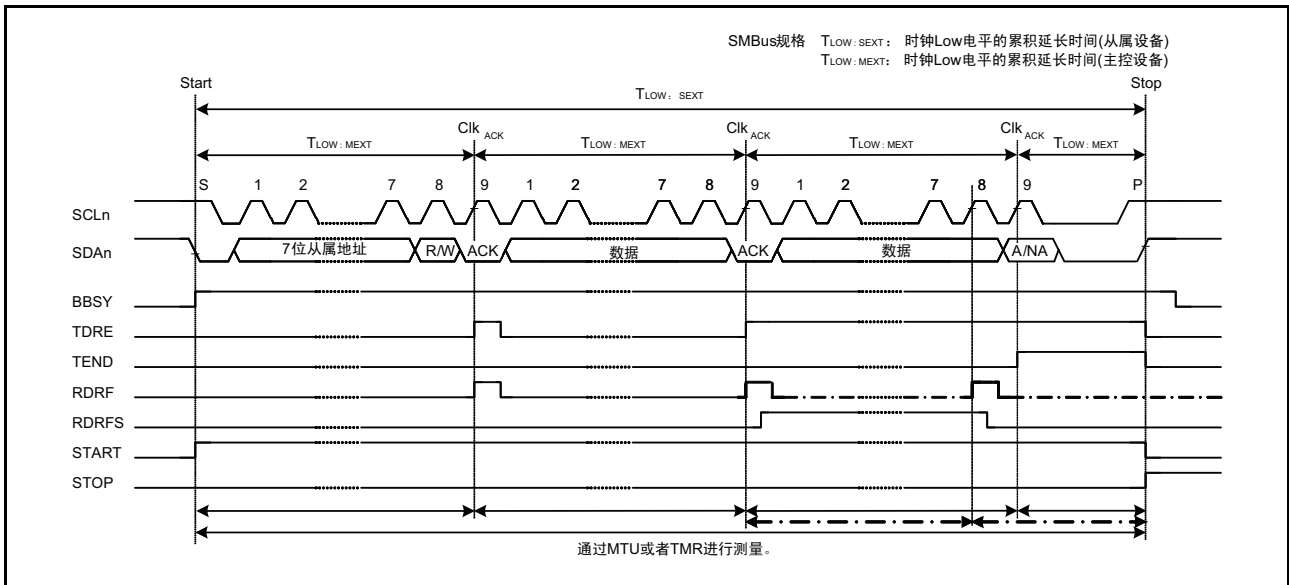


图 31.40 SMBus 超时测量

31.12.2 数据包错误码 (PEC)

RX62N 群和 RX621 群内置 CRC 运算器。在 RIIC 通信中，能利用 CRC 运算器，发送 SMBus 的数据包错误码 (PEC) 或者检查接收数据。有关 CRC 运算器的多项式，请参照“30. CRC 运算器 (CRC)”。

能通过给 CRC 运算器的 CRC 数据输入寄存器 (CRCDIR) 写全部的发送数据，生成主控发送 (主控发送器) 的 PEC 数据。

通过给 CRC 运算器的 CRCDIR 寄存器写全部的接收数据，得到 CRC 数据输出寄存器 (CRCDOR) 的值，然后将此值和接收的 PEC 数据进行比较，检查主控接收 (主控接收器) 的 REC 数据。

在检查 PEC 码的过程中接收最后的字节时，根据是否匹配发送 ACK 或者 NACK，就必须在接收最后字节的 SMBCLK 的第 8 个时钟上升前将 ICMR3.RDRFS 位置“1”，并且在第 8 个时钟的下降沿将 SCLn 线保持为 Low 电平。

31.12.3 SMBus 主机通知协议 /Notify ARP master

在 SMBus 中，从属设备能临时变为主控设备，将自己的自从属地址通知给 SMBus 主机 (或者 ARP 主控)，或者向 SMBus 主机 (或者 ARP 主控) 请求自己的从属地址。

将 RX62N 群和 RX621 群用作 SMBus 主机 (或者 ARP 主控) 时，需要将主从属设备发送的主机地址 (0001 000b) 作为从属地址进行检测，RIIC 具有此主机地址的检测功能。如果将主机地址作为从属地址进行检测，就必须将 ICMR3.SMBS 位和 ICSEH.HOAE 位置“1”。主机地址检测后的运行和普通的从属运行相同。

31.13 中断源

RIIC 的中断源有通信错误 / 事件的发生 (仲裁失败检测、NACK 检测、超时检测、开始条件检测、停止条件检测)、接收数据满、发送数据空、发送结束共 4 种。

中断一览表如表 31.7 所示。能根据接收数据满和发送数据空的中断请求, 在启动 DTC 或者 DMACA 后进行数据传送。

表 31.7 中断源

名称	中断源	中断标志	DTC 的启动	DMACA 的启动	优先级	中断条件
ICEEI 通信错误 / 事件的发生		AL	不能	不能	高 ↑	AL=1 并且 ALIE=1
		NACKF				NACKF=1 并且 NAKIE=1
		TMOF				TMOF=1 并且 TMOIE=1
		START				START=1 并且 STIE=1
		STOP				STOP=1 并且 SPIE=1
ICRXI	接收数据满	—	能	能	低 ↓	RDRF=1 并且 RIE=1
ICTXI	发送数据空	—	能	能		TDRE=1 并且 TIE=1
ICTEI	发送结束	TEND	不能	不能		TEND=1 并且 TEIE=1

必须在中断处理中清除或者屏蔽各自的标志。

【中断处理时的注意事项】

1. CPU 执行写外围模块的指令和实际写模块的时序有延时。如果清除或者屏蔽中断标志, 就必须重新读中断标志, 并且在确认清除或者写屏蔽位结束后从中断处理返回。如果不确认已写完模块而从中断处理返回, 就可能再次产生相同的中断。
2. 因为 ICTXI 中断为边沿中断, 所以不需要清除。通过给 ICDRT 寄存器写发送数据或者检测到停止条件 (ICSR2.STOP 标志 =1), 作为 ICTXI 中断条件的 ICSR2.TDRE 标志自动变为“0”。
3. 因为 ICRXI 中断为边沿中断, 所以不需要清除。通过读 ICDRR 寄存器, 作为 ICRXI 中断条件的 ICSR2.RDRF 标志自动变为“0”。
4. 在使用 ICTEI 中断时, 必须在 ICTEI 中断处理中清除 ICSR2.TEND 标志。通过给 ICDRT 寄存器写发送数据或者检测到停止条件 (ICSR2.STOP 标志 =1), ICSR2.TEND 标志自动变为“0”。

31.14 复位状况

RIIC 具有芯片复位、RIIC 复位和内部复位的复位功能，各种复位的范围和状况如表 31.8 所示。

表 31.8 复位状况

		芯片复位	RIIC 复位 (ICE 位 =0 并且 IICRST 位 =1)	内部复位 (ICE 位 =1 并且 IICRST 位 =1)	开始条件 / 重新开始 条件的检测	停止条件的检测	
ICCR1	ICE、 IICRST	复位	保持	保持	运行 (保持)	运行 (保持)	
	SCLO、 SDAO		复位	复位			
	其他			保持			
ICCR2	BBSY	复位	复位	运行	运行	运行	
	ST			复位	复位	运行 (保持)	
	其他					复位	
ICMR1	BC[2:0]	复位	复位	复位	复位	运行 (保持)	
	其他			保持	运行 (保持)		
ICMR2		复位	复位	保持	运行 (保持)	运行 (保持)	
ICMR3		复位	复位	保持	运行 (保持)	运行 (保持)	
ICFER		复位	复位	保持	运行 (保持)	运行 (保持)	
ICSER		复位	复位	保持	运行 (保持)	运行 (保持)	
ICIER		复位	复位	保持	运行 (保持)	运行 (保持)	
ICSR1		复位	复位	复位	运行 (保持)	复位	
ICSR2	TDRE、 TEND	复位	复位	复位	运行 (保持)	复位	
	START				运行		
	STOP				运行 (保持)		运行
	其他						运行 (保持)
SARL0、SARL1、 SARL2 SARU0、SARU1、 SARU2		复位	复位	保持	运行 (保持)	运行 (保持)	
ICBRH、ICBRL		复位	复位	保持	运行 (保持)	运行 (保持)	
ICDRT		复位	复位	保持	运行 (保持)	运行 (保持)	
ICDRR		复位	复位	保持	运行 (保持)	运行 (保持)	
ICDRS		复位	复位	复位	运行 (保持)	运行 (保持)	
超时检测功能		复位	复位	运行	运行	运行	
总线空闲时间的测量		复位	复位	运行	运行	运行	

31.15 使用时的注意事项

31.15.1 模块停止功能的设定

能通过模块停止控制寄存器 B (MSTPCRB) 转移到模块停止状态或者解除模块停止状态, 初始值为 RIIC 处于模块停止状态。能通过解除模块停止状态, 使 RIIC 的寄存器变为可存取的状态。

有关模块停止控制寄存器 B 的详细内容, 请参照“9. 低功耗功能”。

31.15.2 输入缓冲控制寄存器的设定

能通过输入缓冲控制寄存器 (PORTm.ICR) 设定外围模块输入的有效或者无效, 初始值为 RIIC 输入无效状态。

因为 I²C 总线的 SCL 线和 SDA 线是双向线, 所以 RIIC 的 SCLn 引脚和 SDA_n 引脚为输入 / 输出引脚。必须设定与 RIIC 的 SCLn 引脚和 SDA_n 引脚对应的 PORTm.ICR 寄存器的输入缓冲控制位, 并且将 RIIC 的输入设定为有效。当对应引脚的输入处于无效状态时, 不能进行开始条件 (包括重新开始条件) 和停止条件的检测以及 SCL 时钟的计数。

有关输入缓冲控制寄存器的详细内容, 请参照“17. I/O 端口”。

32. CAN 模块 (CAN)

32.1 概要

RX62N 群和 RX621 群内置 1 个通道的符合 ISO11898-1 标准的 CAN (Controller Area Network) 模块。CAN 模块能发送和接收标准 (11 位) Identifier (以下省略为 ID) 和扩展 (29 位) ID 这两种格式的信息。

CAN 模块的规格和框图如表 32.1 和图 32.1 所示。

必须外接 CAN 总线收发器。

注. 只有 R5F562NxBxxx 和 R5F5621xBxxx 内置 CAN 模块。
有关产品型号, 请参照表 1.3。

表 32.1 CAN 模块的规格 (1 / 2)

项目	概要
协议	<ul style="list-style-type: none"> 符合 ISO11898-1 标准 (标准帧 / 扩展帧)。
位速率	<ul style="list-style-type: none"> 最大能设定 1Mbps 的位速率 ($f_{CAN} \geq 8\text{MHz}$)。 f_{CAN}: CAN 时钟源
信息箱	<ul style="list-style-type: none"> 32 个信箱: 可选择 2 种信箱模式 普通信箱模式: 能将 32 个信箱设定为发件箱或者收件箱。 FIFO 信箱模式: 能将 24 个信箱设定为发件箱或者收件箱。 能将剩余信箱的 4 段 FIFO 用作发件箱, 另 4 段 FIFO 用作收件箱。
接收	<ul style="list-style-type: none"> 能接收数据帧和远程帧。 可选择要接收的 ID 格式 (标准 ID 或者扩展 ID, 或者标准 ID 和扩展 ID)。 可选择单次接收功能。 可选择重写模式 (重写信息) 或者溢出模式 (放弃信息)。 能分别将各信箱设定为允许或者禁止接收结束中断。
验收滤波器	<ul style="list-style-type: none"> 8 个验收屏蔽 (每 4 个信箱有一个独立的屏蔽) 能分别给各信箱设定屏蔽的有效或者无效。
发送	<ul style="list-style-type: none"> 能发送数据帧和远程帧。 可选择要发送的 ID 格式 (标准 ID 或者扩展 ID, 或者标准 ID 和扩展 ID)。 可选择单次发送功能。 可选择 ID 优先发送模式或者信箱号优先发送模式。 能中止发送请求 (能通过标志确认中止结束)。 能分别给各信箱设定允许或者禁止发送结束中断。
总线断开恢复方法	<ul style="list-style-type: none"> 可选择从总线断开状态恢复的方法。 符合 ISO11898-1 规格。 在总线断开开始时自动转移到 CAN Halt 模式。 在总线断开结束时自动转移到 CAN Halt 模式。 通过程序转移到 CAN Halt 模式。 通过程序转移到错误主动状态。
错误状态的监视	<ul style="list-style-type: none"> 能监视 CAN 总线错误 (填充错误、格式错误、ACK 错误、CRC 错误、位错误、ACK 定界符错误)。 能检测到错误状态的转移 (错误警告、错误被动、总线断开开始、总线断开返回) 能读错误计数器。
时戳功能	<ul style="list-style-type: none"> 16 位计数器的时戳功能 基准时钟可选择 1 位、2 位、4 位或者 8 位时间。
中断功能	<ul style="list-style-type: none"> 5 种中断源 (接收结束中断、发送结束中断、接收 FIFO 中断、发送 FIFO 中断、错误中断)
CAN 睡眠模式	<ul style="list-style-type: none"> 能通过停止 CAN 时钟, 减少消耗电流。

表 32.1 CAN 模块的规格 (2 / 2)

项目	概要
软件支持单元	<ul style="list-style-type: none"> • 3 个软件支持单元 支持验收滤波器。 支持信箱的搜索 (收件箱的搜索、发件箱的搜索、信息丢失的搜索)。 支持通道的搜索。
CAN 时钟源	外围模块时钟 (PCLK)
测试模式	<ul style="list-style-type: none"> • 用户评价有 3 个测试模式: 只听模式 自测试模式 0 (外部环回) 自测试模式 1 (内部环回)

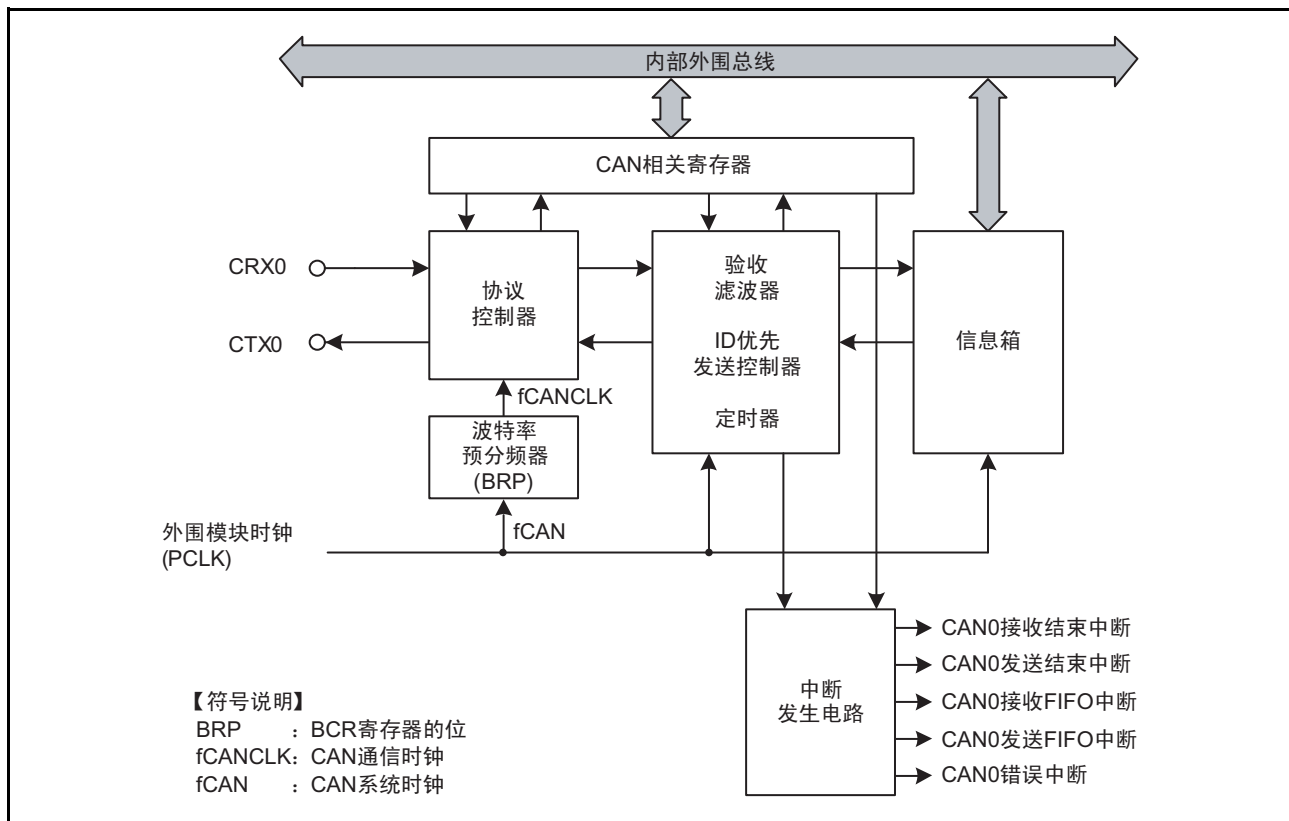


图 32.1 CAN 模块的框图

- CRX0、CTX0
这是CAN的输入/输出引脚。
- 协议控制器
进行总线仲裁以及发送/接收时的位时序、填充处理、错误处理等CAN协议处理。
- 信箱
由能用作发件箱或者收件箱的32个信箱构成，有固有的ID、数据长度代码、8字节的数据字段和时戳。
- 验收滤波器
对接收信息进行过滤处理。使用MKR0~7寄存器进行过滤处理。
- 定时器
用于时戳功能。在将信息保存到信箱时，将定时器的值作为时戳值进行写操作。

- 中断发生电路
能产生以下5种中断请求：
CAN0接收结束中断
CAN0发送结束中断
CAN0接收FIFO中断
CAN0发送FIFO中断
CAN0错误中断

CAN 模块使用的引脚如表 32.2 所示。

和其他功能多路复用的引脚需要进行引脚转换，详细内容请参照“17. I/O 端口”。

表 32.2 CAN 模块的引脚结构

引脚名	输入/输出	功能
CRX0	输入	数据接收引脚
CTX0	输出	数据发送引脚

32.2 寄存器说明

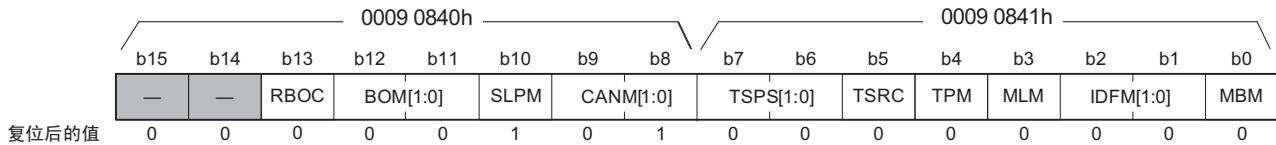
CAN 模块的寄存器结构如表 32.3 所示。

表 32.3 CAN 模块的寄存器结构

通道	寄存器名	寄存器符号	复位后的值	地址	存取长度
CAN0	控制寄存器	CTLR	0500h	0009 0840h	8、16
	位配置寄存器	BCR	0000 0000h	0009 0844h	8、16、32
	屏蔽寄存器 0	MKR0	不定值	0009 0400h	8、16、32
	屏蔽寄存器 1	MKR1	不定值	0009 0404h	8、16、32
	屏蔽寄存器 2	MKR2	不定值	0009 0408h	8、16、32
	屏蔽寄存器 3	MKR3	不定值	0009 040Ch	8、16、32
	屏蔽寄存器 4	MKR4	不定值	0009 0410h	8、16、32
	屏蔽寄存器 5	MKR5	不定值	0009 0414h	8、16、32
	屏蔽寄存器 6	MKR6	不定值	0009 0418h	8、16、32
	屏蔽寄存器 7	MKR7	不定值	0009 041Ch	8、16、32
	FIFO 接收 ID 比较寄存器 0	FIDCR0	不定值	0009 0420h	8、16、32
	FIFO 接收 ID 比较寄存器 1	FIDCR1	不定值	0009 0424h	8、16、32
	屏蔽无效寄存器	MKIVLR	不定值	0009 0428h	8、16、32
	信箱寄存器 0 ~ 31	MB0 ~ 31	不定值	0009 0200h ~ 0009 03FFh	8、16、32
	信箱中断允许寄存器	MIER	不定值	0009 042Ch	8、16、32
	信息控制寄存器 0 ~ 31	MCTL0 ~ 31	00h	0009 0820h ~ 0009 083Fh	8
	接收 FIFO 控制寄存器	RFCR	80h	0009 0848h	8
	接收 FIFO 指针控制寄存器	RFPCR	不定值	0009 0849h	8
	发送 FIFO 控制寄存器	TFCR	80h	0009 084Ah	8
	发送 FIFO 指针控制寄存器	TFPCR	不定值	0009 084Bh	8
	状态寄存器	STR	0500h	0009 0842h	8、16
	信箱搜索模式寄存器	MSMR	00h	0009 0853h	8
	信箱搜索状态寄存器	MSSR	80h	0009 0852h	8
	通道搜索支持寄存器	CSSR	不定值	0009 0851h	8
	验收滤波器支持寄存器	AFSR	不定值	0009 0856h	8、16
	错误中断允许寄存器	EIER	00h	0009 084Ch	8
	错误中断源判断寄存器	EIFR	00h	0009 084Dh	8
	接收错误计数寄存器	RECR	00h	0009 084Eh	8
	发送错误计数寄存器	TECR	00h	0009 084Fh	8
	错误代码保存寄存器	ECSR	00h	0009 0850h	8
	时戳寄存器	TSR	0000h	0009 0854h	8、16
	测试控制寄存器	TCR	00h	0009 0858h	8

32.2.1 控制寄存器 (CTLR)

地址 0009 0840h



位	符号	位名	功能	R/W
b0	MBM	发件箱 / 收件箱模式选择位 (注1)	0: 普通信箱模式 1: FIFO 信箱模式	R/W
b2-b1	IDFM[1:0]	ID 格式模式位 (注1)	b2 b1 0 0: 标准 ID 模式 全部信箱 (包含 FIFO 信箱) 只支持标准 ID。 0 1: 扩展 ID 模式 全部信箱 (包含 FIFO 信箱) 只支持扩展 ID。 1 0: 混合 ID 模式 全部信箱 (包含 FIFO 信箱) 支持标准 ID 和扩展 ID。在普通信箱模式中, 通过对应信箱的 IDE 位指定标准 ID 和扩展 ID; 在 FIFO 信箱模式中, 通过对应信箱的 IDE 位指定信箱 [0] ~ [23]; 通过 FIDCR0 寄存器和 FIDCR1 寄存器的 IDE 位指定接收 FIFO; 通过信箱 [24] 的 IDE 位指定发送 FIFO。 1 1: 不能设定	R/W
b3	MLM	信息丢失模式选择位 (注2)	0: 重写模式 1: 溢出模式	R/W
b4	TPM	发送优先级模式选择位 (注2)	0: ID 优先发送模式 1: 信箱号优先发送模式	R/W
b5	TSRC	时戳计数器复位的位 (注4)	0: 不进行复位 1: 进行复位 (注3)	R/W
b7-b6	TSPS[1:0]	时戳预分频器选择位 (注1)	b7 b6 0 0: 每 1 位时间 0 1: 每 2 位时间 1 0: 每 4 位时间 1 1: 每 8 位时间	R/W
b9-b8	CANM[1:0]	CAN 运行模式选择位 (注5)	b9 b8 0 0: CAN 操作模式 0 1: CAN 复位模式 1 0: CAN Halt 模式 1 1: CAN 复位模式 (强制转移)	R/W
b10	SLPM	CAN 睡眠模式位 (注5、注6)	0: 不是 CAN 睡眠模式 1: CAN 睡眠模式	R/W
b12-b11	BOM[1:0]	总线断开恢复模式选择位 (注1)	b12 b11 0 0: 正常模式 (符合 ISO11898-1 规格) 0 1: 在总线断开开始时自动转移到 CAN Halt 模式 1 0: 在总线断开结束时自动转移到 CAN Halt 模式 1 1: 通过程序的请求转移到 CAN Halt 模式 (在总线断开恢复期间中)	R/W
b13	RBOC	总线断开强制恢复位 (注2)	0: 不进行任何操作 1: 强制从总线断开状态恢复 (注3)	R/W
b15-b14	—	保留位	读写值都为“0”。	R/W

注 1. 必须在 CAN 复位模式中更改 BOM[1:0]、TSPS[1:0]、TPM、MLM、IDFM[1:0] 和 MBM 位。

注 2. 在总线断开状态下, 必须将 RBOC 位置“1”。

注 3. 在置“1”后自动变为“0”, 读取值为“0”。

注 4. 在 CAN 操作模式中, 必须将 TSRC 位置“1”。

注 5. 如果更改 CANM[1:0] 位和 SLPM 位, 就必须通过 STR 寄存器确认模式是否已被转换。在模式被转换前, 不能更改 CANM[1:0] 位和 SLPM 位。

注 6. 必须在 CAN 复位模式或者 CAN Halt 模式中更改 SLPM 位。要改写 SLPM 位时, 只能将此位置“0”或者“1”。

MBM 位 (发件箱 / 收件箱模式选择位)

当 MBM 位为“0” (普通信箱模式) 时, 将信箱 [0] ~ [31] 设定为发件箱或者收件箱。

当 MBM 位为“1” (FIFO 信箱模式) 时, 将信箱 [0] ~ [23] 设定为发件箱或者收件箱, 将信箱 [24] ~ [27] 设定为发送 FIFO, 将信箱 [28] ~ [31] 设定为接收 FIFO。

将发送数据写到信箱 [24] (信箱 [24] 为发送 FIFO 的窗口信箱), 从信箱 [28] 读接收数据 (信箱 [28] 为接收 FIFO 的窗口信箱)。

信箱的设定如表 32.4 所示。

IDFM[1:0] 位 (ID 格式模式位)

IDFM[1:0] 位决定 ID 格式。

MLM 位 (信息丢失模式选择位)

此位指定将新信息取到未读信箱时的运行。能选择重写模式或者溢出模式。全部信箱 (包含接收 FIFO) 可选择重写模式或者溢出模式。

当 MLM 位为“0”时, 全部信箱为重写模式, 新信息覆盖信箱里的旧信息。

当 MLM 位为“1”时, 全部信箱为溢出模式, 放弃新信息。

TPM 位 (发送优先级模式选择位)

此位指定发送信息的优先级模式。

TPM 位可选择 ID 优先模式或者信箱号优先模式。全部信箱为 ID 优先发送或者信箱号优先发送。

当 TPM 位为“0”时, 信箱为 ID 优先发送模式, 发送优先级以 CAN 总线仲裁规则 (ISO11898-1 规格) 为基准。在 ID 优先发送模式的情况下, 在普通信箱模式中, 将信箱 [0] ~ [31] ID 和发送 FIFO 的发件箱 ID 进行比较; 在 FIFO 信箱模式中, 将信箱 [0] ~ [23] ID 和发送 FIFO 的发件箱 ID 进行比较。当 2 个或者 2 个以上的信箱 ID 相同时, 信箱号小的信箱优先。

只有发送 FIFO 内预定发送的信息为发送仲裁对象。在发送 FIFO 信息的发送过程中, 发送 FIFO 内的下一个待机信息为发送仲裁对象。

当 TPM 位为“1”时, 为信箱号优先发送模式, 发件箱中信箱号最小的信箱优先。在 FIFO 信箱模式中, 发送 FIFO 的优先级低于普通信箱 (信箱 [0] ~ [23])。

TSRC 位 (时戳计数器复位的位)

如果将 TSR 位置“1”, TSR 寄存器就变为“0000h”, 然后此位自动变为“0”。

TSPS[1:0] 位 (时戳预分频器选择位)

这些位选择时戳预分频器。时戳的基准时钟能选择 1 位、2 位、4 位或者 8 位时间。

CANM[1:0] 位 (CAN 运行模式选择位)

CANM[1:0] 位选择 CAN 模块的模式 (CAN 操作模式、CAN 复位模式和 CAN Halt 模式)。通过 SLPM 位设定 CAN 睡眠模式, 详细内容请参照“32.3 运行模式”。

如果通过设定 BOM[1:0] 位转移到 CAN Halt 模式, CANM[1:0] 位就自动变为“10b”。

SLPM 位 (CAN 睡眠模式位)

如果将 SLPM 位置“1”, CAN 模块就变为 CAN 睡眠模式; 如果将 SLPM 位置“0”, 就解除 CAN 睡眠模式。详细内容请参照“32.3 运行模式”。

BOM[1:0] 位 (总线断开返回模式选择位)

BOM[1:0] 位用于选择 CAN 模块的总线断开返回模式。

当 BOM[1:0] 位为“00b”时，总线断开的恢复符合 ISO11898-1 标准。即，在对 11 个连续的隐性位进行了 128 次的检测后，CAN 模块再次进行 CAN 通信（错误主动状态）。在从总线断开状态恢复时，产生总线断开恢复中断请求。

当 BOM[1:0] 位为“01b”时，一旦 CAN 模块进入总线断开状态，就转移到 CAN Halt 模式，并且 CTRL 寄存器的 CANM[1:0] 位变为“10b”（CAN Halt 模式）。在从总线断开状态恢复时，不产生总线断开恢复中断请求，但是 TECR 寄存器和 RECR 寄存器变为“00h”。

当 BOM[1:0] 位为“10b”时，一旦 CAN 模块进入总线断开状态，CANM[1:0] 位就变为“10b”。在从总线断开状态恢复（对 11 个连续的隐性位进行了 128 次的检测）后，转移到 CAN Halt 模式。在从总线断开状态恢复时，产生总线断开恢复中断请求，并且 TECR 寄存器和 RECR 寄存器变为“00h”。

当 BOM[1:0] 位为“11b”时，如果在 CAN 模块还没有进入总线断开状态时将 CANM[1:0] 位置“10b”，就进入 CAN Halt 模式。在从总线断开状态恢复时，不产生总线断开恢复中断请求而 TECR 寄存器和 RECR 寄存器变为“00h”。但是，如果在将 CANM[1:0] 位置“10b”前对 11 个连续的隐性位进行了 128 次的检测，然后从总线断开状态恢复，就产生总线断开恢复中断请求。

如果在 CAN 模块转移到 CAN Halt 模式的同时（当 BOM[1:0] 位为“01b”时，总线断开开始；当 BOM[1:0] 位为“10b”时，总线断开结束）CPU 请求向 CAN 复位模式的转移，就优先 CPU 的请求。

RBOC 位 (总线断开强制恢复位)

如果在总线断开状态下将 RBOC 位置“1”（强制从总线断开恢复），就强制从总线断开状态恢复。此后，此位自动变为“0”，错误状态从总线断开状态变为错误主动状态。如果将 RBOC 位置“1”，RECR 寄存器和 TECR 寄存器就变为“00h”，STR 寄存器的 BOST 位变为“0”（CAN 模块不是总线断开状态）。即使将 RBOC 位置“1”，其他寄存器也不变。在从总线断开状态恢复时，不产生总线断开恢复中断请求。只有在 BOM[1:0] 位为“00b”（正常模式）时，才能使用 RBOC 位。

表 32.4 信箱的设定

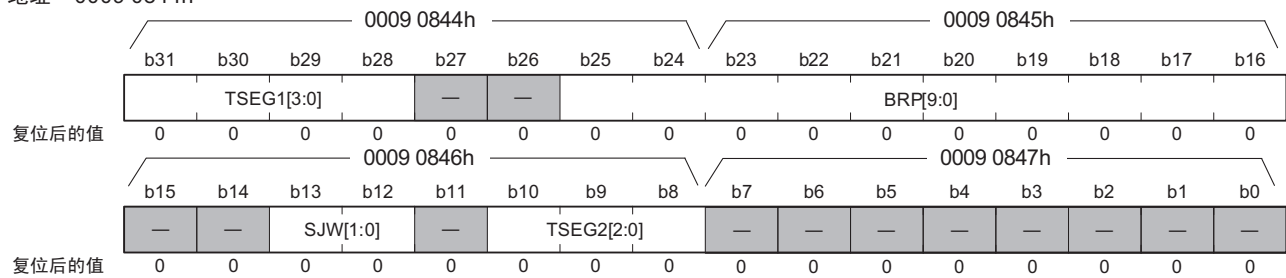
信箱	MBM 位 =0 (普通信箱模式)	MBM 位 =1 (FIFO 信箱模式)
信箱 [0] ~ [23]	普通信箱	普通信箱
信箱 [24] ~ [27]		发送 FIFO
信箱 [28] ~ [31]		接收 FIFO

注. 在 CTRL.MBM 位为“1”时，必须注意以下 1. ~ 5. 的事项：

1. 通过 TFCR 寄存器控制发送 FIFO，信箱 [24] ~ [27] 的 MCTLj (j=0 ~ 31) 寄存器无效。
MCTL24 ~ MCTL27 寄存器不能用于发送 FIFO。
2. 通过 RFCR 寄存器控制接收 FIFO，信箱 [28] ~ [31] 的 MCTLj (j=0 ~ 31) 寄存器无效。
MCTL28 ~ MCTL31 寄存器不能用于接收 FIFO。
3. 有关 FIFO 中断，请参照 MIER 寄存器。
4. MKIVLR 寄存器的信箱 [24] ~ [31] 的对应位无效。必须将这些位置“0”。
5. 发送/接收 FIFO 能使用数据帧和远程帧。

32.2.2 位配置寄存器 (BCR)

地址 0009 0844h



位	符号	位名	功能	R/W
b7-b0	—	保留位	读写值都为“0”。	R/W
b10-b8	TSEG2[2:0]	时间段 2 控制位	b10 b8 0 0 0: (不能设定) 0 0 1: 2Tq 0 1 0: 3Tq 0 1 1: 4Tq 1 0 0: 5Tq 1 0 1: 6Tq 1 1 0: 7Tq 1 1 1: 8Tq	R/W
b11	—	保留位	读写值都为“0”。	R/W
b13-b12	SJW[1:0]	再同步转移宽度控制位	b13 b12 0 0: 1Tq 0 1: 2Tq 1 0: 3Tq 1 1: 4Tq	R/W
b15-b14	—	保留位	读写值都为“0”。	R/W
b25-b16	BRP[9:0]	预分频器分频比选择位	设定 CAN 通信时钟 (fCANCLK) 的频率。	R/W
b26	—	保留位	读写值都为“0”。	R/W
b27	—	保留位	读写值都为“0”。	R/W
b31-28	TSEG1[3:0]	时间段 1 控制位	b31 b28 0 0 0 0: 不能设定 0 0 0 1: 不能设定 0 0 1 0: 不能设定 0 0 1 1: 4Tq 0 1 0 0: 5Tq 0 1 0 1: 6Tq 0 1 1 0: 7Tq 0 1 1 1: 8Tq 1 0 0 0: 9Tq 1 0 0 1: 10Tq 1 0 1 0: 11Tq 1 0 1 1: 12Tq 1 1 0 0: 13Tq 1 1 0 1: 14Tq 1 1 1 0: 15Tq 1 1 1 1: 16Tq	R/W

【符号说明】 Tq: Time Quantum

BCR 寄存器用 T_q 值指定段的长度。

有关位时序的设定，请参照“32.4 CAN 通信速度的设定”。

必须在从 CAN 复位模式转移到 CAN Halt 模式或者 CAN 操作模式前设定 BCR 寄存器。一旦设定，就能在 CAN 复位模式或者 CAN Halt 模式中进行更改。

BCR 寄存器为 24 位。必须注意：在进行 32 位存取时，不能改写 $b_0 \sim b_7$ 。

TSEG2[2:0] 位 (时间段 2 控制位)

这些位用 T_q 值指定阶段缓冲段 2 (PHASE_SEG2) 的长度，能设定 $2 \sim 8T_q$ 的值。必须设定小于 TSEG1[3:0] 位的值。

SJW[1:0] 位 (再同步转移宽度控制位)

这些位用 T_q 值指定再同步转移宽度 (Resynchronization Jump Width)，能设定 $1 \sim 4T_q$ 的值。必须设定不超过 TSEG2[2:0] 位的值。

BRP[9:0] 位 (预分频器分频比选择位)

这些位设定 CAN 通信时钟 (fCANCLK) 的频率。fCANCLK 的周期为 $1T_q$ ，假设设定值为 P ($0 \sim 1023$)，波特率预分频器就对 fCAN 进行 P+1 分频。

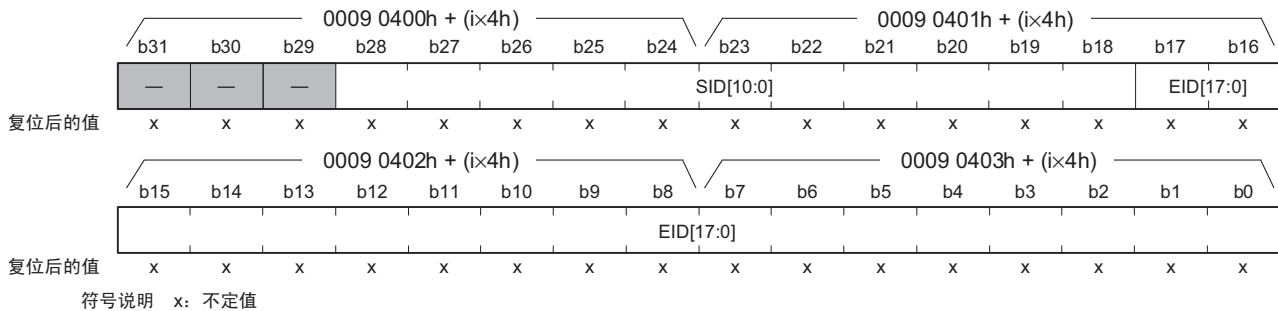
TSEG1[3:0] 位 (时间段 1 控制位)

这些位用 Time Quantum (T_q) 值指定传输时间段 (PROP_SEG) 和阶段缓冲段 1 (PHASE_SEG1) 的总长度。

能设定 $4 \sim 16T_q$ 的值。

32.2.3 屏蔽寄存器 i (MKRi) (i=0 ~ 7)

地址 0009 0400h~0009 041Ch



位	符号	位名	功能	R/W
b17-b0	EID[17:0]	扩展 ID 位	0: 不比较对应的 EID[17:0] 位 1: 比较对应的 EID[17:0] 位	R/W
b28-b18	SID[10:0]	标准 ID 位	0: 不比较对应的 SID[10:0] 位 1: 比较对应的 SID[10:0] 位	R/W
b31-b29	—	保留位	读取值为不定值, 只能写“0”。	R/W

有关 FIFO 信箱模式中的屏蔽功能, 请参照“32.6 验收过滤功能和屏蔽功能”。
必须在 CAN 复位模式或者 CAN Halt 模式中更改 MKR0 ~ MKR7 寄存器。

EID[17:0] 位 (扩展 ID 位)

EID[17:0] 位是对应 CAN 扩展 ID 位的过滤屏蔽位。

在接收扩展 ID 的信息时使用这些位。

当 EID[17:0] 位为“0”时, 对应的 EID[17:0] 位不将接收的 ID 和信箱 ID 进行比较。

当 EID[17:0] 位为“1”时, 对应的 EID[17:0] 位将接收的 ID 和信箱 ID 进行比较。

SID[10:0] 位 (标准 ID 位)

SID[10:0] 位是对应 CAN 标准 ID 位的过滤屏蔽位。

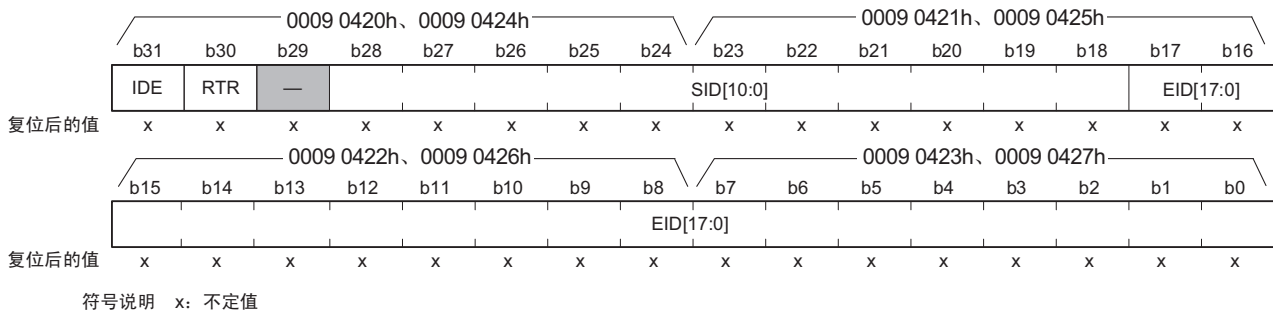
在接收标准 ID 和扩展 ID 的信息时使用这些位。

当 SID[10:0] 位为“0”时, 对应的 SID[10:0] 位不将接收的 ID 和信箱 ID 进行比较。

当 SID[10:0] 位为“1”时, 对应的 SID[10:0] 位将接收的 ID 和信箱 ID 进行比较。

32.2.4 FIFO 接收 ID 比较寄存器 0、1 (FIDCR0、FIDCR1)

地址 FIDCR0 0009 0420h
FIDCR1 0009 0424h



位	符号	位名	功能	R/W
b17-b0	EID[17:0]	扩展 ID 位	0: 对应的 EID[17:0] 位为“0” 1: 对应的 EID[17:0] 位为“1”	R/W
b28-b18	SID[10:0]	标准 ID 位	0: 对应的 SID[10:0] 位为“0” 1: 对应的 SID[10:0] 位为“1”	R/W
b29	—	保留位	读取值为不定值，只能写“0”。	R/W
b30	RTR	远程发送请求位	0: 数据帧 1: 远程帧	R/W
b31	IDE	ID 扩展位 (注 1)	0: 标准 ID 1: 扩展 ID	R/W

注 1. 在 IDFM[1:0] 位不是“10b”时，必须给 IDE 位写“0”。读取值为“0”。

在 CTRL 寄存器的 MBM 位为“1” (FIFO 信箱模式) 时，FIDCR0 寄存器和 FIDCR1 寄存器有效，MB28 ~ MB31 寄存器的 EID[17:0]、SID[10:0]、RTR 和 IDE 位无效。

有关 FIDCR0 寄存器和 FIDCR1 寄存器的使用方法，请参照“32.6 验收过滤功能和屏蔽功能”。
必须在 CAN 复位模式或者 CAN Halt 模式中更改 FIDCR0 寄存器和 FIDCR1 寄存器。

EID[17:0] 位 (扩展 ID 位)

EID[17:0] 位设定数据帧和远程帧的扩展 ID。
在接收扩展 ID 的信息时使用这些位。

SID[10:0] 位 (标准 ID 位)

SID[10:0] 位设定数据帧和远程帧的标准 ID。
在接收标准 ID 和扩展 ID 的信息时使用这些位。

RTR 位 (远程发送请求位)

RTR 位设定被指定为数据帧或者远程帧的帧格式。

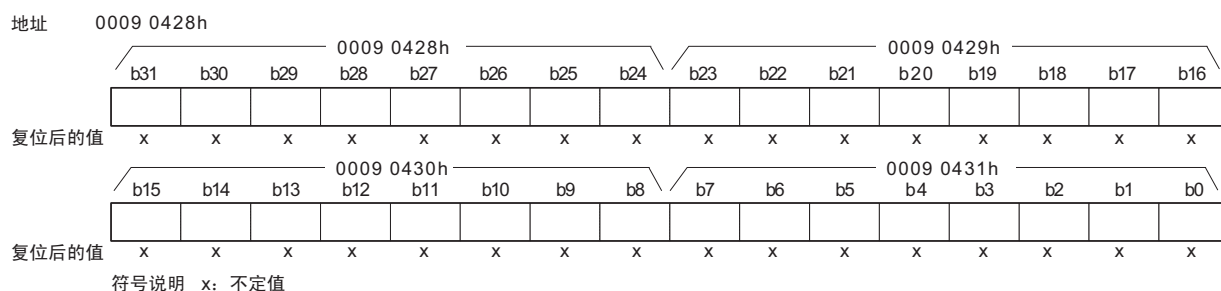
- 当 FIDCR0 寄存器和 FIDCR1 寄存器的 RTR 位都为“0”时，只能接收数据帧。
- 当 FIDCR0 寄存器和 FIDCR1 寄存器的 RTR 位都为“1”时，只能接收远程帧。
- 当 FIDCR0 寄存器的 RTR 位为“0”而 FIDCR1 寄存器的 RTR 位为“1”时，或者 FIDCR0 寄存器的 RTR 位为“1”而 FIDCR1 寄存器的 RTR 位为“0”时，能接收数据帧和远程帧。

IDE 位 (ID 扩展位)

IDE 位是设定被指定为标准 ID 或者扩展 ID 的 ID 格式。在 CTLR 寄存器的 IDFM[1:0] 位为“10” (混合 ID 模式) 时, IDE 位有效。

- 当 FIDCR0 寄存器和 FIDCR1 寄存器的 IDE 位都为“0”时, 只能接收标准 ID 帧。
- 当 FIDCR0 寄存器和 FIDCR1 寄存器的 IDE 位都为“1”时, 只能接收扩展 ID 帧。
- 当 FIDCR0 寄存器的 IDE 位为“0”而 FIDCR1 寄存器的 IDE 位为“1”时, 或者 FIDCR0 寄存器的 IDE 位为“1”而 FIDCR1 寄存器的 IDE 位为“0”时, 能接收标准 ID 帧和扩展 ID 帧。

32.2.5 屏蔽无效寄存器 (MKIVLR)



位	符号	位名	功能	R/W
b31-b0	—	—	0: 屏蔽有效 1: 屏蔽无效	R/W

MKIVLR 寄存器包含各信箱的对应位。

各位的对应如下所示:

MKIVLR 寄存器的 bit0 对应信箱 0, bit31 对应信箱 31 (注 1)。

当该位为“1”时, 对于对应的信箱, 该验收屏蔽寄存器无效。如果将屏蔽无效位置“1”, 就只在接收信息的 ID 和信箱 ID 完全相同时对应的信箱接收信息。

必须在 CAN 复位模式或者 CAN Halt 模式中更改 MKIVLR 寄存器。

注 1. 在 FIFO 信箱模式中, 必须将 bit31 ~ bit24 置“0”。

32.2.6 信箱寄存器 j (MBj) (j=0 ~ 31)

信箱的存储器分配和 CAN 数据帧的结构分别如表 32.5 和表 32.6 所示。

信箱复位后的值为不定值。

只有在相关的 MCTLj 寄存器 (j=0 ~ 31) 为“00h”并且不在进行中止处理时, 才能更改 MBj 寄存器的设定。

有关寄存器地址的详细内容, 请参照表 32.5。

表 32.5 信箱的存储器分配

地址	寄存器符号	信息内容
CAN0	CAN0	存储器分配
0009 0200h+16×j+0	MB.ID	IDE、RTR、SID10 ~ SID6
0009 0200h+16×j+1		SID5 ~ SID0、EID17、EID16
0009 0200h+16×j+2		EID15 ~ EID8
0009 0200h+16×j+3		EID7 ~ EID0
0009 0200h+16×j+4	MB.DLC	—
0009 0200h+16×j+5		数据长度代码 (DLC[3:0])
0009 0200h+16×j+6	MB.DATA0 ~ 7	数据字节 0
0009 0200h+16×j+7		数据字节 1
:		:
0009 0200h+16×j+13		数据字节 7
0009 0200h+16×j+14	MB.TS	时戳高位字节
0009 0200h+16×j+15		时戳低位字节

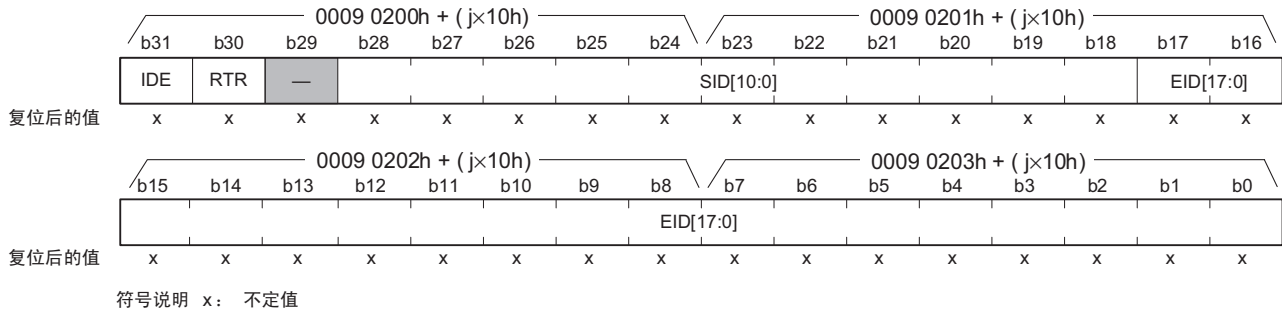
表 32.6 CAN 数据帧的结构

SID10 ~ SID6	SID5 ~ SID0	EID17 ~ EID16	EID15 ~ EID8	EID7 ~ EID0	DLC3 ~ DLC0	DATA0	DATA1	...	DATA7
--------------	-------------	---------------	--------------	-------------	-------------	-------	-------	-----	-------

只要不接收新信息，各信箱的内容就保持以前的值。

(a) MB.ID

地址 0009 0200h~0009 03FFh



位	符号	位名	功能	R/W
b17-b0	EID[17:0]	扩展 ID 位 (注 1)	0: 对应的 EID[17:0] 位为“0” 1: 对应的 EID[17:0] 位为“1”	R/W
b28-b18	SID[10:0]	标准 ID 位	0: 对应的 SID[10:0] 位为“0” 1: 对应的 SID[10:0] 位为“1”	R/W
b29	—	保留位	读取值为不定值，只能写“0”。	R/W
b30	RTR	远程发送请求位	0: 数据帧 1: 远程帧	R/W
b31	IDE	ID 扩展位 (注 2)	0: 标准 ID 1: 扩展 ID	R/W

注 1. 如果信箱接收到标准 ID 的信息，信箱 EID[17:0] 位的值就为不定值。

注 2. 在 CTLR 寄存器的 IDFM[1:0] 位为“10b”（混合 ID 模式）时，IDE 位有效。在 IDFM[1:0] 位不是“10b”时，必须给 IDE 位写“0”。读取值为“0”。

EID[17:0] 位（扩展 ID 位）

EID[17:0] 位设定数据帧和远程帧的扩展 ID。
在接收扩展 ID 的信息时使用这些位。

SID[10:0] 位（标准 ID 位）

SID[10:0] 位设定数据帧和远程帧的标准 ID。
在接收标准 ID 和扩展 ID 的信息时使用这些位。

RTR 位（远程发送请求位）

RTR 位设定被指定为数据帧或者远程帧的帧格式。

- 收件箱只接收由 RTR 位指定格式的帧。
- 发件箱根据 RTR 位指定的帧格式进行发送。
- 接收 FIFO 信箱接收由 FIDCR0 寄存器和 FIDCR1 寄存器的 RTR 位指定的数据帧和远程帧。
- 发送 FIFO 信箱发送由相关发送信息的 RTR 位选择的数据帧或者远程帧。

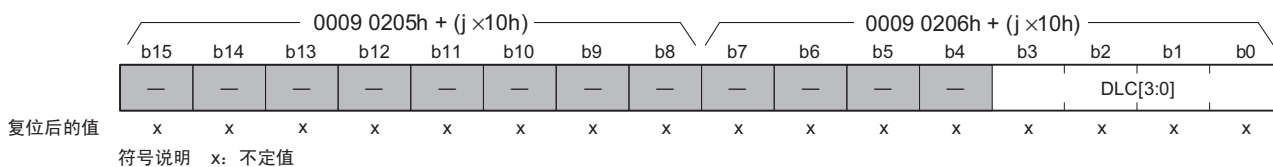
IDE 位 (ID 扩展位)

IDE 位设定被指定为标准 ID 或者扩展 ID 的 ID 格式。在 CTLR 寄存器的 IDFM[1:0] 位为“10b” (混合 ID 模式) 时, IDE 位有效。

- 收件箱只接收由 IDE 位指定的 ID 格式。
- 发件箱根据 IDE 位指定的 ID 格式进行发送。
- 接收 FIFO 信箱接收由 FIDCR0 寄存器和 FIDCR1 寄存器的 IDE 位指定的标准 ID 和扩展 ID。
- 发送 FIFO 信箱发送由相关发送信息的 IDE 位选择的标准 ID 或者扩展 ID 的信息。

(b) MB.DLC

地址 0009 0205h~0009 03F5h



位	符号	位名	功能	R/W
b3-b0	DLC[3:0]	数据长度代码位 (注1)	b3 b0 0 0 0 0: 数据长度为 0 字节 0 0 0 1: 数据长度为 1 字节 0 0 1 0: 数据长度为 2 字节 0 0 1 1: 数据长度为 3 字节 0 1 0 0: 数据长度为 4 字节 0 1 0 1: 数据长度为 5 字节 0 1 1 0: 数据长度为 6 字节 0 1 1 1: 数据长度为 7 字节 1 x x x: 数据长度为 8 字节 注. x: 任意值	R/W
b15-b4	—	保留位	读取值为不定值, 只能写“0”。	R/W

注 1. 如果信箱接收到小于 8 字节的 DLC[3:0] 的信息, 大于信箱 DLC[3:0] 的 DATA 就为不定值。

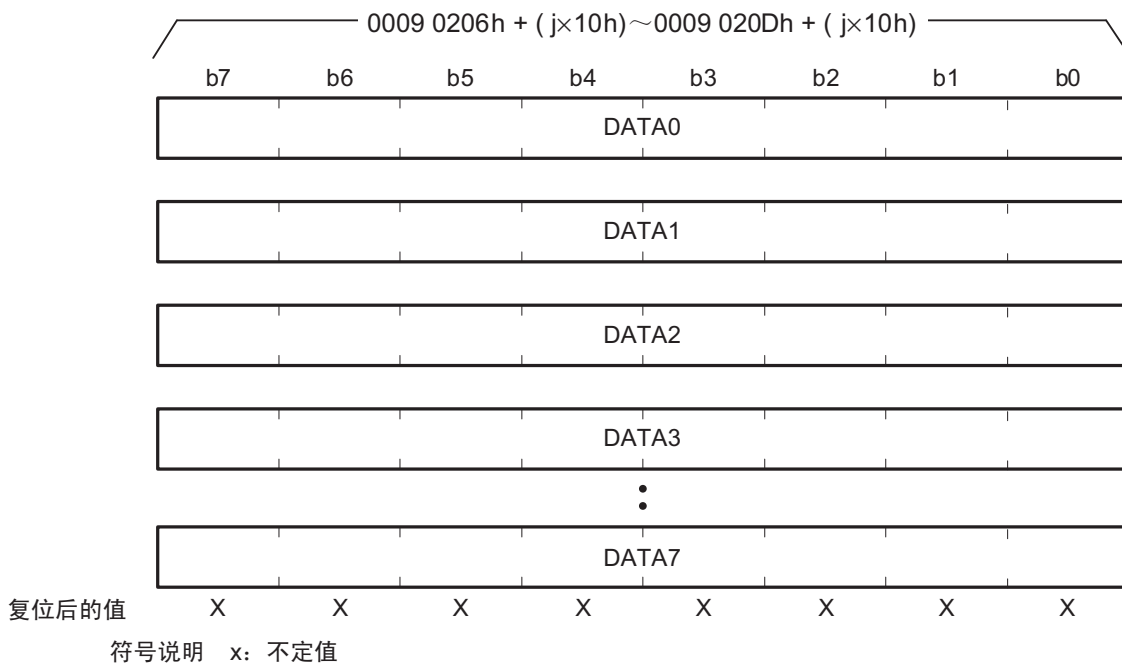
DLC[3:0] 位 (数据长度代码位)

DLC[3:0] 位设定在数据帧中要发送的数据字节数。在使用远程帧请求数据时, 这些位设定要请求的数据字节数。

如果接收到数据帧, 就保存接收的数据字节数; 如果接收到远程帧, 就保存请求的数据字节数。

(c) MB.DATA0 ~ 7

地址 0009 0206h~0009 03FDh



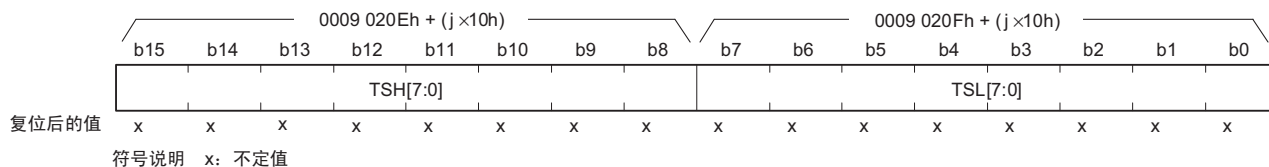
位	符号	位名	功能	R/W
b7-b0	DATA0- DATA7	数据长度代码位 (注1、注2)	DATA0 ~ 7 保存发送或者接收的 CAN 信息数据。从 DATA 发送或者接收 CAN 信息数据。以 MSB first 方式从 bit7 开始发送或者接收 CAN 总线上的位序。	R/W

注 1. 如果信箱接收到小于 8 字节的 n 字节的信息, 信箱的 DATA0 ~ DATA7 的值就为不定值。

注 2. 如果信箱接收到远程帧, 信箱的 DATA0 ~ DATA7 就保持以前的值。

(d) MB.TS

地址 0009 020Eh~0009 03FFh

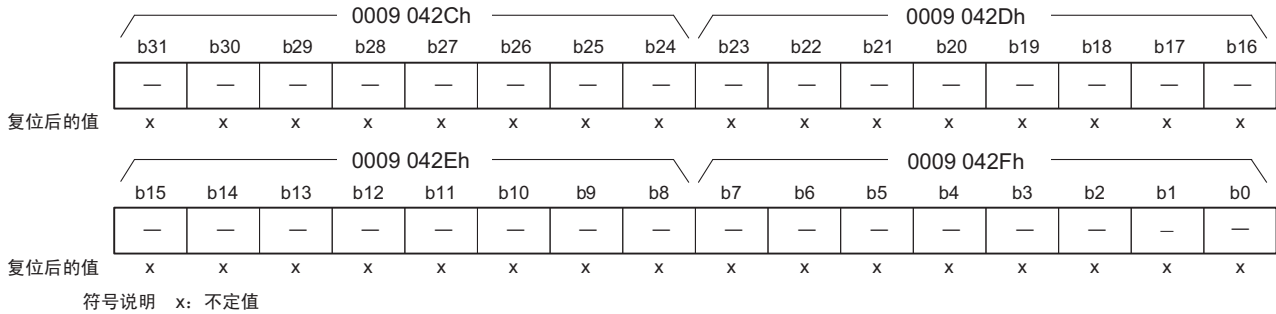


位	符号	位名	功能	R/W
b7-b0	TSL[7:0]	时戳的低位字节	TSH[7:0] 和 TSL[7:0] 保存接收信息被取到信箱时的时戳计数器的值。	R/W
b15-b8	TSH[7:0]	时戳的高位字节		R/W

32.2.7 信箱中断允许寄存器 (MIER)

- 普通信箱模式

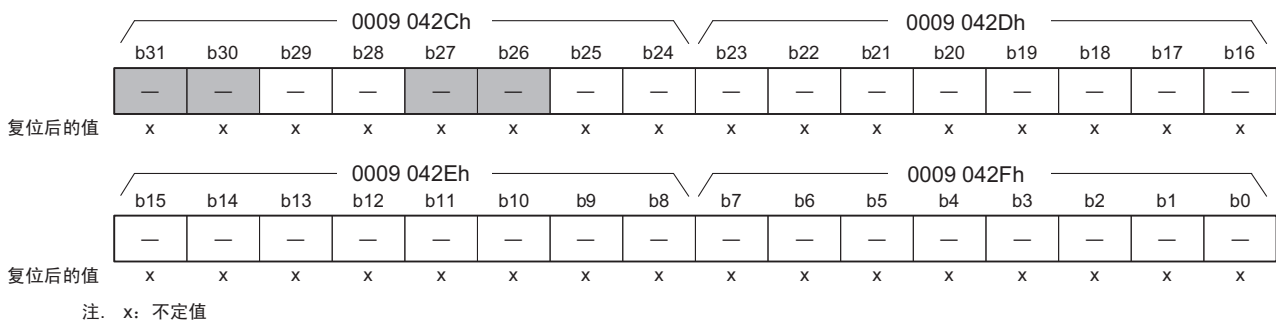
地址 0009 042Ch



位	符号	位名	功能	R/W
b31-b0	—	中断允许位	0: 禁止中断 1: 允许中断 bit31 对应信箱 31, bit0 对应信箱 0。	R/W

- FIFO 信箱模式

地址 0009 042Ch



位	符号	位名	功能	R/W
b23-b0	—	中断允许位	0: 禁止中断 1: 允许中断 bit23 对应信箱 23, bit0 对应信箱 0。	R/W
b24	—	发送 FIFO 中断允许位	0: 禁止中断 1: 允许中断	R/W
b25	—	发送 FIFO 中断发生时序控制位	0: 在每次发送结束后, 产生发送 FIFO 中断请求。 1: 在因发送结束而使发送 FIFO 变为空状态时, 产生发送 FIFO 中断请求。	R/W
b27-b26	—	保留位	读取值为不定值, 只能写“0”。	R/W
b28	—	接收 FIFO 中断允许位	0: 禁止中断 1: 允许中断	R/W
b29	—	接收 FIFO 中断发生时序控制位 (注 1)	0: 在每次接收结束后, 产生接收 FIFO 中断请求。 1: 在因接收结束而使接收 FIFO 变为缓冲警告时, 产生接收 FIFO 中断请求。	R/W
b31-b30	—	保留位	读取值为不定值, 只能写“0”。	R/W

注 1. 如果接收 FIFO 从满变为缓冲警告, 就不产生中断请求。缓冲警告是指接收 FIFO 保存了第 3 条信息的状态。

MIER 寄存器能将各信箱分别设定为中断允许状态。

在普通信箱模式（全部位）和 FIFO 信箱模式（MIER 寄存器的 bit23 ~ bit0）中，各位分别对应各信箱。这些位允许或者禁止对应信箱的发送结束中断和接收结束中断。

- MIER 寄存器的 bit0 对应信箱 0。
- MIER 寄存器的 bit31 对应信箱 31。

FIFO 信箱模式的 MIER 寄存器的 bit29、bit28、bit25、bit24 允许或者禁止发送 / 接收 FIFO 中断以及指定中断请求的产生时序。

只有在相关的 MCTLj 寄存器（j=0 ~ 31）为“00h”并且对应的信箱还没有进行发送 / 接收中止处理时，才能更改 MIER 寄存器。在 FIFO 运行模式中，只有在 TFCR.TFE 位为“0”并且 TFEST 位为“1”以及 RFCR.RFE 位为“0”并且 RFCR.RFEST 位为“1”时，才能更改相关的 FIFO 的 MIER 寄存器位。

32.2.8 信息控制寄存器 j (MCTLj) (j=0 ~ 31)

地址 0009 0820h~0009 083F

• MCTL.TX

发送模式(TRMREQ位为“1”并且RECREQ位为“0”的情况)

b7	b6	b5	b4	b3	b2	b1	b0
TRMREQ	RECREQ	—	ONESHOT	—	TRMABT	TRMACTIVE	SENTDATA

复位后的值

0 0 0 0 0 0 0 0

• MCTL.RX

接收模式(TRMREQ位为“0”并且RECREQ位为“1”的情况)

b7	b6	b5	b4	b3	b2	b1	b0
TRMREQ	RECREQ	—	ONESHOT	—	MSGLOST	INVALIDDATA	NEWDATA

复位后的值

0 0 0 0 0 0 0 0

位	符号	位名	功能	R/W
b0	SENTDATA	发送结束标志 (注1、注2)	0: 发送未结束 1: 发送结束	R/W
	NEWDATA	接收结束标志 (注1、注2)	0: 未接收到数据或者给 NEWDATA 位写“0” 1: 正在或者已经将新信息保存到信箱	R/W
b1	TRMACTIVE	发送过程中的状态位	(此位在设定为发件箱时有效。) 0: 正处于发送待机或者无发送请求 1: 从取发送请求到发送结束、发生错误或者仲裁失败为止	R
	INVALIDDATA	接收过程中的状态位	(此位在设定为收件箱时有效) 0: 信息有效 1: 正在更新信息	R
b2	TRMABT	发送中止结束标志 (注1、注2)	(此位在设定为发件箱时有效) 0: 开始发送, 或者发送中止因发送结束而失败, 或者未请求发送中止。 1: 发送中止结束	R/W
	MSGLOST	信息丢失标志 (注1、注2)	(此位在设定为收件箱时有效) 0: 未重写信息或者信息未溢出 1: 重写信息或者信息溢出	R/W
b3	—	保留位	读写值都为“0”。	R/W
b4	ONESHOT	单次允许位 (注3)	0: 禁止单次接收或者单次发送 1: 允许单次接收或者单次发送	R/W
b5	—	保留位	读写值都为“0”。	R/W
b6	RECREQ	收件箱设定位 (注2、注3、注4、注5)	0: 不设定为收件箱 1: 设定为收件箱	R/W
b7	TRMREQ	发件箱设定位 (注2、注4)	0: 不设定为发件箱 1: 设定为发件箱	R/W

注1. 只能写“0”(即使写“1”, 值也不变)

注2. 当通过程序给 NEWDATA、SENTDATA、MSGLOST、TRMABT、RECREQ 和 TRMREQ 位写“0”时, 不能使用逻辑运算 (AND.B) 指令。必须使用传送 (MOV) 指令将想置“0”的位置“0”而将其他位置“1”。

注3. 要转移到单次接收模式时, 必须在将 RECREQ 位置“1”的同时给 ONESHOT 位写“1”; 要解除单次接收模式时, 必须给 RECREQ 位写“0”, 然后在确认 RECREQ 位为“0”后给 ONESHOT 位写“0”。要转移到单次发送模式时, 必须在将 TRMREQ 位置“1”的同时给 ONESHOT 位写“1”; 要解除单次发送模式时, 必须在发送或者中止信息后给 ONESHOT 位写“0”。

注4. 不能将 RECREQ 位和 TRMREQ 位都置“1”。

注5. 要将 RECREQ 位置“0”时, 必须同时将 NEWDATA、MSGLOST 标志和 RECREQ 位同时置“0”。

必须在 CAN 操作模式或者 CAN Halt 模式中更改 MCTLj 寄存器。
在 FIFO 信箱模式中，不能使用 MCTL24 ~ MCTL31 寄存器。

SENTDATA 标志 (发送结束标志)

当对应信箱的数据发送结束时，SENTDATA 标志变为“1”。如果通过程序给 SENTDATA 标志写“0”，此标志就变为“0”。

要将 SENTDATA 标志置“0”时，必须在将 TRMREQ 位置“0”后将 SENTDATA 标志置“0”。SENTDATA 标志和 TRMREQ 位不同时变为“0”。要从信箱发送新信息时，必须将 SENTDATA 标志置“0”。

NEWDATA 标志 (接收结束标志)

当正在或者已经将新信息保存到信箱时，NEWDATA 标志变为“1”。NEWDATA 标志和 INVALIDDATA 位同时变为“1”。如果通过程序给 NEWDATA 标志写“0”，NEWDATA 标志就变为“0”。在相关的 INVALIDDATA 位为“1”期间，即使通过程序给 NEWDATA 标志写“0”，此标志也不会变为“0”。

TRMACTIVE 位 (发送过程中的状态位)

一旦从 CAN 模块开始发送对应信箱的信息，TRMACTIVE 位就变为“1”。如果 CAN 模块发生 CAN 总线仲裁失败、CAN 总线错误或者数据发送结束，TRMACTIVE 位就变为“0”。

INVALIDDATA 位 (接收过程中的状态位)

在接收完信息后或者正在更新信箱中的接收信息时，INVALIDDATA 位变为“1”。在保存完信息时，INVALIDDATA 位变为“0”。如果在 INVALIDDATA 位为“1”期间读信箱，数据就为不定值。

TRMABT 标志 (发送中止结束标志)

在以下情况下，TRMABT 标志变为“1” (发送中止结束)：

- 在发送中止请求之后并且在开始发送前，发送中止结束。
- 在发送中止请求之后，检测到 CAN 模块发生 CAN 总线仲裁失败或者 CAN 总线错误。
- 在单次发送模式 (RECREQ 位为“0”，TRMREQ 位为“1”，ONESHOT 位为“1”) 中，检测到 CAN 模块发生 CAN 总线仲裁失败或者 CAN 总线错误。

即使数据发送结束，TRMABT 标志也不变为“1”。当数据发送结束时，SENTDATA 标志变为“1”。如果给 TRMABT 标志写“0”，此标志就变为“0”。

MSGLOST 标志 (信息丢失标志)

在 NEWDATA 标志为“1”期间，如果因新的接收信息而覆盖或者放弃信箱里的旧信息，MSGLOST 标志就变为“1”。在 EOF 的第 6 位结束时，此标志为“1”。如果通过程序给 MSGLOST 标志写“0”，此标志就变为“0”。

在重写模式和溢出模式中，在 EOF 的第 6 位之后的 5 个外围模块时钟 (PCLK) 期间，即使通过程序给 MSGLOST 标志写“0”，此标志也不变为“0”。

ONESHOT 位 (单次允许位)

ONESHOT 位有接收模式和发送模式两种使用方法。

- 单次接收模式

如果在接收模式 (RECREQ 位为“1”并且 TRMREQ 位为“0”) 中将 ONESHOT 位置“1”，信箱就只接收 1 次信息 (在接收 1 次信息后，不用作收件箱)。NEWDATA 标志和 INVALIDDATA 位的变化和普通接收模式相同。在此模式中，MSGLOST 标志不变为“1”。要将 ONESHOT 位置“0”时，必须给 RECREQ 位写“0”，在确认 RECREQ 位变为“0”后进行设定。

- 单次发送模式

如果在发送模式 (RECREQ 位为“0”并且 TRMREQ 位为“1”) 中将 ONESHOT 位置“1”，CAN 模块就只发送 1 次信息 (即使发生 CAN 总线错误或者 CAN 总线仲裁失败，也不重新发送信息)。当发送结束时，SENTDATA 标志变为“1”。在因 CAN 总线错误或者 CAN 总线仲裁失败而不结束发送时，TRMABT 标志为“1”。要将 ONESHOT 位置“0”时，必须在 SENTDATA 标志变为“1”或者 TRMABT 标志变为“1”后进行设定。

RECREQ 位 (收件箱设定位)

RECREQ 位选择表 32.11 所示的接收模式。

如果将 RECREQ 位置“1”，就将对应的信箱设定为接收数据帧或者远程帧。

如果将 RECREQ 位置“0”，就不将对应的信箱设定为接收数据帧或者远程帧。

在以下期间内进行硬件保护，即使通过程序给 RECREQ 位写“0”，此位也不变为“0”。

- 硬件保护的开始

开始验收过滤处理 (CRC 字段的开始)。

- 硬件保护的解除

- 被指定为接收信息的信箱在将接收信息保存到信箱后或者发生 CAN 总线错误后 (即，硬件保护的
最大期间是从 CRC 字段开始到 EOF 的第 7 位结束)

- 在其他信箱进行验收过滤处理后

- 在没有收件箱的情况下进行验收过滤处理后

在将 RECREQ 位置“1”时，不能将 TRMREQ 位置“1”。在将信箱的设定从发送改为接收时，必须在改为接收前先中止发送，然后将 SENTDATA 标志和 TRMABT 标志置“0”。

TRMREQ 位 (发件箱设定位)

TRMREQ 位选择表 32.11 所示的发送模式。

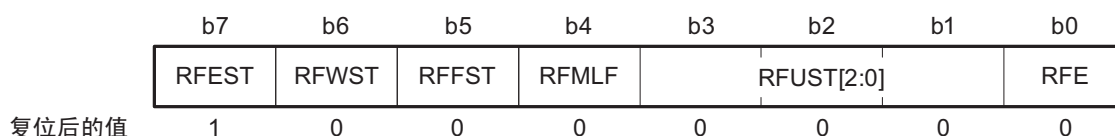
如果将 TRMREQ 位置“1”，就将对应的信箱设定为发送数据帧或者远程帧。

如果将 TRMREQ 位置“0”，就不将对应的信箱设定为发送数据帧或者远程帧。

如果为了取消发送请求而将 TRMREQ 位从“1”改为“0”，因为要确认发送中止请求是否结束，所以就在最多延迟 1 帧后 TRMABT 标志或者 SENTDATA 标志变为“1”。在将 TRMREQ 位置“1”时，不能将 RECREQ 位置“1”。要将信箱的设定从接收改为发送时，必须在改为发送前先中止接收，然后将 NEWDATA 标志和 MSGLOST 标志置“0”。

32.2.9 接收 FIFO 控制寄存器 (RFCR)

地址 0009 0848h



位	符号	位名	功能	R/W
b0	RFE	接收 FIFO 允许位	0: 禁止接收 FIFO 1: 允许接收 FIFO	R/W
b3-b1	RFUST[2:0]	接收 FIFO 未读信息数状态位	b3 b1 0 0 0: 没有未读信息 0 0 1: 有 1 条未读信息 0 1 0: 有 2 条未读信息 0 1 1: 有 3 条未读信息 1 0 0: 有 4 条未读信息 1 0 1: 保留 1 1 0: 保留 1 1 1: 保留	R
b4	RFMLF	接收 FIFO 信息丢失标志	0: 未发生接收 FIFO 的信息丢失 1: 发生接收 FIFO 的信息丢失	R/W
b5	RFFST	接收 FIFO 满状态位	0: 接收 FIFO 未滿 1: 接收 FIFO 满 (有 4 条未读信息)	R
b6	RFWST	接收 FIFO 缓冲警告状态标志	0: 接收 FIFO 不是缓冲警告状态 1: 接收 FIFO 是缓冲警告状态 (有 3 条未读信息)	R
b7	RFEST	接收 FIFO 空状态标志	0: 接收 FIFO 有未读信息 1: 接收 FIFO 没有未读信息	R

必须在 CAN 操作模式或者 CAN Halt 模式中更改 RFCR 寄存器。

RFE 位 (接收 FIFO 允许位)

如果将 RFE 位置“1”，接收 FIFO 就为接收允许状态。

如果将 RFE 位置“0”，接收 FIFO 就为接收禁止状态或者空状态 (RFEST 位为“1”)。必须同时给 RFMLF 和 RFE 位写“0”。

在普通信箱模式 (CTRL 寄存器的 MBM 位为“0”)中，不能将 RFE 位置“1”。在以下期间内进行硬件保护，即使通过程序给 RFE 位写“0”，此位也不变为“0”。

- 硬件保护的开始
 - 开始接收过滤处理 (CRC 字段的开始)
- 硬件保护的解除
 - 在将接收 FIFO 指定为接收信息的情况下将接收信息保存到接收 FIFO 后或者发生 CAN 总线错误后 (即，硬件保护的最大期间是从 CRC 字段开始到 EOF 的第 7 位结束)
 - 在不指定接收 FIFO 的情况下进行接收过滤处理后

RFUST[2:0] 位 (接收 FIFO 未读信息数状态位)

RFUST[2:0] 位表示接收 FIFO 内未读信息的数量。

如果将 RFE 位置“0”，RFUST[2:0] 位的值就变为“000b”。

RFMLF 标志 (接收 FIFO 信息丢失标志)

如果在接收 FIFO 满时接收到新信息，RFMLF 位就变为“1” (发生接收 FIFO 的信息丢失)。在 EOF 的第 6 位结束时，此标志变为“1”。

如果通过程序给 RFMLF 位写“0”，此位就变为“0”。即使写“1”，值也不变。在溢出模式或者重写模式中，如果接收 FIFO 满并且已决定接收信息，就在 EOF 的第 6 位之后的 5 个外围模块时钟 (PCLK) 周期期间，因硬件保护而使 RFMLF 位不变为“0” (未发生接收 FIFO 的信息丢失)。

RFFST 位 (接收 FIFO 满状态位)

当接收 FIFO 内有 4 条未读信息时，RFFST 位为“1” (接收 FIFO 满状态)；当接收 FIFO 内不足 4 条未读信息，RFFST 位为“0” (接收 FIFO 未读)。如果将 RFE 位置“0”，RFFST 位就变为“0”。

RFWST 标志 (接收 FIFO 缓冲警告状态标志)

当接收 FIFO 内有 3 条未读信息时，RFWST 位为“1” (接收 FIFO 为缓冲警告状态)；当接收 FIFO 内的未读信息不足 3 条或者有 4 条，RFWST 位为“0” (接收 FIFO 不是缓冲警告状态)。如果将 RFE 位置“0”，RFWST 位就变为“0”。

RFEST 标志 (接收 FIFO 空状态标志)

当接收 FIFO 内没有未读信息时，RFEST 位为“1” (接收 FIFO 没有未读信息)。如果将 RFE 位置“0”，RFEST 位就变为“1”。当接收 FIFO 内有 1 条或者 1 条以上的未读信息时，RFEST 位为“0” (接收 FIFO 有未读信息)。

接收 FIFO 信箱的运行如图 32.2 所示。

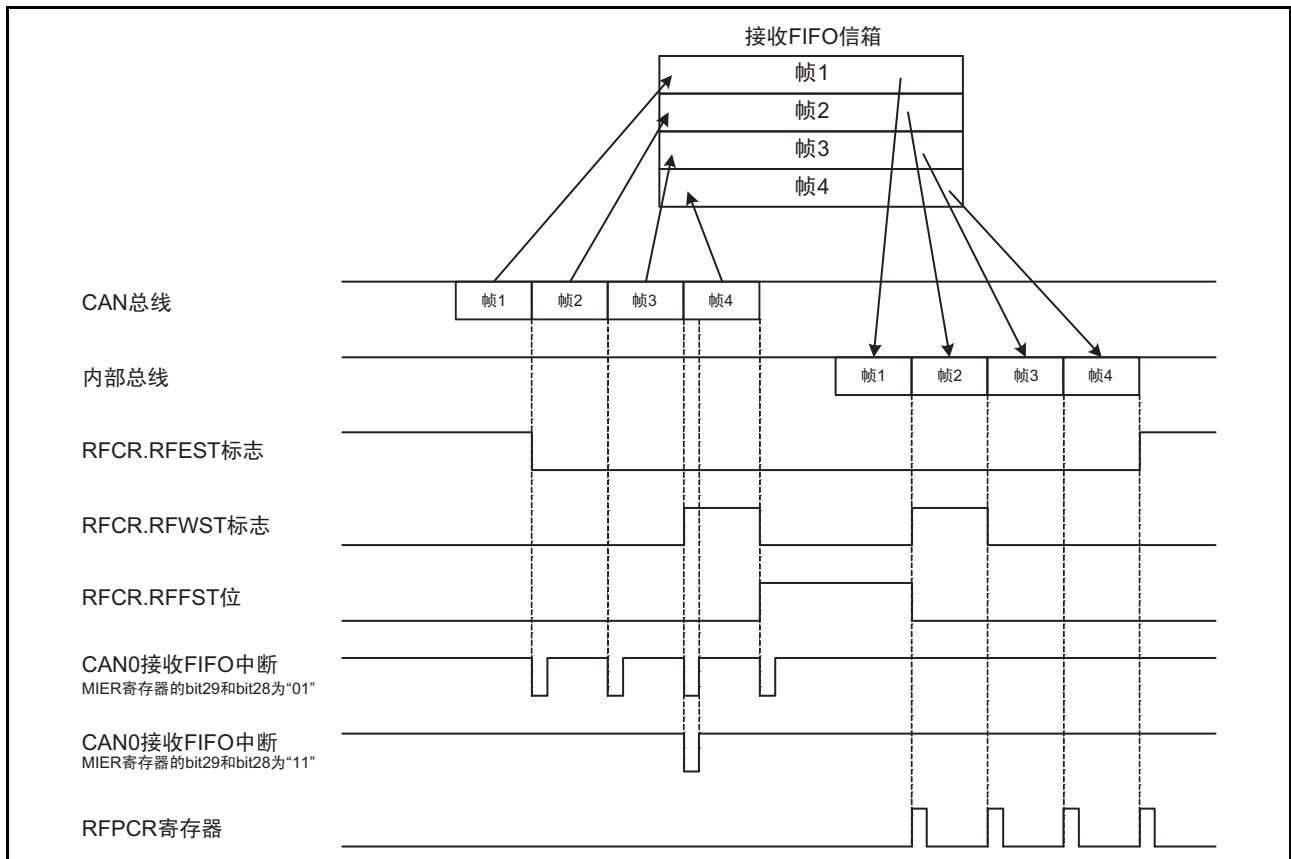
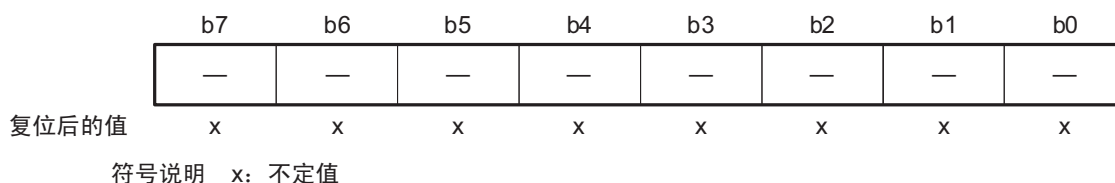


图 32.2 接收 FIFO 信箱的运行 (MIER 寄存器的 bit29 和 bit28 为“01”或者“11”)

32.2.10 接收 FIFO 指针控制寄存器 (RFPCR)

地址 0009 0849h



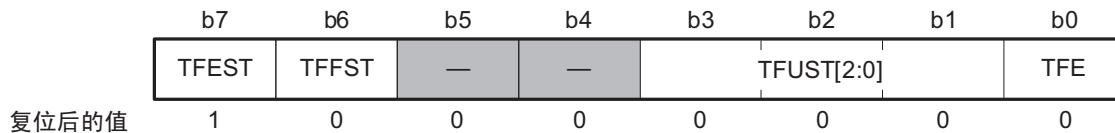
位	符号	位名	功能	R/W
b7-b0	—	—	如果给 RFPCR 寄存器写“FFh”，CPU 侧的接收 FIFO 指针就移动。	W

在接收 FIFO 不为空的状态下，要将 CPU 侧的接收 FIFO 指针移到下一个信箱时，必须通过程序给 RFPCR 寄存器写“FFh”。

在 RFCR 寄存器的 RFE 位为“0”（禁止接收 FIFO）时，不能写 RFPCR 寄存器。在接收重写模式中，如果在 RFFST 位为“1”（接收 FIFO 满）时接收到新信息，CAN 侧的指针和 CPU 侧的指针都移动。在此状态下，当 RFMLF 位为“1”时，即使通过程序写 RFPCR 寄存器，CPU 侧的指针也不移动。

32.2.11 发送 FIFO 控制寄存器 (TFCR)

地址 0009 084Ah



位	符号	位名	功能	R/W
b0	TFE	发送 FIFO 允许位	0: 禁止发送 FIFO 1: 允许发送 FIFO	R/W
b3-b1	TFUST[2:0]	发送 FIFO 未发送信息数状态位	b3 b2 b1 0 0 0: 没有未发送信息 0 0 1: 有 1 条未发送信息 0 1 0: 有 2 条未发送信息 0 1 1: 有 3 条未发送信息 1 0 0: 有 4 条未发送信息 1 0 1: 保留 1 1 0: 保留 1 1 1: 保留	R
b5-b4	—	保留位	读写值都为“0”。	R/W
b6	TFFST	发送 FIFO 满状态位	0: 发送 FIFO 未满 1: 发送 FIFO 满（有 4 条未发送信息）	R
b7	TFEST	接收 FIFO 空状态位	0: 发送 FIFO 有未发送信息 1: 发送 FIFO 没有未发送信息	R

必须在 CAN 操作模式或者 CAN Halt 模式中更改 TFCR 寄存器。

TFE 位 (发送 FIFO 允许位)

如果将 TFE 位置“1”，发送 FIFO 就为发送允许状态。

如果将 TFE 位置“0”，发送 FIFO 就为空状态 (TFEST 位为“1”)，并且因以下情况而使发送 FIFO 的未发送信息丢失：

- 当发送 FIFO 没有下一个发送预定并且没有在发送时，直接进入空状态。
- 当发送 FIFO 有下一个发送预定或者已经在发送时，就在转移到发送结束、CAN 总线错误、仲裁失败或者 CAN Halt 模式后进入空状态。

在重新将 TFE 位置“1”前，必须确认 TFEST 位是否为“1”。必须在将 TFE 位置“1”后，将发送数据写到 MB24 寄存器。

在普通信箱模式 (CTRL 寄存器的 MBM 位为“0”)中，不能将 TFE 位置“1”。

TFUST[2:0] 位 (发送 FIFO 未发送信息数状态位)

TFUST[2:0] 位表示发送 FIFO 内未发送信息的数量。

一旦发送 FIFO 的发送中止结束，TFUST[2:0] 位的值就变为“000b”。

TFFST 位 (发送 FIFO 满状态位)

当发送 FIFO 内有 4 条未发送信息的数量时，TFFST 位为“1” (发送 FIFO 满)；当发送 FIFO 内未发送信息数量不足 4 条时，TFFST 位为“0” (发送 FIFO 未滿)。一旦发送 FIFO 的发送中止结束，TFFST 位就变为“0”。

TFEST 位 (接收 FIFO 空状态位)

当发送 FIFO 内没有未发送信息时，TFEST 位为“1” (发送 FIFO 没有信息)。一旦发送 FIFO 的发送中止结束，TFEST 位就变为“1”。当发送 FIFO 内至少有 1 条未发送信息时，TFEST 位为“0” (发送 FIFO 有信息)。

发送 FIFO 信箱的运行如图 32.3 所示。

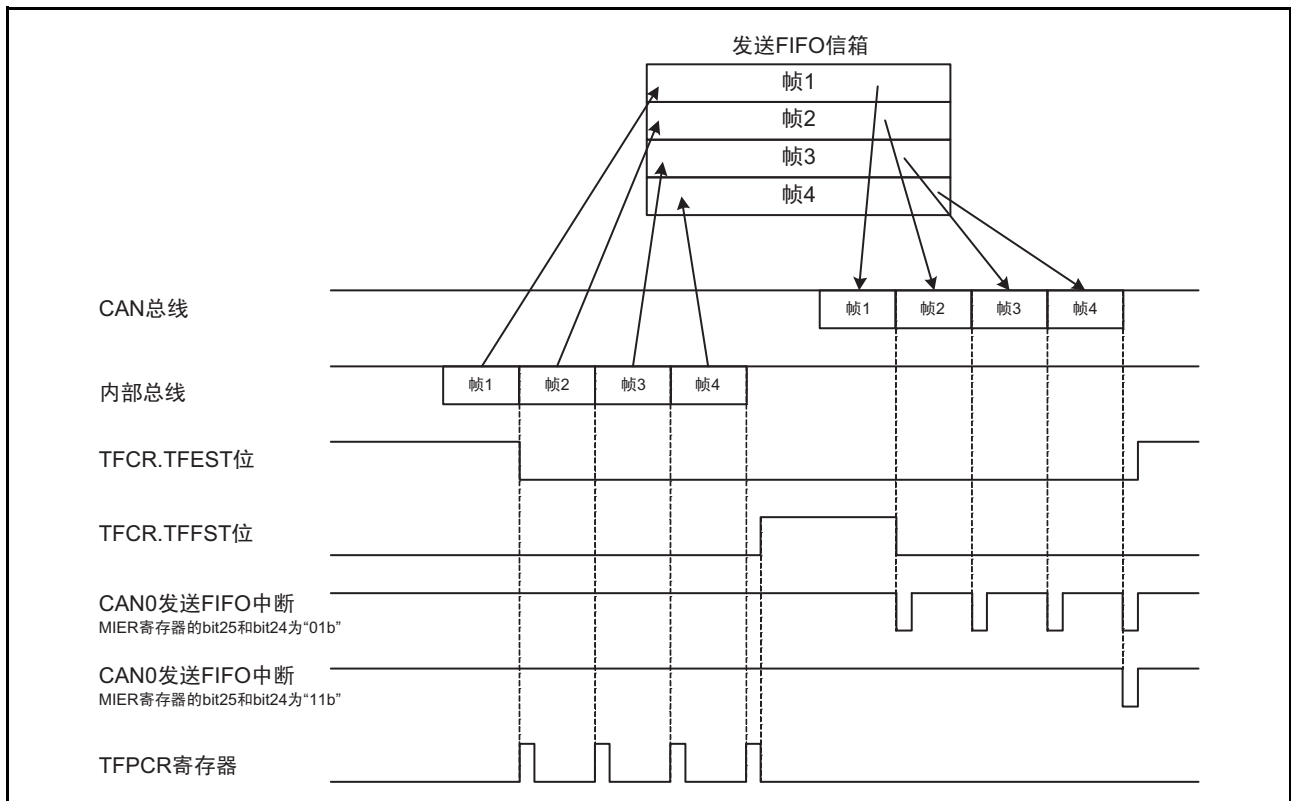
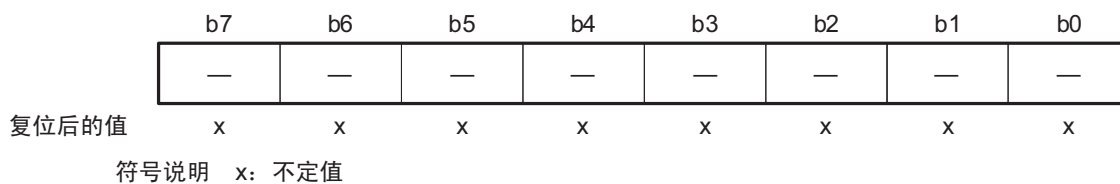


图 32.3 发送 FIFO 信箱的运行 (MIER 寄存器的 bit25 和 bit24 为“01b”或者“11b”)

32.2.12 发送 FIFO 指针控制寄存器 (TFPCR)

地址 0009 084Bh



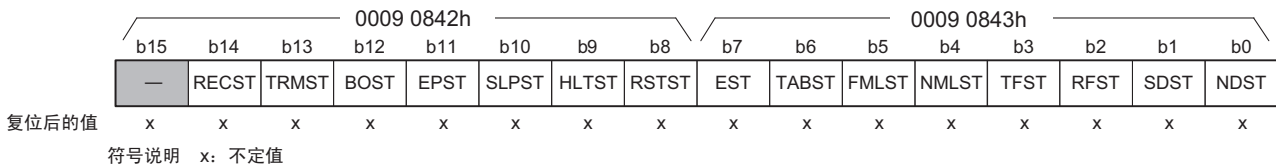
位	符号	位名	功能	R/W
b7-b0	—	—	如果给 TFPCR 寄存器写 “FFh”，CPU 侧的发送 FIFO 指针就移动。	W

在发送 FIFO 未满的情况下，要将 CPU 侧的发送 FIFO 指针移到下一个信箱时，必须通过程序给 TFPCR 寄存器写 “FFh”。

在 TFCR.TFE 位为 “0”（禁止发送 FIFO）时，不能写 TFPCR 寄存器。

32.2.13 状态寄存器 (STR)

地址 0009 0842h



位	符号	位名	功能	R/W
b0	NDST	NEWDATA 状态标志	0: 没有 NEWDATA 标志为“1”的信箱 1: 有 NEWDATA 标志为“1”的信箱	R
b1	SDST	SENTDATA 状态标志	0: 没有 SENTDATA 标志为“1”的信箱 1: 有 SENTDATA 标志为“1”的信箱	R
b2	RFST	接收 FIFO 状态标志	0: 接收 FIFO 没有信息 (空) 1: 接收 FIFO 有信息	R
b3	TFST	发送 FIFO 状态标志	0: 发送 FIFO 满 1: 发送 FIFO 未滿	R
b4	NMLST	普通信息丢失状态标志	0: 没有 MSGLOST 标志为“1”的信箱 1: 有 MSGLOST 标志为“1”的信箱	R
b5	FMLST	FIFO 信息丢失状态标志	0: RFMLF 位为“0” 1: RFMLF 位为“1”	R
b6	TABST	发送中止状态标志	0: 没有 TRMABT 位为“1”的信箱 1: 有 TRMABT 位为“1”的信箱	R
b7	EST	错误状态标志	0: 未发生错误 1: 发生错误	R
b8	RSTST	CAN 复位状态标志	0: 不是 CAN 复位模式 1: CAN 复位模式	R
b9	HLTST	CAN Halt 状态标志	0: 不是 CAN Halt 模式 1: CAN Halt 模式	R
b10	SLPST	CAN 睡眠状态标志	0: 不是 CAN 睡眠模式 1: CAN 睡眠模式	R
b11	EPST	错误被动状态标志	0: 不是错误被动状态 1: 错误被动状态	R
b12	BOST	总线断开状态标志	0: 不是总线断开状态 1: 总线断开状态	R
b13	TRMST	发送状态标志 (transmitter)	0: 总线空闲或者正在接收 1: 正在发送或者总线断开状态	R
b14	RECST	接收状态标志 (receiver)	0: 总线空闲或者正在发送 1: 正在接收	R
b15	—	保留位	读取值为不定值, 写操作无效。	R

NDST 标志 (NEWDATA 状态标志)

只要 1 个 MCTLj.NEWDATA 标志 (j=0 ~ 31) 为“1”，NDST 标志就为“1”，与 MIER 寄存器的值无关。当 NEWDATA 标志全部为“0”时，NDST 标志为“0”。

SDST 标志 (SENTDATA 状态标志)

只要 1 个 MCTLj.SENTDATA 标志 (j=0 ~ 31) 为“1”，SDST 标志就为“1”，与 MIER 寄存器的值无关。当 SENTDATA 标志全部为“0”时，SDST 标志为“0”。

RFST 标志 (接收 FIFO 状态标志)

当接收 FIFO 不为空状态时，RFST 标志为“1”；当接收 FIFO 为空状态或者普通信箱模式时，此标志为“0”。

TFST 标志 (发送 FIFO 状态位)

当发送 FIFO 不是满状态时，TFST 标志为“1”；当发送 FIFO 是满状态或者普通信箱模式时，此标志为“0”。

NMLST 标志 (普通信息丢失状态标志)

只要 1 个 MCTLj.MSGLOST 标志为“1”，NMLST 标志就为“1”，与 MIER 寄存器的值无关。当 MSGLOST 标志全部为“0”时，NMLST 标志为“0”。

FMLST 标志 (FIFO 信息丢失状态标志)

当 RFCR.RFMLF 位为“1”时，FMLST 标志为“1”，与 MIER 寄存器的值无关。当 RFMLF 标志为“0”时，FMLST 标志为“0”。

TABST 标志 (发送中止状态标志)

只要 1 个 MCTLj.TRMABT 标志为“1”，TABST 位就为“1”，与 MIER 寄存器的值无关。当 TRMABT 标志都不为“1”时，TABST 标志为“0”。

EST 标志 (错误状态标志)

只要通过 EIFR 寄存器检测到一个错误，EST 标志就为“1”，与 EIER 寄存器的值无关。如果通过 EIFR 寄存器一个错误也没有检测到，EST 标志就为“0”。

RSTST 标志 (CAN 复位状态标志)

当进入 CAN 复位模式时，RSTST 标志为“1”；当不进入 CAN 复位模式或者不从 CAN 复位模式转移到 CAN 睡眠模式时，此标志为“0”。即使从 CAN 复位模式转移到 CAN 睡眠模式，RSTST 标志也保持“1”。

HLTST 标志 (CAN Halt 状态标志)

当进入 CAN Halt 模式时，HLTST 标志为“1”；当不进入 CAN Halt 模式或者不从 CAN Halt 模式转移到 CAN 睡眠模式时，此标志为“0”。即使从 CAN Halt 模式转移到 CAN 睡眠模式，HLTST 标志也保持“1”。

SLPST 标志 (CAN 睡眠状态标志)

当进入 CAN 睡眠模式，SLPST 标志为“1”。当不进入 CAN 睡眠模式时，此标志为“0”。

EPST 标志 (错误被动状态标志)

当 TECR 寄存器或者 RECR 寄存器的值超过 127 并且 CAN 模块为错误被动状态 ($128 \leq TEC < 256$ 或者 $128 \leq REC < 256$) 时, EPST 标志为“1”; 当不是错误被动状态时, EPST 标志为“0”。

BOST 标志 (总线断开状态标志)

当 TECR 寄存器的值超过 255 并且 CAN 模块为总线断开状态 ($TEC \geq 256$) 时, BOST 标志为“1”; 当不是总线断开状态, BOST 标志为“0”。

TRMST 标志 (发送状态标志) (transmitter)

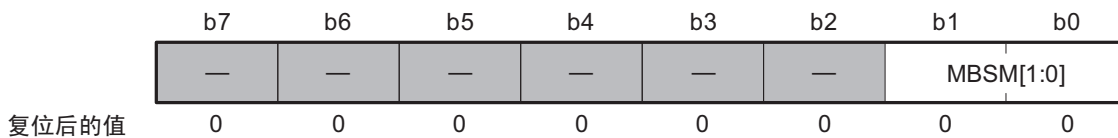
当 CAN 模块为发送节点或者总线断开状态时, TRMST 标志为“1”; 当 CAN 模块为接收节点或者总线空闲状态时, TRMST 标志为“0”。

RECST 标志 (接收状态标志) (receiver)

当 CAN 模块为接收节点时, RECST 标志为“1”; 当 CAN 模块为发送节点或者总线空闲状态时, RECST 标志为“0”。

32.2.14 信箱搜索模式寄存器 (MSMR)

地址 0009 0853h



位	符号	位名	功能	R/W
b1-b0	MBSM[1:0]	信箱搜索模式选择位	b1 b0 00: 收件箱搜索模式 01: 发件箱搜索模式 10: 信息丢失搜索模式 11: 通道搜索模式	R/W
b7-b2	—	保留位	读写值都为“0”。	R/W

必须在 CAN 操作模式或者 CAN Halt 模式中更改 MSMR 寄存器。

MBSM[1:0] 位 (信箱搜索模式选择位)

MBSM[1:0] 位选择信箱搜索功能的搜索模式。

当 MBSM[1:0] 位为“00b”时, 为收件箱搜索模式。在此模式中, 搜索对象位是 MCTLj 寄存器 (j=0 ~ 31) 的普通信箱中的 NEWDATA 标志和 RFCR 寄存器的 RFEST 位。

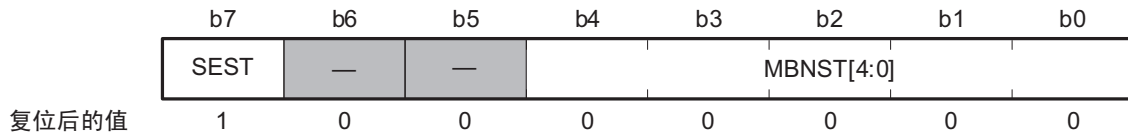
当 MBSM[1:0] 位为“01b”时, 为发件箱搜索模式。在此模式中, 搜索对象位是 MCTLj.SENTDATA 标志。

当 MBSM[1:0] 位为“10b”时, 为信息丢失搜索模式。在此模式中, 搜索对象位是 MCTLj 寄存器的普通信箱中的 MSGLOST 标志和 RFCR.RFMLF 标志。

当 MBSM[1:0] 位为“11b”时, 为通道搜索模式。在此模式中, 搜索对象寄存器是 CSSR 寄存器, 请参照“32.2.16 通道搜索支持寄存器 (CSSR)”。

32.2.15 信箱搜索状态寄存器 (MSSR)

地址 0009 0852h



位	符号	位名	功能	R/W
b4-b0	MBNST[4:0]	搜索结果信箱号状态位	表示在 MSMR 寄存器的各模式中搜索到的最小信箱号。	R
b6-b5	—	保留位	读写值都为“0”。	R/W
b7	SEST	搜索结果空状态位	0: 有搜索结果 1: 没有搜索结果	R

MBNST[4:0] 位 (搜索结果信箱号状态位)

MBNST[4:0] 位表示在 MSMR 寄存器的各模式中搜索到的最小信箱号。在以下情况下，通过收件箱搜索模式、发件箱搜索模式和信息丢失搜索模式，更新被输出的搜索结果信箱的值：

- 被输出信箱的 NEWDATA、SENTDATA 或者 MSGLOST 标志为“0”。
- 更高优先级信箱的 NEWDATA、SENTDATA 或者 MSGLOST 标志为“1”。

在 MBSM[1:0] 位为“00b”（收件箱搜索模式）或者“10”（信息丢失搜索模式）时，如果接收 FIFO 不是空状态并且全部普通信箱（信箱 [0] ~ [23]）既没有未读接收信息也没有丢失信息，就输出接收 FIFO（信箱 [28]）。在 MBSM[1:0] 位为“01b”（发件箱搜索模式）时，不输出发送 FIFO（信箱 [24]）。FIFO 信箱模式中的 MBNST[4:0] 位的变化如表 32.7 所示。

在通道搜索模式中，MBNST[4:0] 位输出信箱号。在通过程序读 MSSR 寄存器后，MBNST[4:0] 位输出下一个目标通道号。

SEST 位 (搜索结果空状态位)

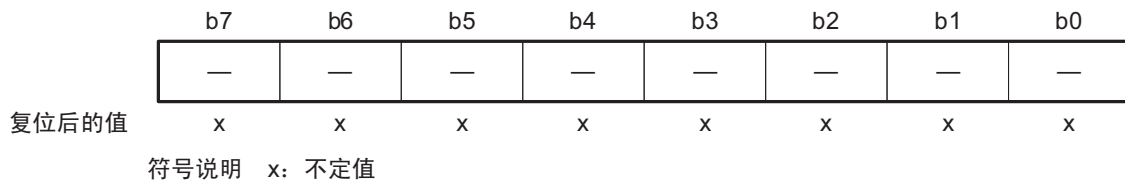
如果在全部信箱搜索中没有对应的信箱，SEST 位就为“1”（没有搜索结果）。例如，如果在发件箱搜索模式中 SENTDATA 标志为“1”的信箱一个也没有，SEST 位就为“1”。只要有一个 SENTDATA 标志为“1”的信箱，此位就为“0”。在 SEST 位为“1”时，MBNST[4:0] 位的值为不定值。

表 32.7 FIFO 信箱模式中 MBNST[4:0] 位的变化

MBSM[1:0] 位	信箱 [24] (发送 FIFO)	信箱 [28] (接收 FIFO)
“00”	不输出信箱 [24]。	如果普通信箱的没有一个 MCTLj.NEWDATA 标志为“1”（正在或者已经将新信息保存到信箱）并且接收 FIFO 不为空，就输出信箱 [28]。 j=0 ~ 23
“01”		不输出信箱 [28]。
“10”		如果普通信箱的没有一个 MCTLj.MSGLOST 标志为“1”（重写信息或者信息溢出）而且接收 FIFO 内的 RFCR.RFMLF 位为“1”（发生接收 FIFO 信息丢失），就输出信箱 [28]。 j=0 ~ 23
“11”		不输出信箱 [28]。

32.2.16 通道搜索支持寄存器 (CSSR)

地址 0009 0851h



位	符号	位名	功能	R/W
b7-b0	—	—	如果输入通道搜索的值，就将通道号输出到 MSSR 寄存器。	R/W

通过 8/3 编码器 (最低位的优先级最高) 将为“1”的 CSSR 寄存器的位进行编码并且输出到 MSSR 寄存器的 MBNST[4:0] 位。

在每次通过程序读 MSSR 寄存器时，MSSR 寄存器表示更新后的值。

只能在 MSMR 寄存器的 MBSM[1:0] 位为“11b” (通道搜索模式) 时更改 CSSR 寄存器。不能在 CAN 复位模式中设定 CSSR 寄存器。

CSSR 寄存器和 MSSR 寄存器的读写操作如图 32.4 所示。

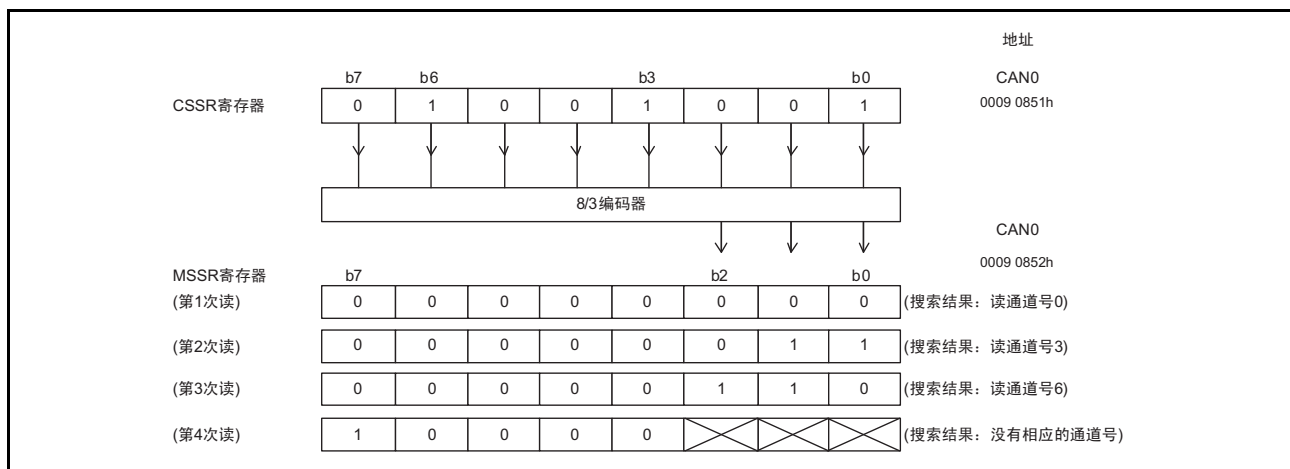
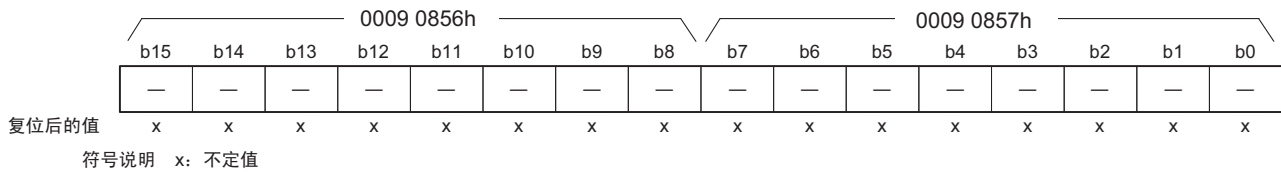


图 32.4 CSSR 寄存器和 MSSR 寄存器的读写操作

在每次读 MSSR 寄存器时，也更新 SSR 寄存器的值。在进行读操作时，能读到 8/3 编码器转换前的值。

32.2.17 验收滤波器支持寄存器 (AFSR)

地址 0009 0856h



位	符号	位名	功能	R/W
b15-b0	—	—	在写接收信息的标准 ID 后, 能读为数据表搜索而转换的值。	R/W

验收滤波器支持单元 (ASU) 能用于数据表 (8 位 × 256) 的搜索, 此数据表是以 1 位为单位对用户预先建立的全部标准 ID 设定了有效或者无效的数据表。如果将包含保存接收标准 ID 的 MBj.SID[10:0] 位 (j=0 ~ 31) 在内的 16 位数据写到 AFSR 寄存器, 就能读到被解码后的用于数据表搜索的行 (字节偏移) 位置和列 (位) 位置。ASU 只能用于标准 (11 位) ID。

ASU 在以下情况下有效:

- 不能通过验收滤波器屏蔽接收的 ID 的情况
(例) 接收的 ID: 078h、087h、111h
- 因接收的 ID 过多而想通过软件缩短过滤处理时间的情况
不能在 CAN 复位模式中设定 AFSR 寄存器。

AFSR 寄存器的读写操作如图 32.5 所示。

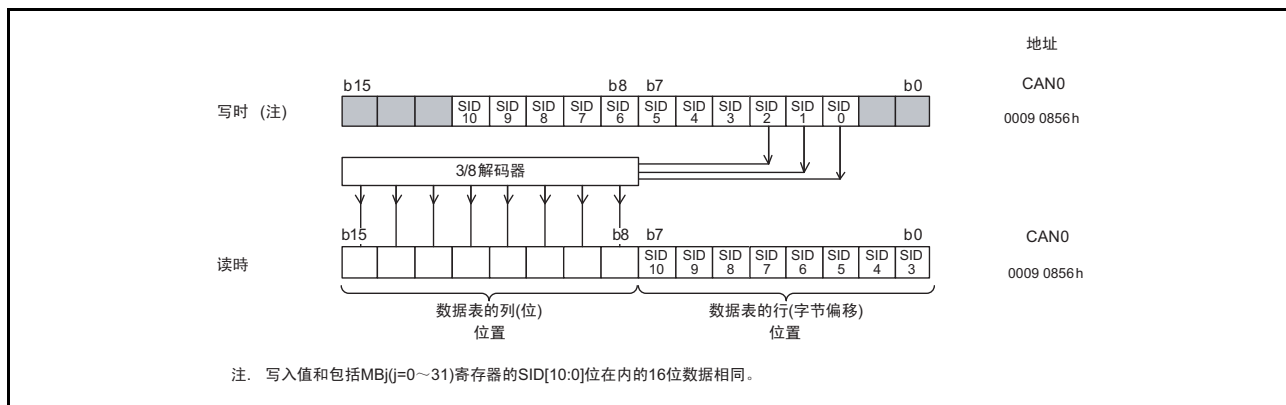


图 32.5 AFSR 寄存器的读写操作

32.2.18 错误中断允许寄存器 (EIER)

地址 0009 084Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	BLIE	OLIE	ORIE	BORIE	BOEIE	EPIE	EWIE	BEIE
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	BEIE	总线错误中断允许位	0: 禁止总线错误中断 1: 允许总线错误中断	R/W
b1	EWIE	错误警告中断允许位	0: 禁止错误警告中断 1: 允许错误警告中断	R/W
b2	EPIE	错误被动入口中断允许位	0: 禁止错误被动中断 1: 允许错误被动中断	R/W
b3	BOEIE	总线断开开始中断允许位	0: 禁止总线断开开始中断 1: 允许总线断开开始中断	R/W
b4	BORIE	总线断开恢复中断允许位	0: 禁止总线断开恢复中断 1: 允许总线断开恢复中断	R/W
b5	ORIE	溢出中断允许位	0: 禁止接收溢出中断 1: 允许接收溢出中断	R/W
b6	OLIE	超载帧发送中断允许位	0: 禁止超载帧发送中断 1: 允许超载帧发送中断	R/W
b7	BLIE	总线锁定中断允许位	0: 禁止总线锁定中断 1: 允许总线锁定中断	R/W

EIER 寄存器允许或者禁止 EIFR 寄存器的各错误中断源对应的各错误中断。
只能在 CAN 复位模式中更改 EIER 寄存器。

BEIE 位 (总线错误中断允许位)

如果将 BEIE 位置“0”，即使 EIFR.BEIF 标志为“1”，也不产生错误中断请求。如果将 BEIE 位置“1”，就在 BEIF 标志变为“1”时产生错误中断请求。

EWIE 位 (错误警告中断允许位)

如果将 EWIE 位置“0”，即使 EIFR.EWIF 标志为“1”，也不产生错误中断请求。如果将 EWIE 位置“1”，就在 EWIF 标志变为“1”时产生错误中断请求。

EPIE 位 (错误被动入口中断允许位)

如果将 EPIE 位置“0”，即使 EIFR.EPIF 标志为“1”，也不产生错误中断请求。如果将 EPIE 位置“1”，就在 EPIF 标志变为“1”时产生错误中断请求。

BOEIE 位 (总线断开开始中断允许位)

如果将 BOEIE 位置“0”，即使 EIFR.BOEIF 标志为“1”，也不产生错误中断请求。如果将 BOEIE 位置“1”，就在 BOEIF 标志变为“1”时产生错误中断请求。

BORIE 位 (总线断开恢复中断允许位)

如果将 BORIE 位置“0”，即使 EIFR.BORIF 标志为“1”，也不产生错误中断请求。如果将 BORIE 位置“1”，就在 BORIF 标志变为“1”时产生错误中断请求。

ORIE 位 (溢出中断允许位)

如果将 ORIE 位置“0”，即使 EIFR.ORIF 标志为“1”，也不产生错误中断请求。如果将 ORIE 位置“1”，就在 ORIF 标志变为“1”时产生错误中断请求。

OLIE 位 (超载帧发送中断允许位)

如果将 OLIE 位置“0”，即使 EIFR.OLIF 标志为“1”，也不产生错误中断请求。如果将 OLIE 位置“1”，就在 OLIF 标志的设定条件变为“1”时产生错误中断请求。

BLIE 位 (总线锁定中断允许位)

如果将 BLIE 位置“0”，即使 EIFR.BLIF 标志为“1”，也不产生错误中断请求。如果将 BLIE 位置“1”，就在 BLIF 标志变为“1”时产生错误中断请求。

32.2.19 错误中断源判断寄存器 (EIFR)

地址 0009 084Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	BLIF	OLIF	ORIF	BORIF	BOEIF	EPIF	EWIF	BEIF
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	BEIF	总线错误检测标志	0: 未检测到总线错误 1: 检测到总线错误	R/W
b1	EWIF	错误警告检测标志	0: 未检测到错误警告 1: 检测到错误警告	R/W
b2	EPIF	错误被动检测标志	0: 未检测到错误被动 1: 检测到错误被动	R/W
b3	BOEIF	总线断开开始检测标志	0: 未检测到总线断开开始 1: 检测到总线断开开始	R/W
b4	BORIF	总线断开恢复检测标志	0: 未检测到总线断开恢复 1: 检测到总线断开恢复	R/W
b5	ORIF	接收溢出检测标志	0: 未检测到接收溢出 1: 检测到接收溢出	R/W
b6	OLIF	超载帧发送检测标志	0: 未检测到超载帧发送 1: 检测到超载帧发送	R/W
b7	BLIF	总线锁定检测标志	0: 未检测到总线锁定 1: 检测到总线锁定	R/W

如果发生对应各标志的现象，EIFR 寄存器的对应标志就变为“1”，与 EIER 寄存器的设定无关。

要将各标志置“0”时，必须写“0”。在通过程序写“0”的同时，对应的位变为“1”。

在将各标志置“0”时，不能使用逻辑运算 (AND.B) 指令而必须使用传送 (MOV) 指令，并且给对应的位写“0”而给其他位写“1”。即使写“1”，这些标志的值也不变。

BEIF 标志 (总线错误检测标志)

如果检测到总线错误，BEIF 标志就为“1”。

EWIF 标志 (错误警告检测标志)

如果 REC 或者 TEC 的值超过 95，EWIF 标志就为“1”。

只有在 REC 或者 TEC 首次超过 95 时，EWIF 标志才为“1”。在 REC 或者 TEC 超过 95 的情况下，如果通过程序给 EWIF 标志写“0”，REC 或者 TEC 就暂时小于等于 95，此标志在超过 95 前不变为“1”。

EPIF 标志 (错误被动检测标志)

如果 CAN 错误状态为错误被动状态 (REC (接收错误计数器) 或者 TEC 的值超过 127)，EPIF 标志就为“1”。

只有在 REC 或者 TEC 首次超过 127 时，EPIF 标志才为“1”。在 REC 或者 TEC 超过 127 的情况下，如果通过程序给 EPIF 标志写“0”，REC 或者 TEC 就暂时小于等于 127，此标志在 REC 或者 TEC 再次超过 127 前不变为“1”。

BOEIF 标志 (总线断开开始检测标志)

如果 CAN 错误状态为总线断开状态 (TEC (发送错误计数器) 的值超过 255), BOEIF 标志就为“1”。即使在 CTLR 寄存器的 BOM[1:0] 位为“01b” (在总线断开开始时自动转移到 CAN Halt 模式) 并且 CAN 模块为总线断开状态时, BOEIF 标志也为“1”。

BORIF 标志 (总线断开恢复检测标志)

如果 CAN 模块在以下条件下从总线断开状态正常恢复 (对 11 个连续的隐性位进行了 128 次的检测), BORIF 标志就为“1”:

- CTLR.BOM[1:0] 位为“00b”。
- CTLR.BOM[1:0] 位为“10b”。
- CTLR.BOM[1:0] 位为“11b”。

如果 CAN 模块在以下条件下从总线断开状态恢复时, BORIF 标志就不变为“1”:

- 将 CTLR.CANM[1:0] 位置“01b”或者“11b” (CAN 复位模式) 时
- 将 CTLR.RBOC 位置“1” (强制从总线断开状态恢复) 时
- CTLR.BOM[1:0] 位为“01b”时
- CTLR.BOM[1:0] 位为“11b”并且在正常恢复前将 CTLR.CANM[1:0] 位置“10b” (CAN Halt 模式) 时

ORIF 标志 (接收溢出检测标志)

如果发生接收溢出, ORIF 标志就为“1”。在重写模式中, ORIF 标志不为“1”。

如果在重写模式中产生重写条件, 就产生接收结束中断请求并且 ORIF 标志不变为“1”。

在普通信箱模式中, 如果在溢出模式中信箱 [0] ~ [31] 的任意一个信箱发生溢出, ORIF 标志就为“1”。在 FIFO 信箱模式中, 如果在溢出模式中信箱 [0] ~ [23] 的任意一个信箱或者接收 FIFO 发生溢出, ORIF 标志就为“1”。

OLIF 标志 (超载帧发送检测标志)

如果在 CAN 模块进行接收或者发送时检测到超载帧的发送条件, OLIF 标志就为“1”。

BLIF 标志 (总线锁定检测标志)

如果在 CAN 模块为 CAN 操作模式的期间检测到 CAN 总线上有 32 个连续的显性位, BLIF 位就为“1”。

在此标志变为“1”后, 在以下任意一种情况下重新进行检测:

- 在将此位从“1”改为“0”后, 检测到隐性位。
- 在将此位从“1”改为“0”后, 转移到 CAN 复位模式或者 CAN Halt 模式, 并且再次转移到 CAN 操作模式。

通过设定 CTLR.BOM[1:0] 位引起的 BOEIF 标志和 BORIF 标志的变化如表 32.8 所示。

表 32.8 通过设定 CTLR.BOM[1:0] 位引起的 BOEIF 标志和 BORIF 标志的变化

BOM[1:0] 位	BOEIF 标志	BORIF 标志
“00”	在转移到总线断开状态移时, 此标志为“1”。	在从总线断开状态恢复时, 此标志为“1”。
“01”		此标志不变为“1”。
“10”		在从总线断开状态恢复时, 此标志为“1”。
“11”		如果在 CANM[1:0] 位变为“10b” (CAN Halt 模式) 前从通常的总线断开状态恢复, 此标志就为“1”。

32.2.20 接收错误计数寄存器 (RECR)

地址 0009 084Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b7-b0	—	接收错误计数功能	根据正在接收的 CAN 模块的错误状态, 增加或者减小计数器的值。	R

RECR 寄存器是表示接收错误计数器值的寄存器。

有关接收错误计数器的增减条件, 请参照 CAN 规格 (ISO11898-1)。

在总线断开状态下, RECR 寄存器的值为不定值。

32.2.21 发送错误计数寄存器 (TECR)

地址 0009 084Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b7-b0	—	发送错误计数功能	根据正在发送的 CAN 模块的错误状态, 增加或者减小计数器的值。	R

TECR 寄存器是表示发送错误计数器值的寄存器。

有关发送错误计数器的增减条件, 请参照 CAN 规格 (ISO11898-1)。

在总线断开状态下, TECR 寄存器的值为不定值。

32.2.22 错误代码保存寄存器 (ECSR)

地址 0000 0850h

	b7	b6	b5	b4	b3	b2	b1	b0
	EDPM	ADEF	BE0F	BE1F	CEF	AEF	FEF	SEF
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	SEF	填充错误标志 (注1、注2)	0: 未检测到填充错误 1: 检测到填充错误	R/W
b1	FEF	格式错误标志 (注1、注2)	0: 未检测到格式错误 1: 检测到格式错误	R/W
b2	AEF	ACK 错误标志 (注1、注2)	0: 未检测到 ACK 错误 1: 检测到 ACK 错误	R/W
b3	CEF	CRC 错误标志 (注1、注2)	0: 未检测到 CRC 错误 1: 检测到 CRC 错误	R/W
b4	BE1F	位错误 (隐性) 标志 (注1、注2)	0: 未检测到位错误 1: 检测到位错误 (隐性)	R/W
b5	BE0F	位错误 (显性) 标志 (注1、注2)	0: 未检测到位错误 1: 检测到位错误 (显性)	R/W
b6	ADEF	ACK 定界符错误标志 (注1、注2)	0: 未检测到 ACK 定界符错误 1: 检测到 ACK 定界符错误	R/W
b7	EDPM	错误表示模式选择位 (注3、注4)	0: 输出最初检测到的错误代码 1: 输出累积的错误代码	R/W

注1. 即使写“1”，这些位的值也不变。

注2. 在给 SEF、FEF、AEF、CEF、BE1F、BE0F 或者 ADEF 位写“0”时，不能使用逻辑运算 (AND.B) 指令而必须使用传送 (MOV) 指令，并且必须给对应的位写“0”而给其他位写“1”。

注3. 必须在 CAN 复位模式或者 CAN Halt 模式中更改 EDPM 位。

注4. 当同时检测到 1 个或者 1 个以上的错误条件时，相关的全部位都变为“1”。

ECSR 寄存器监视 CAN 总线上的错误发生。

要确认各错误的发生条件时，请参照 CAN 规格 (ISO11898-1)。

要将除 EDPM 位以外的各位置“0”时，必须通过程序给这些位写“0”。如果各位变为“1”的时序和写“0”的时序相同，该对应位就变为“1”。

SEF 标志 (填充错误标志)

如果检测到填充错误，SEF 标志就为“1”。

FEF 标志 (格式错误标志)

如果检测到格式错误，FEF 标志就为“1”。

AEF 标志 (ACK 错误标志)

如果检测到 ACK 错误，AEF 标志就为“1”。

CEF 标志 (CRC 错误标志)

如果检测到 CRC 错误，CEF 标志就为“1”。

BE1F 标志 (位错误 (隐性) 标志)

如果检测到隐性位错误，BE1F 标志就为“1”。

BE0F 标志 (位错误 (显性) 标志)

如果检测到显性位错误，BE0F 标志就为“1”。

ADEF 标志 (ACK 定界符错误标志)

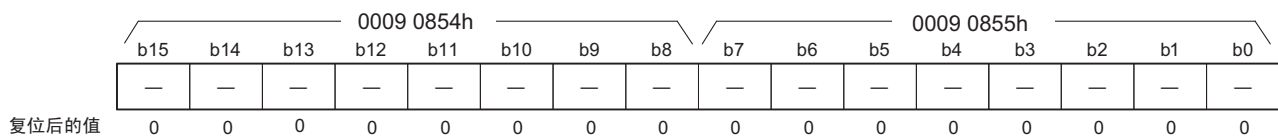
如果通过正在发送的 ACK 定界符检测到格式错误，ADEF 标志就为“1”。

EDPM 位 (错误表示模式选择位)

EDPM 位设定 ECSR 寄存器的输出模式。如果将 EDPM 位置“0”，ECSR 寄存器就输出最初的错误代码；如果将 EDPM 位置“1”，ECSR 寄存器就输出累积的错误代码。

32.2.23 时戳寄存器 (TSR)

地址 0009 0854h



位	符号	位名	功能	R/W
b15-b0	—	时戳寄存器	时戳功能的自由运行计数器的值	R

注. 必须以 16 位为单位读 TSR 寄存器。

如果读 TSR 寄存器，就能读到当时的时戳计数器（16 位自由运行计数器）的值。

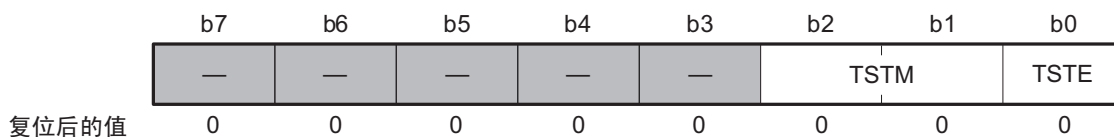
时戳计数器的基准时钟的值是 1 位时间倍增后的值，通过 CTLR 寄存器的 TSPS[1:0] 位进行设定。

在 CAN 睡眠模式和 CAN Halt 模式中，时戳计数器停止计数；在 CAN 复位模式中，对时戳计数器进行初始化。

在将接收信息保存到收件箱时，将当时的时戳计数器的值保存到 MB 寄存器的 TSL[7:0] 或者 TSH[7:0] 位。

32.2.24 测试控制寄存器 (TCR)

地址 0009 0858h



位	符号	位名	功能	R/W
b0	TSTE	测试模式允许位	0: 禁止 CAN 测试模式 1: 允许 CAN 测试模式	R/W
b2-b1	TSTM	CAN 测试模式选择位	b2 b1 00: 不是 CAN 测试模式 01: 只听模式 10: 自测试模式 0 (外部环回) 11: 自测试模式 1 (内部环回)	R/W
b7-b3	—	保留位	读写值都为“0”。	R/W

TCR 寄存器是控制 CAN 测试模式的寄存器。只能在 CAN Halt 模式中更改 TCR 寄存器。

(1) 只听模式

在 CAN 规格 (ISO11898-1) 中, 建议使用总线监视模式选项。在只听模式中, 能接收有效的数据帧和远程帧, 但是只在 CAN 总线上发送隐性位, 而不发送 ACK 位、超载标志和有效错误标志。

只听模式能用于波特率的检测。

在只听模式中, 所有信箱都不能请求发送。

选择只听模式时的连接如图 32.6 所示。

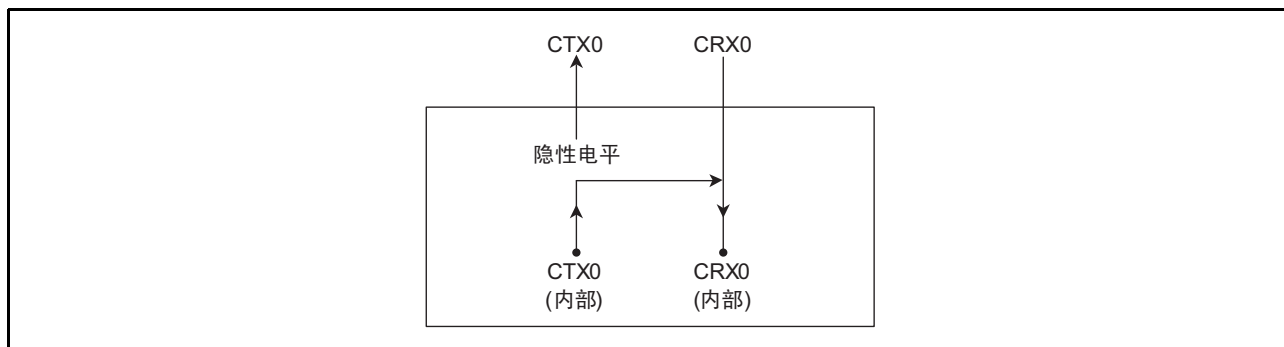


图 32.6 选择只听模式时的连接

(2) 自测试模式 0 (外部环回)

自测试模式 0 用于 CAN 收发器的测试 (自节点的自诊断功能)。CTX0/CRX0 引脚必须连接 CAN 收发器。

在自测试模式 0 中, 为了在网络上不与其它节点连接的情况下也能进行自诊断测试, 通过从自节点发送 ACK 位, 确认 CAN 是否正常通信。

选择自测试模式 0 时的连接如图 32.7 所示。

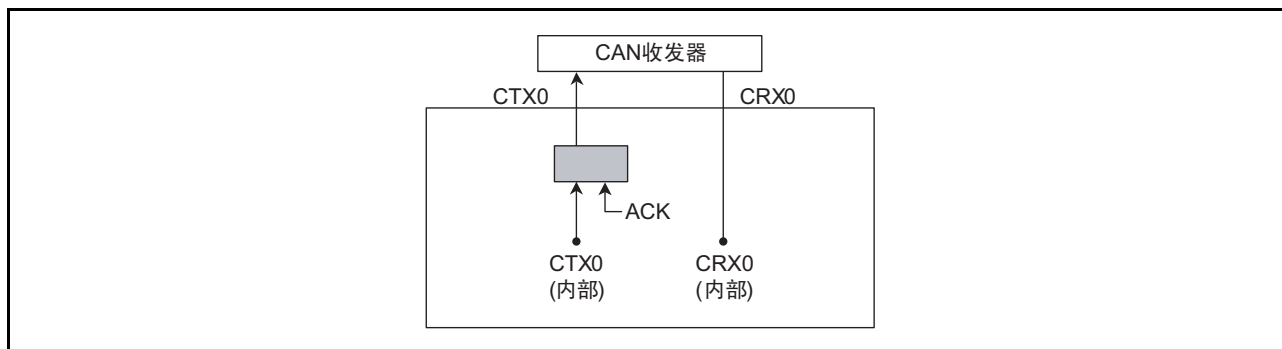


图 32.7 选择自测试模式 0 时的连接

(3) 自测试模式 1 (内部环回)

自测试模式 1 用于自测试功能。

在自测试模式 1 中, 将发送信息作为接收信息处理, 保存到接收缓冲器。为了能从外部独立进行自测试而生成 ACK 位。

在自测试模式 1 中, 进行内部 CTX0 引脚到内部 CRX0 引脚的内部反馈。忽视外部 CRX0 引脚的输入值, 外部 CTX0 引脚只输出隐性位。CTX0/CRX0 引脚不需要连接 CAN 总线以及其他外部设备。

选择自测试模式 1 时的连接如图 32.8 所示。

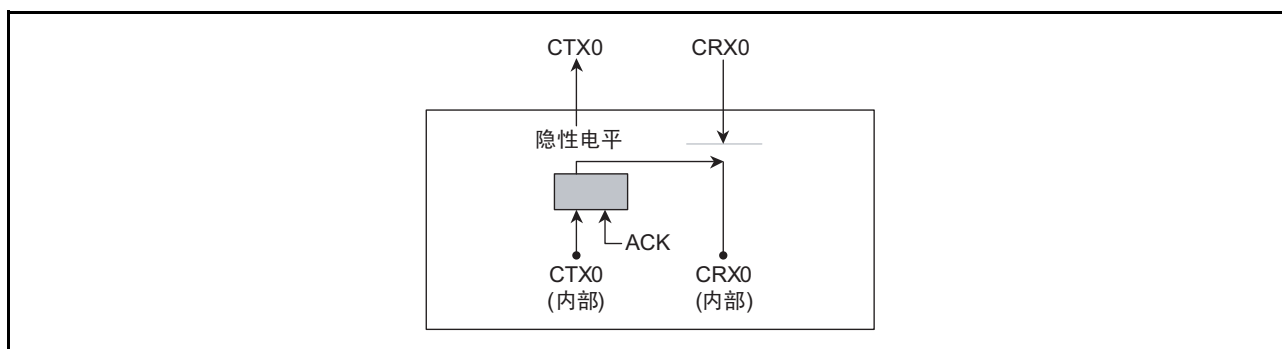


图 32.8 选择自测试模式 1 时的连接

32.3 运行模式

CAN 模块有以下 4 种运行模式：

- CAN 复位模式
- CAN Halt 模式
- CAN 操作模式
- CAN 睡眠模式

CAN 运行模式之间的转移如图 32.9 所示。

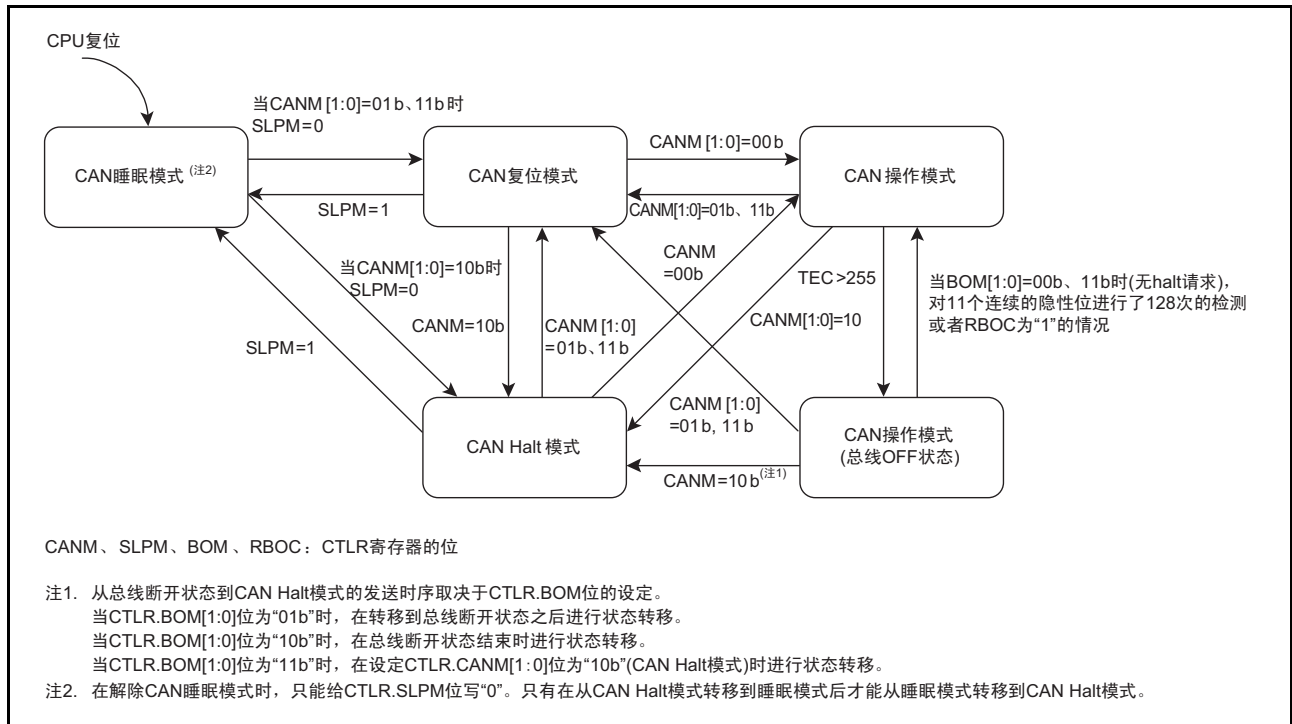


图 32.9 CAN 运行模式之间的转移

32.3.1 CAN 复位模式

CAN 复位模式是设定 CAN 通信的模式。

如果将 CTLR.CANM[1:0] 位置“01b”或者“11b”，CAN 模块就变为 CAN 复位模式，此时 STR.RSTST 位为“1”。不能在 RSTST 位变为“1”前更改 CTLR.CANM[1:0] 位。在从 CAN 复位模式转移到其他模式前，必须设定 BCR 寄存器。

以下的寄存器在转移到 CAN 复位模式后被初始化为复位后的值，而在 CAN 复位模式中保持初始值。

- MCTLj(j=0 ~ 31) 寄存器
- STR 寄存器 (SLPST 位和 TFST 位除外)
- EIFR 寄存器
- RECR 寄存器
- TECR 寄存器
- TSR 寄存器
- MSSR 寄存器
- MSMR 寄存器
- RFCR 寄存器
- TFCR 寄存器
- TCR 寄存器
- ECSR 寄存器 (EDPM 位除外)

即使在转移到 CAN 复位模式后，以下的寄存器也保持以前的值：

- CTLR 寄存器
- STR 寄存器 (SLPST 位和 TFST 位)
- MIER 寄存器
- EIER 寄存器
- BCR 寄存器
- CSSR 寄存器
- ECSR 寄存器 (只限于 EDPM 位)
- MBj 寄存器
- MKR0 ~ MKR7 寄存器
- FIDCR0 寄存器、FIDCR1 寄存器
- MKIVLR 寄存器
- AFSR 寄存器
- RFPCR 寄存器
- TFPCR 寄存器

32.3.2 CAN Halt 模式

CAN Halt 模式是设定信箱和测试模式的模式。

如果将 CTLR.CANM[1:0] 位置“10”，就变为 CAN Halt 模式，此时 STR.HLTST 位为“1”。不能在 HLTST 位变为“1”前更改 CANM[1:0] 位。

有关发送或者接收时的状态转移条件，请参照表 32.9。

在向 CAN Halt 模式转移时，STR 寄存器的 RSTST 位、HLTST 位和 SLPST 位以外的位以及其他全部寄存器都不变。

在 CAN Halt 模式中，不能更改 CTLR 寄存器（CANM[1:0] 位和 SLPM 位除外）和 EIER 寄存器。在 CAN 测试模式中，只有在选择只听模式时，才能用于自动波特率的检测；在 CAN Halt 模式中，能更改 BCR 寄存器。

表 32.9 CAN 复位模式和 CAN Halt 模式中的运行

模式	接收	发送	总线断开
CAN 复位模式 (强制转移) CANM[1:0]=11b	CAN 模块不等接收到接收完信息就转移到 CAN 复位模式。	CAN 模块不等到发送完信息就转移到 CAN 复位模式。	CAN 模块不等到总线断开恢复结束就转移到 CAN 复位模式。
CAN 复位模式 CANM[1:0]=01b	CAN 模块不等接收到接收完信息就转移到 CAN 复位模式。	CAN 模块在等到发送完信息后转移到 CAN 复位模式 (注 1、注 4)。	CAN 模块不等到总线断开恢复结束就转移到 CAN 复位模式。
CAN Halt 模式	CAN 模块在等到接收完信息后转移到 CAN Halt 模式 (注 2、注 3)	CAN 模块在等到发送完信息后转移到 CAN Halt 模式 (注 1、注 4)。	[BOM[1:0] 位为“00b”的情况] CAN 模块只在总线断开恢复后接收程序的 Halt 请求。 [BOM[1:0] 位为“01b”的情况] CAN 模块不等到总线断开恢复结束就自动转移到 CAN Halt 模式 (与程序的 Halt 请求无关)。 [BOM[1:0] 位为“10b”的情况] CAN 模块在等到总线断开恢复结束后自动转移到 CAN Halt 模式 (与程序的 Halt 请求无关)。 [BOM[1:0] 位为“11b”的情况] 如果 CAN 模块在总线断开过程中有程序的 Halt 请求，就立即转移到 CAN Halt 模式 (不等到总线断开恢复结束)。

【符号说明】BOM[1:0] 位：CTLR 寄存器的位

- 注 1. 如果有几个信息请求发送，就在结束最初的发送后转移模式。在发送挂起过程中请求 CAN 复位模式的状态下，如果为总线空闲状态或者下次发送结束或者 CAN 模块进入接收状态，就转移模式。
- 注 2. 在 CAN 总线被锁定为显性电平的情况下，如果监视 EIFR 寄存器的 BLIF 位，程序就能检测到总线锁定状态。
- 注 3. 在请求 CAN Halt 模式后，如果在接收过程中发生 CAN 总线错误，就立即转移到 CAN Halt 模式。
- 注 4. 在请求 CAN 复位模式或者 CAN Halt 模式后，如果在发送过程中发生 CAN 总线错误或者 CAN 仲裁失败，CAN 模块就立即转移到所请求的 CAN 模式。

32.3.3 CAN 睡眠模式

CAN 睡眠模式是通过停止给 CAN 模块提供时钟而减少消耗电流的模式。在进行 MCU 的引脚复位或者软件复位后，CAN 模块从 CAN 睡眠模式开始运行。

如果将 CTLR 寄存器的 SLPM 位置“1”，就变为 CAN 睡眠模式，此时 STR 寄存器的 SLPST 位为“1”。不能在 SLPST 位变为“1”前更改 SLPM 位的值。在向 CAN 睡眠模式转移时，其他寄存器不变。

必须在 CAN 复位模式和 CAN Halt 模式中更改 SLPM 位，不能在 CAN 睡眠模式中更改除 SLPM 位以外的寄存器。允许读操作。

如果将 SLPM 位置“0”，就解除 CAN 睡眠模式。在从 CAN 睡眠模式返回时，其他寄存器不变。

32.3.4 CAN 操作模式（非总线断开状态）

CAN 操作模式是进行 CAN 通信的模式。

如果将 CTLR 寄存器的 CANM[1:0] 位置“00b”，CAN 模块就变为 CAN 操作模式。

此时，STR 寄存器的 RSTST 位和 HLTST 位为“0”。不能在 RSTST 位和 HLTST 位为“0”前更改 CANM[1:0] 位的值。

如果在转移到 CAN 操作模式后检测到 11 个连续的隐性位，CAN 模块就变为以下的状态：

- CAN 模块为能进行通信的网络上的有效节点，能发送和接收 CAN 信息。
- 接收错误计数器和发送错误计数器等进行 CAN 总线的错误监视处理。

根据 CAN 总线的状态，CAN 模块在 CAN 操作模式中有以下 3 种子模式：

- 空闲模式：CAN 模块为未进行发送或者接收的状态。
- 接收模式：CAN 模块正在接收其他节点发送的 CAN 信息。
- 发送模式：CAN 模块正在发送 CAN 信息。在选择自测试模式 0（TCR 寄存器的 TSTM 位为“10b”）或者自测试模式 1（TSTM 位为“11b”）时，同时接收自身发送的信息。

CAN 操作模式的子模式如图 32.10 所示。

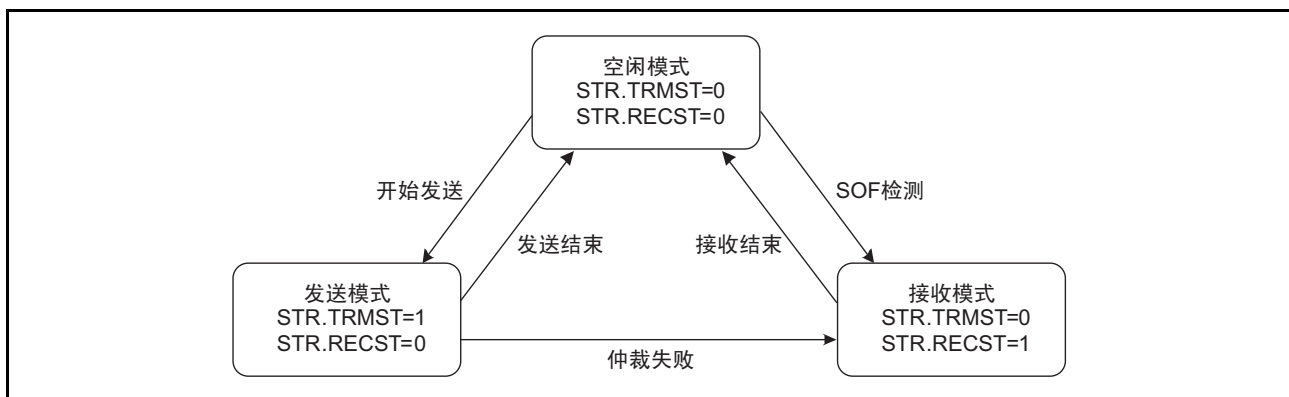


图 32.10 CAN 操作模式的子模式

32.3.5 CAN 操作模式 (总线断开状态)

根据 CAN 规格的发送错误计数器和接收错误计数器的增减规则，CAN 模块转移到总线断开状态。

在以下情况下，CAN 模块从总线断开状态恢复。在总线断开状态下，除 STR、EIFR、RECR、TECR 和 TSR 寄存器以外，CAN 模块的相关寄存器的值不变。

(1) CTLR.BOM[1:0] 位为“00b”的情况 (正常模式)

在从总线断开状态恢复结束后立即转移到错误主动状态，能进行 CAN 通信。此时，EIFR 寄存器的 BORIF 标志为“1” (检测到总线断开恢复)。

(2) 将 CTLR.RBOC 位置“1”的情况 (强制从总线断开状态恢复)

如果 CAN 模块为总线断开状态并且 RBOC 位为“1”，CAN 模块就立即转移到错误主动状态，并且能在检测到 11 个连续的隐性位后再次进行 CAN 通信。此时，BORIF 标志不为“1”。

(3) BOM[1:0] 位为“01b”的情况 (在总线断开开始时自动转移到 CAN Halt 模式)

一旦进入总线断开状态，就立即变为 CAN Halt 模式。此时，BORIF 标志不为“1”。

(4) BOM[1:0] 位为“10b”的情况 (在总线断开结束时自动转移到 CAN Halt 模式)

一旦从总线断开恢复结束，就变为 CAN Halt 模式。此时，BORIF 标志为“1”。

(5) BOM[1:0] 位为“11b” (通过程序转移到 CAN Halt 模式) 并且在总线断开状态下将 CTLR.CANM[1:0] 位置“10b”的情况 (CAN Halt 模式)

如果在总线断开状态下将 CANM[1:0] 位置“10b” (CAN Halt 模式)，就立即变为 CAN Halt 模式。此时，BORIF 标志不为“1”。

不在总线断开过程中将 CANM[1:0] 位置“10b”时，和 (1) 的运行相同。

32.4 CAN 通信速度的设定

以下说明有关 CAN 通信速度的设定。

32.4.1 CAN 时钟的设定

CAN 模块内置 CAN 时钟选择电路。

能通过 BCR 寄存器的 BRP[9:0] 位设定 CAN 时钟。

CAN 时钟发生电路的框图如图 32.11 所示。

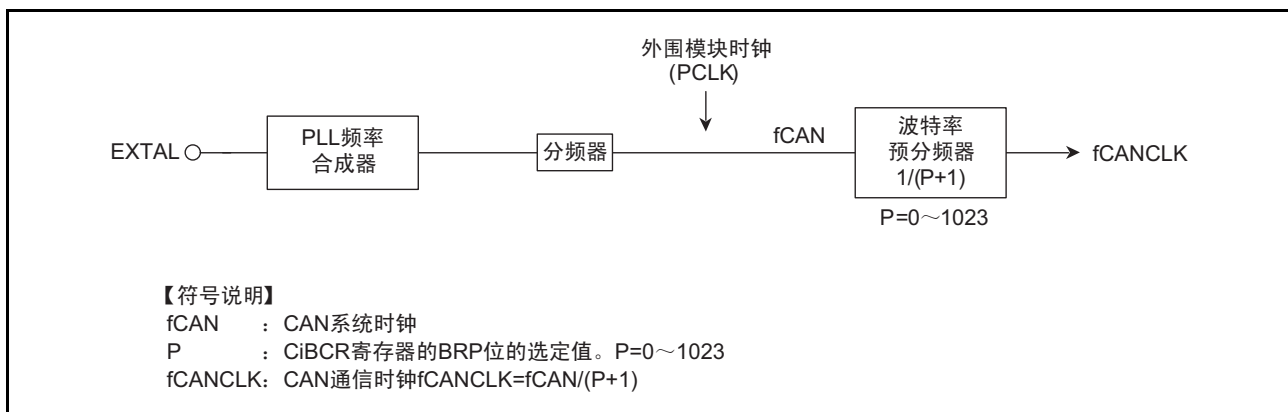


图 32.11 CAN 时钟发生电路的框图

32.4.2 位时序的设定

位时间由以下 3 段构成。
位时序如图 32.12 所示。

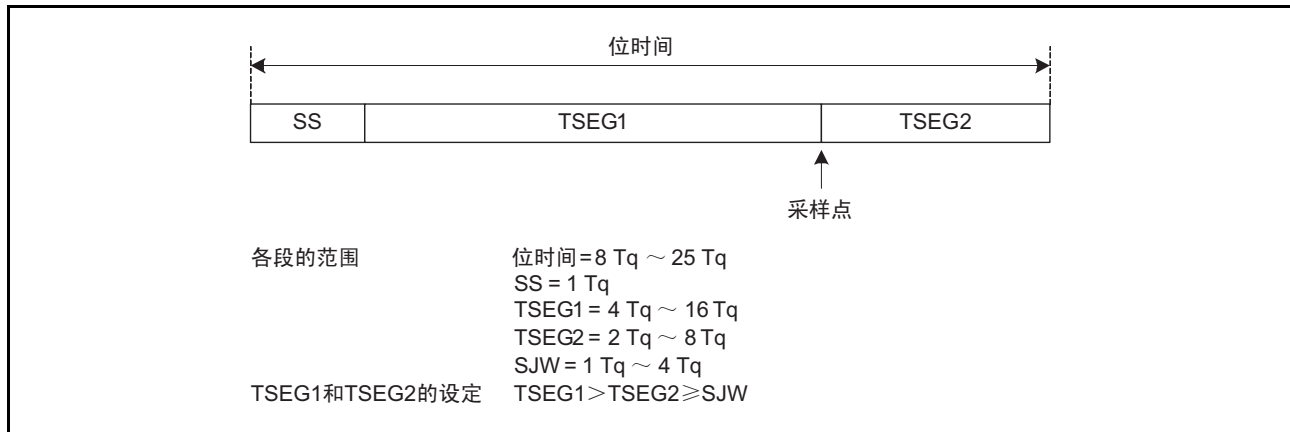


图 32.12 位时序图

32.4.3 位速率

位速率取决于 fCAN (CAN 系统时钟) 的分频值、波特率预分频器的分频值和 1 位的 Tq 数。

$$\text{位速率[bps]} = \frac{f_{CAN}}{\text{波特率预分频器的分频值}^{(注1)} \times \text{1位时间的Tq数}} = \frac{f_{CANCLK}}{\text{1位时间的Tq数}}$$

注 1. 波特率预分频器的分频值 = P+1 (P=0 ~ 1023)
P: BCR 寄存器的 BRP[9:0] 位的设定值

位速率的例子如表 32.10 所示。

表 32.10 位速率的例子

fCAN	50MHz		48MHz		40MHz		32MHz	
位速率	Tq 数	P+1	Tq 数	P+1	Tq 数	P+1	Tq 数	P+1
1Mbps	10Tq 25Tq	5 2	8Tq 12Tq 16Tq	6 4 3	10Tq 20Tq	4 2	8Tq 16Tq	4 2
500kbps	10Tq 25Tq	10 4	8Tq 12Tq 16Tq	12 8 6	10Tq 20Tq	8 4	8Tq 16Tq	8 4
250kbps	10Tq 25Tq	20 8	8Tq 12Tq 16Tq	24 16 12	10Tq 20Tq	16 8	8Tq 16Tq	16 8
125kbps	10Tq 25Tq	40 16	8Tq 12Tq 16Tq	48 32 24	10Tq 20Tq	32 16	8Tq 16Tq	32 16
83.3kbps	10Tq 25Tq	60 24	8Tq 12Tq 16Tq	72 48 36	8Tq 10Tq 16Tq 20Tq	60 48 30 24	8Tq 16Tq	48 24
33.3kbps	10Tq 25Tq	150 60	8Tq 12Tq 16Tq	180 120 90	8Tq 10Tq 20Tq	150 120 60	8Tq 10Tq 16Tq 20Tq	120 96 60 48

32.5 信箱和屏蔽寄存器的结构

MBj 寄存器的结构如图 32.13 所示。
有 32 个结构相同的信箱。

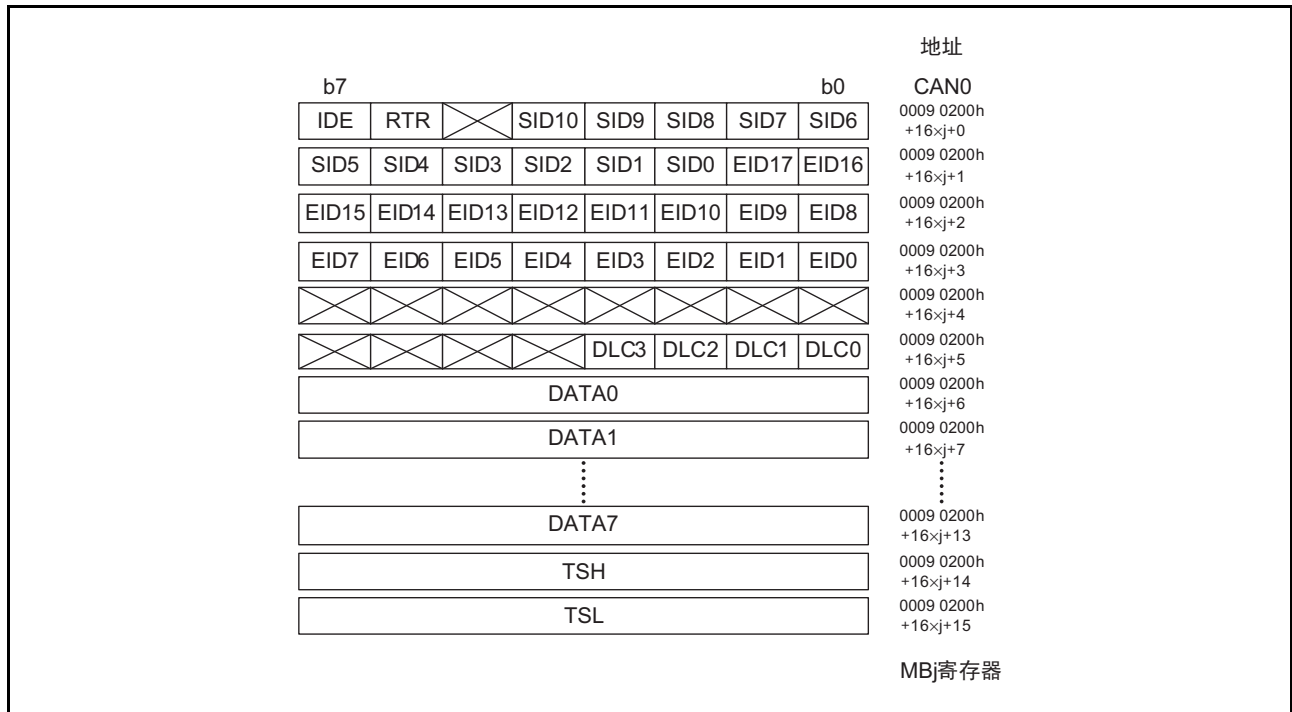


图 32.13 MBj 寄存器的结构 (j=0 ~ 31)

MKRi 寄存器的结构如图 32.14 所示。
有 8 个结构相同的屏蔽寄存器。

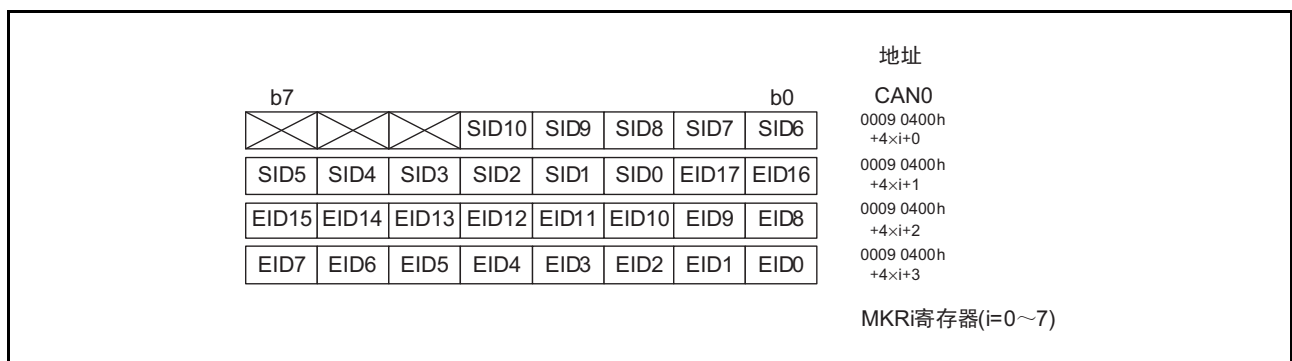


图 32.14 MKRi 寄存器的结构 (i=0 ~ 7)

FIDCR0 寄存器和 FIDCR1 寄存器的结构如图 32.15 所示。
有 2 个结构相同的 FIFO 接收 ID 比较寄存器。

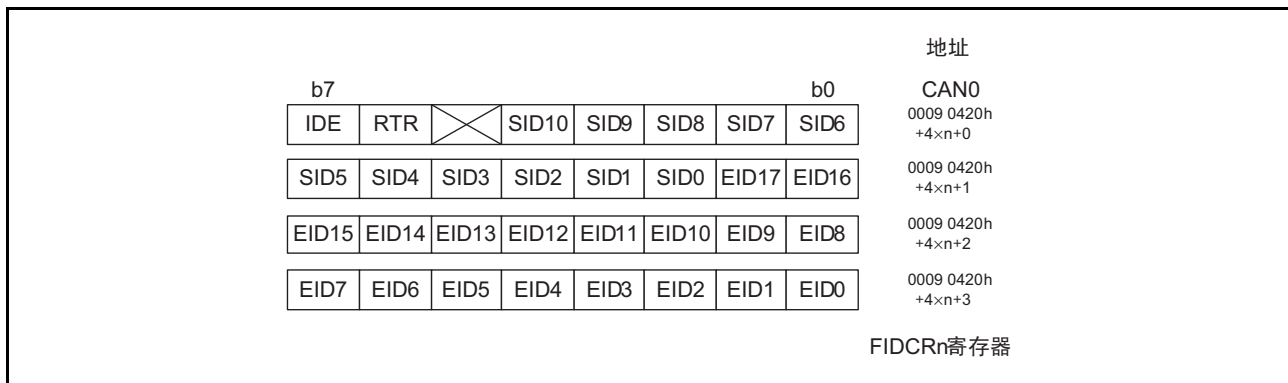


图 32.15 FIDCRn 寄存器的结构 (n=0、1)

32.6 验收过滤功能和屏蔽功能

验收过滤功能和屏蔽功能允许选择和接收一定范围的 ID。

MKR0 ~ MKR7 寄存器能屏蔽标准 ID 和 29 位扩展 ID。

- MKR0 寄存器对应信箱 [0] ~ [3]。
- MKR1 寄存器对应信箱 [4] ~ [7]。
- MKR2 寄存器对应信箱 [8] ~ [11]。
- MKR3 寄存器对应信箱 [12] ~ [15]。
- MKR4 寄存器对应信箱 [16] ~ [19]。
- MKR5 寄存器对应信箱 [20] ~ [23]。
- 在普通信箱模式中，MKR6 寄存器对应信箱 [24] ~ [27]；在 FIFO 信箱模式中，MKR6 寄存器对应接收 FIFO 信箱 [28] ~ [31]。
- 在普通信箱模式中，MKR7 寄存器对应信箱 [28] ~ [31]；在 FIFO 信箱模式中，MKR7 寄存器对应接收 FIFO 信箱 [28] ~ [31]。

MKIVLR 寄存器分别禁止各信箱的验收过滤功能。

在 CTLR 寄存器的 IDFM[1:0] 位为“10”（混合 ID 模式）时，MBj 寄存器的 IDE 位有效。

MBj 寄存器的 RTR 位选择数据帧和远程帧。

在 FIFO 信箱模式中，普通信箱（信箱 [0] ~ [23]）使用 MKR0 ~ MKR5 寄存器中对应的 1 个寄存器进行验收过滤处理，而接收 FIFO 信箱（信箱 [28] ~ [31]）使用 MKR6 寄存器和 MKR7 寄存器进行验收过滤处理。

接收 FIFO 使用 FIDCR0 寄存器和 FIDCR1 寄存器进行 ID 的比较。接收 FIFO 的 MB28 ~ MB31 寄存器的 EID[17:0]、SID[10:0]、RTR 和 IDE 位无效。因为分别用 2 个逻辑或的结果进行验收过滤处理，所以接收 FIFO 能接收 2 个范围的 ID。

MKIVLR 寄存器对接收 FIFO 无效。

如果将标准 ID 和扩展 ID 分别设定到 FIDCR0 寄存器和 FIDCR1 寄存器的 IDE 位，就接收标准 ID 和扩展 ID 的 ID 格式。

如果将数据帧和远程帧分别设定到 FIDCR0 寄存器和 FIDCR1 寄存器的 RTR 位，就接收数据帧和远程帧。

在不需要 2 个范围的 ID 组合时，必须给 FIFO ID 和屏蔽寄存器设定相同的屏蔽值和 ID。

屏蔽寄存器和信箱的对应以及验收过滤处理分别如图 32.16 和图 32.17 所示。

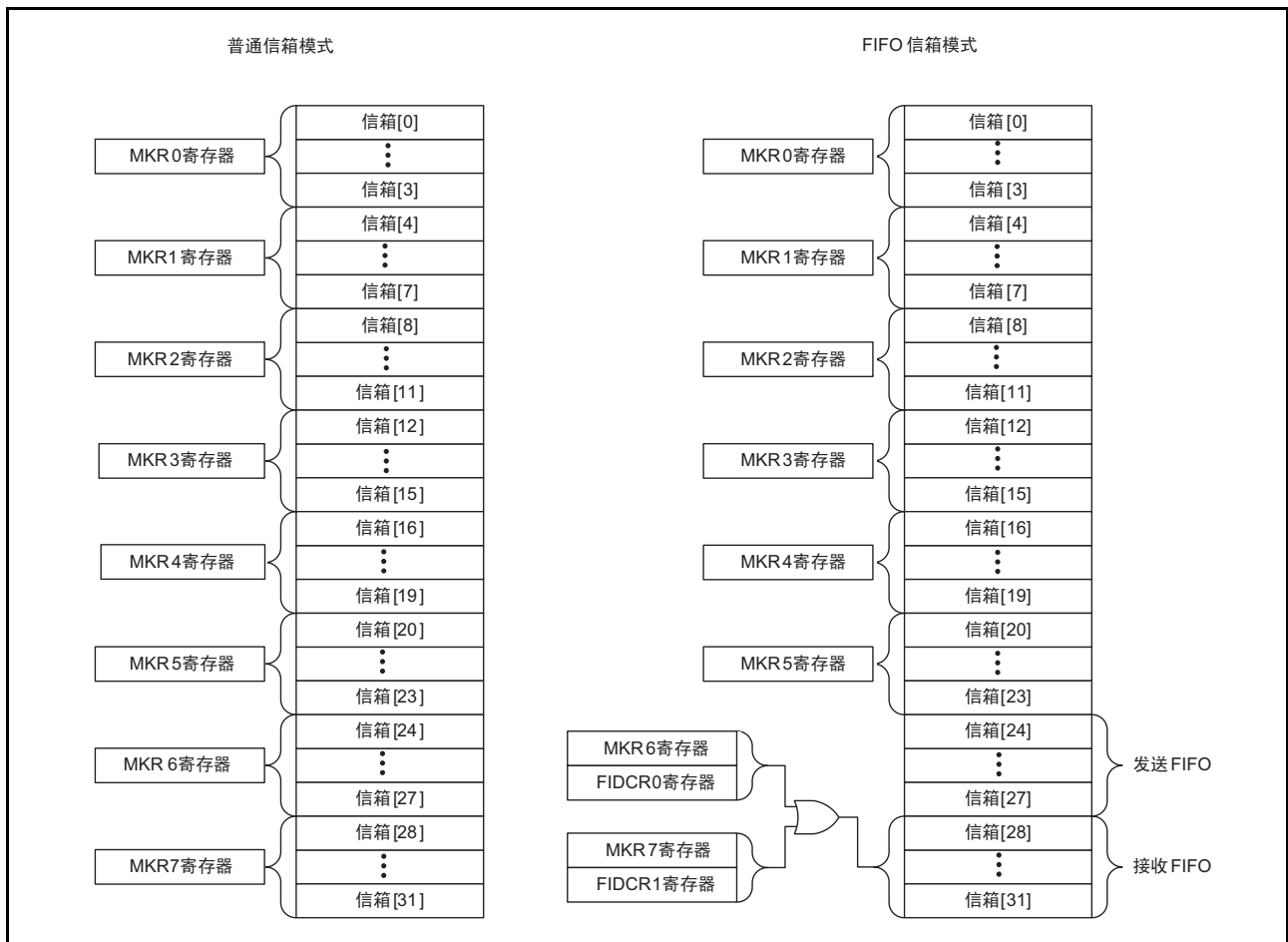


图 32.16 屏蔽寄存器和信箱的对应

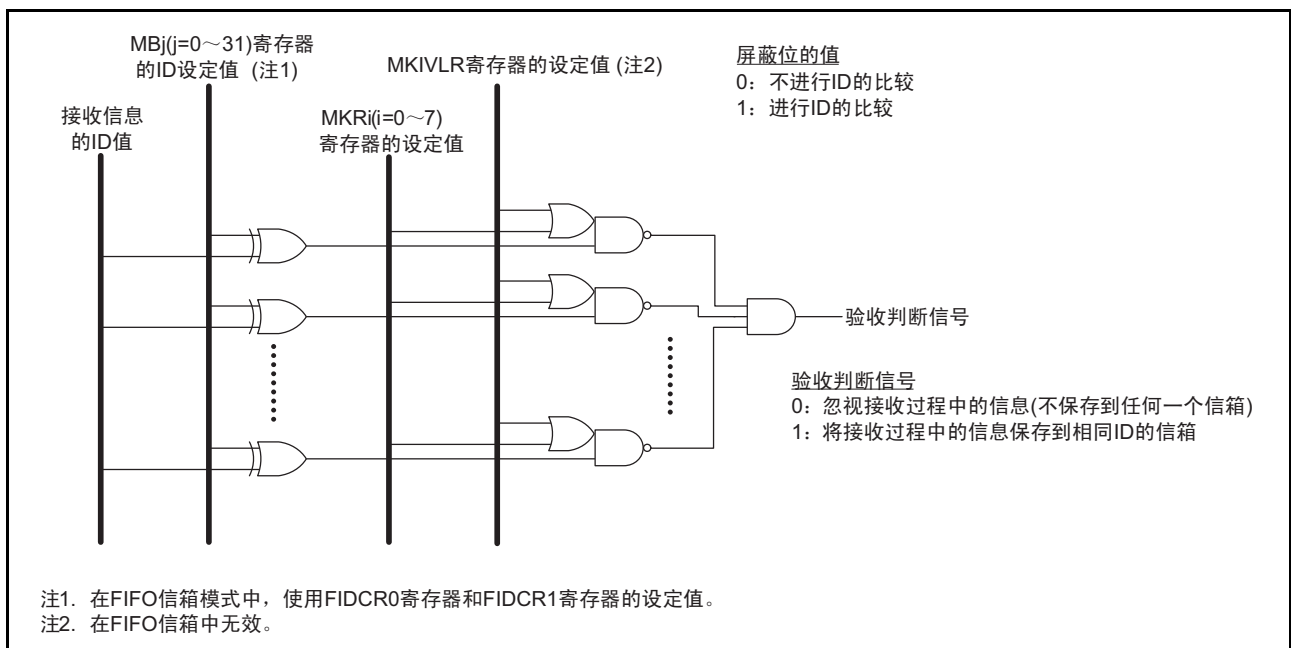


图 32.17 验收过滤处理

32.7 接收 / 发送

CAN 通信模式的设定方法如表 32.11 所示。

表 32.11 CAN 接收模式和 CAN 发送模式的设定方法

MCTLj. TRMREQ	MCTLj. RECREQ	MCTLj. ONESHOT	信箱的通信模式
0	0	0	不能使用信箱或者正在中止发送。
0	0	1	只有在单次模式中已中止所编程信箱的发送或者接收时才能进行设定。
0	1	0	设定为数据帧或者远程帧的收件箱。
0	1	1	设定为数据帧或者远程帧的单次收件箱。
1	0	0	设定为数据帧或者远程帧的发件箱。
1	0	1	设定为数据帧或者远程帧的单次发件箱。
1	1	0	不能设定
1	1	1	不能设定

【符号说明】j=0 ~ 31

在将信箱设定为收件箱或者单次收件箱时，必须注意以下事项：

1. 在将信箱设定为收件箱或者单次收件箱前，必须将MCTLj寄存器置“00h”。
2. 根据接收模式的设定和验收滤波器的处理结果，将接收信息保存到条件相同的第一个信箱。对于保存接收信息的信箱，信箱号越小，优先级越高。
3. 在CAN操作模式中，如果发送和被设定为接收信息的信箱的ID/屏蔽相同的信息，CAN模块就不接收发送数据。但是，在自测试模式中CAN模块接收发送数据，此时CAN模块返回ACK。

在将信箱设定为发件箱或者单次发件箱时，必须注意以下事项：

- 在将信箱设定为发件箱或者单次发件箱前，必须确认MCTLj寄存器为“00h”并且不在进行中止处理。

32.7.1 接收

接收数据帧时的运行例子（重写模式）如图 32.18 所示。

在此例中，当接收到和 MCTLj 寄存器（j=0~31）的信箱条件相同的 2 个连续的 CAN 信息时，重写最初的信息。

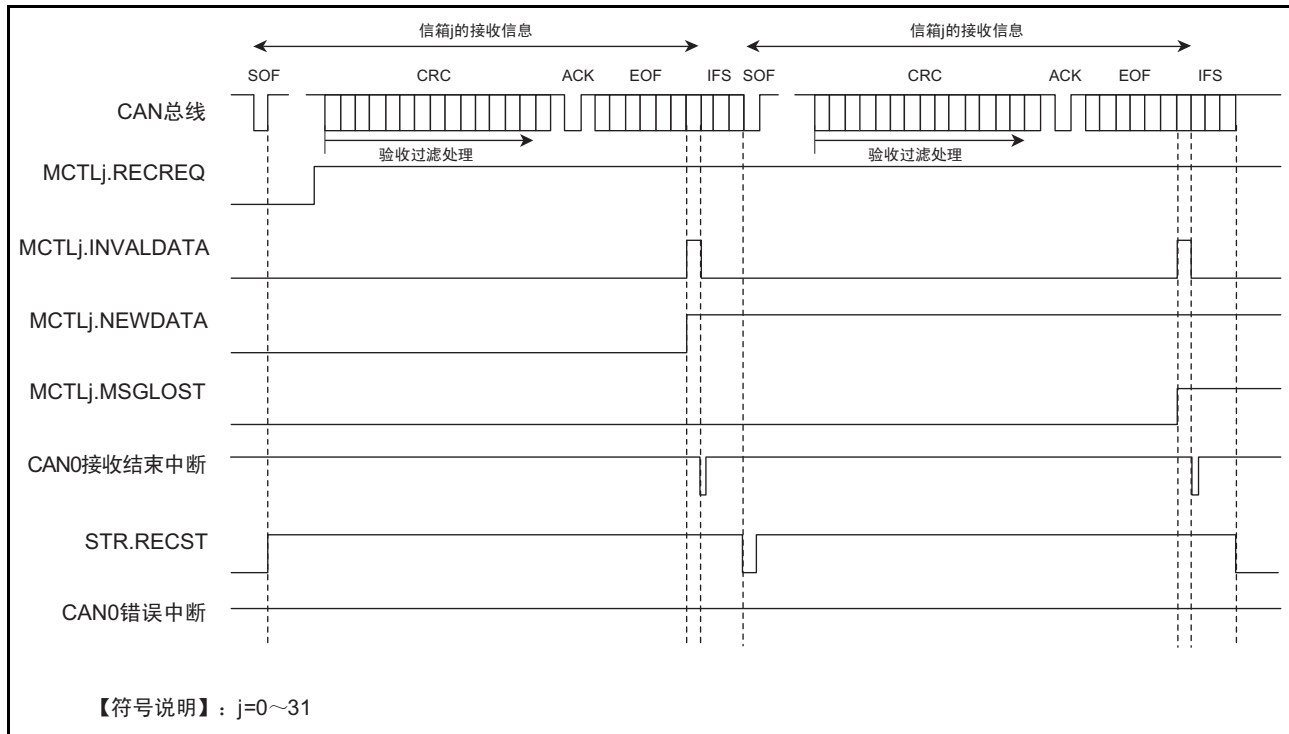


图 32.18 接收数据帧时的运行例子（重写模式）

1. 当在CAN总线上检测到SOF时，如果CAN模块没有要开始发送的信息，STR.RECST位就立即变为“1”（正在接收）。
2. 要选择收件箱时，从CRC字段的开头开始进行验收过滤处理。
3. 一旦接收完信息，收件箱的MCTLj.NEWDATA位就变为“1”（正在更新新信息或者已保存到信箱），同时MCTLj.INVALIDATA位变为“1”（正在更新信息），在给该信箱传送完全部信息后，INVALIDATA位恢复为“0”（信息有效）。
4. 当收件箱的MIER寄存器的中断允许位为“1”（允许中断）时，产生CAN0接收结束中断请求。如果INVALIDATA位为“0”，就发生此中断（CAN0接收结束中断）。
5. 在从信箱读信息后，需要通过程序将NEWDATA标志置“0”。
6. 在重写模式中，如果NEWDATA标志再次变为“1”的信箱接收完下一条CAN信息，MCTLj.MSGLOST标志就变为“1”（重写信息），并且将新的接收信息传送到信箱。CAN0接收结束中断请求的产生条件和4.相同。

接收数据帧时的运行例子（溢出模式）如图 32.19 所示。

在此例中，当接收到和 MCTLj 寄存器（j=0 ~ 31）的信箱条件相同的 2 个连续的 CAN 信息时，放弃第 2 条信息。

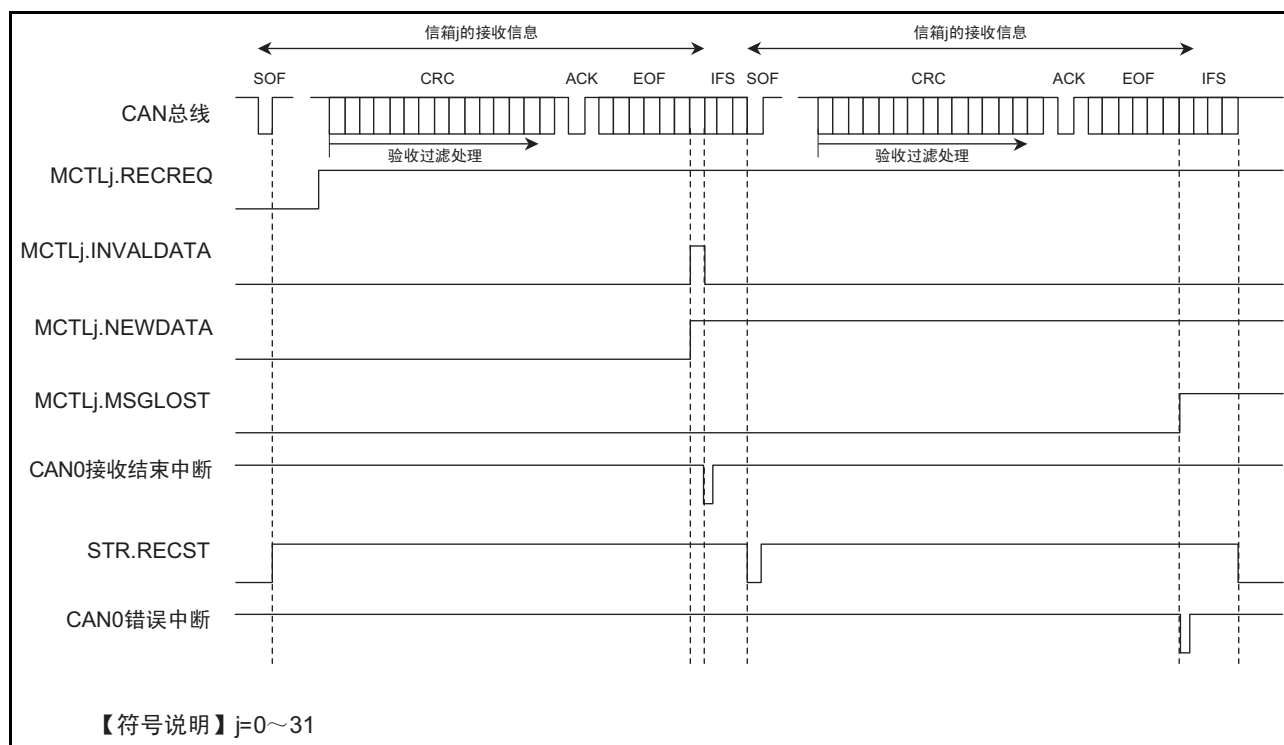


图 32.19 接收数据帧时的运行例子（溢出模式）

1. ~ 5. 和重写模式相同。
6. 在溢出模式中，如果在 MCTLj.NEWDATA 标志变为“0”前接收完下一条 CAN 信息，MCTLj.MSGLOST 标志就变为“1”（信息溢出）。当放弃新的接收信息并且 EIER 寄存器的对应中断允许位为“1”（中断允许）时，产生 CAN0 错误中断请求。

32.7.2 发送

发送数据帧时的运行例子如图 32.20 所示。

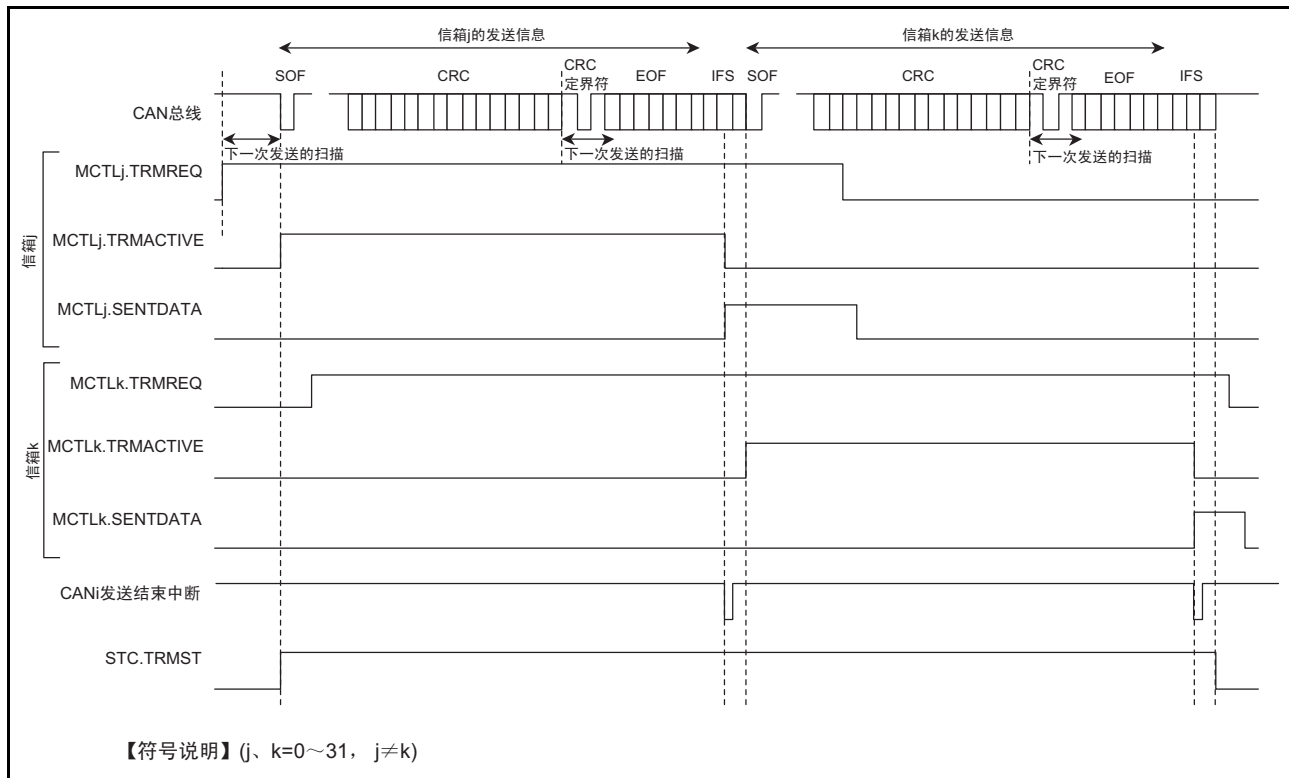


图 32.20 发送数据帧时的运行例子

1. 如果在总线空闲状态下将 $MCTLj.TRMREQ$ 位 ($j=0\sim31$) 置“1” (发件箱), 为了决定优先级最高的发件箱而开始信箱取消处理。一旦决定发件箱, $MCTLj.TRMACTIVE$ 位就变为“1” (从取发送请求到发送结束、发生错误或者仲裁失败为止验收) 并且 $CiSTR.TRMST$ 位变为“1” (正在发送), CAN 模块开始发送 (注1)。
2. 在设定了其他 $TRMREQ$ 位时, 从 CRC 定义符开始下次发送的发送取消处理。
3. 当不发生仲裁失败而结束发送时, $MCTLj.SENTDATA$ 标志为“1” (发送结束) 并且 $TRMACTIVE$ 位为“0” (正处于发送待机或者无发送请求)。当 $MIER$ 寄存器的中断允许位为“1” (允许中断) 时, 产生 $CANi$ 发送结束中断请求。
4. 在从相同信箱请求下次发送时, 必须将 $SENTDATA$ 标志和 $TRMREQ$ 位置“0”, 在确认 $SENTDATA$ 标志和 $TRMREQ$ 位为“0”后将 $TRMREQ$ 位置“1”。

注 1. 如果在 CAN 模块开始发送后发生仲裁失败, $TRMACTIVE$ 位就变为“0”。为了从 CRC 定义符开始搜索优先级最高的发件箱, 需要再次进行发送取消处理。当正在进行发送或者在发生仲裁失败后发生错误时, 为了从错误定义符开始搜索优先级最高的发件箱, 需要再次进行发送取消处理。

32.8 CAN 中断

CAN 模块的各通道有以下的 CAN 中断，CAN 中断一览表如表 32.12 所示。

- CAN0 接收结束中断 (信箱 0~31) [RXM0]
- CAN0 发送结束中断 (信箱 0~31) [TXM0]
- CAN0 接收 FIFO 中断 [RXF0]
- CAN0 发送 FIFO 中断 [TXF0]
- CAN0 错误中断 [ERS0]

CAN0 错误中断有 8 个中断源。能通过检查 EIFR 寄存器，确认这些中断源。

- 总线错误
- 错误警告
- 错误被动
- 总线断开开始
- 总线断开恢复
- 接收溢出
- 超载帧发送
- 总线锁定

表 32.12 CAN 中断一览表

模块	中断符号	中断源	中断源标志
CAN0	ERS0	总线锁定检测	EIFR.BLIF
		超载帧发送检测	EIFR.OLIF
		溢出检测	EIFR.ORIF
		总线断开恢复检测	EIFR.BORIF
		总线断开开始检测	EIFR.BOEIF
		错误被动检测	EIFR.EPIF
		错误警告检测	EIFR.EWIF
		总线错误检测	EIFR.BEIF
	RXF0	接收 FIFO 信息接收 (MIER[29]=0)	—
		接收 FIFO 警告 (MIER[29]=1)	
	TXF0	发送 FIFO 信息发送结束 (MIER[25]=0)	—
		FIFO 最后信息发送结束 (MIER[25]=1)	
	RXM0	信箱 0 ~ 31 信息接收	MCTL0.NEWDATA ~ MCTL31.NEWDATA
	TXM0	信箱 0 ~ 31 信息发送结束	MCTL0.SENTDATA ~ MCTL31.SENTDATA

33. 串行外围接口 (RSPI)

33.1 概要

RX62N 群和 RX621 群内置独立的 2 个通道的串行外围接口 (RSPI)。

RSPI 能进行全双工同步串行通信，还内置和多个处理器、外围设备进行高速串行通信的功能。

RSPI 的规格和框图分别如表 33.1 和图 33.1 所示。

表 33.1 RSPI 的规格

项目	内容
通道数	2 个通道
RSPI 传送功能	<ul style="list-style-type: none"> 能使用 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select) 和 RSPCK (RSPI Clock) 信号，通过 SPI 运行 (4 线式) 或者时钟同步运行 (3 线式) 进行串行通信。 只能进行发送。 能在主控模式或者从属模式中进行串行通信。 能更改串行传送时钟的极性。 能更改串行传送时钟的相位。
数据格式	<ul style="list-style-type: none"> 能转换 MSB first 和 LSB first。 能将传送位长改为 8 位、9 位、10 位、11 位、12 位、13 位、14 位、15 位、16 位、20 位、24 位或者 32 位。 发送 / 接收缓冲器为 128 位。 1 次发送 / 接收最多传送 4 帧 (1 帧最多 32 位)。
缓冲器结构	发送 / 接收缓冲器的结构为双缓冲结构。
错误检测	<ul style="list-style-type: none"> 模式故障错误检测 溢出错检测 奇偶校验错误检测
SSL 控制功能	<ul style="list-style-type: none"> 每个通道有 4 个 SSL 信号 (SSLn0 ~ SSLn3)。 在设定为单主控模式时，输出 SSL0 ~ SSL3 信号。 在设定为多主控模式时，输入 SSL0 信号，输出 SSL1 ~ SSL3 信号或者将 SSL1 ~ SSL3 信号置为高阻抗。 在设定为从属模式时，输入 SSL0 信号，将 SSL1 ~ SSL3 信号置为高阻抗。 能设定从 SSL 输出有效开始到 RSPCK 运行为止的延迟 (RSPCK 延迟)。设定范围：1 ~ 8 个 RSPCK 设定单位：1 个 RSPCK 能设定从 RSPCK 停止开始到 SSL 输出无效为止的延迟 (SSL 无效延迟)。设定范围：1 ~ 8 个 RSPCK 设定单位：1 个 RSPCK 能设定下次存取的 SSL 输出有效的等待 (下次存取延迟)。设定范围：1 ~ 8 个 RSPCK 设定单位：1 个 RSPCK SSL 极性变更功能
主控传送时的控制方式	<ul style="list-style-type: none"> 能按顺序循环执行由最多 8 个命令构成的传送。 能对各命令设定以下项目： SSL 信号值、位速率、RSPCK 极性 / 相位、传送数据长度、LSB/MSB first、突发、RSPCK 延迟、SSL 无效延迟、下次存取延迟 能通过写发送缓冲器来启动传送。 能设定 SSL 无效时的 MOSI 信号值。
中断源	<ul style="list-style-type: none"> 可屏蔽的中断源 RSPI 接收中断 (接收缓冲器满) RSPI 发送中断 (发送缓冲器空) RSPI 错误中断 (模式故障错误、溢出错和奇偶校验错误) RSPI 空闲中断 (RSPI 空闲)
其他功能	<ul style="list-style-type: none"> CMOS/ 漏极开路输出的转换功能 RSPI 禁止 (初始化) 功能 环回模式功能

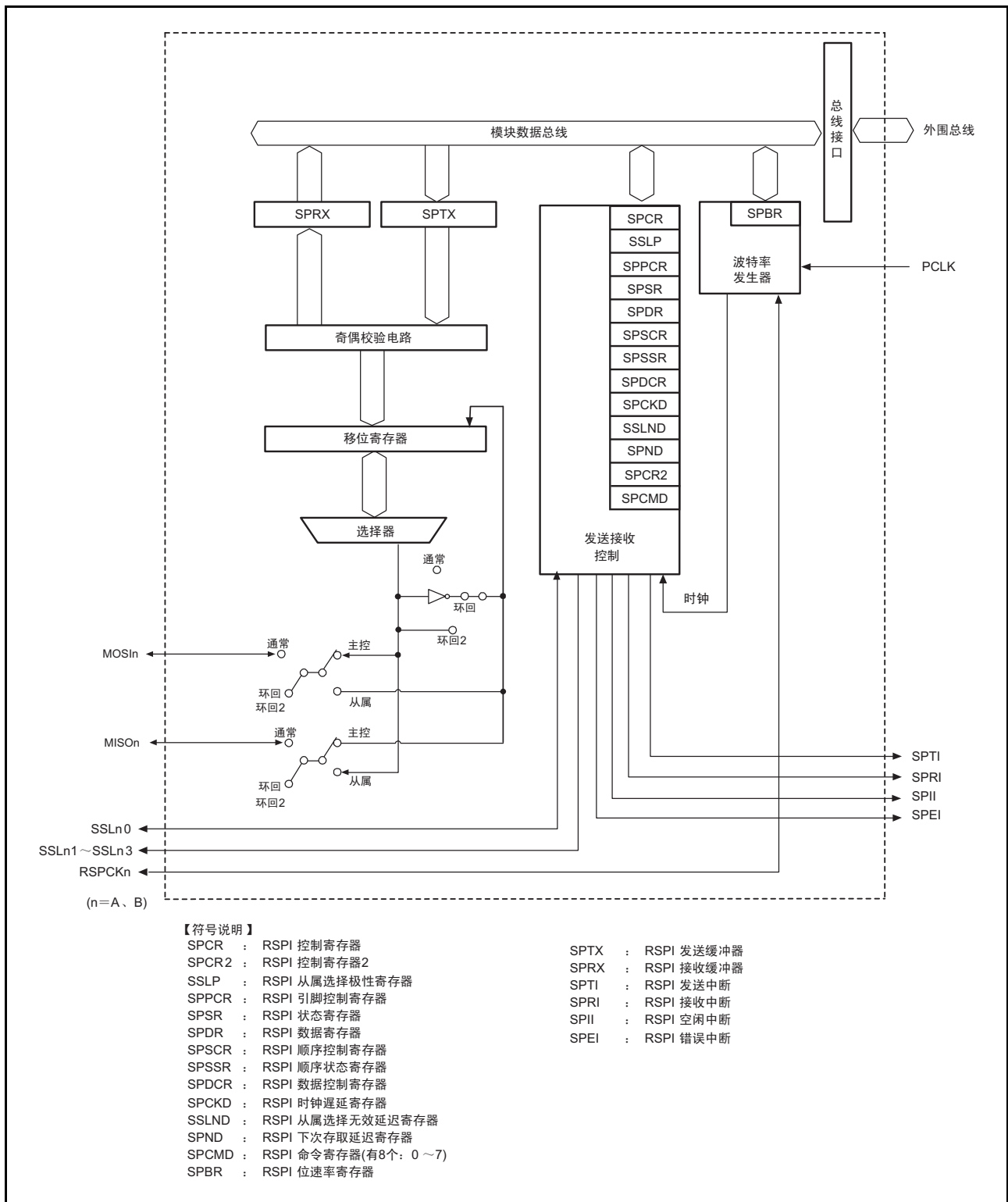


图 33.1 RSPI 的框图

RSPI 使用的输入 / 输出引脚如表 33.2 所示。

在设定为单主控模式时，RSPI 自动将 SSLn0 引脚 (n=A、B) 的输入 / 输出方向转换为输出；在设定为多主控模式和从属模式时，RSPI 自动将 SSLn0 引脚 (n=A、B) 的输入 / 输出方向转换为输入。根据主控模式 / 从属模式的设定和 SSLn0 引脚的输入电平，RSPI 自动转换 RSPCKn、MOSIn 和 MISOn 引脚 (n=A、B) 的输入 / 输出方向。

详细内容请参照“33.3.2 RSPI 引脚的控制”。

表 33.2 RSPI 的输入 / 输出引脚

通道	引脚名	输入 / 输出	功能
RSPI0	RSPCKA	输入 / 输出	时钟输入 / 输出引脚
	MOSIA	输入 / 输出	主控发送数据输入 / 输出引脚
	MISOA	输入 / 输出	从属发送数据输入 / 输出引脚
	SSLA0	输入 / 输出	从属选择输入 / 输出引脚
	SSLA1	输出	从属选择输出引脚
	SSLA2	输出	从属选择输出引脚
	SSLA3	输出	从属选择输出引脚
RSPI1	RSPCKB	输入 / 输出	时钟输入 / 输出引脚
	MOSIB	输入 / 输出	主控发送数据输入 / 输出引脚
	MISOB	输入 / 输出	从属发送数据输入 / 输出引脚
	SSLB0	输入 / 输出	从属选择输入 / 输出引脚
	SSLB1	输出	从属选择输出引脚
	SSLB2	输出	从属选择输出引脚
	SSLB3	输出	从属选择输出引脚

注. 本章节中省略通道，略称为 RSPCK、MOSI、MISO 和 SSL0 ~ SSL3。

33.2 寄存器说明

RSPI 的寄存器一览表如表 33.3 所示。能通过这些寄存器指定主控 / 从属模式和传送格式以及控制发送部 / 接收部。

表 33.3 RSPI 的寄存器一览表

通道	寄存器名	寄存器符号	复位后的值	地址	存取长度
RSPI0	RSPI 控制寄存器	SPCR	00h	0008 8380h	8
	RSPI 从属选择极性寄存器	SSLP	00h	0008 8381h	8
	RSPI 引脚控制寄存器	SPPCR	00h	0008 8382h	8
	RSPI 状态寄存器	SPSR	20h	0008 8383h	8
	RSPI 数据寄存器	SPDR	00000000h	0008 8384h	16、32
	RSPI 顺序控制寄存器	SPSCR	00h	0008 8388h	8
	RSPI 顺序状态寄存器	SPSSR	00h	0008 8389h	8
	RSPI 位速率寄存器	SPBR	FFh	0008 838Ah	8
	RSPI 数据控制寄存器	SPDCR	00h	0008 838Bh	8
	RSPI 时钟延迟寄存器	SPCKD	00h	0008 838Ch	8
	RSPI 从属选择无效延迟寄存器	SSLND	00h	0008 838Dh	8
	RSPI 下次存取延迟寄存器	SPND	00h	0008 838Eh	8
	RSPI 控制寄存器 2	SPCR2	00h	0008 838Fh	8
	RSPI 命令寄存器 0	SPCMD0	070Dh	0008 8390h	16
	RSPI 命令寄存器 1	SPCMD1	070Dh	0008 8392h	16
	RSPI 命令寄存器 2	SPCMD2	070Dh	0008 8394h	16
	RSPI 命令寄存器 3	SPCMD3	070Dh	0008 8396h	16
	RSPI 命令寄存器 4	SPCMD4	070Dh	0008 8398h	16
	RSPI 命令寄存器 5	SPCMD5	070Dh	0008 839Ah	16
	RSPI 命令寄存器 6	SPCMD6	070Dh	0008 839Ch	16
RSPI 命令寄存器 7	SPCMD7	070Dh	0008 839Eh	16	
RSPI1	RSPI 控制寄存器	SPCR	00h	0008 83A0h	8
	RSPI 从属选择极性寄存器	SSLP	00h	0008 83A1h	8
	RSPI 引脚控制寄存器	SPPCR	00h	0008 83A2h	8
	RSPI 状态寄存器	SPSR	20h	0008 83A3h	8
	RSPI 数据寄存器	SPDR	00000000h	0008 83A4h	16、32
	RSPI 顺序控制寄存器	SPSCR	00h	0008 83A8h	8
	RSPI 顺序状态寄存器	SPSSR	00h	0008 83A9h	8
	RSPI 位速率寄存器	SPBR	FFh	0008 83AAh	8
	RSPI 数据控制寄存器	SPDCR	00h	0008 83ABh	8
	RSPI 时钟延迟寄存器	SPCKD	00h	0008 83ACh	8
	RSPI 从属选择无效延迟寄存器	SSLND	00h	0008 83ADh	8
	RSPI 下次存取延迟寄存器	SPND	00h	0008 83AEh	8
	RSPI 控制寄存器 2	SPCR2	00h	0008 83AFh	8
	RSPI 命令寄存器 0	SPCMD0	070Dh	0008 83B0h	16
	RSPI 命令寄存器 1	SPCMD1	070Dh	0008 83B2h	16
	RSPI 命令寄存器 2	SPCMD2	070Dh	0008 83B4h	16
	RSPI 命令寄存器 3	SPCMD3	070Dh	0008 83B6h	16
	RSPI 命令寄存器 4	SPCMD4	070Dh	0008 83B8h	16
	RSPI 命令寄存器 5	SPCMD5	070Dh	0008 83BAh	16
	RSPI 命令寄存器 6	SPCMD6	070Dh	0008 83BCh	16
RSPI 命令寄存器 7	SPCMD7	070Dh	0008 83BEh	16	

注. 本章节中省略通道, 表示寄存器名。

33.2.1 RSPI 控制寄存器 (SPCR)

地址 RSPI0.SPCR 0008 8380h、RSPI1.SPCR 0008 83A0h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	TXMD	SPMS
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	SPMS	RSPI 模式选择位	0: SPI 运行 (4 线式) 1: 时钟同步运行 (3 线式)	R/W
b1	TXMD	通信运行模式选择位	0: 全双工同步串行通信 1: 只进行发送运行的串行通信	R/W
b2	MODFEN	模式故障错误检测允许位	0: 禁止模式故障错误的检测 1: 允许模式故障错误的检测	R/W
b3	MSTR	RSPI 主控 / 从属模式选择位	0: 从属模式 1: 主控模式	R/W
b4	SPEIE	RSPI 错误中断允许位	0: 禁止 RSPI 错误中断请求的产生 1: 允许 RSPI 错误中断请求的产生	R/W
b5	SPTIE	RSPI 发送中断允许位	0: 禁止 RSPI 发送中断请求的产生 1: 允许 RSPI 发送中断请求的产生	R/W
b6	SPE	RSPI 功能有效位	0: RSPI 功能无效 1: RSPI 功能有效	R/W
b7	SPRIE	RSPI 接收中断允许位	0: 禁止 RSPI 接收中断请求的产生 1: 允许 RSPI 接收中断请求的产生	R/W

SPCR 寄存器是设定 RSPI 运行模式的寄存器。如果在 RSPI 功能有效的状态 (SPCR.SPE 位 =1) 下更改 SPCR.MSTR 位、SPCR.MODFEN 位和 SPCR.TXMD 位的设定值, 就无法保证以后的运行。

SPMS 位 (RSPI 模式选择位)

此位选择 SPI 运行 (4 线式) 或者时钟同步运行 (3 线式)。

在进行时钟同步运行时, 不使用 SSL0 ~ 3 引脚而使用 RSPCKn 引脚、MOSIn 引脚和 MISOn 引脚 (n=A、B) 这 3 个引脚进行通信。在 主控模式中 (SPCR.MSTR=1) 进行时钟同步运行时, 能将 RSPI 命令寄存器 (SPCMD) 的 CPHA 位置“0”或者“1”; 在从属模式中 (SPCR.MSTR=0) 进行时钟同步运行时, 必须将 CPHA 位置“1”, 否则无法保证运行。

TXMD 位 (发送运行模式选择位)

此位选择全双工同步串行通信或者只进行发送运行的串行通信。

在将 TXMD 位置“1”后进行通信时, 只进行发送运行而不进行接收运行 (参照“33.3.6 通信运行模式”)。

如果将 TXMD 置“1”, 就不能使用接收缓冲器满的中断请求。

MODFEN 位 (模式故障错误检测允许位)

此位允许或者禁止模式故障错误检测 (参照“33.3.8 错误检测”)。RSPI 根据 MODFEN 位和 MSTR 位的组合, 决定 SSL0 ~ 3 引脚的输入 / 输出方向 (参照“33.3.2 RSPI 引脚的控制”)。

MSTR 位 (RSPI 主控 / 从属模式选择位)

此位选择 RSPI 的主控模式或者从属模式。RSPI 根据 MSTR 位的设定, 决定 RSPCK_n、MOSIn、MISO_n 和 SSL_n 引脚的方向 (n=A、B)。

SPEIE 位 (RSPI 错误中断允许位)

如果在 RSPI 检测到模式故障错误后将 SPSR.MODF 位置“1”或者在 RSPI 检测到溢出错误后将 SPSR.OVRF 位置“1”, 此位就允许或者禁止 RSPI 错误中断请求的产生。详细内容请参照“33.3.8 错误检测”。

SPTIE 位 (RSPI 发送中断允许位)

在 RSPI 检测到发送缓冲器空时, 此位允许或者禁止 RSPI 发送中断请求的产生。

如果在和 SPTIE 位同时或者在 SPTIE 位之后将 SPE 位置“1”, 就产生发送开始时的发送中断请求。

必须注意: 即使转移到 RSPI 禁止状态 (SPE 位为“0”), 只要将 SPTIE 位置“1”, 也会产生 RSPI 发送中断。

SPE 位 (RSPI 功能有效位)

此位选择 RSPI 功能的有效或者无效。

当 SPSR.MODF 位为“1”时, 不能将 SPE 位置“1”。详细内容请参照“33.3.8 错误检测”。

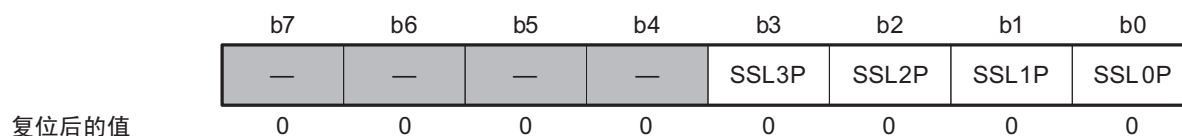
如果将 SPE 位置“0”, 就将 RSPI 功能置为无效并且对一部分模块功能进行初始化。详细内容请参照“33.3.9 RSPI 的初始化”。

SPRIE 位 (RSPI 接收中断允许位)

当 RSPI 在串行传送结束后检测到接收缓冲器的写操作时, 此位允许或者禁止 RSPI 接收中断请求的产生。

33.2.2 RSPI 从属选择极性寄存器 (SSLP)

地址 RSPI0.SSLP 0008 8381h、RSPI1.SSLP 0008 83A1h



位	符号	位名	功能	R/W
b0	SSL0P	SSL0 信号极性设定位	0: SSL0 信号为“0”时有效 1: SSL0 信号为“1”时有效	R/W
b1	SSL1P	SSL1 信号极性设定位	0: SSL1 信号为“0”时有效 1: SSL1 信号为“1”时有效	R/W
b2	SSL2P	SSL2 信号极性设定位	0: SSL2 信号为“0”时有效 1: SSL2 信号为“1”时有效	R/W
b3	SSL3P	SSL3 信号极性设定位	0: SSL3 信号为“0”时有效 1: SSL3 信号为“1”时有效	R/W
b7-b4	—	保留位	读写值都为“0”。	R/W

SSLP 寄存器设定 RSPI 的 SSL0 ~ 3 信号的极性。

如果 CPU 在 RSPI 功能有效 (SPCR.SPE 位为“1”) 的状态下改写 SSLP 寄存器, 就无法保证以后的运行。

SSLiP 位 (SSL 信号极性设定位)

此位设定 SSLi 信号的极性。

SSLiP 的设定值表示 SSLi 信号的有效极性 (i=0 ~ 3)。

33.2.3 RSPI 引脚控制寄存器 (SPPCR)

地址 RSPI0.SPPCR 0008 8382h、RSPIB.SPPCR 0008 83A2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MOIFE	MOIFV	—	SPOM	SPLP2	SPLP
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	SPLP	RSPI 环回位	0: 正常模式 1: 环回模式 (发送数据的反相 = 接收数据)	R/W
b1	SPLP2	RSPI 环回 2 位	0: 正常模式 1: 环回模式 (发送数据 = 接收数据)	R/W
b2	SPOM	RSPI 输出引脚模式位	0: CMOS 输出 1: 漏极开路输出	R/W
b3	—	保留位	读写值都为“0”。	R/W
b4	MOIFV	MOSI 空闲固定值位	0: MOSI 空闲固定值为“0” 1: MOSI 空闲固定值为“1”	R/W
b5	MOIFE	MOSI 空闲值固定允许位	0: MOSI 输出值为上次传送的最后数据 1: MOSI 输出值为 MOIFV 位的设定值	R/W
b7-b6	—	保留位	读写值都为“0”。	R/W

SPPCR 寄存器是设定 RSPI 引脚模式的寄存器。如果在 RSPI 功能有效 (SPCR.SPE 位为“1”) 的状态下改写 SPPCR 寄存器, 就无法保证以后的运行。

SPLP 位 (RSPI 环回位)

此位选择 RSPI 的引脚模式。

当 SPLP 位被置“1”时, 如果 SPCR.MSTR 位为“1”, RSPI 就切断 MISO_n 引脚和移位寄存器之间的线路, 而连接移位寄存器的输入线路和输出线路 (取反); 如果 SPCR.MSTR 位为“0”, RSPI 就切断 MOSI_n 引脚和移位寄存器之间的线路, 而连接移位寄存器的输入线路和输出线路 (取反)。(环回模式)

详细内容请参照“33.3.15 环回模式”。

SPLP2 位 (RSPI 环回 2 位)

此位选择 RSPI 的引脚模式。

当 SPLP2 位被置“1”时, 如果 SPCR.MSTR 位为“1”, RSPI 就切断 MISO_n 引脚和移位寄存器之间的线路, 而连接移位寄存器的输入线路和输出线路; 如果 SPCR.MSTR 位为“0”时, RSPI 就切断 MOSI_n 引脚和移位寄存器之间的线路, 而连接移位寄存器的输入线路和输出线路。(环回模式 2)

详细内容请参照“33.3.15 环回模式”。

SPOM 位 (RSPI 输出引脚模式位)

SPOM 位选择是将 RSPI 的输出引脚设定为 CMOS 输出引脚还是设定为漏极开路输出引脚。

MOIFV 位 (MOSI 空闲固定值位)

在主控模式中, 当 MOIFE 位为“1”时, 此位选择 SSL 无效期间 (包括突发传送中的 SSL 保持期间) 的 MOSI_n 引脚输出值 (n=A、B)。

MOIFE 位 (MOSI 空闲值固定允许位)

主控模式的 RSPI 在 SSL 无效期间 (包含突发传送中的 SSL 保持期间) 使用此位固定 MOSI 的输出值。当 MOIFE 为“0”时, RSPI 在 SSL 无效期间内将上次串行传送的最后数据输出到 MOSI; 当 MOIFE 为“1”时, RSPI 将 MOIFV 位设定的固定值输出到 MOSI。

33.2.4 RSPI 状态寄存器 (SPSR)

地址 RSPI0.SPSR 0008 8383h、RSPI1.SPSR 0008 83A3h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRF	—	SPTEF	—	PERF	MODF	IDLNF	OVRF
复位后的值	0	0	1	0	0	0	0	0

位	符号	位名	功能	R/W
b0	OVRF	溢出错误标志	0: 未发生溢出错误 1: 发生溢出错误	R/(W) (注1)
b1	IDLNF	RSPI 空闲标志	0: RSPI 为空闲状态 1: RSPI 为传送状态	R
b2	MODF	模式故障错误标志	0: 未发生模式故障错误 1: 发生模式故障错误	R/(W) (注1)
b3	PERF	奇偶校验错误标志	0: 未发生奇偶校验错误 1: 发生奇偶校验错误	R/(W) (注1)
b4	—	保留位	读写值都为“0”。	R/W
b5	SPTEF	发送缓冲器空标志	0: 将数据传送到 SPDR 寄存器时 (发送缓冲器有数据) 1: 将数据从 SPDR 寄存器传送到移位寄存器时 (发送缓冲器无数据)	R/W (注2)
b6	—	保留位	读写值都为“0”。	R/W
b7	SPRF	接收缓冲器满标志	0: 将数据传送到 SPDR 寄存器时 (SPDR 没有有效的接收数据) 1: 接收正常结束并且将数据从移位寄存器传送到 SPDR 寄存器时 (SPDR 有有效的接收数据)	R/W (注2)

注1. 为了清除标志, 只能在读“1”后写“0”。

注2. 只能写“1”。

SPSR 寄存器保存表示 RSPI 运行状态的标志。CPU 能随时读 SPSR 寄存器。SPSR 寄存器的写操作只有在一定的条件下才有效。

OVRF 标志 (溢出错误标志)

此标志表示溢出错误的发生状况。

[为“1”的条件]

- 在 SPCR.TXMD 位为“0”并且接收缓冲器有未读数据的状态下串行传送结束时

[为“0”的条件]

- CPU 在 OVRF 标志为“1”的状态下读 SPSR 寄存器后给 OVRF 标志写“0”时

IDLNF 标志 (RSPI 空闲标志)

此标志表示 RSPI 的传送状况。

[为“1”的条件]

【主控模式】

- 下述[为“0”的条件]的【主控模式】中的条件一个也不满足时

【从属模式】

- SPCR.SPE 位为“1” (RSPI 功能有效) 时

[为“0”的条件]

【主控模式】

1. SPCR.SPE 位为“0” (RSPI的初始化) 时
2. 发送缓冲器 (SPTX) 为空 (未设定下一个传送数据) 时
3. SPSSR.SPCP[2:0] 位为“000b” (顺序控制的开头) 时
4. RSPI 内部定序器转移到空闲状态时 (在下次存取延迟前结束运行的状态)

满足上述 1. 条件或者满足上述 2. ~ 4. 的全部条件时

【从属模式】

- SPCR.SPE 位为“0” (RSPI的初始化) 时

MODF 标志 (模式故障错误标志)

此标志表示发生了模式故障错误。

[为“1”的条件]

【多主控模式】

- 在 SPCR.MSTR 位为“1” (主控模式) 并且 SPCR.MODFEN 位为“1” (允许模式故障错误的检测) 的状态下, SSLn 引脚的输入电平为有效电平并且 RSPI 检测到模式故障错误时

【从属模式】

- 在 SPCR.MSTR 位为“0” (从属模式) 并且 SPCR.MODFEN 位为“1” (允许模式故障错误的检测) 的状态下, 在数据传送所需的 RSPCK 周期结束前 SSLn 引脚无效并且 RSPI 检测到模式故障错误时

SSLn 信号的有效电平取决于 SSLP.SSLIP 位 (SSL 信号极性设定位)。(i=0 ~ 3)

[为“0”的条件]

- CPU 在 MODF 标志为“1”的状态下读 SPSR 寄存器后给 MODF 标志写“0”时

PERF 标志 (奇偶校验错误标志)

此标志表示发生了奇偶校验错误。

[为“1”的条件]

- 在 SPCR 的 TXMD 位为“0”并且 SPCR2 的 SPPE 位为“1”的状态下串行传送结束, 并且检测到奇偶校验错误时

[为“0”的条件]

- CPU 在 PERF 标志为“1”的状态下读 SPSR 寄存器后给 PERF 标志写“0”时

SPTEF 标志 (发送缓冲器空标志)

此标志表示 SPDR 寄存器的发送缓冲器是否有数据。

[为“1”的条件]

- 将数据从 SPDR 寄存器传送到移位寄存器时

[为“0”的条件]

- 将发送数据传送到 SPDR 寄存器时

SPRF 标志 (接收缓冲器满标志)

此标志表示 SPDR 寄存器的接收缓冲器是否有数据。

[为“1”的条件]

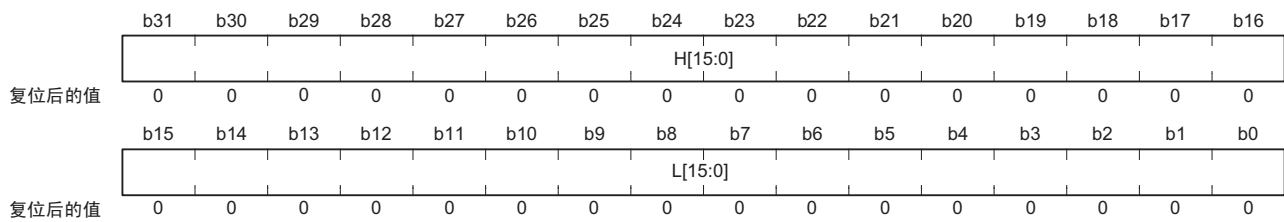
- 接收运行正常结束并且将接收数据从移位寄存器传送到 SPDR 寄存器时

[为“0”的条件]

- 从 SPDR 寄存器传送数据时

33.2.5 RSPI 数据寄存器 (SPDR)

地址 RSPI0.SPDR 0008 8384h、RSPI1.SPDR 0008 83A4h



SPDR 寄存器是 CPU 能随时读写的寄存器，是用于保存 RSPI 发送 / 接收数据的缓冲器。

发送缓冲器 (SPTX) 和接收缓冲器 (SPRX) 是独立的缓冲器，这些缓冲器被映像到 SPDR 寄存器。

必须通过设定 SPDCR.SPLW 位，用字或者长字读写 SPDR 寄存器。当 SPLW 位为“0”时，SPDR 寄存器是 64 位缓冲器，由最多 16 位的 4 帧构成；当 SPLW 位为“1”时，SPDR 寄存器是 128 位缓冲器，由最多 32 位的 4 帧构成。

帧数设定位 SPDCR.SPFC[1:0] 位决定 SPDR 寄存器所使用的帧长，SPCMD.SPB[3:0] 位决定所使用的位长。

在写 SPDR 寄存器时，当发送缓冲器 (SPTX) 为空（未设定下次传送的数据）时，RSPI 将数据写到 SPDR 寄存器的发送缓冲器。在发送缓冲器有未发送数据的状态下，RSPI 不更新 SPDR 寄存器的发送缓冲器。

在读 SPDR 寄存器时，如果 SPDCR.SPRDTD 位为“0”，就读接收缓冲器；如果 SPDCR.SPRDTD 位为“1”，就读发送缓冲器。

在读发送缓冲器时，能读到刚写的值。在发送缓冲器有未发送数据的状态下，读取值全部为“0”。

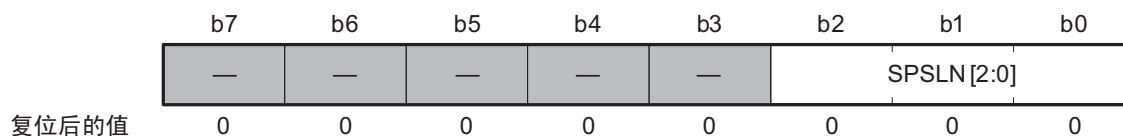
通常使用的方法是：假设 SPRDTD 位为“0”，通过接收缓冲器满中断读接收缓冲器。在接收缓冲器有未读数据或者 SPSR.OVRF 标志为“1”的状态下，RSPI 在串行传送结束时不更新 SPDR 寄存器的接收缓冲器。

在以字或者长字的存取宽度读写 SPDR 寄存器时，必须存取下述地址，否则无法保证读写时的数据。

- 长字：RSPI0.SPDR 0008 8384h
RSPI1.SPDR 0008 83A4h
- 字：RSPI0.SPDR 0008 8384h
RSPI1.SPDR 0008 83A4h

33.2.6 RSPI 顺序控制寄存器 (SPSCR)

地址 RSPI0.SPSCR 0008 8388h、RSPI1.SPSCR 0008 83A8h



位	符号	位名	功能	R/W
b2-b0	SPSLN[2:0]	RSPI 顺序长度设定位	b2 b0 顺序长度 参照的 SPCMD0 ~ 7 寄存器 (序号) 0 0 0: 1 0→0→... 0 0 1: 2 0→1→0→... 0 1 0: 3 0→1→2→0→... 0 1 1: 4 0→1→2→3→0→... 1 0 0: 5 0→1→2→3→4→0→... 1 0 1: 6 0→1→2→3→4→5→0→... 1 1 0: 7 0→1→2→3→4→5→6→0→... 1 1 1: 8 0→1→2→3→4→5→6→7→0→... 根据所设定的顺序长度, 更改要参照的 SPCMD0 ~ 7 寄存器和参照顺序。SPSLN[2:0] 位的设定值和顺序长度、RSPI 要参照的 SPCMD0 ~ 7 的关系如上所述。另外, 从属模式的 RSPI 能随时参照 SPCMD0 寄存器。	R/W
b7-b3	—	保留位	读写值都为“0”。	R/W

SPSCR 寄存器设定 RSPI 主控运行时的顺序控制方式。在 SPCR.MSTR 位和 SPCR.SPE 位都为“1”并且主控模式的 RSPI 功能有效的情况下, 必须在 SPSR.IDLNF 标志为“0”的状态下改写 SPSCR 寄存器的 SPSLN[2:0] 位。

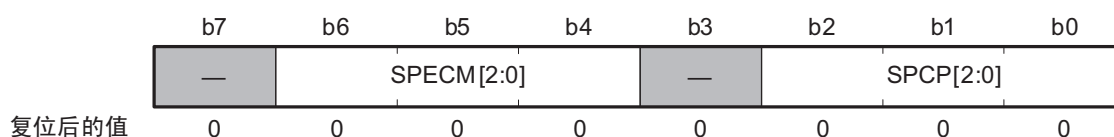
SPSLN[2:0] 位 (RSPI 顺序长度设定位)

这些位设定主控模式的 RSPI 进行顺序运行时的顺序长度。主控模式的 RSPI 根据 SPSLN[2:0] 位所设定的顺序长度, 更改要参照的 RSPI 命令寄存器 0 ~ 7 (SPCMD0 ~ 7) 和参照顺序。

从属模式的 RSPI 能随时参照 SPCMD0 寄存器。

33.2.7 RSPI 顺序状态寄存器 (SPSSR)

地址 RSPI0.SPSSR 0008 8389h、RSPI1.SPSSR 0008 83A9h



位	符号	位名	功能	R/W
b2-b0	SPCP[2:0]	RSPI 命令指针位	b2 b0 0 0 0: SPCMD0 0 0 1: SPCMD1 0 1 0: SPCMD2 0 1 1: SPCMD3 1 0 0: SPCMD4 1 0 1: SPCMD5 1 1 0: SPCMD6 1 1 1: SPCMD7	R
b3	—	保留位	读取值为“0”，写操作无效。	R/W
b6-b4	SPECM[2:0]	RSPI 错误命令位	b6 b4 0 0 0: SPCMD0 0 0 1: SPCMD1 0 1 0: SPCMD2 0 1 1: SPCMD3 1 0 0: SPCMD4 1 0 1: SPCMD5 1 1 0: SPCMD6 1 1 1: SPCMD7	R
b7	—	保留位	读取值为“0”，写操作无效。	R/W

SPSSR 寄存器表示 RSPI 主控运行时的顺序控制状态。

CPU 对 SPSSR 寄存器的写操作无效。

SPCP[2:0] 位 (RSPI 命令指针位)

这些位通过 RSPI 的顺序控制，表示当前指针所指向的 SPCMD0 ~ 7 寄存器。

有关 RSPI 的顺序控制，请参照“33.3.10.1 主控模式的运行”。

SPECM[2:0] 位 (RSPI 错误命令位)

这些位通过 RSPI 顺序控制，表示在检测到错误时 SPCP[2:0] 位指定的 SPCMD0 ~ 7 寄存器。只有在检测到错误时，RSPI 才能更新 SPECM[2:0] 位。如果 SPSR.OVRF、SPSR.MODF、SPSR.PERF 标志都为“0”并且没有发生错误，SPECM[2:0] 位的值就没有含义。

有关 RSPI 的错误检测功能，请参照“33.3.8 错误检测”；有关 RSPI 的顺序控制，请参照“33.3.10.1 主控模式的运行”。

33.2.8 RSPI 位速率寄存器 (SPBR)

地址 RSPI0.SPBR 0008 838Ah、RSPI1.SPBR 0008 83AAh

	b7	b6	b5	b4	b3	b2	b1	b0
	SPR7	SPR6	SPR5	SPR4	SPR3	SPR2	SPR1	SPR0
复位后的值	1	1	1	1	1	1	1	1

SPBR 寄存器是 CPU 能读写的寄存器，用于设定主控模式时的位速率。在 SPCR.MSTR 和 SPCR.SPE 位都为“1”并且主控模式的 RSPI 运行有效的状态下，如果 CPU 改写 SPBR 寄存器，就无法保证以后的运行。

在从属模式中使用 RSPI 时，与 SPBR 寄存器和 SPCMDm.BRDV[1:0] 位（位速率分频设定位）无关，取决于输入时钟的位速率（必须使用满足电特性的位速率）。

位速率取决于 SPBR 寄存器的设定值和 SPCMD0 ~ 7 寄存器的 BRDV[1:0] 位设定值的组合，位速率的计算式如下。在计算式中，n 为 SPBR 寄存器的设定值（0、1、2、……、255），N 为 BRDV[1:0] 位的设定值（0、1、2、3）。

$$\text{位速率} = \frac{f(\text{PCLK})}{2 \times (n+1) 2^N}$$

SPBR 寄存器、BRDV[1:0] 位的设定值和位速率的关系例子如表 33.4 所示。

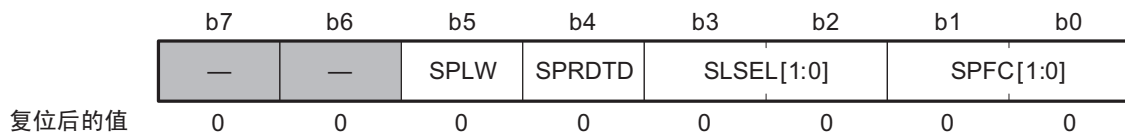
表 33.4 SPBR 寄存器、BRDV[1:0] 位的设定值和位速率

SPBR 寄存器的设定值 (n)	BRDV[1:0] 位的设定值 (N)	分频比	位速率			
			PCLK=32MHz	PCLK=36MHz	PCLK=40MHz	PCLK=50MHz
0	0	2	16.0Mbps	18.0Mbps	20.0Mbps (注1)	25.0Mbps (注1)
1	0	4	8.00Mbps	9.00Mbps	10.0Mbps	12.5Mbps
2	0	6	5.33Mbps	6.00Mbps	6.67Mbps	8.33Mbps
3	0	8	4.00Mbps	4.50Mbps	5.00Mbps	6.25Mbps
4	0	10	3.20Mbps	3.60Mbps	4.00Mbps	5.00Mbps
5	0	12	2.67Mbps	3.00Mbps	3.33Mbps	4.16Mbps
5	1	24	1.33Mbps	1.50Mbps	1.67Mbps	2.08Mbps
5	2	48	667kbps	750kbps	833kbps	1.04Mbps
5	3	96	333kbps	375kbps	417kbps	521kbps
255	3	4096	7.81kbps	8.80kbps	9.78kbps	12.2kbps

注 1. 能设定，但是必须满足电特性的条件。

33.2.9 RSPI 数据控制寄存器 (SPDCR)

地址 RSPI0.SPDCR 0008 838Bh、RSPI1.SPDCR 0008 83ABh



位	符号	位名	功能	R/W																						
b1-b0	SPFC[1:0]	帧数设定位	设定 SPDR 寄存器能保存的帧数。 SPDR 寄存器能保存的帧结构以及发送 / 接收设定的组合例子如表 33.5 和图 33.2 所示。 如果设定上述组合例子中没有的组合, 就无法保证以后的运行。	R/W																						
b3-b2	SLSEL[1:0]	SSL 引脚输出选择位	<table border="1" style="width: 100%; border-collapse: collapse; margin-bottom: 5px;"> <thead> <tr> <th></th> <th>SLSEL [1:0]="00b"</th> <th>SLSEL [1:0]="01b"</th> <th>SLSEL [1:0]="10b"</th> <th>SLSEL [1:0]="11b"</th> </tr> </thead> <tbody> <tr> <td>SSL3</td> <td>输出</td> <td>IO</td> <td>IO</td> <td rowspan="4" style="text-align: center;">不能设定</td> </tr> <tr> <td>SSL2</td> <td>输出</td> <td>IO</td> <td>IO</td> </tr> <tr> <td>SSL1</td> <td>输出</td> <td>IO</td> <td>输出</td> </tr> <tr> <td>SSL0</td> <td>输出</td> <td>输出</td> <td>输出</td> </tr> </tbody> </table> 如果将 SLSEL[1:0] 置 "11b", 就无法保证以后的运行。		SLSEL [1:0]="00b"	SLSEL [1:0]="01b"	SLSEL [1:0]="10b"	SLSEL [1:0]="11b"	SSL3	输出	IO	IO	不能设定	SSL2	输出	IO	IO	SSL1	输出	IO	输出	SSL0	输出	输出	输出	R/W
	SLSEL [1:0]="00b"	SLSEL [1:0]="01b"	SLSEL [1:0]="10b"	SLSEL [1:0]="11b"																						
SSL3	输出	IO	IO	不能设定																						
SSL2	输出	IO	IO																							
SSL1	输出	IO	输出																							
SSL0	输出	输出	输出																							
b4	SPRDTD	RSPI 接收 / 发送数据选择位	0: SPDR 读接收缓冲器 1: SPDR 读发送缓冲器 (但是在发送缓冲器为空时)	R/W																						
b5	SPLW	RSPI 长字存取 / 字存取设定位	0: 对 SPDR 寄存器进行字存取 1: 对 SPDR 寄存器进行长字存取	R/W																						
b7-b6	—	保留位	读写值都为 "0"。	R/W																						

SPDCR 寄存器设定 SPDR 寄存器能保存的帧数、SSL_n 引脚的输出控制 (n=A、B)、SPDR 寄存器的读操作以及将 SPDR 寄存器的存取宽度设定为长字存取或者字存取。

能通过 RSPI 命令寄存器 (SPCMD) 的 RSPI 数据长度设定位 (SPB0 ~ 3)、RSPI 顺序控制寄存器 (SPSCR) 的顺序长度设定位 (SPSLN[2:0]) 和 RSPI 数据控制寄存器 (SPDCR) 的帧数设定位 (SPFC[1:0]) 的组合, 启动 1 次发送 / 接收进行最多 4 帧的发送 / 接收。

在 RSPI 控制寄存器 (SPCR) 的 SPE 位为 "1" 并且 RSPI 运行有效的状态下, 如果 CPU 改写 SPDCR 寄存器的 SPFC[1:0] 位, 就必须在 RSPI 状态寄存器 (SPSR) 的 IDLNF 标志为 "0" 时进行改写。

SPFC[1:0] 位 (帧数设定位)

这些位设定 SPDR 寄存器能保存的帧数。能通过设定 RSPI 命令寄存器 (SPCMD) 的 RSPI 数据长度设定位 (SPB[3:0])、RSPI 顺序控制寄存器 (SPSCR) 的 RSPI 顺序长度设定位 (SPSLN[2:0]) 和 RSPI 数据控制寄存器 (SPDCR) 的帧数设定位 (SPFC[1:0]), 启动 1 次发送 / 接收进行最多 4 帧的发送 / 接收。SPFC[1:0] 对发生 RSPI 接收缓冲器满中断时的接收数据量进行设定。SPDR 寄存器能保存的帧结构和发送 / 接收设定的组合例子如表 33.5 和图 33.2 所示。如果设定组合例子中没有的组合, 就无法保证以后的运行。

SLSEL[1:0] 位 (SSL 引脚输出选择位)

SSL_n 引脚选择位 (SLSEL[1:0] 位) 控制主控模式时的 SSL_n 引脚的输出 (n=A、B)。

SPRDTD 位 (RSPI 接收 / 发送数据选择位)

此位选择将 RSPI 数据寄存器 (SPDR) 的读取值是从接收缓冲器读取还是从发送缓冲器读取。
在读发送缓冲器时，能读到刚写入 SPDR 寄存器的值。

SPLW 位 (RSPI 长字存取 / 字存取设定位)

此位设定 SPDR 寄存器的存取宽度。当 SPLW 位为“0”时，对 SPDR 寄存器进行字存取；当 SPLW 位为“1”时，对 SPDR 寄存器进行长字存取。

当 SPLW 位为“0”时，必须给 SPCMD.SPB[3:0] 位 (RSPI 数据长度设定位) 设定 8 ~ 16 位。如果设定 20 位、24 位或者 32 位，就无法保证运行。

表 33.5 SPB[3:0] 位能设定的数据长度

设定	SPB[3:0]	SPSLN[2:0]	SPFC[1:0]	传送的帧数	发生接收缓冲器满中断或者发送缓冲器有数据时的帧数
1-1	N	000	00	1	1
1-2	N	000	01	2	2
1-3	N	000	10	3	3
1-4	N	000	11	4	4
2-1	N、M	001	01	2	2
2-2	N、M	001	11	4	4
3	N、M、O	010	10	3	3
4	N、M、O、P	011	11	4	4
5	N、M、O、P、Q	100	00	5	1
6	N、M、O、P、Q、R	101	00	6	1
7	N、M、O、P、Q、R、S	110	00	7	1
8	N、M、O、P、Q、R、S、T	111	00	8	1

【符号说明】 N、M、O、P、Q、R、S、T: SPB[3:0] 能设定的数据长度

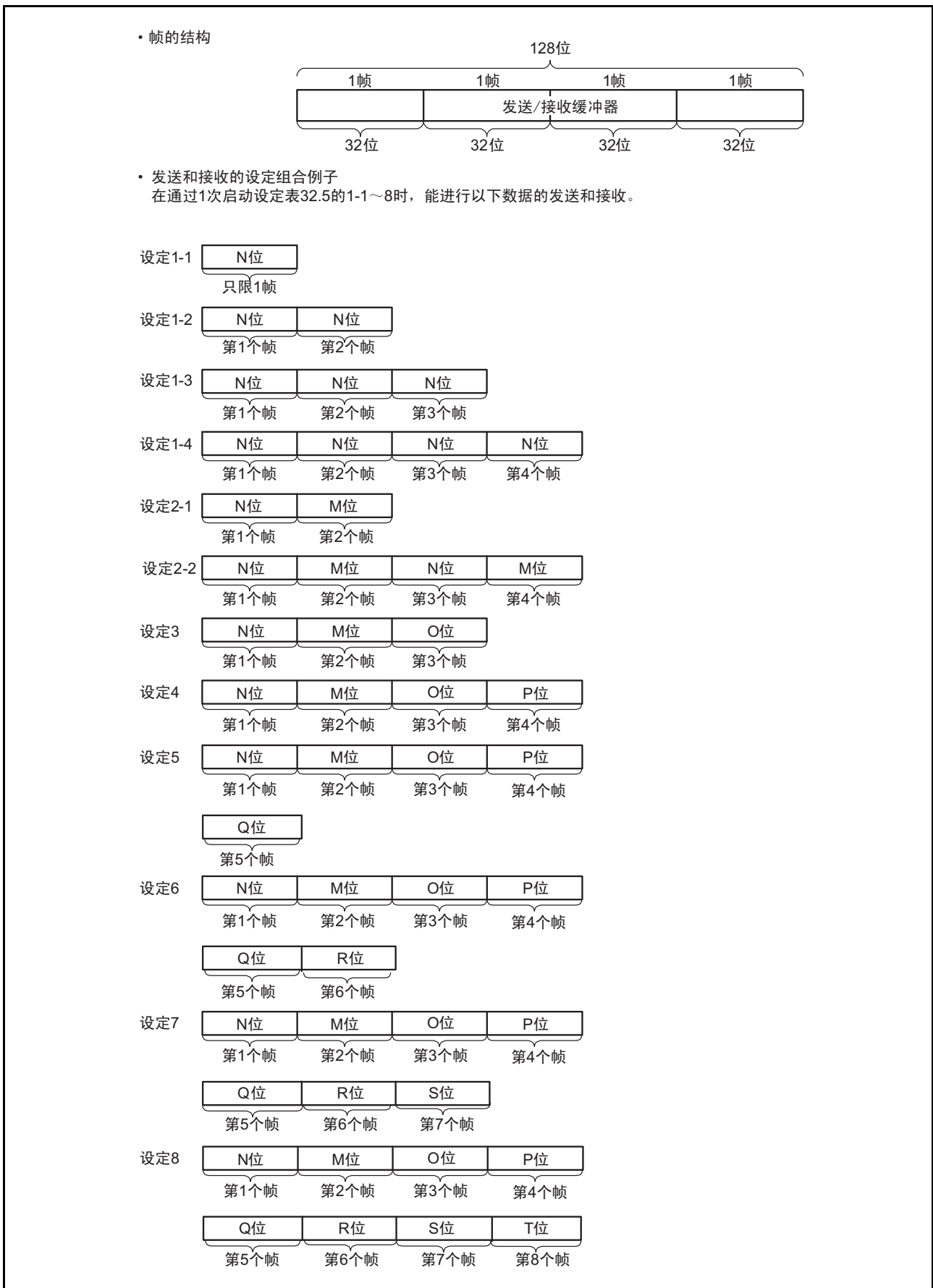
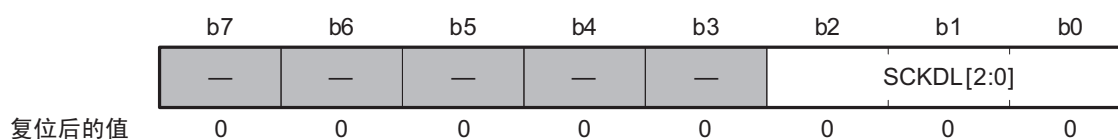


图 33.2 帧的结构和发送 / 接收设定的组合例子

33.2.10 RSPI 时钟延迟寄存器 (SPCKD)

地址 RSPi0.SPCKD 0008 838Ch、RSPi1.SPCKD 0008 83ACh



位	符号	位名	说明	R/W
b2-b0	SCKDL[2:0]	RSPCK 延迟设定位	b2 b0 0 0 0: 1 个 RSPCK 0 0 1: 2 个 RSPCK 0 1 0: 3 个 RSPCK 0 1 1: 4 个 RSPCK 1 0 0: 5 个 RSPCK 1 0 1: 6 个 RSPCK 1 1 0: 7 个 RSPCK 1 1 1: 8 个 RSPCK	R/W
b7-b3	—	保留位	读写值都为“0”。	R/W

在 SPCMD.SCKDEN 位为“1”的状态下，SPCKD 寄存器设定从 SSL 信号有效开始到 RSPCK 振荡的期间 (RSPCK 延迟)。在 SPCR.MSTR 位和 SPCR.SPE 位都为“1”并且主控模式的 RSPI 运行有效的状态下，如果改写 SPCKD 寄存器，就无法保证以后的运行。

在从属模式中使用 RSPI 时，必须将 SCKDL[2:0] 位置“000b”。

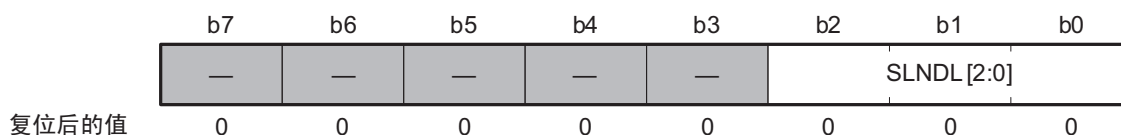
SCKDL[2:0] 位 (RSPCK 延迟设定位)

这些位设定 SPCMD.SCKDEN 位为“1”时的 RSPCK 延迟值。

在从属模式中使用 RSPI 时，必须将 SCKDL[2:0] 位置“000b”。

33.2.11 RSPI 从属选择无效延迟寄存器 (SSLND)

地址 RSPi0.SSLND 0008 838Dh、RSPi1.SSLND 0008 83ADh



位	符号	位名	功能	R/W
b2-b0	SLNDL[2:0]	SSL 无效延迟设定位	b2 b0 0 0 0: 1 个 RSPCK 0 0 1: 2 个 RSPCK 0 1 0: 3 个 RSPCK 0 1 1: 4 个 RSPCK 1 0 0: 5 个 RSPCK 1 0 1: 6 个 RSPCK 1 1 0: 7 个 RSPCK 1 1 1: 8 个 RSPCK	R/W
b7-b3	—	保留位	读写值都为“0”。	R/W

SSLND 寄存器设定主控模式的 RSPI 从发送串行传送最后的 RSPCK 边沿到将 SSL 信号置为无效的期间 (SSL 无效延迟)。在 SPCR.MSTR 位和 SPCR.SPE 位都为“1”并且主控模式的 RSPI 运行有效的状态下, 如果改写 SSLND 寄存器, 就无法保证以后的运行。

在从属模式中使用 RSPI 时, 必须将 SLNDL[2:0] 位置“000b”。

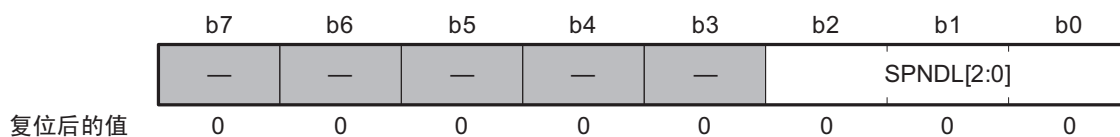
SLNDL[2:0] 位 (SSL 无效延迟设定位)

这些位设定主控模式的 RSPI 的 SSL 无效延迟值。

在从属模式中使用 RSPI 时, 必须将 SLNDL[2:0] 位置“000b”。

33.2.12 RSPI 下次存取延迟寄存器 (SPND)

地址 RSPi0.SPND 0008 838Eh、RSPi1.SPND 0008 83AEh



位	符号	位名	功能	R/W
b2-b0	SPNDL[2:0]	RSPI 下次存取延迟设定位	b2 b0 0 0 0: 1 个 RSPCK+2 个 PCLK 0 0 1: 2 个 RSPCK+2 个 PCLK 0 1 0: 3 个 RSPCK+2 个 PCLK 0 1 1: 4 个 RSPCK+2 个 PCLK 1 0 0: 5 个 RSPCK+2 个 PCLK 1 0 1: 6 个 RSPCK+2 个 PCLK 1 1 0: 7 个 RSPCK+2 个 PCLK 1 1 1: 8 个 RSPCK+2 个 PCLK	R/W
b7-b3	—	保留位	读写值都为“0”。	R/W

在 SPCMD.SPNDEN 位为“1”的状态下，SPND 寄存器设定串行传送结束后的 SSL 信号的无效期间（下次存取延迟）。在 SPCR.MSTR 位和 SPCR.SPE 位都为“1”并且主控模式的 RSPI 运行有效的状态下，如果改写 SPND 寄存器，就无法保证以后的运行。

在从属模式中使用 RSPI 时，必须将 SPNDL[2:0] 位置“000b”。

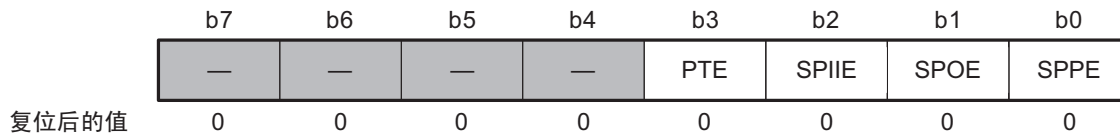
SPNDL[2:0] 位 (RSPI 下次存取延迟设定位)

这些位设定 SPCMD.SPNDEN 位为“1”时的下次存取延迟。

在从属模式中使用 RSPI 时，必须将 SPNDL[2:0] 位置“000b”。

33.2.13 RSPI 控制寄存器 2 (SPCR2)

地址 RSPI0.SPCR2 0008 838Fh、RSPI1.SPCR2 0008 83AFh



位	符号	位名	功能	R/W
b0	SPPE	奇偶校验有效位	0: 不给发送数据附加奇偶校验位, 也不进行接收数据的奇偶校验。 1: 给发送数据附加奇偶校验位并且进行接收数据的奇偶校验 (当 SPCR.TXMD=0 时)。 给发送数据附加奇偶校验位, 但是不进行接收数据的奇偶校验 (当 SPCR.TXMD=1 时)。	R/W
b1	SPOE	奇偶校验模式位	0: 通过偶校验进行发送和接收 1: 通过奇校验进行发送和接收	R/W
b2	SPIIE	RSPI 空闲中断允许位	0: 禁止空闲中断请求的产生 1: 允许空闲中断请求的产生	R/W
b3	PTE	奇偶校验自诊断位	0: 奇偶校验电路自诊断功能无效 1: 奇偶校验电路自诊断功能有效	R/W
b7-b4	—	保留位	读写值都为“0”。	R/W

SPCR2 寄存器是设定 RSPI 运行模式的寄存器。在 SPCR.SPE 位为“1”并且 RSPI 运行有效的状态下, 如果改写 SPCR2 寄存器的 SPPE 位或者 SPOE 位的设定值, 就无法保证以后的运行。

SPPE 位 (奇偶校验有效位)

此位选择奇偶校验功能的有效或者无效。

当 RSPI 控制寄存器 (SPCR) 的通信运行模式选择位 (TXMD) 为“0”并且 SPCR2 寄存器的 SPPE 为“1”时, 给发送数据附加奇偶校验位并且进行接收数据的奇偶校验。

当 SPCR 寄存器的 TXMD 位为“1”并且 SPCR2 寄存器的 SPPE 位为“1”时, 给发送数据附加奇偶校验位, 但是不进行接收数据的奇偶校验。

SPOE 位 (奇偶校验模式位)

在决定偶校验的奇偶校验位时, 需要使奇偶校验位和发送 / 接收字符中“1”的个数的合计为偶数。同样, 在决定奇校验的奇偶校验位时, 需要使奇偶校验位和发送 / 接收字符中“1”的个数的合计为奇数。

SPOE 位只在 SPPE 位为“1”时有效。

SPIIE 位 (RSPI 中断允许位)

当检测到 RSPI 为空闲状态并且 RSPI 状态寄存器 (SPSR) 的 IDLNF 标志为“0”时, 此位允许或者禁止 RSPI 空闲中断请求的产生。

PTE 位 (奇偶校验自诊断位)

这是为了确认奇偶校验功能是否正常而将奇偶校验电路的自诊断置为有效的位。

33.2.14 RSPI 命令寄存器 0 ~ 7 (SPCMD0 ~ SPCMD7)

地址 RSPI0.SPCMD0 0008 8390h、RSPI0.SPCMD1 0008 8392h、RSPI0.SPCMD2 0008 8394h、
RSPI0.SPCMD3 0008 8396h、RSPI0.SPCMD4 0008 8398h、RSPI0.SPCMD5 0008 839Ah、
RSPI0.SPCMD6 0008 839Ch、RSPI0.SPCMD7 0008 839Eh、
RSPI1.SPCMD0 0008 83B0h、RSPI1.SPCMD1 0008 83B2h、RSPI1.SPCMD2 0008 83B4h、
RSPI1.SPCMD3 0008 83B6h、RSPI1.SPCMD4 0008 83B8h、RSPI1.SPCMD5 0008 83BAh、
RSPI1.SPCMD6 0008 83BCh、RSPI1.SPCMD7 0008 83BEh

	b15	b14	b13	b12	b11	b10	b9	b8
	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
复位后的值	0	0	0	0	0	1	1	1
	b7	b6	b5	b4	b3	b2	b1	b0
	SSLKP	SSLA[2:0]		BRDV[1:0]		CPOL	CPHA	
复位后的值	0	0	0	0	1	1	0	1

位	符号	位名	功能	R/W
b0	CPHA	RSPCK 相位设定位	0: 在奇数边沿进行数据采样, 在偶数边沿数据发生变化。 1: 在奇数边沿数据发生变化, 在偶数边沿进行数据采样。	R/W
b1	CPOL	RSPCK 极性设定位	0: 空闲时的 RSPCK 为“0” 1: 空闲时的 RSPCK 为“1”	R/W
b3-b2	BRDV[1:0]	位速率分频设定位	b3 b2 00: 选择基本位速率 01: 选择基本位速率的 2 分频 10: 选择基本位速率的 4 分频 11: 选择基本位速率的 8 分频	R/W
b6-b4	SSLA[2:0]	SSL 信号有效设定位	b6 b4 000: SSL0 001: SSL1 010: SSL2 011: SSL3 1xx: 不能设定 【符号说明】x: Don't care	R/W
b7	SSLKP	SSL 信号电平保持位	0: 在传送结束时将全部 SSL 信号置为无效 1: 在传送结束后到下次存取开始前保持 SSL 信号的电平	R/W
b11-b8	SPB[3:0]	RSPI 数据长度设定位	b11 b8 0100 ~ 0111: 8 位 1000: 9 位 1001: 10 位 1010: 11 位 1011: 12 位 1100: 13 位 1101: 14 位 1110: 15 位 1111: 16 位 0000: 20 位 0001: 24 位 0010、0011: 32 位	R/W

位	符号	位名	功能	R/W
b12	LSBF	RSPI LSB first 位	0: MSB first 1: LSB first	R/W
b13	SPNDEN	RSPI 下次存取延迟设定允许位	0: 下次存取延迟为 1 个 RSPCK+2 个 PCLK 1: 下次存取延迟为 RSPI 下次存取延迟寄存器 (SPND) 的设定值	R/W
b14	SLNDEN	SSL 无效延迟设定允许位	0: SSL 无效延迟为 1 个 RSPCK 1: SSL 无效延迟为 RSPI 从属选择无效延迟寄存器 (SSLND) 的设定值	R/W
b15	SCKDEN	RSPCK 延迟设定允许位	0: RSPCK 延迟为 1 个 RSPCK 1: RSPCK 延迟为 RSPI 时钟延迟寄存器 (SPCKD) 的设定值	R/W

SPCMD0 ~ 7 寄存器设定主控模式的 RSPI 传送格式。1 个通道的 RSPI 有 8 个 (SPCMD0 ~ SPCMD7) RSPI 命令寄存器 (SPCMD)。SPCMD0 的一部分位用于设定从属模式的 RSPI 传送格式。主控模式的 RSPI 根据 RSPI 顺序控制寄存器 (SPSCR) 的 SPSLN[2:0] 位的设定, 按顺序参照 SPCMD0 ~ 7 并且执行由所参照的 SPCMD 设定的串行传送。

必须在发送缓冲器为空 (未设定下次传送的数据) 的状态下, 在参照该 SPCMD 设定要发送的数据前设定 SPCMD。

能通过 RSPI 顺序状态寄存器 (SPSSR) 的 SPCP[2:0] 位, 确认主控模式的 RSPI 正在参照的 SPCMD。在从属模式的 RSPI 运行有效的状态下, 如果改写 SPCMD 寄存器, 就无法保证以后的运行。

CPHA 位 (RSPCK 相位设定位)

此位设定主控模式 / 从属模式的 RSPI 的 RSPCK 相位。在进行 RSPI 模块之间的数据通信时, 需要在模块之间设定相同的 RSPCK 相位。

CPOL 位 (RSPCK 极性设定位)

此位设定主控模式 / 从属模式的 RSPI 的 RSPCK 极性。在进行 RSPI 模块之间的数据通信时, 需要在模块之间设定相同的 RSPCK 极性。

BRDV[1:0] 位 (位速率分频设定位)

这些位设定位速率。位速率取决于 BRDV[1:0] 位和 SPBR 寄存器设定值的组合 (参照“33.2.8 RSPI 位速率寄存器 (SPBR)”)。SPBR 寄存器的设定值决定基本位速率。BRDV[1:0] 位的设定值选择基本位速率的无分频、2 分频、4 分频或者 8 分频。能分别对 SPCMD0 ~ 7 设定不同的 BRDV[1:0] 位。因此, 各命令能以不同的位速率进行串行传送。

SSLA[2:0] 位 (SSL 信号有效设定位)

这些位控制主控模式的 RSPI 进行串行传送时的 SSL 信号的有效。SSLA[2:0] 位的设定值控制 SSL0 ~ SSL3 信号的有效。SSL0 ~ SSL3 信号有效时的信号极性取决于 SSLP 寄存器的设定值。如果在多主控模式中, 将 SSLA[2:0] 位置“000b”, 就在全部 SSL 信号无效的状态下进行串行传送 (SSLn0 引脚为输入引脚)。

在从属模式中使用 RSPI 时, 必须将 SSLA[2:0] 位置“000b”。

SSLKP 位 (SSL 信号电平保持位)

在从属模式的 RSPI 进行串行传送时, 此位设定在从当前命令对应的 SSL 无效到下一个命令对应的 SSL 有效的期间是保持当前命令的 SSL 信号电平还是将此电平置为无效。

在从属模式中使用 RSPI 时, 必须将 SSLKP 位置“0”。

SPB[3:0] 位 (RSPI 数据长度设定位)

这些位设定主控模式 / 从属模式的 RSPI 传送数据长度。

LSBF 位 (RSPI LSB first 位)

此位设定是将主控模式 / 从属模式的 RSPI 数据格式设定为 MSB first 还是 LSB first。

SPNDEN 位 (RSPI 下次存取延迟设定允许位)

此位设定在主控模式的 RSPI 结束串行传送后从 SSL 信号无效到下次存取的 SSL 信号有效的期间 (下次存取延迟)。当 SPNDEN 位为“0”时, RSPI 将下次存取延迟设定为 1 个 RSPCK+2 个 PCLK; 当 SPNDEN 位为“1”时, RSPI 根据 SPND 寄存器的设定, 插入下次存取延迟。

在从属模式中使用 RSPI 时, 必须将 SPNDEN 位置“0”。

SLNDEN 位 (SSL 无效延迟设定允许位)

此位设定主控模式的 RSPI 从 RSPCK 振荡停止到 SSL 信号无效的期间 (SSL 无效延迟)。当 SLNDEN 位为“0”时, RSPI 将 SSL 无效延迟设定为 1 个 RSPCK; 当 SLNDEN 位为“1”时, RSPI 在经过 SSLND 寄存器设定的 RSPCK 延迟后将 SSL 置为无效。

在从属模式中使用 RSPI 时, 必须将 SLNDEN 位置“0”。

SCKDEN 位 (RSPCK 延迟设定允许位)

此位设定主控模式的 RSPI 从 SSL 信号有效到 RSPCK 振荡为止的期间 (RSPCK 延迟)。当 SCKDEN 位为“0”时, RSPI 将 RSPCK 延迟设定为 1 个 RSPCK; 当 SCKDEN 位为“1”时, RSPI 在经过 SPCKD 寄存器设定的 RSPCK 延迟后开始 RSPCK 的振荡。

在从属模式中使用 RSPI 时, 必须将 SCKDEN 位置“0”。

33.3 运行说明

在本节中，串行传送期间是指从开始驱动有效数据到取最后有效数据的期间。

33.3.1 RSPI 运行概要

RSPI 能在从属模式 (SPI 运行)、单主控模式 (SPI 运行)、多主控模式 (SPI 运行)、从属模式 (时钟同步运行) 和主控模式 (时钟同步运行) 中进行同步串行传送。能通过 SPCR.MSTR 位和 SPCR.MODFEN 位和 SPCR.SPMS 位设定 RSPI 的模式。RSPI 的模式和 SPCR 寄存器设定的关系以及各模式概要如表 33.6 所示。

表 33.6 RSPI 的模式和 SPCR 寄存器设定的关系以及各模式概要

模式	从属 (SPI 运行)	单主控 (SPI 运行)	多主控 (SPI 运行)	从属 (时钟同步运行)	主控 (时钟同步运行)
MSTR 位的设定	0	1	1	0	1
MODFEN 位的设定	0 or 1	0	1	0	0
SPMS 位的设定	0	0	0	1	1
RSPCK 信号	输入	输出	输出 /Hi-Z	输入	输出
MOSI 信号	输入	输出	输出 /Hi-Z	输入	输出
MISO 信号	输出 /Hi-Z	输入	输入	输出	输入
SSL0 信号	输入	输出	输入	Hi-Z	Hi-Z
SSL1 ~ SSL3 信号	Hi-Z	输出 /Hi-Z	输出 /Hi-Z	Hi-Z	Hi-Z
输出引脚模式	CMOS/ 漏极开路	CMOS/ 漏极开路	CMOS/ 漏极开路	CMOS/ 漏极开路	CMOS/ 漏极开路
SSL 极性变更功能	有	有	有	—	—
传送率	~ PCLK/8	~ PCLK/2	~ PCLK/2	~ PCLK/8	~ PCLK/2
时钟源	RSPCK 输入	内部波特率发生器	内部波特率发生器	RSPCK 输入	内部波特率发生器
时钟极性	2 种	2 种	2 种	2 种	2 种
时钟相位	2 种	2 种	2 种	1 种 (CPHA=1)	2 种
开始传送的位	MSB/LSB	MSB/LSB	MSB/LSB	MSB/LSB	MSB/LSB
传送数据长度	8 ~ 32 位	8 ~ 32 位	8 ~ 32 位	8 ~ 32 位	8 ~ 32 位
突发传送	能 (CPHA=1)	能 (CPHA=0、1)	能 (CPHA=0、1)	—	—
RSPCK 延迟控制	无	有	有	无	有
SSL 无效延迟控制	无	有	有	无	有
下次存取延迟控制	无	有	有	无	有
传送启动方法	SSL 输入有效或 者 RSPCK 振荡	通过发送缓冲器空 中断请求，写发送 缓冲器	通过发送缓冲器空 中断请求，写发送 缓冲器	RSPCK 振荡	通过发送缓冲器空 中断请求，写发送 缓冲器
顺序控制	无	有	有	无	有
发送缓冲器空检测	有	有	有	有	有
接收缓冲器满检测	有 (注1)	有 (注1)	有 (注1)	有 (注1)	有 (注1)
溢出错误检测	有 (注1)	有 (注1)	有 (注1)	有 (注1)	有 (注1)
奇偶校验错误检测	有 (注1) (注2)	有 (注1) (注2)	有 (注1) (注2)	有 (注1) (注2)	有 (注1) (注2)
模式故障错误检测	有 (MODFEN=1)	无	有	无	无

注 1. 当 SPCR.TXMD 位为“1”时，不进行接收缓冲器满检测、溢出错误检测和奇偶校验错误检测。

注 2. 当 SPCR2.SPPE 位为“0”时，不进行奇偶校验错误检测。

33.3.2 RSPI 引脚的控制

根据 SPCR.MSTR 位、SPCR.MODFEN 位、SPCR.SPMS 位和 SPPCR.SPOM 位的设定，RSPI 自动转换引脚方向和输出模式。引脚状态和各位设定值的关系如表 33.7 所示。

表 33.7 RSPI 引脚的状态和控制位设定值的关系

模式	引脚	引脚状态 (注1)	
		SPPCR.SPOM=0	SPPCR.SPOM=1
单主控 (SPI 运行) (MSTR=1, MODFEN=0, SPMS=0)	RSPCK	CMOS 输出	漏极开路输出
	SSL0 ~ 3	CMOS 输出	漏极开路输出
	MOSI	CMOS 输出	漏极开路输出
	MISO	输入	输入
多主控 (SPI 运行) (MSTR=1, MODFEN=1, SPMS=0)	RSPCK (注2)	CMOS 输出 /Hi-Z	漏极开路输出 /Hi-Z
	SSL0	输入	输入
	SSL1 ~ 3 (注2)	CMOS 输出 /Hi-Z	漏极开路输出 /Hi-Z
	MOSI (注2)	CMOS 输出 /Hi-Z	漏极开路输出 /Hi-Z
	MISO	输入	输入
从属 (SPI 运行) (MSTR=0, SPMS=0)	RSPCK	输入	输入
	SSL0	输入	输入
	SSL1 ~ 3	Hi-Z	Hi-Z
	MOSI	输入	输入
	MISO (注3)	CMOS 输出 /Hi-Z	漏极开路输出 /Hi-Z
主控 (时钟同步运行) (MSTR=1, MODFEN=0, SPMS=1)	RSPCK	CMOS 输出	漏极开路输出
	SSL0 ~ 3 (注4)	Hi-Z	Hi-Z
	MOSI	CMOS 输出	漏极开路输出
	MISO	输入	输入
从属 (时钟同步运行) (MSTR=0, SPMS=1)	RSPCK	输入	输入
	SSL0 ~ 3 (注4)	Hi-Z	Hi-Z
	MOSI	输入	输入
	MISO	CMOS 输出	漏极开路输出

注 1. 未选择 RSPI 功能的多功能引脚不反映 RSPI 的设定值。

注 2. 当 SSL0 为有效电平时，引脚状态为高阻抗。

注 3. 当 SSL0 为无效电平或者 SPCR 的 SPE 位为“0”时，引脚状态为高阻抗。

注 4. 在时钟同步运行时，能将 SSL0 ~ 3 用作 I/O 端口。

如表 33.8 所示，单主控模式 (SPI 运行) 和多主控模式 (SPI 运行) 的 RSPI 根据 SPPCR.MOIFE 位、SPPCR.MOIFE 位和 SPPCR.MOIFV 位的设定，决定 SSL 无效期间 (包括突发传送中的 SSL 保持期间) 的 MOSI 信号值。

表 33.8 SSL 无效期间的 MOSI 信号值的决定方法

MOIFE 位	MOIFV 位	SSL 无效期间的 MOSI 信号值
0	0、1	上次传送的最后数据
1	0	总是为“0”。
1	1	总是为“1”。

33.3.3 RSPI 系统结构例子

33.3.3.1 单主控模式 / 单从属模式 (本 LSI= 主控设备)

本 LSI 用作主控设备时的单主控模式 / 单从属模式的 RSPI 系统结构例子如图 33.3 所示。在单主控模式 / 单从属模式的系统结构例子中，不使用本 LSI (主控设备) 的 SSL0 ~ SSL3 输出。通过将 RSPI 从属设备的 SSL 输入固定为 Low 电平，设定为能随时选择 RSPI 从属模式的状态 (注)。

本 LSI (主控设备) 随时驱动 RSPCK 和 MOSI，RSPI 从属设备随时驱动 MISO。

注. 在类似 SPCMDm.CPHA 位 (m=0 ~ 7) 为“0”时的传送格式中，也有些从属设备不能将 SSL 信号固定为有效电平。在不能固定 SSL 信号时，必须将本 LSI 的 SSL 输出连接到从属设备的 SSL 输入。

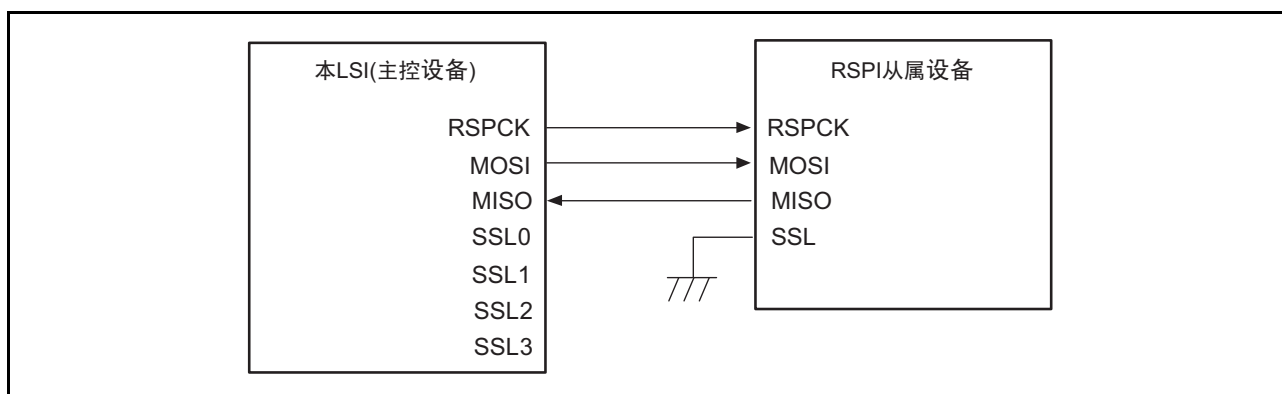


图 33.3 单主控模式 / 单从属模式的系统结构例子 (本 LSI= 主控设备)

33.3.3.2 单主控模式 / 单从属模式 (本 LSI= 从属设备)

将本 LSI 用作从属设备时的单主控模式 / 单从属模式的 RSPI 系统结构例子如图 33.4 所示。在将本 LSI 用作从属设备时，将 SSL0 引脚用作 SSL 输入。RSPI 主控设备随时驱动 RSPCK 和 MOSI，本 LSI (从属设备) 随时驱动 MISO (注)。

在 SPCMD.CPHA 位为“1”的单从属模式的系统结构中，通过将本 LSI (从属设备) 的 SSL0 输入引脚固定为 Low 电平，设定为能随时选择本 LSI (从属设备) 的状态并且也能进行串行传送 (图 33.5)。

注. 在 SSL0 为无效电平时，引脚状态为高阻抗。

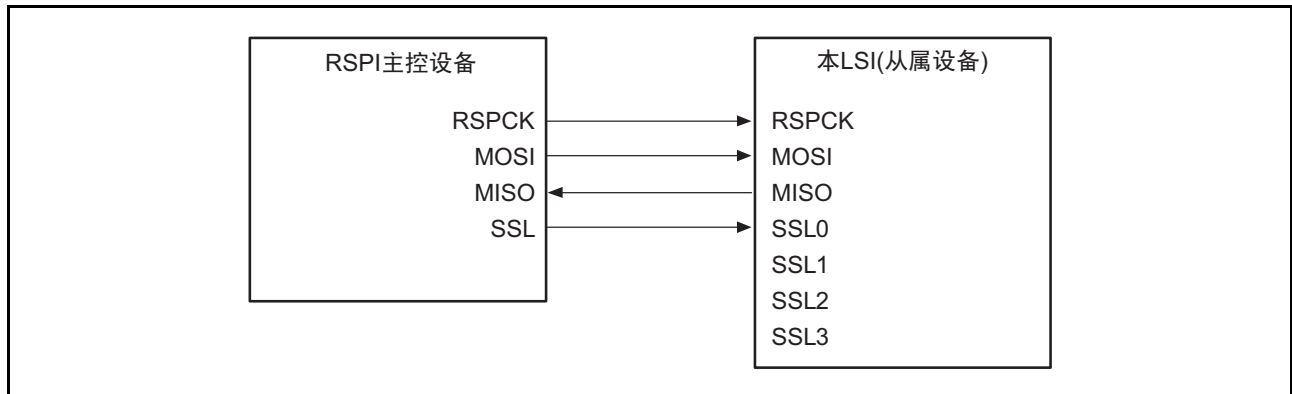


图 33.4 单主控模式 / 单从属模式的系统结构例子 (本 LSI= 从属设备)

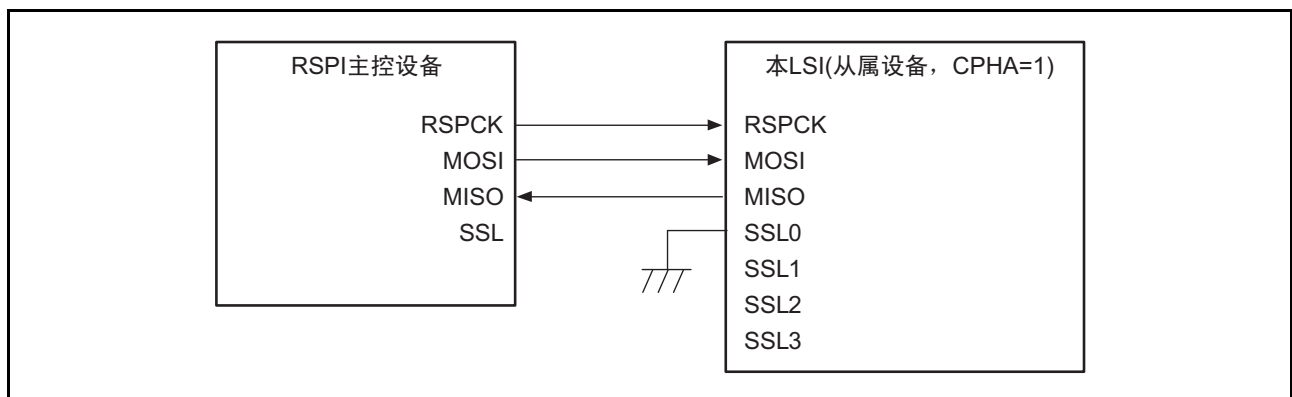


图 33.5 单主控模式 / 单从属模式的系统结构例子 (本 LSI= 从属设备, CPHA=1)

33.3.3.3 单主控模式 / 多从属模式 (本 LSI= 主控设备)

本 LSI 用作主控设备时的单主控模式 / 多从属模式的 RSPI 系统结构例子如图 33.6 所示。在图 33.6 的例子中，RSPI 系统由本 LSI (主控设备) 和 4 个从属设备 (RSPI 从属设备 0 ~ RSPI 从属设备 3) 构成。

将本 LSI (主控设备) 的 RSPCK 输出和 MOSI 输出连接 RSPI 从属设备 0 ~ RSPI 从属设备 3 的 RSPCK 输入和 MOSI 输入，RSPI 从属设备 0 ~ RSPI 从属设备 3 的 MISO 输出全部连接本 LSI (主控设备) 的 MISO 输入，本 LSI (主控设备) 的 SSL0 ~ SSL3 输出分别连接 RSPI 从属设备 0 ~ RSPI 从属设备 3 的 SSL 输入。

本 LSI (主控设备) 随时驱动 RSPCK、MOSI 和 SSL0 ~ SSL3。在 RSPI 从属设备 0 ~ 从属设备 3 中，SSL 输入为 Low 电平的从属设备驱动 MISO。

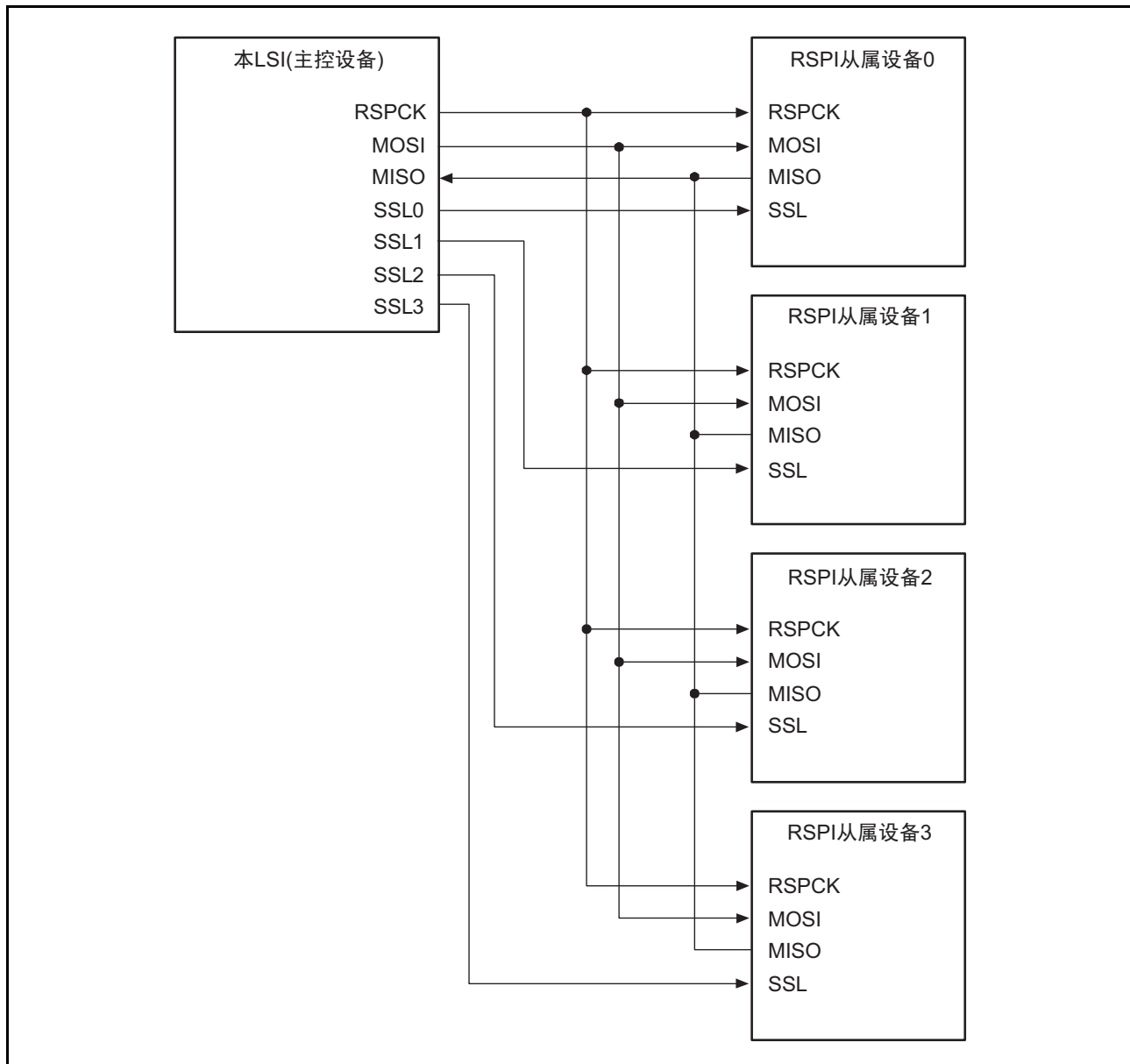


图 33.6 单主控模式 / 多从属模式的系统结构例子 (本 LSI= 主控设备)

33.3.3.4 单主控模式 / 多从属模式 (本 LSI= 从属设备)

本 LSI 用作从属设备时的单主控模式 / 多从属模式的 RSPI 系统结构例子如图 33.7 所示。在图 33.7 的例子中，RSPI 系统由 RSPI 主控设备和 2 个本 LSI (从属设备 X 和从属设备 Y) 构成。

RSPI 主控设备的 RSPCK 输出和 MOSI 输出连接本 LSI (从属设备 X 和从属设备 Y) 的 RSPCK 输入和 MOSI 输入，本 LSI (从属设备 X 和从属设备 Y) 的 MISO 输出连接 RSPI 主控设备的 MISO 输入，RSPI 主控设备的 SSLX 输出和 SSLY 输出连接本 LSI (从属设备 X 和从属设备 Y) 的 SSL0 输入。

RSPI 主控设备随时驱动 RSPCK、MOSI、SSLX 和 SSLY。在本 LSI (从属设备 X 和从属设备 Y) 中，SSL0 输入为 Low 电平的从属设备驱动 MISO。

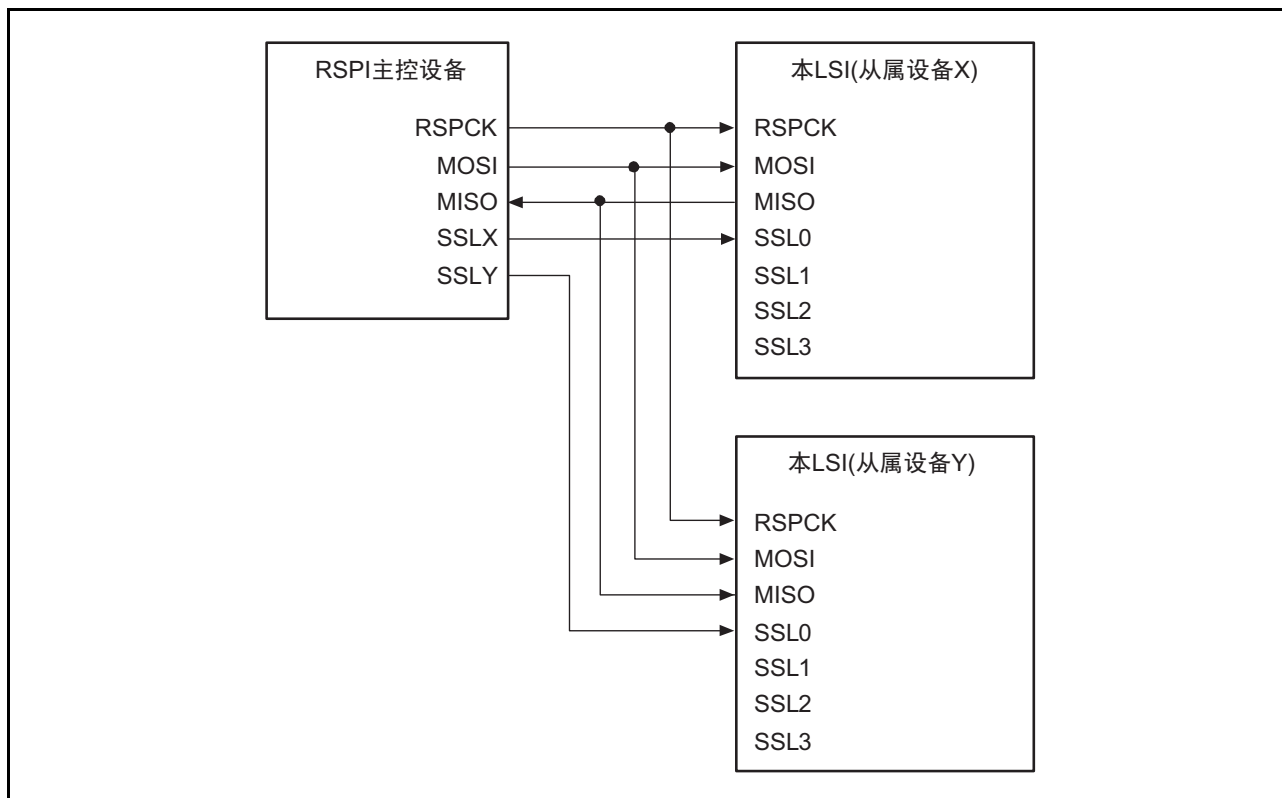


图 33.7 单主控模式 / 多从属模式的系统结构例子 (本 LSI= 从属设备)

33.3.3.5 多主控模式 / 多从属模式 (本 LSI= 主控设备)

本 LSI 用作主控设备时的多主控模式 / 多从属模式的 RSPI 系统结构例子如图 33.8 所示。在图 33.8 的例子中，RSPI 系统由 2 个本 LSI (主控设备 X 和主控设备 Y) 和 2 个 RSPI 从属设备 (RSPI 从属设备 1 和从属设备 2) 构成。

本 LSI (主控设备 X 和主控设备 Y) 的 RSPCK 输出和 MOSI 输出连接 RSPI 从属设备 1 和 RSPI 从属设备 2 的 RSPCK 输入和 MOSI 输入，RSPI 从属设备 1 和 RSPI 从属设备 2 的 MISO 输出连接本 LSI (主控设备 X 和主控设备 Y) 的 MISO 输入，本 LSI (主控设备 X) 任意的通用端口 Y 输出引脚连接本 LSI (主控设备 Y) 的 SSL0 输入，本 LSI (主控设备 Y) 任意的通用端口 X 输出连接本 LSI (主控设备 X) 的 SSL0 输入，本 LSI (主控设备 X 和主控设备 Y) 的 SSL1 输出和 SSL2 输出连接 RSPI 从属设备 1 和 RSPI 从属设备 2 的 SSL 输入。在此结构例子中，因为系统只由 SSL0 输入、连接从属设备的 SSL1 输出和 SSL2 输出构成，所以不使用本 LSI 的 SSL3 输出。

当 SSL0 输入电平为“1”时，本 LSI 驱动 RSPCK、MOSI、SSL1 和 SSL2；当 SSL0 输入电平为“0”时，检测模式故障错误，在将 RSPCK、MOSI、SSL1 和 SSL2 置为高阻抗后，将 RSPI 总线权释放给其他主控设备。在 RSPI 从属设备 1 和 RSPI 从属设备 2 中，SSL 输入为 Low 电平的从属设备驱动 MISO。

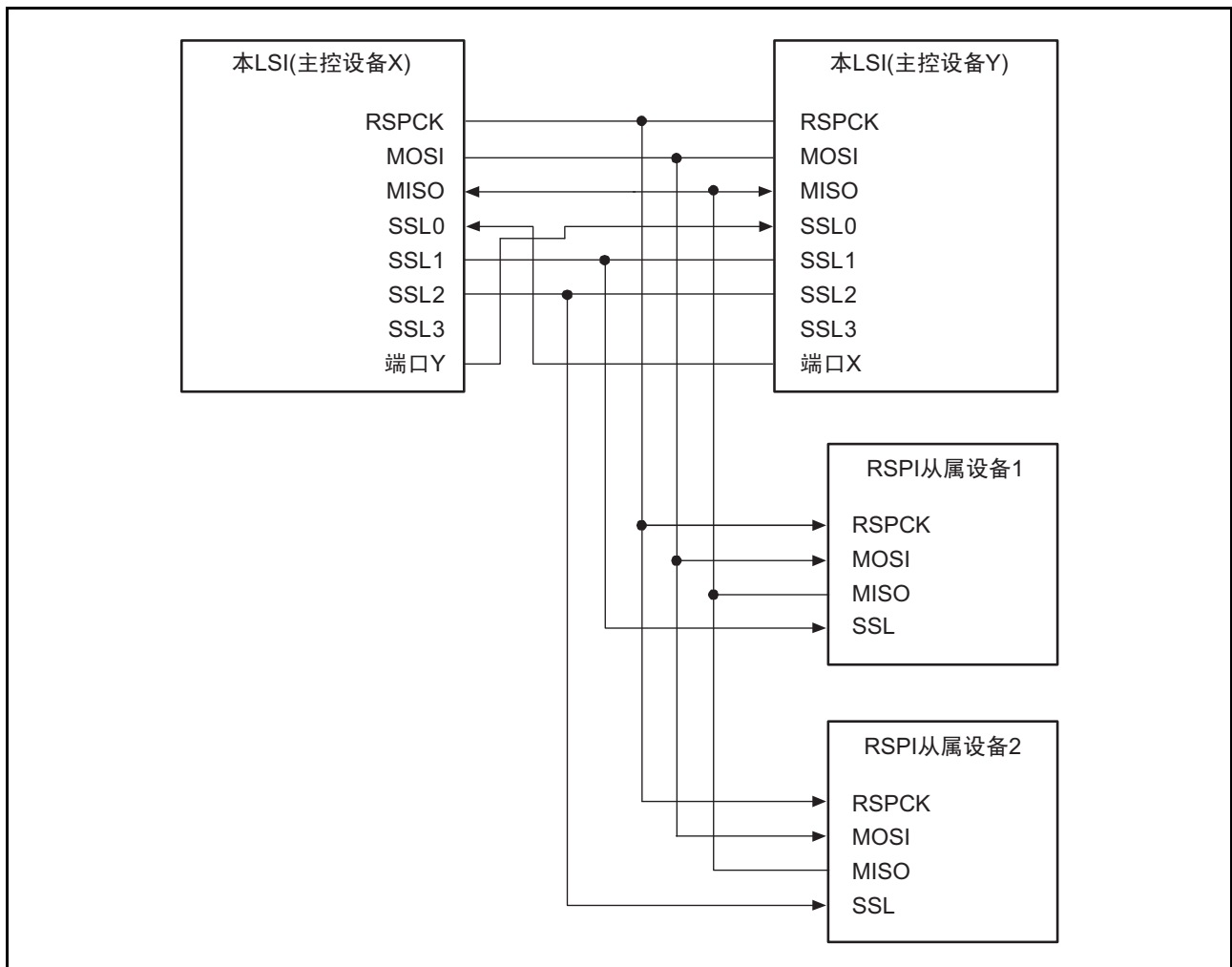


图 33.8 多主控模式 / 多从属模式的系统结构例子 (本 LSI= 主控设备)

33.3.3.6 主控模式 (时钟同步运行) / 从属模式 (时钟同步运行) (本 LSI= 主控设备)

本 LSI 用作主控设备时的主控模式 (时钟同步运行) / 从属模式 (时钟同步运行) 的 RSPI 系统结构例子如图 33.9 所示。在 主控模式 (时钟同步运行) / 从属模式 (时钟同步运行) 的结构中, 不使用本 LSI (主控设备) 的 SSL0 ~ SSL3。

本 LSI (主控设备) 随时启动 RSPCK 和 MOSI, RSPI 从属设备随时驱动 MISO。

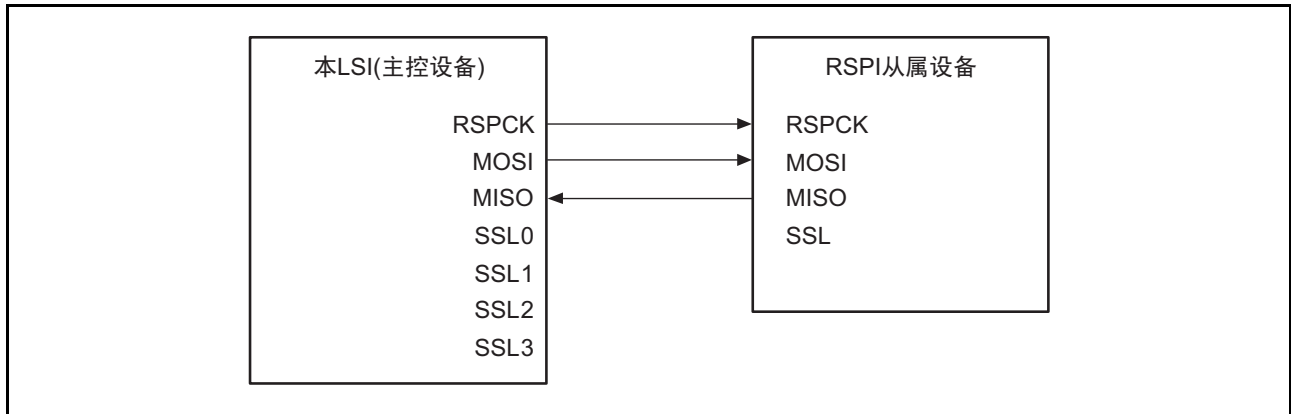


图 33.9 主控模式 (时钟同步运行) / 从属模式 (时钟同步运行) 的系统结构例子 (本 LSI= 主控设备)

33.3.3.7 主控模式 (时钟同步运行) / 从属模式 (时钟同步运行) (本 LSI= 从属设备)

本 LSI 用作从属设备时的主控模式 (时钟同步运行) / 从属模式 (时钟同步运行) 的 RSPI 系统结构例子如图 33.10 所示。在将本 LSI 用作从属设备 (时钟同步运行) 时, 本 LSI (从属设备) 随时驱动 MISO, RSPI 主控设备随时驱动 RSPCK 和 MOSI。不使用本 LSI (从属设备) 的 SSL0 ~ SSL3。

只有在将 SPCMD.CPHA 位置“1”的单从属模式的系统结构中, 本 LSI (从属设备) 才能进行串行传送。

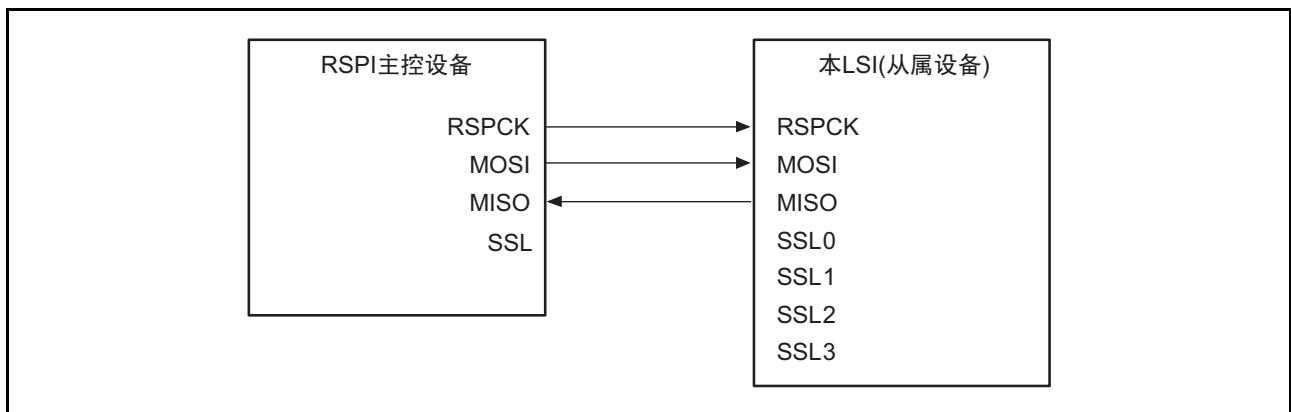


图 33.10 主控模式 (时钟同步运行) / 从属模式 (时钟同步运行) 的系统结构例子 (本 LSI= 从属设备, CPHA=1)

33.3.4 传送格式

33.3.4.1 CPHA 位为“0”的情况

在 SPCMDm.CPHA 位 (m=0 ~ 7) 为“0”的情况下，对 8 位数据进行串行传送时的传送格式例子如图 33.11 所示。但是，不保证 RSPI 为从属模式 (SPCR.MSTR=0) 并且 CPHA 位为“0”时的时钟同步运行 (SPCR.SPMS 位为“1”)。在图 33.11 中，RSPCK (CPOL=0) 是 SPCMD.CPOL 位为“0”时的 RSPCK 信号波形，RSPCK (CPOL=1) 是 CPOL 位为“1”时的 RSPCK 信号波形。采样时序表示 RSPI 将串行传送数据取到移位寄存器的时序。各信号的输入 / 输出方向取决于 RSPI 的设定，详细内容请参照“33.3.2 RSPI 引脚的控制”。

当 CPHA 位为“0”时，在 SSLn 信号的有效时序开始驱动 MOSIn 信号和 MISO_n 信号的有效数据。在 SSLn 信号有效后发生的第一个 RSPCK 信号变化时序为第一个传送数据的取时序，在此时序之后，按每个 RSPCK 周期对数据进行采样。MOSIn 信号和 MISO_n 信号的变化时序总是在传送数据取时序的 1/2 个 RSPCK 周期之后。CPOL 位的设定值不影响 RSPCK 信号的运行时序而只影响信号的极性。

t1 表示从 SSL 信号有效到 RSPCK 振荡的期间 (RSPCK 延迟)，t2 表示从 RSPCK 振荡停止到 SSL 信号无效的期间 (SSL 无效延迟)，t3 表示在串行传送结束后抑制下次传送的 SSL 信号有效的期间 (下次存取延迟)。t1、t2 和 t3 由 RSPI 系统上的主控设备进行控制。有关本 LSI 的 RSPI 为主控模式时的 t1、t2 和 t3，请参照“33.3.10.1 主控模式的运行” (n=A、B)。

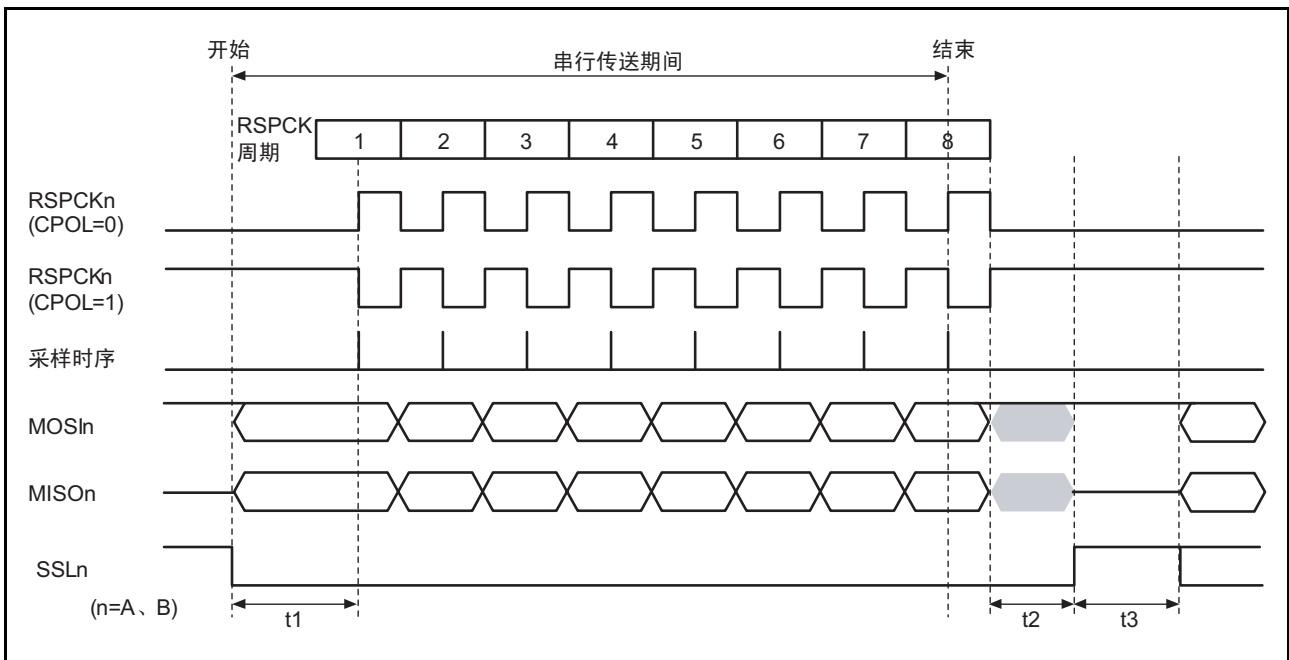


图 33.11 RSPI 传送格式 (CPHA 位 =0)

33.3.4.2 CPHA 位为“1”的情况

在 SPCMDm.CPHA 位 (m=0 ~ 7) 为“1”的情况下, 对 8 位数据进行串行传送时的传送格式例子如图 33.12 所示。但是, 当 SPCR.SPMS 位为“1”时, 不使用 SSL 信号而只使用 RSPCK 信号、MOSI 信号和 MISO 信号进行通信。在图 33.12 中, RSPCK (CPOL=0) 是 SPCMD.CPOL 位为“0”时的 RSPCK 信号波形, RSPCK (CPOL=1) 是 CPOL 位为“1”的 RSPCK 信号波形。采样时序表示 RSPI 将串行传送数据取到移位寄存器的时序。各信号的输入/输出方向取决于 RSPI 的模式 (主控/从属模式), 详细内容请参照“33.3.2 RSPI 引脚的控制”。

当 SPCMDm.CPHA 位 (m=0 ~ 7) 为“1”时, 在 SSL 信号的有效时序开始驱动 MISO 信号的无效数据。在 SSL 信号有效后发生的第一个 RSPCK 信号变化时序, 开始输出 MOSI 信号和 MISO 信号的有效数据。在此时序后, 按每个 RSPCK 周期更新数据。传送数据的取时序总是在此时序的 1/2 个 RSPCK 周期之后。SPCMD.CPOL 位的设定值不影响 RSPCK 信号的运行时序而只影响信号的极性。

t1、t2、t3 的内容和 CPHA 位为“0”的情况相同。有关本 LSI 的 RSPI 为主控模式时的 t1、t2 和 t3, 请参照“33.3.10.1 主控模式的运行”。

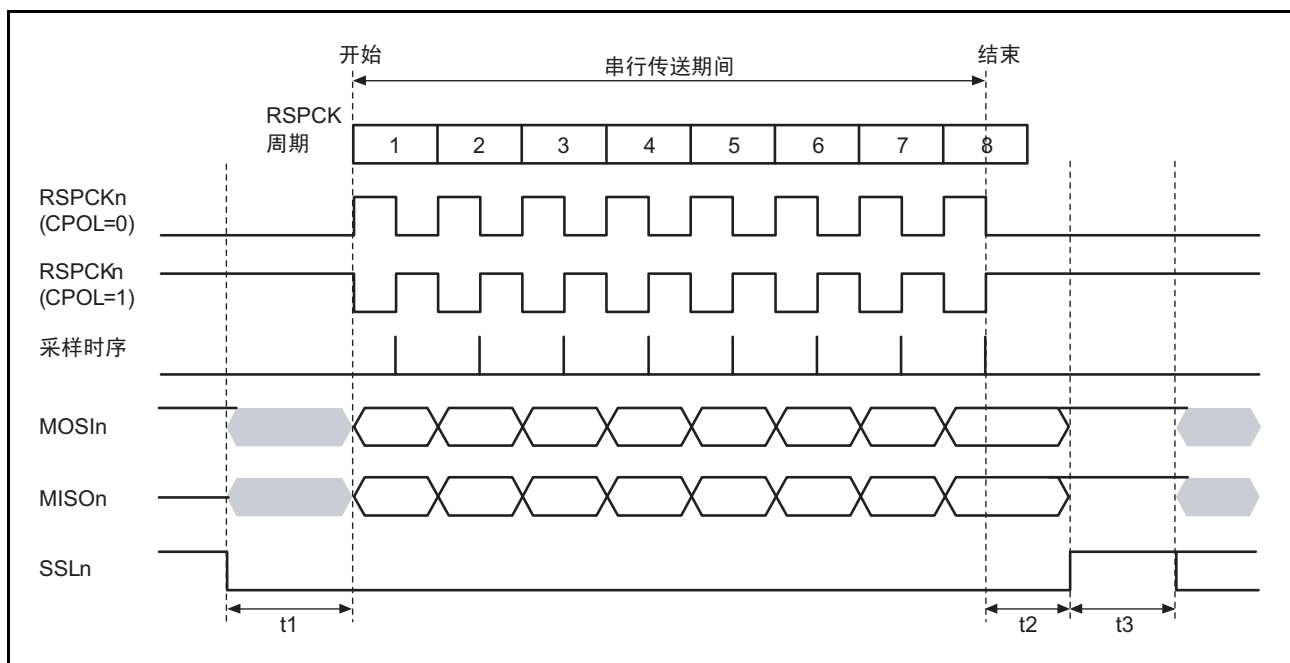


图 33.12 RSPI 传送格式 (CPHA 位 =1)

33.3.5 数据格式

RSPI 的数据格式取决于 SPCMD 寄存器和 SPCR2.SPPE 位的设定值。与 MSB first 和 LSB first 无关，RSPI 将 SPDR.LSB 位开始的设定数据长度的范围作为传送数据进行处理。

33.3.5.1 MSB first 传送 (32 位数据)

(1) 奇偶校验功能无效的情况 (SPCR2.SPPE=0)

在奇偶校验功能无效的情况下，RSPI 进行 32 位数据长度的 MSB first 传送时的 SPDR 寄存器和移位寄存器的运行内容如图 33.13 所示。

将 T31 ~ T00 写到 SPDR 寄存器的发送缓冲器。如果发送缓冲器有数据并且移位寄存器为空，RSPI 就将发送缓冲器的数据复制到移位寄存器，使移位寄存器变满。一旦串行传送开始，RSPI 就从移位寄存器的 MSB (bit31) 开始输出数据，从移位寄存器的 LSB (bit0) 开始移入数据。在经过 32 位串行传送所需的 RSPCK 周期后，数据 R31 ~ R00 被保存到移位寄存器。在此状态下，如果进行全双工同步串行通信运行 (SPCR.TXMD = 0)，RSPI 就将数据从移位寄存器复制到 SPDR 寄存器的接收缓冲器，使移位寄存器变空。

如果在写 SPDR 寄存器的发送缓冲器前启动下一次串行传送，就从移位寄存器移出接收数据 R31 ~ R00。

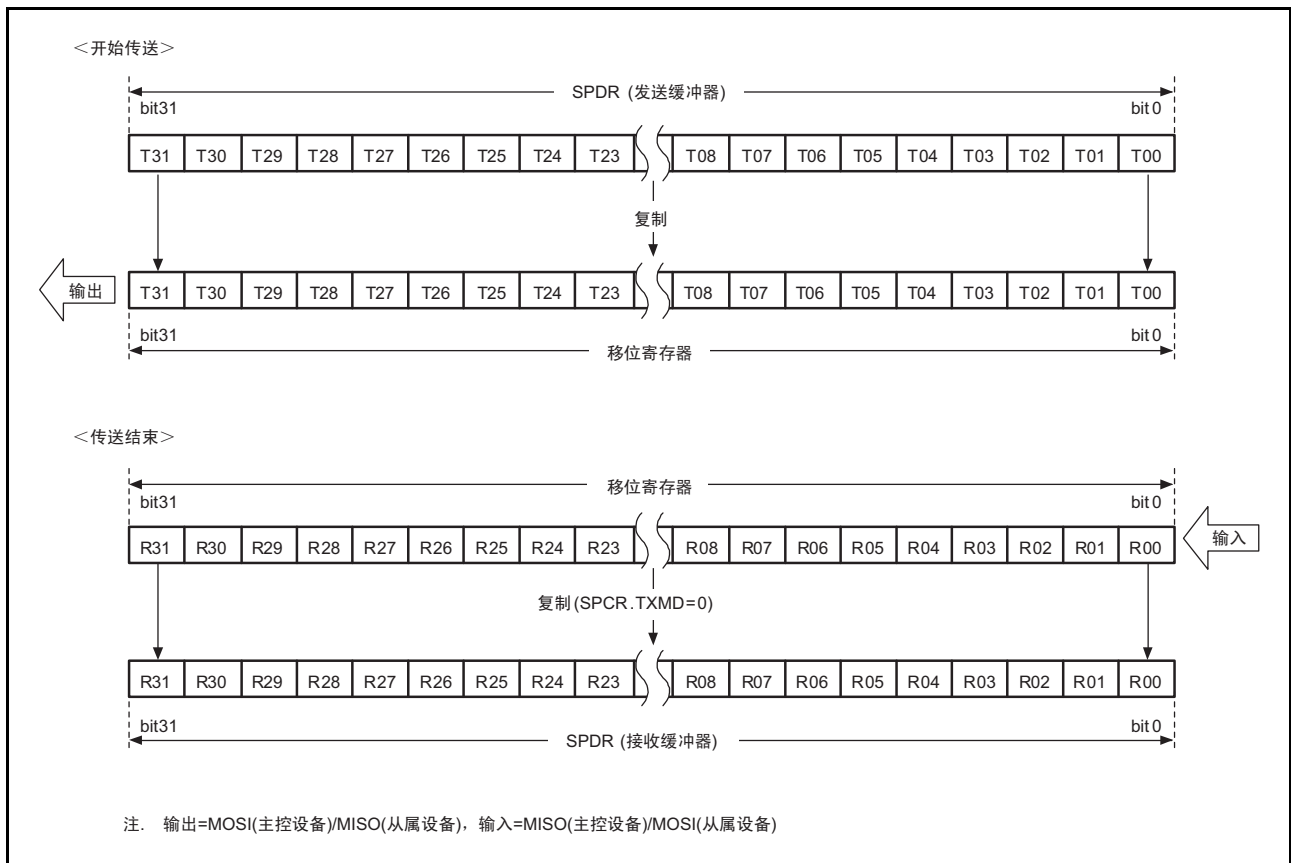


图 33.13 MSB first 传送 (1) (32 位数据 / 奇偶校验功能无效)

(2) 奇偶校验功能有效的情况 (SPCR2.SPPE=1)

在奇偶校验功能有效的情况下，RSPI 进行 32 位数据长度的 MSB first 传送时的 SPDR 寄存器和移位寄存器的运行内容如图 33.14 所示。

将 T31 ~ T00 写到 SPDR 寄存器的发送缓冲器。如果发送缓冲器有数据并且移位寄存器为空，RSPI 就将 SPDR 寄存器的发送缓冲器保存的数据 T00 转换为奇偶校验位 (P)。将附加了奇偶校验位 (P) 的数据复制到移位寄存器，使移位寄存器变满。一旦串行传送开始，RSPI 就从移位寄存器的 MSB (bit31) 开始输出数据，从移位寄存器的 LSB (bit0) 开始移入数据。

在经过 32 位串行传送所需的 RSPCK 周期后，数据 R31 ~ P 被保存到移位寄存器。在此状态下，如果进行全双工同步串行通信运行 (SPCR.TXMD=0)，RSPI 就将数据从移位寄存器复制到 SPDR 寄存器的接收缓冲器，使移位寄存器变空。

如果在写 SPDR 寄存器的发送缓冲器前启动下一次串行传送，就从移位寄存器移出接收数据 R31 ~ P。

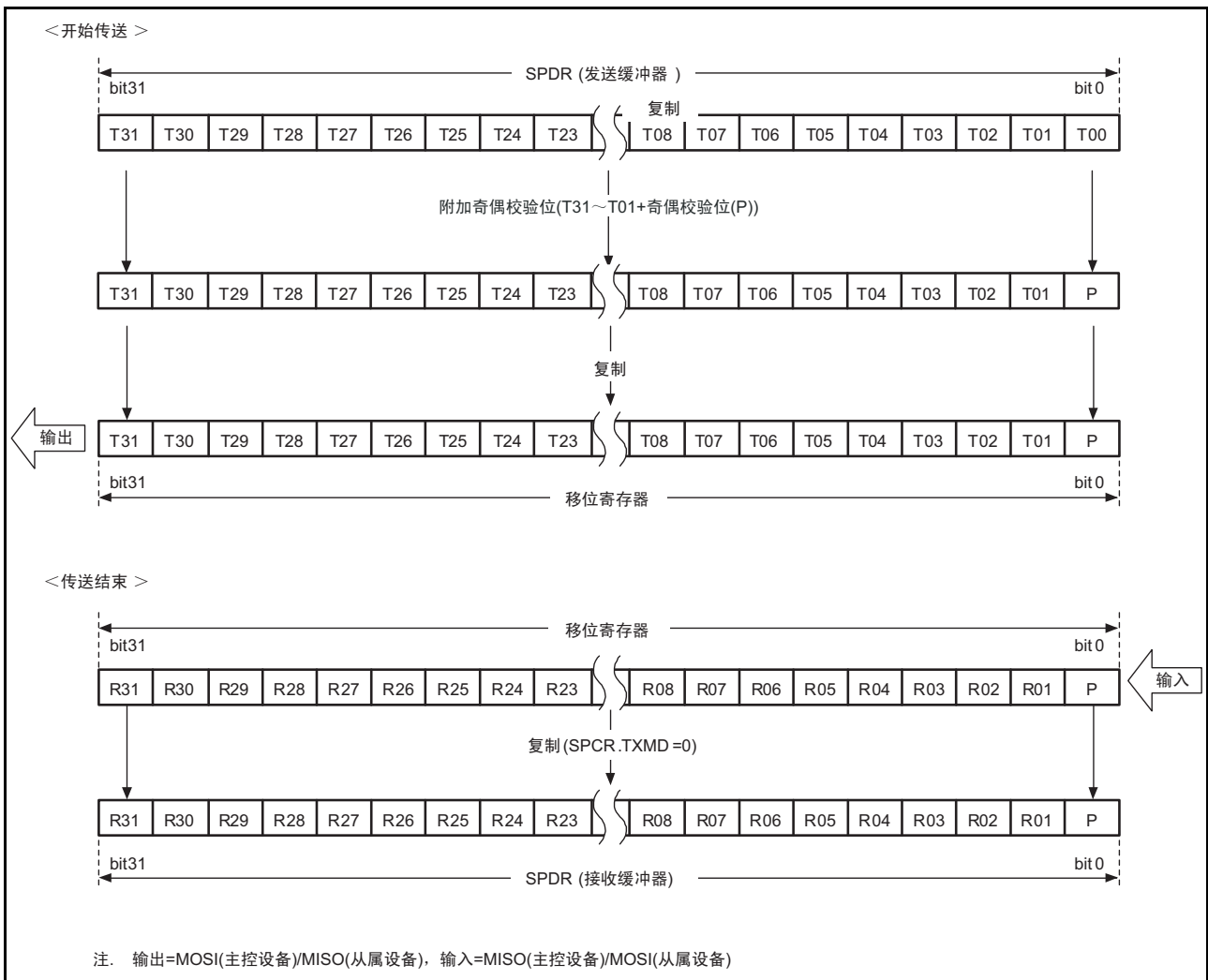


图 33.14 MSB first 传送 (2) (32 位数据 / 奇偶校验功能有效)

33.3.5.2 MSB first 传送 (24 位数据)

(1) 奇偶校验功能无效的情况 (SPCR2.SPPE=0)

在奇偶校验功能无效的情况下，以对 32 位以外的数据进行 MSB first 传送为例，RSPI 进行 24 位数据传送时的 SPDR 寄存器和移位寄存器的运行内容如图 33.15 所示。

将 T31 ~ T00 写到 SPDR 寄存器的发送缓冲器。如果发送缓冲器有数据并且移位寄存器为空，RSPI 就将 SPDR 寄存器的发送缓冲器保存的数据复制到移位寄存器，使移位寄存器变满。一旦串行传送开始，RSPI 就从移位寄存器的 bit23 开始输出数据，从移位寄存器的 LSB (bit0) 开始移入数据。在经过 24 位串行传送所需的 RSPCK 周期后，接收数据 R23 ~ R00 被保存到移位寄存器的 bit23 ~ 0。串行传送结束后的移位寄存器的 bit31 ~ 24 保持传送前的数据。在此状态下，如果进行全双工同步串行通信运行 (SPCR.TXMD=0)，RSPI 就将数据从移位寄存器复制到 SPDR 寄存器的接收缓冲器，使移位寄存器变空。

如果在写 SPDR 寄存器的发送缓冲器前启动下一次串行传送，就从移位寄存器移出接收数据 R23 ~ R00。

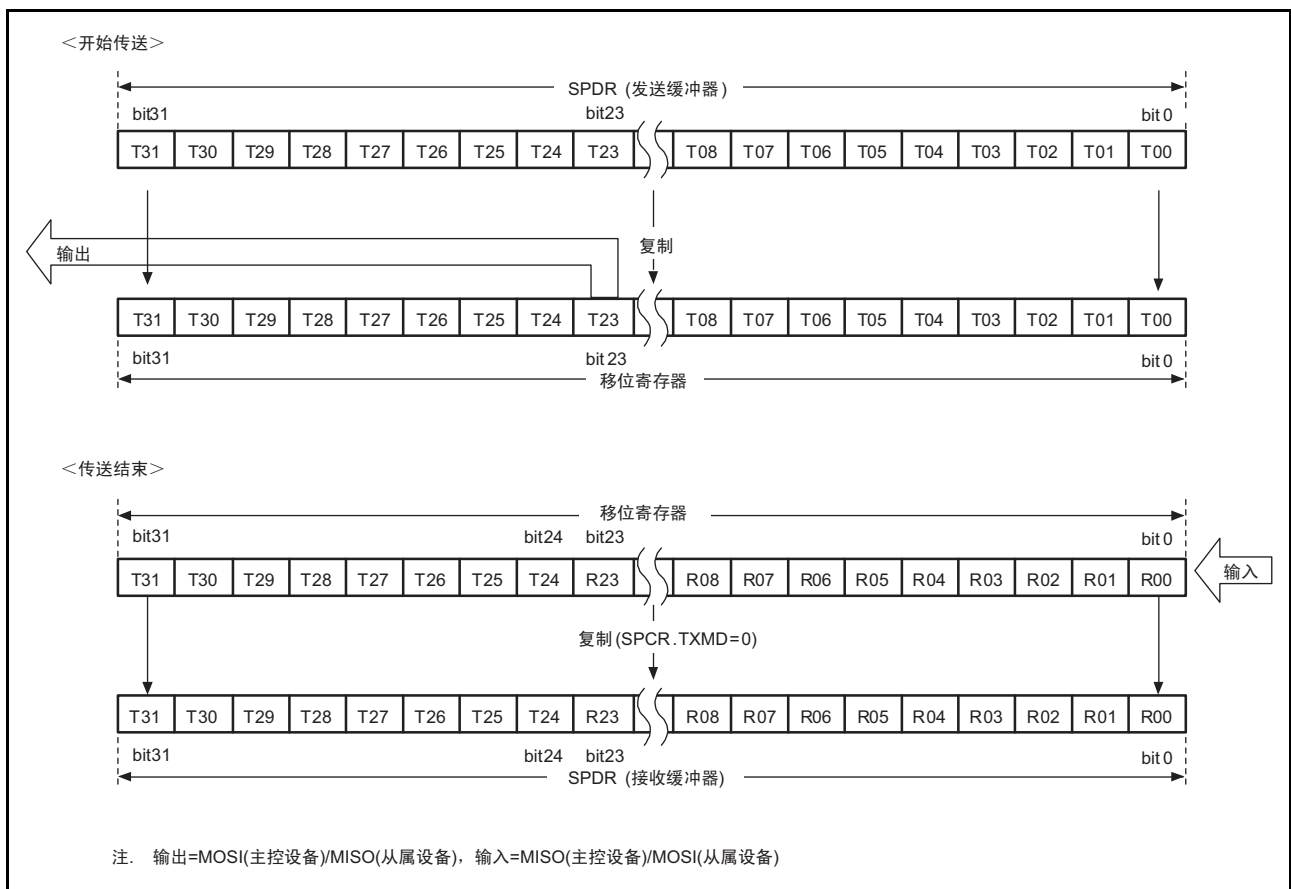


图 33.15 MSB first 传送 (1) (24 位数据 / 奇偶校验功能无效)

(2) 奇偶校验功能有效的情况 (SPCR2.SPPE=1)

在奇偶校验功能有效的情况下，以对 32 位以外的数据进行 MSB first 传送为例，RSPI 进行 24 位数据传送时的 SPDR 寄存器和移位寄存器的运行内容如图 33.16 所示。

将 T31 ~ T00 写到 SPDR 寄存器的发送缓冲器。如果发送缓冲器有数据并且移位寄存器为空，RSPI 就将 SPDR 寄存器的发送缓冲器保存的数据 T00 转换为奇偶校验位 (P)。将附加了奇偶校验位 (P) 的数据复制到移位寄存器，使移位寄存器变满。一旦串行传送开始，RSPI 就从移位寄存器的 bit23 开始输出数据，从移位寄存器的 LSB (bit0) 开始移入数据。在经过 24 位串行传送所需的 RSPCK 周期后，接收数据 R23 ~ P 被保存到移位寄存器的 bit23 ~ 0。串行传送结束后的移位寄存器的 bit31 ~ 24 保持传送前的数据。在此状态下，如果进行全双工同步模式的串行通信运行 (SPCR.TXMD=0)，RSPI 就将数据从移位寄存器复制到 SPDR 寄存器的接收缓冲器，使移位寄存器变空。

如果在写 SPDR 寄存器的发送缓冲器前启动下一次串行传送，就从移位寄存器移出接收数据 R23 ~ P。

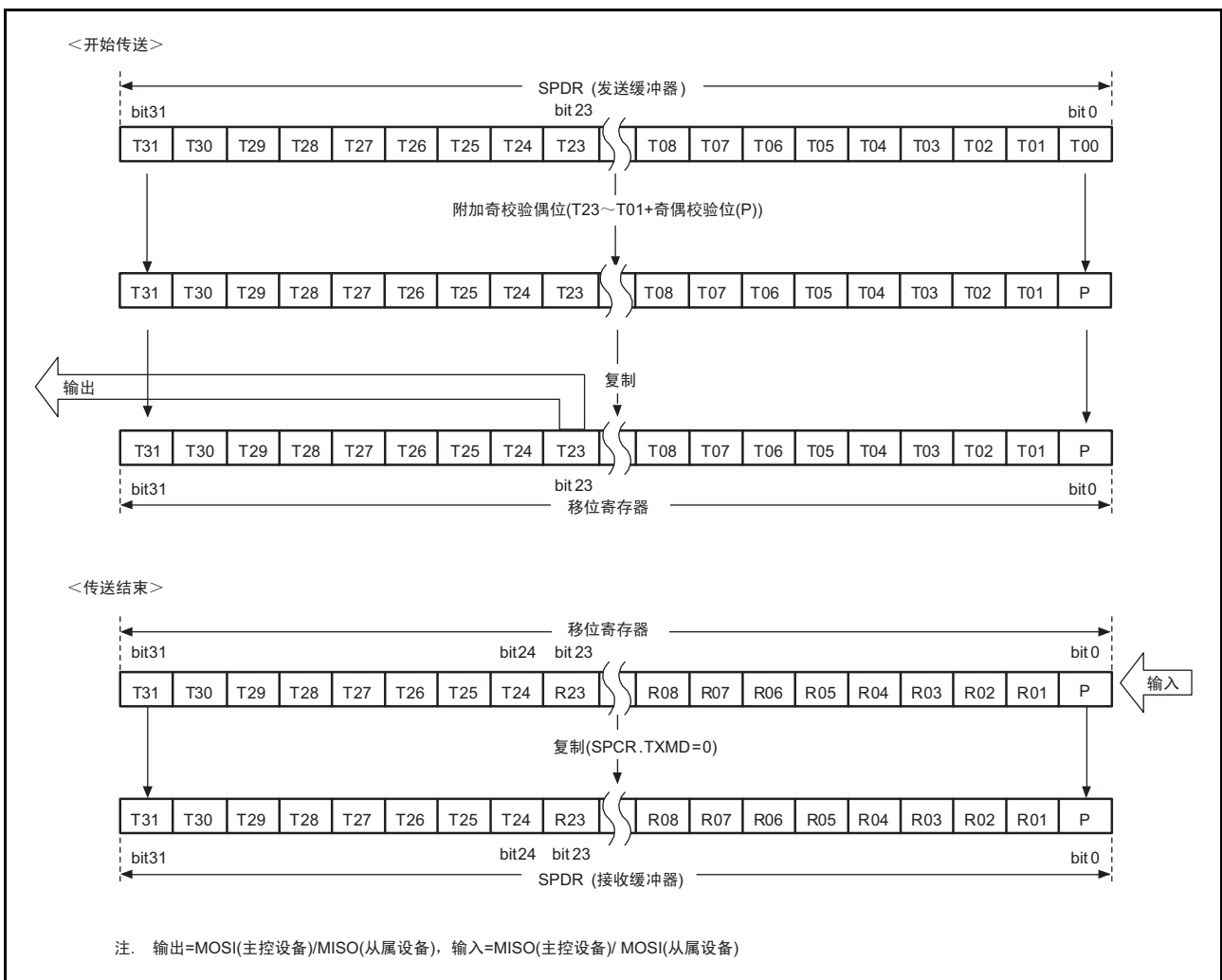


图 33.16 MSB first 传送 (2) (24 位数据 / 奇偶校验功能有效)

33.3.5.3 LSB first 传送 (32 位数据)

(1) 奇偶校验功能无效的情况 (SPCR2.SPPE=0)

在奇偶校验功能无效的情况下，RSPI 进行 32 位数据长度的 LSB first 传送时的 SPDR 寄存器和移位寄存器的运行内容如图 33.17 所示。

将 T31 ~ T00 写到 SPDR 寄存器的发送缓冲器。如果发送缓冲器有数据并且移位寄存器为空，RSPI 就将 SPDR 寄存器的发送缓冲器的数据位序颠倒，然后复制到移位寄存器，使移位寄存器变满。一旦串行传送开始，RSPI 就从移位寄存器的 MSB (bit31) 开始输出数据，从移位寄存器的 LSB (bit0) 开始移入数据。在经过 32 位串行传送所需的 RSPCK 周期后，数据 R00 ~ R31 被保存到移位寄存器。在此状态下，如果进行全双工同步串行通信运行 (SPCR.TXMD=0)，RSPI 就将位序颠倒的数据从移位寄存器复制到 SPDR 寄存器的接收缓冲器，使移位寄存器变空。

如果在写 SPDR 寄存器的发送缓冲器前启动下一次串行传送，就从移位寄存器移出接收数据 R00 ~ R31。

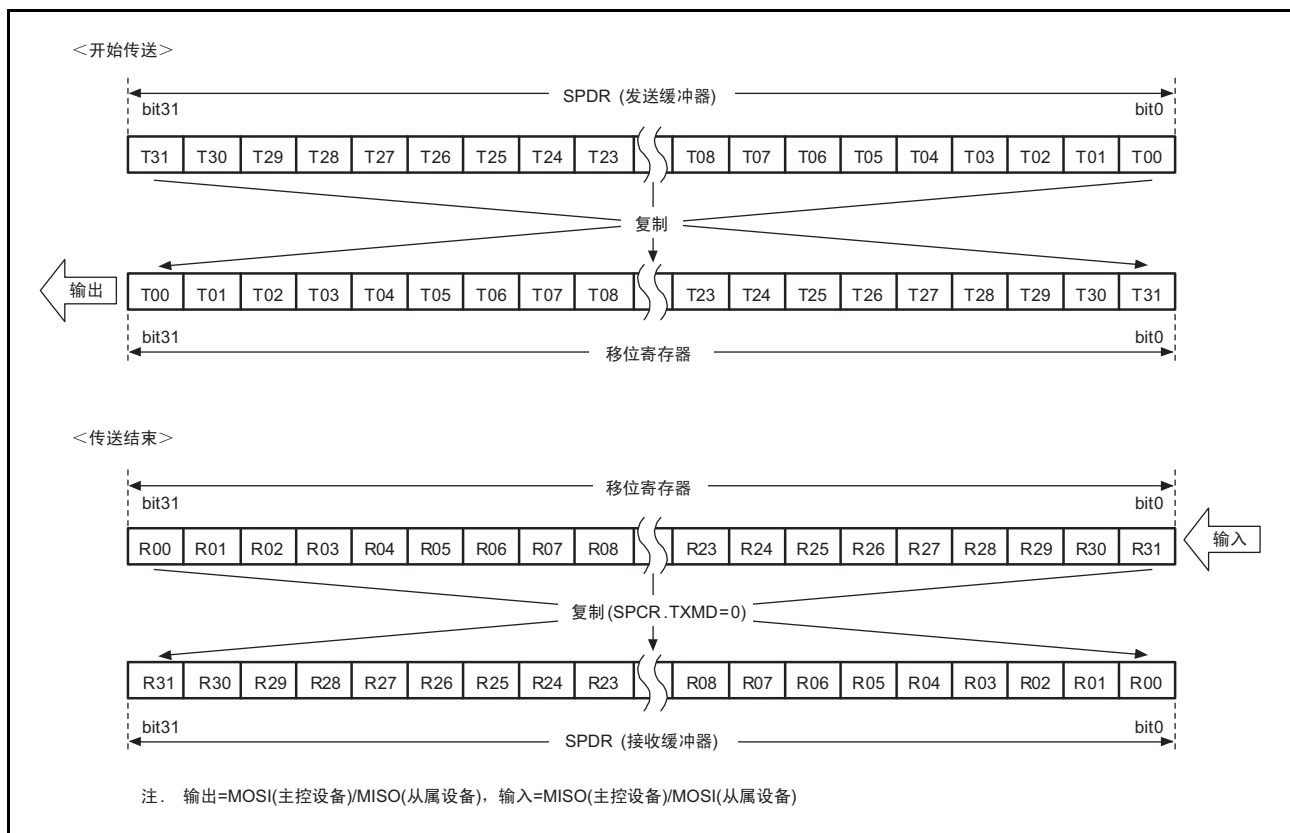


图 33.17 LSB first 传送 (1) (32 位数据 / 奇偶校验功能无效)

(2) 奇偶校验功能有效的情况 (SPCR2.SPPE=1)

在奇偶校验功能有效的情况下，RSPI 进行 32 位数据长度的 LSB first 传送时的 SPDR 寄存器和移位寄存器的运行内容如图 33.18 所示。

将 T31 ~ T00 写到 SPDR 寄存器的发送缓冲器。RSPI 将 SPDR 的发送缓冲器保存的数据 T31 转换为奇偶校验位 (P)。如果发送缓冲器有数据并且移位寄存器为空，就将附加了奇偶校验位 (P) 的数据位序颠倒，然后复制到移位寄存器，使移位寄存器变满。一旦串行传送开始，RSPI 就从移位寄存器的 MSB (bit31) 开始输出数据，从移位寄存器的 LSB (bit0) 开始移入数据。在经过 32 位串行传送所需的 RSPCK 周期后，数据 R00 ~ P 被保存到移位寄存器。在此状态下，如果进行全双工同步串行通信运行 (SPCR.TXMD=0)，RSPI 就将位序颠倒的数据从移位寄存器复制到 SPDR 寄存器的接收缓冲器，使移位寄存器变空。

如果在写 SPDR 寄存器的发送缓冲器前启动下一次串行传送，就从移位寄存器移出接收数据 R00 ~ P。

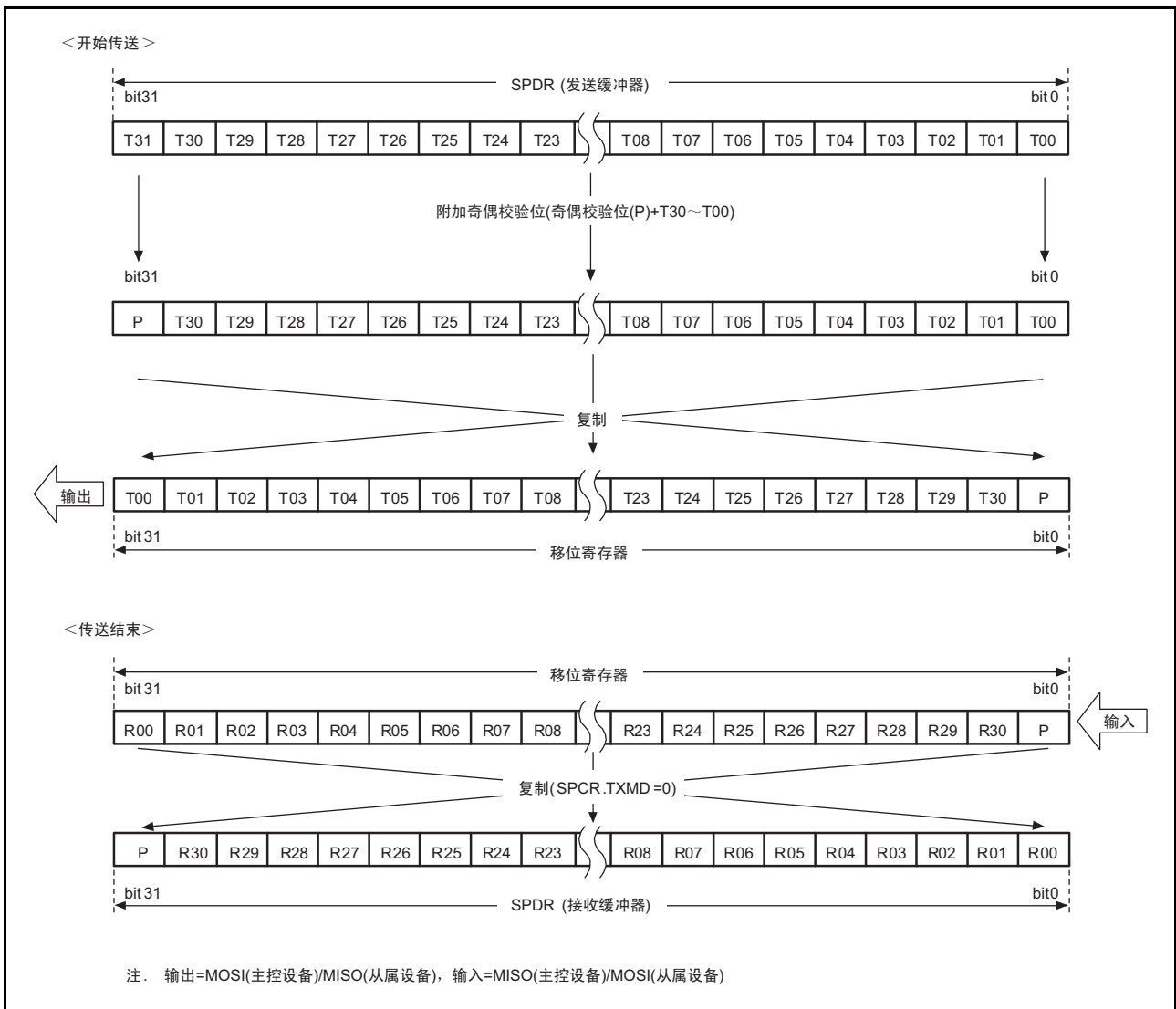


图 33.18 LSB first 传送 (2) (32 位数据 / 奇偶校验功能有效)

33.3.5.4 LSB first 传送 (24 位数据)

(1) 奇偶校验功能无效的情况 (SPCR2.SPPE=0)

在奇偶校验功能无效的情况下，以对 32 位以外的数据进行 LSB first 传送为例，RSPI 进行 24 位数据传送时的 SPDR 寄存器和移位寄存器的运行内容如图 33.19 所示。

将 T31 ~ T00 写到 SPDR 寄存器的发送缓冲器。如果发送缓冲器有数据并且移位寄存器为空，RSPI 就将 SPDR 寄存器的发送缓冲器的数据位序颠倒，然后复制到移位寄存器，使移位寄存器变满。一旦串行传送开始，RSPI 就从移位寄存器的 MSB (bit31) 开始输出数据，从移位寄存器的 bit8 开始移入数据。在经过 24 位串行传送所需的 RSPCK 周期后，接收数据 R00 ~ R23 被保存到移位寄存器的 bit31 ~ 8。串行传送结束后的移位寄存器的 bit7 ~ 0 保持传送前的数据。在此状态下，如果进行全双工同步串行通信运行 (SPCR.TXMD=0)，RSPI 就将位序颠倒的数据从移位寄存器复制到 SPDR 寄存器的接收缓冲器，使移位寄存器变空。

如果在写 SPDR 寄存器的发送缓冲器前启动下一次串行传送，就从移位寄存器移出接收数据 R00 ~ R23。

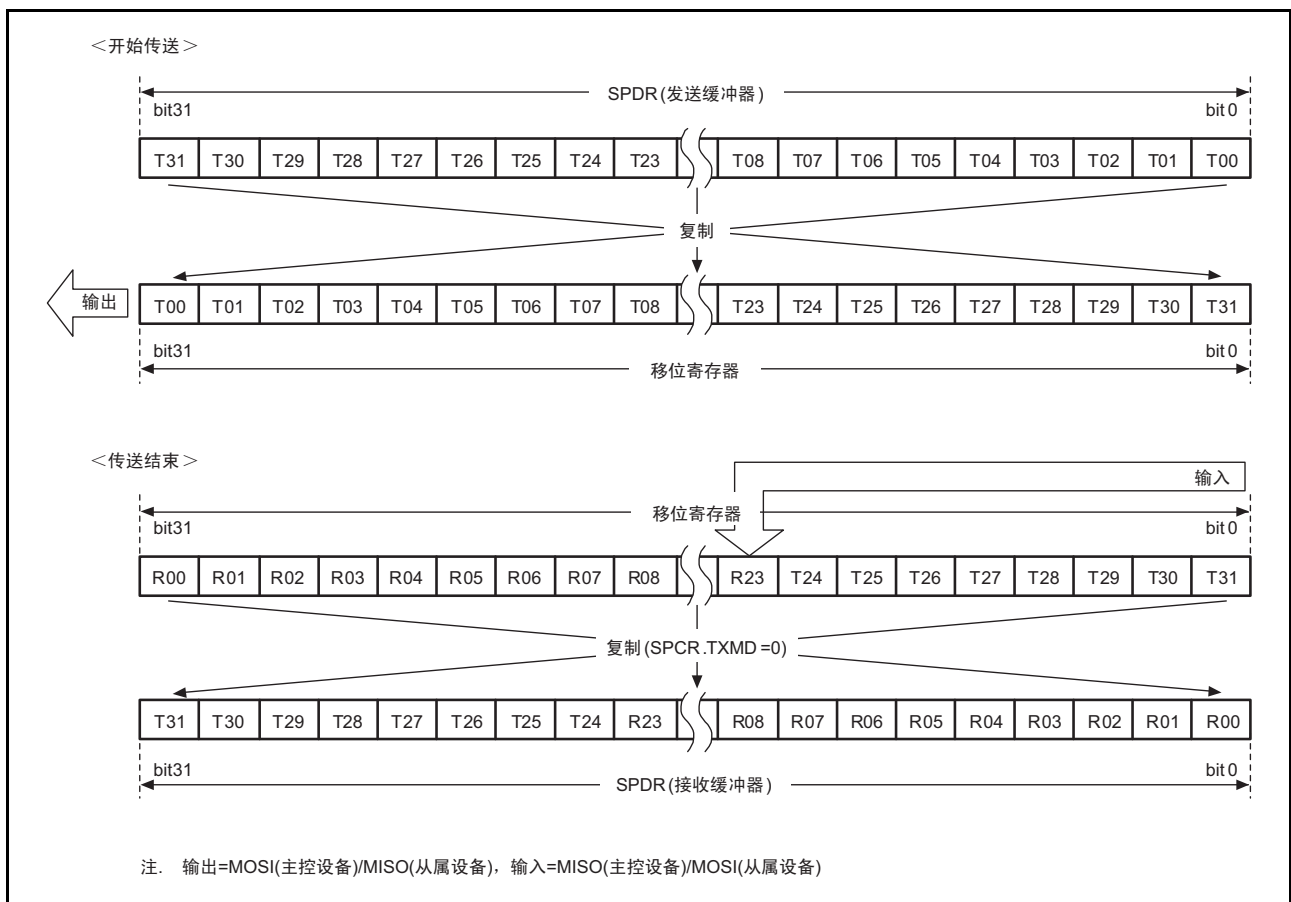


图 33.19 LSB first(1) (24 位数据 / 奇偶校验功能无效)

(2) 奇偶校验功能有效的情况 (SPCR2.SPPE=1)

在奇偶校验功能有效的情况下，以对 32 位以外的数据进行 LSB first 传送为例，RSPI 进行 24 位数据传送时的 SPDR 寄存器和移位寄存器的运行内容如图 33.20 所示。

将 T31 ~ T00 写到 SPDR 寄存器的发送缓冲器。RSPI 将 SPDR 的发送缓冲器保存的数据 T23 转换为奇偶校验位 (P)。如果发送缓冲器有数据并且移位寄存器为空，就将附加了奇偶校验位 (P) 的数据位序颠倒，然后复制到移位寄存器，使移位寄存器变满。一旦串行传送开始，RSPI 就从移位寄存器的 MSB (bit31) 开始输出数据，从移位寄存器的 bit8 开始移入数据。在经过 24 位串行传送所需的 RSPCK 周期后，接收数据 R00 ~ P 被保存到移位寄存器的 bit31 ~ 8。串行传送结束后的移位寄存器的 bit7 ~ 0 保持传送前的数据。在此状态下，如果进行全双工同步串行通信运行 (SPCR.TXMD=0)，RSPI 就将位序颠倒的数据从移位寄存器复制到 SPDR 寄存器的接收缓冲器，使移位寄存器变空。

如果在写 SPDR 寄存器的发送缓冲器前启动下一次串行传送，就从移位寄存器移出接收数据 R00 ~ P。

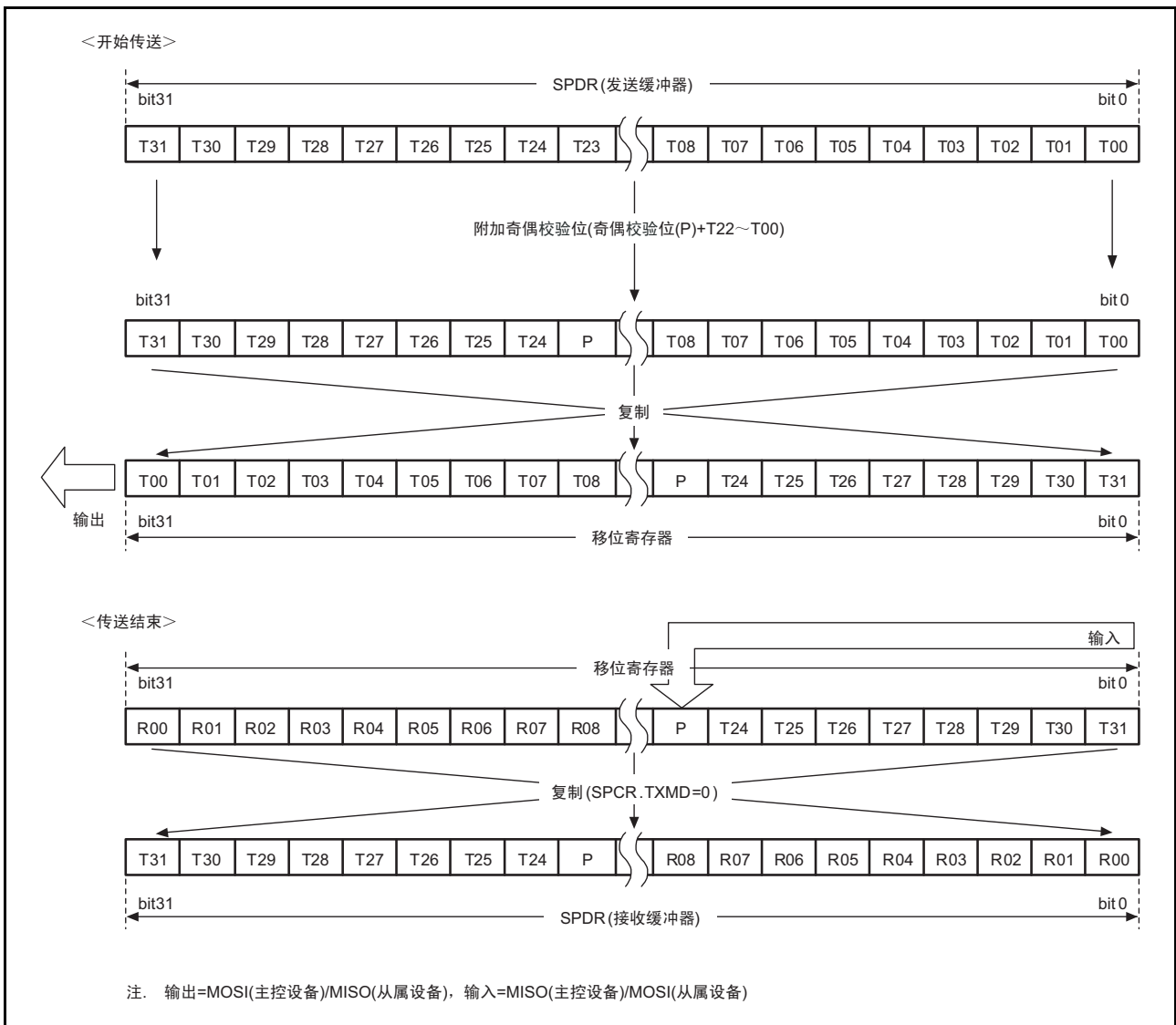


图 33.20 LSB first(2) (24 位数据 / 奇偶校验功能有效)

33.3.6 通信运行模式

通过设定 RSPI 控制寄存器 (SPCR) 的通信运行模式选择位 (TXMD)，选择是进行全双工同步串行通信还是只进行发送的串行通信。图 33.21 和图 33.22 记载的“SPDR 存取”表示 RSPI 数据寄存器 (SPDR) 的存取状况，“I”表示空闲周期，“W”表示写周期。

33.3.6.1 全双工同步串行通信 (SPCR.TXMD=0)

RSPI 控制寄存器 (SPCR) 的通信运行模式选择位 (TXMD) 为“0”时的运行例子如图 33.21 所示。在图 33.21 的例子中，RSPI 数据控制寄存器 (SPDCR) 的 SPFC[1:0] 位为“00b”，RSPI 命令寄存器 (SPCMD) 的 CPHA 为“1”并且 CPOL 为“0”，RSPI 进行 8 位串行传送。RSPCK 波形下面记载的数字表示 RSPCK 周期数 (传送位数)。

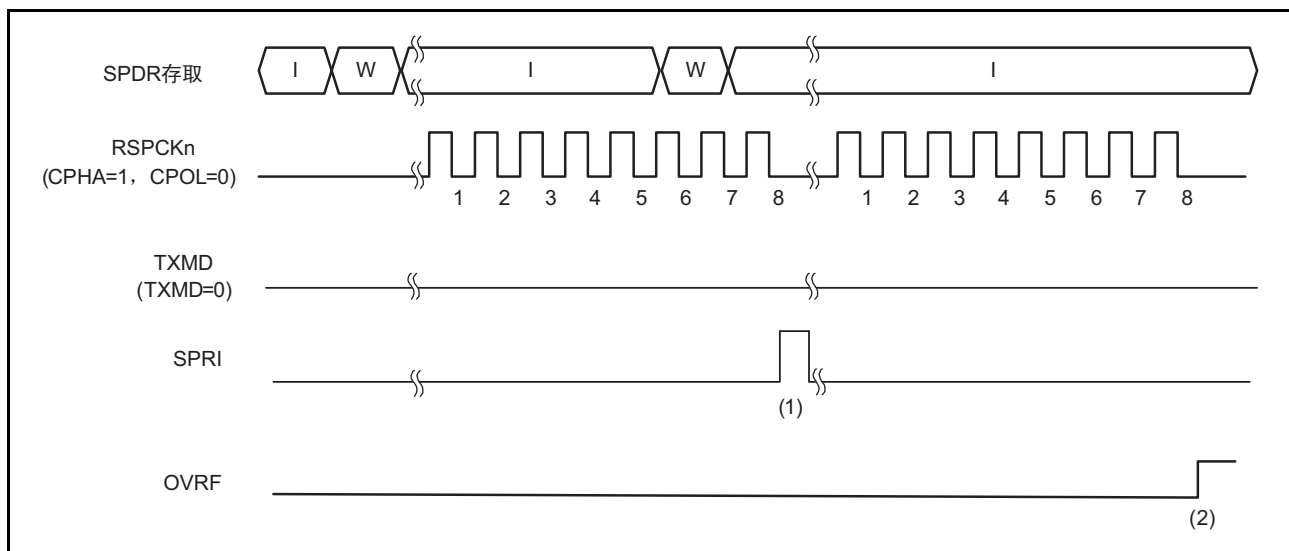


图 33.21 SPCR.TXMD 为“0”时的运行例子

以下说明在图中的 (1) 和 (2) 所示的时序中标志的运行内容：

- (1) 如果在 SPDR 的接收缓冲器为空的状态下结束串行传送，RSPI 就在产生接收缓冲器满中断请求 (SPRI) 后，将移位寄存器的接收数据复制到接收缓冲器。
- (2) 如果在 SPDR 的接收缓冲器有旧的接收数据的状态下结束串行传送，RSPI 就在将 OVRF 置“1”后，放弃移位寄存器的接收数据。

在进行全双工同步串行通信时 (SPCR.TXMD=0)，发送数据以及接收数据。因此，在 (1) 和 (2) 各自的时序中，OVRF 变为“1”。

33.3.6.2 只进行发送的运行 (SPCR.TXMD=1)

RSPI 控制寄存器 (SPCR) 的通信运行模式选择位 (TXMD) 为“1”时的运行例子如图 33.22 所示。在图 33.22 的例子中, RSPI 数据控制寄存器 (SPDCR) 的 SPFC[1:0] 位为“00b”, RSPI 命令寄存器 (SPCMD) 的 CPHA 为“1”并且 CPOL 为“0”, RSPI 进行 8 位串行传送。RSPCK 波形下面记载的数字表示 RSPCK 周期数 (传送位数)。

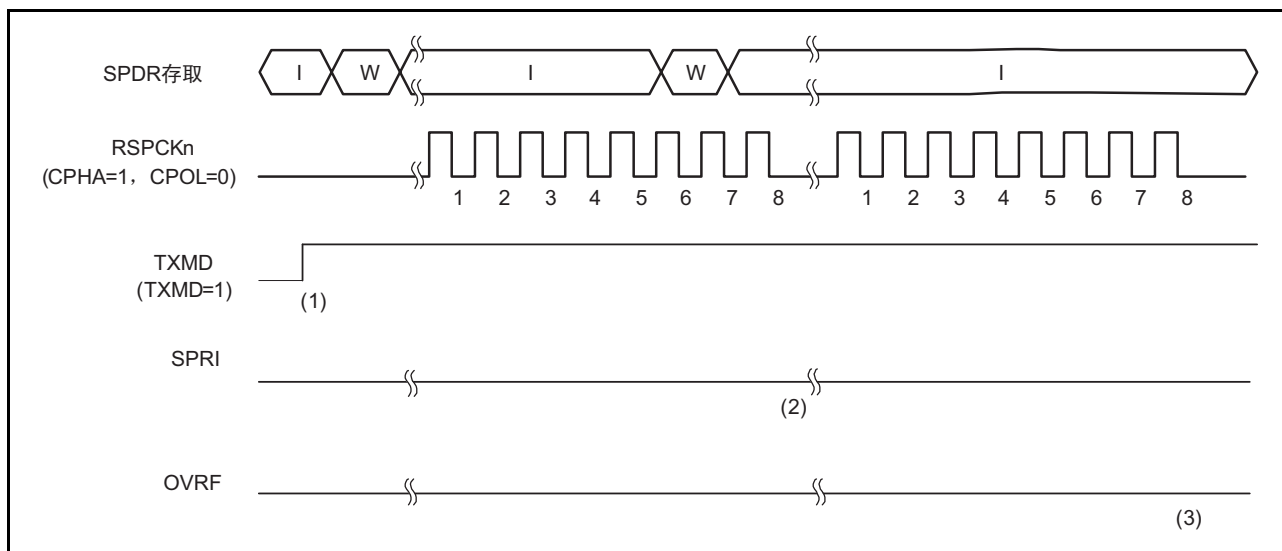


图 33.22 SPCR.TXMD 为“1”时的运行例子

以下说明在图中的 (1)(2)(3) 所示的时序中标志的运行内容:

- (1) 必须在确认接收缓冲器没有数据并且 OVRF 为“0”后转移到只进行发送的运行 (SPCR.TXMD=1)。
- (2) 如果在 SPDR 的接收缓冲器为空的状态下结束串行传送, 就在只进行发送的运行 (SPCR.TXMD=1) 时不将移位寄存器的数据复制到接收缓冲器。
- (3) 因为 SPDR 的接收缓冲器没有旧的接收数据, 所以即使结束串行传送 OVRF 也保持“0”, 并且不将移位寄存器的数据复制到接收缓冲器。

在只进行发送的运行 (SPCR.TXMD=1), 发送数据而不接收数据。因此, 在 (1)(2)(3) 各自的时序中, OVRF 保持“0”。

33.3.7 发送缓冲器空中断 / 接收缓冲器满中断

RSPI 发送缓冲器空中断 (SPTI) 和 RSPI 接收缓冲器满中断 (SPRI) 的运行例子如图 33.23 所示。图 33.23 中记载的“SPDR 存取”表示 RSPI 数据寄存器 (SPDR) 的存取状况,“T”表示空闲周期,“W”表示写周期,“R”表示读周期。在图 33.23 的例子中,RSPI 控制寄存器 (SPCR) 的 TXMD 为“0”,RSPI 数据控制寄存器 (SPDCR) 的 SPFC[1:0] 为“00b”,RSPI 命令寄存器 (SPCMD) 的 CPHA 为“1”并且 CPOL 为“0”,RSPI 进行 8 位串行传送。RSPCK 波形下面记载的数字表示 RSPCK 周期数 (传送位数)。

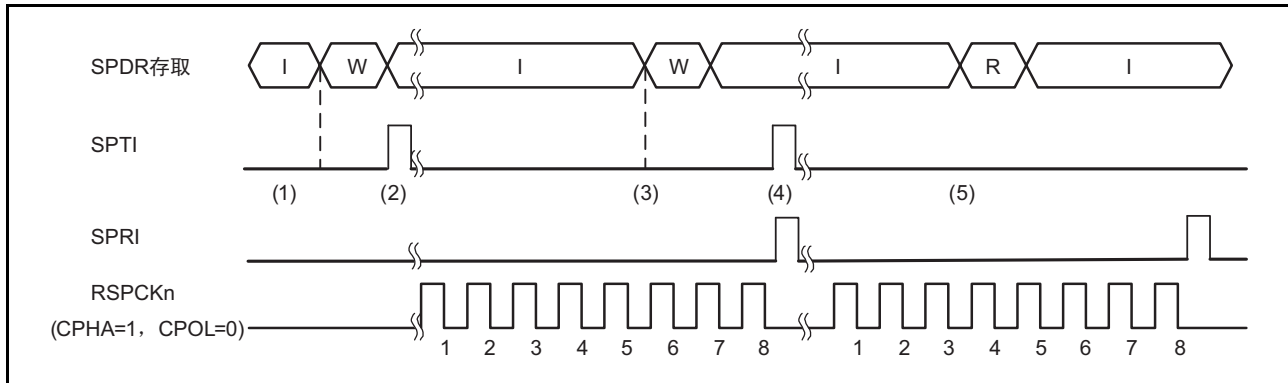


图 33.23 SPTI 中断和 SPRI 中断的运行例子

以下说明在图中的 (1) ~ (5) 所示的时序中中断的运行内容:

- (1) 在 SPDR 寄存器的发送缓冲器为空的 (未设定下次传送的数据) 状态下, 如果将发送数据写到 SPDR 寄存器, RSPI 就将数据写到发送缓冲器。
- (2) 如果移位寄存器为空, 就在 RSPI 将发送缓冲器的数据复制到移位寄存器后产生发送缓冲器空中断 (SPTI)。串行传送的开始方法取决于 RSPI 的模式 (参照“33.3.10 SPI 运行”和“33.3.11 时钟同步运行”)
- (3) 如果通过发送缓冲器空中断程序将发送数据写到 SPDR, 就将数据传送到发送缓冲器。因为串行传送过程中的数据被保存在移位寄存器, 所以 RSPI 不将发送缓冲器的数据复制到移位寄存器。
- (4) 如果在 SPDR 寄存器的接收缓冲器为空的状态下结束串行传送, RSPI 就将移位寄存器的接收数据复制到接收缓冲器并且产生接收缓冲器满中断请求 (SPRI)。一旦串行传送结束, 移位寄存器就变空。因此, 如果在串行传送结束前发送缓冲器满, RSPI 就将发送缓冲器的数据复制到移位寄存器。即使在发生溢出错误的状态下不将接收数据从移位寄存器复制到接收缓冲器, 只要串行传送结束, RSPI 也判断为移位寄存器处于空的状态, 变为可将数据从发送缓冲器传送到移位寄存器的状态。
- (5) 如果通过接收缓冲器满中断程序读 SPDR 寄存器, 就将接收缓冲器的数据发送到芯片的内部总线。

如果在发送缓冲器有未发送数据的状态下写 SPDR, RSPI 就不更新发送缓冲器的数据。必须通过发送缓冲器空中断请求来写 SPDR 寄存器。在使用 RSPI 发送中断时, 必须将 SPCR.SPTIE 位置“1”。

在 RSPI 运行无效 (SPCR 的 SPE 位为“0”) 的状态下, 必须将 SPTIE 位置“0”。

如果在接收缓冲器满的状态下结束串行传送, RSPI 就不将数据从移位寄存器复制到接收缓冲器, 而检测到溢出错误 (参照“33.3.8 错误检测”)。为了防止接收数据的溢出, 必须在下次串行传送结束前, 通过接收缓冲器满中断请求读接收数据。在使用 RSPI 接收中断时, 必须将 SPCR 的 SPRIE 位置“1”。

能通过发送 / 接收中断或者对应 ICU 的 IRi.IR 标志确认发送 / 接收缓冲器的状态。

33.3.8 错误检测

在通常的 RSPI 串行传送中，能对写在 SPDR 寄存器的发送缓冲器中的数据进行串行发送，并且能从 SPDR 寄存器的接收缓冲器读串行接收的数据。根据存取 SPDR 寄存器时的发送 / 接收缓冲器的状态以及串行传送开始 / 结束时的 RSPI 的状态，有可能发生异常传送。

如果发生部分异常传送，RSPI 就检测为溢出错误、奇偶校验错误或者模式故障错误。异常传送和 RSPI 错误检测功能的关系如表 33.9 所示。

表 33.9 异常传送的产生条件和 RSPI 的错误检测功能

	发生条件	RSPI 运行	错误检测
A	在发送缓冲器满的状态下写 SPDR 寄存器。	保持发送缓冲器内容并且写数据丢失。	无
B	在从属模式中未将发送数据设定到移位寄存器的状态下开始串行传送。	对上次串行传送时的接收数据进行串行发送。	无
C	在接收缓冲器为空的状态下读 SPDR 寄存器。	输出上次的串行接收数据。	无
D	在接收缓冲器满的状态下结束串行传送。	保持接收缓冲器内容并且串行接收数据丢失。	溢出错误检测
E	在进行全双工同步串行通信并且奇偶校验功能有效的状态下接收到错误的奇偶校验位。	奇偶校验错误标志有效。	奇偶校验错误检测
F	在多主控模式的串行传送空闲时 SSL0 输入信号有效。	停止驱动 RSPICK、MOSI、SSL1 ~ 3 输出信号。 RSPI 运行无效。	模式故障错误检测
G	在多主控模式的串行传送过程中 SSL0 输入信号有效。	中止串行传送。 发送 / 接收数据丢失。 停止驱动 RSPCK、MOSI、SSL1 ~ 3 输出信号。 RSPI 运行无效。	模式故障错误检测
H	在从属模式的串行传送过程中 SSL0 输入信号无效。	中止串行传送。 发送 / 接收数据丢失。 停止驱动 MISO 输出信号。 RSPI 运行无效。	模式故障错误检测

对于表 33.9 的 A 所示的运行，RSPI 不检测错误。为了在写 SPDR 寄存器时不丢失数据，必须通过发送中断请求来写 SPDR 寄存器。

在更新移位寄存器前启动的串行传送中，RSPI 发送上次串行传送时的接收数据，而不将 B 所示的运行作为错误进行处理。因为上次串行传送时的接收数据保存在 SPDR 寄存器的接收缓冲器，所以能正常读取（如果不在串行传送结束前读 SPDR 寄存器，就发生溢出错误）。

对于 C 所示的运行，RSPI 也不检测错误。为了只读需要的数据，必须通过接收中断来读 SPDR 寄存器。

有关 D 所示的溢出错误，请参照“33.3.8.1 溢出错误”；有关 E 所示的奇偶校验错误，请参照“33.3.8.2 奇偶校验错误”；有关 F ~ H 所示的模式故障错误，请参照“33.3.8.3 模式故障错误”。

有关发送中断和接收中断，请参照“33.3.7 发送缓冲器空中断 / 接收缓冲器满中断”。

33.3.8.1 溢出错误

如果在 SPDR 寄存器的接收缓冲器满的状态下结束串行传送，RSPI 就检测到溢出错误，然后将 SPSR.OVRF 标志置“1”。因为在 OVRF 标志为“1”的状态下 RSPI 不将移位寄存器的数据复制到接收缓冲器，所以发生错误前的数据保存在接收缓冲器。要将 SPSR.OVRF 标志置“0”时，需要在 OVRF 标志为“1”的状态下，在读 SPSR 寄存器后给 OVRF 标志写“0”。

SPSR.OVRF 标志的运行如图 33.24 所示。图 33.24 中记载的 SPSR 存取和 SPDR 存取分别表示 SPSR 寄存器和 SPDR 寄存器的存取状况，I 表示空闲状态，W 表示写周期，R 表示读周期。在图 33.24 的例子中，SPCMD.CPHA 位为“1”并且 SPCMD.CPOL 位为“0”，RSPI 进行 8 位串行传送。RSPCK 波形下面记载的数字表示 RSPCK 周期数（传送位数）。

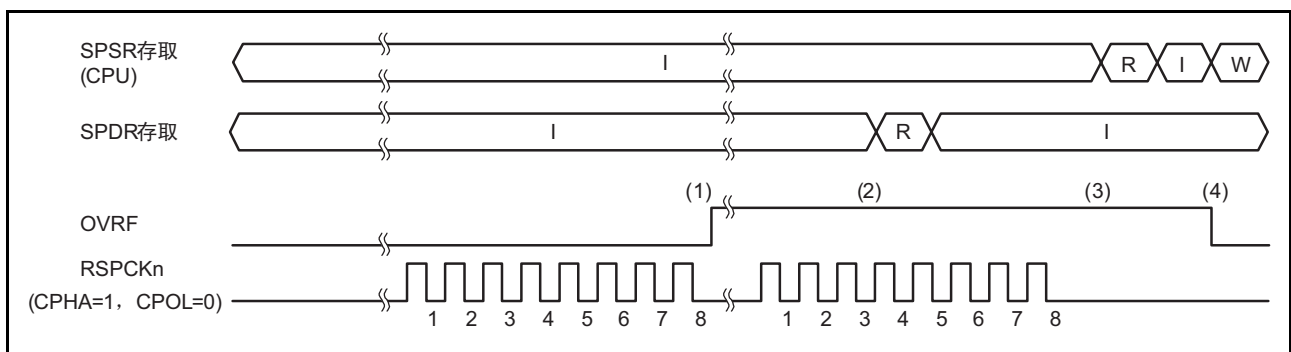


图 33.24 OVRF 标志的运行例子

以下说明在图中的 (1) ~ (4) 所示的时序中标志的运行内容：

- (1) 如果在接收缓冲器满的状态下结束串行传送，RSPI 就检测到溢出错误并且将 OVRF 标志置“1”。RSPI 不将移位寄存器的数据复制到接收缓冲器。即使 SPPE 位为“1”时，也不检测奇偶校验错误。在主控模式中，将指向 SPCMD 寄存器的指针值复制到 SPSSR.SPECM[2:0] 位。
- (2) 如果读 SPDR，RSPI 就将接收缓冲器的数据输出到内部总线。即使接收缓冲器为空，OVRF 标志也不变为“0”。
- (3) 如果在 OVRF 标志为“1”的状态（溢出错误）下结束串行传送，RSPI 就不将移位寄存器的数据复制到接收缓冲器。即使 SPPE 位为“1”，也不检测奇偶校验错误。在主控模式中，RSPI 不更新 SPECM[2:0] 位。在发生溢出错误的状态下，如果在没有将接收数据从移位寄存器复制到接收缓冲器的情况下结束串行传送，RSPI 就判断为移位寄存器处于空的状态，变为可将数据从发送缓冲器传送到移位寄存器的状态。
- (4) 在 OVRF 标志为“1”的状态下，如果 CPU 在读 SPSR 寄存器后给 OVRF 标志写“0”，RSPI 就将 OVRF 标志置“0”。

能通过读 SPSR 寄存器或者通过 RSPI 错误中断并且读 SPSR 寄存器，确认溢出的发生。在使用 RSPI 错误中断时，必须将 SPCR.SPEIE 位置“1”。在不使用 RSPI 错误中断进行串行传送时，必须通过在读 SPDR 寄存器后立即读 SPSR 寄存器等方法，尽快检测到溢出错误的发生。在主控模式中使用 RSPI 时，能通过读 SPSSR.SPECM[2:0] 位，确认发生错误时的指向 SPCMD 寄存器的指针值。

如果在发生溢出错误后 OVRF 标志变为“1”，就在 OVRF 标志变为“0”前无法进行正常的接收运行。将 OVRF 标志置“0”的条件如下所示。

[为“0”的条件]

在 OVRF 标志为“1”的状态下，CPU 在读 SPSR 寄存器后给 OVRF 标志写“0”时

33.3.8.2 奇偶校验错误

在 RSPI 控制寄存器 (SPCR) 的 TXMD 位为“0”并且 RSPI 控制寄存器 2 (SPCR2) 的 SPPE 位为“1”的状态下, 如果进行全双工同步串行通信并且结束传送, 就判断为奇偶校验错误。当 RSPI 检测到接收数据有奇偶校验错误时, 将 RSPI 状态寄存器 (SPSR) 的 PERF 标志置“1”。在 OVRF 位为“1”的状态下, 因为 RSPI 不将移位寄存器的数据复制到接收缓冲器, 所以不对接收数据进行奇偶校验错误的检测。要将 SPSR 的 PERF 标志置“0”时, 需要在 PERF 位为“1”的状态下, CPU 在读 SPSR 寄存器后给 PERF 标志写“0”。

SPSR 的 OVRF 标志和 PERF 标志的运行如图 33.25 所示。图 33.25 中记载的“SPSR 存取”表示 SPSR 寄存器的存取状况, “I”表示空闲状态, “W”表示写周期, “R”表示读周期。在图 33.25 的例子中, 在 RSPI 控制寄存器 (SPCR) 的 TXMD 位为“0”并且 RSPI 控制寄存器 2 (SPCR2) 的 SPPE 位为“1”的状态下进行全双工同步串行通信。RSPI 命令寄存器 (SPCMD) 的 CPHA 位为“1”并且 CPOL 位为“0”, RSPI 进行 8 位串行传送。RSPCKn 波形下面记载的数字表示 RSPCK 周期数 (传送位数)。

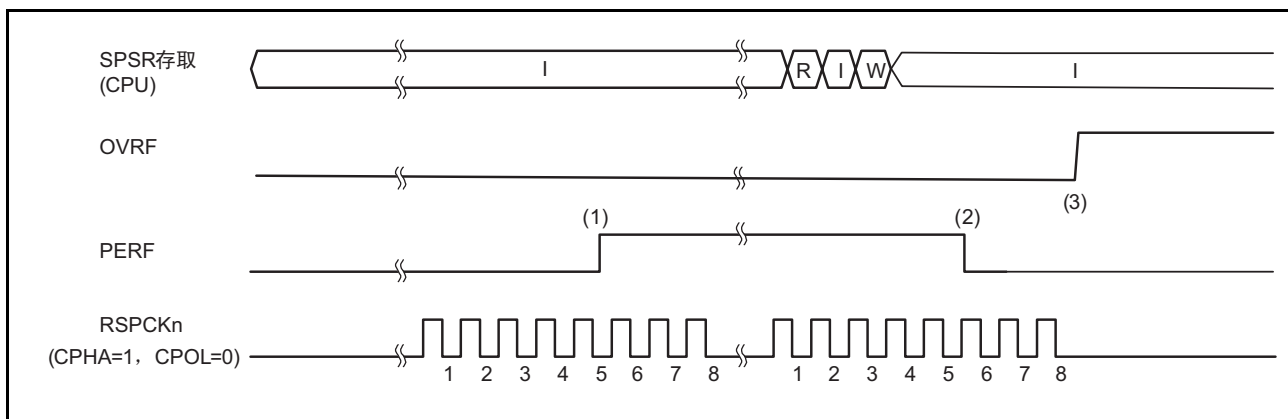


图 33.25 PERF 标志的运行例子

以下说明在图中 (1) ~ (3) 所示的时序中标志的运行内容:

- (1) 如果 RSPI 没有检测到溢出错误而结束串行传送, 就将移位寄存器的数据复制到接收缓冲器。此时, RSPI 判断接收数据, 如果检测到奇偶校验错误, 就将 PERF 标志置“1”。在主控模式中, RSPI 将指向 RSPI 命令寄存器 (SPCMD) 的指针值复制到 RSPI 顺序状态寄存器 (SPSSR) 的 SPECMD2~0 位。
- (2) 在 PERF 位为“1”的状态下, 如果 CPU 在读 SPSR 寄存器后给 PERF 标志写“0”, RSPI 就将 PERF 标志置“0”。
- (3) 如果 RSPI 检测到溢出错误并且结束串行传送, 就将移位寄存器的数据复制到接收缓冲器。此时, RSPI 不检测奇偶校验错误。

能通过读 SPSR 寄存器或者通过 RSPI 错误中断并且读 SPSR 寄存器, 确认奇偶校验错误的发生。在使用 RSPI 错误中断时, 必须将 RSPI 控制寄存器 (SPCR) 的 SPEIE 位置“1”。在不使用 RSPI 错误中断进行串行传送时, 必须通过读 SPSR 等方法, 尽快检测到奇偶校验错误的发生。在主控模式中使用 RSPI 时, 能通过读 SPSSR.SPECM[2:0] 位, 确认发生错误时的指向 SPCMD 寄存器的指针值。

将 PERF 标志置“0”的条件如下所示。

[为“0”的条件]

在 PERF 为“1”的状态下, CPU 在读 SPSR 寄存器后给 PERF 标志写“0”时

33.3.8.3 模式故障错误

当 SPCR.MSTR 位为“1”、SPCR.SPMS 位为“0”并且 SPCR.MODFEN 位为“1”时，RSPI 以多主控模式运行。如果给多主控模式的 RSPI 的 SSL0 输入信号输入有效电平，RSPI 就检测到模式故障错误，然后将 SPSR.MODF 标志置“1”，与串行传送状态无关。如果检测到模式故障错误，RSPI 就将指向 SPCMDm 的指针值复制到 SPSSR.SPECM[2:0] 位。SSL0 信号的有效电平取决于 SSLP.SSLOP。

当 MSTR 位为“0”时，RSPI 以从属模式运行。当从属模式的 RSPI 的 MODFEN 位为“1”并且 SPMS 位为“0”时，如果在串行传送期间（从开始驱动有效数据到取最后的有效数据前）使 SSL0 输入信号无效，RSPI 就检测到模式故障错误。

如果 RSPI 检测到模式故障错误，就停止驱动输出信号并且清除 SPCR 寄存器的 SPE 位（参照“33.3.9 RSPI 的初始化”）。在多主控结构中，如果使用模式故障错误来驱动输出信号，就能停止 RSPI 功能并且释放主控权。

能通过读 SPSR 寄存器或者通过 RSPI 错误中断并且读 SPSR 寄存器，确认模式错误的发生。在使用 RSPI 错误中断时，必须将 SPCR.SPEIE 位置“1”。在不使用 RSPI 错误中断来检测模式错误时，需要轮询 SPSR 寄存器。在主控模式中使用 RSPI 时，能通过读 SPSSR.SPECM[2:0] 位，确认发生错误时的指向 SPCMD 寄存器的指针值。

在 MODF 标志为“1”的状态下，RSPI 忽视通过 CPU 给 SPE 位写“1”。为了使 RSPI 功能在检测到模式故障错误后有效，必须将 MODF 标志置“0”。将 MODF 标志置“0”的条件如下所示。

[为“0”的条件]

在 MODF 标志为“1”的状态下，CPU 在读 SPSR 寄存器后给 MODF 标志写“0”时

33.3.9 RSPI 的初始化

如果给 SPCR.SPE 位写“0”或者 RSPI 通过模式故障错误检测将 SPE 位置“0”，RSPI 就使 RSPI 功能无效并且对部分模块功能进行初始化。如果发生系统复位，RSPI 就对全部模块功能进行初始化。以下说明通过将 SPCR.SPE 位置“0”进行的初始化以及通过系统复位进行的初始化。

33.3.9.1 通过清除 SPE 位进行的初始化

当 SPCR.SPE 位为“0”时，RSPI 进行以下所示的初始化：

- 中止正在进行的串行传送。
- 在从属模式中停止驱动输出信号（高阻抗）。
- 对 RSPI 内部状态进行初始化。
- 将 RSPI 发送缓冲器置空。

在通过将 SPE 位置“0”进行初始化时，不对 RSPI 的控制位进行初始化。因此，只要 CPU 重新将 SPE 位置“1”，就能在和初始化前相同的传送模式中启动 RSPI。

不对 SPSR.OVRF 和 SPSR.MODF 标志的值进行初始化，也不对 SPSSR 寄存器的值进行初始化。因此，在 RSPI 的初始化后，也能通过读接收缓冲器的数据，确认 RSPI 传送时的错误发生状况。

将发送缓冲器初始化为空状态。因此，如果在 RSPI 的初始化后将 SPCR.SPTIE 位置“1”，就产生 RSPI 发送中断。在通过 CPU 对 RSPI 进行初始化的情况下，为了禁止 RSPI 发送中断，必须在给 SPE 位写“0”的同时给 SPTIE 位写“0”。要在检测到模式故障错误后禁止 RSPI 发送中断时，必须通过错误处理程序给 SPTIE 位写“0”。

33.3.9.2 系统复位

在通过系统复位进行初始化时，除了“33.3.9.1 通过清除 SPE 位进行的初始化”记载的事项以外，还对用于 RSPI 控制的全部位、状态位和数据寄存器进行初始化，RSPI 完全被初始化。

33.3.10 SPI 运行

33.3.10.1 主控模式的运行

单主控模式运行和多主控模式运行的不同点在于模式故障错误检测（参照“33.3.8 错误检测”）。单主控模式的 RSPI 不检测模式故障错误，多主控模式的 RSPI 检测模式故障错误。本节说明单主控模式 / 多主控模式的通用运行。

(1) 串行传送的开始

在 RSPI 发送缓冲器为空（未设定下次传送的数据）的状态下，如果将数据写到 SPDR 寄存器，RSPI 就更新 SPDR 寄存器的发送缓冲器的数据。在通过写 SPDR 寄存器将移位寄存器改为空的状态下，RSPI 在将发送缓冲器的数据复制到移位寄存器后开始串行传送。如果 RSPI 将发送数据复制到移位寄存器，就将移位寄存器状态改为满状态；如果串行传送结束，就将移位寄存器改为空状态。CPU 不能参照移位寄存器的状态。

有关 RSPI 传送格式的详细内容，请参照“33.3.4 传送格式”。SSL 输出引脚的极性取决于 RSPI 从属选择极性寄存器 (SSLP) 的设定值。

(2) 串行传送的结束

与 SPCMD.CPHA 位无关，如果 RSPI 发送最后采样时序所对应的 RSPCK 边沿，就结束串行传送。在接收缓冲器有空间的情况下，在串行传送结束后将数据从移位寄存器复制到 SPDR 寄存器的接收缓冲器。

最后的采样时序取决于传送数据的位长，主控模式的 RSPI 数据长度取决于 SPCMD.SPB[3:0] 位的设定值，SSLn 输出引脚（n=A、B）的极性取决于 RSPI 从属选择极性寄存器 (SSLP) 的设定值。有关 RSPI 传送格式的详细内容，请参照“33.3.4 传送格式”。

(3) 顺序控制

主控模式时的传送格式取决于 SPSCR 寄存器、SPCMD 寄存器、SPBR 寄存器、SPCKD 寄存器、SSLND 寄存器和 SPND 寄存器。

SPSCR 寄存器决定主控模式的 RSPI 要执行的串行传送的顺序结构。给 SPCMD0 ~ 7 寄存器设定 SSLn 引脚（n=A、B）的输出信号值、MSB first/LSB first 方式、数据长度、一部分位速率、RSPCK 极性 / 相位以及设定是否要参照 SPCKD 寄存器、SSLND 寄存器和 SPND 寄存器；给 SPBR 寄存器设定一部分位速率，给 SPCKD 设定 RSPI 时钟延迟值，给 SSLND 寄存器设定 SSL 无效延迟并且给 SPND 寄存器设定 RSPI 的下次存取延迟值。

RSPI 根据 SPSCR 寄存器设定的顺序长度，由部分或者全部 SPCMD0 ~ 7 寄存器构成顺序。RSPI 有构成顺序的 SPCMD 寄存器的对应指针。CPU 能通过读 SPSSR.SPCP[2:0] 位来确认此指针的值。如果通过将 RSPI 控制寄存器 (SPCR) 的 SPCR.SPE 位置“1”使 RSPI 功能有效，RSPI 就将指向命令的指针设定到 SPCMD0 寄存器，并且在开始串行传送时将 SPCMD0 寄存器的设定内容反映到传送格式。每当各数据传送的下次存取延迟期间结束时，RSPI 将指针进行递增。当构成顺序的最后命令对应的串行传送结束时，RSPI 将指针设定到 SPCMD0 寄存器，重复执行顺序。

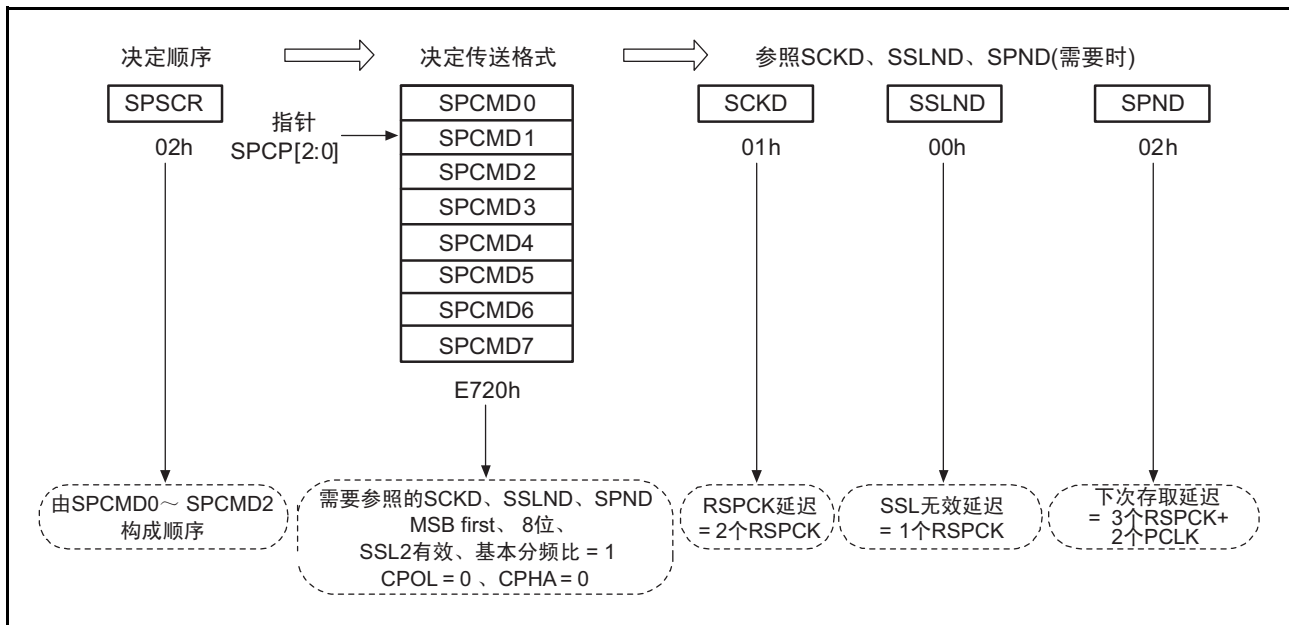


图 33.26 主控模式中的串行传送方式的决定方法 (SPI 运行)

(4) 突发传送

当 RSPI 正在进行的串行传送所参照的 SPCMD.SSLKP 位为“1”时，RSPI 将串行传送过程中的 SSL 信号电平保持到下次串行传送的 SSL 信号开始有效为止。如果下次串行传送的 SSL 信号电平和正在进行的串行传送的 SSL 信号电平相同，RSPI 就能在保持 SSLn 信号 (n=A、B) 有效的状态下，连续进行串行传送 (突发传送)。

通过设定 SPCMD0 寄存器和 SPCMD1 寄存器来实现突发传送时的 SSL 信号运行例子如图 33.27 所示。以下说明图 33.27 中记载的 (1) ~ (7) 的 RSPI 运行内容。SSL 输出信号的极性取决于 RSPI 从属选择极性寄存器 (SSLP) 的设定值。

- (1) 根据 SPCMD0 寄存器，使 SSL 信号有效并插入 RSPCK 延迟。
- (2) 根据 SPCMD0 寄存器进行串行传送。
- (3) 插入 SSL 无效延迟。
- (4) 因为 SPCMD0.SSLKP 位为“1”，所以保持 SPCMD0 寄存器中的 SSL 信号值。在此期间，保持的时间最短也要和下次存取 SPCMD0 寄存器的延迟相同。如果在经过最短期间后移位寄存器变空，就在将下次要传送的发送数据保存到移位寄存器前继续此期间。
- (5) 根据 SPCMD1 寄存器，使 SSLn 信号有效并且插入 RSPCK 延迟。
- (6) 根据 SPCMD1 寄存器进行串行传送。
- (7) 因为 SPCMD1.SSLKP 位为“0”，所以 SSL 信号无效。根据 SPCMD1 寄存器插入下次的存取延迟。

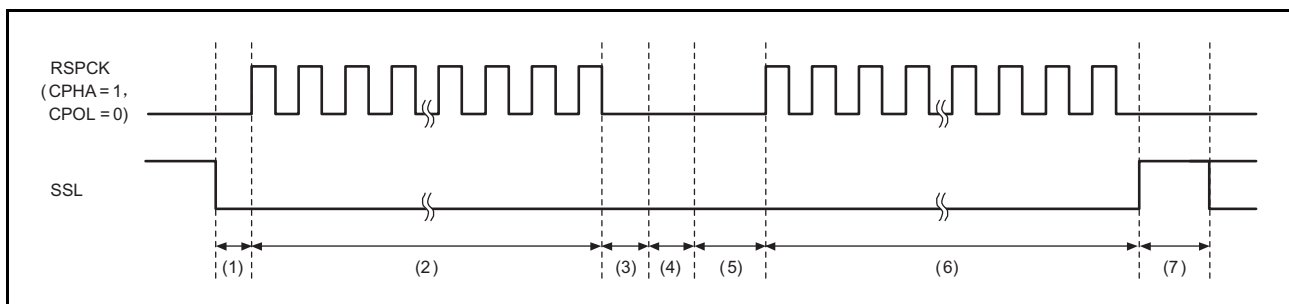


图 33.27 使用 SSLKP 位的突发传送运行例子

在 SSLKP 位为“1”的 SPCMD 寄存器所设 SSL_n 信号输出和下次传送使用的 SPCMD 寄存器所设 SSL 信号输出不同的情况下，RSPI 在下次传送命令所对应的 SSL 信号有效时（图 33.27 的 (5)）转换 SSL 信号状态。必须注意：如果转换 SSL 信号，就可能因驱动 MISO 的从属设备发生竞争而引起信号电平的冲突。

主控模式的 RSPI 在模块内部参照不使用 SSLKP 时的 SSL 信号运行。即使 SPCMDm.CPHA 位（m=0~7）为“0”，RSPI 也能使用在内部检测到的下次传送的有效 SSL_n 信号，正确地开始串行传送。因此，与 CPHA 位的设定值无关，能进行主控模式的突发传送（参照“33.3.10.2 从属模式的运行”）。

(5) RSPCK 延迟 (t1)

主控模式的 RSPI 的 RSPCK 延迟值取决于 SPCMD.SCKDEN 位的设定和 SPCKD 寄存器的设定。RSPI 通过指针控制来决定串行传送要参照的 SPCMD 寄存器，并且使用所选的 SCKDEN 位和 SPCKD 寄存器来决定表 33.10 所示的串行传送时的 RSPCK 延迟值。有关 RSPCK 延迟的定义，请参照“33.3.4 传送格式”。

表 33.10 SCKDEN 位、SPCKD 寄存器和 RSPCK 延迟值的关系

SPCMDm.SCKDEN 位	SPCKD 寄存器	RSPCK 延迟值
0	000 ~ 111	1 个 RSPCK
1	000	1 个 RSPCK
	001	2 个 RSPCK
	010	3 个 RSPCK
	011	4 个 RSPCK
	100	5 个 RSPCK
	101	6 个 RSPCK
	110	7 个 RSPCK
	111	8 个 RSPCK

【符号说明】 m = 0 ~ 7

(6) SSL 无效延迟 (t2)

主控模式的 RSPI 的 SSL 无效延迟值取决于 SPCMD.SLNDEN 位的设定和 SSLND 寄存器的设定。RSPI 通过指针控制来决定串行传送要参照的 SPCMD 寄存器，并且使用所选的 SPCMD.SLNDEN 位和 SSLND 寄存器来决定表 33.11 所示的串行传送时的 SSL 无效延迟值。有关 SSL 无效延迟的定义，请参照“33.3.4 传送格式”。

表 33.11 SSLND 寄存器和 SSL 无效延迟值的关系

SPCMDm.SLNDEN 位	SSLND 寄存器	SSL 无效延迟值
0	000 ~ 111	1 个 RSPCK
1	000	1 个 RSPCK
	001	2 个 RSPCK
	010	3 个 RSPCK
	011	4 个 RSPCK
	100	5 个 RSPCK
	101	6 个 RSPCK
	110	7 个 RSPCK
	111	8 个 RSPCK

【符号说明】 m = 0 ~ 7

(7) 下次存取延迟 (t3)

主控模式的 RSPI 的下次存取延迟取决于 SPCMD.SPNDEN 位的设定和 SPND 寄存器的设定。RSPI 通过指针控制来决定串行传送要参照的 SPCMD 寄存器，并且使用所选的 SPCMD.SPNDEN 位和 SPND 寄存器来决定如表 33.12 所示的串行传送时的 RSPCK 延迟。有关下次存取延迟的定义，请参照“33.3.4 传送格式”。

表 33.12 SPNDEN 位、SPND 寄存器和下次存取延迟值的关系

SPCMDm.SPNDEN 位	SPND 寄存器	下次存取延迟值
0	000 ~ 111	1 个 RSPCK+2 个 PCLK
1	000	1 个 RSPCK+2 个 PCLK
	001	2 个 RSPCK+2 个 PCLK
	010	3 个 RSPCK+2 个 PCLK
	011	4 个 RSPCK+2 个 PCLK
	100	5 个 RSPCK+2 个 PCLK
	101	6 个 RSPCK+2 个 PCLK
	110	7 个 RSPCK+2 个 PCLK
	111	8 个 RSPCK+2 个 PCLK

【符号说明】 m = 0 ~ 7

(8) 初始化流程

在 SPI 运行的情况下，在 主控模式中使用 RSPI 时的初始化流程例子如图 33.28 所示。有关中断控制器、DMACA 和输入 / 输出端口的设定方法，请参照各模块的说明。

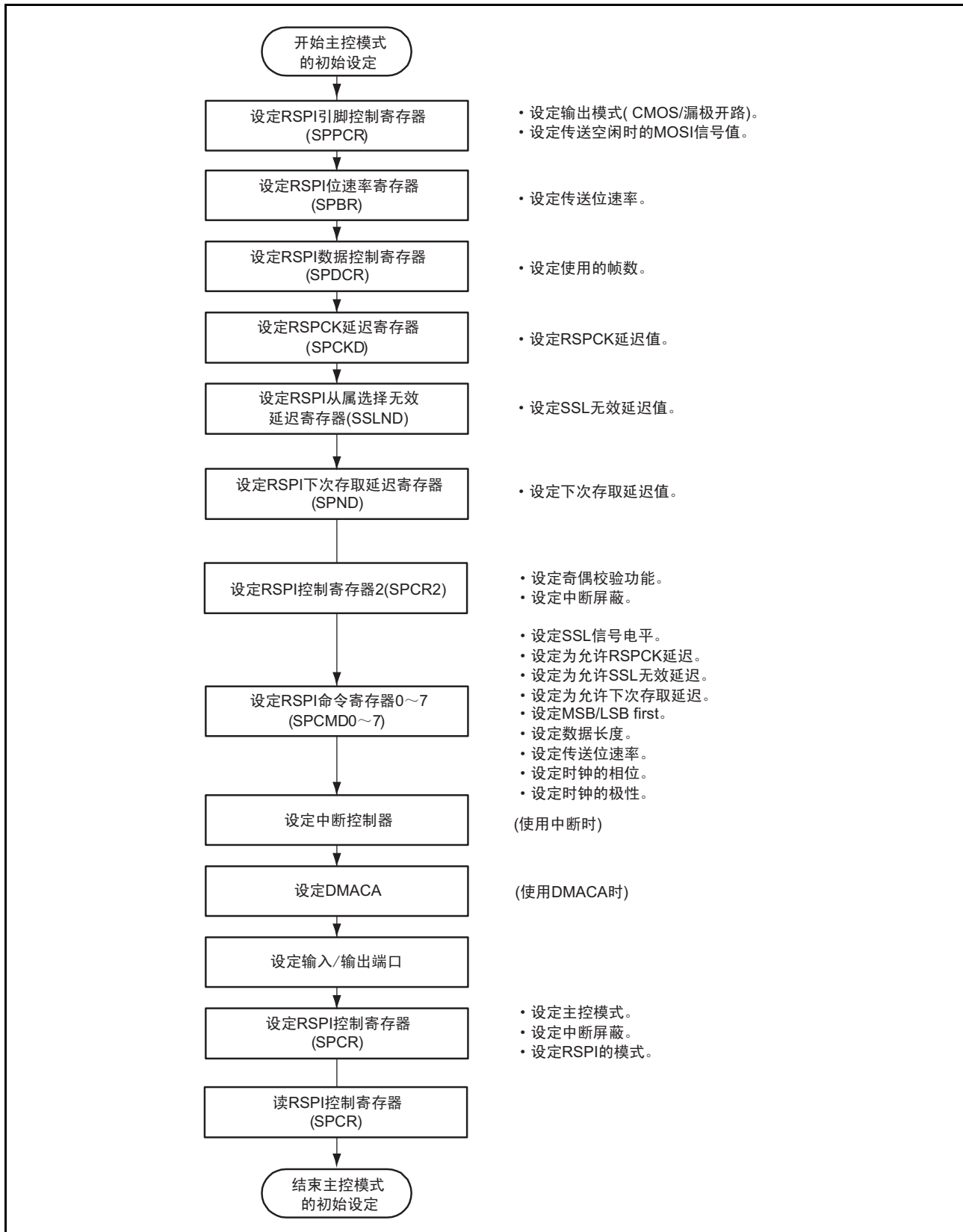
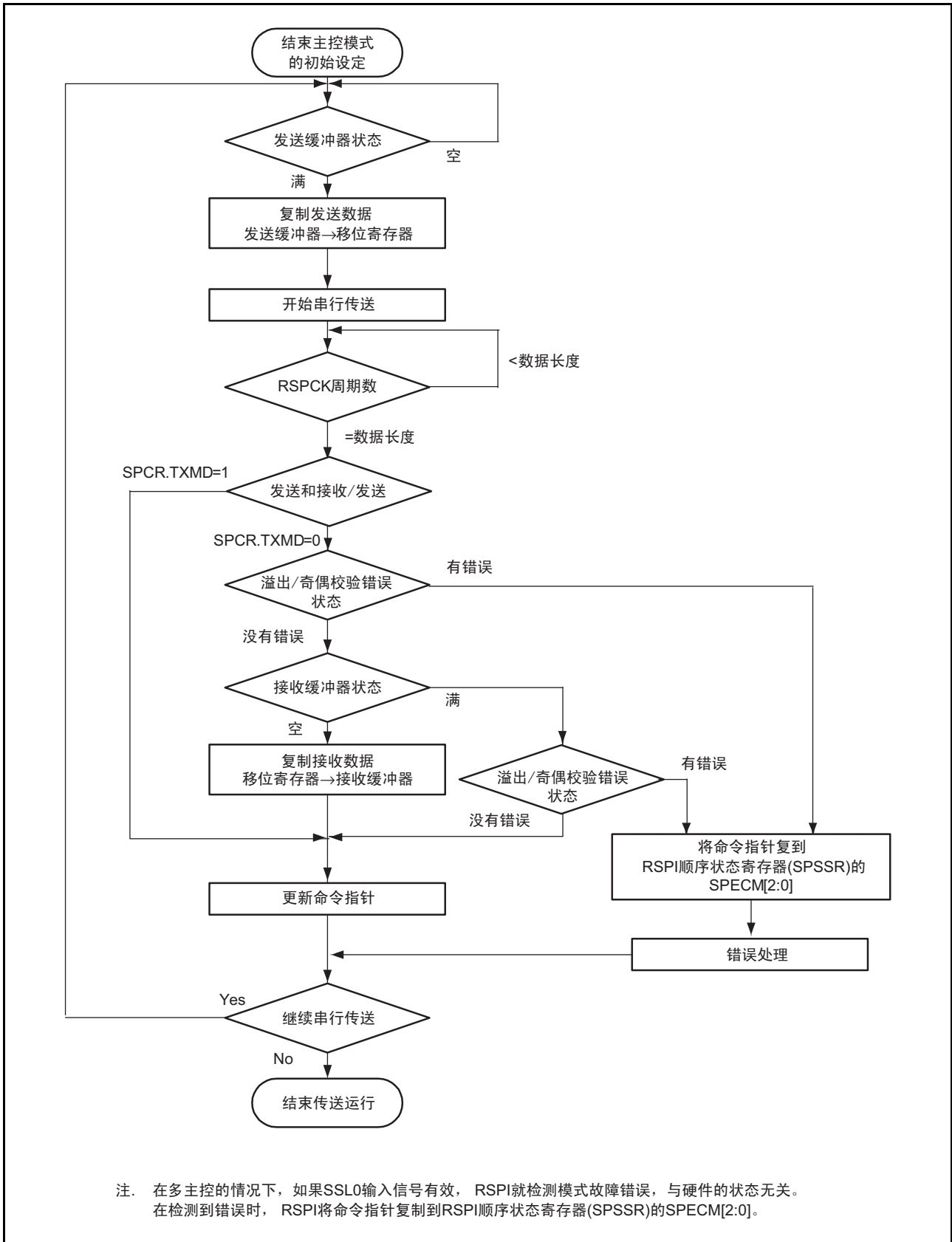


图 33.28 主控模式时的初始化流程例子 (SPI 运行)

(9) 传送运行流程

在 SPI 运行时，主控模式的 RSPI 传送运行流程如图 33.29 所示。



注. 在多主控的情况下，如果SSLO输入信号有效，RSPI就检测模式故障错误，与硬件的状态无关。
在检测到错误时，RSPI将命令指针复制到RSPI顺序状态寄存器(SPSSR)的SPECM[2:0]。

图 33.29 主控模式时的传送运行流程 (SPI 运行)

33.3.10.2 从属模式的运行

(1) 串行传送的开始

当 SPCMD0.CPHA 位为“0”时，如果 RSPI 检测到 SSL0 输入信号有效，就需要开始向 MISO 输出信号驱动有效数据。因此，在 CPHA 位为“0”时，SSL0 输入信号的有效为串行传送的开始触发。

当 CPHA 位为“1”时，如果在 SSL0 输入信号有效的状态下 RSPI 检测到最初的 RSPCK 边沿，就需要开始向 MISO 输出信号驱动有效数据。因此，在 CPHA 位为“1”时，SSL0 信号有效状态下的最初的 RSPCK 边沿为串行传送的开始触发。

如果 RSPI 在移位寄存器为空的状态下检测到串行传送的开始，就将移位寄存器改为满状态，并且不能在串行传送过程中将数据从发送缓冲器传送到移位寄存器。如果在开始串行传送前移位寄存器已满，RSPI 就保持移位寄存器的满状态。

与 CPHA 位的设定无关，RSPI 开始驱动 MISO 输出信号的时序为 SSL0 信号的有效时序。RSPI 的输出数据的有效或者无效因 CPHA 位的设定而发生变化。

有关 RSPI 传送格式的详细内容，请参照“33.3.4 传送格式”。SSL0 输入信号的极性取决于 SSLP.SSL0P 位的设定值。

(2) 串行传送的结束

与 SPCMD0.CPHA 位无关，如果 RSPI 检测到相当于最后采样时序的 RSPCK 边沿，就结束串行传送。在接收缓冲器有空间的情况下，RSPI 在串行传送结束后将接收数据从移位寄存器复制到 SPDR 寄存器的接收缓冲器。在串行传送结束后，RSPI 将移位寄存器改为空状态。在串行传送开始到串行传送结束的期间，如果 RSPI 检测到 SSL0 输入信号无效，就发生模式故障错误（参照“33.3.8 错误检测”）。

最后的采样时序取决于传送数据的位长，从属模式的 RSPI 的数据长度取决于 SPCMD0.SPB[3:0] 位的设定值，SSL0 输入信号的极性取决于 SSLP.SSL0P 位的设定值。有关 RSPI 传送格式的详细内容，请参照“33.3.4 传送格式”。

(3) 单从属模式时的注意点

当 SPCMD0.CPHA 位为“0”时，如果 RSPI 检测到 SSL0 输入信号的有效边沿，就开始串行传送。在图 33.5 的例子所示的结构中，在单从属模式中使用 RSPI 时，因为 SSL0 输入信号总是被固定为有效状态，所以 CPHA 位为“0”的 RSPI 无法正常开始串行传送。在 SSL0 输入信号被固定为有效状态的结构中，要使从属模式的 RSPI 正常进行发送和接收，必须将 CPHA 位置“1”。如果需要将 CPHA 位置“0”，就不能固定 SSL0 输入信号。

(4) 突发传送

当 SPCMD0.CPHA 位为“1”时，能在保持 SSL0 输入信号有效的状态下进行连续的串行传送（突发传送）。当 CPHA 位为“1”时，从 SSL0 输入信号有效状态的最初 RSPCK 边沿到最后位的接收采样时序的期间相当于串行传送期间。即使 SSL0 输入信号保持有效电平，因为能检测到存取的开始，所以仍然能应对突发传送。

当 CPHA 位为“0”时，不能正确进行突发传送第 2 次以后的串行传送。

(5) 初始化流程

在 SPI 运行的情况下，在从属模式中使用 RSPI 时的初始化流程例子如图 33.30 所示。有关中断控制器、DMACA 和输入 / 输出端口的设定方法，请参照各模块的说明。

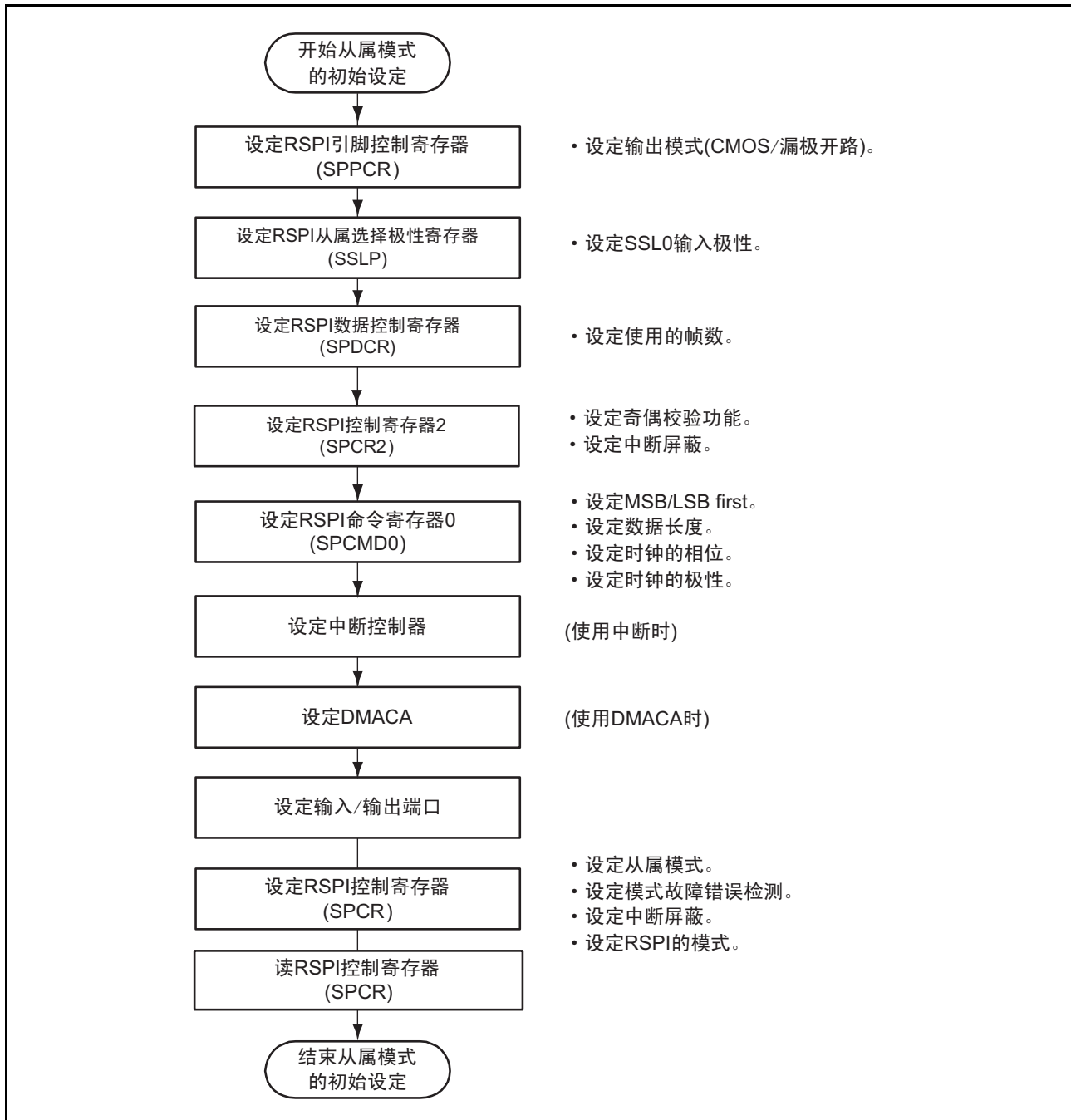


图 33.30 从属模式时的初始化流程例子 (SPI 运行)

(6) 传送运行流程 (CPHA 位 =0)

在 SPI 运行时，SPCMD0.CPHA 位为“0”的从属模式的 RSPI 传送运行流程如图 33.31 所示。

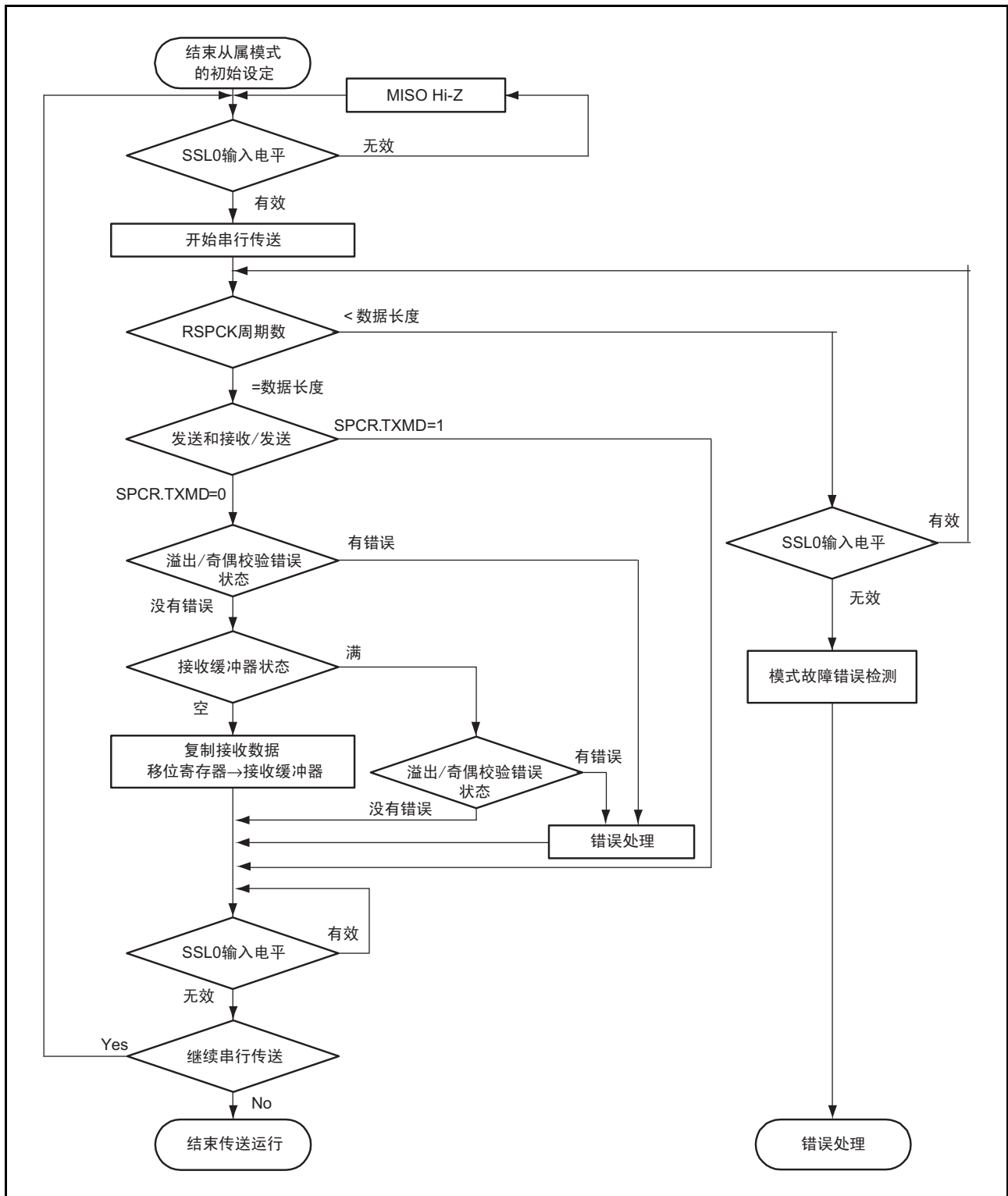


图 33.31 从属模式时的传送运行流程 (CPHA 位 =0) (SPI 运行)

(7) 传送运行流程 (CPHA 位 =1)

在 SPI 运行的情况下，SPCMD0.CPHA 位为“1”或者 SPCR.MODFEN 位为“1”时的从属模式的 RSPI 传送运行流程如图 33.32 所示。如果在 MODFEN 位为“0”的状态下开始串行传送，并且在 RSPCK 周期数短于数据长度的状态下将 SSL0 输入电平置为无效，就无法保证以后的运行。

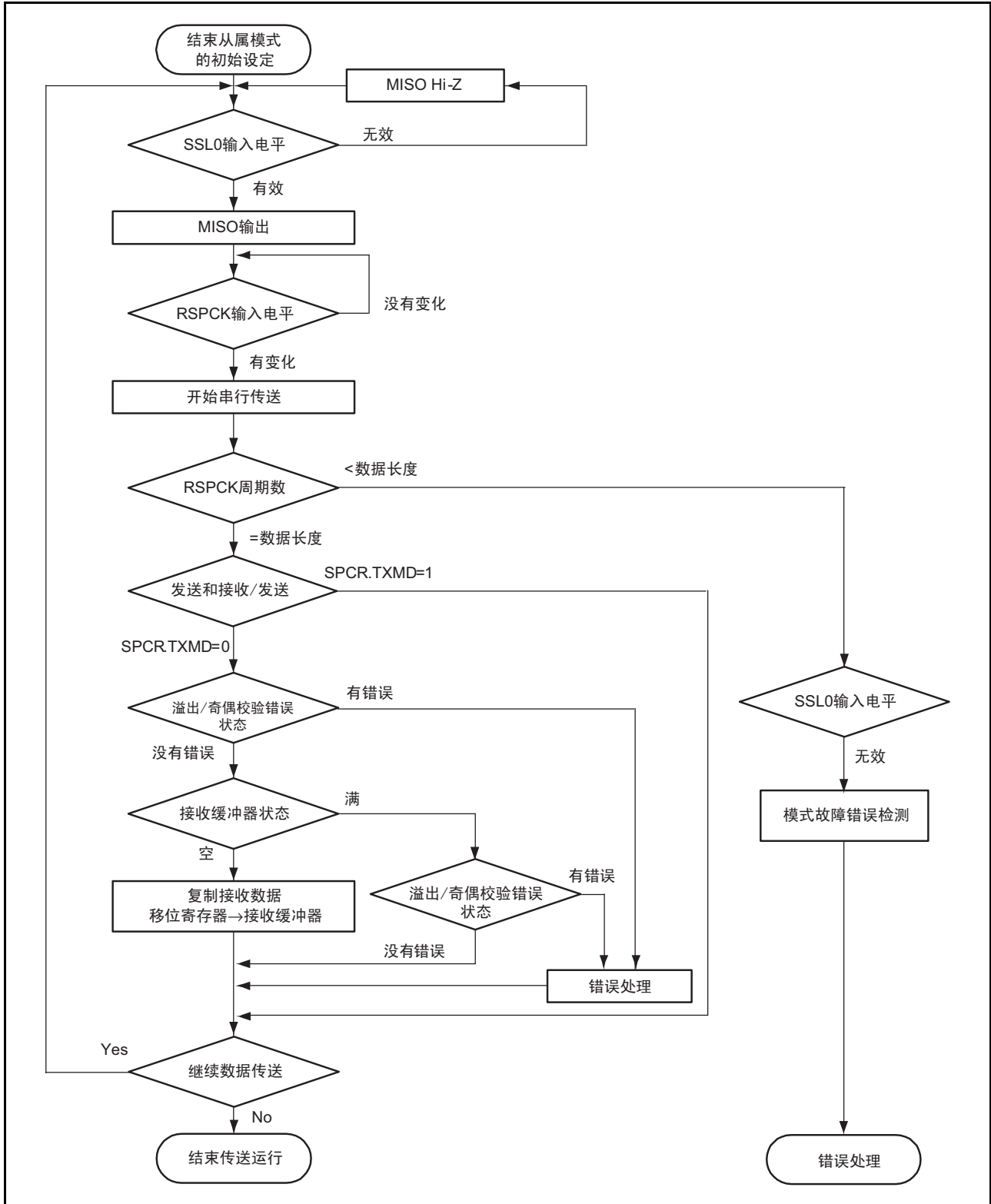


图 33.32 从属模式时的传送运行流程 (CPHA=1) (SPI 运行)

33.3.11 时钟同步运行

在 SPCR.SPMS 位为“1”时，RSPI 进行时钟同步运行。在进行时钟同步运行时，不使用 SSLn 引脚而使用 RSPCKn、MOSIn 和 MISO_n 这 3 个引脚进行通信，SSLn 引脚能用作 I/O 端口 (n=A、B)。

在进行时钟同步运行时，不使用 SSLn 引脚进行通信，但是模块内部的运行和 SPI 运行模式相同。在主控运行或者从属运行中，能按照和 SPI 运行时相同的流程进行通信。因为不使用 SSLn 引脚，所以检测不到模式故障错误。

在进行时钟同步运行时，无法保证从属模式中 (SPCR.MSTR=0) SPCMD.CPHA 位为“0”时的运行。

33.3.12 主控模式的运行

(1) 串行传送的开始

在发送缓冲器为空的 (未设定下次传送的数据) 状态下，如果将数据写到 SPDR 寄存器，RSPI 就更新 SPDR 寄存器的发送缓冲器的数据。在通过写 SPDR 寄存器将移位寄存器改为空的状态下，RSPI 在将发送缓冲器的数据复制到移位寄存器后开始串行传送。如果 RSPI 将发送数据复制到移位寄存器，就将移位寄存器改为满状态；如果串行传送结束，就将移位寄存器改为空状态。CPU 不能参照移位寄存器的状态。

有关 RSPI 传送格式的详细内容，请参照“33.3.4 传送格式”。

(2) 串行传送的结束

如果 RSPI 发送采样时序所对应的 RSPCK 边沿，就结束串行传送。在接收缓冲器有空间的情况下，在串行传送结束后将数据从移位寄存器复制到 SPDR 寄存器的接收缓冲器。

最后的采样时序取决于传送数据的位长，主控模式的 RSPI 的数据长度取决于 SPCMD.SPB[3:0] 位的设定值。

有关 RSPI 传送格式的详细内容，请参照“33.3.4 传送格式”。

(3) 顺序控制

主控模式时的传送格式取决于 SPSCR 寄存器、SPCMD 寄存器、SPBR 寄存器、SPCKD 寄存器、SSLND 寄存器或者 SPND 寄存器。在进行时钟同步运行时，不输出 SSL 信号，但是这些设定有效。

SPSCR 寄存器决定主控模式的 RSPI 要执行的串行传送的顺序结构。给 SPCMD0 ~ 7 寄存器设定 SSL 输出信号值、MSB first/LSB first 方式、数据长度、一部分位速率、RSPCK 极性 / 相位以及设定是否要参照 SPCKD 寄存器、SSLND 寄存器和 SPND 寄存器；给 SPBR 寄存器设定一部分位速率，给 SPCKD 寄存器设定 RSPI 时钟延迟值，给 SSLND 寄存器设定 SSL 无效延迟并且给 SPND 寄存器设定下次存取延迟值。

RSPI 根据 SPSCR 寄存器设定的顺序长度，由部分或者全部 SPCMD0 ~ 7 寄存器构成顺序。RSPI 有构成顺序的 SPCMD 寄存器的对应指针。CPU 能通过读 SPSSR.SPCP[2:0] 位来确认此指针的值。如果通过将 SPCR.SPE 位置“1”使 RSPI 功能有效，RSPI 就将指向命令的指针设定到 SPCMD0 寄存器，并且在开始串行传送时将 SPCMD0 寄存器的设定内容反映到传送格式。每当各数据传送的下次存取延迟期间结束时，RSPI 将指针进行递增。当构成顺序的最后命令对应的串行传送结束时，RSPI 将指针设定到 SPCMD0 寄存器，重复执行顺序。

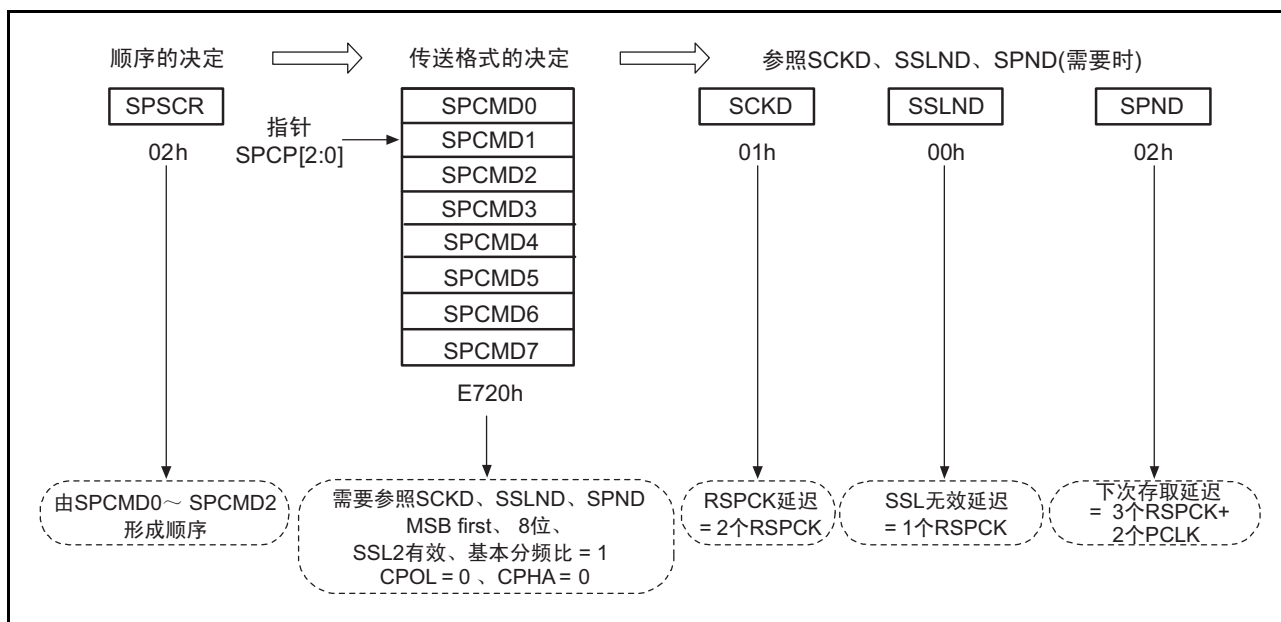


图 33.33 主控模式中的串行传送方式的决定方法 (时钟同步运行)

(4) 初始化流程

在时钟同步运行的情况下，在 主控模式中使用 RSPI 时的初始化流程例子如图 33.34 所示。有关中断控制器、DMACA 和输入 / 输出端口的设定方法，请参照各模块的说明。

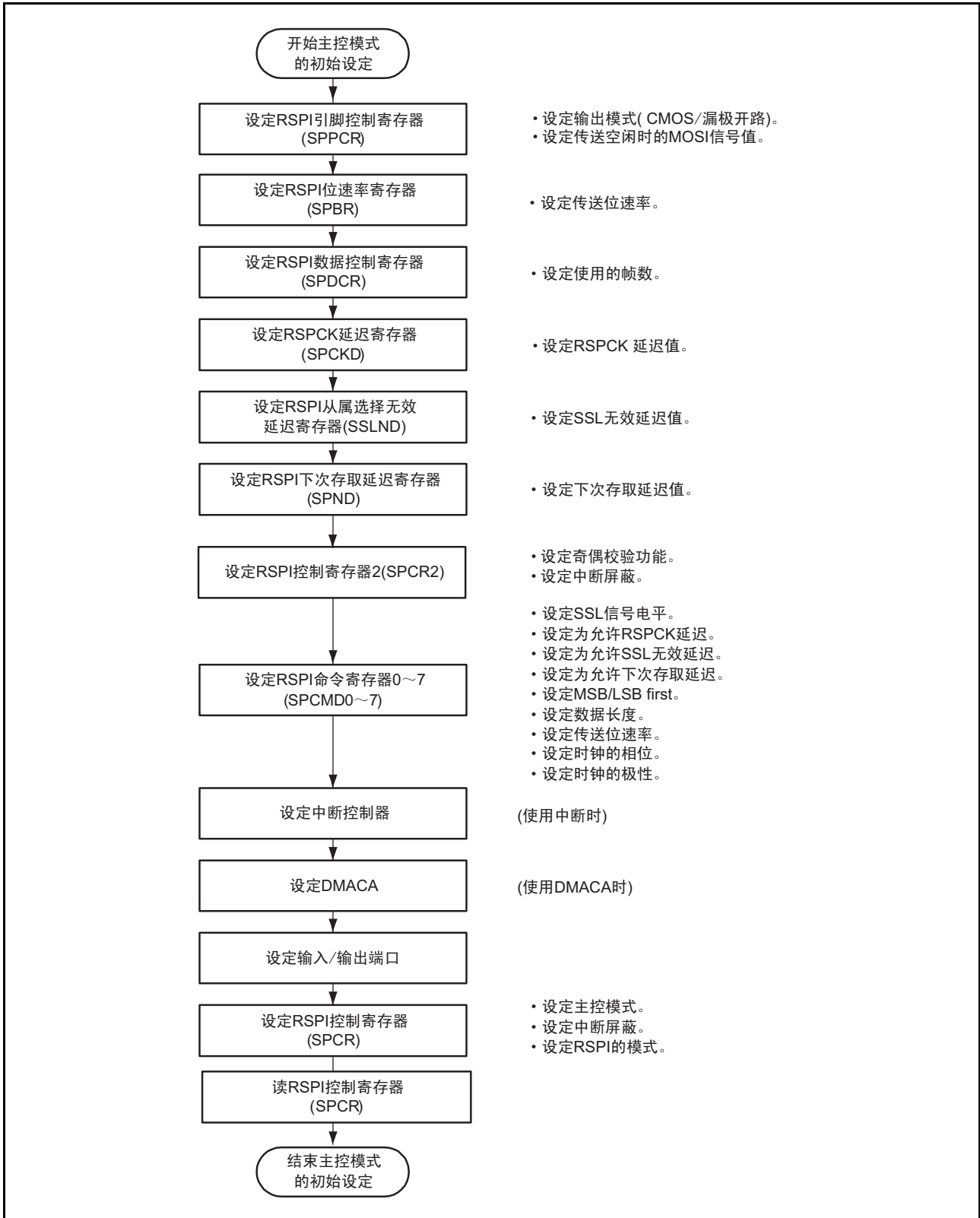


图 33.34 主控模式时的初始化流程例子 (时钟同步运行)

(5) 传送运行流程

在时钟同步运行时，主控模式的传送运行流程如图 33.35 所示。

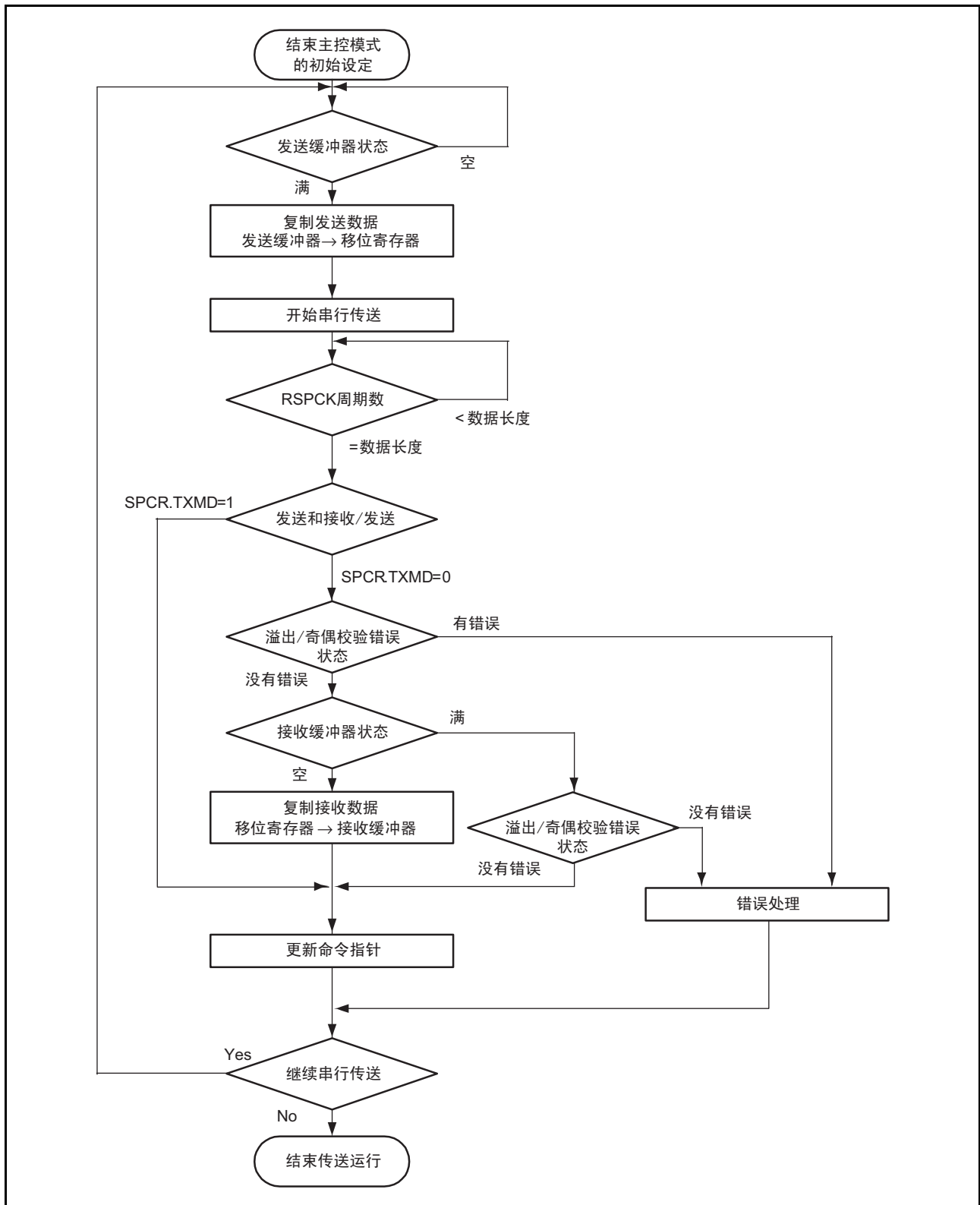


图 33.35 主控模式时的传送运行流程 (时钟同步运行)

33.3.13 从属模式的运行

(1) 串行传送的开始

在 SPCR.SPMS 位为“1”时，RSPI 的最初的 RSPCK 边沿为串行传送的开始触发。

如果 RSPI 在移位寄存器为空的状态下检测到串行传送的开始，就将移位寄存器改为满状态，并且不能在串行传送过程中将数据从发送缓冲器复制到移位寄存器。如果在开始串行传送前移位寄存器已满，RSPI 就保持移位寄存器的满状态。

在 SPMS 位为“1”时，RSPI 随时驱动 MISO 输出信号。

有关 RSPI 传送格式的详细内容，请参照“33.3.4 传送格式”。但是，在时钟同步运行时，不使用 SSL0 输入信号。

(2) 串行传送的结束

如果 RSPI 检测到相当于最后采样时序的 RSPCK 边沿，就结束串行传送。在接收缓冲器有空间的情况下，RSPI 在串行传送结束后将接收数据从移位寄存器复制到 SPDR 寄存器的接收缓冲器。在串行传送结束后，RSPI 将移位寄存器改为空状态。最后的采样时序取决于传送数据的位长，从属模式的 RSPI 的数据长度取决于 SPCMD0.SPB[3:0] 位的设定值。有关 RSPI 传送格式的详细内容，请参照“33.3.4 传送格式”。

(3) 初始化流程

在时钟同步运行的情况下，在从属模式中使用 RSPI 时的初始化流程例子如图 33.36 所示。有关中断控制器、DMACA 和输入/输出端口的设定方法，请参照各模块的说明。

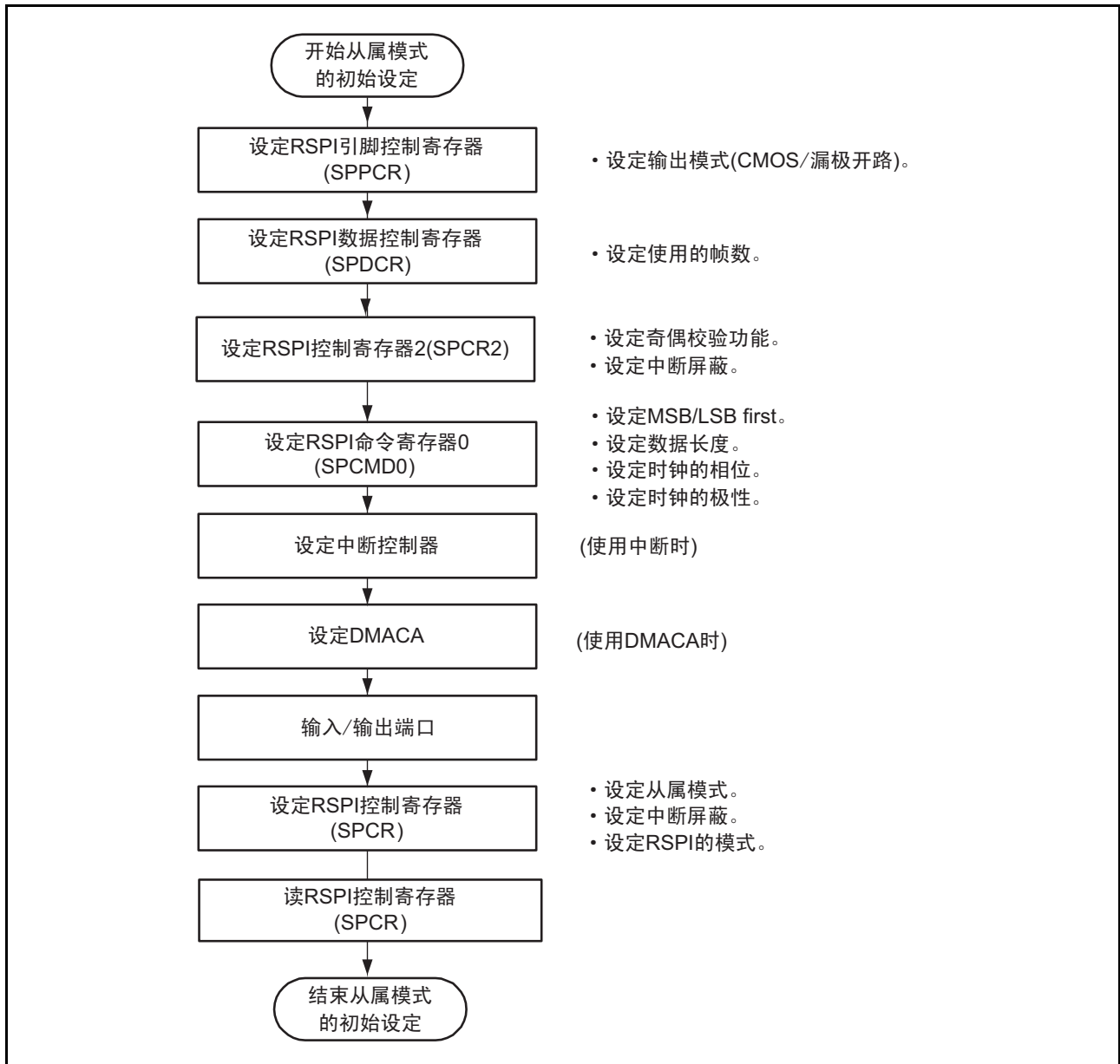


图 33.36 从属模式时的初始化流程例子 (时钟同步运行)

(4) 传送运行流程

在时钟同步运行时，RSPI 的传送运行流程如图 33.37 所示。

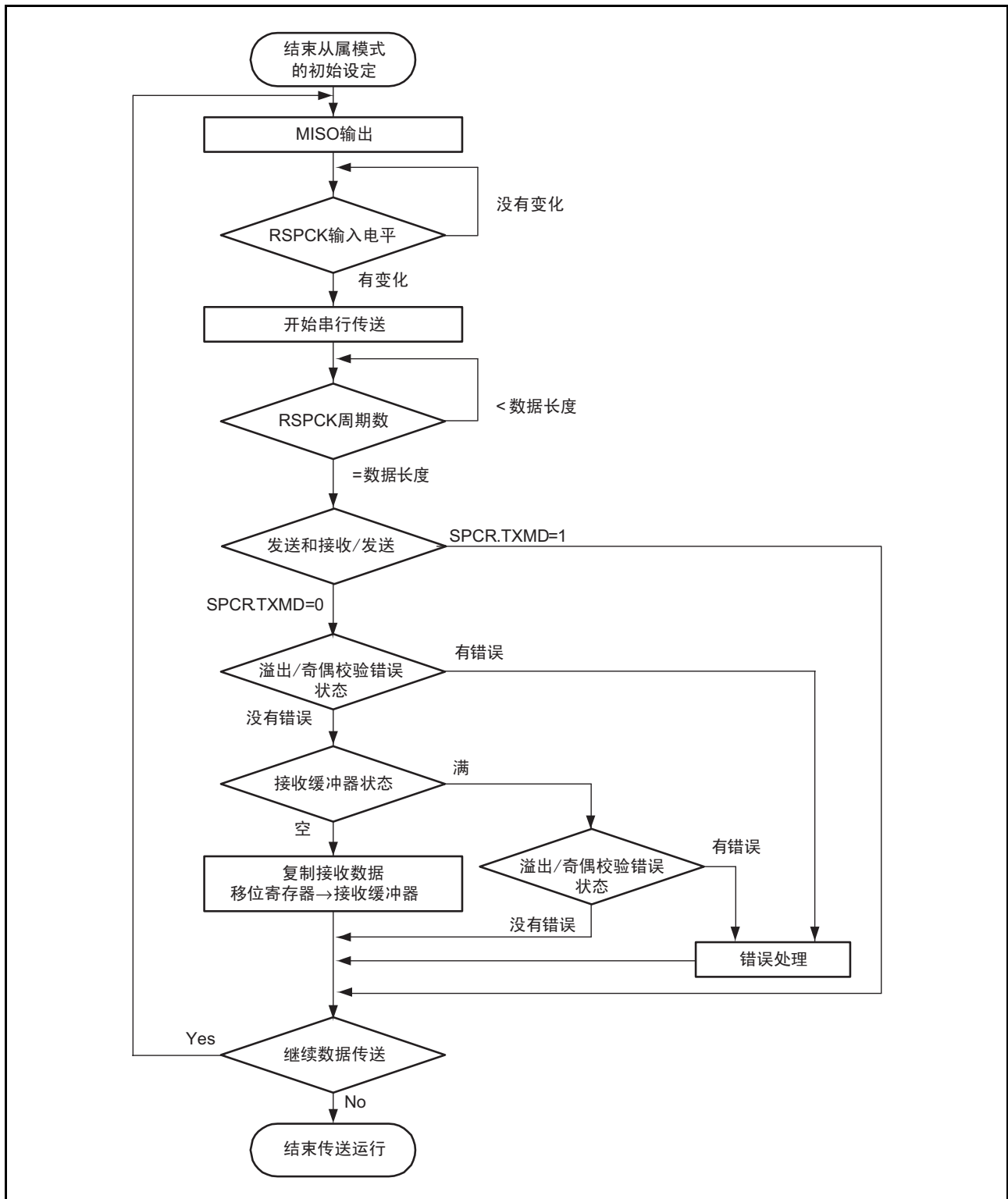


图 33.37 从属模式时的传送运行流程 (CPHA=1) (时钟同步运行)

33.3.14 错误处理

RSPI 的错误处理如图 33.38 ~ 图 33.40 所示。对于在主控模式和从属模式中发生的错误，能通过以下的错误处理从错误状态返回。

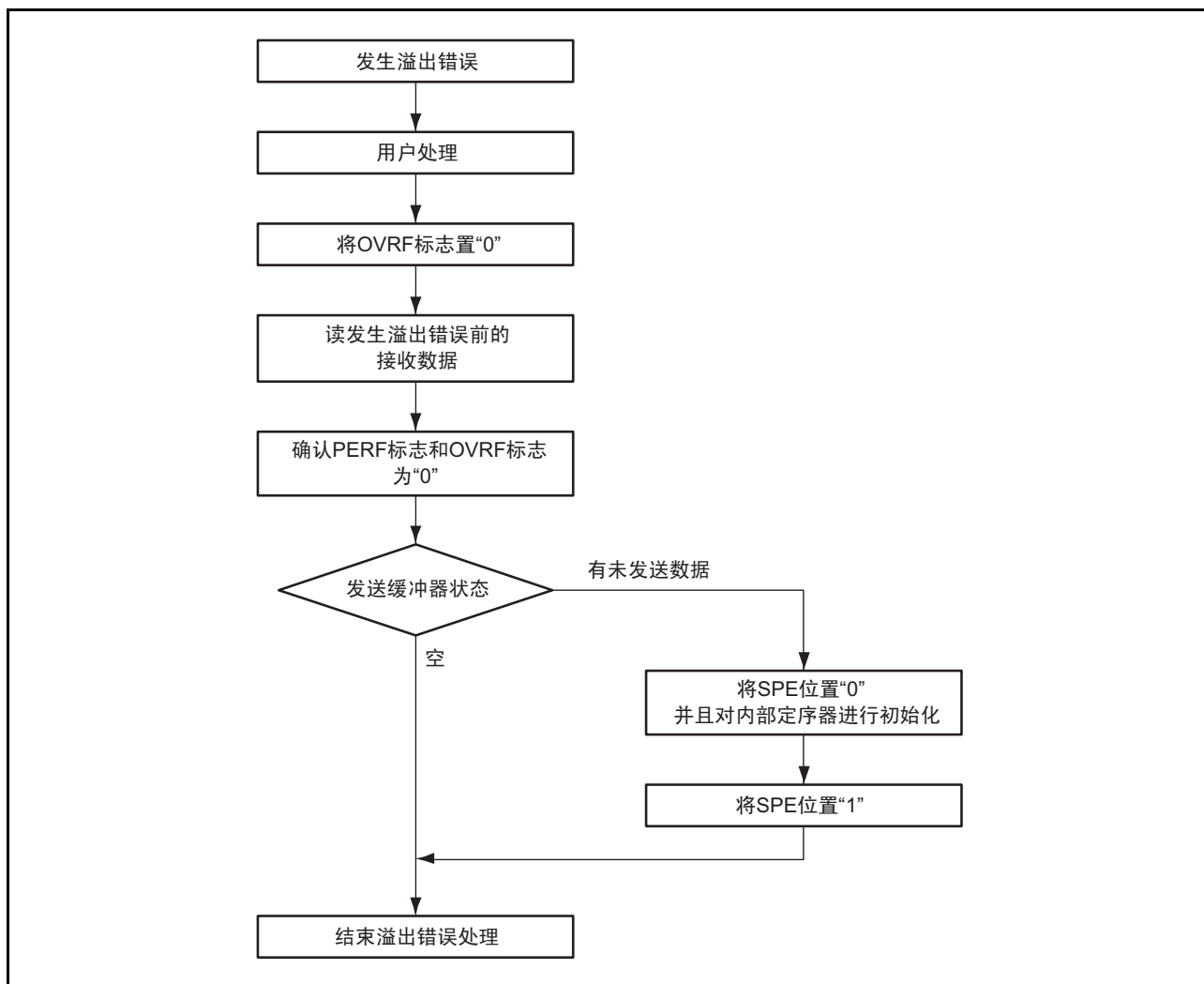


图 33.38 错误处理 (溢出错误)

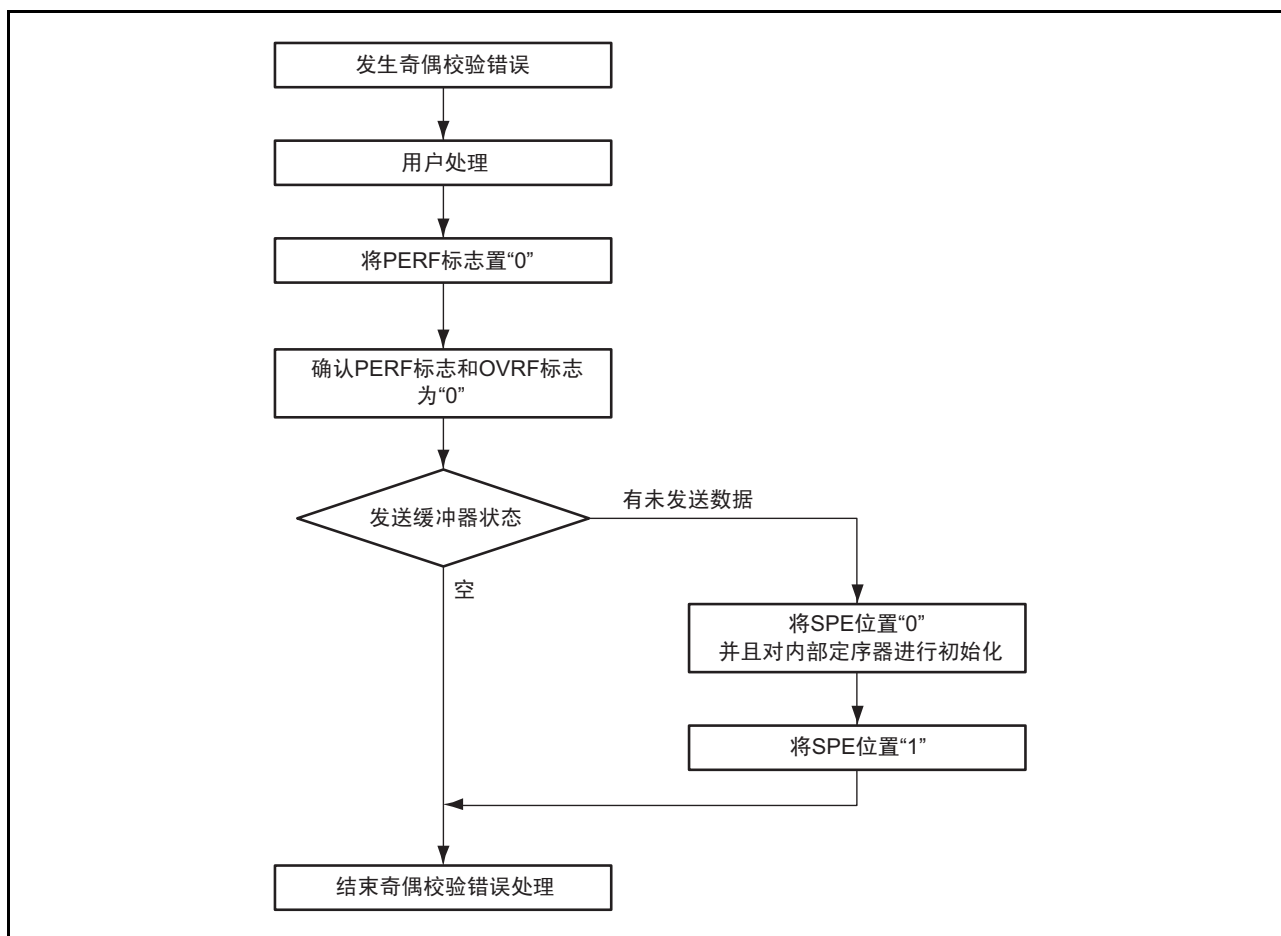


图 33.39 错误处理 (奇偶校验错误)

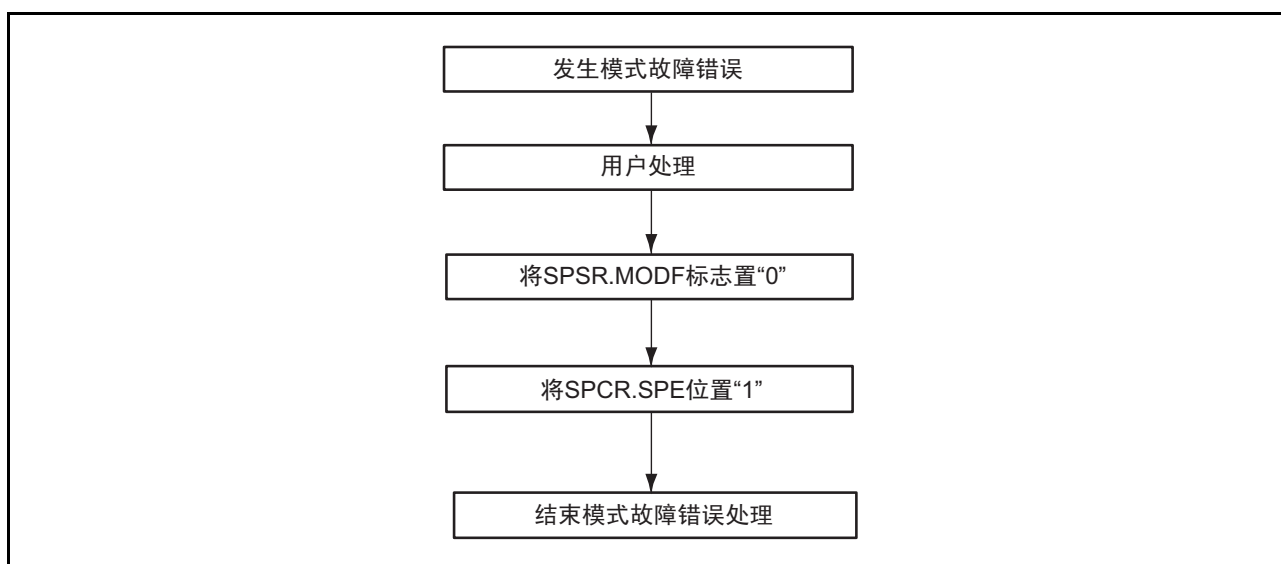


图 33.40 错误处理 (模式故障错误)

33.3.15 环回模式

在环回模式中 CPU 给 SPPCR.SPLP2 位或者 SPLP 位写“1”时，如果 SPCR.MSTR 位为“1”，RSPI 就切断 MISO_n 引脚和移位寄存器之间的线路，而连接移位寄存器的输入线路和输出线路；如果 SPCR.MSTR 位为“0”，就切断 MOSI_n 引脚和移位寄存器之间的线路，而连接移位寄存器的输入线路和输出线路。另外，如果 SPCR.MSTR 位为“1”，就切断 MOSI_n 引脚和移位寄存器之间的线路；如果 SPCR.MSTR 位为“0”，就切断 MISO_n 引脚和移位寄存器之间的线路。

如果通过环回模式进行串行传送，RSPI 的发送数据或者发送数据取反后的数据就为 RSPI 的接收数据 (n=A、B)。

SPPCR.SPLP2 位、SPPCR.SPLP 位的设定和接收数据的关系如表 33.13 所示，将主控模式的 RSPI 设定为环回模式 (SPPCR.SPLP2=0, SPPCR.SPLP=1) 时的移位寄存器输入 / 输出线路的结构如图 33.41 所示。

表 33.13 SPLP2 位、SPLP 位的设定和接收数据

SPPCR.SPLP2 位	SPPCR.SPLP 位	接收数据
0	0	MOSI _n 引脚或者 MISO _n 引脚的输入数据 (n = A、B)
0	1	发送数据取反后的数据
1	0	发送数据
1	1	发送数据

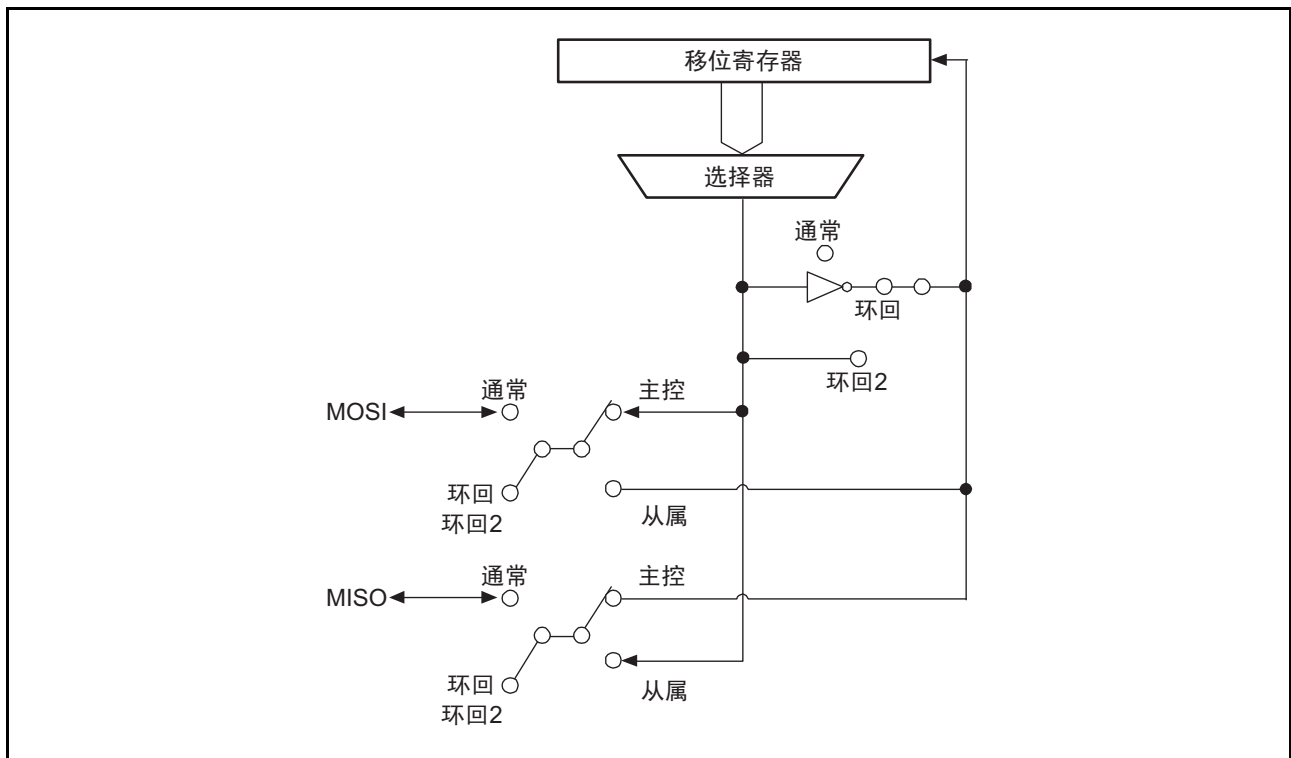


图 33.41 环回模式时的移位寄存器输入 / 输出结构 (主控模式)

33.3.16 奇偶校验位功能的自诊断

奇偶校验电路由发送数据的奇偶校验附加部分和接收数据的错误检测部分构成。要检测奇偶校验电路的奇偶校验附加部分和错误检测部分的故障时，必须按照图 33.42 所示的流程，进行奇偶校验电路的自诊断。

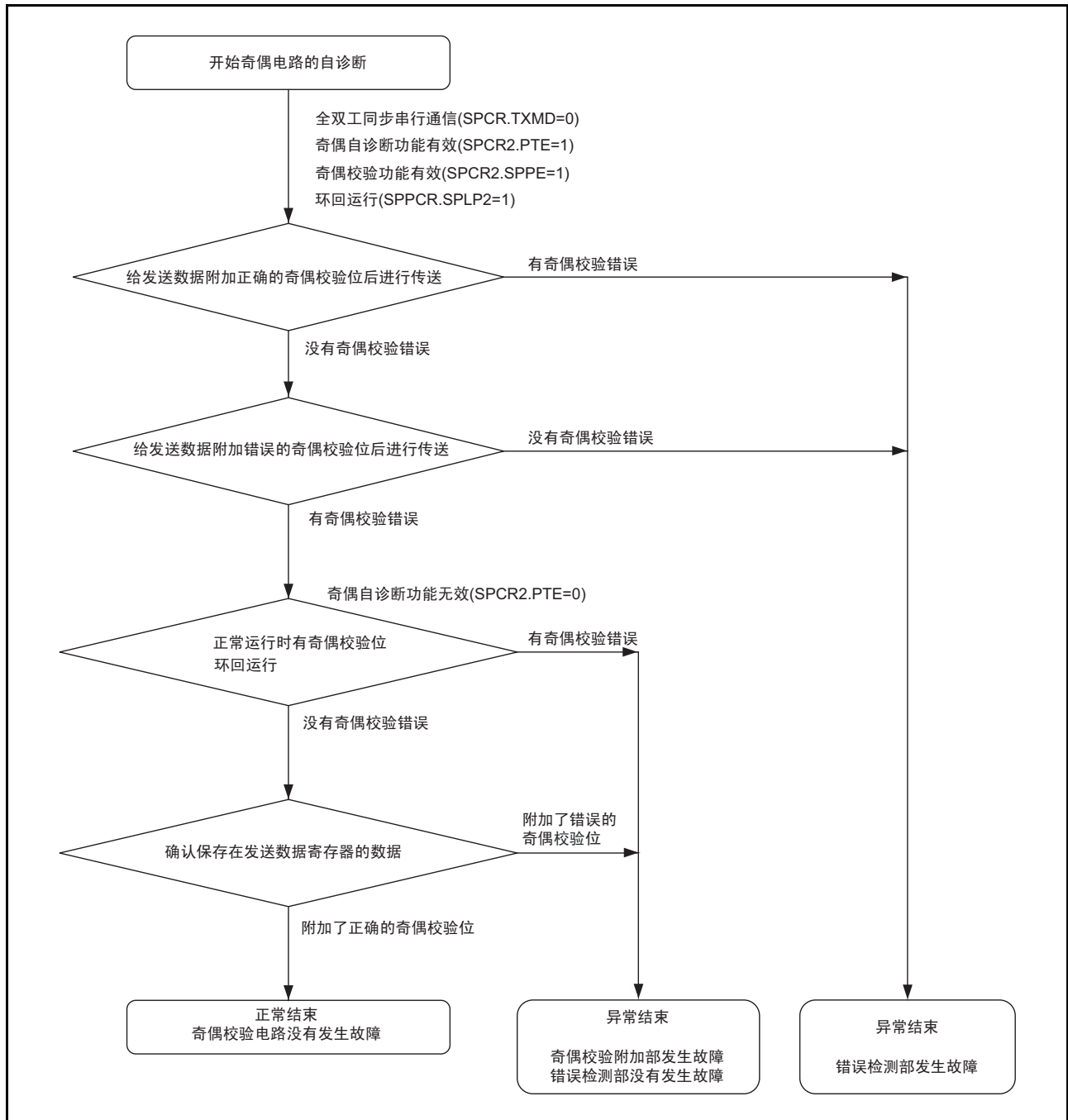


图 33.42 奇偶校验电路的自诊断流程

33.3.17 中断源

RSPI 的中断源有接收缓冲器满、发送缓冲器空、模式故障错误和 RSPI 空闲。能通过接收缓冲器满或者发送缓冲器空的中断请求来启动 DTC 或者 DMACA，进行数据传送。

RSPI 的中断源如表 33.14 所示。一旦表 33.14 所示的中断条件成立，就发生中断。必须在数据传送过程中清除中断源。

在使用 DTC 或者 DMACA 进行发送或者接收时，必须先设定 DTC 或者 DMACA，然后在设定为允许状态后设定 RSPI。有关 DTC 或者 DMACA 的设定方法，请参照“14. DMA 控制器 (DMACA)”和“16. 数据传送控制器 (DTCa)”。

表 33.14 RSPI 的中断源

中断源	略称	中断条件	DMACA/DTC 的启动
接收缓冲器满	SPRI	(sprie=1)•(接收缓冲器满)	○
发送缓冲器空	SPTI	(sptie=1)•(发送缓冲器空)	○
模式故障错误 溢出错误 奇偶校验错误	SPEI	(speie=1)•{(modf=1) (ovrf=1) (perf=1)}	—
RSPI 空闲	SPII	(spiie=1)•(idlnf=0)	—

33.4 使用时的注意事项

33.4.1 主控模式中奇偶校验功能有效时的发送运行

如果在主控模式中奇偶校验功能有效时进行附加的发送运行，就必须将各命令寄存器的下述内容设定为相同的值：

- 命令寄存器的传送位长的设定
- 命令寄存器的MSB first/LSB first设定

34. 12 位 A/D 转换器 (S12AD)

34.1 概要

RX62N 群和 RX621 群内置 1 个单元的逐次逼近方式的 12 位 A/D 转换器，最多能选择 8 个通道的模拟输入。

A/D 转换器的运行模式有 1 个周期扫描模式（按照从小到大的通道号顺序对任意选择的最多 8 个通道的模拟输入只进行 1 次转换）和连续扫描模式（按照从小到大的通道号顺序对任意选择的最多 8 个通道的模拟输入进行连续转换）。

A/D 转换器的规格、功能概要和框图分别如表 34.1、表 34.2 和图 34.1 所示。

能单独使用 12 位 A/D 转换器和 10 位 A/D 转换器并且通过模块停止控制寄存器 A 的 MSTPCRA.MSTPA23 位、MSTPCRA.MSTPA22 位、MSTPCRA.MSTPA17 位进行选择。

表 34.1 A/D 转换器的规格

项目	内容
单元数	1 个单元 (S12AD0)
输入通道	8 个通道
A/D 转换方式	逐次逼近方式
分辨率	12 位
转换时间	每个通道 1.0 μ s（外围模块时钟，以 PCLK=50MHz 进行工作时）
A/D 转换时钟	4 种：PCLK、PCLK/2、PCLK/4、PCLK/8
数据寄存器	8 个 将 A/D 转换结果保存到 12 位 A/D 数据寄存器。 在加法运算模式中，将 14 位加法运算结果保存到 A/D 数据寄存器。
运行模式	<ul style="list-style-type: none"> 1 个周期扫描模式：对任意选择的最多 8 个通道的模拟输入只进行 1 次转换。 连续扫描模式：对任意选择的最多 8 个通道的模拟输入重复进行转换。
A/D 转换开始条件	<ul style="list-style-type: none"> 软件触发 多功能定时器脉冲单元 (MTU) 或者 8 位定时器 (TMR) 的触发 外部触发 能通过 ADTRG0# 引脚开始 A/D 转换。
功能	<ul style="list-style-type: none"> 采样 & 保持功能 A/D 转换值加法运算模式
中断源	<ul style="list-style-type: none"> 在 A/D 转换结束时产生 AD 扫描转换结束中断请求 (S12ADI0)。 能通过 S12ADI0 中断来启动 DMA 控制器 (DMACA) 和数据传送控制器 (DTC)。
低功耗功能	<ul style="list-style-type: none"> 能设定为模块停止状态 (注 1)。

注 1. 在解除模块停止状态后，必须在等待 10ms 后开始 A/D 转换。

表 34.2 A/D 转换器的功能概要

项目		功能 / 内部触发源		
模拟输入通道		AN0 ~ AN7		
A/D 转换 开始条件	软件	软件触发	能	
	外部触发	ADTRG0#	能	
	内部触发 (MTU2、TMR) (注3)	TRG0AN_0	MTU0.TGRA 和 MTU0.TCNT	输入捕捉 / 比较匹配
			MTU0.TGRB 和 MTU0.TCNT	
		TRGAN_0	MTU0.TGRA 和 MTU0.TCNT	输入捕捉 / 比较匹配
			MTU1.TGRA 和 MTU1.TCNT	
			MTU2.TGRA 和 MTU2.TCNT	
			MTU3.TGRA 和 MTU3.TCNT	
			MTU4.TGRA 和 MTU4.TCNT	
			MTU4.TCNT	互补 PWM 模式中的 TCNT 下溢 (波谷)
		TRGAN_1	MTU6.TGRA 和 MTU6.TCNT	输入捕捉 / 比较匹配
			MTU7.TGRA 和 MTU7.TCNT	
			MTU8.TGRA 和 MTU8.TCNT	
			MTU9.TGRA 和 MTU9.TCNT	
MTU10.TGRA 和 MTU10.TCNT				
	MTU10.TCNT	互补 PWM 模式中的 TCNT 下溢 (波谷)		
TRG0EN_0	MTU0.TGRE 和 MTU0.TCNT	比较匹配		
TRG0FN_0	MTU0.TGRF 和 MTU0.TCNT			
TRG4ABN_0	MTU4.TADCORA 和 MTU4.TCNT 或者 MTU4.TADCORB 和 MTU4.TCNT	利用 A/D 转换开始请求延迟功能的比较匹配		
TRG4ABN_1	MTU10.TADCORA 和 MTU10.TCNT 或者 MTU10.TADCORB 和 MTU10.TCNT			
TMTRG0AN_0	TMR0.TCORA 和 TMR0.TCNT	比较匹配		
TMTRG0AN_1	TMR2.TCORA 和 TMR2.TCNT			
中断		S12ADI0 中断 (S12ADI0)		
模块停止功能的设定 (注1) (注2)		MSTPCRA.MSTPA17 位		

注 1. 在解除模块停止状态后, 必须在等待 10ms 后开始 A/D 转换。

注 2. 详细内容请参照“9. 低功耗功能”。

注 3. 内部触发里的“_0”和“_1”表示单元号。有关用于输出内部触发的设定, 请参照“18.4.3 A/D 转换器的启动”和“21.6.2 A/D 转换器的启动”。

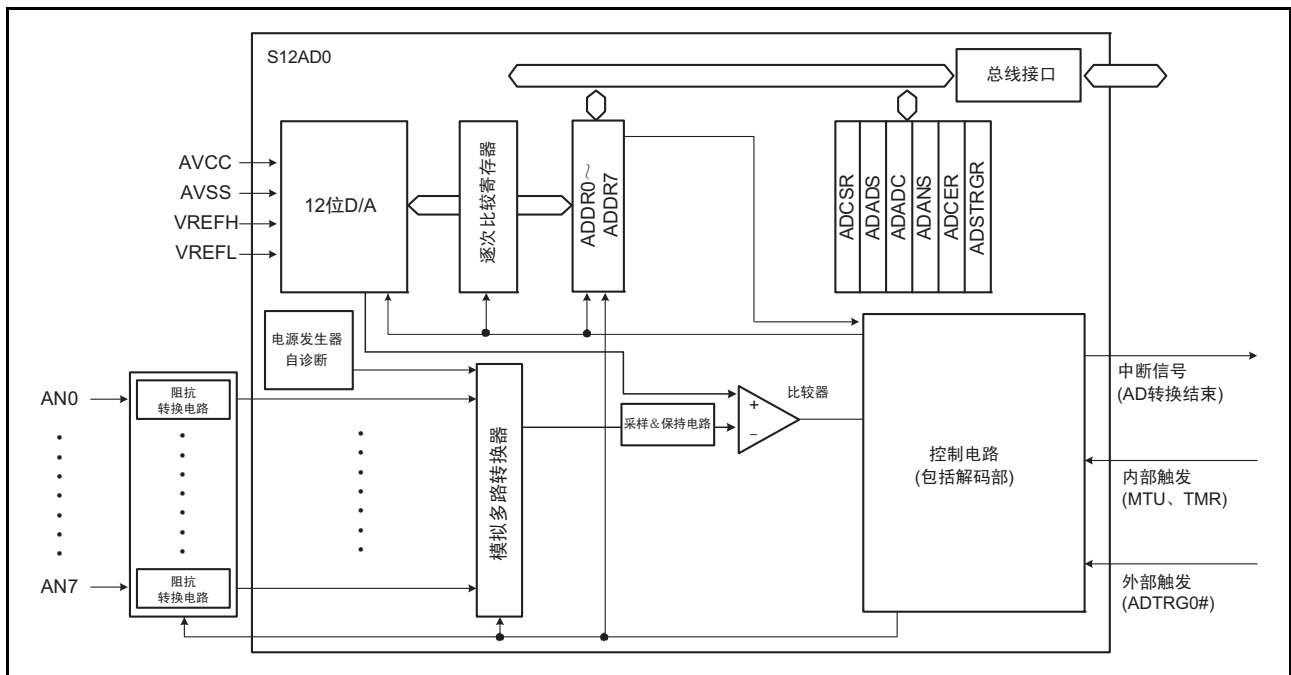


图 34.1 A/D 转换器的框图

A/D 转换器使用的输入引脚如表 34.3 所示。

表 34.3 A/D 转换器的输入引脚

引脚名	输入	功能
AVCC	输入	模拟电路的电源引脚
AVSS	输入	模拟电路的接地引脚
VREFH	输入	A/D 转换器的基准电源引脚
VREFL	输入	A/D 转换器的基准电源接地引脚
AN0 ~ AN7	输入	模拟输入引脚
ADTRG0#	输入	用于开始 A/D 转换的外部触发输入引脚

34.2 寄存器说明

A/D 转换器的寄存器一览表如表 34.4 所示。

表 34.4 A/D 转换器的寄存器一览表

模块符号	寄存器名	寄存器符号	复位后的值	地址	存取长度
S12AD0	A/D 数据寄存器 0	ADDR0	0000h	0008 9020h	16
	A/D 数据寄存器 1	ADDR1	0000h	0008 9022h	16
	A/D 数据寄存器 2	ADDR2	0000h	0008 9024h	16
	A/D 数据寄存器 3	ADDR3	0000h	0008 9026h	16
	A/D 数据寄存器 4	ADDR4	0000h	0008 9028h	16
	A/D 数据寄存器 5	ADDR5	0000h	0008 902Ah	16
	A/D 数据寄存器 6	ADDR6	0000h	0008 902Ch	16
	A/D 数据寄存器 7	ADDR7	0000h	0008 902Eh	16
	A/D 控制寄存器	ADCSR	00h	0008 9000h	8
	A/D 通道选择寄存器	ADANS	0000h	0008 9004h	16
	A/D 转换值加法运算模式选择寄存器	ADADS	0000h	0008 9008h	16
	A/D 转换值加法次数选择寄存器	ADADC	00h	0008 900Ch	8
	A/D 控制扩展寄存器	ADCER	0000h	0008 900Eh	16
	A/D 开始触发选择寄存器	ADSTRGR	00h	0008 9010h	8

34.2.1 A/D 数据寄存器 n (ADDRn) (n=0 ~ 7)

A/D 数据寄存器 0 ~ 7 (ADDR0 ~ ADDR7) 是保存 AN0 ~ 7 的 A/D 转换结果的 16 位只读寄存器。在下述条件下, ADDRn 寄存器的格式不同:

- A/D 数据寄存器格式选择位的设定值 (往右靠紧或者往左靠紧)
- A/D 转换值加法运算模式选择位的设定值 (不选择或者选择)

所选 A/D 转换值加法运算模式的通道最小值和通道最大值如下所示。在设定为 A/D 转换值加法运算模式时, A/D 数据寄存器格式选择位 (ADCER.ADRFMT) 的设定无效。

- 转换 1 次时: $0000h \leq ADDRn (n=0 \sim 7) \leq 3FFCh$
 (ADDRn (n=0 ~ 7): bit15、bit14=00b, bit13 ~ 2=AD11 ~ 0, bit1、bit0=00b)
- 转换 2 次时: $0000h \leq ADDRn (n=0 \sim 7) \leq 7FF8h$
 (ADDRn (n=0 ~ 7): bit15=0b、bit14 ~ 2=AD12 ~ 0, bit1、bit0=00b)
- 转换 3 次时: $0000h \leq ADDRn (n=0 \sim 7) \leq BFF4h$
 (ADDRn (n=0 ~ 7): bit15 ~ 2=AD13 ~ 0, bit1、bit0=00b)
- 转换 4 次时: $0000h \leq ADDRn (n=0 \sim 7) \leq FFF0h$
 (ADDRn (n=0 ~ 7): bit15 ~ 2=AD13 ~ 0, bit1、bit0=00b)

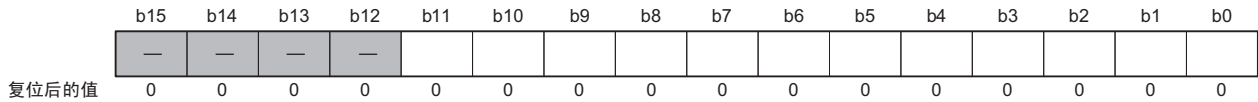
(1) 寄存器: ADDR0 ~ ADDR7

能通过设定 ADCER.ADRFMT 位, 设定往右靠紧或者往左靠紧的格式。此时, ADDRn.AD11 ~ 0 位表示 12 位 A/D 转换值, 其他位为保留位, 读写值都为“0”。

在设定为 A/D 转换值加法运算模式时, ADCER.ADRFMT 位的设定无效, 并且一定是往左靠紧的格式。此时, ADDRn.AD13 ~ 0 位表示加上 A/D 转换值加法运算模式的全部转换值后的值。

- 设定为往右靠紧格式的情况

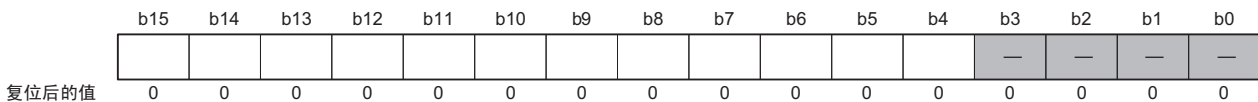
地址 0008 9020h~0008 902Eh



位	符号	位名	功能	R/W
b11-b0	—	—	12 位 A/D 转换值	R
b15-b12	—	保留位	读写值都为“0”。	R/W

- 设定为往左靠紧格式的情况

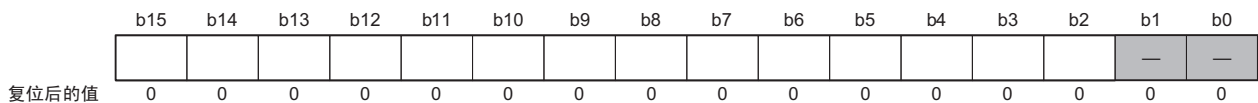
地址 0008 9020h~0008 902Eh



位	符号	位名	功能	R/W
b3-b0	—	保留位	读写值都为“0”。	R/W
b15-b4	—	—	12 位 A/D 转换值	R

- 选择 A/D 转换值加法运算模式的情况

地址 0008 9020h~0008 902Eh



位	符号	位名	功能	R/W
b1-b0	—	保留位	读写值都为“0”。	R/W
b15-b2	—	—	14 位 A/D 转换值的加法运算结果	R

在设定为 A/D 转换值加法运算模式时, A/D 数据寄存器格式选择位 (ADCER.ADRFMT) 的设定无效。

34.2.2 A/D 控制寄存器 (ADCSR)

地址 0008 9000h

b7	b6	b5	b4	b3	b2	b1	b0
ADST	ADCS	—	ADIE	CKS[1:0]		TRGE	EXTRG
复位后的值	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	EXTRG	触发选择位	0: 选择由 A/D 开始触发选择寄存器 (ADSTRGR) 选择的定时器源引起的扫描转换开始 1: 选择由外部触发 (ADTRG0#) 引起的扫描转换开始	R/W
b1	TRGE	触发允许位	0: 禁止由外部触发 (ADTRG0#)、MTU 触发或者 TMR 触发引起的扫描转换 1: 允许由外部触发 (ADTRG0#)、MTU 触发或者 TMR 触发引起的扫描转换	R/W
b3-b2	CKS[1:0]	时钟选择位	b3 b2 0 0: PCLK/8 0 1: PCLK/4 1 0: PCLK/2 1 1: PCLK	R/W
b4	ADIE	A/D 扫描转换结束中断允许位	0: 禁止扫描结束后的 S12ADI0 中断 1: 允许扫描结束后的 S12ADI0 中断	R/W
b5	—	保留位	读写值都为“0”。	R/W
b6	ADCS	扫描转换模式选择位	0: 1 个周期扫描模式 1: 连续扫描模式	R/W
b7	ADST	A/D 开始位	0: 停止扫描转换 1: 开始扫描转换	R/W

注. 通过外部触发开始扫描转换的方法:

在给外部触发引脚 (ADTRG0#) 输入 High 电平的状态下, 将 ADCSR.TRGE 置“1”并且将 ADCSR.EXTRG 置“1”。此后, 如果使 ADTRG0# 的信号变为 Low 电平, 就检测到 ADTRG0# 的下降沿并且开始扫描转换。此时, Low 电平输入的脉冲宽度至少需要 1.5 个 PCLK 时钟。

ADCSR 寄存器选择时钟、开始或者停止扫描转换以及设定扫描模式和扫描转换触发。必须在 ADST 位为“0”时设定 ADCSR.CKS[1:0] 位和 ADCSR.ADCS 位。

ADIE 位 (A/D 扫描转换结束中断允许位)

此位允许或者禁止 A/D 扫描转换结束中断 (S12ADI0) 的发生。

在对象通道的扫描转换结束后, 如果 ADIE 位为“1”, 就产生 A/D 扫描转换结束中断 (S12ADI0)。

ADCS 位 (扫描转换模式选择位)

此位选择扫描转换模式。在 1 个周期扫描模式中, 按照从小到大的通道号顺序对 ADANS 寄存器选择的最多 8 个通道的模拟输入只进行 1 次扫描转换, 一旦选择的全部通道转换结束, 就停止扫描转换。

在连续扫描模式中, 在 ADCSR.ADST 为“1”期间, 按照从小到大的通道号顺序对 ADANS 寄存器选择的最多 8 个通道的模拟输入进行扫描转换, 一旦选择的全部通道转换结束, 就返回最初的通道继续进行扫描转换。如果将 ADCSR.ADST 位置“0”, 就停止扫描转换。

ADST 位 (A/D 开始位)

此位控制扫描转换的开始和停止。必须在将 ADST 位置“1”前设定 A/D 转换时钟和运行模式。

[为“1”的条件]

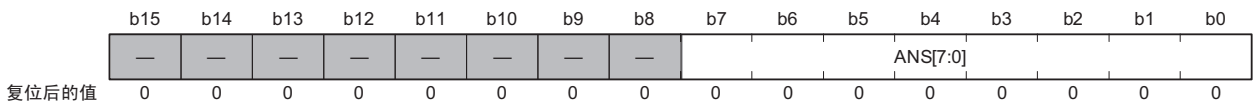
- 通过软件写“1”时
- 将 ADCSR.TRGE 位置“1”并且检测到 ADSTRGR.ADSTRS[3:0] 位选择的 MTU 触发或者 TMR 触发时
- 将 ADCSR.TRGE 位和 ADCSR.EXTRG 位置“1”，将 ADSTRGR.ADSTRS[3:0] 位置“0000b”并且检测到外部触发时

[为“0”的条件]

- 通过软件写“0”时
- 在 1 个周期扫描模式中所选通道的 A/D 转换全部结束时

34.2.3 A/D 通道选择寄存器 (ADANS)

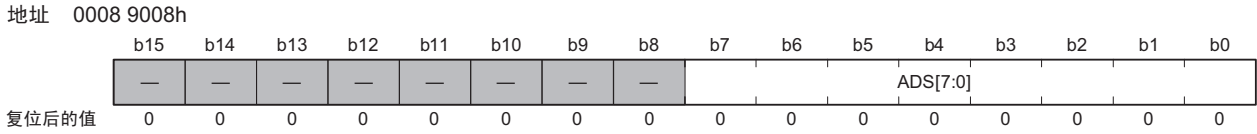
地址 0008 9004h



位	符号	位名	功能	R/W
b7-b0	ANS[7:0]	A/D 转换通道选择位	0: 不将 AN7 ~ AN0 作为转换对象 1: 将 AN7 ~ AN0 作为转换对象	R/W
b15-b8	—	保留位	读写值都为“0”。	R/W

ADANS 寄存器选择要进行扫描转换的通道 AN_n (n=0 ~ 7)。必须在 ADCSR.ADST 位为“0”时设定 ADANS。

34.2.4 A/D 转换值加法运算模式选择寄存器 (ADADS)



位	符号	位名	功能	R/W
b7-b0	ADS[7:0]	A/D 转换值加法运算通道选择位	0: 不选择 A/D 转换值加法运算模式 1: 选择 A/D 转换值加法运算模式	R/W
b15-b8	—	保留位	读写值都为“0”。	R/W

ADADS 寄存器选择在连续进行 2 ~ 4 次的 A/D 转换后进行加法 (累加) 运算的通道 AN_n (n=0 ~ 7)。必须在 ADCSR.ADST 位为“0”时设定 ADADS 寄存器。

ADS[7:0] 位 (A/D 转换值加法运算通道选择位)

如果将 ADS_n 位置“1”，就对 AN_n 连续进行 2 ~ 4 次的转换并且将进行加法 (累加) 运算后的值返回到 A/D 数据寄存器 n (ADDR_n)。对于 ADS_n 位为“0”的 AN_n，进行 1 次通常的转换并且将值返回到 A/D 数据寄存器 n (ADDR_n)。

将 ADS[2] 位和 ADS[6] 位置“1”时的扫描转换顺序如图 34.2 所示，这是加法运算次数为 4 次并且选择 AN₀ ~ AN₇ 的情况。从 AN₀ 开始转换，在对 AN₂ 连续进行 4 次转换并且进行加法 (累加) 运算后的值返回到 A/D 数据寄存器 n (ADDR_n)。然后，从 AN₃ 开始转换。

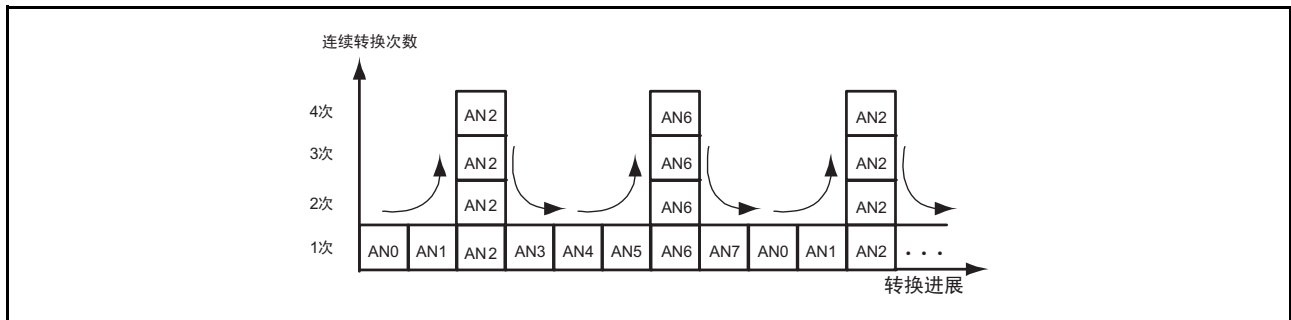
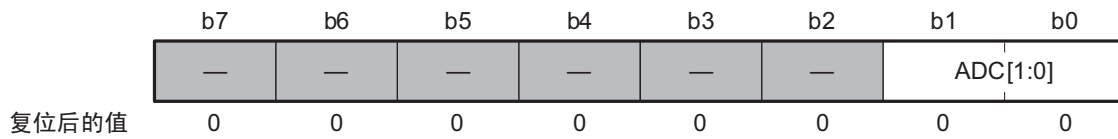


图 34.2 ADS[2] 位和 ADS[6] 位为“1”时的扫描转换顺序

不选择加法运算模式的通道的 A/D 数据寄存器 n (ADDR_n) 格式取决于 ADCER.ADRFMT (往右靠紧 / 往左靠紧) 的设定。

34.2.5 A/D 转换值加法运算次数选择寄存器 (ADADC)

地址 0008 900Ch



位	符号	位名	功能	R/W
b1-b0	ADC[1:0]	加法运算次数选择位	b1 b0 00: 转换 1 次 (无加法运算, 和通常的转换相同) 01: 转换 2 次 (进行 1 次加法运算) 10: 转换 3 次 (进行 2 次加法运算) 11: 转换 4 次 (进行 3 次加法运算)	R/W
b7-b2	—	保留位	读写值都为“0”。	R/W

ADADC 寄存器给所选 A/D 转换值加法运算模式的通道设定加法运算次数。
 必须在 ADCSR.ADST 位为“0”时设定 ADADC 寄存器。

34.2.6 A/D 控制扩展寄存器 (ADCER)

地址 0008 900Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADRFMT	—	—	—	—	—	—	—	—	—	ACE	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b4-b0	—	保留位	读写值都为“0”。	R/W
b5	ACE	自动清除允许位	0: 禁止通过读 A/D 数据寄存器 n (ADDRn) 进行的 ADDRn 自动清除 1: 允许通过读 A/D 数据寄存器 n (ADDRn) 进行的 ADDRn 自动清除	R/W
b14-b6	—	保留位	读写值都为“0”。	R/W
b15	ADRFMT	A/D 数据寄存器格式选择位	0: 将 A/D 数据寄存器 n (ADDRn) 的格式设定为往右靠紧 1: 将 A/D 数据寄存器 n (ADDRn) 的格式设定为往左靠紧	R/W

ADCER 寄存器设定 A/D 数据寄存器 n (ADDRn) 的格式和自动清除。

ACE 位 (自动清除允许位)

此位选择是否通过 CPU、DTC 或者 DMACA 读 A/D 数据寄存器 n (ADDRn) 后自动清除该寄存器。能通过自动清除检测到 A/D 数据寄存器 n (ADDRn) 未更新的故障。

ADRFMT 位 (A/D 数据寄存器格式选择位)

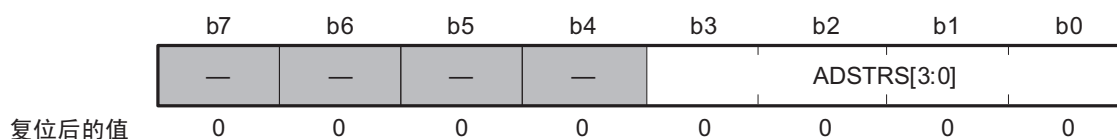
此位选择 A/D 数据寄存器保存的数据是往右靠紧还是往左靠紧。

所选 A/D 转换值加法运算模式的通道对应的 A/D 数据寄存器 n (ADDRn) 的格式与 ADRFMT 位的设定无关, 固定为往左靠紧。

有关 A/D 数据寄存器 n (ADDRn) 的格式的详细内容, 请参照“34.2.1 A/D 数据寄存器 n (ADDRn) (n=0 ~ 7)”。

34.2.7 A/D 开始触发选择寄存器 (ADSTRGR)

地址 0008 9010h



位	符号	位名	功能	R/W
b3-b0	ADSTRS[3:0]	A/D 开始触发选择位	通过 bit3 ~ 0 的组合, 选择内部外围 I/O 的 A/D 转换开始源。	R/W
b7-b4	—	保留位	读写值都为“0”。	R/W

ADSTRGR 寄存器是选择 A/D 转换开始触发的寄存器。

- 在使用 MTU 或者 TMR 的 A/D 转换开始源时, 必须将 ADCSR.TRGE 位置“1”并且将 ADCSR.EXTRG 位置“0”。
- 在使用外部输入的 AD 转换开始源 (ADTRG0#) 时, 必须将 ADCSR.TRGE 位置“1”并且将 ADCSR.EXTRG 位置“1”。
- 软件触发 (ADCSR.ADST) 与 ADCSR.TRGE 位、ADCSR.EXTRG 位和 ADSTRGR 的设定值无关, 总是有效。

表 34.5 A/D 转换开始源的选择一览表

模块	A/D 转换开始源	对应的触发	ADSTRS[3]	ADSTRS[2]	ADSTRS[1]	ADSTRS[0]
ADC	ADST	软件触发	—	—	—	—
外部输入	ADTRG0#	A/D 转换开始触发引脚	0	0	0	0
MTU	TRG1N	TRG0AN_0	0	0	0	1
	TRG2N	TRG0BN_0	0	0	1	0
	TRG3N	TRGAN_0	0	0	1	1
	TRG4N	TRGAN_1	0	1	0	0
	TRG5N	TRG0EN_0	0	1	0	1
	TRG6N	TRG0FN_0	0	1	1	0
	TRG7N	TRG4ABN_0	0	1	1	1
TMR	TRG8N	TRG4ABN_1	1	0	0	0
	TRG9N	TMTRG0AN_0	1	0	0	1
	TRG10N	TMTRG0AN_1	1	0	1	0

注. 如果将 A/D 转换开始源设定为 ADTRG0#, 就必须将对应引脚的 PORTm.DDR 位置“0” (输入端口) 并且将 PORTm.ICR 位置“1” (对应引脚的输入缓冲器有效)。详细内容请参照“17. I/O 端口”。

34.3 运行说明

34.3.1 扫描转换运行的说明

扫描转换的运行模式有 1 个周期扫描模式和连续扫描模式共两种。1 个周期扫描模式是在对指定的至少 1 个通道进行 1 次扫描后结束的模式。连续扫描模式是在通过软件将 ADCSR.ADST 位置“0”前对指定的至少 1 个通道无限制地重复进行扫描的模式。

两种模式都按照 ADANS 寄存器所选 ANSn 的 n 从小到大的顺序进行 A/D 转换。

34.3.2 1 个周期扫描模式

1 个周期扫描模式对所选通道的模拟输入只进行 1 个周期 A/D 转换，如下所示：

1. 如果通过软件、MTU、TMR 或者外部触发输入将 ADCSR.ADST 位置“1”（开始 A/D 转换），就按照 ADANS 寄存器所选 ANSn 的 n 从小到大的顺序开始 A/D 转换。
2. 一旦 1 个通道的 A/D 转换结束，就将 A/D 转换结果保存到对应的 A/D 数据寄存器 n（ADDRn）。
3. 如果在所选通道的 A/D 转换全部结束后 ADCSR.ADIE 位为“1”（允许由 A/D 转换结束引起的 ADI 中断），就产生 S12ADI0 中断请求。
4. ADST 位在 A/D 转换过程中保持“1”，一旦所选通道的 A/D 转换全部结束就自动变为“0”，并且 A/D 转换器进入待机状态。

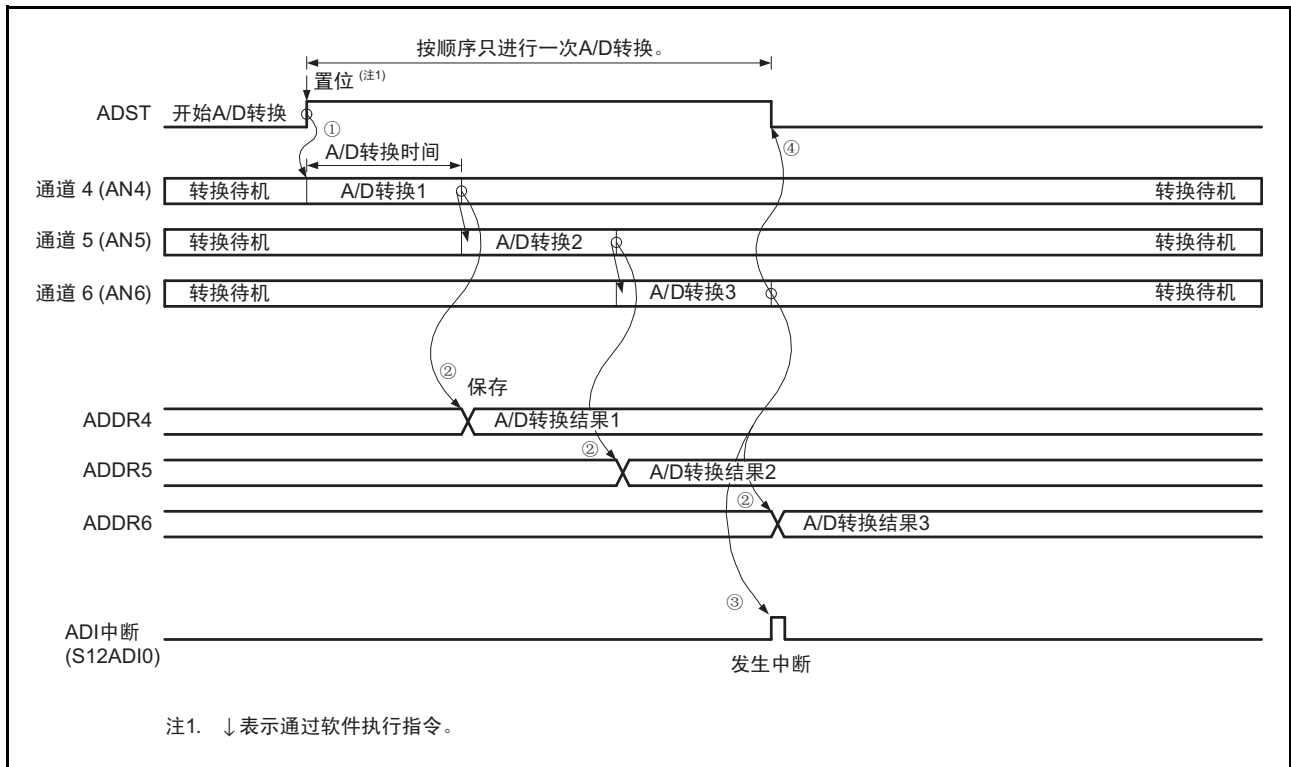


图 34.3 1 个周期扫描模式的运行例子

34.3.3 连续扫描模式

连续扫描模式对所选通道的模拟输入重复进行 A/D 转换，如下所示：

1. 如果通过软件、MTU、TMR 或者外部触发输入将 ADCSR.ADST 位置“1”（开始 A/D 转换），就按照 ADANS 寄存器所选 ANSn 的 n 从小到大的顺序开始 A/D 转换。
2. 一旦 1 个通道的 A/D 转换结束，就将 A/D 转换结果保存到对应的 A/D 数据寄存器 n（ADDRn）。
3. 如果在所选通道的 A/D 转换全部结束后 ADCSR.ADIE 位为“1”（允许由 A/D 转换结束引起的 ADI 中断），就产生 S12ADI0 中断请求。A/D 转换器按照 ADANS 寄存器所选 ANSn 的 n 从小到大的顺序开始 A/D 转换。
4. ADST 位不自动变为“0”，而在为“1”的期间重复 2.~3.。如果将 ADST 位置“0”（停止 A/D 转换），就中止 A/D 转换并且 A/D 转换器进入待机状态。
5. 此后，如果将 ADST 位置“1”，就按照 ADANS 寄存器所选 ANSn 的 n 从小到大的顺序重新开始 A/D 转换。

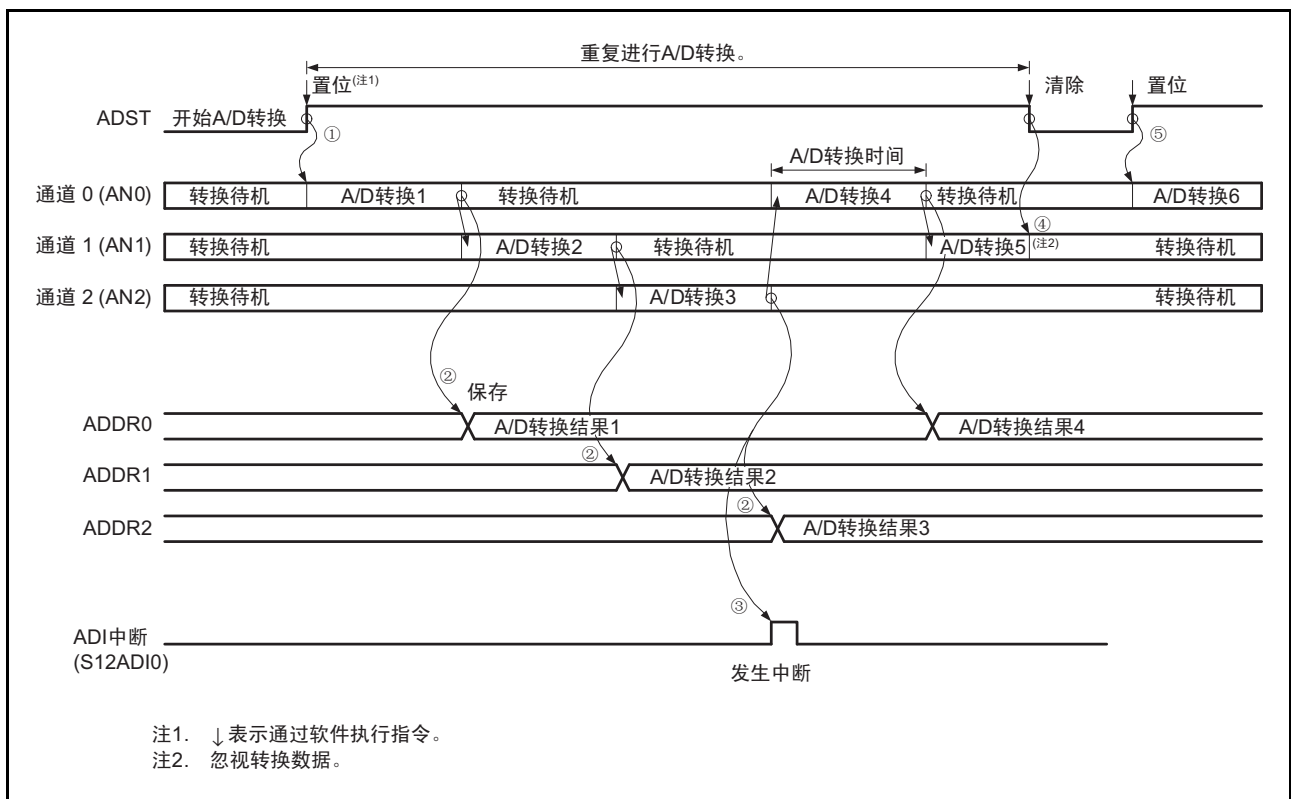


图 34.4 连续扫描模式的运行例子

34.3.4 模拟输入的采样和扫描转换时间

能选择通过软件、MTU/TMR 触发或者 ADTRG0#（外部触发）开始扫描转换。在扫描转换开始延迟时间 (t_D) 后进行模拟输入的采样，然后开始 A/D 转换处理。

扫描转换时间 (t_{SCAN}) 包括扫描转换开始延迟时间 (t_D)、A/D 转换处理时间 (t_{CONV}) 和扫描转换结束延迟时间 (t_{ED})，如表 34.6 所示。

转换次数为 n 的 1 个周期扫描的扫描转换时间 (t_{SCAN}) 如下：

$$t_{SCAN} = t_D + (t_{CONV} \times n) + t_{ED}$$

连续扫描的第 1 个周期省略了 1 个周期扫描的 t_{SCAN} 到 t_{ED} 的时间。

连续扫描的第 2 个和以后的周期固定为 ($t_{CONV} \times n$)。

表 34.6 扫描转换时间

项目	符号	ADTRG# (外部触发)	MTU、TMR (内部触发)	软件 (软件触发)	单位
扫描转换开始延迟时间 (注2)	t_D	4 个 PCLK+ 3 个 ADCLK (注1)	2 个 PCLK+ 3 个 ADCLK	2 个 PCLK+ 3 个 ADCLK	周期
A/D 转换处理时间	t_{CONV}	50 个 ADCLK	50 个 ADCLK	50 个 ADCLK	
扫描转换结束延迟时间 (注3)	t_{ED}	1 个 PCLK+ 2 个 ADCLK	1 个 PCLK+ 2 个 ADCLK	1 个 PCLK+ 2 个 ADCLK	

【符号说明】PCLK：模块时钟，ADCLK：A/D 转换时钟

注 1. 有关外部触发输入时序，请参照“41. 电特性”。

注 2. 这是从软件写或者触发输入到开始 A/D 转换为止的最长时间。

注 3. 这是从 A/D 转换结束开始到发生 A/D 转换结束中断为止的时间。

34.3.5 A/D 数据寄存器 n (ADDRn) 的自动清除功能的使用例子

通过将 ADCER.ACE 位置“1”，能在通过 CPU、DTC 或者 DMACA 读 A/D 数据寄存器 n (ADDRn) 时自动将 ADDRn 寄存器置“0000h”。

通过使用自动清除功能，能检测到 ADDRn 寄存器未更新的故障。

ADDRn 寄存器的自动清除功能无效和有效时的例子如下所示：

当 ADCER.ACE 位为“0”（禁止自动清除）时，如果因某种原因而没有将 A/D 转换结果（0222h）写到 ADDRn，旧的数据（0111h）就为 ADDRn 寄存器的值。如果使用 A/D 转换结束中断将此 ADDRn 寄存器的值读到通用寄存器，就能将旧的数据（0111h）保存到通用寄存器等。但是，在进行未更新的检查时，需要边将旧的数据逐个保存到 RAM 或者通用寄存器边进行检查。

当 ADCER.ACE 位为“1”（允许自动清除）时，在通过 CPU、DTC 或者 DMACA 读 ADDRn 的“0111h”时，ADDRn 寄存器自动变为“0000h”。此后，如果因某种原因而无法将 A/D 转换结果“0222h”传送到 ADDRn 寄存器，就将被清除的数据（0000h）留作 ADDRn 寄存器的值。此时，如果使用 A/D 转换结束中断将此 ADDRn 寄存器的值读到通用寄存器等，就将“0000h”保存到通用寄存器等。只要检查到读取的数值为“0000h”，就能判断 ADDRn 寄存器有未更新的故障。

34.3.6 A/D 转换值加法运算功能

连续 2 ~ 4 次对相同通道进行 A/D 转换，并且将转换值的合计保存到 A/D 数据寄存器 n (ADDRn)。使用此结果的平均值，根据干扰成分能提高 A/D 转换精度，但是不能保证 A/D 转换精度一定能提高。

34.3.7 通过外部触发开始的扫描转换

能通过输入外部触发来开始扫描转换。在使用外部触发开始扫描转换时，通过 PFCR 寄存器设定引脚功能，在将 A/D 开始触发选择寄存器 (ADSTRGR) 置“00h”并且给 ADTRG0# 引脚输入 High 电平后，将 ADCSR.TRGE 位置“1”并且将 ADCSR.EXTRG 位置“1”。外部触发输入时序如图 34.5 所示。

引脚功能的设定请参照“17. I/O 端口”。

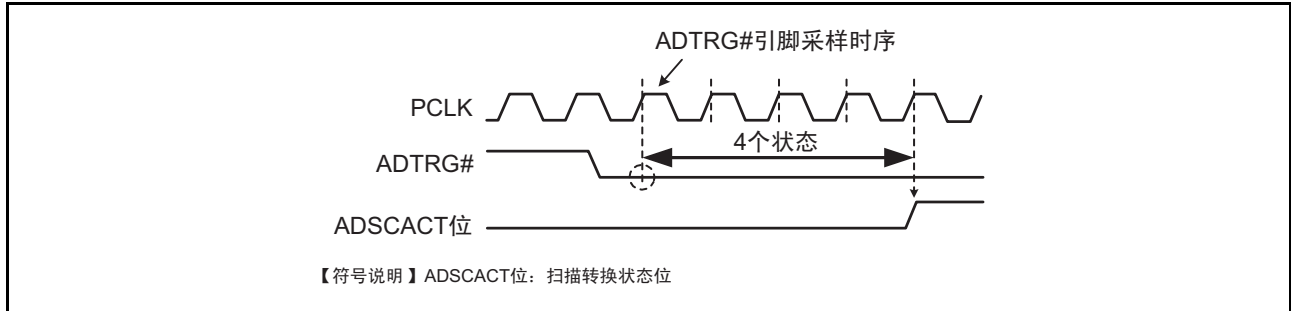


图 34.5 外部触发输入时序

34.3.8 通过外围模块的触发开始的扫描转换

能通过 MTU 或者 TMR 的定时器触发来开始扫描转换。在通过定时器触发开始扫描转换时，将 ADCSR.TRGE 位置“1”，将 ADCSR.EXTRG 位置“0”并且通过 ADSTRGR.ADSTRS[3:0] 位设定为对应的 A/D 转换开始源。

34.3.8.1 通过 MTU 的 TRG0AN_0 和 TRG0BN_0 开始的 A/D 转换

能通过 MTU (单元 0) 通道 0 的 TGRA 的输入捕捉 / 比较匹配，产生触发信号 TRG0AN_0，开始 A/D 转换。

能通过 MTU (单元 0) 通道 0 的 TGRB 的输入捕捉 / 比较匹配，产生触发信号 TRG0BN_0，开始 A/D 转换。

MTU (单元 0) 的 TRG0AN_0 输出和 TRG0BN_0 输出与 A/D 转换器的连接关系如图 34.6 所示。

在通过 MTU (单元 0) 通道 0 的 TGRA 的输入捕捉 / 比较匹配来开始 A/D 转换时，将 ADCSR.TRGE 位置“1”，将 ADCSR.EXTRG 位置“0”并且将 ADSTRGR.ADSTRS[3:0] 位置“0001b” (选择开始源 TRG1N 或者对应的触发信号 TRG0AN_0)。

在通过 MTU (单元 0) 通道 0 的 TGRB 的输入捕捉 / 比较匹配来开始 A/D 转换时，将 ADCSR.TRGE 位置“1”，将 ADCSR.EXTRG 位置“0”并且将 ADSTRGR.ADSTRS[3:0] 位置“0010b” (选择开始源 TRG2N 或者对应的触发信号 TRG0BN_0)。

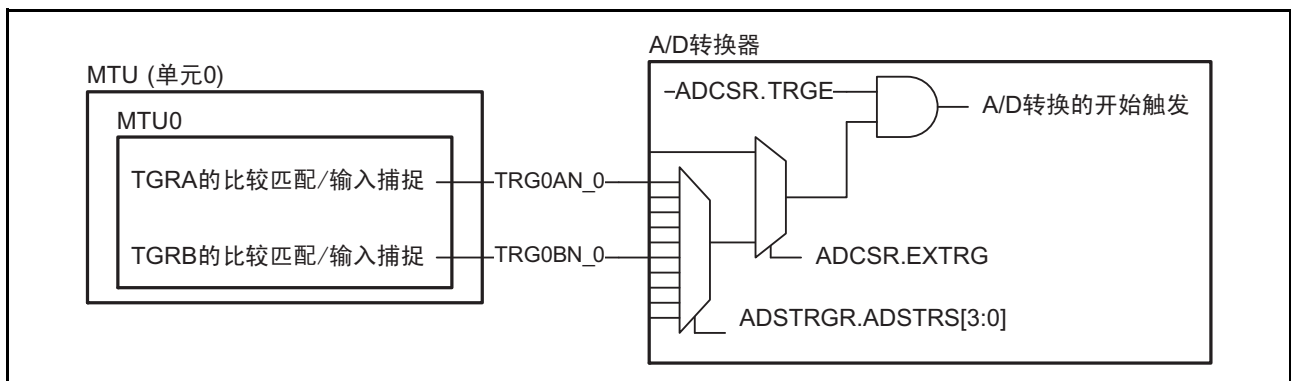


图 34.6 MTU (单元 0) 的 TRG0AN_0 输出和 TRG0BN_0 输出与 A/D 转换器的连接关系

34.3.8.2 通过 MTU 的 TRGAN_0 和 TRGAN_1 开始的 A/D 转换

能通过 MTU (单元 0) 通道 0 ~ 4 的 TRGA 的输入捕捉 / 比较匹配以及互补 PWM 模式中通道 4 的 TCNT 下溢 (波谷), 产生触发信号 TRGAN_0, 开始 A/D 转换。同样, 能通过 MTU (单元 1) 通道 6 ~ 10 的 TRGA 的输入捕捉 / 比较匹配以及互补 PWM 模式中通道 10 的 TCNT 下溢 (波谷), 产生触发信号 TRGAN_1, 开始 A/D 转换。MTU (单元 0 和单元 1) 的 TRGAN_0 输出和 TRGAN_1 输出与 A/D 转换器的连接关系如图 34.7 所示。

在通过 MTU (单元 0) 通道 0 和通道 2 的 TGRA 的输入捕捉 / 比较匹配来开始 A/D 转换时, 将 ADCSR.TRGE 位置“1”, 将 ADCSR.EXTRG 位置“0”, 将 ADSTRGR.ADSTRS[3:0] 位置“0011b” (选择开始源 TRG3N 或者对应的触发信号 TRGAN_0) 并且将 MTU0.TIER.TTGE 位和 MTU2.TIER.TTGE 位置“1”。

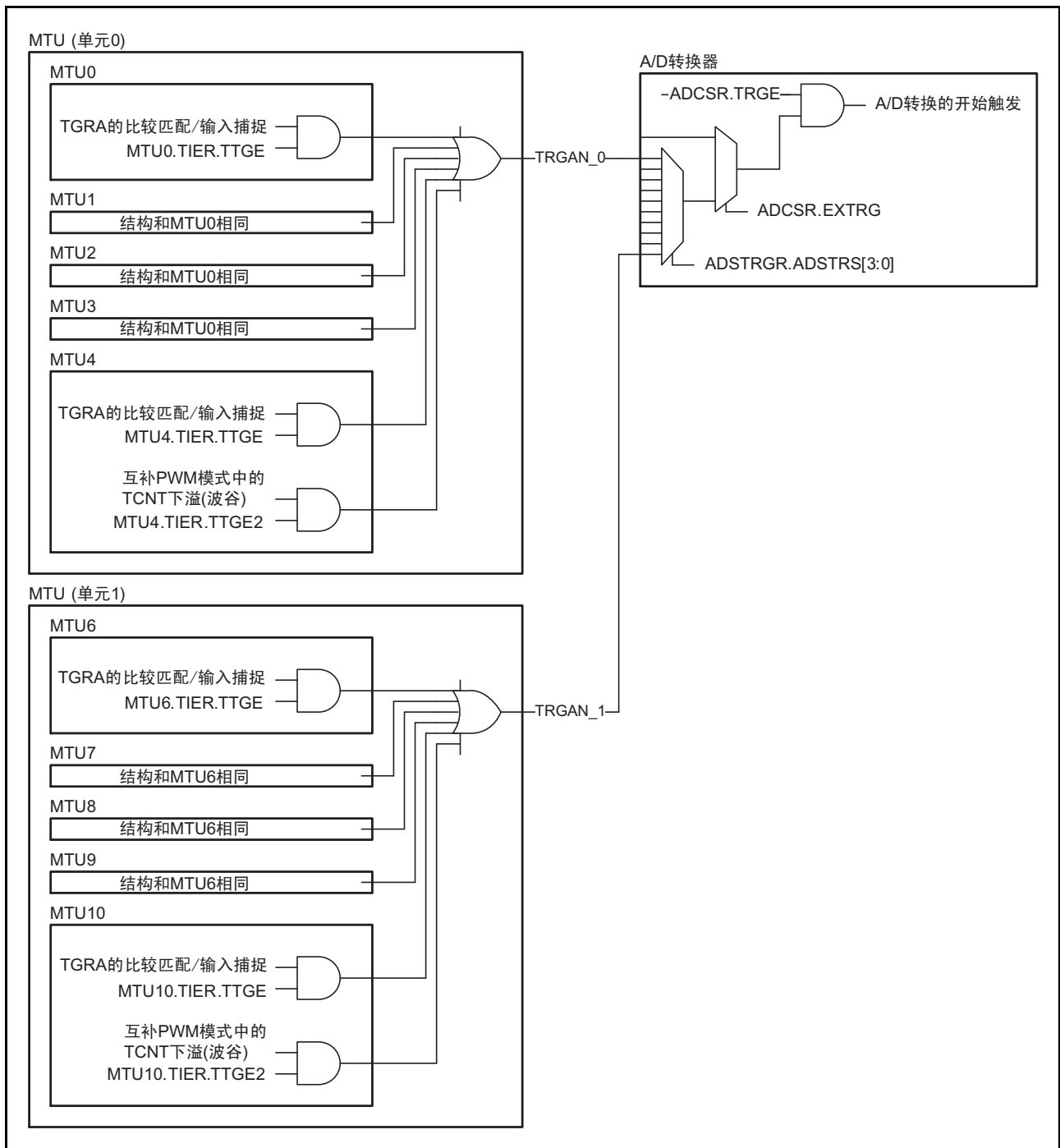


图 34.7 MTU (单元 0 和单元 1) 的 TRGAN_0 输出和 TRGAN_1 输出与 A/D 转换器的连接关系

34.3.8.3 通过 MTU 的 TRG0EN_0 和 TRG0FN_0 开始的 A/D 转换

能通过 MTU (单元 0) 通道 0 的 TGRE 的比较匹配, 产生触发信号 TRG0EN_0, 开始 A/D 转换。还能通过 MTU (单元 0) 通道 0 的 TGRF 的比较匹配, 产生触发信号 TRG0FN_0, 开始 A/D 转换。

MTU (单元 0) 的 TRG0EN_0 输出和 TRG0FN_0 输出与 A/D 转换器的连接关系如图 34.8 所示。

在通过 MTU (单元 0) 通道 0 的 TGRE 的比较匹配来开始 A/D 转换时, 将 ADCSR.TRGE 位置“1”, 将 ADCSR.EXTRG 位置“0”并且将 ADSTRGR.ADSTRS[3:0] 位置“0101b” (选择开始源 TRG5N 或者对应的触发信号 TRG0EN_0)。

在通过 MTU (单元 0) 通道 0 的 TGRF 的比较匹配来开始 A/D 转换时, 将 ADCSR.TRGE 位置“1”, 将 ADCSR.EXTRG 位置“0”并且将 ADSTRGR.ADSTRS[3:0] 位置“0110b” (选择开始源 TRG6N 或者对应的触发信号 TRG0FN_0)。

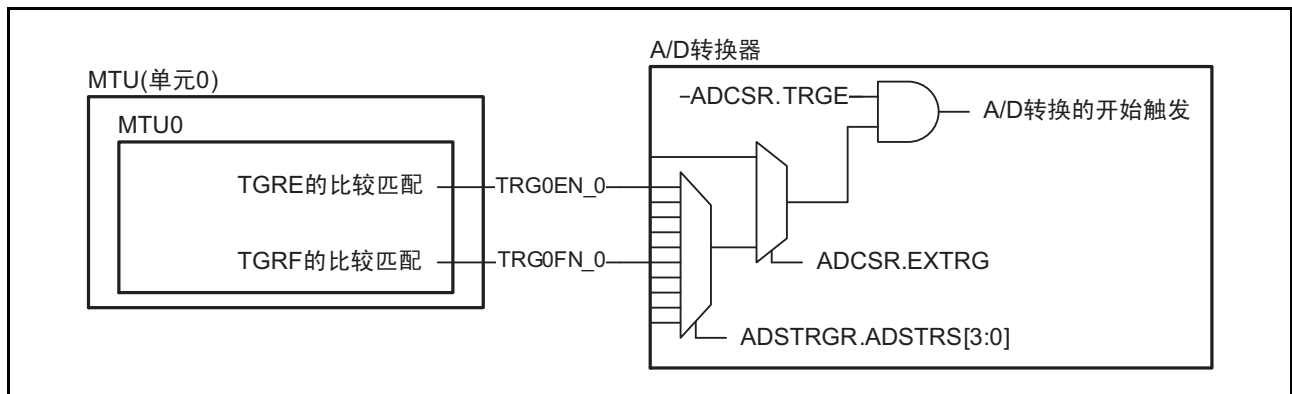


图 34.8 MTU (单元 0) 的 TRG0EN_0 输出和 TRG0FN_0 输出与 A/D 转换器的连接关系

34.3.8.4 通过 MTU 的 TRG4ABN_0 和 TRG4ABN_1 开始的 A/D 转换

通过使用 MTU (单元 0) 通道 4 的 A/D 转换开始请求延迟功能的比较匹配, 产生触发信号 TRG4ABN_0, 开始 A/D 转换。同样, 通过使用 MTU (单元 1) 通道 10 的 A/D 转换开始请求延迟功能的比较匹配, 产生触发信号 TRG4ABN_1, 开始 A/D 转换。

MTU (单元 0 和单元 1) 的 TRG4ABN_0 输出和 TRG4ABN_1 输出与 A/D 转换器的连接关系如图 34.9 所示。

在使用 MTU (单元 0) 通道 4 的 A/D 转换开始请求延迟功能并且通过 TADCORA 和 TCNT 的递增计数的比较匹配开始 A/D 转换时, 将 ADCSR.TRGE 位置“1”, 将 ADCSR.EXTRG 位置“0”, 将 ADSTRGR.ADSTRS[3:0] 位置“0111b” (选择开始源 TRG7N 或者对应的触发信号 TRG4ABN_0), 给 MTU4.TADCOBRA/B 和 MTU4.TADCORA/B 设定周期并且将 MTU4.TADCR.UT4AE 位置“1”。

有关 A/D 转换开始请求延迟功能的详细内容, 请参照“18.3.9 A/D 转换开始请求的延迟功能”。

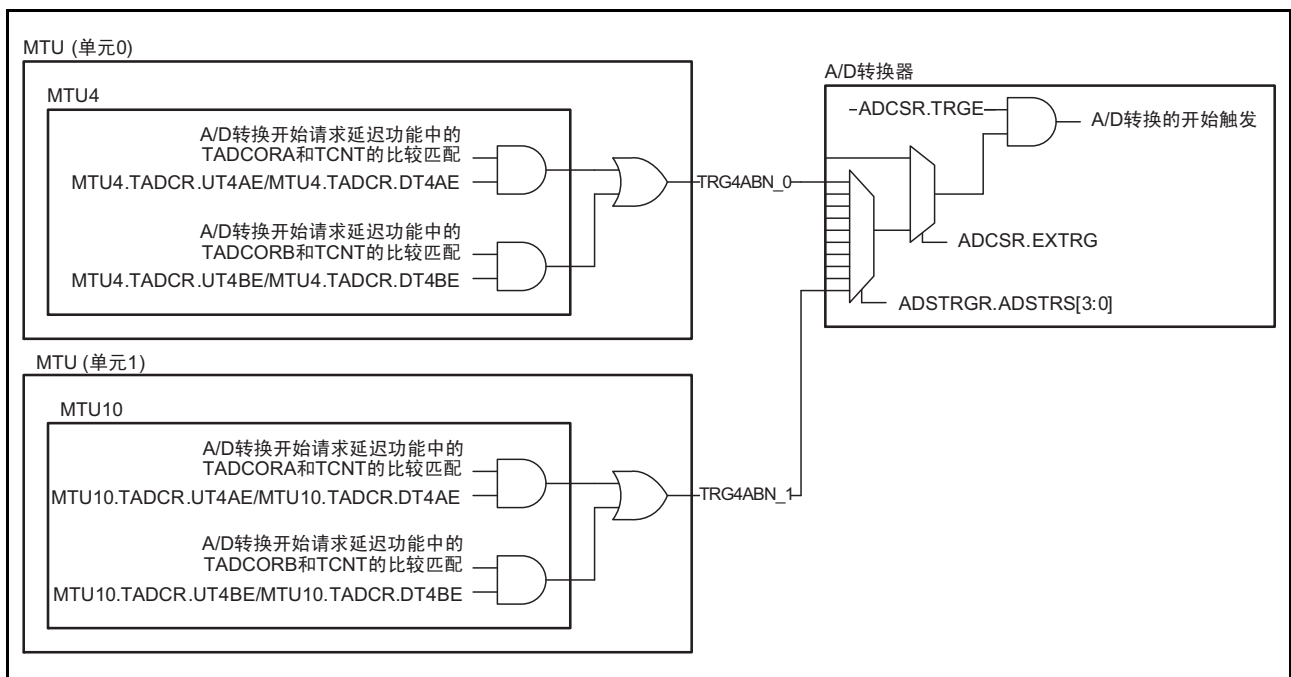


图 34.9 MTU (单元 0 和单元 1) 的 TRG4ABN_0 输出和 TRG4ABN_1 输出与 A/D 转换器的连接关系

34.3.8.5 通过 TMR 的 TMTRG0AN_0 和 TMTRG0AN_1 开始的 A/D 转换

能通过 TMR (单元 0) 通道 0 的 TCORA 的比较匹配 (比较匹配 A), 开始 A/D 转换。同样, 能通过 TMR (单元 1) 通道 2 的 TCORA 的比较匹配 (比较匹配 A), 开始 A/D 转换。

TMR (单元 0 和单元 1) 的 TMTRG0AN_0 输出和 TMTRG0AN_1 输出与 A/D 转换器的连接关系如图 34.10 所示。

在通过 TMR (单元 0) 通道 0 的 TCORA 的比较匹配 (比较匹配 A) 开始 A/D 转换时, 将 ADCSR.TRGE 位置“1”, 将 ADCSR.EXTRG 位置“0”, 将 ADSTRGR.ADSTRS[3:0] 位置“1001b” (选择开始源 TRG9N 或者对应的触发信号 TMTRG0AN_0) 并且将 TMR0.TCSR.ADTE 置“1”。

在通过 TMR (单元 1) 通道 2 的 TCORA 的比较匹配 (比较匹配 A) 开始 A/D 转换时, 将 ADCSR.TRGE 位置“1”, 将 ADCSR.EXTRG 位置“0”, 将 ADSTRGR.ADSTRS[3:0] 位置“1010b” (选择开始源 TRG10N 或者对应的触发信号 TMTRG0AN_1) 并且将 TMR2.TCSR.ADTE 置“1”。

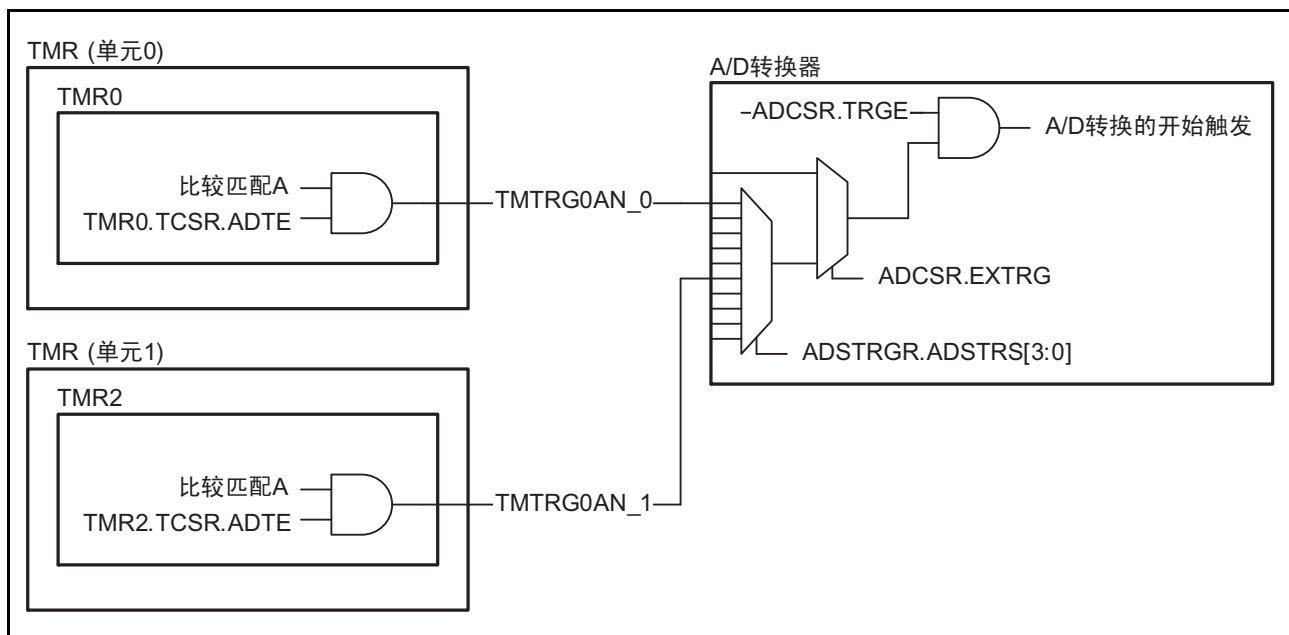


图 34.10 TMR (单元 0 和单元 1) 的 TMTRG0AN_0 输出和 TMTRG0AN_1 输出与 A/D 转换器的连接关系

34.4 中断源和 DMA 传送请求

34.4.1 各扫描转换结束时的中断请求

A/D 转换器能向 CPU 产生扫描转换结束中断请求 (S12ADI0 中断)。

如果将 ADCSR.ADIE 位置“1”，就能允许 S12ADI0 中断；如果置“0”，就能禁止 S12ADI0 中断。

能在发生 S12ADI0 中断时启动 DTC 或者 DMACA。如果通过 DMACA 读 S12ADI0 中断的转换数据，就能实现连续转换而没有软件负担。

DTC 和 DMACA 的设定请分别参照“16. 数据传送控制器 (DTCa)”和“14. DMA 控制器 (DMACA)”。

34.5 使用时的注意事项

34.5.1 12 位 A/D 转换器和 10 位 A/D 转换器的选择

通过模块停止控制寄存器 A 的 MSTPCRA.MSTPA23、MSTPCRA.MSTPA22 和 MSTPCRA.MSTPA17 位选择 12 位 A/D 转换器和 10 位 A/D 转换器。

如果将 MSTPCRA.MSTPA17 位置“0”，就能选择 12 位 A/D 转换器。

如果将 MSTPCRA.MSTPA23 位和 MSTPCRA.MSTPA22 位置“0”，就能选择 10 位 A/D 转换器。

如果同时给 MSTPCRA.MSTPA23 位、MSTPCRA.MSTPA22 位和 MSTPCRA.MSTPA17 位写“0”，MSTPCRA.MSTPA17 位的设定就有效，但是 MSTPCRA.MSTPA23 位和 MSTPCRA.MSTPA22 位的设定无效，所以不能选择 10 位 A/D 转换器。

详细内容请参照“9. 低功耗功能”的“9.2.2 模块停止控制寄存器 A (MSTPCRA)”。

34.5.2 模块停止功能的设定

能通过模块停止控制寄存器设定禁止或者允许 A/D 转换器的运行，初始值为停止 A/D 转换器的运行。能通过解除模块停止状态，使寄存器变为可存取的状态。在解除模块停止状态后，必须在等待 10ms 后开始 A/D 转换。详细内容请参照“9. 低功耗功能”。

34.5.3 重新开始 A/D 转换时的注意事项

如果通过将 ADCSR.ADST 位置“0”来停止 A/D 转换，就需要 2 个 ADCLK 时钟的时间来停止 A/D 转换器的模拟电路。在将 ADST 位置“1”后开始 A/D 转换时，需要 3 个 ADCLK 时钟的时间。

34.5.4 停止 A/D 转换时的注意事项

在选择外部触发或者定时器为 A/D 转换开始条件时，为了停止 A/D 转换，必须在将 ADCSR.TRGE 位置“0”并且在选择软件触发为 A/D 转换开始条件后，将 ADCSR.ADST 位置“0”（停止 A/D 转换）。

34.5.5 向低功耗状态转移时的注意事项

必须在停止 A/D 转换的状态下向模块停止模式或者软件待机模式转移。在停止 A/D 转换时，需要确保从 ADCSR.ADST 位被置“0”后到 A/D 转换器的模拟电路停止前的时间。为了确保此时间，必须按照以下步骤进行设定。

必须在将 ADCSR.TRGE 位置“0”（软件触发）并且将 ADCSR.ADST 位置“0”后，将 ADCSR.CKS[1:0] 位置“11b”（PCLK）。此后，必须在确认 A/D 转换已经停止后（停止前至少需要 6 个 PCLK 的时间）转移到模块停止状态或者软件待机模式。

34.5.6 解除软件待机模式时的注意事项

在解除软件待机模式后，必须在经过晶体振荡稳定时间或者 PLL 电路的稳定时间后再等待 10ms，然后开始 A/D 转换。详细内容请参照“9. 低功耗功能”。

34.5.7 同时使用 A/D 转换器和 D/A 转换器时的注意事项

因为 A/D 转换器和 D/A 转换器使用相同的电源，所以如果同时使用，就可能影响 A/D 转换精度。

如果在 A/D 转换过程中进行以下设定，就可能降低约 2LSB 的精度：

- 在 A/D 转换过程中改写了 D/A 转换器的 D/A 数据寄存器 m (DADRm) 时
- 在 A/D 转换过程中并且 D/A 转换器的 DADRm 寄存器不是“00h”的情况下改写了 D/A 控制寄存器 (DACR) 时

如果因这些设定而影响转换精度，就必须实施以下的任意一个对策：

1. 必须通过程序对 A/D 转换结果进行平均处理。

平均处理例子：对同一引脚连续进行 4 次 AD 转换，在去掉 A/D 转换结果的最大值和最小值后，算出剩余 2 个值的平均值。

2. 必须放弃转换过程中的 A/D 转换结果。
3. 必须在将 D/A 转换器的 DADRm 寄存器值置“00h”的状态下改写 D/A 转换器的 DACR 寄存器。

35. 10 位 A/D 转换器 (ADa)

35.1 概要

RX62N 群和 RX621 群内置 2 个单元 (单元 0 和单元 1) 的逐次逼近方式的 10 位 A/D 转换器, 各单元最多能选择 4 个通道的模拟输入。

A/D 转换器的运行模式有对 1 个通道的模拟输入只进行 1 次转换的单次模式, 以及对最多 4 个通道的模拟输入依次进行连续转换的扫描模式。

A/D 转换器的规格以及各单元的比较概要分别如表 35.1 和表 35.2 所示, 各单元的框图如图 35.1 ~ 图 35.2 所示。

能单独使用 12 位 A/D 转换器和 10 位 A/D 转换器并且通过模块停止控制寄存器 A 的 MSTPCRA.MSTPA23 位、MSTPCRA.MSTPA22 位和 MSTPCRA.MSTPA17 位进行选择。

表 35.1 A/D 转换器的规格

项目	规格
单元数	2 个单元
输入通道	各单元有 4 个通道 (共 8 个通道)。
A/D 转换方式	逐次逼近方式
分辨率	10 位
转换时间	每个通道 1.0 μ s (外围模块时钟, 以 PCLK=50MHz 进行工作时)
A/D 转换时钟	4 种: PCLK、PCLK/2、PCLK/4、PCLK/8
运行模式	<ul style="list-style-type: none"> • 单次模式: 对 1 个通道的模拟输入只进行 1 次转换。 • 扫描模式 连续扫描模式: 重复转换最多 4 个通道的模拟输入。 1 个周期扫描模式: 对最多 4 个通道的模拟输入只进行 1 个周期的转换。
A/D 转换开始条件	<ul style="list-style-type: none"> • 软件触发 • 多功能定时器脉冲单元 (MTU) 或者 8 位定时器 (TMR) 触发 • 外部触发 能通过各单元的 ADTRGn# 引脚开始 A/D 转换。
功能	<ul style="list-style-type: none"> • 采样 & 保持功能 • 采样状态数的可变功能 • A/D 转换器的自诊断功能
中断源	<ul style="list-style-type: none"> • 各单元在 A/D 转换结束时产生 ADC 中断请求 (ADI)。 • 能通过 ADI 中断来启动数据传送控制器 (DTC) 和 DMA 控制器 (DMACA)。
低功耗功能	各单元能设定为模块停止状态。

表 35.2 各单元的比较概要

项目		功能				
		内部触发源		单元 0 (AD0)	单元 1 (AD1)	
模拟输入通道				AN0 AN1 AN2 AN3	AN4 AN5 AN6 AN7	
A/D 转换 开始条件 (注 1)	软件	软件触发		○	○	
	外部触发	ADTRG0#		○	—	
		ADTRG1#		—	○	
	内部触发 (MTU、 TMR) (注 3)	TRG0AN_0	MTU0.TGRA 和 MTU0.TCNT	输入捕捉 / 比较匹配	○	—
		TRG0BN_0	MTU0.TGRB 和 MTU0.TCNT	输入捕捉 / 比较匹配	—	○
		TRGAN_0	MTU0.TGRA 和 MTU0.TCNT	输入捕捉 / 比较匹配	○	○
			MTU1.TGRA 和 MTU1.TCNT			
			MTU2.TGRA 和 MTU2.TCNT			
			MTU3.TGRA 和 MTU3.TCNT			
			MTU4.TGRA 和 MTU4.TCNT			
		MTU4.TCNT	互补 PWM 模式中的 TCNT 下溢 (波谷)			
		TRGAN_1	MTU6.TGRA 和 MTU6.TCNT	输入捕捉 / 比较匹配	○	○
			MTU7.TGRA 和 MTU7.TCNT			
MTU8.TGRA 和 MTU8.TCNT						
MTU9.TGRA 和 MTU9.TCNT						
MTU10.TGRA 和 MTU10.TCNT						
MTU10.TCNT	互补 PWM 模式中的 TCNT 下溢 (波谷)	○	○			
TRG4ABN_0	MTU4.TADCORA 和 MTU4.TCNT 或者 MTU4.TADCORB 和 MTU4.TCNT	使用 A/D 转换开始请求 延迟功能的比较匹配	○	○		
TRG4ABN_1	MTU10.TADCORA 和 MTU10.TCNT 或者 MTU10.TADCORB 和 MTU10.TCNT	使用 A/D 转换开始请求 延迟功能的比较匹配	○	○		
TMTRG0AN_0	MTU0.TCORA 和 MTU0.TCNT	比较匹配	○	○		
中断				ADI0	ADI1	
模块停止功能的设定 (注 2)				MSTPCRA. MSTPA23 位	MSTPCRA. MSTPA22 位	

【符号说明】○：能，—：不能

注 1. 各单元能选择 A/D 转换开始条件。

注 2. 详细内容请参照“9. 低功耗功能”。

注 3. 内部触发里的“0”和“1”表示单元号。有关用于输出内部触发的设定，请参照“18.4.3 A/D 转换器的启动”和“21.6.2 A/D 转换器的启动”。

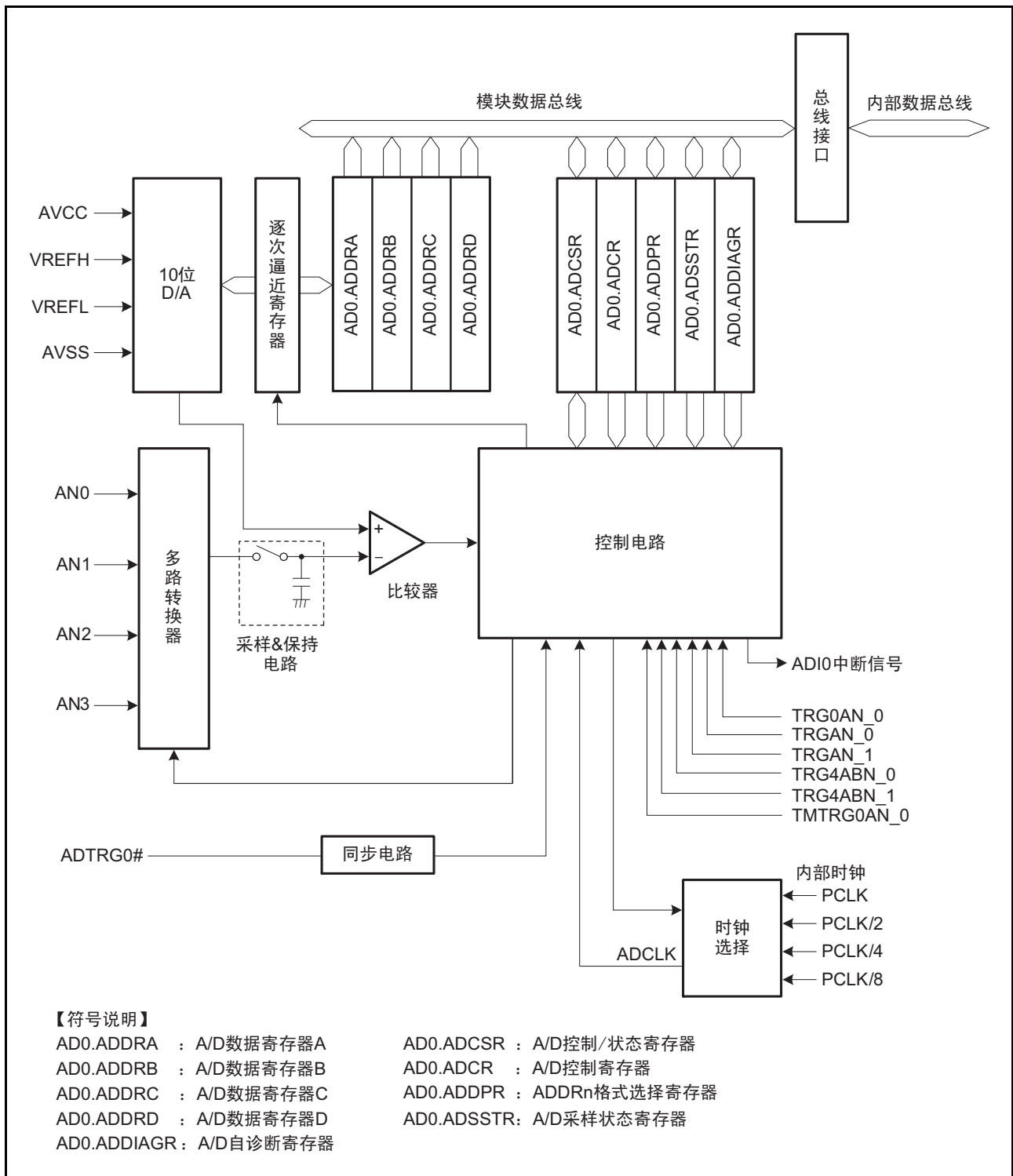


图 35.1 A/D 转换器 (单元 0/AD0) 的框图

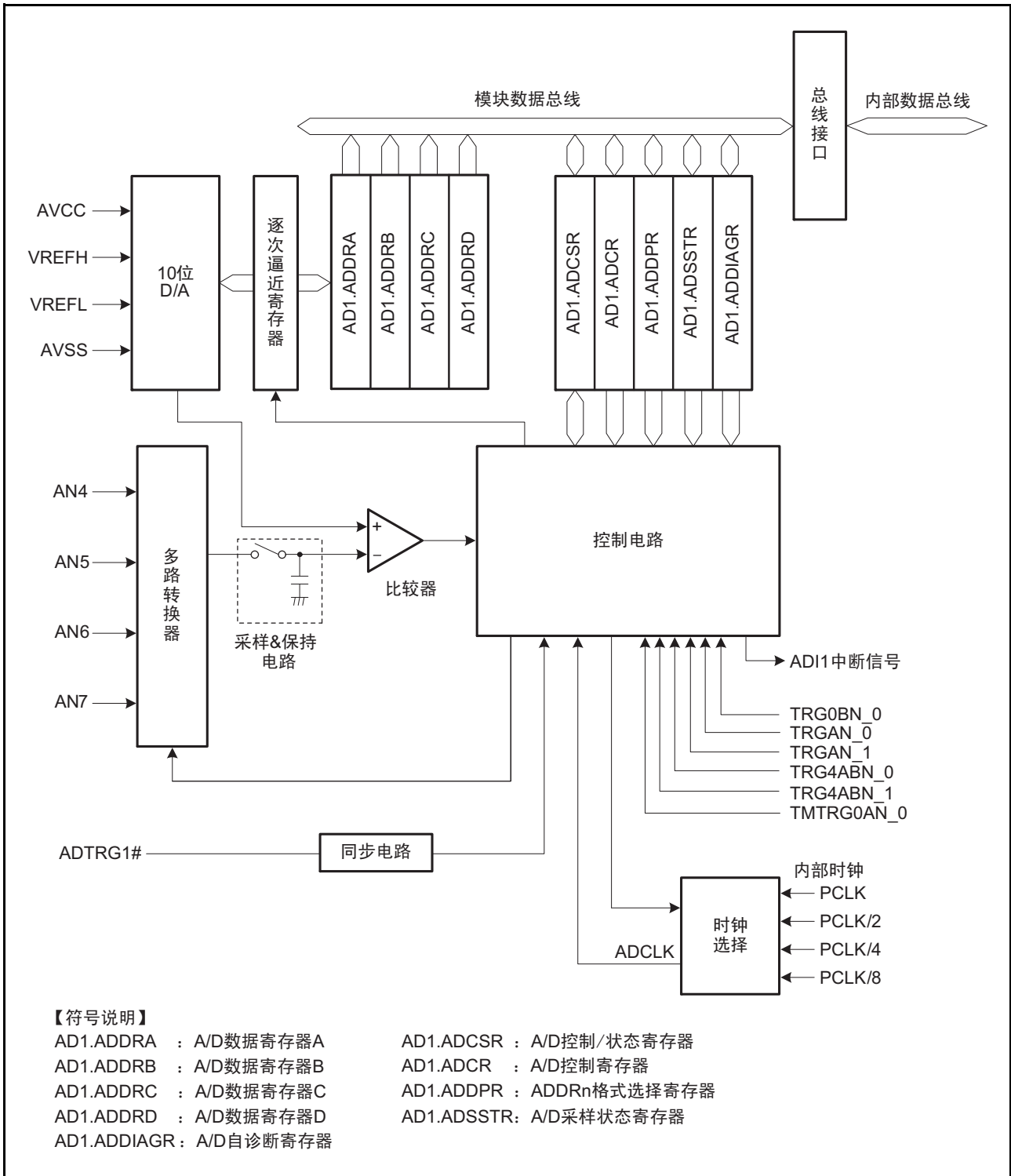


图 35.2 A/D 转换器 (单元 1/AD1) 的框图

A/D 转换器使用的输入引脚如表 35.3 所示。

表 35.3 A/D 转换器的输入引脚

单元	模块符号	引脚名	输入	功能
0	AD0	AN0 ~ AN3	输入	模拟输入引脚
		ADTRG0#	输入	用于开始 A/D 转换的外部触发输入引脚
1	AD1	AN4 ~ AN7	输入	模拟输入引脚
		ADTRG1#	输入	用于开始 A/D 转换的外部触发输入引脚
通用		AVCC	输入	模拟电路的电源引脚
		AVSS	输入	模拟电路的接地引脚
		VREFH	输入	A/D 转换器的基准电源引脚
		VREFL	输入	A/D 转换器的基准电源接地引脚 必须连接模拟基准电源 (0V)。

35.2 寄存器说明

A/D 转换器的寄存器一览表如表 35.4 所示。

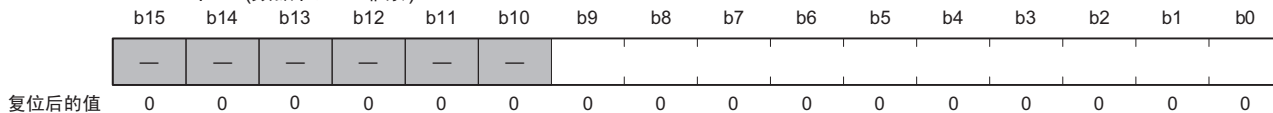
表 35.4 A/D 转换器的寄存器一览表

单元	模块符号	寄存器名	寄存器符号	复位后的值	地址	存取长度
0	AD0	A/D 数据寄存器 A	ADDRA	0000h	0008 8040h	16
		A/D 数据寄存器 B	ADDRB	0000h	0008 8042h	16
		A/D 数据寄存器 C	ADDRC	0000h	0008 8044h	16
		A/D 数据寄存器 D	ADDRD	0000h	0008 8046h	16
		A/D 控制 / 状态寄存器	ADCSR	x0h	0008 8050h	8
		A/D 控制寄存器	ADCR	00h	0008 8051h	8
		ADDRn 格式选择寄存器	ADDPN	00h	0008 8052h	8
		A/D 采样状态寄存器	ADSSTR	19h	0008 8053h	8
		A/D 自诊断寄存器	ADDIAGR	00h	0008 805Fh	8
1	AD1	A/D 数据寄存器 A	ADDRA	0000h	0008 8060h	16
		A/D 数据寄存器 B	ADDRB	0000h	0008 8062h	16
		A/D 数据寄存器 C	ADDRC	0000h	0008 8064h	16
		A/D 数据寄存器 D	ADDRD	0000h	0008 8066h	16
		A/D 控制 / 状态寄存器	ADCSR	x0h	0008 8070h	8
		A/D 控制寄存器	ADCR	00h	0008 8071h	8
		ADDRn 格式选择寄存器	ADDPN	00h	0008 8072h	8
		A/D 采样状态寄存器	ADSSTR	19h	0008 8073h	8
		A/D 自诊断寄存器	ADDIAGR	00h	0008 807Fh	8

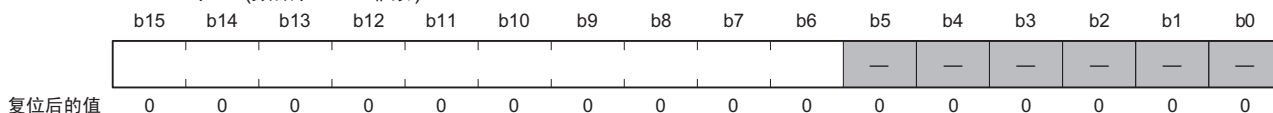
35.2.1 A/D 数据寄存器 n (ADDRn) (n=A ~ D)

地址 AD0.ADDRA 0008 8040h、AD0.ADDRB 0008 8042h、AD0.ADDRC 0008 8044h、AD0.ADDRD 0008 8046h
 AD1.ADDRA 0008 8060h、AD1.ADDRB 0008 8062h、AD1.ADDRC 0008 8064h、AD1.ADDRD 0008 8066h

- ADDPR.DPSEL 位=0(数据往LSB靠紧)



- ADDPR.DPSEL 位=1(数据往MSB靠紧)



ADDRn 寄存器是保存 A/D 转换结果的 16 位只读寄存器。

模拟输入通道和 ADDRn 寄存器的对应如表 35.5 所示。

能通过设定 ADDPR.DPSEL 位，更改 10 位数据的排列。

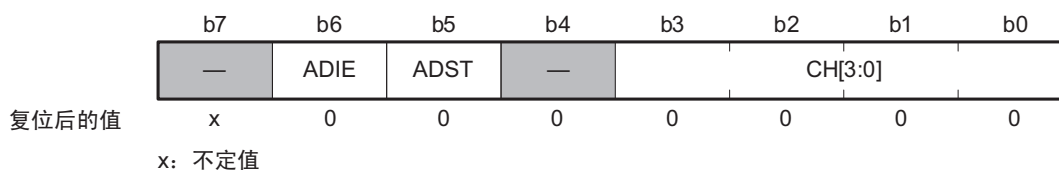
“—” 的位的读写值都为“0”。

表 35.5 模拟输入通道和 ADDRn 寄存器的对应

模拟输入通道	ADDRn 寄存器
AN0	AD0.ADDRA
AN1	AD0.ADDRB
AN2	AD0.ADDRC
AN3	AD0.ADDRD
AN4	AD1.ADDRA
AN5	AD1.ADDRB
AN6	AD1.ADDRC
AN7	AD1.ADDRD

35.2.2 A/D 控制 / 状态寄存器 (ADCSR)

地址 AD0.ADCSR 0008 8050h、AD1.ADCSR 0008 8070h



位	符号	位名	功能		R/W	
b3-b0	CH[3:0]	通道选择位 (注1)	单元	单次模式 (ADCR.MODE[1:0] 位 为“00b”)	扫描模式 (ADCR.MODE[1:0] 位 为“10b”或者“11b”)	R/W
			单元 0	b3 b0 0 0 0 0: AN0 0 0 0 1: AN1 0 0 1 0: AN2 0 0 1 1: AN3 上述以外: 不能设定	b3 b0 0 0 0 0: AN0 0 0 0 1: AN0、AN1 0 0 1 0: AN0 ~ AN2 0 0 1 1: AN0 ~ AN3 上述以外: 不能设定	
			单元 1	b3 b0 0 0 0 0: AN4 0 0 0 1: AN5 0 0 1 0: AN6 0 0 1 1: AN7 上述以外: 不能设定	b3 b0 0 0 0 0: AN4 0 0 0 1: AN4、AN5 0 0 1 0: AN4 ~ AN6 0 0 1 1: AN4 ~ AN7 上述以外: 不能设定	
b4	—	保留位	读写值都为“0”。		R/W	
b5	ADST	A/D 开始位	0: 停止 A/D 转换 1: 开始 A/D 转换		R/W	
b6	ADIE	A/D 中断允许位	0: 禁止由 A/D 转换结束引起的 ADI 中断 1: 允许由 A/D 转换结束引起的 ADI 中断		R/W	
b7	—	保留位	读取值为不定值, 只能写“1”。		R/W	

注 1. 必须将用作模拟输入引脚的 PORTn.DDR.Bj 位置“0” (输入端口) 并且将 PORTn.ICR.Bj 位置“0” (对应引脚的输入缓冲器无效, 输入信号固定为 High 电平)。详细内容请参照“17. I/O 端口”。(n=4, j=7 ~ 0)

ADCSR 寄存器是控制 A/D 转换的寄存器。

CH[3:0] 位 (通道选择位)

这些位选择进行 A/D 转换的模拟输入通道。

- 单次模式 (ADCR.MODE[1:0] 位为“00b”)
 - 选择 1 个进行 A/D 转换的模拟输入通道。
- 扫描模式 (ADCR.MODE[1:0] 位为“10b”或者“11b”)
 - 最多选择 4 个进行 A/D 转换的模拟输入通道。

ADST 位 (A/D 开始位)

此位控制 A/D 转换的开始或者停止。

必须在将 ADST 位置“1”前设定 A/D 转换时钟和运行模式。

[为“1”的条件]

- 通过软件写“1”时
- 检测到 ADCR.TRGS[2:0] 位所选的触发时

[为“0”的条件]

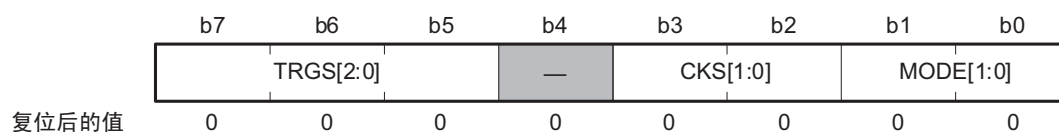
- 通过软件写“0”时
- 在单次模式中 A/D 转换结束时
- 在 1 个周期扫描模式中所选通道的 A/D 转换全部结束时

ADIE 位 (A/D 中断允许位)

此位允许或者禁止由 A/D 转换结束引起的 ADI 中断。

35.2.3 A/D 控制寄存器 (ADCR)

地址 AD0.ADCR 0008 8051h、AD1.ADCR 0008 8071h



位	符号	位名	功能	R/W						
b1-b0	MODE[1:0]	运行模式选择位	b1 b0 0 0: 单次模式 0 1: 不能设定 1 0: 连续扫描模式 1 1: 1 个周期扫描模式	R/W						
b3-b2	CKS[1:0]	时钟选择位	b3 b2 0 0: PCLK/8 0 1: PCLK/4 1 0: PCLK/2 1 1: PCLK	R/W						
b4	—	保留位	读写值都为“0”。	R/W						
b7-b5	TRGS[2:0]	触发选择位	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>单元</th> <th>触发信号</th> </tr> </thead> <tbody> <tr> <td>单元 0</td> <td>b7 b5 0 0 0: 软件触发 0 0 1: TRGAN_0 0 1 0: TMTRG0AN_0 0 1 1: ADTRG0# (注1) 的触发 1 0 0: TRG0AN_0 1 0 1: TRGAN_1 1 1 0: TRG4ABN_0 1 1 1: TRG4ABN_1</td> </tr> <tr> <td>单元 1</td> <td>b7 b5 0 0 0: 软件触发 0 0 1: TRGAN_0 0 1 0: TMTRG0AN_0 0 1 1: ADTRG1# (注1) 的触发 1 0 0: TRG0BN_0 1 0 1: TRGAN_1 1 1 0: TRG4ABN_0 1 1 1: TRG4ABN_1</td> </tr> </tbody> </table>	单元	触发信号	单元 0	b7 b5 0 0 0: 软件触发 0 0 1: TRGAN_0 0 1 0: TMTRG0AN_0 0 1 1: ADTRG0# (注1) 的触发 1 0 0: TRG0AN_0 1 0 1: TRGAN_1 1 1 0: TRG4ABN_0 1 1 1: TRG4ABN_1	单元 1	b7 b5 0 0 0: 软件触发 0 0 1: TRGAN_0 0 1 0: TMTRG0AN_0 0 1 1: ADTRG1# (注1) 的触发 1 0 0: TRG0BN_0 1 0 1: TRGAN_1 1 1 0: TRG4ABN_0 1 1 1: TRG4ABN_1	R/W
单元	触发信号									
单元 0	b7 b5 0 0 0: 软件触发 0 0 1: TRGAN_0 0 1 0: TMTRG0AN_0 0 1 1: ADTRG0# (注1) 的触发 1 0 0: TRG0AN_0 1 0 1: TRGAN_1 1 1 0: TRG4ABN_0 1 1 1: TRG4ABN_1									
单元 1	b7 b5 0 0 0: 软件触发 0 0 1: TRGAN_0 0 1 0: TMTRG0AN_0 0 1 1: ADTRG1# (注1) 的触发 1 0 0: TRG0BN_0 1 0 1: TRGAN_1 1 1 0: TRG4ABN_0 1 1 1: TRG4ABN_1									

注 1. 在将 A/D 转换开始的触发设定为 ADTRGm# 时, 必须将对应引脚的 PORTn.DDR.Bj 位置“0” (输入端口) 并且将 PORTn.ICR.Bj 位置“1” (对应引脚的输入缓冲器有效)。详细内容请参照“17. I/O 端口”。
(m=0、1, n=0、1, j=7、3)

ADCR 寄存器设定 A/D 转换的开始触发、运行模式和 A/D 转换时钟。
必须在 ADCSR.ADST 位为“0”时设定 ADCR 寄存器。

MODE[1:0] 位 (运行模式选择位)
这些位选择 A/D 转换的运行模式。

CKS[1:0] 位 (时钟选择位)

这些位设定决定 A/D 转换时间的 A/D 转换时钟 (ADCLK) 的频率。

必须将 ADCLK 的频率设定为大于等于 4MHz。

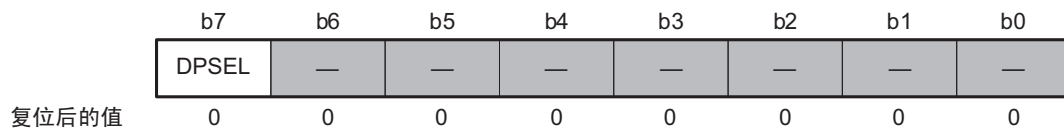
详细内容请参照“35.3.3 输入采样和 A/D 转换时间”。

TRGS[2:0] 位 (触发选择位)

这些位选择 A/D 转换的开始触发。

35.2.4 ADDRn 格式选择寄存器 (ADDPR)

地址 AD0.ADDPR 0008 8052h、AD1.ADDPR 0008 8072h



位	符号	位名	功能	R/W
b6-b0	—	保留位	读写值都为“0”。	R/W
b7	DPSEL	ADDRn 格式选择位	0: 数据往 LSB 靠紧 1: 数据往 MSB 靠紧	R/W

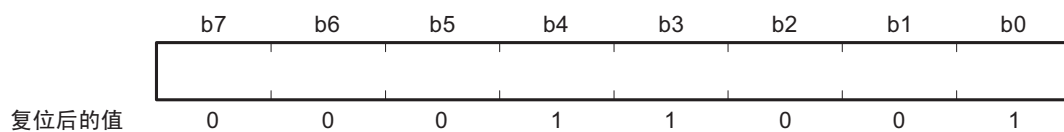
ADDPR 寄存器选择 A/D 数据寄存器的数据排列。

DPSEL 位 (ADDRn 格式选择位)

此位选择 A/D 数据寄存器 n (ADDRn) 的数据是往 LSB 靠紧还是往 MSB 靠紧。

35.2.5 A/D 采样状态寄存器 (ADSSTR)

地址 AD0.ADSSTR 0008 8053h、AD1.ADSSTR 0008 8073h



ADSSTR 寄存器是设定模拟输入的采样时间的 8 位可读写寄存器。

能在模拟输入的信号源阻抗高并且采样时间不够的情况下或者在外围模块时钟 (PCLK) 慢的情况下调整采样时间。

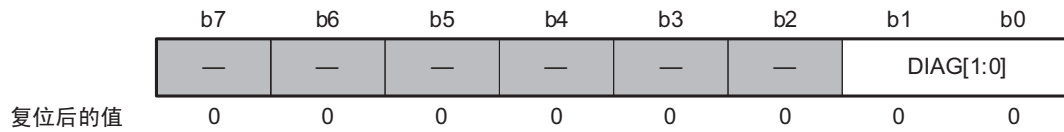
设定值必须大于等于“02h”。

为了避免误动作, 必须在 A/D 转换停止 (ADCSR.ADST 位为“0”) 的状态下进行改写。

详细内容请参照“35.3.3 输入采样和 A/D 转换时间”。

35.2.6 A/D 自诊断寄存器 (ADDIAGR)

地址 AD0.ADDIAGR 0008 805Fh、AD1.ADDIAGR 0008 807Fh



位	符号	位名	功能	R/W
b1-b0	DIAG[1:0]	自诊断位	b1 b0 0 0: 禁止自诊断 0 1: 允许 Vref×0 的电压值的 A/D 转换 1 0: 允许 Vref×1/2 的电压值的 A/D 转换 1 1: 允许 Vref×1 的电压值的 A/D 转换	R/W
b7-b2	—	保留位	读写值都为“0”。	R/W

ADDIAGR 寄存器是设定自诊断功能的寄存器。

必须在 ADCSR.ADST 位为“0”时设定 ADDIAGR 寄存器。

DIAG[1:0] 位 (自诊断位)

自诊断是用于检测 A/D 转换器故障的功能。对内部生成的 Vref×0、Vref×1/2 或者 Vref×1 的电压值进行转换。

要进行自诊断时，必须通过 ADDIAGR.DIAG[1:0] 位选择电压值并且通过以下设定进行 A/D 转换：

- 单次模式 (ADCR.MODE[1:0] 位为“00”)
- 只有模拟输入 AN0 有效 (ADCSR.CH[3:0] 位为“0000”) (注1)。
- 通过软件开始 A/D 转换 (ADCR.TRGS[2:0] 位为“000”)。

如果转换结束，就将转换结果保存到 A/D 数据寄存器 A。此后，通过软件读 ADDRA，判断转换值是在正常范围内 (正常) 还是不在正常范围内 (异常)。自诊断的执行时间和 1 个通道的 A/D 转换时间相同。

注 1. 当对 A/D 转换器 (单元 0) 进行自诊断时，必须选择 AN0 为输入通道；当对 A/D 转换器 (单元 1) 进行自诊断时，必须选择 AN4 为输入通道。此设定的目的是选择保存转换结果的数据寄存器，但是全部模拟输入 (AN0 ~ 7) 为无效状态。

35.3 运行说明

RX62N 群和 RX621 群内置 2 个单元的 A/D 转换器，各单元的功能相同。

以下说明各单元的运行。

A/D 转换器的运行模式有单次模式和扫描模式。

单次模式对指定的 1 个通道的模拟输入只进行 1 次转换。

扫描模式依次连续转换最多 4 个通道的模拟输入。

扫描模式有重复进行 A/D 转换的连续扫描以及对指定的通道只进行 1 个周期 A/D 转换的单周期扫描。

35.3.1 单次模式

单次模式对指定的 1 个通道的模拟输入只进行 1 次 A/D 转换，如下所示：

1. 如果通过软件、MTU、TMR 或者外部触发输入将 ADCSR.ADST 位置“1”（开始 A/D 转换），就开始所选通道的 A/D 转换。
2. 如果 A/D 转换结束，就将 A/D 转换结果保存到对应该通道的 A/D 数据寄存器 n（ADDRn）。
3. 如果在 A/D 转换结束后 ADCSR.ADIE 位为“1”（允许由 A/D 转换结束引起的 ADI 中断），就产生 ADI 中断请求。
4. 在 A/D 转换过程中，ADST 位保持“1”，如果转换结束，此位就自动变为“0”，A/D 转换器进入待机状态。
5. 如果在 A/D 转换过程中将 ADST 位置“0”（停止 A/D 转换），就中止 A/D 转换，A/D 转换器进入待机状态。

选择 AN1 进行模拟输入时的运行例子如图 35.3 所示。

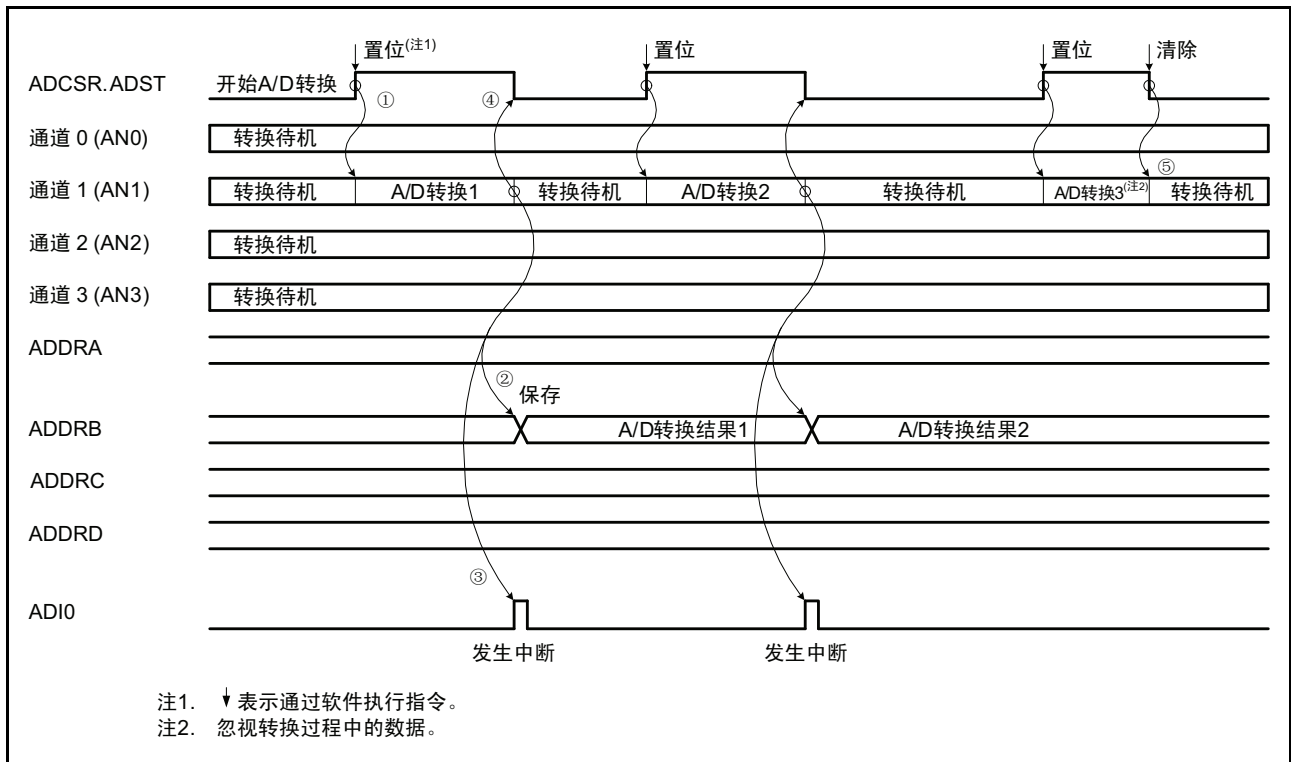


图 35.3 A/D 转换器的运行例子（单次模式）

35.3.2 扫描模式

扫描模式对最多 4 个通道的模拟输入依次连续进行 A/D 转换，如下所示。

扫描模式有重复进行 A/D 转换的连续扫描以及对指定的通道只进行 1 个周期 A/D 转换的单周期扫描。

35.3.2.1 连续扫描模式

连续扫描模式对指定通道的模拟输入重复进行 A/D 转换，如下所示：

1. 如果通过软件、MTU、TMR 或者外部触发输入使 ADCSR.ADST 位变为“1”（开始 A/D 转换），就从所选通道中通道号小的通道开始 A/D 转换。
2. 如果 A/D 转换结束，就将 A/D 转换结果保存到对应的 A/D 数据寄存器 n（ADDRn）。
3. 如果在所选通道的 A/D 转换全部结束后 ADCSR.ADIE 位为“1”（允许由 A/D 转换结束引起的 ADI 中断），就产生 ADI 中断请求。A/D 转换器就从通道号小的通道开始 A/D 转换。
4. ADST 位不自动变为“0”，而在为“1”的期间重复 2.~3.。如果将 ADST 位置“0”（停止 A/D 转换），就中止 A/D 转换并且 A/D 转换器进入待机状态。
5. 此后，如果将 ADST 位置“1”（开始 A/D 转换），就重新从通道号小的通道开始 A/D 转换。

选择 AN0 ~ AN2 的 3 个通道进行模拟输入时的运行例子如图 35.4 所示。

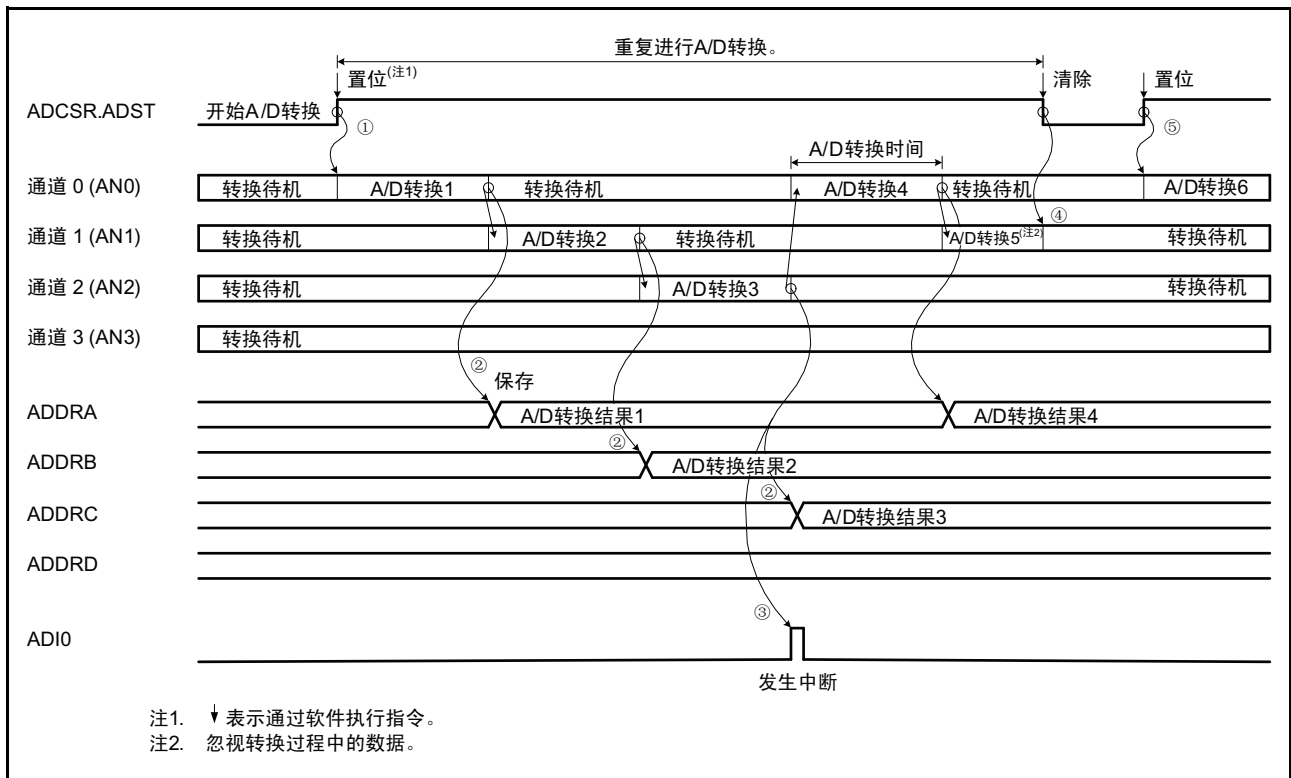


图 35.4 A/D 转换器的运行例子（连续扫描模式）

35.3.2.2 1 个周期扫描模式

1 个周期扫描模式对指定通道的模拟输入只进行 1 个周期的 A/D 转换，如下所示：

1. 如果通过软件、MTU、TMR 或者外部触发输入使 ADCSR.ADST 位变为“1”（开始 A/D 转换），就从所选通道中通道号小的通道开始 A/D 转换。
2. 如果 A/D 转换结束，就将 A/D 转换结果保存到对应的 A/D 数据寄存器（ADDRn）。
3. 如果在所选通道的 A/D 转换全部结束后 ADCSR.ADIE 位为“1”（允许由 A/D 转换结束引起的 ADI 中断），就产生 ADI 中断请求。
4. 在 A/D 转换过程中，ADST 位保持“1”，如果所选通道的 A/D 转换全部结束，此位就自动变为“0”，A/D 转换器进入待机状态。

选择 AN4 ~ AN6 的 3 个通道进行模拟输入时的运行例子如图 35.5 所示。

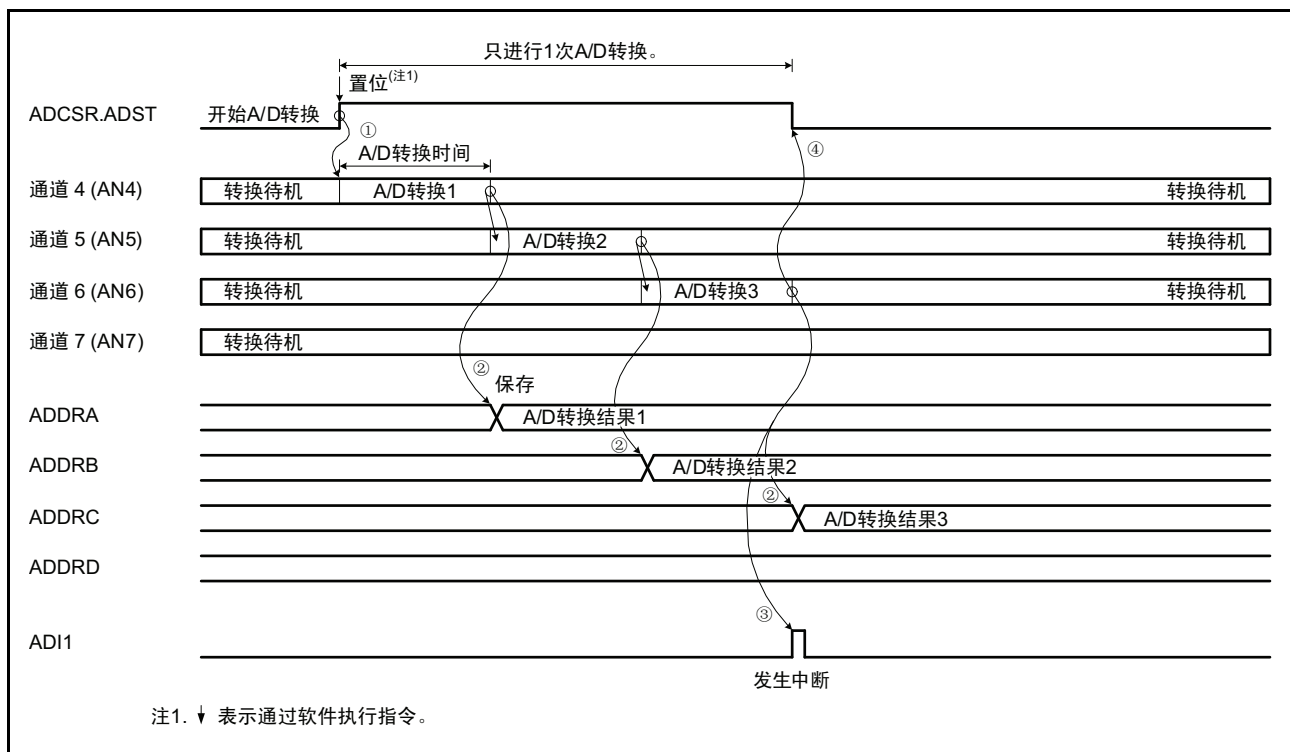


图 35.5 A/D 转换器的运行例子（1 个周期扫描模式）

35.3.3 输入采样和 A/D 转换时间

在通过软件、MTU、TMR 或者外部触发产生 A/D 转换开始条件后经过 A/D 转换开始延迟时间 (tD)，A/D 转换器对模拟输入进行采样，然后开始 A/D 转换。

A/D 转换时序如图 35.6 所示。

A/D 转换开始条件产生后的 A/D 转换时间 (tCONV) 为 tD、输入采样时间 (tSPL) 和逐次转换时间 (tSAM) 的总时间。此后的 A/D 转换时间 (tCONV) 还包括 tSPL 和 tSAM 的时间。

采样时间 (tSPL) 是给 A/D 转换器的采样 & 保持电路充电的时间。在模拟输入的信号源阻抗高并且采样时间不够的情况下或者在外围模块时钟 PCLK 慢的情况下，能通过 ADSSTR 寄存器调整采样时间。

逐次转换时间 (tSAM) 总是固定为 25 个 ADCLK 周期。

ADSSTR 寄存器的设定例子以及 A/D 转换时间分别如表 35.6 和表 35.7 所示。

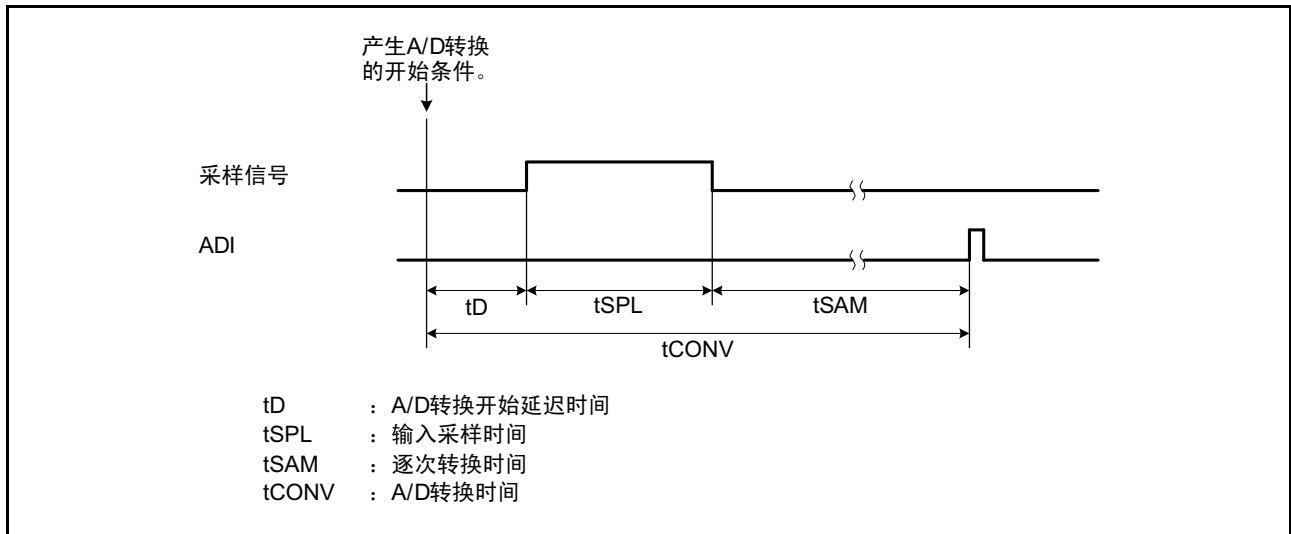


图 35.6 A/D 转换时序

表 35.6 ADSSTR 寄存器的设定例子

使用例子	设定范围	采样时间 (注)
标准 (初始值)	"19h"	0.5μs (当 PCLK=ADCLK=50MHz 时)
在模拟输入的信号源阻抗高并且采样时间不够的情况下进行设定。	"1Ah" ~ "FFh"	例: "FFh" 5.1μs (当 PCLK=ADCLK=50MHz 时)
在 ADCLK 小于 50MHz 以及采样时间比初始值短的情况下进行设定。	"02h" ~ "18h"	例: "14h" 0.5μs (当 PCLK=ADCLK=40MHz 时)

注. 必须设定为采样时间 ≥ 0.5μs，用以下表达式计算采样时间：

$$\text{采样时间 } (\mu\text{s}) = \frac{\text{ADSSTR寄存器的设定值}}{\text{ADCLK (MHz)}}$$

表 35.7 A/D 转换时间

项目	符号	表达式	
		min	max
A/D 转换开始的延迟时间 (①)	tD	$\frac{3}{\text{PCLK (MHz)}}$	$\frac{1}{\text{ADCLK (MHz)}} + \frac{4}{\text{PCLK (MHz)}}$
输入采样时间 (②)	tSPL	$\frac{\text{ADSSTR寄存器的设定值}}{\text{ADCLK (MHz)}}$	
逐次转换时间 (③)	tSAM	$\frac{25}{\text{ADCLK (MHz)}}$	
A/D 转换时间 (注1)	tCONV	① + ② + ③	
A/D 转换时间 (注2)	tCONV	② + ③	

注1. 单次模式或者扫描模式 (第1次) 的 A/D 转换时间

注2. 扫描模式 (第2次以后) 的 A/D 转换时间

A/D 转换时间的计算例子如下所示:

当 PCLK=ADCLK=50MHz, ADSSTR=19h 并且为扫描模式 (第2次) 时

$$\begin{aligned} \text{A/D 转换时间 (tCONV)} &= \text{ADSSTR/ADCLK} + 25/\text{ADCLK} \\ &= 25/50\text{MHz} + 25/50\text{MHz} \\ &= 0.5\mu\text{s} + 0.5\mu\text{s} \\ &= 1.0\mu\text{s} \end{aligned}$$

当 PCLK=ADCLK=40MHz, ADSSTR=14h 并且为扫描模式 (第1次: min) 时

$$\begin{aligned} \text{A/D 转换时间 (tCONV)} &= 3/\text{PCLK} + \text{ADSSTR/ADCLK} + 25/\text{ADCLK} \\ &= 3/40\text{MHz} + 20/40\text{MHz} + 25/40\text{MHz} \\ &= 0.075\mu\text{s} + 0.5\mu\text{s} + 0.625\mu\text{s} \\ &= 1.2\mu\text{s} \end{aligned}$$

35.3.4 通过外部触发开始的 A/D 转换

能通过外部触发的输入 (ADTRG0#、ADTRG1#) 开始各单元的 A/D 转换。

在单元 0 的情况下, 如果将 AD0.ADCR.TRGS[2:0] 位置 “011b” (ADTRG0# 的触发), 就在 ADTRG0# 的下降沿 AD0.ADCSR.ADST 位变为 “1” (开始 A/D 转换), 开始 A/D 转换, 此时序如图 35.7 所示。

必须注意: 在使用外部触发时, 如果外部触发的输入已经为 Low 电平, 内部信号就可能产生下降沿并且开始 A/D 转换。

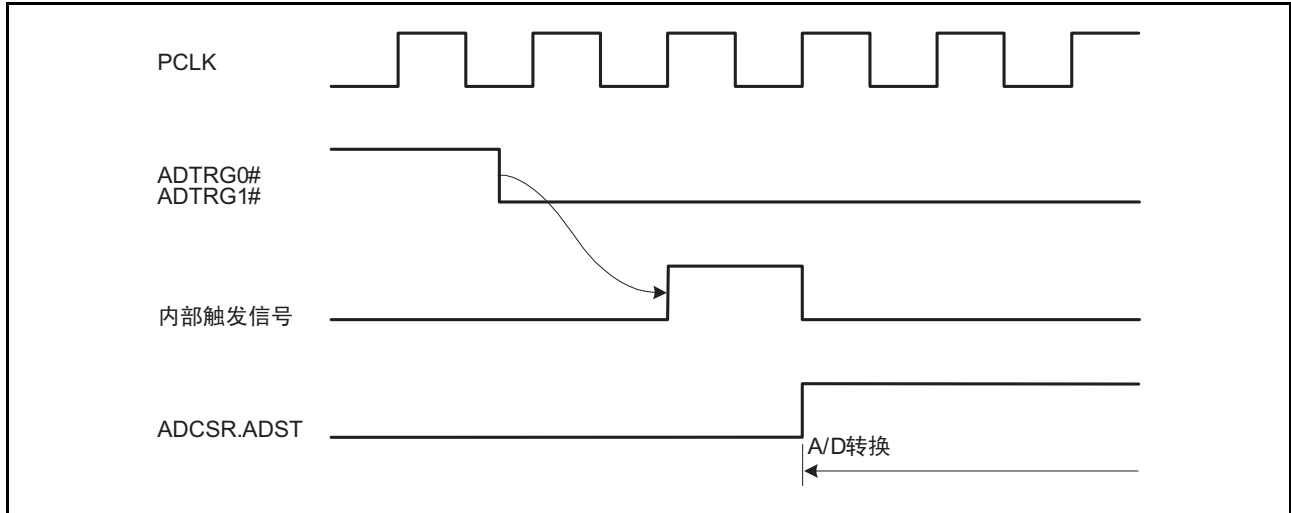


图 35.7 外部触发输入时序

35.3.5 通过 MTU 的 TRG0AN_0 和 TRG0BN_0 开始的 A/D 转换

能通过 MTU (单元 0) 通道 0 的 TGRA 比较匹配 / 输入捕捉, 产生触发信号 TRG0AN_0, 开始 A/D 转换器单元 0 的 A/D 转换。

能通过 MTU (单元 0) 通道 0 的 TGRB 比较匹配 / 输入捕捉, 产生触发信号 TRG0BN_0, 开始 A/D 转换器单元 1 的 A/D 转换。

MTU (单元 0) 的 TRG0AN_0 输出和 TRG0BN_0 输出与 A/D 转换器的连接关系如图 35.8 所示。

在通过 MTU (单元 0) 通道 0 的 TGRA 比较匹配 / 输入捕捉来开始 A/D 转换时, 将 A/D 转换器单元 0 的 AD0.ADCR.TRGS[2:0] 位设定为 “100b” (选择触发信号 TRG0AN_0)。

在通过 MTU (单元 0) 通道 0 的 TGRB 比较匹配 / 输入捕捉来开始 A/D 转换时, 将 A/D 转换器单元 1 的 AD1.ADCR.TRGS[2:0] 位设定为 “100b” (选择触发信号 TRG0BN_0)。

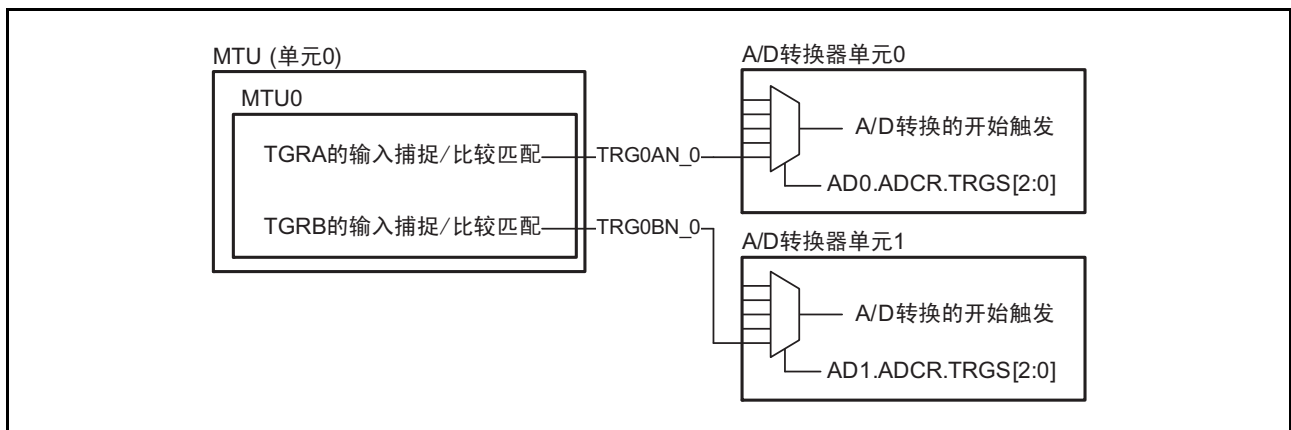


图 35.8 MTU (单元 0) 的 TRG0AN_0 输出和 TRG0BN_0 输出与 A/D 转换器的连接关系

35.3.6 通过 MTU 的 TRGAN_0 和 TRGAN_1 开始的 A/D 转换

能通过 MTU (单元 0) 通道 0 ~ 4 的 TGRA 比较匹配 / 输入捕捉以及互补 PWM 模式中的通道 4 的 TCNT 下溢 (波谷), 产生触发信号 TRGAN_0, 开始 A/D 转换器的单元 0 和单元 1 的 A/D 转换。同样, 能通过 MTU (单元 1) 通道 6 ~ 10 的 TGRA 比较匹配 / 输入捕捉以及互补 PWM 模式中的通道 10 的 TCNT 下溢 (波谷), 产生触发信号 TRGAN_1, 开始 A/D 转换器的单元 0 和单元 1 的 A/D 转换。

MTU (单元 0 和单元 1) 的 TRGAN_0 输出和 TRGAN_1 输出与 A/D 转换器的连接关系如图 35.9 所示。

在通过 MTU (单元 0) 通道 0 和通道 2 的 TGRA 比较匹配 / 输入捕捉来开始 A/D 转换时, 将 A/D 转换器单元 n (n=0、1) 的 ADn.ADCR.TRGS[2:0] 位 (n=0、1) 设定为“001b” (选择触发信号 TRGAN_0), 并且将 MTU0.TIER.TTGE 位和 MTU2.TIER.TTGE 位置“1”。

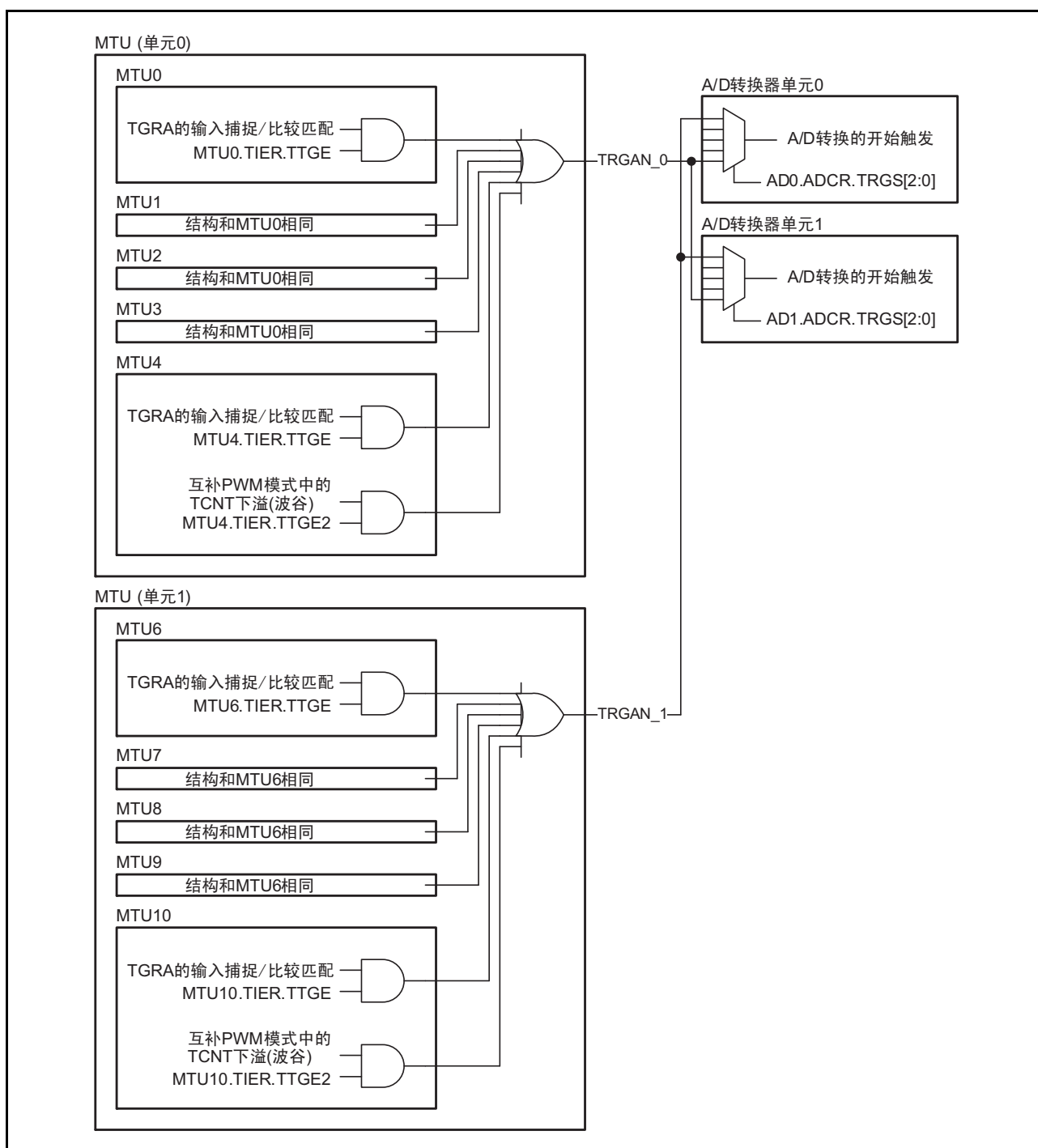


图 35.9 MTU (单元 0 和单元 1) 的 TRGAN_0 输出和 TRGAN_1 输出与 A/D 转换器的连接关系

35.3.7 通过 MTU 的 TRG4ABN_0 和 TRG4ABN_1 开始的 A/D 转换

能通过使用 MTU (单元 0) 通道 4 的 A/D 转换开始请求延迟功能的比较匹配, 产生触发信号 TRG4ABN_0, 开始 A/D 转换器的单元 0 和单元 1 的 A/D 转换。同样, 能通过使用 MTU (单元 1) 通道 10 的 A/D 转换开始请求延迟功能的比较匹配, 产生触发信号 TRG4ABN_1, 开始 A/D 转换器的单元 0 和单元 1 的 A/D 转换。

MTU (单元 0 和单元 1) 的 TRG4ABN_0 输出和 TRG4ABN_1 输出与 A/D 转换器的连接关系如图 35.10 所示。

在使用 MTU (单元 0) 通道 4 的 A/D 转换开始请求延迟功能并且通过 TADCORA 和 TCNT 递增计数的比较匹配来开始 A/D 转换时, 将 A/D 转换器单元 n (n=0、1) 的 ADn.ADCR.TRGS[2:0] 位 (n=0、1) 设定为“110b”(选择触发信号 TRG4ABN_0), 给 MTU4.TADCOBRA/B 和 MTU4.TADCORA/B 设定周期, 并且将 MTU4.TADCR.UT4AE 位置“1”。

有关 A/D 转换开始请求延迟功能的详细内容, 请参照“18.3.9 A/D 转换开始请求的延迟功能”。

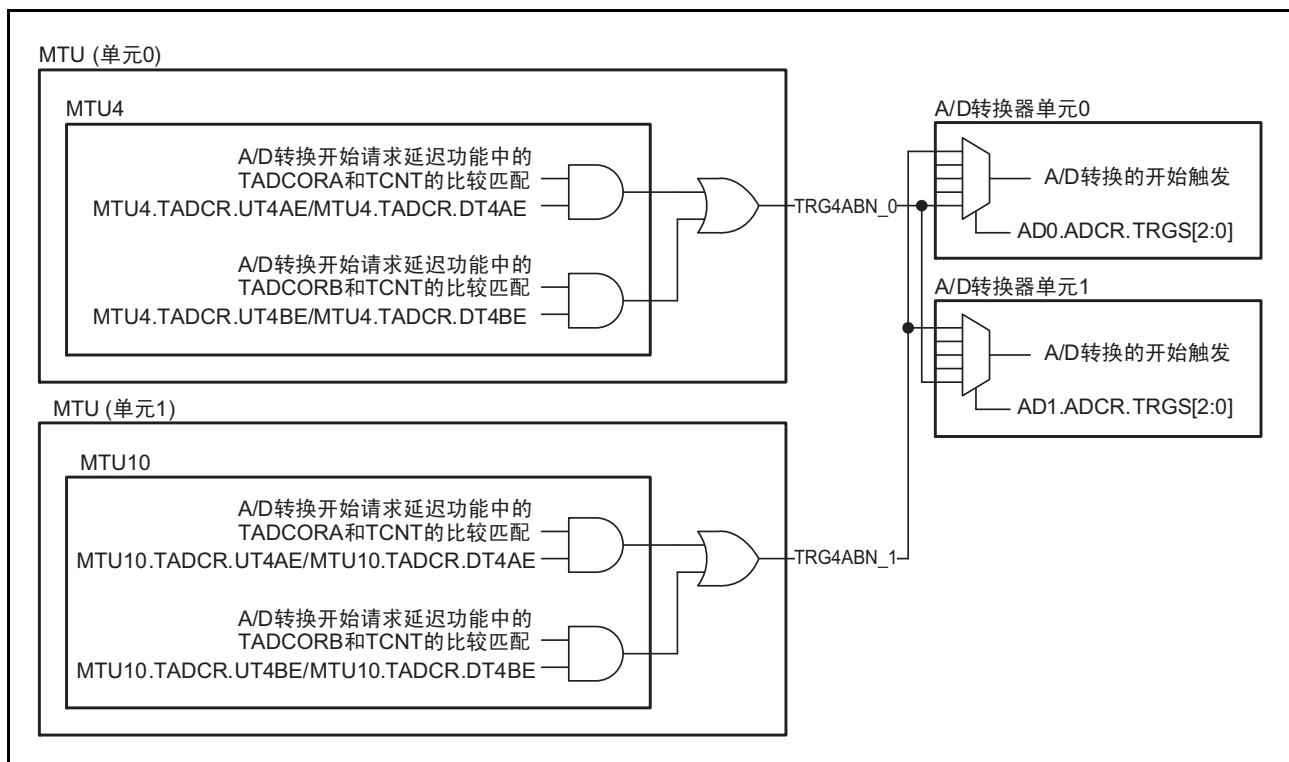


图 35.10 MTU (单元 0 和单元 1) 的 TRG4ABN_0 输出和 TRG4ABN_1 输出与 A/D 转换器的连接关系

35.3.8 通过 TMR 的 TMTRG0AN_0 开始的 A/D 转换

能通过 TMR (单元 0) 通道 0 的 TCORA 比较匹配 (比较匹配 A), 开始 A/D 转换器的单元 0 和单元 1 的 A/D 转换。

TMR (单元 0) 的 TMTRG0AN_0 输出与 A/D 转换器的连接关系如图 35.11 所示。

要通过 TMR (单元 0) 通道 0 的 TCORA 比较匹配 (比较匹配 A) 来开始 A/D 转换时, 将 A/D 转换器单元 n (n=0、1) 的 ADn.ADCR.TRGS[2:0] 位 (n=0、1) 设定为 “010b” (选择触发信号 TMTRG0AN_0), 并且将 TMR0.TCSR.ADTE 位置 “1”。

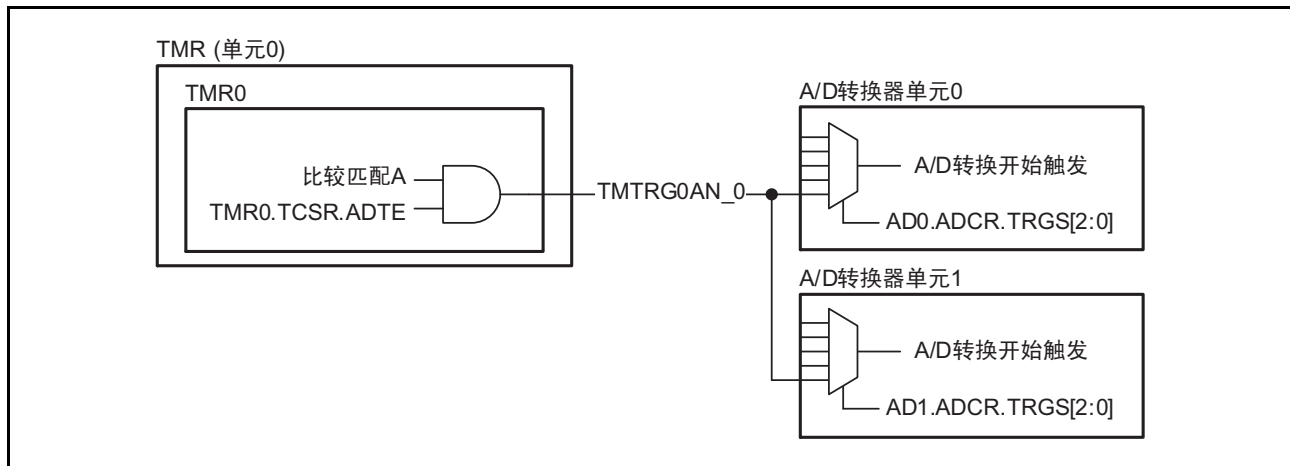


图 35.11 TMR (单元 0) 的 TMTRG0AN_0 输出与 A/D 转换器的连接关系

35.4 中断源

当 ADCSR.ADIE 位为“1”（允许由 A/D 转换结束引起的 ADI 中断）时，如果 A/D 转换结束，A/D 转换器就产生中断（ADI）。

各单元有 A/D 转换器的中断源，能使用这些中断启动数据传送控制器（DTC）和 DMA 控制器（DMACA）。如果通过 ADI 中断启动 DTC 或者 DMACA，并且读被转换的数据，就能不通过 CPU 进行连续的转换。

表 35.8 A/D 转换器的中断源

名称	中断源	中断状态标志	DTC 的启动	DMACA 的启动
ADI0	A/D 转换结束	ICU.IR98.IR	能	能
ADI1	A/D 转换结束	ICU.IR99.IR	能	能

35.5 A/D 转换精度的定义

RX62N 群和 RX621 群的 A/D 转换精度的定义如下：

- 分辨率
这是指 A/D 转换器的数字输出码数。
- 量化误差
这是 A/D 转换器固有的偏差，为 1/2LSB（图 35.12）。
- 偏移误差
这是在数字输出从最小电压值“000000000b（000h）”变为“000000001b（001h）”时与模拟输入电压值的理想 A/D 转换特性的偏差（图 35.13）。
- 满刻度误差
这是在数字输出从“111111110b（3FEh）”变为“111111111b（3FFh）”时与模拟输入电压值的理想 A/D 转换特性的偏差（图 35.13）。
- 非线性误差
这是在零电压到满刻度电压之间的理想 A/D 转换特性的误差，但是不包含偏移误差、满刻度误差和量化误差（图 35.13）。
- 绝对精度
这是数字值和模拟输入值的偏差，包含偏移误差、满刻度误差、量化误差和非线性误差。

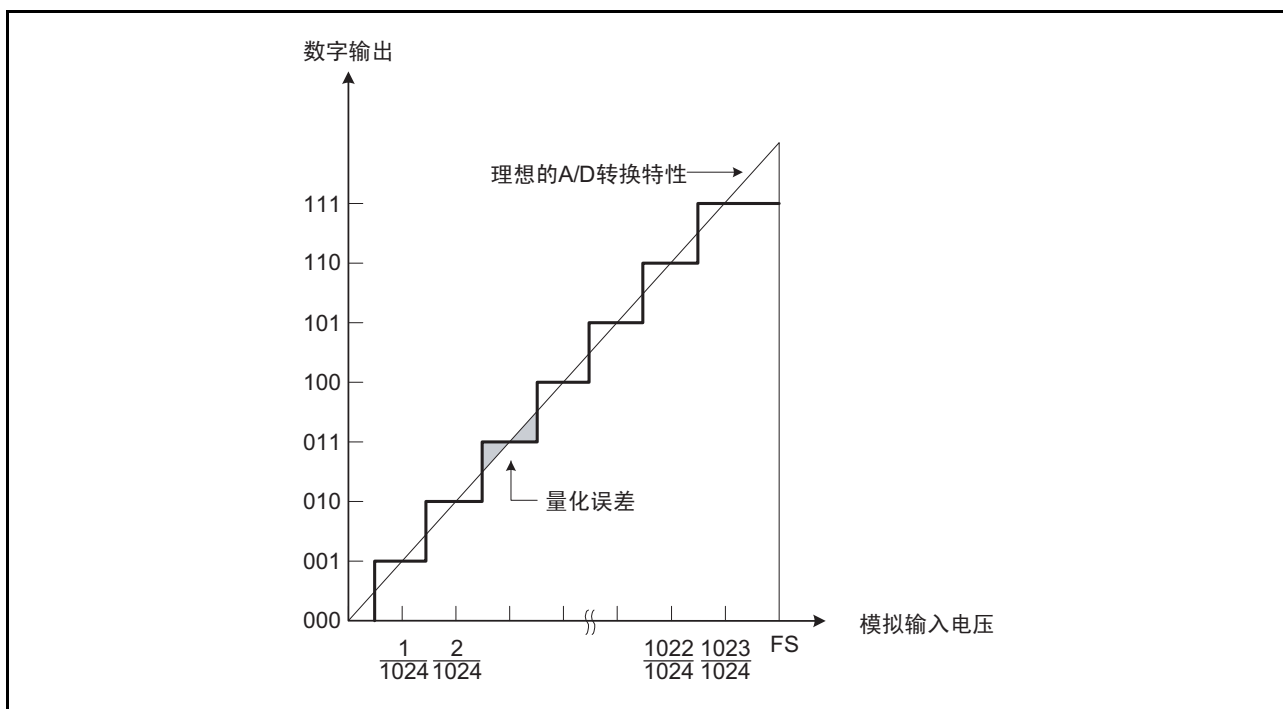


图 35.12 A/D 转换精度的定义 (1)

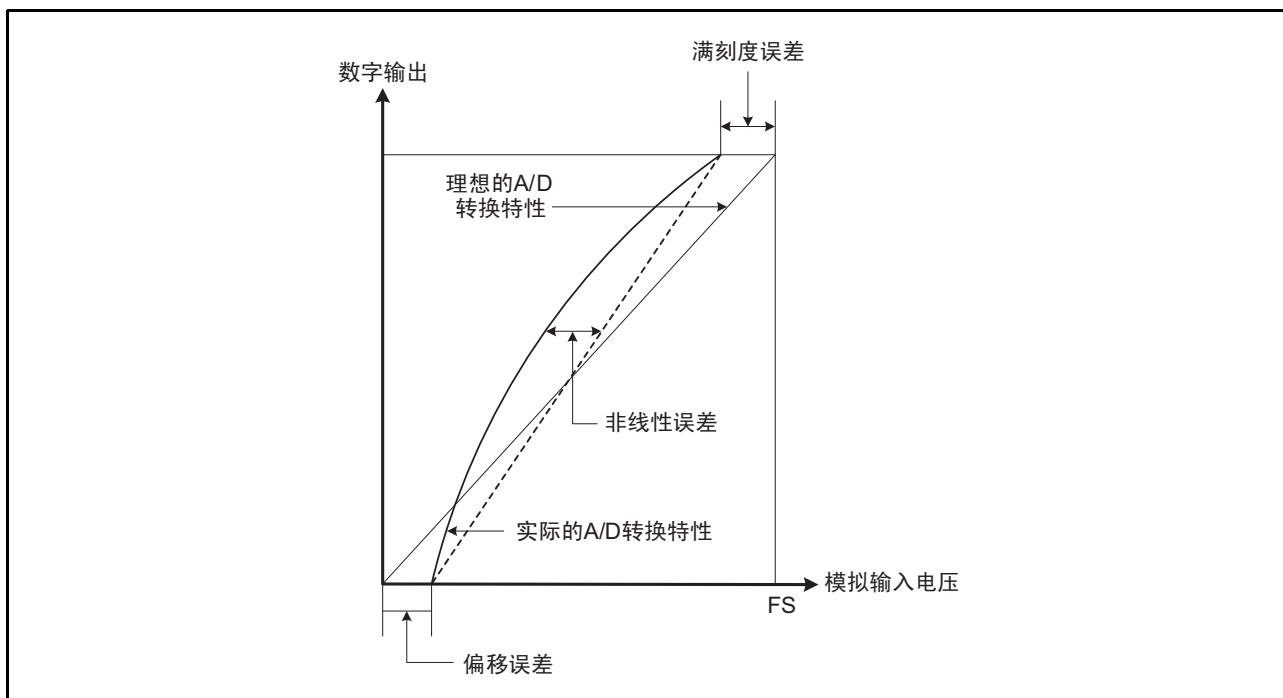


图 35.13 A/D 转换精度的定义 (2)

35.6 使用时的注意事项

35.6.1 模块停止功能的设定

能通过模块停止控制寄存器设定禁止或者允许各单元的 A/D 转换器的运行，初始值为停止 A/D 转换器的运行。能通过解除模块停止状态，使寄存器变为可存取的状态。详细内容请参照“9. 低功耗功能”。

35.6.2 停止 A/D 转换时的注意事项

在选择外部触发或者定时器为 A/D 转换开始条件时，为了停止 A/D 转换，必须在将 ADCR.TRGS[2:0] 位置“000b”并且选择软件触发为 A/D 转换开始条件后，将 ADCSR.ADST 位置“0”（停止 A/D 转换）。

35.6.3 重新开始 A/D 转换时的注意事项

如果通过将 ADCSR.ADST 位置“0”来停止 A/D 转换，就需要 1 个 ADCLK 时钟的时间来停止 A/D 转换器的模拟电路。

如果通过将 ADST 位置“0”后立即将 ADST 位置“1”来重新开始 A/D 转换，就在经过 1 个 ADCLK 时钟的时间后，重新开始 A/D 转换。

35.6.4 向低功耗状态转移时的注意事项

在允许 A/D 转换的状态下，如果 RX62N 群和 RX621 群向模块停止状态或者软件待机模式转移，模拟电源的电流就和 A/D 转换过程中的电流相同。如果需要在模块停止状态或者软件待机模式中减少模拟电源电流，就必须停止 A/D 转换。在停止 A/D 转换时，需要确保从 ADCSR.ADST 位被置“0”后到 A/D 转换器的模拟电路停止前的时间。为了确保此时间，必须按照以下步骤进行设定。

必须在将 ADCR.TRGS[2:0] 位置“000b”（软件触发）并且将 ADCSR.ADST 位置“0”后，将 ADCR.CKS[1:0] 位置“11b”（PCLK）。此后，必须在确认 A/D 转换已经停止后转移到模块停止状态或者软件待机模式状态。

35.6.5 有关容许信号源阻抗

为了实现 $1.0\mu\text{s}$ 的高速转换，对于信号源阻抗不超过 $1.0\text{k}\Omega$ 的输入信号，RX62N 群和 RX621 群的模拟输入能保证转换精度。在单次模式中进行转换并且外接大电容的情况下，因为输入负载实际上只有 $6.5\text{k}\Omega$ 的内部输入电阻，所以信号源阻抗可忽略不计。但是，由于形成低通滤波器，所以有可能无法跟踪急剧变化的模拟信号（例如变动率至少为 $5\text{mV}/\mu\text{s}$ ）（图 35.14）。在转换高速模拟信号或者在扫描模式中进行转换时，必须插入 1 个输出阻抗低的缓冲放大器。

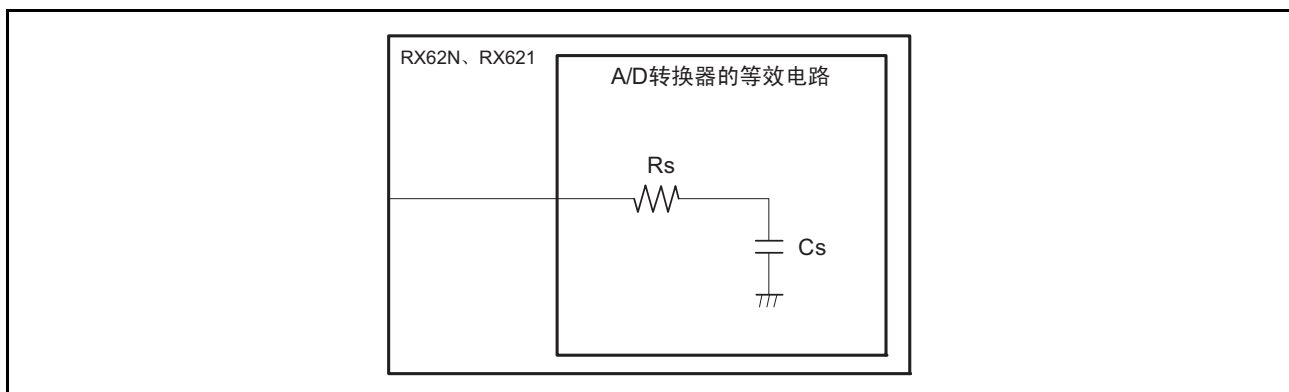


图 35.14 模拟输入引脚的内部等效电路

表 35.9 模拟引脚的规格

项目		min	max	单位
容许信号源阻抗		—	1.0	kΩ
引脚的内部等效电路	Rs	—	6.5	kΩ
	Cs	—	6.0	pF

35.6.6 对绝对精度的影响

由于附加电容会导致与 GND 的耦合，如果 GND 有噪声就可能降低绝对精度，所以必须连接 VREFL 等电特性稳定的 GND。

必须注意：滤波器电路不要干扰安装电路板上的数字信号，也不要充当天线。

35.6.7 模拟电源引脚等的设定范围

如果超过以下所示的电压设定范围使用 LSI，就可能会给 LSI 的可靠性带来坏的影响。

- 模拟输入电压的设定范围
必须将模拟输入引脚 ANn 的外加电压设定在 $VREFL \leq VAN \leq VREFH$ 的范围内。
- 各电源引脚 (AVCC-AVSS、VREFH-VREFL、VCC-VSS) 的关系
AVCC、AVSS 和 VCC、VSS 的关系必须为 $AVCC=VCC$ 并且 $AVSS=VSS$ 。如图 35.15 所示，为了能形成最短的闭环，必须在各电源之间连接 $0.1\mu F$ 的电容器，并且在供电处使 $AVCC=VCC$ 并且 $VREFL=AVSS=VSS$ 。在不使用 A/D 转换器时，必须使 $VREFH=AVCC=VCC$ 并且 $VREFL=AVSS=VSS$ 。
- VREFH 的设定范围
VREFH 引脚的基准电压的设定范围必须为 $VREFH \leq AVCC$ 。

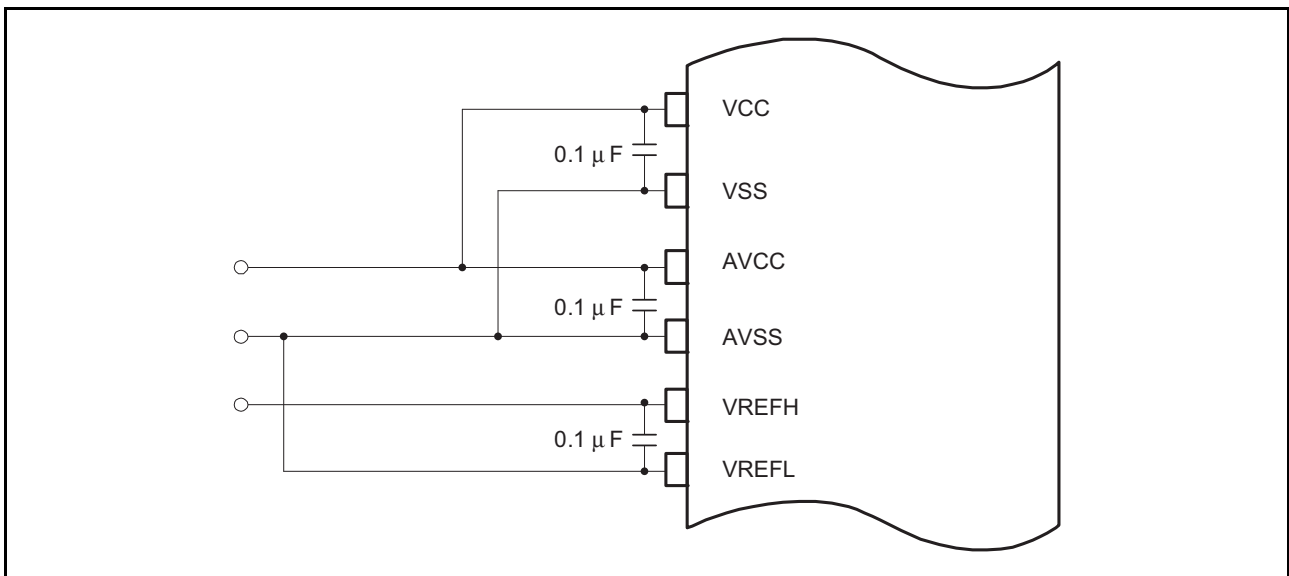


图 35.15 各电源引脚的连接例子

35.6.8 设计电路板时的注意事项

在设计电路板时，必须尽量将数字电路和模拟电路分开，而且不能使数字电路的信号线和模拟电路的信号线交叉或者靠近，否则会给模拟信号带来噪声并且给 A/D 转换值带来不良影响。必须通过模拟接地 (AVSS) 将模拟输入引脚 (AN0 ~ AN7)、模拟基准电源 (VREFH) 和模拟电源电压 (AVCC) 与数字电路分开，而且模拟基准接地 (VREFL) 必须与电路板上稳定的接地 (VSS) 进行单点连接。

35.6.9 噪声对策的注意事项

如图 35.16 所示，为了防止过大电涌等异常电压对模拟输入引脚 (AN0 ~ AN7) 造成破坏，必须在 AVCC 和 AVSS 之间以及 VREFH 和 VREFL 之间连接电容器，并且以模拟输入引脚 (AN0 ~ AN7) 为基准连接保护电路。

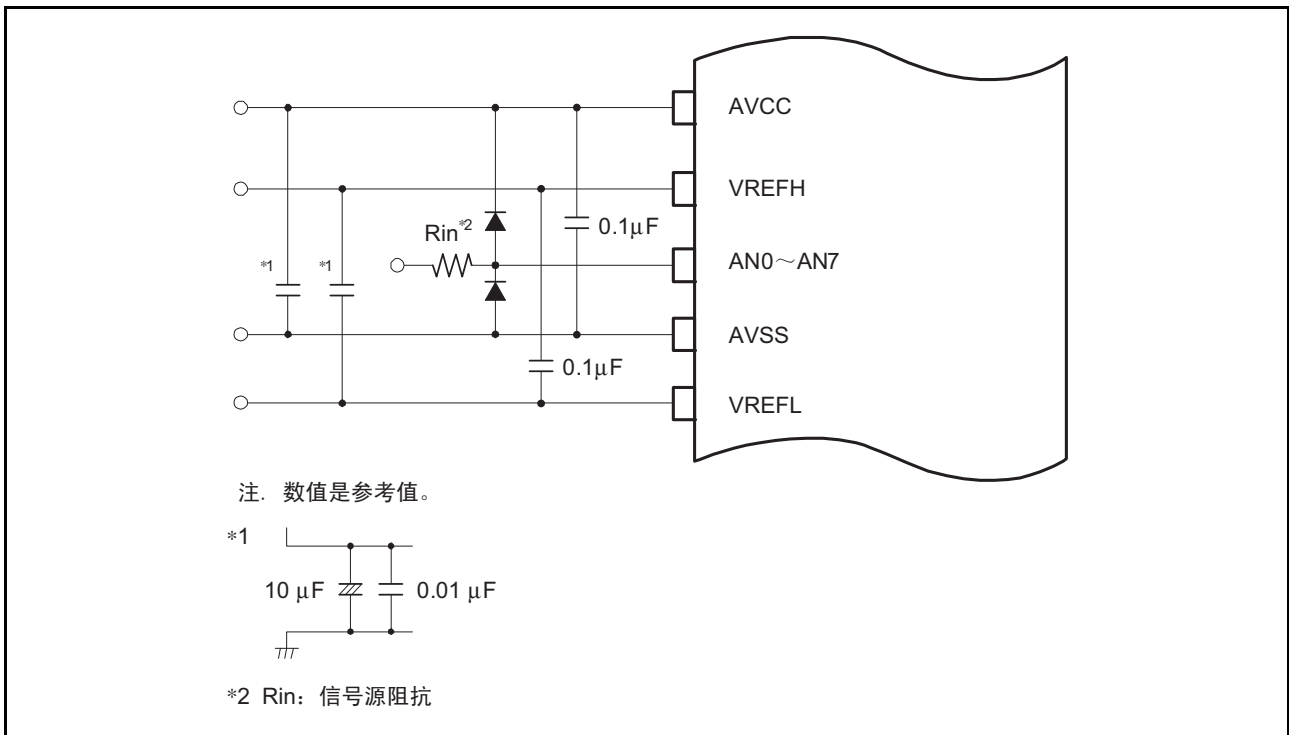


图 35.16 模拟输入的保护电路例子

35.6.10 高速转换的实现

如图 35.17 所示，为了实现高速转换，必须在模拟输入引脚 (AN0 ~ AN7) 和 VREFL 之间外接 0.1 μ F 的电容器。但是，对于 A/D 转换器的采样&保持电路的输入电容，为了隐藏信号源阻抗，需要在开始转换前给外接电容器积累足够的电荷。如果由于扫描等模拟输入引脚的电压电平发生变动而引起外接电容器的电荷变化，就不能实现高速转换。

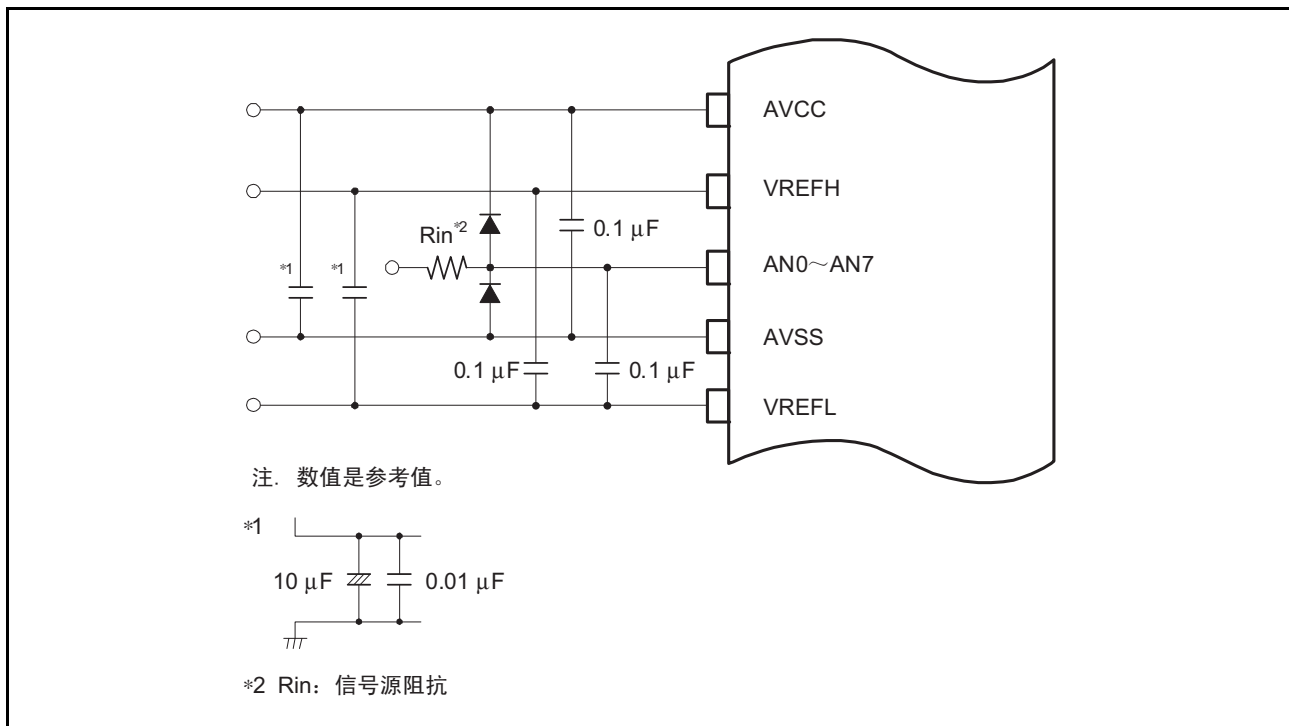


图 35.17 用于高速转换的外接电容器连接例子

35.6.11 12 位 A/D 转换器和 10 位 A/D 转换器的选择

通过模块停止控制寄存器 A 的 MSTPCRA.MSTPA23、MSTPCRA.MSTPA22 和 MSTPCRA.MSTPA17 位选择 12 位 A/D 转换器和 10 位 A/D 转换器。

如果将 MSTPCRA.MSTPA17 位置“0”，就能选择 12 位 A/D 转换器。

如果将 MSTPCRA.MSTPA23 位和 MSTPCRA.MSTPA22 位置“0”，就能选择 10 位 A/D 转换器。

如果同时给 MSTPCRA.MSTPA23 位、MSTPCRA.MSTPA22 位和 MSTPCRA.MSTPA17 位写“0”，MSTPCRA.MSTPA17 位的设定就有效，但是 MSTPCRA.MSTPA23 位和 MSTPCRA.MSTPA22 位的设定无效，所以不能选择 10 位 A/D 转换器。

详细内容请参照“9. 低功耗功能”的“9.2.2 模块停止控制寄存器 A (MSTPCRA)”。

35.6.12 同时使用 A/D 转换器和 D/A 转换器时的注意事项

因为 A/D 转换器和 D/A 转换器使用相同的电源，所以如果同时使用，就可能影响 A/D 转换精度。

如果在 A/D 转换过程中进行以下设定，就可能降低 2LSB 的精度。

- 在 A/D 转换过程中改写了 D/A 转换器的 D/A 数据寄存器 m (DADRm) 时
- 在 A/D 转换过程中并且 D/A 转换器的 DADRm 寄存器不是“00h”的情况下改写了 D/A 控制寄存器 (DACR) 时

如果因这些设定而影响转换精度，就必须实施以下的任意一个对策：

1. 必须通过程序对 A/D 转换结果进行平均处理。
平均处理例子：对同一引脚连续进行 4 次 AD 转换，在除去 A/D 转换结果的最大值和最小值后，算出剩余 2 个值的平均值。
2. 必须放弃转换过程中的 A/D 转换结果。
3. 必须在将 D/A 转换器的 DADRm 寄存器置值“00h”的状态下改写 D/A 转换器的 DACR 寄存器。

36. D/A 转换器

36.1 概要

RX62N 群和 RX621 群内置 2 个通道的 10 位 D/A 转换器。
D/A 转换器的规格和框图分别如表 36.1 和图 36.1 所示。

表 36.1 D/A 转换器的规格

项目	内容
分辨率	10 位
输出通道	2 个通道
低功耗功能	能设定为模块停止状态。

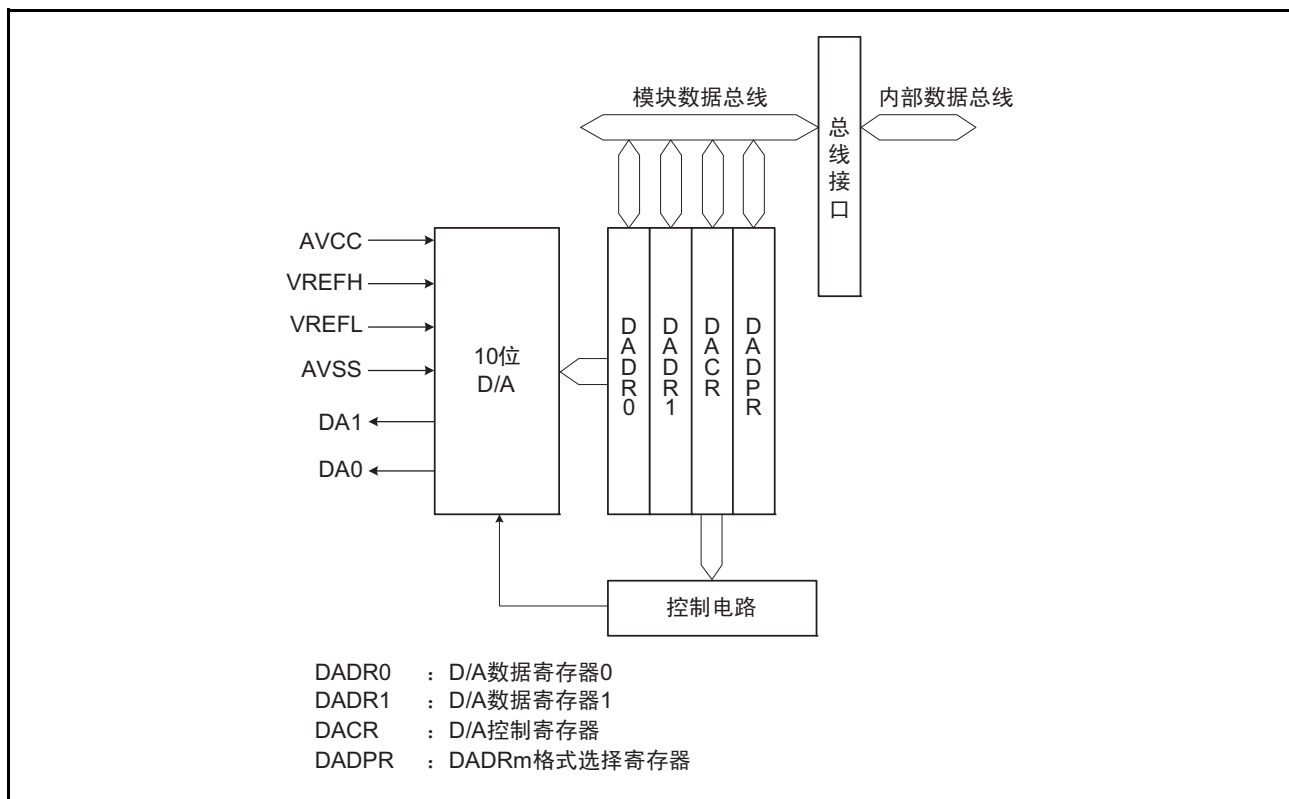


图 36.1 D/A 转换器的框图

D/A 转换器使用的输入 / 输出引脚如表 36.2 所示。

表 36.2 D/A 转换器的输入 / 输出引脚

引脚名	输入 / 输出	功能
AVCC	输入	模拟电路的电源引脚
AVSS	输入	模拟电路的接地引脚
VREFH	输入	D/A 转换器的基准电压引脚
VREFL	输入	D/A 转换器的基准接地引脚 必须连接模拟基准电源 (0V)。
DA0	输出	通道 0 的模拟输出
DA1	输出	通道 1 的模拟输出

36.2 寄存器说明

D/A 转换器的寄存器一览表如表 36.3 所示。

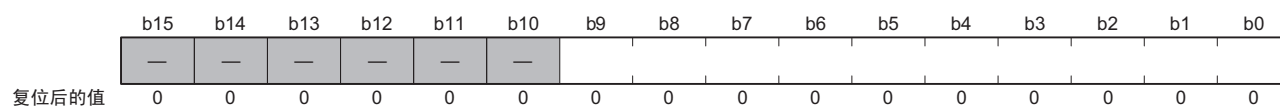
表 36.3 D/A 转换器的寄存器一览表

寄存器名	符号	复位后的值	地址	存取长度
D/A 数据寄存器 0	DADR0	0000h	0008 80C0h	16
D/A 数据寄存器 1	DADR1	0000h	0008 80C2h	16
D/A 控制寄存器	DACR	1Fh	0008 80C4h	8
DADR _m 格式选择寄存器	DADPR	00h	0008 80C5h	8

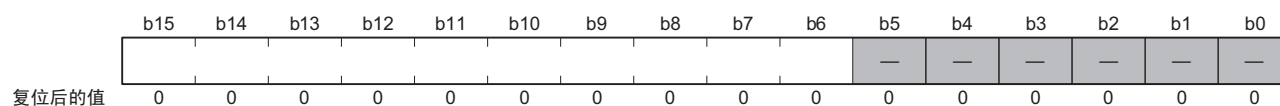
36.2.1 D/A 数据寄存器 m (DADR_m) (m=0、1)

地址 DADR0 0008 80C0h、DADR1 0008 80C2h

- DADPR.DPSEL 位=0(数据往LSB靠紧)



- DADPR.DPSEL 位=1(数据往MSB靠紧)



DADR_m 寄存器是保存 D/A 转换数据的 16 位可读写寄存器。如果允许模拟输出，就转换 DADR_m 寄存器的值并且输出到模拟输出引脚。

能通过设定 DADPR.DPSEL 位，更改 10 位数据的排列。“—” 的位的读写值都为“0”。

36.2.2 D/A 控制寄存器 (DACR)

地址 0008 80C4h

	b7	b6	b5	b4	b3	b2	b1	b0
	DAOE1	DAOE0	DAE	—	—	—	—	—
复位后的值	0	0	0	1	1	1	1	1

位	符号	位名	功能	R/W
b4-b0	—	保留位	读写值都为“1”。	R/W
b5	DAE (注1)	D/A 允许位	0: 分别控制通道 0 和通道 1 的 D/A 转换 1: 同时允许通道 0 和通道 1 的 D/A 转换	R/W
b6	DAOE0	D/A 输出允许 0 位	0: 禁止通道 0 的模拟输出 (DA0) 1: 允许通道 0 的 D/A 转换 允许通道 0 的模拟输出 (DA0) (注2)	R/W
b7	DAOE1	D/A 输出允许 1 位	0: 禁止通道 1 的模拟输出 (DA1) 1: 允许通道 1 的 D/A 转换 允许通道 1 的模拟输出 (DA1) (注2)	R/W

注 1. 通过和 DAOE_i 位 (i=0、1) 的组合对 D/A 转换进行控制, 由 DAOE_i 位控制转换结果的输出, 详细内容请参照表 36.4。

注 2. 必须将用作模拟输出引脚的 PORT0.DDR.Bm 位 (m=3、5) 和 PORT0.ICR.Bm 位 (m=3、5) 都置“0”, 详细内容请参照“17. I/O 端口”。

表 36.4 D/A 转换的控制

b5	b7	b6	说明
DAE	DAOE1	DAOE0	
0	0	0	禁止 D/A 转换。
		1	允许通道 0 的 D/A 转换, 禁止通道 1 的 D/A 转换。 允许通道 0 的模拟输出 (DA0), 禁止通道 1 的模拟输出 (DA1)。
	1	0	禁止通道 0 的 D/A 转换, 允许通道 1 的 D/A 转换。 禁止通道 0 的模拟输出 (DA0), 允许通道 1 的模拟输出 (DA1)。
		1	允许通道 0 和通道 1 的 D/A 转换。 允许通道 0 和通道 1 的模拟输出 (DA0 和 DA1)。
1	0	0	允许通道 0 和通道 1 的 D/A 转换。 禁止通道 0 和通道 1 的模拟输出 (DA0 和 DA1)。
		1	允许通道 0 和通道 1 的 D/A 转换。 允许通道 0 的模拟输出 (DA0), 禁止通道 1 的模拟输出 (DA1)。
	1	0	允许通道 0 和通道 1 的 D/A 转换。 禁止通道 0 的模拟输出 (DA0), 允许通道 1 的模拟输出 (DA1)。
		1	允许通道 0 和通道 1 的 D/A 转换。 允许通道 0 和通道 1 的模拟输出 (DA0 和 DA1)。

DACR 寄存器是控制 D/A 转换器运行的寄存器。

DAE 位 (D/A 允许位)

此位通过和 DAOE_i 位 (i=0、1) 的组合对 D/A 转换进行控制。

当 DAE 位为“0”时，分别控制通道 0 和通道 1 的 D/A 转换；当 DAE 位为“1”时，同时控制通道 0 和通道 1 的 D/A 转换，由 DAOE_i 位控制转换结果的输出。

DAOE0 位 (D/A 输出允许 0 位)

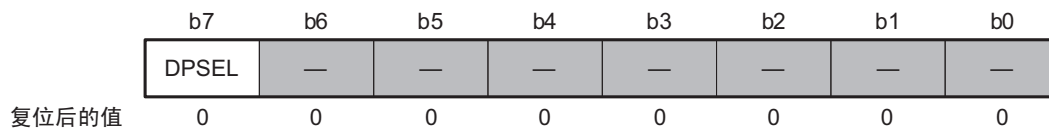
此位控制 D/A 转换和模拟输出。

DAOE1 位 (D/A 输出允许 1 位)

此位控制 D/A 转换和模拟输出。

36.2.3 DADR_m 格式选择寄存器 (DADPR)

地址 0008 80C5h



位	符号	位名	功能	R/W
b6-b0	—	保留位	读写值都为“0”。	R/W
b7	DPSEL	DADR _m 格式选择位	0: D/A 数据寄存器的数据往 LSB 靠紧 1: D/A 数据寄存器的数据往 MSB 靠紧	R/W

DADPR 寄存器选择 D/A 数据寄存器的数据排列。

DPSEL 位 (DADR_m 格式选择位)

此位选择 D/A 数据寄存器的数据是往 LSB 靠紧还是往 MSB 靠紧。

36.3 运行说明

2 个通道的 D/A 转换器能分别独立进行转换。如果将 DACR.DA0Ei 位 (i=0、1) 置“1”，就允许 D/A 转换并且输出转换结果。

进行通道 0 的 D/A 转换时的运行例子如下所示，此时的运行时序如图 36.2 所示。

1. 给 DADR0 寄存器写转换数据。
2. 如果将 DACR.DA0E0 位置“1”，就开始进行 D/A 转换。在经过 tD CONV 时间后，从模拟输出引脚 DA0 输出转换结果。在改写 DADR0 寄存器或者将 DA0E0 位置“0”前，连续输出转换结果。用以下表达式计算输出值：

$$\frac{\text{DADR0寄存器的值}}{1024} \times \text{VREFH}$$

3. 如果改写 DADR0 寄存器，就立即开始转换。在经过 tD CONV 时间后，输出转换结果。
4. 如果将 DA0E0 位置“0”，就禁止模拟输出。

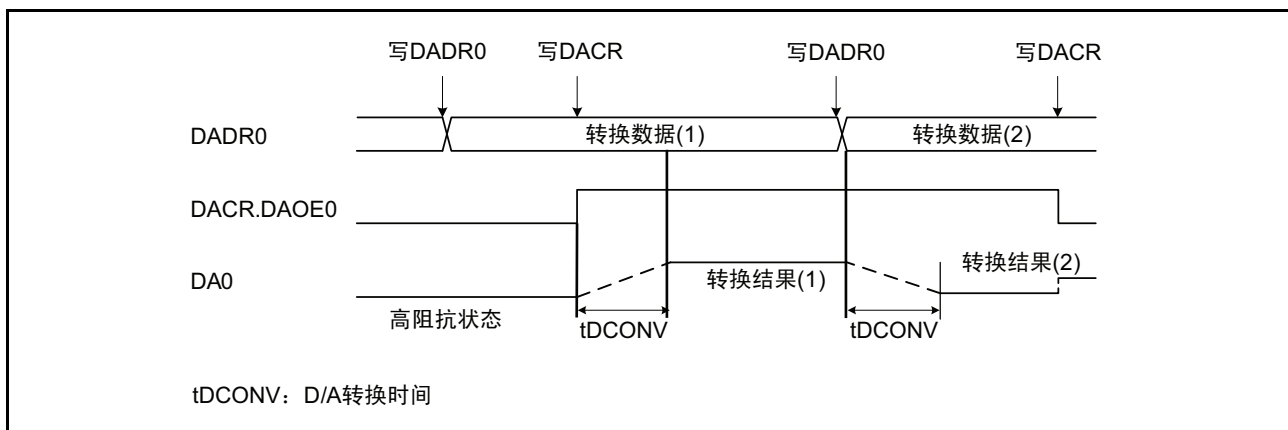


图 36.2 D/A 转换器的运行例子

36.4 使用时的注意事项

36.4.1 模块停止功能的设定

能通过模块停止控制寄存器设定禁止或者允许 D/A 转换器的运行，初始值为停止 D/A 转换器的运行。能通过解除模块停止状态，使寄存器变为可存取的状态。详细内容请参照“9. 低功耗功能”。

36.4.2 模块停止时的 D/A 转换器的运行

如果在允许 D/A 转换的状态下 LSI 变为模块停止状态，就保持 D/A 输出，模拟电源电流和 D/A 转换过程中的电流相同。如果需要在模块停止时减少模拟电源电流，就必须在将 DACR.DA0E1 位、DACR.DA0E0 位和 DACR.DAE 位全部置“0”后禁止 D/A 输出。

36.4.3 软件待机模式时的 D/A 转换器的运行

如果在允许 D/A 转换的状态下 RX62N 群和 RX621 群转移到软件待机模式，就保持 D/A 输出，模拟电源电流和 D/A 转换过程中的电流相同。如果需要在软件待机模式中减少模拟电源电流，就必须在将 DACR.DA0E1 位、DACR.DA0E0 位和 DACR.DAE 位全部置“0”后禁止 D/A 输出。

36.4.4 深度软件待机模式时的注意事项

如果在允许 D/A 转换的状态下 RX62N 群和 RX621 群转移到深度软件待机模式，D/A 输出就变为高阻抗状态。

37. RAM

RX62N 群和 RX621 群内置高速静态 RAM。

37.1 概要

RAM 的规格如表 37.1 所示。

表 37.1 RAM 的规格

项目	内容
RAM 容量	96K 字节 (RAM0: 64K 字节, RAM1: 32K 字节)
RAM 地址	RAM0: 0000 0000h ~ 0000 FFFFh RAM1: 0001 0000h ~ 0001 7FFFh
存取	<ul style="list-style-type: none"> 以 1 个周期进行读写。 可选择 RAM 的有效或者无效 (注 1)。
数据保存功能	在深度待机模式中, 能保持 RAM0 的数据。
低功耗功能	RAM0 和 RAM1 能分别设定为模块停止状态。

注 1. 能通过 SYSCR1.RAME 位进行选择。有关 SYSCR1 寄存器, 请参照“3.2.4 系统控制寄存器 1 (SYSCR1)”。

37.2 运行说明

37.2.1 数据的保持

内部 RAM 的地址空间分为 RAM0 区和 RAM1 区, RAM0 区和 RAM1 区的不同点是在深度软件待机模式中是否能提供内部电源。

能通过设定 DPSBYCR.RAMCUTn 位 (n=2 ~ 0), 选择在深度软件待机模式中是否给 RAM0 提供内部电源。

能通过深度软件待机模式中给 RAM0 提供内部电源, 保持 RAM0 的数据。此时, 因为停止给 RAM1 提供内部电源, 所以不能保持 RAM1 的数据。

有关 DPSBYCR.RAMCUTn 位 (n=2 ~ 0) 的详细内容, 请参照“9. 低功耗功能”。

37.2.2 低功耗功能

通过设定模块停止控制寄存器 C (MSTPCRC) 停止给 RAM 提供时钟, 能降低功耗。

如果将 MSTPCRC.MSTPC0 位置“1”, 提供给 RAM0 的时钟就停止; 如果将 MSTPCRC.MSTPC1 位置“1”, 提供给 RAM1 的时钟就停止。

通过停止提供时钟, 使 RAM0 和 RAM1 各自变为模块停止状态。但是在复位后, RAM 运行。

一旦进入模块停止状态, 就无法存取 RAM。不能在存取 RAM 的过程中转移到模块停止状态。

有关 MSTPCRC 寄存器的详细内容, 请参照“9. 低功耗功能”。

38. ROM（保存代码的闪存）

RX62N 群和 RX621 群内置用于保存最多 512K 字节代码的闪存（ROM）以及用于保存 32K 字节数据的闪存（数据闪存）。

本章说明用于保存代码的闪存，有关数据闪存请参照“39. 数据闪存（保存数据的闪存）”。

38.1 概要

ROM 的规格如表 38.1 所示，ROM 和数据闪存外围的框图如图 38.1 所示。

表 38.1 ROM 的规格

项目	内容	
存储空间	<ul style="list-style-type: none"> • 用户 MAT : 512K 字节、384K 字节或者 256K 字节（注 1） • 用户引导 MAT : 16K 字节 	
高速读取能力	能进行 1 个 ICLK 周期的高速读取。	
编程 / 擦除方式	<ul style="list-style-type: none"> • 内置对 ROM 进行改写的专用定序器（FCU）。 • 能通过给 FCU 发行命令，进行 ROM 的编程或者擦除。 • 如果读擦除状态的 ROM，就能以 32 位为单位读到“FFFF FFFFh”。 	
BGO（后台操作）功能	<ul style="list-style-type: none"> • 在对 ROM 进行编程或者擦除的期间，CPU 能执行非 ROM 区和非数据闪存区的程序。 • 在对数据闪存进行编程或者擦除的期间，CPU 能执行 ROM 区的程序。 	
挂起 / 恢复功能	<ul style="list-style-type: none"> • 中止 ROM 的编程或者擦除，CPU 能执行 ROM 区的程序（挂起）。 • 在中止后，能重新开始对 ROM 进行编程或者擦除（恢复）。 	
编程 / 擦除单位	<ul style="list-style-type: none"> • 用户 MAT 和用户引导 MAT 的编程单位：256 字节 • 用户 MAT 的擦除单位：4K 字节（8 块）、16K 字节（30 块） • 用户引导 MAT 的擦除单位：16K 字节 	
板上编程 (3 种)	引导模式	<ul style="list-style-type: none"> • 能使用 SCI 改写用户 MAT 和用户引导 MAT。 • 能自动调整主机和 RX62N、RX621 之间的 SCI 通信的位速率。
	USB（用户）引导模式	<ul style="list-style-type: none"> • 能从用户引导 MAT 启动并且改写用户 MAT。 • 出货时，在用户引导 MAT 中写有 USB 引导程序，能使用 USB 改写用户 MAT。 • 能通过改写用户引导 MAT，使用任意的接口改写用户 MAT。
	用户编程	能通过程序改写用户 MAT。
板外编程	能使用 PROM 编程器改写用户 MAT 和用户引导 MAT。	
保护功能	软件保护功能	能通过 FENTRYR.FENTRY0 位、FWEPROR.FLWE[1:0] 位和锁定位防止意料不到的改写。
	错误保护功能	如果在编程或者擦除过程中检测到异常，就禁止以后的编程或者擦除处理。
编程时间 / 擦除时间 / 改写次数	请参照“41. 电特性”。	

注 1. ROM 容量因产品种类而不同。

产品型号	ROM 容量	ROM 地址
R5F562x8	512K 字节	FFF8 0000h ~ FFFF FFFFh
R5F562x7	384K 字节	FFFA 0000h ~ FFFF FFFFh
R5F562x6	256K 字节	FFFC 0000h ~ FFFF FFFFh

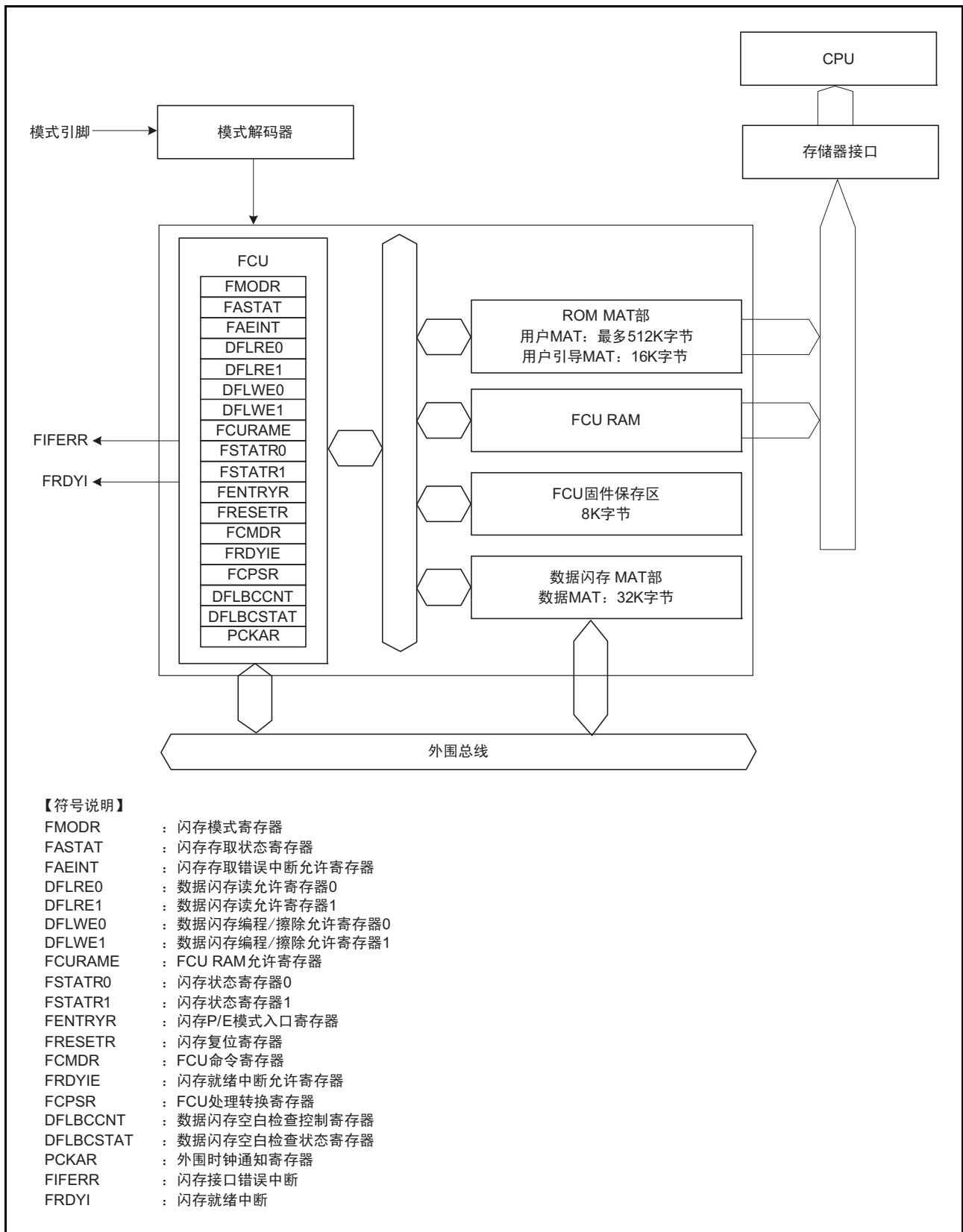


图 38.1 ROM 的框图

ROM 的相关输入 / 输出引脚如表 38.2 所示。

表 38.2 ROM 的相关输入 / 输出引脚

引脚名	输入 / 输出	功能
PF2/RxD1-B（176 引脚版） P30/RxD1（145/144/100/85 引脚版）	输入	用于引导模式。SCI 的接收数据（用于主机通信）。
PF0/TxD1-B（176 引脚版） P26/TxD1（145/144/100/85 引脚版）	输出	用于引导模式。SCI 的发送数据（用于主机通信）。
MD1、MD0	输入	设定 RX62N 群和 RX621 群的运行模式。
USB0_DP、USB0_DM	输入 / 输出	USB 数据的输入 / 输出（用于 USB 引导模式）
P16/USB0_VBUS	输入	检测 USB 电缆的连接 / 断开（用于 USB 引导模式）。
P35	输入	设定 USB 总线供电模式或者自供电模式（用于 USB 引导模式）。
P14/USB0_DPUPE-B	输出	控制 D+ 上拉（用于 USB 引导模式）。

38.2 寄存器说明

ROM 的相关寄存器一览表如表 38.3 所示。部分寄存器也有数据闪存的相关位，本章只说明 ROM 的相关位的功能。有关数据闪存相关位功能的详细内容，请参照“39. 数据闪存（保存数据的闪存）”的“39.2 寄存器说明”。

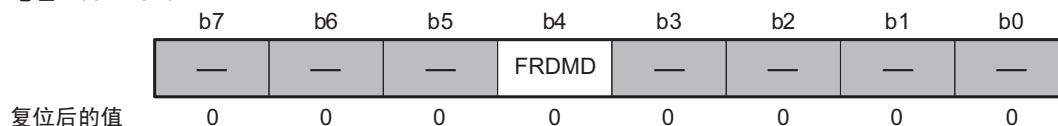
通过复位对 ROM 的相关寄存器进行初始化。

表 38.3 ROM 的相关寄存器一览表

寄存器名	符号	复位后的值	地址	存取长度
闪存模式寄存器	FMODR	00h	007F C402h	8
闪存存取状态寄存器	FASTAT	00h	007F C410h	8
闪存存取错误中断允许寄存器	FAEINT	9Bh	007F C411h	8
闪存就绪中断允许寄存器	FRDYIE	00h	007F C412h	8
FCU RAM 允许寄存器	FCURAME	0000h	007F C454h	16
闪存状态寄存器 0	FSTATR0	80h	007F FFB0h	8
闪存状态寄存器 1	FSTATR1	0xh	007F FFB1h	8
闪存 P/E 模式入口寄存器	FENTRYR	0000h	007F FFB2h	16
闪存保护寄存器	FPROTR	0000h	007F FFB4h	16
闪存复位寄存器	FRESETR	0000h	007F FFB6h	16
FCU 命令寄存器	FCMDR	FFFFh	007F FFBAh	16
FCU 处理转换寄存器	FCPSR	0000h	007F FFC8h	16
闪存 P/E 状态寄存器	FPESTAT	0000h	007F FFCCCh	16
外围时钟通知寄存器	PCKAR	0000h	007F FFE8h	16
闪存编程 / 擦除保护寄存器	FWPEPROR	02h	0008 C289h	8

38.2.1 闪存模式寄存器（FMODR）

地址 007F C402h



位	符号	位名	功能	R/W
b3-b0	—	保留位	读写值都为“0”。	R/W
b4	FRDMD	FCU 读模式选择位	0: 存储区读方式 在 ROM 锁定位读模式中读 ROM 的锁定位时进行设定。 1: 寄存器读方式 在使用锁定位读 2 命令读 ROM 的锁定位时进行设定。	R/W
b7-b5	—	保留位	读写值都为“0”。	R/W

FMODR 寄存器是指定锁定位的读法的寄存器。

在内部 ROM 无效模式中，FMODR 寄存器的读数据为“00h”，不能写。

通过复位对 FMODR 寄存器进行初始化。

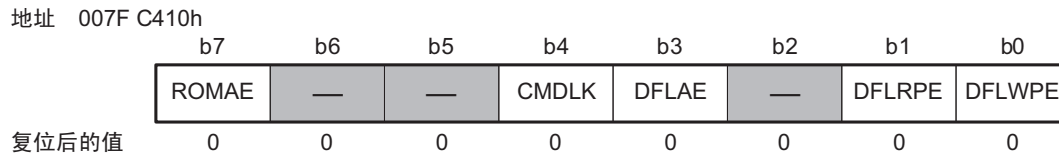
FRDMD 位（FCU 读模式选择位）

此位指定锁定位的读法。

在使用数据闪存的空白检查命令时，需要设定为寄存器读方式。

详细内容请参照“39. 数据闪存（保存数据的闪存）”。

38.2.2 闪存存取状态寄存器（FASTAT）



位	符号	位名	功能	R/W
b0	DFLWPE	数据闪存的编程 / 擦除保护违反位	请参照“39. 数据闪存（保存数据的闪存）”。	R/(W) (注)
b1	DFLRPE	数据闪存的读保护违反位	请参照“39. 数据闪存（保存数据的闪存）”。	R/(W) (注)
b2	—	保留位	读写值都为“0”。	R/W
b3	DFLAE	数据闪存的存取违反位	请参照“39. 数据闪存（保存数据的闪存）”。	R/(W) (注)
b4	CMDLK	FCU 命令锁定位	0: FCU 不处于命令锁定状态 1: FCU 处于命令锁定状态	R
b6-b5	—	保留位	读写值都为“0”。	R/W
b7	ROMAE	ROM 存取违反位	0: 无 ROM 存取错误 1: 有 ROM 存取错误	R/(W) (注)

注. 为了将标志置“0”，只能在读“1”后写“0”。

FASTAT 寄存器是确认有无 ROM/ 数据闪存的存取违反的寄存器。

在内部 ROM 无效模式中，FASTAT 寄存器的读数据为“00h”，不能写。如果 FASTAT 寄存器的某位变为“1”，FCU 就进入命令锁定状态（参照“38.8.2 错误保护”）。为了解除命令锁定状态，需要在将 FASTAT 寄存器置“10h”后，给 FCU 发行状态寄存器清除命令。

通过复位对 FASTAT 寄存器进行初始化。

CMDLK 位（FCU 命令锁定位）

此位表示 FCU 处于命令锁定状态（参照“38.8.2 错误保护”）。

[为“1”的条件]

- FCU 检测到错误并且转移到命令锁定状态后

[为“0”的条件]

- 在 FASTAT 寄存器为“10h”的状态下给 FCU 发行状态寄存器清除命令后

ROMAE 位（ROM 存取违反位）

此位表示有无 ROM 的存取违反。

如果 ROMAE 位变为“1”，FSTATR0.ILGLERR 位就变为“1”，FCU 进入命令锁定状态。

[为“1”的条件]

- 在 FENTRYR.FENTRY0 位为“1”并且在 ROM P/E 正常模式的状态下，对 ROM 的编程 / 擦除地址 00F8 0000h ~ 00FF FFFFh 发行读存取命令。
- 在 FENTRY0 位为“0”的状态下，对 ROM 的编程 / 擦除地址 00F8 0000h ~ 00FF FFFFh 发行存取命令。
- 在将 FENTRYR 寄存器置位后转移到 ROM P/E 模式的状态下，对 ROM 的读地址 FFF8 0000h ~ FFFF FFFFh 发行读存取命令。

[为“0”的条件]

- 读“1”后写“0”时

38.2.3 闪存存取错误中断允许寄存器（FAEINT）

地址 007F C411h

	b7	b6	b5	b4	b3	b2	b1	b0
	ROMAEIE	—	—	CMDLKIE	DFLAEIE	—	DFLRPEIE	DFLWPEIE
复位后的值	1	0	0	1	1	0	1	1

位	符号	位名	功能	R/W
b0	DFLWPEIE	数据闪存的编程 / 擦除保护违反中断允许位	请参照“39. 数据闪存（保存数据的闪存）”。	R/W
b1	DFLRPEIE	数据闪存的读保护违反中断允许位	请参照“39. 数据闪存（保存数据的闪存）”。	R/W
b2	—	保留位	读写值都为“0”。	R/W
b3	DFLAEIE	数据闪存的存取违反中断允许位	请参照“39. 数据闪存（保存数据的闪存）”。	R/W
b4	CMDLKIE	FCU 命令锁定中断允许位	0: 在 FASTAT.CMDLK 位为“1”时，不产生 FIFERR 中断请求。 1: 在 FASTAT.CMDLK 位为“1”时，产生 FIFERR 中断请求。	R/W
b6-b5	—	保留位	读写值都为“0”。	R/W
b7	ROMAEIE	ROM 存取违反中断允许位	0: 在 FASTAT.ROMAE 位为“1”时，不产生 FIFERR 中断请求。 1: 在 FASTAT.ROMAE 位为“1”时，产生 FIFERR 中断请求。	R/W

FAEINT 寄存器设定允许或者禁止闪存接口错误中断（FIFERR）的输出。

在内部 ROM 无效模式中，FAEINT 寄存器的读数据为“00h”，不能写。

通过复位对 FAEINT 寄存器进行初始化。

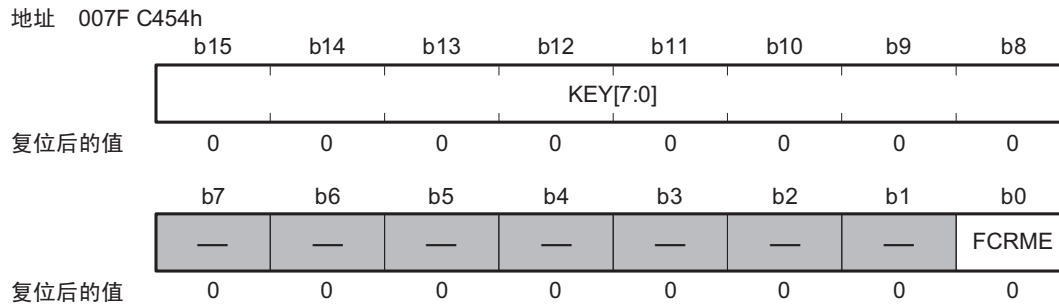
CMDLKIE 位（FCU 命令锁定中断允许位）

在发生 FCU 命令锁定并且 FASTAT.CMDLK 位变为“1”时，此位允许或者禁止 FIFERR 中断请求的产生。

ROMAEIE 位（ROM 存取违反中断允许位）

在发生 ROM 存取违反并且 FASTAT.ROMAE 位变为“1”时，此位允许或者禁止 FIFERR 中断请求的产生。

38.2.4 FCU RAM 允许寄存器（FCURAME）



位	符号	位名	功能	R/W
b0	FCRME	FCU RAM 允许位	0: 禁止存取 FCU RAM 1: 允许存取 FCU RAM	R/W
b7-b1	—	保留位	读写值都为“0”。	R/W
b15-b8	KEY[7:0]	键码	控制能否改写 FCRME 位。	R/(W) (注)

注. 不保持写数据。

FCURAME 寄存器允许或者禁止存取 FCU RAM 区。

只在给高位字节写特定值时才能通过字存取写此寄存器，但是不保持高位字节的写数据。

在内部 ROM 无效模式中，FCURAME 寄存器的读数据为“00h”，不能写。

通过复位对 FCURAME 寄存器进行初始化。

FCRME 位（FCU RAM 允许位）

此位允许或者禁止存取 FCU RAM。

只在 KEY[7:0] 位为“C4h”时才能通过字存取写 FCRME 位。要写 FCU RAM 时，必须将 FENTRYR 寄存器置“0000h”，使 FCU 停止。

KEY[7:0] 位（键码）

这些位控制能否改写 FCRME 位。

不保持 KEY[7:0] 位的写数据。

38.2.5 闪存状态寄存器 0（FSTATR0）

地址 007F FF0h

	b7	b6	b5	b4	b3	b2	b1	b0
	FRDY	ILGLERR	ERSERR	PRGERR	SUSRDY	—	ERSSPD	PRGSPD
复位后的值	1	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	PRGSPD	编程挂起状态位	0: 下述以外的状态 1: 正在进行编程的中止处理或者正在编程挂起	R
b1	ERSSPD	擦除挂起状态位	0: 下述以外的状态 1: 正在进行擦除的中止处理或者正在擦除挂起	R
b2	—	保留位	读取值为“0”，写操作无效。	R
b3	SUSRDY	挂起就绪位	0: 不能接受 P/E 挂起命令 1: 能接受 P/E 挂起命令	R
b4	PRGERR	编程错误位	0: 编程处理正常结束 1: 在编程处理过程中发生错误	R
b5	ERSERR	擦除错误位	0: 擦除处理正常结束 1: 在擦除处理过程中发生错误	R
b6	ILGLERR	非法命令错误位	0: FCU 没有检测到非法命令和 ROM/ 数据闪存的非法存取 1: FCU 检测到非法命令或者 ROM/ 数据闪存的非法存取	R
b7	FRDY	闪存就绪位	0: 正在处理编程或者擦除，正在处理编程或者擦除的中止，正在处理锁定读 2 命令，正在处理外围时钟通知命令，或者正在处理数据闪存的空白检查（参照“39. 数据闪存（保存数据的闪存）”）。 1: 没有执行上述处理	R

FSTATR0 寄存器是确认 FCU 状态的寄存器。

在内部 ROM 无效模式中，FSTATR0 寄存器的读数据为“00h”。

通过复位或者将 FRESETR.FRESET 位置“1”，对 FSTATR0 寄存器进行初始化。

PRGSPD 位（编程挂起状态位）

此位表示 FCU 正在进行编程的中止处理或者已经转移到编程挂起状态，详细内容请参照“38.7 挂起”。

[为“1”的条件]

- 开始进行编程的中止处理时

[为“0”的条件]

- 接受恢复命令时

ERSSPD 位（擦除挂起状态位）

此位表示 FCU 正在进行擦除的中止处理或者已经转移到擦除挂起状态，详细内容请参照“38.7 挂起”。

[为“1”的条件]

- 开始进行擦除的中止处理时

[为“0”的条件]

- 接受恢复命令时

SUSRDY 位（挂起就绪位）

此位表示 FCU 能否接受 P/E 挂起命令。

[为“1”的条件]

- 在开始进行编程或者擦除处理后，转移到能接受P/E挂起命令的状态时

[为“0”的条件]

- 接受P/E挂起命令时
- 在编程或者擦除处理过程中转移到命令锁定状态时

PRGERR 位（编程错误位）

此位表示通过 FCU 对 ROM/ 数据闪存进行编程处理的结果。

当 PRGERR 位为“1”时，FCU 进入命令锁定状态，详细内容请参照“38.8.2 错误保护”。

[为“1”的条件]

- 在编程过程中发生错误时
- 对由锁定位保护的区域发行编程命令时

[为“0”的条件]

- FCU 发行状态寄存器清除命令后

ERSERR 位（擦除错误位）

此位表示通过 FCU 对 ROM/ 数据闪存进行擦除处理的结果。

当 ERSERR 位为“1”时，FCU 进入命令锁定状态，详细内容请参照“38.8.2 错误保护”。

[为“1”的条件]

- 在擦除过程中发生错误时
- 对由锁定位保护的区域发行擦除命令时

[为“0”的条件]

- FCU 发行状态寄存器清除命令后

ILGLERR 位（非法命令错误位）

此位表示 FCU 检测到非法命令或者 ROM/ 数据闪存的非法存取。

当 ILGLERR 位为“1”时，FCU 进入命令锁定状态，详细内容请参照“38.8.2 错误保护”。

[为“1”的条件]

- FCU 检测到非法命令时
- FCU 检测到 ROM/ 数据闪存的非法存取时
(FASTAT.ROMAE 位、FASTAT.DFLAE 位、FASTAT.DFLRPE 位或者 FASTAT.DFLWPE 位为“1”)
- FENTRYR 寄存器的设定不正确时

[为“0”的条件]

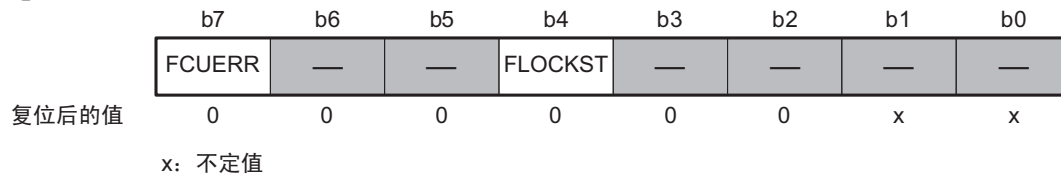
- 在 FASTAT 寄存器为“10h”的状态下，FCU 发行状态寄存器清除命令后

FRDY 位（闪存就绪位）

此位是确认 FCU 处理状态的位。

38.2.6 闪存状态寄存器 1（FSTATR1）

地址 007F FFB1h



位	符号	位名	功能	R/W
b1-b0	—	保留位	读取值为不定值，写操作无效。	R
b3-b2	—	保留位	读取值为“0”，写操作无效。	R
b4	FLOCKST	锁定位的状态位	0: 保护状态 1: 非保护状态	R
b6-b5	—	保留位	读取值为“0”，写操作无效。	R
b7	FCUERR	FCU 错误位	0: 在 FCU 处理中未发生错误 1: 在 FCU 处理中发生错误	R

FSTATR1 寄存器是确认 FCU 状态的寄存器。

在内部 ROM 无效模式中，FSTATR1 寄存器的读数据为“00h”。

通过复位或者将 FRESETR.FRESET 位置“1”，对 FSTATR1 寄存器进行初始化。

FLOCKST 位（锁定位的状态位）

当使用锁定位读 2 命令时，此位反映锁定位的读数据。

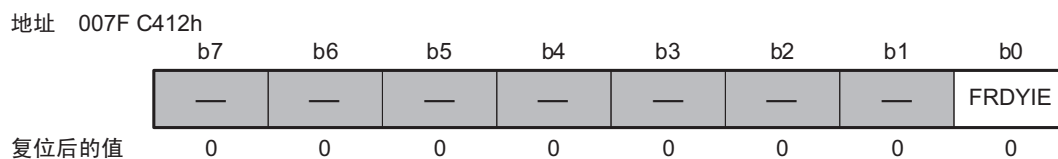
在发行锁定位读 2 命令后 FSTATR0.FRDY 位变为“1”时，将有效数据保存到 FLOCKST 位。FLOCKST 位的值保持到下一个锁定位读 2 命令结束为止。

FCUERR 位（FCU 错误位）

此位表示在 FCU 内部处理中发生错误。

当 FCUERR 位为“1”时，必须将 FRESETR.FRESET 位置“1”，对 FCU 进行初始化。必须将 FCU 固件从 FCU 固件区重新复制到 FCU 的 RAM 区。

38.2.7 闪存就绪中断允许寄存器（FRDYIE）



位	符号	位名	功能	R/W
b0	FRDYIE	闪存就绪中断允许位	0: 禁止 FRDYI 中断请求的产生 1: 允许 FRDYI 中断请求的产生	R/W
b7-b1	—	保留位	读写值都为“0”。	R/W

FRDYIE 寄存器设定允许或者禁止闪存就绪中断（FRDYI）的输出。

在内部 ROM 无效模式中，FRDYIE 寄存器的读数据为“00h”，不能写。

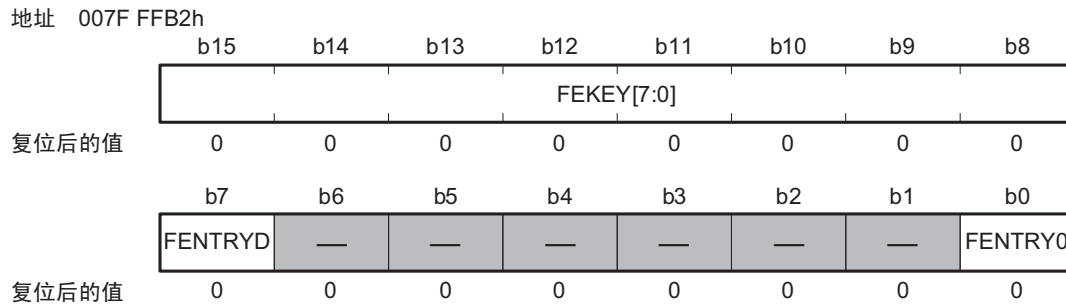
通过复位对 FRDYIE 寄存器进行初始化。

FRDYIE 位（闪存就绪中断允许位）

此位允许或者禁止在结束编程或者擦除处理时产生 FRDYI 中断请求。

如果在将 FRDYIE 位置“1”的状态下结束 FCU 命令的执行（FSTATR0.FRDY 位从“0”变为“1”），就产生闪存就绪中断请求（FRDYI）。

38.2.8 闪存 P/E 模式入口寄存器（FENTRYR）



位	符号	位名	功能	R/W
b0	FENTRY0	ROM P/E 模式入口位 0	0: ROM 的 512K/384K/256K 字节为 ROM 读模式 1: ROM 的 512K/384K/256K 字节为 ROM P/E 模式	R/W
b6-b1	—	保留位	读写值都为“0”。	R/W
b7	FENTRYD	数据闪存 P/E 模式入口位	请参照“39. 数据闪存（保存数据的闪存）”。	R/W
b15-b8	FEKEY[7:0]	键码	控制能否改写 FENTRYD 位和 FENTRY0 位。	R/(W) (注 1)

注 1. 不保持写数据。

FENTRYR 寄存器是将 ROM/ 数据闪存设定为 P/E 模式的寄存器。

为了将 ROM/ 数据闪存设定为 P/E 模式，使 FCU 能接受命令，需要将 FENTRYD 位或者 FENTRY0 位置“1”。但是，如果将这些位中的多个位置“1”，FSTAT0.ILGLERR 位就变为“1”，FCU 进入命令锁定状态。

只在给高位字节写特定值时才能通过字存取写此寄存器，而在其他情况下写此寄存器时，此寄存器就被初始化，但是不保持高位字节的写数据。

在内部 ROM 无效模式中，FENTRYR 寄存器的读数据为“0000h”，不能写。

通过复位或者将 FRESETR.FRESET 位置“1”，对 FENTRYR 寄存器进行初始化。

FENTRY0 位（ROM P/E 模式入口位 0）

此位将 ROM 的 512K 字节（读地址：FFF8 0000h ~ FFFF FFFFh，编程 / 擦除地址：00F8 0000h ~ 00FF FFFFh）设定为 P/E 模式。

[写操作的有效条件（满足以下全部条件时）]

- 内部 ROM 为有效模式
- FSTAT0.FRDI 位为“1”
- 通过字存取给 FEKEY[7:0] 位写“AAh”

[为“1”的条件]

- 在满足写操作的有效条件并且 FENTRYR 寄存器为“0000h”的状态下，给 FENTRY0 位写“1”时

[为“0”的条件]

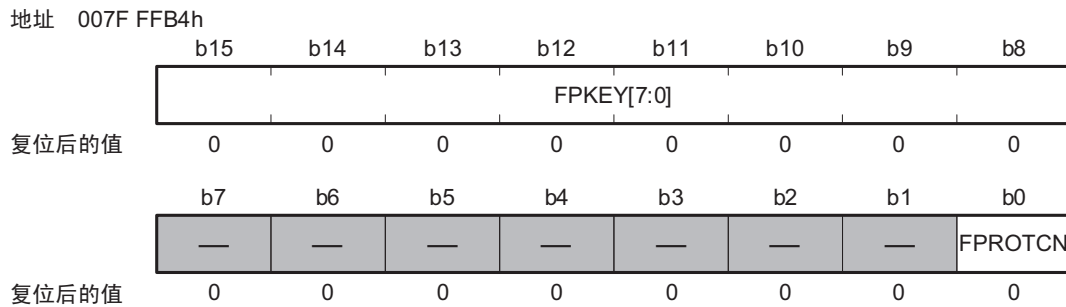
- 通过字节存取进行写操作时
- 在 FEKEY[7:0] 位不为“AAh”的状态下，通过字存取进行写操作时
- 在满足写操作的有效条件的状态下给 FENTRY0 位写“0”时
- 在满足写操作的有效条件并且 FENTRYR 寄存器不为“0000h”的状态下，写 FENTRYR 寄存器时

FEKEY[7:0] 位（键码）

这些位控制能否改写 FENTRYD 位和 FENTRY0 位。

不保持 FEKEY[7:0] 位的写数据。

38.2.9 闪存保护寄存器（FPROTR）



位	符号	位名	功能	R/W
b0	FPROTCN	锁定位保护取消位	0: 通过锁定位进行的保护有效 1: 通过锁定位进行的保护无效	R/W
b7-b1	—	保留位	读写值都为“0”。	R/W
b15-b8	FPKEY[7:0]	键码	控制能否改写 FPROTCN 位。	R/(W) (注)

注. 不保持写数据。

FPROTR 寄存器设定通过锁定位进行的编程 / 擦除保护功能的有效或者无效。

只在给高位字节写特定值时才能通过字存取写此寄存器，而在其他情况下写此寄存器时，此寄存器就被初始化，但是不保持高位字节的写数据。

在内部 ROM 无效模式中，FPROTR 寄存器的读数据为“0000h”，不能写。

通过复位或者将 FRESETR.FRESET 位置“1”，对 FPROTR 寄存器进行初始化。

FPROTCN 位（锁定位保护取消位）

此位设定通过锁定位进行的编程 / 擦除保护的有效或者无效。

[为“1”的条件]

- 在 FENTRYR 寄存器的值不为“0000h”的状态下，通过字存取分别给 FPKEY[7:0]位和 FPROTCN 位写“55h”和“1”时

[为“0”的条件]

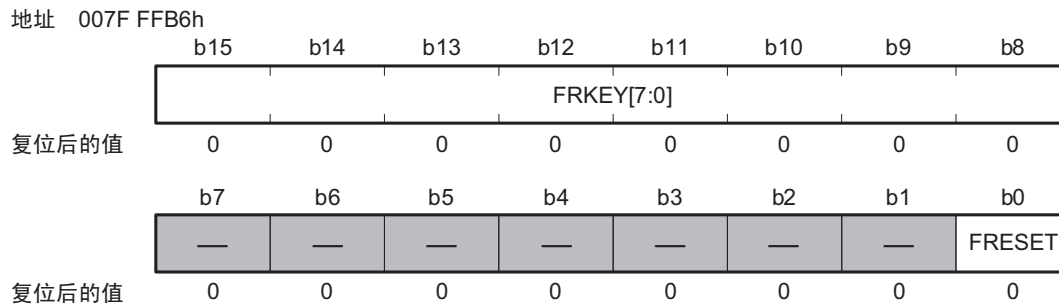
- 通过字节存取进行写操作时
- 在 FPKEY[7:0]位不为“55h”的状态下，通过字存取进行写操作时
- 通过字存取分别给 FPKEY[7:0]位和 FPROTCN 位写“55h”和“0”时
- FENTRYR 寄存器的值为“0000h”时

FPKEY[7:0] 位（键码）

此位控制能否改写 FPROTCN 位。

不保持 FPKEY[7:0] 位的写数据。

38.2.10 闪存复位寄存器（FRESETR）



位	符号	位名	功能	R/W
b0	FRESET	闪存复位的位	0: 不对 FCU 进行复位 1: 对 FCU 进行复位	R/W
b7-b1	—	保留位	读写值都为“0”。	R/W
b15-b8	FRKEY[7:0]	键码	控制能否改写 FRESET 位。	R/(W) (注)

注. 不保持写数据。

FRESETR 寄存器是用于对 FCU 进行初始化的寄存器。

只在给高位字节写特定值时才能通过字存取写此寄存器，但是不保持高位字节的写数据。

在内部 ROM 无效模式中，FRESETR 寄存器的读数据为“0000h”，不能写。

通过复位对 FRESETR 寄存器进行初始化。

FRESET 位（闪存复位的位）

如果将 FRESET 位置“1”，ROM/ 数据闪存的编程或者擦除就被强制结束并且 FCU 被初始化。

给编程或者擦除过程中的 ROM/ 数据闪存的存储器外加高电压。为了确保存储器外加电压的下降所需的时间，在对 FCU 进行初始化时，FRESET 位为“1”的状态必须保持 t_{RESW2} （参照“41. 电特性”）的时间。在 FRESET 位保持“1”的期间，必须禁止读 ROM/ 数据闪存。因为在 FRESET 位为“1”的状态下对 FENTRYR 寄存器进行初始化，所以不能使用 FCU 命令。

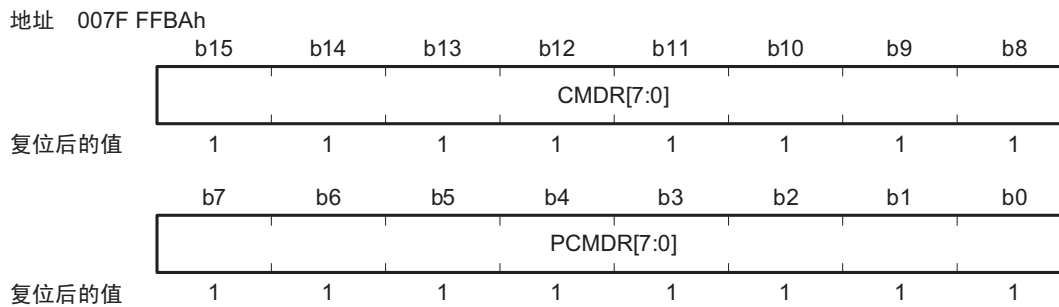
只在 FRKEY[7:0] 位为“CCh”时才能通过字存取写 FRESET 位。

FRKEY[7:0] 位（键码）

这些位控制能否改写 FRESET 位。

不保持 FRKEY[7:0] 位的写数据。

38.2.11 FCU 命令寄存器（FCMDR）



位	符号	位名	功能	R/W
b7-b0	PCMDR[7:0]	预置命令	保存 FCU 接受的前一个命令。	R
b15-b8	CMDR[7:0]	命令	保存 FCU 接受的最新命令。	R

FCMDR 寄存器保存 FCU 接受的命令。

在内部 ROM 无效模式中，FCMDR 寄存器的读数据为“0000h”，写操作无效。

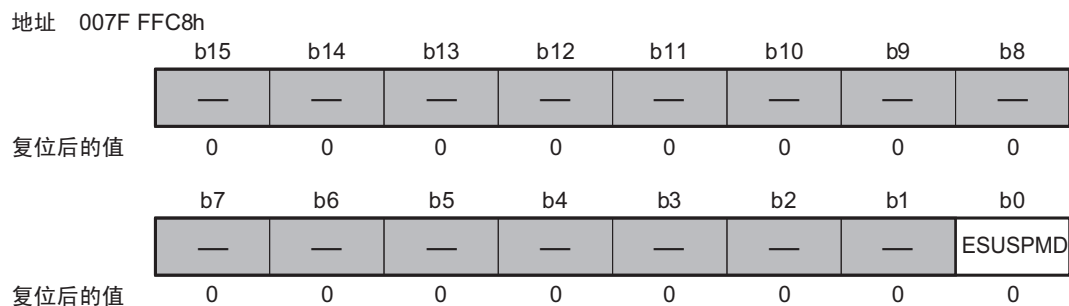
通过复位或者将 FRESETR.FRESET 位置“1”，对 FCMDR 进行初始化。

接受各命令后的 FCMDR 寄存器的状态如表 38.4 所示，空白检查的内容请参照数据闪存的“39.6 数据闪存的编程 / 擦除”。

表 38.4 接受各命令后的 FCMDR 寄存器状态

命令	CMDR	PCMDR
P/E 正常模式转移	FFh	前一个命令
状态读模式转移	70h	前一个命令
锁定位读模式转移（锁定位读 1）	71h	前一个命令
外围时钟通知命令	E9h	前一个命令
编程	E8h	前一个命令
块擦除	D0h	20h
P/E 挂起	B0h	前一个命令
P/E 恢复	D0h	前一个命令
状态寄存器清除	50h	前一个命令
锁定位读 2 空白检查	D0h	71h
锁定位编程	D0h	77h

38.2.12 FCU 处理转换寄存器（FCPSR）



位	符号	位名	功能	R/W
b0	ESUSPMD	擦除挂起模式位	0: 挂起优先模式 1: 擦除优先模式	R/W
b15-b1	—	保留位	读写值都为“0”。	R/W

FCPSR 寄存器选择 FCU 擦除处理的挂起方法。

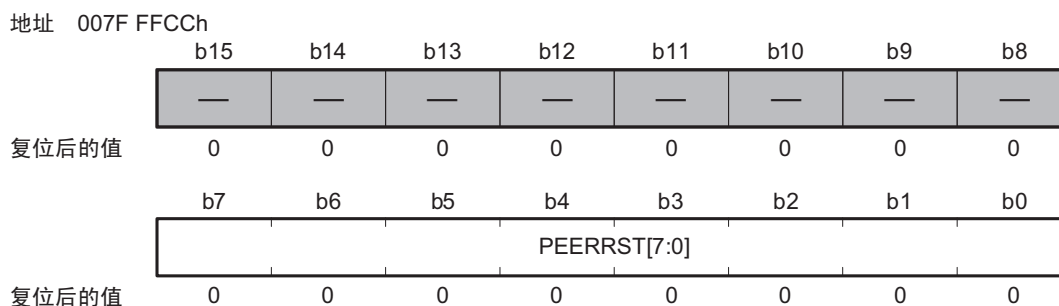
在内部 ROM 无效模式中，FCPSR 寄存器的读数据为“0000h”，不能写。

通过复位或者将 FRESETR.FRESET 位置“1”，对 FCPSR 寄存器进行初始化。

ESUSPMD 位（擦除挂起模式位）

在 FCU 进行 ROM/ 数据闪存的擦除处理过程中发行 P/E 挂起命令时，此位选择擦除中断处理模式，详细内容请参照“38.7 挂起”。

38.2.13 闪存 P/E 状态寄存器（FPESTAT）



位	符号	位名	功能	R/W
b7-b0	PEERRST[7:0]	P/E 错误状态位	01h: 锁定位保护区的编程错误 02h: 由锁定位保护以外的原因引起的编程错误 11h: 锁定位保护区的擦除错误 12h: 由锁定位保护以外的原因引起的擦除错误 上述以外: 保留	R
b15-b8	—	保留位	读取值为“0”，写操作无效。	R

FPESTAT 寄存器是表示 ROM/ 数据闪存的编程或者擦除处理结果的寄存器。

在内部 ROM 无效模式中，FPESTAT 寄存器的读数据为“0000h”，不能写。

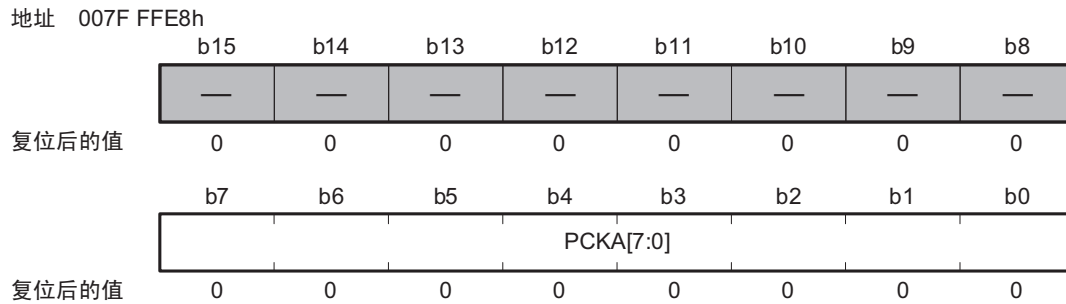
通过复位或者将 FRESETR.FRESET 位置“1”，对 FPESTAT 寄存器进行初始化。

PEERRST[7:0] 位（P/E 错误状态位）

这些位表示在 ROM/ 数据闪存的编程或者擦除处理过程中发生错误时的错误原因。

只在 FSTATR0.ERSERR 位或者 FSTATR0.PRGERR 位为“1”的状态下并且 FSTATR0.FRDIY 位变为“1”时，PEERRST[7:0] 位的值才有效。当 ERSERR 位和 PRGERR 位为“0”时，PEERRST[7:0] 位保持过去发生的错误原因的值。

38.2.14 外围时钟通知寄存器（PCKAR）



位	符号	位名	功能	R/W
b7-b0	PCKA[7:0]	外围时钟通知位	在对 ROM/ 数据闪存进行编程或者擦除时，这些位设定外围时钟（PCLK）。	R/W
b15-b8	—	保留位	读写值都为“0”。	R/W

在对 ROM/ 数据闪存进行编程或者擦除时，PCKAR 寄存器将外围时钟（PCLK）的频率设定信息通知定序器。此设定用于控制编程或者擦除的时间。

在内部 ROM 无效模式中，PCKAR 寄存器的读数据为“0000h”，不能写。

通过复位或者将 FRESETR.FRESET 位置“1”，对 PCKAR 寄存器进行初始化。

PCKA[7:0] 位（外围时钟通知位）

在对 ROM/ 数据闪存进行编程或者擦除时，这些位设定外围时钟（PCLK）。

必须在编程或者擦除前给 PCKA[7:0] 位设定 PCLK 的频率，然后发行外围时钟通知命令。不能在对 ROM/ 数据闪存进行编程或者擦除过程中更改频率。

如下进行设定值的计算：

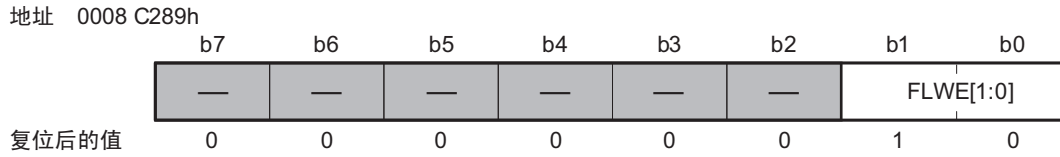
- 将以 MHz 为单位表现的工作频率转换为 2 进制数并且写到 PCKA[7:0] 位。
以外围时钟的工作频率为 35.9MHz 时的情况为具体例子，说明如下：
- 将 35.9 进行舍入。
- 将 36 转换为 2 进制数，给 PCKA[7:0] 位的高位设定“00h”、低位设定“24h”（0010 0100b）。

注 1. 如果将 PCKA[7:0] 位设定在 8MHz ~ 50MHz 的范围以外，就不能对 ROM/ 数据闪存发行改写命令。

注 2. 如果给 PCKA[7:0] 位设定和实际频率不同的频率，就可能破坏 ROM/ 数据闪存的数据。

注 3. 即使有效地利用 PCKA[7:0] 位，在一定程度上改写时间也取决于频率。

38.2.15 闪存编程 / 擦除保护寄存器（FWEPROR）



位	符号	位名	功能	R/W
b1-b0	FLWE[1:0]	闪存编程 / 擦除位	b1 b0 0 0: 不能进行编程和擦除 0 1: 能进行编程和擦除 1 0: 不能进行编程和擦除（初始值） 1 1: 不能进行编程和擦除	R/W
b7-b2	—	保留位	读写值都为“0”。	R/W

FWEPROR 寄存器是通过软件进行闪存编程 / 擦除保护的可读写寄存器。
 在软件待机模式或者深度软件待机模式中，也对 FWEPROR 寄存器进行初始化。

FLWE[1:0] 位（闪存编程 / 擦除位）
 此位通过软件进行闪存编程 / 擦除的保护。

38.3 ROM 的存储器 MAT 结构

RX62N 群和 RX621 群的 ROM 由最多 512K 字节的用户 MAT 和 16K 字节的用户引导 MAT 构成，这些 MAT 的地址如图 38.2 所示。

必须注意：在进行读、编程或者擦除时，用户 MAT 的地址不同。

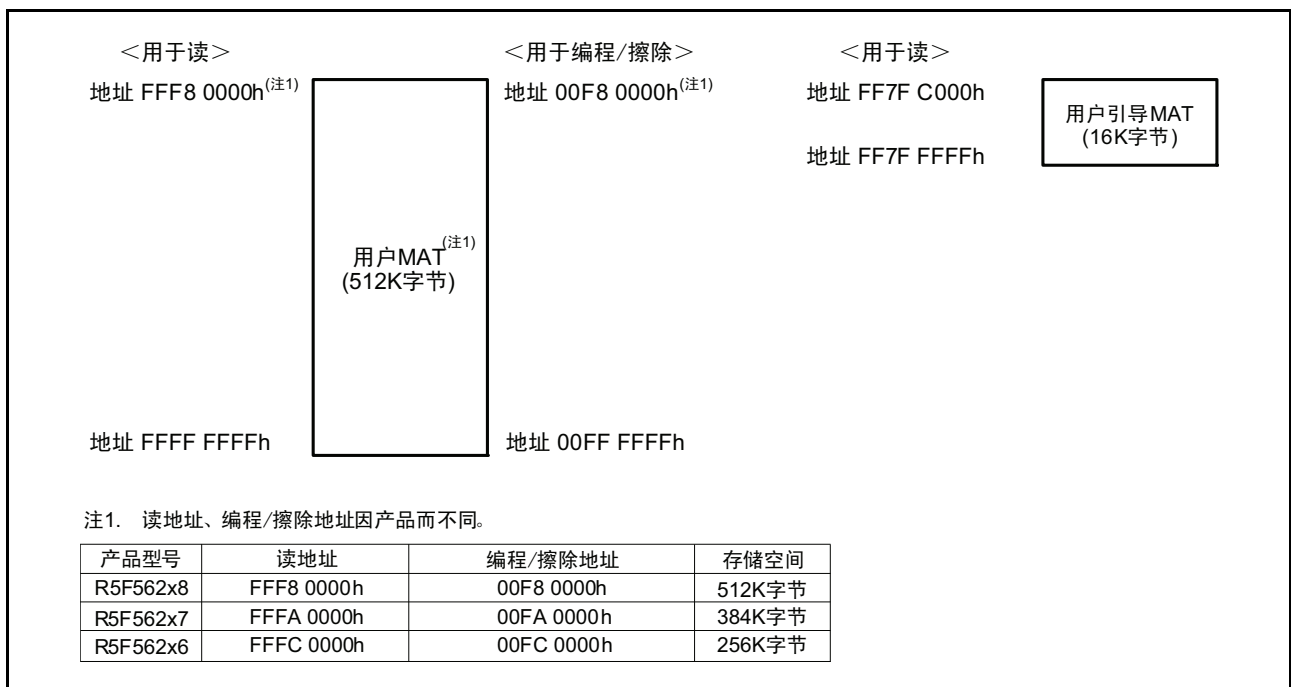


图 38.2 ROM 的存储器 MAT 结构

38.4 块结构

用户 MAT 的擦除块结构如图 38.3 所示。用户 MAT 被分割为 4K 字节（8 块）和 16K 字节（30 块），以块为单位进行擦除。以低位地址为“00h”开始的 256 字节为单位进行编程。

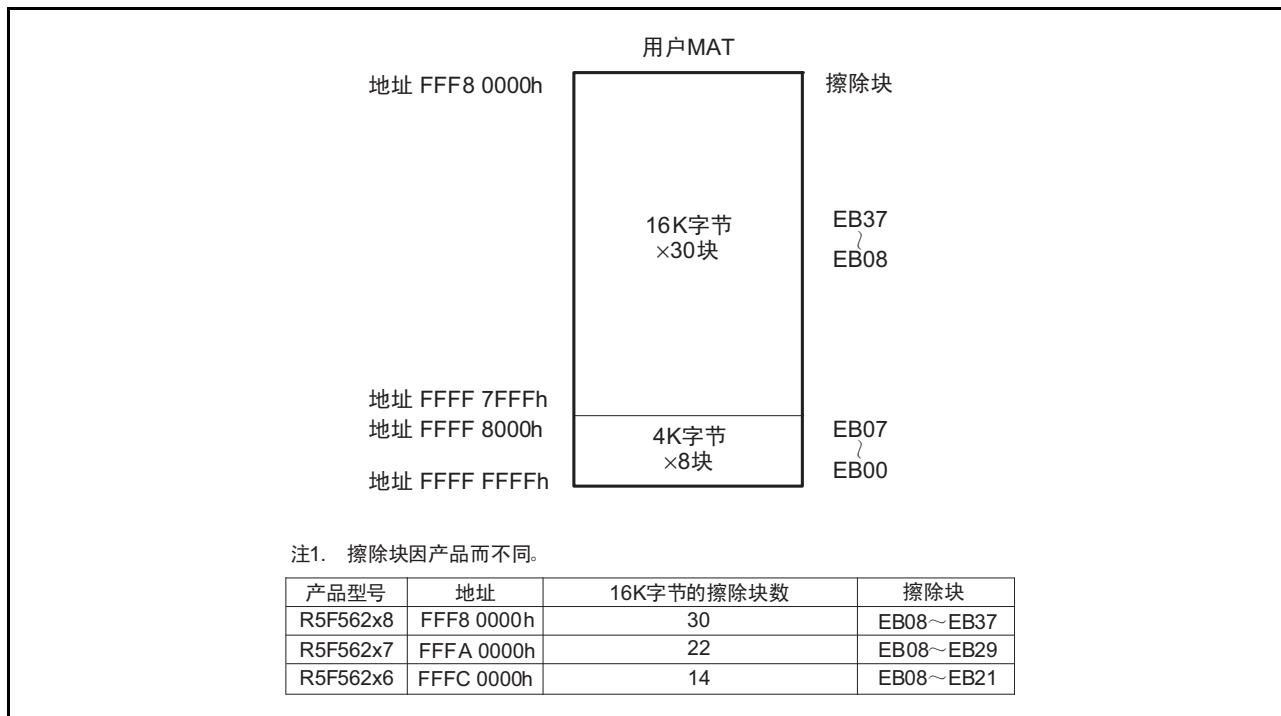


图 38.3 用户 MAT 的擦除块结构

38.5 ROM 相关的运行模式

RX62N 群和 RX621 群的运行模式转移图如图 38.4 所示。

一旦设定 MD1 引脚和 MD0 引脚并且进行复位解除，就进行如图 38.4 的转移。

有关 MD1 引脚和 MD0 引脚的设定值与 RX62N 群和 RX621 群的运行模式的关系，请参照“3. 运行模式”。

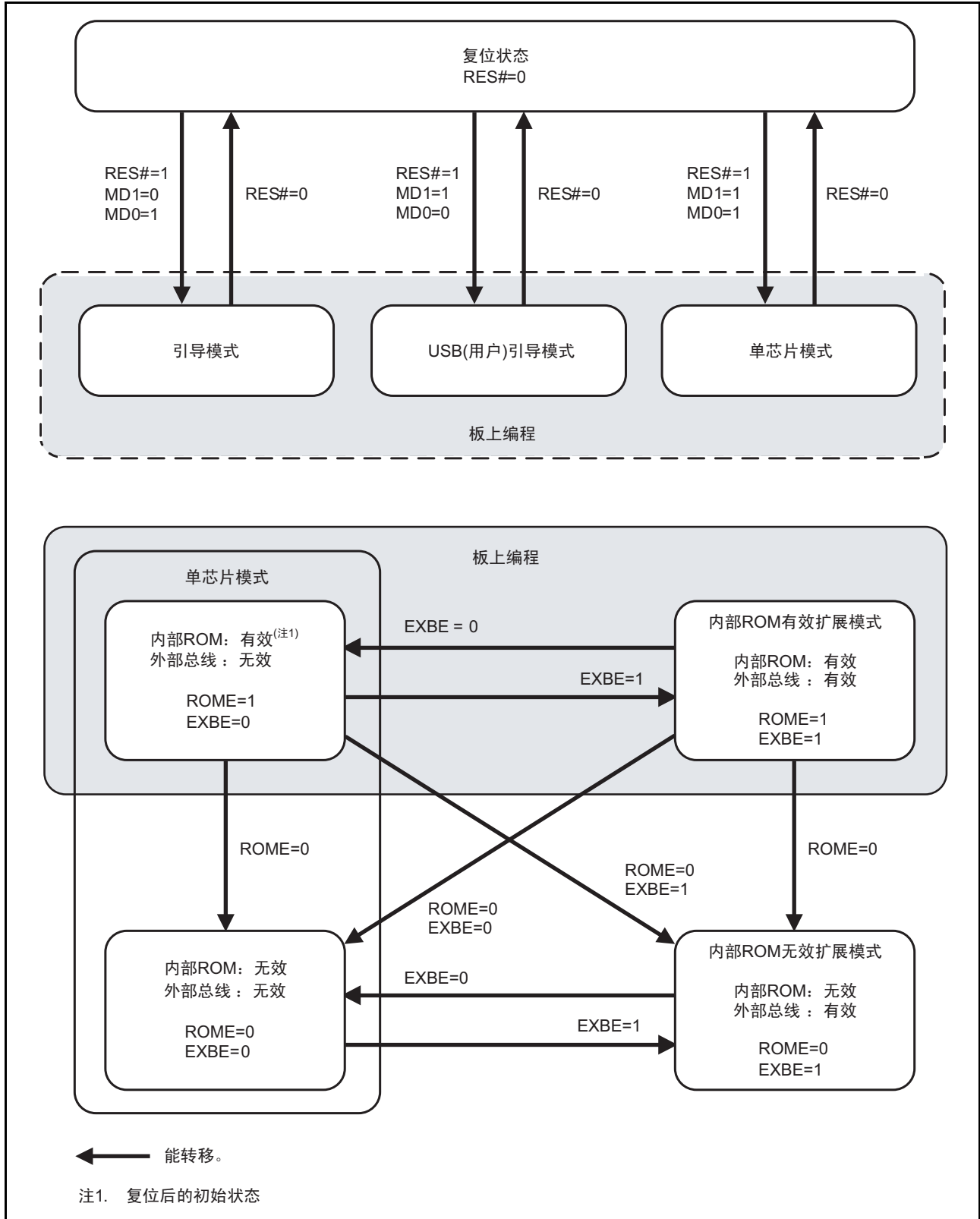


图 38.4 ROM 相关的运行模式转移图

在引导模式、USB（用户）引导模式、单芯片模式（内部 ROM 有效）或者内部 ROM 有效扩展模式中，能进行板上 ROM 的读、编程或者擦除。

在各模式中，能编程和擦除的 MAT、复位时的启动 MAT 等不同，各模式的不同点如表 38.5 所示。

表 38.5 各模式的不同点

项目	引导模式	USB（用户）引导模式	单芯片模式（内部 ROM 有效）/ 内部 ROM 有效扩展模式
编程 / 擦除环境	板上编程		
能编程 / 擦除的 MAT	用户 MAT 用户引导 MAT	用户 MAT	用户 MAT
块分割擦除	○（注 1）	○（注 1）	○
复位时的启动 MAT	嵌入式程序存储 MAT（注 2）	用户引导 MAT	用户 MAT

注 1. 有可能在启动时被全部擦除。此后能擦除特定块，详细内容请参照“38.9.2 ID 码保护”、“38.9.4 引导模式的状态转移”和“38.10.2 状态转移”。

注 2. 用户不能使用。

- 只能在引导模式中对用户引导 MAT 进行编程和擦除。
- 在引导模式中，主机能经由 SCI 对用户 MAT、用户引导 MAT 或者数据 MAT 进行编程和读。
- 在 USB（用户）引导模式中，能从用户引导 MAT 启动。产品出货时，在用户引导 MAT 中保存了 USB 引导程序，能使用 USB 对用户 MAT 或者数据 MAT 进行编程和读。另外，能通过改写用户引导 MAT，使用任意接口对用户 MAT 或者数据 MAT 进行编程和读。
- 在引导模式中，通过引导模式的嵌入式程序使用内部 RAM。因此，不保持内部 RAM 的数据。

38.6 ROM 的编程 / 擦除

通过给编程 / 擦除的专用定序器（FCU）发行命令（FCU 命令），对 ROM 进行编程和擦除。FCU 有 5 种模式，通过在模式转移后发行编程和擦除命令，进行编程和擦除。

以下说明 ROM 的编程和擦除所需的模式转移和命令体系。这些内容在引导模式、USB（用户）引导模式、单芯片（内部 ROM 有效）模式和内部 ROM 有效扩展模式中通用。

38.6.1 FCU 的模式

FCU 有 5 种模式，通过写 FENTRYR 寄存器以及 FCU 命令进行模式的转移，FCU 的模式转移图如图 38.5 所示。

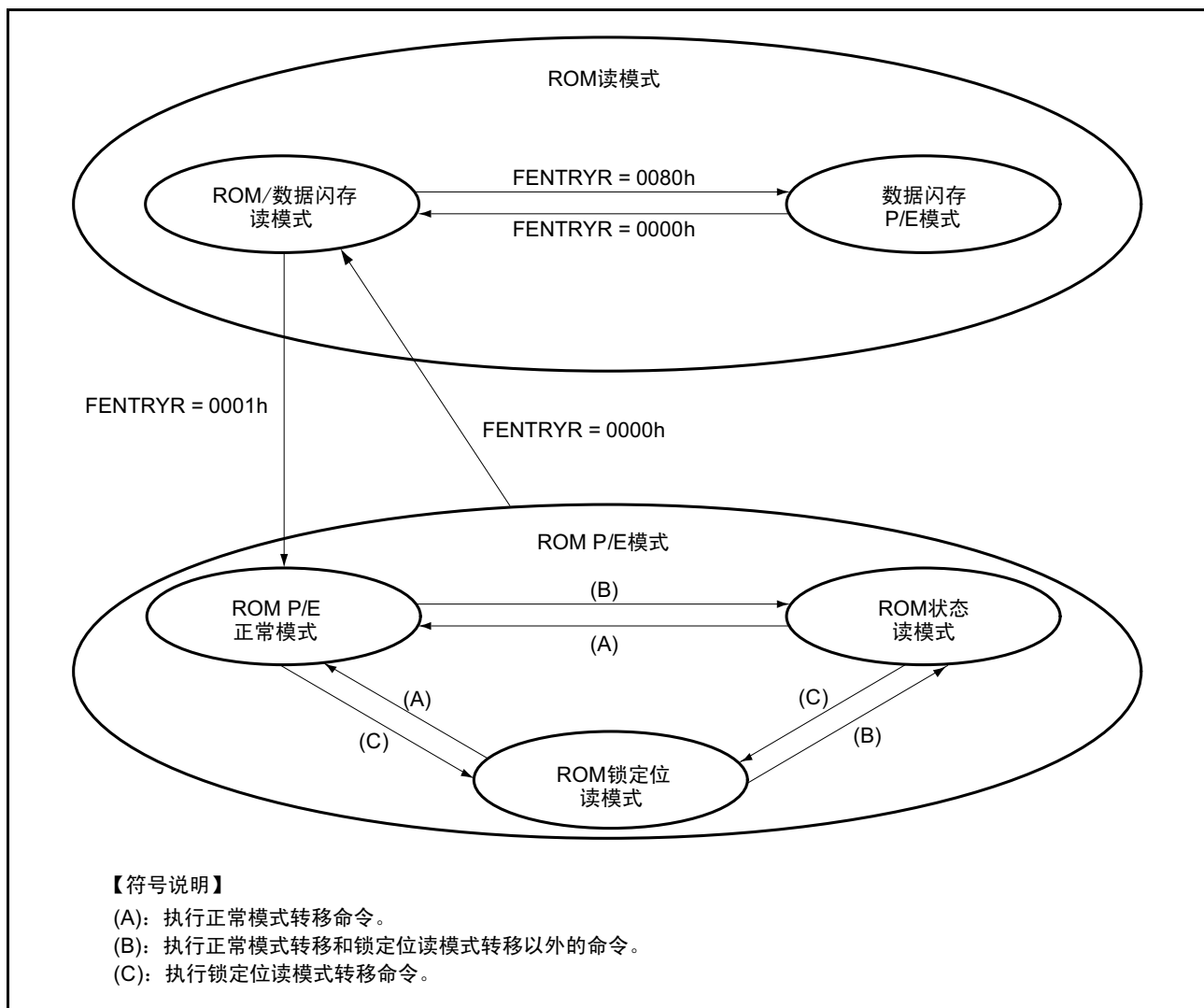


图 38.5 FCU 的模式转移图（ROM 相关）

38.6.1.1 ROM 读模式

ROM 读模式是高速读 ROM 的模式。如果对读地址进行读存取，就能进行 1 个 ICLK 周期的高速读取。ROM 读模式有 ROM/ 数据闪存读模式和数据闪存 P/E 模式。

(1) ROM/ 数据闪存读模式

ROM/ 数据闪存读模式是能读 ROM 和数据闪存的模式，不接受 FCU 命令。如果将 FENTRYR.FENTRY0 位和 FENTRYR.FENTRYD 位都置“0”，就转移到此模式。

(2) 数据闪存 P/E 模式

数据闪存 P/E 模式是对数据闪存进行编程和擦除的模式，能高速读 ROM。此模式接受数据闪存的 FCU 命令，但是不接受 ROM 的 FCU 命令。如果将 FENTRYR.FENTRY0 位置“0”并且将 FENTRYR.FENTRYD 位置“1”，就转移到此模式。

有关数据闪存 P/E 模式的详细内容，请参照“39. 数据闪存（保存数据的闪存）”的“39.6.1 FCU 的模式”。

38.6.1.2 ROM P/E 模式

ROM P/E 模式是对 ROM 进行编程和擦除的模式，不能高速读 ROM。如果对读地址进行读存取，就发生 ROM 存取违反，FCU 进入命令锁定状态（参照“38.8.2 错误保护”）。

ROM P/E 模式有 ROM P/E 正常模式、ROM 状态读模式和 ROM 锁定位读模式共 3 种。

(1) ROM P/E 正常模式

ROM P/E 正常模式是在对 ROM 进行编程或者擦除时最先转移的模式。如果在 ROM 读模式中将 FENTRYR.FENTRYD 位置“0”并且将 FENTRYR.FENTRY0 位置“1”，或者在 ROM P/E 模式中接受正常模式转移命令，就转移到此模式。能接受的命令如表 38.8 所示。

如果在 FENTRYR.FENTRY0 位为“1”的状态下对编程 / 擦除地址进行读存取，就产生 ROM 的存取违反，FCU 进入命令锁定状态（参照“38.8.2 错误保护”）。

(2) ROM 状态读模式

ROM 状态读模式是能读 ROM 状态的模式。如果在 ROM P/E 模式中接受正常模式转移和锁定位读模式转移以外的命令，就转移到此模式。

FSTATR0.FRDY 位为“0”的状态以及发生错误后的命令锁定状态也是 ROM 状态读模式中的状态。能接受的命令如表 38.8 所示。

如果在 FENTRYR.FENTRY0 位为“1”的状态下对相应的编程 / 擦除地址进行读存取，就能读 FSTATR0 寄存器的值。

(3) ROM 锁定位读模式

ROM 锁定位读模式是通过读 ROM 来读锁定位的模式。如果在 ROM P/E 模式中接受锁定位读模式转移命令，就转移到此模式。能接受的命令如表 38.8 所示。

如果在 FENTRYR.FENTRY0 位为“1”的状态下对相应的编程 / 擦除地址进行读存取，读数据的全部位就为存取对象的擦除块的锁定位值。

38.6.2 FCU 命令一览表

FCU 命令有 FCU 模式转移命令和编程 / 擦除命令。ROM 能使用的 FCU 命令一览表如表 38.6 所示。

表 38.6 FCU 命令一览表（ROM 相关）

命令	功能
P/E 正常模式转移	转移到正常模式（参照“38.6.3 FCU 的模式和命令的关系”）。
状态读模式转移	转移到状态读模式（参照“38.6.3 FCU 的模式和命令的关系”）。
锁定位读模式转移（锁定位读 1）	转移到锁定位读模式（参照“38.6.3 FCU 的模式和命令的关系”）。
外围时钟通知	设定外围时钟的频率。
编程	对 ROM 进行编程（以 256 字节为单位）。
块擦除	擦除 ROM（以块为单位，同时擦除锁定位）。
P/E 挂起	中止编程和擦除。
P/E 恢复	重新开始编程和擦除。
状态寄存器清除	清除 FSTATR0.ILGLERR 位、FSTATR0.ERSERR 位和 FSTATR0.PRGERR 位以及解除命令锁定状态。
锁定位读 2/ 空白检查	读指定的擦除块的锁定位（将锁定位反映到 FSTATR1.FLOCKST 位）/ 数据闪存的空白检查。
锁定位编程	对指定的擦除块的锁定位进行编程。

锁定位读 2 命令兼用数据闪存的空白检查命令。如果对数据闪存发行锁定位读 2 命令，就进行数据闪存的空白检查（参照“39. 数据闪存（保存数据的闪存）”）。

通过写 ROM 的编程 / 擦除地址给 FCU 发行命令。FCU 命令的格式如表 38.7 所示。如果在 FCU 的特定条件下进行表 38.7 所示的写存取，FCU 就进行各命令对应的处理。

有关 FCU 的特定条件和命令的使用方法，请分别参照“38.6.3 FCU 的模式和命令的关系”和“38.6.4 FCU 命令的使用方法”。

表 38.7 FCU 命令的格式

命令	总线周期数	第 1 周期		第 2 周期		第 3 周期		第 4 ~ 第 5 周期		第 6 周期		第 7 ~ 第 130 周期		第 131 周期	
		地址	数据	地址	数据	地址	数据	地址	数据	地址	数据	地址	数据	地址	数据
P/E 正常模式转移	1	RA	FFh	—	—	—	—	—	—	—	—	—	—	—	—
状态读模式转移	1	RA	70h	—	—	—	—	—	—	—	—	—	—	—	—
锁定位读模式转移（锁定位读 1）	1	RA	71h	—	—	—	—	—	—	—	—	—	—	—	—
外围时钟通知	6	RA	E9h	RA	03h	RA	0F0Fh	RA	0F0Fh	RA	D0h	—	—	—	—
编程	131	RA	E8h	RA	80h	WA	WDn	RA	WDn	RA	WDn	RA	WDn	RA	D0h
块擦除	2	RA	20h	BA	D0h	—	—	—	—	—	—	—	—	—	—
P/E 挂起	1	RA	B0h	—	—	—	—	—	—	—	—	—	—	—	—
P/E 恢复	1	RA	D0h	—	—	—	—	—	—	—	—	—	—	—	—
状态寄存器清除	1	RA	50h	—	—	—	—	—	—	—	—	—	—	—	—
锁定位读 2	2	RA	71h	BA	D0h	—	—	—	—	—	—	—	—	—	—
锁定位编程	2	RA	77h	BA	D0h	—	—	—	—	—	—	—	—	—	—

【符号说明】地址列 EA： ROM 的编程 / 擦除地址

当 FENTRYR.FENTRY0 位为“1”时： 00F8 0000h ~ 00FF FFFFh 的任意地址

WA： ROM 的编程目标地址

编程数据 256 字节的起始地址

BA： ROM 的擦除块地址

擦除对象块内的任意地址（由编程 / 擦除地址指定）

数据列 WDn：编程数据的第 n 个字（n=1 ~ 128）

38.6.3 FCU 的模式和命令的关系

FCU 的各模式能接受的 FCU 命令是固定的，而且能接受的命令也因这些模式的 FCU 状态而不同。

需要在进行 FCU 的模式转移后确认 FCU 的状态，然后发行 FCU 命令。

FCU 的模式 / 状态和能接受的命令如表 38.8 所示。如果发行不能接受的命令，FCU 就进入命令锁定状态（参照“38.8.2 错误保护”）。

必须在转移到能接受的模式后，确认 FSTATR0.FRDY 位、FSTATR0.ILGLERR 位、FSTATR0.ERSERR 位、FSTATR0.PRGERR 位和 FSTATR1.FCUEERR 位的值，然后发行 FCU 命令。能根据 FASTAT.CMDLK 位的值确认有无发生错误。FASTAT.CMDLK 位的值是 FSTATR0.ILGLERR 位、FSTATR0.ERSERR 位、FSTATR0.PRGERR 位和 FSTATR1.FCUEERR 位的值的逻辑或。

表 38.8 FCU 的模式 / 状态和能接受的命令的关系（ROM P/E 模式）

	P/E 正常模式			状态读模式						锁定位读模式			
	编程挂起中	擦除挂起中	其他状态	编程 / 擦除处理中	编程 / 擦除中止处理中	锁定位读 2 处理中	编程挂起中	擦除挂起中	命令锁定状态	其他状态	编程挂起中	擦除挂起中	其他状态
FSTATR0.FRDY 位	1	1	1	0	0	0	1	1	0/1	1	1	1	1
FSTATR0.SUSRDY 位	0	0	0	1	0	0	0	0	0	0	0	0	0
FSTATR0.ERSSPD 位	0	1	0	0	0/1	0	0	1	0	0	0	1	0
FSTATR0.PRGSPD 位	1	0	0	0	0/1	0	1	0	0	0	1	0	0
FASTAT.CMDLK 位	0	0	0	0	0	0	0	0	1	0	0	0	0
P/E 正常模式转移	○	○	○	×	×	×	○	○	×	○	○	○	○
状态读模式转移	○	○	○	×	×	×	○	○	×	○	○	○	○
锁定位读模式转移（锁定位读 1）	○	○	○	×	×	×	○	○	×	○	○	○	○
外围时钟通知	×	×	○	×	×	×	×	×	×	○	×	×	○
编程	×	△	○	×	×	×	×	△	×	○	×	△	○
块擦除	×	×	○	×	×	×	×	×	×	○	×	×	○
P/E 挂起	×	×	×	○	×	×	×	×	×	×	×	×	×
P/E 恢复	○	○	×	×	×	×	○	○	×	×	○	○	×
状态寄存器清除	○	○	○	×	×	×	○	○	○	○	○	○	○
锁定位读 2	○	○	○	×	×	×	○	○	×	○	○	○	○
锁定位编程	×	△	○	×	×	×	×	△	×	○	×	△	○

【符号说明】○：能接受，△：只能接受对非擦除中止块进行的编程，×：不能接受

38.6.4 FCU 命令的使用方法

FCU 命令有转移 FCU 模式的命令、实际对 ROM 进行编程和擦除的命令、错误处理命令和挂起 / 恢复命令。以下说明各命令，有关能接受各命令的模式和状态，请参照“38.6.3 FCU 的模式和命令的关系”。

38.6.4.1 模式的转移

在此说明模式转移的相关命令，各模式转移的关系请参照图 38.5。

(1) ROM P/E 模式的转移方法

要执行 ROM 相关的 FCU 命令时，需要转移到 ROM P/E 模式。

为了转移到 ROM P/E 模式，将要进行编程或者擦除的 ROM 地址对应的 FENTRYR.FENTRY0 位置“1”。

在进行编程或者擦除时，必须以字节为单位将“01h”写到 FWEPROR 寄存器，进入能进行编程和擦除的状态（参照“38.2.15 闪存编程 / 擦除保护寄存器（FWEPROR）”）。

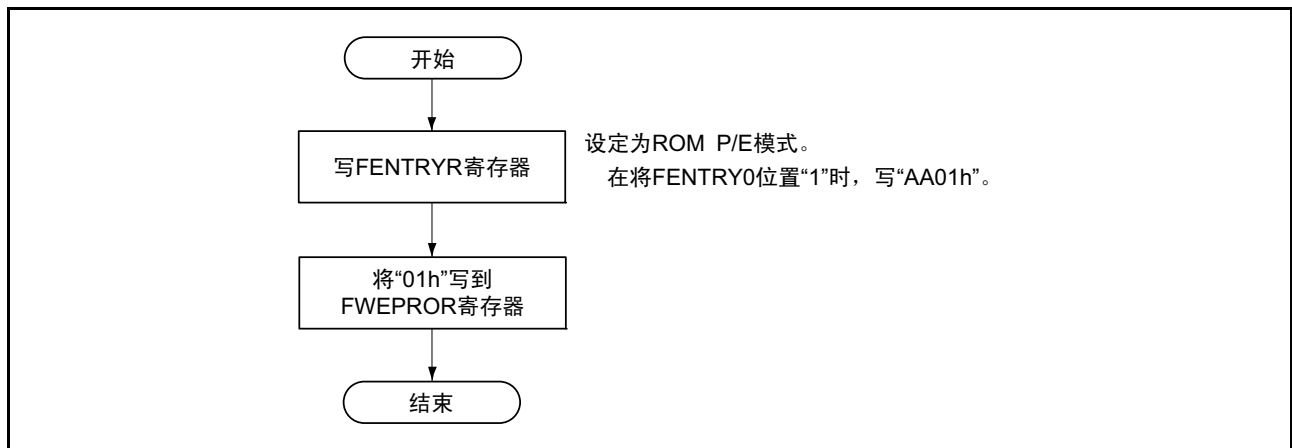


图 38.6 ROM P/E 模式的转移流程

(2) ROM 读模式的转移方法

要高速读 ROM 时, 需要将 FENTRYR.FENTRY0 位置“0”, 将 FCU 设定为 ROM 读模式。

还需要通过字节存取将“02h”写到 FWEPROR 寄存器, 进入不能编程和擦除的状态 (参照“38.2.15 闪存编程 / 擦除保护寄存器 (FWEPROR)”)。

必须在结束 FCU 的命令处理并且 FCU 未检测到错误的状态下从 ROM P/E 模式转移到 ROM 读模式。

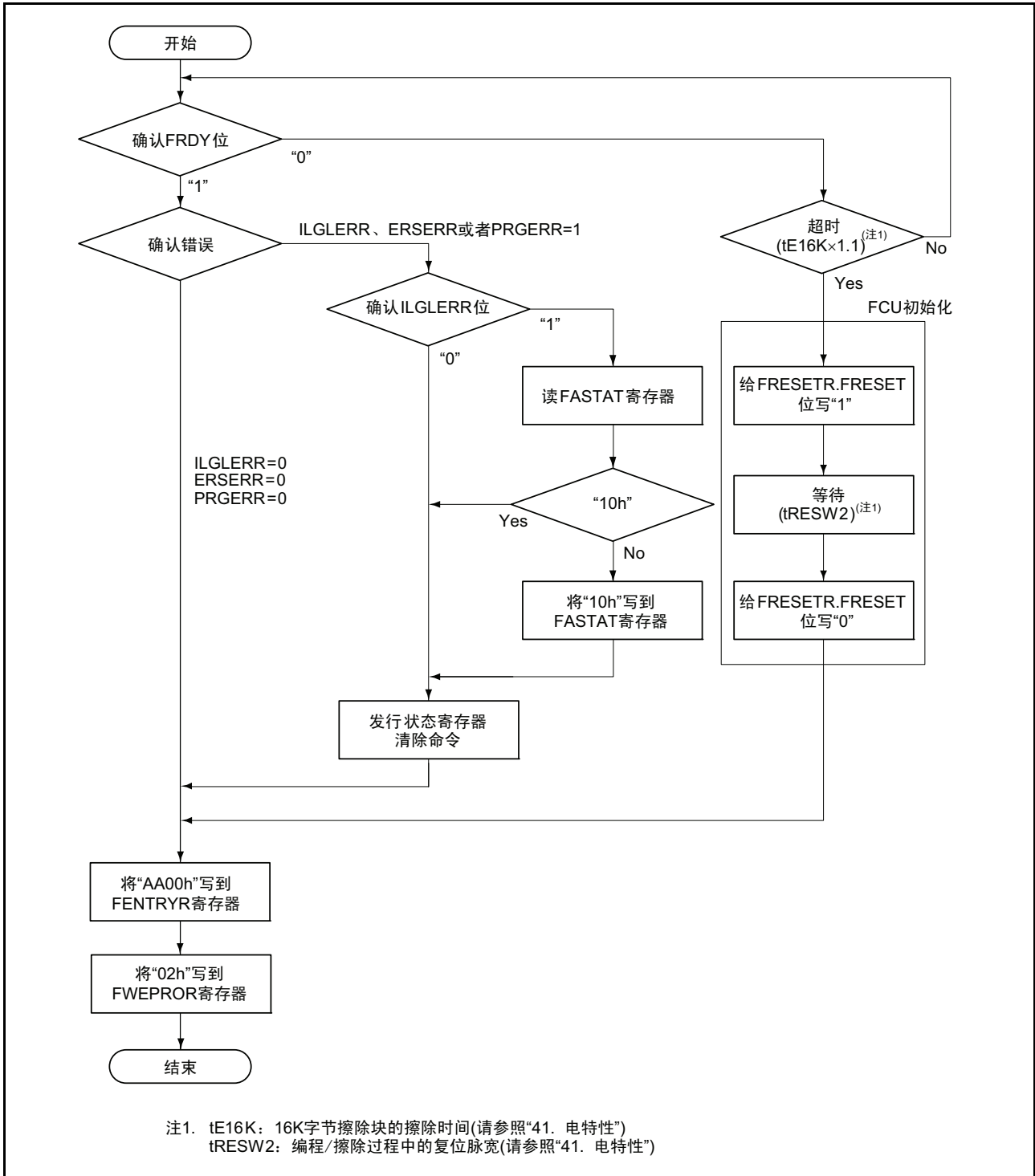


图 38.7 ROM 读模式的转移流程

(3) ROM P/E 正常模式的转移方法

向 ROM P/E 正常模式的转移方法有：在 ROM 读模式中设定 FENTRYR 寄存器的方法（参照“38.6.1 FCU 的模式”）以及在 ROM P/E 模式中发行正常模式转移命令（图 38.8）的方法。通过字节存取将“FFh”写到 ROM 的编程 / 擦除地址，执行正常模式转移命令。

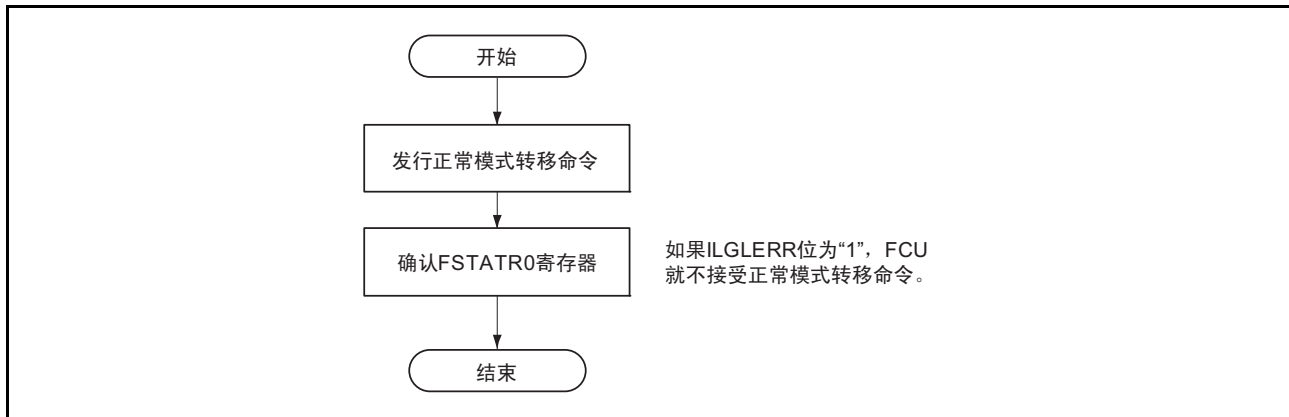


图 38.8 ROM P/E 正常模式的转移流程

(4) ROM 状态读模式的转移方法

如果发行正常模式转移和锁定位读模式转移以外的 FCU 命令，FCU 就转移到 ROM 状态读模式。也能通过发行状态读模式转移命令，转移到 ROM 状态读模式。FSTATR0 寄存器的确认例子如图 38.9 所示。在此例中，通过发行状态读模式转移命令，转移到 ROM 状态读模式，然后对 ROM 的编程 / 擦除地址进行读存取，确认 FSTATR0 的内容。

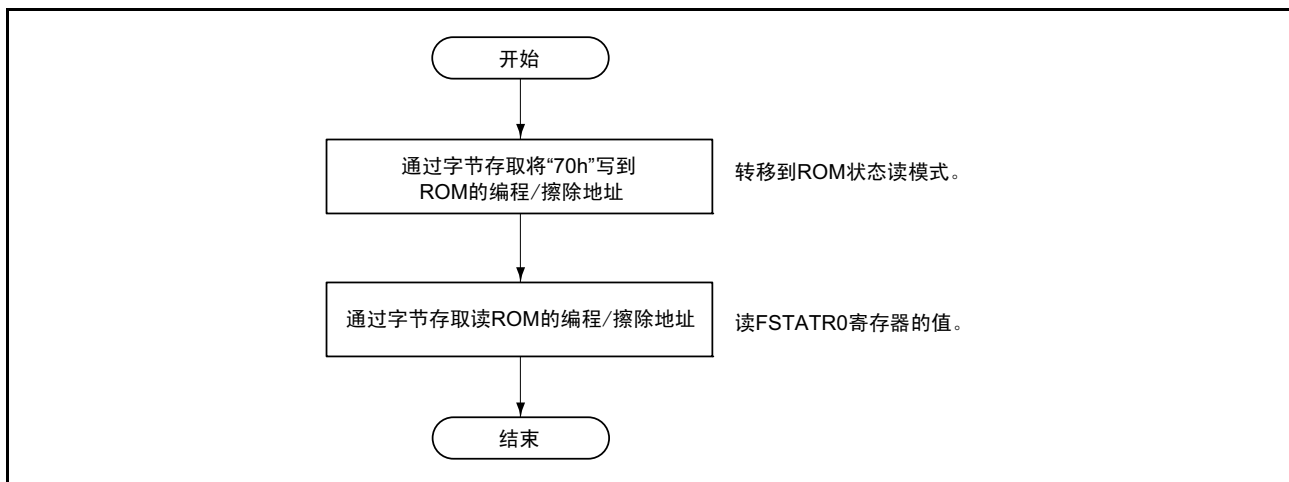


图 38.9 ROM 状态读模式的转移流程以及状态的确认方法

(5) ROM 锁定位读模式的转移方法

在 FMODR.FRDM 位为“0”（存储区读方式）时，通过发行锁定位读模式转移命令（锁定位读 1），转移到 ROM 锁定位读模式。如果在转移到 ROM 锁定位读模式后读 ROM 的编程/擦除地址，就读与存取对象对应的擦除块的锁定位并且复制到读数据的全部位（图 38.10）。

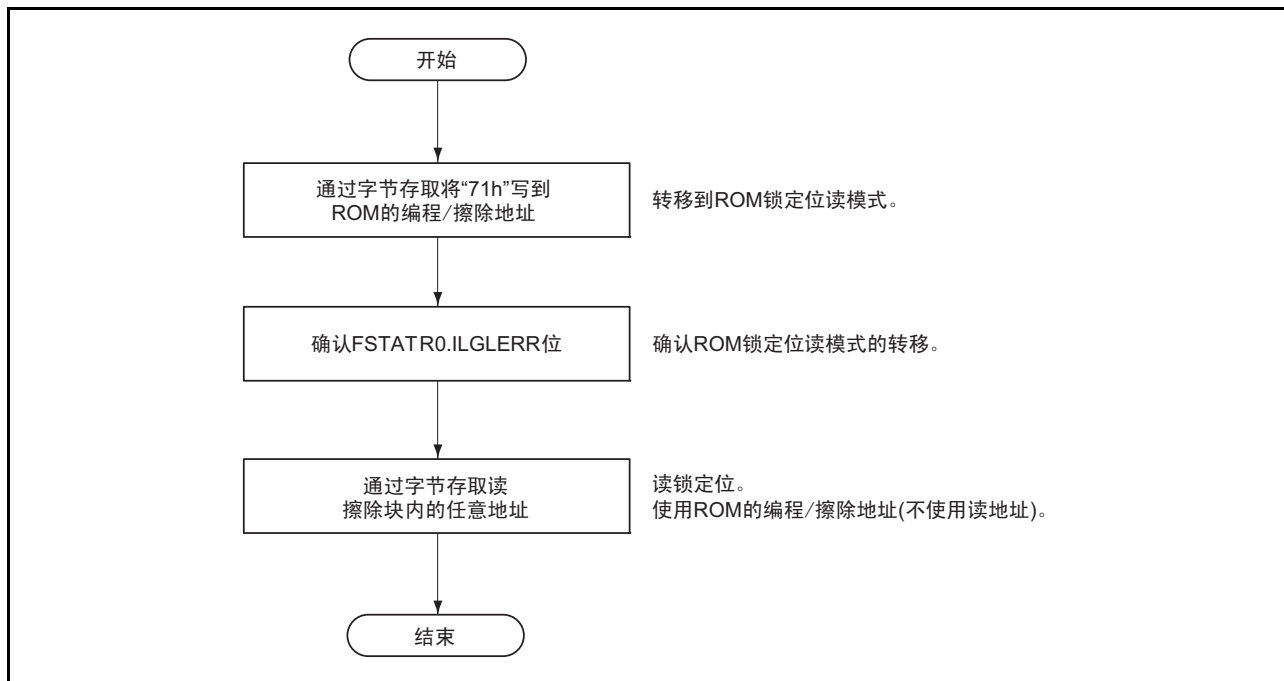


图 38.10 ROM 锁定位读模式的转移流程以及锁定位的读法

38.6.4.2 编程 / 擦除的步骤

在此说明 ROM 的编程 / 擦除流程。有关 FCU 命令的接受条件，请参照“38.6.3 FCU 的模式和命令的关系”。FCU 命令的概略流程如图 38.11 所示。

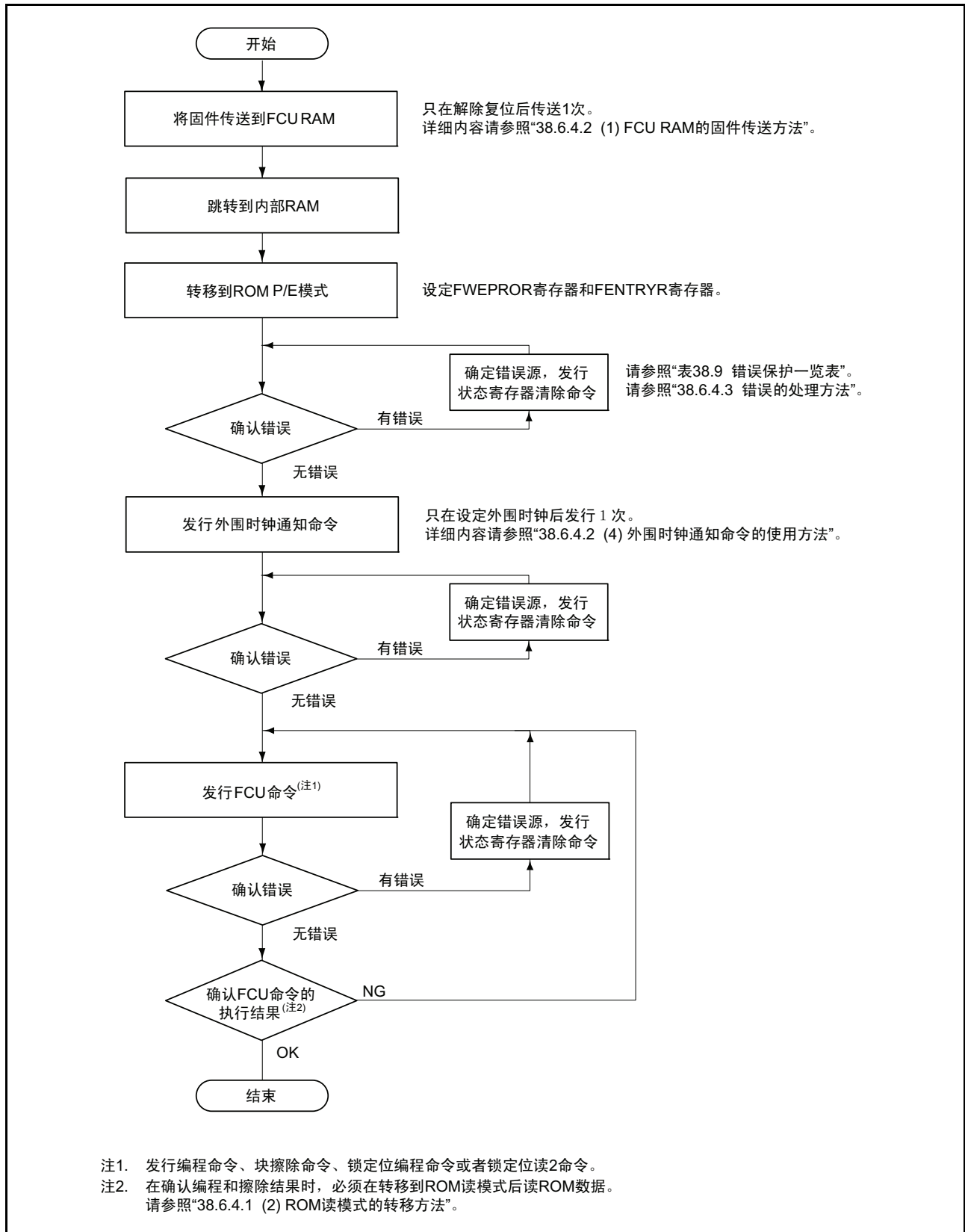


图 38.11 编程 / 擦除处理的概略流程

(1) FCU RAM 的固件传送方法

要使用 FCU 命令时，需要将 FCU 的固件保存到 FCU 的 RAM。因为在启动芯片时没有将 FCU 的固件保存到 FCU RAM，所以需要将在 FCU 固件区的 FCU 固件复制到 FCU RAM。当 FSTATR1.FCUEERR 位为“1”时，保存在 FCU RAM 的固件就可能被破坏，因此需要对 FCU 进行复位并且重新复制 FCU 固件。

FCU RAM 的固件传送流程如图 38.12 所示。在给 FCU RAM 写数据时，必须将 FENTRYR 寄存器置“0000h”，使 FCU 停止。有关 DMACA 设定方法的详细内容，请参照“14. DMA 控制器（DMACA）”。

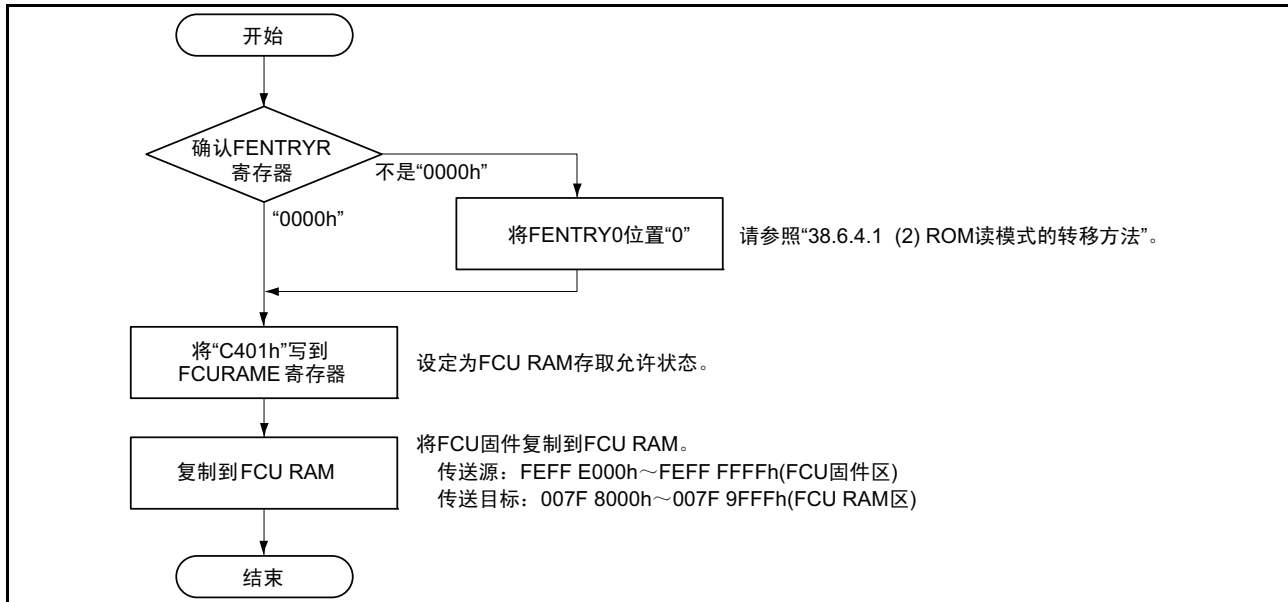


图 38.12 FCU RAM 的固件传送流程

(2) 向内部 RAM 的跳转

在对 ROM 进行编程或者擦除时，因为不对 ROM 取指令，所以需要转移到 ROM 以外的区域。必须在将所需的指令码复制到内部 RAM 后跳转到内部 RAM。

(3) ROM P/E 模式的转移

需要设定 FENTRYR.FENTRY0 位和 FWEPROR 寄存器，并且将 FCU 设定为 ROM P/E 模式。详细内容请参照“38.6.4.1 (3) ROM P/E 正常模式的转移方法”。

(4) 外围时钟通知命令的使用方法

需要给 PCKAR 寄存器设定在对 ROM 进行编程或者擦除前使用的外围时钟的频率。能设定的频率范围是 8 ~ 50MHz。如果频率不在此范围内，FCU 就检测到错误，进入命令锁定状态（参照“38.8.2 错误保护”）。

在设定 PCKAR 寄存器后使用外围时钟通知命令。在外围时钟通知命令的第 1 周期通过字节存取将“E9h”写到 ROM 的编程/擦除地址，在第 2 周期，通过字节存取将“03h”写到 ROM 的编程/擦除地址。在命令的第 3 周期~第 5 周期，通过字存取进行写操作。此时，起始地址必须使用调整为以 4 字节为边界的地址。在通过 3 次字存取将数据“0F0Fh”写到 ROM 的编程/擦除地址后，如果在第 6 周期通过字节存取将“D0h”写到 ROM 的编程/擦除地址，FCU 就开始进行外围时钟的频率设定处理。能通过 FSTATR0.FRDY 位确认设定的结束。

第 1 周期~第 6 周期中能指定的地址因 FENTRYR.FENTRY0 位的设定而不同，必须指定与 FENTRYR.FENTRY0 位对应的地址。如果因 FENTRYR.FENTRY0 位和指定地址的错误组合而发行命令，FCU 就检测到错误，进入命令锁定状态（参照“38.8.2 错误保护”）。

如果在复位后不更改正在使用的外围时钟的设定，此设定就只需执行 1 次而且对后续的 FCU 命令有效。

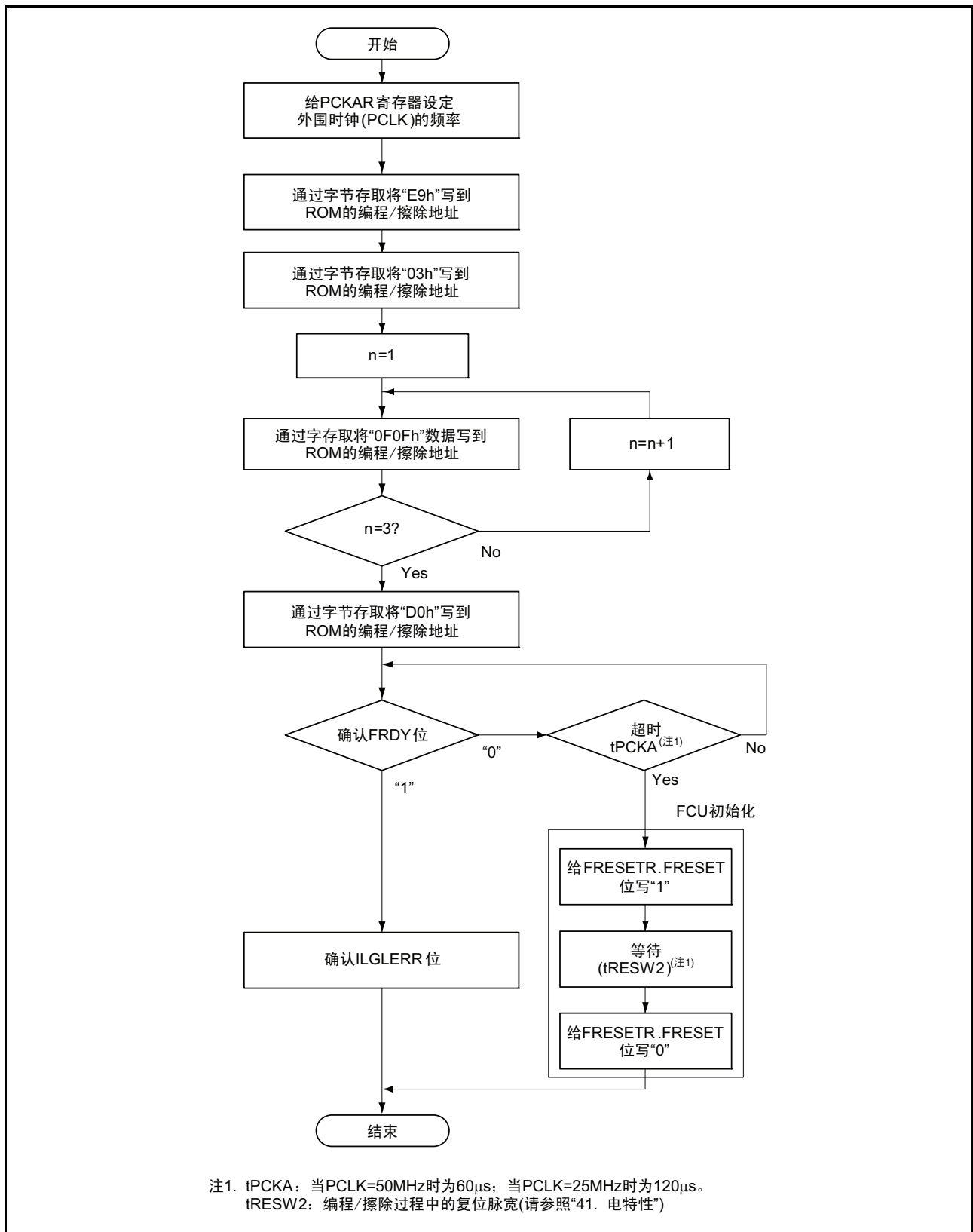


图 38.13 外围时钟通知命令的使用方法

(5) 编程方法

使用编程命令对 ROM 进行数据编程。

在编程命令的第 1 周期，通过字节存取将“E8h”写到 ROM 的编程 / 擦除地址，在第 2 周期，通过字节存取将“80h”写到 ROM 的编程 / 擦除地址。在第 3 周期的存取中，必须通过字存取将编程数据写到编程对象区的起始地址。此时，起始地址必须使用调整为以 256 字节为边界的地址。在第 4 周期～第 130 周期，必须通过 127 次字存取将编程数据写到 ROM 的编程 / 擦除地址。如果在第 131 周期通过字节存取将“D0h”写到 ROM 的编程 / 擦除地址，FCU 就开始对 ROM 进行编程处理。能通过 FSTATR0.FRDIY 位确认编程的结束。

第 1 周期～第 131 周期中能指定的地址因 FENTRYR.FENTRY0 位的设定而不同，必须指定与 FENTRYR.FENTRY0 位对应的地址。如果因 FENTRYR.FENTRY0 位和指定地址的错误组合而发行命令，FCU 就检测到错误，进入命令锁定状态（参照“38.8.2 错误保护”）。

如果在第 3 周期～第 130 周期中存取的区域包括不需要编程的地址，就必须将该地址的编程数据置“FFFFh”。如果要在将通过锁定位进行的保护设定为无效后进行编程，就必须将 FPROTR.FPROTCN 位置“1”。

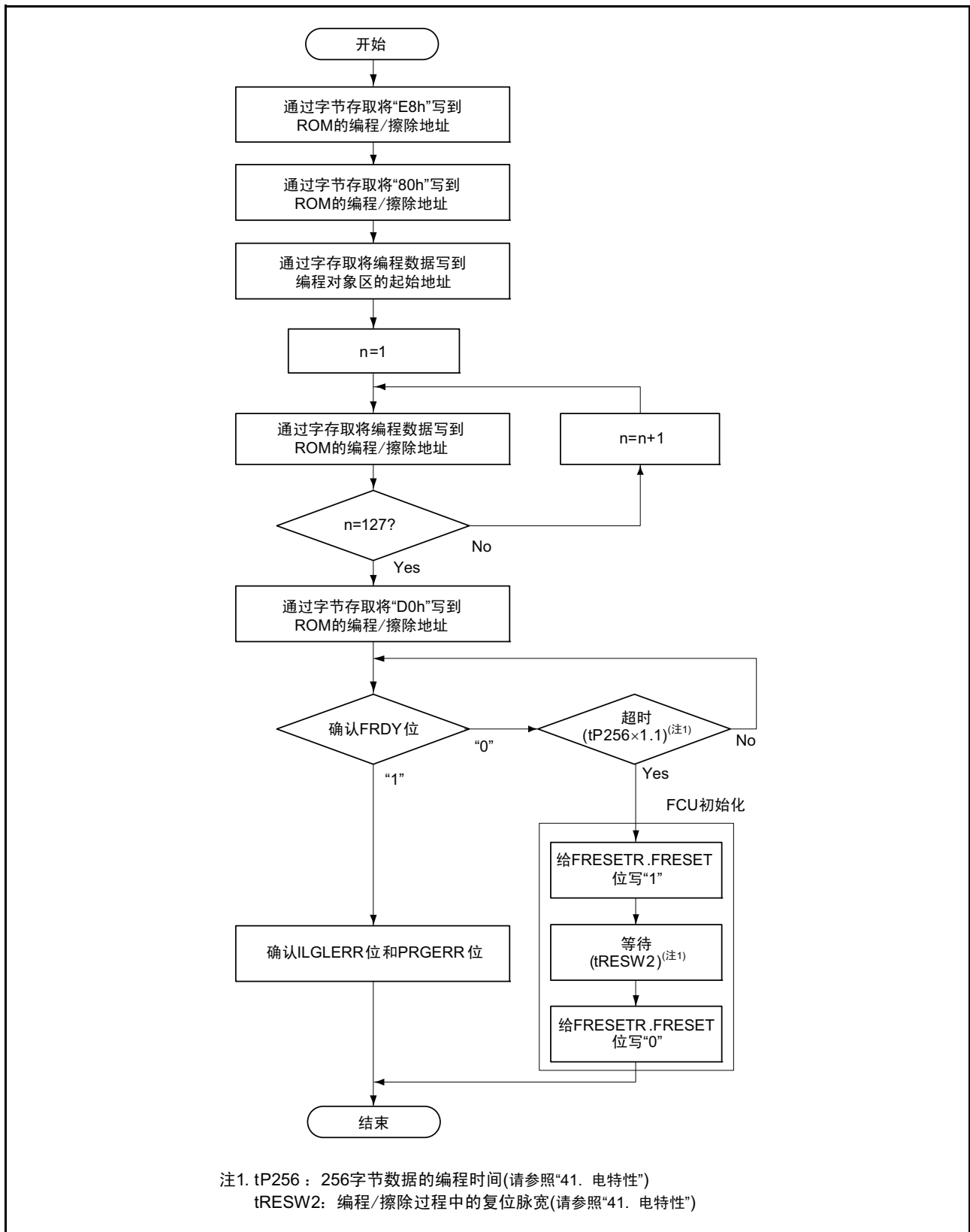


图 38.14 ROM 的编程方法

(6) 擦除方法

使用块擦除命令来擦除 ROM。

在块擦除命令的第 1 周期，通过字节存取将“20h”写到 ROM 的编程 / 擦除地址。如果在第 2 周期通过字节存取将“D0h”写到擦除对象块内的任意地址，FCU 就开始对 ROM 进行擦除处理。能通过 FSTATR0.FRDY 位确认擦除的结束。如果通过 CPU 读擦除状态的 ROM，就以 32 位为单位读到“FFFF FFFFh”。

如果要在将通过锁定位进行的保护设定为无效后进行擦除，就必须将 FPROTR.FPROTCN 位置“1”。

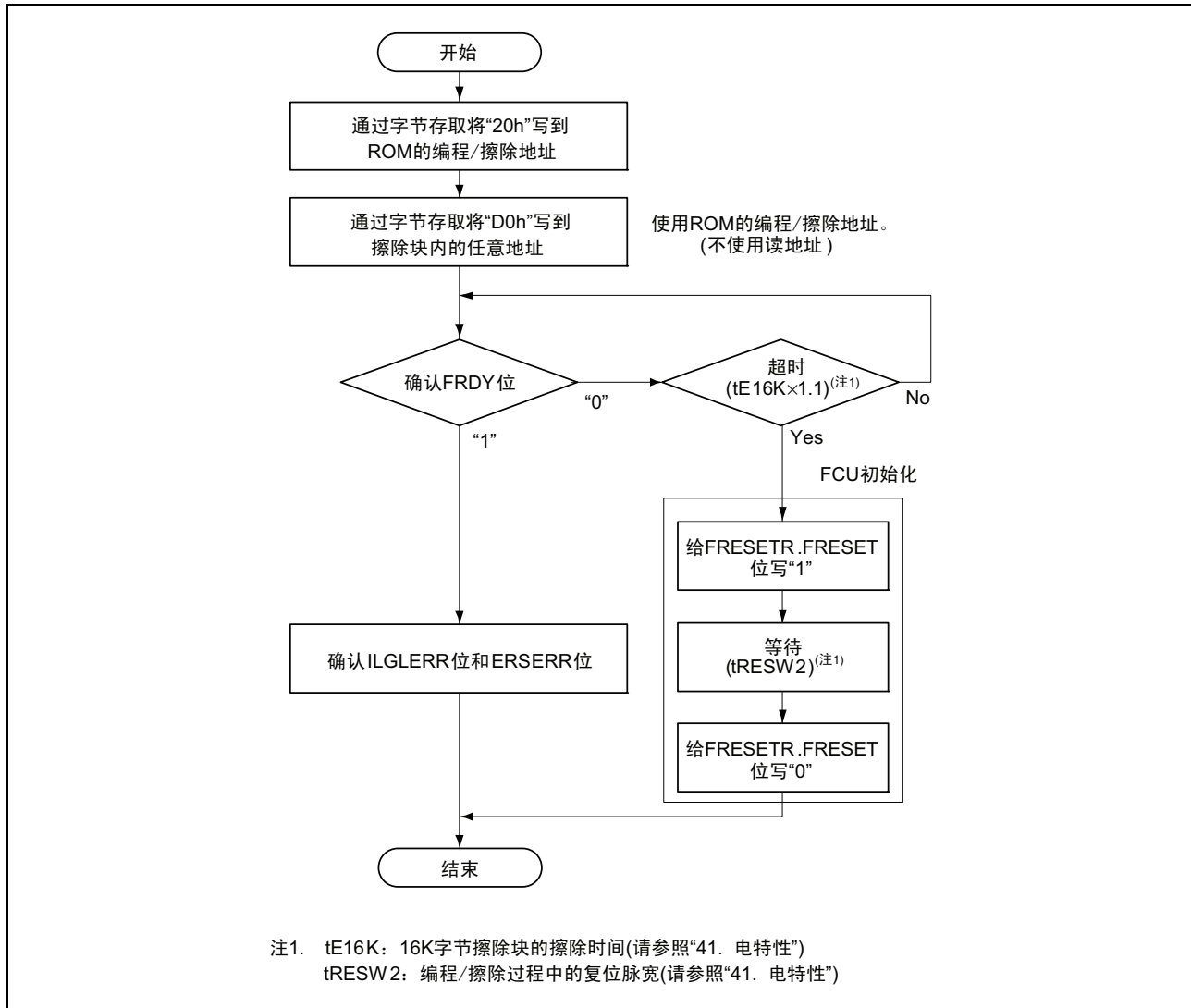


图 38.15 ROM 的擦除方法

(7) 锁定位的编程 / 擦除方法

用户 MAT 的各擦除块内置锁定位。使用锁定位编程命令对锁定位进行编程。在锁定位编程命令的第 1 周期，通过字节存取将“77h”写到 ROM 的编程 / 擦除地址。如果在第 2 周期通过字节存取将“D0h”写到要进行锁定位编程的擦除块内的任意地址，FCU 就开始进行锁定位的编程处理。能通过 FSTAT0.FRDY 位确认编程的结束。

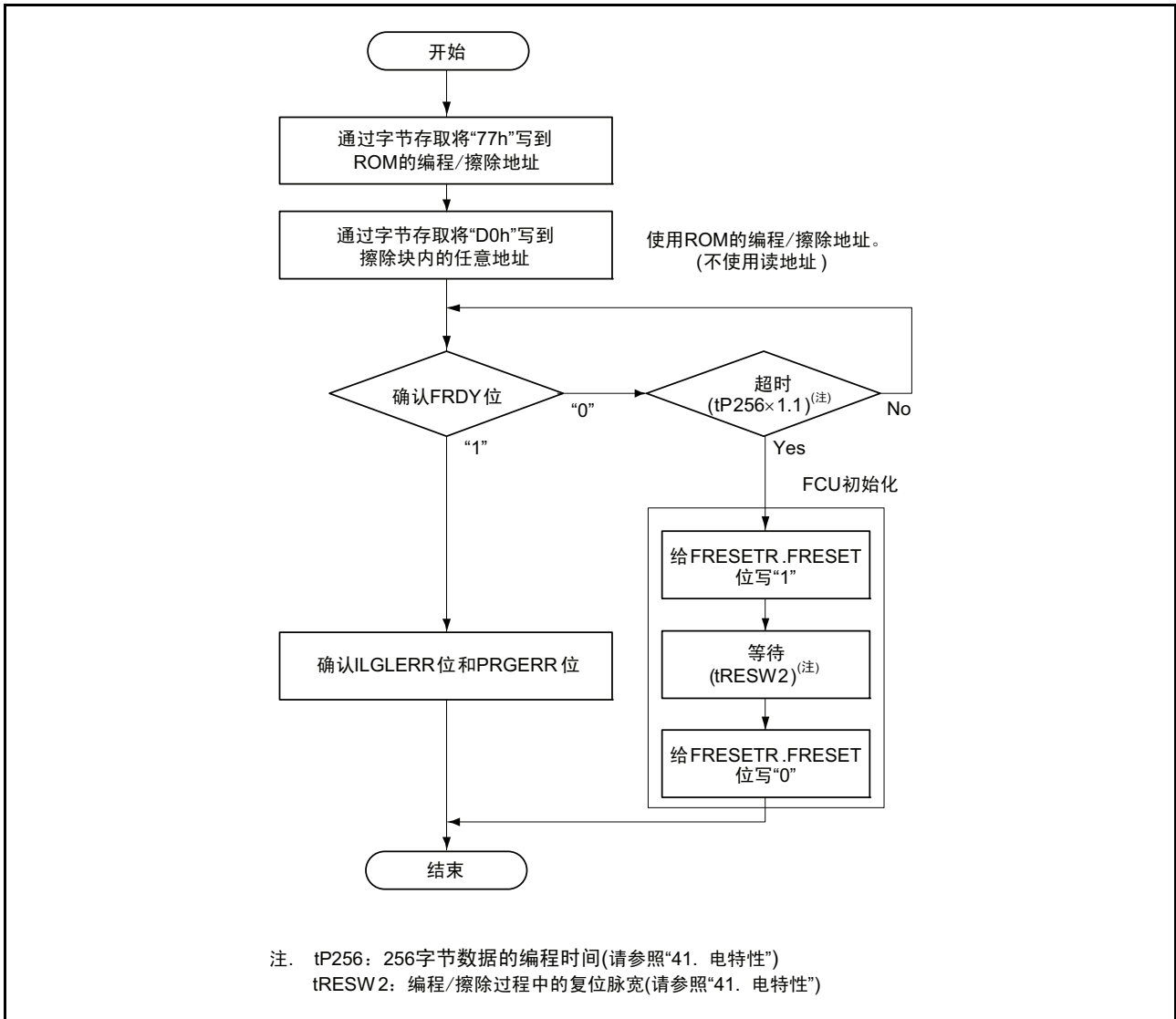


图 38.16 锁定位的编程设定方法

使用块擦除命令来擦除锁定位。

在 FPROTR.FPROTCN 位为“0”的状态下，不能擦除锁定位为“0”的擦除块。要擦除锁定位时，必须在将 FPROTCN 位置“1”的状态下发行块擦除命令。如果使用块擦除命令，擦除块内的全部数据就被擦除，而不能只擦除锁定位。

(8) 锁定位的读法

锁定位的读法有存储区读方式和寄存器读方式。

寄存器读方式（FMODR.FRDM位为“1”）使用锁定位读 2 命令，对要读锁定位的擦除块的编程/擦除地址发行锁定位读 2 命令。如果在锁定位读 2 命令的第 1 周期，通过字节存取写“71h”，在第 2 周期，通过字节存取写“D0h”，就将对应的擦除块的锁定位复制到 FSTATR1.FLOCKST 位。

通过转移到锁定位读模式并且读 ROM 的编程/擦除地址来执行存储区读方式（FMODR.FRDM位为“0”）。有关详细内容请参照“38.6.4.1 (5) ROM 锁定位读模式的转移方法”。

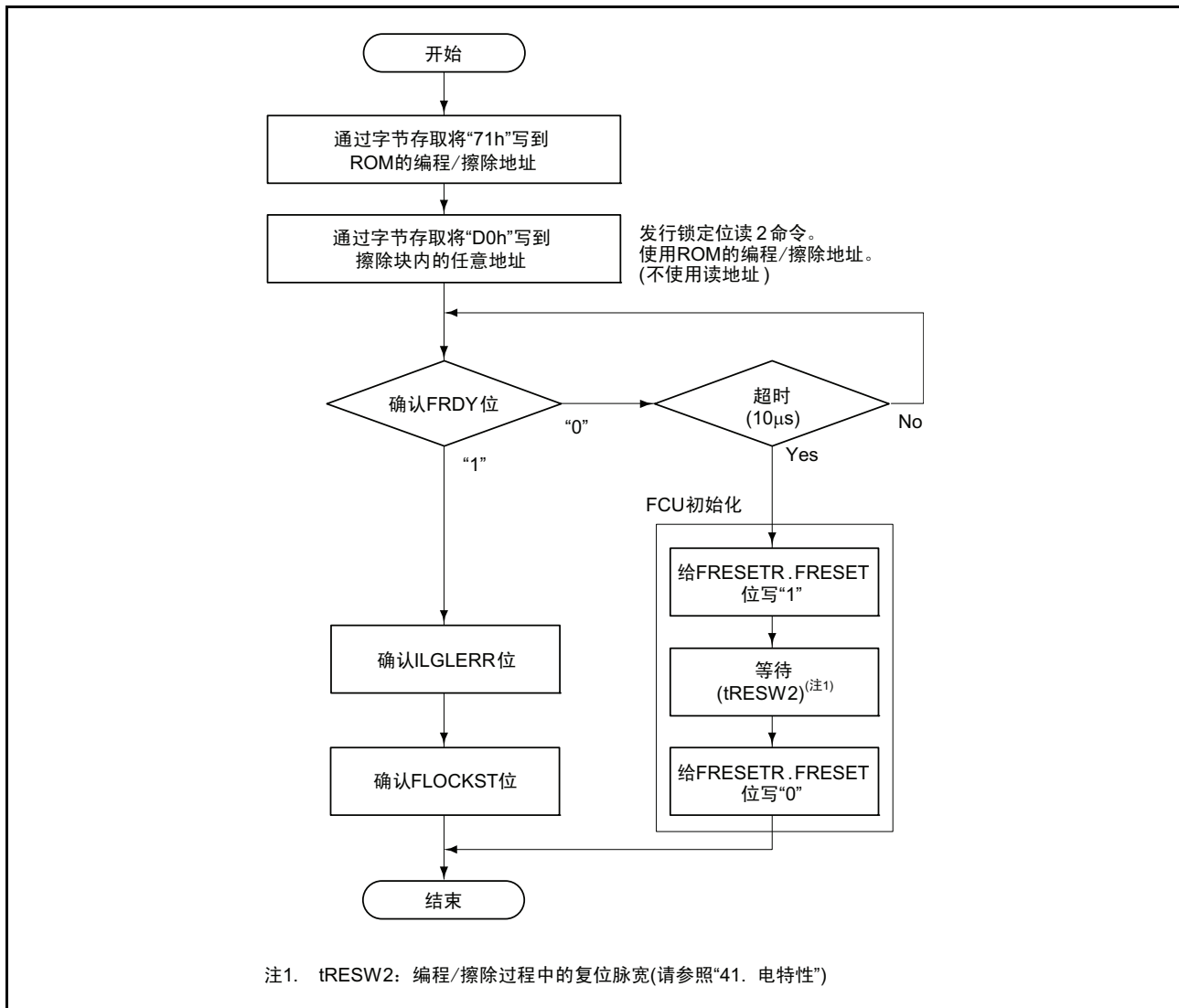


图 38.17 通过寄存器读方式读锁定位的方法

38.6.4.3 错误的处理方法

以下说明发生错误时的处理方法，各种错误的内容请参照“38.8 保护”。

(1) 闪存状态寄存器 0（FSTATR0）的确认方法

FSTATR0 寄存器的确认方法有直接读 FSTATR0 寄存器的方法和在 ROM 状态读模式中读 ROM 的编程 / 擦除地址的方法。

在 ROM 状态读模式中的读法请参照“38.6.4.1 (4) ROM 状态读模式的转移方法”。

(2) 闪存状态寄存器 0（FSTATR0）的清除方法

使用状态寄存器清除命令将 FSTATR0.ILGLERR 位、FSTATR0.ERSERR 位和 FSTATR0.PRGERR 位置“0”。

当 FSTATR0.ILGLERR 位、FSTATR0.ERSERR 位或者 FSTATR0.PRGERR 位为“1”时，FCU 进入命令锁定状态，不接受状态寄存器清除命令以外的 FCU 命令。当 ILGLERR 位为“1”时，也必须确认 FASTAT.ROMAE 位、FASTAT.DFLAE 位、FASTAT.DFLRPE 位和 FASTAT.DFLWPE 位的值。即使不清除这些位而发行状态寄存器清除命令，ILGLERR 位也不变为“0”。

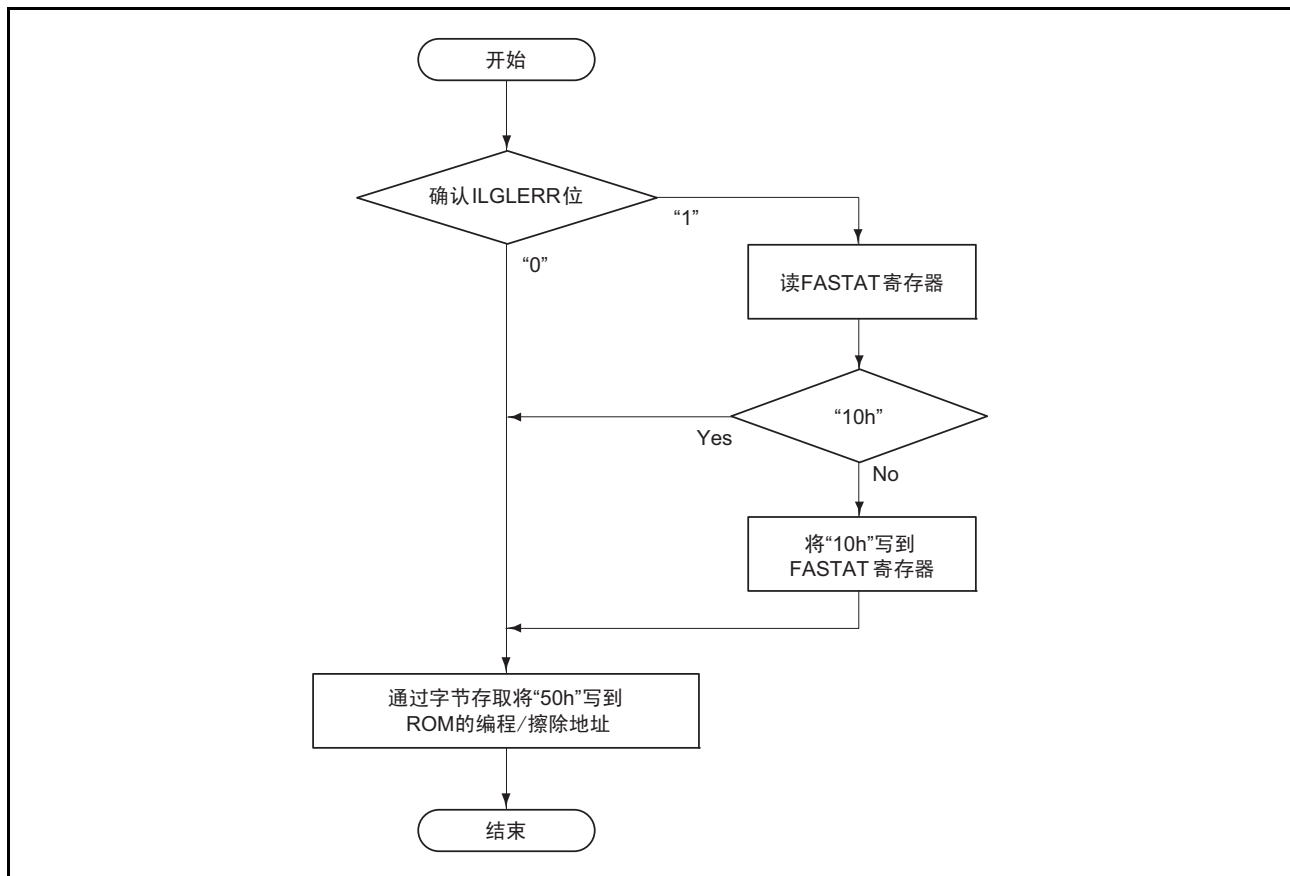


图 38.18 FSTATR0 寄存器的清除方法

(3) FCU 的初始化方法

在发行 FCU 命令后，如果因超时而使 FSTATR0.FR DY 位不变为“1”，就需要通过 FRESETR 寄存器对 FCU 进行初始化。在 FSTATR1.FCUERR 位为“1”时，也需要通过 FRESETR 寄存器对 FCU 进行初始化。无论在哪种情况下，FRESETR.FRESET 位为“1”的状态都必须保持 tRESW2 的时间（参照“41. 电特性”）。在 FRESET 位保持“1”的期间，禁止读 ROM/ 数据闪存。因为在 FRESET 位为“1”的状态下 FENTRYR 寄存器被初始化，所以不能使用 FCU 命令，必须重新进行图 38.11 的处理。

38.6.4.4 挂起 / 恢复

(1) 编程 / 擦除的挂起方法

使用 P/E 挂起命令来中止 ROM 的编程或者擦除。

要发行 P/E 挂起命令时，必须预先通过检查 FSTATR0.ILGLERR 位、FSTATR0.ERSERR 位、FSTATR0.PRGERR 位和 FSTATR1.FCUERR 位为“0”，确认正常进行了编程或者擦除处理。要确认能接受挂起命令时，也必须确认 FSTATR0.SUSR DY 位为“1”。在发行 P/E 挂起命令后，必须读 FSTATR0 寄存器和 FSTATR1 寄存器，确认没有发生错误。

如果在编程或者擦除处理过程中发生异常，ILGLERR 位、PRGERR 位、ERSERR 位和 FCUERR 位中至少有 1 位变为“1”。在确认 SUSR DY 位为“1”后到接受 P/E 挂起命令的期间，如果编程或者擦除处理已经结束，发行的 P/E 挂起命令就被检测为非法命令，因此 ILGLERR 位变为“1”。

如果在接受 P/E 挂起命令的同时编程 / 擦除处理结束，就不产生错误，也不转移到挂起状态（FSTATR0.FR DY 位为“1”并且 FSTATR0.ERSSPD 位和 FSTATR0.PR GSPD 位为“0”）。如果在接受 P/E 挂起命令并且编程 / 擦除的中止处理正常结束，FCU 就转移到挂起状态，FR DY 位变为“1”并且 ERSSPD 位或者 PR GSPD 位变为“1”。在发行 P/E 挂起命令后，必须通过检查 ERSSPD 位或者 PR GSPD 位为“1”，确认转移到挂起状态，然后决定后续的流程。即使未转移到挂起状态，只要在后续的流程中发行 P/E 恢复命令，也发生非法命令错误，FCU 转移到命令锁定状态（参照“38.8.2 错误保护”）。

如果转移到擦除挂起状态，就能对擦除对象以外的块进行编程。在编程或者擦除挂起状态下，能通过清除 FENTRYR 寄存器转移到 ROM 读模式。

有关接受 P/E 挂起命令时的 FCU 运行内容，请参照“38.7 挂起”。

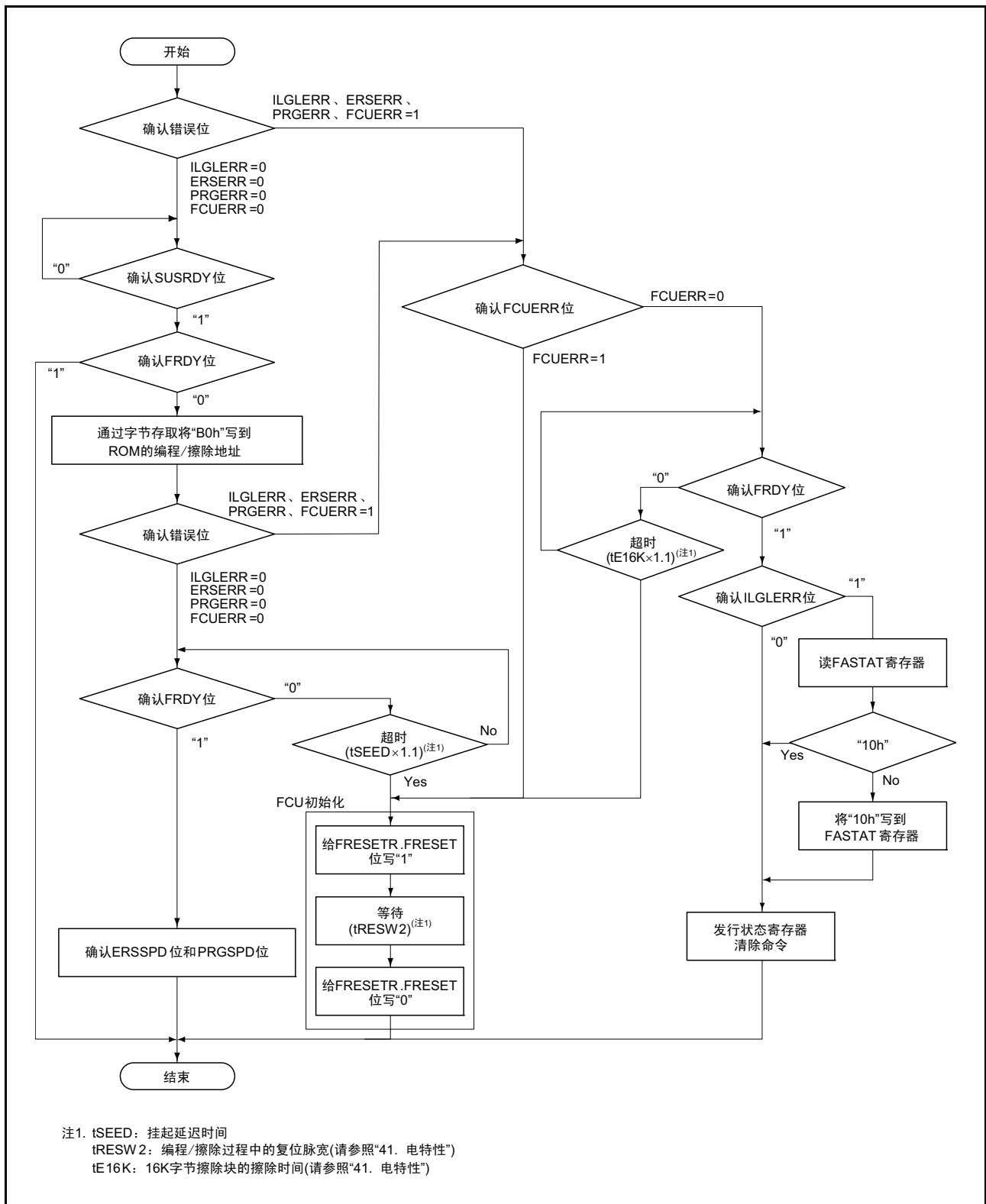


图 38.19 编程 / 擦除的挂起方法

(2) 编程 / 擦除的恢复方法

使用 P/E 恢复命令重新开始挂起的编程或者擦除处理。如果在挂起过程中更改了 FENTRYR 寄存器的设定，就必须在发行 P/E 恢复命令前将发行 P/E 挂起命令前的值重新设定到 FENTRYR 寄存器。

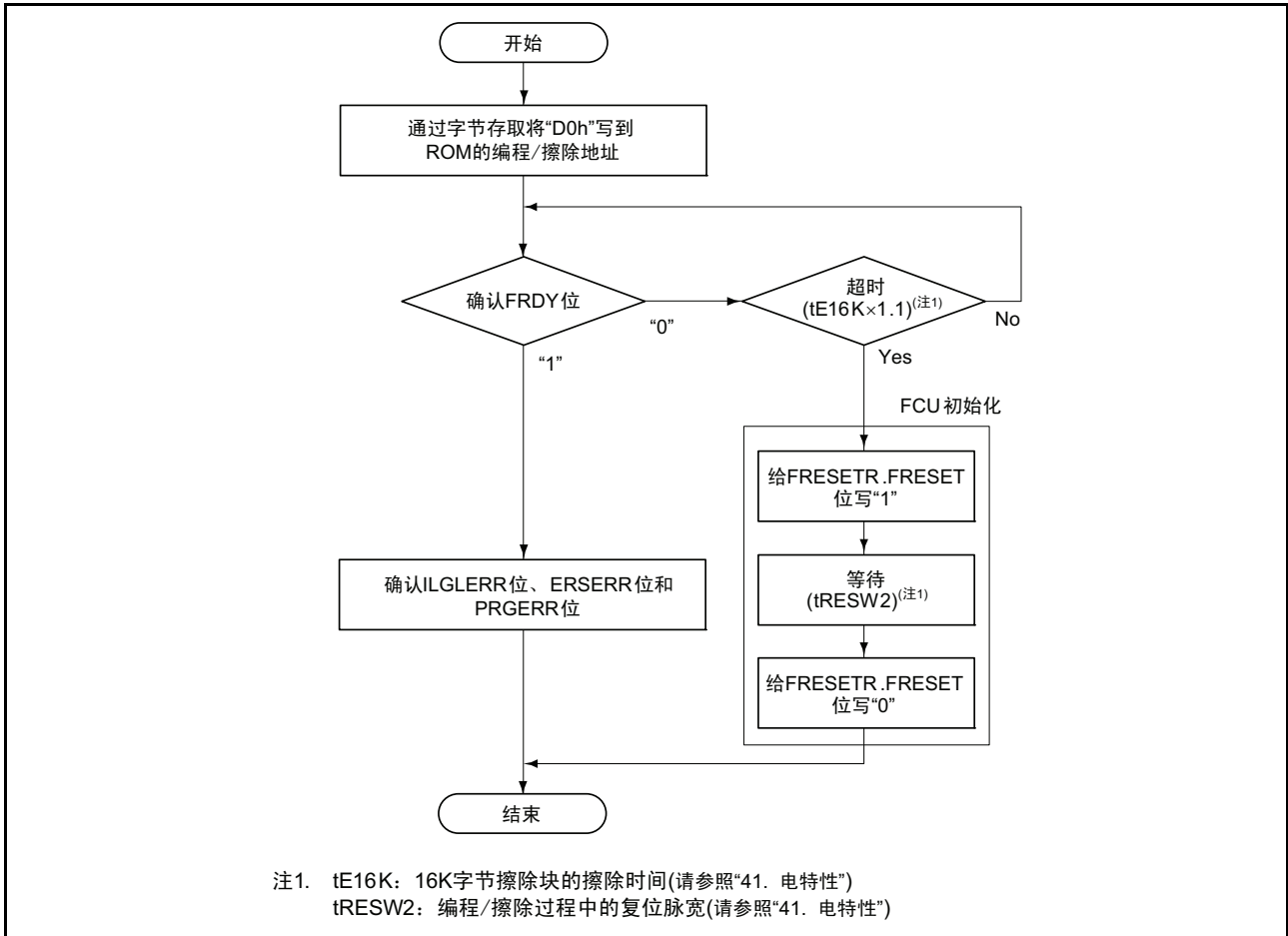


图 38.20 编程 / 擦除的恢复方法

38.7 挂起

不能在编程或者擦除处理过程中读 ROM。通过发行 P/E 挂起命令来中止 ROM 的编程或者擦除处理，变为能读 ROM 的状态。P/E 挂起命令有 1 种编程模式和 2 种擦除模式（挂起优先模式和擦除优先模式），还有用于重新开始被中止的编程或者擦除处理的 P/E 恢复命令。

38.7.1 编程时的挂起

如果在对 ROM 进行编程或者擦除过程中发行 P/E 挂起命令，FCU 就中止编程处理。编程处理的中止如图 38.21 所示。

如果 FCU 接受编程命令，就将 FSTATR0.FR DY 位置“0”，开始编程处理。如果在开始编程处理后 FCU 转移到能接受 P/E 挂起命令的状态，FSTATR0.SUSRDY 位就变为“1”。如果发行 P/E 挂起命令，FCU 就在接受挂起命令后将 SUSRDY 位置“0”。如果 FCU 在外加编程脉冲过程中接受 P/E 挂起命令，FCU 就继续外加脉冲。如果超过规定的脉冲外加时间，FCU 就结束脉冲的外加，并且在开始进行编程的中止处理后将 FSTATR0.PR GSPD 位置“1”。一旦中止处理结束，FCU 就将 FRDY 位置“1”，转移到编程挂起状态。如果 FCU 在编程挂起状态下接受 P/E 恢复命令，就将 FRDY 位和 PRGSPD 位置“0”，重新开始编程处理。

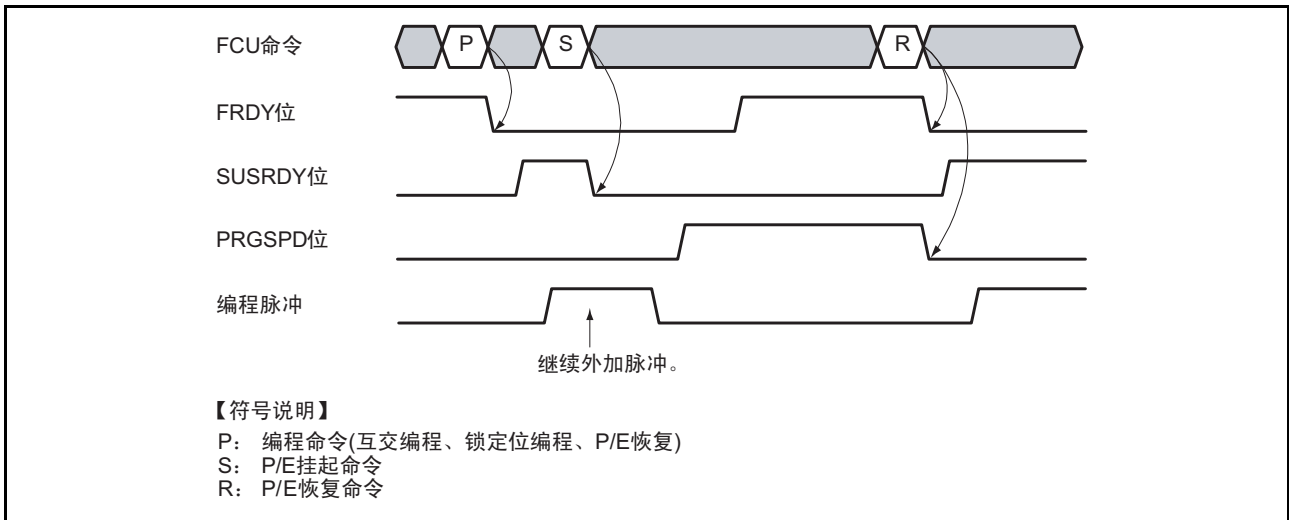


图 38.21 编程处理的中止

38.7.2 擦除时的挂起（挂起优先模式）

擦除挂起模式为挂起优先模式（FCPSR.ESUSPMD 位为“0”）时的擦除处理的中止如图 38.22 所示。

如果 FCU 接受擦除命令，就将 FSTATR0.FRDY 位清“0”，开始进行擦除处理。如果在开始擦除处理后 FCU 转移到能接受 P/E 挂起命令的状态，FSTATR0.SUSRDY 位就变为“1”。如果发行 P/E 挂起命令，FCU 就在接受挂起命令后将 SUSRDY 位置“0”。如果在擦除处理过程中接受挂起命令，即使在外加擦除脉冲过程中，FCU 也开始中止处理，然后将 FSTATR0.ERSSPD 位置“1”。一旦中断处理结束，FCU 就将 FRDY 位置“1”，转移到擦除挂起状态。如果 FCU 在擦除挂起状态下接受 P/E 恢复命令，就将 FRDY 位和 ERSSPD 位置“0”，重新开始擦除处理。中止或者重新开始擦除处理时的 FRDY 位、SUSRDY 位和 ERSSPD 位的操作相同，而不取决与擦除挂起模式的设定。

擦除挂起模式的设定影响擦除脉冲的控制方式。在挂起优先模式中，如果 FCU 在外加过去没有被中止的擦除脉冲 A 过程中接受 P/E 挂起命令，就在中止外加擦除脉冲 A 后转移到擦除挂起状态。通过 P/E 恢复命令重新开始擦除并且重新外加擦除脉冲 A，如果在此期间 FCU 接受 P/E 挂起命令，FCU 就继续外加擦除脉冲 A。如果超过规定的脉冲外加时间，FCU 就在结束擦除脉冲的外加后转移到擦除挂起状态。接着，如果在 FCU 接受 P/E 恢复命令并且开始外加新的擦除脉冲 B 后，FCU 再次接受 P/E 挂起命令，就中止擦除脉冲 B 的外加。在挂起优先模式中，因为以 1 个脉冲中止 1 次擦除脉冲的外加并且优先挂起处理，所以能缩短挂起的延迟时间。

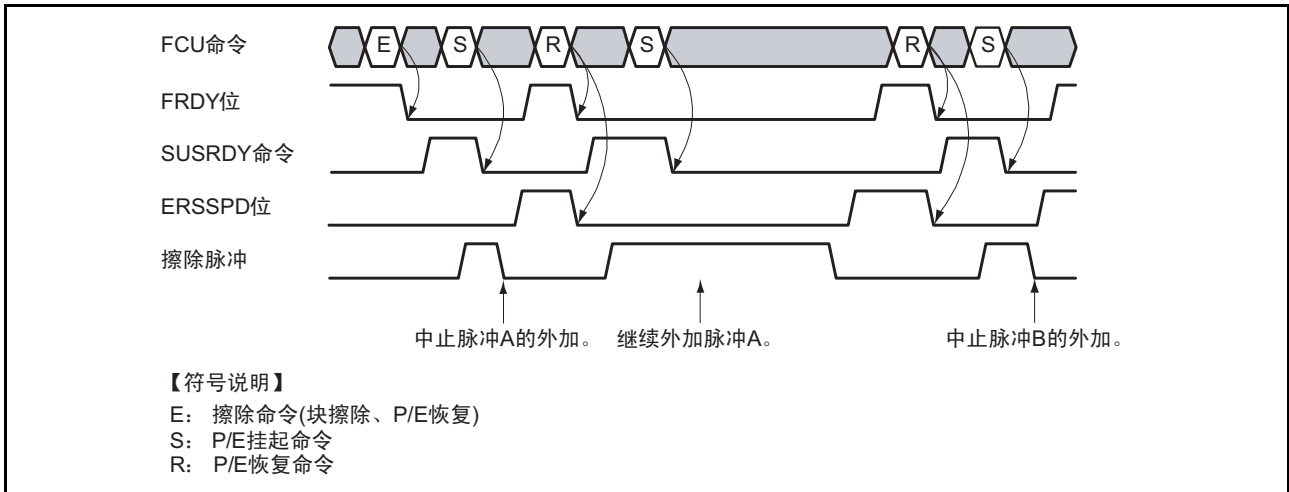


图 38.22 擦除处理的中止（挂起优先模式）

38.7.3 擦除时的挂起（擦除优先模式）

擦除优先模式（FCPSR.ESUSPMD 位为“1”）时的擦除处理的中止如图 38.23 所示。擦除优先模式的擦除脉冲控制方式和编程中止处理的编程脉冲控制方式相同。

如果 FCU 在外加擦除脉冲过程中接受 P/E 挂起命令，就继续外加擦除脉冲。在此模式中，因为在发行 P/E 恢复命令时不会再次外加擦除脉冲，所以与挂起优先模式相比，能缩短整个擦除处理所需的时间。

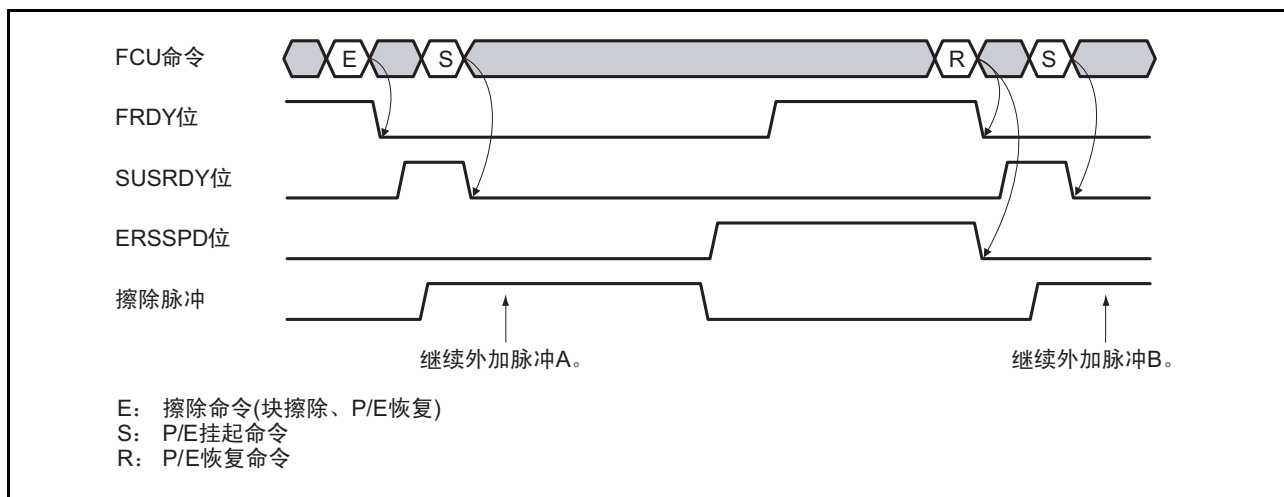


图 38.23 擦除处理的中止（擦除优先模式）

38.8 保护

ROM 的编程 / 擦除的保护有软件保护和错误保护。

38.8.1 软件保护

软件保护是通过设定控制寄存器和用户 MAT 的锁定位来禁止对 ROM 进行编程 / 擦除的状态。如果违反软件保护，发行 ROM 的编程 / 擦除命令，FCU 就检测到错误，进入命令锁定状态。

(1) 通过 FWEPROR 寄存器进行的保护

如果不将 FWEPROR.FLWE[1:0] 位置“01b”，在任何模式中都不能进行改写。

(2) 通过 FENTRYR 寄存器进行的保护

当 FENTRYR.FENTRY0 位为“0”时，FCU 为 ROM 读模式。因为在 ROM 读模式中不接受 FCU 命令，所以 ROM 为禁止编程和擦除的状态。如果在 ROM 读模式中发行 FCU 命令，FCU 就检测到非法命令错误，进入命令锁定状态（参照“38.8.2 错误保护”）。

(3) 通过锁定位进行的保护

用户 MAT 的各擦除块内置锁定位。当 FPROTR.FPROTCN 位为“0”时，锁定位为“0”的擦除块为禁止编程和擦除的状态。要对锁定位为“0”的擦除块进行编程或者擦除时，必须将 FPROTCN 位置“1”。如果违反通过锁定位进行的保护，发行 ROM 的编程 / 擦除命令，FCU 就检测到编程 / 擦除错误，进入命令锁定状态（参照“38.8.2 错误保护”）。

38.8.2 错误保护

错误保护是因误发行 FCU 命令以及发生禁止的存取而导致 FCU 在检测到误动作后禁止接受 FCU 命令的状态（命令锁定状态）。

一旦 FCU 进入命令锁定状态（FASTAT.CMDLK 位为“1”），就将状态位（FSTATR0.ILGLERR 位、FSTATR0.ERSERR 位、FSTATR0.PRGERR 位、FSTATR1.FCUERR 位和 FASTAT.ROMAE 位）中的某位或者多个位置“1”，禁止对 ROM 进行编程和擦除。要解除命令锁定状态时，需要在 FASTAT 寄存器为“10h”的状态下发行状态寄存器清除命令。

当 FAEINT.CMDLKIE 位为“1”时，如果 FCU 进入命令锁定状态（FASTAT.CMDLK 位为“1”），就产生闪存接口错误（FIFERR）中断；当 FAEINT.ROMAEIE 位为“1”时，即使 FASTAT.ROMAE 位为“1”，也产生 FIFERR 中断。

ROM 相关的错误保护内容和错误检测时的状态位的值（FSTATR0.ILGLERR 位、FSTATR0.ERSERR 位、FSTATR0.PRGERR 位、FSTATR1.FCUERR 位和 FASTAT.ROMAE 位）的关系如表 38.9 所示。如果在编程或者擦除处理过程中发行挂起以外的命令，就转移到命令锁定状态，但是 FCU 继续进行编程或者擦除处理。在此状态下无法通过发行 P/E 挂起命令来中止编程或者擦除。如果在命令锁定状态下发行命令，ILGLERR 位就变为“1”。

表 38.9 错误保护一览表（ROM 专用 +ROM/ 数据闪存通用）

分类	内容	ILGLERR	ERSERR	PRGERR	FCUERR	ROMAE	CMDLK
FENTRYR 的设置错误	将 FENTRYR.FENTRYD 位和 FENTRYR.FENTRY0 位中的多个位置“1”。	1	0	0	0	0	1
	挂起和恢复时的 FENTRYR 寄存器的设定不同。	1	0	0	0	0	1
非法命令错误	在 FCU 命令的第 1 周期指定未定义代码。	1	0	0	0	0	1
	在多个周期的 FCU 命令的最后周期指定“D0h”以外的数据。	1	0	0	0	0	1
	给 PCKAR 寄存器设定 8 ~ 50MHz 频率以外的外围时钟。	1	0	0	0	0	1
	在编程或者擦除处理过程中发行挂起以外的命令。	1	0	0	0	0	1
	在编程和擦除以外的处理过程中发行挂起命令。	1	0	0	0	0	1
	在挂起状态下发行挂起命令。	1	0	0	0	0	1
	在挂起以外的状态下发行恢复命令。	1	0	0	0	0	1
	在编程挂起状态下发行编程 / 擦除（编程、锁定编程、块擦除）命令。	1	0	0	0	0	1
	在擦除挂起状态下发行块擦除命令。	1	0	0	0	0	1
	在擦除挂起状态下发行擦除挂起对象区的编程命令 / 锁定编程命令。	1	0	0	0	0	1
	在编程命令的第 2 个周期指定“80h”以外的数据。	1	0	0	0	0	1
在命令锁定状态下发行命令。	1	0/1	0/1	0/1	0/1	1	
擦除错误	在擦除处理过程中发生错误。	0	1	0	0	0	1
	在 FPROTR.FPROTCN 位为“0”时，对锁定位为“0”的擦除块发行块擦除命令。	0	1	0	0	0	1
编程错误	在编程处理过程中发生错误。	0	0	1	0	0	1
	在 FPROTR.FPROTCN 位为“0”时，对锁定位为“0”的擦除块发行编程命令或者锁定编程命令。	0	0	1	0	0	1
FCU 错误	在 FCU 内部处理过程中发生错误。	0	0	0	1	0	1
ROM 存取违反	在 FENTRYR.FENTRY0 位为“1”时并且在 ROM P/E 正常模式中，对 00F8 0000h ~ 00FF FFFFh 发行读存取命令。	1	0	0	0	1	1
	在 FENTRYR.FENTRY0 位为“0”时，对 00F8 0000h ~ 00FF FFFFh 发行存取命令。	1	0	0	0	1	1
	在将 FENTRYR 寄存器置位后转移到 ROM P/E 模式的状态下，对 FFF8 0000h ~ FFFF FFFFh 发行读存取命令。	1	0	0	0	1	1

38.9 引导模式

38.9.1 系统结构

在引导模式中，能从主机发送控制命令和编程数据，对用户 MAT、用户引导 MAT 或者数据 MAT 进行编程或者擦除。为了进行主机和 RX62N、RX621 之间的通信，将内部 SCI 用于异步模式。需要准备用于将控制命令发送到主机的工具和编程数据。

如果通过引导模式启动 RX62N 和 RX621，就执行嵌入式程序存储 MAT 中的程序，此程序在自动调整 SCI 的位速率以及接受主机的控制命令后，控制编程和擦除。

引导模式的系统结构如图 38.24 所示。

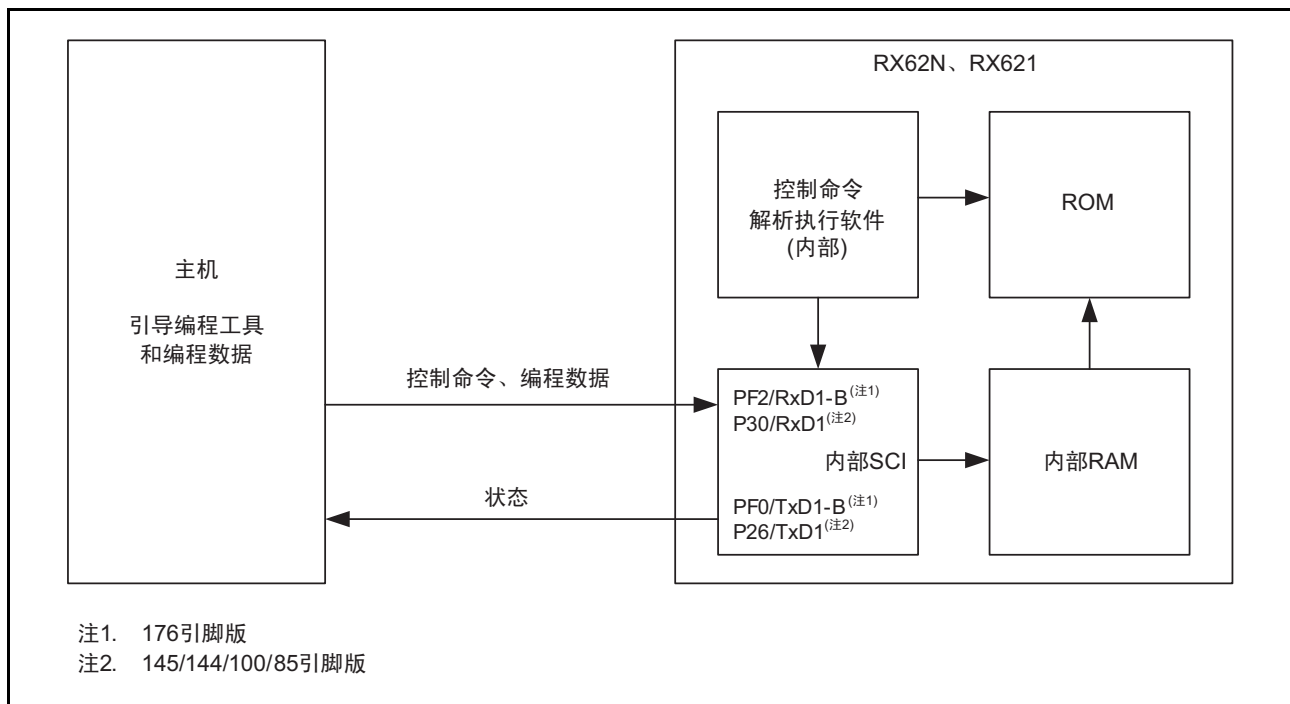


图 38.24 引导模式的系统结构

38.9.2 ID 码保护

这是禁止从主机读、编程和擦除的功能。

使用写在 ROM 中的控制码和 ID 码，判断 ID 码保护的有效或者无效以及 ID 码保护。在 ID 码保护有效的情况下，只在从主机送来的代码和 ROM 中的控制码及 ID 码相同时，允许读、编程和擦除。

ROM 中的控制码和 ID 码是 32 位长的 4 字数据，控制码和 ID 码的结构如图 38.25 所示。必须以 32 位为单位设定 ID 码。

	31	24	23	16	15	8	7	0
FFFF FFA0h	控制码		ID 码1		ID 码2		ID 码3	
FFFF FFA4h	ID 码4		ID 码5		ID 码6		ID 码7	
FFFF FFA8h	ID 码8		ID 码9		ID 码10		ID 码11	
FFFF FFAC h	ID 码12		ID 码13		ID 码14		ID 码15	

图 38.25 ROM 中的控制码和 ID 码的结构

(1) 控制码

控制码决定 ID 码保护的有效或者无效以及主机的验证方法，控制码和验证方法如表 38.10 所示。

表 38.10 ID 码保护的规格

控制码	ID 码	保护状态	连接 SCI 时的运行
45h	任意	保护有效 (验证方法 1)	ID 码相同: 结束 ID 码保护并且转移到主机命令等待状态。 ID 码不同: 再次转移到 ID 码等待状态。但是, 如果连续 3 次 ID 码不同, 就进行全部擦除。
52h	50h、72h、6Fh、74h、65h、 63h、74h、FFh、.....、FFh 除外	保护有效 (验证方法 2)	ID 码相同: 结束 ID 码保护并且转移到主机命令等待状态。 ID 码不同: 再次转移到 ID 码等待状态。
	50h、72h、6Fh、74h、65h、 63h、74h、FFh、.....、FFh	保护有效 (验证方法 3)	总是判断为 ID 码不同。
上述以外	—	保护无效	擦除全部的块。

(2) ID 码

ID 码能设定为任意的值。如果控制码为“52h”并且 ID 码从 ID 码 1 开始按顺序设定“50h”、“72h”、“6Fh”、“74h”、“65h”、“63h”、“74h”、“FFh”、.....、“FFh”，就不判断 ID 码是否相同而总是视为不同，禁止从主机读、编程和擦除。

(3) 设定 ID 码的编程例子

控制码为“45h”，ID 码从 ID 码 1 开始按顺序设定“01h”、“02h”、“03h”、“04h”、“05h”、“06h”、“07h”、“08h”、“0Ah”、“0Bh”、“0Ch”、“0Dh”、“0Eh”、“0Fh”时的编程例子：

```
.SECTION ID_CODE, CODE
.ORG 0FFFFFFA0h
.LWORD 45010203h
.LWORD 04050607h
.LWORD 08090A0Bh
.LWORD 0C0D0E0Fh
```

38.9.3 UB 码 A

UB 码 A 是 32 位长（2 字）的数据，用于判断用户引导 MAT 中的程序。

使用用户引导 MAT 中的 UB 码 A，判断用户引导 MAT 中的程序。如果程序是 USB 引导程序，就在连接 SCI 时擦除全部块的情况下不擦除用户引导 MAT。UB 码 A 的结构如图 38.26 所示，必须以 32 位为单位设定 UB 码 A。

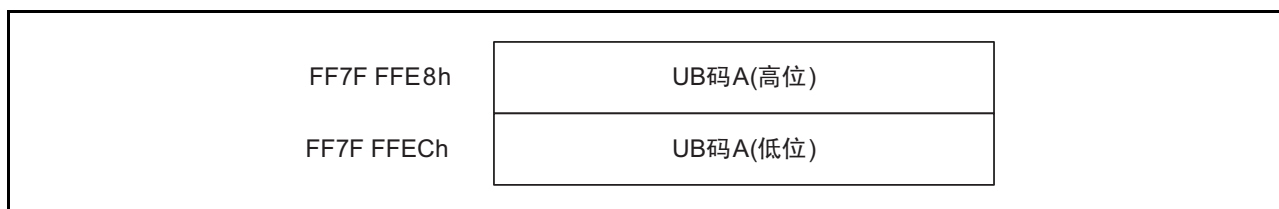


图 38.26 UB 码 A 的结构

表 38.11 UB 码 A 的规格

UB 码 A	用户引导 MAT 中的程序	连接 SCI 时的全部块擦除
55736242h、6F6F74FFh	是 USB 引导程序。	不擦除用户引导 MAT。
上述以外	不是 USB 引导程序。	擦除用户引导 MAT。

38.9.4 引导模式的状态转移

引导模式的状态转移图如图 38.27 所示。

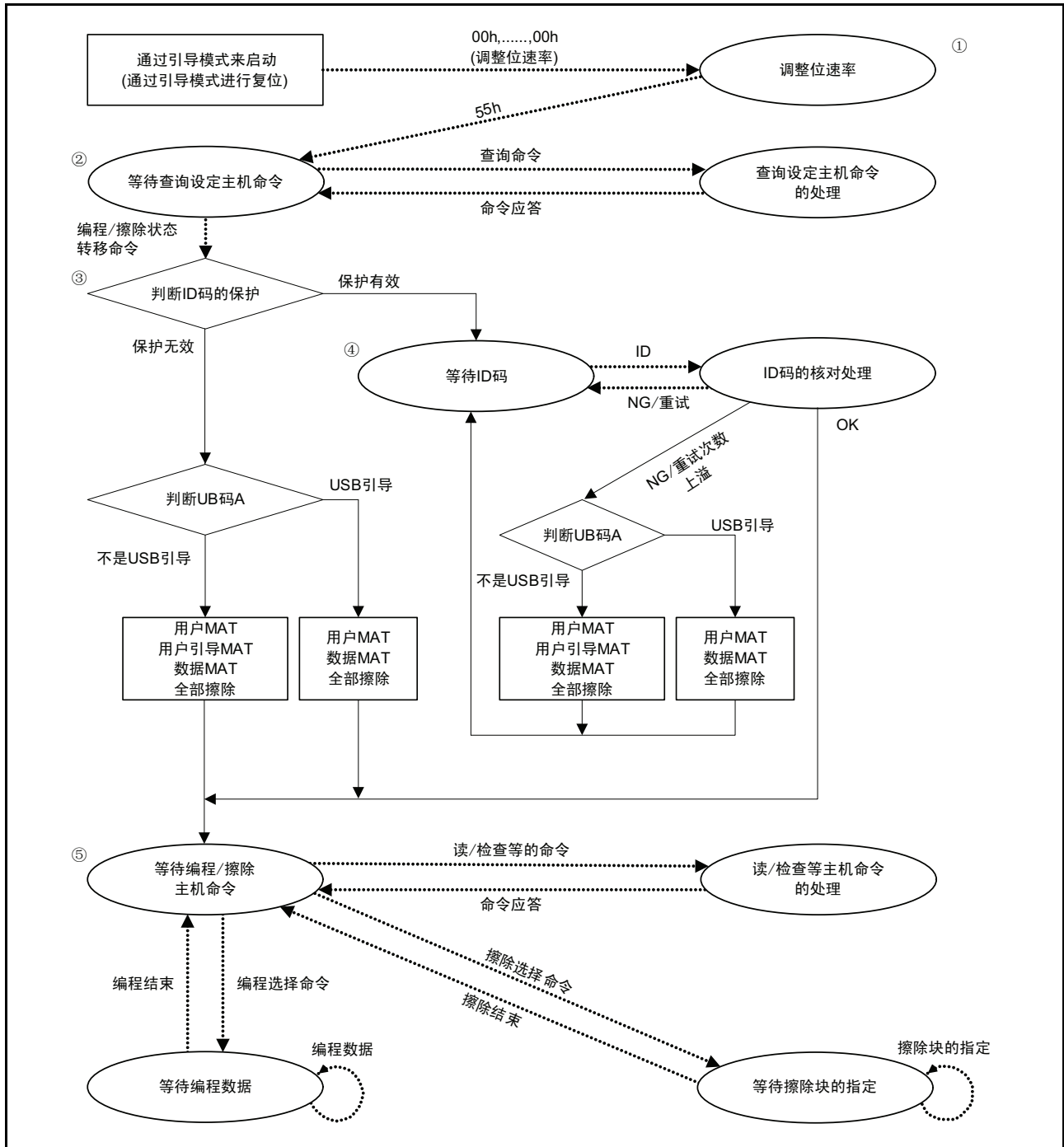


图 38.27 引导模式的状态转移图

①位速率的调整

如果通过引导模式启动 RX62N 和 RX621，就自动调整主机和 SCI 的位速率。如果位速率的自动调整结束，就将“00h”从 RX62N 和 RX621 发送到主机。此后，如果 RX62N 和 RX621 正常接受从主机送来的“55h”，就转移到查询设定主机命令等待状态。有关位速率调整的详细内容，请参照“38.9.5 位速率的自动调整”。

②查询设定主机命令的等待

这是查询 MAT 大小、MAT 结构、MAT 起始地址和支持状况等以及选择器件、时钟模式和位速率的状态。如果从主机发行编程 / 擦除状态转移命令，就转移到判断 ID 码保护的有效或者无效的状态。有关查询设定主机命令的详细内容，请参照“38.9.6 查询设定主机命令的等待状态”。

③ ID 码保护的判断

判断 ID 码保护的有效或者无效。通过写在 ROM 中的控制码和 ID 码，判断 ID 码保护的有效或者无效。当 ID 码保护有效时，转移到 ID 码等待状态；当 ID 码保护无效时，全部擦除用户 MAT、用户引导 MAT 和数据 MAT，并且转移到编程 / 擦除主机命令等待状态。有关控制码和 ID 码的详细内容，请参照“38.9.2 ID 码保护”。

④ ID 码的等待

等待从主机送来的控制码和 ID 码。将主机送来的控制码、ID 码和 ROM 中的代码进行比较，如果相同，就转移到编程 / 擦除主机命令等待状态；如果不同，就返回到 ID 码等待状态。如果连续 3 次不同并且保护状态为验证方法 1，就进行全部擦除并且再次返回到 ID 码等待状态。要解除此不同的状态时，需要进行复位。有关控制码和 ID 码的详细内容，请参照“38.9.2 ID 码保护”。

⑤编程 / 擦除主机命令的等待

这是根据主机的命令进行编程或者擦除的状态。根据 RX62N 和 RX621 接收的命令，转移到编程数据等待状态、擦除块指定等待状态、读 / 检查等命令处理执行状态。

如果 RX62N 和 RX621 接收编程选择命令，就转移到编程数据等待状态。主机在发送编程选择命令后，必须接着发送编程起始地址和编程数据。如果将编程起始地址设定为 FFFF FFFFh，就在编程结束后，从编程数据等待状态转移到编程 / 擦除命令等待状态。

如果 RX62N 和 RX621 接收擦除选择命令，就转移到擦除块指定等待状态。主机在发送擦除选择命令后，必须接着发送擦除块号。如果将擦除块号设定为“FFh”，就在擦除结束后，从擦除块指定等待状态转移到编程 / 擦除命令等待状态。因为在通过引导模式启动后到转移到编程 / 擦除主机命令状态的期间，用户 MAT、用户引导 MAT 和数据 MAT 被全部擦除，所以在引导模式中除了不进行复位而要擦除新编程的数据的情况以外，不需要进行擦除。

除了编程 / 擦除命令以外，还有用户 MAT 和用户引导 MAT 的校验和命令、空白检查（擦除检查）命令、存储器读命令、状态信息取命令等主机命令。

38.9.5 位速率的自动调整

如果通过引导模式启动 RX62N 和 RX621，就测量从主机连续发送的异步 SCI 通信数据“00h”的 Low 电平期间。在测量 Low 电平期间时，主机的 SCI 发送 / 接收格式必须为 8 位数据、1 个停止位、无奇偶校验，位速率必须设定为 9600bps 或者 19200bps。从测量的 Low 电平期间计算主机的 SCI 的位速率，如果位速率调整结束，RX62N 和 RX621 就将“00h”发送到主机。如果主机正常接收到“00h”，就必须将“55h”从主机发送到 RX62N 和 RX621。否则，就必须通过引导模式重新启动 RX62N 和 RX621，并且重新自动调整位速率。如果 RX62N 和 RX621 正常接收“55h”，就发送“E6h”。否则，就发送“FFh”。

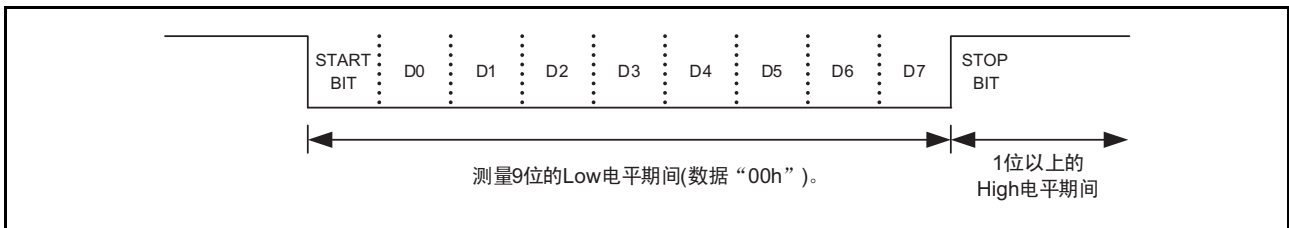


图 38.28 自动调整位速率时的 SCI 发送 / 接收格式

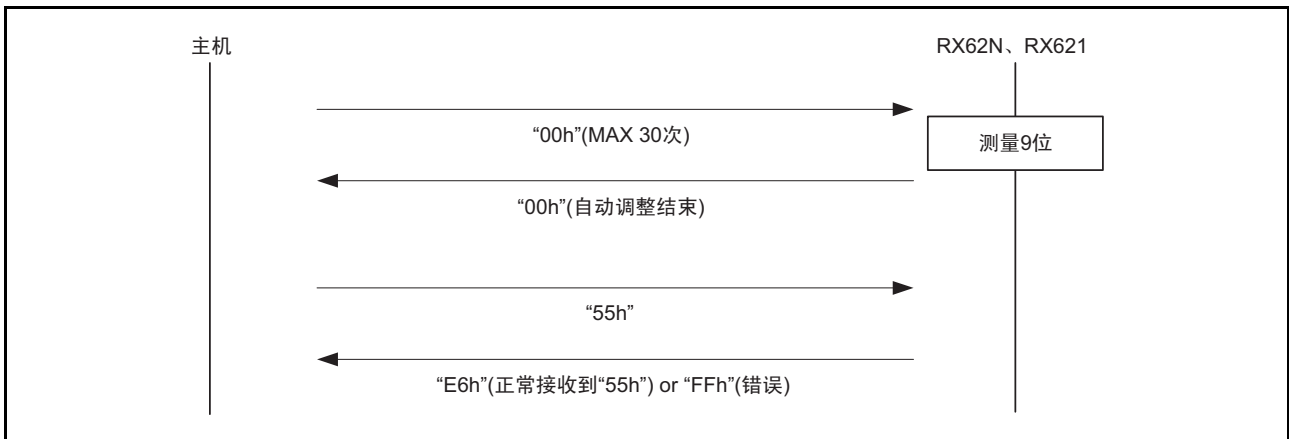


图 38.29 主机和 RX62N、RX621 之间的通信顺序

位速率的自动调整取决于主机的 SCI 的位速率和 RX62N、RX621 的外围时钟的频率，因为有可能无法进行正常的调整，所以必须在表 38.12 所示的条件下进行 SCI 的通信。

表 38.12 可自动调整位速率的条件

主机的 SCI 的位速率	EXTAL 的频率范围
9600bps	8 ~ 14MHz
19200bps	8 ~ 14MHz

38.9.6 查询设定主机命令的等待状态

在查询设定主机命令等待状态下能使用的主机命令一览表如表 38.13 所示。在编程 / 擦除主机命令等待状态下，也能使用嵌入式程序状态查询命令。其他命令只能在查询设定主机命令等待状态下使用。

表 38.13 查询设定主机命令

主机命令名	功能
支持器件查询	查询器件码和嵌入式程序的产品型号。
器件选择	选择器件码。
时钟模式查询	查询时钟模式数和各自的值。
时钟模式选择	通知已选择的时钟模式。
倍增比查询	查询时钟的种类、倍增比 / 分频比的种类以及倍增比 / 分频比。
工作频率查询	查询时钟的种类、最大工作频率和最小工作频率。
用户引导 MAT 信息查询	查询用户引导 MAT 的个数以及起始地址和结束地址。
用户 MAT 信息查询	查询用户 MAT 的个数以及起始地址和结束地址。
擦除块信息查询	查询块数以及起始地址和结束地址。
编程长度查询	查询编程时的数据长度。
新位速率选择	更改主机和 RX62N、RX621 之间的 SCI 通信的位速率。
编程 / 擦除状态转移	转移到 ID 码保护判断状态。
嵌入式程序状态查询	查询处理状态。

如果主机发送未定义的命令，RX62N 和 RX621 就发送命令错误应答。命令错误应答的内容如下所示。在命令中保存主机发送的命令的起始字节。

错误应答	80h	命令
------	-----	----

在查询设定主机命令等待状态下，必须参考查询命令的应答，按照器件的选择 → 时钟模式的选择 → 新位速率的选择的顺序从主机发送选择命令，设定 RX62N 和 RX621。在发行时钟模式选择命令前，不能使用支持器件的查询和时钟模式的查询以外的查询命令。如果搞错命令的发送顺序，RX62N 和 RX621 就发送命令错误应答。查询设定主机命令等待状态下的主机命令使用例子如图 38.30 所示。

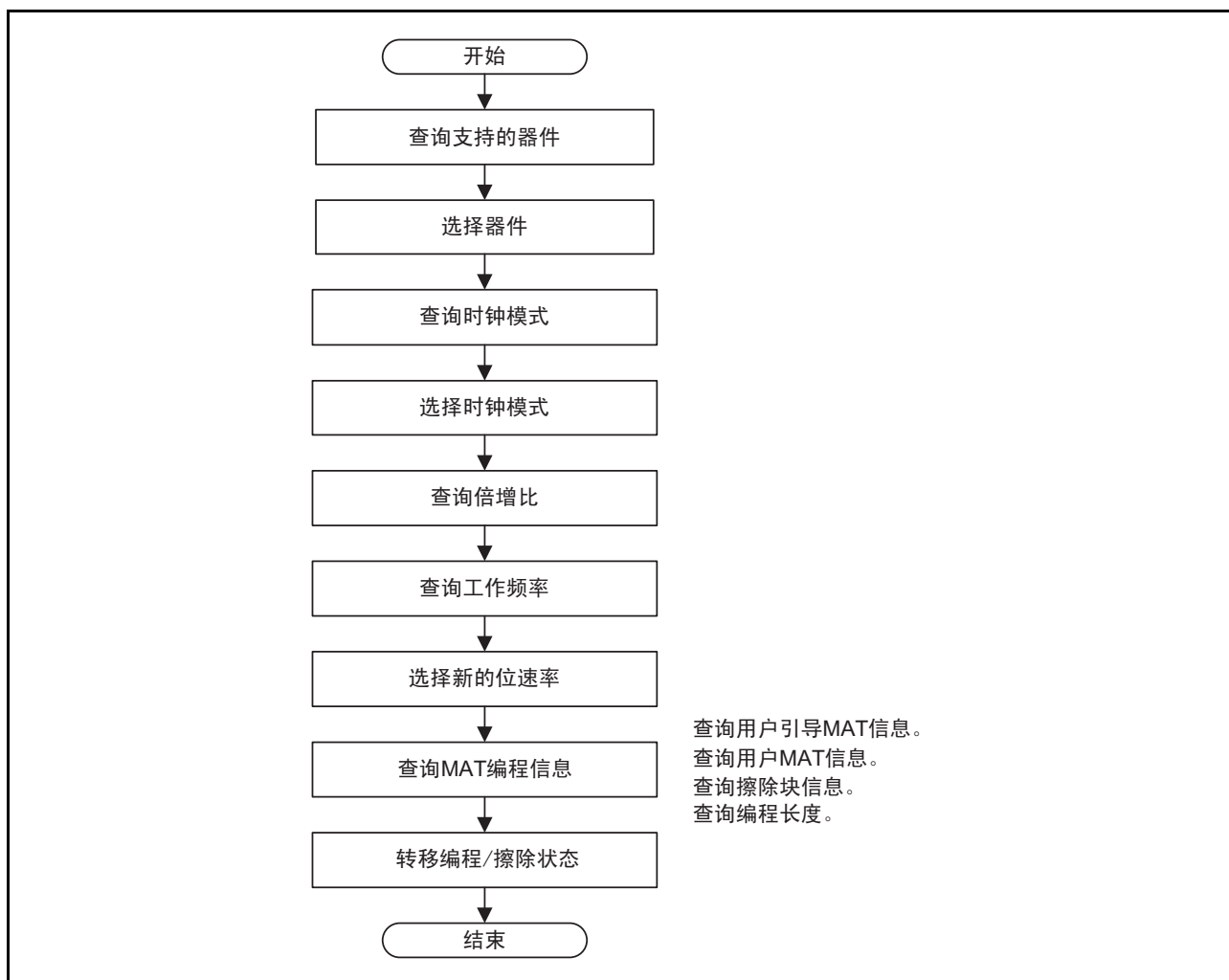


图 38.30 用户 MAT/ 用户引导 MAT 的查询设定主机命令的使用例子

以下说明各主机命令的详细内容。说明内容中的“命令”是从主机发送到 RX62N 和 RX621 的命令，“应答”是从 RX62N 和 RX621 发送到主机的应答。“校验和”是指在合计 RX62N 和 RX621 发送的各字节时，为了得到“00h”而算出的字节数据。

(1) 支持器件查询

如果主机发送支持器件查询命令，RX62N 和 RX621 就通过引导模式的嵌入式程序发送能支持的器件信息。如果在主机选择器件后发送支持器件查询命令，RX62N 和 RX621 就只发送所选的器件信息。

命令	20h		
应答	30h	长度	器件数
	字符数	器件码	
	字符数	器件码	
	
	字符数	器件码	
	SUM	产品名称	

【符号说明】	长度（1 字节）	: 器件数、字符数、器件码和产品名称的数据总字节数
	器件数（1 字节）	: 引导模式的嵌入式程序支持的品种数
	字符数（1 字节）	: 器件码和产品名称的字符数
	器件码（4 字节）	: 芯片产品名称的 ASCII 码
	产品名称（n 字节）	: 支持器件名称的 ASCII 码
	SUM（1 字节）	: 校验和

(2) 器件选择

如果主机发送器件选择命令，RX62N 和 RX621 就检查所指定的器件是否为能支持的器件。如果是能支持的器件，RX62N 和 RX621 就将支持器件更改为指定的器件并且发送应答（06h）。如果不是能支持的器件或者送来的命令为非法命令，RX62N 和 RX621 就发送错误应答（90h）。

即使在支持器件查询结果的器件数为“01h”时，也必须通过器件选择命令设定查询结果的器件码的值。

命令	10h	长度	器件码	SUM
应答	06h			
错误应答	90h	错误		

【符号说明】	长度（1 字节）	: 器件码的字符数（是固定值，为“4”。）
	器件码（4 字节）	: 芯片产品名称的 ASCII 码（和支持器件查询命令的应答相同的代码）
	SUM（1 字节）	: 校验和
	错误（1 字节）	: 错误码
		11h: 校验和错误（命令为非法命令）
		21h: 器件码不同

(3) 时钟模式查询

如果主机发送时钟模式查询命令，RX62N 和 RX621 就发送可选择的时钟模式。如果在主机选择时钟模式后发送时钟模式查询命令，RX62N 和 RX621 就只发送所选的时钟模式的信息。

命令	21h			
应答	31h	长度		
	模式	模式	...	模式
	SUM			

【符号说明】	长度（1 字节）	:	模式数、模式的数据总字节数
	模式（1 字节）	:	可选择的时钟模式（例：01h 时钟模式 1）
	SUM（1 字节）	:	校验和

(4) 时钟模式选择

如果主机发送时钟模式选择命令，RX62N 和 RX621 就检查所指定的时钟模式是否为能支持的模式。如果是能支持的模式，RX62N 和 RX621 就将时钟模式更改为指定的模式并且发送应答（06h）。如果不是能支持的模式或者送来的命令为非法命令，RX62N 和 RX621 就发送错误应答（91h）。

必须在发送器件选择命令后发送时钟模式选择命令。即使在时钟模式查询结果的时钟模式数为“00h”或者“01h”时，也必须通过时钟模式选择命令设定查询结果的模式的值。

命令	11h	长度	模式	SUM
应答	06h			
错误应答	91h	错误		

【符号说明】	长度（1 字节）	:	模式的字符数（是固定值，为“1”。）
	模式（1 字节）	:	时钟模式（和时钟模式查询命令的应答相同的模式）
	SUM（1 字节）	:	校验和
	错误（1 字节）	:	错误码
			11h: 校验和错误（命令为非法命令）
			22h: 时钟模式不同

(5) 倍增比查询

如果主机发送倍增比查询命令，RX62N 和 RX621 就发送时钟的种类、倍增比 / 分频比的信息。

命令

22h

32h	长度	时钟数		
倍增比的种类	倍增比	倍增比	...	倍增比
倍增比的种类	倍增比	倍增比	...	倍增比
...
倍增比的种类	倍增比	倍增比	...	倍增比
SUM				

- 【符号说明】
- 长度（1 字节）：时钟数、倍增比的种类、倍增比的数据总字节数
 - 时钟数（1 字节）：时钟的种类（例：02h 系统时钟和外围时钟）
 - 倍增比的种类（1 字节）：可选择的倍增比 / 分频比的种类
（例：04h 系统时钟有 1 倍增、2 倍增、4 倍增、8 倍增共 4 种）
 - 倍增比（1 字节）：倍增比（例：04h=4 4 倍增）← 用正数指定
分频比（例：FEh=-2 2 分频）← 用负数指定
 - SUM（1 字节）：校验和

(6) 工作频率查询

如果主机发送工作频率查询命令，RX62N 和 RX621 就发送各时钟的工作频率的最小值和最大值的消息。

命令

23h

33h	长度	时钟数	
最小频率		最大频率	
最小频率		最大频率	
...		...	
最小频率		最大频率	
SUM			

- 【符号说明】
- 长度（1 字节）：时钟数、最小频率、最大频率的数据总字节数
 - 时钟数（1 字节）：时钟的种类（例：02h 系统时钟和外围时钟）
 - 最小频率（2 字节）：工作频率的最小值（例：07D0h 20.00MHz）
这是将频率（MHz）的小数点后的 2 位的值扩大 100 倍的值。
 - 最大频率（2 字节）：工作频率的最大值
格式和最小频率相同。
 - SUM（1 字节）：校验和

(7) 用户引导 MAT 信息查询

如果主机查询用户引导 MAT 信息，RX62N 和 RX621 就发送用户引导 MAT 的区域数和地址的信息。

命令	24h		
应答	34h	长度	区域数
	区域的起始地址		
	区域的结束地址		
	区域的起始地址		
	区域的结束地址		
	...		
	区域的起始地址		
	区域的结束地址		
	SUM		

- 【符号说明】 长度（1 字节）：区域数、区域的起始地址、区域的结束地址的数据总字节数
 区域数（1 字节）：用户 MAT 的区域数（连续区域为 1 个区域）
 区域的起始地址（4 字节）：用户 MAT 区域的起始地址
 区域的结束地址（4 字节）：用户 MAT 区域的结束地址
 SUM（1 字节）：校验和

(8) 用户 MAT 信息查询

如果主机查询用户 MAT 信息，RX62N 和 RX621 就发送用户 MAT 的区域数和地址的信息。

命令	25h		
应答	35h	长度	区域数
	区域的起始地址		
	区域的结束地址		
	区域的起始地址		
	区域的结束地址		
	...		
	区域的起始地址		
	区域的结束地址		
	SUM		

- 【符号说明】 长度（1 字节）：区域数、区域的起始地址、区域的结束地址的数据总字节数
 区域数（1 字节）：用户 MAT 的区域数（连续区域为 1 个区域）
 区域的起始地址（4 字节）：用户 MAT 区域的起始地址
 区域的结束地址（4 字节）：用户 MAT 区域的结束地址
 SUM（1 字节）：校验和

(9) 擦除块信息查询

如果主机查询擦除块信息，RX62N 和 RX621 就发送用户 MAT 的擦除块数和地址的信息。

命令	26h		
应答	36h	长度	块数
	块的起始地址		
	块的结束地址		
	块的起始地址		
	块的结束地址		
	...		
	块的起始地址		
	块的结束地址		
	SUM		

- 【符号说明】 长度（2 字节）：块数、块的起始地址、块的结束地址的数据总字节数
 块数（1 字节）：用户 MAT 的擦除块数
 区域的起始地址（4 字节）：擦除块的起始地址
 区域的结束地址（4 字节）：擦除块的结束地址
 SUM（1 字节）：校验和

(10) 编程长度查询

如果主机查询编程长度，RX62N 和 RX621 就发送编程长度的信息。

命令	27h		
应答	37h	长度	编程长度
			SUM

- 【符号说明】 长度（1 字节）：编程长度的字符数（是固定值，为“2”。）
 编程长度（2 字节）：编程单位（以字节数为单位）
 SUM（1 字节）：校验和

(11) 新位速率选择

如果主机发送新位速率选择命令，RX62N 和 RX621 就检查能否将内部 SCI 设定为指定的新位速率。如果能设定新为位速率，RX62N 和 RX621 就发送应答（06h）并且将 SCI 设定为新位速率。如果不能设定为新位速率或者送来的命令为非法命令，RX62N 和 RX621 就发送错误应答（BFh）。如果主机接收应答（06h），就用发送新位速率选择命令时的位速率进行 1 位时间的等待，并且将主机的位速率更改为新位速率。然后，主机通过新位速率发送确认数据（06h），RX62N 和 RX621 发送确认数据的应答（06h）。

必须在发送时钟模式选择命令后发送新位速率选择命令。



图 38.31 新位速率的选择顺序

命令	3Fh	长度	位速率		输入频率
	时钟数	倍增比 1	倍增比 2		
	SUM				
应答	06h				
错误应答	BFh	错误			
确认	06h				
应答	06h				

- 【符号说明】**
- 长度（1 字节）：位速率、输入频率、时钟数、倍增比的数据总字节数
 - 位速率（2 字节）：新位速率（例：00C0h 19200bps）
将位速率值设定为 1/100 的值。
 - 输入频率（2 字节）：RX62N 和 RX621 的输入频率（例：04E2h 12.50MHz）
这是将输入频率的小数点后的 2 位的值扩大 100 倍的值。
 - 时钟数（1 字节）：时钟的种类（例：02h 系统时钟和外围时钟）
 - 倍增比 1（1 字节）：输入频率对应的系统时钟（ICLK）的倍增比 / 分频比
倍增比（例：04h=4 4 倍增）← 用正数指定
分频比（例：FEh=-2 2 分频）← 用负数指定
 - 倍增比 2（1 字节）：输入频率对应的外围时钟（PCLK）的倍增比 / 分频比
和倍增比 1 相同的格式
 - SUM（1 字节）：校验和
 - 错误：错误码
11h: 校验和错误
24h: 位速率不能选择错误
25h: 输入频率错误
26h: 倍增比错误
27h: 工作频率错误

- 位速率不能选择错误
如果因RX62N和RX621的SCI的误差不足4%而无法通过新位速率选择命令设定所指定的位速率，就产生位速率不能选择错误。假设通过新位速率选择命令指定的位速率为B、输入频率为 f_{EX} 、倍增比2为 $M_{P\phi}$ 、SCI的位速率寄存器（BRR）的设定值为N以及串行模式寄存器（SMR）的CKS[1:0]位的设定值为n，则用以下表达式求位速率的误差。

$$\text{误差（\%）} = \frac{f_{EX} \times M_{P\phi} \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1$$

- 输入频率错误
如果通过新位速率选择命令指定的输入频率不在与通过时钟模式选择命令指定的时钟模式对应的输入频率的最小值和最大值的范围内，就产生输入频率错误。
- 倍增比错误
如果通过新位速率选择命令指定的倍增比不是与通过时钟模式选择命令指定的时钟模式对应的倍增比，就产生倍增比错误。必须使用倍增比查询命令确认能选择的倍增比。
- 工作频率错误
如果在通过新位速率选择命令指定的工作频率下RX62N和RX621无法运行，就产生工作频率错误。RX62N和RX621通过新位速率选择命令指定的输入频率和倍增比进行工作频率的计算，并且检查计算结果是否在各时钟工作频率的最小值和最大值的范围内。必须使用工作频率查询命令确认各时钟工作频率的最小值和最大值。

(12) 编程 / 擦除状态转移

如果主机发送编程 / 擦除状态转移命令，RX62N和RX621就通过写在ROM中的控制码和ID码判断ID码保护的有效或者无效。当ID码保护有效时，发送应答（16h）并且转移到ID码等待状态；当ID码保护无效时，全部擦除用户MAT、用户引导MAT和数据MAT。在全部擦除后，RX62N和RX621发送应答（26h）并且转移到编程 / 擦除主机命令等待状态。如果发生错误而没有全部擦除，RX62N和RX621就发送错误应答（C0h→51h）。

不能在选择器件、时钟模式和新位速率前发行编程 / 擦除状态转移命令。

命令	40h	
应答	ACK	
错误应答	C0h	51h

- 【符号说明】 ACK（1字节） : ACK码
26h: ID码保护无效
16h: ID码保护有效

(13) 嵌入式程序状态查询

如果主机发送嵌入式程序状态查询命令，RX62N 和 RX621 就发送当前的状态。能在查询设定主机命令等待状态和编程 / 擦除主机命令等待状态下使用嵌入式程序状态查询命令。

命令	4Fh			
应答	5Fh	长度	状态	错误

- 【符号说明】 长度（1 字节）：状态、错误的数据总字节数（是固定值，为“2”。）
 状态（1 字节）：RX62N 和 RX621 的状态（参照表 38.14）
 错误（1 字节）：RX62N 和 RX621 的错误发生状况（参照表 38.15）

表 38.14 状态的内容

代码	内容
11h	等待器件的选择。
12h	等待时钟模式的选择。
13h	等待位速率的选择。
1Fh	等待向编程 / 擦除主机命令等待状态的转移（位速率选择结束）。
31h	正在擦除用户 MAT 和用户引导 MAT。
3Fh	等待编程 / 擦除主机命令。
4Fh	等待编程数据的接收。
5Fh	等待擦除块的指定。

表 38.15 错误的内容

代码	内容
00h	无错误
11h	校验和错误
21h	器件码不同错误
22h	时钟模式不同错误
24h	位速率不能选择错误
25h	输入频率错误
26h	倍增比错误
27h	工作频率错误
29h	块号错误
2Ah	地址错误
2Bh	数据长度错误
51h	擦除错误
52h	未擦除错误
53h	编程错误
54h	选择处理错误
80h	命令错误
FFh	位速率调整确认错误

38.9.7 ID 码等待状态

在 ID 码等待状态下能使用的主机命令一览表如表 38.16 所示。

表 38.16 ID 码检查主机命令

主机命令名	功能
ID 码检查	进行 ID 码的检查。

如果主机发送未定义命令，RX62N 和 RX621 就发送命令错误应答。有关命令错误的内容，请参照“38.9.6 查询设定主机命令的等待状态”。

(1) ID 码检查

如果主机发送 ID 码检查命令，RX62N 和 RX621 就将 ROM 中的控制码、ID 码和主机送来的码进行比较，并且送回比较结果。



【符号说明】	长度（1 字节）	: ID 码的字节数（是固定值，为“16”。）
	ID 码（16 字节）	: 控制码（1 字节）+ID 码（15 字节）
	SUM（1 字节）	: 校验和
	ACK（1 字节）	: ACK 码
		26h: 对编程 / 擦除状态转移的应答
	错误（1 字节）	: 错误码
		11h: 校验和错误
		61h: ID 码不同
		63h: ID 码不同 [擦除错误]
		因 ID 码不同而发生擦除错误。

38.9.8 编程 / 擦除主机命令等待状态

在编程 / 擦除主机命令等待状态下能使用的主机命令一览表如表 38.17 所示。

表 38.17 编程 / 擦除主机命令

主机命令名	功能
用户引导 MAT 编程选择	选择用户引导 MAT 的编程。
用户 MAT 编程选择	选择用户 MAT 的编程。
256 字节编程	256 字节的编程
擦除选择	选择擦除。
块擦除	擦除块数据。
存储器读	读存储器。
用户引导 MAT 校验和	用户引导 MAT 的校验和
用户 MAT 校验和	用户 MAT 的校验和
用户引导 MAT 空白检查	用户引导 MAT 的空白检查
用户 MAT 空白检查	用户 MAT 的空白检查
读锁定位状态	读锁定位。
锁定位编程	对锁定位进行编程。
锁定位有效	设定为锁定位保护有效。
锁定位无效	设定为锁定位保护无效。
嵌入式程序状态查询	查询 RX62N 和 RX621 的状态。

如果主机发送未定义命令，RX62N 和 RX621 就发送命令错误应答。有关命令错误的内容，请参照“38.9.6 查询设定主机命令的等待状态”

在进行 ROM 的编程时，主机在发送编程选择命令（选择用户 MAT 编程 / 用户引导 MAT 编程）后发送 256 字节编程命令。如果主机发送编程选择命令，RX62N 和 RX621 就进入编程数据等待状态（参照“38.9.4 引导模式的状态转移”）。如果在编程数据等待状态下主机发送 256 字节编程命令，RX62N 和 RX621 就对 ROM 进行数据编程。如果主机在将编程目标地址设定为 FFFF FFFFh 后发送 256 字节编程命令，RX62N 和 RX621 就判断为编程结束，转移到编程 / 擦除主机命令等待状态。

在擦除 ROM 时，主机在发送擦除选择命令后发送块擦除命令。如果主机发送擦除选择命令，RX62N 和 RX621 就进入擦除块指定等待状态（参照“38.9.4 引导模式的状态转移”）。如果在擦除块指定等待状态下主机发送块擦除命令，RX62N 和 RX621 就对 ROM 进行块擦除。如果主机在将块号设定为“FFh”后发送块擦除命令，RX62N 和 RX621 就判断为擦除结束，转移到编程 / 擦除主机命令等待状态。

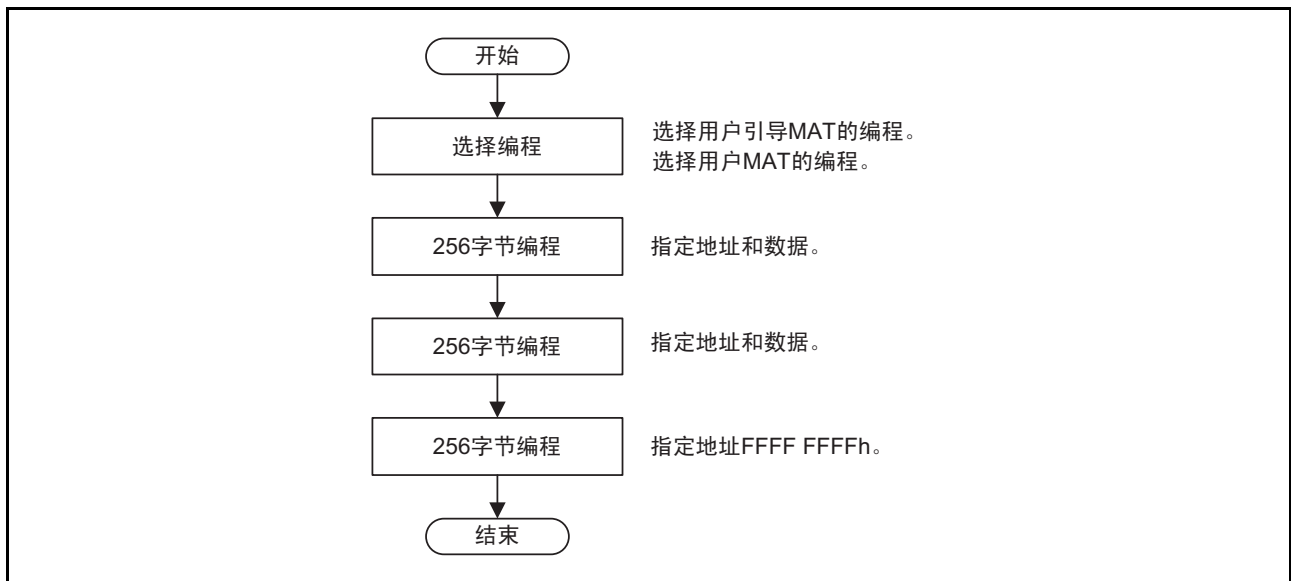


图 38.32 引导模式的 ROM 编程方法

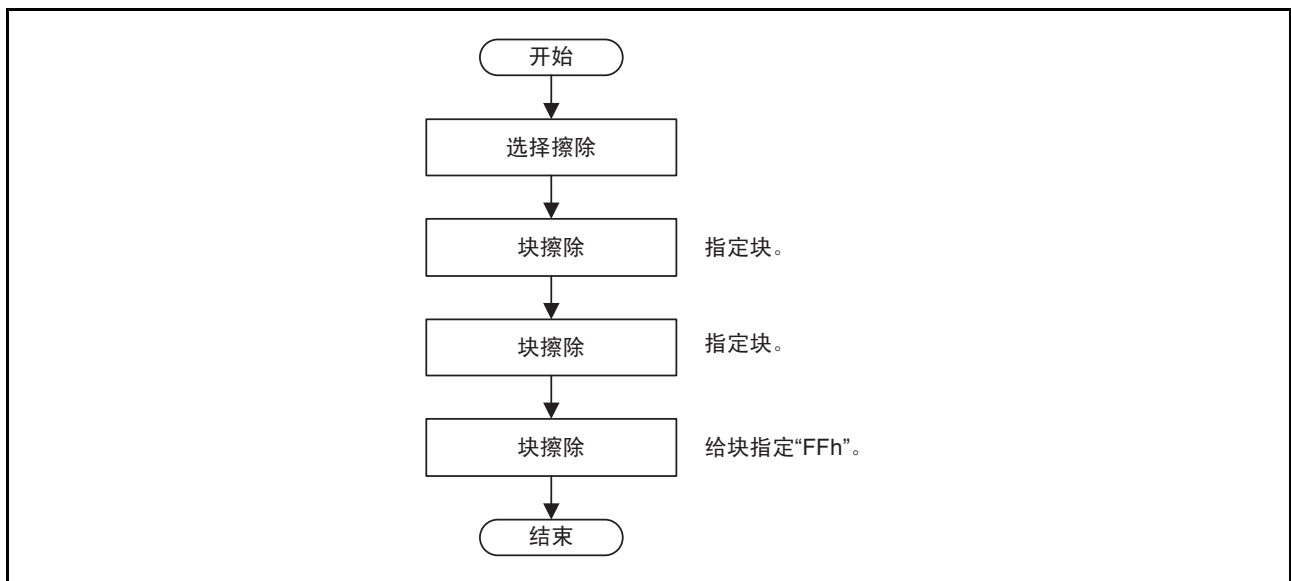


图 38.33 引导模式的 ROM 擦除方法

以下说明各主机命令的详细内容。说明内容中的“命令”是从主机发送到 RX62N 和 RX621 的命令，“应答”是从 RX62N 和 RX621 发送到主机的应答。“校验和”是指在合计发送的各字节时，为了得到“00h”而算出的字节数据。

(1) 用户引导 MAT 编程选择

如果主机发送用户引导 MAT 编程选择命令，RX62N 和 RX621 就选择用户引导 MAT 编程程序，进入编程数据等待状态。

命令	42h
应答	06h

(2) 用户 MAT 编程选择

如果主机发送用户 MAT 编程选择命令，RX62N 和 RX621 就选择用户 MAT 编程程序，进入编程数据等待状态。

命令	43h
应答	06h

(3) 256 字节编程

如果主机发送 256 字节编程命令，RX62N 和 RX621 就进行 ROM 的编程。如果 ROM 的编程正常结束，RX62N 和 RX621 就发送应答（06h）。如果在编程处理过程中发生错误，RX62N 和 RX621 就发送错误应答（D0h）。

命令	50h	编程地址		
	数据	数据	...	数据
	SUM			
应答	06h			
错误应答	D0h	错误		

【符号说明】	编程地址（4 字节）	: 编程目标地址 在进行编程时调整为以 256 字节为边界的地址。 在指定编程结束时发送“FFFF FFFFh”。
	数据（256 字节）	: 编程数据 给不需要编程的字节指定“FFh”。 在指定编程结束时不需要发送数据。 （按照编程地址 →SUM 的顺序进行发送）
	SUM（1 字节）	: 校验和
	错误（1 字节）	: 错误码 11h: 校验和错误 2Ah: 地址错误（地址不在指定的 MAT 内） 53h: 发生编程错误，不能进行编程。

(4) 擦除选择

如果主机发送擦除选择命令，RX62N 和 RX621 就选择擦除程序，进入擦除块指定等待状态。

命令

48h

应答

06h

(5) 块擦除

如果主机发送块擦除命令，RX62N 和 RX621 就擦除 ROM。如果 ROM 擦除正常结束，RX62N 和 RX621 就发送应答（06h）。如果在擦除处理过程中发生错误，RX62N 和 RX621 就发送错误应答（D8h）。

命令

58h	长度	块	SUM
-----	----	---	-----

应答

06h

错误应答

D8h	错误
-----	----

【符号说明】

长度（1 字节）	:	块的数据字节数（是固定值，为“1”。）
块（1 字节）	:	要擦除的擦除块号 在指定擦除的结束时发送“FFh”。
SUM（1 字节）	:	校验和
错误（1 字节）	:	错误码 11h: 校验和错误 29h: 块号错误（块号不正确） 51h: 发生擦除错误，不能进行擦除。

(6) 存储器读

如果主机发送存储器读命令，RX62N 和 RX621 就读 ROM。如果读操作正常结束，RX62N 和 RX621 就发送由存储器读命令指定地址的数据。如果没有执行读操作，RX62N 和 RX621 就发送错误应答（D2h）。

命令	52h	长度	区域	读起始地址	
	读长度			SUM	
应答	52h	读长度			
	数据	数据	...	数据	
	SUM				
错误应答	D2h	错误			

【符号说明】	长度（1 字节）	:	区域、读地址、读长度的数据总字节数
	区域（1 字节）	:	读对象的 MAT 00h: 用户引导 MAT 01h: 用户 MAT
	读起始地址（4 字节）	:	读对象区的起始地址
	读长度（4 字节）	:	读取数据的长度（以字节为单位）
	SUM（1 字节）	:	校验和
	数据（1 字节）	:	从 ROM 读取的数据
	错误（1 字节）	:	错误码 11h: 校验和错误 2Ah: 地址错误 • 在区域的选择中指定“00h”和“01h”以外的值。 • 读起始地址不在指定的 MAT 区内。 2Bh: 长度错误 • 在读长度的选择中指定“00h”。 • 读长度超过 MAT 的长度。 • 由读起始地址和读长度计算出的地址不在 MAT 区内。

(7) 用户引导 MAT 校验和

如果主机发送用户引导 MAT 校验和命令，RX62N 和 RX621 就发送以字节为单位将用户引导 MAT 的数据相加后的结果（校验和）。

命令	4Ah			
应答	5Ah	长度	MAT 的校验和	SUM

【符号说明】	长度（1 字节）	:	MAT 的校验和的字节数（是固定值，为“4”。）
	MAT 的校验和（4 字节）	:	用户引导 MAT 的校验和结果
	SUM（1 字节）	:	校验和（应答数据的校验和）

(8) 用户 MAT 校验和

如果主机发送用户 MAT 校验和命令，RX62N 和 RX621 就发送以字节为单位将用户 MAT 的数据相加后的结果（校验和）。

命令	4Bh		
应答	5Bh	长度	MAT 的校验和
			SUM

- 【符号说明】 长度（1 字节）：MAT 的校验和的字节数（是固定值，为“4”。）
 MAT 的校验和（4 字节）：用户 MAT 的校验和结果
 用户 MAT 也包含用于验证调试功能的键码。
 必须注意：相加的结果包含键码值。
 SUM（1 字节）：校验和（应答数据的校验和）

(9) 用户引导 MAT 空白检查

如果主机发送用户引导 MAT 空白检查命令，RX62N 和 RX621 就检查用户引导 MAT 是否全部为擦除状态。如果用户引导 MAT 全部为擦除状态，RX62N 和 RX621 就发送应答（06h）。如果用户引导 MAT 有未擦除区域，RX62N 和 RX621 就发送错误应答（CCh→52h）。

命令	4Ch	
应答	06h	
错误应答	CCh	52h

(10) 用户 MAT 空白检查

如果主机发送用户 MAT 空白检查命令，RX62N 和 RX621 就检查用户 MAT 是否全部为擦除状态。如果用户 MAT 全部为擦除状态，RX62N 和 RX621 就发送应答（06h）。如果用户 MAT 有未擦除区域，RX62N 和 RX621 就发送错误应答（CDh→52h）。

命令	4Dh	
应答	06h	
错误应答	CDh	52h

(11) 读锁定位状态

如果主机发送读锁定位状态命令，RX62N 和 RX621 就读锁定位。如果读操作正常结束，RX62N 和 RX621 就发送由读锁定位状态命令指定的地址的数据。如果没有执行读操作，RX62N 和 RX621 就发送错误应答（F1h）。

命令	71h	长度	区域	中位地址	高位地址	最高位地址	SUM
应答	状态						
错误应答	F1h	错误					

- 【符号说明】
- 长度（1 字节）：区域、中位地址、高位地址、最高位地址的数据总字节数（RX62N 和 RX621 为固定值“4”。）
 - 区域（1 字节）：读对象的 MAT
01h: 用户 MAT
 - 中位地址（1 字节）：指定块的结束地址的中位地址（8～15 位）
 - 高位地址（1 字节）：指定块的结束地址的高位地址（16～23 位）
 - 最高有效位地址（1 字节）：指定块的结束地址的最高位地址（24～31 位）
 - SUM（1 字节）：校验和
 - 状态（1 字节）：当 bit6 为“0”时，为锁定状态。
当 bit6 为“1”时，为非锁定状态。
 - 错误（1 字节）：错误码
11h: 校验和错误
2Ah: 地址错误（地址不在指定的 MAT 内）

(12) 锁定位编程

如果主机发送锁定位编程命令，RX62N 和 RX621 就对锁定位进行编程，将指定块设定为锁定状态。如果被正常锁定，RX62N 和 RX621 就发送应答（06h）。否则，RX62N 和 RX621 就发送错误应答（F7h）。

命令	77h	长度	区域	中位地址	高位地址	最高位地址	SUM
应答	06h						
错误应答	F7h	错误					

- 【符号说明】
- 长度（1 字节）：区域、中位地址、高位地址、最高位地址的数据总字节数（RX62N 和 RX621 为固定值“4”。）
 - 区域（1 字节）：锁定对象的 MAT
01h: 用户 MAT
 - 中位地址（1 字节）：指定块的结束地址的中位地址（8～15 位）
 - 高位地址（1 字节）：指定块的结束地址的高位地址（16～23 位）
 - 最高有效位地址（1 字节）：指定块的结束地址的最高位地址（24～31 位）
 - SUM（1 字节）：校验和
 - 错误（1 字节）：错误码
11h: 校验和错误
2Ah: 地址错误（地址不在指定的 MAT 内）
53h: 发生编程错误，不能设定为锁定状态。

(13) 锁定位有效

如果主机发送锁定位有效命令，RX62N 和 RX621 就将锁定位为有效。

命令

7Ah

应答

06h

(14) 锁定位无效

如果主机发送锁定位无效命令，RX62N 和 RX621 就将锁定位为无效。

命令

75h

应答

06h

(15) 嵌入式程序状态查询

请参照“38.9.6 查询设定主机命令的等待状态”。

38.10 USB（用户）引导模式

如果通过 MD1 引脚和 MD0 引脚设定为 USB（用户）引导模式并且解除复位，就从用户引导模式开始启动。此时的复位向量为用户引导 MAT 的地址 FF7F FFFCh，其他向量表请参照标准向量表（参照“11. 中断控制器（ICUa）”）。

产品出货时，在用户引导 MAT 中保存了 USB 引导程序，能通过此程序和 USB 改写用户 MAT。

能在引导模式中改写用户引导 MAT。能通过改写 USB 引导程序，使用任意接口进行编程。

以下说明使用 USB 引导程序的 USB 引导模式。

USB 引导模式是通过主机（经由 USB 连接外部）发送控制命令和编程数据对用户 MAT 进行编程或者擦除的模式。

使用 USB 引导模式时，需要事先在主机侧准备好编程数据以及用于发送控制命令和编程数据的工具。USB 引导模式的系统结构如图 38.34 所示，USB 引导模式中发生的中断请求被忽视，因此不能在系统侧发生中断请求。

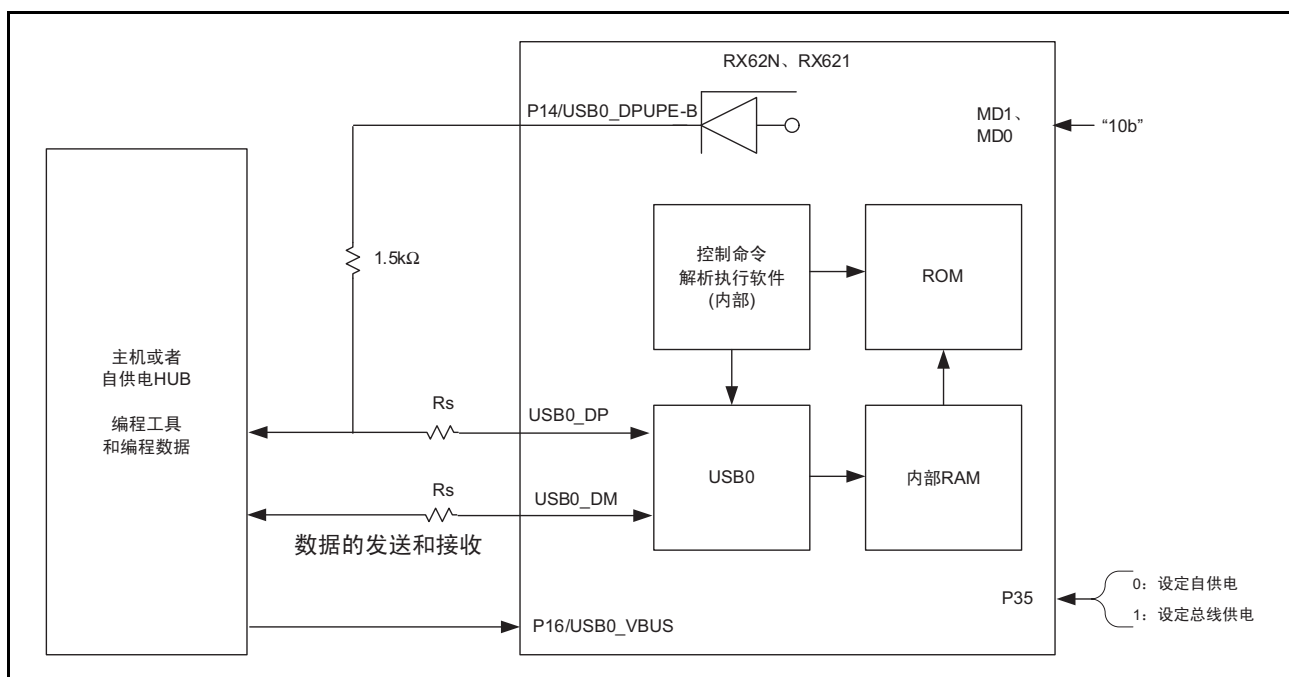


图 38.34 USB 引导模式的系统结构

38.10.1 特点

- 能选择总线供电模式或者自供电模式。
- D+ 上拉的控制连接只对应 USB0-DPUPE-B 引脚。
- 枚举信息请参照表 38.18。

本 LSI 只有在使用 USB0 时并且在 Function 模式中才能使用 USB 引导模式。

表 38.18 枚举信息

USB规格	Ver.2.0 (Full-speed)	
传送模式	传送模式Control (in, out) Bulk (in, out)	
最大电流	自供电模式中(P35引脚=0)	100mA
	总线供电模式中(P35引脚=1)	500mA
端点结构	EP0 Control (in out) 8Bytes Configuration1 <ul style="list-style-type: none"> └─ InterfaceNumber0 <ul style="list-style-type: none"> └─ AlternateSetting0 <ul style="list-style-type: none"> └─ EP1 Bulk (out) 64Bytes └─ EP2 Bulk (in) 64Bytes 	

38.10.2 状态转移

USB 引导模式启动后的状态转移如图 38.35 所示。

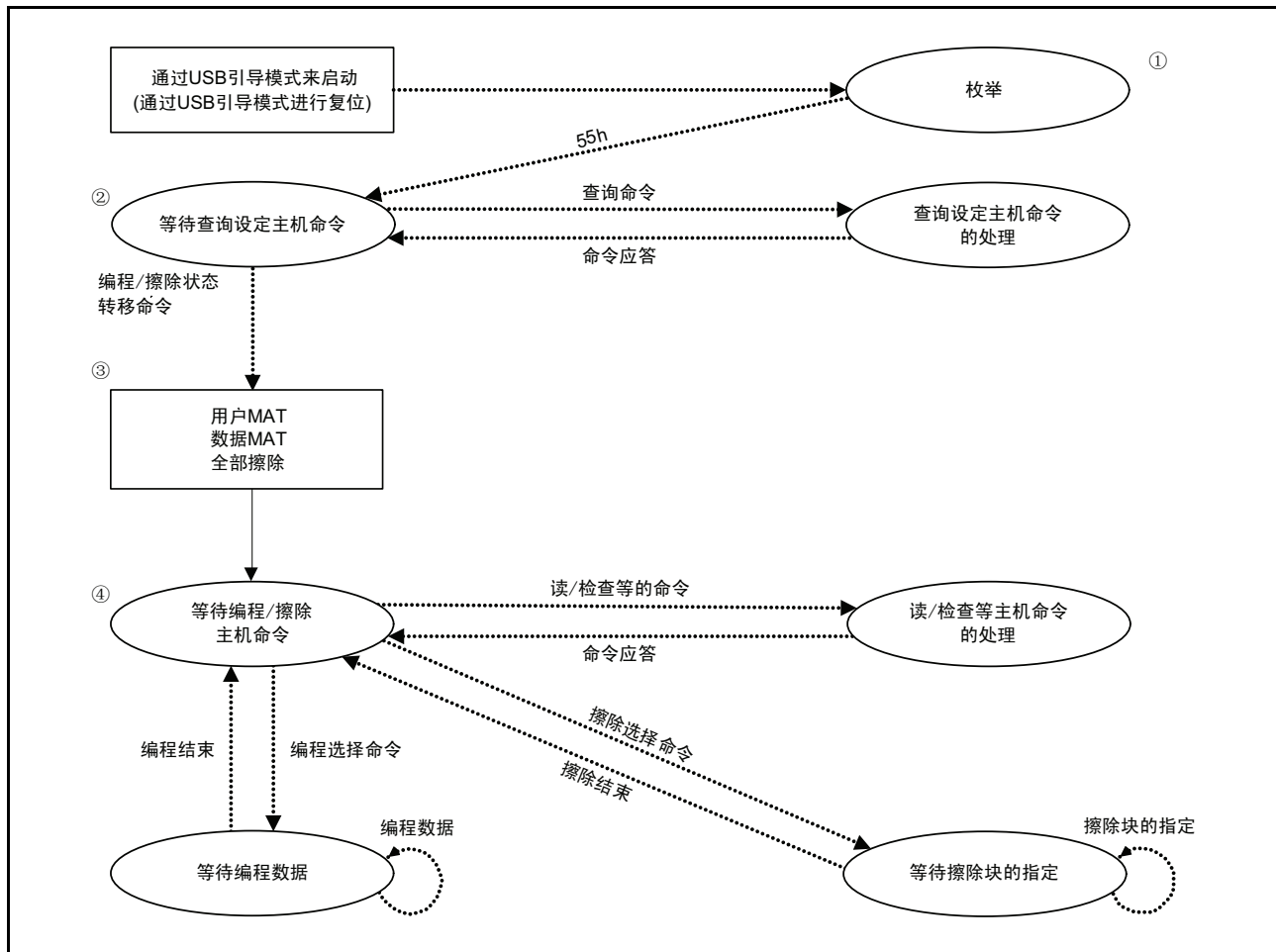


图 38.35 USB 引导模式的状态转移

1. 如果转移到USB引导模式，就启动嵌入在本LSI内部的引导程序。
如果启动USB引导程序，本LSI就和主机进行枚举处理。
在枚举处理结束后，主机必须给本LSI发送1字节的“55h”。当不能正常接收时，必须重新启动USB引导模式。
2. 将用户MAT的长度、结构、起始地址、支持状况等的查询信息发送到主机。
3. 一旦查询结束，就自动擦除全部用户MAT、数据MAT。
4. 在用户MAT、数据MAT自动擦除后进入等待编程/擦除状态，如果接收到编程命令，就转移到等待编程数据的状态。擦除时也相同。
除了编程/擦除命令以外，还有用户MAT校验和命令、空白检查（擦除检查）命令、存储器读命令和当前状态信息取命令。

38.10.3 执行 USB 引导模式时的注意点

- 需要给 USB 模块提供 48MHz 的时钟。必须设定外部时钟频率和时钟振荡器，使 USB 专用时钟（UCLK）的频率为 48MHz。详细内容请参照“8. 时钟发生电路”。
- D+ 上拉的控制连接必须使用 USB0-DPUPE-B 引脚。
- 为了在闪存的编程/擦除过程中提供稳定的电源，不能经由总线供电 HUB 连接电缆。
- 尤其要注意：如果在闪存的编程/擦除过程中拔掉 USB 电缆，就可能发生永久损坏 LSI 的最坏情况。
- 即使在总线供电模式中 USB 总线进入挂起模式，也不转移到低功耗状态的软件待机模式。

38.11 on-chip 调试器的 ID 码保护

这是禁止连接 on-chip 调试器的功能。在连接 on-chip 调试器时，使用写在 ROM 中的控制码和 ID 码，决定 on-chip 调试器 ID 码保护的有效或者无效以及判断 on-chip 调试器的 ID 码保护。当 ID 码保护有效时，就将从 on-chip 调试器送来的代码和 ROM 中的控制码、ID 码进行比较。如果相同，就允许连接 on-chip 调试器；否则就不能连接 on-chip 调试器。但是，如果控制码为“52h”并且 ID 码从 ID 码 1 开始按照顺序设定“50h”、“72h”、“6Fh”、“74h”、“65h”、“63h”、“74h”、“FFh”、……、“FFh”，就不判断 ID 码而总是视为不同，禁止连接 on-chip 调试器。当控制码和 ID 码都为“FFh”时，就不判断 ID 码而视为相同，允许连接 on-chip 调试器。闪存的 ID 码的结构和图 38.25 相同。

表 38.19 on-chip 调试器的 ID 码保护的规格

控制码	ID 码	保护状态	连接 on-chip 调试器时的运行
FFh	FFh、……、FFh（全部为“FFh”）	保护无效	不判断控制码和 ID 码，总是视为和 ID 码相同，允许连接 on-chip 调试器。
52h	50h、72h、6Fh、74h、65h、63h、74h、FFh、……、FFh	保护有效	不判断控制码和 ID 码，总是视为和 ID 码不同，禁止连接 on-chip 调试器。
上述以外	上述以外	保护有效	ID 码相同：结束 on-chip 调试器的验证，允许连接 on-chip 调试器。 ID 码不同：再次转移到 ID 码等待状态。

38.12 ROM 码保护

ROM 码保护是在使用 PROM 编程器时禁止读和改写闪存的功能。闪存的 ROM 码是 32 位长的数据。ROM 码的结构如图 38.36 所示，必须以 32 位为单位设定 ROM 码。

要解除 ROM 码保护时，必须在引导模式或者用户编程模式中擦除包括 ROM 码的用户 MAT 的 EB00 块。

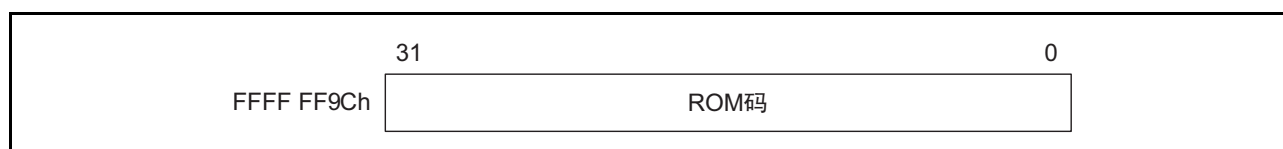


图 38.36 ROM 码的结构

表 38.20 ROM 码保护的规格

ROM 码	保护状态	连接 PROM 编程器时的运行
0000 0000h	ROM 码保护有效（ROM 码保护 1）	禁止读和改写用户 MAT 和用户引导 MAT。
0000 0001h	ROM 码保护有效（ROM 码保护 2）	禁止读用户 MAT 和用户引导 MAT。
上述以外	ROM 码保护无效	允许读或者改写用户 MAT 和用户引导 MAT。

38.13 使用时的注意事项

(1) 编程 / 擦除挂起的对象区

编程 / 擦除挂起中的区域的保存数据为不定值。必须注意：不能执行编程 / 擦除挂起对象区的指令以及读数据，以免因读到不确定的数据而发生误动作。

(2) 编程 / 擦除挂起引起的中止

如果通过编程 / 擦除挂起命令中止编程 / 擦除处理，就必须通过恢复命令结束处理。在发行恢复命令后的 20 μ s 内（PCLK=50MHz 时）不能再次发行编程 / 擦除挂起命令。

(3) 追加编程的禁止

不能对同一区域进行 2 次或者 2 次以上的编程。要改写已编程的区域时，必须擦除该区域。

(4) 编程 / 擦除过程中的复位

如果在编程 / 擦除过程中发生 RES# 引脚复位，必须在电特性规定的工作电压范围内，至少等待 100 μ s 的复位输入期间后解除复位。

如果在编程 / 擦除过程中通过 FRESETR.FRESET 位对 FCU 进行复位，就必须保持 tRESW2（参照“41. 电特性”）时间的复位状态。不能在对 FCU 进行复位的期间读编程 / 擦除的对象 ROM。

有关编程 / 擦除中的 WDT 复位和 IWDT 复位，即使不保持上述时间也能使用。

(5) 编程 / 擦除过程中的非屏蔽中断的禁止

如果在编程 / 擦除过程中发生非屏蔽中断（NMI 引脚中断、振荡停止检测中断、电压监视中断），就从 ROM 取向量，读到不确定的数据。因此，不能在对 ROM 进行编程或者擦除过程中发生非屏蔽中断。（该注意事项仅适用于 ROM。）

(6) 编程 / 擦除过程中的中断向量的分配

如果在编程 / 擦除过程中发生中断，就可能从 ROM 取向量。为了避免从 ROM 取向量，可以通过 CPU 的中断表寄存器（INTB）将取中断向量目标表设定在 ROM 以外的区域。

(7) 编程 / 擦除的异常结束

在编程 / 擦除过程中，如果因超出工作电压范围的电压波动、复位或者 FRESETR.FRESET 位引起 FCU 复位、因检测到错误而进入命令锁定状态，以及因下述 (8) 的禁止事项，使编程 / 擦除无法正常结束，锁定位就可能变为“0”（保护状态）。此时，必须在将 FPROTR.FPROTCN 位置“1”的状态下发行块擦除命令，擦除锁定位。此后，必须重新执行没有正常结束的写操作。

(8) 编程 / 擦除过程中的禁止事项

在编程 / 擦除过程中为了防止损坏器件，不能进行以下的操作：

- RX62N、RX621 的电源不在工作电压范围内。
- 更新 FWEPROR.FLWE[1:0] 位的值。
- 通过设定 SYSCR0.ROME 位更改运行模式。
- 通过 SCKCR 寄存器更改 PCLK 的倍增比。
- 给 PCKAR 寄存器设定不同于 PCLK 的频率。
- 转移到全模块时钟停止模式、软件待机模式和深度软件待机模式。

39. 数据闪存（保存数据的闪存）

RX62N 群和 RX621 群内置用于保存最多 512K 字节代码的闪存（ROM）以及用于保存 32K 字节数据的闪存（数据闪存）。

本章说明数据闪存，有关 ROM 请参照“38. ROM（保存代码的闪存）”。

39.1 概要

数据闪存的规格表 39.1 所示，ROM 和数据闪存外围的框图如图 39.1 所示。

表 39.1 数据闪存的规格

项目		内容
存储空间		数据 MAT: 32K 字节
经由外围总线的读操作		在进行字存取或者字节存取时，以 3 个 PCLK 周期进行读操作。
编程 / 擦除方式		<ul style="list-style-type: none"> 内置对数据闪存进行改写的专用定序器（FCU）。 能通过给 FCU 发行命令，进行数据闪存的编程或者擦除。
BGO（后台操作）功能		<ul style="list-style-type: none"> 在对数据闪存进行编程或者擦除的期间，CPU 能执行分配在 ROM 区的程序。 在向 ROM 进行编程或者擦除的期间，CPU 能执行分配在 ROM / 数据闪存以外区域的程序。
挂起 / 恢复功能		<ul style="list-style-type: none"> 中止数据闪存的编程或者擦除，CPU 能执行数据闪存区的程序（挂起）。 在中止后，能重新开始对 ROM 进行编程或者擦除（恢复）。
编程 / 擦除单位		<ul style="list-style-type: none"> 数据 MAT 的编程单位：8 字节或者 128 字节 数据 MAT 的擦除单位：2K 字节（16 块）
空白检查功能		<ul style="list-style-type: none"> 能执行用于确认数据闪存擦除状态的空白检查命令。 能进行空白检查的区域为 8 字节或者 2K 字节。
板上编程 (3 种)	引导模式	<ul style="list-style-type: none"> 能使用 SCI 改写用户 MAT 和用户引导 MAT。 能自动调整主机和 RX62N、RX621 之间的 SCI 通信的位速率。
	USB（用户）引导模式	<ul style="list-style-type: none"> 能从用户引导 MAT 启动并且改写用户 MAT。 出货时，在用户引导 MAT 中写有 USB 引导程序，能使用 USB 改写用户 MAT。 能通过改写用户引导 MAT，使用任意的接口改写用户 MAT。
	用户编程	能通过程序改写用户 MAT。
保护功能	软件保护功能	能通过 FENTRYR.FENTRYD 位、FWEPROR.FLWE[1:0] 位、DFLREk 寄存器和 DFLWEk 寄存器防止意料不到的改写（k=0、1）。
	错误保护功能	如果在编程或者擦除过程中检测到异常，就禁止以后的编程或者擦除处理。
编程时间 / 擦除时间 / 改写次数		请参照“41. 电特性”。

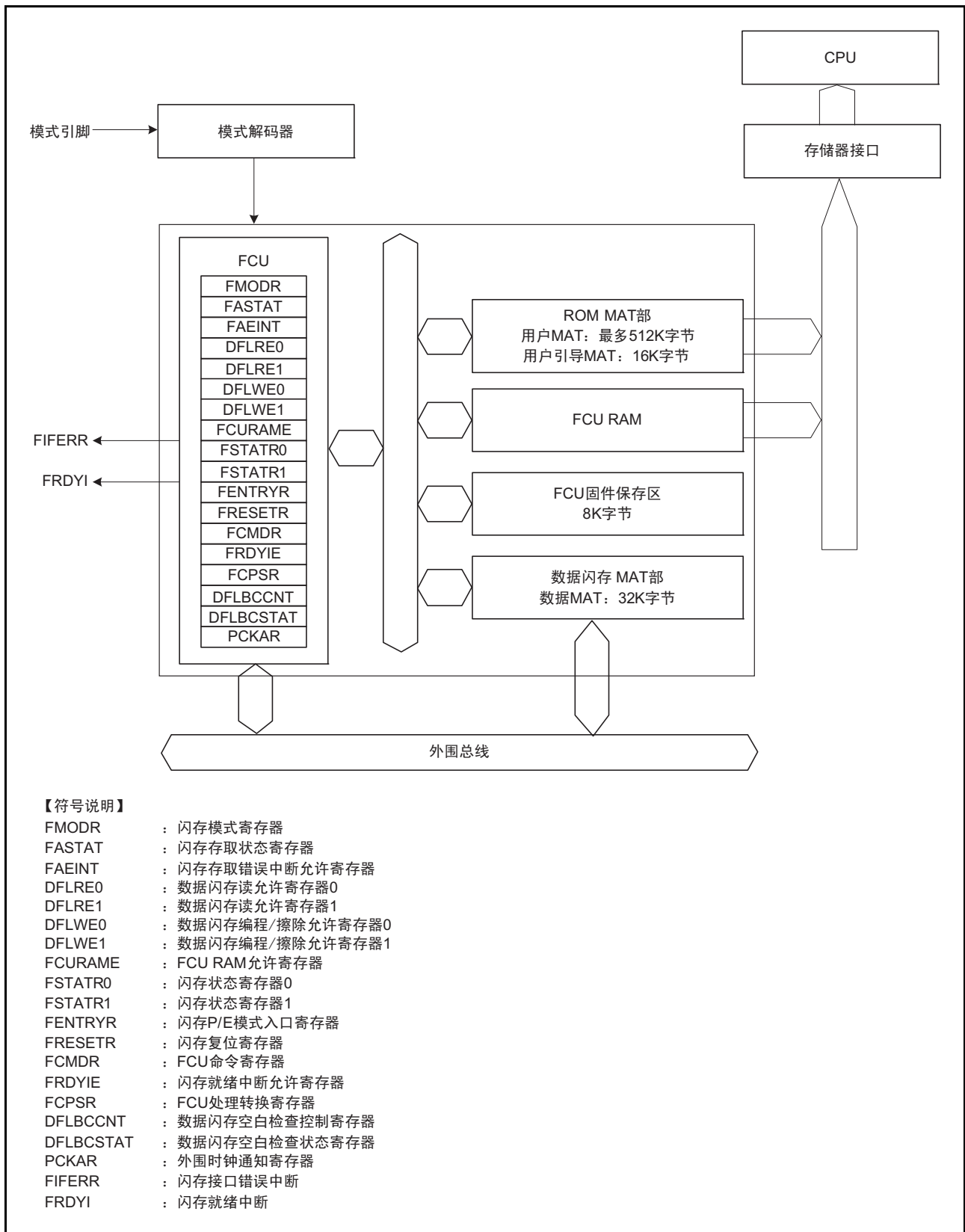


图 39.1 数据闪存的框图

数据闪存的相关输入 / 输出引脚如表 39.2 所示。

表 39.2 数据闪存的相关输入 / 输出引脚

引脚名	输入 / 输出	功能
PF2/RxD1-B (176 引脚版) P30/RxD1 (145/144/100/85 引脚版)	输入	用于引导模式。SCI 的接收数据（用于主机通信）。
PF0/TxD1-B (176 引脚版) P26/TxD1 (145/144/100/85 引脚版)	输出	用于引导模式。SCI 的发送数据（用于主机通信）。
MD1、MD0	输入	设定 RX62N 群和 RX621 群的运行模式。
USB0_DP、USB0_DM	输入 / 输出	USB 数据的输入 / 输出（用于 USB 引导模式）
P16/USB0_VBUS	输入	检测 USB 电缆的连接 / 断开（用于 USB 引导模式）。
P35	输入	设定 USB 总线供电模式或者自供电模式（用于 USB 引导模式）。

39.2 寄存器说明

数据闪存的相关寄存器一览表如表 39.3 所示。部分寄存器也有 ROM 的相关位，本章只说明数据闪存相关位的功能。有关由 ROM/ 数据闪存的通用位构成的寄存器（FRDYIE、FCURAME、FSTATR0、FSTATR1、FRESETR、FCMDR、FCPSR、PCKAR、FWEPROR）以及 ROM 专用位功能的详细内容，请参照“38. ROM（保存代码的闪存）”的“38.2 寄存器说明”。

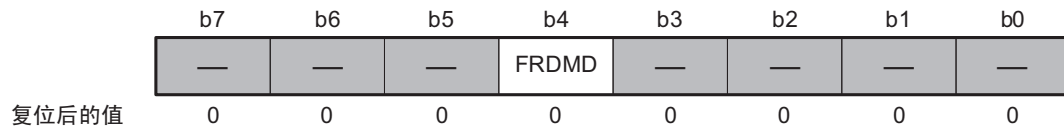
通过复位对数据闪存的相关寄存器进行初始化。

表 39.3 数据闪存的相关寄存器一览表

寄存器名	符号	复位后的值	地址	存取长度
闪存模式寄存器	FMODR	00h	007F C402h	8
闪存存取状态寄存器	FASTAT	00h	007F C410h	8
闪存存取错误中断允许寄存器	FAEINT	9Bh	007F C411h	8
闪存就绪中断允许寄存器	FRDYIE	00h	007F C412h	8
数据闪存读允许寄存器 0	DFLRE0	0000h	007F C440h	16
数据闪存读允许寄存器 1	DFLRE1	0000h	007F C442h	16
数据闪存编程 / 擦除允许寄存器 0	DFLWE0	0000h	007F C450h	16
数据闪存编程 / 擦除允许寄存器 1	DFLWE1	0000h	007F C452h	16
FCU RAM 允许寄存器	FCURAME	0000h	007F C454h	16
闪存状态寄存器 0	FSTATR0	80h	007F FFB0h	8
闪存状态寄存器 1	FSTATR1	0xh	007F FFB1h	8
闪存 P/E 模式入口寄存器	FENTRYR	0000h	007F FFB2h	16
闪存复位寄存器	FRESETR	0000h	007F FFB6h	16
FCU 命令寄存器	FCMDR	FFFFh	007F FFBAh	16
FCU 处理转换寄存器	FCPSR	0000h	007F FFC8h	16
数据闪存空白检查控制寄存器	DFLBCCNT	0000h	007F FFCAh	16
数据闪存空白检查状态寄存器	DFLBCSTAT	0000h	007F FFCEh	16
外围时钟通知寄存器	PCKAR	0000h	007F FFE8h	16
闪存编程 / 擦除保护寄存器	FWEPROR	02h	0008 C289h	8

39.2.1 闪存模式寄存器（FMODR）

地址 007F C402h



位	符号	位名	功能	R/W
b3-b0	—	保留位	读写值都为“0”。	R/W
b4	FRDMD	FCU 读模式选择位	0: 存储区读方式 在转移到数据闪存锁定位读模式时进行设定。 数据闪存没有锁定位，如果在转移到锁定位读模式后读数据闪存区，就会读到不确定的数据。 1: 寄存器读方式 在使用空白检查命令时进行设定。	R/W
b7-b5	—	保留位	读写值都为“0”。	R/W

FMODR 寄存器是指定锁定位的读法的寄存器。在使用空白检查命令时，必须将 FRDMD 位置“1”。在内部 ROM 无效模式中，FMODR 寄存器的读数据为“00h”，不能写。通过复位对 FMODR 寄存器进行初始化。

FRDMD 位（FCU 读模式选择位）

此位选择是进行数据闪存锁定位读模式的转移处理还是进行空白检查处理。

在读 ROM 的锁定位时，使用 FRDMD 位选择锁定位的读法（参照“38. ROM（保存代码的闪存）”）。

39.2.2 闪存存取状态寄存器（FASTAT）

地址 007F C410h

	b7	b6	b5	b4	b3	b2	b1	b0
	ROMAE	—	—	CMDLK	DFLAE	—	DFLRPE	DFLWPE
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	DFLWPE	数据闪存的编程 / 擦除保护违反位	0: 不发行数据闪存的编程 / 擦除命令（违反 DFLWEk 寄存器的设定） 1: 发行数据闪存的编程 / 擦除命令（违反 DFLWEk 寄存器的设定） (k=0、1)	R/(W) (注)
b1	DFLRPE	数据闪存的读保护违反位	0: 不读数据闪存（违反 DFLREk 寄存器的设定） 1: 读数据闪存（违反 DFLREk 寄存器的设定） (k=0、1)	R/(W) (注)
b2	—	保留位	读写值都为“0”。	R/W
b3	DFLAE	数据闪存的存取违反位	0: 不违反数据闪存的存取 1: 违反数据闪存的存取	R/(W) (注)
b4	CMDLK	FCU 命令锁定位	0: FCU 不处于命令锁定状态 1: FCU 处于命令锁定状态	R
b6-b5	—	保留位	读写值都为“0”。	R/W
b7	ROMAE	ROM 存取违反位	请参照“38. ROM（保存代码的闪存）”。	R/(W) (注)

注. 为了将标志置“0”，只能在读“1”后写“0”。

FASTAT 寄存器是确认有无 ROM/ 数据闪存的存取违反的寄存器。

在内部 ROM 无效模式中，FASTAT 寄存器的读数据为“00h”，不能写。如果 FASTAT 寄存器的某位变为“1”，FCU 就进入命令锁定状态（参照“39.7.2 错误保护”）。为了解除命令锁定状态，需要在将 FASTAT 寄存器置“10h”后，给 FCU 发行状态寄存器清除命令。

通过复位对 FASTAT 寄存器进行初始化。

DFLWPE 位（数据闪存的编程 / 擦除保护违反位）

此位表示有无违反由 DFLWEy (y=0、1) 寄存器设定的编程 / 擦除保护。

[为“1”的条件]

- 对通过 DFLWEy (y=0、1) 寄存器设定为禁止编程或者擦除的数据闪存区发行编程/擦除命令。

[为“0”的条件]

- 读“1”后写“0”时

DFLRPE 位（数据闪存的读保护违反位）

此位表示有无违反由 DFLREy (y=0、1) 寄存器设定的读保护。

[为“1”的条件]

- 对通过 DFLREy (y=0、1) 寄存器设定为禁止读的数据闪存区发行读存取命令。

[为“0”的条件]

- 读“1”后写“0”时

DFLAE 位（数据闪存的存取违反位）

此位表示有无数据闪存的存取违反。

如果 DFLAE 位变为“1”，FSTATR0.ILGLERR 位就变为“1”，FCU 进入命令锁定状态。

有关 FSTATR0 寄存器，请参照“38.2.5 闪存状态寄存器 0（FSTATR0）”。

[为“1”的条件]

- 在 FENTRYR.FENTRYD 位为“1”时并且在数据闪存 P/E 正常模式中，对数据闪存区发行读存取命令。
- 在 FENTRYD 位为“0”的状态下，对数据闪存区发行写存取命令。
- 在 FENTRYR.FENTRY0 位为“1”的状态下，对数据闪存区发行存取命令。

[为“0”的条件]

- 读“1”后写“0”时

CMDLK 位（FCU 命令锁定位）

此位表示 FCU 处于命令锁定状态（参照“39.7.2 错误保护”）。

[为“1”的条件]

- FCU 检测到错误并且转移到命令锁定状态后

[为“0”的条件]

- FCU 发行状态寄存器清除命令后

39.2.3 闪存存取错误中断允许寄存器（FAEINT）

地址 007F C411h

	b7	b6	b5	b4	b3	b2	b1	b0
	ROMAEIE	—	—	CMDLKIE	DFLAEIE	—	DFLRPEIE	DFLWPEIE
复位后的值	1	0	0	1	1	0	1	1

位	符号	位名	功能	R/W
b0	DFLWPEIE	数据闪存的编程 / 擦除保护违反中断允许位	0: 在 FASTAT.DFLWPE 位为“1”时, 不发生 FIFERR 中断请求。 1: 在 FASTAT.DFLWPE 位为“1”时, 发生 FIFERR 中断请求。	R/W
b1	DFLRPEIE	数据闪存的读保护违反中断允许位	0: 在 FASTAT.DFLRPE 位为“1”时, 不发生 FIFERR 中断请求。 1: 在 FASTAT.DFLRPE 位为“1”时, 发生 FIFERR 中断请求。	R/W
b2	—	保留位	读写值都为“0”。	R/W
b3	DFLAEIE	数据闪存的存取违反中断允许位	0: 在 FASTAT.DFLAE 位为“1”时, 不发生 FIFERR 中断请求。 1: 在 FASTAT.DFLAE 位为“1”时, 发生 FIFERR 中断请求。	R/W
b4	CMDLKIE	FCU 命令锁定中断允许位	0: 在 FASTAT.CMDLK 位为“1”时, 不发生 FIFERR 中断请求。 1: 在 FASTAT.CMDLK 位为“1”时, 发生 FIFERR 中断请求。	R/W
b6-b5	—	保留位	读写值都为“0”。	R/W
b7	ROMAEIE	ROM 存取违反中断允许位	请参照“38. ROM（保存代码的闪存）”。	R/W

FAEINT 寄存器设定允许或者禁止闪存接口错误中断（FIFERR）的输出。

在内部 ROM 无效模式中，FAEINT 寄存器的读数据为“00h”，写操作无效。

通过复位对 FAEINT 寄存器进行初始化。

DFLWPEIE 位（数据闪存的编程 / 擦除保护违反中断允许位）

在发生数据闪存的编程 / 擦除保护违反并且 FASTAT.DFLWPE 位变为“1”时，此位允许或者禁止 FIFERR 中断请求的发生。

DFLRPEIE 位（数据闪存的读保护违反中断允许位）

在发生数据闪存的读保护违反并且 FASTAT.DFLRPE 位变为“1”时，此位允许或者禁止 FIFERR 中断请求的发生。

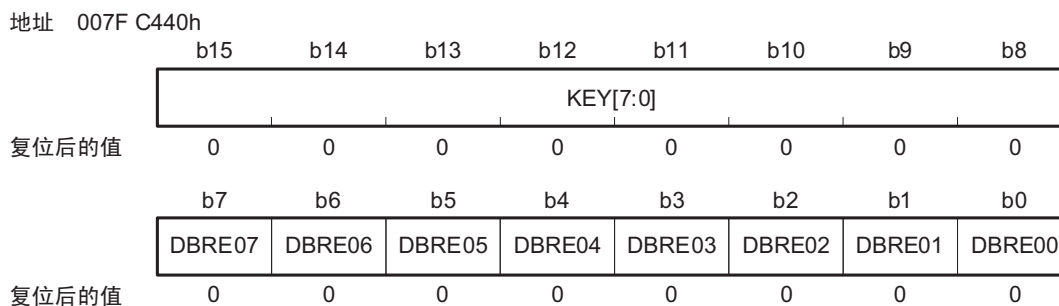
DFLAEIE 位（数据闪存的存取违反中断允许位）

在发生数据闪存的存取违反并且 FASTAT.DFLAE 位变为“1”时，此位允许或者禁止 FIFERR 中断请求的发生。

CMDLKIE 位（FCU 命令锁定中断允许位）

在发生 FCU 命令锁定并且 FASTAT.CMDLK 位变为“1”时，此位允许或者禁止 FIFERR 中断请求的发生。

39.2.4 数据闪存读允许寄存器 0（DFLRE0）



位	符号	位名	功能	R/W
b0	DBRE00	DB00 块的读允许位	0: 禁止读 1: 允许读	R/W
b1	DBRE01	DB01 块的读允许位		R/W
b2	DBRE02	DB02 块的读允许位		R/W
b3	DBRE03	DB03 块的读允许位		R/W
b4	DBRE04	DB04 块的读允许位		R/W
b5	DBRE05	DB05 块的读允许位		R/W
b6	DBRE06	DB06 块的读允许位		R/W
b7	DBRE07	DB07 块的读允许位		R/W
b15-b8	KEY[7:0]	键码	控制能否改写 DBRE _i 位 (i=07 ~ 00)。	R/(W) (注 1)

注 1. 不保持写数据。

DFLRE0 寄存器允许或者禁止读数据 MAT 的 DB07 ~ DB00 块（参照图 39.3）。

只在通过字存取给高位字节写特定值时才能写此寄存器，但是不保持高位字节的写数据。

在内部 ROM 无效模式中，DFLRE0 寄存器的读数据为“0000h”，不能写。

通过复位对 DFLRE0 寄存器进行初始化。

DBRE_i 位（DB_i 块的读允许位）（i=07 ~ 00）

此位设定允许或者禁止读数据 MAT 的 DB07 ~ DB00 块。

DBRE_i 位用于控制 DB_i 块的读。

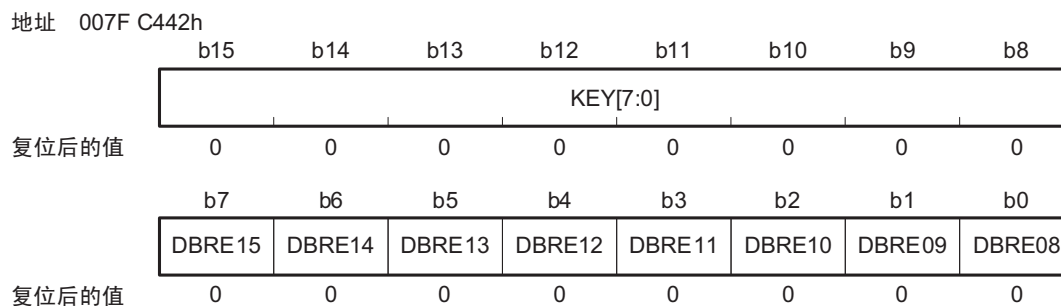
只在 KEY[7:0] 位为“2Dh”时才能通过字存取写 DBRE_i 位。

KEY[7:0] 位（键码）

这些位控制能否改写 DBRE_i 位。

不保持 KEY[7:0] 位的写数据。

39.2.5 数据闪存读允许寄存器 1（DFLRE1）



位	符号	位名	功能	R/W
b0	DBRE08	DB08 块的读允许位	0: 禁止读 1: 允许读	R/W
b1	DBRE09	DB09 块的读允许位		R/W
b2	DBRE10	DB10 块的读允许位		R/W
b3	DBRE11	DB11 块的读允许位		R/W
b4	DBRE12	DB12 块的读允许位		R/W
b5	DBRE13	DB13 块的读允许位		R/W
b6	DBRE14	DB14 块的读允许位		R/W
b7	DBRE15	DB15 块的读允许位		R/W
b15-b8	KEY[7:0]	键码	控制能否改写 DBRE _i 位 (i=15 ~ 08)。	R/(W) (注 1)

注 1. 不保持写数据。

DFLRE1 寄存器允许或者禁止读数据 MAT 的 DB15 ~ DB08 块（参照图 39.3）。

只在通过字存取给高位字节写特定值时才能写此寄存器，但是不保持高位字节的写数据。

在内部 ROM 无效模式中，DFLRE1 寄存器的读数据为“0000h”，不能写。

通过复位对 DFLRE1 寄存器进行初始化。

DBRE_i 位（DB_i 块的读允许位）（i=15 ~ 08）

此位设定允许或者禁止读数据 MAT 的 DB15 ~ DB08 块。

DBRE_i 位用于控制 DB_i 块的读。

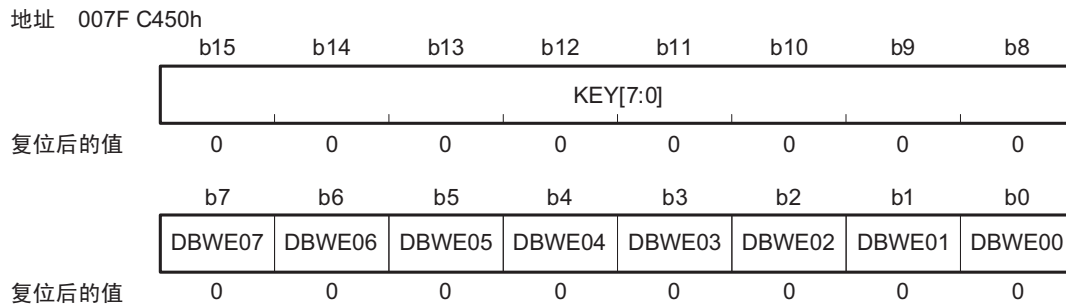
只在 KEY[7:0] 位为“D2h”时才能通过字存取写 DBRE_i 位。

KEY[7:0] 位（键码）

这些位控制能否改写 DBRE_i 位。

不保持 KEY[7:0] 位的写数据。

39.2.6 数据闪存编程 / 擦除允许寄存器 0（DFLWE0）



位	符号	位名	功能	R/W
b0	DBWE00	DB00 块的编程 / 擦除允许位	0: 禁止编程和擦除 1: 允许编程和擦除	R/W
b1	DBWE01	DB01 块的编程 / 擦除允许位		R/W
b2	DBWE02	DB02 块的编程 / 擦除允许位		R/W
b3	DBWE03	DB03 块的编程 / 擦除允许位		R/W
b4	DBWE04	DB04 块的编程 / 擦除允许位		R/W
b5	DBWE05	DB05 块的编程 / 擦除允许位		R/W
b6	DBWE06	DB06 块的编程 / 擦除允许位		R/W
b7	DBWE07	DB07 块的编程 / 擦除允许位		R/W
b15-b8	KEY[7:0]	键码	控制能否改写 DBWE _i 位 (i=07 ~ 00)。	R/(W) (注 1)

注 1. 不保持写数据。

DFLWE0 寄存器允许或者禁止对数据 MAT 的 DB07 ~ DB00 块（参照图 39.3）进行编程或者擦除。只在通过字存取给高位字节写特定值时才能写此寄存器，但是不保持高位字节的写数据。在内部 ROM 无效模式中，DFLWE0 寄存器的读数据为“0000h”，不能写。通过复位对 DFLWE0 寄存器进行初始化。

DBWE_i 位（DB_i 块的编程 / 擦除允许位）（i=07 ~ 00）

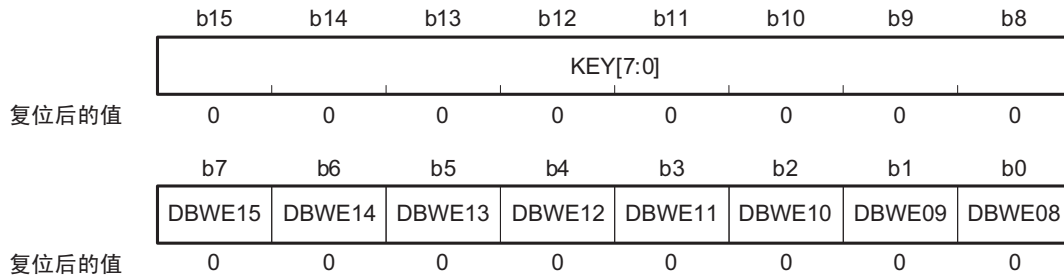
此位设定允许或者禁止对数据 MAT 的 DB07 ~ DB00 块进行编程或者擦除。DBWE_i 位用于控制 DB_i 块的编程和擦除。只在 KEY[7:0] 位为“1Eh”时才能通过字存取写 DBWE_i 位。

KEY[7:0] 位（键码）

这些位控制能否改写 DBWE_i 位。不保持 KEY[7:0] 位的写数据。

39.2.7 数据闪存编程 / 擦除允许寄存器 1（DFLWE1）

地址 007F C452h



位	符号	位名	功能	R/W
b0	DBWE08	DB08 块的编程 / 擦除允许位	0: 禁止编程和擦除 1: 允许编程和擦除	R/W
b1	DBWE09	DB09 块的编程 / 擦除允许位		R/W
b2	DBWE10	DB10 块的编程 / 擦除允许位		R/W
b3	DBWE11	DB11 块的编程 / 擦除允许位		R/W
b4	DBWE12	DB12 块的编程 / 擦除允许位		R/W
b5	DBWE13	DB13 块的编程 / 擦除允许位		R/W
b6	DBWE14	DB14 块的编程 / 擦除允许位		R/W
b7	DBWE15	DB15 块的编程 / 擦除允许位		R/W
b15-b8	KEY[7:0]	键码	控制能否改写 DBWE _i 位 (i=15 ~ 08)。	R/(W) (注 1)

注 1. 不保持写数据。

DFLWE1 寄存器允许或者禁止对数据 MAT 的 DB15 ~ DB08 块（参照图 39.3）进行编程或者擦除。

只在通过字存取给高位字节写特定值时才能写此寄存器，但是不保持高位字节的写数据。

在内部 ROM 无效模式中，DFLWE1 寄存器的读数据为“0000h”，写操作无效。

通过复位对 DFLWE1 寄存器进行初始化。

DBWE_i 位（DB_i 块的编程 / 擦除允许位）（i=15 ~ 08）

此位设定允许或者禁止对数据 MAT 的 DB15 ~ DB08 块进行编程或者擦除。

DBWE_i 位用于控制 DB_i 块的编程和擦除。

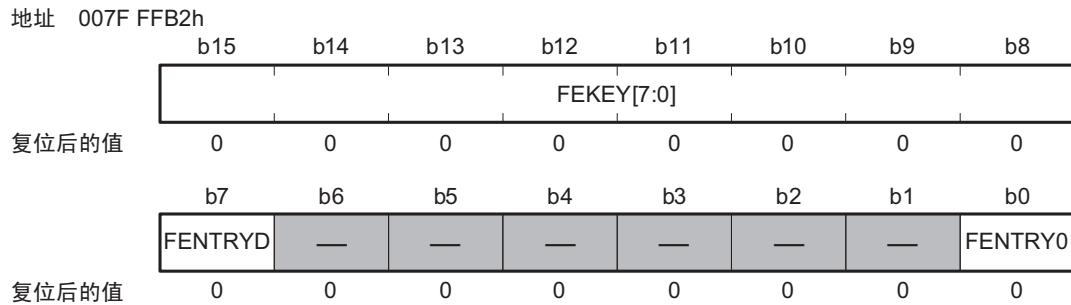
只在 KEY[7:0] 位为“E1h”时才能通过字存取写 DBWE_i 位。

KEY[7:0] 位（键码）

这些位控制能否改写 DBWE_i 位。

不保持 KEY[7:0] 位的写数据。

39.2.8 闪存 P/E 模式入口寄存器（FENTRYR）



位	符号	位名	功能	R/W
b0	FENTRY0	ROM P/E 模式入口位 0	请参照“38. ROM（保存代码的闪存）”。	R/W
b6-b1	—	保留位	读写值都为“0”。	R/W
b7	FENTRYD	数据闪存 P/E 模式入口位	0: 数据闪存为读模式 1: 数据闪存为 P/E 模式	R/W
b15-b8	FEKEY[7:0]	键码	控制能否改写 FENTRYD 位和 FENTRY0 位。	R/(W) (注 1)

注 1. 不保持写数据。

FENTRYR 寄存器是将 ROM/ 数据闪存设定为 P/E 模式的寄存器。

为了将 ROM/ 数据闪存设定为 P/E 模式，使 FCU 能接收命令，需要将 FENTRYD 位或者 FENTRY0 位置“1”。但是，如果将多个位置“1”，FSTAT0.ILGLERR 位就变为“1”，FCU 进入命令锁定状态。

只在通过字存取给高位字节写特定值时才能写此寄存器，而在其他情况下写此寄存器时，此寄存器就被初始化。不保持高位字节的写数据。

在内部 ROM 无效模式中，FENTRYR 寄存器的读数据为“0000h”，不能写。

通过复位或者将 FRESETR.FRESETR 位置“1”，对 FENTRYR 寄存器进行初始化。

有关 FSTAT0 寄存器，请参照“38.2.5 闪存状态寄存器 0（FSTAT0）”。

有关 FRESETR 寄存器，请参照“38.2.10 闪存复位寄存器（FRESETR）”。

FENTRYD 位（数据闪存 P/E 模式入口位）

FENTRYD 位将数据闪存设定为 P/E 模式。

[写操作的有效条件（满足以下全部条件时）]

- 内部 ROM 为有效模式。
- FSTAT0.FRDI 位为“1”。
- 通过字存取给 FEKEY[7:0] 位写“AAh”。

[为“1”的条件]

- 在满足写操作的有效条件并且 FENTRYR 寄存器为“0000h”的状态下，给 FENTRYD 位写“1”时

[为“0”的条件]

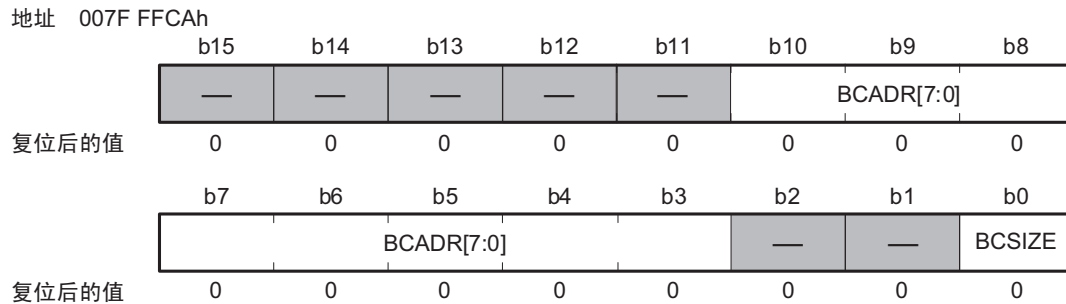
- 通过字节存取进行写操作时
- 在 FEKEY[7:0] 位不为“AAh”的状态下，通过字存取进行写操作时
- 在满足写操作的有效条件的状态下，给 FENTRYD 位写“0”时
- 在满足写操作的有效条件并且 FENTRYR 寄存器不为“0000h”的状态下，写 FENTRYR 寄存器时

FEKEY[7:0] 位（键码）

这些位控制能否改写 FENTRYD 位和 FENTRY0 位。

不保持 FEKEY[7:0] 位的写数据。

39.2.9 数据闪存空白检查控制寄存器（DFLBCCNT）



位	符号	位名	功能	R/W
b0	BCSIZE	空白检查大小设定位	0: 空白检查对象区为 8 字节 1: 空白检查对象区为 2K 字节	R/W
b2-b1	—	保留位	读写值都为“0”。	R/W
b10-b3	BCADR[7:0]	空白检查地址设定位	设定检查对象区的地址。	R/W
b15-b11	—	保留位	读写值都为“0”。	R/W

DFLBCCNT 寄存器指定空白检查命令的检查对象区的地址和大小。

在内部 ROM 无效模式中，DFLBCCNT 寄存器的读数据为“0000h”，不能写。

通过复位或者将 FRESETR.FRESET 位置“1”，对 DFLBCCNT 寄存器进行初始化。

有关 FRESETR 寄存器，请参照“38.2.10 闪存复位寄存器（FRESETR）”。

BCSIZE 位（空白检查大小设定位）

此位设定空白检查命令的检查对象区的大小。

BCADR[7:0] 位（空白检查地址设定位）

在空白检查命令的检查对象区大小为 8 字节（BCSIZE 位为“0”）时，此位设定检查对象区的地址。

当 BCSIZE 位为“0”时，DFLBCCNT 寄存器的设定值（将 BCADR[7:0] 位的设定值向 MSB 侧移 3 位后的值）以及发行空白检查命令时指定的擦除块起始地址相加后的值为检查对象区的起始地址。

39.2.10 数据闪存空白检查状态寄存器（DFLBCSTAT）

地址	007F FFCEh							
	b15	b14	b13	b12	b11	b10	b9	b8
	—	—	—	—	—	—	—	—
复位后的值	0	0	0	0	0	0	0	0
	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	BCST
复位后的值	0	0	0	0	0	0	0	0

位	符号	位名	功能	R/W
b0	BCST	空白检查状态位	0: 空白检查对象区为擦除状态（空白） 1: 空白检查对象区为写“0”或者“1”的状态	R
b15-b1	—	保留位	读写值都为“0”。	R/W

DFLBCSTAT 寄存器保存空白检查命令的处理结果。

在内部 ROM 无效模式中，DFLBCSTAT 寄存器的读数据为“0000h”，不能写。

通过复位或者将 FRESETR.FRESET 位置“1”，对 DFLBCSTAT 寄存器进行初始化。

有关 FRESETR 寄存器，请参照“38.2.10 闪存复位寄存器（FRESETR）”。

BCST 位（空白检查状态位）

此位表示空白检查的结果。

39.3 数据闪存的存储器 MAT 结构

RX62N 群和 RX621 群的数据闪存由 32K 字节的数据 MAT 构成，数据 MAT 的地址如图 39.2 所示。在读、编程和擦除时，数据 MAT 的地址相同。

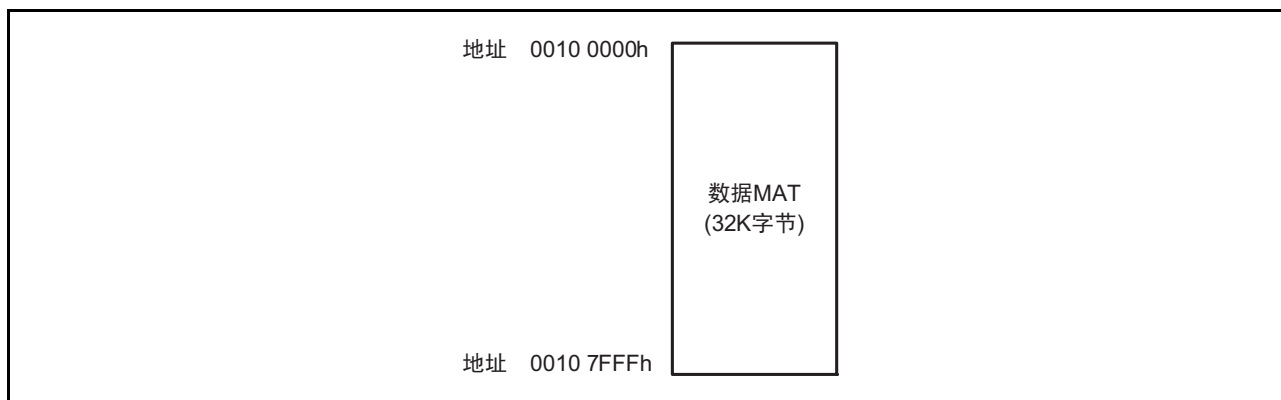


图 39.2 数据闪存的数据 MAT 结构

39.4 块结构

数据 MAT 的擦除块结构如图 39.3 所示。数据 MAT 被分割为 2K 字节（16 块），以块为单位进行擦除，以 8 字节或者 128 字节为单位进行编程。以低位地址的 3 位全部为“0”的 8 字节为单位进行 8 字节编程；以低位地址为“00h”或者“80h”开始的 128 字节为单位进行 128 字节编程。

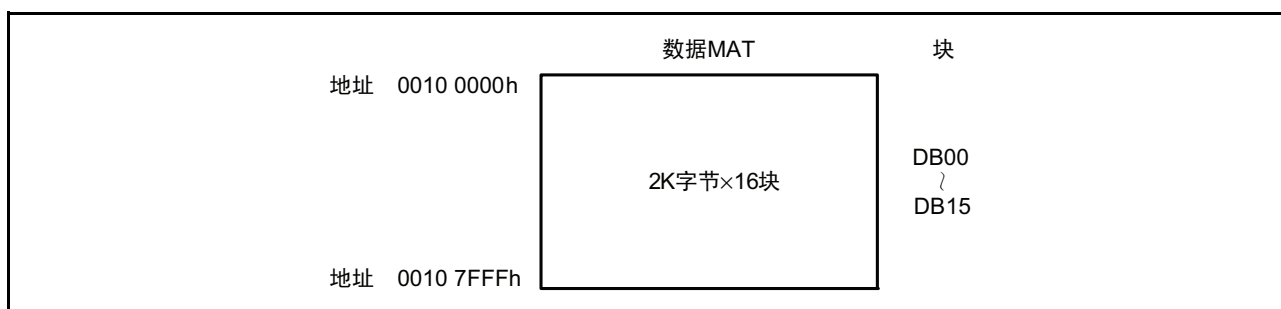


图 39.3 数据 MAT 的块分割

39.5 数据闪存相关的运行模式

有关运行模式的转移，请参照“38.5 ROM 相关的运行模式”。

在引导模式、USB（用户）引导模式、单芯片模式（内部 ROM 有效）和内部 ROM 有效扩展模式中，能进行板上数据 MAT 的读、编程或者擦除。

各模式的不同点如表 39.4 所示。

表 39.4 各模式的不同点

项目	引导模式	USB（用户）引导模式	单芯片模式（内部 ROM 有效）/ 内部 ROM 有效扩展模式
编程 / 擦除环境	板上编程		
能编程和擦除的 MAT	数据 MAT	数据 MAT	数据 MAT
块分割擦除	○（注 1）	○（注 1）	○
复位时的启动 MAT	嵌入式程序存储 MAT（注 2）	用户引导 MAT	用户 MAT

注 1. 有可能在启动时被全部擦除。此后能擦除特定块，详细内容请参照“38.9.2 ID 码保护”、“38.9.4 引导模式的状态转移”和“38.10.2 状态转移”。

注 2. 用户不能使用。

- 在引导模式中，主机能经由 SCI 对数据 MAT 进行读和编程。
- 在 USB（用户）引导模式中，能从用户引导 MAT 启动。产品出货时，在用户引导 MAT 中保存了 USB 引导程序，能使用 USB 对用户 MAT 或者数据 MAT 进行编程和读。另外，能通过改写用户引导 MAT，使用任意接口对用户 MAT 或者数据 MAT 进行编程和读。
- 在引导模式中，通过引导模式的嵌入式程序使用内部 RAM。因此，不保持内部 RAM 的数据。

39.6 数据闪存的编程 / 擦除

通过给编程 / 擦除的专用定序器（FCU）发行命令（FCU 命令），对数据闪存进行编程和擦除。FCU 有 5 种模式，通过在模式转移后发行编程和擦除命令，进行编程和擦除。

以下说明数据闪存的编程和擦除所需的模式转移和命令体系。这些内容在引导模式、USB（用户）引导模式、单芯片模式（内部 ROM 有效模式）和内部 ROM 有效扩展模式中通用。

39.6.1 FCU 的模式

FCU 有 5 种模式，通过写 FENTRYR 寄存器以及 FCU 命令进行模式的转移，FCU 的模式转移图如图 39.4 所示。

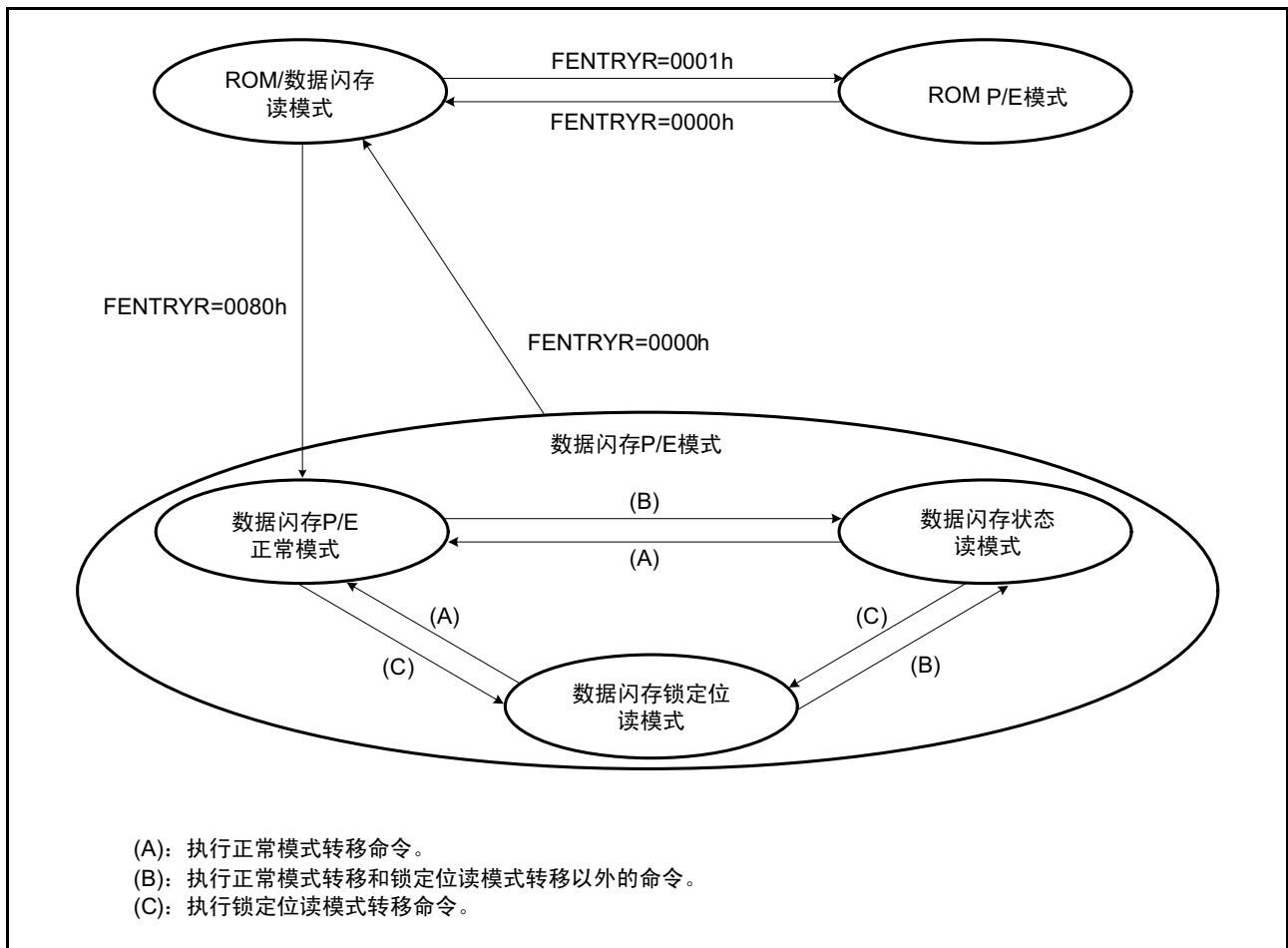


图 39.4 FCU 的模式转移图（数据闪存相关）

39.6.1.1 ROM P/E 模式

ROM P/E 模式是对 ROM 进行编程和擦除的模式。

有关 ROM P/E 模式的详细内容，请参照“38.6.1.2 ROM P/E 模式”。

39.6.1.2 ROM/ 数据闪存读模式

ROM/ 数据闪存读模式是能读 ROM 和数据闪存的模式，不接受 FCU 命令。如果将 FENTRYR.FENTRYD 位置“0”并且将 FENTRYR.FENTRY0 位置“0”，就转移到此模式。

39.6.1.3 数据闪存 P/E 模式

数据闪存 P/E 模式是对数据闪存进行编程和擦除的模式，不能读数据闪存。

数据闪存 P/E 模式有数据闪存 P/E 正常模式、数据闪存状态读模式、数据闪存锁定位读模式共 3 种。

(1) 数据闪存 P/E 正常模式

数据闪存 P/E 正常模式是在对数据闪存进行编程或者擦除时最先转移的模式。如果在 ROM/ 数据闪存读模式中将 FENTRYR.FENTRYD 位置“1”并且将 FENTRYR.FENTRY0 位置“0”，或者在数据闪存 P/E 模式中接受正常模式转移命令，就转移到此模式。能接受的命令如表 39.7 所示。

如果读数据闪存区，就产生数据闪存的存取违反，FCU 进入命令锁定状态。能高速读 ROM。

(2) 数据闪存状态读模式

数据闪存状态读模式是能读数据闪存状态的模式。

如果在数据闪存 P/E 模式中接受正常模式转移和锁定位读模式转移以外的命令，就转移到此模式。FSTATR0.FRDY 位为“0”的状态以及发生错误后的命令锁定状态也是数据闪存状态读模式中的状态。能接受的命令如表 39.7 所示。

如果读数据闪存区，就读 FSTATR0 寄存器的值。能高速读 ROM。

(3) 数据闪存锁定位读模式

数据闪存锁定位读模式是能读数据闪存锁定位的模式。但是，因为数据闪存没有锁定位，所以不能读锁定位。

如果在数据闪存 P/E 模式中接受锁定位读模式转移命令，就转移到数据闪存锁定位读模式。能接受的命令如表 39.7 所示。

数据闪存没有锁定位，如果读数据闪存区，读数据就为不定值，但是不发生数据闪存的存取违反。能高速读 ROM。

39.6.2 FCU 命令一览表

FCU 命令有 FCU 模式转移命令和编程 / 擦除命令。对数据闪存进行编程或者擦除时能使用的 FCU 命令一览表如表 39.5 所示。

表 39.5 FCU 命令一览表（数据闪存相关）

命令	功能
P/E 正常模式转移	转移到正常模式（参照“39.6.3 FCU 的模式和命令的关系”）。
状态读模式转移	转移到状态读模式（参照“39.6.3 FCU 的模式和命令的关系”）。
锁定位读模式转移（锁定位读 1）	转移到锁定位读模式（参照“39.6.3 FCU 的模式和命令的关系”）。
外围时钟通知	设定外围时钟的频率。
编程	对数据闪存进行编程（以 8 字节或者 128 字节为单位）。
块擦除	擦除数据闪存（以块为单位）。
P/E 挂起	中止编程和擦除。
P/E 恢复	重新开始编程和擦除。
状态寄存器清除	清除 FSTATR0.ILGLERR 位、FSTATR0.ERSERR 位和 FSTATR0.PRGERR 位以及解除命令锁定状态。
锁定位读 2/ 空白检查	确认指定的区域是否为擦除状态（空白）。

ROM 也使用空白检查命令以外的 FCU 命令。锁定位读 2 命令兼用数据闪存的空白检查命令。如果对 ROM 发行空白检查命令，就读 ROM 的锁定位。

通过写数据闪存区给 FCU 发行命令。

编程命令和空白检查命令的格式如表 39.6 所示。有关编程命令和空白检查命令以外的 FCU 命令格式，请参照“38. ROM（保存代码的闪存）”的“38.6.2 FCU 命令一览表”。

如果在特定条件下进行如表 39.6 所示的写存取，FCU 就进行各命令对应的处理。有关 FCU 的特定条件和命令的使用方法，请分别参照“39.6.3 FCU 的模式和命令的关系”和“39.6.4 FCU 命令的使用方法”。

表 39.6 FCU 命令的格式（数据闪存专用命令）

命令	总线周期数	第 1 周期		第 2 周期		第 3 周期		第 4 ~ 第 N+2 周期		第 N+3 周期	
		地址	数据	地址	数据	地址	数据	地址	数据	地址	数据
编程 (8 字节编程: N=4)	7	EA	E8h	EA	04h	WA	WDn	EA	WDn	EA	D0h
编程 (128 字节编程: N=64)	67	EA	E8h	EA	40h	WA	WDn	EA	WDn	EA	D0h
空白检查	2	EA	71h	BA	D0h	—	—	—	—	—	—

【符号说明】地址列 EA: 数据闪存区的地址
0010 0000h ~ 0010 7FFFh 的任意地址
WA: 8 字节或者 128 字节的起始地址
BA: 数据闪存的擦除块地址
擦除对象块内的任意地址
数据列 WDn: 编程数据的第 n 个字 (n=1 ~ N)

39.6.3 FCU 的模式和命令的关系

FCU 的各模式能接受的 FCU 命令是固定的，而且能接受的命令也因这些模式的 FCU 状态而不同。

需要在进行 FCU 的模式转移后确认 FCU 的状态，然后发行 FCU 命令。

FCU 的模式 / 状态和能接受的命令如表 39.7 所示。如果发行不能接受的命令，FCU 就进入命令锁定状态（参照“39.7.2 错误保护”）。必须在转移到能接受的模式后，确认 FSTATR0.FRDY 位、FSTATR0.ILGLERR 位、FSTATR0.ERSERR 位、FSTATR0.PRGERR 位和 FSTATR1.FCUEERR 位的值，然后发行 FCU 命令。能根据 FASTAT.CMDLK 位的值确认有无发生错误，FASTAT.CMDLK 位的值是 FSTATR0.ILGLERR 位、FSTATR0.ERSERR 位、FSTATR0.PRGERR 位和 FSTATR1.FCUEERR 位的值的逻辑或。

表 39.7 FCU 的模式 / 状态和能接受的命令的关系（数据闪存 P/E 模式）

	P/E 正常模式			状态读模式						锁定位读模式			
	编程挂起中	擦除挂起中	其他状态	编程 / 擦除中止处理中	编程 / 擦除中止处理中	空白检查处理中	编程挂起中	擦除挂起中	命令锁定状态	其他状态	编程挂起中	擦除挂起中	其他状态
FSTATR0.FRDY 位	1	1	1	0	0	0	1	1	0/1	1	1	1	1
FSTATR0.SUSRDY 位	0	0	0	1	0	0	0	0	0	0	0	0	0
FSTATR0.ERSSPD 位	0	1	0	0	0/1	0	0	1	0	0	0	1	0
FSTATR0.PRGSPD 位	1	0	0	0	0/1	0	1	0	0	0	1	0	0
FASTAT.CMDLK 位	0	0	0	0	0	0	0	0	1	0	0	0	0
P/E 正常模式转移	○	○	○	×	×	×	○	○	×	○	○	○	○
状态读模式转移	○	○	○	×	×	×	○	○	×	○	○	○	○
锁定位读模式转移（锁定位读 1）	○	○	○	×	×	×	○	○	×	○	○	○	○
外围时钟通知	×	×	○	×	×	×	×	×	×	○	×	×	○
编程	×	△	○	×	×	×	×	△	×	○	×	△	○
块擦除	×	×	○	×	×	×	×	×	×	○	×	×	○
P/E 挂起	×	×	×	○	×	×	×	×	×	×	×	×	×
P/E 恢复	○	○	×	×	×	×	○	○	×	×	○	○	×
状态寄存器清除	○	○	○	×	×	×	○	○	○	○	○	○	○
空白检查	○	○	○	×	×	×	○	○	×	○	○	○	○

【符号说明】○：能接受，△：只能接受对非擦除中止块进行的编程，×：不能接受

39.6.4 FCU 命令的使用方法

FCU 命令的使用方法有：使用编程命令和块擦除命令对数据闪存进行编程和擦除的方法以及使用空白检查命令确认数据闪存的擦除状态的方法。有关 FCU RAM 的固件传送方法以及其他 FCU 命令的使用方法，请参照“38. ROM（保存代码的闪存）”的“38.6.4 FCU 命令的使用方法”。

(1) 外围时钟通知命令的使用方法

通知外围时钟的频率，详细内容请参照“38. ROM（保存代码的闪存）”的“38.6.4 FCU 命令的使用方法”。必须在将 FENTRYR.FENTRYD 位置“1”后设定数据闪存区内的地址。

(2) 编程方法

使用编程命令对数据闪存进行数据编程。

在编程命令的第 1 周期，通过字节存取将“E8h”写到数据闪存区的地址，在第 2 周期，通过字节存取将编程字数（N）（注）写到数据闪存区的地址。在命令的第 3～第 N+2 周期，必须通过字存取写编程数据。在第 3 周期的存取中，必须将编程数据写到编程对象区的起始地址。在进行 8 字节编程时，必须将起始地址调整为以 8 字节为边界的地址，在进行 128 字节编程时，必须将起始地址调整为以 128 字节为边界的地址。如果在通过 N 次字存取将编程数据写到数据闪存区的地址后，在第 N+3 周期通过字节存取将“D0h”写到数据闪存区的地址，FCU 就开始对数据闪存进行编程处理。能通过 FSTATR0.FRDY 位确认编程的结束。

如果在第 3 周期～第 N+2 周期中存取的区域包括不需要编程的地址，就必须将该地址的编程数据置“FFFFh”。如果要在将通过 DFLWEk（k=0、1）寄存器控制的编程 / 擦除保护功能设定为无效后进行编程，就必须将编程对象块的编程 / 擦除允许位置“1”。

数据闪存的编程方法如图 39.5 所示。

注 . 当进行 8 字节编程时，N 为“04h”；当进行 128 字节编程时，N 为“40h”。

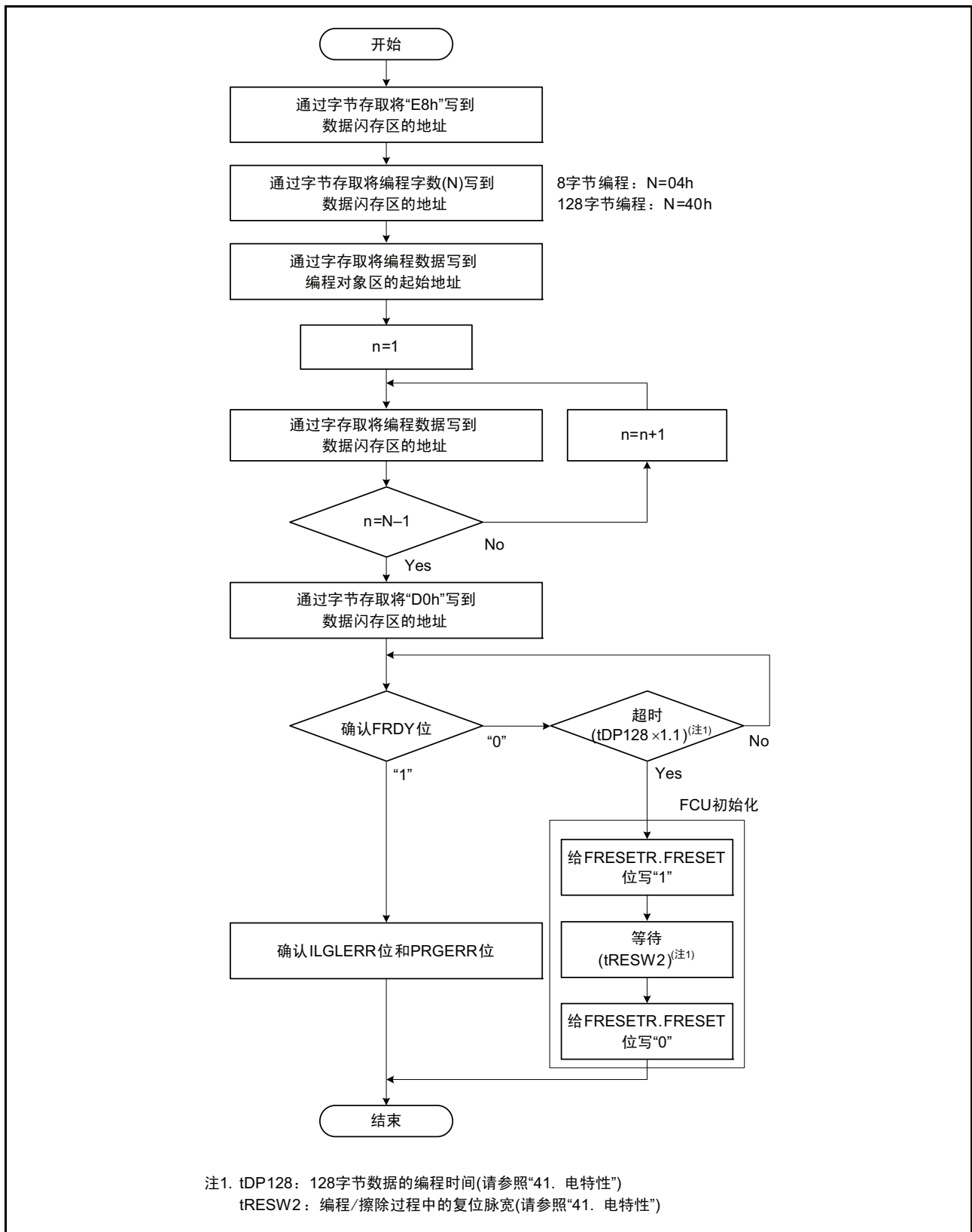


图 39.5 数据闪存的编程

(3) 擦除方法

使用块擦除命令来擦除数据闪存。使用块擦除命令的擦除方法和 ROM 的擦除方法相同（参照“38. ROM（保存代码的闪存）”）。

必须注意：数据闪存具有 DFLWEk（k=0、1）寄存器控制的编程 / 擦除保护功能。如果要在将通过 DFLWEk 寄存器控制的保护功能设定为无效后进行擦除，就必须将擦除对象块的编程 / 擦除允许位置“1”。

(4) 空白检查

即使通过 CPU 读擦除状态的数据闪存，读取值也为不定值，因此需要使用空白检查命令确认擦除状态。在使用空白检查命令时，必须预先将 FMODR.FRDM 位置“1”，使空白检查命令处于可使用的状态，然后给 DFLBCCNT 寄存器设定检查对象区的大小和地址。当 DFLBCCNT.BCSIZE 位为“1”时，能在空白检查命令的第 2 周期对指定的整个擦除块（2K 字节）进行空白检查；当 BCSIZE 位为“0”时，能在空白检查命令的第 2 周期对指定的擦除块的起始地址和 DFLBCCNT 寄存器值相加后的地址开始的 8 字节区域进行空白检查。在空白检查命令的第 1 周期，通过字节存取将“71h”写到数据闪存区的地址。在命令的第 2 周期，如果通过字节存取将“D0h”写到包括空白检查对象区的擦除块内的任意地址，FCU 就开始进行数据闪存空白检查处理。能通过 FSTATR0.FRDY 位确认空白检查的结束。如果在结束空白检查后确认 DFLBCSTAT.BCST 位的值，就能确认检查对象区是为擦除状态还是为写“0”或者“1”的状态。

数据闪存空白检查方法如图 39.6 所示。

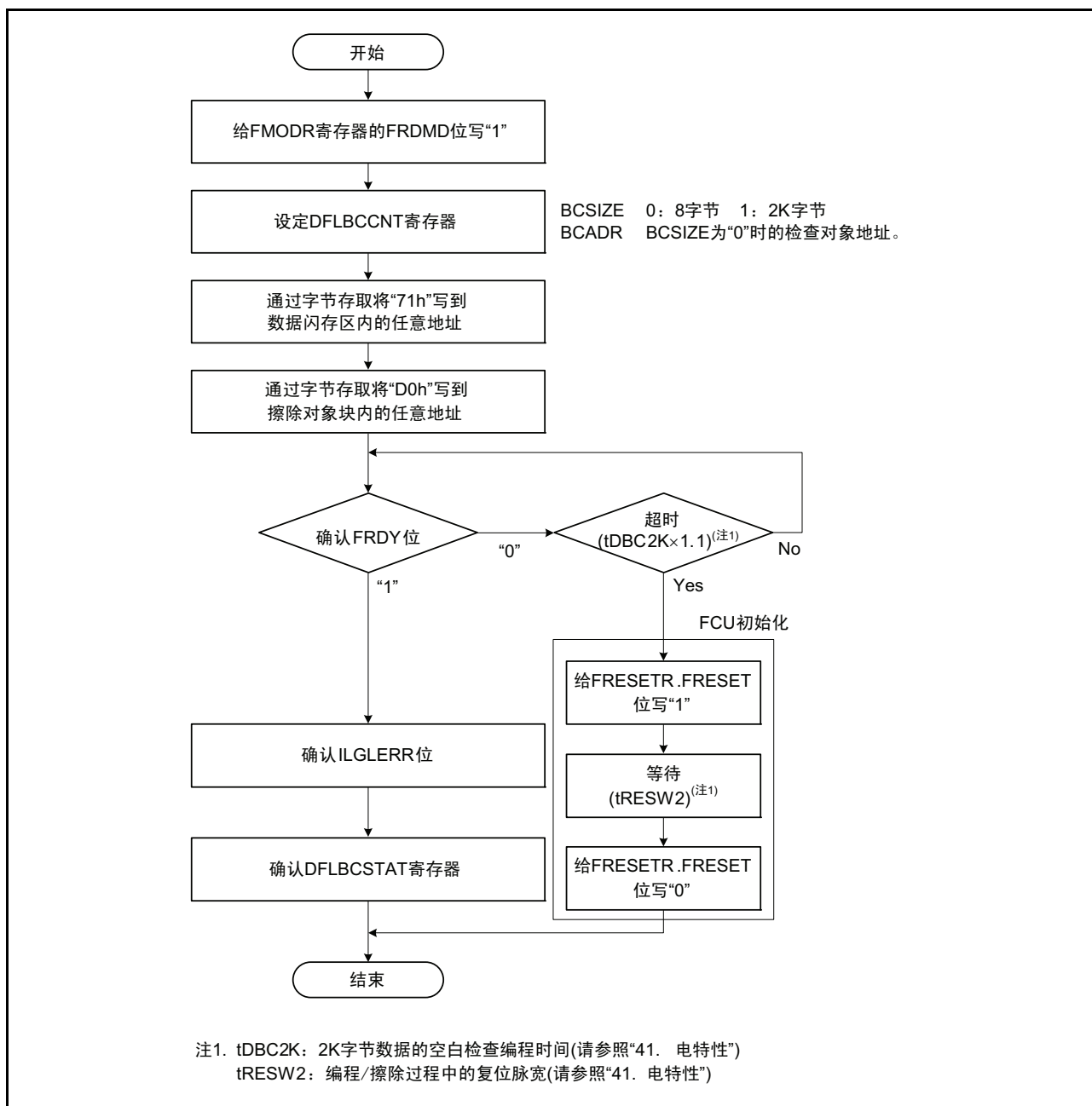


图 39.6 数据闪存的空白检查

39.7 保护

数据闪存的编程 / 擦除的保护有软件保护和错误保护。

39.7.1 软件保护

软件保护是通过设定控制寄存器禁止对数据闪存进行编程、擦除和读的状态。如果违反软件保护而对数据闪存发行编程 / 擦除命令或者读数据闪存，FCU 就检测到错误，进入命令锁定状态。

(1) 通过 FWEPROR 寄存器进行的保护

如果不将 FWEPROR.FLWE[1:0] 位置“01b”，就不能在任何模式中进行改写。

(2) 通过 FENTRYR 寄存器进行的保护

当 FENTRYR.FENTRYD 位为“0”时，FCU 进入 ROM/ 数据闪存读模式。因为在 ROM/ 数据闪存读模式中不接受 FCU 命令，所以数据闪存为禁止编程和擦除的状态。如果在 ROM/ 数据闪存读模式中对数据闪存发行 FCU 命令，FCU 就检测到非法命令错误，进入命令锁定状态（参照“39.7.2 错误保护”）。

(3) 通过 DFLWEk 寄存器进行的保护

当 DFLWEk.DBWEi (k=0、1, i=15 ~ 00) 位为“0”时，数据 MAT 的 DBi 块为禁止编程和擦除的状态。如果在 DBWEi 位为“0”的状态下对 DBi 块进行编程或者擦除，FCU 就检测到写保护违反，进入命令锁定状态（参照“39.7.2 错误保护”）。

(4) 通过 DFLREk 寄存器进行的保护

当 DFLREk.DBREi (k=0、1, i=15 ~ 00) 位为“0”时，数据 MAT 的 DBi 块为禁止读的状态。如果在 DBREi 位为“0”的状态下读 DBi 块，FCU 就检测到读保护违反，进入命令锁定状态（参照“39.7.2 错误保护”）。

39.7.2 错误保护

错误保护是因误发行 FCU 命令以及发生禁止的存取而导致 FCU 在检测到误动作后禁止接受 FCU 命令的状态（命令锁定状态）。如果 FCU 进入命令锁定状态（FASTAT.CMDLK 位为“1”），状态位（FSTATR0.ILGLERR 位、FSTATR0.ERSERR 位、FSTATR0.PRGERR 位、FSTATR1.FCUERR 位、FASTAT.DFLAE 位、FASTAT.DFLRPE 位和 FASTAT.DFLWPE 位）中的某位或者多个位就为“1”，禁止对数据闪存进行编程和擦除。要解除命令锁定状态时，需要在 FASTAT 寄存器为“10h”的状态下发行状态寄存器清除命令。

当 FAEINT.CMDLKIE 位为“1”时，如果 FCU 进入命令锁定状态（FASTAT.CMDLK 位为“1”），就产生闪存接口错误（FIFERR）中断。当 FAEINT 寄存器的数据闪存相关的中断允许位（DFLAEIE 位、DFLRPEIE 位和 DFLWPEIE 位）为“1”时，即使 FASTAT 寄存器的对应位（DFLAE 位、DFLRPE 位和 DFLWPE 位）变为“1”，也产生 FIFERR 中断。

数据闪存相关的错误保护内容和错误检测后的状态位的值（FSTATR0.ILGLERR 位、FSTATR0.ERSERR 位、FSTATR0.PRGERR 位、FASTAT.DFLAE 位、FASTAT.DFLRPE 位和 FASTAT.DFLWPE 位）的关系如表 39.8 所示。有关 ROM/ 数据闪存通用的错误保护内容（FENTRYR 设定错误、大部分非法命令、擦除错误、编程错误和 FCU 错误），请参照“38. ROM（保存代码的闪存）”的“38.8.2 错误保护”。

如果在编程或者擦除处理过程中发行挂起以外的命令，就转移到命令锁定状态，但是 FCU 继续进行编程或者擦除处理。在此状态下无法通过发行 P/E 挂起命令来中止编程或者擦除。如果在命令锁定状态下发行命令，ILGLERR 位就变为“1”。

表 39.8 错误保护一览表（数据闪存专用）

分类	内容	ILGLERR	ERSERR	PRGERR	DFLAE	DFLRPE	CMDLK
非法命令	在编程命令的第 2 周期指定“04h”和“40h”以外的数据。	1	0	0	0	0	1
	在 FENTRYR.FENTRYD 位为“1”的状态下，对数据闪存区发行锁定位编程命令。	1	0	0	0	0	1
数据闪存的存取违反	在 FENTRYD 位为“1”时并且在数据闪存 P/E 正常模式中，对数据闪存区发行读存取命令。	1	0	0	1	0	1
	在 FENTRYD 位为“0”的状态下，对数据闪存区发行写存取命令。	1	0	0	1	0	1
	在 FENTRYR.FENTRY0 位为“1”的状态下，对数据闪存区发行存取命令。	1	0	0	1	0	1
数据闪存的读保护违反	对通过 DFLREk 寄存器（k=0、1）设定为禁止读的数据闪存区发行读存取命令。	1	0	0	0	1	1
数据闪存的写保护违反	对通过 DFLWEk 寄存器（k=0、1）设定为禁止编程和擦除的数据闪存区发行编程 / 块擦除命令。	1	0	0	0	0	1

39.8 引导模式

在引导模式中，能从主机发送控制命令和编程数据，并且对数据 MAT 进行编程或者擦除。有关引导模式的系统结构和使用方法的详细内容，请参照“38.9 引导模式”。以下说明数据闪存固有的命令。

39.8.1 查询设定主机命令

数据闪存固有的查询设定主机命令一览表如表 39.9 所示。在“38.9.6 查询设定主机命令的等待状态”和“图 38.30 用户 MAT/ 用户引导 MAT 的查询设定主机命令的使用例子”所示的流程中，“查询 MAT 编程信息”使用数据 MAT 有无查询命令和数据 MAT 信息查询命令。

表 39.9 查询设定主机命令（数据闪存固有）

主机命令名	功能
数据 MAT 有无查询	查询是否有数据 MAT。
数据 MAT 信息查询	查询数据 MAT 的个数、起始地址和结束地址。

以下说明各命令的详细内容。说明内容中的“命令”是从主机发送到 RX62N 和 RX621 的命令，“应答”是从 RX62N 和 RX621 发送到主机的应答。“校验和”是指在合计 RX62N 和 RX621 发送的各字节时，为了得到“00h”而算出的字节数据。

(1) 数据 MAT 有无查询

如果主机发送数据 MAT 有无查询命令，RX62N 和 RX621 就发送表示有数据 MAT 的信息。

命令	2Ah			
应答	3Ah	长度	有无 MAT	SUM

- 【符号说明】
- 长度（1 字节）：有无 MAT 的字符数（是固定值，为“1”。）
 - MAT 有无（1 字节）：有无数据 MAT（是固定值，为“21h”。）
21h: 有数据 MAT
 - SUM（1 字节）：校验和

(2) 数据 MAT 信息查询

如果主机发送数据 MAT 信息查询命令，RX62N 和 RX621 就发送数据 MAT 的区域数和地址的信息。

命令	2Bh		
应答	3Bh	长度	区域数
	区域的起始地址		
	区域的结束地址		
	区域的起始地址		
	区域的结束地址		
	...		
	区域的起始地址		
	区域的结束地址		
	SUM		

- 【符号说明】
- 长度（1 字节）：区域数、区域的起始地址、区域的结束地址的数据总字节数
 - 区域数（1 字节）：数据 MAT 的区域数（连续区域为 1 个区域）
 - 区域的起始地址（4 字节）：数据 MAT 区域的起始地址
 - 区域的最后地址（4 字节）：数据 MAT 区域的结束地址
 - SUM（1 字节）：校验和

数据 MAT 的块结构信息包括在擦除块信息查询命令（参照“38.9.6 查询设定主机命令的等待状态”）的应答中。

39.8.2 编程 / 擦除主机命令

数据闪存固有的编程 / 擦除主机命令一览表如表 39.10 所示。数据闪存固有的主机命令只有数据 MAT 校验和命令以及数据 MAT 空白检查命令，而编程命令、擦除命令、读命令和 ROM 通用。

在对数据 MAT 进行编程时，在发行用户 MAT 编程选择命令后，用 256 字节编程命令给编程地址指定数据 MAT 的地址。在擦除数据 MAT 时，在发行擦除选择命令后，用块擦除命令指定数据 MAT 的擦除块。数据 MAT 的擦除块信息包括在擦除块查询命令的应答中。在读数据 MAT 时，用存储器读命令选择用户 MAT 并且给读对象地址指定数据 MAT 的地址。

有关用户 MAT 编程选择命令、用户引导 MAT 编程选择命令、256 字节编程命令、擦除选择命令、块擦除命令和存储器读命令的详细内容，请参照“38.9.8 编程 / 擦除主机命令等待状态”。有关擦除块信息查询命令的详细内容，请参照“38.9.6 查询设定主机命令的等待状态”。

表 39.10 编程 / 擦除主机命令（数据闪存固有）

主机命令名	功能
数据 MAT 校验和	数据 MAT 的校验和
数据 MAT 空白检查	数据 MAT 的空白检查

以下说明各命令的详细内容。说明内容中的“命令”是从主机发送到 RX62N 和 RX621 的命令，“应答”是从 RX62N 和 RX621 发送到主机的应答。“校验和”是指在合计 RX62N 和 RX621 发送的各字节时，为了得到“00h”而算出的字节数据。

(1) 数据 MAT 校验和

如果主机发送数据 MAT 校验和命令，RX62N 和 RX621 就发送以字节为单位将数据 MAT 的数据相加后的结果（校验和）。

命令	61h			
应答	71h	长度	MAT 校验和	SUM

【符号说明】 长度（1 字节）：MAT 校验和的字节数（是固定值，为“4”。）
 MAT 校验和（4 字节）：数据 MAT 的校验和结果
 SUM（4 字节）：校验和（应答数据的校验和）

(2) 数据 MAT 空白检查

如果主机发送数据 MAT 空白检查命令，RX62N 和 RX621 就检查数据 MAT 是否为全部擦除状态。如果数据 MAT 为全部擦除状态，RX62N 和 RX621 就发送应答（06h）。如果数据 MAT 有未擦除的区域，RX62N 和 RX621 就发送错误应答（E2h → 52h）。

命令	62h	
应答	06h	
错误应答	E2h	52h

39.9 使用时的注意事项

(1) 启动复位后的数据 MAT 保护状态

因为 DFLREk 寄存器和 DFLWEk 寄存器（k=0、1）的初始值为“0000h”，所以启动复位后的数据 MAT 为禁止读、编程和擦除的状态。如果需要读数据 MAT，就必须在设定 DFLREk 寄存器后存取数据 MAT。如果需要数据 MAT 进行编程或者擦除，就必须在设定 DFLWEk 寄存器后发行编程 / 擦除的 FCU 命令。如果不设定寄存器而进行读、编程或者擦除，FCU 就检测到错误，进入命令锁定状态。

(2) 其他注意事项

其他注意事项和 ROM 相同，请参照“38. ROM（保存代码的闪存）”的“38.13 使用时的注意事项”。但是，在数据闪存的情况下，编程 / 擦除的注意事项里有空白检查。将“编程 / 擦除”改读为“编程 / 擦除 / 空白检查”。

40. 边界扫描

RX62N 群和 RX621 群内置边界扫描功能。边界扫描功能支持 176 引脚 LFBGA、145 引脚 TFLGA、144 引脚 LQFP 以及 85 引脚 TFLGA。不支持 100 引脚 LQFP。

边界扫描是和 JTAG（Joint Test Action Group, IEEE Std.1149.1 and IEEE Standard Test Access Port and Boundary-Scan Architecture）同等的串行输入 / 输出接口。

40.1 概要

边界扫描的规格如表 40.1 所示。

边界扫描的框图如图 40.1 所示。

表 40.1 边界扫描的规格

项目	内容
边界扫描有效 / 无效	在将 EMLE 引脚置为 Low 电平并且将 BSCANP 引脚置为 High 电平时，边界扫描功能有效。
边界扫描的专用引脚	在边界扫描功能有效时，以下的引脚是 JTAG 专用引脚（TDO/TCK/TDI/TMS/TRST#）： 176 引脚 LFBGA：PF0/PF1/PF2/PF3/PF4 145 引脚 TFLGA/144 引脚 LQFP：P26/P27/P30/P31/P34 85 引脚 TFLGA：P26/P27/P30/P31/P34
6 种测试模式	<ul style="list-style-type: none"> • BYPASS 模式 • EXTEST 模式 • SAMPLE/PRELOAD 模式 • CLAMP 模式 • HIGHZ 模式 • IDCODE 模式

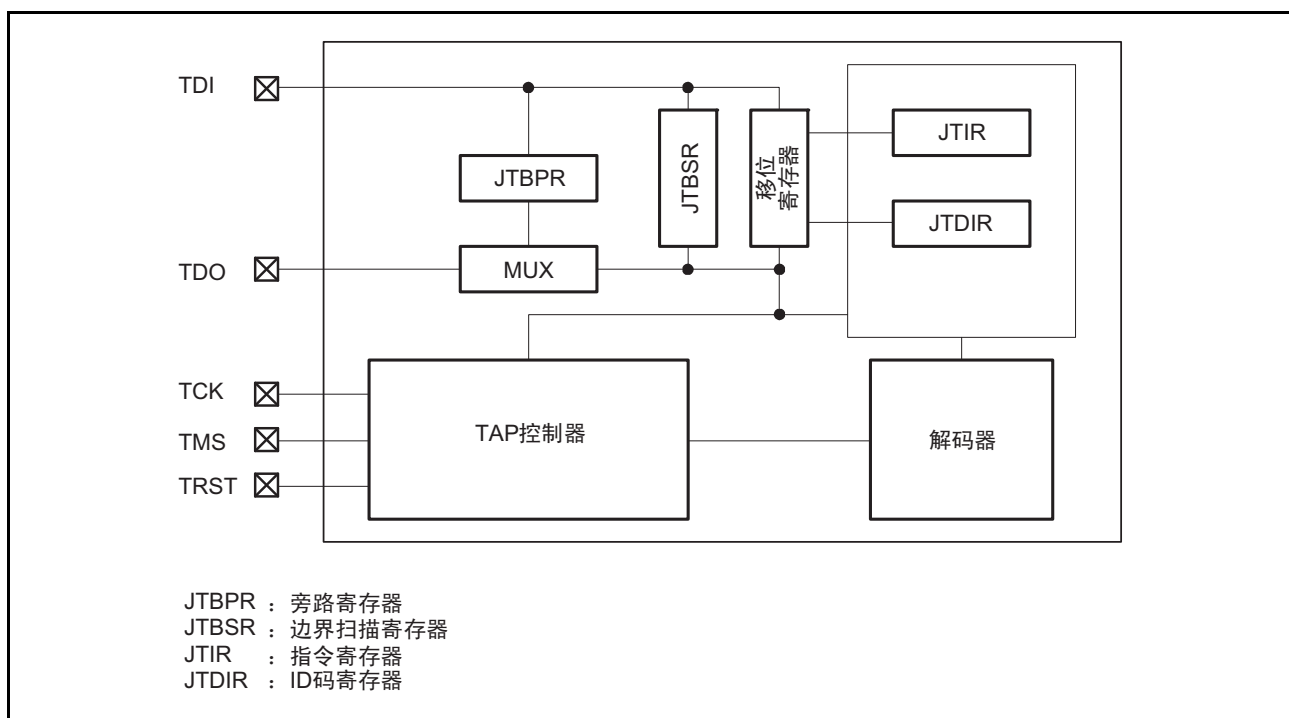


图 40.1 JTAG 框图

边界扫描使用的输入 / 输出引脚如表 40.2 所示。

表 40.2 JTAG 输入 / 输出引脚

引脚名	输入 / 输出	功 能
TCK	输入	测试时钟的输入 边界扫描的时钟信号 在使用边界扫描功能时，必须输入占空比为 50% 的时钟。
TMS	输入	测试模式的选择
TDI	输入	测试数据的输入
TDO	输出	测试数据的输出
TRST#	输入	测试复位的输入

40.2 寄存器说明

边界扫描的寄存器一览表如表 40.3 所示。

表 40.3 边界扫描的寄存器一览表

寄存器名	符号	复位后的值	地址	存取长度
指令寄存器	JTIR	55h	—	—
ID 码寄存器	JTIDR	080B B447h	—	—
旁路寄存器	JTBPR	不定值	—	—
边界扫描寄存器	JTBSR	不定值	—	—

能通过串行传送将指令从 TDI 引脚输入到 JTIR 寄存器。

JTBPR 寄存器是 1 位寄存器，在 BYPASS 模式中将 TDI 引脚和 TDO 引脚连接到此寄存器。

JTBSR 寄存器是表 40.6 结构的寄存器，在移入测试数据时，在 TDI 引脚和 TDO 引脚之间连接此寄存器。

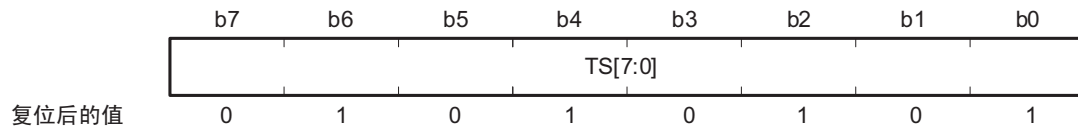
CPU 不能存取全部的寄存器。

各寄存器的串行传送如表 40.4 所示。

表 40.4 寄存器的串行传送

寄存器	串行输入	串行输出
指令寄存器 (JTIR)	能	不能
ID 码寄存器 (JTIDR)	不能	能
旁路寄存器 (JTBPR)	能	能
边界扫描寄存器 (JTBSR)	能	能

40.2.1 指令寄存器 (JTIR)



位	符号	位名	功能	R/W
b7-b0	TS[7:0]	测试位的置位	命令结构如表 40.5 所示。	—

表 40.5 命令结构

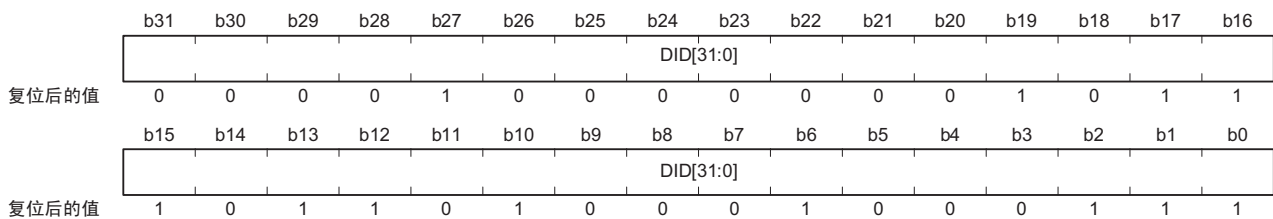
TS7	TS6	TS5	TS4	TS3	TS2	TS1	TS0	指令
0	0	0	0	0	0	0	0	EXTEST
0	1	0	0	0	0	0	0	SAMPLE/PRELOAD
0	1	0	1	0	1	0	1	IDCODE (初始值)
1	1	0	1	0	0	0	0	CLAMP
1	0	0	0	0	0	0	0	HIGHZ
1	1	1	1	1	1	1	1	BYPASS
上述以外								保留

JTIR 寄存器是 8 位寄存器。

能通过 TDI 引脚的串行输入将边界扫描的指令传送到 JTIR 寄存器。

JTIR 寄存器在 TRST# 引脚为 Low 电平时或者在 TAP 控制器为 Test-Logic-Reset 的状态下被初始化。

40.2.2 ID 码寄存器 (JTIDR)



位	符号	位名	功能	R/W
b31-b0	DID[31:0]	保留位	表示设备 IDCODE 的固定值的寄存器	—

JTIDR 寄存器是 32 位寄存器。

在执行 IDCODE 指令时，从 TDO 引脚输出 JTIDR 寄存器的数据。

40.2.3 旁路寄存器 (JTBPR)

JTBPR 寄存器是 1 位寄存器。

如果设定为 BYPASS 模式，就将 TDI 引脚和 TDO 引脚连接到 JTBPR 寄存器。

CPU 不能读写 JTBPR 寄存器。

40.2.4 边界扫描寄存器 (JTBSR)

JTBSR 寄存器是为了控制 LSI 的输入 / 输出引脚而被配置在 PAD 上的移位寄存器。

能使用 EXTEST、SAMPLE/PRELOAD、CLAMP 和 HIGHZ 命令进行边界扫描测试。

LSI 的引脚和边界扫描寄存器的对应如表 40.6 所示。

复位后的值为不定值。

表 40.6 边界扫描寄存器 LFBGA176 (1 / 9)

from TDI			
Pin No	引脚名	输入 / 输出	位名
C3	P05	输出	356
		输出允许	355
		输入	354
C2	P03	输出	353
		输出允许	352
		输入	351
B1	P02	输出	350
		输出允许	349
		输入	348
D2	P01	输出	347
		输出允许	346
		输入	345
C1	P00	输出	344
		输出允许	343
		输入	342
F2	WDTOVF#	输出	341
		输出允许	340
G4	MDE	输入	339
G2	MD1	输入	338
G3	MD0	输入	337
H2	P35	输入	336
K1	P33	输出	335
		输出允许	334
		输入	333
J2	P32	输出	332
		输出允许	331
		输入	330
M2	P25	输出	329
		输出允许	328
		输入	327
P1	P24	输出	326
		输出允许	325
		输入	324
N2	P23	输出	323
		输出允许	322
		输入	321
M3	P22	输出	320
		输出允许	319
		输入	318
R1	P21	输出	317
		输出允许	316
		输入	315

表 40.6 边界扫描寄存器 LFBGA176 (2 / 9)

from TDI			
Pin No	引脚名	输入 / 输出	位名
N3	P20	输出	314
		输出允许	313
		输入	312
N4	P17	输出	311
		输出允许	310
		输入	309
P3	P16	输出	308
		输出允许	307
		输入	306
N5	P15	输出	305
		输出允许	304
		输入	303
P4	P14	输出	302
		输出允许	301
		输入	300
P5	P13	输出	299
		输出允许	298
		输入	297
R3	P12	输出	296
		输出允许	295
		输入	294
M5	P11	输出	293
		输出允许	292
		输入	291
N6	P57	输出	290
		输出允许	289
		输入	288
P7	P56	输出	287
		输出允许	286
		输入	285
M6	P55	输出	284
		输出允许	283
		输入	282
N7	P10	输出	281
		输出允许	280
		输入	279
M7	P54	输出	278
		输出允许	277
		输入	276
R9	P85	输出	275
		输出允许	274
		输入	273

表 40.6 边界扫描寄存器 LFBGA176 (3 / 9)

from TDI			
Pin No	引脚名	输入 / 输出	位名
R10	P53	输出	272
		输出允许	271
		输入	270
P9	P84	输出	269
		输出允许	268
		输入	267
N8	P52	输出	266
		输出允许	265
		输入	264
M8	P51	输出	263
		输出允许	262
		输入	261
P10	P50	输出	260
		输出允许	259
		输入	258
R11	P83	输出	257
		输出允许	256
		输入	255
R12	PC7	输出	254
		输出允许	253
		输入	252
M10	PC6	输出	251
		输出允许	250
		输入	249
N10	PC5	输出	248
		输出允许	247
		输入	246
P11	P82	输出	245
		输出允许	244
		输入	243
M11	P81	输出	242
		输出允许	241
		输入	240
R13	P80	输出	239
		输出允许	238
		输入	237
P12	PC4	输出	236
		输出允许	235
		输入	234
N11	PC3	输出	233
		输出允许	232
		输入	231

表 40.6 边界扫描寄存器 LFBGA176 (4 / 9)

from TDI			
Pin No	引脚名	输入 / 输出	位名
R14	P77	输出	230
		输出允许	229
		输入	228
P13	P76	输出	227
		输出允许	226
		输入	225
N12	PC2	输出	224
		输出允许	223
		输入	222
R15	P75	输出	221
		输出允许	220
		输入	219
N13	P74	输出	218
		输出允许	217
		输入	216
P14	PC1	输出	215
		输出允许	214
		输入	213
M12	PC0	输出	212
		输出允许	211
		输入	210
N14	P73	输出	209
		输出允许	208
		输入	207
P15	PB7	输出	206
		输出允许	205
		输入	204
M14	PB6	输出	203
		输出允许	202
		输入	201
N15	PB5	输出	200
		输出允许	199
		输入	198
L13	PB4	输出	197
		输出允许	196
		输入	195
L14	PB3	输出	194
		输出允许	193
		输入	192
M15	PB2	输出	191
		输出允许	190
		输入	189

表 40.6 边界扫描寄存器 LFBGA176 (5 / 9)

from TDI			
Pin No	引脚名	输入 / 输出	位名
K12	PB1	输出	188
		输出允许	187
		输入	186
K14	P72	输出	185
		输出允许	184
		输入	183
K13	P71	输出	182
		输出允许	181
		输入	180
K15	PB0	输出	179
		输出允许	178
		输入	177
J14	PA7	输出	176
		输出允许	175
		输入	174
J15	PA6	输出	173
		输出允许	172
		输入	171
J13	PA5	输出	170
		输出允许	169
		输入	168
H14	PA4	输出	167
		输出允许	166
		输入	165
H15	PA3	输出	164
		输出允许	163
		输入	162
H12	PG7	输出	161
		输出允许	160
		输入	159
H13	PA2	输出	158
		输出允许	157
		输入	156
G14	PG6	输出	155
		输出允许	154
		输入	153
G15	PA1	输出	152
		输出允许	151
		输入	150
F15	PG5	输出	149
		输出允许	148
		输入	147

表 40.6 边界扫描寄存器 LFBGA176 (6 / 9)

from TDI			
Pin No	引脚名	输入 / 输出	位名
F14	PA0	输出	146
		输出允许	145
		输入	144
F12	PG4	输出	143
		输出允许	142
		输入	141
E15	P67	输出	140
		输出允许	139
		输入	138
F13	PG3	输出	137
		输出允许	136
		输入	135
E14	P66	输出	134
		输出允许	133
		输入	132
E12	PG2	输出	131
		输出允许	130
		输入	129
D15	P65	输出	128
		输出允许	127
		输入	126
D14	PE7	输出	125
		输出允许	124
		输入	123
C15	PE6	输出	122
		输出允许	121
		输入	120
B15	P70	输出	119
		输出允许	118
		输入	117
C14	PE5	输出	116
		输出允许	115
		输入	114
D13	PE4	输出	113
		输出允许	112
		输入	111
C13	PE3	输出	110
		输出允许	109
		输入	108
B14	PE2	输出	107
		输出允许	106
		输入	105

表 40.6 边界扫描寄存器 LFBGA176 (7 / 9)

from TDI			
Pin No	引脚名	输入 / 输出	位名
A15	PE1	输出	104
		输出允许	103
		输入	102
C12	PE0	输出	101
		输出允许	100
		输入	99
B13	P64	输出	98
		输出允许	97
		输入	96
A14	P63	输出	95
		输出允许	94
		输入	93
B12	P62	输出	92
		输出允许	91
		输入	90
A13	P61	输出	89
		输出允许	88
		输入	87
B11	P60	输出	86
		输出允许	85
		输入	84
A12	PD7	输出	83
		输出允许	82
		输入	81
D10	PG1	输出	80
		输出允许	79
		输入	78
B10	PD6	输出	77
		输出允许	76
		输入	75
A11	PG0	输出	74
		输出允许	73
		输入	72
C10	PD5	输出	71
		输出允许	70
		输入	69
A10	PD4	输出	68
		输出允许	67
		输入	66
B9	P97	输出	65
		输出允许	64
		输入	63

表 40.6 边界扫描寄存器 LFBGA176 (8 / 9)

from TDI			
Pin No	引脚名	输入 / 输出	位名
A9	PD3	输出	62
		输出允许	61
		输入	60
B8	P96	输出	59
		输出允许	58
		输入	57
A8	PD2	输出	56
		输出允许	55
		输入	54
D8	P95	输出	53
		输出允许	52
		输入	51
B7	PD1	输出	50
		输出允许	49
		输入	48
C8	P94	输出	47
		输出允许	46
		输入	45
A7	PD0	输出	44
		输出允许	43
		输入	42
D7	P93	输出	41
		输出允许	40
		输入	39
C7	P92	输出	38
		输出允许	37
		输入	36
B6	P91	输出	35
		输出允许	34
		输入	33
A6	P90	输出	32
		输出允许	31
		输入	30
B5	P47	输出	29
		输出允许	28
		输入	27
A5	P46	输出	26
		输出允许	25
		输入	24
A4	P45	输出	23
		输出允许	22
		输入	21

表 40.6 边界扫描寄存器 LFBGA176 (9 / 9)

from TDI			
Pin No	引脚名	输入 / 输出	位名
B4	P44	输出	20
		输出允许	19
		输入	18
D5	P43	输出	17
		输出允许	16
		输入	15
A3	P42	输出	14
		输出允许	13
		输入	12
D4	P41	输出	11
		输出允许	10
		输入	9
C5	P40	输出	8
		输出允许	7
		输入	6
C4	P07	输出	5
		输出允许	4
		输入	3
To TDO			

表 40.7 边界扫描寄存器 LGA145/LQFP144 (1 / 8)

from TDI				
Pin No		引脚名	输入 / 输出	位名
LGA145	LQFP144			
C2	2	P05	输出	356
			输出允许	355
			输入	354
B1	4	P03	输出	353
			输出允许	352
			输入	351
D3	6	P02	输出	350
			输出允许	349
			输入	348
C1	7	P01	输出	347
			输出允许	346
			输入	345
E3	8	P00	输出	344
			输出允许	343
			输入	342
F3	11	WDTOVF#	输出	341
			输出允许	340
F4	13	MDE	输入	339
G3	15	MD1	输入	338
G4	16	MD0	输入	337
J3	24	P35	输入	336
J1	26	P33	输出	335
			输出允许	334
			输入	333
J4	27	P32	输出	332
			输出允许	331
			输入	330
L1	32	P25	输出	329
			输出允许	328
			输入	327
K2	33	P24	输出	326
			输出允许	325
			输入	324
M1	34	P23	输出	323
			输出允许	322
			输入	321
L2	35	P22	输出	320
			输出允许	319
			输入	318
N1	36	P21	输出	317
			输出允许	316
			输入	315

表 40.7 边界扫描寄存器 LGA145/LQFP144 (2 / 8)

from TDI				
Pin No		引脚名	输入 / 输出	位名
LGA145	LQFP144			
M2	37	P20	输出	314
			输出允许	313
			输入	312
L3	38	P17	输出	311
			输出允许	310
			输入	309
N2	40	P16	输出	308
			输出允许	307
			输入	306
M4	42	P15	输出	305
			输出允许	304
			输入	303
M5	43	P14	输出	302
			输出允许	301
			输入	300
N4	44	P13	输出	299
			输出允许	298
			输入	297
L4	45	P12	输出	296
			输出允许	295
			输入	294
L6	50	P56	输出	287
			输出允许	286
			输入	285
M7	51	P55	输出	284
			输出允许	283
			输入	282
N7	52	P54	输出	278
			输出允许	277
			输入	276
K5	53	P53	输出	272
			输出允许	271
			输入	270
L7	54	P52	输出	266
			输出允许	265
			输入	264
N8	55	P51	输出	263
			输出允许	262
			输入	261
M8	56	P50	输出	260
			输出允许	259
			输入	258

表 40.7 边界扫描寄存器 LGA145/LQFP144 (3 / 8)

from TDI				
Pin No		引脚名	输入 / 输出	位名
LGA145	LQFP144			
L8	58	P83	输出	257
			输出允许	256
			输入	255
K7	60	PC7	输出	254
			输出允许	253
			输入	252
M9	61	PC6	输出	251
			输出允许	250
			输入	249
N10	62	PC5	输出	248
			输出允许	247
			输入	246
K8	63	P82	输出	245
			输出允许	244
			输入	243
L9	64	P81	输出	242
			输出允许	241
			输入	240
M10	65	P80	输出	239
			输出允许	238
			输入	237
N11	66	PC4	输出	236
			输出允许	235
			输入	234
K9	67	PC3	输出	233
			输出允许	232
			输入	231
L10	68	P77	输出	230
			输出允许	229
			输入	228
N12	69	P76	输出	227
			输出允许	226
			输入	225
M11	70	PC2	输出	224
			输出允许	223
			输入	222
L11	71	P75	输出	221
			输出允许	220
			输入	219
N13	72	P74	输出	218
			输出允许	217
			输入	216

表 40.7 边界扫描寄存器 LGA145/LQFP144 (4 / 8)

from TDI				
Pin No		引脚名	输入 / 输出	位名
LGA145	LQFP144			
M12	73	PC1	输出	215
			输出允许	214
			输入	213
K12	75	PC0	输出	212
			输出允许	211
			输入	210
K11	77	P73	输出	209
			输出允许	208
			输入	207
K10	78	PB7	输出	206
			输出允许	205
			输入	204
L13	79	PB6	输出	203
			输出允许	202
			输入	201
J12	80	PB5	输出	200
			输出允许	199
			输入	198
J11	81	PB4	输出	197
			输出允许	196
			输入	195
K13	82	PB3	输出	194
			输出允许	193
			输入	192
J10	83	PB2	输出	191
			输出允许	190
			输入	189
H12	84	PB1	输出	188
			输出允许	187
			输入	186
J13	85	P72	输出	185
			输出允许	184
			输入	183
H11	86	P71	输出	182
			输出允许	181
			输入	180
H10	87	PB0	输出	179
			输出允许	178
			输入	177
H13	88	PA7	输出	176
			输出允许	175
			输入	174

表 40.7 边界扫描寄存器 LGA145/LQFP144 (5 / 8)

from TDI				
Pin No		引脚名	输入 / 输出	位名
LGA145	LQFP144			
G12	89	PA6	输出	173
			输出允许	172
			输入	171
G11	90	PA5	输出	170
			输出允许	169
			输入	168
G13	92	PA4	输出	167
			输出允许	166
			输入	165
F11	94	PA3	输出	164
			输出允许	163
			输入	162
F13	95	PA2	输出	158
			输出允许	157
			输入	156
F10	96	PA1	输出	152
			输出允许	151
			输入	150
E12	97	PA0	输出	146
			输出允许	145
			输入	144
E11	98	P67	输出	140
			输出允许	139
			输入	138
E13	99	P66	输出	134
			输出允许	133
			输入	132
E10	100	P65	输出	128
			输出允许	127
			输入	126
D12	101	PE7	输出	125
			输出允许	124
			输入	123
D13	102	PE6	输出	122
			输出允许	121
			输入	120
C13	104	P70	输出	119
			输出允许	118
			输入	117
C11	106	PE5	输出	116
			输出允许	115
			输入	114

表 40.7 边界扫描寄存器 LGA145/LQFP144 (6 / 8)

from TDI				
Pin No		引脚名	输入 / 输出	位名
LGA145	LQFP144			
B13	107	PE4	输出	113
			输出允许	112
			输入	111
C12	108	PE3	输出	110
			输出允许	109
			输入	108
B11	109	PE2	输出	107
			输出允许	106
			输入	105
B12	110	PE1	输出	104
			输出允许	103
			输入	102
B10	111	PE0	输出	101
			输出允许	100
			输入	99
A13	112	P64	输出	98
			输出允许	97
			输入	96
C10	113	P63	输出	95
			输出允许	94
			输入	93
A12	114	P62	输出	92
			输出允许	91
			输入	90
C9	115	P61	输出	89
			输出允许	88
			输入	87
A11	117	P60	输出	86
			输出允许	85
			输入	84
C8	119	PD7	输出	83
			输出允许	82
			输入	81
A10	120	PD6	输出	77
			输出允许	76
			输入	75
B8	121	PD5	输出	71
			输出允许	70
			输入	69
D8	122	PD4	输出	68
			输出允许	67
			输入	66

表 40.7 边界扫描寄存器 LGA145/LQFP144 (7 / 8)

from TDI				
Pin No		引脚名	输入 / 输出	位名
LGA145	LQFP144			
A9	123	PD3	输出	62
			输出允许	61
			输入	60
C7	124	PD2	输出	56
			输出允许	55
			输入	54
B7	125	PD1	输出	50
			输出允许	49
			输入	48
A8	126	PD0	输出	44
			输出允许	43
			输入	42
D7	127	P93	输出	41
			输出允许	40
			输入	39
C6	128	P92	输出	38
			输出允许	37
			输入	36
A7	129	P91	输出	35
			输出允许	34
			输入	33
B6	131	P90	输出	32
			输出允许	31
			输入	30
A6	133	P47	输出	29
			输出允许	28
			输入	27
C5	134	P46	输出	26
			输出允许	25
			输入	24
B5	135	P45	输出	23
			输出允许	22
			输入	21
A5	136	P44	输出	20
			输出允许	19
			输入	18
D4	137	P43	输出	17
			输出允许	16
			输入	15
A4	138	P42	输出	14
			输出允许	13
			输入	12

表 40.7 边界扫描寄存器 LGA145/LQFP144 (8 / 8)

from TDI				
Pin No		引脚名	输入 / 输出	位名
LGA145	LQFP144			
C4	139	P41	输出	11
			输出允许	10
			输入	9
B4	141	P40	输出	8
			输出允许	7
			输入	6
B2	144	P07	输出	5
			输出允许	4
			输入	3
To TDO				

表 40.8 边界扫描寄存器 LGA85 (1 / 4)

from TDI			
Pin No	引脚名	输入 / 输出	位名
C1	P03	输出	353
		输出允许	352
		输入	351
D1	MDE	输入	339
C7	MD1	输入	338
D3	MD0	输入	337
G1	P35	输入	336
G2	P33	输出	335
		输出允许	334
		输入	333
F3	P32	输出	332
		输出允许	331
		输入	330
J1	P25	输出	329
		输出允许	328
		输入	327
J3	P24	输出	326
		输出允许	325
		输入	324
J2	P23	输出	323
		输出允许	322
		输入	321
K2	P22	输出	320
		输出允许	319
		输入	318
K1	P21	输出	317
		输出允许	316
		输入	315
K3	P20	输出	314
		输出允许	313
		输入	312
J4	P16	输出	308
		输出允许	307
		输入	306
H5	P14	输出	302
		输出允许	301
		输入	300
H6	P13	输出	299
		输出允许	298
		输入	297
K5	P12	输出	296
		输出允许	295
		输入	294

表 40.8 边界扫描寄存器 LGA85 (2 / 4)

from TDI			
Pin No	引脚名	输入 / 输出	位名
H7	P53	输出	272
		输出允许	271
		输入	270
J7	P52	输出	266
		输出允许	265
		输入	264
J8	P51	输出	263
		输出允许	262
		输入	261
K8	P50	输出	260
		输出允许	259
		输入	258
J9	PC3	输出	233
		输出允许	232
		输入	231
K9	PC2	输出	224
		输出允许	223
		输入	222
K10	PC1	输出	215
		输出允许	214
		输入	213
J10	PC0	输出	212
		输出允许	211
		输入	210
H9	PB7	输出	206
		输出允许	205
		输入	204
H8	PB6	输出	203
		输出允许	202
		输入	210
G9	PB5	输出	200
		输出允许	199
		输入	198
H10	PB4	输出	197
		输出允许	196
		输入	195
G8	PB3	输出	194
		输出允许	193
		输入	192
F9	PB2	输出	191
		输出允许	190
		输入	189

表 40.8 边界扫描寄存器 LGA85 (3 / 4)

from TDI			
Pin No	引脚名	输入 / 输出	位名
G10	PB1	输出	188
		输出允许	187
		输入	186
E9	PB0	输出	179
		输出允许	178
		输入	177
F10	PA7	输出	176
		输出允许	175
		输入	174
D9	PA6	输出	173
		输出允许	172
		输入	171
C9	PA5	输出	170
		输出允许	169
		输入	168
E10	PA4	输出	167
		输出允许	166
		输入	165
B9	PA3	输出	164
		输出允许	163
		输入	162
D10	PA2	输出	158
		输出允许	157
		输入	156
B10	PA1	输出	152
		输出允许	151
		输入	150
C10	PA0	输出	146
		输出允许	145
		输入	144
A9	PD7	输出	83
		输出允许	82
		输入	81
A10	PD6	输出	77
		输出允许	76
		输入	75
A8	PD5	输出	71
		输出允许	70
		输入	69
A7	PD4	输出	68
		输出允许	67
		输入	66

表 40.8 边界扫描寄存器 LGA85 (4 / 4)

from TDI			
Pin No	引脚名	输入 / 输出	位名
B8	PD3	输出	62
		输出允许	61
		输入	60
B7	PD2	输出	56
		输出允许	55
		输入	54
A6	PD1	输出	50
		输出允许	49
		输入	48
B6	PD0	输出	44
		输出允许	43
		输入	42
A5	P47	输出	29
		输出允许	28
		输入	27
B5	P46	输出	26
		输出允许	25
		输入	24
C6	P45	输出	23
		输出允许	22
		输入	21
C5	P44	输出	20
		输出允许	19
		输入	18
A4	P43	输出	17
		输出允许	16
		输入	15
B4	P42	输出	14
		输出允许	13
		输入	13
C4	P41	输出	11
		输出允许	10
		输入	9
C3	P40	输出	8
		输出允许	7
		输入	6
A1	P05	输出	2
		输出允许	1
		输入	0
To TDO			

40.3 运行说明

边界扫描功能在将 RES# 引脚置为 High 电平并且将 EMLE 引脚置为 Low 电平以及将 BSCANP 引脚置为 High 电平时有效。

40.3.1 TAP 控制器

TAP 控制器的状态转移图如图 40.2 所示。

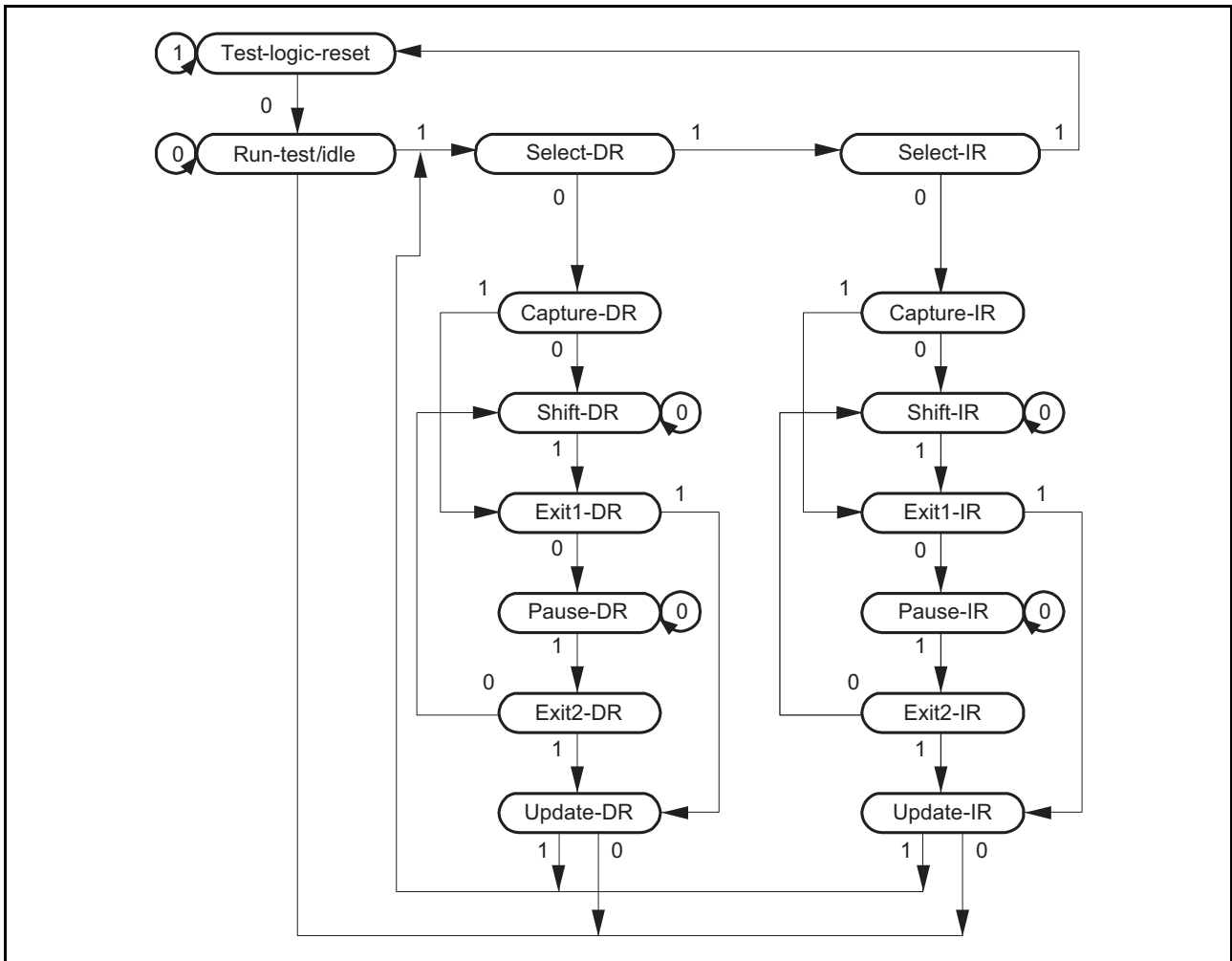


图 40.2 TAP 控制器

40.3.2 命令一览

(1) BYPASS[指令码: 1111 1111b]

BYPASS 指令是使 JTBPB 寄存器运行的指令，缩短移位路径，使印刷电路板上的其他 LSI 串行数据的传送速度高速化。在执行此指令时，测试电路对系统电路没有任何影响。

在 TDI 引脚和 TDO 引脚之间连接 JTBPB 寄存器。在 Shift-DR 运行中变为旁路运行。在 Shift-DR 的第 1 个时钟，TDO 为 Low 电平；在以后的 Shift-DR 时钟，从 TDO 输出 TDI。

(2) EXTEST[指令码: 0000 0000b]

EXTEST 指令是在将 LSI 安装到印刷电路板时测试外部电路的指令。在执行此指令时，输出引脚用于将测试数据（已用 SAMPLE/PRELOAD 指令进行了设定）从 JTBSR 寄存器输出到印刷电路板，输入引脚用于将测试结果从印刷电路板取到 JTBSR 寄存器。

(3) SAMPLE/PRELOAD[指令码: 0100 0000b]

SAMPLE/PRELOAD 指令是将值从 LSI 的内部电路输入到 JTBSR 寄存器并且从扫描路径输出或者将数据加载到扫描路径的指令。在执行此指令时，将 LSI 的输入引脚的信号传输到内部电路并且将内部电路的值从输出引脚输出到外部。在执行此指令时，LSI 的系统电路不受任何影响。

在 SAMPLE 执行过程中，将从输入引脚传送到内部电路的值或者从内部电路传送到输出引脚的值的快照取到 JTBSR 寄存器，并且从扫描路径中读数据。取快照与 Capture-DR 状态的 TCK 的上升沿同步，而不妨碍 LSI 的正常运行。

在 PRELOAD 执行过程中，在执行 EXTEST 指令之前先将初始值从扫描路径设定到 JTBSR 寄存器的并行输出锁存器。如果不执行 PRELOAD 而执行 EXTEST 指令，就在最初的扫描顺序结束（传送到输出锁存器）前从输出引脚输出不定值（EXTEST 指令总是将并行输出锁存器的内容输出到输出引脚）。

(4) IDCODE[指令码: 0101 0101b]

如果选择 IDCODE 指令，就在 TAP 控制器的 Shift-DR 状态下 TDO 引脚从 LSB 开始输出 JTIDR 寄存器的值。在执行此指令时，测试电路对系统电路没有任何影响。在 TAP 控制器的 Test-Logic-Reset 状态下，指令寄存器被初始化为 IDCODE 指令。

(5) CLAMP[指令码: 1101 0000b]

如果选择 CLAMP 指令，输出引脚就输出预先通过 SAMPLE/PRELOAD 指令设定的 JTBSR 寄存器的值。在选择了 CLAMP 指令的期间，JTBSR 寄存器的状态与 TAP 控制器的状态无关，保持以前的状态。

此指令将旁路寄存器连接在 TDI 引脚和 TDO 引脚之间，和选择 BYPASS 模式时的运行一样。

(6) HIGHZ[指令码: 1000 0000b]

如果选择 HIGHZ 指令，全部的输出引脚就变为高阻抗状态。在选择了 HIGHZ 指令的期间，JTBSR 寄存器的状态与 TAP 控制器的状态无关，保持以前的状态。

此指令将旁路寄存器连接在 TDI 引脚和 TDO 引脚之间，和选择 BYPASS 指令时的运行一样。

40.4 使用时的注意事项

1. 如图 40.3 所示，在进行串行传送时，从 LSB 侧开始输入/输出数据。

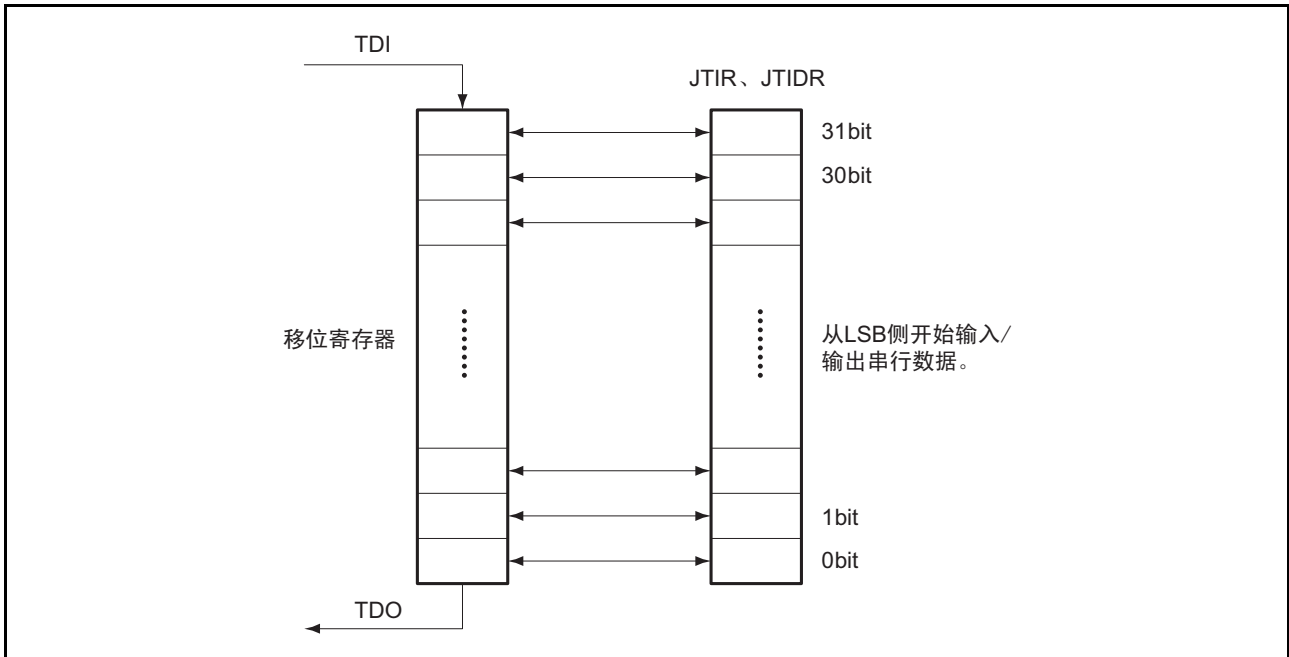


图 40.3 串行数据的输入 / 输出

2. 必须通过上拉电阻将边界扫描的引脚（TCK、TDI、TMS、TRST#）进行上拉。
但是，如果使用内部仿真器，就必须根据所使用的内部仿真器的手册进行 TRST# 引脚处理。
如果对 TRST# 引脚进行下拉，在边界扫描时也必须进行 TRST# 控制。
3. 电源引脚（VCC、VCL、VSS、AVCC、AVSS、VREFH、VREFL、PLL VCC、PLL VSS、VCC_USB、VSS_USB）不是边界扫描的对象。
4. 时钟引脚（EXTAL、XTAL、XCIN、XCOUT）不是边界扫描的对象。
5. 复位引脚（RES#）不是边界扫描的对象。
6. USB 专用引脚（USB0_DP、USB0_DM、USB1_DP、USB1_DM）不是边界扫描的对象。
7. 内部仿真器允许引脚（EMLE）不是边界扫描的对象。
8. 边界扫描引脚（BSCANP）不是边界扫描的对象。
9. CNVSS 引脚不是边界扫描的对象。
10. 边界扫描引脚（TCK、TMS、TRST#、TDI、TDO）不是边界扫描的对象。
11. 在以下情况下，不能使用边界扫描功能。
 - 复位状态
 - 软件待机模式、深度软件待机模式
12. 如果在将有漏极开路功能的引脚置为漏极开路功能有效的情况下使用，就通过边界扫描功能将输出扫描寄存器和输出寄存器设定为 1。如果执行 EXTEST 指令、CLAMP 指令或者 SAMPLE/PRELOAD 指令，引脚就不变为高阻抗而变为 High 电平输出。
13. P12、P13、P20 和 P21 的引脚结构如图 40.4（1）所示。如果将 P12、P13、P20 和 P21 用作 RIIC 引脚（SDA0、SDA1、SCL0、SCL1），就在使用边界扫描功能时需要注意与漏极开路输出的冲突和寄生电流。
14. P40～P47 的引脚结构如图 40.4（2）所示。如果将 P40～P47 用作 AD 输入（AN0～AN7），就在使用边界扫描功能时需要注意与 AD 输入的冲突和寄生电流。
15. P03 和 P05 的引脚结构如图 40.4（3）所示。如果将 P03 和 P05 用作 DA 输出（DA0、DA1），就在使用边界扫描功能时需要注意与 DA 输出的冲突和寄生电流。

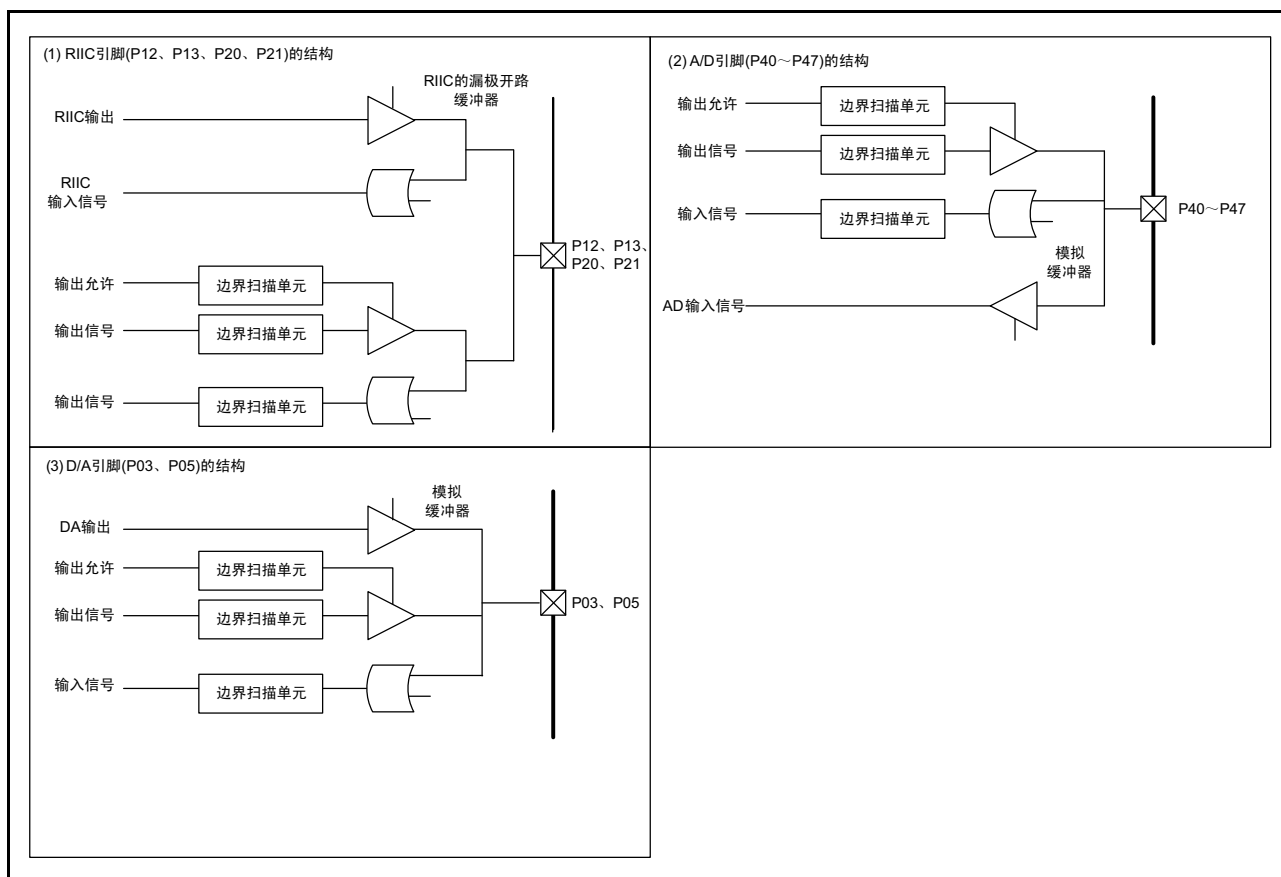


图 40.4 各引脚的结构

41. 电特性

41.1 绝对最大额定值

表 41.1 绝对最大额定值

项目	符号	额定值	单位
电源电压	VCC PLLVCC VCC_USB	-0.3 ~ +4.6	V
输入电压 (端口 00 ~ 02、07、端口 12、13、16、17、 端口 20、21、端口 33 除外)	V _{IN}	-0.3 ~ VCC+0.3	V
输入电压 (端口 00 ~ 02、07、端口 12、13、16、17、 端口 20、21、端口 33 (注 1))	V _{IN}	-0.3 ~ +5.8	V
基准电源电压	V _{REF}	-0.3 ~ VCC+0.3	V
模拟电源电压	AVCC (注 2)	-0.3 ~ +4.6	V
模拟输入电压	V _{AN}	-0.3 ~ VCC+0.3	V
工作温度	T _{opr}	-40 ~ +85	°C
保存温度	T _{stg}	-55 ~ +125	°C

【使用时的注意事项】如果在使用 LSI 时超过绝对最大额定值，就可能造成 LSI 的永久性破坏。

注 1. 端口 00 ~ 02、07、端口 12、13、16、17、端口 20、21、端口 33 对应 5V 容许。

注 2. AVCC 必须连接 VCC。在不使用 A/D 转换器和 D/A 转换器时，不能将 AVCC、VREFH、AVSS、VREFL 引脚置为开路。AVCC 引脚和 VREFH 引脚必须连接 VCC，AVSS 引脚和 VREFL 引脚必须连接 VSS。

41.2 DC 特性

表 41.2 DC 特性 (1)

条件: VCC=PLLVCC=AVCC=VCC_USB=2.7 ~ 3.6V、VREFH=2.7V ~ AVCC
 VSS=PLLVSS=AVSS=VREFL=VSS_USB=0V
 T_a=-40 ~ +85°C

项目	符号	min	typ	max	单位	测量条件	
施密特触发 输入电压	IRQ 输入引脚 (注1)、 MTU 输入引脚 (注1)、 TMR 输入引脚 (注1)、 SCI 输入引脚 (注1)、 ADTRG 输入引脚 (注1)、 RES#、NMI	V _{IH}	VCC×0.8	—	VCC+0.3	V	
		V _{IL}	-0.3	—	VCC×0.2		
		ΔV _T	VCC×0.06	—	—		
	RIIC 输入引脚 (SMBus 除外)	V _{IH}	VCC×0.7	—	5.8		
		V _{IL}	-0.3	—	VCC×0.3		
		ΔV _T	VCC×0.05	—	—		
	端口 00 ~ 02、07 端口 12、13、16、17 端口 20、21 端口 33	V _{IH}	VCC×0.8	—	5.8		
		V _{IL}	-0.3	—	VCC×0.2		
	端口 03、05、10、11、14、 15 端口 22 ~ 27 端口 30 ~ 32、34、35 端口 4 ~ G 其他输入引脚	V _{IH}	VCC×0.8	—	VCC+0.3		
		V _{IL}	-0.3	—	VCC×0.2		
输入 High 电平 电压 (施密特 触发输入引脚 除外)	MD 引脚、EMLE	V _{IH}	VCC×0.9	—	VCC+0.3	V	
	EXTAL、RSPI、ETHERC EXDMAC、WAIT#、TCK		VCC×0.8	—	VCC+0.3		
	XCIN		VCC×0.8	—	VCC+0.3		
	D0 ~ D31		VCC×0.7	—	VCC+0.3		
	RIIC (SMBus)		2.1	—	VCC+0.3		
输入 Low 电平 电压 (施密特 触发输入引脚 除外)	MD 引脚、EMLE	V _{IL}	-0.3	—	VCC×0.1	V	
	EXTAL、RSPI、ETHERC EXDMAC、WAIT#、TCK		-0.3	—	VCC×0.2		
	XCIN		-0.3	—	VCC×0.2		
	D0 ~ D31		-0.3	—	VCC×0.3		
	RIIC (SMBus)		-0.3	—	0.8		

表 41.3 DC 特性 (2)

条件: $V_{CC}=PLL_{VCC}=AV_{CC}=V_{CC_USB}=2.7 \sim 3.6V$ 、 $V_{REFH}=2.7V \sim AV_{CC}$ $V_{SS}=PLL_{VSS}=AV_{SS}=V_{REFL}=V_{SS_USB}=0V$ $T_a=-40 \sim +85^{\circ}C$

项目	符号	min	typ	max	单位	测量条件
输出 High 电平电压	全部输出引脚	V_{OH}	$V_{CC}-0.5$	—	—	V $I_{OH}=-1mA$
输出 Low 电平电压	全部输出引脚 (RIIC 引脚除外)	V_{OL}	—	—	0.5	V $I_{OL}=1.0mA$
	RIIC 引脚		—	—	0.4	V $I_{OL}=3.0mA$
	RIIC 引脚 (只限于 P12 和 P13 的通道)	V_{OL}	—	—	0.6	V $I_{OL}=6.0mA$
			—	0.4	—	V $I_{OL}=15.0mA$ (ICFER.FMPE=1)
三态泄漏电流 (OFF 状态)	端口 03、05、10、11、14、15 端口 22 ~ 27 端口 30 ~ 32、34、35 端口 4 ~ G	$ I_{TSI} $	—	—	1.0	μA $V_{in}=0V$ $V_{in}=V_{CC}$
	端口 00 ~ 02、07、12、13 端口 16、17、20、21、33		—	—	5.0	
输入上拉 MOS 电流	端口 9 ~ E、G	$-I_p$	10	—	300	μA $V_{CC}=2.7 \sim 3.6V$ $V_{in}=0V$
输入电容	全部输入引脚 (端口 12、13、20、21、 端口 40 ~ 47、EMLE 除外)	C_{in}	—	—	15	pF $V_{in}=0V$ $f=1MHz$ $T_a=25^{\circ}C$
	端口 12、13、20、21、 端口 40 ~ 47、EMLE		—	—	30	

表 41.4 DC 特性 (3)

条件: VCC=PLLVC=AVCC=VCC_USB=2.7 ~ 3.6V、VREFH=2.7V ~ AVCC

VSS=PLLSS=AVSS=VREFL=VSS_USB=0V

T_a=-40 ~ +85°C

项目			符号	min	typ	max	单位	测量条件		
消耗电流 (注2)	运行时	最大运行时 (注3)		I _{CC} (注4)	—	—	100	mA	ICLK=100MHz PCLK=50MHz BCLK=50MHz	
		正常运 行时	外围功能: 时钟提供状态 (注5)		—	48	—			
			外围功能: 时钟停止状态 (注5)							
		因 BGO 运行 (注6) 而增加。			—	15	—			
	睡眠时		—		20	60				
	全模块时钟停止时 (注7)		—		14	28				
	待机 时	软件待机时			—	0.12	3.0			mA
		深度软 件待机 时	RTC 运行时		RAM、USB 保持	—	30	206	μA	
					RAM、USB 电源停止	—	26	66	μA	
		RTC 停止时	RAM、USB 保持		—	25	200	μA		
RAM、USB 电源停止			—	21	60	μA				
模拟 电源电流	12 位 A/D 转换中 (每个单元)		AI _{CC}	—	2.5	3.0	mA			
	10 位 A/D 转换中 (每个单元)			—	0.8	1.2	mA			
	D/A 转换中 (每个单元)			—	0.3	2.0	μA			
	在 A/D 转换待机或者 D/A 转换待机时 (全部单元)			—	30	35	μA			
	在 A/D 待机或者 D/A 待机时 (全部单元)			—	0.1	4.0	μA			
基准电源 电流	12 位 A/D 转换中 (每个单元)		AI _{CC}	—	0.5	0.7	mA			
	10 位 A/D 转换中 (每个单元)			—	0.06	0.1	mA			
	D/A 转换中 (每个单元)			—	0.6	1.0	mA			
	在 A/D 转换待机或者 D/A 转换待机时 (全部单元)			—	0.4	0.6	mA			
	在 A/D 待机或者 D/A 待机时 (全部单元)			—	0.1	2.0	μA			
RAM 待机电压			V _{RAM}	2.48	—	—	V			
VCC 上升斜率			SVCC	—	—	20	ms/V			

注 1. 不与对应 5V 容许的端口 00 ~ 02、07、端口 12、13、16、17、端口 20、21、端口 33 兼用。

注 2. 消耗电流值是指全部的输出引脚为无负载状态并且内部上拉 MOS 为 OFF 状态时的值。

注 3. 外围功能为提供时钟的状态, BGO 运行除外。

注 4. 根据以下表达式, I_{CC} 取决于 f。(ICLK:PCLK:BCLK:BCLK 引脚 =8:4:8:4)

$$I_{CC \max} = 0.89 \times f + 11 \quad (\text{最大运行时})$$

$$I_{CC \text{ typ}} = 0.43 \times f + 5 \quad (\text{正常运行时 外围功能: 时钟提供状态})$$

$$I_{CC \text{ typ}} = 0.30 \times f + 5 \quad (\text{正常运行时 外围功能: 时钟停止状态})$$

$$I_{CC \max} = 0.48 \times f + 12 \quad (\text{睡眠时})$$

注 5. BGO 运行除外。

注 6. 这是在程序执行过程中对 ROM 或者用于保存数据的闪存进行数据编程或擦除时的增加。

注 7. 这是参考值。

表 41.5 输出容许电流

条件: VCC=PLLVC=AVCC=VCC_USB=2.7 ~ 3.6V、VREFH=2.7V ~ AVCC

VSS=PLLVSS=AVSS=VREFL=VSS_USB=0V

T_a=-40 ~ +85°C

项目		符号	min	typ	max	单位
输出 Low 电平的容许电流 (每个引脚的平均值)	RIIC 引脚以外的输出引脚	I _{OL}	—	—	2.0	mA
	RIIC 引脚 (ICFER.FMPE=0)	I _{OL}	—	—	6.0	mA
	RIIC 引脚 (ICFER.FMPE=1)	I _{OL}	—	—	20.0	mA
输出 Low 电平的容许电流 (每个引脚的最大值)	RIIC 引脚以外的输出引脚	I _{OL}	—	—	4.0	mA
	RIIC 引脚 (ICFER.FMPE=0)	I _{OL}	—	—	6.0	mA
	RIIC 引脚 (ICFER.FMPE=1)	I _{OL}	—	—	20.0	mA
输出 Low 电平的容许电流 (总和)	输出引脚的总和	ΣI _{OL}	—	—	80	mA
输出 High 电平的容许电流 (每个引脚的平均值)	全部输出引脚 (USB_DPUPE 引脚除外)	-I _{OH}	—	—	2.0	mA
	USB_DPUPE 引脚	-I _{OH}	—	—	3.0	mA
输出 High 电平的容许电流 (每个引脚的最大值)	全部输出引脚	-I _{OH}	—	—	4.0	mA
输出 High 电平的容许电流 (总和)	全部输出引脚的总和	Σ-I _{OH}	—	—	80	mA

【使用时的注意事项】为了确保 LSI 的可靠性，输出电流值不能超过表 41.5 中的值。

41.3 AC 特性

表 41.6 工作频率 [176 引脚 LFBGA/145 引脚 TFLGA/144 引脚 LQFP]

条件: VCC=PLLVCC=AVCC=VCC_USB=2.7 ~ 3.6V、VREFH=2.7V ~ AVCC
 VSS=PLLSS=AVSS=VREFL=VSS_USB=0V
 ICLK=8 ~ 100MHz、PCLK=8 ~ 50MHz、BCLK=8 ~ 100MHz、SDCLK=8 ~ 50MHz
 T_a=-40 ~ +85°C

项目		符号	min	typ	max	单位
工作频率	系统时钟 (ICLK)	f	8 (注1)	—	100	MHz
	外围模块时钟 (PCLK)		8 (注2)	—	50	
	外部总线时钟 (BCLK)		8	—	100	
	BCLK 引脚输出		8	—	50	
	SDRAM 时钟 (SDCLK)		8	—	50	
	SDCLK 引脚输出		8	—	50	

注 1. 在使用以太网控制器时, ICLK 必须大于等于 12.5MHz。

注 2. 在使用 USB 时, PCLK 必须大于等于 24MHz。

表 41.7 工作频率 [100 引脚 LQFP/85 引脚 TFLGA]

条件: VCC=PLLVCC=AVCC=VCC_USB=2.7 ~ 3.6V、VREFH=2.7V ~ AVCC
 VSS=PLLSS=AVSS=VREFL=VSS_USB=0V
 ICLK=8 ~ 100MHz、PCLK=8 ~ 50MHz、BCLK=8 ~ 50MHz
 T_a=-40 ~ +85°C

项目		符号	min	typ	max	单位
工作频率	系统时钟 (ICLK)	f	8 (注1)	—	100	MHz
	外围模块时钟 (PCLK)		8 (注2)	—	50	
	外部总线时钟 (BCLK)		8	—	50	
	BCLK 引脚输出		8	—	25	

注 1. 在使用以太网控制器时, ICLK 必须大于等于 12.5MHz。

注 2. 在使用 USB 时, PCLK 必须大于等于 24MHz。

41.3.1 时钟时序

表 41.8 时钟时序

条件: VCC=PLLVCC=AVCC=VCC_USB=2.7 ~ 3.6V、VREFH=2.7V ~ AVCC
 VSS=PLLVSS=AVSS=VREFL=VSS_USB=0V
 T_a=-40 ~ +85°C

项目	符号	min	max	单位	测量条件
BCLK 引脚输出的周期时间 [176 引脚 LFBGA/145 引脚 TFLGA/144 引脚 LQFP]	t _{Bcyc}	20	125	ns	图 41.1
BCLK 引脚输出的周期时间 [100 引脚 LQFP/85 引脚 TFLGA]	t _{Bcyc}	40	125	ns	
BCLK 引脚输出的 High 电平脉宽	t _{CH}	5	—	ns	
BCLK 引脚输出的 Low 电平脉宽	t _{CL}	5	—	ns	
BCLK 引脚输出的上升时间	t _{Cr}	—	5	ns	
BCLK 引脚输出的下降时间	t _{Cf}	—	5	ns	
SDCLK 引脚输出的周期时间	t _{SDcyc}	20	125	ns	
SDCLK 引脚输出的 High 电平脉宽	t _{CH}	5	—	ns	
SDCLK 引脚输出的 Low 电平脉宽	t _{CL}	5	—	ns	
SDCLK 引脚输出的上升时间	t _{Cr}	—	5	ns	
SDCLK 引脚输出的下降时间	t _{Cf}	—	5	ns	
复位振荡稳定时间 (晶体)	t _{OSC1}	10	—	ms	
软件待机振荡稳定时间 (晶体)	t _{OSC2}	10	—	ms	图 41.3
深度软件待机振荡稳定时间 (晶体)	t _{OSC3}	10	—	ms	图 41.4
EXTAL 外部时钟输出的延迟稳定时间	t _{DEXT}	1	—	ms	图 41.2
EXTAL 外部时钟输入的 Low 电平脉宽	t _{EXL}	30.71	—	ns	图 41.5
EXTAL 外部时钟输入的 High 电平脉宽	t _{EXH}	30.71	—	ns	
EXTAL 外部时钟上升时间	t _{EXr}	—	5	ns	
EXTAL 外部时钟下降时间	t _{EXf}	—	5	ns	
XCIN 副时钟振荡稳定时间	t _{SUBOSC}	2	—	s	图 41.6
XCIN 副时钟振荡器振荡频率	f _{SUB}	32.768	—	kHz	
内部振荡器 (IWDTCCLK) 振荡频率	f _{IWDTCCLK}	62.5	187.5	kHz	

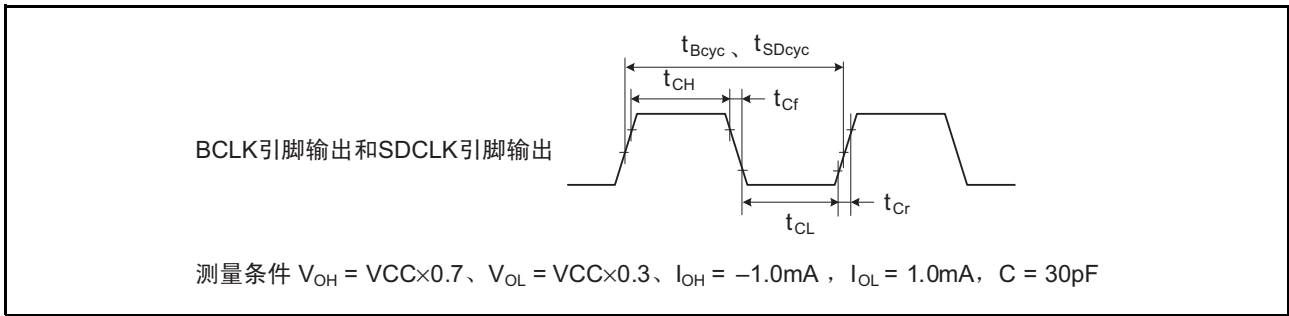


图 41.1 BCLK 引脚输出和 SDCLK 引脚输出的时序

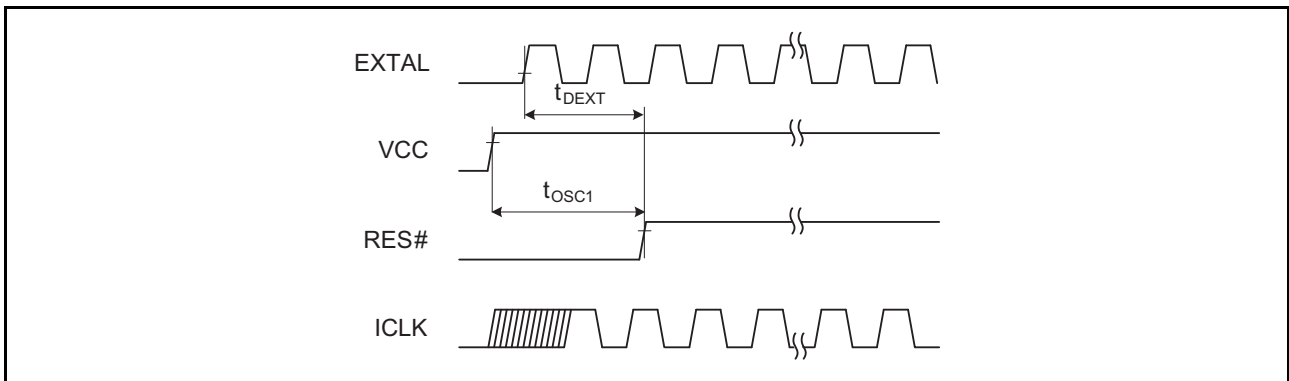


图 41.2 振荡稳定时间的时序

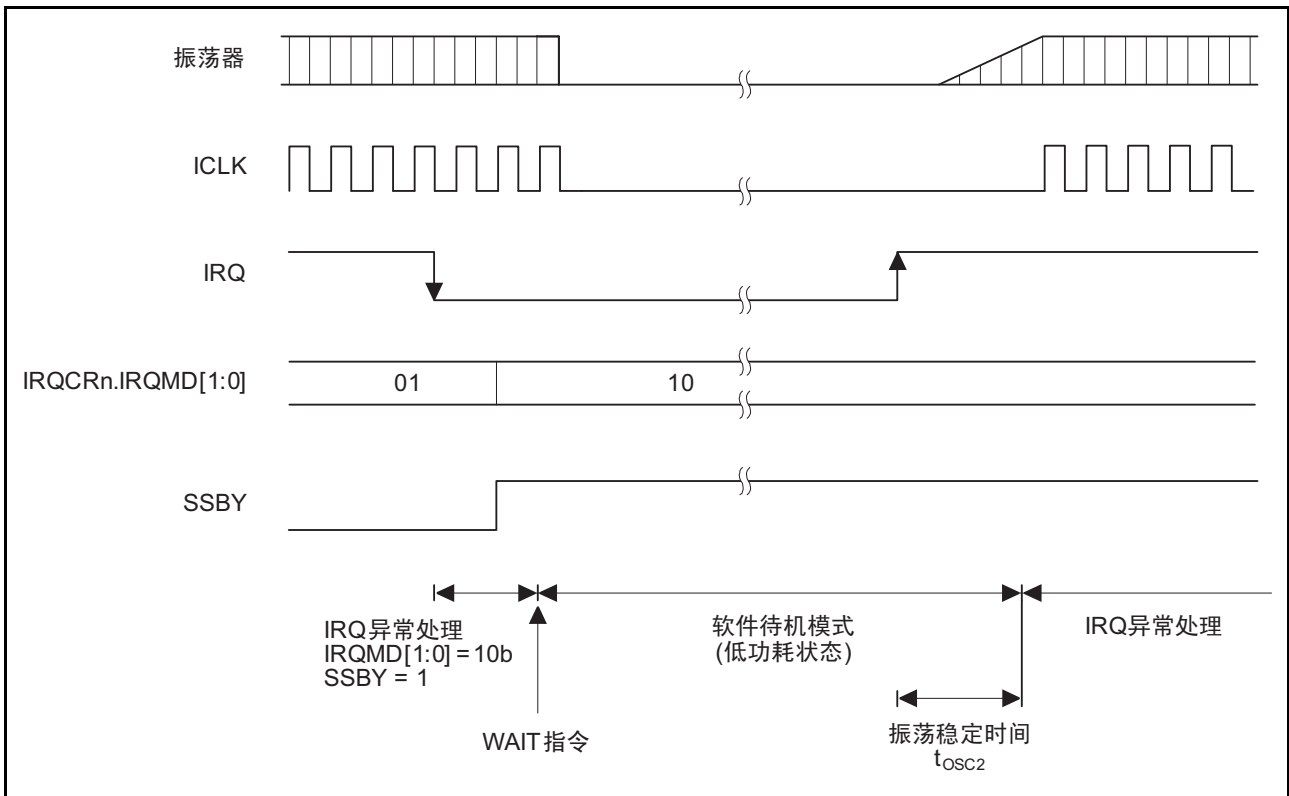


图 41.3 软件待机振荡稳定时间的时序

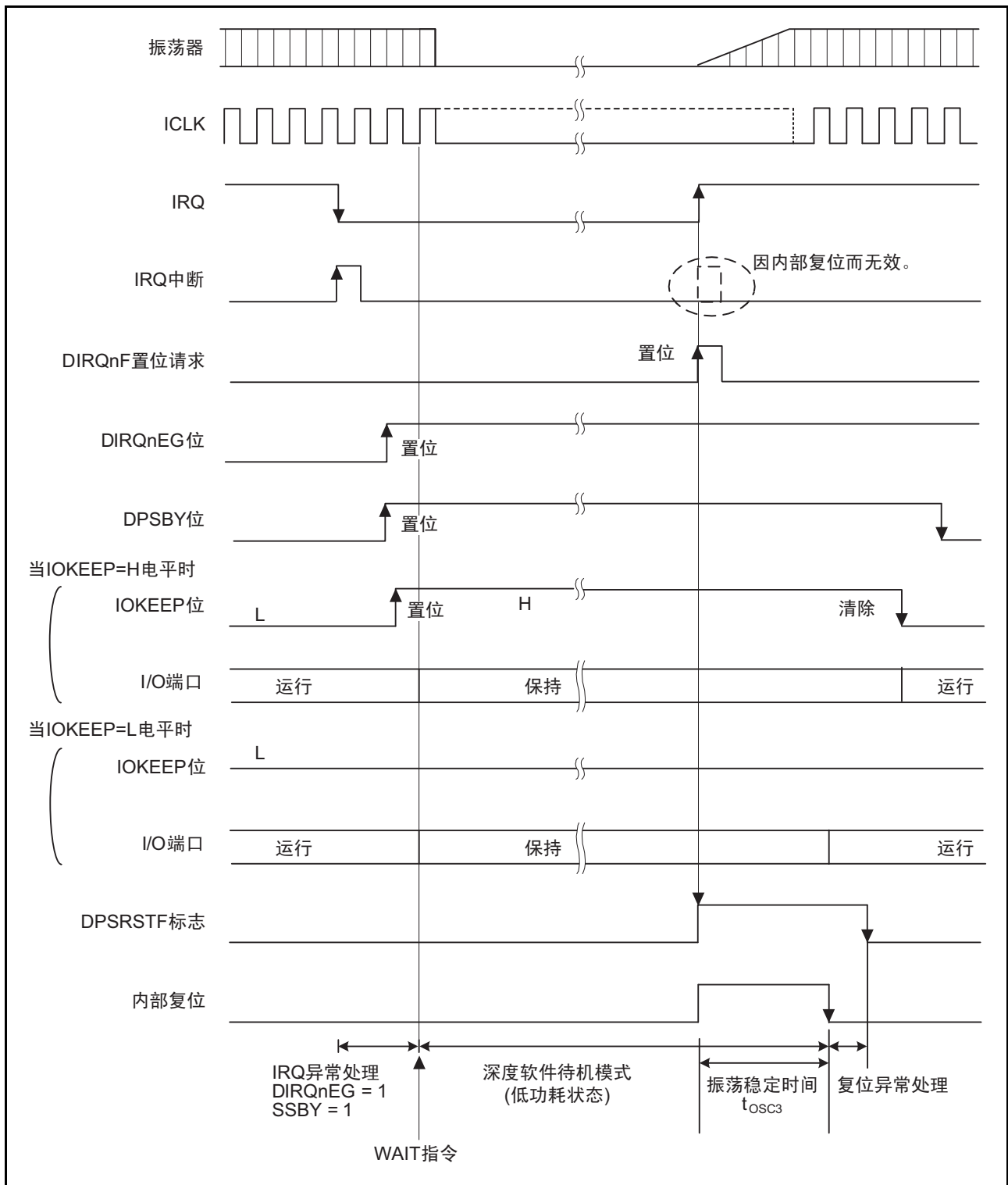


图 41.4 深度软件待机振荡稳定时间的时序

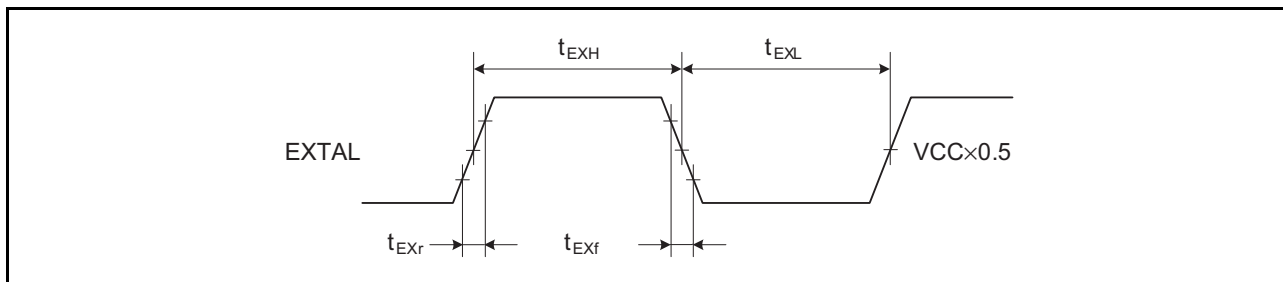


图 41.5 EXTAL 外部输入时钟的时序

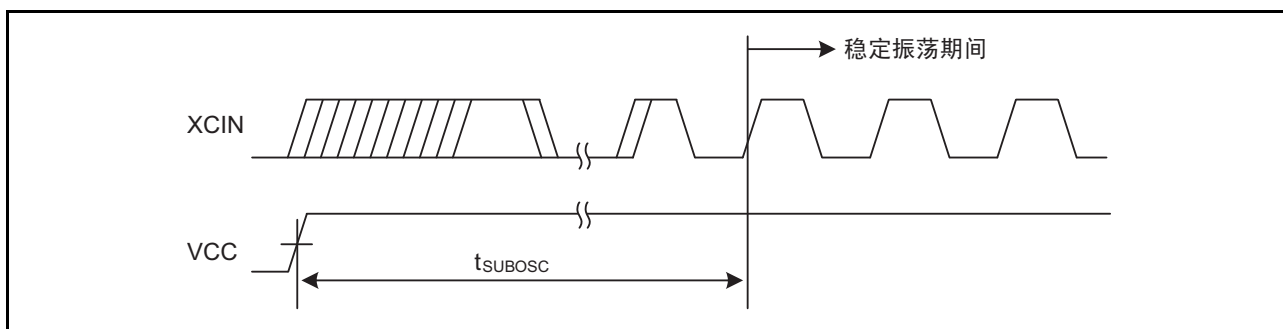


图 41.6 XCIN 副时钟振荡稳定时间

41.3.2 控制信号时序

表 41.9 控制信号时序

条件: VCC=PLLVCC=AVCC=VCC_USB=2.7 ~ 3.6V、VREFH=2.7V ~ AVCC
 VSS=PLLVSS=AVSS=VREFL=VSS_USB=0V
 T_a=-40 ~ +85°C

项目	符号	min	max	单位	测量条件
RES# 脉宽 (ROM 的编程 / 擦除、数据闪存的编程 / 擦除和数据闪存的空白检查除外 (注 1))	t _{RESW} (注 2)	20	—	t _{icyc} (注 4)	图 41.7
		1.5	—	μs	
内部复位时间 (注 3)	t _{RESW2}	35	—	μs	
NMI 脉宽	t _{NMIW}	200	—	ns	图 41.8
IRQ 脉宽	t _{IRQW}	200	—	ns	图 41.9

注 1. 在 ROM 的编程 / 擦除、数据闪存的编程 / 擦除和数据闪存的空白检查过程中，通过 RES# 引脚进行复位时，详细内容请参照“38. ROM (保存代码的闪存)”的“38.13 使用时的注意事项”。

注 2. 需要同时满足时间和周期数的规定。

注 3. 本项目是对 FCU 复位的规定。

注 4. t_{icyc}: ICLK 的周期

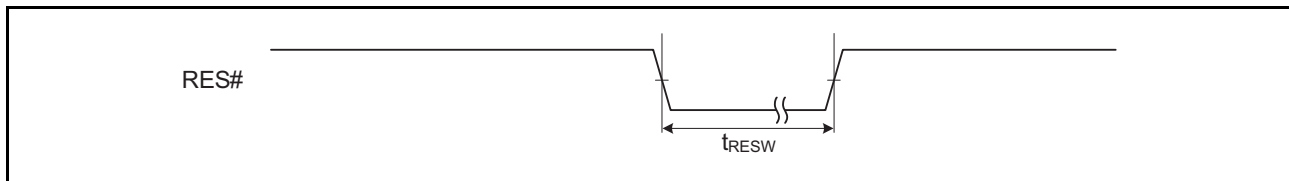


图 41.7 复位输入的时序

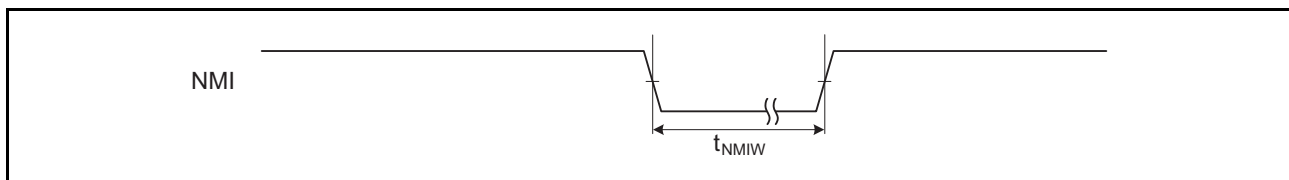


图 41.8 NMI 中断输入的时序

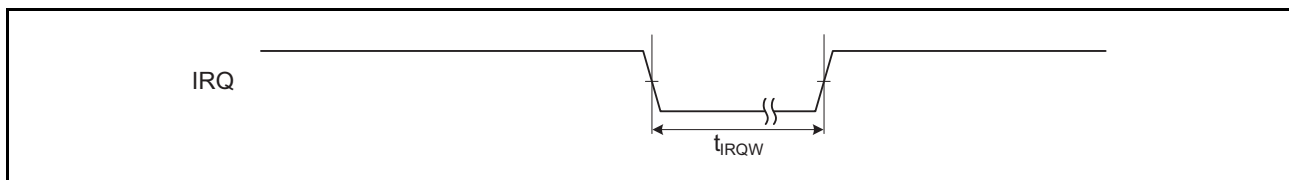


图 41.9 IRQ 中断输入的时序

41.3.3 总线时序

表 41.10 总线时序 [176 引脚 LFBGA/145 引脚 TFLGA/144 引脚 LQFP]

条件: $V_{CC}=PLL_{VCC}=AV_{CC}=V_{CC_USB}=2.7 \sim 3.6V$ 、 $V_{REFH}=2.7V \sim AV_{CC}$ $V_{SS}=PLL_{VSS}=AV_{SS}=V_{REFL}=V_{SS_USB}=0V$ $I_{CLK}=8 \sim 100MHz$ 、 $BCLK=8 \sim 100MHz$ 、 $SDCLK=8 \sim 50MHz$ $T_a=-40 \sim +85^{\circ}C$ 输出负载条件: $V_{OH}=V_{CC} \times 0.5$ 、 $V_{OL}=V_{CC} \times 0.5$ 、 $I_{OH}=-1.0mA$ 、 $I_{OL}=1.0mA$ 、 $C=30pF$

项目	符号	min	max	单位	测量条件
地址的延迟时间	t_{AD}	—	15	ns	图 41.10 ~ 图 41.13
字节控制的延迟时间	t_{BCD}	—	15	ns	
CS# 延迟时间	t_{CSD}	—	15	ns	
RD# 延迟时间	t_{RSD}	—	15	ns	
读数据的准备时间	t_{RDS}	15	—	ns	
读数据的保持时间	t_{RDH}	0.0	—	ns	
WR# 延迟时间	t_{WRD}	—	15	ns	
写数据的延迟时间	t_{WDD}	—	15	ns	
写数据的保持时间	t_{WDH}	0	—	ns	
WAIT# 准备时间	t_{WTS}	15	—	ns	图 41.14
WAIT# 保持时间	t_{WTH}	0.0	—	ns	
地址的延迟时间 2 (SDRAM)	t_{AD2}	1	15	ns	图 41.22 ~ 图 41.28
CS# 延迟时间 2 (SDRAM)	t_{CSD2}	1	15	ns	
DQM 延迟时间 (SDRAM)	t_{DQMD}	1	15	ns	
CKE 延迟时间 (SDRAM)	t_{CKED}	1	15	ns	
读数据的准备时间 2 (SDRAM)	t_{RDS2}	12	—	ns	
读数据的保持时间 2 (SDRAM)	t_{RDH2}	0	—	ns	
写数据的延迟时间 2 (SDRAM)	t_{WDD2}	—	15	ns	
写数据的保持时间 2 (SDRAM)	t_{WDH2}	1	—	ns	
WE# 延迟时间 (SDRAM)	t_{WED}	1	15	ns	
RAS# 延迟时间 (SDRAM)	t_{RASD}	1	15	ns	
CAS# 延迟时间 (SDRAM)	t_{CASD}	1	15	ns	

表 41.11 总线时序 [100 引脚 LQFP/85 引脚 TFLGA]

条件: $V_{CC}=PLL_{VCC}=AV_{CC}=V_{CC_USB}=2.7 \sim 3.6V$ 、 $V_{REFH}=2.7V \sim AV_{CC}$ $V_{SS}=PLL_{VSS}=AV_{SS}=V_{REFL}=V_{SS_USB}=0V$ $I_{CLK}=8 \sim 100MHz$ 、 $P_{CLK}=8 \sim 50MHz$ 、 $B_{CLK}=8 \sim 50MHz$ $T_a=-40 \sim +85^{\circ}C$ 输出负载条件: $V_{OH}=V_{CC} \times 0.5$ 、 $V_{OL}=V_{CC} \times 0.5$ 、 $I_{OH}=-1.0mA$ 、 $I_{OL}=1.0mA$ 、 $C=30pF$

项目	符号	min	max	单位	测量条件
地址的延迟时间	t_{AD}	—	30	ns	图 41.10 ~ 图 41.13
字节控制的延迟时间	t_{BCD}	—	30	ns	
CS# 延迟时间	t_{CSD}	—	30	ns	
RD# 延迟时间	t_{RSD}	—	30	ns	
读数据的准备时间	t_{RDS}	15	—	ns	
读数据的保持时间	t_{RDH}	0.0	—	ns	
WR# 延迟时间	t_{WRD}	—	30	ns	
写数据的延迟时间	t_{WDD}	—	35	ns	
写数据的保持时间	t_{WDH}	0	—	ns	
WAIT# 准备时间	t_{WTS}	15	—	ns	图 41.14
WAIT# 保持时间	t_{WTH}	0.0	—	ns	

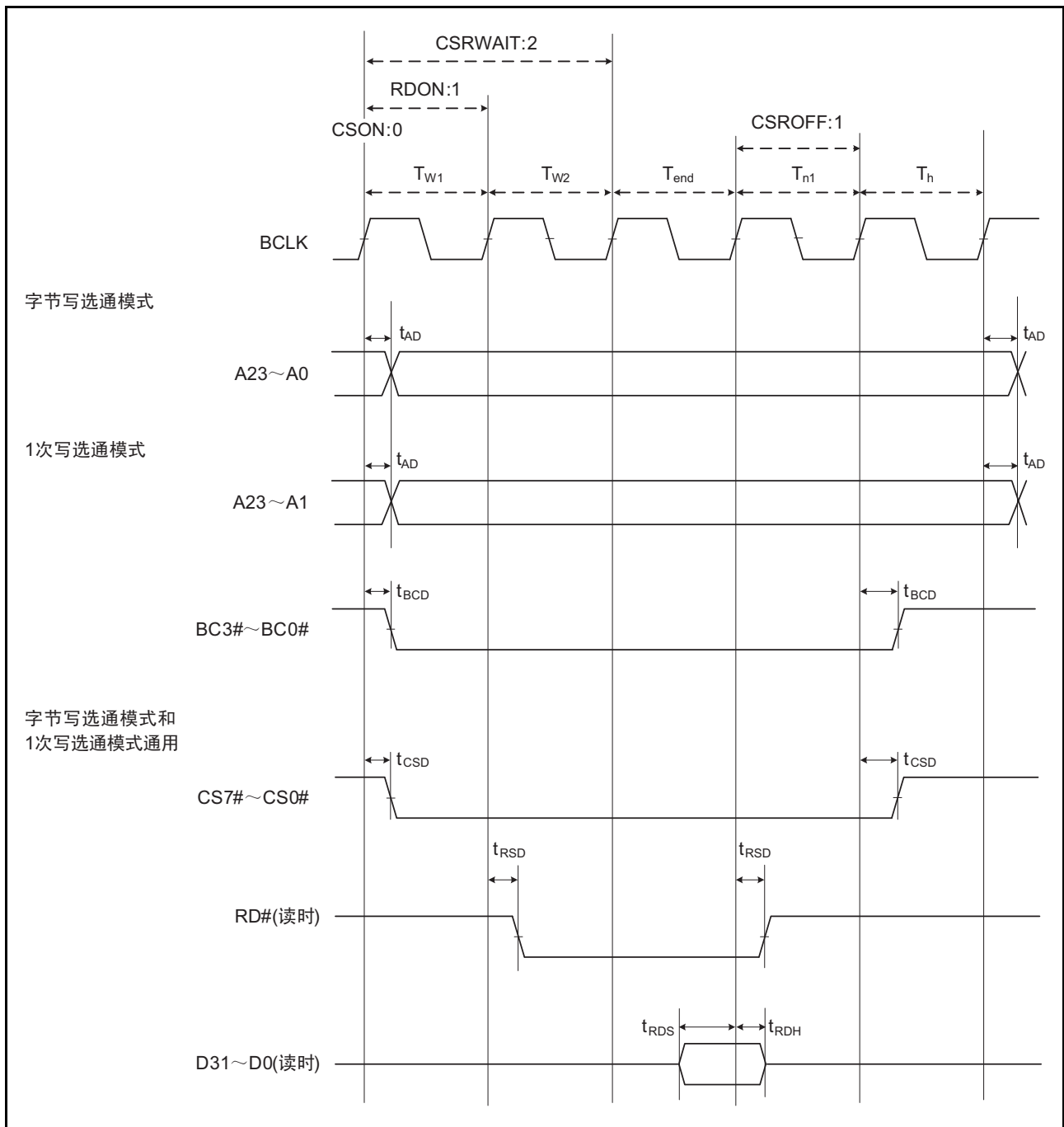


图 41.10 外部总线时序 / 正常读周期 (总线时钟同步)

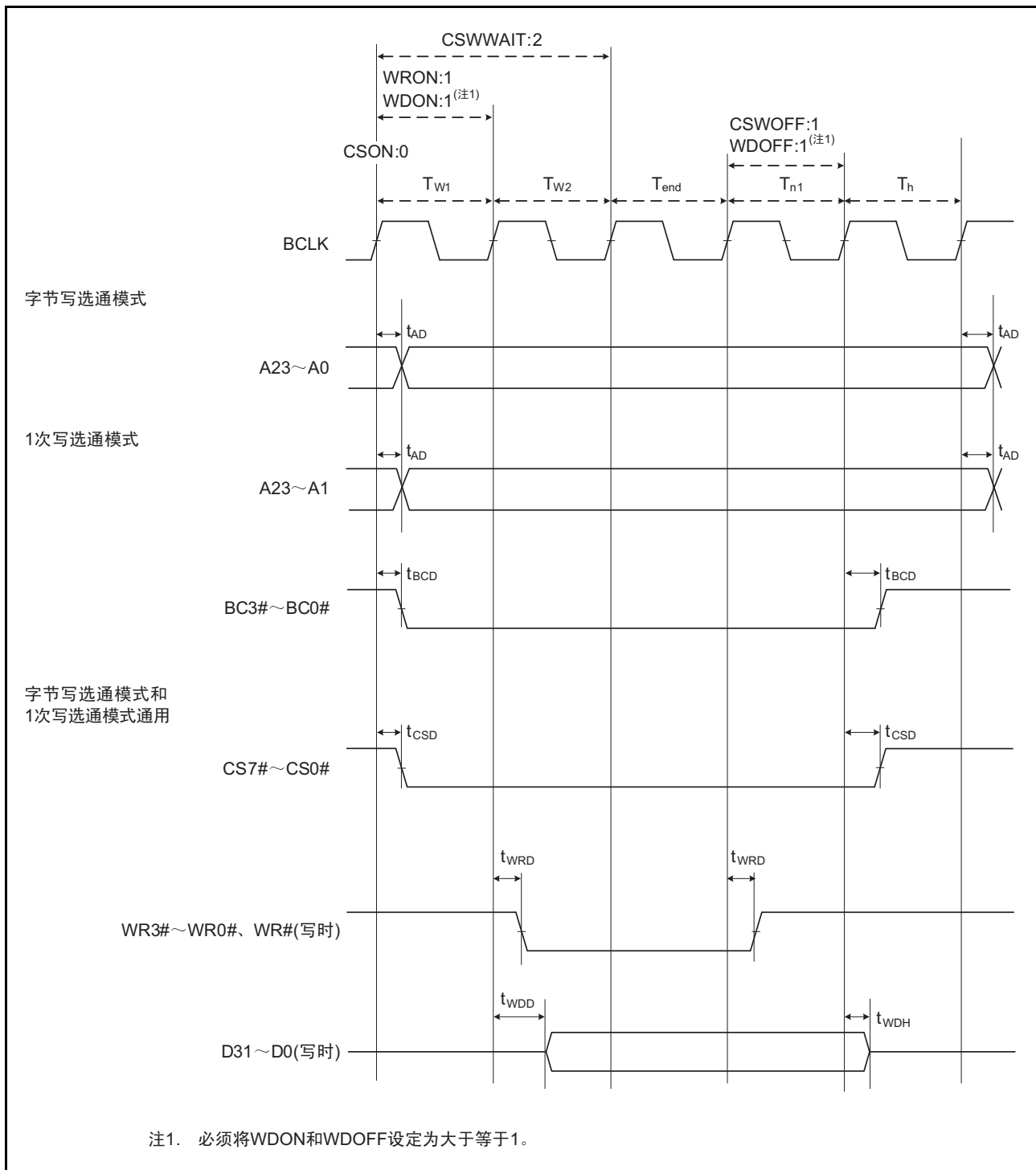


图 41.11 外部总线时序 / 正常写周期 (总线时钟同步)

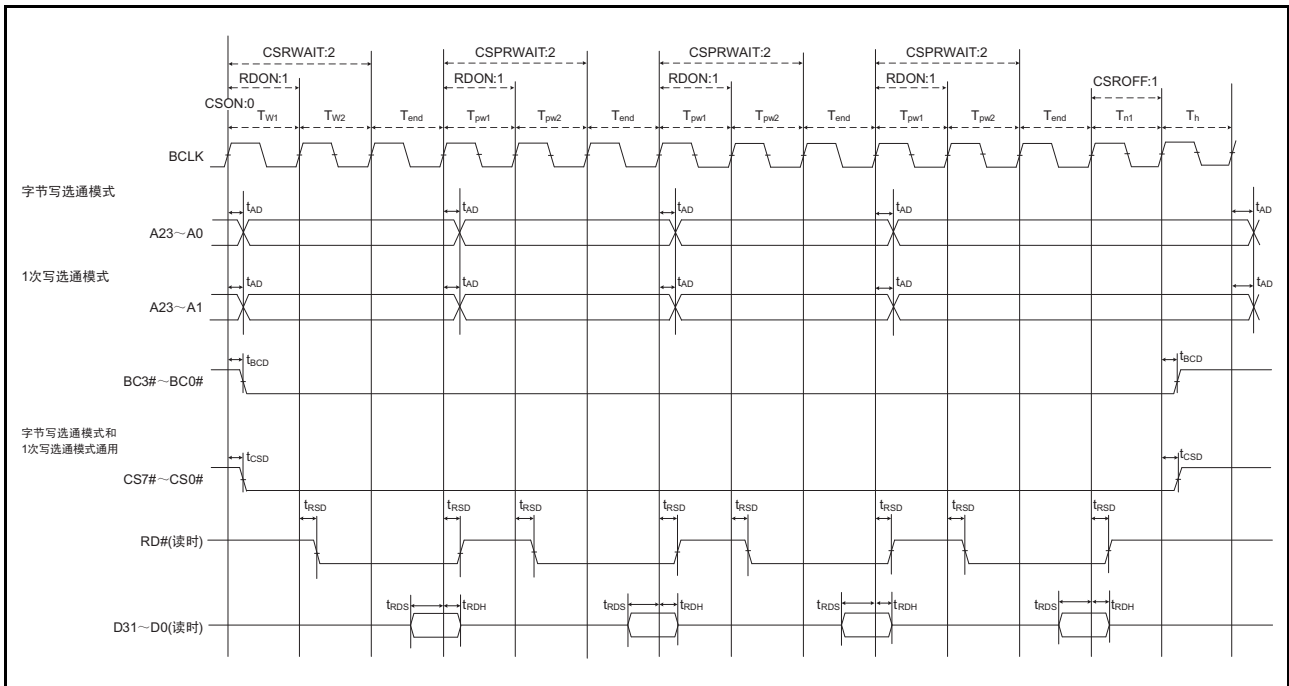
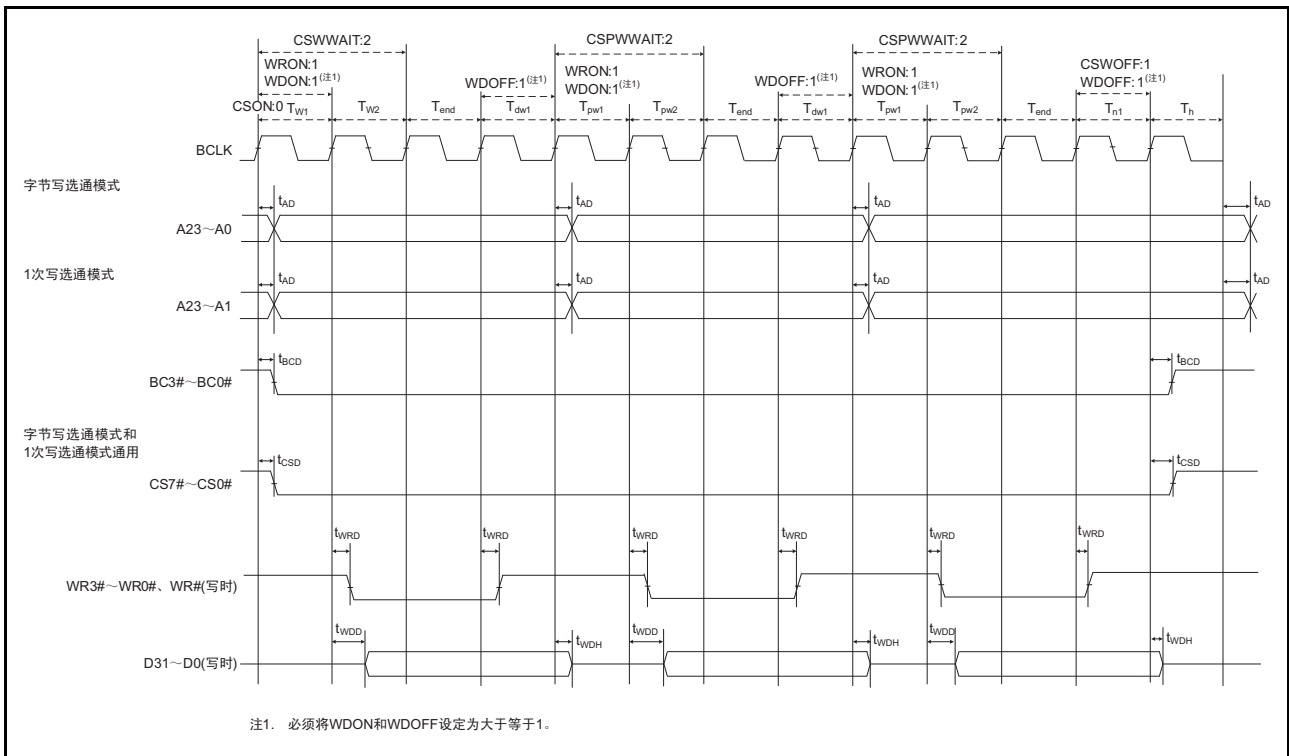


图 41.12 外部总线时序 / 页面读周期 (总线时钟同步)



注1. 必须将WDON和WDOFF设定为大于等于1。

图 41.13 外部总线时序 / 页面写周期 (总线时钟同步)

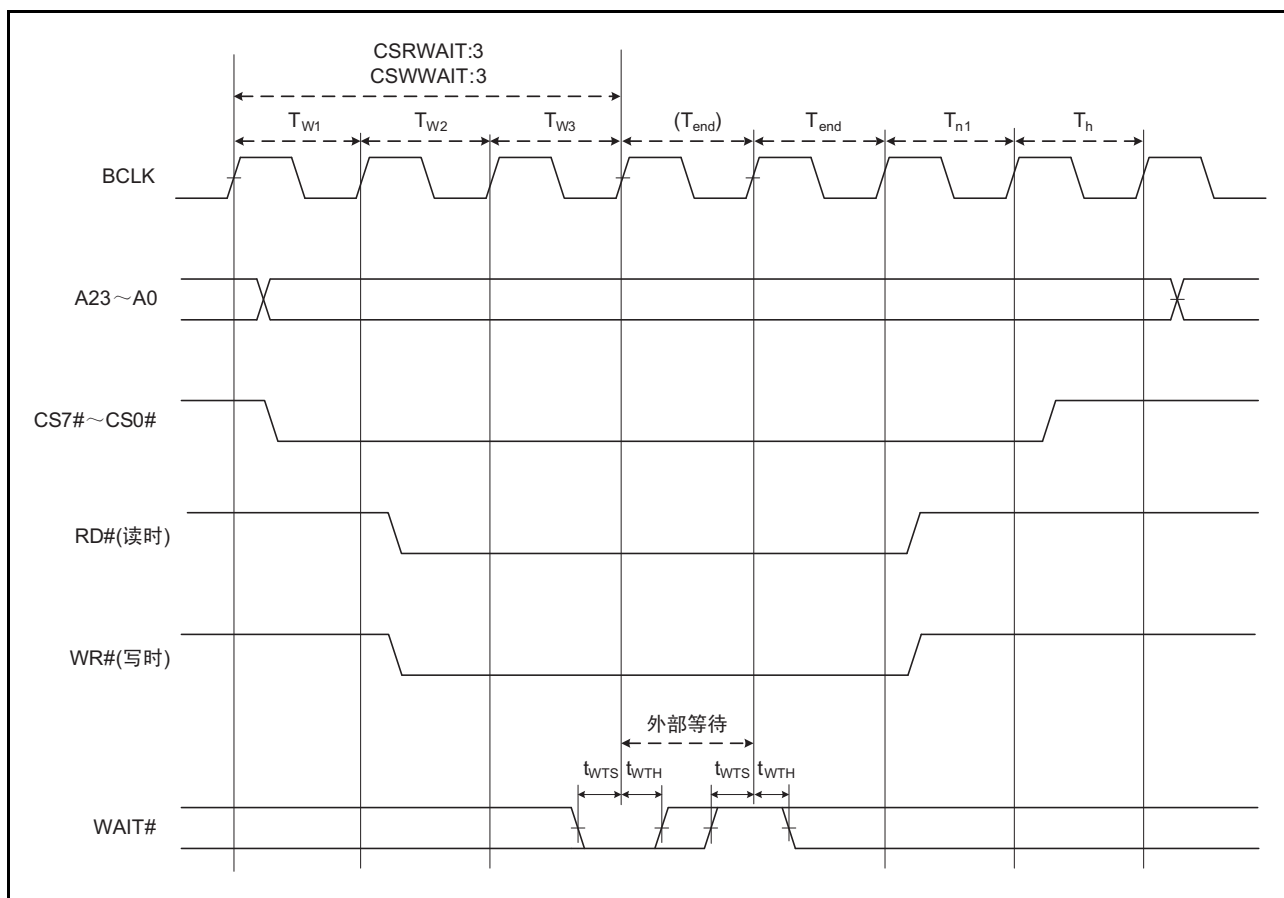


图 41.14 外部总线时序 / 外部等待控制

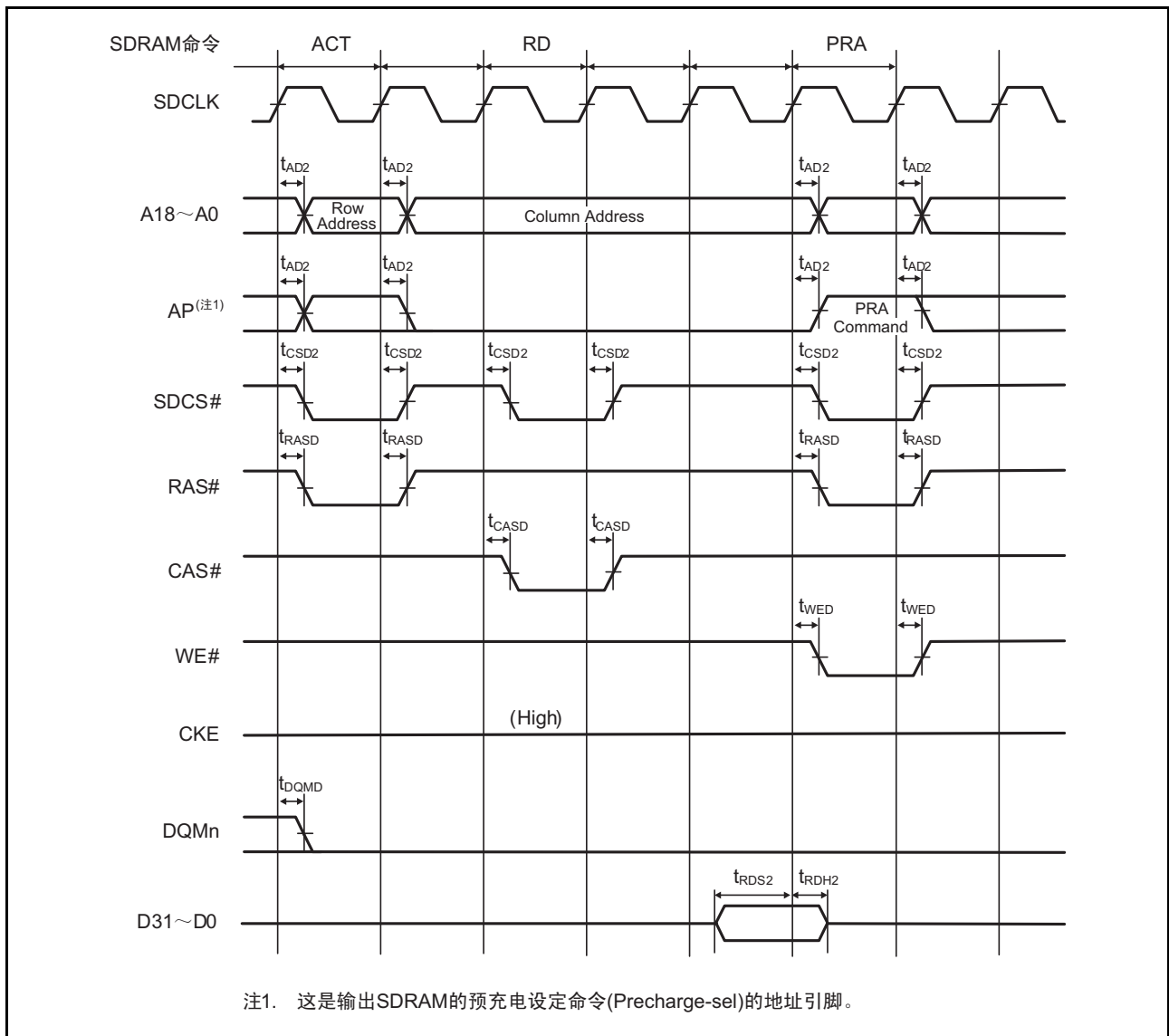


图 41.15 SDRAM 空间单次读总线时序

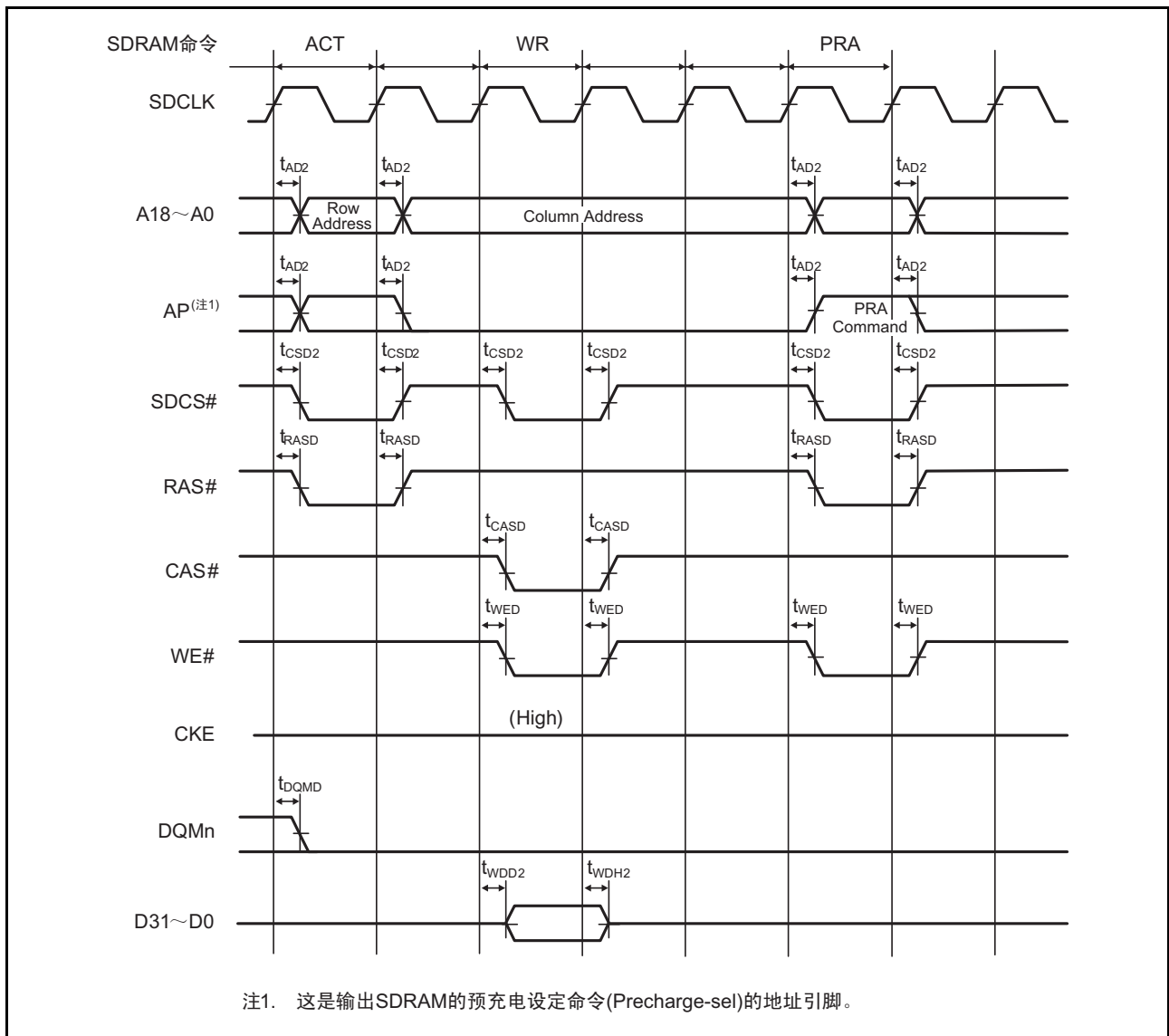


图 41.16 SDRAM 空间单次写总线时序

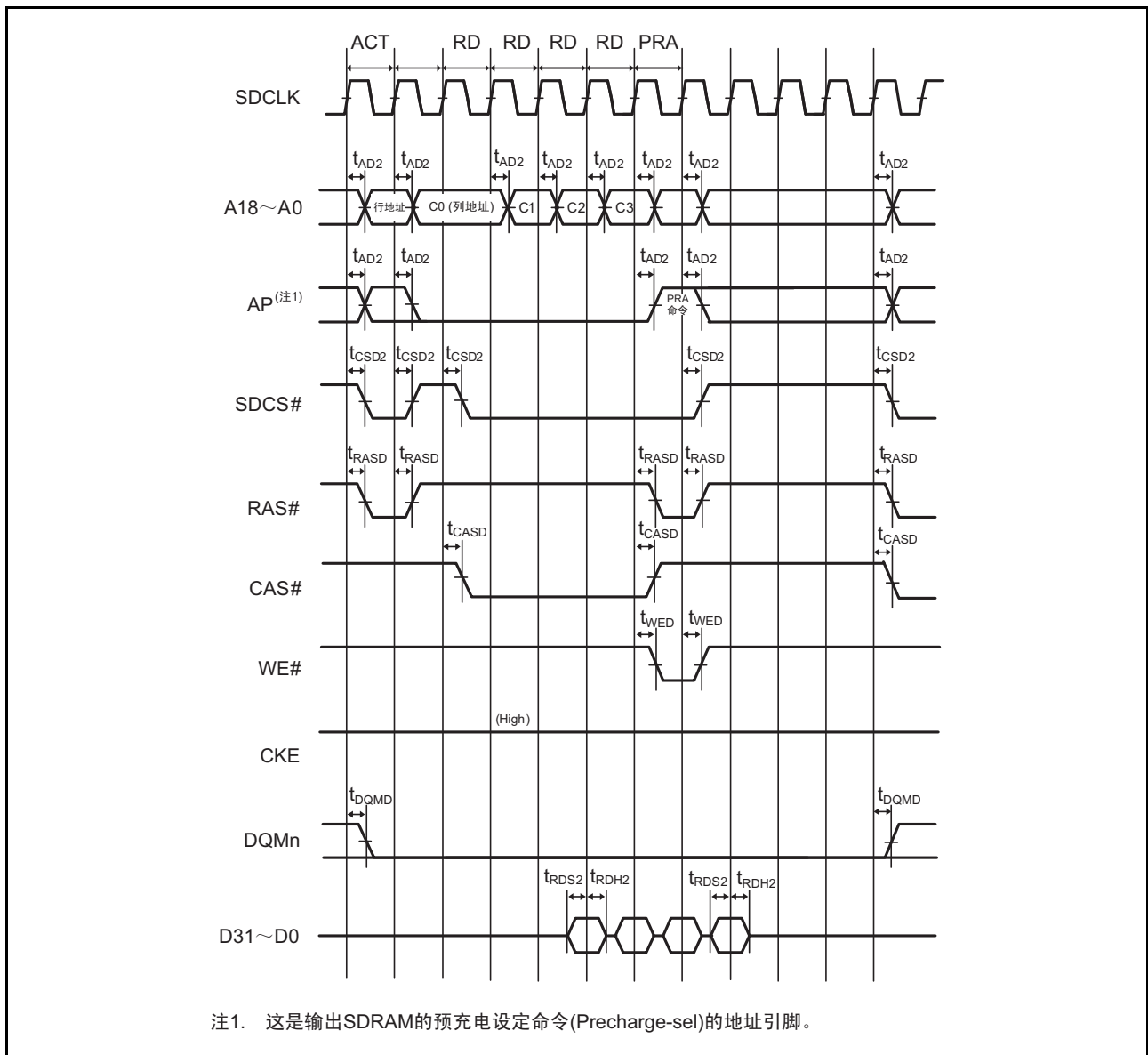


图 41.17 SDRAM 空间多次读总线时序

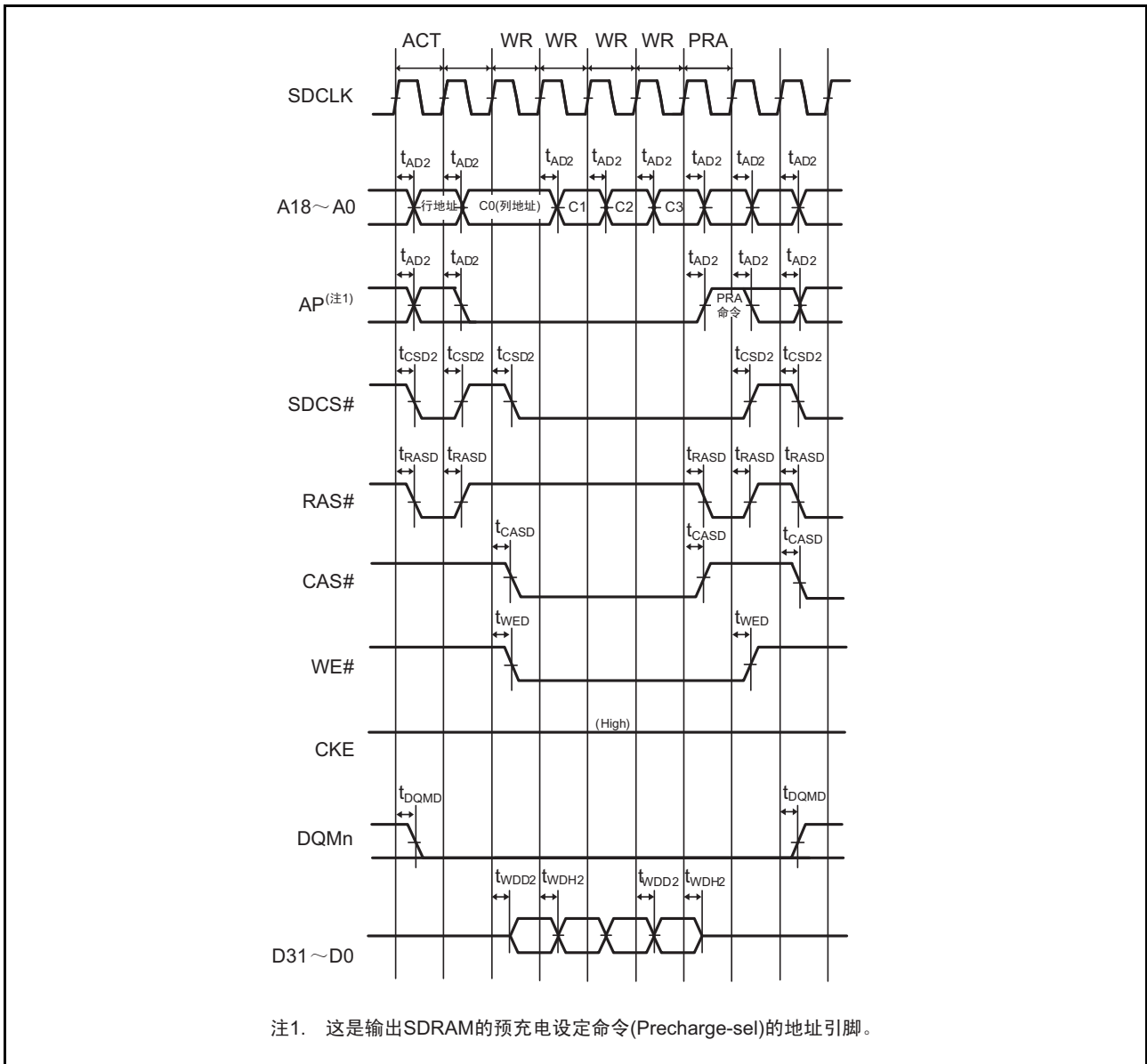


图 41.18 SDRAM 空间多次写总线时序

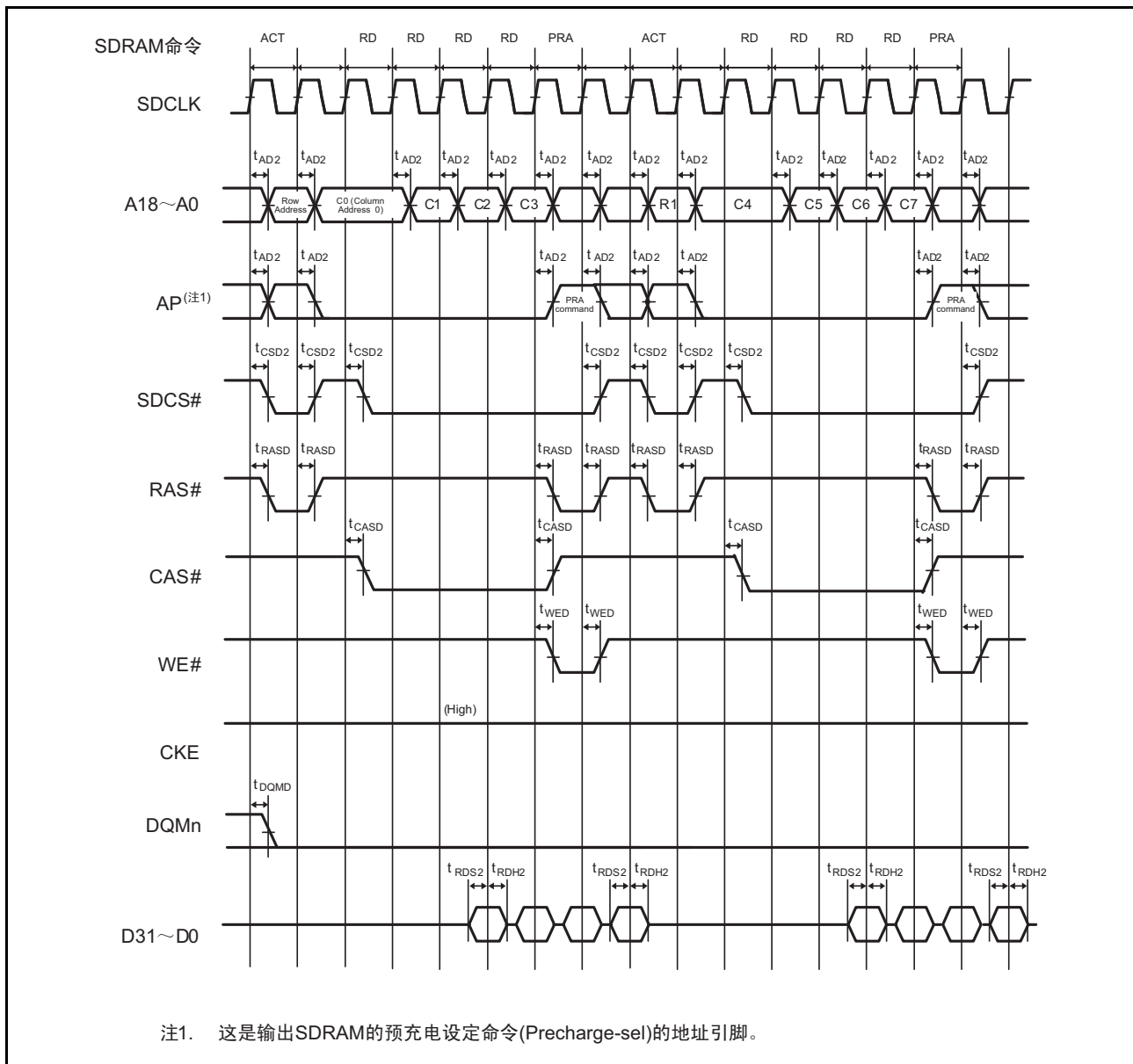


图 41.19 SDRAM 空间多次跨行读总线时序

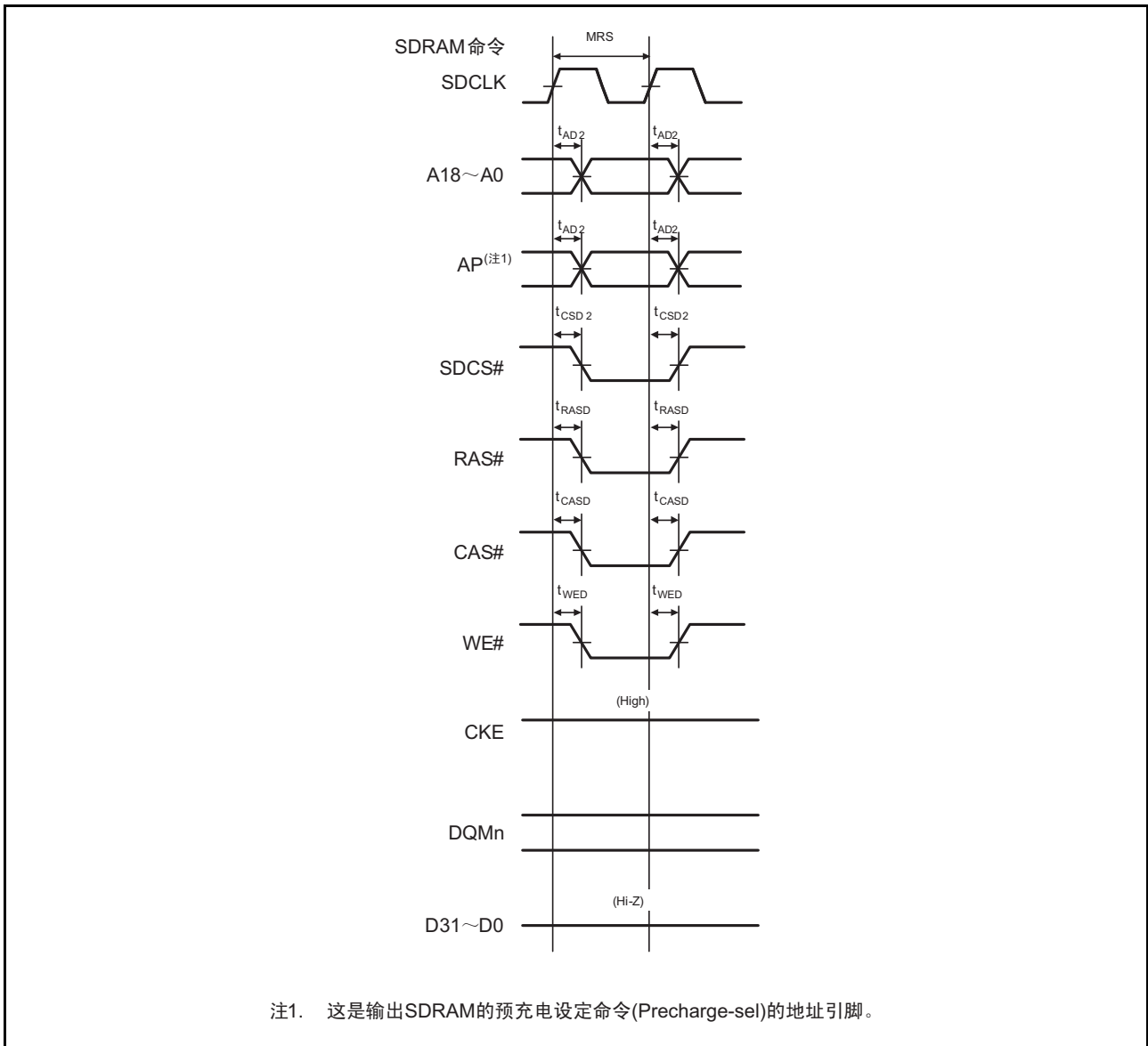


图 41.20 SDRAM 空间模式寄存器置位总线时序

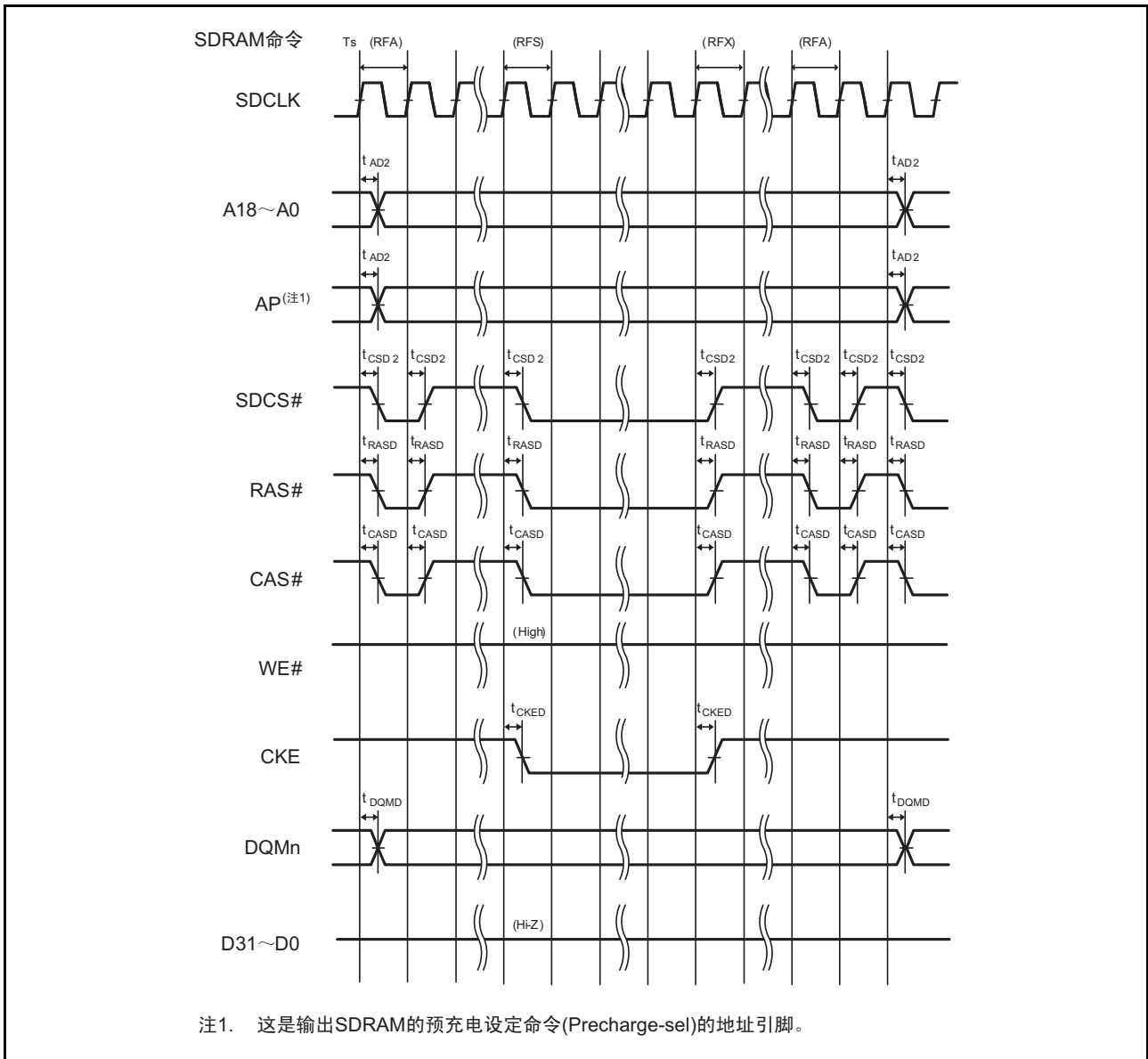


图 41.21 SDRAM 空间自刷新总线时序

41.3.4 EXDMAC 时序

表 41.12 EXDMAC 时序

条件: VCC=PLLVCC=AVCC=VCC_USB=2.7 ~ 3.6V、VREFH=2.7V ~ AVCC
 VSS=PLLVSS=AVSS=VREFL=VSS_USB=0V
 ICLK=8 ~ 100MHz、PCLK=8 ~ 50MHz、BCLK=8 ~ 100MHz、SDCLK=8 ~ 50MHz
 T_a=-40 ~ +85°C

项目	符号	min	max	单位	测量条件	
EXDMAC	EDREQ 准备时间	t _{EDRQS}	20	—	ns	图 41.22
	EDREQ 保持时间	t _{EDRQH}	5	—		
	EDACK 延迟时间	t _{EDACD}	—	15	ns	图 41.23 图 41.24

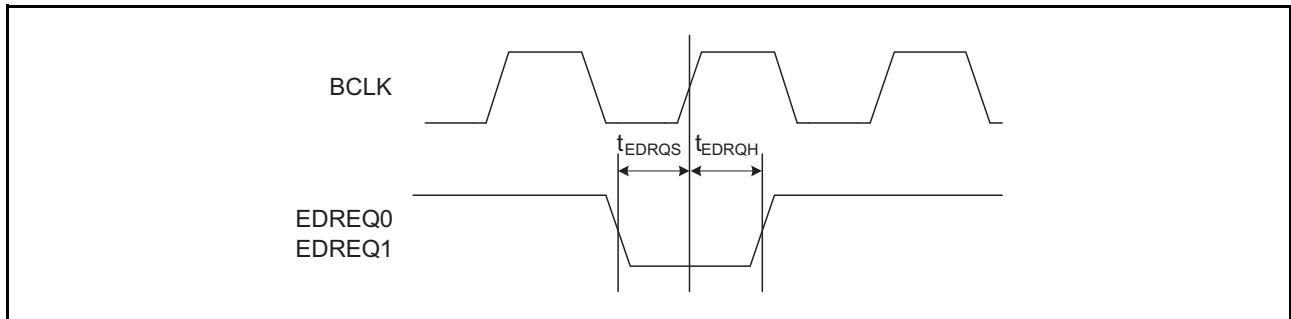


图 41.22 EDREQ0 和 EDREQ1 的输入时序

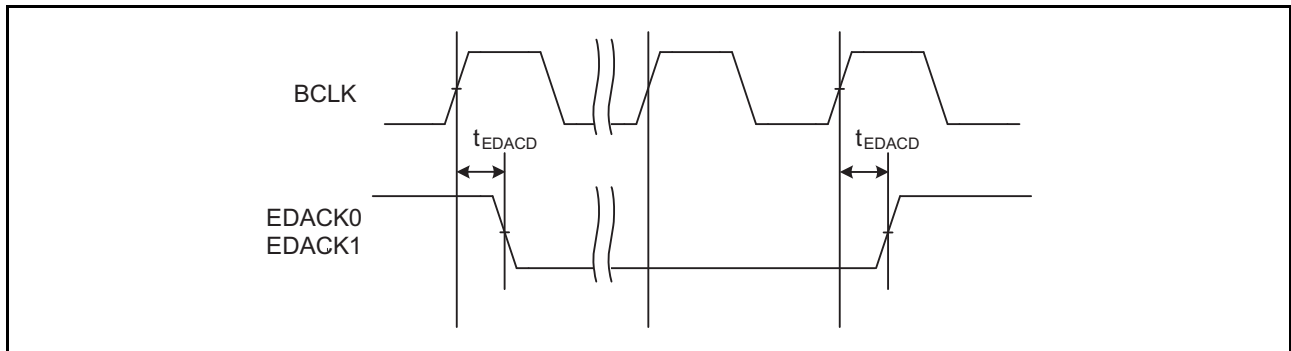


图 41.23 EDACK0 和 EDACK1 的单地址传送时序 (CS 区域)

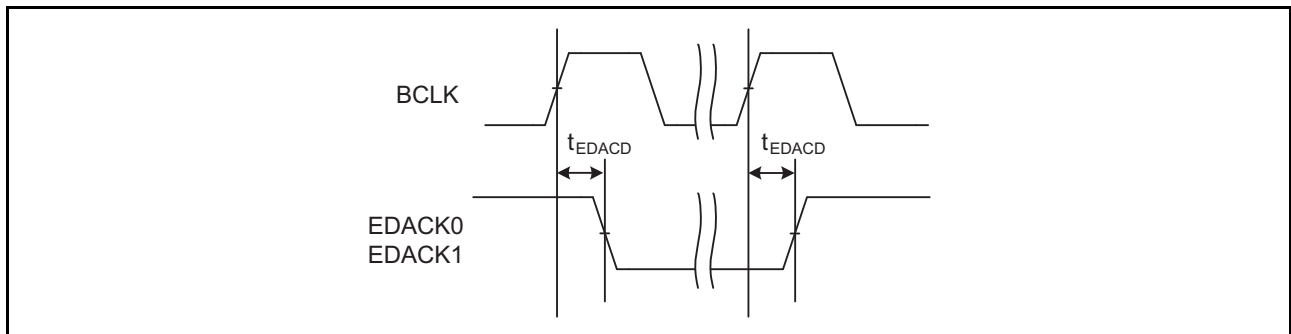


图 41.24 EDACK0 和 EDACK1 的单地址传送时序 (SDRAM 区)

41.3.5 内部外围模块的时序

表 41.13 内部外围模块的时序 (1)

条件: VCC=PLLVCC=AVCC=VCC_USB=2.7 ~ 3.6V、VREFH=2.7V ~ AVCC
 VSS=PLLVSS=AVSS=VREFL=VSS_USB=0V
 PCLK=8 ~ 50MHz
 T_a=-40 ~ +85°C

项目		符号	min	max	单位	测量条件	
I/O 端口	输出数据的延迟时间	t _{PWD}	—	40	ns	图 41.25	
	输入数据的准备时间	t _{PRS}	25	—	ns		
	输入数据的保持时间	t _{PRH}	25	—	ns		
MTU2	输出比较的输出延迟时间	t _{TOCD}	—	40	ns	图 41.26	
	输入捕捉的输入准备时间	t _{TICS}	20	—	ns		
	输入捕捉的输入脉宽 (单边沿的指定)	t _{TICW}	1.5×t _{Pcyc}	—	ns		
	输入捕捉的输入脉宽 (双边沿的指定)	t _{TICW}	2.5×t _{Pcyc}	—	ns		
	定时器输入的准备时间	t _{TCKS}	20	—	ns	图 41.27	
	定时器时钟脉宽 (单边沿的指定)	t _{TCKWH/L}	1.5×t _{Pcyc}	—	ns		
	定时器时钟脉宽 (双边沿的指定)	t _{TCKWH/L}	2.5×t _{Pcyc}	—	ns		
	定时器时钟脉宽 (相位系数模式)	t _{TCKWH/L}	2.5×t _{Pcyc}	—	ns		
POE2	POE# 输入的准备时间	t _{POES}	50	—	ns	图 41.28	
	POE# 输入脉宽	t _{POEW}	1.5×t _{Pcyc}	—	ns		
PPG	脉冲输出的延迟时间	t _{POD}	—	40	ns	图 41.29	
8 位 定时器	定时器输出的延迟时间	t _{TMOD}	—	40	ns	图 41.30	
	定时器复位输入的准备时间	t _{TMRS}	25	—	ns	图 41.31	
	定时器时钟输入的准备时间	t _{TMCS}	25	—	ns	图 41.32	
	定时器时钟脉宽	单边沿的指定 双边沿的指定	t _{TMCWH} t _{TMCWL}	1.5×t _{Pcyc} 2.5×t _{Pcyc}	— —	ns ns	
WDT	上溢输出的延迟时间	t _{WOVD}	—	40	ns	图 41.33	
SCI	输入时钟周期	异步	t _{Scyc}	4×t _{Pcyc}	—	ns	图 41.34 图 41.35
		时钟同步		6×t _{Pcyc}			
	输入时钟脉宽		t _{SCKW}	0.4×t _{Scyc}	0.6×t _{Scyc}	ns	
	输入时钟的上升时间		t _{SCKr}	—	20	ns	
	输入时钟的下降时间		t _{SCKf}	—	20	ns	
	输出时钟周期	异步	t _{Scyc}	4×t _{Pcyc}	—	ns	
		时钟同步		6×t _{Pcyc}			
	输出时钟脉宽		t _{SCKW}	0.4×t _{Scyc}	0.6×t _{Scyc}	ns	
	输出时钟的上升时间		t _{SCKr}	—	20	ns	
	输出时钟的下降时间		t _{SCKf}	—	20	ns	
	发送数据的延迟时间 (时钟同步)		t _{TXD}	—	40	ns	
接收数据的准备时间 (时钟同步)		t _{RXS}	40	—	ns		
接收数据的保持时间 (时钟同步)		t _{RXH}	40	—	ns		
A/D 转换器	10 位 A/D 转换器的触发输入的准备时间	t _{TRGS}	25	—	ns	图 41.36	
	12 位 A/D 转换器的触发输入的准备时间	t _{TRGS}	25	—	ns		

表 41.14 内部外围模块的时序 (2)

条件: VCC=PLLVC=AVCC=VCC_USB=2.7 ~ 3.6V、VREFH=2.7V ~ AVCC
 VSS=PLLVS=AVSS=VREFL=VSS_USB=0V
 PCLK=8 ~ 50MHz
 T_a=-40 ~ +85°C

项目		符号	min	max	单位	测量条件		
CAN	发送数据的延迟时间	t _{CTXD}	—	40.0	ns	图 41.37		
	接收数据的准备时间	t _{CRXS}	40.0	—	ns			
	接收数据的保持时间	t _{CRXH}	40.0	—	ns			
RSPI	RSPCK 时钟周期	主控	t _{SPcyc}	2	4096	t _{PCyc} (注 1)	图 41.38	
			从属	8	4096			
	RSPCK 时钟的 High 电平脉宽	主控	t _{SPCKWH}	$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF})/2 - 3$	—	ns		
		从属		$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF})/2$	—			
	RSPCK 时钟的 Low 电平脉宽	主控	t _{SPCKWL}	$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF})/2 - 3$	—	ns		
		从属		$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF})/2$	—			
	RSPCK 时钟的上升 / 下降时间	输出 [176 引脚 LFBGA/ 145 引脚 TFLGA/ 144 引脚 LQFP]	t _{SPCKr} , t _{SPCKf}	—	5	ns		
		输出 [100 引脚 LQFP/ 85 引脚 TFLGA]		—	10			
		输入		—	1			μs
	数据输入的准备时间	主控 [176 引脚 LFBGA/ 145 引脚 TFLGA/ 144 引脚 LQFP]	t _{SU}	16	—	ns		图 41.39 ~ 图 41.42
		主控 [100 引脚 LQFP/ 85 引脚 TFLGA]		30	—			
		从属		20-2×t _{PCyc}	—			
	数据输入的保持时间	主控	t _H	0	—	ns		
		从属		20+2×t _{PCyc}	—			
	SSL 准备时间	主控	t _{LEAD}	1	8	t _{SPcyc}		
		从属		4	—	t _{PCyc}		
	SSL 保持时间	主控	t _{LAG}	1	8	t _{SPcyc}		
		从属		4	—	t _{PCyc}		
	数据输出的延迟时间	主控 [176 引脚 LFBGA/ 145 引脚 TFLGA/ 144 引脚 LQFP]	t _{OD}	—	20	ns		
		主控 [100 引脚 LQFP/ 85 引脚 TFLGA]		—	30			
从属 [176 引脚 LFBGA/ 145 引脚 TFLGA/ 144 引脚 LQFP]		—		3×t _{PCyc} +40				
从属 [100 引脚 LQFP/ 85 引脚 TFLGA]		—		3×t _{PCyc} +50				

注 1. t_{PCyc}: PCLK 的周期

表 41.15 内部外围模块的时序 (3)

条件: VCC=PLLVC=AVCC=VCC_USB=2.7 ~ 3.6V、VREFH=2.7V ~ AVCC
 VSS=PLLSS=AVSS=VREFL=VSS_USB=0V
 PCLK=8 ~ 50MHz
 T_a=-40 ~ +85°C

项目		符号	min	max	单位	测量条件	
RSPI	数据输出的保持时间	主控	t _{OH}	0	—	ns	图 41.39 ~ 图 41.42
		从属		0	—		
	连续发送的延迟时间	主控	t _{TD}	t _{SPcyc} +2×t _{Pcyc}	8×t _{SPcyc} +2×t _{Pcyc}	ns	
		从属		4×t _{Pcyc}	—		
	MOSI 和 MISO 的 上升 / 下降时间	输出 [176 引脚 LFBGA/ 145 引脚 TFLGA/ 144 引脚 LQFP]	t _{Dr} 、 t _{Df}	—	5	ns	
		输出 [100 引脚 LQFP/ 85 引脚 TFLGA]		—	10		
		输入		—	1	μs	
	SSL 上升 / 下降时间	输出 [176 引脚 LFBGA 145 引脚 TFLGA 144 引脚 LQFP]	t _{SSLr} 、 t _{SSLf}	—	5	ns	
		输出 [100 引脚 LQFP/ 85 引脚 TFLGA]		—	10		
		输入		—	1	μs	
从属存取时间		t _{SA}	—	4	t _{Pcyc}	图 41.41、 图 41.42	
从属输出释放时间		t _{REL}	—	3	t _{Pcyc}		

注 1. t_{Pcyc}: PCLK 的周期

表 41.16 内部外围模块的时序 (4)

条件: VCC=PLLVC=AVCC=VCC_USB=2.7 ~ 3.6V、VREFH=2.7V ~ AVCC
 VSS=PLLVS=AVSS=VREFL=VSS_USB=0V
 PCLK=8 ~ 50MHz
 T_a=-40 ~ +85°C

项目		符号	min (注1、注2)	max	单位	测量条件
RIIC (Standard-mode、SMBus) ICFER.FMPE=0	SCL 输入的周期时间	t _{SCL}	6(12) × t _{II} C _{cyc} + 1300	—	ns	图 41.43
	SCL 输入的 High 电平脉宽	t _{SCLH}	3(6) × t _{II} C _{cyc} + 300	—	ns	
	SCL 输入的 Low 电平脉宽	t _{SCLL}	3(6) × t _{II} C _{cyc} + 300	—	ns	
	SCL 输入和 SDA 输入的上升时间	t _{Sr}	—	1000	ns	
	SCL 输入和 SDA 输入的下降时间	t _{Sf}	—	300	ns	
	SCL 输入和 SDA 输入尖峰脉冲的消除时间	t _{SP}	0	1(4) × t _{II} C _{cyc}	ns	
	SDA 输入的总线空闲时间	t _{BUF}	3(6) × t _{II} C _{cyc} + 300	—	ns	
	开始条件输入的保持时间	t _{STAH}	t _{II} C _{cyc} + 300	—	ns	
	重新开始条件输入的准备时间	t _{STAS}	1000	—	ns	
	停止条件输入的准备时间	t _{STOS}	1000	—	ns	
	数据输入的准备时间	t _{SDAS}	t _{II} C _{cyc} + 50	—	ns	
	数据输入的保持时间	t _{SDAH}	0	—	ns	
	SCL 和 SDA 的电容性负载	C _b	—	400	pF	
RIIC (Fast-mode)	SCL 输入的周期时间	t _{SCL}	6(12) × t _{II} C _{cyc} + 600	—	ns	
	SCL 输入的 High 电平脉宽	t _{SCLH}	3(6) × t _{II} C _{cyc} + 300	—	ns	
	SCL 输入的 Low 电平脉宽	t _{SCLL}	3(6) × t _{II} C _{cyc} + 300	—	ns	
	SCL 输入和 SDA 输入的上升时间	t _{Sr}	20+0.1C _b	300	ns	
	SCL 输入和 SDA 输入的下降时间	t _{Sf}	20+0.1C _b	300	ns	
	SCL 输入和 SDA 输入尖峰脉冲的消除时间	t _{SP}	0	1(4) × t _{II} C _{cyc}	ns	
	SDA 输入的总线空闲时间	t _{BUF}	3(6) × t _{II} C _{cyc} + 300	—	ns	
	开始条件输入的保持时间	t _{STAH}	t _{II} C _{cyc} + 300	—	ns	
	重新开始条件输入的准备时间	t _{STAS}	300	—	ns	
	停止条件输入的准备时间	t _{STOS}	300	—	ns	
	数据输入的准备时间	t _{SDAS}	t _{II} C _{cyc} + 50	—	ns	
	数据输入的保持时间	t _{SDAH}	0	—	ns	
	SCL 和 SDA 的电容性负载	C _b	—	400	pF	
RIIC (Fast-mode+) ICFER.FMPE=1	SCL 输入的周期时间	t _{SCL}	6(12) × t _{II} C _{cyc} + 240	—	ns	
	SCL 输入的 High 电平脉宽	t _{SCLH}	3(6) × t _{II} C _{cyc} + 120	—	ns	
	SCL 输入的 Low 电平脉宽	t _{SCLL}	3(6) × t _{II} C _{cyc} + 120	—	ns	
	SCL 输入和 SDA 输入的上升时间	t _{Sr}	—	120	ns	
	SCL 输入和 SDA 输入的下降时间	t _{Sf}	—	120	ns	
	SCL 和 SDA 输入尖峰脉冲的消除时间	t _{SP}	0	1(4) × t _{II} C _{cyc}	ns	
	SDA 输入的总线空闲时间	t _{BUF}	3(6) × t _{II} C _{cyc} + 120	—	ns	
	开始条件输入的保持时间	t _{STAH}	t _{II} C _{cyc} + 120	—	ns	
	重新开始条件输入的准备时间	t _{STAS}	120	—	ns	
	停止条件输入的准备时间	t _{STOS}	120	—	ns	
	数据输入的准备时间	t _{SDAS}	t _{II} C _{cyc} + 20	—	ns	
	数据输入的保持时间	t _{SDAH}	0	—	ns	
	SCL 和 SDA 的电容性负载	C _b	—	550	pF	

注. t_{II}C_{cyc}: RIIC 的内部基准时钟 (IIC_φ) 的周期

注1. () 内的数值表示在 ICFER.NFE 为 “1” 并且将数字滤波器置为有效的状态下 ICMR3.NF[1:0] 为 “11b” 的情况。

注2. C_b 是总线的电容总和。

表 41.17 内部外围模块的时序 (5)

条件: VCC=PLLVCC=AVCC=VCC_USB=2.7 ~ 3.6V、VREFH=2.7V ~ AVCC
 VSS=PLLVSS=AVSS=VREFL=VSS_USB=0V
 ICLK=12.5 ~ 100MHz
 T_a=-40 ~ +85°C

项目		符号	min	max	单位	测量条件
ETHERC (RMII)	REF50CK 周期时间	T _{ck}	20	—	ns	图 41.44 ~ 图 41.47
	REF50CK 频率 Typ. 50MHz	—	—	50+ 100ppm	MHz	
	REF50CK 占空比	—	35	65	%	
	REF50CK 上升 / 下降时间	T _{ckr/ckf}	0.5	3.5	ns	
	RMII_xxxx (注1) 输出的延迟时间	T _{co}	2.5	12.5	ns	
	RMII_xxxx (注2) 准备时间	T _{su}	3	—	ns	
	RMII_xxxx (注2) 保持时间	T _{hd}	1	—	ns	
	RMII_xxxx (注1)(注2) 上升 / 下降时间	Tr/Tf	0.5	6	ns	
	ET_MDIO 准备时间	t _{MDIOs}	10	—	ns	图 41.48
	ET_MDIO 保持时间	t _{MDIOh}	10	—	ns	
	ET_MDIO 输出数据的保持时间 (注3)	t _{MDIOdh}	5	—	ns	图 41.49
	ET_WOL 输出的延迟时间	t _{WOLd}	1	20	ns	图 41.50
	ETHERC (MII)	ET_TX_CLK 周期时间	t _{Tcyc}	40	—	ns
ET_TX_EN 输出的延迟时间		t _{TENd}	1	20	ns	图 41.51
ET_ETXD0 ~ ET_ETXD3 输出的延迟时间		t _{MTDd}	1	20	ns	
ET_CRs 准备时间		t _{CRSs}	10	—	ns	
ET_CRs 保持时间		t _{CRSh}	10	—	ns	
ET_COL 准备时间		t _{COLs}	10	—	ns	图 41.52
ET_COL 保持时间		t _{COLh}	10	—	ns	
ET_RX_CLK 周期时间		t _{TRcyc}	40	—	ns	—
ET_RX_DV 准备时间		t _{RDVs}	10	—	ns	图 41.53
ET_RX_DV 保持时间		t _{RDVh}	10	—	ns	
ET_ERXD0 ~ ET_ERXD3 准备时间		t _{MRDs}	10	—	ns	
ET_ERXD0 ~ ET_ERXD3 保持时间		t _{MRDh}	10	—	ns	
ET_RX_ER 准备时间		t _{RERs}	10	—	ns	图 41.54
ET_RX_ER 保持时间		t _{RESh}	10	—	ns	
ET_MDIO 准备时间		t _{MDIOs}	10	—	ns	图 41.55
ET_MDIO 保持时间		t _{MDIOh}	10	—	ns	
ET_MDIO 输出数据的保持时间		t _{MDIOdh}	5	—	ns	图 41.56
ET_WOL 输出的延迟时间	t _{WOLd}	1	20	ns	图 41.57	

注 1. RMII_TXD_EN、RMII_TXD1、RMII_TXD0

注 2. RMII_CRs_DV、RMII_RXD1、RMII_RXD0、RMII_RX_ER

注 3. 为了满足此规定，用户需要通过程序进行设定。

表 41.18 内部外围模块的时序 (6)

条件: VCC=PLLVCC=AVCC=VCC_USB=2.7 ~ 3.6V、VREFH=2.7V ~ AVCC
 VSS=PLLVSS=AVSS=VREFL=VSS_USB=0V
 T_a=-40 ~ +85°C

项目	符号	min	typ	max	单位	测量条件
TCK 时钟的周期时间	t _{TCKcyc}	100	—	—	ns	图 41.58
TCK 时钟的 High 电平脉宽	t _{TCKH}	45	—	—	ns	
TCK 时钟的 Low 电平脉宽	t _{TCKL}	45	—	—	ns	
TCK 时钟的上升时间	t _{TCKr}	—	—	5	ns	
TCK 时钟的下降时间	t _{TCKf}	—	—	5	ns	
TRST# 脉宽	t _{TRSTW}	20	—	—	t _{TCKcyc}	图 41.59
TMS 准备时间	t _{TMSS}	20	—	—	ns	图 41.60
TMS 保持时间	t _{TMSH}	20	—	—	ns	
TDI 准备时间	t _{TDIS}	20	—	—	ns	
TDI 保持时间	t _{TDIH}	20	—	—	ns	
TDO 数据的延迟时间	t _{TDOD}	—	—	40	ns	

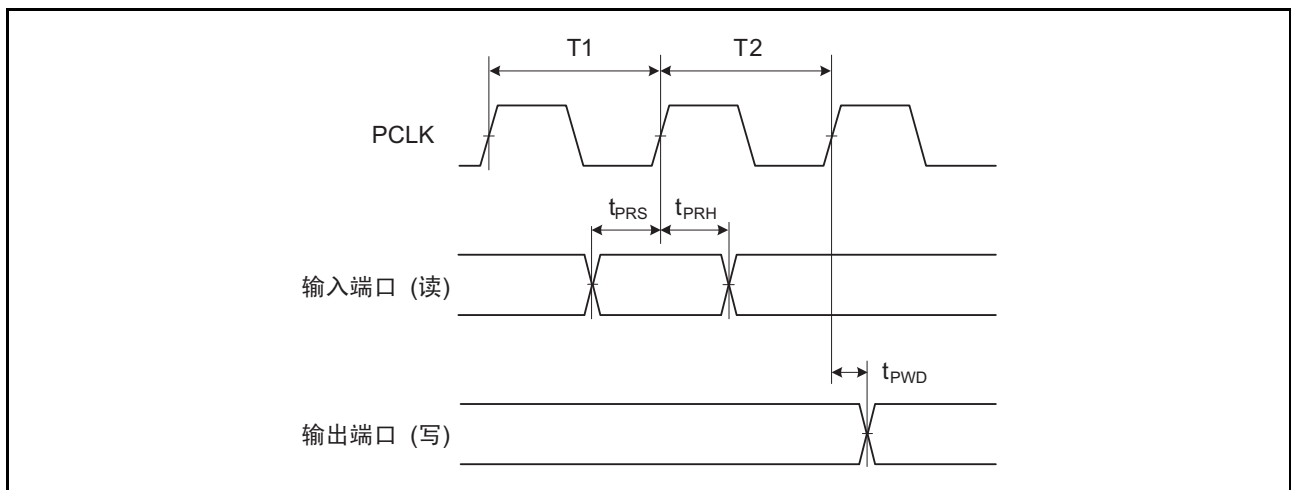


图 41.25 I/O 端口输入 / 输出的时序

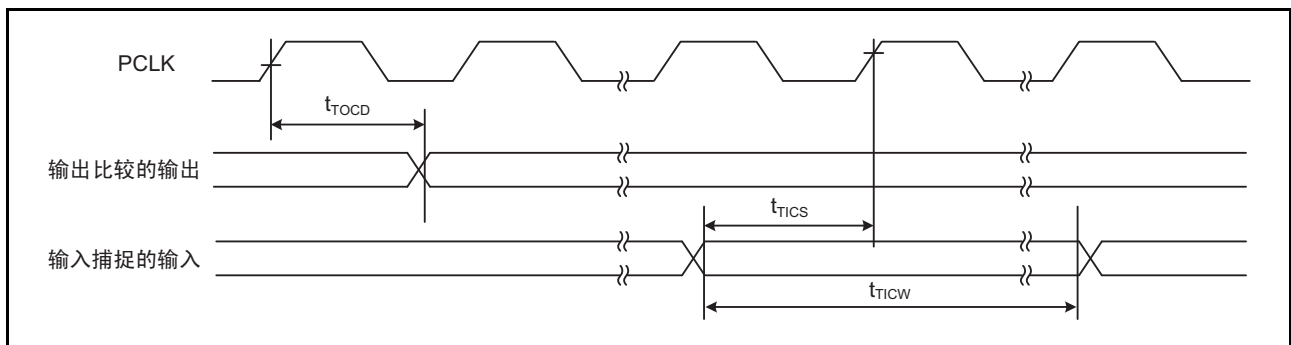


图 41.26 MTU2 输入 / 输出的时序

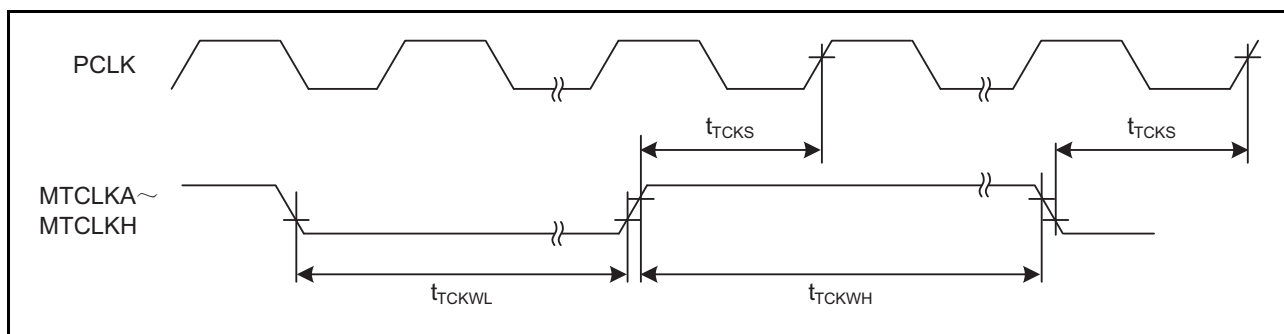


图 41.27 MTU2 时钟输入的时序

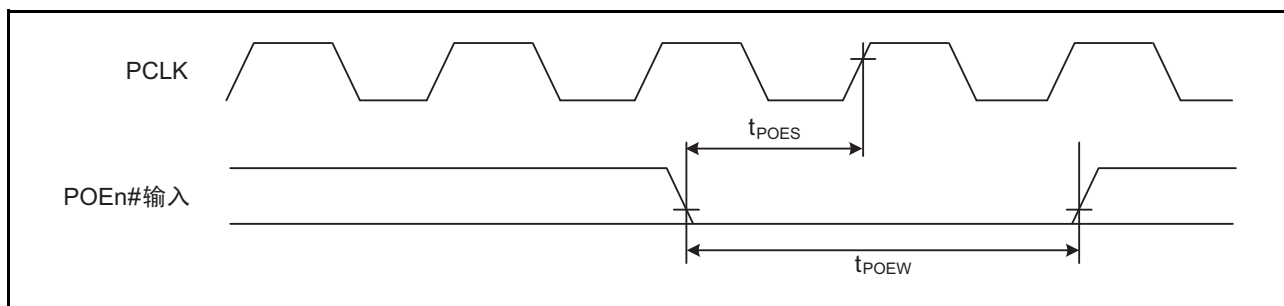


图 41.28 POE# 输入的时序

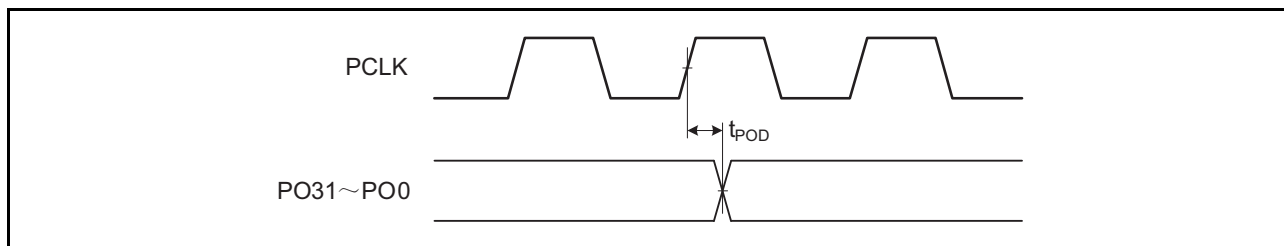


图 41.29 PPG 输出的时序

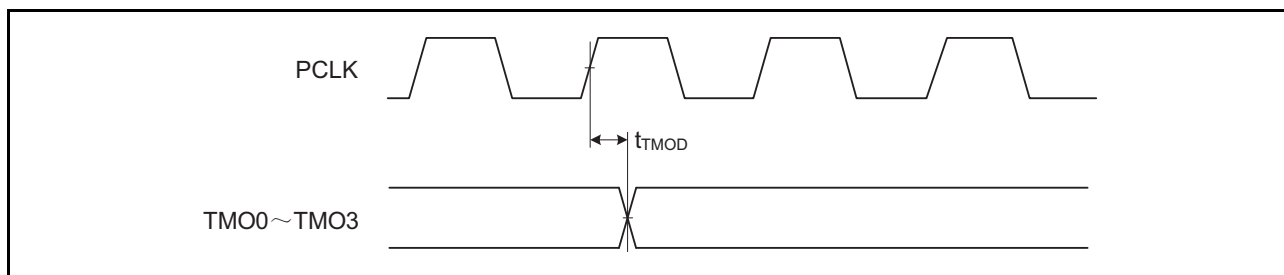


图 41.30 8 位定时器输出的时序

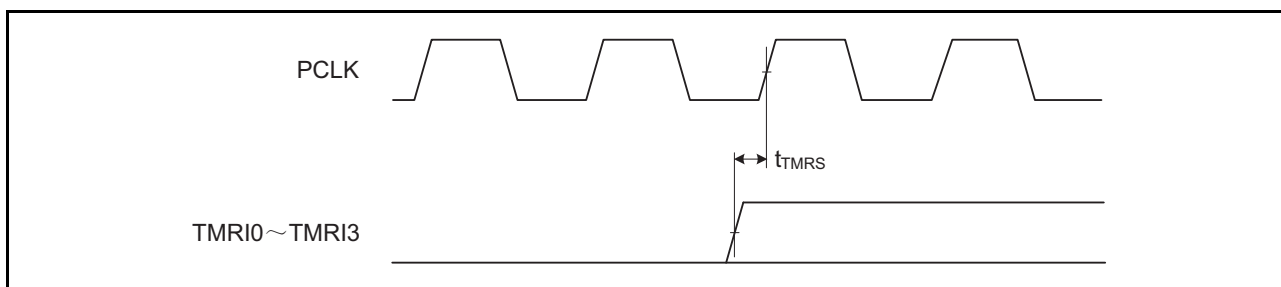


图 41.31 8 位定时器复位输入的时序

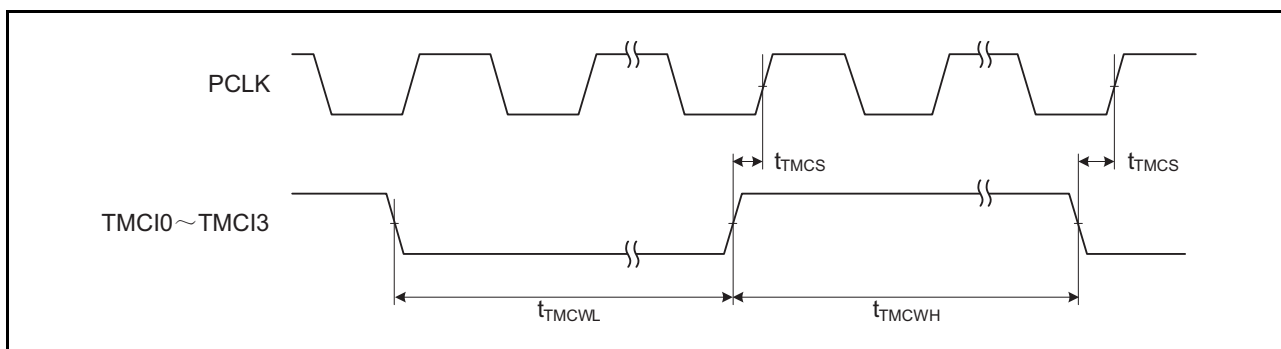


图 41.32 8 位定时器时钟输入的时序

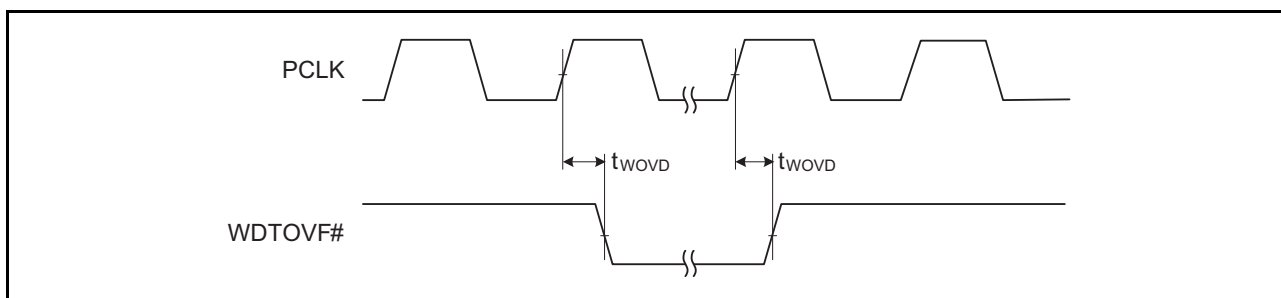


图 41.33 WDT 输出的时序

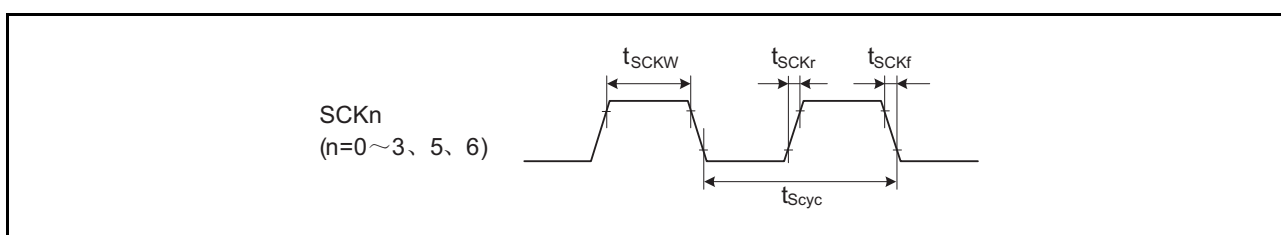


图 41.34 SCK 时钟输入的时序

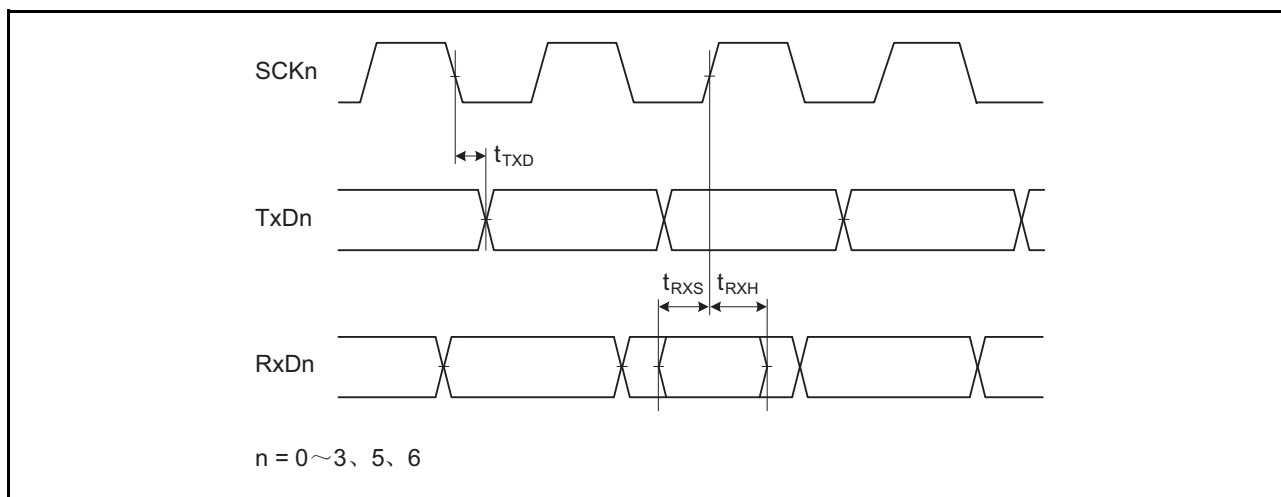


图 41.35 SCI 输入 / 输出的时序 / 时钟同步模式

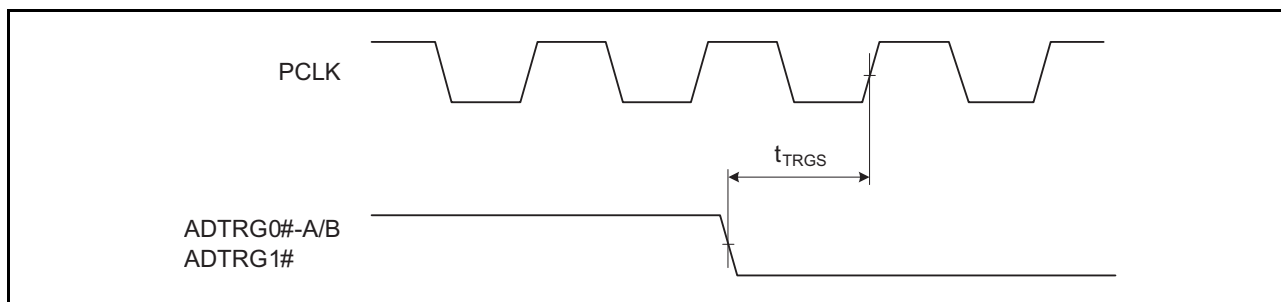


图 41.36 A/D 转换器外部触发输入的时序

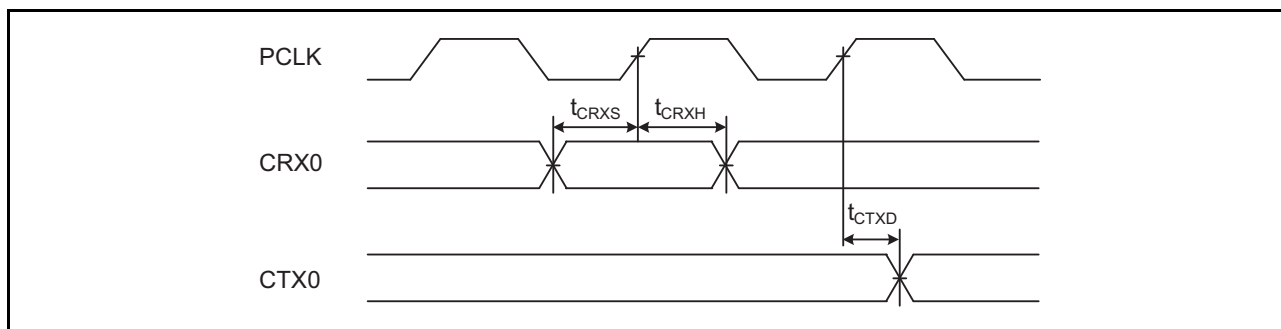


图 41.37 CAN 输入 / 输出的时序

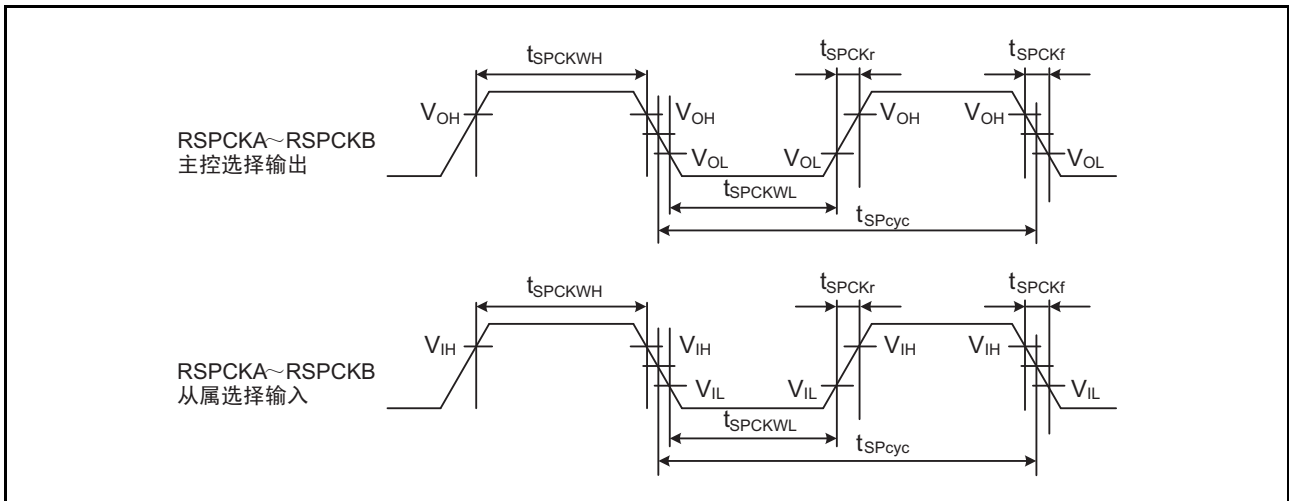


图 41.38 RSPCKA~RSPCKB 时钟时序

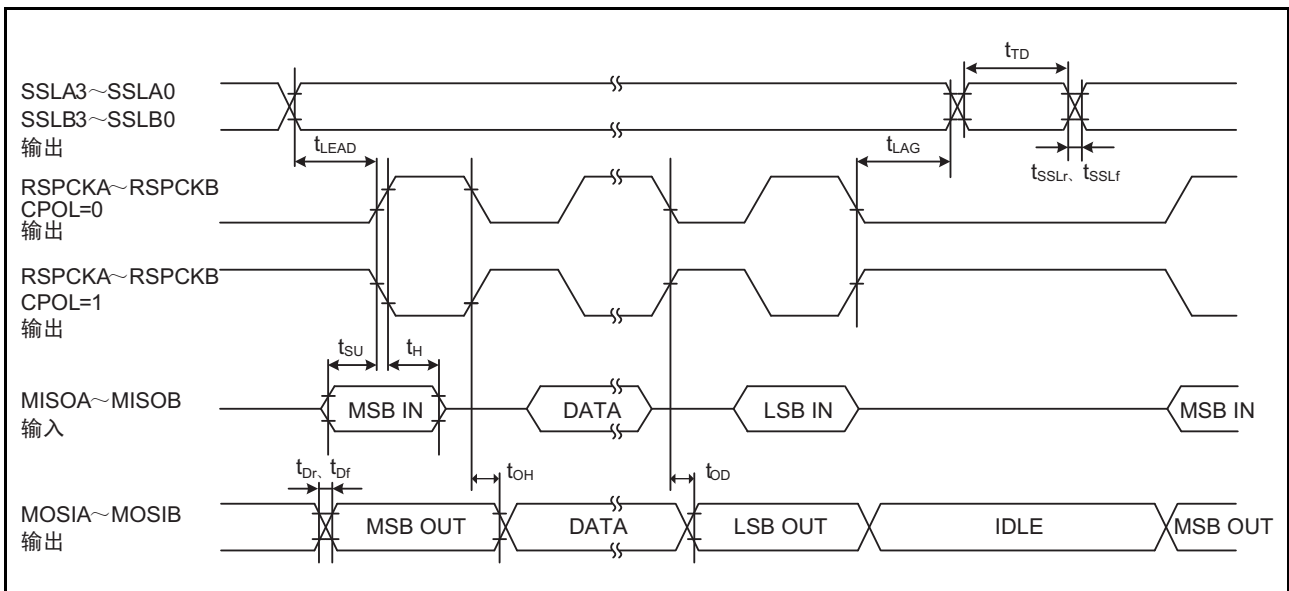


图 41.39 RSPCKA~RSPCKB 时序 (主控, CPHA=0)

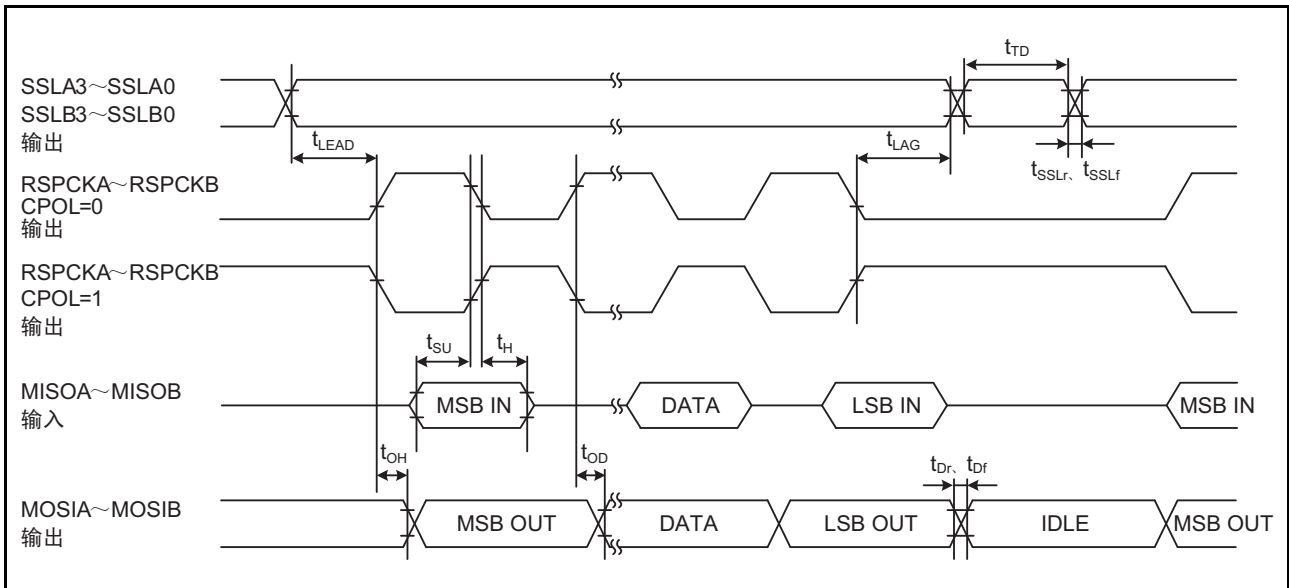


图 41.40 RSPI 时序 (主控, CPHA=1)

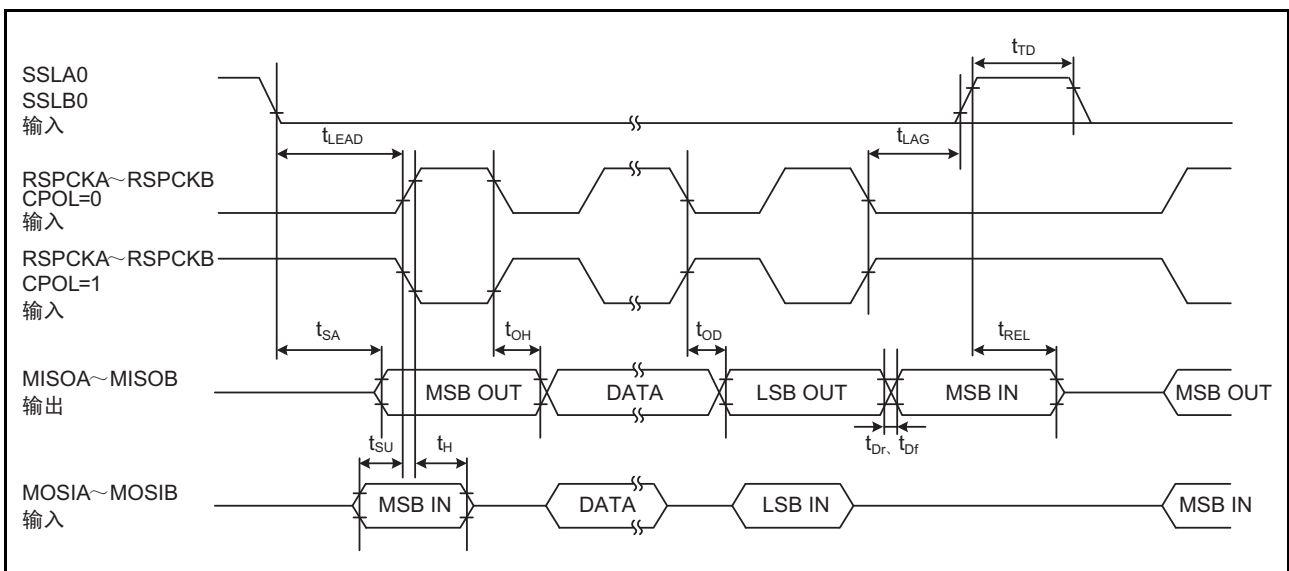


图 41.41 RSPI 时序 (从属, CPHA=0)

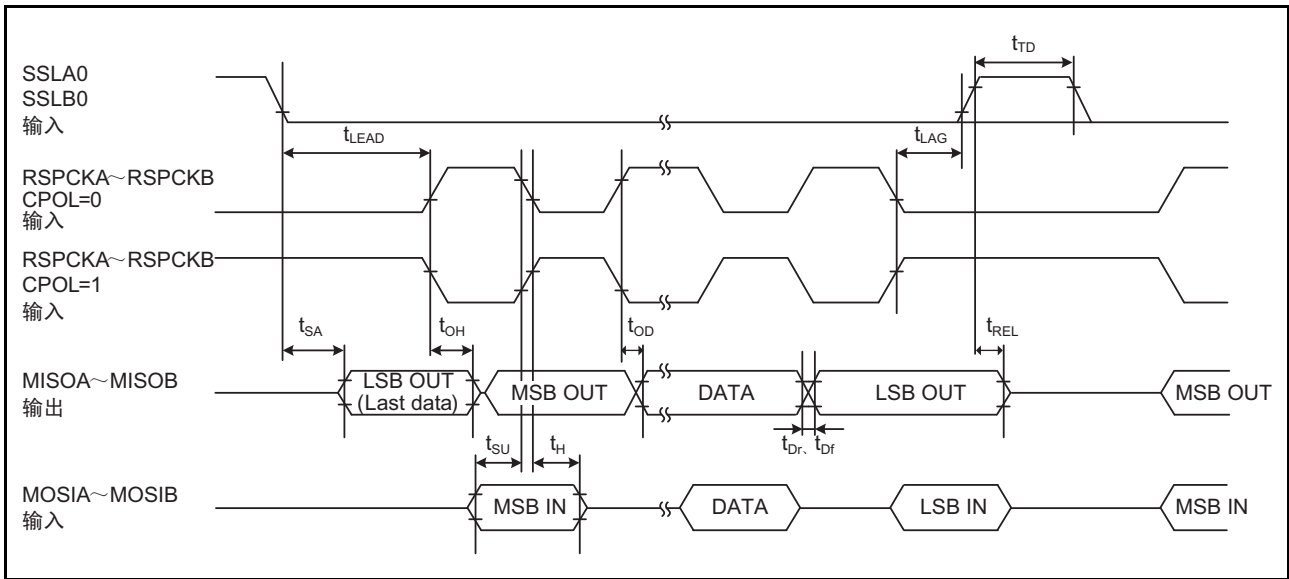


图 41.42 RSPI 时序 (从属, CPHA=1)

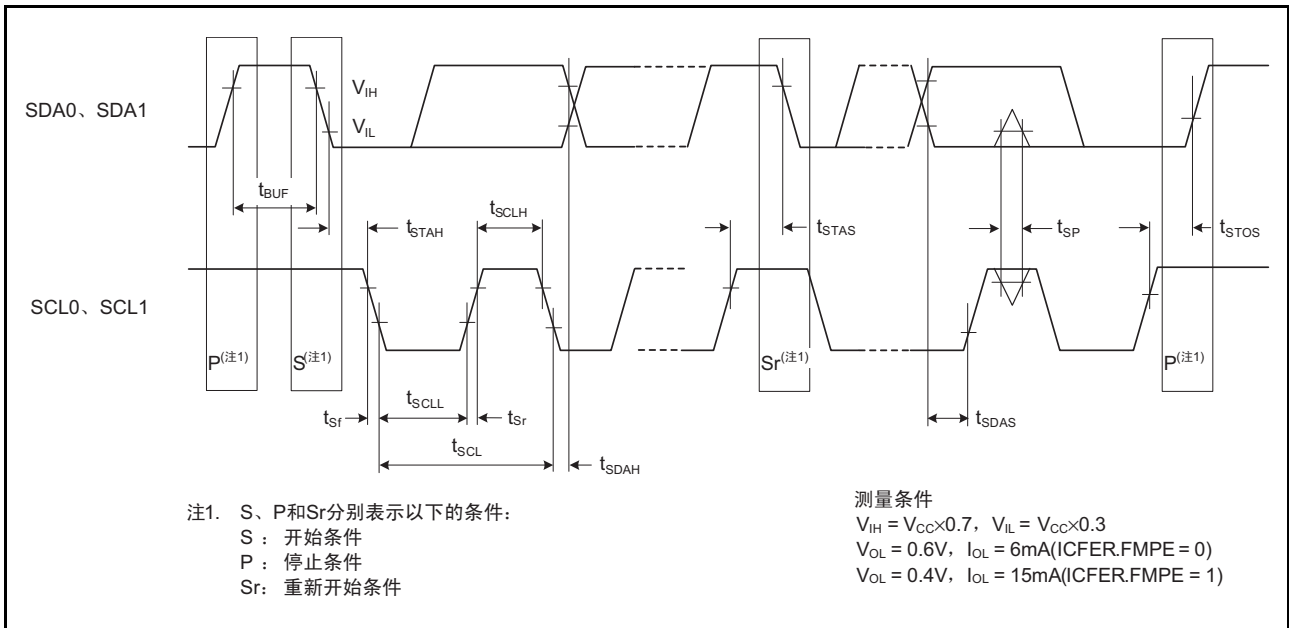


图 41.43 I²C 总线接口输入 / 输出的时序

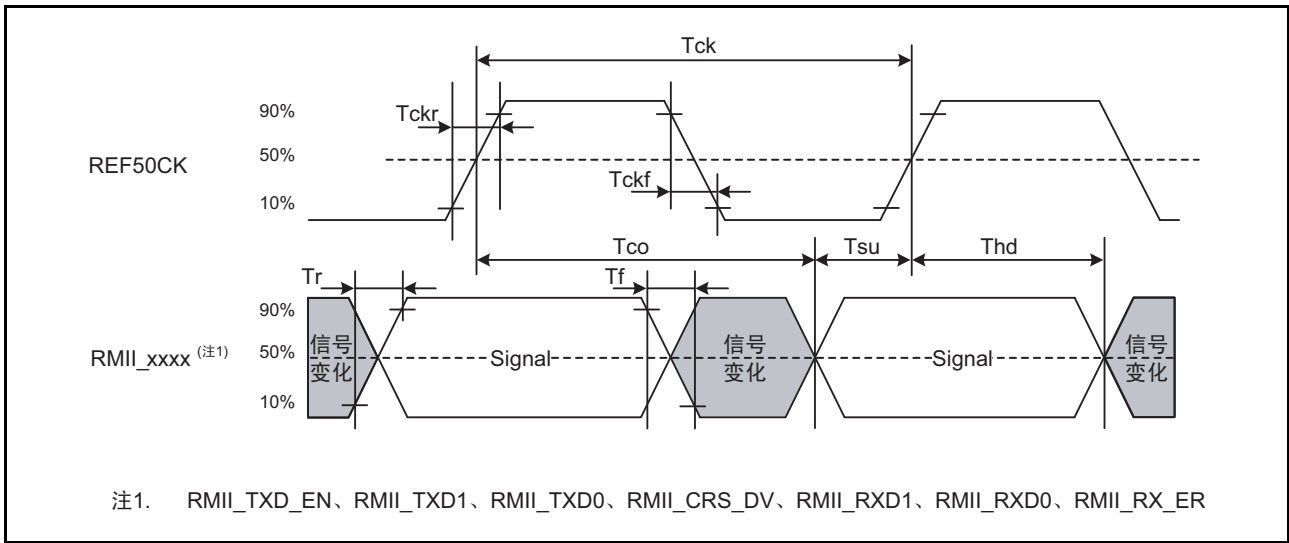


图 41.44 REF50CK 和 RMII 信号的时序

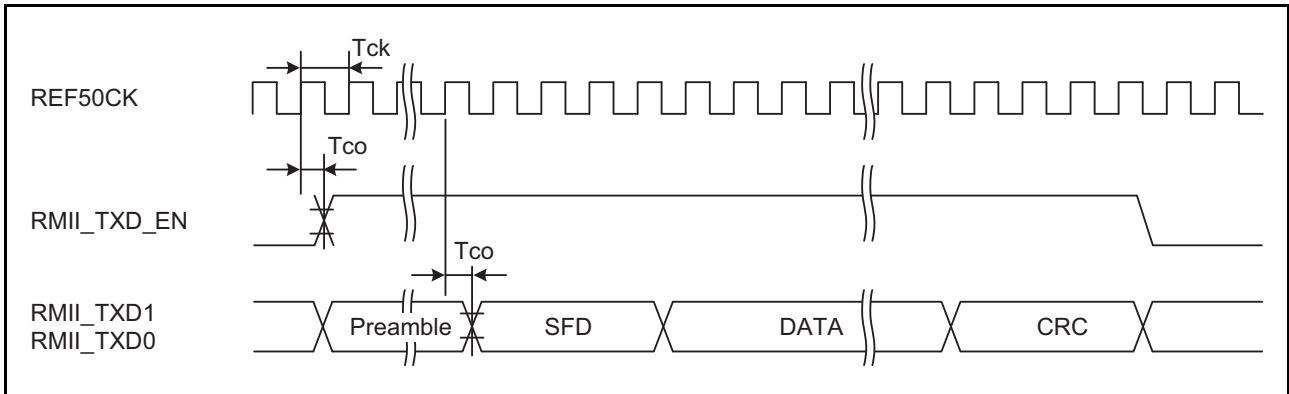


图 41.45 RMII 发送的时序

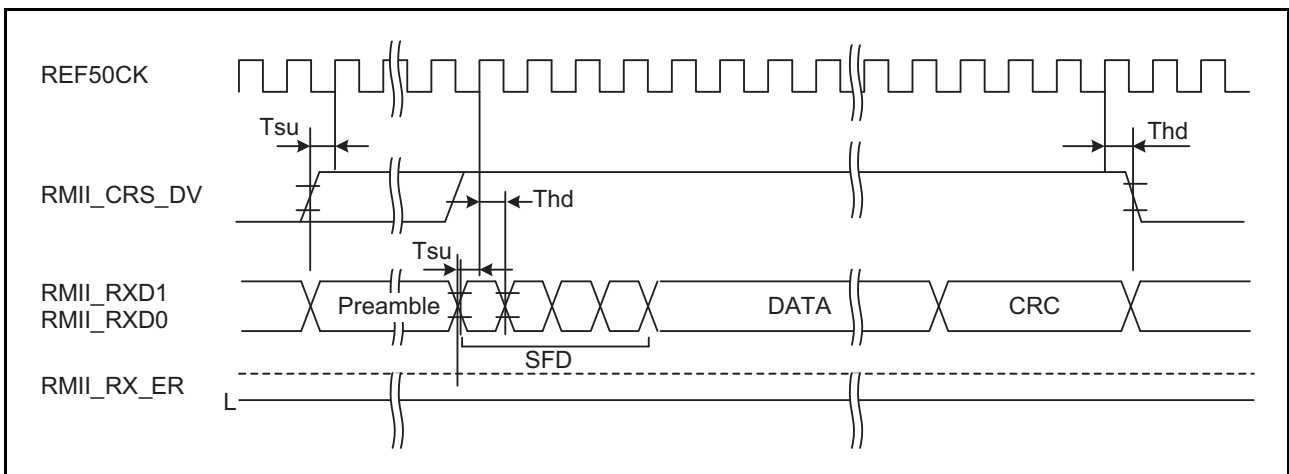


图 41.46 RMII 接收的时序（正常运行的情况）

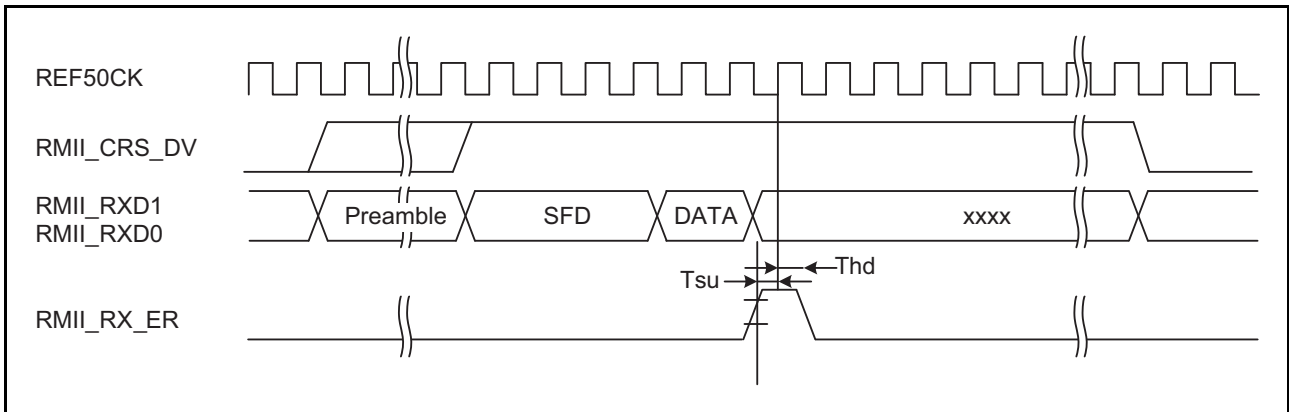


图 41.47 RMII 接收的时序（发生错误的情况）

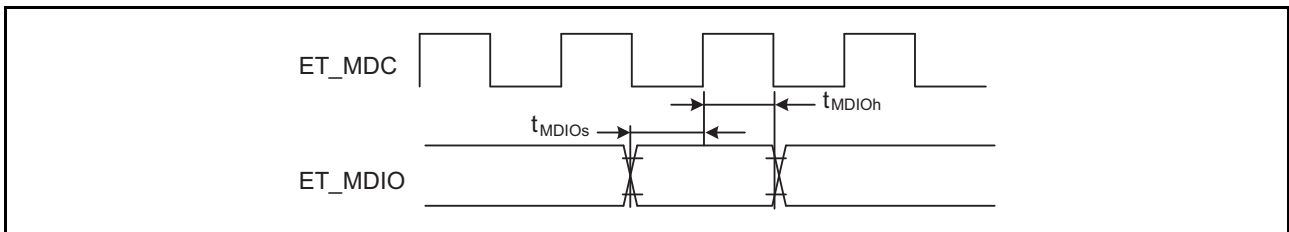


图 41.48 MDIO 输入的时序（RMII）

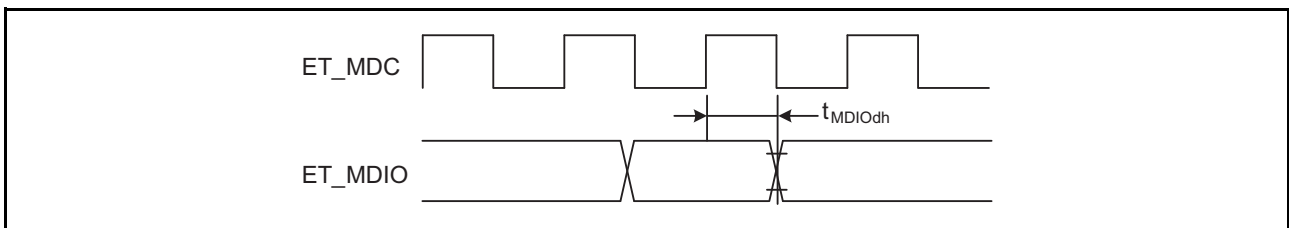


图 41.49 MDIO 输出的时序（RMII）

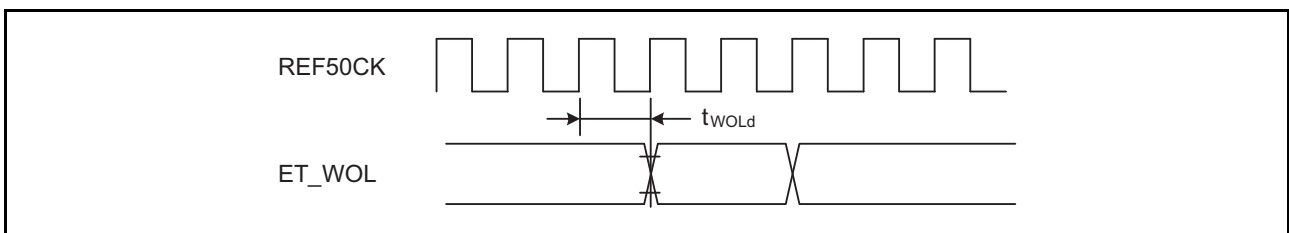


图 41.50 WOL 输出的时序（RMII）

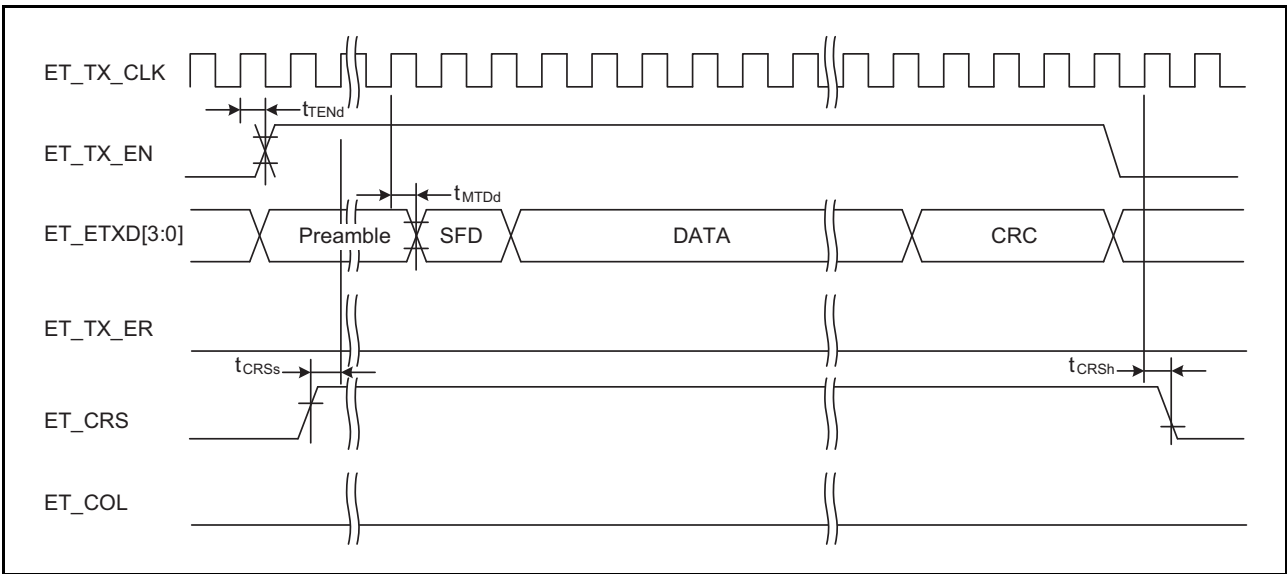


图 41.51 MII 发送的时序（正常运行的情况）

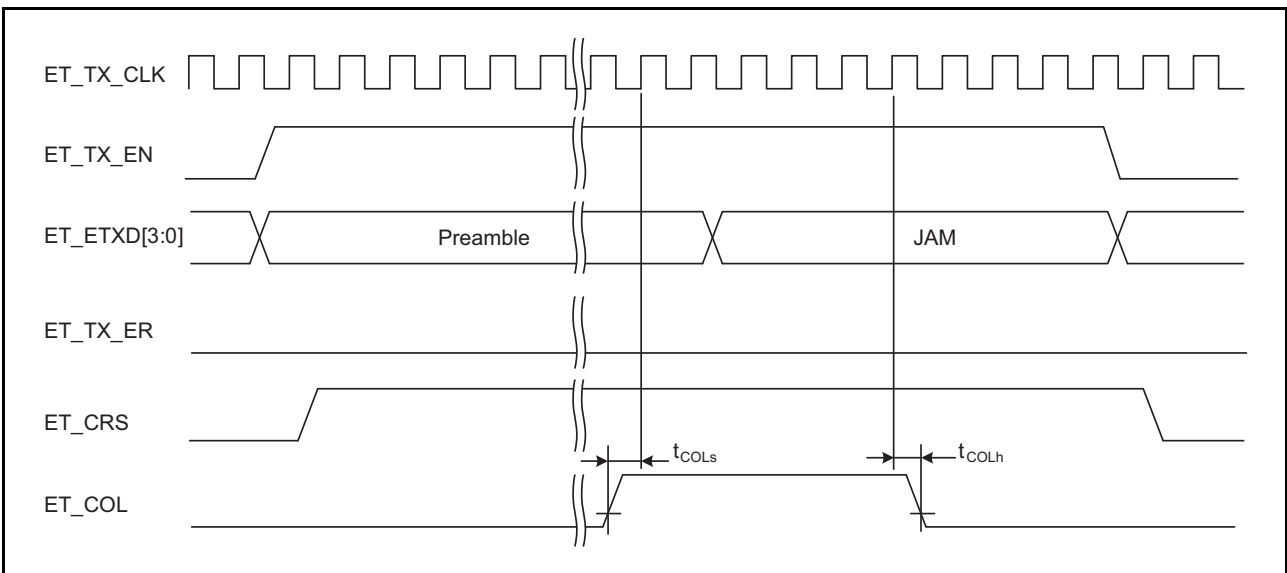


图 41.52 MII 发送的时序（发生冲突的情况）

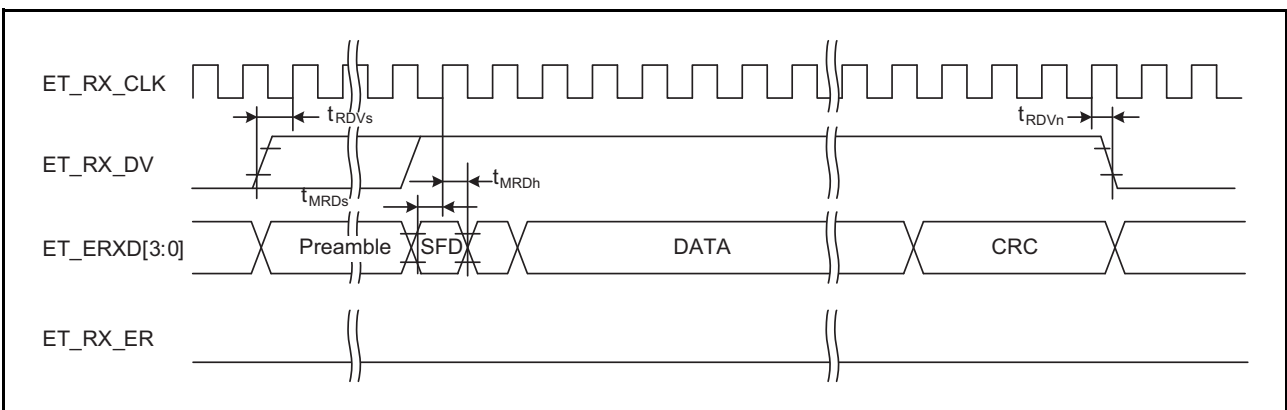


图 41.53 MII 接收的时序（正常运行的情况）

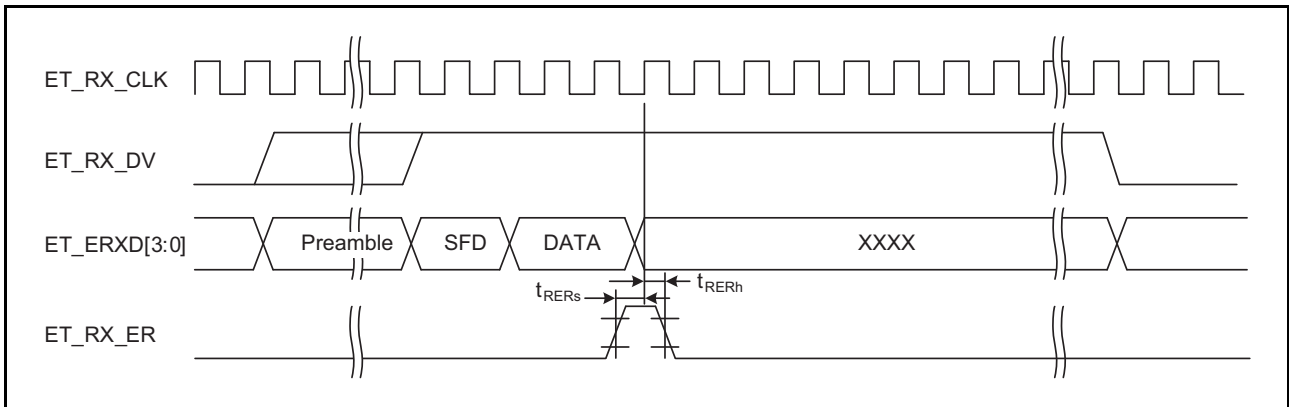


图 41.54 MII 接收的时序（发生错误的情况）

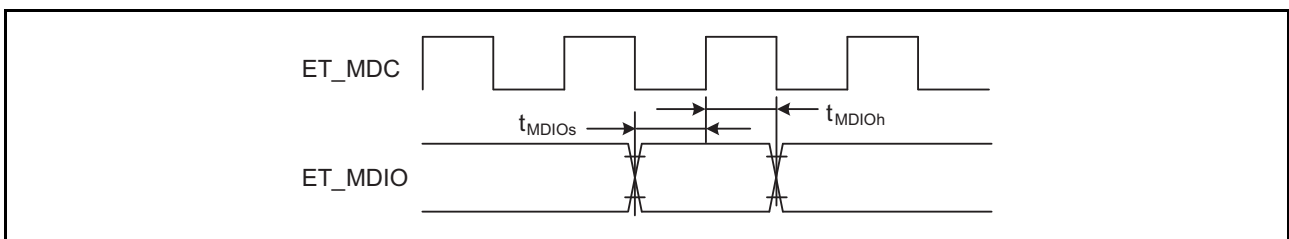


图 41.55 MDIO 输入的时序（MII）

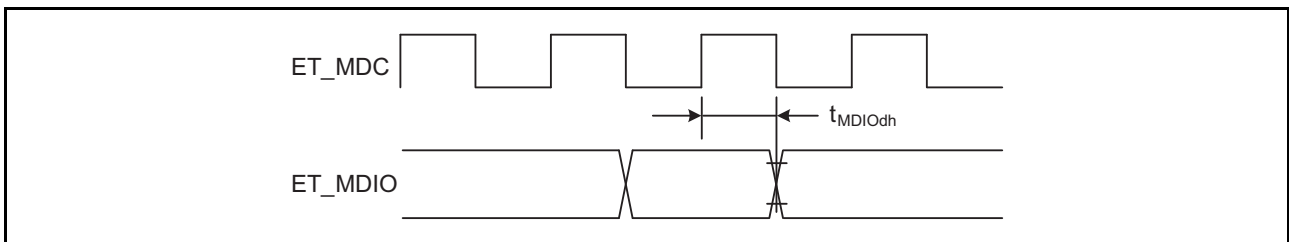


图 41.56 MDIO 输出的时序（MII）

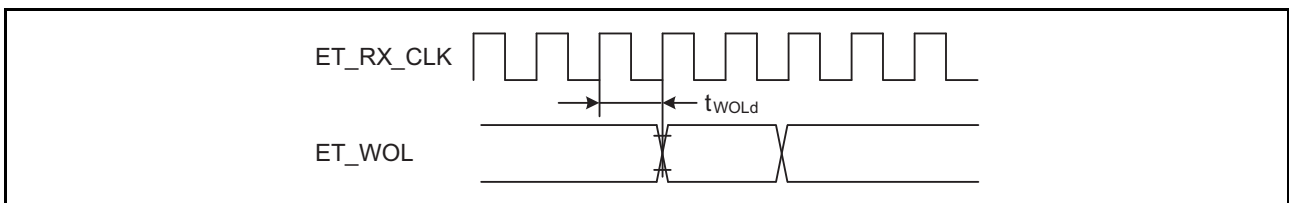


图 41.57 WOL 输出的时序（MII）

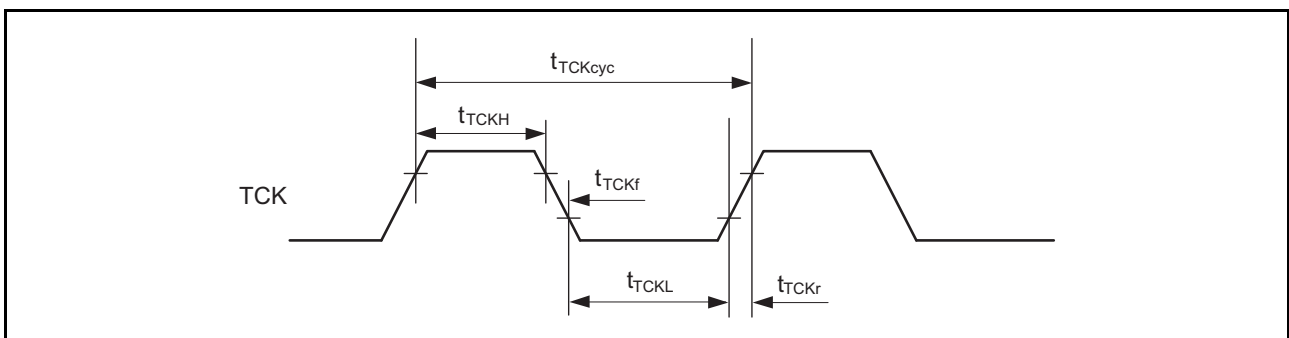


图 41.58 边界扫描 TCK 的时序

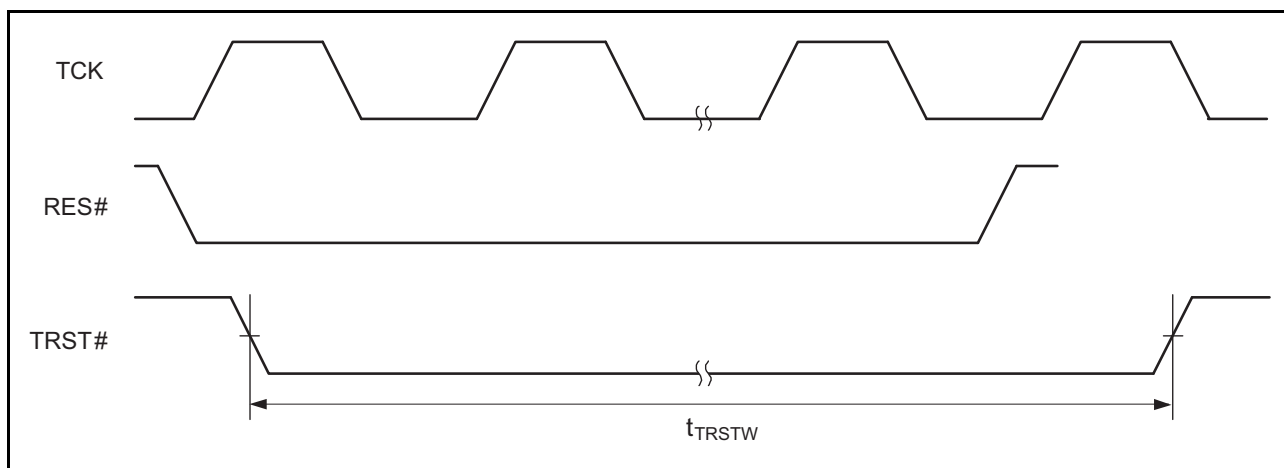


图 41.59 边界扫描 TRST# 的时序

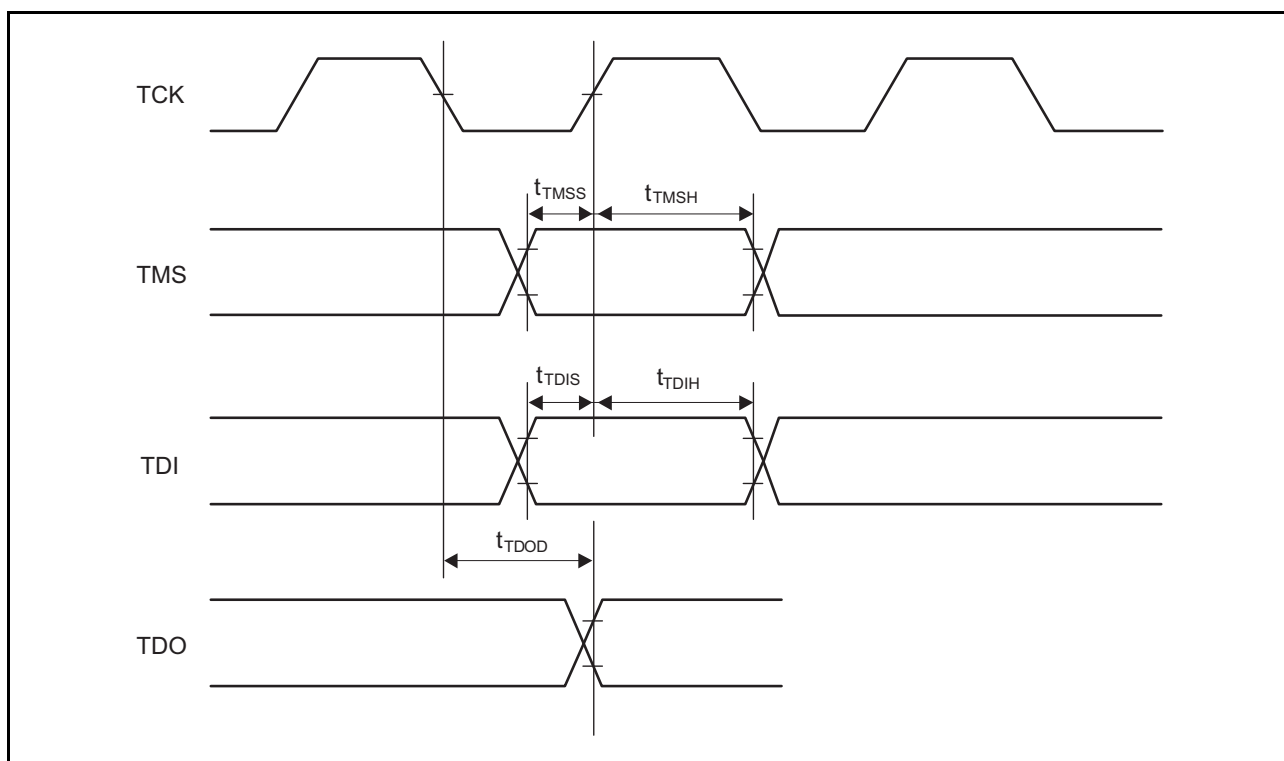


图 41.60 边界扫描输入 / 输出的时序

41.4 USB 特性

表 41.19 内部 USB 全速特性 (DP、DM 引脚特性)

条件: $V_{CC}=PLL_{VCC}=AV_{CC}=V_{CC_USB}=3.0 \sim 3.6V$ 、 $V_{REFH}=3.0V \sim AV_{CC}$
 $V_{SS}=PLL_{VSS}=AV_{SS}=V_{REFL}=V_{CC_USB}=0V$
 $PCLK=24 \sim 50MHz$
 $T_a=-40 \sim +85^{\circ}C$

项目		符号	min	max	单位	测量条件
输入特性	输入 High 电平电压	V_{IH}	2.0	—	V	图 41.61
	输入 Low 电平电压	V_{IL}	—	0.8	V	图 41.62
	差动输入灵敏度	V_{DI}	0.2	—	V	$ DP - DM $
	差动共模范围	V_{CM}	0.8	2.5	V	
输出特性	输出 High 电平电压	V_{OH}	2.8	3.6	V	$I_{OH}=-200\mu A$
	输出 Low 电平电压	V_{OL}	0.0	0.3	V	$I_{OL}=2mA$
	交叉电压	V_{CRS}	1.3	2.0	V	
	上升时间	t_{Lr}	4	20	ns	
	下降时间	t_{Lf}	4	20	ns	
	上升 / 下降时间比	t_{Lr}/t_{Lf}	90	111.11	%	t_{Lr}/t_{Lf}
	输出电阻	Z_{DRV}	28	44	Ω	包含 $R_s=22\Omega$

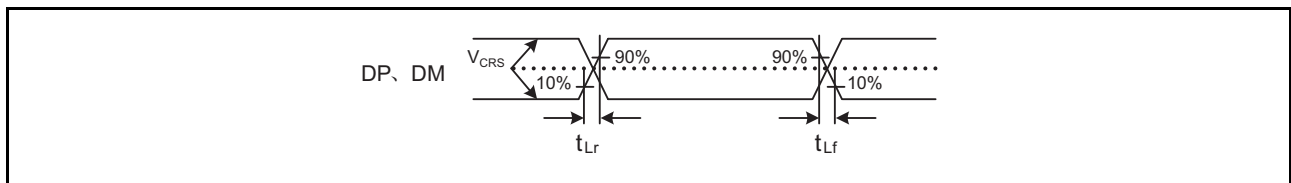


图 41.61 DP 和 DM 的输出时序 (全速)

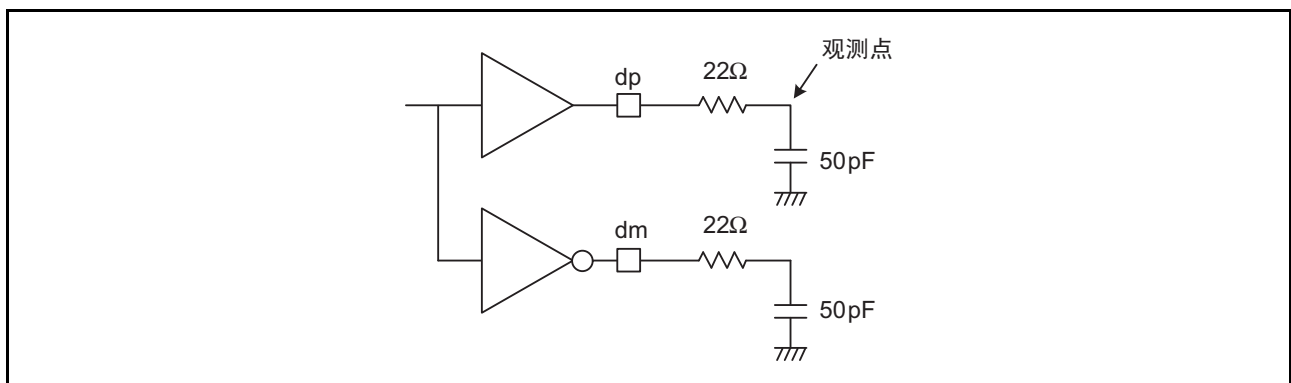


图 41.62 测量电路 (全速)

41.5 A/D 转换特性

表 41.20 10 位 A/D 转换特性

条件: $VCC=PLLVC=AVCC=VCC_USB=2.7 \sim 3.6V$ 、 $VREFH=2.7V \sim AVCC$
 $VSS=PLLSS=AVSS=VREFL=VSS_USB=0V$
 $PCLK=8 \sim 50MHz$
 $T_a=-40 \sim +85^\circ C$

项目		min	typ	max	单位	测量条件	
分辨率		10	10	10	位		
转换时间 (注1) (PCLK= 50MHz 时)	有外接电容 器 0.1 μ F。 (注2)	0.8 (0.3) (注3)	—	—	μ s	采样的 15 个状态	
	没有外接电 容器。	容许信号源阻抗 max=1.0k Ω	1.0 (0.5) (注3)	—		—	采样的 25 个状态
		容许信号源阻抗 max=5.0k Ω	2.6 (2.1) (注3)	—		—	—
模拟输入的电容		—	—	6.0	pF		
INL 积分非线性误差		—	± 1.5	± 3.0	LSB		
偏移误差		—	± 1.5	± 3.0	LSB		
满刻度误差		—	± 1.5	± 3.0	LSB		
量化误差		—	± 0.5	—	LSB		
绝对精度		—	± 1.5	± 3.0	LSB		
DNL 微分非线性误差		—	± 0.5	± 1.0	LSB		

注 1. 转换时间是采样时间和比较时间的总和, 各项的测量条件表示采样的状态数。

注 2. 不对应扫描。

注 3. () 表示采样时间。

表 41.21 12 位 A/D 转换特性

条件: $VCC=PLLVC=AVCC=VCC_USB=2.7 \sim 3.6V$ 、 $VREFH=2.7V \sim AVCC$
 $VSS=PLLSS=AVSS=VREFL=VSS_USB=0V$
 $PCLK=8 \sim 50MHz$
 $T_a=-40 \sim +85^\circ C$

项目		min	typ	max	单位	测量条件
分辨率		12	12	12	位	
转换时间 (注1)		1.0	—	—	μ s	$AVCC \geq 3.0$
		2.0	—	—	μ s	$AVCC \geq 2.7$
模拟输入容量		—	—	30	pF	
偏移误差		—	± 2.0	± 7.5	LSB	
满刻度误差		—	± 2.0	± 7.5	LSB	
量化误差		—	± 0.5	—	LSB	
绝对精度		—	± 2.5	± 8.0	LSB	
非线性误差		—	± 2.0	± 4.0	LSB	

注 1. 转换时间是采样时间和比较时间的总和 (容许信号源阻抗 max=1.0k Ω)。

41.6 D/A 转换特性

表 41.22 D/A 转换特性

条件: VCC=PLLVCC=AVCC=VCC_USB=2.7 ~ 3.6V、VREFH=2.7V ~ AVCC
 VSS=PLLSS=AVSS=VREFL=VSS_USB=0V
 T_a=-40 ~ +85°C

项目	min	typ	max	单位	测量条件
分辨率	10	10	10	位	
转换时间	—	—	3.0	μs	负载电容 20pF
绝对精度	—	±2.0	±4.0	LSB	负载电阻 2MΩ
	—	—	±3.0	LSB	负载电阻 4MΩ
	—	—	±2.0	LSB	负载电阻 10MΩ
RO 输出电阻	—	3.6	—	kΩ	

41.7 上电复位电路和电压检测电路的特性

表 41.23 上电复位电路和电压检测电路的特性

条件: VCC=PLLVCC=AVCC=VCC_USB=2.7 ~ 3.6V、VREFH=2.7V ~ AVCC
 VSS=PLLSS=AVSS=VREFL=VSS_USB=0V
 T_a=-40 ~ +85°C

项目		符号	min	typ	max	单位	测量条件
电压检测电平	上电复位 (POR)	V _{POR}	2.48	2.58	2.68	V	图 41.63
	电压检测电路 (LVD)	V _{det1}	2.75	2.85	2.95		图 41.64、 图 41.65
		V _{det2}	3.05	3.15	3.25		
内部复位时间		t _{POR}	20	35	50	ms	
最小 VCC 降低时间 (注 1)		t _{VOFF}	200	—	—	μs	图 41.63 ~
应答延迟时间		t _{det}	—	—	200	μs	图 41.65

注 1. 电源 OFF 时间是 VCC 低于 POR/LVD 的电压检测电平 V_{POR}、V_{det1}、V_{det2} 的 min 值的时间。

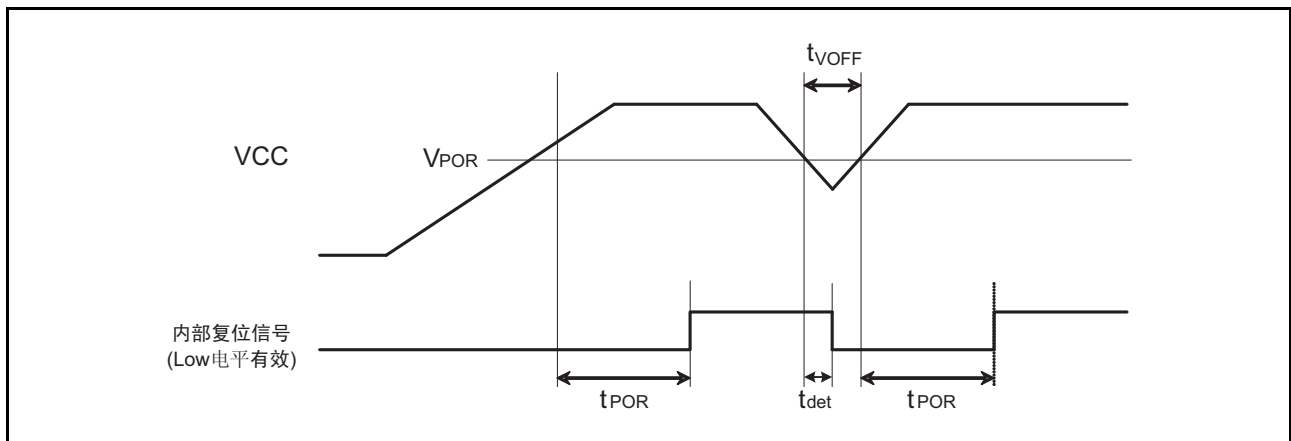


图 41.63 上电复位时序

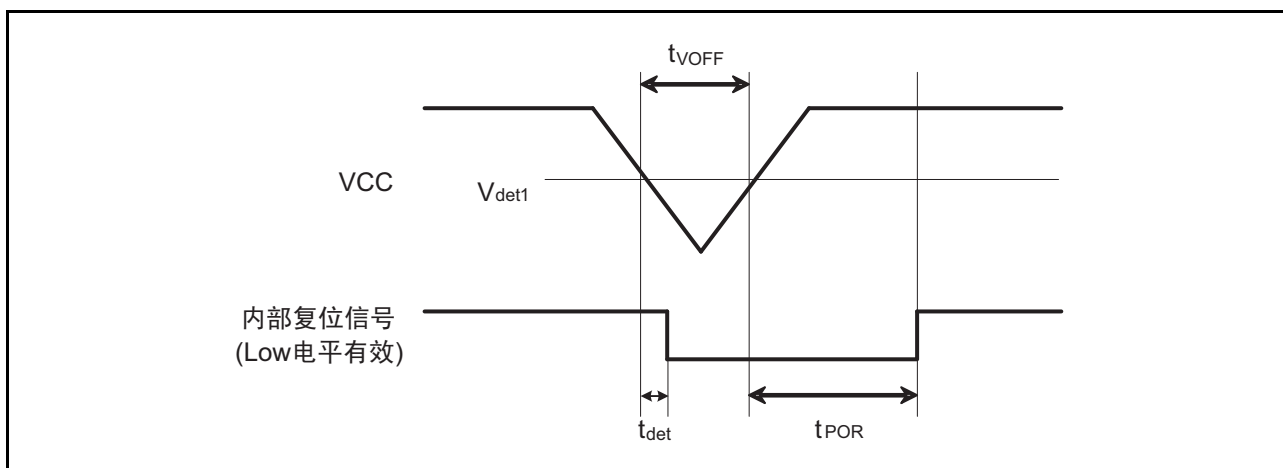


图 41.64 电压检测电路时序 (Vdet1)

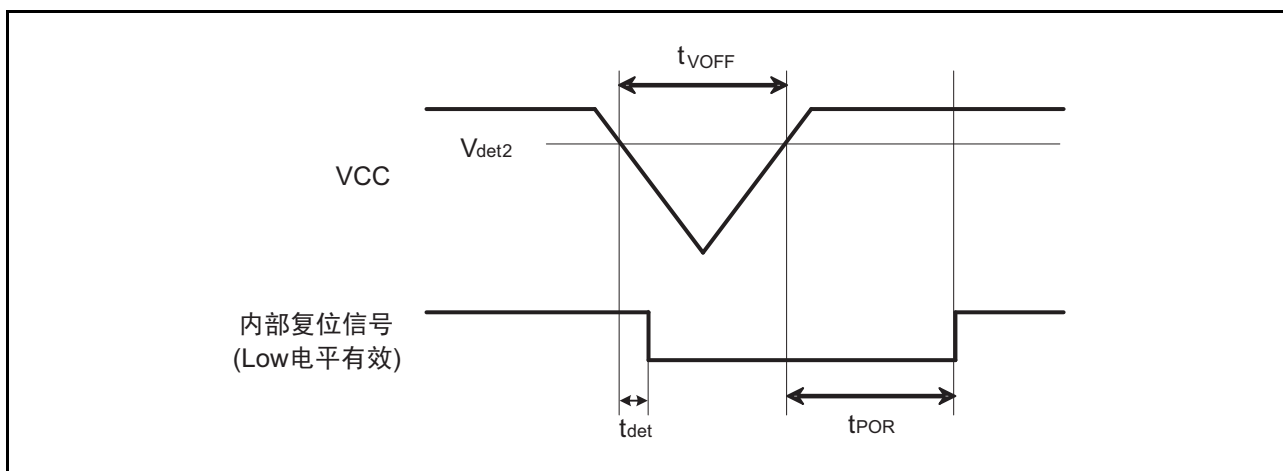


图 41.65 电压检测电路时序 (Vdet2)

41.8 振荡停止检测时序

表 41.24 振荡停止检测电路特性

条件: VCC=PLLVCC=AVCC=VCC_USB=2.7 ~ 3.6V、VREFH=2.7V ~ AVCC
 VSS=PLLVSS=AVSS=VREFL=VSS_USB=0V
 $T_a = -40 \sim +85^\circ\text{C}$

项目	符号	min	typ	max	单位	测量条件
检测时间	tdr	—	—	1.0	ms	图 41.66
检测振荡停止时的内部振荡频率	f_{MAIN}	0.5	—	7.0	MHz	

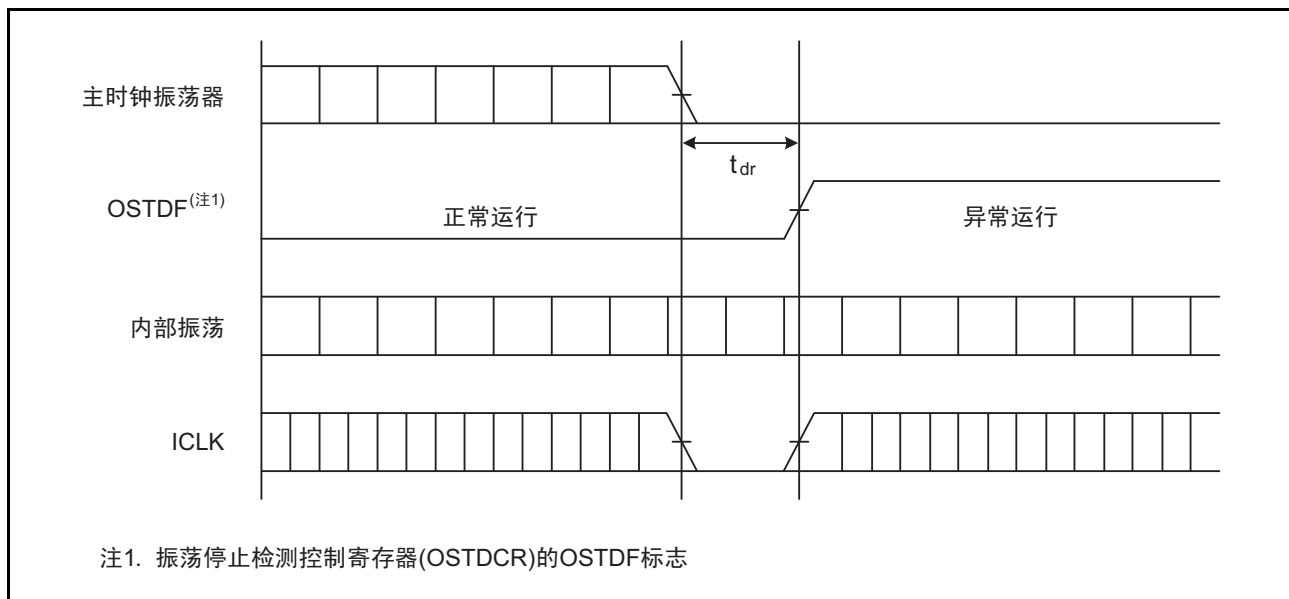


图 41.66 振荡停止检测时序

41.9 ROM（保存代码的闪存）特性

表 41.25 ROM（保存代码的闪存）特性

条件：VCC=PLLVC=AVCC=VCC_USB=2.7 ~ 3.6V、VREFH=2.7V ~ AVCC

VSS=PLLSS=AVSS=VREFL=VSS_USB=0V

编程 / 擦除时的工作范围：T_a=-40 ~ +85°C

项目	符号	min	typ	max	单位	测量条件	
编程时间	256 字节	t _{P256}	—	2	12	ms	PCLK=50MHz N _{PEC} ≤ 100 时
	4K 字节	t _{P4K}	—	23	50	ms	
	16K 字节	t _{P16K}	—	90	200	ms	
	256 字节	t _{P256}	—	2.4	14.4	ms	PCLK=50MHz N _{PEC} > 100 时
	4K 字节	t _{P4K}	—	27.6	60	ms	
	16K 字节	t _{P16K}	—	108	240	ms	
擦除时间	4K 字节	t _{E4K}	—	25	60	ms	PCLK=50MHz N _{PEC} ≤ 100 时
	16K 字节	t _{E16K}	—	100	240	ms	
	4K 字节	t _{E4K}	—	30	72	ms	PCLK=50MHz N _{PEC} > 100 时
	16K 字节	t _{E16K}	—	120	288	ms	
再编程 / 擦除周期 (注 1)	N _{PEC}	1000 (注 2)	—	—	次		
编程时的挂起延迟时间	t _{SPD}	—	—	120	μs	图 41.67 PCLK=50MHz 时	
擦除时的第 1 次挂起延迟时间 (在挂起优先模式中)	t _{SESD1}	—	—	120	μs		
擦除时的第 2 次挂起延迟时间 (在挂起优先模式中)	t _{SESD2}	—	—	1.7	ms		
擦除时的挂起延迟时间 (在擦除优先模式中)	t _{SEED}	—	—	1.7	ms		
数据的保持时间 (注 3)	t _{DRP}	10	—	—	年		

注 1. 再编程 / 擦除周期的定义：

再编程 / 擦除周期是指每块的擦除次数。如果再编程 / 擦除周期为 n (n=1000)，就能逐块擦除 n 次。例如，对于 4K 字节的块，如果将 256 字节的数据分 16 次写到不同的地址后擦除该块，再编程 / 擦除周期次数就计为 1。但是，对于 1 次的擦除，不能对相同的地址进行多次编程（禁止重写）。

注 2. 这是保证改写后的全部特性的 min 次数（保证范围是 1~min 值）。

注 3. 这是在包括 min 值的规格范围内进行改写时的特性。

41.10 数据闪存（保存数据的闪存）特性

表 41.26 数据闪存（保存数据的闪存）特性

条件: VCC=PLLVCC=AVCC=VCC_USB=2.7 ~ 3.6V、VREFH=2.7V ~ AVCC

VSS=PLLSS=AVSS=VREFL=VSS_USB=0V

编程 / 擦除时的工作范围: T_a=-40 ~ +85°C

项目	符号	min	typ	max	单位	测量条件	
编程时间	8 字节	t _{DP8}	—	0.4	2	ms	PCLK=50MHz 时
	128 字节	t _{DP128}	—	1	5	ms	
擦除时间	2K 字节	t _{DE2K}	—	70	250	ms	PCLK=50MHz 时
空白检查时间	8 字节	t _{DBC8}	—	—	30	μs	PCLK=50MHz 时
	2K 字节	t _{DBC2K}	—	—	0.7	ms	
再编程 / 擦除周期 (注 1)	N _{DPEC}	30000 (注 2)	—	—	—	次	
编程时的挂起延迟时间	t _{DSPD}	—	—	120	120	μs	图 41.67
擦除时的第 1 次挂起延迟时间 (在挂起优先模式中)	t _{DSESD1}	—	—	120	120	μs	PCLK=50MHz 时
擦除时的第 2 次挂起延迟时间 (在挂起优先模式中)	t _{DSESD2}	—	—	1.7	1.7	ms	
擦除时的挂起延迟时间 (在擦除优先模式中)	t _{DSEED}	—	—	1.7	1.7	ms	
数据的保持时间 (注 3)	t _{DDRP}	10	—	—	—	年	

注 1. 再编程 / 擦除周期的定义:

再编程/擦除周期是指每块的擦除次数。如果再编程/擦除周期为 n (n=30000), 就能逐块擦除 n 次。例如, 对于 2K 字节的块, 如果将 128 字节的数据分 16 次写到不同的地址后擦除该块, 再编程/擦除周期次数就计为 1。但是, 对于 1 次的擦除, 不能对相同的地址进行多次编程 (禁止重写)。

注 2. 这是保证改写后的全部特性的 min 次数 (保证范围是 1~min 值)。

注 3. 这是在包括 min 值的规格范围内进行改写时的特性。

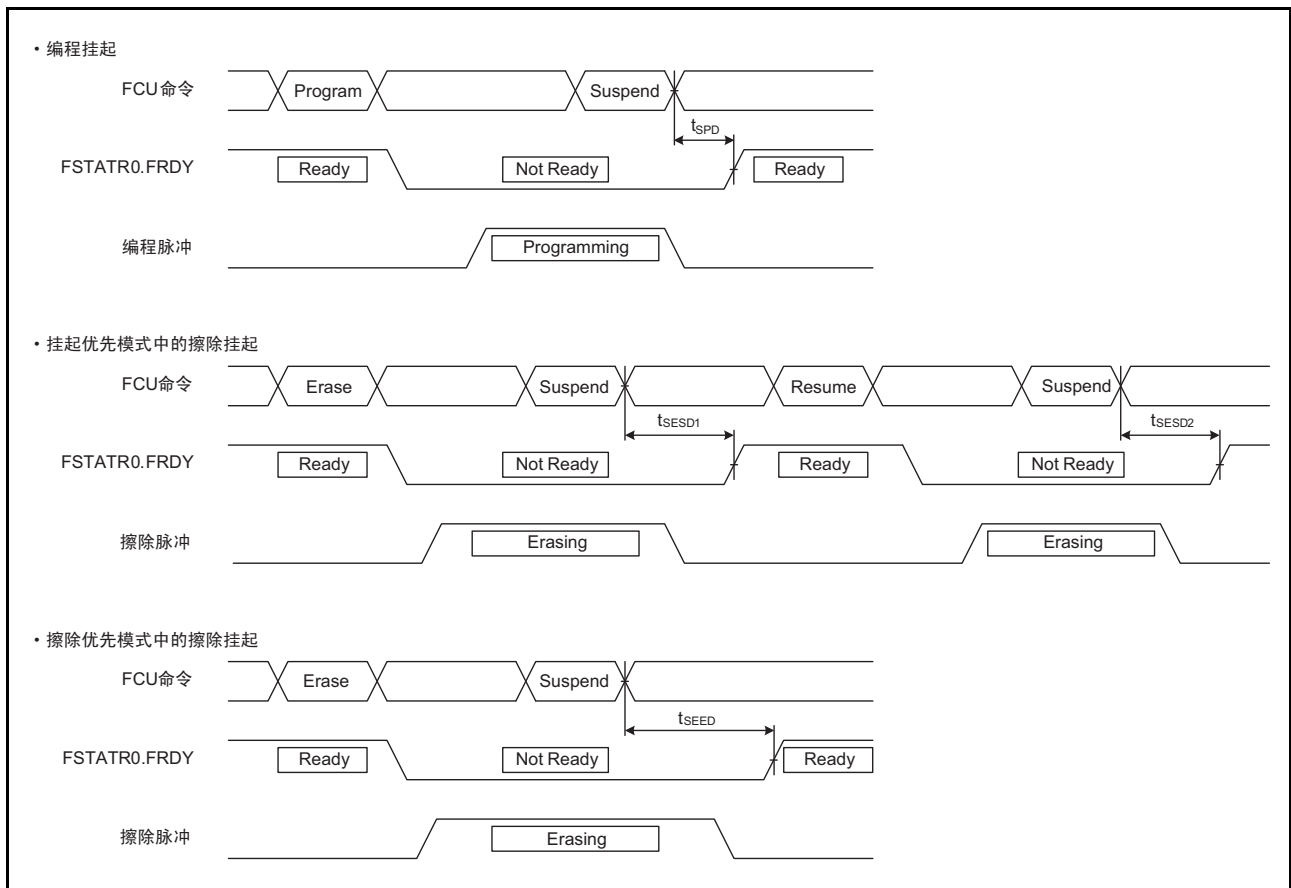


图 41.67 闪存的编程 / 擦除挂起的时序

附录

附录 1. 各运行模式中的端口状态

附表 1.1 各运行模式中的端口状态 (1 / 5)

端口名 引脚名	寄存器设定的 运行模式	复位	软件待机模式		深度软件 待机模式 IOKEEP=1/0	解除深度软件待机模式后 (返回到启动模式)	
			OPE=1	OPE=0		IOKEEP=1 (注1)	IOKEEP=0
P00 ~ P02 (注7)	全部模式	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
P03/IRQ11-A/ DA0 (注8)	全部模式	Hi-Z	[DAOE0=1] 保持 DA 输出 [DAOE0=0] Keep-O (注2)		[DAOE0=1] Hi-Z [DAOE0=0] Hi-Z	Keep	Hi-Z
P05/IRQ13-A/ DA1	全部模式	Hi-Z	[DAOE1=1] 保持 DA 输出 [DAOE1=0] Keep-O (注2)		[DAOE1=1] Hi-Z [DAOE1=0] Keep	Keep	Hi-Z
P07/ADTRG0-A/ IRQ15-A (注9)	全部模式	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
P10 (注6) P11 (注6) P12、P13	全部模式	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
P14、P15 (注7) P16、P17 (注7)	全部模式	Hi-Z	Keep-O (注2)		Keep (注3)	Keep	Hi-Z
P20 ~ P23	全部模式	Hi-Z	Keep-O		Keep	Keep	Hi-Z
P24 ~ P27	单芯片模式 (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输出 CS# 时] H [上述以外] Keep-O	[输出 CS# 时] Hi-Z [上述以外] Keep-O			
P30 ~ P33	全部模式	Hi-Z	Keep-O (注2)		Keep-O (注3)	Keep	Hi-Z
P34/MTIOC0A/ SCK6-B/ TMC13-B/ IRQ4-A/PO12	全部模式	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
端口 4	全部模式	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
P50/WRO#/WR#/ SSLB1-A/TxD2-B	单芯片模式 (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输出 WRO#/ WR# 时] H	[输出 WRO#/ WR# 时] Hi-Z			
P51/WR1#/BC1#/ WAIT#-D/ SSLB2-A/SCK2	单芯片模式 (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输出 WR1#/ BC1# 时] H [上述以外] Keep-O	[输出 WR1#/ BC1# 时] Hi-Z [上述以外] Keep-O			
P52/RD#/ SSLB3-A/ RxD2-B	单芯片模式 (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输出 RD# 时] H	[输出 RD# 时] Hi-Z			

附表 1.1 各运行模式中的端口状态 (2 / 5)

端口名 引脚名	寄存器设定的 运行模式	复位	软件待机模式		深度软件 待机模式 IOKEEP=1/0	解除深度软件待机模式后 (返回到启动模式)	
			OPE=1	OPE=0		IOKEEP=1 (注1)	IOKEEP=0
P53/BCLK	全部模式	Hi-Z	[输出时钟时] H [上述以外] Hi-Z		Keep	Keep	Hi-Z
P54 ~ P55 (注9)	全部模式	Hi-Z	Keep-O		Keep	Keep	Hi-Z
P56/WR2#/BC2#/ EDACK1-C/ MTIOC3C-B (注7)	单芯片模式 (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输出 WR2#/ BC2# 时] H [上述以外] Keep-O	[输出 WR2#/ BC2# 时] Hi-Z [上述以外] Keep-O			
P57/WAIT#-A/ WR3#/BC3#/ EDREQ1-C (注6)	单芯片模式 (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输出 WR3#/ BC3# 时] H [上述以外] Keep-O	[输出 WR3#/ BC3# 时] Hi-Z [上述以外] Keep-O			
P60/CS0#-A (注7)	单芯片模式 (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输出 CS# 时] H [上述以外] Keep-O	[输出 CS# 时] Hi-Z [上述以外] Keep-O			
P61/CS1#-A/ SDCS# (注7)	单芯片模式 (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输出 CS 时] H [输出 SDCS# 时] 保持 SDCS# 输出 [上述以外] Keep-O	[输出 CS 时] Hi-Z [输出 SDCS# 时] Hi-Z [上述以外] Keep-O			
P62/CS2#-A/ RAS# (注7)	单芯片模式 (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输出 CS# 时] H [输出 RAS# 时] 保持 RAS# 输出 [上述以外] Keep-O	[输出 CS# 时] Hi-Z [输出 RAS# 时] Hi-Z [上述以外] Keep-O			
P63/CS3#-A/ CAS# (注7)	单芯片模式 (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输出 CS# 时] H [输出 CAS# 时] 保持 CAS# 输出 [上述以外] Keep-O	[输出 CS# 时] Hi-Z [输出 CAS# 时] Hi-Z [上述以外] Keep-O			

附表 1.1 各运行模式中的端口状态 (3 / 5)

端口名 引脚名	寄存器设定的 运行模式	复位	软件待机模式		深度软件 待机模式 IOKEEP=1/0	解除深度软件待机模式后 (返回到启动模式)	
			OPE=1	OPE=0		IOKEEP=1 (注1)	IOKEEP=0
P64/CS4#-A/ WE# (注7)	单芯片模式 (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输出 CS# 时] H [输出 WE# 时] 保持 WE# 输出 [上述以外] Keep-O	[输出 CS# 时] Hi-Z [输出 WE# 时] Hi-Z [上述以外] Keep-O			
P65/CS5#-A/ CKE (注7)	单芯片模式 (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输出 CS# 时] H [输出 CKE 时] 保持 CKE 输出 [上述以外] Keep-O	[输出 CS# 时] Hi-Z [输出 CKE 时] Hi-Z [上述以外] Keep-O			
P66/CS6#-A/ DQM0 (注7)	单芯片模式 (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输出 CS# 时] H [输出 DQM0 时] 保持 DQM0 输出 [上述以外] Keep-O	[输出 CS# 时] Hi-Z [输出 DQM0 时] Hi-Z [上述以外] Keep-O			
P67/CS7#-A/ DQM1 (注7)	单芯片模式 (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输出 CS# 时] H [输出 DQM1 时] 保持 DQM1 输出 [上述以外] Keep-O	[输出 CS# 时] Hi-Z [输出 DQM1 时] Hi-Z [上述以外] Keep-O			
P70/SDCLK (注7)	全部模式	Hi-Z	[输出时钟时] H [上述以外] Keep-O		Keep	Keep	Hi-Z
P71 ~ P77 (注7)	单芯片模式 (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输出 CS# 时] H [上述以外] Keep-O	[输出 CS# 时] Hi-Z [上述以外] Keep-O			
P80 ~ P83 (注7) P84 ~ P85 (注6)	全部模式	Hi-Z	Keep-O		Keep	Keep	Hi-Z
P90 ~ P93 (注7) P94 ~ P97 (注6)	单芯片模式 (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输出地址时] 保持地址输出 [输入 / 输出数据时] Hi-Z [上述以外] Keep-O	[输出地址时] Hi-Z [输入 / 输出数据时] Hi-Z [上述以外] Keep-O			

附表 1.1 各运行模式中的端口状态 (4 / 5)

端口名 引脚名	寄存器设定的 运行模式	复位	软件待机模式		深度软件 待机模式 IOKEEP=1/0	解除深度软件待机模式后 (返回到启动模式)	
			OPE=1	OPE=0		IOKEEP=1 (注1)	IOKEEP=0
端口 A	单芯片模式 (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输出地址时] 保持地址输出 [上述以外] Keep-O	[输出地址时] Hi-Z [上述以外] Keep-O			
端口 B	单芯片模式 (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输出地址时] 保持地址输出 [上述以外] Keep-O	[输出地址时] Hi-Z [上述以外] Keep-O			
PC0 ~ PC3	单芯片模式 (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输出地址时] 保持地址输出 [上述以外] Keep-O	[输出地址时] Hi-Z [上述以外] Keep-O			
PC4 ~ PC7 (注9)	单芯片模式 (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输出地址时] 保持地址输出 [输出 CS# 时] H [上述以外] Keep-O	[输出地址时] Hi-Z [输出 CS# 时] Hi-Z [上述以外] Keep-O			
端口 D	单芯片模式 (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		Hi-Z				
PE0 ~ PE4 (注9)	单芯片模式 (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输入 / 输出数据时] Hi-Z [上述以外] Keep-O				
PE5 ~ PE7 (注9)	单芯片模式 (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输入 / 输出数据时] Hi-Z [上述以外] Keep-O (注2)				
PF0/ TxD1-B (注6)	全部模式	Hi-Z	Keep-O		Keep	Keep	Hi-Z
PF1/SCK1-B (注6)	全部模式	Hi-Z	Keep-O		Keep	Keep	Hi-Z
PF2/RxD1-B (注6)	全部模式	Hi-Z	Keep-O		Keep	Keep	Hi-Z
PF3 (注6)	全部模式	Hi-Z	Keep-O		Keep	Keep	Hi-Z
PF4 (注6)	全部模式	Hi-Z	Keep-O		Keep	Keep	Hi-Z

附表 1.1 各运行模式中的端口状态 (5 / 5)

端口名 引脚名	寄存器设定的 运行模式	复位	软件待机模式		深度软件 待机模式 IOKEEP=1/0	解除深度软件待机模式后 (返回到启动模式)	
			OPE=1	OPE=0		IOKEEP=1 (注1)	IOKEEP=0
端口 G (注6)	单芯片模式 (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内部 ROM 有效 / 无效扩展模式 (EXBE=1)		[输入 / 输出数据时] Hi-Z [上述以外] Keep-O				
WDTOVF (注7)	全部模式	输出 WDTOVF	H		H	H	
USB0_DM	全部模式	Hi-Z	Keep-O (注4)		Hi-Z (注5)	Hi-Z	
USB0_DP	全部模式	Hi-Z	Keep-O (注4)		Hi-Z (注5)	Hi-Z	
USB1_DM	全部模式	Hi-Z	Keep-O (注4)		Hi-Z (注5)	Hi-Z	
USB1_DP	全部模式	Hi-Z	Keep-O (注4)		Hi-Z (注5)	Hi-Z	

【符号说明】

H : High

L : Low

Keep-O : 当用作输出引脚时, 保持以前的值; 当用作输入引脚时, 为高阻抗。

Keep : 保持软件待机中的引脚状态。

Hi-Z : 高阻抗

注 1. 在将 DPSBYCR.IOKEEP 位清“0”前, 保持 I/O 端口的状态。

注 2. 当用作外部中断引脚时, 能在设定为软件待机解除源的情况下进行输入。

注 3. 能在设定为深度软件待机解除源的情况下进行输入。

注 4. 当用作输入引脚时, 能进行输入。

注 5. 能在设定为深度软件待机解除源的情况下进行输入。

注 6. 145 引脚 TFLGA 封装、144 引脚 LQFP 封装、100 引脚 LQFP 封装、85 引脚 TFLGA 封装没有此引脚。

注 7. 100 引脚 LQFP 封装、85 引脚 TFLGA 封装没有此引脚。

注 8. 100 引脚 LQFP 封装没有此引脚。

注 9. 85 引脚 TFLGA 封装没有此引脚。

附表 1.2 通过 POE 功能的控制使端口状态变为高阻抗的条件 [176 引脚 LFBGA/145 引脚 TFLGA/144 引脚 LQFP]

端口名 引脚名	通过软件进行 寄存器的设定控制	通过 POEn# 引脚的 控制 (n=0 ~ 9)	互补 PWM 输出引脚的 输出电平比较判断	通过检测振荡停止的控制
P15/MTIOC0B	当 POECR1.PE1ZE=1 并且 SPOER.CH0HIZ=1 时	当 POECR1.PE1ZE=1 并且 ICSR3.POE8F=1 并且 ICSR3.POE8E=1 时	—	当 POECR1.PE1ZE=1 并且 NMISR.OSTST=1 时
P22/MTIOC3B-A	当 POECR2.P1CZEA=1 并且 SPOER.CH34HIZ=1 时	当 POECR2.P1CZEA=1 并且 ICSR1 的 POE0F、POE1F、 POE2F 或者 POE3F=1 时	当 POECR2.P1CZEA=1 并且 OCSR1.OSF1=1 并且 OCSR1.OCE1=1 时	当 POECR2.P1CZEA=1 并且 NMISR.OSTST=1 时
P23/MTIOC3D-A	当 POECR2.P1CZEA=1 并且 SPOER.CH34HIZ=1 时	当 POECR2.P1CZEA=1 并且 ICSR1 的 POE0F、POE1F、 POE2F 或者 POE3F=1 时	当 POECR2.P1CZEA=1 并且 OCSR1.OSF1=1 并且 OCSR1.OCE1=1 时	当 POECR2.P1CZEA=1 并且 NMISR.OSTST=1 时
P24/MTIOC4A-A	当 POECR2.P2CZEA=1 并且 SPOER.CH34HIZ=1 时	当 POECR2.P2CZEA=1 并且 ICSR1 的 POE0F、POE1F、 POE2F 或者 POE3F=1 时	当 POECR2.P2CZEA=1 并且 OCSR1.OSF1=1 并且 OCSR1.OCE1=1 时	当 POECR2.P2CZEA=1 并且 NMISR.OSTST=1 时
P25/MTIOC4C-A	当 POECR2.P2CZEA=1 并且 SPOER.CH34HIZ=1 时	当 POECR2.P2CZEA=1 并且 ICSR1 的 POE0F、POE1F、 POE2F 或者 POE3F=1 时	当 POECR2.P2CZEA=1 并且 OCSR1.OSF1=1 并且 OCSR1.OCE1=1 时	当 POECR2.P2CZEA=1 并且 NMISR.OSTST=1 时
P30/MTIOC4B-A	当 POECR2.P3CZEA=1 并且 SPOER.CH34HIZ=1 时	当 POECR2.P3CZEA=1 并且 ICSR1 的 POE0F、POE1F、 POE2F 或者 POE3F=1 时	当 POECR2.P3CZEA=1 并且 OCSR1.OSF1=1 并且 OCSR1.OCE1=1 时	当 POECR2.P3CZEA=1 并且 NMISR.OSTST=1 时
P31/MTIOC4D-A	当 POECR2.P3CZEA=1 并且 SPOER.CH34HIZ=1 时	当 POECR2.P3CZEA=1 并且 ICSR1 的 POE0F、POE1F、 POE2F 或者 POE3F=1 时	当 POECR2.P3CZEA=1 并且 OCSR1.OSF1=1 并且 OCSR1.OCE1=1 时	当 POECR2.P3CZEA=1 并且 NMISR.OSTST=1 时
P32/MTIOC0C	当 POECR1.PE2ZE=1 并且 SPOER.CH0HIZ=1 时	当 POECR1.PE2ZE=1 并且 ICSR3.POE8F=1 并且 ICSR3.POE8E=1 时	—	当 POECR1.PE2ZE=1 并且 NMISR.OSTST=1 时
P33/MTIOC0D	当 POECR1.PE3ZE=1 并且 SPOER.CH0HIZ=1 时	当 POECR1.PE3ZE=1 并且 ICSR3.POE8F=1 并且 ICSR3.POE8E=1 时	—	当 POECR1.PE3ZE=1 并且 NMISR.OSTST=1 时
P34/MTIOC0A	当 POECR1.PE0ZE=1 并且 SPOER.CH0HIZ=1 时	当 POECR1.PE0ZE=1 并且 ICSR3.POE8F=1 并且 ICSR3.POE8E=1 时	—	当 POECR1.PE0ZE=1 并且 NMISR.OSTST=1 时
P54/MTIOC4B-B	当 POECR2.P3CZEB=1 并且 SPOER.CH34HIZ=1 时	当 POECR2.P3CZEB=1 并且 ICSR1 的 POE0F、POE1F、 POE2F 或者 POE3F=1 时	当 POECR2.P3CZEB=1 并且 OCSR1.OSF1=1 并且 OCSR1.OCE1=1 时	当 POECR2.P3CZEB=1 并且 NMISR.OSTST=1 时
P55/MTIOC4D-B	当 POECR2.P3CZEB=1 并且 SPOER.CH34HIZ=1 时	当 POECR2.P3CZEB=1 并且 ICSR1 的 POE0F、POE1F、 POE2F 或者 POE3F=1 时	当 POECR2.P3CZEB=1 并且 OCSR1.OSF1=1 并且 OCSR1.OCE1=1 时	当 POECR2.P3CZEB=1 并且 NMISR.OSTST=1 时
P80/MTIOC3B-B	当 POECR2.P1CZEB=1 并且 SPOER.CH34HIZ=1 时	当 POECR2.P1CZEB=1 并且 ICSR1 的 POE0F、POE1F、 POE2F 或者 POE3F=1 时	当 POECR2.P1CZEB=1 并且 OCSR1.OSF1=1 并且 OCSR1.OCE1=1 时	当 POECR2.P1CZEB=1 并且 NMISR.OSTST=1 时
P81/MTIOC3D-B	当 POECR2.P1CZEB=1 并且 SPOER.CH34HIZ=1 时	当 POECR2.P1CZEB=1 并且 ICSR1 的 POE0F、POE1F、 POE2F 或者 POE3F=1 时	当 POECR2.P1CZEB=1 并且 OCSR1.OSF1=1 并且 OCSR1.OCE1=1 时	当 POECR2.P1CZEB=1 并且 NMISR.OSTST=1 时
P82/MTIOC4A-B	当 POECR2.P2CZEB=1 并且 SPOER.CH34HIZ=1 时	当 POECR2.P2CZEB=1 并且 ICSR1 的 POE0F、POE1F、 POE2F 或者 POE3F=1 时	当 POECR2.P2CZEB=1 并且 OCSR1.OSF1=1 并且 OCSR1.OCE1=1 时	当 POECR2.P2CZEB=1 并且 NMISR.OSTST=1 时
P83/MTIOC4C-B	当 POECR2.P2CZEB=1 并且 SPOER.CH34HIZ=1 时	当 POECR2.P2CZEB=1 并且 ICSR1 的 POE0F、POE1F、 POE2F 或者 POE3F=1 时	当 POECR2.P2CZEB=1 并且 OCSR1.OSF1=1 并且 OCSR1.OCE1=1 时	当 POECR2.P2CZEB=1 并且 NMISR.OSTST=1 时

附表 1.2 通过 POE 功能的控制使端口状态变为高阻抗的条件 [176 引脚 LFBGA/145 引脚 TFLGA/144 引脚 LQFP]

端口名 引脚名	通过软件进行 寄存器的设定控制	通过 POEn# 引脚的 控制 (n=0 ~ 9)	互补 PWM 输出引脚的 输出电平比较判断	通过检测振荡停止的控制
PA0/MTIOC6A	当 POE1.PE4ZE=1 并且 SPOER.CH6HIZ=1 时	当 POE1.PE4ZE=1 并且 ICSR4.POE9F=1 并且 ICSR4.POE9E=1 时	—	当 POE1.PE4ZE=1 并且 NMISR.OSTST=1 时
PA1/MTIOC6B	当 POE1.PE5ZE=1 并且 SPOER.CH6HIZ=1 时	当 POE1.PE5ZE=1 并且 ICSR4.POE9F=1 并且 ICSR4.POE9E=1 时	—	当 POE1.PE5ZE=1 并且 NMISR.OSTST=1 时
PA2/MTIOC6C	当 POE1.PE6ZE=1 并且 SPOER.CH6HIZ=1 时	当 POE1.PE6ZE=1 并且 ICSR4.POE9F=1 并且 ICSR4.POE9E=1 时	—	当 POE1.PE6ZE=1 并且 NMISR.OSTST=1 时
PA3/MTIOC6D	当 POE1.PE7ZE=1 并且 SPOER.CH6HIZ=1 时	当 POE1.PE7ZE=1 并且 ICSR4.POE9F=1 并且 ICSR4.POE9E=1 时	—	当 POE1.PE7ZE=1 并且 NMISR.OSTST=1 时
PB2/MTIOC9B	当 POE2.P4CZE=1 并且 SPOER.CH910HIZ=1 时	当 POE2.P4CZE=1 并且 ICSR2 的 POE4F、POE5F、 POE6F 或者 POE7F=1 时	当 POE2.P4CZE=1 并且 OCSR2.OSF2=1 并且 OCSR2.OCE2=1 时	当 POE2.P4CZE=1 并且 NMISR.OSTST=1 时
PB3/MTIOC9D	当 POE2.P4CZE=1 并且 SPOER.CH910HIZ=1 时	当 POE2.P4CZE=1 并且 ICSR2 的 POE4F、POE5F、 POE6F 或者 POE7F=1 时	当 POE2.P4CZE=1 并且 OCSR2.OSF2=1 并且 OCSR2.OCE2=1 时	当 POE2.P4CZE=1 并且 NMISR.OSTST=1 时
PB4/MTIOC10A	当 POE2.P5CZE=1 并且 SPOER.CH910HIZ=1 时	当 POE2.P5CZE=1 并且 ICSR2 的 POE4F、POE5F、 POE6F 或者 POE7F=1 时	当 POE2.P5CZE=1 并且 OCSR2.OSF2=1 并且 OCSR2.OCE2=1 时	当 POE2.P5CZE=1 并且 NMISR.OSTST=1 时
PB5/MTIOC10C	当 POE2.P5CZE=1 并且 SPOER.CH910HIZ=1 时	当 POE2.P5CZE=1 并且 ICSR2 的 POE4F、POE5F、 POE6F 或者 POE7F=1 时	当 POE2.P5CZE=1 并且 OCSR2.OSF2=1 并且 OCSR2.OCE2=1 时	当 POE2.P5CZE=1 并且 NMISR.OSTST=1 时
PB6/MTIOC10B	当 POE2.P6CZE=1 并且 SPOER.CH910HIZ=1 时	当 POE2.P6CZE=1 并且 ICSR2 的 POE4F、POE5F、 POE6F 或者 POE7F=1 时	当 POE2.P6CZE=1 并且 OCSR2.OSF2=1 并且 OCSR2.OCE2=1 时	当 POE2.P6CZE=1 并且 NMISR.OSTST=1 时
PB7/MTIOC10D	当 POE2.P6CZE=1 并且 SPOER.CH910HIZ=1 时	当 POE2.P6CZE=1 并且 ICSR2 的 POE4F、POE5F、 POE6F 或者 POE7F=1 时	当 POE2.P6CZE=1 并且 OCSR2.OSF2=1 并且 OCSR2.OCE2=1 时	当 POE2.P6CZE=1 并且 NMISR.OSTST=1 时

附表 1.3 通过 POE 功能的控制使端口状态变为高阻抗的条件 [100 引脚 LQFP]

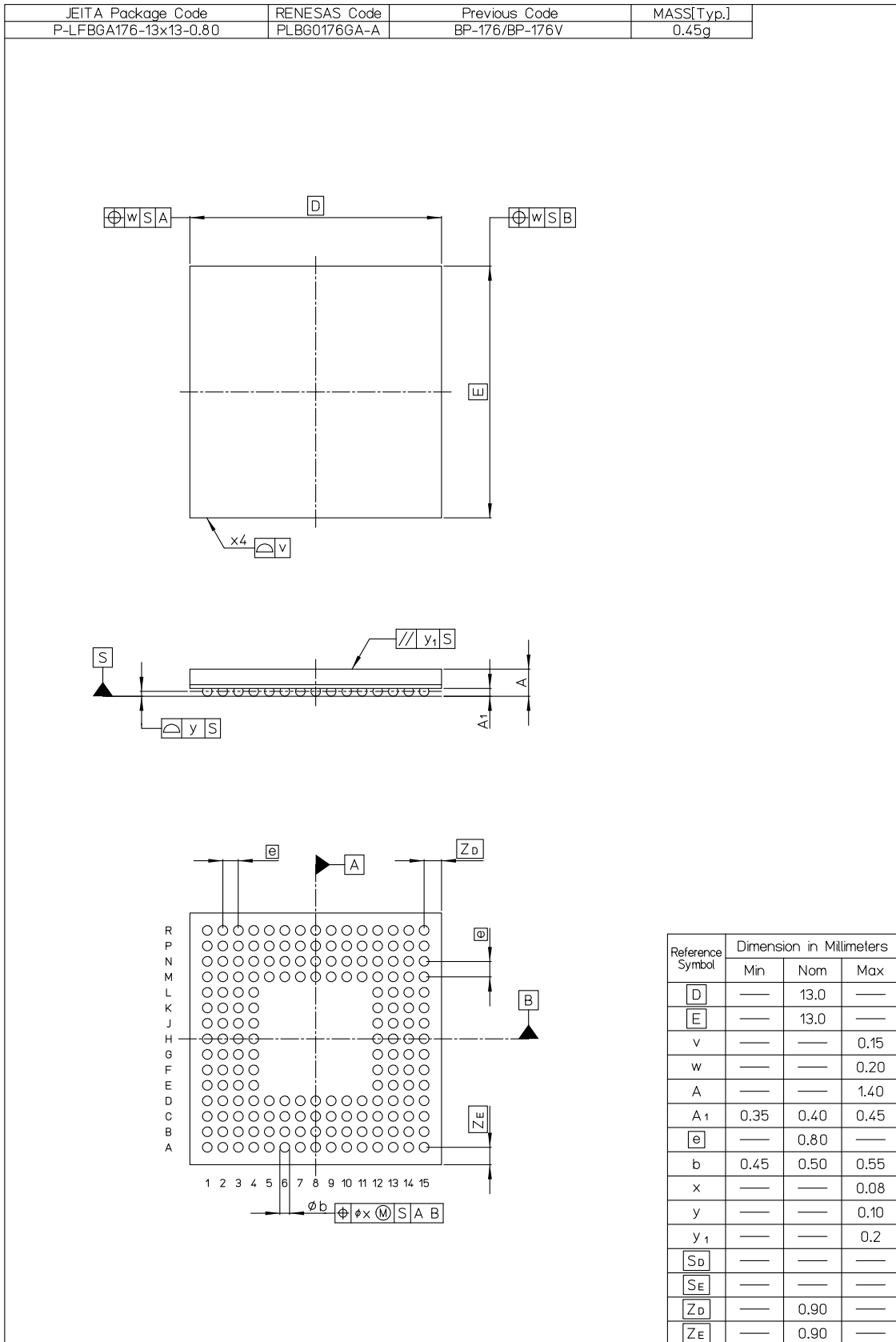
端口名 引脚名	通过软件进行 寄存器的设定控制	通过 POEn# 引脚的 控制 (n=0 ~ 9)	互补 PWM 输出引脚的 输出电平比较判断	通过检测振荡停止的控制
P13/MTIOC0B	当 POE1.PE1ZE=1 并且 SPOER.CH0HIZ=1 时	当 POE1.PE1ZE=1 并且 ICSR3.POE8F=1 并且 ICSR3.POE8E=1 时	—	当 POE1.PE1ZE=1 并且 NMISR.OSTST=1 时
P22/MTIOC3B	当 POE2.P1CZEA=1 并且 SPOER.CH34HIZ=1 时	当 POE2.P1CZEA=1 并且 ICSR1 的 POE0F、POE1F、 POE2F 或者 POE3F=1 时	当 POE2.P1CZEA=1 并且 OCSR1.OSF1=1 并且 OCSR1.OCE1=1 时	当 POE2.P1CZEA=1 并且 NMISR.OSTST=1 时
P23/MTIOC3D	当 POE2.P1CZEA=1 并且 SPOER.CH34HIZ=1 时	当 POE2.P1CZEA=1 并且 ICSR1 的 POE0F、POE1F、 POE2F 或者 POE3F=1 时	当 POE2.P1CZEA=1 并且 OCSR1.OSF1=1 并且 OCSR1.OCE1=1 时	当 POE2.P1CZEA=1 并且 NMISR.OSTST=1 时
P24/MTIOC4A	当 POE2.P2CZEA=1 并且 SPOER.CH34HIZ=1 时	当 POE2.P2CZEA=1 并且 ICSR1 的 POE0F、POE1F、 POE2F 或者 POE3F=1 时	当 POE2.P2CZEA=1 并且 OCSR1.OSF1=1 并且 OCSR1.OCE1=1 时	当 POE2.P2CZEA=1 并且 NMISR.OSTST=1 时
P25/MTIOC4C	当 POE2.P2CZEA=1 并且 SPOER.CH34HIZ=1 时	当 POE2.P2CZEA=1 并且 ICSR1 的 POE0F、POE1F、 POE2F 或者 POE3F=1 时	当 POE2.P2CZEA=1 并且 OCSR1.OSF1=1 并且 OCSR1.OCE1=1 时	当 POE2.P2CZEA=1 并且 NMISR.OSTST=1 时
P30/MTIOC4B-A	当 POE2.P3CZEA=1 并且 SPOER.CH34HIZ=1 时	当 POE2.P3CZEA=1 并且 ICSR1 的 POE0F、POE1F、 POE2F 或者 POE3F=1 时	当 POE2.P3CZEA=1 并且 OCSR1.OSF1=1 并且 OCSR1.OCE1=1 时	当 POE2.P3CZEA=1 并且 NMISR.OSTST=1 时
P31/MTIOC4D-A	当 POE2.P3CZEA=1 并且 SPOER.CH34HIZ=1 时	当 POE2.P3CZEA=1 并且 ICSR1 的 POE0F、POE1F、 POE2F 或者 POE3F=1 时	当 POE2.P3CZEA=1 并且 OCSR1.OSF1=1 并且 OCSR1.OCE1=1 时	当 POE2.P3CZEA=1 并且 NMISR.OSTST=1 时
P32/MTIOC0C	当 POE1.PE2ZE=1 并且 SPOER.CH0HIZ=1 时	当 POE1.PE2ZE=1 并且 ICSR3.POE8F=1 并且 ICSR3.POE8E=1 时	—	当 POE1.PE2ZE=1 并且 NMISR.OSTST=1 时
P33/MTIOC0D	当 POE1.PE3ZE=1 并且 SPOER.CH0HIZ=1 时	当 POE1.PE3ZE=1 并且 ICSR3.POE8F=1 并且 ICSR3.POE8E=1 时	—	当 POE1.PE3ZE=1 并且 NMISR.OSTST=1 时
P34/MTIOC0A	当 POE1.PE0ZE=1 并且 SPOER.CH0HIZ=1 时	当 POE1.PE0ZE=1 并且 ICSR3.POE8F=1 并且 ICSR3.POE8E=1 时	—	当 POE1.PE0ZE=1 并且 NMISR.OSTST=1 时
P54/MTIOC4B-B	当 POE2.P3CZEB=1 并且 SPOER.CH34HIZ=1 时	当 POE2.P3CZEB=1 并且 ICSR1 的 POE0F、POE1F、 POE2F 或者 POE3F=1 时	当 POE2.P3CZEB=1 并且 OCSR1.OSF1=1 并且 OCSR1.OCE1=1 时	当 POE2.P3CZEB=1 并且 NMISR.OSTST=1 时
P55/MTIOC4D-B	当 POE2.P3CZEB=1 并且 SPOER.CH34HIZ=1 时	当 POE2.P3CZEB=1 并且 ICSR1 的 POE0F、POE1F、 POE2F 或者 POE3F=1 时	当 POE2.P3CZEB=1 并且 OCSR1.OSF1=1 并且 OCSR1.OCE1=1 时	当 POE2.P3CZEB=1 并且 NMISR.OSTST=1 时
PA0/MTIOC6A	当 POE1.PE4ZE=1 并且 SPOER.CH6HIZ=1 时	当 POE1.PE4ZE=1 并且 ICSR4.POE9F=1 并且 ICSR4.POE9E=1 时	—	当 POE1.PE4ZE=1 并且 NMISR.OSTST=1 时
PA1/MTIOC6B	当 POE1.PE5ZE=1 并且 SPOER.CH6HIZ=1 时	当 POE1.PE5ZE=1 并且 ICSR4.POE9F=1 并且 ICSR4.POE9E=1 时	—	当 POE1.PE5ZE=1 并且 NMISR.OSTST=1 时
PA2/MTIOC6C	当 POE1.PE6ZE=1 并且 SPOER.CH6HIZ=1 时	当 POE1.PE6ZE=1 并且 ICSR4.POE9F=1 并且 ICSR4.POE9E=1 时	—	当 POE1.PE6ZE=1 并且 NMISR.OSTST=1 时
PA3/MTIOC6D	当 POE1.PE7ZE=1 并且 SPOER.CH6HIZ=1 时	当 POE1.PE7ZE=1 并且 ICSR4.POE9F=1 并且 ICSR4.POE9E=1 时	—	当 POE1.PE7ZE=1 并且 NMISR.OSTST=1 时
PB2/MTIOC9B	当 POE2.P4CZE=1 并且 SPOER.CH910HIZ=1 时	当 POE2.P4CZE=1 并且 ICSR2 的 POE4F、POE5F、 POE6F 或者 POE7F=1 时	当 POE2.P4CZE=1 并且 OCSR2.OSF2=1 并且 OCSR2.OCE2=1 时	当 POE2.P4CZE=1 并且 NMISR.OSTST=1 时

附表 1.3 通过 POE 功能的控制使端口状态变为高阻抗的条件 [100 引脚 LQFP]

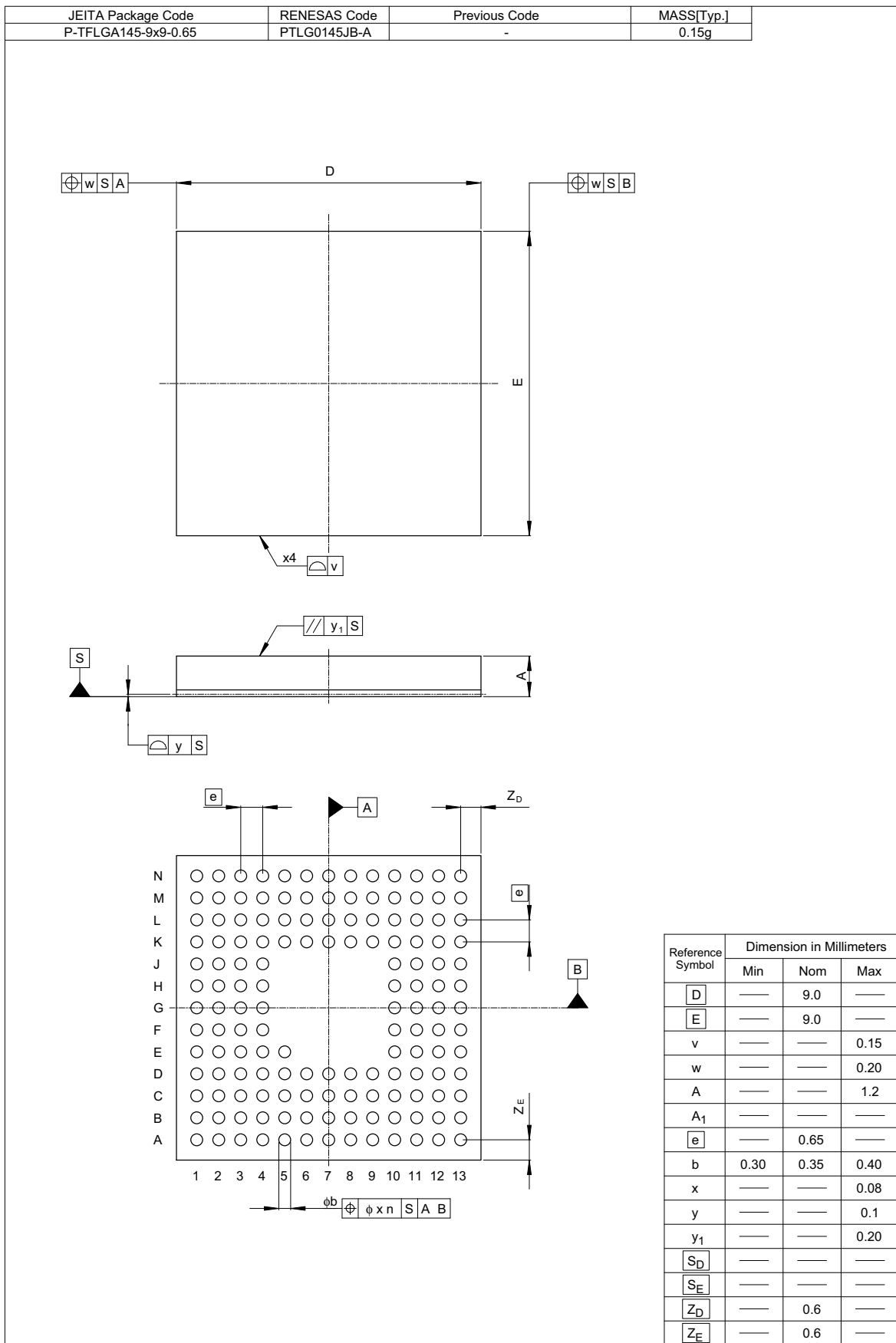
端口名 引脚名	通过软件进行 寄存器的设定控制	通过 POEn# 引脚的 控制 (n=0 ~ 9)	互补 PWM 输出引脚的 输出电平比较判断	通过检测振荡停止的控制
PB3/MTIOC9D	当 POE2R2.P4CZE=1 并且 SPOER.CH910HIZ=1 时	当 POE2R2.P4CZE=1 并且 ICSR2 的 POE4F、POE5F、 POE6F 或者 POE7F=1 时	当 POE2R2.P4CZE=1 并且 OCSR2.OSF2=1 并且 OCSR2.OCE2=1 时	当 POE2R2.P4CZE=1 并且 NMISR.OSTST=1 时
PB4/MTIOC10A	当 POE2R2.P5CZE=1 并且 SPOER.CH910HIZ=1 时	当 POE2R2.P5CZE=1 并且 ICSR2 的 POE4F、POE5F、 POE6F 或者 POE7F=1 时	当 POE2R2.P5CZE=1 并且 OCSR2.OSF2=1 并且 OCSR2.OCE2=1 时	当 POE2R2.P5CZE=1 并且 NMISR.OSTST=1 时
PB5/MTIOC10C	当 POE2R2.P5CZE=1 并且 SPOER.CH910HIZ=1 时	当 POE2R2.P5CZE=1 并且 ICSR2 的 POE4F、POE5F、 POE6F 或者 POE7F=1 时	当 POE2R2.P5CZE=1 并且 OCSR2.OSF2=1 并且 OCSR2.OCE2=1 时	当 POE2R2.P5CZE=1 并且 NMISR.OSTST=1 时
PB6/MTIOC10B	当 POE2R2.P6CZE=1 并且 SPOER.CH910HIZ=1 时	当 POE2R2.P6CZE=1 并且 ICSR2 的 POE4F、POE5F、 POE6F 或者 POE7F=1 时	当 POE2R2.P6CZE=1 并且 OCSR2.OSF2=1 并且 OCSR2.OCE2=1 时	当 POE2R2.P6CZE=1 并且 NMISR.OSTST=1 时
PB7/MTIOC10D	当 POE2R2.P6CZE=1 并且 SPOER.CH910HIZ=1 时	当 POE2R2.P6CZE=1 并且 ICSR2 的 POE4F、POE5F、 POE6F 或者 POE7F=1 时	当 POE2R2.P6CZE=1 并且 OCSR2.OSF2=1 并且 OCSR2.OCE2=1 时	当 POE2R2.P6CZE=1 并且 NMISR.OSTST=1 时

附录 2. 封装尺寸图

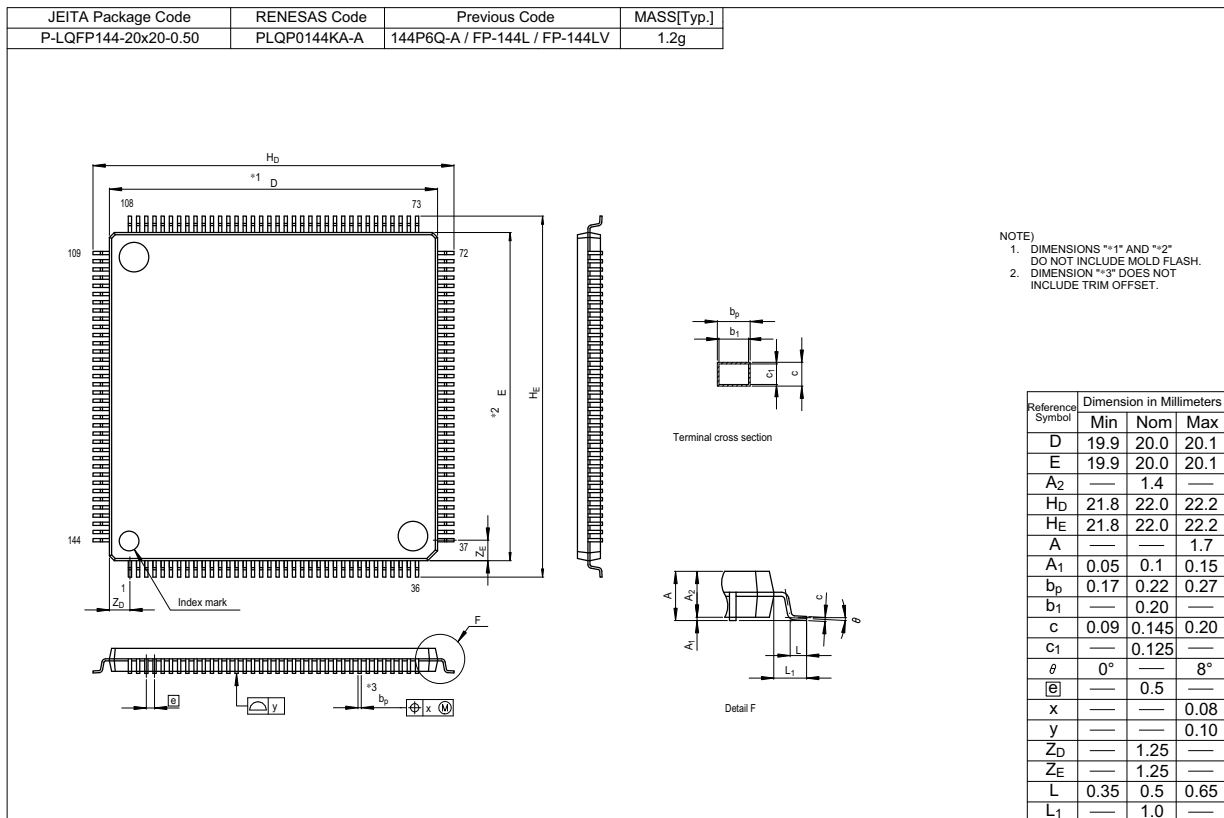
有关封装尺寸图的最新版和安装的信息，刊登在瑞萨电子的主页的“封装”中。



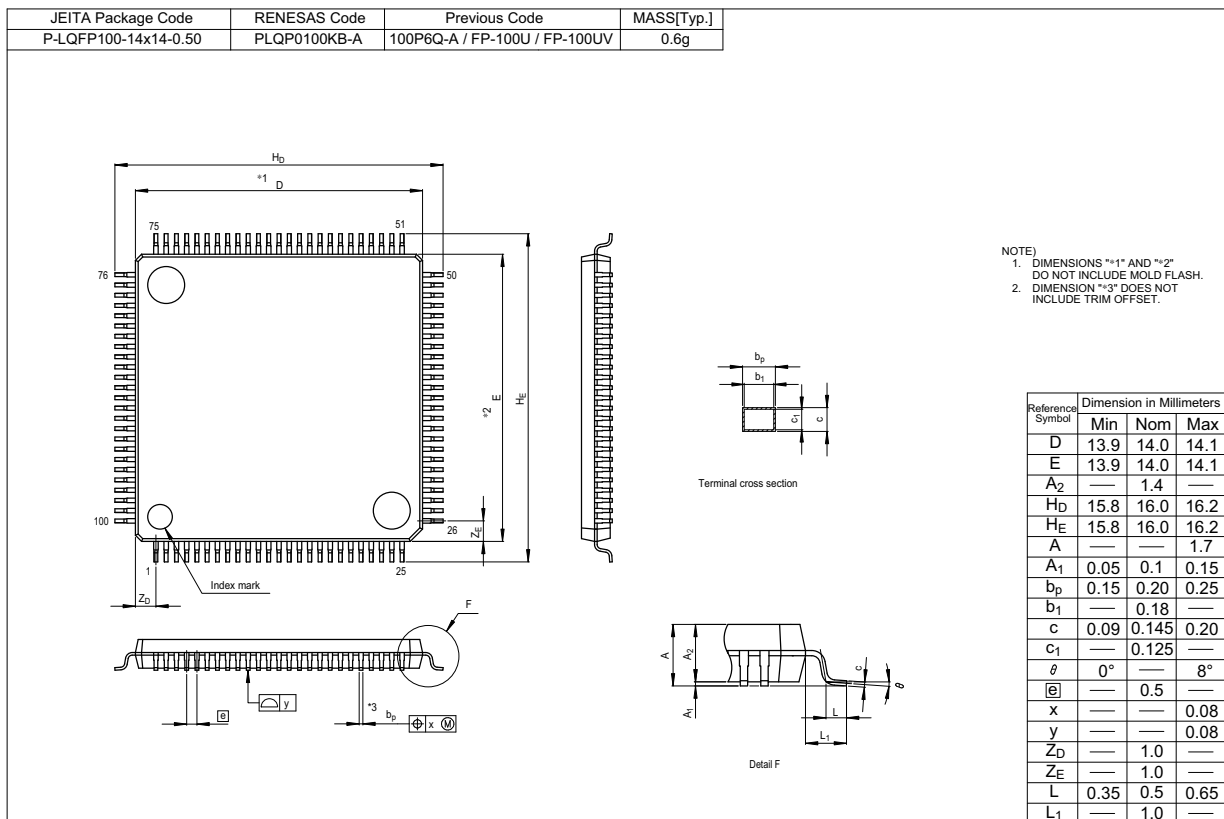
附图 2.1 176 引脚 LFBGA (PLBG0176GA-A) 封装尺寸图



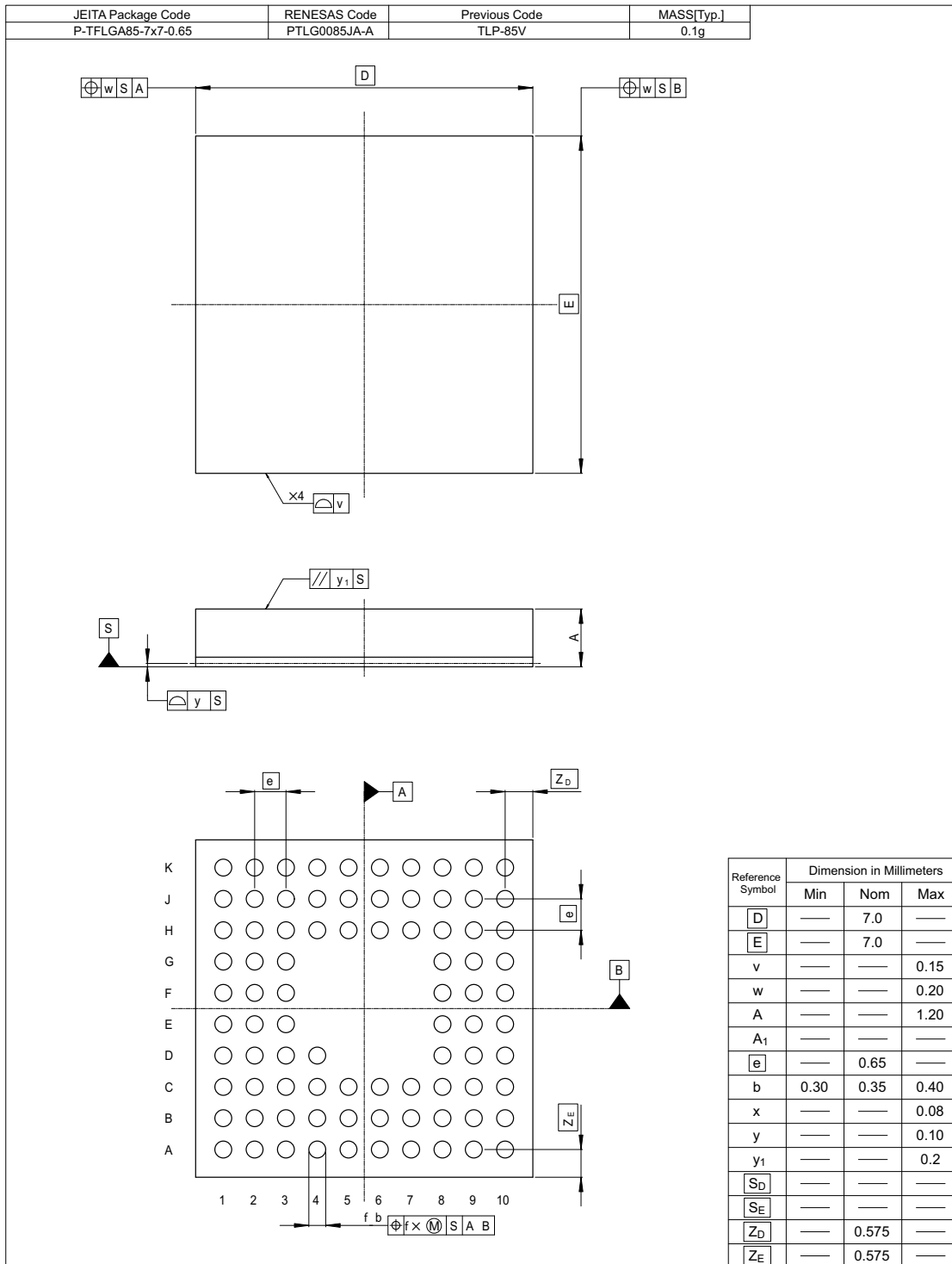
附图 2.2 145 引脚 TFLGA (PTLG0145JB-A) 封装尺寸图



附图 2.3 144 引脚 LQFP (PLQP0144KA-A) 封装尺寸图



附图 2.4 100 引脚 LQFP (PLQP0100KB-A) 封装尺寸图



附图 2.5 85 引脚 TFLGA (PTLG0085JA-A) 封装尺寸图

Rev.	发行日	修订内容	
		页	修订处
1.10	2011.03.30	—	初版发行
1.20	2011.09.15	全文	将“OCOCLK”更改为“IWDTCLK”、“Pn”更改为“PORTn”；将智能卡接口模式中的寄存器符号更改为“SMIC”；将“I/O PORT”更改为“IOPORT”、“Hiz”更改为“Hi-z”。
		1	追加“特点”页。
		2	在表 1.1（1/4）中追加注 2。
		3	将表 1.1（2/4）中的“外部 DMA 请求”更改为“外部 DMA 传送请求”。
		4	在表 1.1（3/4）中追加注 3。
		5	在表 1.1（4/4）中追加“最大传送速率”、“主控模式时：18Mbps”、“从属模式时：6.25Mbps”；将表 1.1（4/4）中的注 2 更改为注 4、注 3 更改为注 5。
		9	在图 1.2 中追加注 3。
		41	将表 1.9（2/6）中的“外部请求引脚”更改为“外部 DMA 传送请求引脚”。
		44	更改表 1.9（5/6）中“USB2.0 主机 / 功能模块”的引脚功能。
		57	在 2.5.1 中追加“和“12. 总线””。
		61	追加 2.5.5。
		68	在表 2.14 后追加符号说明。
		83	在 5（1）中追加“给各寄存器指定存取长度，禁止指定存取长度以外的存取。”。
		85 ~ 160	将表 5.1 中的“存取状态数”更改为“存取周期数”；将“DMACA”更改为“DMAC”、“EXDMACA 通用”更改为“EXDMAC”、“CMT（单元 0）”更改为“CMT”、“CMT（单元 1）”更改为“CMT”；更改“WDT”的寄存器符号；将“D/A”更改为“DA”；更改“0008 81EEh”、“0008 81EFh”、“0008 81FEh”、“0008 81FFh”的寄存器名和寄存器符号；更改“0008 8204h”~“0008 820Bh”、“0008 8215h”~“0008 821Bh”的存取长度；追加“TMR01”、“TMR02”、“SMCI0”、“SMCI1”、“SMCI2”、“SMCI3”、“SMCI5”、“SMCI6”；更改“0008 8384h”的位数；将“MTU 通用”分别更改为“MTUA”和“MTUB”并且分别删除其寄存器名和寄存器符号中的“A”和“B”；将“Px”更改为“PORTx”、“I/O PORT”更改为“IOPORT”；更改“CAN0”的寄存器名和寄存器符号；将“USB 通用”更改为“USB”。将表 5.1 的注 1 ~ 注 4 中的部分“NDRH”、“NDRL”更改为“NDRH2”、“NDRL2”。
		161	将表 5.2 中的“DMACA”更改为“DMAC”、“EXDMAC 通用”更改为“EXDMAC”、“CMT（单元 0）”和“CMT（单元 1）”更改为“CMT”、“D/A”更改为“DA”、部分“RDRH”和“RDRL”更改为“RDRH2”和“RDRL2”；更改部分“（—）”；追加“TMR01”、“TMR23”、“SMCI0”、“SMCI1”、“SMCI2”、“SMCI3”、“SMCI5”、“SMCI6”；更改“SCI0”、“SCI0”、“SCI1”、“SCI2”、“SCI3”、“SCI5”、“SCI6”；将“SVA[7:1]”更改为“SVA[6:0]”、“SVA[9:8]”更改为“SVA[1:0]”；更改“SPDR”的位；将“MTU 通用”分别更改为“MTUA”和“MTUB”并且分别删除其寄存器符号中的“A”和“B”；将“Px”更改为“PORTx”；“I/O PORT”更改为“IOPORT”；在“PFMPOE”的位中追加注；更改“R64CNT”的位；更改“CA0”的寄存器的符号和部分位；将“FIFOPORT[15:8]”改为“L[7:0]”、“FIFOPORT[7:0]”改为“H[7:0]”；更改“BEMPSTS”的位；将“USB 通用”更改为“USB”。
		162 ~ 175	

Rev.	发行日	修订内容	
		页	修订处
		176	将表 5.2 的注 1 ~ 注 4 中的部分“NDRH”、“NDRL”更改为“NDRH2”、“NDRL2”。
		182	更改 6.3.4 中的部分内容。
		192	在表 8.1 中追加注 2、注 3。
		193	在表 8.2 中追加“XCIN 引脚也可以输入外部时钟”。
		197	将 8.2.3 中的“振荡停止检测功能允许位”更改为“振荡停止检测功能有效位”。
		200	更改 8.4.2 的内容；替换图 8.7。
		203	将 8.11.1 中断“振荡停止中断请求”更改为“中断请求”。
		204	将 8.12.1 的 1. 中的“100 引脚 TFLGA 版”更改为“100 引脚 LQFP 版”。
		207	更改表 9.2 的注 1、注 2 和注 3。
		208	替换图 9.1。
		218	将 9.2.5 的 DPSBY 位说明中和 9.2.6 中的“RTC”更改为“RTC 闹钟”。
		219	将 9.2.7 的位表中的“RTC 中断”更改为“RTC 闹钟中断”。
		220、221	将 9.2.8 中的“RTC 中断”更改为“RTC 闹钟中断”。
		222、223	将 9.2.10 中的“RTC”更改为“RTC 闹钟”。
		225	更改 9.5.2.2（RTC 闹钟、USB 中断）。
		226	将 9.5.3.1 中的“DMACA”更改为“DMAC”；更改 9.5.3.2（RTC 闹钟、USB 中断）。
		228	更改 9.5.4.1（RTC 闹钟、USB 中断）；在 9.5.4.1 的注 1 中追加“和振荡停止检测功能”。
		229	更改 9.5.4.2（RTC 闹钟、USB 中断）。
		234	更改 9.7.6 的部分内容。
		236	将图 10.2 中的“处理程序的起始位置”和“处理程序的执行”更改为“处理程序”。
		242	将表 11.1 项目栏中的“低电源电压检测”更改为“电压监视中断”、“振荡停止检测”更改为“振荡停止检测中断”；更改“从低功耗状态的返回”的内容。
		243	将图 11.1 中的“低电源电压检测”更改为“电压监视中断”、“振荡停止检测”更改为“振荡停止检测中断”。
		257	在 11.2.4 的 FIEN 位说明中追加“和 11.4.5 高速中断”。
		259	更改 11.2.7 的位表和位说明；在 11.2.8 中追加“但是，更改为 Low 电平时无需清除 IR 标志”。
		260	将 11.2.9 中的“低电源电压检测”更改为“电压监视中断”、“振荡停止检测”更改为“振荡停止检测中断”。
		261	将 11.2.10 中的“低电源电压检测”更改为“电压监视中断”、“振荡停止检测”更改为“振荡停止检测中断”。
		263 ~ 268	更改表 11.4 中的部分内容。
		269	在 11.4.1.1 中追加部分内容；替换图 11.2。
		270	将图 11.3 中的“IRn”更改为“IR”；替换图 11.5。
		271	更改图 11.6 中的部分内容。
		272	将 11.4.3（1）中的“DMACAn”更改为“DMACn”；在（2）中追加部分内容。
		273	更改表 11.5 的 DISEL 说明和注 2。

Rev.	发行日	修订内容	
		页	修订处
		275	将 11.5 中的“低电源电压检测”更改为“电压监视中断”、“振荡停止检测”更改为“振荡停止检测中断”。
		280	删除表 12.1“符号说明”中的“这是最大 100MHz 的时钟”和“这是最大 50MHz 的时钟”。
		283	更改 12.2.5 的部分内容。
		284	在表 12.6 中追加注 2。
		285	在 12.2.7 中追加 (2)。
		288	在 12.3.1 中追加注 3、注 4；追加 EMODE 位的说明。
		291	更改表 12.9。
		297	更改 12.3.5 中 WDOFF[2:0] 位的部分说明。
		298	更改 12.3.5 中 RDON[2:0] 位和 WRON[2:0] 位的注 2。
		308	在 12.3.5 的 CL[2:0] 位说明中追加注。
		330	将图 12.19 中的“D15”更改为“D31”。
		345	将 12.5.6 (4) 中的“EXDMAC 群集传送以外的单地址传送”更改为“EXDMAC 的单地址传送”。
		346	更改 15.5.6 (6)；追加 15.5.6 (7)。
		354	将图 12.46 中的“0001”更改为“001”。
		365	将图 12.65 中的“2 个周期”更改为“1 个周期”。
		376	在 12.6.15 中追加 (5)、(6)。
		396	更改 13.2.13 的标题。
		397	更改表 13.4 的功能栏内容。
		398	将 13.3.1 (2) 中的“1K 块”更改为“1K 重复次数”；将表 13.5 中的“块计数”更改为“重复次数计数”。
		401	将表 13.7 中的“DMACn”更改为“DMAC0”。
		404	将图 13.9 中的“重复区域结束中断”更改为“重复大小结束中断”。
		407	在图 13.10 中追加“m = 02h ~ 1Fh, j = 0 ~ 7”。
		410	替换图 13.11。
		411	在表 13.9 中追加注 1。
		414	在 13.5 (1) 中追加“处理器中断优先级”；在 13.5 (1) ~ (3) 中追加注；将 (1) ~ (3) 中的“DMACn 中断”更改为“DMAC 中断”。
		417	将表 14.1 中的“外部 DMA 请求输入”更改为“外部 DMA 传送请求引脚”；“DMA 请求”更改为“DMA 传送请求”。
		418	将表 14.2 中的“外部请求”更改为“外部 DMA 传送请求”。
		424	将 14.2.5 中的“外部 DMA 请求引脚”更改为“外部 DMA 传送请求引脚”。
		432	在 14.2.10 的 DTE 位说明中追加“当 DTE 位为“1”时，禁止写对应 EXDMAC 通道的 DTE 位以外的寄存器。”。
		446	将 14.3.3 和表 14.9 中的“EXDMACn”更改为“EXDMAC0”。
		449	将图 14.10 中的“重复区域结束中断”更改为“重复大小结束中断”。
		451	追加 14.4 说明；将图 14.11 中的“5 个周期”更改为“4 个周期”。
		452	在图 14.12 的标题中追加“(DIR = 1 时)”；将图 14.13 中的“5 个周期”更改为“4 个周期”并且删除“TBD”。
		453	将图 14.14 中的“5 个周期”更改为“4 个周期”并且删除“TBD”。
		454	将图 14.15 中的“5 个周期”更改为“4 个周期”并且删除“TBD”。

Rev.	发行日	修订内容	
		页	修订处
		455	将图 14.17 中的“5 个周期”更改为“4 个周期”并且删除“TBD”。
		456	将图 14.19 中的“5 个周期”更改为“4 个周期”并且删除“TBD”。
		457	将图 14.21 中的“5 个周期”更改为“4 个周期”并且删除“TBD”。
		458	追加“14.5 启动源和启动步骤”；将 14.5.1 中的“外部 DMA 请求”更改为“外部 DMA 传送请求”；更改 14.5.1 (2) 中的 3；并且在 (2) 中追加“与 EDMAST.DMST 位和 EXDMACn.EDMCNT.DTE 位的值无关，保持 EXDMACn.EDMERF.EREQ 标志。”。
		459	替换图 14.22 和图 14.23；更改更改 14.5.1 (3) 中的 2；在 (3) 中追加“与 EDMAST.DMST 位和 EXDMACn.EDMCNT.DTE 位的值无关，保持 EXDMACn.EDMPRF.PREQ 标志。”。
		460	更改图 14.24 中的部分内容。
		464	更改 14.7 的部分内容。
		465	更改 14.7 (1) 的部分内容；更改图 14.26 的标题。
		467	将 14.9.1 中的“1 个周期”更改为“1 个 BCLK 周期”；将图 14.27 中的“外部时钟”更改为“BCLK 引脚输出”并且追加“(BCLK)”。
		468	将图 14.28 中的“外部时钟”更改为“BCLK 引脚输出”并且追加“(BCLK)”。
		470	将 14.9.3 中的“1 个周期”更改为“1 个 BCLK 周期”；将图 14.31 中的“外部时钟”更改为“BCLK 引脚输出”并且追加“(BCLK)”。
		471	将图 14.32 中的“外部时钟”更改为“BCLK 引脚输出”并且追加“(BCLK)”。
		491	在图 15.4 中追加“n 为向量号”。
		497	更改 15.4.6 的说明内容。
		498	将 15.4.7 中的“图 15.12”更改为“图 15.13”；在图 15.9 和图 15.10 中追加“i = 中断向量号”。
		499	在图 15.11 和图 15.12 中追加“i = 中断向量号”。
		501	在表 15.10 中追加“注 7”。
		513	更改表 16.2 (5/5) 中“端口 F”的部分内容。
		523	在 16.1.2.4 中追加“在用作外部总线引脚的数据总线时，引脚的输入缓冲器会自动变为有效，因此无需将 PORTn.ICR 置“1”。”。
		527	将 16.1.2.7 中的“允许位”更改为“输出允许位”。
		530	将 16.1.2.10 中的“允许位”更改为“输出允许位”。
		531	将 16.1.2.11 中的“允许位”更改为“输出允许位”、“8 ~ 15”更改为“10 ~ 15”。
		532	将 16.1.2.12 中的“允许位”更改为“有效位”。
		533	将 16.1.2.13 中的“允许位”更改为“输出允许位”。
		543、544	将 16.1.2.23 中的“允许位”更改为“输出允许位”；在“PSPCK”、“MOSIA”、“MISOA”、“SSLO”、“SSL1”、“SSL2”、“SSL3”中追加“A”。
		545、546	将 16.1.2.24 中的“允许位”更改为“输出允许位”；在“PSPCK”、“MOSIA”、“MISOA”、“SSLO”、“SSL1”、“SSL2”、“SSL3”中追加“B”。
		552	将 16.1.2.28 中的“允许位”更改为“输入允许位”。
		553	将 16.1.2.29 中的“允许位”更改为“输入允许位”。
		554	将表 16.9 中的“D/A”更改为“DA”。
		555 ~ 569	替换表 16.10。

Rev.	发行日	修订内容	
		页	修订处
		570 ~ 575	追加表 16.11。
		595	将 16.2.2.7 中的“允许位”更改为“输出允许位”。
		598	将 16.2.2.10 中的“允许位”更改为“输出允许位”。
		599	将 16.2.2.11 中的“允许位”更改为“输出允许位”。
		600	将 16.2.2.12 中的“允许位”更改为“有效位”。
		601	将 16.2.2.13 中的“允许位”更改为“输出允许位”。
		612、613	将 16.2.2.23 中的“允许位”更改为“输出允许位”；在“PSPCK”、“MOSIA”、“MISOA”、“SSLO”、“SSL1”、“SSL2”、“SSL3”中追加“A”。
		614、615	将 16.2.2.24 中的“允许位”更改为“输出允许位”；在“PSPCK”、“MOSIA”、“MISOA”、“SSLO”、“SSL1”、“SSL2”、“SSL3”中追加“B”。
		619	将 16.2.2.27 中的“允许位”更改为“输入允许位”。
		620	将 16.2.2.28 中的“允许位”更改为“输入允许位”。
		621	将表 16.20 中的“D/A”更改为“DA”。
		622 ~ 631	替换表 16.21。
		632 ~ 637	追加表 16.22。
		654	将 16.3.2.7 中的“允许位”更改为“输出允许位”。
		655	将 16.3.2.8 中的“允许位”更改为“输出允许位”。
		656	将 16.3.2.9 中的“允许位”更改为“输出允许位”。
		657	将 16.3.2.10 中的“允许位”更改为“有效位”。
		675 ~ 683	替换表 16.32。
		684 ~ 689	追加表 16.33。
		704	将 16.4.2.7 中的“允许位”更改为“输出允许位”。
		705	将 16.4.2.8 中的“允许位”更改为“输出允许位”。
		706	将 16.4.2.9 中的“允许位”更改为“输出允许位”。
		709	将 16.4.2.14 中的“允许位”更改为“输出允许位”；在“PSPCK”、“MOSIA”、“MISOA”、“SSLO”、“SSL1”、“SSL2”、“SSL3”中追加“A”。
		710	将 16.4.2.15 中的“允许位”更改为“输出允许位”；在“PSPCK”、“MOSIA”、“MISOA”、“SSLO”、“SSL1”、“SSL2”、“SSL3”中追加“B”。
		713	在表 16.40 中追加注 1。
		715 ~ 720	替换表 16.42。
		721 ~ 726	追加表 16.43。
		728 ~ 731	追加图 16.1、图 16.2、图 16.3 以及图 16.4。
		739	在图 17.1 的通道 0 中追加“TIER2”。
		740	在图 17.2 的通道 6 中追加“TIER2”。
		745	更改表 17.5 中通道 0 的“通用”部分。
		747	更改表 17.5 中单元 1 的“通用”部分。
		748	在 17.2.1 中追加注 1。
		752	在 17.2.2 的 BFA 位和 BFB 位说明中追加“有关互补 PWM 模式的 Tb 区间，请参照图 17.42。”。
		766	更改 17.2.5 的 TGIE5W 位、TGIE5V 位、TGIE5U 位的说明。
		770	更改 17.2.9 中位图和位表的注。
		771	更改 17.2.10 和 17.2.11 的标题。
		772	在 17.2.13 中追加“另外，通过此寄存器能设定 A/D 转换开始请求的产生间隔。有关 A/D 转换开始条件的详细内容，请参照“33. 12 位 A/D 转换器（S12AD）”和“34. 10 位 A/D 转换器（ADa）”。”。

Rev.	发行日	修订内容	
		页	修订处
		773、774	更改 17.2.14 的标题和副标题。
		775	更改 17.2.15 的标题。
		776	更改 17.2.16 的标题和误写防止对象寄存器 / 计数器。
		777	更改 17.2.17 的标题、注以及说明；删除位表中的“（无效电平）”。
		778	更改 17.2.18 的标题；删除注 3。
		780	更改 17.2.19 的标题。
		781	删除表 17.40 中的“j”。
		782	更改 17.2.20 的标题；删除 17.2.20 和图 17.4 中的“j”。
		783	更改 17.2.21 的标题。
		785	更改 17.2.22 和 17.2.23 的标题。
		786	更改 17.2.24 和 17.2.25 的标题。
		787	更改 17.2.26 的标题和注。
		789	更改 17.2.27 的标题。
		790	更改 17.2.28 的标题和对对象缓冲寄存器。
		791	更改 17.2.29 的标题。
		792	更改 17.2.30 的标题。
		793	删除 17.2.31 中的“j”。
		804	将 17.3.4 中的“MTU2.TCNT”更改为“MTU1.TCNT”。
		805	删除图 17.2 中的“j”。
		808	将 17.3.5 (a) 中的“PWM 输出”更改为“PWM 波形输出”。
		810	更改图 17.26 的步骤顺序。
		813	删除图 17.30 中的“j”。
		820	更改图 17.36 的步骤顺序。
		825	更改图 17.39 的步骤顺序。
		826	删除 17.3.8 (2) (a) 中的“j”；替换图 40。
		827	删除 17.3.8 (2) (b) 中的“j”。
		828	替换图 41；删除 17.3.8 (2) (c) 中的“j”。
		831	替换图 17.43。
		832	替换图 17.44。
		833	替换图 17.45。
		834	替换图 17.46。
		835	替换图 17.47、图 17.48。
		836	替换图 17.49、图 17.50。
		837	替换图 17.51、图 17.52。
		838	替换图 17.53、图 17.54。
		839	替换图 17.56。
		840	替换图 17.57
		841	替换图 17.59。
		842	替换图 17.60、图 17.61。
		843	替换图 17.62。
		846	更改图 17.68 中的注；替换图 17.69。
		847	替换图 17.70；将 17.3.8 (3) (C) 中的第二个“BTE1=0, BTE0=1”更改为“BTE1=1, BTE0=0”。
		848	替换图 17.71、图 17.72。

Rev.	发行日	修订内容	
		页	修订处
		849	替换图 17.73；更改 17.3.8 (4) (a) 中单元 0 和单元 1 的部分寄存器。
		852	更改图 17.76 和图 17.77 的标题。
		860	将图 17.86 和图 17.87 中的“内部时钟”更改为“外部时钟”。
		865	将图 17.100 和 17.101 中的“中断标志”更改为“中断信号”并且修改其图；删除“(ICU 的 IR)”。
		866	将 17.5.2 (2) 的“TGF 标志”更改为“TGI 中断”；将图 17.102 和 17.103 中的“中断标志”更改为“中断信号”并且修改其图；删除“(ICU 的 IR)”。
		867	将图 17.104 和 17.105 中的“中断标志”更改为“中断信号”并且修改其图；删除“(ICU 的 IR)”。
		872	在图 17.114 的标题中追加“或者通道 6 ~ 10”；在图 17.115 的标题中追加“或者通道 11”。
		876	将图 17.119 中的“中断标志”更改为“中断信号”并且删除“(ICU 的 IR)”、将“不被置位”更改为“不会产生”；将图 17.220 中的“TCIV3”、“TCIV4”更改为“TCIV3 中断信号”、“TCIV4 中断信号”；删除“(ICU 的 IR)”；将“不被置位”更改为“不会产生”。
		877	更改 17.6.17 和 17.6.18 的说明；将图 17.121 中的“TCIV 标志”更改为“TCIV 中断信号”并且修改其图；删除“(ICU 的 IR)”；将“被禁止”更改为“不会产生”；将图 17.122 中的“中断标志”更改为“中断信号”并且修改其图；删除“(ICU 的 IR)”；将“被禁止”更改为“不会产生”。
		879	在 17.7.3 中追加“(n = 通道号)”。
		899	将表 18.3 中的“MTIOC3-B”更改为“MTIOC3D-B”、将“MTU”分别更改为“MTUA”和“MTUB”(MTU 互补 PWM 输出除外)。
		917	在 18.5 中追加“在不使用 POE 时，必须给端口输出允许控制寄存器 1
		921	(POECR1) 和端口输出允许控制寄存器 2 (POECR2) 写“00h”。
		927、929	将表 19.4 中 PPG0 和 PPG1 的第二个“下一个数据寄存器 H”和“下一个数据寄存器 L”更改为“下一个数据寄存器 H2”和“下一个数据寄存器 L2”；并且更改其相应的符号；更改注。
		933	更改 19.2.4 的位图。
		950	更改 19.2.6 的位表。
		951、952	更改表 20.4 的标题；在表 20.4 中追加“16 位存取时的符号”栏。
		954	在 20.2.1、20.2.2 和 20.2.3 中追加 16 位存取时的符号和地址。 在 20.2.5 的位图中追加 16 位存取时的符号和地址；并且在 20.2.5 的说明中追加部分内容。
		960	更改 20.4.2 的部分内容；更改图 20.7。
		961	将 20.4.5 和图 20.10 中的“状态”更改为“周期”。
		962	更改 20.4.6 的部分内容；更改图 20.12；更改 20.5.1 的说明。
		974	更改 20.7.2。 将 21.4.2 中的“中断标志变为“1”的时序”更改为“比较匹配中断的发生时序”；更改图 21.4 和标题。
		979	在表 22.3 中追加注 1 和说明。
		996	在 22.5.4 中追加“复位”和“复位解除”。

Rev.	发行日	修订内容	
		页	修订处
		1000	更改 23.2.2 中 CKS[2:0] 的周期值。
		1005	必须将第二个“5Ah”更改为“A5h”。
		1008 ~ 1015	将 24 章中的“OCOCLK”更改为“IWDTCLK”。
		1014	将图 24.3 中的“写允许”更改为“允许写信号”。
		1015	将图 24.4 中的“写允许”更改为“允许写信号”。
		1017	将表 25.3 中的“TXD-EN”更改为“TXD_EN”。
		1020	将 25.2.1 中的“软件位”更改为“软件复位位”；将“PMR”更改为“PRM”。
		1021	将 25.2.2 中的“LNKSTA”更改为“LINKSTA”。
		1024	更改 25.2.5 位表中的 MDO 功能说明；将 25.2.6 中的“软件位”更改为“软件复位位”。
		1025	删除 25.2.7 中“EDMAC 的”；将“软件位”更改为“软件复位位”。
		1028	将 25.2.13 中的“CFFCR”更改为“CEFCR”。
		1032	将 25.2.21 中的“禁止在发送功能有效的状态下改写 MPR 寄存器”更改为“必须在发送功能有效的状态下写 MPR 寄存器”。
		1035	将 25.3.1 中的“E-DMAC”更改为“EDMAC”。
		1043	更改 25.4、图 25.19 以及图 25.20。
		1044	追加 25.5.2。
		1047	更改 26.2.1 的注 1；将“64 个内部总线时钟 BCLK”更改为“64 个 EDMAC 内部总线时钟周期”。
		1058	更改 26.2.11 的位图。
		1069	更改 26.3.1.2 (1) 位表中 RFS 的功能栏说明。
		1073	在 26.3.4.1 中追加“并且在”。
		1074	在 26.3.4.2 中追加“并且在”。
		1084	将 27.2.2 中的“OCVMON”更改为“OVCMON”；更改表 27.6 的位置。
		1085、1087	在 27.2.3 中追加“(On-The-Go)”。
		1088	更改 27.2.4 的位图、位表以及说明。
		1093	将 27.2.5 的 RCNT 位说明中的“CFIFOCTR”更改为“DnFIFOCTR”、“BFRE”更改为“PIPECFG.BFRE”；删除 DCLRM 位说明中的“在将 SOFCFG.BRDYM 位置“1”后使用 USB 模块时，必须将 DCLRM 位置“0”。”。
		1094、1095	在 27.2.6 的 DTLN[8:0] 位说明和 FRDY 位中追加“DTC 或者”。
		1095	将 27.2.6 的 BCLR 位说明中的“DCP 的 PID 位”更改为“DCP 控制寄存器的 PID 位”。
		1098	在 27.2.8 的说明中追加“INTENB1”。
		1103	将 27.2.12 位表中的“支持低速”更改为“不能设定”；删除注 1；在 BRDYM 位说明中追加“必须将 BRDYM 位置“0”。”。
		1117	将 27.2.23 位表中的“wValue”更改为“wIndex”。
		1118	将 27.2.24 位表中的“wValue”更改为“wLength”。
		1121	更改 27.2.27 位表中 SUREQCLR 位的功能说明。
		1131	将 27.2.32 的 INBUFM 位说明中的“软件（或者 DMACA）”更改为“CPU（DTC 或者 DMACA）”；将 ATREPM 位说明中的“IN-Token”、“OUT-Token”、“Bulk-IN”、“Bulk-OUT”更改为“IN 权标”、“OUT 权标”、“批量 IN”、“批量 OUT”。

Rev.	发行日	修订内容	
		页	修订处
		1139	将 27.2.35 位表中的“低速”更改为“不能设定”，将 USBSPD[1:0] 位说明中的“低速设备”更改为“全速设备”、“01b”更改为“10b”；将“0～9”更改为“0～5”。
		1154	将图 27.10 中的“B9”更改为“b9”。
		1155	在表 27.16 中追加注 1。
		1156	删除 27.3.3.1 (3)。
		1158	将 27.3.3.2 (1) 中的“11”更改为“11b”、“IN Token”更改为“IN 权标”。
		1159	将 27.3.3.2 (2) 中的“IN Token”更改为“IN 权标”。
		1160	将 27.3.3.3 中的“软件 (DMACA)”更改为“CPU (DTC 或者 DMACA)”。
		1161	在图 27.14 的部分值后加“b”。
		1162	将 27.3.3.5 中的“110”更改为“110b”；在图 27.15 的值后加“b”。
		1168	将 27.3.5.1 中的“CPU (DMACA)”更改为“CPU (DTC 或者 DMACA)”。
		1170	将表 27.23 中的“DMA 存取”更改为“DTC 存取 /DMACA 存取”。
		1171	在 27.3.5.4 (1) 中追加“DTC 或者”和注 1。
		1177	将 27.3.9.3 (2) 中的“软件 (DMACA)”更改为“CPU (DTC 或者 DMACA)”；将图 27.16 和图 27.17 标题中的“Token”更改为“权标”；将“Isochronous-IN”、“Isochronous-OUT”、“IN Token”、“OUT Token”更改为“等时 IN”、“等时 OUT”、“IN 权标”、“OUT 权标”。
		1178、1179	将 27.3.9.3 (3) 中的“Isochronous-OUT”更改为“等时 OUT”；将图 27.18 和图 27.19 标题中的“Token”更改为“权标”。
		1184	在 28 中追加“(SMCI)”；将 28.1 中的“SCI5 和 SCI6”更改为“SMCIO～3、5、6”；在表 28.1 中追加注 1。
		1185	更改图 28.1 的标题。
		1187	更改表 28.3 的标题，并且在表中追加“SMCIO”～“SMCI3”、“SMCI5”、“SMCI6”。
		1188	追加 28.2。
		1193、1194	删除 28.2.1.6 中的注 1；在位表中追加“在 SEMR.ABCS 位为“1”时输入频率为 8 倍位速率的时钟。”。
		1204	更改表 28.9。
		1210	将 28.2.2.3 中的“SCIn”更改为“SCIm”。
		1211	将图 28.7 中的“Bi”更改为“Bj”并且追加注 1。
		1212	更改图 28.8。
		1214	更改图 28.10。
		1219	更改图 28.15。
		1220	在图 28.16 的步骤 [2] 中追加“等待 ID 接收”。
		1223	更改图 28.19。
		1224	更改图 28.20。
		1226	更改图 28.22。
		1229～1237	追加 28.3、28.3.1。
		1242	更改图 28.30。
		1245	更改图 28.33。
		1255	将 29.2.1 位表中的“W”更改为“R/W”。

Rev.	发行日	修订内容	
		页	修订处
		1263	将图 30.2 中的“VCC”（包括图）更改为“上拉电源”（包括图）。
		11275、1276	将 30.2.6 中的部分“允许位”更改为“有效位”。
		1277	将 30.2.7 中的“允许位”更改为“有效位”。
		1280、1281	将 30.2.9 中的“SVA[7:1]”更改为“SVA[6:0]”、“SVA[9:8]”更改为“SVA[1:0]”。
		1286	将 30.2.11 中的“SVA[7:1]”更改为“SVA[6:0]”。
		1287	将 30.2.12 中的“SVA[7:1]”更改为“SVA[6:0]”、“SVA[9:8]”更改为“SVA[1:0]”。
		1289	更改 30.2.14 中的占空比表达式。
		1297	将图 30.9 中的“清除”更改为“写”。
		1298	更改 30.3.4 中的步骤 5 和步骤 6。
		1299	更改图 30.10 中的步骤 5 和步骤 6 部分。
		1301	将图 30.13 中的“清除”更改为“写”，并且更改步骤 5 和步骤 6 的部分。
		1303	将图 30.16 中的“清除”更改为“写”。
		1305	将图 30.19 中的“清除”更改为“写”。
		1309	将 30.7.1 和图 30.23 中的“AASn”更改为“AASy”。
		1310	将图 30.24 中的“AASn”更改为“AASy”。
		1312	将图 30.27 中的“AASn”更改为“AASy”。
		1314	将图 30.29 中的“AASn”更改为“AASy”。
		1315	将图 30.30 中的“AASn”更改为“AASy”。
		1318	将图 30.32 和图 30.33 中的“AASn”更改为“AASy”；将图 30.32 中的“清除”更改为“写”。
		1320	将图 30.35 中的“清除”更改为“写”。
		1322	将图 30.37 中图“清除”更改为“写”。
		1327	将 30.13 中的“DMAC”更改为“DMACA”。
		1333	更改表 31.3 的寄存器名和寄存器符号。
		1342	在表 31.5 中追加“寄存器符号栏”。
		1348	更改 31.2.8 的位图。
		1354	将 31.2.11 的 TFE 位中的“MB23”更改为“MB24”。
		1357	在 31.2.13 的 RSTST 标志和 HLTST 标志中追加“或者不从 CAN 复位模式转移到 CAN 睡眠模式”。
		1370	更改 31.2.24 (2)。
		1377	将图 31.13 标题中的“32”更改为“31”。
		1384	将表 31.12 中的“RXF0”、“TXF0”的中断源标志更改为“—”。
		1386	更改图 32.1 中的 MOSIn 和 MISOn。
		1389	将 32.2.1 中的“功能允许位”更改为“功能有效位”、“SSLn 引脚”更改为“SSL0 ~ 3”。
		1392	在 32.2.3 的 SPLP 位和 SPLP2 位中追加参照；将 SPLP2 中的“环回模式”更改为“环回模式 2”。
		1394	将 32.2.4 的 MODF 标志中的“n = A、B”更改为“i = 0 ~ 3”。
		1395	更改 32.2.5 的位图。
		1396	将 32.2.6 中的“允许主控模式的 RSPI 运行”更改为“主控模式的 RSPI 运行有效”。

Rev.	发行日	修订内容	
		页	修订处
		1397	在 32.2.7 中追加“SPSR.PERF”。
		1398	将 32.2.8 中的“允许主控模式的 RSPI 运行”更改为“主控模式的 RSPI 运行有效”；更改表 32.4 中的注 1。
		1399	在 32.2.9 位表中的值后加“b”；将“允许 RSPI 运行”更改为“RSPI 运行有效”。
		1402	将 32.2.10 中的“允许主控模式的 RSPI 运行”更改为“主控模式的 RSPI 运行有效”。
		1403	将 32.2.11 中的“允许主控模式的 RSPI 运行”更改为“主控模式的 RSPI 运行有效”。
		1404	将 32.2.12 中的“允许主控模式的 RSPI 运行”更改为“主控模式的 RSPI 运行有效”。
		1405	将 32.2.13 中的“允许 RSPI 运行”更改为“RSPI 运行有效”、“奇偶校验允许位”更改为“奇偶校验有效位”。
		1407	将 32.2.14 中的“从属主控模式的 RSPI 运行”更改为“从属模式的 RSPI 运行有效”。
		1410	将表 32.7 的主控和从属模式（时钟同步运行）中的“SSL1 ~ 3”更改为“SSL0 ~ 3”；将注 2 和注 3 中的“Hi-Z”更改为“高阻抗”。
		1411	在 32.3.3.1 的注中追加“（m = 0 ~ 7）”。
		1412	将 32.3.3.2 的注中的“Hi-Z”更改为“高阻抗”。
		1415	将 32.3.3.5 中的“Hi-Z”更改为“高阻抗”。
		1417	在 32.3.4.1 中追加“（m=0 ~ 7）”。
		1418	在 32.3.4.2 中追加“（m=0 ~ 7）”。
		1421	将图 32.15 的传送结束部分中的“T00”更改为“R00”。
		1457	将 32.3.6.1 中的“00”更改为“00b”。
		1428	将 32.3.6.2 中的“SPFC1 和 SPFC0 为“00””更改为“SPFC[1:0] 位为“00b””。
		1429	将 32.3.7 中的“00”更改为“00b”、“禁止 RSPI”更改为“RSPI 运行无效”。
		1430	将表 32.9 中的“禁止 RSPI”更改为“RSPI 运行无效”。
		1432	将 32.3.8.2（2）中的“OVRF”更改为“RERF”。
		1433	将 32.3.9.1 中的“Hi-Z”更改为“高阻抗”。
		1434	将 32.3.10.1（3）中的“允许 RSPI 功能”更改为“RSPI 功能有效”。
		1436	在 32.3.10.1（4）中追加“（m=0 ~ 7）”。
		1444	将 32.3.12（3）中的“允许 RSPI 功能”更改为“RSPI 功能有效”。
		1449	将图 32.36 中的 RSPI 命令寄存器 0 的“SPDCR”更改为“SPCMD0”。
		1456	将整章中的“ADI”更改为“S12ADI0”；将表 33.1 中的“ADI 中断”更改为“S12ADI0 中断”。
		1457	将表 33.2 中的“ADI 中断”更改为“S12ADI0 中断”并且在其后追加“（S12ADI0）”。
		1461	将 33.2.2. 中的“ADI”更改为“S12ADI0”。
		1467	将 33.3.2 中的“ADI 中断”更改为“S12ADI0 中断”；更改图 33.3。
		1468	将 33.3.3 中的“ADI 中断”更改为“S12ADI0 中断”；更改图 33.4。
		1469	将 33.3.4 中的“选择的通道数”更改为“转换次数”、“MTU2”更改为“MTU”。
		1475	更改 33.4.1。

修订记录

RX62N 群、RX621 群 用户手册 硬件篇

Rev.	发行日	修订内容	
		页	修订处
		1487	更改 34.2.6 的注 1。
		1488	更改图 34.3 中 ADI0 图部分。
		1489	更改图 34.4 中 ADI0 图部分。
		1490	更改图 34.5 中 ADI0 图部分。
		1491	更改图 34.6 中 ADI 图部分。
		1499	将 34.6.5 中的“5mV/s”更改为“5mV/μs”。
		1501	将 34.6.8 中的第一个“模拟接地（VREFL）”更改为“模拟接地（AVSS）”、将第二个“模拟接地（VREFL）”更改为“模拟基准接地（VREFL）”。
		1505	更改 35.2.2 的注 1。
		1507	将图 35.2 中的“DADR”更改为“DADR0”。
		1523	在表 37.4 的“正常模式转移”前加“P/E”。
		1568	将 37.9.6（9）中的长度从 1 字节更改为 2 字节。
		1583	在 37.10.2 的“3.”和“4.”中追加“数据 MAT”；替换图 37.35。
		1585	将 37.13（4）中的“通过 LVD2 的低电压检测产生复位”更改为“发生 LVD2 的电压监视复位”。
		1600	将图 38.3 中的“DB0”更改为“DB00”。
		1610	将 38.7.1（3）和（4）中的“i = 15 ~ 0”更改为“i = 15 ~ 00”。
		1631	将 39.3.2（6）标题中的“000b”更改为“0000b”。
		1632	在 39.4 的“2.”中追加部分内容；更改“13.”、“14.”以及“15.”中的部分引脚。
		1633	更改 39.4 中的引脚号；将“RICC”更改为“RIIC”。
		1637	更改表 40.4 中“正常运行时”的部分，并且更改注 4、注 5。
		1638	更改表 40.5。
		1640	将表 40.8 中的“tcyc”分别更改为“tBcyc”和“tSDcyc”；更改“tEXL”和“tEXH”的 min 值。
		1641	更改图 40.1 中的“tcyc”。
		1644	将表 40.9 中的“tcyc”更改为“tlcyc”；追加注 4。
		1658	替换图 40.23 和图 40.24。
		1659	更改表 40.13 中的部分 min 值、max 值和单位。
		1662	更改表 40.16 中的部分 min 值和 max 值；追加注。
		1664	将表 40.18 中的“tcyc”更改为“tTCKcyc”；将图 40.25 中的“端口 0 ~ E”分别更改为“输入端口”和“输出端口”。
		1676	将表 40.19 中的“ DP ? DM ”更改为“ DP - DM ”。
		1684 ~ 1688	将附录 1.1 中的“HiZ”更改为“Hi-Z”。
1.30	2012.07.11	2	表 1.1（1/4）中“CPU”的说明“存储器保护单元”追加“（MPU）”；更改“注 1”的内容；删除“注 2”。
		3	表 1.1（2/4）中“DMA”的说明追加“外部中断”。
		4	表 1.1（3/4）中删除“注 3”
		13	更改图 1.6 中的内容。
		15	更改图 1.8 中的内容。
		33	更改表 1.7（1/4）中“100 引脚 LQFP”为 24 中的内容。
		39	更改表 1.8（3/3）中“85 引脚 TFLGA”为 J3 中的内容。

Rev.	发行日	修订内容	
		页	修订处
		44	删除表 1.9 (5/6) 中“以太网控制器”功能的“RX621 群”。
		46	追加 2.1 中的“存储器保护单元”。
		62	追加 2.6.1 中的“存取异常”；图 2.8 中“保留位”更改为“存取异常”。
		67	更改表 2.14 中“算术/逻辑运行指令”和“算术/逻辑运行指令”的内容。
		86	表 5.1 (2/42) 中“0008 281Ch”的“EXDMA 传送允许”追加“寄存器”。
		89	表 5.1 (5/42) 中追加“0008 6400h”~“0008 652Ch”的内容。
		101	表 5.1 (17/42) 中将“0008 8214h”~“0008 821Ah”的模块符号改为“TMR23”。
		126	表 5.1 (42/42) 中“007F FFB2h”的位数、存取长度、存取周期数改为 16、16、2~3PCLK。
		129	表 5.2 (3/51) 中追加“DMAC3”和“DMAC3”。
		135 ~ 137	表 5.2 (9/51) ~ (11/51) 中追加“MPU”的所有内容。
		143	表 5.2 (17/51) 中更改 ICU 的“寄存器符号”。
		167	表 5.2 (41/51) 中更改 USB0，寄存器符号为“BRDYENB”和“BRDYSTS”的内容。
		170	表 5.2 (45/51) 中更改 USB1，寄存器符号位“BRDYENB”的内容。
		179	更改图 6.1 中“低功耗功能的相关寄存器”的内容。
		180	表 6.2 中“低功耗功能的相关寄存器”追加“USB2.0 主/功能模块的寄存器 (DPUSR0R、DPUSR1R)”。
		200	删除 8.3.1 中的部分内容。
		201	更改图 8.3 中的内容。
		221	更改 9.2.7 中部分内容。
		237	图 10.1 中追加“存取异常”。
		238	追加 10.1.3 的内容。
		239	更改图 10.2 的内容。
		240	表 10.1 中追加“存取异常”的内容。
			表 10.2 中追加“存取异常”的内容。
		242	追加 10.5.3 的全部内容。
		244	表 10.3 中追加“存取异常”的内容。
			更改表 10.4 的标题，并更改表中内容。
		382 ~ 402	追加 13 章所有内容。
		536	表 17.2 (4/5) 中“端口 B”的位更改为“PB0/MTIOC9A”。
		579 ~ 582	表 17.10 中更改 P10、P11、P12、P13、P22、P23、P24、P30、的内容。
		699、700	表 17.32 中更改 P12、P13、P22、P23、P24 的内容。
		738、739	表 17.42 中更改 P12、P13、P22、P23、P24 的内容。
		793	更改 18.2.8 中表里的内容以及【符号说明】的内容。
		795	表 18.31 中表头更改为“bit15、bit14”。
		801	18.2.17 中追加最后一段的内容。
		802	18.2.18 中追加注 3 的内容。
		804	18.2.19 中追加注 2 的内容。
		816	18.2.30 中将“波形保持允许位”更改为“抑制初始输出允许位”。

Rev.	发行日	修订内容	
		页	修订处
		829	18.3.4 中追加“对取得原有输入引脚输入 也不能执行边沿检测”。
		841	图 18.34 中追加注 1。
		858	“(j) 互补 PWM 模式的 PWM 输出生成方法”中内容更改为“通过 d 的比较匹配使反相 ON”。
		873	更改图 18.72 的内容。
		906	追加 18.6.20 和 18.6.21 的全部内容。
		907	追加 18.6.24 的全部内容包括图 18.123 和图 18.124。
		1075	更改 26.5.1 中的内容。
		1078	更改 27.2.1 中 b0 功能的内容，并且更改注 1 的内容。
		1151	28.2.26 中 b15-b12 功能说明中追加 USB，在“DEVSEL[3:0] 位”的说明内容中删除“DEVADD2 寄存器”后的“地址”。
		1158	28.2.30 中 b15-b12 功能说明中追加 USB，在“DEVSEL[3:0] 位”的说明内容中删除“DEVADD2 寄存器”后的“地址”。
		1164	表 28.11 中追加“在要对管道进行初始化时”。
		1170	28.2.35 中 DEVADDn 寄存器的内容更改为“管道 0 ~ 9”。
		1215	表 29.1 中删除注 1。
		1220	更改 29.2.1.3 中地址的内容。
		1228	更改 29.2.1.8 中地址的内容。
		1241	追加图 29.7 中的注 2。
		1253	追加图 29.19 中的注 2。
		1351	更改图 31.36 中的内容。
		1371	更改 32.2.5 中地址的图。
		1600	更改“位倍率不能选择错误”的算术式内容。
		1615	更改 38.13 中 (2)、(4)、(5)、(7)、(8) 的内容。
		1616	更改表 39.1 中 BGO 功能的内容。
		1620	更改 39.2.2 中“DFLAE 位”的内容。
		1645	39.9 (2) 中追加将“编程 / 擦除”改读为“编程 / 擦除 / 空白检查”。
		1646	40 章中的内容更改为“边界扫描功能支持 176 引脚 LFBGA..... 不支持 100 引脚 LQFP。”。
		1668	表 41.4 中“模拟电源电流”和“基准电源电流”分别追加“在 A/D 待机或者 D/A 待机时 (全部单元)”和“在 A/D 待机或者 D/A 待机时 (全部单元)”。
		1675	表 41.9 中更改注 3 的内容。
		1695	更改表 41.18 中条件的内容。
		1715	附表 1.1 中更改端口名引脚名“P34/MTIOC0A/SCK6-B/TMCI3-BIRQ4-A/PO12”。

RX62N 群、RX621 群
用户手册 硬件篇

Publication Date: Rev.1.10 Mar 30, 2011
Rev.1.30 Jul 11, 2012

Published by: Renesas Electronics Corporation

**SALES OFFICES****Renesas Electronics Corporation**<http://www.renesas.com>Refer to "<http://www.renesas.com/>" for the latest and detailed information.**Renesas Electronics America Inc.**2880 Scott Boulevard Santa Clara, CA 95050-2554, U.S.A.
Tel: +1-408-588-6000, Fax: +1-408-588-6130**Renesas Electronics Canada Limited**1101 Nicholson Road, Newmarket, Ontario L3Y 9C3, Canada
Tel: +1-905-898-5441, Fax: +1-905-898-3220**Renesas Electronics Europe Limited**Dukes Meadow, Millboard Road, Bourne End, Buckinghamshire, SL8 5FH, U.K
Tel: +44-1628-585-100, Fax: +44-1628-585-900**Renesas Electronics Europe GmbH**Arcadiastrasse 10, 40472 Düsseldorf, Germany
Tel: +49-211-65030, Fax: +49-211-6503-1327**Renesas Electronics (China) Co., Ltd.**7th Floor, Quantum Plaza, No.27 ZhiChunLu Haidian District, Beijing 100083, P.R.China
Tel: +86-10-8235-1155, Fax: +86-10-8235-7679**Renesas Electronics (Shanghai) Co., Ltd.**Unit 204, 205, AZIA Center, No.1233 Lujiazui Ring Rd., Pudong District, Shanghai 200120, China
Tel: +86-21-5877-1818, Fax: +86-21-6887-7858 / -7898**Renesas Electronics Hong Kong Limited**Unit 1601-1613, 16/F., Tower 2, Grand Century Place, 193 Prince Edward Road West, Mongkok, Kowloon, Hong Kong
Tel: +852-2886-9318, Fax: +852 2886-9022/9044**Renesas Electronics Taiwan Co., Ltd.**13F, No. 363, Fu Shing North Road, Taipei, Taiwan
Tel: +886-2-8175-9600, Fax: +886 2-8175-9670**Renesas Electronics Singapore Pte. Ltd.**1 harbourFront Avenue, #06-10, Keppel Bay Tower, Singapore 098632
Tel: +65-6213-0200, Fax: +65-6278-8001**Renesas Electronics Malaysia Sdn.Bhd.**Unit 906, Block B, Menara Amcorp, Amcorp Trade Centre, No. 18, Jln Persiaran Barat, 46050 Petaling Jaya, Selangor Darul Ehsan, Malaysia
Tel: +60-3-7955-9390, Fax: +60-3-7955-9510**Renesas Electronics Korea Co., Ltd.**11F., Samik Lavied' or Bldg., 720-2 Yeoksam-Dong, Kangnam-Ku, Seoul 135-080, Korea
Tel: +82-2-558-3737, Fax: +82-2-558-5141

RX62N群、RX621群



瑞萨电子株式会社

R01UH0033CJ0130