

RX110グループ

ユーザーズマニュアル ハードウェア編

ルネサス 32ビットマイクロコンピュータ
RXファミリ／RX100シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
 家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
 防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力にノイズなどに起因して、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）がありません。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

製品間の仕様の相違点

本 MCU 製品は、パッケージの違いにより、以下のような仕様の相違点があります。

表1 パッケージによる仕様の相違点

章		仕様差分	
		40ピン以下のパッケージの製品	48ピン以上のパッケージの製品
9. クロック発生回路	9.7.4 サブクロックに関する注意事項	サブクロック発振器の端子はありませんが、コールドスタート時は、サブクロック制御回路の初期化が必要です。	サブクロックの使用の有無に関わらず、コールドスタート時は、サブクロック制御回路を初期化してください。
17. I/Oポート	17.3.4 ポートモードレジスタ (PMR)	PORTH.PMR.B7ビットを“1”に設定してください。	必要な処理はありません。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

RX110グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクスのホームページに掲載されています。

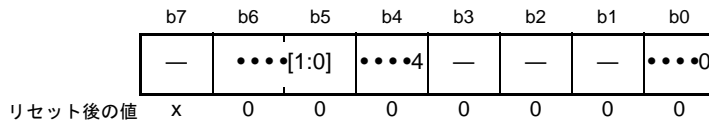
ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	RX110グループ データシート	R01DS0202JJ
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様（ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング）と動作説明	RX110グループ ユーザーズマニュアル ハードウェア編	本ユーザーズマニュアル
ユーザーズマニュアル ソフトウェア編	CPU・命令セットの説明	RXファミリ ユーザーズマニュアル ソフトウェア編	R01US0032JJ
アプリケーションノート	応用例参考プログラムなど	—	—
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報	—	—

2. レジスタの表記

各章において「レジスタの説明」には、ビットの並びを示すビット配置図とビットに設定する内容を説明するビット機能表があります。使用する記号、用語を以下に説明します。

X.X.Xレジスタ

アドレス xxxx xxxh



x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	••••0	••••ビット	0 : ••••• 1 : 設定しないでください	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	••••4	••••ビット	0 : ••••• 1 : •••••	R
b6-b5	••••[1:0]	••••ビット	00 : ••••• 01 : ••••• 上記以外は設定しないでください	R/(W) (注1)
b7	—	予約ビット	読んだ場合、その値は不定。書き込みは無効になります	R

- (1) R/W : 読み出し/書き込みともに有効です。
R/(W) : 読み出し/書き込みともに有効ですが、書き込みには制限があります。
制限の内容については、各レジスタの説明や注記を参照ください。
R : 読み出しのみ有効です。書き込みは無効になります。
- (2) 予約ビットです。書き込みを行う場合には、指定された値を書き込んでください。指定外の値を書き込んだ場合の動作は保証されません。
- (3) 設定しないでください。設定した場合の動作は保証されません。

3. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communications Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input / Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PWM	Pulse Width Modulation	パルス幅変調
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver / Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。

SuperFlash®は、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

目次

特長	33
1. 概要	34
1.1 仕様概要	34
1.2 製品一覧	38
1.3 ブロック図	41
1.4 端子機能	42
1.5 ピン配置図	45
2. CPU	58
2.1 特長	58
2.2 CPU レジスタセット	59
2.2.1 汎用レジスタ (R0 ~ R15)	60
2.2.2 制御レジスタ	60
2.2.2.1 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)	61
2.2.2.2 割り込みテーブルレジスタ (INTB)	61
2.2.2.3 プログラムカウンタ (PC)	61
2.2.2.4 プロセッサステータスワード (PSW)	62
2.2.2.5 バックアップ PC (BPC)	63
2.2.2.6 バックアップ PSW (BPSW)	64
2.2.2.7 高速割り込みベクタレジスタ (FINTV)	64
2.2.3 DSP 機能命令関連レジスタ	64
2.2.3.1 アキュムレータ (ACC)	64
2.3 プロセッサモード	65
2.3.1 スーパーバイザモード	65
2.3.2 ユーザモード	65
2.3.3 特権命令	65
2.3.4 プロセッサモード間の移行	65
2.4 データタイプ	66
2.5 エンディアン	66
2.5.1 エンディアンの設定	66
2.5.2 I/O レジスタアクセス	70
2.5.3 I/O レジスタアクセスの注意事項	70
2.5.4 データ配置	70
2.5.4.1 レジスタのデータ配置	70
2.5.4.2 メモリ上のデータ配置	71
2.5.5 命令コード配置の注意事項	71
2.6 ベクタテーブル	72
2.6.1 固定ベクタテーブル	72
2.6.2 可変ベクタテーブル	73
2.7 命令動作	74
2.7.1 RMPA 命令、ストリング操作命令のデータプリフェッチ	74

2.8	パイプライン	74
2.8.1	概要	74
2.8.2	命令とパイプライン処理	76
2.8.2.1	単一のマイクロオペレーションに変換される命令とパイプライン処理	76
2.8.2.2	複数のマイクロオペレーションに変換される命令とパイプライン処理	78
2.8.2.3	パイプラインの基本動作	81
2.8.3	命令処理時間の計算方法	83
2.8.4	割り込み応答サイクル数	84
3.	動作モード	85
3.1	動作モードの種類と選択	85
3.2	レジスタの説明	86
3.2.1	モードモニタレジスタ (MDMONR)	86
3.2.2	システムコントロールレジスタ 1 (SYSCR1)	87
3.3	動作モードの説明	88
3.3.1	シングルチップモード	88
3.3.2	ブートモード	88
3.3.2.1	ブートモード (SCI インタフェース)	88
3.4	動作モード遷移	88
3.4.1	MD 端子のレベルと動作モード遷移	88
4.	アドレス空間	89
4.1	アドレス空間	89
5.	I/O レジスタ	91
5.1	I/O レジスタアドレス一覧 (アドレス順)	93
6.	リセット	105
6.1	概要	105
6.2	レジスタの説明	107
6.2.1	リセットステータスレジスタ 0 (RSTSR0)	107
6.2.2	リセットステータスレジスタ 1 (RSTSR1)	108
6.2.3	リセットステータスレジスタ 2 (RSTSR2)	109
6.2.4	ソフトウェアリセットレジスタ (SWRR)	110
6.3	動作説明	111
6.3.1	RES# 端子リセット	111
6.3.2	パワーオンリセット	111
6.3.3	電圧監視 1 リセット、電圧監視 2 リセット	113
6.3.4	独立ウォッチドッグタイマリセット	114
6.3.5	ソフトウェアリセット	115
6.3.6	コールドスタート/ウォームスタート判定機能	115
6.3.7	リセット発生要因の判定	116
7.	オプション設定メモリ	117
7.1	概要	117

7.2	レジスタの説明	118
7.2.1	オプション機能選択レジスタ 0 (OFS0)	118
7.2.2	オプション機能選択レジスタ 1 (OFS1)	120
7.2.3	エンディアン選択レジスタ (MDE)	122
7.3	使用上の注意事項	123
7.3.1	オプション設定メモリの設定例	123
7.3.2	電圧監視 1 リセットと IWDT リセット併用時の注意事項	123
8.	電圧検出回路 (LVDAa)	124
8.1	概要	124
8.2	レジスタの説明	127
8.2.1	電圧監視 1 回路制御レジスタ 1 (LVD1CR1)	127
8.2.2	電圧監視 1 回路ステータスレジスタ (LVD1SR)	128
8.2.3	電圧監視 2 回路制御レジスタ 1 (LVD2CR1)	129
8.2.4	電圧監視 2 回路ステータスレジスタ (LVD2SR)	130
8.2.5	電圧監視回路制御レジスタ (LVCMPCR)	131
8.2.6	電圧検出レベル選択レジスタ (LVDLVLR)	132
8.2.7	電圧監視 1 回路制御レジスタ 0 (LVD1CR0)	133
8.2.8	電圧監視 2 回路制御レジスタ 0 (LVD2CR0)	134
8.3	VCC 入力電圧のモニタ	135
8.3.1	Vdet1 のモニタ	135
8.3.2	Vdet2 のモニタ	135
8.4	電圧監視 1 割り込み、電圧監視 1 リセット	136
8.5	電圧監視 2 割り込み、電圧監視 2 リセット	138
9.	クロック発生回路	140
9.1	概要	140
9.2	レジスタの説明	142
9.2.1	システムクロックコントロールレジスタ (SCKCR)	142
9.2.2	システムクロックコントロールレジスタ 3 (SCKCR3)	144
9.2.3	メインクロック発振器コントロールレジスタ (MOSCCR)	145
9.2.4	サブクロック発振器コントロールレジスタ (SOSCCR)	146
9.2.5	低速オンチップオシレータコントロールレジスタ (LOCOCR)	147
9.2.6	IWDT 専用オンチップオシレータコントロールレジスタ (ILOCOCR)	148
9.2.7	高速オンチップオシレータコントロールレジスタ (HOCOCR)	149
9.2.8	発振安定フラグレジスタ (OSCOVFSR)	150
9.2.9	発振停止検出コントロールレジスタ (OSTDCR)	151
9.2.10	発振停止検出ステータスレジスタ (OSTDSR)	152
9.2.11	メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)	153
9.2.12	高速オンチップオシレータウェイトコントロールレジスタ (HOCOWTCR)	154
9.2.13	CLKOUT 出力コントロールレジスタ (CKOCR)	155
9.2.14	メインクロック発振器強制発振コントロールレジスタ (MOFCR)	156

9.3	メインクロック発振器	157
9.3.1	発振子を接続する方法	157
9.3.2	外部クロックを入力する方法	158
9.3.3	メインクロックを使用しない場合の端子処理	158
9.3.4	外部クロック入力に関する注意事項	158
9.4	サブクロック発振器	159
9.4.1	32.768kHz 水晶振動子を接続する方法	159
9.4.2	サブクロックを使用しない場合の端子処理	159
9.5	発振停止検出機能	160
9.5.1	発振停止検出と検出後の動作	160
9.5.2	発振停止検出割り込み	161
9.6	内部クロック	162
9.6.1	システムクロック	162
9.6.2	周辺モジュールクロック	162
9.6.3	FlashIF クロック	162
9.6.4	CAC クロック	162
9.6.5	RTC 専用クロック	162
9.6.6	IWDT 専用クロック	163
9.7	使用上の注意事項	164
9.7.1	クロック発生回路に関する注意事項	164
9.7.2	発振子に関する注意事項	164
9.7.3	ボード設計上の注意	164
9.7.4	サブクロックに関する注意事項	165
10.	クロック周波数精度測定回路 (CAC)	169
10.1	概要	169
10.2	レジスタの説明	171
10.2.1	CAC コントロールレジスタ 0 (CACR0)	171
10.2.2	CAC コントロールレジスタ 1 (CACR1)	172
10.2.3	CAC コントロールレジスタ 2 (CACR2)	173
10.2.4	CAC 割り込み要求許可レジスタ (CAICR)	174
10.2.5	CAC ステータスレジスタ (CASTR)	175
10.2.6	CAC 上限値設定レジスタ (CAULVR)	176
10.2.7	CAC 下限値設定レジスタ (CALLVR)	176
10.2.8	CAC カウンタバッファレジスタ (CACNTBR)	176
10.3	動作説明	177
10.3.1	クロック周波数測定	177
10.3.2	CACREF 端子のデジタルフィルタ機能	178
10.4	割り込み要求	178
10.5	使用上の注意事項	179
10.5.1	モジュールストップ機能の設定	179

11.	消費電力低減機能	180
11.1	概要	180
11.2	レジスタの説明	184
11.2.1	スタンバイコントロールレジスタ (SBYCR)	184
11.2.2	モジュールストップコントロールレジスタ A (MSTPCRA)	185
11.2.3	モジュールストップコントロールレジスタ B (MSTPCRB)	186
11.2.4	モジュールストップコントロールレジスタ C (MSTPCRC)	187
11.2.5	動作電力コントロールレジスタ (OPCCR)	188
11.2.6	サブ動作電力コントロールレジスタ (SOPCCR)	189
11.2.7	スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR)	194
11.3	クロックの切り替えによる消費電力の低減	196
11.4	モジュールストップ機能	196
11.5	動作電力低減機能	196
11.5.1	動作電力制御モード設定方法	196
11.6	低消費電力状態	198
11.6.1	スリープモード	198
11.6.1.1	スリープモードへの移行	198
11.6.1.2	スリープモードの解除	199
11.6.1.3	スリープモード復帰クロックソース切り替え機能	199
11.6.2	ディープスリープモード	200
11.6.2.1	ディープスリープモードへの遷移	200
11.6.2.2	ディープスリープモードの解除	201
11.6.3	ソフトウェアスタンバイモード	202
11.6.3.1	ソフトウェアスタンバイモードへの移行	202
11.6.3.2	ソフトウェアスタンバイモードの解除	203
11.6.3.3	ソフトウェアスタンバイモードの応用例	204
11.7	使用上の注意事項	205
11.7.1	I/O ポートの状態	205
11.7.2	DTC のモジュールストップ	205
11.7.3	内蔵周辺モジュールの割り込み	205
11.7.4	MSTPCRA、MSTPCRB、MSTPCRC レジスタの書き込み	205
11.7.5	WAIT 命令の実行タイミング	205
11.7.6	スリープモード中の DTC によるレジスタの書き換えについて	205
12.	レジスタライトプロテクション機能	206
12.1	レジスタの説明	207
12.1.1	プロテクトレジスタ (PRCR)	207
13.	例外処理	208
13.1	例外事象	208
13.1.1	未定義命令例外	209
13.1.2	特権命令例外	209

13.1.3	リセット	209
13.1.4	ノンマスクابل割り込み	209
13.1.5	割り込み	209
13.1.6	無条件トラップ	209
13.2	例外の処理手順	210
13.3	例外事象の受け付け	212
13.3.1	受け付けタイミングと退避される PC 値	212
13.3.2	ベクタと PC、PSW の退避場所	212
13.4	例外の受け付け／復帰時のハードウェア処理	213
13.5	ハードウェア前処理	214
13.5.1	未定義命令例外	214
13.5.2	特権命令例外	214
13.5.3	リセット	214
13.5.4	ノンマスクابل割り込み	215
13.5.5	割り込み	215
13.5.6	無条件トラップ	215
13.6	例外処理ルーチンからの復帰	216
13.7	例外事象の優先順位	216
14.	割り込みコントローラ (ICUb)	217
14.1	概要	217
14.2	レジスタの説明	219
14.2.1	割り込み要求レジスタ n (IRn) (n = 割り込みベクタ番号)	219
14.2.2	割り込み要求許可レジスタ m (IERm) (m = 02h ~ 1Fh)	220
14.2.3	割り込み要因プライオリティレジスタ n (IPRn) (n = 000 ~ 249)	221
14.2.4	高速割り込み設定レジスタ (FIR)	222
14.2.5	ソフトウェア割り込み起動レジスタ (SWINTR)	223
14.2.6	DTC 起動許可レジスタ n (DTCERn) (n = 割り込みベクタ番号)	224
14.2.7	IRQ コントロールレジスタ i (IRQCRi) (i = 0 ~ 7)	225
14.2.8	IRQ 端子デジタルフィルタ許可レジスタ 0 (IRQFLTE0)	226
14.2.9	IRQ 端子デジタルフィルタ設定レジスタ 0 (IRQFLTC0)	227
14.2.10	ノンマスクابل割り込みステータスレジスタ (NMISR)	228
14.2.11	ノンマスクابل割り込み許可レジスタ (NMIER)	230
14.2.12	ノンマスクابل割り込みステータスクリアレジスタ (NMICLR)	231
14.2.13	NMI 端子割り込みコントロールレジスタ (NMICR)	232
14.2.14	NMI 端子デジタルフィルタ許可レジスタ (NMIFLTE)	232
14.2.15	NMI 端子デジタルフィルタ設定レジスタ (NMIFLTC)	233
14.3	ベクタテーブル	234
14.3.1	割り込みのベクタテーブル	234
14.3.2	高速割り込みのベクタテーブル	241
14.3.3	ノンマスクابل割り込みのベクタテーブル	241

14.4	割り込みの動作説明	241
14.4.1	割り込み検出	241
14.4.1.1	エッジ検出の割り込みステータスフラグ	241
14.4.1.2	レベル検出の割り込みステータスフラグ	243
14.4.2	割り込み要求の許可 / 禁止	244
14.4.3	割り込み要求先の選択	244
14.4.4	優先順位の判定	245
14.4.5	多重割り込み	245
14.4.6	高速割り込み	246
14.4.7	デジタルフィルタ	246
14.4.8	外部端子割り込み	247
14.5	ノンマスカブル割り込みの動作説明	248
14.6	低消費電力状態からの復帰	249
14.6.1	スリープモードおよびディープスリープモードからの復帰	249
14.6.2	ソフトウェアスタンバイモードからの復帰	249
14.7	使用上の注意事項	249
14.7.1	ノンマスカブル割り込み使用時の WAIT 命令の注意事項	249
15.	バス	250
15.1	概要	250
15.2	バスの説明	252
15.2.1	CPU バス	252
15.2.2	メモリバス	252
15.2.3	内部メインバス	252
15.2.4	内部周辺バス	253
15.2.5	ライトバッファ機能（内部周辺バス）	254
15.2.6	並列動作	255
15.2.7	制約事項	255
15.3	レジスタの説明	256
15.3.1	バスエラーステータスクリアレジスタ（BERCLR）	256
15.3.2	バスエラー監視許可レジスタ（BEREN）	256
15.3.3	バスエラーステータスレジスタ 1（BERSR1）	257
15.3.4	バスエラーステータスレジスタ 2（BERSR2）	257
15.3.5	バスプライオリティ制御レジスタ（BUSPRI）	258
15.4	バスエラー監視部	260
15.4.1	バスエラーの種類	260
15.4.1.1	不正アドレスアクセス	260
15.4.1.2	タイムアウト	260
15.4.2	バスエラー発生時の動作	260
15.4.3	バスエラーの発生条件	261

16.	データトランスファコントローラ (DTCa)	262
16.1	概要	262
16.2	レジスタの説明	264
16.2.1	DTC モードレジスタ A (MRA)	264
16.2.2	DTC モードレジスタ B (MRB)	265
16.2.3	DTC 転送元レジスタ (SAR)	266
16.2.4	DTC 転送先レジスタ (DAR)	266
16.2.5	DTC 転送カウントレジスタ A (CRA)	267
16.2.6	DTC 転送カウントレジスタ B (CRB)	268
16.2.7	DTC コントロールレジスタ (DTCCR)	268
16.2.8	DTC ベクタベースレジスタ (DTCVBR)	269
16.2.9	DTC アドレスモードレジスタ (DTCADMOD)	269
16.2.10	DTC モジュール起動レジスタ (DTCST)	270
16.2.11	DTC ステータスレジスタ (DTCSTS)	271
16.3	起動要因	272
16.3.1	転送情報の配置と DTC ベクタテーブル	272
16.4	動作説明	274
16.4.1	転送情報リードスキップ機能	276
16.4.2	転送情報ライトバックスキップ機能	277
16.4.3	ノーマル転送モード	278
16.4.4	リピート転送モード	279
16.4.5	ブロック転送モード	280
16.4.6	チェーン転送	281
16.4.7	動作タイミング	282
16.4.8	DTC の実行サイクル	285
16.4.9	DTC のバス権解放タイミング	285
16.5	DTC の設定手順	286
16.6	DTC 使用例	287
16.6.1	ノーマル転送	287
16.6.2	カウンタ = 0 のときのチェーン転送	288
16.7	割り込み要因	289
16.8	消費電力低減機能	290
16.9	使用上の注意事項	291
16.9.1	転送情報先頭アドレス	291
16.9.2	転送情報の配置	291
17.	I/O ポート	292
17.1	概要	292
17.2	入出力ポートの構成	294
17.3	レジスタの説明	298
17.3.1	ポート方向レジスタ (PDR)	298

17.3.2	ポート出力データレジスタ (PODR)	299
17.3.3	ポート入力データレジスタ (PIDR)	300
17.3.4	ポートモードレジスタ (PMR)	301
17.3.5	オープンドレイン制御レジスタ 0 (ODR0)	302
17.3.6	オープンドレイン制御レジスタ 1 (ODR1)	303
17.3.7	プルアップ制御レジスタ (PCR)	304
17.3.8	ポート切り替えレジスタ A (PSRA)	305
17.3.9	ポート切り替えレジスタ B (PSRB)	306
17.4	ポート方向レジスタ (PDR) の初期化	307
17.5	未使用端子の処理	309
18.	マルチファンクションピンコントローラ (MPC)	310
18.1	概要	310
18.2	レジスタの説明	314
18.2.1	書き込みプロテクトレジスタ (PWPR)	314
18.2.2	P1n 端子機能制御レジスタ (P1nPFS) (n=4 ~ 7)	315
18.2.3	P2n 端子機能制御レジスタ (P2nPFS) (n=6 ~ 7)	317
18.2.4	P3n 端子機能制御レジスタ (P3nPFS) (n=0 ~ 2)	318
18.2.5	P4n 端子機能制御レジスタ (P4nPFS) (n=0 ~ 4, 6)	319
18.2.6	PAn 端子機能制御レジスタ (PAnPFS) (n=0, 1, 3, 4, 6)	320
18.2.7	PBn 端子機能制御レジスタ (PBnPFS) (n=0, 1, 3, 5 ~ 7)	323
18.2.8	PCn 端子機能制御レジスタ (PCnPFS) (n=2 ~ 7)	325
18.2.9	PEn 端子機能制御レジスタ (PEnPFS) (n=0 ~ 7)	327
18.2.10	PHn 端子機能制御レジスタ (PHnPFS) (n=0 ~ 3)	329
18.2.11	PJn 端子機能制御レジスタ (PJnPFS) (n=6, 7)	330
18.3	使用上の注意事項	331
18.3.1	端子入出力機能設定手順	331
18.3.2	MPC レジスタ設定する場合の注意事項	331
18.3.3	アナログ機能を使う場合の注意事項	332
19.	マルチファンクションタイマパルスユニット 2 (MTU2b)	333
19.1	概要	333
19.2	レジスタの説明	338
19.2.1	タイマコントロールレジスタ (TCR)	338
19.2.2	タイマモードレジスタ (TMDR)	341
19.2.3	タイマ I/O コントロールレジスタ (TIOR)	343
19.2.4	タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)	349
19.2.5	タイマ割り込み許可レジスタ (TIER)	350
19.2.6	タイマステータスレジスタ (TSR)	352
19.2.7	タイマバッファ動作転送モードレジスタ (TBTM)	353
19.2.8	タイマインプットキャプチャコントロールレジスタ (TICCR)	354
19.2.9	タイマカウンタ (TCNT)	354

19.2.10	タイマジェネラルレジスタ (TGR)	355
19.2.11	タイマスタートレジスタ (TSTR)	356
19.2.12	タイマシンクロレジスタ (TSYR)	357
19.2.13	ノイズフィルタコントロールレジスタ (NFCR)	358
19.2.14	バスマスタとのインタフェース	361
19.3	動作説明	362
19.3.1	基本動作	362
19.3.2	同期動作	368
19.3.3	バッファ動作	370
19.3.4	カスケード接続動作	375
19.3.5	PWM モード	380
19.3.6	位相計数モード	384
19.3.7	外部パルス幅測定機能	390
19.3.8	ノイズフィルタ機能	391
19.4	割り込み要因	392
19.4.1	割り込み要因と優先順位	392
19.4.2	DTC の起動	393
19.4.3	A/D コンバータの起動	393
19.5	動作タイミング	395
19.5.1	入出力タイミング	395
19.5.2	割り込み信号タイミング	399
19.6	使用上の注意事項	402
19.6.1	モジュールストップ機能の設定	402
19.6.2	カウントクロックの制限事項	402
19.6.3	周期設定上の注意事項	403
19.6.4	TCNT カウンタの書き込みとクリアの競合	403
19.6.5	TCNT カウンタの書き込みとカウントアップの競合	404
19.6.6	TGR レジスタの書き込みとコンペアマッチの競合	404
19.6.7	バッファレジスタの書き込みとコンペアマッチの競合	405
19.6.8	バッファレジスタの書き込みと TCNT カウンタクリアの競合	405
19.6.9	TGR レジスタの読み出しとインプットキャプチャの競合	406
19.6.10	TGR レジスタの書き込みとインプットキャプチャの競合	407
19.6.11	バッファレジスタの書き込みとインプットキャプチャの競合	408
19.6.12	カスケード接続における MTU2.TCNT カウンタの書き込みとオーバフロー/ アンダフローの競合	409
19.6.13	オーバフロー/アンダフローとカウンタクリアの競合	410
19.6.14	TCNT カウンタの書き込みとオーバフロー/アンダフローの競合	410
19.6.15	モジュールストップ状態時の割り込み	411
19.6.16	カスケード接続における MTU1.TCNT、MTU2.TCNT カウンタ同時インプット キャプチャ	411
19.6.17	MTU5.TCNT カウンタと MTU5.TGR レジスタの注意事項	411

19.6.18	コンペアマッチによる割り込み信号の連続出力	412
19.7	MTU 出力端子の初期化方法	413
19.7.1	動作モード	413
19.7.2	動作中の異常などによる再設定時の動作	413
19.7.3	動作中の異常などによる端子の初期化手順、モード遷移の概要	414
20.	コンペアマッチタイマ (CMT)	427
20.1	概要	427
20.2	レジスタの説明	428
20.2.1	コンペアマッチタイマスタートレジスタ 0 (CMSTR0)	428
20.2.2	コンペアマッチタイマコントロールレジスタ (CMCR)	429
20.2.3	コンペアマッチタイマカウンタ (CMCNT)	430
20.2.4	コンペアマッチタイマコンスタントレジスタ (CMCOR)	430
20.3	動作説明	431
20.3.1	周期カウント動作	431
20.3.2	CMCNT カウンタのカウントタイミング	431
20.4	割り込み	432
20.4.1	割り込み要因	432
20.4.2	コンペアマッチ割り込みの発生タイミング	432
20.5	使用上の注意事項	433
20.5.1	モジュールストップ機能の設定	433
20.5.2	CMCNT カウンタへの書き込みとコンペアマッチの競合	433
20.5.3	CMCNT カウンタへの書き込みとカウントアップの競合	433
21.	リアルタイムクロック (RTCA)	434
21.1	概要	434
21.2	レジスタの説明	436
21.2.1	64Hz カウンタ (R64CNT)	436
21.2.2	秒カウンタ (RSECCNT) / バイナリカウンタ 0 (BCNT0)	437
21.2.3	分カウンタ (RMINCNT) / バイナリカウンタ 1 (BCNT1)	438
21.2.4	時カウンタ (RHRCNT) / バイナリカウンタ 2 (BCNT2)	439
21.2.5	曜日カウンタ (RWKCNT) / バイナリカウンタ 3 (BCNT3)	440
21.2.6	日カウンタ (RDAYCNT)	441
21.2.7	月カウンタ (RMONCNT)	442
21.2.8	年カウンタ (RYRCNT)	442
21.2.9	秒アラームレジスタ (RSECAR) / バイナリカウンタ 0 アラームレジスタ (BCNT0AR)	443
21.2.10	分アラームレジスタ (RMINAR) / バイナリカウンタ 1 アラームレジスタ (BCNT1AR)	444
21.2.11	時アラームレジスタ (RHRAR) / バイナリカウンタ 2 アラームレジスタ (BCNT2AR)	445
21.2.12	曜日アラームレジスタ (RWKAR) / バイナリカウンタ 3 アラームレジスタ (BCNT3AR)	446

21.2.13	日アラームレジスタ (RDAYAR) / バイナリカウンタ 0 アラーム許可レジスタ (BCNT0AER)	447
21.2.14	月アラームレジスタ (RMONAR) / バイナリカウンタ 1 アラーム許可レジスタ (BCNT1AER)	448
21.2.15	年アラームレジスタ (RYRAR) / バイナリカウンタ 2 アラーム許可レジスタ (BCNT2AER)	449
21.2.16	年アラーム許可レジスタ (RYRAREN) / バイナリカウンタ 3 アラーム許可レジスタ (BCNT3AER)	450
21.2.17	RTC コントロールレジスタ 1 (RCR1)	451
21.2.18	RTC コントロールレジスタ 2 (RCR2)	453
21.2.19	RTC コントロールレジスタ 3 (RCR3)	457
21.2.20	時間誤差補正レジスタ (RADJ)	458
21.3	動作説明	459
21.3.1	電源投入後のレジスタの初期設定概要	459
21.3.2	クロックとカウントモード設定手順	460
21.3.3	時刻設定手順	461
21.3.4	30 秒調整手順	461
21.3.5	64Hz カウンタおよび時刻読み出し手順	462
21.3.6	アラーム機能	463
21.3.7	アラーム割り込み禁止手順	464
21.3.8	時計誤差補正機能	464
21.3.8.1	自動補正機能	465
21.3.8.2	ソフトウェアによる補正	466
21.3.8.3	補正モードの変更手順	466
21.3.8.4	補正機能の停止手順	466
21.4	割り込み要因	467
21.5	使用上の注意事項	469
21.5.1	カウント動作時のレジスタ書き込みについて	469
21.5.2	周期割り込みの使用について	469
21.5.3	RTCCOUT (1Hz/64Hz) 出力について	469
21.5.4	レジスタ設定後の低消費電力モード移行について	470
21.5.5	レジスタの書き込み / 読み出し時の注意事項	470
21.5.6	カウントモードの変更について	470
21.5.7	リアルタイムクロックを使用しない場合の初期化手順	471
22.	独立ウォッチドッグタイマ (IWDtA)	472
22.1	概要	472
22.2	レジスタの説明	474
22.2.1	IWDT リフレッシュレジスタ (IWDTRR)	474
22.2.2	IWDT コントロールレジスタ (IWDTCR)	475
22.2.3	IWDT ステータスレジスタ (IWDTSR)	478
22.2.4	IWDT リセットコントロールレジスタ (IWDTRCR)	479

22.2.5	IWDT カウント停止コントロールレジスタ (IWDTCSSTPR)	480
22.2.6	オプション機能選択レジスタ 0 (OFS0)	480
22.3	動作説明	481
22.3.1	カウント開始条件別の各動作	481
22.3.1.1	レジスタスタートモード	481
22.3.1.2	オートスタートモード	483
22.3.2	IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSSTPR レジスタ書き込み制御	485
22.3.3	リフレッシュ動作	486
22.3.4	ステータスフラグ	488
22.3.5	リセット出力	488
22.3.6	割り込み要因	488
22.3.7	カウンタ値の読み出し	489
22.3.8	オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応	490
22.4	使用上の注意事項	490
22.4.1	リフレッシュ動作について	490
22.4.2	クロック分周比の設定	490
22.4.3	電圧監視 1 リセットと IWDT リセット併用時の注意事項	490
23.	シリアルコミュニケーションインタフェース (SCle, SCIf)	491
23.1	概要	491
23.2	レジスタの説明	497
23.2.1	レシーブシフトレジスタ (RSR)	497
23.2.2	レシーブデータレジスタ (RDR)	497
23.2.3	トランスミットデータレジスタ (TDR)	498
23.2.4	トランスミットシフトレジスタ (TSR)	498
23.2.5	シリアルモードレジスタ (SMR)	499
23.2.6	シリアルコントロールレジスタ (SCR)	503
23.2.7	シリアルステータスレジスタ (SSR)	507
23.2.8	スマートカードモードレジスタ (SCMR)	512
23.2.9	ビットレートレジスタ (BRR)	514
23.2.10	シリアル拡張モードレジスタ (SEMR)	521
23.2.11	ノイズフィルタ設定レジスタ (SNFR)	523
23.2.12	I ² C モードレジスタ 1 (SIMR1)	524
23.2.13	I ² C モードレジスタ 2 (SIMR2)	525
23.2.14	I ² C モードレジスタ 3 (SIMR3)	526
23.2.15	I ² C ステータスレジスタ (SISR)	528
23.2.16	SPI モードレジスタ (SPMR)	529
23.2.17	拡張シリアルモード有効レジスタ (ESMER)	530
23.2.18	コントロールレジスタ 0 (CR0)	531
23.2.19	コントロールレジスタ 1 (CR1)	531
23.2.20	コントロールレジスタ 2 (CR2)	532

23.2.21	コントロールレジスタ 3 (CR3)	533
23.2.22	ポートコントロールレジスタ (PCR)	533
23.2.23	割り込みコントロールレジスタ (ICR)	534
23.2.24	ステータスレジスタ (STR)	535
23.2.25	ステータスクリアレジスタ (STCR)	536
23.2.26	Control Field 0 データレジスタ (CF0DR)	536
23.2.27	Control Field 0 コンペアイネーブルレジスタ (CF0CR)	537
23.2.28	Control Field 0 受信データレジスタ (CF0RR)	537
23.2.29	プライマリ Control Field 1 データレジスタ (PCF1DR)	537
23.2.30	セカンダリ Control Field 1 データレジスタ (SCF1DR)	538
23.2.31	Control Field 1 コンペアイネーブルレジスタ (CF1CR)	538
23.2.32	Control Field 1 受信データレジスタ (CF1RR)	538
23.2.33	タイマコントロールレジスタ (TCR)	539
23.2.34	タイマモードレジスタ (TMR)	539
23.2.35	タイマプリスケアラレジスタ (TPRE)	540
23.2.36	タイマカウントレジスタ (TCNT)	540
23.3	調歩同期式モードの動作	541
23.3.1	シリアル送信 / 受信フォーマット	541
23.3.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	543
23.3.3	クロック	544
23.3.4	CTS、RTS 機能	544
23.3.5	SCI の初期化 (調歩同期式モード)	545
23.3.6	シリアルデータの送信 (調歩同期式モード)	546
23.3.7	シリアルデータの受信 (調歩同期式モード)	549
23.4	マルチプロセッサ通信機能	553
23.4.1	マルチプロセッサシリアルデータ送信	554
23.4.2	マルチプロセッサシリアルデータ受信	555
23.5	クロック同期式モードの動作	558
23.5.1	クロック	558
23.5.2	CTS、RTS 機能	559
23.5.3	SCI の初期化 (クロック同期式モード)	560
23.5.4	シリアルデータの送信 (クロック同期式モード)	561
23.5.5	シリアルデータの受信 (クロック同期式モード)	565
23.5.6	シリアルデータの送受信同時動作 (クロック同期式モード)	568
23.6	スマートカードインタフェースモードの動作	569
23.6.1	接続例	569
23.6.2	データフォーマット (ブロック転送モード時を除く)	570
23.6.3	ブロック転送モード	571
23.6.4	受信データサンプリングタイミングと受信マージン	572
23.6.5	SCI の初期化 (スマートカードインタフェースモード)	573

23.6.6	シリアルデータの送信（ブロック転送モードを除く）	575
23.6.7	シリアルの受信（ブロック転送モードを除く）	578
23.6.8	クロック出力制御	580
23.7	簡易 I ² C モードの動作	581
23.7.1	開始条件、再開条件、停止条件の生成	582
23.7.2	クロック同期化	584
23.7.3	SSDA 出力遅延	585
23.7.4	SCI の初期化（簡易 I ² C モード）	586
23.7.5	マスタ送信動作（簡易 I ² C モード）	587
23.7.6	マスタ受信動作（簡易 I ² C モード）	589
23.8	簡易 SPI モードの動作	591
23.8.1	マスタモード、スレーブモードと各端子の状態	592
23.8.2	マスタモード時の SS 機能	592
23.8.3	スレーブモード時の SS 機能	592
23.8.4	クロックと送受信データの関係	593
23.8.5	SCI の初期化（簡易 SPI モード）	593
23.8.6	シリアルデータの送受信（簡易 SPI モード）	594
23.9	拡張シリアルモード制御部の動作説明	595
23.9.1	シリアル通信プロトコル	595
23.9.2	Start Frame 送信	595
23.9.3	Start Frame 受信	599
23.9.3.1	プライオリティインタラプトビット	604
23.9.4	バス衝突検出機能	605
23.9.5	RXDX12 端子入力デジタルフィルタ機能	606
23.9.6	ビットレート測定機能	607
23.9.7	RXDX12 受信データサンプリングタイミング選択機能	608
23.9.8	タイマ	609
23.10	ノイズ除去機能	611
23.11	割り込み要因	612
23.11.1	TXI 割り込みおよび RXI 割り込みバッファ動作	612
23.11.2	調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける 割り込み	612
23.11.3	スマートカードインタフェースモードにおける割り込み	613
23.11.4	簡易 I ² C モードにおける割り込み	614
23.11.5	拡張シリアルモード制御部の割り込み要求	615
23.12	使用上の注意事項	616
23.12.1	モジュールストップ機能の設定	616
23.12.2	ブレークの検出と処理について	616
23.12.3	マーク状態とブレークの送付	616
23.12.4	受信エラーフラグと送信動作について (クロック同期式モードおよび簡易 SPI モード)	616

23.12.5	TDR レジスタへのライトについて	616
23.12.6	クロック同期送信時の制約事項 (クロック同期式モードおよび簡易 SPI モード)	617
23.12.7	DTC 使用上の制約事項	618
23.12.8	通信の開始に関する注意事項	618
23.12.9	低消費電力状態時の動作について	618
23.12.10	クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力	620
23.12.11	簡易 SPI モードの制約事項	621
23.12.12	拡張シリアルモード制御部の使用上の制約事項 1	621
23.12.13	拡張シリアルモード制御部の使用上の制約事項 2	622
23.12.14	トランスミットイネーブルビット (TE ビット) に関する注意事項	622
23.12.15	RTS 機能使用時の受信停止に関する注意事項	623
24.	I ² C バスインタフェース (RIIC)	624
24.1	概要	624
24.2	レジスタの説明	627
24.2.1	I ² C バスコントロールレジスタ 1 (ICCR1)	627
24.2.2	I ² C バスコントロールレジスタ 2 (ICCR2)	629
24.2.3	I ² C バスモードレジスタ 1 (ICMR1)	632
24.2.4	I ² C バスモードレジスタ 2 (ICMR2)	633
24.2.5	I ² C バスモードレジスタ 3 (ICMR3)	635
24.2.6	I ² C バスファンクション許可レジスタ (ICFER)	637
24.2.7	I ² C バスステータス許可レジスタ (ICSER)	639
24.2.8	I ² C バス割り込み許可レジスタ (ICIER)	641
24.2.9	I ² C バスステータスレジスタ 1 (ICSR1)	643
24.2.10	I ² C バスステータスレジスタ 2 (ICSR2)	645
24.2.11	スレーブアドレスレジスタ Ly (SARLy) (y=0 ~ 2)	648
24.2.12	スレーブアドレスレジスタ Uy (SARUy) (y=0 ~ 2)	649
24.2.13	I ² C バスビットレート Low レジスタ (ICBRL)	650
24.2.14	I ² C バスビットレート High レジスタ (ICBRH)	651
24.2.15	I ² C バス送信データレジスタ (ICDRT)	652
24.2.16	I ² C バス受信データレジスタ (ICDRR)	653
24.2.17	I ² C バスシフトレジスタ (ICDRS)	653
24.2.18	タイムアウト内部カウンタ (TMOCNTL/TMOCNTU)	654
24.3	動作説明	655
24.3.1	通信データフォーマット	655
24.3.2	初期設定	656
24.3.3	マスタ送信動作	658
24.3.4	マスタ受信動作	661
24.3.5	スレーブ送信動作	667
24.3.6	スレーブ受信動作	670

24.4	SCL 同期回路	673
24.5	SDA 出力遅延機能	674
24.6	デジタルノイズフィルタ回路	675
24.7	アドレス一致検出機能	676
24.7.1	スレーブアドレス一致検出機能	676
24.7.2	ジェネラルコールアドレス検出機能	678
24.7.3	デバイス ID アドレス検出機能	679
24.7.4	ホストアドレス検出機能	681
24.8	SCL の自動 Low ホールド機能	682
24.8.1	送信データ誤送信防止機能	682
24.8.2	NACK 受信転送中断機能	683
24.8.3	受信データ取りこぼし防止機能	683
24.9	アービトレーションロスト検出機能	685
24.9.1	マスタアービトレーションロスト検出機能 (MALE ビット)	685
24.9.2	NACK 送信アービトレーションロスト検出機能 (NALE ビット)	687
24.9.3	スレーブアービトレーションロスト検出機能 (SALE ビット)	688
24.10	スタートコンディション、リスタートコンディション、 ストップコンディション発行機能	689
24.10.1	スタートコンディション発行動作	689
24.10.2	リスタートコンディション発行動作	689
24.10.3	ストップコンディション発行動作	690
24.11	バスハングアップ	691
24.11.1	タイムアウト検出機能	691
24.11.2	SCL クロック追加出力機能	692
24.11.3	RIIC リセット、内部リセット	693
24.12	SMBus 動作	694
24.12.1	SMBus タイムアウト測定	694
24.12.2	パケットエラーコード (PEC)	695
24.12.3	SMBus ホスト通知プロトコル (Notify ARP master コマンド)	696
24.13	割り込み要因	697
24.13.1	TXI 割り込みおよび RXI 割り込みバッファ動作	697
24.14	リセットと各コンディション発行時のレジスタおよび機能の状態	698
24.15	使用上の注意事項	699
24.15.1	モジュールストップ機能の設定	699
24.15.2	通信の開始に関する注意事項	699
25.	シリアルペリフェラルインタフェース (RSPI)	700
25.1	概要	700
25.2	レジスタの説明	703
25.2.1	RSPI 制御レジスタ (SPCR)	703
25.2.2	RSPI スレーブセレクト極性レジスタ (SSLP)	705

25.2.3	RSPI 端子制御レジスタ (SPPCR)	706
25.2.4	RSPI ステータスレジスタ (SPSR)	707
25.2.5	RSPI データレジスタ (SPDR)	710
25.2.6	RSPI シーケンス制御レジスタ (SPSCR)	713
25.2.7	RSPI シーケンスステータスレジスタ (SPSSR)	714
25.2.8	RSPI ビットレートレジスタ (SPBR)	715
25.2.9	RSPI データコントロールレジスタ (SPDCR)	716
25.2.10	RSPI クロック遅延レジスタ (SPCKD)	718
25.2.11	RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)	719
25.2.12	RSPI 次アクセス遅延レジスタ (SPND)	720
25.2.13	RSPI 制御レジスタ 2 (SPCR2)	721
25.2.14	RSPI コマンドレジスタ 0 ~ 7 (SPCMD0 ~ SPCMD7)	722
25.3	動作説明	725
25.3.1	RSPI 動作の概要	725
25.3.2	RSPI 端子の制御	726
25.3.3	RSPI システム構成例	727
25.3.3.1	シングルマスタ / シングルスレーブ (本 MCU = マスタ)	727
25.3.3.2	シングルマスタ / シングルスレーブ (本 MCU = スレーブ)	728
25.3.3.3	シングルマスタ / マルチスレーブ (本 MCU = マスタ)	729
25.3.3.4	シングルマスタ / マルチスレーブ (本 MCU = スレーブ)	730
25.3.3.5	マルチマスタ / マルチスレーブ (本 MCU = マスタ)	731
25.3.3.6	マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = マスタ)	732
25.3.3.7	マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = スレーブ)	732
25.3.4	データフォーマット	733
25.3.4.1	パリティ機能無効時 (SPCR2.SPPE = 0)	734
25.3.4.2	パリティ機能有効時 (SPCR2.SPPE = 1)	738
25.3.5	転送フォーマット	742
25.3.5.1	CPHA ビット = 0 の場合	742
25.3.5.2	CPHA ビット = 1 の場合	743
25.3.6	通信動作モード	744
25.3.6.1	全二重同期式シリアル通信 (SPCR.TXMD = 0)	744
25.3.6.2	送信のみ動作 (SPCR.TXMD = 1)	745
25.3.7	送信バッファエンプティ / 受信バッファフル割り込み	746
25.3.8	エラー検出	748
25.3.8.1	オーバランエラー	749
25.3.8.2	パリティエラー	751
25.3.8.3	モードフォルトエラー	752
25.3.9	RSPI の初期化	753
25.3.9.1	SPE ビットのクリアによる初期化	753

25.3.9.2	システムリセット	753
25.3.10	SPI 動作	754
25.3.10.1	マスタモード動作	754
25.3.10.2	スレーブモード動作	764
25.3.11	クロック同期式動作	768
25.3.11.1	マスタモード動作	768
25.3.11.2	スレーブモード動作	772
25.3.12	ループバックモード	774
25.3.13	パリティビット機能の自己判断	775
25.3.14	割り込み要因	776
25.4	使用上の注意事項	777
25.4.1	モジュールストップ機能の設定	777
25.4.2	消費電力低減機能の注意事項	777
25.4.3	通信の開始に関する注意事項	777
25.4.4	SPRF/SPTEF フラグに関する注意事項	777
26.	CRC 演算器 (CRC)	778
26.1	概要	778
26.2	レジスタの説明	779
26.2.1	CRC コントロールレジスタ (CRCCR)	779
26.2.2	CRC データ入力レジスタ (CRCDIR)	779
26.2.3	CRC データ出力レジスタ (CRCDOR)	780
26.3	CRC 演算器の動作説明	781
26.4	使用上の注意事項	784
26.4.1	モジュールストップ機能の設定	784
26.4.2	転送時の注意事項	784
27.	12 ビット A/D コンバータ (S12ADb)	785
27.1	概要	785
27.2	レジスタの説明	788
27.2.1	A/D データレジスタ y (ADDRy) (y = 0 ~ 4、6、8 ~ 15)	788
27.2.2	A/D データ二重化レジスタ (ADDBLDR)	790
27.2.3	A/D 温度センサデータレジスタ (ADTSDR)	791
27.2.4	A/D 内部基準電圧データレジスタ (ADOCDR)	792
27.2.5	A/D コントロールレジスタ (ADCSR)	793
27.2.6	A/D チャネル選択レジスタ A (ADANSA)	797
27.2.7	A/D チャネル選択レジスタ B (ADANSB)	798
27.2.8	A/D 変換値加算モード選択レジスタ (ADADS)	799
27.2.9	A/D 変換値加算回数選択レジスタ (ADADC)	800
27.2.10	A/D コントロール拡張レジスタ (ADCER)	801
27.2.11	A/D 開始トリガ選択レジスタ (ADSTRGR)	802
27.2.12	A/D 変換拡張入力コントロールレジスタ (ADEXICR)	804

27.2.13	A/D サンプリングステートレジスタ n (ADSSTRn) (n=0 ~ 4、6、L、T、O)	805
27.3	動作説明	806
27.3.1	スキヤンの動作説明	806
27.3.2	シングルスキャンモード	807
27.3.2.1	基本動作	807
27.3.2.2	温度センサ出力選択時の A/D 変換動作	808
27.3.2.3	内部基準電圧選択時の A/D 変換動作	809
27.3.2.4	ダブルトリガモード選択時の動作	810
27.3.3	連続スキャンモード	811
27.3.3.1	基本動作	811
27.3.4	グループスキャンモード	812
27.3.4.1	基本動作	812
27.3.4.2	ダブルトリガモード選択時の動作	813
27.3.4.3	ソフトウェアトリガ使用時の注意	814
27.3.5	アナログ入力サンプリングとスキャン変換時間	815
27.3.6	レジスタのオートクリア機能の使用例	816
27.3.7	A/D 変換値加算機能	816
27.3.8	非同期トリガによる A/D 変換の開始	817
27.3.9	周辺モジュールからの同期トリガによる A/D 変換の開始	817
27.4	割り込み要因	818
27.4.1	スキャン終了時の割り込み要求	818
27.5	A/D 変換精度の定義	818
27.6	使用上の注意事項	819
27.6.1	データレジスタの読出し注意事項	819
27.6.2	A/D 変換停止時の注意事項	819
27.6.3	A/D 変換強制停止と開始時の動作タイミング	819
27.6.4	スキャン終了割り込み処理の注意事項	819
27.6.5	モジュールストップ機能の設定	819
27.6.6	低消費電力状態への遷移時の注意	819
27.6.7	ソフトウェアスタンバイモード解除時の注意	820
27.6.8	許容信号源インピーダンスについて	820
27.6.9	絶対精度への影響	822
27.6.10	アナログ電源端子他の設定範囲	822
27.6.11	ボード設計上の注意	822
27.6.12	ノイズ対策上の注意	823
27.6.13	12 ビット A/D コンバータ入力を使用する場合のポートの設定	823
27.6.14	AVCC0 と VCC の電源投入順序について	823
28.	温度センサ (TEMPSA)	824
28.1	概要	824
28.2	レジスタの説明	825

28.2.1	温度センサ校正データレジスタ (TSCDRH、TSCDRL)	825
28.3	温度センサの使用手法	826
28.3.1	使用前の準備	826
28.3.2	12 ビット A/D コンバータの設定	828
28.3.3	温度センサの A/D 変換結果	828
29.	データ演算回路 (DOC)	829
29.1	概要	829
29.2	レジスタの説明	830
29.2.1	DOC コントロールレジスタ (DOCR)	830
29.2.2	DOC データインプットレジスタ (DODIR)	831
29.2.3	DOC データセッティングレジスタ (DODSR)	831
29.3	動作説明	832
29.3.1	データ比較モード	832
29.3.2	データ加算モード	833
29.3.3	データ減算モード	834
29.4	割り込み要求	834
29.5	使用上の注意事項	834
29.5.1	モジュールストップ機能の設定	834
30.	RAM	835
30.1	概要	835
30.2	動作説明	835
30.2.1	消費電力低減機能	835
31.	フラッシュメモリ	836
31.1	概要	836
31.2	ROM の領域とブロックの構成	837
31.3	レジスタの説明	839
31.3.1	フラッシュ P/E モードエントリレジスタ (FENTRYR)	839
31.3.2	プロテクト解除レジスタ (FPR)	839
31.3.3	プロテクト解除ステータスレジスタ (FPSR)	840
31.3.4	フラッシュ P/E モード制御レジスタ (FPMCR)	840
31.3.5	フラッシュ初期設定レジスタ (FISR)	842
31.3.6	フラッシュリセットレジスタ (FRESETR)	844
31.3.7	フラッシュ領域選択レジスタ (FASR)	844
31.3.8	フラッシュ制御レジスタ (FCR)	845
31.3.9	フラッシュエクストラ領域制御レジスタ (FEXCR)	847
31.3.10	フラッシュ処理開始アドレスレジスタ H (FSARH)	848
31.3.11	フラッシュ処理開始アドレスレジスタ L (FSARL)	848
31.3.12	フラッシュ処理終了アドレスレジスタ H (FEARH)	849
31.3.13	フラッシュ処理終了アドレスレジスタ L (FEARL)	849
31.3.14	フラッシュリードバッファレジスタ H (FRBH)	850

31.3.15	フラッシュリードバッファレジスタ L (FRBL)	850
31.3.16	フラッシュライトバッファレジスタ H (FWBH)	850
31.3.17	フラッシュライトバッファレジスタ L (FWBL)	851
31.3.18	フラッシュステータスレジスタ 0 (FSTATR0)	852
31.3.19	フラッシュステータスレジスタ 1 (FSTATR1)	854
31.3.20	フラッシュエラーアドレスモニタレジスタ H (FEAMH)	855
31.3.21	フラッシュエラーアドレスモニタレジスタ L (FEAML)	855
31.3.22	フラッシュスタートアップ設定モニタレジスタ (FSCMR)	856
31.3.23	フラッシュアクセスウィンドウ開始アドレスモニタレジスタ (FAWSMR)	856
31.3.24	フラッシュアクセスウィンドウ終了アドレスモニタレジスタ (FAWEMR)	857
31.3.25	ユニーク ID レジスタ n (UIDRn) (n=0 ~ 31)	857
31.4	スタートアッププログラム保護機能	858
31.5	エリアプロテクション	859
31.6	プログラム/イレーズ	860
31.6.1	シーケンサのモード	860
31.6.1.1	リードモード	860
31.6.1.2	P/E モード	860
31.6.2	モード遷移	861
31.6.2.1	リードモードから P/E モードへの遷移	861
31.6.2.2	P/E モードからリードモードへの遷移	862
31.6.3	ソフトウェアコマンド一覧	863
31.6.4	ソフトウェアコマンド使用方法	864
31.6.4.1	プログラム	864
31.6.4.2	ブロックイレーズ	865
31.6.4.3	ブランクチェック	866
31.6.4.4	スタートアップ領域情報プログラム/アクセスウィンドウ情報プログラム	867
31.6.4.5	ユニーク ID リード	868
31.6.4.6	ソフトウェアコマンドの強制停止	869
31.6.5	割り込み	869
31.7	ブートモード	870
31.7.1	ブートモード (SCI インタフェース)	871
31.7.1.1	ブートモード (SCI インタフェース) のシステム構成	871
31.7.1.2	ブートモード (SCI インタフェース) の起動方法	873
31.7.2	ブートモード (FINE インタフェース)	874
31.7.2.1	ブートモード (FINE インタフェース) の動作条件	874
31.8	フラッシュメモリアクセス禁止機能	875
31.8.1	ID コードプロテクト	875
31.8.1.1	ブートモード ID コードプロテクト	876
31.8.1.2	オンチップデバッグエミュレータ ID コードプロテクト	878
31.9	通信プロトコル	879

31.9.1	ブートモード (SCI インタフェース) の状態遷移	879
31.9.2	コマンドとレスポンスの構成	881
31.9.3	ブートモードステータス問い合わせ	881
31.9.4	問い合わせコマンド	883
31.9.4.1	サポートデバイス問い合わせ	883
31.9.4.2	データ領域有無問い合わせ	883
31.9.4.3	ユーザ領域情報問い合わせ	884
31.9.4.4	ブロック情報問い合わせ	884
31.9.5	設定コマンド	885
31.9.5.1	デバイス選択	885
31.9.5.2	動作周波数選択	886
31.9.5.3	プログラム/イレーズステート遷移	887
31.9.6	ID コード認証コマンド	888
31.9.6.1	ID コードチェック	888
31.9.6.2	イレーズレディ	889
31.9.7	プログラム/イレーズコマンド	889
31.9.7.1	ユーザ領域プログラム準備	890
31.9.7.2	プログラム	890
31.9.7.3	イレーズ準備	891
31.9.7.4	ブロックイレーズ	891
31.9.8	リードチェックコマンド	892
31.9.8.1	メモリリード	892
31.9.8.2	ユーザ領域チェックサム	893
31.9.8.3	ユーザ領域ブランクチェック	893
31.9.8.4	アクセスウィンドウ情報プログラム	894
31.9.8.5	アクセスウィンドウリード	895
31.9.9	ブートモード (SCI インタフェース) でのシリアルプログラマ動作説明	896
31.9.9.1	ビットレート自動調整の制御手順	897
31.9.9.2	本 MCU の情報を取得する制御手順	898
31.9.9.3	デバイス指定、ビットレート変更の制御手順	899
31.9.9.4	プログラム/イレーズステートへの遷移	900
31.9.9.5	ブートモード ID コードプロテクトの解除	901
31.9.9.6	イレーズレディ処理	902
31.9.9.7	ユーザ領域のイレーズ	903
31.9.9.8	ユーザ領域のプログラム	904
31.9.9.9	ユーザ領域のデータを確認	905
31.9.9.10	ユーザ領域にアクセスウィンドウを設定	906
31.10	セルフプログラミングでの書き換え	907
31.10.1	概要	907
31.11	使用上の注意事項	908

31.12	使用上の注意事項 (ブートモード)	909
32.	電気的特性	910
32.1	絶対最大定格	910
32.2	DC 特性	911
32.2.1	標準 I/O 端子出力特性 (1)	923
32.2.2	標準 I/O 端子出力特性 (2)	925
32.2.3	標準 I/O 端子出力特性 (3)	927
32.3	AC 特性	929
32.3.1	クロックタイミング	929
32.3.2	リセットタイミング	933
32.3.3	低消費電力状態からの復帰タイミング	934
32.3.4	制御信号タイミング	937
32.3.5	内蔵周辺モジュールタイミング	938
32.4	A/D 変換特性	949
32.5	温度センサ特性	954
32.6	パワーオンリセット回路、電圧検出回路特性	955
32.7	発振停止検出タイミング	958
32.8	ROM (コード格納用フラッシュメモリ) 特性	959
32.9	使用上の注意事項	961
32.9.1	VCL コンデンサ、バイパスコンデンサ接続方法	961
付録 1.	各処理状態におけるポートの状態	964
付録 2.	外形寸法図	965
改訂記録		972

32MHz、32ビットRX MCU、50DMIPS、最大128Kバイトフラッシュメモリ、最大5本の通信機能、12ビットA/D、RTC

特長

■ 32ビットRX CPU コア内蔵

- 最大動作周波数 32MHz
50DMIPS の性能 (32MHz 動作時)
- 32×32 → 64 ビット演算結果 (1 命令) のアキュムレータ
- 乗除算器 32×32 ビット (乗算命令は 1CPU クロック)
- 高速割り込み
- 5 段パイプラインの CISC ハーバードアーキテクチャ
- 可変長命令形式: コードを大幅に短縮
- オンチップデバッグ回路内蔵

■消費電力低減機能

- 1.8V ~ 3.6V 動作の単一電源
- 3 種類の低消費電力モード
- 消費電流
高速動作モード: 0.1mA/MHz
ソフトウェアスタンバイモード: 0.35µA
- ソフトウェアスタンバイからの復帰時間: 4.8µs

■内蔵コードフラッシュメモリ (ウェイトなし)

- 32MHz 動作、31.25ns 読み出しサイクル
- CPU フルスPEED読み出し時、ウェイトなし
- 8K ~ 128K バイトの容量
- 1.8V で書き換え可能
- 命令、オペランド用

■内蔵 SRAM (ウェイトなし)

- 8K ~ 16K バイトの容量

■ DTC

- 4 種類の転送モード
- 割り込要因ごとに転送設定可能

■リセットおよび電源電圧制御

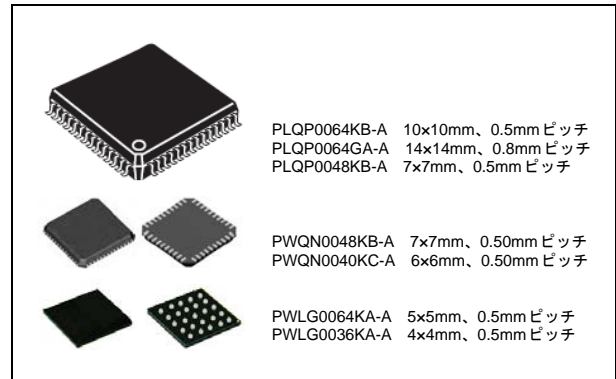
- パワーオンリセット (POR) など 6 種類のリセットに対応
- 低電圧検出機能 (LVD) の設定可能

■クロック機能

- 外部クロック入力周波数: ~ 20MHz
- メインクロック発振子周波数: 1 ~ 20MHz
- サブクロック発振子周波数: 32.768kHz
- 低速オンチップオシレータ: 4MHz
- 高速オンチップオシレータ: 32MHz±1% (-20 ~ 85 °C)
- IWDT 専用オンチップオシレータ内蔵: 15kHz
- 32.768kHz RTC 専用クロックの生成
- クロック周波数精度測定回路 (CAC) 内蔵

■リアルタイムクロック内蔵

- 補正機能 (30 秒、うるう年、誤差)
- カレンダーカウントモード/バイナリカウントモードを選択可能
- RTC でソフトウェアスタンバイモードから復帰可能



■独立ウォッチドッグタイマ内蔵

- 15kHz IWDT 専用低速オンチップオシレータクロック動作

■IEC60730 対応機能内蔵

- クロック周波数精度測定回路、独立ウォッチドッグタイマ、RAM テストアシスト機能など

■最大5本の通信機能を内蔵

- SCI: 調歩同期式モード/クロック同期式モード/スマートカードインタフェースモード (最大 3 チャンネル)
- I²C バスインタフェース最大 400kbps 転送 SMBus に対応 (1 チャンネル)
- RSPI: 最大 16Mbps (1 チャンネル)

■最大6本の拡張タイマ機能

- 16 ビット MTU: インพุットキャプチャ、アウトプットコンペア、位相計数モード (4 チャンネル)
- 16 ビット CMT (2 チャンネル)

■12ビットA/Dコンバータ内蔵

- 最大 14 チャンネル
- 最小 1.0µs 変換が可能
- モータ制御に適したダブルトリガ (データ 2 重化) 機能

■温度センサ内蔵

■汎用入出力ポート内蔵

- 5V トレラント、オープンドレイン、入力プルアップ

■MPC

- 周辺機能の入出力端子を複数箇所から選択可能

■ユニーク ID

- マイコン個体ごとの 32 バイト長の ID コード

■動作周囲温度

- 40 ~ + 85 °C
- 40 ~ + 105 °C

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールのチャンネル数はパッケージのピン数によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1 / 3)

分類	モジュール／機能	説明
CPU	中央演算処理装置	<ul style="list-style-type: none"> 最大動作周波数：32MHz 32ビットRX CPU 最小命令実行時間：1命令1クロック アドレス空間：4Gバイト・リニアアドレス レジスタ <ul style="list-style-type: none"> 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×8本 アキュムレータ：64ビット×1本 基本命令：73種類 DSP機能命令：9種類 アドレッシングモード：10種類 データ配置 <ul style="list-style-type: none"> 命令：リトルエンディアン データ：リトルエンディアン／ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット 除算器：32ビット÷32ビット→32ビット バレルシフタ：32ビット
メモリ	ROM	<ul style="list-style-type: none"> 容量：8K/16K/32K/64K/96K/128Kバイト 32MHz、ノーウェイトアクセス 書き換え方法：シリアルライタープログラミング（調歩同期式シリアル通信）、セルフプログラミング
	RAM	<ul style="list-style-type: none"> 容量：8K/10K/16Kバイト 32MHz、ノーウェイトアクセス
MCU動作モード		シングルチップモード
クロック	クロック発生回路	<ul style="list-style-type: none"> メインクロック発振器、サブクロック発振器、低速および高速オンチップオシレータ、IWDI専用オンチップオシレータ 発振停止検出：あり クロック周波数精度測定回路（CAC）：あり システムクロック（ICLK）、周辺モジュールクロック（PCLK）、FlashIFクロック（FCLK）を個別に設定可能 CPU、バスマスタなどのシステム系はICLK同期：Max 32MHz 周辺モジュールはPCLK同期：Max 32MHz フラッシュ周辺回路はFCLK同期：Max 32MHz ICLKの周波数は、FCLK、PCLKB、PCLKDのn倍（n:1, 2, 4, 8, 16, 32, 64）のみ設定可能
リセット		RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセット、ソフトウェアリセット
電圧検出	電圧検出回路（LVDAa）	<ul style="list-style-type: none"> VCCが電圧検出レベル以下になると、内部リセットまたは内部割り込みを発生 電圧検出1は検出電圧を10レベルから選択可能 電圧検出2は検出電圧を4レベルから選択可能
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ機能 3種類の低消費電力モード スリープモード、ディープスリープモード、ソフトウェアスタンバイモード
	動作電力低減機能	<ul style="list-style-type: none"> 動作電力制御モード 高速動作モード、中速動作モード、低速動作モード
割り込み	割り込みコントローラ（ICUb）	<ul style="list-style-type: none"> 割り込みベクタ数：65 外部割り込み：要因数9（NMI、IRQ0～IRQ7端子） ノンマスクابل割り込み：要因数4（NMI端子、電圧監視1割り込み、電圧監視2割り込み、IWDI割り込み） 16レベルの割り込み優先順位を設定可能

表 1.1 仕様概要 (2 / 3)

分類	モジュール/機能	説明
DMA	データトランスファコントローラ (DTCa)	<ul style="list-style-type: none"> 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因：割り込み要因により起動 チェーン転送機能あり
I/Oポート	汎用入出力ポート	64ピン/48ピン/40ピン/36ピン <ul style="list-style-type: none"> 入出力：50/34/28/24 入力：2/2/1/1 プルアップ抵抗：42/28/23/20 オープンドレイン出力：38/28/23/20 5Vトレラント：4/4/4/4
マルチファンクションピンコントローラ (MPC)		入出力機能を複数の端子から選択可能
タイマ	マルチファンクションタイマパルスユニット2 (MTU2b)	<ul style="list-style-type: none"> (16ビット×4チャンネル) ×1ユニット 16ビットタイマ4チャンネルをベースに最大8本のパルス入出力、および3本のパルス入力が可能 チャンネルごとにカウントクロック (PCLK/1、PCLK/4、PCLK/16、PCLK/64、PCLK/256、PCLK/1024、MTCLKA、MTCLKB、MTCLKC、MTCLKD) を8種類または7種類選択可能 (チャンネル5は4種類) インプットキャプチャ機能 13本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ パルス出力モード 位相計数モード A/Dコンバータの変換開始トリガを生成可能
	コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> (16ビット×2チャンネル) ×1ユニット 4種類のクロック (PCLK/8、PCLK/32、PCLK/128、PCLK/512) を選択可能
	独立ウォッチドッグタイマ (IWDTa)	<ul style="list-style-type: none"> 14ビット×1チャンネル カウントクロック：IWDT専用低速オンチップオシレータ 1分周、16分周、32分周、64分周、128分周、256分周
	リアルタイムクロック (RTCA)	<ul style="list-style-type: none"> クロックソース：サブクロックにて動作 カレンダーカウントモード/バイナリカウントモードを選択可能 割り込み：アラーム割り込み、周期割り込み、桁上げ割り込み
通信機能	シリアルコミュニケーションインタフェース (SCIE、SCIF)	<ul style="list-style-type: none"> 3チャンネル (チャンネル1、5：SCIE、チャンネル12：SCIF) シリアル通信方式：調歩同期式/クロック同期式/スマートカードインタフェース 内蔵ポーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 MTU2からの平均転送レートクロック入力が可能 簡易I²C機能 簡易SPI機能 マスタ/スレーブモードをサポート (SCIFのみ) スタートフレーム、インフォメーションフレームから構成 (SCIFのみ) 調歩同期式モード時のスタートビットの検出：Lowまたは立ち下がりエッジを選択可能 (SCIE/SCIF)
	I ² Cバスインタフェース (RIIC)	<ul style="list-style-type: none"> 1チャンネル 通信フォーマット：I²Cバスフォーマット/SMBusフォーマット マスタ/スレーブを選択可能 ファストモード対応
	シリアルペリフェラルインタフェース (RSPI)	<ul style="list-style-type: none"> 1チャンネル 転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI動作 (4線式) /クロック同期式動作 (3線式) でシリアル通信が可能 マスタ/スレーブモードを選択可能 データフォーマット LSBファースト/MSBファーストを選択可能 転送ビット長 (8~16、20、24、32ビット) を選択可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送 (1フレームは最大32ビット) 送信/受信バッファ構成はダブルバッファ

表 1.1 仕様概要 (3 / 3)

分類	モジュール/機能	説明
12ビットA/Dコンバータ (S12ADb)		<ul style="list-style-type: none"> 1ユニット (1ユニット×14チャンネル) 分解能: 12ビット 最小変換時間: 1チャンネル当たり1.0μs (ADCLK = 32MHz動作時) 動作モード スキャンモード (シングルスキャンモード、連続スキャンモード、グループスキャンモード) ダブルトリガモード (A/D変換データ2重化機能) A/D変換開始条件 ソフトウェアトリガ、タイマ (MTU) のトリガ、外部トリガ
温度センサ (TEMPSA)		<ul style="list-style-type: none"> 1チャンネル 温度を電圧に変換し12ビットA/Dコンバータでデジタル化
CRC演算器 (CRC)		<ul style="list-style-type: none"> 8ビット単位の任意のデータ長に対してCRCコードを生成 3つの多項式から選択可能 $X^8 + X^2 + X + 1$、$X^{16} + X^{15} + X^2 + 1$、$X^{16} + X^{12} + X^5 + 1$ LSBファースト/MSBファースト通信用CRCコード生成の選択が可能
データ演算回路 (DOC)		16ビットのデータを比較、加算、減算する機能
ユニークID		マイコン個体ごとの32バイト長のIDコード
電源電圧/動作周波数		VCC=1.8~2.4V: 8MHz、VCC=2.4~2.7V: 16MHz、VCC=2.7~3.6V: 32MHz
消費電流		3.2mA@32MHz (typ)
動作周囲温度		Dバージョン: -40~+85°C、Gバージョン: -40~+105°C
パッケージ		64ピンLFQFP (PLQP0064KB-A) 10×10mm、0.5mmピッチ 64ピンLQFP (PLQP0064GA-A) 14×14mm、0.8mmピッチ 64ピンWFLGA (PWLG0064KA-A) 5×5mm、0.5mmピッチ 48ピンLFQFP (PLQP0048KB-A) 7×7mm、0.5mmピッチ 48ピンHWQFN (PWQN0048KB-A) 7×7mm、0.50mmピッチ 40ピンHWQFN (PWQN0040KC-A) 6×6mm、0.50mmピッチ 36ピンWFLGA (PWLG0036KA-A) 4×4mm、0.5mmピッチ
オンチップデバッグシステム		E1エミュレータ (FINEインタフェース)

表 1.2 パッケージ別機能比較一覧

モジュール/機能		RX110グループ			
		64ピン	48ピン	40ピン	36ピン
割り込み	外部割り込み	NMI、IRQ0～IRQ7			
DMA	データトランスファコントローラ	あり			
タイマ	マルチファンクションタイマパルスユニット2	4チャンネル (MTU0～MTU2, MTU5)			
	コンペアマッチタイマ	2チャンネル×1ユニット			
	リアルタイムクロック	あり		なし	
	独立ウォッチドッグタイマ	あり			
通信機能	シリアルコミュニケーションインタフェース (SCIE) [簡易I ² C、簡易SPI]	2チャンネル (SCI1、5)			
	シリアルコミュニケーションインタフェース (SCIF) [簡易I ² C、簡易SPI]	1チャンネル (SCI12)			
	I ² Cバスインタフェース	1チャンネル			
	シリアルペリフェラルインタフェース	1チャンネル	1チャンネル (SSLA1、3なし)		1チャンネル (SSLA1～3なし)
12ビットA/Dコンバータ (内、高精度チャンネル)		14チャンネル (6チャンネル)	10チャンネル (4チャンネル)	8チャンネル (3チャンネル)	7チャンネル (2チャンネル)
温度センサ		あり			
CRC演算器		あり			
パッケージ		64ピンLFQFP 64ピンLQFP 64ピンWFLGA	48ピンLFQFP 48ピンHWQFN	40ピンHWQFN	36ピンWFLGA

1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表 (1 / 2)

グループ	型名	受注型名	パッケージ	ROM容量	RAM容量	動作周波数 (max)	動作周囲温度	
RX110	R5F51105AGFM	R5F51105AGFM#30	PLQP0064KB-A	128Kバイト	16Kバイト	32MHz	-40 ~ +105°C	
	R5F51105AGFK	R5F51105AGFK#30	PLQP0064GA-A					
	R5F51105AGFL	R5F51105AGFL#30	PLQP0048KB-A					
	R5F51105AGNE	R5F51105AGNE#U0	PWQN0048KB-A					
	R5F51104AGFM	R5F51104AGFM#30	PLQP0064KB-A	96Kバイト				
	R5F51104AGFK	R5F51104AGFK#30	PLQP0064GA-A					
	R5F51104AGFL	R5F51104AGFL#30	PLQP0048KB-A					
	R5F51104AGNE	R5F51104AGNE#U0	PWQN0048KB-A					
	R5F51103AGFM	R5F51103AGFM#30	PLQP0064KB-A	64Kバイト	10Kバイト			
	R5F51103AGFK	R5F51103AGFK#30	PLQP0064GA-A					
	R5F51103AGFL	R5F51103AGFL#30	PLQP0048KB-A					
	R5F51103AGNE	R5F51103AGNE#U0	PWQN0048KB-A					
	R5F51103AGNF	R5F51103AGNF#U0	PWQN0040KC-A					
	R5F51101AGFM	R5F51101AGFM#30	PLQP0064KB-A	32Kバイト				
	R5F51101AGFK	R5F51101AGFK#30	PLQP0064GA-A					
	R5F51101AGFL	R5F51101AGFL#30	PLQP0048KB-A					
	R5F51101AGNE	R5F51101AGNE#U0	PWQN0048KB-A					
	R5F51101AGNF	R5F51101AGNF#U0	PWQN0040KC-A					
	R5F5110JAGFM	R5F5110JAGFM#30	PLQP0064KB-A	16Kバイト				8Kバイト
	R5F5110JAGFK	R5F5110JAGFK#30	PLQP0064GA-A					
R5F5110JAGFL	R5F5110JAGFL#30	PLQP0048KB-A						
R5F5110JAGNE	R5F5110JAGNE#U0	PWQN0048KB-A						
R5F5110JAGNF	R5F5110JAGNF#U0	PWQN0040KC-A						
R5F5110HAGNF	R5F5110HAGNF#U0	PWQN0040KC-A	8Kバイト					

表 1.3 製品一覧表 (2 / 2)

グループ	型名	受注型名	パッケージ	ROM容量	RAM容量	動作周波数 (max)	動作周囲温度
RX110	R5F51105ADFM	R5F51105ADFM#30	PLQP0064KB-A	128Kバイト	16Kバイト	32MHz	-40 ~ +85℃
	R5F51105ADFK	R5F51105ADFK#30	PLQP0064GA-A				
	R5F51105ADLF	R5F51105ADLF#U0	PWLG0064KA-A				
	R5F51105ADFL	R5F51105ADFL#30	PLQP0048KB-A				
	R5F51105ADNE	R5F51105ADNE#U0	PWQN0048KB-A				
	R5F51104ADFM	R5F51104ADFM#30	PLQP0064KB-A	96Kバイト			
	R5F51104ADFK	R5F51104ADFK#30	PLQP0064GA-A				
	R5F51104ADLF	R5F51104ADLF#U0	PWLG0064KA-A				
	R5F51104ADFL	R5F51104ADFL#30	PLQP0048KB-A				
	R5F51104ADNE	R5F51104ADNE#U0	PWQN0048KB-A				
	R5F51103ADFM	R5F51103ADFM#30	PLQP0064KB-A	64Kバイト	10Kバイト		
	R5F51103ADFK	R5F51103ADFK#30	PLQP0064GA-A				
	R5F51103ADLF	R5F51103ADLF#U0	PWLG0064KA-A				
	R5F51103ADFL	R5F51103ADFL#30	PLQP0048KB-A				
	R5F51103ADNE	R5F51103ADNE#U0	PWQN0048KB-A				
	R5F51103ADLM	R5F51103ADLM#U0	PWLG0036KA-A	32Kバイト			
	R5F51103ADNF	R5F51103ADNF#U0	PWQN0040KC-A				
	R5F51101ADFM	R5F51101ADFM#30	PLQP0064KB-A				
	R5F51101ADFK	R5F51101ADFK#30	PLQP0064GA-A				
	R5F51101ADLF	R5F51101ADLF#U0	PWLG0064KA-A				
	R5F51101ADFL	R5F51101ADFL#30	PLQP0048KB-A	16Kバイト	8Kバイト		
	R5F51101ADNE	R5F51101ADNE#U0	PWQN0048KB-A				
	R5F51101ADLM	R5F51101ADLM#U0	PWLG0036KA-A				
	R5F51101ADNF	R5F51101ADNF#U0	PWQN0040KC-A				
	R5F5110JADFM	R5F5110JADFM#30	PLQP0064KB-A				
	R5F5110JADFK	R5F5110JADFK#30	PLQP0064GA-A	8Kバイト			
	R5F5110JADLF	R5F5110JADLF#U0	PWLG0064KA-A				
	R5F5110JADFL	R5F5110JADFL#30	PLQP0048KB-A				
R5F5110JADNE	R5F5110JADNE#U0	PWQN0048KB-A					
R5F5110HADLM	R5F5110HADLM#U0	PWLG0036KA-A					
R5F5110HADNF	R5F5110HADNF#U0	PWQN0040KC-A	8Kバイト				

注. 発注型名は、本マニュアル発行時に量産もしくは開発中のものです。最新の発注型名は弊社ホームページでご確認ください。

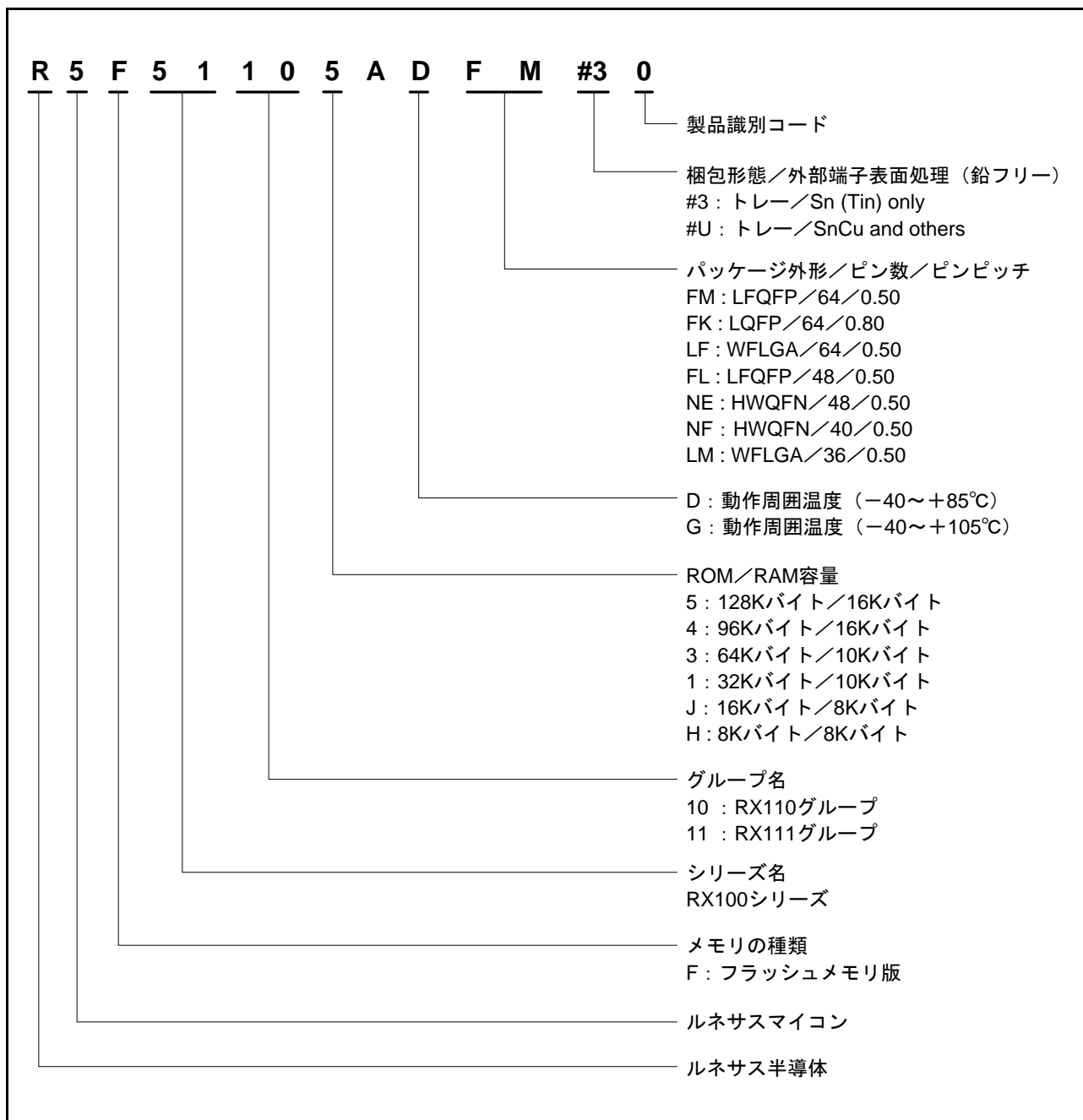


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

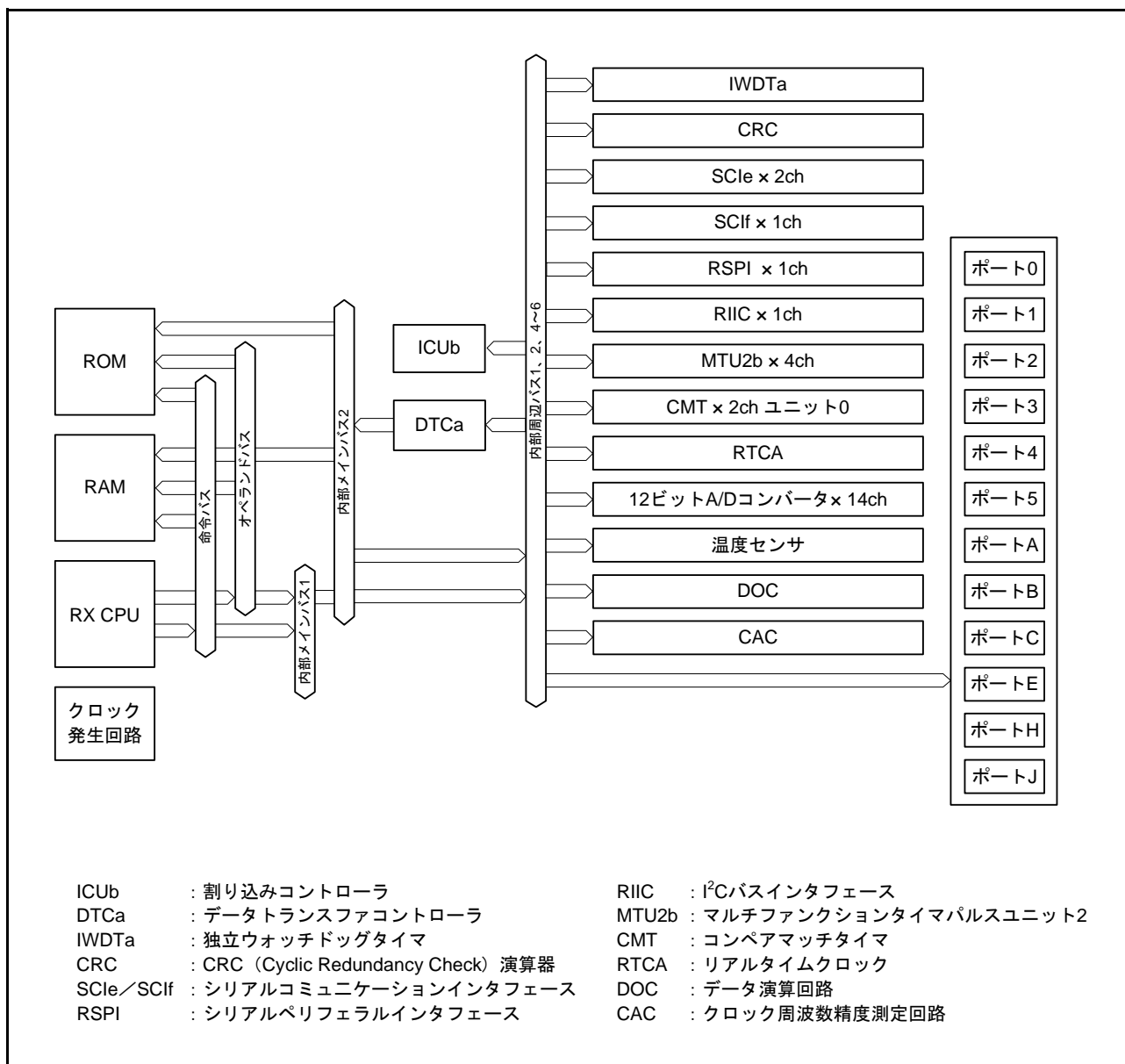


図 1.2 ブロック図

1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1 / 3)

分類	端子名	入出力	機能
電源	VCC	入力	電源端子。システムの電源に接続してください
	VCL	—	内部電源安定用の平滑コンデンサ (4.7 μ F) を介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グラウンド端子。システムの電源 (0V) に接続してください
アナログ電源	AVCC0	入力	12ビットA/Dコンバータのアナログ電源端子。12ビットA/Dコンバータを使用しない場合は、VCCに接続してください
	AVSS0	入力	12ビットA/Dコンバータのアナロググラウンド端子。12ビットA/Dコンバータを使用しない場合は、VSSに接続してください
	VREFH0	入力	12ビットA/Dコンバータの基準電源端子。12ビットA/Dコンバータを使用しない場合は、VCCに接続してください
	VREFL0	入力	12ビットA/Dコンバータの基準グラウンド端子。12ビットA/Dコンバータを使用しない場合は、VSSに接続してください
クロック	XTAL	出力/ 入力 (注1)	水晶発振子接続端子。また、XTAL端子は外部クロックを入力することもできます
	EXTAL	入力	
	XCIN	入力	サブクロック発振器の入出力端子。XCINとXCOUTの間には、水晶発振子を接続してください
	XCOUT	出力	
	CLKOUT	出力	クロック出力端子
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中には変化させないでください
システム制御	RES#	入力	リセット端子。この端子がLowになると、リセット状態となります
CAC	CACREF	入力	クロック周波数精度測定回路の入力端子
オンチップエミュレータ	FINED	入出力	FINEインタフェース端子
LVD	CMPA2	入力	電圧検出2用検出対象電圧端子
割り込み	NMI	入力	ノンマスクابل割り込み要求端子
	IRQ0~IRQ7	入力	割り込み要求端子
マルチファンクションタイマパルスユニット2	MTIOC0A、MTIOC0B MTIOC0C、MTIOC0D	入出力	TGRA0~TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A、MTIOC1B	入出力	TGRA1、TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A、MTIOC2B	入出力	TGRA2、TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIC5U、MTIC5V、MTIC5W	入力	TGRU5、TGRV5、TGRW5のインプットキャプチャ入力/外部パルス入力端子
	MTCLKA、MTCLKB、 MTCLKC、MTCLKD	入力	外部クロックの入力端子
リアルタイムクロック	RTCOUT	出力	1Hz/64Hzのクロックの出力端子

表 1.4 端子機能一覧 (2 / 3)

分類	端子名	入出力	機能
シリアル コミュニケーション インタフェース (SCIE)	● 調歩同期式モード/クロック同期式モード		
	SCK1、SCK5	入出力	クロック入出力端子
	RXD1、RXD5	入力	受信データ入力端子
	TXD1、TXD5	出力	送信データ出力端子
	CTS1#、CTS5#	入力	送受信開始制御用入力端子
	RTS1#、RTS5#	出力	送受信開始制御用出力端子
	● 簡易I ² Cモード		
	SSCL1、SSCL5	入出力	I ² Cクロック入出力端子
	SSDA1、SSDA5	入出力	I ² Cデータ入出力端子
	● 簡易SPIモード		
	SCK1、SCK5	入出力	クロック入出力端子
	SMISO1、SMISO5	入出力	スレーブ送出データ入出力端子
	SMOSI1、SMOSI5	入出力	マスタ送出データ入出力端子
	SS1#、SS5#	入力	チップセレクト入力端子
シリアル コミュニケーション インタフェース (SCIf)	● 調歩同期式モード/クロック同期式モード		
	SCK12	入出力	クロック入出力端子
	RXD12	入力	受信データ入力端子
	TXD12	出力	送信データ出力端子
	CTS12#	入力	送受信開始制御用入力端子
	RTS12#	出力	送受信開始制御用出力端子
	● 簡易I ² Cモード		
	SSCL12	入出力	I ² Cクロック入出力端子
	SSDA12	入出力	I ² Cデータ入出力端子
	● 簡易SPIモード		
	SCK12	入出力	クロック入出力端子
	SMISO12	入出力	スレーブ送出データ入出力端子
	SMOSI12	入出力	マスタ送出データ入出力端子
	SS12#	入力	チップセレクト入力端子
	● 拡張シリアルモード		
	RDX12	入力	SCIf受信データ入力端子
	TXDX12	出力	SCIf送信データ出力端子
SIOX12	入出力	SCIf送受信データ入出力端子	
I ² Cバスインタフェース	SCL0	入出力	I ² Cバスインタフェースのクロック入出力端子。Nチャンネルオープンドレインでバスを直接駆動できます
	SDA0	入出力	I ² Cバスインタフェースのデータ入出力端子。Nチャンネルオープンドレインでバスを直接駆動できます
シリアルペリフェラルイ ンタフェース	RSPCKA	入出力	RSPIのクロック入出力端子
	MOSIA	入出力	RSPIのマスタ送出データ端子
	MISOA	入出力	RSPIのスレーブ送出データ端子
	SSLA0	入出力	RSPIのスレーブセレクト入出力端子
	SSLA1～SSLA3	出力	RSPIのスレーブセレクト出力端子
12ビットA/Dコンバータ	AN000～AN004、AN006、AN008～AN015	入力	A/Dコンバータのアナログ入力端子
	ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子

表 1.4 端子機能一覧 (3 / 3)

分類	端子名	入出力	機能
I/Oポート	P03、P05	入出力	2ビットの入出力端子
	P14～P17	入出力	4ビットの入出力端子
	P26、P27	入出力	2ビットの入出力端子
	P30～P32、P35	入出力	4ビットの入出力端子 (P35は入力端子)
	P40～P44、P46	入出力	6ビットの入出力端子
	P54、P55	入出力	2ビットの入出力端子
	PA0、PA1、PA3、PA4、PA6	入出力	5ビットの入出力端子
	PB0、PB1、PB3、PB5～PB7	入出力	6ビットの入出力端子
	PC0～PC7	入出力	8ビットの入出力端子
	PE0～PE7	入出力	8ビットの入出力端子
	PH0～PH3	入出力	4ビットの入出力端子
	PH7	入力	1ビットの入力端子
	PJ6、PJ7	入出力	2ビットの入出力端子

注1. 外部クロックを入力する場合です。

1.5 ピン配置図

図 1.3 ~ 図 1.7 にピン配置図を示します。また、表 1.5 ~ 表 1.9 に機能別端子一覧を示します。

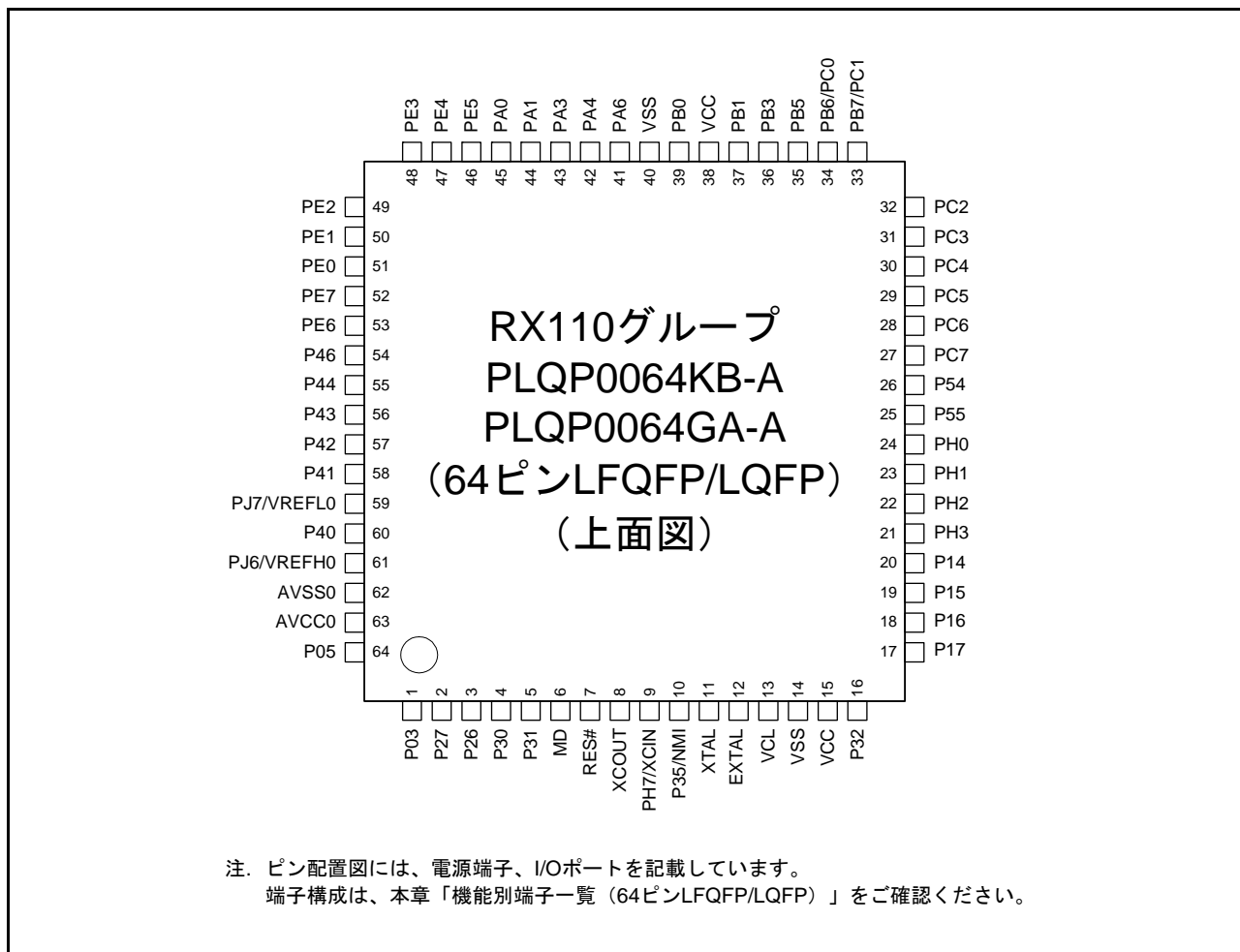
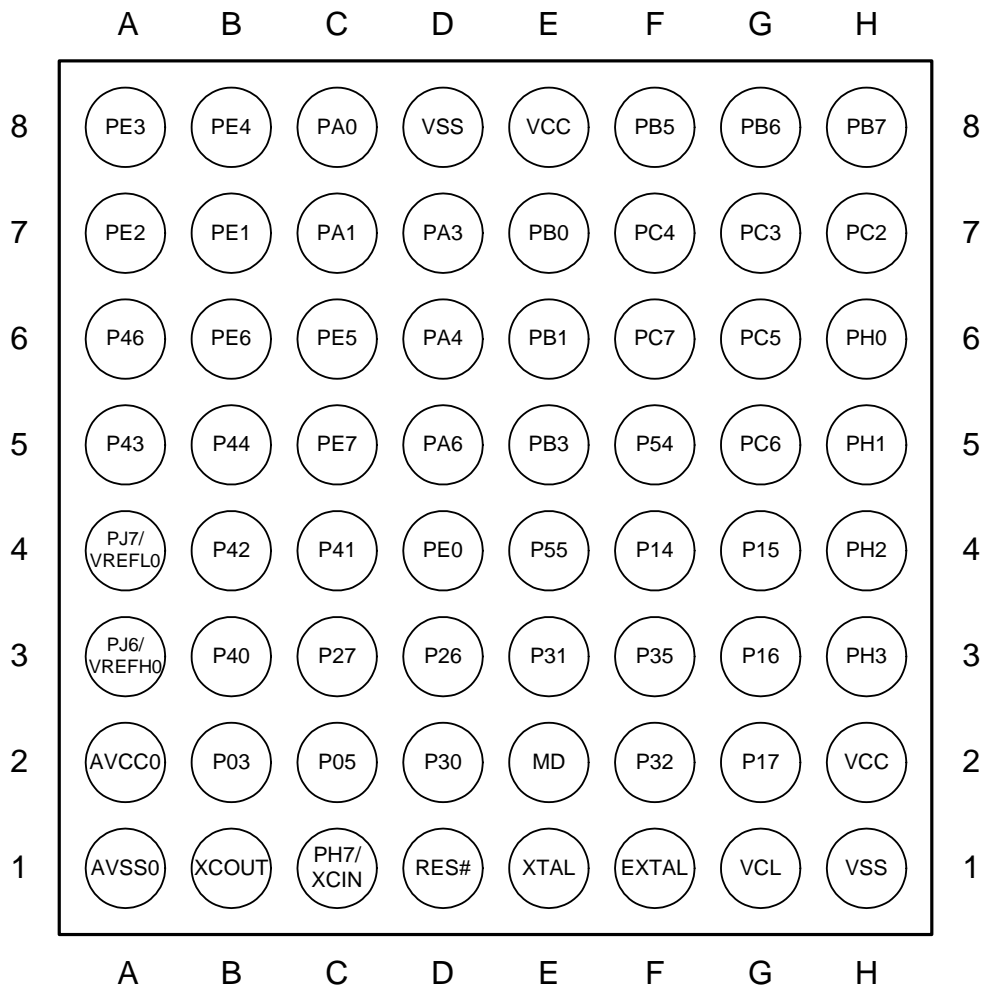


図 1.3 64ピンLQFP/LQFPピン配置図

RX110グループ
PWLG0064KA-A
(64ピンWFLGA)
(上面透視図)



- 注. ・ピン配置図には、電源端子、I/Oポートを記載しています。
端子構成は、本章「機能別端子一覧表（64ピンWFLGA）」をご確認ください。
・パッケージのA1番ピンの位置は「外形寸法図」をご確認ください。

図 1.4 64ピンWFLGAピン配置図

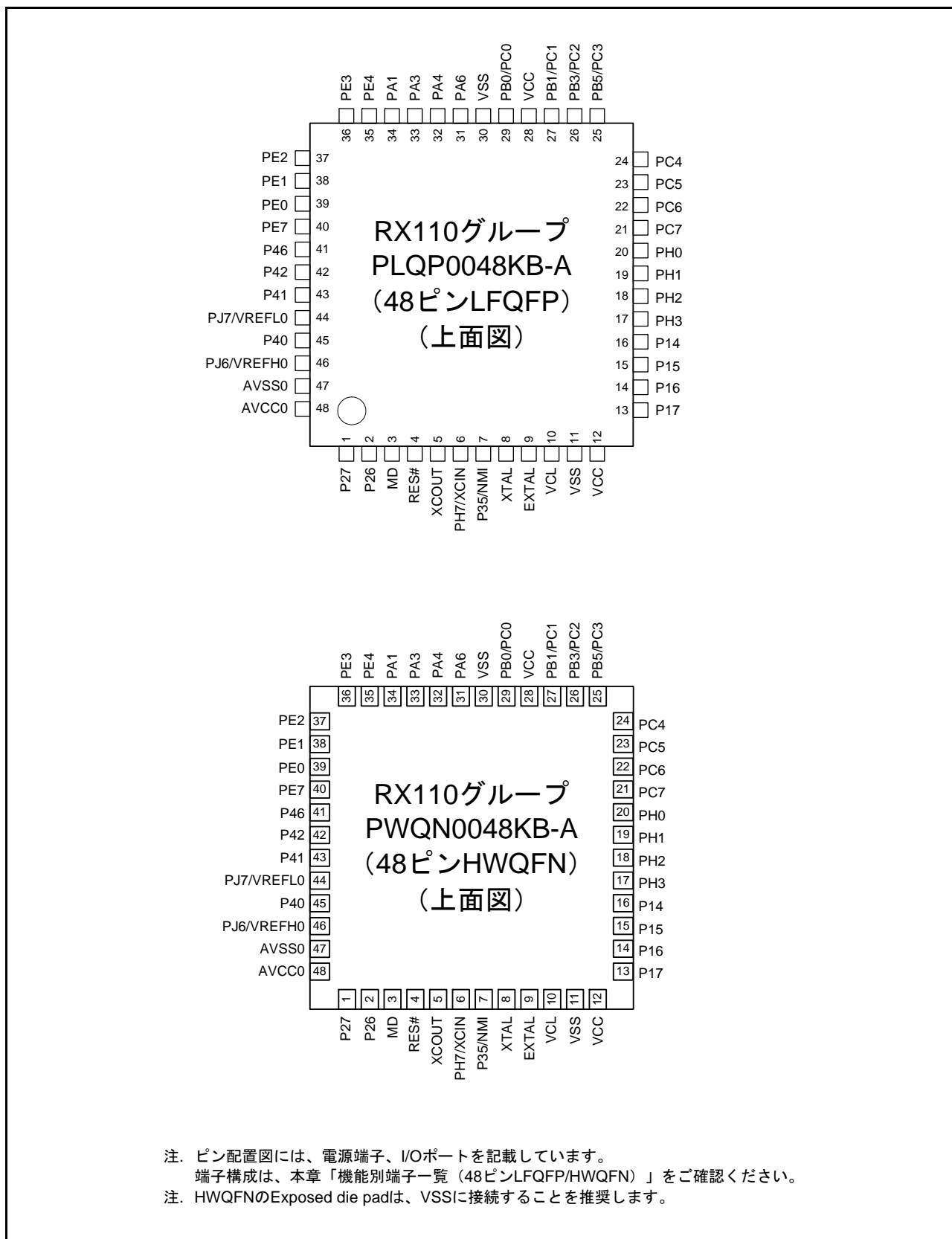


図 1.5 48 ピン LQFP/HWQFN ピン配置図

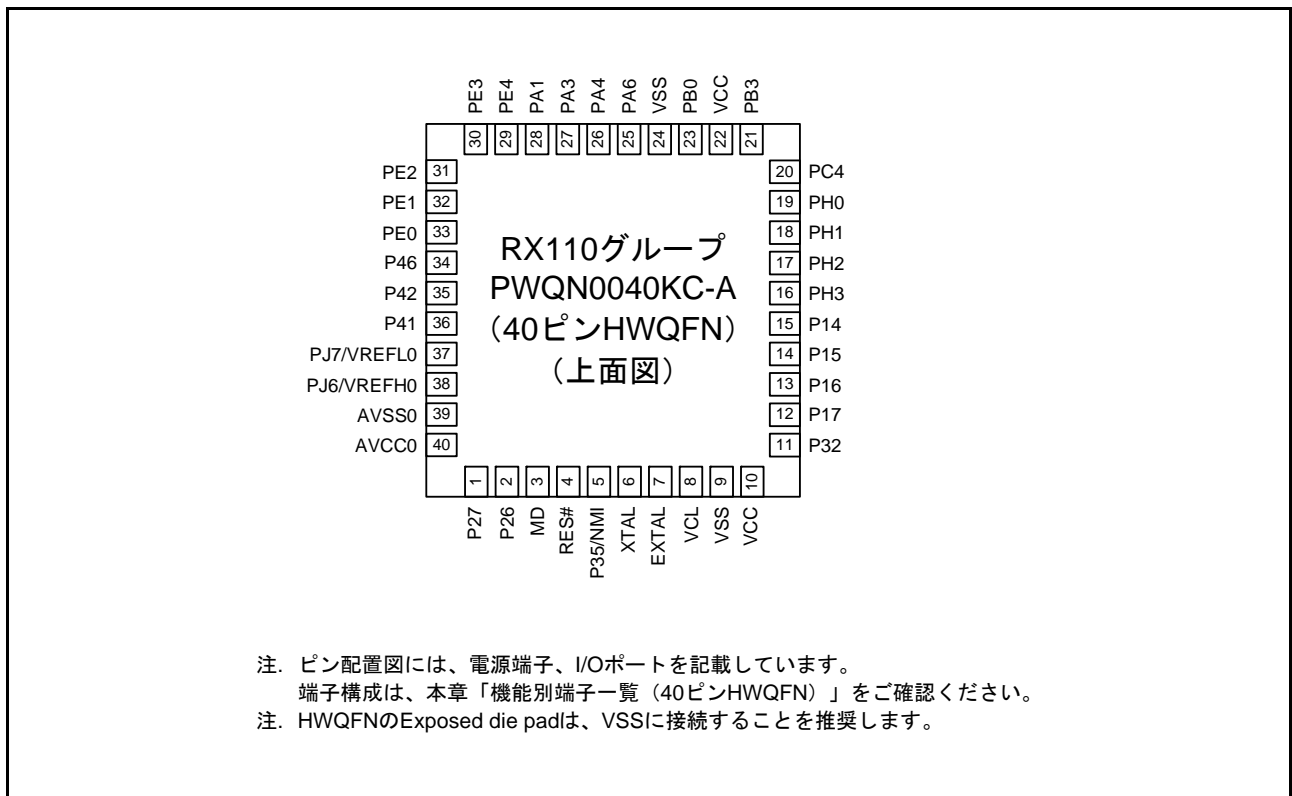
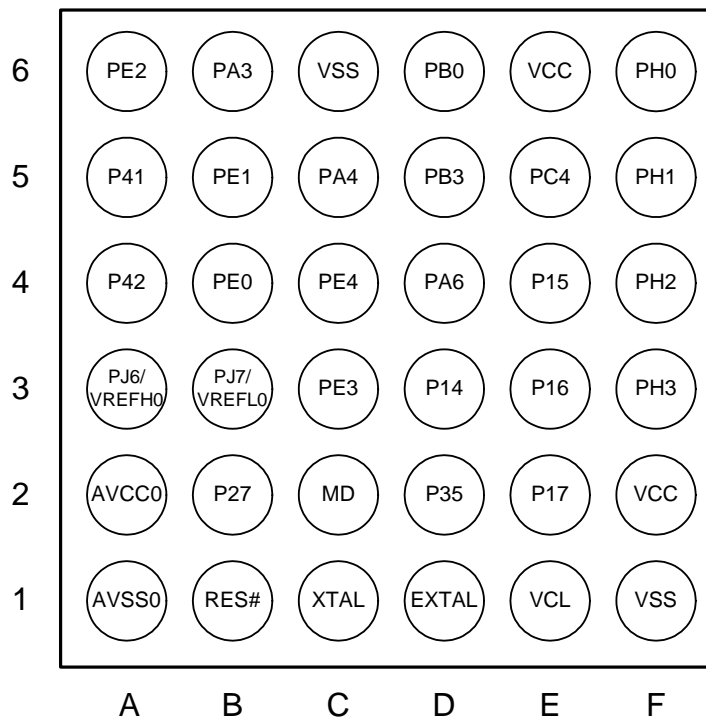


図 1.6 40 ピン HWQFN ピン配置図

RX110グループ
PWLG0036KA-A
(36ピンWFLGA)
(上面透視図)



- 注. ・ピン配置図には、電源端子、I/Oポートを記載しています。
端子構成は、本章「機能別端子一覧表（36ピンWFLGA）」をご確認ください。
・パッケージのA1番ピンの位置は「外形寸法図」をご確認ください。

図 1.7 36ピンWFLGAピン配置図

表 1.5 機能別端子一覧 (64ピンLFQFP/LQFP) (1 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、RTC)	通信 (SCIe、SCIf、RSPI、RIIC)	その他
1		P03			
2		P27	MTIOC2B	SCK1/SCK12	IRQ3/CMPA2/CACREF/ ADTRG0#
3		P26	MTIOC2A	TXD1/SMOSI1/SSDA1	
4		P30		RXD1/SMISO1/SSCL1	IRQ0
5		P31		CTS1#/RTS1#/SS1#	IRQ1
6	MD				FINED
7	RES#				
8	XCOUT				
9	XCIN	PH7			
10		P35			NMI
11	XTAL				
12	EXTAL				
13	VCL				
14	VSS				
15	VCC				
16		P32	MTIOC0C/RTCOUT		IRQ2
17		P17	MTIOC0C	SCK1/MISO/SDA0/RXD12/ RXDX12/SMISO12/SSCL12	IRQ7
18		P16	RTCOUT	TXD1/SMOSI1/SSDA1/MOSIA/ SCL0	IRQ6/ADTRG0#
19		P15	MTIOC0B/MTCLKB	RXD1/SMISO1/SSCL1/RSPCKA	IRQ5/CLKOUT
20		P14	MTIOC0A/MTCLKA	CTS1#/RTS1#/SS1#/SSLA0/TXD12/ TXDX12/SIOX12/SMOSI12/SSDA12	IRQ4
21		PH3	MTIOC1A		
22		PH2			IRQ1
23		PH1			IRQ0
24		PH0	MTIOC1B		CACREF
25		P55			
26		P54			
27		PC7	MTCLKB	TXD1/SMOSI1/SSDA1/MISOA	CACREF
28		PC6	MTCLKA	RXD1/SMISO1/SSCL1/MOSIA	
29		PC5	MTCLKD	SCK1/RSPCKA	
30		PC4	MTCLKC	SCK5/SSLA0	IRQ2/CLKOUT
31		PC3		TXD5/SMOSI5/SSDA5	
32		PC2		RXD5/SMISO5/SSCL5/SSLA3	
33		PB7/PC1			
34		PB6/PC0			
35		PB5	MTIOC2A/MTIOC1B		
36		PB3	MTIOC0A		
37		PB1	MTIOC0C		IRQ4
38	VCC				
39		PB0	MTIC5W/MTIOC0C/ RTCOUT	SCL0/RSPCKA	IRQ2/ADTRG0#
40	VSS				
41		PA6	MTIC5V/MTCLKB/MTIOC2A	CTS5#/RTS5#/SS5#/SDA0/MOSIA	IRQ3
42		PA4	MTIC5U/MTCLKA/MTIOC2B	TXD5/SMOSI5/SSDA5/SSLA0	IRQ5
43		PA3	MTIOC0D/MTCLKD/ MTIOC1B	RXD5/SMISO5/SSCL5/MISOA	IRQ6
44		PA1	MTIOC0B/MTCLKC/ RTCOUT	SCK5/SSLA2	

表 1.5 機能別端子一覧 (64ピンLFQFP/LQFP) (2 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、RTC)	通信 (SCIe、SCI、RSPI、IIC)	その他
45		PA0		SSLA1	CACREF
46		PE5	MTIOC2B		IRQ5/AN013
47		PE4	MTIOC1A	MOSIA	IRQ4/AN012
48		PE3	MTIOC0A/MTIOC1B	CTS12#/RTS12#/SS12#/RSPCKA	IRQ3/AN011
49		PE2		RXD12/RXD12#/SMISO12/SSCL12	IRQ7/AN010
50		PE1		TXD12/TXD12#/SIOX12/SMOSI12/SSDA12	IRQ1/AN009
51		PE0	MTIOC2A	SCK12	IRQ0/AN008
52		PE7			IRQ7/AN015
53		PE6			IRQ6/AN014
54		P46 (注1)			AN006
55		P44 (注1)			AN004
56		P43 (注1)			AN003
57		P42 (注1)			AN002
58		P41 (注1)			AN001
59	VREFL0	PJ7 (注1)			
60		P40 (注1)			AN000
61	VREFH0	PJ6 (注1)			
62	AVSS0				
63	AVCC0				
64		P05			

注1. これら端子の入出力バッファの電源はAVCC0です。

表 1.6 機能別端子一覧 (64ピンWFLGA) (1 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、RTC)	通信 (SCle、SCIf、RSPI、RIIC)	その他
A1	AVSS0				
A2	AVCC0				
A3	VREFH0	PJ6 (注1)			
A4	VREFL0	PJ7 (注1)			
A5		P43 (注1)			AN003
A6		P46 (注1)			AN006
A7		PE2		RXD12/RXD12#/SMISO12/SSCL12	IRQ7/AN010
A8		PE3	MTIOC0A/MTIOC1B	CTS12#/RTS12#/SS12#/RSPCKA	IRQ3/AN011
B1	XCOUT				
B2		P03			
B3		P40 (注1)			AN000
B4		P42 (注1)			AN002
B5		P44 (注1)			AN004
B6		PE6			IRQ6/AN014
B7		PE1		TXD12/TXD12#/SIOX12/SMOSI12/SSDA12	IRQ1/AN009
B8		PE4	MTIOC1A	MOSIA	IRQ4/AN012
C1	XCIN	PH7			
C2		P05			
C3		P27	MTIOC2B	SCK1/SCK12	IRQ3/CMPA2/CACREF/ADTRG0#
C4		P41 (注1)			AN001
C5		PE7			IRQ7/AN015
C6		PE5	MTIOC2B		IRQ5/AN013
C7		PA1	MTIOC0B/MTCLKC/RTCOUT	SCK5/SSLA2	
C8		PA0		SSLA1	CACREF
D1	RES#				
D2		P30		RXD1/SMISO1/SSCL1	IRQ0
D3		P26	MTIOC2A	TXD1/SMOSI1/SSDA1	
D4		PE0	MTIOC2A	SCK12	IRQ0/AN008
D5		PA6	MTIC5V/MTIOC2A/MTCLKB	CTS5#/RTS5#/SS5#/SDA0/MOSIA	IRQ3
D6		PA4	MTIC5U/MTIOC2B/MTCLKA	TXD5/SMOSI5/SSDA5/SSLA0	IRQ5
D7		PA3	MTIOC0D/MTCLKD/MTIOC1B	RXD5/SMISO5/SSCL5/MISOA	IRQ6
D8	VSS				
E1	XTAL				
E2	MD				FINED
E3		P31		CTS1#/RTS1#/SS1#	IRQ1
E4		P55			
E5		PB3	MTIOC0A		
E6		PB1	MTIOC0C		IRQ4
E7		PB0	MTIC5W/MTIOC0C/RTCOUT	SCL0/RSPCKA	IRQ2/ADTRG0#
E8	VCC				
F1	EXTAL				
F2		P32	MTIOC0C/RTCOUT		IRQ2
F3		P35			NMI

表 1.6 機能別端子一覧 (64ピンWFLGA) (2 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、RTC)	通信 (SCle、SCIf、RSPI、RIIC)	その他
F4		P14	MTIOC0A/MTCLKA	CTS1#/RTS1#/SS1#/TXD12/ TXDX12/SIOX12/SMOSI12/ SSDA12/SSLA0	IRQ4
F5		P54			
F6		PC7	MTCLKB	TXD1/SMOSI1/SSDA1/MISOA	CACREF
F7		PC4	MTCLKC	SCK5/SSLA0	IRQ2/CLKOUT
F8		PB5	MTIOC1B/MTIOC2A		
G1	VCL				
G2		P17	MTIOC0C	SCK1/MISOA/SDA0/RXD12/ RXDX12/SMISO12/SSCL12	IRQ7
G3		P16	RTCOUT	TXD1/SMOSI1/SSDA1/SCL0/ MOSIA	IRQ6/ADTRG0#
G4		P15	MTIOC0B/MTCLKB	RXD1/SMISO1/SSCL1/RSPCKA	IRQ5/CLKOUT
G5		PC6	MTCLKA	RXD1/SMISO1/SSCL1/MOSIA	
G6		PC5	MTCLKD	SCK1/RSPCKA	
G7		PC3		TXD5/SMOSI5/SSDA5	
G8		PB6/PC0			
H1	VSS				
H2	VCC				
H3		PH3	MTIOC1A		
H4		PH2			IRQ1
H5		PH1			IRQ0
H6		PH0	MTIOC1B		CACREF
H7		PC2		RXD5/SMISO5/SSCL5/SSLA3	
H8		PB7/PC1			

注1. これら端子の入出力バッファの電源はAVCC0です。

表 1.7 機能別端子一覧 (48ピンLFQFP/HWQFN) (1 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、RTC)	通信 (SCIe、SCIf、RSPI、RIIC)	その他
1		P27	MTIOC2B	SCK1/SCK12	IRQ3/CMPA2/CACREF/ ADTRG0#
2		P26	MTIOC2A	TXD1/SMOSI1/SSDA1	
3	MD				FINED
4	RES#				
5	XCOUT				
6	XCIN	PH7			
7		P35			NMI
8	XTAL				
9	EXTAL				
10	VCL				
11	VSS				
12	VCC				
13		P17	MTIOC0C	SCK1/MISOA/SDA0/RXD12/ RXDX12/SMISO12/SSCL12	IRQ7
14		P16	RTCOUT	TXD1/SMOSI1/SSDA1/MOSIA/ SCL0	IRQ6/ADTRG0#
15		P15	MTIOC0B/MTCLKB	RXD1/SMISO1/SSCL1/RSPCKA	IRQ5/CLKOUT
16		P14	MTIOC0A/MTCLKA	CTS1#/RTS1#/SS1#/SSLA0/TXD12/ TXDX12/SIOX12/SMOSI12/SSDA12	IRQ4
17		PH3	MTIOC1A		
18		PH2			IRQ1
19		PH1			IRQ0
20		PH0	MTIOC1B		CACREF
21		PC7	MTCLKB	TXD1/SMOSI1/SSDA1/MISOA	CACREF
22		PC6	MTCLKA	RXD1/SMISO1/SSCL1/MOSIA	
23		PC5	MTCLKD	SCK1/RSPCKA	
24		PC4	MTCLKC	SCK5/SSLA0	IRQ2/CLKOUT
25		PB5/PC3	MTIOC2A/MTIOC1B		
26		PB3/PC2	MTIOC0A		
27		PB1/PC1	MTIOC0C		IRQ4
28	VCC				
29		PB0/PC0	MTIC5W/MTIOC0C/ RTCOUT	SCL0/RSPCKA	IRQ2/ADTRG0#
30	VSS				
31		PA6	MTIC5V/MTCLKB/MTIOC2A	CTS5#/RTS5#/SS5#/SDA0/MOSIA	IRQ3
32		PA4	MTIC5U/MTCLKA/MTIOC2B	TXD5/SMOSI5/SSDA5/SSLA0	IRQ5
33		PA3	MTIOC0D/MTCLKD/ MTIOC1B	RXD5/SMISO5/SSCL5/MISOA	IRQ6
34		PA1	MTIOC0B/MTCLKC/ RTCOUT	SCK5/SSLA2	
35		PE4	MTIOC1A	MOSIA	IRQ4/AN012
36		PE3	MTIOC0A/MTIOC1B	CTS12#/RTS12#/SS12#/RSPCKA	IRQ3/AN011
37		PE2		RXD12/RXDX12/SMISO12/SSCL12	IRQ7/AN010
38		PE1		TXD12/TXDX12/SIOX12/SMOSI12/ SSDA12	IRQ1/AN009
39		PE0	MTIOC2A	SCK12	IRQ0/AN008
40		PE7			IRQ7/AN015
41		P46 (注1)			AN006
42		P42 (注1)			AN002
43		P41 (注1)			AN001

表 1.7 機能別端子一覧 (48ピンLFQFP/HWQFN) (2 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、RTC)	通信 (SCIe、SCIf、RSPI、RIIC)	その他
44	VREFL0	PJ7 (注1)			
45		P40 (注1)			AN000
46	VREFH0	PJ6 (注1)			
47	AVSS0				
48	AVCC0				

注1. これら端子の入出力バッファの電源はAVCC0です。

表 1.8 機能別端子一覧 (40ピンHWQFN)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、RTC)	通信 (SCle、SCIf、RSPI、RIIC)	その他
1		P27	MTIOC2B	SCK1/SCK12	IRQ3/CMPA2/CACREF/ ADTRG0#
2		P26	MTIOC2A	TXD1/SMOSI1/SSDA1	
3	MD				FINED
4	RES#				
5		P35			NMI
6	XTAL				
7	EXTAL				
8	VCL				
9	VSS				
10	VCC				
11		P32	MTIOC0C		IRQ2
12		P17	MTIOC0C	SCK1/MISO/SDA0/RXD12/ RXDX12/SMISO12/SSCL12	IRQ7
13		P16		TXD1/SMOSI1/SSDA1/SCL0/ MOSIA	IRQ6/ADTRG0#
14		P15	MTIOC0B/MTCLKB	RXD1/SMISO1/SSCL1/RSPCKA	IRQ5/CLKOUT
15		P14	MTIOC0A/MTCLKA	CTS1#/RTS1#/SS1#/SSLA0/TXD12/ TXDX12/SIOX12/SMOSI12/SSDA12	IRQ4
16		PH3	MTIOC1A		
17		PH2			IRQ1
18		PH1			IRQ0
19		PH0	MTIOC1B		CACREF
20		PC4	MTCLKC	SCK5/SSLA0	IRQ2/CLKOUT
21		PB3	MTIOC0A		
22	VCC				
23		PB0	MTIOC0C/MTIC5W	SCL0/RSPCKA	IRQ2/ADTRG0#
24	VSS				
25		PA6	MTIOC2A/MTIC5V/MTCLKB	CTS5#/RTS5#/SS5#/SDA0/MOSIA	IRQ3
26		PA4	MTIOC2B/MTIC5U/MTCLKA	TXD5/SMOSI5/SSDA5/SSLA0	IRQ5
27		PA3	MTIOC0D/MTIOC1B/ MTCLKD	RXD5/SMISO5/SSCL5/MISOA	IRQ6
28		PA1	MTIOC0B/MTCLKC	SCK5/SSLA2	
29		PE4	MTIOC1A	MOSIA	IRQ4/AN012
30		PE3	MTIOC0A/MTIOC1B	CTS12#/RTS12#/SS12#/RSPCKA	IRQ3/AN011
31		PE2		RXD12/RXDX12/SMISO12/SSCL12	IRQ7/AN010
32		PE1		TXD12/TXDX12/SIOX12/SMOSI12/ SSDA12	IRQ1/AN009
33		PE0	MTIOC2A	SCK12	IRQ0/AN008
34		P46 (注1)			AN006
35		P42 (注1)			AN002
36		P41 (注1)			AN001
37	VREFL0	PJ7 (注1)			
38	VREFH0	PJ6 (注1)			
39	AVSS0				
40	AVCC0				

注1. これら端子の入出力バッファの電源はAVCC0です。

表 1.9 機能別端子一覧 (36ピンWFLGA)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、RTC)	通信 (SCle、SCIf、RSPI、RIIC)	その他
A1	AVSS0				
A2	AVCC0				
A3	VREFH0	PJ6 (注1)			
A4		P42 (注1)			AN002
A5		P41 (注1)			AN001
A6		PE2		RXD12/RXDX12/SMISO12/SSCL12	IRQ7/AN010
B1	RES#				
B2		P27	MTIOC2B	SCK1/SCK12	IRQ3/CMPA2/CACREF/ ADTRG0#
B3	VREFL0	PJ7 (注1)			
B4		PE0	MTIOC2A	SCK12	IRQ0/AN008
B5		PE1		TXD12/TXDX12/SIOX12/SMOSI12/ SSDA12	IRQ1/AN009
B6		PA3	MTIOC0D/MTCLKD/ MTIOC1B	RXD5/SMISO5/SSCL5/MISOA	IRQ6
C1	XTAL				
C2	MD				FINED
C3		PE3	MTIOC0A/MTIOC1B	CTS12#/RTS12#/SS12#/RSPCKA	IRQ3/AN011
C4		PE4	MTIOC1A	MOSIA	IRQ4/AN012
C5		PA4	MTIOC2B/MTIC5U/MTCLKA	TXD5/SMOSI5/SSDA5/SSLA0	IRQ5
C6	VSS				
D1	EXTAL				
D2		P35			NMI
D3		P14	MTIOC0A/MTCLKA	CTS1#/RTS1#/SS1#/SSLA0/TXD12/ TXDX12/SIOX12/SMOSI12/SSDA12	IRQ4
D4		PA6	MTIC5V/MTCLKB/MTIOC2A	CTS5#/RTS5#/SS5#/SDA0/MOSIA	IRQ3
D5		PB3	MTIOC0A		
D6		PB0	MTIOC0C/MTIC5W	SCL0/RSPCKA	IRQ2/ADTRG0#
E1	VCL				
E2		P17	MTIOC0C	SCK1/MISOA/SDA0/RXD12/ RXDX12/SMISO12/SSCL12	IRQ7
E3		P16		TXD1/SMOSI1/SSDA1/SCL0/ MOSIA	IRQ6/ADTRG0#
E4		P15	MTIOC0B/MTCLKB	RXD1/SMISO1/SSCL1/RSPCKA	IRQ5/CLKOUT
E5		PC4	MTCLKC	SCK5/SSLA0	IRQ2/CLKOUT
E6	VCC				
F1	VSS				
F2	VCC				
F3		PH3	MTIOC1A		
F4		PH2			IRQ1
F5		PH1			IRQ0
F6		PH0	MTIOC1B		CACREF

注1. これら端子の入出力バッファの電源はAVCC0です。

2. CPU

本 MCU は、RX CPU を搭載するプロセッサです。

RX CPU は、可変長命令形式を採用しています。使用頻度の高い命令をより短い命令長に割り付けており、少ないメモリ容量で効率の良いプログラムを開発できます。

73 種類の基本命令、9 種類の DSP 機能命令の合計 82 種類の命令と、10 種類のアドレッシングモードを持ち、レジスタ-レジスタ間、レジスタ-メモリ間、即値-レジスタ、即値-メモリの演算をはじめ、ビット操作、メモリーメモリ間の転送を行います。レジスタ間演算命令だけでなく、いくつかの複合命令を 1 クロックで実行することで、高速な演算処理を実現しました。乗算器、除算器を内蔵していますので、高速な乗算処理、除算処理を行うことができます。

RX CPU は、命令フェッチ、デコード、実行、メモリアクセス、ライトバックの 5 ステージのパイプライン処理により、命令を処理します。メモリアクセスによりパイプラインが延びた場合、後続の演算が先に実行される場合があります。RX CPU は、このような「Out-of-Order Completion」の採用により、クロックサイクル数を無駄にしない命令実行制御を行います。

2.1 特長

- 最小命令実行時間：1 命令 1 クロックで実行
- アドレス空間：4G バイト・リニアアドレス
- CPU レジスタセット
 - 汎用レジスタ：32 ビット×16 本
 - 制御レジスタ：32 ビット×8 本
 - アキュムレータ：64 ビット×1 本
- 基本命令：73 種類（算術／論理命令、転送命令、分岐命令、ビット操作命令、ストリング操作命令、システム操作命令）
 - 分岐距離に応じた相対分岐命令
 - 可変長命令形式（1 バイト長～8 バイト長）
 - 頻出命令に短縮フォーマットを用意
- DSP 機能命令：9 種類
 - 16 ビット×16 ビットの乗算、積和命令に対応
 - アキュムレータの丸め命令に対応
- アドレッシングモード：10 種類
- 5 段パイプライン
 - 「Out-of-Order Completion」の採用
- プロセッサモード
 - スーパバイザモード、ユーザモード
- データ配置
 - リトルエンディアン／ビッグエンディアン選択可能

2.2 CPU レジスタセット

RX CPU のレジスタには、汎用レジスタ（16本）と、制御レジスタ（8本）、および DSP 機能命令で使用するアキュムレータ（1本）があります。

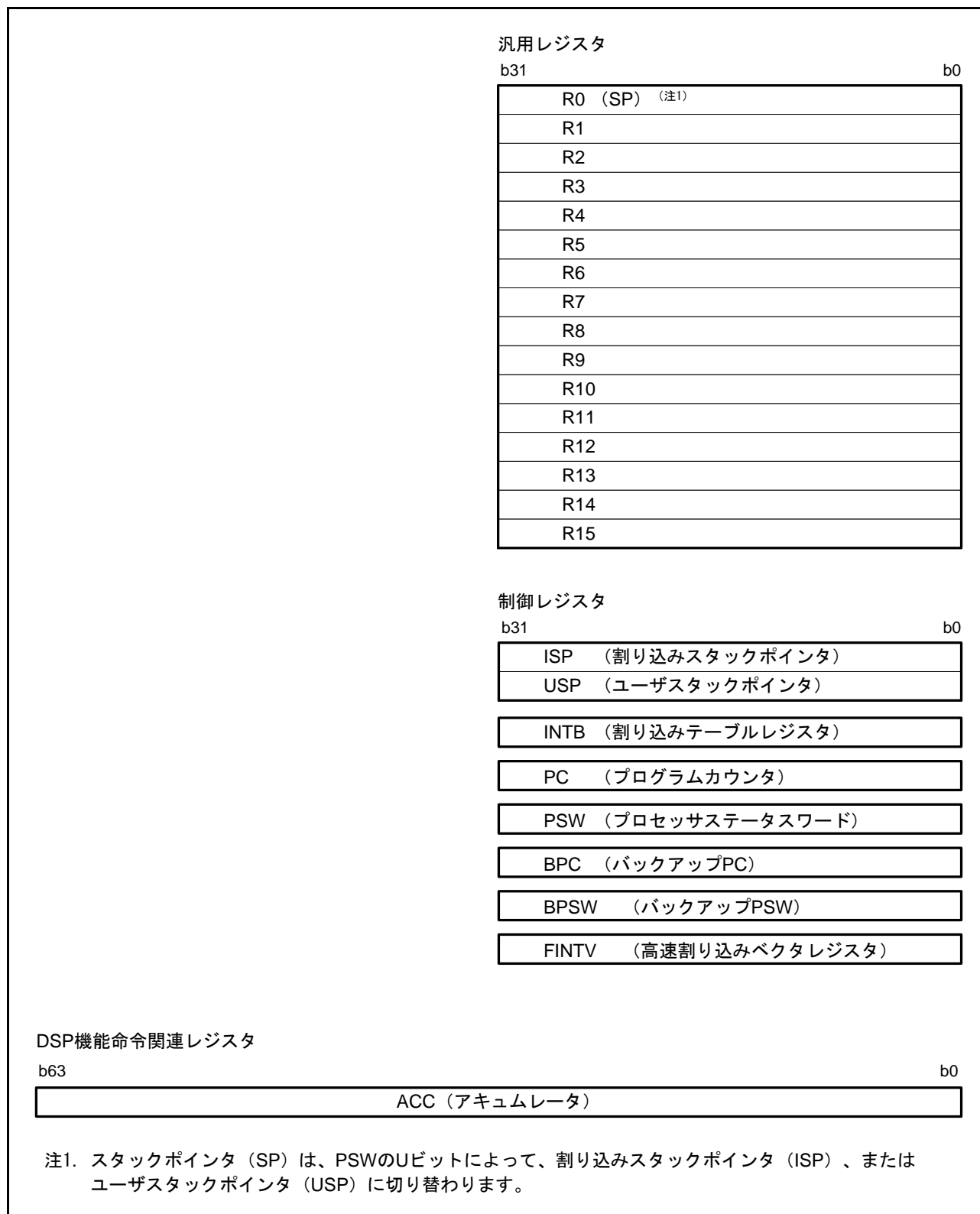


図 2.1 CPU レジスタセット

2.2.1 汎用レジスタ (R0 ~ R15)

汎用レジスタは、16本 (R0 ~ R15) あります。汎用レジスタ R0 ~ R15 は、データレジスタやアドレスレジスタとして使用します。

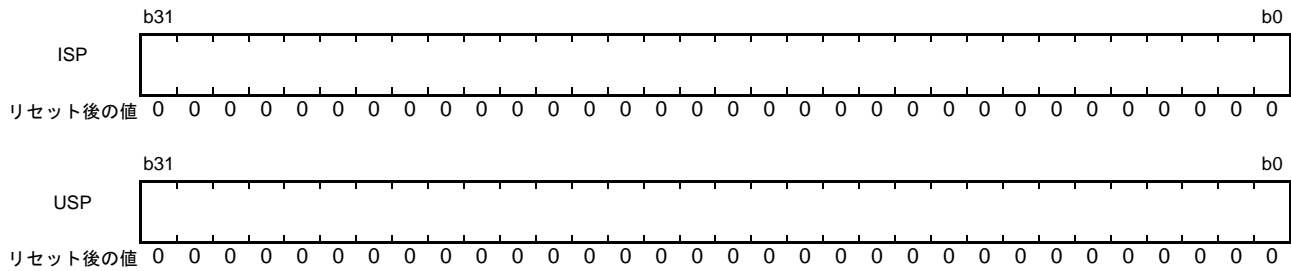
汎用レジスタ R0 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられています。SP は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって、割り込みスタックポインタ (ISP)、またはユーザスタックポインタ (USP) に切り替わります。

2.2.2 制御レジスタ

制御レジスタには、以下の8本のレジスタがあります。

- 割り込みスタックポインタ (ISP)
- ユーザスタックポインタ (USP)
- 割り込みテーブルレジスタ (INTB)
- プログラムカウンタ (PC)
- プロセッサステータスワード (PSW)
- バックアップ PC (BPC)
- バックアップ PSW (BPSW)
- 高速割り込みベクタレジスタ (FINTV)

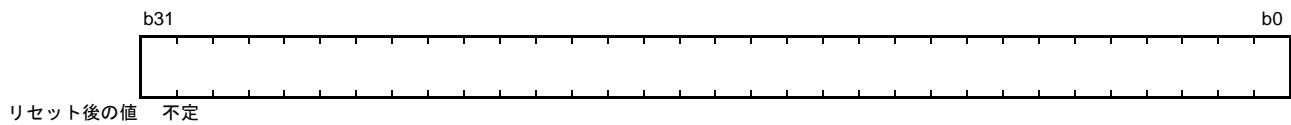
2.2.2.1 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)



スタックポインタ (SP) には、割り込みスタックポインタ (ISP) と、ユーザスタックポインタ (USP) の2種類があります。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。

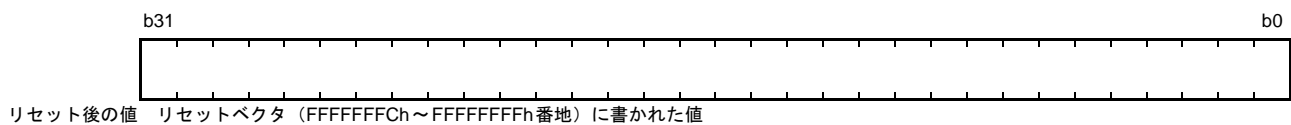
ISP、USPに4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

2.2.2.2 割り込みテーブルレジスタ (INTB)



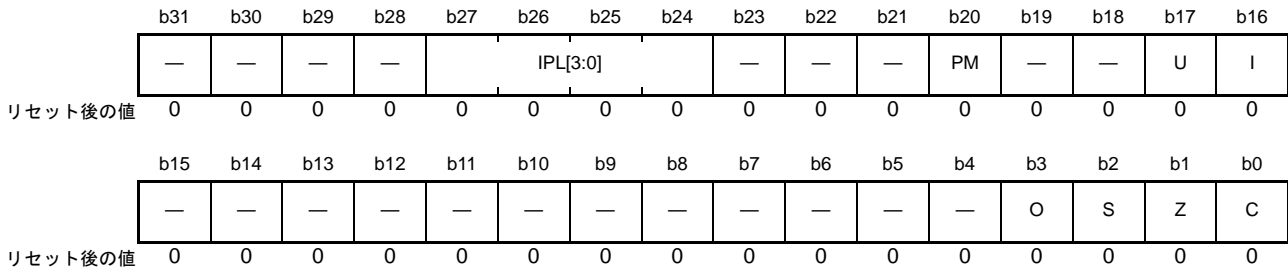
割り込みテーブルレジスタ (INTB) には、可変ベクタテーブルの先頭番地を設定してください。

2.2.2.3 プログラムカウンタ (PC)



プログラムカウンタ (PC) は、実行中の命令の番地を示します。

2.2.2.4 プロセッサステータスワード (PSW)



ビット	シンボル	ビット名	機能	R/W
b0	C	キャリフラグ	0: キャリの発生なし 1: キャリの発生あり	R/W
b1	Z	ゼロフラグ	0: 演算結果は0でなかった 1: 演算結果は0であった	R/W
b2	S	サインフラグ	0: 演算結果は正または0であった 1: 演算結果は負であった	R/W
b3	O	オーバフローフラグ	0: オーバフローの発生なし 1: オーバフローの発生あり	R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	I (注1)	割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	R/W
b17	U (注1)	スタックポインタ指定ビット	0: 割り込みスタックポインタ (ISP) を指定 1: ユーザスタックポインタ (USP) を指定	R/W
b19-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b20	PM (注1、注2、注3)	プロセッサモード設定ビット	0: スーパーバイザモードに設定 1: ユーザモードに設定	R/W
b23-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27-b24	IPL[3:0] (注1)	プロセッサ割り込み優先レベル	b27 b24 0 0 0 0: 優先レベル0 (最低) 0 0 0 1: 優先レベル1 0 0 1 0: 優先レベル2 0 0 1 1: 優先レベル3 0 1 0 0: 優先レベル4 0 1 0 1: 優先レベル5 0 1 1 0: 優先レベル6 0 1 1 1: 優先レベル7 1 0 0 0: 優先レベル8 1 0 0 1: 優先レベル9 1 0 1 0: 優先レベル10 1 0 1 1: 優先レベル11 1 1 0 0: 優先レベル12 1 1 0 1: 優先レベル13 1 1 1 0: 優先レベル14 1 1 1 1: 優先レベル15 (最高)	R/W
b31-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 注1. ユーザモードのときは、MVTC、POPC 命令による IPL[3:0]、PM、U、I ビットへの書き込みは無視されます。また、MVTIPL 命令で IPL[3:0] ビットへの書き込みを行った場合は、特権命令例外が発生します。
- 注2. スーパーバイザモードのときは、MVTC、POPC 命令による PM ビットへの書き込みは無視されます。それ以外のビットへの書き込みはできません。
- 注3. スーパーバイザモードからユーザモードに切り替える場合は、スタックに退避された PSW.PM ビットを“1”にした後、RTE 命令を実行するか、BPSW.PM ビットを“1”にした後、RTFI 命令を実行してください。

プロセッサステータスワード (PSW) は、命令実行の結果や、CPU の状態を示します。

C フラグ (キャリフラグ)

演算結果にキャリ、ボロー、シフトアウトが発生したことを示します。

Z フラグ (ゼロフラグ)

演算結果が 0 であったことを示します。

S フラグ (サインフラグ)

演算結果が負であったことを示します。

O フラグ (オーバフローフラグ)

演算中にオーバフローしたことを示します。

I ビット (割り込み許可ビット)

割り込み要求の受け付けを許可するビットです。例外を受け付けると、このビットは“0”になります。

U ビット (スタックポインタ指定ビット)

使用するスタックポインタ (ISP/USP) を指定するビットです。例外を受け付けると、このビットは“0”になります。スーパーバイザモードからユーザモードに移行すると、このビットは“1”になります。

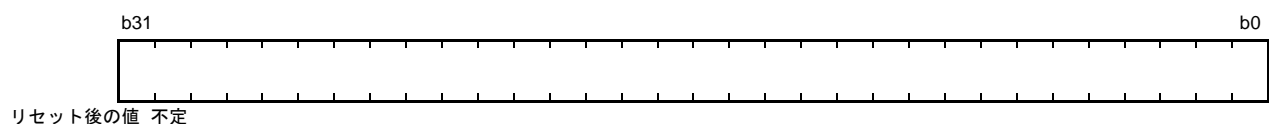
PM ビット (プロセッサモード設定ビット)

プロセッサモードを設定するビットです。例外を受け付けると、このビットは“0”になります。

IPL[3:0] ビット (プロセッサ割り込み優先レベル)

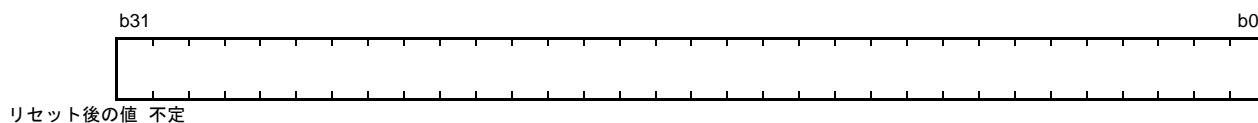
IPL[3:0] ビットは、優先レベル 0 (最低) ~ 優先レベル 15 (最高) までの 16 段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベルより高い場合、その割り込みが許可されます。IPL[3:0] ビットをレベル 15 (Fh) に設定したとき、すべての割り込みが禁止されます。IPL[3:0] ビットは、ノンマスクابل割り込みが発生したとき、レベル 15 (Fh) になります。割り込みが発生したとき、受け付けた割り込みの優先レベルになります。

2.2.2.5 バックアップ PC (BPC)



バックアップ PC (BPC) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プログラムカウンタ (PC) の内容が BPC に退避されます。

2.2.2.6 バックアップ PSW (BPSW)

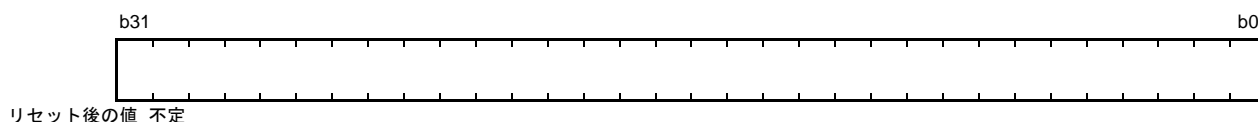


バックアップ PSW (BPSW) は、割り込み応答を高速化するために設けられたレジスタです。

高速割り込みが発生すると、プロセッサステータスワード (PSW) の内容が BPSW に退避されます。

BPSW のビットの割り当ては、PSW に対応しています。

2.2.2.7 高速割り込みベクタレジスタ (FINTV)

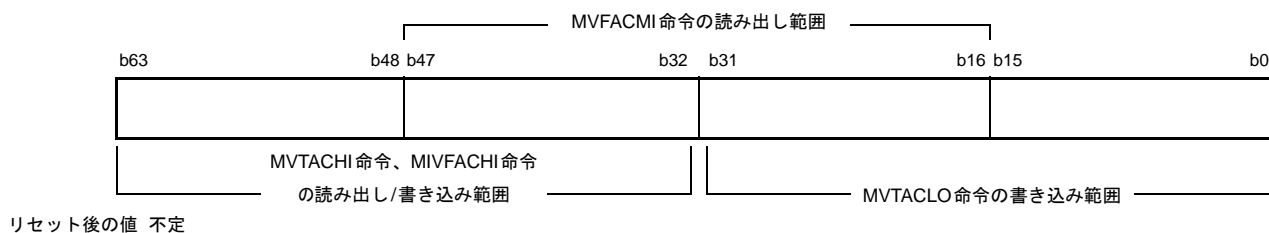


高速割り込みベクタレジスタ (FINTV) は、割り込み応答を高速化するために設けられたレジスタです。

高速割り込み発生時の分岐先番地を設定してください。

2.2.3 DSP 機能命令関連レジスタ

2.2.3.1 アキュムレータ (ACC)



アキュムレータ (ACC) は、64 ビットのレジスタです。DSP 機能命令で使用されます。また、ACC は乗算命令 (EMUL、EMULU、MUL)、積和演算命令 (RMPA) でも使用され、これらの命令実行の際は ACC の値が変更されます。

ACC への書き込みには、MVTACHI 命令と MVTACLO 命令を使用します。MVTACHI 命令は上位側 32 ビット (b63 ~ b32) に、MVTACLO 命令は下位側 32 ビット (b31 ~ b0) にデータを書きます。

読み出しには MIVFACHI 命令、MVFACMI 命令を使用します。MIVFACHI 命令で上位側 32 ビット (b63 ~ b32)、MVFACMI 命令で中央の 32 ビット (b47 ~ b16) のデータをそれぞれ読みます。

2.3 プロセッサモード

RX CPUには、スーパーバイザモード、およびユーザモードの2つのプロセッサモードがあります。プロセッサモードを使用して、CPU リソースに対する階層的な保護機構を実現することができます。

各プロセッサモードには、実行可能な命令、アクセス可能な CPU リソースに対する権限を規定しており、スーパーバイザモードはユーザモードより高い権限を持っています。

リセット後は、スーパーバイザモードで動作します。

2.3.1 スーパーバイザモード

スーパーバイザモードでは、すべての CPU リソースにアクセスすることができ、また、すべての命令を実行することができます。ただし、MVTC、POPC 命令によるプロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) への書き込みは無視されます。PM ビットへの書き込み方法については、「2.2.2.4 プロセッサステータスワード (PSW)」を参照してください。

2.3.2 ユーザモード

ユーザモードでは、一部の CPU リソースへのライトアクセスが制限されます。ライトアクセスが制限される CPU リソースは以下のとおりです。この制限はすべての命令からのアクセスが対象になります。

- プロセッサステータスワード (PSW) の一部のビット (IPL[3:0]、PM、U、I)
- 割り込みスタックポインタ (ISP)
- 割り込みテーブルレジスタ (INTB)
- バックアップ PSW (BPSW)
- バックアップ PC (BPC)
- 高速割り込みベクタレジスタ (FINTV)

2.3.3 特権命令

特権命令は、スーパーバイザモードでのみ実行可能な命令です。ユーザモードで特権命令を実行すると、特権命令例外が発生します。特権命令には、RTFI、MVTIPL、RTE、WAIT 命令があります。

2.3.4 プロセッサモード間の移行

プロセッサモードは、プロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) によって切り替えられます。ただし、MVTC、POPC 命令による PM ビットの書き換えは無効です。以下に示す方法で切り替えてください。

(1) ユーザモードからスーパーバイザモードへの移行

例外が発生すると PSW.PM ビットが“0”になり、CPU はスーパーバイザモードへ移行します。ハードウェア前処理は、スーパーバイザモードで実行されます。例外が発生する直前のプロセッサモードは、退避された PSW.PM ビットに保持されます。

(2) スーパーバイザモードからユーザモードへの移行

スタック上に退避されている PSW.PM ビットを“1”にした後 RTE 命令を実行する、あるいはバックアップ PSW (BPSW) に退避されている PSW.PM ビットを“1”にした後 RTFI 命令を実行することにより、ユーザモードへ移行します。ユーザモードへ移行すると、PSW のスタックポインタ指定ビット (U) が“1”になります。

2.4 データタイプ

RX CPU は、整数、ビット、ストリングの3種類のデータを扱うことができます。
詳細は「RX ファミリーユーザズマニュアルソフトウェア編」を参照してください。

2.5 エンディアン

RX CPU の命令は、リトルエンディアン固定です。
データ配置は、リトルエンディアンとビッグエンディアンから選択できます。

2.5.1 エンディアンの設定

本 MCU では、バイトデータの並び方を、上位バイト (MSB) が 0 番地になるビッグエンディアン、下位バイト (LSB) が 0 番地になるリトルエンディアンのいずれも使用できます。

エンディアンの設定については、「3. 動作モード」を参照してください。

命令によって 8/16/32 ビットアクセスが選択され、リトルエンディアン、ビッグエンディアンの設定によってアクセス動作が異なります。それぞれのアクセス動作を表 2.1 ～表 2.12 に示します。

表中の

LL は、汎用レジスタの D7 ～ D0

LH は、汎用レジスタの D15 ～ D8

HL は、汎用レジスタの D23 ～ D16

HH は、汎用レジスタの D31 ～ D24 を示します。

	D31 ～ D24	D23 ～ D16	D15 ～ D8	D7 ～ D0
汎用レジスタ Rm	HH	HL	LH	LL

表2.1 リトルエンディアン設定時の32ビットリード動作

動作 src番地	0番地を 32ビットでリード	1番地を 32ビットでリード	2番地を 32ビットでリード	3番地を 32ビットでリード	4番地を 32ビットでリード
0番地	LLに転送	—	—	—	—
1番地	LHに転送	LLに転送	—	—	—
2番地	HLに転送	LHに転送	LLに転送	—	—
3番地	HHに転送	HLに転送	LHに転送	LLに転送	—
4番地	—	HHに転送	HLに転送	LHに転送	LLに転送
5番地	—	—	HHに転送	HLに転送	LHに転送
6番地	—	—	—	HHに転送	HLに転送
7番地	—	—	—	—	HHに転送

表2.2 ビッグエンディアン設定時の32ビットリード動作

動作 src番地	0番地を 32ビットでリード	1番地を 32ビットでリード	2番地を 32ビットでリード	3番地を 32ビットでリード	4番地を 32ビットでリード
0番地	HHに転送	—	—	—	—
1番地	HLに転送	HHに転送	—	—	—
2番地	LHに転送	HLに転送	HHに転送	—	—
3番地	LLに転送	LHに転送	HLに転送	HHに転送	—
4番地	—	LLに転送	LHに転送	HLに転送	HHに転送
5番地	—	—	LLに転送	LHに転送	HLに転送
6番地	—	—	—	LLに転送	LHに転送
7番地	—	—	—	—	LLに転送

表2.3 リトルエンディアン設定時の32ビットライト動作

動作 dest番地	0番地に 32ビットでライト	1番地に 32ビットでライト	2番地に 32ビットでライト	3番地に 32ビットでライト	4番地に 32ビットでライト
0番地	LLを転送	—	—	—	—
1番地	LHを転送	LLを転送	—	—	—
2番地	HLを転送	LHを転送	LLを転送	—	—
3番地	HHを転送	HLを転送	LHを転送	LLを転送	—
4番地	—	HHを転送	HLを転送	LHを転送	LLを転送
5番地	—	—	HHを転送	HLを転送	LHを転送
6番地	—	—	—	HHを転送	HLを転送
7番地	—	—	—	—	HHを転送

表2.4 ビッグエンディアン設定時の32ビットライト動作

動作 dest番地	0番地に 32ビットでライト	1番地に 32ビットでライト	2番地に 32ビットでライト	3番地に 32ビットでライト	4番地に 32ビットでライト
0番地	HHを転送	—	—	—	—
1番地	HLを転送	HHを転送	—	—	—
2番地	LHを転送	HLを転送	HHを転送	—	—
3番地	LLを転送	LHを転送	HLを転送	HHを転送	—
4番地	—	LLを転送	LHを転送	HLを転送	HHを転送
5番地	—	—	LLを転送	LHを転送	HLを転送
6番地	—	—	—	LLを転送	LHを転送
7番地	—	—	—	—	LLを転送

表2.5 リトルエンディアン設定時の16ビットリード動作

動作 src番地	0番地を 16ビットで リード	1番地を 16ビットで リード	2番地を 16ビットで リード	3番地を 16ビットで リード	4番地を 16ビットで リード	5番地を 16ビットで リード	6番地を 16ビットで リード
0番地	LLに転送	—	—	—	—	—	—
1番地	LHに転送	LLに転送	—	—	—	—	—
2番地	—	LHに転送	LLに転送	—	—	—	—
3番地	—	—	LHに転送	LLに転送	—	—	—
4番地	—	—	—	LHに転送	LLに転送	—	—
5番地	—	—	—	—	LHに転送	LLに転送	—
6番地	—	—	—	—	—	LHに転送	LLに転送
7番地	—	—	—	—	—	—	LHに転送

表2.6 ビッグエンディアン設定時の16ビットリード動作

動作 src番地	0番地を 16ビットで リード	1番地を 16ビットで リード	2番地を 16ビットで リード	3番地を 16ビットで リード	4番地を 16ビットで リード	5番地を 16ビットで リード	6番地を 16ビットで リード
0番地	LHに転送	—	—	—	—	—	—
1番地	LLに転送	LHに転送	—	—	—	—	—
2番地	—	LLに転送	LHに転送	—	—	—	—
3番地	—	—	LLに転送	LHに転送	—	—	—
4番地	—	—	—	LLに転送	LHに転送	—	—
5番地	—	—	—	—	LLに転送	LHに転送	—
6番地	—	—	—	—	—	LLに転送	LHに転送
7番地	—	—	—	—	—	—	LLに転送

表2.7 リトルエンディアン設定時の16ビットライト動作

動作 dest番地	0番地に 16ビットで ライト	1番地に 16ビットで ライト	2番地に 16ビットで ライト	3番地に 16ビットで ライト	4番地に 16ビットで ライト	5番地に 16ビットで ライト	6番地に 16ビットで ライト
0番地	LLを転送	—	—	—	—	—	—
1番地	LHを転送	LLを転送	—	—	—	—	—
2番地	—	LHを転送	LLを転送	—	—	—	—
3番地	—	—	LHを転送	LLを転送	—	—	—
4番地	—	—	—	LHを転送	LLを転送	—	—
5番地	—	—	—	—	LHを転送	LLを転送	—
6番地	—	—	—	—	—	LHを転送	LLを転送
7番地	—	—	—	—	—	—	LHを転送

表2.8 ビッグエンディアン設定時の16ビットライト動作

動作 dest番地	0番地に 16ビットで ライト	1番地に 16ビットで ライト	2番地に 16ビットで ライト	3番地に 16ビットで ライト	4番地に 16ビットで ライト	5番地に 16ビットで ライト	6番地に 16ビットで ライト
0番地	LHを転送	—	—	—	—	—	—
1番地	LLを転送	LHを転送	—	—	—	—	—
2番地	—	LLを転送	LHを転送	—	—	—	—
3番地	—	—	LLを転送	LHを転送	—	—	—
4番地	—	—	—	LLを転送	LHを転送	—	—
5番地	—	—	—	—	LLを転送	LHを転送	—
6番地	—	—	—	—	—	LLを転送	LHを転送
7番地	—	—	—	—	—	—	LLを転送

表2.9 リトルエンディアン設定時の8ビットリード動作

動作 src番地	0番地を 8ビットでリード	1番地を 8ビットでリード	2番地を 8ビットでリード	3番地を 8ビットでリード
0番地	LLに転送	—	—	—
1番地	—	LLに転送	—	—
2番地	—	—	LLに転送	—
3番地	—	—	—	LLに転送

表2.10 ビッグエンディアン設定時の8ビットリード動作

動作 src番地	0番地を 8ビットでリード	1番地を 8ビットでリード	2番地を 8ビットでリード	3番地を 8ビットでリード
0番地	LLに転送	—	—	—
1番地	—	LLに転送	—	—
2番地	—	—	LLに転送	—
3番地	—	—	—	LLに転送

表2.11 リトルエンディアン設定時の8ビットライト動作

動作 dest番地	0番地に 8ビットでライト	1番地に 8ビットでライト	2番地に 8ビットでライト	3番地に 8ビットでライト
0番地	LLを転送	—	—	—
1番地	—	LLを転送	—	—
2番地	—	—	LLを転送	—
3番地	—	—	—	LLを転送

表2.12 ビッグエンディアン設定時の8ビットライト動作

動作 dest番地	0番地に 8ビットでライト	1番地に 8ビットでライト	2番地に 8ビットでライト	3番地に 8ビットでライト
0番地	LLを転送	—	—	—
1番地	—	LLを転送	—	—
2番地	—	—	LLを転送	—
3番地	—	—	—	LLを転送

2.5.2 I/O レジスタアクセス

I/O レジスタはビッグエンディアン、リトルエンディアン設定に関わらず、固定アドレスに配置されています。したがってI/O レジスタへのアクセスは、エンディアン変更の影響を受けません。I/O レジスタの配置については、各章のレジスタの説明を参照してください。

2.5.3 I/O レジスタアクセスの注意事項

I/O レジスタは、以下の規則に従ってアクセスしてください。

- 8ビットバス幅指定のI/O レジスタは、サイズ指定子 (.size) が .B であるか、サイズ拡張指定子 (.memex) が .B または .UB である命令を使用してアクセスしてください。
- 16ビットバス幅指定のI/O レジスタは、サイズ指定子 (.size) が .W であるか、サイズ拡張指定子 (.memex) が .W または .UW である命令を使用してアクセスしてください。
- 32ビットバス幅指定のI/O レジスタは、サイズ指定子 (.size) が .L であるか、サイズ拡張指定子 (.memex) が .L である命令を使用してアクセスしてください。

2.5.4 データ配置

2.5.4.1 レジスタのデータ配置

レジスタのデータサイズと、ビット番号の関係を図 2.2 に示します。

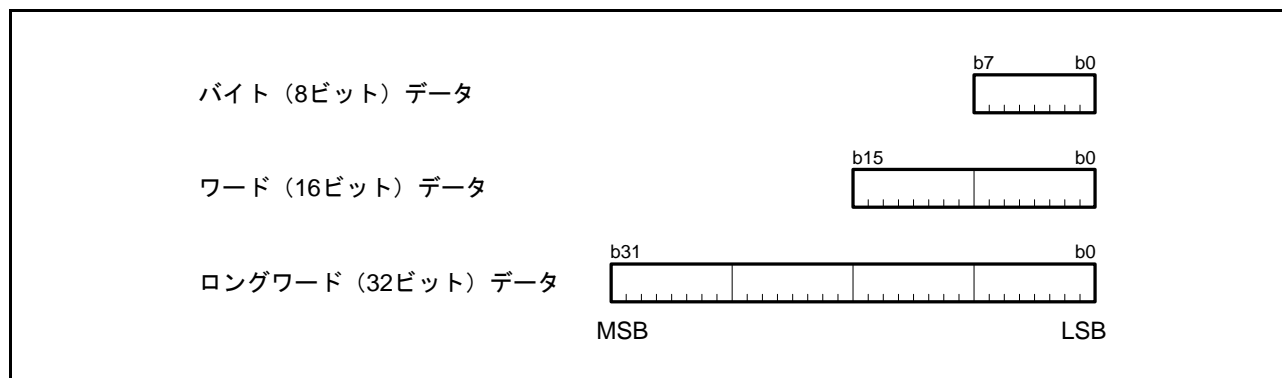


図 2.2 レジスタのデータ配置

2.5.4.2 メモリ上のデータ配置

メモリ上のデータサイズは、バイト（8ビット）、ワード（16ビット）、ロングワード（32ビット）の3種類です。データ配置は、リトルエンディアンか、ビッグエンディアンかを選択することができます。メモリ上のデータ配置を図2.3に示します。

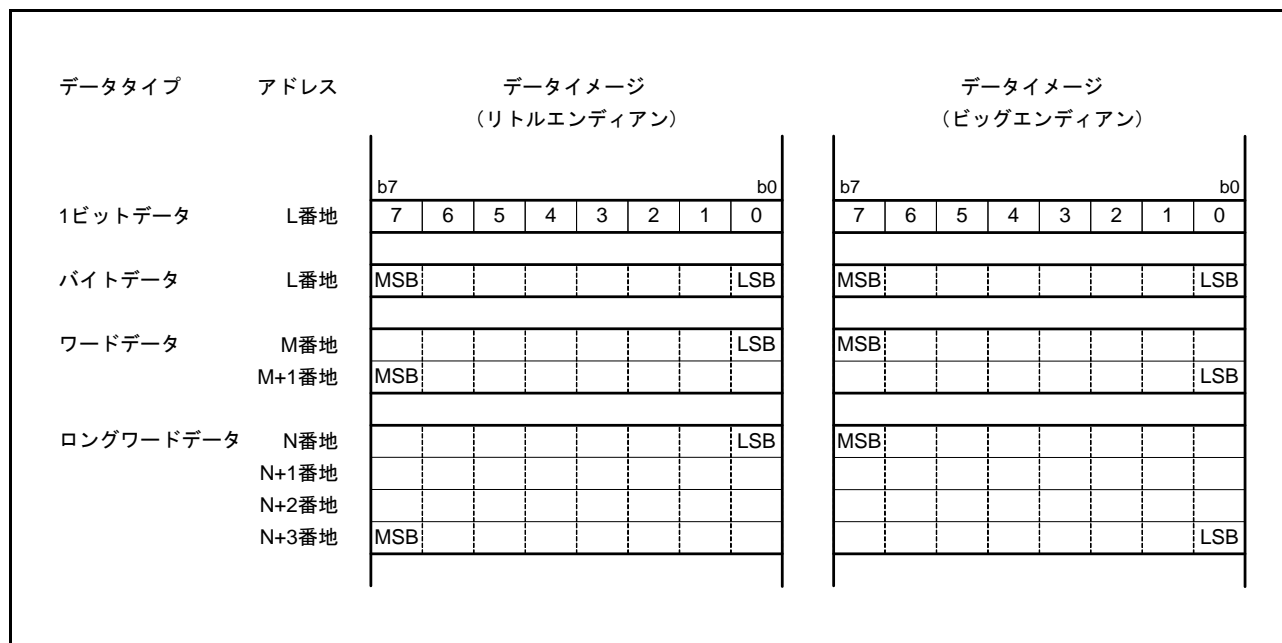


図 2.3 メモリ上のデータ配置

2.5.5 命令コード配置の注意事項

外部空間のエンディアン設定がチップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

2.6 ベクタテーブル

ベクタテーブルには、固定ベクタテーブルと可変ベクタテーブルがあります。ベクタテーブルは、1ベクタあたり4バイトで構成されており、各ベクタに対応する例外処理ルーチンの先頭アドレスを設定します。

2.6.1 固定ベクタテーブル

固定ベクタテーブルは、テーブルの配置アドレスが固定されたベクタテーブルです。FFFFFF80h～FFFFFFFh番地に、特権命令例外、未定義命令例外、ノンマスカブル割り込み、リセットの各ベクタを配置しています。図2.4に固定ベクタテーブルを示します。

	MSB	LSB
FFFFFF80h	(予約領域)	
:	:	
FFFFFFCCh	(予約領域)	
FFFFFFD0h	特権命令例外	
FFFFFFD4h	(予約領域)	
FFFFFFD8h	(予約領域)	
FFFFFFDCh	未定義命令例外	
FFFFFFE0h	(予約領域)	
FFFFFFE4h	(予約領域)	
FFFFFFE8h	(予約領域)	
FFFFFFECh	(予約領域)	
FFFFFFF0h	(予約領域)	
FFFFFFF4h	(予約領域)	
FFFFFFF8h	ノンマスカブル割り込み	
FFFFFFFCh	リセット	

図 2.4 固定ベクタテーブル

2.6.2 可変ベクタテーブル

可変ベクタテーブルは、テーブルの配置アドレスを変えることができるベクタテーブルです。割り込みテーブルレジスタ (INTB) の内容で示された値を先頭アドレス (IntBase) とする 1,024 バイトの領域に、無条件トラップ、割り込みの各ベクタを配置しています。図 2.5 に可変ベクタテーブルを示します。

可変ベクタテーブルには、ベクタごとに番号 (0 ~ 255) が付けられています。無条件トラップ発生要因の INT 命令ではオペランドで指定した番号 (0 ~ 255) に対応したベクタが、BRK 命令では番号 0 のベクタが割り当てられています。また、割り込み要因では、製品ごとに決められたベクタ番号 (0 ~ 255) が割り当てられています。割り込みのベクタ番号については、「14.3.1 割り込みのベクタテーブル」を参照してください。

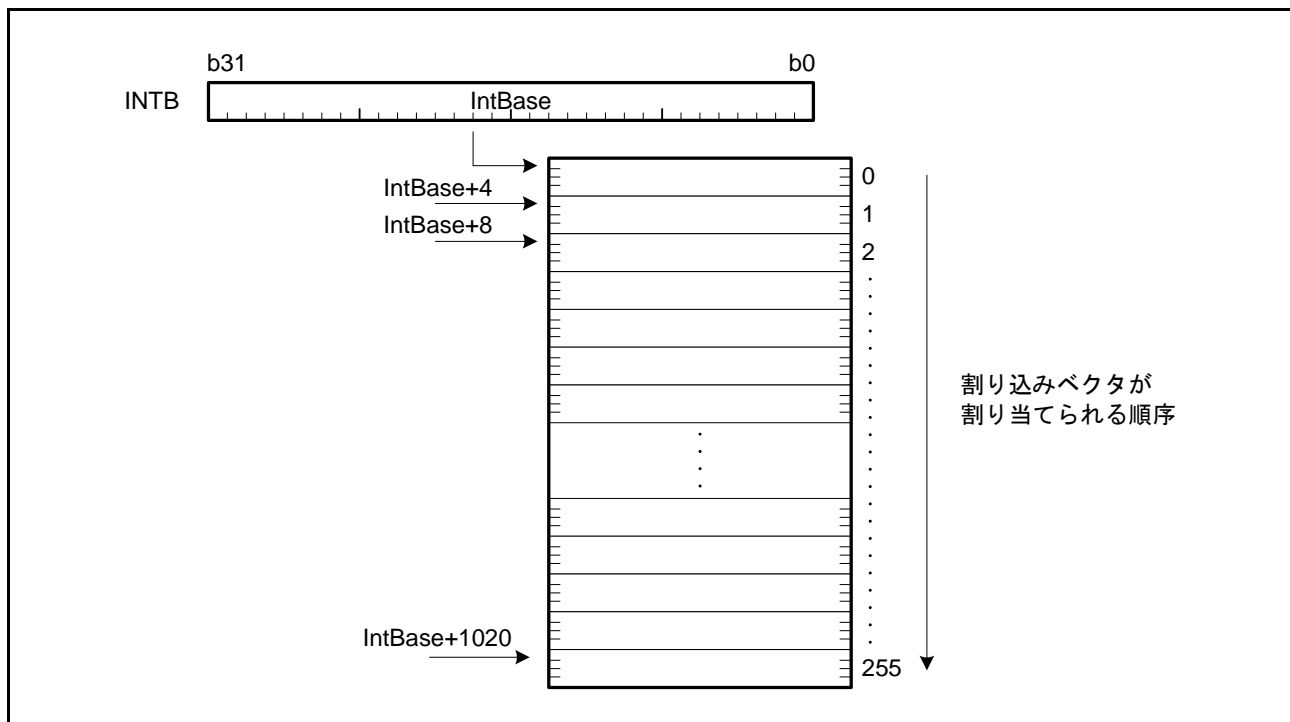


図 2.5 可変ベクタテーブル

2.7 命令動作

2.7.1 RMPA 命令、ストリング操作命令のデータプリフェッチ

RMPA 命令、および SSTR 命令を除くストリング操作命令（SCMPU、SMOVB、SMOVF、SMOVU、SUNTIL、SWHILE）は、メモリからのデータ読み出し処理を高速化するため、データプリフェッチを行う場合があります。データ読み出し位置に対して、最大で3バイト先までデータプリフェッチを行います。各命令のデータ読み出し位置は、以下のとおりです。

- RMPA 命令：R1 で指定される被乗数番地、および R2 で指定される乗数番地
- SCMPU 命令：R1 で指定される比較元番地、および R2 で指定される比較先番地
- SUNTIL、SWHILE 命令：R1 で指定される比較先番地
- SMOVB、SMOVF、SMOVU 命令：R2 で指定される転送元番地

2.8 パイプライン

2.8.1 概要

RX CPU は5段のパイプラインステージで構成されています。RX CPU の命令は、1つまたは、複数のマイクロオペレーションに変換され、RX CPU はマイクロオペレーションをパイプライン処理します。パイプラインステージは、IF ステージは命令単位、D ステージ以降は、マイクロオペレーション単位で動作します。

以下にパイプラインの動作と各ステージの概要を示します。

(1) IF ステージ（命令フェッチステージ）

命令フェッチを行うステージです。メモリから命令をフェッチします。RX CPU は4バイト×4本の命令キューを備えており、D（デコード）ステージのデコード処理完了とは無関係に、命令キューがいっぱいになるまでフェッチを続けます。

(2) D ステージ（デコードステージ）

D ステージは命令のデコード処理（DEC）を行い、命令をマイクロオペレーションに変換します。このステージでは、レジスタの読み出し（RF）を行い、先行する命令の演算結果を参照する処理の場合は、バイパス（BYP）を行います。バイパスにより、演算結果のレジスタへの書き込み（RW）と同時に、D ステージでのレジスタ参照が可能です。

(3) E ステージ（実行ステージ）

演算やアドレス計算など（OP）を行います。

(4) Mステージ（メモリアクセスステージ）

オペランドのメモリアクセス（OA1、OA2）を行います。メモリアクセス時のみ、このステージを使用します。このステージはさらにM1、M2の2段のサブステージに分かれます。RX CPUでは、M1、M2の各ステージに1個のメモリアクセスが存在することができます。

- M1ステージ（メモリアクセスステージ1）

オペランドのメモリアクセス（OA1）を行います。

ストア動作時：ライト要求がバスに受け付けられると、パイプライン処理は終了します。

ロード動作時：リード要求がバスに受け付けられると、M2ステージに進みます。要求受け付けとロードデータ到着が同時（ノーウェイトのメモリアクセス）の場合は、WBステージに進みます。

- M2ステージ（メモリアクセスステージ2）

オペランドのメモリアクセス（OA2）を行います。ロードデータの到着を待つステージです。ロードデータが到着すると、WBステージに進みます。

(5) WBステージ（ライトバックステージ）

演算結果やメモリから読み出したデータをレジスタに書きます（RW）。メモリからの読み出しデータとそれ以外の演算結果は同時（同じサイクル）にレジスタに書けます。

図 2.6 にパイプライン構成とその動作を示します。

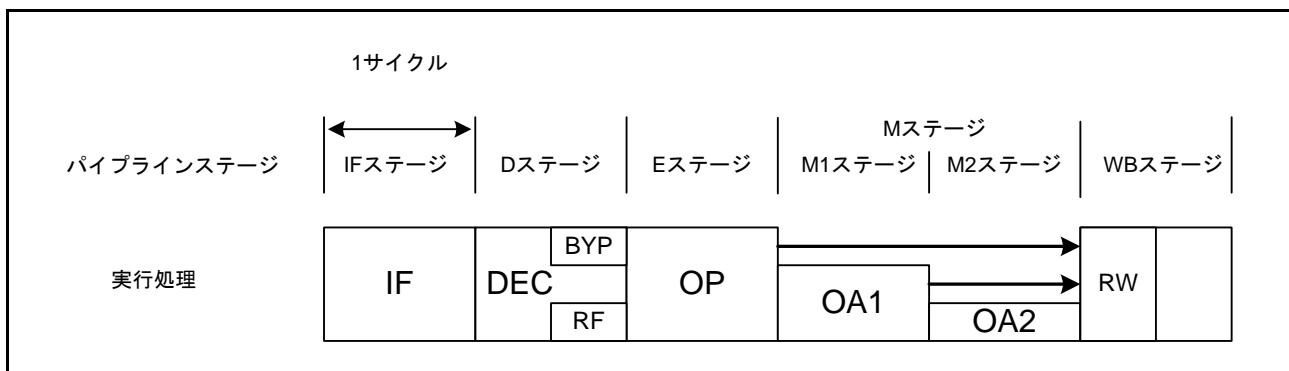


図 2.6 パイプライン構成と動作

2.8.2 命令とパイプライン処理

表中のオペランド表記は、以下に従います。

#IMM : 即値

flag : ビット、フラグ

Rs, Rs2, Rd, Rd2, Ri, Rb : 汎用レジスタ

CR : 制御レジスタ

dsp : ディスプレースメント

pcdsp : ディスプレースメント

2.8.2.1 単一のマイクロオペレーションに変換される命令とパイプライン処理

単一のマイクロオペレーションに変換される命令を以下に示します。サイクル数は、ノーウェイトメモリアクセス時のサイクル数を示します。

表2.13 単一マイクロオペレーションに変換される命令

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	参照図	サイクル数
算術/論理演算命令 (レジスタ間、即値-レジスタ) DIV、DIVU、EMUL、EMULU、 RMPA、SATRを除く	<ul style="list-style-type: none"> • {ABS, NEG, NOT} "Rd"/"Rs, Rd" • {ADC, MAX, MIN, ROTL, ROTR, XOR} "#IMM, Rd"/"Rs, Rd" • ADD "#IMM, Rd"/"Rs, Rd"/"#IMM, Rs, Rd"/"Rs, Rs2, Rd" • {AND, MUL, OR, SUB} "#IMM, Rd"/"Rs, Rd"/"Rs, Rs2, Rd" • {CMP, TST} "#IMM, Rs"/"Rs, Rs2" • NOP • {ROL, ROR, SAT} "Rd" • SBB "Rs, Rd" • {SHAR, SHLL, SHLR} "#IMM, Rd"/"Rs, Rd"/"#IMM, Rs, Rd" 	図2.7	1
算術/論理演算命令 (除算)	• DIV "#IMM, Rd"/"Rs, Rd"	図2.7	3~20 (注1)
	• DIVU "#IMM, Rd"/"Rs, Rd"	図2.7	2~18 (注1)
転送命令 (レジスタ間、即値-レジスタ)	<ul style="list-style-type: none"> • MOV "#IMM, Rd"/"Rs, Rd" • {MOVU, REVL, REVW} "Rs, Rd" • SC<i>Cnd</i> "Rd" • {STNZ, STZ} "#IMM, Rd" 	図2.7	1
転送命令 (ロード動作)	<ul style="list-style-type: none"> • {MOV, MOVU} "[Rs], Rd"/"dsp[Rs], Rd"/"[Rs+], Rd" /"[-Rs], Rd"/"[Ri, Rb], Rd" • POP "Rd" 	図2.8	スループット : 1 レイテンシ : 2 (注2)
転送命令 (ストア動作)	<ul style="list-style-type: none"> • MOV "Rs, [Rd]"/"Rs, dsp[Rd]"/"Rs, [Rd+]" /"Rs, [-Rd]"/"Rs, [Ri, Rb]"/"#IMM, dsp[Rd]"/"#IMM, [Rd]" • PUSH "Rs" • PUSHC "CR" • SC<i>Cnd</i> "[Rd]"/"dsp[Rd]" 	図2.9	1
ビット操作命令 (レジスタ)	<ul style="list-style-type: none"> • {BCLR, BNOT, BSET} "#IMM, Rd"/"Rs, Rd" • BM<i>Cnd</i> "#IMM, Rd" • BTST "#IMM, Rs"/"Rs, Rs2" 	図2.7	1
分岐命令	<ul style="list-style-type: none"> • B<i>Cnd</i> "pcdsp" • {BRA, BSR} "pcdsp"/"Rs" • {JMP, JSR} "Rs" 	図2.17	分岐成立 : 3 分岐不成立 : 1
システム操作命令	<ul style="list-style-type: none"> • {CLRPSW, SETPSW} "flag" • MVTC "#IMM, CR"/"Rs, CR" • MVFC "CR, Rd" • MVTIPL "#IMM" 	—	1
DSP機能命令	<ul style="list-style-type: none"> • {MACHI, MACLO, MULHI, MULLO} "Rs, Rs2" • {MVFACHI, MVFACMI} "Rd" • {MVTACHI, MVTACLO} "Rs" • RACW "#IMM" 	図2.7	1

注1. 除算命令のサイクル数は、除数、被除数の値により変動します。

注2. スループット、レイテンシ表記のサイクル数については「2.8.3 命令処理時間の計算方法」を参照してください。

基本的な単一のマイクロオペレーションに変換される命令動作を以下の図 2.7 ～図 2.9 に示します。

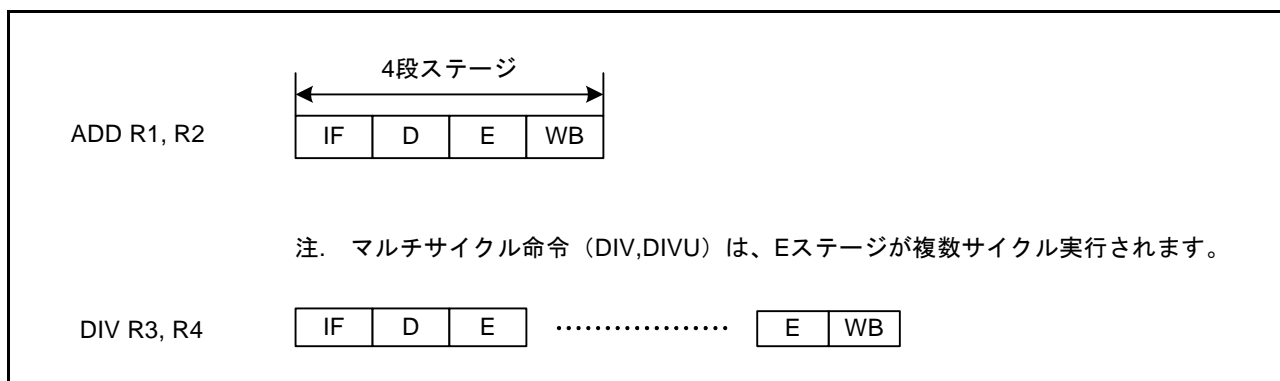


図 2.7 レジスタ間、即値-レジスタ演算

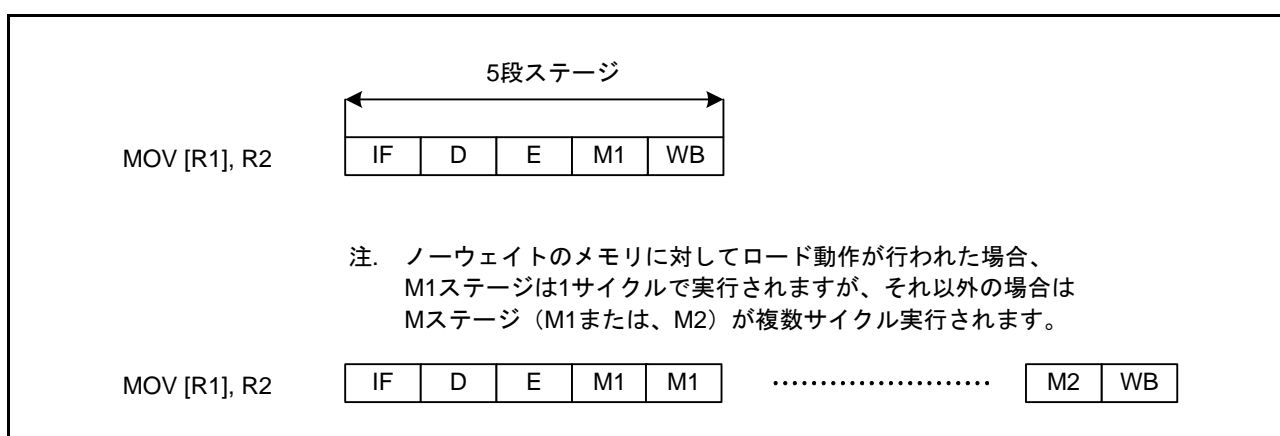


図 2.8 ロード動作

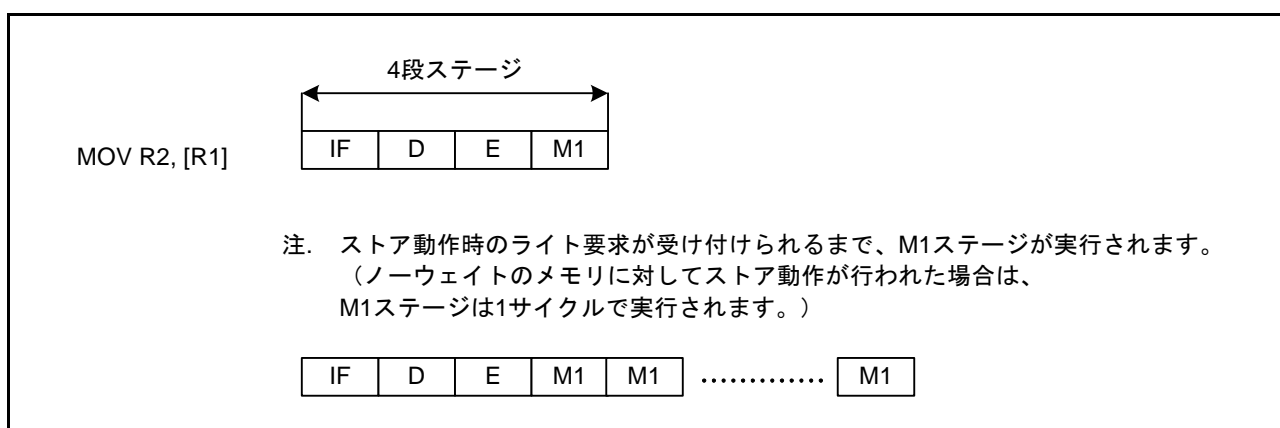


図 2.9 ストア動作

2.8.2.2 複数のマイクロオペレーションに変換される命令とパイプライン処理

複数のマイクロオペレーションに変換される命令を以下に示します。サイクル数は、ノーウェイトメモリアクセス時のサイクル数を示します。

表 2.14 複数マイクロオペレーションに変換される命令 (1 / 2)

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	参照図	サイクル数
算術／論理演算命令 (メモリソースオペランド)	<ul style="list-style-type: none"> {ADC, ADD, AND, MAX, MIN, MUL, OR, SBB, SUB, XOR} “[Rs], Rd”/“dsp[Rs], Rd” {CMP, TST} “[Rs], Rs2”/“dsp[Rs], Rs2” 	図 2.10	3
算術／論理演算命令 (除算)	• DIV “[Rs], Rd / dsp[Rs], Rd”	—	5 ~ 22
	• DIVU “[Rs], Rd / dsp[Rs], Rd”	—	4 ~ 20
算術／論理演算命令 (乗算 32bit×32bit → 64bit) (レジスタ間、レジスター即値)	• {EMUL, EMULU} “#IMM, Rd”/“Rs, Rd”	図 2.12	2
算術／論理演算命令 (乗算 32bit×32bit → 64bit) (メモリソースオペランド)	• {EMUL, EMULU} “[Rs], Rd”/“dsp[Rs], Rd”	—	4
算術／論理演算命令 (積和演算)	• RMPA.B	—	6+7×floor(n/4)+4×(n%4) nは処理バイト数 (注1)
	• RMPA.W	—	6+5×floor(n/2)+4×(n%2) nは処理ワード数 (注1)
	• RMPA.L	—	6+4n nは処理ロングワード数 (注1)
算術／論理演算命令 (RMPA命令用64ビット符号付き飽和処理)	• SATR	—	3
転送命令 (メモリ間転送)	<ul style="list-style-type: none"> MOV “[Rs], [Rd]”/“dsp[Rs], [Rd]”/“[Rs], dsp[Rd]”/“dsp[Rs], dsp[Rd]” PUSH “[Rs]”/“dsp[Rs]” 	図 2.11	3
ビット操作命令 (メモリソースオペランド)	<ul style="list-style-type: none"> {BCLR, BNOT, BSET} “#IMM, [Rd]”/“#IMM, dsp[Rd]”/“Rs, [Rd]”/“Rs, dsp[Rd]” BMCnd “#IMM, [Rd]”/“#IMM, dsp[Rd]” BTST “#IMM, [Rs]”/“#IMM, dsp[Rs]”/“Rs, [Rs2]”/“Rs, dsp[Rs2]” 	図 2.11	3
転送命令 (ロード命令)	• POPC “CR”	—	スループット : 3 レイテンシ : 4 (注2)
転送命令 (複数レジスタの退避)	• PUSHM “Rs-Rs2”	—	n nはレジスタ数 (注3)
転送命令 (複数レジスタの復帰)	• POPM “Rs-Rs2”	—	スループット : n レイテンシ : n+1 nはレジスタ数 (注2、注4)
転送命令 (レジスタ間の交換)	• XCHG “Rs, Rd”	図 2.13	2
転送命令 (メモリーレジスタの交換)	• XCHG “[Rs], Rd”/“dsp[Rs], Rd”	図 2.14	2
分岐命令	• RTS	—	5
	• RTSD “#IMM”	—	5
	• RTSD “#IMM, Rd-Rd2”	—	スループット : n<5?5:1+n レイテンシ : n<4?5:2+n nはレジスタ数 (注2)

表2.14 複数マイクロオペレーションに変換される命令 (2 / 2)

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	参照図	サイクル数
ストリング操作命令 (注5)	• SCMPU	—	$2+4\times\text{floor}(n/4)+4\times(n\%4)$ nは比較バイト数 (注1)
	• SMOVB	—	n>3? $6+3\times\text{floor}(n/4)+3\times(n\%4)$: $2+3n$ nは転送バイト数 (注1)
	• SMOVF, SMOVU	—	$2+3\times\text{floor}(n/4)+3\times(n\%4)$ nは転送バイト数 (注1)
	• SSTR.B	—	$2+\text{floor}(n/4)+n\%4$ nは転送バイト数 (注1)
	• SSTR.W	—	$2+\text{floor}(n/2)+n\%2$ nは転送ワード数 (注1)
	• SSTR.L	—	$2+n$ nは転送ロングワード数
	• SUNTIL.B, SWHILE.B	—	$3+3\times\text{floor}(n/4)+3\times(n\%4)$ nは比較バイト数 (注1)
	• SUNTIL.W, SWHILE.W	—	$3+3\times\text{floor}(n/2)+3\times(n\%2)$ nは比較ワード数 (注1)
	• SUNTIL.L, SWHILE.L	—	$3+3\times n$ nは比較ロングワード数
システム操作命令	• RTE	—	6
	• RTFI	—	3

?: 条件演算子

注1. floor(x) : x以下の最大の整数

注2. スループット、レイテンシ表記のサイクル数については「2.8.3 命令処理時間の計算方法」を参照してください。

注3. PUSHM命令は、複数のストア動作に変換されます。MOV命令のストア動作が、指定したレジスタ分繰り返されるのと同じパイプライン処理です。

注4. POPM命令は、複数のロード動作に変換されます。MOV命令のロード動作が、指定したレジスタ分繰り返されるのと同じパイプライン処理です。

注5. SCMPU, SMOVU, SWHILE, SUNTILの各命令は、実行中に終了条件を満たした場合は、記載サイクルによらず実行を終了します。

基本的な複数のマイクロオペレーションに変換される命令動作を以下の図 2.10 ～図 2.14 に示します。

注． mop : マイクロオペレーション、stall : パイプラインストール

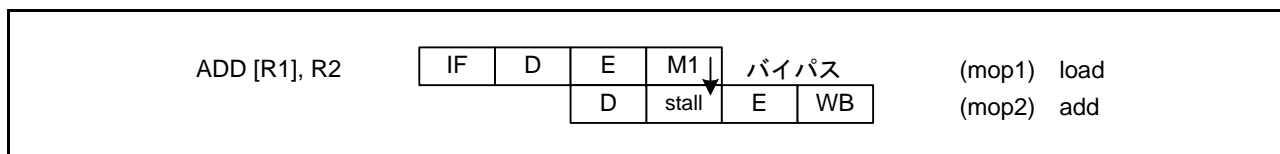


図 2.10 算術論理演算命令（メモリスソースオペランド）

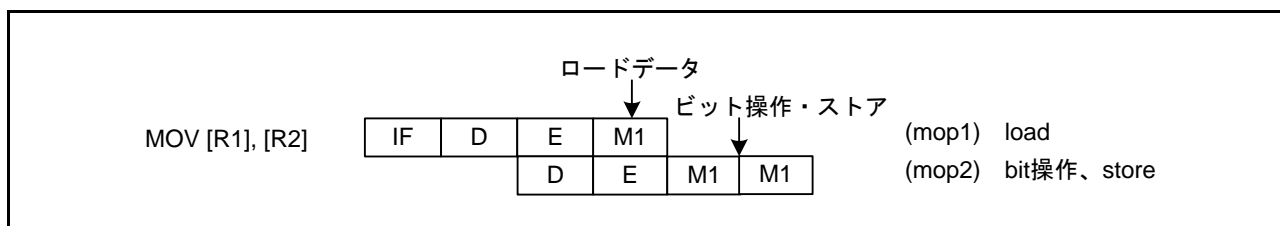


図 2.11 MOV 命令（メモリ間転送）、ビット操作命令（メモリスソースオペランド）

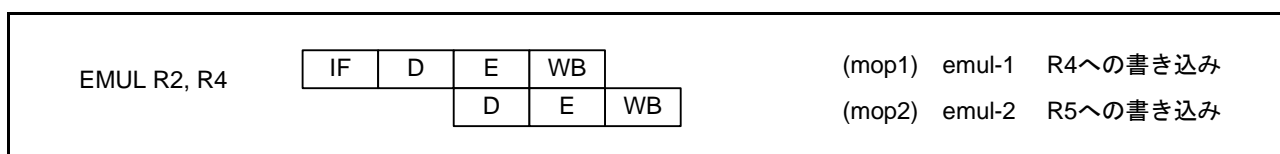


図 2.12 EMUL, EMULU 命令（レジスタ間、レジスター即値）

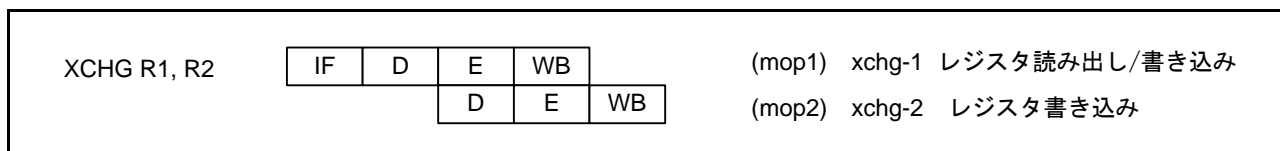


図 2.13 XCHG 命令（レジスタ）

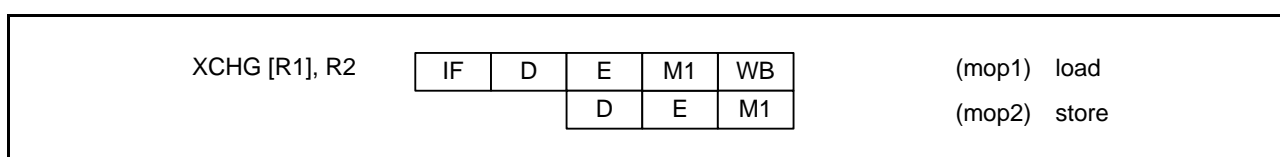


図 2.14 XCHG 命令（メモリスソースオペランド）

2.8.2.3 パイプラインの基本動作

理想的なパイプライン処理では、各ステージの実行サイクル数は1ですが、各ステージでの処理や分岐実行などによりパイプライン処理が乱れることがあります。

CPUは、IFステージは命令単位、Dステージ以降は、マイクロオペレーション単位でパイプラインステージ制御を行います。

以下に代表的なケースについてパイプライン処理の状況を示します。

注. mop : マイクロオペレーション、stall : パイプラインストール

(1) パイプライン処理が乱れるケース

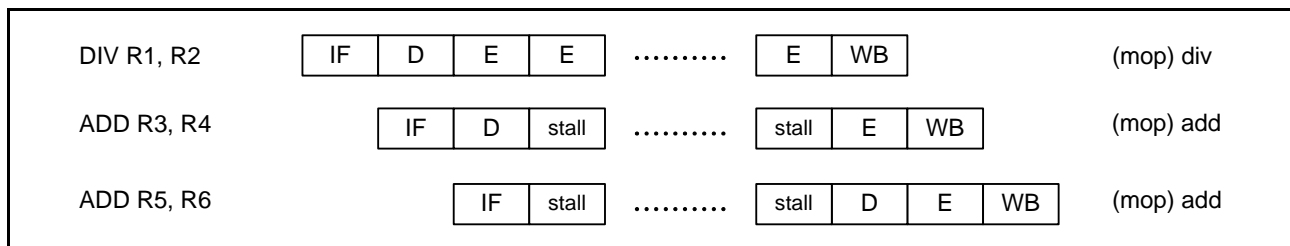


図 2.15 Eステージの実行に複数サイクルを要する命令の実行時

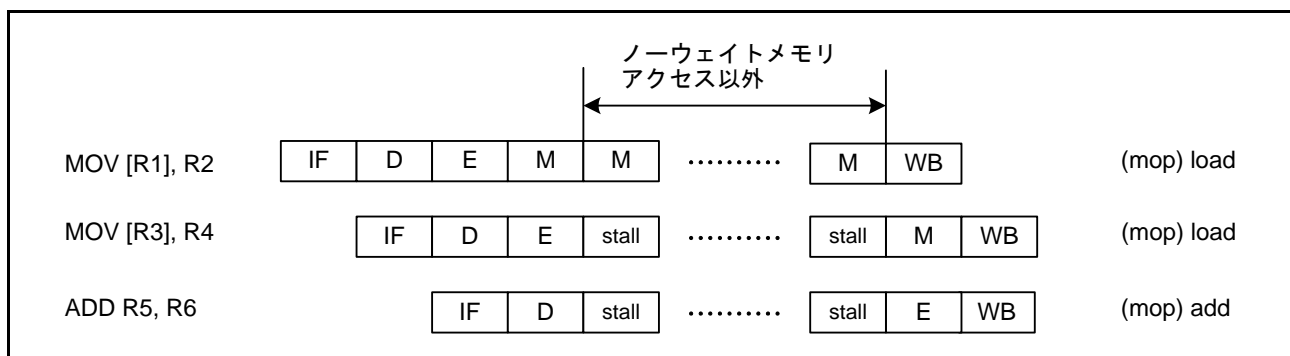


図 2.16 オペランドアクセスが1サイクルで終了しない場合

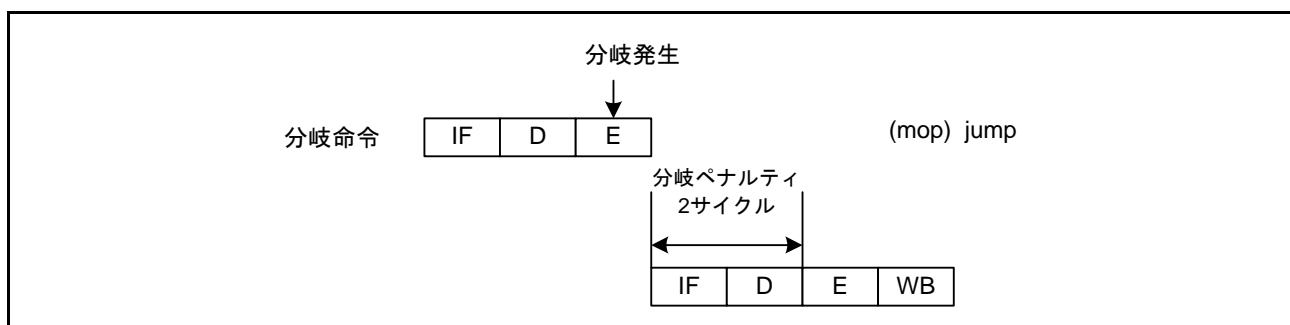


図 2.17 分岐（無条件分岐または、条件分岐で条件が成立した場合）

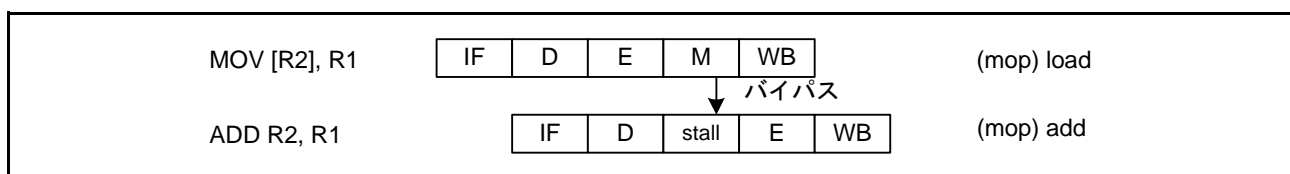


図 2.18 メモリから読み出したオペランドを後続命令が使用する場合

(2) パイプライン処理が乱れないケース

(a) バイパス

先行命令が書き込んだレジスタを後続命令が使用する場合であっても、レジスタ間演算の場合はバイパスにより、パイプライン処理は乱れません。

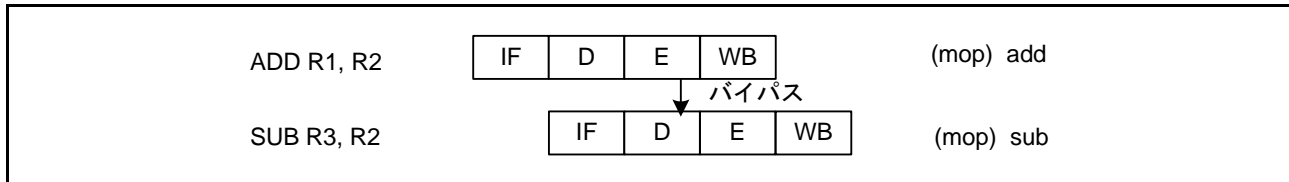


図 2.19 バイパス

(b) メモリロードと演算の WB ステージが重なっている場合

メモリロードと演算の WB ステージが重なっている場合であっても、ロードデータと演算結果はレジスタに同時に書けますので、パイプライン処理は乱れません。

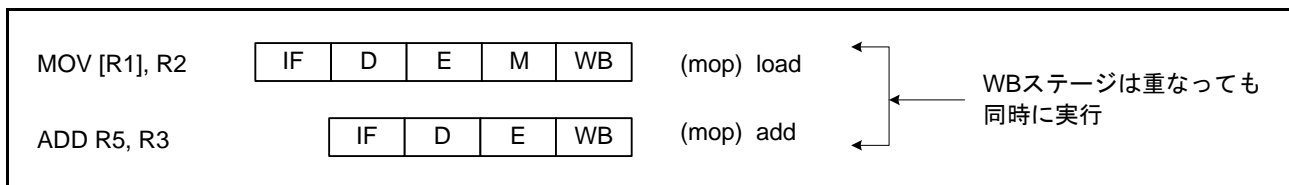


図 2.20 メモリロードと演算の WB ステージが重なっている場合

(c) メモリロードを終了する前に後続命令が同じレジスタへ書き込みを行った場合

メモリロードを終了する前に、後続命令が同じレジスタへ書き込みを行った場合であっても、メモリロードの WB ステージはキャンセルされますので、パイプライン処理は乱れません。

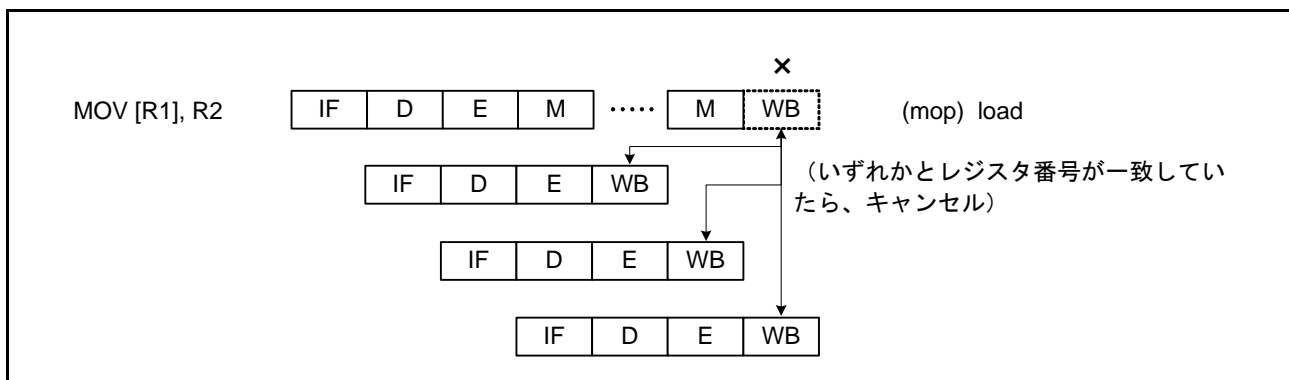


図 2.21 メモリロードを終了する前に、後続命令が同じレジスタへ書き込みを行った場合

(d) メモリロードしたデータを後続命令が参照しない場合

メモリロードしたデータを後続命令が参照しない場合、後続の命令が先に実行されて完了します。
(Out-of-Order Completion)

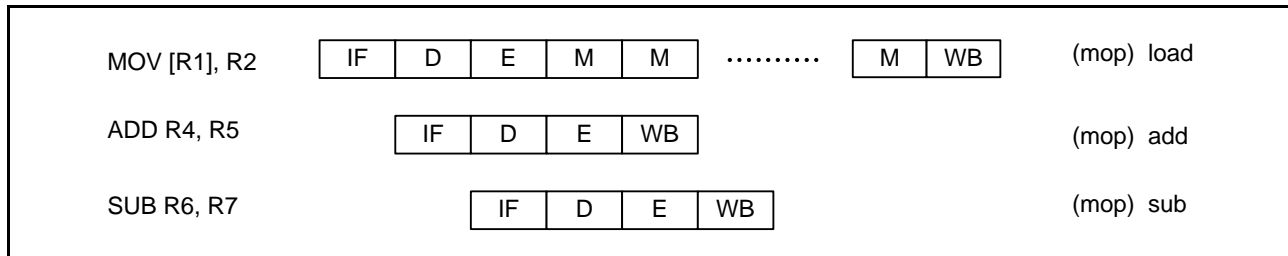


図 2.22 メモリロードしたデータを後続命令が参照しない場合

2.8.3 命令処理時間の計算方法

CPU の命令処理時間は、パイプライン処理によって変動しますが、次のような計算方法で命令処理時間を概算することができます。

- サイクル数をカウントします（表 2.13、表 2.14 を参照）。
- メモリロード結果を後続命令が参照する場合は、メモリロードを行う命令のサイクル数は“レイテンシ”として記載されているサイクル数をカウントします。それ以外は“スループット”として記載されているサイクル数をカウントします。
- 命令フェッチストールが起きた場合は、さらにサイクル数が追加されます。
- システム構成によっては、メモリアクセスに複数サイクルかかります。

2.8.4 割り込み応答サイクル数

表 2.15 に割り込み応答処理のサイクル数を示します。

表 2.15 割り込み応答サイクル数

割り込み要求の種類／処理内容	高速割り込み	高速割り込み以外の割り込み
ICU 優先順位判定	2サイクル	
CPU 割り込み要求通知から割り込み受け付けまでのサイクル数	Nサイクル (実行している命令によって異なる)	
CPU ハードウェア前処理 PC、PSWのRAMへの退避 (高速割り込みは、制御レジスタへ退避) ベクタの読み出し 例外処理ルーチンへ分岐	4サイクル	6サイクル

表 2.15 は、CPU からのメモリアクセスがすべてノーウェイトで処理をされた場合の割り込み応答時間です。本 MCU は、ノーウェイトアクセス可能な ROM、RAM を搭載しています。プログラム（含むベクタ）は ROM、スタック領域は RAM に配置することにより、割り込み応答サイクル数を最短にできます。また、例外処理ルーチンの先頭アドレスは、8 バイトアライメントを指定してください。

割り込み要求通知から割り込み受け付けまでのサイクル数 N は、「表 2.13 単一マイクロオペレーションに変換される命令」、「表 2.14 複数マイクロオペレーションに変換される命令」を参照してください。

割り込み受け付けタイミングはパイプラインの状態に依存します。割り込み受け付けタイミングについては、「13.3.1 受け付けタイミングと退避される PC 値」を参照してください。

3. 動作モード

3.1 動作モードの種類と選択

動作モードはリセット解除時の端子のレベルで選択します。

リセット解除時のモード設定端子（MD）のレベルと、そのとき選択される動作モードの関係を表 3.1 に示します。各動作モードの詳細は「3.3 動作モードの説明」を参照してください。

表 3.1 モード設定端子による動作モードの選択

モード端子 MD (注1)	動作モード
Low	ブートモード (SCIインタフェース)
High	シングルチップモード

注1. MCU動作中にMD端子を変化させないください。

シングルチップモードでは、エンディアンを選択することができます。エンディアンの設定は、オプション設定メモリのMDE.MDE[2:0]ビットで設定します。

設定値は表 3.2 を参照してください。

表 3.2 シングルチップモードのエンディアンの設定

MDE.MDE[2:0]ビット	エンディアン
000b	ビッグエンディアン
111b	リトルエンディアン

3.2 レジスタの説明

3.2.1 モードモニタレジスタ (MDMONR)

アドレス 0008 0000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MD
リセット後の値	0	0	0	0	0	0	0	X	0	0	0	0	0	0	0	0/1 (注1)

注1. モード端子 (MD) の設定によって異なります。MD 端子がLowの場合は“0”、Highの場合は“1”になります。

ビット	シンボル	ビット名	説明	R/W
b0	MD	MD端子ステータスフラグ	0 : MD端子は“Low” 1 : MD端子は“High”	R
b7-b1	—	予約ビット	読むと“0”が読めます	R
b8	—	予約ビット	読んだ場合、その値は不定	R
b15-b9	—	予約ビット	読むと“0”が読めます	R

3.2.2 システムコントロールレジスタ 1 (SYSCR1)

アドレス 0008 0008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RAME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	説明	R/W
b0	RAME	RAM有効ビット	0 : RAM無効 1 : RAM有効	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

RAME ビット (RAM 有効ビット)

RAMの有効または無効を選択します。

RAMをアクセスしているときは、“0”にしないでください。また、RAMEビットを“0”から“1”に書き換えた後は、RAMEビットが“1”になったことを確認してからRAMをアクセスするようにしてください。

RAMEビットを“0”にしても、RAMの値は保持されます。ただし、「32. 電気的特性」に規定するRAM保持電圧 (V_{RAM}) 以上の電圧を保持する必要があります。

3.3 動作モードの説明

3.3.1 シングルチップモード

シングルチップモードは、すべての I/O ポートを汎用入出力ポート、周辺機能入出力、または割り込み入力端子として使用できるモードです。

MD 端子を High にしてリセットを解除すると、シングルチップモードで起動します。

3.3.2 ブートモード

MCU 内部の専用領域に格納された、内蔵フラッシュメモリ書き換えプログラム（ブートプログラム）が動作するモードです。調歩同期式シリアルインタフェース（SCI1）を使用して、MCU 外部から内蔵フラッシュメモリ（ROM）を書き換えることができます。詳細は、「31. フラッシュメモリ」を参照してください。

MD 端子を Low にしてリセットを解除すると、ブートモードで起動します。

3.3.2.1 ブートモード（SCI インタフェース）

MD 端子を Low にしてリセットを解除すると、ブートモード（SCI インタフェース）で起動します。ブートモード（SCI インタフェース）については、「31.7.1 ブートモード (SCI インタフェース)」を参照してください。

3.4 動作モード遷移

3.4.1 MD 端子のレベルと動作モード遷移

MD 端子の設定による動作モード遷移について、図 3.1 に状態遷移図を示します。

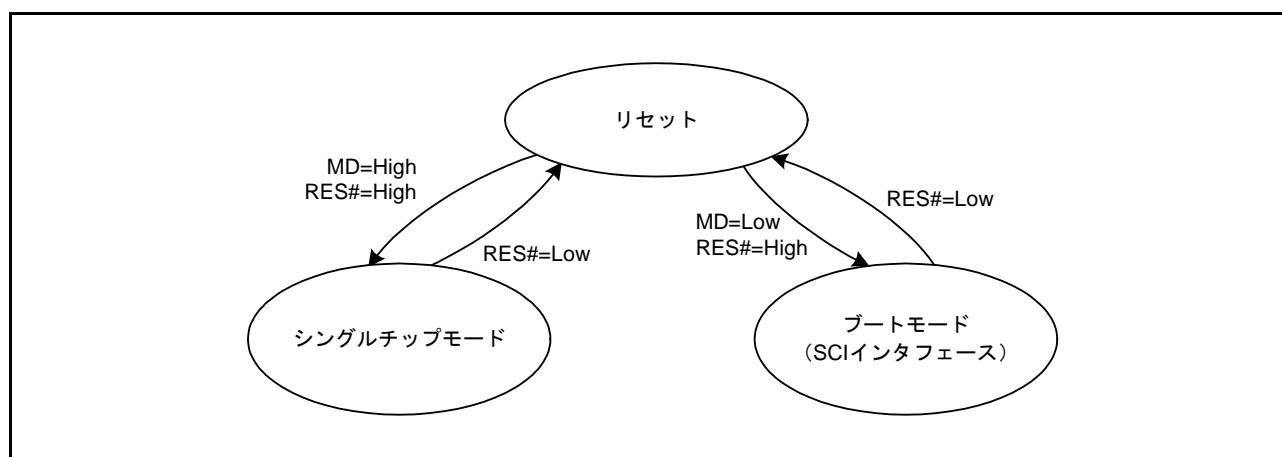


図 3.1 MD 端子のレベルと動作モード

4. アドレス空間

4.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。プログラム領域最大 4G バイトをリニアにアクセス可能です。

図 4.1 にメモリマップを示します。

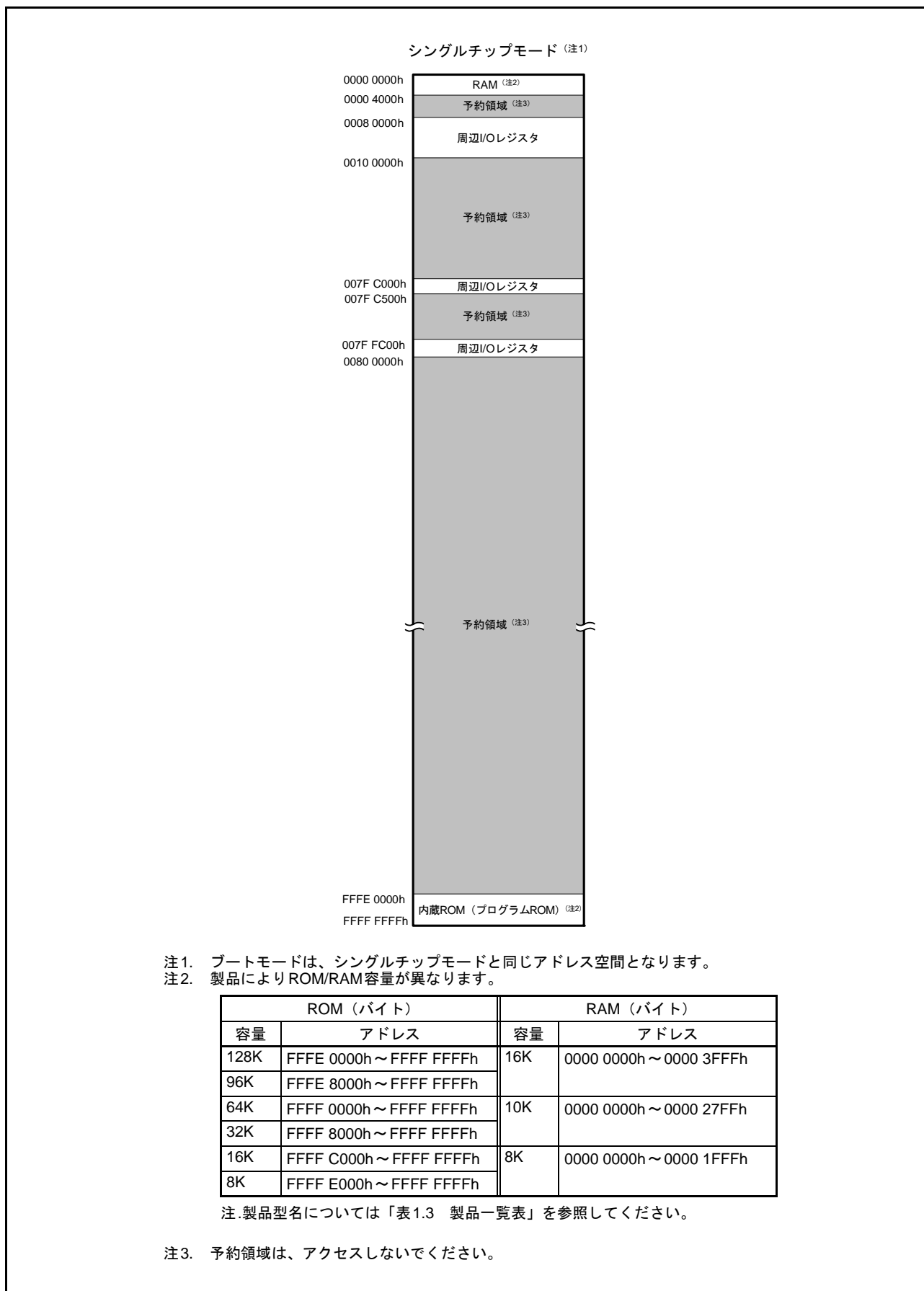


図 4.1 メモリマップ

5. I/Oレジスタ

I/Oレジスタ一覧では、内蔵レジスタのアドレス、およびビット構成に関する情報をまとめています。表記方法は以下のとおりです。また、レジスタ書き込み時の注意事項についても以下に示します。

(1) I/Oレジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載しています。
- モジュールシンボルによる分類をしています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部I/Oレジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、予約領域です。予約領域のアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

(2) I/Oレジスタ書き込み時の注意事項

CPUがI/Oレジスタに書き込む際、CPUは書き込み完了を待たずに後続の命令を実行します。そのため、I/Oレジスタ書き込みによる設定変更が、動作に反映されるより前に、後続の命令が実行されることがあります。

以下の例のように、I/Oレジスタの設定変更が反映された状態で後続の命令を実行させなければならないときには、注意が必要です。

[注意が必要な動作の例]

- 割り込み要求許可ビット（ICU.IERn.IENjビット）のクリアを行い、割り込み要求を禁止とした状態で後続の命令を実行させたい場合
- 低消費電力状態へ遷移するための前処理に続いてWAIT命令を実行する場合

このような場合には、I/Oレジスタの書き込みを行った後、以下の手順で書き込みの完了を待ってから、後続の命令を実行するようにしてください。

- (a) I/Oレジスタの書き込み
- (b) 書き込んだI/Oレジスタの値を汎用レジスタに読み出し
- (c) 読み出し値を使って演算を実行
- (d) 後続の命令を実行

[命令例]

- I/Oレジスタがバイトサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.B #SFR_DATA, [R1]
CMP [R1].UB, R1
;; 次処理
```

- I/Oレジスタがワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.W #SFR_DATA, [R1]
CMP [R1].W, R1
;; 次処理
```

- I/Oレジスタがロングワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.L #SFR_DATA, [R1]
CMP [R1].L, R1
;; 次処理
```

なお、複数のレジスタに書き込みを行った後、それら書き込みの完了を待ってから後続の命令を実行させたい場合は、最後に書き込みを行ったI/Oレジスタを対象に読み出しと演算を実行してください。書き込みを行ったすべてのレジスタを対象にして実行する必要はありません。

(3) I/Oレジスタアクセスサイクル数

I/Oレジスタアクセスサイクル数は、「表 5.1 I/Oレジスタアドレス一覧」を参照してください。

I/Oレジスタへアクセスした場合のアクセスサイクル数は、以下の計算式によって表されます。(注1)

$$\begin{aligned} \text{I/Oレジスタアクセスサイクル数} = & \text{内部メインバス1のバスサイクル数} + \\ & \text{分周クロック同期化サイクル数} + \\ & \text{内部周辺バス1、2、4～6のバスサイクル数} \end{aligned}$$

内部周辺バス1、2、4～6のバスサイクル数は、アクセス先のレジスタによって異なります。

内部周辺バス2、4～6に接続されている周辺機能のレジスタ（バスエラー関連のレジスタは除く）へアクセスする場合には、分周クロック同期化サイクル数が追加されます。

分周クロック同期化サイクル数は、ICLKとPCLK（またはFCLK）の周波数比やバスアクセスのタイミングによって異なります。

周辺機能部ではICLK \geq PCLK（またはFCLK）の周波数関係の場合、内部メインバス1のバスサイクル数と分周クロック同期化サイクル数を合わせると、PCLK（またはFCLK）で最大1サイクルとなるため、表 5.1 では1PCLK（またはFCLK）の幅を持たせて記載しています。

また、ICLK < PCLK（またはFCLK）の周波数関係の場合、次のバスアクセスが周辺機能が終了した次のICLKサイクルから開始されるため、ICLK単位の記載となっています。

注1. CPUからのレジスタアクセスが、異なるバスマスタ（DTC）のバスアクセスと競合せずに実行された場合のサイクル数です。

(4) スリープモード時およびモード遷移時の注意事項

スリープモード中、またはモード遷移中は、システム制御関連のレジスタ（「表 5.1 I/Oレジスタアドレス一覧」のモジュールシンボル欄にSYSTEMと記載のレジスタ）への書き込みは禁止です。

5.1 I/Oレジスタアドレス一覧（アドレス順）

表5.1 I/Oレジスタアドレス一覧（1 / 12）

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセス サイクル数	参照章
0008 0000h	SYSTEM	モードモニタレジスタ	MDMONR	16	16	3CLK	3章
0008 0008h	SYSTEM	システムコントロールレジスタ1	SYSCR1	16	16	3CLK	3章
0008 000Ch	SYSTEM	スタンバイコントロールレジスタ	SBYCR	16	16	3CLK	11章
0008 0010h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32	3CLK	11章
0008 0014h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32	3CLK	11章
0008 0018h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32	3CLK	11章
0008 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32	3CLK	9章
0008 0026h	SYSTEM	システムクロックコントロールレジスタ3	SCKCR3	16	16	3CLK	9章
0008 0032h	SYSTEM	メインクロック発振器コントロールレジスタ	MOSCCR	8	8	3CLK	9章
0008 0033h	SYSTEM	サブクロック発振器コントロールレジスタ	SOSCCR	8	8	3CLK	9章
0008 0034h	SYSTEM	低速オンチップオシレータコントロールレジスタ	LOCOCR	8	8	3CLK	9章
0008 0035h	SYSTEM	IWDT専用オンチップオシレータコントロールレジスタ	ILOCOCR	8	8	3CLK	9章
0008 0036h	SYSTEM	高速オンチップオシレータコントロールレジスタ	HOCOCR	8	8	3CLK	9章
0008 003Ch	SYSTEM	発振安定フラグレジスタ	OSCOVFSR	8	8	3CLK	9章
0008 003Eh	SYSTEM	CLKOUT出力コントロールレジスタ	CKOCR	16	16	3CLK	9章
0008 0040h	SYSTEM	発振停止検出コントロールレジスタ	OSTDCR	8	8	3CLK	9章
0008 0041h	SYSTEM	発振停止検出ステータスレジスタ	OSTDSR	8	8	3CLK	9章
0008 00A0h	SYSTEM	動作電力コントロールレジスタ	OPCCR	8	8	3CLK	11章
0008 00A1h	SYSTEM	スリープモード復帰クロックソース切り替えレジスタ	RSTCKCR	8	8	3CLK	11章
0008 00A2h	SYSTEM	メインクロック発振器ウェイトコントロールレジスタ	MOSCWTCR	8	8	3CLK	9章
0008 00A5h	SYSTEM	高速オンチップオシレータウェイトコントロールレジスタ	HOCOWTCR	8	8	3CLK	9章
0008 00AAh	SYSTEM	サブ動作電力コントロールレジスタ	SOPCCR	8	8	3CLK	11章
0008 00C0h	SYSTEM	リセットステータスレジスタ2	RSTS2	8	8	3CLK	6章
0008 00C2h	SYSTEM	ソフトウェアリセットレジスタ	SWRR	16	16	3CLK	6章
0008 00E0h	SYSTEM	電圧監視1回路制御レジスタ1	LVD1CR1	8	8	3CLK	8章
0008 00E1h	SYSTEM	電圧監視1回路ステータスレジスタ	LVD1SR	8	8	3CLK	8章
0008 00E2h	SYSTEM	電圧監視2回路制御レジスタ1	LVD2CR1	8	8	3CLK	8章
0008 00E3h	SYSTEM	電圧監視2回路ステータスレジスタ	LVD2SR	8	8	3CLK	8章
0008 03FEh	SYSTEM	プロテクトレジスタ	PRCR	16	16	3CLK	12章
0008 1300h	BSC	バスエラーステータスクリアレジスタ	BERCLR	8	8	2CLK	15章
0008 1304h	BSC	バスエラー監視許可レジスタ	BEREN	8	8	2CLK	15章
0008 1308h	BSC	バスエラーステータスレジスタ1	BERSR1	8	8	2CLK	15章
0008 130Ah	BSC	バスエラーステータスレジスタ2	BERSR2	16	16	2CLK	15章
0008 1310h	BSC	バスプライオリティ制御レジスタ	BUSPRI	16	16	2CLK	15章
0008 2400h	DTC	DTCコントロールレジスタ	DTCCR	8	8	2CLK	16章
0008 2404h	DTC	DTCベクタベースレジスタ	DTCVBR	32	32	2CLK	16章
0008 2408h	DTC	DTCアドレスモードレジスタ	DTCADMOD	8	8	2CLK	16章
0008 240Ch	DTC	DTCモジュール起動レジスタ	DTCST	8	8	2CLK	16章
0008 240Eh	DTC	DTCステータスレジスタ	DTCSTS	16	16	2CLK	16章
0008 7010h	ICU	割り込み要求レジスタ 016	IR016	8	8	2CLK	14章
0008 701Bh	ICU	割り込み要求レジスタ 027	IR027	8	8	2CLK	14章
0008 701Ch	ICU	割り込み要求レジスタ 028	IR028	8	8	2CLK	14章
0008 701Dh	ICU	割り込み要求レジスタ 029	IR029	8	8	2CLK	14章
0008 7020h	ICU	割り込み要求レジスタ 032	IR032	8	8	2CLK	14章
0008 7021h	ICU	割り込み要求レジスタ 033	IR033	8	8	2CLK	14章
0008 7022h	ICU	割り込み要求レジスタ 034	IR034	8	8	2CLK	14章
0008 7024h	ICU	割り込み要求レジスタ 036	IR036	8	8	2CLK	14章
0008 7025h	ICU	割り込み要求レジスタ 037	IR037	8	8	2CLK	14章
0008 7026h	ICU	割り込み要求レジスタ 038	IR038	8	8	2CLK	14章
0008 702Ch	ICU	割り込み要求レジスタ 044	IR044	8	8	2CLK	14章
0008 702Dh	ICU	割り込み要求レジスタ 045	IR045	8	8	2CLK	14章

表5.1 I/Oレジスタアドレス一覧(2 / 12)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビ ット 数	アクセス サイズ	アクセス サイクル数	参照章
0008 702Eh	ICU	割り込み要求レジスタ 046	IR046	8	8	2ICLK	14章
0008 702Fh	ICU	割り込み要求レジスタ 047	IR047	8	8	2ICLK	14章
0008 7039h	ICU	割り込み要求レジスタ 057	IR057	8	8	2ICLK	14章
0008 703Fh	ICU	割り込み要求レジスタ 063	IR063	8	8	2ICLK	14章
0008 7040h	ICU	割り込み要求レジスタ 064	IR064	8	8	2ICLK	14章
0008 7041h	ICU	割り込み要求レジスタ 065	IR065	8	8	2ICLK	14章
0008 7042h	ICU	割り込み要求レジスタ 066	IR066	8	8	2ICLK	14章
0008 7043h	ICU	割り込み要求レジスタ 067	IR067	8	8	2ICLK	14章
0008 7044h	ICU	割り込み要求レジスタ 068	IR068	8	8	2ICLK	14章
0008 7045h	ICU	割り込み要求レジスタ 069	IR069	8	8	2ICLK	14章
0008 7046h	ICU	割り込み要求レジスタ 070	IR070	8	8	2ICLK	14章
0008 7047h	ICU	割り込み要求レジスタ 071	IR071	8	8	2ICLK	14章
0008 7058h	ICU	割り込み要求レジスタ 088	IR088	8	8	2ICLK	14章
0008 7059h	ICU	割り込み要求レジスタ 089	IR089	8	8	2ICLK	14章
0008 705Ah	ICU	割り込み要求レジスタ 090	IR090	8	8	2ICLK	14章
0008 705Ch	ICU	割り込み要求レジスタ 092	IR092	8	8	2ICLK	14章
0008 705Dh	ICU	割り込み要求レジスタ 093	IR093	8	8	2ICLK	14章
0008 7066h	ICU	割り込み要求レジスタ 102	IR102	8	8	2ICLK	14章
0008 7067h	ICU	割り込み要求レジスタ 103	IR103	8	8	2ICLK	14章
0008 706Ah	ICU	割り込み要求レジスタ 106	IR106	8	8	2ICLK	14章
0008 7072h	ICU	割り込み要求レジスタ 114	IR114	8	8	2ICLK	14章
0008 7073h	ICU	割り込み要求レジスタ 115	IR115	8	8	2ICLK	14章
0008 7074h	ICU	割り込み要求レジスタ 116	IR116	8	8	2ICLK	14章
0008 7075h	ICU	割り込み要求レジスタ 117	IR117	8	8	2ICLK	14章
0008 7076h	ICU	割り込み要求レジスタ 118	IR118	8	8	2ICLK	14章
0008 7077h	ICU	割り込み要求レジスタ 119	IR119	8	8	2ICLK	14章
0008 7078h	ICU	割り込み要求レジスタ 120	IR120	8	8	2ICLK	14章
0008 7079h	ICU	割り込み要求レジスタ 121	IR121	8	8	2ICLK	14章
0008 707Ah	ICU	割り込み要求レジスタ 122	IR122	8	8	2ICLK	14章
0008 707Bh	ICU	割り込み要求レジスタ 123	IR123	8	8	2ICLK	14章
0008 707Ch	ICU	割り込み要求レジスタ 124	IR124	8	8	2ICLK	14章
0008 707Dh	ICU	割り込み要求レジスタ 125	IR125	8	8	2ICLK	14章
0008 707Eh	ICU	割り込み要求レジスタ 126	IR126	8	8	2ICLK	14章
0008 707Fh	ICU	割り込み要求レジスタ 127	IR127	8	8	2ICLK	14章
0008 7080h	ICU	割り込み要求レジスタ 128	IR128	8	8	2ICLK	14章
0008 7081h	ICU	割り込み要求レジスタ 129	IR129	8	8	2ICLK	14章
0008 7082h	ICU	割り込み要求レジスタ 130	IR130	8	8	2ICLK	14章
0008 7083h	ICU	割り込み要求レジスタ 131	IR131	8	8	2ICLK	14章
0008 7084h	ICU	割り込み要求レジスタ 132	IR132	8	8	2ICLK	14章
0008 7085h	ICU	割り込み要求レジスタ 133	IR133	8	8	2ICLK	14章
0008 7086h	ICU	割り込み要求レジスタ 134	IR134	8	8	2ICLK	14章
0008 7087h	ICU	割り込み要求レジスタ 135	IR135	8	8	2ICLK	14章
0008 7088h	ICU	割り込み要求レジスタ 136	IR136	8	8	2ICLK	14章
0008 7089h	ICU	割り込み要求レジスタ 137	IR137	8	8	2ICLK	14章
0008 708Ah	ICU	割り込み要求レジスタ 138	IR138	8	8	2ICLK	14章
0008 708Bh	ICU	割り込み要求レジスタ 139	IR139	8	8	2ICLK	14章
0008 708Ch	ICU	割り込み要求レジスタ 140	IR140	8	8	2ICLK	14章
0008 708Dh	ICU	割り込み要求レジスタ 141	IR141	8	8	2ICLK	14章
0008 70AAh	ICU	割り込み要求レジスタ 170	IR170	8	8	2ICLK	14章
0008 70ABh	ICU	割り込み要求レジスタ 171	IR171	8	8	2ICLK	14章
0008 70DAh	ICU	割り込み要求レジスタ 218	IR218	8	8	2ICLK	14章
0008 70DBh	ICU	割り込み要求レジスタ 219	IR219	8	8	2ICLK	14章
0008 70DCh	ICU	割り込み要求レジスタ 220	IR220	8	8	2ICLK	14章
0008 70DDh	ICU	割り込み要求レジスタ 221	IR221	8	8	2ICLK	14章

表5.1 I/Oレジスタアドレス一覧(3 / 12)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセス サイクル数	参照章
0008 70DEh	ICU	割り込み要求レジスタ 222	IR222	8	8	2ICLK	14章
0008 70DFh	ICU	割り込み要求レジスタ 223	IR223	8	8	2ICLK	14章
0008 70E0h	ICU	割り込み要求レジスタ 224	IR224	8	8	2ICLK	14章
0008 70E1h	ICU	割り込み要求レジスタ 225	IR225	8	8	2ICLK	14章
0008 70EEh	ICU	割り込み要求レジスタ 238	IR238	8	8	2ICLK	14章
0008 70EFh	ICU	割り込み要求レジスタ 239	IR239	8	8	2ICLK	14章
0008 70F0h	ICU	割り込み要求レジスタ 240	IR240	8	8	2ICLK	14章
0008 70F1h	ICU	割り込み要求レジスタ 241	IR241	8	8	2ICLK	14章
0008 70F2h	ICU	割り込み要求レジスタ 242	IR242	8	8	2ICLK	14章
0008 70F3h	ICU	割り込み要求レジスタ 243	IR243	8	8	2ICLK	14章
0008 70F4h	ICU	割り込み要求レジスタ 244	IR244	8	8	2ICLK	14章
0008 70F5h	ICU	割り込み要求レジスタ 245	IR245	8	8	2ICLK	14章
0008 70F6h	ICU	割り込み要求レジスタ 246	IR246	8	8	2ICLK	14章
0008 70F7h	ICU	割り込み要求レジスタ 247	IR247	8	8	2ICLK	14章
0008 70F8h	ICU	割り込み要求レジスタ 248	IR248	8	8	2ICLK	14章
0008 70F9h	ICU	割り込み要求レジスタ 249	IR249	8	8	2ICLK	14章
0008 711Bh	ICU	DTC 起動許可レジスタ 027	DTCER027	8	8	2ICLK	14章
0008 711Ch	ICU	DTC 起動許可レジスタ 028	DTCER028	8	8	2ICLK	14章
0008 711Dh	ICU	DTC 起動許可レジスタ 029	DTCER029	8	8	2ICLK	14章
0008 712Dh	ICU	DTC 起動許可レジスタ 045	DTCER045	8	8	2ICLK	14章
0008 712Eh	ICU	DTC 起動許可レジスタ 046	DTCER046	8	8	2ICLK	14章
0008 7140h	ICU	DTC 起動許可レジスタ 064	DTCER064	8	8	2ICLK	14章
0008 7141h	ICU	DTC 起動許可レジスタ 065	DTCER065	8	8	2ICLK	14章
0008 7142h	ICU	DTC 起動許可レジスタ 066	DTCER066	8	8	2ICLK	14章
0008 7143h	ICU	DTC 起動許可レジスタ 067	DTCER067	8	8	2ICLK	14章
0008 7144h	ICU	DTC 起動許可レジスタ 068	DTCER068	8	8	2ICLK	14章
0008 7145h	ICU	DTC 起動許可レジスタ 069	DTCER069	8	8	2ICLK	14章
0008 7146h	ICU	DTC 起動許可レジスタ 070	DTCER070	8	8	2ICLK	14章
0008 7147h	ICU	DTC 起動許可レジスタ 071	DTCER071	8	8	2ICLK	14章
0008 7166h	ICU	DTC 起動許可レジスタ 102	DTCER102	8	8	2ICLK	14章
0008 7167h	ICU	DTC 起動許可レジスタ 103	DTCER103	8	8	2ICLK	14章
0008 7172h	ICU	DTC 起動許可レジスタ 114	DTCER114	8	8	2ICLK	14章
0008 7173h	ICU	DTC 起動許可レジスタ 115	DTCER115	8	8	2ICLK	14章
0008 7174h	ICU	DTC 起動許可レジスタ 116	DTCER116	8	8	2ICLK	14章
0008 7175h	ICU	DTC 起動許可レジスタ 117	DTCER117	8	8	2ICLK	14章
0008 7179h	ICU	DTC 起動許可レジスタ 121	DTCER121	8	8	2ICLK	14章
0008 717Ah	ICU	DTC 起動許可レジスタ 122	DTCER122	8	8	2ICLK	14章
0008 717Dh	ICU	DTC 起動許可レジスタ 125	DTCER125	8	8	2ICLK	14章
0008 717Eh	ICU	DTC 起動許可レジスタ 126	DTCER126	8	8	2ICLK	14章
0008 718Bh	ICU	DTC 起動許可レジスタ 139	DTCER139	8	8	2ICLK	14章
0008 718Ch	ICU	DTC 起動許可レジスタ 140	DTCER140	8	8	2ICLK	14章
0008 718Dh	ICU	DTC 起動許可レジスタ 141	DTCER141	8	8	2ICLK	14章
0008 71DBh	ICU	DTC 起動許可レジスタ 219	DTCER219	8	8	2ICLK	14章
0008 71DCh	ICU	DTC 起動許可レジスタ 220	DTCER220	8	8	2ICLK	14章
0008 71DFh	ICU	DTC 起動許可レジスタ 223	DTCER223	8	8	2ICLK	14章
0008 71E0h	ICU	DTC 起動許可レジスタ 224	DTCER224	8	8	2ICLK	14章
0008 71EFh	ICU	DTC 起動許可レジスタ 239	DTCER239	8	8	2ICLK	14章
0008 71F0h	ICU	DTC 起動許可レジスタ 240	DTCER240	8	8	2ICLK	14章
0008 71F7h	ICU	DTC 起動許可レジスタ 247	DTCER247	8	8	2ICLK	14章
0008 71F8h	ICU	DTC 起動許可レジスタ 248	DTCER248	8	8	2ICLK	14章
0008 7202h	ICU	割り込み要求許可レジスタ 02	IER02	8	8	2ICLK	14章
0008 7203h	ICU	割り込み要求許可レジスタ 03	IER03	8	8	2ICLK	14章
0008 7204h	ICU	割り込み要求許可レジスタ 04	IER04	8	8	2ICLK	14章
0008 7205h	ICU	割り込み要求許可レジスタ 05	IER05	8	8	2ICLK	14章

表5.1 I/Oレジスタアドレス一覧(4 / 12)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビ ット 数	アクセス サイズ	アクセス サイクル数	参照章
0008 7207h	ICU	割り込み要求許可レジスタ 07	IER07	8	8	2ICLK	14章
0008 7208h	ICU	割り込み要求許可レジスタ 08	IER08	8	8	2ICLK	14章
0008 720Bh	ICU	割り込み要求許可レジスタ 0B	IER0B	8	8	2ICLK	14章
0008 720Ch	ICU	割り込み要求許可レジスタ 0C	IER0C	8	8	2ICLK	14章
0008 720Eh	ICU	割り込み要求許可レジスタ 0E	IER0E	8	8	2ICLK	14章
0008 720Fh	ICU	割り込み要求許可レジスタ 0F	IER0F	8	8	2ICLK	14章
0008 7210h	ICU	割り込み要求許可レジスタ 10	IER10	8	8	2ICLK	14章
0008 7211h	ICU	割り込み要求許可レジスタ 11	IER11	8	8	2ICLK	14章
0008 721Bh	ICU	割り込み要求許可レジスタ 1B	IER1B	8	8	2ICLK	14章
0008 721Ch	ICU	割り込み要求許可レジスタ 1C	IER1C	8	8	2ICLK	14章
0008 721Dh	ICU	割り込み要求許可レジスタ 1D	IER1D	8	8	2ICLK	14章
0008 721Eh	ICU	割り込み要求許可レジスタ 1E	IER1E	8	8	2ICLK	14章
0008 721Fh	ICU	割り込み要求許可レジスタ 1F	IER1F	8	8	2ICLK	14章
0008 72E0h	ICU	ソフトウェア割り込み起動レジスタ	SWINTR	8	8	2ICLK	14章
0008 72F0h	ICU	高速割り込み設定レジスタ	FIR	16	16	2ICLK	14章
0008 7300h	ICU	割り込み要因プライオリティレジスタ 000	IPR000	8	8	2ICLK	14章
0008 7303h	ICU	割り込み要因プライオリティレジスタ 003	IPR003	8	8	2ICLK	14章
0008 7304h	ICU	割り込み要因プライオリティレジスタ 004	IPR004	8	8	2ICLK	14章
0008 7305h	ICU	割り込み要因プライオリティレジスタ 005	IPR005	8	8	2ICLK	14章
0008 7320h	ICU	割り込み要因プライオリティレジスタ 032	IPR032	8	8	2ICLK	14章
0008 7321h	ICU	割り込み要因プライオリティレジスタ 033	IPR033	8	8	2ICLK	14章
0008 7322h	ICU	割り込み要因プライオリティレジスタ 034	IPR034	8	8	2ICLK	14章
0008 732Ch	ICU	割り込み要因プライオリティレジスタ 044	IPR044	8	8	2ICLK	14章
0008 7339h	ICU	割り込み要因プライオリティレジスタ 057	IPR057	8	8	2ICLK	14章
0008 733Fh	ICU	割り込み要因プライオリティレジスタ 063	IPR063	8	8	2ICLK	14章
0008 7340h	ICU	割り込み要因プライオリティレジスタ 064	IPR064	8	8	2ICLK	14章
0008 7341h	ICU	割り込み要因プライオリティレジスタ 065	IPR065	8	8	2ICLK	14章
0008 7342h	ICU	割り込み要因プライオリティレジスタ 066	IPR066	8	8	2ICLK	14章
0008 7343h	ICU	割り込み要因プライオリティレジスタ 067	IPR067	8	8	2ICLK	14章
0008 7344h	ICU	割り込み要因プライオリティレジスタ 068	IPR068	8	8	2ICLK	14章
0008 7345h	ICU	割り込み要因プライオリティレジスタ 069	IPR069	8	8	2ICLK	14章
0008 7346h	ICU	割り込み要因プライオリティレジスタ 070	IPR070	8	8	2ICLK	14章
0008 7347h	ICU	割り込み要因プライオリティレジスタ 071	IPR071	8	8	2ICLK	14章
0008 7358h	ICU	割り込み要因プライオリティレジスタ 088	IPR088	8	8	2ICLK	14章
0008 7359h	ICU	割り込み要因プライオリティレジスタ 089	IPR089	8	8	2ICLK	14章
0008 735Ch	ICU	割り込み要因プライオリティレジスタ 092	IPR092	8	8	2ICLK	14章
0008 735Dh	ICU	割り込み要因プライオリティレジスタ 093	IPR093	8	8	2ICLK	14章
0008 7366h	ICU	割り込み要因プライオリティレジスタ 102	IPR102	8	8	2ICLK	14章
0008 7367h	ICU	割り込み要因プライオリティレジスタ 103	IPR103	8	8	2ICLK	14章
0008 7372h	ICU	割り込み要因プライオリティレジスタ 114	IPR114	8	8	2ICLK	14章
0008 7376h	ICU	割り込み要因プライオリティレジスタ 118	IPR118	8	8	2ICLK	14章
0008 7379h	ICU	割り込み要因プライオリティレジスタ 121	IPR121	8	8	2ICLK	14章
0008 737Bh	ICU	割り込み要因プライオリティレジスタ 123	IPR123	8	8	2ICLK	14章
0008 737Dh	ICU	割り込み要因プライオリティレジスタ 125	IPR125	8	8	2ICLK	14章
0008 737Fh	ICU	割り込み要因プライオリティレジスタ 127	IPR127	8	8	2ICLK	14章
0008 738Bh	ICU	割り込み要因プライオリティレジスタ 139	IPR139	8	8	2ICLK	14章
0008 73DAh	ICU	割り込み要因プライオリティレジスタ 218	IPR218	8	8	2ICLK	14章
0008 73DEh	ICU	割り込み要因プライオリティレジスタ 222	IPR222	8	8	2ICLK	14章
0008 73EEh	ICU	割り込み要因プライオリティレジスタ 238	IPR238	8	8	2ICLK	14章
0008 73F2h	ICU	割り込み要因プライオリティレジスタ 242	IPR242	8	8	2ICLK	14章
0008 73F3h	ICU	割り込み要因プライオリティレジスタ 243	IPR243	8	8	2ICLK	14章
0008 73F4h	ICU	割り込み要因プライオリティレジスタ 244	IPR244	8	8	2ICLK	14章
0008 73F5h	ICU	割り込み要因プライオリティレジスタ 245	IPR245	8	8	2ICLK	14章
0008 73F6h	ICU	割り込み要因プライオリティレジスタ 246	IPR246	8	8	2ICLK	14章

表5.1 I/Oレジスタアドレス一覧(5 / 12)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセス サイクル数	参照章
0008 73F7h	ICU	割り込み要因プライオリティレジスタ 247	IPR247	8	8	2ICLK	14章
0008 73F8h	ICU	割り込み要因プライオリティレジスタ 248	IPR248	8	8	2ICLK	14章
0008 73F9h	ICU	割り込み要因プライオリティレジスタ 249	IPR249	8	8	2ICLK	14章
0008 7500h	ICU	IRQコントロールレジスタ 0	IRQCR0	8	8	2ICLK	14章
0008 7501h	ICU	IRQコントロールレジスタ 1	IRQCR1	8	8	2ICLK	14章
0008 7502h	ICU	IRQコントロールレジスタ 2	IRQCR2	8	8	2ICLK	14章
0008 7503h	ICU	IRQコントロールレジスタ 3	IRQCR3	8	8	2ICLK	14章
0008 7504h	ICU	IRQコントロールレジスタ 4	IRQCR4	8	8	2ICLK	14章
0008 7505h	ICU	IRQコントロールレジスタ 5	IRQCR5	8	8	2ICLK	14章
0008 7506h	ICU	IRQコントロールレジスタ 6	IRQCR6	8	8	2ICLK	14章
0008 7507h	ICU	IRQコントロールレジスタ 7	IRQCR7	8	8	2ICLK	14章
0008 7510h	ICU	IRQ端子デジタルフィルタ許可レジスタ 0	IRQFLTE0	8	8	2ICLK	14章
0008 7514h	ICU	IRQ端子デジタルフィルタ設定レジスタ 0	IRQFLTC0	16	16	2ICLK	14章
0008 7580h	ICU	ノンマスクابل割り込みステータスレジスタ	NMISR	8	8	2ICLK	14章
0008 7581h	ICU	ノンマスクابل割り込み許可レジスタ	NMIER	8	8	2ICLK	14章
0008 7582h	ICU	ノンマスクابل割り込みステータスクリアレジスタ	NMICLR	8	8	2ICLK	14章
0008 7583h	ICU	NMI 端子割り込みコントロールレジスタ	NMICR	8	8	2ICLK	14章
0008 7590h	ICU	NMI端子デジタルフィルタ許可レジスタ	NMIFLTE	8	8	2ICLK	14章
0008 7594h	ICU	NMI端子デジタルフィルタ設定レジスタ	NMIFLTC	8	8	2ICLK	14章
0008 8000h	CMT	コンペアマッチタイマスタートレジスタ 0	CMSTR0	16	16	2~3PCLKB	20章
0008 8002h	CMT0	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2~3PCLKB	20章
0008 8004h	CMT0	コンペアマッチタイムカウンタ	CMCNT	16	16	2~3PCLKB	20章
0008 8006h	CMT0	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2~3PCLKB	20章
0008 8008h	CMT1	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2~3PCLKB	20章
0008 800Ah	CMT1	コンペアマッチタイムカウンタ	CMCNT	16	16	2~3PCLKB	20章
0008 800Ch	CMT1	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2~3PCLKB	20章
0008 8030h	IWDT	IWDTリフレッシュレジスタ	IWDTRR	8	8	2~3PCLKB	22章
0008 8032h	IWDT	IWDTコントロールレジスタ	IWDTCR	16	16	2~3PCLKB	22章
0008 8034h	IWDT	IWDTステータスレジスタ	IWDTSR	16	16	2~3PCLKB	22章
0008 8036h	IWDT	IWDTリセットコントロールレジスタ	IWDTRCR	8	8	2~3PCLKB	22章
0008 8038h	IWDT	IWDT カウント停止コントロールレジスタ	IWDTCSTPR	8	8	2~3PCLKB	22章
0008 8280h	CRC	CRCコントロールレジスタ	CRCCR	8	8	2~3PCLKB	26章
0008 8281h	CRC	CRCデータ入力レジスタ	CRCDIR	8	8	2~3PCLKB	26章
0008 8282h	CRC	CRCデータ出力レジスタ	CRCDOR	16	16	2~3PCLKB	26章
0008 8300h	RIIC0	I ² Cバスコントロールレジスタ 1	ICCR1	8	8	2~3PCLKB	24章
0008 8301h	RIIC0	I ² Cバスコントロールレジスタ 2	ICCR2	8	8	2~3PCLKB	24章
0008 8302h	RIIC0	I ² Cバスモードレジスタ 1	ICMR1	8	8	2~3PCLKB	24章
0008 8303h	RIIC0	I ² Cバスモードレジスタ 2	ICMR2	8	8	2~3PCLKB	24章
0008 8304h	RIIC0	I ² Cバスモードレジスタ 3	ICMR3	8	8	2~3PCLKB	24章
0008 8305h	RIIC0	I ² Cバスファンクション許可レジスタ	ICFER	8	8	2~3PCLKB	24章
0008 8306h	RIIC0	I ² Cバスステータス許可レジスタ	ICSER	8	8	2~3PCLKB	24章
0008 8307h	RIIC0	I ² Cバス割り込み許可レジスタ	ICIER	8	8	2~3PCLKB	24章
0008 8308h	RIIC0	I ² Cバスステータスレジスタ 1	ICSR1	8	8	2~3PCLKB	24章
0008 8309h	RIIC0	I ² Cバスステータスレジスタ 2	ICSR2	8	8	2~3PCLKB	24章
0008 830Ah	RIIC0	スレーブアドレスレジスタ L0	SARL0	8	8	2~3PCLKB	24章
0008 830Ah	RIIC0	タイムアウト内部カウンタ L	TMOCNTL	8	8	2~3PCLKB	24章
0008 830Bh	RIIC0	スレーブアドレスレジスタ U0	SARU0	8	8	2~3PCLKB	24章
0008 830Bh	RIIC0	タイムアウト内部カウンタ U	TMOCNTU	8	8 (注1)	2~3PCLKB	24章
0008 830Ch	RIIC0	スレーブアドレスレジスタ L1	SARL1	8	8	2~3PCLKB	24章
0008 830Dh	RIIC0	スレーブアドレスレジスタ U1	SARU1	8	8	2~3PCLKB	24章
0008 830Eh	RIIC0	スレーブアドレスレジスタ L2	SARL2	8	8	2~3PCLKB	24章
0008 830Fh	RIIC0	スレーブアドレスレジスタ U2	SARU2	8	8	2~3PCLKB	24章
0008 8310h	RIIC0	I ² CバスビットレートLowレジスタ	ICBRL	8	8	2~3PCLKB	24章
0008 8311h	RIIC0	I ² CバスビットレートHighレジスタ	ICBRH	8	8	2~3PCLKB	24章

表5.1 I/Oレジスタアドレス一覧(6 / 12)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビ ット 数	アクセ ス サイズ	アクセ ス サイ クル 数	参照章
0008 8312h	RIIC0	I ² Cバス送信データレジスタ	ICDRT	8	8	2~3PCLKB	24章
0008 8313h	RIIC0	I ² Cバス受信データレジスタ	ICDRR	8	8	2~3PCLKB	24章
0008 8380h	RSPI0	RSPI制御レジスタ	SPCR	8	8	2~3PCLKB	25章
0008 8381h	RSPI0	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	2~3PCLKB	25章
0008 8382h	RSPI0	RSPI端子制御レジスタ	SPPCR	8	8	2~3PCLKB	25章
0008 8383h	RSPI0	RSPIステータスレジスタ	SPSR	8	8	2~3PCLKB	25章
0008 8384h	RSPI0	RSPIデータレジスタ	SPDR	32	16、32	2~3PCLKB 2ICLK	25章
0008 8388h	RSPI0	RSPIシーケンス制御レジスタ	SPSCR	8	8	2~3PCLKB	25章
0008 8389h	RSPI0	RSPIシーケンスステータスレジスタ	SPSSR	8	8	2~3PCLKB	25章
0008 838Ah	RSPI0	RSPIビットレートレジスタ	SPBR	8	8	2~3PCLKB	25章
0008 838Bh	RSPI0	RSPIデータコントロールレジスタ	SPDCR	8	8	2~3PCLKB	25章
0008 838Ch	RSPI0	RSPIクロック遅延レジスタ	SPCKD	8	8	2~3PCLKB	25章
0008 838Dh	RSPI0	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2~3PCLKB	25章
0008 838Eh	RSPI0	RSPI次アクセス遅延レジスタ	SPND	8	8	2~3PCLKB	25章
0008 838Fh	RSPI0	RSPI制御レジスタ2	SPCR2	8	8	2~3PCLKB	25章
0008 8390h	RSPI0	RSPIコマンドレジスタ0	SPCMD0	16	16	2~3PCLKB	25章
0008 8392h	RSPI0	RSPIコマンドレジスタ1	SPCMD1	16	16	2~3PCLKB	25章
0008 8394h	RSPI0	RSPIコマンドレジスタ2	SPCMD2	16	16	2~3PCLKB	25章
0008 8396h	RSPI0	RSPIコマンドレジスタ3	SPCMD3	16	16	2~3PCLKB	25章
0008 8398h	RSPI0	RSPIコマンドレジスタ4	SPCMD4	16	16	2~3PCLKB	25章
0008 839Ah	RSPI0	RSPIコマンドレジスタ5	SPCMD5	16	16	2~3PCLKB	25章
0008 839Ch	RSPI0	RSPIコマンドレジスタ6	SPCMD6	16	16	2~3PCLKB	25章
0008 839Eh	RSPI0	RSPIコマンドレジスタ7	SPCMD7	16	16	2~3PCLKB	25章
0008 8680h	MTU	タイマスタートレジスタ	TSTR	8	8、16	2~3PCLKB	19章
0008 8681h	MTU	タイマシンクロレジスタ	TSYR	8	8、16	2~3PCLKB	19章
0008 8690h	MTU0	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2~3PCLKB	19章
0008 8691h	MTU1	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2~3PCLKB	19章
0008 8692h	MTU2	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2~3PCLKB	19章
0008 8695h	MTU5	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2~3PCLKB	19章
0008 8700h	MTU0	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	19章
0008 8701h	MTU0	タイマモードレジスタ	TMDR	8	8	2~3PCLKB	19章
0008 8702h	MTU0	タイマI/OコントロールレジスタH	TIORH	8	8	2~3PCLKB	19章
0008 8703h	MTU0	タイマI/OコントロールレジスタL	TIORL	8	8	2~3PCLKB	19章
0008 8704h	MTU0	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	19章
0008 8705h	MTU0	タイマステータスレジスタ	TSR	8	8	2~3PCLKB	19章
0008 8706h	MTU0	タイマカウンタ	TCNT	16	16	2~3PCLKB	19章
0008 8708h	MTU0	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB	19章
0008 870Ah	MTU0	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB	19章
0008 870Ch	MTU0	タイマジェネラルレジスタC	TGRC	16	16	2~3PCLKB	19章
0008 870Eh	MTU0	タイマジェネラルレジスタD	TGRD	16	16	2~3PCLKB	19章
0008 8720h	MTU0	タイマジェネラルレジスタE	TGRE	16	16	2~3PCLKB	19章
0008 8722h	MTU0	タイマジェネラルレジスタF	TGRF	16	16	2~3PCLKB	19章
0008 8724h	MTU0	タイマ割り込み許可レジスタ2	TIER2	8	8	2~3PCLKB	19章
0008 8726h	MTU0	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2~3PCLKB	19章
0008 8780h	MTU1	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	19章
0008 8781h	MTU1	タイマモードレジスタ	TMDR	8	8	2~3PCLKB	19章
0008 8782h	MTU1	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLKB	19章
0008 8784h	MTU1	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	19章
0008 8785h	MTU1	タイマステータスレジスタ	TSR	8	8	2~3PCLKB	19章
0008 8786h	MTU1	タイマカウンタ	TCNT	16	16	2~3PCLKB	19章
0008 8788h	MTU1	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB	19章
0008 878Ah	MTU1	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB	19章
0008 8790h	MTU1	タイマインプットキャプチャコントロールレジスタ	TICCR	8	8	2~3PCLKB	19章
0008 8800h	MTU2	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	19章

表5.1 I/Oレジスタアドレス一覧(7 / 12)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセス サイクル数	参照章
0008 8801h	MTU2	タイマモードレジスタ	TMDR	8	8	2~3PCLKB	19章
0008 8802h	MTU2	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLKB	19章
0008 8804h	MTU2	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	19章
0008 8805h	MTU2	タイマステータスレジスタ	TSR	8	8	2~3PCLKB	19章
0008 8806h	MTU2	タイマカウンタ	TCNT	16	16	2~3PCLKB	19章
0008 8808h	MTU2	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLKB	19章
0008 880Ah	MTU2	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLKB	19章
0008 8880h	MTU5	タイマカウンタU	TCNTU	16	16	2~3PCLKB	19章
0008 8882h	MTU5	タイマジェネラルレジスタU	TGRU	16	16	2~3PCLKB	19章
0008 8884h	MTU5	タイマコントロールレジスタU	TCRU	8	8	2~3PCLKB	19章
0008 8886h	MTU5	タイマI/OコントロールレジスタU	TIORU	8	8	2~3PCLKB	19章
0008 8890h	MTU5	タイマカウンタV	TCNTV	16	16	2~3PCLKB	19章
0008 8892h	MTU5	タイマジェネラルレジスタV	TGRV	16	16	2~3PCLKB	19章
0008 8894h	MTU5	タイマコントロールレジスタV	TCRV	8	8	2~3PCLKB	19章
0008 8896h	MTU5	タイマI/OコントロールレジスタV	TIORV	8	8	2~3PCLKB	19章
0008 88A0h	MTU5	タイマカウンタW	TCNTW	16	16	2~3PCLKB	19章
0008 88A2h	MTU5	タイマジェネラルレジスタW	TGRW	16	16	2~3PCLKB	19章
0008 88A4h	MTU5	タイマコントロールレジスタW	TCRW	8	8	2~3PCLKB	19章
0008 88A6h	MTU5	タイマI/OコントロールレジスタW	TIORW	8	8	2~3PCLKB	19章
0008 88B2h	MTU5	タイマ割り込み許可レジスタ	TIER	8	8	2~3PCLKB	19章
0008 88B4h	MTU5	タイマスタートレジスタ	TSTR	8	8	2~3PCLKB	19章
0008 88B6h	MTU5	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	8	8	2~3PCLKB	19章
0008 9000h	S12AD	A/Dコントロールレジスタ	ADCSR	16	16	2~3PCLKB	27章
0008 9004h	S12AD	A/Dチャネル選択レジスタA	ADANSA	16	16	2~3PCLKB	27章
0008 9008h	S12AD	A/D変換値加算モード選択レジスタ	ADADS	16	16	2~3PCLKB	27章
0008 900Ch	S12AD	A/D変換値加算回数選択レジスタ	ADADC	8	8	2~3PCLKB	27章
0008 900Eh	S12AD	A/Dコントロール拡張レジスタ	ADCER	16	16	2~3PCLKB	27章
0008 9010h	S12AD	A/D開始トリガ選択レジスタ	ADSTRGR	16	16	2~3PCLKB	27章
0008 9012h	S12AD	A/D変換拡張入力コントロールレジスタ	ADEXICR	16	16	2~3PCLKB	27章
0008 9014h	S12AD	A/Dチャネル選択レジスタB	ADANSB	16	16	2~3PCLKB	27章
0008 9018h	S12AD	A/Dデータ二重化レジスタ	ADBLDR	16	16	2~3PCLKB	27章
0008 901Ah	S12AD	A/D温度センサデータレジスタ	ADTSRDR	16	16	2~3PCLKB	27章
0008 901Ch	S12AD	A/D内部基準電圧データレジスタ	ADOCDR	16	16	2~3PCLKB	27章
0008 9020h	S12AD	A/Dデータレジスタ0	ADDR0	16	16	2~3PCLKB	27章
0008 9022h	S12AD	A/Dデータレジスタ1	ADDR1	16	16	2~3PCLKB	27章
0008 9024h	S12AD	A/Dデータレジスタ2	ADDR2	16	16	2~3PCLKB	27章
0008 9026h	S12AD	A/Dデータレジスタ3	ADDR3	16	16	2~3PCLKB	27章
0008 9028h	S12AD	A/Dデータレジスタ4	ADDR4	16	16	2~3PCLKB	27章
0008 902Ch	S12AD	A/Dデータレジスタ6	ADDR6	16	16	2~3PCLKB	27章
0008 9030h	S12AD	A/Dデータレジスタ8	ADDR8	16	16	2~3PCLKB	27章
0008 9032h	S12AD	A/Dデータレジスタ9	ADDR9	16	16	2~3PCLKB	27章
0008 9034h	S12AD	A/Dデータレジスタ10	ADDR10	16	16	2~3PCLKB	27章
0008 9036h	S12AD	A/Dデータレジスタ11	ADDR11	16	16	2~3PCLKB	27章
0008 9038h	S12AD	A/Dデータレジスタ12	ADDR12	16	16	2~3PCLKB	27章
0008 903Ah	S12AD	A/Dデータレジスタ13	ADDR13	16	16	2~3PCLKB	27章
0008 903Ch	S12AD	A/Dデータレジスタ14	ADDR14	16	16	2~3PCLKB	27章
0008 903Eh	S12AD	A/Dデータレジスタ15	ADDR15	16	16	2~3PCLKB	27章
0008 9060h	S12AD	A/Dサンプリングステートレジスタ0	ADSSSTR0	8	8	2~3PCLKB	27章
0008 9061h	S12AD	A/DサンプリングステートレジスタL	ADSSSTRL	8	8	2~3PCLKB	27章
0008 9070h	S12AD	A/DサンプリングステートレジスタT	ADSSSTRT	8	8	2~3PCLKB	27章
0008 9071h	S12AD	A/DサンプリングステートレジスタO	ADSSSTRO	8	8	2~3PCLKB	27章
0008 9073h	S12AD	A/Dサンプリングステートレジスタ1	ADSSSTR1	8	8	2~3PCLKB	27章
0008 9074h	S12AD	A/Dサンプリングステートレジスタ2	ADSSSTR2	8	8	2~3PCLKB	27章
0008 9075h	S12AD	A/Dサンプリングステートレジスタ3	ADSSSTR3	8	8	2~3PCLKB	27章

表5.1 I/Oレジスタアドレス一覧(8 / 12)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセス サイクル数	参照章
0008 9076h	S12AD	A/D サンプリングステートレジスタ4	ADSSSTR4	8	8	2~3PCLKB	27章
0008 9078h	S12AD	A/D サンプリングステートレジスタ6	ADSSSTR6	8	8	2~3PCLKB	27章
0008 A020h	SCI1	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	23章
0008 A021h	SCI1	ビットレートレジスタ	BRR	8	8	2~3PCLKB	23章
0008 A022h	SCI1	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	23章
0008 A023h	SCI1	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	23章
0008 A024h	SCI1	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	23章
0008 A025h	SCI1	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	23章
0008 A026h	SCI1	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	23章
0008 A027h	SCI1	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	23章
0008 A028h	SCI1	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	23章
0008 A029h	SCI1	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	23章
0008 A02Ah	SCI1	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	23章
0008 A02Bh	SCI1	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	23章
0008 A02Ch	SCI1	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	23章
0008 A02Dh	SCI1	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	23章
0008 A0A0h	SCI5	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	23章
0008 A0A1h	SCI5	ビットレートレジスタ	BRR	8	8	2~3PCLKB	23章
0008 A0A2h	SCI5	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	23章
0008 A0A3h	SCI5	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	23章
0008 A0A4h	SCI5	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	23章
0008 A0A5h	SCI5	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	23章
0008 A0A6h	SCI5	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	23章
0008 A0A7h	SCI5	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	23章
0008 A0A8h	SCI5	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	23章
0008 A0A9h	SCI5	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	23章
0008 A0AAh	SCI5	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	23章
0008 A0ABh	SCI5	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	23章
0008 A0ACh	SCI5	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	23章
0008 A0ADh	SCI5	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	23章
0008 B000h	CAC	CACコントロールレジスタ0	CACR0	8	8	2~3PCLKB	10章
0008 B001h	CAC	CACコントロールレジスタ1	CACR1	8	8	2~3PCLKB	10章
0008 B002h	CAC	CACコントロールレジスタ2	CACR2	8	8	2~3PCLKB	10章
0008 B003h	CAC	CAC割り込み要求許可レジスタ	CAICR	8	8	2~3PCLKB	10章
0008 B004h	CAC	CACステータスレジスタ	CASTR	8	8	2~3PCLKB	10章
0008 B006h	CAC	CAC上限値設定レジスタ	CAULVR	16	16	2~3PCLKB	10章
0008 B008h	CAC	CAC下限値設定レジスタ	CALLVR	16	16	2~3PCLKB	10章
0008 B00Ah	CAC	CACカウンタバッファレジスタ	CACNTBR	16	16	2~3PCLKB	10章
0008 B080h	DOC	DOCコントロールレジスタ	DOCR	8	8	2~3PCLKB	29章
0008 B082h	DOC	DOCデータインプットレジスタ	DODIR	16	16	2~3PCLKB	29章
0008 B084h	DOC	DOCデータセッティングレジスタ	DODSR	16	16	2~3PCLKB	29章
0008 B300h	SCI12	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	23章
0008 B301h	SCI12	ビットレートレジスタ	BRR	8	8	2~3PCLKB	23章
0008 B302h	SCI12	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	23章
0008 B303h	SCI12	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	23章
0008 B304h	SCI12	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	23章
0008 B305h	SCI12	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	23章
0008 B306h	SCI12	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	23章
0008 B307h	SCI12	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	23章
0008 B308h	SCI12	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	23章
0008 B309h	SCI12	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	23章
0008 B30Ah	SCI12	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	23章
0008 B30Bh	SCI12	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	23章
0008 B30Ch	SCI12	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	23章

表5.1 I/Oレジスタアドレス一覧(9 / 12)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビ ット 数	アクセ ス サイズ	アクセ ス サイクル数	参照章
0008 B30Dh	SCI12	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	23章
0008 B320h	SCI12	拡張シリアルモード有効レジスタ	ESMER	8	8	2~3PCLKB	23章
0008 B321h	SCI12	コントロールレジスタ0	CR0	8	8	2~3PCLKB	23章
0008 B322h	SCI12	コントロールレジスタ1	CR1	8	8	2~3PCLKB	23章
0008 B323h	SCI12	コントロールレジスタ2	CR2	8	8	2~3PCLKB	23章
0008 B324h	SCI12	コントロールレジスタ3	CR3	8	8	2~3PCLKB	23章
0008 B325h	SCI12	ポートコントロールレジスタ	PCR	8	8	2~3PCLKB	23章
0008 B326h	SCI12	割り込みコントロールレジスタ	ICR	8	8	2~3PCLKB	23章
0008 B327h	SCI12	ステータスレジスタ	STR	8	8	2~3PCLKB	23章
0008 B328h	SCI12	ステータスクリアレジスタ	STCR	8	8	2~3PCLKB	23章
0008 B329h	SCI12	Control Field 0データレジスタ	CF0DR	8	8	2~3PCLKB	23章
0008 B32Ah	SCI12	Control Field 0コンパイネーブルレジスタ	CF0CR	8	8	2~3PCLKB	23章
0008 B32Bh	SCI12	Control Field 0受信データレジスタ	CF0RR	8	8	2~3PCLKB	23章
0008 B32Ch	SCI12	プライマリControl Field 1データレジスタ	PCF1DR	8	8	2~3PCLKB	23章
0008 B32Dh	SCI12	セカンダリControl Field 1データレジスタ	SCF1DR	8	8	2~3PCLKB	23章
0008 B32Eh	SCI12	Control Field 1コンパイネーブルレジスタ	CF1CR	8	8	2~3PCLKB	23章
0008 B32Fh	SCI12	Control Field 1受信データレジスタ	CF1RR	8	8	2~3PCLKB	23章
0008 B330h	SCI12	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	23章
0008 B331h	SCI12	タイマモードレジスタ	TMR	8	8	2~3PCLKB	23章
0008 B332h	SCI12	タイマプリスケアラレジスタ	TPRE	8	8	2~3PCLKB	23章
0008 B333h	SCI12	タイマカウントレジスタ	TCNT	8	8	2~3PCLKB	23章
0008 C000h	PORT0	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C001h	PORT1	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C002h	PORT2	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C003h	PORT3	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C004h	PORT4	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C005h	PORT5	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C00Ah	PORTA	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C00Bh	PORTB	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C00Ch	PORTC	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C00Eh	PORTE	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C011h	PORTH	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C012h	PORTJ	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C020h	PORT0	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C021h	PORT1	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C022h	PORT2	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C023h	PORT3	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C024h	PORT4	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C025h	PORT5	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C02Ah	PORTA	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C02Bh	PORTB	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C02Ch	PORTC	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C02Eh	PORTE	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C031h	PORTH	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C032h	PORTJ	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C040h	PORT0	ポート入カデータレジスタ	PIDR	8	8	リード時; 3~4PCLKB ライト時; 2~3PCLKB	18章
0008 C041h	PORT1	ポート入カデータレジスタ	PIDR	8	8	リード時; 3~4PCLKB ライト時; 2~3PCLKB	18章
0008 C042h	PORT2	ポート入カデータレジスタ	PIDR	8	8	リード時; 3~4PCLKB ライト時; 2~3PCLKB	18章
0008 C043h	PORT3	ポート入カデータレジスタ	PIDR	8	8	リード時; 3~4PCLKB ライト時; 2~3PCLKB	18章
0008 C044h	PORT4	ポート入カデータレジスタ	PIDR	8	8	リード時; 3~4PCLKB ライト時; 2~3PCLKB	18章
0008 C045h	PORT5	ポート入カデータレジスタ	PIDR	8	8	リード時; 3~4PCLKB ライト時; 2~3PCLKB	18章

表5.1 I/Oレジスタアドレス一覧(10/12)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数	参照章
0008 C04Ah	PORTA	ポート入力データレジスタ	PIDR	8	8	リード時:3~4PCLKB ライト時:2~3PCLKB	18章
0008 C04Bh	PORTB	ポート入力データレジスタ	PIDR	8	8	リード時:3~4PCLKB ライト時:2~3PCLKB	18章
0008 C04Ch	PORTC	ポート入力データレジスタ	PIDR	8	8	リード時:3~4PCLKB ライト時:2~3PCLKB	18章
0008 C04Eh	PORTE	ポート入力データレジスタ	PIDR	8	8	リード時:3~4PCLKB ライト時:2~3PCLKB	18章
0008 C051h	PORTH	ポート入力データレジスタ	PIDR	8	8	リード時:3~4PCLKB ライト時:2~3PCLKB	18章
0008 C052h	PORTJ	ポート入力データレジスタ	PIDR	8	8	リード時:3~4PCLKB ライト時:2~3PCLKB	18章
0008 C060h	PORT0	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C061h	PORT1	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C062h	PORT2	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C063h	PORT3	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C064h	PORT4	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C065h	PORT5	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C06Ah	PORTA	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C06Bh	PORTB	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C06Ch	PORTC	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C06Eh	PORTE	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C071h	PORTH	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C072h	PORTJ	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C083h	PORT1	オーブンドレイン制御レジスタ1	ODR1	8	8、16	2~3PCLKB	18章
0008 C085h	PORT2	オーブンドレイン制御レジスタ1	ODR1	8	8、16	2~3PCLKB	18章
0008 C086h	PORT3	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2~3PCLKB	18章
0008 C094h	PORTA	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2~3PCLKB	18章
0008 C095h	PORTA	オーブンドレイン制御レジスタ1	ODR1	8	8、16	2~3PCLKB	18章
0008 C096h	PORTB	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2~3PCLKB	18章
0008 C097h	PORTB	オーブンドレイン制御レジスタ1	ODR1	8	8、16	2~3PCLKB	18章
0008 C098h	PORTC	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2~3PCLKB	18章
0008 C099h	PORTC	オーブンドレイン制御レジスタ1	ODR1	8	8、16	2~3PCLKB	18章
0008 C09Ch	PORTE	オーブンドレイン制御レジスタ0	ODR0	8	8、16	2~3PCLKB	18章
0008 C09Dh	PORTE	オーブンドレイン制御レジスタ1	ODR1	8	8、16	2~3PCLKB	18章
0008 C0C0h	PORT0	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	18章
0008 C0C1h	PORT1	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	18章
0008 C0C2h	PORT2	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	18章
0008 C0C3h	PORT3	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	18章
0008 C0C5h	PORT5	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	18章
0008 C0CAh	PORTA	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	18章
0008 C0CBh	PORTB	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	18章
0008 C0CCh	PORTC	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	18章
0008 C0CEh	PORTE	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	18章
0008 C0D1h	PORTH	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	18章
0008 C11Fh	MPC	書き込みプロテクトレジスタ	PWPR	8	8	2~3PCLKB	19章
0008 C120h	PORT	ポート切り替えレジスタB	PSRB	8	8	2~3PCLKB	18章
0008 C121h	PORT	ポート切り替えレジスタA	PSRA	8	8	2~3PCLKB	18章
0008 C14Ch	MPC	P14端子機能制御レジスタ	P14PFS	8	8	2~3PCLKB	19章
0008 C14Dh	MPC	P15端子機能制御レジスタ	P15PFS	8	8	2~3PCLKB	19章
0008 C14Eh	MPC	P16端子機能制御レジスタ	P16PFS	8	8	2~3PCLKB	19章
0008 C14Fh	MPC	P17端子機能制御レジスタ	P17PFS	8	8	2~3PCLKB	19章
0008 C156h	MPC	P26端子機能制御レジスタ	P26PFS	8	8	2~3PCLKB	19章
0008 C157h	MPC	P27端子機能制御レジスタ	P27PFS	8	8	2~3PCLKB	19章
0008 C158h	MPC	P30端子機能制御レジスタ	P30PFS	8	8	2~3PCLKB	19章
0008 C159h	MPC	P31端子機能制御レジスタ	P31PFS	8	8	2~3PCLKB	19章
0008 C15Ah	MPC	P32端子機能制御レジスタ	P32PFS	8	8	2~3PCLKB	19章

表5.1 I/Oレジスタアドレス一覧(11/12)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数	参照章
0008 C160h	MPC	P40端子機能制御レジスタ	P40PFS	8	8	2~3PCLKB	19章
0008 C161h	MPC	P41端子機能制御レジスタ	P41PFS	8	8	2~3PCLKB	19章
0008 C162h	MPC	P42端子機能制御レジスタ	P42PFS	8	8	2~3PCLKB	19章
0008 C163h	MPC	P43端子機能制御レジスタ	P43PFS	8	8	2~3PCLKB	19章
0008 C164h	MPC	P44端子機能制御レジスタ	P44PFS	8	8	2~3PCLKB	19章
0008 C166h	MPC	P46端子機能制御レジスタ	P46PFS	8	8	2~3PCLKB	19章
0008 C190h	MPC	PA0端子機能制御レジスタ	PA0PFS	8	8	2~3PCLKB	19章
0008 C191h	MPC	PA1端子機能制御レジスタ	PA1PFS	8	8	2~3PCLKB	19章
0008 C193h	MPC	PA3端子機能制御レジスタ	PA3PFS	8	8	2~3PCLKB	19章
0008 C194h	MPC	PA4端子機能制御レジスタ	PA4PFS	8	8	2~3PCLKB	19章
0008 C196h	MPC	PA6端子機能制御レジスタ	PA6PFS	8	8	2~3PCLKB	19章
0008 C198h	MPC	PB0端子機能制御レジスタ	PB0PFS	8	8	2~3PCLKB	19章
0008 C199h	MPC	PB1端子機能制御レジスタ	PB1PFS	8	8	2~3PCLKB	19章
0008 C19Bh	MPC	PB3端子機能制御レジスタ	PB3PFS	8	8	2~3PCLKB	19章
0008 C19Dh	MPC	PB5端子機能制御レジスタ	PB5PFS	8	8	2~3PCLKB	19章
0008 C19Eh	MPC	PB6端子機能制御レジスタ	PB6PFS	8	8	2~3PCLKB	19章
0008 C19Fh	MPC	PB7端子機能制御レジスタ	PB7PFS	8	8	2~3PCLKB	19章
0008 C1A2h	MPC	PC2端子機能制御レジスタ	PC2PFS	8	8	2~3PCLKB	19章
0008 C1A3h	MPC	PC3端子機能制御レジスタ	PC3PFS	8	8	2~3PCLKB	19章
0008 C1A4h	MPC	PC4端子機能制御レジスタ	PC4PFS	8	8	2~3PCLKB	19章
0008 C1A5h	MPC	PC5端子機能制御レジスタ	PC5PFS	8	8	2~3PCLKB	19章
0008 C1A6h	MPC	PC6端子機能制御レジスタ	PC6PFS	8	8	2~3PCLKB	19章
0008 C1A7h	MPC	PC7端子機能制御レジスタ	PC7PFS	8	8	2~3PCLKB	19章
0008 C1B0h	MPC	PE0端子機能制御レジスタ	PE0PFS	8	8	2~3PCLKB	19章
0008 C1B1h	MPC	PE1端子機能制御レジスタ	PE1PFS	8	8	2~3PCLKB	19章
0008 C1B2h	MPC	PE2端子機能制御レジスタ	PE2PFS	8	8	2~3PCLKB	19章
0008 C1B3h	MPC	PE3端子機能制御レジスタ	PE3PFS	8	8	2~3PCLKB	19章
0008 C1B4h	MPC	PE4端子機能制御レジスタ	PE4PFS	8	8	2~3PCLKB	19章
0008 C1B5h	MPC	PE5端子機能制御レジスタ	PE5PFS	8	8	2~3PCLKB	19章
0008 C1B6h	MPC	PE6端子機能制御レジスタ	PE6PFS	8	8	2~3PCLKB	19章
0008 C1B7h	MPC	PE7端子機能制御レジスタ	PE7PFS	8	8	2~3PCLKB	19章
0008 C1C8h	MPC	PH0端子機能制御レジスタ	PH0PFS	8	8	2~3PCLKB	19章
0008 C1C9h	MPC	PH1端子機能制御レジスタ	PH1PFS	8	8	2~3PCLKB	19章
0008 C1CAh	MPC	PH2端子機能制御レジスタ	PH2PFS	8	8	2~3PCLKB	19章
0008 C1CBh	MPC	PH3端子機能制御レジスタ	PH3PFS	8	8	2~3PCLKB	19章
0008 C1D6h	MPC	PJ6端子機能制御レジスタ	PJ6PFS	8	8	2~3PCLKB	19章
0008 C1D7h	MPC	PJ7端子機能制御レジスタ	PJ7PFS	8	8	2~3PCLKB	19章
0008 C290h	SYSTEM	リセットステータスレジスタ0	RSTSR0	8	8	4~5PCLKB	6章
0008 C291h	SYSTEM	リセットステータスレジスタ1	RSTSR1	8	8	4~5PCLKB	6章
0008 C293h	SYSTEM	メインクロック発振器強制発振コントロールレジスタ	MOFCR	8	8	4~5PCLKB	9章
0008 C297h	SYSTEM	電圧監視回路制御レジスタ	LVCMPCR	8	8	4~5PCLKB	8章
0008 C298h	SYSTEM	電圧検出レベル選択レジスタ	LVDLVLRLR	8	8	4~5PCLKB	8章
0008 C29Ah	SYSTEM	電圧監視1回路制御レジスタ0	LVD1CR0	8	8	4~5PCLKB	8章
0008 C29Bh	SYSTEM	電圧監視2回路制御レジスタ0	LVD2CR0	8	8	4~5PCLKB	8章
0008 C400h	RTC	64Hzカウンタ	R64CNT	8	8	2~3PCLKB	21章
0008 C402h	RTC	秒カウンタ	RSECCNT	8	8	2~3PCLKB	21章
0008 C402h	RTC	バイナリカウンタ0	BCNT0	8	8	2~3PCLKB	21章
0008 C404h	RTC	分カウンタ	RMINCNT	8	8	2~3PCLKB	21章
0008 C404h	RTC	バイナリカウンタ1	BCNT1	8	8	2~3PCLKB	21章
0008 C406h	RTC	時カウンタ	RHRCNT	8	8	2~3PCLKB	21章
0008 C406h	RTC	バイナリカウンタ2	BCNT2	8	8	2~3PCLKB	21章
0008 C408h	RTC	曜日カウンタ	RWKCNT	8	8	2~3PCLKB	21章
0008 C408h	RTC	バイナリカウンタ3	BCNT3	8	8	2~3PCLKB	21章
0008 C40Ah	RTC	日カウンタ	RDAYCNT	8	8	2~3PCLKB	21章

表5.1 I/Oレジスタアドレス一覧(12/12)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビ ット 数	アクセ ス サイズ	アクセ ス サイ クル 数	参照章
0008 C40Ch	RTC	月カウンタ	RMONCNT	8	8	2~3PCLKB	21章
0008 C40Eh	RTC	年カウンタ	RYRCNT	16	16	2~3PCLKB	21章
0008 C410h	RTC	秒アラームレジスタ	RSECAR	8	8	2~3PCLKB	21章
0008 C410h	RTC	バイナリカウンタ0アラームレジスタ	BCNT0AR	8	8	2~3PCLKB	21章
0008 C412h	RTC	分アラームレジスタ	RMINAR	8	8	2~3PCLKB	21章
0008 C412h	RTC	バイナリカウンタ1アラームレジスタ	BCNT1AR	8	8	2~3PCLKB	21章
0008 C414h	RTC	時アラームレジスタ	RHRAR	8	8	2~3PCLKB	21章
0008 C414h	RTC	バイナリカウンタ2アラームレジスタ	BCNT2AR	8	8	2~3PCLKB	21章
0008 C416h	RTC	曜日アラームレジスタ	RWKAR	8	8	2~3PCLKB	21章
0008 C416h	RTC	バイナリカウンタ3アラームレジスタ	BCNT3AR	8	8	2~3PCLKB	21章
0008 C418h	RTC	日アラームレジスタ	RDAYAR	8	8	2~3PCLKB	21章
0008 C418h	RTC	バイナリカウンタ0アラームイネーブルレジスタ	BCNT0AER	8	8	2~3PCLKB	21章
0008 C41Ah	RTC	月アラームレジスタ	RMONAR	8	8	2~3PCLKB	21章
0008 C41Ah	RTC	バイナリカウンタ1アラームイネーブルレジスタ	BCNT1AER	8	8	2~3PCLKB	21章
0008 C41Ch	RTC	年アラームレジスタ	RYRAR	16	16	2~3PCLKB	21章
0008 C41Ch	RTC	バイナリカウンタ2アラームイネーブルレジスタ	BCNT2AER	16	16	2~3PCLKB	21章
0008 C41Eh	RTC	年アラームイネーブルレジスタ	RYRAREN	8	8	2~3PCLKB	21章
0008 C41Eh	RTC	バイナリカウンタ3アラームイネーブルレジスタ	BCNT3AER	8	8	2~3PCLKB	21章
0008 C422h	RTC	RTCコントロールレジスタ1	RCR1	8	8	2~3PCLKB	21章
0008 C424h	RTC	RTCコントロールレジスタ2	RCR2	8	8	2~3PCLKB	21章
0008 C426h	RTC	RTCコントロールレジスタ3	RCR3	8	8	2~3PCLKB	21章
0008 C42Eh	RTC	時間誤差補正レジスタ	RADJ	8	8	2~3PCLKB	21章
007F C0ACh	TEMPS	温度センサ校正データレジスタ	TSCDRL	8	8	1~2PCLKB	28章
007F C0ADh	TEMPS	温度センサ校正データレジスタ	TSCDRH	8	8	1~2PCLKB	28章
007F C0B0h	FLASH	フラッシュスタートアップ設定モニタレジスタ	FSCMR	16	16	2~3FCLK	31章
007F C0B2h	FLASH	フラッシュアクセスウィンドウ開始アドレスモニタレジスタ	FAWSMR	16	16	2~3FCLK	31章
007F C0B4h	FLASH	フラッシュアクセスウィンドウ終了アドレスモニタレジスタ	FAWEMR	16	16	2~3FCLK	31章
007F C0B6h	FLASH	フラッシュ初期設定レジスタ	FISR	8	8	2~3FCLK	31章
007F C0B7h	FLASH	フラッシュエクストラ領域制御レジスタ	FEXCR	8	8	2~3FCLK	31章
007F C0B8h	FLASH	フラッシュエラーアドレスモニタレジスタL	FEAML	16	16	2~3FCLK	31章
007F C0BAh	FLASH	フラッシュエラーアドレスモニタレジスタH	FEAMH	8	8	2~3FCLK	31章
007F C0C0h	FLASH	プロテクト解除レジスタ	FPR	8	8	2~3FCLK	31章
007F C0C1h	FLASH	プロテクト解除ステータスレジスタ	FPSR	8	8	2~3FCLK	31章
007F C0C2h	FLASH	フラッシュリードバッファレジスタL	FRBL	16	16	2~3FCLK	31章
007F C0C4h	FLASH	フラッシュリードバッファレジスタH	FRBH	16	16	2~3FCLK	31章
007F FF80h	FLASH	フラッシュP/Eモード制御レジスタ	FPMCR	8	8	2~3FCLK	31章
007F FF81h	FLASH	フラッシュ領域選択レジスタ	FASR	8	8	2~3FCLK	31章
007F FF82h	FLASH	フラッシュ処理開始アドレスレジスタL	FSARL	16	16	2~3FCLK	31章
007F FF84h	FLASH	フラッシュ処理開始アドレスレジスタH	FSARH	8	8	2~3FCLK	31章
007F FF85h	FLASH	フラッシュ制御レジスタ	FCR	8	8	2~3FCLK	31章
007F FF86h	FLASH	フラッシュ処理終了アドレスレジスタL	FEARL	16	16	2~3FCLK	31章
007F FF88h	FLASH	フラッシュ処理終了アドレスレジスタH	FEARH	8	8	2~3FCLK	31章
007F FF89h	FLASH	フラッシュリセットレジスタ	FRESETR	8	8	2~3FCLK	31章
007F FF8Ah	FLASH	フラッシュステータスレジスタ0	FSTATR0	8	8	2~3FCLK	31章
007F FF8Bh	FLASH	フラッシュステータスレジスタ1	FSTATR1	8	8	2~3FCLK	31章
007F FF8Ch	FLASH	フラッシュライトバッファレジスタL	FWBL	16	16	2~3FCLK	31章
007F FF8Eh	FLASH	フラッシュライトバッファレジスタH	FWBH	16	16	2~3FCLK	31章
007F FFB2h	FLASH	フラッシュP/Eモードエントリレジスタ	FENTRYR	16	16	2~3FCLK	31章

注1. 奇数アドレスへの16ビットアクセスはできません。レジスタを16ビットアクセスする場合は、TMCNTLレジスタのアドレスへアクセスしてください。表24.6に16ビットアクセスのレジスタ配置を示します。

6. リセット

6.1 概要

リセットには、RES# 端子リセット、パワーオンリセット、電圧監視 1 リセット、電圧監視 2 リセット、独立ウォッチドッグタイマリセット、ソフトウェアリセットがあります。

表 6.1 にリセットの名称と要因を示します。

表6.1 リセットの名称と要因

リセットの名称	要因
RES# 端子リセット	RES# 端子の入力電圧がLow
パワーオンリセット	VCCの上昇（監視電圧：VPOR）（注1）
電圧監視1リセット	VCCの下降（監視電圧：Vdet1）（注1）
電圧監視2リセット	VCCの下降（監視電圧：Vdet2）（注1）
独立ウォッチドッグタイマリセット	独立ウォッチドッグタイマのアンダフロー、またはリフレッシュエラー
ソフトウェアリセット	レジスタ設定

注1. 監視電圧（VPOR、Vdet1、Vdet2）については、「8. 電圧検出回路（LVDAa）」、「32. 電氣的特性」を参照してください。

リセットによって内部状態は初期化され、端子は初期状態になります。

表 6.2 にリセット種別ごとの初期化対象を示します。

表6.2 リセット種別ごとの初期化対象

リセット対象	リセット要因					
	RES#端子 リセット	パワーオン リセット	独立ウォッチ ドッグタイマ リセット	電圧監視1 リセット	電圧監視2 リセット	ソフトウェア リセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	○	—	—	—	—	—
コールドスタート/ウォームスタート 判別フラグ (RSTSR1.CWSF)	— (注1)	○	—	—	—	—
独立ウォッチドッグタイマリセット 検出フラグ (RSTSR2.IWDTRF)	○	○	—	—	—	—
独立ウォッチドッグタイマのレジスタ (IWDTRR、IWDTCR、IWDTSR、IWDTRCR、 IWDTCSTPR、ILOCOCR)	○	○	—	—	—	—
電圧監視1リセット検出フラグ (RSTSR0.LVD1RF)	○	○	○	—	—	—
電圧監視機能1のレジスタ (LVD1CR0、LVCMPCR.LVD1E、 LVDLVL.R.LVD1LVL[3:0])	○	○	○	—	—	—
(LVD1CR1、LVD1SR)	○	○	○	—	—	—
電圧監視2リセット検出フラグ (RSTSR0.LVD2RF)	○	○	○	○	—	—
電圧監視機能2のレジスタ (LVD2CR0、EXVCCINP2、 LVCMPCR.LVD2E、LVDLVL.R.LVD2LVL[1:0])	○	○	○	○	—	—
(LVD2CR1、LVD2SR)	○	○	○	○	—	—
ソフトウェアリセット検出フラグ (RSTSR2.SWRF)	○	○	○	○	○	—
リアルタイムクロックのレジスタ (注2)	—	—	—	—	—	—
上記以外のレジスタ、CPUおよび 内部状態	○	○	○	○	○	○

○：初期化されます。 —：変化しない

注1. 電源投入時は初期化されます。

注2. 一部の制御ビット (RCR1.CIE、RCR1.RTCOS、RCR2.RTCOE、ADJ30、RESET) は、すべてのリセットにより初期化されます。対象となる制御ビットについては、「21. リアルタイムクロック (RTCA)」を参照してください。

リセットが解除されると、リセット例外処理を開始します。リセット例外処理については、「13. 例外処理」を参照してください。

表 6.3 にリセットに関連する入出力端子を示します。

表6.3 リセット関連の入出力端子

端子名	入出力	機能
RES#	入力	リセット端子

6.2 レジスタの説明

6.2.1 リセットステータスレジスタ 0 (RSTSR0)

アドレス 0008 C290h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	LVD2R F	LVD1R F	—	PORF
リセット後の値	0	0	0	0	0 (注1)	0 (注1)	0	0 (注1)

注1. リセット後の値は、リセット要因で異なります。

ビット	シンボル	ビット名	機能	R/W
b0	PORF	パワーオンリセット検出フラグ	0: パワーオンリセット未検出 1: パワーオンリセット検出	R/(W) (注1)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	LVD1RF	電圧監視1リセット検出フラグ	0: 電圧監視1リセット未検出 1: 電圧監視1リセット検出	R/(W) (注1)
b3	LVD2RF	電圧監視2リセット検出フラグ	0: 電圧監視2リセットの未検出 1: 電圧監視2リセットの検出	R/(W) (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。

PORF フラグ (パワーオンリセット検出フラグ)

パワーオンリセットが発生したことを示します。

["1"になる条件]

- パワーオンリセットが発生したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

LVD1RF フラグ (電圧監視1リセット検出フラグ)

VCC 電圧が Vdet1 レベル以下を検知したことを示します。

["1"になる条件]

- Vdet1 レベルの VCC 電圧を検知したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

LVD2RF フラグ (電圧監視2リセット検出フラグ)

VCC 電圧が Vdet2 レベル以下を検知したことを示します。

["1"になる条件]

- Vdet2 レベルの VCC 電圧を検知したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

6.2.2 リセットステータスレジスタ 1 (RSTSR1)

アドレス 0008 C291h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CWSF
リセット後の値	0	0	0	0	0	0	0	0/1 (注1)

注1. リセット後の値は、リセット要因で異なります。

ビット	シンボル	ビット名	機能	R/W
b0	CWSF	コールドスタート/ウォームスタート判別フラグ	0 : コールドスタート 1 : ウォームスタート	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをセットするための“1”書き込みのみ可能です。

RSTSR1 レジスタは、電源が投入されたときのリセット処理（コールドスタート）か、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）かを判定するレジスタです。

CWSF フラグ（コールドスタート / ウォームスタート判別フラグ）

コールドスタートかウォームスタートかを示します。

CWSF フラグは、電源投入時に初期化されます。

【“1”になる条件】

- プログラムで“1”を書いたとき。“0”を書いても変化しません。

【“0”になる条件】

- 表 6.2 に示すリセットを行ったとき

6.2.3 リセットステータスレジスタ 2 (RSTSR2)

アドレス 0008 00C0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SWRF	—	IWDTR F
リセット後の値	0	0	0	0	0	0 (注1)	0	0 (注1)

注1. リセット後の値は、リセット要因で異なります。

ビット	シンボル	ビット名	機能	R/W
b0	IWDTRF	独立ウォッチドッグタイマリセット検出フラグ	0: 独立ウォッチドッグタイマリセット未検出 1: 独立ウォッチドッグタイマリセット検出	R/(W) (注1)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	SWRF	ソフトウェアリセット検出フラグ	0: ソフトウェアリセット未検出 1: ソフトウェアリセット検出	R/(W) (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。

IWDTRF フラグ (独立ウォッチドッグタイマリセット検出フラグ)

独立ウォッチドッグタイマリセットが発生したことを示します。

["1"になる条件]

- 独立ウォッチドッグタイマリセットが発生したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

SWRF フラグ (ソフトウェアリセット検出フラグ)

ソフトウェアリセットが発生したことを示します。

["1"になる条件]

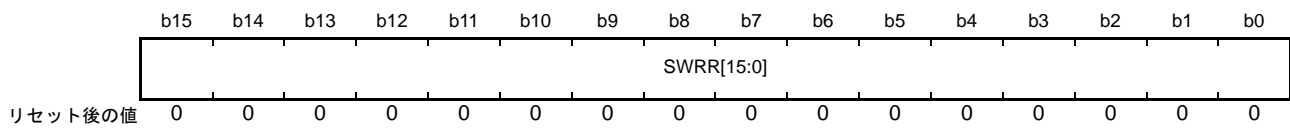
- ソフトウェアリセットを行なったとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

6.2.4 ソフトウェアリセットレジスタ (SWRR)

アドレス 0008 00C2h



ビット	シンボル	ビット名	機能	R/W
b15-b0	SWRR[15:0]	ソフトウェアリセットビット	“A501h”を書くとMCUがリセットされます。読むと“0000h”が読めます	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

6.3 動作説明

6.3.1 RES# 端子リセット

RES# 端子によるリセットです。

RES# 端子が Low になると実行中の処理はすべて打ち切られ、リセット状態になります。

確実にリセットするために、電源投入時は規定の電源安定時間に従い、RES# 端子が Low を保持するようにしてください。

RES# 端子を Low から High にした後、RES# 解除後待機時間 (tRESWT) 経過後に内部リセットが解除され、CPU はリセット例外処理を開始します。

詳細は、「32. 電気的特性」を参照してください。

6.3.2 パワーオンリセット

パワーオンリセットは、パワーオンリセット回路による内部リセットです。

RES# 端子に抵抗を介して VCC に接続した状態で電源を投入すると、パワーオンリセットが発生します。RES# 端子にコンデンサを接続する場合も、RES# 端子の電圧が常に VIH 以上になるようにしてください。VIH は、「32. 電気的特性」を参照してください。VCC が VPOR を超えると、ある一定時間 (パワーオンリセット時間) が経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。パワーオンリセット時間は、外部電源および MCU が安定するための時間です。

また、パワーオンリセットが発生すると、RSTSR0.PORF フラグが“1”になります。PORF フラグは、RES# 端子リセットによって初期化されます。

図 6.1 にパワーオンリセット回路例と動作例を示します。

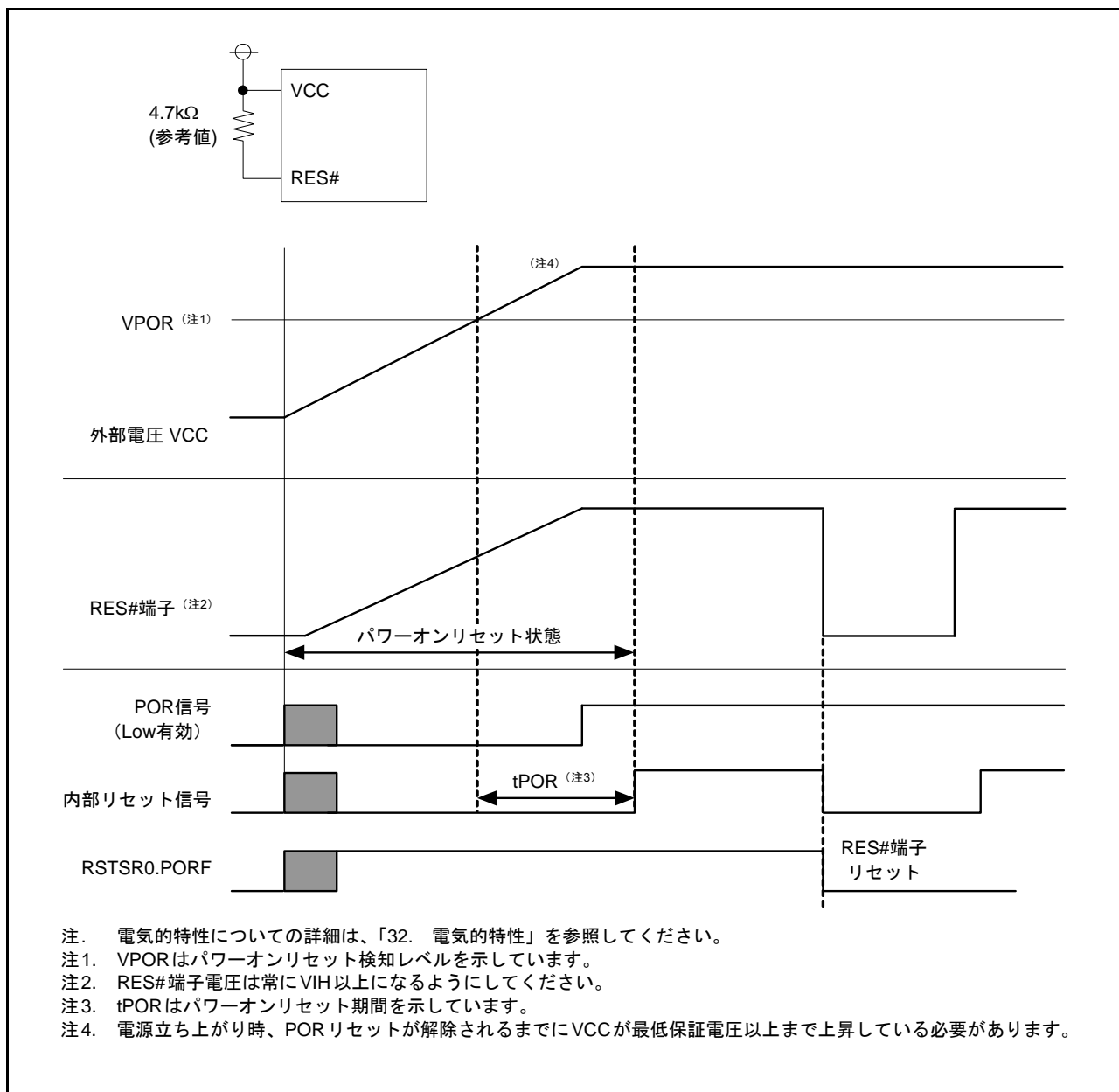


図 6.1 パワーオンリセット回路例と動作例

6.3.3 電圧監視 1 リセット、電圧監視 2 リセット

電圧監視回路による内部リセットです。

電圧監視 1 回路制御レジスタ 0 (LVD1CR0) の電圧監視 1 割り込み/リセット許可ビット (LVD1RIE) が “1” (電圧検出回路によるリセット/割り込み有効) で、かつ電圧監視 1 回路モード選択ビット (LVD1RI) が “1” (低電圧検出時、リセット発生) の状態で、VCC が V_{det1} 以下になると、RSTSR0.LVD1RF フラグが “1” になり、電圧検出回路は電圧監視 1 リセットを発生します。

同様に、電圧監視 2 回路制御レジスタ 0 (LVD2CR0) の電圧監視 2 割り込み/リセット許可ビット (LVD2RIE) が “1” (電圧検出回路によるリセット/割り込み有効) で、かつ電圧監視 2 回路モード選択ビット (LVD2RI) が “1” (低電圧検出時、リセット発生) の状態で、VCC が V_{det2} 以下になると、RSTSR0.LVD2RF フラグが “1” になり、電圧検出回路は電圧監視 2 リセットを発生します。

電圧監視 1 リセットの解除タイミングは、LVD1CR0 レジスタの電圧監視 1 リセットネゲート選択ビット (LVD1RN) で選択可能です。LVD1CR0.LVD1RN ビットが “0” のとき、VCC が V_{det1} 以下になり、その後 V_{det1} を超えてから LVD1 リセット時間 (t_{LVD1}) が経過すると内部リセットが解除され、CPU がリセット例外処理を開始します。また、LVD1CR0.LVD1RN ビットが “1” のとき、VCC が V_{det1} 以下になってから LVD1 リセット時間 (t_{LVD1}) 経過後に内部リセットが解除され、CPU がリセット例外処理を開始します。

電圧監視 2 リセットの解除タイミングも同様で、LVD2CR0 レジスタの電圧監視 2 リセットネゲート選択ビット (LVD2RN) の設定により選択可能です。

V_{det1} 、および V_{det2} の電圧検出レベルは、電圧検出レベル選択レジスタ (LVDLVLR) の設定によって変更できます。

図 6.2 に電圧監視 1 リセット、および電圧監視 2 リセットの動作例を示します。

電圧監視 1 リセット、および電圧監視 2 リセットの詳細は、「8. 電圧検出回路 (LVDAa)」を参照してください。

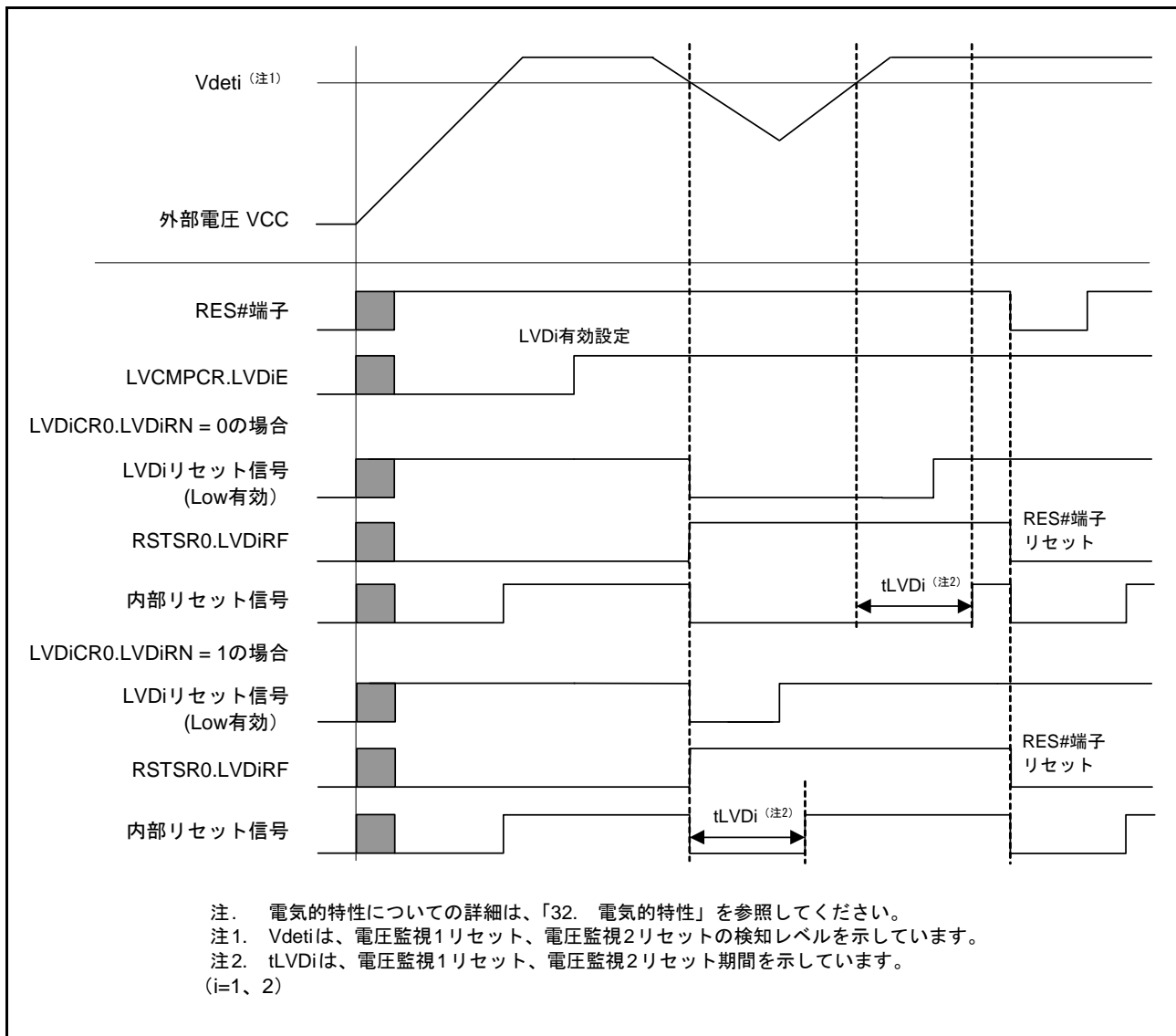


図 6.2 電圧監視1リセット、電圧監視2リセット動作例

6.3.4 独立ウォッチドッグタイマリセット

独立ウォッチドッグタイマによる内部リセットです。

IWDTリセットコントロールレジスタ (IWDTRCR)、あるいはオプション機能選択レジスタ0 (OFS0) の設定により、独立ウォッチドッグタイマから独立ウォッチドッグタイマリセットを出力するかどうかを選択できます。

独立ウォッチドッグタイマリセット出力を選択した場合、独立ウォッチドッグタイマがアンダフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行った場合に、独立ウォッチドッグタイマリセットが発生します。独立ウォッチドッグタイマリセット発生後、内部リセット時間 (tRESW2) 経過後に内部リセットは解除され、CPUがリセット例外処理を開始します。

独立ウォッチドッグタイマリセットの詳細は「22. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

6.3.5 ソフトウェアリセット

ソフトウェアリセット回路による内部リセットです。

SWRRレジスタに“A501h”を書くと、ソフトウェアリセットが発生します。ソフトウェアリセット発生後、内部リセット時間（tRESW2）経過後に内部リセットは解除され、CPUがリセット例外処理を開始します。

6.3.6 コールドスタート/ウォームスタート判定機能

RSTSR1.CWSFフラグにより、電源が投入されたときのリセット処理（コールドスタート）か、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）かの判定をすることができます。

RSTSR1.CWSFフラグはパワーオンリセットが発生すると“0”（コールドスタート）になります。その他のリセットを行っても“0”になりません。また、プログラムで“1”を書くと、“1”になります。“0”を書いても変化しません。

図 6.3 にコールドスタート/ウォームスタート判定機能の動作例を示します。

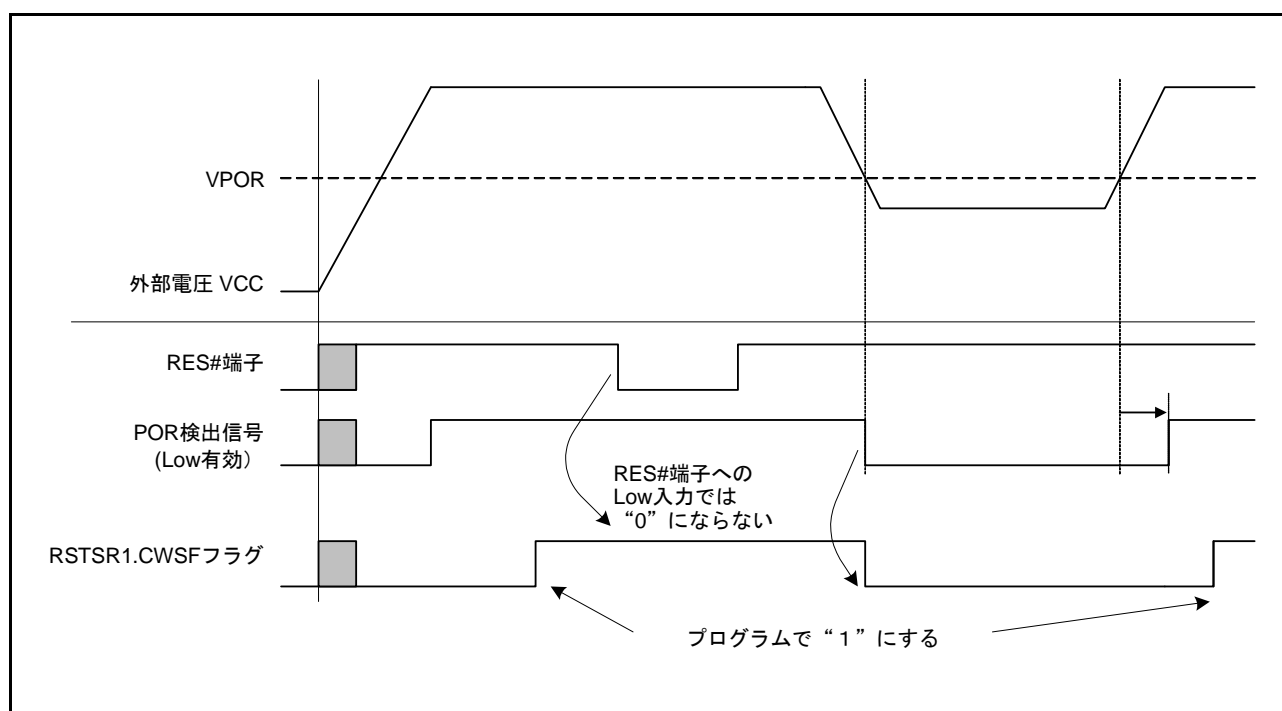


図 6.3 コールドスタート/ウォームスタート判定機能の動作例

6.3.7 リセット発生要因の判定

RSTSR0レジスタとRSTSR2レジスタを読むことで、いずれのリセット発生によってリセット例外処理が実行されたかを確認することができます。

図 6.4 にリセット発生要因判定フロー例を示します。

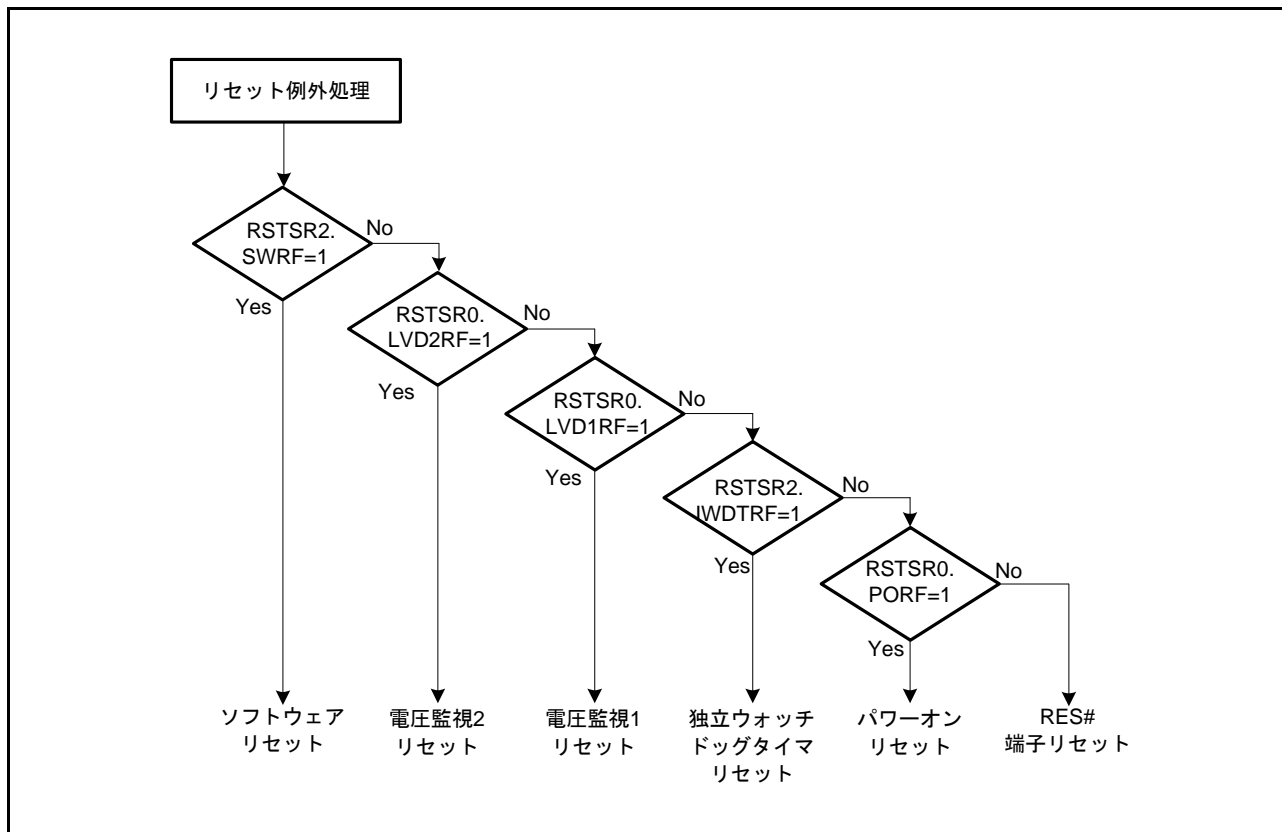


図 6.4 リセット発生要因判定フロー例

7. オプション設定メモリ

7.1 概要

オプション設定メモリは、リセット後のマイコンの状態を選択するレジスタを備えています。オプション設定メモリは、ROM上にあります。

図 7.1 にオプション設定メモリ領域を示します。

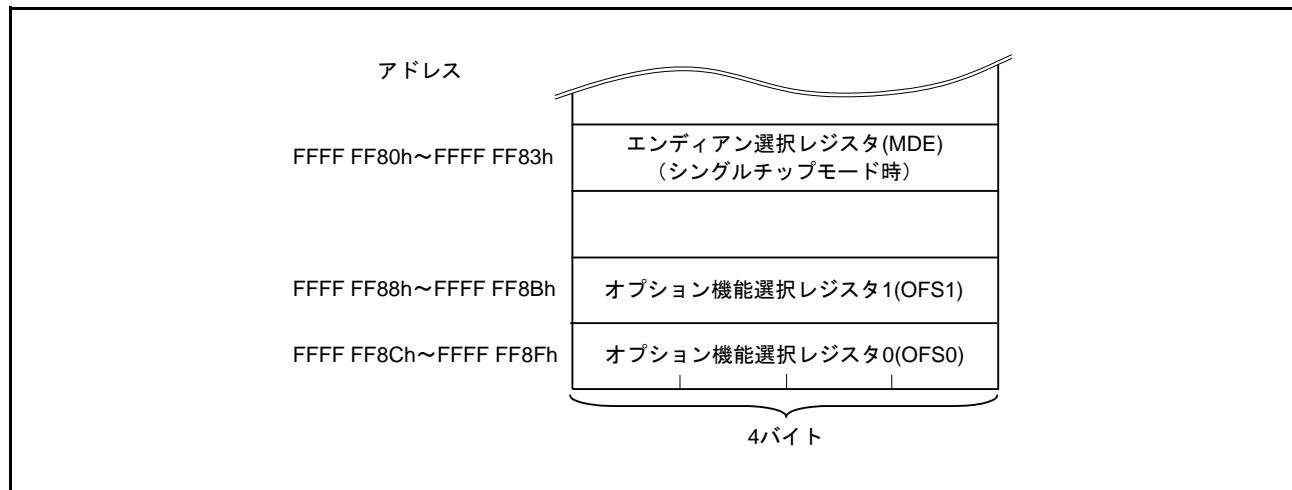


図 7.1 オプション設定メモリ領域

7.2 レジスタの説明

7.2.1 オプション機能選択レジスタ 0 (OFS0)

アドレス FFFF FF8Ch

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値 (注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	IWDTSLCSTP	—	IWDTSTRIRQS	IWDTRPSS[1:0]	IWDTRPES[1:0]	IWDTCKS[3:0]			IWDTTOPS[1:0]			IWDTSTRT	—		
リセット後の値 ユーザの設定値 (注1)															

注1. ブランク品は、FFFF FFFFhです。ユーザでのプログラム後は、プログラムした値になります。

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b1	IWDTSTRT	IWDTスタートモード選択ビット	0 : リセット後、IWDTはオートスタートモードにて自動的に起動 1 : リセット後、IWDTは停止状態	R
b3-b2	IWDTTOPS[1:0]	IWDTタイムアウト期間選択ビット	b3 b2 0 0 : 128サイクル (007Fh) 0 1 : 512サイクル (01FFh) 1 0 : 1024サイクル (03FFFh) 1 1 : 2048サイクル (07FFFh)	R
b7-b4	IWDTCKS[3:0]	IWDTクロック分周比選択ビット	b7 b4 0 0 0 0 : 1分周 (周期 136ms) 0 0 1 0 : 16分周 (周期 2.18s) 0 0 1 1 : 32分周 (周期 4.36s) 0 1 0 0 : 64分周 (周期 8.73s) 1 1 1 1 : 128分周 (周期 17.5s) 0 1 0 1 : 256分周 (周期 34.9s) 上記以外は設定しないでください	R
b9-b8	IWDTRPES[1:0]	IWDTウィンドウ終了位置選択ビット	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R
b11-b10	IWDTRPSS[1:0]	IWDTウィンドウ開始位置選択ビット	b11 b10 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R
b12	IWDTSTRIRQS	IWDTリセット割り込み要求選択ビット	0 : ノンマスク割り込み要求を許可 1 : リセットを許可	R
b13	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b14	IWDTSLCSTP	IWDTスリープモードカウント停止制御ビット	0 : カウント停止無効 1 : スリープモード、ソフトウェアスタンバイモードおよびディープスリープモード遷移時のカウント停止有効	R
b31-b15	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

OFS0 レジスタは、リセット後の独立ウォッチドッグタイマ (IWDT) の動作を選択するレジスタです。

OFS0 レジスタは ROM 上にあります。プログラムと一緒に書いてください。書いた後、OFS0 レジスタに追加書き込みをしないでください。

OFS0 レジスタを含むブロックを消去すると、OFS0 レジスタは“FFFF FFFFh”になります。
ブートモード時、OFS0 レジスタの設定は無効となります。

IWDTSTRT ビット (IWDT スタートモード選択ビット)

リセット後の IWDT の起動モード (停止状態、またはオートスタートモードでの起動) が選択できます。オートスタートモードでの起動の場合、IWDT の設定は、OFS0 レジスタの設定が有効となります。

IWDTTOPS[1:0] ビット (IWDT タイムアウト期間選択ビット)

ダウンカウンタがアンダフローするまでのタイムアウト期間を IWDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、128 サイクル /512 サイクル /1024 サイクル /2048 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (IWDT 専用クロック数) は、IWDTCKS[3:0] ビットと IWDTTOPS[1:0] ビットの組み合わせにより決定します。

詳細は「22. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTCKS[3:0] ビット (IWDT クロック分周比選択ビット)

IWDT 専用クロックを分周するプリスケアラの分周比設定を 1 分周 /16 分周 /32 分周 /64 分周 /128 分周 /256 分周から選択します。IWDTTOPS[1:0] ビットと組み合わせて、IWDT のカウント期間を IWDT 専用クロックの 128 ~ 524288 クロックの間で設定できます。

詳細は「22. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDRPES[1:0] ビット (IWDT ウィンドウ終了位置選択ビット)

ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

IWDRPSS[1:0]、IWDRPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウント値は、IWDTTOPS[1:0] ビットの設定により変わります。

詳細は「22. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDRPSS[1:0] ビット (IWDT ウィンドウ開始位置選択ビット)

ダウンカウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

詳細は「22. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDRSTIRQS ビット (IWDT リセット割り込み要求選択ビット)

ダウンカウンタのアンダフロー、またはリフレッシュエラー発生時の動作を設定します。独立ウォッチドッグタイマリセットもしくは、ノンマスカブル割り込み要求のいずれかが選択できます。

詳細は「22. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTSLCSTP ビット (IWDT スリープモードカウント停止制御ビット)

スリープモード、ソフトウェアスタンバイモードおよびディープスリープモード遷移時のカウント停止を選択します。

詳細は「22. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

7.2.2 オプション機能選択レジスタ 1 (OFS1)

アドレス FFFF FF88h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値 (注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	HOCO EN	STUPLVD1LVL[3:0]			—	—	STUPLV D1REN	FASTS TUP	
リセット後の値 ユーザの設定値 (注1)															

注1. ブランク品は、FFFF FFFFhです。ユーザでのプログラム後は、プログラムした値になります。

ビット	シンボル	ビット名	機能	R/W
b0	FASTSTUP	電源立上げ時起動時間短縮ビット	0: 電源立上げ時起動時間短縮 1: 通常起動	R
b1	STUPLVD1REN	起動時電圧監視1リセット有効ビット	0: 起動時電圧監視1リセット有効 (注2) 1: 起動時電圧監視1リセット無効	R
b3-b2	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b7-b4	STUPLVD1LVL[3:0]	起動時電圧監視1リセット検出レベル 選択ビット	b7 b4 0 1 0 0: 3.10V 0 1 0 1: 3.00V 0 1 1 0: 2.90V 0 1 1 1: 2.79V 1 0 0 0: 2.68V 1 0 0 1: 2.58V 1 0 1 0: 2.48V 1 0 1 1: 2.06V 1 1 0 0: 1.96V 1 1 0 1: 1.86V STUPLVD1RENビット=0のときは、 上記以外は設定しないでください	R
b8	HOCOEN	HOCO発振有効ビット	0: リセット後、HOCO発振が有効 1: リセット後、HOCO発振が無効	R
b31-b9	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注2. 起動時電圧監視1リセットを有効にし、かつ、独立ウォッチドッグタイマのリセット出力を設定して使用する場合、リセット直後にプログラムでも電圧監視1リセットを有効にしてください。
詳細は、「7.3.2 電圧監視1リセットとIWDTRリセット併用時の注意事項」を参照ください。

OFS1 レジスタはROM上にあります。プログラムと一緒に書いてください。書いた後、OFS1 レジスタに追加書き込みをしないでください。

OFS1 レジスタを含むブロックを消去すると、OFS1 レジスタは“FFFF FFFFh”となります。

ブートモード時、OFS1 レジスタの設定は無効となります。

FASTSTUP ビット（電源立上げ時起動時間短縮ビット）

電気的特性の電源投入時 VCC 立ち上がり勾配（起動時間短縮時）を満たせる場合、本ビットを“0”（電源立上げ時起動時間短縮）に設定すると、起動時間を短縮することができます。電源投入時 VCC 立ち上がり勾配（起動時間短縮時）を満たせない場合は、本ビットに“0”を設定しないでください。

STUPLVD1REN ビット（起動時電圧監視 1 リセット有効ビット）

リセット後、電圧監視 1 リセットを有効にするか無効にするかを選択します。

電圧検出 1 回路で監視する Vdet1 電圧は、STUPLVD1LVL[3:0] ビットで選択されます。

このビットを“0”（起動時電圧監視 1 リセット有効）に設定して電源を立ち上げる場合、電源投入時 VCC 立ち上がり勾配の規定は、「32. 電気的特性」に掲載の電源投入時 VCC 立ち上がり勾配（起動時電圧監視 1 リセット有効時）となり、電源投入時 VCC 立ち上がり勾配の Max 値側の規定はありません。

なお、STUPLVD1REN ビットを“0”にした場合、FASTSTUP ビットの設定にかかわらず電圧監視 1 リセット有効で起動します。

STUPLVD1LVL ビット（起動時電圧監視 1 リセット検出レベル選択ビット）

STUPLVD1REN ビットを“0”にした場合の電圧検出 1 回路の電圧検出レベルを選択します。

HOCOEN ビット（HOCO 発振有効ビット）

リセット後、HOCO 用発振許可ビットを有効にするか無効にするかを選択します。

HOCOEN ビットを“0”にすることにより、CPU が動作する前に HOCO の発振を開始することができ、発振安定の待ち時間を減らすことができます。

なお、HOCOEN ビットを“0”にしても、システムクロックソースは HOCO に切り替わりません。CPU からクロックソース選択ビット（SCKCR3.CKSEL[2:0]）を書き換えることにより、切り替わります。

また、OFS1.HOCOEN ビットに“0”を設定している場合、HOCO 発振安定時間（tHOCO）はハードウェアで確保されているため、CPU リセット解除後から電気的特性に記載の HOCO 発振周波数（fHOCO）の精度のクロックが供給されます。

7.2.3 エンディアン選択レジスタ (MDE)

アドレス MDE (シングルチップモード時) : FFFF FF80h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値 (注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	MDE[2:0]	
リセット後の値 ユーザの設定値 (注1)															

注1. ブランク品は、FFFF FFFFhです。ユーザでのプログラム後は、プログラムした値になります。

ビット	シンボル	ビット名	機能	R/W
b2-b0	MDE[2:0]	エンディアン選択ビット	b2 b0 0 0 0 : ビッグエンディアン 1 1 1 : リトルエンディアン 上記以外は設定しないでください	R
b31-b3	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

MDE レジスタは、CPU のエンディアンを選択するレジスタです。エンディアンの選択は、FFFF FF80h 番地のエンディアン選択レジスタ (MDE) で行います。

MDE レジスタは ROM 上にあります。プログラムと一緒に書いてください。書いた後、MDE レジスタに追加書き込みをしないでください。

MDE レジスタを含むブロックを消去すると、MDE レジスタは“FFFF FFFFh”になります。

MDE[2:0] ビット (エンディアン選択ビット)

リトルエンディアン/ビッグエンディアンを選択します。

7.3 使用上の注意事項

7.3.1 オプション設定メモリの設定例

オプション設定メモリはROM上にありますので、命令の実行では書き換えられません。プログラム作成時に適切な値を書いてください。以下に設定例を示します。

- OFS0 レジスタに“ffff ff8h”を設定する場合

```
.org      0fff ff8ch
.lword    0ffffff8h
```

注. プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

7.3.2 電圧監視1リセットとIWDTRリセット併用時の注意事項

オプション設定メモリのOFS1.STUPLVD1RENビットを“0”（起動時電圧監視1リセット有効）、かつOFS0.IWDTRSTIRQSビットまたはIWDTRCR.RSTIRQSビットを“1”（IWDTRリセット出力許可）にして使用する場合、「8.4 電圧監視1割り込み、電圧監視1リセット」の手順に従ってプログラムの先頭で電圧監視1リセットを有効にしてください。

8. 電圧検出回路 (LVDAa)

電圧検出回路は VCC 端子に入力する電圧を監視する回路です。VCC 入力電圧をプログラムで監視できます。

8.1 概要

電圧検出 1 は、電圧検出レベル選択レジスタ (LVDLVLR) で、検出電圧を 10 レベルから選択できます。電圧検出 2 は、VCC と CMPA2 端子入力電圧の切り替えで、検出電圧を 4 レベルから選択できます。電圧監視 1 リセット/割り込み、電圧監視 2 リセット/割り込みを使用できます。

表 8.1 に電圧検出回路の仕様を示します。図 8.1 に電圧検出回路のブロック図を、図 8.2 に電圧監視 1 割り込み/リセット発生回路のブロック図を、図 8.3 に電圧監視 2 割り込み/リセット発生回路のブロック図を示します。

表 8.1 電圧検出回路の仕様

項目		電圧監視 1	電圧監視 2
VCC 監視	監視する電圧	Vdet1	Vdet2
	検出対象	上昇または下降して Vdet1 を通過した場合	上昇または下降して Vdet2 を通過した場合 LVCMPCR.EXVCCINP2 ビットで VCC と CMPA2 端子への入力電圧の切り替え可能
	検出電圧	LVDLVLR.LVD1LVL[3:0] ビットで 10 レベルから選択可能	LVDLVLR.LVD2LVL[1:0] ビットで 4 レベルから選択可能
	モニタフラグ	LVD1SR.LVD1MON フラグ : Vdet1 より高いか低いかをモニタ LVD1SR.LVD1DET フラグ : Vdet1 通過検出	LVD2SR.LVD2MON フラグ : Vdet2 より高いか低いかをモニタ LVD2SR.LVD2DET フラグ : Vdet2 通過検出
電圧検出時の処理	リセット	電圧監視 1 リセット	電圧監視 2 リセット
		Vdet1 > VCC でリセット : VCC > Vdet1 の一定時間後に CPU 動作再開、 または Vdet1 > VCC の一定時間後に CPU 動作再開 を選択可能	Vdet2 > VCC または CMPA2 端子でリセット : VCC または CMPA2 端子 > Vdet2 の一定時間後に CPU 動作再開、または Vdet2 > VCC または CMPA2 端子の一定時間後に CPU 動作再開を選択 可能
	割り込み	電圧監視 1 割り込み	電圧監視 2 割り込み
ノンマスクابلまたはマスクابلを選択可能 Vdet1 > VCC、VCC > Vdet1 の両方、 またはどちらかで割り込み要求		ノンマスクابلまたはマスクابلを選択可能 Vdet2 > VCC または CMPA2 端子、VCC または CMPA2 端子 > Vdet2 の両方、またはどちらかで割 り込み要求	

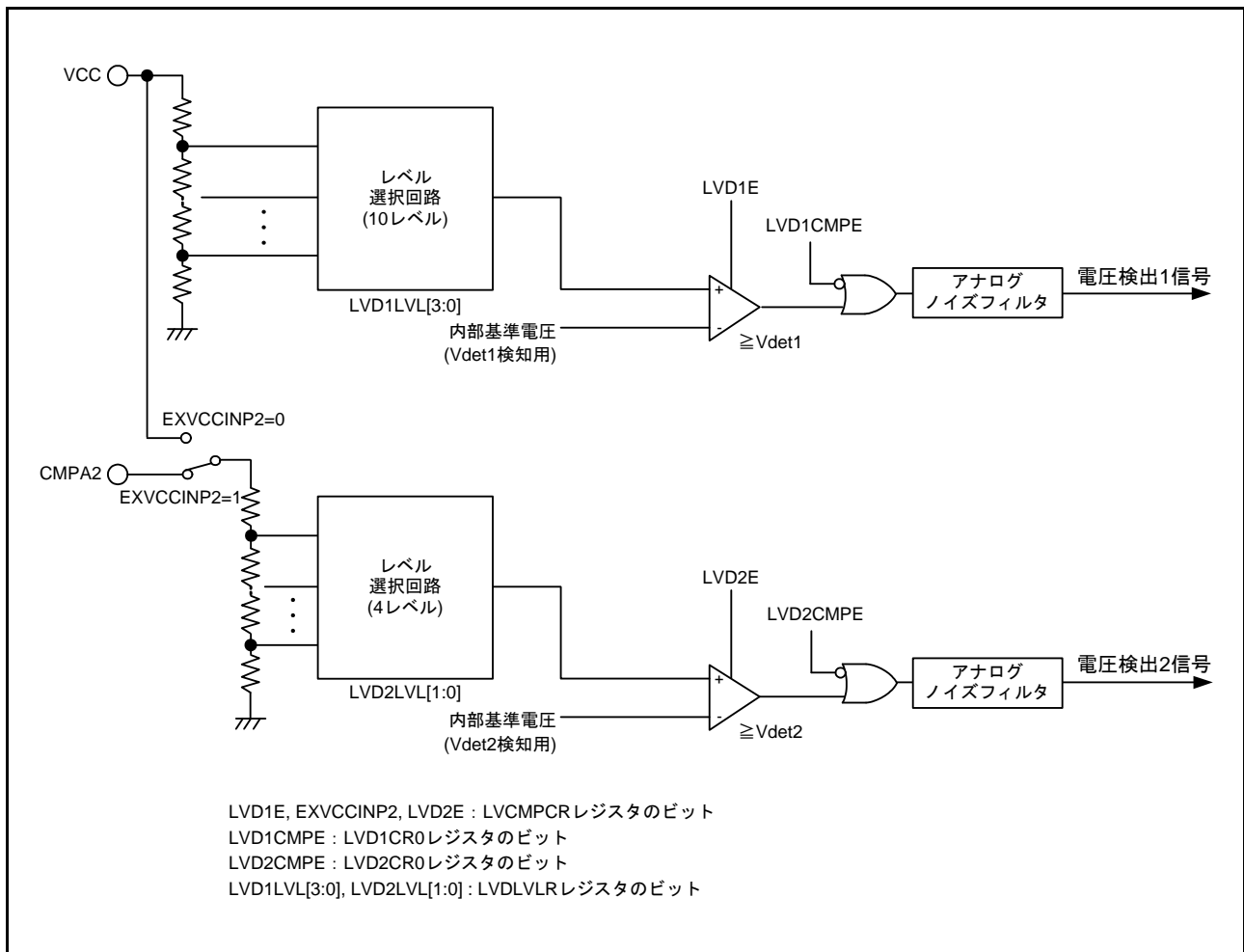


図 8.1 電圧検出回路ブロック図

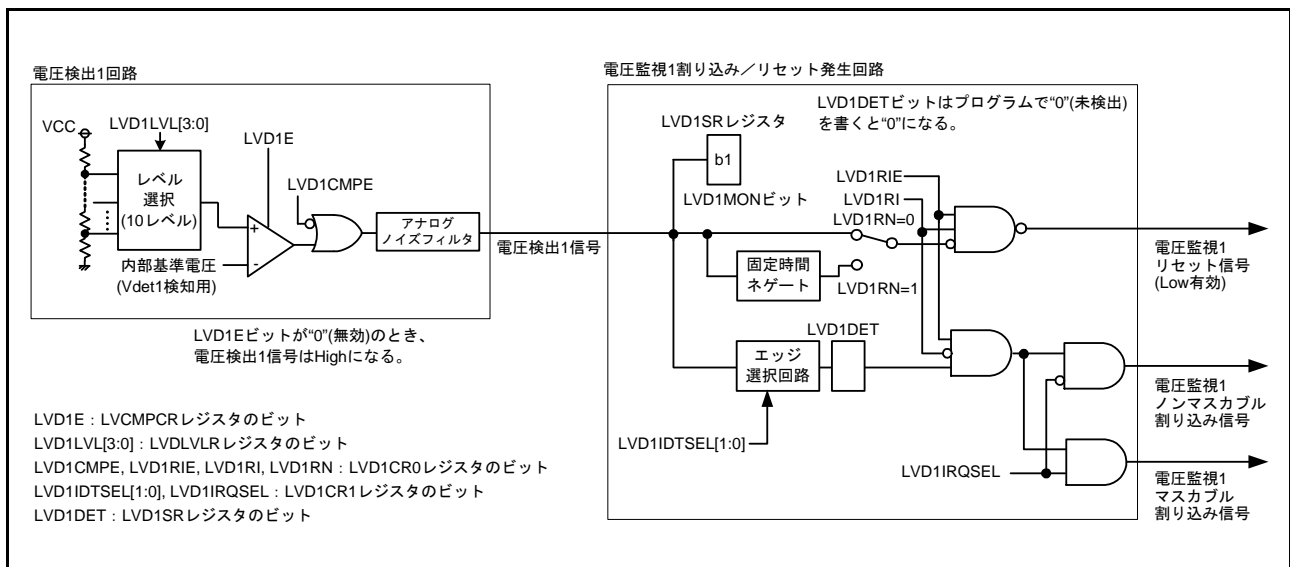


図 8.2 電圧監視 1 割り込み / リセット発生回路のブロック図

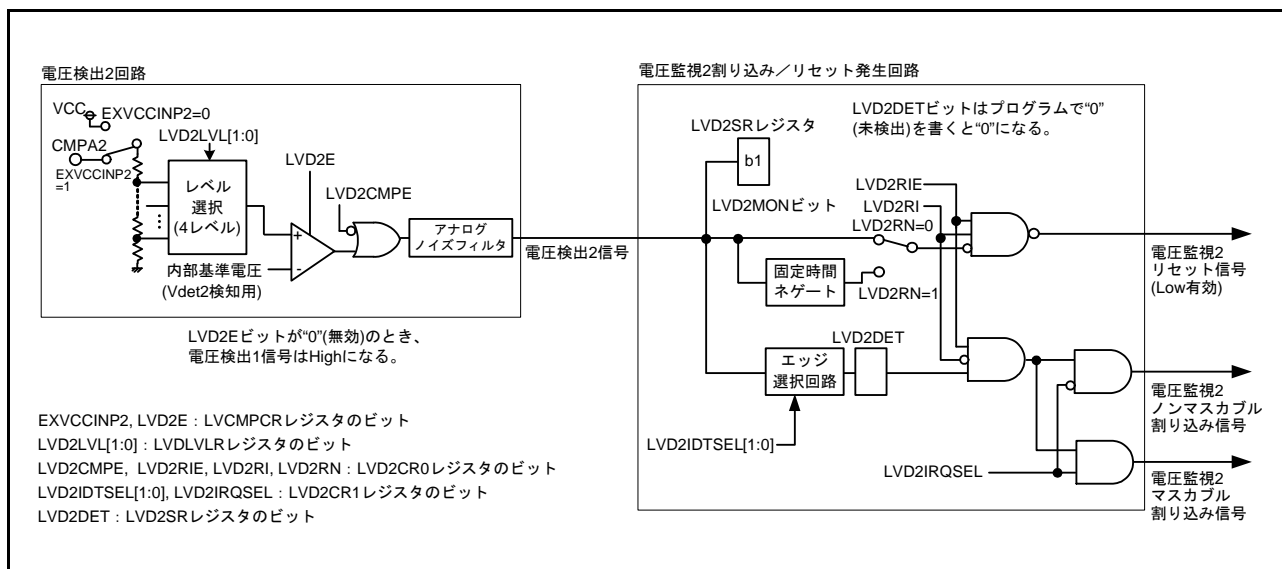


図 8.3 電圧監視 2 割り込み / リセット発生回路のブロック図

表 8.2 に電圧検出回路で使用する入出力端子を示します。

表 8.2 電圧検出回路の入出力端子

端子名	入出力	機能
CMPA2	入力	電圧検出2用検出対象電圧端子

8.2 レジスタの説明

8.2.1 電圧監視1回路制御レジスタ1 (LVD1CR1)

アドレス 0008 00E0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	LVD1IR QSEL	LVD1IDTSEL [1:0]	
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	LVD1IDTSEL [1:0]	電圧監視1割り込み 発生条件選択ビット	b1 b0 0 0 : VCC ≥ Vdet1 (上昇) 検出時 0 1 : VCC < Vdet1 (下降) 検出時 1 0 : 下降および上昇検出時 1 1 : 設定しないでください	R/W
b2	LVD1IRQSEL	電圧監視1割り込み種類選択ビット	0 : ノンマスクブル割り込み 1 : マスクブル割り込み	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

8.2.2 電圧監視 1 回路ステータスレジスタ (LVD1SR)

アドレス 0008 00E1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD1M ON	LVD1D ET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LVD1DET	電圧監視 1 電圧変化検出フラグ	0 : 未検出 1 : Vdet1 通過検出	R/(W) (注1)
b1	LVD1MON	電圧監視 1 信号モニタフラグ	0 : VCC < Vdet1 1 : VCC ≥ Vdet1 または LVD1MON 無効	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. “0”のみ書けます。“0”を書いた後、LVD1DETビットの読み出し値に反映されるまでにシステムクロック2サイクルかかります。

LVD1DET フラグ (電圧監視 1 電圧変化検出フラグ)

LVD1DET フラグは、LVCMPCR.LVD1E ビットが“1”（電圧検出 1 回路有効）、かつ LVD1CR0.LVD1CMPE ビットが“1”（電圧監視 1 回路比較結果出力許可）のとき有効になります。

LVD1DET フラグを“0”にするときは、LVD1CR0.LVD1RIE を“0”（禁止）にしてから行ってください。再度、LVD1CR0.LVD1RIE を“1”（許可）にする場合は、PCLKB2 サイクル以上経過してから行ってください。

アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

LVD1MON フラグ (電圧監視 1 信号モニタフラグ)

LVD1MON フラグは、LVCMPCR.LVD1E ビットが“1”（電圧検出 1 回路有効）、かつ LVD1CR0.LVD1CMPE ビットが“1”（電圧監視 1 回路比較結果出力許可）のとき有効になります。

8.2.3 電圧監視2回路制御レジスタ1 (LVD2CR1)

アドレス 0008 00E2h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	LVD2IR QSEL	LVD2IDTSEL [1:0]	

リセット後の値 0 0 0 0 0 0 0 1

ビット	シンボル	ビット名	機能	R/W
b1-b0	LVD2IDTSEL [1:0]	電圧監視2割り込み発生条件選択ビット	b1 b0 0 0 : VCCまたはCMPA2端子 ≥ Vdet2 (上昇) 検出時 0 1 : VCCまたはCMPA2端子 < Vdet2 (下降) 検出時 1 0 : 下降および上昇検出時 1 1 : 設定しないでください	R/W
b2	LVD2IRQSEL	電圧監視2割り込み種類選択ビット	0 : ノンマスクブル割り込み 1 : マスクブル割り込み	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

8.2.4 電圧監視 2 回路ステータスレジスタ (LVD2SR)

アドレス 0008 00E3h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD2MON	LVD2DET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LVD2DET	電圧監視2電圧変化検出フラグ	0 : 未検出 1 : Vdet2通過検出	R/(W) (注1)
b1	LVD2MON	電圧監視2信号モニタフラグ	0 : VCCまたはCMPA2端子 < Vdet2 1 : VCCまたはCMPA2端子 ≥ Vdet2またはLVD2MON無効	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. “0”のみ書けます。“0”を書いた後、LVD2DETビットの読み出し値に反映されるまでにシステムクロック2サイクルかかります。

LVD2DET フラグ（電圧監視 2 電圧変化検出フラグ）

LVD2DET フラグは、LVCMPCR.LVD2E ビットが“1”（電圧検出 2 回路有効）、かつ LVD2CR0.LVD2CMPE ビットが“1”（電圧監視 2 回路比較結果出力許可）のとき有効になります。

LVD2DET フラグを“0”にするときは、LVD2CR0.LVD2RIE を“0”（禁止）にしてから行ってください。再度、LVD2CR0.LVD2RIE を“1”（許可）にする場合は、PCLKB2 サイクル以上経過してから行ってください。

アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

LVD2MON フラグ（電圧監視 2 信号モニタフラグ）

LVD2MON フラグは、LVCMPCR.LVD2E ビットが“1”（電圧検出 2 回路有効）、かつ LVD2CR0.LVD2CMPE ビットが“1”（電圧監視 2 回路比較結果出力許可）のとき有効になります。

8.2.5 電圧監視回路制御レジスタ (LVCMPCR)

アドレス 0008 C297h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	LVD2E	LVD1E	—	EXVCC INP2	—	—	—
リセット後の値	0	0	0 (注1)	0	0	0	0	0

注1. OSF1.STUPLVD1RENビットが“0”の場合、リセット後の値は“1”になります。

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	EXVCCINP2	電圧検出2比較電圧外部入力 選択ビット (注1)	0 : 電源電圧 (VCC) 1 : CMPA2端子入力電圧	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	LVD1E	電圧検出1許可ビット	0 : 電圧検出1回路無効 1 : 電圧検出1回路有効	R/W
b6	LVD2E	電圧検出2許可ビット	0 : 電圧検出2回路無効 1 : 電圧検出2回路有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. EXVCCINP2 ビットは、LVD1EおよびLVD2E ビットが共に“0”（電圧検出1回路および電圧検出2回路無効）の場合にのみ変更可能です。

LVD1E ビット（電圧検出1許可ビット）

電圧検出1の割り込み/リセットを使用する場合、またはLVD1SR.LVD1MONフラグを使用する場合、LVD1Eビットを“1”にしてください。LVD1Eビットを“0”から“1”にした後、td(E-A)経過してから電圧検出1回路が動作します。

LVD2E ビット（電圧検出2許可ビット）

電圧検出2の割り込み/リセットを使用する場合、またはLVD2SR.LVD2MONフラグを使用する場合、LVD2Eビットを“1”にしてください。LVD2Eビットを“0”から“1”にした後、td(E-A)経過してから電圧検出2回路が動作します。

8.2.6 電圧検出レベル選択レジスタ (LVDLVLR)

アドレス 0008 C298h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	LVD2LVL[1:0]	LVD1LVL[3:0]				

リセット後の値 0 0 0 0 0 (注1) 1 (注1) 1 (注1) 1 (注1)

注1. OSF1.STUPLVD1RENビットが“0”の場合、リセット後の値は、OFS1.STUPLVD1LVL[3:0]ビットと同じ値になります。

ビット	シンボル	ビット名	機能	R/W																																																					
b3-b0	LVD1LVL[3:0]	電圧検出1レベル選択ビット (電圧下降時の標準電圧)	<table border="0"> <tr> <td>b3</td> <td>b0</td> <td></td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>: 3.10V</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>: 3.00V</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>: 2.90V</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>: 2.79V</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>: 2.68V</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>: 2.58V</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>: 2.48V</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>: 2.06V</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>: 1.96V</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>: 1.86V</td> </tr> </table> 上記以外は設定しないでください	b3	b0		0	1	0	0	: 3.10V	0	1	0	1	: 3.00V	0	1	1	0	: 2.90V	0	1	1	1	: 2.79V	1	0	0	0	: 2.68V	1	0	0	1	: 2.58V	1	0	1	0	: 2.48V	1	0	1	1	: 2.06V	1	1	0	0	: 1.96V	1	1	0	1	: 1.86V	R/W
b3	b0																																																								
0	1	0	0	: 3.10V																																																					
0	1	0	1	: 3.00V																																																					
0	1	1	0	: 2.90V																																																					
0	1	1	1	: 2.79V																																																					
1	0	0	0	: 2.68V																																																					
1	0	0	1	: 2.58V																																																					
1	0	1	0	: 2.48V																																																					
1	0	1	1	: 2.06V																																																					
1	1	0	0	: 1.96V																																																					
1	1	0	1	: 1.86V																																																					
b5-b4	LVD2LVL[1:0]	電圧検出2レベル選択ビット (電圧下降時の標準電圧)	<table border="0"> <tr> <td>b5</td> <td>b4</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>: 2.90V</td> </tr> <tr> <td>0</td> <td>1</td> <td>: 2.60V</td> </tr> <tr> <td>1</td> <td>0</td> <td>: 2.00V</td> </tr> <tr> <td>1</td> <td>1</td> <td>: 1.80V (注1)</td> </tr> </table>	b5	b4		0	0	: 2.90V	0	1	: 2.60V	1	0	: 2.00V	1	1	: 1.80V (注1)	R/W																																						
b5	b4																																																								
0	0	: 2.90V																																																							
0	1	: 2.60V																																																							
1	0	: 2.00V																																																							
1	1	: 1.80V (注1)																																																							
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W																																																					

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. LVCMPPCR.EXVCCINP2ビットが“0”（電源電圧（VCC））の場合、“11b”は設定禁止です。

LVDLVLR レジスタを変更するときは、LVCMPPCR.LVD1E ビットおよびLVCMPPCR.LVD2E ビットを共に“0”（電圧検出 n 回路無効）（n=1、2）にしてから行ってください。

また、LVD1LVL レジスタで設定の電圧検出レベルの範囲と LVD2LVL レジスタで設定の電圧検出レベルの範囲とがオーバーラップする設定をした場合、LVD1、LVD2 のどちらで電圧検出動作するかは特定できません。電圧検出レベルの範囲については、「32. 電気的特性」を参照してください。

8.2.7 電圧監視 1 回路制御レジスタ 0 (LVD1CR0)

アドレス 0008 C29Ah

b7	b6	b5	b4	b3	b2	b1	b0
LVD1RN	LVD1RI	—	—	—	LVD1CMPE	—	LVD1RIE

リセット後の値 1 (注1) 0 (注2) 0 0 x 0 (注2) 0 0 (注2)

x : 不定

注1. OSF1.STUPLVD1RENビットが“0”の場合、リセット後の値は“0”になります。

注2. OSF1.STUPLVD1RENビットが“0”の場合、リセット後の値は“1”になります。

ビット	シンボル	ビット名	機能	R/W
b0	LVD1RIE	電圧監視1割り込み/リセット許可ビット	0 : 禁止 1 : 許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	LVD1CMPE	電圧監視1回路比較結果出力許可ビット	0 : 電圧監視1回路比較結果出力禁止 1 : 電圧監視1回路比較結果出力許可	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	LVD1RI	電圧監視1回路モード選択ビット	0 : Vdet1 通過時に電圧監視1割り込み 1 : 下降してVdet1通過時に電圧監視1リセット	R/W
b7	LVD1RN	電圧監視1リセットネゲート選択ビット	0 : VCC > Vdet1 検出から一定時間 (tLVD1) 経過後にネゲート 1 : 電圧監視1リセットアサートから一定時間 (tLVD1) 経過後にネゲート	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

LVD1RIE ビット（電圧監視 1 割り込み / リセット許可ビット）

LVD1RIE ビットは、LVCMPCR.LVD1E ビットが“1”（電圧検出 1 回路有効）かつ LVD1CMPE ビットが“1”（電圧検出 1 回路比較結果出力許可）のとき有効になります。

フラッシュメモリの書き込み / 消去中は、電圧監視 1 リセットおよび電圧監視 1 ノンマスクブル割り込みを発生させないでください。

LVD1RN ビット（電圧監視 1 リセットネゲート選択ビット）

LVD1RN ビットを“1”（電圧監視 1 リセットアサートから一定時間経過後にネゲート）にする場合は、LOCOCR.LCSTP ビットは“0”（LOCO 動作）にしてください。また、ソフトウェアスタンバイモードへ移行する場合は、LVD1RN ビットを“0”（VCC > Vdet1 検出から一定時間経過後にネゲート）にすることのみ可能です。LVD1RN ビットを“1”（電圧監視 1 リセットアサートから一定時間経過後にネゲート）にしないでください。

8.2.8 電圧監視 2 回路制御レジスタ 0 (LVD2CR0)

アドレス 0008 C29Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	LVD2RN	LVD2RI	—	—	—	LVD2CMPE	—	LVD2RIE
リセット後の値	1	0	0	0	x	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	LVD2RIE	電圧監視2割り込み/リセット許可ビット	0 : 禁止 1 : 許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	LVD2CMPE	電圧監視2回路比較結果出力許可ビット	0 : 電圧監視2回路比較結果出力禁止 1 : 電圧監視2回路比較結果出力許可	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	LVD2RI	電圧監視2回路モード選択ビット	0 : Vdet2通過時に電圧監視2割り込み 1 : 下降してVdet2通過時に電圧監視2リセット	R/W
b7	LVD2RN	電圧監視2リセットネゲート選択ビット	0 : VCCまたはCMPA2端子 > Vdet2 検出から一定時間 (tLVD2) 経過後にネゲート 1 : 電圧監視2リセットアサートから一定時間 (tLVD2) 経過後にネゲート	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

LVD2RIE ビット (電圧監視 2 割り込み / リセット許可ビット)

LVD2RIE ビットは、LVCMPCR.LVD2E ビットが“1”（電圧検出 2 回路有効）かつ LVD2CMPE ビットが“1”（電圧検出 2 回路比較結果出力許可）のとき有効になります。

フラッシュメモリの書き込み / 消去中は、電圧監視 2 リセットおよび電圧監視 2 ノンマスクブル割り込みを発生させないでください。

LVD2RN ビット (電圧監視 2 リセットネゲート選択ビット)

LVD2RN ビットを“1”（電圧監視 2 リセットアサートから一定時間経過後にネゲート）にする場合は、LOCOCR.LCSTP ビットは“0”（LOCO 動作）にしてください。また、ソフトウェアスタンバイモードへ移行する場合は、LVD2RN ビットを“0”（VCC または CMPA2 端子 > Vdet2 検出から一定時間経過後にネゲート）にすることのみ可能です。LVD2RN ビットを“1”（電圧監視 2 リセットアサートから一定時間経過後にネゲート）にしないでください。

8.3 VCC 入力電圧のモニタ

8.3.1 Vdet1 のモニタ

以下の設定をした後、LVD1SR.LVD1MON フラグで電圧監視 1 の比較結果をモニタできます。

- (1) LVDLVLR.LVD1LVL[3:0] ビット (電圧検出 1 検出電圧) を設定する
- (2) LVCMPCR.LVD1E ビットを“1” (電圧検出 1 回路有効) にする
- (3) td(E-A) 待ってから、LVD1CR0.LVD1CMPE ビットを“1” (電圧監視 1 回路比較結果出力許可) にする。

8.3.2 Vdet2 のモニタ

以下の設定をした後、LVD2SR.LVD2MON フラグで電圧監視 2 の比較結果をモニタできます。

- (1) LVDLVLR.LVD2LVL[1:0] ビット (電圧検出 2 検出電圧) を設定する
- (2) LVCMPCR.EXVCCINP2 ビットを“0” (VCC 電圧) または“1” (CMPA2 端子入力電圧) にする
- (3) LVCMPCR.LVD2E ビットを“1” (電圧検出 2 回路有効) にする
- (4) td(E-A) 待ってから、LVD2CR0.LVD2CMPE ビットを“1” (電圧監視 2 回路比較結果出力許可) にする。

8.4 電圧監視1割り込み、電圧監視1リセット

表 8.3 に電圧監視1割り込み、電圧監視1リセット関連ビットの動作設定手順を、表 8.4 に電圧監視1割り込み、電圧監視1リセット関連ビットの停止設定手順を、図 8.4 に電圧監視1割り込み動作例を示します。電圧監視1リセットの動作例については、「6. リセット」の図 6.2 を参照してください。

表8.3 電圧監視1割り込み、電圧監視1リセット関連ビットの動作設定手順

手順	電圧監視1割り込み	電圧監視1リセット
1 (注1)	LVDLVLRLVD1LVL[3:0]ビットで検出電圧を選択する	
2 (注1)	LVD1CR0.LVD1RI ビットを“0” (電圧監視1割り込み) にする	LVD1CR0.LVD1RI ビットを“1” (電圧監視1リセット) にする。 LVD1CR0.LVD1RN ビットでリセットネゲートの種類を選択する
3	LVD1CR1.LVD1IDTSEL[1:0]ビットで割り込み要求のタイミングを選択する。 LVD1CR1.LVD1IRQSEL ビットで割り込みの種類を選択する。	—
4	—	LVD1CR0.LVD1RIE ビットを“1” (電圧監視1割り込み/リセット許可) にする。
5 (注1)	LVCMPCLR.LVD1E ビットを“1” (電圧検出1回路有効) にする	
6 (注1)	td(E-A)以上待つ	
7	LVD1CR0.LVD1CMPE ビットを“1” (電圧監視1回路比較結果出力許可) にする	
8	LVD1SR.LVD1DET ビットを“0”にする	—
9	LVD1CR0.LVD1RIE ビットを“1” (電圧監視1割り込み/リセット許可) にする	—

注1. 電圧監視1割り込み設定 (LVD1CR0.LVD1RI = 0) で動作させている場合で、停止後にLVD1CR1.LVD1IRQSEL, LVD1IDTSELビットの設定のみ変更して再動作させる場合、あるいは、停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順1、2、5、6は不要です。電圧監視1リセット設定 (LVD1CR0.LVD1RI = 1) で動作させている場合の変更は、上記手順1~9で設定してください。

表8.4 電圧監視1割り込み、電圧監視1リセット関連ビットの停止設定手順

手順	電圧監視1割り込み	電圧監視1リセット
1	LVD1CR0.LVD1RIE ビットを“0” (電圧監視1割り込み/リセット禁止) にする	—
2	LVD1CR0.LVD1CMPE ビットを“0” (電圧監視1回路比較結果出力禁止) にする	—
3 (注1)	LVCMPCLR.LVD1E ビットを“0” (電圧検出1回路無効) にする	
4	—	LVD1CR0.LVD1RIE ビットを“0” (電圧監視1割り込み/リセット禁止) にする
5	LVCMPCLR.LVD1E、LVD1CR0.LVD1RIE、LVD1CR0.LVD1CMPE を除く電圧検出回路関連レジスタの設定を変更する	

注1. 電圧監視1割り込み設定 (LVD1CR0.LVD1RI = 0) で動作させている場合で、停止後にLVD1CR1.LVD1IRQSEL, LVD1IDTSELビットの設定のみ変更して再動作させる場合、あるいは、停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順3は不要です。電圧監視1リセット設定 (LVD1CR0.LVD1RI = 1) で動作させている場合の変更は、上記手順1~5で設定してください。

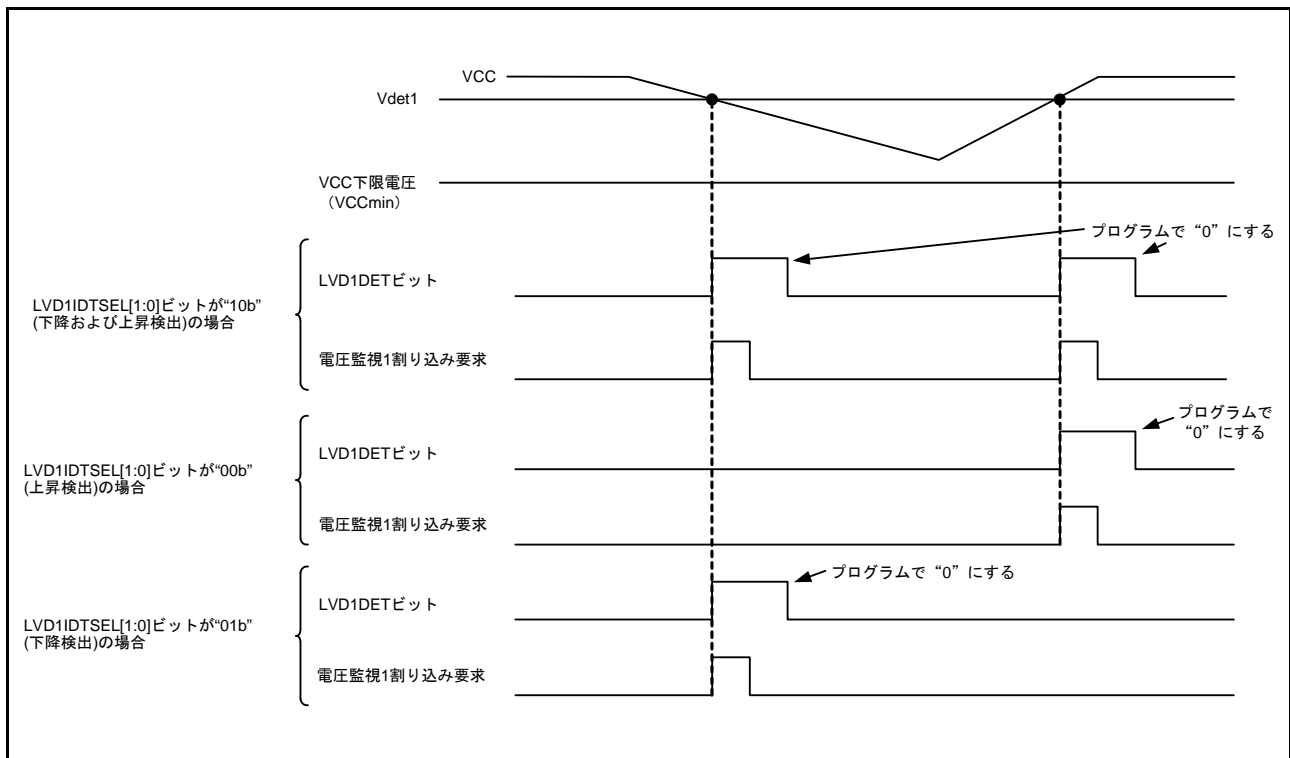


図 8.4 電圧監視 1 割り込み動作例

8.5 電圧監視 2 割り込み、電圧監視 2 リセット

表 8.5 に電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順を、表 8.6 に電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順を、図 8.5 に電圧監視 2 割り込み動作例を示します。電圧監視 2 リセットの動作例については、「6. リセット」の図 6.2 を参照してください。

表 8.5 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順

手順	電圧監視 2 割り込み	電圧監視 2 リセット
1 (注1)	LVDLVLRLVD2LVL[1:0] ビットで検出電圧を選択する	
2 (注1)	LVCMPCLR.EXVCCINP2 ビットを“0” (VCC 電圧) または“1” (CMPA2 端子入力電圧) にする	
3 (注1)	LVD2CR0.LVD2RI ビットを“0” (電圧監視 2 割り込み) にする	LVD2CR0.LVD2RI ビットを“1” (電圧監視 2 リセット) にする。 LVD2CR0.LVD2RN ビットでリセットネゲートの種類を選択する。
4	LVD2CR1.LVD2IDTSEL[1:0] ビットで割り込み要求のタイミングを選択する。 LVD2CR1.LVD2IRQSEL ビットで割り込みの種類を選択する	—
5	—	LVD2CR0.LVD2RIE ビットを“1” (電圧監視 2 割り込み / リセット許可) にする
6 (注1)	LVCMPCLR.LVD2E ビットを“1” (電圧検出 2 回路有効) にする	
7 (注1)	td(E-A) 以上待つ	
8	LVD2CR0.LVD2CMPE ビットを“1” (電圧監視 2 回路比較結果出力許可) にする	
9	LVD2SR.LVD2DET ビットを“0”にする	—
10	LVD2CR0.LVD2RIE ビットを“1” (電圧監視 2 割り込み / リセット許可) にする	—

注 1. 電圧監視 2 割り込み設定 (LVD2CR0.LVD2RI = 0) で動作させている場合で、停止後に LVD2CR1.LVD2IRQSEL, LVD2IDTSEL ビットの設定のみ変更して再動作させる場合、あるいは、停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順 1、2、3、6、7 は不要です。電圧監視 2 リセット設定 (LVD2CR0.LVD2RI = 1) で動作させている場合の変更は、上記手順 1 ~ 10 で設定してください。

表 8.6 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順

手順	電圧監視 2 割り込み	電圧監視 2 リセット
1	LVD2CR0.LVD2RIE ビットを“0” (電圧監視 2 割り込み / リセット禁止) にする	—
2	LVD2CR0.LVD2CMPE ビットを“0” (電圧監視 2 回路比較結果出力禁止) にする	
3 (注1)	LVCMPCLR.LVD2E ビットを“0” (電圧検出 2 回路無効) にする	
4	—	LVD2CR0.LVD2RIE ビットを“0” (電圧監視 2 割り込み / リセット禁止) にする
5	LVCMPCLR.LVD2E、LVD2CR0.LVD2RIE、LVD2CR0.LVD2CMPE を除く電圧検出回路関連レジスタの設定を変更する	

注 1. 電圧監視 2 割り込み設定 (LVD2CR0.LVD2RI = 0) で動作させている場合で、停止後に LVD2CR1.LVD2IRQSEL, LVD2IDTSEL ビットの設定のみ変更して再動作させる場合、あるいは、停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順 3 は不要です。電圧監視 2 リセット設定 (LVD2CR0.LVD2RI = 1) で動作させている場合の変更は、上記手順 1 ~ 5 で設定してください。

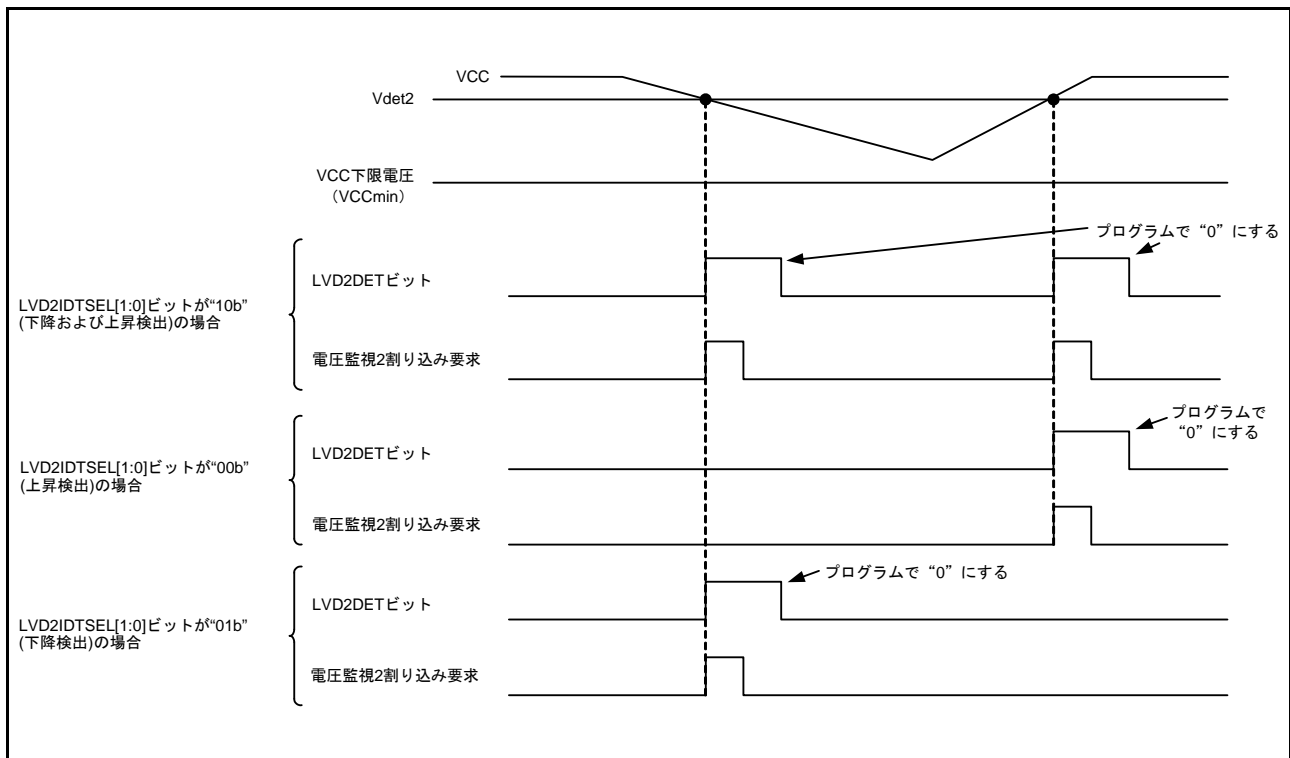


図 8.5 電圧監視 2 割り込み動作例

9. クロック発生回路

9.1 概要

本 MCU には、クロック発生回路を内蔵しています。

表 9.1 にクロック発生回路の仕様を、図 9.1 にクロック発生回路のブロック図を示します。

表9.1 クロック発生回路の仕様

項目	仕様
用途	<ul style="list-style-type: none"> • CPU、DTC、ROMおよびRAMに供給されるシステムクロック (ICLK) の生成 • 周辺モジュールに供給される周辺モジュールクロック (PCLKB、PCLKD) の生成 周辺モジュールクロック (PCLKD) はS12AD用、周辺モジュールクロック (PCLKB) は、S12AD以外の周辺モジュール用の動作クロックです。 • FlashIFに供給されるFlashIFクロック (FCLK) の生成 • CACに供給されるCACクロック (CACCLK) の生成 • RTCに供給されるRTC専用サブクロック (RTCSCLK) の生成 • IWDTに供給されるIWDT専用クロック (IWDTCCLK) の生成
動作周波数 (注1)	<ul style="list-style-type: none"> • ICLK : 32MHz (max) (注2) • PCLKB : 32MHz (max) (注2) • PCLKD : 32MHz (max) (注2) • FCLK : 1MHz~32MHz (ROM、P/E時) • CACCLK : 各発振器のクロックと同じ • RTCSCLK : 32.768kHz • IWDTCCLK : 15kHz
メインクロック発振器	<ul style="list-style-type: none"> • 発振器周波数 : 1MHz~20MHz (VCC ≥ 2.4V)、1MHz~8MHz (VCC < 2.4V) • 外部クロック入力周波数 : 20MHz (max) • 接続できる発振器、または付加回路 : セラミック共振子、水晶振動子 • 接続端子 : EXTAL、XTAL • 発振停止検出機能 : メインクロックの発振停止検出時、LOCOに切り替える機能、MTUの端子をハイインピーダンスにする機能
サブクロック発振器	<ul style="list-style-type: none"> • 発振器周波数 : 32.768kHz • 接続できる発振器、または付加回路 : 水晶振動子 • 接続端子 : XCIN、XCOUT
高速オンチップオシレータ (HOCO)	発振周波数 : 32MHz
低速オンチップオシレータ (LOCO)	発振周波数 : 4MHz
IWDT専用オンチップオシレータ	発振周波数 : 15kHz

注1. 高速動作モードでの最大動作周波数です。その他の動作電力モードにおける最大動作周波数については、「11.2.5 動作電力コントロールレジスタ (OPCCR)」を参照してください。

注2. ICLK:FCLK, PCLKB, PCLKD = 1:N (Nは整数) の分周比関係になるように設定してください。

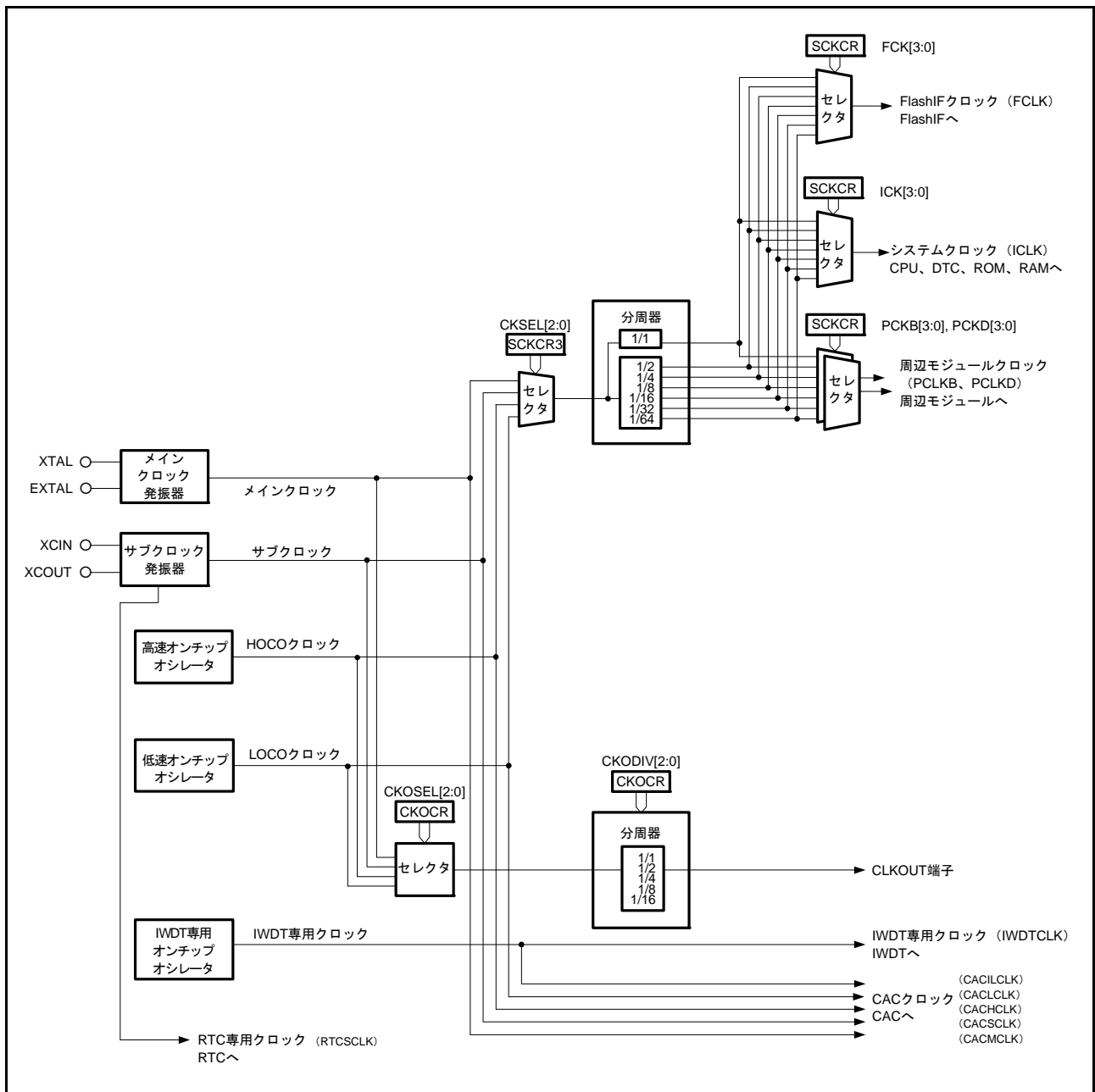


図 9.1 クロック発生回路のブロック図

表 9.2 にクロック発生回路の入出力端子を示します。

表9.2 クロック発生回路の入出力端子

端子名	入出力	機能
XTAL	出力/入力 (注1)	発振子接続端子。また、XTAL端子は外部クロックを入力することもできます。詳細は、「9.3.2 外部クロックを入力する方法」参照
EXTAL	入力	
XCIN	入力	32.768kHzの水晶振動子を接続
XCOU	出力	
CLKOUT	出力	クロック出力端子

注1. 外部クロックを入力する場合は。

9.2 レジスタの説明

9.2.1 システムクロックコントロールレジスタ (SCKCR)

アドレス 0008 0020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	FCK[3:0]				ICK[3:0]				—	—	—	—	—	—	—	—	
リセット後の値	0	0	1	1	0	0	1	1	0	0	0	0	0	0	0	0	
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	PCKB[3:0]				—	—	—	—	PCKD[3:0]				
リセット後の値	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	PCKD[3:0]	周辺モジュールクロックD (PCLKD) 選択ビット (注1)	b3 b0 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	PCKB[3:0]	周辺モジュールクロックB (PCLKB) 選択ビット (注1)	b11 b8 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b23-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27-b24	ICK[3:0]	システムクロック (ICLK) 選択ビット (注1)	b27 b24 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b31-b28	FCK[3:0]	FlashIFクロック (FCLK) 選択ビット (注1)	b31 b28 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. ICLK:FCLK, PCLKB, PCLKD = 1:N (Nは整数) の分周比関係になるように設定してください。

フラッシュメモリが P/E 中はこのレジスタへの書き込みができません。書き込みは無効になります。

SCKCR レジスタへの書き込み後、後続の命令で SCKCR レジスタ、SCKCR3 レジスタのいずれかのレジスタへ書き込みをする場合、以下の手順に従ってください。

1. SCKCR レジスタへの書き込み
2. SCKCR レジスタに値が書かれたことを確認する
3. 次のステップに進む

PCKD[3:0] ビット (周辺モジュールクロック D (PCLKD) 選択ビット)

周辺モジュールクロック D (PCLKD) の周波数を選択します。

PCKB[3:0] ビット (周辺モジュールクロック B (PCLKB) 選択ビット)

周辺モジュールクロック B (PCLKB) の周波数を選択します。

ICK[3:0] ビット (システムクロック (ICLK) 選択ビット)

システムクロック (ICLK) の周波数を選択します。

FCK[3:0] ビット (FlashIF クロック (FCLK) 選択ビット)

FlashIF クロック (FCLK) の周波数を選択します。

9.2.2 システムクロックコントロールレジスタ 3 (SCKCR3)

アドレス 0008 0026h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	CKSEL[2:0]		—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	CKSEL[2:0]	クロックソース選択ビット	b10 b8 000: LOCO選択 001: HOCO選択 010: メインクロック発振器選択 011: サブクロック発振器選択 上記以外は設定しないでください	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

フラッシュメモリがP/E中はこのレジスタへの書き込みができません。書き込みは無効になります。

CKSEL[2:0] ビット (クロックソース選択ビット)

システムクロック (ICLK)、周辺モジュールクロック (PCLKB、PCLKD)、FlashIFクロック (FCLK) のクロックソースを低速オンチップオシレータ (LOCO)、高速オンチップオシレータ (HOCO)、メインクロック発振器、サブクロック発振器から選択します。

停止しているクロックソースへの切り替えは禁止です。

9.2.3 メインクロック発振器コントロールレジスタ (MOSCCR)

アドレス 0008 0032h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MOSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	MOSTP	メインクロック発振器停止ビット	0:メインクロック発振器動作 1:メインクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

メインクロック発振器ウェイトコントロールレジスタを設定してから本レジスタを設定してください。

MOSTP ビット (メインクロック発振器停止ビット)

メインクロック発振器の動作 / 停止を制御します。

MOSTP ビットにてメインクロックを動作設定に変更後、OSCOVFSR.MOOVF フラグが“1”になっていることを確認してから、メインクロックの使用を開始してください。

メインクロック発振器は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- メインクロック発振器を停止設定後、再度動作設定にする場合、OSCOVFSR.MOOVF フラグの“0”を確認してから設定してください。
- メインクロック発振器の停止設定は、メインクロック発振器動作かつ OSCOVFSR.MOOVF フラグの“1”を確認してから設定してください。
- システムクロックとして選択しているかどうかに関わらず、メインクロック発振器を動作設定にしてソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.MOOVF フラグの“1”を確認してから WAIT 命令を実行してください。
- メインクロック発振器を停止設定後、ソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.MOOVF フラグの“0”を確認してから WAIT 命令を実行してください。

以下の条件を満たす場合、MOSTP ビットを“1”にしないでください。

- システムクロックのクロックソースにメインクロックを選択しているとき (SCKCR3.CKSEL[2:0] = 010b)

以下の条件を満たす場合、MOSTP ビットを“0”にしないでください。

- 低速動作モードを選択しているとき (SOPCCR.SOPCM = 1)

9.2.4 サブクロック発振器コントロールレジスタ (SOSCCR)

アドレス 0008 0033h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SOSTP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SOSTP	サブクロック発振器停止ビット	0: サブクロック発振器動作 1: サブクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

XCIN 端子はポートと兼用端子になっており初期設定状態ではサブクロック発振器機能となります。

SOSTP ビット (サブクロック発振器停止ビット)

サブクロック発振器の動作/停止を制御します。

サブクロック発振器の動作/停止は、SOSTP ビットおよび RTC コントロールレジスタ 3 のサブクロック発振器制御ビット (RCR3.RTCEN) で制御され、いずれかのビットが動作に設定されているとサブクロック発振器は動作状態となります。

SOSTP ビットまたは RCR3.RTCEN ビットの書き換えを行う場合は、書き込み後、読み出して書き換わったのを確認してから、後続の命令を実行するようにしてください（「5. I/O レジスタ」の「(2) I/O レジスタ書き込み時の注意事項」を参照してください）。

SOSTP ビット、または RCR3.RTCEN ビットでサブクロック発振器を動作設定に変更後、サブクロック発振安定時間 (t_{SUBOSC}) が経過した後、サブクロックの使用を開始してください。

サブクロック発振器は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- サブクロック発振器を停止設定後、再度動作設定にする場合、停止期間はサブクロックで5サイクル以上の時間となるようにしてください。
- サブクロック発振器の停止設定は、サブクロック発振器の発振が安定している状態で行ってください。
- システムクロックとして選択しているかどうかに関わらず、サブクロック発振器を動作設定にしてソフトウェアスタンバイモードに移行する場合は、発振が安定した状態で WAIT 命令を実行してください。
- サブクロック発振器を停止設定後、ソフトウェアスタンバイモードに移行する場合は、サブクロック発振器停止設定後、サブクロック 2 サイクル以上待ってから WAIT 命令を実行してください。

SCKCR3.CKSEL[2:0] ビットでサブクロック発振器を選択しているとき、SOSTP ビットを“1”（サブクロック発振器停止）にする書き込みは禁止です。

9.2.5 低速オンチップオシレータコントロールレジスタ (LOCOCR)

アドレス 0008 0034h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	LCSTP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LCSTP	LOCO停止ビット	0 : LOCO動作 1 : LOCO停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

LCSTP ビット (LOCO 停止ビット)

LOCO の動作 / 停止を制御します。

LCSTP ビットにて LOCO を停止設定から動作設定に変更後、LOCO クロックを使用する場合は、LOCO クロック発振安定時間 (t_{LOCO}) が経過した後、使用開始してください。

LOCO は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- LOCO を停止設定後、再度動作設定にする場合、停止期間は LOCO クロックで 5 サイクル以上の時間となるようにしてください。
- LOCO の停止設定は、LOCO の発振が安定している状態で行ってください。
- システムクロックとして選択しているかどうかに関わらず、LOCO を動作設定にしてソフトウェアスタンバイモードに移行する場合は、LOCO の発振が安定した状態で WAIT 命令を実行してください。
- LOCO を停止設定後、ソフトウェアスタンバイモードに移行する場合は、LOCO 停止設定後、LOCO クロック 3 サイクル以上待ってから WAIT 命令を実行してください。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) で LOCO を選択しているとき、LCSTP ビットを“1” (LOCO 停止) にする書き込みは禁止です。

SOPCCR.SOPCM ビットで低速動作モードを選択しているときは、LCSTP を“0” (LOCO 動作) にする書き込みは禁止です。

9.2.6 IWDT 専用オンチップオシレータコントロールレジスタ (ILOCOCR)

アドレス 0008 0035h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ILCSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	ILCSTP	IWDT専用オンチップオシレータ停止ビット	0: IWDT専用オンチップオシレータ動作 1: IWDT専用オンチップオシレータ停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

オプション機能選択レジスタ0のIWDTスタートモード選択ビット（OFS0.IWDTSTRT）が“0”（IWDT動作）のとき、ILOCOCRレジスタの設定は無効です。OFS0.IWDTSTRTビットが“1”（IWDT停止）のとき、ILOCOCRレジスタの設定は有効です。ILOCOCRレジスタが有効、かつILCSTPビットが“0”（IWDT専用オンチップオシレータ動作）の後、“1”（IWDT専用オンチップオシレータ停止）に設定することはできません。

ILCSTP ビット (IWDT 専用オンチップオシレータ停止ビット)

IWDT専用オンチップオシレータの動作/停止を制御します。

ILCSTPビットで、IWDT専用オンチップオシレータを停止設定から動作設定に変更した場合、IWDT専用クロック発振安定時間（ t_{LLOCO} ）に相当する一定時間経過後、MCU内部にクロックが供給開始されます。IWDT専用クロックを使用する場合は、この待ち時間が経過した後、使用開始してください。

IWDT専用オンチップオシレータを動作設定にしてソフトウェアスタンバイモードに移行する場合は、発振が安定した状態でWAIT命令を実行してください。

9.2.7 高速オンチップオシレータコントロールレジスタ (HOCOOCR)

アドレス 0008 0036h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	HCSTP
リセット後の値	0	0	0	0	0	0	0	0/1 (注1)

注1. オプション機能選択レジスタ1のHOCO発振有効ビット (OFS1.HOCOEN) が“0”のとき、HCSTPビットのリセット後の値は“0”になります。OFS1.HOCOENビットが“1”のとき、HCSTPビットのリセット後の値は“1”になります。

ビット	シンボル	ビット名	機能	R/W
b0	HCSTP	HOCO停止ビット	0 : HOCO動作 1 : HOCO停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

高速オンチップオシレータウェイトコントロールレジスタを設定してから本レジスタを設定してください。

HCSTP ビット (HOCO 停止ビット)

HOCO の動作 / 停止を制御します。

HCSTP ビットで HOCO を停止設定から動作設定に変更した場合、OSCOVFSR.HCOVF フラグが“1”になっていることを確認してからシステムクロックを HOCO クロックに切り替えてください。

HOCO は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- HOCO を停止設定後、再度動作設定にする場合、OSCOVFSR.HCOVF フラグの“0”を確認してから設定してください。
- HOCO の停止設定は、HOCO 動作かつ OSCOVFSR.HCOVF フラグの“1”を確認してから設定してください。
- システムクロックとして選択しているかどうかに関わらず、HOCO を動作設定にしてソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.HCOVF フラグの“1”を確認してから WAIT 命令を実行してください。
- HOCO を停止設定後、ソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.HCOVF フラグの“0”を確認してから WAIT 命令を実行してください。

SCKCR3.CKSEL[2:0] ビットで HOCO を選択しているとき、HCSTP ビットを“1”（HOCO 停止）にする書き込みは禁止です。

SOPCCR.SOPCM ビットで低速動作モードを選択しているときは、HCSTP を“0”（HOCO 動作）にする書き込みは禁止です。

9.2.8 発振安定フラグレジスタ (OSCOVFSR)

アドレス 0008 003Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	HCOVF	—	—	MOOV F
リセット後の値	0	0	0	0	0/1	0	0	0

(注1)

注1. オプション機能選択レジスタ1のHOCO発振有効ビット (OFS1.HOCOEN) が“0”のとき、HCOVFビットのリセット後の値は“1”になります。OFS1.HOCOENビットが“1”のとき、HCSTPビットのリセット後の値は“0”になります。

ビット	シンボル	ビット名	機能	R/W
b0	MOOV F	メインクロック発振安定フラグ	0: メインクロック停止 1: 発振安定、システムクロックとして使用可能 (注1)	R
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	HCOVF	HOCOクロック発振安定フラグ	0: HOCO停止、または発振安定待ち中 1: 発振安定、システムクロックとして使用可能 (注1)	R
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 各発振器のウェイトコントロールレジスタに適切な値を設定した場合。設定値 (待ち時間) が不足している場合は、発振が安定する前にクロックの供給が開始されます。

OSCOVFSR レジスタは各発振器の発振が安定したかどうかをモニタするレジスタです。

それぞれの発振器にウェイトコントロールレジスタがある場合は、発振回路の安定時間以上になるように待ち時間を設定してください。

MOOV F フラグ (メインクロック発振安定フラグ)

メインクロックの発振安定の状態を示します。

["1" になる条件]

- MOSCCR.MOSTP ビットが“1” (メインクロック発振器停止) のときに、MOSTP ビットを“0” (メインクロック発振器動作) にした後、MOSCWTCR レジスタの設定値に応じた時間が経過し、MCU 内部にメインクロックの供給が開始されたとき

["0" になる条件]

- MOSCCR.MOSTP ビットを“1”にした後、メインクロック発振器の発振停止処理が完了したとき

HCOVF フラグ (HOCO クロック発振安定フラグ)

HOCO クロックの発振安定の状態を示します。

["1" になる条件]

- HOCO CR.HCSTP ビットが“1” (HOCO 停止) のときに、HCSTP ビットを“0” (HOCO 動作) にした後、HOCOWTCR レジスタの設定値に応じた時間が経過し、MCU 内部に HOCO クロックの供給が開始されたとき

["0" になる条件]

- HOCO CR.HCSTP ビットを“1”にした後、HOCO の発振停止処理が完了したとき

9.2.9 発振停止検出コントロールレジスタ (OSTDCR)

アドレス 0008 0040h

	b7	b6	b5	b4	b3	b2	b1	b0
	OSTDE	—	—	—	—	—	—	OSTDIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDIE	発振停止検出割り込み許可ビット	0 : 発振停止検出割り込みを禁止 1 : 発振停止検出割り込みを許可	R/W
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OSTDE	発振停止検出機能許可ビット	0 : 発振停止検出機能は無効 1 : 発振停止検出機能は有効	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

OSTDIE ビット（発振停止検出割り込み許可ビット）

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) のクリアは、OSTDIE ビットを“0”にした後に行ってください。その後、OSTDIE ビットを再度“1”にする場合は、PCLKB で2サイクル以上待ってから行ってください。アクセスサイクル数がPCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

OSTDE ビット（発振停止検出機能許可ビット）

発振停止検出機能の有効/無効を設定します。

OSTDE ビットを“1”（発振停止検出機能有効）にすると、LOCO 停止ビット (LOCOCR.LCSTP) も“0”となり、LOCO が動作します。発振停止検出機能が有効である間は、LOCO を停止させることはできません。LOCOCR.LCSTP ビットへ“1”（LOCO 停止）を書いても、その書き込みは無効になります。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) が“1”（メインクロック発振停止検出）のとき、OSTDE ビットへの“0”書き込みは無効になります。

OSTDE ビットが“1”の場合、ソフトウェアスタンバイモードに移行できません。ソフトウェアスタンバイモードへ移行する場合は、OSTDE ビットを“0”にして、WAIT 命令を実行してください。

9.2.10 発振停止検出ステータスレジスタ (OSTDSR)

アドレス 0008 0041h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	OSTDF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDF	発振停止検出フラグ	0: メインクロックの発振停止を未検出 1: メインクロックの発振停止を検出	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. “0”のみ書けます。

OSTDF フラグ（発振停止検出フラグ）

メインクロックの状態を示すステータスフラグです。OSTDF フラグが“1”のときメインクロックの発振停止を検出したことを示します。

メインクロックの発振停止を検出した後で、メインクロックの発振が再開しても、OSTDF フラグは“0”になりません。OSTDF フラグは“1”を読んだ後、“0”を書くことによって“0”になります。OSTDF = 0 が読み出し値に反映されるまで ICLK3 サイクル以上待つ必要があります。メインクロックの発振を停止している状態で OSTDF フラグを“0”にした場合、OSTDF フラグは一度“0”になった後、再度“1”になります。

また、システムクロックコントロールレジスタ3のクロックソース選択ビット（SCKCR3.CKSEL[2:0]）でメインクロック発振器（“010b”）を選択している場合は、OSTDF フラグを“0”にすることはできません。クロックソースをメインクロック発振器以外に切り替えてから OSTDF フラグを“0”にしてください。

[“1”になる条件]

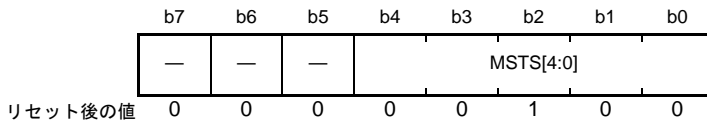
- OSTDCR.OSTDE ビットが“1”（発振停止検出機能有効）の状態、メインクロックの発振が停止したとき

[“0”になる条件]

- SCKCR3.CKSEL[2:0] ビットが“010b”以外の場合に、“1”を読んだ後、“0”を書いたとき

9.2.11 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)

アドレス 0008 00A2h



ビット	シンボル	ビット名	機能	R/W
b4-b0	MSTS[4:0]	メインクロック発振器ウェイト時間設定ビット	b4 b0 00000: 待ち時間 = 2サイクル (0.5 μ s) 00001: 待ち時間 = 1024サイクル (256 μ s) 00010: 待ち時間 = 2048サイクル (512 μ s) 00011: 待ち時間 = 4096サイクル (1.024ms) 00100: 待ち時間 = 8192サイクル (2.048ms) 00101: 待ち時間 = 16384サイクル (4.096ms) 00110: 待ち時間 = 32768サイクル (8.192ms) 00111: 待ち時間 = 65536サイクル (16.384ms) 上記以外は設定しないでください 待ち時間はLOCO = 4.0MHz (0.25 μ s, TYP) の場合	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

MSTS[4:0] (メインクロック発振器ウェイト時間設定ビット)

メインクロック発振器の発振安定待ち時間を選択します。

メインクロック発振安定待ち時間は、発振子メーカーが推奨する発振安定時間以上になるように設定してください。メインクロックを外部入力で使用している場合は、発振安定待ち時間は必要ないため、“00000b”を設定してください。

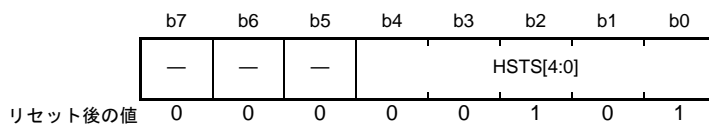
MSTS[4:0] ビットで設定した待ち時間は、LOCO クロックを使用して計測されます。LOCO は、LOCOCR.LOSTP ビットの値にかかわらず、必要なときに自動で発振します。

設定した待ち時間が経過した後、MCU 内部へのメインクロック供給が開始され、OSCOVFSR.MOOVF フラグが“1”になります。なお、設定した待ち時間が短かった場合は、メインクロックの発振が安定する前にクロックの供給が開始されます。

MOSCWTCR レジスタは、MOSCCR.MOSTP ビットが“1”で、OSCOVFSR.MOOVF フラグが“0”のときに書き換えてください。これ以外のときは書き換えしないでください。

9.2.12 高速オンチップオシレータウェイトコントロールレジスタ (HOCOWTCCR)

アドレス 0008 00A5h



ビット	シンボル	ビット名	機能	R/W
b4-b0	HSTS[4:0]	高速オンチップオシレータウェイト時間設定ビット	b4 b0 00101: 待ち時間 = 138サイクル (34.5 μ s) (注1、注2、注4) 00110: 待ち時間 = 266サイクル (66.5 μ s) (注3、注4) 上記以外は設定しないでください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 注. このレジスタはPRCR.PRC2ビットを“1”（書き込み許可）にした後で書き換えてください。
- 注1. この値を設定した場合、HOCO発振安定時間 (t_{HOCO}) を確保できないため、クロック供給開始時は電氣的特性に記載のHOCO周波数精度は保証されません。なお、発振開始から t_{HOCO} 経過後には、電氣的特性に記載のHOCO周波数精度となります。
- 注2. OFS1.HOCOENビットに“0”を設定している場合、HOCO発振安定時間 (t_{HOCO}) はハードウェアで確保されているため、CPUリセット解除後から電氣的特性に記載のHOCO発振周波数 (f_{HOCO}) の精度のクロックが供給されます。
- 注3. この値を設定するとHOCO発振安定時間 (t_{HOCO}) が確保され、クロック供給開始直後から電氣的特性に記載のHOCO発振周波数 (f_{HOCO}) の精度のクロックが供給されます。
- 注4. 待ち時間はLOCO = 4.0MHz (0.25 μ s, TYP) の場合

HSTS[4:0] ビット (高速オンチップオシレータウェイト時間設定ビット)

HOCO動作 (HOCOEN.HCSTP ビットに“0”) 設定時およびソフトウェアスタンバイモード解除時のHOCOの発振安定待ち時間を選択します。

HSTS[4:0] ビットで設定したサイクル分、LOCOでカウントした後、MCU内部へのHOCOクロック供給が開始されます。LOCOによるカウントは、LOCOEN.LOSTPビットの設定に関わらず行われ、ハードウェアで自動的にLOCOの動作、停止が制御されます。

カウントが完了するまでの間、MCU内部へのクロック供給は行われません。

カウント完了後、MCU内部へのクロック供給が開始され、OSCOVFSR.HCOVFフラグが“1”になります。

HOCOWTCCRレジスタは、次の場合には書き換え可能です。それ以外は書き換えしないでください。

- HOCOEN.HCSTPビットを“0” (動作) にし、かつOSCOVFSR.HCOVFフラグの“1”を確認した場合
- HOCOEN.HCSTPビットを“1” (停止) にし、かつOSCOVFSR.HCOVFフラグの“0”を確認した場合

9.2.13 CLKOUT 出力コントロールレジスタ (CKOCR)

アドレス 0008 003Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CKOSTP	CKODIV[2:0]			—	CKOSEL[2:0]			—	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	CKOSEL[2:0]	CLKOUT 出力ソース選択ビット	b10 b8 000: LOCOクロック 001: HOCOクロック 010: メインクロック 011: サブクロック 上記以外は設定しないでください	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14-b12	CKODIV[2:0]	CLKOUT 出力分周比選択ビット	b14 b12 000: 分周なし 001: 2分周 010: 4分周 011: 8分周 100: 16分周 上記以外は設定しないでください	R/W
b15	CKOSTP	CLKOUT 出力停止制御ビット	0: CLKOUT 端子出力許可 (注1) 1: CLKOUT 端子出力禁止 (Low 固定)	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. 対応する端子の端子機能制御レジスタ、ポートモードレジスタの設定も必要です。

CKOSEL[2:0] ビット (CLKOUT 出力ソース選択ビット)

CLKOUT 端子から出力するクロックのソースを LOCO クロック、HOCO クロック、メインクロック、サブクロックから選択します。

CKODIV[2:0] ビット (CLKOUT 出力分周比選択ビット)

CKOSEL[2:0] ビットで選択したクロックの分周比を選択します。

変更するときは CKOSTP ビットを“1”にしてください。

なお、出力するクロックの周波数が、VCC が 2.7V 以上の場合は 8MHz 以下、VCC が 2.7V 未満のときは 4MHz 以下になるように分周比を設定してください。

CLKOUT 端子から出力されるクロックの特性は、「表 32.30 内蔵周辺モジュールタイミング (1)」を参照してください。

CKOSTP ビット (CLKOUT 出力停止制御ビット)

CLKOUT 端子の出力を制御します。

“0”にすると選択したクロックが出力されます。“1”にすると Low が出力されます。

クロックを発振させたまま CKOSTP ビットを書き換えると、出力にグリッチが発生することがあります。

9.2.14 メインクロック発振器強制発振コントロールレジスタ (MOFCR)

アドレス 0008 C293h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	MOSEL	MODRV21	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	MODRV21	メインクロック発振器ドライブ能力切り替えビット	VCC ≥ 2.4V 0 : 1MHz ~ 10MHz 1 : 10MHz ~ 20MHz VCC < 2.4V 0 : 1MHz ~ 8MHz 1 : 設定禁止	R/W
b6	MOSEL	メインクロック発振器切り替えビット	0 : 発振子 1 : 外部発振入力	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

MODRV21 (メインクロック発振器ドライブ能力切り替えビット)

メインクロック発振器のドライブ能力の切り替えをします。

MOSEL (メインクロック発振器切り替えビット)

メインクロック発振器の発振源の切り替えを行います。

9.3 メインクロック発振器

メインクロック発振器へクロックを供給する方法には、発振子を接続する方法と外部クロックを入力する方法があります。

9.3.1 発振子を接続する方法

発振子を接続する場合の接続例を図9.2に示します。

必要に応じてダンピング抵抗 (R_d) を挿入してください。抵抗値は発振子、発振駆動能力によって異なりますので発振子メーカーの推奨する値に設定してください。また、発振子メーカーから外部に帰還抵抗 (R_f) を追加するよう指示があった場合は、その指示に従ってEXTAL、XTAL間に R_f を挿入してください。

発振子を接続してクロックを供給する場合、接続する発振子は表9.1のメインクロック発振器の発振子周波数の範囲内としてください。

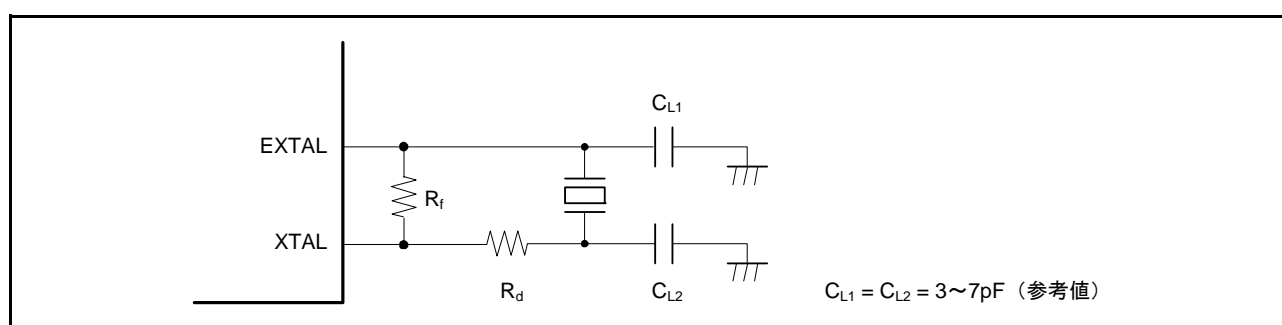


図9.2 水晶振動子の接続例

表9.3 ダンピング抵抗 (参考値)

周波数 (MHz)	2	8	16	20
R_d (Ω)	0	0	0	0

水晶振動子の等価回路を図9.3に示します。水晶振動子は表9.4に示す特性のものを参考として使用してください。

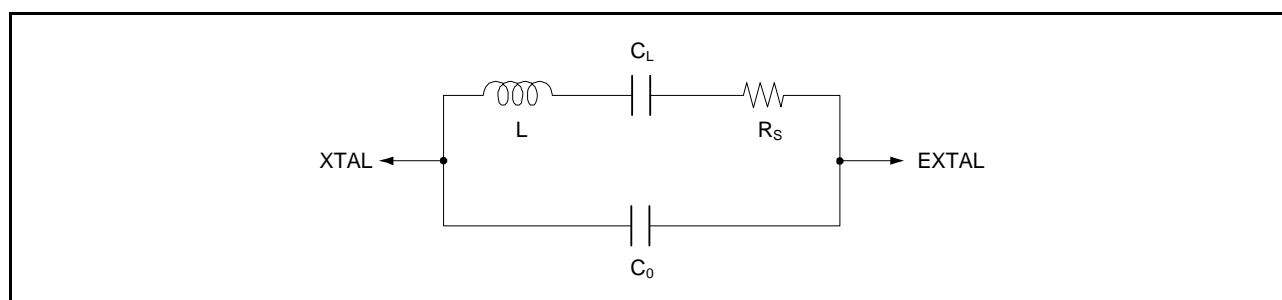


図9.3 水晶振動子の等価回路

表9.4 水晶振動子の特性 (参考値)

周波数 (MHz)	8	12	16
R_s max (Ω)	200	120	56
C_0 max (pF)	1.3	1.3	1.4

9.3.2 外部クロックを入力する方法

外部クロック入力の接続例を図9.4に示します。外部クロックを入力して動作させる場合には、MOFCR.MOSEL ビットを“1”にしてください。このとき EXTAL 端子は、Hi-Z になります。

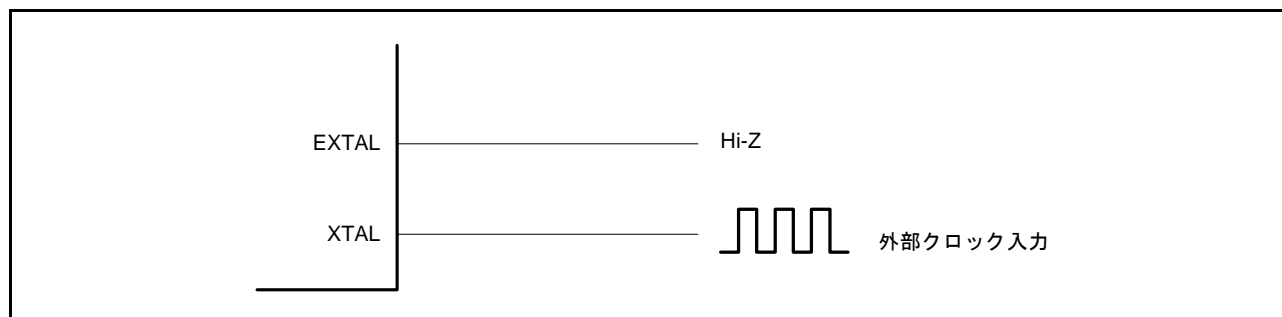


図 9.4 外部クロックの接続例

9.3.3 メインクロックを使用しない場合の端子処理

メインクロックを使用しない場合の端子処理は、「18.5 未使用端子の処理」を参照ください。

9.3.4 外部クロック入力に関する注意事項

外部クロック入力周波数の変更は、メインクロック発振器が動作を停止しているときのみ可能です。メインクロック発振器停止ビット (MOSCCR.MOSTP) に“0” (メインクロック発振器動作) が設定されている間は、外部クロック入力周波数を変更しないでください。

9.4 サブクロック発振器

サブクロック発振器へクロックを供給する方法には、水晶振動子を接続する方法があります。

9.4.1 32.768kHz 水晶振動子を接続する方法

サブクロック発振器へクロックを供給するには、**図 9.5** に示すように 32.768kHz の水晶振動子を接続します。

必要に応じてダンピング抵抗 (R_d) を挿入してください。抵抗値は発振子、発振駆動能力によって異なりますので発振子メーカーの推奨する値に設定してください。また、発振子メーカーから外部に帰還抵抗 (R_f) を追加するよう指示があった場合は、その指示に従って XCIN、XCOUT 間に R_f を挿入してください。発振子を接続してクロックを供給する場合、接続する発振子は**表 9.1** のサブクロック発振器の発振子周波数の範囲内としてください。

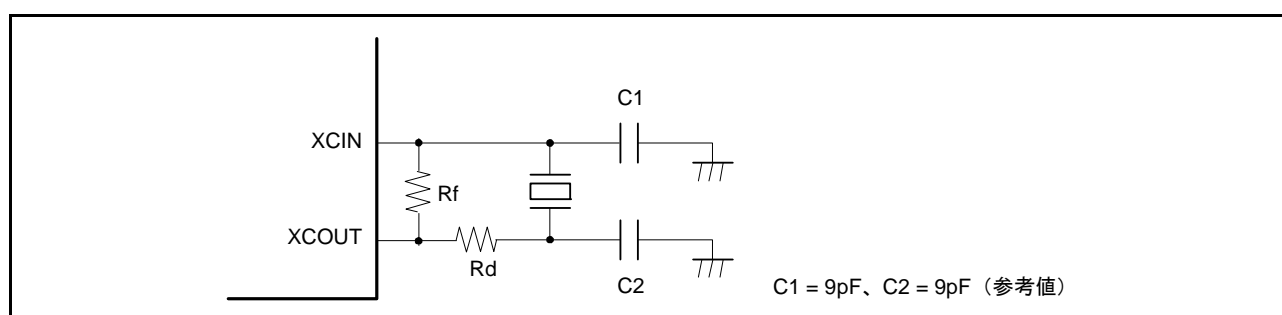


図 9.5 32.768kHz 水晶振動子の接続例

32.768kHz 水晶振動子の等価回路を**図 9.6** に示します。水晶振動子は**表 9.5** に示す特性のものを使用してください。

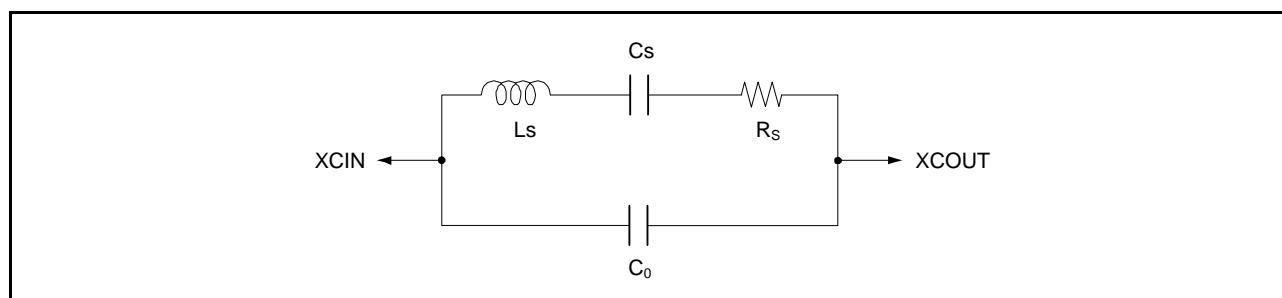


図 9.6 水晶振動子の等価回路

表 9.5 水晶振動子の特性 (参考値)

周波数 (kHz)	32.768 (低CL)
R_s max (k Ω)	37
C_0 max (pF)	0.9

9.4.2 サブクロックを使用しない場合の端子処理

サブクロックを使用しない場合は、SOSCCR.SOSTP ビットを“1” (停止) に、かつ RCR3.RTCEN ビットを“0” (サブクロック発振器停止) にしてください (汎用ポート PH7 に設定)。ポート PH7 としても使用しない場合は、未使用端子の処理をしてください。未使用端子の処理については、「**18.5 未使用端子の処理**」を参照してください。

9.5 発振停止検出機能

9.5.1 発振停止検出と検出後の動作

発振停止検出機能は、メインクロック発振器の停止を検出し、システムクロックのクロックソースとしてメインクロックの代わりに低速オンチップオシレータが出力する低速クロックを供給する機能です。

発振停止検出時には発振停止検出割り込み要求を発生させることができます。また、発振停止検出時に、MTUの出力を強制的にハイインピーダンスとすることも可能です。詳細は、「19. マルチファンクションタイマパルスユニット2 (MTU2b)」を参照してください。

本MCUは、メインクロック発振器の異常などによって入力クロックが一定期間“0”または“1”となった場合に、「32. 電気的特性」の発振停止検出回路特性参照)、メインクロックの発振停止を検出します。

発振停止を検出すると、クロックソース選択ビット (SCKCR3.CKSEL[2:0]) で選択されるメインクロックが、前段のセレクタにて LOCO クロックに切り替わります。そのため、システムクロックのクロックソースにメインクロックを選択した状態で発振停止を検出すると、CKSEL[2:0] ビットの設定値は変わらないまま、システムクロックのクロックソースが LOCO クロックへと切り替わります。

メインクロックと LOCO クロックの切り替えは、発振停止検出フラグ (OSTDSR.OSTDF) によって制御されます。OSTDF フラグが“1”になると LOCO クロックへ切り替わり、OSTDF フラグを“0”にするとメインクロックに戻ります。ただし、CKSEL[2:0] ビットでメインクロックを選択している場合は、OSTDF フラグを“0”にできません。発振停止検出後にクロックソースをメインクロックに戻りたい場合は、一度 CKSEL[2:0] ビットの設定をメインクロック以外に変更し、OSTDF フラグを“0”にしてください。その後、OSTDF フラグが“1”になっていないことを確認し、所定の発振安定時間経過後に CKSEL[2:0] ビットの設定をメインクロックに変更してください。

リセット解除後、メインクロック発振器は停止、発振停止検出機能は無効です。発振停止検出機能を有効にする場合は、メインクロック発振器を動作させ、所定の発振安定時間経過後に発振停止検出機能許可ビット (OSTDCR.OSTDE) への書き込みを行ってください。

発振停止検出機能は、外部要因によるメインクロックの停止に備えた機能であるため、ソフトウェアでメインクロック発振器を停止させる場合や、ソフトウェアスタンバイモードに移行する場合は、あらかじめ発振停止検出機能は無効にしてください。

発振停止検出によって LOCO クロックに切り替わるのは、システムクロックソースとしてメインクロック、CAC メインクロック (CACMCLK) を選択していた場合です。LOCO クロック動作時のシステムクロック (ICLK) の周波数については、LOCO 発振周波数とシステムクロック (ICLK) 選択ビット (SCKCR.ICK[3:0]) の分周比の設定で決まります。

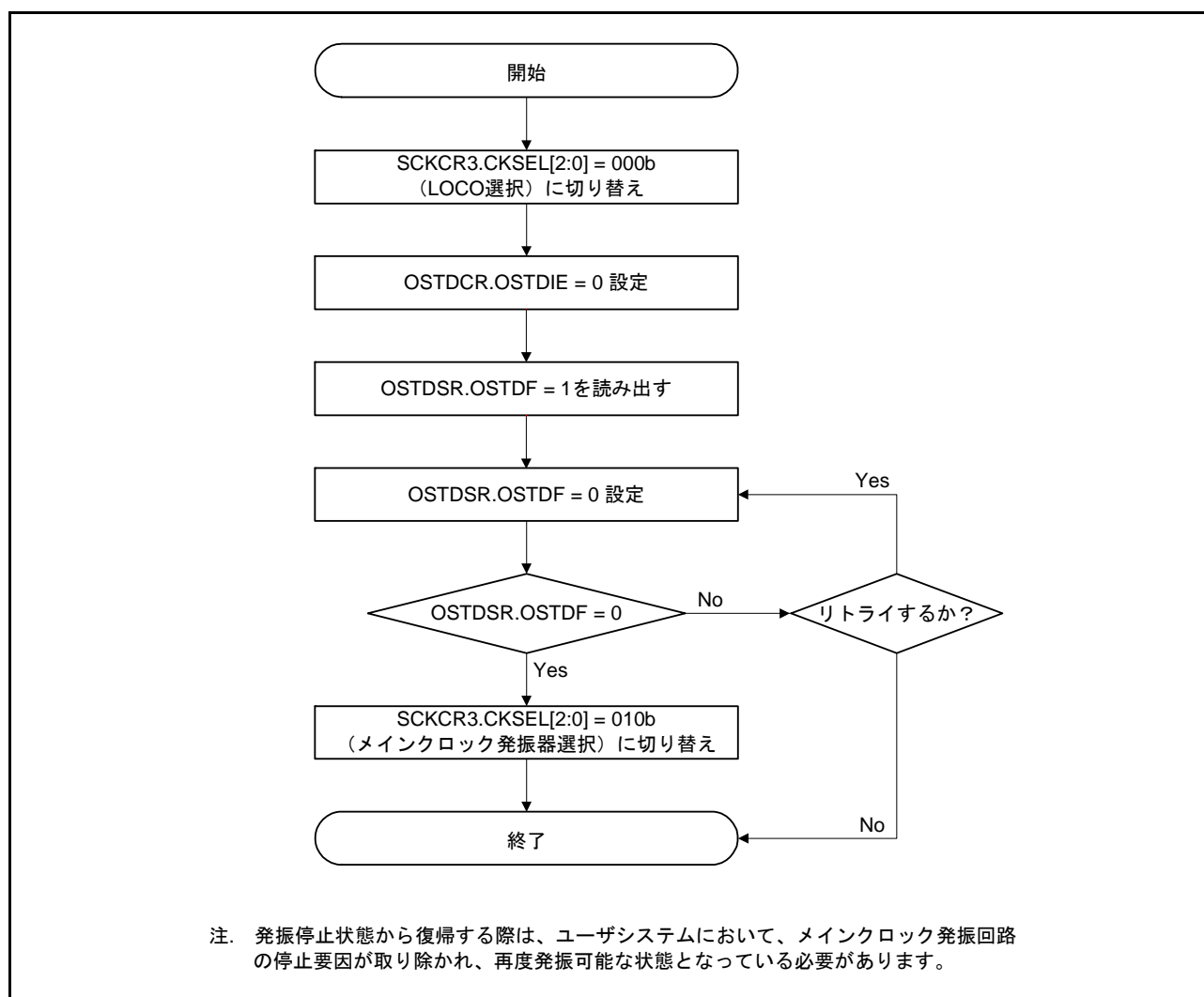


図 9.7 発振停止検出からの復帰のフローチャート例

9.5.2 発振停止検出割り込み

発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) が“1” (発振停止検出割り込みを許可) のとき、発振停止検出フラグ (OSTDSR.OSTDF) が“1”になると発振停止検出割り込み (OSTDI) 要求が発生します。OSTDSR.OSTDF フラグのクリアは、発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) を“0”にした後に行ってください。その後、OSTDCR.OSTDIE ビットを再度“1”にする場合は、PCLKB で2サイクル以上待ってから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

発振停止検出割り込みはノンマスカブル割り込みです。リセット解除後の初期状態では、「ノンマスカブル割り込み禁止」となっていますので、発振停止検出割り込みを使用する場合は、ソフトウェアでノンマスカブル割り込みを有効にしてください。詳細は「14. 割り込みコントローラ (ICuB)」を参照してください。

9.6 内部クロック

内部クロックは、クロック源としてメインクロック、サブクロック、HOCO クロック、LOCO クロック、IWDT 専用クロックがあり、これらのクロックから以下に示す内部クロックを生成します。

- (1) CPU、DTC、ROM および RAM の動作クロック：システムクロック (ICLK)
- (2) 周辺モジュールの動作クロック：周辺モジュールクロック (PCLKB、PCLKD)
- (3) FlashIF の動作クロック：FlashIF クロック (FCLK)
- (4) CAC モジュール用の動作クロック：CAC クロック (CACCLK)
- (5) RTC モジュール用の動作クロック：RTC 専用サブクロック (RTCSCLK)
- (6) IWDT モジュール用の動作クロック：IWDT 専用クロック (IWDTCLK)

内部クロックの周波数は、分周比を選択する SCKCR.FCK[3:0], ICK[3:0], PCKB[3:0], PCKD[3:0] ビット、クロック源を選択する SCKCR3.CKSEL[2:0] ビットの組み合わせで設定します。各ビットの書き換え後に、変更後の周波数で動作します。

9.6.1 システムクロック

システムクロック (ICLK) は、CPU、DTC、ROM および RAM の動作クロックです。
ICLK の周波数は、SCKCR.ICK[3:0] ビット、SCKCR3.CKSEL[2:0] ビットで設定します。

9.6.2 周辺モジュールクロック

周辺モジュールクロック (PCLKB、PCLKD) は、周辺モジュール用の動作クロックです。

PCLKB、PCLKD の周波数は、SCKCR.PCKB[3:0], PCKD[3:0] ビット、SCKCR3.CKSEL[2:0] ビットで設定します。

周辺モジュールクロック (PCLKD) は S12AD 用、周辺モジュールクロック (PCLKB) は、S12AD 以外の周辺モジュール用の動作クロックです。

9.6.3 FlashIF クロック

FlashIF クロック (FCLK) は、FlashIF 用の動作クロックです。

FCLK の周波数は、SCKCR.FCK[3:0] ビット、SCKCR3.CKSEL[2:0] ビットで設定します。

9.6.4 CAC クロック

CAC クロック (CACCLK) は、CAC モジュール用の動作クロックです。

CACCLK にはメインクロック発振器で生成される CACMCLK、サブクロック発振器で生成される CACSCLK、高速オンチップオシレータで生成される CACHCLK、低速オンチップオシレータで生成される CACLCLK、IWDT 専用オンチップオシレータで生成される CACILCLK があります。

9.6.5 RTC 専用クロック

RTC 専用クロック (RTCSCLK) は、RTC モジュールの動作クロックです。

RTCSCLK はサブクロック発振器で生成されたクロックです。

9.6.6 IWDT 専用クロック

IWDT 専用クロック (IWDTCLK) は、IWDT モジュールの動作クロックです。

IWDTCLK は、IWDT 専用オンチップオシレータで内部発振によって生成されたクロックです。

9.7 使用上の注意事項

9.7.1 クロック発生回路に関する注意事項

- (1) SCKCR レジスタで、各モジュールに供給されるシステムクロック (ICLK)、周辺モジュールクロック (PCLKB、PCLKD)、FlashIF クロック (FCLK) の周波数を選択します。各周波数は、以下のようにしてください。

各周波数は電気的特性の AC タイミングのクロックサイクル時間 t_{cyc} の動作保証範囲内に収まるように選択してください。

周波数は表 9.1 の周波数範囲内に収まるように設定してください。

周辺モジュールは、基本的に PCLKB、PCLKD を基準に動作します。このため、周波数変更の前後でタイマや SCI などの動作速度が変わりますので注意してください。

- (2) システムクロック (ICLK)、周辺モジュールクロック B、D (PCLKB、PCLKD)、FlashIF クロック (FCLK) との間には下記の周波数関係が必要です。

ICLK:FCLK、PCLKB、PCLKD = N:1 (N は整数) の周波数関係

- (3) クロック周波数を変更後、確実に次の処理を実行するためには、周波数変更の書き込みをした後、同レジスタの読み出しを行ってから次の処理を実行してください。

9.7.2 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので、本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定数は発振子、実装回路の浮遊容量などによって異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

9.7.3 ボード設計上の注意

発振子を使用する場合は、発振子およびコンデンサはできるだけ発振子接続端子の近くに配置してください。図 9.8 に示すように発振回路の近くには信号線を通過させないでください。電磁誘導によって正常に発振しなくなることがあります。

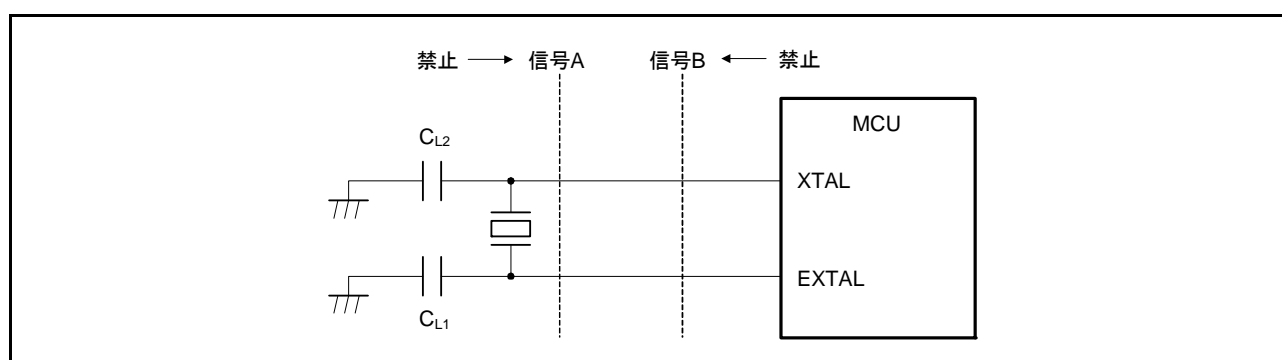


図 9.8 発振回路部のボード設計に関する注意事項（メインクロック発振器の場合、サブクロック発振器も同様）

9.7.4 サブクロックに関する注意事項

サブクロックは、システムクロックとして使用される場合、リアルタイムクロックのカウントソースとして使用される場合、およびその両方に使用される場合があります。また、サブクロックを使用しない場合も含めて、設定に関して以下のような注意および制限事項があります。

- サブクロックの動作/停止は、サブクロック発振器コントロールレジスタのサブクロック発振器停止ビット (SOSCCR.SOSTP) および RTC コントロールレジスタ 3 のサブクロック発振器制御ビット (RCR3.RTCEN) で制御され、いずれかのビットが動作に設定されているとサブクロックは動作状態となります。
- サブクロックをシステムクロックとして使用し、かつリアルタイムクロックのカウントソースとして使用する場合は、図 9.9 のフローチャートの例に従って初期設定してください。その後、「21.3.2 クロックとカウントモード設定手順」に記載されたクロック設定手順に従って設定してください。

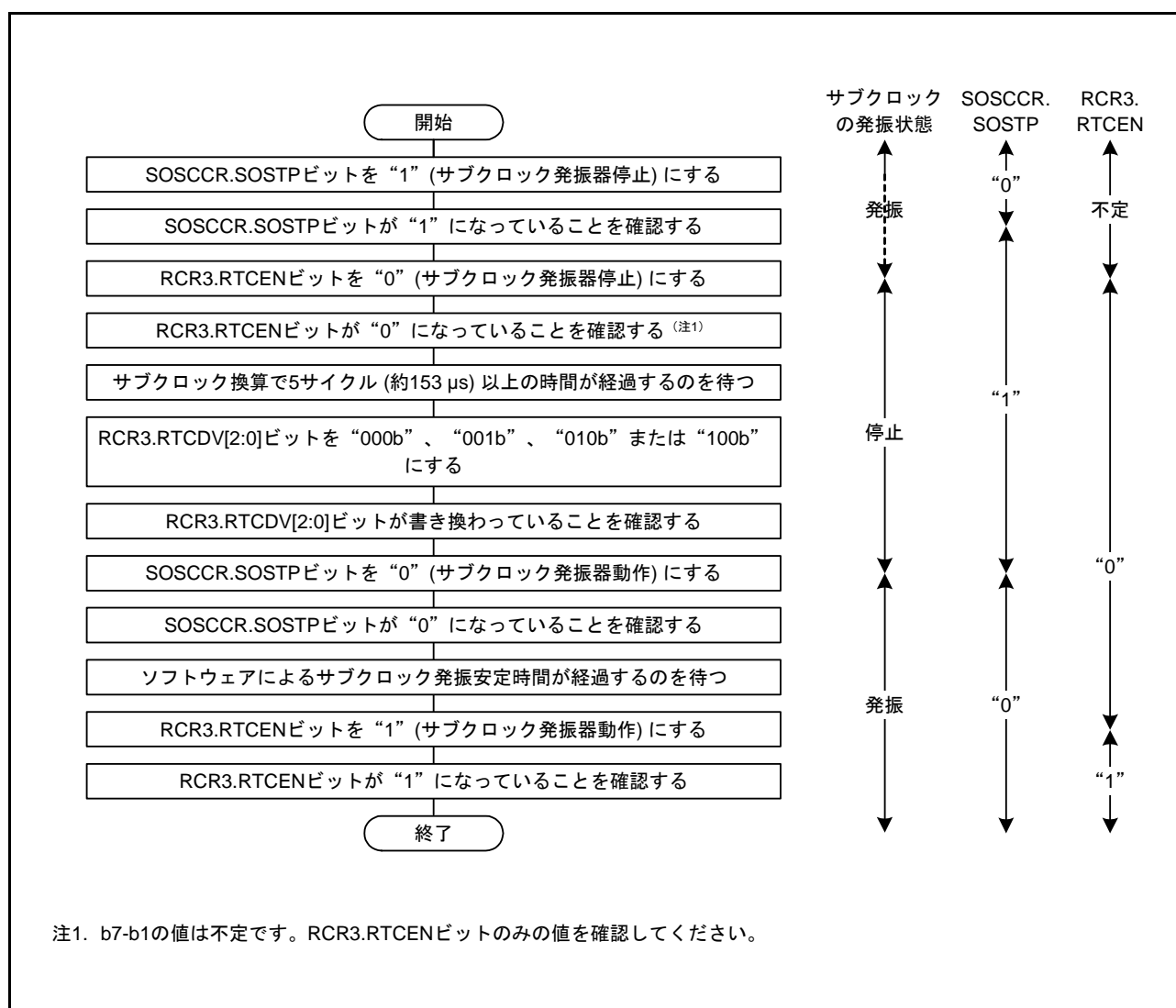


図 9.9 サブクロックをリアルタイムクロックのカウントソースに使用する場合の初期化フローチャート例

- サブクロックをリアルタイムクロックのカウンタソースのみに使用する場合は、図 9.10 のフローチャートの例に従って初期設定してください。その後、「21.3.2 クロックとカウンタモード設定手順」に記載されたクロック設定手順に従って設定してください。

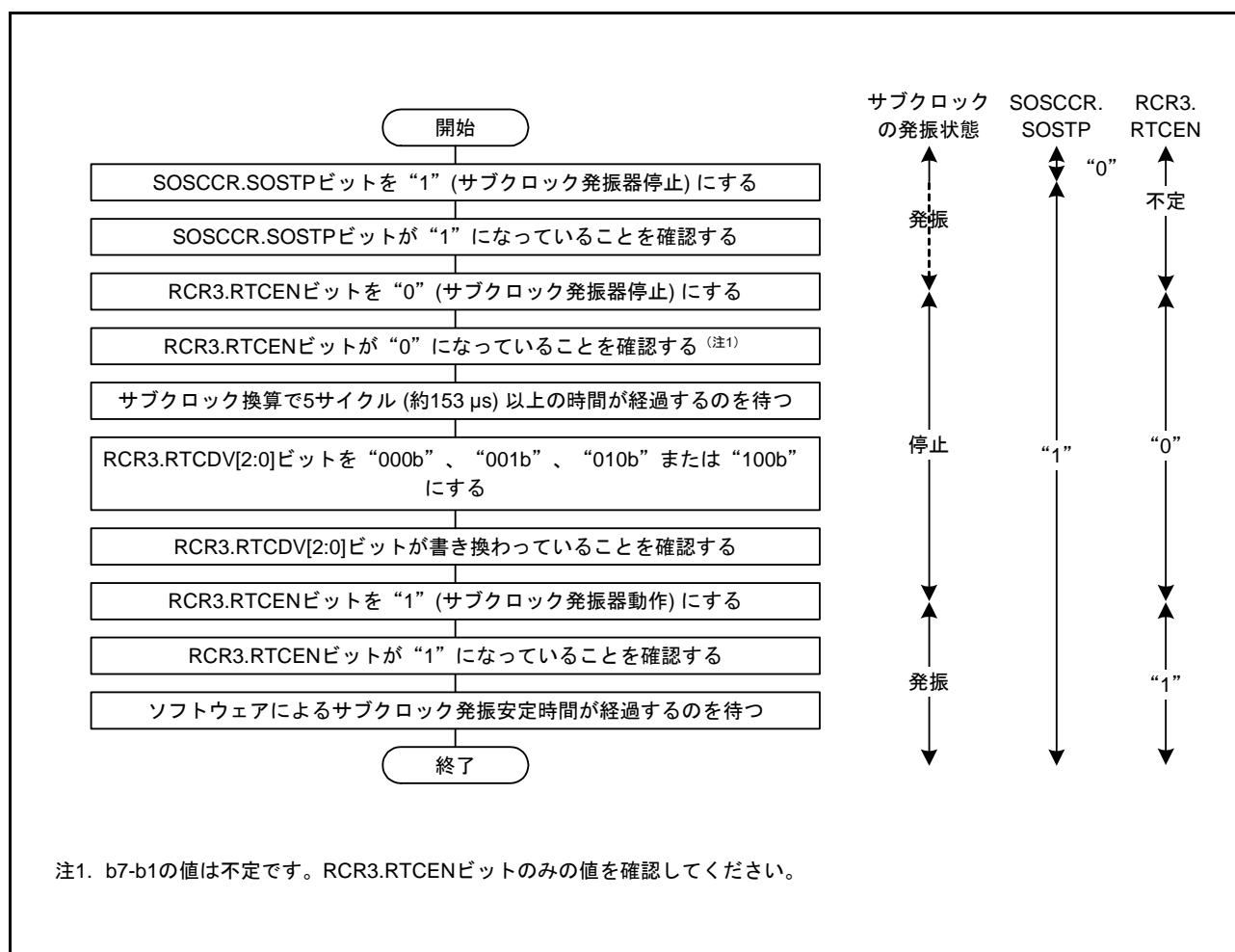


図 9.10 サブクロックをリアルタイムクロックのカウンタソースのみに使用する場合の初期化フローチャート例

- サブクロックをシステムクロックのみに使用する場合は、図 9.11 のフローチャートの例に従って初期設定してください。

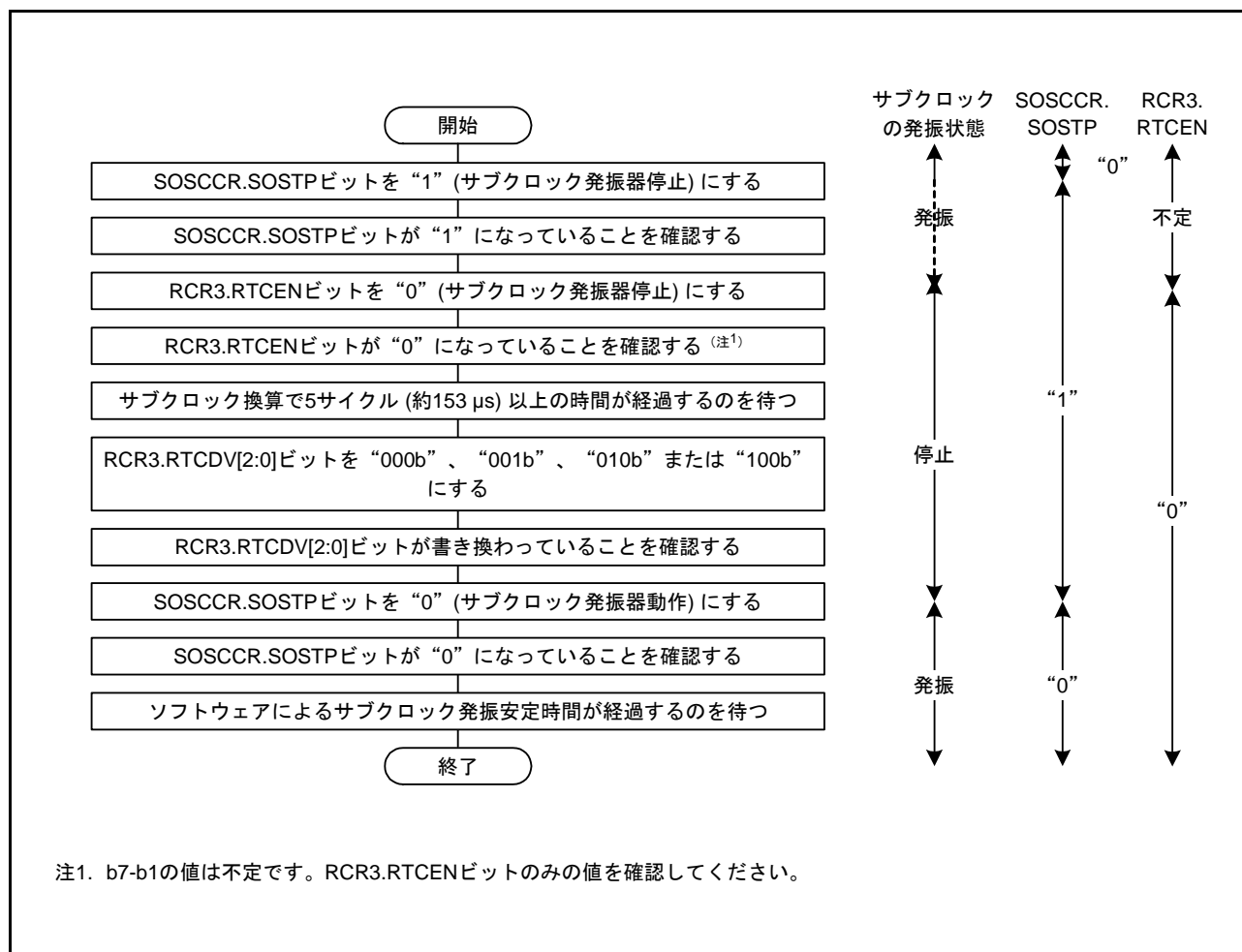


図 9.11 サブクロックをシステムクロックのみに使用する場合の初期化フローチャート例

- サブクロックを使用しない場合は、図 9.12 のフローチャートの例に従って初期設定してください。

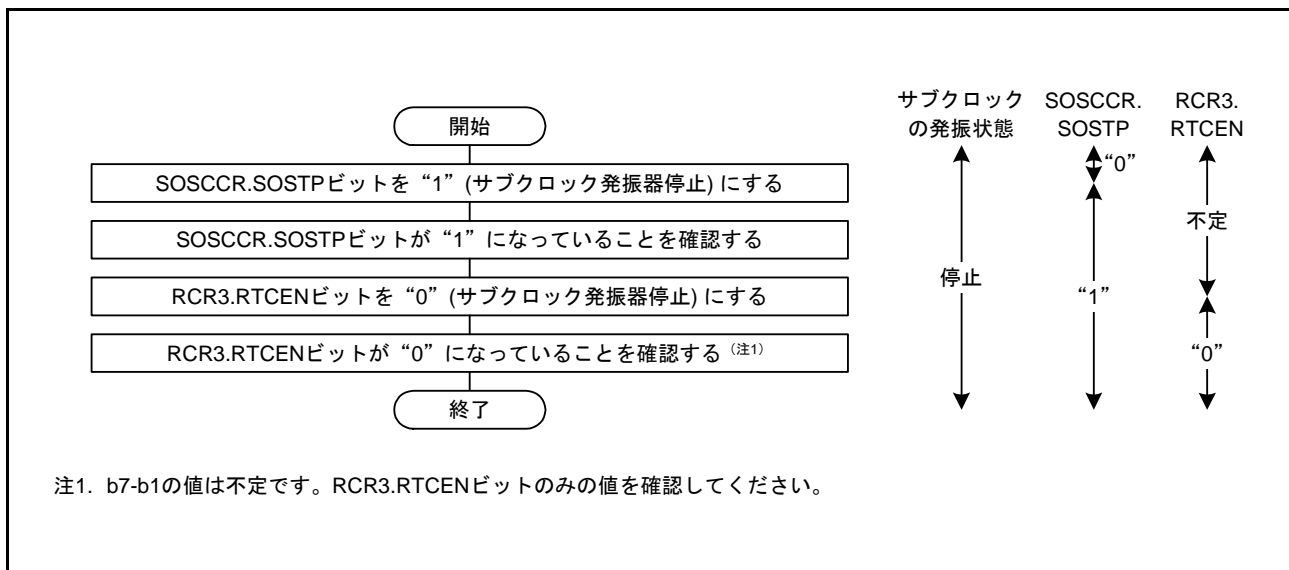


図 9.12 サブクロックを使用しない場合の初期化フローチャート例

- RCR3.RTCEN ビットの状態によらず、SOSCCR.SOSTP ビットを“0”（動作）に変更した場合は、発振安定時間を待ってから使用してください。
- コールドスタート後、サブクロック制御回路の状態は不定であるため、サブクロックの使用有無に関わらず、初期化が必要です。初期化は SOSCCR.SOSTP ビットおよび RCR3.RTCEN ビットの両方を停止側に設定することで行ってください。RCR3.RTCEN ビットの初期化については、「21.2.19 RTC コントロールレジスタ 3 (RCR3)」を参照してください。
40 ピン以下のパッケージ製品はサブクロック発振器の端子がありませんが、同様にサブクロック制御回路を初期化してください。
- サブクロック発振器を動作させる場合、RCR3.RTCDV[2:0] ビットの設定も必要です。また、RCR3.RTCDV[2:0] ビットの設定は、サブクロック発振器停止中に行ってください。動作中の書き換えは禁止です。
- SOSCCR.SOSTP ビットの書き換え後、RCR3.RTCEN ビットの書き換えを行う場合、またはその逆を行う場合、先に書き換えを行った方のビットが書き換わっていることを確認してから、後のビットの書き換えを行ってください。

10. クロック周波数精度測定回路 (CAC)

10.1 概要

クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック (測定対象クロック) に対して、測定の基準となるクロック (測定基準クロック) で生成した時間内のクロックのパルスを数え、それが許容範囲内にあるか否かで精度を判定します。

測定の終了または測定基準クロックで生成した時間内のクロックのパルス数が許容範囲外の場合、割り込み要求を発生します。

表 10.1 に CAC の仕様を、図 10.1 に CAC のブロック図を示します。

表 10.1 CAC の仕様

項目	内容
測定対象クロック	以下のクロックの周波数を測定可能 <ul style="list-style-type: none"> • メインクロック • サブクロック • HOCOクロック • LOCOクロック • IWDTCCLKクロック • 周辺モジュールクロック B (PCLKB)
測定基準クロック	<ul style="list-style-type: none"> • 外部から CACREF 端子に入力したクロック • メインクロック • サブクロック • HOCOクロック • LOCOクロック • IWDTCCLKクロック • 周辺モジュールクロック B (PCLKB)
選択機能	デジタルフィルタ機能
割り込み要因	<ul style="list-style-type: none"> • 測定終了割り込み • 周波数エラー割り込み • オーバフロー割り込み
消費電力低減機能	モジュールストップ状態への設定が可能

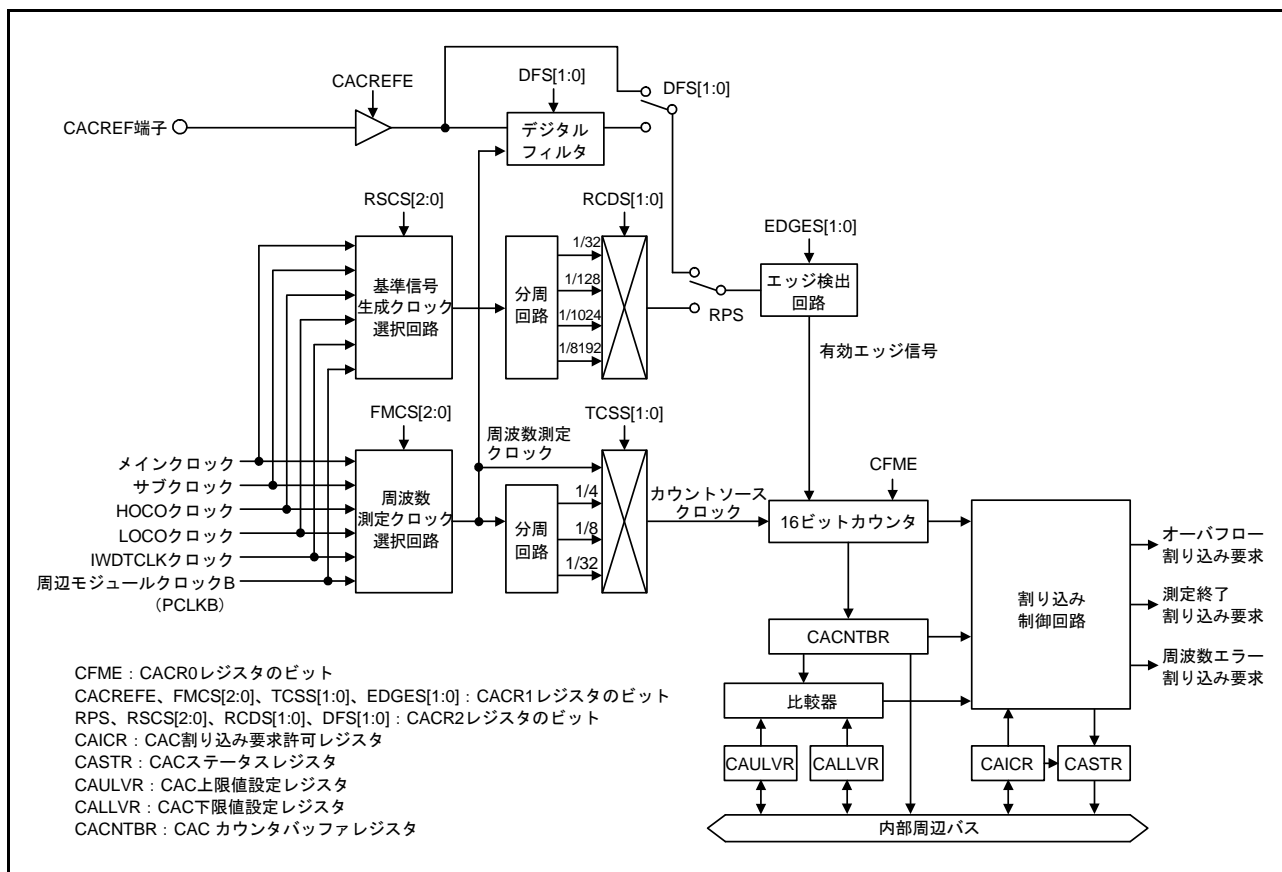


図 10.1 CACのブロック図

表 10.2 に CAC の入出力端子を示します。

表 10.2 CACの入出力端子

端子名	入出力	機能
CACREF	入力	測定基準クロックの入力端子

10.2 レジスタの説明

10.2.1 CAC コントロールレジスタ 0 (CACR0)

アドレス 0008 B000h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CFME
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CFME	クロック周波数測定有効ビット	0 : クロック周波数測定無効 1 : クロック周波数測定有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

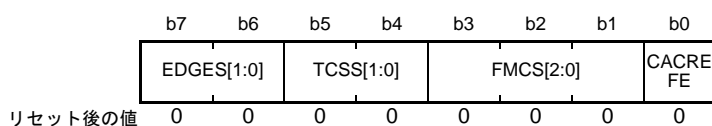
CFME ビット (クロック周波数測定有効ビット)

クロック周波数測定の有効 / 無効を指定するビットです。

このビットを書き換えても内部回路に反映されるまでは時間がかかります。前値が内部回路に反映されていない状態でこのビットを書き換えると無視されます。書き換えが反映されたかはビットの読み出しで確認できます。

10.2.2 CAC コントロールレジスタ 1 (CACR1)

アドレス 0008 B001h



ビット	シンボル	ビット名	機能	R/W
b0	CACREFE	CACREF 端子入力有効ビット	0 : CACREF 端子入力無効 1 : CACREF 端子入力有効	R/W
b3-b1	FMCS[2:0]	測定対象クロック選択ビット	b3 b1 0 0 0 : メインクロック 0 0 1 : サブクロック 0 1 0 : HOCOクロック 0 1 1 : LOCOクロック 1 0 0 : IWDTCCLKクロック 1 0 1 : 周辺モジュールクロックB (PCLKB) 上記以外は設定しないでください	R/W
b5-b4	TCSS[1:0]	タイマカウントクロックソース 選択ビット	b5 b4 0 0 : 分周なしクロック 0 1 : 4分周クロック 1 0 : 8分周クロック 1 1 : 32分周クロック	R/W
b7-b6	EDGES[1:0]	有効エッジ選択ビット	b7 b6 0 0 : 立ち上がりエッジ 0 1 : 立ち下がりエッジ 1 0 : 立ち上がり/立ち下がり両エッジ 1 1 : 設定しないでください	R/W

注1. CACR1レジスタは、CACR0.CFMEビットが“0”のときに設定してください。

CACREFE ビット (CACREF 端子入力有効ビット)

CACREF 端子入力の有効 / 無効を指定するビットです。

FMCS[2:0] ビット (測定対象クロック選択ビット)

周波数を測定する測定対象クロックを選択します。

TCSS[1:0] ビット (タイマカウントクロックソース選択ビット)

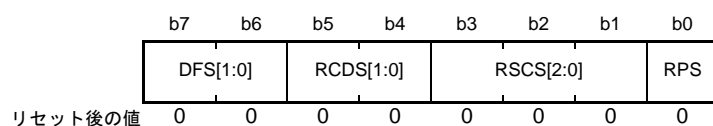
このビットの設定によりクロック周波数精度測定回路のカウントクロックソースを選択します。

EDGES[1:0] ビット (有効エッジ選択ビット)

このビットの設定により基準信号の有効エッジを選択します。

10.2.3 CAC コントロールレジスタ 2 (CACR2)

アドレス 0008 B002h



ビット	シンボル	ビット名	機能	R/W
b0	RPS	基準信号選択ビット	0 : CACREF 端子入力 1 : 内部クロック (内部生成信号)	R/W
b3-b1	RSCS[2:0]	測定基準クロック選択ビット	b3 b1 0 0 0 : メインクロック 0 0 1 : サブクロック 0 1 0 : HOCOクロック 0 1 1 : LOCOクロック 1 0 0 : IWDTCCLKクロック 1 0 1 : 周辺モジュールクロック B (PCLKB) 上記以外は設定しないでください	R/W
b5-b4	RCDS[1:0]	測定基準クロック分周比選択ビット	b5 b4 0 0 : 32分周クロック 0 1 : 128分周クロック 1 0 : 1024分周クロック 1 1 : 8192分周クロック	R/W
b7-b6	DFS[1:0]	デジタルフィルタ機能選択ビット	b7 b6 0 0 : デジタルフィルタ機能無効 0 1 : 周波数測定クロック 1 0 : 周波数測定クロックの4分周クロック 1 1 : 周波数測定クロックの16分周クロック	R/W

注1. CACR2レジスタは、CACR0.CFMEビットが"0"のときに設定してください。

RPS ビット (基準信号選択ビット)

このビットの設定により基準信号として CACREF 端子入力か内部クロック (内部生成信号) のどちらを使用するか選択します。

RSCS[2:0] ビット (測定基準クロック選択ビット)

このビットの設定により測定基準クロックを生成するクロックソースを選択します。

RCDS[1:0] ビット (測定基準クロック分周比選択ビット)

このビットの設定により測定基準クロックの分周比を選択します。

DFS[1:0] ビット (デジタルフィルタ機能選択ビット)

このビットの設定により、デジタルフィルタの有効/無効、サンプリングクロックを選択します。

10.2.4 CAC 割り込み要求許可レジスタ (CAICR)

アドレス 0008 B003h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	OVFFC L	MENDF CL	FERRF CL	—	OVFIE	MENDI E	FERRI E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRIE	周波数エラー割り込み要求許可ビット	0: 周波数エラー割り込み要求無効 1: 周波数エラー割り込み要求有効	R/W
b1	MENDIE	測定終了割り込み要求許可ビット	0: 測定終了割り込み要求無効 1: 測定終了割り込み要求有効	R/W
b2	OVFIE	オーバフロー割り込み要求許可ビット	0: オーバフロー割り込み要求無効 1: オーバフロー割り込み要求有効	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	FERRFCL	FERRF フラグクリアビット	このビットを“1”にすると CASTR.FERRF フラグをクリアします。読み出すと“0”が読み出されます	R/W
b5	MENDFCL	MENDF フラグクリアビット	このビットを“1”にすると CASTR.MENDF フラグをクリアします。読み出すと“0”が読み出されます	R/W
b6	OVFFCL	OVFF フラグクリアビット	このビットを“1”にすると CASTR.OVFF フラグをクリアします。読み出すと“0”が読み出されます	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FERRIE ビット (周波数エラー割り込み要求許可ビット)

周波数エラー割り込み要求の有効 / 無効を指定するビットです。

MENDIE ビット (測定終了割り込み要求許可ビット)

測定終了割り込み要求の有効 / 無効を指定するビットです。

OVFIE ビット (オーバフロー割り込み要求許可ビット)

オーバフロー割り込み要求の有効 / 無効を指定するビットです。

FERRFCL ビット (FERRF フラグクリアビット)

このビットを“1”にすると CASTR.FERRF フラグをクリアします。

MENDFCL ビット (MENDF フラグクリアビット)

このビットを“1”にすると CASTR.MENDF フラグをクリアします。

OVFFCL ビット (OVFF フラグクリアビット)

このビットを“1”にすると CASTR.OVFF フラグをクリアします。

10.2.5 CAC ステータスレジスタ (CASTR)

アドレス 0008 B004h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	OVFF	MENDF	FERRF

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	FERRF	周波数エラーフラグ	0: クロックの周波数が設定値内 1: クロックの周波数が設定値を外れた (周波数エラー)	R
b1	MENDF	測定終了フラグ	0: 測定中 1: 測定が終了	R
b2	OVFF	オーバフローフラグ	0: カウンタがオーバフローしていない 1: カウンタがオーバフロー	R
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FERRF フラグ (周波数エラーフラグ)

クロックの周波数が設定値を外れた (周波数エラー) ことを示します。

["1" になる条件]

- クロック周波数が設定値を外れたとき

["0" になる条件]

- CAICR.FERRFCL ビットに“1”を書き込んだとき

MENDF フラグ (測定終了フラグ)

測定が終了したことを示します。

["1" になる条件]

- 測定終了したとき

["0" になる条件]

- CAICR.MENDFCL ビットに“1”を書き込んだとき

OVFF フラグ (オーバフローフラグ)

カウンタがオーバフローしたことを示します。

["1" になる条件]

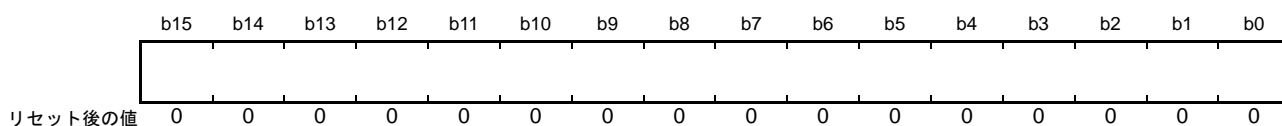
- カウンタがオーバフローしたとき

["0" になる条件]

- CAICR.OVFFCL ビットに“1”を書き込んだとき

10.2.6 CAC 上限値設定レジスタ (CAULVR)

アドレス 0008 B006h



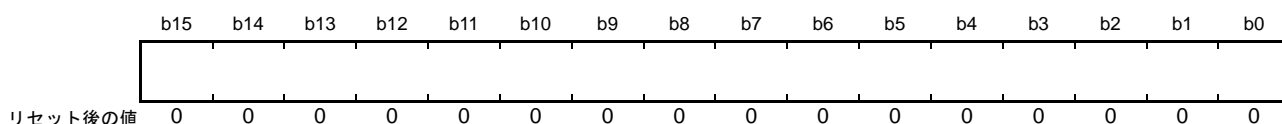
CAULVR レジスタは、周波数の測定に用いるカウンタの上限値を指定する 16 ビットの読み出し / 書き込み可能なレジスタです。このレジスタに指定された値を上回った場合、周波数の異常を検出します。

CACR0.CFME ビットが“0”のときに設定してください。

デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により CACNTBR レジスタに保持されるカウンタ値がずれることがありますので余裕をもった値を設定してください。

10.2.7 CAC 下限値設定レジスタ (CALLVR)

アドレス 0008 B008h



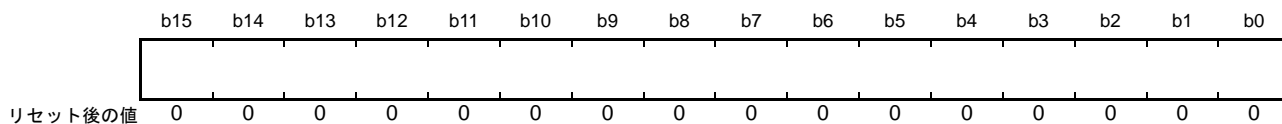
CALLVR レジスタは、周波数の測定に用いるカウンタの下限値を指定する 16 ビットの読み出し / 書き込み可能なレジスタです。このレジスタに指定された値を下回った場合、周波数の異常を検出します。

CACR0.CFME ビットが“0”のときに設定してください。

デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により CACNTBR レジスタに保持されるカウンタ値がずれることがありますので余裕をもった値を設定してください。

10.2.8 CAC カウンタバッファレジスタ (CACNTBR)

アドレス 0008 B00Ah



基準信号の有効エッジが入力されたときのカウンタ値を保持する 16 ビットの読み出し専用レジスタです。

10.3 動作説明

10.3.1 クロック周波数測定

クロック周波数精度測定回路は、CACREF 端子入力または内部クロックを基準にクロック周波数を測定します。図 10.2 にクロック周波数精度測定回路の動作例を示します。

クロック周波数精度測定回路は、クロック周波数測定時、以下のように動作します。

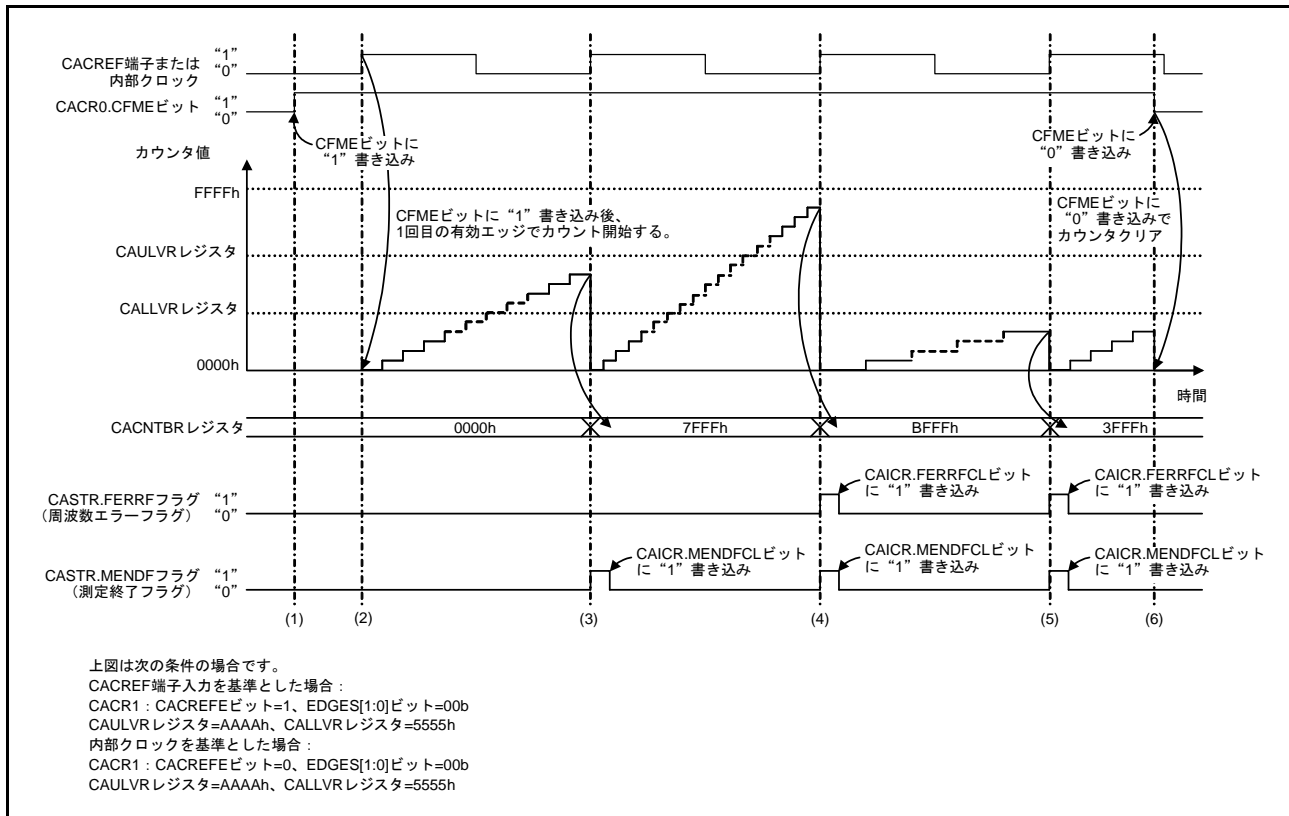


図 10.2 クロック周波数精度測定回路の動作例

- (1) CACREF 端子入力を基準とした場合 (CACR1.CACREFE ビット = 1) は、CACR2.RPS ビットを "0"、CACR1.CACREFE ビットを "1" に設定した状態で、CACR0.CFME ビットに "1" を書き込むとクロック周波数測定が有効になります。
一方、内部クロックを基準とした場合 (CACR1.CACREFE ビット = 0) は、CACR2.RPS ビットを "1" に設定した状態で、CACR0.CFME ビットに "1" を書き込むとクロック周波数測定が有効になります。
- (2) CACREF 端子入力を基準とした場合は、CFME ビットに "1" を書き込み後、CACREF 端子から CACR1.EDGES[1:0] ビットで選択した有効エッジ (図 10.2 では立ち上がりエッジ (CACR1.EDGES[1:0]=00b)) が入力されるとタイマのカウンタアップが開始します。
内部クロックを基準とした場合は、CFME ビットに "1" を書き込み後、CACR2.RSCS[2:0] ビットで選択したクロックソースを元に CACR1.EDGES[1:0] ビットで選択した有効エッジ (図 10.2 では立ち上がりエッジ (CACR1.EDGES[1:0]=00b)) が入力されるとタイマのカウンタアップが開始します。
- (3) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACNTBR レジスタ ≤ CAULVR レジスタかつ CACNTBR レジスタ ≥ CALLVR レジスタのときはクロック周波数が正常なので CASTR.MENDF フラグだけが "1" にセットされます。また、CAICR.MENDIE ビットを "1" に設定している場合は、測定終了割り込みが発生します。

- (4) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACNTBR レジスタ > CAULVR レジスタのときはクロック周波数が異常なので CASTR.FERRF フラグが“1”にセットされます。また、CAICR.FERRIE ビットを“1”に設定している場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも“1”にセットされます。また、CAICR.MENDIE ビットを“1”に設定している場合は、測定終了割り込みが発生します。
- (5) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACNTBR レジスタ < CALLVR レジスタのときはクロック周波数が異常なので CASTR.FERRF フラグが“1”にセットされます。また、CAICR.FERRIE ビットを“1”に設定している場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも“1”にセットされます。また、CAICR.MENDIE ビットを“1”に設定している場合は、測定終了割り込みが発生します。
- (6) CACR0.CFME ビットが“1”の間は、有効エッジが入力されるたびにカウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACR0.CFME ビットに“0”を書き込むと、カウンタをクリアしカウントアップが停止します。

10.3.2 CACREF 端子のデジタルフィルタ機能

CACREF 端子はデジタルフィルタ機能を持っています。デジタルフィルタ機能は、設定したサンプリング周期に応じてサンプリングした端子のレベルが3回連続で一致した場合、内部に一致したレベルを伝達し、再度サンプリングした端子のレベルが3回連続で一致するまで内部へは同じレベルを伝達し続けます。

デジタルフィルタ機能はデジタルフィルタ機能の有効/無効とサンプリングクロックが設定できます。

デジタルフィルタと CACREF 端子入力信号の位相差により CACNTBR レジスタに転送されるカウンタ値は、最大サンプリングクロック 1 周期分の誤差があります。

カウントソースクロックに分周クロックを選択している場合は、以下の計算式でカウント値誤差を表すことができます。

$$\text{カウント値誤差} = (\text{カウントソースクロック 1 周期}) / (\text{サンプリングクロック 1 周期})$$

10.4 割り込み要求

CAC が要求する割り込み要因には、周波数エラー割り込み、測定終了割り込みおよびオーバフロー割り込みの3種類があります。各割り込み要因が発生すると各ステータスフラグが“1”にセットされます。表 10.3 にクロック周波数精度測定回路割り込み要求を示します。

表 10.3 クロック周波数精度測定回路割り込み要求

割り込み要求	割り込み許可ビット	ステータスフラグ	割り込み要因
周波数エラー割り込み	CAICR.FERRIE	CASTR.FERRF	CACNTBR レジスタを CAULVR レジスタおよび CALLVR レジスタと比較をした結果が CACNTBR レジスタ > CAULVR レジスタまたは CACNTBR レジスタ < CALLVR レジスタのとき
測定終了割り込み	CAICR.MENDIE	CASTR.MENDF	基準信号の有効エッジが入力されたとき ただし、CACR0.CFME ビットを“1”に書き込み後、1回目の有効エッジでは測定終了割り込みは発生しない。
オーバフロー割り込み	CAICR.OVFIE	CASTR.OVFF	カウンタがオーバフローしたとき

10.5 使用上の注意事項

10.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、クロック周波数精度測定回路の動作禁止 / 許可を設定することが可能です。初期値では、クロック周波数精度測定回路の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

11. 消費電力低減機能

11.1 概要

本 MCU には、消費電力低減機能としてクロックの切り替えによる消費電力の低減、モジュールストップ機能、通常動作時の低消費電力機能、および低消費電力状態への遷移機能があります。

表 11.1 に消費電力低減機能の仕様を、表 11.2 に低消費電力状態への遷移条件と CPU や周辺モジュールなどの状態および各モードの解除方法を示します。

リセット後は、通常のプログラム動作で DTC、RAM 以外のモジュールは停止状態になります。

表 11.1 消費電力低減機能の仕様

項目	内容
クロックの切り替えによる消費電力の低減	システムクロック (ICLK)、周辺モジュールクロック (PCLKB)、S12AD用クロック (PCLKD)、FlashIFクロック (FCLK) に対し、個別に分周比を設定することが可能 (注1)
モジュールストップ機能	周辺モジュールごとに機能を停止させることが可能
低消費電力状態への遷移機能	<ul style="list-style-type: none"> • CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能
低消費電力状態	<ul style="list-style-type: none"> • スリープモード • ディープスリープモード • ソフトウェアスタンバイモード
動作電力低減機能	<ul style="list-style-type: none"> • 動作周波数、動作電圧範囲に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時およびディープスリープモード時の消費電力を低減することが可能 • 動作電力制御状態：3種類 高速動作モード 中速動作モード 低速動作モード

注1. 詳細は「9. クロック発生回路」を参照してください。

表 11.2 各モードにおける遷移および解除方法と動作状態

遷移および解除方法と動作状態	スリープモード	ディープスリープモード	ソフトウェアスタンバイモード
遷移方法	制御レジスタ+命令	制御レジスタ+命令	制御レジスタ+命令
リセット以外の解除方法	割り込み	割り込み	割り込み (注1)
解除後の状態 (注2)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
メインクロック発振器	動作可能	動作可能	停止
サブクロック発振器	動作可能	動作可能	動作可能
高速オンチップオシレータ	動作可能	動作可能	停止
低速オンチップオシレータ	動作可能	動作可能	停止
IWDT専用オンチップオシレータ	動作可能 (注3)	動作可能 (注3)	動作可能 (注3)
CPU	停止 (保持)	停止 (保持)	停止 (保持)
RAM0 (0000 0000h ~ 0000 3FFFh)	動作可能 (保持)	停止 (保持)	停止 (保持)
DTC	動作可能 (注5)	停止 (保持)	停止 (保持)
フラッシュメモリ	動作	停止 (保持)	停止 (保持)
独立ウォッチドッグタイマ (IWDT)	動作可能 (注3)	動作可能 (注3)	動作可能 (注3)
リアルタイムクロック (RTC)	動作可能	動作可能	動作可能
電圧検出回路 (LVD)	動作可能	動作可能	動作可能
パワーオンリセット回路	動作	動作	動作
周辺モジュール	動作可能	動作可能	停止 (保持) (注4)
I/Oポート	動作	動作	保持
RTCOOUT出力	動作可能	動作可能	動作可能
CLKOUT出力	動作可能	動作可能	動作可能 (注6)

動作可能は、制御レジスタ設定によって動作/停止を制御可能であることを示します。

停止 (保持) は、内部レジスタ値保持、内部状態は動作中断を示します。

- 注1. 外部端子割り込み (NMI、IRQ0 ~ IRQ7)、周辺機能割り込み (RTCアラーム、RTC周期、IWDT、電圧監視)
- 注2. RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによる解除は除きます。RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによる解除の場合は、リセット状態に遷移します。
- 注3. IWDTオートスタートモード時、オプション機能選択レジスタ0のIWDTスリープモードカウント停止制御ビット (OFS0.IWDTSLCSTP) の設定により、動作/停止を選択することができます。IWDTオートスタートモードではないとき、IWDTカウント停止コントロールレジスタのスリープモードカウント停止制御ビット (IWDTCSLTPR.SLCSTP) の設定により、動作/停止を選択することができます。
- 注4. 周辺モジュールは状態を保持します。
- 注5. スリープモード中は、システム制御関連のレジスタ (「表5.1 I/Oレジスタアドレス一覧」のモジュールシンボル欄にSYSTEMと記載のレジスタ) への書き込みは禁止です。
- 注6. クロック出力ソース選択ビット (CKOCR.CKOSEL[2:0]) = 011b (サブクロック発振器) 以外を選択している場合は、停止します。

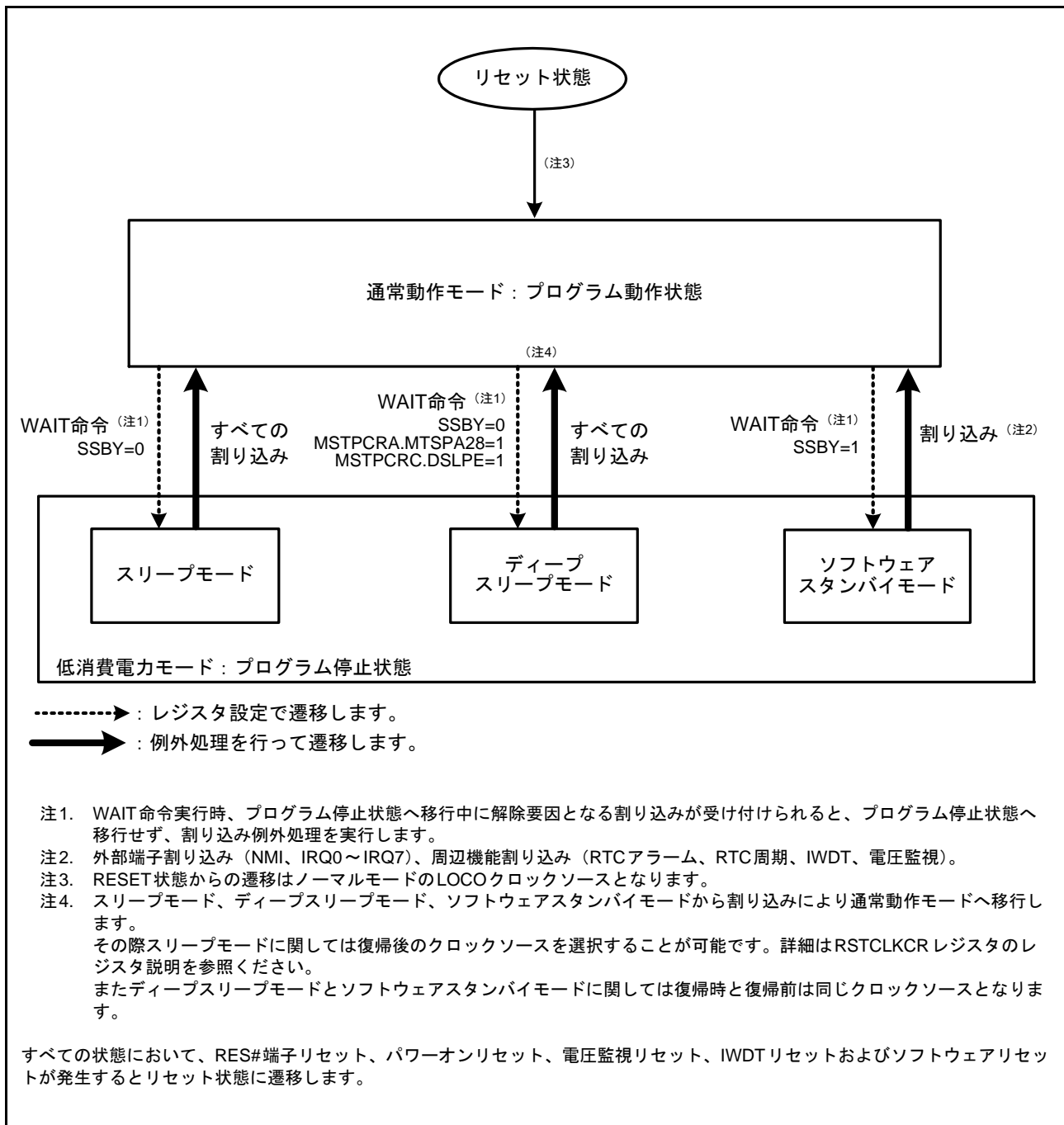


図 11.1 モード遷移

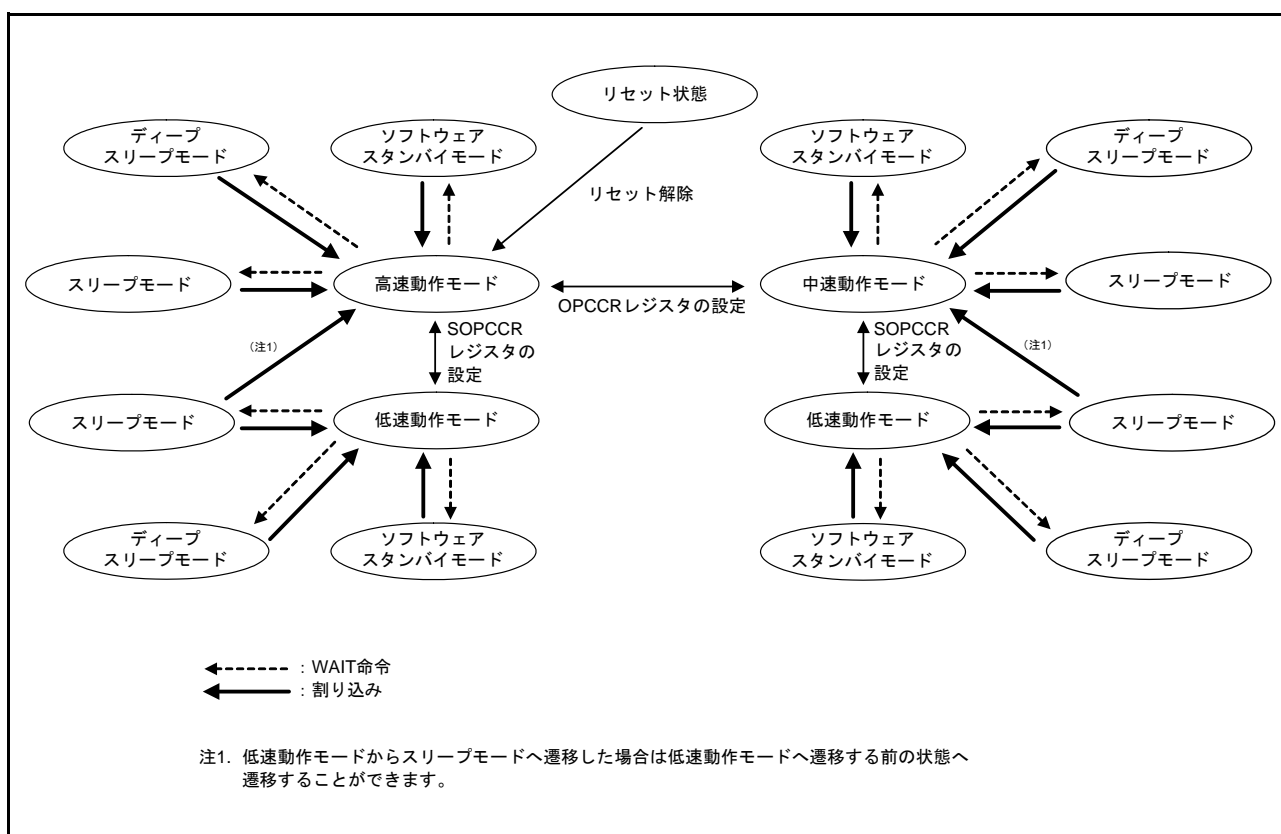


図 11.2 動作モード

- ソフトウェアスタンバイモードに遷移した場合に、サブクロック発振器の停止は行いません。
- スリープモードからはスリープモードへ遷移する前の動作状態に戻ることができます。
ただし、低速動作モードからスリープモードへ遷移した場合は低速動作モードへ遷移する前の状態へ遷移することができます。
- リセット解除後は高速動作モードで動作開始します。

表 11.3 各動作モードでの発振器の使用可否

	HOCO	LOCO	ILOCO	メインクロック発振器	サブクロック発振器
高速動作モード	○	○	○	○	○
中速動作モード	○	○	○	○	○
低速動作モード	×	×	○	×	○

○ : 使用可能
 × : 使用不可能

11.2 レジスタの説明

11.2.1 スタンバイコントロールレジスタ (SBYCR)

アドレス 0008 000Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSBY	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	SSBY	ソフトウェアスタンバイビット	0 : WAIT命令実行後、スリープモードまたはディープスリープモードに遷移 1 : WAIT命令実行後、ソフトウェアスタンバイモードに遷移	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

SSBY ビット (ソフトウェアスタンバイビット)

WAIT 命令実行後の遷移先を設定します。

SSBY ビットが“1”の状態では WAIT 命令を実行すると、ソフトウェアスタンバイモードへ遷移します。

なお、割り込みによってソフトウェアスタンバイモードが解除され通常モードに遷移したときは、SSBY ビットは“1”のままです。SSBY ビットを“0”にするときは“0”を書いてください。

発振停止検出コントロールレジスタの発振停止検出機能許可ビット (OSTDCR.OSTDE) が“1”のときは、SSBY ビットに設定された値は無効になります。SSBY ビットが“1”のときも、WAIT 命令実行後は、スリープモードまたはディープスリープモードに遷移します。

11.2.2 モジュールストップコントロールレジスタ A (MSTPCRA)

アドレス 0008 0010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	MSTPA 28	—	—	—	—	—	—	—	—	—	—	MSTPA 17	—
リセット後の値	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MSTPA 15	—	—	—	—	—	MSTPA 9	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b8-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b9	MSTPA9	マルチファンクションタイマパルス ユニット2モジュール ストップ設定ビット	対象モジュール：MTU (MTU0～MTU5) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b14-b10	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b15	MSTPA15	コンペアマッチタイマ (ユニット0) モジュールストップ設定ビット	対象モジュール：CMTユニット0 (CMT0、CMT1) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b16	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b17	MSTPA17	12ビットA/Dコンバータモジュール ストップ設定ビット	対象モジュール：S12AD 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b27-b18	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b28	MSTPA28	データトランスファコントローラ モジュールストップ設定ビット	対象モジュール：DTC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31-b29	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

11.2.3 モジュールストップコントロールレジスタ B (MSTPCRB)

アドレス 0008 0014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	MSTPB30	—	—	—	MSTPB26	—	—	MSTPB23	—	MSTPB21	—	—	—	MSTPB17	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	MSTPB6	—	MSTPB4	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	MSTPB4	シリアルコミュニケーション インタフェースSCI _f モジュール ストップ設定ビット	対象モジュール：SCI _f (SCI12) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6	MSTPB6	DOCモジュールストップ設定ビット	対象モジュール：DOC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b16-b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b17	MSTPB17	シリアルペリフェラルインタフェース0 モジュールストップ設定ビット	対象モジュール：RSPI0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b20-b18	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b21	MSTPB21	I ² Cバスインタフェース0モジュール ストップ設定ビット	対象モジュール：RIIC0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b22	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b23	MSTPB23	CRC演算器モジュールストップ設定 ビット	対象モジュール：CRC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b25-b24	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b26	MSTPB26	シリアルコミュニケーション インタフェース5モジュールストップ 設定ビット	対象モジュール：SCI5 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b29-b27	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b30	MSTPB30	シリアルコミュニケーション インタフェース1モジュールストップ 設定ビット	対象モジュール：SCI1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

11.2.4 モジュールストップコントロールレジスタ C (MSTPCRC)

アドレス 0008 0018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DSLPE	—	—	—	—	—	—	—	—	—	—	—	MSTPC19	—	—	—
リセット後の値	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MSTPC0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTPC0	RAM0 モジュールストップ設定ビット (注1)	対象モジュール : RAM0 (0000 0000h ~ 0000 FFFFh) 0 : RAM0動作 1 : RAM0停止	R/W
b18-b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b19	MSTPC19	クロック周波数精度測定回路モジュールストップ設定ビット (注2)	対象モジュール : CAC 0 : モジュールストップ状態の解除 1 : モジュールストップ状態へ遷移	R/W
b30-b20	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b31	DSLPE	ディープスリープモード許可ビット	0 : ディープスリープモード禁止 1 : ディープスリープモード許可	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. RAMアクセス中に該当するMSTPC0ビットを“1”にしないでください。また、MSTPC0ビットが“1”の状態、該当するRAMにアクセスしないでください。

注2. MSTPC19ビットの書き換えは、本ビットによって制御するクロックの発振が安定しているときに行ってください。本ビットを書き換えた後、ソフトウェアスタンバイモードに遷移する場合は、書き換え後、そのときに発振している発振器のうち、最も遅いクロックを出力する発振器の出カクロックで2サイクル経過したのち、WAIT命令を実行してください。

DSLPE ビット (ディープスリープモード許可ビット)

DSLPE ビットにて、ディープスリープモードへの移行の許可または禁止を設定します。DSLPE ビットを“1”にし、SBYCR.SSBY ビットおよびMSTPCRA.MSTPA28 ビットが所定の条件を満たした状態で、CPU がWAIT 命令を実行した場合、ディープスリープモードに移行します。詳細は「11.6.2 ディープスリープモード」を参照してください。

11.2.5 動作電力コントロールレジスタ (OPCCR)

アドレス 0008 00A0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	OPCM TSF	—	OPCM[2:0]		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	OPCM[2:0]	動作電力制御モード 選択ビット	b2 b0 0 0 0: 高速動作モード 0 1 0: 中速動作モード 上記以外は設定しないでください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	OPCMTSF	動作電力制御モード 遷移状態フラグ	0: 遷移完了 1: 遷移中	R
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

OPCCR レジスタは、通常動作モード、スリープモード、ディープスリープモード時の消費電力を低減させるためのレジスタです。

OPCCR レジスタの設定によって、使用する動作周波数、動作電圧に応じて消費電力を低減させることができます。

以下に該当する場合、OPCCR レジスタの書き換えは無効になります。

- OPCCR.OPCMTSF フラグが“1”（遷移中）のとき
- スリープモードへ移行するための WAIT 命令実行から、スリープモードから通常動作へ復帰するまでの期間
- ディープスリープモードへ移行するための WAIT 命令実行から、ディープスリープモードから通常動作へ復帰するまでの期間
- SOPCCR.SOPCM ビットが“1”（低速動作モード）のとき

フラッシュメモリがプログラム/イレーズ (P/E) 中は、OPCCR レジスタのライトアクセスはできません。書き込みは無効になります。

動作電力制御モードへの遷移手順は、「11.5 動作電力低減機能」を参照してください。

スリープモード中、またはモード遷移中は、システム制御関連のレジスタ（「表 5.1 I/O レジスタアドレス一覧」のモジュールシンボル欄に SYSTEM と記載のレジスタ）への書き込みは禁止です。

OPCM[2:0] ビット（動作電力制御モード選択ビット）

通常動作モード、スリープモード、ディープスリープモード時の動作電力制御モードを選択します。

表 11.4 に動作電力制御モードと OPCM[2:0] ビットおよび SOPCM ビット設定値と、動作周波数範囲・動作電圧範囲の関係を示します。

OPCMTSF フラグ（動作電力制御モード遷移状態フラグ）

動作電力制御モード切り替え時の切り替え制御状態を表します。

OPCM[2:0] ビットの値を書き換えると“1”になり、モード遷移が完了すると“0”になります。このフラグが“0”になったことを確認してから次の処理を行ってください。また、OPCM[2:0] ビットの書き換えは、このフラグが“0”のときに行ってください。

11.2.6 サブ動作電力コントロールレジスタ（SOPCCR）

アドレス 0008 00AAh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SOPC MTSF	—	—	—	SOPC M
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SOPCM	サブ動作電力制御モード選択ビット	0：高速動作モードまたは中速動作モード ^(注1) 1：低速動作モード	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SOPCMTSF	サブ動作電力制御モード遷移状態フラグ	0：遷移完了 1：遷移中	R
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. OPCCR.OPCM[2:0]の設定による。

SOPCCR レジスタは、低速動作モードへの遷移を制御し、通常動作モード、スリープモード時、ディープスリープモード時の消費電力を低減させるためのレジスタです。

SOPCCR レジスタの設定によって、低速動作モードへ遷移、または低速動作モードから復帰することができます。

低速動作モードはサブクロック発振器専用の動作モードです。

低速動作モード中（SOPCM=1のとき）はOPCCRレジスタの書き換えは無効になります。

以下に該当する場合、SOPCCRレジスタの書き換えは無効になります。

- SOPCCR.SOPCMTSF フラグが“1”（遷移中）のとき
- スリープモードへ遷移するための WAIT 命令実行から通常動作へ復帰するまでの期間
- ディープスリープモードへ移行するための WAIT 命令実行から、ディープスリープモードから通常動作へ復帰するまでの期間

フラッシュメモリが P/E 中はこのレジスタのライトアクセスはできません。書き込みは無効になります。

動作電力制御モードへの遷移手順は「11.5 動作電力低減機能」を参照してください。

スリープモード中、またはモード遷移中は、システム制御関連のレジスタ（「表 5.1 I/O レジスタアドレス一覧」のモジュールシンボル欄に SYSTEM と記載のレジスタ）への書き込みは禁止です。

SOPCM ビット (サブ動作電力制御モード選択ビット)

通常動作モード、スリープモード、ディープスリープモード時の動作電力制御を選択します。

このビットに“1”を設定すると低速動作モードに遷移します。“0”に設定すると、低速動作モードへ遷移する前の動作モード (OPCCR.OPCM[2:0] に設定されている動作モード) に戻ります。

表 11.4 に動作電力制御モードと OPCM[2:0] ビットおよび SOPCM ビット設定値と、動作周波数範囲・動作電圧範囲の関係を示します。

SOPCMTSF フラグ (サブ動作電力制御モード遷移状態フラグ)

サブ動作電力制御モード切り替え時の切り替え制御状態を表します。

SOPCM ビットの値を書き換えると“1”になり、モード遷移が完了すると“0”になります。このフラグが“0”になったことを確認してから次の処理を行ってください。また、SOPCM ビットを書き換えは、このフラグが“0”のときに行ってください。

表 11.4 に動作電力制御モードと OPCM[2:0] ビットおよび SOPCM ビット設定値と、動作周波数範囲・動作電圧範囲の関係を示します。

表 11.4 動作電力制御モードと動作周波数範囲・動作電圧範囲の関係

動作電力制御モード	OPCM [2:0] ビット	SOPCM ビット	動作電圧範囲	動作周波数範囲				
				フラッシュメモリ リード時				フラッシュメモリ P/E時
				ICLK	FCLK	PCLKD	PCLKB	FCLK
高速動作モード	000b	0	2.7 ~ 3.6V	~ 32MHz	~ 32MHz	~ 32MHz	~ 32MHz	1MHz ~ 32MHz
			2.4 ~ 2.7V	~ 16MHz	~ 16MHz	~ 16MHz	~ 16MHz	—
			1.8 ~ 2.4V	~ 8MHz	~ 8MHz	~ 8MHz	~ 8MHz	—
中速動作モード	010b	0	2.4 ~ 3.6V	~ 12MHz	~ 12MHz	~ 12MHz	~ 12MHz	1MHz ~ 12MHz
			1.8 ~ 2.4V	~ 8MHz	~ 8MHz	~ 8MHz	~ 8MHz	1MHz ~ 8MHz
低速動作モード	000b	1	1.8 ~ 3.6V	~ 32.768kHz	~ 32.768kHz	~ 32.768kHz	~ 32.768kHz	—
	010b	1	1.8 ~ 3.6V					

注. フラッシュメモリ P/E時、FCLK を 4MHz 未満で使用する場合は、設定可能な周波数は 1MHz、2MHz、3MHz です。

各動作電力制御モードについて以下に説明します。

● 高速動作モード

FLASH リード時の最高動作周波数は、ICLK、FCLK、PCLKD、PCLKB が 32MHz です。FLASH リード時の動作電圧範囲は 1.8V ~ 3.6V です。ただし、2.4V ~ 2.7V 未満の電圧範囲での FLASH リード時の最高動作周波数は、ICLK、FCLK、PCLKD、PCLKB とも 16MHz に制限されます。また、1.8V ~ 2.4V 未満の電圧範囲での FLASH リード時の最高動作周波数は、ICLK、FCLK、PCLKD、PCLKB とも 8MHz に制限されます。

P/E 時の動作周波数範囲は 1 ~ 32MHz、動作電圧範囲は 2.7V ~ 3.6V です。

リセット解除後は、本モードで起動します。

図 11.3 に高速動作モードにおける動作電圧と動作周波数の関係を示します。

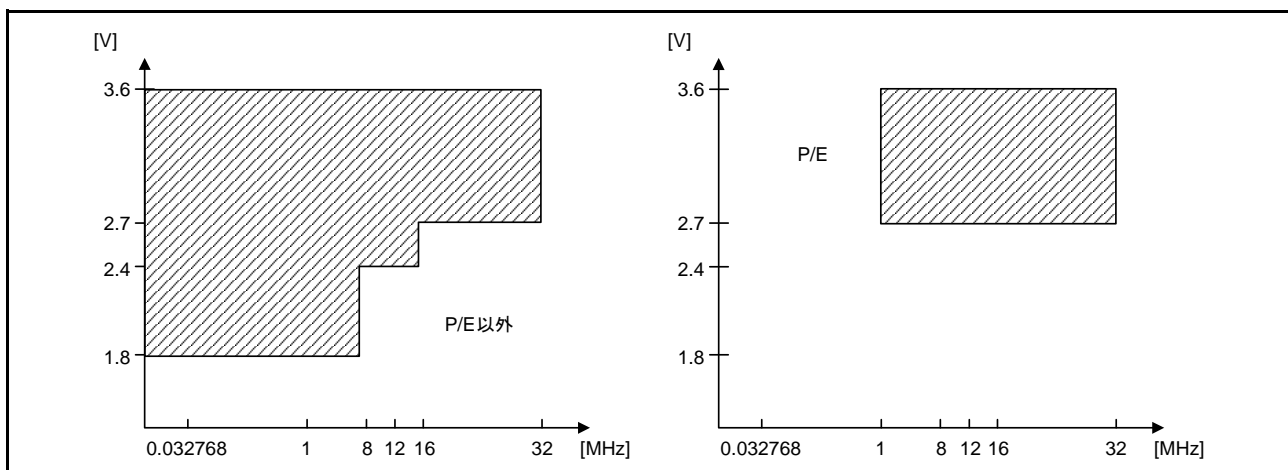


図 11.3 高速動作モードにおける動作電圧と動作周波数の関係

注. フラッシュメモリ P/E 時、FCLK を 4MHz 未満で使用する場合は、設定可能な周波数は 1MHz、2MHz、3MHz です。

- 中速動作モード

高速動作モードよりも低速動作向けに消費電力を低減したモードです。

FLASH リード時の最高動作周波数は、ICLK、FCLK、PCLKD、PCLKB が 12MHz です。FLASH リード時の動作電圧範囲は 1.8V ~ 3.6V です。ただし、1.8V ~ 2.4V 未満の電圧範囲での FLASH リード時の最高動作周波数は、ICLK、FCLK、PCLKD、PCLKB とも 8MHz に制限されます。

P/E 時は、動作周波数範囲が 1 ~ 12MHz、動作電圧範囲が 1.8V ~ 3.6V となります。ただし、1.8V ~ 2.4V 未満の電圧範囲での P/E 時の最大動作周波数は 8MHz に制限されます。

同条件（周波数・電圧）で同じ動作をさせる場合、高速動作モードよりも消費電力を低減できます。

図 11.4 に中速動作モードにおける動作電圧と動作周波数の関係を示します。

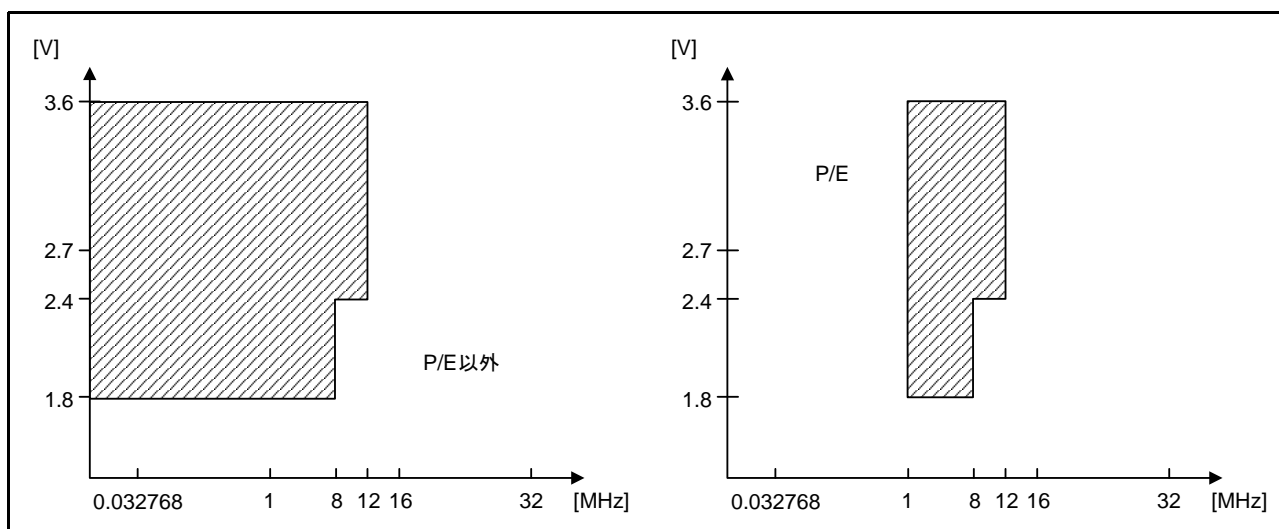


図 11.4 中速動作モードにおける動作電圧と動作周波数の関係

注． フラッシュメモリ P/E 時、FCLK を 4MHz 未満で使用する場合は、設定可能な周波数は 1MHz、2MHz、3MHz です。

- 低速動作モード

SOPCCR レジスタの SOPPCM ビットに“1”を書くことにより、低速動作モードに遷移します。低速動作モード中に OPCM の設定を変更することはできません。低速動作モードは 32.768kHz のサブ発振器専用の動作モードです。

FLASH リード時の最高動作周波数は、ICLK、FCLK、PCLKD、PCLKB とも 32.768kHz で、動作電圧範囲は、1.8V ~ 3.6V です。

低速動作モード選択時には以下の制限事項があります。

- フラッシュメモリの P/E 動作は禁止です。
- メインクロック発振器、LOCO 及び HOCO は使用禁止です。

注． “HOCO.CR.HCSTP ビットが“0”（HOCO 動作）のとき、SOPPCM ビットへの“1”書き込みは無効になります。
MOSCCR.MOSTP ビットが“0”（MOSC 動作）のとき、SOPPCM ビットへの“1”書き込みは無効になります。
LOCO.CR.LCSTP ビットが“0”（LOCO 動作）のとき、SOPPCM ビットに“1”を書き込まないでください。

図 11.5 に低速動作モードにおける動作電圧と動作周波数の関係を示します。

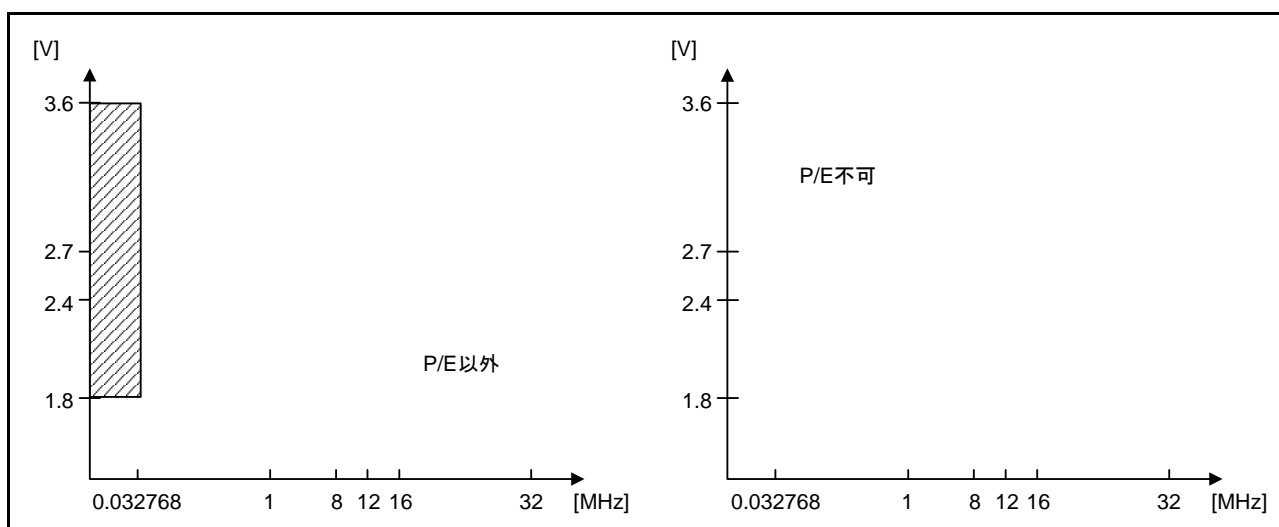


図 11.5 低速動作モードにおける動作電圧と動作周波数の関係

11.2.7 スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR)

アドレス 0008 00A1h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTCK EN	—	—	—	—	RSTCKSEL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	RSTCKSEL [2:0]	スリープモード復帰クロック ソース選択ビット	b2 b0 0 0 0: LOCO選択 0 0 1: HOCO選択 (注1) 0 1 0: メインクロック発振器選択 RSTCKENビットが“1”のとき、上記以外は設定しないでください	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	RSTCKEN	スリープモード復帰クロック ソース切り替え許可ビット	0: スリープモード解除時クロックソース切り替え無効 1: スリープモード解除時クロックソース切り替え有効	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. HOCOは復帰先が高速動作モード時のみ選択可能です。

RSTCKCR レジスタは、スリープモード解除時のクロックソース切り替えの制御を行うレジスタです。

RSTCKCR レジスタの設定によってスリープモードから復帰する場合、復帰するクロックソースに対応したメインクロック発振器コントロールレジスタのメインクロック停止ビット (MOSCCR.MOSTP)、高速オンチップオシレータコントロールレジスタのHOCO停止ビット (HOCOCCR.HCSTP)、低速オンチップオシレータコントロールレジスタのLOCO停止ビット (LOCOCR.LCSTP) は、自動的に動作状態に書き換えられます。また、RSTCKSEL[2:0] ビットの値が自動的にシステムクロックコントロールレジスタ3のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) にリロードされます。

RSTCKSEL[2:0] ビット (スリープモード復帰クロックソース選択ビット)

スリープモード解除時のクロックソースを選択します。

RSTCKSEL[2:0] ビットでのクロックソース選択は、RSTCKEN ビットが“1”の場合のみ有効です。

図 11.2 の動作モードで、スリープモードから高速動作モードへ復帰する場合は、LOCO、HOCO、メインクロック発振器が選択可能です。また、スリープモードから中速動作モードへ復帰する場合は、LOCO、メインクロック発振器が選択可能です。ただし、この場合、各クロック (ICLK、FCLK、PCLKD、PCLKB) の周波数は電源電圧が 2.4V 以上では 12MHz 以下に、2.4V 未満では 8MHz 以下にしてください。

表 11.5 スリープモードから高速動作モードおよび中速動作モードへ復帰する場合

スリープ時の動作モード	スリープ時の クロックソース	RSTCKSEL	復帰後の 動作モード	復帰後のクロックソース
高速動作モードまたは、 高速動作モードから遷移 した低速動作モード	サブクロック発振器	000b (LOCO)	高速動作モード	LOCO
		001b (HOCO)		HOCO
		010b (メインクロック発振器)		メインクロック発振器
中速動作モードまたは、 中速動作モードから遷移 した低速動作モード	サブクロック発振器	000b (LOCO)	中速動作モード	LOCO
		010b (メインクロック発振器)		メインクロック発振器 (注1)

注1. 各クロック (ICLK、FCLK、PCLKD、PCLKB) の周波数は電源電圧が 2.4V 以上では 12MHz 以下に、2.4V 未満では 8MHz 以下にしてください。

RSTCKEN ビット (スリープモード復帰クロックソース切り替え許可ビット)

スリープモード解除時のクロックソース切り替えの有効/無効を制御します。

本ビットを有効に設定した状態でスリープモードから復帰する場合は、SOPCCR レジスタの SOPCM ビットは自動的に“0” (中速動作モードまたは高速動作モード) に書き換わります。

分周設定 (SCKCR レジスタ) の値は保持されます。

スリープモードから中速動作モードへメインクロック発振器を選択して復帰する場合は、各クロックの周波数は電源電圧が 2.4V 以上では 12MHz 以下に、2.4V 未満では 8MHz 以下になるようにしてください。

11.3 クロックの切り替えによる消費電力の低減

SCKCR.FCK[3:0], ICK[3:0], PCKB[3:0], PCKD[3:0] ビットを設定すると、クロック周波数が切り替わります。CPU、DTC、ROM、RAM は、ICK[3:0] ビットで設定した動作クロックで動作します。

周辺モジュールは、PCKB[3:0]、PCKD[3:0] ビットで設定した動作クロックで動作します。

フラッシュインタフェースは FCK[3:0] ビットで設定した動作クロックで動作します。

詳細は「9. クロック発生回路」を参照してください。

11.4 モジュールストップ機能

モジュールストップ機能は、内蔵周辺モジュール単位で設定することができます。

MSTPCRA ~ MSTPCRC レジスタに対応する MSTPmi ビット (m=A ~ C, i=31 ~ 0) を“1”にすると、モジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は独立して動作を続けます。対応する MSTPmi ビットを“0”にすることによって、モジュールストップ状態は解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップ状態では、モジュールの内部状態が保持されています。

リセット解除後は、DTC、RAM を除くすべてのモジュールがモジュールストップ状態になっています。

モジュールストップ状態に設定されたモジュールのレジスタは、読み出し、書き込みともにできませんが、モジュールストップ設定直後に書き込みを行った場合、書き込める場合がありますので注意してください。

11.5 動作電力低減機能

動作周波数、動作電圧に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、ディープスリープモード時の消費電力を低減することができます。

11.5.1 動作電力制御モード設定方法

動作電力制御モードの遷移手順を以下に示します。

(1) 消費電力が大きいモードから消費電力が小さいモードへ切り替える場合

- 例 1：高速動作モードから中速動作モードへの切り替え

(高速動作モードで高速動作)

↓

各クロックの周波数を中速動作モードの最大動作周波数以下に設定

↓

OPCCR.OPCMTSF フラグが“0” (遷移完了) であることを確認

↓

OPCCR.OPCM[2:0] ビットを“010b” (中速動作モード) に設定

↓

OPCCR.OPCMTSF フラグが“0” (遷移完了) であることを確認

↓

(中速動作モードで中速動作)

- 例2：高速 / 中速動作モードから低速動作モードへの切り替え
高速動作モードで高速動作 / 中速動作モードで中速動作

↓
各クロックの周波数を低速動作モードの最大動作周波数以下に設定
↓
サブクロック発振器以外がすべて停止していることを確認
↓
SOPCCR.SOPCMTSF フラグが“0”（遷移完了）であることを確認
↓
SOPCCR.SOPCM ビットを“1”（低速動作モード）に設定
↓
SOPCCR.SOPCMTSF フラグが“0”（遷移完了）であることを確認
↓
低速動作モードで低速動作

(2) 消費電力が小さいモードから消費電力が大きいモードへ切り替える場合

- 例1：低速動作モードから高速 / 中速動作モードへの切り替え
低速動作モードで低速動作

↓
SOPCCR.SOPCMTSF フラグが“0”（遷移完了）であることを確認
↓
SOPCCR.SOPCM ビットを“0”（高速動作モードまたは中速動作モード）に設定
↓
SOPCCR.SOPCMTSF フラグが“0”（遷移完了）であることを確認
↓
各クロックの周波数を高速 / 中速動作モードの最大動作周波数以下に設定
↓
高速動作モードで高速動作 / 中速動作モードで中速動作

- 例2：中速動作モードから高速動作モードへの切り替え
中速動作モードで中速動作

↓
OPCCR.OPCMTSF フラグが“0”（遷移完了）であることを確認
↓
OPCCR.OPCM[2:0] ビットを“000b”（高速動作モード）に設定
↓
OPCCR.OPCMTSF フラグが“0”（遷移完了）であることを確認
↓
各クロックの周波数を高速動作モードの最大動作周波数以下に設定
↓
高速動作モードでの高速動作

11.6 低消費電力状態

11.6.1 スリープモード

11.6.1.1 スリープモードへの移行

SBYCR.SSBY ビットが“0”の状態では WAIT 命令を実行すると、スリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタは値を保持します。CPU 以外の周辺機能は停止しません。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”のときにスリープモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSR.SLCSTP ビットが“1”のときにスリープモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0”（低消費電力モード遷移時 IWDT カウント継続）のときは、スリープモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSR.SLCSTP ビットが“0”のときは、スリープモードへ移行後も IWDT はカウントを継続します。

スリープモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU の PSW.I ビット（注1）を“0”にする。
- (2) スリープモードからの復帰に使用する割り込みの要求先（注2）を CPU に設定する。
- (3) スリープモードからの復帰に使用する割り込みの優先レベル（注3）を、CPU の PSW.IPL[3:0] ビット（注1）よりも高く設定する。
- (4) スリープモードからの復帰に使用する割り込みの IERm.IENj ビット（注3）を“1”にする。
- (5) 最後に書き込みを行った I/O レジスタを読み出し、書き込み値が反映されていることを確認する。
- (6) WAIT 命令の実行（WAIT 命令の実行により CPU の PSW.I ビット（注1）は自動的に“1”になります）。

注1. 詳細は「2. CPU」を参照してください。

注2. 詳細は「14.4.3 割り込み要求先の選択」を参照してください。

注3. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

11.6.1.2 スリープモードの解除

スリープモードの解除は、すべての割り込み、RES# 端子リセット、パワーオンリセット、電圧監視リセット、IWDT のアンダフローによるリセットによって行われます。

- 割り込みによる解除

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。マスカブル割り込みが CPU でマスクされている場合（割り込み優先レベルが（注1）CPU の PSW.IPL[3:0] ビット（注2）以下に設定されている場合）には、スリープモードは解除されません。

- RES# 端子リセットによる解除

RES# 端子を Low にすると、リセット状態になります。規定のリセット入力期間が経過した後、RES# 端子を High にすると、CPU はリセット例外処理を開始します。

- パワーオンリセットによる解除

パワーオンリセットによって、スリープモードが解除されます。

- 電圧監視リセットによる解除

電圧検出回路の電圧監視リセットによって、スリープモードが解除されます。

- 独立ウォッチドッグタイマリセットによる解除

IWDT のアンダフローの内部リセットによって、スリープモードが解除されます。ただし、スリープモード時に IWDT がカウントを停止する条件（OFS0.IWDTSTRT=0 かつ OFS0.IWDTSLCSTP=1、または OFS0.IWDTSTRT=1 かつ IWDTCSLTPR.SLCSTP=1）では、IWDT が停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

注 1. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

注 2. 詳細は「2. CPU」を参照してください。

11.6.1.3 スリープモード復帰クロックソース切り替え機能

スリープモード復帰クロック切り替えを行うには、スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR) による復帰後のクロックの設定と、クロックのウェイトコントロールレジスタの設定が必要となります。復帰割り込みが発生すると、復帰クロックとして設定された発振器の発振安定を待った後、自動的にクロックソースを切り替え、スリープモードから復帰します。その際、クロックソース切り替えに関連するレジスタが自動的に書き換えられます。

詳細は「11.2.7 スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR)」を参照してください。また、発振安定待ち時間の設定については、「9.2.11 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)」または「9.2.12 高速オンチップオシレータウェイトコントロールレジスタ (HOCOWTCR)」を参照してください。

11.6.2 ディープスリープモード

11.6.2.1 ディープスリープモードへの遷移

MSTPCRC.DSLPE ビットを“1”に設定し、かつ MSTPCRA.MSTPA28 ビットを“1”に設定し SBYCR.SSBY ビットを“0”にクリアした状態で WAIT 命令を実行すると、ディープスリープモードに遷移します。

ディープスリープモードでは、CPUに加え、DTC、ROM、RAMのクロックも停止します。周辺機能は停止しません。

IWDT をオートスタートモードで使用している場合、OFS0.SLCSTP ビットが“1”のときに、ディープスリープモードへ遷移すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCS1PR.SLCSTP ビットが“1”のときに、ディープスリープモードへ遷移すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.SLCSTP ビットが“0”（低消費電力モード遷移時 IWDT カウント継続）のときは、ディープスリープモードへ遷移後も、IWDT はカウントを継続します。同様にレジスタスタートモードで使用している場合、IWDTCS1PR.SLCSTP ビットが“0”のときは、ディープスリープモードへ遷移後、IWDT はカウントを継続します。

ディープスリープモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU.PSW.I ビット（注1）を“0”にする。
- (2) ディープスリープモードからの復帰に使用する割り込みの要求先（注2）を CPU に設定する。
- (3) ディープスリープモードからの復帰に使用する割り込みの優先レベル（注3）を、CPU の PSW.IPL[3:0] ビット（注1）よりも高く設定する。
- (4) ディープスリープモードからの復帰に使用する割り込みの IERm.IENn（注3）を“1”にする。
- (5) 最後に書きこみを行った I/O レジスタを読み出し、書き込み値が反映されていることを確認する。
- (6) WAIT 命令を実行する（WAIT 命令の実行により CPU の PSW.I（注1）は自動的に“1”になります）。

注1. 詳細は「2. CPU」を参照してください。

注2. 詳細は「14.4.3 割り込み要求先の選択」を参照してください。

注3. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

11.6.2.2 ディープスリープモードの解除

ディープスリープモードの解除は、すべての割り込み、RES# 端子リセット、パワーオンリセット、電圧監視リセット、IWDT のアンダフローによるリセットによって行われます。

- 割り込みによる解除
割り込みが発生すると、ディープスリープモードは解除され、割り込み例外処理を開始します。マスクされた割り込みが CPU でマスクされている場合（割り込みの優先レベル（注1）が CPU の PSW.IPL[3:0] ビット（注2）以下に設定されている場合）には、ディープスリープモードは解除されません。
- RES# 端子リセットによる解除
RES# 端子を Low にすると、リセット状態になります。規定のリセット入力期間が経過した後、RES# 端子を High にすると、CPU はリセット例外処理を開始します。
- パワーオンリセットによる解除
パワーオンリセットによって、ディープスリープモードが解除されます。
- 電圧監視リセットによる解除
電圧検出回路の電圧監視リセットにより、ディープスリープモードが解除されます。
- 独立ウォッチドッグタイマによる解除
IWDT のアンダフローの内部リセットによって、ディープスリープモードが解除されます。ただし、ディープスリープモード時に IWDT がカウントを停止する条件（OFS0.IWDTSTRT=0 かつ OFS0.IWDTSLCSTP=1、または OFS0.IWDTSTRT=1 かつ IWDTCSTPR.SLCSTP=1）では、IWDT が停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

注 1. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

注 2. 詳細は「2. CPU」を参照してください。

11.6.3 ソフトウェアスタンバイモード

11.6.3.1 ソフトウェアスタンバイモードへの移行

SBYCR.SSBY ビットを“1”にした状態で WAIT 命令を実行すると、ソフトウェアスタンバイモードに移行します。このモードでは、CPU、内蔵周辺機能、およびサブクロック発振器以外のすべての機能が停止します。ただし、CPU の内部レジスタの値と RAM のデータ、内蔵周辺機能と I/O ポートの状態、サブクロック発振器の状態は保持されます。ソフトウェアスタンバイモードでは、発振器が停止するため、消費電力は著しく低減されます。

WAIT 命令を実行する前に DTC の DTCST.DTCST ビットを“0”にしてください。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”のときに、ソフトウェアスタンバイモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“1”のときにソフトウェアスタンバイモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0”（低消費電力モード遷移時 IWDT カウント継続）のときは、ソフトウェアスタンバイモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“0”のときは、ソフトウェアスタンバイモードへ移行後も IWDT はカウントを継続します。

ソフトウェアスタンバイモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU の PSW.I ビット（注1）を“0”にする。
- (2) ソフトウェアスタンバイモードからの復帰に使用する割り込みの要求先（注2）を CPU に設定する。
- (3) ソフトウェアスタンバイモードからの復帰に使用する割り込みの優先レベル（注3）を CPU の PSW.IPL[3:0] ビット（注1）よりも高く設定する。
- (4) ソフトウェアスタンバイモードからの復帰に使用する割り込みの IERm.IENj ビット（注3）を“1”にする。
- (5) 最後に書き込みを行った I/O レジスタを読み出し、書いた値が反映されていることを確認する。
- (6) WAIT 命令を実行する（WAIT 命令の実行によって CPU の PSW.I ビット（注1）は自動的に“1”になります）。

注1. 詳細は「2. CPU」を参照してください。

注2. 詳細は「14.4.3 割り込み要求先の選択」を参照してください。

注3. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

11.6.3.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部端子割り込み (NMI、IRQ0 ~ IRQ7)、周辺機能割り込み (RTC アラーム、RTC 周期、IWDT、電圧監視)、RES# 端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによって行われます。ソフトウェアスタンバイモードの解除要因が発生すると、ソフトウェアスタンバイモード移行前に動作していた各発振器は動作を再開します。その後、これらすべての発振器の発振が安定するのを待ってソフトウェアスタンバイモードから復帰します。

- 割り込みによる解除

NMI、IRQ0 ~ IRQ7、RTC アラーム、RTC 周期、IWDT、電圧監視の割り込み要求が発生すると、ソフトウェアスタンバイモード移行前に動作していた各発振器は動作を再開します。その後、MOSCWTCR.MSTS[4:0] ビットまたは HOCOWTCR.HSTS[4:0] ビットで設定した各発振器の発振安定待ち時間が経過したところで、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

- RES# 端子リセットによる解除

RES# 端子を Low にすると、クロックは発振を開始します。クロックの発振開始と同時に、MCU にクロックを供給します。このとき RES# 端子はクロックの発振が安定するまで Low を保持するようにしてください。RES# 端子を High にすると、CPU はリセット例外処理を開始します。

- パワーオンリセットによる解除

電源電圧の低下によってパワーオンリセットが発生すると、ソフトウェアスタンバイモードは解除されます。

- 電圧監視リセットによる解除

電源電圧の低下によって電圧監視リセットが発生すると、ソフトウェアスタンバイモードは解除されます。

- 独立ウォッチドッグタイマリセットによる解除

IWDT のアンダフローの内部リセットによって、ソフトウェアスタンバイモードが解除されます。ただし、ソフトウェアスタンバイモード時に独立ウォッチドッグタイマがカウントを停止する条件 (OFS0.IWDTSTRT=0 かつ OFS0.IWDTSLCSTP=1、または OFS0.IWDTSTRT=1 かつ IWDTCSTPR.SLCSTP=1) では、独立ウォッチドッグタイマが停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

11.6.3.3 ソフトウェアスタンバイモードの応用例

IRQn 端子の立ち下がリエッジでソフトウェアスタンバイモードに移行し、IRQn 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 11.6 に示します。

この例では、ICU の IRQCRI.IRQMD[1:0] ビットが“01b”（立ち下がリエッジ）の状態、IRQn 割り込みを受け付けた後、IRQCRI.IRQMD[1:0] ビットを“10b”（立ち上がりエッジ）に設定し、SBYCR.SSBY ビットを“1”にした後、WAIT 命令を実行してソフトウェアスタンバイモードに移行しています。その後、IRQn 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

なお、ソフトウェアスタンバイモードからの復帰には、割り込みコントローラ（ICU）の設定も必要となります。詳細は、「14. 割り込みコントローラ（ICU）」を参照してください。

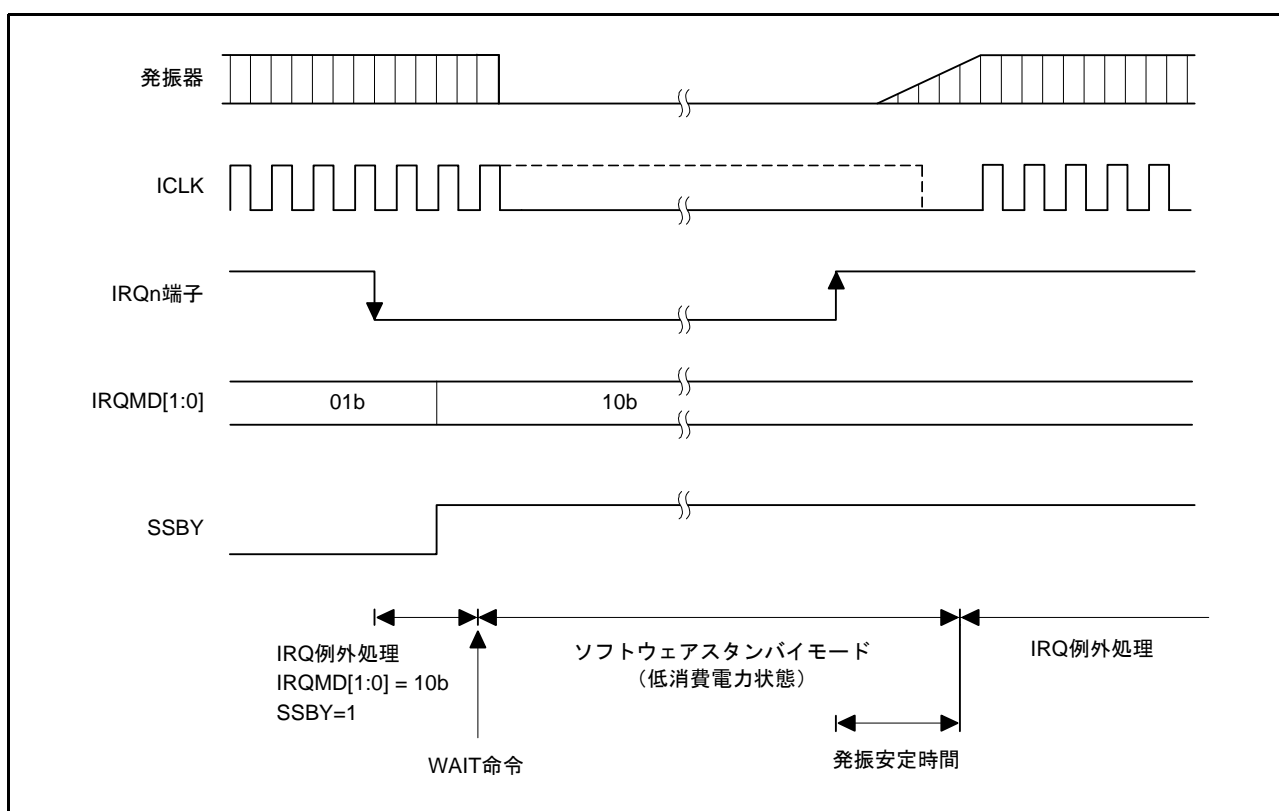


図 11.6 ソフトウェアスタンバイモードの応用例

11.7 使用上の注意事項

11.7.1 I/O ポートの状態

ソフトウェアスタンバイモードでは、I/O ポートの状態を保持します。したがって、High を出力している場合は出力電流分の消費電流は低減されません。

11.7.2 DTC のモジュールストップ

MSTPCRA.MSTPA28 ビットを“1”にする前に、DTC の DTCST.DTCST ビットを“0”にして、DTC が起動していない状態にしてください。

詳細は「16. データトランスファコントローラ (DTCa)」を参照してください。

11.7.3 内蔵周辺モジュールの割り込み

モジュールストップ状態では当該割り込みの動作ができません。したがって、割り込み要求が発生した状態でモジュールストップとすると、CPU の割り込み要因または DTC の起動要因のクリアができません。事前に割り込みを禁止してからモジュールストップ状態にしてください。

11.7.4 MSTPCRA、MSTPCRB、MSTPCRC レジスタの書き込み

MSTPCRA、MSTPCRB および MSTPCRC レジスタへの書き込みは、CPU のみで行ってください。

11.7.5 WAIT 命令の実行タイミング

WAIT 命令は、先行して実行されたレジスタへの書き込みの完了を待たずに実行されます。レジスタへの書き込みによる設定変更が反映される前に WAIT 命令が実行される場合があり、意図していない動作を起す恐れがあります。最後のレジスタへの書き込みが完了していることを確認してから WAIT 命令を実行してください。

11.7.6 スリープモード中の DTC によるレジスタの書き換えについて

スリープモード中は OFS0.IWDTSLCSTP ビット、IWDTCSSTPR.SLCSTP ビットの設定によって IWDT が停止します。その場合、スリープモード中に DTC によって IWDT 関連のレジスタを書き換えしないでください。

RSTCKCR レジスタはスリープモードから復帰するときにクロックソースを切り替える機能に関するレジスタです。そのため、スリープモード中に書き換えを行うと意図しない動作となる可能性がありますので、スリープモード中は RSTCKCR レジスタを書き換えしないでください。

12. レジスタライトプロテクション機能

レジスタライトプロテクション機能は、プログラムが暴走したときに備え、重要なレジスタを書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ（PRCR）で設定します。

表 12.1 に PRCR レジスタと保護されるレジスタの対応を示します。

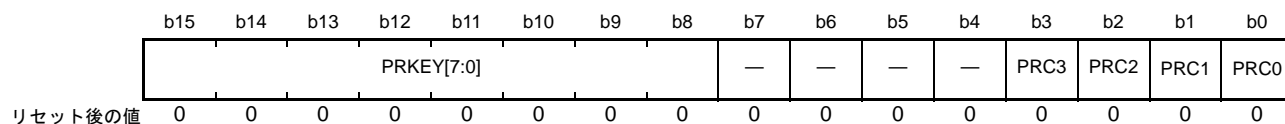
表 12.1 PRCR レジスタと保護されるレジスタの対応

PRCR レジスタ	保護されるレジスタ
PRC0 ビット	<ul style="list-style-type: none"> クロック発生回路関連レジスタ SCKCR、SCKCR3、MOSCCR、SOSCCR、LOCOCR、ILOCOCR、HOCOCR、OSTDCR、OSTDSR、CKOCR
PRC1 ビット	<ul style="list-style-type: none"> 動作モード関連レジスタ SYSCR1 消費電力低減機能関連レジスタ SBYCR、MSTPCRA、MSTPCRB、MSTPCRC、OPCCR、RSTCKCR、SOPCCR クロック発生回路関連レジスタ MOFCR、MOSCWTCR ソフトウェアリセットレジスタ SWRR
PRC2 ビット	<ul style="list-style-type: none"> クロック発生回路関連レジスタ HOCOWTCR
PRC3 ビット	<ul style="list-style-type: none"> LVD 関連レジスタ LVCMPER、LVDLVLRL、LVD1CR0、LVD1CR1、LVD1SR、LVD2CR0、LVD2CR1、LVD2SR

12.1 レジスタの説明

12.1.1 プロテクトレジスタ (PRCR)

アドレス 0008 03FEh



ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	クロック発生回路関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b1	PRC1	プロテクトビット1	動作モード、消費電力低減機能関連レジスタ、ソフトウェアリセットレジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b2	PRC2	プロテクトビット2	クロック発生回路関連レジスタの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b3	PRC3	プロテクトビット3	LVD関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	PRKEY[7:0]	PRCキーコードビット	PRCRレジスタの書き換えの可否を制御します。 PRCRレジスタを書き換える場合、上位8ビットに“A5h”、下位8ビットに任意の値を、16ビット単位で書いてください	R/W (注1)

注1. 書き込みデータは保持されません。

PRCi ビット (プロテクトビット i) (i=0 ~ 3)

保護するレジスタへの書き込み許可 / 禁止を選択します。

PRCi ビットが“1”のとき、保護されるレジスタへの書き込みができます。PRCi ビットが“0”のとき、レジスタへの書き込みができません。

13. 例外処理

13.1 例外事象

CPU が通常のプログラムを実行している途中で、ある事象の発生によってそのプログラムの実行を中断し、別のプログラムを実行する必要がある場合があります。このような事象を総称して例外事象と呼びます。

RX CPU は、6 種類の例外に対応します。図 13.1 に例外事象の種類を示します。

例外が発生すると、プロセッサモードはスーパーバイザモードに移行します。

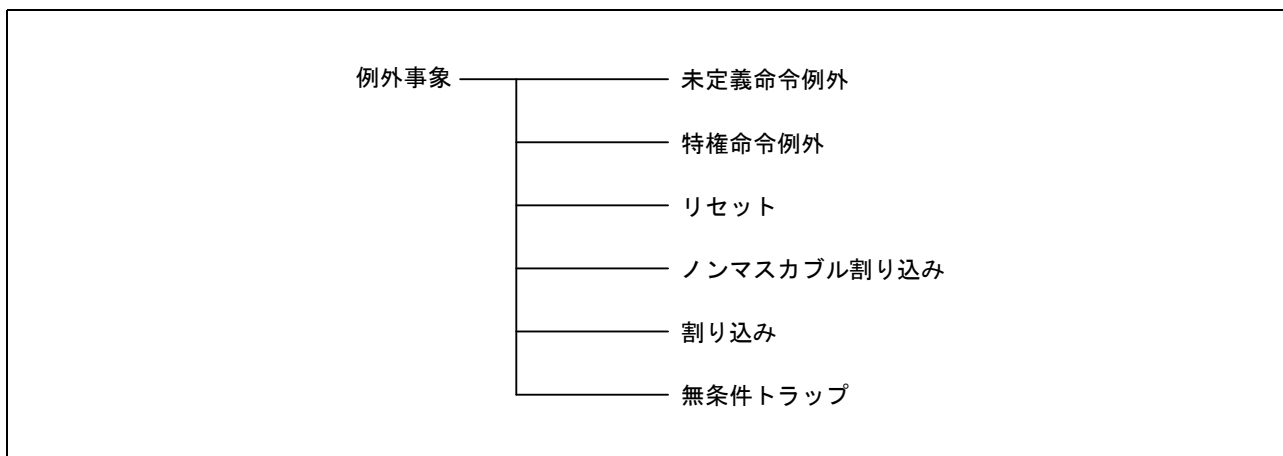


図 13.1 例外事象の種類

13.1.1 未定義命令例外

未定義命令例外は、未定義命令（実装されていない命令）の実行を検出した場合に発生します。

13.1.2 特権命令例外

特権命令例外は、ユーザモードで特権命令の実行を検出した場合に発生します。特権命令はスーパーバイザモードでのみ実行可能です。

13.1.3 リセット

CPUにリセット信号を入力することによって発生します。リセットは最高度の優先順位を持ち、常に受け付けられます。

13.1.4 ノンマスカブル割り込み

CPUにノンマスカブル割り込み信号を入力することによって発生します。システムに致命的な障害が発生したと考えられる場合にのみ使用します。例外処理ルーチン処理後、例外発生時に実行していた元のプログラムに復帰しない条件で使用してください。

13.1.5 割り込み

CPUに割り込み信号を入力することによって発生します。割り込みのうち1つの要因を、高速割り込みとして割り当てることが可能です。高速割り込みは、通常の割り込みに比べ、ハードウェア前処理とハードウェア後処理が高速です。高速割り込みの優先レベルは15（最高）です。

PSWのIビットが“0”のとき、割り込みの受け付けは禁止されます。

13.1.6 無条件トラップ

INT命令、およびBRK命令を実行すると無条件トラップが発生します。

13.2 例外の処理手順

例外処理には、ハードウェアが自動的に処理する部分と、ユーザが記述したプログラム（例外処理ルーチン）によって処理される部分があります。リセットを除く、例外受け付け時の処理手順を図 13.2 に示します。

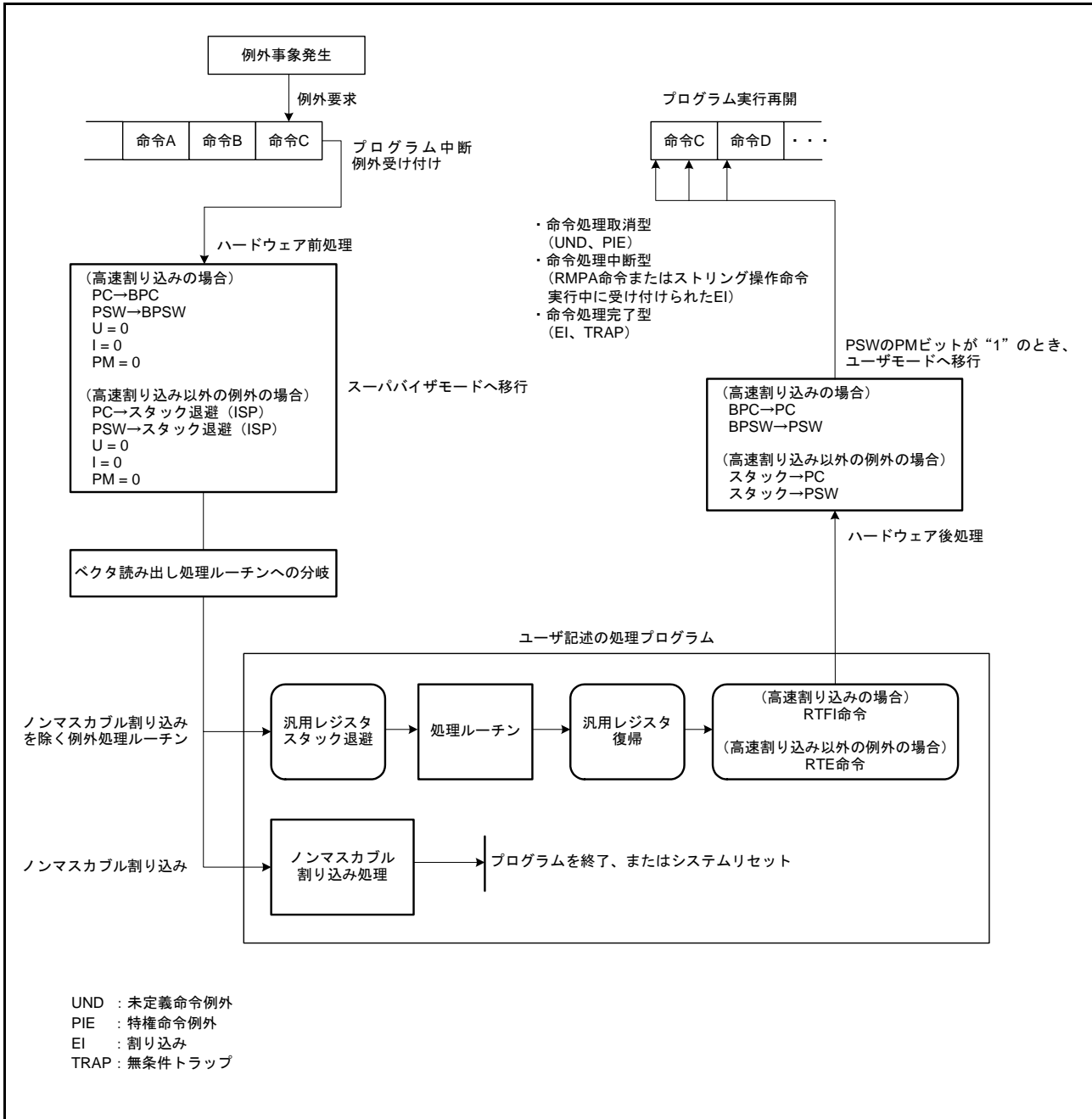


図 13.2 例外の処理手順の概要

例外が受け付けられると、RX CPUはハードウェア処理を行った後、ベクタにアクセスし、分岐先アドレスを取得します。ベクタには各例外ごとにベクタアドレスが割り当てられており、そこに例外処理ルーチンへの分岐先アドレスを書きます。

RX CPUのハードウェア前処理では、高速割り込みの場合は、プログラムカウンタ (PC) の内容をバックアップ PC (BPC) に、プロセッサステータスワード (PSW) の内容をバックアップ PSW (BPSW) へ退避します。高速割り込み以外の例外では、PC、PSW をスタック領域に退避します。例外処理ルーチン中で使用する汎用レジスタ、および PC、PSW 以外の制御レジスタについては、例外処理ルーチンの先頭でユーザプログラムによってスタックに退避してください。

例外処理ルーチン完了後、スタックに退避したレジスタを復帰して RTE 命令を実行することで、例外処理から元のプログラムに復帰します。高速割り込みの場合のみ、RTFI 命令を実行します。ただし、ノンマスカブル割り込みの場合には、元のプログラムに復帰せず、プログラムを終了、またはシステムリセットを行ってください。

RX CPUのハードウェア後処理では、高速割り込みの場合は BPC を PC に、また、BPSW の値を PSW に戻します。高速割り込み以外の例外では、スタック領域から PC、PSW の値を復帰します。

13.3 例外事象の受け付け

例外事象が発生すると、それまで実行していたプログラムを中断して、例外処理ルーチンに分岐します。

13.3.1 受け付けタイミングと退避される PC 値

各例外事象の受け付けタイミングと退避されるプログラムカウンタ (PC) の値を表 13.1 に示します。

表 13.1 受け付けタイミングと退避される PC 値

例外事象		処理型	受け付け タイミング	BPC / スタックに退避される PC 値
未定義命令例外		命令処理取消型	命令実行中	例外が発生した命令の PC 値
特権命令例外		命令処理取消型	命令実行中	例外が発生した命令の PC 値
リセット		命令処理放棄型	各マシンサイクル	なし
ノンマスクابل 割り込み	RMPA、SCMPU、SMOVB、 SMOVF、SMOVU、SSTR、 SUNTIL、SWHILE 命令実行中	命令処理中断型	命令実行中	実行中の命令の PC 値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令の PC 値
割り込み	RMPA、SCMPU、SMOVB、 SMOVF、SMOVU、SSTR、 SUNTIL、SWHILE 命令実行中	命令処理中断型	命令実行中	実行中の命令の PC 値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令の PC 値
無条件トラップ		命令処理完了型	命令の区切り	次の命令の PC 値

13.3.2 ベクタと PC、PSW の退避場所

各例外事象のベクタとプログラムカウンタ (PC)、プロセッサステータスワード (PSW) の退避場所を表 13.2 に示します。

表 13.2 ベクタと PC、PSW の退避場所

例外事象		ベクタ	PC、PSW の退避場所
未定義命令例外		固定ベクタテーブル	スタック
特権命令例外		固定ベクタテーブル	スタック
リセット		固定ベクタテーブル	なし
ノンマスクابل割り込み		固定ベクタテーブル	スタック
割り込み	高速割り込み	FINTV	BPC、BPSW
	高速割り込み以外	可変ベクタテーブル (INTB)	スタック
無条件トラップ		可変ベクタテーブル (INTB)	スタック

13.4 例外の受け付け／復帰時のハードウェア処理

リセットを除く、例外の受け付けおよび復帰時のハードウェア処理について説明します。

(1) 例外受け付け時のハードウェア前処理

(a) PSW の退避

(高速割り込みの場合)

PSW → BPSW

(高速割り込み以外の例外の場合)

PSW → スタック領域

(b) PSW の PM、U、I ビットの更新

I : 0 にする

U : 0 にする

PM : 0 にする

(c) PC の退避

(高速割り込みの場合)

PC → BPC

(高速割り込み以外の例外の場合)

PC → スタック領域

(d) PC に例外処理ルーチン分岐先アドレスをセット

各例外に対応したベクタを取得し分岐することにより、例外処理ルーチン処理へ移行します。

(2) RTE 命令、RTFI 命令実行時のハードウェア後処理

(a) PSW の復帰

(高速割り込みの場合)

BPSW → PSW

(高速割り込み以外の例外の場合)

スタック領域 → PSW

(b) PC の復帰

(高速割り込みの場合)

BPC → PC

(高速割り込み以外の例外の場合)

スタック領域 → PC

13.5 ハードウェア前処理

例外要求が受け付けられてから例外処理ルーチンが実行されるまでのハードウェア前処理について説明します。

13.5.1 未定義命令例外

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. FFFFFFFDCh 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.2 特権命令例外

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. FFFFFFFD0h 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.3 リセット

1. 制御を初期化します。
2. FFFFFFFFCh 番地からベクタを取得します。
3. 取得したベクタをプログラムカウンタ (PC) にセットします。

13.5.4 ノンマスカブル割り込み

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE 命令を実行中は、実行中の命令のプログラムカウンタ (PC) の内容を、それ以外の状態では次の命令の PC の内容をスタック領域 (ISP) に退避します。
4. PSW のプロセッサ割り込み優先レベル (IPL[3:0]) を“Fh”にします。
5. FFFFFFF8h 番地からベクタを取得します。
6. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.5 割り込み

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。高速割り込みの場合は、バックアップ PSW (BPSW) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE 命令を実行中は、実行中の命令のプログラムカウンタ (PC) の内容を、それ以外の状態では次の命令の PC の内容をスタック領域 (ISP) に退避します。高速割り込みの場合は、バックアップ PC (BPC) に退避します。
4. PSW のプロセッサ割り込み優先レベル (IPL[3:0]) に、受け付けた割り込みの割り込み優先レベルを設定します。
5. 可変ベクタテーブルから受け付けた割り込み要因のベクタを取得します。高速割り込みの場合は、高速割り込みベクタレジスタ (FINTV) からベクタを取得します。
6. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.6 無条件トラップ

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. 次の命令のプログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. INT 命令の場合は、可変ベクタテーブルから INT 命令番号に対応したベクタを取得します。BRK 命令の場合は、可変ベクタテーブルの先頭番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.6 例外処理ルーチンからの復帰

例外処理ルーチンの最後で表 13.3 に示す命令を実行すると、例外処理シーケンス直前にスタック領域または制御レジスタ（BPC、BPSW）に退避されていたプログラムカウンタ（PC）とプロセッサステータスワード（PSW）の内容が復帰されます。

表 13.3 例外処理ルーチンからの復帰命令

例外事象		復帰命令
未定義命令例外		RTE
特権命令例外		RTE
リセット		復帰不可能
ノンマスカブル割り込み		復帰不可能
割り込み	高速割り込み	RTFI
	高速割り込み以外	RTE
無条件トラップ		RTE

13.7 例外事象の優先順位

例外事象の優先順位を表 13.4 に示します。複数の例外が同時に発生した場合は、より優先度の高い事象が先に受け付けられます。

表 13.4 例外事象の優先順位

優先順位	例外事象
高い ↑ 低い	1 リセット
	2 ノンマスカブル割り込み
	3 割り込み
	4 未定義命令例外 特権命令例外
	5 無条件トラップ

14. 割り込みコントローラ (ICUb)

本章に記載している PCLK とは PCLKB を指します。

14.1 概要

割り込みコントローラは、周辺モジュール、外部端子からの割り込みを受け付け、CPU への割り込みおよび DTC の起動を行います。

表 14.1 に割り込みコントローラの仕様を、図 14.1 に割り込みコントローラのブロック図を示します。

表 14.1 割り込みコントローラの仕様

項目	内容	
割り込み	周辺機能割り込み	<ul style="list-style-type: none"> 周辺モジュールからの割り込み 割り込み検出：エッジ検出/レベル検出 接続している周辺モジュールの要因ごとの検出方法は固定
	外部端子割り込み	<ul style="list-style-type: none"> IRQ0～IRQ7端子からの割り込み 要因数：8 割り込み検出：Low/立ち下がりエッジ/立ち上がりエッジ/両エッジを要因ごとに設定可能 デジタルフィルタ機能：あり
	ソフトウェア割り込み	<ul style="list-style-type: none"> レジスタ書き込みによる割り込み 要因数：1
	割り込み優先順位	レジスタにより優先順位を設定
	高速割り込み機能	CPUの割り込み処理を高速化可能。1要因にのみ設定
	DTC制御	割り込み要因によりDTCを起動可能（注1）
ノンマスクابل 割り込み	NMI端子割り込み	<ul style="list-style-type: none"> NMI端子からの割り込み 割り込み検出：立ち下がりエッジ/立ち上がりエッジ デジタルフィルタ機能：あり
	発振停止検出割り込み	発振停止検出時の割り込み
	IWDTアンダフロー/ リフレッシュエラー	ダウンカウンタがアンダフローしたとき、もしくはリフレッシュエラーが発生したときの割り込み
	電圧監視1割り込み	電圧検出回路1 (LVD1) の電圧監視割り込み
	電圧監視2割り込み	電圧検出回路2 (LVD2) の電圧監視割り込み
低消費電力状態からの復帰	<ul style="list-style-type: none"> スリープモード、ディープスリープモード：ノンマスクابل割り込み、全割り込み要因で復帰 ソフトウェアスタンバイモード：ノンマスクابل割り込み、IRQ0～IRQ7割り込み、RTCアラーム/周期割り込みで復帰 	

注1. DTCの起動要因については、「表 14.3 割り込みのベクタテーブル」を参照してください。

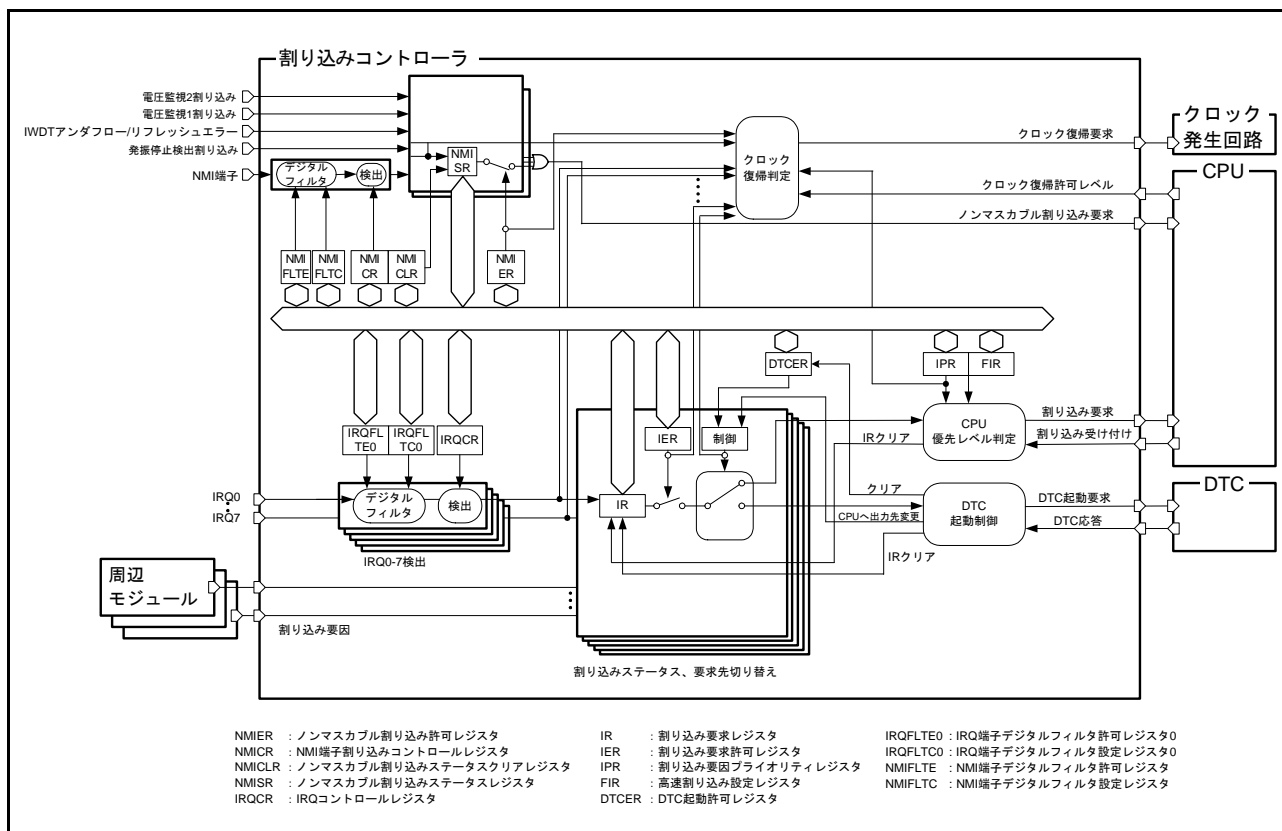


図 14.1 割り込みコントローラのブロック図

表 14.2 に割り込みコントローラで使用する入出力端子を示します。

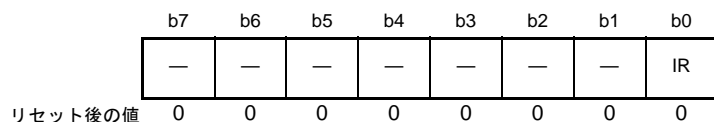
表 14.2 割り込みコントローラの入出力端子

端子名	入出力	機能
NMI	入力	ノンマスクابل割り込み要求端子
IRQ0~IRQ7	入力	外部割り込み要求端子

14.2 レジスタの説明

14.2.1 割り込み要求レジスタ n (IRn) (n = 割り込みベクタ番号)

アドレス 0008 7010h~0008 70F9h



ビット	シンボル	ビット名	機能	R/W
b0	IR	割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. エッジ検出要因の場合、“0”のみ書けます。“1”を書かないでください。
レベル検出要因の場合、書き込みできません。

IRn レジスタは割り込み要因ごとに存在し、n は割り込みベクタ番号に対応しています。

割り込み要因と割り込みベクタ番号の対応は、「表 14.3 割り込みのベクタテーブル」を参照してください。

IR フラグ (割り込みステータスフラグ)

割り込み要求のステータスフラグです。割り込み要求が発生すると“1”になります。割り込み要求を検出するためには、周辺モジュールの割り込みイネーブルビットで割り込み要求の出力を許可する必要があります。

割り込み要求の検出方法は、エッジ検出とレベル検出があります。周辺モジュールからの割り込みは、要因ごとにエッジ検出/レベル検出が決まっています。IRQi 端子からの割り込みは、IRQCRi.IRQMD[1:0] ビット (i=0~7) の設定によって、エッジ検出とレベル検出が切り替わります。各要因の検出方法については、「表 14.3 割り込みのベクタテーブル」を参照してください。

(1) エッジ検出の場合

["1"になる条件]

- 周辺モジュール、IRQi 端子の割り込み要求が発生すると“1”になります。周辺モジュールごとの割り込み要求発生については、各周辺モジュールの章を参照してください。

["0"になる条件]

- 割り込み要求先が割り込み要求を受け付けると“0”になります。
- IR フラグに“0”を書くと“0”になります。ただし、割り込み要求先を DTC に設定している場合、IR フラグへの“0”書き込みは禁止です。

(2) レベル検出の場合

["1"になる条件]

- 周辺モジュール、IRQi 端子の割り込み要求が発生している間は“1”になります。周辺モジュールごとの割り込み要求発生については、各周辺モジュールの章を参照してください。

["0"になる条件]

- 割り込み要求の出力元をクリアすると“0”になります。(割り込み要求先が割り込み要求を受け付けても“0”になりません。) 周辺モジュールごとの割り込み要求クリアについては、各周辺モジュールの章を参照してください。

IRQi 端子をレベル検出で使用する場合に、割り込みを取り下げるには IRQi 端子を High にしてください。レベル検出時は、IR フラグへの“0”、“1”ともに書き込みは禁止です。

14.2.2 割り込み要求許可レジスタ m (IERm) (m = 02h ~ 1Fh)

アドレス 0008 7202h ~ 0008 721Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IEN0	割り込み要求許可ビット0	0: 割り込み要求禁止 1: 割り込み要求許可	R/W
b1	IEN1	割り込み要求許可ビット1		R/W
b2	IEN2	割り込み要求許可ビット2		R/W
b3	IEN3	割り込み要求許可ビット3		R/W
b4	IEN4	割り込み要求許可ビット4		R/W
b5	IEN5	割り込み要求許可ビット5		R/W
b6	IEN6	割り込み要求許可ビット6		R/W
b7	IEN7	割り込み要求許可ビット7		R/W

注. 予約となっているベクタ番号に対応するビットへの書き込みは“0”としてください。読むと“0”が読み出されます。

IENj ビット (割り込み要求許可ビット) (j = 7 ~ 0)

IENj ビットが“1”のとき、割り込み要求先に割り込み要求を出力します。

IENj ビットが“0”のとき、割り込み要求先に割り込み要求を出力しません。

IRn.IR フラグは、IENj ビットの影響を受けません。IENj ビットが“0”であっても、「14.2.1 割り込み要求レジスタ n (IRn) (n = 割り込みベクタ番号)」に示す条件で IR フラグは変化します。

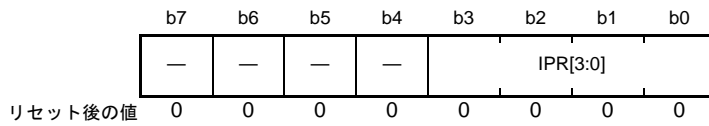
IERm.IENj ビットは、割り込み要因 (ベクタ番号) ごとに存在します。

割り込み要因と IERm.IENj ビットの対応は、「表 14.3 割り込みのベクタテーブル」を参照してください。

割り込み要求先の選択における IERm.IENj ビットの設定手順は、「14.4.3 割り込み要求先の選択」を参照してください。

14.2.3 割り込み要因プライオリティレジスタ n (IPRn) (n = 000 ~ 249)

アドレス 0008 7300h ~ 0008 73F9h



ビット	シンボル	ビット名	機能	R/W
b3-b0	IPR[3:0]	割り込み優先レベル設定ビット	b3 b0 0 0 0 0 : レベル0 (割り込み禁止) (注1) 0 0 0 1 : レベル1 0 0 1 0 : レベル2 0 0 1 1 : レベル3 0 1 0 0 : レベル4 0 1 0 1 : レベル5 0 1 1 0 : レベル6 0 1 1 1 : レベル7 1 0 0 0 : レベル8 1 0 0 1 : レベル9 1 0 1 0 : レベル10 1 0 1 1 : レベル11 1 1 0 0 : レベル12 1 1 0 1 : レベル13 1 1 1 0 : レベル14 1 1 1 1 : レベル15 (最高)	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 高速割り込みに設定している場合は、レベル0であっても割り込みの発行が可能です。

割り込み要因と IPRn レジスタの対応は、「表 14.3 割り込みのベクタテーブル」を参照してください。

IPR[3:0] ビット (割り込み優先レベル設定ビット)

対応する割り込み要因の優先レベルを選択するビットです。

IPR[3:0] ビットで選択した優先レベルは、CPU への割り込み要求の優先順位判定にのみ参照され、DTC への起動要求には影響を与えません。

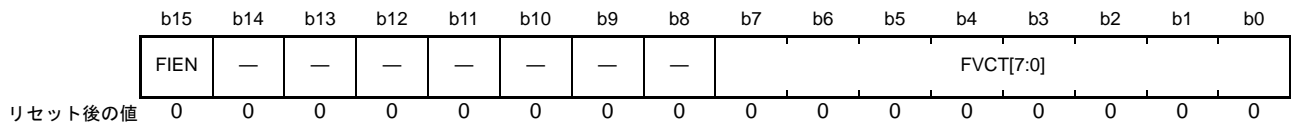
CPU は、PSW.IPL[3:0] ビットが示すレベルより高いレベルの割り込み要求のみを受け付け、割り込み処理を行います。

複数の割り込み要求が同時に発生した場合、IPR[3:0] ビットの設定値で優先順位比較を行います。同一レベルの割り込み要求が同時に発生した場合には、ベクタ番号の小さい割り込み要因が優先となります。

書き込みは、割り込み要求を禁止 (IERm.IENj ビット = 0) した状態で行ってください。

14.2.4 高速割り込み設定レジスタ (FIR)

アドレス 0008 72F0h



ビット	シンボル	ビット名	機能	R/W
b7-b0	FVCT[7:0]	高速割り込みベクタ設定ビット	高速割り込みにするベクタ番号を指定します	R/W
b14-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	FIEN	高速割り込み許可ビット	0 : 高速割り込みを禁止 1 : 高速割り込みを許可	R/W

FIR レジスタの設定による高速化の機能は、CPU への割り込みにのみ有効です。DTC への起動要求には影響を与えません。

書き込みは、割り込み要求を禁止 (IERm.IENj ビット = 0) した状態で行ってください。

FVCT[7:0] ビット (高速割り込みベクタ設定ビット)

高速割り込み機能を使用する割り込みのベクタ番号を指定するビットです。

FIEN ビット (高速割り込み許可ビット)

高速割り込みを許可するビットです。

FIEN ビットを“1”にすると、FVCT[7:0] ビットに設定したベクタ番号の割り込みが高速割り込みになります。

FIEN ビットが“1”のとき、割り込み要求先が CPU で、かつ FVCT[7:0] ビットで指定したベクタ番号の割り込み要求が発生すると、IPRn レジスタの設定に関係なく、高速割り込みとして CPU に要求を出力します。ただし、高速割り込みをソフトウェアスタンバイモードからの復帰に使用する場合には「14.6.2 ソフトウェアスタンバイモードからの復帰」を参照してください。

IERm.IENj ビット (m=02h ~ 1Fh、j=7 ~ 0) で割り込み要求が禁止されている割り込み要因は、CPU に割り込み要求が出力されません。

設定できるベクタ番号は、「表 14.3 割り込みのベクタテーブル」を参照してください。

FVCT[7:0] ビットには、予約のベクタ番号を指定しないでください。

高速割り込みの詳細は、「13. 例外処理」および「14.4.6 高速割り込み」を参照してください。

14.2.5 ソフトウェア割り込み起動レジスタ (SWINTR)

アドレス 0008 72E0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SWINT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWINT	ソフトウェア割り込み起動ビット	読むと“0”が読み出されます。“1”書き込みでソフトウェア割り込み要求を発行します。“0”書き込みは無効です	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”のみ書けます。

SWINT ビット (ソフトウェア割り込み起動ビット)

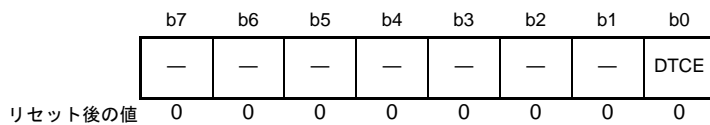
SWINT ビットに“1”を書くと、割り込み要求レジスタ 027 (IR027) が“1”になります。

DTC 起動許可レジスタ 027 (DTCER027) を“0”にして、SWINT ビットに“1”を書くと CPU への割り込みが発生します。

DTC 起動許可レジスタ 027 (DTCER027) を“1”にして、SWINT ビットに“1”を書くと DTC 起動要求を発行します。

14.2.6 DTC 起動許可レジスタ n (DTCERn) (n = 割り込みベクタ番号)

アドレス 0008 711Bh ~ 0008 71F8h



ビット	シンボル	ビット名	機能	R/W
b0	DTCE	DTC起動許可ビット	0 : DTC 起動禁止 1 : DTC 起動許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

割り込み要因との対応は「表 14.3 割り込みのベクタテーブル」を参照してください。

DTCE ビット (DTC 起動許可ビット)

DTCE ビットを“1”にすると、対応する割り込み要因が DTC 起動要因として選択されます。

["1" になる条件]

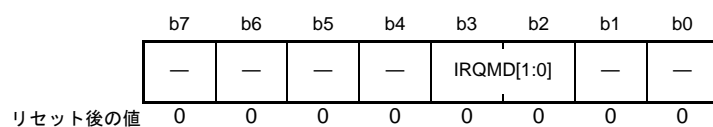
- DTCE ビットに“1”を書いたとき

["0" になる条件]

- 指定した回数のデータ転送が終了したとき (チェーン転送の場合は、最後のチェーン転送の指定した回数のデータ転送が終了したとき)
- DTCE ビットに“0”を書いたとき

14.2.7 IRQ コントロールレジスタ i (IRQCRI) (i=0 ~ 7)

アドレス 0008 7500h ~ 0008 7507h



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b2	IRQMD[1:0]	IRQ 検出設定ビット	b3 b2 0 0 : Low 0 1 : 立ち下がりエッジ 1 0 : 立ち上がりエッジ 1 1 : 両エッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

該当する割り込み要求許可ビットが割り込み要求禁止 (IERm.IENj ビットが“0”) の状態でこのレジスタの設定変更を行ってください。レジスタ変更後は IR フラグをクリアし、その後割り込み要求許可ビットを許可に設定してください。ただし、Low に変更する場合は、IR フラグをクリアする必要はありません。

IRQMD[1:0] ビット (IRQ 検出設定ビット)

外部端子割り込み要因 (IRQ0 ~ IRQ7) の検出方法を設定します。

外部端子割り込みの検出設定手順は、「14.4.8 外部端子割り込み」を参照してください。

14.2.8 IRQ 端子デジタルフィルタ許可レジスタ 0 (IRQFLTE0)

アドレス 0008 7510h

	b7	b6	b5	b4	b3	b2	b1	b0
	FLTEN 7	FLTEN 6	FLTEN 5	FLTEN 4	FLTEN 3	FLTEN 2	FLTEN 1	FLTEN 0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FLTEN0	IRQ0 デジタルフィルタ許可ビット	0: デジタルフィルタ無効 1: デジタルフィルタ有効	R/W
b1	FLTEN1	IRQ1 デジタルフィルタ許可ビット		R/W
b2	FLTEN2	IRQ2 デジタルフィルタ許可ビット		R/W
b3	FLTEN3	IRQ3 デジタルフィルタ許可ビット		R/W
b4	FLTEN4	IRQ4 デジタルフィルタ許可ビット		R/W
b5	FLTEN5	IRQ5 デジタルフィルタ許可ビット		R/W
b6	FLTEN6	IRQ6 デジタルフィルタ許可ビット		R/W
b7	FLTEN7	IRQ7 デジタルフィルタ許可ビット		R/W

FLTEN_i ビット (IRQ_i デジタルフィルタ許可ビット) (i = 0 ~ 7)

外部端子割り込み要因 (IRQ0 ~ IRQ7) のデジタルフィルタの使用を許可するビットです。

FLTEN_i ビットが“1”のとき、デジタルフィルタが有効になります。FLTEN_i ビットが“0”のとき、デジタルフィルタ機能は無効です。

IRQFLTC0.FCLKSEL_i[1:0] ビットで設定したサンプリングクロックごとに IRQ_i 端子のレベルをサンプリングし、レベルが3回一致したときにデジタルフィルタからの出力レベルを変更します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

14.2.9 IRQ 端子デジタルフィルタ設定レジスタ 0 (IRQFLTC0)

アドレス 0008 7514h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FCLKSEL7[1:0]		FCLKSEL6[1:0]		FCLKSEL5[1:0]		FCLKSEL4[1:0]		FCLKSEL3[1:0]		FCLKSEL2[1:0]		FCLKSEL1[1:0]		FCLKSEL0[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	FCLKSEL0[1:0]	IRQ0 デジタルフィルタサンプリングクロック設定ビット	0 0 : PCLK 0 1 : PCLK/8 1 0 : PCLK/32 1 1 : PCLK/64	R/W
b3-b2	FCLKSEL1[1:0]	IRQ1 デジタルフィルタサンプリングクロック設定ビット		R/W
b5-b4	FCLKSEL2[1:0]	IRQ2 デジタルフィルタサンプリングクロック設定ビット		R/W
b7-b6	FCLKSEL3[1:0]	IRQ3 デジタルフィルタサンプリングクロック設定ビット		R/W
b9-b8	FCLKSEL4[1:0]	IRQ4 デジタルフィルタサンプリングクロック設定ビット		R/W
b11-b10	FCLKSEL5[1:0]	IRQ5 デジタルフィルタサンプリングクロック設定ビット		R/W
b13-b12	FCLKSEL6[1:0]	IRQ6 デジタルフィルタサンプリングクロック設定ビット		R/W
b15-b14	FCLKSEL7[1:0]	IRQ7 デジタルフィルタサンプリングクロック設定ビット		R/W

FCLKSELi[1:0] ビット (IRQi デジタルフィルタサンプリングクロック設定ビット) (i = 0 ~ 7)

外部端子割り込み要求端子 (IRQ0 ~ IRQ7) のデジタルフィルタのサンプリングクロックを選択するビットです。

サンプリングクロックは、PCLK (毎クロック)、PCLK/8 (8クロックに1回)、PCLK/32 (32クロックに1回)、PCLK/64 (64クロックに1回) より選択します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

14.2.10 ノンマスカブル割り込みステータスレジスタ (NMISR)

アドレス 0008 7580h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	LVD2S T	LVD1S T	IWDTS T	—	OSTST	NMIST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIST	NMIステータスフラグ	0: NMI端子割り込み要求なし 1: NMI端子割り込み要求あり	R
b1	OSTST	発振停止検出割り込みステータスフラグ	0: 発振停止検出割り込み要求なし 1: 発振停止検出割り込み要求あり	R
b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b3	IWDTS	IWDTアンダフロー/リフレッシュエラーステータスフラグ	0: IWDTアンダフロー/リフレッシュエラー割り込み要求なし 1: IWDTアンダフロー/リフレッシュエラー割り込み要求あり	R
b4	LVD1ST	電圧監視1割り込みステータスフラグ	0: 電圧監視1割り込み要求なし 1: 電圧監視1割り込み要求あり	R
b5	LVD2ST	電圧監視2割り込みステータスフラグ	0: 電圧監視2割り込み要求なし 1: 電圧監視2割り込み要求あり	R
b7-b6	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

NMISR レジスタは、ノンマスカブル割り込み要因のステータスをモニタするレジスタです。NMISR レジスタへの書き込みは無視されます。

ノンマスカブル割り込み許可レジスタ (NMIER) の設定はこれらステータスフラグには影響しません。

ノンマスカブル割り込みハンドラが終了する前に NMISR レジスタを読み出し、他のノンマスカブル割り込みの発生状況を確認してください。NMISR レジスタの全ビットが“0”であることを確認してから、ハンドラを終了してください。

NMIST フラグ (NMI ステータスフラグ)

NMI 端子割り込み要求を示します。

NMIST フラグは読み出しのみ可能で、クリアは NMICLR.NMICLR ビットによって行います。

["1" になる条件]

- NMI 端子に NMICR.NMIMD ビットに設定したエッジが入力されたとき

["0" になる条件]

- NMICLR.NMICLR ビットに“1”を書いたとき

OSTST フラグ (発振停止検出割り込みステータスフラグ)

発振停止検出割り込み要求を示します。

OSTST フラグは読み出しのみ可能で、クリアは NMICLR.OSTCLR ビットによって行います。

["1" になる条件]

- 発振停止検出割り込みが発生したとき

["0" になる条件]

- NMICLR.OSTCLR ビットに“1”を書いたとき

IWDTST フラグ (IWDT アンダフロー/リフレッシュエラーステータスフラグ)

IWDT アンダフロー/リフレッシュエラー割り込み要求を示します。

IWDTST フラグは読み出しのみ可能で、クリアは NMICLR.IWDTCLR ビットによって行います。

["1" になる条件]

- 発生元が割り込み発生許可で、IWDT アンダフロー/リフレッシュエラー割り込みが発生したとき

["0" になる条件]

- NMICLR.IWDTCLR ビットに "1" を書いたとき

LVD1ST フラグ (電圧監視 1 割り込みステータスフラグ)

電圧監視 1 割り込み要求を示します。

LVD1ST フラグは読み出しのみ可能で、クリアは NMICLR.LVD1CLR ビットによって行います。

["1" になる条件]

- 発生元が割り込み発生許可で、電圧監視 1 割り込みが発生したとき

["0" になる条件]

- NMICLR.LVD1CLR ビットに "1" を書いたとき

LVD2ST フラグ (電圧監視 2 割り込みステータスフラグ)

電圧監視 2 割り込み要求を示します。

LVD2ST フラグは読み出しのみ可能で、クリアは NMICLR.LVD2CLR ビットによって行います。

["1" になる条件]

- 発生元が割り込み発生許可で、電圧監視 2 割り込みが発生したとき

["0" になる条件]

- NMICLR.LVD2CLR ビットに "1" を書いたとき

14.2.11 ノンマスクブル割り込み許可レジスタ (NMIER)

アドレス 0008 7581h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	LVD2E N	LVD1E N	IWDTE N	—	OSTEN	NMIEN

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	NMIEN	NMI端子割り込み許可ビット	0: NMI端子割り込み禁止 1: NMI端子割り込み許可	R/(W) (注1)
b1	OSTEN	発振停止検出割り込み許可ビット	0: 発振停止検出割り込み禁止 1: 発振停止検出割り込み許可	R/(W) (注1)
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/(W)
b3	IWDTEN	IWDTアンダフロー/リフレッシュエラー許可ビット	0: IWDTアンダフロー/リフレッシュエラー割り込み禁止 1: IWDTアンダフロー/リフレッシュエラー割り込み許可	R/(W) (注1)
b4	LVD1EN	電圧監視1割り込み許可ビット	0: 電圧監視1割り込み禁止 1: 電圧監視1割り込み許可	R/(W) (注1)
b5	LVD2EN	電圧監視2割り込み許可ビット	0: 電圧監視2割り込み禁止 1: 電圧監視2割り込み許可	R/(W) (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 1回だけ“1”を書くことができます。以後の書き込みは無効です。

NMIEN ビット (NMI 端子割り込み許可ビット)

NMI 端子割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

OSTEN ビット (発振停止検出割り込み許可ビット)

発振停止検出割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

IWDTEN ビット (IWDT アンダフロー/リフレッシュエラー許可ビット)

IWDT アンダフロー/リフレッシュエラー割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

LVD1EN ビット (電圧監視1割り込み許可ビット)

電圧監視1割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

LVD2EN ビット (電圧監視2割り込み許可ビット)

電圧監視2割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

14.2.12 ノンマスクブル割り込みステータスクリアレジスタ (NMICLR)

アドレス 0008 7582h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	LVD2C LR	LVD1C LR	IWDTC LR	—	OSTCL R	NMICL R
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMICLR	NMIクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.NMISTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b1	OSTCLR	OSTクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.OSTSTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/(W)
b3	IWDTCCLR	IWDTクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.IWDTSTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b4	LVD1CLR	LVD1クリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.LVD1STフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b5	LVD2CLR	LVD2クリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.LVD2STフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”のみ書けます。

NMICLR ビット (NMI クリアビット)

“1”を書くと、NMISR.NMIST フラグは“0”になります。読むと“0”が読めます。

OSTCLR ビット (OST クリアビット)

“1”を書くと、NMISR.OSTST フラグは“0”になります。読むと“0”が読めます。

IWDTCCLR ビット (IWDT クリアビット)

“1”を書くと、NMISR.IWDTST フラグは“0”になります。読むと“0”が読めます。

LVD1CLR ビット (LVD1 クリアビット)

“1”を書くと、NMISR.LVD1ST フラグは“0”になります。読むと“0”が読めます。

LVD2CLR ビット (LVD2 クリアビット)

“1”を書くと、NMISR.LVD2ST フラグは“0”になります。読むと“0”が読めます。

14.2.13 NMI 端子割り込みコントロールレジスタ (NMICR)

アドレス 0008 7583h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	NMIMD	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	NMIMD	NMI検出設定ビット	0: 立ち下がリエッジ 1: 立ち上がりエッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NMICR レジスタによる設定変更は、NMI 端子割り込みの使用を許可 (NMIER.NMIEN ビットを“1”にする) する前に行ってください。

NMIMD ビット (NMI 検出設定ビット)

NMI 端子割り込みの検出方法を設定します。

14.2.14 NMI 端子デジタルフィルタ許可レジスタ (NMIFLTE)

アドレス 0008 7590h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	NFLTEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFLTEN	NMI デジタルフィルタ許可ビット	0: デジタルフィルタ無効 1: デジタルフィルタ有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NFLTEN ビット (NMI デジタルフィルタ許可ビット)

NMI 端子割り込みのデジタルフィルタの使用を許可するビットです。

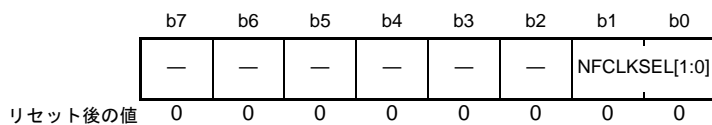
NFLTEN ビットが“1”のとき、デジタルフィルタが有効になります。NFLTEN ビットが“0”のとき、デジタルフィルタ機能は無効です。

NMIFLTC.NFCLKSEL[1:0] ビットで設定したサンプリングクロックごとに NMI 端子のレベルをサンプリングし、レベルが 3 回一致したときにデジタルフィルタからの出力レベルを変更します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

14.2.15 NMI 端子デジタルフィルタ設定レジスタ (NMIFLTC)

アドレス 0008 7594h



ビット	シンボル	ビット名	機能	R/W
b1-b0	NFCLKSEL[1:0]	NMI デジタルフィルタ サンプリングクロック設定ビット	b1 b0 0 0 : PCLK 0 1 : PCLK/8 1 0 : PCLK/32 1 1 : PCLK/64	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NFCLKSEL[1:0] ビット (NMI デジタルフィルタサンプリングクロック設定ビット)

NMI 端子割り込みのデジタルフィルタのサンプリングクロックを選択するビットです。

サンプリングクロックは、PCLK (毎クロック)、PCLK/8 (8 クロックに 1 回)、PCLK/32 (32 クロックに 1 回)、PCLK/64 (64 クロックに 1 回) より選択します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

14.3 ベクタテーブル

割り込みコントローラで検出する例外事象には、割り込みとノンマスカブル割り込みがあります。

CPU が割り込み、またはノンマスカブル割り込みを受け付けた場合は、ベクタテーブルから4バイトのベクタアドレスを取得します。

14.3.1 割り込みのベクタテーブル

割り込みのベクタテーブルは、CPUの割り込みテーブルレジスタ (INTB) に設定した番地から、1024バイト (4バイト × 256要因分) の領域に連続に配置されます。INTBレジスタは割り込みを許可する前に設定してください。INTBレジスタに4の倍数を設定してください。

なお、INT命令、およびBRK命令を実行すると無条件トラップが発生します。無条件トラップのベクタは、表14.3の割り込みのベクタテーブルと同じ領域を利用します。BRK命令はベクタ番号0のみ、INT命令は指定した番号 (0 ~ 255) のベクタとなります。

表14.3に割り込みのベクタテーブルを示します。表14.3の各項目の内容は以下のとおりです。

項目	内容
割り込み要求発生元	割り込み要求発生元の名称を示します
名称	割り込み名称を示します
ベクタ番号	ベクタ番号を示します。
ベクタアドレスオフセット	ベクタベースアドレスオフセット値を示します。
割り込みの検出方法	割り込みの検出方法を“エッジ”、“レベル”で示します
CPU割り込み	CPU割り込み要因を“○”で示します
DTC起動	DTC起動要因を“○”で示します
ssstb復帰	ソフトウェアスタンバイモードからの復帰要因を“○”で示します
IER	ベクタ番号に対応するIERレジスタ、ビット名を示します。
IPR	割り込み要因に対応するIPRレジスタを示します
DTCER	DTC起動要因に対応するDTCERレジスタを示します

表 14.3 割り込みのベクタテーブル (1 / 6)

割り込み 要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU 割り込み	DTC 起動	sstb 復帰	IER	IPR	DTCER
—	無条件 トラップ専用	0	0000h	—	×	×	×	—	—	—
—	無条件 トラップ専用	1	0004h	—	×	×	×	—	—	—
—	無条件 トラップ専用	2	0008h	—	×	×	×	—	—	—
—	無条件 トラップ専用	3	000Ch	—	×	×	×	—	—	—
—	無条件 トラップ専用	4	0010h	—	×	×	×	—	—	—
—	無条件 トラップ専用	5	0014h	—	×	×	×	—	—	—
—	無条件 トラップ専用	6	0018h	—	×	×	×	—	—	—
—	無条件 トラップ専用	7	001Ch	—	×	×	×	—	—	—
—	無条件 トラップ専用	8	0020h	—	×	×	×	—	—	—
—	無条件 トラップ専用	9	0024h	—	×	×	×	—	—	—
—	無条件 トラップ専用	10	0028h	—	×	×	×	—	—	—
—	無条件 トラップ専用	11	002Ch	—	×	×	×	—	—	—
—	無条件 トラップ専用	12	0030h	—	×	×	×	—	—	—
—	無条件 トラップ専用	13	0034h	—	×	×	×	—	—	—
—	無条件 トラップ専用	14	0038h	—	×	×	×	—	—	—
—	無条件 トラップ専用	15	003Ch	—	×	×	×	—	—	—
BSC	BUSERR	16	0040h	レベル	○	×	×	IER02.IEN0	IPR000	—
—	予約	17	0044h	—	×	×	×	—	—	—
—	予約	18	0048h	—	×	×	×	—	—	—
—	予約	19	004Ch	—	×	×	×	—	—	—
—	予約	20	0050h	—	×	×	×	—	—	—
—	予約	21	0054h	—	×	×	×	—	—	—
—	予約	22	0058h	—	×	×	×	—	—	—
FCU	FRDYI	23	005Ch	エッジ	○	×	×	IER02.IEN7	IPR002	—
—	予約	24	0060h	—	×	×	×	—	—	—
—	予約	25	0064h	—	×	×	×	—	—	—
—	予約	26	0068h	—	×	×	×	—	—	—
ICU	SWINT	27	006Ch	エッジ	○	○	×	IER03.IEN3	IPR003	DTCER027
CMT0	CMIO	28	0070h	エッジ	○	○	×	IER03.IEN4	IPR004	DTCER028
CMT1	CMI1	29	0074h	エッジ	○	○	×	IER03.IEN5	IPR005	DTCER029
—	予約	30	0078h	—	×	×	×	—	—	—
—	予約	31	007Ch	—	×	×	×	—	—	—
CAC	FERRF	32	0080h	レベル	○	×	×	IER04.IEN0	IPR032	—
	MENDF	33	0084h	レベル	○	×	×	IER04.IEN1	IPR033	—
	OVFF	34	0088h	レベル	○	×	×	IER04.IEN2	IPR034	—

表 14.3 割り込みのベクタテーブル (2 / 6)

割り込み 要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU 割り込み	DTC 起動	sstb 復帰	IER	IPR	DTCER
—	予約	35	008Ch	—	x	x	x	—	—	—
—	予約	36	0090h	—	x	x	x	—	—	—
—	予約	37	0094h	—	x	x	x	—	—	—
—	予約	38	0098h	—	x	x	x	—	—	—
—	予約	39	009Ch	—	x	x	x	—	—	—
—	予約	40	00A0h	—	x	x	x	—	—	—
—	予約	41	00A4h	—	x	x	x	—	—	—
—	予約	42	00A8h	—	x	x	x	—	—	—
—	予約	43	00ACh	—	x	x	x	—	—	—
RSPI0	SPEI0	44	00B0h	レベル	○	x	x	IER05.IEN4	IPR044	—
	SPRI0	45	00B4h	エッジ	○	○	x	IER05.IEN5		DTCER045
	SPTI0	46	00B8h	エッジ	○	○	x	IER05.IEN6		DTCER046
	SPII0	47	00BCh	レベル	○	x	x	IER05.IEN7		—
—	予約	48	00C0h	—	x	x	x	—	—	—
—	予約	49	00C4h	—	x	x	x	—	—	—
—	予約	50	00C8h	—	x	x	x	—	—	—
—	予約	51	00CCh	—	x	x	x	—	—	—
—	予約	52	00D0h	—	x	x	x	—	—	—
—	予約	53	00D4h	—	x	x	x	—	—	—
—	予約	54	00D8h	—	x	x	x	—	—	—
—	予約	55	00DCh	—	x	x	x	—	—	—
—	予約	56	00E0h	—	x	x	x	—	—	—
DOC	DOPCF	57	00E4h	レベル	○	x	x	IER07.IEN1	IPR057	—
—	予約	58	00E8h	—	x	x	x	—	—	—
—	予約	59	00ECh	—	x	x	x	—	—	—
—	予約	60	00F0h	—	x	x	x	—	—	—
—	予約	61	00F4h	—	x	x	x	—	—	—
—	予約	62	00F8h	—	x	x	x	—	—	—
RTC	CUP	63	00FCh	エッジ	○	x	x	IER07.IEN7	IPR063	—
ICU	IRQ0	64	0100h	エッジ/レベル	○	○	○	IER08.IEN0	IPR064	DTCER064
	IRQ1	65	0104h	エッジ/レベル	○	○	○	IER08.IEN1	IPR065	DTCER065
	IRQ2	66	0108h	エッジ/レベル	○	○	○	IER08.IEN2	IPR066	DTCER066
	IRQ3	67	010Ch	エッジ/レベル	○	○	○	IER08.IEN3	IPR067	DTCER067
	IRQ4	68	0110h	エッジ/レベル	○	○	○	IER08.IEN4	IPR068	DTCER068
	IRQ5	69	0114h	エッジ/レベル	○	○	○	IER08.IEN5	IPR069	DTCER069
	IRQ6	70	0118h	エッジ/レベル	○	○	○	IER08.IEN6	IPR070	DTCER070
	IRQ7	71	011Ch	エッジ/レベル	○	○	○	IER08.IEN7	IPR071	DTCER071
—	予約	72	0120h	—	x	x	x	—	—	—
—	予約	73	0124h	—	x	x	x	—	—	—
—	予約	74	0128h	—	x	x	x	—	—	—
—	予約	75	012Ch	—	x	x	x	—	—	—
—	予約	76	0130h	—	x	x	x	—	—	—
—	予約	77	0134h	—	x	x	x	—	—	—
—	予約	78	0138h	—	x	x	x	—	—	—
—	予約	79	013Ch	—	x	x	x	—	—	—
—	予約	80	0140h	—	x	x	x	—	—	—

表 14.3 割り込みのベクタテーブル (3 / 6)

割り込み 要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU 割り込み	DTC 起動	sstb 復帰	IER	IPR	DTCER
—	予約	81	0144h	—	x	x	x	—	—	—
—	予約	82	0148h	—	x	x	x	—	—	—
—	予約	83	014Ch	—	x	x	x	—	—	—
—	予約	84	0150h	—	x	x	x	—	—	—
—	予約	85	0154h	—	x	x	x	—	—	—
—	予約	86	0158h	—	x	x	x	—	—	—
—	予約	87	015Ch	—	x	x	x	—	—	—
LVD	LVD1	88	0160h	エッジ	○	x	○	IER0B.IEN0	IPR088	—
	LVD2	89	0164h	エッジ	○	x	○	IER0B.IEN1	IPR089	—
—	予約	90	0168h	—	x	x	x	—	—	—
—	予約	91	016Ch	—	x	x	x	—	—	—
RTC	ALM	92	0170h	エッジ	○	x	○	IER0B.IEN4	IPR092	—
	PRD	93	0174h	エッジ	○	x	○	IER0B.IEN5	IPR093	—
—	予約	94	0178h	—	x	x	x	—	—	—
—	予約	95	017Ch	—	x	x	x	—	—	—
—	予約	96	0180h	—	x	x	x	—	—	—
—	予約	97	0184h	—	x	x	x	—	—	—
—	予約	98	0188h	—	x	x	x	—	—	—
—	予約	99	018Ch	—	x	x	x	—	—	—
—	予約	100	0190h	—	x	x	x	—	—	—
—	予約	101	0194h	—	x	x	x	—	—	—
S12AD	S12ADIO	102	0198h	エッジ	○	○	x	IER0C.IEN6	IPR102	DTCER102
	GBADI	103	019Ch	エッジ	○	○	x	IER0C.IEN7	IPR103	DTCER103
—	予約	104	01A0h	—	x	x	x	—	—	—
—	予約	105	01A4h	—	x	x	x	—	—	—
—	予約	106	01A8h	—	x	x	x	—	—	—
—	予約	107	01ACh	—	x	x	x	—	—	—
—	予約	108	01B0h	—	x	x	x	—	—	—
—	予約	109	01B4h	—	x	x	x	—	—	—
—	予約	110	01B8h	—	x	x	x	—	—	—
—	予約	111	01BCh	—	x	x	x	—	—	—
—	予約	112	01C0h	—	x	x	x	—	—	—
—	予約	113	01C4h	—	x	x	x	—	—	—
MTU0	TGIA0	114	01C8h	エッジ	○	○	x	IER0E.IEN2	IPR114	DTCER114
	TGIB0	115	01CCh	エッジ	○	○	x	IER0E.IEN3		DTCER115
	TGIC0	116	01D0h	エッジ	○	○	x	IER0E.IEN4		DTCER116
	TGID0	117	01D4h	エッジ	○	○	x	IER0E.IEN5		DTCER117
	TCIV0	118	01D8h	エッジ	○	x	x	IER0E.IEN6	IPR118	—
	TGIE0	119	01DCh	エッジ	○	x	x	IER0E.IEN7		—
	TGIF0	120	01E0h	エッジ	○	x	x	IER0F.IEN0		—
MTU1	TGIA1	121	01E4h	エッジ	○	○	x	IER0F.IEN1	IPR121	DTCER121
	TGIB1	122	01E8h	エッジ	○	○	x	IER0F.IEN2		DTCER122
	TCIV1	123	01ECh	エッジ	○	x	x	IER0F.IEN3	IPR123	—
	TCIU1	124	01F0h	エッジ	○	x	x	IER0F.IEN4		—

表 14.3 割り込みのベクタテーブル (4 / 6)

割り込み 要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU 割り込み	DTC 起動	sstb 復帰	IER	IPR	DTCER
MTU2	TGIA2	125	01F4h	エッジ	○	○	×	IER0F.IEN5	IPR125	DTCER125
	TGIB2	126	01F8h	エッジ	○	○	×	IER0F.IEN6		DTCER126
	TCIV2	127	01FCh	エッジ	○	×	×	IER0F.IEN7	IPR127	—
	TCIU2	128	0200h	エッジ	○	×	×	IER10.IEN0		—
—	予約	129	0204h	—	×	×	×	—	—	—
—	予約	130	0208h	—	×	×	×	—	—	—
—	予約	131	020Ch	—	×	×	×	—	—	—
—	予約	132	0210h	—	×	×	×	—	—	—
—	予約	133	0214h	—	×	×	×	—	—	—
—	予約	134	0218h	—	×	×	×	—	—	—
—	予約	135	021Ch	—	×	×	×	—	—	—
—	予約	136	0220h	—	×	×	×	—	—	—
—	予約	137	0224h	—	×	×	×	—	—	—
—	予約	138	0228h	—	×	×	×	—	—	—
MTU5	TGIU5	139	022Ch	エッジ	○	○	×	IER11.IEN3	IPR139	DTCER139
	TGIV5	140	0230h	エッジ	○	○	×	IER11.IEN4		DTCER140
	TGIW5	141	0234h	エッジ	○	○	×	IER11.IEN5		DTCER141
—	予約	142	0238h	—	×	×	×	—	—	—
—	予約	143	023Ch	—	×	×	×	—	—	—
—	予約	144	0240h	—	×	×	×	—	—	—
—	予約	145	0244h	—	×	×	×	—	—	—
—	予約	146	0248h	—	×	×	×	—	—	—
—	予約	147	024Ch	—	×	×	×	—	—	—
—	予約	148	0250h	—	×	×	×	—	—	—
—	予約	149	0254h	—	×	×	×	—	—	—
—	予約	150	0258h	—	×	×	×	—	—	—
—	予約	151	025Ch	—	×	×	×	—	—	—
—	予約	152	0260h	—	×	×	×	—	—	—
—	予約	153	0264h	—	×	×	×	—	—	—
—	予約	154	0268h	—	×	×	×	—	—	—
—	予約	155	026Ch	—	×	×	×	—	—	—
—	予約	156	0270h	—	×	×	×	—	—	—
—	予約	157	0274h	—	×	×	×	—	—	—
—	予約	158	0278h	—	×	×	×	—	—	—
—	予約	159	027Ch	—	×	×	×	—	—	—
—	予約	160	0280h	—	×	×	×	—	—	—
—	予約	161	0284h	—	×	×	×	—	—	—
—	予約	162	0288h	—	×	×	×	—	—	—
—	予約	163	028Ch	—	×	×	×	—	—	—
—	予約	164	0290h	—	×	×	×	—	—	—
—	予約	165	0294h	—	×	×	×	—	—	—
—	予約	166	0298h	—	×	×	×	—	—	—
—	予約	167	029Ch	—	×	×	×	—	—	—
—	予約	168	02A0h	—	×	×	×	—	—	—
—	予約	169	02A4h	—	×	×	×	—	—	—
—	予約	170	02A8h	—	×	×	×	—	—	—

表 14.3 割り込みのベクタテーブル (5 / 6)

割り込み 要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU 割り込み	DTC 起動	sstb 復帰	IER	IPR	DTCER
—	予約	171	02ACh	—	x	x	x	—	—	—
—	予約	172	02B0h	—	x	x	x	—	—	—
—	予約	173	02B4h	—	x	x	x	—	—	—
—	予約	174	02B8h	—	x	x	x	—	—	—
—	予約	175	02BCh	—	x	x	x	—	—	—
—	予約	176	02C0h	—	x	x	x	—	—	—
—	予約	177	02C4h	—	x	x	x	—	—	—
—	予約	178	02C8h	—	x	x	x	—	—	—
—	予約	179	02CCh	—	x	x	x	—	—	—
—	予約	180	02D0h	—	x	x	x	—	—	—
—	予約	181	02D4h	—	x	x	x	—	—	—
—	予約	182	02D8h	—	x	x	x	—	—	—
—	予約	183	02DCh	—	x	x	x	—	—	—
—	予約	184	02E0h	—	x	x	x	—	—	—
—	予約	185	02E4h	—	x	x	x	—	—	—
—	予約	186	02E8h	—	x	x	x	—	—	—
—	予約	187	02ECh	—	x	x	x	—	—	—
—	予約	188	02F0h	—	x	x	x	—	—	—
—	予約	189	02F4h	—	x	x	x	—	—	—
—	予約	190	02F8h	—	x	x	x	—	—	—
—	予約	191	02FCh	—	x	x	x	—	—	—
—	予約	192	0300h	—	x	x	x	—	—	—
—	予約	193	0304h	—	x	x	x	—	—	—
—	予約	194	0308h	—	x	x	x	—	—	—
—	予約	195	030Ch	—	x	x	x	—	—	—
—	予約	196	0310h	—	x	x	x	—	—	—
—	予約	197	0314h	—	x	x	x	—	—	—
—	予約	198	0318h	—	x	x	x	—	—	—
—	予約	199	031Ch	—	x	x	x	—	—	—
—	予約	200	0320h	—	x	x	x	—	—	—
—	予約	201	0324h	—	x	x	x	—	—	—
—	予約	202	0328h	—	x	x	x	—	—	—
—	予約	203	032Ch	—	x	x	x	—	—	—
—	予約	204	0330h	—	x	x	x	—	—	—
—	予約	205	0334h	—	x	x	x	—	—	—
—	予約	206	0338h	—	x	x	x	—	—	—
—	予約	207	033Ch	—	x	x	x	—	—	—
—	予約	208	0340h	—	x	x	x	—	—	—
—	予約	209	0344h	—	x	x	x	—	—	—
—	予約	210	0348h	—	x	x	x	—	—	—
—	予約	211	034Ch	—	x	x	x	—	—	—
—	予約	212	0350h	—	x	x	x	—	—	—
—	予約	213	0354h	—	x	x	x	—	—	—
—	予約	214	0358h	—	x	x	x	—	—	—
—	予約	215	035Ch	—	x	x	x	—	—	—
—	予約	216	0360h	—	x	x	x	—	—	—

表 14.3 割り込みのベクタテーブル (6 / 6)

割り込み 要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU 割り込み	DTC 起動	sstb 復帰	IER	IPR	DTCER
—	予約	217	0364h	—	×	×	×	—	—	—
SCI1	ERI1	218	0368h	レベル	○	×	×	IER1B.IEN2	IPR218	—
	RX11	219	036Ch	エッジ	○	○	×	IER1B.IEN3		DTCER219
	TX11	220	0370h	エッジ	○	○	×	IER1B.IEN4		DTCER220
	TE11	221	0374h	レベル	○	×	×	IER1B.IEN5		—
SCI5	ERI5	222	0378h	レベル	○	×	×	IER1B.IEN6	IPR222	—
	RX15	223	037Ch	エッジ	○	○	×	IER1B.IEN7		DTCER223
	TX15	224	0380h	エッジ	○	○	×	IER1C.IEN0		DTCER224
	TE15	225	0384h	レベル	○	×	×	IER1C.IEN1		—
—	予約	226	0388h	—	×	×	×	—	—	—
—	予約	227	038Ch	—	×	×	×	—	—	—
—	予約	228	0390h	—	×	×	×	—	—	—
—	予約	229	0394h	—	×	×	×	—	—	—
—	予約	230	0398h	—	×	×	×	—	—	—
—	予約	231	039Ch	—	×	×	×	—	—	—
—	予約	232	03A0h	—	×	×	×	—	—	—
—	予約	233	03A4h	—	×	×	×	—	—	—
—	予約	234	03A8h	—	×	×	×	—	—	—
—	予約	235	03ACh	—	×	×	×	—	—	—
—	予約	236	03B0h	—	×	×	×	—	—	—
—	予約	237	03B4h	—	×	×	×	—	—	—
SCI12	ERI12	238	03B8h	レベル	○	×	×	IER1D.IEN6	IPR238	—
	RX112	239	03BCh	エッジ	○	○	×	IER1D.IEN7		DTCER239
	TX112	240	03C0h	エッジ	○	○	×	IER1E.IEN0		DTCER240
	TE112	241	03C4h	レベル	○	×	×	IER1E.IEN1		—
	SCIX0	242	03C8h	レベル	○	×	×	IER1E.IEN2	IPR242	—
	SCIX1	243	03CCh	レベル	○	×	×	IER1E.IEN3	IPR243	—
	SCIX2	244	03D0h	レベル	○	×	×	IER1E.IEN4	IPR244	—
	SCIX3	245	03D4h	レベル	○	×	×	IER1E.IEN5	IPR245	—
RIIC0	EEI0	246	03D8h	レベル	○	×	×	IER1E.IEN6	IPR246	—
	RX10	247	03DCh	エッジ	○	○	×	IER1E.IEN7	IPR247	DTCER247
	TX10	248	03E0h	エッジ	○	○	×	IER1F.IEN0	IPR248	DTCER248
	TE10	249	03E4h	レベル	○	×	×	IER1F.IEN1	IPR249	—
—	予約	250	03E8h	—	×	×	×	—	—	—
—	予約	251	03ECh	—	×	×	×	—	—	—
—	予約	252	03F0h	—	×	×	×	—	—	—
—	予約	253	03F4h	—	×	×	×	—	—	—
—	予約	254	03F8h	—	×	×	×	—	—	—
—	予約	255	03FCh	—	×	×	×	—	—	—

注1. ベクタ番号が小さいほど、優先順位は高くなります。

14.3.2 高速割り込みのベクタテーブル

高速割り込みに設定された割り込みのベクタテーブルは、CPUの高速割り込みベクタレジスタ (FINTV) です。

14.3.3 ノンマスカブル割り込みのベクタテーブル

ノンマスカブル割り込みのベクタ領域は“FFFF FFF8h”です。

14.4 割り込みの動作説明

割り込みコントローラは次の処理を行います。

- 割り込み検出
- 割り込み許可 / 禁止制御
- 割り込み要求先 (CPU 割り込み、DTC 起動) の選択
- 割り込み優先順位判定

14.4.1 割り込み検出

割り込み要求の検出方法は、レベル検出とエッジ検出の2種類があります。

IRQ_i 端子 (i=0 ~ 7) からの外部割り込み要求は、IRQCRi.IRQMD[1:0] ビットの設定によってエッジ検出とレベル検出を切り替えることができます。

周辺モジュールからの割り込み要求は、要因ごとにエッジ検出 / レベル検出が決まっています。

各要因に対応する検出方法は、「表 14.3 割り込みのベクタテーブル」を参照してください。

14.4.1.1 エッジ検出の割り込みステータスフラグ

周辺機能割り込みと、外部端子割り込みのエッジ検出の IR_n.IR フラグの動作を図 14.2 に示します。

割り込み要求が発生したときの割り込み信号の変化点で IR_n.IR フラグが“1”になります。割り込み要求先が CPU の場合、割り込みを受け付けると IR_n.IR フラグは自動的に“0”になります。割り込み要求先が DTC の場合は、DTC の転送設定、転送回数によって異なります。詳細は「表 14.4 DTC 起動時の動作」を参照してください。ソフトウェアで IR_n.IR フラグをクリアする必要はありません。

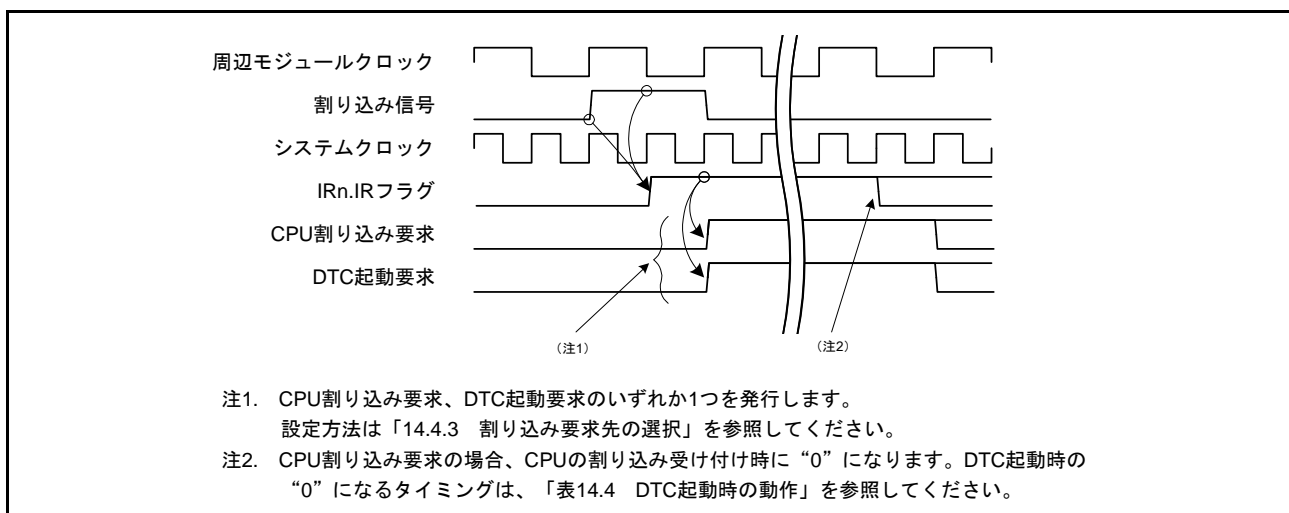


図 14.2 エッジ検出の IR_n.IR フラグの動作

図 14.3～図 14.5 の割り込み信号は、割り込みコントローラの信号です。割り込みベクタ番号 64～95 の割り込みでは、タイミングが他の割り込みと異なります。割り込みベクタ番号 64～79 の IRQ 端子割り込みの場合、IRQ 端子入力から内部遅延 + 2PCLK 分の遅延が増加します。割り込みベクタ番号 80～95 の割り込みの場合、2PCLK 分の遅延が増加します。

割り込み要求が発生し IRn.IR フラグが“1”の状態では、再度発生した割り込み要求は無視されます。(注1) IRn.IR フラグの再セットのタイミングを図 14.3 に示します。

注 1. ただし、SCI、RSPI、RIIC の各送信割り込み / 受信割り込みの場合、IRn.IR フラグが“1”の状態が発生した割り込み要求は保持され、IRn.IR フラグが“0”になった後、保持された要求によって再度 IRn.IR フラグが“1”になります。詳細は、「23. シリアルコミュニケーションインタフェース (SCle, SCIf)」、「24. I²C バスインタフェース (RIIC)」、「25. シリアルペリフェラルインタフェース (RSPI)」の各割り込みの説明を参照してください。

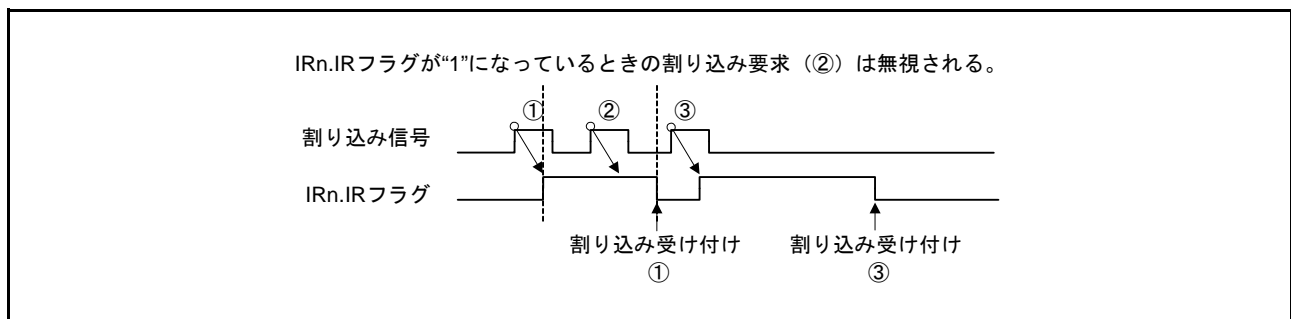


図 14.3 IRn.IR フラグの再セットのタイミング

IRn.IR フラグが“1”になった後、割り込みを禁止 (周辺モジュールの割り込み許可ビットで割り込み要求の出力を禁止) としても、IRn.IR フラグは影響を受けず保持されます。割り込みを禁止した場合の動作を図 14.4 に示します。

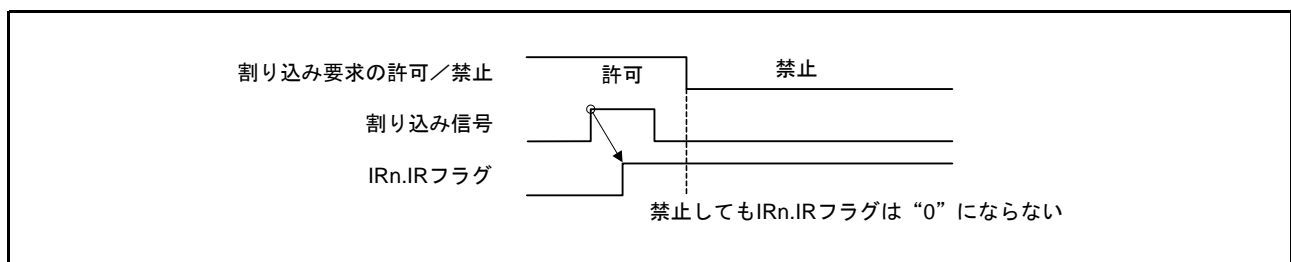


図 14.4 割り込み要求の禁止と IRn.IR フラグの関係

14.4.1.2 レベル検出の割り込みステータスフラグ

周辺機能割り込みと外部端子割り込みのレベル検出時の IRn.IR フラグの動作を図 14.5 に示します。

割り込み信号がアサートされている間、IRn.IR フラグを“1”にし続けます。IRn.IR フラグを“0”にするためには、割り込み発生元の割り込み要求を“0”にしてください。割り込み要求発生元の割り込み要求フラグが“0”になったことを確認、および IRn.IR フラグが“0”になったことを確認してから、割り込みハンドラを終了してください。

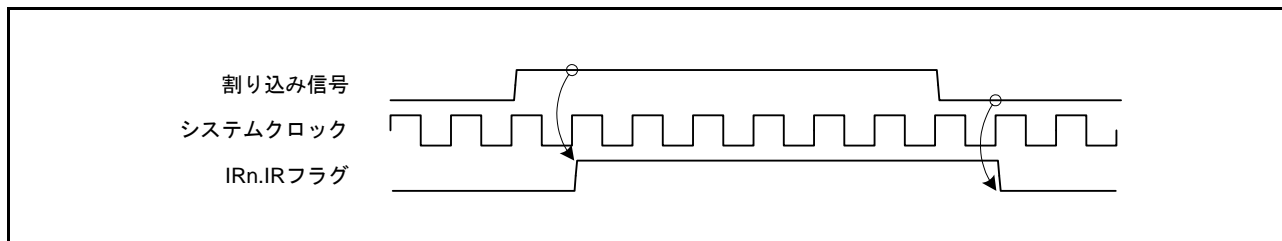


図 14.5 レベル検出時の IRn.IR フラグの動作

レベル検出割り込みの処理手順を図 14.6 に示します。

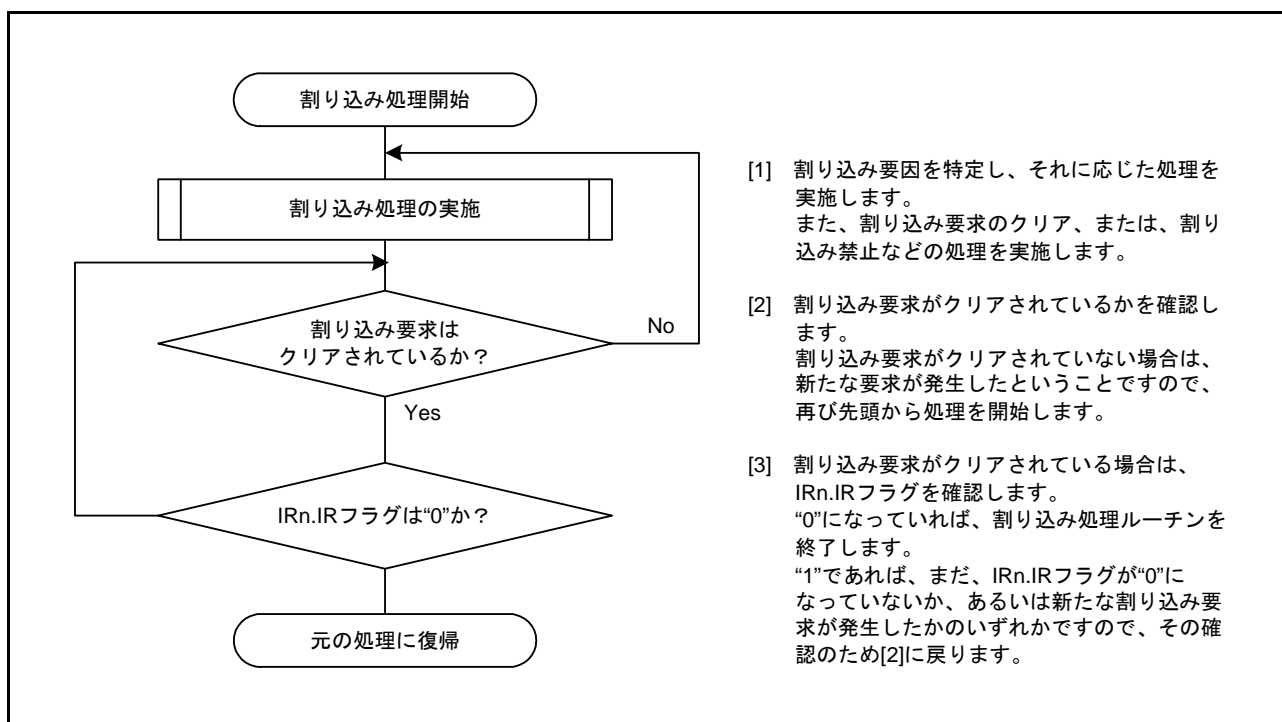


図 14.6 レベル検出割り込み処理手順

14.4.2 割り込み要求の許可 / 禁止

割り込み要求を許可するためには、以下の設定が必要です。

1. 周辺機能割り込みの場合、周辺モジュールの割り込み許可ビットで割り込み要求の出力を許可
2. IERm.IENj ビットによって割り込み要求を許可

割り込み発生元で割り込み出力が許可された割り込み要求が発生すると、対応する IRn.IR フラグが“1”になります。

IERm.IENj ビットで割り込み要求を許可することで、IRn.IR フラグが“1”である割り込み要求が割り込み要求先へ出力されます。また、IERm.IENj ビットで割り込み要求を禁止することで、IRn.IR フラグが“1”になった割り込み要求は保留されます。

IRn.IR フラグは、IERm.IENj ビットの影響を受けません。

割り込み要求を禁止にする手順は以下のとおりです。

1. IERm.IENj ビットを割り込み要求禁止に設定する。
2. 周辺モジュールの割り込み出力許可ビットを禁止に設定し、書き込みを行ったレジスタを読んで、書き込み完了を確認する。
3. 必要に応じて、IRn.IR フラグを確認、もしくは IRn.IR フラグを“0”にする。(注1)

注1. SCI、RSPI、RIIC の各送信割り込み / 受信割り込みを許可状態から禁止状態に変更する場合、上記の手順で IRn.IR フラグを“0”にしてください。詳細は、「23. シリアルコミュニケーションインタフェース (SCle, SCIf)」、「24. I²C バスインタフェース (RIIC)」、「25. シリアルペリフェラルインタフェース (RSPI)」の各割り込みの説明を参照してください。

14.4.3 割り込み要求先の選択

割り込み要因ごとに設定できる割り込み要求先は決められており、「表 14.3 割り込みのベクタテーブル」に示された要求先が設定できます。表 14.3 に「○」の記載がない割り込み要求先を選択しないでください。

IRQ 端子で DTC を割り込み要求先に設定する場合は、IRQCRi.IRQMD[1:0] ビットをエッジ検出に設定してください。

割り込み要求先の設定方法を以下に示します。

(1) DTC 起動

各要因ごとに、IERm.IENj ビットが“0”のときに以下の設定を行ってください。

1. 当該要因の DTC 起動許可レジスタの DTC 転送許可ビット (DTCERn.DTCE) を“1”に設定する

上記の状態、IERm.IENj ビットを“1”にしてください。

また、DTC モジュール起動ビット (DTCST.DTCST) を“1”にしてください。各要因ごとの設定と DTC モジュール起動ビットの設定はどちらを先に行っても構いません。

DTC の設定手順は、「16. データトランスファコントローラ (DTCa)」の「16.5 DTC の設定手順」を参照してください。

(2) CPU 割り込み要求

割り込み要求先が DTC でない要因は、CPU 割り込み対象となります。

上記の DTC 起動の設定がされていない状態で、IERm.IENj ビットを“1”にしてください。

DTC を割り込み要求先に設定した場合の動作は、表 14.4 に示すとおりになります。

表 14.4 DTC 起動時の動作

割り込み要求先	DISEL	残り転送回数	1要求ごとの動作	IR (注1)	転送後の割り込み要求先
DTC (注2)	1	≠ 0	DTC 転送→CPU 割り込み	CPU 割り込み受け付け時にクリア	DTC
		= 0	DTC 転送→CPU 割り込み	CPU 割り込み受け付け時にクリア	DTCER.DTCE ビットがクリアされCPUに切り替え
	0	≠ 0	DTC 転送	DTC 転送情報読み出し後のDTCデータ転送開始時にクリア	DTC
		= 0	DTC 転送→CPU 割り込み	CPU 割り込み受け付け時にクリア	DTCER.DTCE ビットがクリアされCPUに切り替え

DTC の DISEL は DTC.MRB.DISEL ビットで設定します。

注1. IRn.IR フラグが“1”のとき、再度発生した割り込み要求 (DTC 起動要求) は無視されます。

注2. チェーン転送の場合は、チェーン最終転送までDTC転送を継続します。チェーン最終転送時のCPU割り込みの有無、IRn.IR フラグのクリア、転送後の割り込み要求先の各動作は、チェーン最終転送のDISEL、および残り転送回数によって決まります。チェーン転送については、「16. データトランスファコントローラ (DTCa)」の「表 16.3 チェーン転送の条件」を参照してください。

割り込み要求先を変更する場合は IERm.IENj ビットが“0”のときに行ってください。

「(1) DTC 起動」を設定してから転送が完了していない状態 (DTCERn.DTCE ビットがクリアされていない状態) で、割り込み要求先を変更する場合、または DTC 転送設定内容を変更する場合は、以下の手順で行ってください。

1. 取り下げる要因、および新たに起動対象とする要因の IERm.IENj ビットを“0”にする。
2. DTC 転送状況を確認する。転送中であれば、転送完了を待つ。
3. 「(1) DTC 起動」の設定を行う。

14.4.4 優先順位の判定

割り込みコントローラは、割り込み要求先ごとに優先順位の判定を行います。それぞれの割り込み要求先に対する優先順位判定方法は以下のとおりです。

(1) 割り込み要求先が CPU の場合の優先順位判定

高速割り込みに設定された要因が最も優先されます。その次に割り込み優先レベル設定ビット (IPRn.IPR[3:0]) の値が大きい要因が優先されます。IPRn.IPR[3:0] ビットの値が同一レベルの要因が複数ある場合には、ベクタ番号が小さい要因が優先されます。

(2) 割り込み要求先が DTC の場合の優先順位判定

IPRn.IPR[3:0] ビットの影響を受けません。ベクタ番号が小さい要因が優先されます。

14.4.5 多重割り込み

CPU の多重割り込みを許可するには、受け付けた割り込みの処理ルーチン内で PSW.I ビットを“1” (割り込み許可) にしてください。

割り込み処理ルーチンに分岐した直後の PSW.IPL[3:0] ビットは、受け付けた割り込み要求の割り込み優先レベルと同じ値になっています。このとき、PSW.IPL[3:0] ビットより高い割り込み優先レベルの割り込み要求が発生すると、この割り込み要求の受け付け (多重割り込み) が行われます。

受け付けた割り込み要求の割り込み優先レベルが 15 (高速割り込み、IPR[3:0] を“1111b”に設定した割り込み) の場合は、多重割り込みは発生しません。

14.4.6 高速割り込み

高速割り込みは、CPUの割り込み応答を高速に実行できる割り込みで、割り込み要因のうちの1つだけを割り当てることができます。

高速割り込みの割り込み優先レベルは、 $IPRn.IPR[3:0]$ ビットの設定にかかわらず、15（最高）です。また、他のレベル15の割り込み要因よりも優先的に受け付けられます。ただし、 $PSW.IPL[3:0]$ ビットの値が“1111b”（優先レベル15）の場合は、高速割り込みも受け付けられません。

割り込み要因を高速割り込みに割り当てするには、 $FIR.FVCT[7:0]$ ビットにその要因のベクタ番号を設定し、 $FIR.FIEN$ ビットを“1”（高速割り込みを許可）にしてください。

高速割り込みについては「2. CPU」や「13. 例外処理」も参照してください。

14.4.7 デジタルフィルタ

外部割り込み要求端子 $IRQi$ ($i=0\sim 7$) と NMI 端子割り込みには、デジタルフィルタ機能を持っています。

デジタルフィルタは入力信号をフィルタ用サンプリングクロック (PCLK) でサンプリングし、サンプリング周期3回に満たないパルスを除去します。

$IRQi$ 端子のデジタルフィルタを使用する場合、 $IRQFLTC0.FCLKSELi[1:0]$ ビット ($i=0\sim 7$) でサンプリング周波数 (PCLK、PCLK/8、PCLK/32、PCLK/64) を設定し、 $IRQFLTE0.FLTENi$ ビットを“1”（デジタルフィルタ有効）にしてください。

NMI 端子割り込みのデジタルフィルタを使用する場合、 $NMIFLTC.NFCLKSEL[1:0]$ ビットでサンプリング周波数 (PCLK、PCLK/8、PCLK/32、PCLK/64) を設定し、 $NMIFLTE.NFLTEN$ ビットを“1”（デジタルフィルタ有効）にしてください。

図 14.7 にデジタルフィルタの動作例を示します。

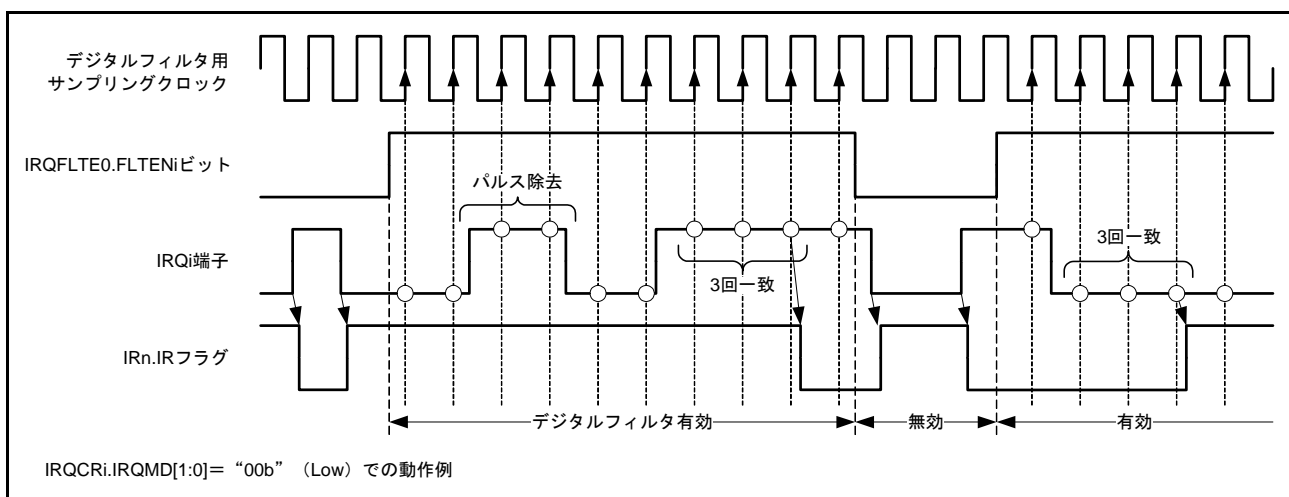


図 14.7 デジタルフィルタ動作例

ソフトウェアスタンバイモードに移行する際は、 $IRQFLTE0.FLTENi$ ビット、および $NMIFLTC.NFLTEN$ ビットを“0”（デジタルフィルタ無効）にしてください。ソフトウェアスタンバイモードからの復帰後に再度デジタルフィルタを使用する場合は、 $IRQFLTE0.FLTENi$ ビット、もしくは $NMIFLTC.NFLTEN$ ビットを“1”（デジタルフィルタ有効）にしてください。

14.4.8 外部端子割り込み

外部端子割り込みを使用する手順は以下のとおりです。

1. IERm.IENj ビットを“0” (割り込み要求禁止) にする。
2. IRQFLTE0.FLTENi ビット (i=0 ~ 7) を“0” (デジタルフィルタ無効) にする。
3. IRQFLTC0.FCLKSELi[1:0] ビットでデジタルフィルタのサンプリングクロックを設定する。
4. I/O ポートの設定、および確認を行う。
5. IRQCRi.IRQMD[1:0] ビットで検出方法を設定する。
6. IRn.IR フラグを“0”にする (エッジ検出の場合)。
7. IRQFLTE0.FLTENi ビットを“1” (デジタルフィルタ有効) にする。
8. DTC 起動の場合 DTCERn.DTCE ビットを設定する (設定しない場合は CPU 割り込み)。
9. IERm.IENj ビットを“1” (割り込み要求許可) にする。

14.5 ノンマスカブル割り込みの動作説明

ノンマスカブル割り込みにはNMI端子割り込み、発振停止検出割り込み、IWDTアンダフロー/リフレッシュエラー、電圧監視1割り込み、電圧監視2割り込みがあります。ノンマスカブル割り込みはCPUへの割り込みのみであり、DTCの起動はできません。高速割り込みを含むすべての割り込みの中で最優先の割り込みです。

ノンマスカブル割り込み要求は、CPUのPSW.Iビット(割り込み許可ビット)、PSW.IPL[3:0]ビット(プロセッサ割り込み優先レベル)の状態にかかわらず受け付けられます。ノンマスカブル割り込みの有無はノンマスカブル割り込みステータスレジスタ(NMISR)で確認できます。

ノンマスカブル割り込みハンドラでは、NMISRレジスタの全ビットが“0”であることを確認してください。

初期状態では「ノンマスカブル割り込み禁止」となっています。ノンマスカブル割り込みを使用するシステムでは、プログラム処理の先頭で以下の手順に従ってください。

ノンマスカブル割り込み使用手順

1. スタックポインタ(SP)を設定する。
2. NMI端子を使用する場合は、NMIFLTE.NFLTENビットを“0”(デジタルフィルタ無効)にする。
3. NMI端子を使用する場合は、NMIFLTC.NFCLKSEL[1:0]ビットでデジタルフィルタのサンプリングクロックを設定する。
4. NMI端子を使用する場合は、NMICR.NMIMDビットでNMI端子割り込みの検出方法を設定する。
5. NMI端子を使用する場合は、NMICLR.NMICLRビットに“1”を書いて、NMISR.NMISTフラグを“0”にする。
6. NMI端子を使用する場合は、NMIFLTE.NFLTENビットを“1”(デジタルフィルタ有効)にする。
7. ノンマスカブル割り込み許可レジスタ(NMIER)の許可する割り込みに対応するビットを“1”にして、ノンマスカブル割り込みの使用を許可する。

NMIERレジスタに“1”を書くと、以後のNMIERレジスタへの書き込みは無視されます。ノンマスカブル割り込みを禁止することはできません。リセットでのみ禁止になります。

ノンマスカブル割り込みの処理の流れは、「13. 例外処理」を参照してください。

NMIステータスフラグ(NMISR.NMIST)は、NMICLR.NMICLRビットに“1”を書くことで“0”になります。

発振停止検出割り込みステータスフラグ(NMISR.OSTST)は、NMICLR.OSTCLRビットに“1”を書くことで“0”になります。

IWDTアンダフロー/リフレッシュエラーステータスフラグ(NMISR.IWDTST)は、NMICLR.IWDTCCLRビットに“1”を書くことで“0”になります。

電圧監視1割り込みステータスフラグ(NMISR.LVD1ST)は、NMICLR.LVD1CLRビットに“1”を書くことで“0”になります。

電圧監視2割り込みステータスフラグ(NMISR.LVD2ST)は、NMICLR.LVD2CLRビットに“1”を書くことで“0”になります。

14.6 低消費電力状態からの復帰

スリープモード、ディープスリープモード、ソフトウェアスタンバイモードからの復帰割り込みとして使用可能な割り込み要因を「表 14.3 割り込みのベクタテーブル」に示します。

詳細は「11. 消費電力低減機能」を参照してください。各低消費電力モードにおける、復帰対象割り込みの設定方法は以下のとおりです。

14.6.1 スリープモードおよびディープスリープモードからの復帰

ノンマスクابل割り込み、および全要因の割り込みによって復帰することができます。復帰するための条件は以下のとおりです。

- 割り込み
 - (1) 割り込み要求先が CPU であること
 - (2) IERm.IENj ビットによって該当する割り込み要求が許可されていること
 - (3) CPU.PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること
- ノンマスクابل割り込み
 - NMIER レジスタによって該当する割り込み要求が許可されていること

14.6.2 ソフトウェアスタンバイモードからの復帰

ノンマスクابل割り込み、およびソフトウェアスタンバイモードからの復帰可能な割り込みによって復帰することができます。復帰するための条件は以下のとおりです。

- 割り込み
 - (1) ソフトウェアスタンバイモードから復帰可能な要因であること
 - (2) 割り込み要求先が CPU であること
 - (3) IERm.IENj ビットによって該当する割り込み要求が許可されていること
 - (4) CPU.PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること
(高速割り込みに設定した要因には高速割り込み設定レジスタ (FIR) だけでなく、対応する割り込み優先レベル (IPRn) も CPU.PSW.IPL より高い設定にしてください。)

上記条件を満たさない IRQ 端子では、ソフトウェアスタンバイモードでクロック停止期間中に発生した割り込み要因は検出されません。

- ノンマスクابل割り込み
 - NMIER レジスタによって該当する割り込み要求が許可されていること
- ソフトウェアスタンバイモードへの移行/復帰の手順
 - (1) ソフトウェアスタンバイモードに移行する前に、復帰対象の割り込み要因のデジタルフィルタを無効 (IRQFLTE0.FLTENi ビットを“0”、NMIFLTE.NFLTEN ビットを“0”) にしてください。
 - (2) ソフトウェアスタンバイモードから復帰後に再度デジタルフィルタを使用する場合は、デジタルフィルタを有効 (IRQFLTE0.FLTENi ビットを“1”、NMIFLTE.NFLTEN ビットを“1”) にしてください。

14.7 使用上の注意事項

14.7.1 ノンマスクابل割り込み使用時の WAIT 命令の注意事項

WAIT 命令を実行する場合は、NMISR レジスタのすべてのステータスフラグが“0”であることを確認した後で行ってください。

15. バス

15.1 概要

表 15.1 にバスの仕様を、図 15.1 にバスの構成図を、表 15.2 にバス種類別アドレス対応表を示します。

表 15.1 バスの仕様

バスの種類		内容
CPUバス	命令バス	<ul style="list-style-type: none"> • CPU (命令) を接続 • 内蔵メモリを接続 (RAM、ROM) • システムクロック (ICLK) に同期して動作
	オペランドバス	<ul style="list-style-type: none"> • CPU (オペランド) を接続 • 内蔵メモリを接続 (RAM、ROM) • システムクロック (ICLK) に同期して動作
メモリバス	メモリバス1	<ul style="list-style-type: none"> • RAMを接続
	メモリバス2	<ul style="list-style-type: none"> • ROMを接続
内部メインバス	内部メインバス1	<ul style="list-style-type: none"> • CPUを接続 • システムクロック (ICLK) に同期して動作
	内部メインバス2	<ul style="list-style-type: none"> • DTCを接続 • 内蔵メモリを接続 (RAM、ROM) • システムクロック (ICLK) に同期して動作
内部周辺バス	内部周辺バス1	<ul style="list-style-type: none"> • 周辺機能 (DTC、割り込みコントローラ、バスエラー監視部) を接続 • システムクロック (ICLK) に同期して動作
	内部周辺バス2	<ul style="list-style-type: none"> • 周辺機能を接続 • 周辺モジュールクロック (PCLKB) に同期して動作
	内部周辺バス6	<ul style="list-style-type: none"> • ROM (P/E時) を接続 • FlashIFクロック (FCLK) に同期して動作

P/E : プログラム / イレース

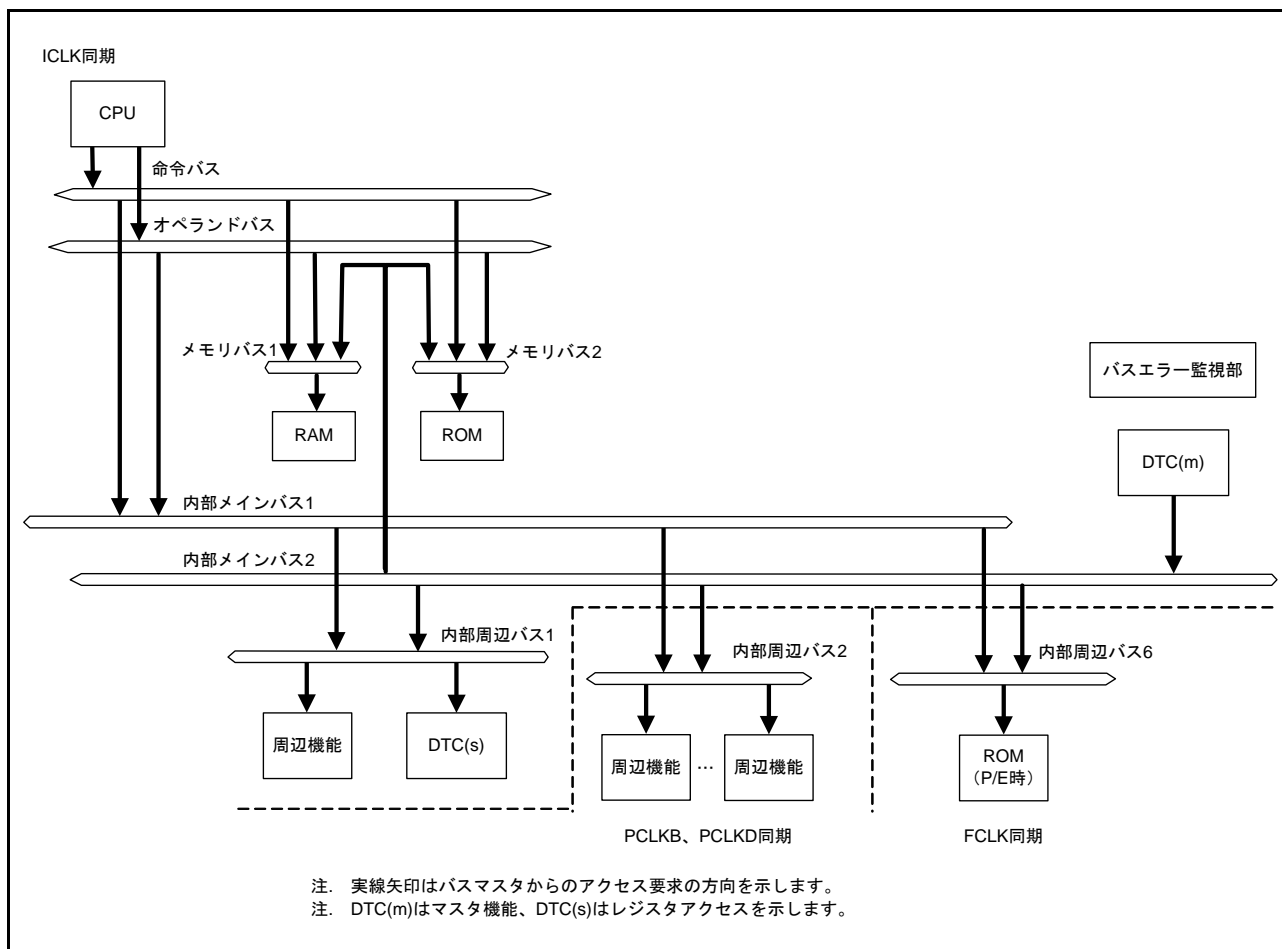


図 15.1 バスの構成図

表 15.2 バス種類別アドレス対応表

アドレス	バス	内容
0000 0000h ~ 0000 FFFFh	メモリバス1	RAM
0008 0000h ~ 0008 7FFFh	内部周辺バス 1	周辺 I/O レジスタ
0008 8000h ~ 0009 FFFFh	内部周辺バス 2	
0010 0000h ~ 00FF FFFFh	内部周辺バス 6	ROM (プログラム/イレーズ用)
8000 0000h ~ FFFF FFFFh	メモリバス2	ROM (読み出し専用)
FF00 0000h ~ FFFF FFFFh		

15.2 バスの説明

15.2.1 CPU バス

CPU バスには、命令バスとオペランドバスがあり、内部メインバス 1 に接続されています。命令バスは CPU の命令フェッチに、オペランドバスは CPU のオペランドアクセスに使用されます。

命令バスとオペランドバスは、RAM、ROM に接続しており、内部メインバス 1 を介さずに CPU から直接アクセスすることが可能です。ただし、ROM は読み出しのみ CPU からの直接アクセスが可能であり、書き込み/消去は内部周辺バスを介して行います。

内部メインバス 1 は、命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド > 命令フェッチの順となります。

命令フェッチとオペランドアクセスからの要求が異なるバス（メモリバス 1、メモリバス 2、内部メインバス 1）に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。たとえば、ROM と RAM などの並列動作が可能となります。

15.2.2 メモリバス

メモリバスには、メモリバス 1 とメモリバス 2 があり、メモリバス 1 には RAM、メモリバス 2 には ROM が接続されています。メモリバス 1 とメモリバス 2 は、CPU バス（命令フェッチとオペランド）、内部メインバス 2 からのバス権要求を調停します。

2 本のバスの優先順位は、それぞれバスプライオリティ制御レジスタのメモリバス 1 (RAM) プライオリティ制御ビット (BUSPRI.BPRA[1:0])、メモリバス 2 (ROM) プライオリティ制御ビット (BUSPRI.BPRO[1:0]) により設定可能です。優先順位固定の場合は、2 本のバスの優先順位は、内部メインバス 2 > CPU バス（オペランド > 命令フェッチ）の順となります。優先順位トグルの場合は、内部メインバス 2 と CPU バスとでバス要求を受け付けられた方の優先順位が低くなります。

15.2.3 内部メインバス

内部メインバスは、CPU が使用するバス（内部メインバス 1）と、CPU 以外のバスマスタ（DTC）が使用するバス（内部メインバス 2）の 2 本で構成されます。

内部メインバス 1 は、命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド > 命令フェッチの順となります。

内部メインバス 2 では、DTC のバス権要求を調停します。優先順位は、表 15.3 に示すようになります。

CPU と CPU 以外のバスマスタからの要求が異なるバス（内蔵メモリ、内部周辺バス 1～内部周辺バス 2、内部周辺バス 6）に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。

ただし、CPU により XCHG 命令が実行された場合には、バスプライオリティ制御レジスタ (BUSPRI) の設定にかかわらず、XCHG 命令によるバスアクセスが完了するまで、CPU 以外のバスアクセスは受け付けません。また、DTC の転送情報リードおよびライトバック中も DTC 以外のバスアクセスは受け付けません。

表 15.3 バスマスタ優先順位

優先度	バスマスタ
高 ↑	DTC
低	CPU

15.2.4 内部周辺バス

表 15.4 に内部周辺バスに接続される周辺機能を示します。

表 15.4 内部周辺バスに接続される周辺機能

バスの種類	周辺機能
内部周辺バス1	DTC、割り込みコントローラ、バスエラー監視部
内部周辺バス2	内部周辺バス1以外の周辺機能
内部周辺バス6	ROM (P/E時)

内部周辺バス1～2、6は、それぞれ、CPU (内部メインバス1) とCPU以外のバスマスタ (内部メインバス2) からのバス権要求を調停します。

2本の内部メインバスの優先順位は、バスプライオリティ制御レジスタ (BUSPRI) により設定可能です。優先順位は、内部周辺バス1プライオリティ制御ビット (BUSPRI.BPIB[1:0])、内部周辺バス2プライオリティ制御ビット (BUSPRI.BPGB[1:0])、内部周辺バス6プライオリティ制御ビット (BUSPRI.BPFB[1:0]) によりバスごとに設定できます。優先順位固定の場合は、内部メインバス2 > 内部メインバス1の順となります。優先順位トグルの場合は、内部メインバス1と内部メインバス2とでバス要求を受け付けられた方の優先順位が低くなります。

BUSPRIレジスタの設定の違いにより、受け付けられる要求の順番が変わることがありますので注意してください。図 15.2 に示すとおり、受け付けられたバス要求の優先順位が低い場合は、その優先順位は変わりません。

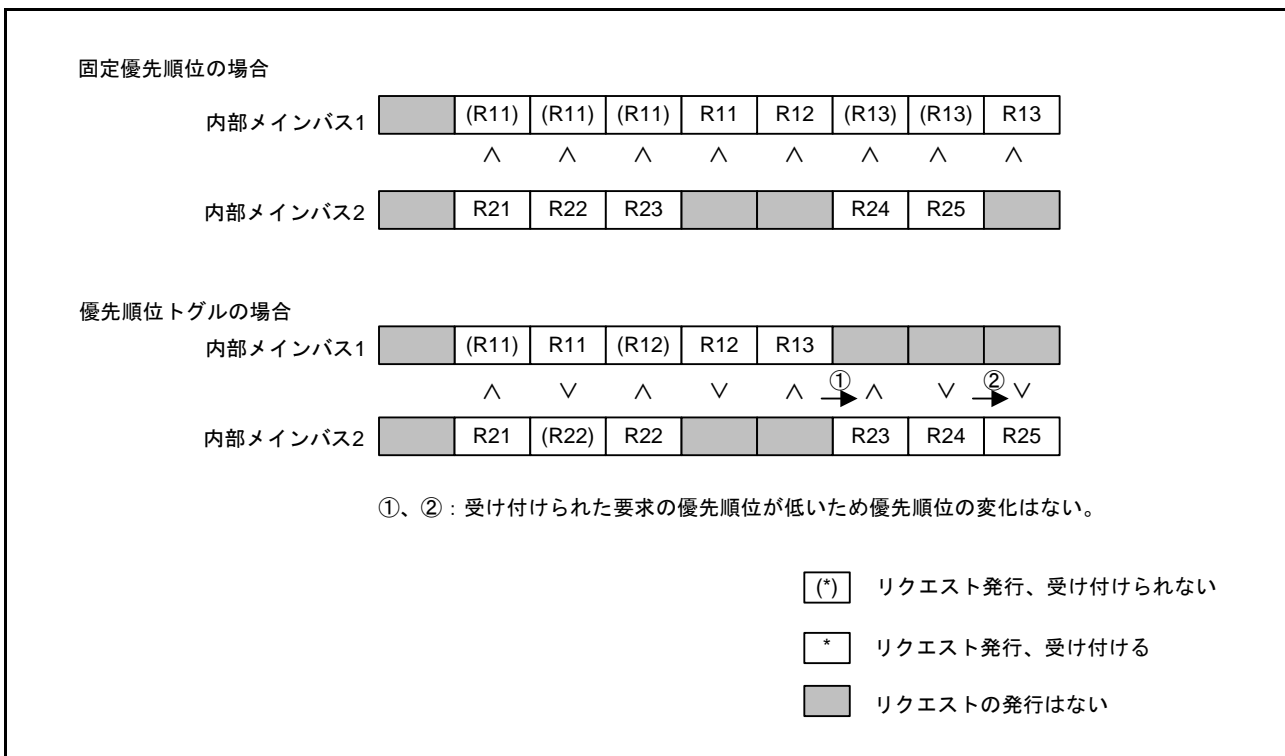


図 15.2 内部周辺バス優先順位

15.2.5 ライトバッファ機能（内部周辺バス）

内部周辺バスはライトバッファ機能を持っており、ライトアクセスの場合は、動作の終了を待たずに、次のアクセスを受け付けることができます。ただし、同じバスマスタからのアクセスの場合、ライトアクセスの次のアクセスが異なる内部周辺バスに対するものであれば、ライトアクセスが終了するまで次のアクセスは、待たされます。CPU から内部周辺バスのライトアクセス後に内蔵メモリへのリードアクセスがある場合には、動作の終了を待たずに次のアクセスが受け付けられるため、アクセスの順番が入れ替わることがありますので注意してください。

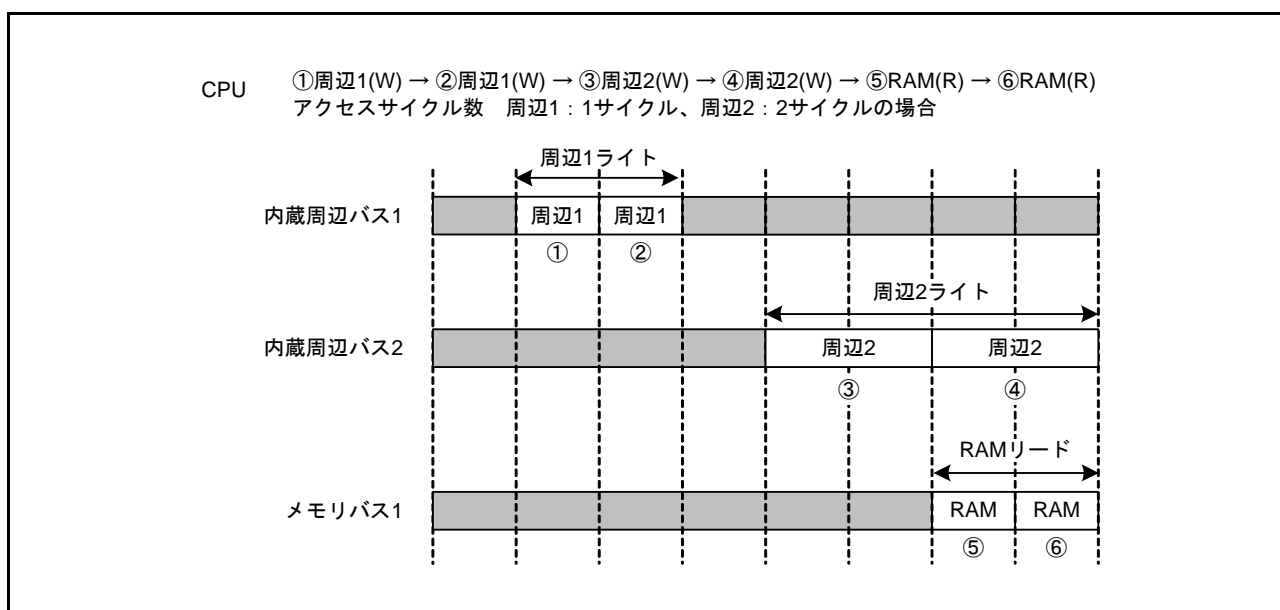


図 15.3 ライトバッファ機能

15.2.6 並列動作

それぞれのバスマスタが異なるスレーブにアクセスする場合、並列に動作することが可能です。たとえば、CPUの命令フェッチがROMを、オペランドがRAMをアクセス中に、DTCは周辺-周辺バス間の転送を行うことができます。図15.4に並列動作の例を示します。この例の場合、CPUは命令バスとオペランドバスを使って、それぞれROMとRAMを同時にアクセスすることが可能です。また、CPUがROMとRAMをアクセス中に、DTCは内部メインバス2を使って、周辺バスを同時にアクセスすることができます。

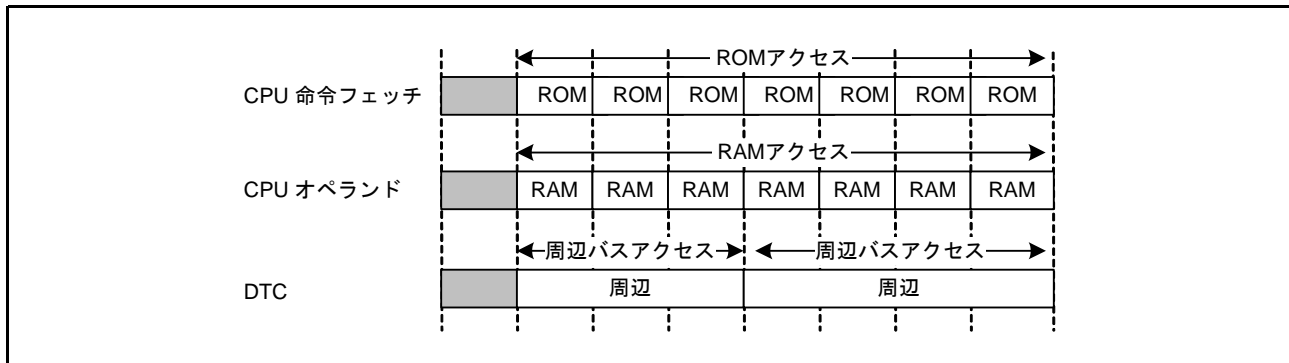


図 15.4 並列動作の例

15.2.7 制約事項

(1) アドレス空間の複数領域にまたがるアクセスの禁止

1つのアクセスでアドレス空間の複数領域をまたがるアクセスは禁止しており、その場合の動作は保証していません。1つのワード、ロングワードアクセスがアドレス空間の各領域境界を挟んで2つの領域にまたがらないようにしてください。

(2) RMPA 命令、ストリング操作命令に関する制約事項

- (a) RMPA 命令、ストリング操作命令の操作対象データをI/Oレジスタに配置することは禁止しており、その場合の動作は保証していません。

15.3 レジスタの説明

15.3.1 バスエラーステータスクリアレジスタ (BERCLR)

アドレス 0008 1300h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	STSCLR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STSCLR	ステータスクリアビット	0: 無効 1: バスエラーステータスレジスタクリア	(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”書き込みのみ有効で、“0”書き込みは無効です。

STSCLR ビット (ステータスクリアビット)

“1”を書き込むと、バスエラーステータスレジスタ 1 (BERSR1) とバスエラーステータスレジスタ 2 (BERSR2) がクリアされます。

“0”書き込みは無効です。読むと“0”が読み出されます。

15.3.2 バスエラー監視許可レジスタ (BEREN)

アドレス 0008 1304h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TOEN	IGAEN
リセット後の値	0	0	0	0	0	0	0	0

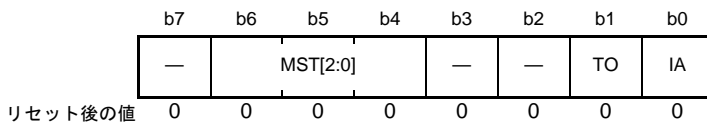
ビット	シンボル	ビット名	機能	R/W
b0	IGAEN	不正アドレスアクセス検出許可ビット	0: 不正アドレスアクセス検出禁止 1: 不正アドレスアクセス検出許可	R/W
b1	TOEN	タイムアウト検出許可ビット (注1、注2)	0: バスタイムアウト検出禁止 1: バスタイムアウト検出許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 検出禁止 (TOENビット=0) にしてバスアクセスを行った場合、バスがフリーズすることがあります。

注2. タイムアウトエラー検出中にTOENビットを“0” (検出禁止) にしないようにしてください。

15.3.3 バスエラーステータスレジスタ 1 (BERSR1)

アドレス 0008 1308h



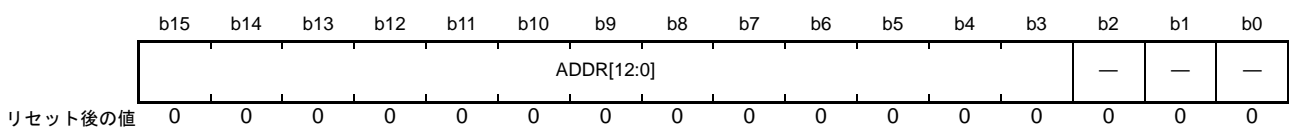
ビット	シンボル	ビット名	機能	R/W
b0	IA	不正アドレスアクセスビット	0 : 不正アドレスアクセスの発生なし 1 : 不正アドレスアクセスの発生あり	R
b1	TO	タイムアウトビット	0 : タイムアウトの発生なし 1 : タイムアウトの発生あり	R
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b6-b4	MST[2:0]	バスマスタコードビット	b6 b4 0 0 0 : CPU 0 0 1 : 予約 0 1 0 : 予約 0 1 1 : DTC 1 0 0 : 予約 1 0 1 : 予約 1 1 0 : 予約 1 1 1 : 予約	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

MST[2:0] ビット (バスマスタコードビット)

バスエラーを発生させたアクセスのバスマスタを示します。

15.3.4 バスエラーステータスレジスタ 2 (BERSR2)

アドレス 0008 130Ah



ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15-b3	ADDR[12:0]	バスエラー発生アドレスビット	バスエラーが発生したアクセスのアドレスの上位13ビット (512Kバイト単位)	R

15.3.5 バスプライオリティ制御レジスタ (BUSPRI)

アドレス 0008 1310h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	BPFB[1:0]	—	—	—	BPGB[1:0]	—	BPIB[1:0]	—	BPRO[1:0]	—	BPRA[1:0]	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	BPRA[1:0]	メモリバス1 (RAM) プライオリティ制御ビット	b1 b0 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b3-b2	BPRO[1:0]	メモリバス2 (ROM) プライオリティ制御ビット	b3 b2 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b5-b4	BPIB[1:0]	内部周辺バス1プライオリティ制御ビット	b5 b4 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b7-b6	BPGB[1:0]	内部周辺バス2プライオリティ制御ビット	b7 b6 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b9-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b10	BPFB[1:0]	内部周辺バス6プライオリティ制御ビット	b11 b10 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. DTCが停止した状態で、1回のみ書き込みできます。2回以上、書き込んだ場合、動作は保証されません。

BPRA[1:0] ビット (メモリバス1 (RAM) プライオリティ制御ビット)

メモリバス1 (RAM) に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス2 > CPUバスとなります。

優先順位トグルの場合は、内部メインバス2とCPUバスとでバス要求を受け付けられた方の優先順位が低くなります。

BPRO[1:0] ビット (メモリバス2 (ROM) プライオリティ制御ビット)

メモリバス2 (ROM) に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス2 > CPUバスとなります。

優先順位トグルの場合は、内部メインバス1とCPUバスとでバス要求を受け付けられた方の優先順位が低くなります。

BPIB[1:0] ビット（内部周辺バス 1 プライオリティ制御ビット）

内部周辺バス 1 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPGb[1:0] ビット（内部周辺バス 2 プライオリティ制御ビット）

内部周辺バス 2 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPFB[1:0] ビット（内部周辺バス 6 プライオリティ制御ビット）

内部周辺バス 6 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

15.4 バスエラー監視部

バスエラー監視部は、領域ごとのバスエラーを監視し、バスエラーが発生した場合、バスマスタへ通知します。

15.4.1 バスエラーの種類

バスエラーには、不正アドレスアクセスのバスエラーがあります。
不正アドレスアクセスは不正な領域へのアクセスがあった場合に検出します。

15.4.1.1 不正アドレスアクセス

不正アドレスアクセスは、バスエラー監視許可レジスタの不正アドレスアクセス検出許可ビットが有効 (BEREN.IGAEN = 1) に設定された場合で、不正アドレス領域にアクセスしたときに発生します。

どの領域が不正アドレスアクセスエラーを発生するかを表 15.5 に示します。

15.4.1.2 タイムアウト

タイムアウトは、バスエラー監視許可レジスタのタイムアウト検出許可ビットが有効 (BEREN.TOEN = 1) に設定された場合で、バスアクセスが 768 サイクル以内に終了しない場合に発生します。

- 内部周辺バス (2) : バスアクセス開始後、周辺モジュールクロック (PCLKB) で 768 サイクル以内にバスアクセスが終了しない場合
タイムアウトが発生すると PCLKB で 256 サイクル間、バスマスタからのアクセスは受け付けられません。
- 内部周辺バス (6) : バスアクセス開始後、FlashIF クロック (FCLK) で 768 サイクル以内にバスアクセスが終了しない場合
タイムアウトが発生すると FCLK で 256 サイクル間、バスマスタからのアクセスは受け付けられません。

15.4.2 バスエラー発生時の動作

バスエラーが発生すると、CPU にバスエラーを通知します。バスエラーが発生した場合には、その動作を保証していません。

- CPU へのバスエラー発生通知 :
割り込みが発生します。割り込みを発生させるかどうかは、ICU.IERn レジスタで制御できます。

15.4.3 バスエラーの発生条件

表 15.5 にアドレス空間の領域ごとに発生するバスエラーの種類を示します。

バスエラーが発生していない状態（バスエラーステータスレジスタ n (BERSRn) (n = 1, 2) がクリアされている場合) で、不正アドレスアクセスエラーが検出されると、BERSRn レジスタにその時点の状態が記憶されます。一度バスエラーが発生すると、その後バスエラーが発生しても BERSRn がクリアされていない場合はその状態を記憶しません。

2 つ以上のバスマスタについてバスエラーが同時に発生する場合は、1 つのバスマスタの情報のみ記憶します。バスエラーの発生後は、BERSRn レジスタがクリアされるまで状態を保持します。

表 15.5 発生するバスエラーの種類

アドレス	内容	種類	
		不正アドレスアクセス	タイムアウト
0000 0000h ~ 0007 FFFFh	メモリバス1	—	—
0008 0000h ~ 0008 7FFFh	内部周辺バス1	—	—
0008 8000h ~ 0009 FFFFh	内部周辺バス2	△	—
000C 0000h ~ 000E FFFFh	予約領域	○	—
0010 0000h ~ 00FF FFFFh	内部周辺バス6	△	—
0100 0000h ~ 07FF FFFFh	予約領域	○	—
0800 0000h ~ 0FFF FFFFh	予約領域	—	—
1000 0000h ~ 7FFF FFFFh	予約領域	○	—
8000 0000h ~ FFFF FFFFh	メモリバス2	—	—

— : バスエラーは発生しません。

△ : バスエラーは不定です。

○ : バスエラーを発生します。

注. 実装されるRAM、ROMの容量は製品により異なります。製品ごとの仕様については、「30. RAM」、「31. フラッシュメモリ」を参照してください。

16. データトランスファコントローラ (DTCa)

本 MCU は、データトランスファコントローラ (DTC) を内蔵しています。
DTC は、割り込み要求によって起動し、データ転送を行うことができます。

16.1 概要

表 16.1 に DTC の仕様を、図 16.1 に DTC のブロック図を示します。

表 16.1 DTC の仕様

項目	内容
転送モード	<ul style="list-style-type: none"> ノーマル転送モード 1回の起動で1データ転送する リピート転送モード 1回の起動で1データ転送する リピートサイズ分データを転送すると転送開始アドレスに復帰 リピート回数は最大256回設定可能で、256 × 32ビットで、最大1024バイト転送可能 ブロック転送モード 1回の起動で1ブロックのデータを転送する ブロックサイズは、最大256 × 32ビット = 1024バイト設定可能
転送チャンネル	<ul style="list-style-type: none"> 割り込み要因に対応するチャンネルの転送が可能 (ICUからのDTC転送要求で転送) 1回の転送要求に対して複数のデータ転送が可能 (チェーン転送) チェーン転送は「カウンタ=0のとき実施」/「毎回実施」のいずれかを選択可能
転送空間	<ul style="list-style-type: none"> ショートアドレスモードのとき16Mバイト ("0000 0000h" ~ "007F FFFFh" と "FF80 0000h" ~ "FFFF FFFFh" のうち、予約領域以外の領域) フルアドレスモードのとき4Gバイト ("0000 0000h" ~ "FFFF FFFFh" のうち、予約領域以外の領域)
データ転送単位	<ul style="list-style-type: none"> 1データ : 1バイト (8ビット)、1ワード (16ビット)、1ロングワード (32ビット) 1ブロックサイズ : 1 ~ 256データ
CPU割り込み要求	<ul style="list-style-type: none"> DTCを起動した割り込みでCPUへの割り込み要求を発生可能 1回のデータ転送終了後にCPUへの割り込み要求を発生可能 指定したデータ数のデータ転送終了後にCPUへの割り込み要求を発生可能
リードスキップ	転送情報のリードスキップを指定可能
ライトバックスキップ	転送元アドレス固定の場合、または転送先アドレス固定の場合、ライトバックスキップを実行可能
消費電力低減機能	モジュールストップ状態への設定が可能

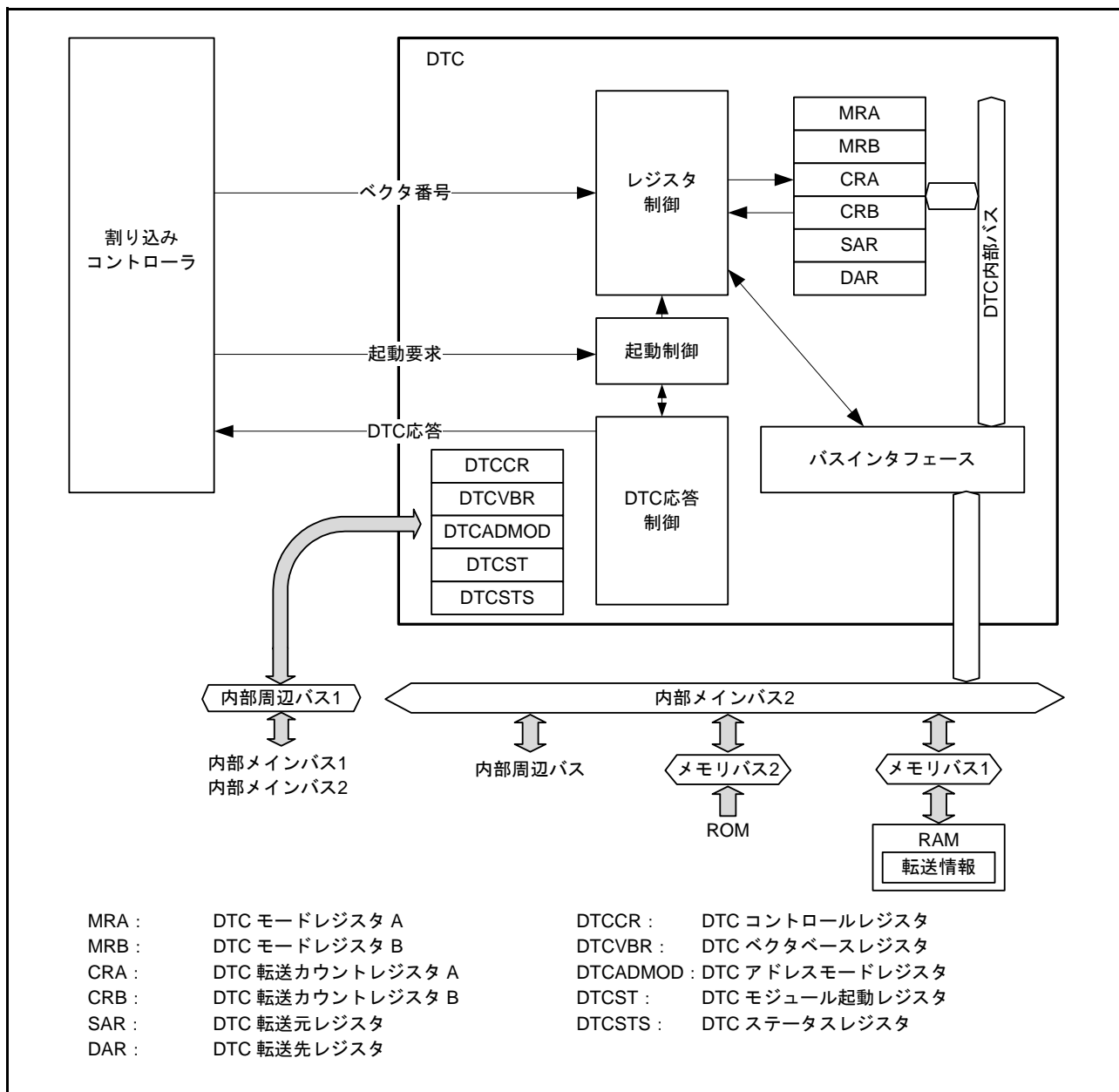


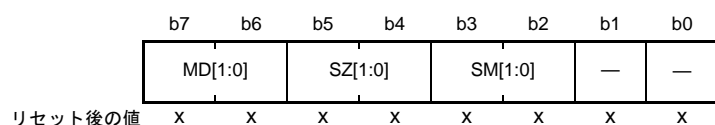
図 16.1 DTC のブロック図

16.2 レジスタの説明

MRA、MRB、SAR、DAR、CRA、CRB レジスタはDTCの内部レジスタです。CPUから直接アクセスすることはできません。これら内部レジスタの設定値はRAM領域に転送情報として配置します。DTCは転送要求が発生すると、RAM領域から転送情報を読み出し、内部レジスタに設定します。データ転送が行われた後、DTCの内部レジスタは転送情報としてRAM領域にライトバックされます。

16.2.1 DTC モードレジスタ A (MRA)

アドレス (CPUから直接アクセス不可)



x: 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	—
b3-b2	SM[1:0]	転送元アドレスアドレッシングモードビット	b3 b2 0 0 : SARレジスタはアドレス固定 (SARレジスタのライトバックはスキップされます) 0 1 : SARレジスタはアドレス固定 (SARレジスタのライトバックはスキップされます) 1 0 : 転送後SARレジスタをインクリメント (SZ[1:0]ビットが“00b”のとき+1、“01b”のとき+2、“10b”のとき+4) 1 1 : 転送後SARレジスタをデクリメント (SZ[1:0]ビットが“00b”のとき-1、“01b”のとき-2、“10b”のとき-4)	—
b5-b4	SZ[1:0]	DTCデータトランスファサイズビット	b5 b4 0 0 : バイト (8ビット) 転送 0 1 : ワード (16ビット) 転送 1 0 : ロングワード (32ビット) 転送 1 1 : 設定しないでください	—
b7-b6	MD[1:0]	DTC転送モード選択ビット	b7 b6 0 0 : ノーマル転送モード 0 1 : リピート転送モード 1 0 : ブロック転送モード 1 1 : 設定しないでください	—

MRA レジスタは、CPUから直接アクセスすることはできません。

16.2.2 DTC モードレジスタ B (MRB)

アドレス (CPUから直接アクセス不可)

	b7	b6	b5	b4	b3	b2	b1	b0
	CHNE	CHNS	DISEL	DTS	DM[1:0]	—	—	
リセット後の値	X	X	X	X	X	X	X	X

x: 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	—
b3-b2	DM[1:0]	転送先アドレスアドレッシングモードビット	b3 b2 0 0: DAR レジスタはアドレス固定 (DAR レジスタのライトバックはスキップされます) 0 1: DAR レジスタはアドレス固定 (DAR レジスタのライトバックはスキップされます) 1 0: 転送後、DAR レジスタをインクリメント (MRA.SZ[1:0] ビットが“00b”のとき+1、 “01b”のとき+2、“10b”のとき+4) 1 1: 転送後DAR レジスタをデクリメント (MRA.SZ[1:0] ビットが“00b”のとき-1、 “01b”のとき-2、“10b”のとき-4)	—
b4	DTS	DTC 転送モード選択ビット	0: 転送先がリピート領域またはブロック領域 1: 転送元がリピート領域またはブロック領域	—
b5	DISEL	DTC 割り込み選択ビット	0: 指定されたデータ転送終了時、CPU への割り込みが発生 1: DTC データ転送のたびに、CPU への割り込みが発生	—
b6	CHNS	DTC チェーン転送選択ビット	0: 連続してチェーン転送を行う 1: 転送カウンタが1→0、または1→CRAHとなったとき、 チェーン転送を行う	—
b7	CHNE	DTC チェーン転送許可ビット	0: チェーン転送禁止 1: チェーン転送許可	—

MRB レジスタは、CPU から直接アクセスすることはできません。

DTS ビット (DTC 転送モード選択ビット)

リピート転送モードまたはブロック転送モードのとき、転送元と転送先のいずれをリピート領域またはブロック領域とするかを指定します。

CHNS ビット (DTC チェーン転送選択ビット)

チェーン転送の条件を選択します。

CHNE ビットが“0”のときは CHNS ビットの設定は無視されます。チェーン転送が選択される条件の詳細は、「表 16.3 チェーン転送の条件」を参照してください。

次の転送がチェーン転送の場合、指定した転送回数の終了判定、割り込みステータスフラグのクリアは行われず、CPU への割り込み要求は発生しません。

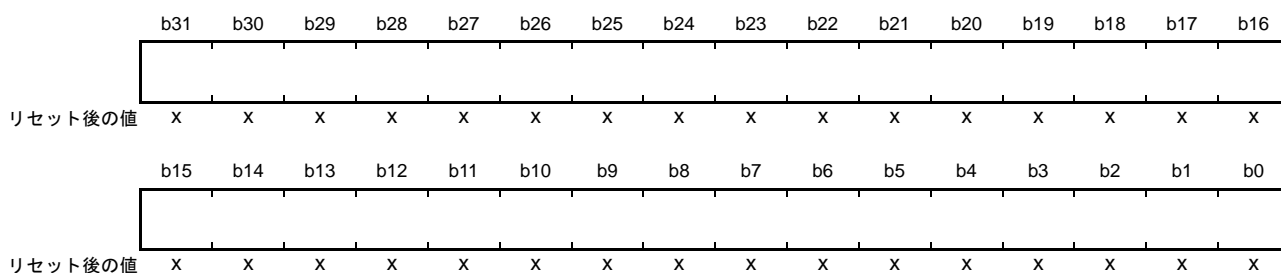
CHNE ビット (DTC チェーン転送許可ビット)

チェーン転送を指定します。

チェーン転送の条件の選択は、CHNS ビットで行います。チェーン転送の詳細は、「16.4.6 チェーン転送」を参照してください。

16.2.3 DTC 転送元レジスタ (SAR)

アドレス (CPUから直接アクセス不可)



x: 不定

SAR レジスタは、転送元の開始アドレスを設定するレジスタです。

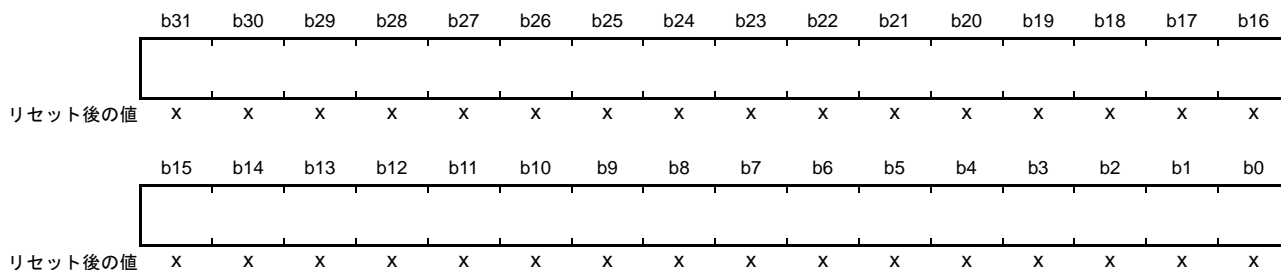
フルアドレスモードでは 32 ビットが有効となります。

ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31~b24) の設定は無視され、b23 で指定した値でビット拡張を行います。

SAR レジスタは CPU から直接アクセスすることはできません。

16.2.4 DTC 転送先レジスタ (DAR)

アドレス (CPUから直接アクセス不可)



x: 不定

DAR レジスタは、転送先の開始アドレスを設定するレジスタです。

フルアドレスモードでは 32 ビットが有効となります。

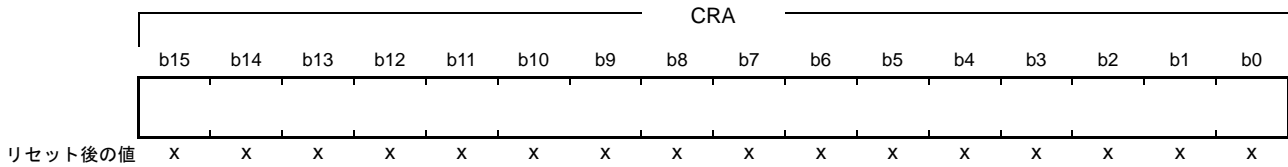
ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31~b24) の設定は無視され、b23 で指定した値でビット拡張を行います。

DAR レジスタは CPU から直接アクセスすることはできません。

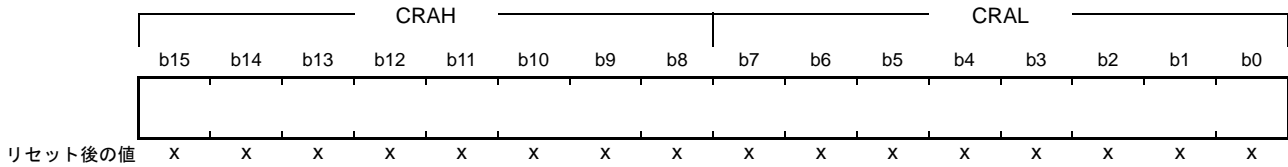
16.2.5 DTC 転送カウンタレジスタ A (CRA)

アドレス (CPUから直接アクセス不可)

- ・ ノーマル転送モード



- ・ リピート転送モード、ブロック転送モード



x : 不定

シンボル	レジスタ名	機能	R/W
CRAL	転送カウンタ A 下位レジスタ	転送回数を設定します	—
CRAH	転送カウンタ A 上位レジスタ		—

注. 転送モードによって機能が異なります。

注. リピート転送モード時およびブロック転送モード時は、CRAH、CRALレジスタには同じ値を設定してください。

CRA レジスタは CPU から直接アクセスすることはできません。

(1) ノーマル転送モードの場合 (MRA.MD[1:0] ビット = 00b)

ノーマル転送モードでは、CRA レジスタは 16 ビットの転送カウンタとして機能します。

転送回数は、設定値が “0001h” のときは 1 回、“FFFFh” のときは 65535 回、“0000h” のときは 65536 回となります。

1 回のデータ転送を行うたびにデクリメント (-1) されます。

(2) リピート転送モードの場合 (MRA.MD[1:0] ビット = 01b)

CRAH レジスタは転送回数を保持し、CRAL レジスタは 8 ビットの転送カウンタとして機能します。

転送回数は、設定値が “01h” のときは 1 回、“FFh” のときは 255 回、“00h” のときは 256 回となります。

CRAL レジスタは 1 回のデータ転送を行うたびにデクリメント (-1) され、“00h” になると CRAH レジスタの値が転送されます。

(3) ブロック転送モードの場合 (MRA.MD[1:0] ビット = 10b)

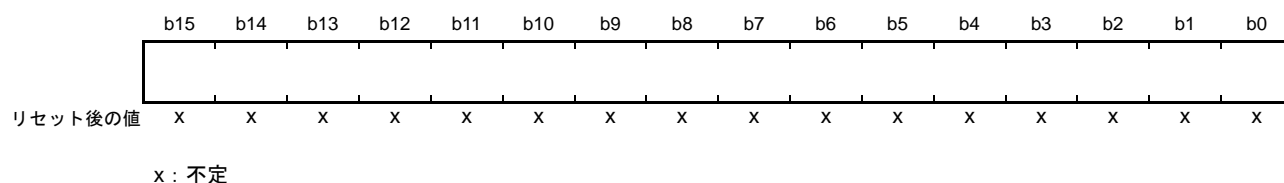
CRAH レジスタはブロックサイズを保持し、CRAL レジスタは 8 ビットのブロックサイズカウンタとして機能します。

転送回数は、設定値が “01h” のときは 1 回、“FFh” のときは 255 回、“00h” のときは 256 回となります。

CRAL レジスタは 1 回のデータ転送を行うたびにデクリメント (-1) され、“00h” になると CRAH レジスタの値が転送されます。

16.2.6 DTC 転送カウントレジスタ B (CRB)

アドレス (CPUから直接アクセス不可)



CRB レジスタは、ブロック転送モード時のブロック転送回数を指定するレジスタです。

転送回数は、設定値が“0001h”のときは1回、“FFFFh”のときは65535回、“0000h”のときは65536回となります。

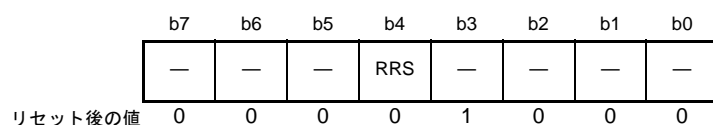
1ブロックサイズの最終データ転送時にデクリメント (-1) されます。

ノーマル転送モードおよびリピート転送モード設定時は、CRB レジスタを使用しません。設定値は無視されます。

CRB レジスタは、CPU から直接アクセスすることはできません。

16.2.7 DTC コントロールレジスタ (DTCCR)

アドレス DTC.DTCCR 0008 2400h



ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	RRS	DTC転送情報リードスキップ許可ビット	0: 転送情報リードスキップを行わない 1: ベクタ番号の値が一致したとき、転送情報リードスキップを行う	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RRS ビット (DTC 転送情報リードスキップ許可ビット)

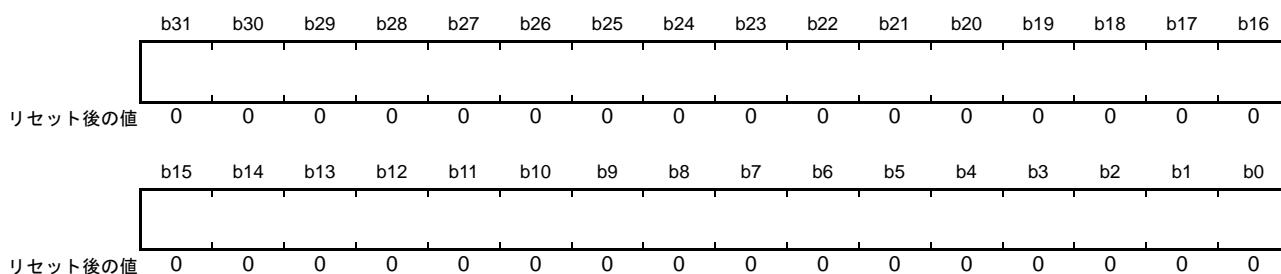
DTC ベクタ番号は、前回起動のベクタ番号と比較されます。

ベクタ番号が一致し RRS ビットが“1”のとき、転送情報リードを行わず DTC のデータ転送を行います。ただし、前回の起動がチェーン転送のときは、RRS ビットの値に関わらず転送情報リードが行われます。

また、前回の転送が、ノーマル転送で転送カウンタ (CRA レジスタ) が“0”になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が“0”になった場合も、RRS ビットの値に関わらず転送情報リードが行われます。

16.2.8 DTC ベクタベースレジスタ (DTCVBR)

アドレス DTC.DTCVBR 0008 2404h

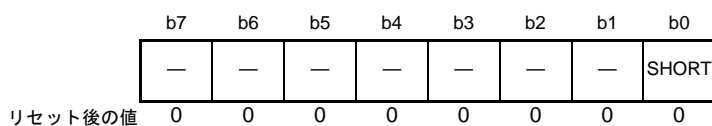


DTCVBR レジスタは、DTC ベクタテーブルアドレス算出時のベースアドレスを設定するレジスタです。上位 4 ビットへの書き込みは無視され、b27 の値が拡張されて設定されます。また、下位 10 ビットは予約ビットで、値は“0”固定です。書く場合、“0”を書いてください。

0000 0000h ~ 07FF FC00h、および F800 0000h ~ FFFF FC00h の範囲で、1K バイト単位で設定可能です。

16.2.9 DTC アドレスモードレジスタ (DTCADM0D)

アドレス DTC.DTCADM0D 0008 2408h



ビット	シンボル	ビット名	機能	R/W
b0	SHORT	ショートアドレスモード設定ビット	0: フルアドレスモード 1: ショートアドレスモード	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCADM0D レジスタは、DTC がアクセス可能な領域を設定するレジスタです。

SHORT ビット (ショートアドレスモード設定ビット)

フルアドレスモードでは、4G バイト空間 (0000 0000h ~ FFFF FFFFh) のアクセスが可能です。

ショートアドレスモードでは、16M バイト空間 (0000 0000h ~ 007F FFFFh と FF80 0000h ~ FFFF FFFFh) のアクセスが可能です。

16.2.10 DTC モジュール起動レジスタ (DTCST)

アドレス DTC.DTCST 0008 240Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTCST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCST	DTCモジュール起動ビット	0 : DTCモジュール停止 1 : DTCモジュール動作	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCST ビット (DTC モジュール起動ビット)

DTC を転送要求受け付け可能とするためには、DTCST ビットを“1”にしてください。DTCST ビットを“0”にすると新たな転送要求を受け付けません。

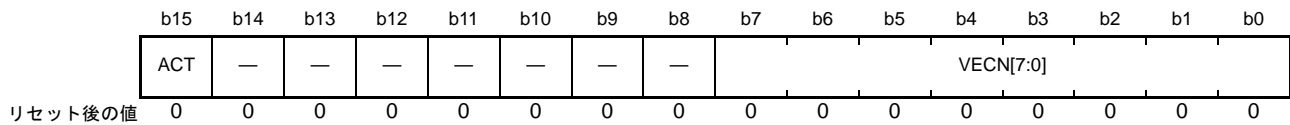
動作中に“0”に書き換えた場合、受け付け済みの転送要求は処理が終わるまで動作します。

モジュールストップ状態、ディープスリープモード、ソフトウェアスタンバイモードへ移行する際は、DTCST ビットを“0”にしてください。

モジュールストップ状態、ディープスリープモード、ソフトウェアスタンバイモードへの移行については「16.8 消費電力低減機能」、および「11. 消費電力低減機能」を参照してください。

16.2.11 DTC ステータスレジスタ (DTCSTS)

アドレス DTC.DTCSTS 0008 240Eh



ビット	シンボル	ビット名	機能	R/W
b7-b0	VECN[7:0]	DTC アクティブベクタ番号モニタビット	DTC 転送動作中にその起動要因をベクタ番号で示します DTC 転送動作中 (ACT フラグが“1”のとき) にのみ有効値を示します	R
b14-b8	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15	ACT	DTC アクティブフラグ	0 : DTC 転送動作なし 1 : DTC 転送動作中	R

VECN[7:0] ビット (DTC アクティブベクタ番号モニタビット)

DTC 転送動作中に、その転送の起動要因をベクタ番号で示します。

DTCSTS レジスタを読んだときに、ACT フラグが“1” (DTC 転送動作中) であれば、読み出された VECN[7:0] ビットの値は有効値を示しています。DTCSTS レジスタを読んだときに ACT フラグが“0” (DTC 転送動作なし) であれば、読み出された VECN[7:0] ビットの値は無効値です。

DTC 起動要因とベクタアドレスの関係は、「14. 割り込みコントローラ (ICUb)」の「14.3.1 割り込みのベクタテーブル」を参照してください。

ACT フラグ (DTC アクティブフラグ)

DTC の転送動作状態を示します。

[“1” になる条件]

- 転送要求に対して DTC が起動したとき

[“0” になる条件]

- 1 回の転送要求に対する DTC 動作が終了したとき

16.3 起動要因

DTCは割り込み要求によって起動します。DTCを起動する割り込みに対応するICU.DTCERn.DTCEビット (n = 割り込みベクタ番号) を“1”にするとDTC起動要因となります。

DTC起動要因とベクタアドレスの関係は、「14. 割り込みコントローラ (ICUb)」の「14.3.1 割り込みのベクタテーブル」を参照してください。また、ソフトウェア起動については、「14. 割り込みコントローラ (ICUb)」の「14.2.5 ソフトウェア割り込み起動レジスタ (SWINTR)」を参照してください。

DTCが一度、転送要求を受け付けると、その1要求分の転送が終わるまでは、優先順位に関わりなく新たな転送要求を受け付けません。DTC転送中に複数の転送要求が発生した場合、その転送が終わった時点で最も優先順位の高い要求が受け付けられます。DTCモジュール起動ビット (DTCST.DTCST) が“0”の状態でも複数の転送要求が発生した場合、その後、DTCST.DTCSTビットを“1”にした時点で最も優先順位の高い要求が受け付けられます。

1回のデータ転送 (チェーン転送の場合、連続した最後の転送) を行うごとに、DTCは以下の動作を行います。

- 指定した総転送数の最終終了時は、データ転送後にICU.DTCERn.DTCEビットを“0”にしてCPUに割り込みを要求します。
- MRB.DISELビットが“1”のときは、データ転送後にCPUに割り込みを要求します。
- 上記のいずれでもない場合は、データ転送開始時に起動要因となった割り込みステータスフラグを“0”にします。

16.3.1 転送情報の配置とDTCベクタテーブル

DTCは起動要因別にDTCベクタテーブルから転送情報の先頭アドレスをリードし、この先頭アドレスから転送情報を読みます。

DTCベクタテーブルは、ベースアドレス (先頭アドレス) の下位10ビットが“0”になるように、1Kバイト境界に配置してください。DTCベクタテーブルのベースアドレスは、DTCベクタベースレジスタ (DTCVBR) に設定してください。

転送情報は、RAM領域に配置します。ベクタ番号 n の転送情報 (n) の先頭アドレスは、ベクタテーブルのベースアドレスに対し、 $+4n$ 番地としてください。

転送情報は、ショートアドレスモード (3ロングワード)、フルアドレスモード (4ロングワード) のいずれかで配置できます。DTCADMOD.SHORTビットで、ショートアドレスモード (SHORTビット=1)、フルアドレスモード (SHORTビット=0) の設定を行います。

DTCベクタテーブルと転送情報の対応を図16.2に示します。

RAM領域上の転送情報の配置を図16.3に示します。配置領域のエンディアンによって下位アドレスが異なります。詳細は、「16.9.2 転送情報の配置」を参照してください。

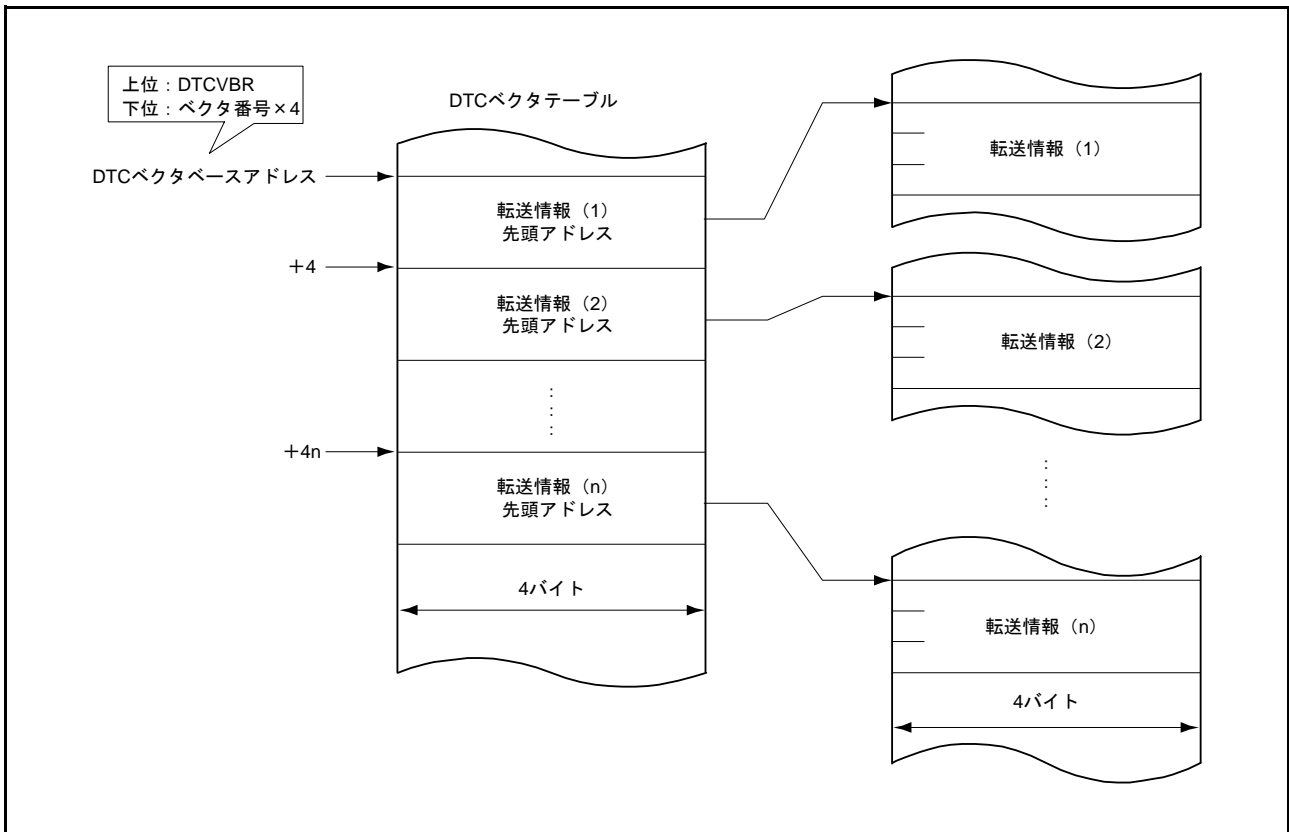


図 16.2 DTC ベクタテーブルと転送情報の対応

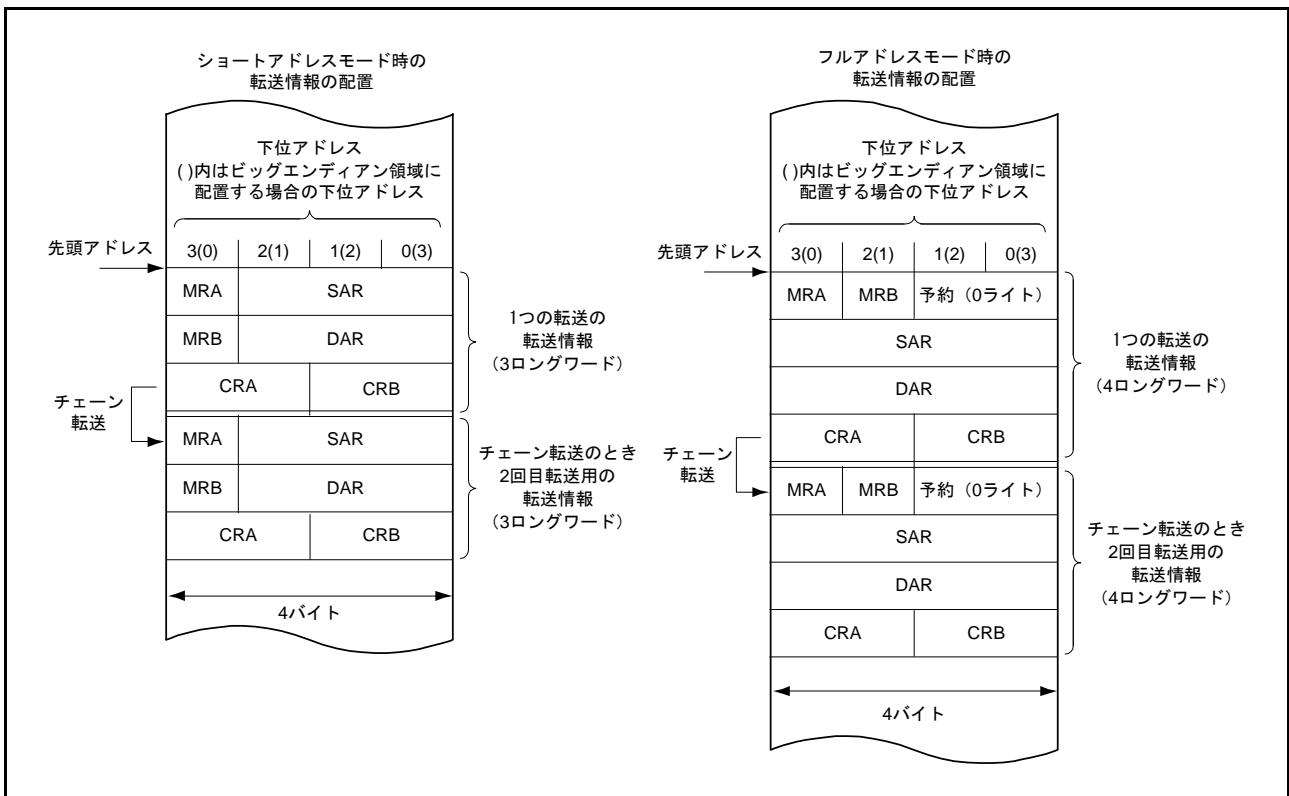


図 16.3 RAM 領域上の転送情報の配置

16.4 動作説明

DTC は、転送情報を元にデータを転送します。DTC を動作させるためには、あらかじめ転送情報を RAM 領域に格納しておく必要があります。

DTC が起動すると、ベクタ番号に対応する DTC ベクタを読みます。次に DTC ベクタが示す転送情報格納アドレスから転送情報を読んでデータ転送を行い、データ転送後の転送情報をライトバックします。転送情報を RAM 領域に格納することで、任意のチャネル数のデータ転送を行うことができます。

転送モードには、ノーマル転送モード、リピート転送モード、ブロック転送モードがあります。

DTC は転送元アドレスを SAR レジスタ、転送先アドレスを DAR レジスタで指定します。SAR レジスタ、DAR レジスタは、転送後個々にインクリメント、デクリメント、あるいはアドレス固定になります。

DTC の転送モードを表 16.2 に示します。

表 16.2 DTC の転送モード

転送モード	1回の転送要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ノーマル転送モード	1バイト/1ワード/1ロングワード	1、2または4増減あるいはアドレス固定	1～65536回
リピート転送モード (注1)	1バイト/1ワード/1ロングワード	1、2または4増減あるいはアドレス固定	1～256回 (注3)
ブロック転送モード (注2)	CRAH レジスタで指定したブロックサイズ (1～256バイト/1～256ワード/1～256ロングワード)	1、2または4増減あるいはアドレス固定	1～65536回

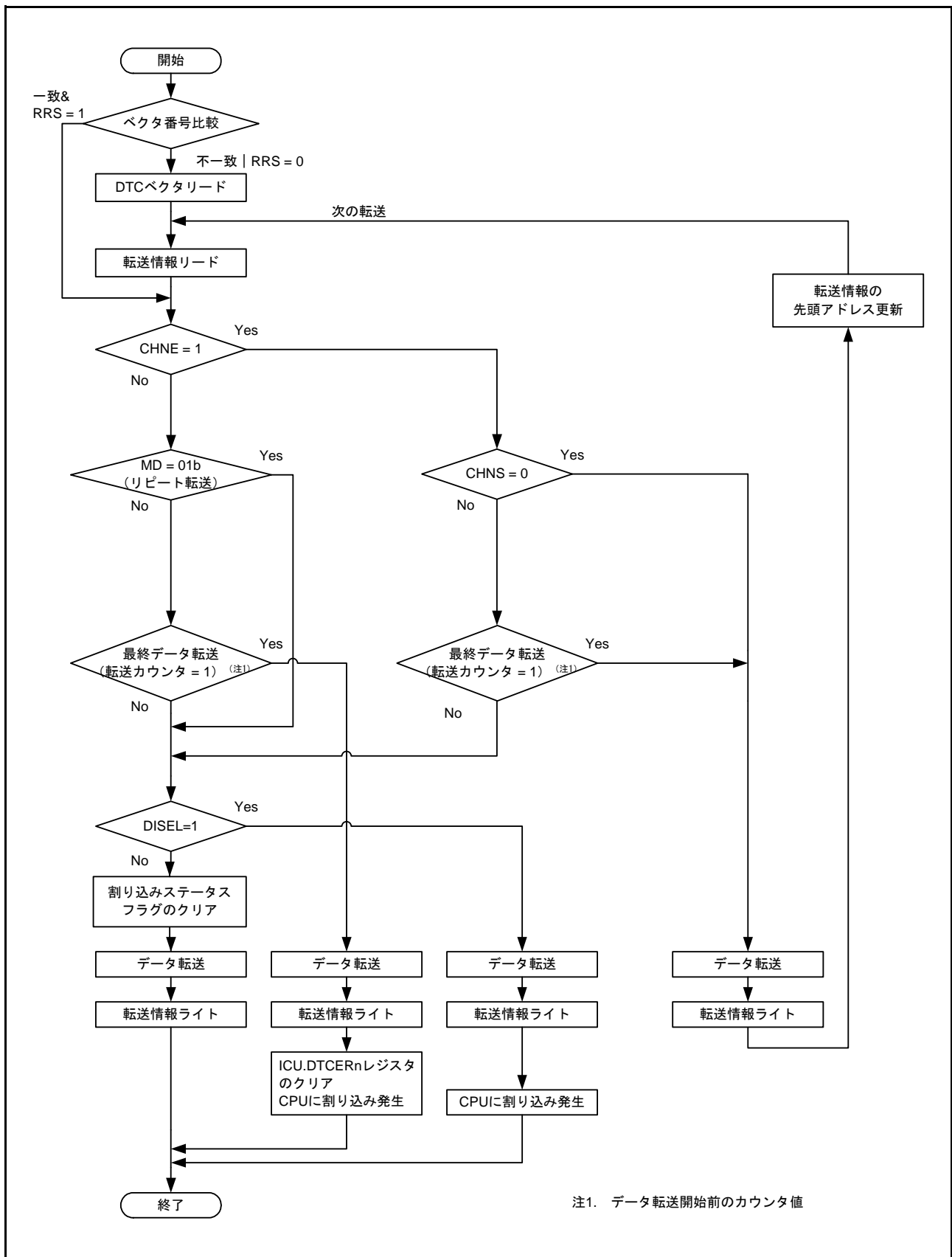
注1. 転送元または転送先のいずれかをリピート領域に設定

注2. 転送元または転送先のいずれかをブロック領域に設定

注3. 指定回数の転送終了後は、初期状態を回復し動作を継続 (リピート) する。

また、MRB.CHNE ビットを“1”にしておくことにより、1回の転送要求で複数の転送を行うことができます (チェーン転送)。MRB.CHNS ビットの設定で、指定されたデータ転送終了時にチェーン転送を行う設定も可能です。

DTC 動作フローチャートを図 16.4 に示します。チェーン転送の条件を表 16.3 に示します。



注1. データ転送開始前のカウンタ値

図 16.4 DTC 動作フローチャート

表 16.3 チェーン転送の条件

第1の転送				第2の転送 (注3)				DTC 転送
CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1、注2)	CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1、注2)	
0	—	0	(1 → 0) 以外	—	—	—	—	第1転送で終了
0	—	0	(1 → 0)	—	—	—	—	第1転送で終了 CPUへ割り込み要求
0	—	1	—	—	—	—	—	
1	0	—	—	0	—	0	(1 → 0) 以外	第2転送で終了
				0	—	0	(1 → 0)	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	
1	1	0	(1 → *) 以外	—	—	—	—	第1転送で終了
1	1	—	(1 → *)	0	—	0	(1 → 0) 以外	第2転送で終了
				0	—	0	(1 → 0)	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	
1	1	1	(1 → *) 以外	—	—	—	—	第1転送で終了 CPUへ割り込み要求

注1. 転送カウンタは各転送モードで異なります。各転送モードでの転送カウンタは以下のとおりです。

ノーマル転送モード：CRAレジスタ、リポート転送モード：CRALレジスタ、ブロック転送モード：CRBレジスタ

注2. 転送終了時のカウンタ動作は、ノーマル転送モード、ブロック転送モードでは(1 → 0)、リポート転送モードでは(1 → CRAH)となります。表中の(1 → *)はこの両方を指しています。

注3. 第2の転送、またはそれ以降の転送でチェーン転送を選択することは可能ですが、第2の転送でCHNEビットが“1”の組み合わせを省略しています。

16.4.1 転送情報リードスキップ機能

DTCCR.RRS ビットの設定で、ベクタアドレスのリードと転送情報のリードをスキップすることができます。

DTC 転送要求時、今回起動の DTC ベクタ番号と前回起動の DTC ベクタ番号が比較されます。比較結果が一致し、DTCCR.RRS ビットが“1”のとき、ベクタアドレスのリードと転送情報のリードを行わず、DTC のデータ転送を行います。前回の起動がチェーン転送のときは、ベクタアドレスのリードと転送情報のリードが行われます。また、前回の転送がノーマル転送で、転送カウンタ (CRA レジスタ) が“0”になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が“0”になった場合も、DTCCR.RRS ビットの値に関わらず転送情報リードが行われます。転送情報リードスキップの動作例を図 16.13 に示します。

DTC ベクタテーブルと転送情報を更新する場合には、一度 DTCCR.RRS ビットを“0”にして、DTC ベクタテーブルと転送情報を更新した後、DTCCR.RRS ビットを設定してください。DTCCR.RRS ビットを“0”にすることによって保持されていたベクタ番号は破棄されます。次の起動時は、更新された DTC ベクタテーブルおよび転送情報がリードされます。

16.4.2 転送情報ライトバックスキップ機能

MRA.SM[1:0] ビット、またはMRB.DM[1:0] ビットをアドレス固定に設定すると、転送情報の一部がライトバックされません。この機能は、ショートアドレスモード、フルアドレスモードの設定にかかわらず行われます。転送情報ライトバックスキップ条件とライトバックスキップされるレジスタを表 16.4 に示します。

なお、CRA レジスタ、CRB レジスタはショートアドレスモード、フルアドレスモードの設定にかかわらずライトバックされます。また、フルアドレスモードでは、MRA レジスタ、MRB レジスタはライトバックスキップされます。

表 16.4 転送情報ライトバックスキップ条件とライトバックスキップされるレジスタ

MRA.SM[1:0]ビット		MRB.DM[1:0]ビット		SARレジスタ	DARレジスタ
b3	b2	b3	b2		
0	0	0	0	スキップ	スキップ
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	スキップ	ライトバック
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	ライトバック	スキップ
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	ライトバック	ライトバック
1	0	1	1		
1	1	1	0		
1	1	1	1		

16.4.3 ノーマル転送モード

1回の転送要求で、1バイト、1ワードまたは1ロングワードの転送を行います。転送回数は1～65536です。

転送元アドレスと転送先アドレスは、インクリメント、デクリメント、または固定にそれぞれ設定できます。指定回数の転送が終了すると、CPUへの割り込み要求を発生させることができます。

ノーマル転送モードのレジスタ機能を表16.5に、ノーマル転送モードのメモリマップを図16.5に示します。

表16.5 ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするときに書き戻される値
SAR	転送元アドレス	インクリメント/デクリメント/固定 (注1)
DAR	転送先アドレス	インクリメント/デクリメント/固定 (注1)
CRA	転送カウンタA	CRA - 1
CRB	転送カウンタB	更新されない

注1. アドレス固定のときは、ライトバックはスキップされます。

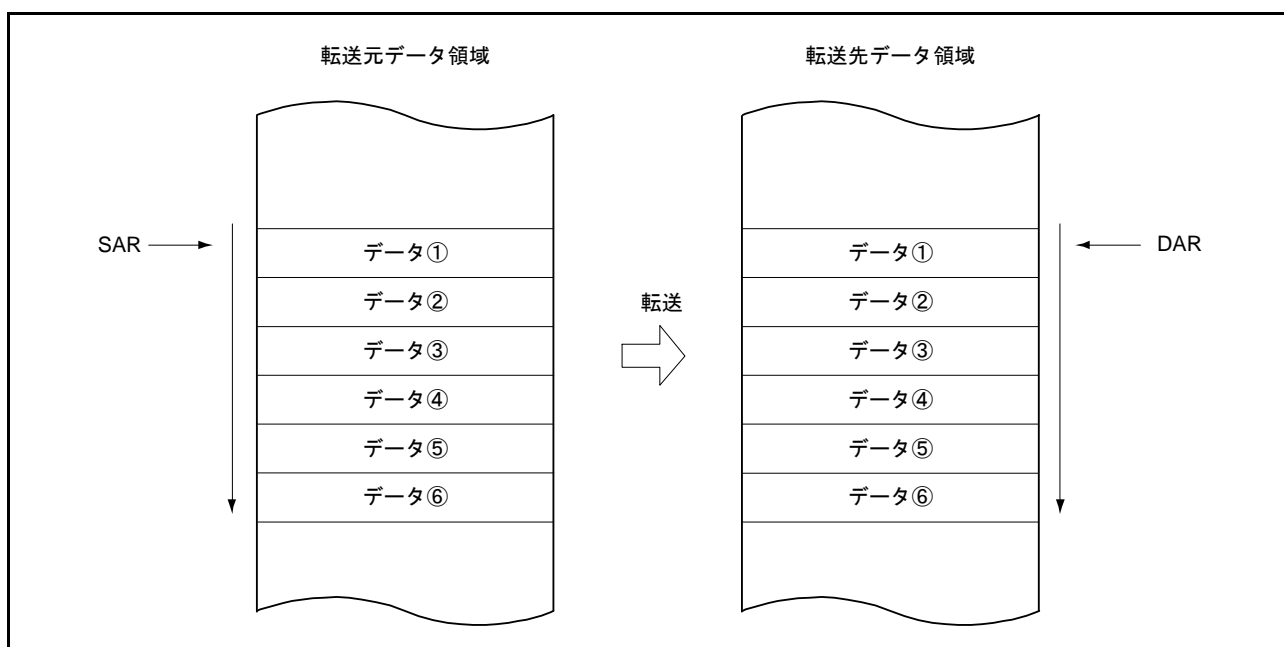


図16.5 ノーマル転送モードのメモリマップ

16.4.4 リピート転送モード

1回の転送要求で、1バイト、1ワードまたは1ロングワードの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をリピート領域に指定します。転送回数は1～256まで指定可能で、指定回数の転送が終了すると、転送カウンタおよびリピート領域に設定した方のアドレスレジスタは初期状態を回復し、転送を繰り返します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいはアドレス固定になります。

リピート転送モードでは、転送カウンタ CRAL レジスタが“00h”になると、CRAL レジスタの値は CRAH レジスタで設定した値に更新されます。このため、転送カウンタは“00h”にならないので、MRB.DISEL ビットが“0”（指定されたデータ転送終了時、CPU への割り込みが発生）のときに CPU への割り込み要求は発生しません。

リピート転送モードのレジスタ機能を表 16.6 に、リピート転送モードのメモリマップを図 16.6 に示します。

表 16.6 リピート転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするとき書き戻される値	
		CRALが1以外するとき	CRALが1のとき
SAR	転送元アドレス	インクリメント/デクリメント/固定 (注1)	(MRB.DTSビット=0のとき) インクリメント/デクリメント/固定 (注1) (MRB.DTSビット=1のとき) SARレジスタの初期値
DAR	転送先アドレス	インクリメント/デクリメント/固定 (注1)	(MRB.DTSビット=0のとき) DARレジスタの初期値 (MRB.DTSビット=1のとき) インクリメント/デクリメント/固定 (注1)
CRAH	転送カウンタ保持	CRAH	CRAH
CRAL	転送カウンタ A	CRAL - 1	CRAH
CRB	転送カウンタ B	更新されない	更新されない

注1. アドレス固定のときは、ライトバックはスキップされます。

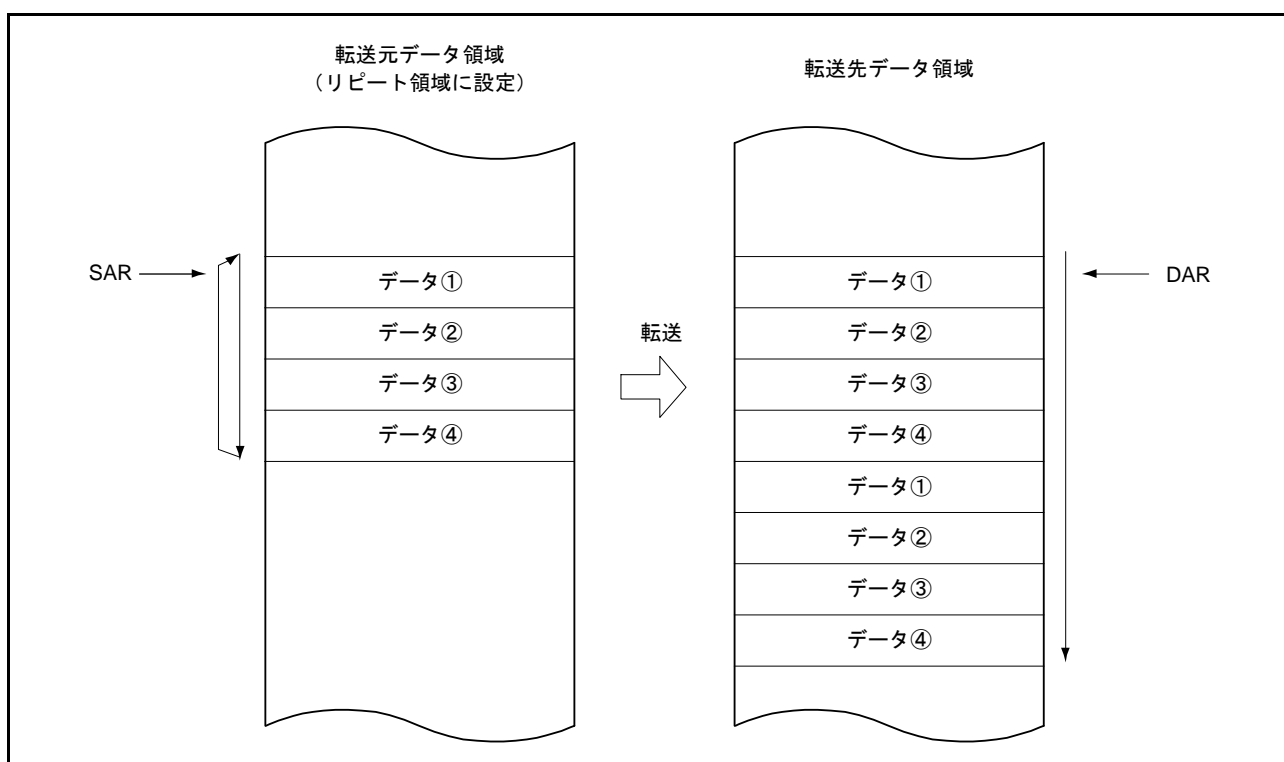


図 16.6 リピート転送モードのメモリマップ（転送元をリピート領域に設定した場合）

16.4.5 ブロック転送モード

1回の転送要求で、1ブロックの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をブロック領域に指定します。ブロックサイズは1～256バイト、1～256ワードまたは1～256ロングワードの指定が可能です。

指定された1ブロックの転送が終了すると、ブロックサイズカウンタ CRAL レジスタと、ブロック領域に指定したアドレスレジスタ (MRB.DTS ビットが“1”のとき SAR レジスタ、DTS ビットが“0”のとき DAR レジスタ) の初期状態が回復します。他方のアドレスレジスタは、連続してインクリメント、またはデクリメント、あるいはアドレス固定になります。

転送回数 (ブロック回数) は、1～65536まで指定可能です。指定回数のブロック転送が終了すると、CPU への割り込みを発生させることができます。

ブロック転送モードのレジスタ機能を表 16.7 に、ブロック転送モードのメモリマップを図 16.7 に示します。

表 16.7 ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするときに書き戻される値
SAR	転送元アドレス	(MRB.DTS ビット=0のとき) インクリメント/デクリメント/固定 (注1) (MRB.DTS ビット=1のとき) SAR レジスタの初期値
DAR	転送先アドレス	(MRB.DTS ビット=0のとき) DAR レジスタの初期値 (MRB.DTS ビット=1のとき) インクリメント/デクリメント/固定 (注1)
CRAH	ブロックサイズ保持	CRAH
CRAL	ブロックサイズカウンタ	CRAH
CRB	ブロック転送回数カウンタ	CRB - 1

注1. アドレス固定のときは、ライトバックはスキップされます。

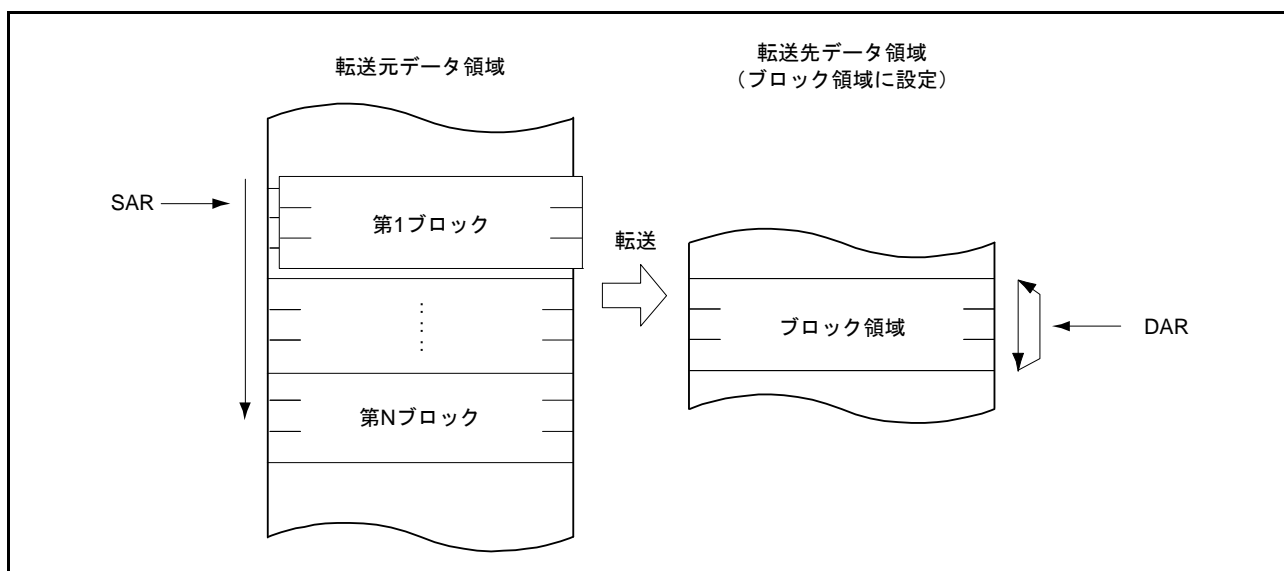


図 16.7 ブロック転送モードのメモリマップ (転送先をブロック領域に指定した場合)

16.4.6 チェーン転送

MRB.CHNE ビットを“1”にするとチェーン転送ができます。チェーン転送は、1回の転送要求で複数のデータ転送を行います。

MRB.CHNE ビットを“1”、MRB.CHNS ビットを“0”にした場合、指定した転送回数の終了による CPU への割り込み要求や、MRB.DISEL ビット = 1 (DTC データ転送のたびに、CPU に割り込み要求を発生) による CPU への割り込み要求は発生しません。また、起動要因となった割り込みステータスフラグに影響を与えません。

データ転送を定義する SAR、DAR、CRA、CRB、および MRA、MRB レジスタはそれぞれ個別に設定できます。図 16.8 にチェーン転送の動作を示します。

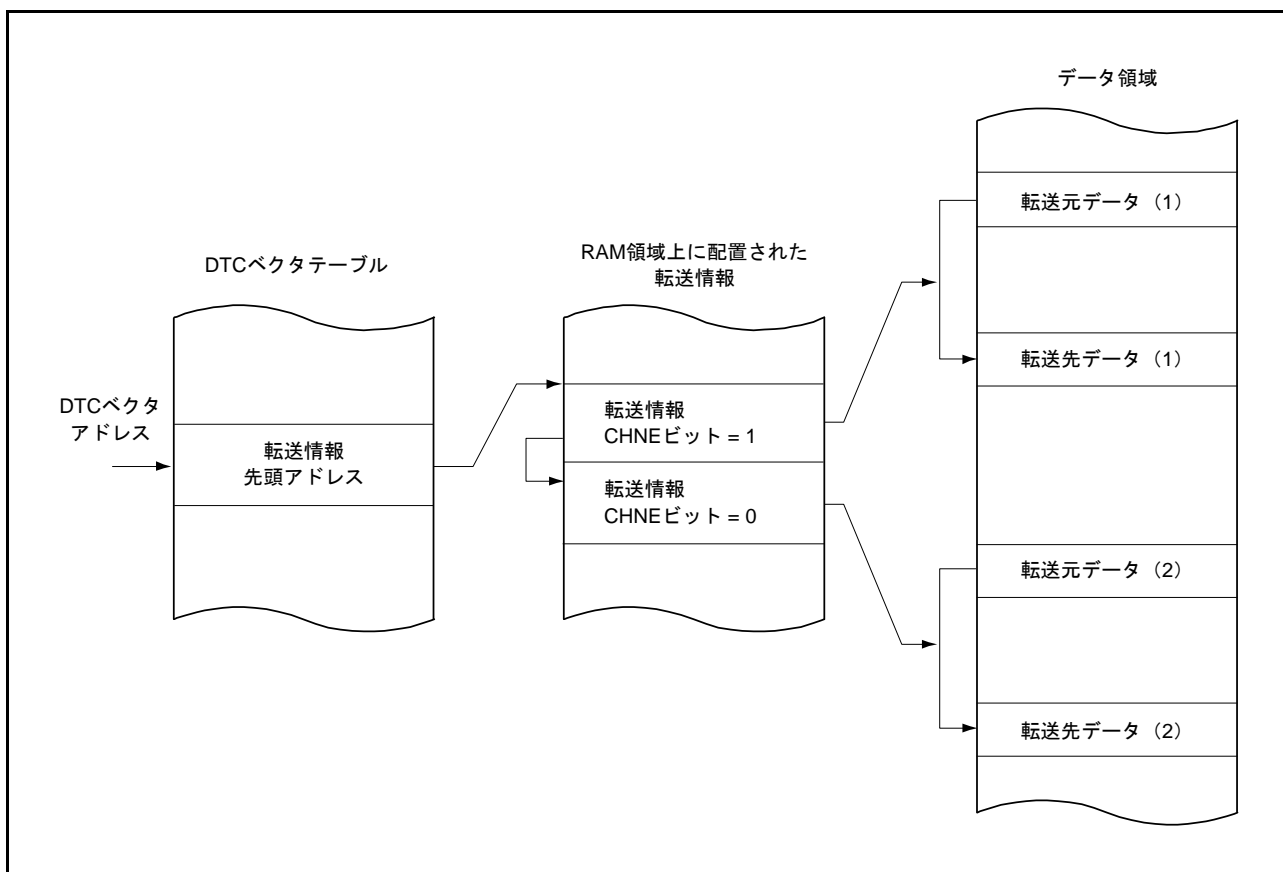


図 16.8 チェーン転送の動作

MRB.CHNE ビットを“1”、MRB.CHNS ビットを“1”にした場合、指定されたデータ転送終了時のみチェーン転送を行います。リピート転送モードでも、指定されたデータ転送終了時にチェーン転送を行います。

チェーン転送の条件の詳細については、表 16.3 のチェーン転送の条件を参照してください。

16.4.7 動作タイミング

DTC の動作タイミングの例を図 16.9 ~ 図 16.13 に示します。

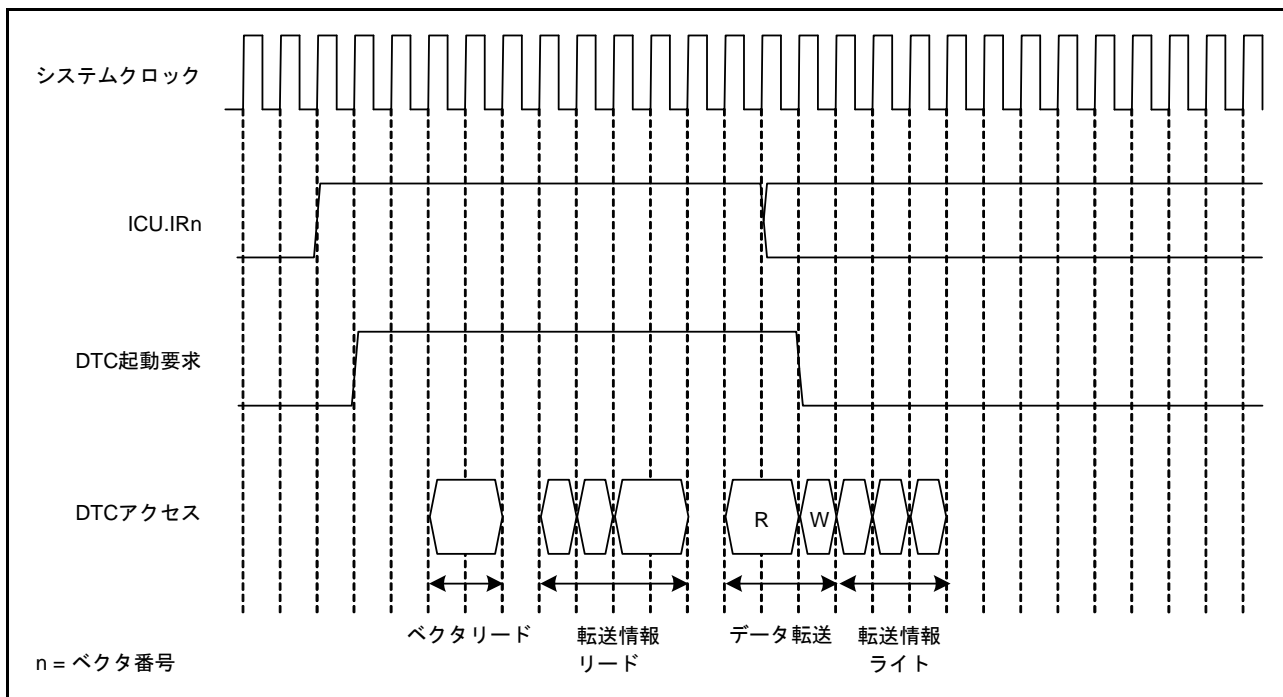


図 16.9 DTC 動作タイミング例 (1)
(ショートアドレスモード、ノーマル転送モード、リピート転送モードの場合)

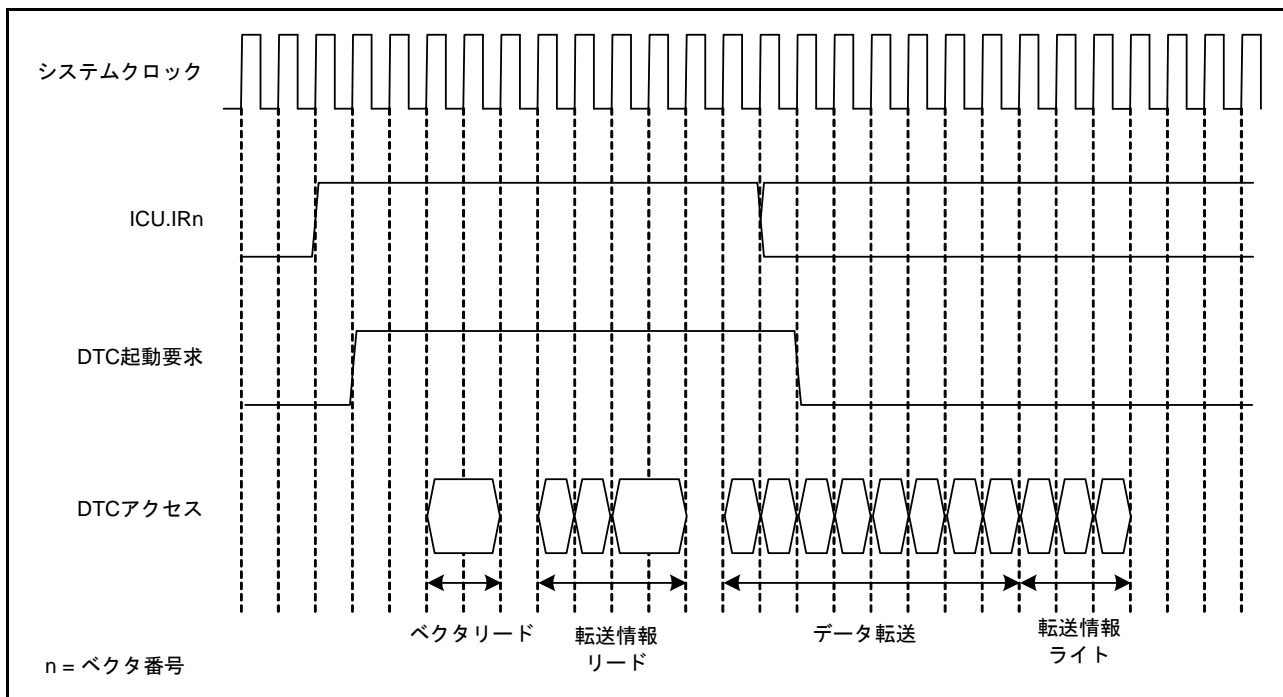


図 16.10 DTC 動作タイミング例 (2)
(ショートアドレスモード、ブロック転送モード、ブロックサイズ = 4 の場合)

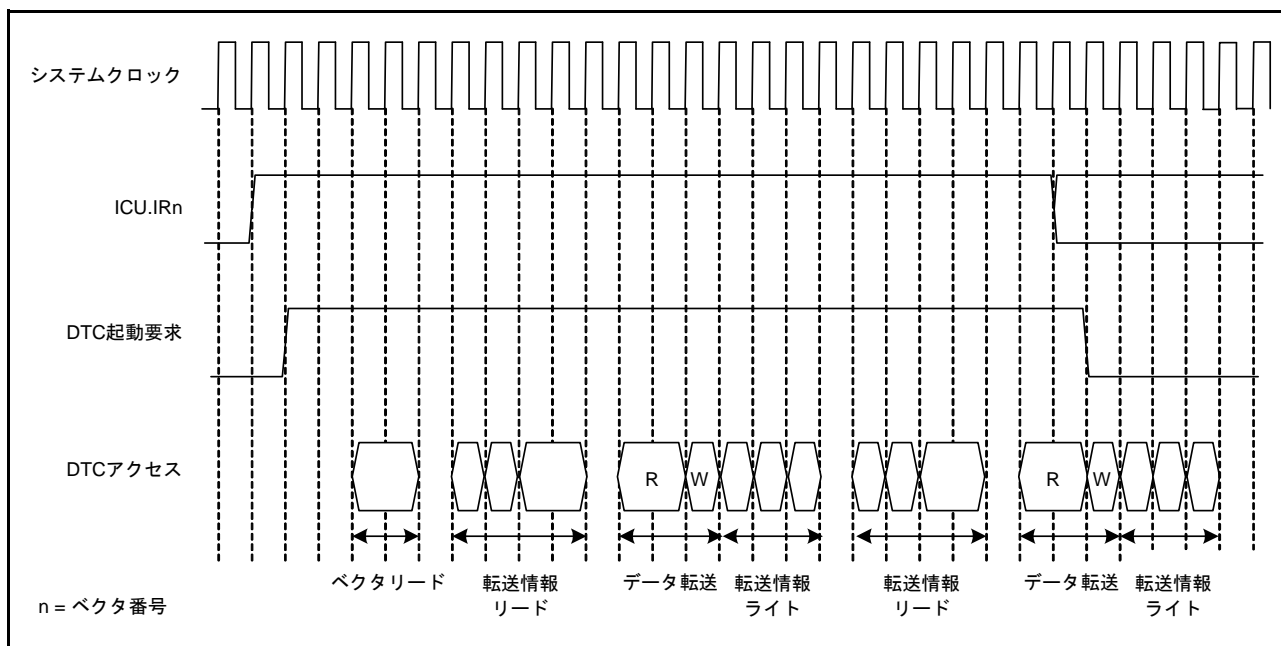


図 16.11 DTC 動作タイミング例 (3) (ショートアドレスモード、チェーン転送の場合)

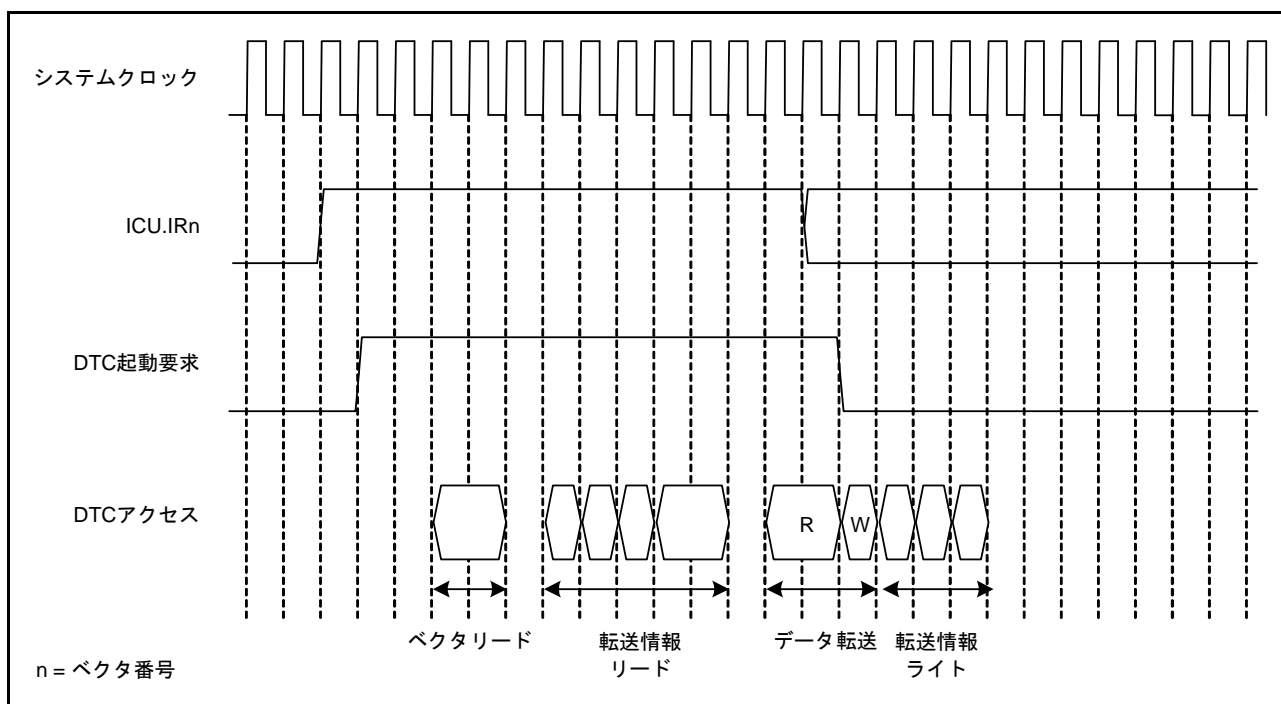


図 16.12 DTC 動作タイミング例 (4)
(フルアドレスモード、ノーマル転送モード、リピート転送モードの場合)

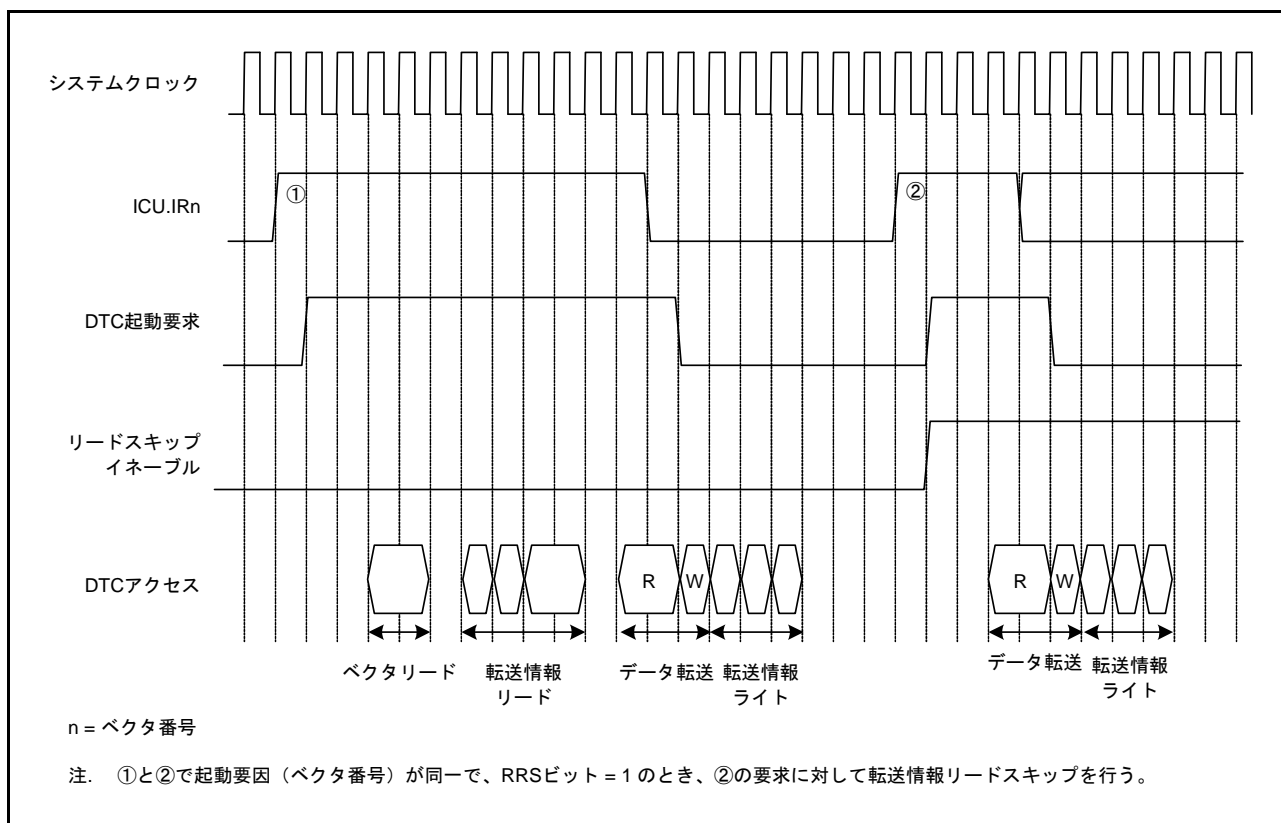


図 16.13 転送情報リードスキップ時の動作例
 (ベクタ、転送情報、転送先が RAM、転送元は周辺モジュールの場合)

16.4.8 DTC の実行サイクル

DTC の 1 回のデータ転送の実行サイクルを表 16.8 に示します。

各処理状態の実施順序は、「16.4.7 動作タイミング」を参照してください。

表 16.8 DTC の実行サイクル

転送モード	ベクタリード		転送情報リード			転送情報ライト			データ転送		内部動作	
									リード	ライト		
ノーマル	Cv + 1	0 (注 1)	4 × Ci + 1 (注 2)	3 × Ci + 1 (注 3)	0 (注 1)	3 × Ci (注 4)	2 × Ci (注 5)	Ci (注 6)	Cr + 1	Cw	2	0 (注 1)
リピート									Cr + 1	Cw		
ブロック (注 7)									P × Cr	P × Cw		

注 1. 転送情報リードスキップのとき

注 2. フルアドレスモード動作のとき

注 3. ショートアドレスモード動作のとき

注 4. SAR レジスタ、DAR レジスタがともにアドレス固定でないとき

注 5. SAR レジスタ、または DAR レジスタがアドレス固定のとき

注 6. SAR レジスタと DAR レジスタがともにアドレス固定のとき

注 7. ブロックサイズが 2 以上の場合です。ブロックサイズが 1 の場合は、ノーマル転送のサイクル数となります。

P : ブロックサイズ (CRAH、CRAL レジスタの設定値)

Cv : ベクタ転送情報格納先アクセスサイクル

Ci : 転送情報格納先アドレスアクセスサイクル

Cr : データリード先アクセスサイクル

Cw : データライト先アクセスサイクル

(ベクタリード、転送情報リード、データ転送リードの「+1」、内部動作の「2」の単位はいずれもシステムクロック (ICLK) です。)

(Cv、Ci、Cr、Cw はアクセス先で異なります。アクセス先ごとのサイクル数は、「30. RAM」、「31. フラッシュメモリ」、「5. I/O レジスタ」を参照してください。)

16.4.9 DTC のバス権解放タイミング

DTC は、転送情報リード中と転送情報ライト中にはバス権を解放しません。その他のタイミングでは、バスマスタ調停部で決められた優先順位によってバス調停が行われます。

バス調停については、「15. バス」を参照してください。

16.5 DTC の設定手順

DTC を使用する前に、DTC ベクタベースレジスタ (DTCVBR) を設定してください。

図 16.14 に DTC の起動に必要な設定手順を示します。

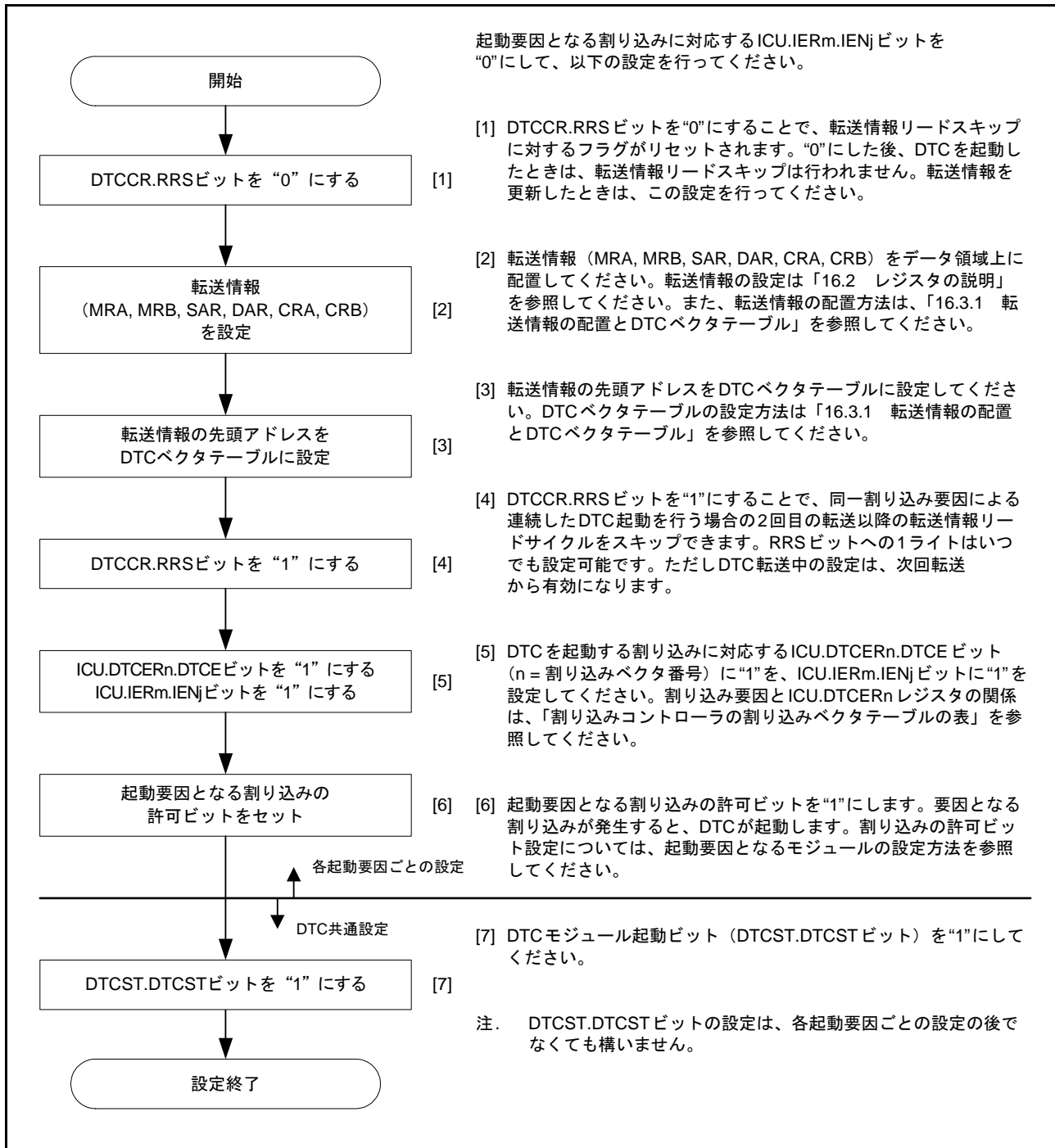


図 16.14 DTC の設定手順

16.6 DTC 使用例

16.6.1 ノーマル転送

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

(1) 転送情報の設定

MRA レジスタに、転送元アドレス固定 (MRA.SM[1:0] ビット = 00b)、ノーマル転送モード (MRA.MD[1:0] ビット = 00b)、バイトサイズ (MRA.SZ[1:0] ビット = 00b) を設定します。MRB レジスタは、転送先アドレスインクリメント (MRB.DM[1:0] ビット = 10b)、1 回の割り込みで 1 回のデータ転送 (MRB.CHNE ビット = 0、MRB.DISEL ビット = 0) を設定します。MRB.DTS ビットは、任意の値とすることができます。SAR レジスタには SCI の RDR レジスタのアドレス、DAR レジスタにはデータを格納する RAM の先頭アドレス、CRA レジスタには 128 (“0080h”) を設定します。CRB レジスタは、任意の値とすることができます。

(2) DTC ベクタテーブルの設定

受信完了割り込み (RXI) 用の転送情報の先頭アドレスを、DTC ベクタテーブルに設定します。

(3) ICU の設定と DTC モジュール起動

対応する ICU.DTCERn.DTCE ビットを “1” に、ICU.IERi.IENj ビットを “1” にします。DTCST.DTCST ビットを “1” にします。

(4) SCI の設定

SCI の SCR.RIE ビットを “1” にして、RXI 割り込みを許可します。なお、SCI の受信動作中に受信エラーが発生すると以後の受信が行われませんので、CPU が受信エラー割り込みを受け付けられるようにしてください。

(5) DTC 転送

SCI の 1 バイトのデータ受信が完了するごとに RXI 割り込みが発生し、DTC が起動されます。DTC によって、受信データが SCI の RDR レジスタから RAM へ転送され、DAR レジスタのインクリメント、CRA レジスタのデクリメントを行います。

(6) 割り込み処理

128 回のデータ転送終了後、CRA レジスタが “0” になると、CPU に RXI 割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

16.6.2 カウンタ = 0 のときのチェーン転送

第1のデータ転送の転送カウンタが“0”になったときのみ第2のデータ転送を行い、第2の転送において第1のデータ転送情報を変更します。このチェーン転送を繰り返すことで、転送回数が256回以上のリピート転送を行うことができます。

128Kバイトの入力バッファを構成する例を示します。ただし、入力バッファは下位アドレス“0000h”から始まるように設定するものとします。カウンタ=0のときのチェーン転送を図16.15に示します。

- (1) 第1のデータ転送として、入力データ用のノーマル転送モードを設定します。転送元アドレスは固定、CRAレジスタ=0000h (65536回)、MRB.CHNEビット=1 (チェーン転送許可)、MRB.CHNSビット=1 (転送カウンタ=0のときのみチェーン転送を行う)、MRB.DISELビット=0 (指定されたデータ転送終了時、CPUへの割り込みが発生)としてください。
- (2) 第1のデータ転送の転送先アドレスの65536回ごとの先頭アドレスの上位8ビットアドレスを別の領域 (ROMなど) に用意してください。たとえば、入力バッファを“20 0000h”～“21 FFFFh”とするときには、“21h”、“20h”を用意します。
- (3) 第2のデータ転送として、第1のデータ転送の転送先アドレス再設定用のリピート転送モード (転送元をリピート領域) とします。転送先は第1の転送情報領域のDARレジスタの上位8ビットとします。このときMRB.CHNEビット=0 (チェーン転送禁止)、MRB.DISELビット=0 (指定されたデータ転送終了時、CPUへの割り込みが発生)としてください。上記入力バッファを“20 0000h”～“21 FFFFh”とする場合には、転送カウンタ=2としてください。
- (4) 割り込みによって第1のデータ転送を65536回実行します。第1のデータ転送の転送カウンタが“0”になると、第2のデータ転送が開始します。第1のデータ転送の転送元アドレス上位8ビットを“21h”にします。第1のデータ転送の転送先アドレス下位16ビットの転送カウンタは、“0000h”になっています。
- (5) 引き続き割り込みによって第1のデータ転送を、第1のデータ転送で指定した65536回実行します。第1のデータ転送の転送カウンタが“0”になると、第2のデータ転送が開始します。第1のデータ転送の転送元アドレス上位8ビットを“20h”にします。第1のデータ転送の転送先アドレス下位16ビットの転送カウンタは“0000h”になっています。
- (6) 上記(4)、(5)を無限に繰り返します。第2のデータ転送がリピート転送モードのため、CPUには割り込みを要求しません。

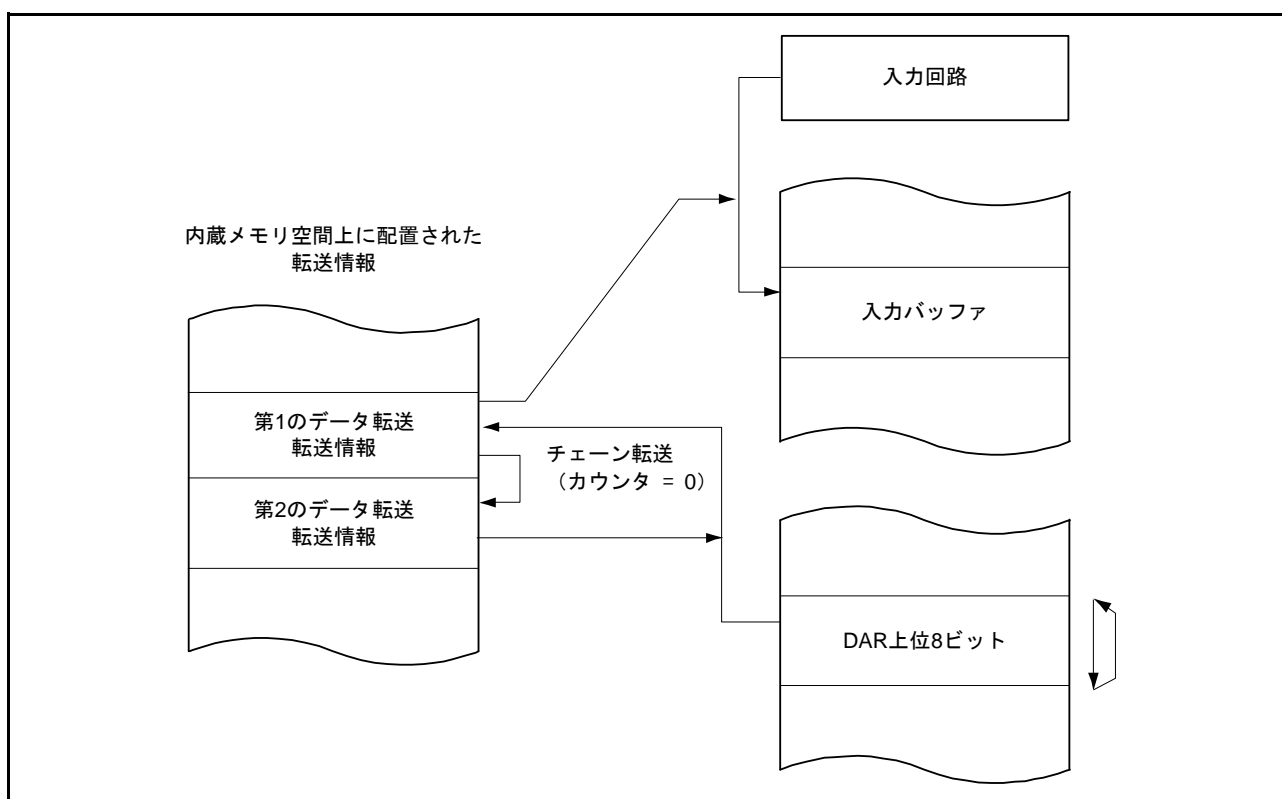


図 16.15 カウンタ = 0 のときのチェーン転送

16.7 割り込み要因

DTC が指定された回数 of データ転送を終了したとき、および MRB.DISEL ビットが “1” (DTC データ転送のたびに、CPU への割り込みが発生) のデータ転送が終了したとき、DTC を起動した割り込み要因で CPU に対して割り込みが発生します。これらの CPU に対する割り込みは、CPU の PSW.I ビット (割り込み許可ビット)、PSW.IPL[3:0] ビット (プロセッサ割り込み優先レベル)、および割り込みコントローラの優先順位の制御を受けます。

16.8 消費電力低減機能

モジュールストップ状態、ディープスリープモード、ソフトウェアスタンバイモードへ移行する際は、DTCST.DTCST ビットに“0” (DTC モジュール停止) を書いた後、それぞれ以下の処理をしてください。

(1) モジュールストップ機能

MSTPCRA.MSTPA28 ビットに“1” (モジュールストップ状態への遷移) を書くことによって、DTC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA28 ビットに“1” を書いたときに DTC が転送動作中の場合、DTC 転送終了後にモジュールストップ状態に遷移します。

MSTPCRA.MSTPA28 ビットが“1” のとき、DTC のレジスタにアクセスしないでください。

MSTPCRA.MSTPA28 ビットに“0” (モジュールストップ状態の解除) を書くことにより、DTC のモジュールストップが解除されます。

(2) ディープスリープモード

「11. 消費電力低減機能」の「11.6.2.1 ディープスリープモードへの遷移」の手順に従って設定してください。

WAIT 命令実行時点で DTC が転送動作中の場合、DTC 転送終了後にディープスリープモードに移行します。

ディープスリープモードから復帰後、MSTPCRA.MSTPA28 ビットに“0” を書くことにより、DTC のモジュールストップが解除されます。

(3) ソフトウェアスタンバイモード

「11. 消費電力低減機能」の「11.6.3.1 ソフトウェアスタンバイモードへの移行」の手順に従って設定してください。

WAIT 命令実行時点で DTC が転送動作中の場合、DTC 転送終了後にソフトウェアスタンバイモードに移行します。

(4) 消費電力低減機能における注意事項

WAIT 命令とレジスタ設定順については、「11. 消費電力低減機能」の「11.7.5 WAIT 命令の実行タイミング」を参照してください。

低消費電力モードから復帰後、DTC 転送を行うには、再度 DTCST.DTCST ビットに“1” を書いてください。

ディープスリープモード期間、ソフトウェアスタンバイモード期間に発生した要求を DTC 起動でなく CPU 割り込みとする場合は、「14. 割り込みコントローラ (ICUb)」の「14.4.3 割り込み要求先の選択」の設定方法にそって、割り込み要求先を CPU に切り替えてから WAIT 命令を実行してください。

16.9 使用上の注意事項

16.9.1 転送情報先頭アドレス

ベクタテーブルに指定する転送情報の先頭アドレスは、 $4n$ 番地を指定してください。 $4n$ 番地以外を指定すると、アドレスの最下位2ビットは“00b”としてアクセスします。

16.9.2 転送情報の配置

転送情報をメモリに配置するときには、配置する領域のエンディアンによって、図 16.16 に示すとおり配置してください。

たとえば、CRA、CRB 設定データを 16 ビットで書く場合、ビッグエンディアンの場合は下位アドレス 0 に CRA 設定データ、下位アドレス 2 に CRB 設定データを書いてください。リトルエンディアンの場合は下位アドレス 0 に CRB 設定データ、下位アドレス 2 に CRA 設定データを書いてください。32 ビットで書く場合は、エンディアンにかかわらず 32 ビットの MSB 側に CRA 設定データ、LSB 側に CRB 設定データを配置して下位アドレス 0 に書いてください。

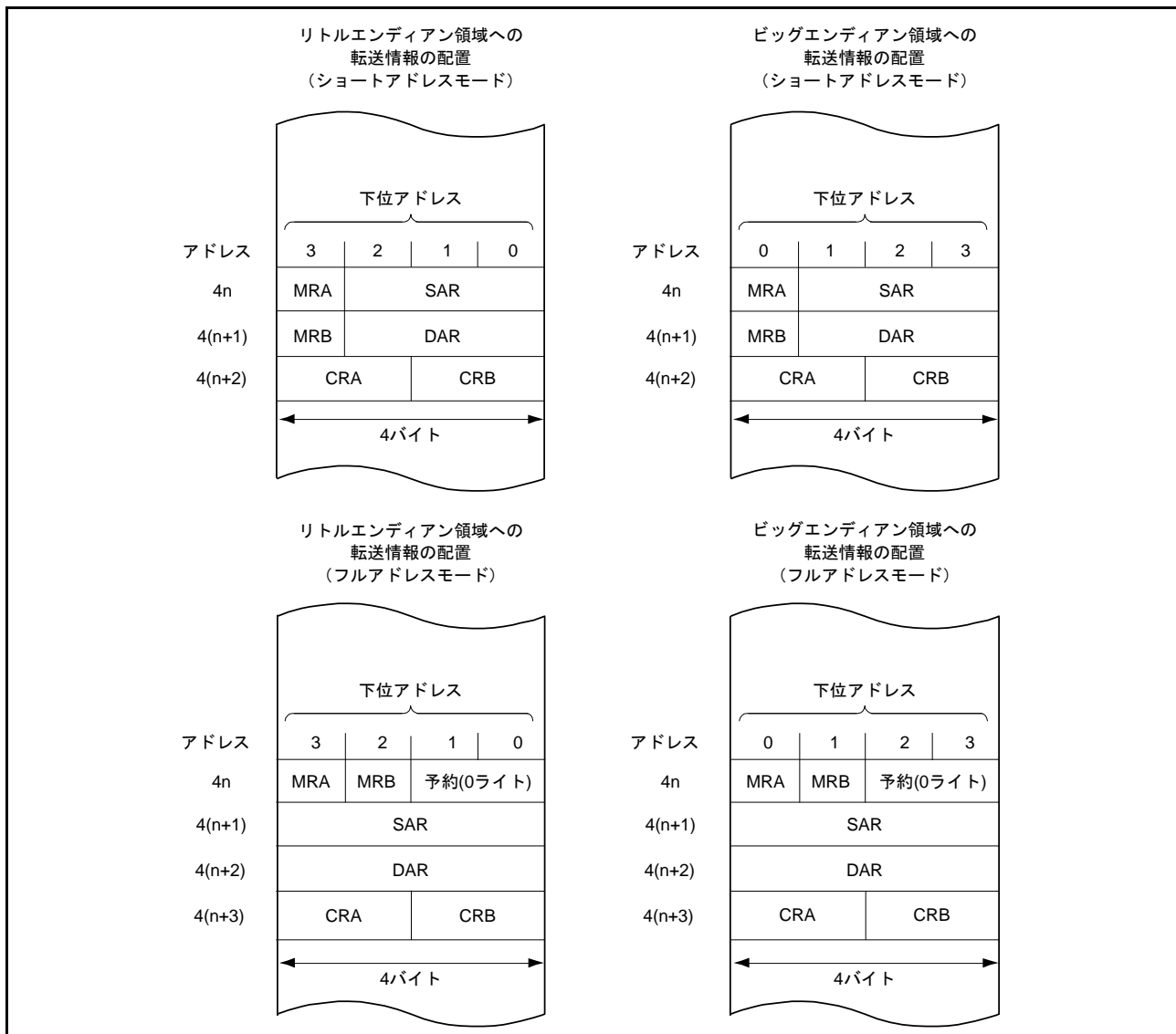


図 16.16 転送情報の配置

17. I/Oポート

17.1 概要

I/Oポートは、汎用入出力ポートと周辺機能の入出力、または割り込み入力端子として機能します。

各ポートは、周辺モジュールの入出力端子や、割り込み入力端子と兼用となっています。リセット直後は入力ポートになっていますが、レジスタの設定により機能が切り替わります。各ポートの設定は、I/Oポートのレジスタ、および内蔵周辺モジュールのレジスタの設定によって決まります。

各ポートは、入力/出力を指定するポート方向レジスタ (PDR)、出力データを格納するポート出力データレジスタ (PODR)、端子の状態を反映するポート入力データレジスタ (PIDR)、端子の出力形態を選択するオープンドレイン制御レジスタ y (ODR y) ($y=0, 1$)、入力プルアップMOSのオン/オフを制御するプルアップ制御レジスタ (PCR)、機能端子を指定するポートモードレジスタ (PMR) を備えています。PMRレジスタの詳細については、「18. マルチファンクションピンコントローラ (MPC)」を参照してください。

また、64ピンパッケージ製品と48ピンパッケージ製品にはそれぞれ、一部端子の汎用入出力機能を切り替えてPORTCを8ビットのポートとして使用することが可能なポート切り替えレジスタA (PSRA)、ポート切り替えレジスタB (PSRB) を備えています。

パッケージによって、I/Oポートの構成が異なります。表17.1にI/Oポートの仕様を、表17.2にI/Oポートの機能を示します。

表17.1 I/Oポートの仕様

ポート シンボル	パッケージ		パッケージ		パッケージ		パッケージ				
	64ピン	本数	48ピン	本数	40ピン	本数	36ピン	本数			
PORT0	P03、P05	2	なし	0	なし	0	なし	0			
PORT1	P14～P17	4	P14～P17	4	P14～P17	4	P14～P17	4			
PORT2	P26、P27	2	P26、P27	2	P26、P27	2	P27	1			
PORT3	P30～P32、P35	4	P35	1	P32、P35	2	P35	1			
PORT4	P40～P44、P46	6	P40～P42、P46	4	P41、P42、P46	3	P41、P42	2			
PORT5	P54、P55	2	なし	0	なし	0	なし	0			
PORTA	PA0、PA1、PA3、 PA4、PA6	5	PA1、PA3、PA4、 PA6	4	PA1、PA3、PA4、 PA6	4	PA3、PA4、PA6	3			
PORTB	PB0、PB1、PB3、 PB5～PB7	6	PB0、PB1、PB3、 PB5	4	PB0、PB3	2	PB0、PB3	2			
PORTC	PC2～PC7 (注1)	6	PC4～PC7 (注2)	4	PC4	1	PC4	1			
PORTE	PE0～PE7	8	PE0～PE4、PE7	6	PE0～PE4	5	PE0～PE4	5			
PORTH	PH0～PH3	4	PH0～PH3	4	PH0～PH3	4	PH0～PH3	4			
PORTH	PH7	1	PH7	1	なし	0	なし	0			
PORTJ	PJ6、PJ7	2	PJ6、PJ7	2	PJ6、PJ7	2	PJ6、PJ7	2			
ポートの合計数		52	ポートの合計数		36	ポートの合計数		29	ポートの合計数		25

注1. 64ピンパッケージ製品では、ポート切り替えレジスタ (PSRA) で、PB6とPC0、PB7とPC1が切り替え可能です。

注2. 48ピンパッケージ製品では、ポート切り替えレジスタ (PSRB) で、PB0とPC0、PB1とPC1、PB3とPC2、PB5とPC3が切り替え可能です。

表 17.2 I/Oポートの機能

ポートシンボル	ポートレジスタ	入力プルアップ機能	オープンドレイン出力機能	5Vトレラント	入出レベル
PORT0	P03、P05	○	—	—	VCC
PORT1	P14、P15	○	○	—	
	P16、P17	○	○	○	
PORT2	P26、P27	○	○	—	
PORT3	P30～P32	○	○	—	
	P35	—	—	—	
PORT4	P40～P44、P46	—	—	—	AVCC0
PORT5	P54、P55	○	—	—	VCC
PORTA	PA0、PA1、PA3、PA4	○	○	—	
	PA6	○	○	○	
PORTB	PB1、PB3、PB5～PB7	○	○	—	
	PB0	○	○	○	
PORTC	PC0～PC7	○	○	—	
PORTE	PE0～PE7	○	○	—	
PORTH	PH0～PH3	○	—	—	
	PH7	—	—	—	
PORTJ	PJ6、PJ7	—	—	—	

入力プルアップ機能、オープンドレイン出力機能、5Vトレラントの設定は、汎用入出力ポートと端子を共有している他の信号に対しても有効です。

17.2 入出力ポートの構成

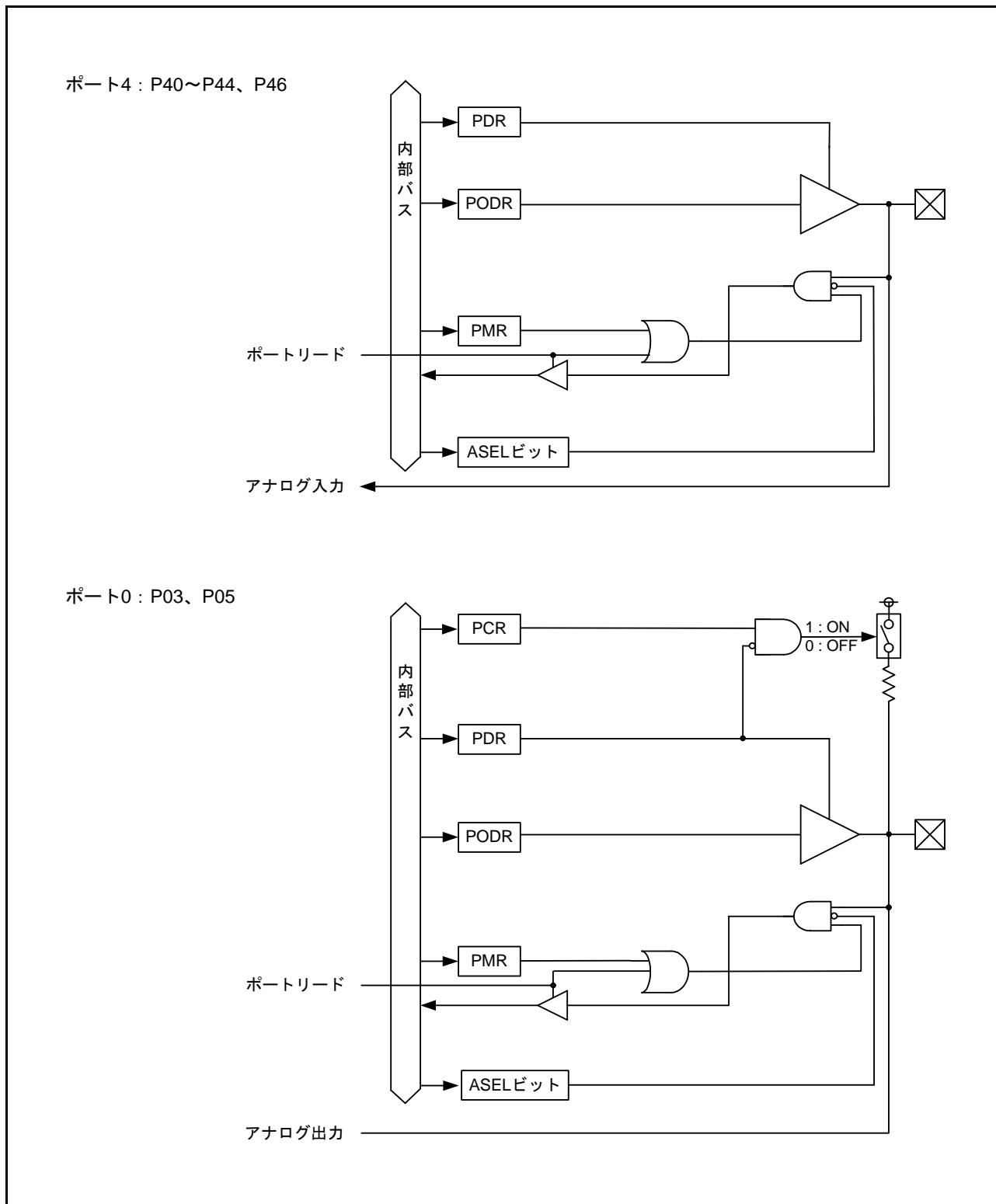


図 17.1 入出力ポートの構成 (1)

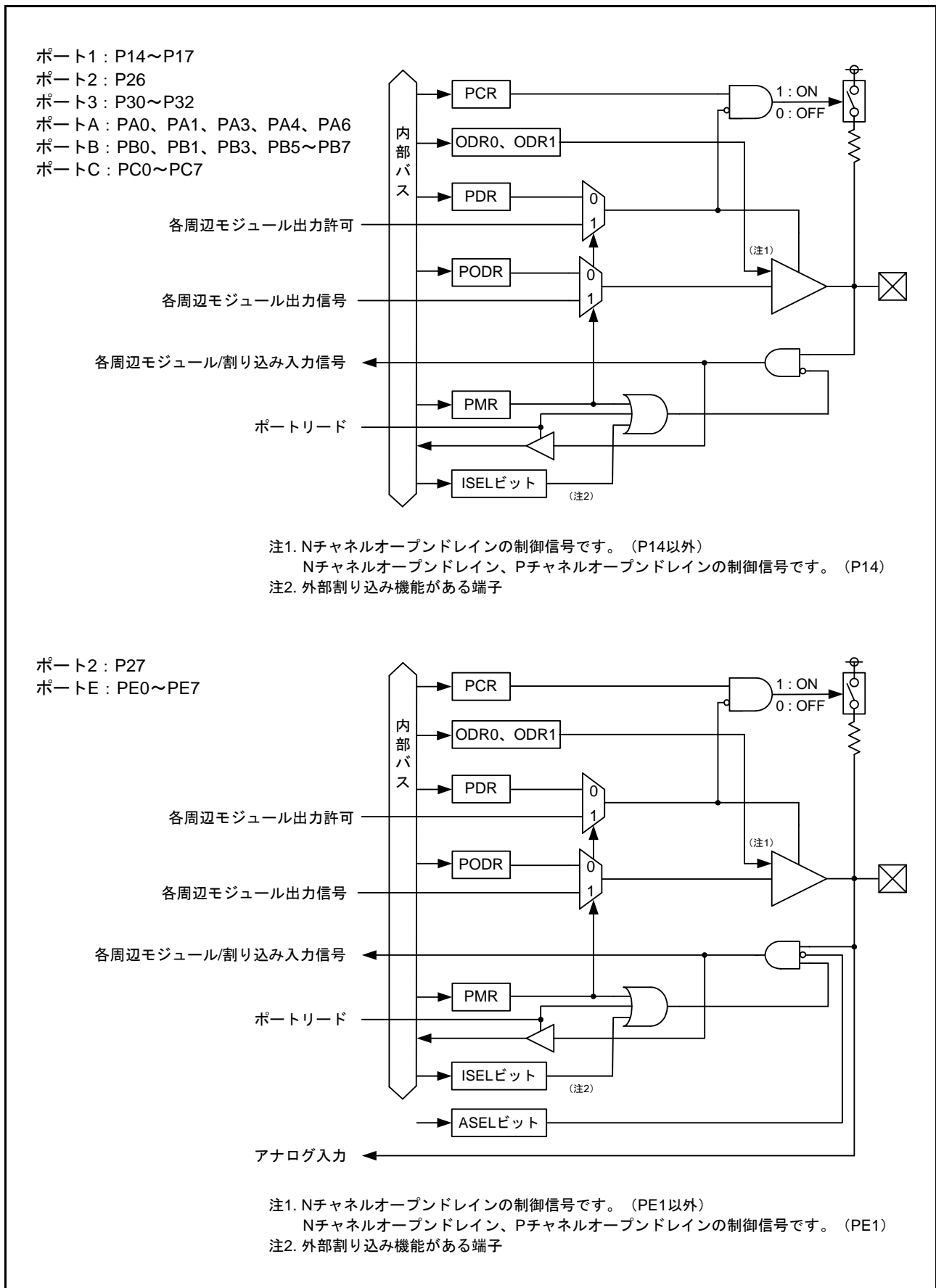


図 17.2 入出力ポートの構成 (2)

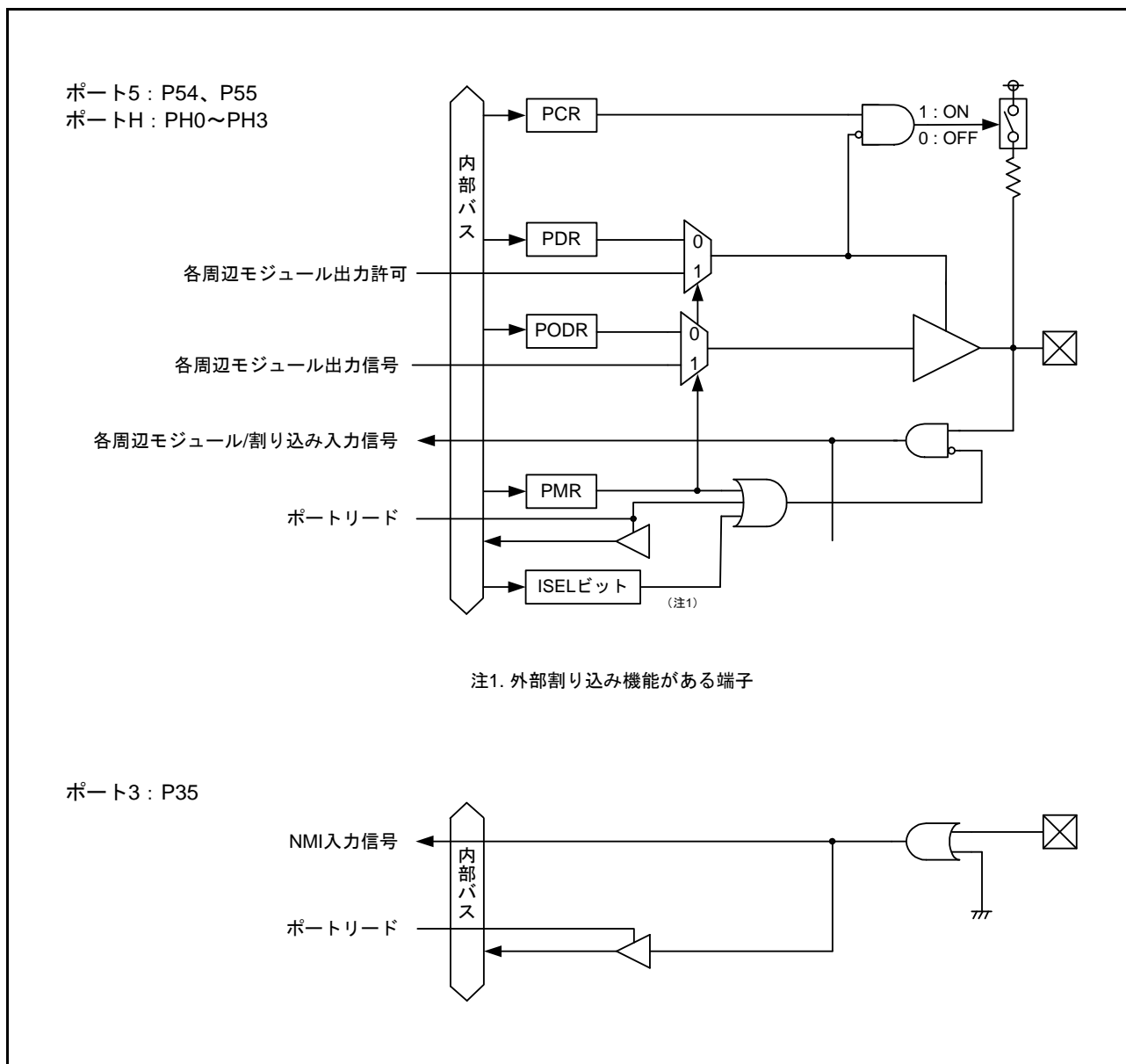


図 17.3 入出力ポートの構成 (3)

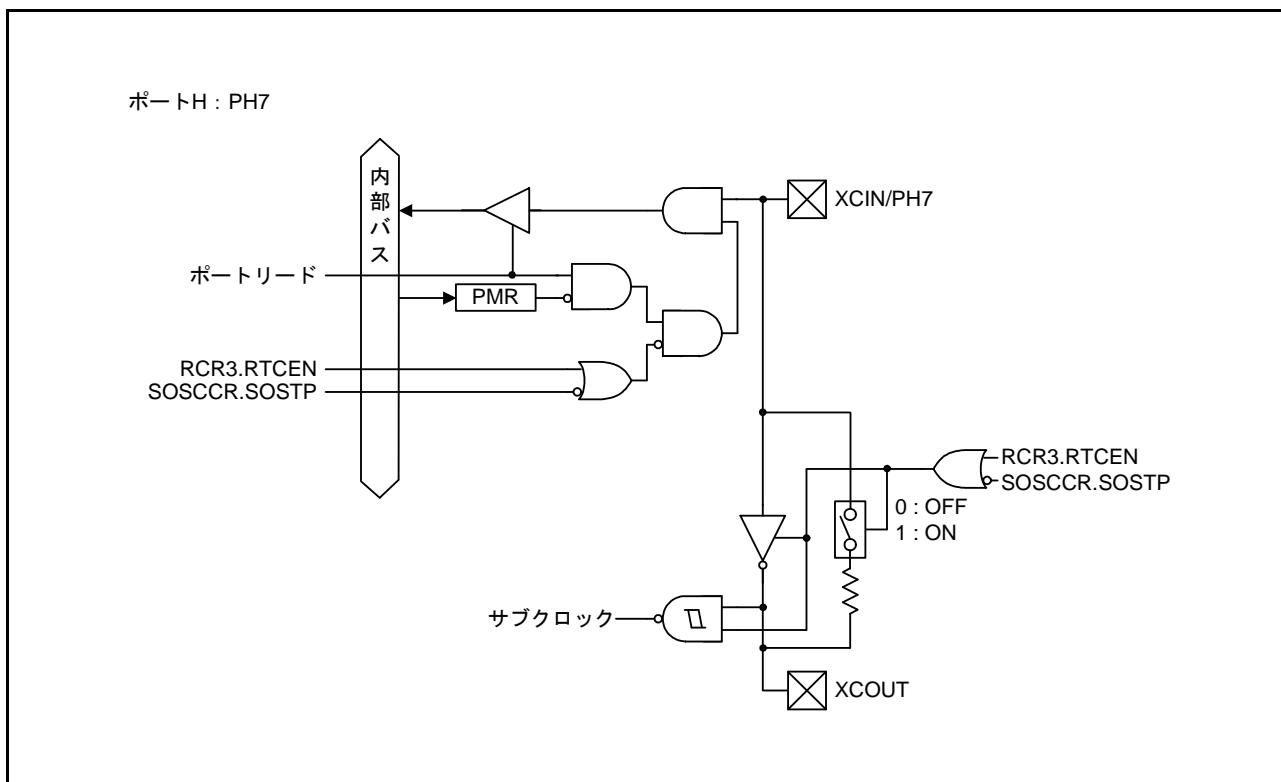
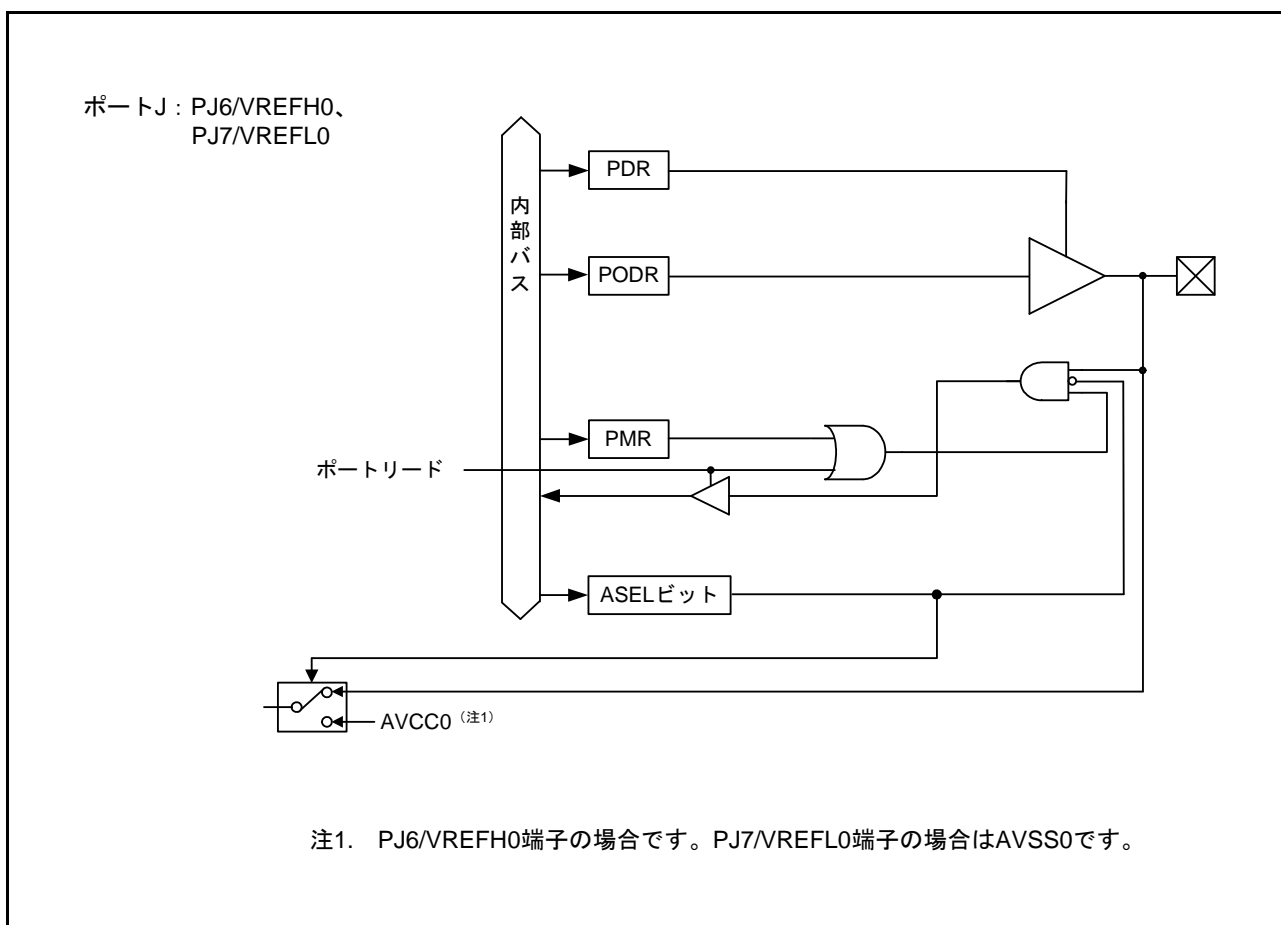


図 17.4 入出力ポートの構成 (4)



注1. PJ6/VREFH0端子の場合です。PJ7/VREFL0端子の場合はAVSS0です。

図 17.5 入出力ポートの構成 (5)

17.3 レジスタの説明

17.3.1 ポート方向レジスタ (PDR)

アドレス PORT0.PDR 0008 C000h, PORT1.PDR 0008 C001h, PORT2.PDR 0008 C002h,
PORT3.PDR 0008 C003h, PORT4.PDR 0008 C004h, PORT5.PDR 0008 C005h,
PORTA.PDR 0008 C00Ah, PORTB.PDR 0008 C00Bh, PORTC.PDR 0008 C00Ch,
PORTE.PDR 0008 C00Eh, PORTH.PDR 0008 C011h, PORTJ.PDR 0008 C012h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0方向制御ビット	0: 入力 (入力ポートとして機能) 1: 出力 (出力ポートとして機能)	R/W
b1	B1	Pm1方向制御ビット		R/W
b2	B2	Pm2方向制御ビット		R/W
b3	B3	Pm3方向制御ビット		R/W
b4	B4	Pm4方向制御ビット		R/W
b5	B5	Pm5方向制御ビット		R/W
b6	B6	Pm6方向制御ビット		R/W
b7	B7	Pm7方向制御ビット		R/W

m = 0 ~ 5、A ~ C、E、H、J

PDR レジスタは、汎用入出力ポートの機能が選択されているとき、ポートの入力/出力を指定するレジスタです。

PORTm.PDR レジスタはポート m の方向レジスタで、各ビットがポート m の各端子に対応しており、1ビット単位で指定できます。表 17.1 に記載されていない端子に対応するビットおよび入力専用である P35 端子の PORT3.PDR.B5 ビットは予約ビットです。予約ビットには、表 17.3 ~ 表 17.6 に従って“0”または“1”を設定してください。予約ビットに値を設定する場合は、バイト単位でアクセスしてください。

17.3.2 ポート出力データレジスタ (PODR)

アドレス PORT0.PODR 0008 C020h, PORT1.PODR 0008 C021h, PORT2.PODR 0008 C022h,
PORT3.PODR 0008 C023h, PORT4.PODR 0008 C024h, PORT5.PODR 0008 C025h,
PORTB.PODR 0008 C02Bh, PORTC.PODR 0008 C02Ch, PORTE.PODR 0008 C02Eh,
PORTH.PODR 0008 C031h, PORTJ.PODR 0008 C032h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力データ格納ビット	出力データ格納	R/W
b1	B1	Pm1出力データ格納ビット		R/W
b2	B2	Pm2出力データ格納ビット		R/W
b3	B3	Pm3出力データ格納ビット		R/W
b4	B4	Pm4出力データ格納ビット		R/W
b5	B5	Pm5出力データ格納ビット		R/W
b6	B6	Pm6出力データ格納ビット		R/W
b7	B7	Pm7出力データ格納ビット		R/W

m = 0 ~ 5、A ~ C、E、H、J

PODR レジスタは、汎用出力ポートとして使用する端子の出力データを格納するレジスタです。

表 17.1 に記載されていない端子に対応するビットおよび入力専用である P35 端子の PORT3.PODR.B5 ビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。予約ビットに値を設定する場合は、バイト単位でアクセスしてください。

17.3.3 ポート入力データレジスタ (PIDR)

アドレス PORT0.PIDR 0008 C040h, PORT1.PIDR 0008 C041h, PORT2.PIDR 0008 C042h,
PORT3.PIDR 0008 C043h, PORT4.PIDR 0008 C044h, PORT5.PIDR 0008 C045h,
PORTA.PIDR 0008 C04Ah, PORTB.PIDR 0008 C04Bh, PORTC.PIDR 0008 C04Ch,
PORTE.PIDR 0008 C04Eh, PORTH.PIDR 0008 C051h, PORTJ.PIDR 0008 C052h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 X X X X X X X X

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0ビット	ポートの端子状態を反映	R
b1	B1	Pm1ビット		R
b2	B2	Pm2ビット		R
b3	B3	Pm3ビット		R
b4	B4	Pm4ビット		R
b5	B5	Pm5ビット		R
b6	B6	Pm6ビット		R
b7	B7	Pm7ビット		R

m = 0 ~ 5, A ~ C, E, H, J

PIDR レジスタは、ポートの端子の状態を反映するレジスタです。

PORTm.PIDR レジスタを読むと、PORTm.PDR レジスタ、PORTm.PMR の値に関係なく端子の状態が読めます。

P35 は NMI 端子の状態が読み出されます。

表 17.1 に記載されていない端子に対応するビットは予約ビットです。予約ビットは、読むと不定値が読めます。書き込みは無効になります。

< PH7 を汎用入力ポート、PJ6、PJ7 を汎用入出力ポートとして使用する場合の注意点 >

PH7 を汎用入力ポートとして使用する場合、下記手順に従い設定を行ってください。

1. RTC コントロールレジスタ 3 のサブクロック発振器制御ビット (RCR3.RTCEN) を“0”にする。
(レジスタの詳細は、「21.2.19 RTC コントロールレジスタ 3 (RCR3)」を参照してください。)
2. サブクロック発振器コントロールレジスタのサブクロック発振器停止ビット (SOSCCR.SOSTP) を“1”にする。
(レジスタの機能や書き換えに関する詳細は、「9.2.4 サブクロック発振器コントロールレジスタ (SOSCCR)」を参照してください。)

PJ6、PJ7 を汎用入出力ポートとして使用する場合、下記手順に従い設定を行ってください。

1. PJ6PFS.ASEL ビットを“0”にする。(PJ6 ポートを使用する場合)
PJ7PFS.ASEL ビットを“0”にする。(PJ7 ポートを使用する場合)
2. PORTJ.PMR.B6 を“0”にする。(PJ6 ポートを使用する場合)
PORTJ.PMR.B7 を“0”にする。(PJ7 ポートを使用する場合)

17.3.4 ポートモードレジスタ (PMR)

アドレス PORT0.PMR 0008 C060h, PORT1.PMR 0008 C061h, PORT2.PMR 0008 C062h,
PORT3.PMR 0008 C063h, PORT4.PMR 0008 C064h, PORT5.PMR 0008 C065h,
PORTA.PMR 0008 C06Ah, PORTB.PMR 0008 C06Bh, PORTC.PMR 0008 C06Ch,
PORTE.PMR 0008 C06Eh, PORTH.PMR 0008 C071h, PORTJ.PMR 0008 C072h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0端子モード制御ビット	0 : 汎用入出力ポートとして使用 1 : 周辺機能として使用	R/W
b1	B1	Pm1端子モード制御ビット		R/W
b2	B2	Pm2端子モード制御ビット		R/W
b3	B3	Pm3端子モード制御ビット		R/W
b4	B4	Pm4端子モード制御ビット		R/W
b5	B5	Pm5端子モード制御ビット		R/W
b6	B6	Pm6端子モード制御ビット		R/W
b7	B7	Pm7端子モード制御ビット		R/W

m = 0 ~ 5、A ~ C、E、H、J

PORTm.PMR レジスタの各ビットは、それぞれポート m の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

表 17.1 に記載されていない端子に対応するビットおよび入力専用である P35 端子の PORT3.PMR.B5 ビットと PH7 端子の PORTH.PMR.B7 ビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。予約ビットに値を設定する場合は、バイト単位でアクセスしてください。

ただし、40 ピン以下のパッケージ製品の PORTH.PMR.B7 ビットは、“1”にしてください。また、表 17.7 の PH7/XCIN の処理内容に従って、サブクロック発振器を停止してください。

17.3.5 オープンドレイン制御レジスタ 0 (ODR0)

アドレス PORT3.ODR0 0008 C086h, PORTA.ODR0 0008 C094h, PORTB.ODR0 0008 C096h,
PORTC.ODR0 0008 C098h, PORTE.ODR0 0008 C09Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b1	B1	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	B2	Pm1出力形態指定ビット	<ul style="list-style-type: none"> • P31, PA1, PB1, PC1 b2 0 : CMOS出力 1 : Nチャネルオープンドレイン b3 読むと“0”が読めます。書く場合、“0”としてください <ul style="list-style-type: none"> • PE1 b3 b2 0 0 : CMOS出力 0 1 : Nチャネルオープンドレイン 1 0 : Pチャネルオープンドレイン 1 1 : 設定しないでください	R/W
b3	B3			R/W
b4	B4	Pm2出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b5	B5	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	B6	Pm3出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b7	B7	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

m = 3, A ~ C, E

表 17.1 に記載されていない端子に対応するビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。予約ビットに値を設定する場合は、バイト単位でアクセスしてください。

17.3.6 オープンドレイン制御レジスタ 1 (ODR1)

アドレス PORT1.ODR1 0008 C083h, PORT2.ODR1 0008 C085h, PORTA.ODR1 0008 C095h,
PORTB.ODR1 0008 C097h, PORTC.ODR1 0008 C099h, PORTE.ODR1 0008 C09Dh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm4出力形態指定ビット	<ul style="list-style-type: none"> PA4, PC4, PE4 b0 0 : CMOS出力 1 : Nチャネルオープンドレイン b1 読むと“0”が読めます。書く場合、“0”としてください <ul style="list-style-type: none"> P14 b1 b0 0 0 : CMOS出力 0 1 : Nチャネルオープンドレイン 1 0 : Pチャネルオープンドレイン 1 1 : 設定しないでください	R/W
b1	B1			R/W
b2	B2	Pm5出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b3	B3	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	B4	Pm6出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b5	B5	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	B6	Pm7出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b7	B7	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

m = 1 ~ 2, A ~ C, E

表 17.1 に記載されていない端子に対応するビットおよび入力専用である P35 端子の PORT3.ODR1.B2 ビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。予約ビットに値を設定する場合は、バイト単位でアクセスしてください。

17.3.7 プルアップ制御レジスタ (PCR)

アドレス PORT0.PCR 0008 C0C0h, PORT1.PCR 0008 C0C1h, PORT2.PCR 0008 C0C2h,
PORT3.PCR 0008 C0C3h, PORT5.PCR 0008 C0C5h, PORTA.PCR 0008 C0CAh,
PORTB.PCR 0008 C0CBh, PORTC.PCR 0008 C0CCh, PORTE.PCR 0008 C0CEh,
PORTH.PCR 0008 C0D1h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0入力プルアップ抵抗制御ビット	0 : 入力プルアップ抵抗無効 1 : 入力プルアップ抵抗有効	R/W
b1	B1	Pm1入力プルアップ抵抗制御ビット		R/W
b2	B2	Pm2入力プルアップ抵抗制御ビット		R/W
b3	B3	Pm3入力プルアップ抵抗制御ビット		R/W
b4	B4	Pm4入力プルアップ抵抗制御ビット		R/W
b5	B5	Pm5入力プルアップ抵抗制御ビット		R/W
b6	B6	Pm6入力プルアップ抵抗制御ビット		R/W
b7	B7	Pm7入力プルアップ抵抗制御ビット		R/W

m = 0 ~ 3、5、A ~ C、E、H

端子が入力状態のとき、PORTm.PCR レジスタが“1”のビットに対応する端子の入力プルアップ抵抗が有効になります。

汎用ポート出力、周辺機能出力として使用している場合には、PCR レジスタの設定値にかかわらず、プルアップ抵抗は無効になります。

リセット中もプルアップ抵抗は無効になります。

表 17.1 に記載されていない端子に対応するビットおよび PORT3.PCR.B5 は予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。予約ビットに値を設定する場合は、バイト単位でアクセスしてください。

17.3.8 ポート切り替えレジスタ A (PSRA)

アドレス PORT.PSRA 0008 C121h

b7	b6	b5	b4	b3	b2	b1	b0
PSEL7	PSEL6	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PSEL6	PB6/PC0切り替えビット	0 : PB6 汎用入出力ポート機能を選択 1 : PC0 汎用入出力ポート機能を選択	R/W
b7	PSEL7	PB7/PC1切り替えビット	0 : PB7 汎用入出力ポート機能を選択 1 : PC1 汎用入出力ポート機能を選択	R/W

注. PSRAレジスタは64ピンパッケージ製品用のレジスタです。

PSRAレジスタは、PB6、PB7の汎用入出力機能と、PC0、PC1の汎用入出力機能のどちらを使用するか選択します。PSEL6、PSEL7ビットに“1”を書き込むとPORTCを8ビットのポートとして使用することができます。「[図 17.6 PSRAレジスタによる汎用入出力ポートの切り替え例](#)」に各ポートの対応を示します。

周辺機能の入出力機能は、PB6、PB7にマルチプレクスされた機能が有効となります。周辺機能を有効にする場合は、PORTB.PMRレジスタで対応する端子モード制御ビットに“1”を書き込んでください。

本レジスタの書き換えは、該当端子のPMRレジスタ、PDRレジスタ、PCRレジスタが“0”の状態で行ってください。

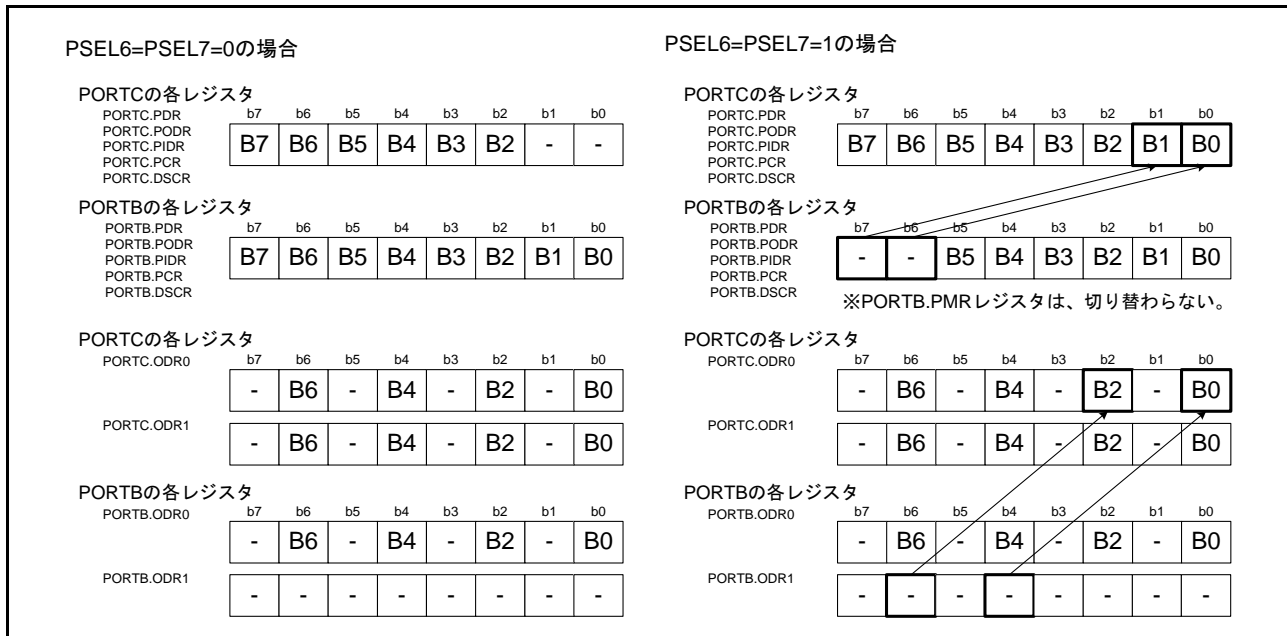


図 17.6 PSRAレジスタによる汎用入出力ポートの切り替え例

17.3.9 ポート切り替えレジスタ B (PSRB)

アドレス PORT.PSRB 0008 C120h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	PSEL5	—	PSEL3	—	PSEL1	PSEL0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	PSEL0	PB0/PC0切り替えビット	0 : PB0 汎用入出力ポート機能を選択 1 : PC0 汎用入出力ポート機能を選択	R/W
b1	PSEL1	PB1/PC1切り替えビット	0 : PB1 汎用入出力ポート機能を選択 1 : PC1 汎用入出力ポート機能を選択	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	PSEL3	PB3/PC2切り替えビット	0 : PB3 汎用入出力ポート機能を選択 1 : PC2 汎用入出力ポート機能を選択	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	PSEL5	PB5/PC3切り替えビット	0 : PB5 汎用入出力ポート機能を選択 1 : PC3 汎用入出力ポート機能を選択	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. PSRBレジスタは48ピンパッケージ製品用のレジスタです。

PSRBレジスタは、PB5、PB3、PB1、PB0の汎用入出力機能と、PC3、PC2、PC1、PC0の汎用入出力機能のどちらを使用するか選択します。PSEL5、PSEL3、PSEL1、PSEL0ビットに“1”を書き込むとPORTCを8ビットのポートとして使用することができます。「図 17.7 PSRBレジスタによる汎用入出力ポートの切り替え例」に各ポートの対応を示します。

周辺機能の入出力機能は、PB0、PB1、PB3、PB5にマルチプレクスされた機能が有効となります。周辺機能を有効にする場合は、PORTB.PMRレジスタで対応する端子モード制御ビットに“1”を書き込んでください。

本レジスタの書き換えは、該当端子のPMRレジスタ、PDRレジスタ、PCRレジスタが“0”の状態で行ってください。

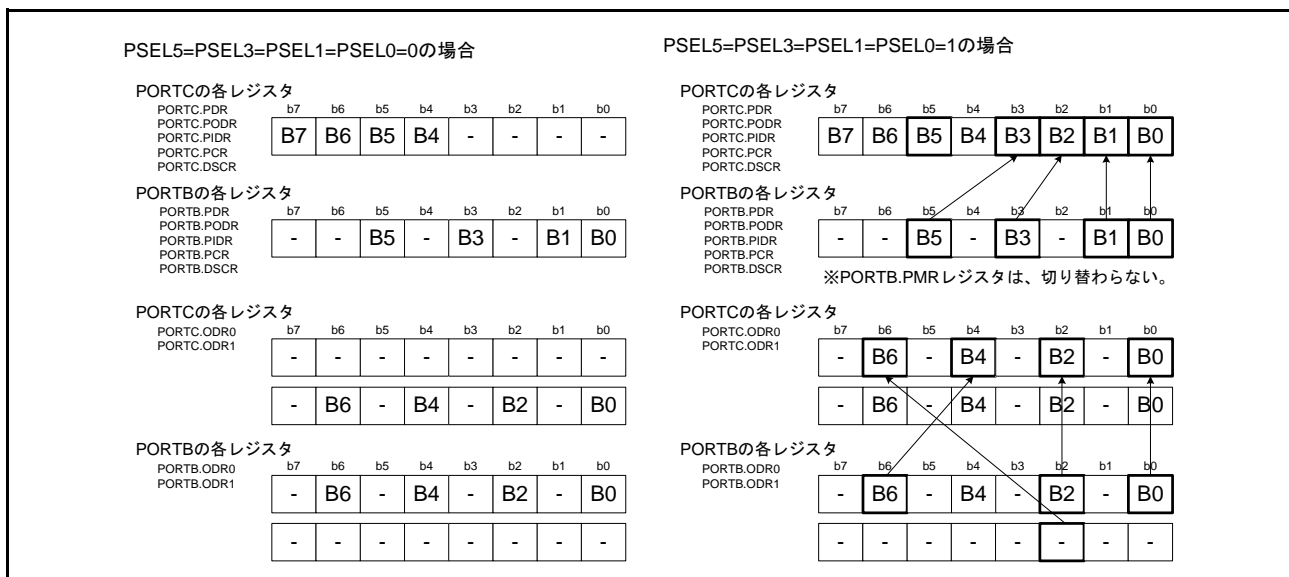


図 17.7 PSRBレジスタによる汎用入出力ポートの切り替え例

17.4 ポート方向レジスタ (PDR) の初期化

PDR レジスタの予約ビットは、表 17.3 ~ 表 17.6 を参照して初期化してください。

- 表 17.3 ~ 表 17.6 の空欄は、「表 17.1 I/O ポートの仕様」に記載されている端子に対応するビットです。使用するシステムに応じて“1”（出力）か“0”（入力）を設定してください。ただし、入力専用である P35 端子の PORT3.PDR.B5 ビットおよび PH7 端子の PORTH.PDR.B7 ビットは予約ビットです。
- 表 17.3 ~ 表 17.6 の空欄以外は、予約ビットです。予約ビットには表 17.3 ~ 表 17.6 に従って“0”（入力）または“1”（出力）を設定ください。予約ビットを設定する場合は、バイト単位でアクセスしてください。

表 17.3 64ピンのPDRレジスタの設定値

ポートシンボル	PDR レジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0	0	0		0		0	0	0
PORT1					0	0	0	0
PORT2			0	0	0	0	0	0
PORT3	0	0	0	0	0			
PORT4	0		0					
PORT5	0	0			0	0	0	0
PORTA	0		0			0		
PORTB				0		0		
PORTC								
PORTE								
PORTH	0	0	0	0				
PORTJ			0	0	0	0	0	0

表 17.4 48ピンのPDRレジスタの設定値

ポートシンボル	PDR レジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0	0	0	1	0	1	0	0	0
PORT1					0	0	0	0
PORT2			0	0	0	0	0	0
PORT3	0	0	0	0	0	1	1	1
PORT4	0		0	1	1			
PORT5	0	0	1	1	0	0	0	0
PORTA	0		0			0		1
PORTB	1	1		0		0		
PORTC								
PORTE		1	1					
PORTH	0	0	0	0				
PORTJ			0	0	0	0	0	0

表 17.5 40ピンのPDRレジスタの設定値

ポートシンボル	PDRレジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0	0	0	1	0	1	0	0	0
PORT1					0	0	0	0
PORT2			0	0	0	0	0	0
PORT3	0	0	0	0	0		1	1
PORT4	0		0	1	1			1
PORT5	0	0	1	1	0	0	0	0
PORTA	0		0			0		1
PORTB	1	1	1	0		0	1	
PORTC	1	1	1		1	1	1	1
PORTE	1	1	1					
PORTH	0	0	0	0				
PORTJ			0	0	0	0	0	0

表 17.6 36ピンのPDRレジスタの設定値

ポートシンボル	PDRレジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0	0	0	1	0	1	0	0	0
PORT1					0	0	0	0
PORT2		1	0	0	0	0	0	0
PORT3	0	0	0	0	0	1	1	1
PORT4	0	1	0	1	1			1
PORT5	0	0	1	1	0	0	0	0
PORTA	0		0			0	1	1
PORTB	1	1	1	0		0	1	
PORTC	1	1	1		1	1	1	1
PORTE	1	1	1					
PORTH	0	0	0	0				
PORTJ			0	0	0	0	0	0

17.5 未使用端子の処理

表 17.7 に未使用端子の処理内容を示します。

表 17.7 未使用端子の処理内容

端子名	処理内容
MD	(モード端子として使用)
RES#	抵抗を介してVCCに接続 (プルアップ)
P35/NMI	抵抗を介してVCCに接続 (プルアップ)
EXTAL	抵抗を介してVSSに接続 (プルダウン)
XTAL	端子を開放
PH7/XCIN	サブクロックを使用しない場合は、RCR3.RTCENビットを“0”、およびSOSCCR.SOSTPビットを“1” (汎用ポートPH7) に設定 ポートPH7としても使用しない場合は、ポート0~3、5、A~C、E、Hの入力設定の処理と同様
XCOUT	端子を開放
ポート0~3、5、A~C、E、H	<ul style="list-style-type: none"> • 入力に設定 (PORTn.PDRビット=0) し、1端子ごとに抵抗を介してVCCに接続 (プルアップ)、または1端子ごとに抵抗を介してVSSに接続 (プルダウン) (注1) • 出力に設定 (PORTn.PDRビット=1) し、出力データを“0”に設定 (PORTn.PODRビット=0) とし、端子を開放 (注1、注2)
ポート4、J	<ul style="list-style-type: none"> • 入力に設定 (PORTn.PDRビット=0) し、1端子ごとに抵抗を介してAVCC0に接続 (プルアップ)、または1端子ごとに抵抗を介してAVSS0に接続 (プルダウン) (注1) • 出力に設定 (PORTn.PDRビット=1) し、出力データを“0”に設定 (PORTn.PODRビット=0) とし、端子を開放 (注1、注2)
ポート0~5、A~C、E、H、J (存在しない端子に対して)	出力に設定 (PORTn.PDRビット=1) し、出力データを“0”に設定 (PORTn.PODRビット=0) とし、端子を開放 (注1、注2) (「17.4 ポート方向レジスタ(PDR)の初期化」参照)
PJ6/VREFH0	VREFH0として使用しない場合は、PJ6PFS.ASELビットを“0” (汎用ポートPJ6) に設定 ポートPJ6としても使用しない場合は、ポート4、Jの処理と同様
PJ7/VREFL0	VREFL0として使用しない場合は、PJ7PFS.ASELビットを“0” (汎用ポートPJ7) に設定 ポートPJ7としても使用しない場合は、ポート4、Jの処理と同様
AVCC0	12ビットA/Dコンバータを使用しない場合は、VCCに接続
AVSS0	12ビットA/Dコンバータを使用しない場合は、VSSに接続

注1. PORTn.PMRビットを“0”、およびPmnPFS.ISEL、ASELビットを“0”にしてください。

注2. 出力に設定し開放する場合、リセット解除からポートを出力にするまでの間、ポートは入力になっています。そのため、ポートが入力になっている間、端子の電圧レベルが不定となり、電源電流が増加する場合があります。

18. マルチファンクションピンコントローラ (MPC)

18.1 概要

マルチファンクションピンコントローラ (MPC) は、周辺機能入出力、および割り込み入力信号を複数のポートから選択し割り付ける機能です。

表 18.1 にマルチプル端子の割り当て端子一覧を示します。パッケージの違いによる端子の有無については、表内で○、×で示します。同一機能を複数端子で有効にすることは禁止です。

表 18.1 マルチプル端子の割り当て端子一覧 (1 / 4)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ			
				64ピン	48ピン	40ピン	36ピン
割り込み		NMI (入力)	P35	○	○	○	○
割り込み	IRQ0	IRQ0 (入力)	P30	○	×	×	×
			PE0	○	○	○	○
			PH1	○	○	○	○
	IRQ1	IRQ1 (入力)	P31	○	×	×	×
			PE1	○	○	○	○
			PH2	○	○	○	○
	IRQ2	IRQ2 (入力)	P32	○	×	○	×
			PB0	○	○	○	○
			PC4	○	○	○	○
	IRQ3	IRQ3 (入力)	P27	○	○	○	○
			PE3	○	○	○	○
			PA6	○	○	○	○
	IRQ4	IRQ4 (入力)	P14	○	○	○	○
			PB1	○	○	×	×
			PE4	○	○	○	○
	IRQ5	IRQ5 (入力)	P15	○	○	○	○
			PA4	○	○	○	○
			PE5	○	×	×	×
	IRQ6	IRQ6 (入力)	P16	○	○	○	○
			PA3	○	○	○	○
PE6			○	×	×	×	
IRQ7	IRQ7 (入力)	P17	○	○	○	○	
		PE2	○	○	○	○	
		PE7	○	○	×	×	
マルチファンクション タイマユニット2	MTU0	MTIOC0A (入出力)	P14	○	○	○	○
			PB3	○	○	○	○
			PE3	○	○	○	○
	MTIOC0B (入出力)	P15	○	○	○	○	
		PA1	○	○	○	×	
	MTIOC0C (入出力)	P17	○	○	○	○	
		P32	○	×	○	×	
		PB0	○	○	○	○	
	MTIOC0D (入出力)	PB1	○	○	×	×	
		PA3	○	○	○	○	

表 18.1 マルチプル端子の割り当て端子一覧 (2 / 4)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ				
				64ピン	48ピン	40ピン	36ピン	
マルチファンクション タイマユニット2	MTU1	MTIOC1A (入出力)	PE4	○	○	○	○	
			PH3	○	○	○	○	
		MTIOC1B (入出力)	PA3	○	○	○	○	
			PB5	○	○	×	×	
			PE3	○	○	○	○	
			PH0	○	○	○	○	
	MTU2	MTIOC2A (入出力)	P26	○	○	○	×	
			PA6	○	○	○	○	
			PB5	○	○	×	×	
			PE0	○	○	○	○	
		MTIOC2B (入出力)	P27	○	○	○	○	
			PA4	○	○	○	○	
	MTU5	MTU5	MTIC5U (入力)	PA4	○	○	○	○
			MTIC5V (入力)	PA6	○	○	○	○
			MTIC5W (入力)	PB0	○	○	○	○
	MTU	MTU	MTCLKA (入力)	P14	○	○	○	○
				PA4	○	○	○	○
				PC6	○	○	×	×
		MTCLKB (入力)	P15	○	○	○	○	
			PA6	○	○	○	○	
			PC7	○	○	×	×	
		MTCLKC (入力)	PA1	○	○	○	×	
			PC4	○	○	○	○	
		MTCLKD (入力)	PA3	○	○	○	○	
PC5			○	○	×	×		
シリアルコミュニケーション インタフェース		SCI1	RXD1 (入力) / SMISO1 (入出力) / SSCL1 (入出力)	P15	○	○	○	○
				P30	○	×	×	×
	PC6			○	○	×	×	
	TXD1 (出力) / SMOS1 (入出力) / SSDA1 (入出力)		P16	○	○	○	○	
			P26	○	○	○	×	
			PC7	○	○	×	×	
	SCK1 (入出力)		P17	○	○	○	○	
			P27	○	○	○	○	
			PC5	○	○	×	×	
	CTS1# (入力) / RTS1# (出力) / SS1# (入力)		P14	○	○	○	○	
			P31	○	×	×	×	

表 18.1 マルチプル端子の割り当て端子一覧 (3 / 4)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ			
				64ピン	48ピン	40ピン	36ピン
シリアルコミュニケーション インタフェース	SCI5	RXD5 (入力) / SMISO5 (入出力) / SSCL5 (入出力)	PA3	○	○	○	○
			PC2	○	×	×	×
		TXD5 (出力) / SMOSI5 (入出力) / SSDA5 (入出力)	PA4	○	○	○	○
			PC3	○	×	×	×
		SCK5 (入出力)	PA1	○	○	○	×
			PC4	○	○	○	○
		CTS5# (入力) / RTS5# (出力) / SS5# (入力)	PA6	○	○	○	○
	SCI12	SCK12 (入出力)	PE0	○	○	○	○
			P27	○	○	○	○
		RXD12 (入力) / SMISO12 (入出力) / SSCL12 (入出力) / RXDX12 (入力)	PE2	○	○	○	○
			P17	○	○	○	○
		TXD12 (出力) / SMOSI12 (入出力) / SSDA12 (入出力) / TXDX12 (出力) / SIOX12 (入出力)	PE1	○	○	○	○
			P14	○	○	○	○
CTS12# (入力) / RTS12# (出力) / SS12# (入力)	PE3	○	○	○	○		
I ² Cバスインタフェース	IIC0	SCL0 (入出力)	P16	○	○	○	○
			PB0	○	○	○	○
		SDA0 (入出力)	P17	○	○	○	○
			PA6	○	○	○	○
シリアルペリフェラル インタフェース	RSPI0	RSPCKA (入出力)	P15	○	○	○	○
			PB0	○	○	○	○
			PC5	○	○	×	×
			PE3	○	○	○	○
		MOSIA (入出力)	P16	○	○	○	○
			PA6	○	○	○	○
			PE4	○	○	○	○
			PC6	○	○	×	×
		MISOA (入出力)	P17	○	○	○	○
			PC7	○	○	×	×
			PA3	○	○	○	○
		SSLA0 (入出力)	P14	○	○	○	○
			PA4	○	○	○	○
			PC4	○	○	○	○
		SSLA1 (出力)	PA0	○	×	×	×
		SSLA2 (出力)	PA1	○	○	○	×
SSLA3 (出力)	PC2	○	×	×	×		

表 18.1 マルチプル端子の割り当て端子一覧 (4 / 4)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ			
				64ピン	48ピン	40ピン	36ピン
リアルタイムクロック		RTCOUT (出力)	P16	○	○	×	×
			P32	○	×	×	×
			PB0	○	○	×	×
			PA1	○	○	×	×
12ビットA/Dコンバータ		AN000 (入力) (注1)	P40	○	○	×	×
		AN001 (入力) (注1)	P41	○	○	○	○
		AN002 (入力) (注1)	P42	○	○	○	○
		AN003 (入力) (注1)	P43	○	×	×	×
		AN004 (入力) (注1)	P44	○	×	×	×
		AN006 (入力) (注1)	P46	○	○	○	×
		AN008 (入力) (注1)	PE0	○	○	○	○
		AN009 (入力) (注1)	PE1	○	○	○	○
		AN010 (入力) (注1)	PE2	○	○	○	○
		AN011 (入力) (注1)	PE3	○	○	○	○
		AN012 (入力) (注1)	PE4	○	○	○	○
		AN013 (入力) (注1)	PE5	○	×	×	×
		AN014 (入力) (注1)	PE6	○	×	×	×
		AN015 (入力) (注1)	PE7	○	○	×	×
		VREFH0 (入力)	PJ6	○	○	○	○
		VREFL0 (入力)	PJ7	○	○	○	○
		ADTRG0# (入力)	P16	○	○	○	○
			P27	○	○	○	○
PB0	○		○	○	○		
クロック		CLKOUT (出力)	P15	○	○	○	○
			PC4	○	○	○	○
クロック周波数精度測定回路		CACREF (入力)	P27	○	○	○	○
			PA0	○	×	×	×
			PC7	○	○	×	×
			PH0	○	○	○	○
電圧検出回路		CMPA2 (入力) (注1)	P27	○	○	○	○

注1. この端子機能を使用する場合は、該当端子の設定を汎用入力にしてください (PORT.PDR.BmビットおよびPORT.PMR.Bmビットを“0”にする)。

18.2 レジスタの説明

パッケージの違いにより、端子がないレジスタ、ビットは予約です。該当するビットに値を書く場合は、リセット後の値を書いてください。

18.2.1 書き込みプロテクトレジスタ (PWPR)

アドレス 0008 C11Fh

b7	b6	b5	b4	b3	b2	b1	b0
BOWI	PFSWE	—	—	—	—	—	—

リセット後の値 1 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PFSWE	PFSレジスタ書き込み許可ビット	0 : PFSレジスタへの書き込みを禁止 1 : PFSレジスタへの書き込みを許可	R/W
b7	BOWI	PFSWEビット書き込み禁止ビット	0 : PFSWEビットへの書き込みを許可 1 : PFSWEビットへの書き込みを禁止	R/W

PFSWE ビット (PFS レジスタ書き込み許可ビット)

PFSWE ビットを“1”にしたときのみ、PmnPFS レジスタに対する書き込みが許可されます。

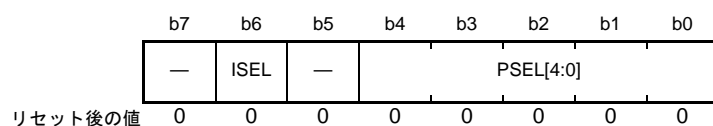
PFSWE ビットを“1”にする場合は、BOWI ビットに“0”を書いた後、PFSWE ビットを“1”にしてください。

BOWI ビット (PFSWE ビット書き込み禁止ビット)

BOWI ビットを“0”にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

18.2.2 P1n 端子機能制御レジスタ (P1nPFS) (n=4 ~ 7)

アドレス P14PFS 0008 C14Ch, P15PFS 0008 C14Dh, P16PFS 0008 C14Eh, P17PFS 0008 C14Fh



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P14 : IRQ4 (64ピン、48ピン、40ピン、36ピン) P15 : IRQ5 (64ピン、48ピン、40ピン、36ピン) P16 : IRQ6 (64ピン、48ピン、40ピン、36ピン) P17 : IRQ7 (64ピン、48ピン、40ピン、36ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

Pmn 端子機能制御レジスタ (PmnPFS) は、端子の機能を選択します。

PSEL[4:0] ビットで端子に割り付ける周辺機能を設定します。

ISEL ビットは、IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせても使用できません。ただし、同じ番号の IRQn (外部端子割り込み) を 2 つ以上の端子で許可することは禁止です。

ASEL ビットは、端子をアナログ端子として使用する場合に設定します。ASEL ビットでアナログ端子として設定する場合、ポートモードレジスタ (PORTm.PMR) で汎用入出力ポートを選択し、プルアップ制御レジスタ (PORTm.PCR) で入力プルアップ抵抗無効を選択し、ポート方向レジスタ (PORTm.PDR) で入力としてください。このとき、端子状態を読むことはできません。PmnPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

IRQn 機能のない端子の ISEL ビットは予約です。アナログ入出力機能のない端子の ASEL ビットは予約です。

表 18.2 64ピン、48ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子			
	P14	P15	P16	P17
00000b (初期値)	Hi-Z			
00001b	—	MTIOC0B	—	—
00010b	MTCLKA	MTCLKB	—	—
00011b	MTIOC0A	—	—	MTIOC0C
00111b	—	—	RTCOUT	—
01001b	—	CLKOUT	ADTRG0#	—
01010b	—	RXD1 SMISO1 SSCL1	TXD1 SMOSI1 SSDA1	SCK1
01011b	CTS1# RTS1# SS1#	—	—	—
01100b	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	—	—	RXD12 SMISO12 SSCL12 RXDX12
01101b	SSLA0	RSPCKA	MOSIA	MISOA
01111b	—	—	SCL0	SDA0

— : 設定しないでください。

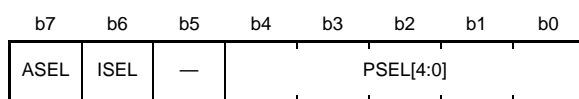
表 18.3 40ピン、36ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子			
	P14	P15	P16	P17
00000b (初期値)	Hi-Z			
00001b	—	MTIOC0B	—	—
00010b	MTCLKA	MTCLKB	—	—
00011b	MTIOC0A	—	—	MTIOC0C
00111b	—	—	—	—
01001b	—	CLKOUT	ADTRG0#	—
01010b	—	RXD1 SMISO1 SSCL1	TXD1 SMOSI1 SSDA1	SCK1
01011b	CTS1# RTS1# SS1#	—	—	—
01100b	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	—	—	RXD12 SMISO12 SSCL12 RXDX12
01101b	SSLA0	RSPCKA	MOSIA	MISOA
01111b	—	—	SCL0	SDA0

— : 設定しないでください。

18.2.3 P2n 端子機能制御レジスタ (P2nPFS) (n=6 ~ 7)

アドレス P26PFS 0008 C156h, P27PFS 0008 C157h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P27 : IRQ3 (64ピン、48ピン、40ピン、36ピン)	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P27 : CMPA2 (64ピン、48ピン、40ピン、36ピン)	R/W

表 18.4 64ピン、48ピン、40ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子	
	P26	P27
00000b (初期値)	Hi-Z	
00001b	MTIOC2A	MTIOC2B
00111b	—	CACREF
01001b	—	ADTRG0#
01010b	TXD1 SMOSI1 SSDA1	SCK1
01100b	—	SCK12

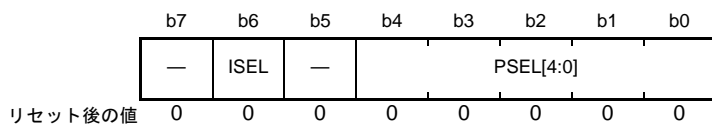
— : 設定しないでください。

表 18.5 36ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子
	P27
00000b (初期値)	Hi-Z
00001b	MTIOC2B
00111b	CACREF
01001b	ADTRG0#
01010b	SCK1
01100b	SCK12

18.2.4 P3n 端子機能制御レジスタ (P3nPFS) (n=0 ~ 2)

アドレス P30PFS 0008 C158h, P31PFS 0008 C159h, P32PFS 0008 C15Ah



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P30 : IRQ0 (64ピン) P31 : IRQ1 (64ピン) P32 : IRQ2 (64ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 18.6 64ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子		
	P30	P31	P32
00000b (初期値)	Hi-Z		
00001b	—	—	MTIOC0C
00111b	—	—	RTCOUT
01010b	RXD1 SMISO1 SSCL1	—	—
01011b	—	CTS1# RTS1# SS1#	—

— : 設定しないでください。

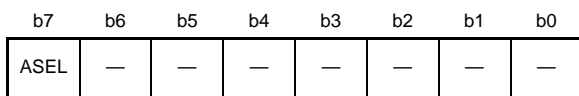
表 18.7 40ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子
	P32
00000b (初期値)	Hi-Z
00001b	MTIOC0C

— : 設定しないでください。

18.2.5 P4n 端子機能制御レジスタ (P4nPFS) (n=0 ~ 4、6)

アドレス P40PFS 0008 C160h, P41PFS 0008 C161h, P42PFS 0008 C162h, P43PFS 0008 C163h,
P44PFS 0008 C164h, P46PFS 0008 C166h

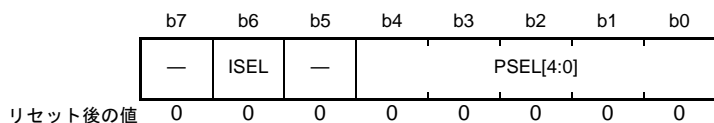


リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P40 : AN000 (64ピン、48ピン) P41 : AN001 (64ピン、48ピン、40ピン、36ピン) P42 : AN002 (64ピン、48ピン、40ピン、36ピン) P43 : AN003 (64ピン) P44 : AN004 (64ピン) P46 : AN006 (64ピン、48ピン、40ピン)	R/W

18.2.6 PAn 端子機能制御レジスタ (PAnPFS) (n=0、1、3、4、6)

アドレス PA0PFS 0008 C190h, PA1PFS 0008 C191h, PA3PFS 0008 C193h, PA4PFS 0008 C194h, PA6PFS 0008 C196h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PA3 : IRQ6 (64ピン、48ピン、40ピン、36ピン) PA4 : IRQ5 (64ピン、48ピン、40ピン、36ピン) PA6 : IRQ3 (64ピン、48ピン、40ピン、36ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 18.8 64ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子				
	PA0	PA1	PA3	PA4	PA6
00000b (初期値)	Hi-Z				
00001b	—	MTIOC0B	MTIOC0D	MTIC5U	MTIC5V
00010b	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB
00011b	—	—	MTIOC1B	MTIOC2B	MTIOC2A
00111b	CACREF	RTCOUT	—	—	—
01010b	—	SCK5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	—
01011b	—	—	—	—	CTS5# RTS5# SS5#
01101b	SSLA1	SSLA2	MISOA	SSLA0	MOSIA
01111b	—	—	—	—	SDA0

— : 設定しないでください。

表 18.9 48ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子			
	PA1	PA3	PA4	PA6
00000b (初期値)	Hi-Z			
00001b	MTIOC0B	MTIOC0D	MTIC5U	MTIC5V
00010b	MTCLKC	MTCLKD	MTCLKA	MTCLKB
00011b	—	MTIOC1B	MTIOC2B	MTIOC2A
00111b	RTCOUT	—	—	—
01010b	SCK5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	—
01011b	—	—	—	CTS5# RTS5# SS5#
01101b	SSLA2	MISOA	SSLA0	MOSIA
01111b	—	—	—	SDA0

— : 設定しないでください。

表 18.10 40ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子			
	PA1	PA3	PA4	PA6
00000b (初期値)	Hi-Z			
00001b	MTIOC0B	MTIOC0D	MTIC5U	MTIC5V
00010b	MTCLKC	MTCLKD	MTCLKA	MTCLKB
00011b	—	MTIOC1B	MTIOC2B	MTIOC2A
00111b	—	—	—	—
01010b	SCK5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	—
01011b	—	—	—	CTS5# RTS5# SS5#
01101b	SSLA2	MISOA	SSLA0	MOSIA
01111b	—	—	—	SDA0

— : 設定しないでください。

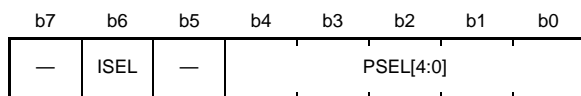
表 18.11 36ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子		
	PA3	PA4	PA6
0000b (初期値)	Hi-Z		
00001b	MTIOC0D	MTIC5U	MTIC5V
00010b	MTCLKD	MTCLKA	MTCLKB
00011b	MTIOC1B	MTIOC2B	MTIOC2A
01010b	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	—
01011b	—	—	CTS5# RTS5# SS5#
01101b	MISOA	SSLA0	MOSIA
01111b	—	—	SDA0

— : 設定しないでください。

18.2.7 PBn 端子機能制御レジスタ (PBnPFS) (n=0、1、3、5～7)

アドレス PB0PFS 0008 C198h, PB1PFS 0008 C199h, PB3PFS 0008 C19Bh, PB5PFS 0008 C19Dh,
PB6PFS 0008 C19Eh, PB7PFS 0008 C19Fh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子入出力機能ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PB0 : IRQ2 (64ピン、48ピン、40ピン、36ピン) PB1 : IRQ4 (64ピン、48ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 18.12 64ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子					
	PB0	PB1	PB3	PB5	PB6	PB7
00000b (初期値)	Hi-Z					
00001b	MTIC5W	MTIOC0C	MTIOC0A	MTIOC2A	—	—
00010b	MTIOC0C	—	—	MTIOC1B	—	—
00111b	RTCOUT	—	—	—	—	—
01001b	ADTRG0#	—	—	—	—	—
01101b	RSPCKA	—	—	—	—	—
01111b	SCL0	—	—	—	—	—

— : 設定しないでください。

表 18.13 48ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子			
	PB0	PB1	PB3	PB5
00000b (初期値)	Hi-Z			
00001b	MTIC5W	MTIOC0C	MTIOC0A	MTIOC2A
00010b	MTIOC0C	—	—	MTIOC1B
00111b	RTCOUT	—	—	—
01001b	ADTRG0#	—	—	—
01101b	RSPCKA	—	—	—
01111b	SCL0	—	—	—

— : 設定しないでください。

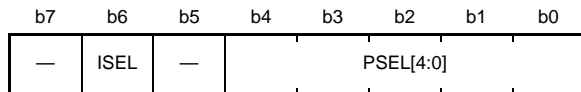
表 18.14 40ピン、36ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子	
	PB0	PB3
00000b (初期値)	Hi-Z	
00001b	MTIC5W	MTIOC0A
00010b	MTIOC0C	—
01001b	ADTRG0#	—
01101b	RSPCKA	—
01111b	SCL0	—

— : 設定しないでください。

18.2.8 PCn 端子機能制御レジスタ (PCnPFS) (n=2 ~ 7)

アドレス PC2PFS 0008 C1A2h, PC3PFS 0008 C1A3h, PC4PFS 0008 C1A4h, PC5PFS 0008 C1A5h, PC6PFS 0008 C1A6h, PC7PFS 0008 C1A7h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子入出力機能ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PC4 : IRQ2 (64ピン、48ピン、40ピン、36ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 18.15 64ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子					
	PC2	PC3	PC4	PC5	PC6	PC7
00000b (初期値)	Hi-Z					
00010b	—	—	MTCLKC	MTCLKD	MTCLKA	MTCLKB
00111b	—	—	—	—	—	CACREF
01001b	—	—	CLKOUT	—	—	—
01010b	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	SCK5	—	—	—
01011b	—	—	—	SCK1	RXD1 SMISO1 SSCL1	TXD1 SMOSI1 SSDA1
01101b	SSLA3	—	SSLA0	RSPCKA	MOSIA	MISOA

— : 設定しないでください。

表 18.16 48ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子			
	PC4	PC5	PC6	PC7
00000b (初期値)	Hi-Z			
00010b	MTCLKC	MTCLKD	MTCLKA	MTCLKB
00111b	—	—	—	CACREF
01001b	CLKOUT	—	—	—
01010b	SCK5	—	—	—
01011b	—	SCK1	RXD1 SMISO1 SSCL1	TXD1 SMOS1 SSDA1
01101b	SSLA0	RSPCKA	MOSIA	MISOA

— : 設定しないでください。

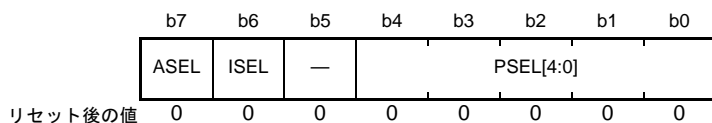
表 18.17 40ピン、36ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子
	PC4
00000b (初期値)	Hi-Z
00010b	MTCLKC
01001b	CLKOUT
01010b	SCK5
01101b	SSLA0

— : 設定しないでください。

18.2.9 PEn 端子機能制御レジスタ (PEnPFS) (n=0 ~ 7)

アドレス PE0PFS 0008 C1B0h, PE1PFS 0008 C1B1h, PE2PFS 0008 C1B2h, PE3PFS 0008 C1B3h, PE4PFS 0008 C1B4h, PE5PFS 0008 C1B5h, PE6PFS 0008 C1B6h, PE7PFS 0008 C1B7h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	PEn 端子入出力機能ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PE0 : IRQ0 (64ピン、48ピン、40ピン、36ピン) PE1 : IRQ1 (64ピン、48ピン、40ピン、36ピン) PE2 : IRQ7 (64ピン、48ピン、40ピン、36ピン) PE3 : IRQ3 (64ピン、48ピン、40ピン、36ピン) PE4 : IRQ4 (64ピン、48ピン、40ピン、36ピン) PE5 : IRQ5 (64ピン) PE6 : IRQ6 (64ピン) PE7 : IRQ7 (64ピン、48ピン)	R/W
b7	ASEL	PEnアナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する PE0 : AN008 (64ピン、48ピン、40ピン、36ピン) PE1 : AN009 (64ピン、48ピン、40ピン、36ピン) PE2 : AN010 (64ピン、48ピン、40ピン、36ピン) PE3 : AN011 (64ピン、48ピン、40ピン、36ピン) PE4 : AN012 (64ピン、48ピン、40ピン、36ピン) PE5 : AN013 (64ピン) PE6 : AN014 (64ピン) PE7 : AN015 (64ピン、48ピン)	R/W

表 18.18 64ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子							
	PE0	PE1	PE2	PE3	PE4	PE5	PE6	PE7
00000b (初期値)	Hi-Z							
00010b	MTIOC2A	—	—	MTIOC1B	MTIOC1A	MTIOC2B	—	—
00011b	—	—	—	MTIOC0A	—	—	—	—
01100b	SCK12	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	RXD12 SMISO12 SSCL12 RXDX12	CTS12# RTS12# SS12#	—	—	—	—
01101b	—	—	—	RSPCKA	MOSIA	—	—	—

— : 設定しないでください。

表 18.19 48ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子					
	PE0	PE1	PE2	PE3	PE4	PE7
00000b (初期値)	Hi-Z					
00010b	MTIOC2A	—	—	MTIOC1B	MTIOC1A	—
00011b	—	—	—	MTIOC0A	—	—
01100b	SCK12	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	RXD12 SMISO12 SSCL12 RXDX12	CTS12# RTS12# SS12#	—	—
01101b	—	—	—	RSPCKA	MOSIA	—

— : 設定しないでください。

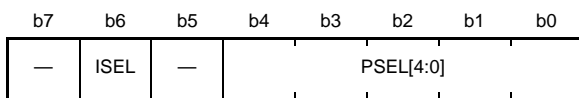
表 18.20 40ピン、36ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子				
	PE0	PE1	PE2	PE3	PE4
00000b (初期値)	Hi-Z				
00010b	MTIOC2A	—	—	MTIOC1B	MTIOC1A
00011b	—	—	—	MTIOC0A	—
01100b	SCK12	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	RXD12 SMISO12 SSCL12 RXDX12	CTS12# RTS12# SS12#	—
01101b	—	—	—	RSPCKA	MOSIA

— : 設定しないでください。

18.2.10 PHn 端子機能制御レジスタ (PHnPFS) (n=0 ~ 3)

アドレス PH0PFS 0008 C1C8h, PH1PFS 0008 C1C9h, PH2PFS 0008 C1CAh, PH3PFS 0008 C1CBh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	PHn端子入出力機能ビット	周辺機能を選択します。個々の端子機能については、下表を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PH1 : IRQ0 (64ピン、48ピン、40ピン、36ピン) PH2 : IRQ1 (64ピン、48ピン、40ピン、36ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 18.21 64ピン、48ピン、40ピン、36ピン端子入出力機能レジスタ設定

PSEL[4:0] 設定値	端子			
	PH0	PH1	PH2	PH3
00000b (初期値)	Hi-Z			
00001b	MTIOC1B	—	—	MTIOC1A
00111b	CACREF	—	—	—

— : 設定しないでください。

18.2.11 PJn 端子機能制御レジスタ (PJnPFS) (n=6, 7)

アドレス PJ6PFS 0008 C1D6h, PJ7PFS 0008 C1D7h

b7	b6	b5	b4	b3	b2	b1	b0
ASEL	—	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ASEL	アナログ機能選択ビット	PJ6PFS.ASELビット (64ピン、48ピン、40ピン、36ピン) 0 : 高電位側の基準電源端子にAVCC0端子を選択 1 : 高電位側の基準電源端子にVREFH0端子を選択 PJ7PFS.ASELビット (64ピン、48ピン、40ピン、36ピン) 0 : 低電位側の基準電源グランド端子にAVSS0端子を選択 1 : 低電位側の基準電源グランド端子にVREFL0端子を選択	R/W

18.3 使用上の注意事項

18.3.1 端子入出力機能設定手順

端子入出力機能の設定は下記の手順で行ってください。

1. ポートモードレジスタ (PMR) を“0”にして汎用入出力ポートに設定します。
2. 当該端子にアサインされる入出力信号を周辺モジュール内の I/O レジスタで設定します。
3. 書き込みプロテクトレジスタ (PWPR) を設定して、Pmn 端子機能制御レジスタ (PmnPFS) を書き込み有効にします (m=1～5、A～C、E、H、J、n=0～7)。
4. PmnPFS.PSEL[4:0] ビットにより端子入出力機能を設定します。
5. PWPR.PFSWE ビットを“0”設定し、PmnPFS レジスタへの書き込み禁止してください。
6. 必要に応じて PMR レジスタを“1”に設定し、選択された端子入出力機能に切り替えます。

18.3.2 MPC レジスタ設定する場合の注意事項

1. Pmn 端子機能制御レジスタ (PmnPFS) を設定するときは、当該端子の PMR レジスタが“0”の状態を設定してください。PMR レジスタが“1”の状態では PmnPFS レジスタを設定すると、入力機能の場合は意図しないエッジが入力されたり、出力機能の場合は、意図しないパルスが出力されたりする可能性があります。
2. PmnPFS レジスタで設定可能な機能以外に設定しないでください。指定機能以外に設定した場合、動作は保証されません。
3. MPC レジスタにより同一の機能を複数の端子に割り当てる設定はしないでください。
4. ポート 4、E は A/D コンバータのアナログ入力端子の機能も兼ねています。アナログ入力端子として使用する場合は、精度劣化させないために、ポートモードレジスタ (PMR) の当該ビットを“0”、ポート方向レジスタ (PDR) の当該ビットを“0”、プルアップ制御レジスタ (PCR) の当該ビットを“0”にして当該ビットを“0”にして当該端子を汎用入力にし、PmnPFS.ASEL ビットを“1”にしてください。

5. マルチプル端子のポートモードレジスタ (PMR)、ポート方向レジスタ (PDR) と、Pmn 端子機能制御レジスタ (PmnPFS) の設定および注意事項を表 18.22 に示します。

表 18.22 レジスタの設定

項目	PMR.Bn	PDR.Bn	PmnPFS			注意事項
			ASEL	ISEL	PSEL[4:0]	
リセット解除後	0	0	0	0	0000b	リセット解除後は汎用入力ポートとして機能します
汎用入力ポート	0	0	0	0/1	x	割り込み入力と併用する場合は、ISELビットを“1”にしてください
汎用出力ポート	0	1	0	0	x	
周辺機能	1	x	0	0/1	周辺機能 (表 18.2~ 表 18.21 参照)	割り込み入力と併用する場合は、ISELビットを“1”にしてください
割り込み入力	0	0	0	1	x	
NMI	x	x	x	x (注1)	x	レジスタの設定は不要です
アナログ入出力	0	0	1	x (注1)	x	出力バッファをOFFにするため、汎用入力ポートに設定してください
XCIN	0	0	x	x (注1)	x	出力バッファをOFFするため、汎用入力ポートに設定してください

x : 設定不要

0/1 : PmnPFS.ISEL ビットを“0”にすれば、IRQ 端子として機能しません

PmnPFS.ISEL ビットを“1”にすれば、IRQ 端子として機能します (IRQ がマルチプルされている場合)

注1. PmnPFS.ISELビットを“1”にしても、IRQn入力端子として機能しません。

- 注 .
- 端子状態の読み出しは、PmnPFS.ASEL ビットが“0”のとき可能です。
 - PmnPFS.PSEL[4:0] ビットの変更は、PMR.Bn ビットが“0”の状態で行ってください。
 - RIIC をアサインしたポートは、PCR.Bn ビットを“0”にしてください (RIIC 以外の周辺機能出力では自動的にプルアップが OFF になります)。

18.3.3 アナログ機能を使う場合の注意事項

アナログ機能を使用するときは、ポートモードレジスタ (PMR) の当該ビットを“0”、ポート方向レジスタ (PDR) の当該ビットを“0”、プルアップ制御レジスタ (PCR) の当該ビットを“0”にし、当該端子を汎用入力にしてから、Pmn 端子機能制御レジスタ (PmnPFS) の ASEL ビットを“1”にしてください。

19. マルチファンクションタイマパルスユニット2 (MTU2b)

本章に記載している PCLK とは PCLKB を指します。

19.1 概要

本 MCU は、4 チャンネル (MTU0 ~ MTU2, MTU5) の 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット2 (MTU) を内蔵しています。

表 19.1 に MTU の仕様を、表 19.2 に MTU の機能一覧を示します。また、図 19.1 に MTU のブロック図を示します。

表 19.1 MTU の仕様

項目	内容
パルス入出力	最大8本
パルス入力	3本
カウントクロック	チャンネルごとに8または7種類 (MTU5は4種類)
設定可能動作	【MTU0~MTU2】 <ul style="list-style-type: none"> コンペアマッチによる波形出力 インプットキャプチャ機能 (ノイズフィルタ設定機能) カウンタクリア動作 複数のタイマカウンタ (TCNT) への同時書き込み コンペアマッチ/インプットキャプチャによる同時クリア カウンタの同期動作による各レジスタの同期入出力 同期動作と組み合わせることによる最大8相のPWM出力
	【MTU0】 <ul style="list-style-type: none"> バッファ動作を設定可能
	【MTU1, MTU2】 <ul style="list-style-type: none"> 独立に位相計数モードを設定可能 カスケード接続動作
	【MTU5】 <ul style="list-style-type: none"> インプットキャプチャ機能 (ノイズフィルタ設定可能) カウンタクリア動作
割り込み要因	18種類
バッファ動作	レジスタデータの自動転送
トリガ生成	A/Dコンバータの変換スタートトリガを生成可能
消費電力低減機能	モジュールストップ状態への設定が可能

表 19.2 MTUの機能一覧 (1/2)

項目	MTU0	MTU1	MTU2	MTU5
カウントクロック	PCLK/1 PCLK/4 PCLK/16 PCLK/64 MTCLKA MTCLKB MTCLKC MTCLKD	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 MTCLKA MTCLKB	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/1024 MTCLKA MTCLKB MTCLKC	PCLK/1 PCLK/4 PCLK/16 PCLK/64
位相計数モードの外部クロック	—	MTCLKA MTCLKB	MTCLKC MTCLKD	—
ジェネラルレジスタ (TGR)	TGRA TGRB TGRE	TGRA TGRB	TGRA TGRB	TGRU TGRV TGRW
ジェネラルレジスタ/ バッファレジスタ	TGRC TGRD TGRF	—	—	—
入出力端子	MTIOC0A MTIOC0B MTIOC0C MTIOC0D	MTIOC1A MTIOC1B	MTIOC2A MTIOC2B	入力端子 MTIC5U MTIC5V MTIC5W
カウンタクリア機能	TGRのコンペアマッチ または インプットキャプチャ	TGRのコンペアマッチ または インプットキャプチャ	TGRのコンペアマッチ または インプットキャプチャ	TGRのコンペアマッチ または インプットキャプチャ
コンペア マッチ出力	Low出力	○	○	—
	High出力	○	○	—
	トグル出力	○	○	—
インプットキャプチャ機能	○	○	○	○
同期動作	○	○	○	—
PWMモード1	○	○	○	—
PWMモード2	○	○	○	—
AC同期モータ駆動モード	○	—	—	—
位相計数モード	—	○	○	—
バッファ動作	○	—	—	—
DTCの起動	TGRのコンペアマッチ または インプットキャプチャ	TGRのコンペアマッチ または インプットキャプチャ	TGRのコンペアマッチ または インプットキャプチャ	TGRのコンペアマッチ または インプットキャプチャ
A/D変換開始トリガ	TGRAのコンペアマッチ または インプットキャプチャ TGRBのコンペアマッチ または インプットキャプチャ TGREのコンペアマッチ TGRFのコンペアマッチ	TGRAのコンペアマッチ または インプットキャプチャ	TGRAのコンペアマッチ または インプットキャプチャ	—

表 19.2 MTUの機能一覧 (2/2)

項目	MTU0	MTU1	MTU2	MTU5
割り込み要因	7要因 ●コンペアマッチ/ インプット キャプチャ 0A ●コンペアマッチ/ インプット キャプチャ 0B ●コンペアマッチ/ インプット キャプチャ 0C ●コンペアマッチ/ インプット キャプチャ 0D ●コンペア マッチ 0E ●コンペア マッチ 0F ●オーバフロー	4要因 ●コンペアマッチ/ インプット キャプチャ 1A ●コンペアマッチ/ インプット キャプチャ 1B ●オーバフロー ●アンダフロー	4要因 ●コンペアマッチ/ インプット キャプチャ 2A ●コンペアマッチ/ インプット キャプチャ 2B ●オーバフロー ●アンダフロー	3要因 ●コンペアマッチ/ インプット キャプチャ 5U ●コンペアマッチ/ インプット キャプチャ 5V ●コンペアマッチ/ インプット キャプチャ 5W
モジュールストップ	MSTPCRA.MSTPA9 (注1)			

○：可能
 —：不可能

注1. モジュールストップの詳細については、「11. 消費電力低減機能」を参照してください。

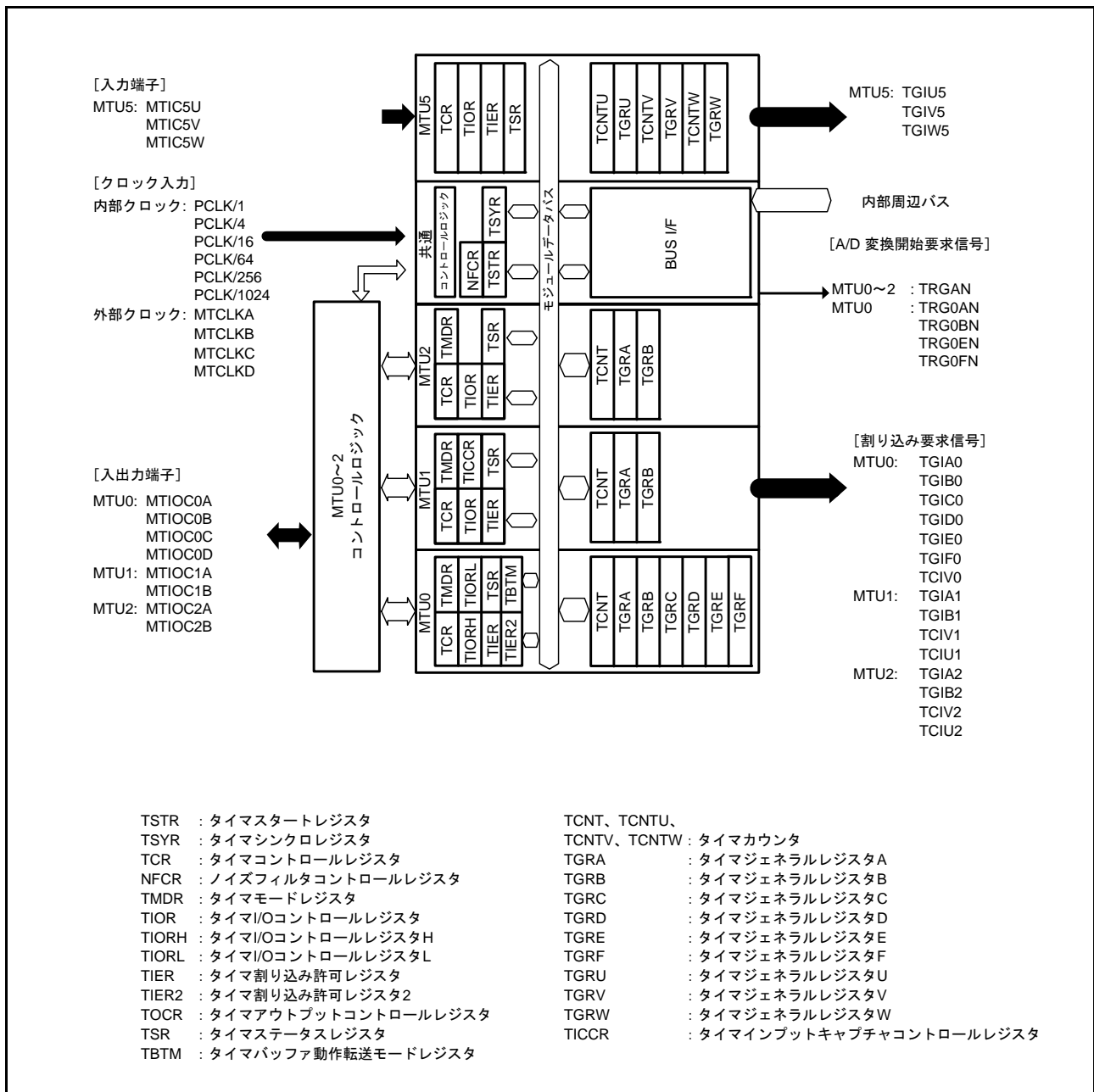


図 19.1 MTUのブロック図

表 19.3 に MTU で使用する入出力端子を示します。

表 19.3 MTUの入出力端子

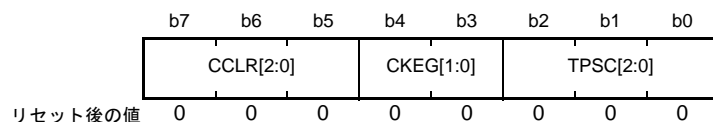
モジュール シンボル	端子名	入出力	機能
MTU	MTCLKA	入力	外部クロックA入力端子 (MTU1の位相計数モードA相入力)
	MTCLKB	入力	外部クロックB入力端子 (MTU1の位相計数モードB相入力)
	MTCLKC	入力	外部クロックC入力端子 (MTU2の位相計数モードA相入力)
	MTCLKD	入力	外部クロックD入力端子 (MTU2の位相計数モードB相入力)
MTU0	MTIOC0A	入出力	MTU0.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0B	入出力	MTU0.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0C	入出力	MTU0.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0D	入出力	MTU0.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU1	MTIOC1A	入出力	MTU1.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1B	入出力	MTU1.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU2	MTIOC2A	入出力	MTU2.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2B	入出力	MTU2.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU5	MTIC5U	入力	MTU5.TGRUのインプットキャプチャ入力/外部パルス入力端子
	MTIC5V	入力	MTU5.TGRVのインプットキャプチャ入力/外部パルス入力端子
	MTIC5W	入力	MTU5.TGRWのインプットキャプチャ入力/外部パルス入力端子

19.2 レジスタの説明

19.2.1 タイマコントロールレジスタ (TCR)

- MTU0.TCR, MTU1.TCR, MTU2.TCR

アドレス MTU0.TCR 0008 8700h, MTU1.TCR 0008 8780h, MTU2.TCR 0008 8800h

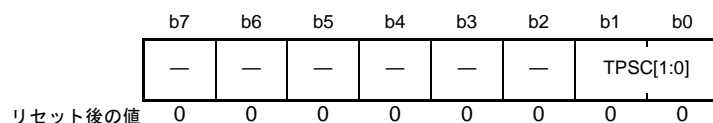


ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC[2:0]	タイマプリスケラ選択ビット	表 19.6～表 19.8を参照してください	R/W
b4-b3	CKEG[1:0]	クロックエッジ選択ビット	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 x : 両エッジでカウント	R/W
b7-b5	CCLR[2:0]	カウンタクリアビット	表 19.4、表 19.5を参照してください	R/W

x : Don't care

- MTU5.TCRU, MTU5.TCRV, MTU5.TCRW

アドレス MTU5.TCRU 0008 8884h, MTU5.TCRV 0008 8894h, MTU5.TCRW 0008 88A4h



ビット	シンボル	ビット名	機能	R/W
b1-b0	TPSC[1:0]	タイマプリスケラ選択ビット	表 19.9を参照してください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MTUには、MTU0～MTU2に各1本、MTU5にはTCRU/V/Wの3本、計6本のTCRレジスタがあります。

TCRレジスタは、各チャネルのTCNTカウンタを制御するレジスタです。TCRレジスタの設定は、TCNTカウンタの動作が停止した状態で行ってください。

TPSC[2:0] ビット (タイマプリスケラ選択ビット)

TCNTカウンタのカウントクロックソースを選択します。各チャネル独立に選択することができます。詳細は表 19.6～表 19.9を参照してください。

CKEG[1:0] ビット (クロックエッジ選択ビット)

カウントクロックソースのエッジを選択します。内部クロックを両エッジでカウントすると、カウントクロックの周期が1/2になります(例:PCLK/4の両エッジ=PCLK/2の立ち上がりエッジ)。MTU1、MTU2で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、カウントクロックソースがPCLK/4もしくはそれより遅い場合に有効です。カウントクロックソースにPCLK/1、あるいは他のチャネルのオーバフロー/アンダフローを選択した場合、値は書き

込めますが、動作は初期値になります。

CCLR[2:0] ビット (カウンタクリアビット)

TCNT カウンタのカウンタクリア要因を選択します。詳細は表 19.4、表 19.5 を参照してください。

表 19.4 CCLR[2:0] (MTU0)

チャンネル	ビット7	ビット6	ビット5	説明
	CCLR[2]	CCLR[1]	CCLR[0]	
MTU0	0	0	0	TCNTのクリア禁止
	0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア (注1)
	1	0	0	TCNTのクリア禁止
	1	0	1	TGRCのコンペアマッチ/インプットキャプチャでTCNTクリア (注2)
	1	1	0	TGRDのコンペアマッチ/インプットキャプチャでTCNTクリア (注2)
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア (注1)

注1. 同期動作の設定は、TSYR.SYNC0, ビットを“1”にすることにより行います。

注2. TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNTカウンタはクリアされません。

表 19.5 CCLR[2:0] (MTU1, MTU2)

チャンネル	ビット7	ビット6	ビット5	説明
	予約ビット (注2)	CCLR[1]	CCLR[0]	
MTU1 MTU2	0	0	0	TCNTのクリア禁止
	0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア (注1)

注1. 同期動作の設定は、TSYR.SYNCn (n = 1, 2) ビットを“1”にすることにより行います。

注2. MTU1、MTU2ではb7は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

表 19.6 TPSC[2:0] (MTU0)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC[2]	TPSC[1]	TPSC[0]	
MTU0	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	外部クロック : MTCLKA 端子入力でカウント
	1	0	1	外部クロック : MTCLKB 端子入力でカウント
	1	1	0	外部クロック : MTCLKC 端子入力でカウント
	1	1	1	外部クロック : MTCLKD 端子入力でカウント

表 19.7 TPSC[2:0] (MTU1)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC[2]	TPSC[1]	TPSC[0]	
MTU1	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	外部クロック : MTCLKA 端子入力でカウント
	1	0	1	外部クロック : MTCLKB 端子入力でカウント
	1	1	0	内部クロック : PCLK/256でカウント
	1	1	1	MTU2.TCNTのオーバフロー/アンダフローでカウント

注. MTU1が位相計数モード時、この設定は無効になります。

表 19.8 TPSC[2:0] (MTU2)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC[2]	TPSC[1]	TPSC[0]	
MTU2	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	外部クロック : MTCLKA 端子入力でカウント
	1	0	1	外部クロック : MTCLKB 端子入力でカウント
	1	1	0	外部クロック : MTCLKC 端子入力でカウント
	1	1	1	内部クロック : PCLK/1024でカウント

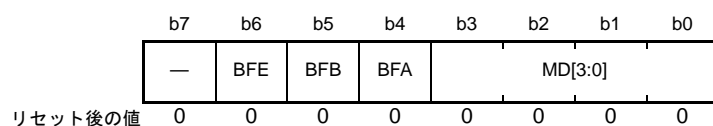
注. MTU2が位相計数モード時、この設定は無効になります。

表 19.9 TPSC[1:0] (MTU5)

チャンネル	ビット1	ビット0	説明
	TPSC[1]	TPSC[0]	
MTU5	0	0	内部クロック : PCLK/1でカウント
	0	1	内部クロック : PCLK/4でカウント
	1	0	内部クロック : PCLK/16でカウント
	1	1	内部クロック : PCLK/64でカウント

19.2.2 タイマモードレジスタ (TMDR)

アドレス MTU0.TMDR 0008 8701h, MTU1.TMDR 0008 8781h, MTU2.TMDR 0008 8801h



ビット	シンボル	ビット名	機能	R/W
b3-b0	MD[3:0]	モード選択ビット	タイマの動作モードを設定します。表 19.10を参照してください	R/W
b4	BFA	バッファ動作Aビット	0 : TGRAとTGRCレジスタは通常動作 1 : TGRAとTGRCレジスタはバッファ動作	R/W
b5	BFB	バッファ動作Bビット	0 : TGRBとTGRDレジスタは通常動作 1 : TGRBとTGRDレジスタはバッファ動作	R/W
b6	BFE	バッファ動作Eビット	0 : MTU0.TGREとMTU0.TGRFレジスタは通常動作 1 : MTU0.TGREとMTU0.TGRFレジスタはバッファ動作	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMDRレジスタは、各チャンネルの動作モードを設定するレジスタです。TMDRレジスタの設定は、TCNTカウンタの動作が停止した状態で行ってください。

表 19.10 MD[3:0]ビットによる動作モードの設定

ビット3	ビット2	ビット1	ビット0	説明	MTU0	MTU1	MTU2
MD[3]	MD[2]	MD[1]	MD[0]				
0	0	0	0	ノーマルモード	○	○	○
0	0	0	1	設定しないでください			
0	0	1	0	PWMモード1	○	○	○
0	0	1	1	PWMモード2	○	○	○
0	1	0	0	位相計数モード1		○	○
0	1	0	1	位相計数モード2		○	○
0	1	1	0	位相計数モード3		○	○
0	1	1	1	位相計数モード4		○	○
1	x	x	x	設定しないでください。			

x : Don't care

注. 各チャンネルで○が付いている動作モード以外の動作モードは設定しないでください。

BFA ビット (バッファ動作 A ビット)

TGRA レジスタを通常動作にするか、TGRA レジスタと TGRC レジスタを組み合わせでバッファ動作させるかを設定します。TGRC レジスタをバッファレジスタとして使用した場合、TGRC レジスタのインプットキャプチャ/アウトプットコンペアは発生しません。TGRC レジスタを持たない MTU1、MTU2 では、このビットは予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

BFB ビット (バッファ動作 B ビット)

TGRB レジスタを通常動作にするか、TGRB レジスタと TGRD レジスタを組み合わせでバッファ動作させるかを設定します。TGRD レジスタをバッファレジスタとして使用した場合、TGRD レジスタのインプットキャプチャ/アウトプットコンペアは発生しません。TGRD レジスタを持たない MTU1、MTU2 では、このビットは予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

BFE ビット (バッファ動作 E ビット)

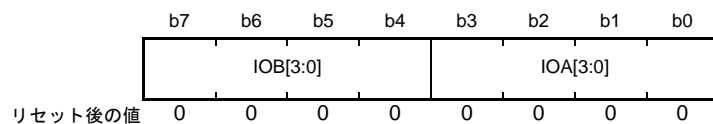
MTU0.TGRE レジスタと MTU0.TGRF レジスタを通常動作またはバッファ動作させるかどうかを選択します。TGRF レジスタをバッファレジスタとして使用した場合も、TGRF レジスタのコンペアマッチは発生します。

MTU1 ~ MTU2 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

19.2.3 タイマ I/O コントロールレジスタ (TIOR)

- MTU0.TIORH, MTU1.TIOR, MTU2.TIOR

アドレス MTU0.TIORH 0008 8702h, MTU1.TIOR 0008 8782h, MTU2.TIOR 0008 8802h

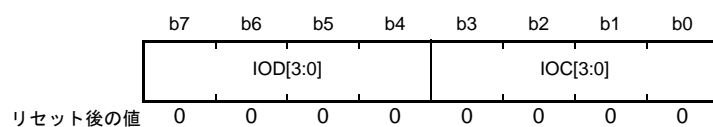


ビット	シンボル	ビット名	機能	R/W
b3-b0	IOA[3:0]	I/OコントロールAビット	下記の表を参照してください (注1) MTU0.TIORH : 表 19.15 MTU1.TIOR : 表 19.17 MTU2.TIOR : 表 19.18	R/W
b7-b4	IOB[3:0]	I/OコントロールBビット	下記の表を参照してください (注1) MTU0.TIORH : 表 19.11 MTU1.TIOR : 表 19.13 MTU2.TIOR : 表 19.14	R/W

注1. コンペアマッチでLow出力/High出力/トグル出力中に、IOm[3:0]ビット (m = A, B) の値を出力禁止 (“0000b”または“0100b”) へ変更するとHi-Zになります。

- MTU0.TIORL

アドレス MTU0.TIORL 0008 8703h

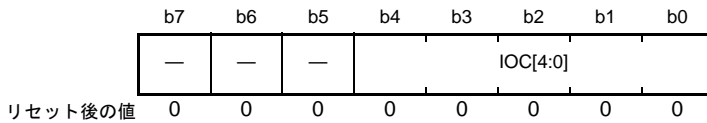


ビット	シンボル	ビット名	機能	R/W
b3-b0	IOC[3:0]	I/OコントロールCビット	下記の表を参照してください (注1) MTU0.TIORL : 表 19.16	R/W
b7-b4	IOD[3:0]	I/OコントロールDビット	下記の表を参照してください (注1) MTU0.TIORL : 表 19.12	R/W

注1. コンペアマッチでLow出力/High出力/トグル出力中に、IOm[3:0]ビット (m = C, D) の値を出力禁止 (“0000b”または“0100b”) へ変更するとHi-Zになります。

- MTU5.TIORU, MTU5.TIORV, MTU5.TIORW

アドレス MTU5.TIORU 0008 8886h, MTU5.TIORV 0008 8896h, MTU5.TIORW 0008 88A6h



ビット	シンボル	ビット名	機能	R/W
b4-b0	IOC[4:0]	I/OコントロールCビット	下記の表を参照してください MTU5.TIORU, MTU5.TIORV, MTU5.TIORW : 表 19.19	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MTUには、MTU0に2本、MTU1、MTU2に各1本、MTU5にはMTU5.TIORU/V/Wの3本、計7本のTIORレジスタがあります。

TIORレジスタで指定した初期出力はカウンタ停止した（TSTR.CSTビットを“0”にした）状態で有効になります。また、PWMモード2の場合にはカウンタが“0”になった時点での出力を指定します。

TGRCレジスタあるいはTGRDレジスタをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

表 19.11 TIORH (MTU0)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	MTU0.TGRBの機能	MTIOC0B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでイン プットキャプチャ (注1)

x : Don't care

注1. MTU1のカウントクロックにPCLK/1を選択した場合、MTU0のインプットキャプチャは発生しません。MTU1のカウントクロックにはPCLK/1以外のクロックを選択してください。

表 19.12 TIORL (MTU0)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	MTU0.TGRDの機能	MTIOC0D端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0		インプットキャプチャレジスタ (注1)
1	0	0	1	立ち下がりエッジでインプットキャプチャ	
1	0	1	x	両エッジでインプットキャプチャ	
1	1	x	x	キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでイン プットキャプチャ (注2)	

x : Don't care

注1. MTU0.TMDR.BFBビットを“1”にしてMTU0.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

注2. MTU1のカウントクロックにPCLK/1を選択した場合、MTU0のインプットキャプチャは発生しません。MTU1のカウントクロックにはPCLK/1以外のクロックを選択してください。

表 19.13 TIOR (MTU1)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	MTU1.TGRBの機能	MTIOC1B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0		インプットキャプチャレジスタ
1	0	0	1	立ち下がりエッジでインプットキャプチャ	
1	0	1	x	両エッジでインプットキャプチャ	
1	1	x	x	MTU0.TGRCのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ	

x : Don't care

表 19.14 TIOR (MTU2)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	MTU2.TGRBの機能	MTIOC2B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表 19.15 TIORH (MTU0)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	MTU0.TGRAの機能	MTIOC0A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでイン プットキャプチャ (注1)

x : Don't care

注1. MTU1のカウントクロックにPCLK/1を選択した場合、MTU0のインプットキャプチャは発生しません。MTU1のカウントクロックにはPCLK/1以外のクロックを選択してください。

表 19.16 TIORL (MTU0)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	MTU0.TGRCの機能	MTIOC0Cの端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0		インプットキャプチャレジスタ (注1)
1	0	0	1	立ち下がりエッジでインプットキャプチャ	
1	0	1	x	両エッジでインプットキャプチャ	
1	1	x	x	キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでイン プットキャプチャ (注2)	

x : Don't care

- 注1. MTU0.TMDR.BFAビットを“1”にしてMTU0.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。
- 注2. MTU1のカウントクロックにPCLK/1を選択した場合、MTU0のインプットキャプチャは発生しません。MTU1のカウントクロックにはPCLK/1以外のクロックを選択してください。

表 19.17 TIOR (MTU1)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	MTU1.TGRAの機能	MTIOC1A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0		インプットキャプチャレジスタ
1	0	0	1	立ち下がりエッジでインプットキャプチャ	
1	0	1	x	両エッジでインプットキャプチャ	
1	1	x	x	MTU0.TGRAのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ	

x : Don't care

表 19.18 TIOR (MTU2)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	MTU2.TGRAの機能	MTIOC2A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表 19.19 TIORU, TIORV, TIORW (MTU5)

ビット4	ビット3	ビット2	ビット1	ビット0	説明	
IOC[4]	IOC[3]	IOC[2]	IOC[1]	IOC[0]	MTU5.TGRU、MTU5.TGRV、MTU5.TGRWの機能	MTIC5U、MTIC5V、MTIC5W端子の機能
0	0	0	0	0	コンペアマッチレジスタ	コンペアマッチ
0	0	0	0	1		設定しないでください
0	0	0	1	x		設定しないでください
0	0	1	x	x		設定しないでください
0	1	x	x	x		設定しないでください
1	0	0	0	0	インプットキャプチャレジスタ (注1)	設定しないでください
1	0	0	0	1		立ち上がりエッジでインプットキャプチャ
1	0	0	1	0		立ち下がりエッジでインプットキャプチャ
1	0	0	1	1		両エッジでインプットキャプチャ
1	0	1	x	x		設定しないでください
1	1	0	0	0		設定しないでください
1	1	0	0	1		外部入力信号のLowパルス幅測定用
1	1	0	1	0		外部入力信号のLowパルス幅測定用
1	1	0	1	1		外部入力信号のLowパルス幅測定用
1	1	1	0	0		設定しないでください
1	1	1	0	1		外部入力信号のHighパルス幅測定用
1	1	1	1	0		外部入力信号のHighパルス幅測定用
1	1	1	1	1		外部入力信号のHighパルス幅測定用

x : Don't care

注1. IOC[4:0]ビットへの“19h”、“1Ah”、“1Bh”、“1Dh”、“1Eh”、“1Fh”の設定は、外部パルス幅測定機能使用時のみとしてください。詳細は「19.3.7 外部パルス幅測定機能」を参照してください。

19.2.4 タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)

アドレス MTU5.TCNTCMPCLR 0008 88B6h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CMPCLR5U	CMPCLR5V	CMPCLR5W
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPCLR5W	TCNTコンペアクリア5Wビット	0 : MTU5.TCNTWカウンタとMTU5.TGRWレジスタのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTWカウンタの0000hクリアを禁止 1 : MTU5.TCNTWカウンタとMTU5.TGRWレジスタのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTWカウンタの0000hクリアを許可	R/W
b1	CMPCLR5V	TCNTコンペアクリア5Vビット	0 : MTU5.TCNTVカウンタとMTU5.TGRVレジスタのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTVカウンタの0000hクリアを禁止 1 : MTU5.TCNTVカウンタとMTU5.TGRVレジスタのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTVカウンタの0000hクリアを許可	R/W
b2	CMPCLR5U	TCNTコンペアクリア5Uビット	0 : MTU5.TCNTUカウンタとMTU5.TGRUレジスタのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTUカウンタの0000hクリアを禁止 1 : MTU5.TCNTUカウンタとMTU5.TGRUレジスタのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTUカウンタの0000hクリアを許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TCNTCMPCLR レジスタは、MTU5.TCNTU、TCNTV、TCNTW カウンタのクリア要求を設定するレジスタです。

19.2.5 タイマ割り込み許可レジスタ (TIER)

- MTU0.TIER

アドレス MTU0.TIER 0008 8704h

b7	b6	b5	b4	b3	b2	b1	b0
TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA

リセット後の値 0 0 0 0 0 0 0 0

- MTU1.TIER, MTU2.TIER

アドレス MTU1.TIER 0008 8784h, MTU2.TIER 0008 8804h

b7	b6	b5	b4	b3	b2	b1	b0
TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEA	TGR 割り込み許可 A ビット	0: 割り込み要求 (TGIA) を禁止 1: 割り込み要求 (TGIA) を許可	R/W
b1	TGIEB	TGR 割り込み許可 B ビット	0: 割り込み要求 (TGIB) を禁止 1: 割り込み要求 (TGIB) を許可	R/W
b2	TGIEC	TGR 割り込み許可 C ビット	0: 割り込み要求 (TGIC) を禁止 1: 割り込み要求 (TGIC) を許可	R/W
b3	TGIED	TGR 割り込み許可 D ビット	0: 割り込み要求 (TGID) を禁止 1: 割り込み要求 (TGID) を許可	R/W
b4	TCIEV	オーバフロー割り込み許可ビット	0: 割り込み要求 (TCIV) を禁止 1: 割り込み要求 (TCIV) を許可	R/W
b5	TCIEU	アンダフロー割り込み許可ビット	0: 割り込み要求 (TCIU) を禁止 1: 割り込み要求 (TCIU) を許可	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TTGE	A/D変換開始要求許可ビット	0: A/D変換開始要求の発生を禁止 1: A/D変換開始要求の発生を許可	R/W

MTUには、MTU0に2本、MTU1、MTU2、MTU5に各1本、計5本のTIERレジスタがあります。TIERレジスタは、各チャネルの割り込み要求の許可、禁止を設定するレジスタです。

TGIEA、TGIEB ビット (TGR 割り込み許可 A、B ビット)

割り込み要求 (TGIm) を許可または禁止します。(m = A, B)

TGIEC、TGIED ビット (TGR 割り込み許可 C、D ビット)

MTU0で割り込み要求 (TGIm) を許可または禁止します。(m = C, D)

MTU1、MTU2では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TCIEV ビット (オーバフロー割り込み許可ビット)

割り込み要求 (TCIV) を許可または禁止します。

TCIEU ビット (アンダフロー割り込み許可ビット)

MTU1、MTU2 で割り込み要求 (TCIU) を許可または禁止します。

MTU0 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TTGE ビット (A/D 変換開始要求許可ビット)

TGRA レジスタのインプットキャプチャ/コンペアマッチによる A/D コンバータ開始要求の発生を許可または禁止します。

- MTU0.TIER2

アドレス MTU0.TIER2 0008 8724h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TGIEF	TGIEE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEE	TGR 割り込み許可 E ビット	0 : 割り込み要求 (TGIE) を禁止 1 : 割り込み要求 (TGIE) を許可	R/W
b1	TGIEF	TGR 割り込み許可 F ビット	0 : 割り込み要求 (TGIF) を禁止 1 : 割り込み要求 (TGIF) を許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TGIEE、TGIEF ビット (TGR 割り込み許可 E、F ビット)

MTU0.TCNT カウンタと MTU0.TGRm レジスタのコンペアマッチによる割り込み要求の発生を許可または禁止します。(m = E, F)

- MTU5.TIER

アドレス MTU5.TIER 0008 88B2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TGIE5U	TGIE5V	TGIE5W
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIE5W	TGR 割り込み許可 5W ビット	0 : TGIE5W 割り込み要求を禁止 1 : TGIE5W 割り込み要求を許可	R/W
b1	TGIE5V	TGR 割り込み許可 5V ビット	0 : TGIE5V 割り込み要求を禁止 1 : TGIE5V 割り込み要求を許可	R/W
b2	TGIE5U	TGR 割り込み許可 5U ビット	0 : TGIE5U 割り込み要求を禁止 1 : TGIE5U 割り込み要求を許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TGIE5W、TGIE5V、TGIE5U ビット (TGR 割り込み許可 5m ビット)

割り込み要求 (TGI5m) を許可または禁止します。(m = W, V, U)

19.2.6 タイマステータスレジスタ (TSR)

アドレス MTU0.TSR 0008 8705h, MTU1.TSR 0008 8785h, MTU2.TSR 0008 8805h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	TCFD	カウント方向フラグ	0 : TCNTカウンタはダウンカウント 1 : TCNTカウンタはアップカウント	R

MTUには、MTU0～MTU2に各1本、計3本のTSRレジスタがあります。

TSRレジスタは、各チャンネルのステータスを表示するレジスタです。

TCFD フラグ (カウント方向フラグ)

MTU1～MTU2のTCNTカウンタのカウント方向を示すステータスフラグです。

MTU0では予約ビットです。読むと“1”が読めます。書く場合、“1”としてください。

19.2.7 タイマバッファ動作転送モードレジスタ (TBTM)

アドレス MTU0.TBTM 0008 8726h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TTSE	TTSB	TTSA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TTSA	タイミング選択Aビット	0: TGRCレジスタからTGRAレジスタへの転送タイミングは各チャンネルのコンペアマッチA発生時 1: TGRCレジスタからTGRAレジスタへの転送タイミングは各チャンネルのTCNTカウンタクリア時	R/W
b1	TTSB	タイミング選択Bビット	0: TGRDレジスタからTGRBレジスタへの転送タイミングは各チャンネルのコンペアマッチB発生時 1: TGRDレジスタからTGRBレジスタへの転送タイミングは各チャンネルのTCNTカウンタクリア時	R/W
b2	TTSE	タイミング選択Eビット	0: MTU0.TGRFレジスタからMTU0.TGREレジスタへの転送タイミングは各チャンネルのMTU0のコンペアマッチE発生時 1: MTU0.TGRFレジスタからMTU0.TGREレジスタへの転送タイミングは各チャンネルのMTU0.TCNTカウンタクリア時	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MTUには、MTU0に1本のTBTMレジスタがあります。

TBTMレジスタは、PWMモード時のバッファレジスタからタイマジェネラルレジスタへの転送タイミングを設定するレジスタです。

TTSA ビット (タイミング選択 A ビット)

各チャンネルのバッファ動作時のTGRCレジスタからTGRAレジスタへの転送タイミングを設定します。なお、PWMモード以外で使用するチャンネルでは、TTSAビットを“1”に設定しないでください。

TTSB ビット (タイミング選択 B ビット)

各チャンネルのバッファ動作時のTGRDレジスタからTGRBレジスタへの転送タイミングを設定します。なお、PWMモード以外で使用するチャンネルでは、TTSBビットを“1”に設定しないでください。

TTSE ビット (タイミング選択 E ビット)

バッファ動作時のMTU0.TGRFレジスタからMTU0.TGREレジスタへの転送タイミングを設定します。なお、MTU0をPWMモード以外で使用する場合は、TTSEビットを“1”に設定しないでください。

19.2.8 タイムインプットキャプチャコントロールレジスタ (TICCR)

アドレス MTU1.TICCR 0008 8790h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	I2BE	I2AE	I1BE	I1AE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	I1AE	インプットキャプチャ許可ビット	0 : MTIOC1A端子をMTU2.TGRAレジスタのインプットキャプチャ条件に追加しない 1 : MTIOC1A端子をMTU2.TGRAレジスタのインプットキャプチャ条件に追加する	R/W
b1	I1BE	インプットキャプチャ許可ビット	0 : MTIOC1B端子をMTU2.TGRBレジスタのインプットキャプチャ条件に追加しない 1 : MTIOC1B端子をMTU2.TGRBレジスタのインプットキャプチャ条件に追加する	R/W
b2	I2AE	インプットキャプチャ許可ビット	0 : MTIOC2A端子をMTU1.TGRAレジスタのインプットキャプチャ条件に追加しない 1 : MTIOC2A端子をMTU1.TGRAレジスタのインプットキャプチャ条件に追加する	R/W
b3	I2BE	インプットキャプチャ許可ビット	0 : MTIOC2B端子をMTU1.TGRBレジスタのインプットキャプチャ条件に追加しない 1 : MTIOC2B端子をMTU1.TGRBレジスタのインプットキャプチャ条件に追加する	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MTUには、MTU1に1本のTICCRレジスタがあります。

TICCRレジスタは、MTU1.TCNTカウンタとMTU2.TCNTカウンタのカスケード接続時のインプットキャプチャ条件を設定するレジスタです。

19.2.9 タイマカウンタ (TCNT)

アドレス MTU0.TCNT 0008 8706h, MTU1.TCNT 0008 8786h, MTU2.TCNT 0008 8806h,
MTU5.TCNTU 0008 8880h, MTU5.TCNTV 0008 8890h, MTU5.TCNTW 0008 88A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

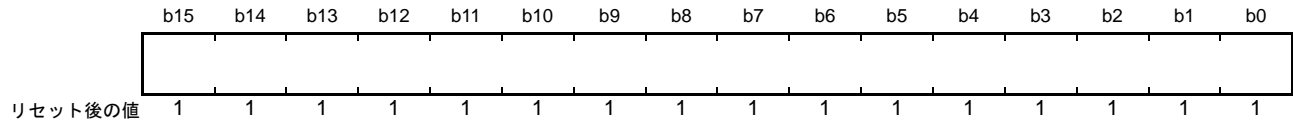
注. TCNTカウンタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

MTUには、MTU0～MTU2に各1本、MTU5にMTU5.TCNTU/V/Wの3本、計6本のTCNTカウンタがあります。

TCNTカウンタは、読み出し/書き込み可能なカウンタです。

19.2.10 タイマジェネラルレジスタ (TGR)

アドレス MTU0.TGRA 0008 8708h, MTU0.TGRB 0008 870Ah, MTU0.TGRC 0008 870Ch,
 MTU0.TGRD 0008 870Eh, MTU0.TGRE 0008 8720h, MTU0.TGRF 0008 8722h,
 MTU1.TGRA 0008 8788h, MTU1.TGRB 0008 878Ah, MTU2.TGRA 0008 8808h,
 MTU2.TGRB 0008 880Ah, MTU5.TGRU 0008 8882h, MTU5.TGRV 0008 8892h, MTU5.TGRW 0008 88A2h



注. TGRレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

MTUには、MTU0に6本、MTU1、MTU2に各2本、MTU5に3本、計13本のジェネラルレジスタがあります。

TGRA、TGRB、TGRC、TGRDレジスタはアウトプットコンペア/インプットキャプチャ兼用のレジスタです。MTU0のTGRCレジスタとTGRDレジスタは、バッファレジスタとして動作設定することができます。TGRレジスタとバッファレジスタの組み合わせは、TGRA-TGRC、TGRB-TGRDになります。

MTU0.TGRE、MTU0.TGRFレジスタはコンペアレジスタとして機能し、MTU0.TCNTカウンタとMTU0.TGREレジスタが一致したとき、A/D変換開始要求を発生することができます。TGRFレジスタは、バッファレジスタとして動作設定することができます。TGRレジスタとバッファレジスタの組み合わせは、TGRE-TGRFになります。

MTU5.TGRU、MTU5.TGRV、MTU5.TGRWレジスタはコンペアマッチ/インプットキャプチャ/外部パルス幅測定兼用のレジスタです。

19.2.11 タイマスタートレジスタ (TSTR)

- MTU.TSTR (MTU0 ~ MTU2)

アドレス MTU.TSTR 0008 8680h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	CST2	CST1	CST0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CST0	カウンタスタート0ビット	0 : MTU0.TCNTカウンタはカウント停止 1 : MTU0.TCNTカウンタはカウント動作	R/W
b1	CST1	カウンタスタート1ビット	0 : MTU1.TCNTカウンタはカウント停止 1 : MTU1.TCNTカウンタはカウント動作	R/W
b2	CST2	カウンタスタート2ビット	0 : MTU2.TCNTカウンタはカウント停止 1 : MTU2.TCNTカウンタはカウント動作	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TSTR レジスタは MTU0 ~ MTU2 の TCNT カウンタの動作 / 停止を選択するレジスタです。

TMDR レジスタへ動作モードを設定する場合や TCR レジスタへ TCNT カウンタのカウントクロックを設定する場合は、TCNT カウンタのカウント動作を停止してから行ってください。

CSTn ビット (カウンタスタート n ビット) (n = 0 ~ 2)

各チャネルの TCNT カウンタの動作または停止を選択します。

MTIOC 端子を出力状態で動作中に、CSTn ビットに“0”を書くとカウンタは停止しますが、MTIOC 端子のアウトプットコンペア出力レベルは保持されます。CSTn ビットが“0”の状態では TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

- MTU5.TSTR (MTU5)

アドレス MTU5.TSTR 0008 88B4h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	CSTU5	CSTV5	CSTW5

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CSTW5	カウンタスタートW5ビット	0 : MTU5.TCNTWカウンタはカウント停止 1 : MTU5.TCNTWカウンタはカウント動作	R/W
b1	CSTV5	カウンタスタートV5ビット	0 : MTU5.TCNTVカウンタはカウント停止 1 : MTU5.TCNTVカウンタはカウント動作	R/W
b2	CSTU5	カウンタスタートU5ビット	0 : MTU5.TCNTUカウンタはカウント停止 1 : MTU5.TCNTUカウンタはカウント動作	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

19.2.12 タイマシンクロレジスタ (TSYR)

アドレス MTU.TSYR 0008 8681h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SYNC2	SYNC1	SYNC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC0	タイマ同期0ビット	0: MTU0.TCNTカウンタは独立して動作 (TCNTカウンタのセット/クリアは他のチャンネルと無関係) 1: MTU0.TCNTカウンタは同期動作 TCNTカウンタの同期セット/同期クリアが可能	R/W
b1	SYNC1	タイマ同期1ビット	0: MTU1.TCNTカウンタは独立して動作 (TCNTカウンタのセット/クリアは他のチャンネルと無関係) 1: MTU1.TCNTカウンタは同期動作 TCNTカウンタの同期セット/同期クリアが可能	R/W
b2	SYNC2	タイマ同期2ビット	0: MTU2.TCNTカウンタは独立して動作 (TCNTカウンタのセット/クリアは他のチャンネルと無関係) 1: MTU2.TCNTカウンタは同期動作 TCNTカウンタの同期セット/同期クリアが可能	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TSYR レジスタはMTU0～MTU2のTCNTカウンタの独立動作または同期動作を選択するレジスタです。対応するビットを“1”にしたチャンネルが同期動作を行います。

SYNCn ビット (タイマ同期 n ビット) (n = 0 ~ 2)

独立動作または他のチャンネルとの同期動作を選択します。

同期動作を選択すると、複数のTCNTカウンタの同期セットや、他チャンネルのカウントクリアによる同期クリアが可能となります。

同期動作の設定には、最低2チャンネルのSYNCnビットを“1”にする必要があります。同期クリアの設定には、SYNCnビットの他にTCR.CCLR[2:0]ビットで、TCNTカウンタのクリア要因を設定する必要があります。

19.2.13 ノイズフィルタコントロールレジスタ (NFCR)

- MTU0.NFCR, MTU1.NFCR, MTU2.NFCR

アドレス MTU0.NFCR 0008 8690h, MTU1.NFCR 0008 8691h, MTU2.NFCR 0008 8692h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	NFCS[1:0]	NFDEN	NFCEN	NFBEN	NFAEN	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFAEN	ノイズフィルタA許可ビット	0 : MTIOCnA端子のノイズフィルタは無効 1 : MTIOCnA端子のノイズフィルタを有効	R/W
b1	NFBEN	ノイズフィルタB許可ビット	0 : MTIOCnB端子のノイズフィルタは無効 1 : MTIOCnB端子のノイズフィルタを有効	R/W
b2	NFCEN	ノイズフィルタC許可ビット	0 : MTIOCnC端子のノイズフィルタは無効 1 : MTIOCnC端子のノイズフィルタを有効	R/W (注1)
b3	NFDEN	ノイズフィルタD許可ビット	0 : MTIOCnD端子のノイズフィルタは無効 1 : MTIOCnD端子のノイズフィルタを有効	R/W (注1)
b5-b4	NFCS[1:0]	ノイズフィルタクロック選択ビット	b5 b4 0 0 : PCLK/1 0 1 : PCLK/8 1 0 : PCLK/32 1 1 : カウントソースを外部クロックに設定	R/W
b7-b6	—	予約ビット	読むと“0”が読みます。書く場合、“0”としてください	R/W

注1. MTU1.NFCRレジスタ、MTU2.NFCRレジスタでは予約ビットになります。読むと“0”が読みだされます。書き込み値は無効です。

MTU_n.NFCR レジスタ (n = 0 ~ 2) は、MTIOC_nm 端子 (n = 0 ~ 2, m = A ~ D) のノイズフィルタの有効/無効、ノイズフィルタのサンプリングクロックを設定するレジスタです。

NFAEN ビット (ノイズフィルタ A 許可ビット)

MTIOC_nA 端子の入力のノイズフィルタ機能の有効/無効を設定します。NFAEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR.MD[3:0] ビットでノーマルモード (0000b) 以外に設定した状態で、NFAEN ビットを切り替えてください。

NFBEN ビット (ノイズフィルタ B 許可ビット)

MTIOC_nB 端子の入力のノイズフィルタ機能の有効/無効を設定します。NFBEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR.MD[3:0] ビットでノーマルモード (0000b) 以外に設定した状態で、NFBEN ビットを切り替えてください。

NFCEN ビット (ノイズフィルタ C 許可ビット)

MTIOC_nC 端子の入力のノイズフィルタ機能の有効/無効を設定します。NFCEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定または、TMDR.MD[3:0] ビットでノーマルモード (0000b) 以外に設定した状態で、NFCEN ビットを切り替えてください。

NFDEN ビット (ノイズフィルタ D 許可ビット)

MTIOCN_D 端子の入力のノイズフィルタ機能の有効/無効を設定します。NFDEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定または、TMDR.MD[3:0] ビットでノーマルモード (0000b) 以外に設定した状態で、NFDEN ビットを切り替えてください。

NFCS[1:0] ビット (ノイズフィルタクロック選択ビット)

ノイズフィルタのサンプリング周期を設定します。NFCS[1:0] ビットの設定後、設定したサンプリング周期の2周期分待った後、インプットキャプチャ機能に設定してください。NFCS[1:0] ビットを“11b”に設定しカウントソースを外部クロックとした場合、NFCS[1:0] ビット設定後外部クロックを2回入力した後インプットキャプチャ機能に設定してください。

- MTU5.NFCR

アドレス MTU5.NFCR 0008 8695h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	NFCS[1:0]	—	NFWE N	NFVEN	NFUEN	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	NFUEN	ノイズフィルタU許可ビット	0 : MTIC5U端子のノイズフィルタは停止 1 : MTIC5U端子のノイズフィルタを許可	R/W
b1	NFVEN	ノイズフィルタV許可ビット	0 : MTIC5V端子のノイズフィルタは停止 1 : MTIC5V端子のノイズフィルタを許可	R/W
b2	NFWEN	ノイズフィルタW許可ビット	0 : MTIC5W端子のノイズフィルタは停止 1 : MTIC5W端子のノイズフィルタを許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	NFCS[1:0]	ノイズフィルタクロック選択ビット	b5 b4 0 0 : PCLK/1 0 1 : PCLK/8 1 0 : PCLK/32 1 1 : カウントソースを外部クロックに設定	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MTU5.NFCR レジスタは、8ビットの読み出し/書き込み可能なレジスタです。MTU5.NFCR レジスタは、MTIC5m 端子のノイズフィルタを許可/停止を制御します。また、ノイズフィルタのサンプリングクロックを設定します。(m = U, V, W)

NFUEN ビット (ノイズフィルタ U 許可ビット)

MTIC5U 端子の入力のノイズフィルタ機能の許可/停止を設定します。NFUEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で NFUEN ビットを切り替えてください。

NFVEN ビット (ノイズフィルタ V 許可ビット)

MTIC5V 端子の入力のノイズフィルタ機能の許可/停止を設定します。NFVEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で NFVEN ビットを切り替えてください。

NFWEN ビット (ノイズフィルタ W 許可ビット)

MTIC5W 端子の入力のノイズフィルタ機能の許可/停止を設定します。NFWEN ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で NFWEN ビットを切り替えてください。

NFCS[1:0] ビット (ノイズフィルタクロック選択ビット)

ノイズフィルタのサンプリング周期を設定するレジスタです。NFCS[1:0] ビットの設定後、設定したサンプリング周期の2周期分待った後インプットキャプチャ機能に設定してください。

19.2.14 バスマスタとのインタフェース

TCNT カウンタ、TGR レジスタ TCNTS カウンタは 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し/書き込みが可能です。8 ビット単位での読み出し/書き込みはできません。16 ビット単位でアクセスしてください。

上記以外のレジスタは 8 ビットのレジスタです。8 ビット単位での読み出し/書き込みを行ってください。

19.3 動作説明

19.3.1 基本動作

各チャンネルには、TCNT カウンタと TGR レジスタがあります。TCNT カウンタは、アップカウント動作を行い、フリーランニング動作、周期カウンタ動作、または外部イベントカウンタ動作が可能です。

TGR レジスタは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1) カウンタの動作

TSTR.CST0 ~ CST2 ビット、MTU5.TSTR.CSTU5, CSTV5, CSTW5 ビットを“1”にすると、対応するチャンネルの TCNT カウンタはカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウンタ動作設定手順例を図 19.2 に示します。

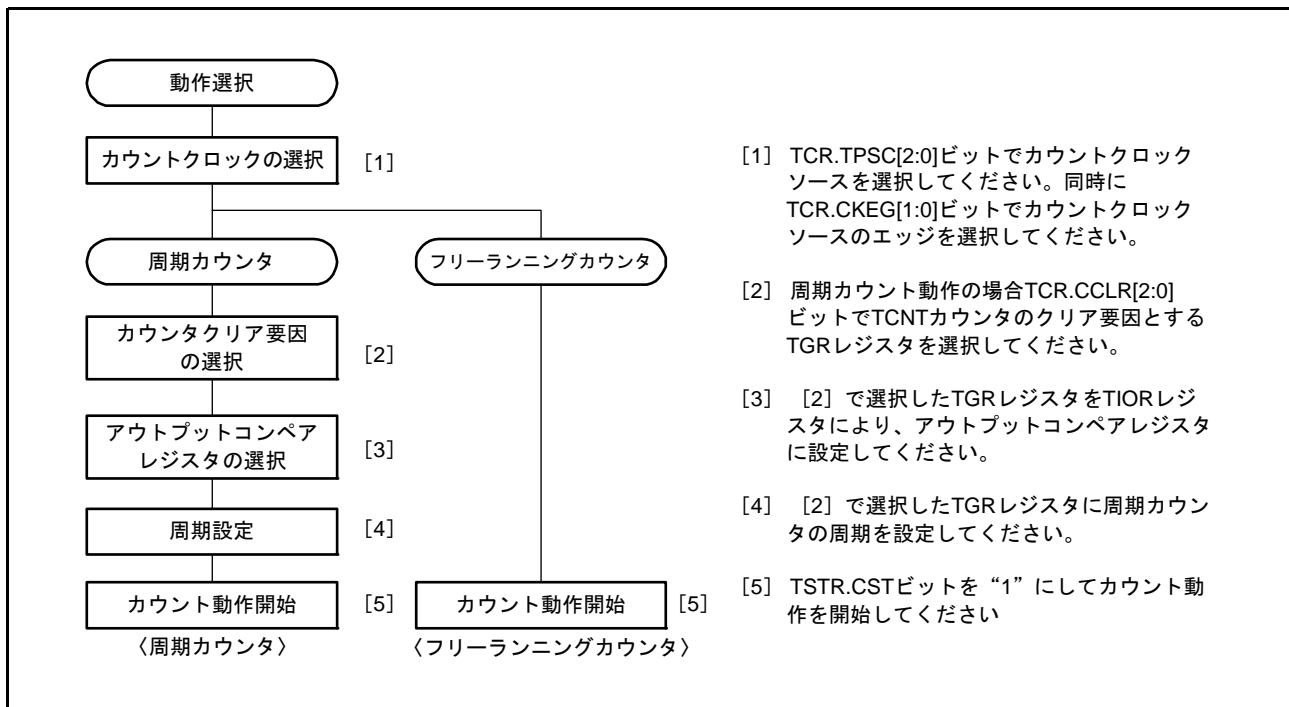


図 19.2 カウンタ動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

MTUのTCNTカウンタは、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTRレジスタの対応するCSTnビットを“1”にするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNTカウンタがオーバーフロー（“FFFFh”→“0000h”）すると、対応するTIER.TCIEVビットが“1”ならば、MTUは割り込みを要求します。TCNTカウンタはオーバーフロー後、“0000h”からアップカウント動作を継続します。

フリーランニングカウンタの動作を図19.3に示します。

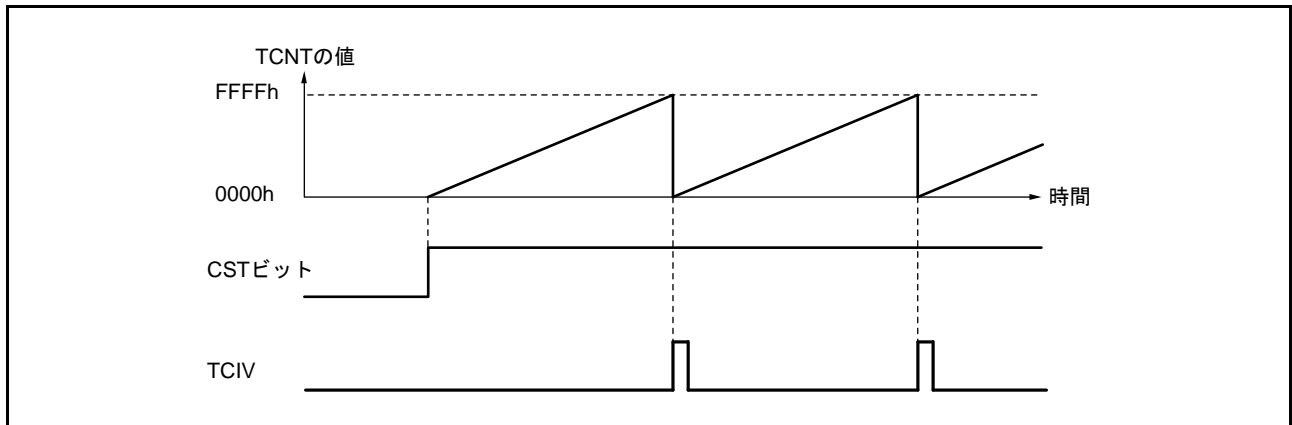


図 19.3 フリーランニングカウンタの動作

TCNTカウンタのクリア要因にコンペアマッチを選択したときは、対応するチャンネルのTCNTカウンタは周期カウンタ動作を行います。周期設定用のTGRレジスタをアウトプットコンペアレジスタに設定し、TCR.CCLR[2:0]ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTRレジスタの対応するビットを“1”にすると、周期カウンタとしてアップカウント動作を開始します。カウント値がTGRレジスタの値と一致すると、TCNTカウンタは“0000h”になります。

このとき対応するTIER.TGIEビットが“1”ならば、MTUは割り込みを要求します。TCNTカウンタはコンペアマッチ後、“0000h”からアップカウント動作を継続します。

周期カウンタの動作を図19.4に示します。

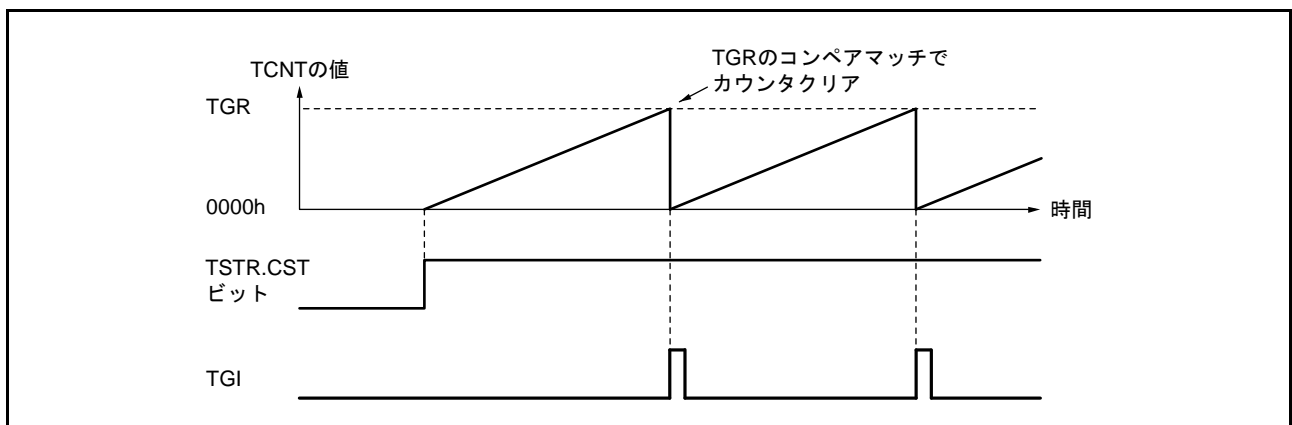


図 19.4 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

MTUは、コンペアマッチにより対応する出力端子から Low 出力 / High 出力 / トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 19.5 に示します。

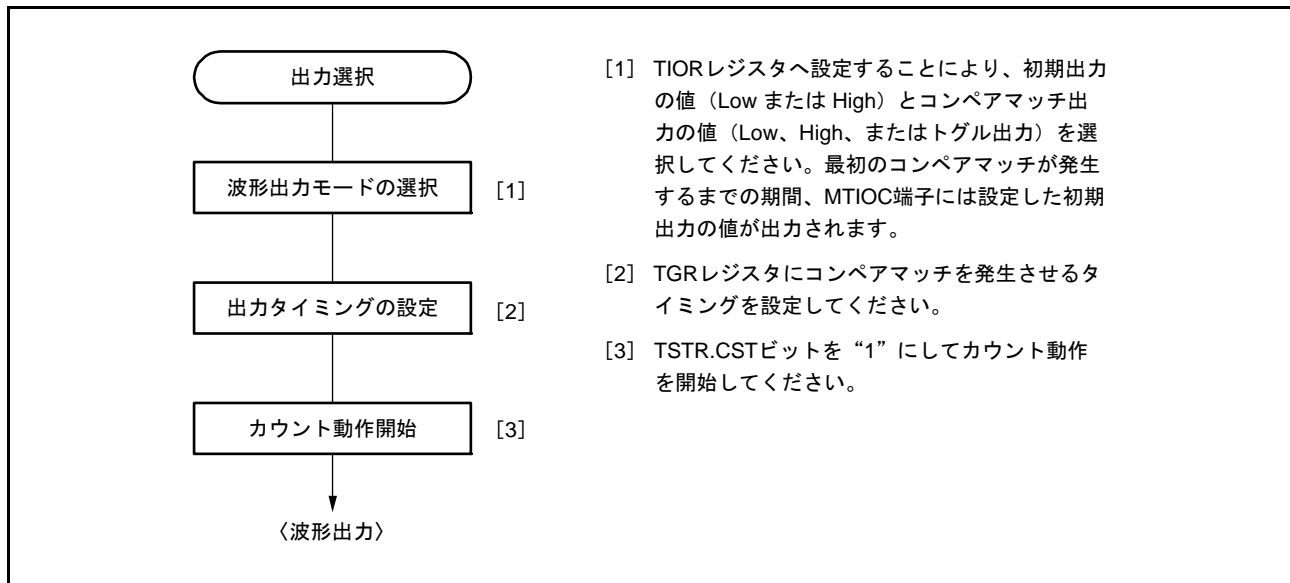


図 19.5 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

Low 出力 /High 出力例を図 19.6 に示します。

TCNT カウンタをフリーランニングカウント動作とし、コンペアマッチ A により High 出力、コンペアマッチ B により Low 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

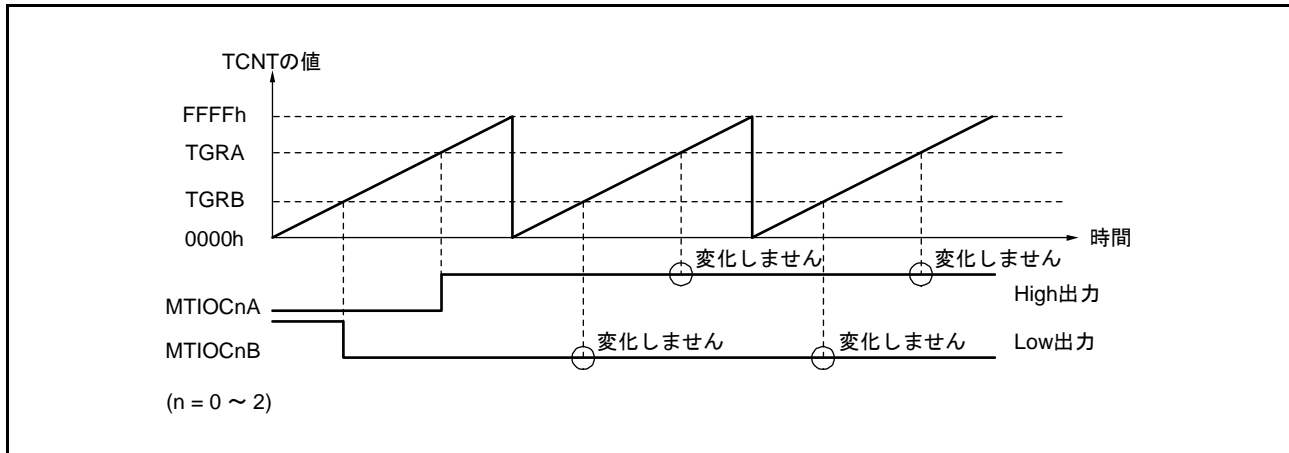


図 19.6 Low 出力 /High 出力の動作例

トグル出力の例を図 19.7 に示します。

TCNT カウンタを周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

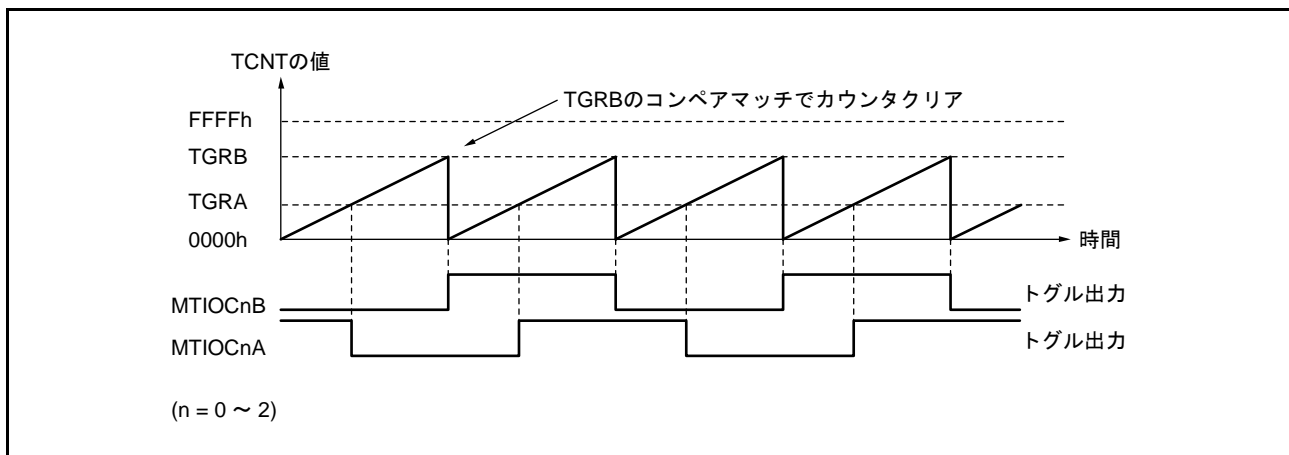


図 19.7 トグル出力の動作例

(3) インพุットキャプチャ機能

MTIOCnm 端子 (n = 0 ~ 2, m = A ~ D)、および MTIC5m 端子 (m = W, V, U) の入力エッジを検出して TCNT カウンタの値を TGR レジスタに転送することができます。

検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、MTU0、MTU1 は別のチャンネルのカウントクロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

注. MTU0、MTU1 で別のチャンネルのカウントクロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウントクロックに PCLK/1 を選択しないでください。PCLK/1 を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 19.8 に示します。

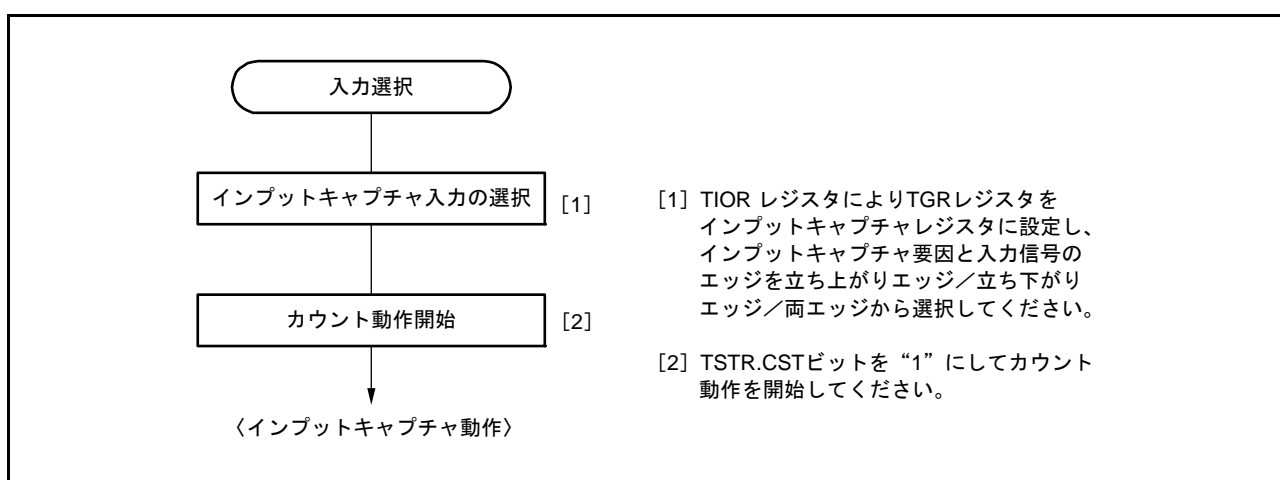


図 19.8 インพุットキャプチャ動作の設定手順例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 19.9 に示します。

MTIOCbA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がりの両エッジ、また MTIOCbB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT カウンタは TGRB レジスタのインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

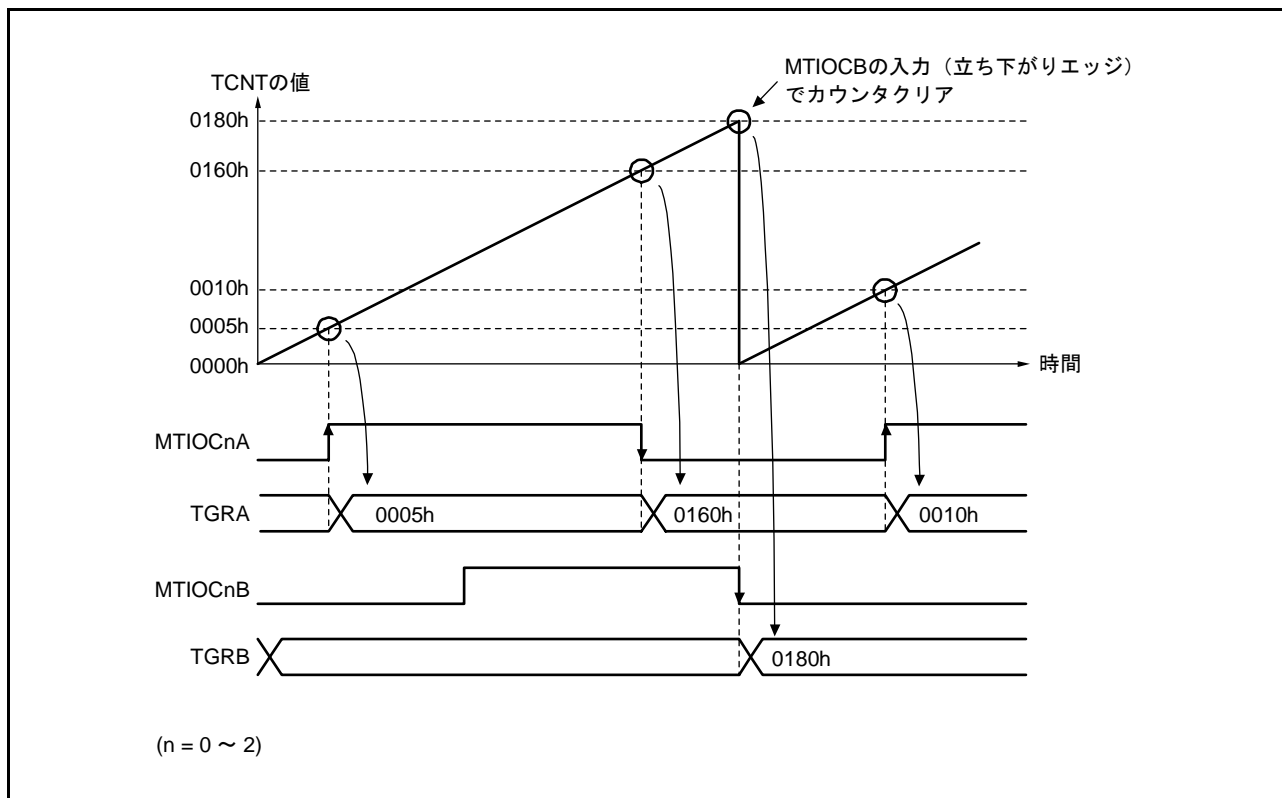


図 19.9 インพุットキャプチャ動作例

19.3.2 同期動作

同期動作は、複数の TCNT カウンタの値を同時に書き換えることができます（同期セット）。また、TCR の設定により複数の TCNT カウンタを同時にクリアすることができます（同期クリア）。

同期動作により、1つのタイムベースに対して動作する TGR レジスタの本数を増加することができます。

MTU0 ~ MTU2 はすべて同期動作の設定が可能です。

MTU5 は同期動作できません。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 19.10 に示します。

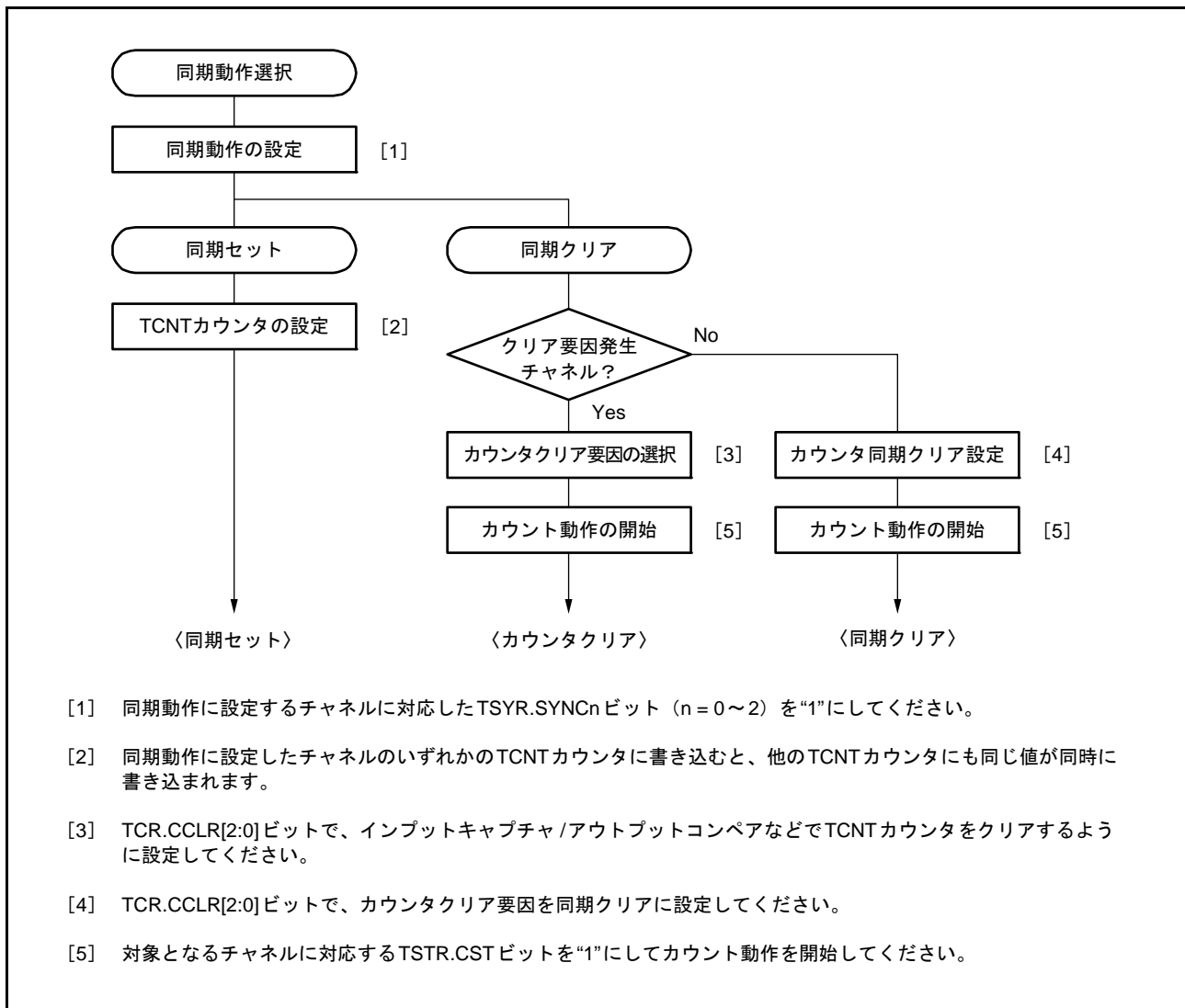


図 19.10 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 19.11 に示します。

MTU0 ~ MTU2 を同期動作かつ PWM モード 1 に設定し、MTU0 のカウンタクリア要因を MTU0.TGRB レジスタのコンペアマッチ、また MTU1、MTU2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を MTIOC0A、MTIOC1A、MTIOC2A 端子から出力します。このとき、MTU0 ~ MTU2 の TCNT カウンタは同期セット、MTU0.TGRB レジスタのコンペアマッチによる同期クリアを行い、MTU0.TGRB レジスタに設定したデータが PWM 周期となります。

PWM モードについては、「19.3.5 PWM モード」を参照してください。

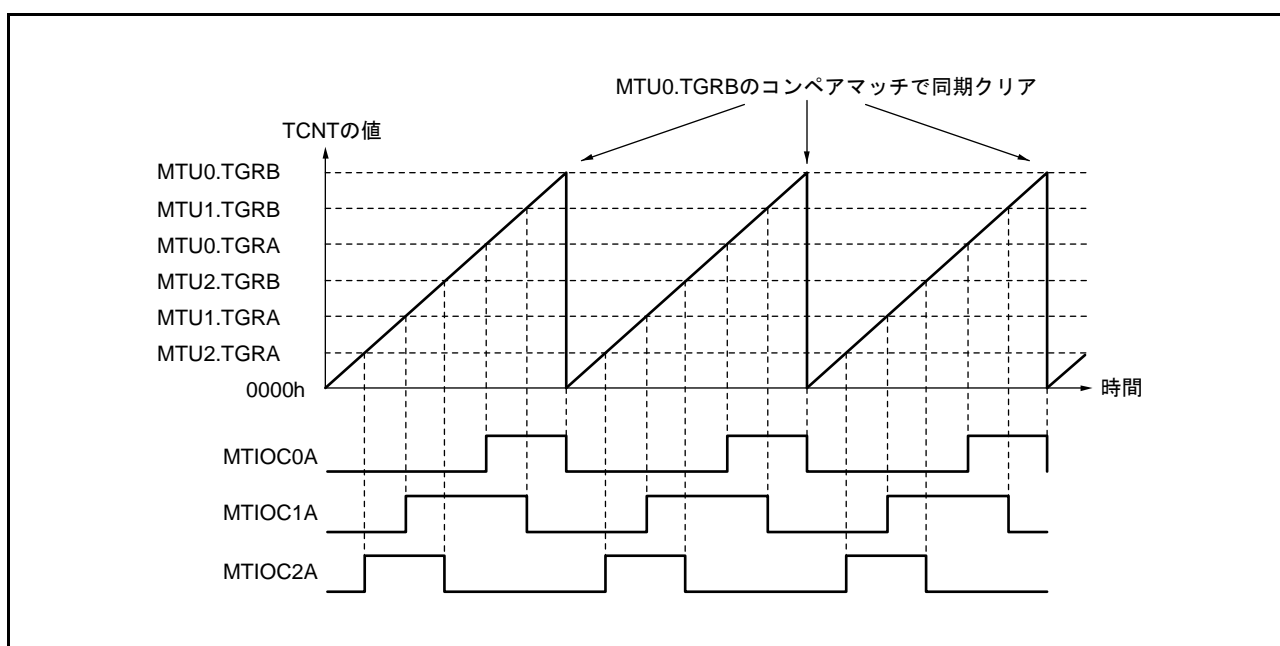


図 19.11 同期動作の動作例

19.3.3 バッファ動作

バッファ動作は、MTU0 が持つ機能です。TGRC レジスタと TGRD レジスタをバッファレジスタとして使用することができます。また、MTU0 は TGRF レジスタもバッファレジスタとして使用することができます。

バッファ動作は、TGR レジスタをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

注． MTU0.TGRE レジスタはインプットキャプチャレジスタに設定できません。コンペアマッチレジスタとしてのみ動作します。

表 19.20 にバッファ動作時のレジスタの組み合わせを示します。

表 19.20 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
MTU0	TGRA	TGRC
	TGRB	TGRD
	TGRE	TGRF

- TGR レジスタがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 19.12 に示します。

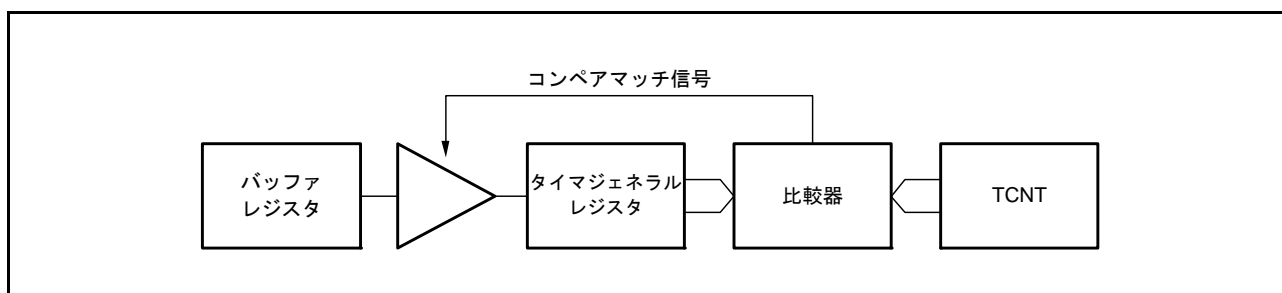


図 19.12 コンペアマッチバッファ動作

• TGR レジスタがインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT カウンタの値を TGR レジスタに転送すると同時に、それまで格納されていた TGR レジスタの値をバッファレジスタに転送します。

この動作を図 19.13 に示します。

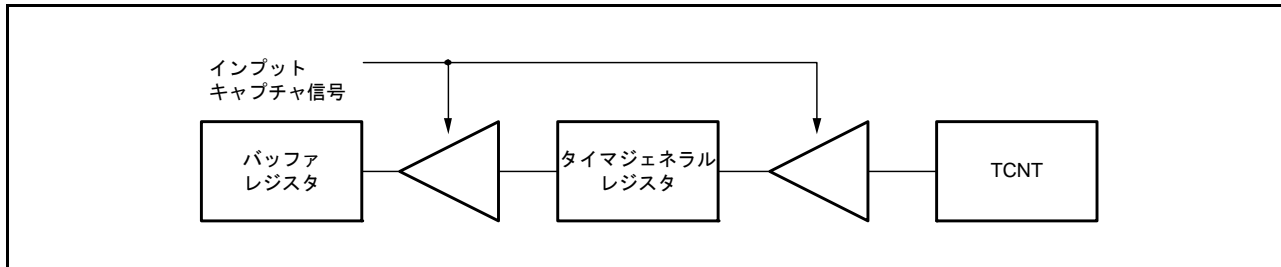


図 19.13 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 19.14 に示します。

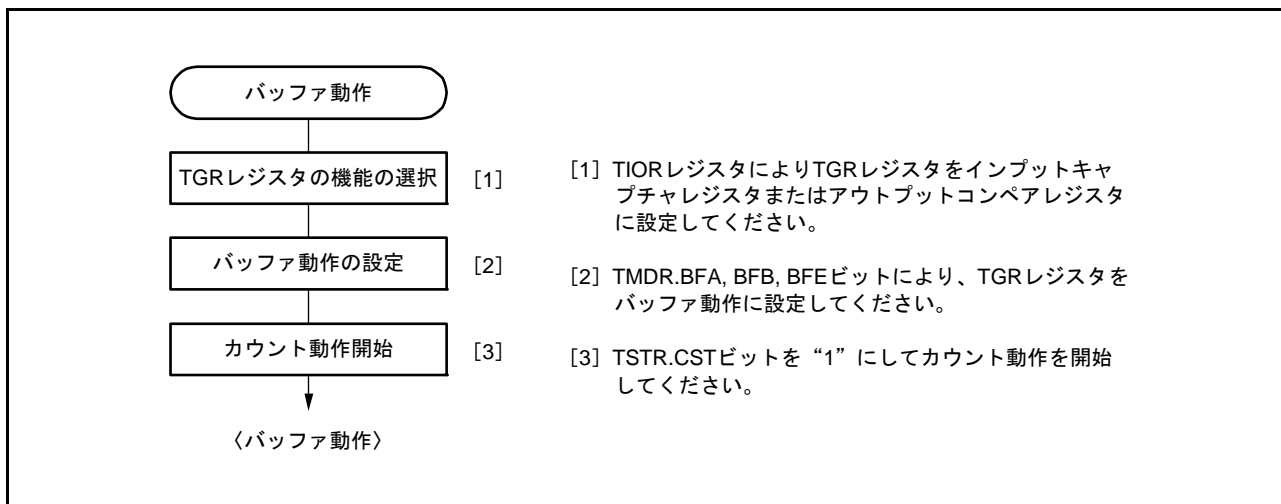


図 19.14 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR レジスタがアウトプットコンペアレジスタの場合

MTU0 を PWM モード 1 に設定し、TGRA レジスタと TGRC レジスタをバッファ動作に設定した場合の動作例を図 19.15 に示します。TCNT カウンタはコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力に設定した例です。この例では、TBTM.TTSA ビットは“0”に設定しています。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ TGRC の値がタイマジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生する度に繰り返されます。

PWM モードについては、「19.3.5 PWM モード」を参照してください。

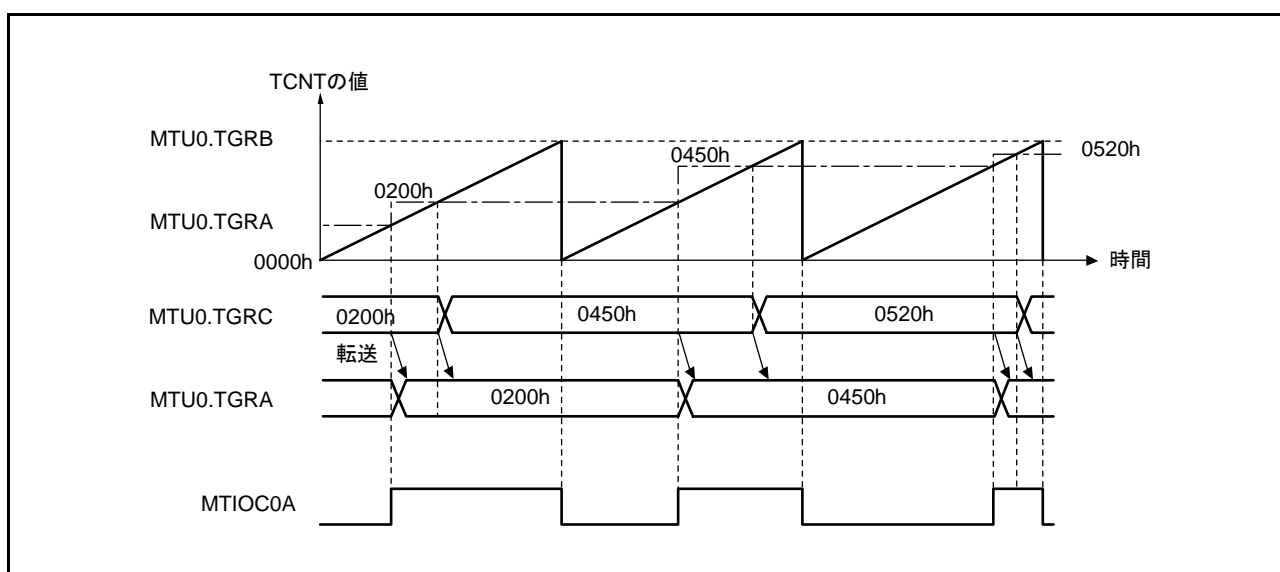


図 19.15 バッファ動作例 (1)

(b) TGR レジスタがインプットキャプチャレジスタの場合

TGRA レジスタをインプットキャプチャレジスタに設定し、TGRA レジスタと TGRC レジスタをバッファ動作に設定したときの動作例を図 19.16 に示します。

TCNT カウンタは TGRA レジスタのインプットキャプチャでカウンタクリア、MTIOCnA 端子のインプットキャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT カウンタの値が TGRA レジスタに転送されると同時に、それまで TGRA レジスタに格納されていた値が TGRC レジスタに転送されます。

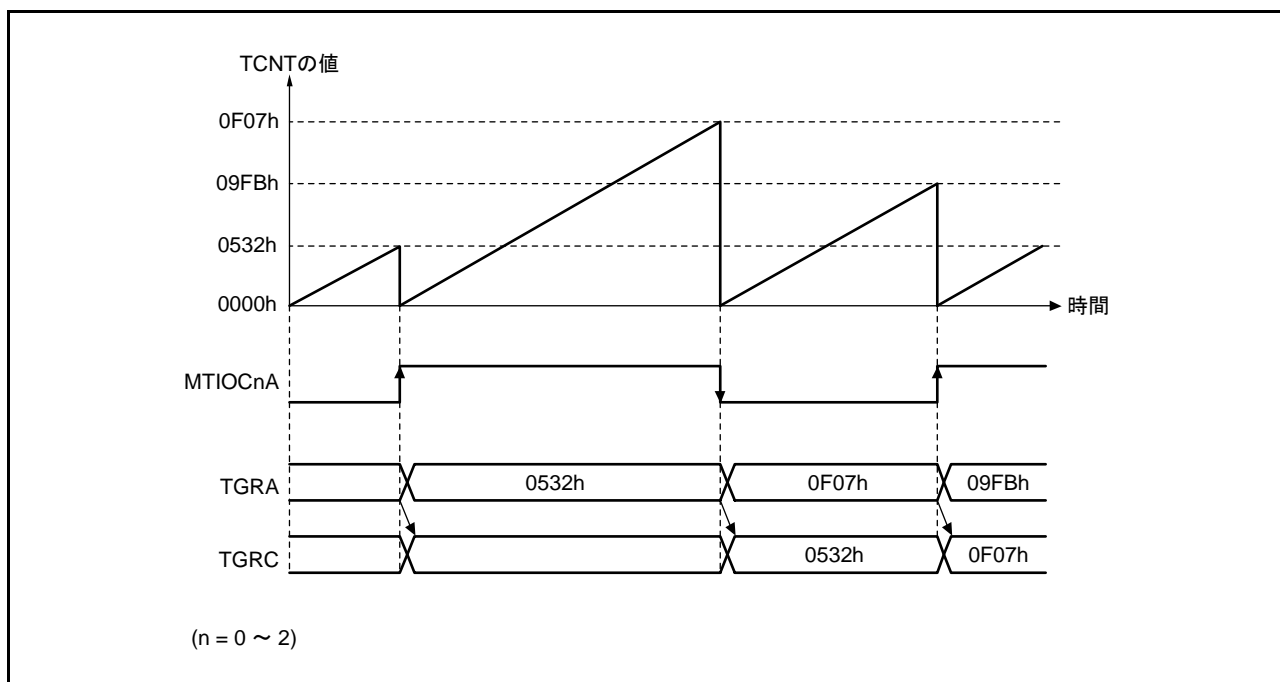


図 19.16 バッファ動作例 (2)

(3) バッファ動作時のバッファレジスタからタイマジェネラルレジスタへの転送タイミング選択

MTU0.TBTM レジスタを設定することで、MTU0 では PWM モード 1、2 時の、バッファレジスタからタイマジェネラルレジスタへの転送タイミングを選択できます。選択できるバッファ転送タイミングは、コンペアマッチ発生時（初期値）と TCNT カウンタクリア時のいずれか一方です。ここで TCNT カウンタのクリア時とは次の条件のいずれかが成立したときです。

- TCNT カウンタがオーバーフローしたとき (“FFFFh” → “0000h”)
- カウンタ動作中、TCNT カウンタに “0000h” が書き込まれたとき
- TCR.CCLR[2:0] ビットで設定したクリア要因で、TCNT カウンタが “0000h” になったとき

注． TBTM レジスタの設定は TCNT カウンタが停止した状態で行ってください。

MTU0 を PWM モード 1 に設定し、MTU0.TGRA レジスタと MTU0.TGRC レジスタをバッファ動作に設定した場合の動作例を図 19.17 に示します。MTU0.TCNT カウンタはコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力、MTU0.TBTM.TTSA ビットは “1” に設定しています。

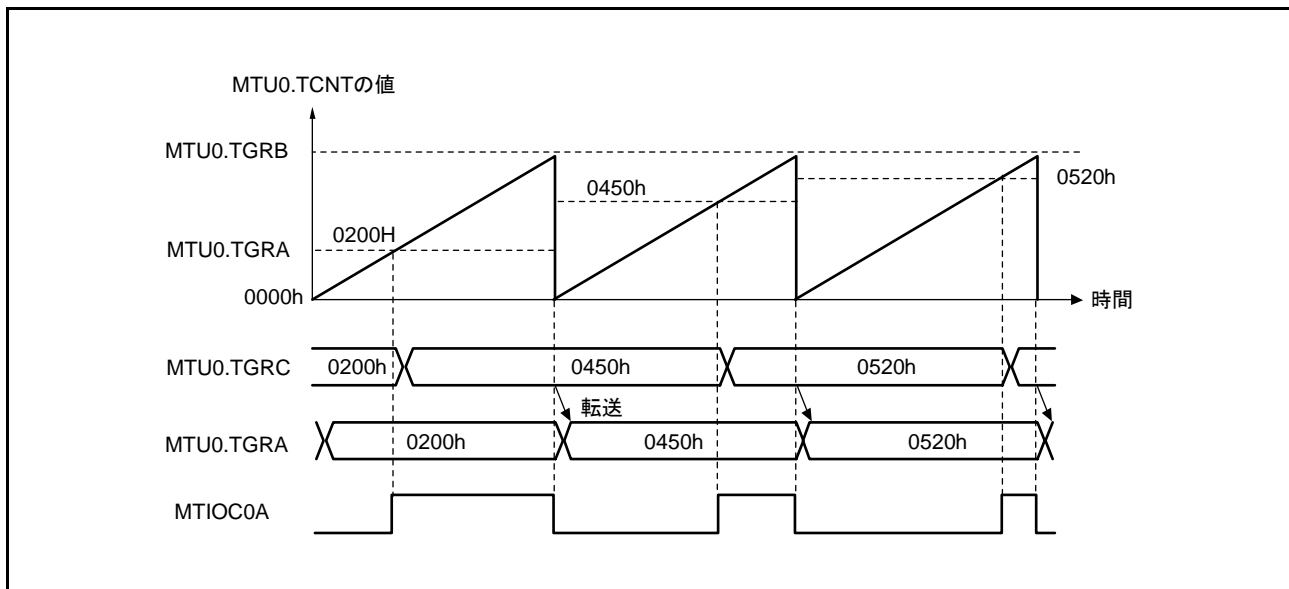


図 19.17 MTU0.TGRC レジスタから MTU0.TGRA レジスタのバッファ転送タイミングを MTU0.TCNT カウンタクリア時に選択した場合の動作例

19.3.4 カスケード接続動作

カスケード接続動作は、2チャンネルの16ビットカウンタを接続して32ビットカウンタとして動作させる機能です。

この機能は、MTU1のカウンタクロックをTCR.TPSC[2:0]ビットで“111b” (MTU2.TCNTのオーバフロー/アンダフローでカウント) に設定することにより動作します。

アンダフローが発生するのは、下位16ビットのTCNTカウンタが位相計数モードのときのみです。

表 19.21 にカスケード接続の組み合わせを示します。

注. MTU1、MTU2を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 19.21 カスケード接続組み合わせ

組み合わせ	上位16ビット	下位16ビット
MTU1とMTU2	MTU1.TCNT	MTU2.TCNT

カスケード動作時に、MTU1.TCNTカウンタとMTU2.TCNTカウンタの同時インプットキャプチャをする場合、TICCRレジスタで設定することで、インプットキャプチャ条件となる入力端子を追加することができます。インプットキャプチャの条件となるエッジ検出は、本来の入力端子の入力レベルと、追加した入力端子の入力レベルの論理和をとった信号に対して行われます。したがって、いずれか一方がHighのとき、もう一方が変化してもエッジ検出は行われません。詳細は、「(4) カスケード接続動作例 (c)」を参照してください。カスケード接続時のインプットキャプチャについては「19.6.16 カスケード接続におけるMTU1.TCNT、MTU2.TCNTカウンタ同時インプットキャプチャ」を参照してください。

TICCRレジスタ設定値とインプットキャプチャ入力端子の対応を表 19.22 に示します。

表 19.22 TICCRレジスタ設定値とインプットキャプチャ入力端子の対応

対象となるインプットキャプチャ	TICCRレジスタ設定値	インプットキャプチャ入力端子
MTU1.TCNTからMTU1.TGRAへのインプットキャプチャ	I2AEビット=0 (初期値)	MTIOC1A
	I2AEビット=1	MTIOC1A, MTIOC2A
MTU1.TCNTからMTU1.TGRBへのインプットキャプチャ	I2BEビット=0 (初期値)	MTIOC1B
	I2BEビット=1	MTIOC1B, MTIOC2B
MTU2.TCNTからMTU2.TGRAへのインプットキャプチャ	I1AEビット=0 (初期値)	MTIOC2A
	I1AEビット=1	MTIOC2A, MTIOC1A
MTU2.TCNTからMTU2.TGRBへのインプットキャプチャ	I1BEビット=0 (初期値)	MTIOC2B
	I1BEビット=1	MTIOC2B, MTIOC1B

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 19.18 に示します。

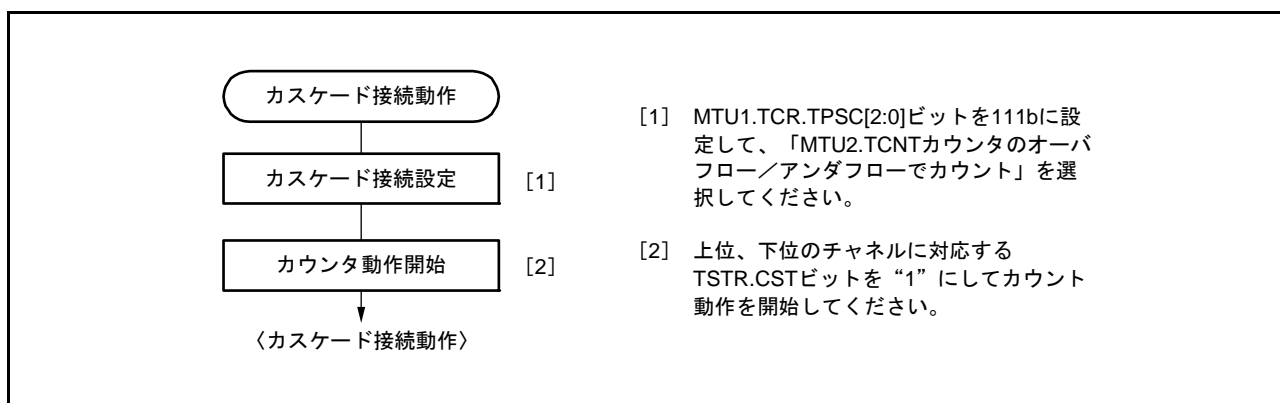


図 19.18 カスケード接続動作設定手順

(2) カスケード接続動作例 (a)

MTU1.TCNT, MTU2.TCNT カウンタをカスケード接続し、MTU1.TCNT カウンタは MTU2.TCNT カウンタのオーバーフロー/アンダフローでカウント、MTU2 を位相計数モード 1 に設定したときの動作を図 19.19 に示します。

MTU1.TCNT カウンタは MTU2.TCNT カウンタのオーバーフローでアップカウント、MTU2.TCNT カウンタのアンダフローでダウンカウントされます。

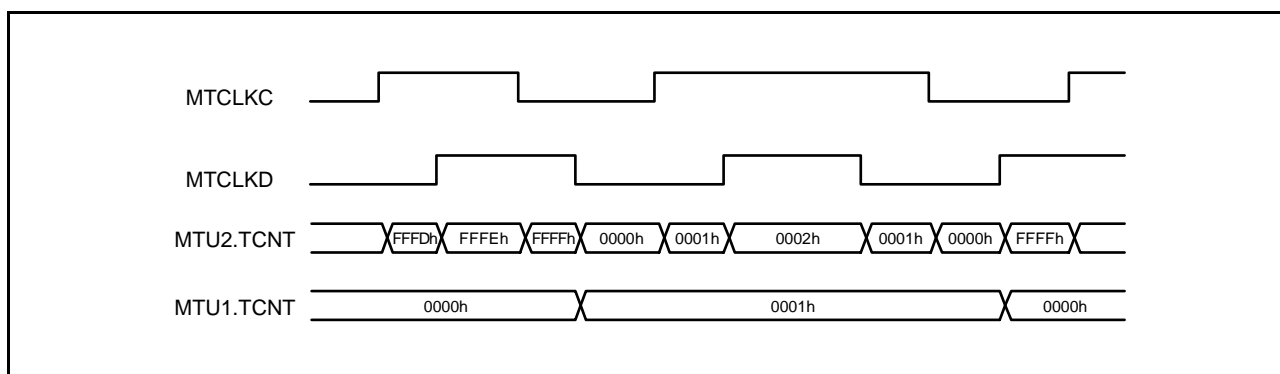


図 19.19 カスケード接続動作例 (a)

(3) カスケード接続動作例 (b)

MTU1.TCNT, MTU2.TCNT カウンタをカスケード接続し、TICCR.I2AE ビットを“1”にして、MTIOC2A 端子を MTU1.TGRA レジスタのインプットキャプチャ条件に追加した場合の動作を図 19.20 に示します。この例では MTU1.TIOR.IOA[3:0] ビットの設定は、(MTIOC1A の) 立ち上がりエッジでインプットキャプチャに設定しています。また、MTU2.TIOR.IOA[3:0] ビットの設定は、(MTIOC2A の) 立ち上がりエッジでインプットキャプチャに設定しています。

この場合、MTIOC1A と MTIOC2A の両方の立ち上がりエッジが MTU1.TGRA レジスタのインプットキャプチャ条件に設定されます。また、MTU2.TGRA レジスタのインプットキャプチャ条件は MTIOC2A の立ち上がりエッジとなります。

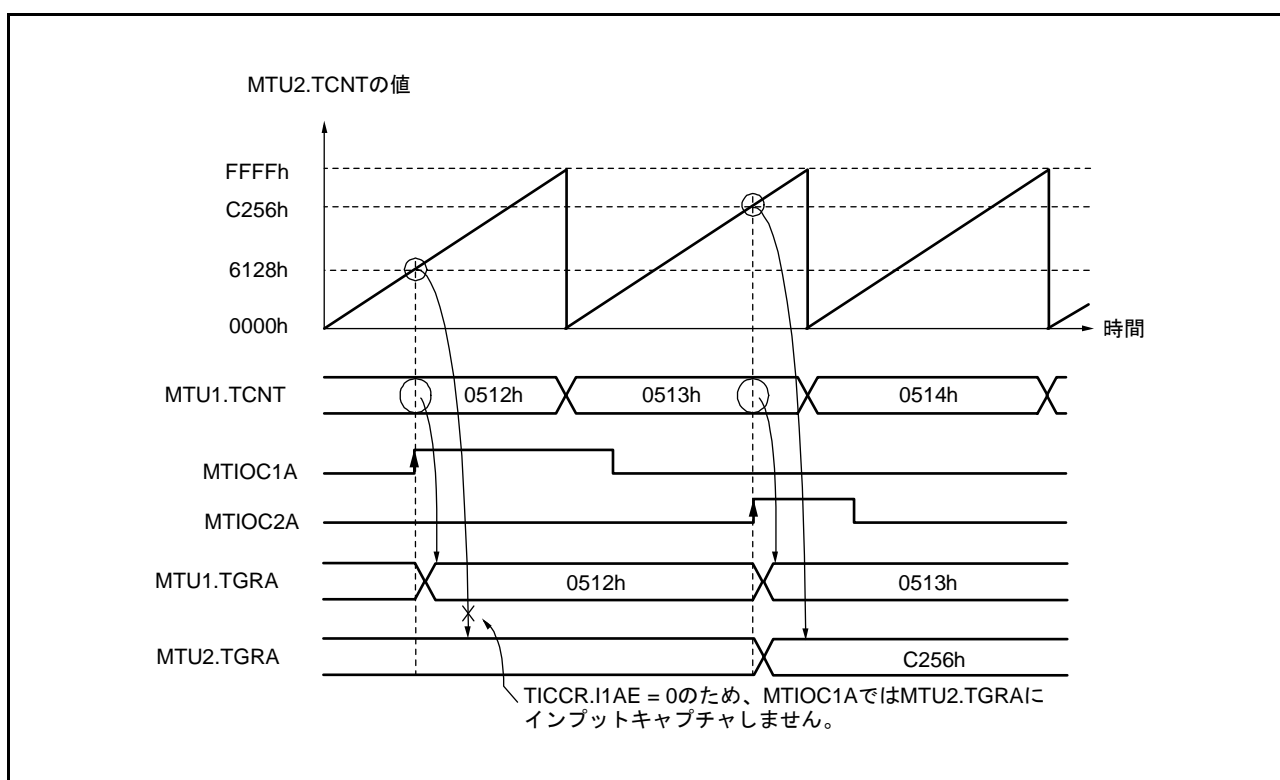


図 19.20 カスケード接続動作例 (b)

(4) カスケード接続動作例 (c)

MTU1.TCNT, MTU2.TCNT カウンタをカスケード接続し、TICCR.I2AE ビットと TICCR.I1AE に“1”を設定して、MTIOC2A 端子を MTU1.TGRA レジスタのインプットキャプチャ条件に追加し、MTIOC1A 端子を MTU2.TGRA レジスタのインプットキャプチャ条件に追加した場合の動作を図 19.21 に示します。この例では MTU1.TIOR レジスタ、MTU2.TIOR.IOA[3:0] ビットの設定は、どちらも両エッジでインプットキャプチャに設定しています。この場合、MTIOC1A と MTIOC2A 入力の OR が MTU1.TGRA レジスタおよび MTU2.TGRA レジスタのインプットキャプチャ条件となります。

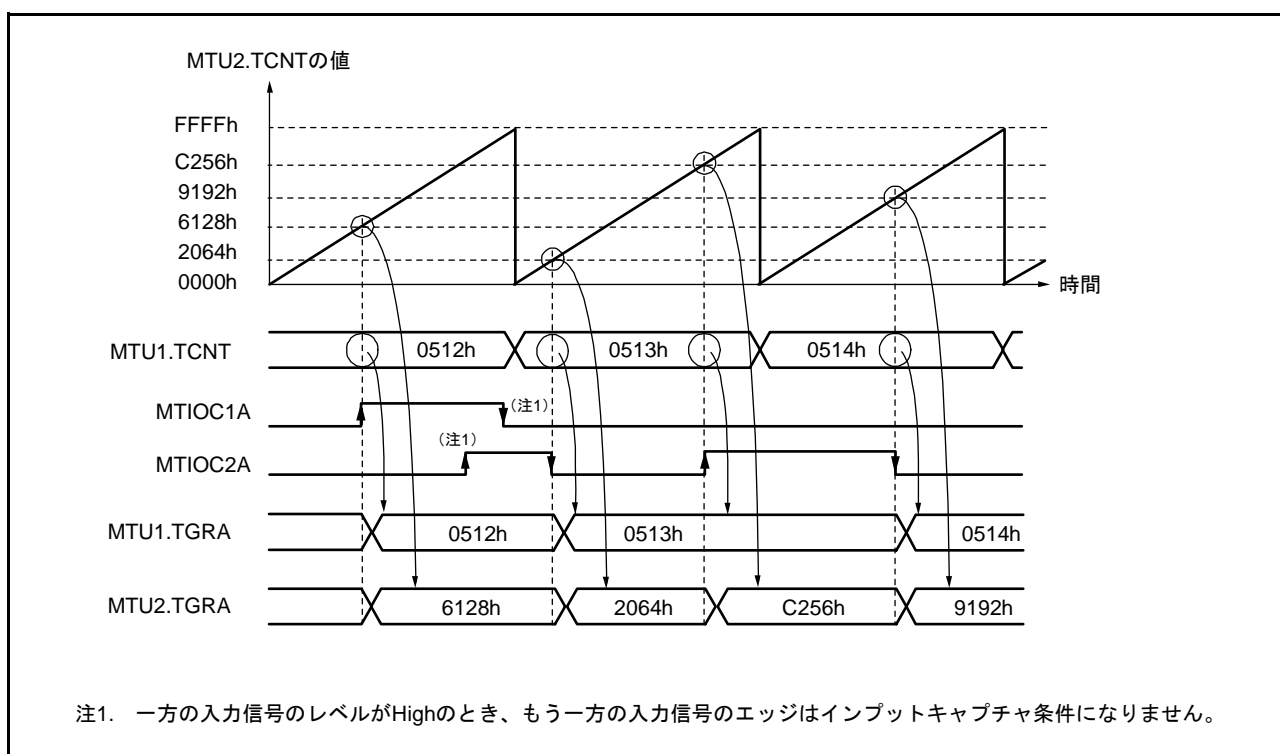


図 19.21 カスケード接続動作例 (c)

(5) カスケード接続動作例 (d)

MTU1.TCNT, MTU2.TCNT カウンタをカスケード接続し、TICCR.I2AE ビットを“1”にして、MTIOC2A 端子を MTU1.TGRA レジスタのインプットキャプチャ条件に追加した場合の動作を図 19.22 に示します。この例では MTU1.TIOR.IOA[3:0] ビットの設定は、MTU0.TGRA レジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャに設定しています。また、MTU2.TIOR.IOA[3:0] ビットの設定は、(MTIOC2A の) 立ち上がりエッジでインプットキャプチャに設定しています。

この場合、MTU1.TIOR の設定が MTU0.TGRA レジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャのため、TICCR.I2AE ビットを“1”にしても MTIOC2A のエッジが MTU1.TGRA レジスタのインプットキャプチャ条件になることはありません。

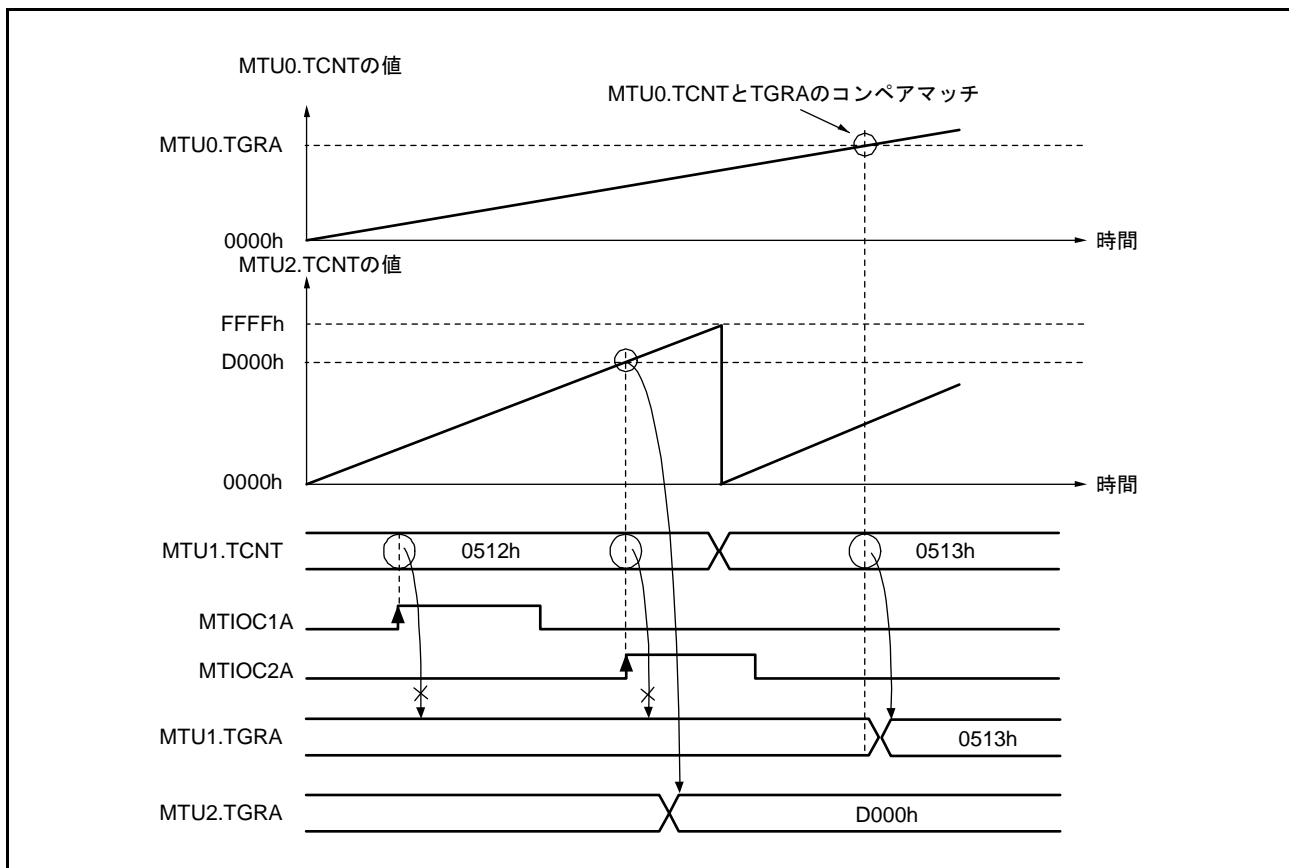


図 19.22 カスケード接続動作例 (d)

19.3.5 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR レジスタのコンペアマッチによる出力レベルは Low 出力 / High 出力 / トグル出力の中から選択可能です。

各 TGR レジスタの設定により、デューティ 0% ~ 100% の PWM 波形が出力できます。

TGR レジスタのコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル個々に PWM モードに設定できます。PWM モードに設定したチャンネルの同期動作、および PWM モードに設定したチャンネルと他のモードに設定したチャンネルとの同期動作も可能です。

PWM モードには以下に示す 2 種類のモードがあります。

(a) PWM モード 1

TGRA レジスタと TGRB, TGRC レジスタと TGRD レジスタをペアで使用して、MTIOChA、MTIOChC 端子から PWM 出力を生成します。MTIOChA、MTIOChC 端子からコンペアマッチ A、C によって TIOR.IOA[3:0]、IOC[3:0] ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR.IOB[3:0]、IOD[3:0] ビットで指定した出力を行います。初期出力値は TGRA, TGRC レジスタに設定した値になります。ペアで使用する TGR レジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 波形出力が可能です。

(b) PWM モード 2

TGR レジスタの 1 本を周期レジスタ、他の TGR レジスタをデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOR レジスタで指定した出力を行います。また、周期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR レジスタで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 8 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 19.23 に示します。

表 19.23 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
MTU0	MTU0.TGRA	MTIOC0A	MTIOC0A
	MTU0.TGRB		MTIOC0B
	MTU0.TGRC	MTIOC0C	MTIOC0C
	MTU0.TGRD		MTIOC0D
MTU1	MTU1.TGRA	MTIOC1A	MTIOC1A
	MTU1.TGRB		MTIOC1B
MTU2	MTU2.TGRA	MTIOC2A	MTIOC2A
	MTU2.TGRB		MTIOC2B

注. PWM モード 2 のとき、周期を設定した TGR レジスタの PWM 出力はできません。

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 19.23 に示します。

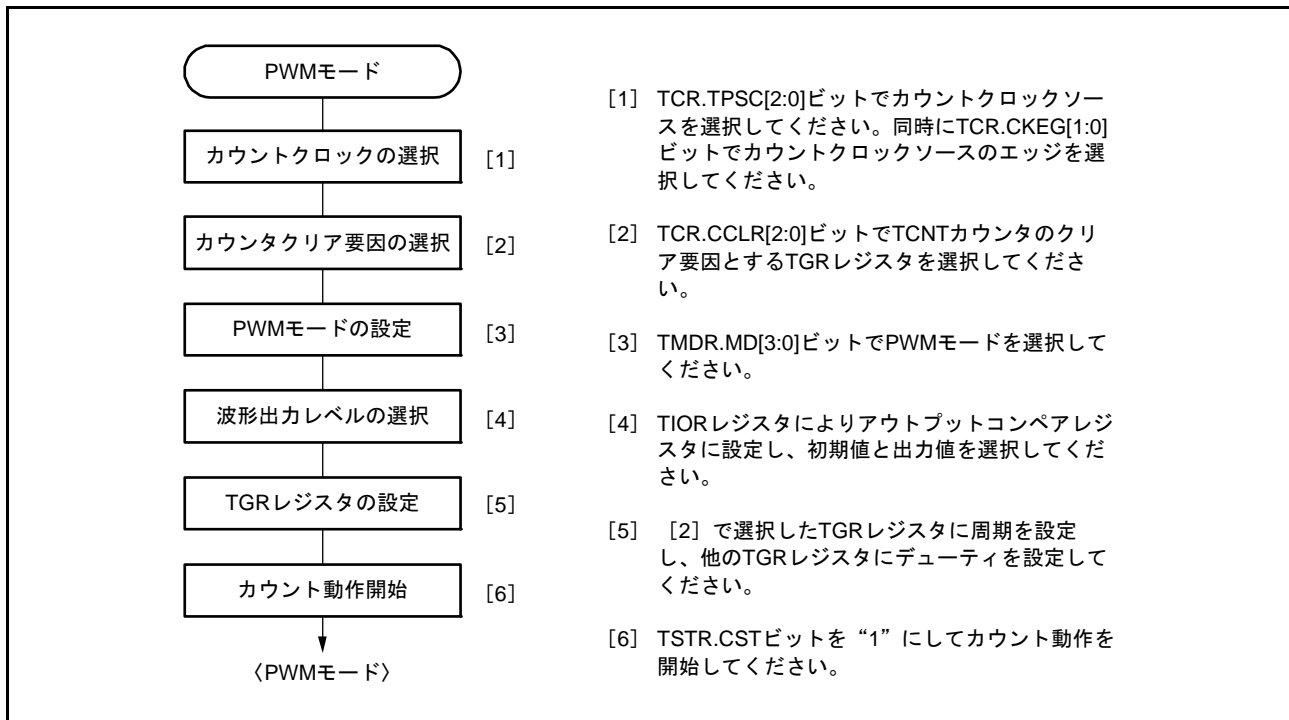


図 19.23 PWM モードの設定手順例

(2) PWM モードの動作例

PWM モード1の動作例を図 19.24 に示します。

この図は、TCNT カウンタのクリア要因を TGRA レジスタのコンペアマッチとし、TGRA レジスタの初期出力値と出力値を Low、TGRB レジスタの出力値を High に設定した場合の例です。

この場合、TGRA レジスタに設定した値が周期となり、TGRB レジスタに設定した値がデューティになります。

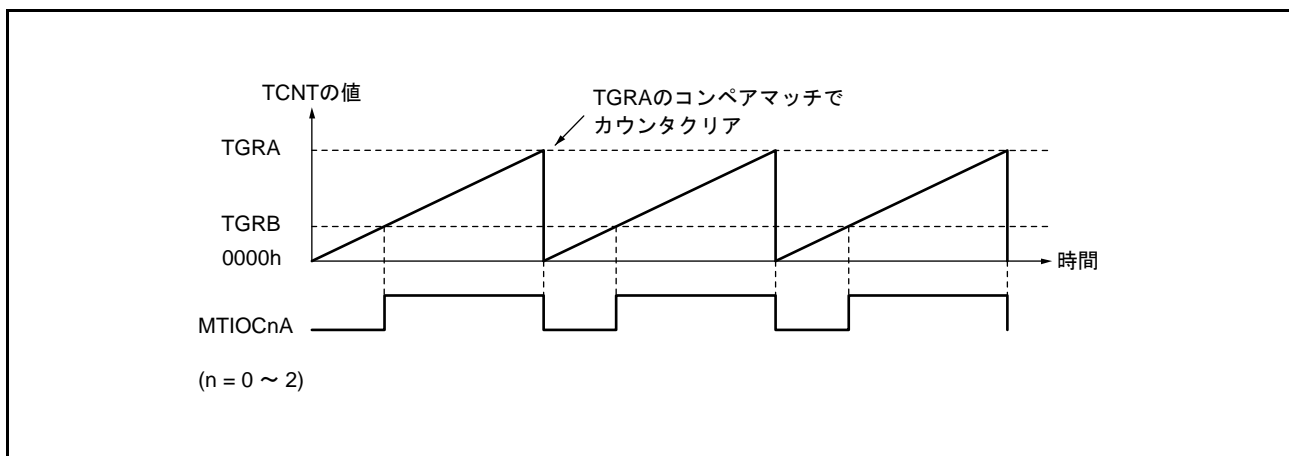


図 19.24 PWM モードの動作例

PWM モード2の動作例を図 19.25 に示します。

この図は、MTU0 と MTU1 を同期動作させ、TCNT カウンタのクリア要因を MTU1.TGRB レジスタのコンペアマッチとし、他の TGR レジスタ (MTU0.TGRA ~ MTU0.TGRD, MTU1.TGRA) の初期出力値を Low、出力値を High に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、MTU1.TGRB レジスタに設定した値が周期となり、他の TGR レジスタに設定した値がデューティになります。

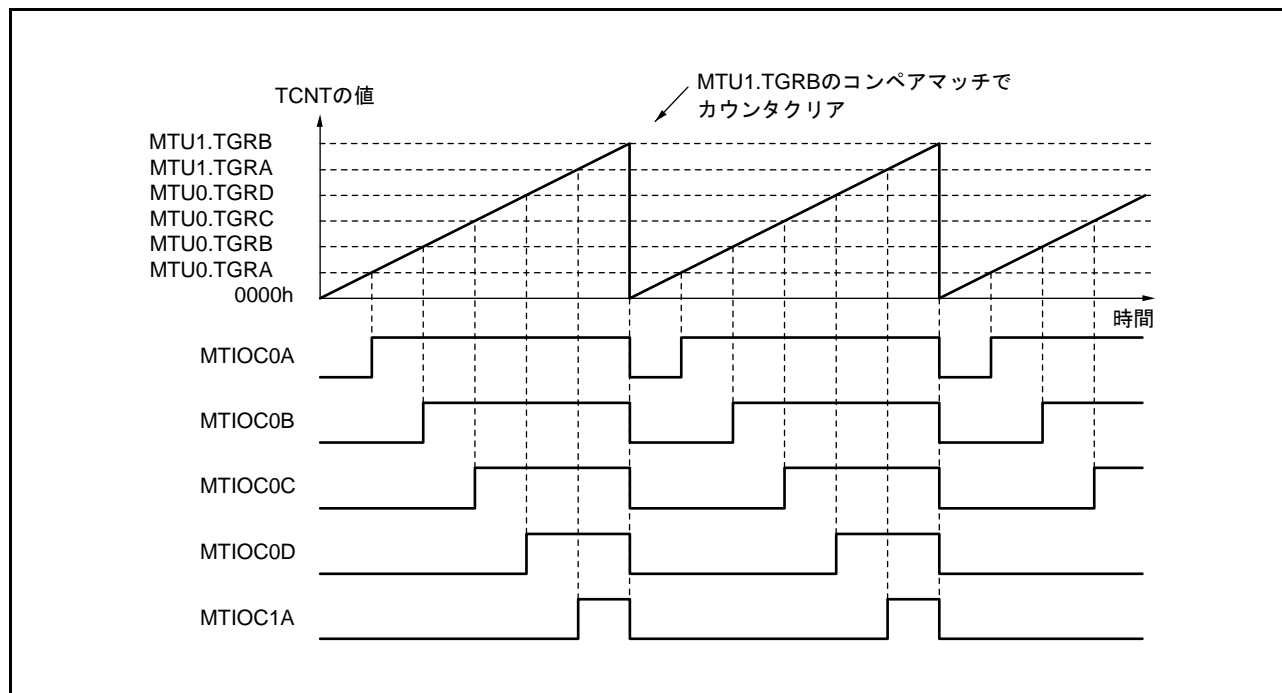


図 19.25 PWM モードの動作例

PWMモード1で、デューティ0%、デューティ100%のPWM波形を出力する例を図19.26に示します。この図は、TCNTカウンタのクリア要因をTGRAレジスタのコンペアマッチとし、TGRAレジスタの初期出力値と出力値をLow、TGRBレジスタの出力値をHighに設定した場合の例です。

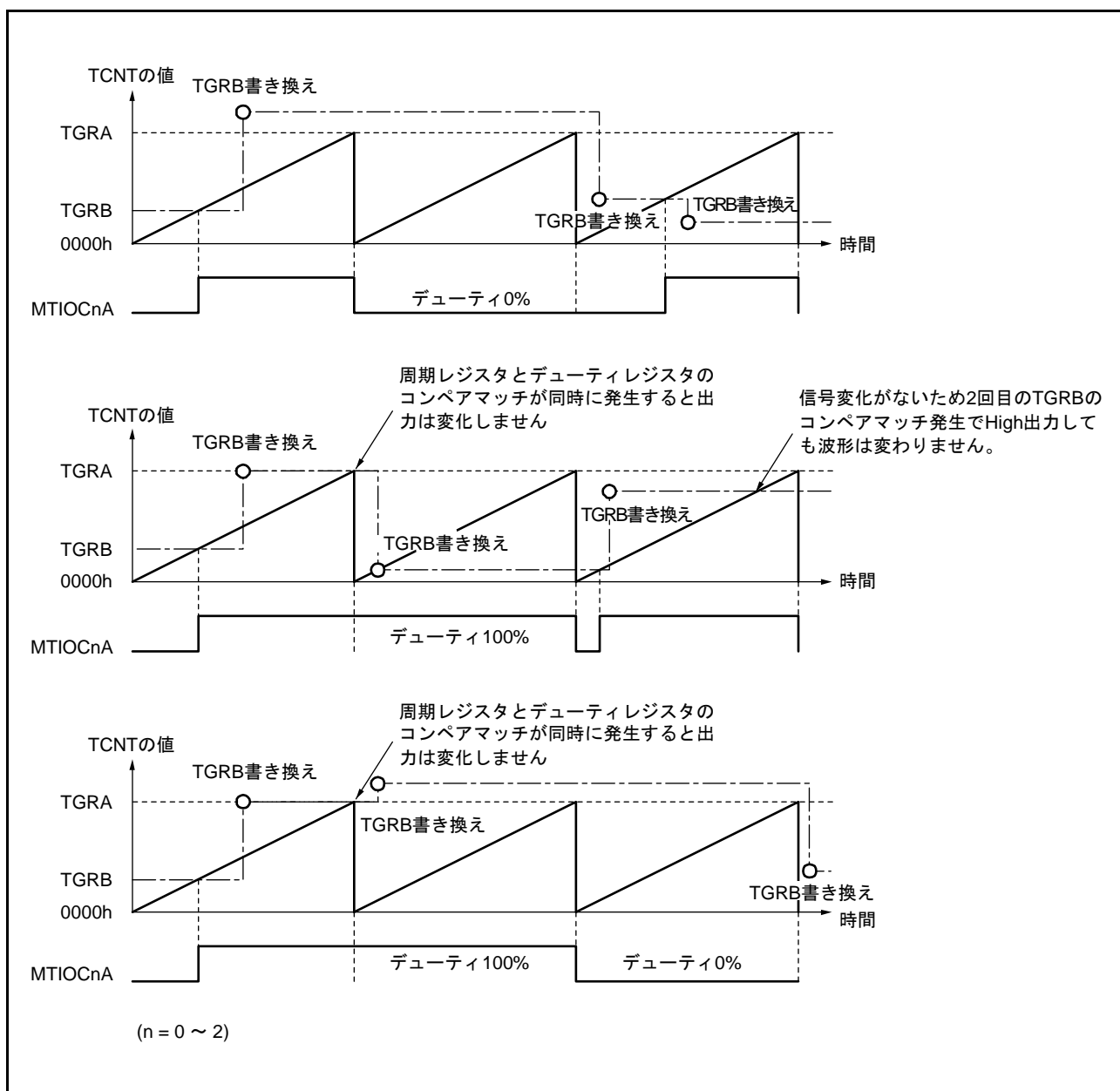


図 19.26 PWMモード動作例

19.3.6 位相計数モード

位相計数モードに設定すると、TCR.TPSC[2:0], CKEG[1:0] ビットの設定にかかわらずカウントクロックには外部クロックが選択され、TCNT カウンタはアップカウンタ/ダウンカウンタとして動作します。ただし、TCR.CCLR[1:0] ビット、TIOR, TIER, TGR レジスタの機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

2相エンコーダパルスの入力として使用できます。

TCNT カウンタがアップカウント時、オーバフローが発生すると、対応する TIER.TCIEV ビットが“1”ならば、TCIV 割り込みが発生します。また、ダウンカウント時アンダフローが発生すると、対応する TIER.TCIEU ビットが“1”ならば TCIU 割り込みが発生します。

TSR.TCFD フラグはカウント方向フラグです。TCFD フラグの読み出しにより、TCNT カウンタがアップカウントしているかダウンカウントしているかを確認することができます。

位相計数モードでは、外部クロック端子 MTCLKA、MTCLKB、MTCLKC、MTCLKD を2相エンコーダパルスの入力端子として使用できます。表 19.24 に外部クロック端子とチャンネルの対応を示します。

表 19.24 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A相	B相
MTU1	MTCLKA	MTCLKB
MTU2	MTCLKC	MTCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 19.27 に示します。

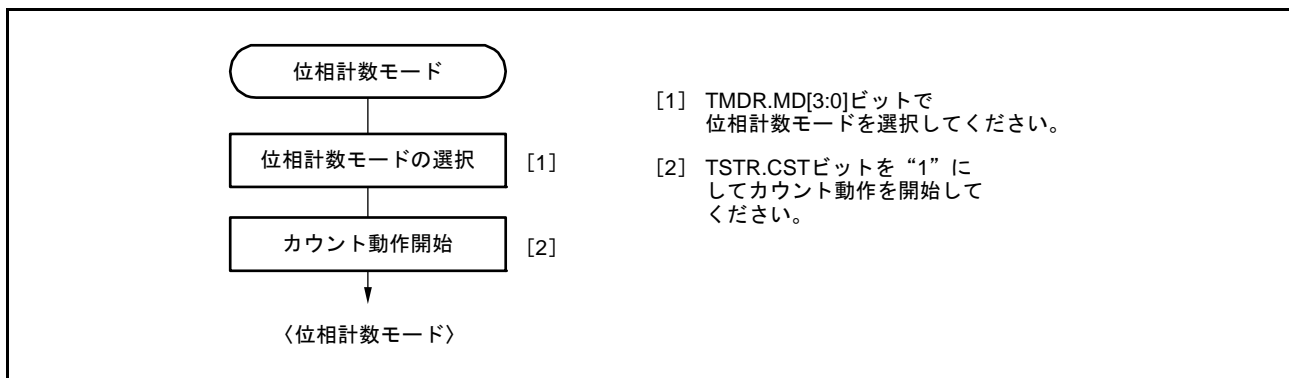


図 19.27 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTCNTカウンタがアップカウント/ダウンカウントします。また、カウント条件により4つのモードがあります。

(a) 位相計数モード1

位相計数モード1の動作例を図19.28に、TCNTカウンタのアップカウント/ダウンカウント条件を表19.25に示します。

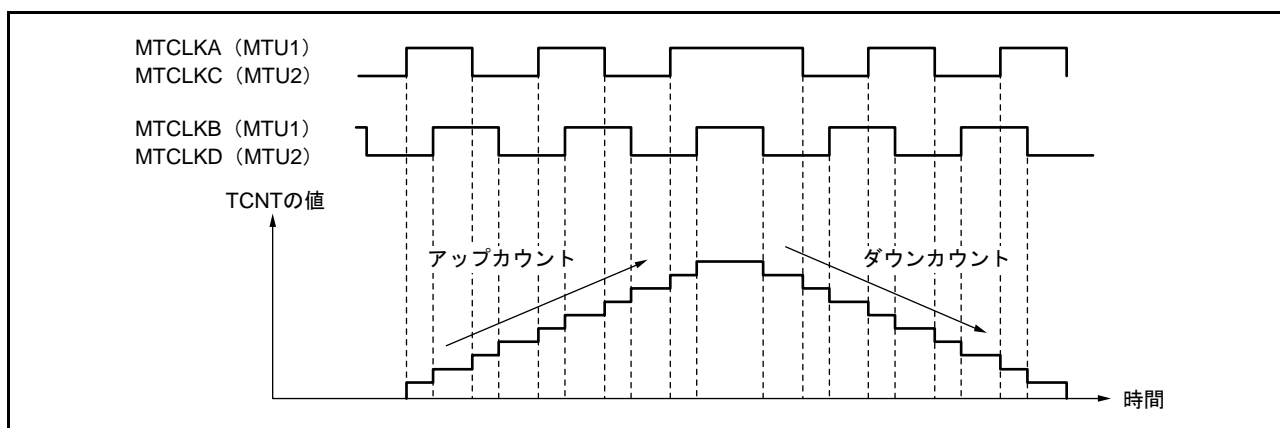


図 19.28 位相計数モード1の動作例

表 19.25 位相計数モード1のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	
↓	Low	

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(b) 位相計数モード2

位相計数モード2の動作例を図19.29に、TCNTカウンタのアップカウント/ダウンカウント条件を表19.26に示します。

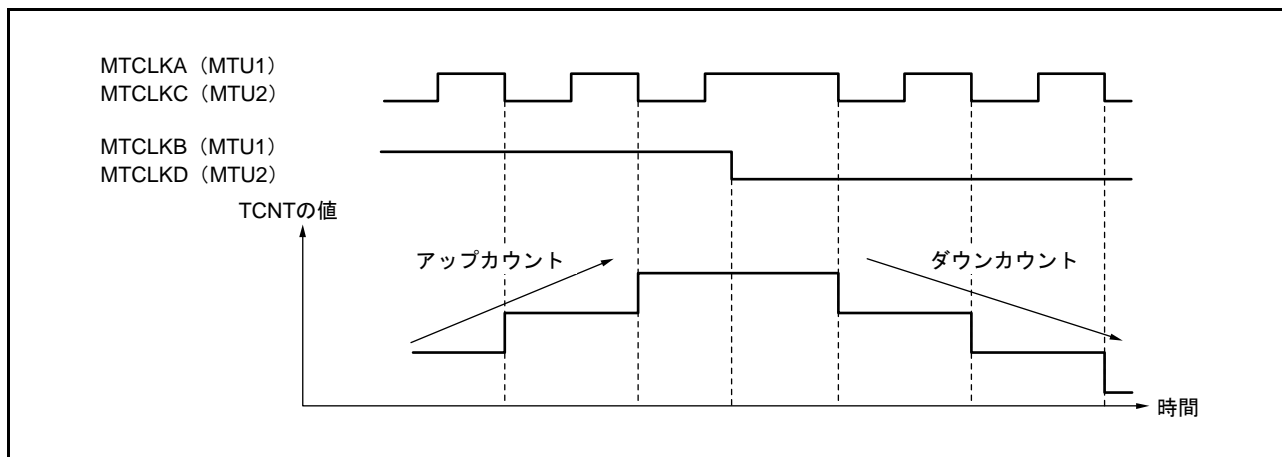


図 19.29 位相計数モード2の動作例

表 19.26 位相計数モード2のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High		カウントしない (Don't care)
Low		カウントしない (Don't care)
	Low	カウントしない (Don't care)
	High	アップカウント
High		カウントしない (Don't care)
Low		カウントしない (Don't care)
	High	カウントしない (Don't care)
	Low	ダウンカウント

: 立ち上がりエッジ

: 立ち下がりエッジ

(c) 位相計数モード3

位相計数モード3の動作例を図19.30に、TCNTカウンタのアップカウント/ダウンカウント条件を表19.27に示します。

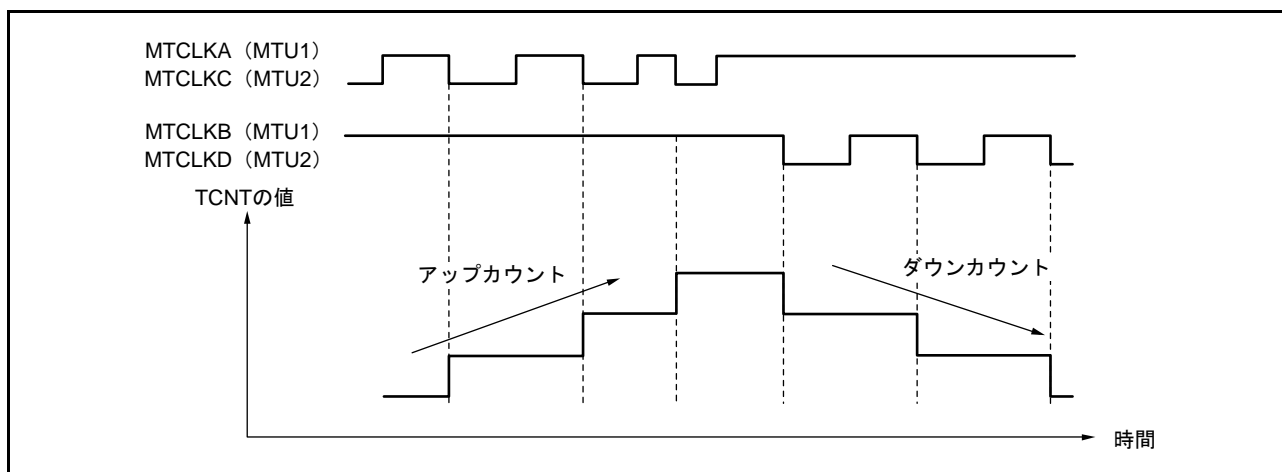


図 19.30 位相計数モード3の動作例

表 19.27 位相計数モード3のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High	↑	カウントしない (Don't care)
Low	↓	カウントしない (Don't care)
↑	Low	カウントしない (Don't care)
↓	High	アップカウント
High	↓	ダウンカウント
Low	↑	カウントしない (Don't care)
↑	High	カウントしない (Don't care)
↓	Low	カウントしない (Don't care)

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(d) 位相計数モード4

位相計数モード4の動作例を図19.31に、TCNTカウンタのアップカウント/ダウンカウント条件を表19.28に示します。

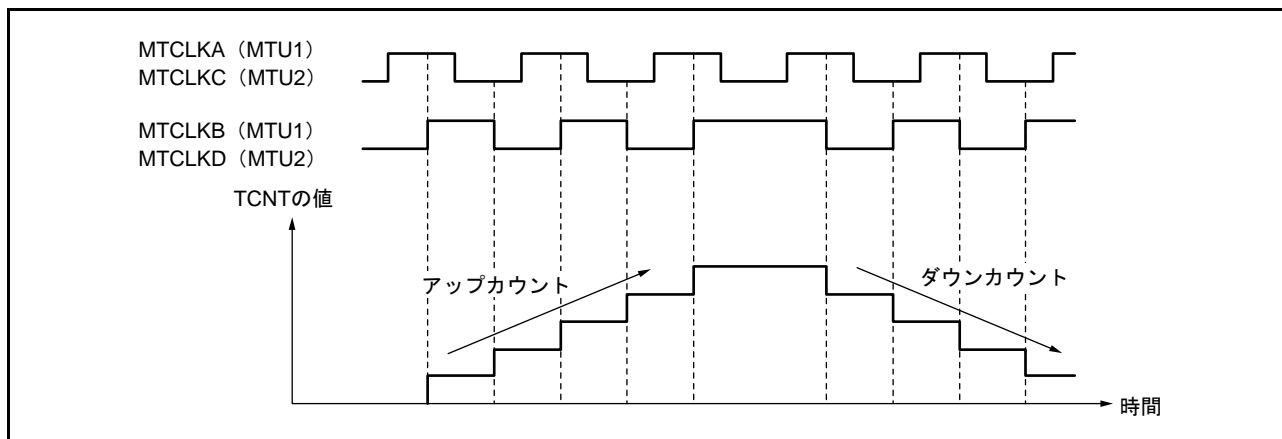


図 19.31 位相計数モード4の動作例

表 19.28 位相計数モード4のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	カウントしない (Don't care)
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	カウントしない (Don't care)
↓	Low	

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(3) 位相計数モード応用例

MTU1 を位相計数モードに設定し、MTU0 と連携してサーボモータの2相エンコーダパルスを入力して位置または速度を検出する例を図 19.32 に示します。

MTU1 は位相計数モード1に設定し、MTCLKA と MTCLKB にエンコーダパルスのA相、B相を入力します。

MTU0.TCNT カウンタを MTU0.TGRC レジスタのコンペアマッチでカウンタクリアとして動作させ、MTU0.TGRA レジスタと MTU0.TGRC レジスタはコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。MTU0.TGRB レジスタは入力キャプチャ機能で使用し、MTU0.TGRB レジスタと MTU0.TGRD レジスタをバッファ動作させます。MTU0.TGRB レジスタの入力キャプチャ要因は、MTU1 のカウントクロックとし、2相エンコーダの4通倍パルスのパルス幅を検出します。

MTU1.TGRA レジスタと MTU1.TGRB レジスタは、入力キャプチャ機能に設定し、入力キャプチャ要因は MTU0.TGRA レジスタと MTU0.TGRC レジスタのコンペアマッチを選択し、それぞれの制御周期時のアップカウンタ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

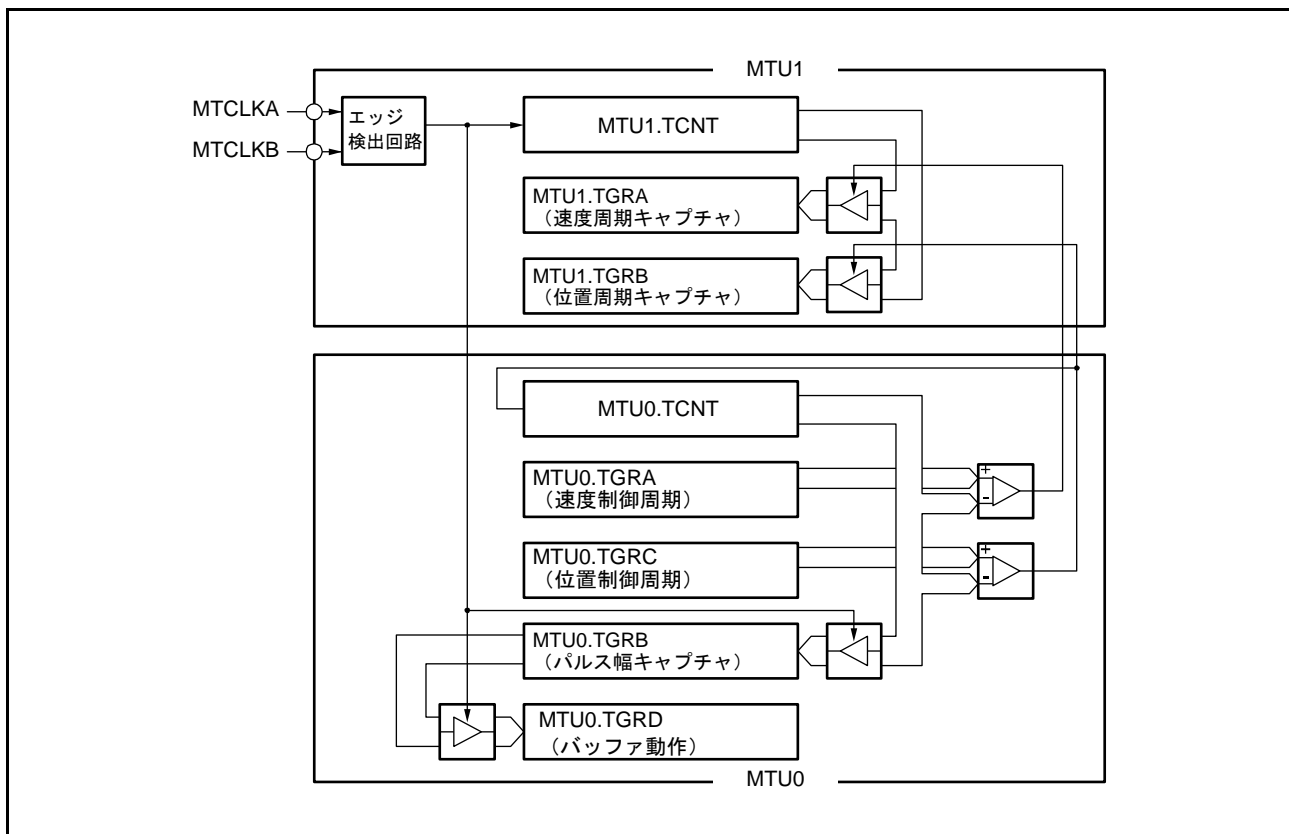


図 19.32 位相計数モードの応用例

19.3.7 外部パルス幅測定機能

MTU5 は、最大 3 本の外部パルス幅を測定することができます。

MTU5.TIORU, TIORV, TIORW レジスタの IOC[4:0] ビットにパルス幅測定を設定すると、MTIC5U 端子、MTIC5V 端子、MTIC5W 端子に入力された信号のパルス幅を測定します。IOC[4:0] ビットで指定したレベルが入力されている間、TCNTU, TCNTV, TCNTW カウンタはカウントアップします。

外部パルス幅測定の設定例を図 19.33、動作例を図 19.34 に示します。

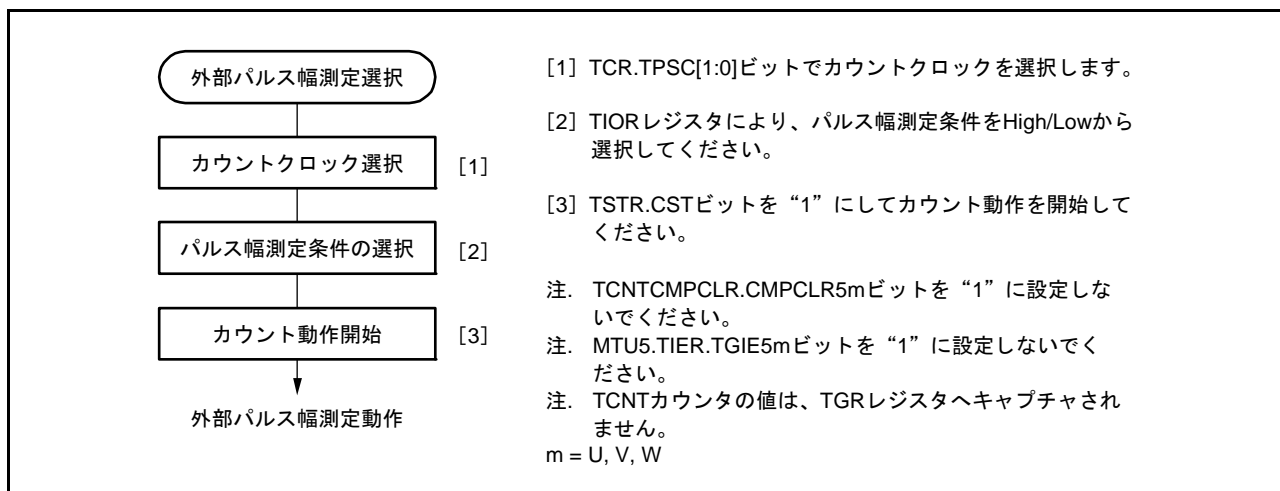


図 19.33 外部パルス幅測定の設定手順例

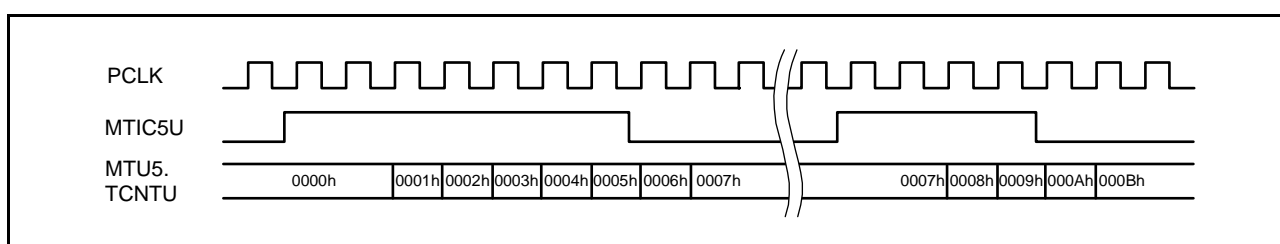


図 19.34 外部パルス幅測定動作例 (High 幅測定)

19.3.8 ノイズフィルタ機能

MTU のインプットキャプチャ入力端子または外部パルス入力端子には、ノイズフィルタ機能を持っています。ノイズフィルタ機能は、入力信号をサンプリングクロックでサンプリングし、サンプリング周期3回に満たないパルスを除去します。

ノイズフィルタ機能は端子ごとにノイズフィルタ機能の許可/停止が設定でき、サンプリングクロックは、チャンネルごとに設定が可能です。図 19.35 にノイズフィルタのタイミングを示します。

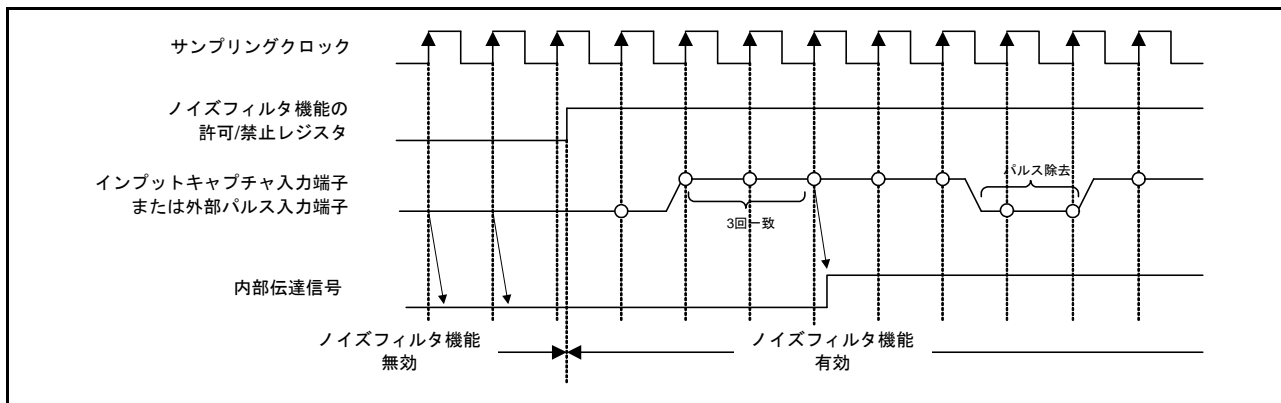


図 19.35 ノイズフィルタのタイミング

19.4 割り込み要因

19.4.1 割り込み要因と優先順位

割り込み要因には、TGR レジスタのインプットキャプチャ/コンペアマッチ、TCNT カウンタのオーバフロー、アンダフローの3種類があります。各割り込み要因は、許可/禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TIER レジスタの対応する許可/禁止ビットが“1”であれば、割り込みを要求します。チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

表 19.29 に MTU の割り込み要因の一覧を示します。

表 19.29 MTU 割り込み要因 (1)

チャンネル	名称	割り込み要因	DTCの起動	優先順位
MTU0	TGIA0	MTU0.TGRAのインプットキャプチャ/コンペアマッチ	可能	高 ↑ 低
	TGIB0	MTU0.TGRBのインプットキャプチャ/コンペアマッチ	可能	
	TGIC0	MTU0.TGRCのインプットキャプチャ/コンペアマッチ	可能	
	TGID0	MTU0.TGRDのインプットキャプチャ/コンペアマッチ	可能	
	TCIV0	MTU0.TCNTのオーバフロー	不可能	
	TGIE0	MTU0.TGREのコンペアマッチ	不可能	
	TGIF0	MTU0.TGRFのコンペアマッチ	不可能	
MTU1	TGIA1	MTU1.TGRAのインプットキャプチャ/コンペアマッチ	可能	
	TGIB1	MTU1.TGRBのインプットキャプチャ/コンペアマッチ	可能	
	TCIV1	MTU1.TCNTのオーバフロー	不可能	
	TCIU1	MTU1.TCNTのアンダフロー	不可能	
MTU2	TGIA2	MTU2.TGRAのインプットキャプチャ/コンペアマッチ	可能	
	TGIB2	MTU2.TGRBのインプットキャプチャ/コンペアマッチ	可能	
	TCIV2	MTU2.TCNTのオーバフロー	不可能	
	TCIU2	MTU2.TCNTのアンダフロー	不可能	
MTU5	TGIU5	MTU5.TGRUのインプットキャプチャ/コンペアマッチ	可能	
	TGIV5	MTU5.TGRVのインプットキャプチャ/コンペアマッチ	可能	
	TGIW5	MTU5.TGRWのインプットキャプチャ/コンペアマッチ	可能	

注. リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

(1) インプットキャプチャ/コンペアマッチ割り込み

TIER.TGIE ビットが“1”のとき、各チャンネルの TGR レジスタのインプットキャプチャ/コンペアマッチの発生により、割り込み要求を発生します。MTU には、MTU0 に 6 本、MTU1、MTU2 に各 2 本、MTU5 に各 3 本、計 13 本のインプットキャプチャ/コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

TIER.TCIEV ビットが“1”のとき、各チャンネルの TCNT カウンタのオーバフローの発生により、割り込み要求を発生します。MTU には、各チャンネルに 1 本、計 3 本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

TIER.TCIEU ビットが“1”のとき、各チャンネルの TCNT カウンタのアンダフローの発生により、割り込み要求を発生します。MTU には、MTU1、MTU2 に各 1 本、計 2 本のアンダフロー割り込みがあります。

19.4.2 DTC の起動

各チャンネルの TGR レジスタのインプットキャプチャ/コンペアマッチ割り込みによって、DTC を起動することができます。詳細は「16. データトランスファコントローラ (DTCa)」を参照してください。

MTU では、MTU0 が 4 本、MTU1、MTU2 が各 2 本、MTU5 が 3 本、計 11 本のインプットキャプチャ/コンペアマッチ割り込み、オーバフロー割り込みを DTC の起動要因とすることができます。

19.4.3 A/D コンバータの起動

MTU では、次の 5 種類の方法で A/D コンバータを起動できます。

各割り込み要因と A/D 変換開始要求の対応を、表 19.30 に示します。

(1) TGRA レジスタのインプットキャプチャ/コンペアマッチでの A/D コンバータの起動

各チャンネルの TGRA レジスタのインプットキャプチャ/コンペアマッチによって、A/D コンバータを起動できます。

次に示す条件で、A/D コンバータに対して A/D 変換開始要求 TRGAN を発生します。

- 各チャンネルの TGRA レジスタのインプットキャプチャ/コンペアマッチが発生したとき、TIER.TTGE ビットが“1”にされていた場合

このとき A/D コンバータ側で MTU の変換開始トリガ TRGAN が選択されていれば、A/D 変換が開始されます。

(2) MTU0.TCNT カウンタと MTU0.TGRE レジスタのコンペアマッチによる A/D コンバータの起動

MTU0.TCNT カウンタと MTU0.TGRE のコンペアマッチによって、A/D コンバータを起動できます。

MTU0.TCNT カウンタと MTU0.TGRE のコンペアマッチの発生により、A/D 変換開始要求 TRGOEN を発生します。このとき、A/D コンバータ側で MTU の変換開始トリガ TRGOEN が選択されていれば、A/D 変換が開始されます。

(3) MTU0.TCNT カウンタと MTU0.TGRF レジスタのコンペアマッチによる A/D コンバータの起動

MTU0.TCNT カウンタと MTU0.TGRF レジスタのコンペアマッチによって、A/D コンバータを起動できます。

MTU0.TCNT カウンタと MTU0.TGRF レジスタのコンペアマッチの発生により、A/D 変換開始要求 TRGOFN を発生します。このとき、A/D コンバータ側で MTU の変換開始トリガ TRGOFN が選択されていれば、A/D 変換が開始されます。

(4) MTU0.TGRA レジスタと MTU0.TGRB レジスタのインプットキャプチャ/コンペアマッチによる A/D コンバータの起動

MTU0.TCNT カウンタと MTU0.TGRA, MTU0.TGRB レジスタのインプットキャプチャ/コンペアマッチによって、A/D コンバータを起動できます。

MTU0.TCNT カウンタと MTU0.TGRA, MTU0.TGRB レジスタのインプットキャプチャ/コンペアマッチの発生により、A/D 変換開始要求 TRGOAN, TRGOBN を発生します。このとき、A/D コンバータ側で MTU の変換開始トリガ TRGOAN, TRGOBN が選択されていれば、A/D 変換が開始されます。

表 19.30 各割り込み要因とA/D変換開始要求の対応

対象	A/Dコンバータ起動要因	A/D変換開始要求
MTU0.TGRAとMTU0.TCNT	インプットキャプチャ/コンペアマッチ	TRGAN
MTU1.TGRAとMTU1.TCNT		
MTU2.TGRAとMTU2.TCNT		
MTU0.TGRAとMTU0.TCNT	インプットキャプチャ/コンペアマッチ	TRG0AN
MTU0.TGRBとMTU0.TCNT		TRG0BN
MTU0.TGREとMTU0.TCNT	コンペアマッチ	TRG0EN
MTU0.TGRFとMTU0.TCNT		TRG0FN

19.5 動作タイミング

19.5.1 入出力タイミング

(1) TCNT カウンタのカウントタイミング

内部クロック動作の場合の TGI 割り込みのカウントタイミングを図 19.36、図 19.37 に示します。また、外部クロック動作（ノーマルモード）の場合の TCNT カウンタのカウントタイミングを図 19.38 に、外部クロック動作（位相計数モード）の場合の TCNT カウンタのカウントタイミングを図 19.39 に示します。

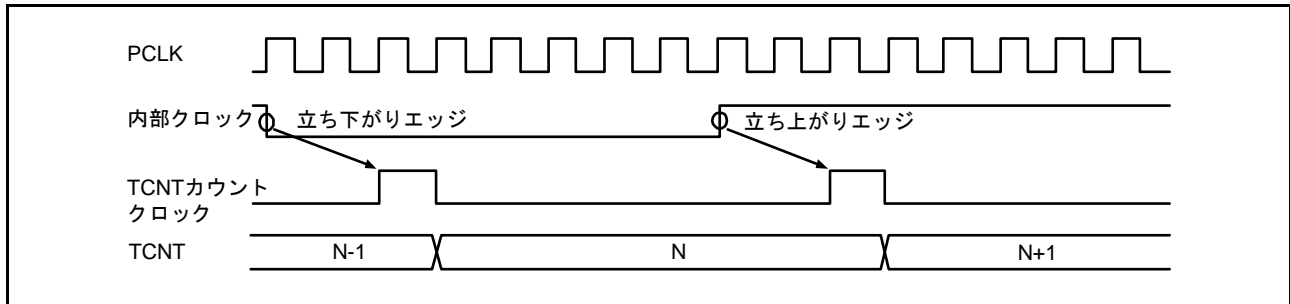


図 19.36 内部クロック動作時のカウントタイミング (MTU0 ~ MTU2)

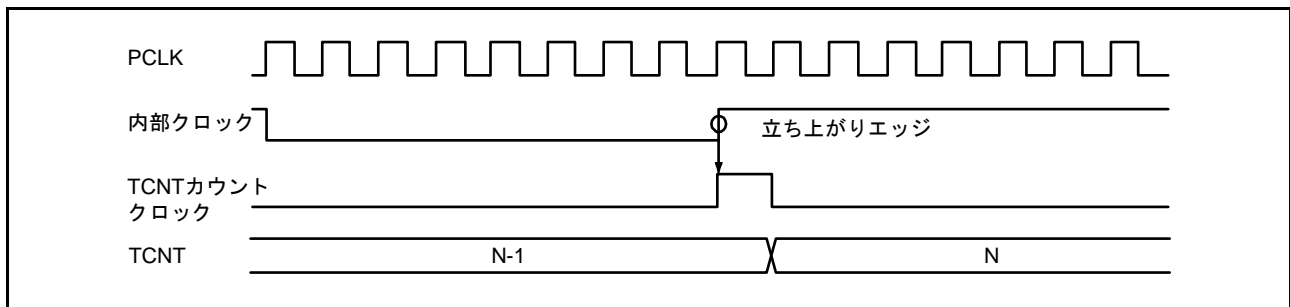


図 19.37 内部クロック動作時のカウントタイミング (MTU5)

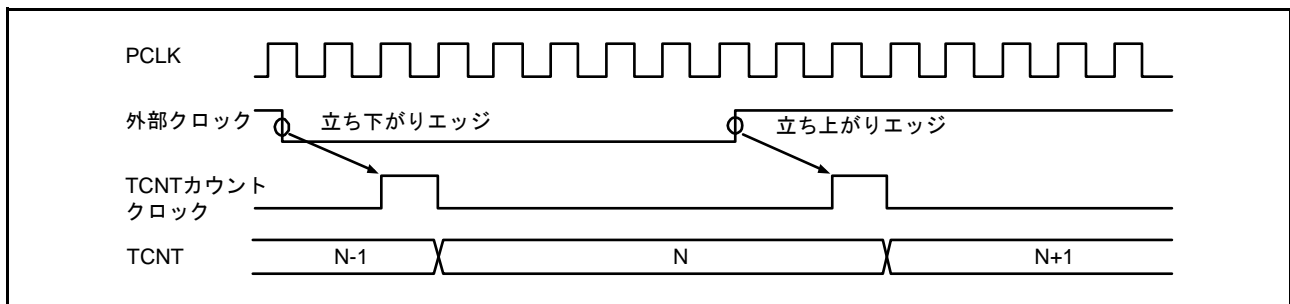


図 19.38 外部クロック動作時のカウントタイミング (MTU0 ~ MTU2)

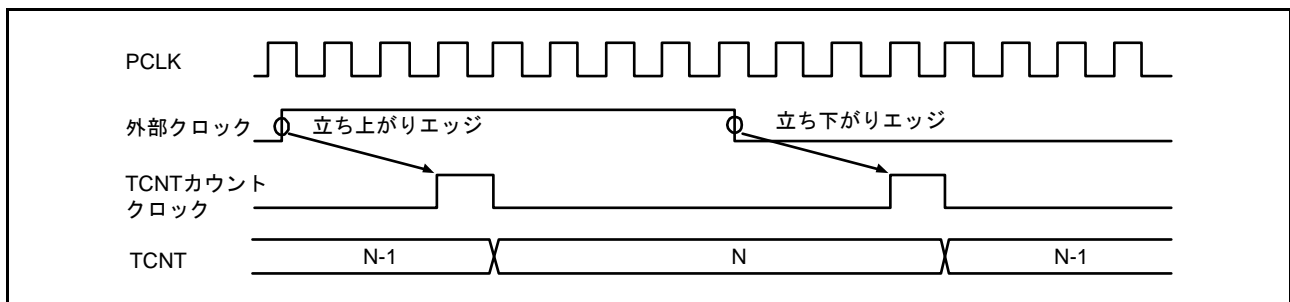


図 19.39 外部クロック動作時のカウントタイミング (位相計数モード)

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT カウンタと TGR レジスタが一致した最後のステート（TCNT カウンタが一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIOR レジスタで設定した出力値がアウトプットコンペア出力端子（MTIOC 端子）に出力されます。TCNT カウンタと TGR レジスタが一致した後、TCNT カウントクロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング（ノーマルモード、PWM モード）を図 19.40 に示します。

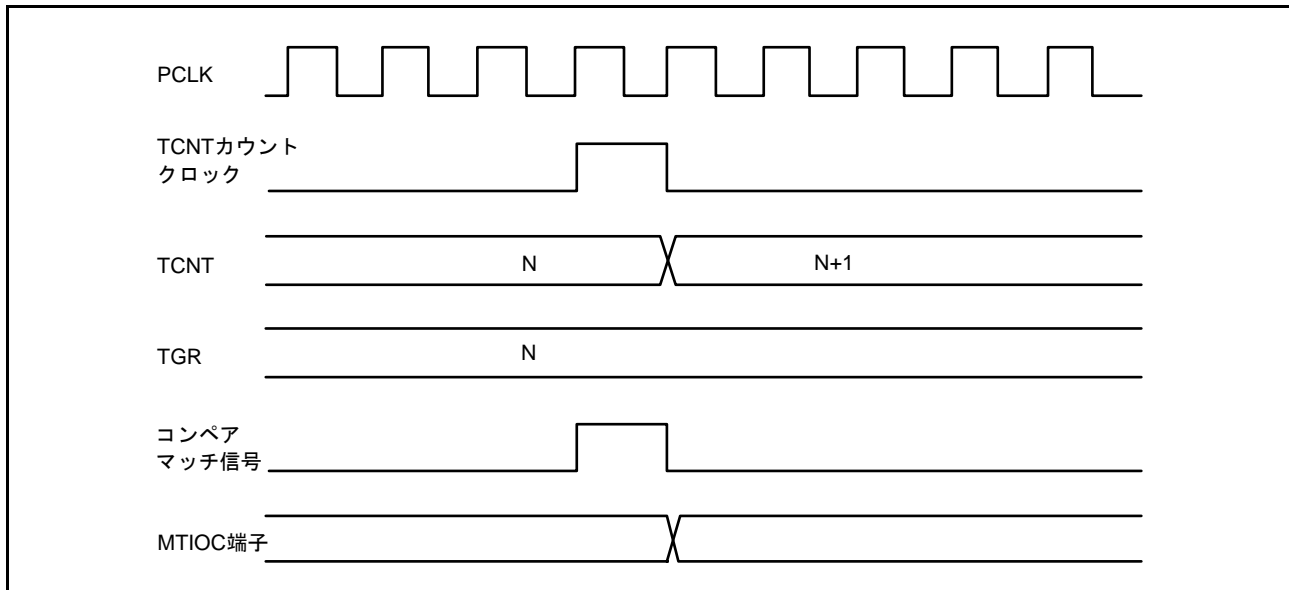


図 19.40 アウトプットコンペア出力タイミング（ノーマルモード、PWM モード）

(3) インプットキャプチャ信号タイミング

インプットキャプチャのタイミングを図 19.41 に示します。

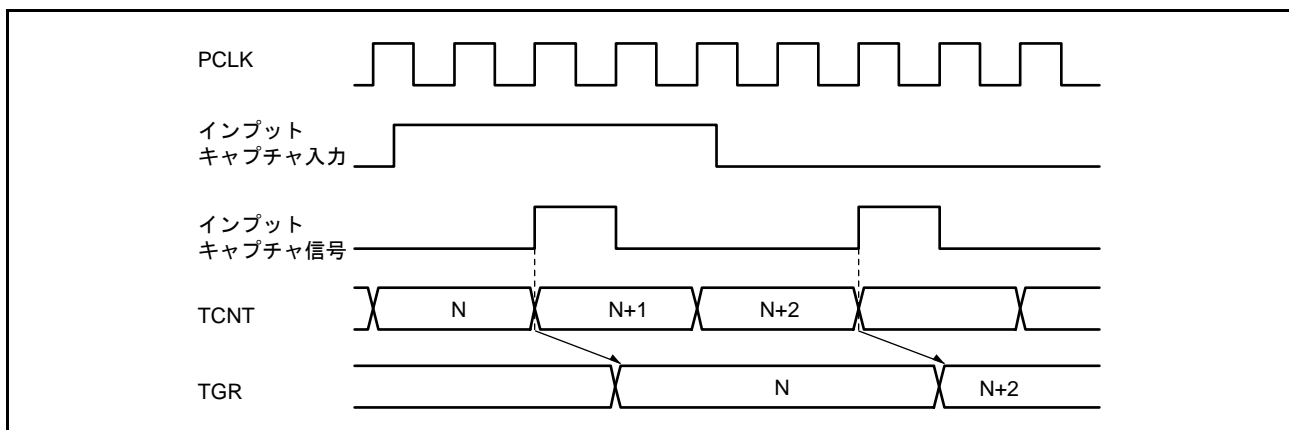


図 19.41 インプットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 19.42、図 19.43 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 19.44 に示します。

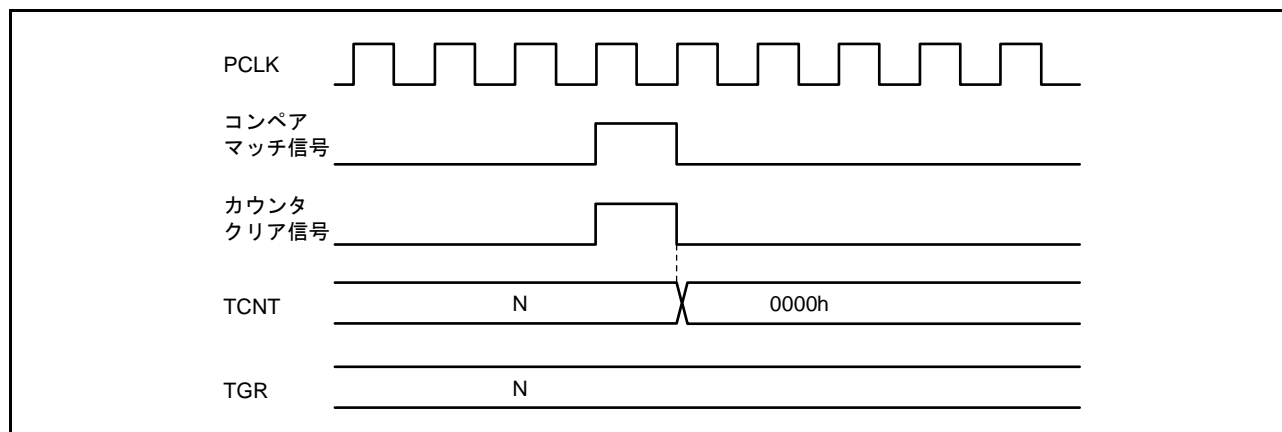


図 19.42 カウンタクリアタイミング (コンペアマッチ) (MTU0 ~ MTU2)

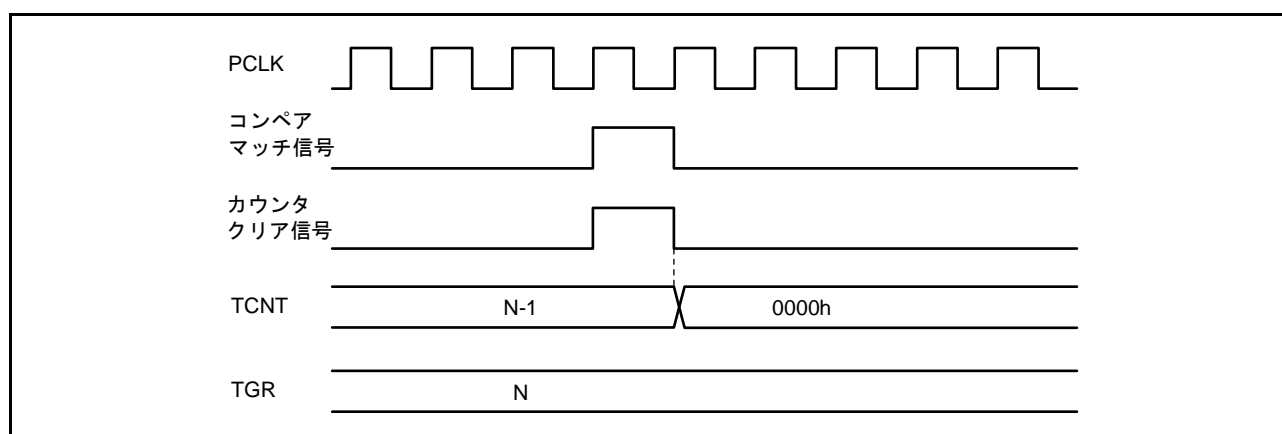


図 19.43 カウンタクリアタイミング (コンペアマッチ) (MTU5)

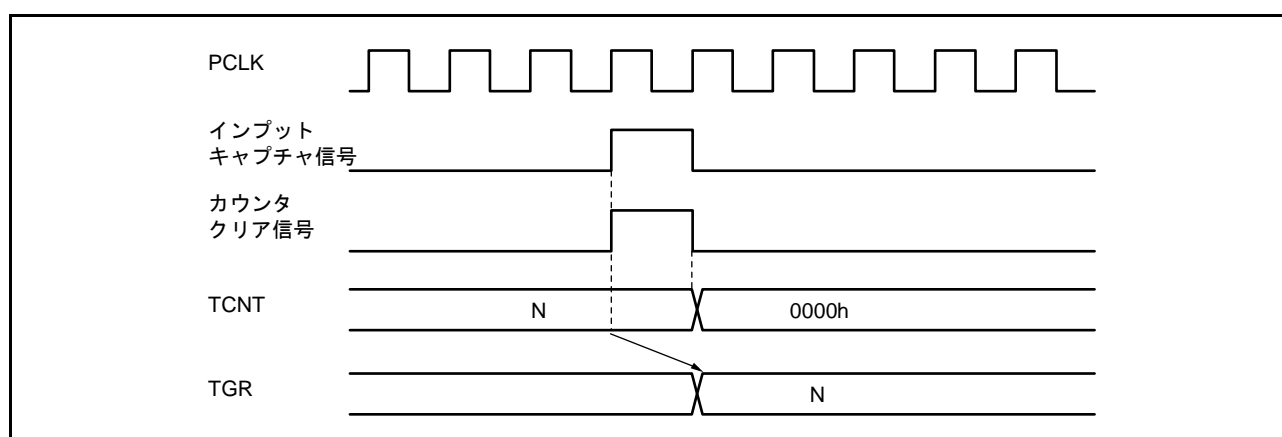


図 19.44 カウンタクリアタイミング (インプットキャプチャ) (MTU0 ~ MTU2, MTU5)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 19.45 ~ 図 19.47 に示します。

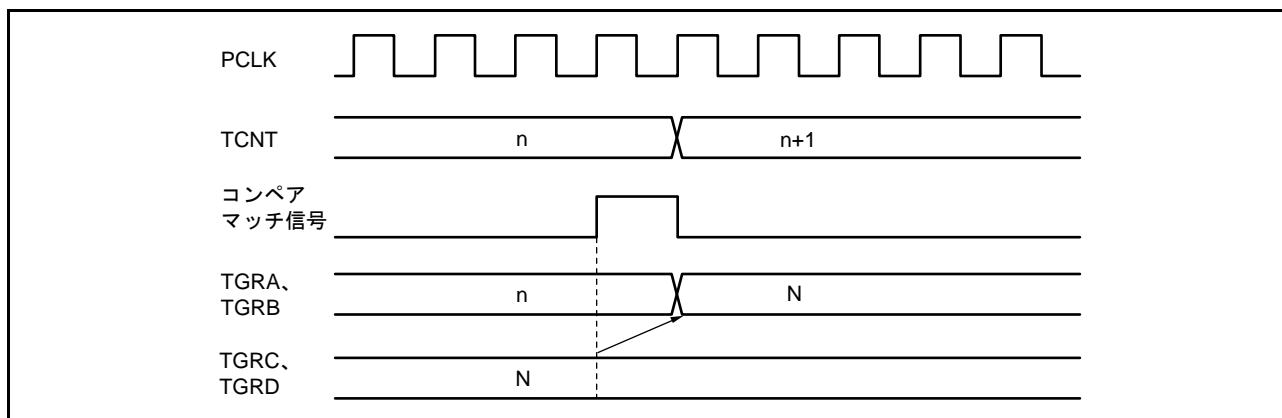


図 19.45 バッファ動作タイミング (コンペアマッチ)

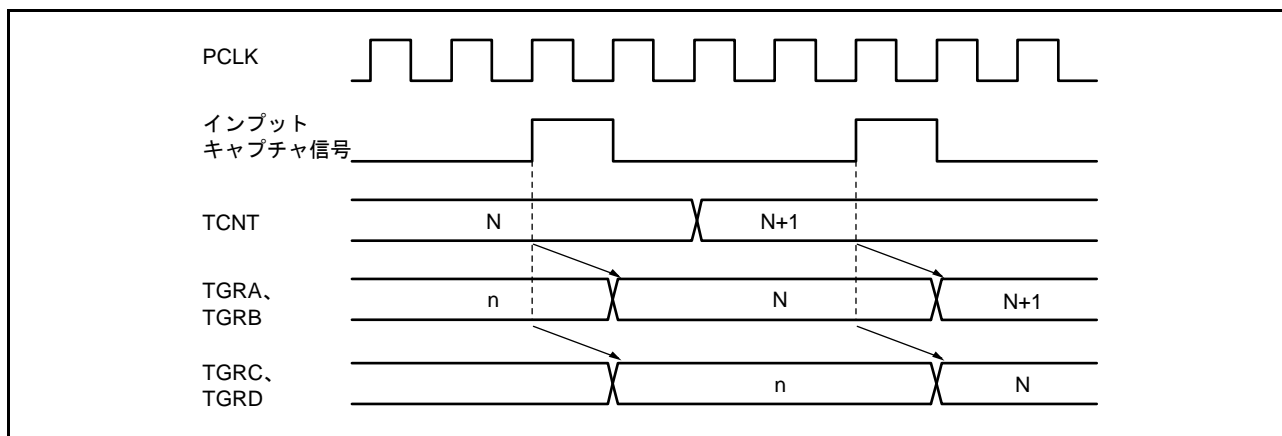


図 19.46 バッファ動作タイミング (インプットキャプチャ)

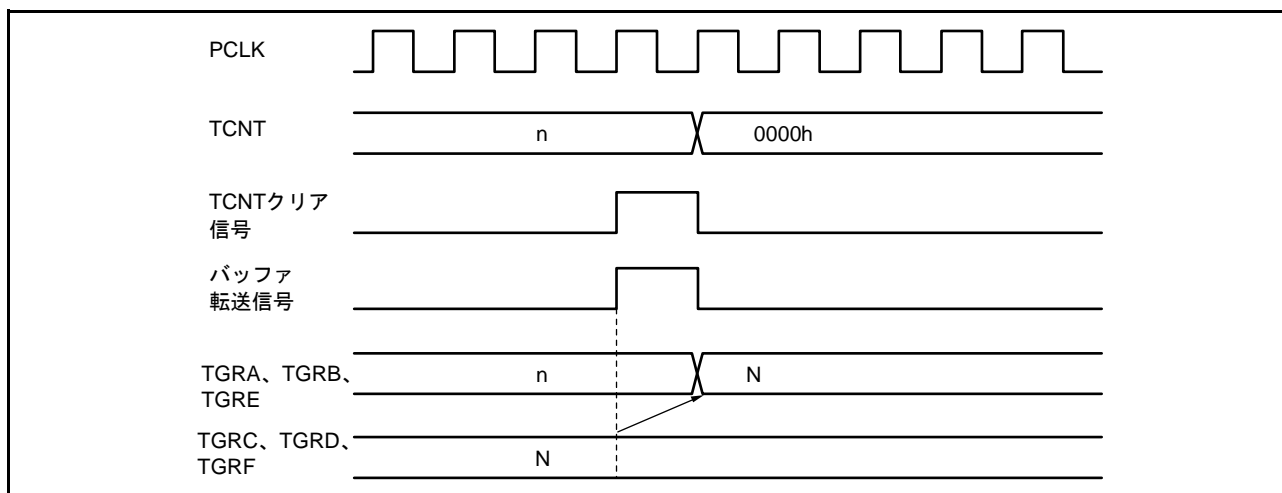


図 19.47 バッファ動作タイミング (TCNT カウンタクリア時)

19.5.2 割り込み信号タイミング

(1) コンペアマッチ時の TGI 割り込みタイミング

コンペアマッチの発生による TGI 割り込み要求信号のタイミングを図 19.48、図 19.49 に示します。

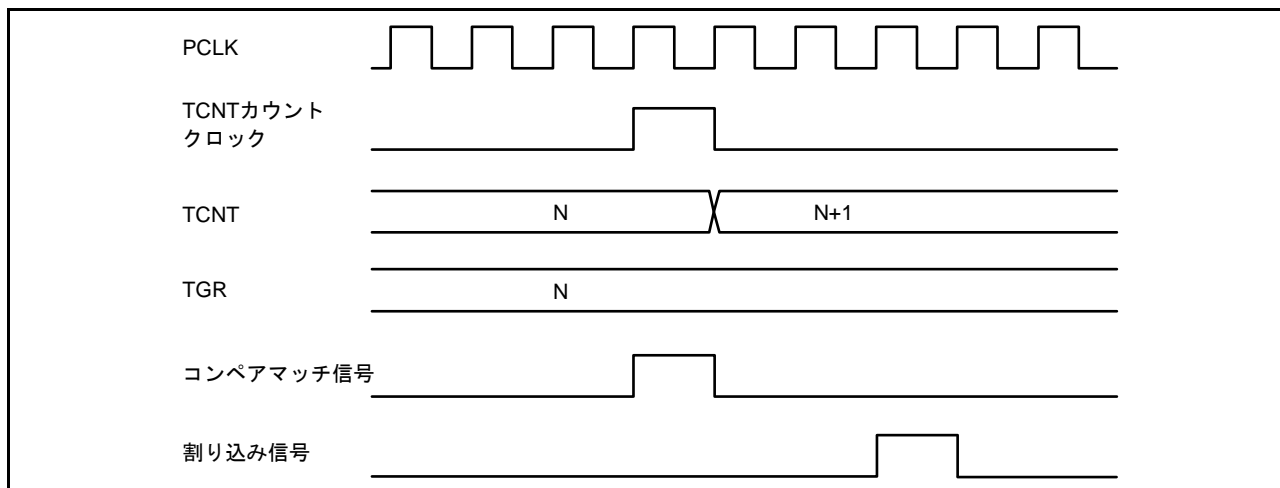


図 19.48 TGI 割り込みタイミング (コンペアマッチ) (MTU0 ~ MTU2)

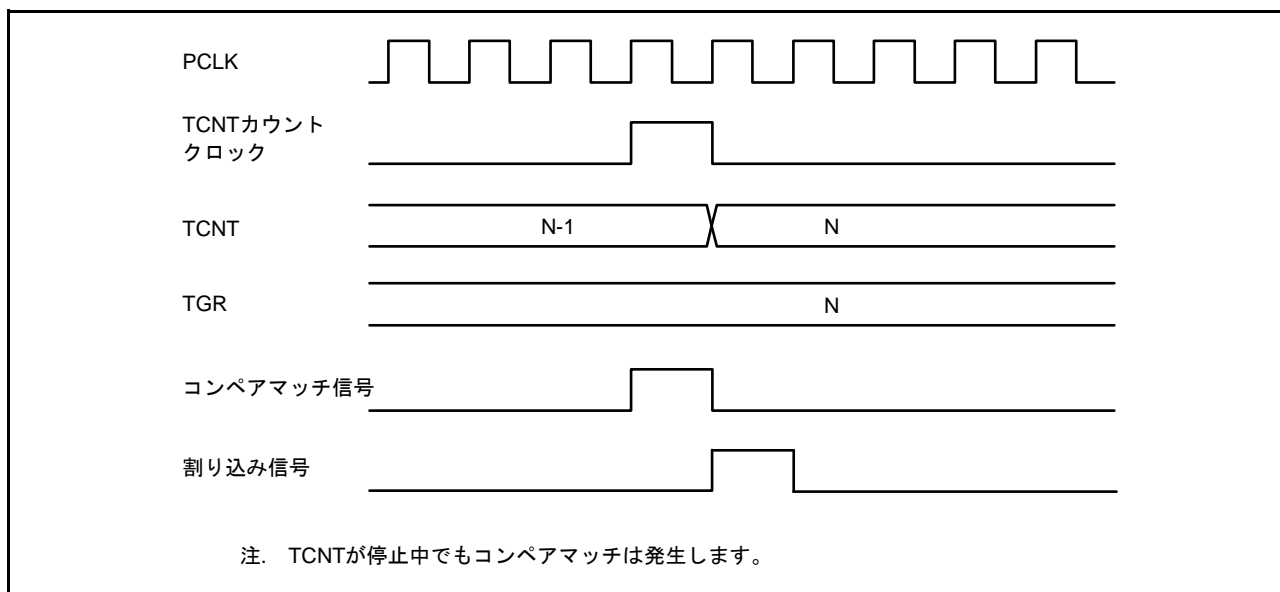


図 19.49 TGI 割り込みタイミング (コンペアマッチ) (MTU5)

(2) インพุットキャプチャ時の TGI 割り込みタイミング

インพุットキャプチャの発生による TGI 割り込み要求信号のタイミングを図 19.50、図 19.51 に示します。

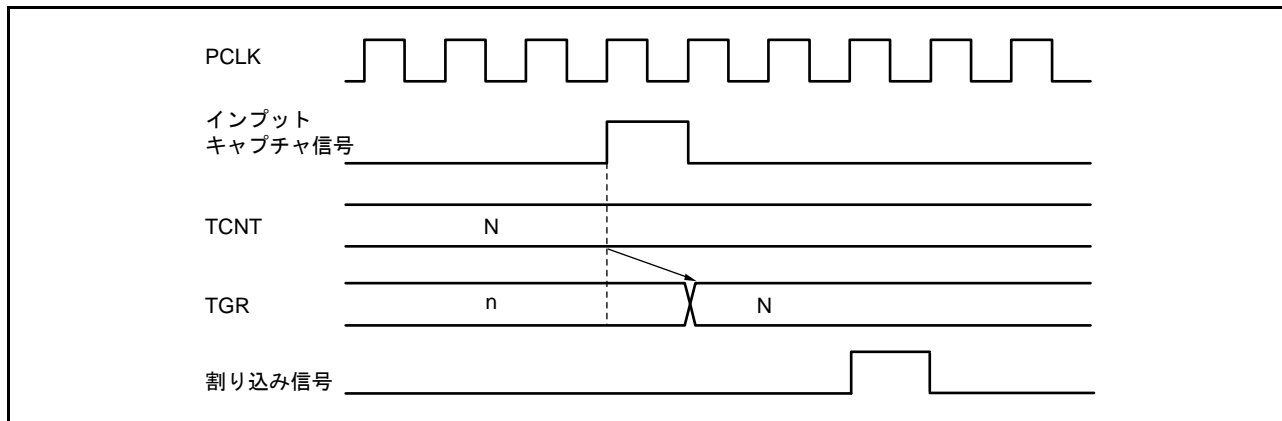


図 19.50 TGI 割り込みタイミング (インพุットキャプチャ) (MTU0 ~ MTU2)

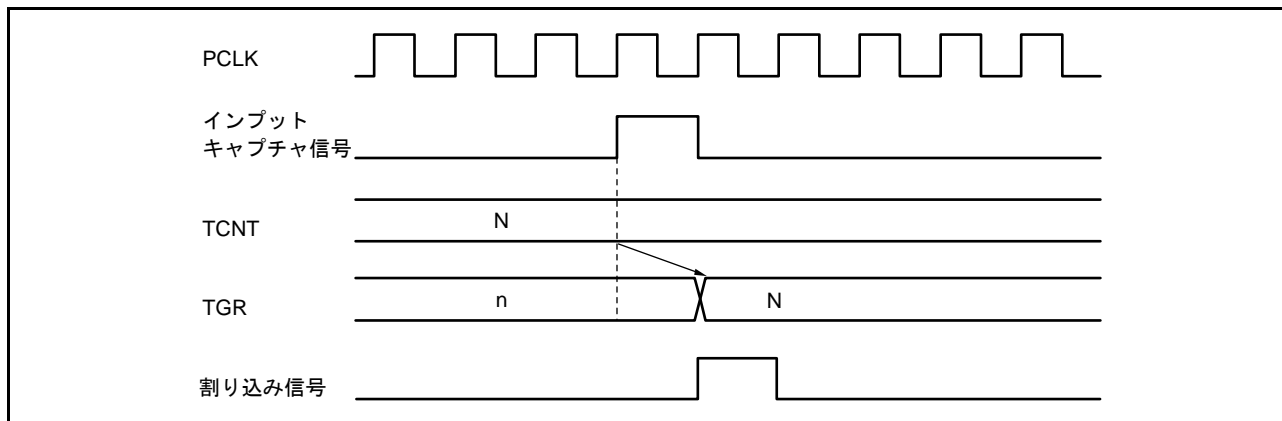


図 19.51 TGI 割り込みタイミング (インพุットキャプチャ) (MTU5)

(3) TCIV/TCIU 割り込みタイミング

オーバーフローの発生による TCIV 割り込み要求信号のタイミングを図 19.52 に示します。
 アンダフローの発生による TCIU 割り込み要求信号のタイミングを図 19.53 に示します。

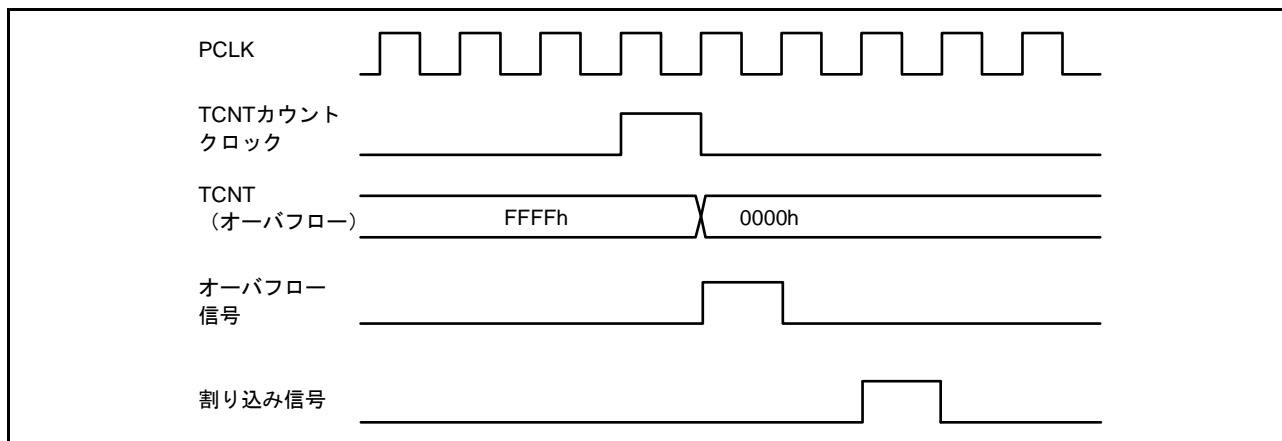


図 19.52 TCIV 割り込みタイミング

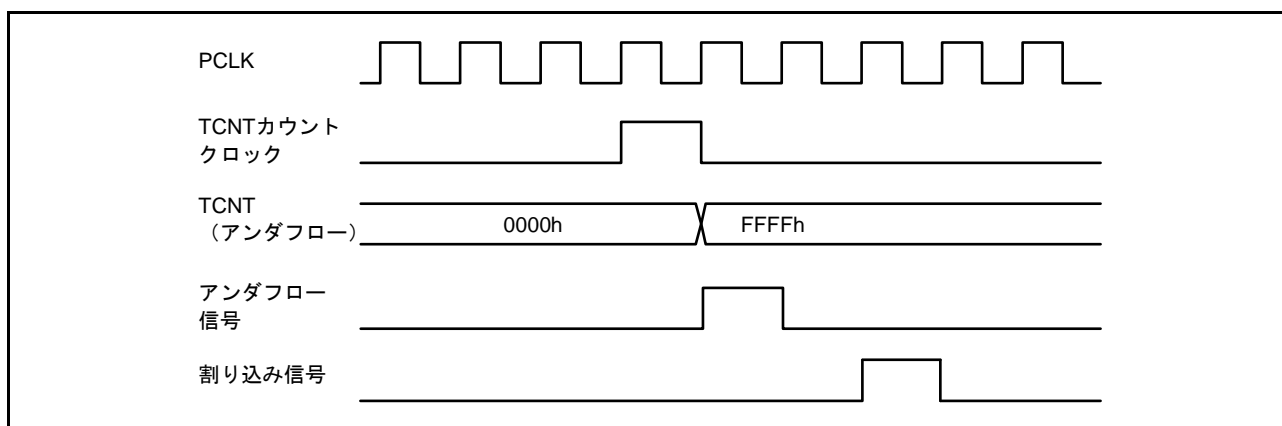


図 19.53 TCIU 割り込みタイミング

19.6 使用上の注意事項

19.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、MTU の動作禁止 / 許可を設定することが可能です。初期値では、MTU の動作は停止します。モジュールクロックストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

19.6.2 カウントクロックの制限事項

カウントクロックソースのパルス幅は、単エッジの場合は $1.5PCLK$ クロック以上、両エッジの場合は $2.5PCLK$ クロック以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2本の入力クロックの位相差およびオーバーラップはそれぞれ $1.5PCLK$ クロック以上、パルス幅は $2.5PCLK$ クロック以上必要です。位相計数モードの入力クロックの条件を図 19.54 に示します。

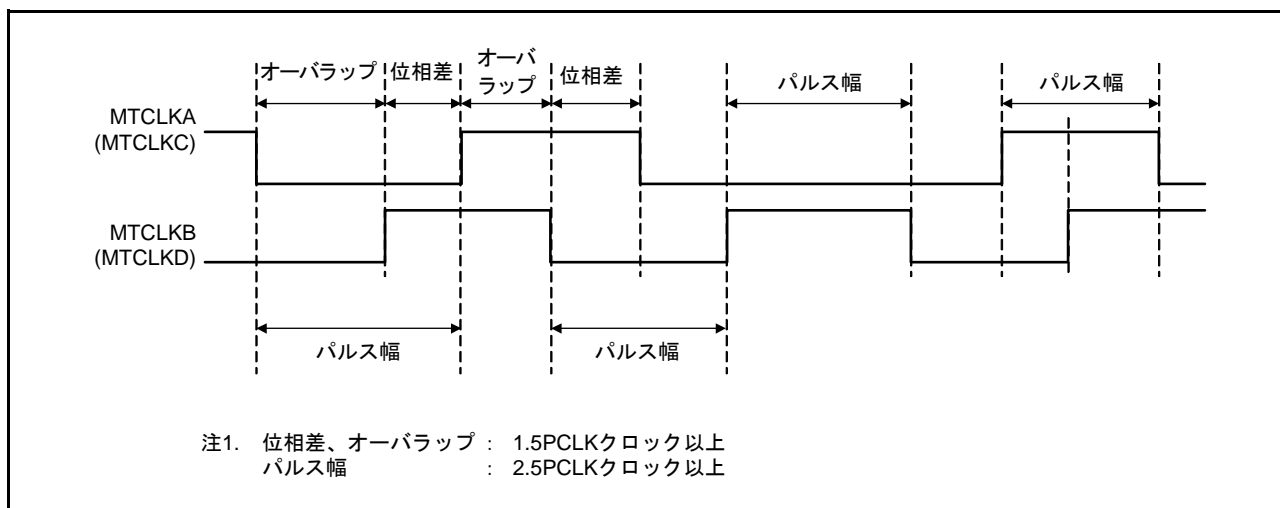


図 19.54 位相計数モード時の位相差、オーバーラップ、およびパルス幅

19.6.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT カウンタは TGR レジスタの値と一致した最後のステート (TCNT カウンタが一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式のようにになります。

- MTU0 ~ MTU2 の場合

$$f = \frac{\text{CNTCLK}}{N+1}$$

- MTU5 の場合

$$f = \frac{\text{CNTCLK}}{N}$$

f : カウンタ周波数

CNTCLK : TCR.TPSC[2:0] ビットで設定したカウントクロックの周波数

N : TGR レジスタの設定値

19.6.4 TCNT カウンタの書き込みとクリアの競合

TCNT カウンタの書き込みサイクル中で、カウンタクリア信号が発生すると、TCNT カウンタへの書き込みは行われず、TCNT カウンタのクリアが優先されます。

このタイミングを図 19.55 に示します。

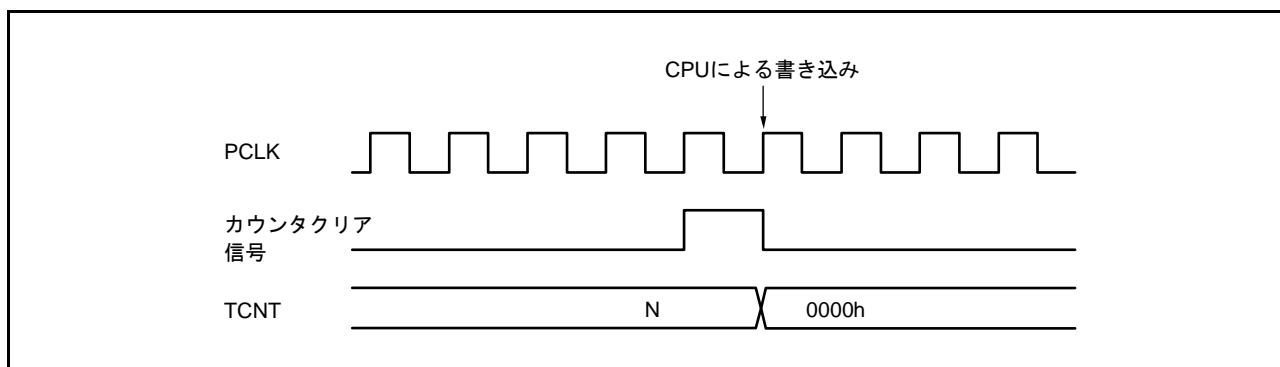


図 19.55 TCNT カウンタの書き込みとカウンタクリアの競合

19.6.5 TCNT カウンタの書き込みとカウントアップの競合

TCNT カウンタの書き込みサイクル中にカウントアップが発生しても、カウントアップされず、TCNT カウンタへの書き込みが優先されます。

このタイミングを図 19.56 に示します。

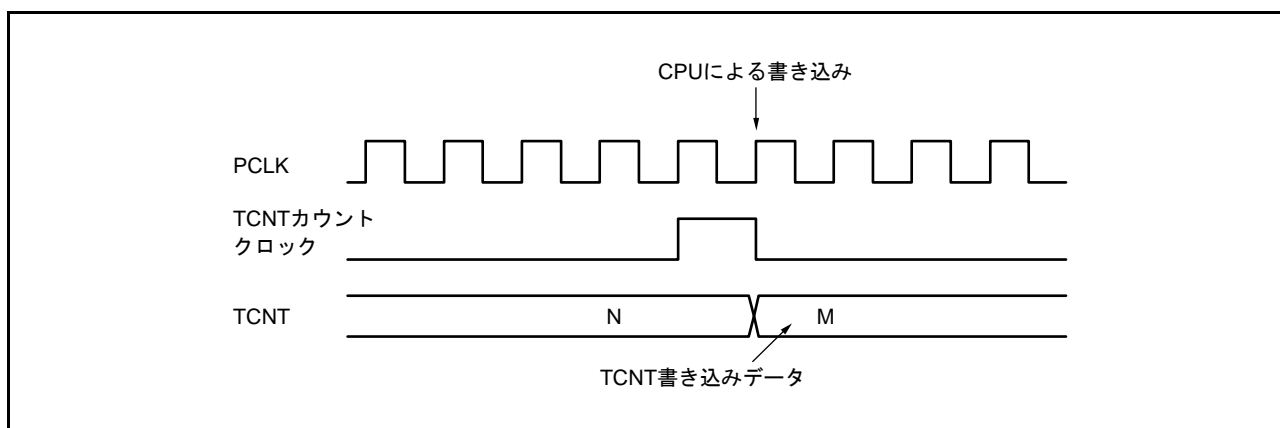


図 19.56 TCNT カウンタの書き込みとカウントアップの競合

19.6.6 TGR レジスタの書き込みとコンペアマッチの競合

TGR レジスタの書き込みサイクル中にコンペアマッチが発生した場合、TGR レジスタの書き込みが実行され、コンペアマッチ信号も発生します。

このタイミングを図 19.57 に示します。

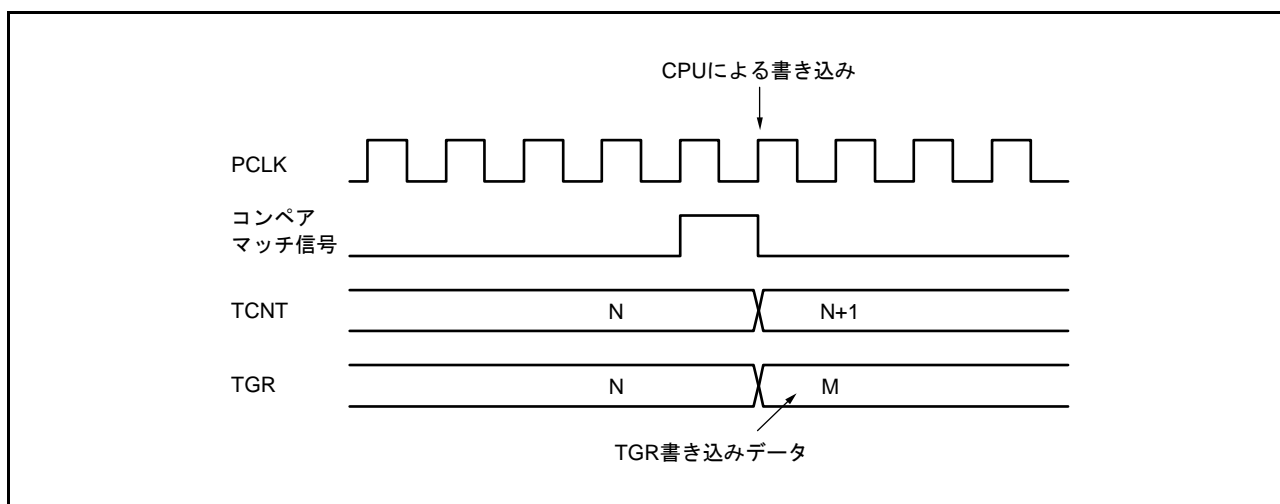


図 19.57 TGR レジスタの書き込みとコンペアマッチの競合

19.6.7 バッファレジスタの書き込みとコンペアマッチの競合

TGR レジスタの書き込みサイクル中にコンペアマッチが発生すると、バッファ動作によって TGR レジスタに転送されるデータは書き込み前のデータです。

このタイミングを図 19.58 に示します。

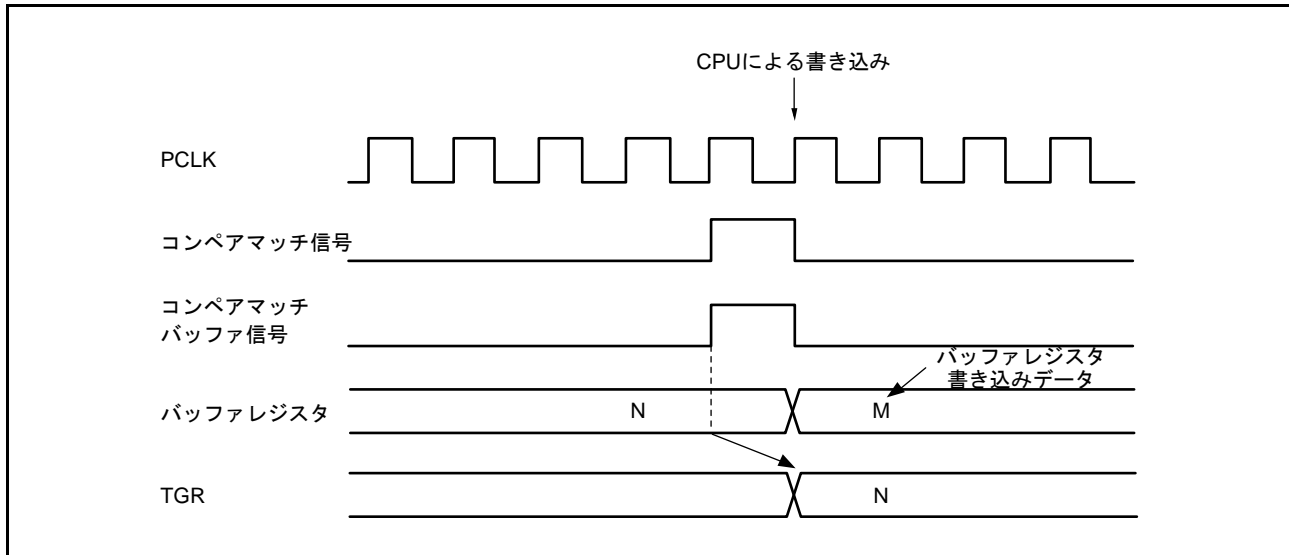


図 19.58 バッファレジスタの書き込みとコンペアマッチの競合

19.6.8 バッファレジスタの書き込みと TCNT カウンタクリアの競合

TBTM レジスタでバッファ転送タイミングを TCNT カウンタクリア時に設定した場合、TGR レジスタの書き込みサイクル中に TCNT カウンタクリアが発生すると、バッファ動作によって TGR レジスタに転送されるデータは書き込み前のデータです。

このタイミングを図 19.59 に示します。

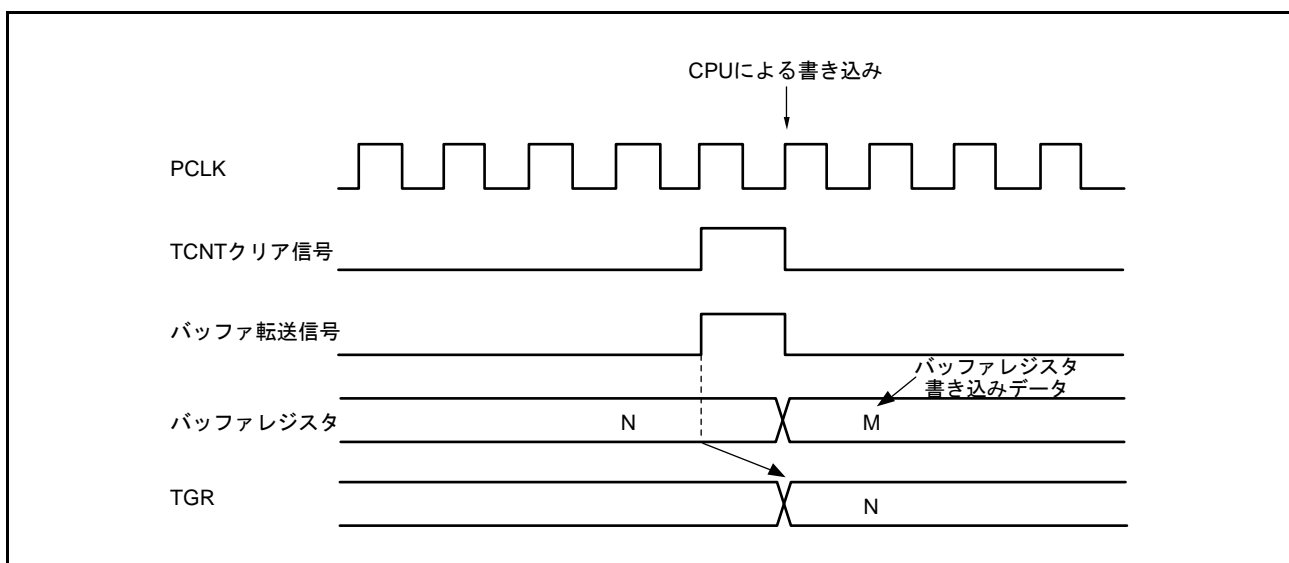


図 19.59 バッファレジスタの書き込みと TCNT カウンタクリアの競合

19.6.9 TGR レジスタの読み出しとインプットキャプチャの競合

TGR レジスタの読み出しサイクル中にインプットキャプチャ信号が発生すると、読み出しされるデータは、インプットキャプチャ転送前のデータとなります。

このタイミングを図 19.60 に示します。

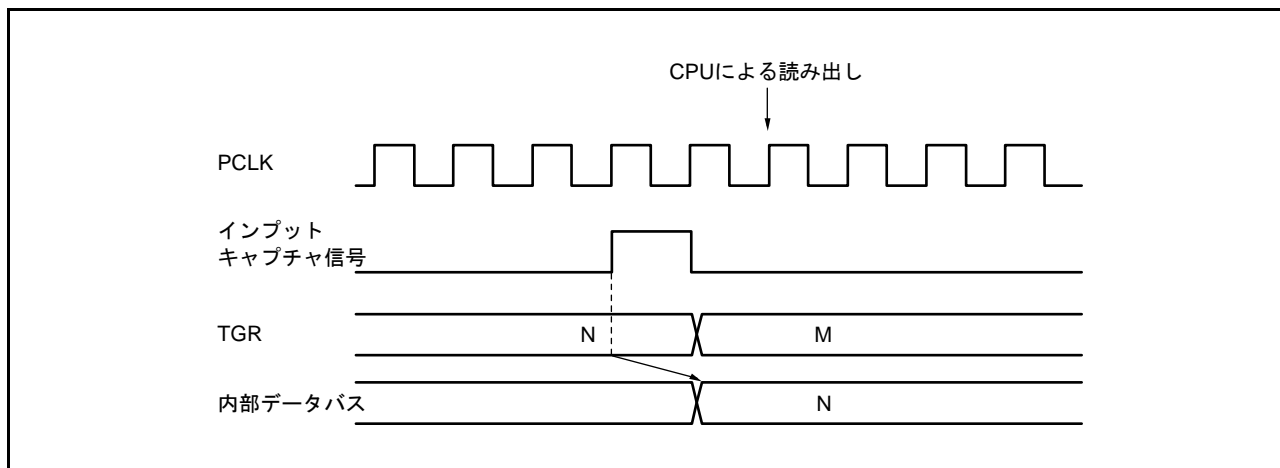


図 19.60 TGR レジスタの読み出しとインプットキャプチャの競合 (MTU0 ~ MTU2, MTU5)

19.6.10 TGR レジスタの書き込みとインプットキャプチャの競合

TGR レジスタの書き込みサイクル中にインプットキャプチャ信号が発生すると、MTU0 ~ MTU2 では TGR レジスタへの書き込みは行われず、インプットキャプチャが優先され、MTU5 では TGR レジスタへの書き込みが実行され、インプットキャプチャ信号も発生します。

このタイミングを図 19.61、図 19.62 に示します。

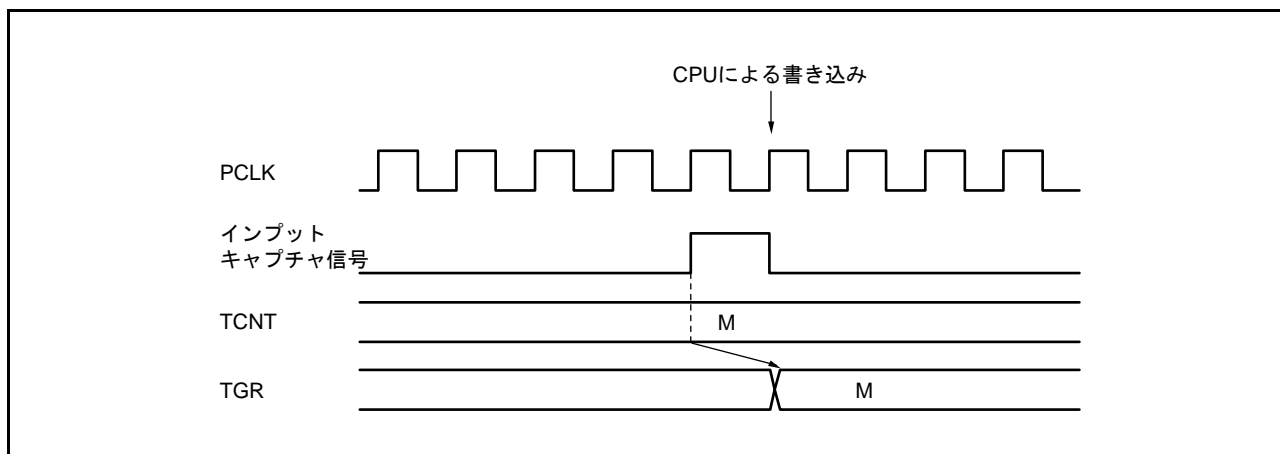


図 19.61 TGR レジスタの書き込みとインプットキャプチャの競合 (MTU0 ~ MTU2)

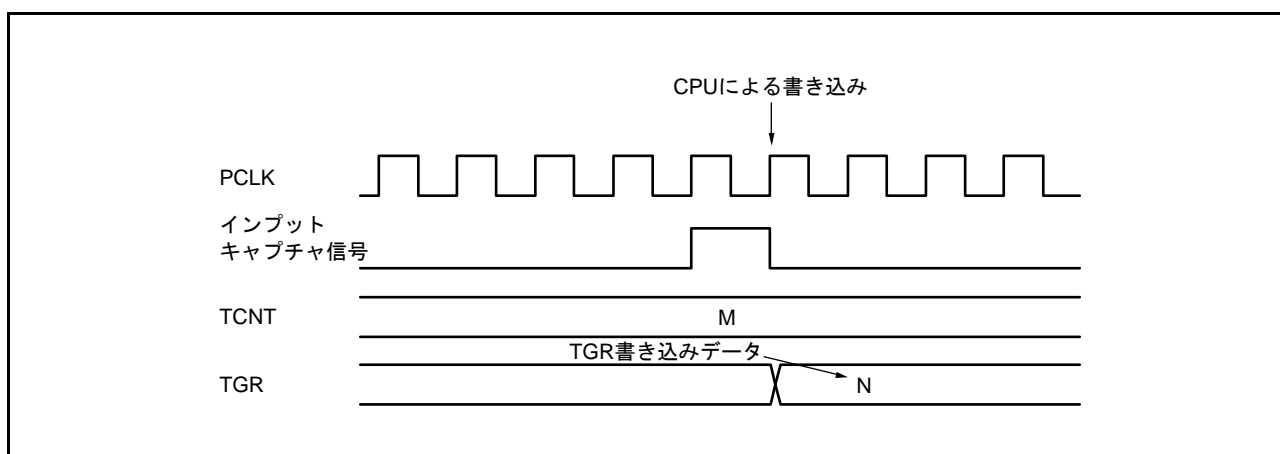


図 19.62 TGR レジスタの書き込みとインプットキャプチャの競合 (MTU5)

19.6.11 バッファレジスタの書き込みと入力キャプチャの競合

バッファの書き込みサイクル中に入力キャプチャ信号が発生すると、バッファレジスタへの書き込みは行われず、バッファ動作が優先されます。

このタイミングを図 19.63 に示します。

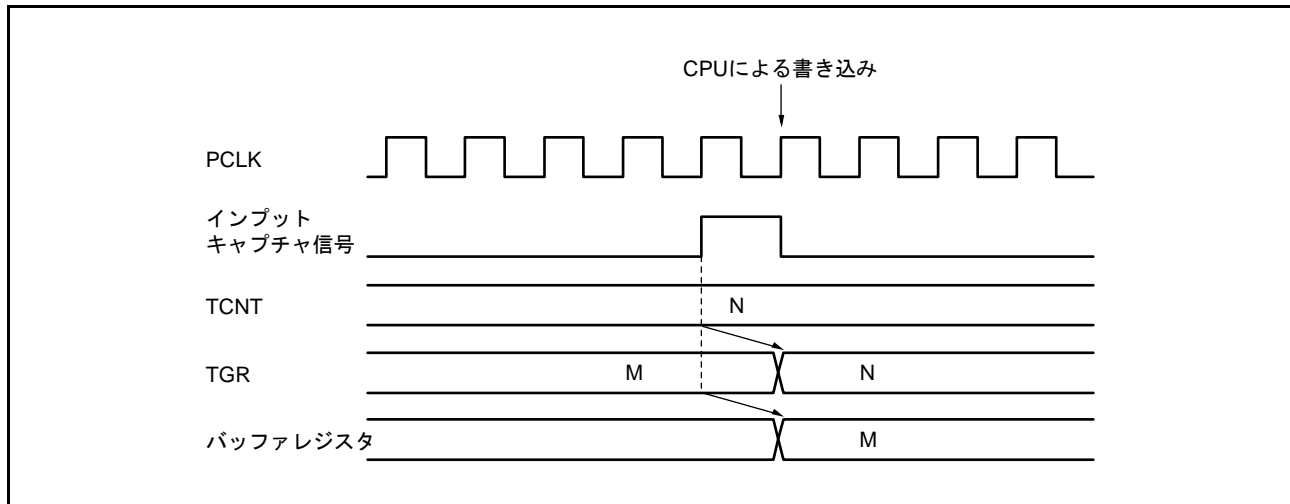


図 19.63 バッファレジスタの書き込みと入力キャプチャの競合

19.6.12 カスケード接続における MTU2.TCNT カウンタの書き込みとオーバフロー/アンダフローの競合

MTU1.TCNT, MTU2.TCNT カウンタをカスケード接続し、MTU1.TCNT カウンタがカウントする瞬間 (MTU2.TCNT カウンタがオーバフロー/アンダフローする瞬間) と MTU2.TCNT カウンタの書き込みが競合すると、MTU2.TCNT カウンタへの書き込みが行われ、MTU1.TCNT カウンタのカウント信号が禁止されます。このとき、MTU1.TGRA レジスタがコンペアマッチレジスタとして動作し MTU1.TCNT カウンタの値と一致していた場合、コンペアマッチ信号が発生します。

また、MTU0 の入力キャプチャ要因に MTU1.TCNT カウントクロックを選択した場合には、MTU0.TGRA ~ TGRD レジスタは入力キャプチャ動作します。さらに MTU1.TGRB レジスタの入力キャプチャ要因に MTU0.TGRC レジスタのコンペアマッチ/入力キャプチャを選択した場合には、MTU1.TGRB レジスタは入力キャプチャ動作します。

このタイミングを図 19.64 に示します。

また、カスケード接続動作で TCNT カウンタのクリア設定を行う場合には、MTU1 と MTU2 の同期設定を行ってください。

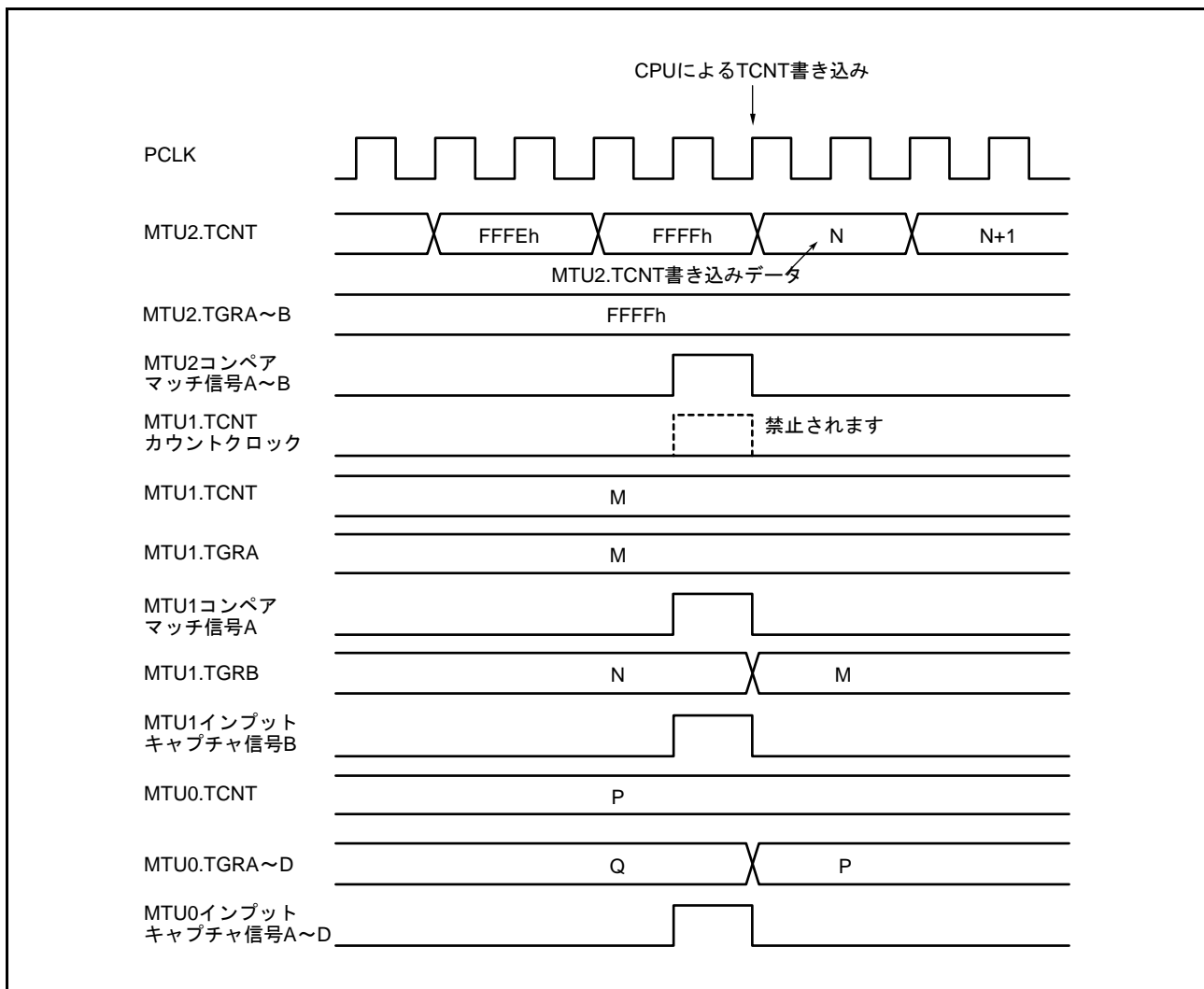


図 19.64 カスケード接続における MTU2.TCNT カウンタの書き込みとオーバフロー/アンダフローの競合

19.6.13 オーバフロー/アンダフローとカウンタクリアの競合

オーバフロー/アンダフローとカウンタクリアが同時に発生すると、TCNT カウンタのクリアが優先されて、対応する TCIV 割り込みは発生しません。オーバフローとインプットキャプチャによるカウンタクリアが同時に発生すると、インプットキャプチャ割り込み信号が出力され、オーバフロー割り込み信号は出力されません。

TGR レジスタのコンペアマッチをクリア要因とし、TGR レジスタに“FFFFh”を設定した場合の動作タイミングを図 19.65 に示します。

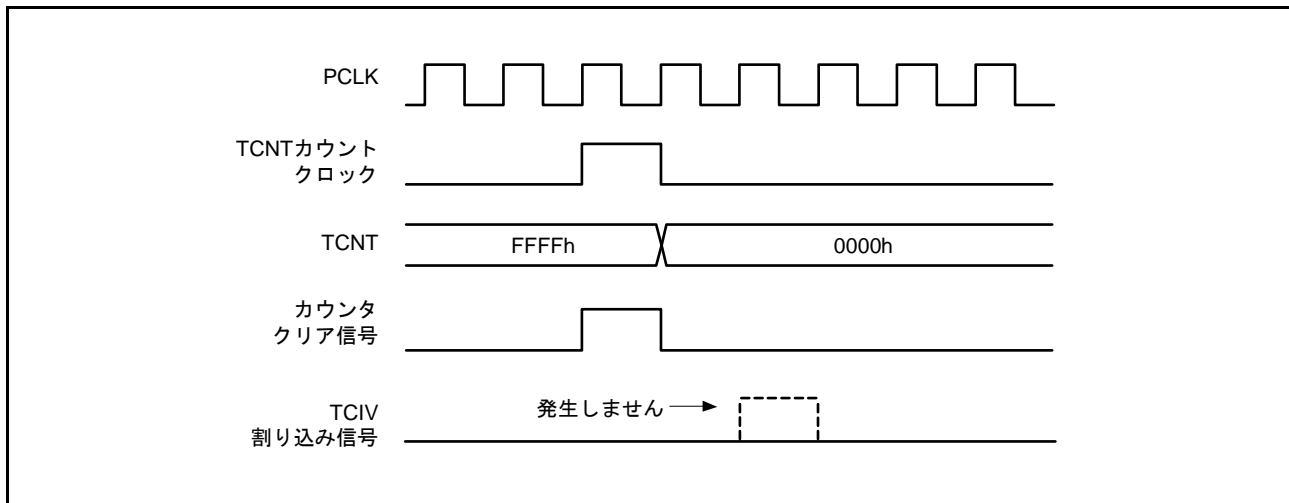


図 19.65 オーバフローとカウンタクリアの競合

19.6.14 TCNT カウンタの書き込みとオーバフロー/アンダフローの競合

TCNT カウンタの書き込みサイクルで、アップカウント/ダウンカウントが発生し、オーバフロー/アンダフローが発生しても、TCNT カウンタへの書き込みが優先されます。対応する割り込みは発生しません。

TCNT カウンタの書き込みとオーバフロー競合時の動作タイミングを図 19.66 に示します。

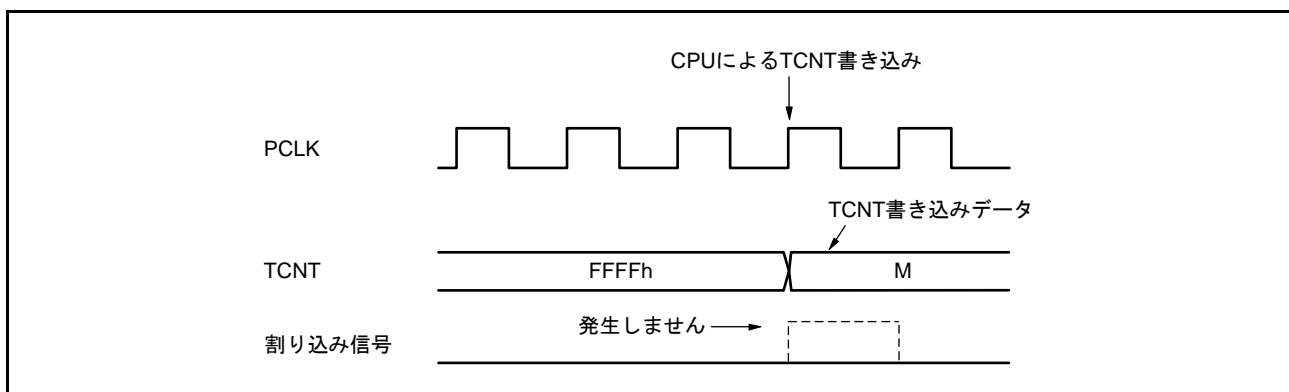


図 19.66 TCNT カウンタの書き込みとオーバフローの競合

19.6.15 モジュールストップ状態時の割り込み

割り込みが要求された状態でモジュールストップ状態になると、CPUの割り込み要因、またはDTCの起動要因のクリアができません。

事前に割り込みを無効にするなどしてからモジュールストップ状態に設定してください。

19.6.16 カスケード接続におけるMTU1.TCNT、MTU2.TCNTカウンタ同時インプットキャプチャ

MTU1.TCNT、MTU2.TCNTカウンタをカスケード接続して、32ビットカウンタとして動作させている場合、MTIOC1AとMTIOC2AまたはMTIOC1BとMTIOC2Bに同時にインプットキャプチャ入力を行っても、MTU1.TCNT、MTU2.TCNTカウンタに入力される外部からのインプットキャプチャ信号を、内部クロックに同期させて内部に取り込む際に、MTIOC1A、MTIOC2A、またはMTIOC1BとMTIOC2Bの取り込みタイミングにずれが生じ、カスケードカウンタ値を正常にキャプチャできない可能性があります。

例として、MTU1.TCNTカウンタ（上位16ビットのカウンタ）がMTU2.TCNTカウンタ（下位16ビットのカウンタ）のオーバーフローによるカウントアップ値をキャプチャすべきところを、カウントアップ前のカウント値をキャプチャします。その場合、正しくはMTU1.TCNT = FFF1h、MTU2.TCNT = 0000hの値をMTU1.TGRAレジスタとMTU2.TGRAレジスタ、もしくはMTU1.TGRBレジスタとMTU2.TGRBレジスタに転送すべきところを誤ってMTU1.TCNT = FFF0h、MTU2.TCNT = 0000hの値を転送します。

1本のインプットキャプチャ入力でMTU1.TCNTカウンタとMTU2.TCNTカウンタを同時にキャプチャできる機能を使用すれば、MTU1.TCNTカウンタとMTU2.TCNTカウンタのキャプチャタイミングのずれなく、32ビットカウンタの取り込みを行うことができます。詳細は、「19.2.8 タイムインプットキャプチャコントロールレジスタ (TICCR)」を参照してください。

19.6.17 MTU5.TCNTカウンタとMTU5.TGRレジスタの注意事項

MTU5.TCNT_mカウンタ（m = U, V, W）のカウント動作を停止した状態で、MTU5.TGR_mレジスタに「MTU5.TCNT_mカウンタ値 + 1」の値を設定しないでください。MTU5.TCNT_mカウンタのカウント動作を停止した状態で、MTU5.TGR_mレジスタに「MTU5.TCNT_mカウンタ値 + 1」の値を設定した場合、カウンタ停止状態にもかかわらずコンペアマッチが発生します。

このとき、コンペアマッチ割り込み許可ビット（MTU5.TIER.TGIE5_mビットが“1”（許可）になっていると、コンペアマッチ割り込みが発生します。なお、タイマコンペアマッチクリアレジスタが“1”（許可）になっていると、MTU5.TCNT_mカウンタは、コンペアマッチ割り込みの禁止 / 許可にかかわらず、コンペアマッチが発生すると“0000h”に自動クリアされます。

19.6.18 コンペアマッチによる割り込み信号の連続出力

TGR レジスタに“0000h”、カウントクロックを PCLK/1、コンペアマッチでカウンタクリアに設定した場合、TCNT カウンタは“0000h”のままとなり、割り込み信号は1サイクルの信号ではなく、レベル状の連続出力信号となります。これにより、2回目以降のコンペアマッチによる割り込み信号を認識できなくなります。

図 19.67 にコンペアマッチによる割り込み信号の連続出力タイミングを示します。

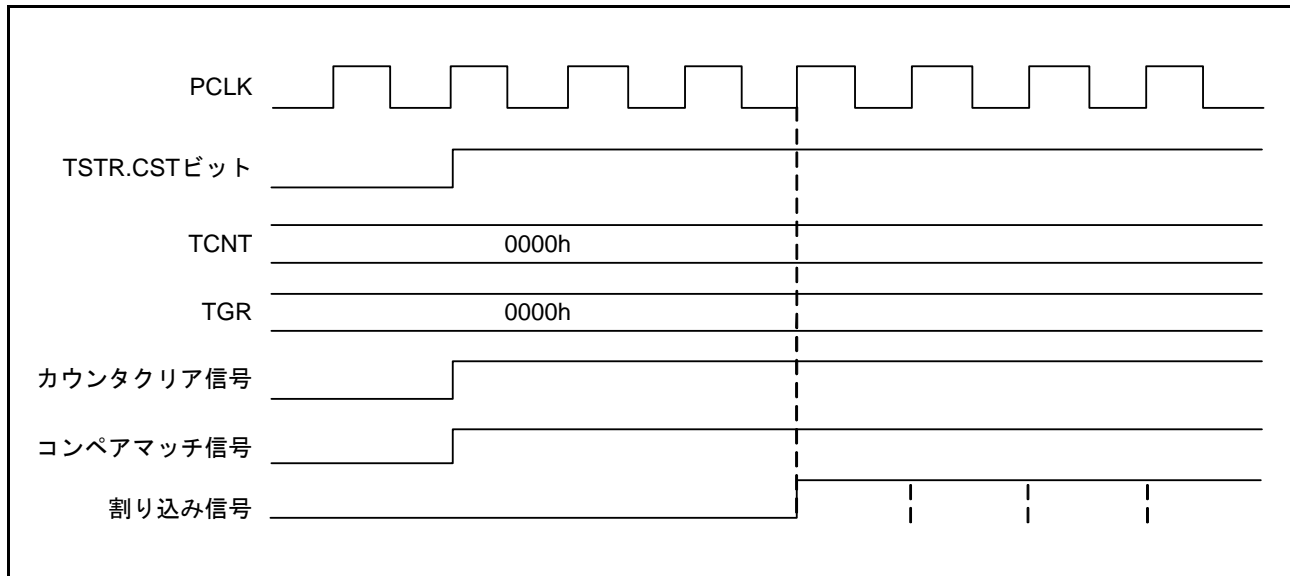


図 19.67 コンペアマッチによる割り込み信号の連続出力

19.7 MTU 出力端子の初期化方法

19.7.1 動作モード

MTU には以下の 4 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ノーマルモード (MTU0 ~ MTU2)
- PWM モード 1 (MTU0 ~ MTU2)
- PWM モード 2 (MTU0 ~ MTU2)
- 位相計数モード 1 ~ 4 (MTU1, MTU2)

ここでは、各モードでの MTU 出力端子の初期化方法について示します。

19.7.2 動作中の異常などによる再設定時の動作

MTU の動作中に異常が発生した場合、システムで MTU の出力を遮断してください。遮断は I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力することにより行ってください。MTU 端子を出力禁止とするには TIOR レジスタで設定してください。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

MTU には前述のように 6 つの動作モードがあります。モード遷移の組み合わせは 16 通りとなりますがチャンネルとモードの組み合わせ上存在しない遷移が存在します。この一覧表を表 19.31 に示します。

ただし、下記の表記を使用します。

Normal : ノーマルモード PWM1 : PWM モード 1 PWM2 : PWM モード 2

PCM : 位相計数モード 1 ~ 4

表 19.31 モード遷移の組み合わせ

	Normal	PWM1	PWM2	PCM
Normal	(1)	(2)	(3)	(4)
PWM1	(5)	(6)	(7)	(8)
PWM2	(9)	(10)	(11)	(12)
PCM	(13)	(14)	(15)	(16)

19.7.3 動作中の異常などによる端子の初期化手順、モード遷移の概要

- TIOR レジスタの設定で端子の出力レベルを選択するモード (Normal, PWM1, PWM2, PCM) に移行する場合は TIOR レジスタの設定により端子を初期化してください。
- PWM モード2 では周期レジスタの端子に波形が出力されません。端子の機能を MTIOCnm 端子 ($n=0 \sim 2$, $m=A \sim D$) に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- ノーマルモードまたは PWM モード2 では TGRC、TGRD レジスタがバッファレジスタとして動作している場合、対応する MTIOC0C/MTIOC0D 端子に波形が出力されません。端子の機能を MTIOC0C/MTIOC0D 端子に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- PWM モード1 では TGRC、TGRD レジスタのいずれか一方がバッファレジスタとして動作している場合、対応する MTIOC0C/MTIOC0D 端子に波形が出力されません。端子の機能を MTIOC0C/MTIOC0D 端子に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。

注. 特に断りがない場合、本項記述中の n にはチャンネル番号が入ります。

以下、表 19.31 の組み合わせ No. に従い端子の初期化手順を示します。なお、アクティブレベルは Low とします。

(1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 19.68 に示します。

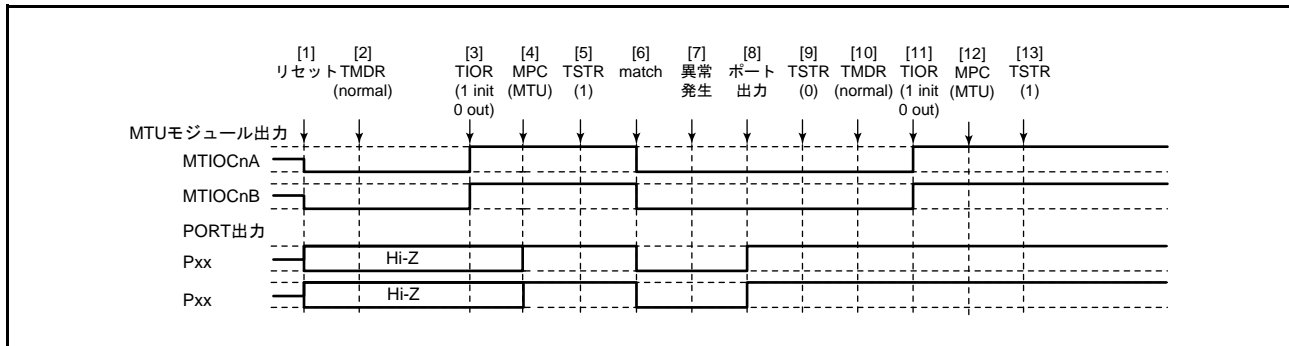


図 19.68 ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

- [1] リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- [2] リセットにより TMDR レジスタはノーマルモード設定になります。
- [3] TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です）。
- [4] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
- [5] TSTR レジスタでカウント動作を開始します。
- [6] コンペアマッチの発生により Low を出力します。
- [7] 異常が発生しました。
- [8] I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- [9] TSTR レジスタでカウント動作を停止します。
- [10] ノーマルモードで再スタートする場合は必要ありません。
- [11] TIOR レジスタで端子を初期化してください。
- [12] MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
- [13] TSTR レジスタで再スタートします。

(2) ノーマルモードで動作中に異常が発生し、PWM モード1で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード1で再スタートする場合の説明図を図 19.69 に示します。

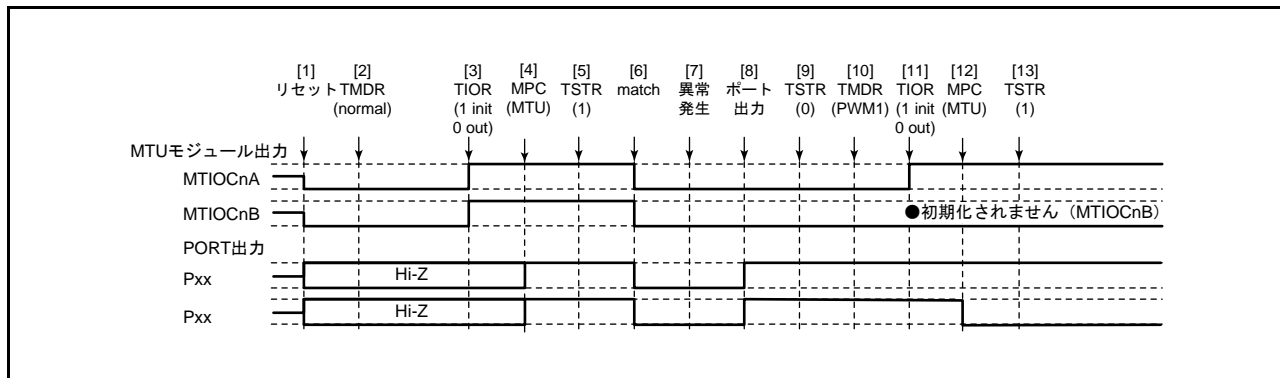


図 19.69 ノーマルモードで異常が発生し、PWM モード1で復帰する場合

[1] ~ [9] は図 19.68 と共通です。

[10] PWM モード1を設定します。

[11] TIOR レジスタで端子を初期化してください。なお、PWM モード1では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

[12] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[13] TSTR レジスタで再スタートします。

(3) ノーマルモードで動作中に異常が発生し、PWM モード2で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード2で再スタートする場合の説明図を図 19.70 に示します。

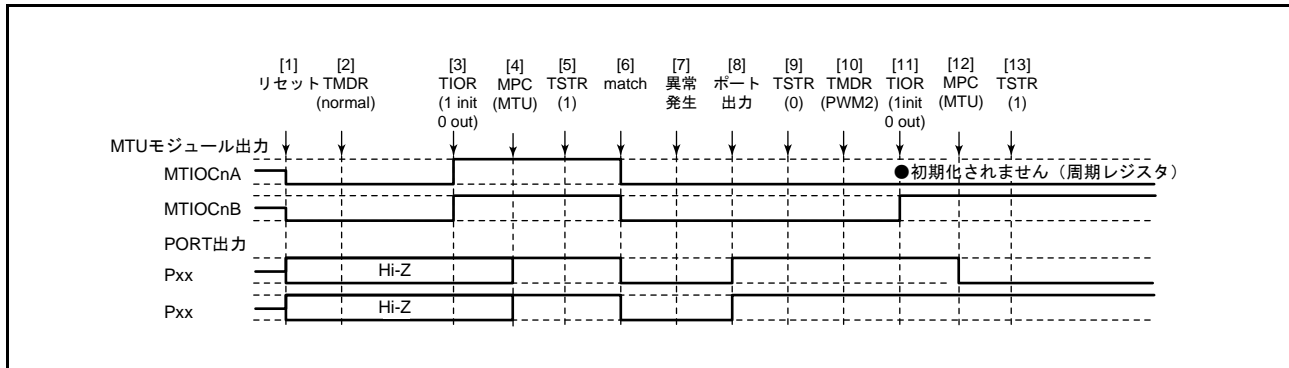


図 19.70 ノーマルモードで異常が発生し、PWM モード2で復帰する場合

[1] ~ [9] は図 19.68 と共通です。

[10] PWM モード2を設定します。

[11] TIOR レジスタで端子を初期化してください。なお、PWM モード2では周期レジスタの端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後 PWM モード2に移行してください。

[12] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[13] TSTR レジスタで再スタートします。

(4) ノーマルモードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 19.71 に示します。

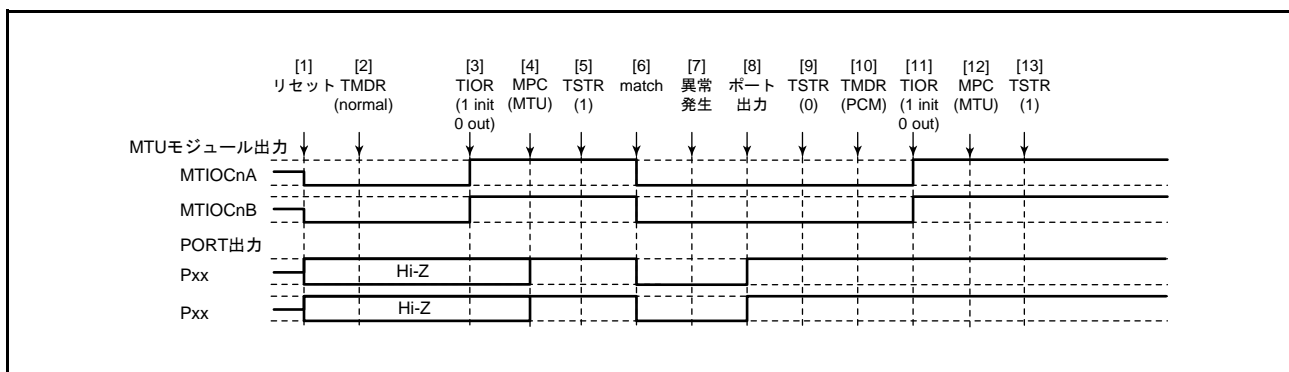


図 19.71 ノーマルモードで異常が発生し、位相計数モードで復帰する場合

[1] ~ [9] は図 19.68 と共通です。

[10] 位相計数モードを設定します。

[11] TIOR レジスタで端子を初期化してください。

[12] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[13] TSTR レジスタで再スタートします。

(5) PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 19.72 に示します。

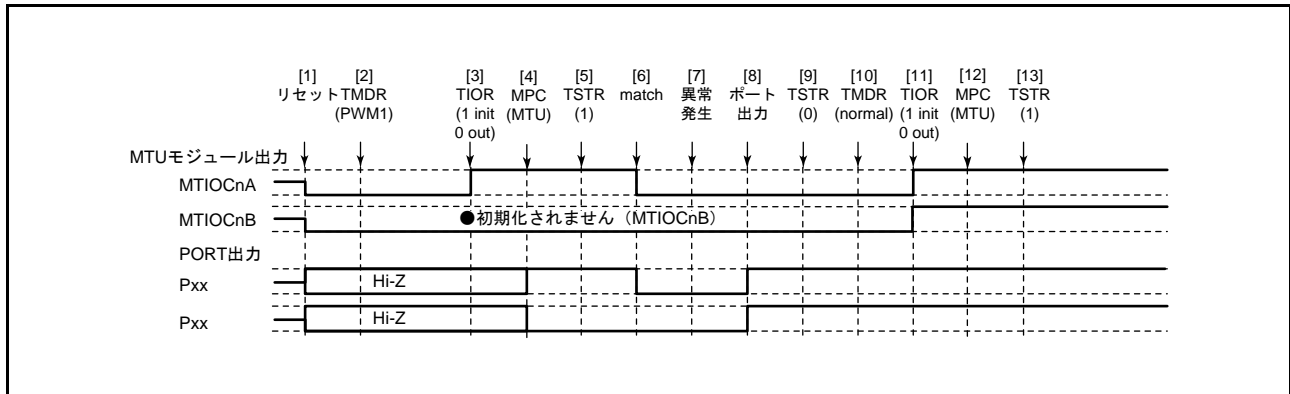


図 19.72 PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合

- [1] リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- [2] PWM モード 1 を設定してください。
- [3] TIOR レジスタで端子を初期化してください (例は初期出力が High、コンペアマッチで Low 出力です。PWM モード 1 では MTIOCnB 側は初期化されません)。
- [4] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- [5] TSTR レジスタでカウント動作を開始します。
- [6] コンペアマッチの発生により Low を出力します。
- [7] 異常が発生しました。
- [8] I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- [9] TSTR レジスタでカウント動作を停止します。
- [10] ノーマルモードを設定してください。
- [11] TIOR レジスタで端子を初期化してください。
- [12] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- [13] TSTR レジスタで再スタートします。

(6) PWM モード1で動作中に異常が発生し、PWM モード1で再スタートする場合の動作

PWM モード1で異常が発生し、再設定後PWM モード1で再スタートする場合の説明図を図19.73に示します。

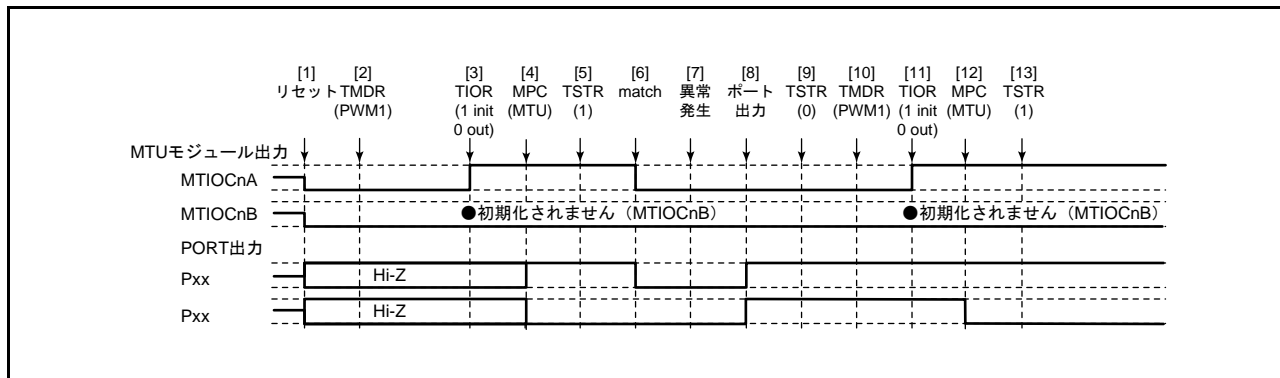


図19.73 PWM モード1で異常が発生し、PWM モード1で復帰する場合

[1]～[9]は図19.72と共通です。

[10] PWM モード1で再スタートする場合には必要ありません。

[11] TIOR レジスタで端子を初期化してください。なお、PWM モード1ではMTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

[12] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[13] TSTR レジスタで再スタートします。

(7) PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 19.74 に示します。

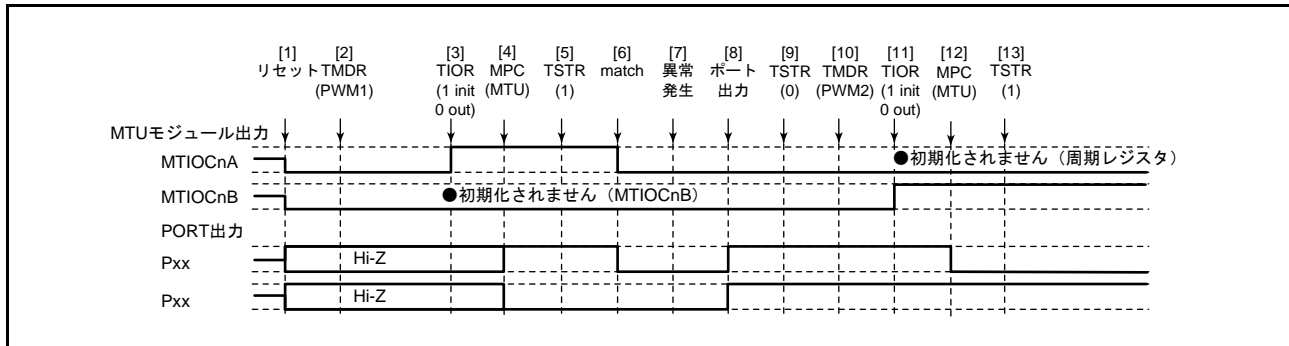


図 19.74 PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

[1] ~ [9] は図 19.72 と共通です。

[10] PWM モード 2 を設定します。

[11] TIOR レジスタで端子を初期化してください。なお、PWM モード 2 では周期レジスタの端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

[12] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[13] TSTR レジスタで再スタートします。

(8) PWM モード 1 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 19.75 に示します。

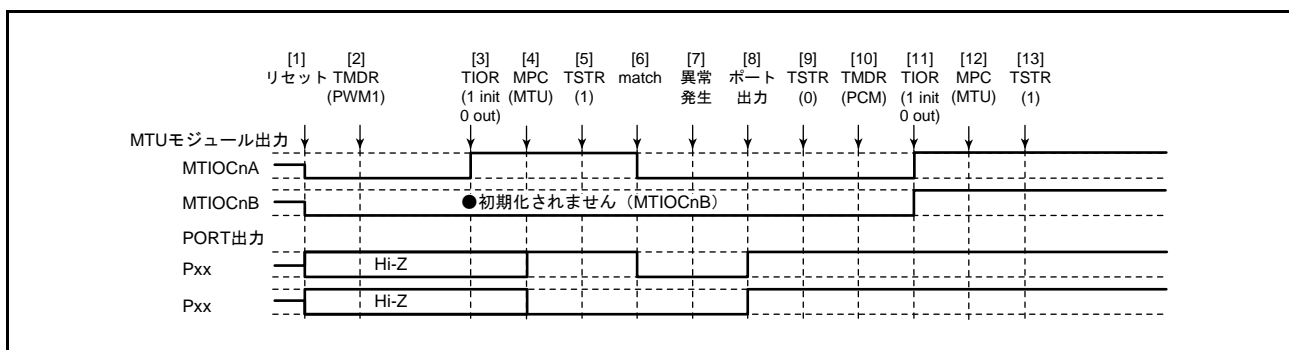


図 19.75 PWM モード 1 で異常が発生し、位相計数モードで復帰する場合

[1] ~ [9] は図 19.72 と共通です。

[10] 位相計数モードを設定します。

[11] TIOR レジスタで端子を初期化してください。

[12] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[13] TSTR レジスタで再スタートします。

(9) PWM モード2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 19.76 に示します。

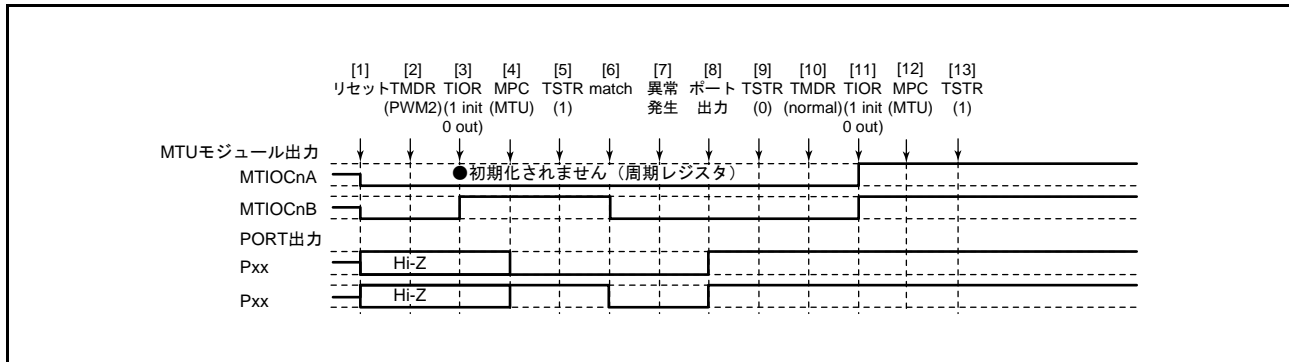


図 19.76 PWM モード2 で異常が発生し、ノーマルモードで復帰する場合

- [1] リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- [2] PWM モード2 を設定してください。
- [3] TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です。PWM モード2 では周期レジスタの端子は初期化されません。例は MTIOCnA が周期レジスタの場合です）。
- [4] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- [5] TSTR レジスタでカウント動作を開始します。
- [6] コンペアマッチの発生により Low を出力します。
- [7] 異常が発生しました。
- [8] I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- [9] TSTR レジスタでカウント動作を停止します。
- [10] ノーマルモードを設定してください。
- [11] TIOR レジスタで端子を初期化してください。
- [12] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- [13] TSTR レジスタで再スタートします。

(10) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 19.77 に示します。

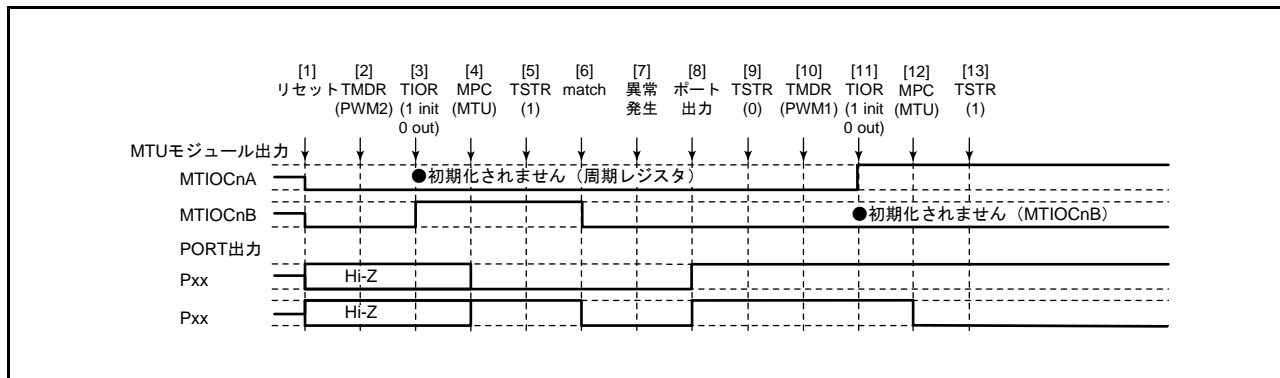


図 19.77 PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

[1] ~ [9] は図 19.76 と共通です。

[10] PWM モード 1 を設定します。

[11] TIOR レジスタで端子を初期化してください。なお、PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

[12] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[13] TSTR レジスタで再スタートします。

(11) PWM モード2 で動作中に異常が発生し、PWM モード2 で再スタートする場合の動作

PWM モード2 で異常が発生し、再設定後 PWM モード2 で再スタートする場合の説明図を図 19.78 に示します。

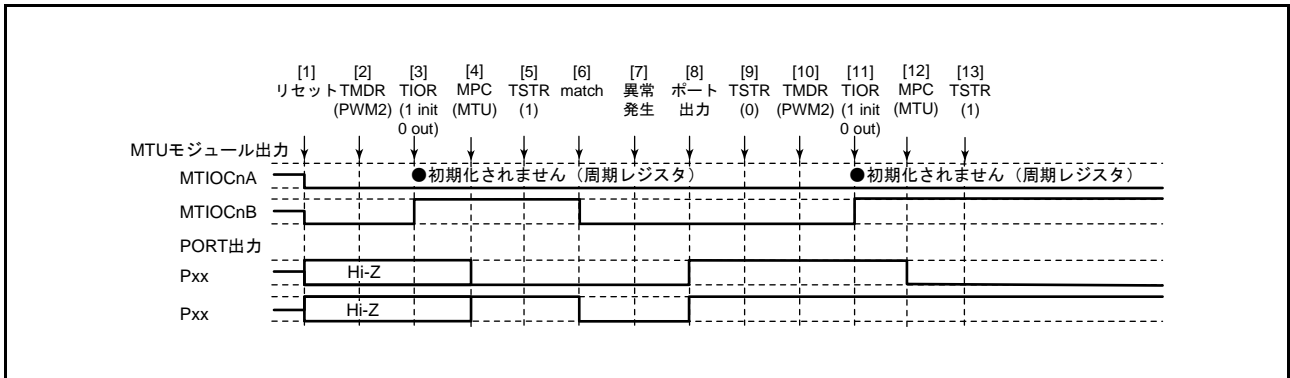


図 19.78 PWM モード2 で異常が発生し、PWM モード2 で復帰する場合

[1] ~ [9] は図 19.76 と共通です。

[10] PWM モード2 で再スタートする場合には必要ありません。

[11] TIOR レジスタで端子を初期化してください。なお、PWM モード2 では周期レジスタの端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

[12] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[13] TSTR レジスタで再スタートします。

(12) PWM モード2 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード2 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 19.79 に示します。

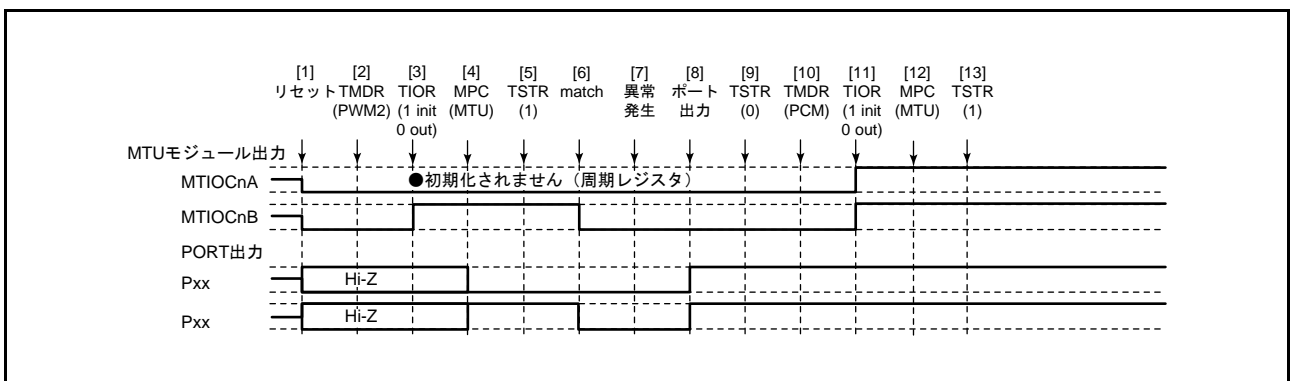


図 19.79 PWM モード2 で異常が発生し、位相計数モードで復帰する場合

[1] ~ [9] は図 19.76 と共通です。

[10] 位相計数モードを設定します。

[11] TIOR レジスタで端子を初期化してください。

[12] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[13] TSTR レジスタで再スタートします。

(13) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 19.80 に示します。

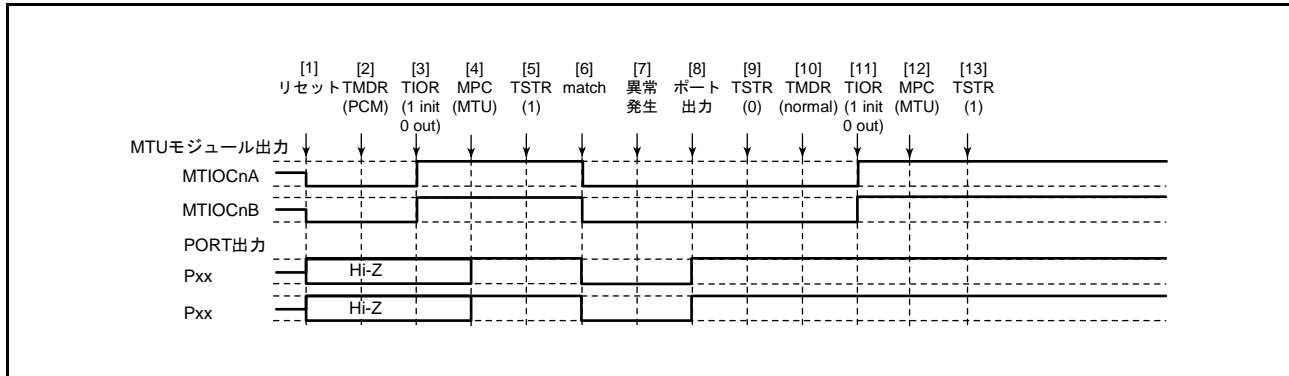


図 19.80 位相計数モードで異常が発生し、ノーマルモードで復帰する場合

- [1] リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- [2] 位相計数モードを設定してください。
- [3] TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です）。
- [4] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- [5] TSTR レジスタでカウント動作を開始します。
- [6] コンペアマッチの発生により Low を出力します。
- [7] 異常が発生しました。
- [8] I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- [9] TSTR レジスタでカウント動作を停止します。
- [10] ノーマルモードで設定してください。
- [11] TIOR レジスタで端子を初期化してください。
- [12] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- [13] TSTR レジスタで再スタートします。

(14) 位相計数モードで動作中に異常が発生し、PWM モード1で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM モード1で再スタートする場合の説明図を図 19.81 に示します。

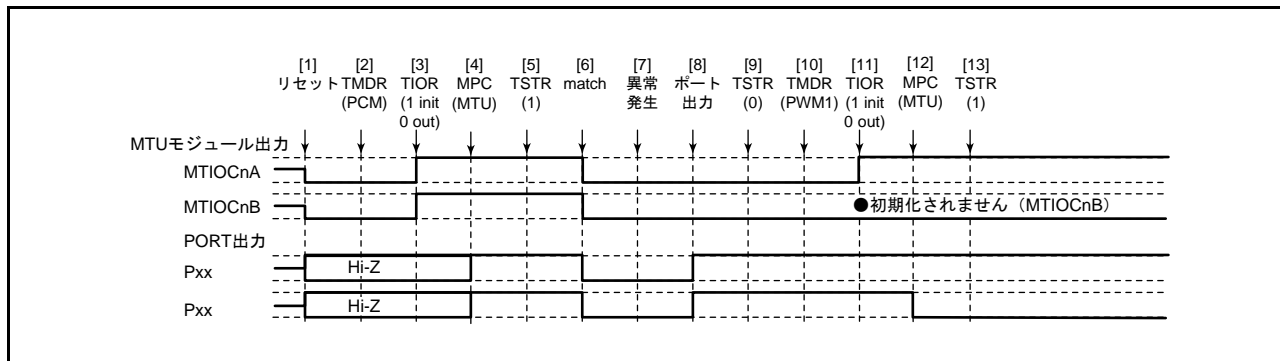


図 19.81 位相計数モードで異常が発生し、PWM モード1で復帰する場合

[1] ~ [9] は図 19.80 と共通です。

[10] PWM モード1を設定します。

[11] TIOR レジスタで端子を初期化してください。なお、PWM モード1では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

[12] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[13] TSTR レジスタで再スタートします。

(15) 位相計数モードで動作中に異常が発生し、PWM モード2で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を図 19.82 に示します。

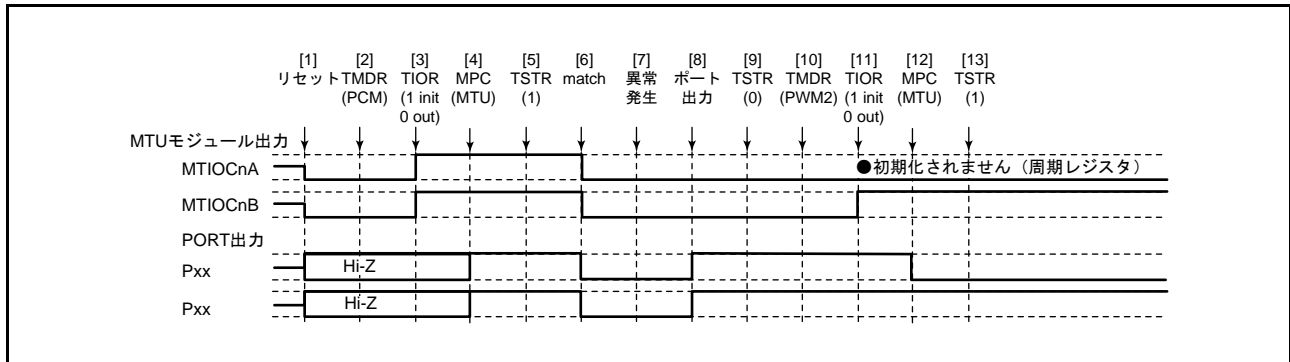


図 19.82 位相計数モードで異常が発生し、PWM モード2で復帰する場合

[1] ~ [9] は図 19.80 と共通です。

[10] PWM モード2を設定します。

[11] TIOR レジスタで端子を初期化してください。なお、PWM モード1では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

[12] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[13] TSTR レジスタで再スタートします。

(16) 位相計数モードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 19.83 に示します。

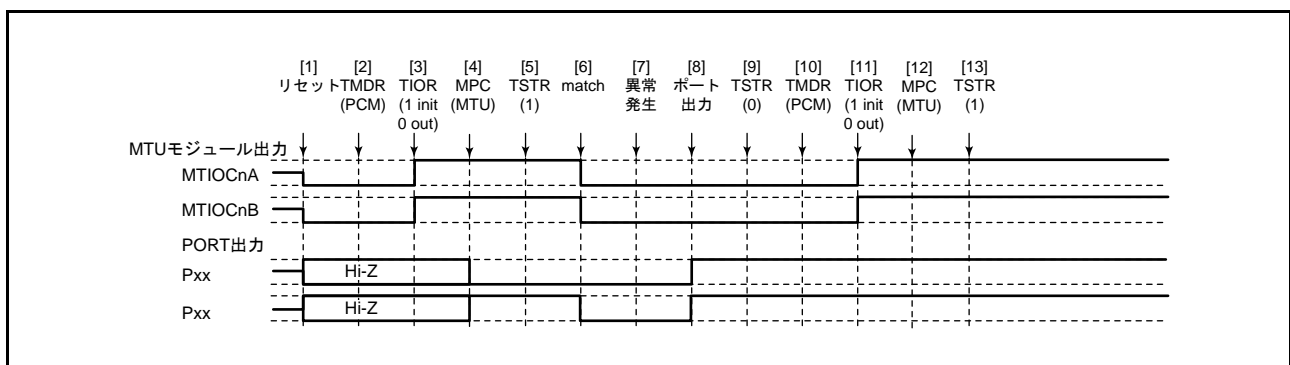


図 19.83 位相計数モードで異常が発生し、位相計数モードで復帰する場合

[1] ~ [9] は図 19.80 と共通です。

[10] 位相計数モードで再スタートする場合には必要ありません。

[11] TIOR レジスタで端子を初期化してください。

[12] MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

[13] TSTR レジスタで再スタートします。

20. コンペアマッチタイマ (CMT)

本MCUは、2チャンネルの16ビットタイマにより構成されるコンペアマッチタイマ (CMT) を1ユニット (ユニット0)、合計2チャンネル内蔵しています。CMTは、16ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

本章に記載しているPCLKとはPCLKBを指します。

20.1 概要

表20.1にCMTの仕様を示します。

図20.1にCMT (ユニット0) のブロック図を示します。2チャンネルのCMTで1ユニットを構成しています。

表20.1 CMTの仕様

項目	機能
カウントクロック	<ul style="list-style-type: none"> 4種類の分周クロック PCLK/8、PCLK/32、PCLK/128、PCLK/512の中からチャンネルごとに選択可能
割り込み	コンペアマッチ割り込みをチャンネルごとに要求することが可能
消費電力低減機能	モジュールストップ状態への設定が可能

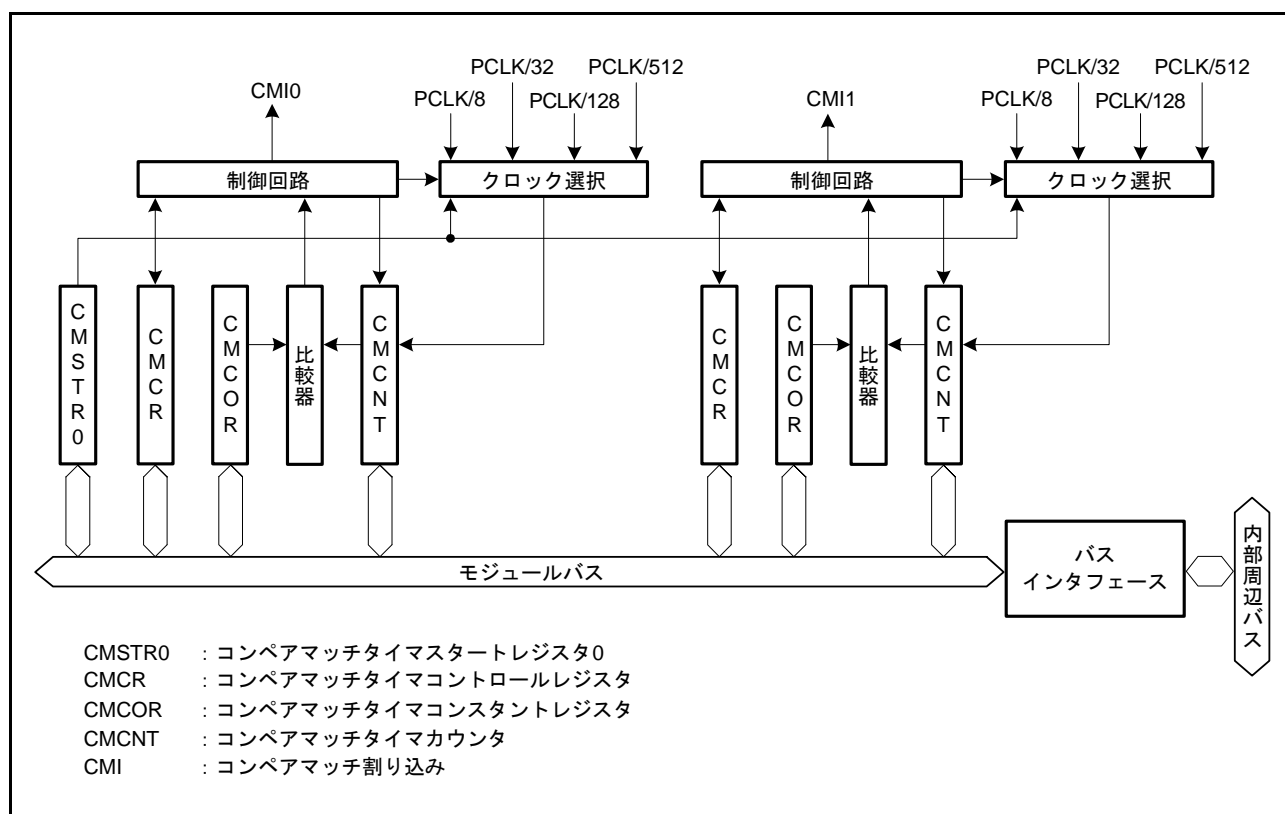


図20.1 CMT (ユニット0) のブロック図

20.2 レジスタの説明

20.2.1 コンペアマッチタイマスタートレジスタ 0 (CMSTR0)

アドレス 0008 8000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR1	STR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR0	カウントスタート0ビット	0 : CMT0.CMCNTカウンタのカウンタ動作停止 1 : CMT0.CMCNTカウンタのカウンタ動作開始	R/W
b1	STR1	カウントスタート1ビット	0 : CMT1.CMCNTカウンタのカウンタ動作停止 1 : CMT1.CMCNTカウンタのカウンタ動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

20.2.2 コンペアマッチタイマコントロールレジスタ (CMCR)

アドレス CMT0.CMCR 0008 8002h, CMT1.CMCR 0008 8008h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	CMIE	—	—	—	—	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	x	0	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択ビット	b1 b0 0 0 : PCLK/8 0 1 : PCLK/32 1 0 : PCLK/128 1 1 : PCLK/512	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CMIE	コンペアマッチ割り込み許可ビット	0 : コンペアマッチ割り込み (CMIn) を禁止 1 : コンペアマッチ割り込み (CMIn) を許可	R/W
b7	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CKS[1:0] ビット (クロック選択ビット)

周辺モジュールクロック (PCLK) を分周して得られる 4 種類の分周クロックからカウントソースを選択します。

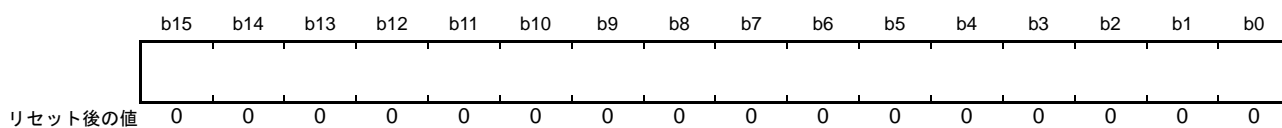
CMSTR0.STRn ビット (n = 0、1) を“1”に設定すると、CKS[1:0] ビットで選択されたクロックにより対応する CMCNT カウンタがカウントアップを開始します。

CMIE ビット (コンペアマッチ割り込み許可ビット)

CMCNT と CMCOR の値が一致したとき、コンペアマッチ割り込み (CMIn) (n = 0、1) の発生を許可するか禁止するかを選択します。

20.2.3 コンペアマッチタイマカウンタ (CMCNT)

アドレス CMT0.CMCNT 0008 8004h, CMT1.CMCNT 0008 800Ah



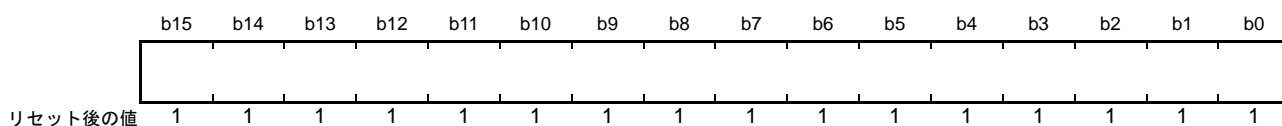
CMCNT カウンタは、読み出し / 書き込み可能なアップカウンタです。

CMCR.CKS[1:0] ビットで分周クロックを選択して、CMSTR0.STRn ビット (n = 0、1) を“1”にすると、そのクロックによって CMCNT カウンタはカウントアップを開始します。

CMCNT カウンタの値が CMCOR レジスタの値と一致すると、CMCNT カウンタは“0000h”になります。このとき、コンペアマッチ割り込み (CMIn) (n = 0、1) が発生します。

20.2.4 コンペアマッチタイマコンスタントレジスタ (CMCOR)

アドレス CMT0.CMCOR 0008 8006h, CMT1.CMCOR 0008 800Ch



CMCOR レジスタは、CMCNT カウンタとのコンペアマッチする値を設定する読み出し / 書き込み可能なレジスタです。

20.3 動作説明

20.3.1 周期カウント動作

CMCR.CKS[1:0] ビットで分周クロックを選択し、CMSTR0.STRn ビット (n=0、1) を“1”にすると、選択したクロックによってCMCNTカウンタはカウントアップを開始します。

CMCNTカウンタの値がCMCORレジスタの値と一致すると、コンペアマッチ割り込み (CMI_n) (n=0、1) が発生します。CMCNTカウンタは“0000h”からカウントアップを再開します。CMCNTカウンタの動作を図20.2に示します。

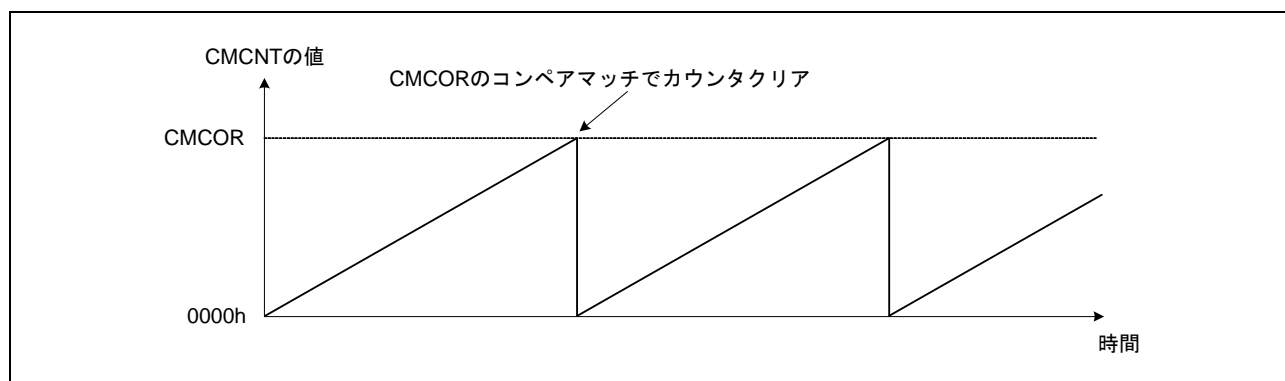


図 20.2 CMCNT カウンタの動作

20.3.2 CMCNT カウンタのカウントタイミング

CMCR.CKS[1:0] ビットで、周辺モジュールクロック (PCLK) を分周した4種類の分周クロック (PCLK/8、PCLK/32、PCLK/128、PCLK/512) からCMCNTカウンタに入力するカウントクロックを選択できます。このときのCMCNTカウンタのカウントタイミングを図20.3に示します。

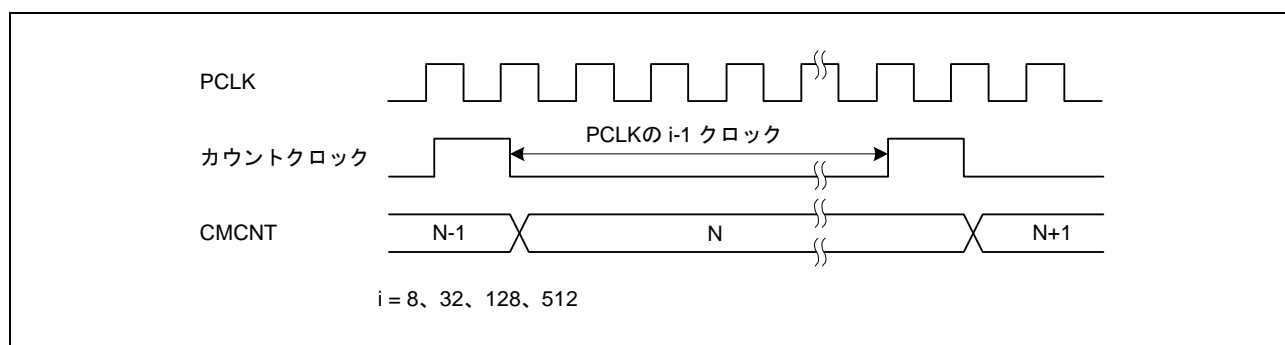


図 20.3 CMCNT カウンタのカウントタイミング

20.4 割り込み

20.4.1 割り込み要因

CMTは、チャンネルごとにコンペアマッチ割り込み (CMI_n) ($n=0, 1$) があり、それぞれ個々にベクタアドレスが割り当てられています。コンペアマッチ割り込みが発生すると、該当する割り込み要求が出力されます。

割り込み要求により CPU 割り込みを発生させる場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳しくは「14. 割り込みコントローラ (ICUb)」を参照してください。

表20.2 CMTの割り込み要因

名称	割り込み要因	DTCの起動
CMI0	CMT0のコンペアマッチ	可能
CMI1	CMT1のコンペアマッチ	可能

20.4.2 コンペアマッチ割り込みの発生タイミング

CMCNTカウンタの値とCMCORレジスタの値が一致したときに、コンペアマッチ割り込み (CMI_n) ($n=0, 1$) が発生します。

コンペアマッチ信号は、一致した最後のステート (CMCNTカウンタが一致したカウント値を更新するタイミング) で発生します。したがって、CMCNTカウンタの値とCMCORレジスタの値とが一致した後、CMCNT入力クロックが発生するまでコンペアマッチ信号は発生しません。

コンペアマッチ割り込みのタイミングを図20.4に示します。

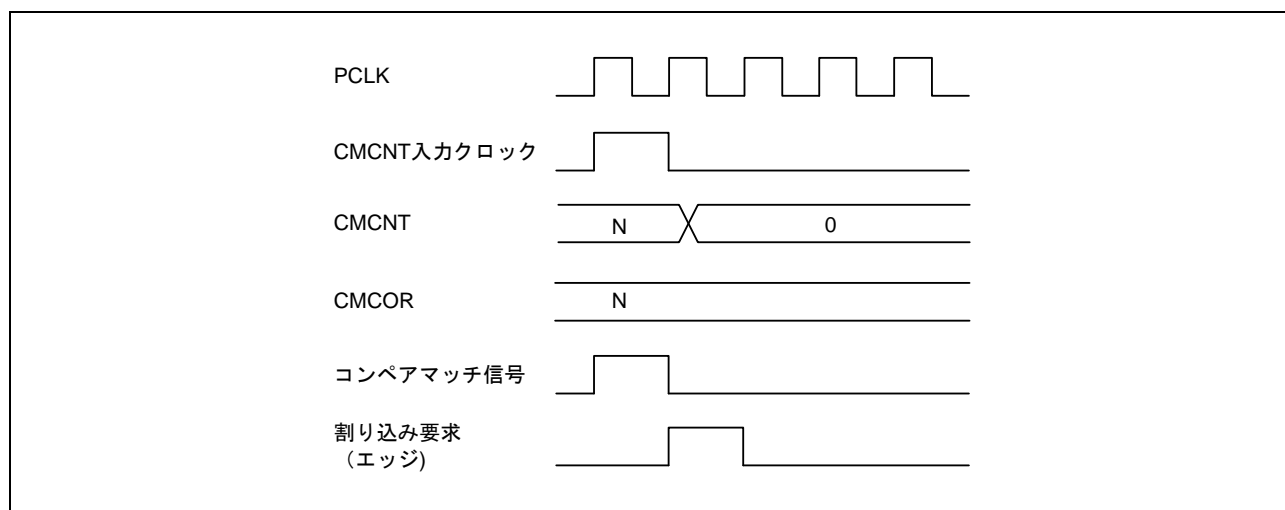


図 20.4 コンペアマッチ割り込みタイミング

20.5 使用上の注意事項

20.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、CMTの動作を禁止/許可することが可能です。リセット後、CMTはモジュールストップ状態です。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

20.5.2 CMCNTカウンタへの書き込みとコンペアマッチの競合

CMCNTカウンタへの書き込み中にコンペアマッチ信号が発生すると、CMCNTカウンタへの書き込みは行われずCMCNTカウンタのクリアが優先されます。このタイミングを図20.5に示します。

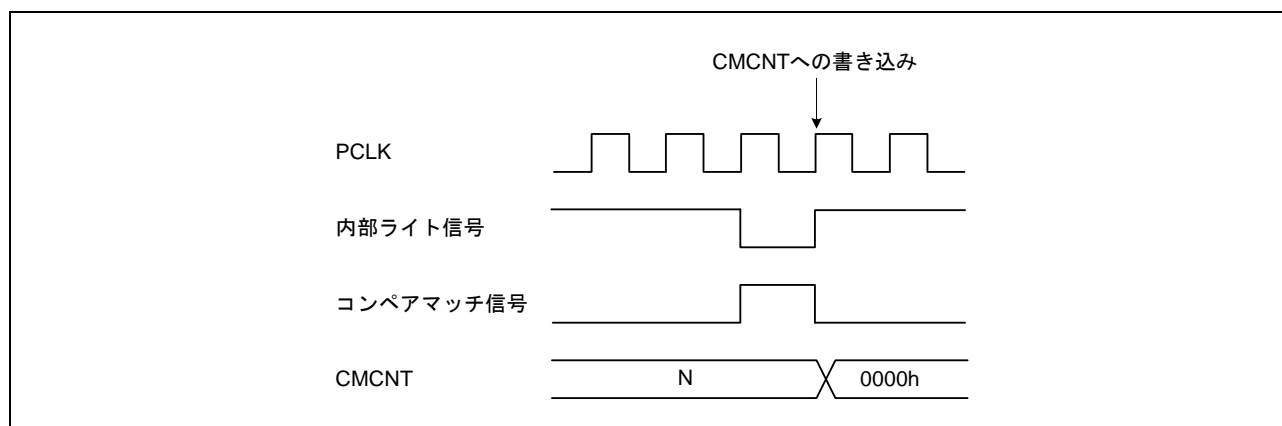


図 20.5 CMCNTカウンタへの書き込みとコンペアマッチの競合

20.5.3 CMCNTカウンタへの書き込みとカウントアップの競合

CMCNTカウンタへの書き込みと、カウントアップが競合した場合、CMCNTカウンタへの書き込みが優先されます。このタイミングを図20.6に示します。

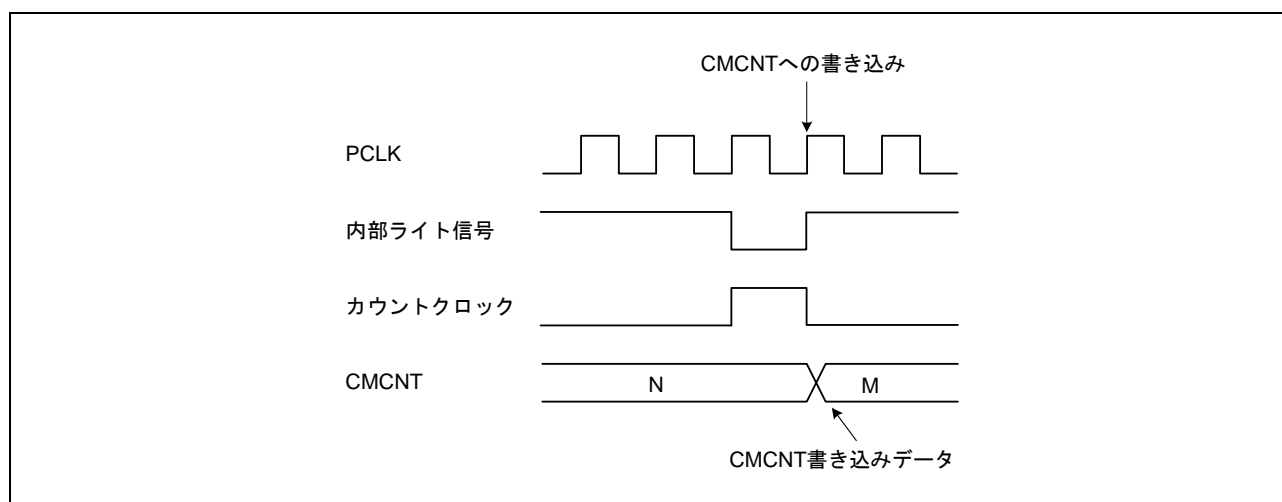


図 20.6 CMCNTカウンタへの書き込みとカウントアップの競合

21. リアルタイムクロック (RTCA)

本章に記載している PCLK とは PCLKB を指します。

21.1 概要

RTC はカウントモードとして、カレンダーカウントモードとバイナリカウントモードの 2 種類を持ち、レジスタの設定により切り替えて使用します。

カレンダーカウントモードは、2000 年から 2099 年の 100 年間で、うるう年を自動で判定してカウントするモードです。

バイナリカウントモードは、年、月、日、曜日、時、分の概念を持たず、秒のみをカウントし、その情報をシリアル値として保持するモードで、西暦以外のカレンダーに対応できます。

RTC は、カウントソースをプリスケアラで分周した 128Hz クロックを基準クロックとして年、月、日、曜日、午前/午後 (12 時間モード時)、時、分、秒、または 32 ビットバイナリを 1/128 秒単位でカウントします。

表 21.1 に RTC の仕様を、図 21.1 に RTC のブロック図を、表 21.2 に RTC の入出力端子を示します。

表 21.1 RTC の仕様

項目	内容
カウントモード	カレンダーカウントモード/バイナリカウントモード
カウントソース (注1)	サブクロック (XCIN)
時計/カレンダー機能	<ul style="list-style-type: none"> • カレンダーカウントモード 年、月、日、曜日、時、分、秒をカウント、BCD 表示 12 時間/24 時間モード切り替え機能 30 秒調整機能 (30 秒未満は 00 秒に切り捨て、30 秒以降は 1 分に桁上げ) うるう年自動補正機能 • バイナリカウントモード 秒を 32 ビットでカウント、バイナリ表示 • 両モード共通 スタート/ストップ機能 秒以下の桁のバイナリ表示 (1Hz、2Hz、4Hz、8Hz、16Hz、32Hz、64Hz) 時計誤差補正機能 クロック (1Hz/64Hz) 出力
割り込み	<ul style="list-style-type: none"> • アラーム割り込み (ALM) アラーム割り込み条件として、以下のいずれと比較するか選択可能 カレンダーカウントモード: 年、月、日、曜日、時、分、秒 バイナリカウントモード: 32 ビットバイナリカウンタの各ビット • 周期割り込み (PRD) 割り込み周期として、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒 周期から選択可能 • 桁上げ割り込み (CUP) 次のいずれかのタイミングで割り込み要求発生 <ul style="list-style-type: none"> • 64Hz カウンタから秒カウンタへの桁上げが発生したとき • 64Hz カウンタの変化と R64CNT レジスタの読み出しタイミングが重なったとき • アラーム割り込み、周期割り込みによる、ソフトウェアスタンバイモードからの復帰が可能

注 1. 周辺モジュールクロック周波数 (PCLK) \geq カウントソースクロック周波数となるようにしてください。

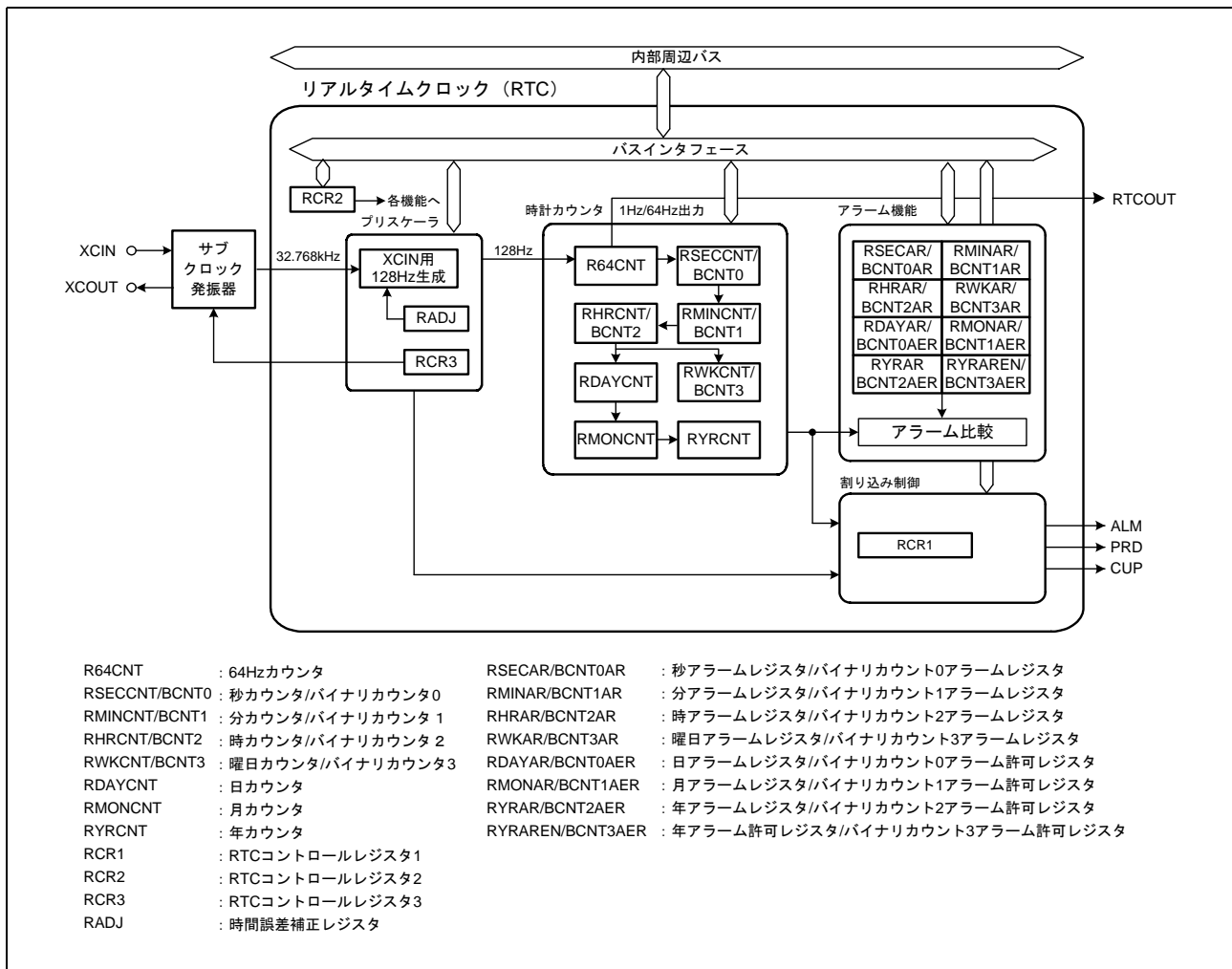


図 21.1 RTCのブロック図

表 21.2 RTCの入出力端子

端子名	入出力	機能
XCIN	入力	32.768kHzの水晶振動子を接続します。
XCOUT	出力	
RTCOUT	出力	1Hz/64Hzの波形を出力します。

21.2 レジスタの説明

RTC のレジスタの書き込み／読み出しは、「21.5.5 レジスタの書き込み / 読み出し時の注意事項」に従って行う必要があります。

RTC のレジスタのビットで、リセット後の値が x (不定) のビットは、リセットでは初期化されません。また、カウント動作時 (RCR2.START ビット = "1" のとき) にリセット状態または低消費電力状態へ遷移した場合、年 / 月 / 曜日 / 日 / 時 / 分 / 秒 / 64Hz カウンタは動作を継続します。レジスタ書き込みおよびレジスタ更新処理中にリセットが発生した場合は、レジスタ値を破壊する可能性がありますので、ご注意ください。また、レジスタ設定直後にソフトウェアスタンバイモードへ遷移しないでください。詳細は、「21.5.4 レジスタ設定後の低消費電力モード移行について」を参照ください。

21.2.1 64Hz カウンタ (R64CNT)

アドレス 0008 C400h

b7	b6	b5	b4	b3	b2	b1	b0
—	F1HZ	F2HZ	F4HZ	F8HZ	F16HZ	F32HZ	F64HZ

リセット後の値 0 x x x x x x x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	F64HZ	64Hz ビット	秒以下の桁の1Hz～64Hzの状態を示します	R
b1	F32HZ	32Hz ビット		R
b2	F16HZ	16Hz ビット		R
b3	F8HZ	8Hz ビット		R
b4	F4HZ	4Hz ビット		R
b5	F2HZ	2Hz ビット		R
b6	F1HZ	1Hz ビット		R
b7	—	予約ビット	読むと "0" が読めます。書き込みは無効になります	R

R64CNT カウンタは、カレンダーカウントモード / バイナリカウントモード共通で使用します。

R64CNT カウンタは、128Hz クロックでアップカウントするカウンタで、秒周期を生成します。

R64CNT カウンタを読み出すことで、秒以下の状態が確認できます。

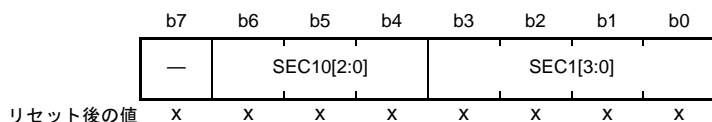
RTC ソフトウェアリセットまたは 30 秒調整を実行すると "00h" になります。

読み出し時は、「21.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。

21.2.2 秒カウンタ (RSECCNT) / バイナリカウンタ 0 (BCNT0)

(1) カレンダカウントモード時

アドレス RSECCNT 0008 C402h



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	SEC1[3:0]	1秒カウントビット	一秒の位は1秒ごとに0から9をカウントします。桁上げが発生すると、十秒の位が+1されます	R/W
b6-b4	SEC10[2:0]	10秒カウントビット	十秒の位は0から5をカウントして、60秒のカウントを行います	R/W
b7	—	予約ビット	“0”を設定してください。読むと設定値が読めます	R/W

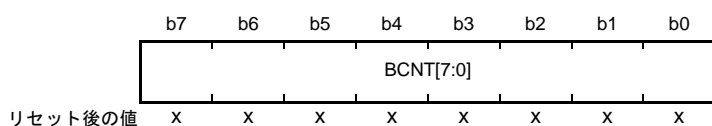
RSECCNT カウンタは、BCD コード化された秒部分の設定・カウント用のカウンタであり、64Hz カウンタの1秒ごとの桁上げによってカウント動作を行います。

設定可能範囲は、10進 (BCD) で“00”～“59”です。それ以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、「21.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。

(2) バイナリカウントモード時

アドレス BCNT0 0008 C402h



x: 不定

BCNT0 カウンタは、書き込み / 読み出し可能な 32 ビットバイナリカウンタの b7～b0 です。

32 ビットバイナリカウンタは、64Hz カウンタの1秒ごとの桁上げによってカウント動作を行います。

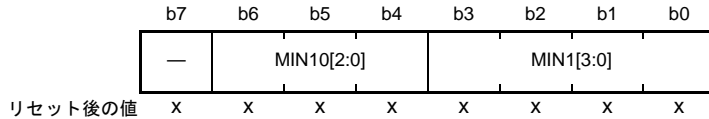
書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、「21.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。

21.2.3 分カウンタ (RMINCNT) / バイナリカウンタ 1 (BCNT1)

(1) カレンダカウントモード時

アドレス RMINCNT 0008 C404h



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	1分カウントビット	一分の位は1分ごとに0から9をカウントします。桁上げが発生すると、十分の位が+1されます	R/W
b6-b4	MIN10[2:0]	10分カウントビット	十分の位は0から5をカウントして、60分のカウントを行います	R/W
b7	—	予約ビット	"0"を設定してください。読むと設定値が読めます	R/W

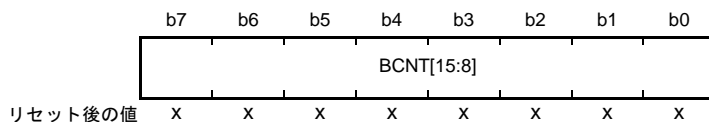
RMINCNT カウンタは、BCD コード化された分部分の設定、カウント用のカウンタであり、秒カウンタの1分ごとの桁上げによってカウント動作を行います。

設定可能範囲は、10進 (BCD) で“00”～“59”です。それ以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、「21.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。

(2) バイナリカウントモード時

アドレス BCNT1 0008 C404h



x: 不定

BCNT1 カウンタは、書き込み / 読み出し可能な 32 ビットバイナリカウンタの b15～b8 です。

32 ビットバイナリカウンタは、64Hz カウンタの1秒ごとの桁上げによってカウント動作を行います。

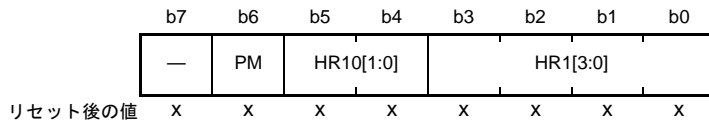
書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、「21.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。

21.2.4 時カウンタ (RHRCNT) / バイナリカウンタ 2 (BCNT2)

(1) カレンダカウントモード時

アドレス RHRCNT 0008 C406h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	HR1[3:0]	1時間カウントビット	一時間の位は1時間ごとに0から9をカウントします。桁上げが発生すると、十時間の位が+1されます	R/W
b5-b4	HR10[1:0]	10時間カウントビット	十時間の位は一時間の位の桁上げごとに0から2をカウントします	R/W
b6	PM	PMビット	時カウンタのAM/PMの設定 0 : 午前 1 : 午後	R/W
b7	—	予約ビット	“0”を設定してください。読むと設定値が読めます	R/W

RHRCNT カウンタは、BCD コード化された時部分の設定・カウント用のカウンタであり、分カウンタの1時間ごとの桁上げによってカウント動作を行います。

設定可能範囲は、時間モードビット (RCR2.HR24) によってそれぞれ以下の範囲となります。

RCR2.HR24 ビットが“0” : 10進 (BCD) で“00”～“11”

RCR2.HR24 ビットが“1” : 10進 (BCD) で“00”～“23”

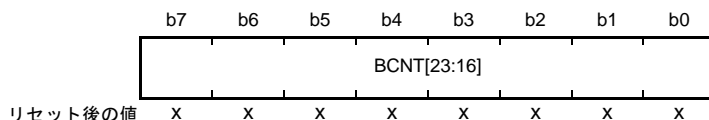
上記以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

RHRCNT カウンタを読み出す場合は、RCR2.HR24 ビットが“0”の場合のみ PM ビットが有効になります。RCR2.HR24 ビットが“1”の場合は、PM ビットの値を無視してください。

読み出し時は、「21.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。

(2) バイナリカウントモード時

アドレス BCNT2 0008 C406h



x : 不定

BCNT2 カウンタは、書き込み / 読み出し可能な 32 ビットバイナリカウンタの b23～b16 です。

32 ビットバイナリカウンタは、64Hz カウンタの1秒ごとの桁上げによってカウント動作を行います。

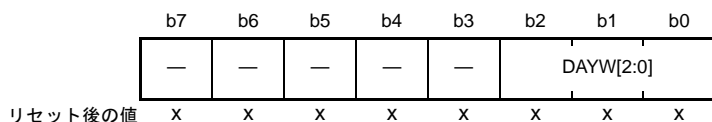
書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、「21.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。

21.2.5 曜日カウンタ (RWKCNT) / バイナリカウンタ 3 (BCNT3)

(1) カレンダカウントモード時

アドレス RWKCNT 0008 C408h



x: 不定

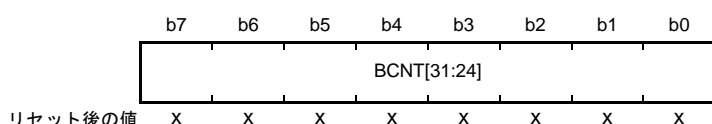
ビット	シンボル	ビット名	機能	R/W
b2-b0	DAYW[2:0]	曜日カウントビット	b2 b0 0 0 0: 日 0 0 1: 月 0 1 0: 火 0 1 1: 水 1 0 0: 木 1 0 1: 金 1 1 0: 土 1 1 1: 設定しないでください	R/W
b7-b3	—	予約ビット	"0"を設定してください。読むと設定値が読めます	R/W

RWKCNT カウンタはコード化された曜日部分の設定・カウント用のカウンタであり、時カウンタの1日ごとの桁上げによってカウント動作を行います。設定可能範囲は、10進で“0”～“6”です。それ以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、「21.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。

(2) バイナリカウントモード時

アドレス BCNT3 0008 C408h



x: 不定

BCNT3 カウンタは、書き込み / 読み出し可能な 32 ビットバイナリカウンタの b31～b24 です。

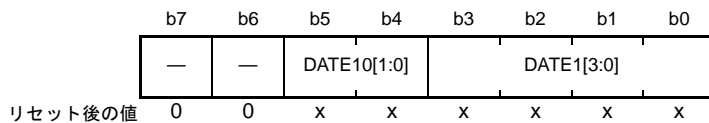
32 ビットバイナリカウンタは、64Hz カウンタの1秒ごとの桁上げによってカウント動作を行います。

書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、「21.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。

21.2.6 日カウンタ (RDAYCNT)

アドレス 0008 C40Ah



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DATE1[3:0]	1日カウントビット	一日の位は1日ごとに0~9をカウントします。桁上げが発生すると十日の位が+1されます	R/W
b5-b4	DATE10[1:0]	10日カウントビット	十日の位は一日の位の桁上げごとに0~3をカウントします	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RDAYCNT カウンタは、カレンダーカウントモード時に使用します。

RDAYCNT カウンタは、BCD コード化された日部分の設定・カウント用のカウンタであり、時カウンタの1日ごとの桁上げによってカウント動作を行います。また、うるう年、月に対応したカウント動作を行います。

うるう年は年カウンタ (RYRCNT) の“00”を2000年とみなして2000年から2099年を、400、100、4で割り切れるかどうかによって計算されます。

設定可能範囲は、10進 (BCD) で“01”～“31”です。それ以外の値が設定されると、正常に動作しません (月ごとおよびうるう年によって設定可能範囲が変化しますので、確認の上、設定してください)。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、「21.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。

21.2.7 月カウンタ (RMONCNT)

アドレス 0008 C40Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	MON10	MON1[3:0]			
リセット後の値	0	0	0	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MON1[3:0]	1月カウントビット	一月の位は1月ごとに0~9をカウントします。桁上げが発生すると十月の位が+1されます	R/W
b4	MON10	10月カウントビット	十月の位は一月の位の桁上げごとに0~1をカウントします	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RMONCNT カウンタは、カレンダーカウントモード時に使用します。

RMONCNT カウンタは、BCD コード化された月部分の設定・カウント用のカウンタであり、日カウンタの月ごとの桁上げによってカウント動作を行います。

設定可能範囲は、10進 (BCD) で“01”~“12”です。それ以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、「21.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。

21.2.8 年カウンタ (RYRCNT)

アドレス 0008 C40Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	YR10[3:0]				YR1[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	YR1[3:0]	1年カウントビット	一年の位は1年ごとに0~9をカウントします。桁上げが発生すると十年の位が+1されます	R/W
b7-b4	YR10[3:0]	10年カウントビット	十年の位は一年の位の桁上げごとに0~9をカウントします	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RYRCNT カウンタは、カレンダーカウントモード時に使用します。

RYRCNT カウンタは、BCD コード化された年部分の設定・カウント用のカウンタであり、月カウンタの1年ごとの桁上げによって、カウント動作を行います。

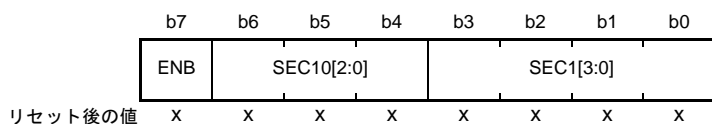
設定可能範囲は、10進 (BCD) で“00”~“99”です。それ以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、「21.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。

21.2.9 秒アラームレジスタ (RSECAR) / バイナリカウンタ 0 アラームレジスタ (BCNT0AR)

(1) カレンダカウントモード時

アドレス RSECAR 0008 C410h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	SEC1[3:0]	1秒ビット	一秒の位の設定値	R/W
b6-b4	SEC10[2:0]	10秒ビット	十秒の位の設定値	R/W
b7	ENB	ENBビット	0 : RSECCNTカウンタの値と比較を行わない 1 : RSECCNTカウンタの値と比較を行う	R/W

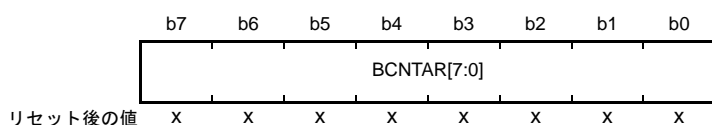
RSECAR レジスタは、BCD コード化された秒カウンタ (RSECCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RSECAR レジスタの値と RSECCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

設定可能範囲は、10 進 (BCD) で“00”～“59”であり、それ以外の値が設定されると、正常に動作しません。

RTC ソフトウェアリセットを実行すると 00h になります。

(2) バイナリカウントモード時

アドレス BCNT0AR 0008 C410h



x : 不定

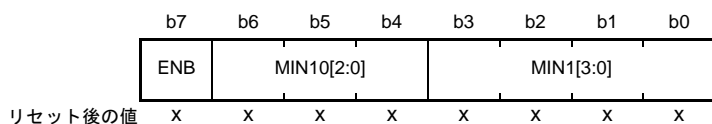
BCNT0AR カウンタは、32 ビットバイナリカウンタの b7～b0 に対応する書き込み / 読み出し可能なアラームレジスタです。

RTC ソフトウェアリセットを実行すると 00h になります。

21.2.10 分アラームレジスタ (RMINAR) / バイナリカウンタ 1 アラームレジスタ (BCNT1AR)

(1) カレンダカウントモード時

アドレス RMINAR 0008 C412h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	1分ビット	一分の位の設定値	R/W
b6-b4	MIN10[2:0]	10分ビット	十分の位の設定値	R/W
b7	ENB	ENBビット	0 : RMINCNTカウンタの値と比較を行わない 1 : RMINCNTカウンタの値と比較を行う	R/W

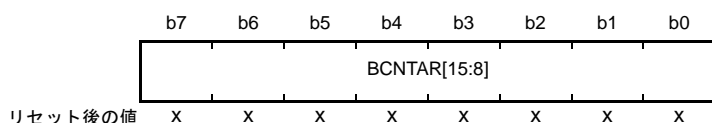
RMINAR レジスタは、BCD コード化された分カウンタ (RMINCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RMINAR レジスタの値と RMINCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

設定可能範囲は、10 進 (BCD) で“00”～“59”であり、それ以外の値が設定されると、正常に動作しません。

RTC ソフトウェアリセットを実行すると 00h になります。

(2) バイナリカウントモード時

アドレス BCNT1AR 0008 C412h



x : 不定

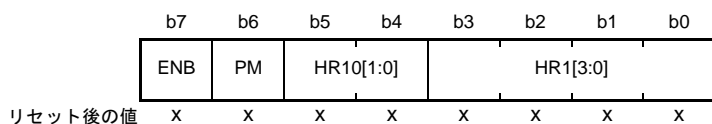
BCNT1AR カウンタは、32 ビットバイナリカウンタの b15 ～ b8 に対応する書き込み / 読み出し可能なアラームレジスタです。

RTC ソフトウェアリセットを実行すると 00h になります。

21.2.11 時アラームレジスタ (RHRAR) / バイナリカウンタ 2 アラームレジスタ (BCNT2AR)

(1) カレンダーカウントモード時

アドレス RHRAR 0008 C414h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	HR1[3:0]	1時間ビット	一時間の位の設定値	R/W
b5-b4	HR10[1:0]	10時間ビット	十時間の位の設定値	R/W
b6	PM	PMビット	時アラームのAM/PMの設定 0 : 午前 1 : 午後	R/W
b7	ENB	ENBビット	0 : RHCNTカウンタの値と比較を行わない 1 : RHCNTカウンタの値と比較を行う	R/W

RHRAR レジスタは、BCD コード化された時カウンタ (RHCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RHRAR レジスタの値と RHCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

設定可能範囲は、時間モードビット (RCR2.HR24) によってそれぞれ以下の範囲となります。

RCR2.HR24 ビットが“0” : 10 進 (BCD) で“00”～“11”

RCR2.HR24 ビットが“1” : 10 進 (BCD) で“00”～“23”

上記以外の値が設定されると、正常に動作しません。

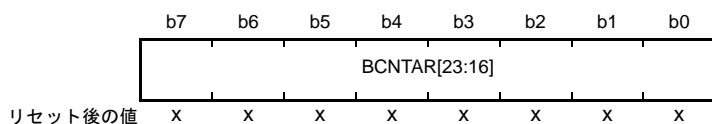
RCR2.HR24 ビットが“0”の場合は、PM ビットの設定も行ってください。

RCR2.HR24 ビットが“1”の場合は、PM ビットの値は無効となります。

RTC ソフトウェアリセットを実行すると 00h になります。

(2) バイナリカウントモード時

アドレス BCNT2AR 0008 C414h



x : 不定

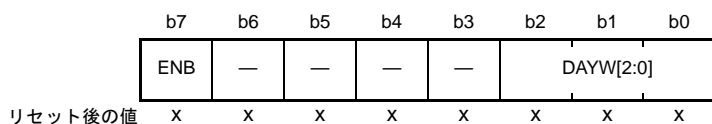
BCNT2AR カウンタは、32 ビットバイナリカウンタの b23～b16 に対応する書き込み / 読み出し可能なアラームレジスタです。

RTC ソフトウェアリセットを実行すると 00h になります。

21.2.12 曜日アラームレジスタ (RWKAR) / バイナリカウンタ 3 アラームレジスタ (BCNT3AR)

(1) カレンダーカウントモード時

アドレス RWKAR 0008 C416h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b2-b0	DAYW[2:0]	曜日の設定値ビット	b2 b0 0 0 0 : 日 0 0 1 : 月 0 1 0 : 火 0 1 1 : 水 1 0 0 : 木 1 0 1 : 金 1 1 0 : 土 1 1 1 : 設定しないでください	R/W
b6-b3	—	予約ビット	"0"を設定してください。読むと設定値が読めます	R/W
b7	ENB	ENBビット	0 : RWKCNTカウンタの値と比較を行わない 1 : RWKCNTカウンタの値と比較を行う	R/W

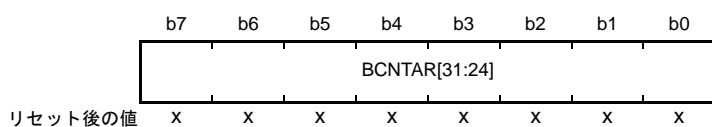
RWKAR レジスタは、コード化された曜日カウンタ (RWKCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RWKAR レジスタの値と RWKCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

設定可能範囲は、10進で“0”～“6”であり、それ以外の値が設定されると、正常に動作しません。

RTC ソフトウェアリセットを実行すると 00h になります。

(2) バイナリカウントモード時

アドレス BCNT3AR 0008 C416h



x : 不定

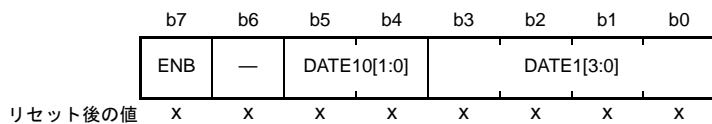
BCNT3AR カウンタは、32 ビットバイナリカウンタの b31 ~ b24 に対応する書き込み / 読み出し可能なアラームレジスタです。

RTC ソフトウェアリセットを実行すると 00h になります。

21.2.13 日アラームレジスタ (RDAYAR) / バイナリカウンタ 0 アラーム許可レジスタ (BCNT0AER)

(1) カレンダーカウントモード時

アドレス RDAYAR 0008 C418h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DATE1[3:0]	1日ビット	一日の位の設定値	R/W
b5-b4	DATE10[1:0]	10日ビット	十日の位の設定値	R/W
b6	—	予約ビット	“0”を設定してください。読むと設定値が読めます	R/W
b7	ENB	ENBビット	0 : RDAYCNTカウンタの値と比較を行わない 1 : RDAYCNTカウンタの値と比較を行う	R/W

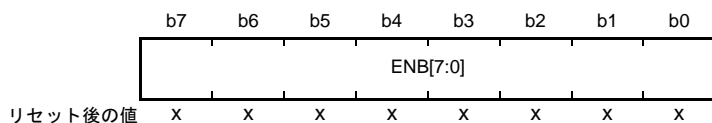
RDAYAR レジスタは、BCD コード化された日カウンタ (RDAYCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RDAYAR レジスタの値と RDAYCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

設定可能範囲は、10 進 (BCD) で“01”～“31”であり、それ以外の値が設定されると、正常に動作しません。

RTC ソフトウェアリセットを実行すると 00h になります。

(2) バイナリカウントモード時

アドレス BCNT0AER 0008 C418h



x : 不定

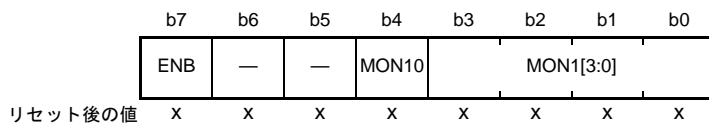
BCNT0AER レジスタは、32 ビットバイナリカウンタの b7～b0 に対応するアラーム許可を設定する書き込み/読み出し可能なレジスタです。ENB[31:0] ビットのうち、“1”になっているビットに対応したバイナリカウンタ (BCNT[31:0]) とバイナリアラームレジスタ (BCNTAR[31:0]) の比較を行い、おのおのすべてが一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

RTC ソフトウェアリセットを実行すると 00h になります。

21.2.14 月アラームレジスタ (RMONAR) / バイナリカウンタ 1 アラーム許可レジスタ (BCNT1AER)

(1) カレンダカウントモード時

アドレス RMONAR 0008 C41Ah



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MON1[3:0]	1月ビット	一月の位の設定値	R/W
b4	MON10	10月ビット	十月の位の設定値	R/W
b6-b5	—	予約ビット	“0”を設定してください。読むと設定値が読めます	R/W
b7	ENB	ENBビット	0 : RMONCNTカウンタの値と比較を行わない 1 : RMONCNTカウンタの値と比較を行う	R/W

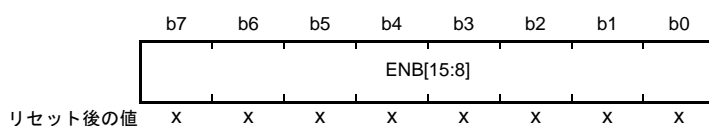
RMONAR レジスタは、BCD コード化された月カウンタ (RMONCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RMONAR レジスタの値と RMONCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

設定可能範囲は、10 進 (BCD) で“01”～“12”であり、それ以外の値が設定されると、正常に動作しません。

RTC ソフトウェアリセットを実行すると 00h になります。

(2) バイナリカウントモード時

アドレス BCNT1AER 0008 C41Ah



x : 不定

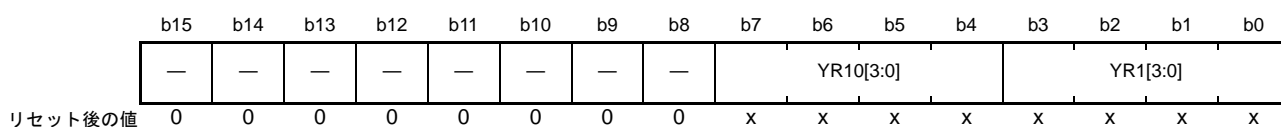
BCNT1AER レジスタは、32 ビットバイナリカウンタの b15～b8 に対応するアラーム許可を設定する書き込み/読み出し可能なレジスタです。ENB[31:0] ビットのうち、“1”になっているビットに対応したバイナリカウンタ (BCNT[31:0]) とバイナリアラームレジスタ (BCNTAR[31:0]) の比較を行い、おのおのすべてが一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

RTC ソフトウェアリセットを実行すると 00h になります。

21.2.15 年アラームレジスタ (RYRAR) / バイナリカウンタ 2 アラーム許可レジスタ (BCNT2AER)

(1) カレンダカウントモード時

アドレス RYRAR 0008 C41Ch



x : 不定

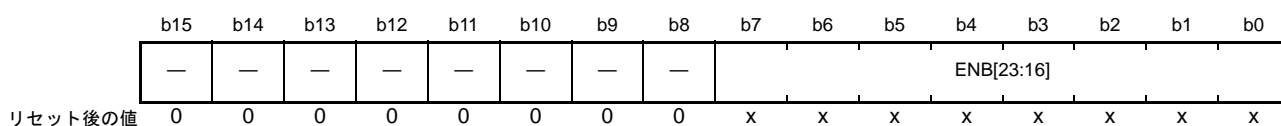
ビット	シンボル	ビット名	機能	R/W
b3-b0	YR1[3:0]	1年ビット	一年の位の設定値	R/W
b7-b4	YR10[3:0]	10年ビット	十年の位の設定値	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RYRAR レジスタは、BCD コード化された年カウンタ (RYRCNT) に対応するアラームレジスタです。設定可能範囲は、10 進 (BCD) で“00”～“99”であり、それ以外の値が設定されると、正常に動作しません。

RTC ソフトウェアリセットを実行すると 0000h になります。

(2) バイナリカウントモード時

アドレス BCNT2AER 0008 C41Ch



x : 不定

BCNT2AER レジスタは、32 ビットバイナリカウンタの b23～b16 に対応するアラーム許可を設定する書き込み/読み出し可能なレジスタです。ENB[31:0] ビットのうち、“1”になっているビットに対応したバイナリカウンタ (BCNT[31:0]) とバイナリアラームレジスタ (BCNTAR[31:0]) の比較を行い、おのおのすべが一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

RTC ソフトウェアリセットを実行すると 0000h になります。

21.2.16 年アラーム許可レジスタ (RYRAREN) / バイナリカウンタ 3 アラーム許可レジスタ (BCNT3AER)

(1) カレンダカウントモード時

アドレス RYRAREN 0008 C41Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	—	—	—	—	—	—	—
リセット後の値	x	x	x	x	x	x	x	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	"0"を設定してください。読むと設定値が読めます	R/W
b7	ENB	ENBビット	0 : RYRCNTカウンタの値と比較を行わない 1 : RYRCNTカウンタの値と比較を行う	R/W

RYRAREN レジスタは、ENB ビットが“1”であれば、RYRAR レジスタの値と RYRCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

RTC ソフトウェアリセットを実行すると 00h になります。

(2) バイナリカウントモード時

アドレス BCNT3AER 0008 C41Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB[31:24]							
リセット後の値	x	x	x	x	x	x	x	x

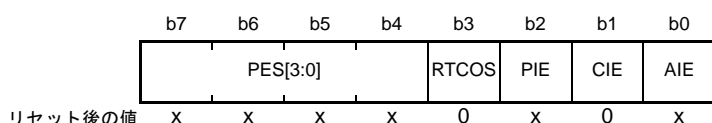
x : 不定

BCNT3AER レジスタは、32 ビットバイナリカウンタの b31 ~ b24 に対応するアラーム許可を設定する書き込み/読み出し可能なレジスタです。ENB[31:0] ビットのうち、“1”になっているビットに対応したバイナリカウンタ (BCNT[31:0]) とバイナリアラームレジスタ (BCNTAR[31:0]) の比較を行い、おのおのすべてが一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

RTC ソフトウェアリセットを実行すると 00h になります。

21.2.17 RTC コントロールレジスタ 1 (RCR1)

アドレス 0008 C422h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	AIE	アラーム割り込み許可ビット	0 : アラーム割り込み要求を禁止 1 : アラーム割り込み要求を許可	R/W
b1	CIE	桁上げ割り込み許可ビット	0 : 桁上げ割り込み要求を禁止 1 : 桁上げ割り込み要求を許可	R/W
b2	PIE	周期割り込み許可ビット	0 : 周期割り込み要求を禁止 1 : 周期割り込み要求を許可	R/W
b3	RTCOS	RTCOUT 出力選択ビット	0 : RTCOUT は 1Hz を出力 1 : RTCOUT は 64Hz を出力	R/W
b7-b4	PES[3:0]	周期割り込み選択ビット	b7 b4 0 1 1 0 : 周期割り込み発生時の周期は 1/256 秒ごと 0 1 1 1 : 周期割り込み発生時の周期は 1/128 秒ごと 1 0 0 0 : 周期割り込み発生時の周期は 1/64 秒ごと 1 0 0 1 : 周期割り込み発生時の周期は 1/32 秒ごと 1 0 1 0 : 周期割り込み発生時の周期は 1/16 秒ごと 1 0 1 1 : 周期割り込み発生時の周期は 1/8 秒ごと 1 1 0 0 : 周期割り込み発生時の周期は 1/4 秒ごと 1 1 0 1 : 周期割り込み発生時の周期は 1/2 秒ごと 1 1 1 0 : 周期割り込み発生時の周期は 1 秒ごと 1 1 1 1 : 周期割り込み発生時の周期は 2 秒ごと 上記以外は、周期割り込みを発生しない	R/W

RCR1 レジスタは、カレンダーカウントモード/バイナリカウントモード共通で使用します。

AIE、PIE、PES[3:0] ビットは、カウントソースに同期して更新されるので、RCR1 レジスタを書き換えた場合は、全ビットの値が更新されたことを確認してから次の処理を実行してください。

AIE ビット (アラーム割り込み許可ビット)

アラーム割り込み要求の許可または禁止を選択します。

CIE ビット (桁上げ割り込み許可ビット)

秒カウンタ (RSECCNT) / バイナリカウンタ 0 (BCNT0) への桁上げ、または 64Hz カウンタ (R64CNT) 読み出しと、64Hz カウンタへの桁上げが重なったときの割り込み要求の許可または禁止を選択します。

PIE ビット (周期割り込み許可ビット)

周期割り込み要求の許可または禁止を選択します。

RTCOS ビット (RTCOUT 出力選択ビット)

RTCOUT の出力周期を選択するビットです。RTCOS ビットは、カウント動作停止中 (RCR2.START ビット = "0") かつ RTCOUT 出力禁止 (RCR2.RTCOE ビット = "0") のときに書き換えてください。RTCOUT を外部端子に出力する場合は、RCR2.RTCOE ビットを有効にしてください。I/O ポートの制御については、「18.3.1 端子入出力機能設定手順」を参照してください。

PES[3:0] ビット (周期割り込み選択ビット)

周期割り込みの周期を設定します。PES[3:0] ビットで設定した周期に応じて周期割り込みを要求します。

21.2.18 RTC コントロールレジスタ 2 (RCR2)

(1) カレンダーカウントモード時

アドレス 0008 C424h

	b7	b6	b5	b4	b3	b2	b1	b0
	CNTMD	HR24	AADJP	AADJE	RTCOE	ADJ30	RESET	START
リセット後の値	x	x	x	x	0	0	0	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	START	スタートビット	0: プリスケアラと時計カウンタは停止 1: プリスケアラと時計カウンタは通常動作	R/W
b1	RESET	RTCソフトウェアリセットビット	<ul style="list-style-type: none"> 書き込み時 0: 書き込み無効 1: プリスケアラおよびRTCソフトウェアリセット対象レジスタ(注1)を初期化 読み出し時 0: 通常の時計動作またはRTCソフトウェアリセット完了 1: RTCソフトウェアリセット中 	R/W
b2	ADJ30	30秒調整ビット	<ul style="list-style-type: none"> 書き込み時 0: 書き込み無効 1: 30秒調整の実行 読み出し時 0: 通常の時計動作または30秒調整が完了 1: 30秒調整中 	R/W
b3	RTCOE	RTCOUT出力許可ビット	0: RTCOUT出力禁止 1: RTCOUT出力許可	R/W
b4	AADJE	自動補正機能許可ビット	0: 自動補正機能禁止 1: 自動補正機能許可	R/W
b5	AADJP	自動補正周期選択ビット	0: 1分ごとにRADJ.ADJ[5:0]ビットをプリスケアラのカウンタ値から加減する 1: 10秒ごとにRADJ.ADJ[5:0]ビットをプリスケアラのカウンタ値から加減する	R/W
b6	HR24	時間モードビット	0: RTCは12時間モードで動作 1: RTCは24時間モードで動作	R/W
b7	CNTMD	カウントモード選択ビット	0: カレンダーカウントモード 1: バイナリカウントモード	R/W

注1. R64CNT、RSECAR/BCNT0AR、RMINAR/BCNT1AR、RHRAR/BCNT2AR、RWKAR/BCNT3AR、RDAYAR/BCNT0AER、RMONAR/BCNT1AER、RYRAR/BCNT2AER、RYRAREN/BCNT3AER、RADJ、RCR2.ADJ30、RCR2.AADJE、RCR2.AADJP

RCR2 レジスタは、時間モード、自動補正機能、RTCOUT 出力許可、30 秒調整、RTC ソフトウェアリセット、カウント制御に関するレジスタです。

START ビット (スタートビット)

プリスケアラおよび時計カウンタの停止または動作を制御するビットです。

START ビットは、カウントソースに同期して更新されるので、START ビットを書き換えた場合は、値が更新されたことを確認してから次の処理を実行してください。

RESET ビット (RTC ソフトウェアリセットビット)

プリスケアラおよび RTC ソフトウェアリセット対象レジスタを初期化するビットです。

RESET ビットに“1”が書き込まれた場合、カウントソースに同期して初期化が実行され、初期化が完了す

ると RESET ビットは自動的に“0”になります。

RESET ビットに“1”を書き込んだ場合は、“0”になったことを確認してから次の処理を実行してください。

ADJ30 ビット (30 秒調整ビット)

30 秒調整を行うビットです。

ADJ30 ビットに“1”が書き込まれたときの RSECCNT カウンタの値が 30 秒未満の場合は 00 秒に切り捨て、30 秒以上の場合は 1 分に桁上げします。

30 秒調整は、カウントソースに同期して行われます。ADJ30 ビットに“1”が書き込まれた場合、30 秒調整が完了すると ADJ30 ビットは自動的に“0”になります。ADJ30 ビットに“1”を書き込んだ場合は、“0”になったことを確認してから次の処理を実行してください。

30 秒調整が行われると、プリスケアラおよび R64CNT カウンタもリセットされます。

RTC ソフトウェアリセットを実行すると ADJ30 ビットは、“0”になります。

RTC OE ビット (RTC OUT 出力許可ビット)

RTC OUT (1Hz/64Hz クロック) の出力を許可するビットです。

RTC OE ビットの書き換えは、START ビットでカウント動作を停止させてから行ってください。カウント動作を停止 (START ビットへの“0”書き込み) するときは、同時に RTC OE ビットの値を書き換えしないでください。

RTC OUT を外部端子に出力する場合は、RTC OE ビットを許可にし、かつポート制御の設定もしてください。

AADJE ビット (自動補正機能許可ビット)

自動補正機能の禁止、許可を制御するビットです。

AADJE ビットの書き換えは、プラスマイナスビット (RADJ.PMADJ[1:0]) を“00b” (補正しない) にしてから行ってください。

RTC ソフトウェアリセットを実行すると AADJE ビットは、“0”になります。

AADJP ビット (自動補正周期選択ビット)

自動補正周期を選択するビットです。

AADJP ビットの書き換えは、プラスマイナスビット (RADJ.PMADJ[1:0]) を“00b” (補正しない) にしてから行ってください。

RTC ソフトウェアリセットを実行すると AADJP ビットは、“0”になります。

HR24 ビット (時間モードビット)

RTC の時間モードを 12 時間モードで動作させるか、24 時間モードで動作させるかを指定するビットです。

HR24 ビットの書き換えは、START ビットでカウント動作を停止させてから行ってください。START ビットと同時に HR24 ビットの値を書き換えしないでください。

CNTMD ビット (カウントモード選択ビット)

RTC のカウントモードを、カレンダーカウントモードで動作させるか、バイナリカウントモードで動作させるかを指定するビットです。

カウントモード設定時は、RTC ソフトウェアリセットを実行し、初期設定からやり直してください。

本ビットは、カウントソースに同期して更新され、RTC ソフトウェアリセット完了までに値が確定しません。

初期設定の詳細は、「21.3.1 電源投入後のレジスタの初期設定概要」を参照してください。

(2) バイナリカウントモード時

アドレス 0008 C424h

	b7	b6	b5	b4	b3	b2	b1	b0
	CNTMD	—	AADJP	AADJE	RTCOE	—	RESET	START
リセット後の値	x	x	x	x	0	0	0	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	START	スタートビット	0: 32ビットバイナリカウンタ、64Hzカウンタ、およびプリスケアラは停止 1: 32ビットバイナリカウンタ、64Hzカウンタ、およびプリスケアラは通常動作	R/W
b1	RESET	RTCソフトウェアリセットビット	<ul style="list-style-type: none"> 書き込み時 0: 書き込み無効 1: プリスケアラおよびRTCソフトウェアリセット対象レジスタ(注1)を初期化 読み出し時 0: 通常の時計動作またはRTCソフトウェアリセット完了 1: RTCソフトウェアリセット中 	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	RTCOE	RTCOE出力許可ビット	0: RTCOUT出力禁止 1: RTCOUT出力許可	R/W
b4	AADJE	自動補正機能許可ビット	0: 自動補正機能禁止 1: 自動補正機能許可	R/W
b5	AADJP	自動補正周期選択ビット	0: 32秒ごとにRADJ.ADJ[5:0]ビットをプリスケアラのカウンタ値から加減する 1: 8秒ごとにRADJ.ADJ[5:0]ビットをプリスケアラのカウンタ値から加減する	R/W
b6	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b7	CNTMD	カウントモード選択ビット	0: カレンダーカウントモード 1: バイナリカウントモード	R/W

注1. R64CNT、RSECAR/BCNT0AR、RMINAR/BCNT1AR、RHRAR/BCNT2AR、RWKAR/BCNT3AR、RDAYAR/BCNT0AER、RMONAR/BCNT1AER、RYRAR/BCNT2AER、RYRAREN/BCNT3AER、RADJ、RCR2.ADJ30、RCR2.AADJE、RCR2.AADJP

START ビット (スタートビット)

プリスケアラおよびカウンタ (時計) の停止または動作を制御するビットです。

START ビットは、カウントソースに同期して更新されます。START ビットを書き換えた場合は、値が更新されたことを確認してから次の処理を実行してください。

RESET ビット (RTC ソフトウェアリセットビット)

プリスケアラおよびRTC ソフトウェアリセット対象レジスタを初期化するビットです。

RESET ビットに“1”が書き込まれた場合、カウントソースに同期して初期化が実行され、初期化が完了すると RESET ビットは自動的に“0”になります。

RESET ビットに“1”を書き込んだ場合は、“0”になったことを確認してから次の処理を実行してください。

RTC OE ビット (RTC OUT 出力許可ビット)

RTC OUT (1Hz/64Hz クロック) の出力を許可するビットです。

RTC OE ビットの書き換えは、START ビットでカウント動作を停止させてから行ってください。カウント動作を停止する (START ビットへ“0”を書く) ときは、同時に RTC OE ビットの値を書き換えしないでください。

RTC OUT を外部端子に出力する場合は、RTC OE ビットを有効にし、かつポート制御も有効にしてください。

AADJE ビット (自動補正機能許可ビット)

自動補正機能の禁止、許可を制御するビットです。

AADJE ビットの書き換えは、プラスマイナスビット (RADJ.PMADJ[1:0]) を“00b” (補正しない) にしてから行ってください。

RTC ソフトウェアリセットを実行すると AADJE ビットは、“0”になります。

AADJP ビット (自動補正周期選択ビット)

自動補正周期を選択するビットです。

バイナリカウントモードでは 32 秒ごとまたは 8 秒ごとの補正周期を選択することができます。

AADJP ビットの書き換えは、プラスマイナスビット (RADJ.PMADJ[1:0]) を“00b” (補正しない) にしてから行ってください。

RTC ソフトウェアリセットを実行すると AADJP ビットは、“0”になります。

CNTMD ビット (カウントモード選択ビット)

RTC のカウントモードを、カレンダーカウントモードで動作するか、バイナリカウントモードで動作するかを指定するビットです。

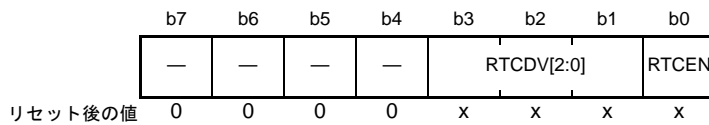
カウントモード設定時は、RTC ソフトウェアリセットを実行し、初期設定からやり直してください。

本ビットは、カウントソースに同期して更新され、RTC ソフトウェアリセット完了までに値が確定します。

初期設定の詳細は、「21.3.1 電源投入後のレジスタの初期設定概要」を参照してください。

21.2.19 RTC コントロールレジスタ 3 (RCR3)

アドレス 0008 C426h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	RTCEN	サブクロック発振器制御ビット	0 : サブクロック発振器停止 1 : サブクロック発振器動作	R/W
b3-b1	RTCDV[2:0]	サブクロック発振器ドライブ能力制御ビット	b3 b1 0 0 0 : 低CL用ドライブ能力中 0 0 1 : 低CL用ドライブ能力高 0 1 0 : 低CL用ドライブ能力低 1 0 0 : 標準CL用ドライブ能力 上記以外は設定しないでください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RCR3 レジスタは、クロック発生回路にあるサブクロック発振器を制御するためのレジスタです。サブクロック発振器の制御については、「9. クロック発生回路」を参照してください。

本レジスタはカレンダーカウントモード/バイナリカウントモードで共通の機能です。

本レジスタを書き換えた場合は、全ビットの値が更新されたことを確認してから次の処理を実行してください。

RTCEN ビット (サブクロック発振器制御ビット)

サブクロック発振器の動作/停止を制御します。

サブクロック発振器の動作/停止は、RTCEN ビットおよびクロック発生回路のレジスタで制御され、いずれかのビットが動作に設定されているとサブクロック発振器は動作状態となります。

サブクロックを RTC のカウントソースとして使用する場合は、RTCEN ビットでサブクロック発振器の動作設定を行ってください。

RTCDV[2:0] ビット (サブクロック発振器ドライブ能力制御ビット)

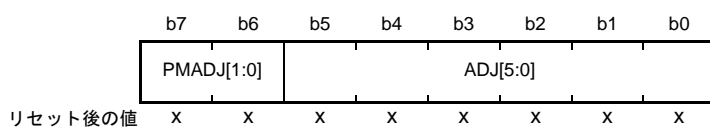
サブクロック発振器のドライブ能力を制御します。RTCDV[2:0] ビットの設定は、SOSCCR.SOSTP ビットが“1”、かつ RCR3.RTCEN ビットが“0”のときに行ってください。

(1) 32.768kHz 水晶振動子の使用に関する注意事項

XCIN 端子や XCOOUT 端子の近傍の信号が変化すると、サブクロック発振器の発振精度に影響する可能性があります。影響の大きさは、基板の配線パターンや近傍の信号変化の状況により異なります。水晶振動子を使用した基板を作成する際には、アプリケーションノート「サブクロック回路のデザインガイド」(R01AN1830JJ)を参考に、ノイズ対策を実施してください。

21.2.20 時間誤差補正レジスタ (RADJ)

アドレス 0008 C42Eh



x : 不定

ビット	シンボル	ビット名	機能	R/W
b5-b0	ADJ[5:0]	補正值ビット	誤差補正值を設定します	R/W
b7-b6	PMADJ[1:0]	プラスマイナスビット	b7 b6 0 0 : 補正動作を行いません 0 1 : 時計を進める 1 0 : 時計を遅らせる 1 1 : 設定しないでください	R/W

RADJ レジスタは、カレンダーカウントモード/バイナリカウントモード共通で使用します。

時計を誤差補正值に応じて進めるか、遅らせることによって、補正を行います。

自動補正機能許可ビット (RCR2.AADJE) が“0”の場合は、RADJ レジスタを書き込むときに補正動作を行います。

RCR2.AADJE ビットが“1”の場合は、自動補正周期選択ビット (RCR2.AADJP) で設定した間隔で補正動作を行います。

ソフトウェア設定 (自動補正しない設定) による補正時は、レジスタ設定後、カウントソースで 320 サイクル以内に次の補正值を設定すると前回の補正設定が無効となる場合があります。連続して補正を行う場合は、レジスタ設定後、カウントソースで 320 サイクル以上待ってから再設定してください。

RADJ レジスタは、カウントソースに同期して更新されます。RADJ レジスタを書き換えた場合は、全ビットの値が更新されたことを確認してから次の処理を実行してください。

RTC ソフトウェアリセットを実行すると 00h になります。

ADJ[5:0] ビット (補正值ビット)

時計の誤差に応じて補正值 (サブクロックのクロックサイクル数) を設定します。

PMADJ[1:0] ビット (プラスマイナスビット)

ADJ[5:0] ビットで設定した誤差補正值に応じて時計を進めるか、遅らせるかを選択します。

21.3 動作説明

21.3.1 電源投入後のレジスタの初期設定概要

電源投入後、クロック設定、カウントモード設定、時刻設定、時計誤差補正、アラーム、割り込みの初期設定をしてください。

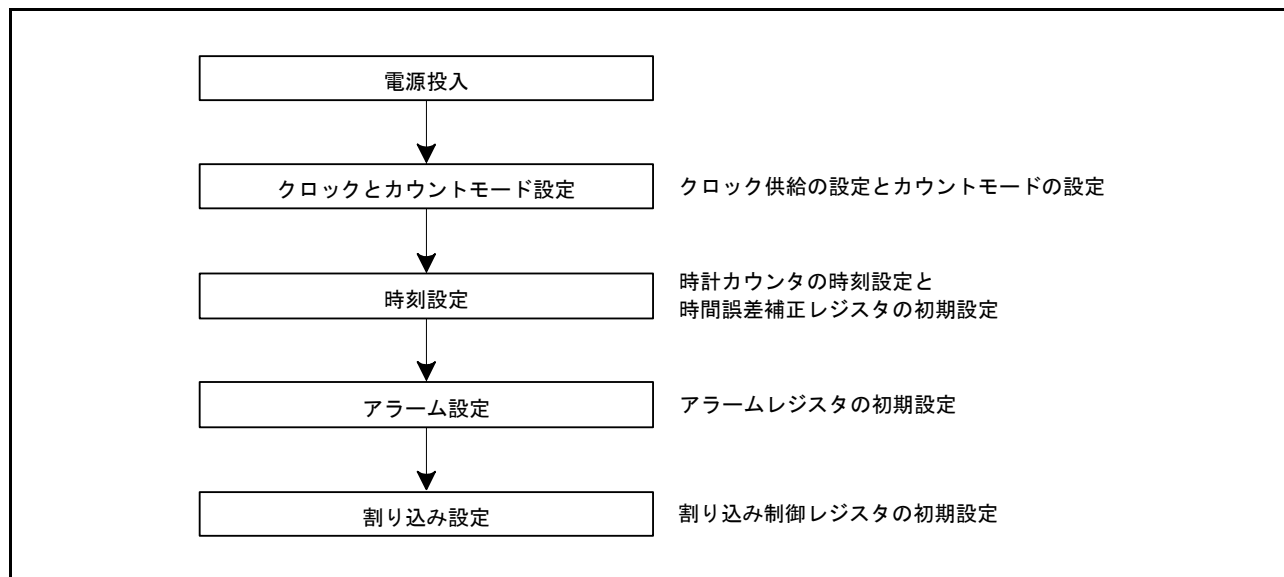


図 21.2 電源投入後の初期設定概要

21.3.2 クロックとカウントモード設定手順

図 21.3 にクロック設定手順を示します。

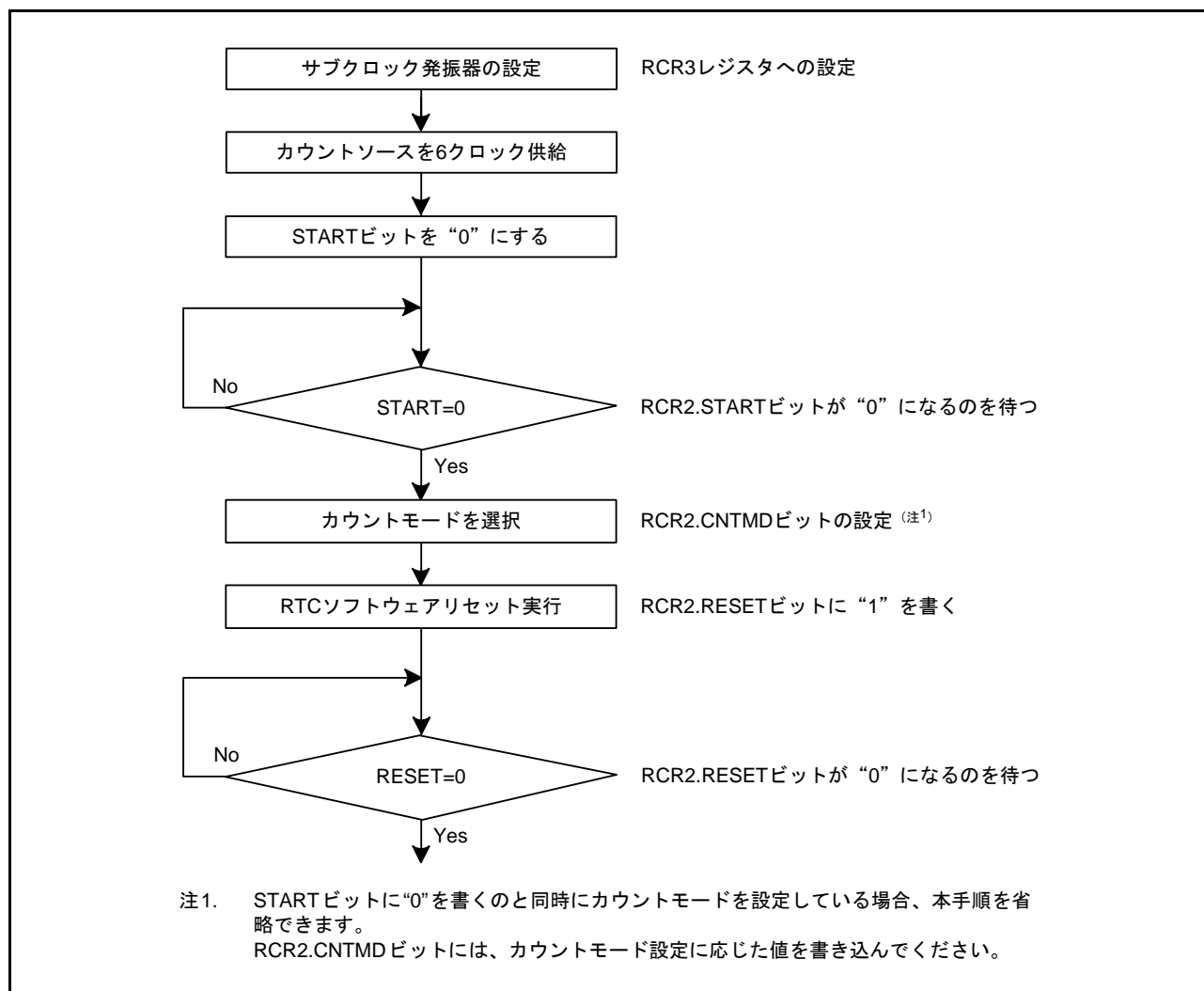


図 21.3 クロック設定手順

21.3.3 時刻設定手順

図 21.4 に時刻設定手順を示します。

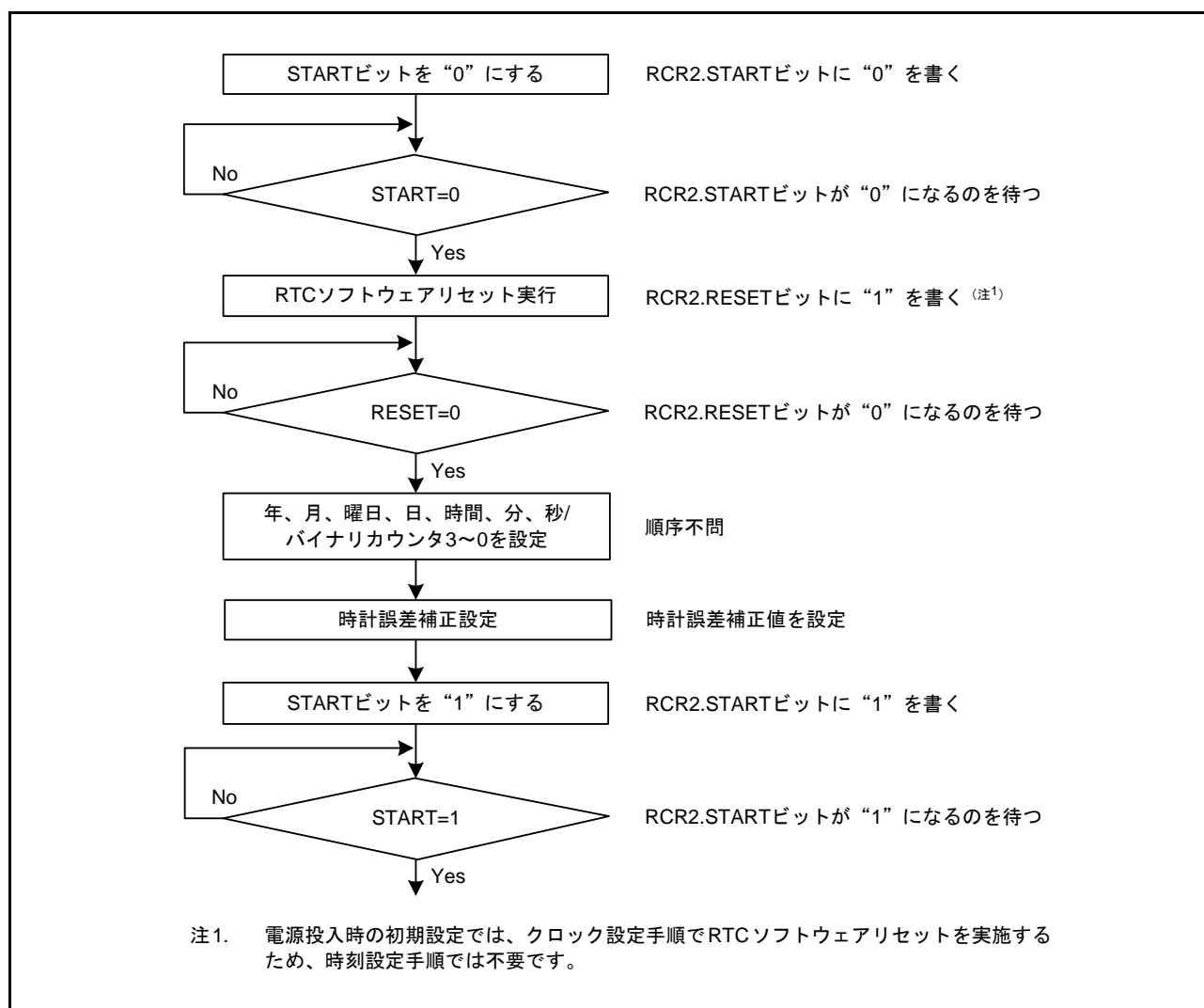


図 21.4 時刻設定手順

21.3.4 30秒調整手順

図 21.5 に30秒調整手順を示します。30秒調整機能はカレンダーカウントモードでのみ使用可能です。

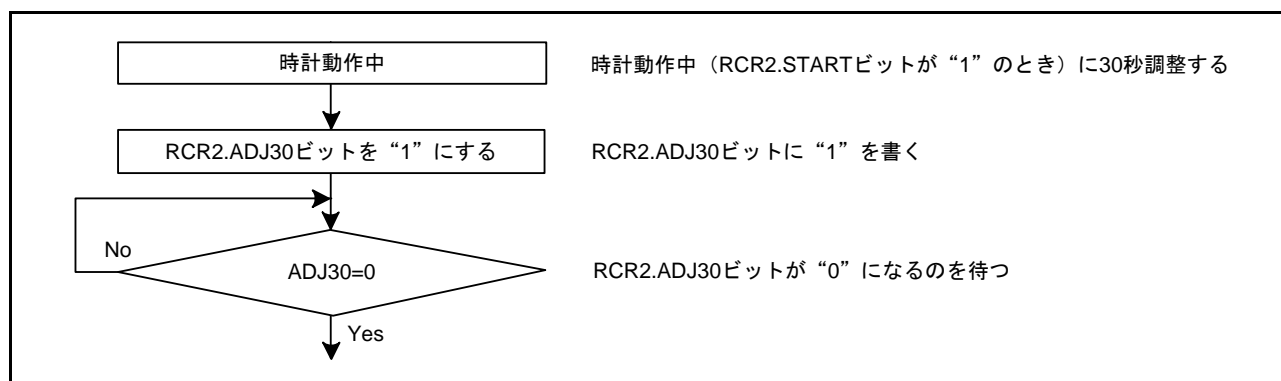


図 21.5 30秒調整手順

21.3.5 64Hz カウンタおよび時刻読み出し手順

図 21.6 に 64Hz カウンタおよび時刻読み出し手順を示します。

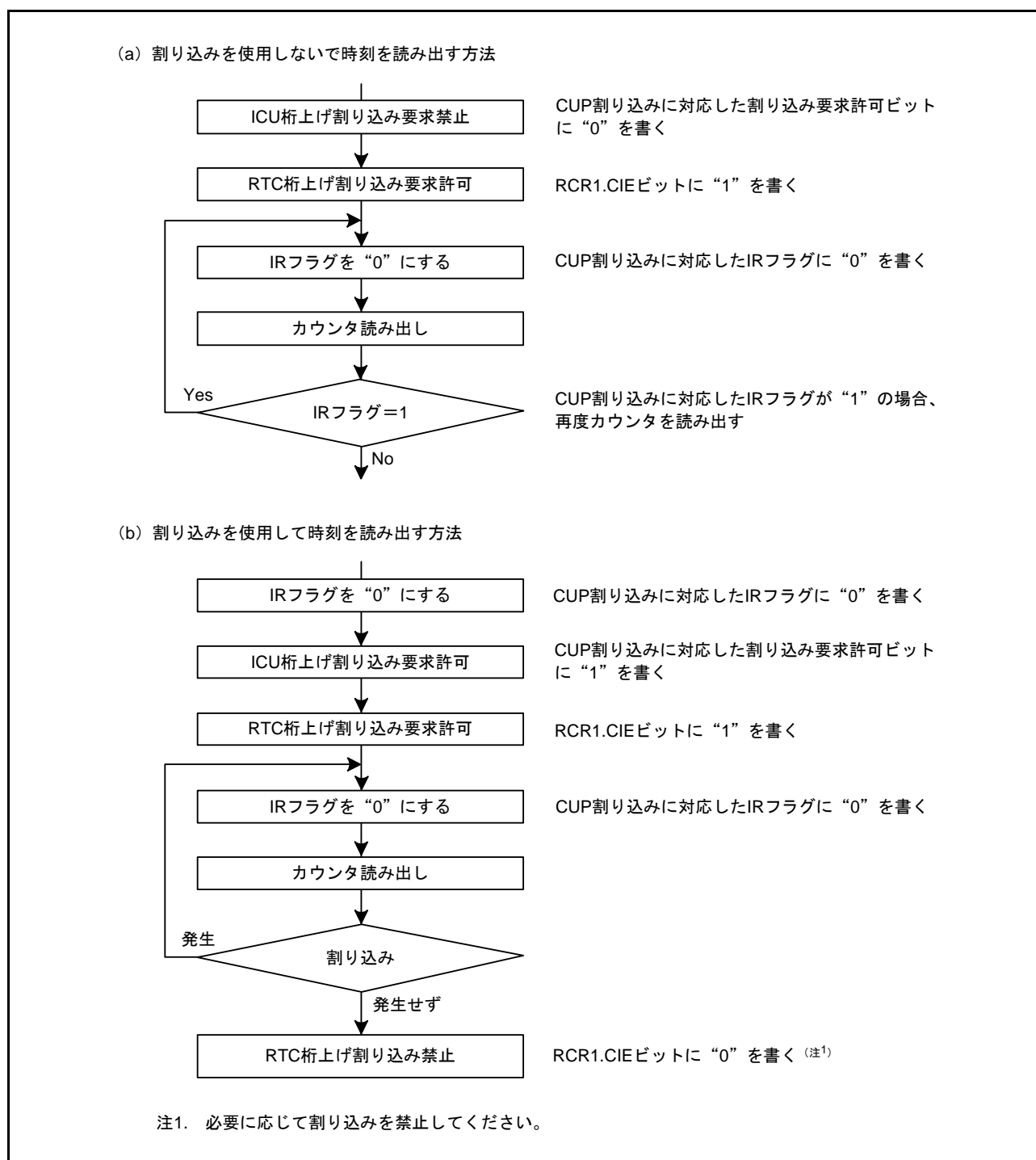


図 21.6 時刻読み出し手順

64Hz カウンタおよび時刻読み出し中に桁上げが起こると正しい時刻が得られないため、再度読み出す必要があります。割り込みを使用しない方法を図 21.6 の (a) に、桁上げ割り込みを使用する方法を図 21.6 の (b) に示します。通常、プログラムを容易にするために、割り込みを使用しない方法を利用します。

21.3.6 アラーム機能

図 21.7 にアラーム機能の使用方法を示します。

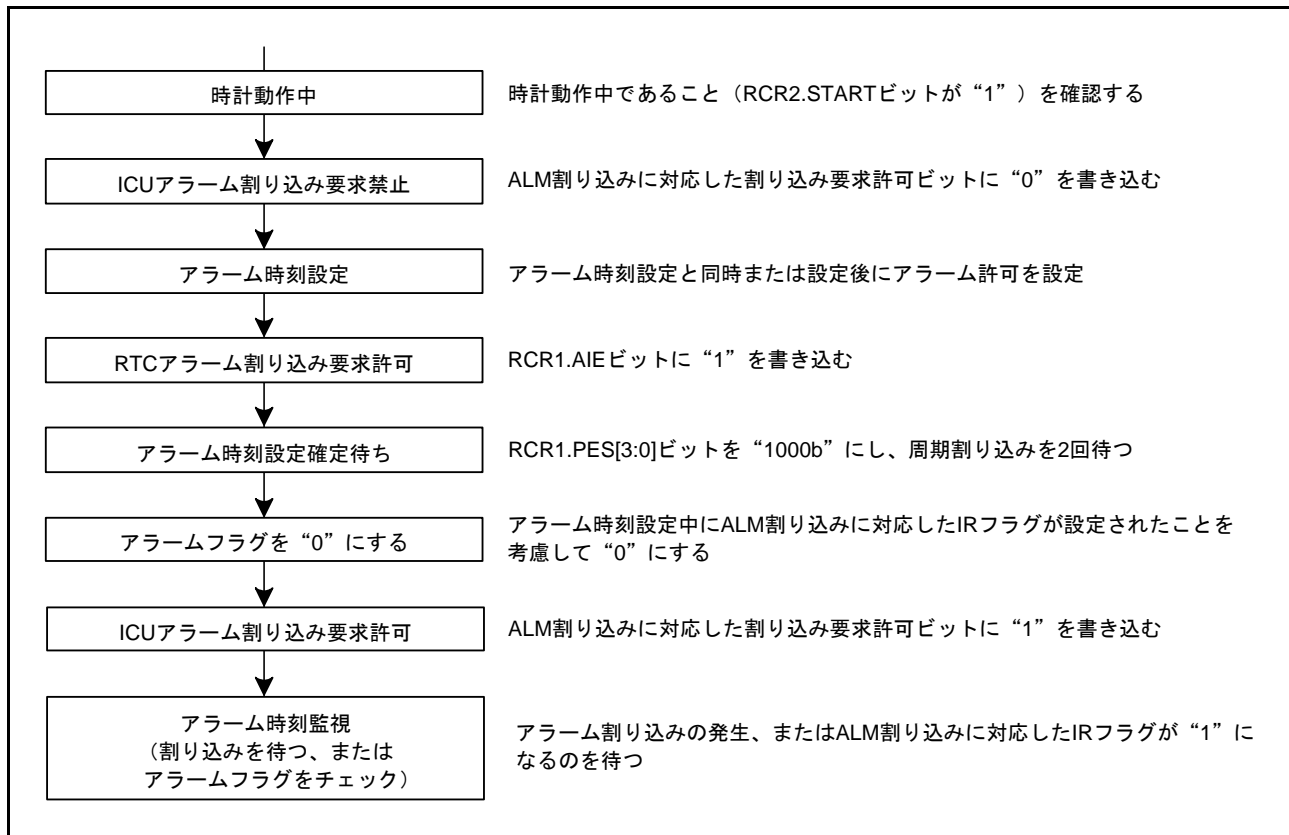


図 21.7 アラーム機能の使用方法

カレンダーカウントモードでは、アラームは、年、月、日、曜日、時、分、秒のいずれか、あるいは組み合わせで発生させることができます。アラームの対象とする各アラームレジスタの ENB ビットに“1”を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは、ENB ビットに“0”を書き込みます。

バイナリカウントモードでは、32 ビットの任意のビットの組み合わせでアラームを発生させることができます。アラームの対象とするビットに対応するアラーム許可レジスタの ENB ビットに“1”を書き込み、アラームレジスタにアラーム時刻を設定します。アラームの対象外とするビットには、アラーム許可レジスタの ENB ビットに“0”を書き込みます。

カウンタとアラーム時刻が一致した場合は、ALM 割り込みに対応した IR フラグが“1”になります。アラームの検出はこのフラグを読み出すことによって確認できますが、通常は割り込みで行います。ALM 割り込みに対応した割り込み要求許可ビットに“1”が書き込まれている場合、アラーム割り込みが発生しアラームを検出することができます。

ALM 割り込みに対応した IR フラグは“0”を書き込むと“0”になります。

低消費電力状態のときにカウンタとアラーム時刻が一致すると低消費電力状態から復帰します。

21.3.7 アラーム割り込み禁止手順

図 21.8 に許可状態のアラーム割り込み要求を禁止する手順を示します。

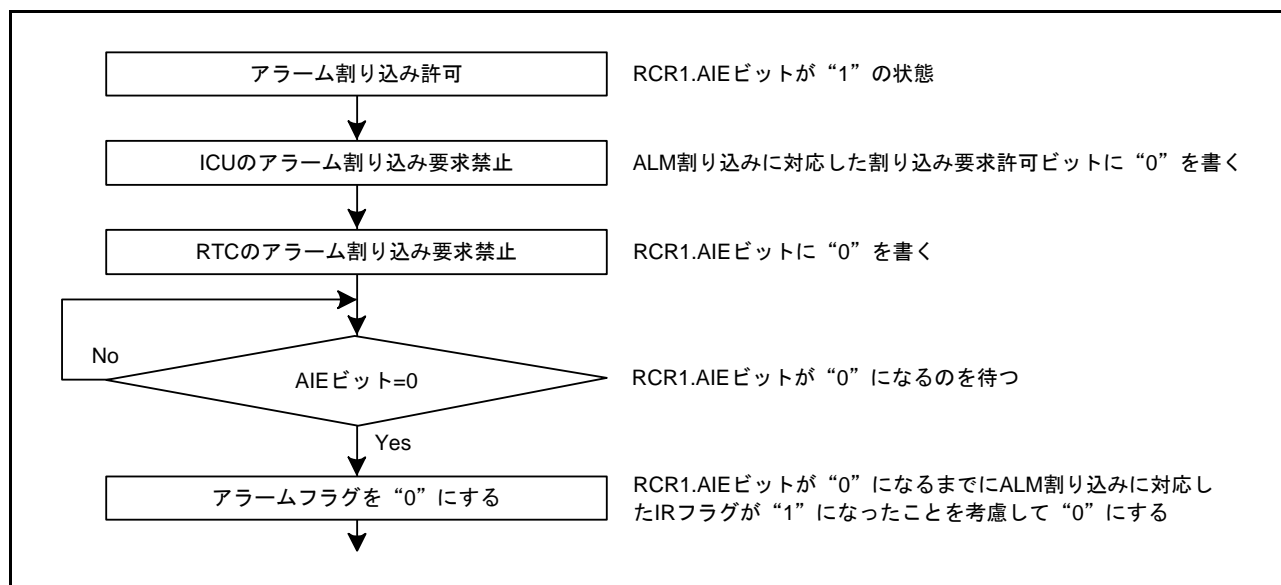


図 21.8 アラーム割り込み要求を禁止する手順

21.3.8 時計誤差補正機能

時計誤差補正機能は、サブクロックの発振精度による時計の誤差（遅れる / 進む）を補正します。サブクロック選択時、32,768 クロックサイクルを 1 秒として動作するため、サブクロックの周波数が高い場合は時計が進み、低い場合は時計が遅れます。本機能により、時計を進めるか、遅らせることで誤差を補正することができます。

時計誤差補正機能には、自動補正とソフトウェアによる補正の 2 種類の補正機能があります。

自動補正、ソフトウェアによる補正の選択は、RCR2.AADJE ビットで設定してください。

21.3.8.1 自動補正機能

RCR2.AADJE ビットが“1”の場合、自動補正機能が有効です。

自動補正機能では、RCR2.AADJP ビットで選択した補正周期ごとに RADJ レジスタ設定に応じて時計を進めるか、遅らせます。以下に例を示します。

例 1) サブクロック = 32.769kHz

補正方法：

サブクロックの周波数が 32.769kHz の場合、32,769 クロックサイクルで 1 秒になりますが、RTC は、32,768 クロックサイクルを 1 秒として動作するため、1 秒につき 1 クロックサイクル分、時計が進みます。1 分なら 60 クロックサイクル分、時計が進むため、1 分ごとに 60 クロックサイクル分、時計を遅らせることで補正できます。

レジスタ設定内容：(RCR2.CNTMD = “0” の場合)

- RCR2.AADJP ビット = 0 (1 分ごとに補正)
- RADJ.PMADJ[1:0] ビット = 10b (遅らせる)
- RADJ.ADJ[5:0] ビット = 60 (3Ch)

例 2) サブクロック = 32.766kHz

補正方法：

サブクロックの周波数が 32.766kHz の場合、32,766 クロックサイクルで 1 秒になりますが、RTC は 32,768 クロックサイクルを 1 秒として動作するため、1 秒につき 2 クロックサイクル分、時計が遅れます。10 秒なら 20 クロックサイクル分、時計が遅れるため、10 秒ごとに 20 クロックサイクル分、時計を進めることで補正できます。

レジスタ設定内容：(RCR2.CNTMD = “0” の場合)

- RCR2.AADJP ビット = 1 (10 秒ごとに補正)
- RADJ.PMADJ[1:0] ビット = 01b (進める)
- RADJ.ADJ[5:0] ビット = 20 (14h)

例 3) サブクロック = 32.764kHz

補正方法：

サブクロックの周波数が 32.764kHz の場合、32,764 クロックサイクルで 1 秒になりますが、RTC は 32,768 クロックサイクルを 1 秒として動作するため、1 秒につき 4 クロックサイクル分、時計が遅れます。8 秒なら 32 クロックサイクル分、時計が遅れるため、8 秒ごとに “32” クロックサイクル分、時計を進めることで補正できます。

レジスタ設定内容：(RCR2.CNTMD = “1” の場合)

- RCR2.AADJP ビット = 1 (8 秒ごとに補正)
- RADJ.PMADJ[1:0] ビット = 01b (進める)
- RADJ.ADJ[5:0] ビット = 32 (20h)

21.3.8.2 ソフトウェアによる補正

RCR2.AADJE ビットが“0”の場合、ソフトウェアによる補正が有効です。

ソフトウェアによる補正では、RADJ レジスタへの書き込み命令を実行したタイミングで RADJ レジスタ設定に応じて時計を進めるか、遅らせます。

例 1) サブクロック = 32.769kHz

補正方法：

サブクロックの周波数が 32.769kHz の場合、32,769 クロックサイクルで 1 秒になりますが、RTC は 32,768 クロックサイクルを 1 秒として動作するため、1 秒につき 1 クロックサイクル分、時計が進みます。1 秒ごとに 1 クロックサイクル分、時計が進むため、1 秒ごとに 1 クロックサイクル分、時計を遅らせることで補正できます。

レジスタ設定内容：

- RADJ.PMADJ[1:0] ビット = 10b (遅らせる)
- RADJ.ADJ[5:0] ビット = 1 (01h)
1 秒の割り込みごとに RADJ レジスタに書き込む

21.3.8.3 補正モードの変更手順

補正モードを変更する場合は、RADJ.PMADJ[1:0] ビットを“00b” (補正しない) にした後、RCR2.AADJE ビットを変更してください。

ソフトウェアによる補正から、自動補正に切り替える場合

- (1) RADJ.PMADJ[1:0] ビットを“00b” (補正しない) にする
- (2) RCR2.AADJE ビットを“1” (自動補正機能許可) にする
- (3) RCR2.AADJP ビットで補正周期を選択する
- (4) RADJ.PMADJ[1:0] ビットに補正方向を、RADJ.ADJ[5:0] ビットに時計誤差補正値を設定する

自動補正から、ソフトウェアによる補正に切り替える場合

- (1) RADJ.PMADJ[1:0] ビットを“00b” (補正しない) にする
- (2) RCR2.AADJE ビットを“0” (ソフトウェアによる補正機能有効) にする
- (3) 任意のタイミングで RADJ.PMADJ[1:0] ビットに補正方向を、RADJ.ADJ[5:0] ビットに時計誤差補正値を書き込むと補正を行う。以降、RADJ レジスタに書き込むごとに補正を行う。

21.3.8.4 補正機能の停止手順

補正機能を停止する場合は、RADJ.PMADJ[1:0] ビットを“00b” (補正しない) にしてください。

21.4 割り込み要因

RTCの割り込み要因には、以下の3種類があります。表21.3にRTCの割り込み要因を示します。

表21.3 RTCの割り込み要因

名称	割り込み要因
ALM	アラーム割り込み
PRD	周期割り込み
CUP	桁上げ割り込み

(1) アラーム割り込み (ALM)

アラームレジスタと時計カウンタとの比較結果によって割り込みが発生します（詳細は「21.3.6 アラーム機能」を参照してください）。

アラームレジスタの設定中に時計カウンタと一致し、割り込みフラグが“1”になる可能性があるため、アラームレジスタの変更後、アラーム時刻設定の確定を待ち、一度ALM割り込みに対応したIRフラグを“0”にしてください。アラーム割り込みの割り込みフラグは、一度“0”にすると、再度アラームレジスタと時計カウンタが不一致状態になった後、再び一致するかアラームの再設定を行うまで“1”になりません。

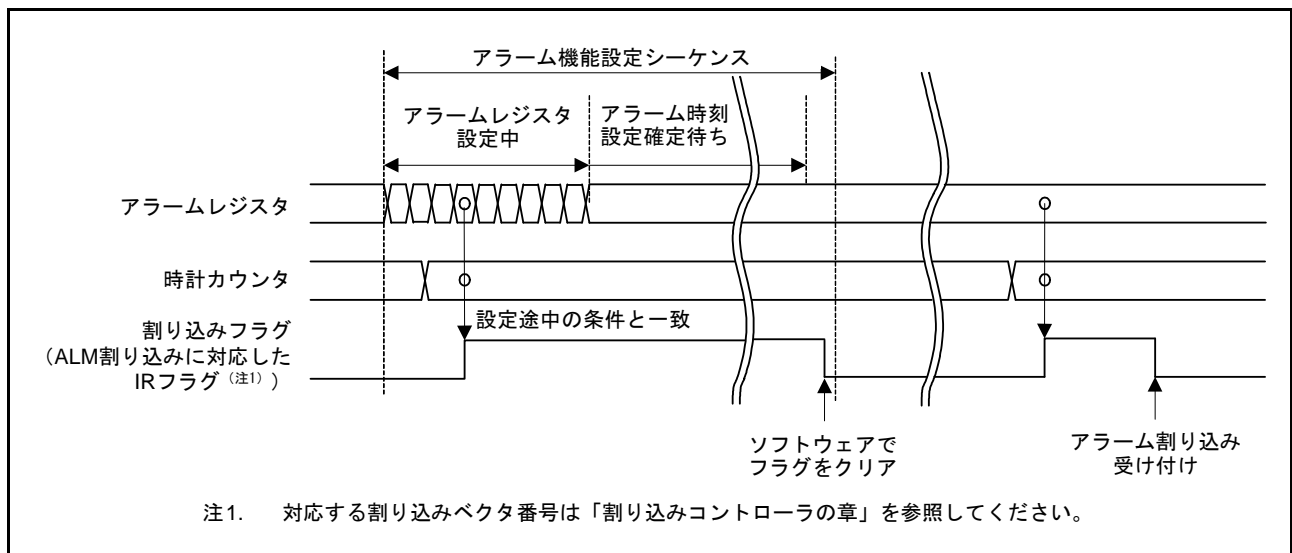


図 21.9 アラーム割り込み (ALM) のタイミングチャート

(2) 周期割り込み (PRD)

2秒、1秒、1/2秒、1/4秒、1/8秒、1/16秒、1/32秒、1/64秒、1/128秒、1/256秒周期で発生する割り込みです。RCR1.PES[3:0]ビットによって周期の選択が可能です。

(3) 桁上げ割り込み (CUP)

秒カウンタ/バイナリカウンタ 0 への桁上げが発生したとき、または 64Hz カウンタ読み出しと R64CNT カウンタへの桁上げが重なったときに発生する割り込みです。

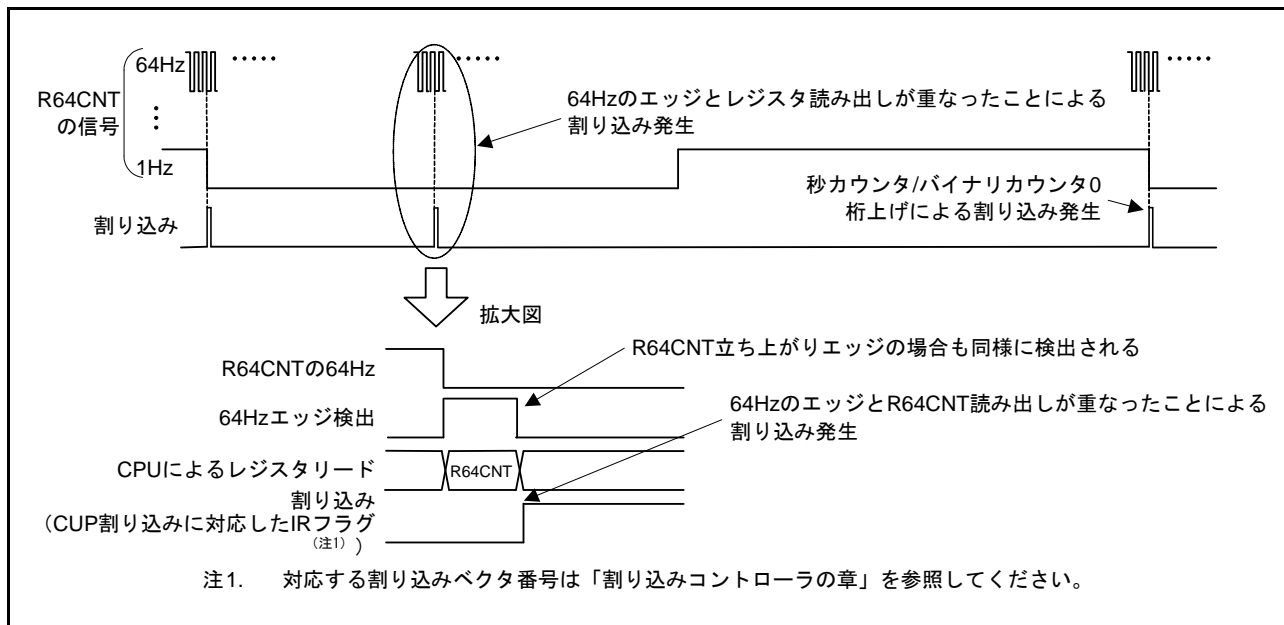


図 21.10 桁上げ割り込み (CUP) のタイミングチャート

21.5 使用上の注意事項

21.5.1 カウント動作時のレジスタ書き込みについて

カウント動作時 (RCR2.START ビット = 1 のとき) は、以下のレジスタに書き込みを行わないでください。

RSECCNT/BCNT0、RMINCNT/BCNT1、RHRCNT/BCNT2、RDAYCNT、RWKCNT/BCNT3、RMONCNT、RYRCNT、RCR1.RTCOS、RCR2.RTCOE、RCR2.HR24

上記のレジスタへの書き込みを行う場合は、一度カウント動作を停止してから書き込んでください。

21.5.2 周期割り込みの使用について

周期割り込みの使用方法を図 21.11 に示します。

周期割り込みは、RCR1.PES[3:0] ビットの設定によって割り込みの発生および周期を切り替えることができます。しかし、割り込み発生にプリスケアラ、R64CNT、RSECCNT/BCNT0 カウンタを使用しているため、RCR1.PES[3:0] ビット設定直後の割り込み発生周期は保証されません。

RCR2 レジスタによって、カウント動作の停止/動作、RTC ソフトウェアリセット、30 秒調整を行うと、割り込み発生周期に影響を与えます。また、時計誤差補正機能を使用した場合、補正後の割り込み発生周期は、補正值の分だけ周期がずれます。

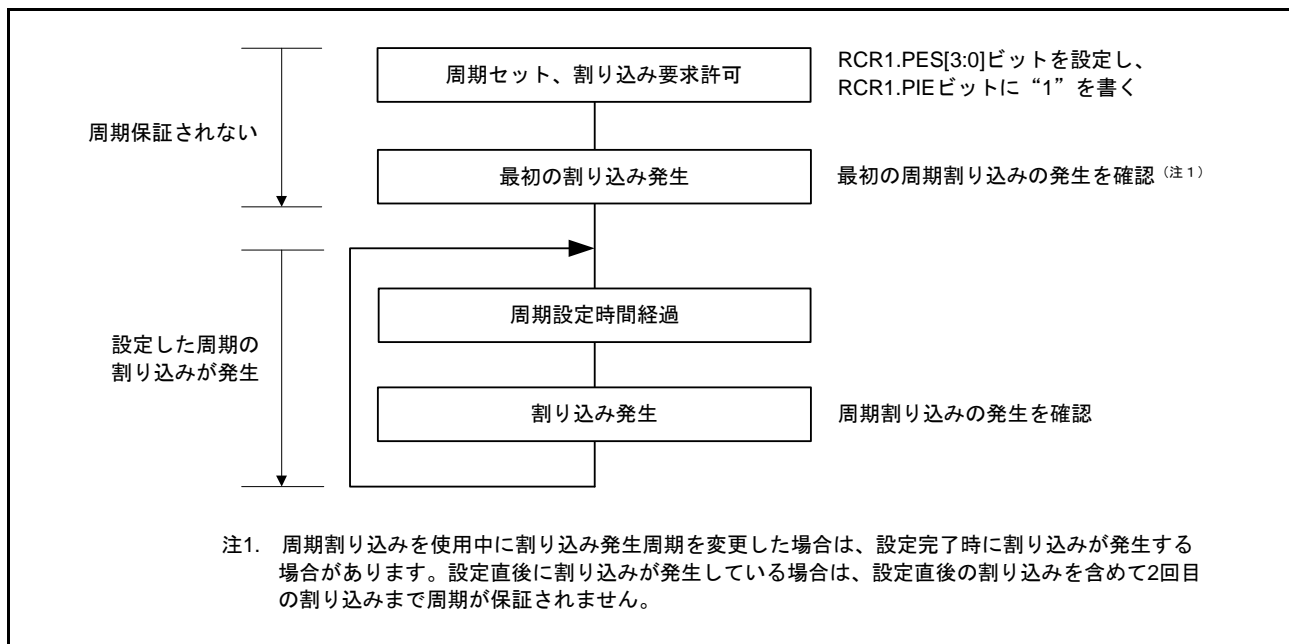


図 21.11 周期割り込み機能の使用方法

21.5.3 RTCOUT (1Hz/64Hz) 出力について

RCR2 レジスタによって、カウント動作の停止/動作、RTC ソフトウェアリセット、30 秒調整を行うと、RTCOUT (1Hz/64Hz) 出力の周期に影響を与えます。また、時計誤差補正機能を使用した場合、補正後の RTCOUT (1Hz/64Hz) 出力の周期は、補正值の分だけ周期がずれます。

21.5.4 レジスタ設定後の低消費電力モード移行について

RTC 内レジスタへの書き込み、およびレジスタ更新処理中に低消費電力状態（ソフトウェアスタンバイモード）へ遷移すると、レジスタ値を破壊する可能性があります。レジスタ設定後は、設定されたことを確認してから低消費電力状態に遷移してください。

21.5.5 レジスタの書き込み / 読み出し時の注意事項

- 秒カウンタ / バイナリカウンタなど、カウントレジスタの読み出しは、「21.3.5 64Hz カウンタおよび時刻読み出し手順」に従ってください。
- カウントレジスタ、アラームレジスタ、年アラーム許可レジスタ、RCR2.AADJE, AADJP, HR24 ビット、RCR3 レジスタに書いた値は、書き込み後 4 回目の読み出しから反映されます。
- RCR1.CIE, RTCOS ビット、RCR2.RTCOE ビットは、書き込み後すぐに書いた値を読み出すことができません。
- リセットまたはソフトウェアスタンバイモード状態から復帰した後に時計カウンタの値を読み出すときは、時計動作中（RCR2.START ビット = “1”）で 1/128 秒待ってから読み出しを行ってください。
- リセット発生後、RTC レジスタへの書き込みは、カウントソースクロック 6 サイクル経過後に行ってください。

21.5.6 カウントモードの変更について

カウントモード（カレンダー / バイナリ）を変更する場合には、RCR2.START ビットを “0” に設定し、カウント動作を停止させてから初期設定からやり直してください。初期設定の詳細は「21.3.1 電源投入後のレジスタの初期設定概要」を参照してください。

21.5.7 リアルタイムクロックを使用しない場合の初期化手順

RTC内のレジスタは、リセットによる初期化が行われないため、初期状態によっては意図しない割り込み要求が発生したり、カウンタが動作することにより、電力消費量が多くなります。

リアルタイムクロックを必要としない製品では、**図 21.12**に示す初期化手順に従って、レジスタの初期化をしてください。

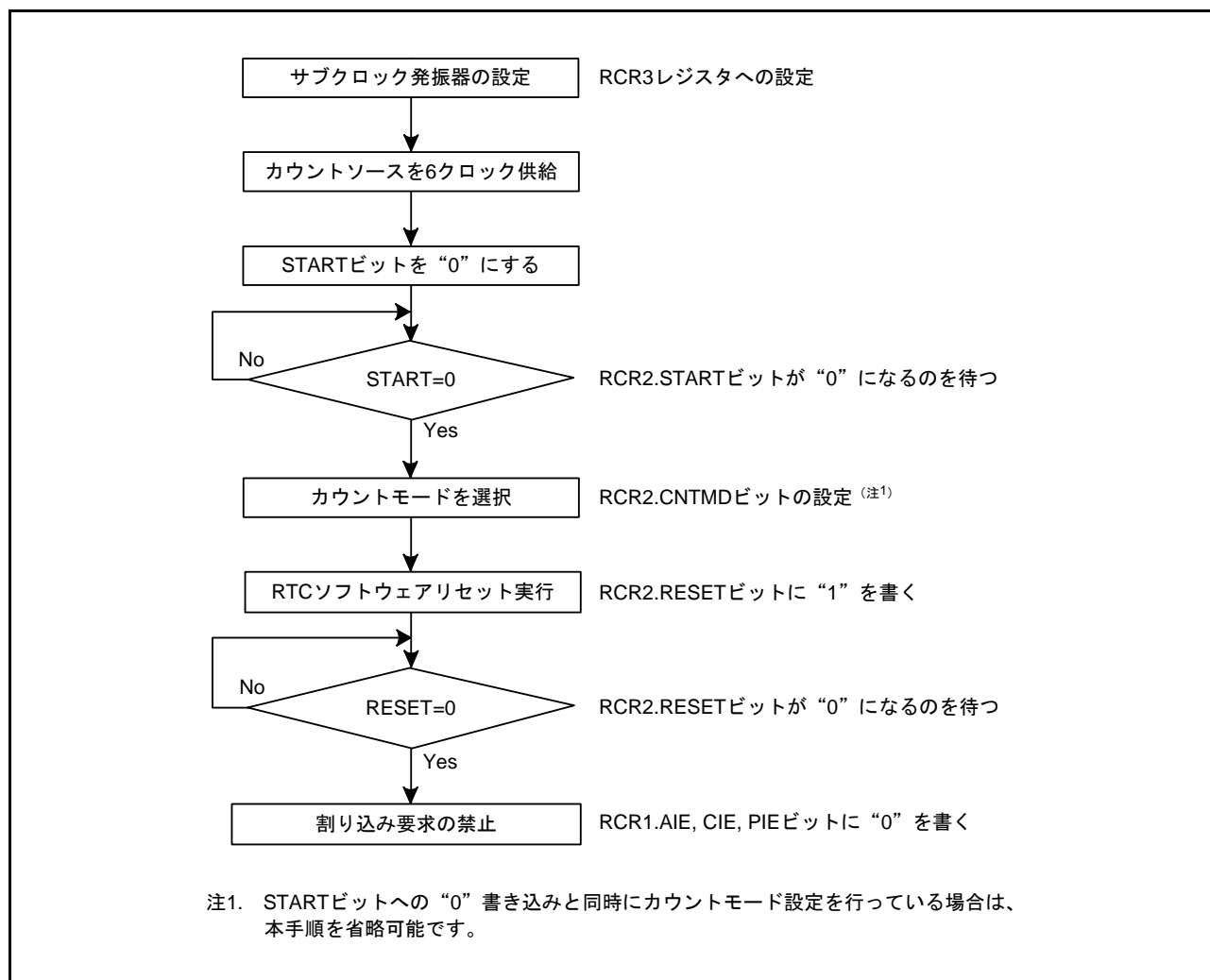


図 21.12 初期化手順

22. 独立ウォッチドッグタイマ (IWDTa)

本章に記載している PCLK とは PCLKB を指します。

22.1 概要

独立ウォッチドッグタイマ (IWDT) は、プログラムの暴走を検知するために使用できます。IWDT のカウンタがアンダフローする前にリフレッシュするようプログラムを作成しておき、アンダフローが発生したら暴走したと判断できます。

WDT とは以下の点で機能が異なります。

- カウントソースは IWDT 専用低速クロック (IWDTCLK) を分周したもの (PCLK の影響を受けない)
- スリープモード、ソフトウェアスタンバイモード、またはディープスリープモードに遷移する場合に、カウンタを停止しない選択が可能 (IWDTCSR.SLCSTP ビットまたは、OFS0.IWDTSLCSTP ビットで選択)

表 22.1 に IWDT の仕様を、図 22.1 に IWDT のブロック図を示します。

表22.1 IWDTの仕様

項目	内容
カウントソース (注1)	IWDT専用クロック (IWDTCLK)
クロック分周比	1分周/16分周/32分周/64分周/128分周/256分周
カウント動作	14ビットのダウンカウンタによるダウンカウント
カウント開始条件	<ul style="list-style-type: none"> • リセット後、自動的にカウント開始 (オートスタートモード) • リフレッシュ (IWDTRR レジスタに "00h" を書き込み後、"FFh" を書き込む) により、カウント開始 (レジスタスタートモード)
カウント停止条件	<ul style="list-style-type: none"> • リセット (ダウンカウンタ、レジスタは初期値に戻る) • アンダフロー、リフレッシュエラー発生時 • カウント再開 (オートスタートモード: リセットもしくはノンマスクابل割り込み要求を出力後に自動でカウント再開、レジスタスタートモード: リフレッシュ後にカウント再開)
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
リセット出力要因	<ul style="list-style-type: none"> • ダウンカウンタがアンダフローしたとき • リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)
ノンマスクابل割り込み要因	<ul style="list-style-type: none"> • ダウンカウンタがアンダフローしたとき • リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)
カウンタ値の読み出し	IWDTSR レジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能
出力信号 (内部信号)	<ul style="list-style-type: none"> • リセット出力 • 割り込み要求出力 • スリープモードカウント停止制御出力
オートスタートモード (オプション機能選択レジスタ0 (OFS0) 制御)	<ul style="list-style-type: none"> • リセット後のクロック分周比の選択 (OFS0.IWDTCKS[3:0] ビット) • 独立ウォッチドッグタイマのタイムアウト期間の選択 (OFS0.IWDTTOPS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (OFS0.IWDTRPSS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (OFS0.IWDTRPES[1:0] ビット) • リセット出力、または割り込み要求出力の選択 (OFS0.IWDTIRSTIRQS ビット) • スリープモード、ソフトウェアスタンバイモード、またはディープスリープモード遷移時のダウンカウント停止の選択 (OFS0.IWDTSLCSTP ビット)
レジスタスタートモード (IWDTレジスタ制御)	<ul style="list-style-type: none"> • リフレッシュ動作後のクロック分周比の選択 (IWDTCSR.CKS[3:0] ビット) • 独立ウォッチドッグタイマのタイムアウト期間の選択 (IWDTCSR.TOPPS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (IWDTCSR.RPSS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (IWDTCSR.RPES[1:0] ビット) • リセット出力、または割り込み要求出力の選択 (IWDTCSR.RSTIRQS ビット) • スリープモード、ソフトウェアスタンバイモード、またはディープスリープモード遷移時のダウンカウント停止の選択 (IWDTCSR.SLCSTP ビット)

注1. 周辺モジュールクロック周波数 (PCLK) $\geq 4 \times$ (カウントソースの分周後周波数) となるようにしてください。

IWDT 使用時は、周辺モジュールクロック (PCLK) が停止した場合に備え、IWDT 専用クロック (IWDTCLK) が必要です。バスインタフェース部とレジスタ部は PCLK で動作し、14 ビットのカウンタと制御回路は IWDTCLK で動作します。

図 22.1 に IWDT のブロック図を示します。

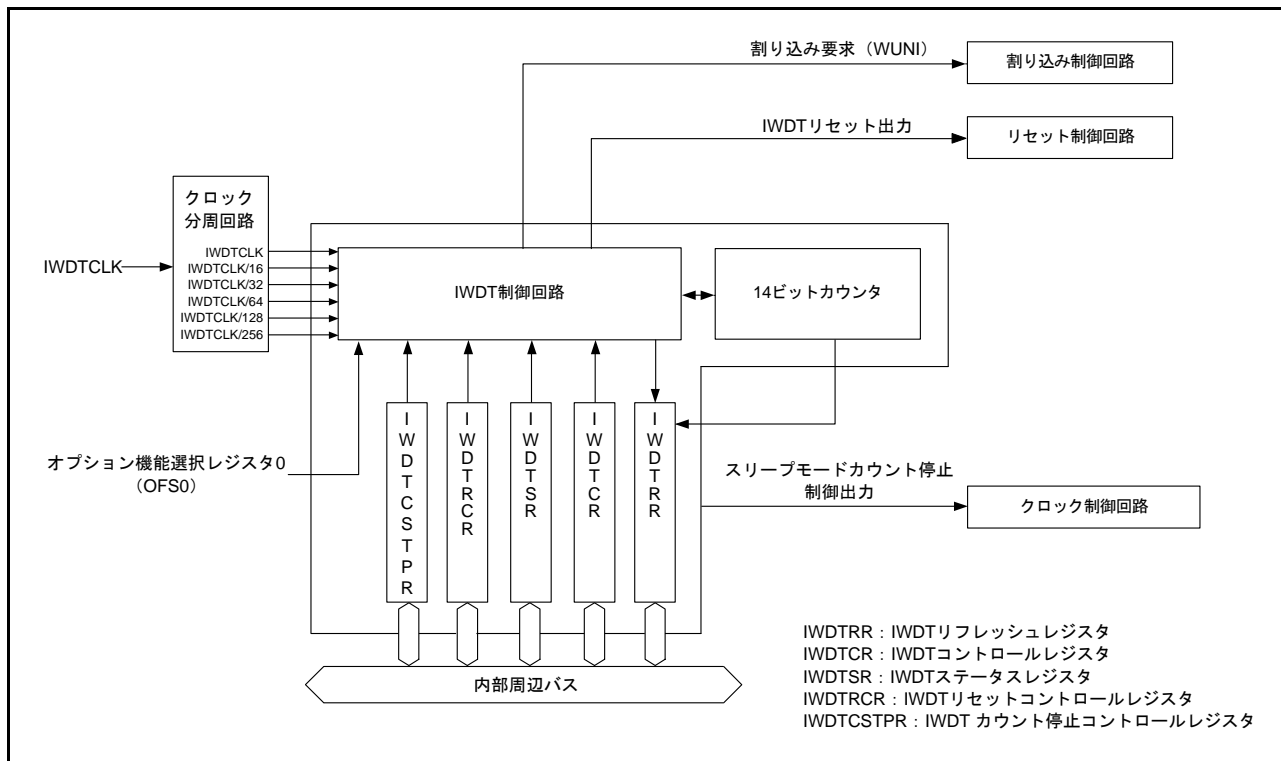
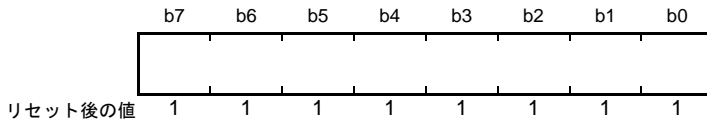


図 22.1 IWDT のブロック図

22.2 レジスタの説明

22.2.1 IWDT リフレッシュレジスタ (IWDTRR)

アドレス IWDT.IWDTRR 0008 8030h



ビット	機能	R/W
b7-b0	“00h”書き込み後、“FFh”の書き込みでリフレッシュ	R/W

IWDTRR レジスタは、IWDT のカウンタをリフレッシュするレジスタです。

リフレッシュ許可期間中に、IWDTRR レジスタに“00h”を書き込み後、“FFh”を書き込む（リフレッシュ動作）ことにより IWDT のカウンタをリフレッシュします。

カウンタはリフレッシュされると、オートスタートモードの場合、オプション機能選択レジスタ 0 (OFS0) の IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で設定した値からダウンカウントを行います。レジスタスタートモードの場合、IWDT コントロールレジスタのタイムアウト期間選択ビット (IWDTCR.TOPS[1:0]) で設定した値からダウンカウントを行います。また、レジスタスタートモードの場合、リセット解除後の最初のリフレッシュ動作により、IWDTCR.TOPS[1:0] ビットで設定した値からダウンカウントを開始します。

読み出される値は、“00h”を書き込んだ場合は“00h”が、“00h”以外の値を書き込んだ場合は“FFh”となります。

リフレッシュ動作の詳細については、「22.3.3 リフレッシュ動作」を参照してください。

22.2.2 IWDT コントロールレジスタ (IWDTCR)

アドレス IWDT.IWDTCR 0008 8032h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	RPSS[1:0]	—	—	RPES[1:0]	CKS[3:0]			—	—	TOPS[1:0]					
リセット後の値	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択ビット	b1 b0 0 0 : 128サイクル (007Fh) 0 1 : 512サイクル (01FFh) 1 0 : 1024サイクル (03FFh) 1 1 : 2048サイクル (07FFh)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7-b4	CKS[3:0]	クロック分周比選択ビット	b7 b4 0 0 0 0 : 分周なし 0 0 1 0 : 16分周 0 0 1 1 : 32分周 0 1 0 0 : 64分周 1 1 1 1 : 128分周 0 1 0 1 : 256分周 上記以外は設定しないでください	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択ビット	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択ビット	b13 b12 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

IWDTCR レジスタへの書き込みには制限があります。詳細については、「22.3.2 IWDTCR レジスタ、IWDTCR レジスタ、IWDTCRSTPR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、IWDTCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。オプション機能選択レジスタ 0 (OFS0) の設定は、IWDTCR レジスタの各ビットと同様の設定が可能です。詳細については、「22.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

TOPS[1:0] ビット (タイムアウト期間選択ビット)

カウンタがアンダフローするまでのタイムアウト期間を CKS[3:0] ビットで設定した分周クロックを1サイクルとして、128 サイクル / 512 サイクル / 1024 サイクル / 2048 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (IWDTCLK 数) は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 22.2 に CKS[3:0] ビット、TOPS[1:0] ビットの設定と、タイムアウト期間および IWDTCLK 数の関係を示します。

表 22.2 タイムアウト期間設定表

CKS[3:0]ビット				TOPS[1:0]ビット		クロック分周比	タイムアウト期間 (サイクル数)	IWDTCLK数
b7	b6	b5	b4	b1	b0			
0	0	0	0	0	0	分周なし	128	128
				0	1		512	512
				1	0		1024	1024
				1	1		2048	2048
0	0	1	0	0	0	16分周	128	2048
				0	1		512	8192
				1	0		1024	16384
				1	1		2048	32768
0	0	1	1	0	0	32分周	128	4096
				0	1		512	16384
				1	0		1024	32768
				1	1		2048	65536
0	1	0	0	0	0	64分周	128	8192
				0	1		512	32768
				1	0		1024	65536
				1	1		2048	131072
1	1	1	1	0	0	128分周	128	16384
				0	1		512	65536
				1	0		1024	131072
				1	1		2048	262144
0	1	0	1	0	0	256分周	128	32768
				0	1		512	131072
				1	0		1024	262144
				1	1		2048	524288

CKS[3:0] ビット (クロック分周比選択ビット)

IWDT は、IWDTCLK を分周する分周比設定を 1 分周 / 16 分周 / 32 分周 / 64 分周 / 128 分周 / 256 分周から選択します。TOPS[1:0] ビットと組み合わせて、IWDT のカウント期間を IWDTCLK の 128 ~ 524288 クロックの間で設定できます。

RPES[1:0] ビット (ウィンドウ終了位置選択ビット)

カウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

RPSS[1:0] ビット、RPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウント値は、TOPS[1:0] ビットの設定により変わります。

表 22.3 に TOPS[1:0] ビットの値に対応したウィンドウ開始 / 終了位置のカウント値を示します。

表22.3 タイムアウト期間とウィンドウ許可/終了カウンタ値対応表

TOPS[1:0]ビット		タイムアウト期間		リフレッシュ許可/終了カウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	128	007Fh	007Fh	005Fh	003Fh	001Fh
0	1	512	01FFh	01FFh	017Fh	00FFh	007Fh
1	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
1	1	2048	07FFh	07FFh	05FFh	03FFh	01FFh

RPSS[1:0] ビット (ウィンドウ開始位置選択ビット)

カウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

図 22.2 に RPSS[1:0] ビット、RPES[1:0] ビットの設定値と、リフレッシュ許可 / 禁止期間の関係を示します。

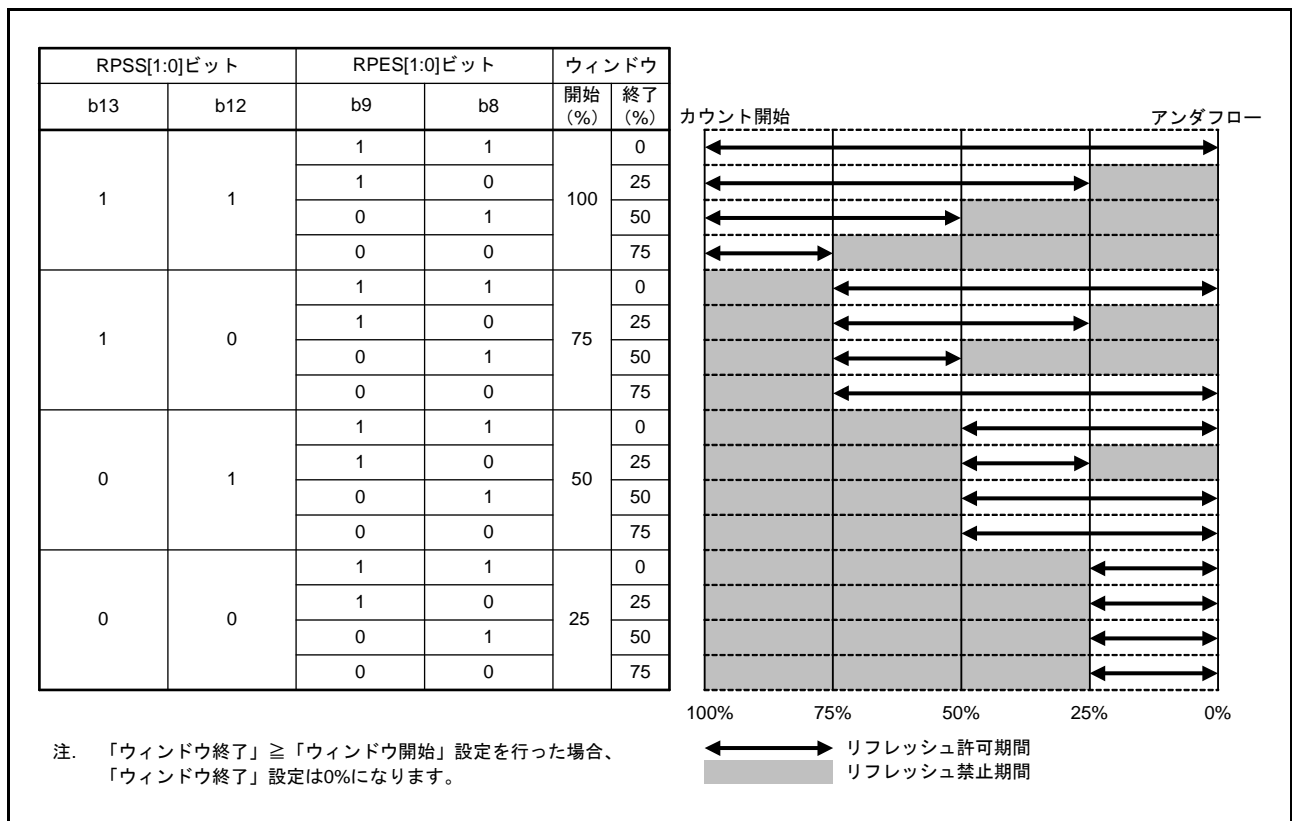
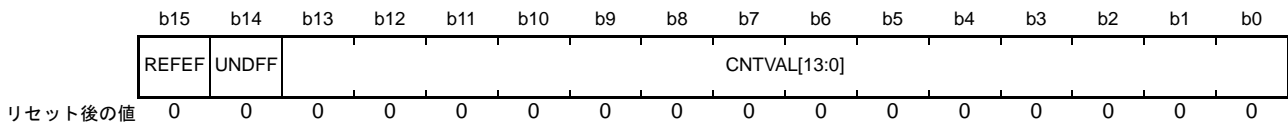


図 22.2 RPSS[1:0] ビット、RPES[1:0] ビットとリフレッシュ許可期間

22.2.3 IWDT ステータスレジスタ (IWDTSR)

アドレス IWDT.IWDTSR 0008 8034h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	カウンタ値ビット	カウンタのカウンタ値	R
b14	UNDFE	アンダフローフラグ	0: アンダフローなし 1: アンダフロー発生	R/(W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0: リフレッシュエラーなし 1: リフレッシュエラー発生	R/(W) (注1)

注1. フラグを“0”にするための“0”書き込みのみ可能です。

IWDTSR レジスタは、IWDT へのリセット要因により初期化されます。それ以外のリセット要因では初期化されません。

CNTVAL[13:0] ビット (カウンタ値ビット)

カウンタのカウンタ値を確認することができます。ただし、読み出されるカウンタ値は、カウンタの実際の値に対し1カウントずれることがあります。

UNDFE フラグ (アンダフローフラグ)

カウンタのアンダフロー発生状態を確認することができます。

読み出した値が“1”のとき、カウンタはアンダフローが発生した状態です。読み出した値が“0”のとき、アンダフローは発生していません。

値を“0”にするには、UNDFE フラグに“0”を書き込んでください。“1”の書き込みは無効です。

REFEF フラグ (リフレッシュエラーフラグ)

リフレッシュエラー (リフレッシュ禁止期間中のリフレッシュ動作) の発生状態を確認することができます。

読み出した値が“1”のとき、リフレッシュエラーが発生した状態です。読み出した値が“0”のとき、リフレッシュエラーは発生していません。

値を“0”にするには、REFEF フラグに“0”を書き込んでください。“1”の書き込みは無効です。

22.2.4 IWDT リセットコントロールレジスタ (IWDTRCR)

アドレス IWDT.IWDTRCR 0008 8036h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTIR QS	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	RSTIRQS	リセット割り込み要求選択ビット	0: ノンマスクブル割り込み要求出力を許可 1: リセット出力を許可	R/W

IWDTRCR レジスタへの書き込みには制限があります。詳細については、「22.3.2 IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、IWDTRCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。オプション機能選択レジスタ 0 (OFS0) の設定は、IWDTRCR レジスタの各ビットと同様の設定が可能です。詳細については、「22.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

22.2.5 IWDT カウント停止コントロールレジスタ (IWDTCSSTPR)

アドレス IWDT.IWDTCSSTPR 0008 8038h

	b7	b6	b5	b4	b3	b2	b1	b0
	SLCSTP	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと"0"が読めます。書き込みは無効になります	R
b7	SLCSTP	スリープモードカウント停止制御ビット	0: カウント停止無効 1: スリープモード、ソフトウェアスタンバイモード、およびディープスリープモード遷移時のカウント停止有効	R/W

低消費電力状態時、IWDT のカウンタを停止させるかどうかを設定するレジスタです。なお、IWDTCSSTPR レジスタへの書き込みには制限があります。詳細については、「22.3.2 IWDTCSR レジスタ、IWDTCSR レジスタ、IWDTCSSTPR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、IWDTCSSTPR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。オプション機能選択レジスタ 0 (OFS0) の設定は、IWDTCSSTPR レジスタの各ビットと同様の設定が可能です。詳細については、「22.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

SLCSTP ビット (スリープモードカウント停止制御ビット)

スリープモード、ソフトウェアスタンバイモード、およびディープスリープモード遷移時のカウント停止を選択します。

22.2.6 オプション機能選択レジスタ 0 (OFS0)

オプション機能選択レジスタ 0 (OFS0) については、「22.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

22.3 動作説明

22.3.1 カウント開始条件別の各動作

IWDT のスタートモードの選択は、オプション機能選択レジスタ 0 (OFS0) の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) で行います。

OFS0.IWDTSTRT ビットが“1” (レジスタスタートモード) の場合、IWDT コントロールレジスタ (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、IWDT カウント停止コントロールレジスタ (IWDTCSTPR) の設定が有効となり、IWDT リフレッシュレジスタ (IWDTRR) へのリフレッシュ動作でカウントが開始されます。OFS0.IWDTSTRT ビットが“0” (オートスタートモード) の場合、オプション機能選択レジスタ 0 (OFS0) が有効となり、リセット後、自動的にカウントが開始されます。

22.3.1.1 レジスタスタートモード

オプション機能選択レジスタ 0 (OFS0) の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が“1” の場合、レジスタスタートモードとなり、IWDT コントロールレジスタ (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、および IWDT カウント停止コントロールレジスタ (IWDTCSTPR) が有効となります。

リセット解除後、IWDTCR レジスタにクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、IWDTRCR レジスタにリセット出力/割り込み要求出力、また IWDTCSTPR レジスタに低消費電力状態への遷移時での IWDT のカウンタのカウント停止制御の設定を行います。その後、リフレッシュ動作でカウンタにタイムアウト期間選択ビット (IWDTCR.TOPS[1:0]) で選択した値がセットされダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、IWDT はリセットを出力しません。しかし、プログラムの暴走などによりカウンタのリフレッシュが行われず、カウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセットを出力するか、もしくはノンマスカブル割り込み要求 (WUNI) を出力します。IWDT リセット割り込み要求選択ビット (IWDTRCR.RSTIRQS) で、リセット出力、または割り込み要求出力のいずれかを選択します。

図 22.3 に以下の条件での動作例を示します。

- IWDT スタートモード選択ビット (OFS0.IWDTSTRT) : “1” (レジスタスタートモード)
- IWDT リセット割り込み要求選択ビット (IWDTRCR.RSTIRQS) : “1” (リセット出力許可)
- IWDT ウィンドウ開始位置選択ビット (IWDTCR.RPSS[1:0]) : “10b” (75%)
- IWDT ウィンドウ終了位置選択ビット (IWDTCR.RPES[1:0]) : “10b” (25%)

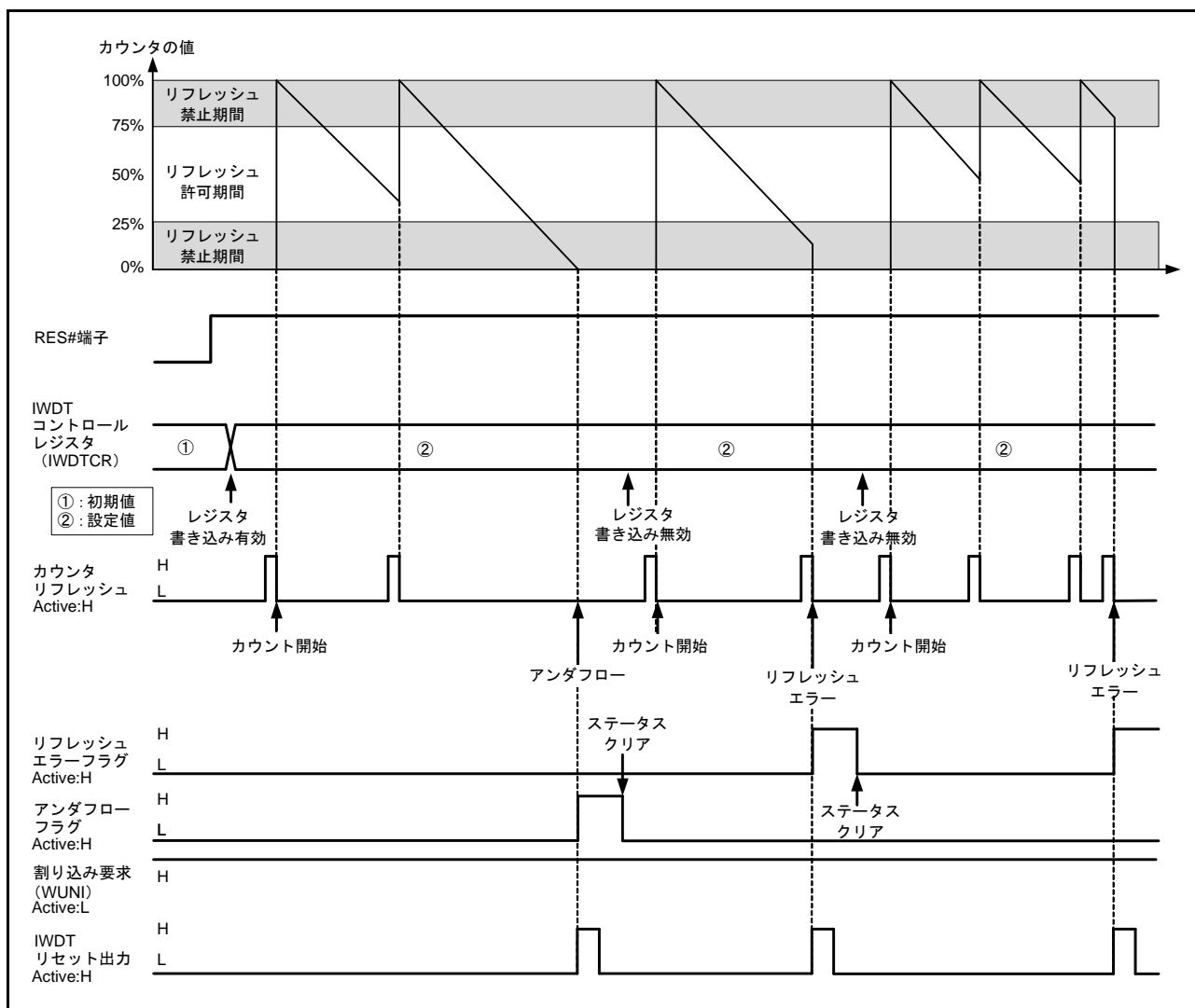


図 22.3 レジスタスタートモード動作例

22.3.1.2 オートスタートモード

オプション機能選択レジスタ 0 (OFS0) の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が “0” の場合、オートスタートモードとなり、IWDT コントロールレジスタ 0 (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、および IWDT カウント停止コントロールレジスタ (IWDTCSSTPR) が無効となります。

また、リセット期間中にオプション機能選択レジスタ 0 (OFS0) の値を使ってクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、リセット出力/割り込み要求出力、また低消費電力状態への遷移時での IWDT のカウンタのカウント停止制御の設定が行われます。その後、リセット解除でカウンタに IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で設定されたタイムアウト期間の値がセットされ自動でダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、IWDT はリセットを出力しません。しかし、プログラムの暴走などによりカウンタのリフレッシュが行われず、カウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセットを出力するか、もしくはノンマスカブル割り込み要求 (WUNI) を出力します。リセットまたはノンマスカブル割り込み要求 (WUNI) が発生後、1 サイクルカウント後にカウンタはタイムアウト期間をリロードし、カウント動作を再開します。IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) で、リセット出力、または割り込み要求出力のいずれかを選択します。

図 22.4 に以下の条件での動作例を示します。

- IWDT スタートモード選択ビット (OFS0.IWDTSTRT) : “0” (オートスタートモード)
- IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) : “0” (ノンマスカブル割り込み要求出力許可)
- IWDT ウィンドウ開始位置選択ビット (OFS0.IWDRPSS[1:0]) : “10b” (75%)
- IWDT ウィンドウ終了位置選択ビット (OFS0.IWDRPES[1:0]) : “10b” (25%)

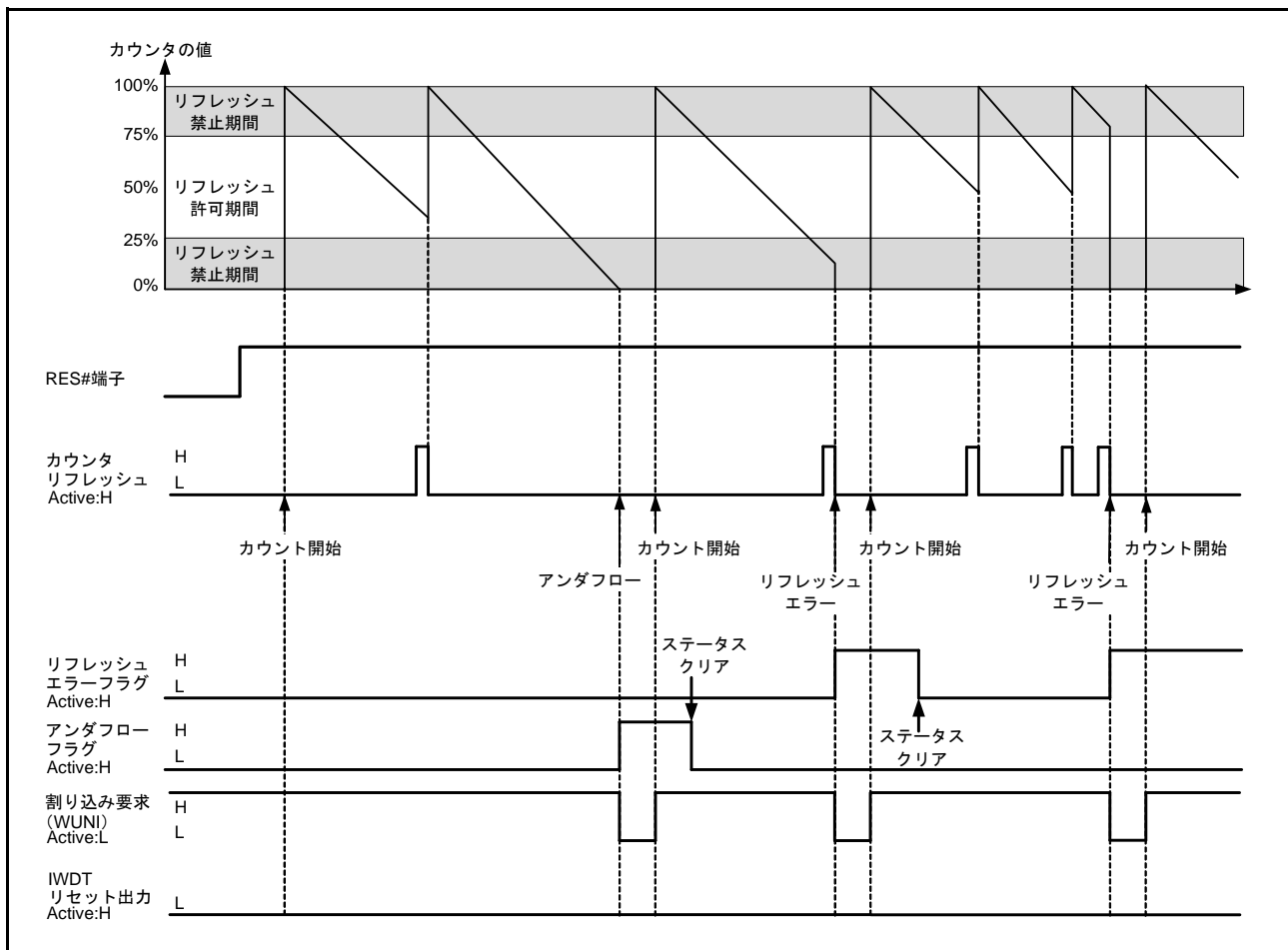


図 22.4 オートスタートモード動作例

22.3.2 IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSPTPR レジスタ書き込み制御

IWDT コントロールレジスタ (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、および IWDT カウント停止コントロールレジスタ (IWDTCSPTPR) への書き込みは、リセット解除後から最初のリフレッシュ動作までの間に 1 回のみ可能です。

リフレッシュ動作 (カウントスタート) 後、もしくは IWDTCR、IWDTRCR、または IWDTCSPTPR レジスタへ書き込みを行うと、IWDT 内部のプロテクト信号が“1”となり、以後 IWDTCR、IWDTRCR、および IWDTCSPTPR レジスタへの書き込みをプロテクトします。

IWDT へのリセット要因により、プロテクトは解除されます。それ以外のリセット要因では解除されません。

図 22.5 に IWDTCR レジスタ書き込み制御波形を示します。

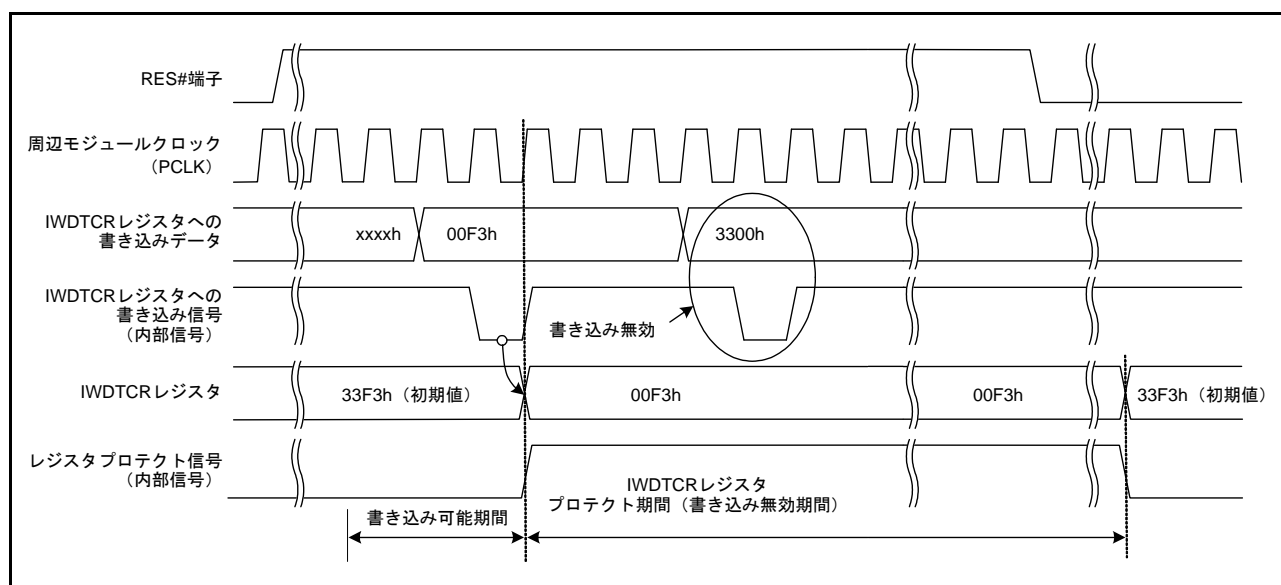


図 22.5 IWDTCR レジスタ書き込み制御波形

22.3.3 リフレッシュ動作

カウンタのリフレッシュ、およびカウンタ動作開始（リフレッシュによるカウント開始）を行うには、IWDTRR リフレッシュレジスタ (IWDTRR) へ“00h”書き込みに続けて“FFh”書き込みを行います。“00h”書き込み後に“FFh”以外を書き込んだ場合、リフレッシュは行いません。再度、IWDTRR レジスタへ“00h”→“FFh”の順で書き込むことにより、リフレッシュを正常に行うことができます。

なお、“00h” (1回目) → “00h” (2回目) の書き込みを行った場合でも、その後“FFh”を書き込むことにより、“00h” → “FFh”順の書き込み動作が成立するため、“00h” (n-1回目) → “00h” (n回目) → “FFh”のような書き込み動作も有効となり、リフレッシュを行います。“00h”以前の書き込みが“00h”以外でも同様に、“00h” → “FFh”順の書き込み動作が成立すると、リフレッシュを行います。また、IWDTRR レジスタへの“00h”書き込みと“FFh”書き込みの間に、IWDTRR レジスタ以外へのアクセス、またはIWDTRR レジスタの読み出しを行った場合でもリフレッシュを行います。

【リフレッシュ有効書き込み例】

- “00h” → “FFh”
- “00h” (n-1回目) → “00h” (n回目) → “FFh”
- “00h” → 別レジスタアクセスまたは IWDTRR レジスタの読み出し → “FFh”

【リフレッシュ無効書き込み例】

- “23h” (“00h”以外) → “FFh”
- “00h” → “54h” (“FFh”以外)
- “00h” → “AAh” (“00h”および“FFh”以外) → “FFh”

リフレッシュ動作として、IWDTRR レジスタへの“00h”の書き込みがリフレッシュ許可期間外であっても、IWDTRR レジスタへの“FFh”の書き込みがリフレッシュ許可期間内であれば、書き込み動作が成立となりリフレッシュを行います。

なお、カウンタがリフレッシュされるタイミングは、IWDTRR レジスタに“FFh”を書き込み後、カウントサイクル数で最大4サイクル必要となります (1サイクル間のIWDTRR専用クロック (IWDTRRCLK) 数は、クロック分周比選択ビット (IWDTRR.CKS[3:0]) の設定値により異なります)。そのため、リフレッシュ許可期間終了位置から4カウント前、もしくはカウンタがアンダフローする4カウント前までに、IWDTRR レジスタへの“FFh”書き込みを完了してください。カウンタの値はカウンタ値ビット (IWDTRR.CNTVAL[13:0]) で確認できます。

【リフレッシュ動作タイミング例】

- ウィンドウ開始位置が“03FFh”とした場合、IWDTRR レジスタへの“00h”の書き込みが“03FFh”より前 (たとえば“0402h”) であっても、IWDTRR.CNTVAL[13:0] ビットの値が“03FFh”になってから、IWDTRR レジスタへ“FFh”を書き込めばリフレッシュを行います。
- ウィンドウ終了位置が“03FFh”とした場合、IWDTRR レジスタへ“00h” → “FFh”を書き込み直後に IWDTRR.CNTVAL[13:0] ビットの値を読み出して“0403h” (“03FFh”の4カウント前) 以上であればリフレッシュを行います。
- “0000h”までがリフレッシュ許可期間である場合、アンダフロー直前にリフレッシュが可能となりますが、この場合 IWDTRR レジスタへ“00h” → “FFh”を書き込み直後に IWDTRR.CNTVAL[13:0] ビットの値を読み出して“0003h” (アンダフローの4カウント前) 以上であればアンダフローは発生せず、リフレッシュを行います。

図 22.6 に PCLK > IWDTCLK、クロック分周比が IWDTCLK の場合の IWDT リフレッシュ動作波形を示します。

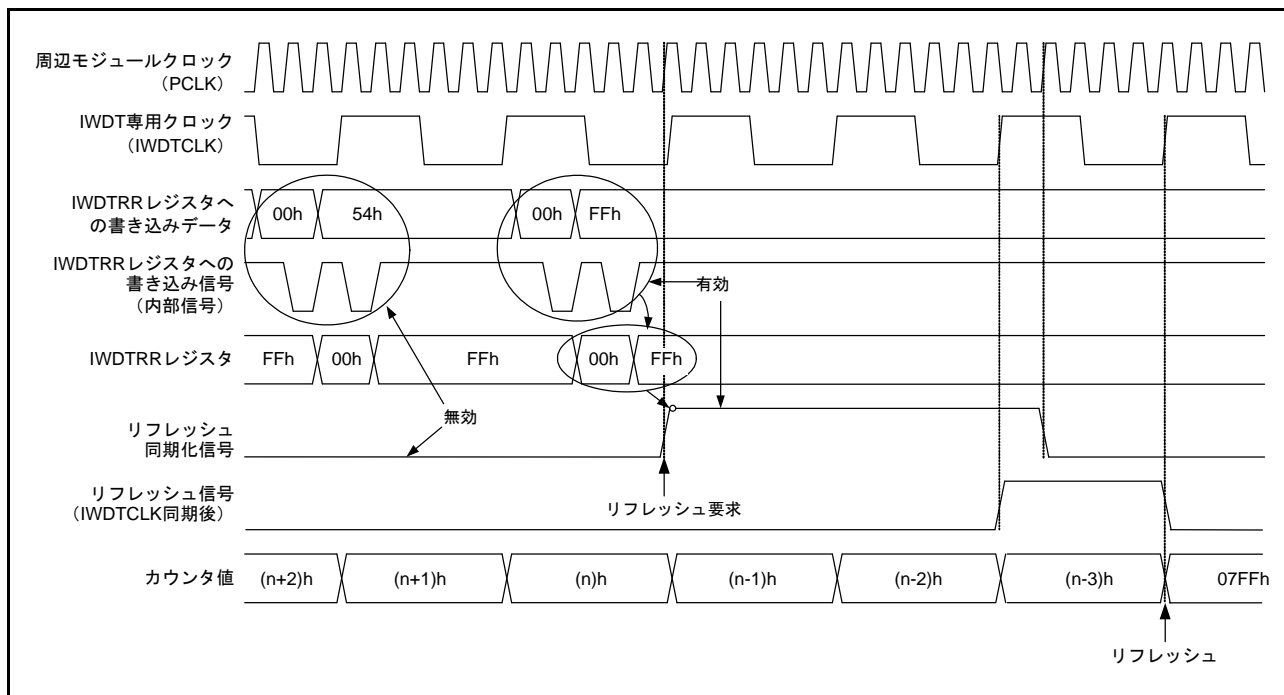


図 22.6 IWDT リフレッシュ動作波形 (IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 11b)

22.3.4 ステータスフラグ

リフレッシュエラーフラグ (IWDTSR.REFEF)、アンダフローフラグ (IWDTSR.UNDF) は、IWDT がリセットを出力した場合のリセット要因、または IWDT の割り込み要求が発生した場合の割り込み要因を保持します。

リセット解除後、もしくは割り込み要求発生時に IWDTSR.REFEF フラグ、または IWDTSR.UNDF フラグを読むことで、リセット要因、または割り込み要因の発生状態を確認することができます。

各フラグの値を“0”にするには“0”を書き込んでください。“1”の書き込みは無効です。

各フラグは、“0”にしなくても動作に影響を与えません。“0”にしない場合は、次に IWDT がリセットを出力したときに古いリセット要因はクリアされ、新しいリセット要因が書き込まれます。または、次に IWDT の割り込み要求が発生したときに古い割り込み要因はクリアされ、新しい割り込み要因が書き込まれます。

なお、各フラグに“0”を書いた後、その値が反映されるまでには、最大で IWDTCLK 3 クロックと PCLK 2 クロック必要です。

22.3.5 リセット出力

レジスタスタートモード時、リセット割り込み選択ビット (IWDTRCR.RSTIRQS) を“1”にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) を“1”にした場合、カウンタのアンダフロー、またはリフレッシュエラーにより、リセットを出力します。

レジスタスタートモードでは、リセット出力後、カウンタは初期状態 (ALL“0”) で保持されます。リセットを解除し再起動後、リフレッシュ動作を行うことによりカウンタ値が再設定されダウンカウントを開始します。

オートスタートモードでは、リセット出力後、自動でダウンカウントを開始します。

22.3.6 割り込み要因

レジスタスタートモード時、リセット割り込み選択ビット (IWDTRCR.RSTIRQS) を“0”にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) を“0”にした場合、カウンタのアンダフローまたはリフレッシュエラーが発生したとき、割り込み (WUNI) が発生します。本割り込みはノンマスクابل割り込みに対応していません。詳細は、「14. 割り込みコントローラ (ICUb)」を参照してください。

表22.4 IWDTの割り込み要因

名称	割り込み要因	DTCの起動
WUNI	カウンタのアンダフロー リフレッシュエラー	不可能

22.3.7 カウンタ値の読み出し

IWDTのカウンタはIWDT専用クロック (IWDTCLK) で動作しているため、カウンタ値を直接読み出すことはできません。そのため、IWDTはカウンタ値を周辺モジュールクロック (PCLK) で同期化し、IWDTステータスレジスタのカウンタ (IWDTSR.CNTVAL[13:0] ビット) へ格納します。IWDTSR.CNTVAL[13:0] ビットへ格納された値を読み出すことで、間接的にカウンタ値を確認することができます。

なお、読み出しにはPCLKで数クロック (最大4クロック) 必要となるため、読み出されるカウンタ値は、カウンタの実際の値に対し1カウントずれることがあります。

図 22.7 に PCLK > IWDTCLK、クロック分周比が IWDTCLK の場合の IWDT カウンタ値の読み出し処理を示します。

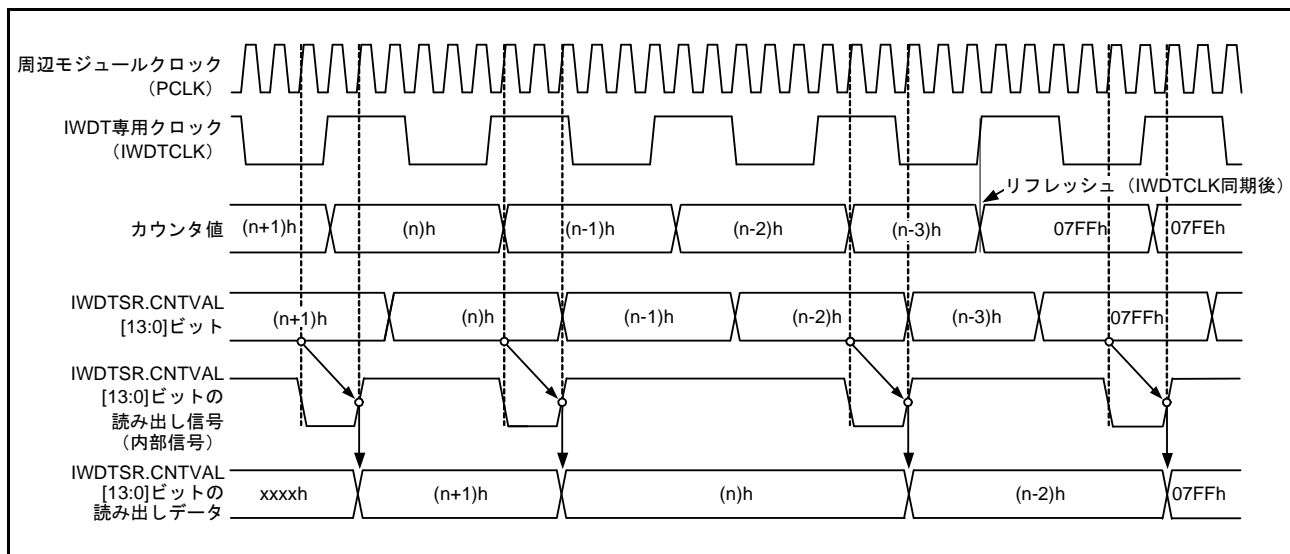


図 22.7 IWDT カウンタ値の読み出し処理
(IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 11b)

22.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応

表 22.5 にオートスタートモードで使用するオプション機能選択レジスタ 0 (OFS0) とレジスタスタートモードで使用するレジスタとの対応を示します。

OFS0 レジスタの設定は、IWDT 動作中は変更しないでください。

オプション機能選択レジスタ 0 (OFS0) については、「7.2.1 オプション機能選択レジスタ 0 (OFS0)」を参照してください。

表22.5 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応

制御	機能	OFS0 レジスタ (オートスタートモード時有効) OFS0.IWDTSTRT = 0	IWDT レジスタ (レジスタスタートモード時有効) OFS0.IWDTSTRT = 1
カウンタ	タイムアウト期間選択	OFS0.IWDTTOPS[1:0]	IWDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.IWDTCKS[3:0]	IWDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.IWDRPSS[1:0]	IWDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.IWDRPES[1:0]	IWDTCR.RPES[1:0]
リセット出力/ 割り込み要求出力	リセット出力/割り込み要求出力選択	OFS0.IWDRSTIRQS	IWDTCCR.RSTIRQS
カウント停止	スリープモードカウント停止制御	OFS0.IWDTSLCSTP	IWDTCSTPR.SLCSTP

22.4 使用上の注意事項

22.4.1 リフレッシュ動作について

リフレッシュタイミングの設定においては、PCLK と IWDTCLK の精度を考慮し、誤差の範囲で周期が変化してもリフレッシュできる値を設定してください。

22.4.2 クロック分周比の設定

周辺モジュールクロック周波数 (PCLK) $\geq 4 \times$ (カウントソースの分周後周波数) となるようにしてください。

22.4.3 電圧監視 1 リセットと IWDT リセット併用時の注意事項

オプション設定メモリの OFS1.STUPLVD1REN ビットを“0” (起動時電圧監視 1 リセット有効)、かつ OFS0.IWDRSTIRQS ビットまたは IWDTCCR.RSTIRQS ビットを“1” (IWDT リセット出力許可) にして使用する場合、「8.4 電圧監視 1 割り込み、電圧監視 1 リセット」の手順に従ってプログラムの先頭で電圧監視 1 リセットを有効にしてください。

23. シリアルコミュニケーションインタフェース (SCIE, SCIF)

本 MCU は、独立した 3 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communications Interface) を備えています。SCI は、SCIE モジュール (SCI1, SCI5) と、SCIF モジュール (SCI12) から構成されています。

SCIE (SCI1, SCI5) は、調歩同期式とクロック同期式のシリアル通信が可能です。調歩同期式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communications Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。この他、調歩同期式モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェースに対応しています。さらに、簡易 I²C バスインタフェースのシングルマスタ動作、および簡易 SPI インタフェースに対応しています。

SCIF (SCI12) は、SCIE の機能に加えて、Start Frame、Information Frame から構成される拡張シリアル通信プロトコルに対応しています。

本章に記載している PCLK とは PCLKB を指します。

23.1 概要

表 23.1 に SCIE の仕様を、表 23.2 に SCIF の仕様を、表 23.3 に SCI チャンネル別機能一覧を示します。

図 23.1 に SCI1、SCI5 のブロック図を、図 23.2 に SCI12 (SCIF) のブロック図を示します。

表 23.1 SCIE の仕様 (1/2)

項目	内容	
シリアル通信方式	<ul style="list-style-type: none"> 調歩同期式 クロック同期式 スマートカードインタフェース 簡易 I²C バス 簡易 SPI バス 	
転送速度	ボーレートジェネレータ内蔵により任意のビットレートを設定可能	
全二重通信	送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能	
入出力端子	表 23.4～表 23.6 参照	
データ転送	LSB ファースト/MSB ファースト選択可能 (注1)	
割り込み要因	送信終了、送信データエンプティ、受信データフル、受信エラー、開始条件/再開条件/停止条件生成終了 (簡易 I ² C モード用)	
消費電力低減機能	チャンネルごとにモジュールストップ状態への遷移が可能	
調歩同期式モード	データ長	7ビット/8ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	スタートビットの検出	Low または立ち下がりがリッジを選択可能
	ブレーク検出	フレーミングエラー発生時、RXDn 端子のレベルを直接リードすることでブレークを検出可能
	クロックソース	内部クロック/外部クロックの選択が可能 MTU からの転送レートクロック入力が可能 (SCI1, SCI5)
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn 端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8ビット
	受信エラーの検出	オーバランエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能

表 23.1 SCleの仕様 (2/2)

項目		内容
スマートカード インタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
簡易I ² Cモード	通信フォーマット	I ² Cバスフォーマット
	動作モード	マスタ (シングルマスタ動作のみ)
	転送速度	ファストモード対応 (転送速度は「23.2.9 ビットレートレジスタ (BRR)」 を参照して設定してください)
	ノイズ除去	SSCLn、SSDAn入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能
簡易SPIモード	データ長	8ビット
	エラーの検出	オーバランエラー
	SS入力端子機能	SSn#端子がHighのとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能

注1. 簡易I²Cモードでは、MSBファーストでのみ使用可能です。

表 23.2 SCIfの仕様 (1/2)

項目		内容
シリアル通信方式		<ul style="list-style-type: none"> 調歩同期式 クロック同期式 スマートカードインタフェース 簡易I²Cバス 簡易SPIバス
転送速度		ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
入出力端子		表 23.4～表 23.7 参照
データ転送		LSBファースト/MSBファースト選択可能 (注1)
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー、 開始条件/再開条件/停止条件生成終了 (簡易I ² Cモード用)
消費電力低減機能		モジュールストップ状態への遷移が可能
調歩同期式モード	データ長	7ビット/8ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	スタートビットの検出	Lowまたは立ち下がリエッジを選択可能
	ブレーク検出	フレーミングエラー発生時、RXDn端子のレベルを直接リードすることでブ レークを検出可能
	クロックソース	内部クロック/外部クロックの選択が可能 MTUからの転送レートクロック入力が可能 (SCI12)
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
クロック同期式モード	データ長	8ビット
	受信エラーの検出	オーバランエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
スマートカード インタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート

表 23.2 SCIfの仕様 (2/2)

項目	内容	
簡易I ² Cモード	通信フォーマット	I ² Cバスフォーマット
	動作モード	マスタ (シングルマスタ動作のみ)
	転送速度	ファストモード対応 (転送速度は「23.2.9 ビットレートレジスタ (BRR)」を参照して設定してください)
	ノイズ除去	SSCLn、SSDAn入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能
簡易SPIモード	データ長	8ビット
	エラーの検出	オーバランエラー
	SS入力端子機能	SSn#端子がHighのとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能
拡張シリアルモード	Start Frame送信	<ul style="list-style-type: none"> Break Field Low widthの出力が可能/出力完了割り込み機能あり バス衝突検出機能あり/検出割り込み機能あり
	Start Frame受信	<ul style="list-style-type: none"> Break Field Low widthの検出が可能/検出完了割り込み機能あり Control Field 0、Control Field 1のデータ比較/一致割り込み機能あり Control Field 1にはプライマリ/セカンダリの2種類の比較データを設定可能 Control Field 1にプライオリティインタラプトビットを設定可能 Break FieldがないStart Frameにも対応可能 Control Field 0がないStart Frameにも対応可能 ビットレート測定機能あり
	入出力制御機能	<ul style="list-style-type: none"> TXDX12/RXDX12信号の極性選択が可能 RXDX12信号にデジタルフィルタ機能を設定可能 RXDX12端子とTXDX12端子を兼用した半二重通信が可能 RXDX12端子受信データサンプリングタイミング選択可能 拡張シリアルモード制御部OFF時、RXDX12受信信号をSCleヘスルー出力可能
	タイマ機能	<ul style="list-style-type: none"> リロードタイマ機能として使用可能

注1. 簡易I²Cモードでは、MSBファーストでのみ使用可能です。

表 23.3 SCIチャネル別機能一覧

項目	SCI1	SCI5	SCI12
調歩同期式モード	○	○	○
クロック同期式モード	○	○	○
スマートカードインタフェースモード	○	○	○
簡易I ² Cモード	○	○	○
簡易SPIモード	○	○	○
拡張シリアルモード	—	—	○
MTUクロック入力	○	○	○

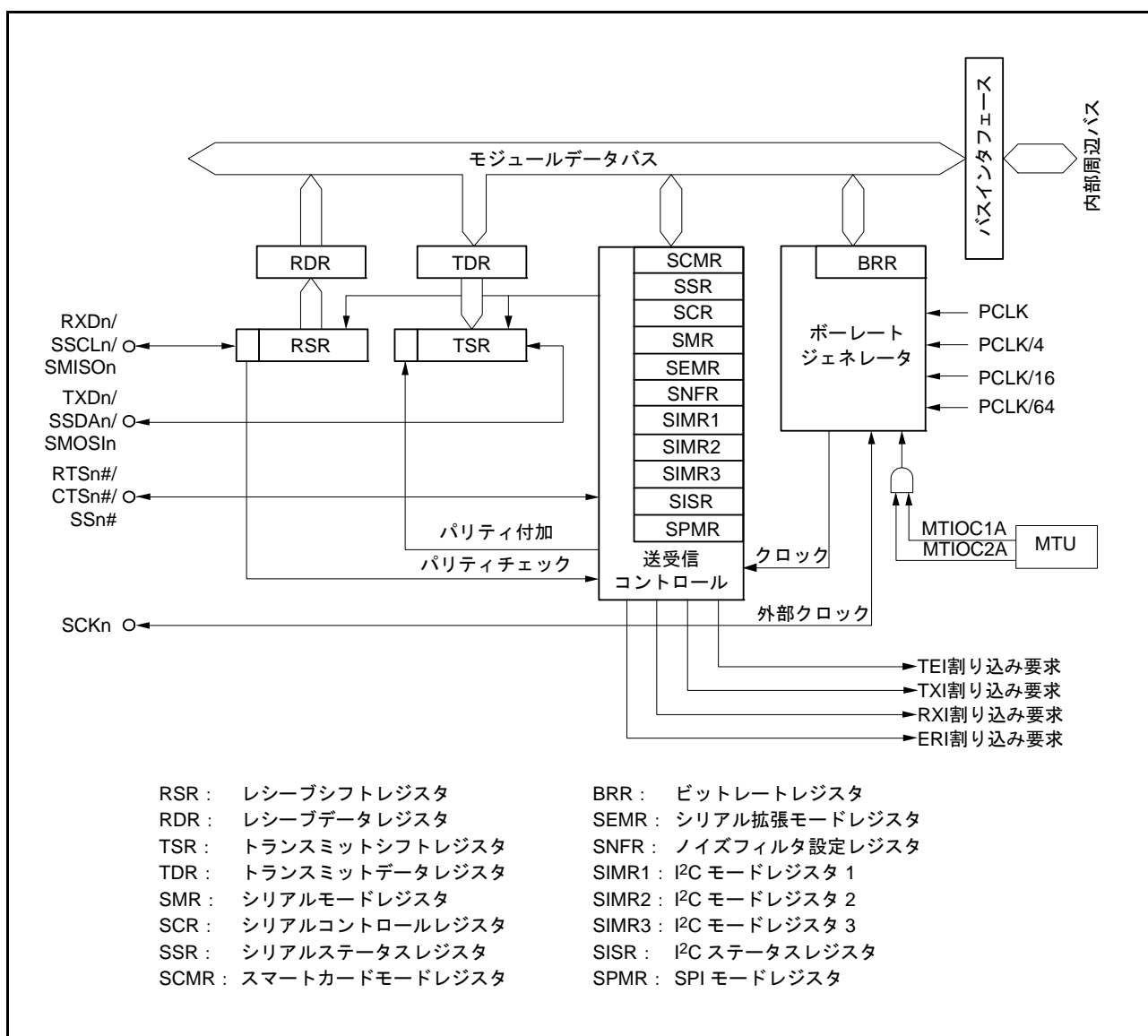


図 23.1 SCle (SCI1, SCI5) のブロック図

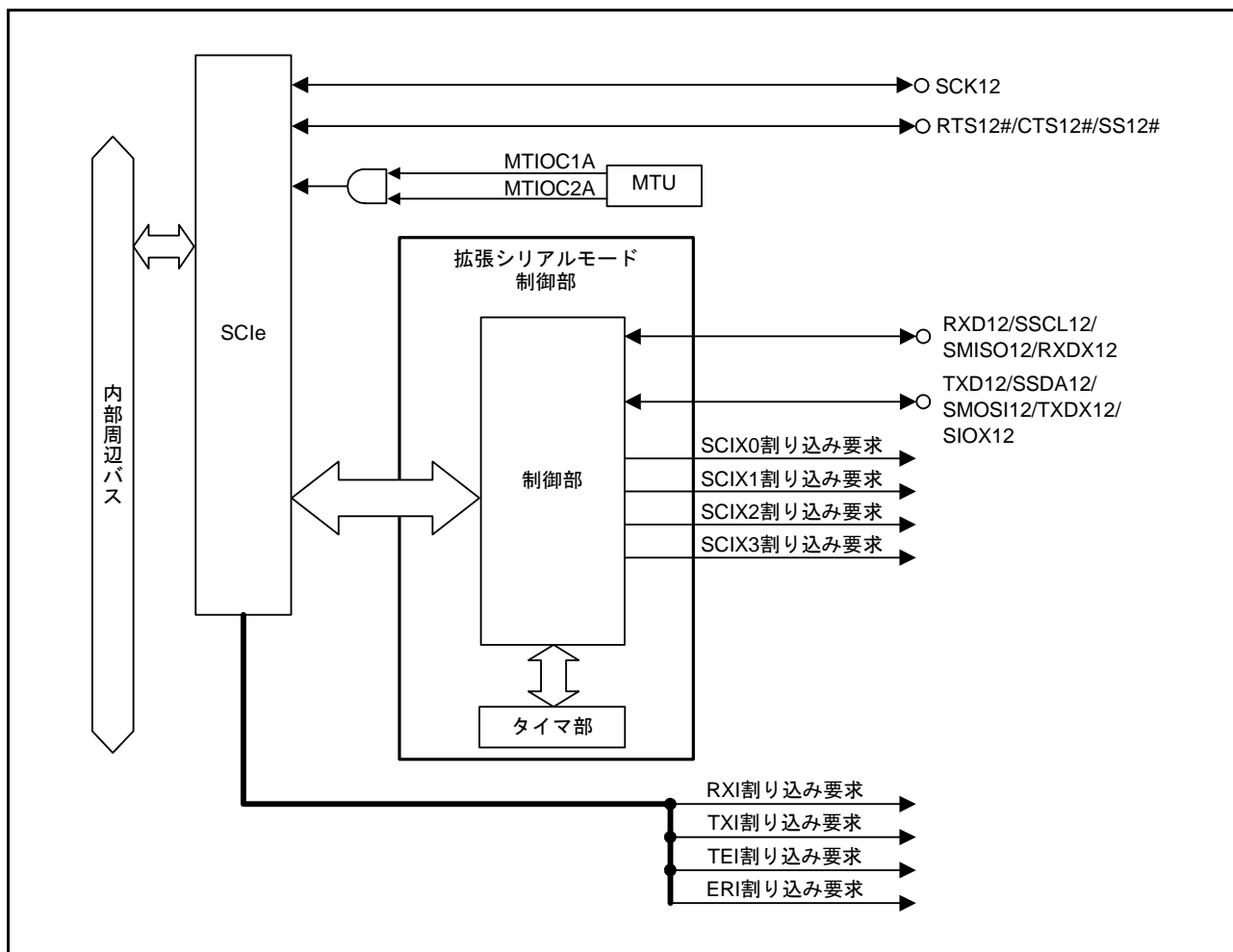


図 23.2 SCIf (SCI12) のブロック図

表 23.4 ~ 表 23.7 に SCI の入出力端子をモード別に示します。

表 23.4 SCIの入出力端子 (調歩同期式/クロック同期式モード)

チャンネル	端子名	入出力	機能
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	RXD1	入力	SCI1の受信データ入力端子
	TXD1	出力	SCI1の送信データ出力端子
	CTS1#/RTS1#	入出力	SCI1送受信開始制御用入出力端子
SCI5	SCK5	入出力	SCI5のクロック入出力端子
	RXD5	入力	SCI5の受信データ入力端子
	TXD5	出力	SCI5の送信データ出力端子
	CTS5#/RTS5#	入出力	SCI5送受信開始制御用入出力端子
SCI12	SCK12	入出力	SCI12のクロック入出力端子
	RXD12	入力	SCI12の受信データ入力端子
	TXD12	出力	SCI12の送信データ出力端子
	CTS12#/RTS12#	入出力	SCI12送受信開始制御用入出力端子

表 23.5 SCIの入出力端子 (簡易I²Cモード)

チャンネル	端子名	入出力	機能
SCI1	SSCL1	入出力	SCI1のI ² Cクロック入出力端子
	SSDA1	入出力	SCI1のI ² Cデータ入出力端子
SCI5	SSCL5	入出力	SCI5のI ² Cクロック入出力端子
	SSDA5	入出力	SCI5のI ² Cデータ入出力端子
SCI12	SSCL12	入出力	SCI12のI ² Cクロック入出力端子
	SSDA12	入出力	SCI12のI ² Cデータ入出力端子

表 23.6 SCIの入出力端子 (簡易SPIモード)

チャンネル	端子名	入出力	機能
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	SMISO1	入出力	SCI1のスレーブ送出データ入出力端子
	SMOSI1	入出力	SCI1のマスタ送出データ入出力端子
	SS1#	入力	SCI1チップセレクト入力端子
SCI5	SCK5	入出力	SCI5のクロック入出力端子
	SMISO5	入出力	SCI5のスレーブ送出データ入出力端子
	SMOSI5	入出力	SCI5のマスタ送出データ入出力端子
	SS5#	入力	SCI5チップセレクト入力端子
SCI12	SCK12	入出力	SCI12のクロック入出力端子
	SMISO12	入出力	SCI12のスレーブ送出データ入出力端子
	SMOSI12	入出力	SCI12のマスタ送出データ入出力端子
	SS12#	入力	SCI12チップセレクト入力端子

表 23.7 SCIの入出力端子 (拡張シリアルモード)

チャンネル	端子名	入出力	機能
SCI12	RXDX12	入力	SCI12の受信データ入力端子
	TXDX12	出力	SCI12の送信データ出力端子
	SIOX12	入出力	SCI12送受信データ入出力端子

23.2 レジスタの説明

23.2.1 レシーブシフトレジスタ (RSR)

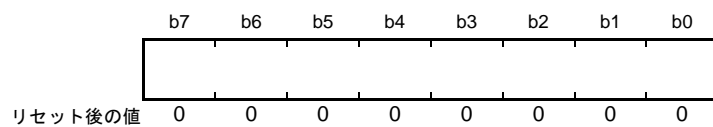
RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信シフトレジスタです。

1 フレーム分のデータを受信すると、データは自動的に RDR レジスタへ転送されます。

CPU から直接アクセスすることはできません。

23.2.2 レシーブデータレジスタ (RDR)

アドレス SCI1.RDR 0008 A025h, SCI5.RDR 0008 A0A5h, SCI12.RDR 0008 B305h



RDR レジスタは、受信データを格納するための 8 ビットのレジスタです。

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

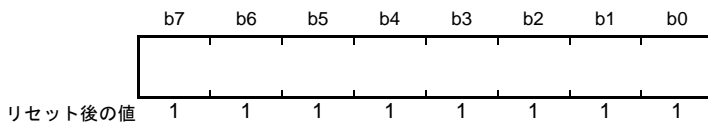
RSR レジスタと RDR レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

RDR レジスタのリードは、受信データフル割り込み (RXI) 要求が発生したときに 1 回だけ行ってください。受信データを RDR からリードしないまま次の 1 フレーム分のデータを受け取るとオーバランエラーになりますので注意してください。

RDR レジスタへは CPU から書き込みできません。

23.2.3 トランスミットデータレジスタ (TDR)

アドレス SCI1.TDR 0008 A023h, SCI5.TDR 0008 A0A3h, SCI12.TDR 0008 B303h



TDR レジスタは、送信データを格納するための 8 ビットのレジスタです。

TSR レジスタに空きを検出すると、TDR レジスタに書き込まれた送信データは、TSR レジスタに転送されて送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書き込まれていれば TSR レジスタへ転送して送信を続けます。

TDR レジスタは CPU からリード/ライト可能です。TDR レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに 1 回だけ行ってください。

23.2.4 トランスミットシフトレジスタ (TSR)

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。

TDR レジスタに書き込まれた送信データは、自動的に TSR レジスタに転送され、TXDn 端子に送出することでシリアルデータの送信を行います。

CPU からは直接アクセスすることはできません。

23.2.5 シリアルモードレジスタ (SMR)

SMR レジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SCI1.SMR 0008 A020h, SCI5.SMR 0008 A0A0h, SCI12.SMR 0008 B300h

b7	b6	b5	b4	b3	b2	b1	b0
CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0 : PCLK (n = 0) (注1) 0 1 : PCLK/4 (n = 1) (注1) 1 0 : PCLK/16 (n = 2) (注1) 1 1 : PCLK/64 (n = 3) (注1)	R/W (注4)
b2	MP	マルチプロセッサモードビット	(調歩同期式モードのみ有効) 0 : マルチプロセッサ通信機能を禁止 1 : マルチプロセッサ通信機能を許可	R/W (注4)
b3	STOP	ストップビットレングスビット	(調歩同期式モードのみ有効) 0 : 1ストップビット 1 : 2ストップビット	R/W (注4)
b4	PM	パリティモードビット	(PEビット=1のときのみ有効) 0 : 偶数パリティで送受信 1 : 奇数パリティで送受信	R/W (注4)
b5	PE	パリティイネーブルビット	(調歩同期式モードのみ有効) • 送信時 0 : パリティビットなし 1 : パリティビットを付加 • 受信時 0 : パリティなしで受信 1 : パリティチェックを行う	R/W (注4)
b6	CHR	キャラクタレングスビット	(調歩同期式モードのみ有効) 0 : データ長8ビットで送受信 (注2) 1 : データ長7ビットで送受信 (注3)	R/W (注4)
b7	CM	コミュニケーションモードビット	0 : 調歩同期式モード、または簡易I ² Cモードで動作 1 : クロック同期式モード、または簡易SPIモードで動作	R/W (注4)

注1. nは設定値の10進表示で、「23.2.9 ビットレートレジスタ (BRR)」中のnの値を表します。

注2. 調歩同期式モード以外では、設定は無効でデータ長は8ビット固定です。

注3. LSBファースト固定となり、送信ではTDRレジスタのMSB (b7) は送信されません。

注4. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

CKS[1:0] ビット (クロックセレクトビット)

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「23.2.9 ビットレートレジスタ (BRR)」を参照してください。

MP ビット (マルチプロセッサモードビット)

マルチプロセッサ通信機能の許可 / 禁止を選択します。マルチプロセッサモードでは、PE、PM ビットの設定は無効です。

STOP ビット (ストップビットレングスビット)

送信データのストップビット長を選択します。

受信時はこのビットの設定にかかわらずストップビットの1ビット目のみチェックし、2ビット目が“0”の場合は次の送信フレームのスタートビットと見なします。

PM ビット (パリティモードビット)

送受信時のパリティ (偶数パリティ / 奇数パリティ) を選択します。

マルチプロセッサモードでは、PM ビットの設定は無効です。

PE ビット (パリティイネーブルビット)

PE ビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。

マルチプロセッサフォーマットでは、PE ビットの設定にかかわらずパリティビットの付加、チェックは行いません。

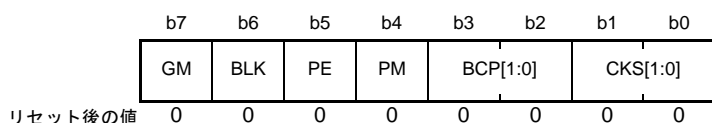
CHR ビット (キャラクタレングスビット)

送受信データのデータ長を選択します。

調歩同期式モード以外では、データ長は8ビット固定です。

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス SMC11.SMR 0008 A020h, SMC15.SMR 0008 A0A0h, SMC112.SMR 0008 B300h



ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0 : PCLK (n = 0) (注1) 0 1 : PCLK/4 (n = 1) (注1) 1 0 : PCLK/16 (n = 2) (注1) 1 1 : PCLK/64 (n = 3) (注1)	R/W (注2)
b3-b2	BCP[1:0]	基本クロックパルスビット	SCMR.BCP2ビットと組み合わせて選択します。 表23.8にSCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせを示します。	R/W (注2)
b4	PM	パリティモードビット	(PEビット=1のときのみ有効) 0 : 偶数パリティで送受信 1 : 奇数パリティで送受信	R/W (注2)
b5	PE	パリティイネーブルビット	PEビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースモードでは、PEビットは“1”にして使用してください	R/W (注2)
b6	BLK	ブロック転送モードビット	0 : 通常モードで動作します 1 : ブロック転送モードで動作します	R/W (注2)
b7	GM	GSMモードビット	0 : 通常モードで動作します 1 : GSMモードで動作します	R/W (注2)

注1. nは設定値の10進表示で、「23.2.9 ビットレートレジスタ (BRR)」中のnの値を表します。
 注2. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

CKS[1:0] ビット (クロックセレクトビット)

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「23.2.9 ビットレートレジスタ (BRR)」を参照してください。

BCP[1:0] ビット (基本クロックパルスビット)

スマートカードインタフェースモードにおいて、1ビット転送期間中の基本クロック数を選択します。

SCMR.BCP2ビットと組み合わせて選択します。

詳細は、「23.6.4 受信データサンプリングタイミングと受信マージン」を参照してください。

表23.8 SCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせ

SCMR.BCP2ビット	SMR.BCP[1:0]ビット		1ビット転送期間中の基本クロック数
0	0	0	93クロック (S = 93) (注1)
0	0	1	128クロック (S = 128) (注1)
0	1	0	186クロック (S = 186) (注1)
0	1	1	512クロック (S = 512) (注1)
1	0	0	32クロック (S = 32) (注1) (初期値)
1	0	1	64クロック (S = 64) (注1)
1	1	0	372クロック (S = 372) (注1)
1	1	1	256クロック (S = 256) (注1)

注1. Sは「23.2.9 ビットレートレジスタ (BRR)」中のSの値を表します。

PM ビット (パリティモードビット)

送受信時のパリティ (偶数パリティ / 奇数パリティ) を選択します。

スマートカードインタフェースモードにおけるこのビットの使用方法については、「23.6.2 データフォーマット (ブロック転送モード時を除く)」を参照してください。

PE ビット (パリティイネーブルビット)

PE ビットは“1”にしてください。

送信時はパリティビットを付加し、受信時はパリティチェックを行います。

BLK ビット (ブロック転送モードビット)

BLK ビットを“1”にすると、ブロック転送モードで動作します。

ブロック転送モードについては、「23.6.3 ブロック転送モード」を参照してください。

GM ビット (GSM モードビット)

GM ビットを“1”にすると、GSM モードで動作します。

GSM モードでは、SSR.TEND フラグのセットタイミグが先頭から 11.0 etu (etu : Elementary Time Unit、1 ビットの転送期間) に前倒しされ、クロック出力制御機能が追加されます。詳細は、「23.6.6 シリアルデータの送信 (ブロック転送モードを除く)」、「23.6.8 クロック出力制御」を参照してください。

23.2.6 シリアルコントロールレジスタ (SCR)

注. SCRレジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SCI1.SCR 0008 A022h, SCI5.SCR 0008 A0A2h, SCI12.SCR 0008 B302h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロックイネーブルビット	(調歩同期式の場合) b1 b0 0 0 : 内蔵ポーレートジェネレータ I/Oポートの設定によって、SCKn端子は入出力ポートとして使用できません 0 1 : 内蔵ポーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します 1 x : 外部クロックまたはMTUクロック ・外部クロック使用時は、SCKn端子からビットレートの16倍の周波数のクロックを入力してください。 SEMR.ABCSビットが“1”のときは8倍の周波数のクロックを入力してください ・MTUクロックを使用可能 MTUクロック使用時は、I/Oポートの設定によって、SCKn端子は入出力ポートとして使用できます。 (クロック同期式の場合) b1 b0 0 x : 内部クロック : SCKn端子はクロック出力端子となります 1 x : 外部クロック SCKn端子はクロック入力端子となります	R/W (注1)
b2	TEIE	トランスミットエンド インタラプトイネーブルビット	0 : TEI割り込み要求を禁止 1 : TEI割り込み要求を許可	R/W
b3	MPIE	マルチプロセッサインタラプト イネーブルビット	(調歩同期式モードで、SMR.MPビット=1のとき有効) 0 : 通常の受信動作 1 : マルチプロセッサビットが“0”の受信データは読み飛ばし、SSR. ORER, FERの各ステータスフラグのセット (“1”)を禁止します。マルチプロセッサビットが“1”のデータを受信すると、MPIEビットは自動的に“0”になり、通常の受信動作に戻ります	R/W
b4	RE	レシーブイネーブルビット	0 : シリアル受信動作を禁止 1 : シリアル受信動作を許可	R/W (注2)
b5	TE	トランスミットイネーブルビット	0 : シリアル送信動作を禁止 1 : シリアル送信動作を許可	R/W (注2)
b6	RIE	レシーブインタラプトイネーブル ビット	0 : RXIおよびERI割り込み要求を禁止 1 : RXIおよびERI割り込み要求を許可	R/W
b7	TIE	トランスミットインタラプト イネーブルビット	0 : TXI割り込み要求を禁止 1 : TXI割り込み要求を許可	R/W

x : Don't care

注1. TEビット=0、REビット=0の場合のみ書き込み可能です。

注2. SMR.CMビットが“1”のときは、TEビット=0、REビット=0の場合のみ“1”を書き込み可能です。

一度、TE、REビットのいずれかを“1”にした後は、TEビット=0、REビット=0の書き込みのみ可能になります。SMR.CMビットが“0”かつSIMR1のIICMビットが“0”のときは、任意のタイミングで書き込みが可能です。

CKE[1:0] ビット (クロックイネーブルビット)

クロックソースおよび SCKn 端子の機能を選択します。

内蔵 MTU クロックは SEMR.ACS0 ビットと組み合わせて設定します。

TEIE ビット (トランスミットエンド インタラプトイネーブルビット)

TEI 割り込み要求を許可、または禁止します。

TEI 割り込み要求の禁止は、TEIE ビットを“0”にすることで行うことができます。

簡易 I²C モードでは、開始/再開/停止条件生成完了割り込み (STI 割り込み) が TEI 割り込み割り当てられます。その場合も TEIE ビットにより STI 割り込み要求を許可、または禁止することができます。

MPIE ビット (マルチプロセッサインタラプトイネーブルビット)

MPIE ビットを“1”にすると、マルチプロセッサビットが“0”の受信データは読み飛ばし、SSR.ORER、FER フラグの各ステータスフラグは“1”になりません。マルチプロセッサビットが“1”のデータを受信すると、MPIE ビットは自動的にクリアされ、通常の受信動作に戻ります。詳細は「23.4 マルチプロセッサ通信機能」を参照してください。

マルチプロセッサビットが“0”の受信データを受信しているときは、RSR レジスタから RDR レジスタへの受信データの転送、および受信エラーの検出と、ORER、FER の各フラグのセット (“1”) は行いません。

マルチプロセッサビットが“1”の受信データを受信すると、SSR.MPB ビットを“1”にし、MPIE ビットを自動的に“0”にし、RXI、ERI 割り込み要求 (SCR の RIE ビットが“1”の場合) と、ORER、FER フラグのセット (“1”) が許可されます。

マルチプロセッサ通信機能を使用しない場合は、MPIE ビットには“0”を書き込んでください。

RE ビット (レシーブイネーブルビット)

シリアル受信動作を許可、または禁止します。

RE ビットを“1”にすると、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを“1”にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを“0”にして受信動作を停止しても、SSR.ORER、FER、PER、RDRF の各フラグは影響を受けず、状態を保持します。

TE ビット (トランスミットイネーブルビット)

シリアル送信動作を許可、または禁止します。

TE ビットを“1”にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを“1”にする前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット (レシーブインタラプトイネーブルビット)

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを“0”にすることで行うことができます。

ERI 割り込み要求の解除は、SSR レジスタの ORER、FER、PER フラグをすべてクリアするか、RIE ビットを“0”にすることで行うことができます。

TIE ビット (トランスミットインタラプトイネーブルビット)

TXI 割り込み要求を許可、または禁止します。

TXI 割り込み要求の禁止は、TIE ビットを“0”にすることで行うことができます。

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス SMC11.SCR 0008 A022h, SMC15.SCR 0008 A0A2h, SMC112.SCR 0008 B302h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロックイネーブルビット	<ul style="list-style-type: none"> SMR.GMビット=0の場合 b1 b0 0 0: 出力ディスエーブル (I/Oポートの設定によって、SCKn端子は入出力ポートとして使用できます) 0 1: クロック出力 1 x: (設定しないでください) SMR.GMビット=1の場合 b1 b0 0 0: Low出力固定 x 1: クロック出力 1 0: High出力固定 	R/W (注1)
b2	TEIE	トランスミットエンド インタラプトイネーブルビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b3	MPIE	マルチプロセッサインタラプト イネーブルビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b4	RE	レシーブイネーブルビット	0: シリアル受信動作を禁止 1: シリアル受信動作を許可	R/W (注2)
b5	TE	トランスミットイネーブルビット	0: シリアル送信動作を禁止 1: シリアル送信動作を許可	R/W (注2)
b6	RIE	レシーブインタラプトイネーブル ビット	0: RXIおよびERI割り込み要求を禁止 1: RXIおよびERI割り込み要求を許可	R/W
b7	TIE	トランスミットインタラプト イネーブルビット	0: TXI割り込み要求を禁止 1: TXI割り込み要求を許可	R/W

x: Don't care

注1. TEビット=0、REビット=0の場合のみ書き込み可能です。

注2. TEビット=0、REビット=0の場合のみ“1”を書き込みしてください。

一度、TE、REビットのいずれかを“1”にした後は、TEビット=0、REビット=0の書き込みのみ行ってください。

各割り込み要求については、「23.11 割り込み要因」を参照してください。

CKE[1:0] ビット (クロックイネーブルビット)

SCKn 端子からのクロック出力を制御します。

GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は、「23.6.8 クロック出力制御」を参照してください。

TEIE ビット (トランスミットエンドインタラプトイネーブルビット)

スマートカードインタフェースモードでは“0”としてください。

MPIE ビット (マルチプロセッサインタラプトイネーブルビット)

スマートカードインタフェースモードでは“0”としてください。

RE ビット (レシーブイネーブルビット)

シリアル受信動作を許可、または禁止します。

RE ビットを“1”にすると、スタートビットを検出するとシリアル受信を開始します。なお、RE ビットを“1”にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを“0”にして受信動作を停止しても、SSR レジスタの ORER、FER、PER フラグは影響を受けず、状態を保持します。

TE ビット (トランスミットイネーブルビット)

シリアル送信動作を許可、または禁止します。

TE ビットを“1”にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを“1”にする前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット (レシーブインタラプトイネーブルビット)

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを“0”にすることで行うことができます。

ERI 割り込み要求の解除は、SSR レジスタの ORER、FER、PER フラグをすべてクリアするか、RIE ビットを“0”にすることで行うことができます。

TIE ビット (トランスミットインタラプトイネーブルビット)

TXI 割り込み要求を許可、または禁止します。

TXI 割り込み要求の禁止は、TIE ビットを“0”にすることで行うことができます。

23.2.7 シリアルステータスレジスタ (SSR)

SSR レジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SCI1.SSR 0008 A024h, SCI5.SSR 0008 A0A4h, SCI12.SSR 0008 B304h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビットトランスファビット	送信フレームに付加するマルチプロセッサビットの設定 0: データ送信サイクル 1: ID送信サイクル	R/W
b1	MPB	マルチプロセッサビット	受信フレーム中のマルチプロセッサビットの値 0: データ送信サイクル 1: ID送信サイクル	R
b2	TEND	トランスミットエンドフラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	FER	フレーミングエラーフラグ	0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/(W) (注1)
b5	ORER	オーバランエラーフラグ	0: オーバランエラーの発生なし 1: オーバランエラーの発生あり	R/(W) (注1)
b6	RDRF	受信データフルフラグ	0: RDR レジスタに有効なデータなし 1: RDR レジスタに受信データあり	R/(W) (注2)
b7	TDRE	送信データエンプティフラグ	0: TDR レジスタに未送信のデータあり 1: TDR レジスタにデータなし	R/(W) (注2)

注1. フラグをクリアするための“0”書き込みのみ可能です。フラグをクリアする場合は、フラグが“1”であることを確認してから“0”を書いてください。

注2. 書く場合“1”としてください。

MPB ビット (マルチプロセッサビット)

受信フレーム中のマルチプロセッサビットの値が格納されます。SCR.RE ビットが“0”のときは変化しません。

TEND フラグ (トランスミットエンドフラグ)

送信が終了したことを表示します。

["1"になる条件]

- SCR.TE ビットが“0” (シリアル送信動作を禁止) のとき
SCR.TE ビットを“0”から“1”にするときは、TEND フラグは影響を受けず“1”の状態を保持します。
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されていないとき

["0"になる条件]

- SCR.TE ビットが“1”の状態 TDR レジスタへ送信データを書き込んだとき
TEND フラグを“0”にして割り込みハンドラを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。

PER フラグ (パリティエラーフラグ)

調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。

["1"になる条件]

- 受信中にパリティエラーを検出したとき
パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが "1" になった状態では、以降の受信データは RDR レジスタに転送されません。

["0"になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき
PER フラグを "0" にして割り込みハンドラを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを "0" (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず以前の状態を保持します。

FER フラグ (フレーミングエラーフラグ)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。

["1"になる条件]

- ストップビットが "0" のとき
2 ストップモードのときは、1 ビット目のストップビットが "1" であるかどうかのみを判定し、2 ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。さらに、FER フラグが "1" になった状態では、以降の受信データは RDR レジスタに転送されません。

["0"になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき
FER フラグを "0" にして割り込みハンドラを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを "0" にしても、FER フラグは影響を受けず以前の状態を保持します。

ORER フラグ (オーバランエラーフラグ)

受信時にオーバランエラーが発生して異常終了したことを表示します。

["1"になる条件]

- RDR レジスタの受信データをリードしないで次のデータを受信したとき
RDR レジスタはオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグが "1" になった状態では、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることはできません。

["0"になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき
ORER フラグを "0" にして割り込みハンドラを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを "0" にしても、ORER フラグは影響を受けず以前の状態を保持します。

RDRF フラグ (受信データフルフラグ)

RDR レジスタ内の受信データの有無を表示します。

["1" になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

["0" になる条件]

- RDR レジスタからデータを読み出したとき

TDRE フラグ (送信データエンプティフラグ)

TDR レジスタ内の送信データの有無を表示します。

["1" になる条件]

- TDR レジスタから TSR レジスタにデータが転送されたとき

["0" になる条件]

- TDR レジスタへ送信データを書いたとき

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス SMC11.SSR 0008 A024h, SMC15.SSR 0008 A0A4h, SMC112.SSR 0008 B304h

b7	b6	b5	b4	b3	b2	b1	b0
TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT

リセット後の値 1 0 0 0 0 1 0 0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット トランスファビット	スマートカードインタフェースモードでは"0"としてください	R/W
b1	MPB	マルチプロセッサビット	スマートカードインタフェースモードでは使用しません。"0" としてください	R
b2	TEND	トランスミットエンドフラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	ERS	エラーシグナルステータスフラグ	0: エラーシグナルLow応答なし 1: エラーシグナルLow応答あり	R/(W) (注1)
b5	ORER	オーバランエラーフラグ	0: オーバランエラーの発生なし 1: オーバランエラーの発生あり	R/(W) (注1)
b6	RDRF	受信データフルフラグ	0: RDRレジスタに有効なデータなし 1: RDRレジスタに受信データあり	R/(W) (注2)
b7	TDRE	送信データエンプティフラグ	0: TDRレジスタに未送信のデータあり 1: TDRレジスタにデータなし	R/(W) (注2)

注1. フラグをクリアするための"0"書き込みのみ可能です。フラグをクリアする場合は、フラグが"1"であることを確認してから"0"を書いてください。

注2. 書く場合"1"としてください。

TEND フラグ (トランスミットエンドフラグ)

受信側からのエラーシグナルの応答がなく、次の送信データを TDR レジスタに転送可能になったとき“1”になります。

["1"になる条件]

- SCR.TE ビット = 0 (シリアル送信動作を禁止) のとき
SCR.TE ビットを“0”から“1”にするときは、TEND フラグは影響を受けず“1”の状態を保持します。
- 1 バイトのデータを送信して一定期間後、ERS フラグ = 0 かつ TDR レジスタが更新されていないとき
セットされるタイミングは、レジスタの設定により以下のように異なります。
SMR.GM ビット = 0、SMR.BLK ビット = 0 のとき、送信開始から 12.5 etu 後
SMR.GM ビット = 0、SMR.BLK ビット = 1 のとき、送信開始から 11.5 etu 後
SMR.GM ビット = 1、SMR.BLK ビット = 0 のとき、送信開始から 11.0 etu 後
SMR.GM ビット = 1、SMR.BLK ビット = 1 のとき、送信開始から 11.0 etu 後

["0"になる条件]

- SCR.TE ビットが“1”の状態 TDR レジスタへ送信データを書き込んだとき
TEND フラグを“0”にして割り込みハンドラを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。

PER フラグ (パリティエラーフラグ)

調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。

["1"になる条件]

- 受信中にパリティエラーを検出したとき
パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが“1”になった状態では、以降の受信データは RDR レジスタに転送されません。

["0"になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
PER フラグを“0”にして割り込みハンドラを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを“0” (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず以前の状態を保持します。

ERS フラグ (エラーシグナルステータスフラグ)

["1"になる条件]

- エラーシグナル Low をサンプリングしたとき

["0"になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
ERS フラグを“0”にして割り込みハンドラを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを“0”にしても、ERS フラグは影響を受けず以前の状態を保持します。

ORER フラグ (オーバランエラーフラグ)

受信時にオーバランエラーが発生して異常終了したことを表示します。

[“1”になる条件]

- RDR レジスタの受信データをリードしないで次のデータを受信したとき
RDR レジスタではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグが“1”になった状態では、以降のシリアル受信を続けることはできません。

[“0”になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
ORER フラグを“0”にして割り込みハンドラを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを“0”にしても、ORER フラグは影響を受けず以前の状態を保持します。

RDRF フラグ (受信データフルフラグ)

RDR レジスタ内の受信データの有無を表示します。

[“1”になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

[“0”になる条件]

- RDR レジスタからデータを読み出したとき

TDRE フラグ (送信データエンプティフラグ)

TDR レジスタ内の送信データの有無を表示します。

[“1”になる条件]

- TDR レジスタから TSR レジスタにデータが転送されたとき

[“0”になる条件]

- TDR レジスタへ送信データを書いたとき

23.2.8 スマートカードモードレジスタ (SCMR)

アドレス SMCI1.SCMR 0008 A026h, SMCI5.SCMR 0008 A0A6h, SMCI12.SCMR 0008 B306h

	b7	b6	b5	b4	b3	b2	b1	b0
	BCP2	—	—	—	SDIR	SINV	—	SMIF
リセット後の値	1	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SMIF	スマートカードインタフェースモードセレクトビット	0: 非スマートカードインタフェースモード (調歩同期式モード、クロック同期式モード、簡易SPIモード、簡易I ² Cモード) 1: スマートカードインタフェースモード	R/W (注1)
b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b2	SINV	送受信データインバートビット	0: TDRレジスタの内容をそのまま送信、受信データをそのままRDRレジスタに格納 1: TDRレジスタの内容を反転して送信、受信データを反転してRDRレジスタに格納	R/W (注1)
b3	SDIR	送受信データ転送方向ビット	以下のモードで使用可能です。 <ul style="list-style-type: none"> スマートカードインタフェースモード 調歩同期式モード (マルチプロセッサモード) クロック同期式モード 簡易SPIモード 簡易I ² Cモードで動作させる場合は、“1”にします 0: LSBファーストで送受信 1: MSBファーストで送受信	R/W (注1)
b6-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	BCP2	基本クロックパルスビット2	SMR.BCP[1:0]ビットと組み合わせて選択します 表23.9にSCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせを示します。	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

SMIF ビット (スマートカードインタフェースモードセレクトビット)

スマートカードインタフェースモードで動作させるときは、“1”を設定します。

非スマートカードインタフェースモードである調歩同期式 (マルチプロセッサモード含む)、クロック同期式モード、簡易SPIモード、および簡易I²Cモードで動作させるときは、“0”を設定します。

SINV ビット (送受信データインバートビット)

送受信データのロジックレベルを反転します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は、SMR.PM ビットを反転してください。

BCP2 ビット (基本クロックパルスビット2)

スマートカードインタフェースモードにおいて1ビット転送期間中の基本クロック数を、SMR.BCP[1:0]ビットと組み合わせて選択します。

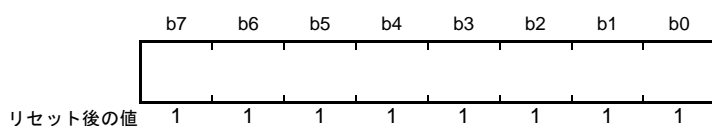
表 23.9 SCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせ

SCMR.BCP2ビット	SMR.BCP[1:0]ビット		1ビット転送期間中の基本クロック数
0	0	0	93クロック (S = 93) (注1)
0	0	1	128クロック (S = 128) (注1)
0	1	0	186クロック (S = 186) (注1)
0	1	1	512クロック (S = 512) (注1)
1	0	0	32クロック (S = 32) (注1) (初期値)
1	0	1	64クロック (S = 64) (注1)
1	1	0	372クロック (S = 372) (注1)
1	1	1	256クロック (S = 256) (注1)

注1. Sは「23.2.9 ビットレートレジスタ (BRR)」中のSの値を表します。

23.2.9 ビットレートレジスタ (BRR)

アドレス SCI1.BRR 0008 A021h, SCI5.BRR 0008 A0A1h, SCI12.BRR 0008 B301h



BRR レジスタはビットレートを調整するための 8 ビットのレジスタです。
 SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、マルチプロセッサ通信、クロック同期式モード、スマートカードインタフェースモード、簡易 SPI モードおよび簡易 I²C モードにおける BRR レジスタの設定値 N とビットレート B の関係を表 23.10 に示します。

BRR レジスタへの書き込みは、SCR.TE ビット = 0、SCR.RE ビット = 0 の場合のみ可能です。

表 23.10 BRR レジスタの設定値 N とビットレート B の関係

モード	SEMR.ABCS ビット	BRR レジスタの設定値	誤差 [%]
調歩同期式、 マルチプロセッサ通信	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N + 1)} - 1 \right\} \times 100$
	1	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N + 1)} - 1 \right\} \times 100$
クロック同期式、 簡易 SPI		$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
スマートカードインタフェース		$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (N + 1)} - 1 \right\} \times 100$
簡易 I ² C (注1)		$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	

B : ビットレート [bps]

N : BRR レジスタの設定値 (0 ≤ N ≤ 255)

PCLK : 周辺モジュールクロック周波数 [MHz]

n と S : 表 23.11 のとおり SMR、SCMR レジスタの設定値によって決まります。

注1. 簡易 I²C モードでの SCL 出力の High/Low 幅が I²C-bus 規格を満たすようビットレートを調整してください。

表 23.11 SCL High/Low 幅算出式

モード	SCL	算出式 (秒(s))
I ² C	High 幅 (min 値)	$(N + 1) \times 4 \times 2^{2n-1} \times 7 \times \frac{1}{PCLK \times 10^6}$
	Low 幅 (min 値)	$(N + 1) \times 4 \times 2^{2n-1} \times 8 \times \frac{1}{PCLK \times 10^6}$

表 23.12 クロックソースの設定

SMR.CKS[1:0]ビットの設定	クロックソース	n
0 0	PCLK	0
0 1	PCLK/4	1
1 0	PCLK/16	2
1 1	PCLK/64	3

表 23.13 スマートカードインタフェースモード時の基本クロックの設定

SCMR.BCP2ビットの設定	SMR.BCP[1:0]ビットの設定	1ビット期間中の基本クロックパルス数	S
0	0 0	93クロック	93
0	0 1	128クロック	128
0	1 0	186クロック	186
0	1 1	512クロック	512
1	0 0	32クロック	32
1	0 1	64クロック	64
1	1 0	372クロック	372
1	1 1	256クロック	256

通常の調歩同期式モードにおける BRR レジスタの値 N の設定例を表 23.14 に、各動作周波数における設定可能な最大ビットレートを表 23.15 に示します。また、クロック同期式モードおよび簡易 SPI モードにおける BRR レジスタの値 N の設定例を表 23.18 に、スマートカードインタフェースモードにおける BRR レジスタの値 N の設定例を表 23.20 に、簡易 I²C モードにおける BRR レジスタの値 N の設定例を表 23.22 に示します。スマートカードインタフェースモードでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は「23.6.4 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 23.16、表 23.19 に外部クロック入力時の最大ビットレートを示します。

調歩同期式モードでシリアル拡張モードレジスタ (SEMR) の調歩同期基本クロックセレクトビット (ABCS) を“1”にしたときのビットレートは表 23.14 の 2 倍になります。

表23.14 ビットレートに対するBRRの設定例 (調歩同期式モード)

ビット レート (bps)	動作周波数PCLK (MHz)														
	8			9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	—	—	—	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

ビット レート (bps)	動作周波数PCLK (MHz)														
	14			16			17.2032			18			19.6608		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	70	0.03	3	75	0.48	3	79	-0.12	3	86	0.31
150	2	181	0.16	2	207	0.16	2	223	0.00	2	233	0.16	2	255	0.00
300	2	90	0.16	2	103	0.16	2	111	0.00	2	116	0.16	2	127	0.00
600	1	181	0.16	1	207	0.16	1	223	0.00	1	233	0.16	1	255	0.00
1200	1	90	0.16	1	103	0.16	1	111	0.00	1	116	0.16	1	127	0.00
2400	0	181	0.16	0	207	0.16	0	223	0.00	0	233	0.16	0	255	0.00
4800	0	90	0.16	0	103	0.16	0	111	0.00	0	116	0.16	0	127	0.00
9600	0	45	-0.93	0	51	0.16	0	55	0.00	0	58	-0.69	0	63	0.00
19200	0	22	-0.93	0	25	0.16	0	27	0.00	0	28	1.02	0	31	0.00
31250	0	13	0.00	0	15	0.00	0	16	1.20	0	17	0.00	0	19	-1.70
38400	—	—	—	0	12	0.16	0	13	0.00	0	14	-2.34	0	15	0.00

ビット レート (bps)	動作周波数PCLK (MHz)								
	20			25			30		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	88	-0.25	3	110	-0.02	3	132	0.13
150	3	64	0.16	3	80	0.47	3	97	-0.35
300	2	129	0.16	2	162	-0.15	2	194	0.16
600	2	64	0.16	2	80	0.47	2	97	-0.35
1200	1	129	0.16	1	162	-0.15	1	194	0.16
2400	1	64	0.16	1	80	0.47	1	97	-0.35
4800	0	129	0.16	0	162	-0.15	0	194	0.16
9600	0	64	0.16	0	80	0.47	0	97	-0.35
19200	0	32	-1.36	0	40	-0.76	0	48	-0.35
31250	0	19	0.00	0	24	0.00	0	29	0.00
38400	0	15	1.73	0	19	1.73	0	23	1.73

注. SEMR.ABCSビット=0のときの例です。
 ABCSビット=1にしたときは、ビットレートが2倍になります。

表 23.15 各動作周波数における最大ビットレート (調歩同期式モード)

PCLK (MHz)	n	N	最大ビットレート (bps)	PCLK (MHz)	n	N	最大ビットレート (bps)
8	0	0	250000	17.2032	0	0	537600
9.8304	0	0	307200	18	0	0	562500
10	0	0	312500	19.6608	0	0	614400
12	0	0	375000	20	0	0	625000
12.288	0	0	384000	25	0	0	718250
14	0	0	437500	30	0	0	937500
16	0	0	500000				

注. SEMR.ABCSビット=1にしたときは、ビットレートが2倍になります。

表 23.16 外部クロック入力時の最大ビットレート (調歩同期式モード)

PCLK (MHz)	外部入力クロック (MHz)	最大ビットレート (bps)	
		SEMR.ABCSビット=0	SEMR.ABCSビット=1
8	2.0000	125000	250000
9.8304	2.4576	153600	307200
10	2.5000	156250	312500
12	3.0000	187500	375000
12.288	3.0720	192000	384000
14	3.5000	218750	437500
16	4.0000	250000	500000
17.2032	4.3008	268800	537600
18	4.5000	281250	562500
19.6608	4.9152	307200	614400
20	5.0000	312500	625000
25	6.2500	390625	781250
30	7.5000	468750	937500

表 23.17 MTUクロック入力時の最大ビットレート (調歩同期式モード)

PCLK (MHz)	MTUクロック (MHz)	最大ビットレート (bps)	
		SEMR.ABCSビット=0	SEMR.ABCSビット=1
8	4	250000	500000
9.8304	4.9152	307200	614400
10	5	312500	625000
12	6	375000	750000
12.288	6.144	384000	768000
14	7	437500	875000
16	8	500000	1000000
17.2032	8.6016	537600	1075200
18	9	562500	1125000
19.6608	9.8304	614400	1228800
20	10	625000	1250000
25	12.5	781250	1562500
30	15	937500	1875000

表23.18 ビットレートに対するBRRの設定例 (クロック同期式モード、簡易SPIモード)

ビットレート (bps)	動作周波数PCLK (MHz)											
	8		10		16		20		25		30	
	n	N	n	N	n	N	n	N	n	N	n	N
110												
250	3	124	—	—	3	249						
500	2	249	—	—	3	124	—	—			3	233
1k	2	124	—	—	2	249	—	—	3	97	3	116
2.5k	1	199	1	249	2	99	2	124	2	155	2	187
5k	1	99	1	124	1	199	1	249	2	77	2	93
10k	0	199	0	249	1	99	1	124	1	155	1	187
25k	0	79	0	99	0	159	0	199	0	249	1	74
50k	0	39	0	49	0	79	0	99	0	124	0	149
100k	0	19	0	24	0	39	0	49	0	62	0	74
250k	0	7	0	9	0	15	0	19	0	24	0	29
500k	0	3	0	4	0	7	0	9	—	—	0	14
1M	0	1			0	3	0	4	—	—	—	—
2M	0	0 (注1)			0	1			—	—	—	—
2.5M			0	0 (注1)			0	1			0	2
4M					0	0 (注1)					—	—
5M							0	0 (注1)				
6.25M									0	0 (注1)		
7.5M											0	0 (注1)

空欄：設定できません。

—：設定可能ですが誤差がでます。

注1. 連続送信/連続受信はできません。1フレームの送信/受信終了後、次のフレームの送信/受信を開始するまで1ビット期間の間隔が空きます (同期クロックの出力が1ビット期間停止します)。そのため、1フレーム (8ビット) のデータ転送に9ビット分の時間がかかり、平均した転送レートは8/9倍になります。

表23.19 外部クロック入力時の最大ビットレート (クロック同期式モード、簡易SPIモード)

PCLK (MHz)	外部入力クロック (MHz)	最大ビットレート (Mbps)
8	1.3333	1.3333
10	1.6667	1.6667
12	2.0000	2.0000
14	2.3333	2.3333
16	2.6667	2.6667
18	3.0000	3.0000
20	3.3333	3.3333
25	4.1667	4.1667
30	5.0000	5.0000

表 23.20 ビットレートに対するBRRの設定例 (スマートカードインタフェースモードでn=0、S=372のとき)

ビットレート (bps)	PCLK (MHz)	n	N	誤差 (%)
9600	7.1424	0	0	0.00
	10.00	0	1	30
	10.7136	0	1	25
	13.00	0	1	8.99
	14.2848	0	1	0.00
	16.00	0	1	12.01
	18.00	0	2	15.99
	20.00	0	2	6.66
	25.00	0	3	12.49
	30.00	0	3	5.01

表 23.21 各動作周波数における最大ビットレート (スマートカードインタフェースモードでS=32のとき)

PCLK (MHz)	最大ビットレート (bps)	n	N
10.00	156250	0	0
10.7136	167400	0	0
13.00	203125	0	0
16.00	250000	0	0
18.00	281250	0	0
20.00	312500	0	0
25.00	390625	0	0
30.00	468750	0	0

表 23.22 ビットレートに対するBRRの設定例 (簡易I²Cモード)

ビット レート (bps)	動作周波数PCLK (MHz)														
	8			10			16			20			25		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	0	24	0.0	0	31	-2.3	1	12	-3.8	1	15	-2.3	1	19	-2.3
25k	0	9	0.0	0	12	-3.8	1	4	0.0	1	6	-10.7	1	7	-2.3
50k	0	4	0.0	0	6	-10.7	1	2	-16.7	1	3	-21.9	1	3	-2.3
100k	0	2	-16.7	0	3	-21.9	0	4	0.0	0	6	-10.7	1	1	-2.3
250k	0	0	0.0	0	1	-37.5	0	1	0.0	0	2	-16.7	0	3	-21.9
350k										0	1	-10.7	0	2	-25.6

ビット レート (bps)	動作周波数PCLK (MHz)		
	30		
	n	N	誤差 (%)
10k	1	23	-2.3
25k	1	9	-6.3
50k	1	4	-6.3
100k	1	2	-21.9
250k	0	3	-6.3
350k	0	2	-10.7

表23.23 各ビットレート設定でのSCL High/Low幅最小値 (簡易I²Cモード)

ビット レート (bps)	動作周波数PCLK (MHz)											
	8			10			16			20		
	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)
10k	0	24	43.75/50.00	0	31	44.80/51.20	1	12	45.50/52.00	1	15	44.80/51.20
25k	0	9	17.50/20.00	0	12	18.20/20.80	1	4	17.50/20.00	1	6	19.60/22.40
50k	0	4	8.75/10.00	0	6	9.80/11.20	1	2	10.50/12.00	1	3	11.20/12.80
100k	0	2	5.25/6.00	0	3	5.60/6.40	0	4	4.37/5.00	0	6	4.90/5.60
250k	0	0	1.75/2.00	0	1	2.80/3.20	0	1	1.75/2.00	0	2	2.10/2.40
350k										0	1	1.40/1.60

ビット レート (bps)	動作周波数PCLK (MHz)					
	25			30		
	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)
10k	1	19	44.80/51.20	1	23	44.80/51.20
25k	1	7	17.92/20.48	1	9	18.66/21.33
50k	1	3	8.96/10.24	1	4	9.33/10.66
100k	1	1	4.48/5.12	1	2	5.60/6.40
250k	0	3	2.24/2.56	0	3	1.86/2.13
350k	0	2	1.68/1.92	0	2	1.40/1.60

23.2.10 シリアル拡張モードレジスタ (SEMR)

アドレス SCI1.SEMR 0008 A027h, SCI5.SEMR 0008 A0A7h, SCI12.SEMR 0008 B307h

b7	b6	b5	b4	b3	b2	b1	b0
RXDESEL	—	NFEN	ABCS	—	—	—	ACS0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	ACS0	調歩同期クロックソースセレクトビット	(調歩同期式モードのみ有効) 0: 外部クロック 1: MTUから出力される2つのコンペアマッチ出力の論理積	R/W (注1)
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	ABCS	調歩同期基本クロックセレクトビット	(調歩同期式モードのみ有効) 0: 基本クロック 16サイクルの期間が1ビット期間の転送レートになります 1: 基本クロック 8サイクルの期間が1ビット期間の転送レートになります	R/W (注1)
b5	NFEN	デジタルノイズフィルタ機能イネーブルビット	(調歩同期式モード) 0: RXDn入力信号のノイズ除去機能無効 1: RXDn入力信号のノイズ除去機能有効 (簡易I ² Cモード) 0: SSCLn, SSDAn入力信号のノイズ除去機能無効 1: SSCLn, SSDAn入力信号のノイズ除去機能有効 上記以外のモードでは、NFENビットを“0”にしてください。	R/W (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	RXDESEL	調歩同期スタートビットエッジ検出セレクトビット	(調歩同期式モードのみ有効) 0: RXDn端子入力のLowレベルでスタートビットを検出 1: RXDn端子入力の立ち下がりがエッジでスタートビットを検出	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0(シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

SEMRレジスタは、調歩同期式モード時の1ビット期間のクロックを選択したり、スタートビットの検出方法を選択するためのレジスタです。

ACS0ビット(調歩同期クロックソースセレクトビット)

調歩同期式モードにおける、クロックソースを選択します。

ACS0ビットは、調歩同期式モード(SMR.CMビット=0)で、外部クロック入力(SCR.CKE[1:0]ビット=10b、11b)のときに有効です。外部クロックまたは、内蔵MTUのコンペアマッチ出力の論理積を選択できます。

調歩同期式モード以外では、ACS0ビットを“0”にしてください。

MTUのMTIOC1A、MTIOC2A出力をシリアル転送ベースクロックにすることができます。詳細は表23.24を参照してください。

表23.24 SCIのチャンネルと使用できるコンペアマッチ出力

SCI	MTU	コンペアマッチ出力
SCI1	MTU1, MTU2	MTIOC1A, MTIOC2A
SCI5	MTU1, MTU2	MTIOC1A, MTIOC2A
SCI12	MTU1, MTU2	MTIOC1A, MTIOC2A

MTUのMTIOC1A、MTIOC2A出力を選択したときの設定例を図23.3に示します。

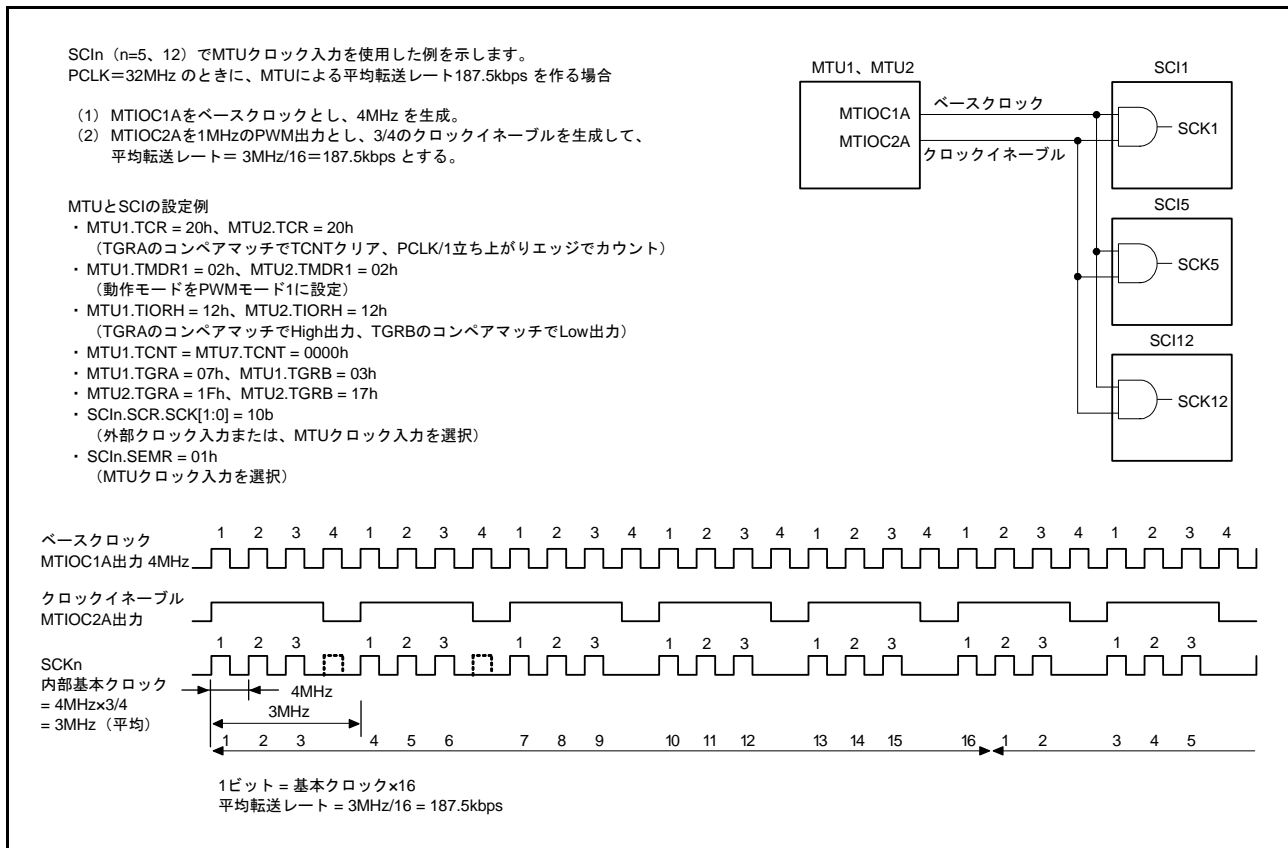


図 23.3 MTU クロック入力時の平均転送レート設定例

NFEN ビット (デジタルノイズフィルタ機能イネーブルビット)

デジタルノイズフィルタ機能の有効、無効を選択します。

有効にすると、調歩同期式モードの場合は、RXDn 入力信号のノイズを除去し、簡易 I²C モードの場合は SSDAn、SSCLn の入力信号のノイズを除去します。

上記以外のモードでは NFEN ビットを“0”にし、デジタルノイズフィルタ機能を無効にしてください。

デジタルノイズフィルタ機能を無効にすると、入力信号がそのまま内部信号として伝えられます。

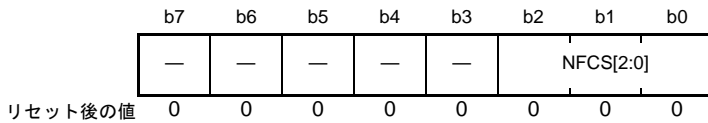
RXDESEL ビット (調歩同期スタートビットエッジ検出セレクトビット)

調歩同期式モード受信動作におけるスタートビットの検出方法を選択します。本ビットの設定によりブレイク時の動作が異なります。ブレイク中に受信動作を停止させたい場合、およびブレイク終了後に RXDn 端子入力を 1 フレーム期間以上 High レベルに保持せず受信を開始する場合は“1”を設定してください。

調歩同期式モード以外では“0”を設定してください。

23.2.11 ノイズフィルタ設定レジスタ (SNFR)

アドレス SCI1.SNFR 0008 A028h, SCI5.SNFR 0008 A0A8h, SCI12.SNFR 0008 B308h



ビット	シンボル	ビット名	機能	R/W
b2-b0	NFCS[2:0]	ノイズフィルタクロックセレクトビット	調歩同期式モード時、基本クロック基準で b2 b0 0 0 0 : 1分周のクロックをノイズフィルタに使用 簡易 I ² C モード時、SMR.CKS[1:0] ビットで選択した内蔵 ポーレートジェネレータのクロックソース基準で b2 b0 0 0 1 : 1分周のクロックをノイズフィルタに使用 0 1 0 : 2分周のクロックをノイズフィルタに使用 0 1 1 : 4分周のクロックをノイズフィルタに使用 1 0 0 : 8分周のクロックをノイズフィルタに使用 上記以外は設定しないでください	R/W (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SCR.TE ビット=0、SCR.RE ビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

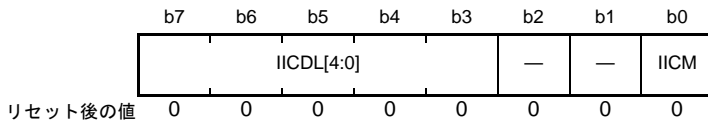
NFCS[2:0] ビット (ノイズフィルタクロックセレクトビット)

デジタルノイズフィルタのサンプリングクロックを選択します。

調歩同期式モード時にノイズフィルタを使用する場合、“000b”を設定してください。簡易 I²C モード時は“001b”～“100b”の中で設定してください。

23.2.12 I²C モードレジスタ 1 (SIMR1)

アドレス SCI1.SIMR1 0008 A029h, SCI5.SIMR1 0008 A0A9h, SCI12.SIMR1 0008 B309h



ビット	シンボル	ビット名	機能	R/W
b0	IICM	簡易I ² Cモードセレクトビット	SMIF IICM 0 0: 調歩同期式モード、マルチプロセッサモード、 クロック同期式モード (調歩同期式、クロック同期式モードまたは簡易 SPIモード) 0 1: 簡易I ² Cモード 1 0: スマートカードインタフェースモード 1 1: 設定しないでください	R/W (注1)
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b3	IICDL[4:0]	SSDA出力遅延セレクトビット	(内蔵ポーレートジェネレータのクロックソース基準) b7 b3 0 0 0 0 0: 出力遅延なし 0 0 0 0 1: 0~1サイクル 0 0 0 1 0: 1~2サイクル 0 0 0 1 1: 2~3サイクル 0 0 1 0 0: 3~4サイクル 0 0 1 0 1: 4~5サイクル : 1 1 1 1 0: 29~30サイクル 1 1 1 1 1: 30~31サイクル	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

SIMR1 レジスタは、簡易 I²C モード、および SSDA 出力遅延段数を選択するためのレジスタです。

IICM ビット (簡易 I²C モードセレクトビット)

SCMR.SMIF ビットとの組み合わせで、動作モードを選択します。

IICDL[4:0] ビット (SSDA 出力遅延セレクトビット)

SSCLn 端子出力の立ち下がりに対する SSDAn 端子出力の遅延を選択します。内蔵ポーレートジェネレータのクロックソースを1サイクルとし、遅延なし~31サイクルまでの選択が可能です。内蔵ポーレートジェネレータのクロックソースとは、PCLK を SMR.CKS[1:0] ビットの設定により分周されたクロックを指します。簡易 I²C モード以外では“00000b”を設定してください。簡易 I²C モード時は、“00001b”~“11111b”のいずれかを設定してください。

23.2.13 I²C モードレジスタ 2 (SIMR2)

アドレス SCI1.SIMR2 0008 A02Ah, SCI5.SIMR2 0008 A0AAh, SCI12.SIMR2 0008 B30Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	IICACK T	—	—	—	IICCSC	IICINT M
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICINTM	I ² C 割り込みモードセレクトビット	0 : ACK/NACK 割り込みを使用 1 : 受信割り込み、送信割り込みを使用	R/W (注1)
b1	IICCSC	クロック同期化ビット	0 : クロック同期を行わない 1 : クロック同期を行う	R/W (注1)
b4-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	IICACKT	ACK送信データビット	0 : ACK送信 1 : NACK送信またはACK/NACK受信	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SCR.TE ビット=0、SCR.RE ビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

SIMR2 レジスタは、簡易 I²C モードの送受信制御を選択するためのレジスタです。

IICINTM ビット (I²C 割り込みモードセレクトビット)

簡易 I²C モード時の割り込み要求の要因を選択します。

IICCSC ビット (クロック同期化ビット)

他のデバイスがウェイトを挿入するなどの目的で、SSCLn 端子を Low にしたとき、内部で生成する SSCLn クロックを同期化する場合は、IICCSC ビットに“1”を設定します。

IICCSC ビットに“0”を設定すると、SSCLn クロックの同期化は行いません。SSCLn 端子入力に関わらず、BRR レジスタで設定したビットレートにしたがって SSCLn クロックを生成します。

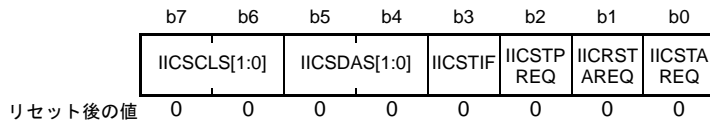
デバッグ時を除いて IICCSC ビットには“1”を設定してください。

IICACKT ビット (ACK 送信データビット)

送信データの ACK ビットを格納します。ACK/NACK ビット受信時は“1”を設定してください。

23.2.14 I²C モードレジスタ 3 (SIMR3)

アドレス SCI1.SIMR3 0008 A02Bh, SCI5.SIMR3 0008 A0ABh, SCI12.SIMR3 0008 B30Bh



ビット	シンボル	ビット名	機能	R/W
b0	IICSTAREQ	開始条件生成ビット	0 : 開始条件を生成しない 1 : 開始条件を生成 (注1、注3、注4、注5)	R/W
b1	IICRSTAREQ	再開条件生成ビット	0 : 再開条件を生成しない 1 : 再開条件を生成 (注2、注3、注4、注5)	R/W
b2	IICSTPREQ	停止条件生成ビット	0 : 停止条件を生成しない 1 : 停止条件を生成 (注2、注3、注4、注5)	R/W
b3	IICSTIF	開始/再開/停止条件生成完了フラグ	0 : 各条件生成要求がない状態、または生成中の状態 1 : 各条件生成が完了した状態	R/W
b5-b4	IICSDAS[1:0]	SSDA出力セレクトビット	b5 b4 0 0 : シリアルデータ出力 0 1 : 開始条件、再開条件、停止条件の生成 1 0 : SSDAn端子はLowを出力 1 1 : SSDAn端子はハイインピーダンス状態	R/W
b7-b6	IICSCLS[1:0]	SSCL出力セレクトビット	b7 b6 0 0 : シリアルクロック出力 0 1 : 開始条件、再開条件、停止条件の生成 1 0 : SSCLn端子はLowを出力 1 1 : SSCLn端子はハイインピーダンス状態	R/W

- 注1. バスの状態を確認し、バスフリー状態のときに開始条件生成を行ってください。
 注2. バスの状態を確認し、バスビジー状態のときに再開条件生成または停止条件生成を行ってください。
 注3. IICSTAREQビット、IICRSTAREQビット、IICSTPREQビットの2つ以上を“1”にしないでください。
 注4. IICSTIFフラグを“0”にしてから、各条件生成を行ってください。
 注5. “1”の状態を“0”を書き込まないでください。“1”の状態を“0”を書きこむと、コンディション生成が中断します。

SIMR3 レジスタは、簡易 I²C モードの開始条件、停止条件生成、および、SSDAn 端子、SSCLn 端子の出力値固定を制御するためのレジスタです。

IICSTAREQ ビット (開始条件生成ビット)

開始条件の生成を行うときは、IICSTAREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

["1"になる条件]

- “1”を書き込んだとき

["0"になる条件]

- 開始条件の生成が完了したとき

IICRSTAREQ ビット (再開条件生成ビット)

再開条件の生成を行うときは、IICRSTAREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

["1" になる条件]

- “1”を書き込んだとき

["0" になる条件]

- 再開条件の生成が完了したとき

IICSTPREQ ビット (停止条件生成ビット)

停止条件の生成を行うときは、IICSTPREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

["1" になる条件]

- “1”を書き込んだとき

["0" になる条件]

- 停止条件の生成が完了したとき

IICSTIF フラグ (開始 / 再開 / 停止条件生成完了フラグ)

各条件生成実行後、生成完了した状態を示します。IICRSTAREQ ビット、IICRSTAREQ ビット、IICSTPREQ ビットにより各条件の生成を行うときは、IICSTIF フラグを“0”にしてから生成を実行してください。

SCR.TEIE ビットで割り込み要求が許可された状態で、IICSTIF フラグが“1”の場合に開始 / 再開 / 停止条件生成完了割り込み (STI) 要求が出力されます。

["1" になる条件]

- 開始 / 再開 / 停止の各条件の生成が完了したとき (ただし“0”になる条件と競合した場合は“0”になる条件が優先されます。)

["0" になる条件]

- “0”を書き込んだとき (IICSTIF フラグが“0”になったことを確認してください。)
- SIMR1.IICM ビットが“0”のとき (簡易 I²C モード以外の場合)
- SCR.TE ビットが“0”のとき

IICSDAS[1:0] ビット (SSDA 出力セレクトビット)

SSDAn 端子からの出力を制御します。

通常動作時は、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットは同じ値にしてください。

IICSCLS[1:0] ビット (SSCL 出力セレクトビット)

SSCLn 端子からの出力を制御します。

通常動作時は、IICSCLS[1:0] ビットと IICSDAS[1:0] ビットは同じ値にしてください。

23.2.15 I²C ステータスレジスタ (SISR)

アドレス SCI1.SISR 0008 A02Ch, SCI5.SISR 0008 A0ACh, SCI12.SISR 0008 B30Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IICACK R
リセット後の値	0	0	x	x	0	x	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	IICACKR	ACK受信データフラグ	0 : ACK受信 1 : NACK受信	R/W (注1)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	—	予約ビット	読み出し値は不定です	R
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	—	予約ビット	読み出し値は不定です	R
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。

SISR レジスタは、簡易 I²C モード関連のステータスをモニタします。**IICACKR フラグ (ACK 受信データフラグ)**

受信された ACK/NACK ビットを読み出すことができます。

IICACKR フラグは、ACK/NACK を受信するビットの SSCL_n クロックの立ち上がりのタイミングで更新されます。

23.2.16 SPI モードレジスタ (SPMR)

アドレス SCI1.SPMR 0008 A02Dh, SCI5.SPMR 0008 A0ADh, SCI12.SPMR 0008 B30Dh

b7	b6	b5	b4	b3	b2	b1	b0
CKPH	CKPOL	—	MFF	—	MSS	CTSE	SSE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SSE	SSn# 端子機能イネーブルビット	0 : SSn# 端子機能禁止 1 : SSn# 端子機能許可	R/W (注1)
b1	CTSE	CTSイネーブルビット	0 : CTS機能禁止 (RTS出力機能有効) 1 : CTS機能許可	R/W (注1)
b2	MSS	マスタスレーブセレクトビット	0 : TXDn 端子 : 送信, RXDn 端子 : 受信 (マスタモード) 1 : TXDn 端子 : 受信, RXDn 端子 : 送信 (スレーブモード)	R/W (注1)
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MFF	モードフォルトフラグ	0 : モードフォルトエラーなし 1 : モードフォルトエラーあり	R/W (注2)
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CKPOL	クロック極性セレクトビット	0 : クロック極性反転なし 1 : クロック極性反転あり	R/W (注1)
b7	CKPH	クロック位相セレクトビット	0 : クロック遅れなし 1 : クロック遅れあり	R/W (注1)

注1. SCR.TE ビット=0、SCR.RE ビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

注2. フラグをクリアするための“0”書き込みのみ可能です。

SPMR レジスタは、調歩同期式モードおよびクロック同期式モードの拡張設定を選択するためのレジスタです。

SSE ビット (SSn# 端子機能イネーブルビット)

SSn# 端子を用いて送受信制御を行う場合 (簡易 SPI モード) は“1”を設定します。それ以外の通信モードでは“0”を設定してください。なお、簡易 SPI モードでも、マスタモード (SCR.CKE[1:0] ビット=00b かつ MSS ビット=0) かつシングルマスタで使用するとき、マスタ側の SSn# 端子を用いた送受信制御は不要であり、SSE ビットは“0”を設定します。SSE ビット、CTSE ビットの両方を有効にしないでください (設定した場合、両ビット共に“0”にしたときと同じ動作となります)。

CTSE ビット (CTS イネーブルビット)

SSn# 端子を CTS 制御信号入力として用いて送受信制御を行う場合は“1”を設定します。“0”を設定している状態では RTSn# 信号を出力します。スマートカードインタフェースモード、簡易 SPI モード、簡易 I²C モード時は“0”を設定してください。CTSE ビット、SSE ビットの両方を有効にしないでください (設定した場合、両ビット共に“0”にしたときと同じ動作となります)。

MSS ビット (マスタスレーブセレクトビット)

簡易 SPI モード時にマスタモード、スレーブモードを選択します。MSS ビットを“1”にすると、TXDn 端子、RXDn 端子の機能が逆になり、TXDn 端子から受信データを入力し、RXDn 端子から送信データを出力します。

簡易 SPI モード以外のモード時は“0”にしてください。

MFF フラグ (モードフォルトフラグ)

モードフォルトエラーが発生したことを表示します。

マルチマスタ時は MFF フラグの読み出しにより、モードフォルトエラーを判定してください。

["1" になる条件]

- 簡易 SPI モードのマスタモード設定時 (SSE ビット = 1 かつ MSS ビット = 0) に、SSn# 端子入力が Low になったとき

["0" になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき

CKPOL ビット (クロック極性セレクトビット)

SCKn 端子からのクロック出力の極性を選択します。詳細は、図 23.55 を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では "0" としてください。

CKPH ビット (クロック位相セレクトビット)

SCKn 端子からのクロック出力の位相設定を選択します。詳細は、図 23.55 を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では "0" としてください。

23.2.17 拡張シリアルモード有効レジスタ (ESMER)

アドレス SCI12.ESMER 0008 B320h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	ESME

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	ESME	拡張シリアルモード有効ビット	0 : 拡張シリアルモード無効 1 : 拡張シリアルモード有効	R/W
b7-b1	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W

ESME ビット (拡張シリアルモード有効ビット)

ESME ビットが "1" の場合、拡張シリアルモード制御部が有効となります。

ESME ビットを "0" にすると、拡張シリアルモード制御部は初期化された状態になります。

表 23.25 ESME ビットの設定とタイマ動作モード

ESME ビット	タイマモード	Break Field Low width 判定モード	Break Field Low width 出力モード
0	使用可能 (注1)	使用不可能	使用不可能
1	使用可能	使用可能	使用可能

注1. PCLK 選択時のみ動作します。

23.2.18 コントロールレジスタ 0 (CR0)

アドレス SCI12.CR0 0008 B321h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	BRME	RXDSF	SFSF	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	SFSF	Start Frameステータスフラグ	0 : Start Frame 検出機能無効状態 1 : Start Frame 検出機能有効状態	R
b2	RXDSF	RXDX12入カステータスフラグ	0 : RXDX12入力許可状態 1 : RXDX12入力禁止状態	R
b3	BRME	ビットレート測定イネーブルビット	0 : ビットレート測定無効 1 : ビットレート測定有効	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

23.2.19 コントロールレジスタ 1 (CR1)

アドレス SCI12.CR1 0008 B322h

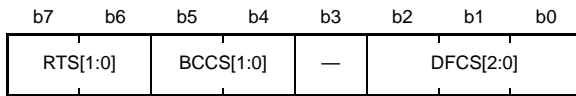
b7	b6	b5	b4	b3	b2	b1	b0
PIBS[2:0]			PIBE	CF1DS[1:0]	CF0RE	BFE	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	BFE	Break Fieldイネーブルビット	0 : Break Fieldの検出が無効 1 : Break Fieldの検出が有効	R/W
b1	CF0RE	Control Field 0受信イネーブルビット	0 : Control Field 0受信無効 1 : Control Field 0受信有効	R/W
b3-b2	CF1DS[1:0]	Control Field 1データレジスタ 選択ビット	b3 b2 00 : PCF1DRを比較データに選択 01 : SCF1DRを比較データに選択 10 : PCF1DRおよびSCF1DRを比較データに選択 11 : 設定しないでください	R/W
b4	PIBE	プライオリティインタラプト ビットイネーブルビット	0 : プライオリティインタラプトビット無効 1 : プライオリティインタラプトビット有効	R/W
b7-b5	PIBS[2:0]	プライオリティインタラプト ビットセレクトビット	b7 b5 000 : Control Field 1 0ビット目 001 : Control Field 1 1ビット目 010 : Control Field 1 2ビット目 011 : Control Field 1 3ビット目 100 : Control Field 1 4ビット目 101 : Control Field 1 5ビット目 110 : Control Field 1 6ビット目 111 : Control Field 1 7ビット目	R/W

23.2.20 コントロールレジスタ 2 (CR2)

アドレス SCI12.CR2 0008 B323h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b2-b0	DFCS[2:0]	RXDX12信号デジタルフィルタ クロック選択ビット	b2 b0 0 0 0: フィルタ無効 0 0 1: フィルタクロックはSCI基本クロック (注1) 0 1 0: フィルタクロックはPCLK/8 0 1 1: フィルタクロックはPCLK/16 1 0 0: フィルタクロックはPCLK/32 1 0 1: フィルタクロックはPCLK/64 1 1 0: フィルタクロックはPCLK/128 1 1 1: 設定しないでください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	BCCS[1:0]	バス衝突検出クロック選択 ビット	b5 b4 0 0: SCI基本クロック 0 1: SCI基本クロックの2分周 1 0: SCI基本クロックの4分周 1 1: 設定しないでください	R/W
b7-b6	RTS[1:0]	RXDX12受信サンプリング タイミング選択ビット	<ul style="list-style-type: none"> SCI12.SEMR.ABCSビット=0の場合 b7 b6 0 0: SCI基本クロックの8クロック目の立ち上がり 0 1: SCI基本クロックの10クロック目の立ち上がり 1 0: SCI基本クロックの12クロック目の立ち上がり 1 1: SCI基本クロックの14クロック目の立ち上がり <ul style="list-style-type: none"> SCI12.SEMR.ABCSビット=1の場合 b7 b6 0 0: SCI基本クロックの4クロック目の立ち上がり 0 1: SCI基本クロックの5クロック目の立ち上がり 1 0: SCI基本クロックの6クロック目の立ち上がり 1 1: SCI基本クロックの7クロック目の立ち上がり	R/W

注. SCI基本クロックとは、SCI12.SEMR.ABCS = 0のとき、1データ期間の1/16の周期、SCI12.SEMR.ABCS = 1のとき、1データ期間の1/8の周期です。

注1. SCI基本クロックを使用する場合、SCI12.SCR.TEビットを“1”にしてください。

23.2.21 コントロールレジスタ 3 (CR3)

アドレス SCI12.CR3 0008 B324h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	SDST
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SDST	Start Frame検出開始ビット	0 : Start Frameの検出を行わない 1 : Start Frameの検出を行う	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SDST ビット (Start Frame 検出開始ビット)

SDST ビットを“1”にすると Start Frame の検出を開始します。読むと“0”が読み出されます。

23.2.22 ポートコントロールレジスタ (PCR)

アドレス SCI12.PCR 0008 B325h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SHARPS	—	—	RXDXPS	TXDXPS
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXDXPS	TXDX12信号極性選択ビット	0 : TXDX12信号極性を反転せずに出力 1 : TXDX12信号極性を反転して出力	R/W
b1	RXDXPS	RXDX12信号極性選択ビット	0 : RXDX12極性を反転せずに入力 1 : RXDX12極性を反転して入力	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SHARPS	TXDX12/RXDX12端子兼用選択ビット	0 : TXDX12端子、RXDX12端子独立 1 : TXDX12/RXDX12端子兼用	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SHARPS ビット (TXDX12/RXDX12 端子兼用選択ビット)

SHARPS ビットが“1”の場合、TXDX12/RXDX12 端子を兼用した半二重通信が可能となります。

23.2.23 割り込みコントロールレジスタ (ICR)

アドレス SCI12.ICR 0008 B326h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	AEDIE	BCDIE	PIBDIE	CF1MIE	CF0MIE	BFDIE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	BFDIE	Break Field Low width検出割り込み許可ビット	0 : Break Field Low width検出割り込み禁止 1 : Break Field Low width検出割り込み許可	R/W
b1	CF0MIE	Control Field 0一致割り込み許可ビット	0 : Control Field 0一致割り込み禁止 1 : Control Field 0一致割り込み許可	R/W
b2	CF1MIE	Control Field 1一致割り込み許可ビット	0 : Control Field 1一致割り込み禁止 1 : Control Field 1一致割り込み許可	R/W
b3	PIBDIE	プライオリティインタラプトビット検出割り込み許可ビット	0 : プライオリティインタラプトビット検出割り込み禁止 1 : プライオリティインタラプトビット検出割り込み許可	R/W
b4	BCDIE	バス衝突検出割り込み許可ビット	0 : バス衝突検出割り込み禁止 1 : バス衝突検出割り込み許可	R/W
b5	AEDIE	有効エッジ検出割り込み許可ビット	0 : 有効エッジ検出割り込み禁止 1 : 有効エッジ検出割り込み許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

23.2.24 ステータスレジスタ (STR)

アドレス SC112.STR 0008 B327h

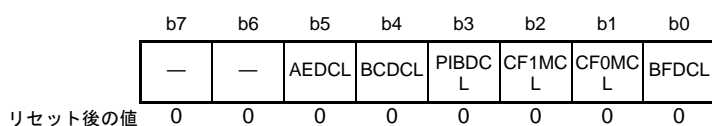
b7	b6	b5	b4	b3	b2	b1	b0
—	—	AEDF	BCDF	PIBDF	CF1MF	CF0MF	BFDF

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	BFDF	Break Field Low width検出フラグ	["1"になる条件] • Break Field Low width検出したとき • Break Field Low width出力完了したとき • タイマがアンダフローしたとき ["0"になる条件] • STCR.BFDCLビットに"1"を書いたとき	R
b1	CF0MF	Control Field 0一致フラグ	["1"になる条件] • Control Field 0受信データが設定データと一致したとき ["0"になる条件] • STCR.CF0MCLビットに"1"を書いたとき	R
b2	CF1MF	Control Field 1一致フラグ	["1"になる条件] • Control Field 1受信データが設定データと一致したとき ["0"になる条件] • STCR.CF1MCLビットに"1"を書いたとき	R
b3	PIBDF	プライオリティインタラプトビット検出フラグ	["1"になる条件] • プライオリティインタラプトビットを検出したとき ["0"になる条件] • STCR.PIBDCLビットに"1"を書いたとき	R
b4	BCDF	バス衝突検出フラグ	["1"になる条件] • バス衝突を検出したとき ["0"になる条件] • STCR.BCDCLビットに"1"を書いたとき	R
b5	AEDF	有効エッジ検出フラグ	["1"になる条件] • 有効エッジを検出したとき ["0"になる条件] • STCR.AEDCLビットに"1"を書いたとき	R
b7-b6	—	予約ビット	読むと"0"が読めます。書き込みは無効になります	R

23.2.25 ステータスクリアレジスタ (STCR)

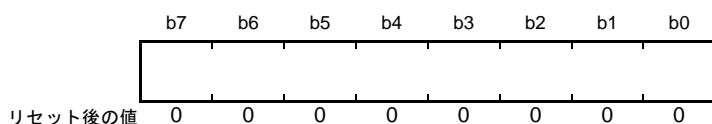
アドレス SCI12.STCR 0008 B328h



ビット	シンボル	ビット名	機能	R/W
b0	BFDCCL	BFDFクリアビット	BFDCCLビットを“1”にするとSTR.BFDFフラグをクリアします。読むと“0”が読み出されます	R/W
b1	CF0MCL	CF0MFクリアビット	CF0MCLビットを“1”にするとSTR.CF0MFフラグをクリアします。読むと“0”が読み出されます	R/W
b2	CF1MCL	CF1MFクリアビット	CF1MCLビットを“1”にするとSTR.CF1MFフラグをクリアします。読むと“0”が読み出されます	R/W
b3	PIBDCCL	PIBDFクリアビット	PIBDCCLビットを“1”にするとSTR.PIBDFフラグをクリアします。読むと“0”が読み出されます	R/W
b4	BCDCL	BCDFクリアビット	BCDCLビットを“1”にするとSTR.BCDFフラグをクリアします。読むと“0”が読み出されます	R/W
b5	AEDCL	AEDFクリアビット	AEDCLビットを“1”にするとSTR.AEDFフラグをクリアします。読むと“0”が読み出されます	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

23.2.26 Control Field 0 データレジスタ (CF0DR)

アドレス SCI12.CF0DR 0008 B329h



CF0DR レジスタは、Control Field 0 の比較データを格納する 8 ビットのリード/ライト可能なレジスタです。

23.2.27 Control Field 0 コンペアイネーブルレジスタ (CF0CR)

アドレス SCI12.CF0CR 0008 B32Ah

b7	b6	b5	b4	b3	b2	b1	b0
CF0CE7	CF0CE6	CF0CE5	CF0CE4	CF0CE3	CF0CE2	CF0CE1	CF0CE0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CF0CE0	Control Field 0 0ビットコンペアイネーブルビット	0 : Control Field 0 ビット0コンペア無効 1 : Control Field 0 ビット0コンペア有効	R/W
b1	CF0CE1	Control Field 0 1ビットコンペアイネーブルビット	0 : Control Field 0 ビット1コンペア無効 1 : Control Field 0 ビット1コンペア有効	R/W
b2	CF0CE2	Control Field 0 2ビットコンペアイネーブルビット	0 : Control Field 0 ビット2コンペア無効 1 : Control Field 0 ビット2コンペア有効	R/W
b3	CF0CE3	Control Field 0 3ビットコンペアイネーブルビット	0 : Control Field 0 ビット3コンペア無効 1 : Control Field 0 ビット3コンペア有効	R/W
b4	CF0CE4	Control Field 0 4ビットコンペアイネーブルビット	0 : Control Field 0 ビット4コンペア無効 1 : Control Field 0 ビット4コンペア有効	R/W
b5	CF0CE5	Control Field 0 5ビットコンペアイネーブルビット	0 : Control Field 0 ビット5コンペア無効 1 : Control Field 0 ビット5コンペア有効	R/W
b6	CF0CE6	Control Field 0 6ビットコンペアイネーブルビット	0 : Control Field 0 ビット6コンペア無効 1 : Control Field 0 ビット6コンペア有効	R/W
b7	CF0CE7	Control Field 0 7ビットコンペアイネーブルビット	0 : Control Field 0 ビット7コンペア無効 1 : Control Field 0 ビット7コンペア有効	R/W

23.2.28 Control Field 0 受信データレジスタ (CF0RR)

アドレス SCI12.CF0RR 0008 B32Bh

b7	b6	b5	b4	b3	b2	b1	b0

リセット後の値 0 0 0 0 0 0 0 0

CF0RR レジスタは、Control Field 0 の受信データを格納する 8 ビットのリード可能なレジスタです。
CF0RR レジスタは CPU、DTC からライトできません。

23.2.29 プライマリ Control Field 1 データレジスタ (PCF1DR)

アドレス SCI12.PCF1DR 0008 B32Ch

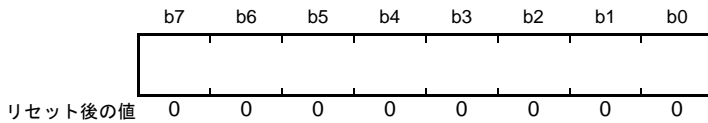
b7	b6	b5	b4	b3	b2	b1	b0

リセット後の値 0 0 0 0 0 0 0 0

PCF1DR レジスタは、Control Field 1 のプライマリ比較データを格納する 8 ビットのリード/ライト可能なレジスタです。

23.2.30 セカンダリ Control Field 1 データレジスタ (SCF1DR)

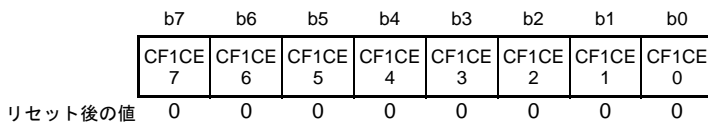
アドレス SCI12.SCF1DR 0008 B32Dh



SCF1DR レジスタは、Control Field 1 のセカンダリ比較データを格納する 8 ビットのリード/ライト可能なレジスタです。

23.2.31 Control Field 1 コンペアイネーブルレジスタ (CF1CR)

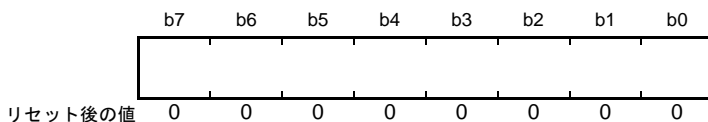
アドレス SCI12.CF1CR 0008 B32Eh



ビット	シンボル	ビット名	機能	R/W
b0	CF1CE0	Control Field 1 0ビットコンペアイネーブル	0 : Control Field 1 ビット0コンペア無効 1 : Control Field 1 ビット0コンペア有効	R/W
b1	CF1CE1	Control Field 1 1ビットコンペアイネーブル	0 : Control Field 1 ビット1コンペア無効 1 : Control Field 1 ビット1コンペア有効	R/W
b2	CF1CE2	Control Field 1 2ビットコンペアイネーブル	0 : Control Field 1 ビット2コンペア無効 1 : Control Field 1 ビット2コンペア有効	R/W
b3	CF1CE3	Control Field 1 3ビットコンペアイネーブル	0 : Control Field 1 ビット3コンペア無効 1 : Control Field 1 ビット3コンペア有効	R/W
b4	CF1CE4	Control Field 1 4ビットコンペアイネーブル	0 : Control Field 1 ビット4コンペア無効 1 : Control Field 1 ビット4コンペア有効	R/W
b5	CF1CE5	Control Field 1 5ビットコンペアイネーブル	0 : Control Field 1 ビット5コンペア無効 1 : Control Field 1 ビット5コンペア有効	R/W
b6	CF1CE6	Control Field 1 6ビットコンペアイネーブル	0 : Control Field 1 ビット6コンペア無効 1 : Control Field 1 ビット6コンペア有効	R/W
b7	CF1CE7	Control Field 1 7ビットコンペアイネーブル	0 : Control Field 1 ビット7コンペア無効 1 : Control Field 1 ビット7コンペア有効	R/W

23.2.32 Control Field 1 受信データレジスタ (CF1RR)

アドレス SCI12.CF1RR 0008 B32Fh



CF1RR レジスタは Control Field 1 の受信データを格納する 8 ビットのリード可能なレジスタです。CF1RR レジスタは CPU、DTC からライトできません。

23.2.33 タイマコントロールレジスタ (TCR)

アドレス SCI12.TCR 0008 B330h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	TCST
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCST	タイマカウント開始ビット	0 : タイマカウント停止 1 : タイマカウント開始	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

23.2.34 タイマモードレジスタ (TMR)

アドレス SCI12.TMR 0008 B331h

b7	b6	b5	b4	b3	b2	b1	b0
—	TCSS[2:0]		TWRC	—	TOMS[1:0]		—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOMS[1:0]	タイマ動作モード選択ビット (注1)	b1 b0 0 0 : タイマモード 0 1 : Break Field Low width 判定モード 1 0 : Break Field Low width 出力モード 1 1 : 設定しないでください	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	TWRC	カウンタ書き込み制御ビット	0 : リロードレジスタとカウンタへの書き込み 1 : リロードレジスタのみ書き込み	R/W
b6-b4	TCSS[2:0]	タイマカウントクロックソース選択ビット (注1)	b6 b4 0 0 0 : PCLK 0 0 1 : PCLK/2 0 1 0 : PCLK/4 0 1 1 : PCLK/8 1 0 0 : PCLK/16 1 0 1 : PCLK/32 1 1 0 : PCLK/64 1 1 1 : PCLK/128	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

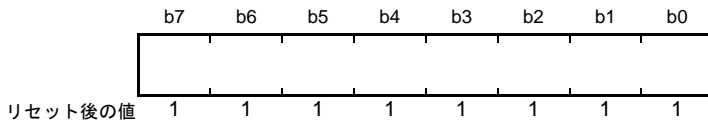
注1. TOMS[1:0]およびTCSS[2:0]ビットの書き換えは、タイマカウント停止時 (TCST = 0) に行ってください。

TWRC ビット (カウンタ書き込み制御ビット)

TCNT、TPRE レジスタにライトしたときに、リロードレジスタのみ書き込むのか、リロードレジスタとカウンタに書き込むのか選択します。

23.2.35 タイムプリスケアラレジスタ (TPRE)

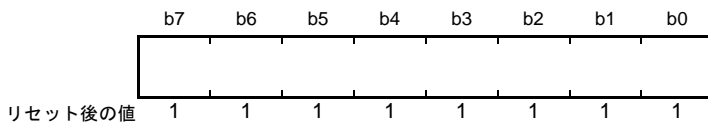
アドレス SCI12.TPRE 0008 B332h



TPRE レジスタは、8 ビットのリロードレジスタ、リードバッファおよびカウンタで構成され、初期値はそれぞれ FFh です。TMR.TCSS[2:0] ビットで選択されたカウントクロックソースでダウンカウントを行い、アンダフローするとカウンタへリロードレジスタの値がロードされます。またアンダフローは TCNT レジスタのカウントクロックソースとなります。リロードレジスタとリードバッファは同じアドレスに配置されており、ライト時はリロードレジスタへ書き込まれ、リード時はリードバッファに転送されたカウンタ値が読み出されます。なお、リロードレジスタ値をカウンタへロードする際は、PCLK の 1 クロックが必要です。

23.2.36 タイマカウンタレジスタ (TCNT)

アドレス SCI12.TCNT 0008 B333h



TCNT レジスタは、8 ビットのリロードレジスタ、リードバッファおよびカウンタで構成され、初期値はそれぞれ FFh です。TPRE レジスタのアンダフローをダウンカウントし、TCNT レジスタがアンダフローするとカウンタへリロードレジスタの値がロードされます。リロードレジスタとリードバッファは同じアドレスに配置されており、ライト時はリロードレジスタへ書き込まれ、リード時はリードバッファに転送されたカウンタ値が読み出されます。なお、リロードレジスタ値をカウンタへロードする際は、PCLK の 1 クロックが必要です。

23.3 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを図 23.4 に示します。

1 フレームは、スタートビット (Low) から始まり送受信データ、パリティビット、ストップビット (High) の順で構成されます。

調歩同期式シリアル通信では、通信回線は通常マーク状態 (High) に保たれています。

SCI は通信回線を監視し、スペース (Low) を検出するとスタートビットとみなしてシリアル通信を開始します。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

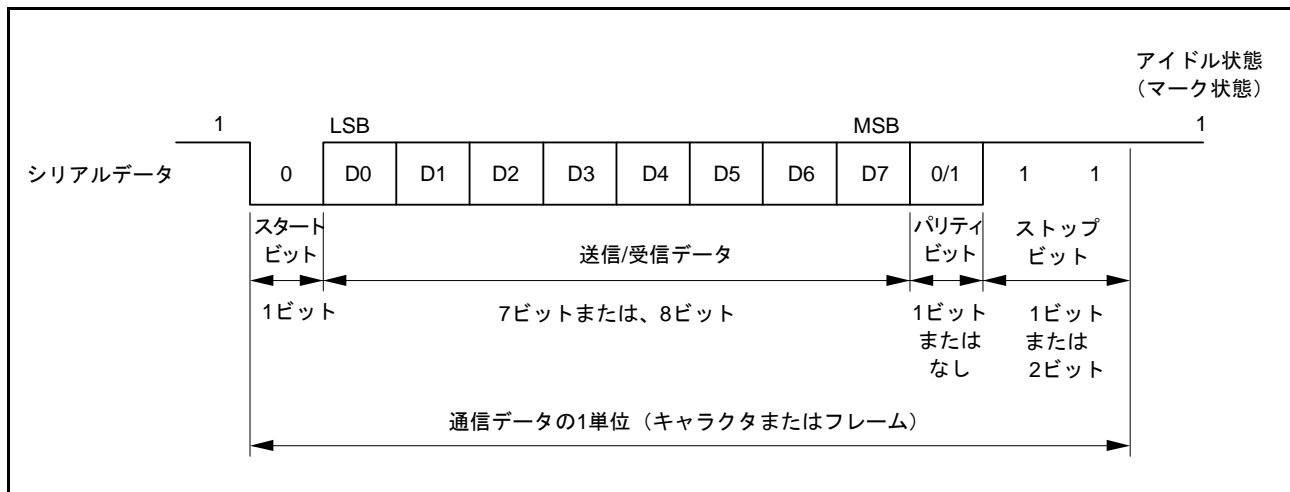


図 23.4 調歩同期式シリアル通信のデータフォーマット
(8 ビットデータ / パリティあり / 2 ストップビットの例)

23.3.1 シリアル送信 / 受信フォーマット

調歩同期式モードで設定できるシリアル送信 / 受信フォーマットを表 23.26 に示します。

フォーマットは 12 種類あり、SMR レジスタの選定により選択できます。マルチプロセッサ機能の詳細については「23.4 マルチプロセッサ通信機能」を参照してください。

表23.26 シリアル送信/受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信/受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	—	1	0	S	8ビットデータ								MPB	STOP		
0	—	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	—	1	0	S	7ビットデータ							MPB	STOP			
1	—	1	1	S	7ビットデータ							MPB	STOP	STOP		

S : スタートビット
 STOP : ストップビット
 P : パリティビット
 MPB : マルチプロセスビット

23.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIはビットレートの16倍（注1）の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図23.5に示すように受信データを基本クロックの8サイクル目（注1）の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式(1)のように表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 [\%] \quad \dots \text{式(1)}$$

M: 受信マージン

N: クロックに対するビットレートの比

- SEMR.ABCSビットが“0”のとき N = 16
- SEMR.ABCSビットが“1”のとき N = 8

D: クロックのデューティ (D = 0.5 ~ 1.0)

L: フレーム長 (L = 9 ~ 13)

F: クロック周波数の偏差の絶対値

式(1)で、F = 0、D = 0.5 とすると、

$$M = \{0.5 - 1/(2 \times 16)\} \times 100 [\%] = 46.875 [\%]$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には20 ~ 30%の余裕を持たせてください。

注1. SEMR.ABCSビットが“0”のときの例です。ABCSビットが“1”のときは、ビットレートの8倍の周波数が基本クロックとなり、受信データは基本クロックの4番目の立ち上がりエッジでサンプリングします。

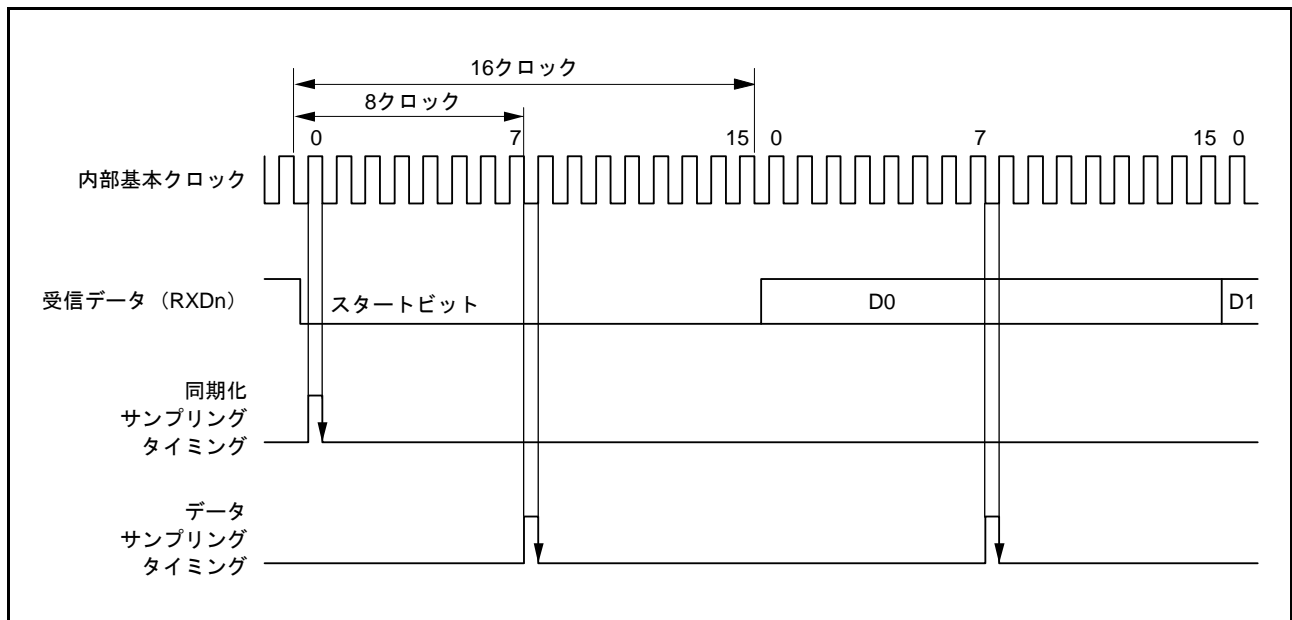


図 23.5 調歩同期式モードの受信データサンプリングタイミング

23.3.3 クロック

SCIの送受信クロックは、SMR.CMビットとSCR.CKE[1:0]ビットの設定により、内蔵ボーレートジェネレータの生成する内部クロックまたはSCKn端子から入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn端子にビットレートの16倍（SEMR.ABCSビット=0のとき）、8倍（SEMR.ABCSビット=1のとき）の周波数のクロックを入力してください。また、外部クロックを選択した場合は、SCIn.SEMR.ACS0ビット（n=1, 5, 12）の設定により、MTIOC1A、MTIOC2Aからの基本クロックを選択することが可能です。

内部クロックで動作させるときはSCKn端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図23.6に示すように送信データの中央でクロックが立ち上がります。

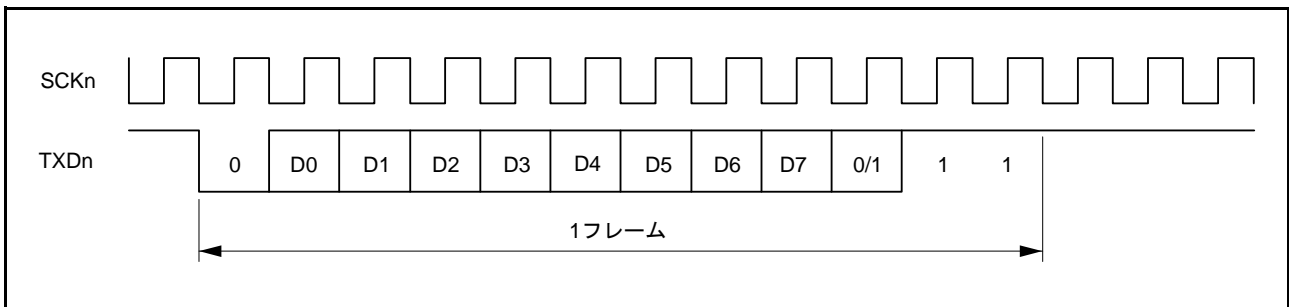


図 23.6 出カクロックと送信データの位相関係
(調歩同期式モード : SMR.CHR = 0、PE = 1、MP = 0、STOP = 1)

23.3.4 CTS、RTS 機能

CTS機能は、CTS#端子入力を使用して送信制御を行う機能です。

SPMR.CTSEビットを“1”にするとCTS機能が有効になります。CTS機能が有効のとき、CTS#端子入力がLowのときのみ送信動作を開始します。

送信動作中にCTS#端子をHighにした場合、送信中のフレームは影響を受けず送信を続けます。

RTS機能は、RTS#端子出力を使用して受信要求を行う機能で、受信可能状態になるとLowを出力します。RTS#端子からLow、Highを出力する条件は以下の通りです。

[Lowになる条件]

以下の条件をすべて満たす場合

- SCR.REビットが“1”
- 受信動作中でない
- 未読の受信データがない
- SSRレジスタのORER、FER、PERフラグがすべて“0”

[Highになる条件]

Lowになる条件を満たさない場合

なお、CTS/RTSはどちらか一方しか選択できません。

23.3.5 SCIの初期化（調歩同期式モード）

データの送受信前にSCRレジスタに初期値“00h”を書き込み、図23.7のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCRレジスタを初期値にしてから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

なお、SCR.REビットを“0”にしても、SSRレジスタのORER、FER、PER、RDRFフラグおよびRDRレジスタは初期化されませんので注意してください。

SCR.TIEビットが“1”の場合にSCR.TEビットを“1”から“0”、または“0”から“1”にすると、送信データエンプティ割り込み（TXI）要求が発生しますので注意してください。

また、SCRレジスタのTIEビット、TEビット、TEIEビットを同時に“1”にすると、TXI割り込み要求が発生する前に送信終了割り込み（TEI）要求が発生しますので注意してください。

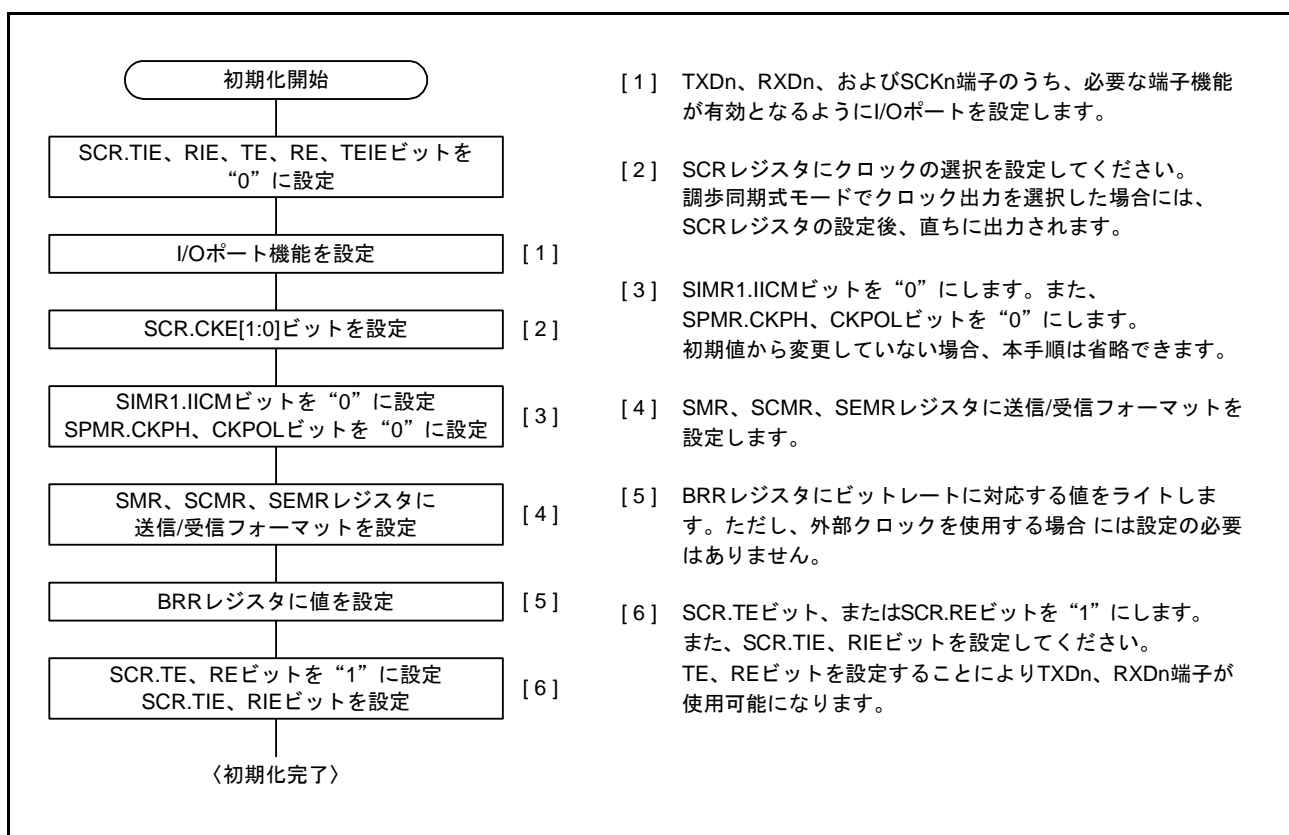


図 23.7 SCIの初期化フローチャートの例（調歩同期式モード）

23.3.6 シリアルデータの送信（調歩同期式モード）

図 23.8 ~ 図 23.10 に調歩同期式モードのシリアル送信時の動作例を示します。

シリアルデータの送信時、SCI は以下のように動作します。

1. SCI は TXI 割り込み処理ルーチンで TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを“1”にした後に SCR.TE ビットを“1”にするか、1 命令で同時に“1”にすることで発生します。
2. SPMR.CTSE ビットが“0”（CTS 機能禁止）、または CTSn# 端子入力が Low で、TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが“1”であると、TXI 割り込み要求が発生します。TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタに書いた後、SCR.TIE ビットを“0”（TXI 割り込み要求を禁止）に、SCR.TEIE ビットを“1”（TEI 割り込み要求を許可）にします。
3. TXDn 端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット（フォーマットによってはない場合もあります）、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングで TDR レジスタの更新（書き込み）をチェックします。
5. TDR レジスタが更新されていると、SPMR.CTSE ビットが“0”（CTS 機能禁止）、または CTSn# 端子入力が Low で、次の送信データを TDR レジスタから TSR レジスタに転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを“1”にし、ストップビット送出後、“1”を出力してマーク状態になります。このとき、SCR.TEIE ビットが“1”であると、SSR.TEND フラグが“1”になり TEI 割り込み要求が発生します。

図 23.11 にシリアル送信のフローチャートの例を示します。

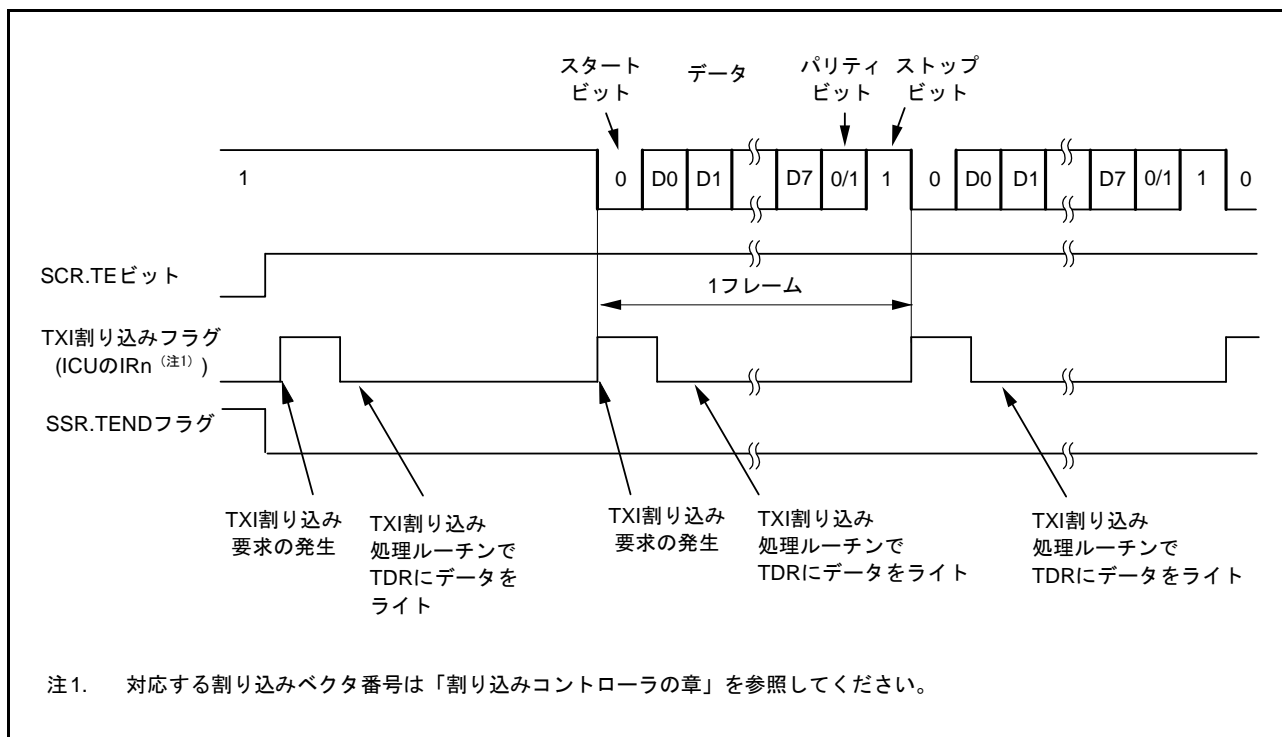


図 23.8 調歩同期式モードのシリアル送信の動作例 (1)
(8 ビットデータ / パリティあり / 1 ストップビット / CTS 機能使用しない / 送信開始時)

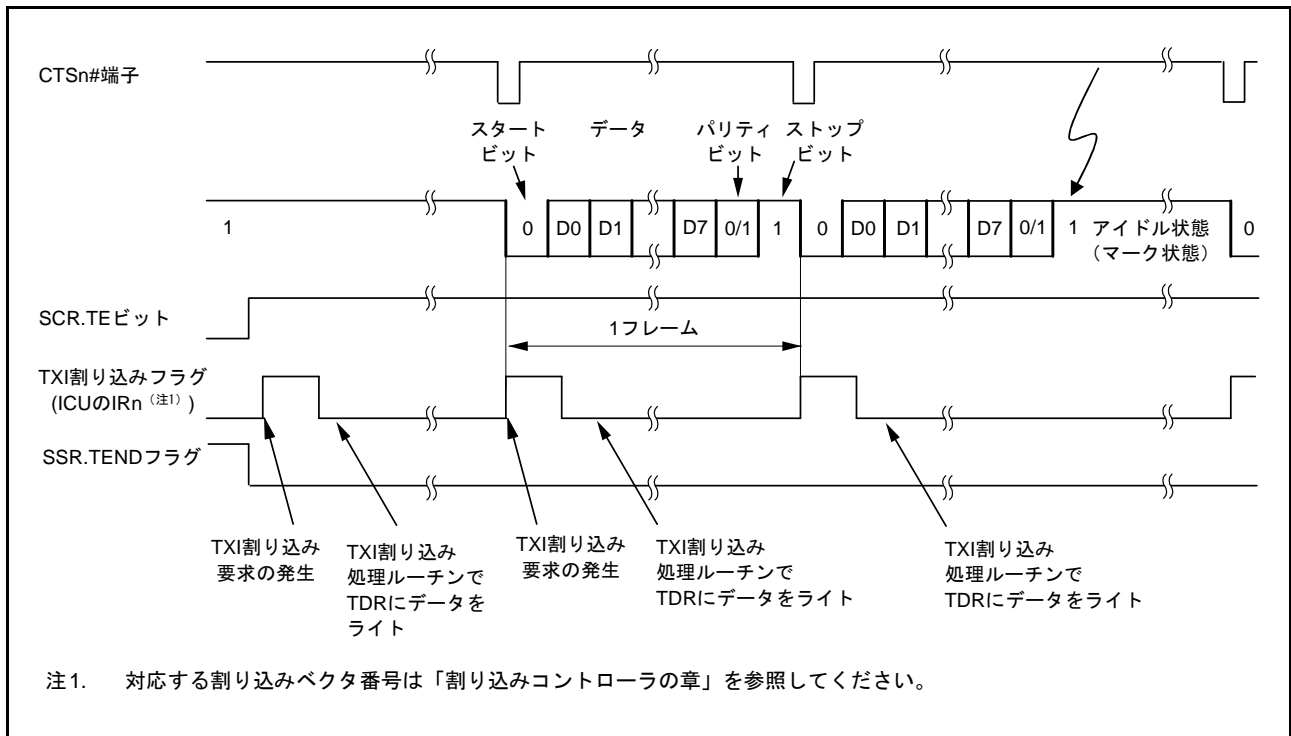


図 23.9 調歩同期式モードのシリアル送信の動作例 (2)
(8ビットデータ / パリティあり / 1ストップビット / CTS 機能使用する / 送信開始時)

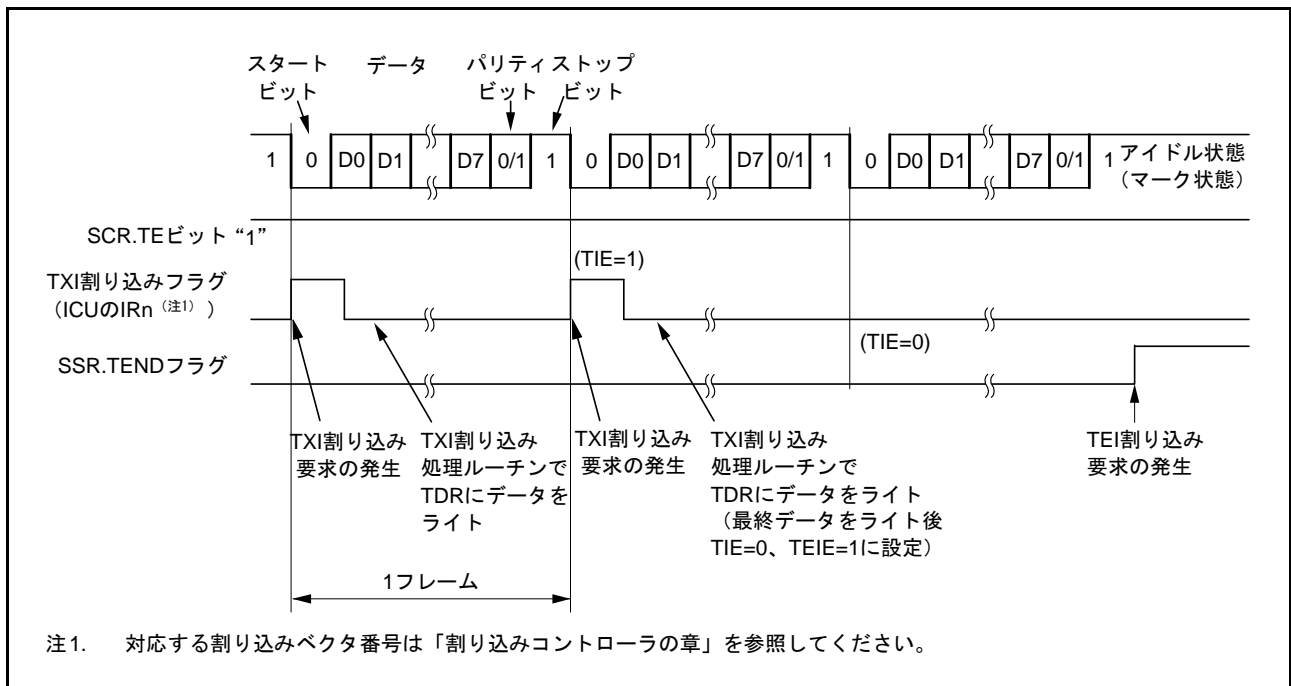


図 23.10 調歩同期式モードのシリアル送信の動作例 (3)
(8ビットデータ / パリティあり / 1ストップビット / CTS 機能使用しない / 送信中～送信終了時)

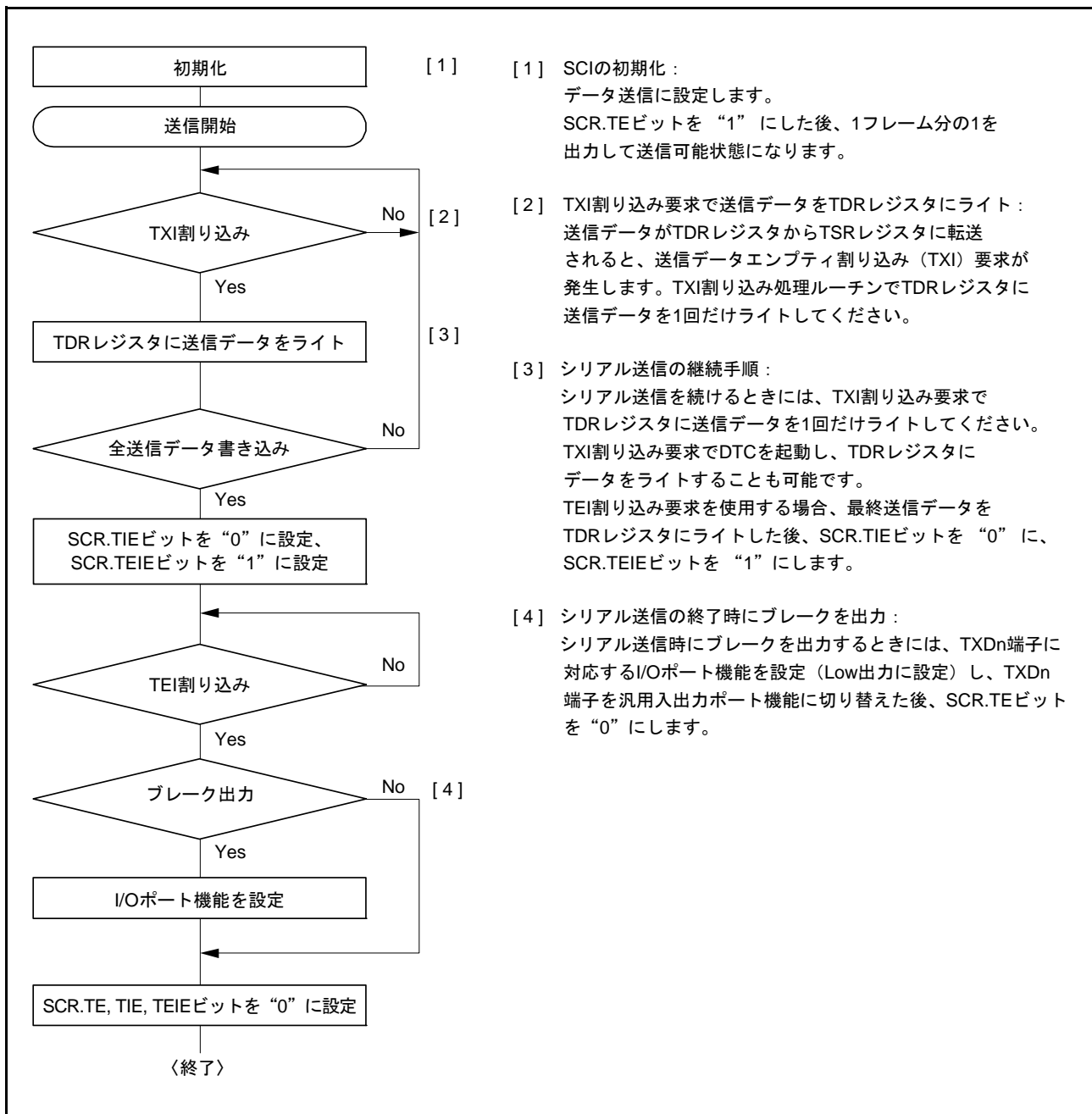


図 23.11 調歩同期式モードのシリアル送信のフローチャート例

23.3.7 シリアルデータの受信（調歩同期式モード）

図 23.12、図 23.13 に調歩同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが“1”になると、RTSn# 端子出力を Low にします（RTS 機能使用時）。
2. 通信回線を監視しスタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき、SCR.RIE ビットが“1”であると、ERI 割り込み要求が発生します。受信データは RDR レジスタに転送しません。
4. パリティエラーを検出した場合は SSR.PER フラグをセットし、受信データを RDR レジスタに転送します。このとき、RIE ビットが“1”であると、ERI 割り込み要求が発生します。
5. フレーミングエラー（ストップビットが“0”のとき）を検出した場合は SSR.FER フラグをセットし、受信データを RDR レジスタに転送します。このとき、RIE ビットが“1”であると、ERI 割り込み要求が発生します。
6. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき、RIE ビットが“1”であると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタに転送された受信データが読み出されると、RTSn# 端子出力を Low にします。

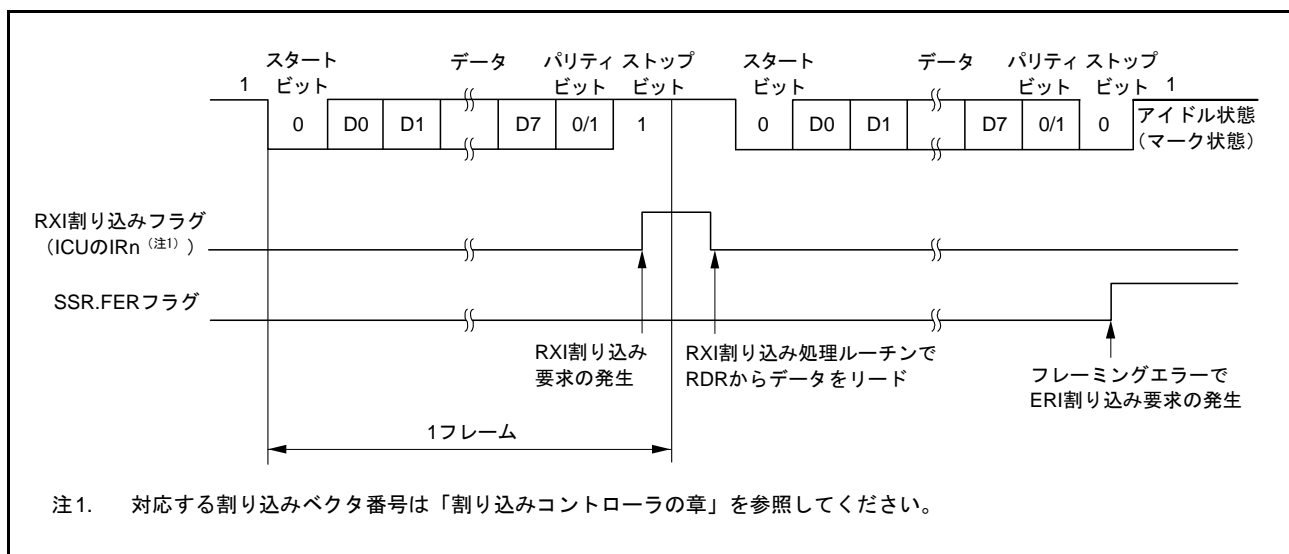


図 23.12 調歩同期式モードのシリアル受信時の動作例（1）（RTS 機能未使用時）
（8 ビットデータ / パリティあり / 1 ストップビットの例）

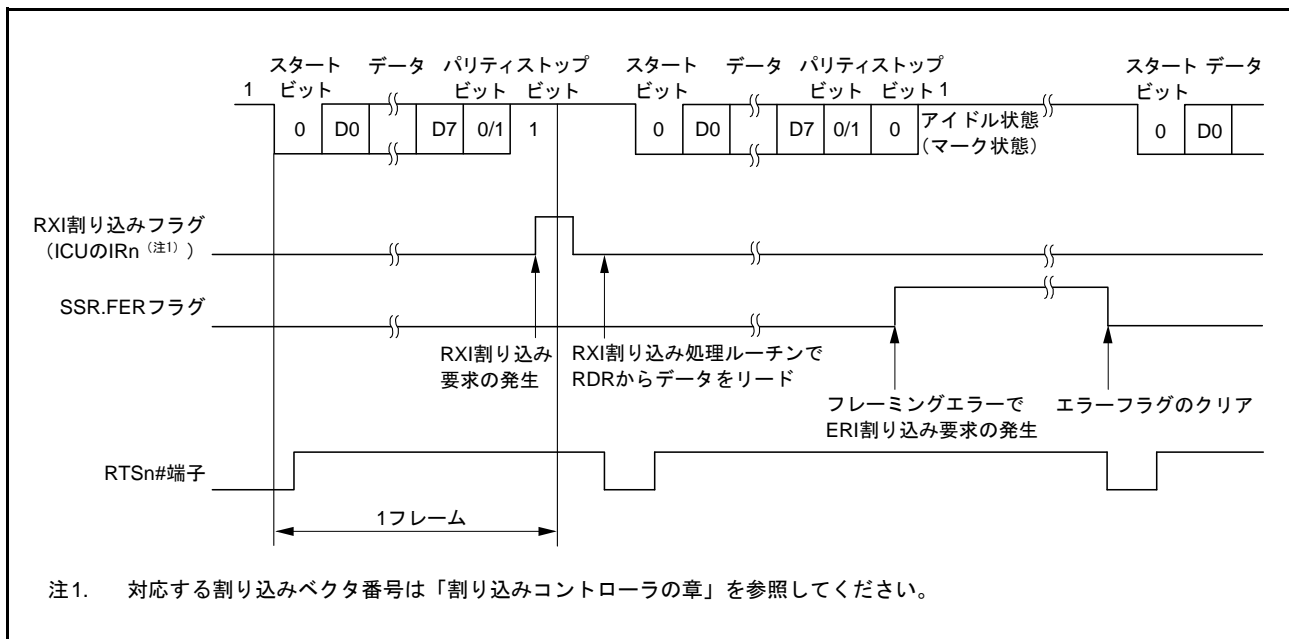


図 23.13 調歩同期式モードのシリアル受信時の動作例 (2) (RTS 機能使用時)
(8ビットデータ / パリティあり / 1ストップビットの例)

受信エラーを検出した場合の SSR レジスタの各ステータスフラグの状態と受信データの処理を表 23.27 に示します。

受信エラーを検出すると、ERI 割り込み要求が発生し、RXI 割り込み要求は発生しません。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に ORER、FER、および PER フラグを“0”にしてください。また、オーバランエラー処理では RDR レジスタをリードしてください。また、受信動作中に SCR.RE ビットを“0”にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

図 23.14、図 23.15 にシリアル受信のフローチャートの例を示します。

表 23.27 SSR レジスタのステータスフラグの状態と受信データの処理

SSR レジスタのステータスフラグ			受信データ	受信エラーの状態
ORER	FER	PER		
1	0	0	消失	オーバランエラー
0	1	0	RDR へ転送	フレーミングエラー
0	0	1	RDR へ転送	パリティエラー
1	1	0	消失	オーバランエラー + フレーミングエラー
1	0	1	消失	オーバランエラー + パリティエラー
0	1	1	RDR へ転送	フレーミングエラー + パリティエラー
1	1	1	消失	オーバランエラー + フレーミングエラー + パリティエラー

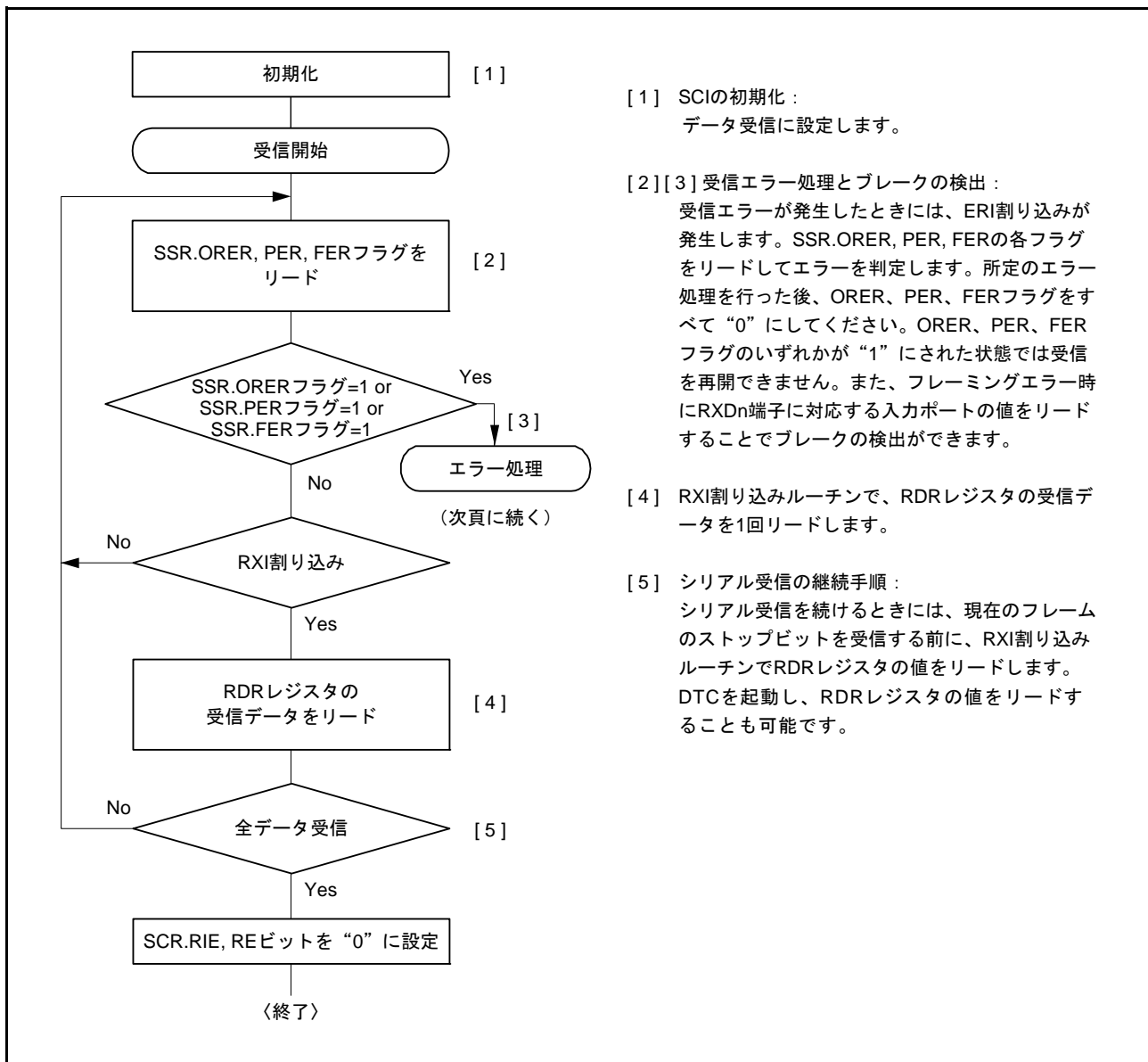


図 23.14 調歩同期式モードのシリアル受信のフローチャート例 (1)

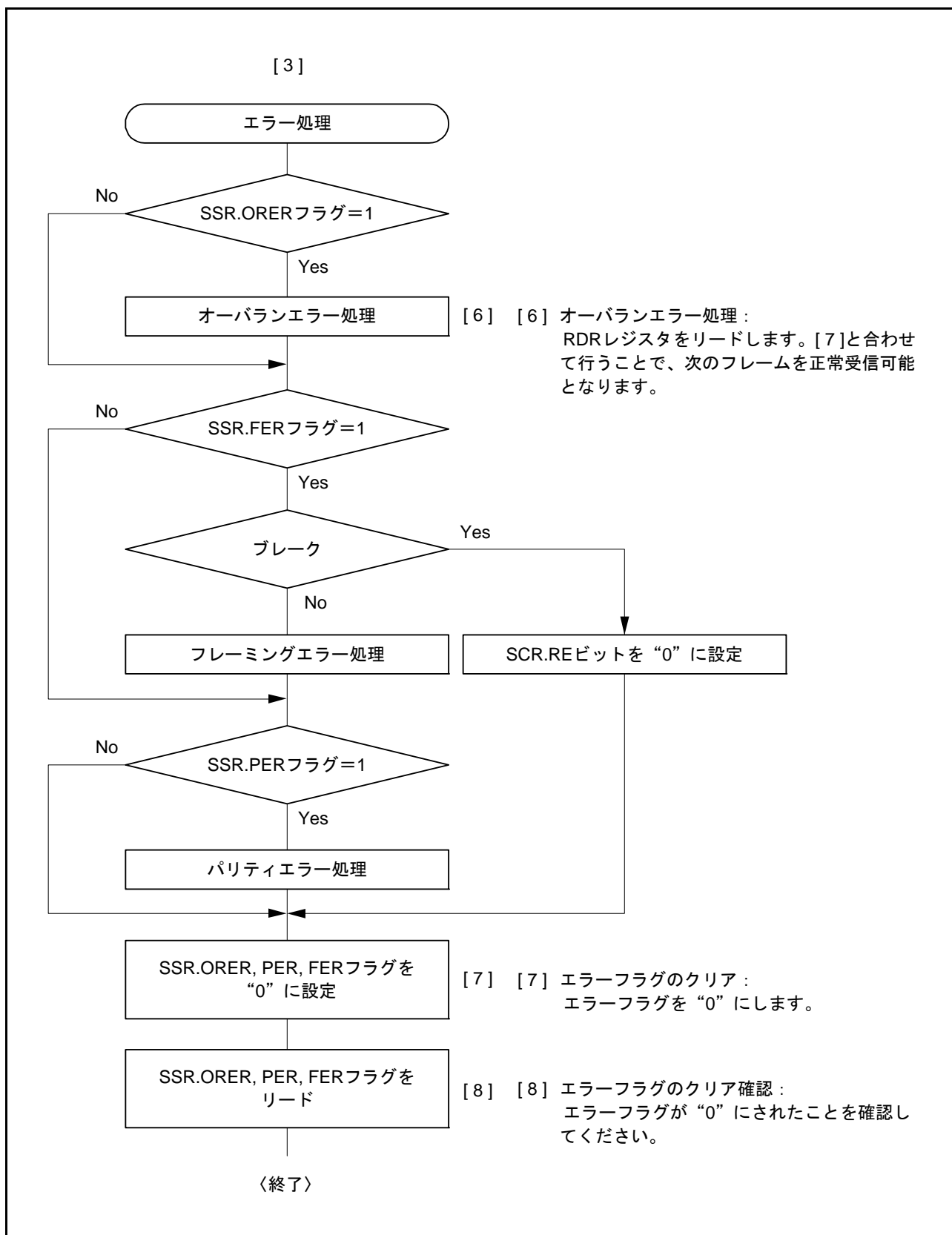


図 23.15 調歩同期式モードのシリアル受信のフローチャート例 (2)

23.4 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有のIDコードを割り付けます。シリアル通信サイクルは、受信局を指定するID送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが“1”のときID送信サイクル、“0”のときデータ送信サイクルとなります。図23.16にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局のIDコードにマルチプロセッサビット1を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット0を付加した通信データを送信します。受信局は、マルチプロセッサビットが“1”の通信データを受信すると自局のIDと比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが“1”の通信データを受信するまで通信データを読みとばします。

SCIはこの機能をサポートするため、SCR.MPIEビットが設けてあります。MPIEビットを“1”にすると、マルチプロセッサビットが“1”のデータを受け取るまでRSRレジスタからRDRレジスタへの受信データの転送、および受信エラーの検出とSSRレジスタのORER、FERフラグのセットを禁止します。マルチプロセッサビットが“1”の受信キャラクタを受け取ると、SSR.MPBフラグが“1”になるとともにSCR.MPIEビットが“0”になって通常の受信動作に戻ります。このときSCR.RIEビットが“1”であるとRXI割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

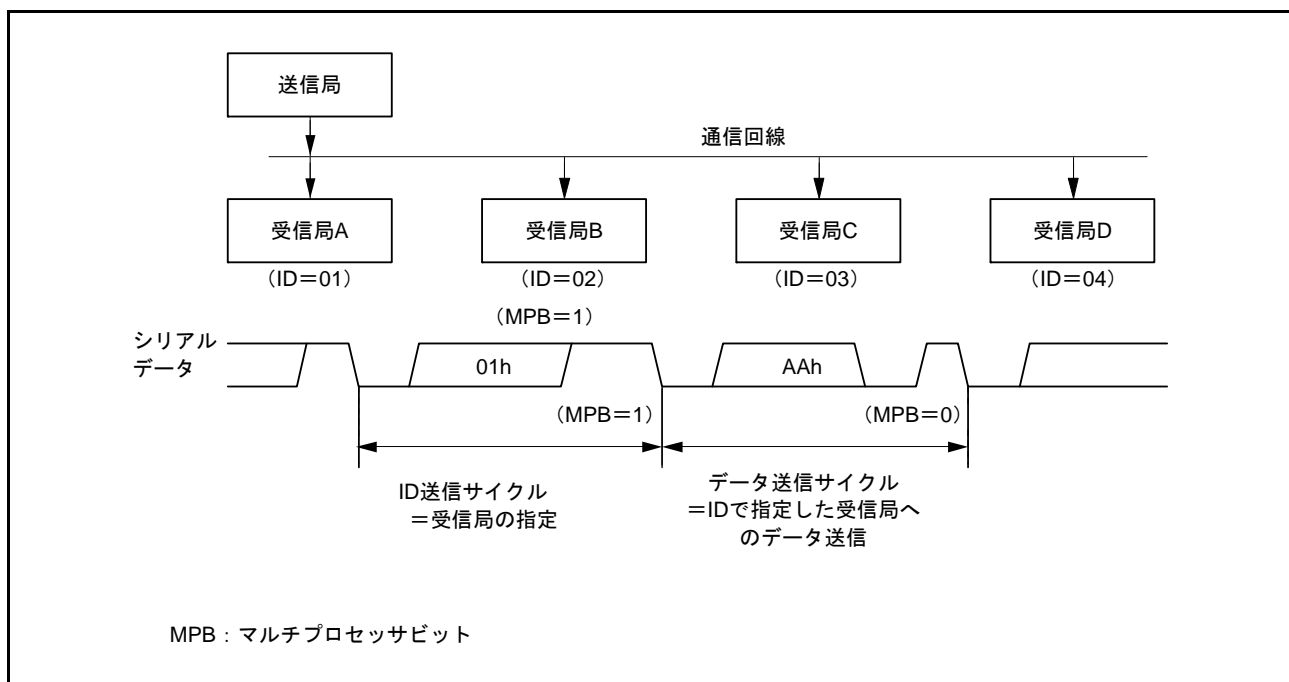


図 23.16 マルチプロセッサフォーマットを使用した通信例（受信局 A へのデータ “AAh” の送信の例）

23.4.1 マルチプロセッサシリアルデータ送信

図 23.17 にマルチプロセッサシリアル送信のフローチャートの例を示します。ID 送信サイクルでは SSR.MPBT ビットを“1”にして送信してください。データ送信サイクルでは SSR.MPBT ビットを“0”にして送信してください。その他の動作は調歩同期式モードの動作と同じです。

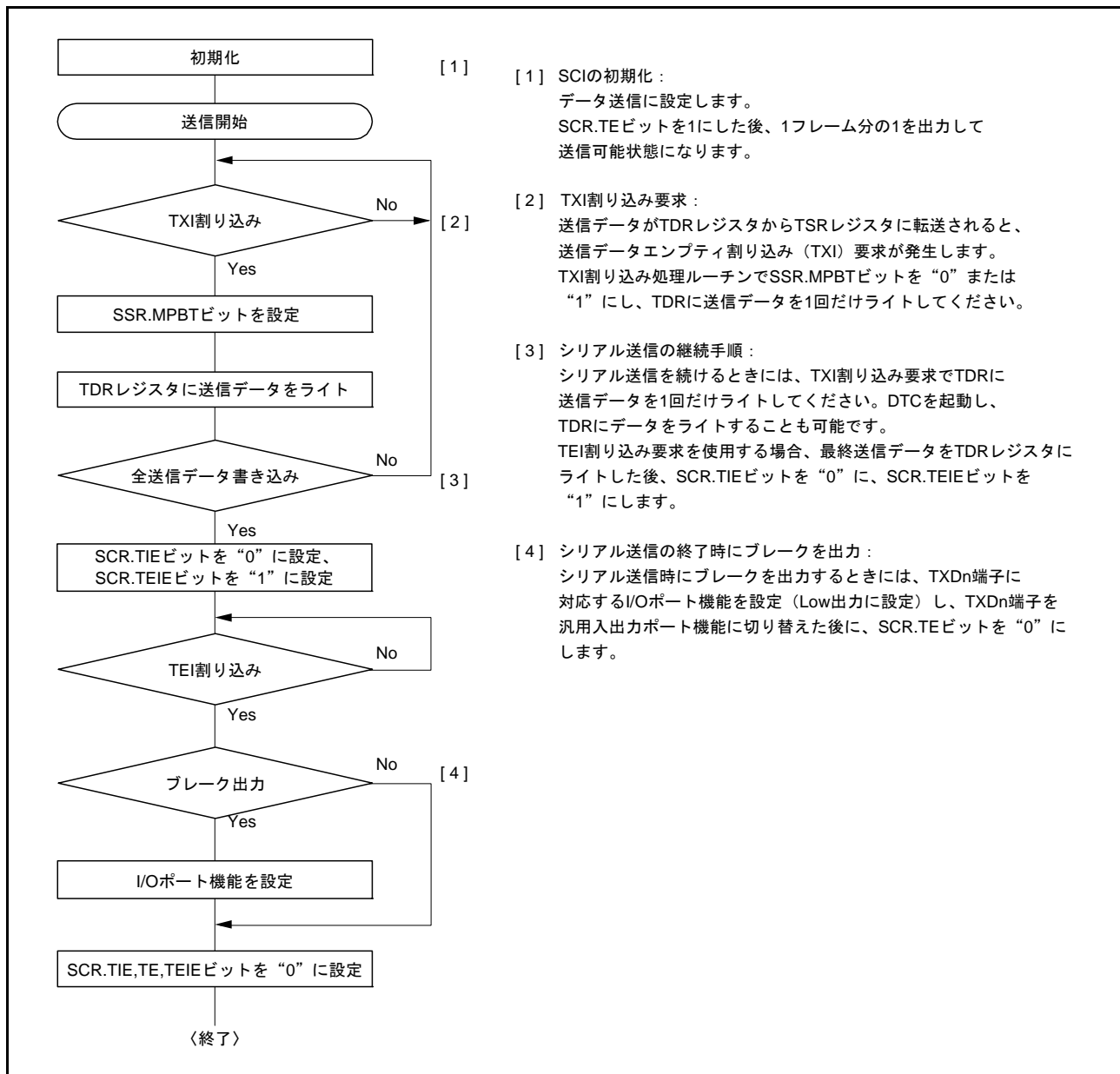


図 23.17 マルチプロセッサシリアル送信のフローチャートの例

23.4.2 マルチプロセッサシリアルデータ受信

図 23.19、図 23.20 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR.MPIE ビットを“1”にするとマルチプロセッサビットが“1”の通信データを受信するまで通信データを読み飛ばします。マルチプロセッサビットが“1”の通信データを受信すると受信データを RDR レジスタに転送します。このとき RXI 割り込み要求が発生します。その他の動作は調歩同期式モードの動作と同じです。

図 23.18 に受信時の動作例を示します。

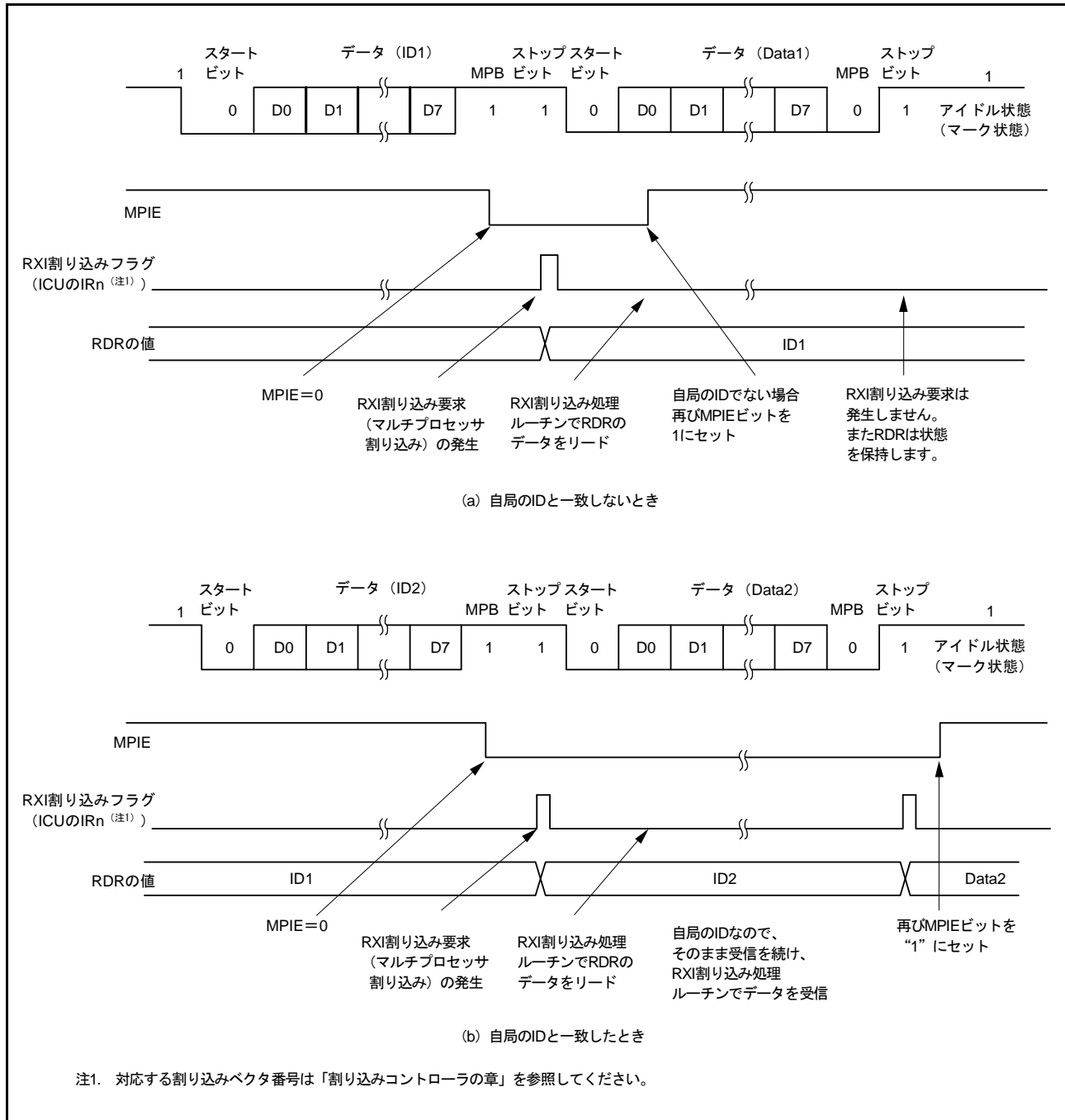


図 23.18 SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

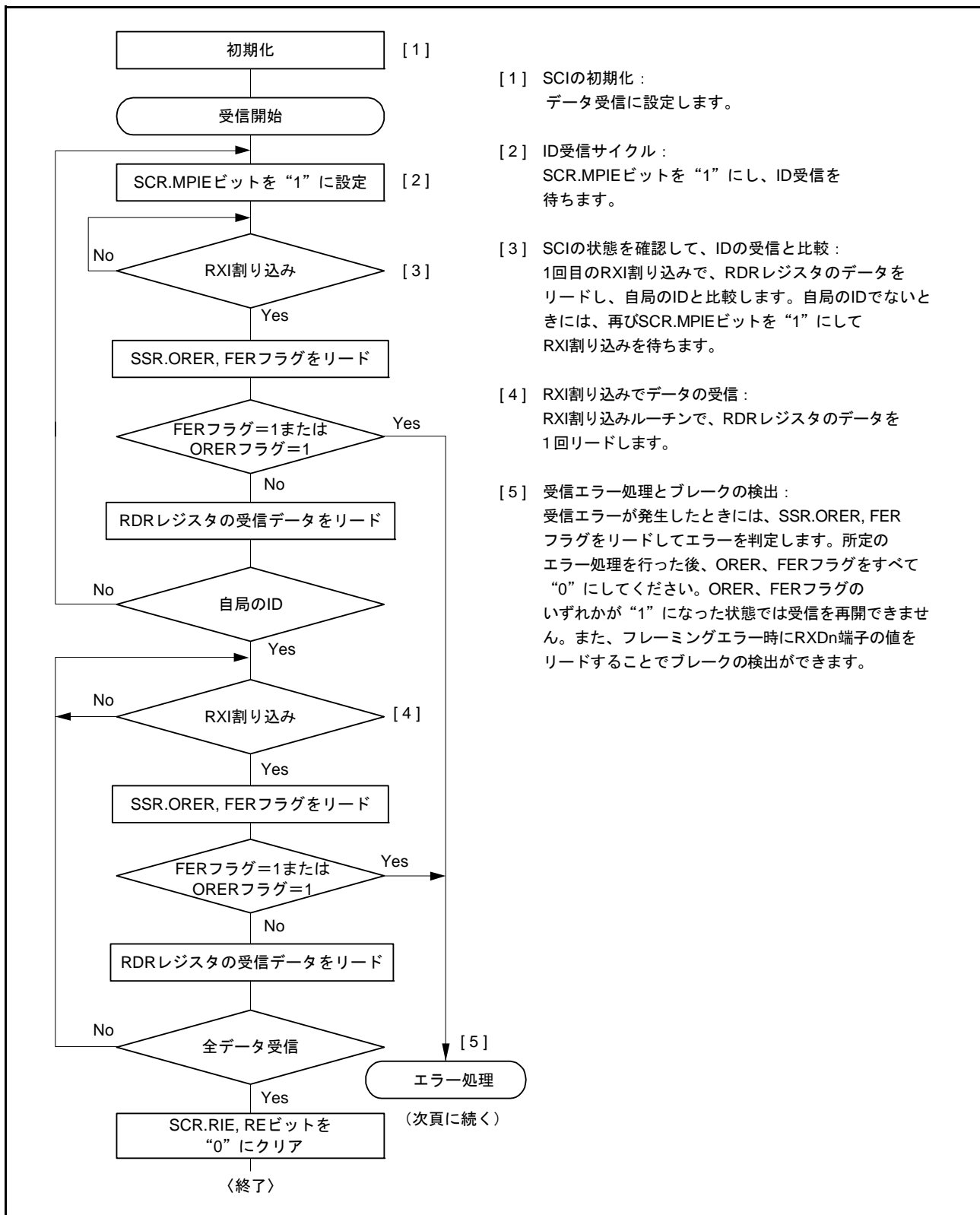


図 23.19 マルチプロセッサシリアル受信のフローチャートの例 (1)

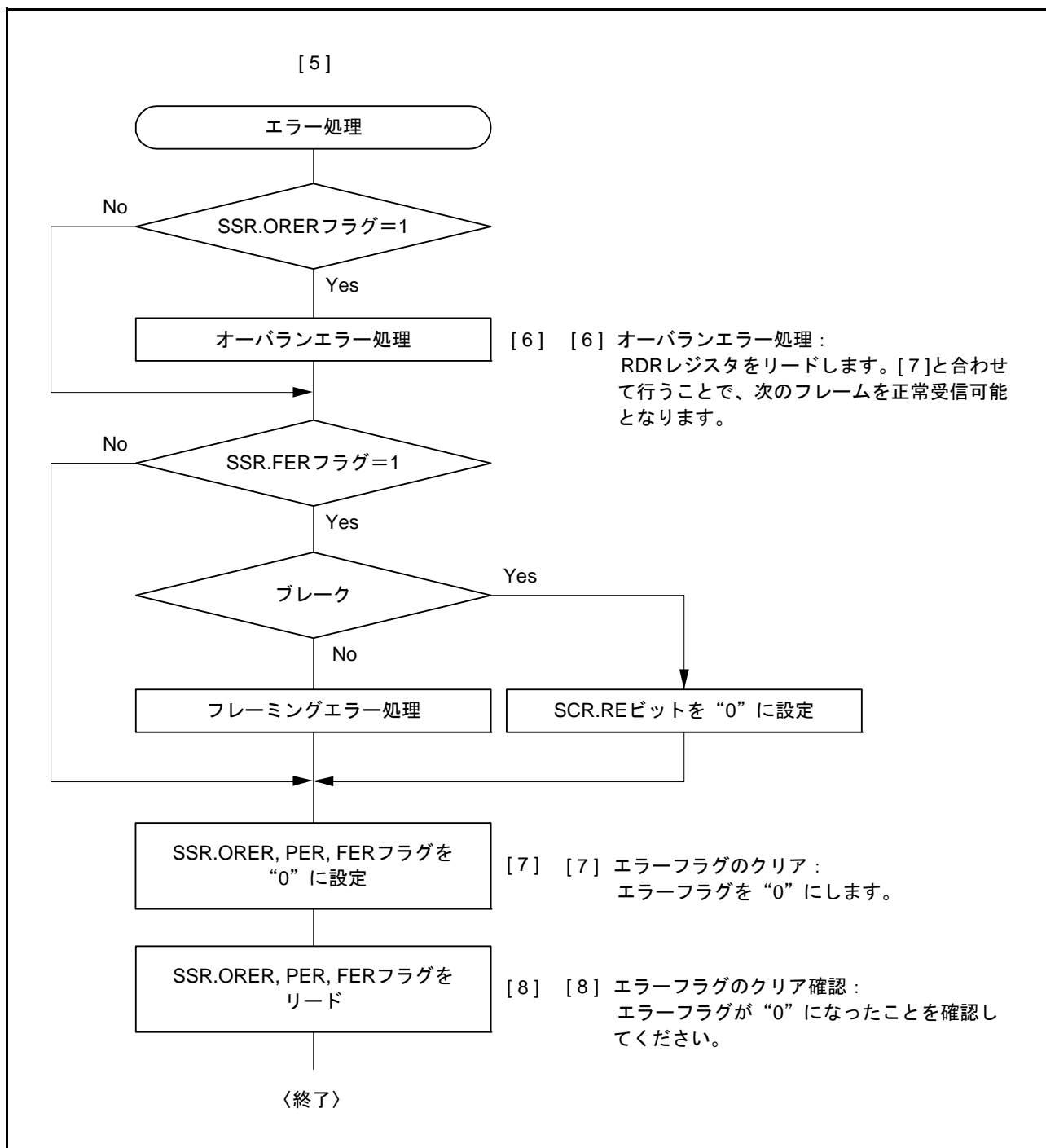


図 23.20 マルチプロセッサシリアル受信のフローチャートの例 (2)

23.5 クロック同期式モードの動作

クロック同期式シリアル通信のデータフォーマットを図 23.21 に示します。

クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの1キャラクタは8ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

SCIは、データ送信時は同期クロックの立ち下がりから次の立ち上がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8ビット出力後の通信回線は最終ビット出力状態を保ちます。

SCI内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。また、送信部/受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

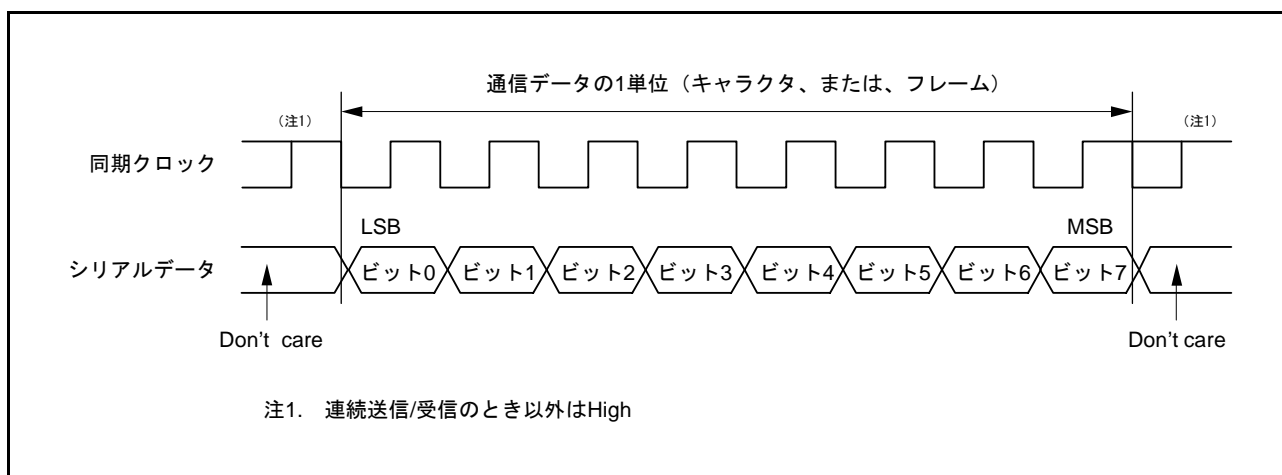


図 23.21 クロック同期式シリアル通信のデータフォーマット (LSB ファーストの場合)

23.5.1 クロック

SCR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子から入力される外部同期クロックを選択できます。

内部クロックで動作させるとき、SCKn 端子から同期クロックが出力されます。同期クロックは1キャラクタの送受信で8パルス出力され、送信および受信を行わないときは High に固定されます。ただし、受信動作のみのときは、CTS 機能が無効な場合は SCR.RE ビットを“1”にするとともに同期クロックの出力を開始し、オーバランエラーが発生するか、SCR.RE ビットを“0”にすると、同期クロックは High レベルで停止します。

受信動作のみでかつ CTS 機能が有効な場合は、SCR.RE ビットが“0”のときに CTSn# 端子入力が High であれば、SCR.RE ビットを“1”にしてもクロック出力を開始しません。SCR.RE ビットを“1”にしかつ CTSn# 端子入力が Low になると同期クロックの出力を開始します。その後、フレームの受信が完了した時点で CTSn# 端子入力が High であれば同期クロック出力を High レベルで停止します。CTSn# 端子入力が Low を継続のときは、オーバランエラーが発生するか、SCR.RE ビットを“0”にすると、同期クロックは High レベルで停止します。

23.5.2 CTS、RTS 機能

CTS 機能は、内部クロック時に CTSn# 端子入力を使用して送受信開始制御を行う機能です。SPMR.CTSE ビットを“1”にすると、CTS 機能が有効になります。

CTS 機能が有効のとき、CTSn# 端子入力が Low のときのみ送受信動作を開始します。

送受信動作中に CTSn# 端子を High にした場合、送受信中のフレームは影響を受けず送受信を継続します。

RTS 機能は、外部同期クロック時に RTSn# 端子出力を使用して送受信開始要求を行う機能で、シリアル通信が可能な状態になると Low を出力します。Low、High を出力する条件は以下のとおりです。

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットまたは SCR.TE ビットが“1”
- 送受信動作中でない
- 読み出し前の受信データがない (SCR.RE ビットが“1”のとき)
- 送信データを書き込み済 (SCR.TE ビットが“1”のとき)
- SSR.ORER フラグが“0”

[High になる条件]

Low になる条件を満たさない場合

23.5.3 SCIの初期化（クロック同期式モード）

データの送受信前にSCRレジスタに初期値“00h”を書き込み、図23.22のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCRレジスタを初期値にしてから変更してください。

SCR.REビットを“0”にしても、SSRレジスタのORER、FER、PERフラグおよびRDRレジスタは初期化されませんので注意してください。

SCR.TEビットを“1”から“0”、または“0”から“1”にすると、SCR.TIEビットが“1”の場合、TXI割り込みが発生しますので注意してください。

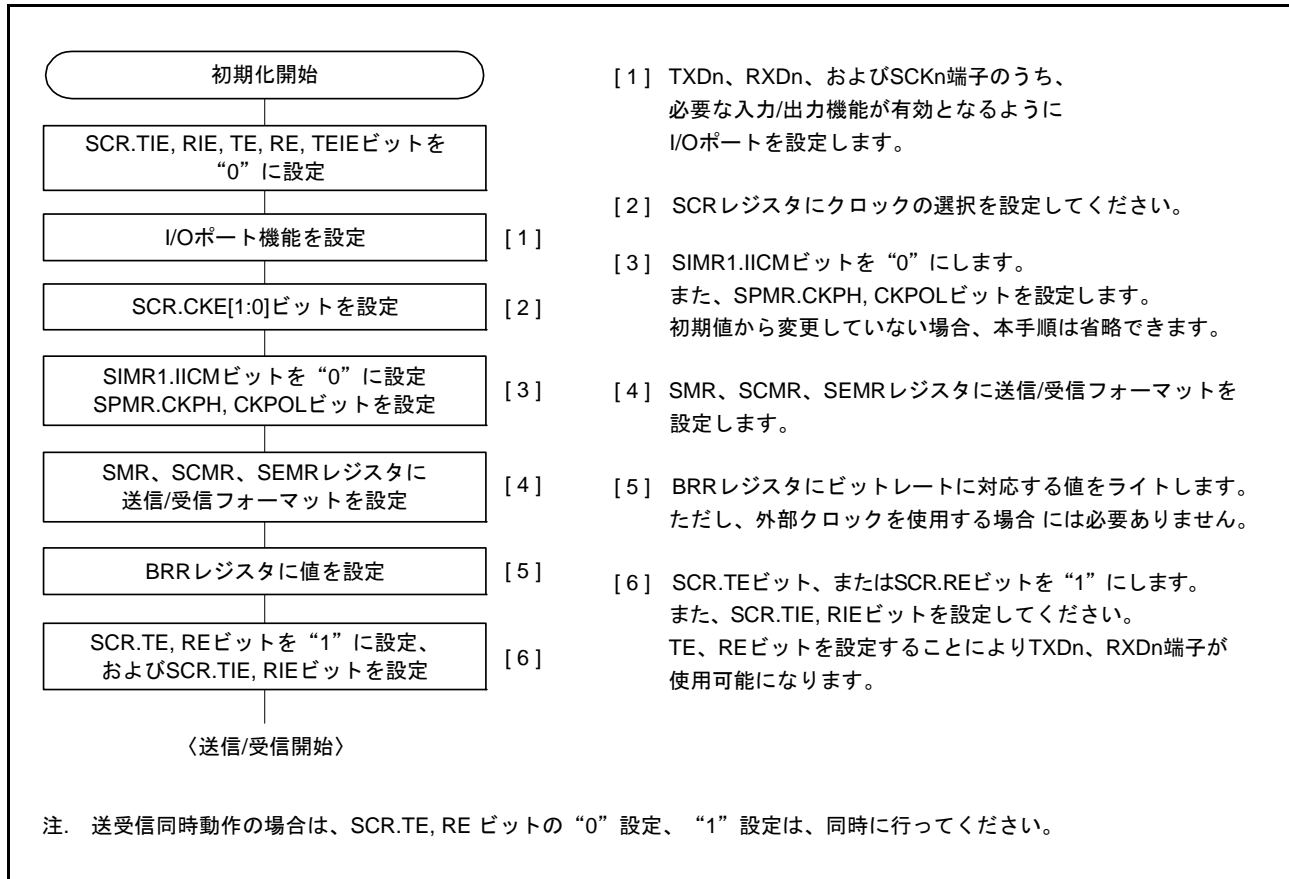


図23.22 SCIの初期化フローチャートの例（クロック同期式モード）

23.5.4 シリアルデータの送信 (クロック同期式モード)

図 23.23、図 23.24、図 23.25 にクロック同期式モードのシリアル送信時の動作例を示します。
シリアルデータの送信時、SCI は以下のように動作します。

1. SCI は TXI 割り込みルーチンにより TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを“1”にした後に SCR.TE ビットを“1”にするか、1 命令で同時に“1”にすることで発生します。
2. TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが“1”であると、TXI 割り込み要求が発生します。この TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタにデータを書いた後、SCR.TIE ビットを“0” (TXI 割り込み要求を禁止) に、SCR.TEIE ビットを“1” (TEI 割り込み要求を許可) にします。
3. クロック出力モードにしたときには出力クロックに同期して、外部クロックにしたときには入力クロックに同期して、TXDn 端子から 8 ビットのデータを出力します。出力クロックは、SPMR.CTSE ビットが“1” (CTS 機能許可) のとき、CTS 信号入力 Low になるまで待ってから開始します。
4. 最終ビットを送り出すタイミングで TDR レジスタの更新 (書き込み) をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを“1”にし、最終ビット出力状態を保持します。このとき SCR.TEIE ビットが“1”であると、TEI 割り込み要求が発生します。SCKn 端子は High に固定されます。

図 23.26 にシリアル送信のフローチャートの例を示します。

受信エラーフラグ (SSR.ORER, FER, PER) が“1”になった状態では送信を開始しません。送信開始の前に、受信エラーフラグを“0”にしてください。また、受信エラーフラグは SCR.RE ビットを“0”にしただけではクリアされませんので注意してください。

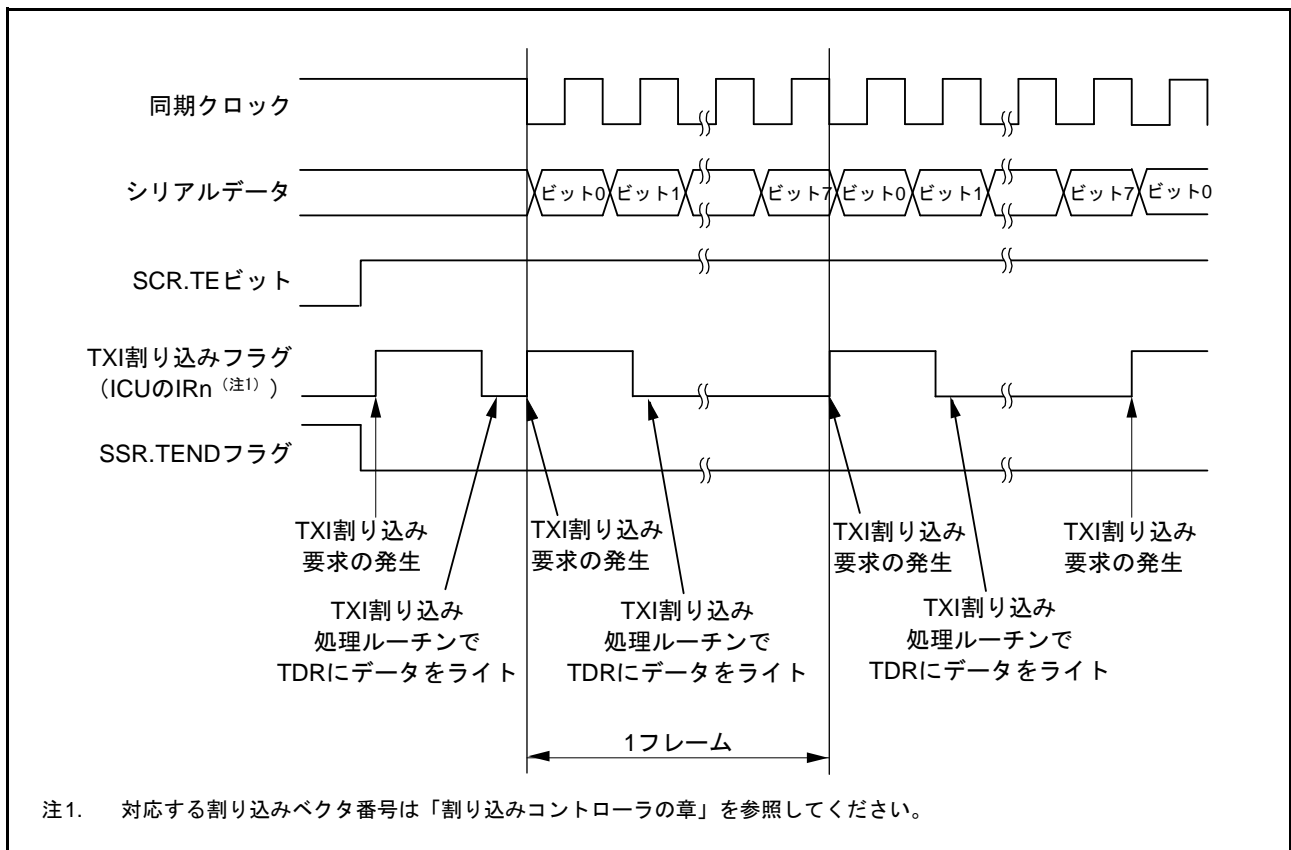


図 23.23 クロック同期式モードのシリアル送信の動作例 (1) (送信開始・CTS 機能使用しない)

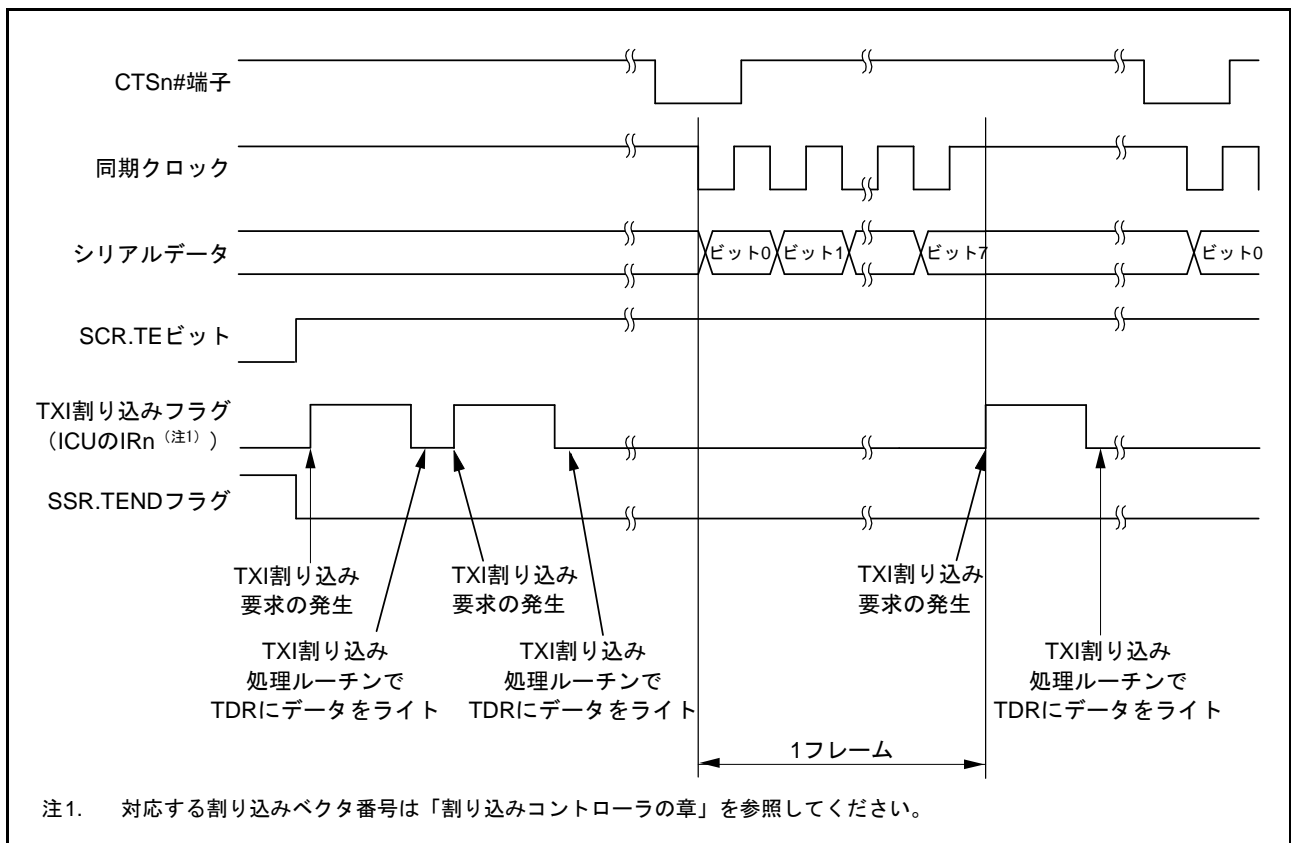


図 23.24 クロック同期式モードのシリアル送信の動作例 (2) (送信開始・CTS 機能使用する)

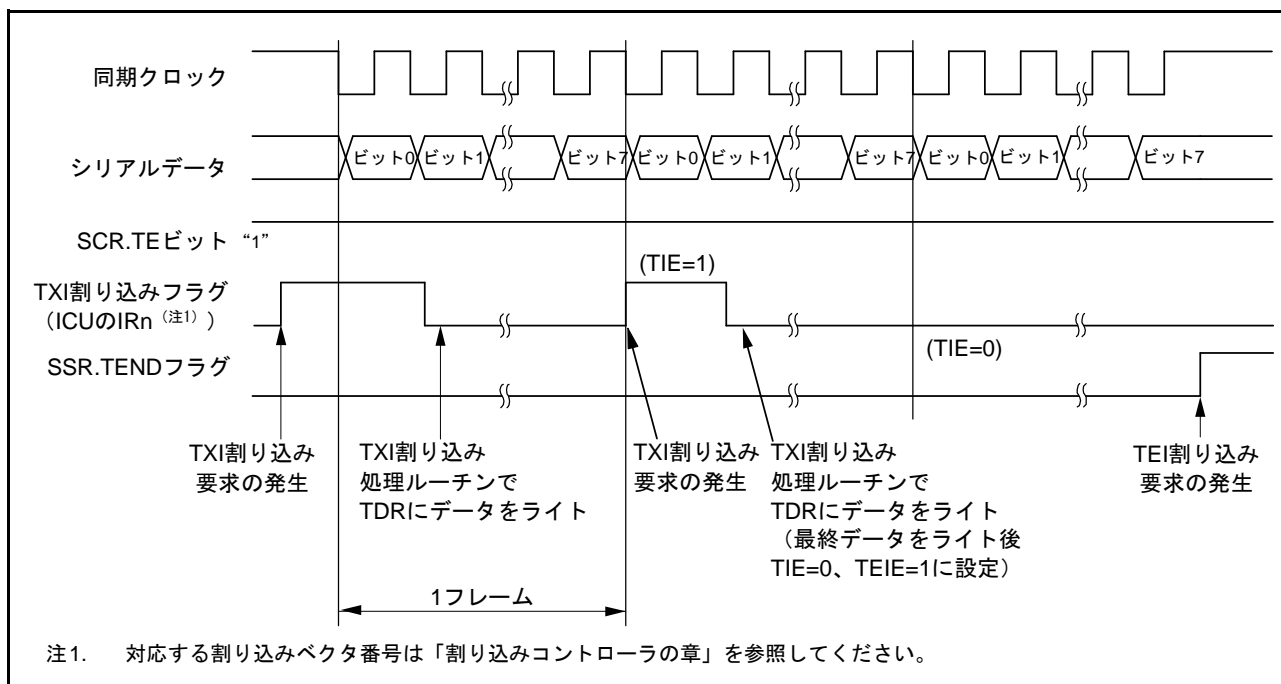


図 23.25 クロック同期式モードのシリアル送信の動作例 (3) (送信中～送信終了時)

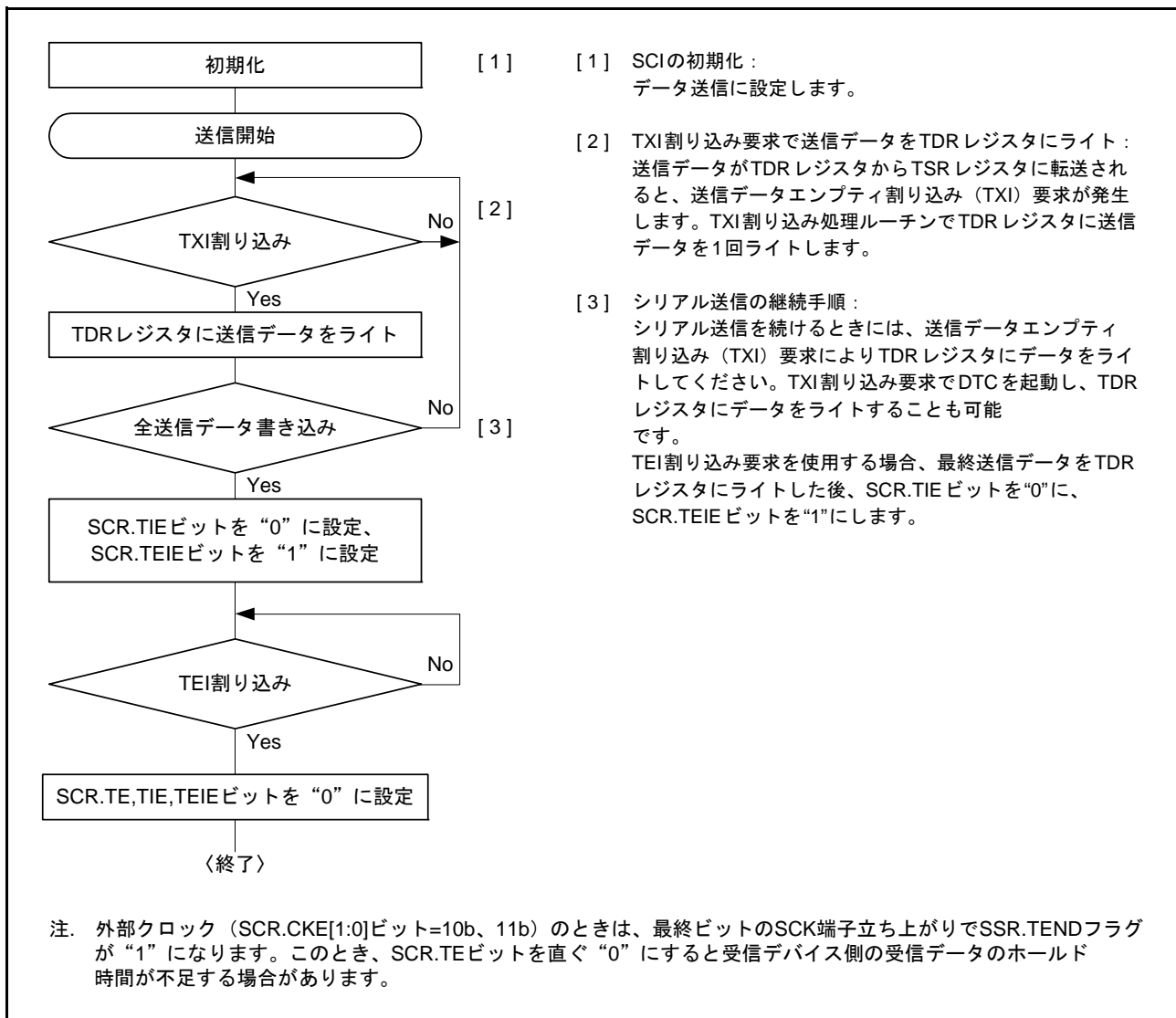


図 23.26 クロック同期式モードのシリアル送信のフローチャート例

23.5.5 シリアルデータの受信（クロック同期式モード）

図 23.27、図 23.28 にクロック同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが“1”になると、RTSn# 信号出力を Low にします（RTS 機能使用時）。
2. SCI は同期クロックの入力、または出力に同期して内部を初期化して受信を開始し、受信データを RSR レジスタに取り込みます。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき SCR.RIE ビットが“1”であると、ERI 割り込み要求が発生します。受信データは RDR レジスタに転送しません。
4. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき RIE ビットが“1”であると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタに転送された受信データが読み出されると、RTSn# 信号出力を Low にします（RTS 機能使用時）。

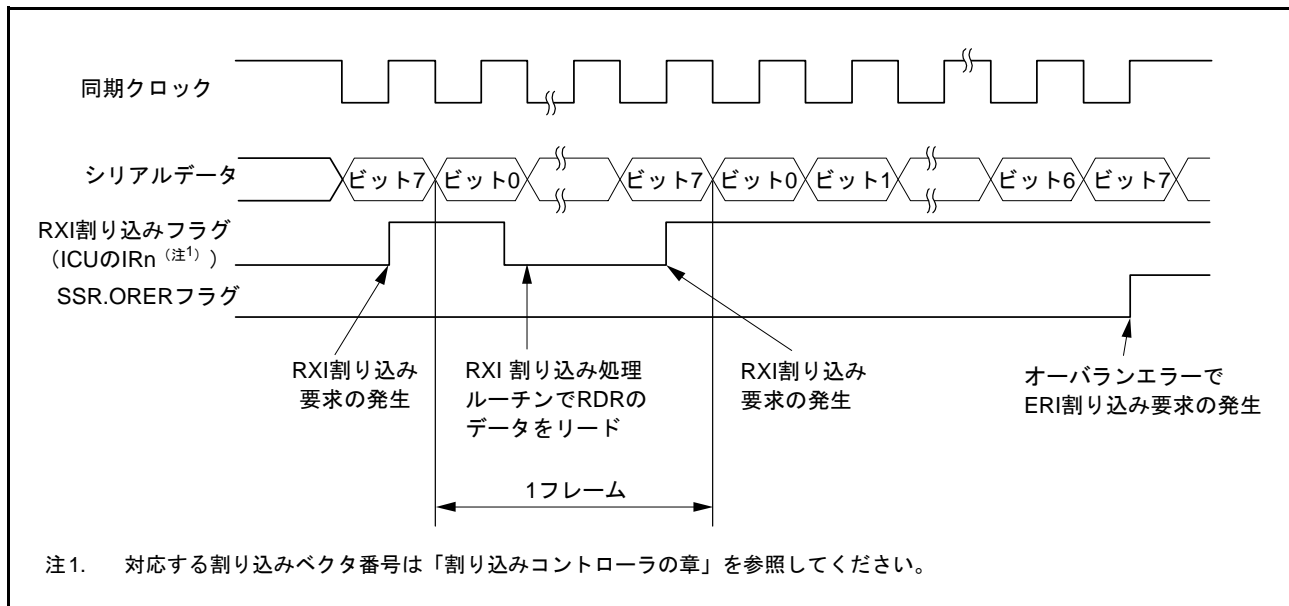


図 23.27 クロック同期式モードのシリアル受信時の動作例（1）（RTS 機能未使用時）

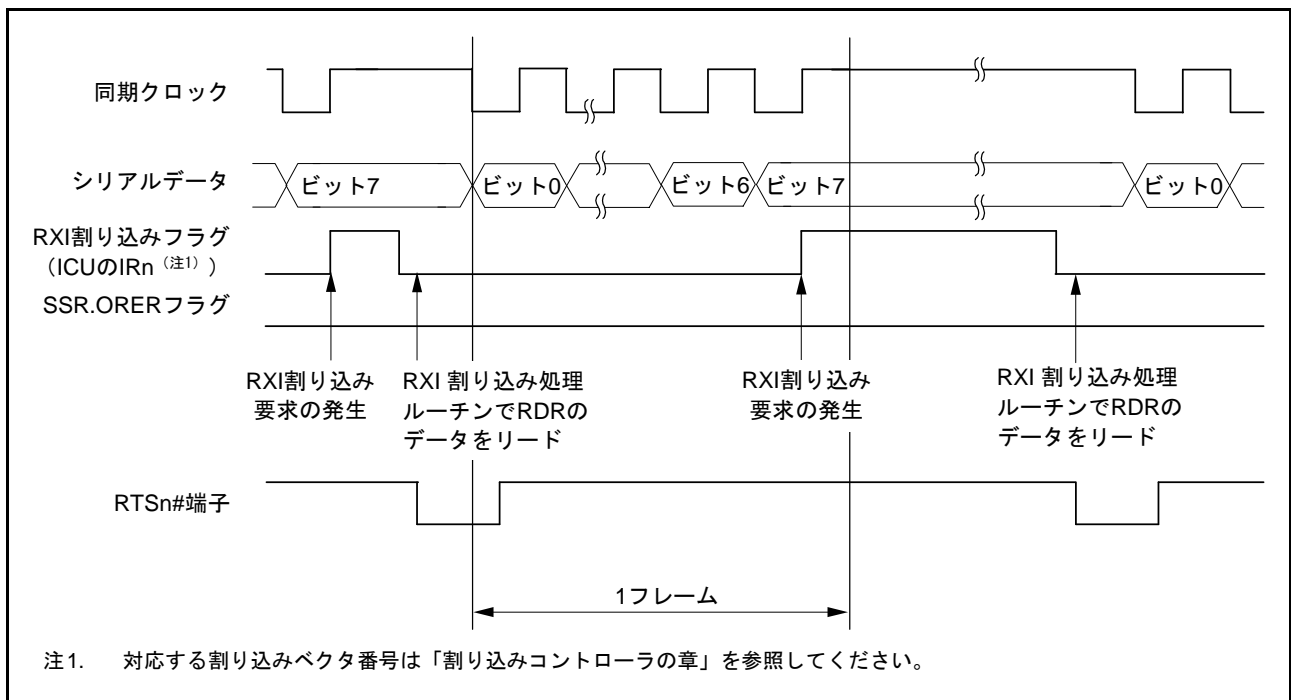


図 23.28 クロック同期式モードのシリアル受信時の動作例 (2) (RTS 機能使用時)

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に SSR レジスタの ORER、FER、PER フラグを“0”にしてください。また、オーバランエラー処理では RDR レジスタをリードしてください。また、受信動作中に SCR.RE ビットを“0”にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

図 23.29 にシリアル受信のフローチャートの例を示します。

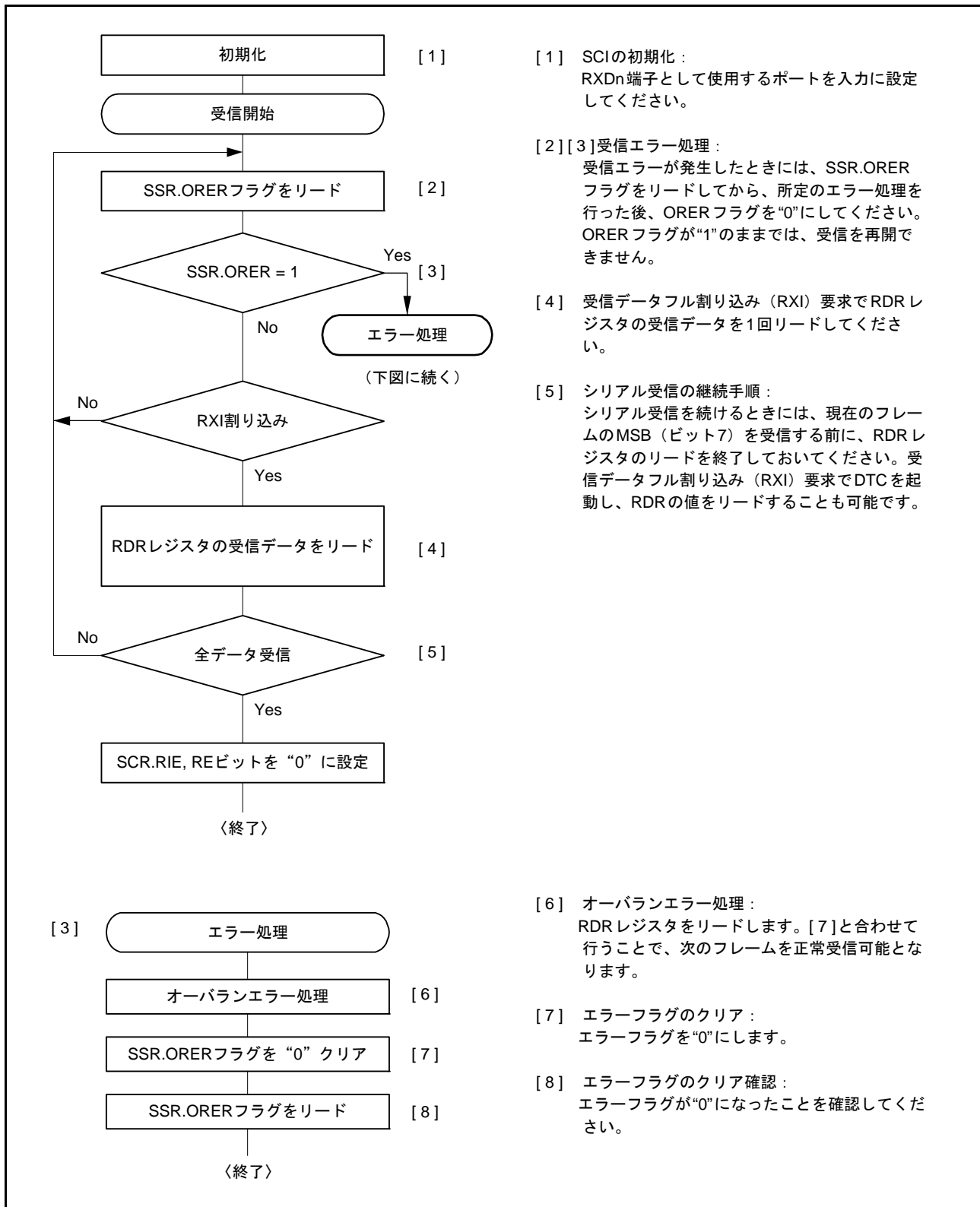


図 23.29 クロック同期式モードのシリアル受信のフローチャート例

23.5.6 シリアルデータの送受信同時動作 (クロック同期式モード)

図 23.30 にクロック同期式モードのシリアル送受信同時動作のフローチャートの例を示します。

シリアル送受信同時動作は、SCIの初期化後、以下の手順に従って行ってください。

送信から同時送受信へ切り替えるときには、SCIが送信終了状態であることをSSR.TENDフラグが“1”になっていることで確認してください。その後、SCRレジスタを初期化してからSCRレジスタのTIE、RIE、TE、REビットを1命令で同時に“1”にしてください。

受信から同時送受信へ切り替えるときには、SCIが受信完了状態であることを確認した後、SCRレジスタのRIE、REビットを“0”にしてから、エラーフラグ(SSR.ORER, FER, PER)が“0”であることを確認した後、SCRレジスタのTIE、RIE、TE、REビットを1命令で同時に“1”にしてください。

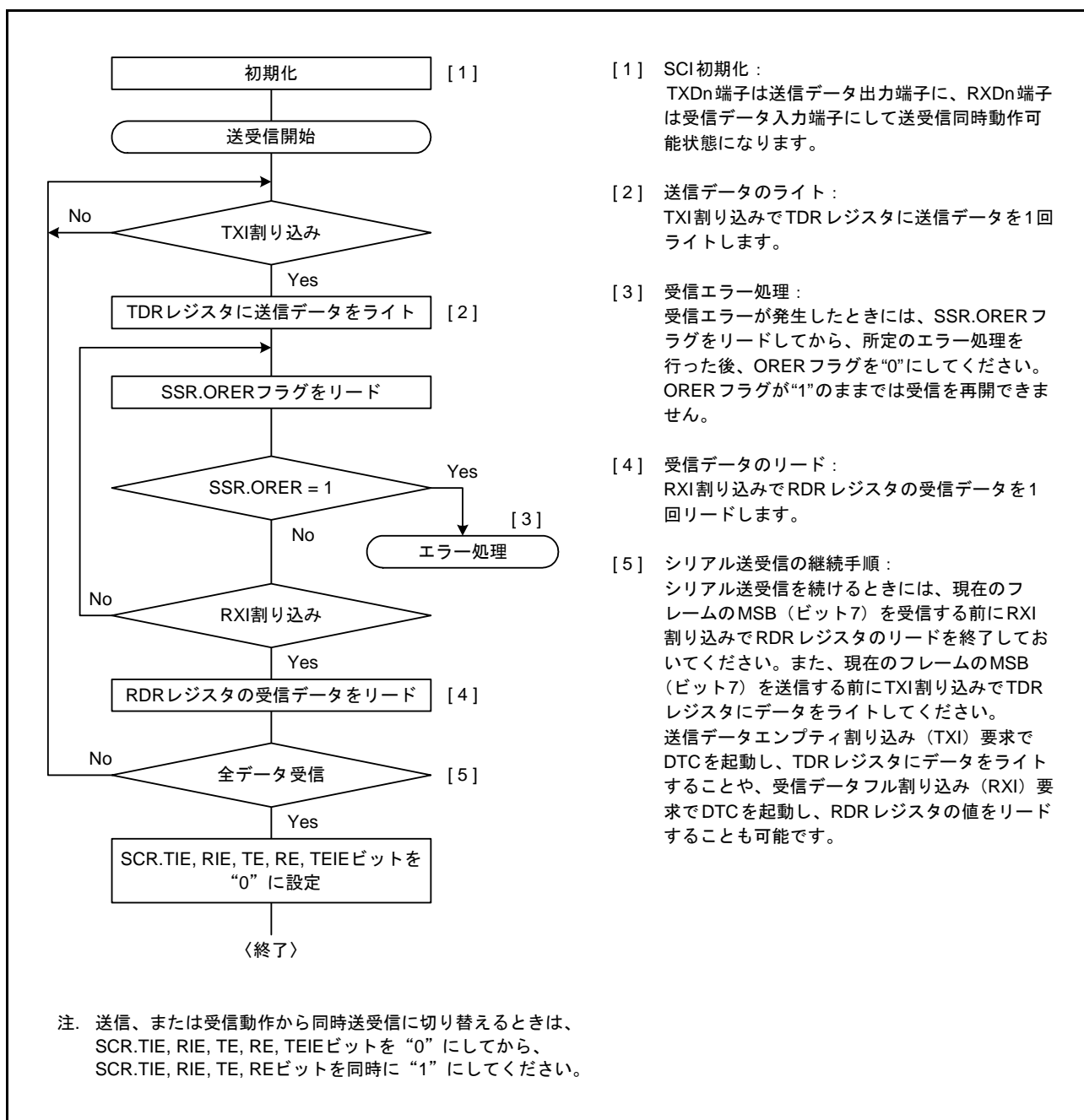


図 23.30 クロック同期式モードのシリアル送受信同時動作のフローチャート例

23.6 スマートカードインタフェースモードの動作

SCIの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (ICカード) インタフェースに対応しています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

23.6.1 接続例

図 23.31 にスマートカード (ICカード) との接続例を示します。

ICカードとは1本のデータ伝送線で送受信が行われるので、TXDn 端子と RXDn 端子とを結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

ICカードを接続しない状態で SCR.TE ビット = 1、SCR.RE ビット = 1 に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。

SCIで生成するクロックをICカードに供給する場合は、SCKn 端子出力をICカードのCLK 端子に入力してください。

リセット信号の出力には本MCUの出力ポートを使用できます。

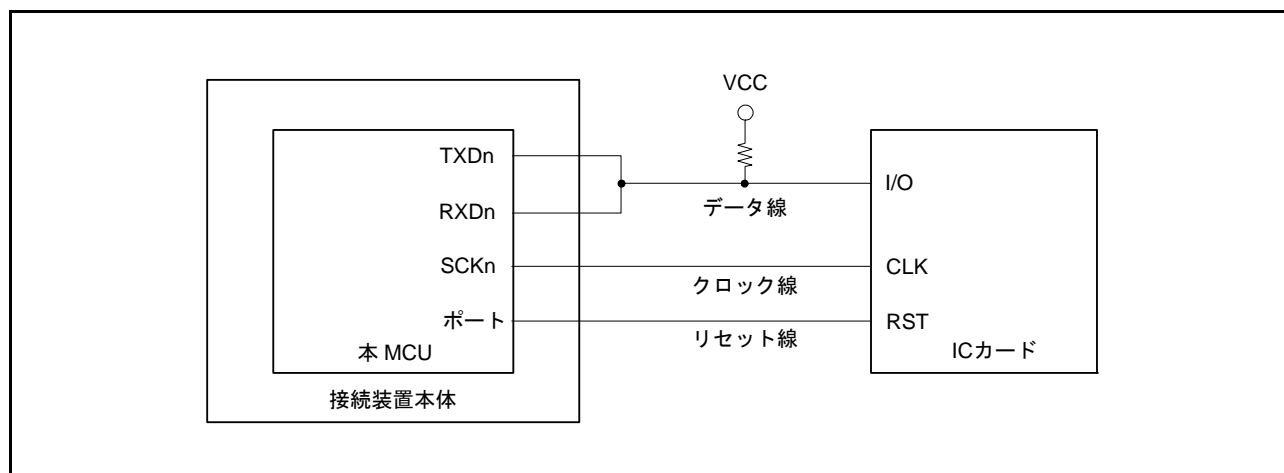


図 23.31 スマートカード (ICカード) との接続例

23.6.2 データフォーマット (ブロック転送モード時を除く)

図 23.32 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1 フレームは 8 ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで 2 etu (Elementary Time Unit : 1 ビットの転送期間) 以上のガードタイムをおきます。
- 受信時にパリティエラーを検出した場合、スタートビットから 10.5 etu 経過後、エラーシグナル (Low) を 1 etu 期間出力します。
- 送信時にエラーシグナルをサンプリングすると、2 etu 以上経過後、自動的に同じデータを再送信します。

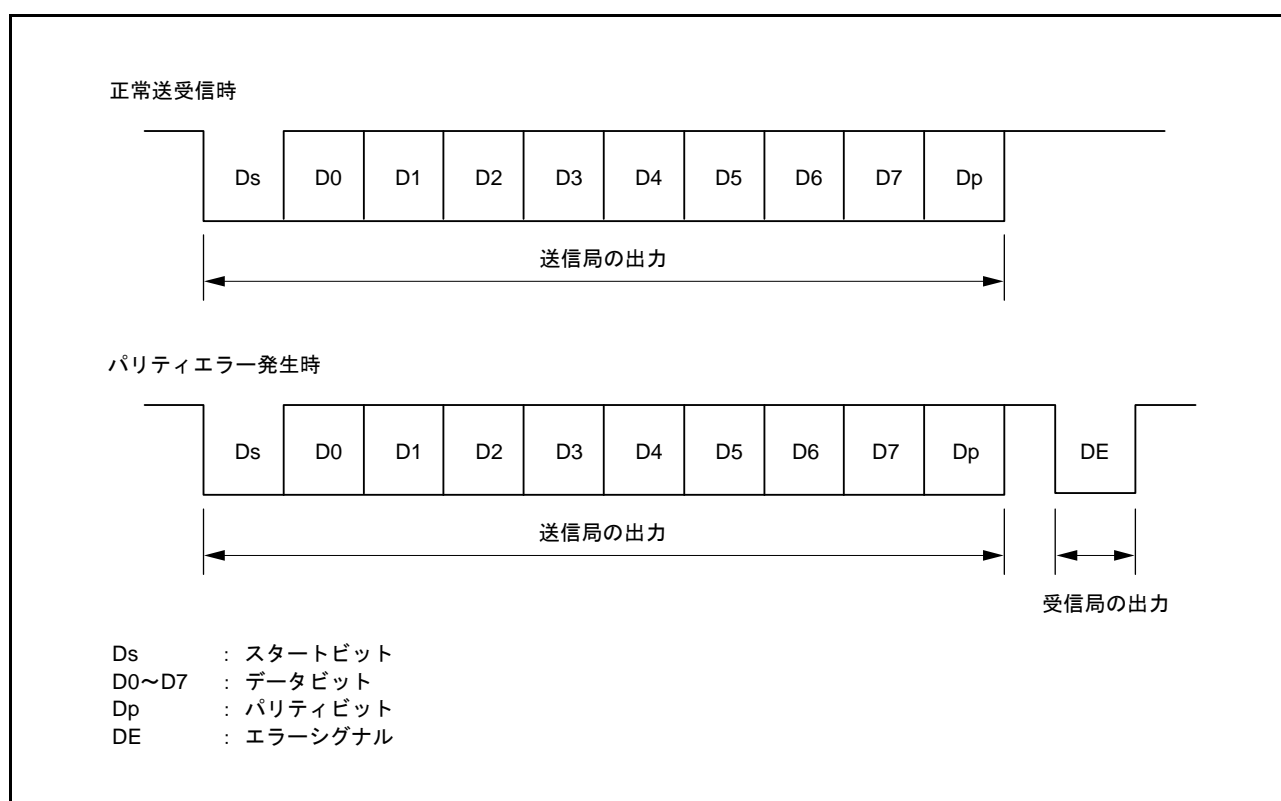


図 23.32 スマートカードインタフェースモードのデータフォーマット

ダイレクトコンベンションタイプと、インバースコンベンションタイプの2種類のICカードとの送受信は、以下のように行ってください。

(1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプは、**図 23.33** に示す開始キャラクタの例のように、論理1レベルを状態Zに、論理0レベルを状態Aに対応付け、LSBファーストで送受信します。**図 23.33** の開始キャラクタでは、データは“3Bh”となります。

ダイレクトコンベンションタイプでは、SCMRレジスタのSDIR、SINVビットをともに“0”にしてください。また、スマートカードの規定により偶数パリティとなるようSMR.PMビットには“0”を設定してください。

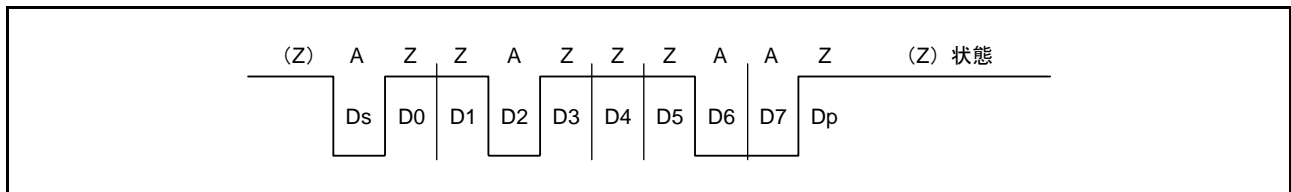


図 23.33 ダイレクトコンベンション
(SCMR.SDIR ビット = 0、SCMR.SINV ビット = 0、SMR.PM ビット = 0)

(2) インバースコンベンションタイプ

インバースコンベンションタイプは、論理1レベルを状態Aに、論理0レベルを状態Zに対応付け、MSBファーストで送受信します。**図 23.34** の開始キャラクタでは、データは“3Fh”となります。

インバースコンベンションタイプでは、SCMRレジスタのSDIR、SINVビットをともに“1”にしてください。パリティビットはスマートカードの規定により偶数パリティで論理0となり、状態Zが対応します。

本MCUでは、SINVビットはデータビットD7～D0のみ反転させます。このため、送受信ともSMR.PMビットに“1”を設定してパリティビットを反転させてください。

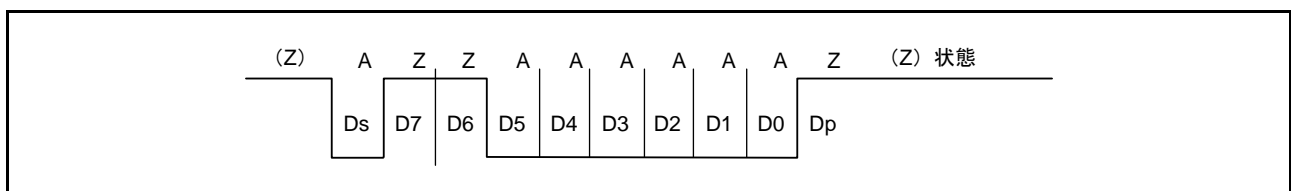


図 23.34 インバースコンベンション
(SCMR.SDIR ビット = 1、SCMR.SINV ビット = 1、SMR.PM ビット = 1)

23.6.3 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースモードと比較して以下の点が異なります。

- 受信時にパリティチェックを行います。エラーを検出してもエラーシグナルは出力しません。
SSR.PER フラグはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から、次のフレーム開始までのガードタイムは最小1 etu 以上です。
- 再送信を行わないため、SSR.TEND フラグは送信開始から11.5 etu 後にセットされます。
- SSR.ERS フラグは通常のスマートカードインタフェースモードと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため“0”となります。

23.6.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送受信クロックは、内蔵ボーレートジェネレータの生成した内部クロックのみです。

スマートカードインタフェースモードでは、SCIはSCMR.BCP2ビット、SMR.BCP[1:0]ビットの設定により、ビットレートの32倍、64倍、372倍、256倍、93倍、128倍、186倍、512倍（通常の調歩同期式モードでは16倍に固定されています）の周波数の基本クロックで動作します。

受信時は、スタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、**図 23.35**に示すように、受信データを基本クロックのそれぞれ16、32、186、128、46、64、93、256サイクルの立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 [\%]$$

- M : 受信マージン (%)
- N : クロックに対するビットレートの比 (N = 32, 64, 372, 256)
- D : クロックデューティ (D = 0 ~ 1.0)
- L : フレーム長 (L = 10)
- F : クロック周波数の偏差の絶対値

上の式で、F = 0、D = 0.5、N = 372 とすると、受信マージンは次のようになります。

$$M = \{ 0.5 - 1/(2 \times 372) \} \times 100 [\%] = 49.866 [\%]$$

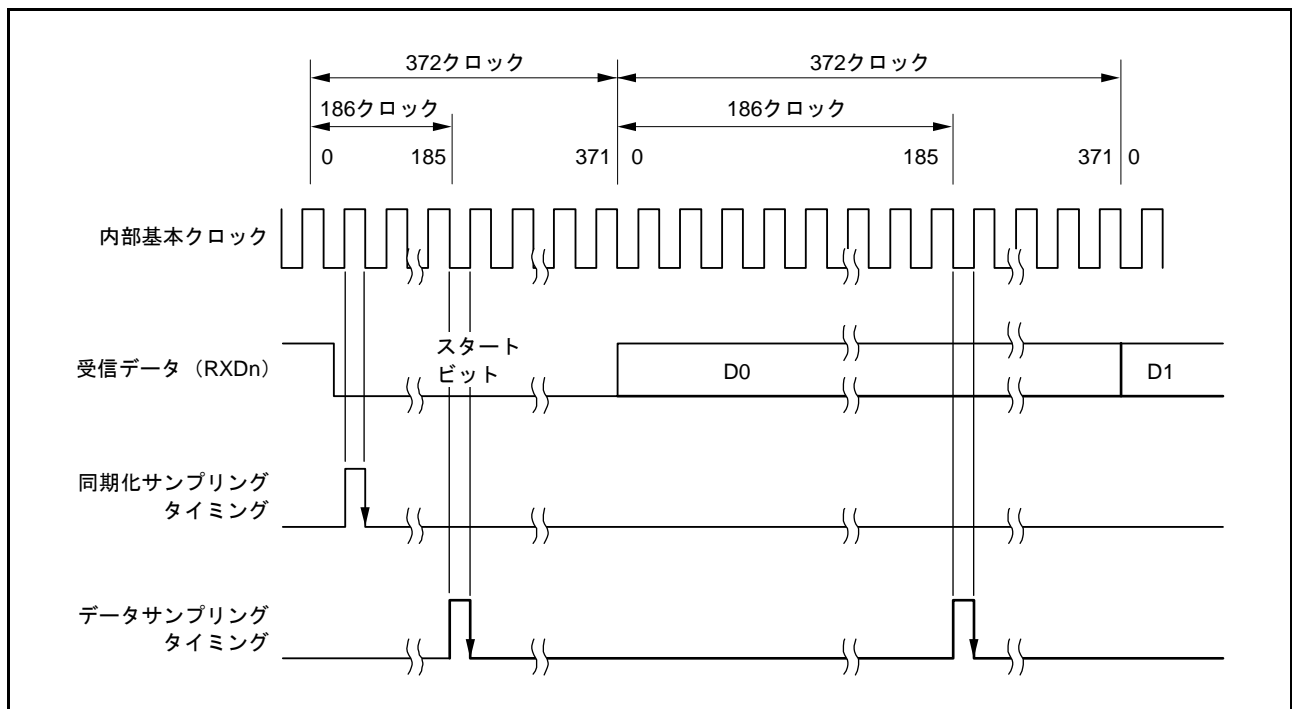


図 23.35 スマートカードインタフェースモード時の受信データサンプリングタイミング (372倍のクロック使用時)

23.6.5 SCIの初期化 (スマートカードインタフェースモード)

図 23.36 のフローチャートの例に従って初期化してください。

送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化してから変更してください。なお、RE ビットを“0”にしても RDR レジスタは初期化されません。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、TE ビット = 1、RE ビット = 0 に設定してください。受信動作の完了は、RXI 割り込み要求、SSR.ORER フラグ、あるいは SSR.PER フラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE ビット = 0、RE ビット = 1 に設定してください。送信動作の完了は SSR.TEND フラグで確認できます。

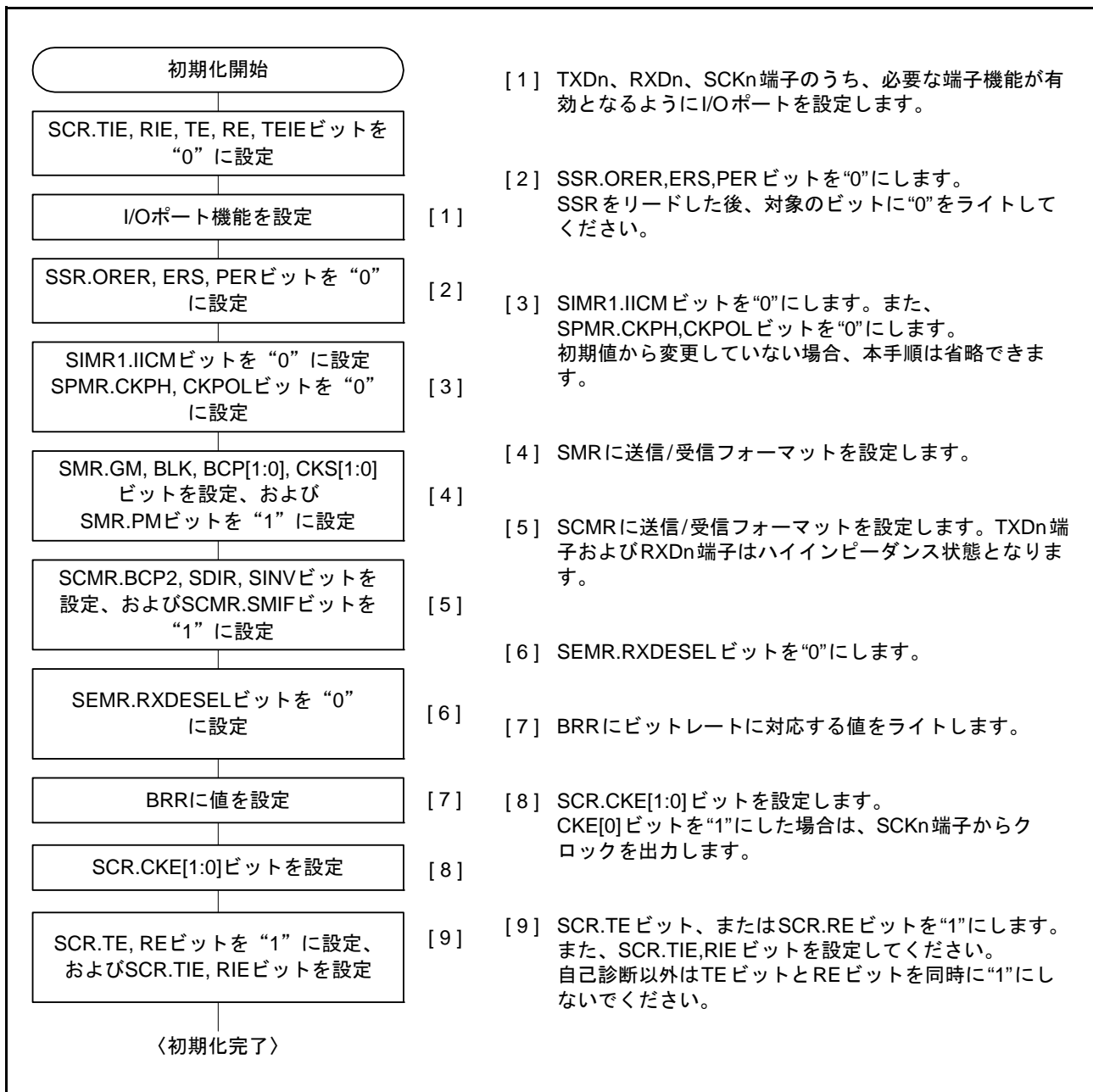


図 23.36 SCIの初期化フローチャートの例 (スマートカードインタフェースモード)

23.6.6 シリアルデータの送信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル送信は、エラーシグナルのサンプリングと再送信処理があるため、非スマートカードインタフェースモードとは動作が異なります（ブロック転送モードを除く）。送信時の再転送動作を図 23.37 に示します。

- 1 フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングすると **SSR.ERS** フラグが“1”になります。このとき **SCR.RIE** ビットが“1”であると、**ERI** 割り込み要求が発生します。次のパリティビットのサンプリングまでに **ERS** フラグをクリアしてください。
- 2 エラーシグナルを受信したフレームでは、**SSR.TEND** フラグはセットされません。**TDR** レジスタから **TSR** レジスタに再度データが転送され、自動的に再送信を行います。
- 3 受信側からエラーシグナルが返ってこない場合は、**ERS** フラグはセットされません。
- 4 再転送を含む 1 フレームの送信が完了したと判断して、**SSR.TEND** フラグがセットされます。このとき、**SCR.TIE** ビットが“1”であれば、**TXI** 割り込み要求が発生します。送信データを **TDR** レジスタに書き込むことにより次のデータが送信されます。

シリアル送信のフローチャートの例を図 23.39 に示します。これらの一連の処理は、**TXI** 割り込み要因によって **DTC** を起動することで自動的に行うことができます。

送信動作では、**SCR.TIE** ビットを“1”にしておくと、**SSR.TEND** フラグが“1”になったときに **TXI** 割り込み要求が発生します。あらかじめ **DTC** の起動要因に **TXI** 割り込み要求を設定しておけば、**TXI** 割り込み要求により **DTC** が起動されて送信データの転送を行います。**TEND** フラグは、**DTC** によるデータ転送時に自動的に“0”になります。

エラーが発生した場合は **SCI** が自動的に同じデータを再送信します。この間、**TEND** フラグは“0”のまま保持され、**DTC** は起動されません。したがって、エラー発生時の再送信を含め、**SCI** と **DTC** が指定されたバイト数を自動的に送信します。ただし、エラー発生時、**ERS** フラグは自動的にクリアされませんので、**RIE** ビットを“1”にしておき、エラー発生時に **ERI** 割り込み要求を発生させ、**ERS** フラグをクリアしてください。

なお、**DTC** を使って送受信を行う場合は、先に **DTC** を設定し、許可状態にしてから **SCI** の設定を行ってください。

DTC の設定方法は「16. データトランスファコントローラ (DTCa)」を参照してください。

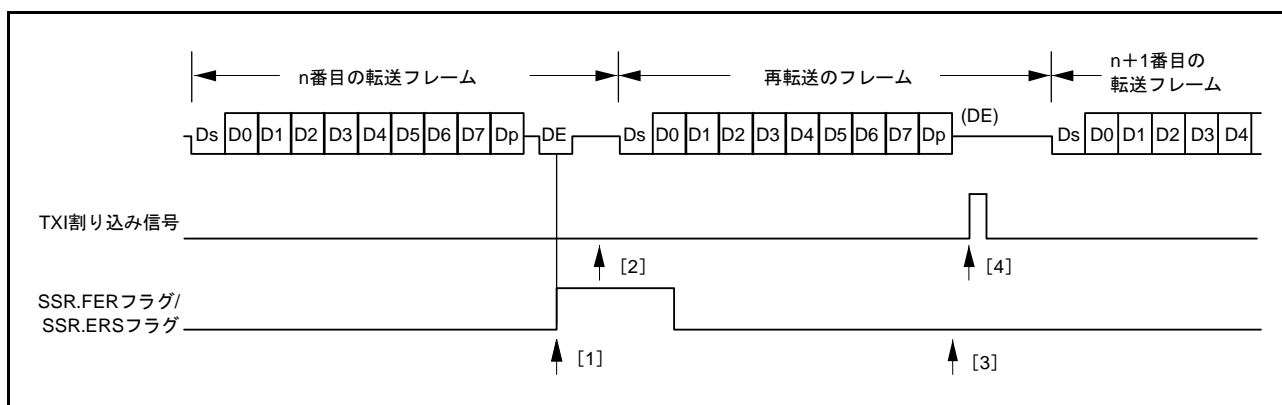


図 23.37 SCI 送信モードの場合の再転送動作（送信時の再転送動作）

なお、SMR.GM ビットの設定により、SSR.TEND フラグのセットタイミングが異なります。図 23.38 に TEND フラグ発生タイミングを示します。

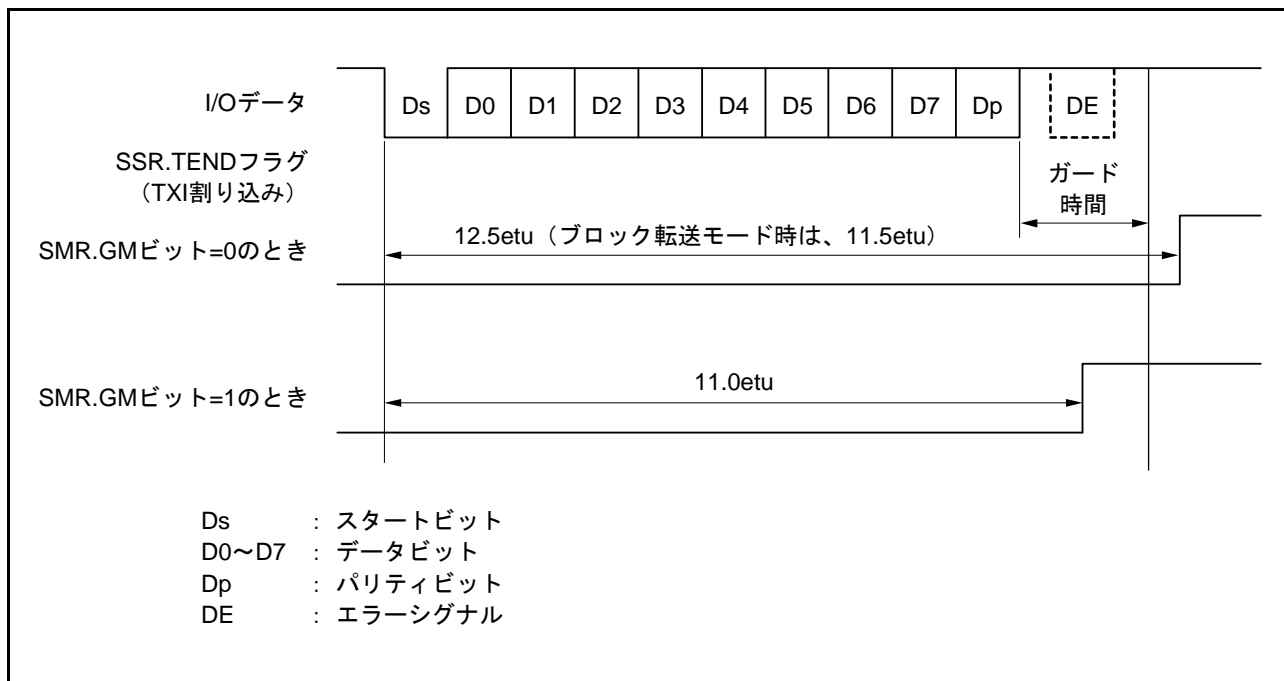


図 23.38 送信時の SSR.TEND フラグの発生タイミング

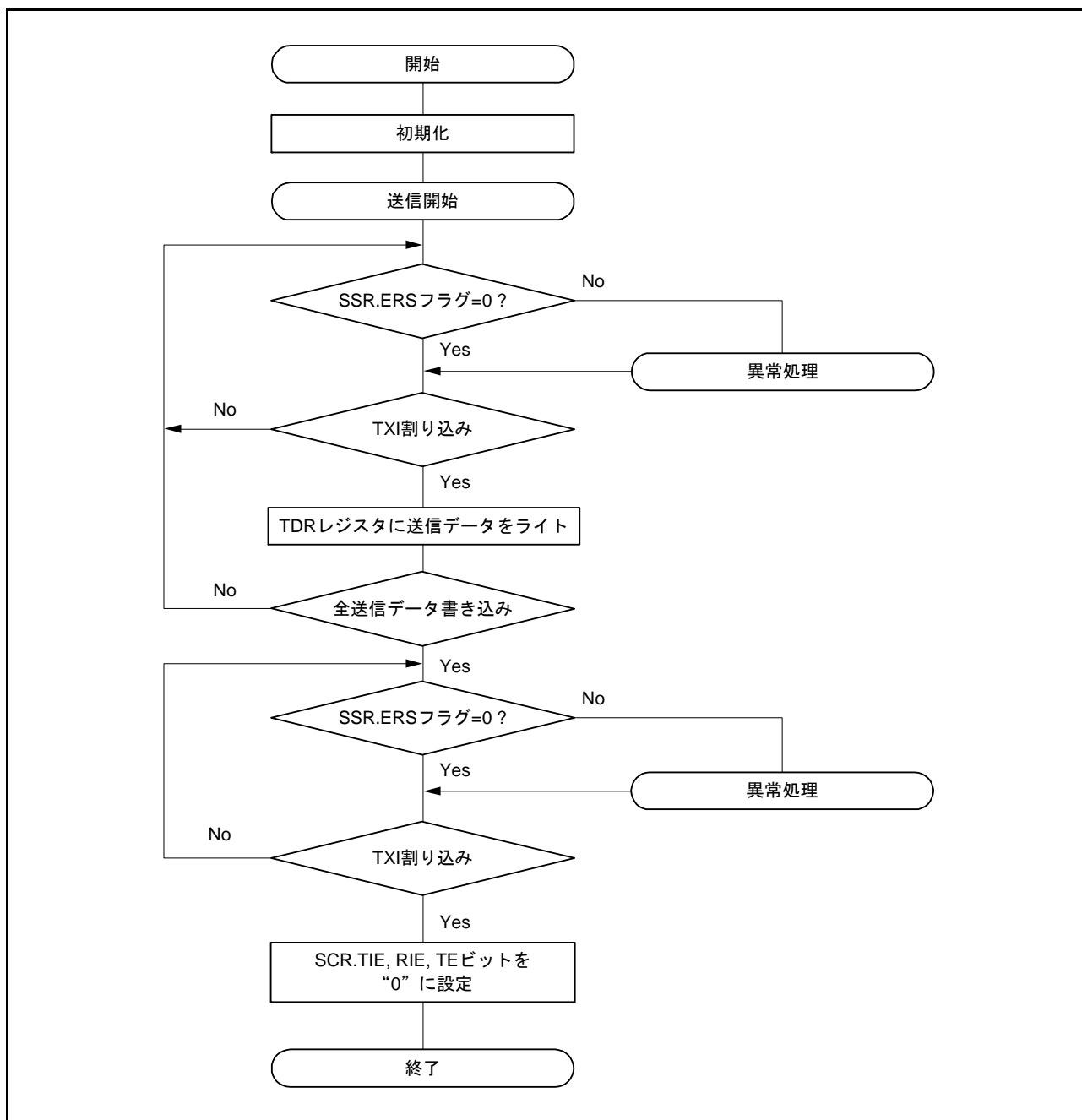


図 23.39 スマートカードインタフェース送信のフローチャート例

23.6.7 シリアル受信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル受信は、非スマートカードインタフェースモードと同様の処理手順になります。受信モードの場合の再転送動作を図 23.40 に示します。

1. 受信データにパリティエラーを検出すると **SSR.PER** フラグが“1”になります。このとき、**SCR.RIE** ビットが“1”であると、**ERI** 割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに **PER** フラグをクリアしてください。
2. パリティエラーを検出したフレームでは **RXI** 割り込みは発生しません。
3. パリティエラーが検出されない場合は、**SSR.PER** フラグはセットされません。
4. 正常に受信を完了したと判断して、**RIE** ビットが“1”であれば、**RXI** 割り込み要求を生成します。

シリアル受信のフローチャートの例を図 23.41 に示します。これらの一連の処理は、**RXI** 割り込み要求によって **DTC** を起動することで自動的に行うことができます。

受信動作では、**RIE** ビットを“1”にしておくと、**RXI** 割り込み要求が発生します。あらかじめ **DTC** の起動要因に **RXI** 割り込み要求を設定しておけば、**RXI** 割り込み要求により **DTC** が起動されて受信データの転送を行います。

また、受信時にエラーが発生し **SSR** レジスタの **ORER**、**PER** フラグのいずれかが“1”になると、受信エラー割り込み（**ERI**）要求が発生しますのでエラーフラグをクリアしてください。エラーが発生した場合は **DTC** は起動されず、受信データはスキップされるため **DTC** に設定したバイト数だけ受信データを転送します。

なお、受信時にパリティエラーが発生し **PER** フラグが“1”になった場合でも、受信したデータは **RDR** レジスタに転送されるのでこのデータをリードすることは可能です。

注． ブロック転送モードの場合は、「23.3 調歩同期式モードの動作」を参照してください。

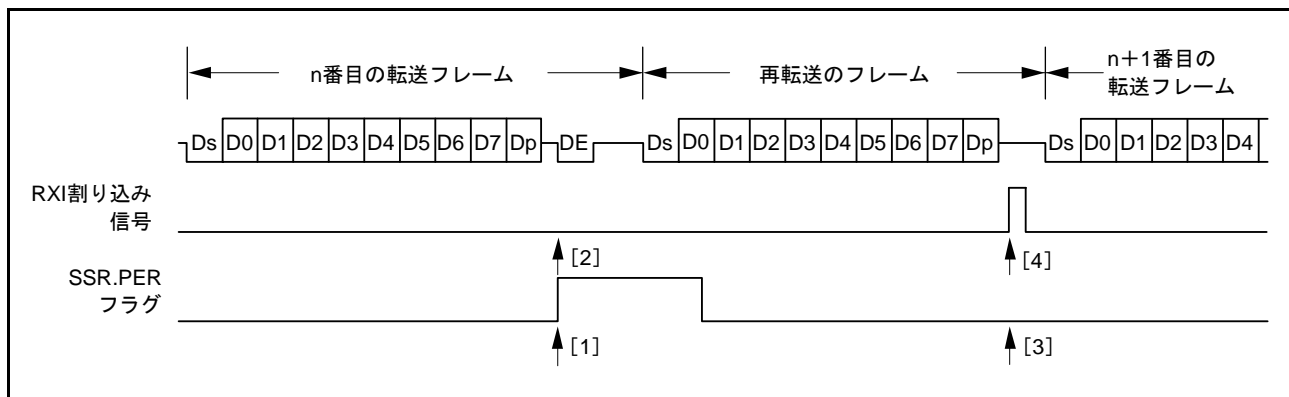


図 23.40 SCI 受信モードの場合の再転送動作（受信時の再転送動作）

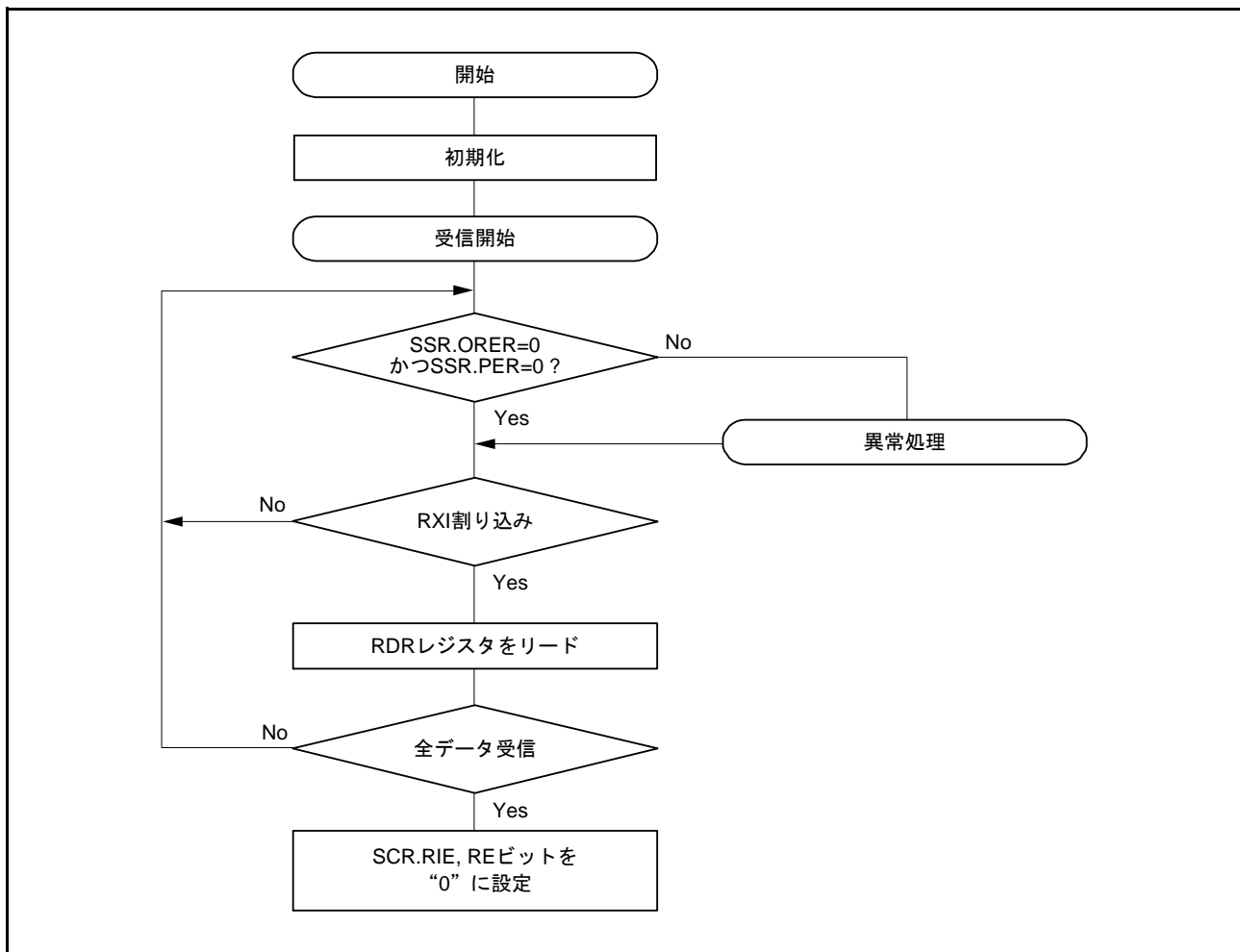


図 23.41 スマートカードインタフェース受信のフローチャート例

23.6.8 クロック出力制御

SMR.GM ビットが“1”であるとき、SCR.CKE[1:0] ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 23.42 にクロック出力の固定タイミングを示します。GM ビット=1、CKE[1] ビット=0 とし、CKE[0] ビットを制御した場合の例です。

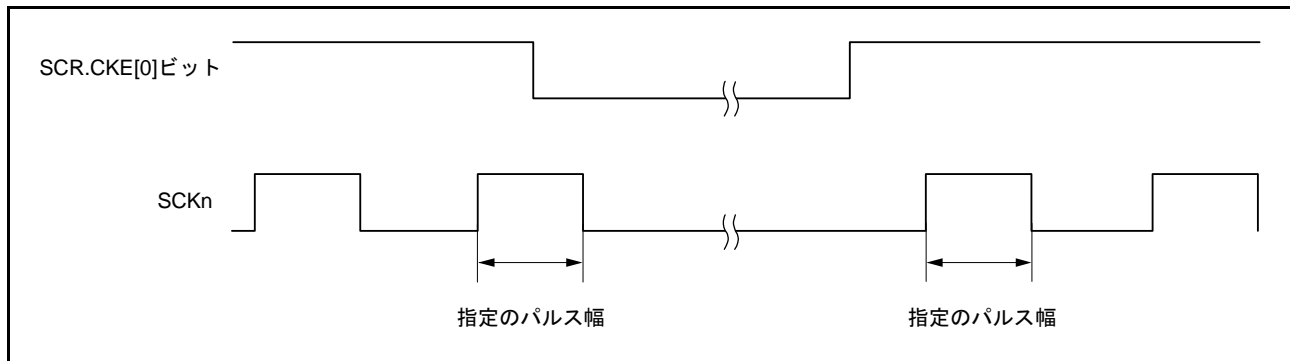


図 23.42 クロック出力固定タイミング

電源投入時からクロックデューティを確保するため、以下の切り替え手順で処理をしてください。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗/プルダウン抵抗を使用してください。
2. SCR.CKE[1] ビットおよび I/O ポート機能を設定し、SCKn 端子を指定の出力に固定してください。
3. SMR レジスタと SCMR レジスタを設定し、スマートカードインタフェースモードの動作に切り替えてください。
4. SCR.CKE[0] ビットを“1”にして、クロック出力を開始させてください。

23.7 簡易 I²C モードの動作

簡易 I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジから構成されます。開始条件および再開条件に続くフレームはスレーブアドレスフレームで、マスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブデバイスは新たにスレーブデバイスが指定されるか、停止条件まで有効です。各フレーム中の 8 ビットのデータは、**MSB** から順に送信されます。

図 23.43 に I²C バスフォーマットを、図 23.44 に I²C バスタイミングを示します。

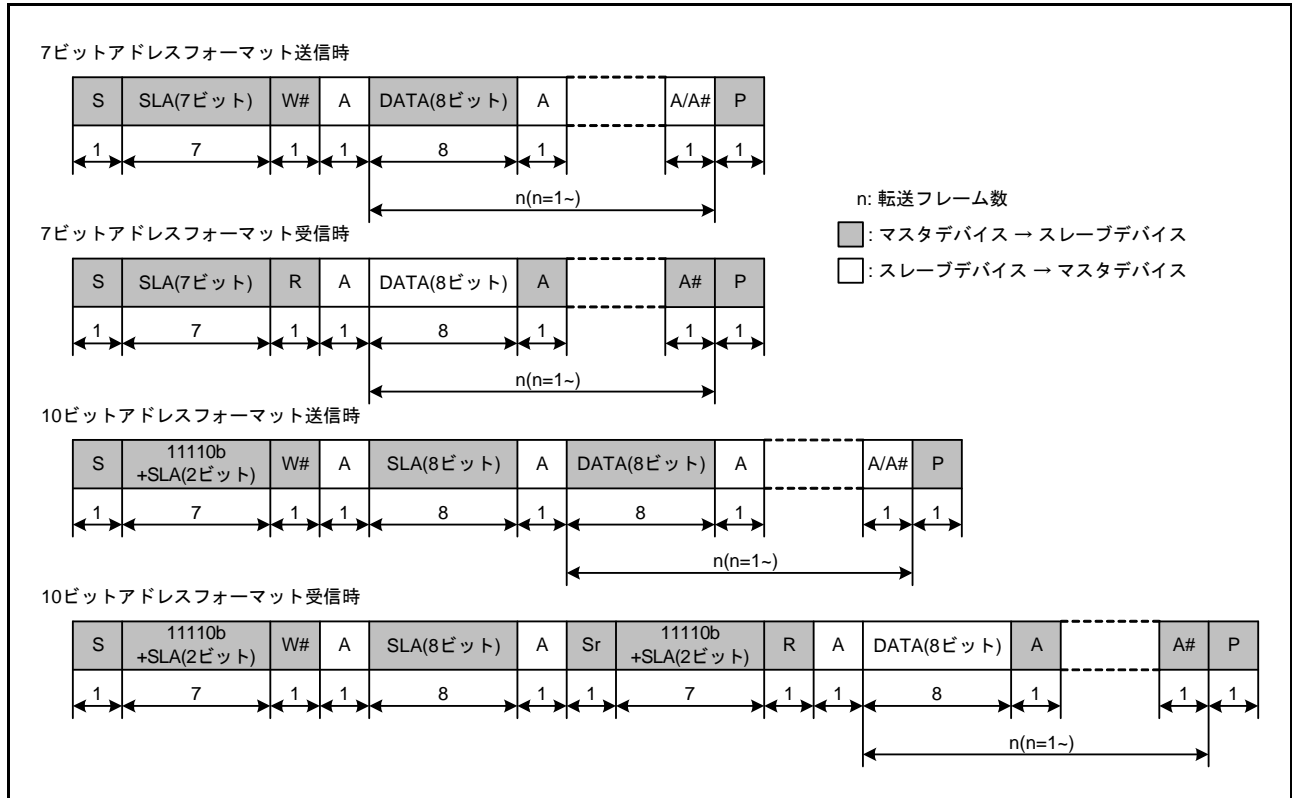


図 23.43 I²C バスフォーマット

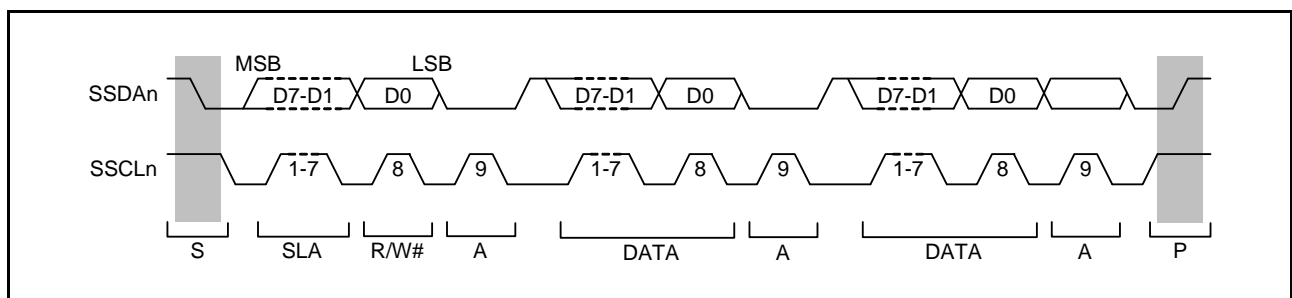


図 23.44 I²C バスタイミング (SLA = 7 ビットの場合)

S	: スタートコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態ではSSDAnラインがHighからLowに変化します。
SLA	: スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
R/W#	: 送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。
A/A#	: アクノリッジを示します。(マスタ送信モード時: スレーブデバイスがアクノリッジを返します。マスタ受信モード時: マスタデバイスがアクノリッジを返します)。Lowを返すことをACK、Highを返すことをNACKと言います。
Sr	: リスタートコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態ではセットアップ時間経過後にSSDAnラインがHighからLowに遷移します。
DATA	: 送受信データを示します。
P	: ストップコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態ではSSDAnラインがLowからHighに変化します。

23.7.1 開始条件、再開条件、停止条件の生成

SIMR3.IICSTAREQ ビットに“1”を書き込むことにより、開始条件生成を行います。開始条件の生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ (High から Low に遷移)、SSCLn ラインは開放状態を保持
- BRR レジスタで設定したビットレートの半分の時間、開始条件のホールド時間を確保
- SSCLn ラインの立ち下げ (High から Low に遷移)、SIMR3.IICSTAREQ ビットは“0”にし、開始条件生成割り込み要求を出力

SIMR3.IICRSTAREQ ビットに“1”を書き込むことにより、再開条件生成を行います。再開条件の生成では、以下の動作が行われます。

- SSDAn ラインを開放、SSCLn ラインは Low を保持
- BRR レジスタで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放 (Low から High に遷移)
- SSCLn ラインの High を検出後、BRR レジスタで設定したビットレートの半分の時間、再開条件のセットアップ時間を確保
- SSDAn ラインを立ち下げ (High から Low に遷移)
- BRR レジスタで設定したビットレートの半分の時間、再開条件のホールド時間を確保
- SSCLn ラインを立ち下げ (High から Low に遷移)、SIMR3.IICRSTAREQ ビットは“0”にし、再開条件生成割り込み要求を出力

SIMR3.IICSTPREQ ビットに“1”を書き込むことにより、停止条件の生成を行います。停止条件の生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ (High から Low に遷移)、SSCLn ラインは Low を保持
- BRR レジスタで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放 (Low から High に遷移)
- SSCLn ラインの High を検出後、BRR レジスタで設定したビットレートの半分の時間、停止条件のセットアップ時間を確保
- SSDAn ラインを開放 (Low から High に遷移)、SIMR3.IICSTPREQ ビットは“0”にし、停止条件生成割り込み要求を出力

図 23.45 に開始条件、再開始条件、停止条件生成の動作タイミングを示します。

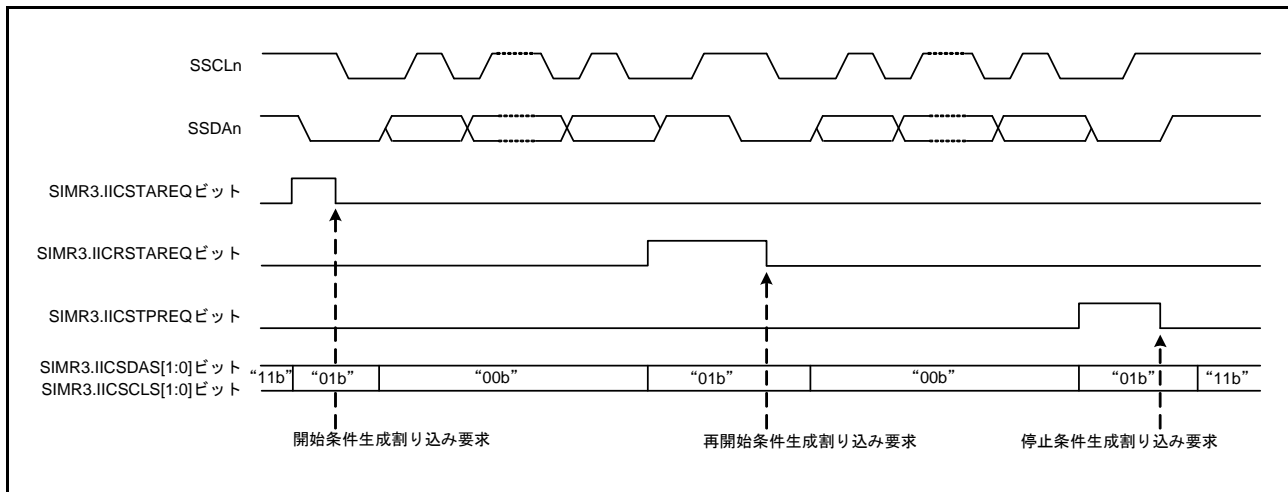


図 23.45 開始条件、再開条件、停止条件生成の動作タイミング

23.7.2 クロック同期化

通信先のスレーブデバイスがウェイトを挿入する目的で SSCLn ラインを Low にすることがあります。SIMR2.IICCSC ビットに“1”を設定すると、内部 SSCLn クロックが SSCLn 端子入力のレベルと異なる場合に、同期を取るための制御を行います。

SIMR2.IICCSC ビットが“1”の場合、内部 SSCLn クロックが Low から High に遷移したとき、SSCLn 端子入力が Low の間は High 期間のカウントを停止し、SSCLn 端子入力が High に遷移すると High 期間のカウントを開始します。このとき、SSCLn 端子が High に遷移して High 期間のカウントを開始するまで、SSCLn 端子入力遅延、SSCLn 端子入力のノイズフィルタ遅延（ノイズフィルタのサンプリングクロックで2～3サイクル）、内部処理遅延（PCLK で1～2サイクル）の合計分かかります。この間他のデバイスが SSCLn ラインを Low にしていなくても、内部 SSCLn クロックの High 期間は延長されます。

SIMR2.IICCSC ビットが“1”の場合、データ送信および受信は、SSCLn 端子入力と内部 SSCLn クロックの論理積に同期して行われます。SIMR2.IICCSC ビットが“0”の場合、データ受信および送信は、内部 SSCLn クロックに同期して行われます。

開始条件、再開条件および停止条件生成要求発行後、内部 SSCLn クロックが Low から High に遷移するまでの間にスレーブデバイスからウェイトを挿入された場合、その期間分、生成完了は延長されます。

内部 SSCLn クロックが High に遷移後にスレーブデバイスがウェイトを挿入した場合は、そのウェイト期間も停止はせず、生成完了割り込み要求を発行しますが、条件生成自体は保証されません。

図 23.46 にクロック同期化の動作例を示します。

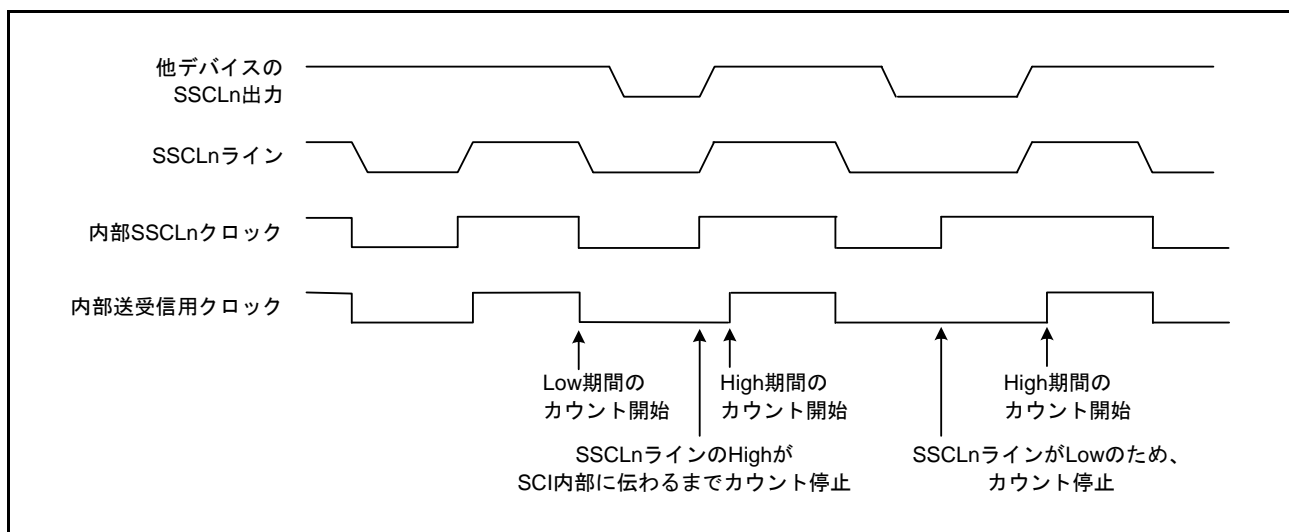


図 23.46 クロック同期化の動作例

23.7.3 SSDA 出力遅延

SIMR1.IICDL[4:0] ビットにより、SSCLn 端子出力の立ち下がりに対して、SSDAn 端子出力を遅延させることが可能です。遅延時間は内蔵ポーレートジェネレータのクロックソース基準（PCLK ベースに SMR.CKS[1:0] で選択された分周クロック）で 0～31 サイクルの間で選択可能です。SSDAn 端子出力を遅延させる対象は、開始条件 / 再開条件 / 停止条件信号と 8 ビットの送信データおよびアクノリッジです。

SSDA 出力遅延が SSCLn 端子出力の立ち下がり時間より小さい場合、SSCLn 端子出力の立ち下がり中に SSDAn 端子出力が変化開始し、スレーブデバイスが誤動作する可能性があります。SSDA 出力遅延が SSCLn 端子出力の立ち下がり時間の最大値（I²C の標準モード、ファストモードでは 300ns）より大きくなるように設定してください。

図 23.47 に SSDA 出力遅延のタイミングを示します。

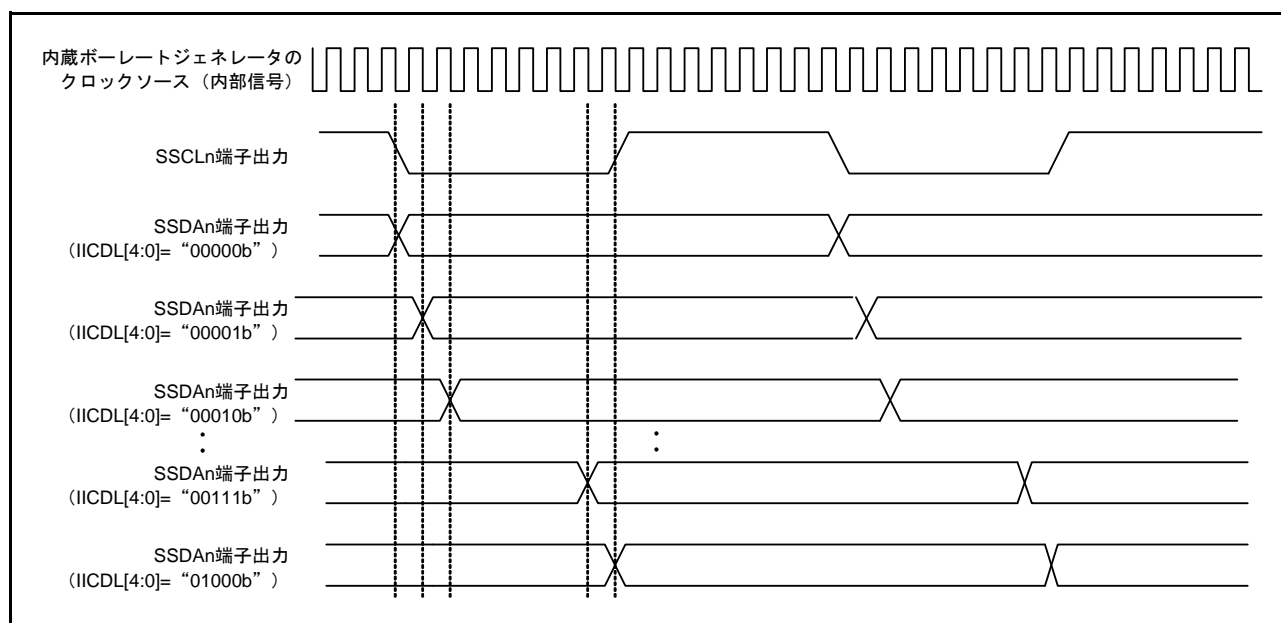


図 23.47 SSDA 出力遅延のタイミング

23.7.4 SCIの初期化 (簡易 I²C モード)

データの送受信前に、SCRレジスタに初期値“00h”を書き込み、図 23.48 のフローチャートの例に従って、初期化してください。

動作モードの変更、通信フォーマットの変更などの場合も、SCRレジスタを初期値にしてから変更してください。また、簡易 I²C モード時の通信ポートのオープンドレイン設定は、ポート側でしてください。

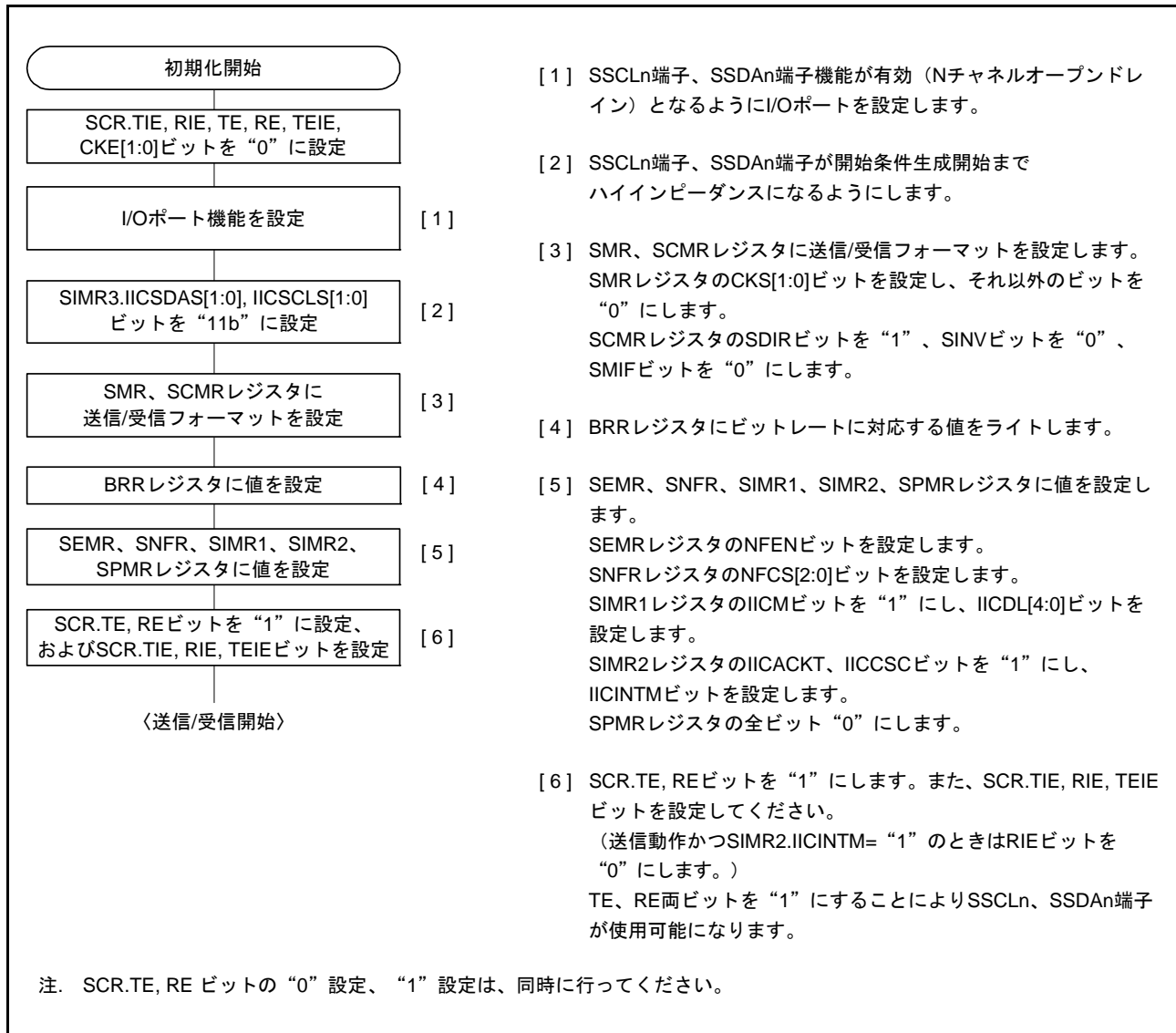


図 23.48 SCIの初期化フローチャート例 (簡易 I²C モード)

23.7.5 マスタ送信動作 (簡易 I²C モード)

図 23.49、図 23.50 に簡易 I²C モードのマスタ送信の動作例を、図 23.51 にデータ送信のフローチャートの例を示します。STI 割り込みについては、表 23.32 を参照してください。

10 ビットスレーブアドレス時は、図 23.51 の [3] ~ [4] の手順を 2 回繰り返します。

簡易 I²C モードでの送信データエンプティ割り込み (TXI) は、クロック同期式送信時の TXI 割り込み要求発生とのタイミングとは異なり、1 フレームの通信を完了した時点で発生します。

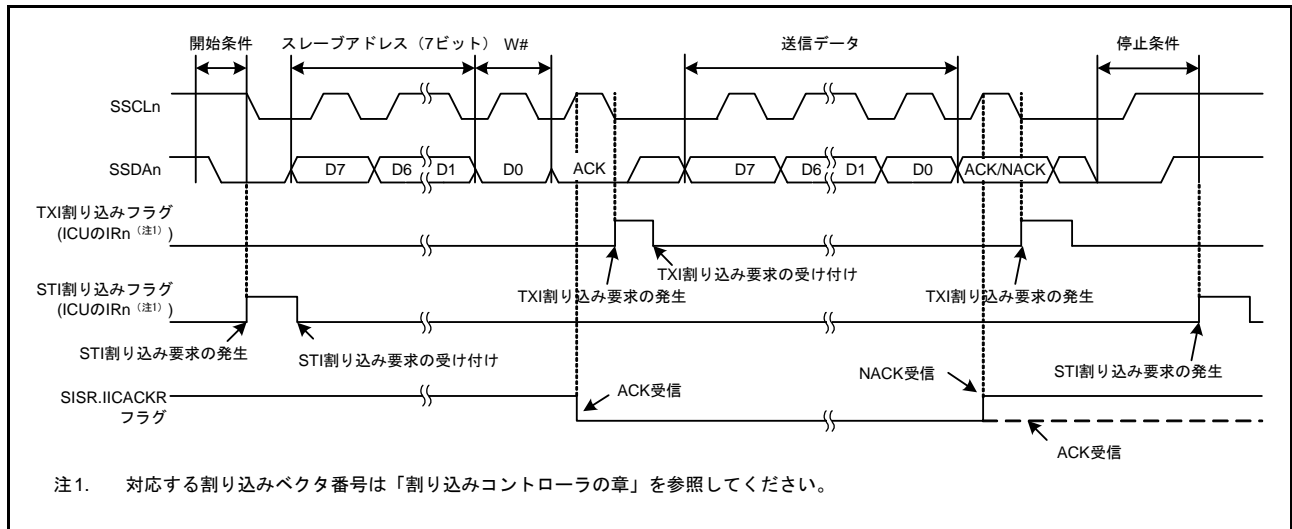


図 23.49 簡易 I²C バスモードのマスタ送信の動作例 1
(7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

マスタ送信で、SIMR2.IICINTM ビットを“0” (ACK 割り込み、NACK 割り込みを使用) にした場合、ACK 割り込みをトリガに DTC を起動し、データを必要バイト数送信します。NACK を受信した場合は NACK 割り込みをトリガに送信中止、再送などのエラー処理を行います。

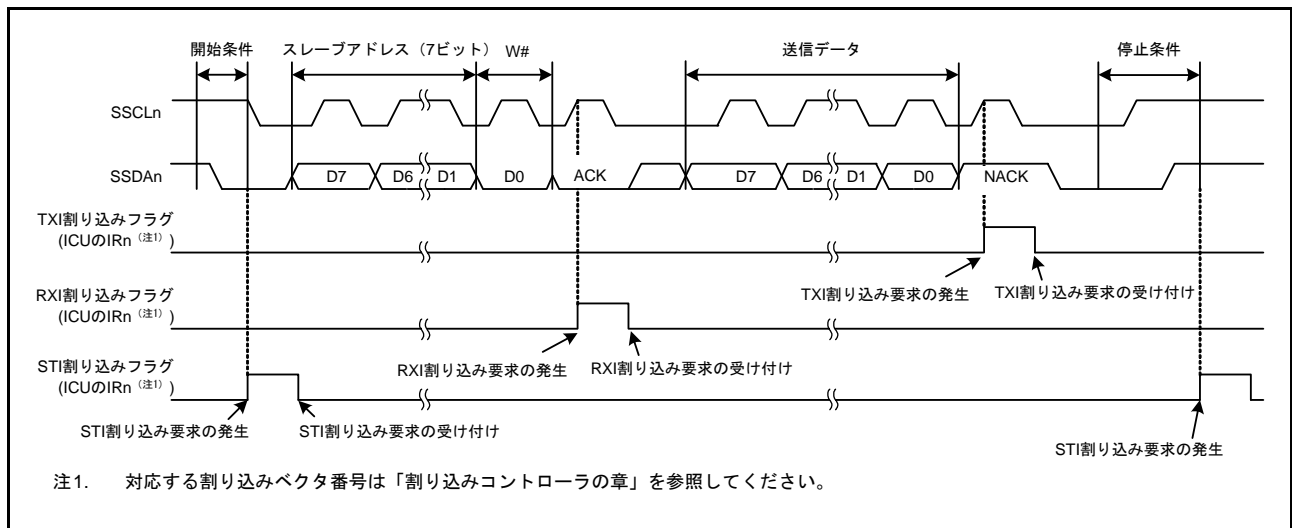


図 23.50 簡易 I²C バスモードのマスタ送信の動作例 2
(7 ビットスレーブアドレス、ACK 割り込み、NACK 割り込み使用時)

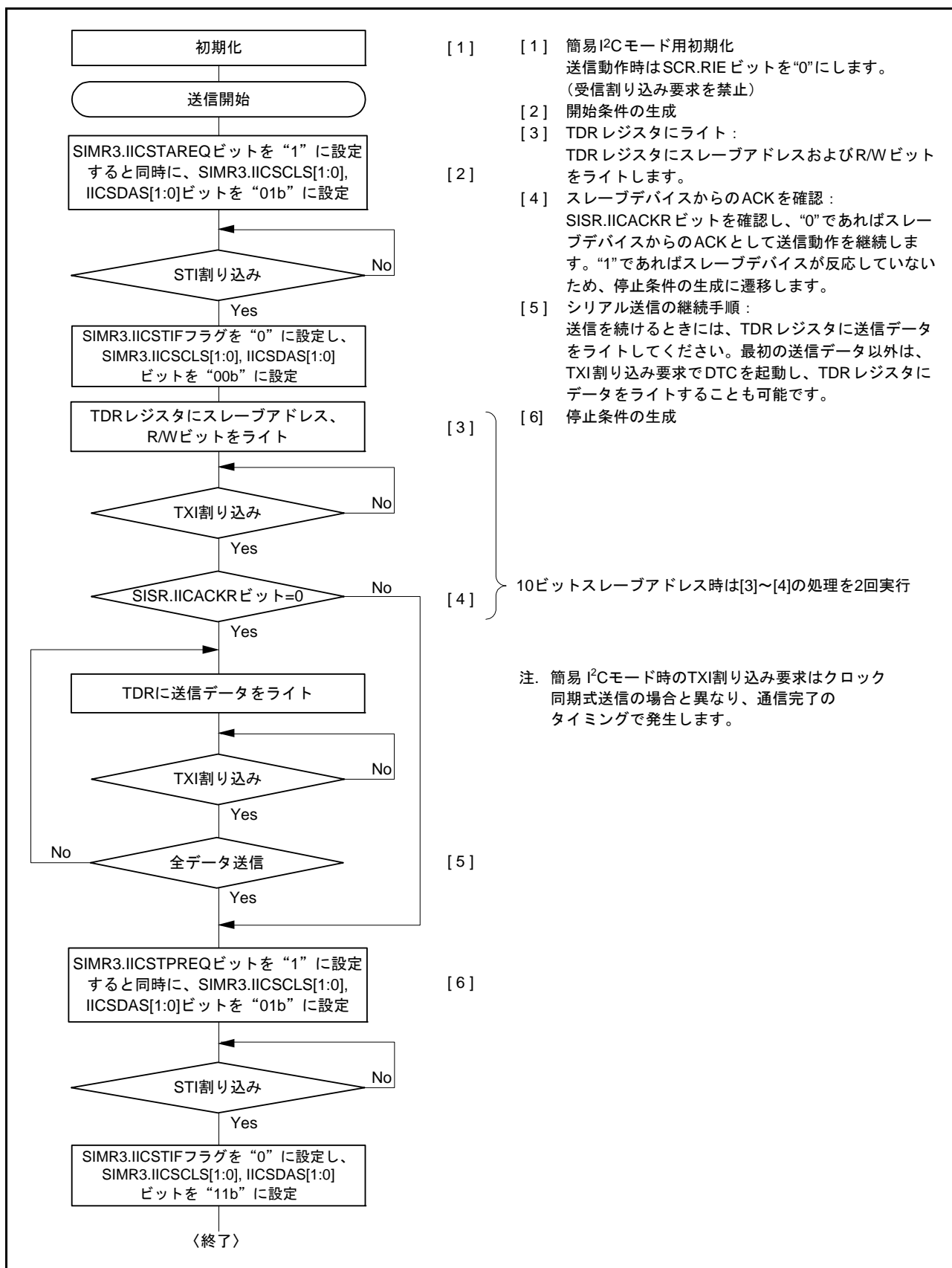


図 23.51 簡易 I²C モードのマスタ送信動作のフローチャート例 (送信割り込み、受信割り込み使用時)

23.7.6 マスタ受信動作 (簡易 I²C モード)

図 23.52 に簡易 I²C モードのマスタ受信の動作例を、図 23.53 にマスタ受信のフローチャートの例を示します。ともに SIMR2.IICINTM ビットを“1” (受信割り込み、送信割り込みを使用) を想定しています。

簡易 I²C モードでの送信データエンプティ割り込み (TXI) は、クロック同期式送信時の TXI 割り込み要求発生発生のタイミングとは異なり、1 フレームの通信を完了した時点で発生します。

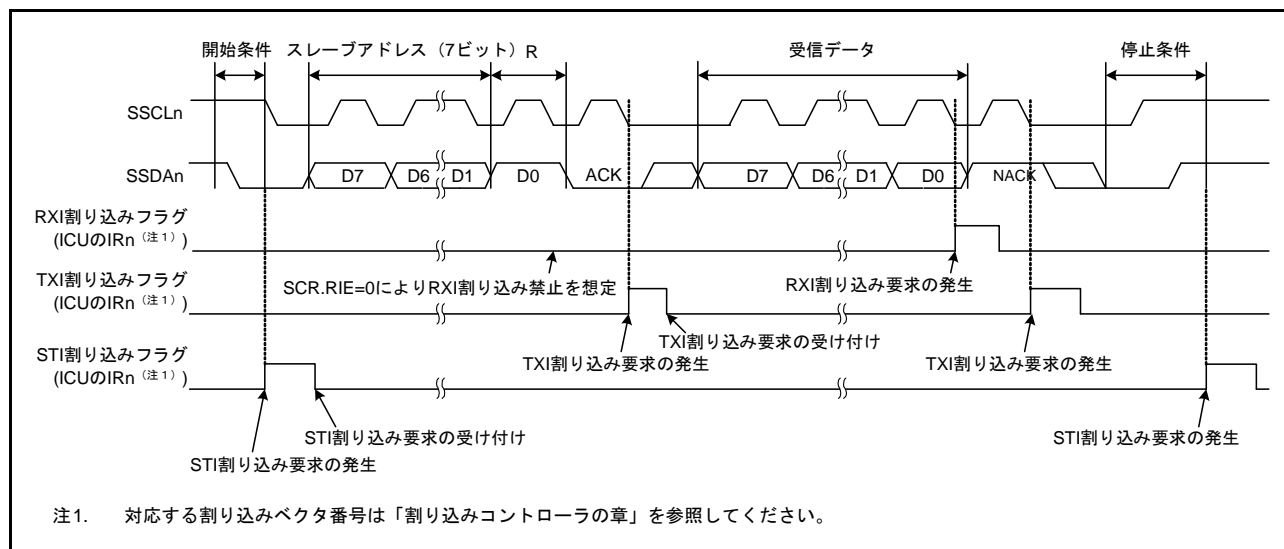


図 23.52 簡易 I²C バスモードのマスタ受信の動作例
(7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

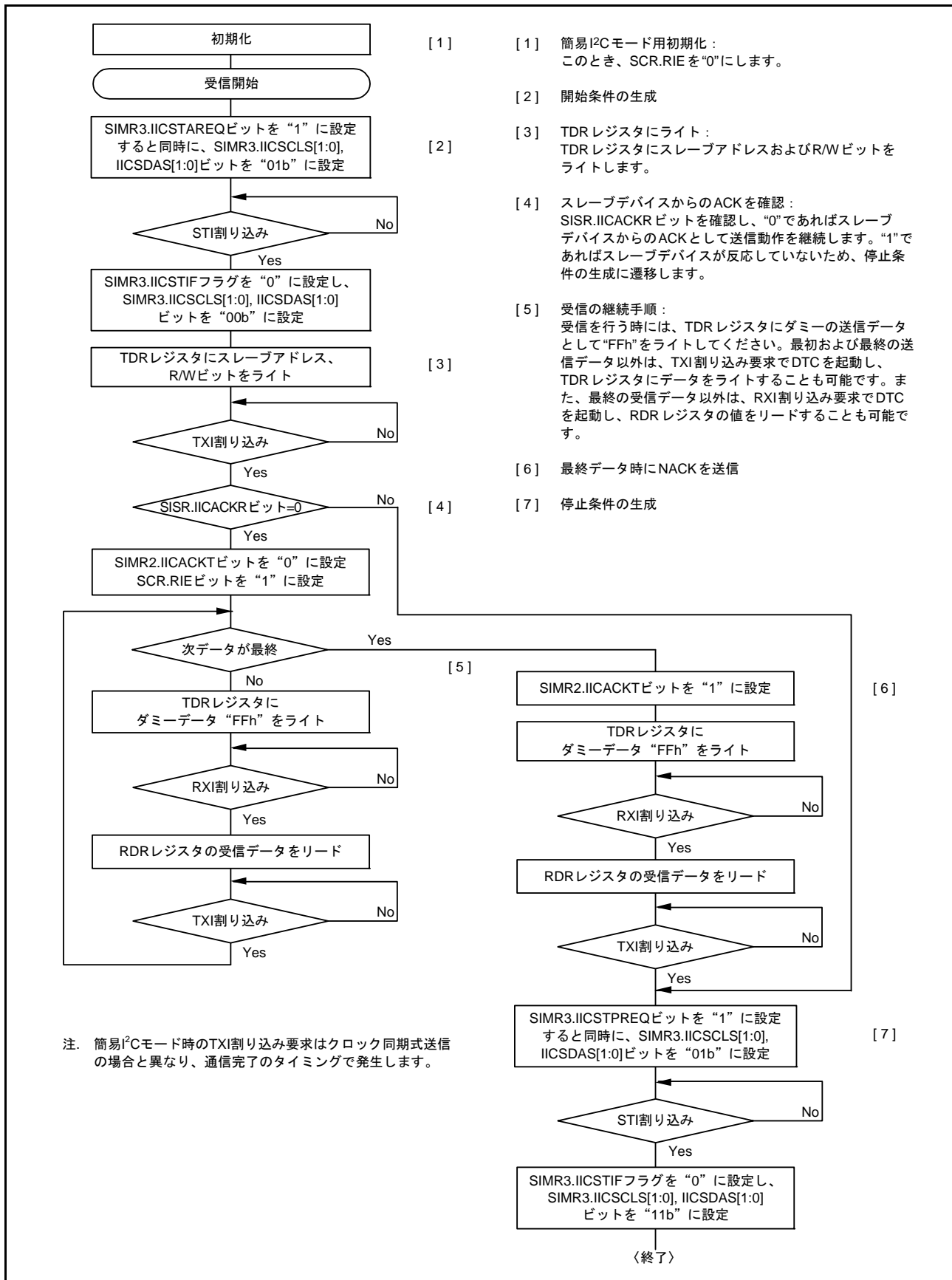


図 23.53 簡易 I²C モードのマスタ受信動作のフローチャート例 (送信割り込み、受信割り込み使用時)

23.8 簡易 SPI モードの動作

SCI の拡張機能として、1 つまたは複数のマスタから複数のスレーブに通信が可能な簡易 SPI モードをサポートしています。

クロック同期式モードの設定 (SCMR.SMIF ビット=0、SIMR1.IICM ビット=0、SMR.CM ビット=1)、かつ、SPMR.SSE ビットを“1”にすることにより、簡易 SPI モードになります。なお、簡易 SPI モード用途でも、マスタモードかつ、シングルマスタで使用するときは、マスタ側の SS 端子機能は不要であり、SPMR.SSE ビットを“0”にします。

図 23.54 に簡易 SPI モードの接続例を示します。マスタからの SS 信号出力については、汎用ポートで制御してください。

簡易 SPI モードではクロック同期式モード同様、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成され、パリティビットの付加はできません。SCMR.SINV ビットを“1”にすることで、送受信データを反転できます。

SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信ができます。また、送信部/受信部はともにダブルバッファ構造になっており、送信中に次の送信データの書き込み、受信中に前の受信データを読み込むことで連続送受信ができます。

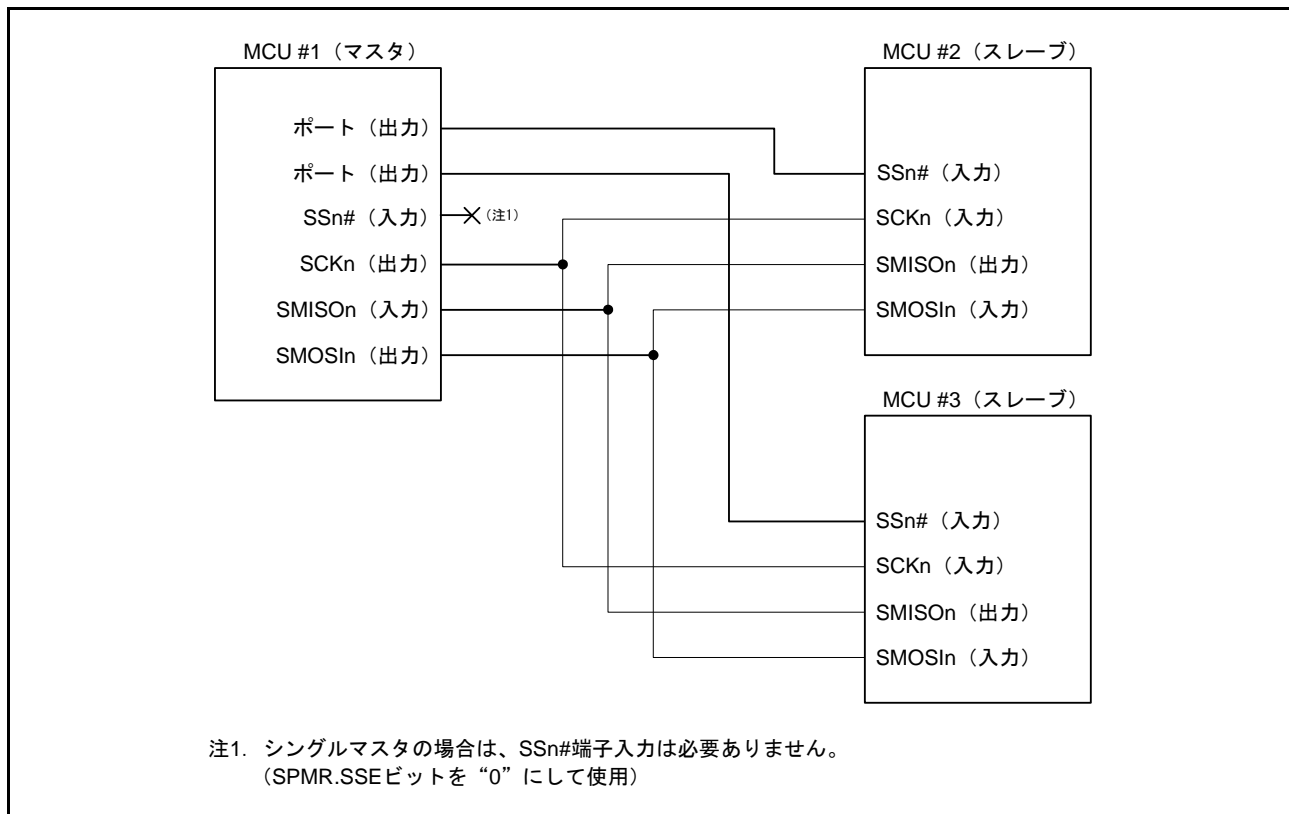


図 23.54 簡易 SPI モードの接続例 (シングルマスタ時 (SPMR.SSE ビット = 0))

23.8.1 マスタモード、スレーブモードと各端子の状態

簡易 SPI モードでは、マスタモード (SCR.CKE[1:0] ビット = “00b” または “01b”、かつ SPMR.MSS ビット = 0) とスレーブモード (SCR.CKE[1:0] ビット = “10b” または “11b”、かつ SPMR.MSS ビット = 1) で各端子の入出力方向が変わります。

表 23.28 にモードおよび SSn# 端子入力と各端子の状態の関係を示します。

表 23.28 モードおよび SSn# 端子入力と各端子の状態の関係

モード	SSn#端子入力	SMOSIn 端子状態	SMISOOn 端子状態	SCKn 端子状態
マスタモード (注1)	High (通信可能)	送信データ出力 (注2)	受信データ入力	クロック出力 (注3)
	Low (通信不可)	ハイインピーダンス	受信データ入力 (無効)	ハイインピーダンス
スレーブモード	High (通信不可)	受信データ入力 (無効)	ハイインピーダンス	クロック入力 (無効)
	Low (通信可能)	受信データ入力	送信データ出力	クロック入力

注1. シングルマスタ時 (SPMR.SSE ビット = 0) は、SSn# 端子の入力レベルに関わらず通信可能 (SSn# 端子入力が High のときと等価) となります。SSn# 端子は未使用であり、別の用途として使用できます。

注2. 送信禁止時 (SCR.TE ビット = 0) はハイインピーダンスです。

注3. マルチマスタ (SPMR.SSE ビット = 1) かつ送受信禁止時 (SCR.TE, RE ビット = 00b) はハイインピーダンスです。

23.8.2 マスタモード時の SS 機能

SCR.CKE[1:0] = 00b かつ SPMR.MSS = 0 を設定することで、マスタモードになります。

シングルマスタ時 (SPMR.SSE ビット = 0) は SSn# 端子は未使用であり、SSn# 端子入力のレベルに関わらず送受信動作が可能です。

マルチマスタ時 (SPMR.SSE ビット = 1)、かつ、SSn# 端子入力が High のとき、他にマスタが存在しないか、他のマスタが送受信を受信動作を行っていないことを示すためマスタとして SCKn 端子からクロックを出力し、送受信動作を行います。マルチマスタ時 (SPMR.SSE ビット = 1)、かつ、SSn# 端子入力が Low のとき、他のマスタが存在し、送受信を行っていることを示します。そのとき SCI は SMOSIn 端子出力、SCKn 端子出力をハイインピーダンスにし、送受信動作は開始しません。また、モードフォルトエラーとして SPMR.MFF フラグが “1” になります。マルチマスタ時は SPMR.MFF フラグを読むことでエラー処理を行ってください。なお、送受信動作中にモードフォルトが発生しても、送受信動作は停止せず、送受信動作完了後に SMOSIn 端子出力、SCKn 端子出力をハイインピーダンスになります。

マスタからの SS 信号出力については、汎用ポートで制御してください。

23.8.3 スレーブモード時の SS 機能

SCR.CKE[1:0] = 10b かつ SPMR.MSS = 1 を設定することで、スレーブモードになります。

SSn# 端子入力が High のとき、SMISOOn 端子出力はハイインピーダンスになり、SCKn 端子からのクロック入力は無視されます。SSn# 端子入力が Low のとき、SCKn 端子からのクロック入力が有効になり、送受信動作が可能になります。

送受信動作中に SSn# 端子入力が Low から High に変化した場合、SMISOOn 端子出力をハイインピーダンスにします。なお、内部の送受信動作は継続し、SCKn 端子からのクロック入力に従って 1 キャラクタ分の送受信動作完了後動作を停止します。その際、割り込み (TXI、RXI、TEI のいずれか) が発生します。

23.8.4 クロックと送受信データの関係

SPMR.CKPOL,CKPH ビットにより、送受信に用いるクロックを4種類から選択可能です。クロックと送受信データの関係を図 23.55 に示します。マスタモード、スレーブモードともクロックと送受信データの関係は同じです。

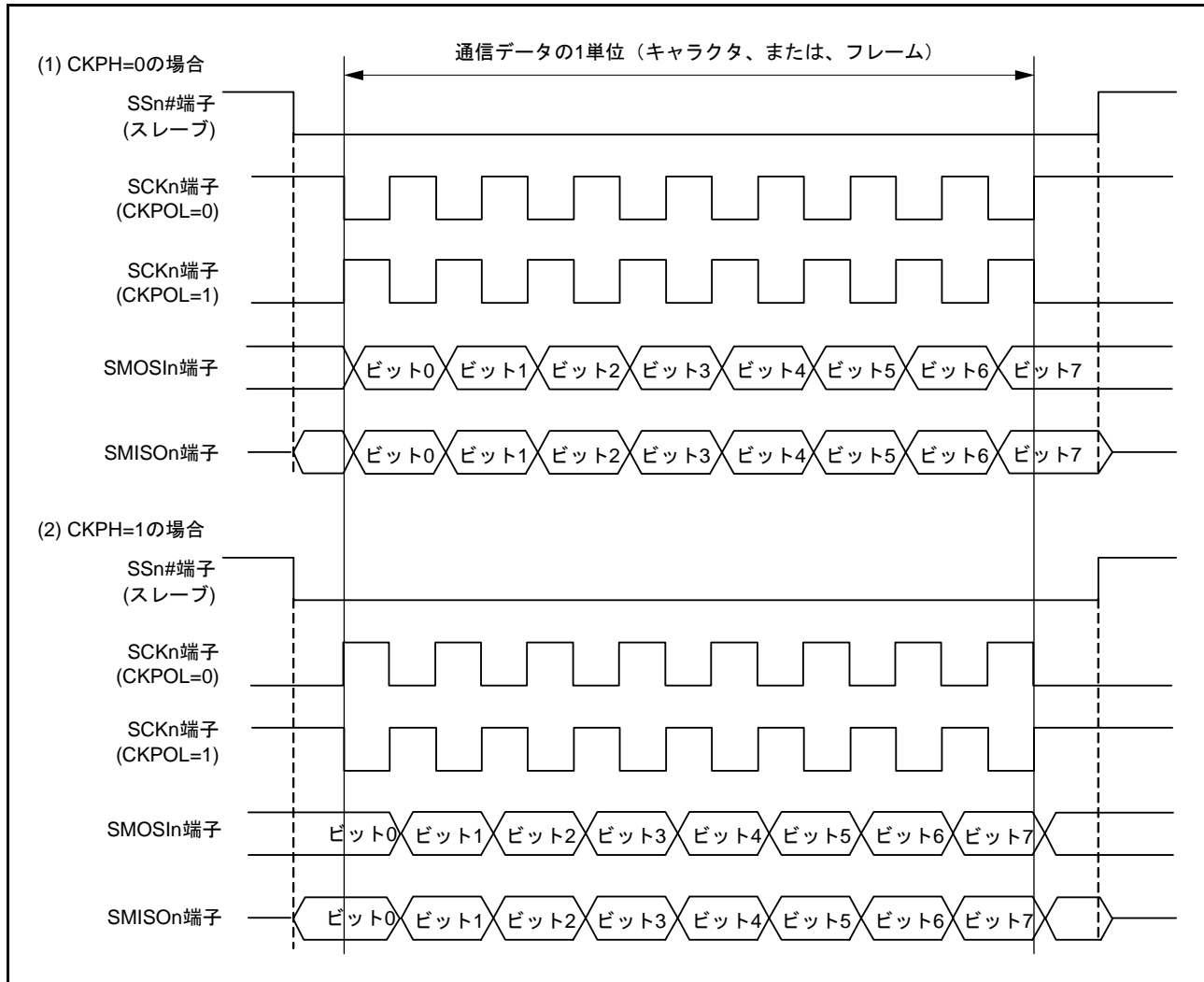


図 23.55 簡易 SPI モードのクロックと送受信データの関係

23.8.5 SCI の初期化 (簡易 SPI モード)

クロック同期式モードの初期化手順 (図 23.22 の SCI の初期化フローチャート例) と同様です。SPMR レジスタの CKPOL、CKPH ビットにより選択されるクロックの種類は、マスタデバイスとスレーブデバイスで合わせます。

初期化、動作モードの変更、通信フォーマットの変更などの場合、SCR レジスタを初期値にしてから変更してください。

RE ビットを“0”にしても、SSR レジスタの ORER、FER、PER フラグ、および RDR レジスタは初期化されませんので注意してください。

TE ビットを“1”から“0”または“0”から“1”にすると、SCR.TIE ビットが“1”の場合、TXI 割り込みが発生しますので注意してください。

23.8.6 シリアルデータの送受信 (簡易 SPI モード)

マスタモード時は、送受信開始前に送受信先のスレーブデバイスの SSn# 端子を Low にし、送受信が終了すると送受信先のスレーブデバイスの SSn# 端子を High にします。それ以外の手順はクロック同期式モードと同様です。

23.9 拡張シリアルモード制御部の動作説明

23.9.1 シリアル通信プロトコル

SCIFの拡張シリアルモード制御部は、SCIEと連携し、図23.56に示すようなStart Frame、Information Frameから構成されるシリアル通信プロトコルを実現します。

Start FrameはBreak FieldとControl Field 0、Control Field 1で構成されています。また、Information FrameはいくつかのData FieldとCRC16 Upper Field、CRC16 Lower Fieldで構成することができます。

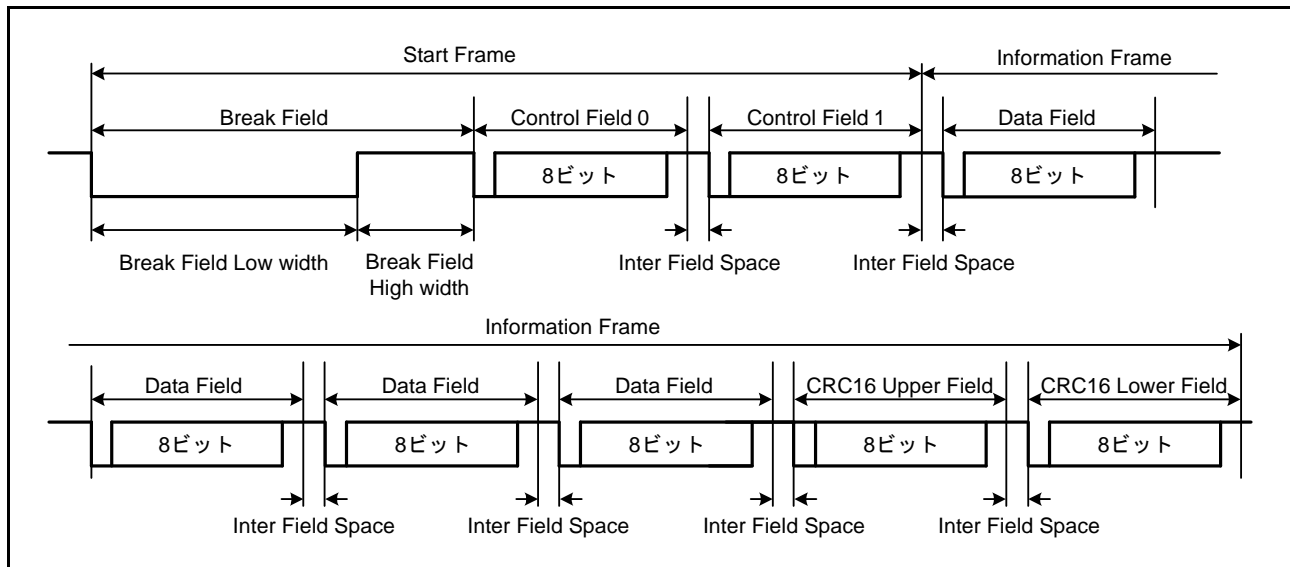


図 23.56 拡張シリアルモード制御部シリアル通信プロトコル

23.9.2 Start Frame 送信

図23.57にBreak Field Low width、Control Field 0およびControl Field 1で構成されるStart Frameの送信時の動作例を示します。また、図23.58、図23.59にStart Frameの送信を行うためのフローチャートを示します。

拡張シリアルモード制御部は、Start Frame送信時、以下のように動作します。なお、SCI12は調歩同期式モードで使用します。

- (1) タイマの動作モードをBreak Field Low width出力モードにした状態で、TCR.TCSTビットに“1”を書き込むと、タイマがカウントを開始し、TCNT、TPREレジスタに設定した期間、TXDX12端子からLowが出力されます。
- (2) タイマがアンダフローするとTXDX12端子の出力が反転し、STR.BFDFフラグが“1”になります。また、ICR.BFDIEビットを“1”にしている場合は、SCIX0割り込みが発生します。
- (3) TCR.TCSTビットに“0”を書き込んでタイマのカウントを停止させた後、SCI12を使用してControl Field 0のデータを送信します。Break Field Low width出力後、次にアンダフローするまでにカウントを停止してください。
- (4) Control Field 0のデータの送信が完了した後、SCI12を使用してControl Field 1のデータを送信します。
- (5) Control Field 1のデータの送信が完了した後、SCI12を使用してInformation Frameの通信を行います。

Start Frameの構成にあわせてBreak FieldおよびControl Field 0を省略してください。

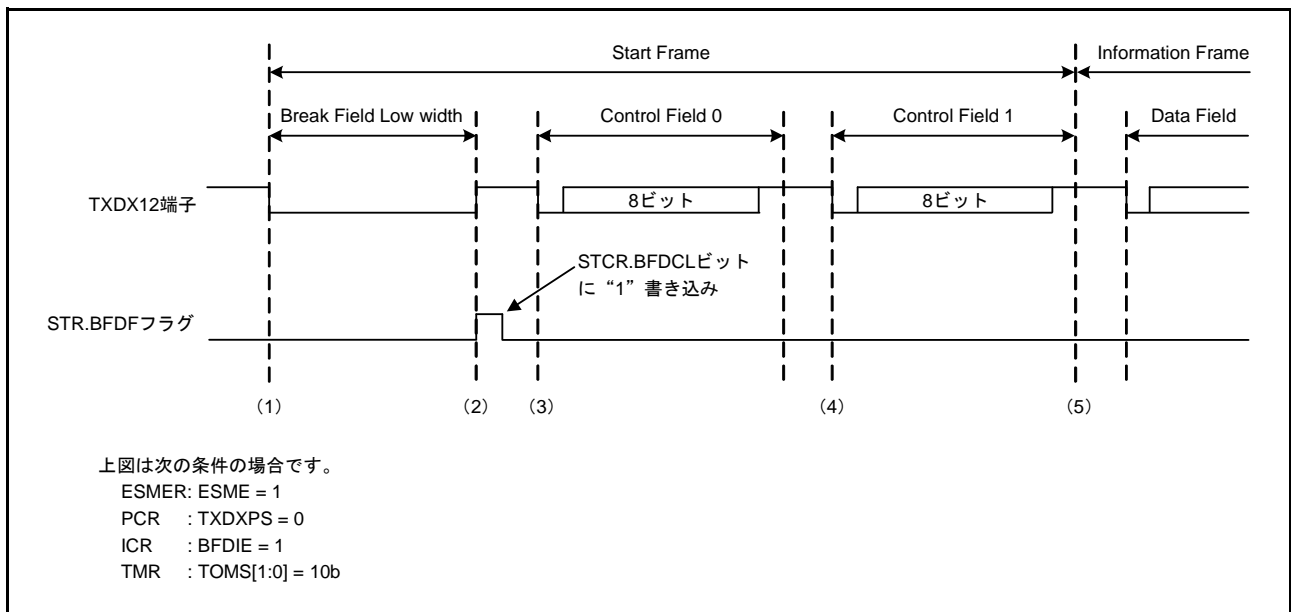


図 23.57 Start Frame 送信時の動作例

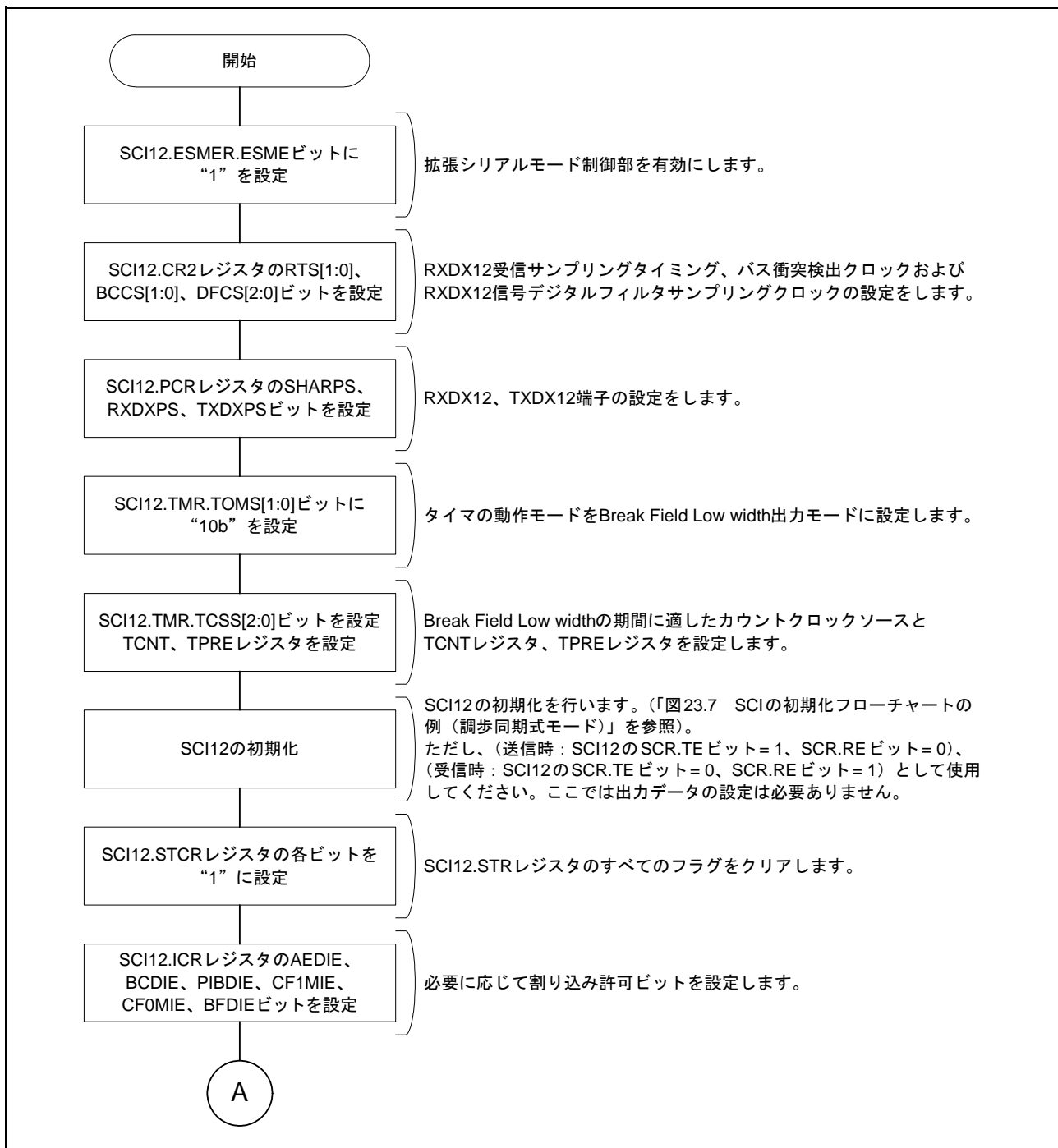


図 23.58 Start Frame 送信フローチャート例 (1)

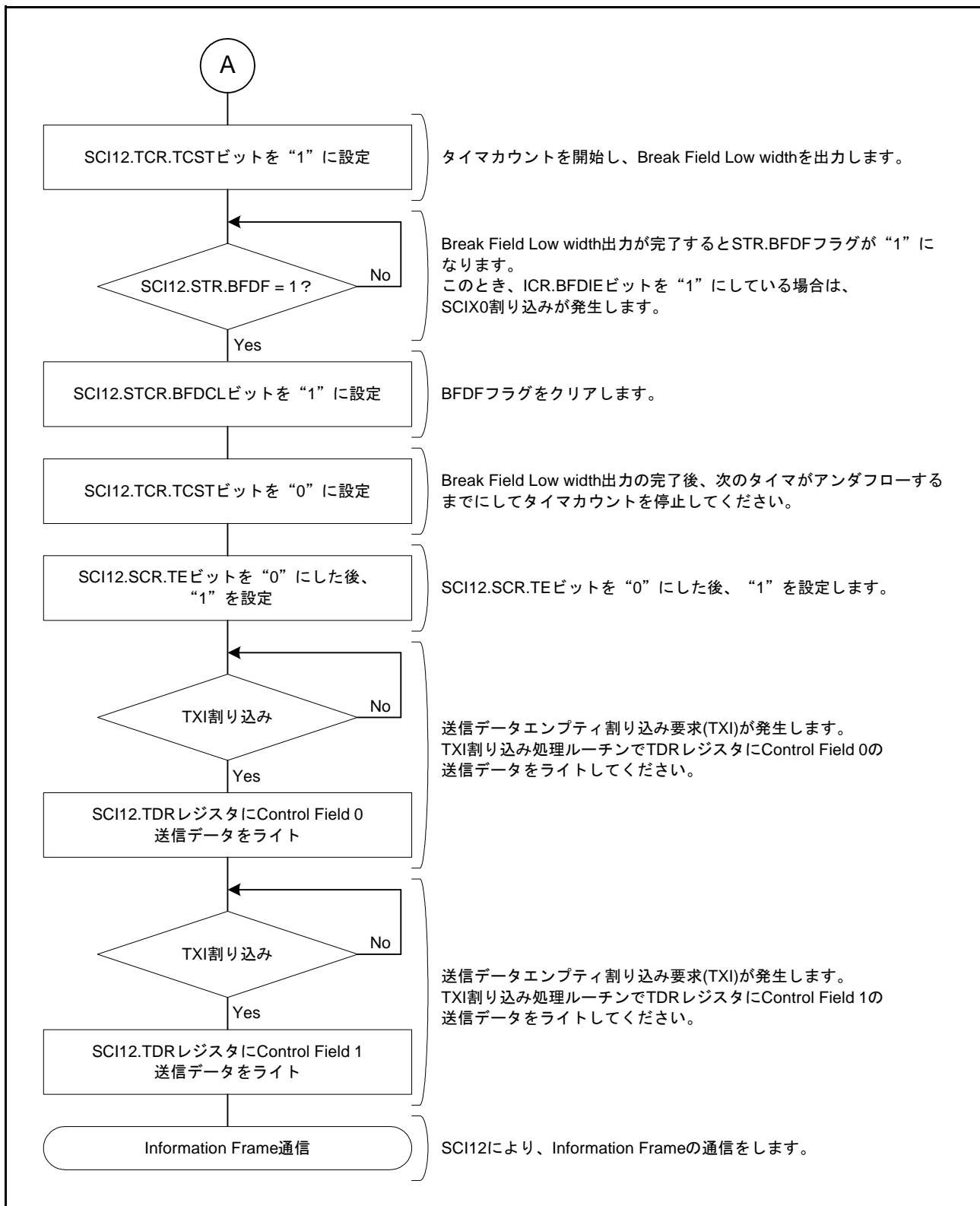


図 23.59 Start Frame 送信フローチャート例 (2)

23.9.3 Start Frame 受信

拡張シリアルモード制御部では、表 23.29 のような構成の Start Frame を検出することができます。

表 23.29 Start Frameの構成

ビットの設定		Start Frameの構成
BFE	CF0RE	
0	0	
0	1	
1	0	
1	1	

図 23.60 に Break Field Low width、Control Field 0 および Control Field 1 で構成される Start Frame の受信時の動作例を示します。また、図 23.61、図 23.62 に Start Frame の受信を行うためのフローチャート、図 23.63 に拡張シリアルモード制御部の状態遷移図を示します。

拡張シリアルモード制御部は、Start Frame 受信時、以下のように動作します。なお、SCI12 は調歩同期モードで使用します。

- (1) タイマの動作モードを Break Field Low width 検出モードに設定して、CR3.SDST ビットに“1”を書き込むと、Break Field Low width 検出が可能になります。このとき、SCI12 内部への RXDX12 入力は禁止となります。
- (2) タイマの TCNT、TPRE レジスタに設定した期間以上の Low が RXDX12 端子から入力されると、Break Field Low width として検出します。このとき、STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。
- (3) Break Field Low width 検出後、RXDX12 端子からの入力が High になると CR0.RXDSF フラグが“0”になり、SCI12 により、Control Field 0 の受信を開始します。
- (4) Control Field 0 で受信したデータが CF0DR レジスタに設定したデータと一致した場合、STR.CF0MF フラグが“1”になります。また、ICR.CF0MIE ビットを“1”にしている場合は、SCIX1 割り込みが発生します。その後、SCI12 により Control Field 1 の受信を開始します。Control Field 0 で受信したデータが CF0DR レジスタに設定したデータと一致しない場合は、Break Field Low width 検出前の状態に遷移します。
- (5) Control Field 1 で受信したデータが PCF1DR レジスタまたは SCF1DR レジスタに設定したデータと一致した場合、STR.CF1MF フラグが“1”になります。また、ICR.CF1MIE ビットを“1”にしている場合は、SCIX1 割り込みが発生します。その後、SCI12 を使用して Information Frame の通信を行います。Control Field 1 で受信したデータが PCF1DR レジスタまたは SCF1DR レジスタに設定したデータのどちらとも一致しない場合は、Break Field Low width 検出前の状態に遷移します。

Start Frame の構成にあわせ、Break Field および Control Field 0 の処理を省略してください。

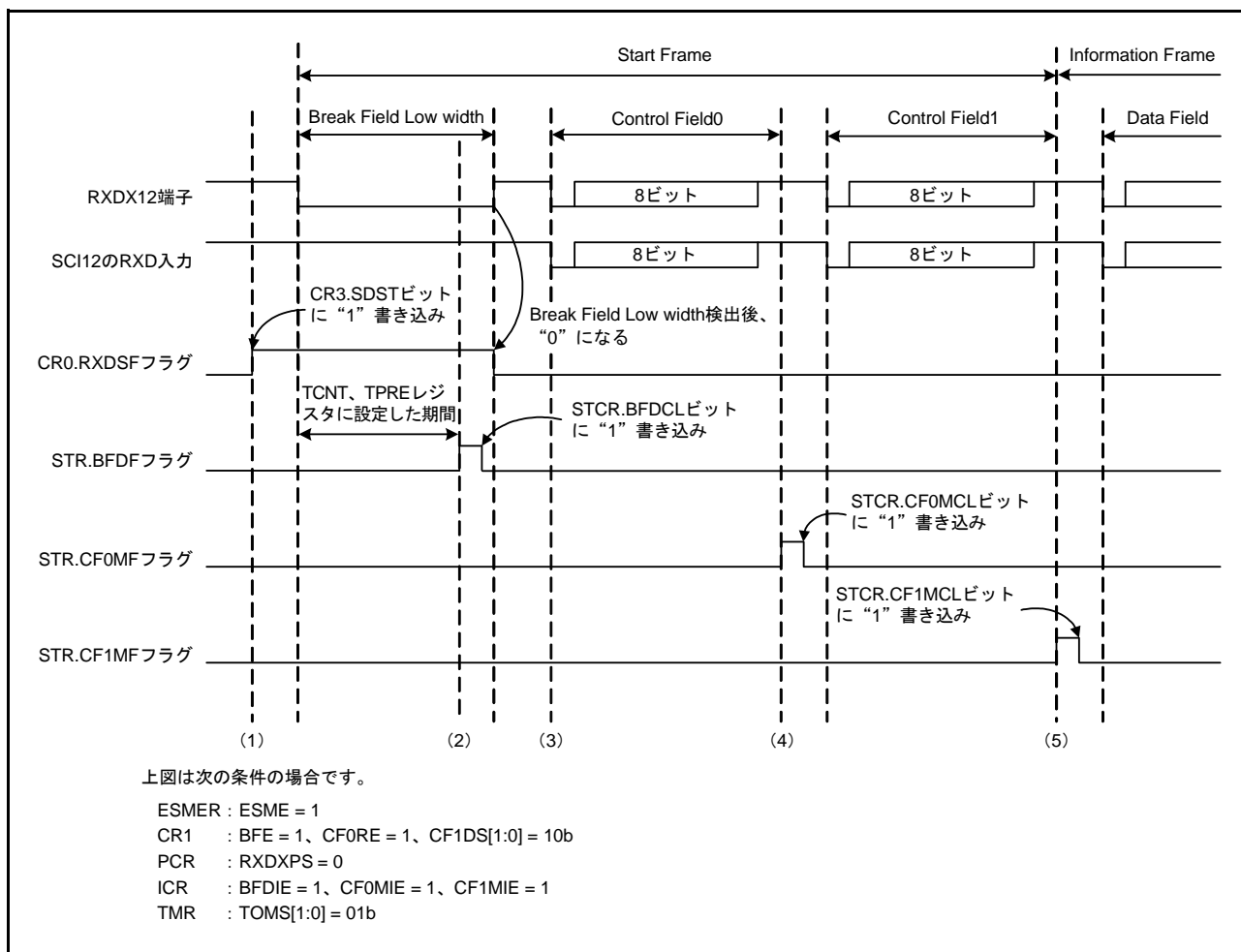


図 23.60 Start Frame 受信時の動作例

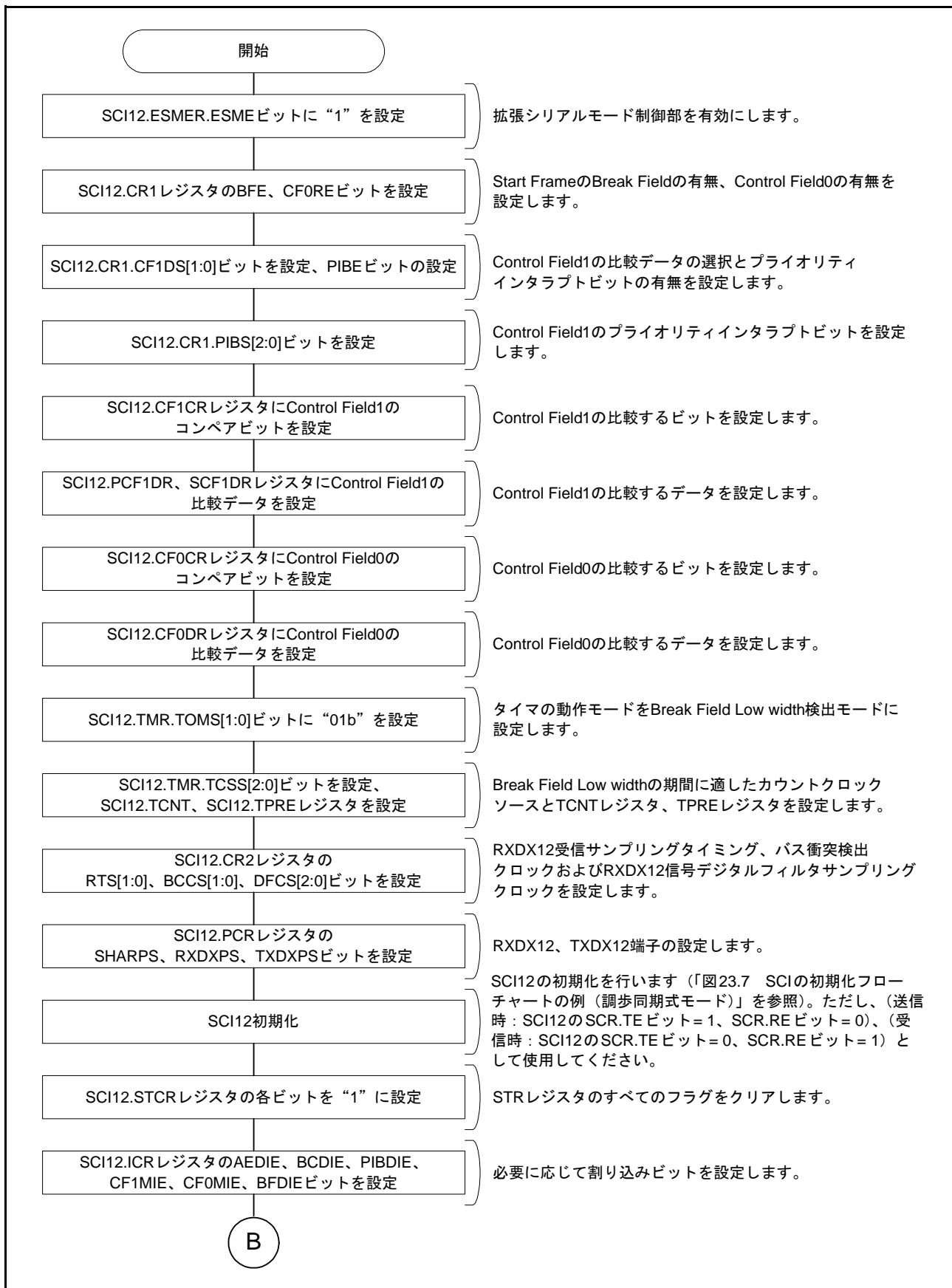


図 23.61 Start Frame 受信フローチャート例 (1)

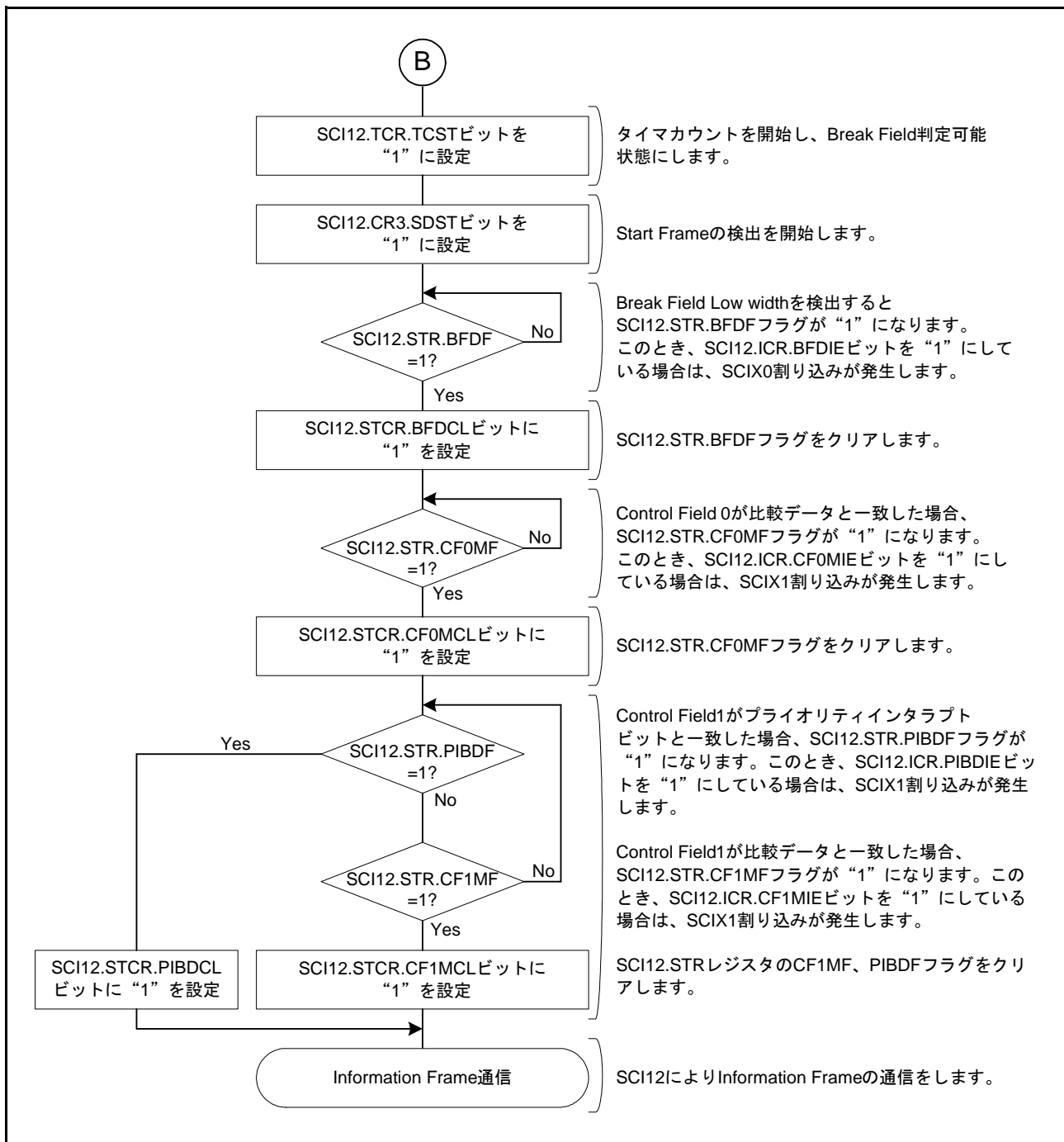


図 23.62 Start Frame 受信フローチャート例 (2)

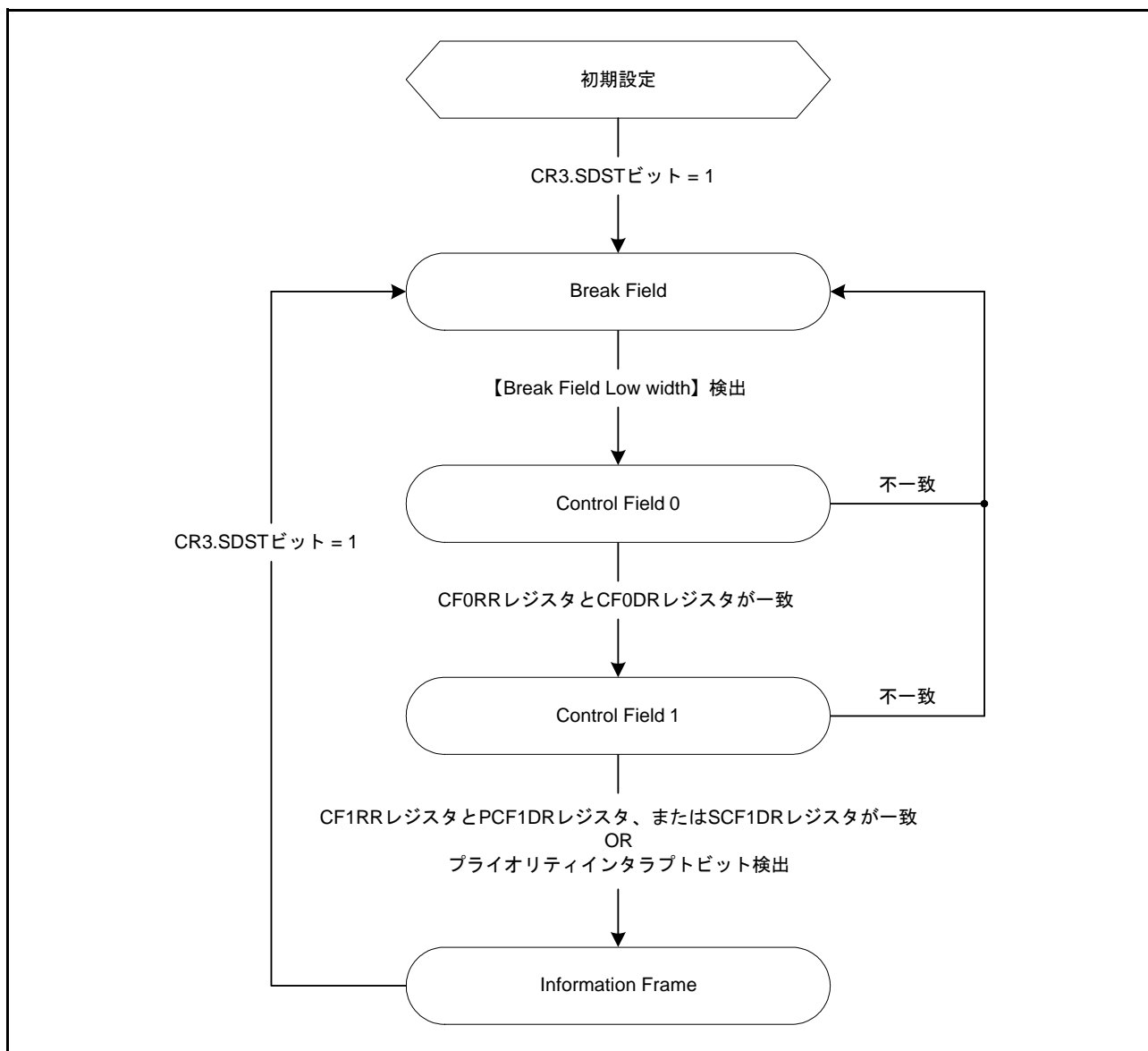


図 23.63 Start Frame 受信時の状態遷移図

23.9.3.1 プライオリティインタラプトビット

図 23.64 にプライオリティインタラプトビットを使用した Start Frame 受信時の動作例を示します。プライオリティインタラプトビットは CR1.PIBE ビットを“1”にすることで有効となります。

拡張シリアルモード制御部は、プライオリティインタラプトビットを使用した Start Frame 受信時、以下のよう動作します。

(1)～(4) は図 23.60 の Start Frame 受信時の動作例 (1)～(4) と同様になります。

(5) CR1.PIBS[2:0] ビットで指定したビットの値が PCF1DR レジスタに設定した値と一致した場合、STR.PIBDF フラグが“1”になります。また、ICR.PIBDIE ビットを“1”にしている場合は、SCIX1 割り込みが発生します。その後、SCI12 により、Information Frame の通信を行います。Control Field 1 で受信したデータが PCF1DR レジスタまたは SCF1DR レジスタに設定したデータのどちらとも一致せず、プライオリティインタラプトビットも検出しない場合は、Break Field Low width 検出前の状態に遷移します。

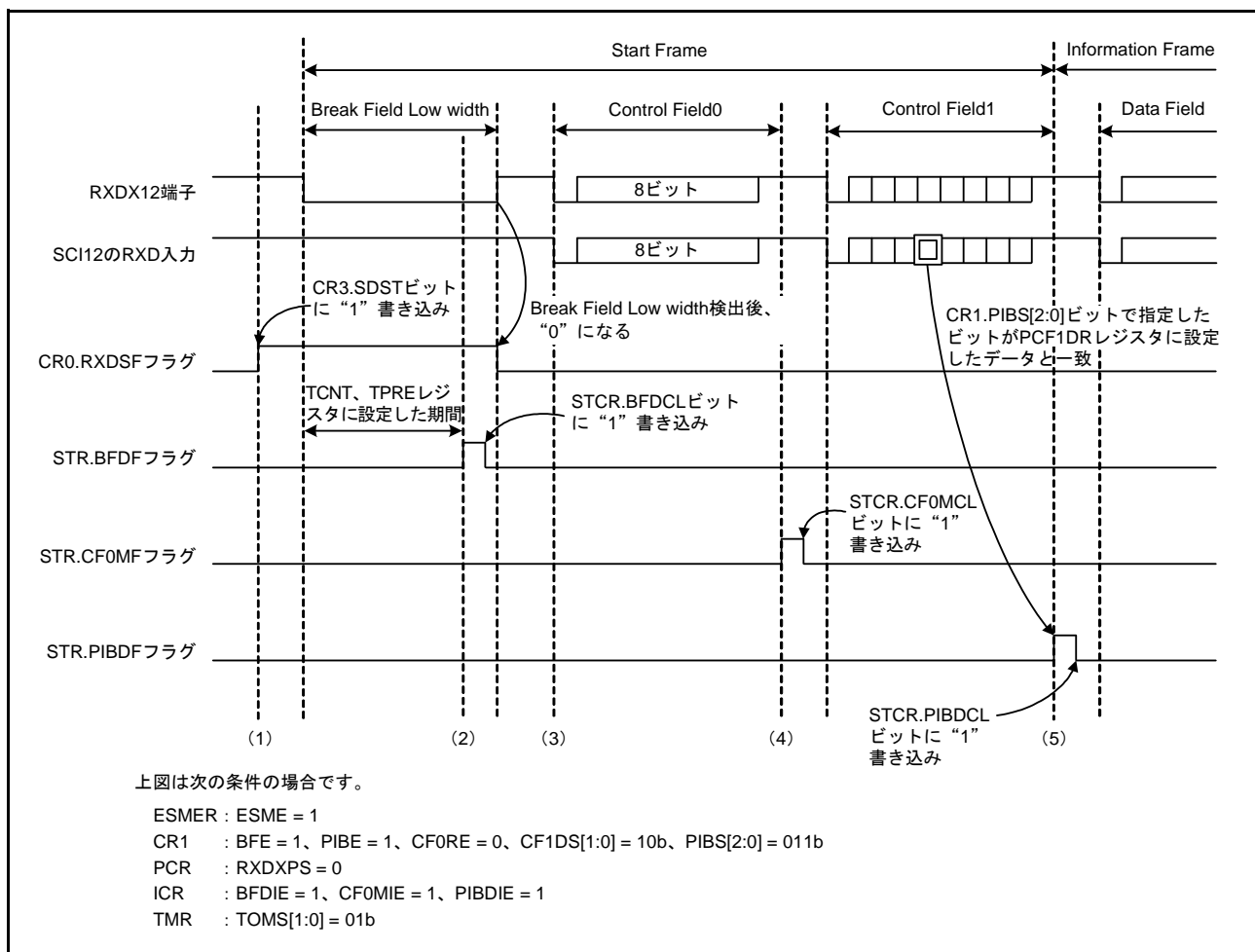


図 23.64 Start Frame の受信時の動作例 (プライオリティインタラプトビット使用時)

23.9.4 バス衝突検出機能

ESMER.ESME ビット = 1、かつ SCI12.SCR.TE ビット = 1 の状態で、Break Field Low width 出力中および SCI12 によりデータを送信中にバス衝突検出機能が働きます。

図 23.65 にバス衝突検出機能の動作例を示します。TXDX12 端子の出力と RXDX12 端子の入力を CR2.BCCS[1:0] ビットで設定されたバス衝突検出クロックでサンプリングし、3 回連続不一致が発生すると STR.BCDF フラグが“1”になります。また、ICR.BCDIE ビットを“1”にしている場合は、SCIX2 割り込みが発生します。

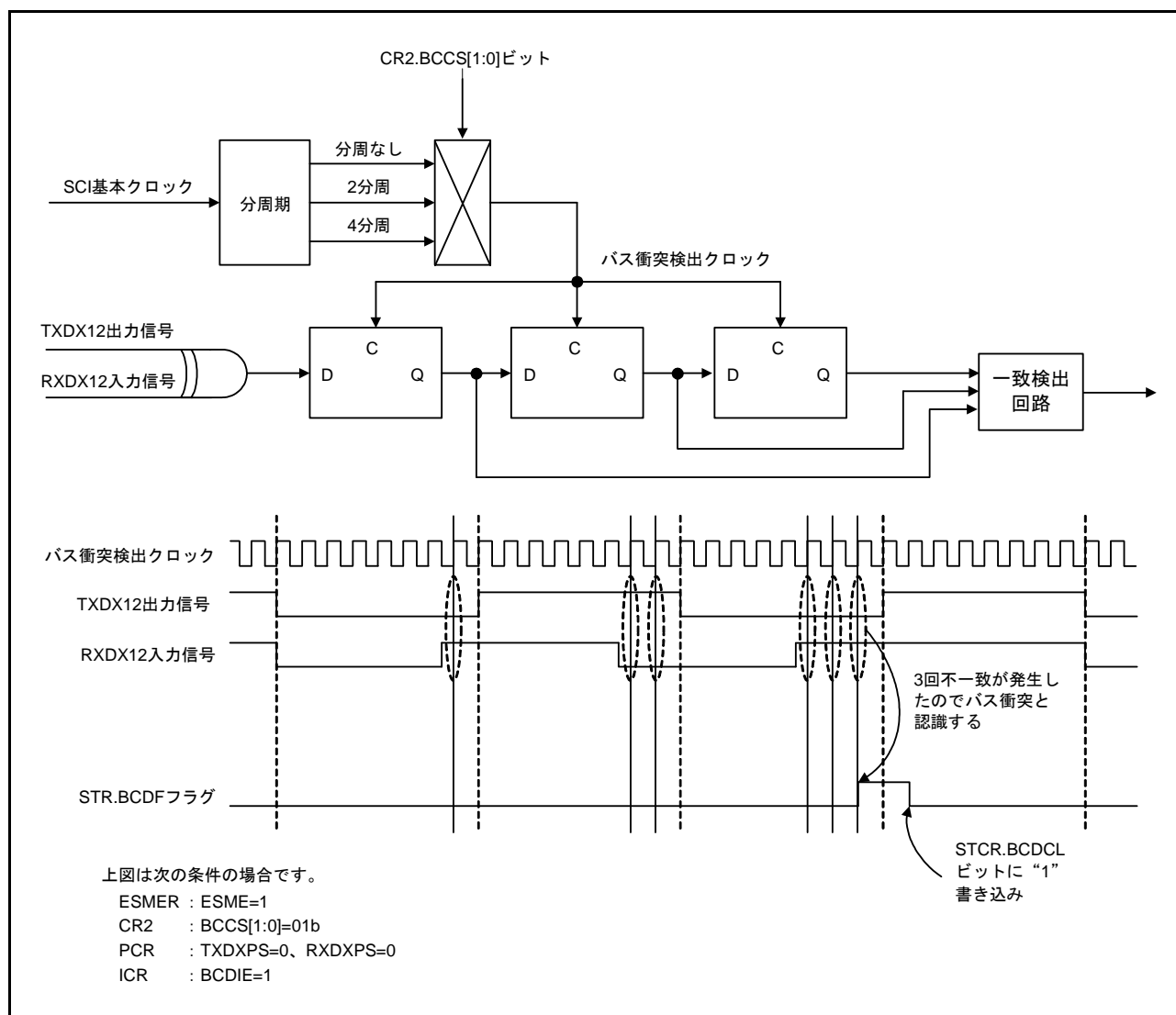


図 23.65 バス衝突検出機能の動作例

23.9.5 RXDX12 端子入力デジタルフィルタ機能

RXDX12 端子の入力信号は、デジタルフィルタ回路を通して内部に取り込むことができます。デジタルフィルタ回路は、3段直列に接続されたフリップフロップ回路と一致検出回路で構成されます。RXDX12 端子入力信号はCR2.DFCS[2:0] ビットによって選択されたクロックでサンプリングされ、3つのラッチ出力が一致すると、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。すなわち、3サンプリングクロック以上同一のレベルを保持した場合は信号として認識しますが、3サンプリングクロック以下の信号変化はノイズとして判断し、信号変化として認識しません。図 23.66 にデジタルフィルタ機能の動作例を示します。

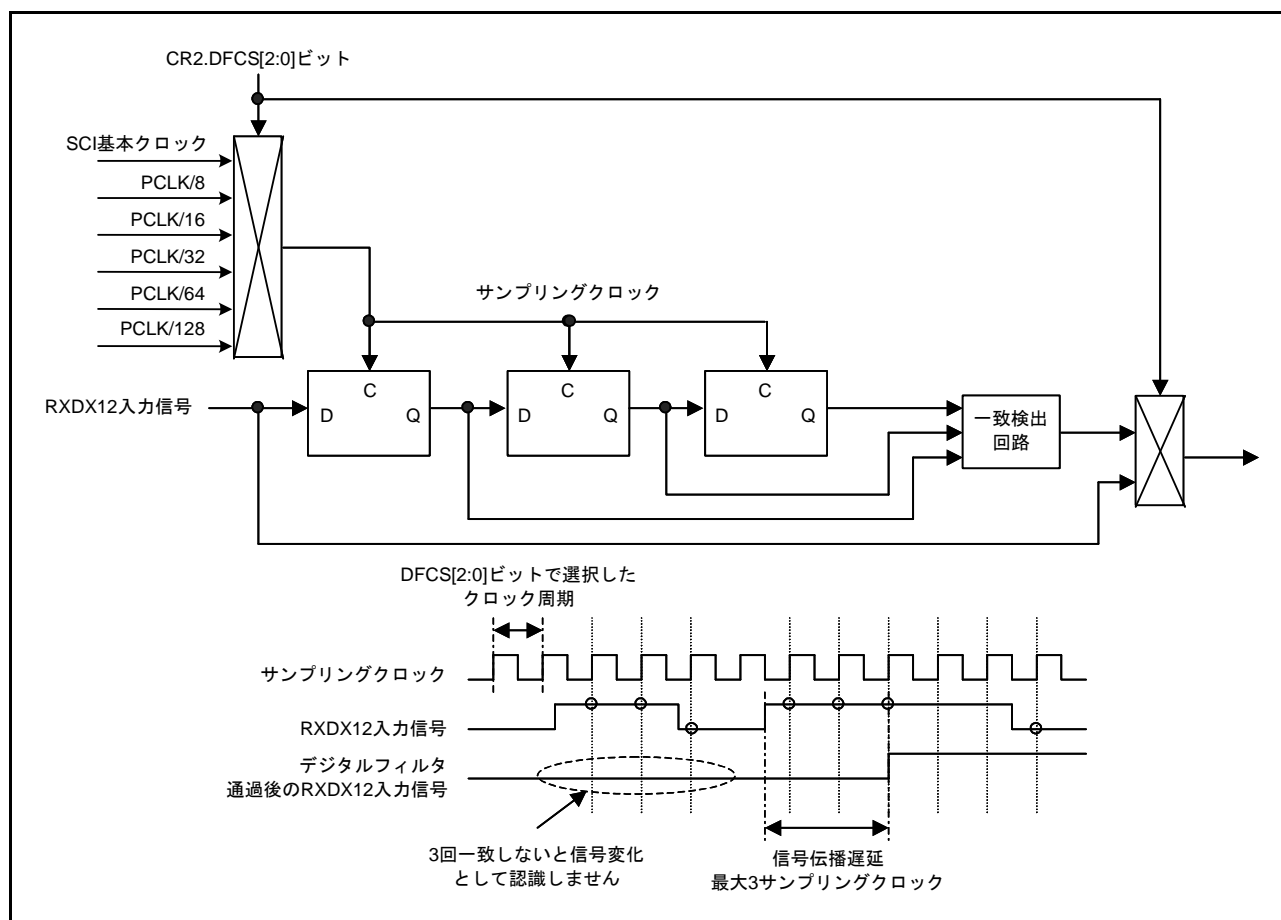


図 23.66 デジタルフィルタ機能の動作例

23.9.6 ビットレート測定機能

RXDX12 端子から入力される信号の立ち上がり — 立ち下がり間または、立ち下がり — 立ち上がり間を測定する機能です。図 23.67 にビットレート測定機能の動作例を示します。

- (1) CR0.BRME ビットに“1”を書き込むとビットレート測定が有効となります。BRME ビットは、測定を行いたいときのみ“1”を設定してください。また、BRME ビットを“1”にしても Break Field 中は、ビットレートの測定動作を行いません。
- (2) Break Field Low width を検出後、RXDX12 端子の入力が High になると、ビットレート測定が開始します。
- (3) ビットレート測定開始後、RXDX12 端子から有効エッジ (立ち上がりエッジおよび立ち下がりエッジ) が入力されるとタイマはそのときのカウンタ値をリードバッファに保持し、カウンタをリロードします。ICR.AEDIE ビットを“1”にしている場合は、SCIX3 割り込みが発生します。TCNT、TPRE レジスタをリードすることで保持は解除されます。
- (4) 有効エッジ間のカウンタ値からビットレートを算出し、SCI12 の設定を変更することで、ビットレートを調整することができます。Control Field 1 一致後、ビットレート測定機能を無効にする場合は CR0.BRME ビットに“0”を書き込んでください。

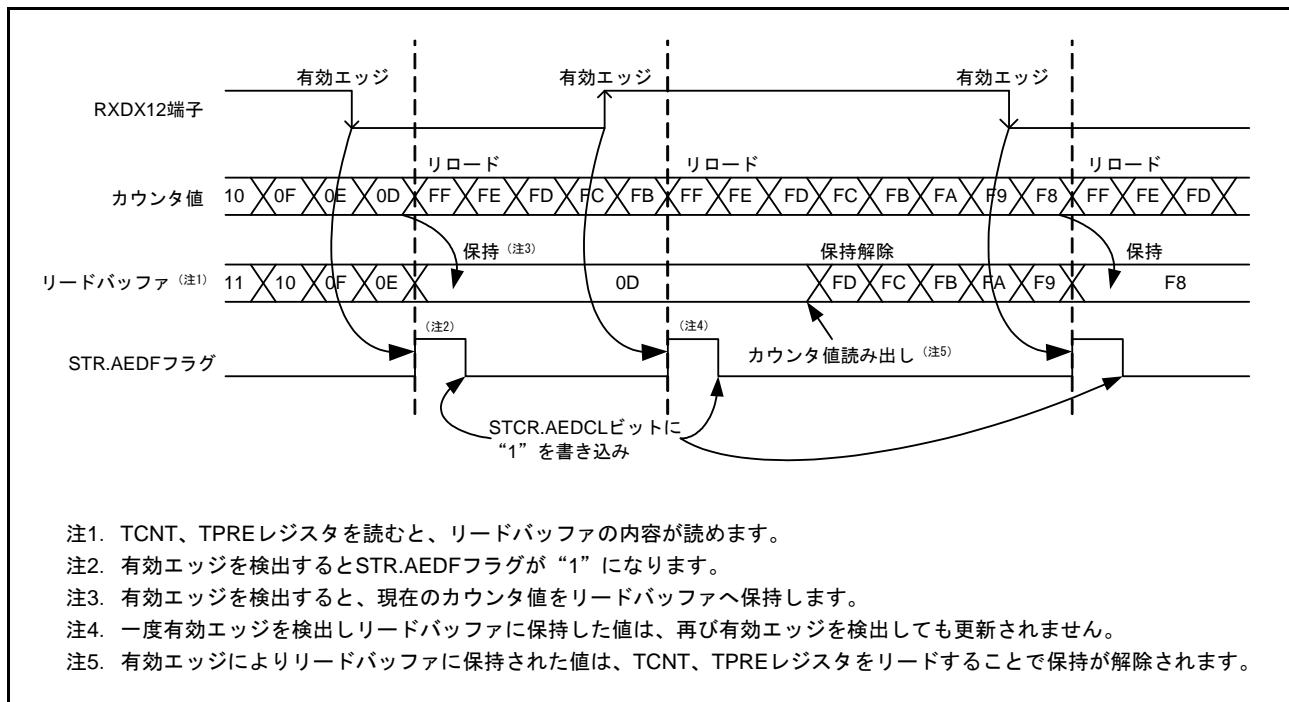


図 23.67 ビットレート測定機能動作例

23.9.7 RXDX12 受信データサンプリングタイミング選択機能

拡張シリアルモード制御部では、SCI12のRXDX12受信データのサンプリングタイミングをCR2.RTS[1:0]ビットにより、SCI基本クロックの8クロック目の立ち上がり、10クロック目の立ち上がり、12クロック目の立ち上がりおよび14クロック目の立ち上がりから選択することができます。SCI12.SEMR.ABCSビットが“1”の場合はPCLKの4クロック目の立ち上がり、5クロック目の立ち上がり、6クロック目の立ち上がりおよび7クロック目の立ち上がりから選択することができます。図23.68にRXDX12受信データサンプリングタイミングを示します。

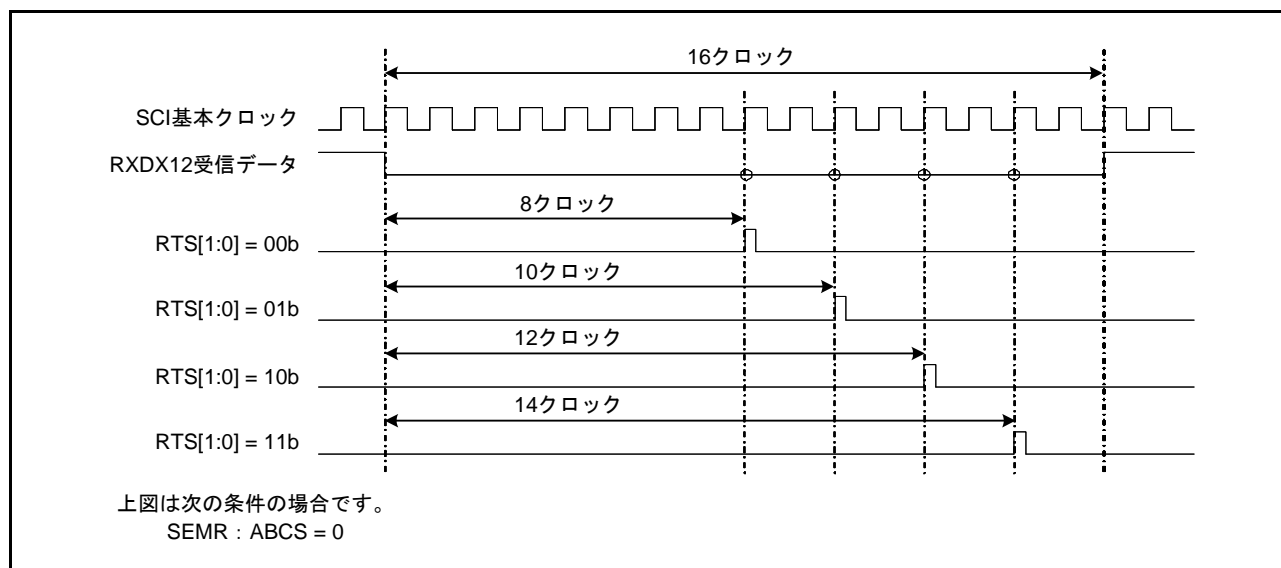


図 23.68 RXDX12 受信データサンプリングタイミング

23.9.8 タイマ

タイマには次の動作モードがあります。

(1) Break Field Low width 出力モード

Start Frame 送信時、Break Field Low width の Low を TXDX12 端子から出力するモードです。TMR.TOMS[1:0] ビットを“10b”に設定すると、Break Field Low width 出力モード動作になります。カウントクロックソースは TMR.TCSS[2:0] ビットで選択します。TCR.TCST ビットに“1”を書き込むと、TXDX12 端子の出力を Low にし、カウントを開始します。タイマがアンダフローすると TXDX12 端子の出力を High にし、STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。TCR.TCST ビットに“0”を書き込むと、TPRE レジスタおよび TCNT レジスタはリロード後カウントを停止します。Break Field Low width 出力完了後、タイマが再度アンダフローする前にカウントを停止してください。図 23.69 に Break Field Low width 出力モードの動作例を示します。

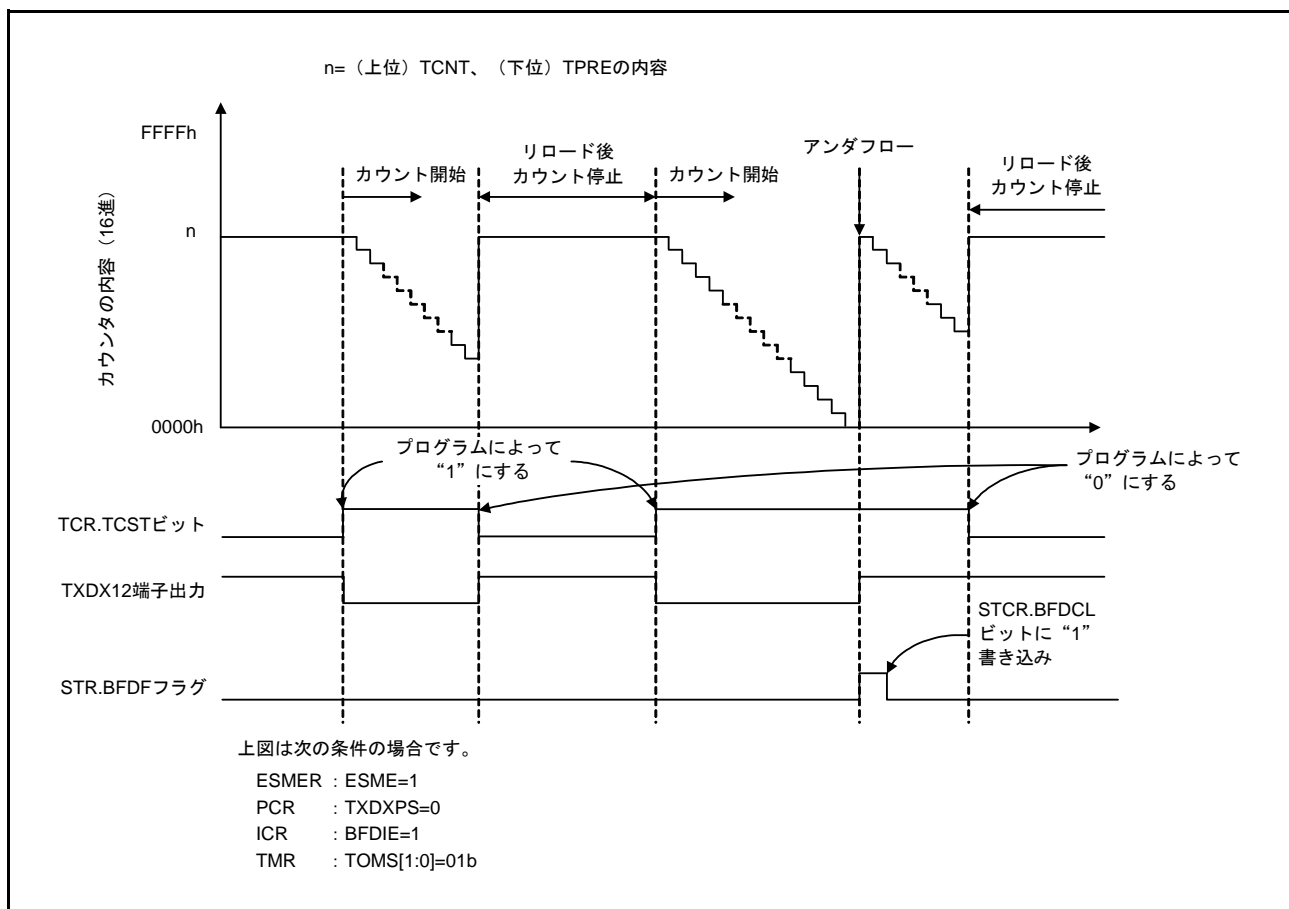


図 23.69 Break Field Low width 出力モードの動作例

(2) Break Field Low width 判定モード

Start Frame 受信時、RXDX12 端子から入力される Break Field Low width 判定するモードです。TMR.TOMS[1:0] ビットを“01b”に設定すると、Break Field Low width 判定モード動作になります。カウントクロックソースは TMR.TCSS[2:0] ビットで選択します。TCR.TCST ビットに“1”を書き込むと、Break Field Low width 判定可能状態になります。RXDX12 端子から Low が入力されると判定を開始します。RXDX12 端子から High が入力されると TPRES レジスタおよび TCNT レジスタはリロードを行い Break Field Low width 判定可能状態になります。Break Field Low width 判定中にタイマがアンダフローすると STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。データ通信中にタイマがアンダフローし、割り込みが発生することが問題となる場合は、Break Field Low width 判定後、タイマを停止してください。図 23.70 に Break Field Low width 判定モードの動作例を示します。

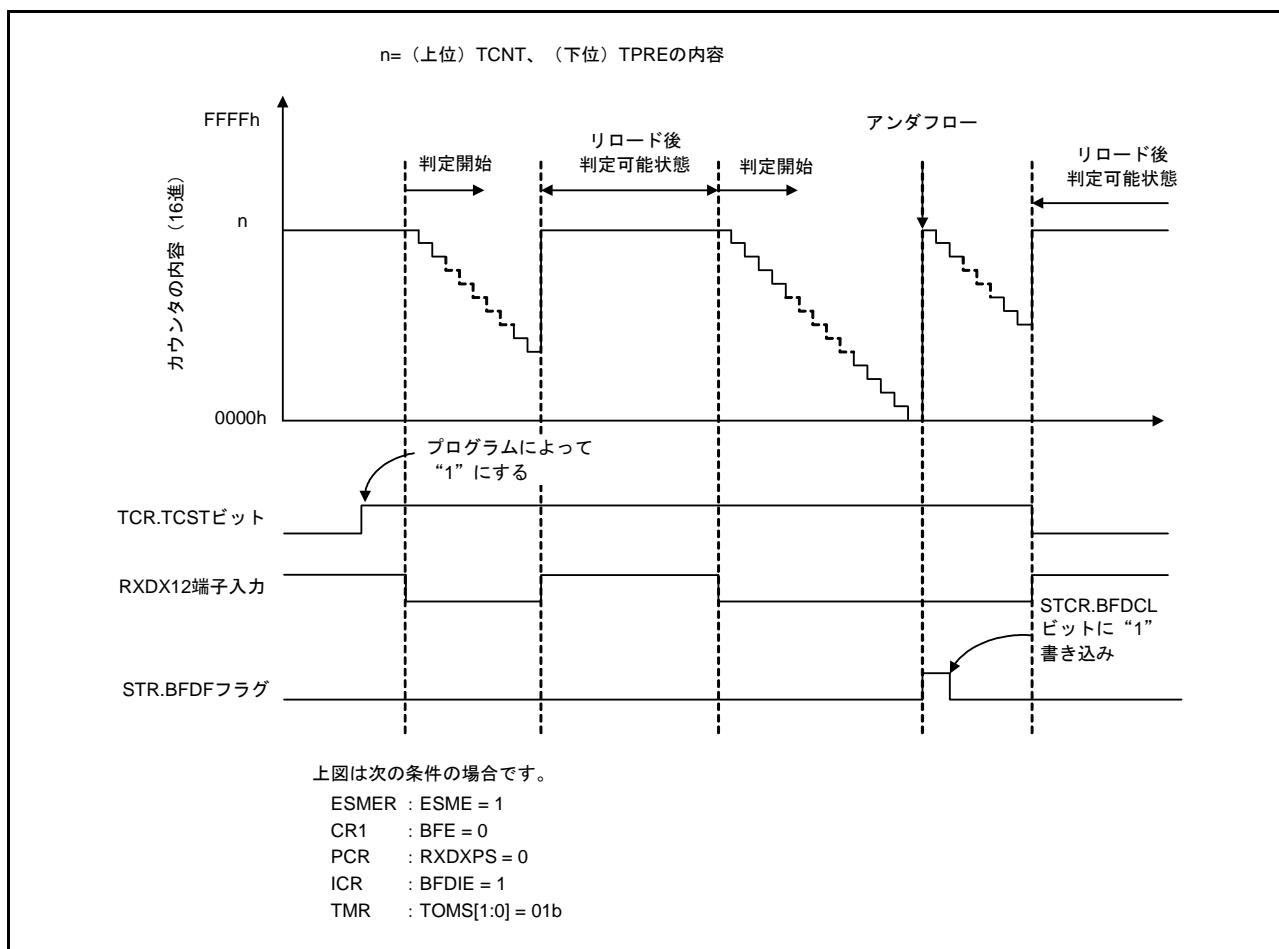


図 23.70 Break Field Low width 判定モードの動作例

(3) タイマモード

内部クロックをカウントクロックソースとしてカウントするモードです。TMR.TOMS[1:0] ビットを“00b”に設定すると、タイマモード動作になります。カウントクロックソースは TMR.TCSS[2:0] ビットで選択します。TCR.TCST ビットに“1”を書き込むと、カウントを開始し、TCST ビットに“0”を書き込むとカウントを停止します。TPRES レジスタに入力するカウントクロックソースの周期で TPRES レジスタがダウンカウントします。TPRES レジスタのアンダフローをカウントクロックソースにして、TCNT レジスタがダウンカウントします。タイマがアンダフローすると STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。

23.10 ノイズ除去機能

ノイズ除去機能に用いるノイズフィルタの構成を図 23.71 に示します。ノイズフィルタは2段のフリップフロップ回路と一致検出回路で構成されます。設定したサンプリング周期に応じて3回サンプリングした端子のレベルが一致した場合、内部に一致したレベルを伝達し、再度3回のサンプリングした端子レベルが一致するまで内部へは同じレベルを伝達し続けます。

調歩同期式モード時は、RXDnの入力信号にノイズ除去機能を使用できます。サンプリング周期は、基本クロックの周期 (SEMR.ABCS = 0 のとき1ビット期間の1/16、SEMR.ABCS = 1 のとき1ビット期間の1/8) となります。

簡易 I²C モード時は SSDAn、SSCLnの入力信号に、ノイズ除去機能を使用できます。サンプリングクロックは、内蔵ポーレートジェネレータのクロックソースの1/2/4/8分周クロックから SNFR.NFCS[2:0] ビットの設定により選択します。

ノイズフィルタを有効にした状態で基本クロックが停止した場合、基本クロック入力再開時は停止時のノイズフィルタの状態の続きから動作を開始します。基本クロックが入力されている期間に SCR.TE ビット = 0、SCR.RE ビット = 0 にした場合、ノイズフィルタのフリップフロップはすべて“1”に初期化され、受信再開時の入力データが“1”の場合は一致検出として内部信号に伝えられます。“0”の場合は3回サンプリングした端子のレベルが一致するまではノイズフィルタの出力は初期値を保持します。

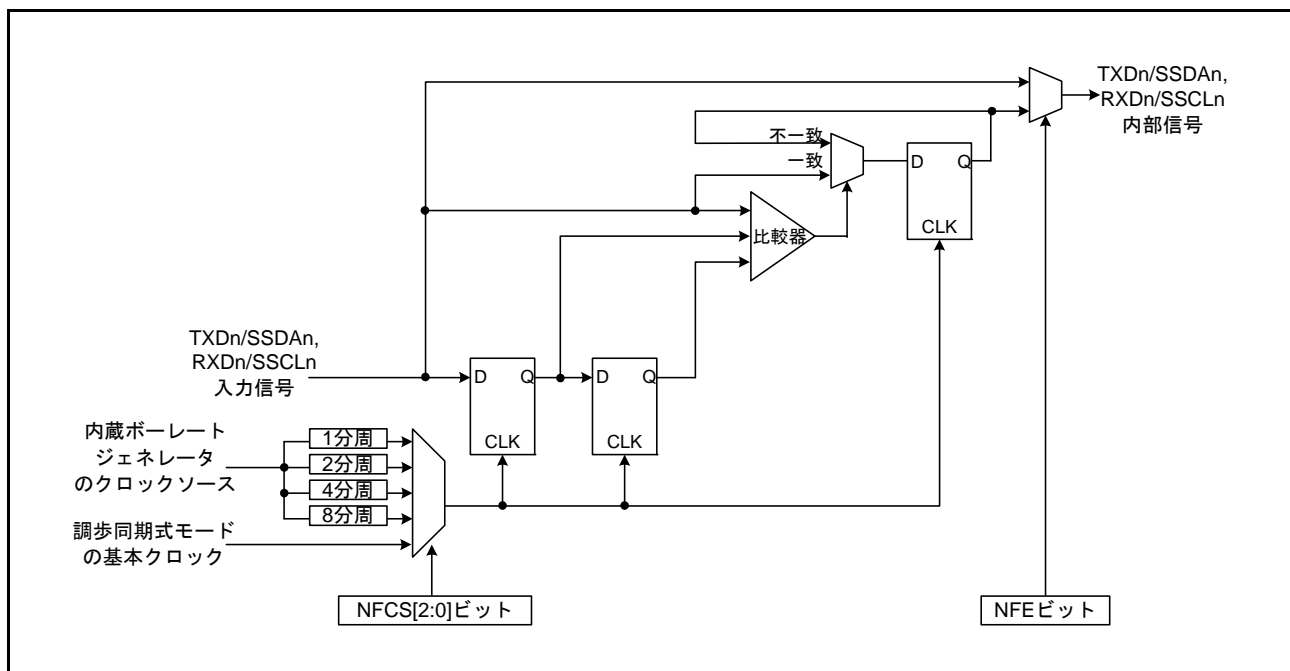


図 23.71 デジタルノイズフィルタ回路のブロック図

23.11 割り込み要因

23.11.1 TXI 割り込みおよび RXI 割り込みバッファ動作

TXI 割り込みおよび RXI 割り込みに関しては、割り込みコントローラの割り込みステータスフラグが“1”のときに割り込み発生条件が成立しても、SCI は割り込み要求を出力せず内部で保持します（内部で保持できる容量は、1 要因ごとに 1 要求までです）。

割り込みコントローラの割り込みステータスフラグが“0”になると、SCI は割り込みコントローラに対して保持していた割り込み要求を出力します。その後、保持していた割り込み要求をクリアします。なお、内部で保持している割り込み要求は、対応する割り込みイネーブルビット（SCR.TIE ビットまたは SCR.RIE ビット）を“0”にすることでクリアできます。

23.11.2 調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける割り込み

表 23.30 に調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCR レジスタのイネーブルビットにより独立に許可することができます。

SCR.TIE ビットが“1”のとき、送信データが TDR レジスタから TSR レジスタに転送されると TXI 割り込み要求が発生します。また、TXI 割り込み要求は、SCR.TIE ビットを“1”にした後で SCR.TE ビットを“1”にするか、SCR.TIE ビットと SCR.TE ビットを 1 命令で同時に“1”にすることで発生します。TXI 割り込み要求により、DTC を起動してデータ転送を行うことができます。

TXI 割り込み要求は、SCR.TIE ビットが“0”の状態でも SCR.TE ビットを“1”にした場合、および SCR.TE ビットが“1”の状態でも SCR.TIE ビットを“1”にした場合には発生しません。（注 1）

SCR.TEIE ビットが“1”のとき、送信データの最終ビットを送信するタイミングまでに TDR レジスタに次のデータをライトしていないと SSR.TEND フラグが“1”になり、TEI 割り込み要求が発生します。また、SCR.TE ビットを“1”にしてから TDR レジスタに送信データをライトするまでの間は、SSR.TEND フラグは“1”を保持しており、SCR.TEIE ビットを“1”にすると TEI 割り込み要求が発生します。

TDR レジスタにデータを書き込むと、SSR.TEND フラグがクリアされて TEI 割り込み要求は取り消されますが、取り消されるまで時間がかかります。

SCR.RIE ビットが“1”のとき、受信データが RDR レジスタに格納されると RXI 割り込み要求が発生します。RXI 割り込み要求により、DTC を起動してデータ転送を行うことができます。

SCR.RIE ビットが“1”のとき、SSR レジスタの ORER、FER、PER フラグのいずれかが“1”になると ERI 割り込み要求が発生します。このとき RXI 割り込み要求は発生しません。SSR レジスタの ORER、FER、PER フラグをすべてクリアすることにより ERI 割り込み要求を取り下げることができます。

注 1. 最終データの送信時など、TXI 割り込みを一時的に禁止し、送信終了割り込みによる処理を行ってから新たにデータ送信を開始したいときには、SCR.TIE ビットではなく TXI 割り込みに対応する割り込みコントローラの割り込み要求許可ビットで割り込みの禁止 / 許可を制御してください。新データ送信のための TXI 割り込み要求の発生が抑止されてしまうことを防ぐことができます。

表 23.30 SCI割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	優先順位
ERI	受信エラー	ORER, FER, PER	不可能	高
RXI	受信データフル	RDRF	可能	↑
TXI	送信データエンプティ	TDRE	可能	↑
TEI	送信終了	TEND	不可能	低

23.11.3 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 23.31 の割り込み要因があります。送信終了割り込み (TEI) 要求は使用できません。

表 23.31 SCI割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	優先順位
ERI	受信エラー、エラーシグナル検出	ORER, PER, ERS	不可能	高
RXI	受信データフル	—	可能	↑
TXI	送信データエンプティ	TEND	可能	低

スマートカードインタフェースモードの場合も通常の SCI の場合と同様に、DTC を使って送受信を行うことができます。送信動作では、SSR.TEND フラグが“1”になると、TXI 割り込み要求が発生します。あらかじめ DTC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC が起動されて送信データの転送を行います。TEND フラグは、DTC によるデータ転送時に自動的に“0”になります。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは“0”のまま保持され、DTC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、SSR.ERS フラグは自動的にクリアされませんので、SCR.RIE ビットを“1”にしておき、エラー発生時に ERI 割り込み要求を発生させ ERS フラグをクリアしてください。

なお、DTC を使って送受信を行う場合は、先に DTC を設定し、許可状態にしてから SCI の設定を行ってください。DTC の設定方法は「16. データトランスファコントローラ (DTCa)」を参照してください。

また、受信動作では、受信データが RDR レジスタにセットされると RXI 割り込み要求が発生します。あらかじめ DTC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC が起動されて受信データの転送を行います。エラーが発生した場合は、エラーフラグがセットされます。そのため DTC は起動されず、代わりに CPU に対し ERI 割り込み要求を生成しますのでエラーフラグをクリアしてください。

23.11.4 簡易 I²C モードにおける割り込み

簡易 I²C モードでは、表 23.32 の割り込み要因があります。STI 割り込みは、送信終了割り込み (TEI) 要求に割り当てられます。受信エラー割り込み (ERI) 要求は使用できません。

簡易 I²C モードも、DTC を使って送受信を行うことができます。

SIMR2.IICINTM ビットが“1”のとき、8 ビット目の SSCLn 端子立ち下がり、RXI 割り込み要求が発生します。あらかじめ DTC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC が起動されて受信データの転送を行います。また、9 ビット目 (アクノリッジビット) の SSCLn 端子立ち下がり、TXI 割り込み要求が発生します。あらかじめ DTC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC が起動されて送信データの転送を行います。

SIMR2.IICINTM ビットが“0”のとき、9 ビット目 (アクノリッジビット) の SSCLn 端子立ち上がり、SSDAn 端子入力 Low だと RXI 割り込み要求 (ACK 検出)、SSDAn 端子入力 High だと TXI 割り込み要求 (NACK 検出) が発生します。あらかじめ DTC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC が起動されて受信データまたは送信データの転送が可能です。

なお、DTC を使って送受信を行う場合は、先に DTC を設定し、許可状態にしてから SCI の設定を行ってください。

SIMR3.IICSTAREQ、IICRSTAREQ、IICSTPREQ の各ビットを用いて開始条件、再開条件、停止条件を生成した場合、生成が完了すると STI 割り込み要求が発生します。

表 23.32 SCI 割り込み要因

名称	割り込み要因		割り込みフラグ	DTC の起動	優先順位
	IICINTM ビット=0	IICINTM ビット=1			
RXI	ACK 検出	受信	—	可能	高 ↑ 低
TXI	NACK 検出	送信	—	可能 (注1)	
STI	開始条件、再開条件、 停止条件生成終了		IICSTIF	不可能	

注1. SIMR2.IICINTM ビット=1 (受信割り込み、送信割り込みを選択) の場合のみ DTC の起動が可能です。

23.11.5 拡張シリアルモード制御部の割り込み要求

SCIfの拡張シリアルモード制御部が生成する割り込み要求には、SCIX0割り込み（Break Field Low width検出）、SCIX1割り込み（Control Field 0一致、Control Field 1一致、プライオリティインタラプトビット検出）、SCIX2割り込み（バス衝突検出）およびSCIX3割り込み（有効エッジ検出）の計6種類があります。各割り込み要因が発生するとステータスフラグが“1”になります。表 23.33 に各割り込み要求の内容を示します。

表 23.33 拡張シリアルモード制御部の割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
SCIX0割り込み (Break Field Low width検出)	BDFD	<ul style="list-style-type: none"> • タイマに設定した期間より長いBreak Field Low widthを検出したとき • タイマに設定した期間、Break Field Low width出力が完了したとき • タイマがアンダフローしたとき
SCIX1割り込み (Control Field 0一致)	CF0MF	Control Field 0の受信データがCF0DRに設定したデータと一致したとき
SCIX1割り込み (Control Field 1一致)	CF1MF	Control Field 1の受信データがPCF1DRまたはSCF1DRに設定したデータと一致したとき
SCIX1割り込み (プライオリティ インタラプトビット検出)	PIBDF	プライオリティインタラプトビットに指定したビットのデータがPCF1DRに設定したデータと一致したとき
SCIX2割り込み (バス衝突検出)	BCDF	TXDX12端子の出力とRXDX12端子の入力をバス衝突検出クロックでサンプリングし、3回連続不一致が発生するとき
SCIX3割り込み (有効エッジ検出)	AEDF	ビットレート測定中、有効エッジを検出したとき

23.12 使用上の注意事項

23.12.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、SCI の動作を禁止 / 許可することができます。リセット後の値では、SCI の動作は停止します。モジュールストップ状態を解除することによりレジスタをアクセスできます。詳細は、「11. 消費電力低減機能」を参照してください。

23.12.2 ブレークの検出と処理について

フレーミングエラー検出時に、RXDn 端子の値を直接リードすることでブレークを検出できます。ブレークでは RXDn 端子からの入力がすべて Low になりますので、SSR.FER フラグが“1”（フレーミングエラーの発生あり）になり、また SSR.PER フラグも“1”（パリティエラーの発生あり）になる可能性があります。SEMR.RXDESEL ビットが“0”のとき、SCI は、ブレークを受信した後も受信動作を続けます。したがって、FER フラグを“0”（フレーミングエラーの発生なし）にしても、再び FER フラグが“1”になりますので注意してください。SEMR.RXDESEL ビットが“1”のとき、SCI は、SSR.FER フラグを“1”にし、次のフレームのスタートビット検出待ちの状態を受信動作を停止します。このとき SSR.FER フラグを“0”にすれば、ブレーク中は SSR.FER フラグの“0”を保持します。RXDn 端子が High になりブレークが終了した後、最初の RXDn 端子の立ち下がりですスタートビットの始まりを検出し、受信動作を開始します。

23.12.3 マーク状態とブレークの送出

SCR.TE ビットが“0”（シリアル送信動作を禁止）のとき、I/O ポート機能を設定することにより、TXDn 端子を入出力方向とレベルを選択できる I/O ポートとして使用できます。これを利用して TXDn 端子をマーク状態にしたりデータ送信時にブレークを送出することができます。SCR.TE ビットを“1”（シリアル送信動作を許可）にするまで、通信回線をマーク状態（“1”の状態）にするためには、I/O ポート機能により TXDn 端子を High 出力に設定し、端子モードを汎用入出力ポートに設定します。一方、データ送信時にブレークを送出したいときは、I/O ポート機能設定により TXDn 端子を Low 出力に設定し、端子モードを汎用入出力ポートに設定します。SCR.TE ビットを“0”にすると現在の送信状態とは無関係に送信部は初期化されます。

23.12.4 受信エラーフラグと送信動作について（クロック同期式モードおよび簡易 SPI モード）

受信エラーフラグ (SSR.ORER) が“1”になった状態では、TDR レジスタにデータをライトしても送信を開始できません。送信開始時には、受信エラーフラグを“0”にしておいてください。また、SCR.RE ビットを“0”（シリアル受信動作を禁止）にしても受信エラーフラグは“0”になりませんので注意してください。

23.12.5 TDR レジスタへのライトについて

TDR レジスタへのデータのライトを行うことができます。しかし、TDR レジスタに送信データが残っている状態で新しいデータを TDR レジスタにライトすると、TDR レジスタに格納されていたデータは TSR レジスタに転送されていないため失われてしまいます。したがって、TDR レジスタへの送信データのライトは、TXI 割り込み要求によって行ってください。

23.12.6 クロック同期送信時の制約事項 (クロック同期式モードおよび簡易 SPI モード)

同期クロックに外部クロックソースを使用する場合、以下の制約があります。

(1) 送信開始時

CPU または DTC による TDR レジスタの更新後、PCLK で 5 クロック以上経過した後に送信クロックを入力してください (図 23.72 参照)。

(2) 連続送信時

- ビット7の送信クロックの立ち上がり以前に、TDR または TDRL レジスタに次の送信データを書き込んでください (図 23.72 参照)。
- ビット7送信開始以降に TDR を更新する場合は、同期クロックが Low の期間に TDR を更新し、かつビット7の送信クロックの High 幅を、4 PCLK 以上にしてください (図 23.72 参照)。

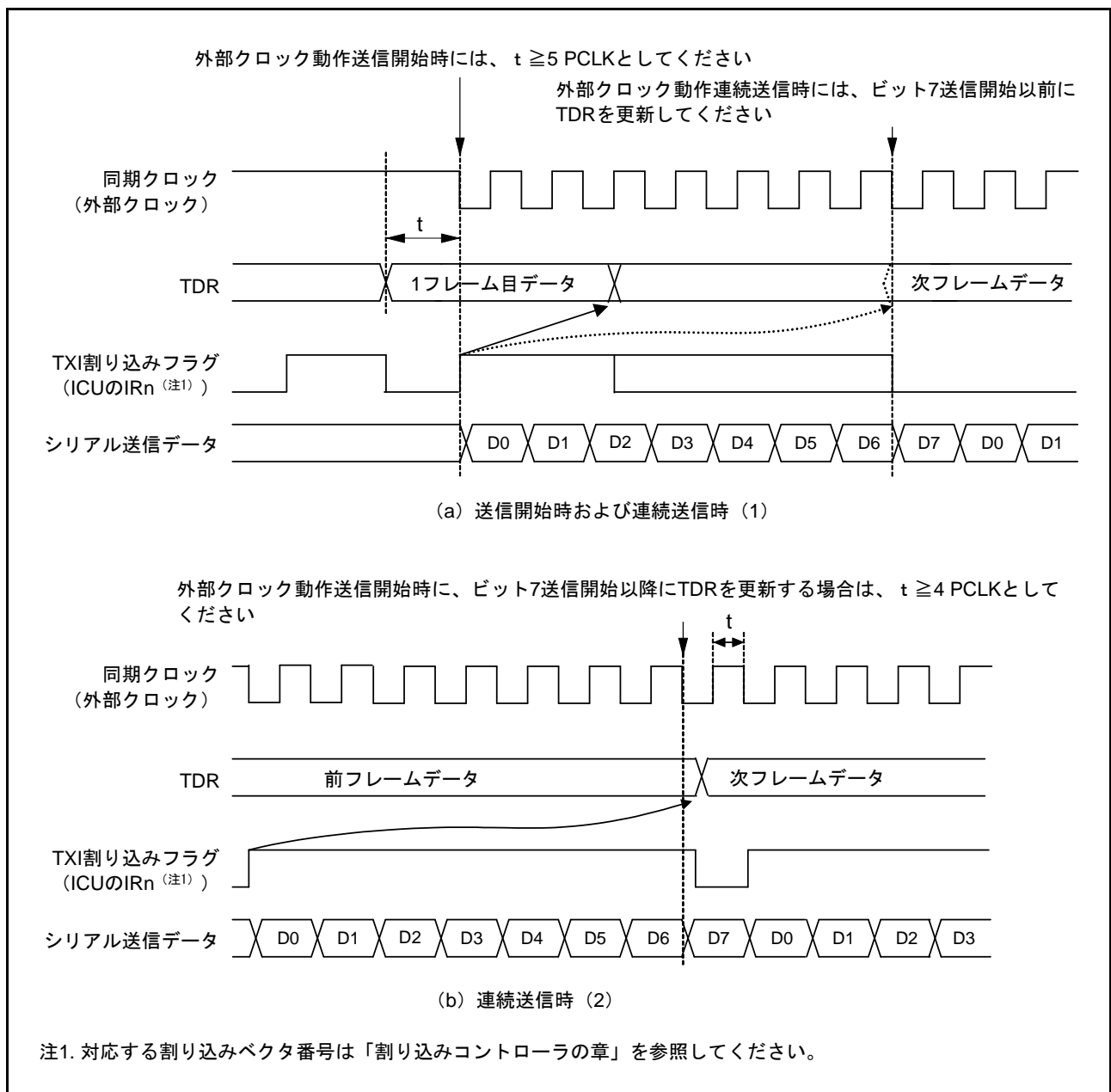


図 23.72 クロック同期式モード送信での外部クロック使用の制約事項

23.12.7 DTC 使用上の制約事項

DTCにより、RDRレジスタのリードを行うときは起動要因を当該SCIの受信データフル割り込み (RXI) に設定してください。

23.12.8 通信の開始に関する注意事項

通信開始時点で割り込みコントローラの割り込みステータスフラグ (IRn.IR ビット) が“1”のときは、動作許可 (SCR.TE ビットを“1”に設定、または SCR.RE ビットを“1”に設定) 前に以下の手順で割り込み要求をクリアしてください。割り込みステータスフラグの詳細については、「14. 割り込みコントローラ (ICUb)」を参照してください。

- 通信が停止していること (SCR.TE ビットまたは SCR.RE ビットが“0”となっていること) を確認
- 対応する割り込みイネーブルビット (SCR.TIE ビットまたは SCR.RIE ビット) を“0”に設定
- 対応する割り込みイネーブルビット (SCR.TIE ビットまたは SCR.RIE ビット) を読み出し、“0”を確認
- 割り込みコントローラの割り込みステータスフラグ (IRn.IR ビット) に“0”を設定

23.12.9 低消費電力状態時の動作について

(1) 送信

モジュールストップ状態への遷移、またはソフトウェアスタンバイモードへの遷移は、TXDn 端子を汎用入出力ポート機能に切り替えた後、動作を停止 (SCR.TIE ビット=0、TE ビット=0、TEIE ビット=0) してから行ってください。TE ビットを“0”にすることによって、TSR レジスタおよび SSR.TEND フラグは初期化されます。モジュールストップ状態、ソフトウェアスタンバイモード時の出力端子の状態は、ポートの設定に依存し、解除後は低消費電力へ遷移前のレベルを出力します。送信中に遷移すると、送信中のデータは不確定になります。

低消費電力状態を解除した後、送信モードを変えないで送信する場合は、TE ビット=1 に設定し、SSR レジスタリード→TDR レジスタライトで送信開始できます。送信モードを変えて送信する場合は、初期設定から行ってください。

図 23.73 に送信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。図 23.74、図 23.75 にソフトウェアスタンバイモード遷移時のポートの端子状態を示します。

また、DTC 転送による送信からモジュールストップ状態への遷移、または、ソフトウェアスタンバイモード遷移は、動作を停止 (TE ビット=0) してから行ってください。解除後、DTC による送信を再開する場合は、TE ビット=1、TIE ビット=1 に設定すると TXI 割り込みフラグが立ち、DTC による送信が始まります。

(2) 受信

モジュールストップ状態への遷移または、ソフトウェアスタンバイモードへの遷移は、受信動作を停止 (SCR.RE ビット=0) してから行ってください。受信中に遷移すると、受信中のデータは無効になります。

低消費電力状態からの解除の後、受信モードを変えないで受信する場合は、RE ビット=1 に設定して受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 23.76 に受信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。

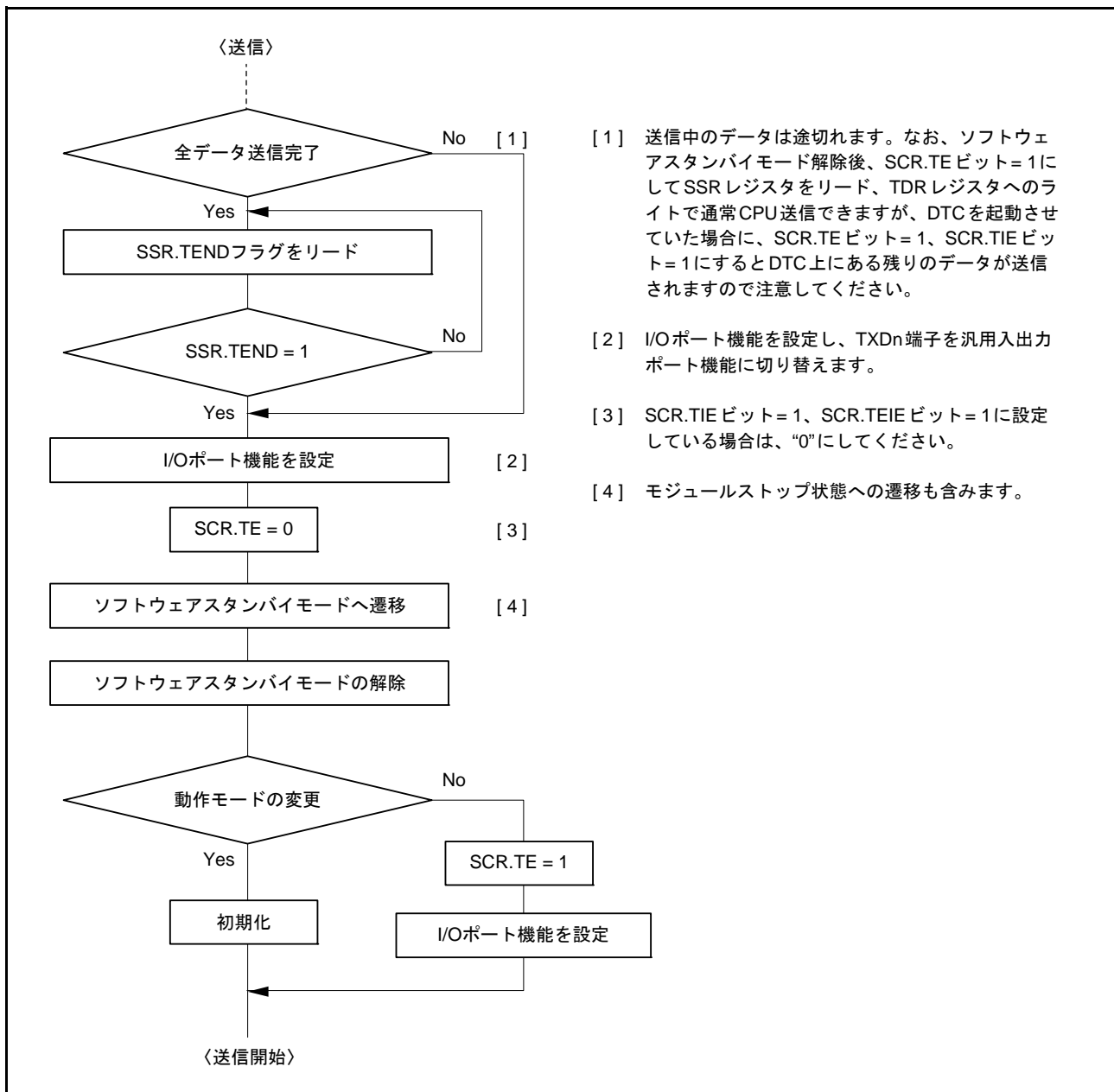


図 23.73 送信時のソフトウェアスタンバイモード遷移フローチャートの例

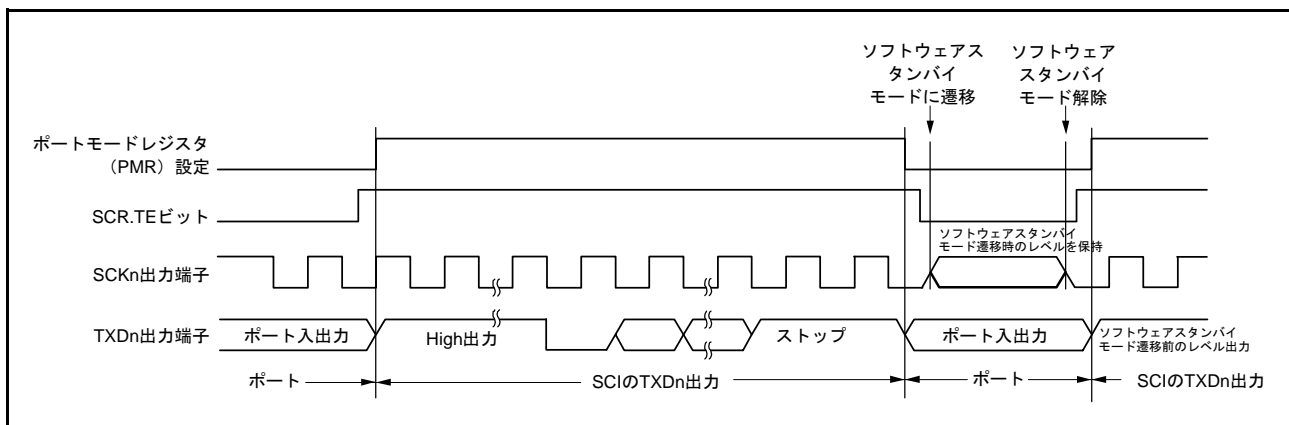


図 23.74 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、調歩同期送信)

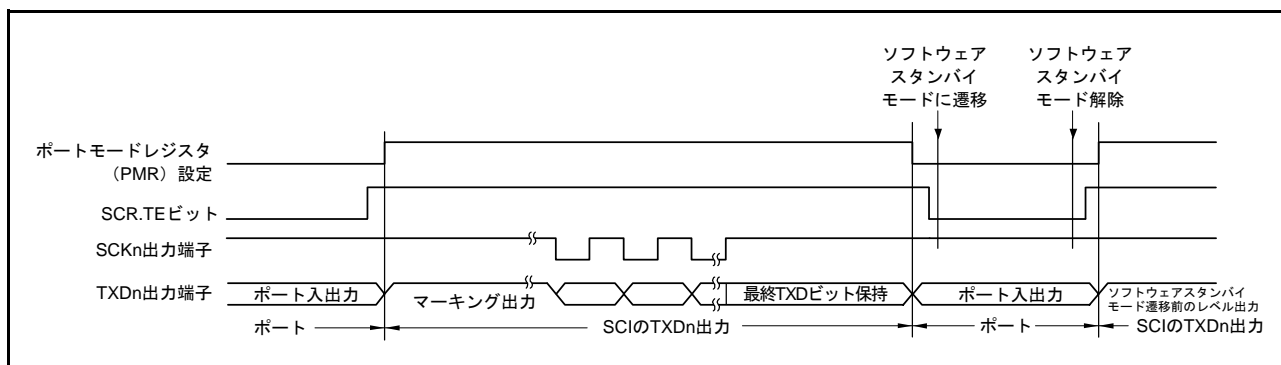


図 23.75 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、クロック同期送信)

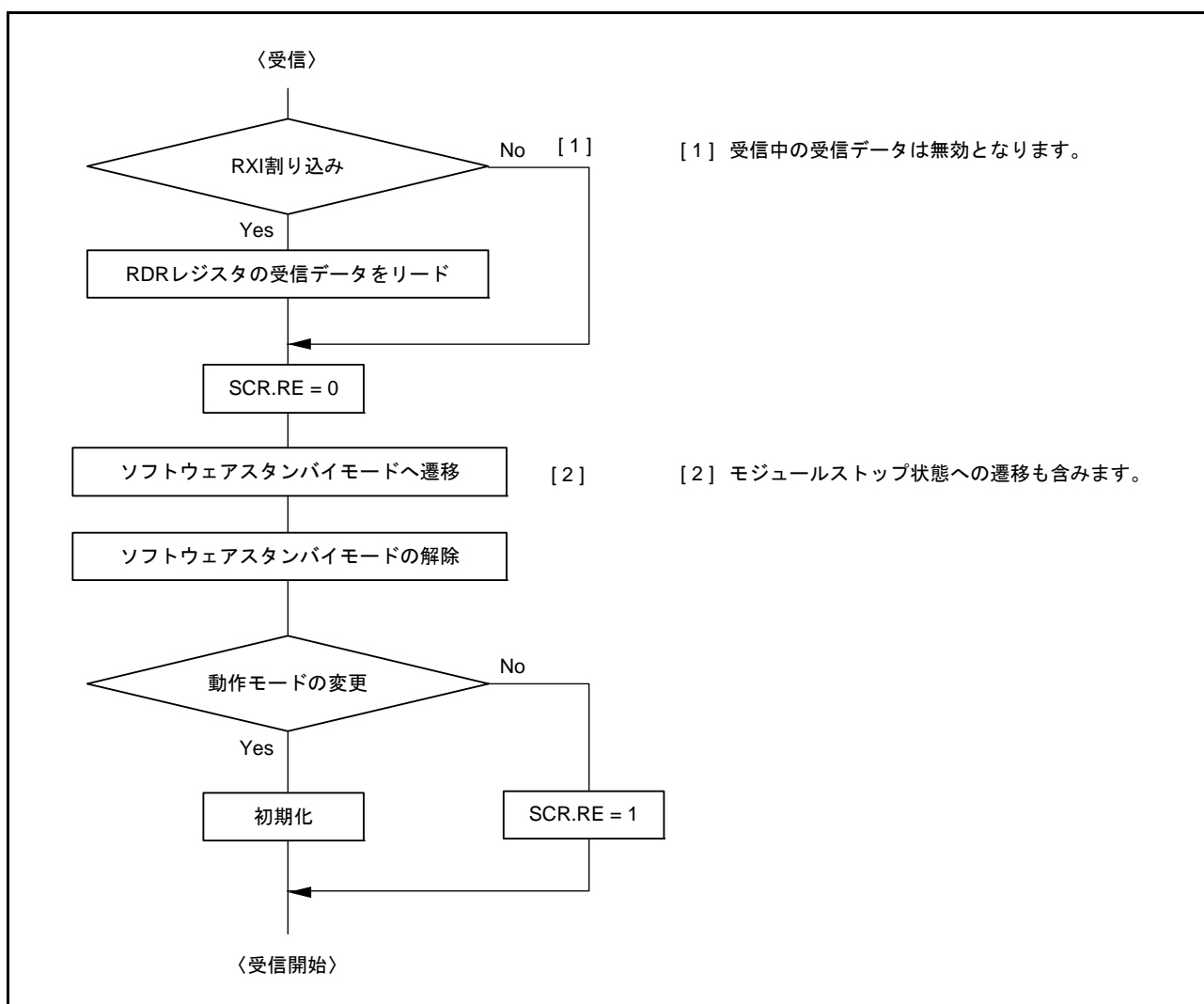


図 23.76 受信時のソフトウェアスタンバイモード遷移フローチャートの例

23.12.10 クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力

クロック同期式モードおよび簡易 SPI モード時、外部クロック SCKn への入力信号は、High 幅および Low 幅を 2 PCLK 以上、周期を 6 PCLK 以上としてください。

23.12.11 簡易 SPI モードの制約事項

(1) マスタモード

- SPMR.SSE ビットが“1”のとき、SPMR.CKPH、CKPOL ビットにより設定した送受信クロックの初期値に合わせてクロック線を抵抗でプルアップ（プルダウン）してください。
SCR.TE ビットを“0”にしたときにクロック線がハイインピーダンスになるのを防ぐ、また SCR.TE ビットを“0”から“1”にしたときにクロック線に意図しないエッジが発生するのを防ぐためです。シングルマスタモードで SPMR.SSE ビットが“0”のときは、SCR.TE ビットを“0”にしてもクロック線はハイインピーダンスになりませんのでプルアップ（プルダウン）は不要です。
- クロック遅れあり設定 (SPMR.CKPH ビット = 1) の場合、図 23.77 に示すように SCKn 端子の最終クロックエッジ手前のクロックエッジで受信データフル割り込み (RXI) が発生します。このとき、SCR レジスタの TE、RE ビットを SCKn 端子の最終クロックエッジより前に“0”に設定すると SCKn 端子出力がハイインピーダンスとなり、最終送受信クロックのクロックパルス幅が短くなります。また、RXI 割り込み後、SCKn 端子の最終クロックエッジより前に接続先スレーブに対する SSn# 端子入力信号を High にするとスレーブが誤動作する可能性があります。
- マルチマスタ時、送受信キャラクタの途中でモードフォルトエラーが発生すると、SSn# 端子入力が Low の間 SCKn 端子出力がハイインピーダンスとなり、接続先スレーブへの送受信クロック供給が停止します。送受信動作再開時のビットずれを回避するために、接続先スレーブの再設定を行ってください。

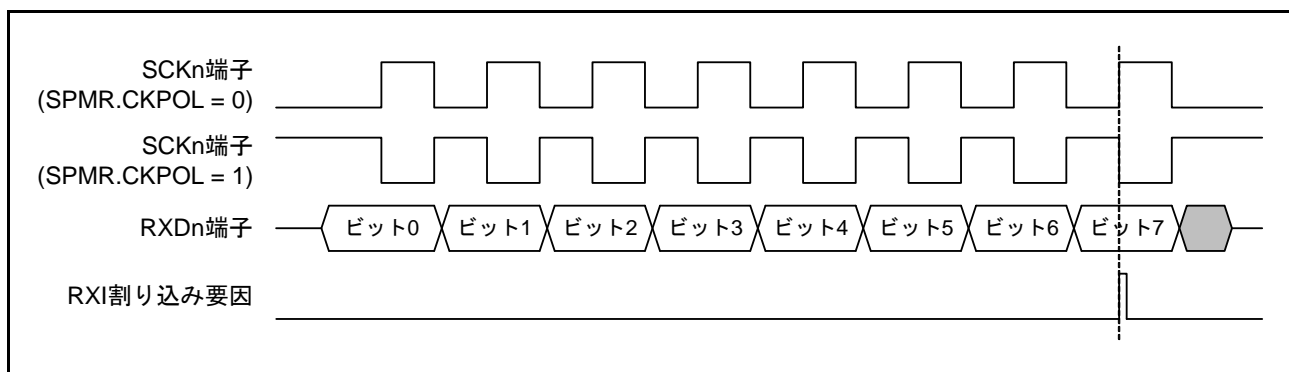


図 23.77 簡易 SPI モード（クロック遅れあり）RXI 割り込み発生タイミング

(2) スレーブモード

- マスタからの外部クロックの供給は転送データ長と同じにしてください。
- SSn# 端子入力は、データ転送開始前と完了後に制御してください。
- SSn# 端子入力が送受信キャラクタの途中で Low から High に変化した場合は、SCR レジスタの TE、RE ビットを“0”にし、再設定後、1 バイト目から転送をやり直してください。

23.12.12 拡張シリアルモード制御部の使用上の制約事項 1

PCR.SHARPS ビットを“1”にした場合、TXDX12/RXDX12 端子は以下のときのみ出力となります。

- SCIf タイマを Break Field Low width 出力モードで TCR.TCST ビットを“1”にしたとき
(TCR.TCST ビットを“1”にし、Low が出力されるまで、最大でタイマカウントクロックソースの 1 サイクルの High が出力されます。)
- SCI2.SCR.TE ビットが“1”のとき

23.12.13 拡張シリアルモード制御部の使用上の制約事項 2

拡張シリアルモードを有効にした場合も、SCIE の割り込み要求は生成されます。スタートフレーム受信中は SCIF が SCIE の割り込み要求イベントを使用するため、SCIE の割り込み要求は使用しないでください。この対応として下記 2 つがあります。なお、受信エラーを検出したときは、図 23.78 のフローチャートの例に従って SCIE のエラーフラグのクリアおよび SCIF 制御部を初期化してください。

- (1) SCIE の SCR.RIE ビットを“0”にし、割り込み要求出力を禁止してください。この場合受信エラーが発生した場合に ERI 割り込みが発生しないため、スタートフレームの受信終了タイミングで、SCIE の SSR レジスタのエラーフラグを確認してください。スタートフレーム受信完了後インフォメーションフレームの第 1 バイト受信完了するまでの間に、SCIE の SCR.RIE ビットを“1”に切り替えてください。
- (2) SCIE の SCR.RIE ビットを“1”にし、ICU の RXI 割り込みを禁止し、ICU の ERI 割り込みを許可してください。スタートフレーム受信完了後インフォメーションフレームの第 1 バイト受信完了するまでの間に、ICU の RXI 割り込みに対応する IRn.IR フラグをクリアし、ICU の RXI 割り込みを許可に切り替えてください。

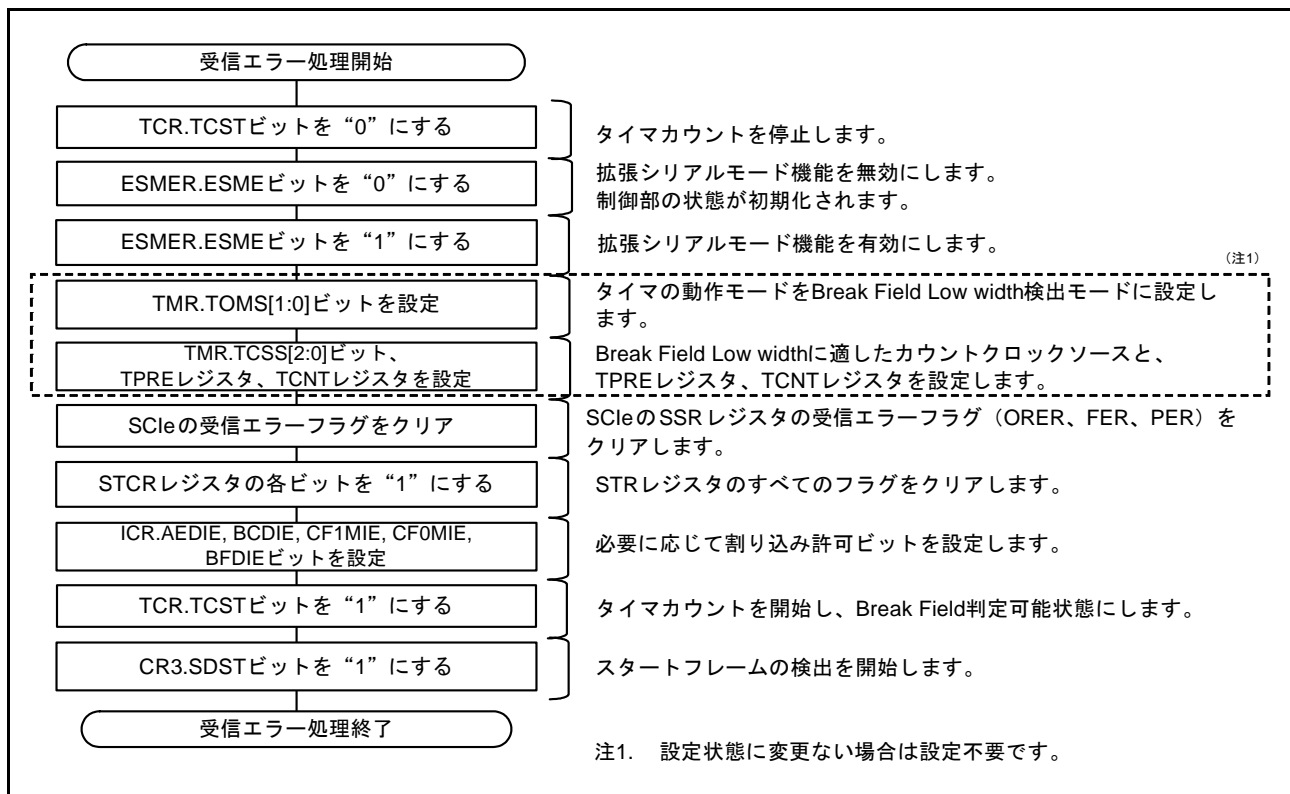


図 23.78 受信エラー処理のフローチャートの例 (スタートフレーム受信時)

23.12.14 トランスミットイネーブルビット (TE ビット) に関する注意事項

端子の機能を「TXDn」に設定した状態で、SCR.TE ビットを“0” (シリアル送信動作を禁止) にすると、端子の出力がハイインピーダンスになります。

以下のいずれかの方法により、TXDn ラインがハイインピーダンスにならないようにしてください。

- (1) TXDn ラインにプルアップ抵抗を接続する。
- (2) SCR.TE ビットを“0”にする前に、端子の機能を「汎用入出力ポート、出力」に変更する。
また、SCR.TE ビットを“1”にしてから、端子の機能を「TXDn」に変更する。

23.12.15 RTS 機能使用時の受信停止に関する注意事項

SCR.RE ビットを“0”にしてから RTS 信号生成回路が停止するまでには、PCLK で1 サイクル必要です。

RE ビットを“0”にしてから RDR (または RDRL) レジスタを読み出す場合は、これら2つの処理が連続して行われないように、RE ビットが“0”になったのを確認してから RDR (または RDRL) レジスタを読み出してください。

24. I²Cバスインタフェース (RIIC)

本MCUは、1チャンネルのI²Cバスインタフェース (RIIC) を内蔵しています。

RIICは、NXP社が提唱するI²Cバス (Inter-IC-bus) インタフェース方式に準拠しており、そのサブセット機能を内蔵しています。

本章に記載しているPCLKとはPCLKBを指します。

24.1 概要

表24.1にRIICの仕様を、図24.1にRIICのブロック図を、図24.2に入出力端子の外部回路接続例 (I²Cバス構成例) を示します。表24.2にRIICで使用する入出力端子を示します。

表24.1 RIICの仕様 (1/2)

項目	内容
通信フォーマット	<ul style="list-style-type: none"> I²Cバスフォーマット/SMBusフォーマット マスタ/スレーブ選択可能 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	ファストモード対応 (~400 kbps)
SCLクロック	マスタ時、SCLクロックのデューティ比を4%~96%の範囲で設定可能
コンディション発行・コンディション検出	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、スタートコンディション(リスタートコンディション含む)/ストップコンディション検出可能
スレーブアドレス	<ul style="list-style-type: none"> 異なるスレーブアドレスを3種類まで設定可能 7ビット/10ビットアドレスフォーマット対応 (混在可能) ジェネラルコールアドレス検出、デバイスIDアドレス検出、SMBusのホストアドレス検出可能
アクリッジ応答	<ul style="list-style-type: none"> 送信時、アクリッジビットの自動ロード ノットアクリッジ受信時に次送信データ転送の自動中断が可能 受信時、アクリッジビットの自動送出 8クロック目と9クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクリッジビット応答のソフトウェア制御が可能
ウェイト機能	<ul style="list-style-type: none"> 受信時、SCLクロックのLowホールドによるウェイトが可能 8クロック目と9クロック目の間をウェイト 9クロック目と1クロック目の間をウェイト
SDA出力遅延機能	アクリッジ送信を含むデータ送信の出カタイミングを遅延させることが可能
アービトレーション	<ul style="list-style-type: none"> マルチマスタ対応 他のマスタとのSCLクロック衝突時、SCLクロックの同期動作可能 スタートコンディション発行競合時、SDAライン上の信号の状態が不一致ならアービトレーションロスト検出可能 マスタ時、送信データ不一致でアービトレーションロスト検出可能 バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能 (スタートコンディションの二重発行防止) ノットアクリッジ送信時、SDAライン上の信号の状態が不一致ならアービトレーションロスト検出可能 スレーブ送信時、データ不一致でアービトレーションロスト検出可能
タイムアウト検出機能	内蔵タイムアウト検出機能によりSCLクロックの長時間停止を検出可能
ノイズ除去	SCL、SDA入口にデジタルノイズフィルタを内蔵、ノイズ除去幅をソフトウェアで調整可能
割り込み要因	<p>4種類</p> <ul style="list-style-type: none"> 通信エラー/通信イベント発生 アービトレーション検出 NACK検出 タイムアウト検出 スタートコンディション検出 (リスタートコンディション含む) ストップコンディション検出 受信データフル (スレーブアドレス一致時含む) 送信データエンプティ (スレーブアドレス一致時含む) 送信終了
消費電力低減機能	モジュールストップ状態への遷移が可能

表 24.1 RIICの仕様 (2/2)

項目	内容
RIICの動作モード	<ul style="list-style-type: none"> 4種類 マスタ送信モード、マスタ受信モード、スレーブ送信モード、スレーブ受信モード

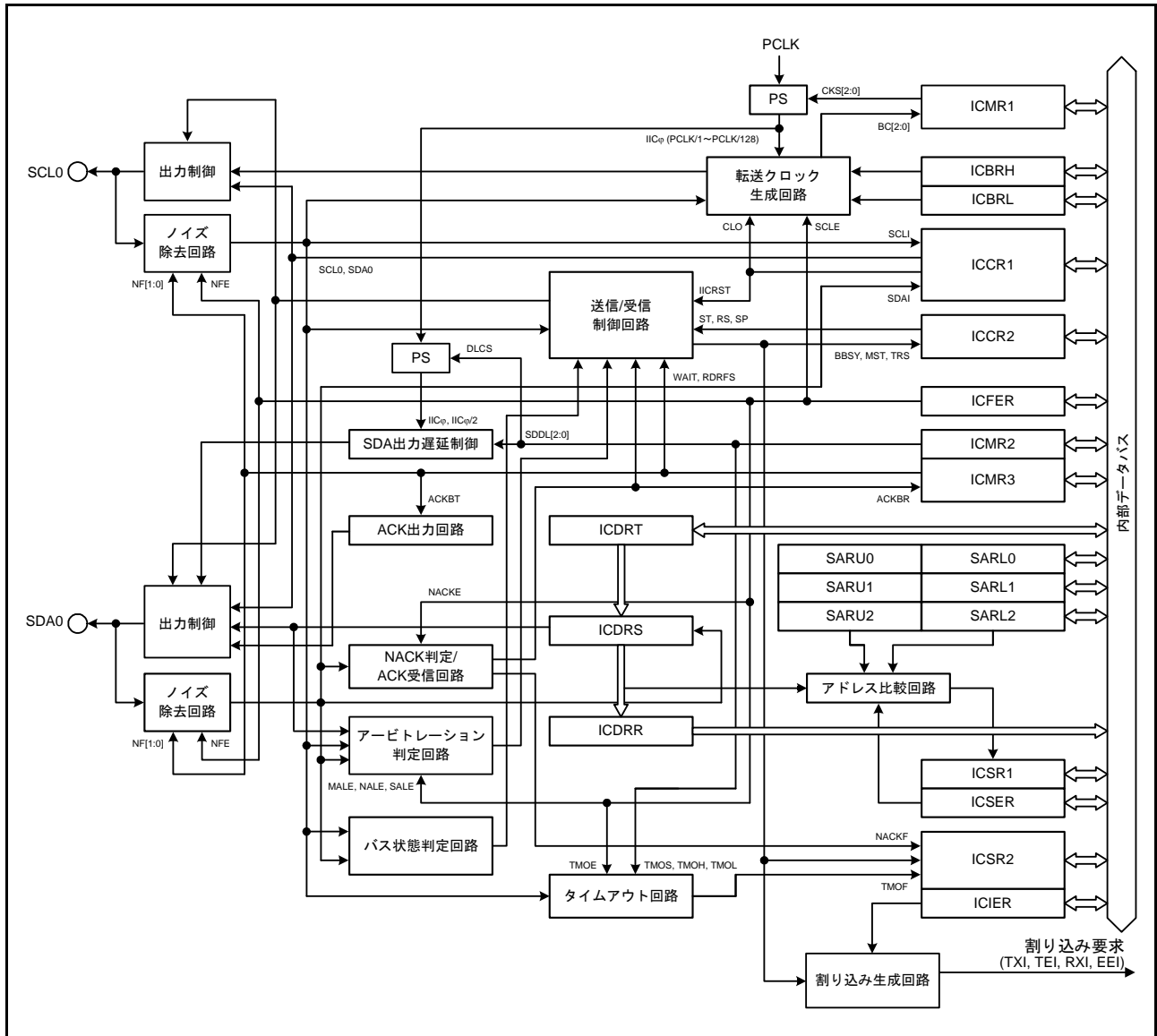


図 24.1 RIICのブロック図

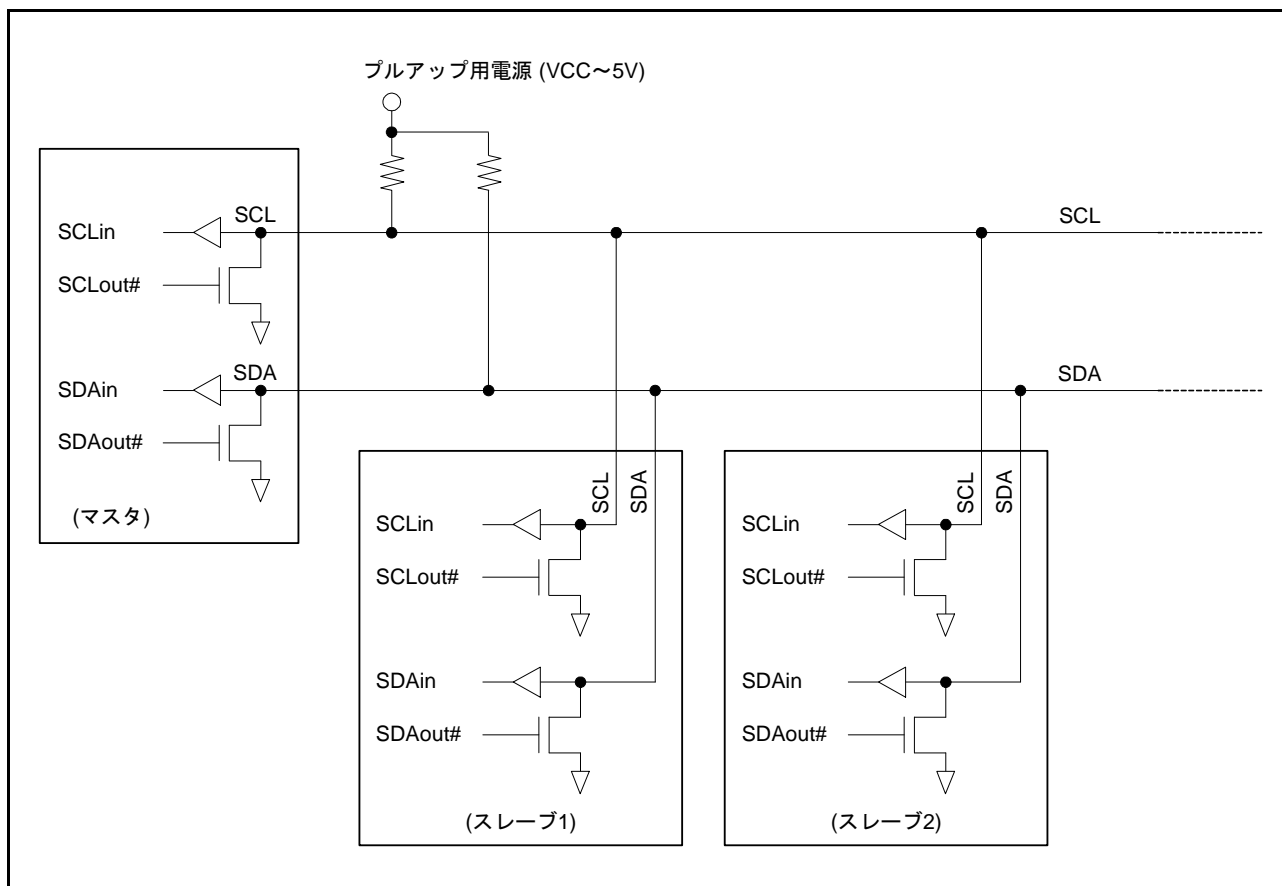


図 24.2 入出力端子の外部回路接続例 (I²C バス構成例)

RIIC の各信号の入力レベルは、I²C バス選択時 (ICMR3.SMBS ビット = 0) は CMOS レベルであり、SMBus 選択時 (ICMR3.SMBS ビット = 1) は TTL レベルです。

表 24.2 RIICの入出力端子

チャンネル	端子名	入出力	機能
RIIC0	SCL0	入出力	RIIC0シリアルクロック入出力端子
	SDA0	入出力	RIIC0シリアルデータ入出力端子

24.2 レジスタの説明

24.2.1 I²Cバスコントロールレジスタ 1 (ICCR1)

アドレス RIIC0.ICCR1 0008 8300h

	b7	b6	b5	b4	b3	b2	b1	b0
	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SDAI	SDAラインモニタビット	0 : SDA0ラインはLow 1 : SDA0ラインはHigh	R
b1	SCLI	SCLラインモニタビット	0 : SCL0ラインはLow 1 : SCL0ラインはHigh	R
b2	SDAO	SDA出力制御/モニタビット	<ul style="list-style-type: none"> リード時 0 : SDA0端子をLowにしている 1 : SDA0端子を解放している ライト時 0 : SDA0端子をLowにする 1 : SDA0端子を解放する 	R/W
b3	SCLO	SCL出力制御/モニタビット	<ul style="list-style-type: none"> リード時 0 : SCL0端子をLowにしている 1 : SCL0端子を解放している ライト時 0 : SCL0端子をLowにする 1 : SCL0端子を解放する (外部プルアップ抵抗によりHigh出力) 	R/W
b4	SOWP	SCLO/SDAOライトプロテクトビット	0 : SCLO、SDAOビットの書き換え許可 1 : SCLO、SDAOビットを保護 (読むと“1”が読めます)	R/W
b5	CLO	SCLクロック追加出力ビット	0 : SCLクロックを追加で出力しない(通常状態) 1 : SCLクロックを追加で出力する (1クロック出力後、自動的に“0”になる)	R/W
b6	IICRST	I ² Cバスインタフェース内部リセットビット	0 : RIICリセット、内部リセット解除 1 : RIICリセット、内部リセット状態 (ビットカウンタのクリア、SCL0/SDA0出力ラッチを解除)	R/W
b7	ICE	I ² Cバスインタフェース許可ビット	0 : 禁止(SCL0、SDA0端子非駆動状態) 1 : 許可(SCL0、SDA0端子駆動状態) (IICRSTビットとの組み合わせで、RIICリセット、内部リセットを選択)	R/W

SDAO ビット (SDA 出力制御 / モニタビット)、SCLO ビット (SCL 出力制御 / モニタビット)

RIIC が出力する SDA0 信号、SCL0 信号を直接操作するためのビットです。

これらのビットに値を書く場合は、同時に SOWP ビットにも“0”を書いてください。

これらのビットを操作した結果は入力バッファを介して RIIC に入力されます。スレーブモードに設定していると、ビットの操作内容によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディション期間中、および送受信中にこれらのビットを書き換えしないでください。これらの期間に書き換えた場合の動作は保証できません。

これらのビットを読んだ場合は、そのとき RIIC が出力している信号の状態が読めます。

CLO ビット (SCL クロック追加出力ビット)

SCL クロックを 1 クロック単位で追加出力をする機能で、デバッグ時または異常処理時に使用します。

通常は“0”にしてください。正常な通信動作中に使用すると通信エラーの原因になります。
本機能の詳細については、「24.11.2 SCL クロック追加出力機能」を参照してください。

IICRST ビット (I²C バスインタフェース内部リセットビット)

RIIC の内部状態をリセットします。

IICRST ビットを“1”にすると、RIIC リセットまたは内部リセットを行うことができます。

RIIC リセット、内部リセットは ICE ビットとの組み合わせによって決定します。表 24.3 に RIIC のリセットの種類を示します。

RIIC リセットでは全レジスタおよび内部状態を、内部リセットではビットカウンタ (ICMR1.BC[2:0] ビット)、I²C バスシフトレジスタ (ICDRS)、I²C バスステータスレジスタ (ICSR1, ICSR2) および内部状態をリセットします。各レジスタのリセット状況については、「24.14 リセットと各コンディション発行時のレジスタおよび機能の状態」を参照してください。

動作中 (ICE ビット = 1 の状態)、通信不具合などによりバス状態や RIIC がハングアップしたときに IICRST ビットを“1”にすると、ポートの設定、RIIC の各コントロールレジスタや設定レジスタを初期化せずに RIIC の内部状態をリセットすることができます。

また RIIC が Low を出力したままハングアップした場合、内部状態をリセットすることで SCL0 端子 / SDA0 端子をハイインピーダンスにしてバスを解放することができます。

- 注. スレーブモード時でマスタデバイスと通信中にバスハングアップなどにより IICRST ビットで内部リセットを行うと、マスタデバイスの状態と異なる状態 (主に双方のビットカウンタ情報に差異が生じる) になる可能性があるため、スレーブモード時には基本的に内部リセットは行わず、復帰処理はマスタデバイスから行うようにしてください。もし、RIIC がスレーブモード時に SCL0 ラインを Low 出力状態のままハングアップして内部リセットが必要な場合には、内部リセット後にマスタデバイスからリスタートコンディション発行、またはストップコンディション発行後スタートコンディション発行から通信をやり直すようにしてください。スレーブデバイスのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディション発行がないまま通信が再開された場合、双方の動作状態に差異が生じたまま動作することになるため同期ずれの原因になります。

表 24.3 RIIC のリセットの種類

IICRST	ICE	状態	内容
1	0	RIIC リセット	RIIC 全レジスタおよび内部状態をリセット
	1	内部リセット	ICMR1.BC[2:0] ビット、ICSR1、ICSR2、ICDRS レジスタおよび内部状態をリセット

ICE ビット (I²C バスインタフェース許可ビット)

SCL0、SDA0 端子の駆動状態、非駆動状態を選択します。また、ICE ビットは IICRST ビットとの組み合わせにより、2種類のリセットを行うことができます。リセットの種類については「表 24.3 RIIC のリセットの種類」を参照してください。

RIIC を使用するときは、ICE ビットを“1”に設定してください。ICE ビットが“1”のとき、SCL0、SDA0 端子駆動状態になります。

RIIC を使用しないときは、ICE ビットを“0”に設定してください。ICE ビットが“0”のとき、SCL0、SDA0 端子非駆動状態になります。また、マルチファンクションピンコントローラ (MPC) の設定で SCL0、SDA0 端子を RIIC に割り当てないでください。RIIC に割り当てられている場合、スレーブアドレス比較動作を行いますので注意してください。

24.2.2 I²Cバスコントロールレジスタ 2 (ICCR2)

アドレス RIIC0.ICCR2 0008 8301h

	b7	b6	b5	b4	b3	b2	b1	b0
	BBSY	MST	TRS	—	SP	RS	ST	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	ST	スタートコンディション発行要求ビット	0: スタートコンディションの発行を要求しない 1: スタートコンディションの発行を要求する	R/W
b2	RS	リスタートコンディション発行要求ビット	0: リスタートコンディションの発行を要求しない 1: リスタートコンディションの発行を要求する	R/W
b3	SP	ストップコンディション発行要求ビット	0: ストップコンディションの発行を要求しない 1: ストップコンディションの発行を要求する	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	TRS	送信/受信モードビット	0: 受信モード 1: 送信モード	R/W (注1)
b6	MST	マスタ/スレーブモードビット	0: スレーブモード 1: マスタモード	R/W (注1)
b7	BBSY	バスビジー検出フラグ	0: I ² Cバスが解放状態(バスフリー状態) 1: I ² Cバスが占有状態(バスビジー状態)	R

注1. ICMR1.MTWPビットが“1”のとき、MST、TRSビットへの書き込みができます。

STビット(スタートコンディション発行要求ビット)

マスタモードへの移行およびスタートコンディションの発行を要求します。

STビットが“1”になるとスタートコンディションの発行を要求し、BBSYフラグが“0”(バスフリー)のときスタートコンディションの発行を行います。

スタートコンディション発行の詳細については、「24.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

["1"になる条件]

- “1”を書いたとき

["0"になる条件]

- “0”を書いたとき
- スタートコンディションの発行が完了したとき(スタートコンディションを検出したとき)
- ICSR2.ALフラグが“1”になったとき(アービトレーションロスト)
- ICCR1.IICRSTビットに“1”を書き、RIICリセットまたは内部リセットしたとき

注. STビットは、BBSYフラグが“0”(バスフリー)のとき、“1”(スタートコンディション発行要求)にしてください。

BBSYフラグが“1”(バスビジー)のとき、STビットを“1”(スタートコンディション発行要求)にすると、スタートコンディション発行エラーとしてアービトレーションロストが発生しますので注意してください。

RSビット(リスタートコンディション発行要求ビット)

マスタモードでリスタートコンディションの発行を要求します。

RSビットが“1”になるとリスタートコンディションの発行を要求し、BBSYフラグが“1”(バスビジー)でかつMSTビットが“1”(マスタモード)のとき、リスタートコンディションの発行を行います。

リスタートコンディション発行の詳細動作については、「24.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

["1"になる条件]

- ICCR2.BBSY フラグが“1”の状態、“1”を書いたとき

["0"になる条件]

- “0”を書いたとき
- リスタートコンディションの発行が完了したとき(スタートコンディションを検出したとき)
- ICSR2.AL フラグが“1”になったとき(アービトレーションロスト)
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. ストップコンディション発行中に RS ビットを“1”にしないでください。

注. スレーブモードでは RS ビットに“1”(リスタートコンディション発行要求)を書いた場合、リスタートコンディションは発行されずに RS ビットは“1”のままになります。この状態からマスタモードに移行させた場合、リスタートコンディションが発行される可能性がありますので注意してください。

SP ビット(ストップコンディション発行要求ビット)

マスタモードでストップコンディションの発行を要求します。

SP ビットが“1”になるとストップコンディションの発行を要求し、BBSY フラグが“1”(バスビジー)でかつ MST ビットが“1”(マスタモード)のとき、ストップコンディションの発行を行います。

ストップコンディション発行の詳細動作については、「24.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

["1"になる条件]

- ICCR2.BBSY フラグが“1”でかつ ICCR2.MST ビットが“1”の状態、“1”を書いたとき

["0"になる条件]

- “0”を書いたとき
- ストップコンディションの発行が完了したとき(ストップコンディションを検出したとき)
- ICSR2.AL フラグが“1”になったとき(アービトレーションロスト)
- スタートコンディションおよびリスタートコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. BBSY フラグが“0”(バスフリー)のとき書き込みはできません。

注. リスタートコンディション発行中に SP ビットを“1”にしないでください。

TRS ビット(送信/受信モードビット)

送信/受信モードを示すビットです。

TRS ビットが“0”のとき受信モード、TRS ビットが“1”のとき送信モードを表し、MST ビットとの組み合わせで RIIC の動作モードを表します。

TRS ビットは、スタートコンディションの発行/検出および R/W# ビットの値で“1”または“0”になり、RIIC の動作モードは自動的に送信モードまたは受信モードに移行します。ICMR1.MTWP ビットが“1”のとき書き込みはできますが、通常では書き込みの必要はありません。

["1"になる条件]

- スタートコンディション発行要求により正常にスタートコンディションが発行されたとき(ST ビットが“1”の状態、スタートコンディションを検出したとき)
- リスタートコンディション発行要求により正常にリスタートコンディションが発行されたとき(RS ビットが“1”の状態、リスタートコンディションを検出したとき)

- マスタモード時、スレーブアドレスに付加した R/W# ビットが“0”のとき
- スレーブモード時、受信したスレーブアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに“1”を受信したとき
- ICMR1.MTWP ビットが“1”の状態に“1”を書いたとき

["0"になる条件]

- ストップコンディションを検出したとき
- ICSR2.AL フラグが“1”になったとき(アービトレーションロスト)
- マスタモード時、スレーブアドレスに付加した R/W# ビットが“1”のとき
- スレーブモード時、受信したスレーブアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに“0”を受信したとき(ジェネラルコールアドレス含む)
- スレーブモード時、リスタートコンディションを検出したとき(ICCR2.BBSY フラグ=1、ICCR2.MST ビット=0の状態にスタートコンディションを検出したとき)
- ICMR1.MTWP ビットが“1”の状態に“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

MST ビット(マスタ/スレーブモードビット)

マスタモード/スレーブモードを示すビットです。

MST ビットが“0”のときスレーブモード、MST ビットが“1”のときマスタモードを表し、TRS ビットとの組み合わせで RIIC の動作モードを表します。

MST ビットは、スタートコンディションの発行、ストップコンディションの発行/検出などで“1”または“0”になり、RIIC の動作モードは自動的にマスタモードまたはスレーブモードに移行します。ICMR1.MTWP ビットが“1”のとき書き込みはできますが、通常では書き込みの必要はありません。

["1"になる条件]

- スタートコンディション発行要求によるスタートコンディションが正常に発行されたとき(ST ビットが“1”の状態に、スタートコンディションを検出したとき)
- ICMR1.MTWP ビットが“1”の状態に“1”を書いたとき

["0"になる条件]

- ストップコンディションを検出したとき
- ICSR2.AL フラグが“1”になったとき(アービトレーションロスト)
- ICMR1.MTWP ビットが“1”の状態に“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

BBSY フラグ(バスビジー検出フラグ)

I²C バスの占有(バスビジー)/解放状態(バスフリー)を示します。

SCL0 ラインが High の状態で SDA0 ラインが High から Low に変化すると、スタートコンディションが発行されると認識して“1”になります。

SCL0 ラインが High の状態で SDA0 ラインが Low から High に変化すると、ストップコンディションが発行されると認識し、バスフリーの時間(ICBRL レジスタに設定した時間)スタートコンディション検出がないとき“0”になります。

["1"になる条件]

- スタートコンディションを検出したとき

["0"になる条件]

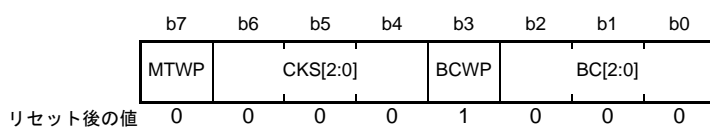
- ストップコンディションを検出後、バスフリーの時間(ICBRL レジスタに設定した時間)スタートコン

ディション検出がないとき

- ICCR1.ICE ビットが“0”の状態ではICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

24.2.3 I²C バスモードレジスタ 1 (ICMR1)

アドレス RIIC0.ICMR1 0008 8302h



ビット	シンボル	ビット名	機能	R/W
b2-b0	BC[2:0]	ビットカウンタ	b2 b0 0 0 0 : 9ビット 0 0 1 : 2ビット 0 1 0 : 3ビット 0 1 1 : 4ビット 1 0 0 : 5ビット 1 0 1 : 6ビット 1 1 0 : 7ビット 1 1 1 : 8ビット	R/W (注1)
b3	BCWP	BCライトプロテクトビット	0 : BC[2:0]の値を設定許可(読むと“1”が読めます)	R/W (注1)
b6-b4	CKS[2:0]	内部基準クロック選択ビット	RIICの内部基準クロック(IIC _φ)ソースを選択します b6 b4 0 0 0 : PCLK/1クロック 0 0 1 : PCLK/2クロック 0 1 0 : PCLK/4クロック 0 1 1 : PCLK/8クロック 1 0 0 : PCLK/16クロック 1 0 1 : PCLK/32クロック 1 1 0 : PCLK/64クロック 1 1 1 : PCLK/128クロック	R/W
b7	MTWP	MST/TRSライトプロテクトビット	0 : ICCR2.MST, TRSビットへの書き込み禁止 1 : ICCR2.MST, TRSビットへの書き込み許可	R/W

注1. BC[2:0]ビットを書き換える場合は、BCWPビットを“0”にするのと同時に書き換えてください。

BC[2:0] ビット (ビットカウンタ)

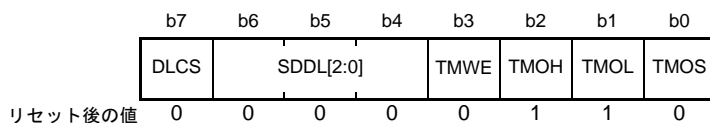
SCL0 ラインの立ち上がりでダウンカウントを行うカウンタで、読み出すと残りの転送ビット数を知ることができます。読み出しおよび書き込みはできますが、通常ではアクセスする必要はありません。

なお、書く場合には転送するデータのビット数+1を指定し(データにアクリッジ1ビットが付加されて転送される)、転送バイト間にかつSCL0ラインがLowの状態で行ってください。

BC[2:0]ビットはアクリッジを含むデータ転送終了時、またはスタートコンディション検出(リスタートコンディション含む)で自動的に“000b”に戻ります。

24.2.4 I²Cバスモードレジスタ 2 (ICMR2)

アドレス RIIC0.ICMR2 0008 8303h



ビット	シンボル	ビット名	機能	R/W
b0	TMOS	タイムアウト検出時間選択ビット	0: ロングモードを選択 1: ショートモードを選択	R/W
b1	TMOL	タイムアウトLカウント制御ビット	0: SCL0ラインがLow期間中のカウントアップを禁止 1: SCL0ラインがLow期間中のカウントアップを許可	R/W
b2	TMOH	タイムアウトHカウント制御ビット	0: SCL0ラインがHigh期間中のカウントアップを禁止 1: SCL0ラインがHigh期間中のカウントアップを許可	R/W
b3	TMWE	タイムアウト内部カウンタ書き込み許可ビット	0: タイムアウト機能の内部カウンタへの書き込み禁止 1: タイムアウト機能の内部カウンタへの書き込み許可	R/W
b6-b4	SDDL[2:0]	SDA出力遅延カウンタ	<ul style="list-style-type: none"> ICMR2.DLCSビット=0 (IIC_φ)のとき b6 b4 0 0 0: 出力遅延なし 0 0 1: IIC_φの1サイクル 0 1 0: IIC_φの2サイクル 0 1 1: IIC_φの3サイクル 1 0 0: IIC_φの4サイクル 1 0 1: IIC_φの5サイクル 1 1 0: IIC_φの6サイクル 1 1 1: IIC_φの7サイクル ICMR2.DLCSビット=1 (IIC_φ/2)のとき b6 b4 0 0 0: 出力遅延なし 0 0 1: IIC_φの1~2サイクル 0 1 0: IIC_φの3~4サイクル 0 1 1: IIC_φの5~6サイクル 1 0 0: IIC_φの7~8サイクル 1 0 1: IIC_φの9~10サイクル 1 1 0: IIC_φの11~12サイクル 1 1 1: IIC_φの13~14サイクル 	R/W
b7	DLCS	SDA出力遅延クロックソース選択ビット	0: SDA出力遅延カウンタのクロックソースに内部基準クロック (IIC _φ)を選択 1: SDA出力遅延カウンタのクロックソースに内部基準クロックの2分周 (IIC _φ /2)を選択 (注1)	R/W

注1. SCL端子がLowのときのみDLCSビット=1 (IIC_φ/2)の設定が有効になります。SCL端子がHighのときDLCSビット=1の設定は無効となり内部基準クロック (IIC_φ)となります。

TMOS ビット (タイムアウト検出時間選択ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット=1) にタイムアウト検出時間を選択するビットで、“0”にするとロングモード、“1”にするとショートモードになります。ロングモードではタイムアウト検出用内部カウンタが16ビットカウンタとして、またショートモードでは14ビットカウンタとして動作し、SCL0ラインがTMOH、TMOLビットで選択された状態になったとき、内部基準クロック (IIC_φ)をカウントソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、「24.11.1 タイムアウト検出機能」を参照してください。

TMOL ビット (タイムアウトLカウント制御ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット=1) にSCL0ラインがLow期間中にタイムアウト検出機能の内部カウンタのカウントアップを許可するか禁止するかを選択するビットです。

TMOH ビット (タイムアウトHカウント制御ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット=1) に SCL0 ラインが High 期間中にタイムアウト検出機能の内部カウンタのカウントアップを許可するか禁止するかを選択するビットです。

TMWE ビット (タイムアウト内部カウンタ書き込み許可ビット)

スレーブアドレスレジスタ (SARL0/SARU0) のアドレスにタイムアウト内部カウンタ (TMOCNTL/TMOCNTU) を割り当てるかどうかを選択するビットです。

本ビットを 1 にすると、SARL0/SARU0 のアドレスにタイムアウト内部カウンタ (TMOCNTL/TMOCNTU) のアドレスが割り当てられます。

SDDL[2:0] ビット (SDA 出力遅延カウンタ)

SDDL[2:0] ビットの設定値により、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースによりカウントします。また、この機能の設定はアクノリッジビット送出を含むすべての SDA 出力に適用されます。

SDA 出力遅延の設定は、I²C バス仕様 (データ有効時間/アクノリッジ有効時間 (注1) 内) または SMBus 仕様 (データホールド時間: 300 ns 以上、かつ SCL クロックの Low 幅-データセットアップ時間: 250 ns の範囲内) に収まるようにしてください。仕様外を設定した場合、通信デバイスとの通信破綻を引き起こすか、バスの状態によっては見かけ上スタートコンディションまたはストップコンディションになる可能性がありますので注意してください。

本機能の詳細については、「24.5 SDA 出力遅延機能」を参照してください。

注 1. データ有効時間/アクノリッジ有効時間

3,450 ns (~ 100 kbps : スタンダードモード (Sm))

900 ns (~ 400 kbps : ファストモード (Fm))

24.2.5 I²C バスモードレジスタ 3 (ICMR3)

アドレス RIIC0.ICMR3 0008 8304h

b7	b6	b5	b4	b3	b2	b1	b0
SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NF[1:0]	ノイズフィルタ段数選択ビット	b1 b0 0 0 : 1 IIC _φ 以下のノイズを除去(フィルタは1段) 0 1 : 2 IIC _φ 以下のノイズを除去(フィルタは2段) 1 0 : 3 IIC _φ 以下のノイズを除去(フィルタは3段) 1 1 : 4 IIC _φ 以下のノイズを除去(フィルタは4段)	R/W
b2	ACKBR	受信アクノリッジビット	0 : アクノリッジビットに“0”を受信(ACK受信) 1 : アクノリッジビットに“1”を受信(NACK受信)	R
b3	ACKBT	送信アクノリッジビット	0 : アクノリッジビットに“0”を送出(ACK送信) 1 : アクノリッジビットに“1”を送出(NACK送信)	R/W (注1)
b4	ACKWP	ACKBTライトプロテクトビット	0 : ACKBTビットへの書き込み禁止 1 : ACKBTビットへの書き込み許可	R/W (注1)
b5	RDRFS	RDRFフラグセット タイミング選択ビット	0 : SCLクロックの9クロック目の立ち上がり時に“1”になる (8クロック目の立ち下がりにてSCL0ラインをLowにホールドしない) 1 : SCLクロックの8クロック目の立ち上がり時に“1”になる (8クロック目の立ち下がりにてSCL0ラインをLowにホールドする) LowホールドはACKBTビットへの書き込みで解除	R/W (注2)
b6	WAIT	WAITビット	0 : WAITなし (9クロック目と1クロック目の間をLowにホールドしない) 1 : WAITあり (9クロック目と1クロック目の間をLowにホールドする) LowホールドはICDRRレジスタの読み出しで解除	R/W (注2)
b7	SMBS	SMBus/I ² Cバス選択 ビット	0 : I ² Cバス選択 1 : SMBus選択	R/W

注1. ACKBTビットに書く場合には、ACKWPビットが“1”の状態で行ってください。ACKBTビットへの書き込みと同時に“1”にしても、ACKBTビットに書き込みはできません。

注2. WAITビットおよびRDRFSビットは、受信モードのみ有効、送信モード時は無効です。

NF[1:0] ビット (ノイズフィルタ段数選択ビット)

デジタルノイズフィルタの段数を選択します。

デジタルノイズフィルタ機能の詳細については、「24.6 デジタルノイズフィルタ回路」を参照してください。

注. ノイズフィルタで除去するノイズ幅の設定は、SCL0ラインのHigh/Low幅よりも狭くしてください。ノイズフィルタ幅を、[SCLクロックのHigh幅またはLow幅のいずれか短い方] - {1.5 × t_{IICcyc} (内部基準クロック (IIC_φ)の周期) + 120 ns (アナログノイズフィルタノイズ除去幅、参考値)} と同じか、それ以上に設定した場合は、RIICのノイズフィルタ機能によりSCLクロックをノイズとみなし、正常に動作することができなくなる可能性がありますので注意してください。

ACKBR ビット (受信アクノリッジビット)

送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

[“1”になる条件]

- ICCR2.TRS ビットが“1”の状態ではアクノリッジビットに“1”を受信したとき

[“0”になる条件]

- ICCR2.TRS ビットが“1”の状態ではアクノリッジビットに“0”を受信したとき

- ICCR1.ICE ビットが“0”の状態では ICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

ACKBT ビット (送信アクノリッジビット)

受信モード時にアクノリッジのタイミングで送出するビットを設定します。

[“1”になる条件]

- ACKWP ビットが“1”の状態では“1”を書いたとき

[“0”になる条件]

- ACKWP ビットが“1”の状態では“0”を書いたとき
- ストップコンディションの発行を検出したとき (ICCR2.SP ビットが“1”の状態では ストップコンディションを検出したとき)
- ICCR1.ICE ビットが“0”の状態では ICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

ACKWP ビット (ACKBT ライトプロテクトビット)

ACKBT ビットへの書き込みを制御します。

RDRFS ビット (RDRF フラグセット タイミング選択ビット)

受信モードにおいて RDRF フラグのセットタイミングおよび SCL クロックの 8 クロック目の立ち下がりで SCL0 ラインの Low ホールドを行うかどうかを選択します。

RDRFS ビットが“0”のとき、8 クロック目の立ち下がりで SCL0 ラインの Low ホールドは行わず、9 クロック目の立ち上がりで RDRF フラグを“1”にします。

RDRFS ビットが“1”のとき、RDRF フラグは 8 クロック目の立ち上がりで“1”にし、8 クロック目の立ち下がりで SCL0 ラインを Low にホールドします。この SCL0 ラインの Low ホールドは ACKBT ビットへの書き込みにより解除されます。

この設定のとき、データ受信後アクノリッジビット送出前に SCL0 ラインを自動的に Low にホールドするため、受信データの内容に応じて ACK (ACKBT ビットが“0”) または NACK (ACKBT ビットが“1”) を送出する処理が可能です。

WAIT ビット (WAIT ビット)

WAIT ビットは、受信モードにおいて 1 バイト受信ごとに I²C バス受信データレジスタ (ICDRR) の読み出しが完了するまで、SCL クロックの 9 クロック目と 1 クロック目の間を Low にホールドするかどうかを制御します。

WAIT ビットが“0”のとき、SCL クロックの 9 クロック目と 1 クロック目の間の Low ホールドは行わず、受信動作をそのまま続けます。RDRFS ビットと WAIT ビットがともに“0”のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが“1”のとき、1 バイト受信ごとに 9 クロック目の立ち下がりで以降、ICDRR レジスタの値が読み出されるまでの間 SCL0 ラインを Low にホールドします。これにより 1 バイトごとの受信動作が可能です。

注. WAIT ビットを“0”にする場合は、ICDRR レジスタを先に読んでから“0”にしてください。

SMBS ビット (SMBus/I²C バス選択ビット)

SMBS ビットを“1”にすると、SMBus が選択され IC SER.HOAE ビットが有効になります。

24.2.6 I²C バスファンクション許可レジスタ (ICFER)

アドレス RIIC0.ICFER 0008 8305h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
リセット後の値	0	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOE	タイムアウト検出機能有効ビット	0: タイムアウト検出機能無効 1: タイムアウト検出機能有効	R/W
b1	MALE	マスターアービトレーションロスト検出許可ビット	0: マスターアービトレーションロスト検出禁止 (アービトレーションロスト検出機能を無効にし、アービトレーションロスト発生によるICCR2.MST, TRSビットの自動クリアを行わない) 1: マスターアービトレーションロスト検出許可 (アービトレーションロスト検出機能を有効にし、アービトレーションロスト発生によるICCR2.MST, TRSビットの自動クリアを行う)	R/W
b2	NALE	NACK送信アービトレーションロスト検出許可ビット	0: NACK送信アービトレーションロスト検出禁止 1: NACK送信アービトレーションロスト検出許可	R/W
b3	SALE	スレーブアービトレーションロスト検出許可ビット	0: スレーブアービトレーションロスト検出禁止 1: スレーブアービトレーションロスト検出許可	R/W
b4	NACKE	NACK受信転送中断許可ビット	0: NACK受信時、転送を中断しない(転送中断禁止) 1: NACK受信時、転送を中断する(転送中断許可)	R/W
b5	NFE	デジタルノイズフィルタ回路有効ビット	0: デジタルノイズフィルタ回路を使用しない 1: デジタルノイズフィルタ回路を使用する	R/W
b6	SCLE	SCL同期回路有効ビット	0: SCL同期回路無効 1: SCL同期回路有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMOE ビット (タイムアウト検出機能有効ビット)

タイムアウト検出機能の有効/無効を選択します。

タイムアウト検出機能の詳細については、「24.11.1 タイムアウト検出機能」を参照してください。

MALE ビット (マスターアービトレーションロスト検出許可ビット)

マスターモード時にアービトレーションロスト検出機能の有効/無効を決定します。通常は“1”にしてください。

NALE ビット (NACK 送信アービトレーションロスト検出許可ビット)

受信モード時、NACK 送中に ACK が検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、2つ以上のマスタが同時に同一のスレーブデバイスを選択しそれぞれ受信バイト数が異なる場合など) にアービトレーションロストを発生させるかどうかを選択します。

SALE ビット (スレーブアービトレーションロスト検出許可ビット)

スレーブ送信モード時、送出中の値と異なる値がバス上で検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、ノイズの影響などにより送信データと不一致が生じた場合など) にアービトレーションロストを発生させるかどうかを選択します。

NACKE ビット (NACK 受信転送中断許可ビット)

送信モード時、スレーブデバイスから NACK を受信した場合に転送動作を継続するか中断するかを選択します。通常は“1”にしてください。

NACKE ビットが“1”のとき、NACK を受信した場合、次の転送動作を中断します。

NACKE ビットが“0”のとき、受信アクノリッジの内容に関わらず次の転送動作を継続します。

NACK 受信転送中断機能の詳細については、「24.8.2 NACK 受信転送中断機能」を参照してください。

SCLE ビット (SCL 同期回路有効ビット)

SCL 入力クロックに対して、SCL クロックの同期化を行うかどうかを選択します。通常は“1”にしてください。

SCLE ビットを“0” (SCL 同期回路無効) にすると、クロック同期を行いません。この設定の場合、RIIC は SCL0 ラインの状態に関わらず ICBRH および ICBRL レジスタで設定された転送速度の SCL クロックを出力します。そのため、I²C バスラインのバス負荷が仕様に定められた値よりも大幅に大きい場合や、マルチマスタにおいて SCL クロック出力が重なった場合など、仕様外の短いクロックになる可能性がありますので注意してください。また SCL 同期回路無効の場合、スタートコンディション・リスタートコンディション・ストップコンディションの発行および SCL クロック追加出力の連続出力にも影響します。

SCLE ビットは、設定した転送速度が出力されているかどうかを確認する場合などを除き“0”にしないでください。

24.2.7 I²Cバスステータス許可レジスタ (ICSER)

アドレス RIIC0.ICSER 0008 8306h

b7	b6	b5	b4	b3	b2	b1	b0
HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E

リセット後の値 0 0 0 0 1 0 0 1

ビット	シンボル	ビット名	機能	R/W
b0	SAR0E	スレーブアドレスレジスタ0許可ビット	0 : SARL0、SARU0の設定値は無効 1 : SARL0、SARU0の設定値は有効	R/W
b1	SAR1E	スレーブアドレスレジスタ1許可ビット	0 : SARL1、SARU1の設定値は無効 1 : SARL1、SARU1の設定値は有効	R/W
b2	SAR2E	スレーブアドレスレジスタ2許可ビット	0 : SARL2、SARU2の設定値は無効 1 : SARL2、SARU2の設定値は有効	R/W
b3	GCAE	ジェネラルコールアドレス許可ビット	0 : ジェネラルコールアドレス検出は無効 1 : ジェネラルコールアドレス検出は有効	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DIDE	デバイスIDアドレス検出許可ビット	0 : デバイスIDアドレス検出は無効 1 : デバイスIDアドレス検出は有効	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOAE	ホストアドレス許可ビット	0 : ホストアドレス検出は無効 1 : ホストアドレス検出は有効	R/W

SARyE ビット (スレーブアドレスレジスタ y 許可ビット) (y = 0 ~ 2)

SARLy、SARUy レジスタで設定したスレーブアドレスを有効にするかどうかを選択します。

SARyE ビットを“1”にすると、SARLy、SARUy レジスタの設定値が有効になり、受信したスレーブアドレスと比較が行われます。

SARyE ビットを“0”にすると、SARLy、SARUy レジスタの設定値が無効になり、受信したスレーブアドレスと一致しても無視されます。

GCAE ビット (ジェネラルコールアドレス許可ビット)

ジェネラルコールアドレス (0000 000b + 0 (write) : All “0”) を受信した場合、無視するかどうかを選択します。

GCAE ビットが“1”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、RIIC は SARLy、SARUy レジスタ (y = 0 ~ 2) で設定したスレーブアドレスとは無関係にジェネラルコールアドレスと認識し、受信動作を行います。

GCAE ビットが“0”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致しても無視されます。

DIDE ビット (デバイス ID アドレス検出許可ビット)

スタートコンディションまたはリスタートコンディション検出後の第一バイトにデバイス ID アドレス (1111 100b) を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

DIDE ビットが“1”の場合、受信した第一バイトがデバイス ID アドレスと一致した場合、RIIC はデバイス ID アドレスを受信したと認識し、続く R/W# ビットが“0” (write) のとき第二バイト目以降をスレーブアドレスとみなして受信動作を継続します。

DIDE ビットが“0”の場合、受信した第一バイトがデバイス ID アドレスと一致しても無視され、第一バイトを通常のスレーブアドレスとみなして動作します。

デバイス ID アドレス検出の詳細については、「24.7.3 デバイス ID アドレス検出機能」を参照してください。

HOAE ビット (ホストアドレス許可ビット)

ICMR3.SMBS ビットが“1”の場合、ホストアドレス (0001 000b) を受信したとき、無視するかどうかを選択します。

ICMR3.SMBS ビットが“1”でかつHOAEビットが“1”の場合、受信したスレーブアドレスがホストアドレスと一致すると、RIIC は SARLy、SARUy レジスタ (y=0 ~ 2) で設定したスレーブアドレスとは無関係にホストアドレスと認識し、受信動作を行います。

ICMR3.SMBS ビットが“0”またはHOAEビットが“0”の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

24.2.8 I²Cバス割り込み許可レジスタ (ICIER)

アドレス RIIC0.ICIER 0008 8307h

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOIE	タイムアウト割り込み要求許可ビット	0: タイムアウト割り込み (TMOI) 要求の禁止 1: タイムアウト割り込み (TMOI) 要求の許可	R/W
b1	ALIE	アービトレーションロスト割り込み要求許可ビット	0: アービトレーションロスト割り込み (ALI) 要求の禁止 1: アービトレーションロスト割り込み (ALI) 要求の許可	R/W
b2	STIE	スタートコンディション検出割り込み要求許可ビット	0: スタートコンディション検出割り込み (STI) 要求の禁止 1: スタートコンディション検出割り込み (STI) 要求の許可	R/W
b3	SPIE	ストップコンディション検出割り込み要求許可ビット	0: ストップコンディション検出割り込み (SPI) 要求の禁止 1: ストップコンディション検出割り込み (SPI) 要求の許可	R/W
b4	NAKIE	NACK受信割り込み要求許可ビット	0: NACK受信割り込み (NAKI) 要求の禁止 1: NACK受信割り込み (NAKI) 要求の許可	R/W
b5	RIE	受信データフル割り込み要求許可ビット	0: 受信データフル割り込み (RXI) 要求の禁止 1: 受信データフル割り込み (RXI) 要求の許可	R/W
b6	TEIE	送信終了割り込み要求許可ビット	0: 送信終了割り込み (TEI) 要求の禁止 1: 送信終了割り込み (TEI) 要求の許可	R/W
b7	TIE	送信データエンプティ割り込み要求許可ビット	0: 送信データエンプティ割り込み (TXI) 要求の禁止 1: 送信データエンプティ割り込み (TXI) 要求の許可	R/W

TMOIE ビット (タイムアウト割り込み要求許可ビット)

ICSR2.TMOF フラグが“1”になったとき、タイムアウト割り込み (TMOI) 要求の許可/禁止を選択します。TMOI 割り込みは、TMOF フラグを“0”にするか、または TMOIE ビットを“0”にすることで解除できます。

ALIE ビット (アービトレーションロスト割り込み要求許可ビット)

ICSR2.AL フラグが“1”になったとき、アービトレーションロスト割り込み (ALI) 要求の許可/禁止を選択します。ALI 割り込みは、AL フラグを“0”にするか、または ALIE ビットを“0”にすることで解除できます。

STIE ビット (スタートコンディション検出割り込み要求許可ビット)

ICSR2.START フラグが“1”になったとき、スタートコンディション検出割り込み (STI) 要求の許可/禁止を選択します。STI 割り込みは、START フラグを“0”にするか、または STIE ビットを“0”にすることで解除できます。

SPIE ビット (ストップコンディション検出割り込み要求許可ビット)

ICSR2.STOP フラグが“1”になったとき、ストップコンディション検出割り込み (SPI) 要求の許可/禁止を選択します。SPI 割り込みは、STOP フラグを“0”にするか、または SPIE ビットを“0”にすることで解除できます。

NAKIE ビット (NACK 受信割り込み要求許可ビット)

ICSR2.NACKF フラグが“1”になったとき、NACK 受信割り込み (NAKI) 要求の許可 / 禁止を選択します。NAKI 割り込みは、NACKF フラグを“0”にするか、または NAKIE ビットを“0”にすることで解除できます。

RIE ビット (受信データフル割り込み要求許可ビット)

ICSR2.RDRF フラグが“1”になったとき、受信データフル割り込み (RXI) 要求の許可 / 禁止を選択します。

TEIE ビット (送信終了割り込み要求許可ビット)

ICSR2.TEND フラグが“1”になったとき、送信終了割り込み (TEI) 要求の許可 / 禁止を選択します。TEI 割り込みは、TEND フラグを“0”にするか、または TEIE ビットを“0”にすることで解除できます。

TIE ビット (送信データエンプティ割り込み要求許可ビット)

ICSR2.TDRE フラグが“1”になったとき、送信データエンプティ割り込み (TXI) 要求の許可 / 禁止を選択します。

24.2.9 I²Cバスステータスレジスタ 1 (ICSR1)

アドレス RIIC0.ICSR1 0008 8308h

b7	b6	b5	b4	b3	b2	b1	b0
HOA	—	DID	—	GCA	AAS2	AAS1	AAS0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	AAS0	スレーブアドレス0検出フラグ	0: スレーブアドレス0未検出 1: スレーブアドレス0検出	R/(W) (注1)
b1	AAS1	スレーブアドレス1検出フラグ	0: スレーブアドレス1未検出 1: スレーブアドレス1検出	R/(W) (注1)
b2	AAS2	スレーブアドレス2検出フラグ	0: スレーブアドレス2未検出 1: スレーブアドレス2検出	R/(W) (注1)
b3	GCA	ジェネラルコールアドレス検出フラグ	0: ジェネラルコールアドレス未検出 1: ジェネラルコールアドレス検出	R/(W) (注1)
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DID	デバイスIDアドレス検出フラグ	0: デバイスIDアドレス未検出 1: デバイスIDアドレス検出 • スタートコンディション直後の第一バイトがデバイスIDアドレス(1111 100b) + 0 (write)と一致した場合	R/(W) (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOA	ホストアドレス検出フラグ	0: ホストアドレス未検出 1: ホストアドレス検出 • 受信したスレーブアドレスがホストアドレス(0001 000b)と一致した場合	R/(W) (注1)

注1. “0”のみ書けます。

AAS_y フラグ (スレーブアドレス y 検出フラグ) (y=0 ~ 2)

[“1”になる条件]

[7ビットアドレスフォーマット選択時: SARU_y.FS ビット = 0]

- ICSR.SAR_yE ビットが“1”(スレーブアドレス y 検出有効)の状態、受信したスレーブアドレスが SARL_y.SVA[6:0] ビットと一致したとき、第一バイトの SCL クロックの9クロック目の立ち上がり

[10ビットアドレスフォーマット選択時: SARU_y.FS ビット = 1]

- ICSR.SAR_yE ビットが“1”(スレーブアドレス y 検出有効)の状態、受信したスレーブアドレスが1111 0b + SARU_y.SVA[1:0] ビットと一致し、それに続くアドレスが SARL_y レジスタと一致したとき、第二バイトの SCL クロックの9クロック目の立ち上がり

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

[7ビットアドレスフォーマット選択時: SARU_y.FS ビット = 0]

- ICSR.SAR_yE ビットが“1”(スレーブアドレス y 検出有効)の状態、受信したスレーブアドレスが SARL_y.SVA[6:0] ビットと不一致のとき、第一バイトの SCL クロックの9クロック目の立ち上がり

[10ビットアドレスフォーマット選択時: SARU_y.FS ビット = 1]

- ICSR.SAR_yE ビットが“1”(スレーブアドレス y 検出有効)の状態、受信したスレーブアドレスが1111 0b + SARU_y.SVA[1:0] ビットと不一致のとき、第一バイトの SCL クロックの9クロック目の立ち上がり

- ICSE.SARyEビットが“1” (スレーブアドレスy検出有効)の状態、受信したスレーブアドレスが1111 0b + SARUy.SVA[1:0] ビットと一致し、それに続くアドレスが SARLy レジスタと不一致のとき、第二バイトの SCL クロックの9クロック目の立ち上がり

GCA フラグ (ジェネラルコールアドレス検出フラグ)

["1" になる条件]

- ICSE.GCAEビットが“1” (ジェネラルコールアドレス検出有効)の状態、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0 (write)) と一致したとき、第一バイトの SCL クロックの9クロック目の立ち上がり

["0" になる条件]

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICSE.GCAEビットが“1” (ジェネラルコールアドレス検出有効)の状態、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0 (write)) と不一致のとき、第一バイトの SCL クロックの9クロック目の立ち上がり
- ICCR1.IICRST ビットに“1” を書き、RIIC リセットまたは内部リセットしたとき

DID フラグ (デバイス ID アドレス検出フラグ)

["1" になる条件]

- ICSE.DIDEビットが“1” (デバイス ID アドレス検出有効)の状態、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) + 0 (write) と一致したとき、第一バイトの SCL クロックの9クロック目の立ち上がり

["0" になる条件]

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICSE.DIDEビットが“1” (デバイス ID アドレス検出有効)の状態、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) と不一致のとき、第一バイトの SCL クロックの9クロック目の立ち上がり
- ICSE.DIDEビットが“1” (デバイス ID アドレス検出有効)の状態、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) + 0 (write) と一致し、続く第二バイトがスレーブアドレス 0 ~ 2 のすべてと不一致のとき、第二バイトの SCL クロックの9クロック目の立ち上がり
- ICCR1.IICRST ビットに“1” を書き、RIIC リセットまたは内部リセットしたとき

HOA フラグ (ホストアドレス検出フラグ)

["1" になる条件]

- ICSE.HOAEビットが“1” (ホストアドレス検出有効)の状態、受信したスレーブアドレスがホストアドレス (0001 000b) と一致したとき、第一バイトの SCL クロックの9クロック目の立ち上がり

["0" になる条件]

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICSE.HOAEビットが“1” (ホストアドレス検出有効)の状態、受信したスレーブアドレスがホストアドレス (0001 000b) と不一致のとき、第一バイトの SCL クロックの9クロック目の立ち上がり
- ICCR1.IICRST ビットに“1” を書き、RIIC リセットまたは内部リセットしたとき

24.2.10 I²Cバスステータスレジスタ 2 (ICSR2)

アドレス RIIC0.ICSR2 0008 8309h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOF	タイムアウト検出フラグ	0: タイムアウト未検出 1: タイムアウト検出	R/(W) (注1)
b1	AL	アービトレーションロストフラグ	0: アービトレーションロストの発生なし 1: アービトレーションロストの発生あり	R/(W) (注1)
b2	START	スタートコンディション検出フラグ	0: スタートコンディション未検出 1: スタートコンディション検出	R/(W) (注1)
b3	STOP	ストップコンディション検出フラグ	0: ストップコンディション未検出 1: ストップコンディション検出	R/(W) (注1)
b4	NACKF	NACK検出フラグ	0: NACK未検出 1: NACK検出	R/(W) (注1)
b5	RDRF	受信データフルフラグ	0: ICDRRレジスタに受信データなし 1: ICDRRレジスタに受信データあり	R/(W) (注1)
b6	TEND	送信終了フラグ	0: データ送信中 1: データ送信終了	R/(W) (注1)
b7	TDRE	送信データエンプティフラグ	0: ICDRTレジスタに送信データあり 1: ICDRTレジスタに送信データなし	R

注1. “0”のみ書けます。

TMOF フラグ (タイムアウト検出フラグ)

SCL0ラインの状態が一定期間変化しない場合、タイムアウトを認識して“1”になります。

[“1”になる条件]

- ICFER.TMOEビットが“1”(タイムアウト検出機能有効)で、かつマスターモードまたはスレーブモードで受信スレーブアドレスが一致した状態で ICMR2.TMOH, TMOL, TMOS ビットで選択された条件の期間 SCL0ラインの状態に変化がないとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRSTビットに“1”を書き、RIICリセットまたは内部リセットしたとき

AL フラグ (アービトレーションロストフラグ)

スタートコンディション発行時やアドレスおよびデータ送信時において、バス競合などによりバス占有権を喪失(アービトレーションロスト)したことを示します。RIICは送信中にSDA0ラインのレベルを監視し、出力データとSDA0ラインのレベルが一致しない場合ALフラグを“1”にしてバスが他のデバイスによって占有されたことを示します。

このほか、RIICでは設定によりマスターモード時にNACK送信中のアービトレーションロストの検出やスレーブモード時にデータ送信中のアービトレーションロストの検出も可能です。

[“1”になる条件]

【マスターアービトレーションロスト検出有効時: ICFER.MALEビット=1】

- マスター送信モード時のデータ送信(スレーブアドレス送信含む)において、ACK期間を除くSCLクロックの立ち上がりで出力したSDA信号とSDA0ライン上の信号の状態が不一致のとき(内部SDA出力が

High出力(SDA0端子はハイインピーダンス)で、SDA0ラインにLowを検出したとき)

- ICCR2.STビットが“1”(スタートコンディション発行要求)の状態ですタートコンディションを検出したとき、出力したSDA信号とSDA0ライン上の信号の状態が不一致のとき
- ICCR2.BBSYフラグが“1”の状態ですICCR2.STビットが“1”(スタートコンディション発行要求)に設定したとき

【NACKアービトレーションロスト検出有効時：ICFER.NALEビット=1】

- 受信モード時のNACK送信において、ACK期間のSCLクロックの立ち上がりで出力したSDA信号とSDA0ライン上の信号の状態が不一致のとき

【スレーブアービトレーションロスト検出有効時：ICFER.SALEビット=1】

- スレーブ送信モード時のデータ送信において、ACK期間を除くSCLクロックの立ち上がりで出力したSDA信号とSDA0ライン上の信号の状態が不一致のとき

【“0”になる条件】

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRSTビットに“1”を書き、RIICリセットまたは内部リセットしたとき

表24.4 アービトレーションロスト発生要因と各アービトレーションロスト許可機能との関係

ICFER			ICSR2	エラー内容	アービトレーションロスト発生要因
MALE	NALE	SALE	AL		
1	x	x	1	スタートコンディション発行エラー	ICCR2.STビットが“1”の状態ですタートコンディション検出時に出力したSDA信号とSDA0ライン上の信号の状態が不一致のとき ICCR2.BBSYフラグが“1”の状態ですICCR2.STビットを“1”にしたとき
			1	送信データ不一致	マスタ送信モードで送信データ(スレーブアドレス送信含む)とバス状態が不一致のとき
x	1	x	1	NACK送信不一致	マスタ受信モードまたはスレーブ受信モードでNACK送信時にACKを検出したとき
x	x	1	1	送信データ不一致	スレーブ送信モードで送信データとバス状態が不一致のとき

x : Don't care

START フラグ(スタートコンディション検出フラグ)

【“1”になる条件】

- スタートコンディション(リスタートコンディション含む)を検出したとき

【“0”になる条件】

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRSTビットに“1”を書き、RIICリセットまたは内部リセットしたとき

STOP フラグ(ストップコンディション検出フラグ)

【“1”になる条件】

- ストップコンディションを検出したとき

【“0”になる条件】

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRSTビットに“1”を書き、RIICリセットまたは内部リセットしたとき

NACKF フラグ(NACK検出フラグ)

【“1”になる条件】

- ICFER.NACKC ビットが“1”(転送中断許可)の状態、送信モード時に受信デバイスからアクノリッジがなかった(NACKを受信した)とき

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. NACKF フラグが“1”になると RIIC は通信動作を中断します。NACKF フラグが“1”の状態、送信モード時に ICDRT レジスタへの書き込みや、受信モード時に ICDRR レジスタの読み出しを行っても、送信 / 受信動作は行われません。通信動作を再開する場合は NACKF フラグを“0”にしてください。

RDRF フラグ (受信データフルフラグ)

["1"になる条件]

- ICDRS レジスタから ICDRR レジスタに受信データが転送されたとき、ICMR3.RDRFS ビットの設定により SCL クロックの 8 または 9 クロック目の立ち上がりで“1”になります。
- スタートコンディション(リスタートコンディション含む)検出後、受信したスレーブアドレスが一致し ICCR2.TRS ビットが“0”のとき

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICDRR レジスタを読んだとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

TEND フラグ (送信終了フラグ)

["1"になる条件]

- TDRE フラグが“1”の状態、SCL クロックの 9 クロック目の立ち上がり

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICDRT レジスタへデータを書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

TDRE フラグ (送信データエンプティフラグ)

["1"になる条件]

- ICDRT レジスタから ICDRS レジスタにデータ転送が行われ、ICDRT レジスタが空になったとき
- ICCR2.TRS ビットが“1”になったとき
- 受信したスレーブアドレスが一致し、TRS ビットが“1”のとき

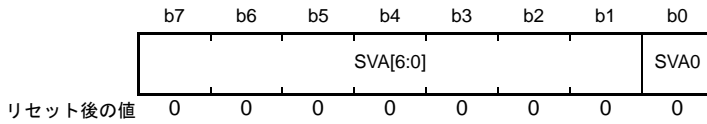
["0"になる条件]

- ICDRT レジスタへデータを書いたとき
- ICCR2.TRS ビットが“0”になったとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. ICFER.NACKC ビットが“1”の状態、NACKF フラグが“1”になると RIIC は通信動作を中断します。このとき、TDRE フラグが“0”の状態(次の送信データがすでに書き込まれている状態)の場合、9 クロック目の立ち上がりで ICDRS レジスタへのデータ転送が行われ ICDRT レジスタが空になりますが、TDRE フラグは“1”になりません。

24.2.11 スレーブアドレスレジスタ Ly (SARLy) (y=0 ~ 2)

アドレス RIIC0.SARL0 0008 830Ah, RIIC0.SARL1 0008 830Ch, RIIC0.SARL2 0008 830Eh



ビット	シンボル	ビット名	機能	R/W
b0	SVA0	10ビットアドレス最下位ビット	スレーブアドレスを設定してください。	R/W
b7-b1	SVA[6:0]	7ビットアドレス/ 10ビットアドレス下位ビット	スレーブアドレスを設定してください。	R/W

SVA0 ビット (10 ビットアドレス最下位ビット)

10ビットアドレスフォーマット選択時 (SARUy.FS ビット = 1)、10ビットアドレス最下位ビットとして機能し、SVA[6:0] ビットと合わせて10ビットアドレス下位8ビットを設定します。

ICSER.SARyE ビットが“1” (SARLy、SARUy レジスタ有効) であつ SARUy.FS ビットが“1” のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが“0” のとき設定値は無視されます。

SVA[6:0] ビット (7 ビットアドレス / 10 ビットアドレス下位ビット)

7ビットアドレスフォーマット選択時 (SARUy.FS ビット = 0)、7ビットアドレスとして機能し、10ビットアドレスフォーマット選択時 (SARUy.FS ビット = 1)、SVA0 ビットと合わせて10ビットアドレス下位8ビットとして機能します。

ICSER.SARyE ビットが“0” のとき設定値は無視されます。

24.2.12 スレーブアドレスレジスタ Uy (SARUy) (y=0 ~ 2)

アドレス RIIC0.SARU0 0008 830Bh, RIIC0.SARU1 0008 830Dh, RIIC0.SARU2 0008 830Fh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	SVA[1:0]	FS	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FS	7ビット/10ビットアドレスフォーマット選択ビット	0: 7ビットアドレスフォーマット選択 1: 10ビットアドレスフォーマット選択	R/W
b2-b1	SVA[1:0]	10ビットアドレス上位ビット	スレーブアドレスを設定してください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FS ビット (7 ビット / 10 ビットアドレスフォーマット選択ビット)

スレーブアドレス y (SARLy, SARUy レジスタ) を 7 ビットアドレスにするか、10 ビットアドレスにするかを選択します。

ICSER.SARyE ビットが“1” (SARLy, SARUy レジスタ有効) かつ SARUy.FS ビットが“0” のとき、スレーブアドレス y は 7 ビットアドレスフォーマットが選択され、SARLy.SVA[6:0] ビットの設定値が有効になり SVA[1:0] ビットおよび SARLy.SVA0 ビットの設定値は無視されます。

ICSER.SARyE ビットが“1” (SARLy, SARUy レジスタ有効) かつ SARUy.FS ビットが“1” のとき、スレーブアドレス y は 10 ビットアドレスフォーマットが選択され、SVA[1:0] ビット、SARLy レジスタの設定値が有効になります。

ICSER.SARyE ビットが“0” (SARLy, SARUy レジスタ無効) のとき SARUy.FS ビットの設定値は無効です。

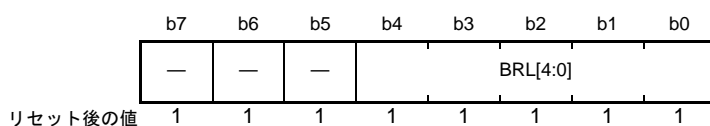
SVA[1:0] ビット (10 ビットアドレス上位ビット)

10 ビットアドレスフォーマット選択時 (FS ビット = 1)、10 ビットアドレスの上位 2 ビットアドレスとして機能します。

ICSER.SARyE ビットが“1” (SARLy, SARUy レジスタ有効) かつ SARUy.FS ビットが“1” のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが“0” のとき設定値は無視されます。

24.2.13 I²Cバスビットレート Low レジスタ (ICBRL)

アドレス RIIC0.ICBRL 0008 8310h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRL[4:0]	ビットレートLow幅設定ビット	SCLクロックのLow幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ICBRL レジスタは SCL クロックの Low 幅を設定するための 5 ビットのレジスタです。

また ICBRL レジスタは、SCL 自動 Low ホールド発生時（「24.8 SCL の自動 Low ホールド機能」参照）のデータセットアップ時間確保レジスタとしても機能します。そのため RIIC を常にスレーブモードで使用する場合には、データセットアップ時間（注1）以上の値を設定してください。

ICBRL レジスタは ICMR1.CKS[2:0] ビットで選択した内部基準クロック (ICφ) で Low 幅をカウントします。

デジタルノイズフィルタ回路の使用を許可 (ICFER.NFE ビット = 1) した場合、ICBRL レジスタは、ノイズフィルタの段数 + 1 以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0] ビットを参照してください。

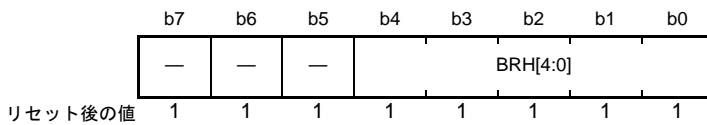
注 1. データセットアップ時間 (t_{SU:DAT})

250 ns (~ 100 kbps : スタンダードモード (Sm))

100 ns (~ 400 kbps : ファストモード (Fm))

24.2.14 I²Cバスビットレート High レジスタ (ICBRH)

アドレス RIIC0.ICBRH 0008 8311h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRH[4:0]	ビットレートHigh幅設定ビット	SCLクロックのHigh幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”として下さい。	R/W

ICBRHレジスタはSCLクロックのHigh幅を設定するための5ビットのレジスタで、マスタモード時に有効です。RIICを常にスレーブモードで使用する場合には、High幅を設定する必要はありません。

ICBRHレジスタはICMR1.CKS[2:0]ビットで選択された内部基準クロック(IIC ϕ)でHigh幅をカウントします。

デジタルノイズフィルタ回路の使用を許可(ICFER.NFEビット=1)した場合、ICBRHレジスタは、ノイズフィルタの段数+1以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0]ビットを参照してください。

I²C転送速度およびSCLクロックのデューティ比は以下の式で算定します。

$$\text{転送速度} = 1 / \{ ((\text{ICBRH} + 1) + (\text{ICBRL} + 1)) / \text{IIC}\phi (\text{注1}) + \text{SCL0ライン立ち上がり時間} (\text{tr}) + \text{SCL0ライン立ち下がり時間} (\text{tf}) \}$$

$$\text{デューティ比} = \{ \text{SCL0ライン立ち上がり時間} (\text{tr}) (\text{注2}) + (\text{ICBRH} + 1) / \text{IIC}\phi \} / \{ \text{SCL0ライン立ち下がり時間} (\text{tf}) (\text{注2}) + (\text{ICBRL} + 1) / \text{IIC}\phi \}$$

注1. IIC ϕ = PCLK × 分周比

注2. SCL0ライン立ち上がり時間(tr)、SCL0ライン立ち下がり時間(tf)は、バスライン総容量(Cb)とプルアップ抵抗(Rp)に依存します。詳細についてはNXP社のI²Cバス仕様書を参照してください。

ICBRH、ICBRLレジスタの値の設定例を表24.5に示します。

表 24.5 転送速度に対する ICBRH、ICBRL レジスタの設定例

転送速度 (kbps)	動作周波数 PCLK (MHz)								
	8			10			12.5		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	100b	22 (F6h)	25 (F9h)	101b	13 (EDh)	15 (EFh)	101b	16 (F0h)	20 (F4h)
50	010b	16 (F0h)	19 (F3h)	010b	21 (F5h)	24 (F8h)	011b	12 (ECh)	15 (EFh)
100	001b	15 (EFh)	18 (F2h)	001b	19 (F3h)	23 (F7h)	001b	24 (F8h)	29 (FDh)
400	000b	4 (E4h)	10 (EAh)	000b	5 (E5h)	12 (ECh)	000b	7 (E7h)	16 (F0h)

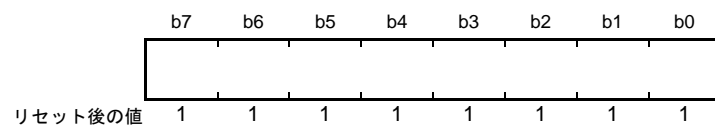
転送速度 (kbps)	動作周波数 PCLK (MHz)								
	16			20			25		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	101b	22 (F6h)	25 (F9h)	110b	13 (EDh)	15 (EFh)	110b	16 (F0h)	20 (F4h)
50	011b	16 (F0h)	19 (F3h)	011b	21 (F5h)	24 (F8h)	100b	12 (ECh)	15 (EFh)
100	010b	15 (EFh)	18 (F2h)	010b	19 (F3h)	23 (F7h)	010b	24 (F8h)	29 (FDh)
400	000b	9 (E9h)	20 (F4h)	000b	11 (EBh)	25 (F9h)	001b	7 (E7h)	16 (F0h)

転送速度 (kbps)	動作周波数 PCLK (MHz)			動作周波数 PCLK (MHz)		
	30			32		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	110b	20 (F4h)	24 (F8h)	110b	22 (F6h)	25 (F9h)
50	100b	15 (EFh)	18 (F2h)	100b	16 (F0h)	19 (F3h)
100	010b	2 (E2h)	3 (E3h)	011b	15 (EFh)	18 (F2h)
400	001b	8 (E8h)	19 (F3h)	001b	9 (E9h)	20 (F4h)

注. SCL0ラインの立ち上がり時間(tr)を100 kbps以下(Sm)は1000 ns、400 kbps以下(Fm)は300 ns、SCL0ラインの立ち下がり時間(tf)を400 kbps以下(Sm/Fm)は300 nsとして計算した場合の設定例です。
SCL0ライン立ち上がり時間(tr)、SCL0ライン立ち下がり時間(tf)の値についてはNXP社のI²Cバス仕様書を参照してください。

24.2.15 I²Cバス送信データレジスタ(ICDRT)

アドレス RIIC0.ICDRT 0008 8312h



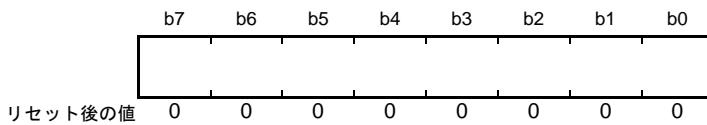
I²Cバスシフトレジスタ(ICDRS)の空きを検出すると、ICDRTレジスタに書き込まれた送信データがICDRSレジスタへ転送され、送信モード時にデータ送信を開始します。

ICDRTレジスタとICDRSレジスタはダブルバッファ構造になっているため、ICDRSレジスタのデータ送信中に、次に送信するデータをICDRTレジスタに書いておくと連続送信動作が可能です。

ICDRTレジスタは常に読み出し/書き込み可能です。ICDRTレジスタへの送信データの書き込みは、送信データエンプティ割り込み(TXI)要求が発生したときに1回だけ行ってください。

24.2.16 I²Cバス受信データレジスタ (ICDRR)

アドレス RIIC0.ICDRR 0008 8313h



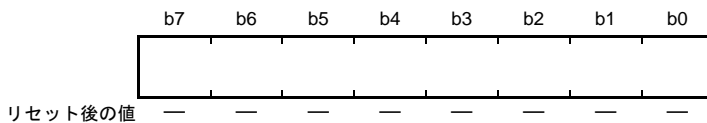
1バイトのデータの受信が終了すると、受信したデータはI²Cバスシフトレジスタ (ICDRS) からICDRRレジスタへ転送され、次のデータを受信可能にします。

ICDRSレジスタとICDRRレジスタはダブルバッファ構造になっているため、ICDRSレジスタのデータ受信中に、すでに受信したデータをICDRRレジスタから読んでおくと連続受信動作が可能です。

ICDRRレジスタに書き込みはできません。ICDRRレジスタの読み出しは、受信データフル割り込み (RXI) 要求が発生したときに1回だけ行ってください。

受信データをICDRRレジスタから読み出さないまま (ICSR2.RDRFフラグが“1”の状態のまま) 次の受信データを受け取ると、RIICはRDRFフラグが次に“1”になるタイミングの1つ手前のSCL0クロックの立ち下がり でSCL0ラインをLowにホールドします。

24.2.17 I²Cバスシフトレジスタ (ICDRS)



ICDRSレジスタは、データを送信/受信するためのシフトレジスタです。

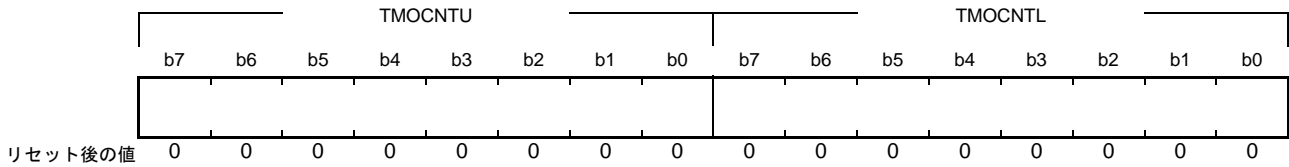
送信時はICDRTレジスタから送信データがICDRSレジスタに転送され、SDA0端子からデータが送信されます。受信時は1バイトのデータの受信が終了すると、データがICDRSレジスタからICDRRレジスタへ転送されます。

ICDRSレジスタは直接アクセスすることはできません。

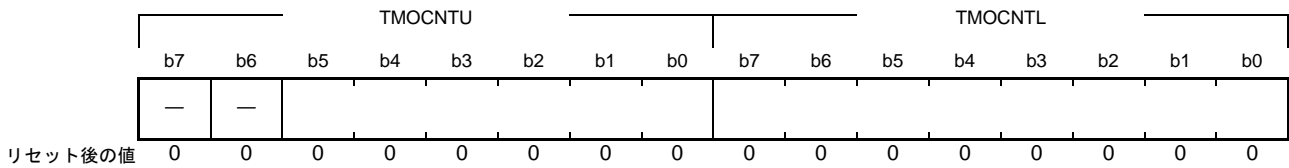
24.2.18 タイムアウト内部カウンタ (TMOCNTL/TMOCNTU)

アドレス RIIC0.TMOCNTL 0008 830Ah, RIIC0.TMOCNTU 0008 830Bh

・ ICMR2.TMOS = 0 (ロングモード)時



・ ICMR2.TMOS = 1 (ショートモード)時



注. 本レジスタはSARL0、SARU0レジスタと同一アドレスに配置されています。ICMR2.TMWEビットを“1”にしてから値を設定してください。

タイムアウト内部カウンタ (TMOCNTL/TMOCNTU) は、タイムアウト検出のための内部カウンタです。ロングモード時は16ビットカウンタとして、ショートモード時は14ビットカウンタとして動作し、カウンタがオーバーフローするとタイムアウトとなります。

TMOCNTL、TMOCNTUレジスタは、SARL0、SARU0レジスタと同一アドレスに配置されており、ICMR2.TMWEビットが“1”のときはTMOCNTL、TMOCNTUレジスタ、ICMR2.TMWEビットが“0”のときはSARL0、SARU0レジスタが選択されます。

TMOCNTL、TMOCNTUレジスタは、ライトオンリーのレジスタです。読み出しはできません。

タイムアウト内部カウンタ (TMOCNTL/TMOCNTU) は、リセット時、ICCR1.IICRSTビットを“1”にしたとき、もしくはICFER.TMOEビットが“1”でかつ、ICMR1.CKS[2:0]ビットが“000b” (PCLK/1) の場合に、ICMR2レジスタのTMOH/TMOLビットで設定したカウンタクリア条件 (SCL立ち上がり / 立ち下がりエッジ検出) が成立したとき、クリア (TMOCNTL = 00h, TMOCNTU = 00h) されます。

ICMR1.CKS[2:0]ビットが“000b” (PCLK/1) のとき以外は、自動でクリアされませんので、必要に応じてTMOCNTLカウンタとTMOCNTUカウンタに“00h”を書いてクリアしてください。

TMOCNTLカウンタとTMOCNTUカウンタは、16ビットレジスタとして16ビットアクセスすることもできます。

16ビットアクセスする場合は、表24.6に記載のアドレスへアクセスしてください。

表24.6 16ビットアクセスのレジスタ配置

アドレス	上位8ビット	下位8ビット
0008 830Ah	RIIC0.TMOCNTU	RIIC0.TMOCNTL

24.3 動作説明

24.3.1 通信データフォーマット

I²Cバスフォーマットは、8ビットのデータと1ビットのアクノリッジで構成されています。スタートコンディションおよびリスタートコンディションに続く第一バイトは、アドレスバイトでマスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブは新たにスレーブが指定されるか、ストップコンディションが発行されるまで有効です。

図 24.3 に I²C バスフォーマットを、図 24.4 に I²C バスタイミングを示します。

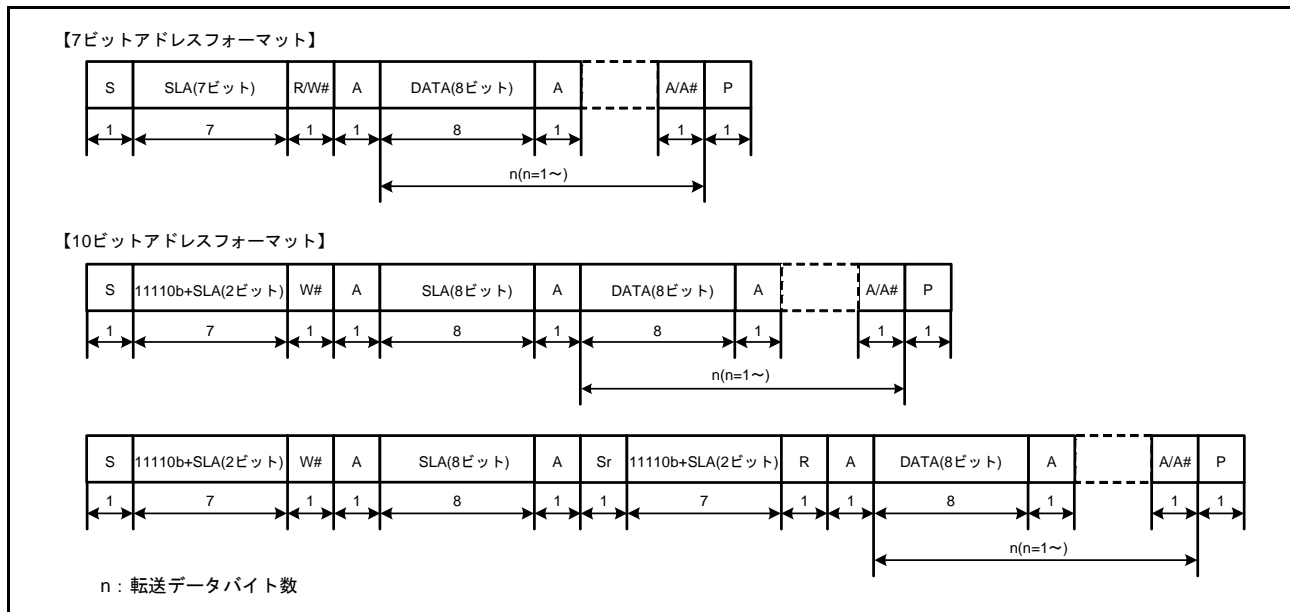


図 24.3 I²C バスフォーマット

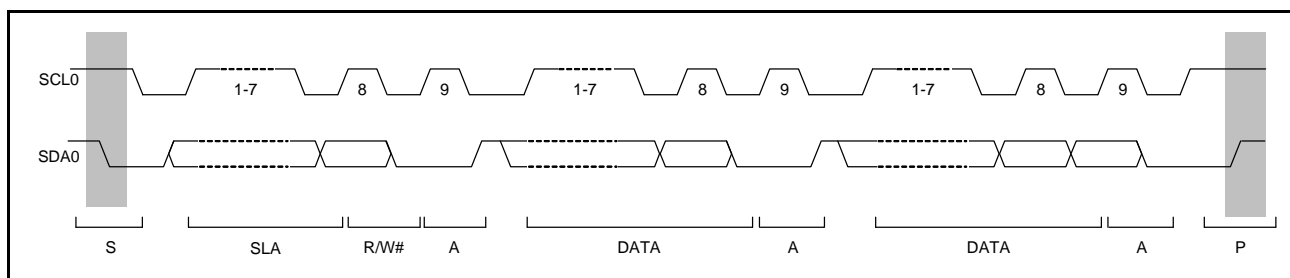


図 24.4 I²C バスタイミング (SLA=7 ビットの場合)

- S: スタートコンディションを示します。マスタデバイスが、SCL0ラインがHighの状態ではSDA0ラインがHighからLowに変化します。
- SLA: スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
- R/W#: 送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。
- A: アクノリッジを示します。受信デバイスがSDA0ラインをLowにします(マスタ送信モード時: スレーブデバイスがアクノリッジを返します。マスタ受信モード時: マスタデバイスがアクノリッジを返します)。
- A#: ノットアクノリッジを示します。受信デバイスがSDA0ラインをHighにします。
- Sr: リスタートコンディションを示します。マスタデバイスが、SCL0ラインがHighの状態ではSDA0ラインがHighからLowに変化します。
- DATA: 送受信データを示します。
- P: ストップコンディションを示します。マスタデバイスが、SCL0ラインがHighの状態ではSDA0ラインがLowからHighに変化します。

24.3.2 初期設定

データの送信/受信を開始する場合、**図 24.5** に示す手順に従って RIIC を初期化してください。

ICCR1.ICE ビットを“0”(SCL0、SDA0 端子非駆動状態)にしたまま ICCR1.IICRST ビットを“1”(RIIC リセット)にした後、ICCR1.ICE ビットを“1”(内部リセット)にします。これにより ICSR1 レジスタの各フラグや内部状態の初期化を行います。その後、SARLy、SARUy、ICSER、ICMR1、ICBRH、ICBRL レジスタ (y=0 ~ 2) を設定し、その他のレジスタは必要に応じて設定してください (RIIC の初期設定については**図 24.5** 参照)。必要なレジスタの設定が終了したら、ICCR1.IICRST ビットを“0”(RIIC リセット解除)にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。

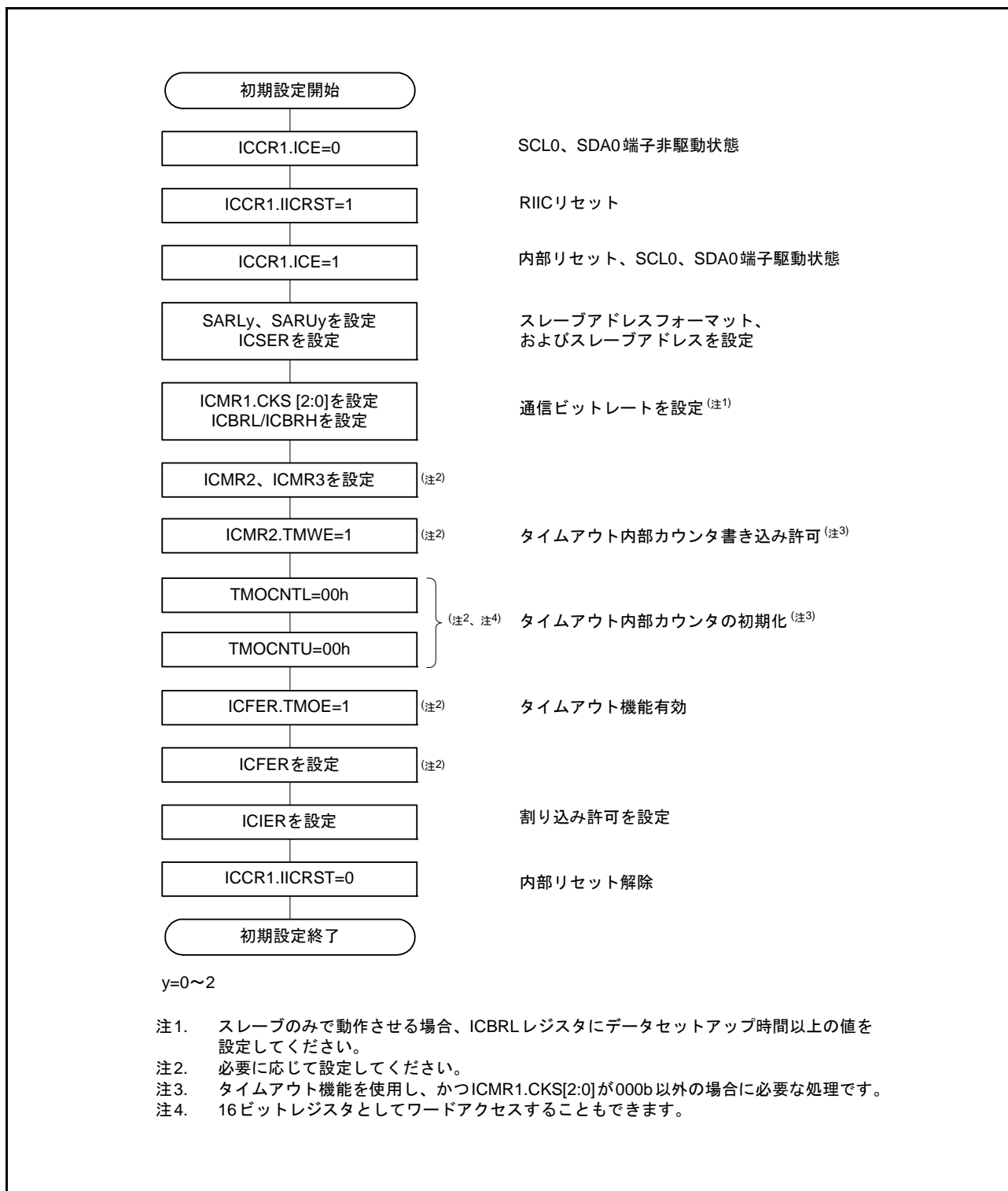


図 24.5 RIIC の初期化フローチャート例

24.3.3 マスタ送信動作

マスタ送信では、マスタデバイスである RIIC が SCL クロックと送信データを出力して、スレーブデバイスがアクノリッジを返します。図 24.6 にマスタ送信の使用例を、図 24.7 ~ 図 24.9 にマスタ送信の動作タイミングを示します。

以下にマスタ送信の送信手順と動作を示します。

- (1) 初期設定を行います。詳細は「24.3.2 初期設定」を参照してください。
- (2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに“1”を書きます(スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき ST ビットが“1”の状態を出力した SDA 信号と SDA0 ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST, TRS ビットを自動的に“1”にしてマスタ送信モードになります。また ICSR2.TDRE は、TRS ビットが“1”になることにより自動的に“1”になります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ(スレーブアドレスと R/W# ビット)を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビットが“0”の第一バイトを受信すると、引き続きマスタ送信モードの状態を継続します。このとき ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行われます。なお 10 ビットアドレスフォーマットで送信する場合は、まず 1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b + スレーブアドレスの上位 2 ビット + W を書き、2 回目のアドレス送信処理で ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
- (4) ICSR2.TDRE フラグが“1”であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションを発行するまでの間 RIIC は自動的に SCL0 ラインを Low にホールドします。
- (5) 送信する全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが“1”になるまで待つから ICCR2.SP ビットに“1”を書いてください(ストップコンディション発行要求)。RIIC はストップコンディション発行要求を受け付けると、ストップコンディションを発行します。
- (6) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットが自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.TDRE, TEND フラグも自動的に“0”になり、ICSR2.STOP フラグが“1”になります。
- (7) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

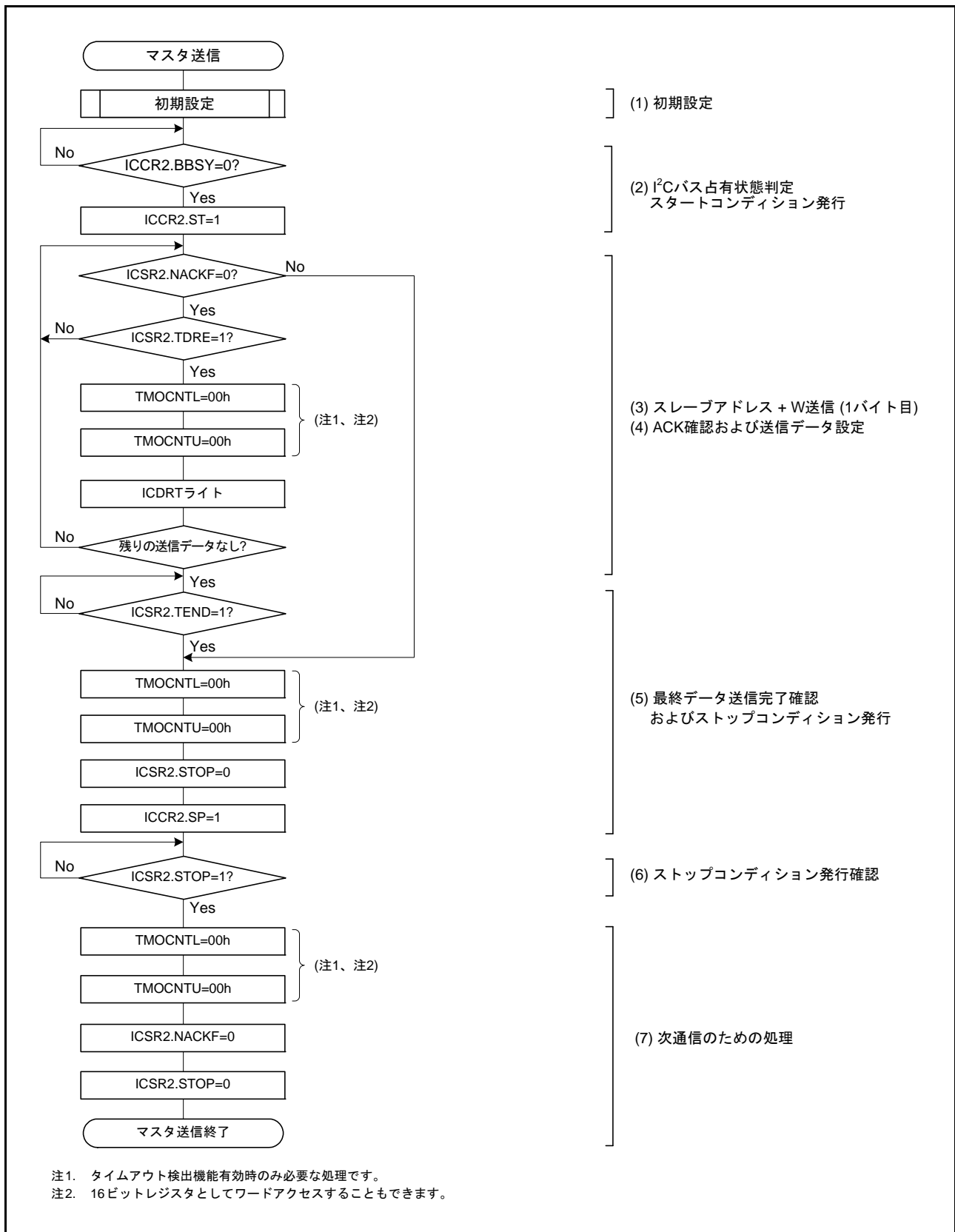


図 24.6 マスタ送信のフローチャート例

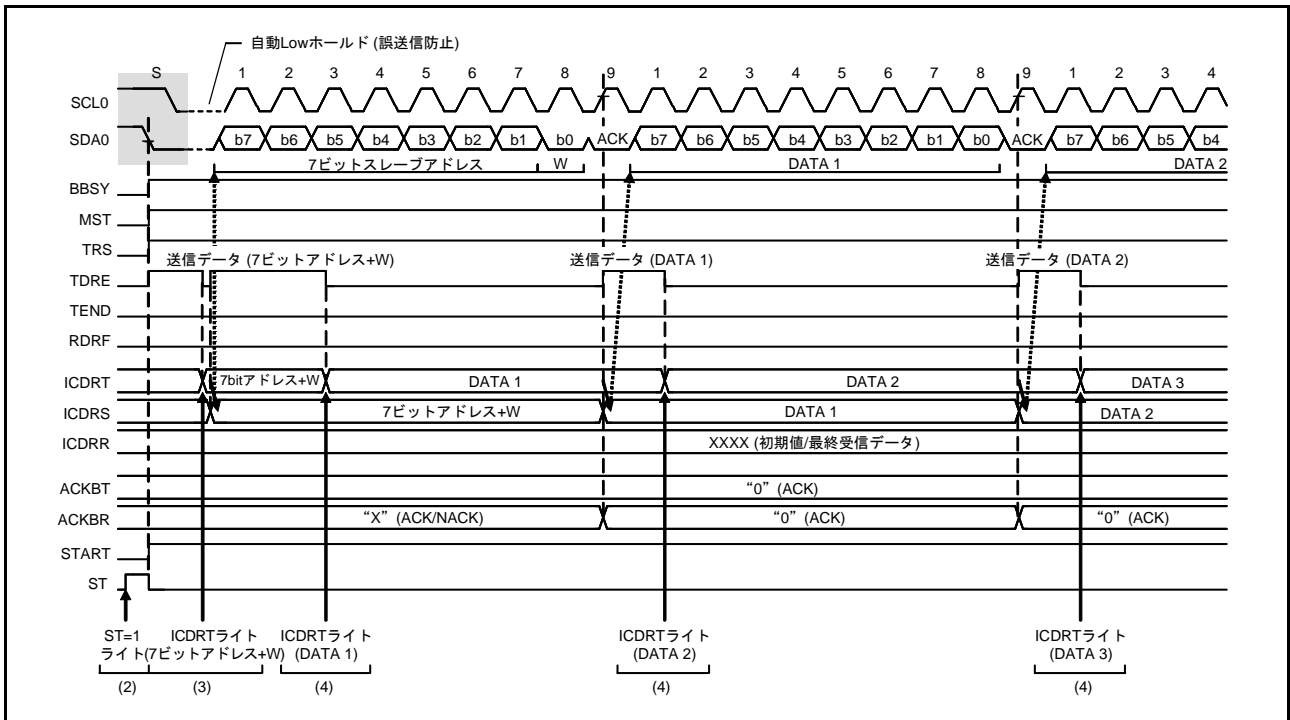


図 24.7 マスタ送信の動作タイミング (1) (7ビットアドレスフォーマットのとき)

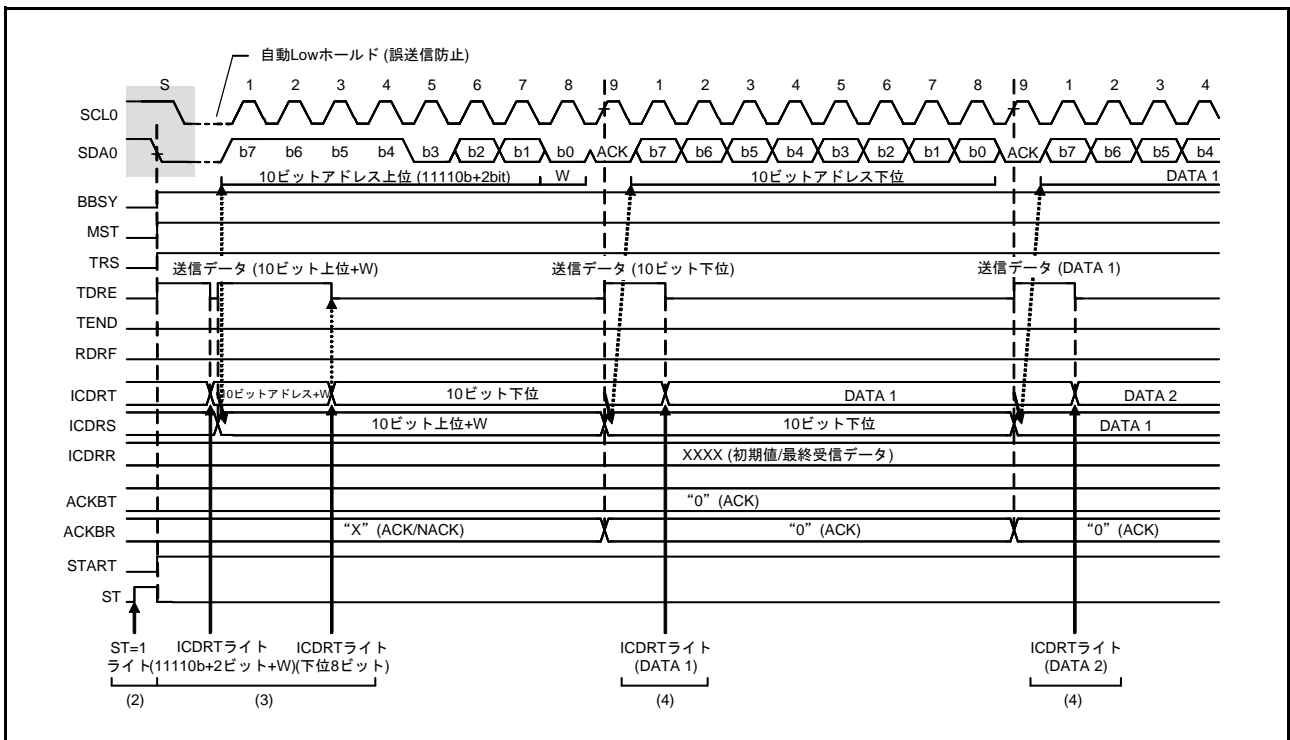


図 24.8 マスタ送信の動作タイミング (2) (10ビットアドレスフォーマットのとき)

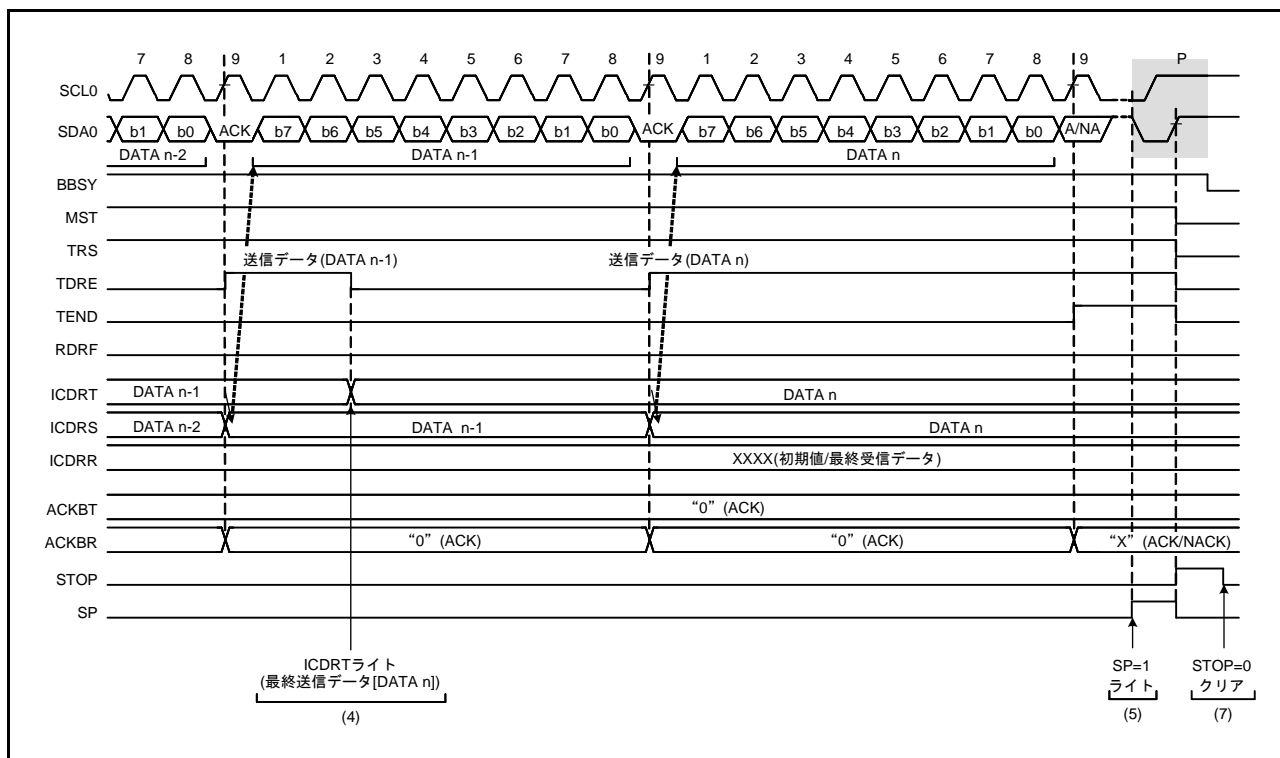


図 24.9 マスタ送信の動作タイミング (3)

24.3.4 マスタ受信動作

マスタ受信では、マスタデバイスである RIIC が SCL クロックを出力し、スレーブデバイスからデータを受信して、アクノリッジを返します。最初にスレーブデバイスにスレーブアドレスを送信するため、まずマスタ送信モードでスレーブアドレスを送信し、その後マスタ受信モードでデータを受信します。

図 24.10、図 24.11 にマスタ受信の使用例 (7 ビットアドレスフォーマットの場合) を、図 24.12 ~ 図 24.14 にマスタ受信の動作タイミングを示します。

以下にマスタ受信の受信手順と動作を示します。

- (1) 初期設定を行います。詳細は「24.3.2 初期設定」を参照してください。
- (2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに“1”を書きます (スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき ST ビットが“1”の状態でも出力した SDA 信号と SDA0 ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST, TRS ビットを自動的に“1”にしてマスタ送信モードになります。また ICSR2.TDRE フラグは、TRS ビットが“1”になることにより自動的に“1”になります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に ICCR2.TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビットが“1”の第一バイトを受信すると、9 クロック目の立ち上がりで TRS ビットを“0”にしてマスタ受信

モードに移行します。このとき TDRE フラグは“0”に、ICSR2.RDRF フラグは自動的に“1”になります。

このとき ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行えます。

なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、リスタートコンディションを発行します。その後、1111 0b + スレーブアドレスの上位 2 ビット + R を送信することで、マスタ受信モードに移行します。

- (4) ICSR2.RDRF フラグが“1”であることを確認した後、ダミーで ICDRR レジスタを読むと、RIIC は SCL クロックを出力して受信動作を開始します。
- (5) 1 バイトのデータ受信が終了し、ICMR3.RDRFS ビットで設定した SCL クロックの 8 クロック目、あるいは 9 クロック目の立ち上がりで、ICSR2.RDRF フラグが“1”になります。このとき ICDRR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に“0”になります。また SCL クロックの 9 クロック目のアクノリッジビットには、ICMR3.ACKBT ビットに設定された値が返信されます。また、次の受信バイトが最終バイト - 1 の場合、ICDRR レジスタ (最終バイト - 2 バイト目) を読む前に ICMR3.WAIT ビットを“1” (WAIT あり) にしてください。これにより、続く (6) の ICMR3.ACKBT ビットを“1” (NACK) にする処理が他割り込みなどにより遅れた場合でも最終バイトで NACK 出力を可能にするるとともに、最終バイトの受信時に 9 クロック目の立ち下がり で SCL0 ラインを Low に固定して、ストップコンディション発行可能状態にすることができます。
- (6) ICMR3.RDRFS ビットが“0”でスレーブデバイスに次のデータ受信で通信終了であることを通知する必要がある場合には、ICMR3.ACKBT ビットを“1” (NACK) にしてください。
- (7) ICDRR レジスタ (最終バイト - 1 バイト目) 読み出し後、ICSR2.RDRF フラグが“1”であることを確認してから、ICCR2.SP ビットに“1”を書いて (ストップコンディション発行要求)、ICDRR レジスタ (最終バイト) を読んでください。RIIC は ICDRR レジスタの読み出しにより、WAIT 状態が解除され、9 クロック目の Low 出力終了または SCL0 ラインの Low ホールド解除後にストップコンディションを発行します。
- (8) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットは自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.STOP フラグが“1”になります。
- (9) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

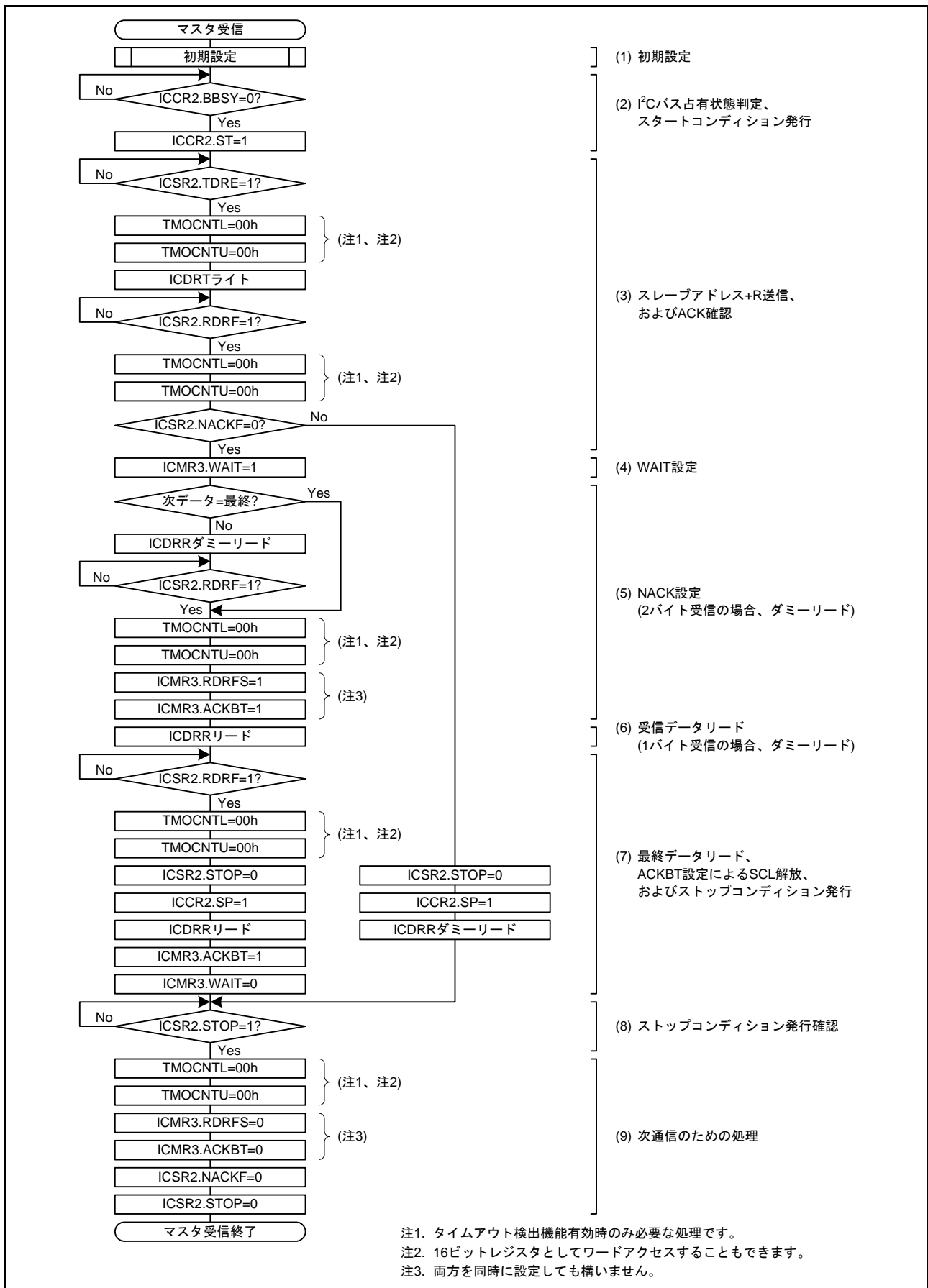


図 24.10 マスタ受信のフローチャート例 (7ビットアドレスフォーマットの場合、2バイト以下の場合)

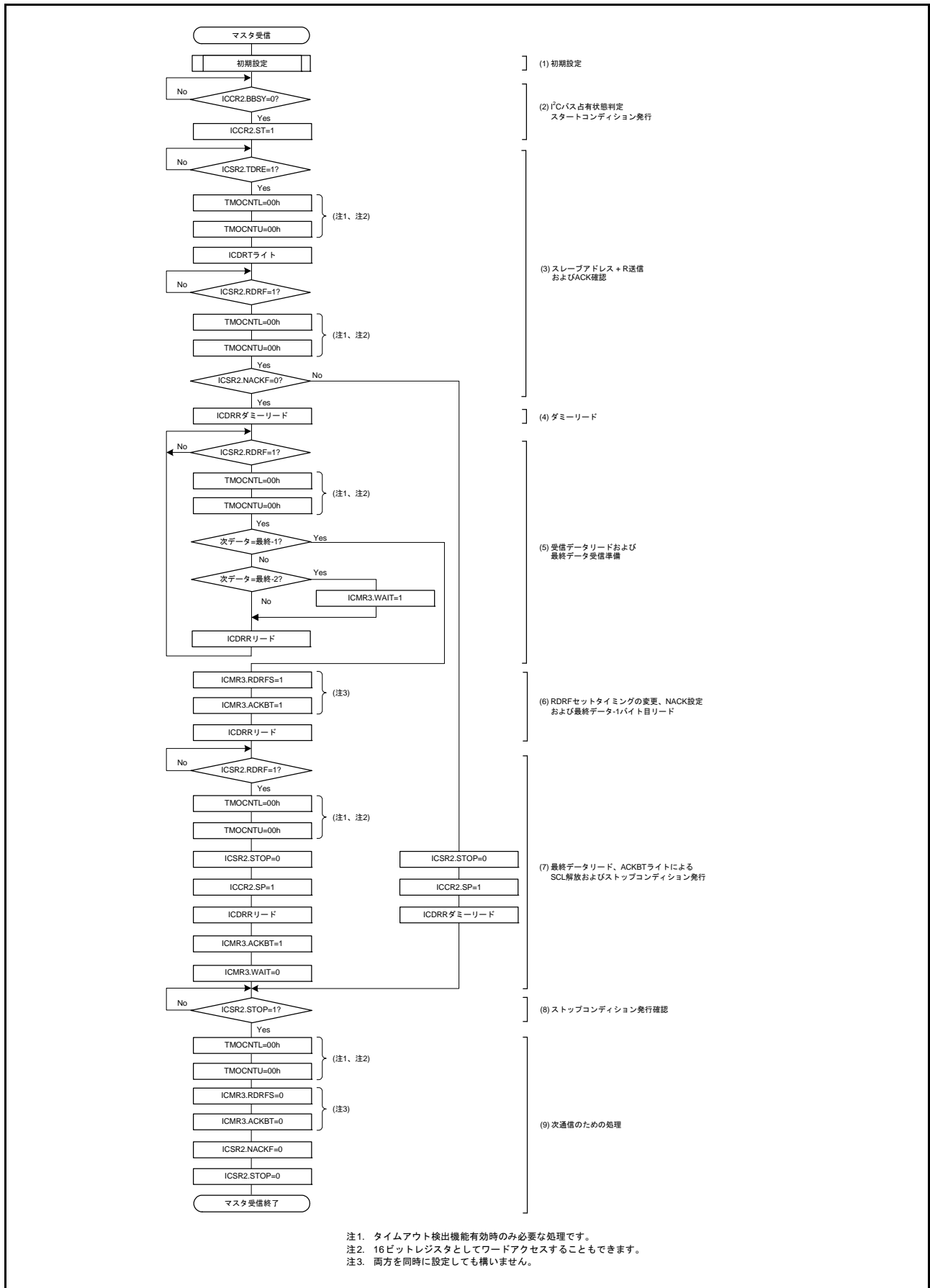


図 24.11 マスタ受信のフローチャート例 (7ビットアドレスフォーマット、3バイト以上の場合)

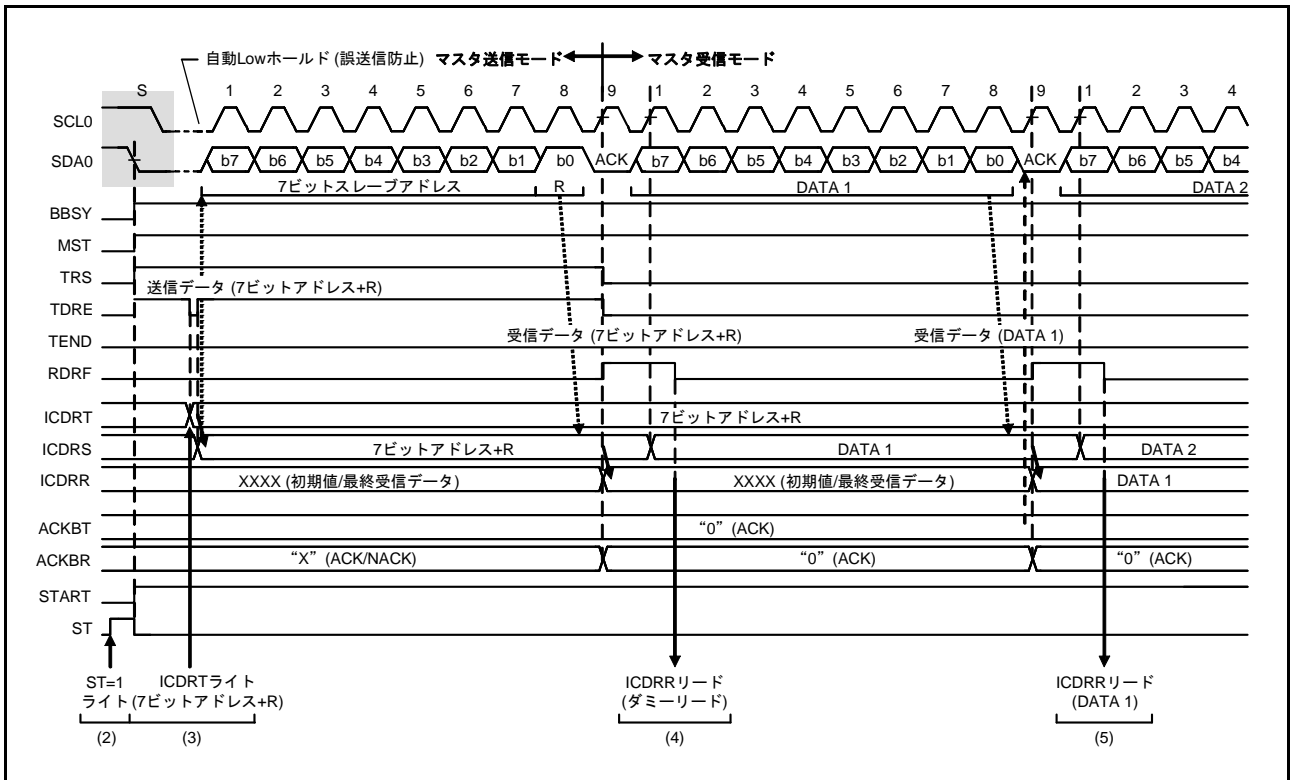


図 24.12 マスタ受信の動作タイミング (1) (7ビットアドレスフォーマット、RDRFS ビット=0 のとき)

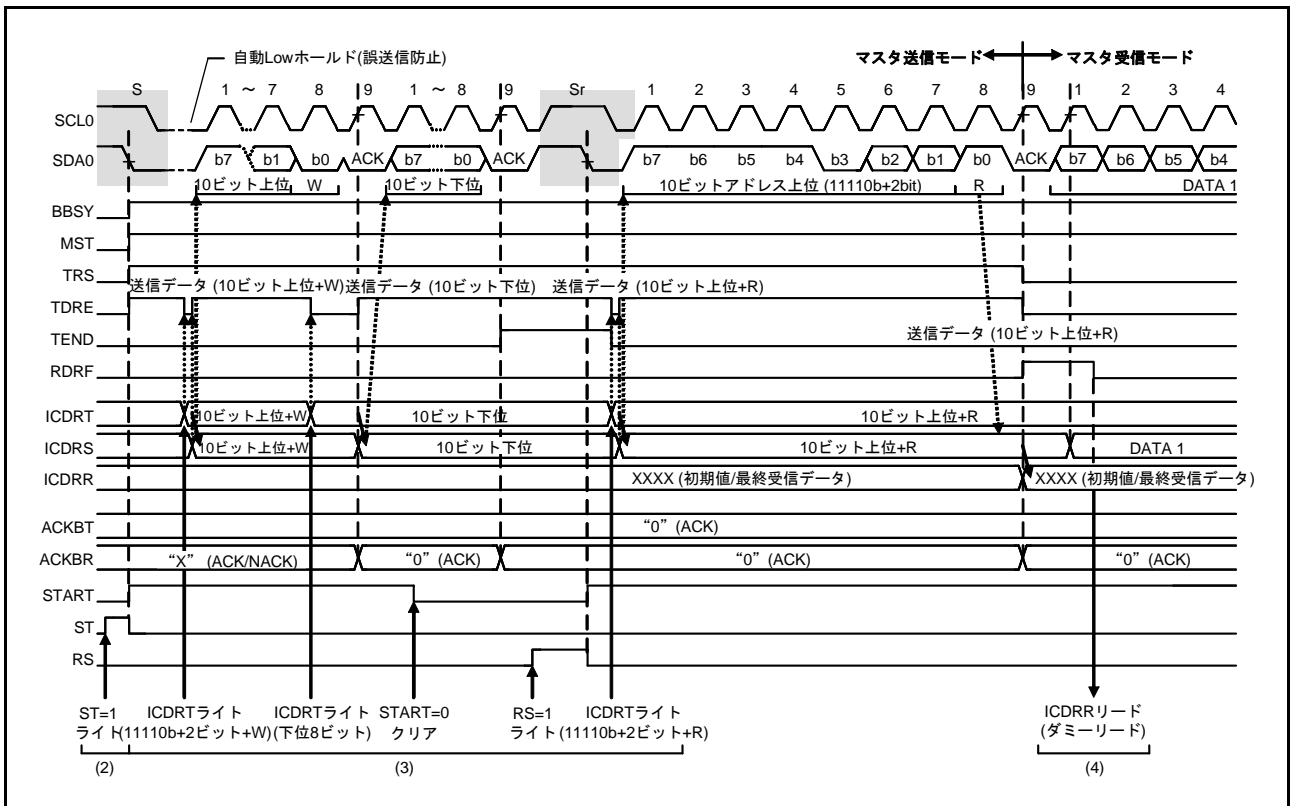


図 24.13 マスタ受信の動作タイミング (2) (10ビットアドレスフォーマット、RDRFS ビット=0 のとき)

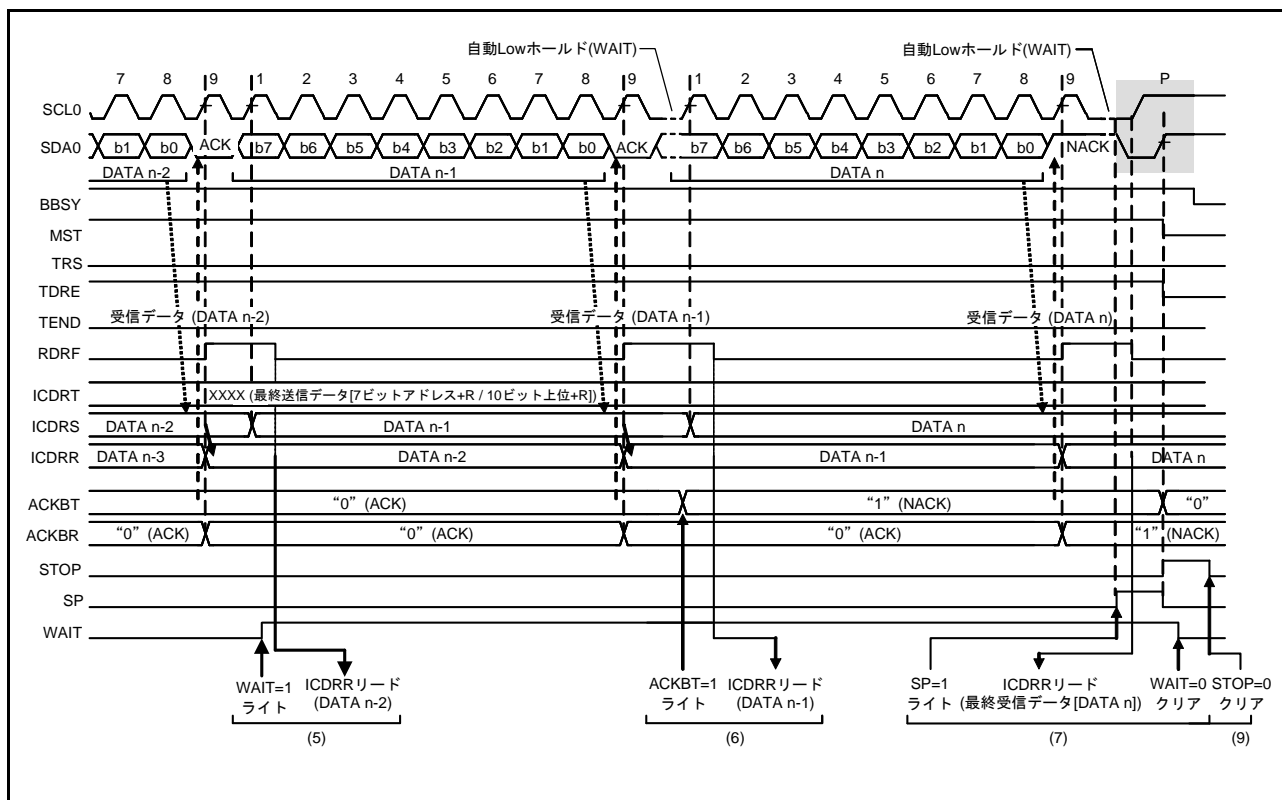


図 24.14 マスタ受信の動作タイミング (3) (RDRFS ビット = 0 のとき)

24.3.5 スレーブ送信動作

スレーブ送信では、マスタデバイスが SCL クロックを出力し、スレーブデバイスである RIIC がデータを送信し、マスタデバイスがアクノリッジを返します。

図 24.15 にスレーブ送信の使用例を示します。図 24.16、図 24.17 にスレーブ送信の動作タイミングを示します。

以下にスレーブ送信の送信手順と動作を示します。

- (1) 初期設定を行います。詳細は「24.3.2 初期設定」を参照してください。
初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。
- (2) RIIC はスレーブアドレスが一致した場合、SCL クロックの 9 クロック目の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット (y=0 ~ 2) のいずれかを“1”にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが“1”のとき、ICCR2.TRS ビットおよび ICSR2.TDRE フラグを“1”にし、自動的にスレーブ送信モードに切り替わります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データを書いてください。このとき、ICFER.NACKF ビットが“1”の状態でもスタデバイスからアクノリッジがなかった (NACK を受信した) 場合、RIIC は次の通信動作を中断します。
- (4) ICSR2.NACKF フラグが“1”になるか、または最終送信データを ICDRT レジスタに書いた後、ICSR2.TDRE フラグが“1”の状態、ICSR2.TEND フラグが“1”になるまで待ってください。ICSR2.NACKF フラグが“1”または TEND フラグが“1”の場合、RIIC は 9 クロック目の立ち下がり以降 SCL0 ラインを Low にホールドします。
- (5) ICSR2.NACKF フラグが“1”または ICSR2.TEND フラグが“1”の場合、終了処理のため ICDRR レジスタをダミーで読んでください。これにより SCL0 ラインを開放します。
- (6) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y=0 ~ 2)、ICSR2.TDRE, TEND フラグ、ICCR2.TRS ビットを自動的に“0”にし、スレーブ受信モードに移行します。
- (7) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

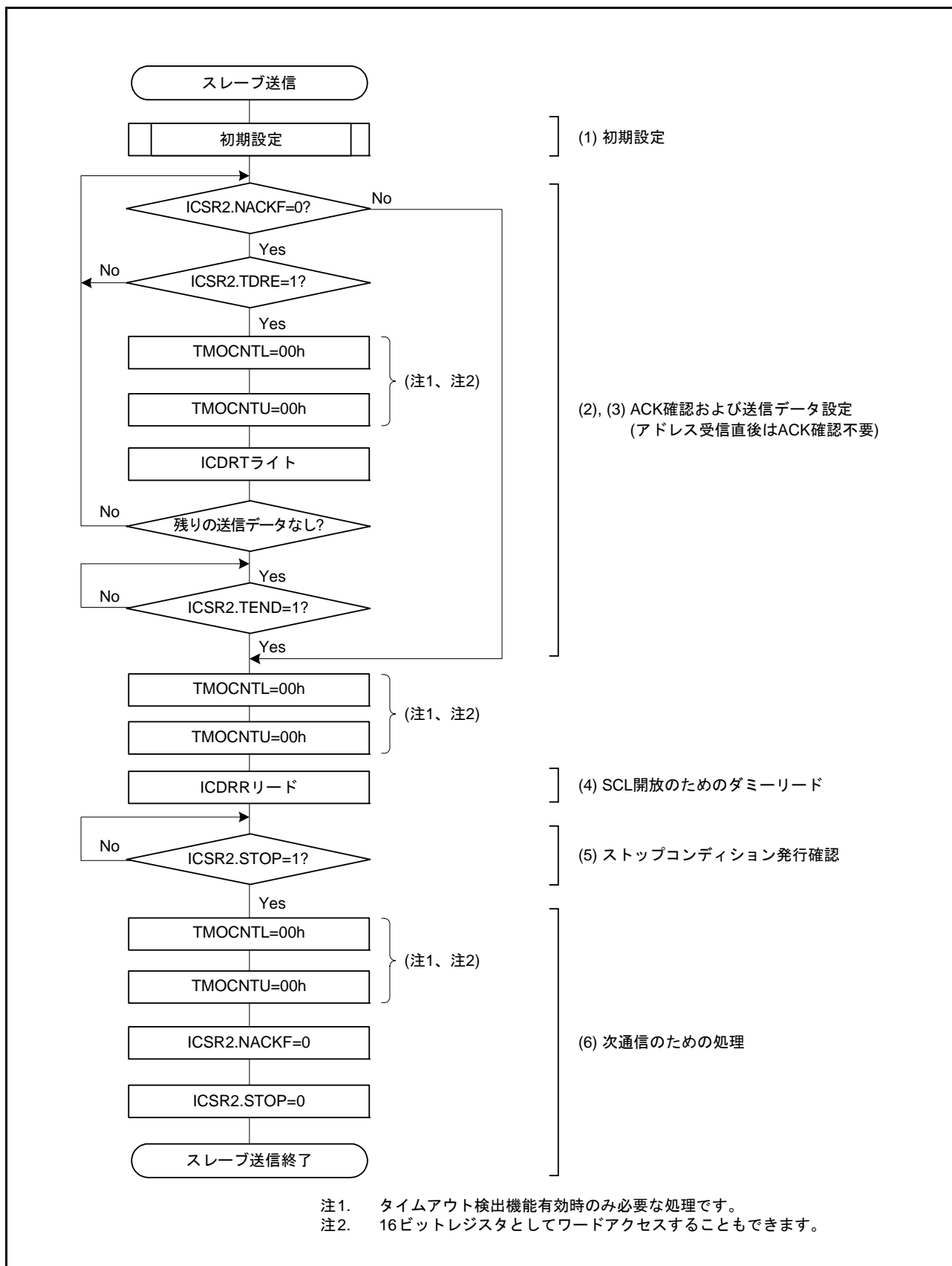


図 24.15 スレーブ送信のフローチャート例

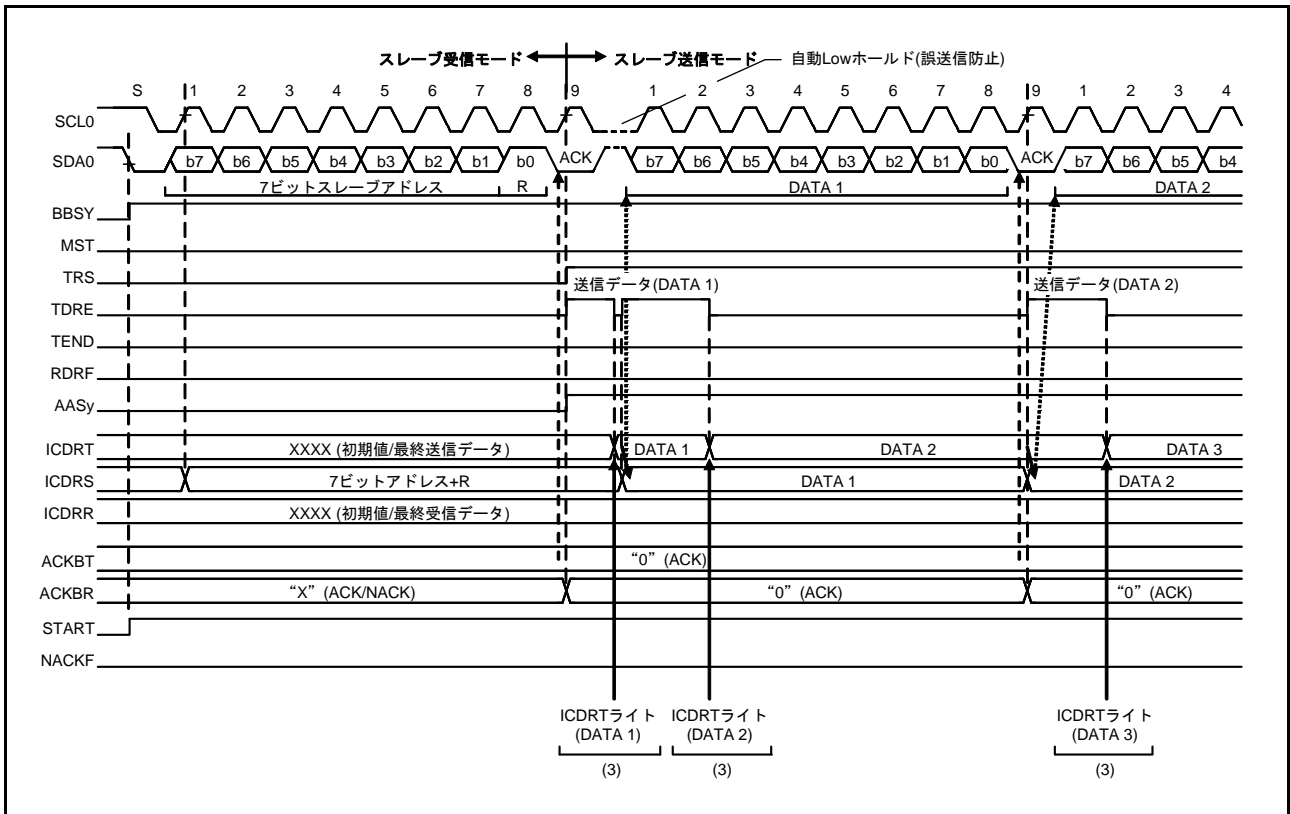


図 24.16 スレーブ送信の動作タイミング (1) (7ビットアドレスフォーマットの時)

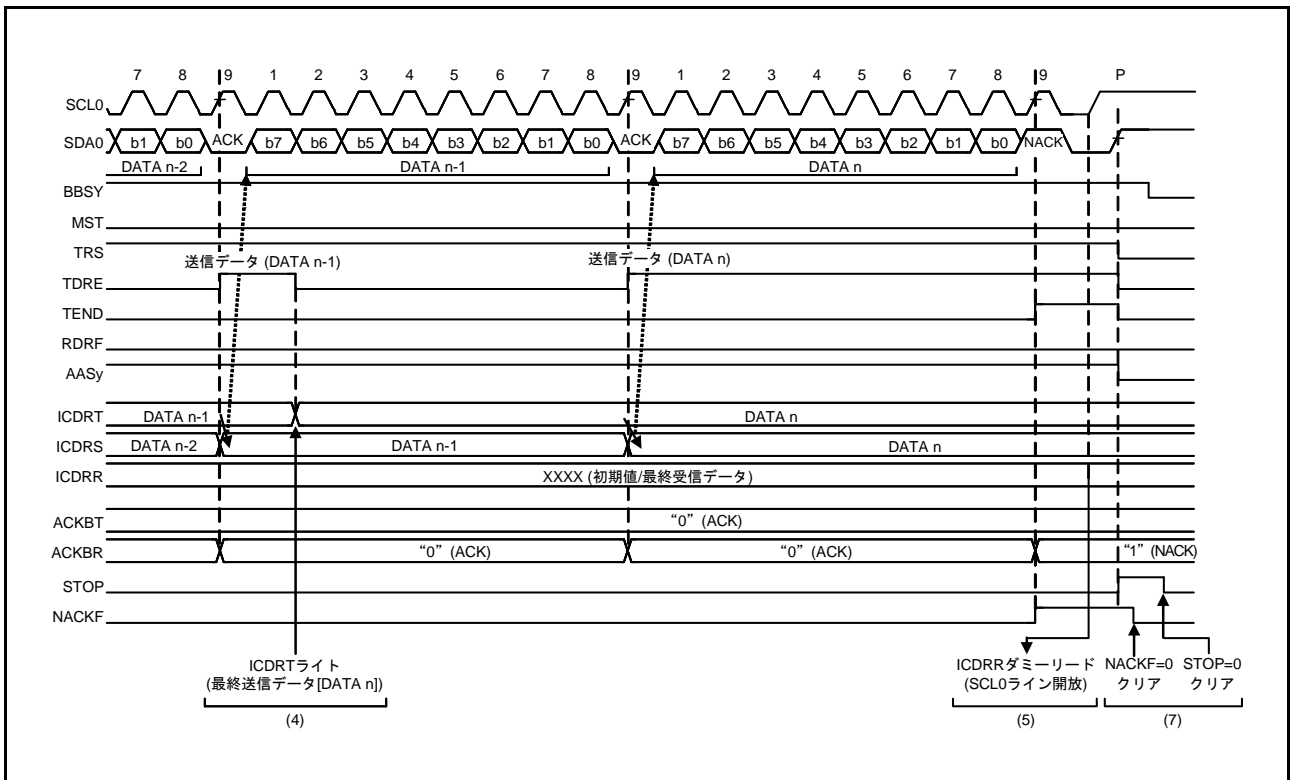


図 24.17 スレーブ送信の動作タイミング (2)

24.3.6 スレーブ受信動作

スレーブ受信では、マスタデバイスが SCL クロックと送信データを出力し、スレーブデバイスである RIIC がアクノリッジを返します。

図 24.18 にスレーブ受信の使用例を図 24.19、図 24.20 にスレーブ受信の動作タイミングを示します。以下にスレーブ受信の受信手順と動作を示します。

- (1) 初期設定を行います。詳細は「24.3.2 初期設定」を参照してください。
初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。
- (2) RIIC はスレーブアドレスが一致した場合、RIIC は SCL クロックの 9 クロック目の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット (y=0 ~ 2) のいずれかを“1”にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが“0”なら、スレーブ受信モードの状態を継続し、ICSR2.RDRF フラグを“1”にします。
- (3) ICSR2.STOP フラグが“0”で、かつ ICSR2.RDRF フラグが“1”であることを確認したら、最初の 1 回目は ICDRR レジスタをダミーで読んでください (なお、ダミーで読んだ受信データは 7 ビットアドレスフォーマット時にスレーブアドレス + R/W# ビット、10 ビットアドレスフォーマット時は下位 8 ビットアドレスになります)。
- (4) ICDRR レジスタを読むと RIIC は ICSR2.RDRF フラグを自動的に“0”にします。なお、ICDRR レジスタの読み出しが遅れて、RDRF フラグが“1”になった状態で次のデータを受信すると、RIIC は RDRF フラグが“1”になるタイミングの 1 つ手前の SCL クロック立ち下がり SCL0 ラインを Low にホールドします。この Low ホールドは ICDRR レジスタを読むことで解除され RIIC は SCL0 ラインを開放します。ICSR2.STOP フラグが“1”で、かつ ICSR2.RDRF フラグが“1”の場合、または全データ受信が完了するタイミングで ICDRR レジスタを読んでください。
- (5) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y=0 ~ 2) を自動的に“0”にします。
- (6) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.STOP フラグを“0”にしてください。

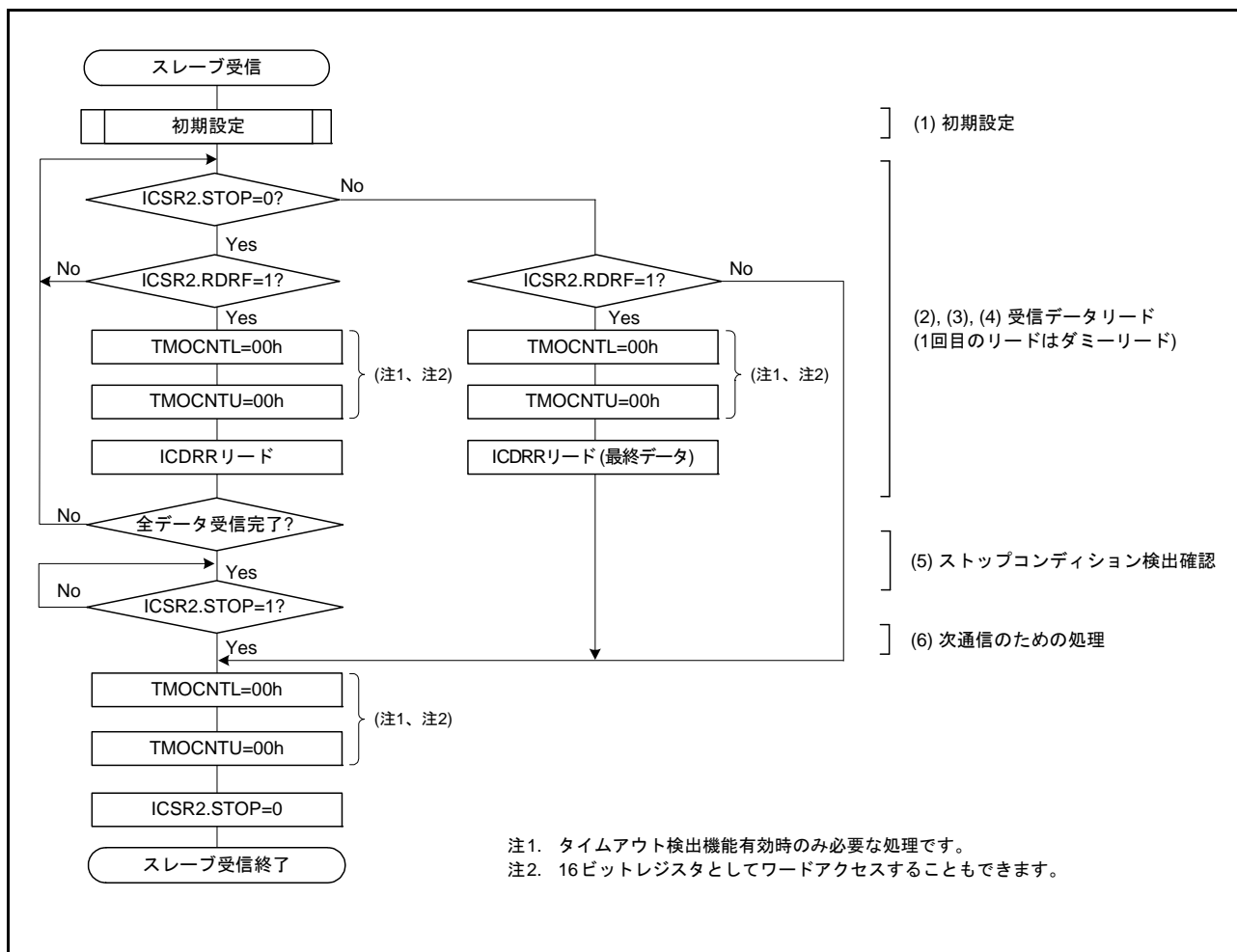


図 24.18 スレーブ受信のフローチャート例

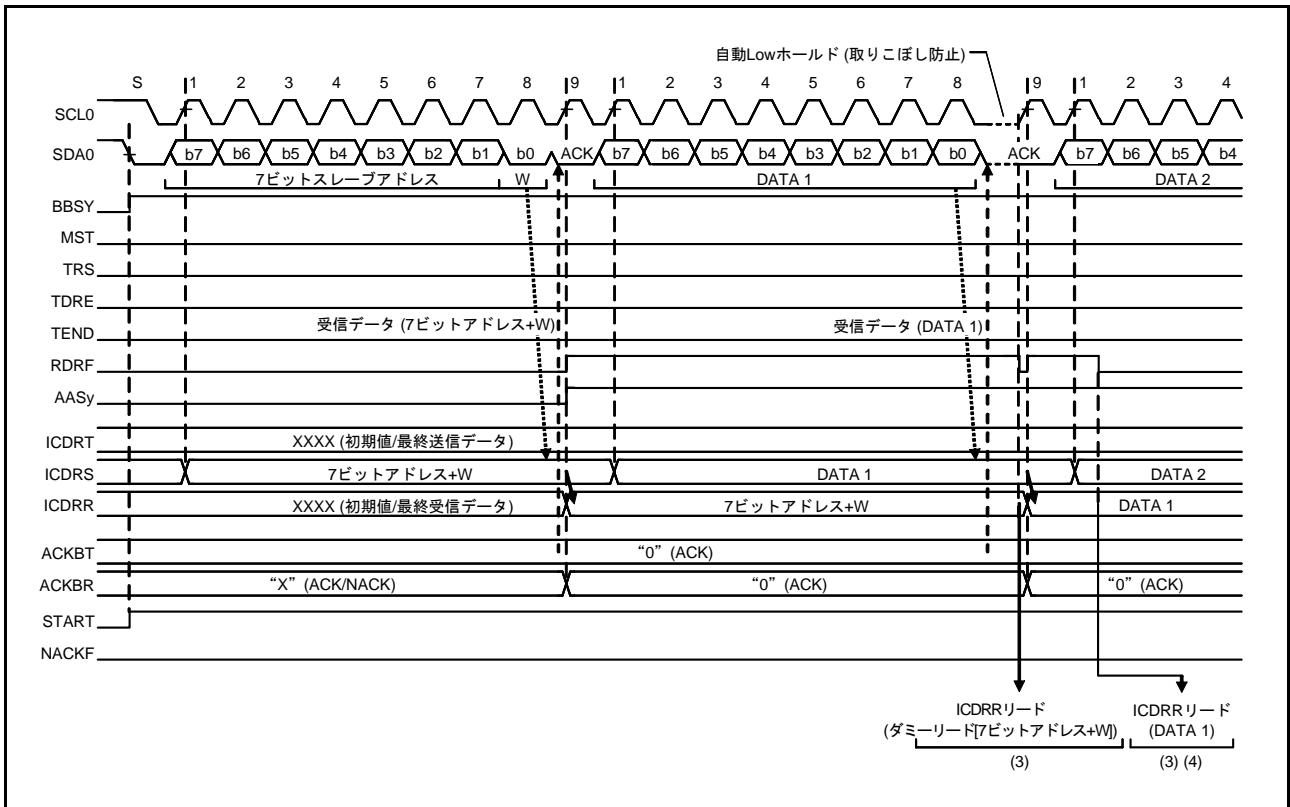


図 24.19 スレーブ受信の動作タイミング (1) (7ビットアドレスフォーマット、RDRFS ビット = 0 のとき)

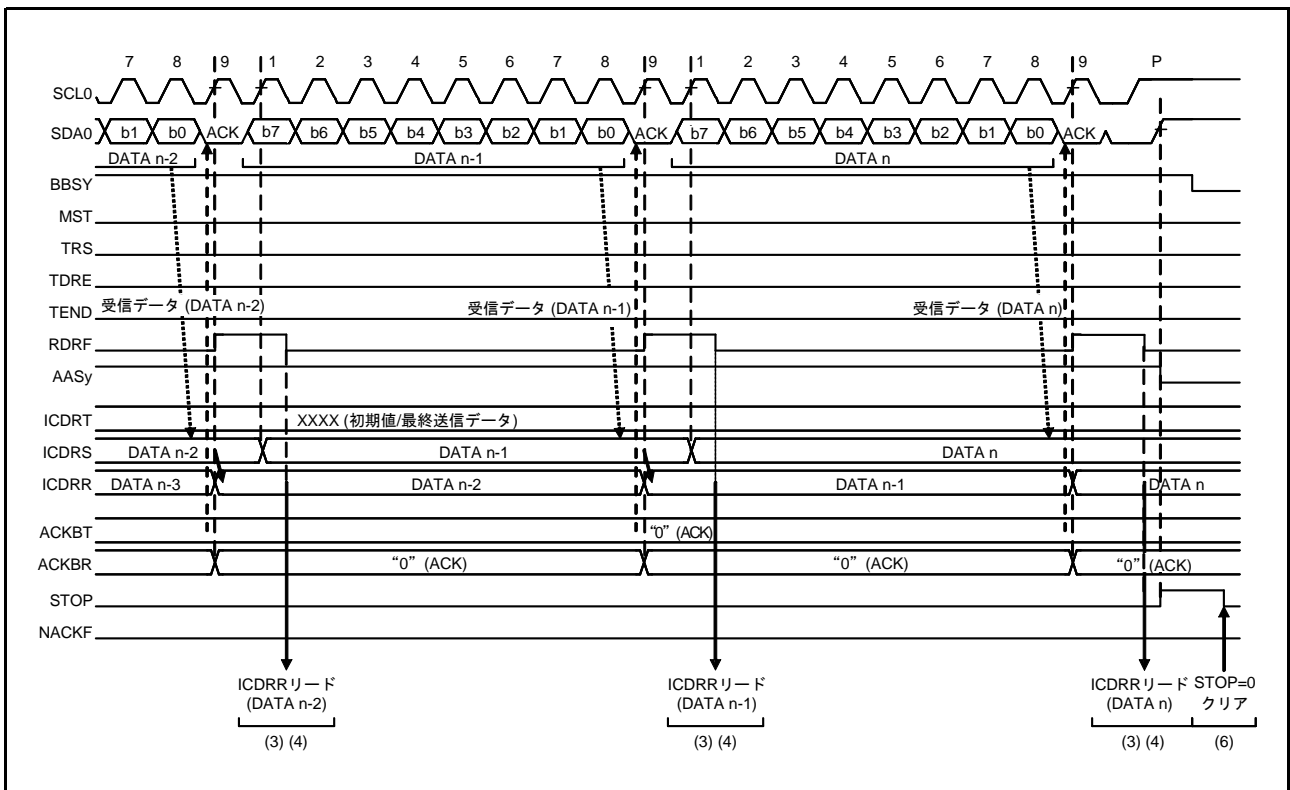


図 24.20 スレーブ受信の動作タイミング (2) (RDRFS ビット = 0 のとき)

24.4 SCL 同期回路

RIIC の SCL クロック生成は SCL0 ラインの立ち上がりを検出すると、ICBRH レジスタで設定された High 幅のカウンタを開始し、High 幅のカウンタが終了すると SCL0 ラインを Low にドライブして立ち下げます。また SCL0 ラインの立ち下がりを検出すると、ICBRL レジスタで設定された Low 幅のカウンタを開始し、Low 幅のカウンタが終了すると SCL0 ラインの Low ドライブを終了して SCL0 ラインを開放します。これにより SCL クロックを生成します。

I²C バスをマルチマスタで使用する場合、SCL クロックは他のマスタデバイスとの競合により SCL クロック同士が衝突する場合があります。SCL クロックが衝突した場合、マスタデバイスは SCL クロックの同期化を行う必要があります。この SCL クロックの同期はビットごとに行う必要があります。RIIC はマスタモード時に SCL0 ラインを監視してビットごとに同期を取りながら SCL クロックを生成する機能 (SCL 同期回路) を備えています。

RIIC が SCL0 ラインの立ち上がりを検出し ICBRH レジスタで設定された High 幅のカウンタ中に他のマスタデバイスの SCL クロック出力により SCL0 ラインが立ち下げられた場合、RIIC は SCL0 ラインの立ち下がりを検出すると High 幅のカウンタアップ動作を中断し、SCL0 ラインの Low ドライブを行うのと同時に ICBRL レジスタで設定された Low 幅のカウンタアップを開始します。Low 幅のカウンタが終了すると SCL0 ラインの Low ドライブを終了して SCL0 ラインを開放します。このとき他のマスタデバイスの SCL クロックの Low 幅が RIIC で設定された Low 幅よりも長い場合、SCL クロックの Low 幅は延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCL0 ラインが開放され SCL クロックが立ち上がります。そのため SCL クロック出力衝突時の SCL クロックの High 幅は短いクロックに同期し、Low 幅は長いクロックに同期化されます。なお、この SCL 同期は ICFER.SCLE ビットが“1”のとき有効です。

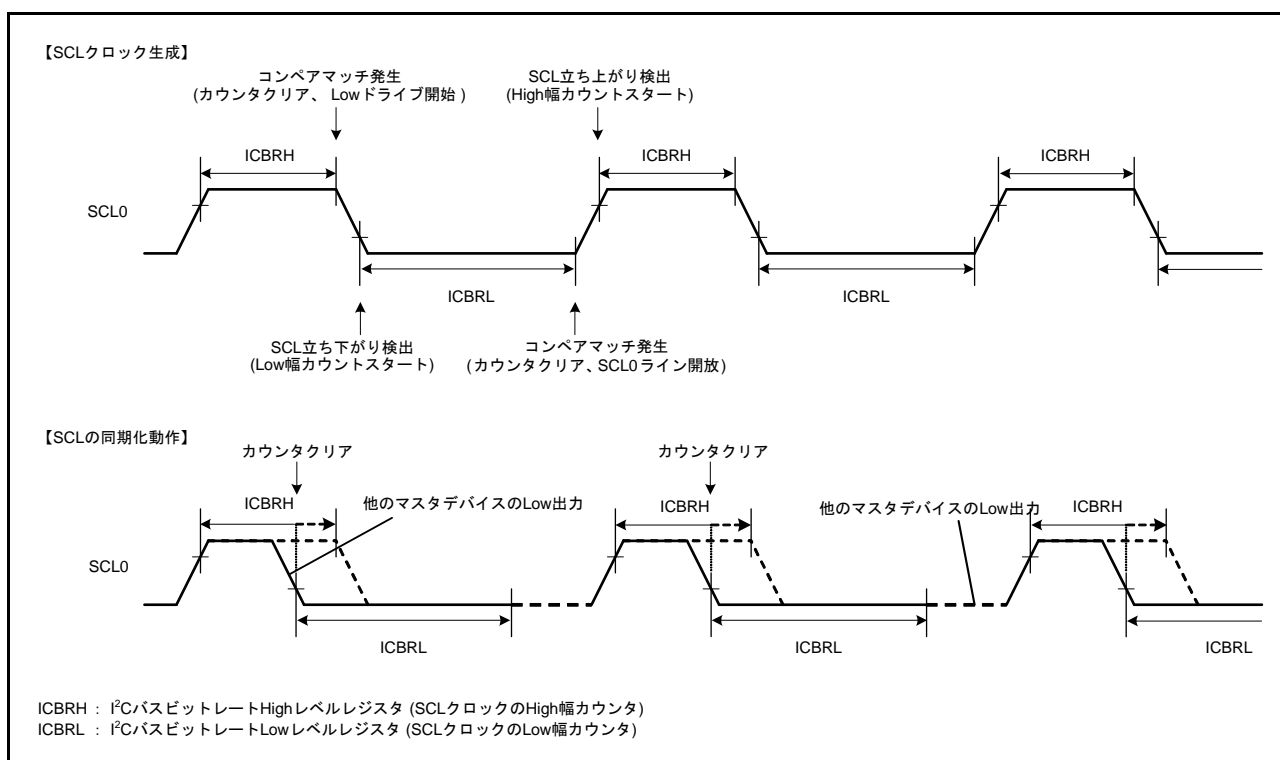


図 24.21 RIIC の SCL クロック生成および SCL 同期化動作

24.5 SDA出力遅延機能

RIICはSDA出力遅延機能を備えています。SDA出力遅延機能は、すべてのSDA出力タイミング(発行動作(開始/再開/停止)、データ出力、ACK/NACK出力)を遅延させることができます。

SDA出力遅延機能は、SCLクロックの立ち上がり検出からSDA出力を遅延させ、確実にSCLクロックのLow期間中にSDA出力を行うことで、通信デバイスの誤認動作を防ぐ目的で使用する機能で、SMBusのデータホールド時間: 300 ns (min)の仕様を満たす目的でも使用することができます。

このSDA出力遅延機能はICMR2.SDDL[2:0]ビットが“000b”以外のとき有効で、SDDL[2:0]ビットが“000b”のとき無効です。

SDA出力遅延機能が有効(SDDL[2:0]ビットが“000b”以外)のとき、SDA出力遅延カウンタはICMR2.DLCSビットで選択された内部基準クロック(IICφ)またはその2分周クロック(IICφ/2)をカウントソースとしてSDDL[2:0]ビットで設定されたサイクル数分のカウント動作を行い、遅延サイクル分のカウントが終了した時点でRIICはSDA出力(発行動作(開始/再開/停止)、データ出力、ACK/NACK出力)を行います。

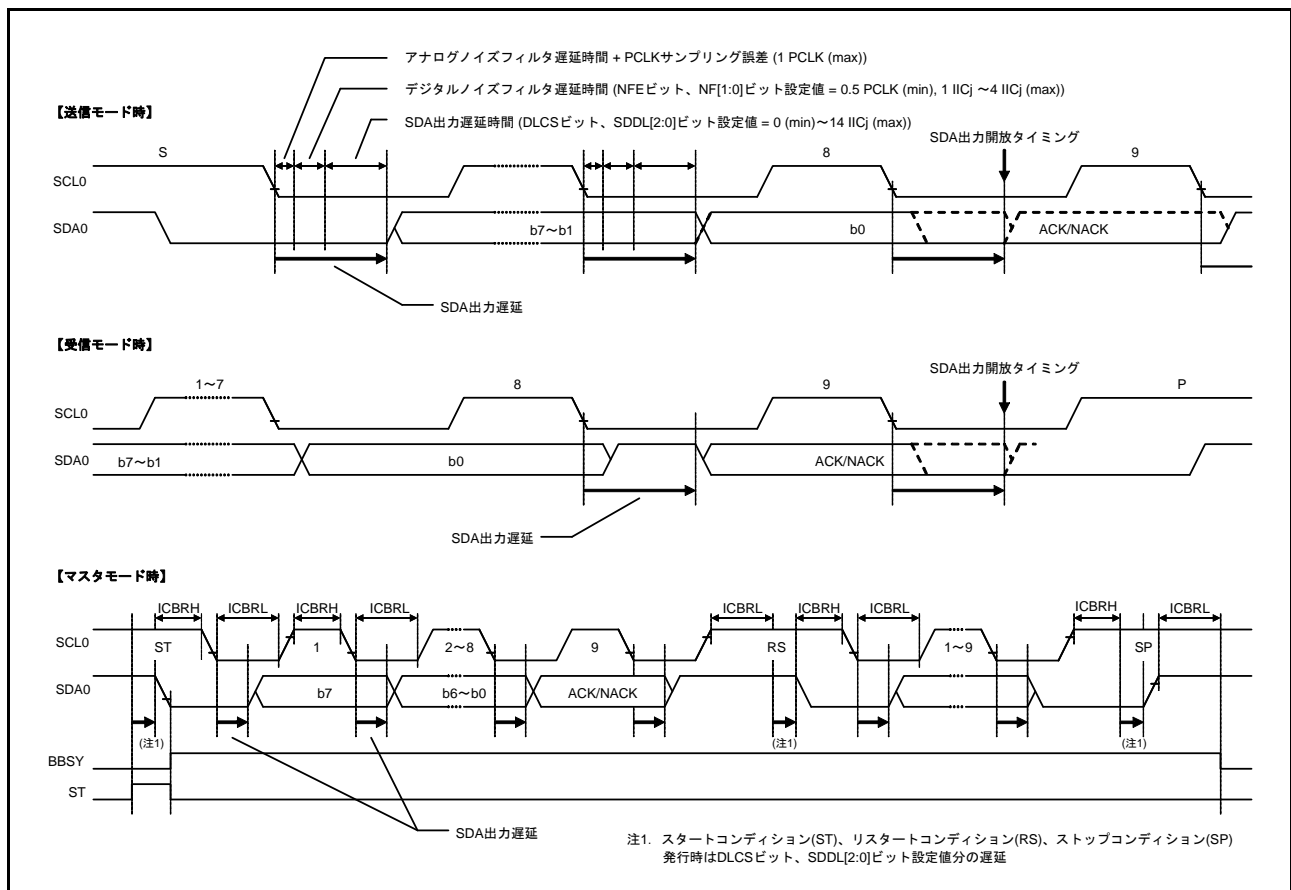


図 24.22 SDA出力遅延タイミング

24.6 デジタルノイズフィルタ回路

SCL0 端子および SDA0 端子の状態は、アナログノイズフィルタ回路およびデジタルノイズフィルタ回路を経由して内部に取り込まれます。図 24.23 にデジタルノイズフィルタ回路のブロック図を示します。

RIIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。

デジタルノイズフィルタの有効段数は ICMR3.NF[1:0] ビットで選択し、ノイズ除去能力は選択した有効段数に応じて $1 IIC\phi \sim 4 IIC\phi$ サイクル分となります。

SCL0 端子入力信号 (または SDA0 端子入力信号) は $IIC\phi$ の立ち下がり でサンプリングされ、ICMR3.NF[1:0] ビットで設定された有効段数のフリップフロップ回路出力がすべて一致したとき、そのレベルが内部信号として伝えられ、一致しない場合は前の値を保持します。

なお、 $PCLK = 4 \text{ MHz}$ 時の 400 kbps 通信のように内部動作クロック (PCLK) と通信速度の比が小さい場合、デジタルノイズフィルタの特性上、ノイズ発生時に必要な信号まで除去してしまう場合があります。そのような場合は、デジタルノイズフィルタ回路の使用を禁止 (ICFER.NFE ビット = 0) し、アナログノイズフィルタ回路のみを使用することが可能です。

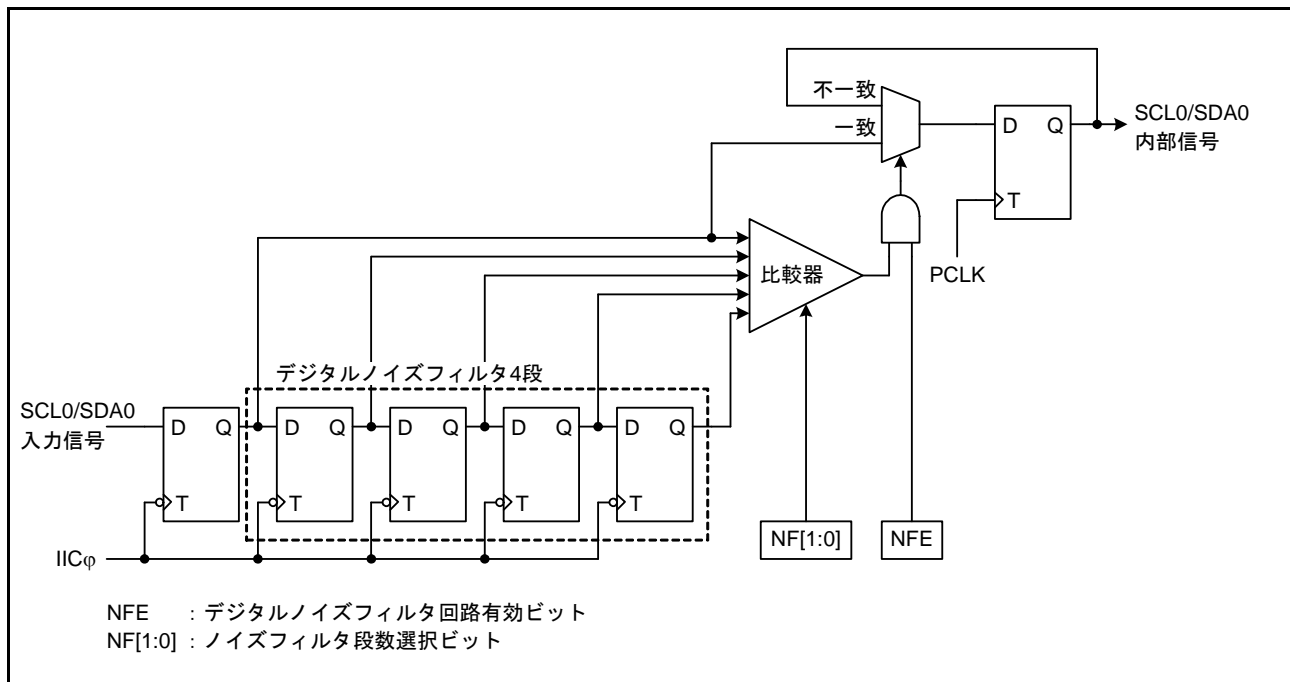


図 24.23 デジタルノイズフィルタ回路のブロック図

24.7 アドレス一致検出機能

RIICはジェネラルコールアドレス、ホストアドレスの他に3種類のスレーブアドレスを設定可能です。またスレーブアドレスには7ビットアドレスまたは10ビットアドレスの設定が可能です。

24.7.1 スレーブアドレス一致検出機能

RIICは3種類のスレーブアドレスを設定可能で、それぞれに応じたスレーブアドレス検出機能を備えています。ICSER.SARyEビット(y=0~2)が“1”のとき、SARUy/SARLyレジスタ(y=0~2)に設定されたスレーブアドレスを検出することができます。

RIICは設定されたスレーブアドレス一致を検出すると、SCLクロックの9クロック目の立ち上がりで該当するICSR1.AASyフラグ(y=0~2)を“1”にし、続くR/W#ビットによりICSR2.RDRFフラグまたはICSR2.TDREフラグを“1”にします。これにより受信データフル割り込み(RXI)または送信データエンpty割り込み(TXI)を発生させることができ、AASyフラグを確認することでどのスレーブアドレスが指定されたかを識別することができます。

図24.24~図24.26にAASyフラグが“1”になるタイミングを示します。

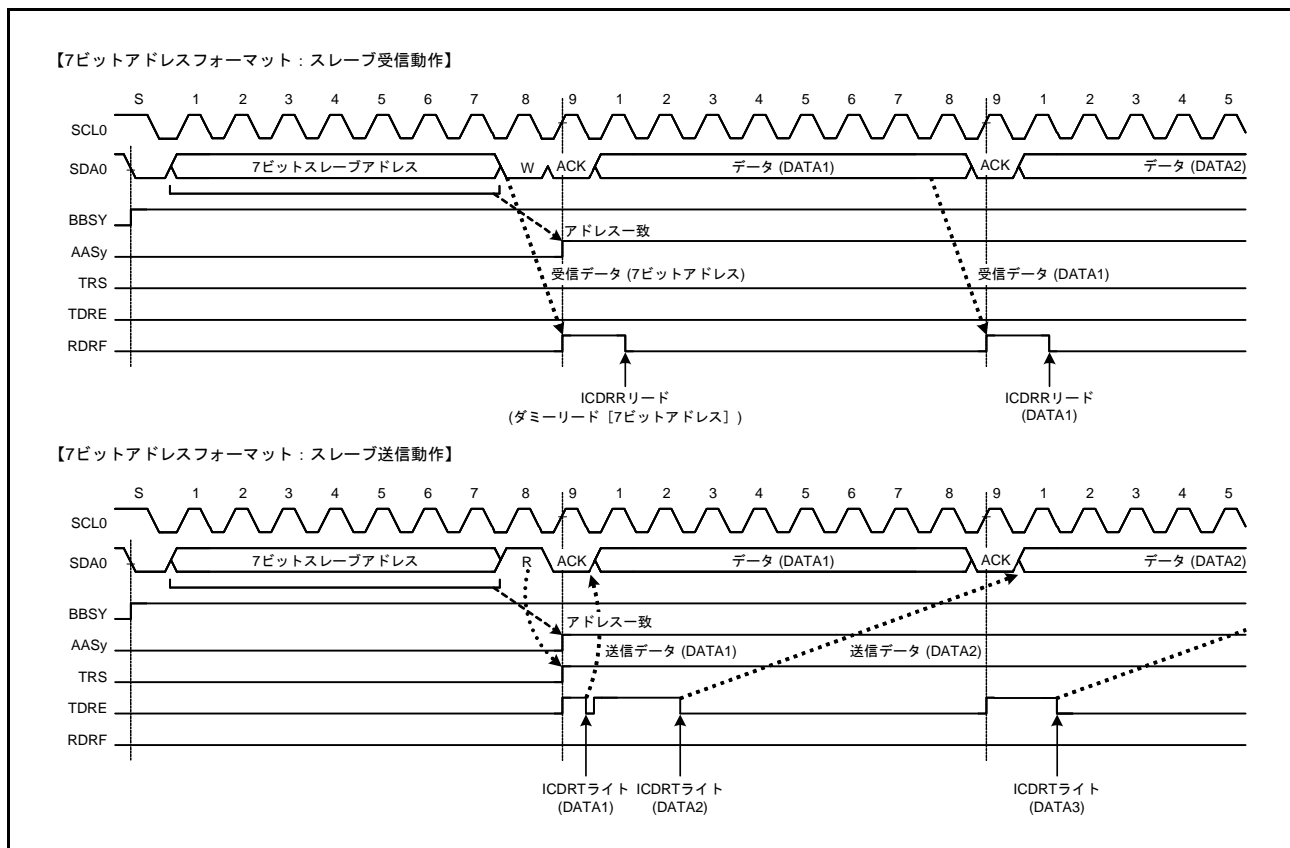


図 24.24 7ビットアドレスフォーマット選択時にAASyフラグが“1”になるタイミング

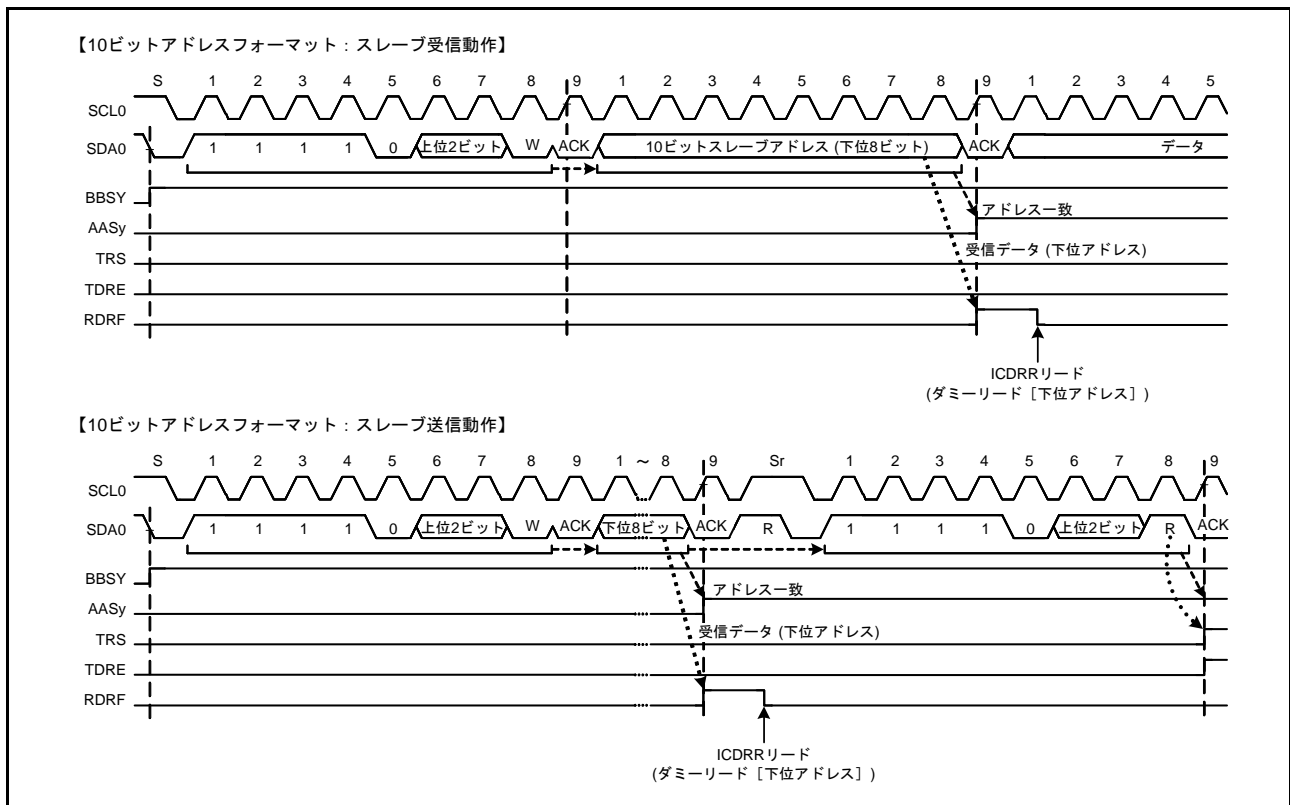


図 24.25 10ビットアドレスフォーマット選択時にAASyフラグが“1”になるタイミング

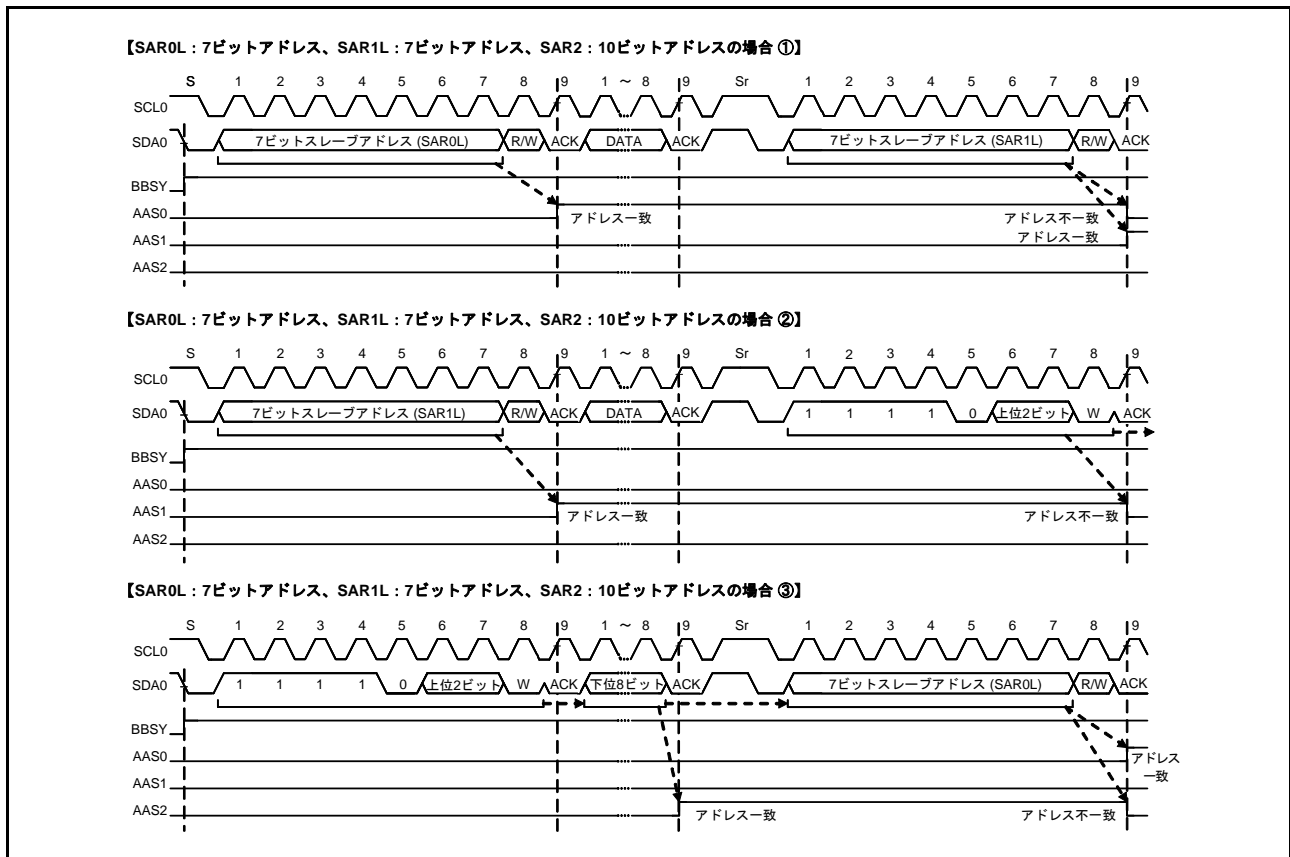


図 24.26 7ビット/10ビットアドレスフォーマット混在時にAASyフラグが“1”または“0”になるタイミング

24.7.2 ジェネラルコールアドレス検出機能

RIICはジェネラルコールアドレス(0000 000b + 0 (write))の検出機能を備えています。ICSER.GCAEビットが“1”のとき、ジェネラルコールアドレスを検出することができます。

スタートコンディションまたはリスタートコンディション後のアドレスが0000 000b + 1 (read) (スタートバイト)だった場合、RIICはこのアドレスをAll“0”のスレーブアドレスと認識し、ジェネラルコールアドレスとみなしません。

RIICはジェネラルコールアドレスを検出すると、SCLクロックの9クロック目の立ち上がりでICSR1.GCAフラグを“1”にし、同時にICSR2.RDRFフラグを“1”にします。これにより受信データフル割り込み(RXI)を発生させることができ、GCAフラグを確認することでジェネラルコールアドレスが送信されたことを認識することができます。

なお、ジェネラルコールアドレス検出後の動作は通常のスレーブ受信動作と同じです。

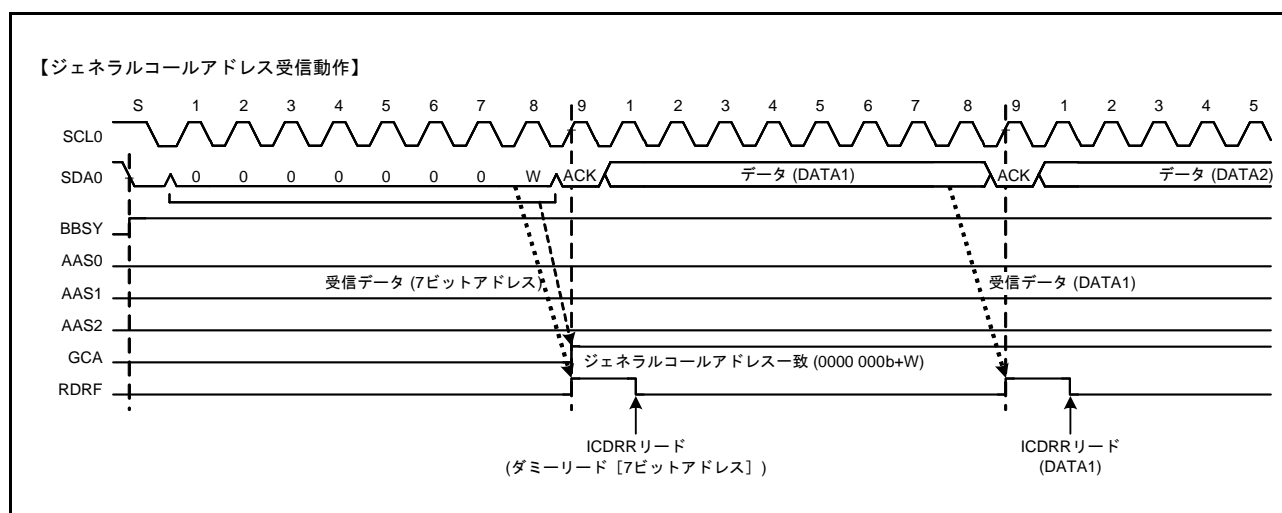


図 24.27 ジェネラルコールアドレス受信時に GCA フラグが“1”になるタイミング

24.7.3 デバイス ID アドレス検出機能

RIICはI²Cバス(Rev.03)に準拠したデバイスIDアドレスの検出機能を備えています。ICSER.DIDEビットを“1”にした状態で、スタートコンディションまたはリスタートコンディション後の1バイト目に1111 100bを受信すると、RIICはこのアドレスをデバイスIDアドレスと認識し、続くR/W#ビットが“0”のときSCLクロックの8クロック目の立ち上がりでICSR1.DIDフラグを“1”にした後、2バイト目以降と自スレーブアドレスとの比較動作を行います。この2バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、該当するICSR1.AASyフラグ(y=0~2)が“1”になります。

その後スタートコンディションまたはリスタートコンディション後の1バイト目が再びデバイスIDアドレス(1111 100b)と一致し、続くR/W#ビットが“1”のときRIICは続く2バイト目以降はアドレス比較動作を行わず、ICSR2.TDREフラグを“1”にします。

デバイスIDアドレス検出機能は、自スレーブアドレスと不一致あるいは自スレーブアドレス一致後のリスタートコンディション後のアドレスがデバイスIDアドレスと不一致の場合、DIDフラグを“0”にし、スタートコンディションまたはリスタートコンディション後の1バイト目がデバイスIDアドレス(1111 100b)と一致し、かつR/W#ビットが“0”のときDIDフラグを“1”にセットし、続く2バイト目以降をスレーブアドレスと比較します。R/W#ビットが“1”の場合、DIDフラグは前値の状態を継続し、2バイト目以降のスレーブアドレス比較を行いません。そのため、TDREフラグが“1”であることを確認後DIDフラグをチェックすることで、デバイスIDを受信したことを確認することができます。

なお、一連のデバイスID受信後にホストに送信するデバイスIDフィールドとして必要な情報(3バイト分: メーカー[12ビット]+部品識別[9ビット]+リビジョン[3ビット])は、通常の送信データと同様あらかじめ準備してください。また、デバイスIDフィールドに必要な情報の詳細についてはNXP社にお問い合わせください。

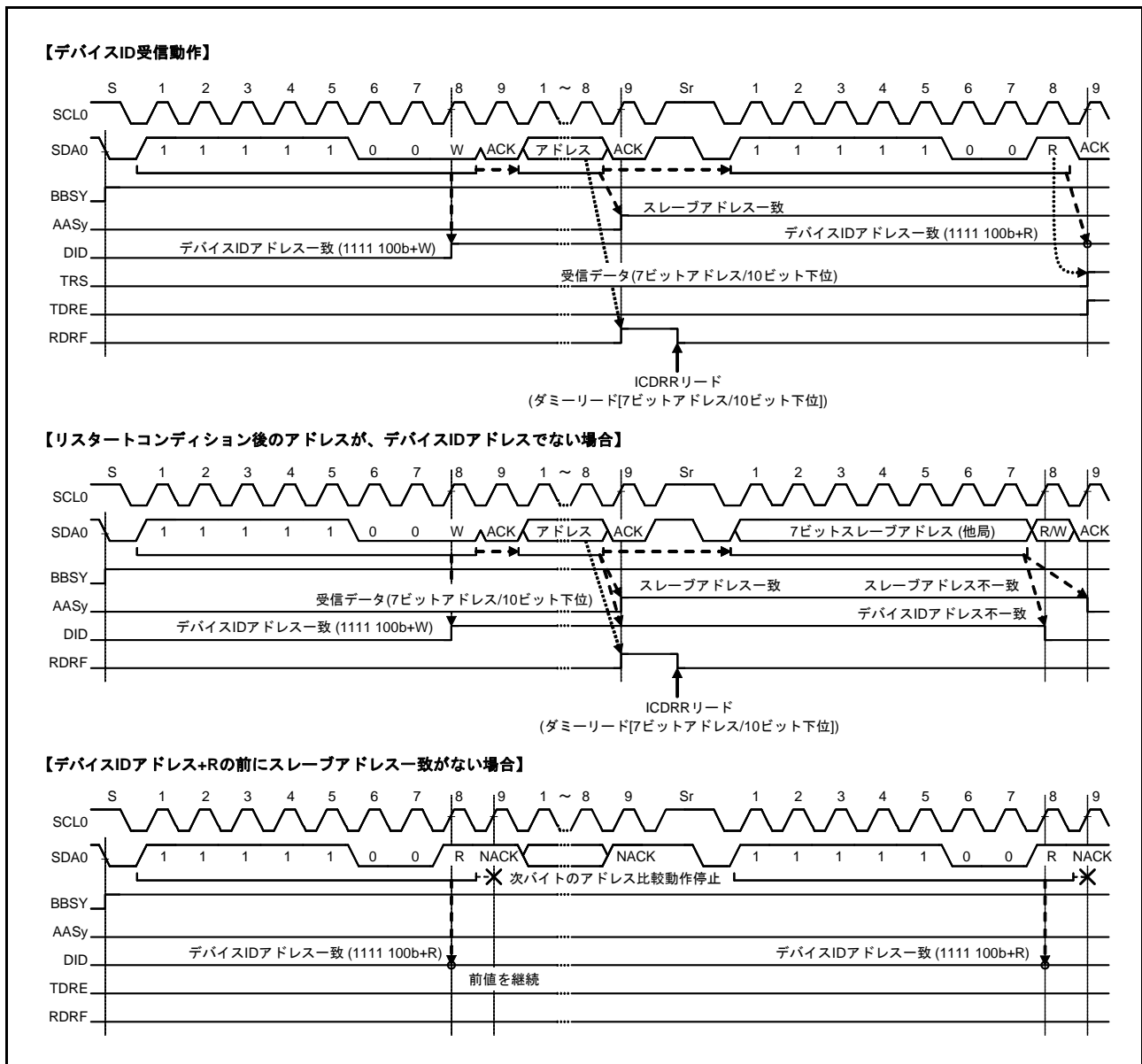


図 24.28 デバイス ID アドレス受信時の AASy、DID フラグセット/クリアタイミング

24.7.4 ホストアドレス検出機能

RIICにはSMBus動作時にホストアドレス検出機能を備えています。ICMR3.SMBSビットが“1”のときICSER.HOAEビットを“1”にすると、スレーブ受信モード (ICCR2.MST, TRSビット=00b) にホストアドレス (0001 000b) を検出することが可能です。

RIICはホストアドレスを検出すると、SCLクロックの9クロック目の立ち上がりでICSR1.HOAフラグを“1”にし、Wrビット (R/W#ビットに“0”を受信) のときICSR2.RDRFフラグを“1”にします。これにより受信データフル割り込み (RXI) を発生させることができ、HOAフラグを確認することでスマートバッテリーなどからホストアドレスが送信されたことを認識することができます。

なお、ホストアドレス (0001 000b) に続くビットがRdビット (R/W#ビットに“1”を受信) の場合においてもホストアドレスを検出することが可能です。また、ホストアドレス検出後の動作は通常のスレーブ動作と変わりありません。

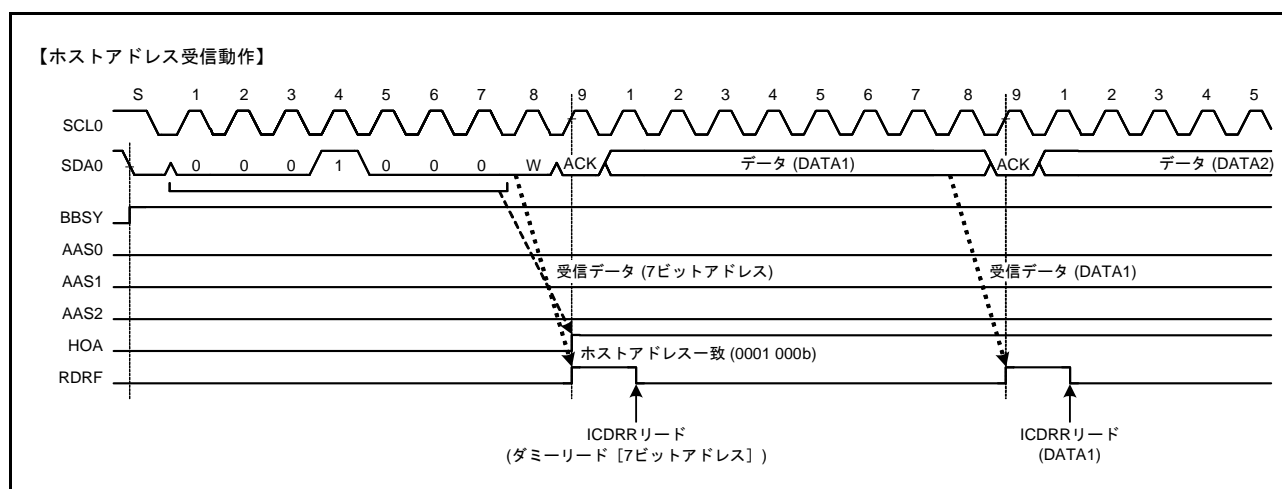


図 24.29 ホストアドレス受信時に HOA フラグが“1”になるタイミング

24.8 SCLの自動Lowホールド機能

24.8.1 送信データ誤送信防止機能

RIICは送信モード時(ICCR2.TRSビット=1)、シフトレジスタ(ICDRSレジスタ)が空の状態かつ送信データ(ICDRTレジスタ)が書かれていない場合、以下に示す区間、自動的にSCL0ラインのLowホールドを行います。このLowホールドは送信データの書き込みが行われるまでの期間Low区間を延長し、意図しない送信データの誤送信を防止します。

《マスタ送信モード》

- スタートコンディション/リスタートコンディション発行後のLow区間
- 9クロック目と1クロック目のLow区間

《スレーブ送信モード》

- 9クロック目と1クロック目のLow区間

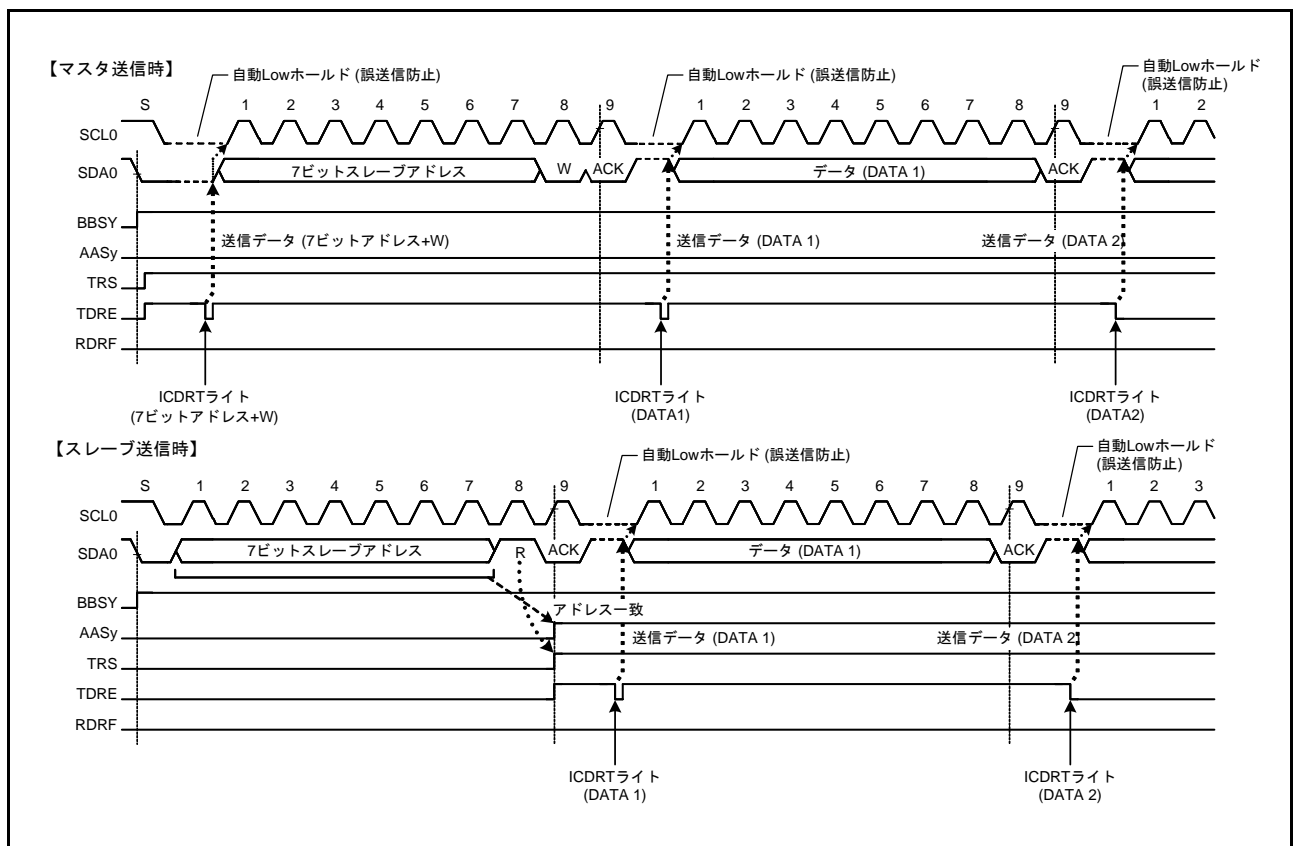


図 24.30 送信モードの自動 Low ホールド動作

24.8.2 NACK 受信転送中断機能

RIICは送信モード時(ICCR2.TRSビット=1)にNACKを受信した場合、転送動作を中断する機能を備えています。この機能はICFER.NACKEビットが“1”(転送中断許可)のとき有効で、NACK受信時にすでに次の送信データが書き込まれていた場合(ICSR2.TDREフラグ=0の状態)、SCLクロックの9クロック目の立ち下がり時の次のデータ送信動作を自動的に中断します。これにより次送信データのMSBが“0”のときのSDA0ラインLow出力固定を防止することができます。

なおNACK受信転送中断機能で転送動作が中断された場合(ICSR2.NACKFフラグ=1)、以後の送信動作および受信動作は行いません。動作を再開するにはNACKFフラグを“0”にしてください。またマスタ送信モードの場合にはNACKFフラグを“0”にした後、リスタートコンディション発行またはストップコンディション発行後にスタートコンディション発行を行って、動作をやり直してください。

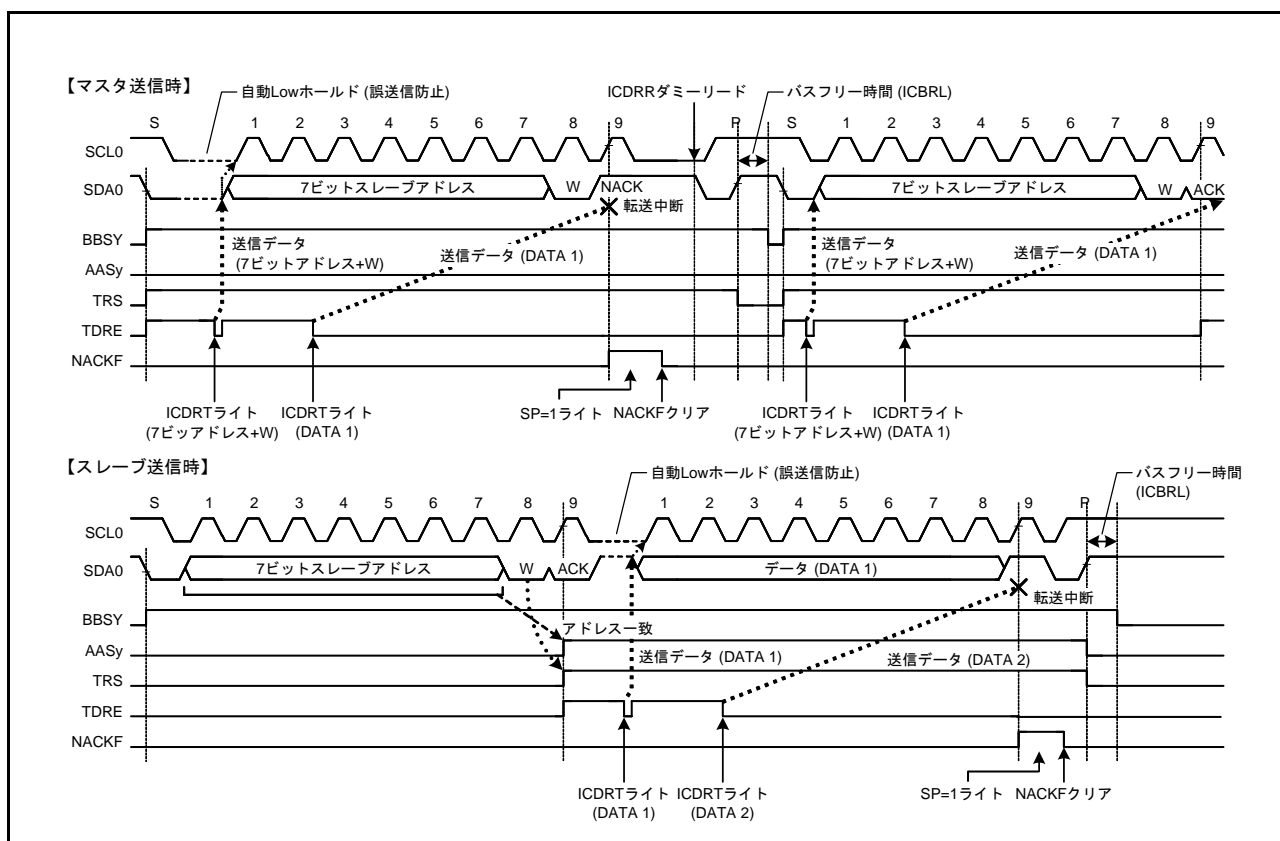


図 24.31 NACK 受信時の転送中断動作 (NACKE ビット = 1 のとき)

24.8.3 受信データ取りこぼし防止機能

RIICは受信モード時(ICCR2.TRSビット=0)、受信データフル(ICSR2.RDRFフラグ=1)の状態を受信データ(ICDRTレジスタ)の読み出しが1転送バイト以上遅れるなどの応答処理遅延が発生した場合、次のデータ受信の1つ手前で自動的にSCL0ラインのLowホールドを行い、受信データの取りこぼしを未然に防止します。

この自動Lowホールドによる取りこぼし防止機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディション後に自スレーブアドレスを指定された場合にも有効で、ストップコンディション後自スレーブアドレスと不一致の場合にはこのLowホールドは行わないため、他の通信を阻害しません。

また、RIICではICMR3.WAIT, RDRFSビットの組み合わせによりLowホールドを行う区間を選択することができます。

(1) WAIT ビットによる1バイト受信動作 / 自動 Low ホールド機能

ICMR3.WAIT ビットを“1”にすると、RIICはWAIT ビット機能による1バイト受信動作になります。ICMR3.RDRFS ビットが“0”のとき、RIICはSCLクロックの8クロック目の立ち下がりから9クロック目の立ち下がり期間のアクノリッジビットには自動的にICMR3.ACKBT ビットの内容が送出され、9クロック目立ち下がりを検出するとWAIT ビット機能により自動的にSCL0ラインをLowにホールドします。このLowホールドはICDRRレジスタの読み出しによって解除されます。そのため1バイトごとの受信動作が可能となります。

なおWAIT ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス(ジェネラルコールアドレス、ホストアドレス含む)と一致した以降の受信バイトから有効になります。

(2) RDRFS ビットによる1バイト受信動作 (ACK/NACK 送出制御) / 自動 Low ホールド機能

ICMR3.RDRFS ビットを“1”にすると、RIICはRDRFS ビット機能による1バイト受信動作になります。RDRFS ビットを“1”にすると、受信データフルフラグ(ICSR2.RDRF フラグ)が“1”になるタイミングがSCLクロックの8クロック目の立ち上がりに変更され、8クロック目の立ち下がりを検出すると自動的にSCL0ラインをLowにホールドします。このLowホールドはICMR3.ACKBT ビットへの書き込みによって解除され、ICDRRレジスタの読み出しでは解除されません。そのため1バイトごとに受信したデータの内容に応じたACK/NACK 送出の受信動作が可能となります。

なおRDRFS ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス(ジェネラルコールアドレス、ホストアドレス含む)と一致した以降の受信バイトから有効になります。

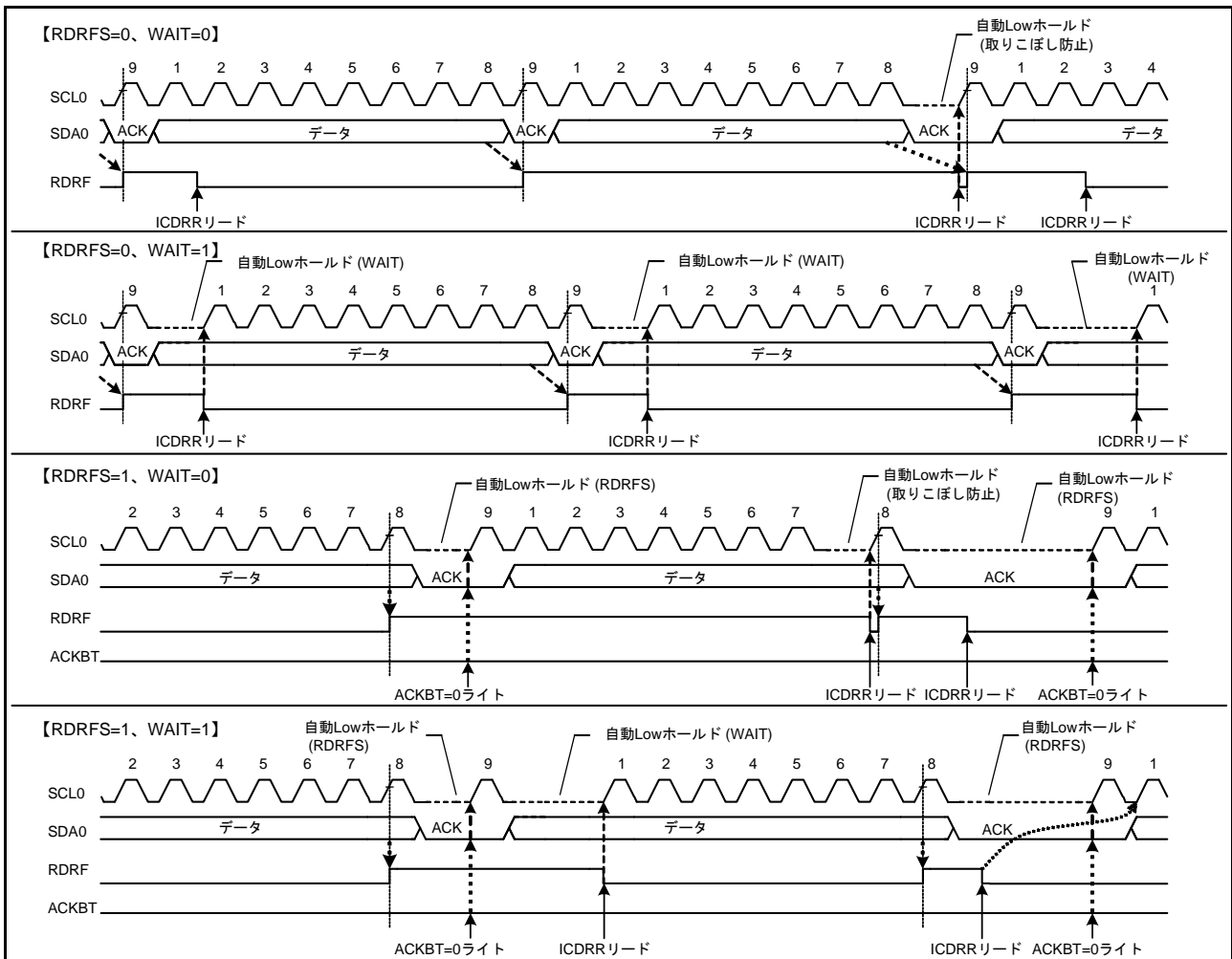


図 24.32 受信モードの自動 Low ホールド動作 (RDRFS、WAIT ビット)

24.9 アービトレーションロスト検出機能

RIICにはI²Cバス仕様で定められている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK送信時のアービトレーションロスト検出やスレーブ送信時におけるアービトレーションロスト検出機能も備えています。

24.9.1 マスタアービトレーションロスト検出機能(MALEビット)

RIICはスタートコンディション発行の際SDA0ラインをLowにしますが、これよりも早く他のマスタデバイスがスタートコンディションを発行してSDA0ラインをLowにした場合、アービトレーションロストを発生させ、他のマスタデバイスの通信を優先します。同様にICCR2.BBSYフラグが“1”(バスビジー中)のときにICCR2.STビットを“1”にするとアービトレーションロストが発生し、他のマスタデバイスの通信を優先します。スタートコンディションは生成しません。

またスタートコンディション発行が正常に行われた場合、アドレス送信を含む送信データ(SDA信号)とSDA0ラインに不一致が生じた場合(SDA出力がHigh出力(SDA0端子はハイインピーダンス)で、SDAラインにLowを検出したとき)、アービトレーションロストを発生させます。

マスタアービトレーションロストが発生した場合、RIICはスレーブ受信モードに移行します。このときジェネラルコールアドレスを含むスレーブアドレス一致があった場合にはスレーブ動作を継続します。

なおマスタアービトレーションロスト検出は、ICFER.MALEビットが“1”(マスタアービトレーションロスト検出許可)の状態以下に示す条件が成立したとき、アービトレーションロストを検出します。

[マスタアービトレーションロスト条件]

- ICCR2.BBSYフラグが“0”の状態(ICCR2.STビットを“1”)にしてスタートコンディションを発行したときにSDA信号とSDA0ライン上の信号の状態が不一致のとき(スタートコンディション発行エラー)
- ICCR2.BBSYフラグが“1”でICCR2.STビットを“1”)にしたとき(スタートコンディション二重発行エラー)
- マスタ送信モード時(ICCR2.MST, TRSビット=11b)、アクノリッジを除く送信データ(SDA信号)とSDA0ライン上の信号の状態が不一致のとき

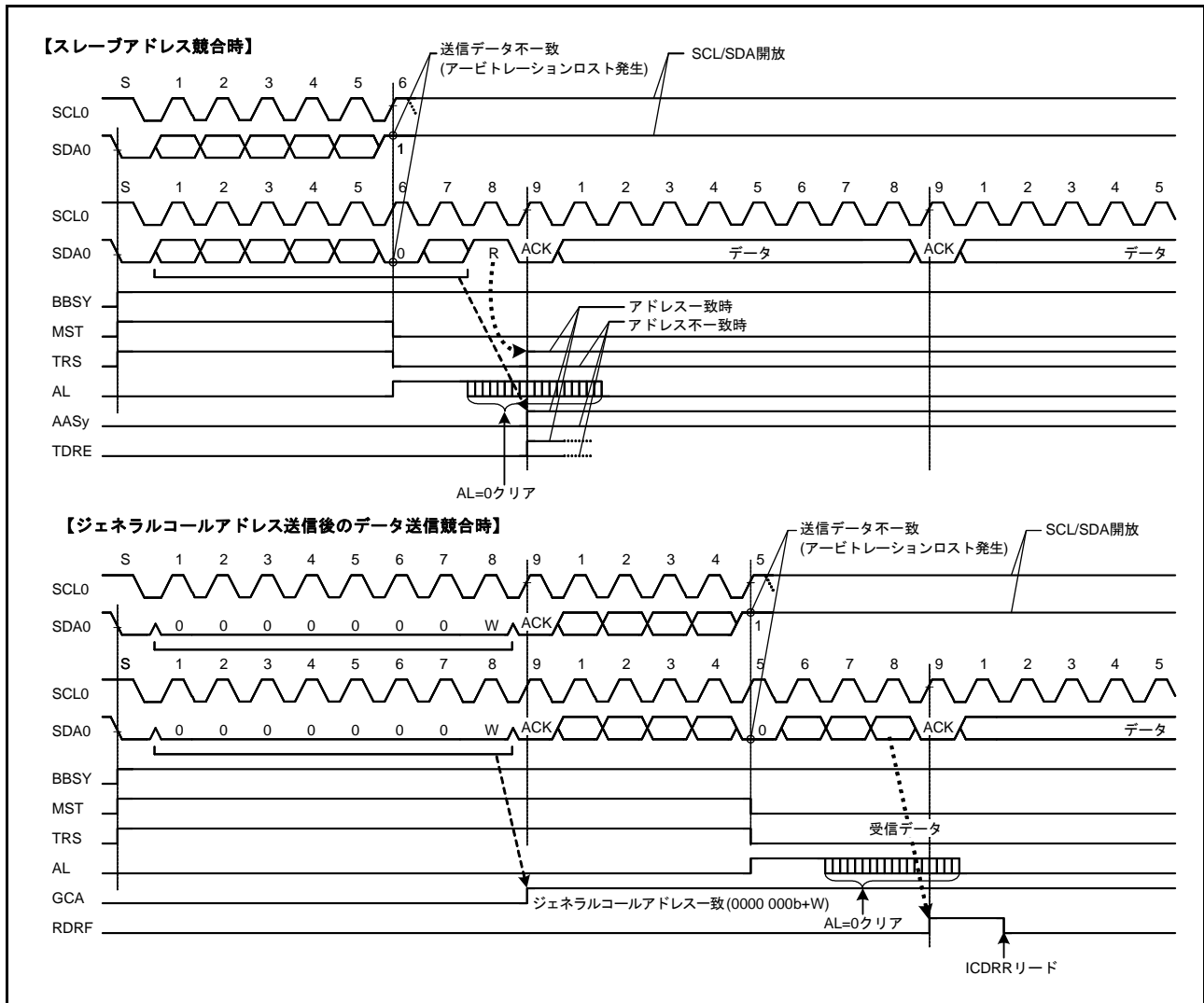


図 24.33 マスターアービトレーションロスト検出動作例 (MALE ビット = 1 のとき)

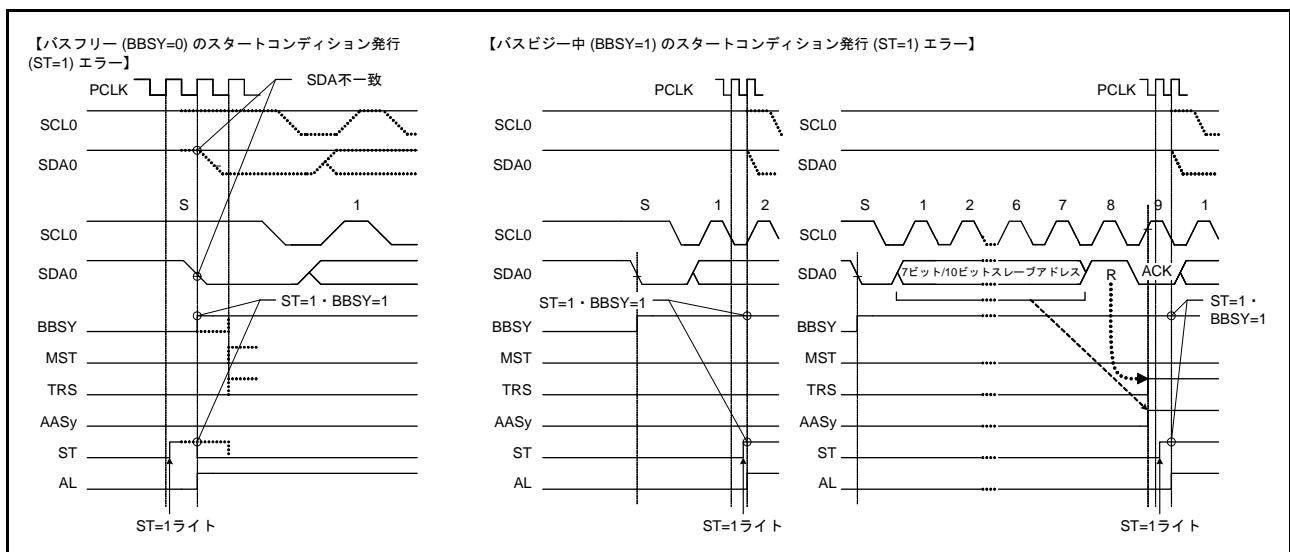


図 24.34 スタートコンディション発行時のアービトレーションロスト (MALE ビット = 1 のとき)

24.9.2 NACK 送信アービトレーションロス検出機能 (NALE ビット)

RIICは受信モード時でNACK送信時に出力したSDA信号とSDA0ライン上の信号の状態が不一致の場合(SDA出力がHigh出力(SDA0端子はハイインピーダンス)で、SDA0ラインにLowを検出したとき)、アービトレーションロストを発生させる機能を備えています。このアービトレーションロス機能は、主にマルチマスタのシステムにおいて2つ以上のマスタが同時に同一スレーブデバイスからデータを受信する際にNACK送信とACK送信が衝突することで発生します。これは2つ以上のマスタデバイスが1つのスレーブデバイスを介して共通の情報のやり取りする際に起こり得ます。図24.35にNACK送信アービトレーションロス検出動作例を示します。

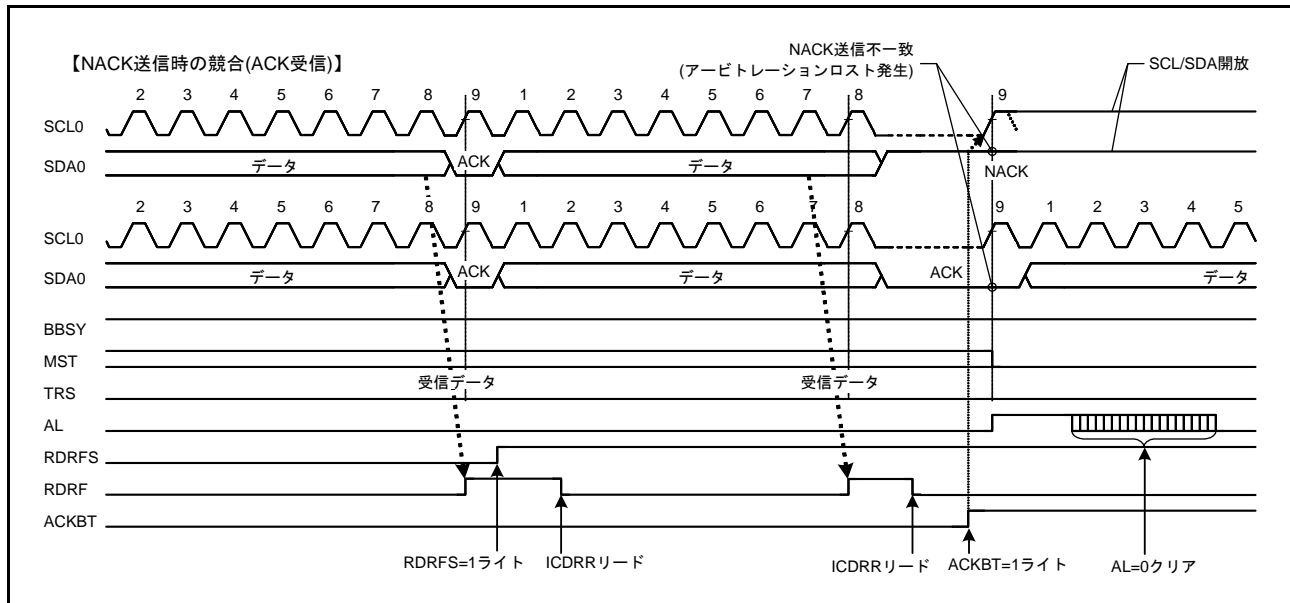


図 24.35 NACK 送信アービトレーションロス検出動作例 (NALE ビット = 1 のとき)

2つのマスタデバイス(マスタA、マスタB)と1つのスレーブデバイスがバス上に接続されている場合に例に挙げて説明します。マスタAはスレーブデバイスから2バイト受信、マスタBはスレーブデバイスから4バイト分のデータ受信を行うものとします。

このときマスタAとマスタBが同時にスレーブデバイスをアクセスした場合、スレーブアドレスは同じであるため、マスタA、マスタBともスレーブデバイスアクセス時にアービトレーションロスが発生しません。そのためマスタA、マスタBともどちらもバス権を取得したものと認識して動作します。ここでマスタAは、スレーブデバイスから最終バイトである2バイト分の受信が完了した時点でNACKを送信します。一方マスタBは、スレーブデバイスから必要な4バイト受信に満たないためACK送信を行います。このときマスタAのNACK送信とマスタBのACK送信の衝突が発生します。一般的にこのような状況が発生した場合、マスタAはマスタBが出したACK送信を検出できないままストップコンディション発行動作を行うため、マスタBのSCLクロック出力と競合し通信を障害します。

RIICはこのようなNACK送信時にACKを受信した場合、他のマスタデバイスと競合負けが発生したことを検知しアービトレーションロストを発生させることができます。

NACK送信アービトレーションロスが発生した場合、RIICはスレーブ一致状態を解除してスレーブ受信モードに移行します。これによりストップコンディション発行を未然に防ぎ、バスの通信障害を防止することが可能です。

またSMBusのARPコマンド処理において、アサインアドレスのUDID(ユニークデバイスアイデンティファイ)不一致時のNACK送信以降、およびアサインアドレス確定後のGetUDID(汎用)のNACK送信以降の余剰処理("FFh"送信処理)を省くことができます。

なお NACK 送信アービトレーションロスト検出は、ICFER.NALE ビットが“1”(NACK 送信アービトレーションロスト検出許可)の状態です。以下に示す条件が成立したとき、アービトレーションロストを検出します。

[NACK 送信アービトレーションロスト条件]

- NACK 送信時(ICMR3.ACKBT ビット=1)、出力した SDA 信号と SDA0 ライン上の信号の状態が不一致のとき (ACK を受信したとき)

24.9.3 スレーブアービトレーションロスト検出機能 (SALE ビット)

RIIC は、スレーブ送信時に送信データ (出力した SDA 信号) と SDA0 ライン上の信号の状態に不一致が生じた場合 (出力した SDA 出力が High 出力 (SDA0 端子はハイインピーダンス) で、SDA0 ラインに Low を検出したとき)、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主に SMBus の UDID (ユニークデバイスアイデンティファイ) 送信時に使用します。

スレーブアービトレーションロストが発生した場合、RIIC はスレーブ一致状態を解除してスレーブ受信モードに移行します。

この機能により SMBus の UDID 送信時のデータ衝突検出およびデータ衝突以降の余剰処理 (“FFh” 送信処理) を省くことができます。

なおスレーブアービトレーションロスト検出は、ICFER.SALE ビットが“1”(スレーブアービトレーションロスト検出許可)の状態です。以下に示す条件が成立したとき、アービトレーションロストを検出します。

[スレーブアービトレーションロスト条件]

- スレーブ送信モード時(ICCR2.MST, TRS ビット=01b)、アクノリッジを除く送信データ (出力した SDA 信号) と SDA0 ライン上の信号の状態が不一致のとき

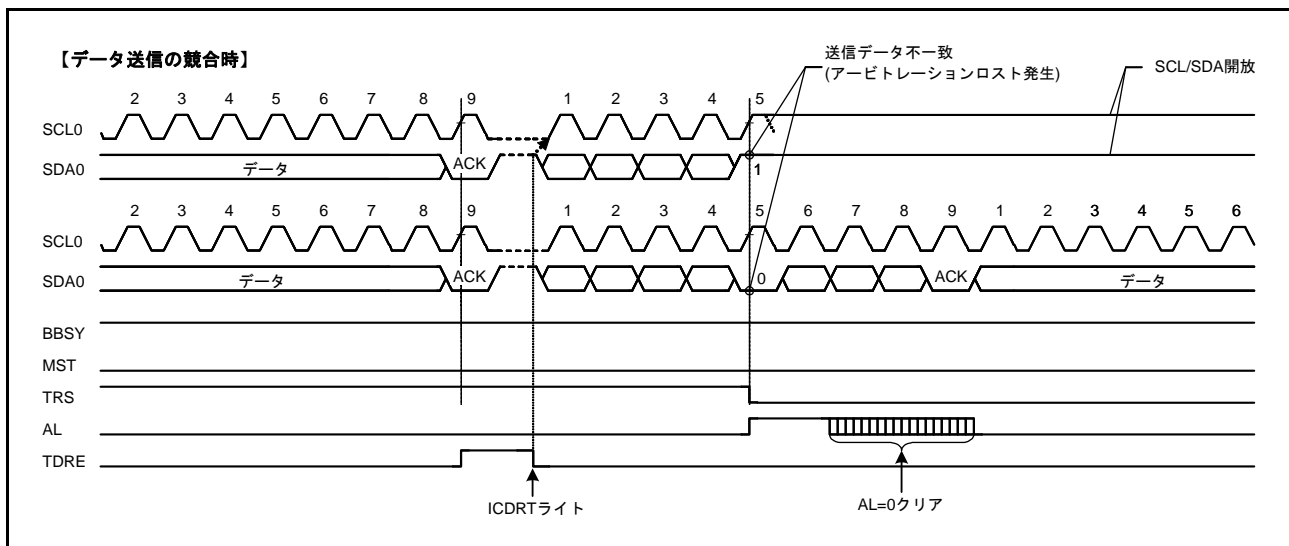


図 24.36 スレーブアービトレーションロスト検出動作例 (SALE ビット = 1 のとき)

24.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

24.10.1 スタートコンディション発行動作

RIICは、ICCR2.STビットによりスタートコンディションの発行を行います。

STビットを“1”にすると、スタートコンディション発行の要求が行われICCR2.BBSYフラグが“0”(バスフリー)の状態のときスタートコンディションの発行を行います。スタートコンディションが正常に発行された場合、RIICは自動的にマスタ送信モードに移行します。

スタートコンディションの発行は、以下のシーケンスに従って行われます。

[スタートコンディション発行動作]

- (1) SDA0ラインを立ち下げ(HighからLowに遷移)
- (2) ICBRHレジスタで設定した時間スタートコンディションのホールド時間を確保
- (3) SCL0ラインを立ち下げ(HighからLowに遷移)
- (4) SCL0ラインのLowを検出後、ICBRLレジスタで設定した時間SCL0ラインのLow幅を確保

24.10.2 リスタートコンディション発行動作

RIICはICCR2.RSビットによりリスタートコンディションの発行を行います。

RSビットを“1”にするとリスタートコンディション発行の要求が行われ、RIICはICCR2.BBSYフラグが“1”(バスビジー)の状態であつICCR2.MSTビットが“1”(マスタモード)のとき、リスタートコンディションの発行を行います。

リスタートコンディションの発行は、以下のシーケンスに従って行われます。

[リスタートコンディション発行動作]

- (1) SDA0ラインを開放
- (2) ICBRLレジスタで設定した時間SCL0ラインのLow幅を確保
- (3) SCL0ラインを開放(LowからHighに遷移)
- (4) SCL0ラインのHigh検出後、ICBRLレジスタで設定した時間リスタートコンディションのセットアップ時間を確保
- (5) SDA0ラインを立ち下げ(HighからLowに遷移)
- (6) ICBRHレジスタで設定した時間リスタートコンディションのホールド時間を確保
- (7) SCL0ラインを立ち下げ(HighからLowに遷移)
- (8) SCL0ラインのLowを検出後、ICBRLレジスタで設定した時間SCL0ラインのLow幅を確保

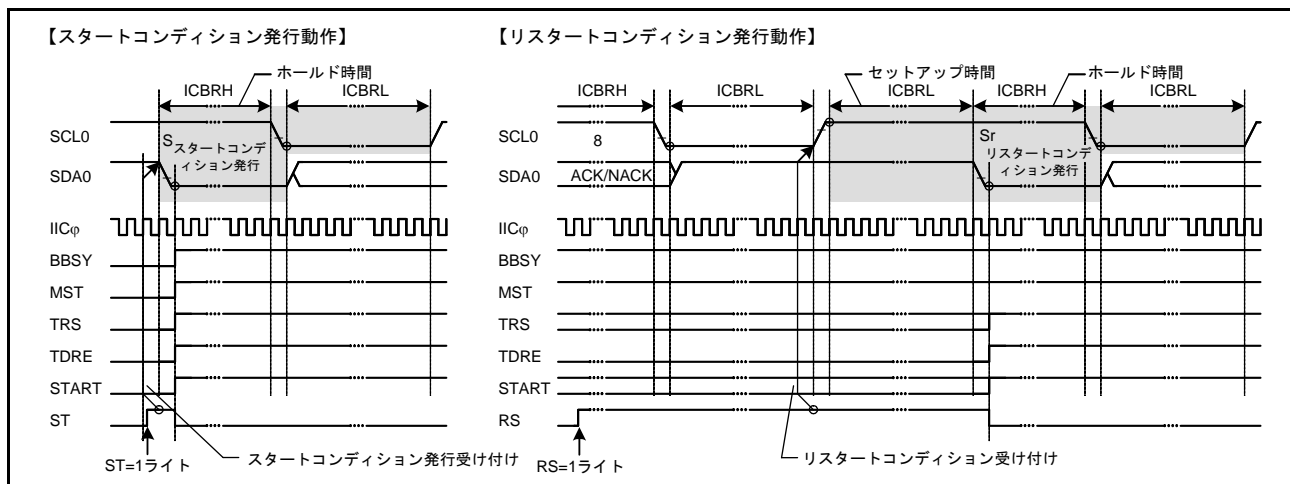


図 24.37 スタートコンディション/リスタートコンディション発行動作タイミング(ST、RSビット)

24.10.3 ストップコンディション発行動作

RIICはICCR2.SPビットによりストップコンディションの発行を行います。

SPビットを“1”にするとストップコンディション発行の要求が行われ、RIICはICCR2.BBSYフラグが“1”(バスビジー)の状態であつICCR2.MSTビットが“1”(マスタモード)のとき、ストップコンディションの発行を行います。

ストップコンディションの発行は、以下のシーケンスに従って行われます。

[ストップコンディション発行動作]

- SDA0ラインを立ち下げ(HighからLowに遷移)
- ICBRLレジスタで設定した時間SCL0ラインのLow幅を確保
- SCL0ラインを開放(LowからHighに遷移)
- SCL0ラインのHigh検出後、ICBRHレジスタで設定した時間ストップコンディションのセットアップ時間を確保
- SDA0ラインを開放(LowからHighに遷移)
- ICBRLレジスタで設定した時間バスフリー時間を確保
- BBSYフラグクリア(バス権解放)

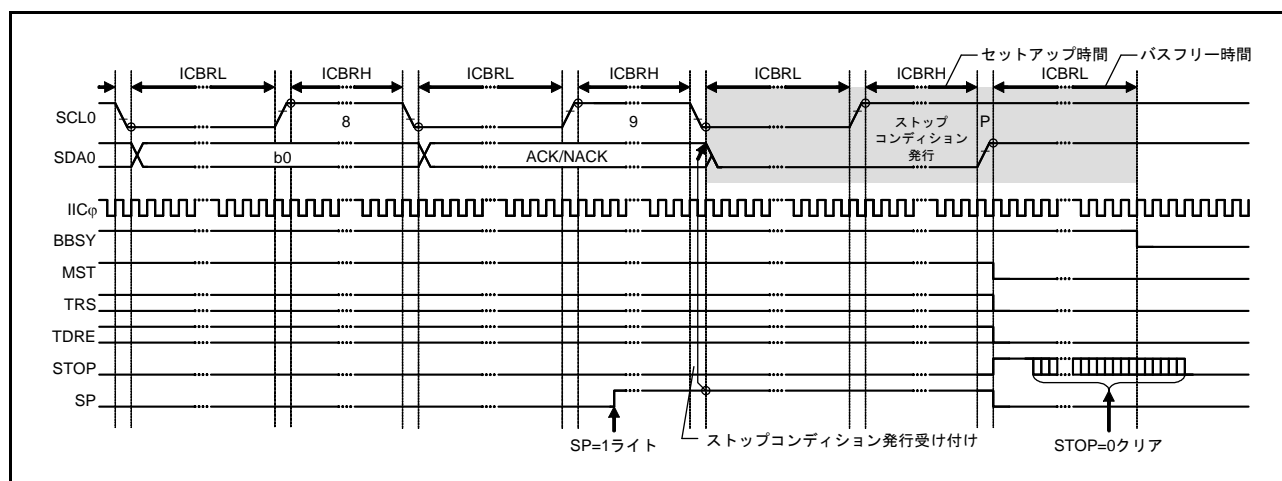


図 24.38 ストップコンディション発行動作タイミング (SPビット)

24.11 バスハングアップ

I²Cバスでは主にノイズ等の影響により、マスタデバイスとスレーブデバイス間で同期ずれが発生すると、SCL0ラインやSDA0ラインが固定されたままバスハングアップを起こす場合があります。

RIICは、このバスハングアップ状態に対しSCL0ラインを監視することで、バスハングアップ状態を検出できるタイムアウト検出機能や、同期ずれによるバスハングアップ状態を解除するためのSCLクロック追加出力機能およびRIICリセット機能、内部リセット機能を備えています。

また、ICCR1.SCL0、SDA0、SCLI、SDAIビットを確認することで、RIIC自身がSCL0ライン/SDA0ラインにLow出力しているか、あるいは通信デバイス側がLow出力しているかどうかを確認することが可能です。

24.11.1 タイムアウト検出機能

RIICにはSCL0ラインに一定時間以上変化が見られない状態を検出するタイムアウト検出機能を備えています。RIICは、SCL0ラインがLowまたはHighに固定されたまま一定時間以上経過したことを検知し、バスの異常状態を検出することができます。

タイムアウト検出機能はSCL0ラインの状態を監視し、LowまたはHighの時間を内部カウンタでカウントします。タイムアウト検出機能はSCL0ラインに変化(立ち上がり/立ち下がり)があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCL0ラインに変化がないまま内部カウンタがオーバフローすると、RIICはタイムアウトを検出しバスハングアップを知らせることができます。

このタイムアウト検出機能はICFER.TMOEビットが“1”のとき有効で、以下の期間にSCL0ラインのLow固定またはHigh固定のバスハングアップを検出します。

- マスタモード (ICCR2.MST ビット = 1) で、バスビジー (ICCR2.BBSY フラグ = 1)
- スレーブモード (ICCR2.MST ビット = 0) で、自スレーブアドレス一致 (ICSR1 レジスタ ≠ 00h) かつバスビジー (ICCR2.BBSY フラグ = 1)
- スタートコンディション発行要求中 (ICCR2.ST ビット = 1) で、バスフリー (ICCR2.BBSY フラグ = 0)

タイムアウト検出機能の内部カウンタは、ICMR1.CKS[2:0]ビットで設定された内部基準クロック (IICφ) をカウントソースとして動作し、ロングモード選択時 (ICMR2.TMOS ビット = 0) 16ビットカウンタ、ショートモード選択時 (TMOS ビット = 1) 14ビットカウンタとなります。

また内部カウンタのカウント動作は、SCL0ラインがLowのときカウントさせるか、Highのときカウントさせるか、あるいはその両方をカウントさせるかをICMR2.TMOH, TMOLビットの設定により選択することが可能です。なおTMOH, TMOLビットの両方を“0”にした場合は、内部カウント動作を行いません。

注. タイムアウト検出機能を使用するときは、「24.2.4 I²Cバスモードレジスタ2 (ICMR2)」、「24.2.18 タイムアウト内部カウンタ (TMOCNTL/TMOCNTU)」、「24.3.2 初期設定」を参照してください。

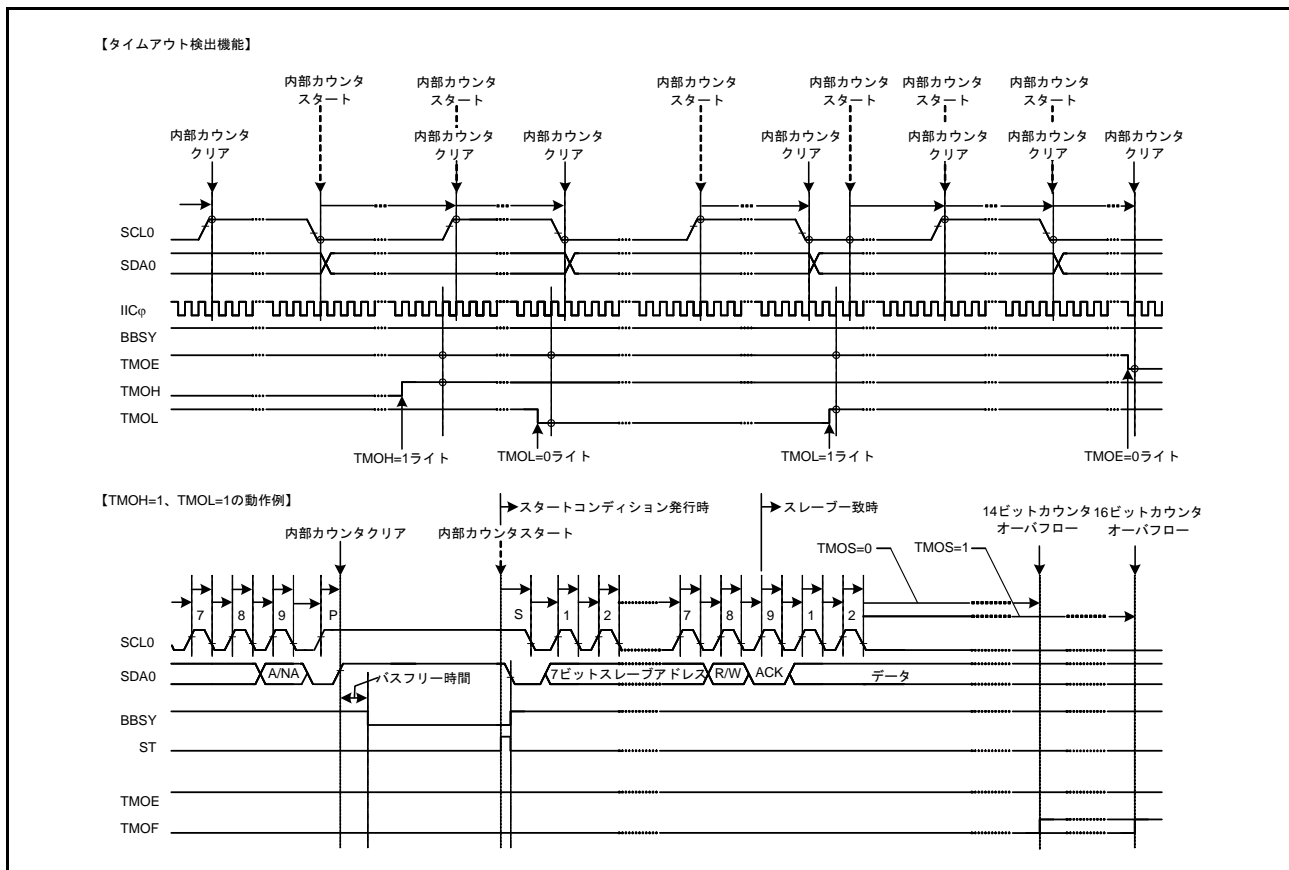


図 24.39 タイムアウト検出機能 (ICMR1.CKS[2:0] = 000b に設定した場合)

24.11.2 SCL クロック追加出力機能

RIICにはマスタモード時、スレーブデバイスとの同期ずれによるスレーブデバイスのSDA0ラインLow固定状態を開放するためのSCLクロック追加出力機能を備えています。

SCLクロック追加出力機能は、SCLクロックを1クロック単位で追加出力をする機能で、主にマスタモード時にスレーブデバイスがSDA0ラインをLow固定状態のままストップコンディションを発行できない場合に、スレーブデバイスのSDA0ライン固定状態を開放させることに使用します。通常は使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

SCLクロック追加出力は、ICCR1.CLOビットを“1”にすると、ICMR1.CKS[2:0]ビット、ICBRH、ICBRLレジスタで設定された転送速度のSCLクロックが1クロック分追加クロックとして出力されます。1クロック分の追加クロック出力が終了するとCLOビットは自動的に“0”になります。そのためソフトウェアでCLOビットが“0”であることを確認後“1”を書くことにより、追加クロックを連続的に出力することができます。

RIICがマスタモード時にノイズ等の影響によりスレーブデバイスとの同期ずれが原因でスレーブデバイスがSDA0ラインをLow固定状態のままストップコンディションを発行できないバスハングアップのとき、SCLクロック追加出力機能を使用して追加クロックを1クロックずつ出力することでスレーブデバイスのSDA0ラインのLow固定状態を開放させ、バス状態を復帰させることができます。このスレーブデバイスのSDA0ライン開放はICCR1.SDAIビットをチェックすることで確認することができます。スレーブデバイスのSDA0ライン開放を確認した後、通信を終了させるため再度ストップコンディション発行を行ってください。

なお、この機能を使用する場合はICFER.MALEビットを“0”(マスタアービトレーションロスト検出禁

止)にして使用してください。MALE ビットが“1”(マスタアービトレーションロスト検出許可)の場合、ICCR1.SDAO ビットの値と SDA0 ラインが不一致のときアービトレーションロストが発生しますので注意してください。

[ICCR1.CLO ビットの出条件]

- バスフリー状態(ICCR2.BBSY フラグ=0)またはマスタモード(ICCR2.MST ビット=1、BBSY フラグ=1の状態)のとき
- 通信デバイスが SCL0 ラインを Low ホールドにしていない状態のとき

図 24.40 に SCL クロック追加出力機能(CLO ビット)を示します。

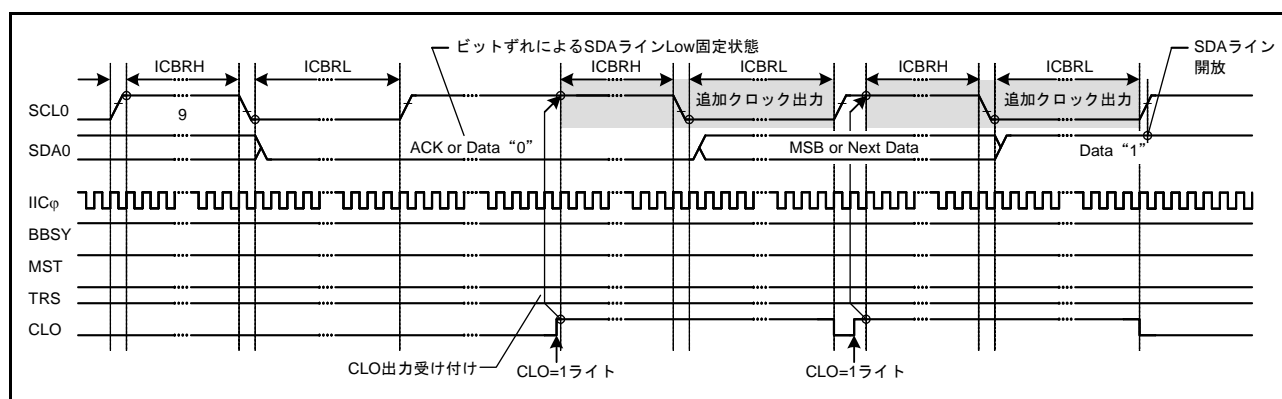


図 24.40 SCL クロック追加出力機能(CLO ビット)

24.11.3 RIIC リセット、内部リセット

RIIC は RIIC モジュールをリセットするための機能を備えています。リセットには 2 種類のリセットがあり、1 つは ICCR2.BBSY フラグを含めた全レジスタの初期化を行う RIIC リセット、もう 1 つは各種設定値を保持したままスレーブアドレス一致状態の解除や内部カウンタの初期化などを行う内部リセットです。

リセット後は ICCR1.IICRST ビットを“0”にしてください。

いずれのリセットも SCL0 端子/SDA0 端子の出力状態を解除しハイインピーダンスに戻すため、バスハンダグアップ状態の解除にも利用できます。

なおスレーブ動作時のリセットは、マスタデバイスとの同期ずれを引き起こす原因になりますので使用は極力避けてください。また RIIC リセット(ICCR1.ICE, IICRST ビット=01b)のリセット中はスタートコンディションなどのバス状態を監視できませんので注意してください。

RIIC リセット、内部リセットの詳細については、「24.14 リセットと各コンディション発行時のレジスタおよび機能の状態」を参照してください。

24.12 SMBus 動作

RIIC は SMBus (Ver.2.0) に準拠した通信動作が可能です。SMBus 通信を行うには、ICMR3.SMBS ビットを“1”にしてください。転送速度は SMBus 仕様の 10 kbps ~ 100 kbps の範囲に収まるよう ICMR1.CKS[2:0] ビット、ICBRH、ICBRL レジスタを設定し、データホールド時間：300 ns (min) の仕様を守るよう ICMR2.DLCS ビットおよび ICMR2.SDDL[2:0] ビットの値を決定してください。RIIC をスレーブデバイスのみの動作で使用する場合には、転送速度の設定は不要ですが、ICBRL はデータセットアップ時間 (250 ns) 以上の値を設定してください。

なお SMBus デバイスデフォルトアドレス (1100 001b) はスレーブアドレスレジスタ L0 ~ L2 (SARL0、SARL1、SARL2) のいずれか 1 本を使用し、該当する SARUy.FS ビット (y=0 ~ 2) (7 ビット / 10 ビットアドレスフォーマット選択ビット) を“0” (7 ビットアドレスフォーマット) を選択してください。

また、UDID (ユニークデバイスアイデンティファイ) 送信時には、ICFER.SALE ビットを“1”にしてスレーブアービトラクションロスト検出機能を有効にしてください。

24.12.1 SMBus タイムアウト測定

(1) スレーブデバイスのタイムアウト測定

SMBus 通信では、スレーブデバイスは以下に示す区間 (タイムアウト間隔： $T_{\text{LOW:SEXT}}$) を計測する必要があります。

- スタートコンディションからストップコンディション

スレーブデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み (STI)、ストップコンディション検出割り込み (SPI) を利用してスタートコンディション検出からストップコンディション検出までの時間を MTU タイマを使用してその区間を計測することで行います。このタイムアウト測定時間は SMBus 仕様のクロック Low の累積時間 (スレーブデバイス) $T_{\text{LOW:SEXT}}$: 25 ms (max) 以内である必要があります。

MTU で計測した時間が、SMBus 仕様のクロック Low 検出のタイムアウト T_{TIMEOUT} : 25 ms (min) を超えた場合、スレーブデバイスはバス解放動作を行う必要があります。スレーブデバイスのバス解放動作を行うには ICCR1.IICRST ビットに“1”を書き、RIIC の内部リセットを行ってください。内部リセットを行うと RIIC は SCL0 端子 / SDA0 端子のバス駆動を中止し、端子をハイインピーダンスにすることができます。これによりバス解放を行うことができます。

(2) マスタデバイスのタイムアウト測定

SMBus 通信のマスタデバイスは以下に示す区間 (タイムアウト間隔： $T_{\text{LOW:MEXT}}$) を計測する必要があります。

- スタートコンディションからアクノリッジビット
- アクノリッジビットから次のアクノリッジビット
- アクノリッジビットからストップコンディション

マスタデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み (STI)、ストップコンディション検出割り込み (SPI)、および送信終了割り込み (TEI) または受信データフル割り込み (RXI) を利用して、それぞれの区間を MTU タイマを使用して各区間の時間を計測することで行います。このタイムアウト測定時間は SMBus 仕様のクロック Low の累積時間 (マスタデバイス) $T_{\text{LOW:MEXT}}$: 10 ms (max) 以内である必要があります。スタートコンディションからストップコンディションまでのすべての $T_{\text{LOW:MEXT}}$ を加算した結果が $T_{\text{LOW:SEXT}}$: 25 ms (max) 以内である必要があります。

ACK 受信タイミング (SCL の 9 クロック目の立ち上がり) は、マスタ送信モード時 (マスタトランスミッタ) は ICSR2.TEND フラグ、マスタ受信モード時 (マスタレシーバ) は ICSR2.RDRF フラグで見ることがあります。そのためマスタ送信時は 1 バイト送信動作を行い、マスタ受信時は最終バイト受信の 1 つ手前までは ICMR3.RDRFS ビットを “0” で使用してください。RDRFS ビットが “0” のとき、RDRF フラグは SCL の 9 クロック目の立ち上がりで “1” になります。

MTU で計測した時間が、SMBus 仕様のクロック Low の累積時間 (マスタデバイス) $T_{LOW:MEXT}$: 10 ms (max) または各計測時間の加算した結果が、SMBus 仕様のクロック Low 検出のタイムアウト $T_{TIMEOUT}$: 25 ms (min) を超えた場合、マスタデバイスはトランザクションの中止動作を行う必要があります。マスタ送信時には即座に送信動作 (ICDRT レジスタへの書き込み動作) を中止してください。マスタデバイスのトランザクション中止動作はストップコンディションを発行することで行われます。

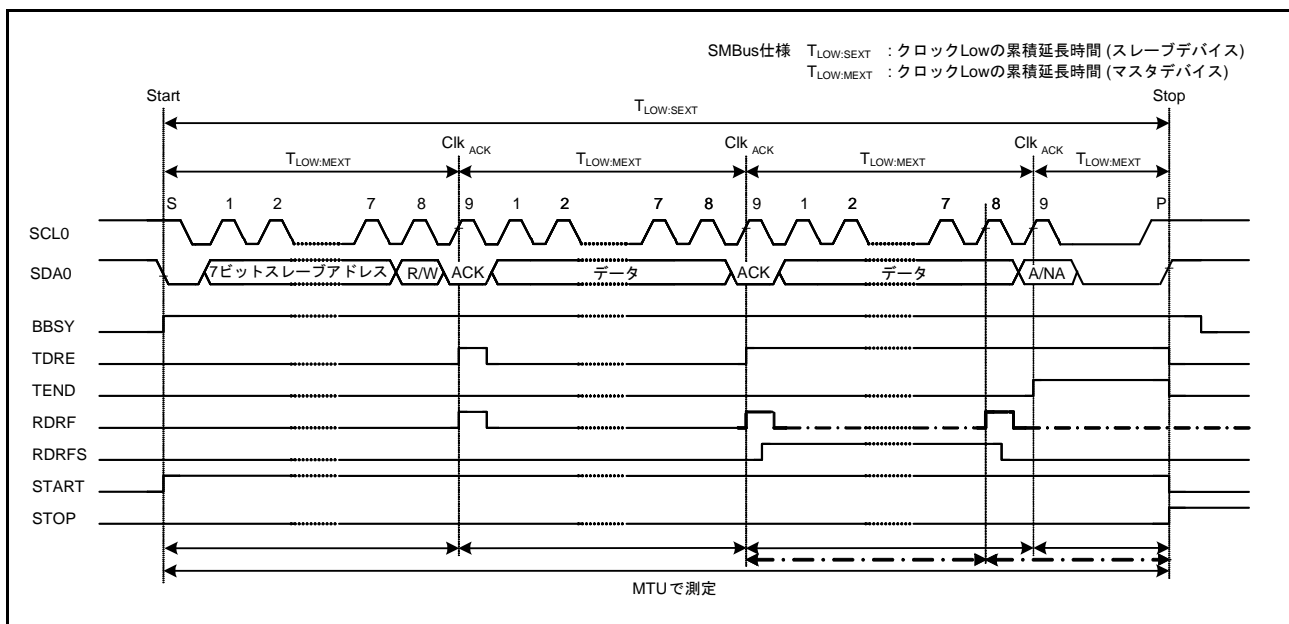


図 24.41 SMBus タイムアウト測定

24.12.2 パケットエラーコード (PEC)

本 MCU は CRC 演算器を内蔵しています。RIIC の通信動作に CRC 演算器を利用することで SMBus のパケットエラーコード (PEC) の送信または受信データチェックを行うことができます。CRC 演算器の多項式については「26. CRC 演算器 (CRC)」を参照してください。

マスタ送信の PEC データ生成は、全送信データを CRC 演算器の CRC データ入力レジスタ (CRCDIR) に書くことで生成することができます。

マスタ受信の PEC データチェックは、全受信データを CRC 演算器の CRCDIR レジスタに書き、そこで得られた CRC データ出力レジスタ (CRCDOR) の値と受信した PEC データを比較することで行います。

なお PEC コードチェックにおいて最終バイト受信時に一致 / 不一致に応じて ACK/NACK 送出手続きを行う場合には、最終バイト受信の SCL の 8 クロック目の立ち上がりまでに ICMR3.RDRFS ビットを “1” にし、8 クロック目の立ち下がり SCL0 ラインを Low にホールドしてください。

24.12.3 SMBus ホスト通知プロトコル (Notify ARP master コマンド)

SMBus ではスレーブデバイスが SMBus ホスト (または ARP マスタ) に対し、一時的にマスタデバイスとなり自スレーブアドレスを通知 (または要求) することができます。

本 MCU を SMBus ホスト (または ARP マスタ) として動作させる場合、スレーブデバイスからのホストアドレス (0001 000b) 送信をスレーブアドレスとして検出する必要があり、RIIC ではこのホストアドレスの検出機能を備えています。ホストアドレスをスレーブアドレスとして検出する場合は、ICMR3.SMBS ビットを“1”、ICSER.HOAE ビットを“1”にしてください。なおホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

24.13 割り込み要因

RIICの割り込み要因には、通信エラー/通信イベント発生(アービトレーションロスト検出、NACK検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出)、受信データフル、送信データエンプティ、送信終了の4種類があります。

表24.7に割り込み一覧を示します。受信データフルおよび送信データエンプティ割り込み要求により、DTCを起動してデータ転送を行うことができます。

表24.7 割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	優先順位	割り込み条件
EEI	通信エラー/通信イベント発生	AL	不可能	高 ↑	AL=1かつALIE=1
		NACKF			NACKF=1かつNAKIE=1
		TMOF			TMOF=1かつTMOIE=1
		START			START=1かつSTIE=1
		STOP			STOP=1かつSPIE=1
RXI (注2)	受信データフル	RDRF	可能	↑	RDRF=1かつRIE=1
TXI(注1)	送信データエンプティ	TDRE	可能		TDRE=1かつTIE=1
TEI(注3)	送信終了	TEND	不可能		低

注. CPUから周辺モジュールへの書き込みと命令と、実際にモジュールに書き込まれるタイミングには、遅延があります。割り込みフラグをクリアまたは割り込み要求をマスクした場合は再度フラグを読み、クリアまたはマスクビット書き込みの完了を確認した後に割り込み処理から復帰させてください。モジュールへの書き込み完了を確認せずに割り込み処理から復帰させた場合、再度同一の割り込みが発生する可能性があります。

注1. TXI割り込みはエッジ割り込みのためクリアする必要はありません。またTXI割り込みの条件となるICSR2.TDREフラグは、ICDRTレジスタへの送信データの書き込み、あるいはストップコンディションの検出(ICSR2.STOPフラグ=1)で自動的に“0”になります。

注2. RXI割り込みはエッジ割り込みのためクリアする必要はありません。またRXI割り込みの条件となるICSR2.RDRFフラグは、ICDRRレジスタの読み出しで自動的に“0”になります。

注3. TEI割り込みを使用する場合、TEI割り込み処理の中でICSR2.TENDフラグをクリアしてください。なおICSR2.TENDフラグは、ICDRTレジスタへの送信データの書き込み、あるいはストップコンディションの検出(ICSR2.STOPフラグ=1)で自動的に“0”になります。

割り込み処理の中でそれぞれのフラグをクリアまたは割り込み要求をマスクしてください。

24.13.1 TXI 割り込みおよび RXI 割り込みバッファ動作

TXI 割り込みおよび RXI 割り込みは、TXI 割り込みおよび RXI 割り込みに対応した IR フラグが“1”のときに割り込み発生の条件が整った場合、ICU に対して割り込み要求を出力せず内部で保持します(内部で保持できる容量は、1 要因ごとに 1 要求までです)。

IR フラグが“0”になると、ICU に対して保持していた割り込み要求を出力します。通常の使用状態では、内部で保持している割り込み要求は自動的にクリアされます。

また、内部で保持している割り込み要求は、ICIER レジスタの対応する割り込み許可ビットを“0”にすることでクリアが可能です。

24.14 リセットと各コンディション発行時のレジスタおよび機能の状態

RIICはMCUリセット、RIICリセットおよび内部リセットによってリセットできます。表24.8にリセットと各コンディション発行時のレジスタおよび機能の状態を示します。

表24.8 リセットと各コンディション発行時のレジスタおよび機能

		MCU リセット	RIICリセット (ICEビット=0、 IICRSTビット=1)	内部リセット (ICEビット=1、 IICRSTビット=1)	スタートコンディション/ リスタートコンディション 検出	ストップコンディション 検出	
ICCR1	ICE, IICRST	リセット	保持	保持	保持	保持	
	SCLO, SDAO		リセット	リセット			
	それ以外			保持			
ICCR2	BBSY	リセット	リセット	保持	保持	保持	
	ST			リセット			リセット
	それ以外						
ICMR1	BC[2:0]	リセット	リセット	リセット	リセット	保持	
	それ以外						保持
ICMR2		リセット	リセット	保持	保持	保持	
ICMR3		リセット	リセット	保持	保持	保持	
ICFER		リセット	リセット	保持	保持	保持	
ICSER		リセット	リセット	保持	保持	保持	
ICIER		リセット	リセット	保持	保持	保持	
ICSR1		リセット	リセット	リセット	保持	リセット	
ICSR2	TDRE, TEND	リセット	リセット	リセット	保持	リセット	
	START				保持		
	STOP				保持		保持
	それ以外				保持		保持
SARL0, SARL1, SARL2, SARU0, SARU1, SARU2		リセット	リセット	保持	保持	保持	
ICBRH, ICBRL		リセット	リセット	保持	保持	保持	
ICDRT		リセット	リセット	保持	保持	保持	
ICDRR		リセット	リセット	保持	保持	保持	
ICDRS		リセット	リセット	リセット	保持	保持	
タイムアウト検出機能		リセット	リセット	動作	動作	動作	
バスフリー時間計測		リセット	リセット	動作	動作	動作	

24.15 使用上の注意事項

24.15.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、モジュールストップ状態への遷移/解除を行うことができます。初期値では RIIC はモジュールストップ状態です。モジュールストップ状態を解除することにより、RIIC のレジスタへのアクセスが可能になります。

モジュールストップコントロールレジスタ B の詳細は、「11. 消費電力低減機能」を参照してください。

24.15.2 通信の開始に関する注意事項

通信開始 (ICCR1.ICE ビット = 1) 時点で RIIC の割り込みに対応した IR フラグが “1” のときは、動作許可前に下記の手順で割り込み要求をクリアしてください。IR フラグが “1” で通信を開始 (ICCR1.ICE ビット = 1) すると、通信開始後の割り込み要求が内部で保持されるため、IR フラグが予期しない挙動となる可能性があります。

- (1) ICCR1.ICE ビットが “0” であることを確認
- (2) 対応する周辺側の割り込み許可ビット (ICIER.TIE など) を “0” にする
- (3) 対応する周辺側の割り込み許可ビット (ICIER.TIE など) を読み出し、“0” を確認
- (4) IR フラグを “0” にする

25. シリアルペリフェラルインタフェース (RSPI)

本章に記載している PCLK とは PCLKB を指します。

25.1 概要

本 MCU は、1 チャンルのシリアルペリフェラルインタフェース (RSPI) を内蔵しています。

RSPI は、全二重同期式のシリアル通信ができます。複数のプロセッサや周辺デバイスとの高速なシリアル通信機能を内蔵しています。

表 25.1 に RSPI の仕様を、図 25.1 に RSPI のブロック図を示します。

なお、本章では、RSPI コマンドレジスタ m (SPCMDm) で使用している m は、0 ~ 7 と規定しています。

表 25.1 RSPI の仕様 (1/2)

項目	内容
チャンネル数	1チャンネル
RSPI 転送機能	<ul style="list-style-type: none"> MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI 動作 (4 線式) / クロック同期式動作 (3 線式) でシリアル通信が可能 送信のみの動作が可能 通信モード: 全二重または送信のみを選択可能 RSPCK の極性を変更可能 RSPCK の位相を変更可能
データフォーマット	<ul style="list-style-type: none"> MSB ファースト / LSB ファーストの切り替え可能 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットから選択可能 送信/受信バッファは 128 ビット 一度の送受信で最大 4 フレームを転送 (1 フレームは最大 32 ビット)
ビットレート	<ul style="list-style-type: none"> マスタモード時、内蔵ボーレートジェネレータで PCLK を分周して RSPCK を生成 (分周比は 2 ~ 4096 分周) スレーブ時は、PCLK の最小 8 分周のクロックを、RSPCK として入力可能 (RSPCK の最大周波数は PCLK の 8 分周) High 幅: PCLK の 4 サイクル、Low 幅: PCLK の 4 サイクル
バッファ構成	<ul style="list-style-type: none"> 送信および受信バッファはそれぞれダブルバッファ構成 送信および受信バッファは 128 ビット
エラー検出	<ul style="list-style-type: none"> モードフォルトエラー検出 オーバランエラー検出 パリティエラー検出
SSL 制御機能	<ul style="list-style-type: none"> 1 チャンネルあたり 4 本の SSL 端子 (SSLA0 ~ SSLA3) シングルマスタ設定時には、SSLA0 ~ SSLA3 端子を出力 マルチマスタ設定時: SSLA0 端子は入力、SSLA1 ~ SSLA3 端子は出力または未使用 スレーブ設定時: SSLA0 端子は入力、SSLA1 ~ SSLA3 端子は未使用 SSL 出力のアサートから RSPCK 動作までの遅延 (RSPCK 遅延) を設定可能 設定範囲: 1 ~ 8 RSPCK 設定単位: 1 RSPCK RSPCK 停止から SSL 出力のネゲートまでの遅延 (SSL ネゲート遅延) を設定可能 設定範囲: 1 ~ 8 RSPCK 設定単位: 1 RSPCK 次アクセスの SSL 出力アサートのウェイト (次アクセス遅延) を設定可能 設定範囲: 1 ~ 8 RSPCK 設定単位: 1 RSPCK SSL 極性変更機能
マスタ転送時の制御方式	<ul style="list-style-type: none"> 最大 8 コマンドで構成された転送を連続してループ実行可能 各コマンドに以下の項目を設定可能 SSL 信号値、ビットレート、RSPCK 極性/位相、転送データ長、LSB/MSB ファースト、パースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 送信バッファへのライトで転送を起動可能 SSL ネゲート時の MOSI 信号値を設定可能
割り込み要因	<ul style="list-style-type: none"> 割り込み要因 受信バッファフル割り込み 送信バッファエンプティ割り込み RSPI エラー割り込み (モードフォルト、オーバラン、パリティエラー) RSPI アイドル割り込み (RSPI アイドル)

表 25.1 RSPIの仕様 (2/2)

項目	内容
その他の機能	<ul style="list-style-type: none"> CMOS/オープンドレイン出力切り替え機能 RSPI初期化機能 ループバックモード機能
消費電力低減機能	モジュールストップ状態への設定が可能

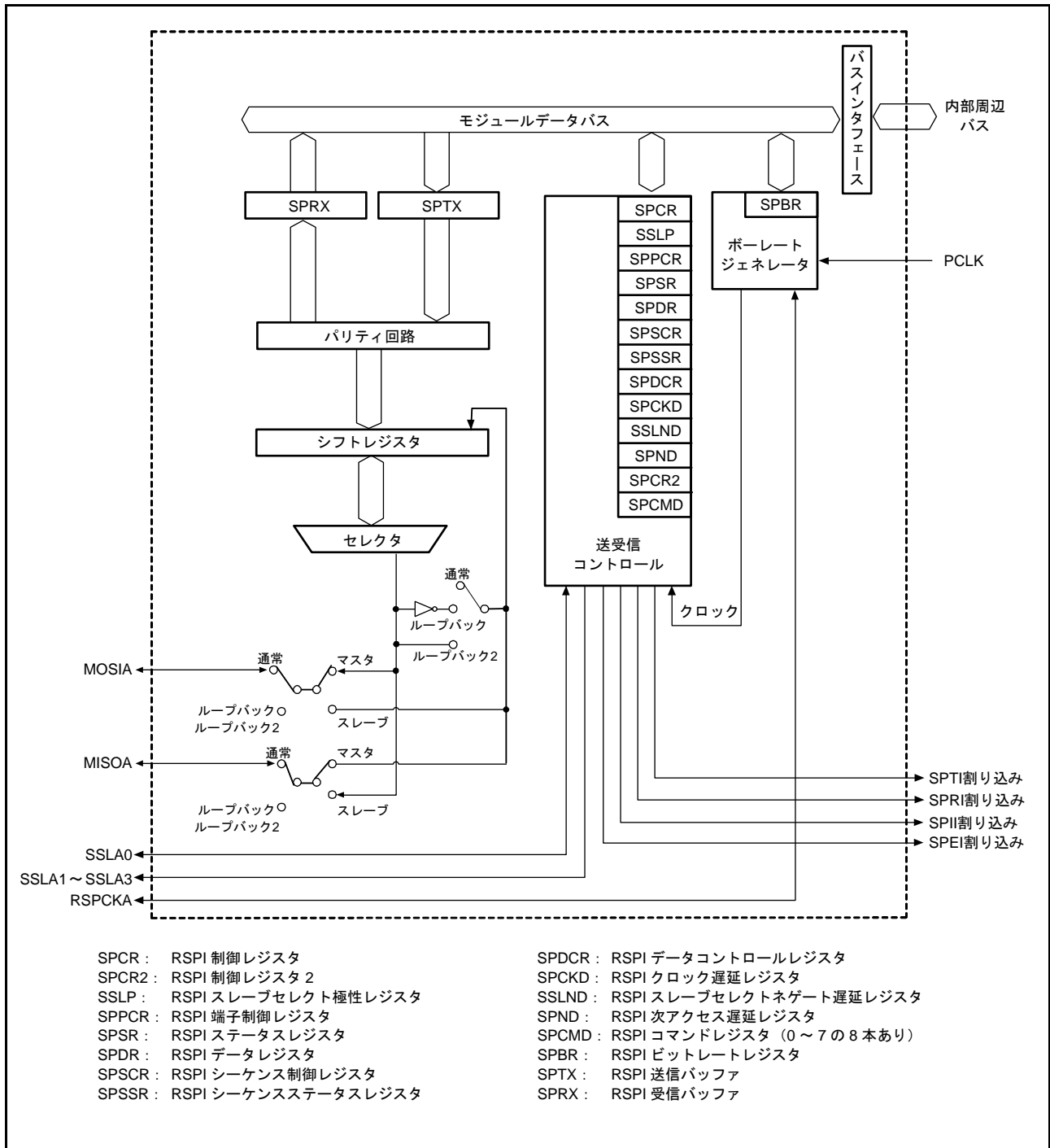


図 25.1 RSPI のブロック図

表 25.2 に RSPI で使用する入出力端子を示します。

SSLA0 端子の入出力方向は、シングルマスタ設定の場合は出力、マルチマスタ設定とスレーブ設定の場合は入力に、RSPI が自動的に切り替えます。RSPCKA、MOSIA、MISOA 端子の入出力方向は、マスタ/スレーブ設定と SSLA0 端子の入力レベルに応じて、RSPI が自動的に切り替えます。

詳細は、「25.3.2 RSPI 端子の制御」を参照してください。

表 25.2 RSPIの入出力端子

チャンネル	端子名	入出力	機能
RSPI0	RSPCKA	入出力	クロック入出力
	MOSIA	入出力	マスタ送出データ入出力
	MISOA	入出力	スレーブ送出データ入出力
	SSLA0	入出力	スレーブセレクト入出力
	SSLA1	出力	スレーブセレクト出力
	SSLA2	出力	スレーブセレクト出力
	SSLA3	出力	スレーブセレクト出力

25.2 レジスタの説明

25.2.1 RSPI 制御レジスタ (SPCR)

アドレス RSPI0.SPCR 0008 8380h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODF EN	TXMD	SPMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPMS	RSPIモード選択ビット	0: SPI動作 (4線式) 1: クロック同期式動作 (3線式)	R/W
b1	TXMD	通信動作モード選択ビット	0: 全二重同期式シリアル通信 1: 送信動作のみのシリアル通信	R/W
b2	MODFEN	モードフォルトエラー検出許可ビット	0: モードフォルトエラー検出を禁止 1: モードフォルトエラー検出を許可	R/W
b3	MSTR	RSPIマスタ/スレーブモード選択ビット	0: スレーブモード 1: マスタモード	R/W
b4	SPEIE	RSPIエラー割り込み許可ビット	0: RSPIエラー割り込み要求の発生を禁止 1: RSPIエラー割り込み要求の発生を許可	R/W
b5	SPTIE	送信バッファエンプティ割り込み許可ビット	0: 送信バッファエンプティ割り込み要求の発生を禁止 1: 送信バッファエンプティ割り込み要求の発生を許可	R/W
b6	SPE	RSPI機能許可ビット	0: RSPI機能は無効 1: RSPI機能は有効	R/W
b7	SPRIE	RSPI受信バッファフル割り込み許可ビット	0: RSPI受信バッファフル割り込み要求の発生を禁止 1: RSPI受信バッファフル割り込み要求の発生を許可	R/W

SPCR.SPE ビットが“1”の状態において、SPCR.MSTR ビット、SPCR.MODFEN ビット、SPCR.TXMD ビットの設定値を変更した場合は、以降の動作はしないでください。

SPMS ビット (RSPI モード選択ビット)

SPI 動作 (4線式) / クロック同期式動作 (3線式) を選択するためのビットです。

クロック同期式動作を行う場合は SSLA0 ~ SSLA3 端子を使用せず、RSPCKA 端子、MOSIA 端子、MISOA 端子の3端子を用いて通信を行います。また、マスタモード時 (SPCR.MSTR = 1) でクロック同期式動作を行う場合は、SPCMDm.CPHA ビットを“0”、“1”どちらにも設定できます。スレーブモード時 (SPCR.MSTR = 0) でクロック同期式動作を行う場合は CPHA ビットを“1”に設定してください。スレーブモード時 (SPCR.MSTR = 0) でクロック同期式動作を行う場合に、CPHA ビットを“0”に設定した場合の動作はしないでください。

TXMD ビット (通信動作モード選択ビット)

全二重同期式のシリアル通信、送信のみの動作を選択するためのビットです。

TXMD ビットを“1”にして、通信を行う場合は、送信動作のみを行い、受信動作を行いません (「25.3.6 通信動作モード」参照)。

また、TXMD ビットを“1”に設定した場合、受信バッファフルの割り込み要求を使用することはできません。

MODFEN ビット (モードフォルトエラー検出許可ビット)

モードフォルトエラーの検出を許可/禁止するためのビットです (「25.3.8 エラー検出」を参照)。また、RSPI は MODFEN ビットと MSTR ビットとの組み合わせに従って、SSLA0 ~ SSLA3 端子の入出力方向を決定します (「25.3.2 RSPI 端子の制御」を参照)。

MSTR ビット (RSPI マスタ/スレーブモード選択ビット)

RSPI のマスタ/スレーブモードを選択するためのビットです。また、RSPI は MSTR ビットの設定に従って、RSPCKA、MOSIA、MISOA、SSLA0 ~ SSLA3 端子の方向を決定します。

SPEIE ビット (RSPI エラー割り込み許可ビット)

RSPI がモードフォルトエラーを検出して SPSR.MODF フラグを“1”にした場合、RSPI がオーバランエラーを検出して SPSR.OVRF フラグを“1”にした場合、またはパリティエラーを検出して SPSR.PERF フラグを“1”にした場合の RSPI エラー割り込み要求の発生を許可/禁止します。詳細については、「25.3.8 エラー検出」を参照してください。

SPTIE ビット (送信バッファエンプティ割り込み許可ビット)

RSPI が送信バッファエンプティを検出し、送信バッファエンプティ割り込み要求の発生を許可/禁止します。

送信開始時の送信バッファエンプティ割り込み要求は、SPTIE ビットと同時または後に、SPE ビットを“1”にすることで発生します。

RSPI 機能は無効 (SPE ビットが“0”) に遷移しても、SPTIE ビットを“1”にしていると、送信バッファエンプティ割り込みが発生することに注意してください。

SPE ビット (RSPI 機能許可ビット)

RSPI 機能の有効/無効を選択します。

SPSR.MODF フラグが“1”の場合には、SPE ビットを“1”にすることはできません。詳細は「25.3.8 エラー検出」を参照してください。

SPE ビットを“0”にすると、RSPI 機能が無効化され、モジュール機能の一部が初期化されます。詳細は「25.3.9 RSPI の初期化」を参照してください。また、SPE ビットを“0”の状態から“1”または“1”の状態から“0”になることで送信バッファエンプティ割り込み要求が発生します。

SPRIE ビット (RSPI 受信バッファフル割り込み許可ビット)

RSPI がシリアル転送完了後の受信バッファフルを検出し、RSPI 受信バッファフル割り込み要求の発生を許可/禁止します。

25.2.2 RSPI スレーブセレクト極性レジスタ (SSLP)

アドレス RSPI0.SSLP 0008 8381h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	SSL3P	SSL2P	SSL1P	SSL0P

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SSL0P	SSL0信号極性設定ビット	0 : SSL0信号はアクティブLow 1 : SSL0信号はアクティブHigh	R/W
b1	SSL1P	SSL1信号極性設定ビット	0 : SSL1信号はアクティブLow 1 : SSL1信号はアクティブHigh	R/W
b2	SSL2P	SSL2信号極性設定ビット	0 : SSL2信号はアクティブLow 1 : SSL2信号はアクティブHigh	R/W
b3	SSL3P	SSL3信号極性設定ビット	0 : SSL3信号はアクティブLow 1 : SSL3信号はアクティブHigh	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCR.SPE ビットが“1”の状態において、SSLP レジスタを書き換えた場合には、以降の動作はしないでください。

25.2.3 RSPI 端子制御レジスタ (SPPCR)

アドレス RSPI0.SPPCR 0008 8382h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MOIFE	MOIFV	—	—	SPLP2	SPLP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPLP	RSPIループバックビット	0: 通常モード 1: ループバックモード (データを反転して送信)	R/W
b1	SPLP2	RSPIループバック2ビット	0: 通常モード 1: ループバックモード (データを反転せずに送信)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MOIFV	MOSIアイドル固定値ビット	0: MOSIアイドル時のMOSIA端子の出力値はLow 1: MOSIアイドル時のMOSIA端子の出力値はHigh	R/W
b5	MOIFE	MOSIアイドル値固定許可ビット	0: MOSI出力値は前回転送の最終データ 1: MOSI出力値はMOIFVビットの設定値	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCR.SPE ビットが“1”の状態において、SPPCR レジスタを書き換えた場合には、以降の動作はしないでください。

SPLP ビット (RSPI ループバックビット)

RSPI の端子モードを選択します。

SPLP ビットを“1”にすると、RSPI は SPCR.MSTR ビットが“1”ならば、MISOA 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSIA 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路 (反転) を接続します。(ループバックモード)

SPLP2 ビット (RSPI ループバック 2 ビット)

RSPI の端子モードを選択します。

SPLP2 ビットを“1”にすると、RSPI は SPCR.MSTR ビットが“1”ならば、MISOA 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSIA 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。(ループバックモード)

MOIFV ビット (MOSI アイドル固定値ビット)

マスタモードで MOIFE ビットが“1”の場合、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) の MOSIA 端子の出力値を選択します。

MOIFE ビット (MOSI アイドル値固定許可ビット)

マスタモードの RSPI が、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) に MOSIA 出力値を固定するために使用するビットです。MOIFE が“0”の場合には、RSPI は SSL ネゲート期間中に前回のシリアル転送の最終データを MOSIA に出力します。MOIFE が“1”の場合には、RSPI は MOIFV ビットに設定された固定値を MOSIA に出力します。

25.2.4 RSPI ステータスレジスタ (SPSR)

アドレス RSPI0.SPSR 0008 8383h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRF	—	SPTEF	—	PERF	MODF	IDLNF	OVRF
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OVRF	オーバランエラーフラグ	0: オーバランエラーなし 1: オーバランエラー発生	R/(W) (注1)
b1	IDLNF	RSPIアイドルフラグ	0: RSPIがアイドル状態 1: RSPIが転送状態	R
b2	MODF	モードフォルトエラーフラグ	0: モードフォルトエラーなし 1: モードフォルトエラー発生	R/(W) (注1)
b3	PERF	パリティエラーフラグ	0: パリティエラーなし 1: パリティエラー発生	R/(W) (注1)
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	SPTEF	送信バッファエンプティフラグ	0: 送信バッファに有効なデータあり 1: 送信バッファに有効なデータなし	R/W (注2)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	SPRF	受信バッファフルフラグ	0: 受信バッファに有効なデータなし 1: 受信バッファに有効なデータあり	R/W (注2)

注1. フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

注2. 書く場合、“1”としてください。

OVRF フラグ (オーバランエラーフラグ)

オーバランエラーの発生状況を示します。

[“1”になる条件]

- SPCR.TXMD ビットが“0”、受信バッファフル状態で次のシリアル受信が終了したとき

[“0”になる条件]

- OVRF フラグが“1”になったときの SPSR レジスタを読んだ後、OVRF フラグに“0”を書いたとき

IDLNF フラグ (RSPI アイドルフラグ)

RSPI の転送状況を示します。

["1" になる条件]

【マスタモード】

- 下記["0" になる条件]のマスタモード時の(条件1)と(条件2)の両方が満たされないとき

【スレーブモード】

- SPCR.SPE ビットが"1" (RSPI 機能が有効) のとき

["0" になる条件]

【マスタモード】

- 下記1. が満たされたとき (条件1)、または下記2. ~ 4. がすべて満たされたとき (条件2)

1. SPCR.SPE ビットが"0" (RSPI 初期化) のとき
2. 送信用バッファ (SPTX) が空 (次転送データがセットされていない) のとき
3. SPSSR.SPCP[2:0] ビットが"000b" (シーケンス制御の先頭) であるとき
4. RSPI 内部シーケンサがアイドル状態へ遷移したとき (次アクセス遅延までが動作完了された状態)

【スレーブモード】

- SPCR.SPE ビットが"0" (RSPI 初期化) のとき

MODF フラグ (モードフォルトエラーフラグ)

モードフォルトエラーの発生を示します。

["1" になる条件]

【マルチマスタモードのとき】

- SPCR.MSTR ビットが"1" (マスタモード)、SPCR.MODFEN ビットが"1" (モードフォルトエラー検出を許可) の状態で、SSLAi 端子の入力レベルがアクティブレベルになり、RSPI がモードフォルトエラーを検出したとき

【スレーブモードのとき】

- SPCR.MSTR ビットが"0" (スレーブモード)、SPCR.MODFEN ビットが"1" (モードフォルトエラー検出を許可) の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSLAi 端子がネゲートされ、RSPI がモードフォルトエラーを検出したとき

なお、SSLAi 信号のアクティブレベルは、SSLP.SSLiP ビット (SSL 信号極性設定ビット) によって決定されます。

["0" になる条件]

- MODF フラグが"1" の状態の SPSR レジスタを読んだ後、MODF フラグに"0" を書いたとき

PERF フラグ (パリティエラーフラグ)

パリティエラーの発生を示すフラグです。

["1" になる条件]

- SPCR.TXMD ビットが"0"、SPCR2.SPPE ビットが"1" の状態でシリアル転送が終了し、パリティエラーが検出されたとき

["0" になる条件]

- PERF フラグが"1" の状態の SPSR レジスタを読んだ後、PERF フラグに"0" を書いたとき

SPTEF フラグ (送信バッファEMPTYフラグ)

RSPI データレジスタの送信バッファ (SPTX) 内にある有効データの有無を示すフラグです。

[“1”になる条件]

- SPCR.SPE ビットが“0” (RSPI 初期化) のとき
- 送信バッファからシフトレジスタに送信データが転送されたとき

[“0”になる条件]

- SPDR レジスタに SPDCR.SPFC[1:0] ビットで設定したフレーム数分の送信データを書き込んだとき

なお、SPDR レジスタは SPTEF フラグが“1”のときのみデータを設定できます。SPTEF フラグが“0”のときにデータを設定しても、送信バッファのデータは更新されません。

SPRF フラグ (受信バッファフルフラグ)

RSPI データレジスタの受信バッファ (SPRX) 内にある有効データの有無を示すフラグです。

[“1”になる条件]

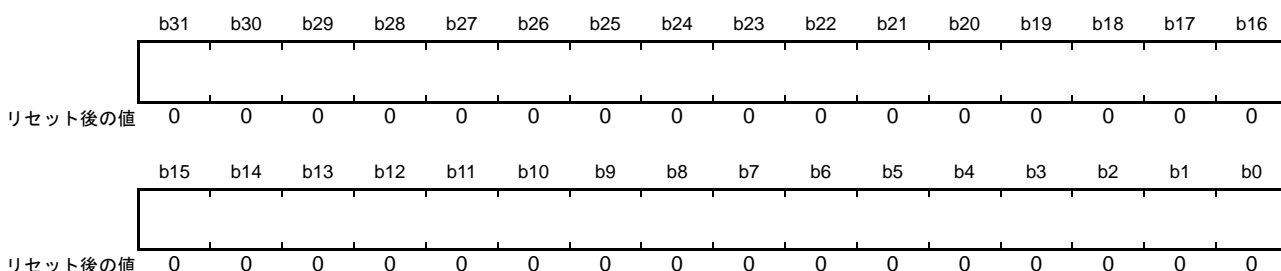
- SPCR.TXMD ビットが“0” (全二重)、SPRF フラグが“0”のときに、SPDCR.SPFC[1:0] ビットで設定したフレーム数分の受信データがシフトレジスタから受信バッファ (SPRX) に転送されたとき
ただし、OVRF フラグが“1”のときは、“1”に変化しません。

[“0”になる条件]

- SPDR レジスタから受信データをすべて読み出したとき

25.2.5 RSPI データレジスタ (SPDR)

アドレス RSPI0.SPDR 0008 8384h



アドレス RSPI0.SPDR.H 0008 8384h



SPDR レジスタは、RSPI 送受信のデータを格納するバッファです。

ロングワードアクセス (SPLW ビットが“1”) のときは、SPDR をアクセスしてください。

ワードアクセス (SPLW ビットが“0”) のときは、SPDR の上位側 16 ビット (H) をアクセスしてください。

送信バッファと受信バッファは独立したバッファです。SPDR レジスタの構造図を図 25.2 に示します。

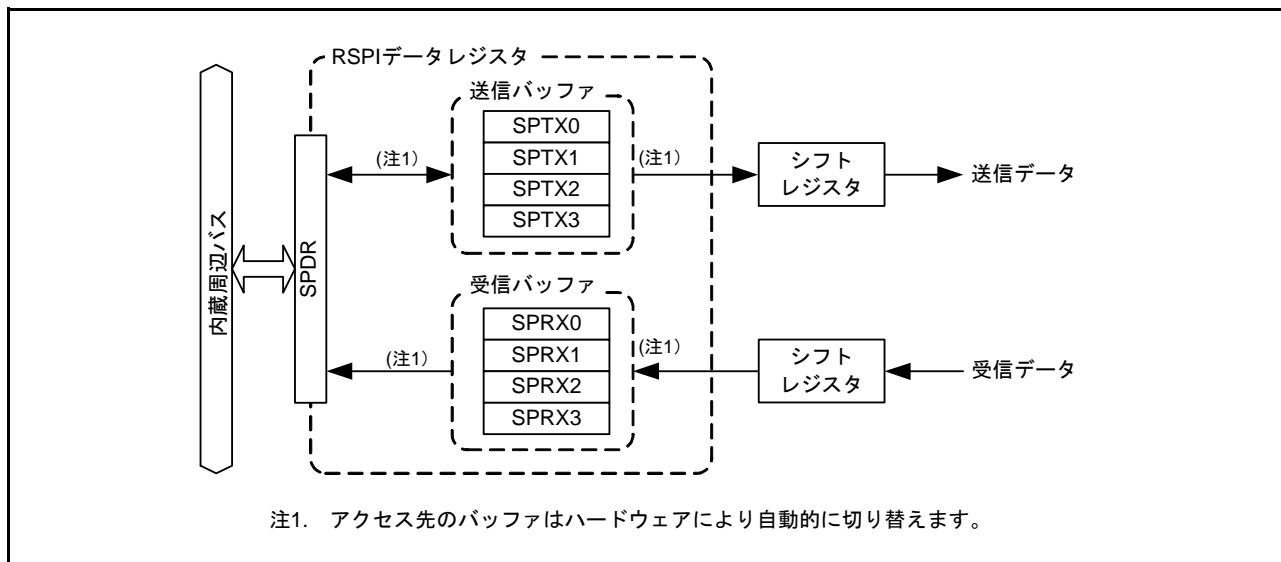


図 25.2 SPDR レジスタの構造図

送信バッファと受信バッファは、それぞれ 4 バッファあります。使用するバッファ数は、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定できます。SPDR レジスタには、これらの合計 8 バッファが 1 アドレスにマッピングされています。

送信バッファ SPTX_n (n=0 ~ 3) は、SPDR レジスタへの書き込みによって送信バッファへ値を書きことができ、書いたデータを送信します。

受信バッファは、データの受信が完了すると受信データを格納します。オーバーラン発生時は、受信バッファの値を更新しません。

また、データ長が 32 ビット以外の場合、SPRXn (n=0 ~ 3) の非参照ビットには、SPTXn (n=0 ~ 3) の非参照ビットが格納されます。

たとえば、データ長が 9 ビットのデータを受信した場合は SPRXn[8:0] には受信データが格納され、SPRXn[31:9] に SPTXn[31:9] が格納されます。

(1) バスインタフェース

SPDR レジスタは、32 ビットの送信バッファと受信バッファがそれぞれ 4 バッファ分、合計 32 バイトあります。これらの 32 バイトを SPDR レジスタの 4 バイト空間にマッピングしています。また、SPDR レジスタへのアクセスは、RSPI データコントロールレジスタの RSPI ロングワードアクセス/ワードアクセス設定ビット (SPDCR.SPLW) で設定したアクセスサイズで行ってください。

送信データは、LSB 詰めで書いてください。受信データは LSB 詰めで格納されます。

SPDR レジスタへの書き込みと、読み出しの動作を以下に示します。

(a) 書き込み

SPDR レジスタに書き込むことによって、送信バッファ (SPTXn) に値を書くことができます。SPDR レジスタの読み出し時と異なり、SPDCR.SPRDTD ビットの値に影響されません。

送信バッファには、送信バッファライトポインタがあり、SPDR レジスタへの書き込みによって自動的に次のバッファを指し示すようになります。

図 25.3 に送信バッファのバスインタフェース (ライト時) の構成図を示します。

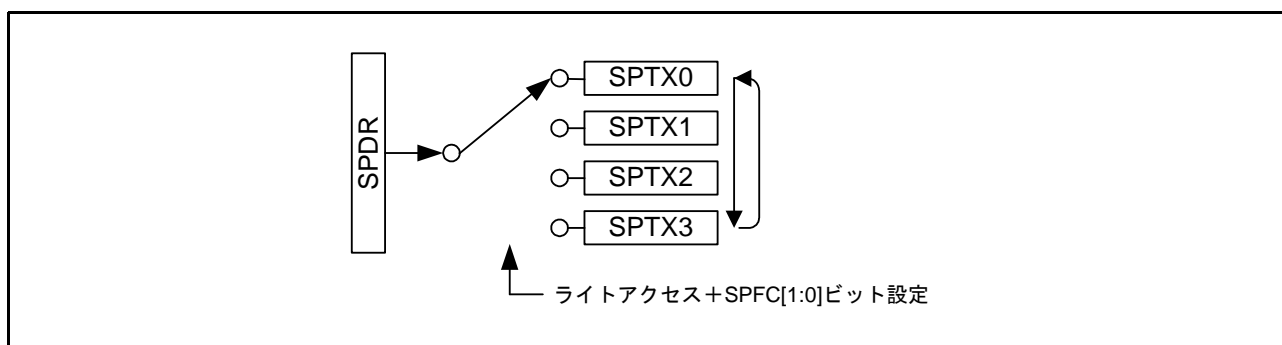


図 25.3 SPDR レジスタの構成図 (ライト時)

送信バッファライトポインタの切り替え順序は、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) の設定によって異なります。

- SPFC[1:0] ビットの設定と SPTX0 ~ SPTX3 の切り替え順序
 - SPFC[1:0] ビットが “00b” のとき : SPTX0 → SPTX0 → SPTX0 → . . .
 - SPFC[1:0] ビットが “01b” のとき : SPTX0 → SPTX1 → SPTX0 → SPTX1 → . . .
 - SPFC[1:0] ビットが “10b” のとき : SPTX0 → SPTX1 → SPTX2 → SPTX0 → SPTX1 → . . .
 - SPFC[1:0] ビットが “11b” のとき : SPTX0 → SPTX1 → SPTX2 → SPTX3 → SPTX0 → SPTX1 → . . .

RSPI 制御レジスタの RSPI 機能許可ビット (SPCR.SPE) が “0” の状態で “1” を書くと、次の書き込み先は SPTX0 になります。

送信バッファ (SPTXn) への書き込みは、送信バッファエンプティ割り込み発生後 (SPSR.SPTEF フラグが “1” になった後)、RSPI データコントロールレジスタ (SPDCR) のフレーム数設定ビット (SPFC[1:0]) で設定したフレーム数分の送信データを書き込んでください。同書き込み完了から次の送信バッファエンプティ割り込み発生までの期間 (SPSR.SPTEF フラグが “0” の期間) は、送信バッファ (SPTXn) に書き込みを行っても同バッファの値は更新されません。

(b) 読み出し

SPDR レジスタを読み出すことによって、受信バッファ (SPRXn)、または送信バッファ (SPTXn) の値を読むことができます。RSPI データコントロールレジスタの RSPI 受信 / 送信データ選択ビット (SPDCR.SPRDTD) によって、受信バッファを読み出すか、送信バッファを読み出すかを選択できます。

SPDR レジスタの読み出し順は、独立した受信バッファリードポイントと送信バッファリードポイントによって制御されます。

図 25.4 に受信バッファと送信バッファのバスインタフェース (リード時) の構成図を示します。

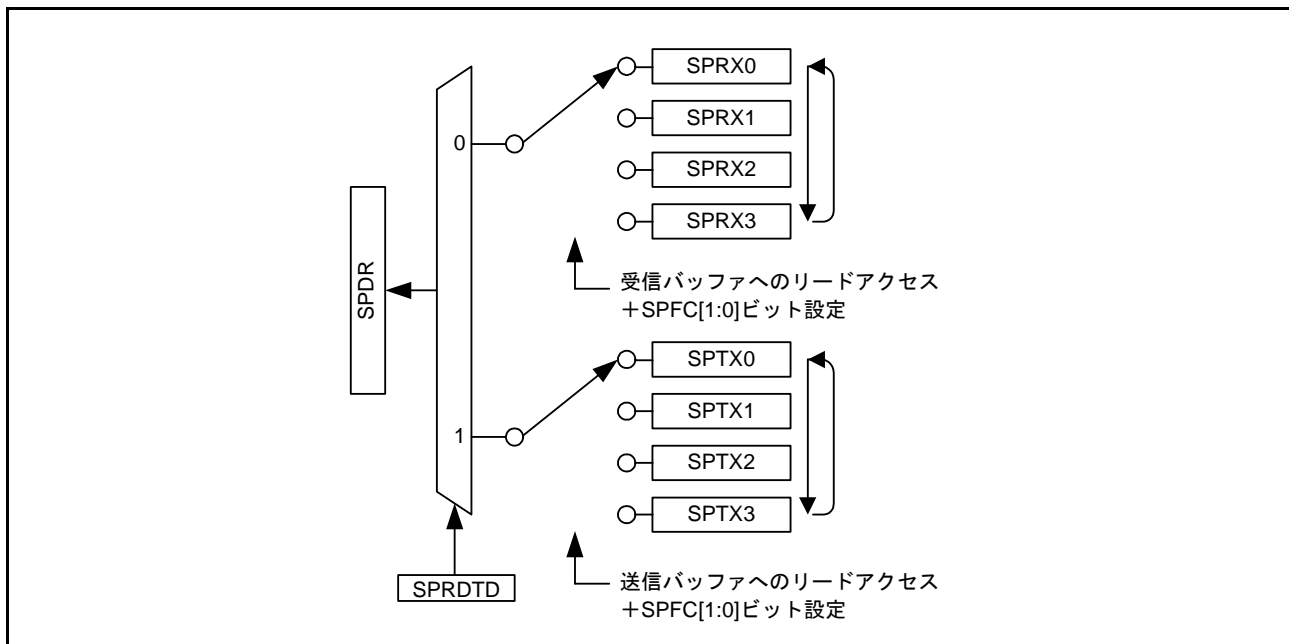


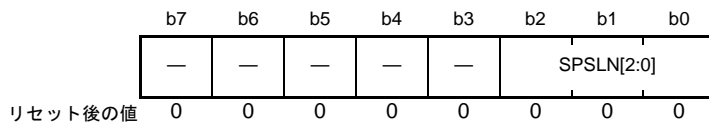
図 25.4 SPDR レジスタの構成図 (リード時)

受信バッファをリードすると、受信バッファリードポイントが次のバッファに自動的に切り替わります。受信バッファリードポイントの切り替え順序は、送信バッファライトポイントと同様の順序で切り替わります。ただし、RSPI 制御レジスタの RSPI 機能許可ビット (SPCR.SPE) が “0” の状態で “1” を書くと、次の読み出し先は SPRX0 になります。

送信バッファリードポイントは SPDR への書き込み時に更新され、送信バッファリード時には更新されません。送信バッファをリードすると、SPDR に最後に書き込んだ値が読み出せます。ただし、送信バッファエンプティ割り込み発生後、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定したフレーム数分のデータの書き込み完了から次の送信バッファエンプティ割り込みが発生するまでの期間 (SPSR.SPTEF フラグが “0” の期間) は、送信バッファの読み出し値は、すべて “0” となります。

25.2.6 RSPI シーケンス制御レジスタ (SPSCR)

アドレス RSPI0.SPSCR 0008 8388h



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPSLN[2:0]	RSPIシーケンス長設定ビット	b2 b0 シーケンス長 参照するSPCMD0~7レジスタ (番号) 0 0 0 : 1 0→0→... 0 0 1 : 2 0→1→0→... 0 1 0 : 3 0→1→2→0→... 0 1 1 : 4 0→1→2→3→0→... 1 0 0 : 5 0→1→2→3→4→0→... 1 0 1 : 6 0→1→2→3→4→5→0→... 1 1 0 : 7 0→1→2→3→4→5→6→0→... 1 1 1 : 8 0→1→2→3→4→5→6→7→0→... 設定されたシーケンス長に応じて、参照するSPCMD0~7レジスタの参照順を変更します。SPSLN[2:0]ビットの設定値とシーケンス長、RSPIが参照するSPCMD0~7レジスタの関係は上記のとおりです。なお、スレーブモードのRSPIでは、SPCMD0レジスタが参照されません。	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPSCR レジスタは、RSPI がマスタ動作する場合のシーケンス長を設定するためのレジスタです。SPCR.MSTR、SPE ビットがともに“1”の状態において、SPSCR.SPSSLN[2:0] ビットを書き換える場合、SPSR.IDLNF フラグが“0”の状態書き換えてください。

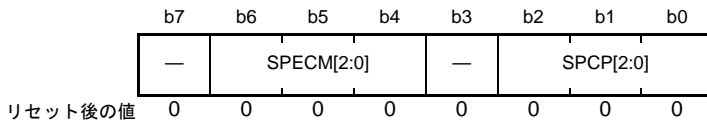
SPSLN[2:0] ビット (RSPI シーケンス長設定ビット)

マスタモードのRSPIがシーケンス動作する場合のシーケンス長を設定します。マスタモードのRSPIはSPSLN[2:0] ビットで設定されたシーケンス長に応じて、参照するSPCMD0~7レジスタと参照順を変更します。

スレーブモードでは、SPCMD0レジスタが参照されます。

25.2.7 RSPI シーケンスステータスレジスタ (SPSSR)

アドレス RSPI0.SPSSR 0008 8389h



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPCP[2:0]	RSPIコマンドポインタビット	b2 b0 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b3	—	予約ビット	読むと“0”が読めます	R
b6-b4	SPECM[2:0]	RSPIエラーコマンドビット	b6 b4 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b7	—	予約ビット	読むと“0”が読めます	R

SPSSR レジスタは、RSPI がマスタ動作する場合のシーケンス制御の状態を示します。
SPSSR レジスタへの書き込みは無効です。

SPCP[2:0] ビット (RSPI コマンドポインタビット)

RSPI のシーケンス制御で、現在ポインタで指されている SPCMD_m レジスタを示します。
なお、RSPI のシーケンス制御については、「25.3.10.1 マスタモード動作」を参照してください。

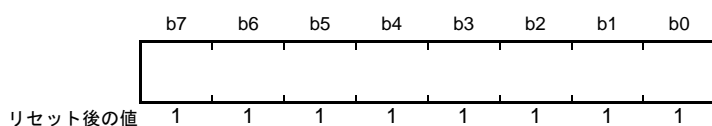
SPECM[2:0] ビット (RSPI エラーコマンドビット)

RSPI のシーケンス制御で、エラー検出時に SPCP[2:0] ビットで指定されていた SPCMD_m レジスタを示します。RSPI は、エラー検出時にのみ SPECM[2:0] ビットを更新します。SPSR.OVRF、MODF フラグがともに“0”で、エラーが発生していない場合には、SPECM[2:0] ビットの値には意味がありません。

なお、RSPI のエラー検出機能については、「25.3.8 エラー検出」を参照してください。また、RSPI のシーケンス制御については、「25.3.10.1 マスタモード動作」を参照してください。

25.2.8 RSPI ビットレートレジスタ (SPBR)

アドレス RSPI0.SPBR 0008 838Ah



SPBR レジスタは、マスタモード時のビットレート設定に使用します。SPCR.MSTR, SPE ビットがともに“1”の状態において、SPBR レジスタを書き換えた場合には、以降の動作はしないでください。

RSPI をスレーブモードで使用する場合には、SPBR レジスタ、SPCMDm.BRDV[1:0] ビット（ビットレート分周設定ビット）の設定に関係なく、入力クロックのビットレートに依存します。（電気的特性を満足するビットレートを使用してください）

ビットレートは SPBR レジスタの設定値と SPCMDm.BRDV[1:0] ビットの設定値の組み合わせで決定されます。ビットレートの計算式は下記のとおりです。計算式中で n は SPBR レジスタの設定値（0, 1, 2, …, 255）、N は BRDV[1:0] ビットの設定値（0, 1, 2, 3）です。

$$\text{ビットレート} = \frac{f(\text{PCLK})}{2 \times (n + 1) \times 2^N}$$

SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレートの関係の例を表 25.3 に示します。相手デバイスの AC スペックを考慮の上、電気的特性を満足するビットレートを使用してください。

表 25.3 SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレート

SPBR レジスタの 設定値 (n)	BRDV[1:0] ビット の設定値 (N)	分周比	ビットレート
			PCLK = 32 MHz
0	0	2	16.0 Mbps
1	0	4	8.00 Mbps
2	0	6	5.33 Mbps
3	0	8	4.00 Mbps
4	0	10	3.20 Mbps
5	0	12	2.67 Mbps
5	1	24	1.33 Mbps
5	2	48	667 kbps
5	3	96	333 kbps
255	3	4096	7.81 kbps

25.2.9 RSPI データコントロールレジスタ (SPDCR)

アドレス RSPI0.SPDCR 0008 838Bh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	SPLW	SPRDT D	—	—	SPFC[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SPFC[1:0]	フレーム数設定ビット	b1 b0 0 0 : 1フレーム 0 1 : 2フレーム 1 0 : 3フレーム 1 1 : 4フレーム	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SPRDTD	RSPI受信/送信データ選択ビット	0 : SPDRは受信バッファを読み出す 1 : SPDRは送信バッファを読み出す (ただし、送信バッファが空のとき)	R/W
b5	SPLW	RSPIロングワードアクセス/ ワードアクセス設定ビット	0 : SPDRレジスタへはワードアクセス 1 : SPDRレジスタへはロングワードアクセス	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCMDm.SPB[3:0] ビット、SPSCR.SPSTLN[2:0] ビット、SPDCR.SPFC[1:0] ビットの組み合わせから1回の送受信起動で最大4フレームを送受信できます。

SPCR.SPE ビットが“1”の状態において、SPDCR.SPFC[1:0] ビットを書き換える場合、SPSR.IDLNF フラグが“0”のときに書き換えてください。

SPFC[1:0] ビット (フレーム数設定ビット)

SPDR レジスタに格納できる (1回の転送起動) フレーム数を設定します。SPSCR.SPSTLN[2:0] ビット、SPDCR.SPFC[1:0] ビットの設定により1回の送受信起動で最大4フレームを送受信できます。また、SPFC[1:0] ビットの設定により、RSPI 受信バッファフル割り込みが発生と送信バッファエンプティ割り込みが発生または送信開始するためのフレーム数も変更します。

SPDR レジスタに SPFC[1:0] ビットで設定したフレーム数分の送信データを書き込むと、SPSR.SPTEF フラグが“0”になり送信が開始されます。その後、設定したフレーム数分の送信データがシフトレジスタに転送されると、SPTEF フラグが“1”になり RSPI 送信バッファエンプティ割り込みが発生します。

また、SPFC[1:0] ビットで設定したフレーム数分の受信を行うと、SPSR.SPRF フラグが“1”になり RSPI 受信バッファフル割り込みが発生します。

表 25.4 に、SPDR レジスタに格納できるフレームの構成と送受信設定の組み合わせ例を示します。組み合わせ例に示した以外の設定を行った場合、以後の動作はしないでください。

表 25.4 SPSLN[2:0]ビットとSPFC[1:0]ビットの設定可能な組み合わせ

設定	SPSLN[2:0]	SPFC[1:0]	1シーケンスで 転送するフレーム数	送信バッファ、受信バッファが 「有効データあり」になるフレーム数
1-1	000b	00b	1	1
1-2	000b	01b	2	2
1-3	000b	10b	3	3
1-4	000b	11b	4	4
2-1	001b	01b	2	2
2-2	001b	11b	4	4
3	010b	10b	3	3
4	011b	11b	4	4
5	100b	00b	5	1
6	101b	00b	6	1
7	110b	00b	7	1
8	111b	00b	8	1

SPRDTD ビット (RSPI 受信 / 送信データ選択ビット)

SPDR レジスタの読み出す値を受信バッファとするか、送信バッファとするか選択します。

送信バッファを読む場合 SPDR レジスタへ直前に書いた値が読めます。

送信バッファの読み出しは、送信バッファエンプティ割り込み発生後、SPFC[1:0] ビットで設定したフレーム数を書き終える前 (SPSR.SPTEF フラグが“1”の期間) に行ってください。

詳細は、「25.2.5 RSPI データレジスタ (SPDR)」を参照してください。

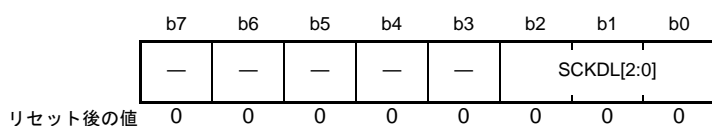
SPLW ビット (RSPI ロングワードアクセス / ワードアクセス設定ビット)

SPDR レジスタへのアクセス幅を設定します。SPLW ビットが“0”のときはワードアクセス、SPLW ビットが“1”のときはロングワードアクセスで SPDR レジスタにアクセスしてください。

また、SPLW ビットが“0”のとき、SPCMDm.SPB[3:0] ビット (RSPI データ長設定ビット) の設定は、8 ~ 16 ビットに設定してください。20、24、32 ビットに設定した場合の動作はしないでください。

25.2.10 RSPI クロック遅延レジスタ (SPCKD)

アドレス RSPI0.SPCKD 0008 838Ch



ビット	シンボル	ビット名	説明	R/W
b2-b0	SCKDL[2:0]	RSPCK遅延設定ビット	b2 b0 0 0 0 : 1 RSPCK 0 0 1 : 2 RSPCK 0 1 0 : 3 RSPCK 0 1 1 : 4 RSPCK 1 0 0 : 5 RSPCK 1 0 1 : 6 RSPCK 1 1 0 : 7 RSPCK 1 1 1 : 8 RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCKD レジスタは、SPCMDm.SCKDEN ビットが“1”の状態における、SSLAi 信号アサート開始から RSPCK 発振までの期間 (RSPCK 遅延) を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが“1”の状態において、SPCKD レジスタを書き換えた場合には、以降の動作はしないでください。

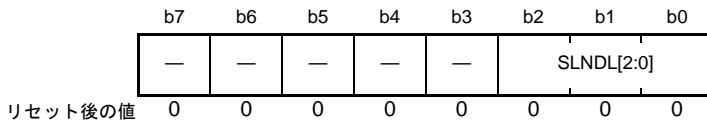
SCKDL[2:0] ビット (RSPCK 遅延設定ビット)

SPCMDm.SCKDEN ビットが“1”の場合の RSPCK 遅延値を設定します。

RSPI をスレーブモードで使用する場合には、SCKDL[2:0] ビットを“000b”にしてください。

25.2.11 RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)

アドレス RSPI0.SSLND 0008 838Dh



ビット	シンボル	ビット名	機能	R/W
b2-b0	SLNDL[2:0]	SSLネゲート遅延設定ビット	b2 b0 0 0 0 : 1 RSPCK 0 0 1 : 2 RSPCK 0 1 0 : 3 RSPCK 0 1 1 : 4 RSPCK 1 0 0 : 5 RSPCK 1 0 1 : 6 RSPCK 1 1 0 : 7 RSPCK 1 1 1 : 8 RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SSLND レジスタは、マスタモードのRSPIがシリアル転送の最終RSPCKエッジを送出してからSSLAi信号をネゲートするまでの期間（SSLネゲート遅延）を設定するためのレジスタです。SPCR.MSTRビットと、SPCR.SPEビットが“1”の状態において、SSLNDレジスタを書き換えた場合には、以降の動作はしないでください。

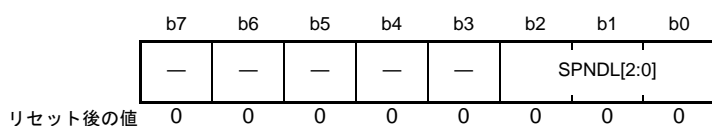
SLNDL[2:0] ビット (SSLネゲート遅延設定ビット)

マスタモードのRSPIのSSLネゲート遅延値を設定します。

RSPIをスレーブモードで使用する場合には、SLNDL[2:0]ビットを“000b”にしてください。

25.2.12 RSPI 次アクセス遅延レジスタ (SPND)

アドレス RSPI0.SPND 0008 838Eh



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPNDL[2:0]	RSPI次アクセス遅延設定ビット	b2 b0 0 0 0 : 1 RSPCK + 2 PCLK 0 0 1 : 2 RSPCK + 2 PCLK 0 1 0 : 3 RSPCK + 2 PCLK 0 1 1 : 4 RSPCK + 2 PCLK 1 0 0 : 5 RSPCK + 2 PCLK 1 0 1 : 6 RSPCK + 2 PCLK 1 1 0 : 7 RSPCK + 2 PCLK 1 1 1 : 8 RSPCK + 2 PCLK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPND レジスタは、SPCMDm.SPNDEN ビットが“1”の状態、シリアル転送終了後の SSLAi 信号の非アクティブ期間（次アクセス遅延）を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが“1”の状態において、SPND レジスタを書き換えた場合には、以降の動作はしないでください。

SPNDL[2:0] ビット (RSPI 次アクセス遅延設定ビット)

SPCMDm.SPNDEN ビットが“1”の場合の次アクセス遅延を設定します。

RSPI をスレーブモードで使用する場合には、SPNDL[2:0] ビットを“000b”にしてください。

25.2.13 RSPI 制御レジスタ 2 (SPCR2)

アドレス RSPI0.SPCR2 0008 838Fh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	PTE	SPIIE	SPOE	SPPE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPPE	パリティ許可ビット	0: 送信データパリティビットを付加しない 受信データのパリティチェックを行わない 1: 送信データにパリティビットを付加し、受信データの パリティチェックを行う (SPCR.TXMD=0のとき) 送信データにパリティビットを付加するが、受信データ のパリティチェックは行わない (SPCR.TXMD=1の とき)	R/W
b1	SPOE	パリティモードビット	0: 偶数パリティで送受信 1: 奇数パリティで送受信	R/W
b2	SPIIE	RSPIアイドル割り込み許可ビット	0: アイドル割り込み要求の発生を禁止 1: アイドル割り込み要求の発生を許可	R/W
b3	PTE	パリティ自己診断ビット	0: パリティ回路自己診断機能は無効 1: パリティ回路自己診断機能が有効	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCR.SPE ビットが“1”の状態において、SPCR2 レジスタの SPPE、SPOE ビットの設定値を変更した場合には、以降の動作はしないでください。

SPPE ビット (パリティ許可ビット)

パリティ機能の有効、無効を選択するビットです。

SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”のとき、送信データにパリティビットを付加し、受信データのパリティチェックを行います。

SPCR.TXMD ビットが“1”、SPCR2.SPPE ビットが“1”の場合、送信データにパリティビットを付加しますが、受信データのパリティチェックを行いません。

SPOE ビット (パリティモードビット)

偶数パリティ / 奇数パリティを設定するビットです。

偶数パリティでは、パリティビットと送受信キャラクタを合わせて、1の数の合計が偶数個になるようにパリティビットを決定します。同様に、奇数パリティでは、パリティビットと送受信キャラクタを合わせて、1の数の合計が奇数個になるようにパリティビットを決定します。

SPOE ビットは、SPPE ビットが“1”のときのみ有効です。

SPIIE ビット (RSPI アイドル割り込み許可ビット)

RSPI がアイドル状態であることを検出し、SPSR.IDLNF フラグが“0”になった場合に、RSPI アイドル割り込み要求の発生を許可 / 禁止します。

PTE ビット (パリティ自己診断ビット)

パリティ機能が正常であることを確認するために、パリティ回路の自己診断を有効にするビットです。

25.2.14 RSPI コマンドレジスタ 0 ~ 7 (SPCMD0 ~ SPCMD7)

アドレス RSPI0.SPCMD0 0008 8390h, RSPI0.SPCMD1 0008 8392h, RSPI0.SPCMD2 0008 8394h,
RSPI0.SPCMD3 0008 8396h, RSPI0.SPCMD4 0008 8398h, RSPI0.SPCMD5 0008 839Ah,
RSPI0.SPCMD6 0008 839Ch, RSPI0.SPCMD7 0008 839Eh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			SSLKP	SSLA[2:0]		BRDV[1:0]		CPOL	CPHA			
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CPHA	RSPCK位相設定ビット	0: 奇数エッジでデータサンプル、偶数エッジでデータ変化 1: 奇数エッジでデータ変化、偶数エッジでデータサンプル	R/W
b1	CPOL	RSPCK極性設定ビット	0: アイドル時のRSPCKがLow 1: アイドル時のRSPCKがHigh	R/W
b3-b2	BRDV[1:0]	ビットレート分周設定ビット	b3 b2 0 0: ベースのビットレートを選択 0 1: ベースのビットレートの2分周を選択 1 0: ベースのビットレートの4分周を選択 1 1: ベースのビットレートの8分周を選択	R/W
b6-b4	SSLA[2:0]	SSL信号アサート設定ビット	b6 b4 0 0 0: SSL0 0 0 1: SSL1 0 1 0: SSL2 0 1 1: SSL3 1 x x: 設定しないでください	R/W
b7	SSLKP	SSL信号レベル保持ビット	0: 転送終了時に全SSL信号をネゲート 1: 転送終了後から次アクセス開始までSSL信号レベルを保持	R/W
b11-b8	SPB[3:0]	RSPIデータ長設定ビット	b11 b8 0100~0111 : 8ビット 1 0 0 0 : 9ビット 1 0 0 1 : 10ビット 1 0 1 0 : 11ビット 1 0 1 1 : 12ビット 1 1 0 0 : 13ビット 1 1 0 1 : 14ビット 1 1 1 0 : 15ビット 1 1 1 1 : 16ビット 0 0 0 0 : 20ビット 0 0 0 1 : 24ビット 0010, 0011 : 32ビット	R/W
b12	LSBF	RSPI LSB ファーストビット	0: MSB ファースト 1: LSB ファースト	R/W
b13	SPNDEN	RSPI次アクセス遅延許可ビット	0: 次アクセス遅延は1 RSPCK + 2 PCLK 1: 次アクセス遅延はRSPI次アクセス遅延レジスタ (SPND) の設定値	R/W
b14	SLNDEN	SSLネゲート遅延設定許可ビット	0: SSLネゲート遅延は1 RSPCK 1: SSLネゲート遅延はRSPIスレーブセレクトネゲート遅延レジスタ (SSLND) の設定値	R/W
b15	SCKDEN	RSPCK遅延設定許可ビット	0: RSPCK遅延は1 RSPCK 1: RSPCK遅延はRSPIクロック遅延レジスタ (SPCKD) の設定値	R/W

x : Don't care

SPCMDm レジスタは、マスタモードの RSPI の転送フォーマットを設定します。1 チャンネルの RSPI には、RSPI コマンドレジスタが 8 本あります (SPCMD0 ~ SPCMD7 レジスタ)。また、SPCMD0 レジスタの一部のビットは、スレーブモードの RSPI の転送フォーマットを設定するためにも使用されます。マスタモードの RSPI は SPSCR.SPSSLN[2:0] ビットの設定に従ってシーケンシャルに SPCMDm レジスタを参照し、参照した SPCMDm レジスタに設定されたシリアル転送を実行します。

SPCMDm レジスタの設定は、送信バッファが空の (次転送のデータがセットされていない) 状態でその SPCMDm レジスタを参照して送信するデータを設定する前に実施してください。

マスタモードの RSPI が参照している SPCMDm レジスタは、SPSSR.SPCP[2:0] ビットにより確認できます。また、SPCR.MSTR ビットが“0”、SPCR.SPE ビットが“1”の状態において、SPCMDm レジスタを書き換えた場合、以降の動作はしないでください。

CPHA ビット (RSPCK 位相設定ビット)

マスタモード/スレーブモードの RSPI の RSPCK 位相を設定します。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 位相を設定する必要があります。

CPOL ビット (RSPCK 極性設定ビット)

マスタモード/スレーブモードの RSPI の RSPCK 極性を設定します。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 極性を設定する必要があります。

BRDV[1:0] ビット (ビットレート分周設定ビット)

ビットレートを決定するために使用するレジスタです。BRDV[1:0] ビットと SPBR レジスタの設定値の組み合わせでビットレートを決定します (「25.2.8 RSPI ビットレートレジスタ (SPBR)」を参照)。SPBR レジスタの設定値は、ベースとなるビットレートを決定します。BRDV[1:0] ビットの設定値は、ベースのビットレートに対して分周なし/2分周/4分周/8分周したビットレートを選択するために使用します。SPCMDm レジスタにはそれぞれ異なる BRDV[1:0] ビットの設定を行えます。このため、コマンドごとに異なるビットレートでシリアル転送を実行できます。

SSLA[2:0] ビット (SSL 信号アサート設定ビット)

マスタモードの RSPI がシリアル転送する場合の SSLAi 信号のアサートを制御するためのビットです。SSLA[2:0] ビットの設定値が、SSLAi 信号のアサートを制御します。SSLAi 信号アサート時の信号極性は、SSLP レジスタの設定値に依存します。マルチマスタモードで SSLA[2:0] ビットを“000b”にした場合には、全 SSL 信号がネゲート状態でシリアル転送が実行されます (SSLA0 端子は入力になるため)。

なお、RSPI をスレーブモードで使用する場合には、SSLA[2:0] ビットを“000b”にしてください。

SSLKP ビット (SSL 信号レベル保持ビット)

マスタモードの RSPI がシリアル転送する場合に、現コマンドに対応する SSL ネゲートタイミングから次コマンドに対応する SSL アサートタイミングの間、現コマンドの SSLAi 信号レベルを保持するか、ネゲートするかを設定するビットです。

SSLKP ビットを“1”とすることによってバースト転送が可能となります。詳細は「25.3.10.1 マスタモード動作の (4) バースト転送」を参照してください。

RSPI をスレーブモードで使用する場合には、SSLKP ビットを“0”にしてください。

SPB[3:0] ビット (RSPI データ長設定ビット)

マスタモード/スレーブモードのRSPIの転送データ長を設定します。SPDCR.SPLW ビットが“0”のときは、“0100b” (8ビット) ~ “1111b” (16ビット) の範囲で値を設定してください。

LSBF ビット (RSPI LSB ファーストビット)

マスタモード/スレーブモードのRSPIのデータフォーマットを、MSB ファーストにするか LSB ファーストにするかを選択します。

SPNDEN ビット (RSPI 次アクセス遅延許可ビット)

マスタモードのRSPIがシリアル転送を終了してSSLAi信号を非アクティブにしてから、次アクセスのSSLAi信号アサートを可能にするまでの期間 (次アクセス遅延) を設定します。SPNDEN ビットが“0”のとき、RSPIは次アクセス遅延を1 RSPCK + 2 PCLK にします。SPNDEN ビットが“1”のとき、RSPIはSPNDレジスタの設定に従った次アクセス遅延を挿入します。

RSPIをスレーブモードで使用する場合には、SPNDEN ビットを“0”にしてください。

SLNDEN ビット (SSL ネゲート遅延設定許可ビット)

マスタモードのRSPIが、RSPCKを発振停止してからSSLAi信号を非アクティブにするまでの期間 (SSLネゲート遅延) を設定します。SLNDEN ビットが“0”のとき、RSPIはSSLネゲート遅延を1 RSPCK にします。SLNDEN ビットが“1”のとき、RSPIはSSLNDレジスタの設定に従ったRSPCK遅延でSSLをネゲートします。

RSPIをスレーブモードで使用する場合には、SLNDEN ビットを“0”にしてください。

SCKDEN ビット (RSPCK 遅延設定許可ビット)

マスタモードのRSPIが、SSLAi信号をアクティブにしてからRSPCKを発振するまでの期間 (RSPCK遅延) を設定します。SCKDEN ビットが“0”のとき、RSPIはRSPCK遅延を1 RSPCK にします。SCKDEN ビットが“1”のとき、RSPIはSPCKDレジスタの設定に従ったRSPCK遅延でRSPCKの発振を開始します。

RSPIをスレーブモードで使用する場合には、SCKDEN ビットを“0”にしてください。

25.3 動作説明

本章では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

25.3.1 RSPI 動作の概要

RSPI は、スレーブモード (SPI 動作)、シングルマスタモード (SPI 動作)、マルチマスタモード (SPI 動作)、スレーブモード (クロック同期式動作)、マスタモード (クロック同期式動作) での同期式のシリアル転送ができます。RSPI のモードは、SPCR.MSTR、MODFEN、SPMS ビットによって設定できます。表 25.5 に RSPI のモードと SPCR レジスタの設定の関係および各モードの概要を示します。

表 25.5 RSPIのモードと SPCR レジスタの設定の関係および各モードの概要

モード	スレーブ (SPI動作)	シングルマスタ (SPI動作)	マルチマスタ (SPI動作)	スレーブ (クロック同期式動作)	マスタ (クロック同期式動作)
MSTRビットの設定	0	1	1	0	1
MODFENビットの設定	0 or 1	0	1	0	0
SPMSビットの設定	0	0	0	1	1
RSPCKA信号	入力	出力	出力/Hi-Z	入力	出力
MOSIA信号	入力	出力	出力/Hi-Z	入力	出力
MISOA信号	出力/Hi-Z	入力	入力	出力	入力
SSLA0信号	入力	出力	入力	Hi-Z (注1)	Hi-Z (注1)
SSLA1～SSLA3信号	Hi-Z (注1)	出力	出力/Hi-Z	Hi-Z (注1)	Hi-Z (注1)
SSL極性変更機能	あり	あり	あり	—	—
転送レート	～PCLK/8	～PCLK/2	～PCLK/2	～PCLK/8	～PCLK/2
クロックソース	RSPCK入力	内蔵ボーレート ジェネレータ	内蔵ボーレート ジェネレータ	RSPCK入力	内蔵ボーレート ジェネレータ
クロック極性	2種				
クロック位相	2種	2種	2種	1種 (CPHA = 1)	2種
先頭転送ビット	MSB/LSB				
転送データ長	8～16、20、24、32ビット				
バースト転送	可能 (CPHA = 1)	可能 (CPHA = 0,1)	可能 (CPHA = 0,1)	—	—
RSPCK遅延制御	なし	あり	あり	なし	あり
SSLネゲート遅延制御	なし	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送起動方法	SSL入力 アクティブ または RSPCK発振	送信バッファエンブ ティ割り込み要求、 またはSPTEF = 1で 送信バッファ書き込み	送信バッファエンブ ティ割り込み要求、 またはSPTEF = 1で 送信バッファ書き込み	RSPCK発振	送信バッファエンブ ティ割り込み要求、 またはSPTEF = 1で 送信バッファ書き込み
シーケンス制御	なし	あり	あり	なし	あり
送信バッファエンブティ 検出	あり				
受信バッファフル検出	あり (注2)				
オーバランエラー検出	あり (注2)				
パリティエラー検出	あり (注2、注3)				
モードフォルトエラー 検出	あり (MODFEN = 1)	なし	あり	なし	なし

注1. 本モードでは使用しません。

注2. SPCR.TXMDビットが“1”のときは、受信バッファフル検出、オーバランエラー検出、パリティエラー検出を行いません。

注3. SPCR2.SPPEビットが“0”のときは、パリティエラー検出を行いません。

25.3.2 RSPI 端子の制御

RSPI は、SPCR.MSTR, MODFEN, SPMS ビットと I/O ポートの ODRn.Bi ビットの設定により、端子の状態を切り替えます。I/O ポートの ODRn.Bi ビットの設定値を“0”にすると CMOS 出力に、“1”にするとオープンドレイン出力となります。端子状態と各ビットの設定値の関係を表 25.6 に示します。I/O ポートの設定も同じとなるよう設定してください。

表 25.6 RSPI端子の状態と制御ビット設定値の関係

モード	端子	端子状態 (注2)	
		I/OポートのODRn.Biビット=0	I/OポートのODRn.Biビット=1
シングルマスタ (SPI動作) (MSTR = 1, MODFEN = 0, SPMS = 0)	RSPCKA	CMOS出力	オープンドレイン出力
	SSLA0~SSLA3	CMOS出力	オープンドレイン出力
	MOSIA	CMOS出力	オープンドレイン出力
	MISOA	入力	入力
マルチマスタ (SPI動作) (MSTR = 1, MODFEN = 1, SPMS = 0)	RSPCKA (注3)	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
	SSLA0	入力	入力
	SSLA1~SSLA3 (注3)	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
	MOSIA (注3)	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
スレーブ (SPI動作) (MSTR = 0, SPMS = 0)	RSPCKA	入力	入力
	SSLA0	入力	入力
	SSLA1~SSLA3 (注5)	Hi-Z (注1)	Hi-Z (注1)
	MISOA (注4)	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
マスタ (クロック同期式動作) (MSTR = 1, MODFEN = 0, SPMS = 1)	RSPCKA	CMOS出力	オープンドレイン出力
	SSLA0~SSLA3 (注5)	Hi-Z (注1)	Hi-Z (注1)
	MOSIA	CMOS出力	オープンドレイン出力
	MISOA	入力	入力
スレーブ (クロック同期式動作) (MSTR = 0, SPMS = 1)	RSPCKA	入力	入力
	SSLA0~SSLA3 (注5)	Hi-Z (注1)	Hi-Z (注1)
	MOSIA	入力	入力
	MISOA	CMOS出力	オープンドレイン出力

注1. 本モードでは使用しません。

注2. RSPI機能が選択されていないマルチファンクションピンには、RSPIの設定値は反映されません。

注3. SSLA0がアクティブレベルの場合、端子状態がHi-Zになります。

注4. SSLA0が非アクティブレベルまたはSPCR.SPEビットが“0”の場合、端子状態がHi-Zになります。

注5. I/Oポートとして使用できます。

シングルマスタモード (SPI動作)、マルチマスタモード (SPI動作) のRSPIは、SPPCR.MOIFE, MOIFV ビットの設定に従って、SSLネゲート期間 (バースト転送におけるSSL保持期間を含む) のMOSI信号値を表 25.7のように決定します。

表 25.7 SSLネゲート期間のMOSI信号値の決定方法

MOIFEビット	MOIFVビット	SSLネゲート期間のMOSIA信号値
0	0, 1	前回転送の最終データ
1	0	Low
1	1	High

25.3.3 RSPI システム構成例

25.3.3.1 シングルマスタ / シングルスレーブ (本 MCU = マスタ)

図 25.5 に、本 MCU をマスタとして使用した場合のシングルマスタ / シングルスレーブの RSPI システムの構成例を示します。シングルマスタ / シングルスレーブの構成では、本 MCU (マスタ) の SSLA0 ~ SSLA3 出力は使用しません。SPI スレーブの SSL 入力 は Low に固定して、SPI スレーブを選択できる状態にします。(注1)

本 MCU (マスタ) は、RSPCKA と MOSIA をドライブします。SPI スレーブは、MISO をドライブします。

注 1. SPCMDm.CPHA ビットが“0”の場合に相当する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。SSL 信号を固定にできない場合には、本 MCU の SSLAi 出力をスレーブデバイスの SSL 入力に接続してください。

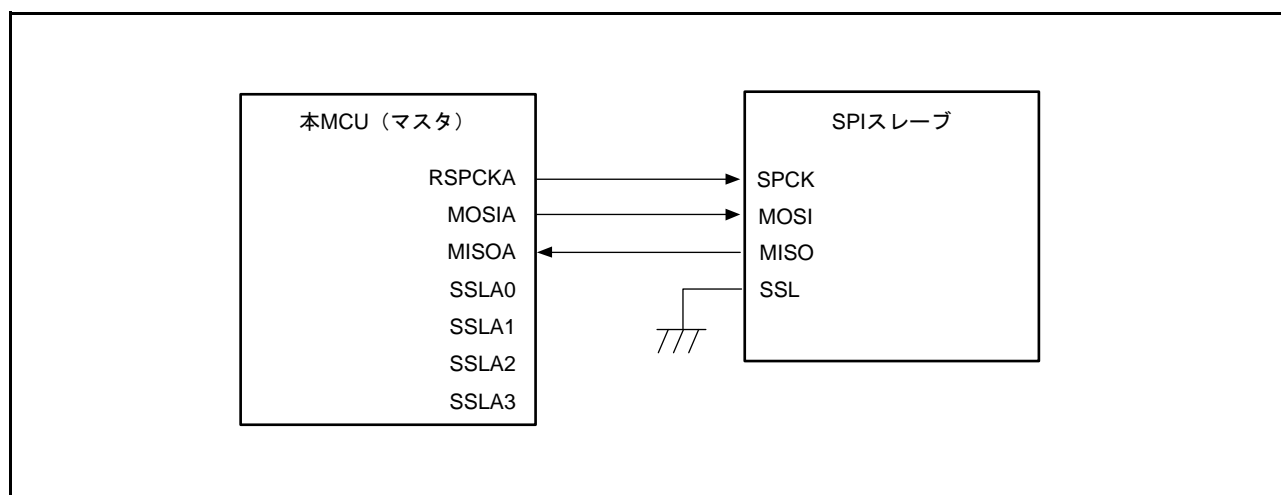


図 25.5 シングルマスタ / シングルスレーブの構成例 (本 MCU = マスタ)

25.3.3.2 シングルマスタ / シングルスレーブ (本 MCU = スレーブ)

図 25.6 に、本 MCU をスレーブとして使用した場合のシングルマスタ / シングルスレーブの RSPI システム構成例を示します。本 MCU をスレーブとして使用する場合には、SSLA0 端子を SSL 入力として使用します。SPI マスタは、SPCK と MOSI をドライブします。本 MCU (スレーブ) は、MISOA をドライブします。(注1)

SPCMDm.CPHA ビットを“1”にしたシングルスレーブ構成の場合には、本 MCU (スレーブ) の SSLA0 入力を Low に固定して本 MCU (スレーブ) を選択できる状態とし、シリアル転送を実行することも可能です(図 25.7)。

注 1. SSLA0 が非アクティブレベルの場合、端子状態が Hi-Z になります。

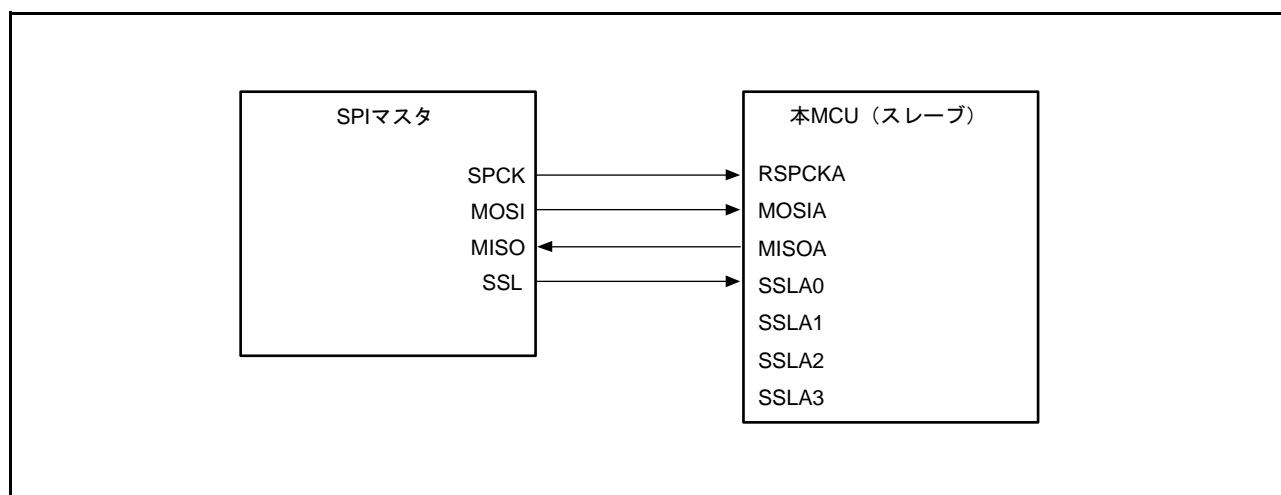


図 25.6 シングルマスタ / シングルスレーブの構成例 (本 MCU = スレーブ、CPHA = 0)

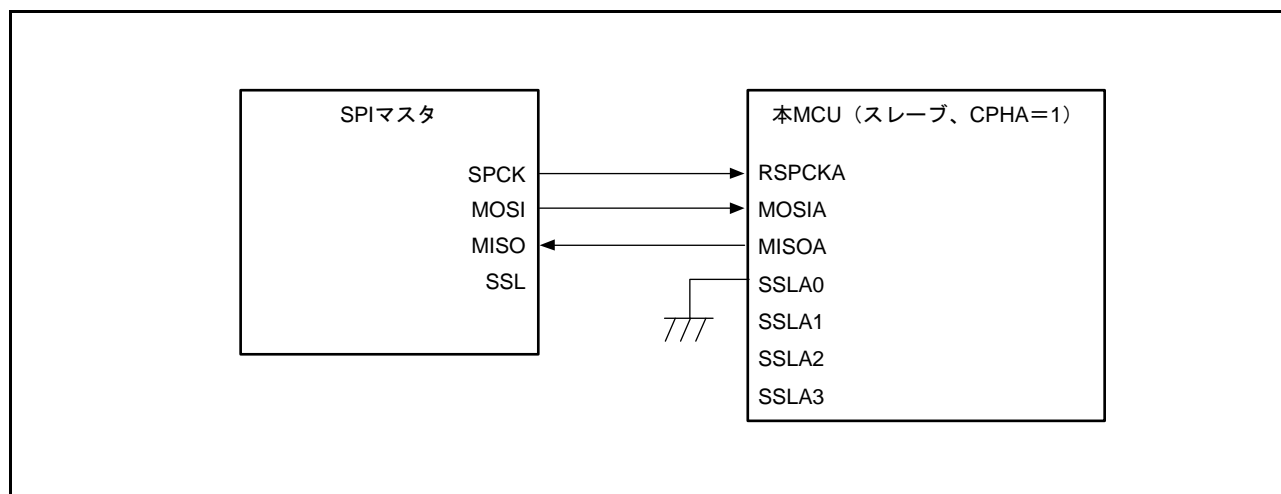


図 25.7 シングルマスタ / シングルスレーブの構成例 (本 MCU = スレーブ、CPHA = 1)

25.3.3.3 シングルマスタ / マルチスレーブ (本 MCU = マスタ)

図 25.8 に、本 MCU をマスタとして使用した場合のシングルマスタ / マルチスレーブの RSPI システム構成例を示します。図 25.8 の例では、本 MCU (マスタ) と 4 つのスレーブ (SPI スレーブ 0 ~ SPI スレーブ 3) から RSPI システムを構成しています。

本 MCU (マスタ) の RSPCKA 出力と MOSIA 出力は、SPI スレーブ 0 ~ SPI スレーブ 3 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 0 ~ SPI スレーブ 3 の MISO 出力は、すべて本 MCU (マスタ) の MISOA 入力に接続します。本 MCU (マスタ) の SSLA0 ~ SSLA3 出力は、それぞれ SPI スレーブ 0 ~ SPI スレーブ 3 の SSL 入力に接続します。

本 MCU (マスタ) は、RSPCKA、MOSIA、SSLA0 ~ SSLA3 をドライブします。SPI スレーブ 0 ~ SPI スレーブ 3 のうち、SSL 入力に Low を入力されているスレーブが、MISO をドライブします。

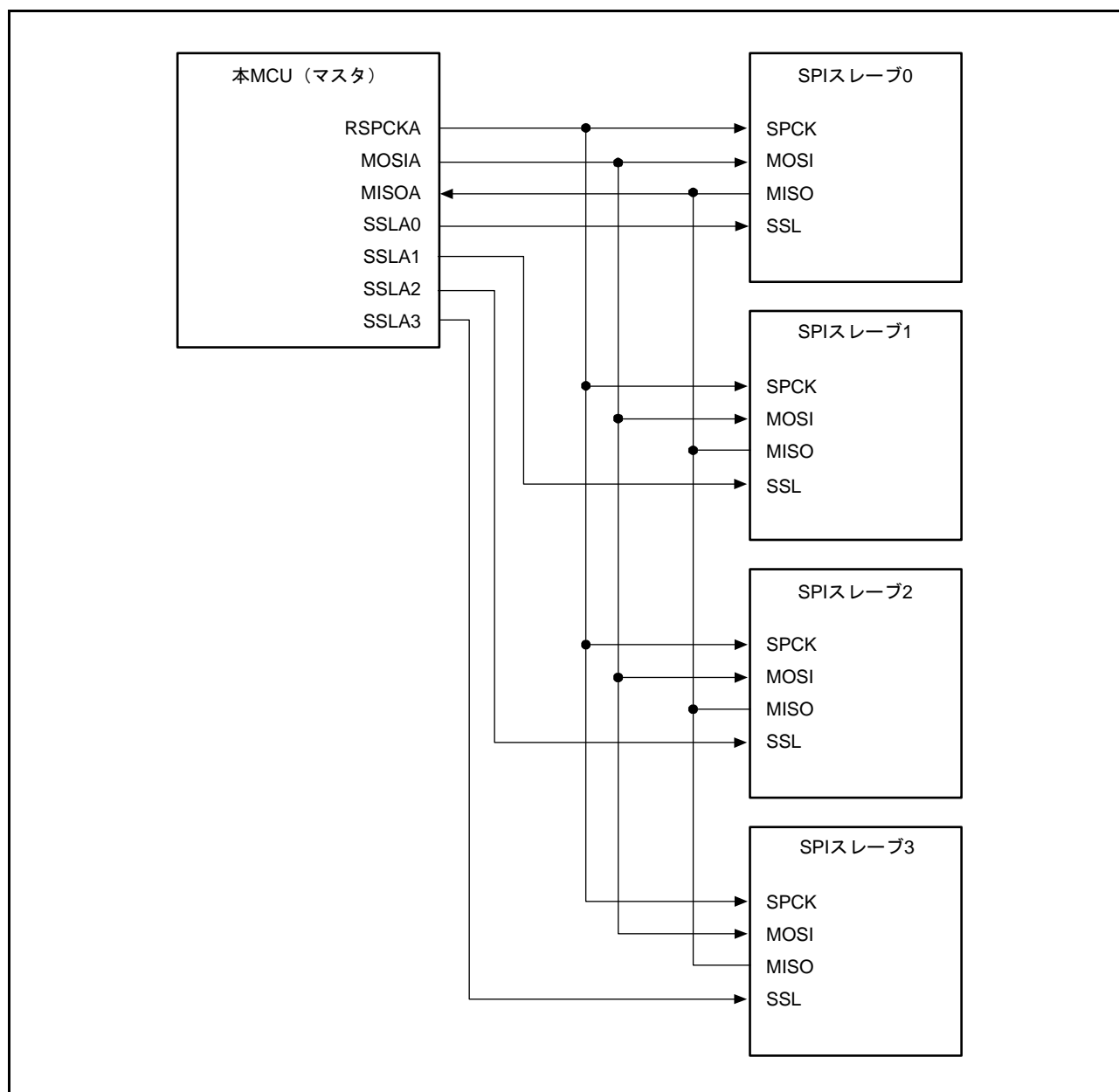


図 25.8 シングルマスタ / マルチスレーブの構成例 (本 MCU = マスタ)

25.3.3.4 シングルマスタ / マルチスレーブ (本 MCU = スレーブ)

図 25.9 に、本 MCU をスレーブとして使用した場合のシングルマスタ / マルチスレーブの RSPI システム構成例を示します。図 25.9 の例では、SPI マスタと 2 つの本 MCU (スレーブ X、スレーブ Y) から RSPI システムを構成しています。

SPI マスタの SPCK 出力と MOSI 出力は、本 MCU (スレーブ X、スレーブ Y) の RSPCKA 入力と MOSIA 入力に接続します。本 MCU (スレーブ X、スレーブ Y) の MISOA 出力は、SPI マスタの MISO 入力に接続します。SPI マスタの SSLX 出力、SSLY 出力は、本 MCU (スレーブ X、スレーブ Y) の SSLA0 入力に接続します。

SPI マスタは、SPCK、MOSI、SSLX、SSLY をドライブします。本 MCU (スレーブ X、スレーブ Y) のうち、SSLA0 入力に Low を入力されているスレーブが、MISOA をドライブします。

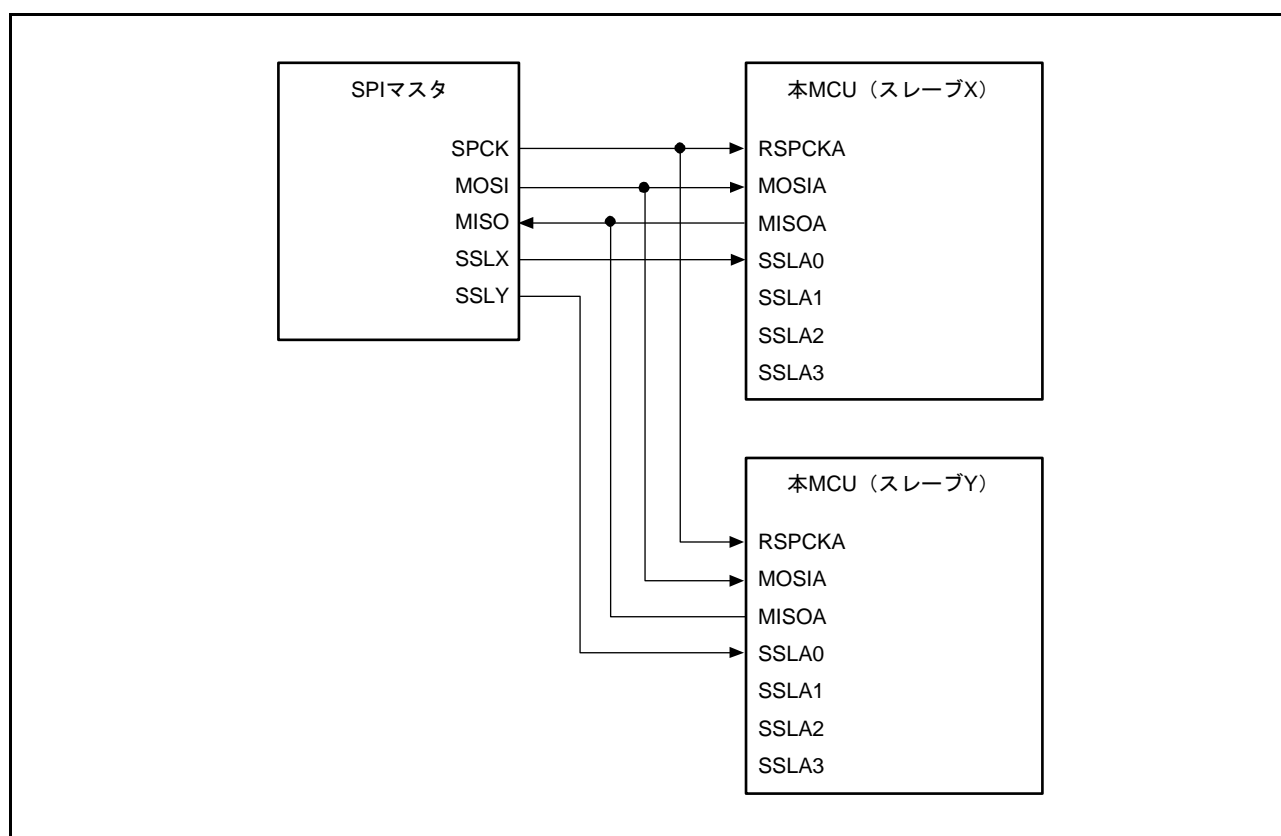


図 25.9 シングルマスタ / マルチスレーブの構成例 (本 MCU = スレーブ)

25.3.3.5 マルチマスタ / マルチスレーブ (本 MCU = マスタ)

図 25.10 に、本 MCU をマスタとして使用した場合のマルチマスタ / マルチスレーブの RSPI システム構成例を示します。図 25.10 の例では、2つの本 MCU (マスタ X、マスタ Y) と2つの SPI スレーブ (SPI スレーブ 1、SPI スレーブ 2) から RSPI システムを構成しています。

本 MCU (マスタ X、マスタ Y) の RSPCKA 出力と MOSIA 出力は、SPI スレーブ 1、SPI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 1、SPI スレーブ 2 の MISO 出力は、本 MCU (マスタ X、マスタ Y) の MISOA 入力に接続します。本 MCU (マスタ X) の任意の汎用ポート Y 出力は、本 MCU (マスタ Y) の SSLA0 入力に接続します。本 MCU (マスタ Y) の任意の汎用ポート X 出力は、本 MCU (マスタ X) の SSLA0 入力に接続します。本 MCU (マスタ X、マスタ Y) の SSLA1 出力と SSLA2 出力は、SPI スレーブ 1、SPI スレーブ 2 の SSL 入力に接続します。この構成例では、SSLA0 入力、スレーブ接続用の SSLA1 出力、SSLA2 出力のみでシステムを構成できるので、本 MCU の SSLA3 出力を使用していません。

本 MCU は、SSLA0 入力レベルが High の場合には、RSPCKA、MOSIA、SSLA1、SSLA2 をドライブします。SSLA0 入力レベルが Low の場合には、モードフォルトエラーを検出し、RSPCKA、MOSIA、SSLA1、SSLA2 を Hi-Z にして、他方のマスタに RSPI バス権を解放します。SPI スレーブ 1、SPI スレーブ 2 のうち、SSL 入力が Low を入力されているスレーブが、MISO をドライブします。

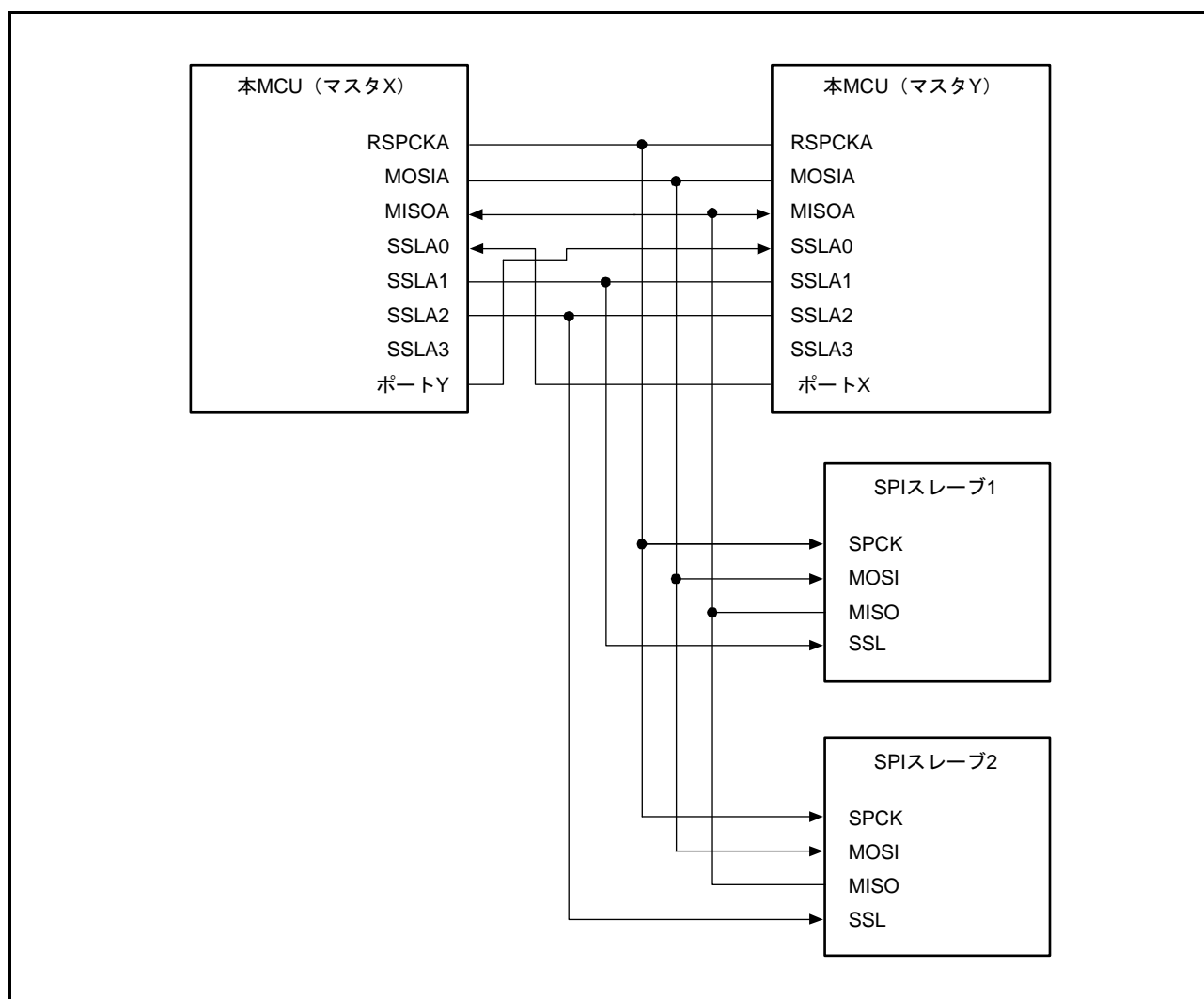


図 25.10 マルチマスタ / マルチスレーブの構成例 (本 MCU = マスタ)

25.3.3.6 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = マスタ)

図 25.11 に、本 MCU をマスタとして使用した場合のマスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の RSPI システムの構成例を示します。マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成では、本 MCU (マスタ) の SSLA0 ~ SSLA3 は使用しません。

本 MCU (マスタ) は、RSPCKA と MOSIA をドライブします。SPI スレーブは、MISO をドライブします。

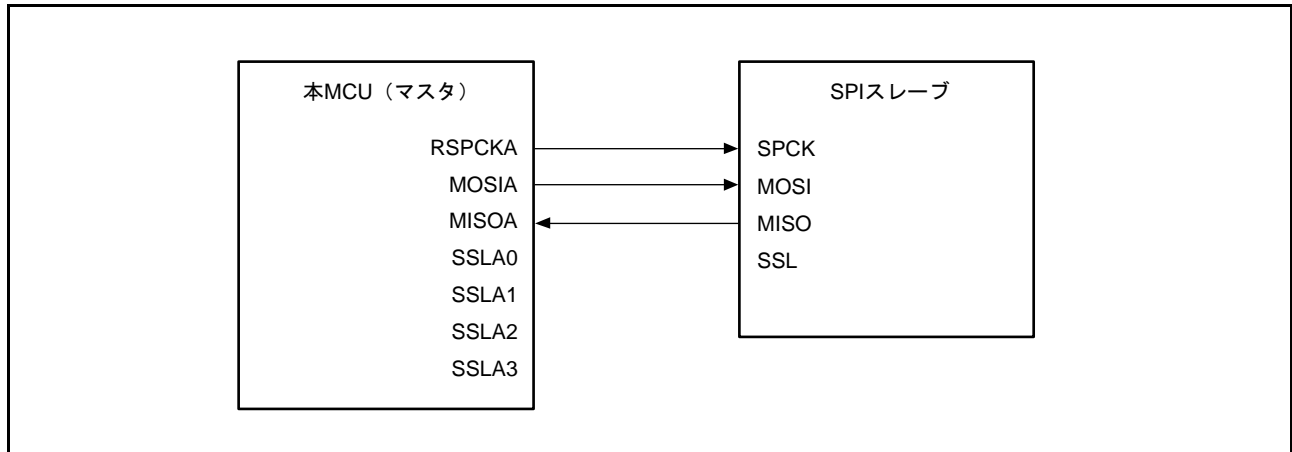


図 25.11 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成例 (本 MCU = マスタ)

25.3.3.7 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = スレーブ)

図 25.12 に、本 MCU をスレーブとして使用した場合のマスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の RSPI システム構成例を示します。本 MCU をスレーブ (クロック同期式動作) として使用する場合には、本 MCU (スレーブ) は、MISOA をドライブし、SPI マスタは、SPCK と MOSI をドライブします。また、本 MCU (スレーブ) の SSLA0 ~ SSLA3 は使用しません。

SPCMDm.CPHA ビットを“1”にしたシングルスレーブ構成の場合のみ、本 MCU (スレーブ) はシリアル転送を実行することが可能です。

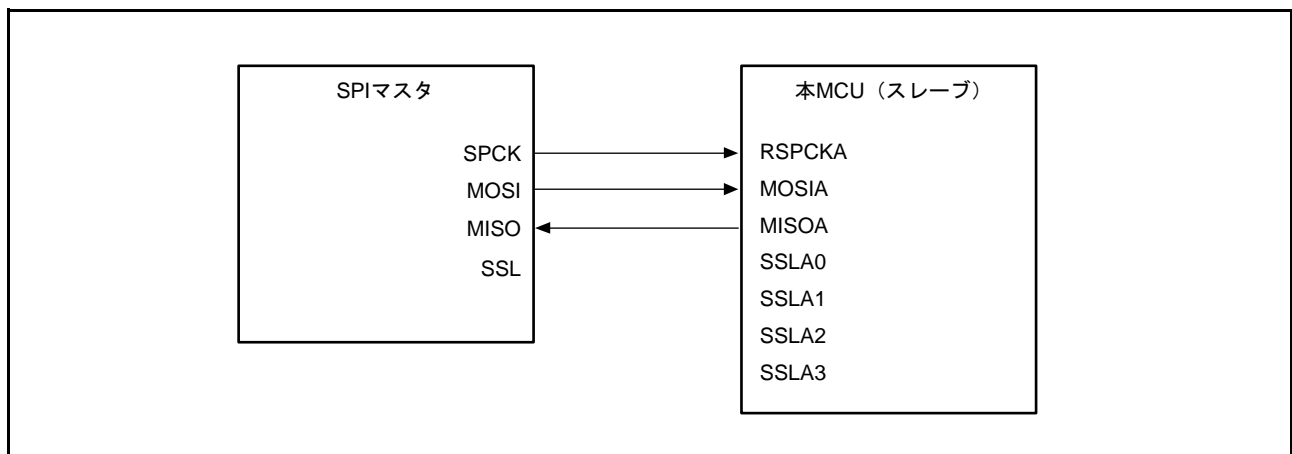


図 25.12 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成例
(本 MCU = スレーブ、CPHA = 1)

25.3.4 データフォーマット

RSPI のデータフォーマットは、RSPI コマンドレジスタ m (SPCMD m)、RSPI 制御レジスタ 2 のパリティ許可ビット (SPCR2.SPPE) の設定値に依存します。MSB/LSB ファーストに関わらず、RSPI は RSPI データレジスタ (SPDR) の LSB から設定データ長分の範囲を転送データとして扱います。

送受信時の 1 フレームのデータフォーマットを下記に示します。

(a) パリティ機能無効時

パリティ機能無効時は、RSPI コマンドレジスタ m の RSPI データ長設定ビット (SPCMD m .SPB[3:0]) で設定したビット長のデータの送受信を行います。

(b) パリティ機能有効時

パリティ機能有効時は、RSPI コマンドレジスタ m の RSPI データ長設定ビット (SPCMD m .SPB[3:0]) で設定したビット長のデータの送受信を行います。ただし、最終ビットは、パリティビットとなります。

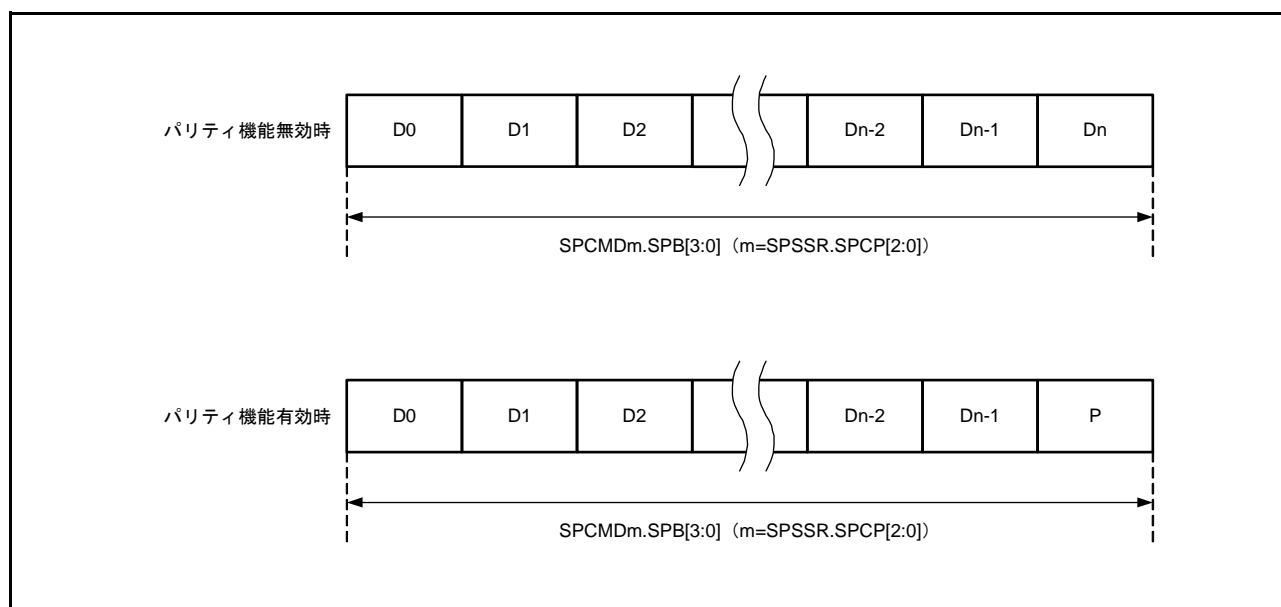


図 25.13 データフォーマット概要 (パリティ機能無効時 / 有効時)

25.3.4.1 パリティ機能無効時 (SPCR2.SPPE = 0)

パリティ機能無効時は、送信バッファのデータを加工せず、シフトレジスタにコピーします。以下にRSPIデータレジスタ (SPDR) とシフトレジスタの関係をMSB/LSBファーストとビット長の組み合わせで説明します。

(1) MSBファースト転送 (32ビットデータ)

図25.14に、パリティ機能無効時、RSPIがデータ長32ビットのMSBファースト転送を実施する場合のSPDRレジスタとシフトレジスタの動作内容を示します。

送信時は、送信バッファのT31～T00をシフトレジスタにコピーします。送信データは、T31→T30→・・・→T00の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット0に格納し、1データごとに受信データをシフトします。必要分のRSPCKが入力され、R31～R00までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

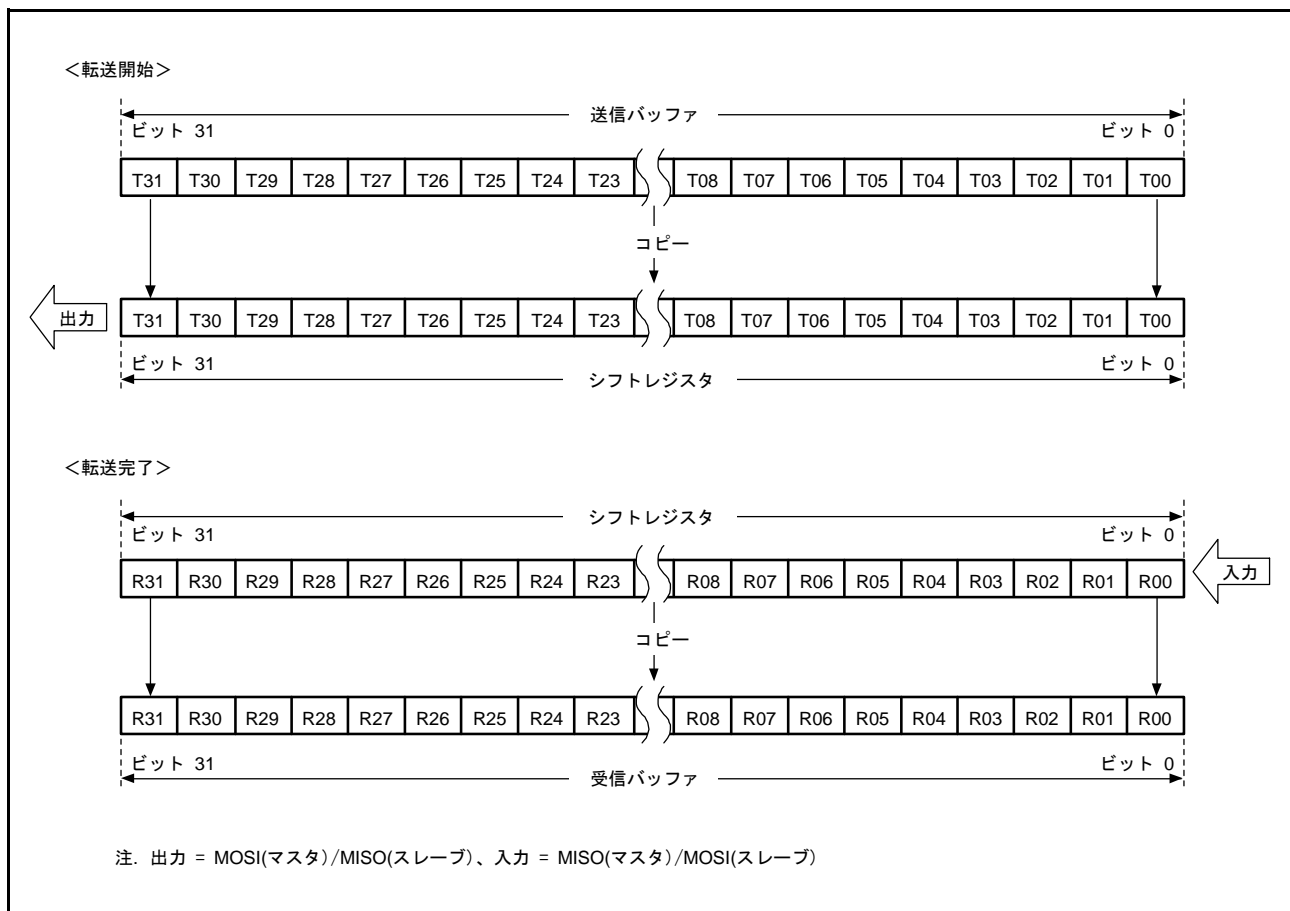


図 25.14 MSBファースト転送 (32ビットデータ/パリティ機能無効)

(2) MSB ファースト転送 (24 ビットデータ)

図 25.15 に、RSPI がパリティ機能無効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ~ T00) をシフトレジスタにコピーします。送信データは、T23 → T22 → … → T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ~ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。

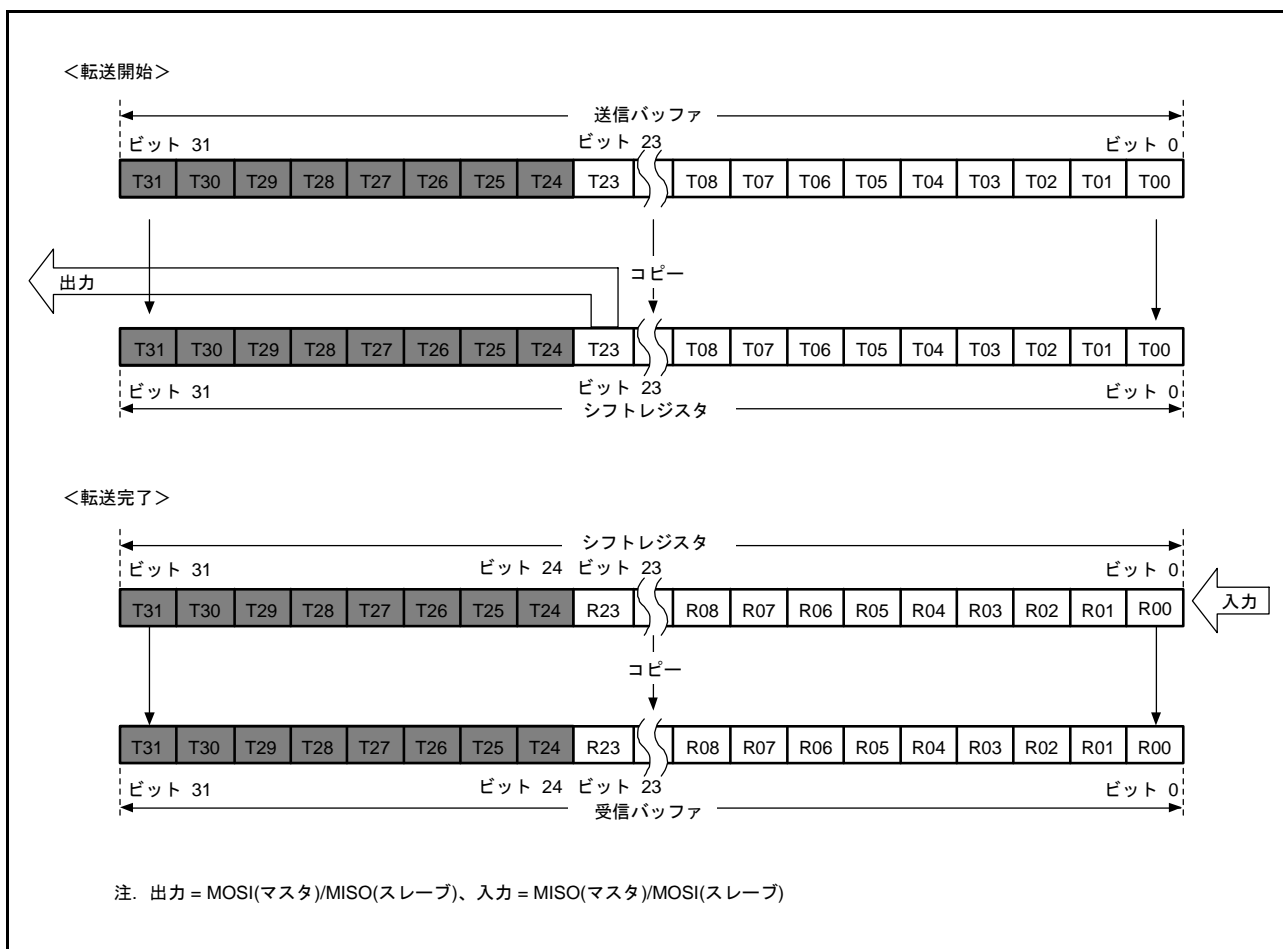


図 25.15 MSB ファースト転送 (24 ビットデータ / パリティ機能無効)

(3) LSB ファースト転送 (32 ビットデータ)

図 25.16 に、RSPI がパリティ機能無効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファのデータ (T31 ~ T00) をビット単位で入れ替え、シフトレジスタに T00 ~ T31 の順番に並び替えコピーします。送信データは、T00 → T01 → … → T31 の順番にシフトレジスタの値をシフトし送信します。

受信時は、最初のデータをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ R31 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

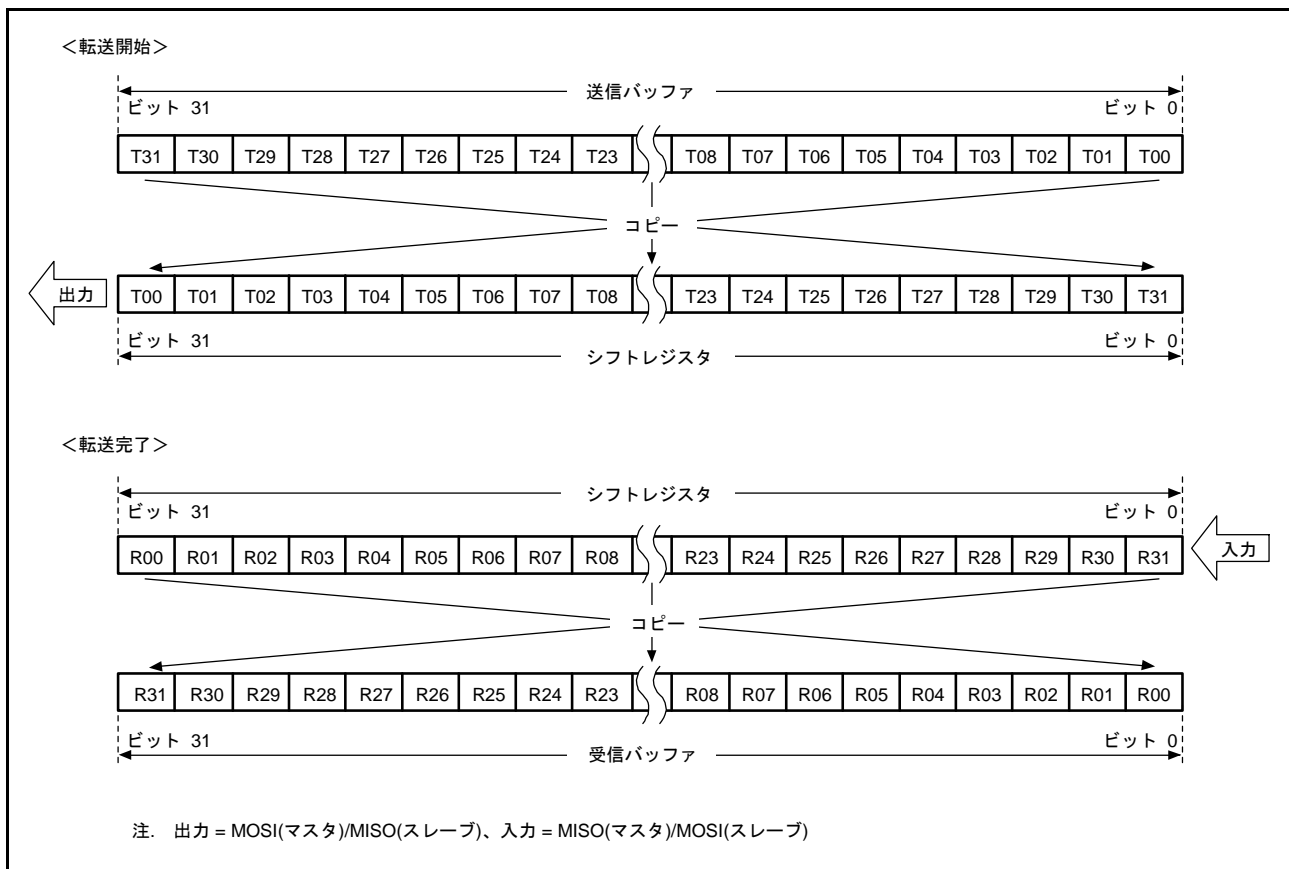


図 25.16 LSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(4) LSB ファースト転送 (24 ビットデータ)

図 25.17 に、RSPI がパリティ機能無効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ~ T00) をビット単位で T00 ~ T23 と入れ替えシフトレジスタにコピーします。送信データは、T00 → T01 → … → T23 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ R23 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。

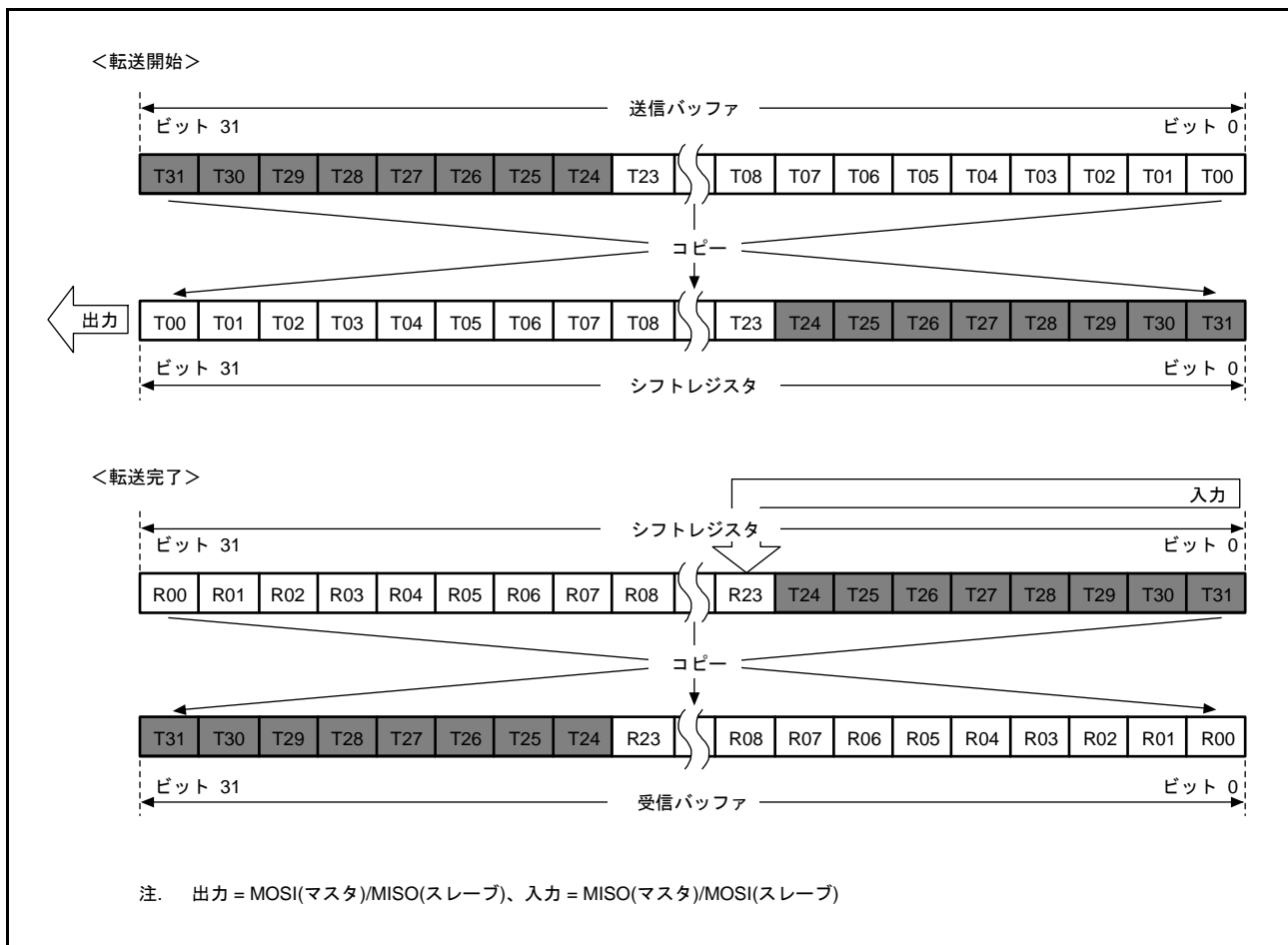


図 25.17 LSB ファースト (24 ビットデータ / パリティ機能無効)

25.3.4.2 パリティ機能有効時 (SPCR2.SPPE = 1)

パリティ機能有効時は、送受信データの最下位ビットをパリティビットに変換します。パリティビットの値は、ハードウェアで計算を行い変換します。

(1) MSB ファースト転送 (32 ビットデータ)

図 25.18 に、パリティ機能有効時、RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T31 ~ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T31 → T30 → … → T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R31 ~ P のデータをチェックし、パリティエラーの判定を行います。

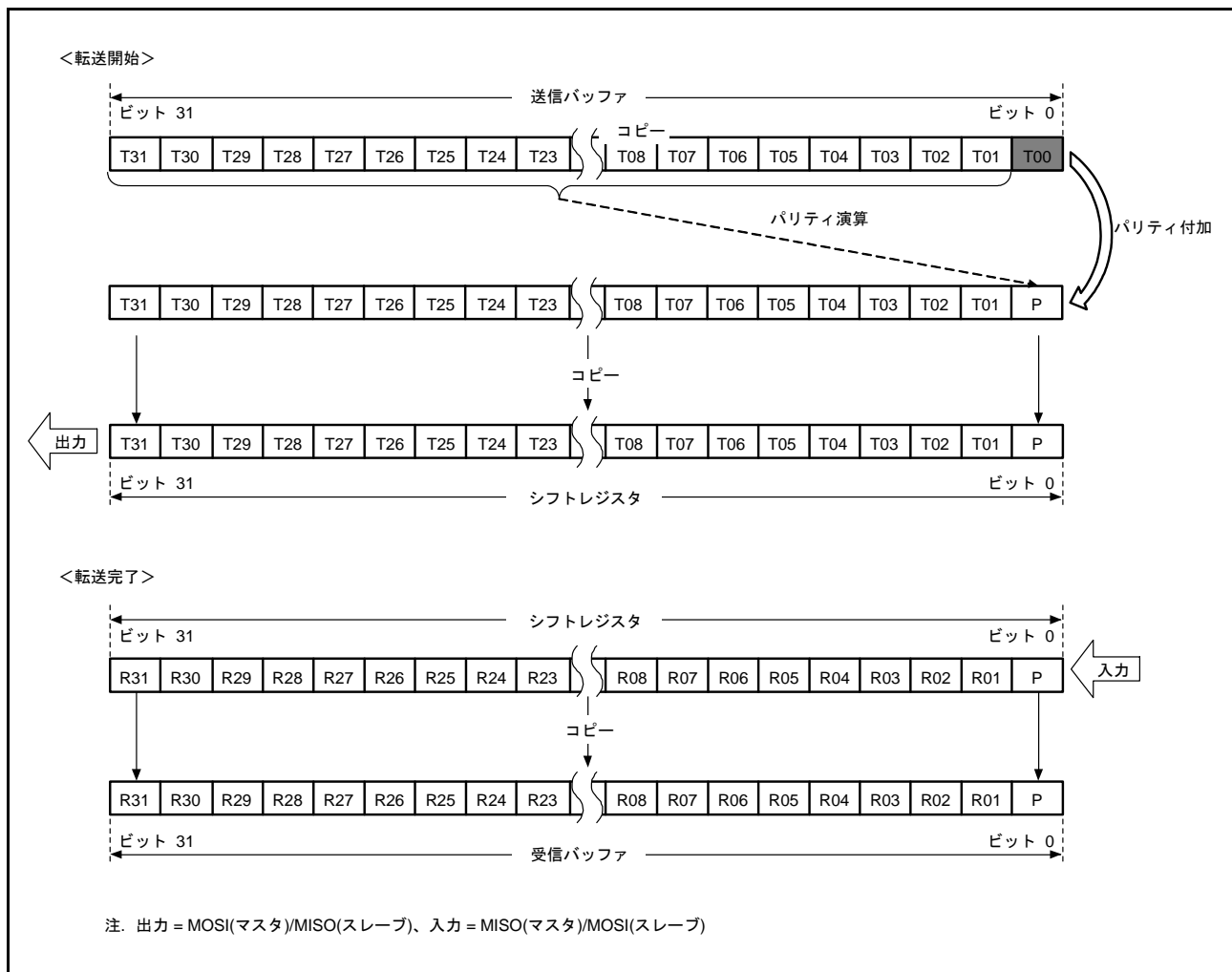


図 25.18 MSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(2) MSB ファースト転送 (24 ビットデータ)

図 25.19 に、RSPI がパリティ機能有効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T23 ~ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T23 → T22 → … → T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R23 ~ P のデータをチェックし、パリティエラーの判定を行います。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に "0" を書き込んでおくことにより、受信バッファの上位 8 ビットに "0" を入れることができます。

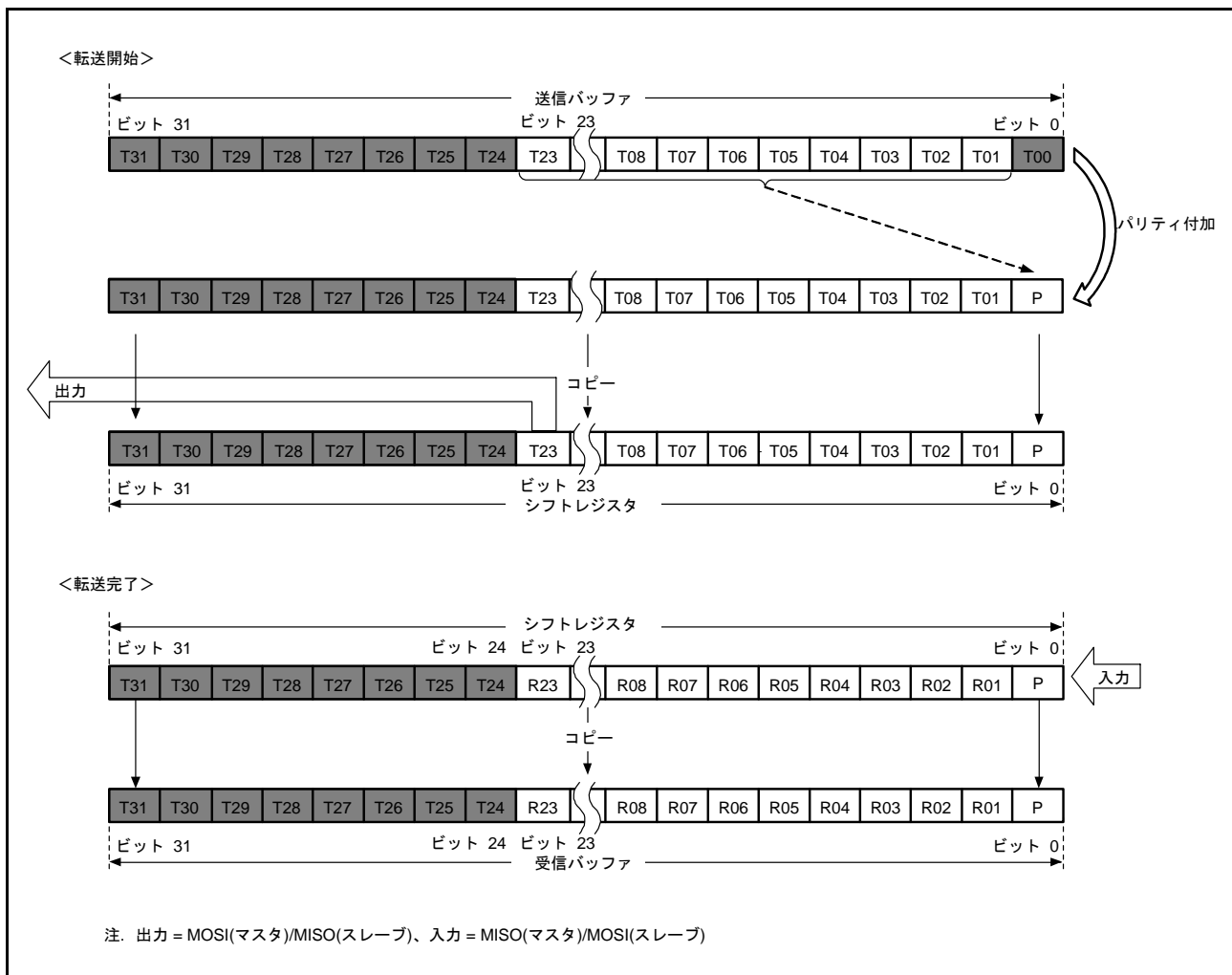


図 25.19 MSB ファースト転送 (24 ビットデータ / パリティ機能有効)

(3) LSB ファースト転送 (32 ビットデータ)

図 25.20 に、RSPI がパリティ機能有効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T30 ~ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T31 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T30 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごと受信データをシフトします。必要分の RSPCK が入力され R00 ~ P まで受信データがたまとると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ~ P のデータをチェックし、パリティエラーの判定を行います。

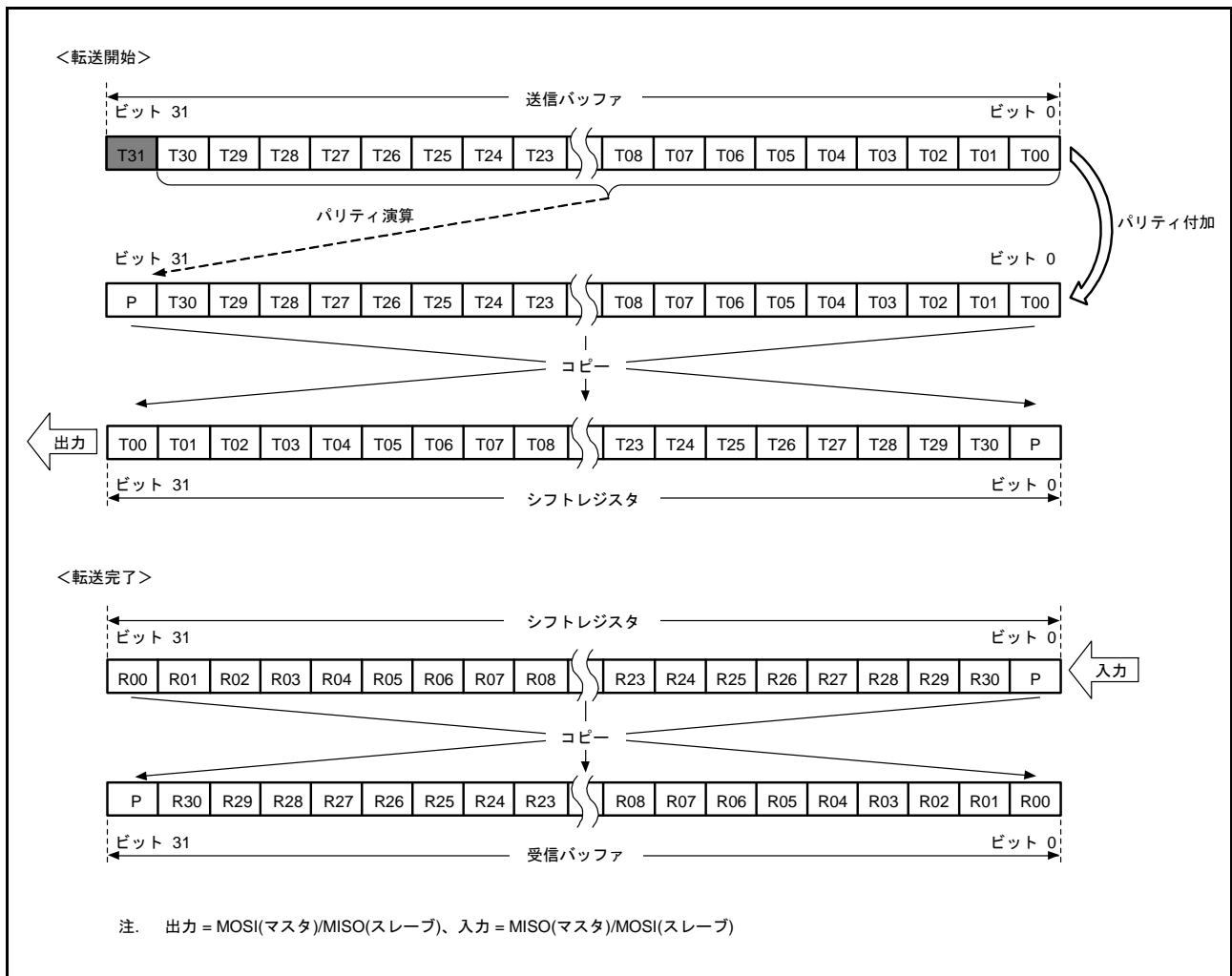


図 25.20 LSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(4) LSB ファースト転送 (24 ビットデータ)

図 25.21 に、RSPI がパリティ機能有効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T22 ~ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T23 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T22 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ~ P のデータをチェックし、パリティエラーの判定を行います。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。

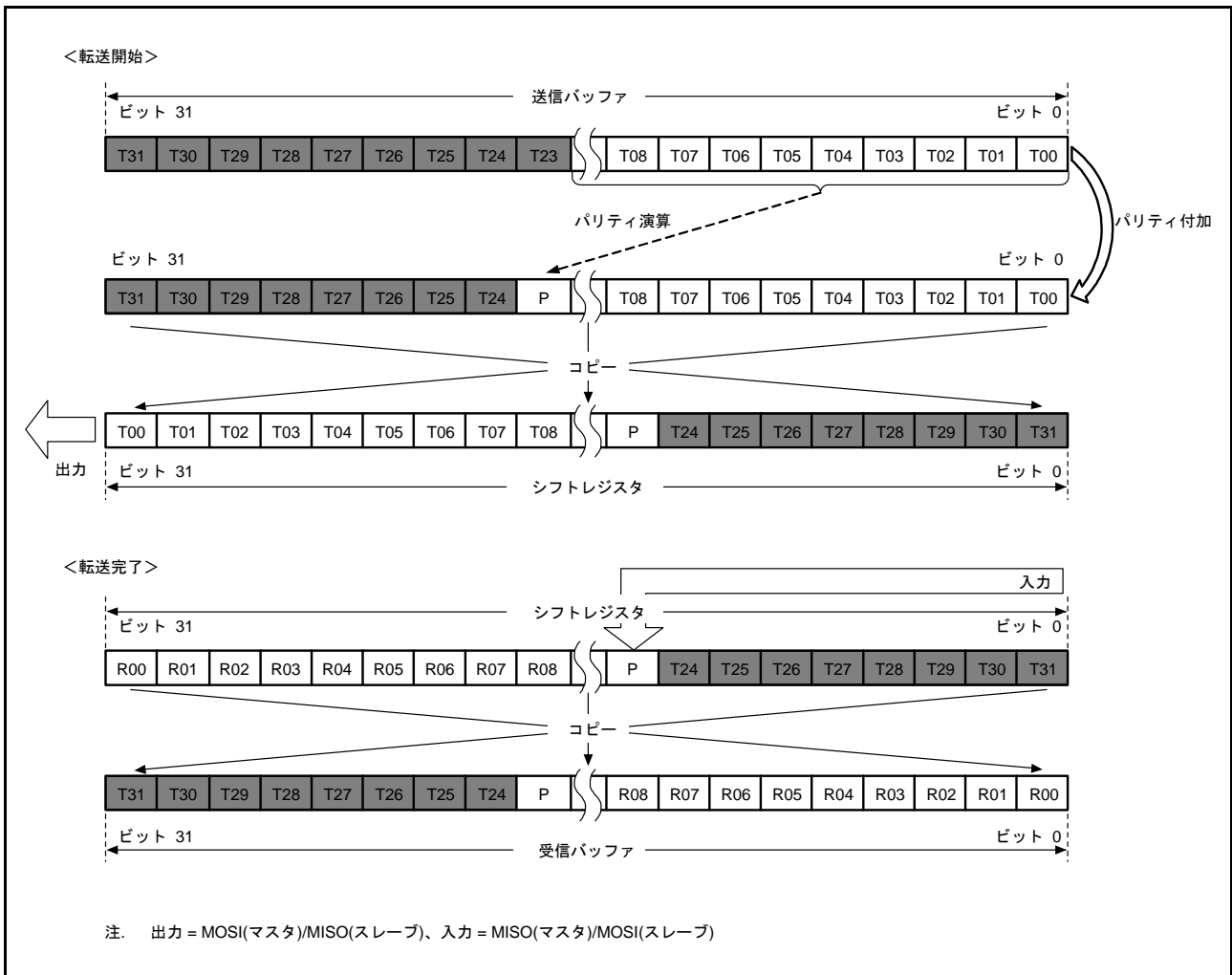


図 25.21 LSB ファースト (24 ビットデータ / パリティ機能有効)

25.3.5 転送フォーマット

25.3.5.1 CPHA ビット = 0 の場合

図 25.22 に SPCMDm.CPHA ビットが“0”の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、RSPI がスレーブモード (SPCR.MSTR=0) で CPHA ビットが“0”の場合のクロック同期式動作 (SPCR.SPMS ビットが“1”の場合) はしないでください。図 25.22 において、RSPCKA (CPOL=0) は SPCMDm.CPOL ビットが“0”の場合、RSPCKA (CPOL=1) は SPCMDm.CPOL ビットが“1”の場合の RSPCKA 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI の設定に依存します。詳細は「25.3.2 RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが“0”の場合には、SSLAi 信号のアサートタイミングで、MOSIA 信号と MISOA 信号への有効データのドライブが開始されます。SSLAi 信号のアサート後に発生する最初の RSPCKA 信号変化タイミングが最初の転送データ取り込みタイミングになり、このタイミング以降 1 RSPCK 周期ごとにデータがサンプリングされます。MOSIA 信号と MISOA 信号の変化タイミングは、転送データ取り込みタイミングの 1/2 RSPCK 周期後になります。CPOL ビットの設定値は、RSPCKA 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSLAi 信号のアサートから RSPCKA 発振までの期間 (RSPCK 遅延) です。t2 は、RSPCKA 発振停止から SSLAi 信号のネゲートまでの期間 (SSL ネゲート遅延) です。t3 は、シリアル転送終了後に次転送のための SSLAi 信号アサートを抑制するための期間 (次アクセス遅延) です。t1、t2、t3 は、RSPI システム上のマスタデバイスによって制御されます。本 MCU の RSPI がマスタモードである場合の t1、t2、t3 については、「25.3.10.1 マスタモード動作」を参照してください

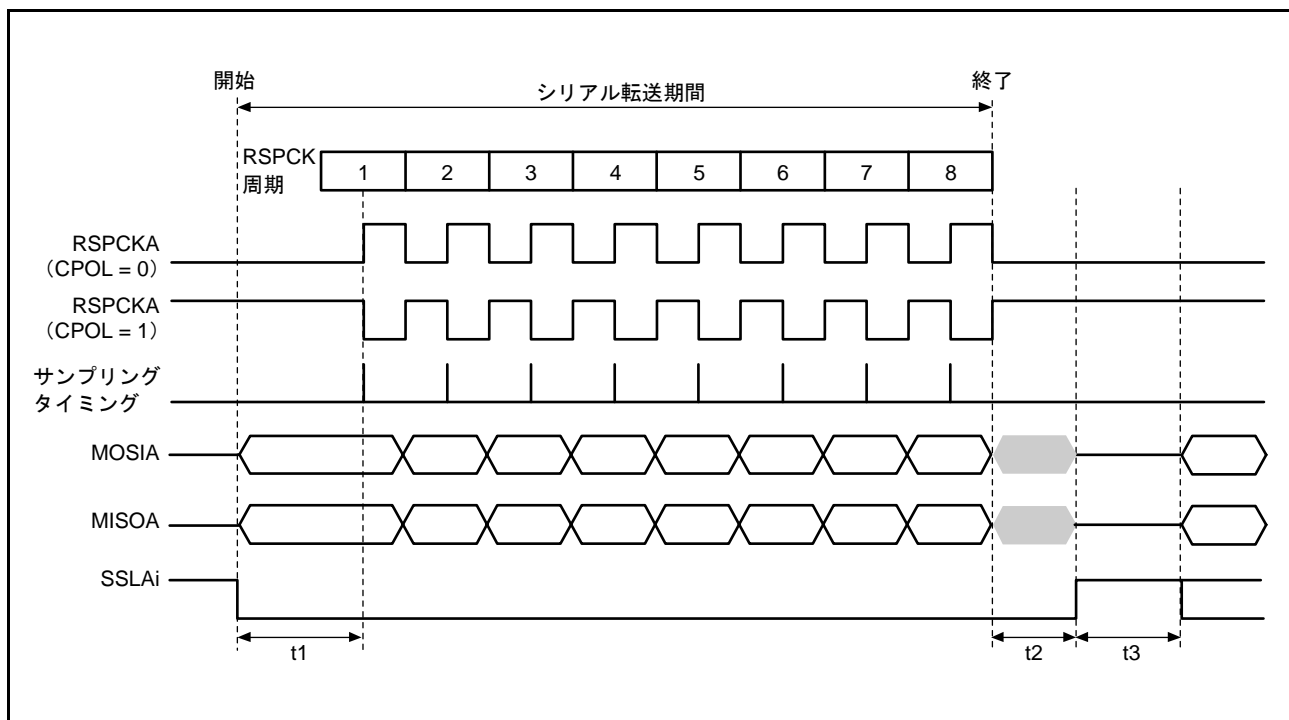


図 25.22 RSPI 転送フォーマット (CPHA ビット = 0)

25.3.5.2 CPHA ビット = 1 の場合

図 25.23 に SPCMDm.CPHA ビットが“1”の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SPCR.SPMS ビットが“1”の場合は SSLAi 信号を用いず、RSPCKA 信号、MOSIA 信号、MISOA 信号のみで通信を行います。図 25.23 において、RSPCKA (CPOL = 0) は SPCMDm.CPOL ビットが“0”の場合、RSPCKA (CPOL = 1) は SPCMDm.CPOL ビットが“1”の場合の RSPCKA 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI のモード (マスタ/スレーブ) に依存します。詳細は「25.3.2 RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが“1”の場合には、SSLAi 信号のアサートタイミングで、MISOA 信号に無効データのドライブが開始されます。SSLAi 信号のアサート後に発生する最初の RSPCKA 信号変化タイミングで、MOSIA 信号と MISOA 信号への有効データへの出力が開始され、このタイミング以降 1 RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、このタイミングの 1/2 RSPCK 周期後になります。SPCMDm.CPOL ビットの設定値は RSPCKA 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA ビット = 0 の場合と同様です。本 MCU の RSPI がマスタモードである場合の t1、t2、t3 については、「25.3.10.1 マスタモード動作」を参照してください。

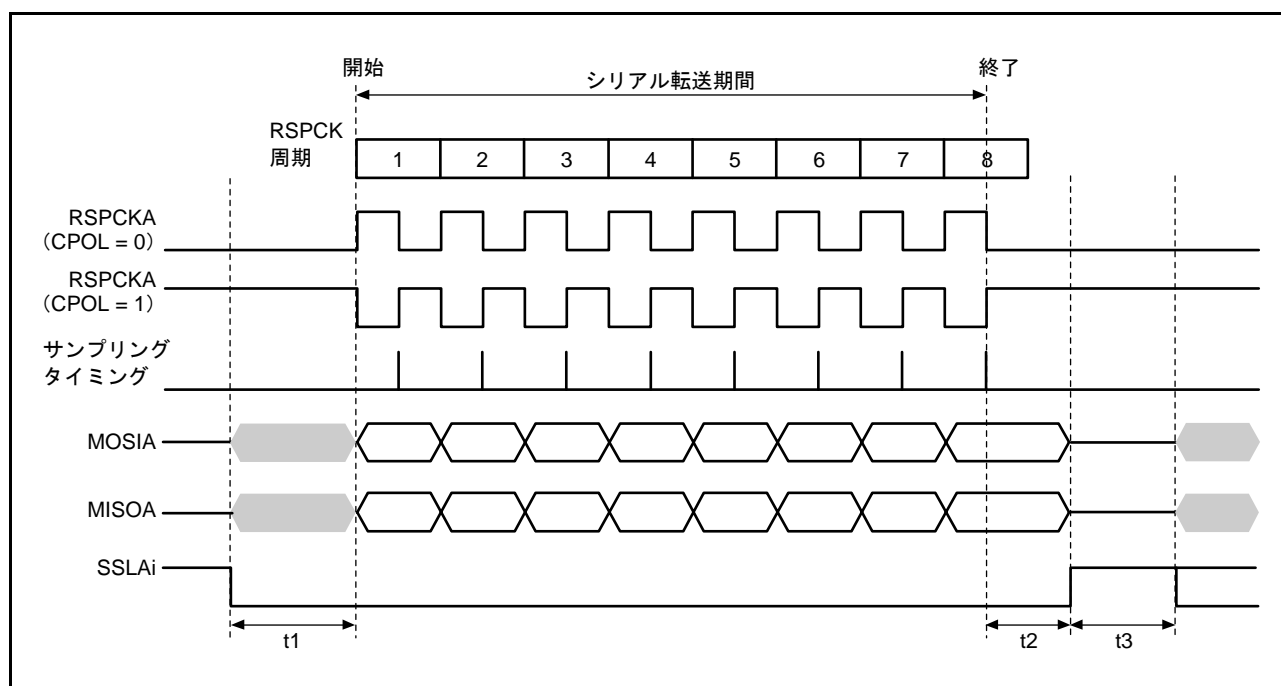


図 25.23 RSPI 転送フォーマット (CPHA ビット = 1)

25.3.6 通信動作モード

SPCR.TXMD ビットの設定により、全二重同期式シリアル通信または送信のみの動作を選択します。図 25.24、図 25.25 に記載した“SPDR アクセス”は、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクルを示しています。

25.3.6.1 全二重同期式シリアル通信 (SPCR.TXMD = 0)

図 25.24 に、SPCR.TXMD ビットを“0”にした場合の動作例を示します。図 25.24 の例では、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

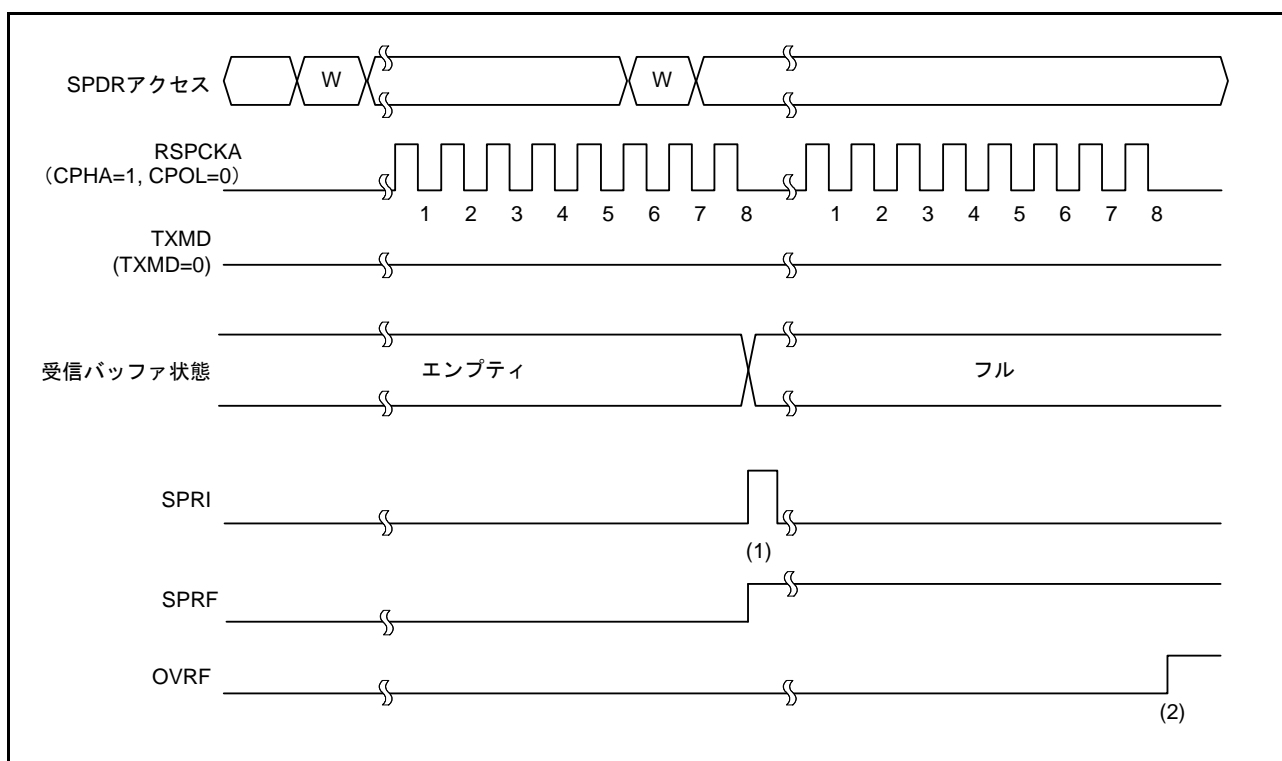


図 25.24 SPCR.TXMD = 0 の動作例

以下に、図中の (1)、(2) に示したタイミングでのフラグの動作内容を説明します。

- (1) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、RSPI は受信バッファフル割り込み要求 (SPRI) を発生 (SPSR.SPRF フラグを“1”) してシフトレジスタの受信データを受信バッファにコピーします。
- (2) SPDR レジスタの受信バッファに以前の受信データがある状態でシリアル転送が終了すると、RSPI は SPSR.OVRF フラグを“1”にしてシフトレジスタの受信データを破棄します。

全二重同期式シリアル通信時 (SPCR.TXMD = 0) は、送信と同時に受信も行います。そのため、SPSR.SPRF, OVRF フラグは受信バッファの状態に応じて、それぞれ (1)、(2) のタイミングで“1”になります。

25.3.6.2 送信のみ動作 (SPCR.TXMD = 1)

図 25.25 に、SPCR.TXMD ビットを“1”に設定した場合の動作例を示します。図 25.25 の例では、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

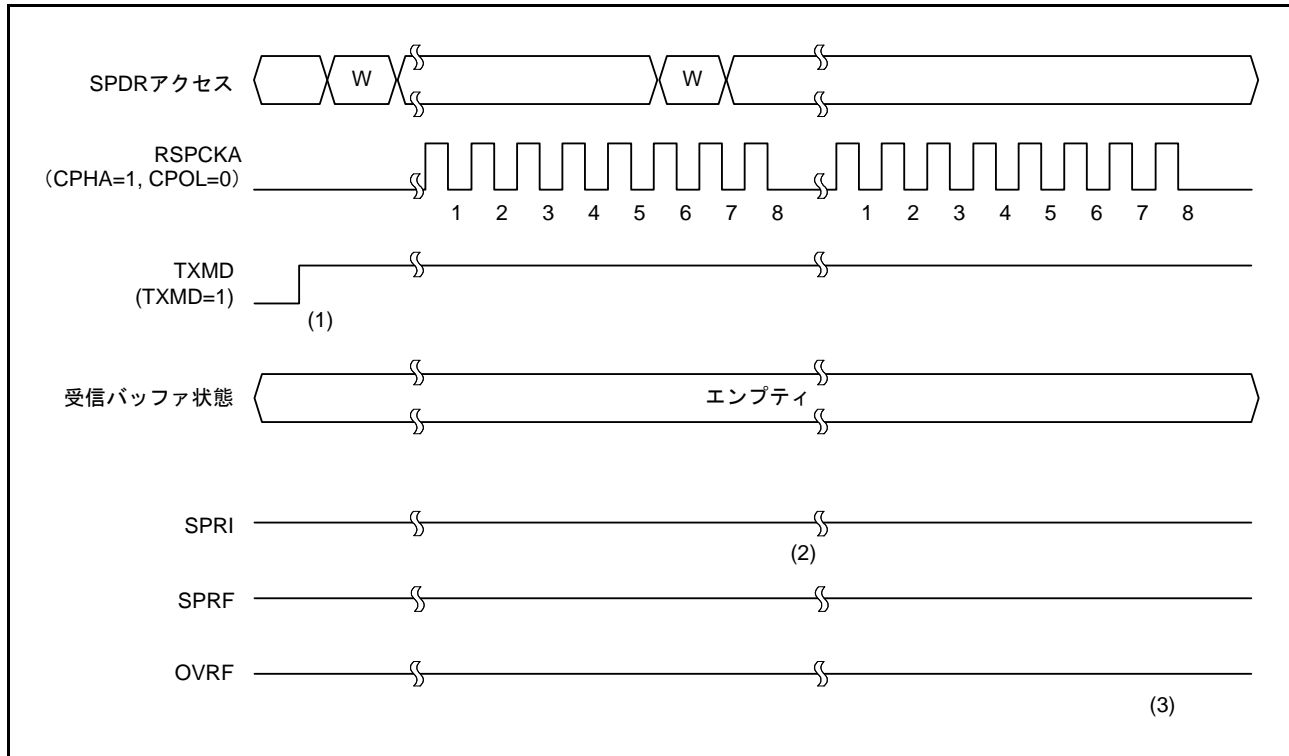


図 25.25 SPCR.TXMD = 1 の動作例

以下に、図中の (1)、(2)、(3) に示したタイミングでのフラグの動作内容を説明します。

- (1) 送信のみ動作 (SPCR.TXMD = 1) への遷移は、受信バッファにデータが残っていないこと、SPSR.SPRF, OVRF フラグが“0”であることを確認してから、行ってください。
- (2) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、送信のみ動作 (SPCR.TXMD = 1) のときは、SPRF フラグは“0”を維持し、シフトレジスタのデータを受信バッファへコピーしません。
- (3) SPDR レジスタの受信バッファに以前の受信データは存在しないため、シリアル転送が終了しても、SPSR.OVRF フラグは“0”を保持し、シフトレジスタのデータを受信バッファへコピーしません。

送信のみ動作時 (SPCR.TXMD = 1) は、データ送信を実施するだけで、受信は行いません。そのため、SPSR.SPRF, OVRF フラグは (1)、(2)、(3) いずれのタイミングでも“0”を保持します。

25.3.7 送信バッファエンプティ/受信バッファフル割り込み

図 25.26 に送信バッファエンプティ割り込み (SPTI) と受信バッファフル割り込み (SPRI) の動作例を示します。図 25.26 に記載した“SPDR アクセス”は、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 25.26 の例では、SPCR.TXMD ビットが“0”、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

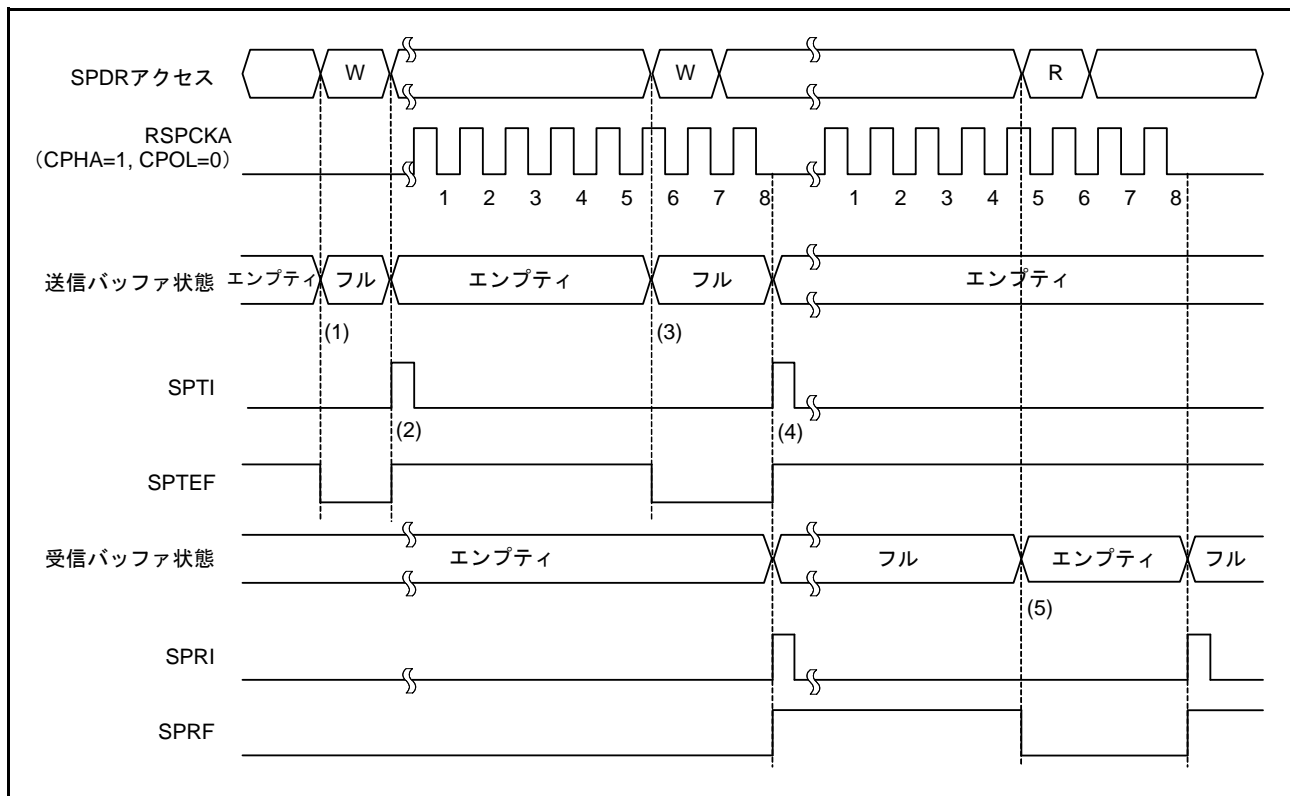


図 25.26 SPTI、SPRI 割り込みの動作例

以下に、図中の (1) ~ (5) に示したタイミングでの割り込みの動作内容を説明します。

- (1) SPDR レジスタの送信バッファが空の（次転送のデータがセットされていない）状態で、SPDR レジスタに送信データを書き込むと、RSPI は送信バッファにデータを書き込み、SPSR.SPTEF フラグを“0”にします。
- (2) シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーして送信バッファエンプティ割り込み要求 (SPTI) を発生し、SPSR.SPTEF フラグを“1”にします。なお、シリアル転送の開始方法は、RSPI のモードに依存します。（「25.3.10 SPI 動作」、「25.3.11 クロック同期式動作」参照）
- (3) 送信バッファエンプティ割り込みルーチンまたは SPTEF フラグによる送信バッファエンプティ判定処理で、SPDR レジスタに送信データを書き込むと、送信バッファにデータが転送され、SPSR.SPTEF フラグが“0”になります。シフトレジスタにはシリアル転送中のデータが格納されているため、RSPI は送信バッファのデータをシフトレジスタにコピーしません。
- (4) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、RSPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求 (SPRI) を発生させ、SPSR.SPRF フラグを“1”にします。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、RSPI が SPSR.SPTEF フラグを“1”にして送

送信バッファのデータをシフトレジスタにコピーします。なお、オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。

- (5) 受信バッファフル割り込みルーチンまたは SPRF フラグによる受信バッファフル判定処理で、SPDR レジスタを読み出すと、受信データが読み出せます。受信データを読み出すと、SPRF フラグが“0”になります。

送信バッファに未送信のデータがある状態 (SPTEF フラグが“0”) で、SPDR レジスタに送信データを書き込んだ場合には、RSPI は送信バッファのデータを更新しません。SPDR レジスタに送信データを書き込む場合には、送信バッファエンpty割り込みルーチンまたは SPTEF フラグによる送信バッファエンpty判定処理で行ってください。また、送信バッファエンpty割り込みを利用する場合には、SPCR の SPTIE ビットを“1”にしてください。

SPCR.SPE ビットを“0” (RSPI 機能は無効) にするときは、SPCR.SPTIE ビットも同時に“0”にしてください。SPCR.SPE ビットが“0”のときに SPCR.SPTIE ビットが“1”であると、送信バッファエンpty割り込み要求が発生します。

受信バッファフル (SPRF フラグが“1”) の状態で、シリアル転送が終了した場合には、RSPI はシフトレジスタから受信バッファへのデータのコピーを行わず、オーバランエラーを検出します (「25.3.8 エラー検出」参照)。受信データのオーバランを防ぐために、受信バッファフル割り込み要求で、次のシリアル転送終了よりも前に受信データを読み出してください。また RSPI 受信バッファフル割り込みを利用する場合には、SPCR.SPRIE ビットを“1”にしてください。

送信/受信バッファの状態は、送信/受信割り込み、または対応する ICU の IRn.IR フラグ (n = 割り込みベクタ番号) によって確認することができます。割り込みベクタ番号については、「14. 割り込みコントローラ (ICU)」を参照してください。また、SPTEF フラグ/SPRF フラグによって確認することもできます。

25.3.8 エラー検出

通常のRSPIのシリアル転送では、SPDRレジスタの送信バッファに書き込んだデータが送信され、受信されたデータをSPDRレジスタの受信バッファから読み出すことができます。SPDRレジスタへアクセスした場合の送受信バッファの状態やシリアル転送の開始/終了時のRSPIの状態によっては、通常以外の転送が実行される場合があります。

一部の通常以外の転送動作が発生した場合には、RSPIはオーバランエラー、パリティエラーまたはモードフォルトエラーとして検出します。表25.8に、通常以外の転送動作とRSPIのエラー検出機能の関係を示します。

表25.8 通常以外の転送の発生条件とRSPIのエラー検出機能

	発生条件	RSPI動作	エラー検出
1	送信バッファフルの状態ですPDRレジスタを書き込み	<ul style="list-style-type: none"> 送信バッファ内容を保持 書き込みデータ欠落 	なし
2	受信バッファエンプティの状態ですPDRレジスタを読み出し	前回受信したデータをバスに出力	なし
3	スレーブモードで送信データをシフトレジスタにセットしていない状態で、シリアル転送開始	前回シリアル転送時の受信データを送信	なし
4	受信バッファフルの状態、シリアル転送が終了	受信バッファ内容を保持 受信データ欠落	オーバランエラー検出
5	全二重同期式シリアル通信時にパリティ機能が有効な状態で誤ったパリティビットを受信	パリティエラーフラグのアサート	パリティエラー検出
6	マルチマスタモードでシリアル転送アイドル時にSSLA0入力信号アサート	<ul style="list-style-type: none"> RSPCKA、MOSIA、SSLA1～3出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出
7	マルチマスタモードでシリアル転送中にSSLA0入力信号アサート	<ul style="list-style-type: none"> シリアル転送を中断 送受信データ欠落 RSPCKA、MOSIA、SSLA1～3出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出
8	スレーブモードでシリアル転送中にSSLA0入力信号がネゲート	<ul style="list-style-type: none"> シリアル転送中断 送受信データ欠落 MISOA出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出

表25.8の1に示した動作に対しては、RSPIはエラーを検出しません。SPDRレジスタへの書き込み時にデータを欠落させないために、送信バッファエンプティ割り込み要求発生時、またはSPSR.SPTEFフラグが“1”のときにSPDRレジスタへの書き込みを実施してください。

2に示した動作に対しても、RSPIはエラーを検出しません。不要なデータを読み出さないようにするためには、RSPI受信バッファフル割り込み要求発生時、またはSPSR.SPRFフラグが“1”のときにSPDRレジスタの読み出しを実行するようにしてください。

3に示した動作に対しても、RSPIはエラーを検出しません。RSPIでは、シフトレジスタの更新前に起動されたシリアル転送において、前回シリアル転送時の受信データを送信し、3に示した動作をエラーとして扱いません。なお、前回シリアル転送時の受信データはSPDRレジスタの受信バッファに保持されているので、正しく読み出されます（シリアル転送が終了する前にSPDRレジスタを読み出さないと、オーバランエラーが発生します）。

4に示したオーバランエラーについては「25.3.8.1 オーバランエラー」で、5に示したパリティエラーについては「25.3.8.2 パリティエラー」で説明します。また、6～8に示したモードフォルトエラーについては「25.3.8.3 モードフォルトエラー」で説明します。

なお、送受信の割り込みについては、「25.3.7 送信バッファエンプティ/受信バッファフル割り込み」を参照してください。

25.3.8.1 オーバランエラー

SPDR レジスタの受信バッファフル状態でシリアル転送が終了すると、RSPI はオーバランエラーを検出して SPSR.OVRF フラグを“1”にします。OVRF フラグが“1”の状態では、RSPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。OVRF フラグを“0”にするためには、OVRF フラグが“1”にセットされた状態の SPSR レジスタを読み出した後に、OVRF フラグに“0”を書く必要があります。

図 25.27 に、SPRF フラグと OVRF フラグの動作を示します。図 25.27 に記載した SPSR アクセスと SPDR アクセスは、それぞれ SPSR、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 25.27 の例では、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

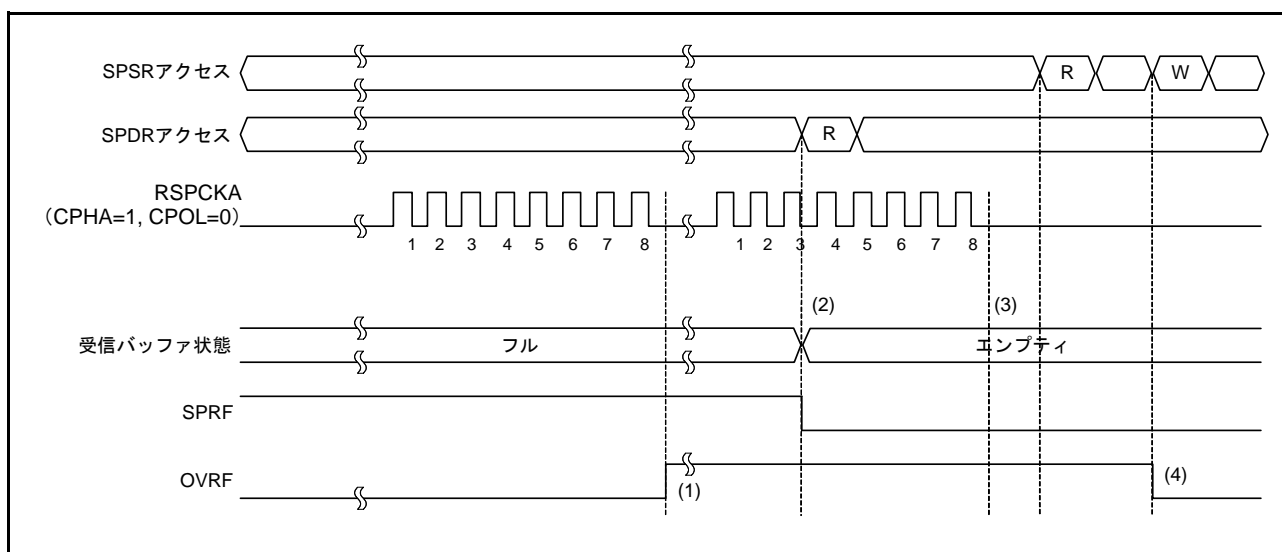


図 25.27 SPRF フラグと OVRF フラグの動作例

以下に、図中の (1) ~ (4) に示したタイミングでのフラグの動作内容を説明します。

- (1) 受信バッファフル (SPRF フラグが“1”) の状態でシリアル転送が終了すると、RSPI がオーバランエラーを検出し、OVRF フラグを“1”にします。RSPI はシフトレジスタのデータを受信バッファにコピーしません。また、SPPE ビットが“1”であっても、パリティエラーの検出は行いません。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。
- (2) SPDR レジスタを読み出すと、RSPI は受信バッファのデータが読み出せます。このとき SPRF フラグは“0”になります。受信バッファが空になっても、OVRF フラグは“0”になりません。
- (3) OVRF フラグが“1”の状態 (オーバランエラー) でシリアル転送が終了した場合には、RSPI はシフトレジスタのデータを受信バッファにコピーしません (SPRF フラグは“0”のままです)。受信バッファフル割り込みも発生しません。また、SPPE ビット“1”であってもパリティエラーの検出は行いません。マスタモードの RSPI の場合に、RSPI は SPECM[2:0] ビットを更新しません。オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
- (4) OVRF フラグが“1”の状態で SPSR レジスタを読んだ後、OVRF フラグに“0”を書くと、RSPI は OVRF フラグを“0”にします。

オーバランの発生は、SPSR レジスタの読み出しあるいは RSPI エラー割り込みと SPSR レジスタの読み出

しによって確認できます。シリアル転送を実行する場合には、SPDR レジスタの読み出し直後に SPSR レジスタを読み出すなどの方法で、オーバランエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

オーバランエラーが発生して OVRF フラグが“1”になると、OVRF フラグが“0”になるまで正常な受信動作ができなくなります。

25.3.8.2 パリティエラー

SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”の状態ですべて二重同期式シリアル通信を行い、転送が終了すると、パリティエラーの判定を行います。RSPIは、受信データにパリティエラーを検出すると、SPSR.PERF フラグを“1”にします。SPSR.OVRF フラグが“1”の状態では、RSPIはシフトレジスタのデータを受信バッファにコピーしないので、受信データに対するパリティエラーの検出は行いません。PERF フラグを“0”にするためには、PERF フラグが“1”の状態のSPSRレジスタを読んだ後、PERF フラグに“0”を書く必要があります。

図 25.28 に、OVRF フラグと PERF フラグの動作を示します。図 25.28 に記載した“SPSR アクセス”は、SPSR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 25.28 の例では、SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”の状態ですべて二重同期式シリアル通信を行います。SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

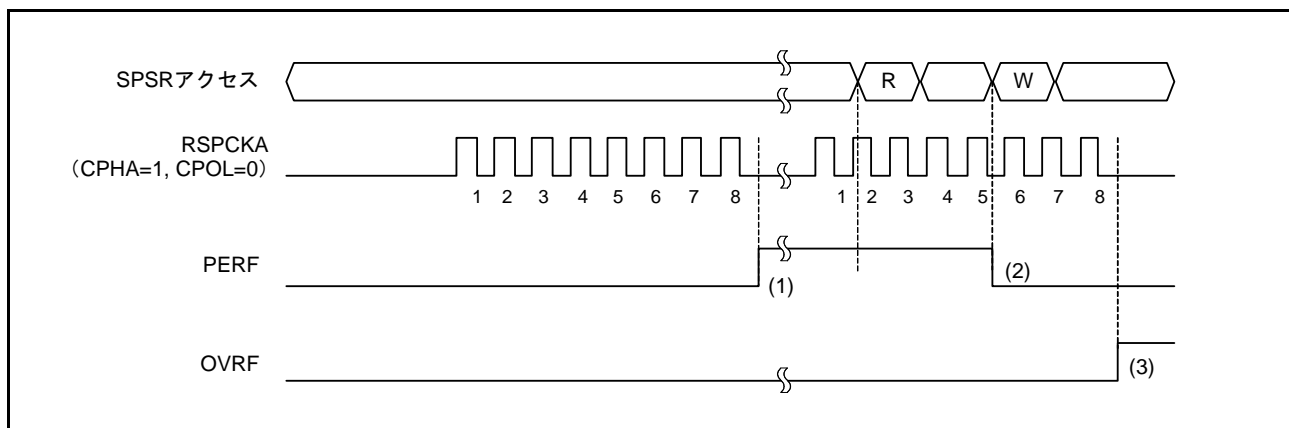


図 25.28 PERF フラグの動作例

以下に、図中の (1) ~ (3) に示したタイミングでのフラグの動作内容を説明します。

- (1) RSPI がオーバーランエラーを検出せず、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーします。このとき、RSPI が受信データを判定し、パリティエラーを検出すると PERF フラグを“1”にします。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。
- (2) PERF フラグが“1”の状態ですべてレジスタを読んだ後、PERF フラグに“0”を書くと、PERF フラグが“0”になります。
- (3) RSPI がオーバーランエラーを検出し、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーしません。このとき、RSPI はパリティエラーを検出しません。

パリティエラーの発生は、SPSR レジスタの読み出し、あるいは RSPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。シリアル転送を実行する場合には、SPSR フラグを読み出すなどの方法で、パリティエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

25.3.8.3 モードフォルトエラー

SPCR.MSTR ビットが“1”、SPCR.SPMS ビットが“0”、SPCR.MODFEN ビットが“1”の場合には、RSPIはマルチマスタモードで動作します。マルチマスタモードのRSPIのSSLA0入力信号に対してアクティブレベルが入力されると、シリアル転送状態にかかわらず、RSPIはモードフォルトエラーを検出してSPSR.MODFフラグを“1”にします。モードフォルトエラーを検出すると、RSPIはSPSSR.SPECM[2:0]ビットに、SPCMDmレジスタに対するポインタの値をコピーします。なお、SSLA0信号のアクティブレベルは、SSLP.SSLOPビットによって決定されます。

MSTR ビットが“0”の場合には、RSPIはスレーブモードで動作します。スレーブモードのRSPIのMODFEN ビットが“1”、SPMS ビットが“0”の場合、シリアル転送期間（有効データのドライブ開始から最終有効データの取り込みまで）にSSLA0入力信号がネゲートされると、RSPIはモードフォルトエラーを検出します。

RSPIはモードフォルトエラーを検出すると、出力信号のドライブ停止およびSPCR.SPEビットのクリアを実施します（「25.3.9 RSPIの初期化」を参照）。マルチマスタ構成の場合には、モードフォルトエラーを利用して出力信号のドライブとRSPI機能を停止させ、マスタ権の解放を実現できます。

モードフォルトエラーの発生は、SPSRレジスタの読み出し、あるいはRSPIエラー割り込みとSPSRレジスタの読み出しによって確認できます。RSPIエラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSRレジスタをポーリングする必要があります。RSPIをマスタモードで使用する場合、SPSSR.SPECM[2:0]ビットを読み出すことで、エラー発生時のSPCMDmレジスタに対するポインタ値を確認できます。

MODFフラグが“1”の状態では、RSPIはSPEビットへの“1”の書き込みを無視します。モードフォルトエラー検出後にRSPI機能を有効にするためには、MODFフラグを“0”にしてください。

25.3.9 RSPIの初期化

SPCR.SPE ビットに“0”を書いた場合、またはモードフォルトエラー検出によりRSPIがSPEビットを“0”にした場合には、RSPIはRSPI機能を無効化し、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、RSPIはモジュール機能をすべて初期化します。以下に、SPCR.SPEビットを“0”にすることによる初期化とシステムリセットによる初期化について説明します。

25.3.9.1 SPEビットのクリアによる初期化

SPCR.SPE ビットを“0”にしたとき、RSPIは以下に示す初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止 (Hi-Z)
- RSPI 内部ステータスの初期化
- RSPI 送信バッファを空にする (SPTEF フラグを“1”にする)

SPE ビットを“0”にする初期化では、RSPIの制御ビットは初期化されません。このため、再度SPEビットを“1”にすれば初期化前と同じ転送モードでRSPIを起動できます。

SPSR.SPRF, OVRF, MODF, PERF フラグの値は初期化されません。また、SPSSR レジスタの値も初期化されません。このため、RSPIの初期化後も受信バッファのデータの読み出し、RSPI転送時のエラー発生状況の確認ができます。

送信バッファは空 (SPTEF フラグが“1”) の状態に初期化されます。このため、RSPI初期化後にSPCR.SPTIE ビットを“1”にしていると、送信バッファエンプティ割り込みが発生します。CPUでRSPIを初期化する場合に、送信バッファエンプティ割り込みを禁止するためには、SPEビットへの“0”書き込みと同時にSPTIEビットにも“0”を書いてください。

25.3.9.2 システムリセット

システムリセットによる初期化では、「25.3.9.1 SPEビットのクリアによる初期化」に記載の事項に加え、RSPI制御用の全ビットの初期化、ステータスビットの初期化、データレジスタの初期化が実施され、RSPIが完全に初期化されます。

25.3.10 SPI 動作

25.3.10.1 マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出（「25.3.8 エラー検出」を参照）のみです。シングルマスタモードのRSPIではモードフォルトエラーを検出しません。マルチマスタモードのRSPIではモードフォルトエラーを検出します。本節では、シングル/マルチマスタモードで共通する動作について説明します。

(1) シリアル転送の開始

RSPI送信バッファが空（SPTEFフラグが“1”、次転送のデータがセットされていない）の状態、SPDRレジスタへデータを書き込むと、RSPIはSPDRレジスタの送信バッファ（SPTX）のデータを更新します。SPDRレジスタへSPDCR.SPFC[1:0]ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPIは送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPIは、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPIの転送フォーマットの詳細については「25.3.5 転送フォーマット」を参照してください。SSLAi出力端子の極性は、SSLPレジスタの設定値に依存します。

(2) シリアル転送の終了

SPCMDm.CPHAビットにかかわらず、RSPIは最終サンプリングタイミングに対応するRSPCKAエッジを送出するとシリアル転送を終了します。受信バッファ（SPRX）が空（SPRFフラグが“0”）の場合には、シリアル転送終了後にシフトレジスタからSPDRレジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードのRSPIのデータ長は、SPCMDm.SPB[3:0]ビットの設定値に依存します。SSLAi出力端子の極性は、SSLPレジスタの設定値に依存します。RSPIの転送フォーマットの詳細については「25.3.5 転送フォーマット」を参照してください。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。

SPSCR レジスタは、マスタモードのRSPIで実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSLAi 端子の出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性/位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタにはRSPIクロック遅延値、SSLND レジスタにはSSLネゲート遅延、SPND レジスタにはRSPI次アクセス遅延値が設定されています。

RSPIは、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部/全部からなるシーケンスを構成します。RSPIには、シーケンスを構成しているSPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットを読むことによって確認できます。SPCR.SPE ビットを“1”にしてRSPI機能を許可すると、RSPIはコマンドに対するポインタをSPCMD0 レジスタにセットし、シリアル転送の開始時にSPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPIは、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPIはポインタをSPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

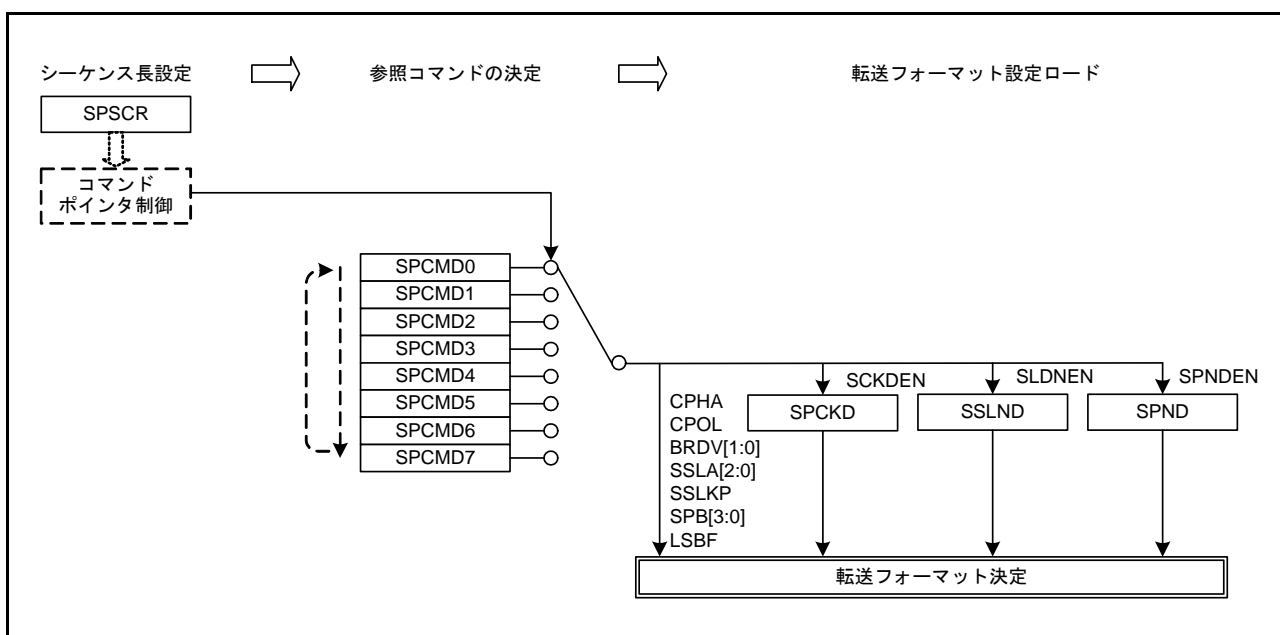


図 25.29 マスタモードでのシリアル転送方式の決定方法

本章では、データ (SPDR) と設定 (SPCMDm) の2つを合わせてフレームとします。

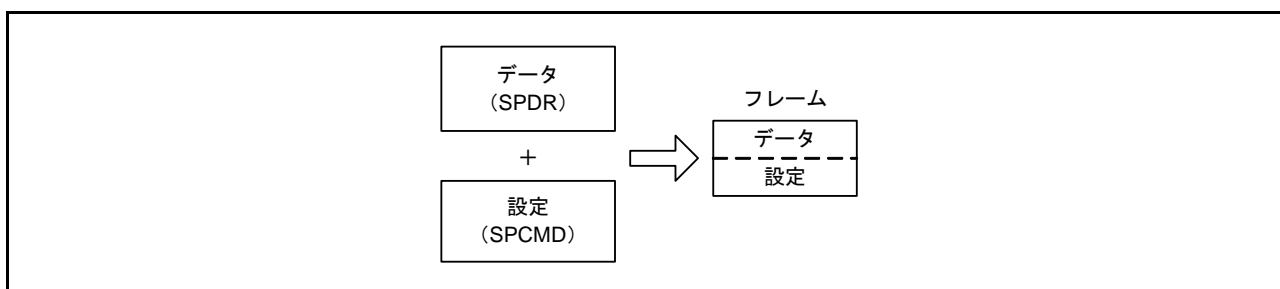


図 25.30 フレームの概念図

表 25.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ / 受信バッファの関係を図 25.31 に示します。

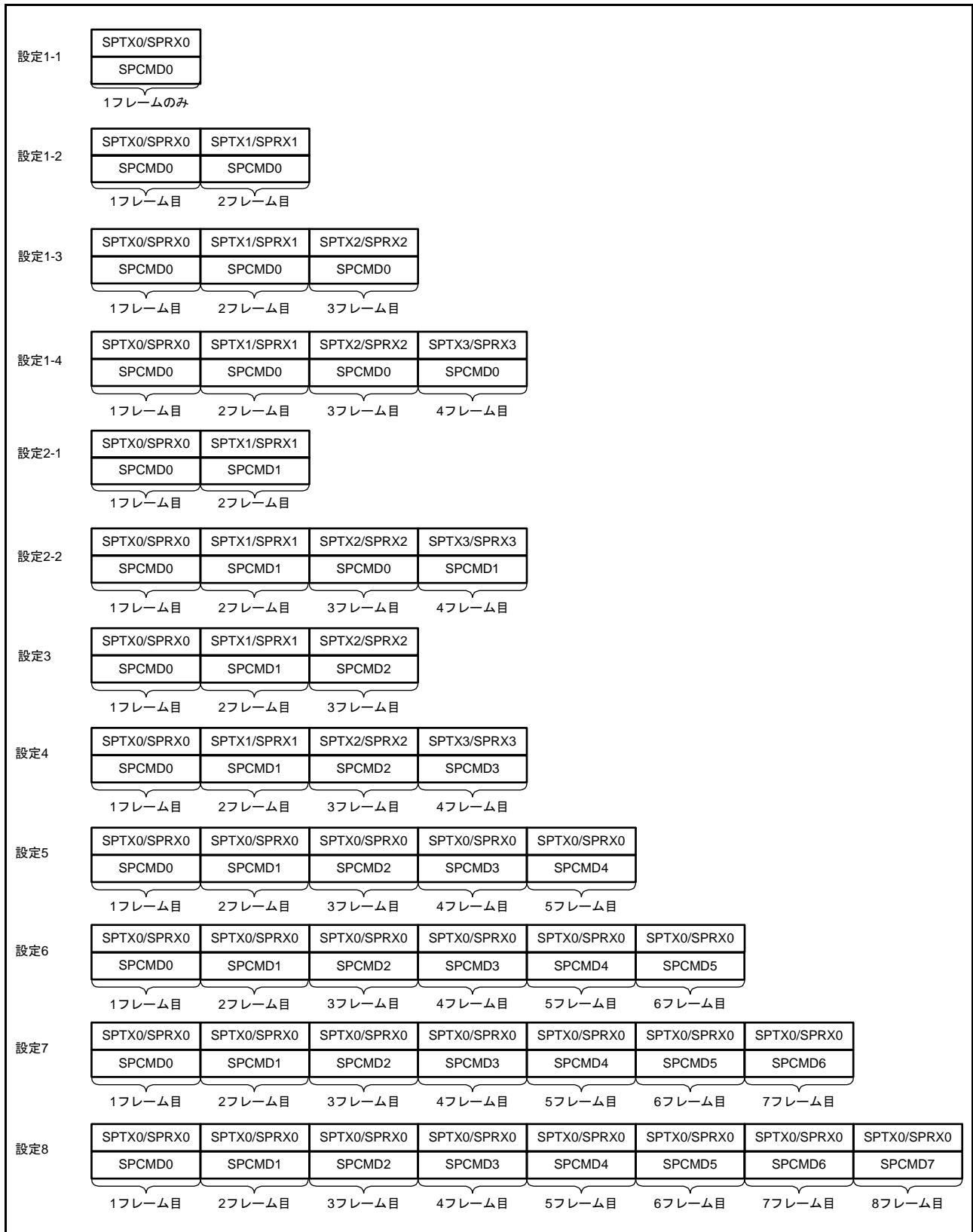


図 25.31 シーケンス動作時の RSPI コマンドレジスタと送受信バッファの対応

(4) バースト転送

RSPIが現在のシリアル転送で参照しているSPCMDm.SSLKPビットが“1”の場合には、RSPIはシリアル転送中のSSLAi信号レベルを次のシリアル転送のSSLAi信号アサート開始まで保持します。次のシリアル転送でのSSLAi信号レベルが、現在のシリアル転送でのSSLAi信号レベルと同じであれば、RSPIはSSLAi信号アサート状態を保持したまま連続的にシリアル転送を実行することができます（バースト転送）。

図25.32に、SPCMD0、SPCMD1レジスタの設定を使用してバースト転送を実現した場合のSSLAi信号動作例を示します。図25.32に記載した(1)～(7)のRSPI動作内容について、以下に説明します。なお、SSLAi出力信号の極性は、SSLPレジスタの設定値に依存します。

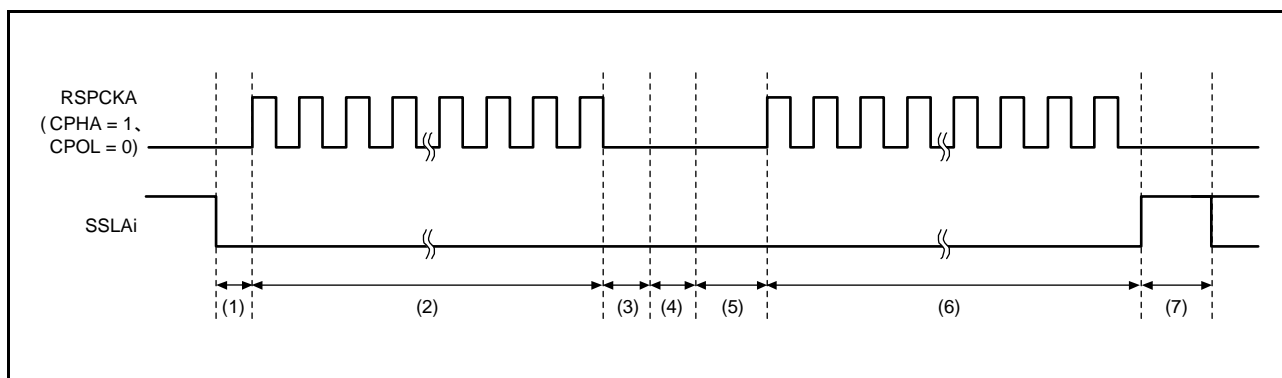


図 25.32 SSLKP ビットを利用したバースト転送動作の例

- (1) SPCMD0 レジスタに従った SSLAi 信号のアサートと RSPCK 遅延の挿入を実施します。
- (2) SPCMD0 レジスタに従ったシリアル転送を実行します。
- (3) SSL ネゲート遅延を挿入します。
- (4) SPCMD0.SSLKP ビットが“1”であるため、SPCMD0 レジスタでの SSLAi 信号値を保持します。この期間は、最短の場合には SPCMD0 レジスタの次アクセス遅延と同じだけ継続されます。最短期間を経過後にシフトレジスタが空の場合には、次転送のための送信データがシフトレジスタに格納されるまで、この期間を継続します。
- (5) SPCMD1 レジスタに従った SSLAi 信号のアサートと RSPCK 遅延の挿入を実施します。
- (6) SPCMD1 レジスタに従ったシリアル転送を実行します。
- (7) SPCMD1.SSLKP ビットが“0”であるため、SSLAi 信号をネゲートします。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

SSLKP ビットを“1”にした SPCMDm レジスタでの SSLAi 信号出力設定と、次転送で使用する SPCMDm レジスタでの SSLAi 信号出力設定が異なる場合、RSPI は次転送のコマンドに対応した SSLAi 信号のアサート時（図 25.32 の (5)）に SSLAi 信号状態を切り替えます。このような SSLAi 信号の切り替えが発生した場合、MISOA をドライブするスレーブが競合して信号レベルの衝突が発生する可能性があるので注意してください。

マスタモードの RSPI は、SSLKP ビットを使用しない場合の SSLAi 信号動作をモジュール内部で参照しています。SPCMDm.CPHA ビットが“0”の場合でも、RSPI は内部で検出した次転送の SSLAi 信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスタモードのバースト転送は、CPHA ビットの設定値にかかわらず実行できます。

(5) RSPCK 遅延 (t1)

マスタモードのRSPIのRSPCK遅延値は、SPCMDm.SCKDENビットの設定とSPCKDレジスタの設定に依存します。RSPIは、シリアル転送で参照するSPCMDmレジスタをポインタ制御によって決定し、選択したSPCMDm.SCKDENビットとSPCKDレジスタを使用して、表25.9のようにシリアル転送時のRSPCK遅延値を決定します。なお、RSPCK遅延の定義については、「25.3.5 転送フォーマット」を参照してください。

表25.9 SCKDENビット、SPCKDレジスタとRSPCK遅延値の関係

SPCMDm.SCKDENビット	SPCKD.SCKDL[2:0]ビット	RSPCK遅延値
0	000b ~ 111b	1 RSPCK
1	000b	1 RSPCK
	001b	2 RSPCK
	010b	3 RSPCK
	011b	4 RSPCK
	100b	5 RSPCK
	101b	6 RSPCK
	110b	7 RSPCK
	111b	8 RSPCK

(6) SSLネゲート遅延 (t2)

マスタモードのRSPIのSSLネゲート遅延値は、SPCMDm.SLNDENビットの設定とSSLNDレジスタの設定に依存します。RSPIは、シリアル転送で参照するSPCMDmレジスタをポインタ制御によって決定し、選択したSPCMDm.SLNDENビットとSSLNDレジスタを使用して、表25.10のようにシリアル転送時のSSLネゲート遅延値を決定します。なお、SSLネゲート遅延の定義については、「25.3.5 転送フォーマット」を参照してください。

表25.10 SLNDENビット、SSLNDレジスタとSSLネゲート遅延値の関係

SPCMDm.SLNDENビット	SSLND.SLNDL[2:0]ビット	SSLネゲート遅延値
0	000b ~ 111b	1 RSPCK
1	000b	1 RSPCK
	001b	2 RSPCK
	010b	3 RSPCK
	011b	4 RSPCK
	100b	5 RSPCK
	101b	6 RSPCK
	110b	7 RSPCK
	111b	8 RSPCK

(7) 次アクセス遅延 (t3)

マスタモードのRSPIの次アクセス遅延は、SPCMDm.SPNDENビットの設定とSPNDレジスタの設定に依存します。RSPIは、シリアル転送で参照するSPCMDmレジスタをポインタ制御によって決定し、選択したSPCMDm.SPNDENビットとSPNDレジスタを使用して、表25.11のようにシリアル転送時のRSPCK遅延を決定します。なお、次アクセス遅延の定義については、「25.3.5 転送フォーマット」を参照してください。

表25.11 SPNDENビット、SPNDレジスタと次アクセス遅延値の関係

SPCMDm.SPNDENビット	SPND.SPNDL[2:0]ビット	次アクセス遅延値
0	000b ~ 111b	1 RSPCK + 2 PCLK
1	000b	1 RSPCK + 2 PCLK
	001b	2 RSPCK + 2 PCLK
	010b	3 RSPCK + 2 PCLK
	011b	4 RSPCK + 2 PCLK
	100b	5 RSPCK + 2 PCLK
	101b	6 RSPCK + 2 PCLK
	110b	7 RSPCK + 2 PCLK
	111b	8 RSPCK + 2 PCLK

(8) 初期化フロー

図 25.33 に、SPI 動作時、RSPI をマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、入出力ポートの設定方法については各ブロックの説明を参照してください。

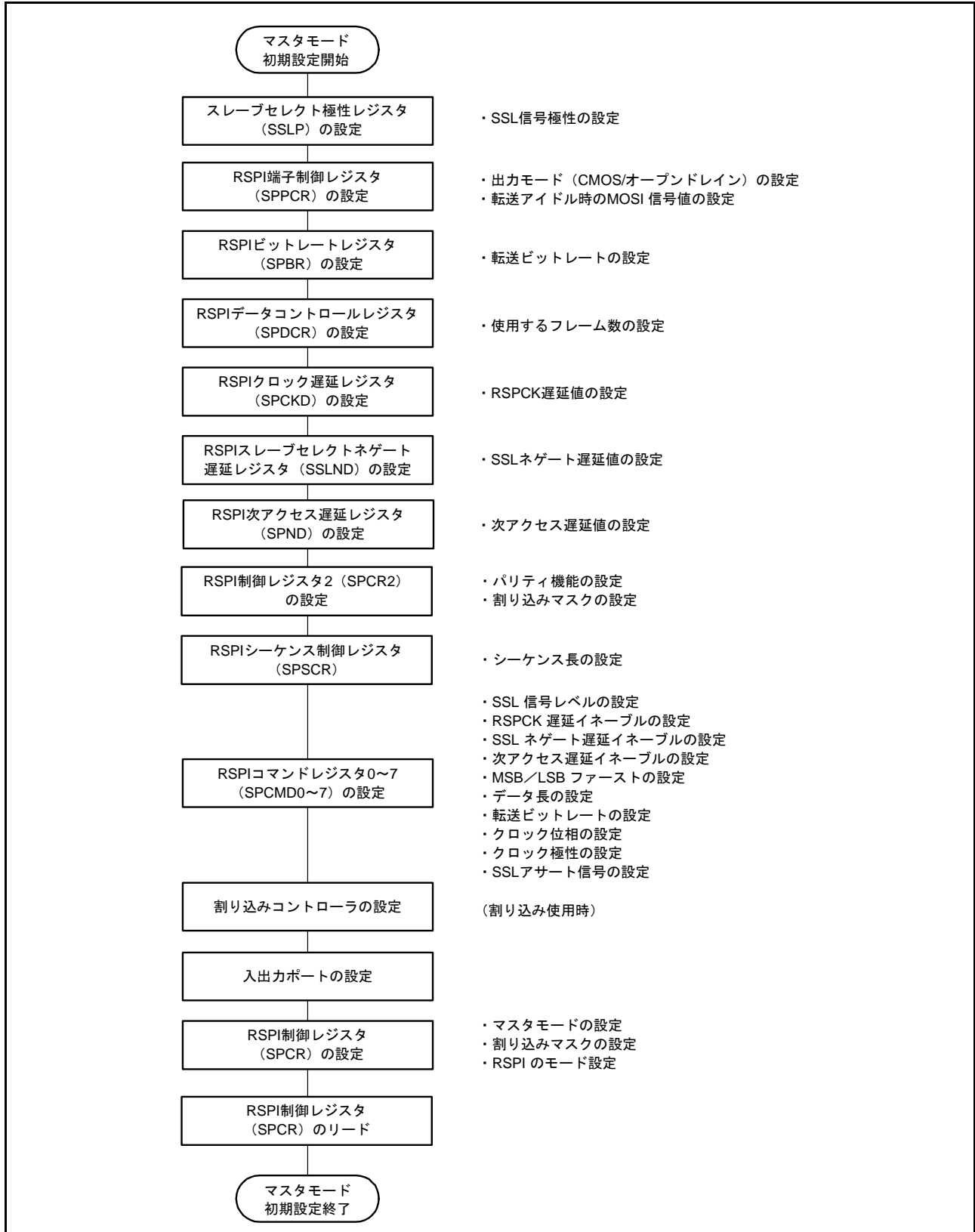


図 25.33 マスタモード時の初期化フロー例 (SPI 動作)

(9) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 25.34 ~ 図 25.36 に示します。

(a) 送信処理フロー

送信を行う場合、最終データの書き込み完了後 SPII 割り込みを許可することによって、全データ送信完了を CPU に通知することが可能です。

SPII 割り込みの代わりに、SPSR.IDLNF フラグが“0”になったかどうかをポーリングすることでも全データ送信完了を確認できます。ただし、SPDR レジスタに送信データを書き込んでから IDLNF フラグが“1”になるまでには、PCLK で 1 サイクル必要です。SPDR レジスタに最終データを書いた後は、“1”になる前の IDLNF フラグで判定しないように、一度 SPSR レジスタの値を読み捨てて、次に読み出した SPSR.IDLNF フラグの値から全データ送信完了の確認に使用してください。

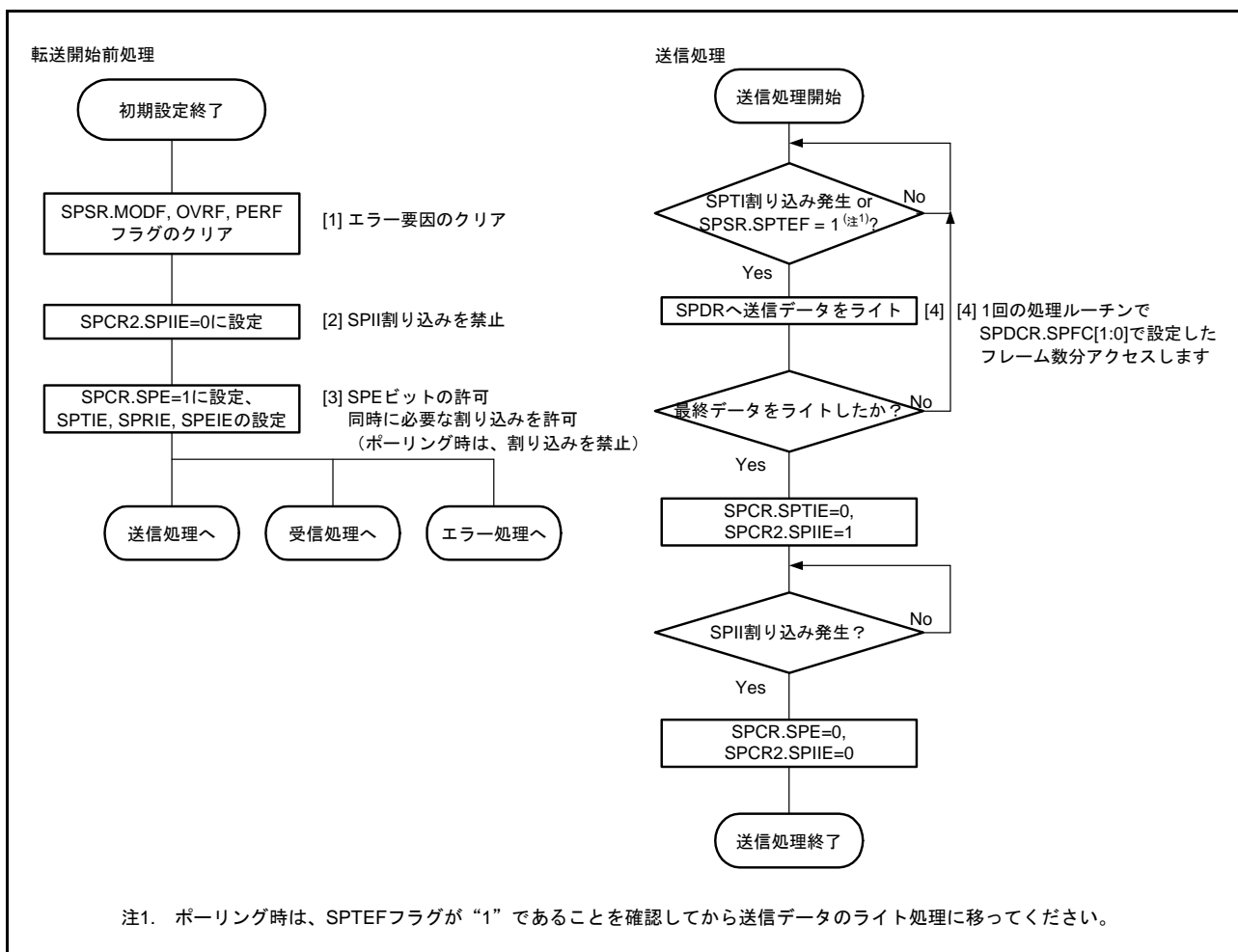


図 25.34 マスタモード時のフローチャート (送信)

(b) 受信処理フロー

RSPI は受信のみの動作を持たないため、送信を必要とします。

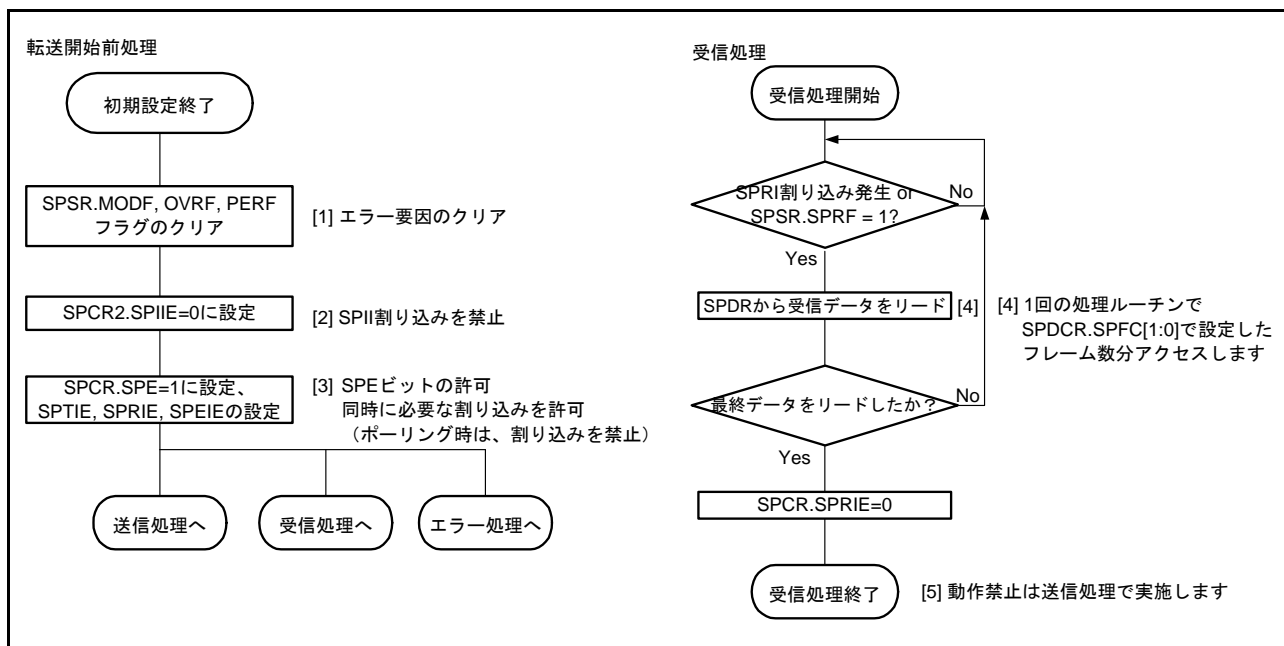


図 25.35 マスタモード時のフローチャート (受信)

(c) エラー処理フロー

RSPIは3種類のエラーを持ちます。モードフォルトエラー発生時は、SPCR.SPEビットが自動的にクリアされ、送信/受信動作を停止させます。しかし、その他のエラー要因ではSPCR.SPEビットはクリアされず送信/受信動作は継続されるため、最初に起きたエラー要因ではない他の要因でエラーが発生した場合は、SPSSR.SPECM[2:0]ビットが更新されてしまうため、SPCR.SPEビットをクリアし動作を停止することを推奨します。

割り込み使用時にエラーが発生したときは、ICU.IRn.IRフラグにSPTI割り込みまたはSPRI割り込み要求が保持されている可能性がありますので、エラー処理にてICU.IRn.IRフラグをクリアしてください。また、SPRI割り込み要求が保持されている場合、受信バッファを読み出してRSPIの内部シーケンサを初期化してください。

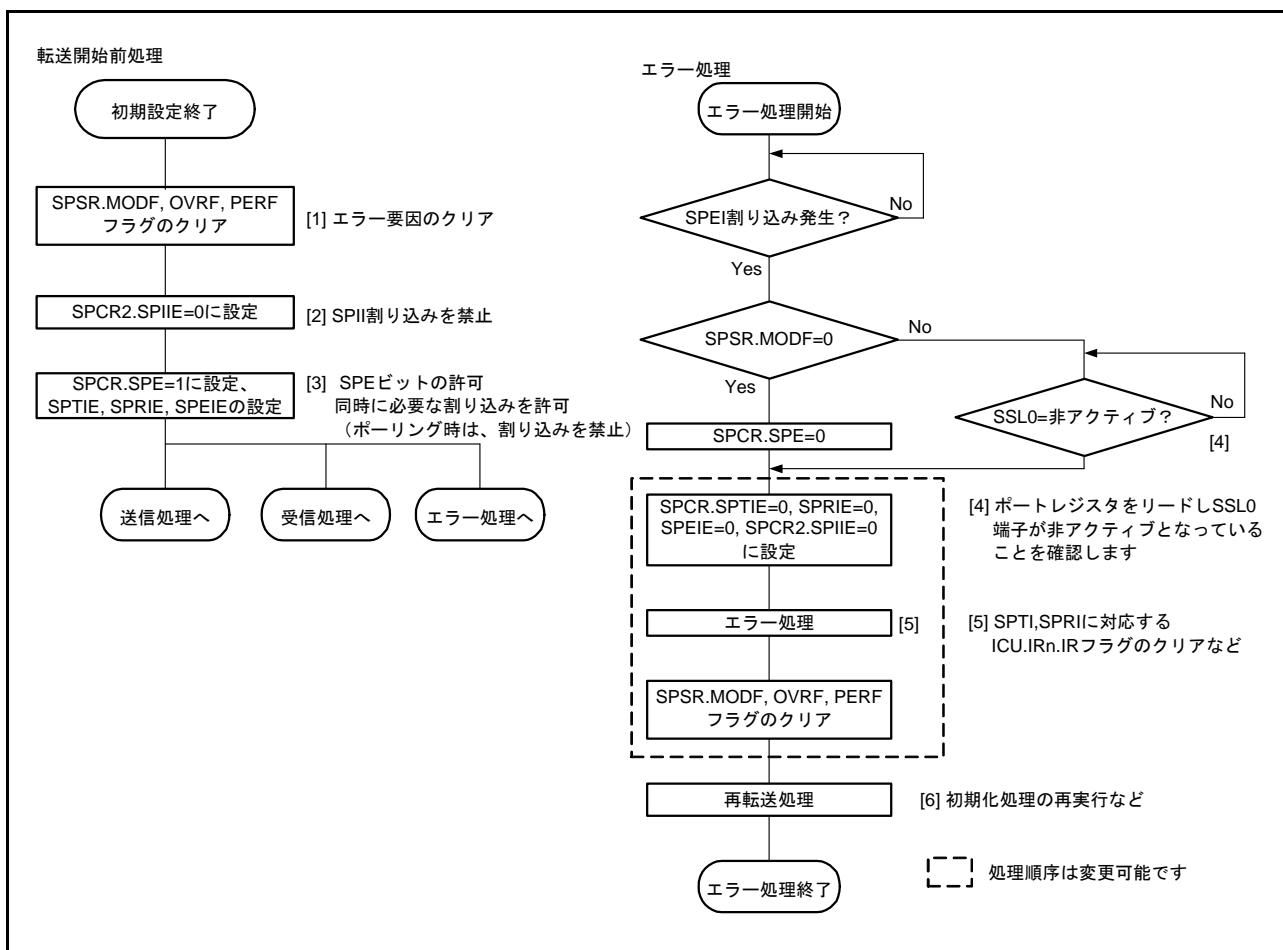


図 25.36 マスタモード時のフローチャート (エラー)

25.3.10.2 スレーブモード動作

(1) シリアル転送の開始

SPCMD0.CPHA ビットが“0”の場合、RSPIはSSLA0入力信号のアサートを検出すると、MISOA出力信号への有効データのドライブを開始する必要があります。このため、CPHAビットが“0”の場合には、SSLA0入力信号のアサートがシリアル転送開始のトリガになります。

CPHAビットが“1”の場合には、RSPIはSSLA0入力信号のアサート状態で最初のRSPCKAエッジを検出すると、MISOA出力信号への有効データのドライブを開始する必要があります。このため、CPHAビットが“1”の場合には、SSLA0信号アサート状態における最初のRSPCKAエッジがシリアル転送開始のトリガになります。

RSPIは、シフトレジスタが空の状態ではシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、RSPIはシフトレジスタの状態をフルのまま変更しません。

CPHAビットの設定に依存せず、RSPIがMISOA出力信号のドライブを開始するタイミングは、SSLA0信号アサートタイミングです。CPHAビットの設定によって、RSPIが出力するデータの有効/無効が異なります。

なお、RSPIの転送フォーマットの詳細については、「25.3.5 転送フォーマット」を参照してください。SSLA0入力信号の極性は、SSLP.SSL0Pビットの設定値に依存します。

(2) シリアル転送の終了

SPCMD0.CPHAビットにかかわらず、RSPIは最終サンプリングタイミングに相当するRSPCKAエッジを検出するとシリアル転送を終了します。受信バッファに空きがある場合 (SPRFフラグが“0”の場合) には、シリアル転送の終了後に、RSPIはシフトレジスタからSPDRレジスタの受信バッファに受信データをコピーします。また、受信バッファの状態に関わらず、RSPIはシリアル転送の終了後にシフトレジスタの状態を空に変更します。シリアル転送開始からシリアル転送終了の間にRSPIがSSLA0入力信号のネゲートを検出するとモードフォルトエラーが発生します (「25.3.8 エラー検出」を参照)。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードのRSPIのデータ長はSPCMD0.SPB[3:0]ビットの設定値に依存します。SSLA0入力信号の極性は、SSLP.SSL0Pビットの設定値に依存します。RSPIの転送フォーマットの詳細については、「25.3.5 転送フォーマット」を参照してください。

(3) シングルスレーブ時の注意点

SPCMD0.CPHAビットが“0”の場合には、RSPIはSSLA0入力信号のアサートエッジを検出するとシリアル転送を開始します。図25.7の例に示したような構成でRSPIをシングルスレーブで使用する場合には、SSLA0入力信号がアクティブ状態に固定されるため、CPHAビットを“0”に設定したRSPIではシリアル転送を正しく開始できません。SSLA0入力信号をアクティブ状態に固定する構成で、スレーブモードRSPIの送受信を正しく実行するためには、CPHAビットを“1”にしてください。CPHAビットを“0”にする必要がある場合には、SSLA0入力信号を固定しないでください。

(4) バースト転送

SPCMD0.CPHA ビットが“1”の場合には、SSLA0 入力信号のアサート状態を保持したままで連続的なシリアル転送（バースト転送）を実行できます。CPHA ビットが“1”の場合には、SSLA0 入力信号アクティブ状態における最初の RSPCKA エッジから最終ビット受信のためのサンプリングタイミングまでが、シリアル転送期間に相当します。SSLA0 入力信号がアクティブレベルのままであっても、アクセスの開始を検出可能であるので、バースト転送に対応できます。

CPHA ビットが“0”の場合には、バースト転送の2回目以降のシリアル転送を正しく実行できません。

(5) 初期化フロー

図 25.37 に、SPI 動作時、RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、入出力ポートの設定方法については各ブロックの説明を参照してください。

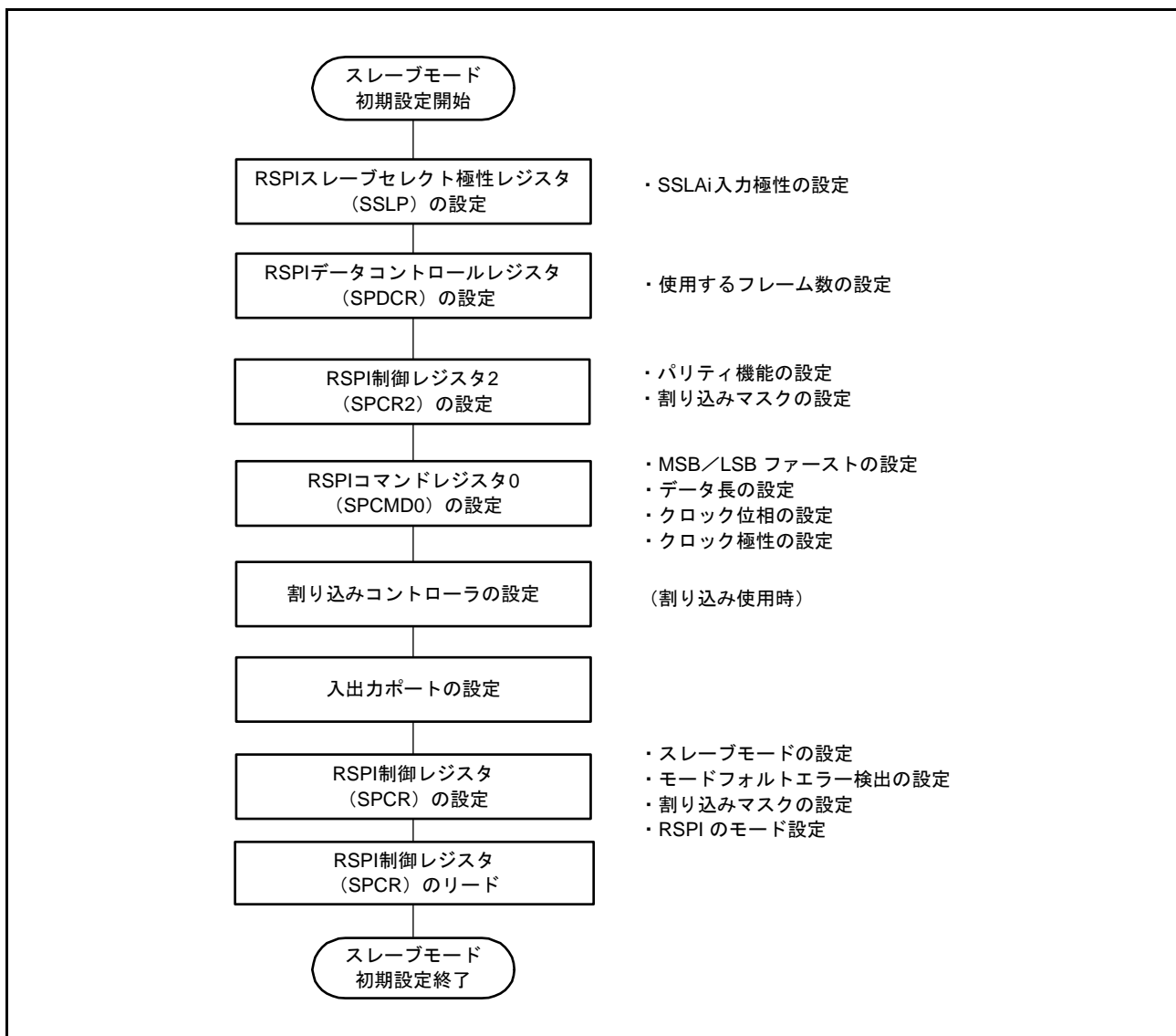


図 25.37 スレーブモード時の初期化フロー例 (SPI 動作)

(6) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 25.38 ~ 図 25.40 に示します。

(a) 送信処理フロー

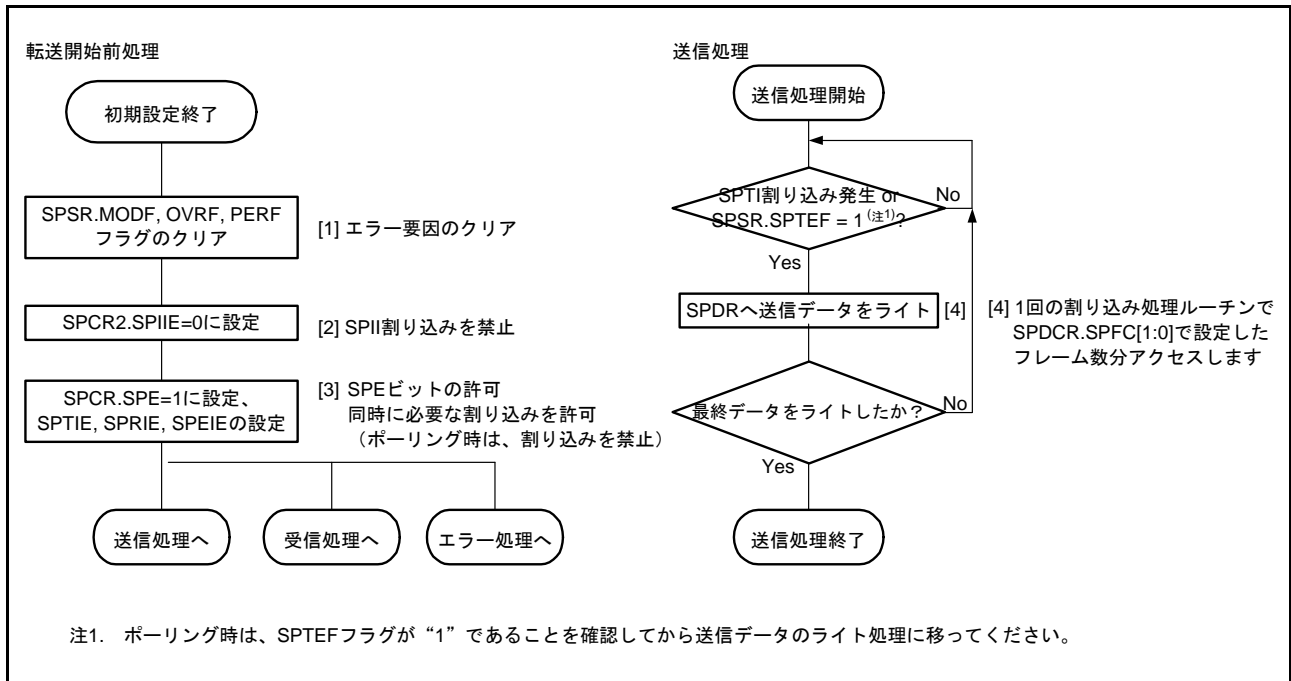


図 25.38 スレーブモード時のフローチャート (送信)

(b) 受信処理フロー

RSPI は受信のみの動作を持たないため、送信を必要とします。

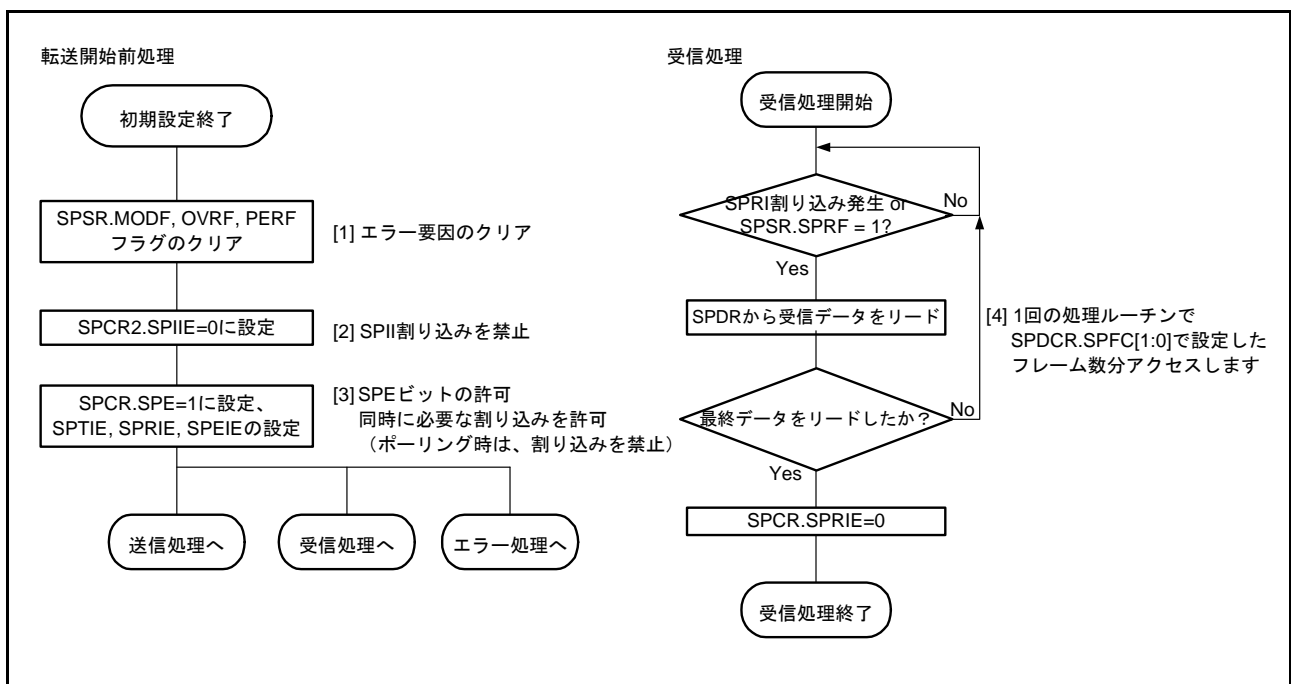


図 25.39 スレーブモード時のフローチャート (受信)

(c) エラー処理フロー

スレーブ動作では、モードフォルトエラーが発生しても SSLA0 端子の状態にかかわらず、SPSR.MODF フラグをクリアすることができます。

割り込み使用時にエラーが発生したときは、ICU.IRn.IR フラグに SPTI 割り込みまたは SPRI 割り込み要求が保持されている可能性があるためエラー処理にて ICU.IRn.IR フラグをクリアしてください。また、SPRI 割り込み要求が保持されている場合、受信バッファを読み出して RSPI の内部シーケンサを初期化してください。

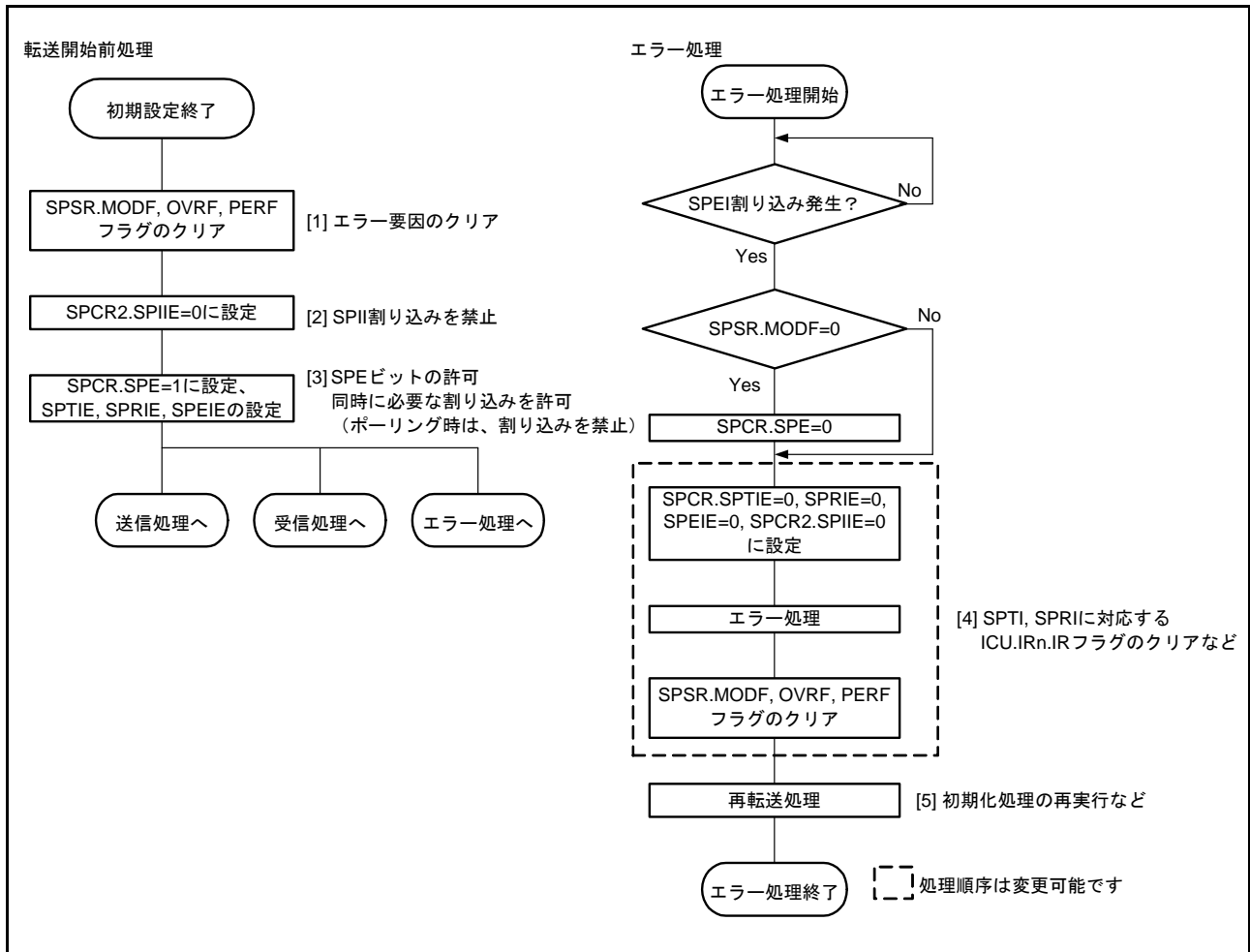


図 25.40 スレーブモード時のフローチャート (エラー処理)

25.3.11 クロック同期式動作

RSPIは、SPCR.SPMS ビットが“1”であるとき、クロック同期式動作となります。クロック同期式動作は、SSLAi 端子を使用せず、RSPCKA、MOSIA、MISOA の3本の端子を用いて通信を行い、SSLAi 端子はI/Oポートとして使用することができます。

クロック同期式動作は、SSLAi 端子を使用せず通信を行います。モジュール内部の動作はSPI動作と同様の動作を行います。マスタ動作、スレーブ動作において、SPI動作時と同様のフローで通信を行うことができますが、SSLAi 端子を使用しませんので、モードフォルトエラーの検出を行いません。

また、クロック同期式動作では、スレーブモード時 (SPCR.MSTR = 0) に SPCMDm.CPHA ビットを“0”にした場合の動作はしないでください。

25.3.11.1 マスタモード動作

(1) シリアル転送の開始

送信バッファが空 (SPSR.SPTEF フラグが“1”、次転送のデータがセットされていない) の状態で、SPDR レジスタへデータを書くと、RSPIはSPDRレジスタの送信バッファ (SPTX) のデータを更新します。SPDR レジスタへSPDCR.SPFC[1:0] ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPIは送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPIは、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPIの転送フォーマットの詳細については、「25.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時は、SSLA0 出力信号を用いずに通信を行います。

(2) シリアル転送の終了

RSPIは最終サンプリングタイミングに対応するRSPCKAエッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) が空 (SPSR.SPRF フラグが“0”) の場合には、シリアル転送終了後にシフトレジスタからSPDRレジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードのRSPIのデータ長は、SPCMDm.SP[3:0] ビットの設定値に依存します。RSPIの転送フォーマットの詳細については、「25.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時は、SSLA0 出力信号を用いずに通信を行います。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。クロック同期式動作時は、SSLAi 信号の出力を行いませんが、これらの設定は有効です。

SPSCR レジスタは、マスタモードのRSPIで実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSLAi 出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCKA 極性/位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタにはRSPIクロック遅延値、SSLND レジスタにはSSLネゲート遅延、SPND レジスタには次アクセス遅延値が設定されています。

RSPIは、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部/全部からなるシーケンスを構成します。RSPIには、シーケンスを構成しているSPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットの読み出しによって確認できます。SPCR.SPE ビットが“1”でRSPI動作が許可された状態にすると、RSPIはコマンドに対するポインタをSPCMD0レジ

スタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPIは、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPIはポインタを SPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

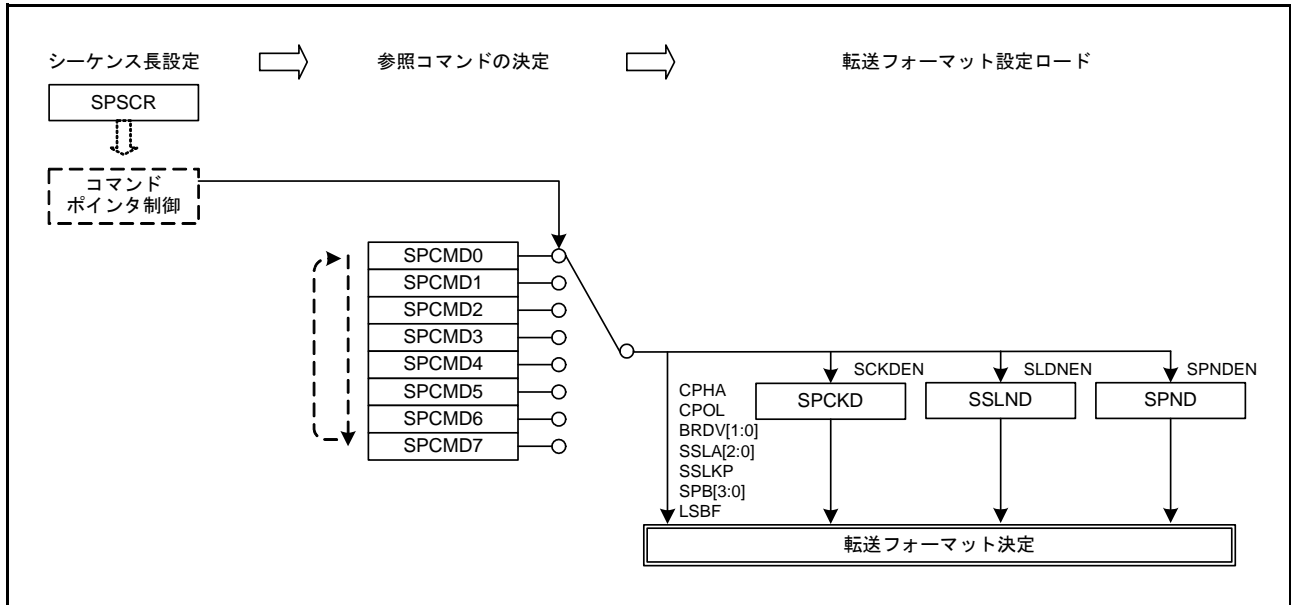


図 25.41 マスタモードでのシリアル転送方式の決定方法

本章では、データ (SPDR) と設定 (SPCMDm) の2つを合わせてフレームとします。

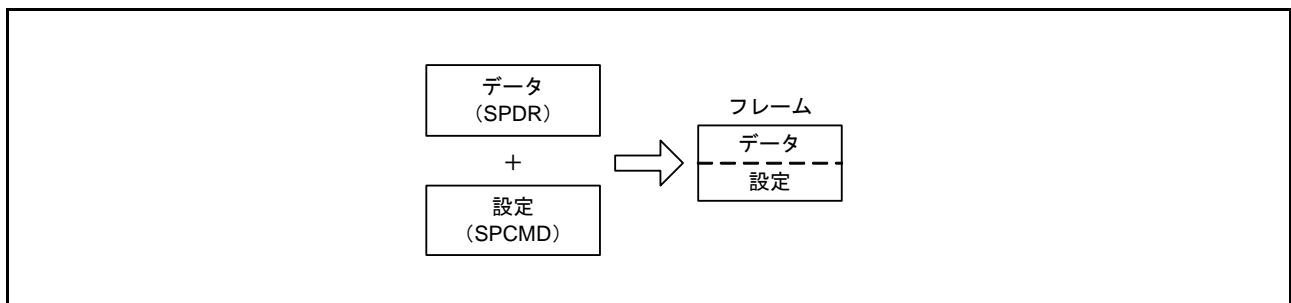


図 25.42 フレーム概念図

表 25.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ / 受信バッファの関係を図 25.43 に示します。

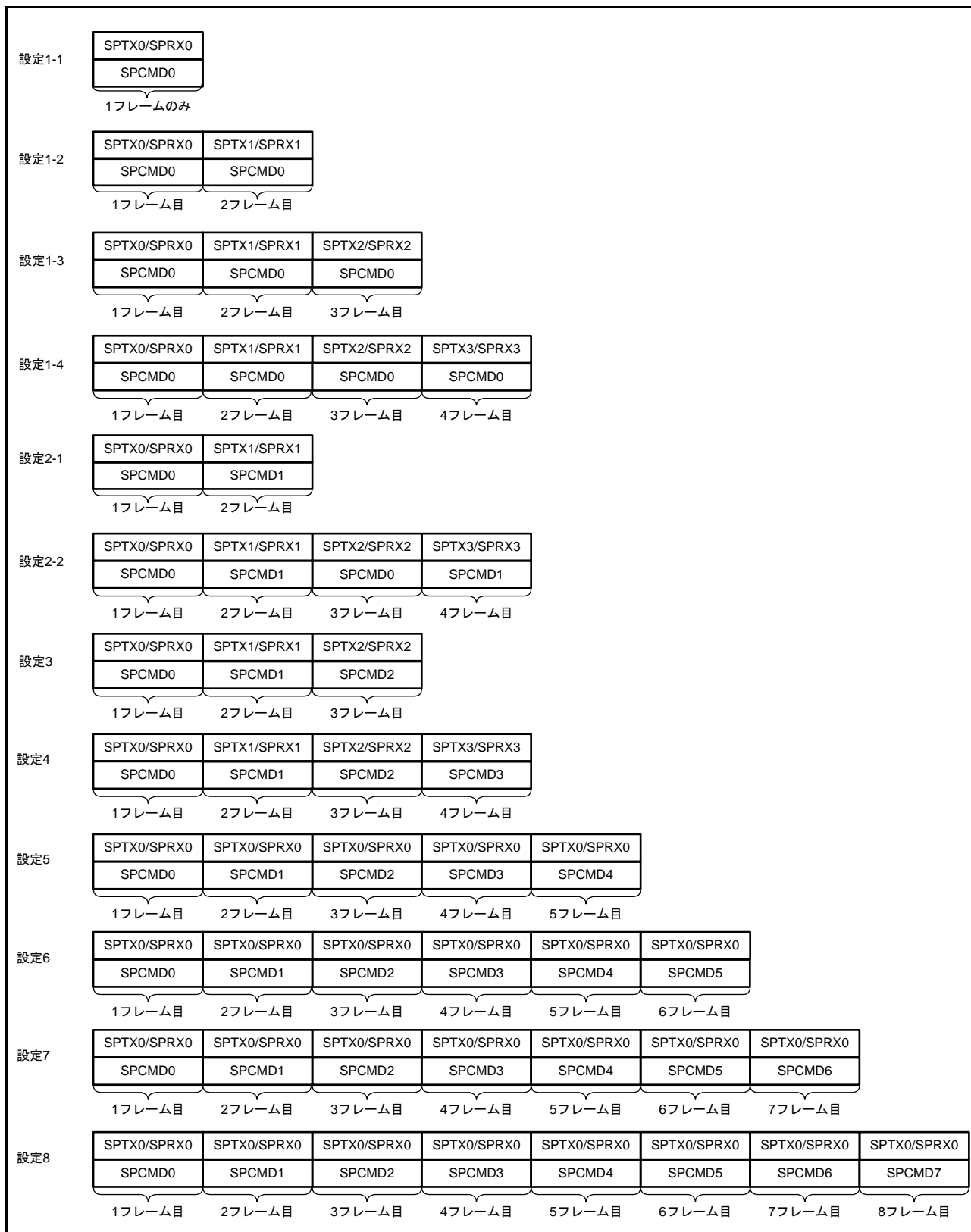


図 25.43 シーケンス動作時の RSPI コマンドレジスタと送受信バッファの対応

(4) 初期化フロー

図 25.44 に、クロック同期式動作時の RSPI をマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、入出力ポートの設定方法については、各ブロックの説明を参照してください。

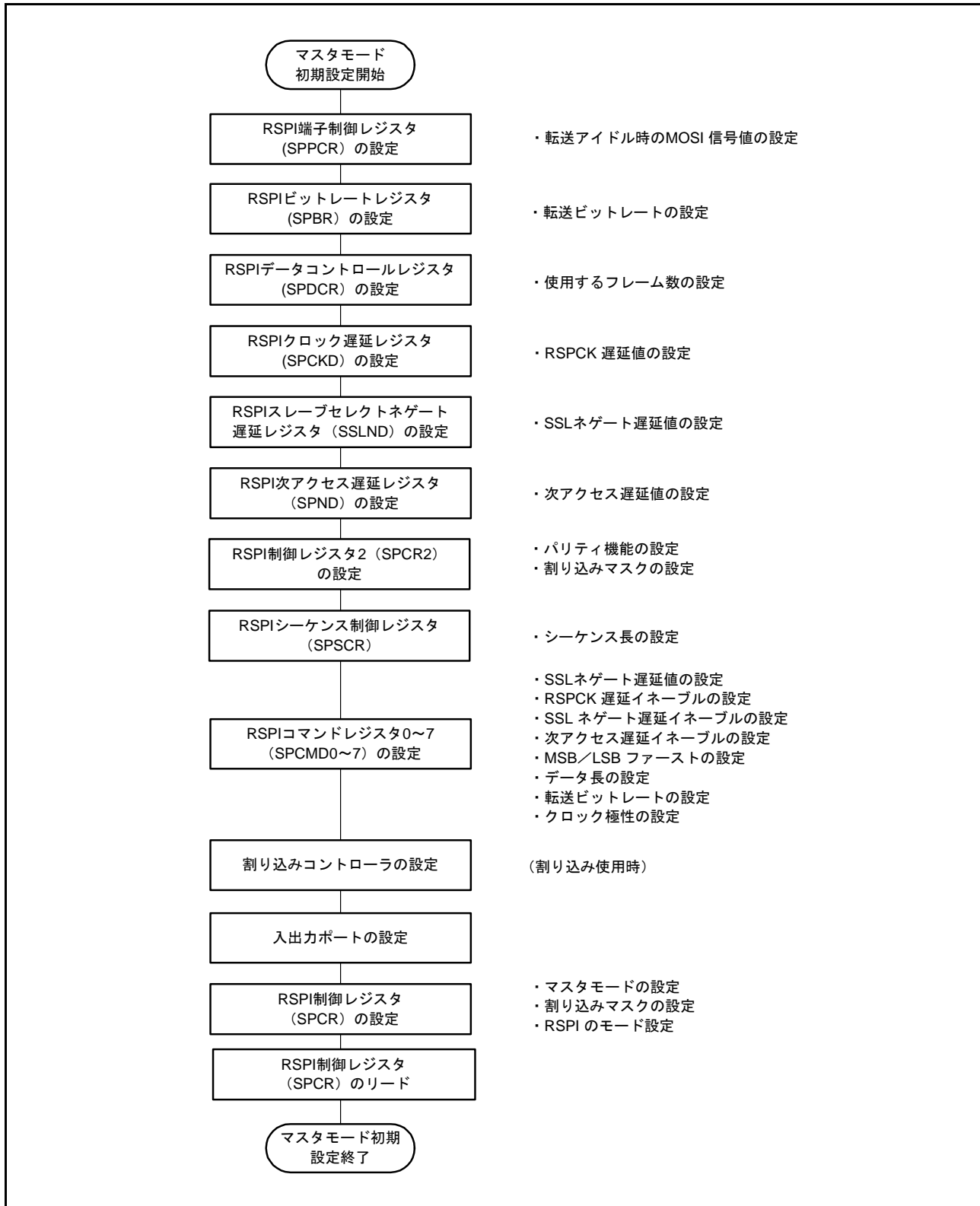


図 25.44 マスタモード時の初期化フロー例 (クロック同期式動作)

(5) ソフトウェア処理フロー

クロック同期式動作時のマスタモード動作のソフトウェア処理は、SPI動作時のマスタモード動作のソフトウェア処理フローと同様になります。詳細は、「25.3.10.1 (9) ソフトウェア処理フロー」を参照してください。ただし、モードフォルトエラーの発生はありません。

25.3.11.2 スレーブモード動作

(1) シリアル転送の開始

RSPIは、SPCR.SPMSビットが“1”であるとき、最初のRSPCKAエッジがシリアル転送開始のトリガになります。

RSPIは、シフトレジスタが空の状態ではシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、RSPIはシフトレジスタの状態をフルのまま変更しません。

SPMSビットが“1”であるときは、RSPIはMISOA出力信号をドライブします。

なお、RSPIの転送フォーマットの詳細については、「25.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時はSSLA0入力信号を使用しません。

(2) シリアル転送の終了

RSPIは最終サンプリングタイミングに相当するRSPCKAエッジを検出するとシリアル転送を終了します。受信バッファが空 (SPSR.SPRFフラグが“0”) の場合には、シリアル転送の終了後に、RSPIはシフトレジスタからSPDRレジスタの受信バッファに受信データをコピーします。また、受信バッファの状態にかかわらず、RSPIはシリアル転送の終了後にシフトレジスタの状態を空に変更します。なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードのRSPIのデータ長はSPCMD0.SPB[3:0]ビットの設定値に依存します。RSPIの転送フォーマットの詳細については、「25.3.5 転送フォーマット」を参照してください。

(3) 初期化フロー

図 25.45 に、クロック同期式動作時の RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、入出力ポートの設定方法については、各ブロックの説明を参照してください。

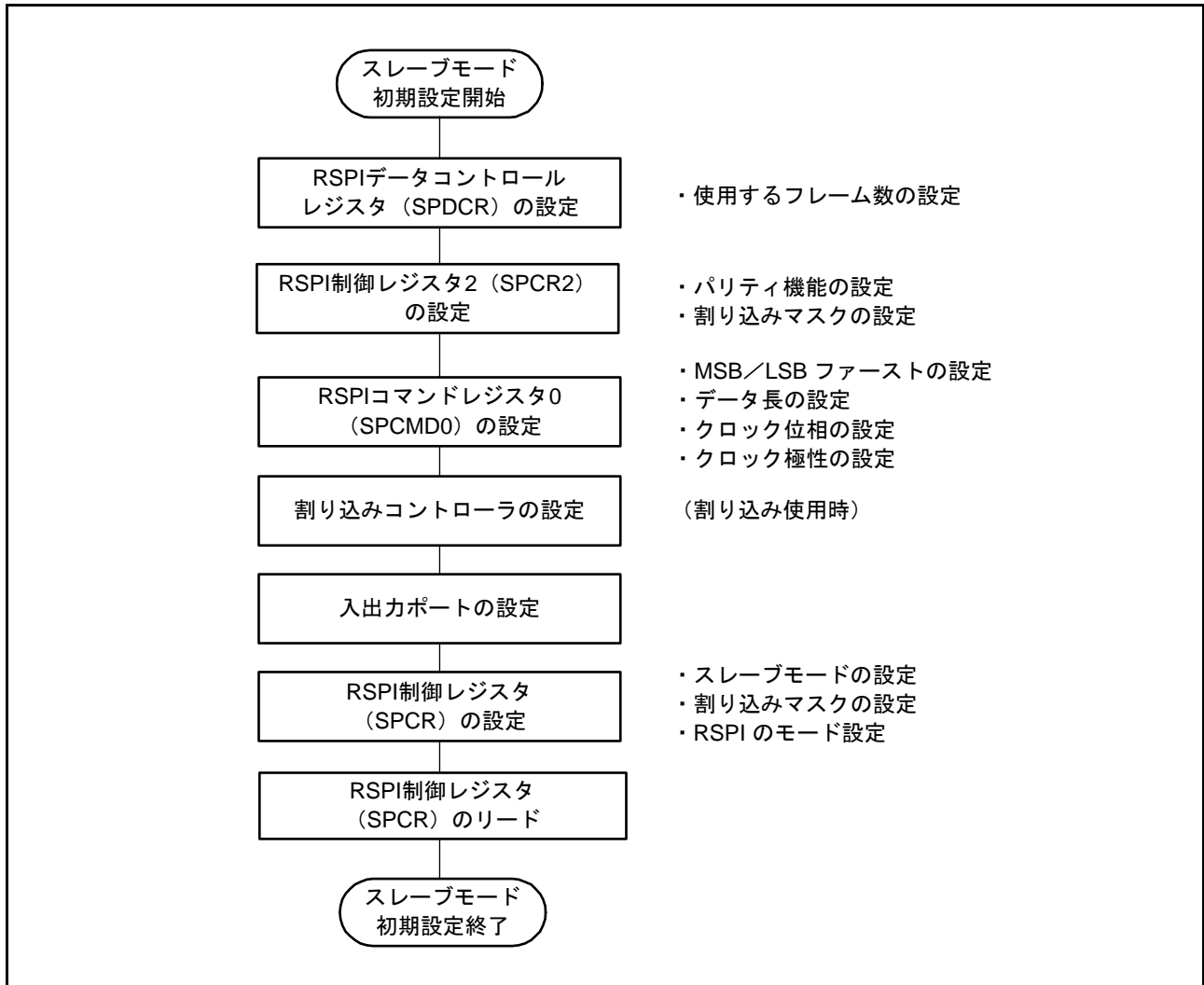


図 25.45 スレーブモード時の初期化フロー例 (クロック同期式動作)

(4) ソフトウェア処理フロー

クロック同期式動作時のスレーブモード動作のソフトウェア処理は、SPI 動作時のスレーブモード動作のソフトウェア処理フローと同様になります。詳細は、「25.3.10.2 (6) ソフトウェア処理フロー」を参照してください。ただし、モードフォルトエラーの発生はありません。

25.3.12 ループバックモード

SPPCR.SPLP2 ビットまたは SPLP ビットに“1”を書くと、RSPIは SPCR.MSTR ビットが“1”ならば、MISOA 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSIA 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。また、SPCR.MSTR ビットが“1”ならば、MOSIA 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MISOA 端子とシフトレジスタ間の経路を遮断しません。これをループバックモードと呼びます。ループバックモードでシリアル転送を実行すると、RSPI の送信データまたは送信データの反転が RSPI の受信データになります。

表 25.12 に SPLP2 ビット、SPLP ビットの設定と受信データの関係を示します。また、図 25.46 に、マスターモードの RSPI をループバックモード (SPPCR.SPLP2 = 0、SPPCR.SPLP = 1) に設定した場合のシフトレジスタ入出力経路の構成を示します。

表 25.12 SPLP2 ビット、SPLP ビットの設定と受信データ

SPPCR.SPLP2 ビット	SPPCR.SPLP ビット	受信データ
0	0	MOSIA 端子または MISOA 端子からの入力データ
0	1	送信データの反転
1	0	送信データ
1	1	送信データ

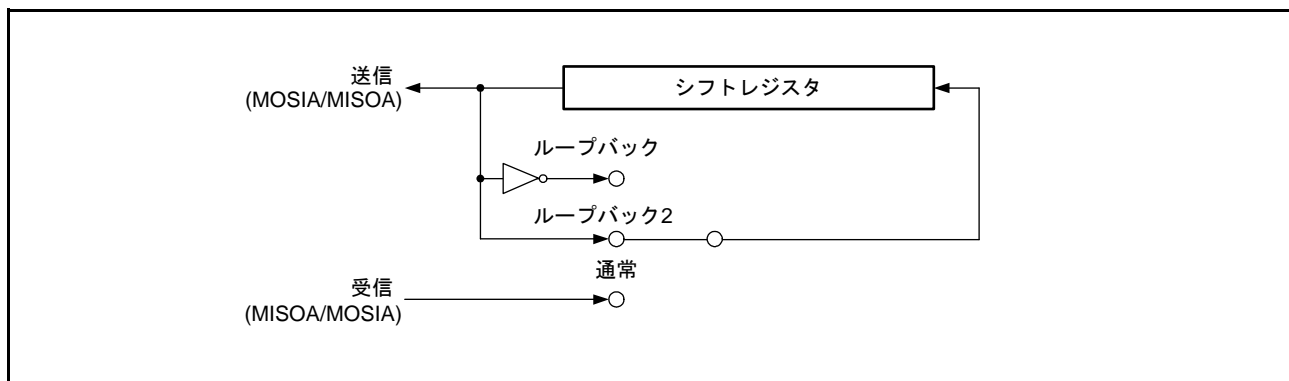


図 25.46 ループバックモード時のシフトレジスタ入出力構成 (マスターモード)

25.3.13 パリティビット機能の自己判断

パリティ回路は、送信データに対するパリティ付加部と受信データに対するエラー検出部で構成されます。パリティ回路のパリティ付加部とエラー検出部の故障を検出するために、図 25.47 に示すのフローに従い、パリティ回路の自己診断を行います。

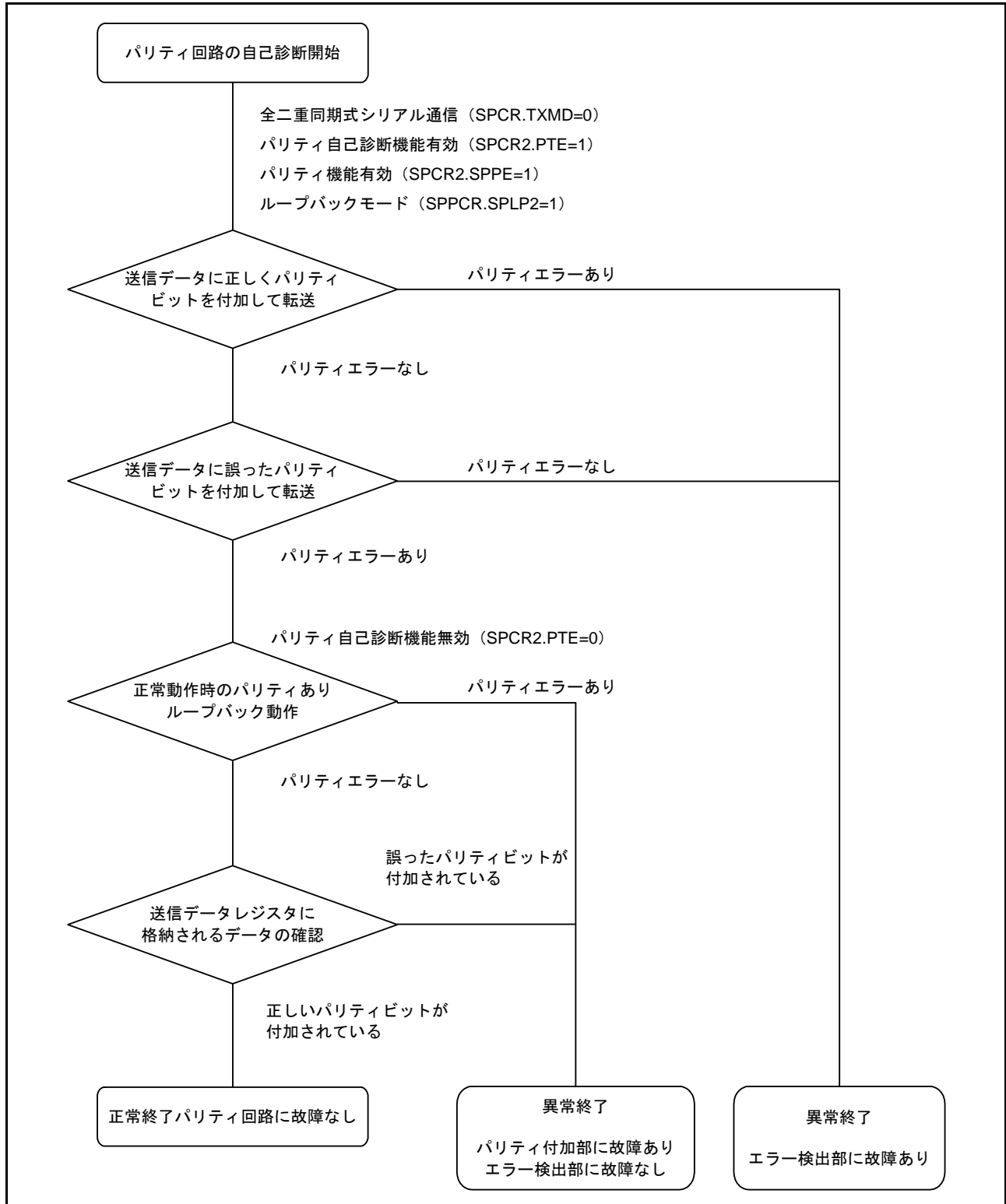


図 25.47 パリティ回路の自己判断フロー

25.3.14 割り込み要因

RSPIの割り込み要因には、受信バッファフル、送信バッファエンプティ、モードフォルト、オーバラン、パリティエラー、RSPIアイドルがあります。また、受信バッファフル、送信バッファエンプティの割り込み要求でDTCを起動し、データ転送を行うことができます。

モードフォルト、オーバラン、パリティエラーの割り込み要求がSPEIのベクタアドレスに割り付けられているため、フラグによる要因の判断が必要です。表 25.13 に RSPI の割り込み要因を示します。表 25.13 の割り込み条件が成立すると、割り込みが発生します。受信バッファフルと送信バッファエンプティの要因は、データ転送で割り込み要因をクリアしてください。

DTC を使って送受信を行う場合は、先に DTC を設定し、許可状態にしてから RSPI の設定を行ってください。DTC の設定方法は「16. データトランスファコントローラ (DTCa)」を参照してください。

送信バッファエンプティ割り込み、および受信バッファフル割り込みは、ICU.IRn.IR フラグが“1”のときに割り込み発生条件となっても、ICU に対して割り込み要求を出力せず内部で保持します（内部で保持できる容量は、1 要因ごとに 1 要求までです）。ICU.IRn.IR フラグが“0”になると、ICU に対して保持していた割り込み要求を出力します。保持している割り込み要求を出力すると、保持している割り込み要求は自動的にクリアされます。また、内部で保持している割り込み要求は、対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を“0”にすることでクリアが可能です。

表 25.13 RSPIの割り込み要因

割り込み要因	略称	割り込み条件	DTC起動
受信バッファフル	SPRI	SPCR.SPRIE ビットが“1”の状態を受信バッファフル (SPRF フラグが“1”) になったとき	可能
送信バッファエンプティ	SPTI	SPCR.SPTIE ビットが“1”の状態を送信バッファエンプティ (SPTEF フラグが“1”) になったとき	可能
RSPIエラー (モードフォルト、オーバラン、パリティエラー)	SPEI	SPCR.SPEIE ビットが“1”の状態でSPSR.MODF、OVRF、または PERF フラグが“1”になったとき	不可能
RSPIアイドル	SPII	SPCR2.SPIIE ビットが“1”の状態でIDLNF フラグが“0”になったとき	不可能

25.4 使用上の注意事項

25.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、RSPI の動作禁止/許可を設定できます。リセット後の値では、RSPI の動作は停止します。モジュールストップ状態を解除することにより、レジスタをアクセスできます。詳細は「11. 消費電力低減機能」を参照してください。

25.4.2 消費電力低減機能の注意事項

モジュールストップ機能の使用、およびスリープモードを除く低消費電力モードに遷移する場合は、あらかじめ SPCR.SPE ビットを“0”に設定し通信を終了させてください。

25.4.3 通信の開始に関する注意事項

ICU.IRn.IR フラグが“1”で通信を開始すると、通信開始後の割り込み要求が内部で保持されるため、ICU.IRn.IR フラグが予期しない挙動となる可能性があります。

通信開始時点で ICU.IRn.IR フラグが“1”のときは、動作許可 (SPCR.SPE ビットを“1”にする) 前に下記の手順で割り込み要求をクリアしてください。

- (1) 通信が停止していること (SPCR.SPE ビットが“0”となっていること) を確認
- (2) 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を“0”にする
- (3) 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を読み出し、“0”を確認
- (4) ICU.IRn.IR フラグを“0”にする

25.4.4 SPRF/SPTEF フラグに関する注意事項

SPSR.SPRF, SPTEF フラグをポーリングして使用する場合、SPCR.SPRIE, SPTIE ビットを“0”にしてください。

26. CRC演算器 (CRC)

CRC (Cyclic Redundancy Check) 演算器は、CRCコード生成を行います。

26.1 概要

表 26.1 に CRC 演算器の仕様を示します。図 26.1 に CRC 演算器のブロック図を示します。

表 26.1 CRC演算器の仕様

項目	内容
CRC演算対象データ (注1)	8nビットのデータに対してCRCコードを生成 (n=自然数)
CRC演算処理方式	8ビット並列実行
CRC生成多項式	3つの多項式から選択可能 <ul style="list-style-type: none"> 8ビットCRC $X^8 + X^2 + X + 1$ 16ビットCRC $X^{16} + X^{15} + X^2 + 1$ $X^{16} + X^{12} + X^5 + 1$
CRC演算切り替え	LSBファーストまたはMSBファーストでの通信用に、CRC演算結果のビットオーダを切り替えることが可能
消費電力低減機能	モジュールストップ状態への設定が可能

注1. 演算対象データをCRC演算の単位に分割する機能はありません。8ビット単位で書いてください。

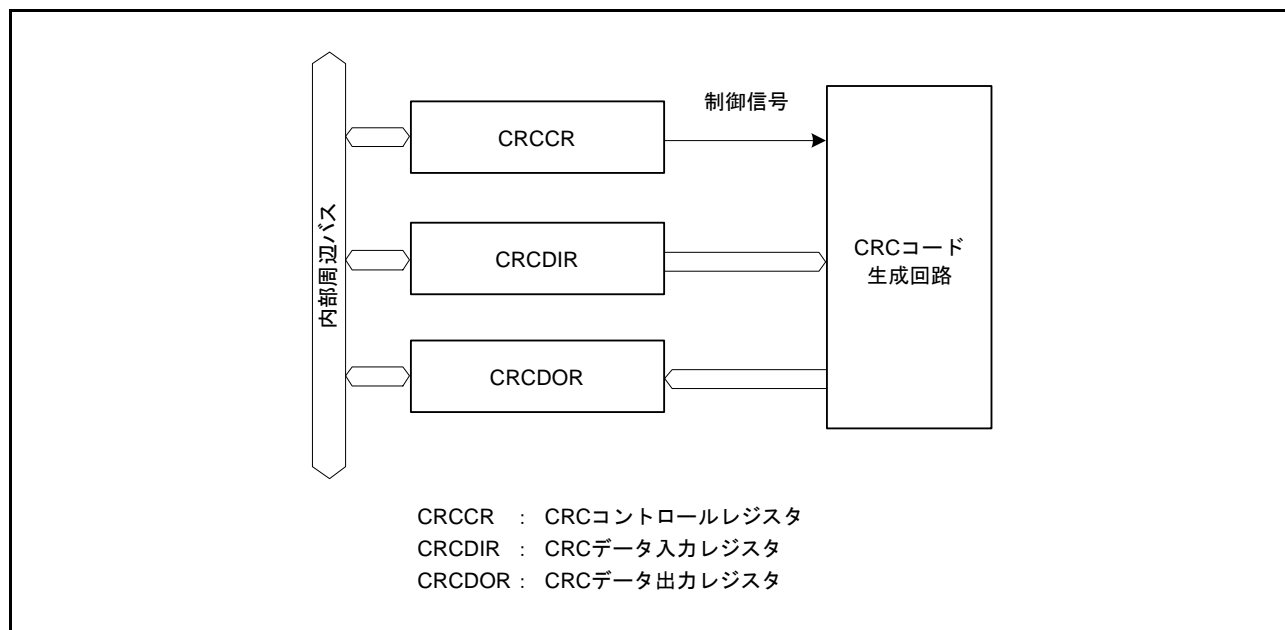


図 26.1 CRC演算器のブロック図

26.2 レジスタの説明

26.2.1 CRC コントロールレジスタ (CRCCR)

アドレス 0008 8280h

	b7	b6	b5	b4	b3	b2	b1	b0
	DORCLR	—	—	—	—	LMS	GPS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	GPS[1:0]	CRC生成多項式切り替えビット	b1 b0 0 0 : 演算しません 0 1 : 8ビットCRC ($X^8 + X^2 + X + 1$) 1 0 : 16ビットCRC ($X^{16} + X^{15} + X^2 + 1$) 1 1 : 16ビットCRC ($X^{16} + X^{12} + X^5 + 1$)	R/W
b2	LMS	CRC演算切り替えビット	0 : LSBファースト通信用にCRCを生成 1 : MSBファースト通信用にCRCを生成	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DORCLR	CRCDORレジスタクリアビット	1 : CRCDORレジスタをクリア 読むと“0”が読めます	R/W (注1)

注1. “1”のみ書けます。

LMS ビット (CRC 演算切り替えビット)

生成した16ビットのCRCコードのビットオーダを選択します。LSBファーストで通信を行う場合はCRCコードの下位バイト (b7～b0) から先に、MSBファーストで通信を行う場合はCRCコードの上位バイト (b15～b8) から先に送信してください。CRCコードの送信および受信については、「26.3 CRC演算器の動作説明」を参照してください。

DORCLR ビット (CRCDOR レジスタクリアビット)

DORCLR ビットを“1”にすると、CRCDORレジスタが“0000h”になります。

読むと“0”が読めます。“1”のみ書けます。

26.2.2 CRC データ入力レジスタ (CRCDIR)

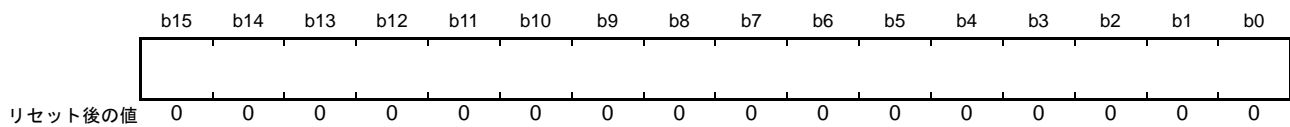
アドレス 0008 8281h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

CRCDIRレジスタは、読み出し／書き込み可能なレジスタです。CRC演算対象となるデータを書いてください。

26.2.3 CRC データ出力レジスタ (CRCDOR)

アドレス 0008 8282h



CRCDOR レジスタは、読み出し／書き込み可能なレジスタです。

初期値は "0000h" ですので、初期値以外を用いて演算する場合は、CRCDOR を書き換えてください。

データを CRCDIR レジスタに書くと、演算結果が CRCDOR レジスタに格納されます。また、通信データに続いて CRC コードを CRC 演算し、結果が "0000h" の場合、誤りがないと判断できます。

8 ビット CRC ($X^8 + X^2 + X + 1$ の多項式) を使用した場合は、下位バイト (b7 ~ b0) に有効な CRC コードが得られます。上位バイト (b15 ~ b8) は、更新されません。

26.3 CRC演算器の動作説明

CRC演算器は、LSBファースト/MSBファースト通信用CRCコードを生成します。

16ビットのCRC生成多項式 ($X^{16} + X^{12} + X^5 + 1$) を使用して、入力データ (“F0h”) のCRCコードを生成する例を以下に示します。この例ではCRC演算の前に、CRCデータ出力レジスタ (CRCDOR) の値をクリアします。

8ビットCRC ($X^8 + X^2 + X + 1$ の多項式) を使用した場合は、CRCDORレジスタの下位バイトに有効なCRCコードが得られます。

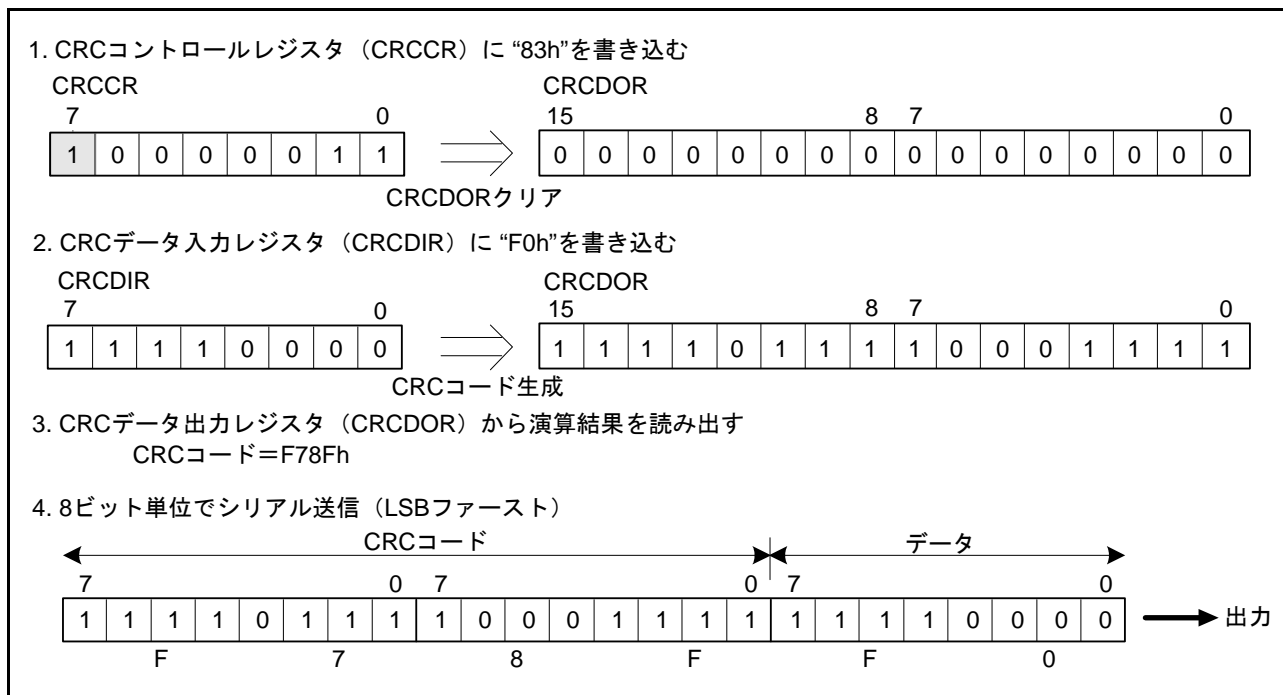


図 26.2 LSBファーストでのデータ送信

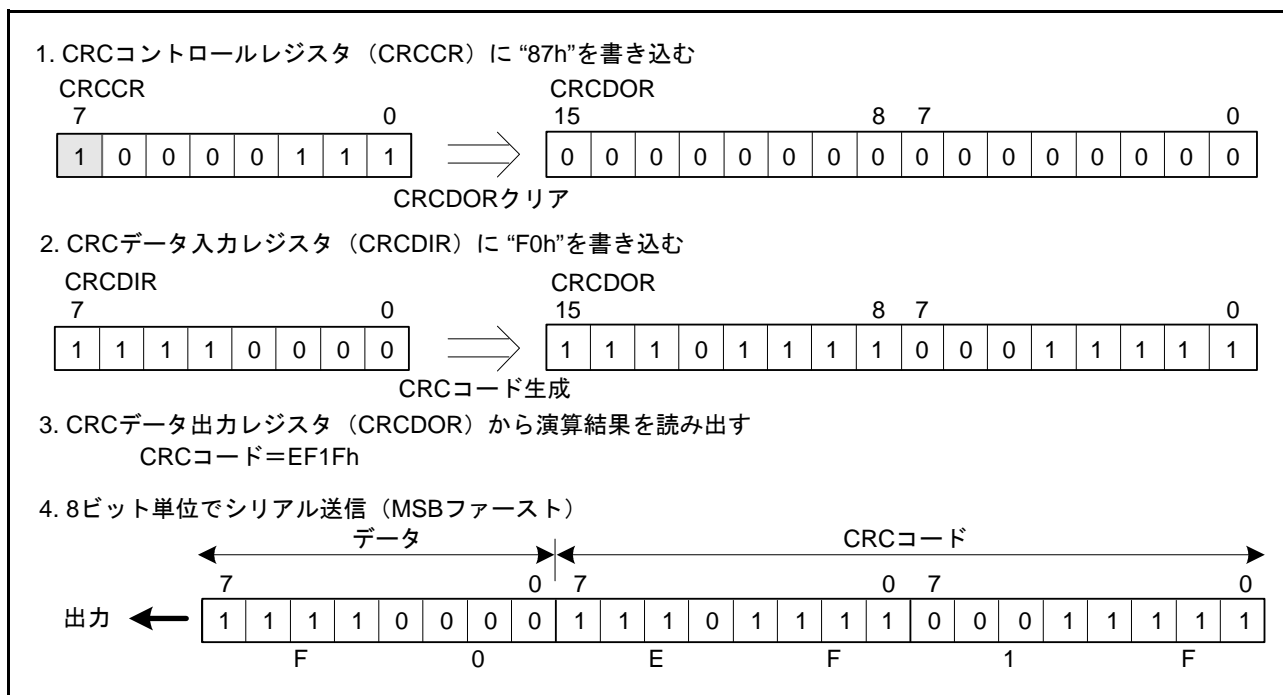


図 26.3 MSBファーストでのデータ送信

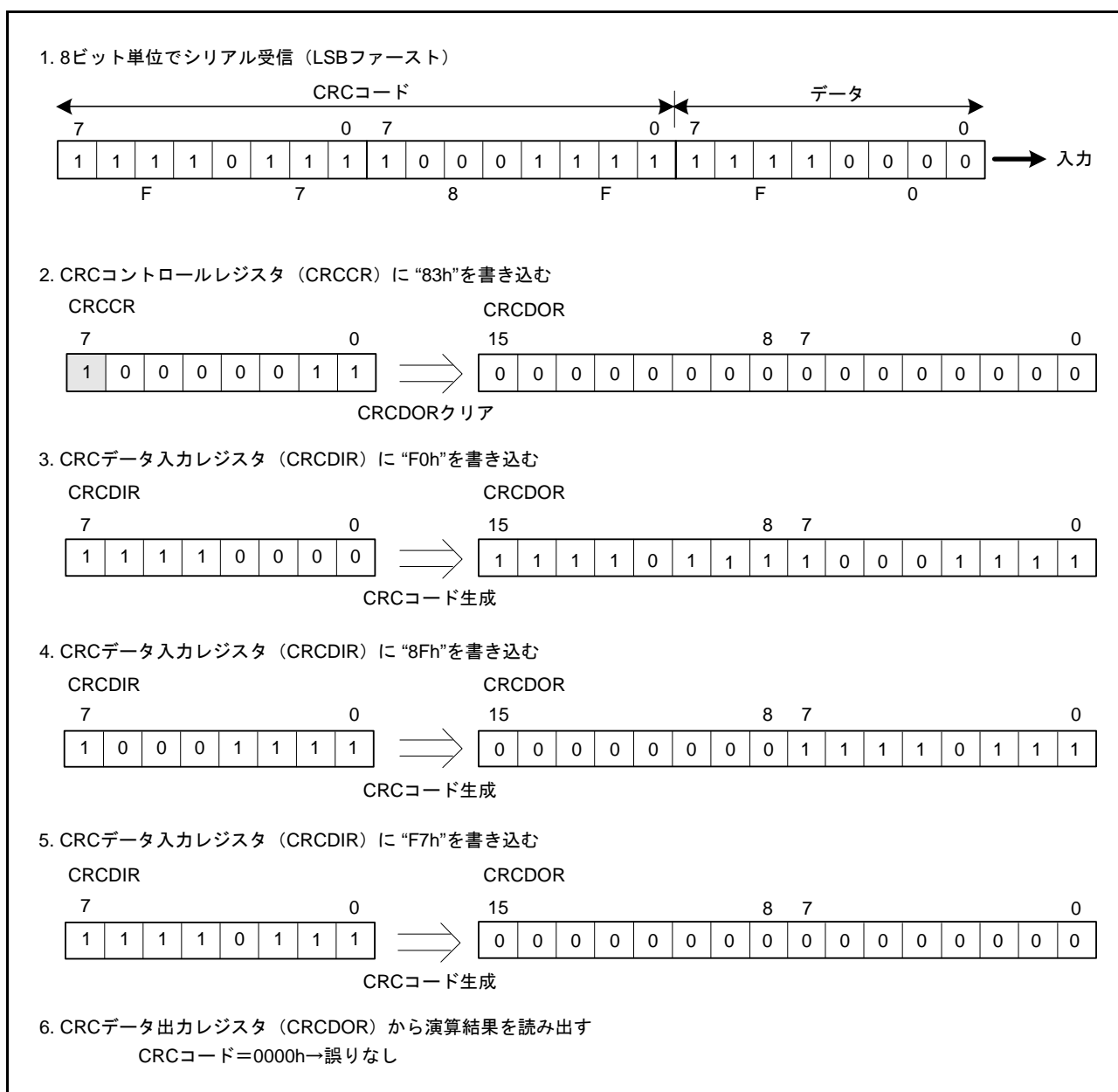


図 26.4 LSBファーストでのデータ受信

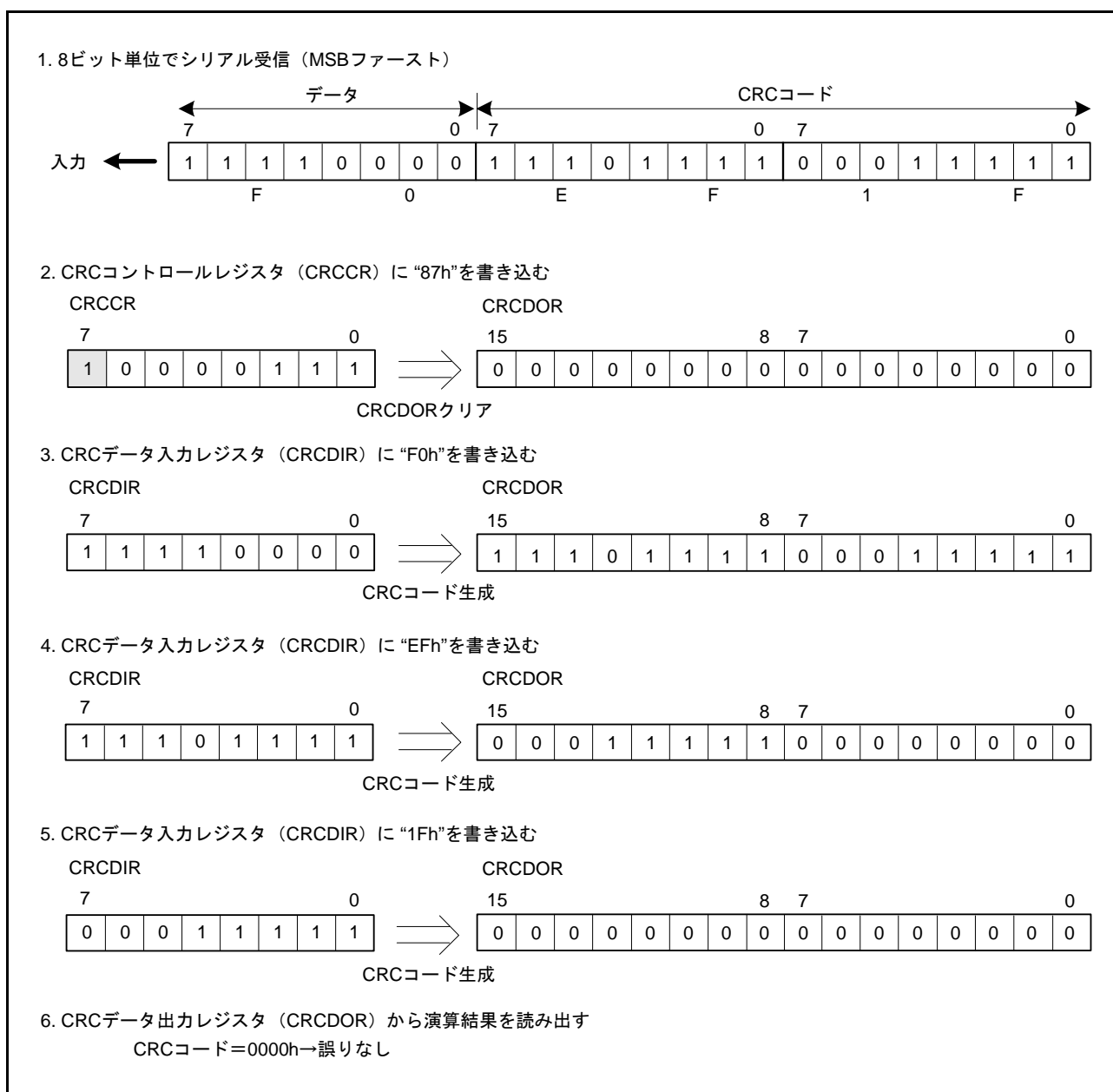


図 26.5 MSBファーストでのデータ受信

26.4 使用上の注意事項

26.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、CRC 演算器の動作を禁止/許可することが可能です。リセット後、CRC はモジュールストップ状態です。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。

詳細は「11. 消費電力低減機能」を参照してください。

26.4.2 転送時の注意事項

LSB ファーストで送信する場合と、MSB ファーストで送信する場合とでは、CRC コードを送る順序が異なりますので注意してください。

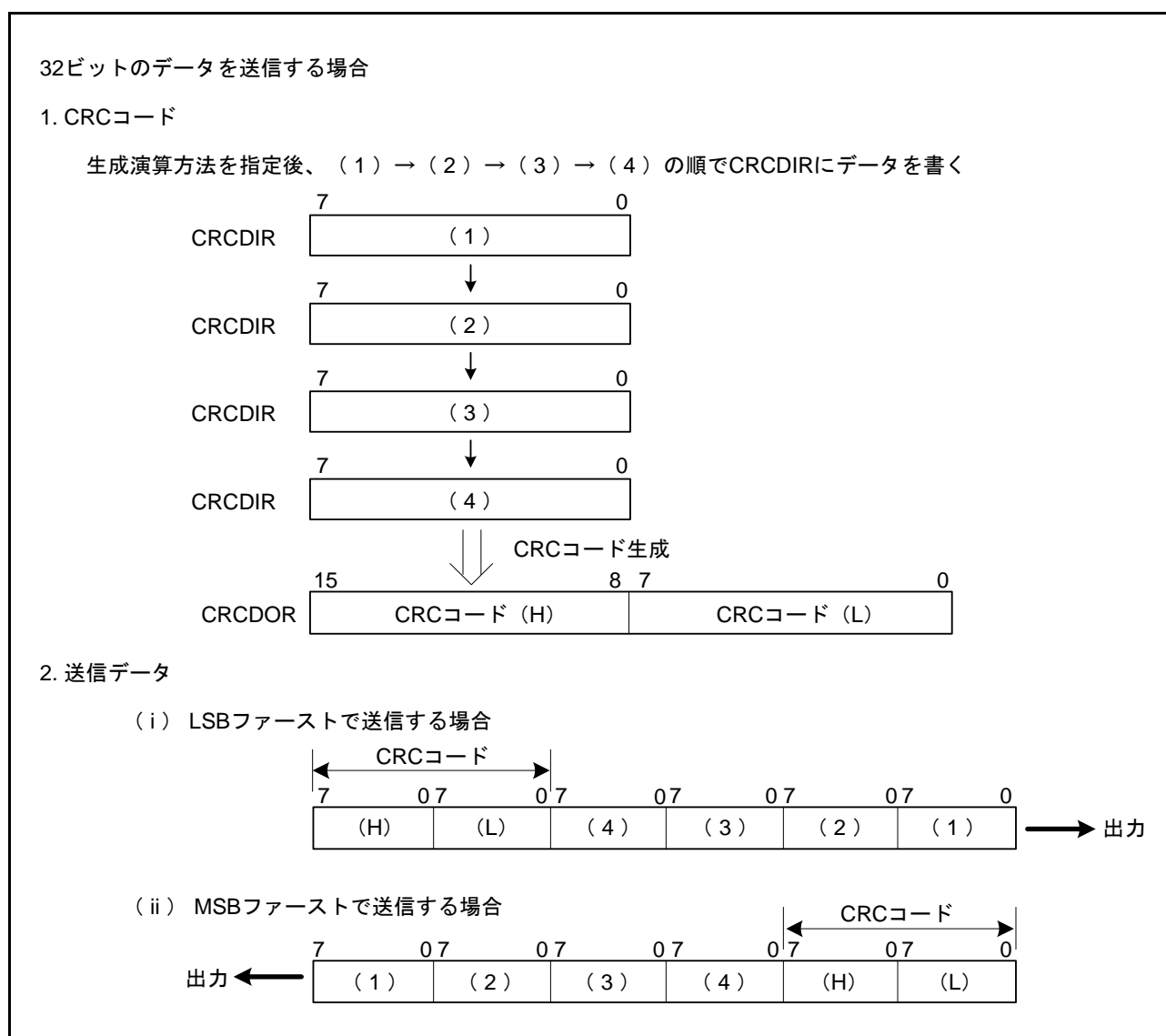


図 26.6 LSB ファーストと MSB ファーストの送信データ

27. 12ビットA/Dコンバータ (S12ADb)

本章に記載しているPCLKとはPCLKBを指します。

27.1 概要

本MCUは、逐次比較方式の12ビットのA/Dコンバータを1ユニット内蔵しています。最大14チャンネルのアナログ入力、温度センサ出力、または内部基準電圧を選択できます。

12ビットA/Dコンバータは、選択した最大14チャンネルのアナログ入力か、温度センサ出力、または内部基準電圧を逐次比較方式で12ビットのデジタル値に変換します。動作モードは、任意に選択した最大14チャンネルのアナログ入力を若いチャンネル番号順に1回のみ変換するシングルスキャンモードと、任意に選択した最大14チャンネルのアナログ入力を順次若いチャンネル番号順に連続して変換する連続スキャンモードと、最大14チャンネルのアナログ入力を任意に選択して2つのグループ（グループAとグループB）に分け、グループ単位で選択したチャンネルのアナログ入力を若いチャンネル番号順に変換するグループスキャンモードがあります。

グループスキャンモードでは、グループAとグループBのスキャン開始条件を個別に選択することで、グループAとグループBは異なるタイミングでA/D変換を開始することができます。

ダブルトリガモードは、任意に選択した1チャンネルのアナログ入力をシングルスキャンモードかグループスキャンモード（グループA）で変換し、1回目のA/D変換開始トリガで変換したデータと2回目のA/D変換開始トリガで変換したデータを別々のレジスタに格納（A/D変換データの二重化）します。

温度センサ出力または内部基準電圧は、それぞれ単独でA/D変換を行います。

高電位側の基準電源端子には、VREFH0端子かAVCC0端子を選択することができます。

低電位側の基準電源グランド端子には、VREFL0端子かAVSS0端子を選択することができます。

表27.1に12ビットA/Dコンバータの仕様を、表27.2に12ビットA/Dコンバータの機能概要を示します。図27.1に12ビットA/Dコンバータのブロック図を示します。

表27.1 12ビットA/Dコンバータの仕様 (1 / 2)

項目	内容
ユニット数	1ユニット
入力チャンネル	14チャンネル
拡張アナログ入力	温度センサ出力、内部基準電圧
A/D変換方式	逐次比較方式
分解能	12ビット
変換時間	1チャンネル当たり1.0μs (A/D変換クロック ADCLK=32MHz動作時)
A/D変換クロック	周辺モジュールクロックPCLK (注1) とA/D変換クロックADCLK (注1) を以下の分周比で設定可能 PCLK : ADCLK分周比 = 1 : 1、1 : 2、1 : 4、1 : 8、2 : 1、4 : 1 ADCLKの設定はクロック発生回路で行います
データレジスタ	アナログ入力用14本、ダブルトリガモードでのA/D変換データ二重化用1本 温度センサ用1本、内部基準電圧用1本 A/D変換結果を12ビットA/Dデータレジスタに保持 加算モード時はA/D変換結果の加算値を14ビットでA/Dデータレジスタに保持 A/D変換データの二重化 <ul style="list-style-type: none"> 選択した1つのチャンネルのアナログ入力のA/D変換データを1回目はA/Dデータレジスタyに保持、2回目のA/Dデータは二重化レジスタに保持 シングルスキャンモードとグループスキャンモードでダブルトリガモード選択時のみ二重化が可能
動作モード	<ul style="list-style-type: none"> シングルスキャンモード : 任意に選択した最大14チャンネルのアナログ入力を1回のみA/D変換 温度センサ出力を1回のみA/D変換 内部基準電圧を1回のみA/D変換 連続スキャンモード : 任意に選択した最大14チャンネルのアナログ入力を繰り返しA/D変換 (注2) グループスキャンモード : 最大14チャンネルのアナログ入力をグループAとグループBに分け、グループ単位で選択した全チャンネルのアナログ入力を1回のみ変換 グループAとグループBは、各々の変換開始条件を選択することで異なるタイミングで変換開始可能

表27.1 12ビットA/Dコンバータの仕様 (2 / 2)

項目	内容
A/D変換開始条件	<ul style="list-style-type: none"> ソフトウェアトリガ 同期トリガ MTUからのトリガ 非同期トリガ ADTRG0#端子によるA/D変換の開始が可能
機能	<ul style="list-style-type: none"> サンプリングステート数可変機能 A/D変換値加算モード ダブルトリガモード (A/D変換データ二重化機能)
割り込み要因	<ul style="list-style-type: none"> ダブルトリガモードとグループスキャンモードを除き、1回のスキャン終了でスキャン終了割り込み要求 (S12ADI0) を発生 ダブルトリガモードの設定では、2回のスキャン終了でスキャン終了割り込み要求 (S12ADI0) を発生 グループスキャンモードの設定では、グループAのスキャン終了でスキャン終了割り込み要求 (S12ADI0) を発生。グループBのスキャン終了でグループB専用のスキャン終了割り込み要求 (GBADI) を発生 グループスキャンモードでダブルトリガモードの設定では、グループAの2回のスキャン終了でスキャン終了割り込み要求 (S12ADI0) を発生。グループBのスキャン終了でグループB専用のスキャン終了割り込み要求 (GBADI) を発生。 S12ADI0またはGBADI割り込みでデータトランスファコントローラ (DTC) を起動可能
基準電圧	<ul style="list-style-type: none"> 高電位側の基準電源端子は、PJ6PFS.ASELビットで、VREFH0端子かAVCC0端子を選択可能 低電位側の基準電源グランド端子は、PJ7PFS.ASELビットで、VREFL0端子かAVSS0端子を選択可能
消費電力低減機能	モジュールストップ状態への設定が可能 (注3)

注1. 周辺モジュールクロックPCLKはSCKCR.PCKB[3:0]ビットで設定した周波数、A/D変換クロックADCLKはSCKCR.PCKD[3:0]ビットで設定した周波数になります。

注2. 温度センサ出力または内部基準電圧を選択した場合は、連続スキャンモードおよびグループスキャンモードを使用しないでください。

注3. モジュールストップ状態を解除後は、1μs待ってからA/D変換を開始してください。

表27.2 12ビットA/Dコンバータの機能概要

項目		機能	
アナログ入力チャネル		AN000 ~ AN004、AN006、AN008 ~ AN015、温度センサ出力、内部基準電圧	
A/D変換開始条件	ソフトウェア	ソフトウェアトリガ	可能
	非同期トリガ	ADTRG0#	可能
	同期トリガ	MTU0のTGRAのコンペアマッチ/インプットキャプチャ	TRG0AN
		MTU0のTGRBのコンペアマッチ/インプットキャプチャ	TRG0BN
		MTU0 ~ MTU2のTGRAのコンペアマッチ/インプットキャプチャ	TRGAN
		MTU0のTRGEのコンペアマッチ	TRG0EN
	MTU0のTRGFのコンペアマッチ	TRG0FN	
割り込み		S12ADI0、GBADI割り込み	
モジュールストップ機能の設定 (注1)		MSTPCRA.MSTPA17ビット	

注1. 詳細は「11. 消費電力低減機能」を参照してください。

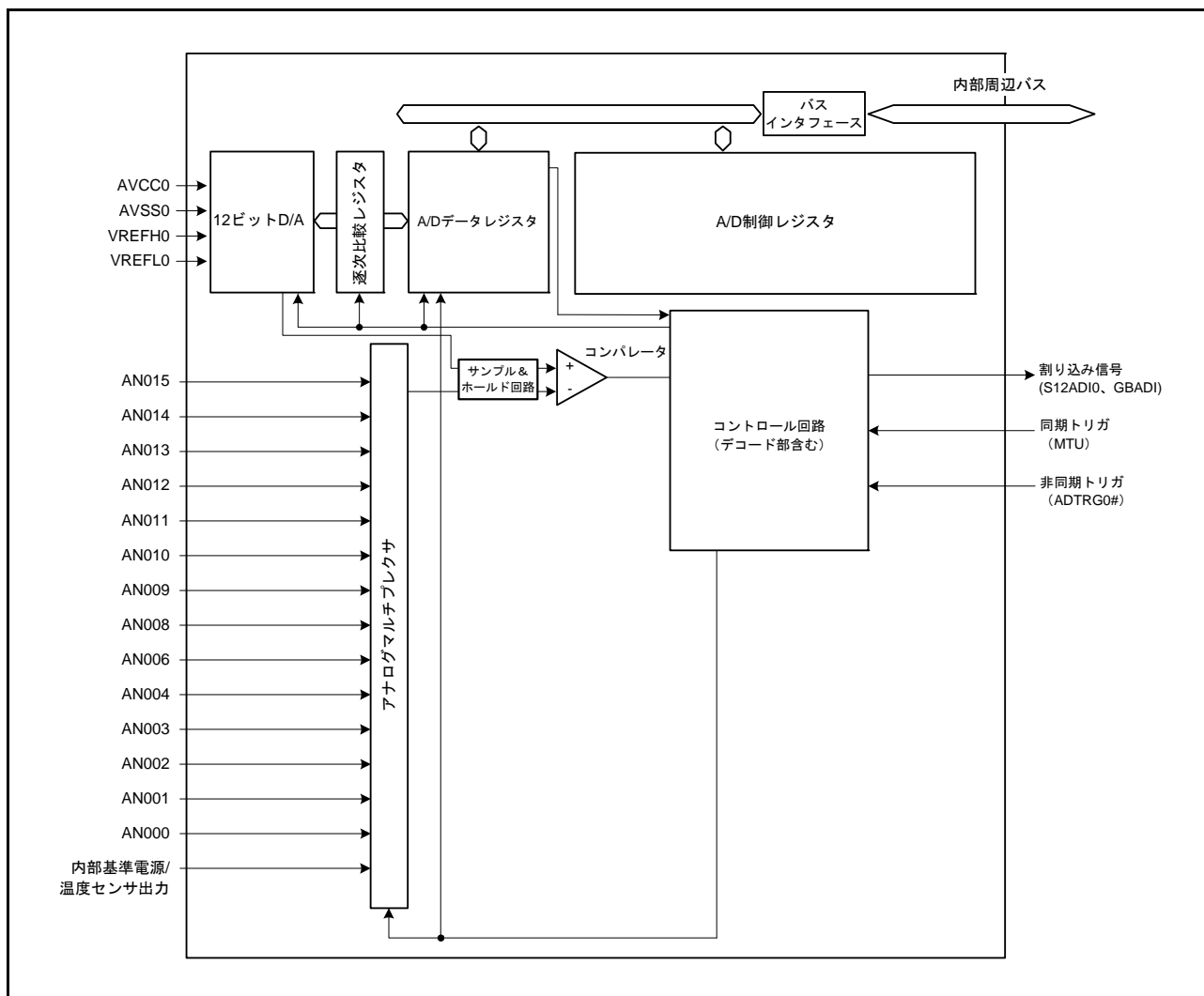


図 27.1 12ビットA/Dコンバータのブロック図

表 27.3 に 12ビットA/Dコンバータで使用する入力端子を示します。

表 27.3 12ビットA/Dコンバータの入力端子

端子名	入力	機能
AVCC0	入力	アナログ部の電源端子
AVSS0	入力	アナログ部のグランド端子
VREFH0	入力	基準電源端子
VREFL0	入力	基準グランド端子
AN000～AN004、AN006、AN008～AN015	入力	アナログ入力端子
ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子

27.2 レジスタの説明

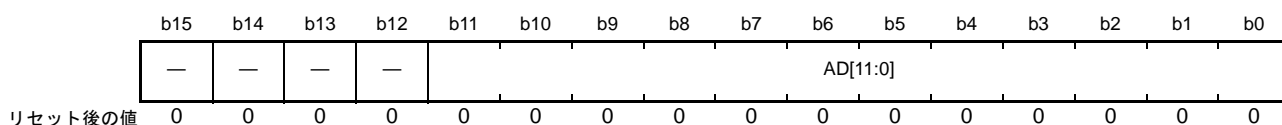
27.2.1 A/D データレジスタ y (ADDRy) (y = 0 ~ 4, 6, 8 ~ 15)

ADDRy レジスタは、チャンネルのアナログ入力 (AN000 ~ AN004, AN006, AN008 ~ AN015) を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT)、A/D 変換値加算モードの設定によって、以下に示すフォーマットとなります。

- ADCER.ADRFMT=0 (右詰めフォーマットに設定)

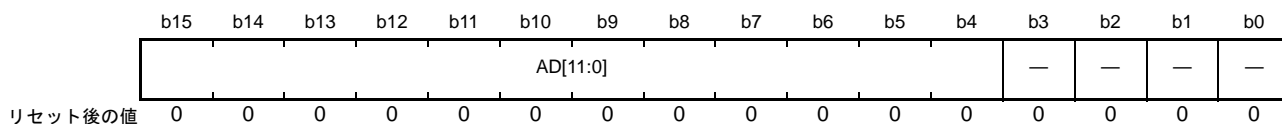
アドレス ADDR0 0008 9020h ~ ADDR4 0008 9028h, ADDR6 0008 902Ch, ADDR8 0008 9030h ~ ADDR15 0008 903Eh



ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	—	12ビットA/D変換値	R
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- ADCER.ADRFMT=1 (左詰めフォーマットに設定)

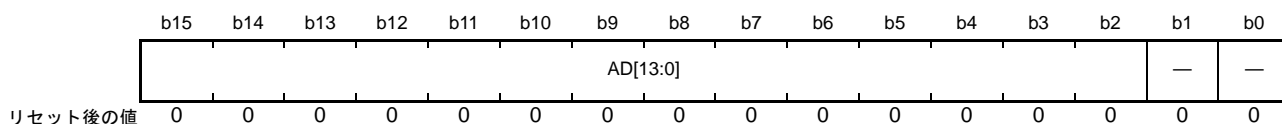
アドレス ADDR0 0008 9020h ~ ADDR4 0008 9028h, ADDR6 0008 902Ch, ADDR8 0008 9030h ~ ADDR15 0008 903Eh



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b4	AD[11:0]	—	12ビットA/D変換値	R

- A/D 変換値加算モードを選択した場合

アドレス ADDR0 0008 9020h ~ ADDR4 0008 9028h, ADDR6 0008 902Ch, ADDR8 0008 9030h ~ ADDR15 0008 903Eh



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b2	AD[13:0]	—	14ビットA/D変換値加算結果	R

A/D変換値加算モードに設定した場合、ADDRy.AD[13:0]ビットは同一チャネルのA/D変換値を加算した値を示します。A/D変換値加算モードに設定すると、ADCER.ADRFMTビットの設定は無効となり、左詰めのフォーマットになります。

A/D変換値加算モードを選択したチャネルに対しての最小値と最大値を以下に示します。

- 1回変換時：0000h \leq ADDRy (y = 0 ~ 4, 6, 8 ~ 15) \leq 3FFCh
ADDRy (y = 0 ~ 4, 6, 8 ~ 15) : ビット 15, 14 = 00b、ビット 13 ~ 2 = AD[11:0]、
ビット 1, 0 = 00b
- 2回変換時：0000h \leq ADDRy (y = 0 ~ 4, 6, 8 ~ 15) \leq 7FF8h
ADDRy (y = 0 ~ 4, 6, 8 ~ 15) : ビット 15 = 0、ビット 14 ~ 2 = AD[12:0]、
ビット 1, 0 = 00b
- 3回変換時：0000h \leq ADDRy (y = 0 ~ 4, 6, 8 ~ 15) \leq BFF4h
ADDRy (y = 0 ~ 4, 6, 8 ~ 15) : ビット 15 ~ 2 = AD[13:0]、ビット 1, 0 = 00b
- 4回変換時：0000h \leq ADDRy (y = 0 ~ 4, 6, 8 ~ 15) \leq FFF0h
ADDRy (y = 0 ~ 4, 6, 8 ~ 15) : ビット 15 ~ 2 = AD[13:0]、ビット 1, 0 = 00b

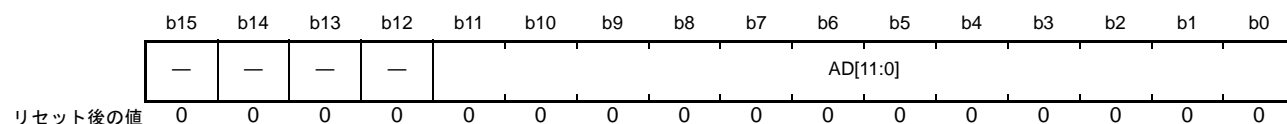
27.2.2 A/D データ二重化レジスタ (ADDBLDR)

ADDBLDR レジスタは、二重化を選択したチャンネルのアナログ入力をダブルトリガモード選択時の2回目のトリガによってA/D変換した結果を格納する16ビットの読み出し専用レジスタです。

A/Dデータレジスタフォーマット選択ビット (ADCER.ADRFMT)、A/D変換値加算モードの設定によって、以下に示すフォーマットとなります。

- ADCER.ADRFMT=0 (右詰めフォーマットに設定)

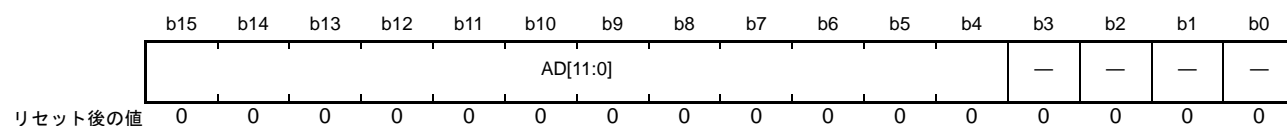
アドレス 0008 9018h



ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	—	12ビットA/D変換値	R
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- ADCER.ADRFMT=1 (左詰めフォーマットに設定)

アドレス 0008 9018h



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b4	AD[11:0]	—	12ビットA/D変換値	R

- A/D変換値加算モードを選択した場合

アドレス 0008 9018h



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b2	AD[13:0]	—	14ビットA/D変換値加算結果	R

A/D変換値加算モードに設定した場合、ADDBLDR.AD[13:0]ビットは同一チャンネルのA/D変換値を加算した値を示します。A/D変換値加算モードに設定すると、ADCER.ADRFMTビットの設定は無効となり、左詰めフォーマットになります。

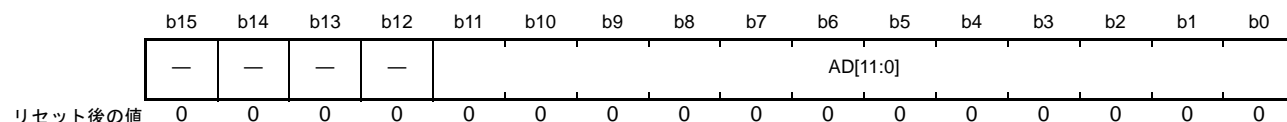
27.2.3 A/D 温度センサデータレジスタ (ADTSDR)

ADTSDR レジスタは、温度センサ出力を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT)、A/D 変換値加算モードの設定によって、以下に示すフォーマットになります。

- ADCER.ADRFMT=0 (右詰めフォーマットに設定)

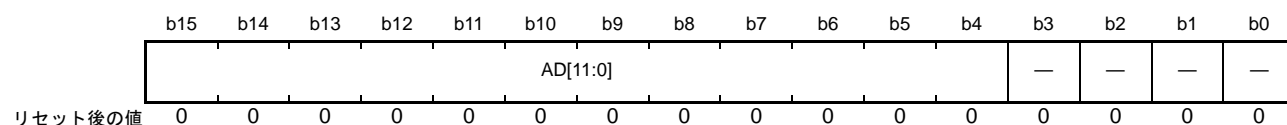
アドレス 0008 901Ah



ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	—	12ビットA/D変換値	R
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- ADCER.ADRFMT=1 (左詰めフォーマットに設定)

アドレス 0008 901Ah



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b4	AD[11:0]	—	12ビットA/D変換値	R

- A/D 変換値加算機能を選択した場合

アドレス 0008 901Ah



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b2	AD[13:0]	—	温度センサ出力のA/D変換値加算結果	R

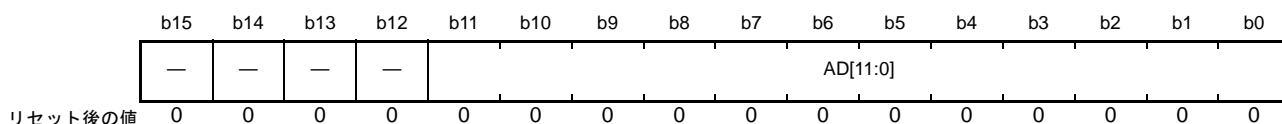
A/D 変換値加算モードに設定した場合、ADTSDR.AD[13:0] ビットは、温度センサ出力の A/D 変換値を加算した値を示します。A/D 変換値加算モードに設定すると、ADCER.ADRFMT ビットの設定は無効となり、左詰めフォーマットになります。

27.2.4 A/D 内部基準電圧データレジスタ (ADOCADR)

ADOCADR レジスタは、内部基準電圧を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT)、A/D 変換値加算モードの設定によって、以下に示すフォーマットとなります。

- ADCER.ADRFMT=0 (右詰めフォーマットに設定)

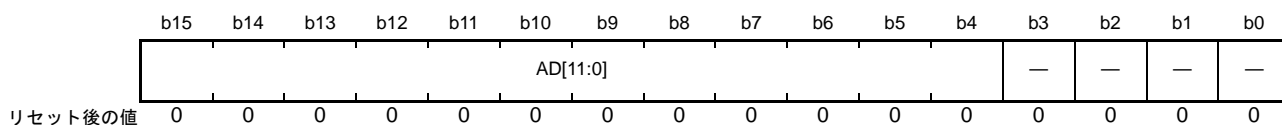
アドレス 0008 901Ch



ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	—	12ビットA/D変換値	R
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- ADCER.ADRFMT=1 (左詰めフォーマットに設定)

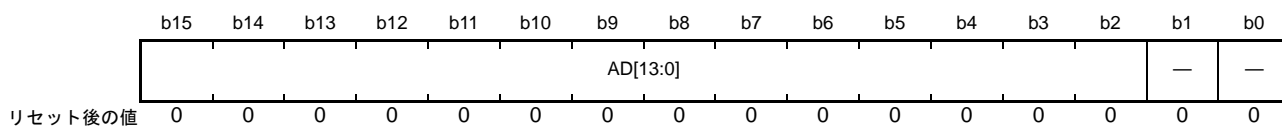
アドレス 0008 901Ch



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b4	AD[11:0]	—	12ビットA/D変換値	R

- A/D 変換値加算モードを選択した場合

アドレス 0008 901Ch



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b2	AD[13:0]	—	14ビットA/D変換値加算結果	R

A/D 変換値加算モードに設定した場合、ADOCADR.AD[13:0] ビットは内部基準電圧の A/D 変換値を加算した値を示します。A/D 変換値加算モードに設定すると、ADCER.ADRFMT ビットの設定は無効となり、左詰めフォーマットになります。

27.2.5 A/D コントロールレジスタ (ADCSR)

アドレス 0008 9000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADST	ADCS[1:0]	ADIE	—	ADHSC	TRGE	EXTRG	DBLE	GBADIE	—	DBLANS[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DBLANS[4:0]	A/D変換データ二重化チャンネル選択ビット	A/D変換データを二重化するアナログ入力を14チャンネルから1チャンネル選択します。ダブルトリガモード選択時のみ有効です	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	GBADIE	グループBスキャン終了割り込み許可ビット	0: グループBのスキャン終了後にGBADI割り込み発生を禁止 1: グループBのスキャン終了後にGBADI割り込み発生を許可	R/W
b7	DBLE	ダブルトリガモード選択ビット	0: ダブルトリガモード非選択 1: ダブルトリガモード選択	R/W
b8	EXTRG	トリガ選択ビット (注1)	0: 同期トリガ (MTU) によるA/D変換の開始を選択 1: 非同期トリガ (ADTRG0#) によるA/D変換の開始を選択	R/W
b9	TRGE	トリガ開始許可ビット	0: 同期、非同期トリガによるA/D変換の開始を禁止 1: 同期、非同期トリガによるA/D変換の開始を許可	R/W
b10	ADHSC	A/D変換動作モード選択ビット	0: 通常変換動作 1: 高速変換動作	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	ADIE	スキャン終了割り込み許可ビット	0: スキャン終了後のS12ADIO割り込み発生を禁止 1: スキャン終了後のS12ADIO割り込み発生を許可	R/W
b14-b13	ADCS[1:0]	スキャンモード選択ビット	b14 b13 0 0: シングルスキャンモード 0 1: グループスキャンモード 1 0: 連続スキャンモード 1 1: 設定禁止	R/W
b15	ADST	A/D変換スタートビット	0: A/D変換停止 1: A/D変換開始	R/W

注1. 外部端子 (非同期トリガ) でA/D変換を開始する方法

外部端子 (ADTRG0#) にHighを入力した状態で、ADCSR.TRGEビットを“1”、ADCSR.EXTRGビットを“1”にします。その後、ADTRG0#の信号をLowに変化させると、ADTRG0#の立ち下がりエッジを検出し、スキャン変換を開始します。このときのLow入力のパルス幅は、1.5PCLKクロック以上必要です。

DBLANS[4:0] ビット (A/D 変換データ二重化チャンネル選択ビット)

ダブルトリガモードでA/D変換データを二重化する1チャンネルを選択します。DBLANS[4:0] ビットで選択したチャンネルのアナログ入力を、ダブルトリガモードの1回目のA/D変換開始トリガで変換した結果がA/Dデータレジスタyに格納され、2回目のA/D変換開始トリガで変換した結果がA/Dデータ二重化レジスタに格納されます。表27.4にA/D変換データ二重化チャンネルの選択表を示します。ダブルトリガモードでの加算モードは、DBLANS[4:0] ビットで選択したチャンネルをADADSレジスタで選択することで可能です。ダブルトリガモードを選択した場合は、ADANSAレジスタで選択したチャンネルは無効になり、DBLANS[4:0] ビットで選択した1チャンネルがA/D変換を行うチャンネルとなります。チャンネルのアナログ入力をA/D変換する場合は、温度センサ出力および内部基準電圧のA/D変換は選択しないでください。DBLANS[4:0] ビットは、ADSTビットが“0”のときに設定してください (ADSTビットへの“1”書き込みと同時に設定もしないでください)。

表27.4 DBLANSビット設定値とダブルトリガ有効チャンネルの関係

DBLANS[4:0]	2重化チャンネル	DBLANS[4:0]	2重化チャンネル
00000	AN000	01001	AN009
00001	AN001	01010	AN010
00010	AN002	01011	AN011
00011	AN003	01100	AN012
00100	AN004	01101	AN013
00110	AN006	01110	AN014
01000	AN008	01111	AN015

GBADIE ビット (グループ B スキャン終了割り込み許可ビット)

グループスキャンモードでのグループ B のスキャン終了割り込み (GBADI) の発生を許可 / 禁止します。

DBLE ビット (ダブルトリガモード選択ビット)

ダブルトリガモードは、ADSTRGR.TRSA[3:0] ビットで選択した MTU からのトリガでスキャンを開始したことを条件に以下 1 と 2 の動作となります。

1. ADIE ビットが“1”に設定されている場合に、1 回目のスキャン終了時はスキャン終了割り込みを出力せず、2 回目のスキャン終了時にスキャン終了割り込みを出力します。
2. DBLANS[4:0] ビットで選択したアナログ入力のア/D 変換データを、1 回目は A/D データレジスタ y に格納し、2 回目は A/D データ二重化レジスタに格納します。

DBLE ビットを“1”にすると ADANSA レジスタで選択したチャンネルは無効になります。連続スキャンモードではダブルトリガモードを選択しないでください。また、温度センサ出力および内部基準電圧の A/D 変換は選択しないでください。ダブルトリガモード選択中はソフトウェアトリガは使用しないでください。DBLE ビットは、ADST ビットが“0”のときに設定してください (ADST ビットへの“1”書き込みと同時設定もしないでください)。

TRGE ビット (トリガ開始許可ビット)

同期トリガ、非同期トリガによる A/D 変換の開始を許可 / 禁止します。

グループスキャンモードでは、このビットを“1”にしてください。

ADHSC ビット (A/D 変換動作モード選択ビット)

A/D 変換動作モードを通常変換モードにするか、高速変換モードにするかを選択します。

通常変換モードは、AVCC0 は 1.8V ~ 3.6V で動作できます。

高速変換モードは AVCC0 は 2.4V 以上で動作できます。

1 μ s 変換を実現するためには、高速変換モードを選択、AVCC0 を 2.7V 以上、ADCLK クロックを 32MHz にしてください。

ADIE ビット (スキャン終了割り込み許可ビット)

グループスキャンモードでのグループ B を除く、A/D スキャン変換終了割り込み (S12ADIO) の発生を許可/禁止します。

ダブルトリガモードを非選択に設定した場合は、1 回のスキャンが終了したときに、ADIE ビットが“1”にセットされていれば、S12ADIO 割り込みが発生します。

温度センサ出力または内部基準電圧を選択した場合も A/D 変換が終了したときに、ADIE ビットが“1”にセットされていれば S12ADIO 割り込みが発生します。

ダブルトリガモードを選択した場合は、ADSTRGR.TRSA[3:0] ビットで選択した MTU からのトリガで開始したスキャンに限り、2 回目のスキャンが終了したときに ADIE ビットが“1”にセットされていれば S12ADIO 割り込みが発生します。

ソフトウェアトリガでスキャンを開始した場合は、ダブルトリガモードを選択した場合であっても、スキャンが終了した時に ADIE ビットが“1”にセットされていれば S12ADIO 割り込みが発生します。

ADCS[1:0] ビット (スキャンモード選択ビット)

スキャン変換モードを選択します。

シングルスキャンモードは、ADANSA レジスタで選択した最大 14 チャンネルのアナログ入力を若いチャンネル番号順に A/D 変換を実施し、選択されたすべてのチャンネルの変換が終了するとスキャン変換を停止します。

連続スキャンモードは、ADCSR.ADST ビットが“1”の間、ADANSA レジスタで選択した最大 14 チャンネルのアナログ入力を若いチャンネル番号順に A/D 変換を実施し、選択されたすべてのチャンネルの変換が終了すると最初のチャンネルに戻り A/D 変換を継続します。ADCSR.ADST ビットを“0”にすると A/D 変換を停止します。

グループスキャンモードは ADSTRGR.TRSA[3:0] ビットで選択した MTU からのトリガを開始条件として、ADANSA レジスタで選択した最大 14 チャンネルのアナログ入力 (グループ A) を若いチャンネル番号順に A/D 変換を実施し、選択したすべてのチャンネルの A/D 変換が終了すると停止します。また同様に ADSTRGR.TRSB[3:0] ビットで選択した MTU からのトリガを A/D 変換開始条件として、ADANSB レジスタで選択した最大 14 チャンネルのアナログ入力 (グループ B) を若いチャンネル番号順に A/D 変換を実施し、選択したすべてのチャンネルの A/D 変換が終了すると停止します。グループスキャンモードを選択する場合は、グループ A とグループ B で異なるチャンネルと異なるトリガを選択してください。

温度センサ出力または内部基準電圧を選択した場合は、シングルスキャンモードを選択し、ADANSA レジスタで選択したチャンネルをすべて非選択としてから A/D 変換を行います。選択した温度センサ出力または内部基準電圧の A/D 変換が終了すると停止します。

ADCS ビットは、ADST ビットが“0”のときに設定してください (ADST ビットへの“1”書き込みと同時に設定もしないでください)。

ADST ビット (A/D 変換スタートビット)

A/D 変換の開始 / 停止を制御します。

ADST ビットを“1”に設定する前に、A/D 変換クロック、変換モード、変換対象アナログ入力の設定を行ってください。

[“1”になる条件]

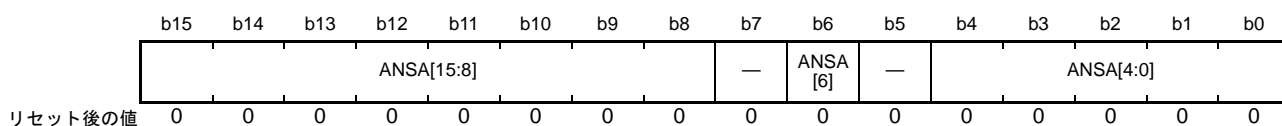
- ソフトウェアで“1”を書き込んだとき
- ADCSR.EXTRG に“0”、ADCSR.TRGE ビットに“1”を設定し、ADSTRGR.TRSA[3:0] ビットで選択した同期トリガ (MTU) を検出したとき
- グループスキャンモードでADCSR.TRGEビットに“1”を設定しADSTRGR.TRSB[3:0]ビットで選択した同期トリガ (MTU) を検出したとき
- ADCSR.TRGE ビットと ADCSR.EXTRG ビットを“1”、ADSTRGR.TRSA[3:0] ビットを“0000b”に設定し、非同期トリガを検出したとき

[“0”になる条件]

- ソフトウェアで“0”を書き込んだとき
- シングルスキャンモードで、選択したすべてのチャンネルの A/D 変換が終了したとき
- シングルスキャンモードで、温度センサ出力または内部基準電圧の A/D 変換が終了したとき
- グループスキャンモードでグループ A のスキャンが終了したとき
- グループスキャンモードでグループ B のスキャンが終了したとき

27.2.6 A/D チャネル選択レジスタ A (ADANSA)

アドレス 0008 9004h



ビット	シンボル	ビット名	機能	R/W
b4-b0	ANSA[4:0]	A/D変換チャンネル0～4選択ビット	0 : AN000～AN004を変換対象から外す 1 : AN000～AN004を変換対象とする	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ANSA [6]	A/D変換チャンネル6選択ビット	0 : AN006を変換対象から外す 1 : AN006を変換対象とする	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	ANSA[15:8]	A/D変換チャンネル8～15選択ビット	0 : AN008～AN015を変換対象から外す 1 : AN008～AN015を変換対象とする	R/W

ADANSA レジスタは、A/D 変換を行うチャンネルのアナログ入力 AN000～AN004、AN006、AN008～AN015 を選択するレジスタです。グループスキャンモードでは、グループ A のチャンネルを選択します。

ANSA[15:8, 6, 4:0] ビット (A/D 変換チャンネル 0～4、6、8～15 選択ビット)

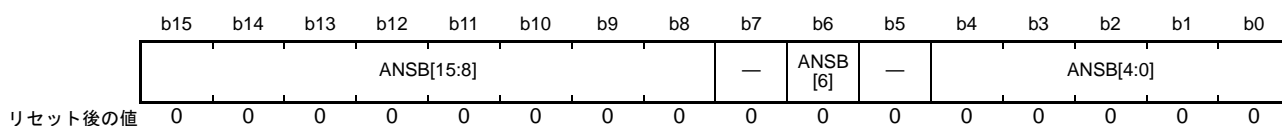
A/D 変換を行うチャンネルのアナログ入力 AN000～AN004、AN006、AN008～AN015 の選択を行います。選択するチャンネルおよびチャンネル数は任意に設定可能です。ANSA[0] ビットが AN000、ANSA[15] ビットが AN015 に対応します。チャンネルのアナログ入力を A/D 変換する場合は、温度センサ出力および内部基準電圧の A/D 変換は行わないでください。

ダブルトリガモードを選択した場合は、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルがグループ A の選択チャンネルとなり、ANSA[15:8, 6, 4:0] ビットの設定は無効になります。

ANSA[15:8, 6, 4:0] ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

27.2.7 A/D チャネル選択レジスタ B (ADANSB)

アドレス 0008 9014h



ビット	シンボル	ビット名	機能	R/W
b4-b0	ANSB[4:0]	A/D変換チャンネル0～4選択ビット	0 : AN000～AN004を変換対象から外す 1 : AN000～AN004を変換対象とする	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ANSB [6]	A/D変換チャンネル6選択ビット	0 : AN006を変換対象から外す 1 : AN006を変換対象とする	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	ANSB[15:8]	A/D変換チャンネル8～15選択ビット	0 : AN008～AN015を変換対象から外す 1 : AN008～AN015を変換対象とする	R/W

ADANSB レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力 0～4、6、8～15 の選択を行います。ADANSB レジスタは他のスキャンモードでは使用しません。

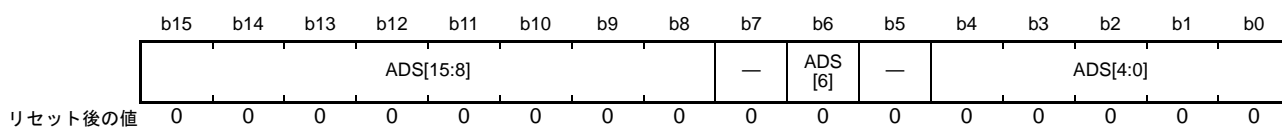
ANSB[15:8, 6, 4:0] ビット (A/D 変換チャンネル 0～4、6、8～15 選択ビット)

ADANSB レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネル AN000～AN004、AN006、AN008～AN015 の選択を行います。ADANSB レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、ADANSA レジスタまたはダブルトリガモードでの ADCSR.DBLANS[4:0] ビットで選択したグループ A のチャンネル以外から設定します。ANSB[0] ビットが AN000、ANSB[15] ビットが AN015 に対応します。チャンネルのアナログ入力を A/D 変換する場合は、温度センサ出力および内部基準電圧の A/D 変換はしないでください。

ANSB[15:8, 6, 4:0] ビットは、ADST ビットが“0”のときに設定してください。

27.2.8 A/D 変換値加算モード選択レジスタ (ADADS)

アドレス 0008 9008h



ビット	シンボル	ビット名	機能	R/W
b4-b0	ADS[4:0]	A/D変換値加算チャンネル0～4選択ビット	0 : AN000～AN004のA/D変換値加算モード非選択 1 : AN000～AN004のA/D変換値加算モード選択	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ADS [6]	A/D変換値加算チャンネル6選択ビット	0 : AN006のA/D変換値加算モード非選択 1 : AN006のA/D変換値加算モード選択	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	ADS[15:8]	A/D変換値加算チャンネル8～15選択ビット	0 : AN008～AN015のA/D変換値加算モード非選択 1 : AN008～AN015のA/D変換値加算モード選択	R/W

ADADS レジスタは、A/D 変換を連続 2～4 回実施して加算（積算）する A/D 変換チャンネル 0～4、6、8～15 を選択します。

ADS[15:8, 6, 4:0] ビット (A/D 変換値加算チャンネル 0～4、6、8～15 選択ビット)

ADANSA.ANSA[15:8, 6, 4:0] ビットまたは ADCSR.DBLANS[4:0] ビットと ADANSB.ANSB[15:8, 6, 4:0] ビットで選択した A/D 変換チャンネルと同一番号の ADS[15:8, 6, 4:0] ビットを“1”にすると、ADADC.ADC[1:0] ビットで設定した回数（2～4 回）分、選択したチャンネルのアナログ入力を連続して A/D 変換し、加算（積算）した値を A/D データレジスタに返します。加算モードが非選択の A/D 変換チャンネルは、通常の 1 回変換を実施し、A/D データレジスタに値を返します。

ADS[15:8, 6, 4:0] ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

図 27.2 にビット ADS[2] と ADS[4] を “1” にしたときのスキャン動作シーケンスを示します。

連続スキャンモード (ADCSR.ADCS[1:0] = 10b) で、加算回数は 3 回に設定 (ADADC.ADC[1:0] = 11b)、AN000 ~ AN004、AN006 が選択 (ADANSA.ANSA[15:0] = 005Fh) されているものとします。AN000 から変換を開始します。AN002 の変換は 4 回連続変換し、加算 (積算) 値を A/D データレジスタ 2 に返します。その後、AN003 の変換を開始し、AN004 の変換で 4 回連続変換し、加算 (積算) 値を A/D データレジスタ 4 に返します。AN006 の変換後、再度 AN000 から同じシーケンスで動作します。

加算モードを選択しないチャンネルの A/D データレジスタのフォーマットは、ADCER.ADRFMT ビット (右詰め / 左詰め) の設定により決定されます。

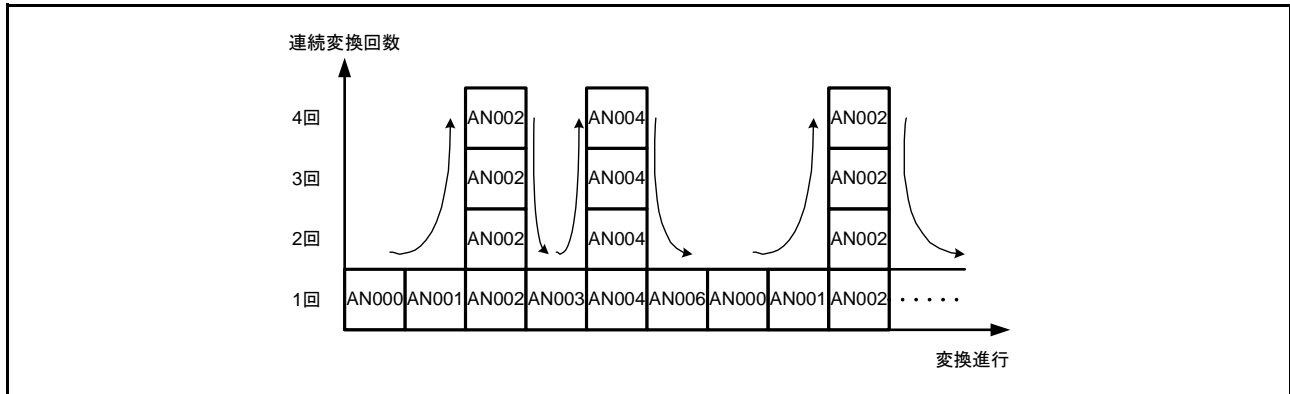
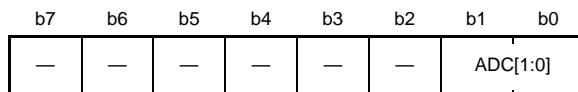


図 27.2 ADADC.ADC[1:0] = 11b かつ ADS[2] = 1、ADS[4] = 1 選択時のスキャン変換シーケンス

27.2.9 A/D 変換値加算回数選択レジスタ (ADADC)

アドレス 0008 900Ch



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	ADC[1:0]	加算回数選択ビット	b1 b0 0 0 : 1回変換 (加算なし。通常変換と同じ) 0 1 : 2回変換 (1回加算を行う) 1 0 : 3回変換 (2回加算を行う) 1 1 : 4回変換 (3回加算を行う)	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADADC レジスタは、A/D 変換値加算モードが選択されたチャンネル、温度センサ出力、内部基準電圧の A/D 変換に対して加算回数の設定を行います。

ADC[1:0] ビット (加算回数選択ビット)

ダブルトリガモードでの選択チャンネル (ADCSR.DBLANS[4:0] ビットでの選択チャンネル) を含む A/D 変換および加算モードが選択されたチャンネル、内部基準電圧の A/D 変換に対して共通の加算回数を設定します。ADC[1:0] ビットの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

27.2.10 A/D コントロール拡張レジスタ (ADCER)

アドレス 0008 900Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADRFMT	—	—	—	—	—	—	—	—	—	ACE	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	ACE	自動クリアイネーブルビット	0 : 自動クリアを禁止 1 : 自動クリアを許可	R/W
b14-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	ADRFMT	A/D データレジスタフォーマット選択ビット	0 : A/D データレジスタのフォーマットを右詰めにする 1 : A/D データレジスタのフォーマットを左詰めにする	R/W

ACE ビット (自動クリアイネーブルビット)

CPU、DTC によって ADDR_y、ADOC_{DR}、ADDBL_{DR}、ADTSD_{DR} レジスタを読み出した後、当該レジスタの自動クリア (All“0”) を行うか行わないかを選択します。自動クリアにより ADDR_y、ADOC_{DR}、ADDBL_{DR}、ADTSD_{DR} レジスタの未更新故障を検出することができます。

ADRFMT ビット (A/D データレジスタフォーマット選択ビット)

ADDR_y、ADOC_{DR}、ADDBL_{DR}、ADTSD_{DR} レジスタに格納するデータの右詰め/左詰めを選択します。

A/D 変換値加算モードが選択されている場合、各データレジスタのフォーマットは、ADCER.ADRFMT ビットの設定によらず左詰め固定です。

データレジスタのフォーマットの詳細は、「27.2.1 A/D データレジスタ y (ADDR_y) (y = 0 ~ 4、6、8 ~ 15)」、「27.2.2 A/D データ二重化レジスタ (ADDBL_{DR})」、「27.2.3 A/D 温度センサデータレジスタ (ADTSD_{DR})」、「27.2.4 A/D 内部基準電圧データレジスタ (ADOC_{DR})」を参照してください。

27.2.11 A/D 開始トリガ選択レジスタ (ADSTRGR)

アドレス 0008 9010h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	TRSA[3:0]				—	—	—	—	TRSB[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	TRSB[3:0]	グループB専用A/D変換開始トリガ選択ビット	グループスキャンモードでグループBのA/D変換開始トリガを選択します	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	TRSA[3:0]	A/D変換開始トリガ選択ビット	シングルスキャンモード、連続スキャンモードでのA/D変換開始トリガを選択します。グループスキャンモードではグループAのA/D変換開始トリガを選択します	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TRSB[3:0] ビット (グループB専用A/D変換開始トリガ選択ビット)

グループBで選択したアナログ入力のスキャンを開始するトリガを選択します。TRSB[3:0]ビットはグループスキャンモードでのみ設定が必要なビットで、他のスキャンモードでは使用しません。グループBのスキャン変換開始トリガには、ソフトウェアトリガと非同期トリガの設定は禁止です。よって、グループスキャンモードでは、TRSB[3:0]ビットを“0000b”以外に設定し、ADCSR.TRGEビットを“1”に設定してください。

表 27.5 に TRSB[3:0] ビットでの A/D 起動要因選択一覧を示します。

TRSA[3:0] ビット (A/D変換開始トリガ選択ビット)

シングルスキャンモード、連続スキャンモードでのA/D変換開始トリガの選択を行います。グループスキャンモードではグループAで選択したアナログ入力のスキャンを開始するトリガを選択します。グループスキャンモードまたはダブルトリガモードでスキャンを実行する場合は、ソフトウェアトリガと非同期トリガは使用できません。

- 同期トリガ (MTU) の A/D 変換起動要因を使用する場合は、ADCSR.TRGE ビットを“1”に設定し、かつADCSR.EXTRG ビットを“0”に設定してください。
- 非同期トリガ (ADTRG0#) を使用する場合は、ADCSR.TRGE ビットを“1”に設定し、かつADCSR.EXTRG ビットを“1”に設定してください。
- ソフトウェアトリガ (ADCSR.ADST) は、ADCSR.TRGE ビット、ADCSR.EXTRG ビット、TRSA[3:0] ビットの設定値にかかわらず有効です。

表 27.6 に TRSA[3:0] ビットでの A/D 起動要因選択一覧を示します。

表27.5 TRSB[3:0]ビットでのA/D起動要因選択一覧

モジュール	要因	備考	TRSB[3]	TRSB[2]	TRSB[1]	TRSB[0]
MTU	TRG0AN	MTU0のTGRAのインプットキャプチャ/コンペアマッチ	0	0	0	1
	TRG0BN	MTU0のTGRBのインプットキャプチャ/コンペアマッチB	0	0	1	0
	TRGAN	MTU0～MTU2のTGRAのインプットキャプチャ/コンペアマッチ	0	0	1	1
	TRG0EN	MTU0のTGREのコンペアマッチ	0	1	0	0
	TRG0FN	MTU0のTGRFのコンペアマッチ	0	1	0	1

表27.6 TRSA[3:0]ビットでのA/D起動要因選択一覧

モジュール	要因	備考	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
ADC	ADST	ソフトウェアトリガ	—	—	—	—
外部入力	ADTRG0#	A/D変換起動トリガ端子	0	0	0	0
MTU	TRG0AN	MTU0のTGRAのインプットキャプチャ/コンペアマッチ	0	0	0	1
	TRG0BN	MTU0のTGRBのインプットキャプチャ/コンペアマッチB	0	0	1	0
	TRGAN	MTU0～MTU2のTGRAのインプットキャプチャ/コンペアマッチ	0	0	1	1
	TRG0EN	MTU0のTGREのコンペアマッチ	0	1	0	0
	TRG0FN	MTU0のTGRFのコンペアマッチ	0	1	0	1

27.2.12 A/D変換拡張入力コントロールレジスタ (ADEXICR)

アドレス 0008 9012h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	OCS	TSS	—	—	—	—	—	—	OCSAD	TSSAD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSSAD	温度センサ出力A/D変換値加算機能選択ビット	0: 温度センサ出力A/D変換値加算機能非選択 1: 温度センサ出力A/D変換値加算機能選択	R/W
b1	OCSAD	内部基準電圧A/D変換値加算モード選択ビット	0: 内部基準電圧A/D変換値加算モード非選択 1: 内部基準電圧A/D変換値加算モード選択	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	TSS	温度センサ出力A/D変換選択ビット	0: 温度センサ出力をA/D変換しない 1: 温度センサ出力をA/D変換する	R/W
b9	OCS	内部基準電圧A/D変換選択ビット	0: 内部基準電圧をA/D変換しない 1: 内部基準電圧をA/D変換する	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TSSAD ビット (温度センサ出力 A/D 変換値加算機能選択ビット)

温度センサ出力の A/D 変換を選択し TSSAD ビットに“1”をセットすると、ADADC.ADC[1:0] で設定した回数 (2 ~ 4 回) 分、温度センサ出力を連続して A/D 変換し、積算した値を A/D 温度センサデータレジスタに返します。TSSAD ビットの設定は、ADST ビットが“0”のときに行ってください。

OCSAD ビット (内部基準電圧 A/D 変換値加算モード選択ビット)

内部基準電圧の A/D 変換を選択し、OCSAD ビットを“1”にすると、ADADC.ADC[1:0] ビットで設定した回数 (2 ~ 4 回) 分、内部基準電圧を連続して A/D 変換し、積算した値を A/D 内部基準電圧データレジスタ (ADOCADR) に返します。OCSAD ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

TSS ビット (温度センサ出力 A/D 変換選択ビット)

温度センサ出力の A/D 変換を選択します。温度センサ出力の A/D 変換を行う場合は、ADANSA レジスタ、ADANSB レジスタの全ビットと ADCSR.DBLE ビット、OCS ビットの全てに“0”を設定し、シングルスキャンモードで実行してください。TSS ビットの設定は、ADST ビットが“0”のときに行ってください。

TSS ビットを“1”にセットした後の 1 回目の変換結果は使用しないでください。なお、1 回目の変換完了後から 2 回目の変換開始までの間に 5 μ s の安定化待ち時間を入れてください。

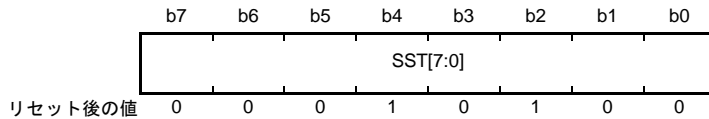
OCS ビット (内部基準電圧 A/D 変換選択ビット)

内部基準電圧の A/D 変換を選択します。内部基準電圧の A/D 変換を行う場合は、シングルスキャンモードを選択し、ADANSA レジスタの全ビットを“0”にしてください。OCS ビットの設定は、ADST ビットが“0”のときに行ってください。

OCS ビットを“1”にセットした後の 1 回目の変換結果は使用しないでください。なお、1 回目の変換完了後から 2 回目の変換開始までの間に 5 μ s の安定化待ち時間を入れてください。

27.2.13 A/D サンプリングステートレジスタ n (ADSSTRn) (n=0 ~ 4、6、L、T、O)

アドレス ADSSTR0 0008 9060h, ADSSTR1 0008 9073h, ADSSTR2 0008 9074h, ADSSTR3 0008 9075h,
ADSSTR4 0008 9076h, ADSSTR6 0008 9078h, ADSSTRL 0008 9061h, ADSSTRT 0008 9070h,
ADSSTRO 0008 9071h



ビット	シンボル	ビット名	機能	R/W
b7-b0	SST[7:0]	サンプリング時間設定ビット	6~255ステートの間でサンプリング時間を設定します	R/W

ADSSTRn は、アナログ入力のサンプリング時間の設定を行うレジスタです。

実際のサンプリング時間はレジスタ設定値の +1 ステートになります。

1 ステート = 1ADCLK (A/D 変換クロック) 幅で ADCLK クロックが 32MHz であれば 1 ステート = 31.25ns になります。初期値は 20 ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK クロックが低速な場合に、サンプリング時間を調整することができます。本ビットの設定は ADCSR.ADST が “0” のときに行ってください。サンプリング時間の設定値は、6 ステート以上 255 ステート以下の値を設定してください。

表 27.7 に A/D サンプリングステートレジスタと対象チャネルの関係を示します。

表27.7 A/Dサンプリングステートレジスタと対象チャネルの関係

ビット名	対象チャネル
ADSSTR0.SST[7:0]ビット	AN000
ADSSTR1.SST[7:0]ビット	AN001
ADSSTR2.SST[7:0]ビット	AN002
ADSSTR3.SST[7:0]ビット	AN003
ADSSTR4.SST[7:0]ビット	AN004
ADSSTR6.SST[7:0]ビット	AN006
ADSSTRL.SST[7:0]ビット	AN008 ~ AN015
ADSSTRT.SST[7:0]ビット	温度センサ出力
ADSSTRO.SST[7:0]ビット	内部基準電圧

27.3 動作説明

27.3.1 スキャンの動作説明

スキャンとは、選択したチャンネルのアナログ入力を順次 A/D 変換する動作です。

スキャン変換の動作モードには、シングルスキャンモードと連続スキャンモードとグループスキャンモードの3種類の動作モードがあります。また、変換モードには高速変換モードと通常変換モードがあります。シングルスキャンモードは、指定した1チャンネル以上のスキャンを1回実施して終了するモードです。連続スキャンモードは指定した1チャンネル以上のスキャンをソフトウェアで ADCSR.ADST ビットを“0” (“1”の状態から“0”) にクリアするまで無制限に繰り返し実施するモードです。グループスキャンモードは、グループ A とグループ B のスキャンをそれぞれ選択したトリガで開始し、グループ A とグループ B で選択したチャンネルのスキャンをそれぞれ1回ずつ実施して終了するモードです。

シングルスキャンモード、連続スキャンモードはスキャン変換が開始すると、ADANSA レジスタで選択した ANn の n が小さい番号順から A/D 変換を行います。グループスキャンモードは、グループ A が ADANSA レジスタで選択した ANn の n が小さい番号順から、グループ B が ADANSB レジスタで選択した ANn の n が小さい番号順から A/D 変換を行います。

高速変換モードは $AVCC0 \geq 2.4V$ で選択可能なモードです。通常変換モードは $AVCC0 \geq 1.8V$ で選択可能なモードです。高速変換モードは通常変換モードに比べて、6 サイクル分変換時間が短縮されます。

温度センサ出力、または内部基準電圧を選択する場合は、シングルスキャンモードで A/D 変換を行ってください。

この動作は、シングルスキャンモードで1チャンネルのみを選択したスキャンと同じ動作になります。

ダブルトリガモードは、シングルスキャンモード、またはグループスキャンモードで使用します。ダブルトリガモードを許可すると、ADSTRGR.TRSA[3:0] ビットで選択した、MTU からのトリガでのスキャン起動でのみ、ADCSR.DBLANS[4:0] ビットで選択した1チャンネルの A/D 変換データを二重化します。

どのスキャンモードであっても ADCSR.ADST ビットが“1”の期間 (スキャン中) は、A/D 変換開始条件となるソフトウェアトリガ、同期トリガ、または非同期トリガ入力は無効となります。

27.3.2 シングルスキャンモード

27.3.2.1 基本動作

シングルスキャンモードの基本動作は、指定されたチャンネルのアナログ入力を以下のように1サイクルのみA/D変換します。チャンネル選択でのスキャン時は、温度センサ出力A/D変換選択ビット (ADEXICR.TSS) と内部基準電圧A/D変換選択ビット (ADEXICR.OCS) を“0” (非選択) に設定します。ダブルトリガモードは非選択とした動作を説明します。

- (1) ソフトウェア、同期トリガ (MTU) または非同期トリガ入力によって、ADCSR.ADST ビットが“1” (A/D変換開始) になると、ADANSAレジスタで選択したANnのnが小さい番号順にA/D変換を開始します。
- (2) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) に格納されます。
- (3) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIE ビットが“1” (スキャン終了によるS12ADI0割り込み許可) に設定されていると、S12ADI0割り込み要求を発生します。
- (4) ADCSR.ADST ビットはA/D変換中は“1” (A/D変換開始) を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

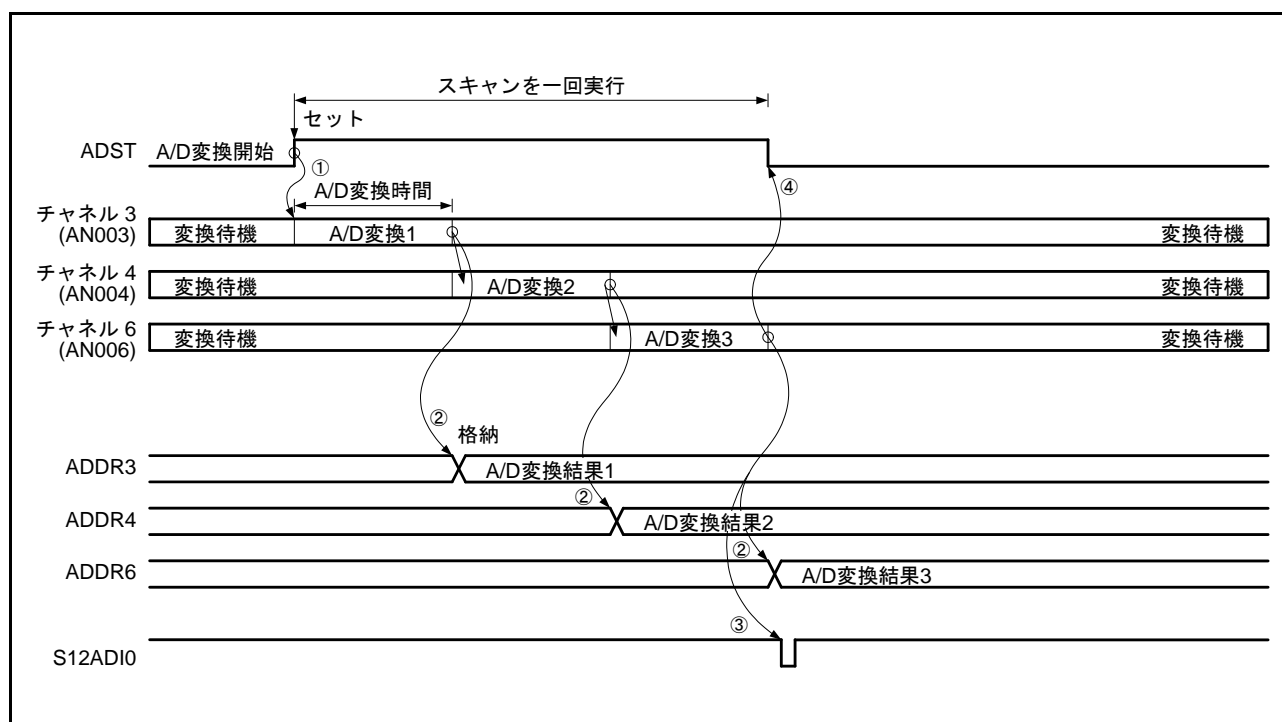


図 27.3 シングルスキャンモードの動作例 (基本動作 : AN003、AN004、AN006 選択)

27.3.2.2 温度センサ出力選択時の A/D 変換動作

温度センサ出力の A/D 変換を行う場合は、変換動作開始前に次の設定を行ってください。

- ADCSR.ADST ビットを“0” (A/D 変換停止) にする。
- ADCSR.ADCS[1:0] ビットを“00b” (シングルスキャンモード) にする。
- ADANSA レジスタを“0000h” (すべての外部アナログ入力を変換対象から外す) に設定する。
- ADCSR.DBLE ビットを“0” (ダブルトリガモード非選択) に設定する。
- ADEXICR.TSS ビットを“1” (温度センサ出力を A/D 変換する) に設定する。
- ADEXICR.OCS ビットを“0” (内部基準電圧を A/D 変換しない) に設定する。

また、サンプリング時間が $5\mu\text{s}$ 以上になるように、ADSSTRO レジスタに適切な値を設定してください。

図 27.4 に温度センサ出力の A/D 変換手順と動作を示します。

- (1) A/D コンバータ内にたまった電荷を抜くために、ADST ビットを“1” (A/D 変換開始) にします (図中①)。
このときの変換結果は使用しないでください。
- (2) トリガが入力されるか、あるいは ADST ビットを“1” にすると、温度センサ出力の A/D 変換が開始されます (図中②)。
- (3) A/D 変換が終了すると、変換結果が ADTSDR レジスタに格納されます。このとき ADCSR.ADIE ビットが“1” (スキャン終了後の S12ADI0 割り込み発生許可) であれば、S12ADI0 割り込み要求が発生します (図中③)。
- (4) ADST ビットが“0” になり、A/D コンバータは待機状態になります (図中④)。

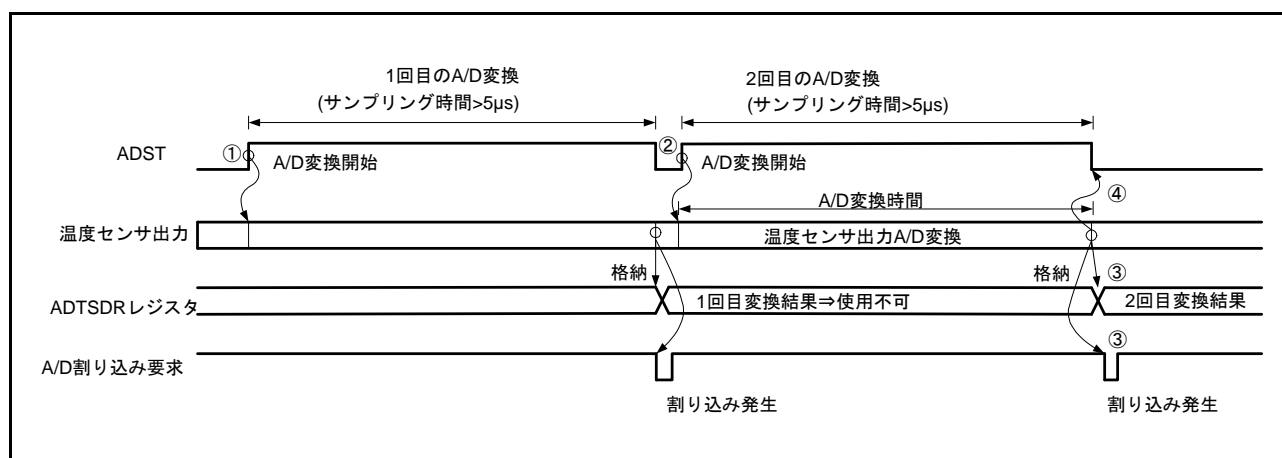


図 27.4 シングルスキャンモードの動作例 (温度センサ出力選択)

27.3.2.3 内部基準電圧選択時の A/D 変換動作

内部基準電圧の A/D 変換を行う場合は、変換動作開始前に次の設定を行ってください。

- ADCSR.ADST ビットが“0” (A/D 変換停止) にする。
- ADCSR.ADCS[1:0] ビットを“00b” (シングルスキャンモード) にする。
- ADANSA レジスタを“0000h” (すべての外部アナログ入力を変換対象から外す) に設定する。
- ADCSR.DBLE ビットを“0” (ダブルトリガモード非選択) に設定する。
- ADEXICR.TSS ビットを“0” (温度センサ出力を A/D 変換しない) に設定する。
- ADEXICR.OCS ビットを“1” (内部基準電圧を A/D 変換する) に設定する。

また、サンプリング時間が $5\mu\text{s}$ 以上になるように、ADSSTRO レジスタに適切な値を設定してください。

図 27.5 に内部基準電圧の A/D 変換手順と動作を示します。

- (1) A/D コンバータ内にたまった電荷を抜くために、ADST ビットを“1” (A/D 変換開始) にします (図中①)。
このときの変換結果は使用しないでください。
- (2) トリガが入力されるか、あるいは ADST ビットを“1” にすると、内部基準電圧の A/D 変換が開始されます (図中②)。
- (3) A/D 変換が終了すると、変換結果が ADOCDR レジスタに格納されます。このとき ADCSR.ADIE ビットが“1” (スキャン終了後の S12ADI0 割り込み発生許可) であれば、S12ADI0 割り込み要求が発生します (図中③)。
- (4) ADST ビットが“0” になり、A/D コンバータは待機状態になります (図中④)。

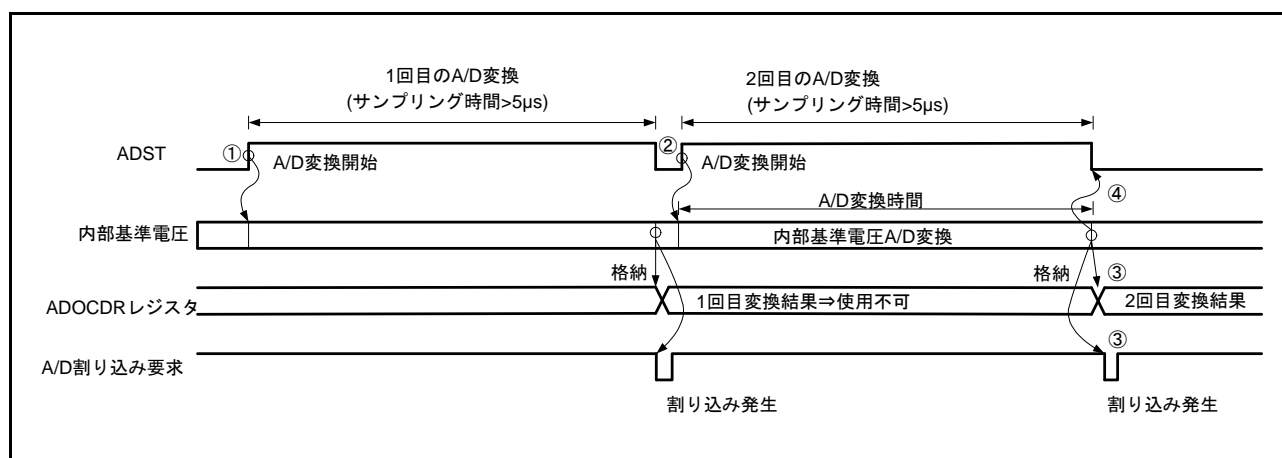


図 27.5 シングルスキャンモードの動作例 (内部基準電圧選択)

27.3.2.4 ダブルトリガモード選択時の動作

シングルスキャンモードでダブルトリガモードを選択した場合は、以下のように同期トリガで開始するシングルスキャンモードを2回行います。

温度センサ出力 A/D 変換選択ビット (ADEXICR.TSS) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCs) を“0”に設定してください。

A/D 変換データ二重化は、二重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを“1”にすると有効となります。ADCSR.DBLE を“1”にした場合は ADANSA レジスタのチャンネル選択は無効になります。またダブルトリガモードを選択する場合は、ADSTRGR.TRSA[3:0] ビットで同期トリガを選択し、ADCSR.EXTRG ビットを“0”に、ADCSR.TRGE ビットを“1”に設定してください。また、ソフトウェアトリガは使用しないでください。

- (1) 同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) にセットされると、ADCSR.DBLANS[4:0] ビットで選択した1チャンネルの A/D 変換を開始します。
- (2) A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納されます。
- (3) ADST は自動的にクリアされ、12ビット A/D コンバータは待機状態になります。このとき、ADCSR.ADIE ビット (スキャン終了による S12ADIO 割り込み許可) の設定に関わらず、S12ADIO 割り込みは発生しません。
- (4) 2回目のトリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した1チャンネルの A/D 変換を開始します。
- (5) A/D 変換が終了すると、A/D 変換結果はダブルトリガモード専用の A/D データ二重化レジスタ (ADDBLDR) に格納されます。
- (6) ADCSR.ADIE ビットが“1” (スキャン終了による S12ADIO 割り込み許可) に設定されていれば、S12ADIO 割り込み要求を発生します。
- (7) ADCSR.ADST ビットは A/D 変換中は“1” (A/D 変換開始) を保持し、A/D 変換が終了すると自動的にクリアされ、12ビット A/D コンバータは待機状態になります。

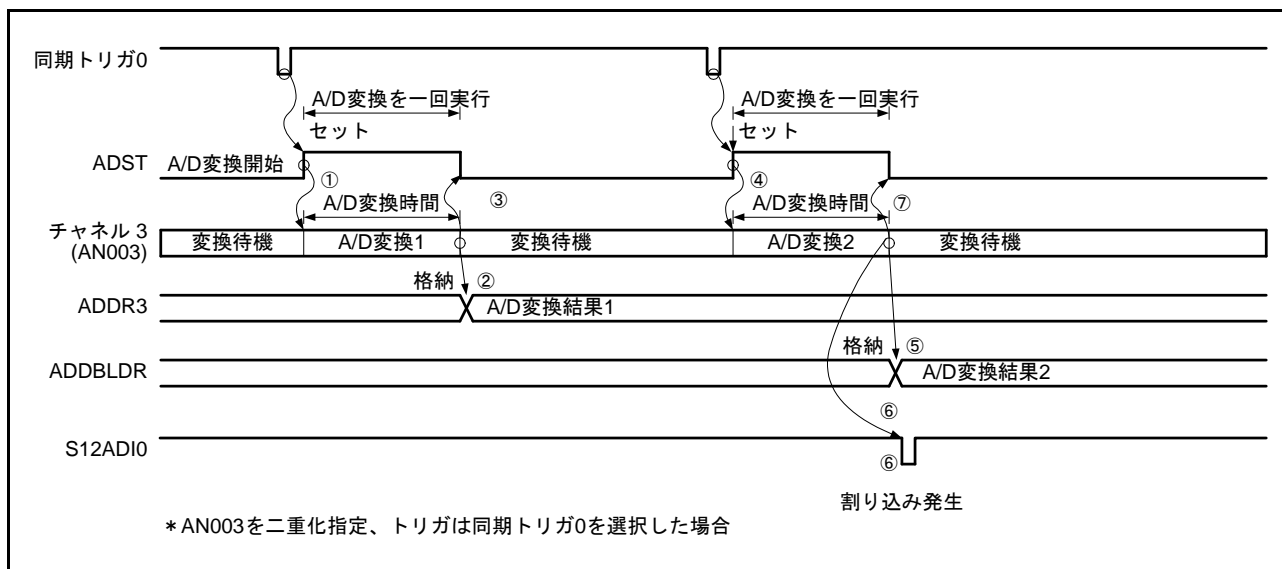


図 27.6 シングルスキャンモードの動作例 (ダブルトリガモード選択、AN003 を二重化)

27.3.3 連続スキャンモード

27.3.3.1 基本動作

連続スキャンモードの基本動作は、選択されたチャンネルのアナログ入力を以下のように繰り返しA/D変換します。

連続スキャンモード時は、温度センサ出力A/D変換選択ビット (ADEXICR.TSS) と内部基準電圧A/D変換選択ビット (ADEXICR.OCS) はともに“0” (非選択) に設定します。

- (1) ソフトウェア、同期トリガ (MTU) または非同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D変換開始) になると、ADANSA レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。
- (2) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) に格納されます。
- (3) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIE ビットが“1” (スキャン終了によるS12ADIO 割り込み許可) に設定されていると、S12ADIO 割り込み要求を発生します。
また12ビットA/Dコンバータは、継続してADANSAレジスタで選択したANnのnが小さい番号順にA/D変換を開始します。
- (4) ADCSR.ADST ビットは自動的にクリアされず、“1” (A/D変換開始) の間は (2) ~ (3) を繰り返します。ADCSR.ADST ビットを“0” (A/D変換停止) に設定するとA/D変換を中止し、12ビットA/Dコンバータは待機状態になります。
- (5) その後、ADCSR.ADST ビットを“1” (A/D変換開始) にセットすると再びADANSAレジスタで選択したANnのnが小さい番号順にA/D変換を開始します。

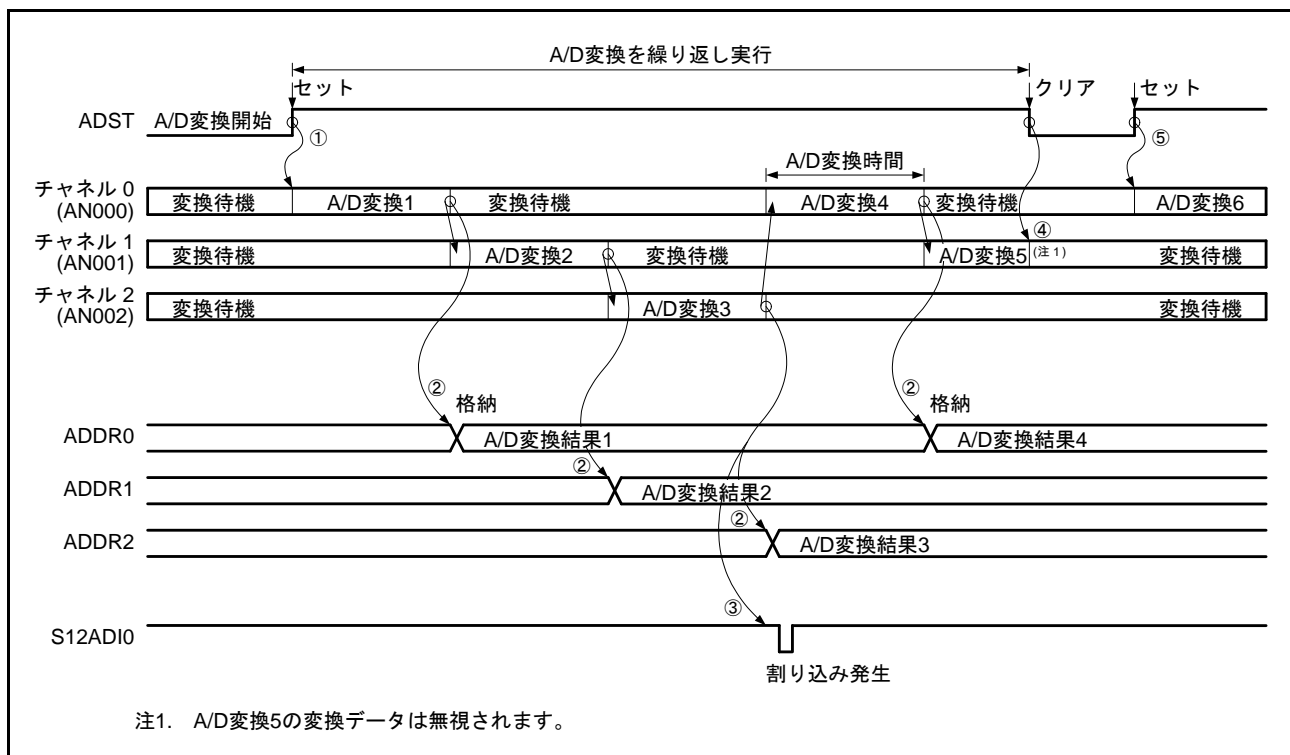


図 27.7 連続スキャンモードの動作例 (基本動作 : AN000 ~ AN002 選択)

27.3.4 グループスキャンモード

27.3.4.1 基本動作

グループスキャンモードの基本動作は、同期トリガをスキャン開始条件とし、グループAとグループBのそれぞれで選択したすべてのチャンネルのアナログ入力を以下のように1回のみA/D変換します。グループAとグループBのそれぞれのスキャン動作は、シングルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[3:0]ビットでグループAのトリガを選択し、ADSTRGR.TRSB[3:0]ビットでグループBのトリガを選択します。グループAとグループBのA/D変換が同時に起こらないように、グループAとグループBのトリガは別々のトリガにしてください。また、ソフトウェアトリガは使用しないでください。

A/D変換対象とするチャンネルは、ADANSAレジスタでグループAのチャンネルを選択し、ADANSBレジスタでグループBのチャンネルを選択します。グループAとグループBで同一のチャンネルを選択することはできません。

グループスキャンモード時は、温度センサ出力A/D変換選択ビット (ADEXICR.TSS) と内部基準電圧A/D変換選択ビット (ADEXICR.OCS) はともに“0” (非選択) に設定してください。

以下にMTUからのトリガによるグループスキャンモードの動作例を示します。グループAはMTUからのTRG0ANトリガで変換開始し、グループBはMTUからのTRG0BNトリガで変換開始する設定です。

- (1) MTUからのTRG0ANトリガでグループAのスキャンを開始します。
- (2) グループAのスキャン終了時にADCSR.ADIEビットが“1” (S12ADI0割り込み許可) に設定されていると、S12ADI0割り込みを出力します。
- (3) MTUからのTRG0BNトリガでグループBのスキャンを開始します。
- (4) グループBのスキャン終了時にADCSR.GBADIEビットが“1” (GBADI割り込み許可) に設定されていると、GBADI割り込みを出力します。

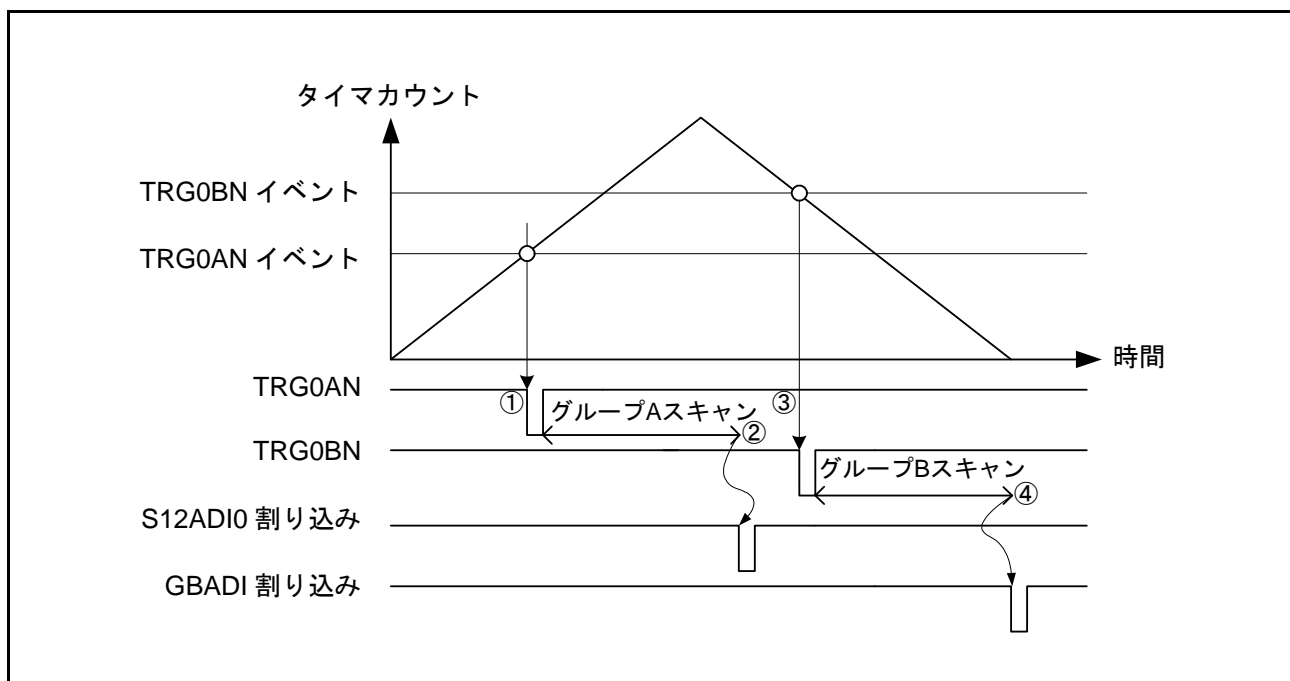


図 27.8 グループスキャンモードの動作 (MTUからのトリガ発生による基本動作)

27.3.4.2 ダブルトリガモード選択時の動作

グループスキャンモードでダブルトリガモードを選択した場合は、グループ A を同期トリガで開始するシングルスキャンモードを 2 回行います。グループ B は同期トリガで開始するシングルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[3:0] ビットでグループ A のトリガを選択し、ADSTRGR.TRSB[3:0] ビットでグループ B のトリガを選択します。グループ A とグループ B の A/D 変換が同時に起こらないように、グループ A とグループ B のトリガは別々のトリガにしてください。また、ソフトウェアトリガ、および非同期トリガ (ADTRG0#) は使用しないでください。

A/D 変換対象とするチャンネルは、ADCSR.DBLANS[4:0] ビットでグループ A のチャンネルを選択し、ADANSB レジスタでグループ B のチャンネルを選択します。グループ A とグループ B で同一のチャンネルを選択することはできません。

グループスキャンモード時は、温度センサ出力 A/D 変換選択ビット (ADEXICR.TSS) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCS) はともに“0” (非選択) に設定してください。

A/D 変換データ二重化は、二重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを“1”にすると有効となります。

以下に MTU からのトリガによるグループスキャンモードかつダブルトリガモード設定時の動作例を示します。グループ A は MTU からの TRG0BN トリガで変換開始し、グループ B は MTU からの TRG0AN トリガで変換開始する設定です。

- (1) MTU からの TRG0AN トリガでグループ B のスキャンを開始します。
- (2) グループ B のスキャン終了時に ADCSR.GBADIE ビットが“1” (GBADI 割り込み許可) に設定されていると、GBADI 割り込みを出力します。
- (3) MTU からの 1 回目の TRG0BN トリガでグループ A の 1 回目のスキャンを開始します。
- (4) グループ A の 1 回目のスキャン終了時は、変換データを ADDRy に格納し、ADCSR.ADIE ビットの設定に関わらず S12ADI0 割り込み要求は発生しません。
- (5) MTU からの 2 回目の TRG0BN トリガでグループ A の 2 回目のスキャンを開始します。
- (6) グループ A の 2 回目のスキャン終了時は、変換データを ADDBLDR に格納し、ADCSR.ADIE ビットが“1” (S12ADI0 割り込み許可) に設定されていると、S12ADI0 割り込みを出力します。

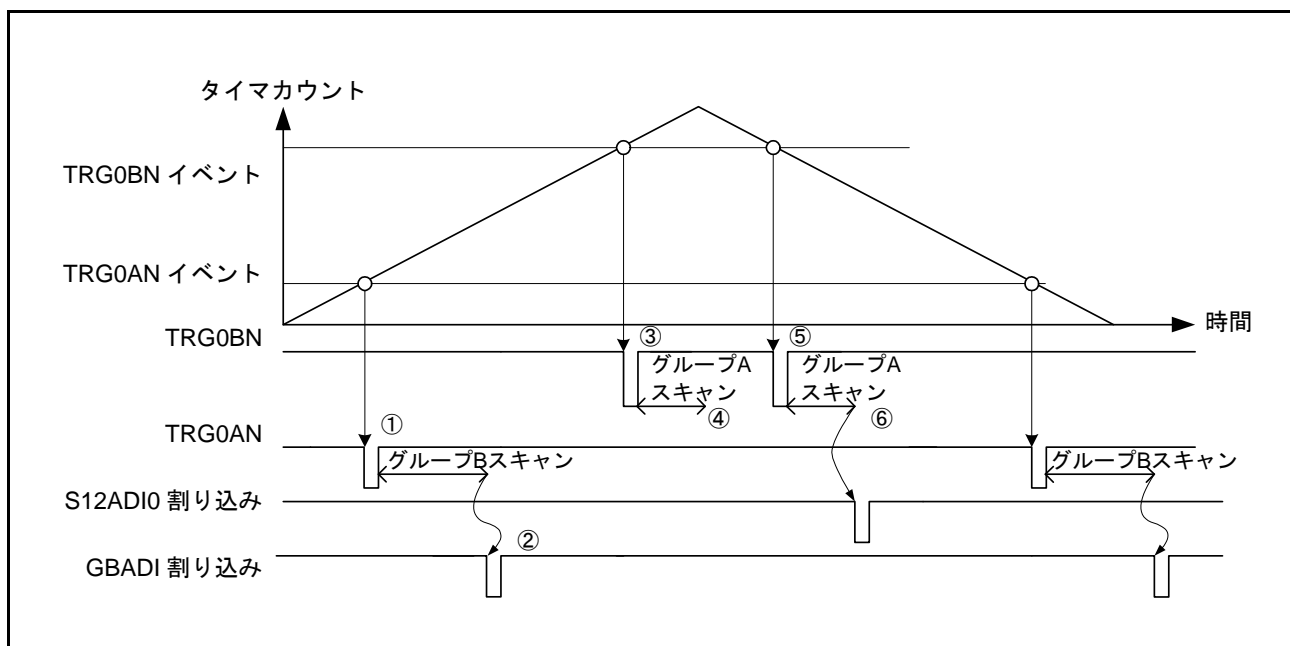


図 27.9 グループスキャンモードでダブルトリガモード選択時の動作 (MTU からのトリガ発生による基本動作)

27.3.4.3 ソフトウェアトリガ使用時の注意

ダブルトリガモード選択時にソフトウェアトリガを入力すると、選択したチャンネルのスキャンを行い ADCSR.ADIE ビットが“1” (S12AD10 割り込み許可) に設定されていると、スキャンの偶数回、奇数回に関係なく S12AD10 割り込みを出力します。また、ソフトウェアトリガによるスキャンが偶数回であってもデータの二重化は行われません。以下にダブルトリガモード選択時に、同期トリガによるスキャンの間にソフトウェアトリガが入力された場合を示します。

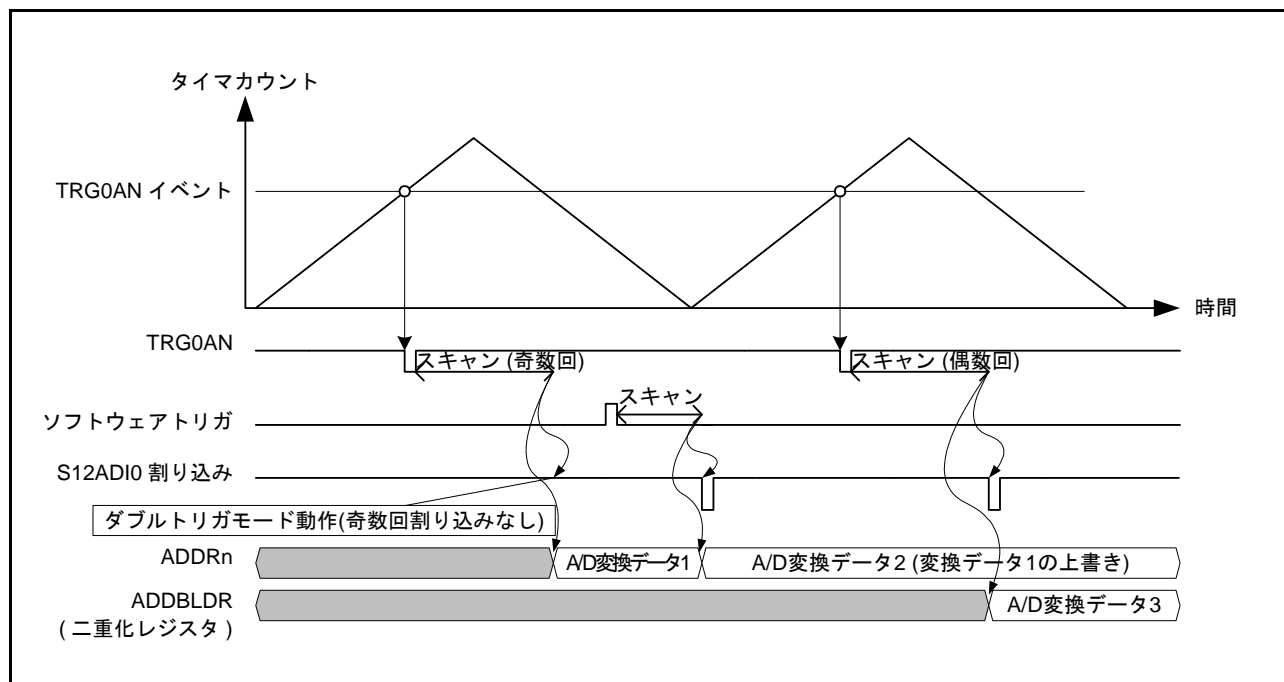


図 27.10 ソフトウェアトリガ使用時のダブルトリガ動作注意例

27.3.5 アナログ入力のサンプリングとスキャン変換時間

スキャン変換は、ソフトウェア起動、MTUによる起動およびADTRG0#（外部トリガ）による起動が選択できます。スキャン変換開始遅延時間（ t_D ）の後にA/D変換処理が開始されます。

図27.11にシングルスキャンモード、ソフトウェア起動とMTUによるスキャン変換を行う場合のタイミングを示します。また、図27.12にシングルスキャンモード、ADTRG0#（外部トリガ）要因によるスキャン変換を行う場合のタイミングを示します。スキャン変換時間（ t_{SCAN} ）はスキャン変換開始遅延時間（ t_D ）、A/D変換処理時間（ t_{CONV} ）、スキャン変換終了遅延時間（ t_{ED} ）を含めた時間となります。スキャン変換時間を表27.8に示します。

選択チャンネル数が n のシングルスキャンのスキャン変換時間（ t_{SCAN} ）は、次のように表されます。

$$t_{SCAN} = t_D + (t_{SPL} + t_{CONV}) n + t_{ED}$$

連続スキャンの1サイクル目は、シングルスキャンの t_{SCAN} から t_{ED} を省いた時間です。

連続スキャンの2サイクル目以降は、 $(t_{SPL} + t_{CONV}) n$ 固定となります。

表27.8 スキャン変換時間（PCLKとADCLKのサイクル数で示す）

項目	記号	種類/条件	サイクル
スキャン変換開始遅延時間（注1）	t_D	MTU、ソフトウェアトリガ	2 PCLK + 3 ADCLK
		外部トリガ	4 PCLK + 3 ADCLK
サンプリング時間（注1）	t_{SPL}	ADSSTRn.SST[7:0]ビット（初期設定値14h）	（レジスタの設定値+1）ADCLK
A/D変換処理時間（注1）	t_{CONV}	高速変換モード	23 ADCLK
		通常変換モード	29 ADCLK
スキャン変換終了遅延時間（注1）	t_{ED}	—	1 PCLK + 2 ADCLK（注2）

注1. t_D 、 t_{SPL} 、 t_{CONV} 、 t_{ED} の各タイミングについては図27.11、図27.12を参照してください。

注2. 2ADCLKは固定値で、プラス1PCLK以内に割り込みが出力されます。強制停止の処理時間は、「27.6.3 A/D変換強制停止と開始時の動作タイミング」を参照してください。

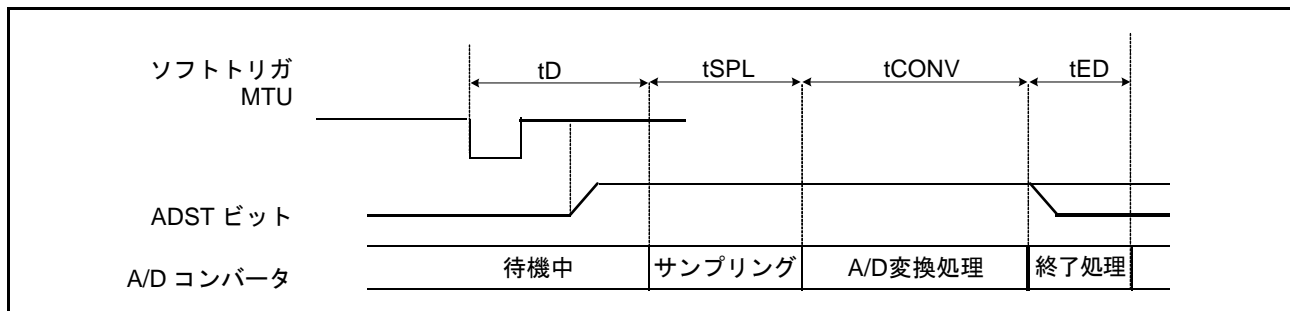


図27.11 スキャン変換のタイミング（ソフトウェア起動、MTUの場合）

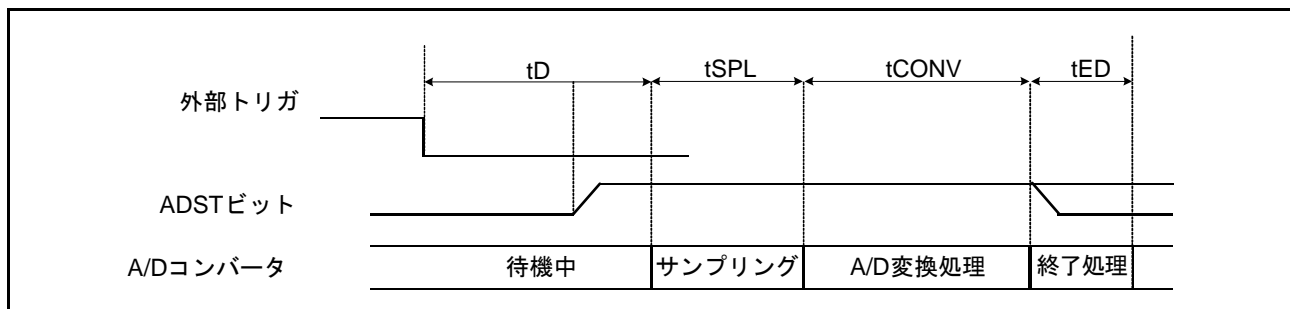


図27.12 スキャン変換のタイミング（ADTRG0# 要因の場合）

27.3.6 レジスタのオートクリア機能の使用例

ADCER.ACE ビットを“1”にすることにより、CPU、DTC によって A/D データレジスタ (ADDRy、ADOCADR、ADTSDR、ADDBLDR) を読み出す際、自動的に ADDRy、ADOCADR、ADTSDR、ADDBLDR レジスタを 0000h にクリアできます。

この機能を使うことにより、ADDRy、ADOCADR、ADTSDR、ADDBLDR レジスタの未更新故障を検出することができます。以下に ADDRy レジスタの自動クリア機能が無効/有効時の例を示します。

ADCER.ACE ビットが“0” (自動クリア禁止) の場合、A/D 変換結果 (0222h) が何らかの原因で ADDRy レジスタに書き込みされなかったとき、古いデータ (0111h) が ADDRy レジスタの値となります。さらに A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合、古いデータ (0111h) が汎用レジスタなどに保存できます。ただし、未更新のチェックを行う場合、古いデータを RAM、汎用レジスタに逐一保持しながらチェックを行う必要があります。

ADCER.ACE ビットが“1” (自動クリア許可) の場合には、ADDRy = 0111h を CPU、DTC により読み出す際、ADDRy レジスタは自動的に 0000h にクリアされます。その後、A/D 変換結果の 0222h が ADDRy レジスタに何らかの原因で転送できなかったとき、クリアされたデータ (0000h) が ADDRy レジスタ値として残ります。ここで A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタなどに読み出した場合、0000h が汎用レジスタなどに保持されます。読み出されたデータ値が 0000hであることをチェックするだけで、ADDRy レジスタの未更新故障があったことを判断できます。

27.3.7 A/D 変換値加算機能

同じチャンネルを 2～4 回連続で A/D 変換し、その変換値の合計をデータレジスタに保持します。この結果の平均値を使用することで、ノイズ成分によっては A/D 変換精度が良くなります。ただし、A/D 変換精度が良くなることを保証する機能ではありません。

A/D 変換値加算機能は、チャンネル選択アナログ入力 A/D 変換、温度センサ出力 A/D 変換、内部基準電圧 A/D 変換選択時に使用できます。

27.3.8 非同期トリガによる A/D 変換の開始

非同期トリガの入力により A/D 変換を開始することができます。非同期トリガを使用して A/D 変換を開始する場合、A/D 変換開始トリガ選択ビット (ADSTRGR.TRSA[3:0]) を “0000b” に設定し、非同期トリガ (ADTRG0# 端子) に High を入力した後、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “1” にします。図 27.13 に非同期トリガ入力タイミングを示します。

ADST ビットがセットされてから A/D 変換が開始するまでの時間は、「27.6.3 A/D 変換強制停止と開始時の動作タイミング」を参照してください。

グループスキャンモードで使用するグループ B 専用 A/D 変換開始トリガ選択ビット (ADSTRGR.TRSB[3:0]) は、非同期トリガを選択できません。

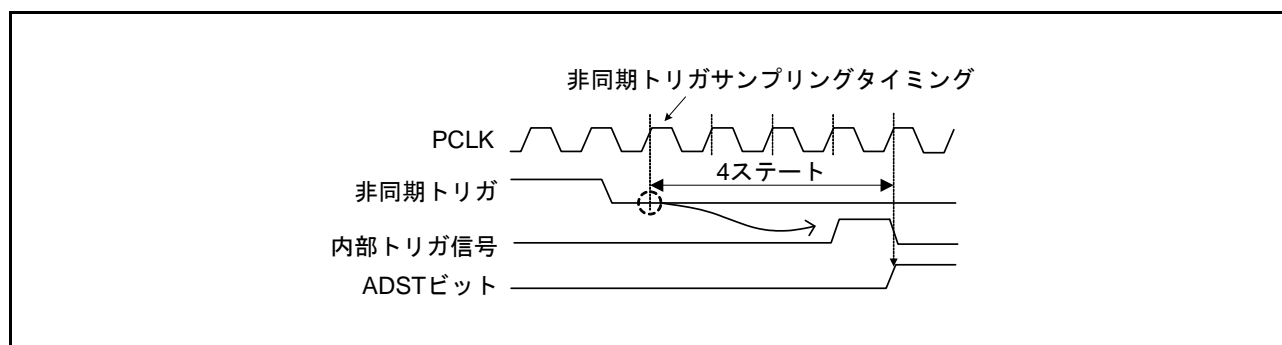


図 27.13 非同期トリガ入力タイミング

27.3.9 周辺モジュールからの同期トリガによる A/D 変換の開始

MTU からの同期トリガによって、A/D 変換を開始することができます。同期トリガで A/D 変換を開始するときには、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0”、ADSTRGR.TRSA[3:0]、TRSB[3:0] ビットで該当の起動要因にセットします。

グループスキャンモードで使用するグループ B の A/D 変換開始要因は、ADSTRGR.TRSB[3:0] ビットで選択します。グループスキャンモードでは、ADSTRGR.TRSA[3:0] ビットと ADSTRGR.TRSB[3:0] ビットで異なる A/D 変換開始要因を選択してください。

27.4 割り込み要因

27.4.1 スキャン終了時の割り込み要求

12ビットA/Dコンバータは、CPUへのスキャン終了割り込み要求であるS12ADI0、GBADI割り込みを発生することができます。

ADCSR.ADIEビットを“1”にするとS12ADI0を許可、“0”にするとS12ADI0を禁止できます。

ADCSR.GBADIEビットを“1”にするとGBADIを許可、“0”にするとGBADIを禁止できます。

また、S12ADI0、GBADI発生時にDTCを起動できます。S12ADI0、GBADI割り込みで変換されたデータの読み出しをDTCで行うと、連続変換がソフトウェアの負担なく実現できます。DTCの設定は「16. データトランスファコントローラ (DTCa)」を参照してください。

27.5 A/D変換精度の定義

以下に、A/D変換精度の定義を示します。

- 分解能
12ビットA/Dコンバータのデジタル変換出力コード数
- オフセット誤差
デジタル出力が最小電圧値000000000000から000000000001に変化する時のアナログ入力電圧値の理想A/D変換特性からの偏差。ただし、量子化誤差を含まない。
- フルスケール誤差
デジタル出力が111111111110から111111111111に変化する時のアナログ入力電圧値の理想A/D変換特性からの偏差。ただし、量子化誤差を含まない。
- 量子化誤差
12ビットA/Dコンバータが本質的に有する誤差であり、1/2LSBで与えられる。
- 非直線性誤差
ゼロ電圧からフルスケール誤差までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない。
- 絶対精度
デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線性誤差を含む。

27.6 使用上の注意事項

27.6.1 データレジスタの読み出し注意事項

A/D データレジスタ、A/D データ二重化レジスタ、A/D 温度センサデータレジスタ、A/D 内部基準電圧データレジスタの読み出しは、ワード単位で行ってください。バイト単位で上位バイト/下位バイトの2回に分けて読み出すことにより、1回目に読み出したA/D変換値と2回目に読み出したA/D変換値が変化するのを避けるため、バイト単位の読み出しは行わないでください。

27.6.2 A/D変換停止時の注意事項

A/D変換開始条件に非同期トリガ、または同期トリガを選択している場合、A/D変換を停止させるためには、ADCSR.TRGEビットを“0”に設定し、A/D変換開始条件をソフトウェアトリガにした後、ADCSR.ADSTビットを“0”（A/D変換停止）に設定してください。

27.6.3 A/D変換強制停止と開始時の動作タイミング

12ビットA/Dコンバータのアナログ部が停止した状態でADCSR.ADSTビットを“1”に設定し12ビットA/Dコンバータのアナログ部が動作を開始するのにADCLKで最大4クロックの時間を必要とします。ADCSR.ADSTビットを“0”に設定してA/D変換を強制停止させると、12ビットA/Dコンバータのアナログ部が動作を停止するのに、ADCLKで最大2クロックの時間を必要とします。

27.6.4 スキャン終了割り込み処理の注意事項

トリガ起動による同一アナログ入力のスキャンを2回行う場合等で、1回目のスキャン終了割り込み発生から、2回目のスキャンによる最初のアナログ入力のA/D変換が終了するまでに、CPUがA/D変換データを読み出し終えていなければ、1回目のA/D変換データが2回目のA/D変換データで上書きされます。

27.6.5 モジュールストップ機能の設定

モジュールストップコントロールレジスタA (MSTPCRA)により、12ビットA/Dコンバータの動作禁止/許可を設定することが可能です。初期値では、12ビットA/Dコンバータの動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップ状態を解除した後は、1μs待ってからA/D変換を開始してください。詳細は「11. 消費電力低減機能」を参照してください。

27.6.6 低消費電力状態への遷移時の注意

モジュールストップモードやソフトウェアスタンバイモードへ移行する場合は、A/D変換を停止させてください。A/D変換を停止させる際、ADCSR.ADSTビットを“0”に設定後、12ビットA/Dコンバータのアナログ部が停止するまでの時間を確保する必要があります。この時間を確実に確保するために以下の手順で設定してください。

ADCSR.TRGEビットを“0”（ソフトウェアトリガ）に設定し、ADCSR.ADSTビットを“0”に設定してください。その後、A/D変換が停止していることを確認した後、モジュールストップやソフトウェアスタンバイモードへ遷移させてください。

27.6.7 ソフトウェアスタンバイモード解除時の注意

ソフトウェアスタンバイモードを解除した後は、水晶発振安定時間の安定時間経過後、さらに $1\mu\text{s}$ 以上待ってから A/D 変換を開始してください。詳細は「11. 消費電力低減機能」を参照してください。

27.6.8 許容信号源インピーダンスについて

本 MCU のアナログ入力は、高速変換 $1.0\mu\text{s}$ を実現するために、信号源インピーダンスが $0.3\text{k}\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっています。シングルスキャンモードで1端子のみ変換を行うときに外部に大容量を設けている場合は、入力の負荷は実質的に内部入力抵抗の $2.6\text{k}\Omega$ だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号には追従できないことがあります (図 27.14)。高速のアナログ信号を変換する場合や、スキャンモードで複数端子の変換を行う場合には、低インピーダンスのバッファを入れてください。

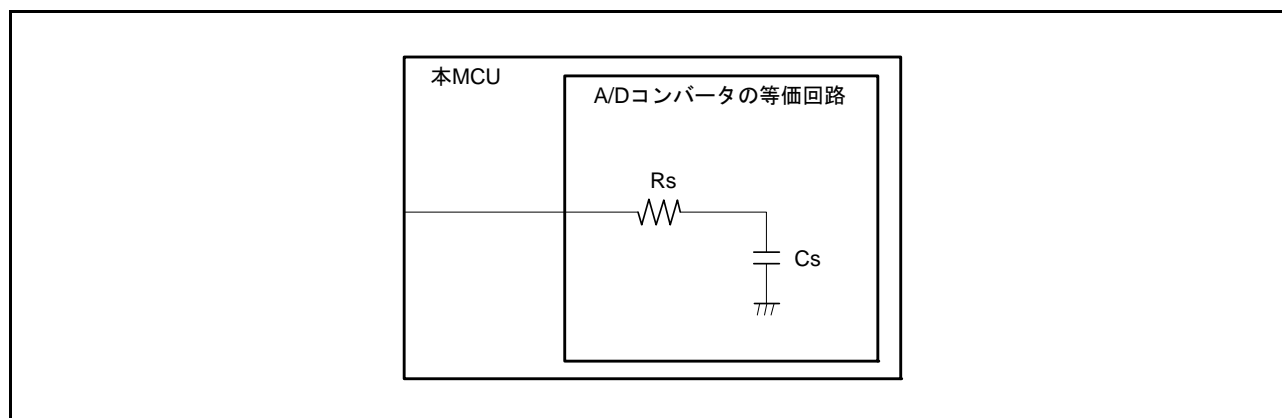


図 27.14 アナログ入力端子の内部等価回路

図 27.15 にアナログ入力端子と外部センサの等価回路を示します。

A/D 変換を正しく行うためには、図 27.15 に示す内部コンデンサ C への充電が所定の時間内に終了することが必要です。この所定の時間をサンプリング時間と言います。

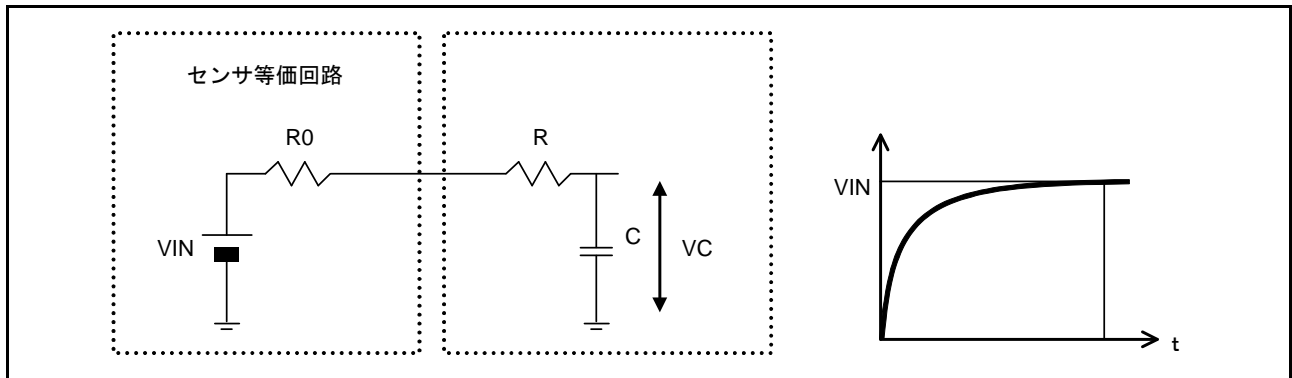


図 27.15 アナログ入力端子と外部センサの等価回路

サンプリング時間を $T[s]$ 、センサの出力インピーダンスを $R0[\Omega]$ 、マイコンの内部抵抗を $R[\Omega]$ 、A/D コンバータの精度 (誤差) を $x[LSB]$ 、分解能を y [階調] (12 ビットでは 4096) とすると、コンデンサ C の両端の電位差 VC は、

$$VC = VIN \left\{ 1 - e^{-\frac{T}{C(R0+R)}} \right\}$$

で表され、 $t = T$ のとき、変換誤差を x 以下にするには、

$$VC = VIN - \frac{x}{y} VIN = VIN \left(1 - \frac{x}{y} \right)$$

でなければならないため、

$$\begin{aligned} e^{-\frac{T}{C(R0+R)}} &= \frac{x}{y} \\ -\frac{T}{C(R0+R)} &= \ln \frac{x}{y} \\ R0 &= -\frac{T}{C \ln \frac{x}{y}} - R \end{aligned}$$

と計算できます。

fPCLKD = 32MHz 時に、誤差を 0.1LSB 以下にするセンサの出力インピーダンス $R0$ は、 $T = 0.3\mu s$ 、 $x = 0.1$ 、 $y = 4096$ 、 $R = 2.6k\Omega$ (参考値)、 $C = 7pF$ (参考値) を代入して、

$$\begin{aligned} R0 &= -\frac{0.3 \times 10^{-6}}{7 \times 10^{-12} \times \ln \left(\frac{0.1}{4096} \right)} - 2.6 \times 10^3 \\ &= 1435 \end{aligned}$$

と計算できます。

以上から、A/D コンバータの精度 (誤差) を 0.1LSB 以下にするためには、センサの出力インピーダンス $R0$ が約 1.4k Ω 以下でないといけないことがわかります。

なお、実際の誤差は、上記の 0.1LSB に絶対精度が加わった値になります。

これらの値は目安であり、評価により動作確認が必要になります。

27.6.9 絶対精度への影響

容量を付加することにより、GND とのカップリングを受け、ノイズがある GND だと絶対精度が悪化する可能性がありますので、AVSS0 等の電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意してください。

27.6.10 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えて MCU を使用した場合は、MCU の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

アナログ入力端子 AN_n に印加する電圧は、 $VREFL0 \leq VAN \leq VREFH0$ の範囲としてください。

VREFH0 端子によるリファレンス電圧の設定範囲は、 $VREFH0 \leq AVCC0$ にしてください。

アナログ入力端子 AN_n (n=0 ~ 4, 6) に印加する電圧は、 $AVSS0 \leq VAN \leq AVCC0$ にしてください。

アナログ入力端子 AN_n (n=8 ~ 15) に印加する電圧は、 $VSS \leq VAN \leq VCC$ 、および $VSS \leq VAN \leq AVCC$ にしてください。

- 各電源端子 (AVCC0 - AVSS0、VREFH0 - VREFL0、VCC - VSS) の関係

AVSS0 と VSS との関係は $AVSS0 = VSS$ としてください。また、図 27.16 に示すように各々の電源間に最短で閉ループが形成できるように 0.1μF のコンデンサを接続し、供給元で $VREFL0 = AVSS0 = VSS$ になるように接続してください。12 ビット A/D コンバータを使用しない場合は、 $AVCC0 = VCC$ 、 $AVSS0 = VSS$ としてください。

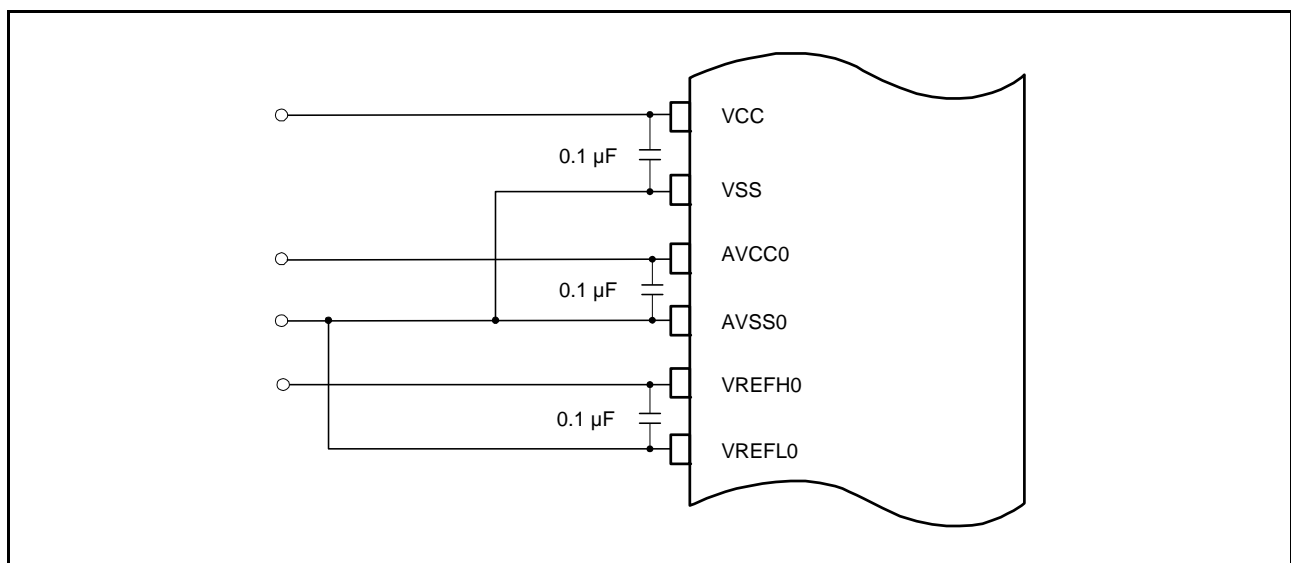


図 27.16 各電源端子の接続例

27.6.11 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号線を交差させたり、近接させたりしないでください。アナログ信号にノイズが乗って、A/D 変換値の精度に悪影響を及ぼします。アナログ入力端子 (AN000 ~ AN004, AN006, AN008 ~ AN015)、基準電源端子 (VREFH0)、基準グランド端子 (VREFL0)、アナログ電源 (AVCC0) は、アナロググランド (AVSS0) で、デジタル回路と分離してください。さらにアナロググランド (AVSS0) は、ボード上の安定したデジタルグランド (VSS) に一点接続してください。

27.6.12 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子 (AN000 ~ AN004, AN006, AN008 ~ AN015) の破壊を防ぐために、図 27.17 に示すように AVCC0 と AVSS0 間、VREFH0 と VREFL0 間に容量を、またアナログ入力端子 (AN000 ~ AN004, AN006, AN008 ~ AN015) を基準に保護回路を接続してください。

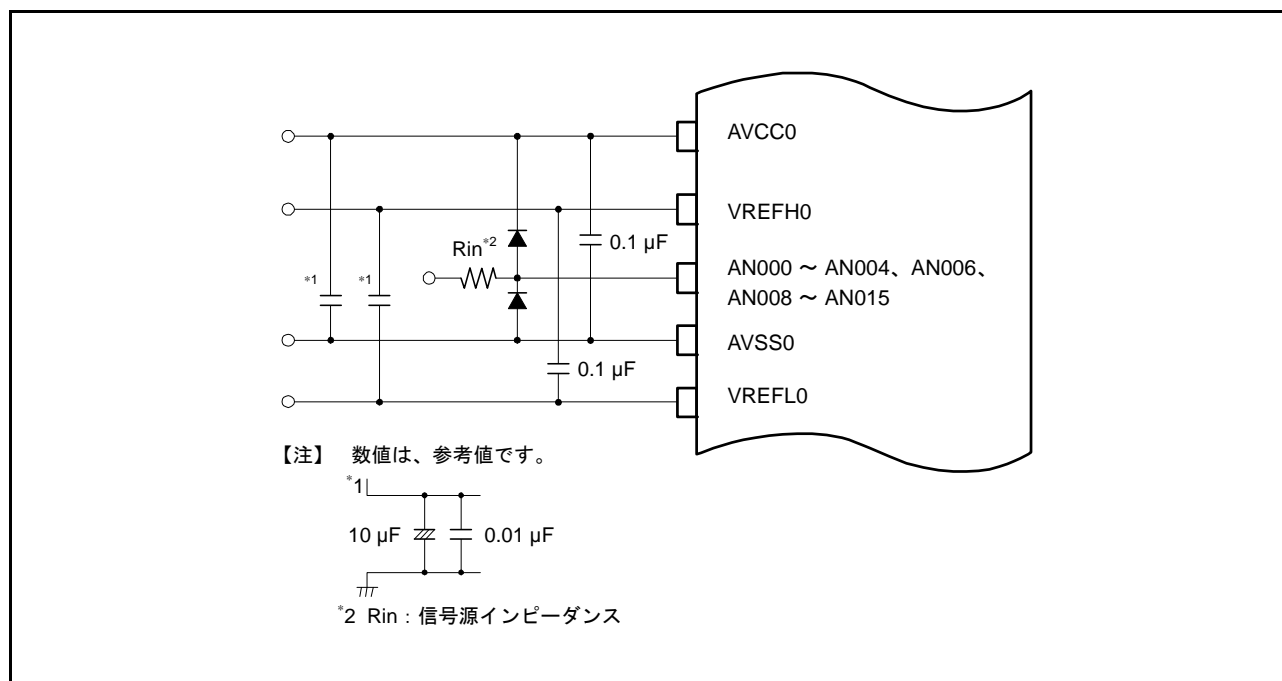


図 27.17 アナログ入力保護回路の例

27.6.13 12ビットA/Dコンバータ入力を使用する場合のポートの設定

12ビットA/Dコンバータを使用する場合は、ポート4のポート出力は使用しないでください。ポート4の回路の一部で、アナログ電源を使用しているためです。

27.6.14 AVCC0とVCCの電源投入順序について

AVCC0とVCCの電源投入順序は、同時もしくはVCCを先に投入してください。

28. 温度センサ (TEMPSA)

28.1 概要

本 MCU は、温度センサを内蔵しています。温度センサは温度により変化する電圧を出力します。温度センサの出力電圧を 12 ビット A/D コンバータでデジタル値に変換し、温度に換算することで、MCU 周辺の温度を求めることができます。

表 28.1 に温度センサの仕様を示します。図 28.1 に温度センサ周りのブロック図を示します。

表 28.1 温度センサの仕様

項目	内容
温度センサ電圧出力	12ビットA/Dコンバータへ出力

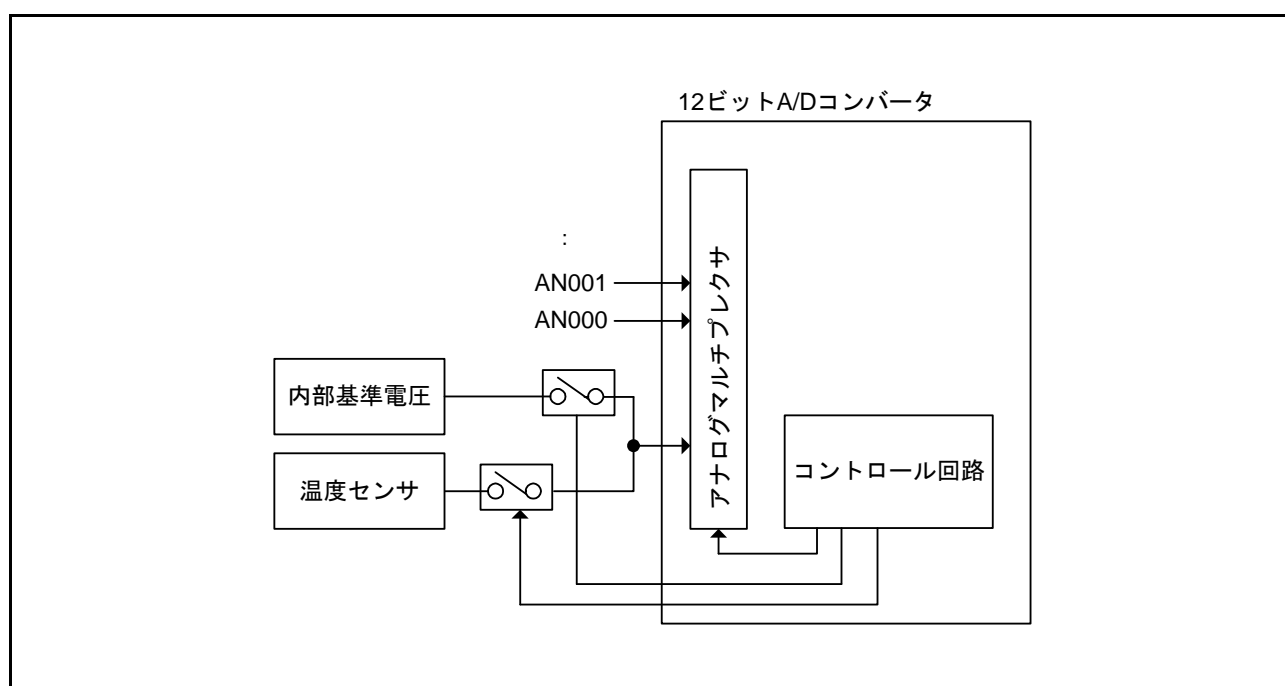
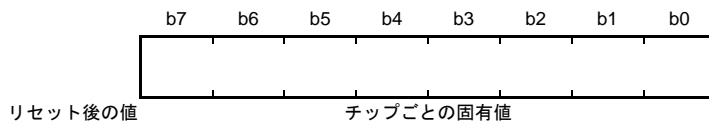


図 28.1 温度センサ周りのブロック図

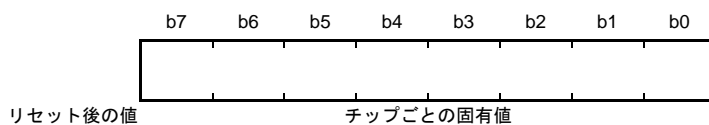
28.2 レジスタの説明

28.2.1 温度センサ校正データレジスタ (TSCDRH、TSCDRL)

アドレス TSCDRL 007F C0ACh



アドレス TSCDRH 007F C0ADh



TSCDRH, TSCDRL レジスタは、工場出荷時に個々のチップごとに測定された温度センサ校正データが格納されています。

温度センサ校正データは、 $T_a=T_j=88\text{ }^\circ\text{C}$ 、 $AVCC0 = VREFH0 = 3.3\text{V}$ の条件における温度センサの出力電圧を、12 ビット A/D コンバータでデジタル変換した値です。TSCDRH レジスタには変換値の上位 4 ビット、TSCDRL レジスタには下位 8 ビットが格納されています。

28.3 温度センサの使用法

温度センサは、温度により変化する電圧を出力します。この電圧を 12 ビット A/D コンバータを用いてデジタル変換し、温度に換算することで MCU の周辺の温度を求めることができます。

28.3.1 使用前の準備

温度センサの温度特性を示します。温度センサ出力電圧は、温度変化と比例関係にあり、以下の式で表されます。

温度特性の式

$$T = (V_s - V_1) / \text{Slope} + T_1$$

T : 測定温度 (°C)

V_s : 温度測定時の温度センサの出力電圧 (V)

T₁ : 1 点目の試行測定時の温度 (°C)

V₁ : 1 点目の試行測定時の温度センサの出力電圧 (V)

T₂ : 2 点目の試行測定時の温度 (°C)

V₂ : 2 点目の試行測定時の温度センサの出力電圧 (V)

Slope : 温度センサの温度傾斜 (V/°C) Slope = (V₂ - V₁) / (T₂ - T₁)

温度センサには個体間ばらつきがあるため、以下のような異なる温度 2 点の試行測定を実施しておくことを推奨します。

まず、温度 T₁ のときの温度センサの出力電圧 V₁ を 12 ビット A/D コンバータで試行測定することで求めます。

次に、温度 T₁ と異なる温度 T₂ のときの温度センサの出力電圧 V₂ を 12 ビット A/D コンバータにて試行測定することで求めます。

両者の測定結果から、温度傾斜 (Slope = (V₂ - V₁) / (T₂ - T₁)) を求めます。

この Slope を温度特性の式に代入し、温度特性 T = (V_s - V₁) / Slope + T₁ を求めます。

また、「32. 電気的特性」に記載の温度傾斜を用いることで、温度 T₁ のときの温度センサの出力電圧 V₁ を、12 ビット A/D コンバータで試行測定することで求め、下記式により測定温度を算出します。なお、本測定温度精度は 2 点測定方法よりも劣ります。

$$T = (V_s - V_1) / \text{Slope} + T_1$$

また、本 MCU は、TSCDRH、TSCDRL レジスタに、T_a = T_j = 88 °C、AVCC0 = VREFH0 = 3.3V の条件における温度センサの温度測定値 (CAL₈₈) を格納しています。この値を 1 点目の試行測定結果として使用することで、使用前の準備を省略することができます。

この測定値 CAL₈₈ は、以下のように計算できます。

$$\text{CAL}_{88} = (\text{TSCDRH レジスタ値} \ll 8) + \text{TSCDRL レジスタ値}$$

CAL₈₈ から V₁ を求めると、

$$V_1 = 3.3 \times \text{CAL}_{88} / 4096 \text{ [V]}$$

となり、これを用いると、測定温度は下記の式にて算出できます。

$$T = (V_s - V_1) / \text{Slope} + 88 \text{ [}^\circ\text{C]}$$

T : 測定温度 (°C)

V_s : 温度測定時の温度センサの出力電圧 (V)

V₁ : Ta = Tj = 88 °C、AVCC0 = VREFH0 = 3.3V 時の温度センサの出力電圧 (V)

Slope : 表 32.40 に記載の温度傾斜 ÷ 1000 (V/°C)

なお、測定温度誤差 (ばらつき範囲は3σ) は、図 28.2 のとおりです。

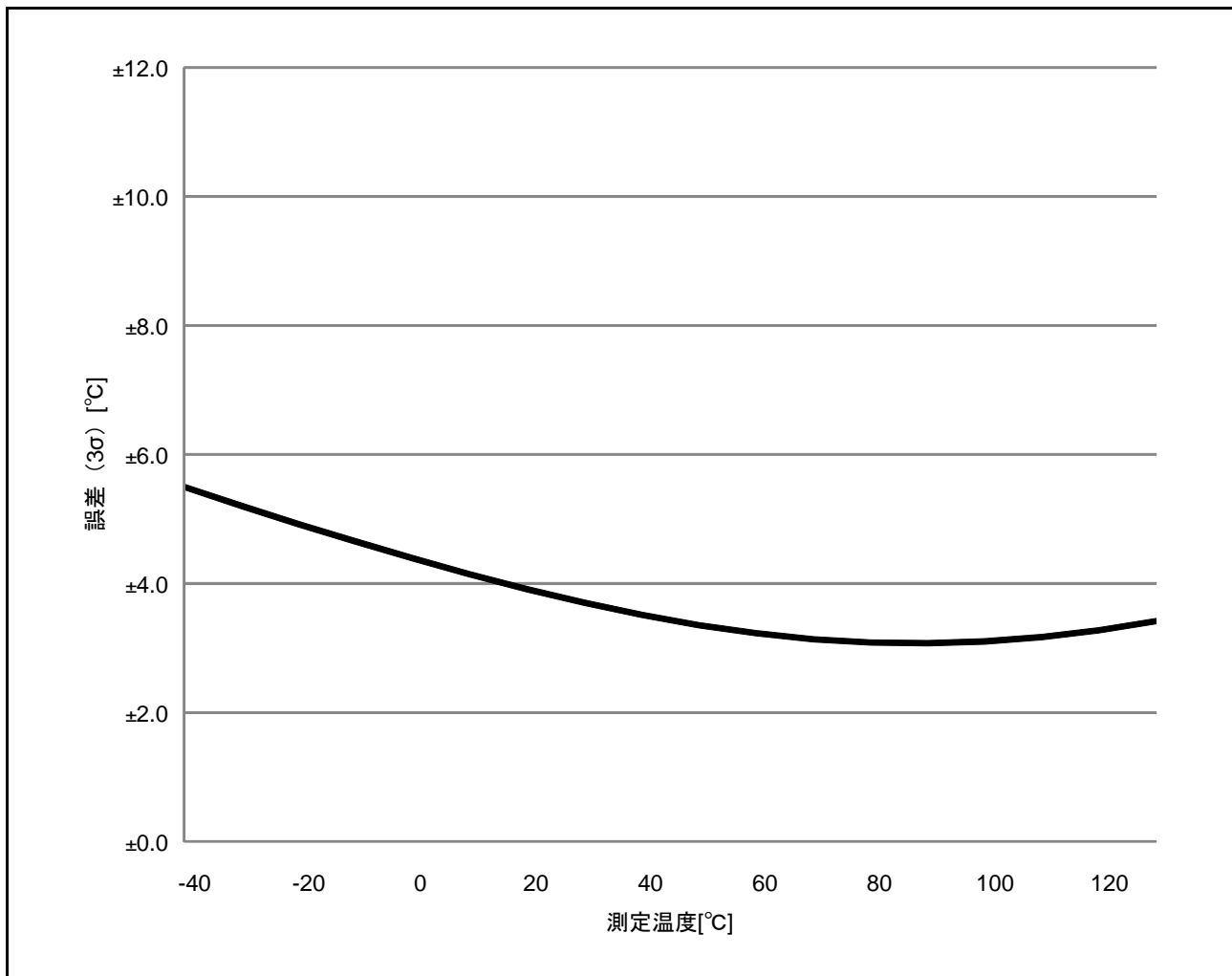


図 28.2 測定温度誤差 (設計値)

28.3.2 12ビット A/D コンバータの設定

温度センサは出力を A/D 変換することで温度を知ることができますが、温度センサの出力を A/D 変換するために、12ビット A/D コンバータのレジスタを以下のように設定する必要があります。

- 温度センサ出力の A/D 変換対象への選択

ADEXICR.TSS ビットを“1”にし、温度センサを A/D 変換対象に選択します。このとき、ADANSA、ADANSB、および ADEXICR.OCS ビットはすべて“0”に設定し、変換対象から外してください。

- シングルスキャンモードの設定

ADCSR.ADCS[1:0] ビットを“00b”にし、シングルスキャンモードを選択します。シングルスキャンモード以外には設定しないでください。

28.3.3 温度センサの A/D 変換結果

温度センサの A/D 変換が完了すると、変換結果が ADTSDR レジスタ (A/D 温度センサデータレジスタ) に格納されます。サンプリング時間は、5 μ s 以上になるように設定してください。温度センサ出力の A/D 変換に切り替えた後、ADST ビットを“1”にして、1 回目の変換を開始してください。ただし、1 回目の変換結果は使用しないでください。図 28.3 に温度センサの動作例を示します。

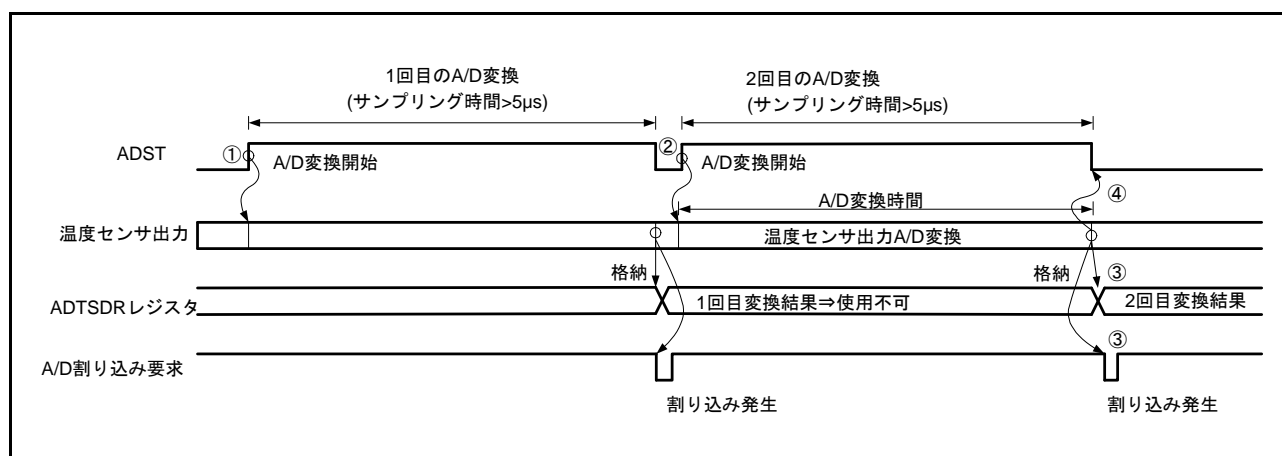


図 28.3 温度センサの動作例

29. データ演算回路 (DOC)

29.1 概要

データ演算回路 (DOC) は、16 ビットのデータを比較、加算または減算をする機能です。

表 29.1 にデータ演算回路 (DOC) の仕様を示します。データ演算回路のブロック図を図 29.1 に示します。

16 ビットのデータを比較し、選択した条件に該当する場合に割り込みを発生させることができます。

表 29.1 データ演算回路 (DOC) の仕様

項目	内容
データ演算機能	16ビットデータの比較、加算、または減算
消費電力低減機能	モジュールストップ状態への設定が可能
割り込み	<ul style="list-style-type: none"> データ比較の結果が一致または不一致のとき データ加算の結果が“FFFFh”より大きくなったとき データ減算の結果が“0000h”より小さくなったとき

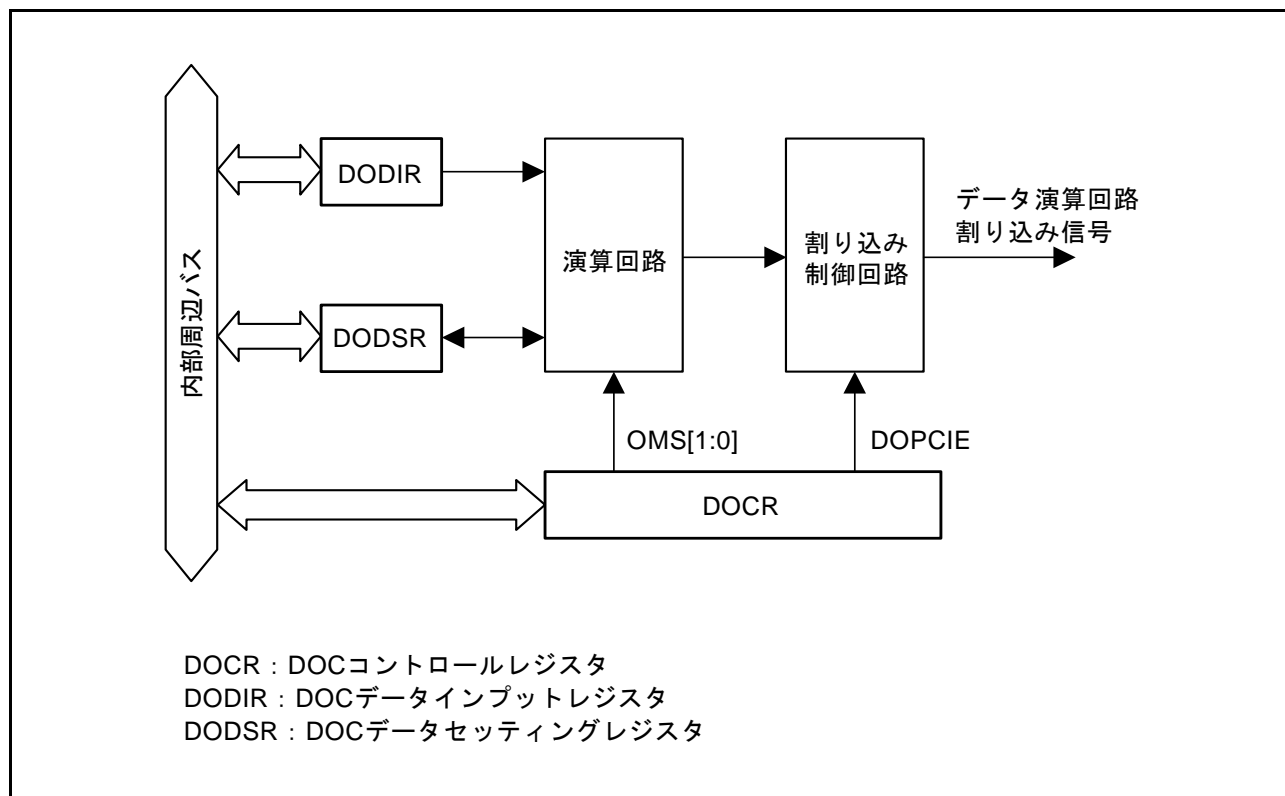


図 29.1 データ演算回路のブロック図

29.2 レジスタの説明

29.2.1 DOC コントロールレジスタ (DOCR)

アドレス 0008 B080h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	DOPCF CL	DOPCF	DOPCI E	—	DCSEL	OMS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	OMS[1:0]	動作モード選択ビット	b1 b0 0 0: データ比較モード 0 1: データ加算モード 1 0: データ減算モード 1 1: 設定しないでください	R/W
b2	DCSEL (注1)	検出条件選択ビット	データ比較の結果 0: 不一致を検出する 1: 一致を検出する	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DOPCIE	データ演算回路割り込み許可ビット	0: データ演算回路割り込み無効 1: データ演算回路割り込み有効	R/W
b5	DOPCF	データ演算回路フラグ	演算結果を示します	R
b6	DOPCFCL	DOPCFクリアビット	0: DOPCFフラグ状態を保持 1: DOPCFフラグをクリア	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	RW

注1. データ比較モード選択時のみ有効

OMS[1:0] ビット (動作モード選択ビット)

本ビットの設定によりデータ演算回路の動作モードを選択します。

DCSEL ビット (検出条件選択ビット)

データ比較モード選択時のみ有効です。

本ビットの設定によりデータ比較モード時の結果の検出条件を選択します。

DOPCIE ビット (データ演算回路割り込み許可ビット)

本ビットが“1”の場合、データ演算回路割り込みを許可します。

DOPCF フラグ (データ演算回路フラグ)

["1"になる条件]

- DCSEL ビットで選択した条件になったとき
- データ加算の結果が“FFFFh”より大きくなったとき
- データ減算の結果が“0000h”より小さくなったとき

["0"になる条件]

- DOPCFCL ビットに“1”を書き込んだとき

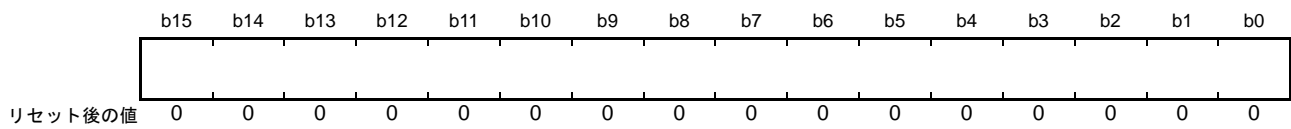
DOPCFCL ビット (DOPCF クリアビット)

本ビットを“1”にすると DOPCF フラグをクリアします。

読むと“0”が読めます。

29.2.2 DOC データインプットレジスタ (DODIR)

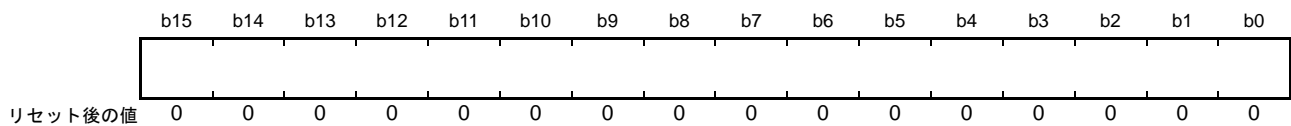
アドレス 0008 B082h



DODIR は、演算対象の 16 ビットのデータを格納する 16 ビットの読み出し／書き込み可能なレジスタです。

29.2.3 DOC データセッティングレジスタ (DODSR)

アドレス 0008 B084h



DODSR は、16 ビットの読み出し／書き込み可能なレジスタです。データ比較モードでは、基準となる 16 ビットのデータを格納します。また、データ加算モードおよびデータ減算モードでは、演算結果を格納します。

29.3 動作説明

29.3.1 データ比較モード

図 29.2 にデータ比較モードの動作例を示します。

データ演算回路は、データ比較モード時、以下のように動作します。

以下は DCSEL=0 (データ比較の結果、不一致を検出) 設定時の動作例です。

- (1) DOCR.OMS[1:0] ビットに “00b” を書き込むと、データ比較モードになります。
- (2) DODSR レジスタに基準となる 16 ビットのデータを設定します。
- (3) DODIR レジスタに比較する 16 ビットのデータを書き込みます。
- (4) すべての比較するデータの書き込みが完了するまで、DODIR レジスタに比較する 16 ビットのデータを書き込みます。
- (5) DODIR レジスタに書き込まれたデータが DODSR レジスタに設定されているデータと一致しなかった (注 1) とき DOCR.DOPCF フラグが “1” になります。また、DOCR.DOPCFCL ビットが “1” の場合は、データ演算回路割り込みが発生します。

注 1. DOCR.DCSEL=0 の場合

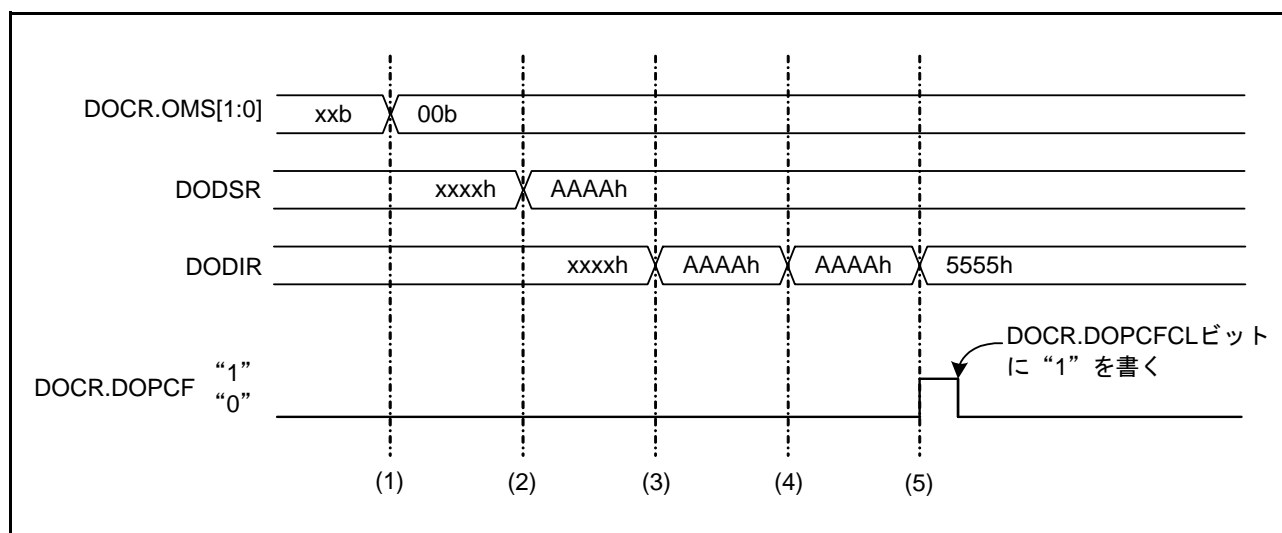


図 29.2 データ比較モードの動作例

29.3.2 データ加算モード

図 29.3 にデータ加算モードの動作例を示します。

データ演算回路は、データ加算モード時、以下のように動作します。

- (1) DOCR.OMS[1:0] ビットに“01b”を書き込むと、データ加算モードになります。
- (2) DODSR レジスタに初期値として 16 ビットのデータを設定します。
- (3) DODIR レジスタに加算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。
- (4) すべての加算するデータの書き込みが完了するまで、DODIR レジスタに加算する 16 ビットのデータを書き込みます。
- (5) 演算結果が“FFFFh”よりも大きくなったとき DOCR.DOPCF フラグが“1”になります。また、DOCR.DOPCIE ビットが“1”の場合は、データ演算回路割り込みが発生します。

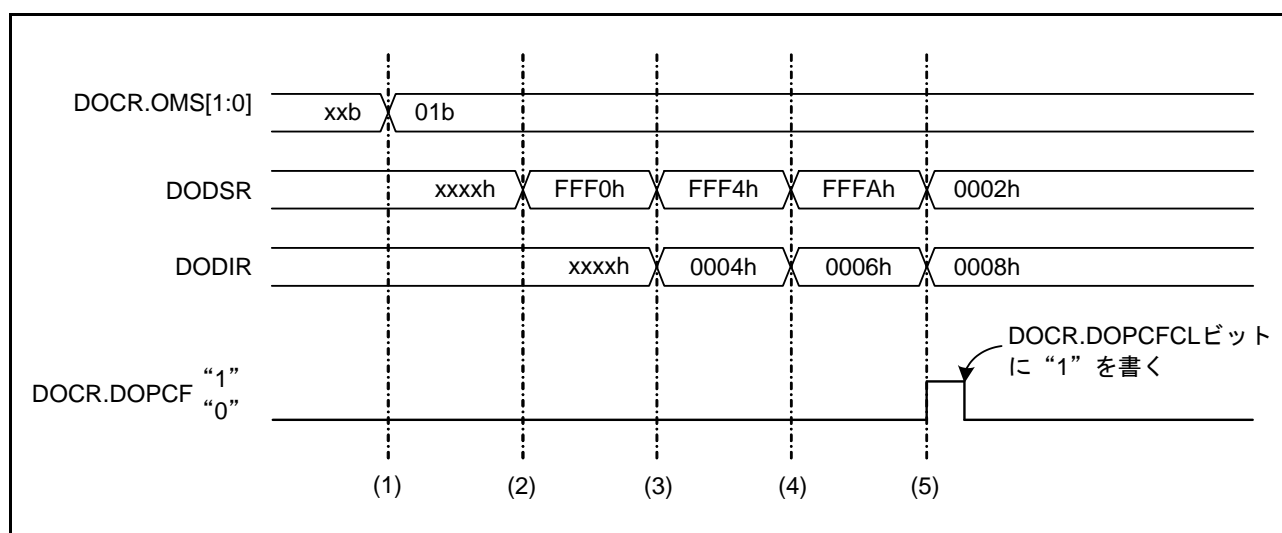


図 29.3 データ加算モードの動作例

29.3.3 データ減算モード

図 29.4 にデータ減算モードの動作例を示します。

データ演算回路は、データ減算モード時、以下のように動作します。

- (1) DOCR.OMS[1:0] ビットに“10b”を書き込むと、データ減算モードになります。
- (2) DODSR レジスタに初期値として 16 ビットのデータを設定します。
- (3) DODIR レジスタに減算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。
- (4) すべての減算するデータの書き込みが完了するまで、DODIR レジスタに減算する 16 ビットのデータを書き込みます。
- (5) 演算結果が“0000h”よりも小さくなったとき DOCR.DOPCF フラグが“1”になります。また、DOCR.DOPCFCL ビットが“1”の場合は、データ演算回路割り込みが発生します。

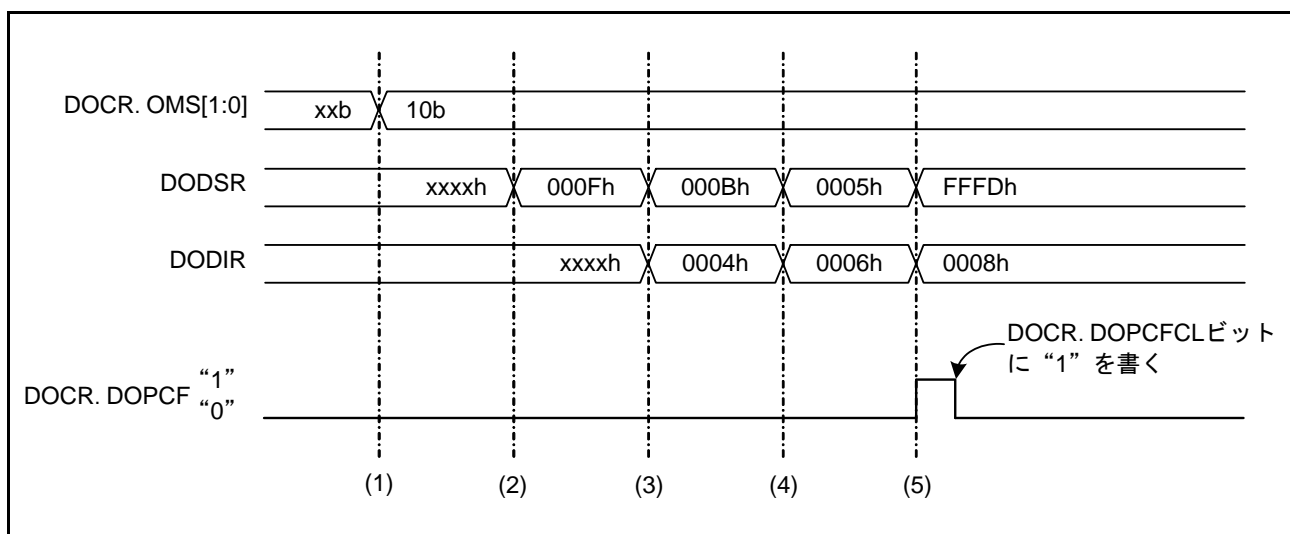


図 29.4 データ減算モードの動作例

29.4 割り込み要求

データ演算回路が生成する割り込み要求には、データ演算回路割り込みがあります。割り込み要因が発生するとデータ演算回路フラグが“1”になります。表 29.2 に割り込み要求の内容を示します。

表 29.2 データ演算回路割り込み要求

割り込み要求	データ演算回路フラグ	割り込み発生タイミング
データ演算回路割り込み	DOPCF	<ul style="list-style-type: none"> • データ比較の結果が一致または不一致のとき • データ加算の結果が“FFFFh”より大きくなったとき • データ減算の結果が“0000h”より小さくなったとき

29.5 使用上の注意事項

29.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、データ演算回路の動作を禁止/許可することが可能です。初期値では、データ演算回路の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

30. RAM

本 MCU は、高速スタティック RAM を内蔵しています。

30.1 概要

表 30.1 に RAM の仕様を示します。

表 30.1 RAM の仕様

項目	内容
RAM容量	最大16Kバイト (注2)
アクセス	<ul style="list-style-type: none"> 読み出し、書き込みともに1サイクルで動作 RAM有効/無効選択可能 (注1)
消費電力低減機能	モジュールストップ状態への設定が可能

注1. SYSCR1.RAMEビットにより選択可能です。SYSCR1レジスタについては、「3.2.2 システムコントロールレジスタ1 (SYSCR1)」を参照してください。

注2. 製品によってRAM容量が異なります。

RAM容量	RAMアドレス
16Kバイト	RAM0 : 0000 0000h ~ 0000 3FFFh
10Kバイト	RAM0 : 0000 0000h ~ 0000 27FFh
8Kバイト	RAM0 : 0000 0000h ~ 0000 1FFFh

30.2 動作説明

30.2.1 消費電力低減機能

モジュールストップコントロールレジスタ C (MSTPCRC) の設定により、RAM へのクロック供給を停止させることで、消費電力を低減ができます。

MSTPCRC.MSTPC0 ビットを“1”にセットすると RAM0 に供給されるクロックが停止します。

クロック供給の停止により、RAM0 はモジュールストップ状態になります。リセット後の初期値では、RAM は動作状態です。

モジュールストップ状態になると、RAM へのアクセスができなくなります。RAM のアクセス中にモジュールストップ状態へ遷移しないでください。

MSTPCRC レジスタの詳細については、「11. 消費電力低減機能」を参照してください。

31. フラッシュメモリ

本 MCU は、8K/16K/32K/64K/96K/128K バイトのユーザ領域 (ROM) を内蔵しています。
本章に記載している PCLK とは PCLKB を指します。

31.1 概要

表 31.1 にフラッシュメモリの仕様を示します。

表 31.6 にブートモードで使用する入出力端子を示します。

表31.1 フラッシュメモリの仕様

項目	内容
メモリ空間	<ul style="list-style-type: none"> ユーザ領域：最大128Kバイト エクストラ領域：スタートアップ領域情報、アクセスウィンドウ情報、ユニークIDを格納
ソフトウェアコマンド	<ul style="list-style-type: none"> 以下のソフトウェアコマンドを実装 プログラム、ブランクチェック、ブロックイレース、ユニークIDリード エクストラ領域のプログラム用に以下のコマンドを実装 スタートアップ領域情報プログラム、アクセスウィンドウ情報プログラム
イレース後の値	<ul style="list-style-type: none"> ROM：FFh
割り込み	ソフトウェアコマンド処理の完了、または強制停止処理の完了により割り込み (FRDYI) が発生
オンボードプログラミング	ブートモード (SCI インタフェース) (注1) <ul style="list-style-type: none"> シリアルコミュニケーションインタフェースのチャンネル1 (SCI1) を調歩同期式モードで使用 ユーザ領域を書き換え可能 ブートモード (FINE インタフェース) <ul style="list-style-type: none"> FINE を使用 ユーザ領域を書き換え可能 セルフプログラミング (シングルチップモード) <ul style="list-style-type: none"> ユーザプログラム内のフラッシュ書き換えルーチンによるユーザ領域の書き換えが可能
オフボードプログラミング	本MCUに対応したフラッシュプログラマを使用して、ユーザ領域の書き換えが可能
IDコードプロテクト	<ul style="list-style-type: none"> ブートモード時、シリアルプログラマとの接続の許可または禁止を、IDコードにより制御可能 オンチップデバッグエミュレータ接続時、IDコードにより制御可能
スタートアッププログラム保護機能	ブロック0～15の書き換えを安全に行うための機能
エリアプロテクション	セルフプログラミング時、ユーザ領域内の指定された範囲のみ書き換えを許可し、それ以外への書き換えを禁止することが可能

注1. 詳細については『PG-FP5フラッシュメモリプログラマユーザーズ・マニュアル』、『Renesas Flash Programmerフラッシュ書き込みソフトウェア・ユーザーズ・マニュアル』をご参照ください。

31.2 ROMの領域とブロックの構成

本MCUのROMは最大で128Kバイトあります。ROMは1Kバイトのブロックと呼ばれる単位に分割されており、ブロックイレースコマンドはこのブロック単位でメモリの消去を実行します。図31.1にROMの領域とブロックの構成を示します。

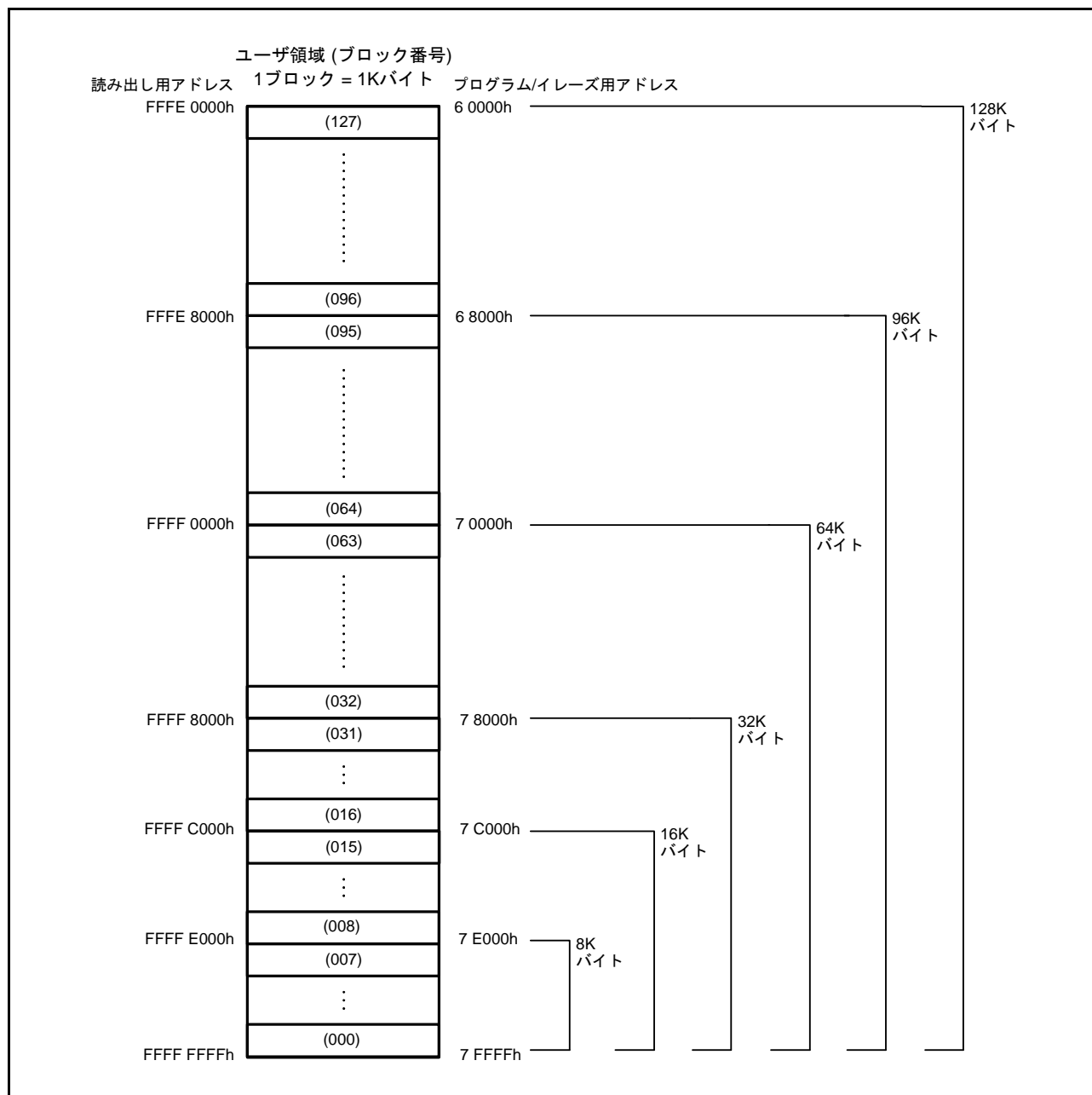


図 31.1 ROMの領域とブロックの構成

表31.2 ROM容量と読み出し用アドレス対応表

ROM容量	読み出し用アドレス
128Kバイト	FFFE 0000h～FFFF FFFFh
96Kバイト	FFFE 8000h～FFFF FFFFh
64Kバイト	FFFF 0000h～FFFF FFFFh
32Kバイト	FFFF 8000h～FFFF FFFFh

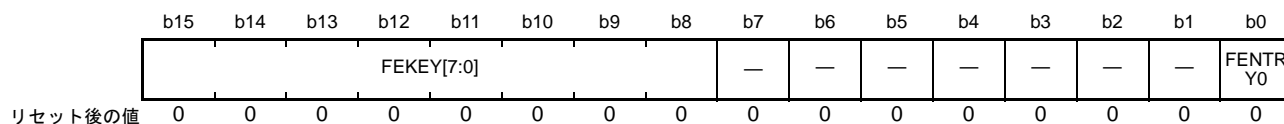
表31.2 ROM容量と読み出し用アドレス対応表

ROM容量	読み出し用アドレス
16Kバイト	FFFF C000h～FFFF FFFFh
8Kバイト	FFFF E000h～FFFF FFFFh

31.3 レジスタの説明

31.3.1 フラッシュ P/E モードエントリレジスタ (FENTRYR)

アドレス 007F FFB2h



ビット	シンボル	ビット名	機能	R/W
b0	FENTRY0	ROM P/Eモードエントリビット0	0 : ROMはリードモード 1 : ROMはP/Eモードエントリ可能	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	FEKEY[7:0]	キーコード	FENTRYRレジスタの書き換えを制御します。 下位8ビットの値を書き換える場合、このビットを “AAh”にして16ビット単位で同時に書いてください。 読むと“00h”が読めます	R/W

ROMを書き換えるためには、FENTRY0ビットを“1”にしてP/Eモードに移行させる必要があります。

リードモードに戻るときは、FENTRYRレジスタを設定した後、値が書き換わっていることを確認してから、ROMのリードを行ってください。

P/Eモード、リードモードについては、「31.6.1 シーケンサのモード」を参照してください。

FENTRY0ビット (ROM P/Eモードエントリビット0)

ROMをP/Eモードに移行させるためのビットです。

["1"になる条件]

- FENTRYRレジスタが“0000h”のときに、FENTRYRレジスタに“AA01h”を書いた場合

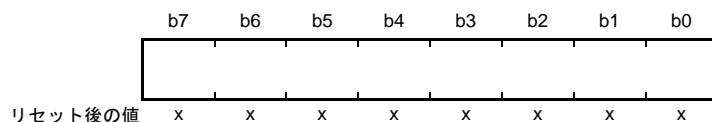
注． ROM P/Eモードへ遷移する場合、ROMに対する命令フェッチを実行させないため、命令フェッチ番地をROM以外の領域に移す必要があります。必要な命令コードを内蔵RAMへコピーして内蔵RAMへジャンプしてください。

["0"になる条件]

- FENTRYRレジスタに“AA00h”を書いた場合

31.3.2 プロテクト解除レジスタ (FPR)

アドレス 007F C0C0h



x : 不定

本レジスタは、CPUが暴走したときに備え、FPMCRレジスタが容易に書き換えられないように保護するための書き込み専用のレジスタです。以下に示す手順でレジスタをアクセスした場合のみ、FPMCRレジスタへの書き込みが有効になります。

プロテクト解除手順

- (1) FPR レジスタに“A5h”を書き込む
- (2) FPMCR レジスタに設定したい値を書き込む
- (3) FPMCR レジスタに設定したい値の反転値を書き込む
- (4) FPMCR レジスタに再び設定したい値を書き込む

上記プロテクト解除手順以外で書き込みを行った場合、FPSR.PERR フラグが“1”になります。

31.3.3 プロテクト解除ステータスレジスタ (FPSR)

アドレス 007F C0C1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PERR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PERR	プロテクトエラーフラグ	0 : エラーなし 1 : エラー発生	R
b7-b1	—	予約ビット	読むと“0”が読めます	R

PERR フラグ (プロテクトエラーフラグ)

FPMCR レジスタに対して、プロテクト解除手順どおりのアクセスを行わなかった場合、レジスタへの書き込みは行われず、このフラグが“1”になります。

【“1”になる条件】

- FPMCR レジスタに対して、プロテクト解除手順どおりのアクセスを行わなかった場合

【“0”になる条件】

- 「31.3.2 プロテクト解除レジスタ (FPR)」に記載のプロテクト解除手順でレジスタをアクセスした場合

31.3.4 フラッシュ P/E モード制御レジスタ (FPMCR)

アドレス 007F FF80h

	b7	b6	b5	b4	b3	b2	b1	b0
	FMS2	LVPE	—	FMS1	RPDIS	—	FMS0	—
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	FMS0	フラッシュ動作モード選択ビット0	FMS2 FMS1 FMS0 0 0 0 : ROMリードモード 0 1 1 : ディスチャージモード1 1 0 1 : ROM P/Eモード 1 1 1 : ディスチャージモード2 上記以外は設定しないでください	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b3	RPDIS	ROM P/E 禁止ビット	0 : ROMはプログラム/イレーズ可能 1 : ROMはプログラム/イレーズ不可能	R/W
b4	FMS1	フラッシュ動作モード選択ビット1	FMS0 ビットを参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	LVPE	低電圧 P/E モード有効ビット	0 : 低電圧 P/E モード無効 1 : 低電圧 P/E モード有効	R/W
b7	FMS2	フラッシュ動作モード選択ビット2	FMS0 ビットを参照してください	R/W

フラッシュメモリの動作モードを設定するレジスタです。

本レジスタはプロテクトされています。プロテクト解除手順を用いて値を設定してください(詳細は「31.3.2 プロテクト解除レジスタ (FPR)」を参照)。

ディスタチャージモード2、ROM P/E モードに遷移する場合、もしくはそのモード中はRAM上で命令を実行する必要があります。

FMS0, FMS1, FMS2 ビット (フラッシュ動作モード0～フラッシュ動作モード2ビット)

フラッシュの動作モードを設定します。

[リードモードからROM P/E モードに遷移する場合]

FMS2 ビット = 0, FMS1 ビット = 1, FMS0 ビット = 1, RPDIS ビット = 0 に設定します。

ROM モード遷移待ち時間 1 (tDIS、「32. 電気的特性」を参照) 待ちます。

FMS2 ビット = 1, FMS1 ビット = 1, FMS0 ビット = 1, RPDIS ビット = 0 に設定します。

FMS2 ビット = 1, FMS1 ビット = 0, FMS0 ビット = 1, RPDIS ビット = 0 に設定します。

ROM モード遷移待ち時間 2 (tMS、「32. 電気的特性」を参照) 待ちます。

[ROM P/E モードからリードモードに遷移する場合]

FMS2 ビット = 1, FMS1 ビット = 1, FMS0 ビット = 1, RPDIS ビット = 0 に設定します。

ROM モード遷移待ち時間 1 (tDIS、「32. 電気的特性」を参照) 待ちます。

FMS2 ビット = 0, FMS1 ビット = 1, FMS0 ビット = 1, RPDIS ビット = 0 に設定します。

FMS2 ビット = 0, FMS1 ビット = 0, FMS0 ビット = 0, RPDIS ビット = 1 に設定します。

ROM モード遷移待ち時間 2 (tMS、「32. 電気的特性」を参照) 待ちます。

RPDIS ビット (ROM P/E 禁止ビット)

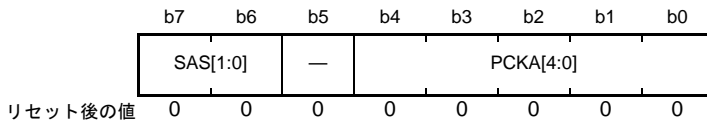
ROM のプログラム/イレーズ実行をソフトウェアによって禁止します。

LVPE ビット (低電圧 P/E モード選択ビット)

高速モード時にプログラム/イレーズを実施する場合は“0”に、中速モード時にプログラム/イレーズを実施する場合は“1”にしてください。

31.3.5 フラッシュ初期設定レジスタ (FISR)

アドレス 007F C0B6h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PCKA[4:0]	周辺クロック通知ビット	FlashIFクロック (FCLK)の周波数を設定するためのビットです	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	SAS[1:0]	スタートアップ領域選択ビット	b7 b6 0 x : エクストラ領域内のスタートアップ領域設定に従う 1 0 : 一時的にスタートアップ領域をデフォルト領域に切り替える 1 1 : 一時的にスタートアップ領域を代替領域に切り替える	R/W

x : Don't care

FISR レジスタは、ROM P/E モード時に書き込みができます。

PCKA[4:0] ビット (周辺クロック通知ビット)

ROM のプログラム / イレーズ時に、FlashIF クロック (FCLK) の周波数を設定するためのビットです。

プログラム / イレーズを行う前に PCKA[4:0] ビットに FCLK の周波数を設定してください。ROM のプログラム / イレーズ中は、FCLK の周波数を変更しないでください。

[FCLK が 4 MHz より高い場合]

小数部がある場合は切り上げて設定してください。

たとえば 31.5 MHz の場合は、32 MHz (PCKA[4:0] ビット = 11111b) に設定してください。

[FCLK が 4 MHz 以下の場合]

小数部のある周波数は使用しないでください。

1 MHz, 2 MHz, 3 MHz または 4 MHz の周波数で使用してください。

注. FCLK と異なる周波数を PCKA[4:0] ビットに設定した場合、ROM のデータが破壊される可能性があります。

表 31.3 FlashIFクロック周波数設定例

FlashIFのクロック周波数 [MHz]	PCKA[4:0] ビット設定値	FlashIFのクロック周波数 [MHz]	PCKA[4:0] ビット設定値	FlashIFのクロック周波数 [MHz]	PCKA[4:0] ビット設定値
32	11111b	31	11110b	30	11101b
29	11100b	28	11011b	27	11010b
26	11001b	25	11000b	24	10111b
23	10110b	22	10101b	21	10100b
20	10011b	19	10010b	18	10001b
17	10000b	16	01111b	15	01110b
14	01101b	13	01100b	12	01011b
11	01010b	10	01001b	9	01000b
8	00111b	7	00110b	6	00101b
5	00100b	4	00011b	3	00010b
2	00001b	1	00000b	—	—

SAS[1:0] ビット (スタートアップ領域選択ビット)

スタートアップ領域を選択します。スタートアップ領域を変更するには、以下の3種類の方法があります。

① エクストラ領域のスタートアップ領域設定に従いスタートアップ領域を選択する場合

SAS[1:0] ビットが“00b”または“01b”の場合、エクストラ領域のスタートアップ領域設定に従ってスタートアップ領域が選択されます。スタートアップ領域情報プログラムコマンドを使用して、スタートアップ領域を変更してください。

② 一時的にスタートアップ領域をデフォルト領域に切り替える場合

SAS[1:0] ビットを“10b”にすると、エクストラ領域のスタートアップ領域設定に関わらず、スタートアップ領域をデフォルト領域に変更できます。

③ 一時的にスタートアップ領域を代替領域に切り替える場合

SAS[1:0] ビットを“11b”にすると、エクストラ領域のスタートアップ領域設定に関わらず、スタートアップ領域を代替領域に変更できます。

31.3.6 フラッシュリセットレジスタ (FRESETR)

アドレス 007F FF89h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	FRESE T
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRESET	フラッシュリセットビット	0: フラッシュ制御回路のリセットを解除する 1: フラッシュ制御回路をリセットする	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FRESET ビット (フラッシュリセットビット)

このビットを“1”にすると、FASR, FSARH, FSARL, FEARH, FEARL, FWBH, FWBL, FCR, FEXCR レジスタがリセットされます。また、FEAMH, FEAML レジスタの値が不定になります。リセット中はこれらのレジスタにアクセスしないでください。リセットを解除するときは、このビットを“0”にしてください。

なお、ソフトウェアコマンド実行中やエクストラ領域書き換え中は、本レジスタへ書き込まないでください。

31.3.7 フラッシュ領域選択レジスタ (FASR)

アドレス 007F FF81h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	EXS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EXS	エクストラ領域選択ビット	0: ユーザ領域 1: エクストラ領域	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FASR レジスタは、ROM P/E モード時に書き込みができます。

FASR レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。

FRESETR.FRESET ビットが“1”の間中は書き込みできません。

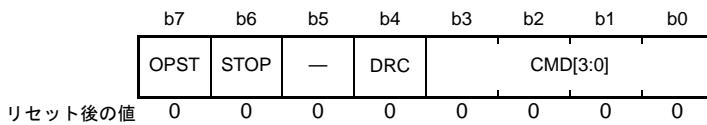
EXS ビット (エクストラ領域選択ビット)

エクストラ領域に対するソフトウェアコマンド(ユニーク ID リード、スタートアップ領域情報プログラム、アクセスウィンドウ情報プログラム)を発行する前に“1”にします。また、ユーザ領域に対するソフトウェアコマンド(プログラム、ブランクチェック、ブロックイレーズ)を発行する前に“0”にします。

ソフトウェアコマンド発行後は、次のソフトウェアコマンドの発行まで値を変更しないでください。

31.3.8 フラッシュ制御レジスタ (FCR)

アドレス 007F FF85h



ビット	シンボル	ビット名	機能	R/W
b3-b0	CMD[3:0]	ソフトウェアコマンド設定ビット	b3 b0 0 0 0 1 : プログラム 0 0 1 1 : ブランクチェック 0 1 0 0 : ブロックイレーズ 0 1 0 1 : ユニークIDリード 上記以外は設定しないでください(注1)	R/W
b4	DRC	データリード完了ビット	0 : データリード開始 1 : データリード完了	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	STOP	強制処理停止ビット	“1”にすると、実行中の処理を強制的に停止させることができません	R/W
b7	OPST	処理開始ビット	0 : 処理停止 1 : 処理開始	R/W

注1. FSTATR1.FRDRYフラグが“1”のとき、FCRレジスタを“00h”にする場合を除きます。

FCR レジスタは、ROM P/E モードでかつ ROM がプログラム/イレーズ可能時に書き込みができます。FCR レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込みできません。ただし、ソフトウェアコマンド実行中は FRESETR.FRESET ビットによる初期化はできません。

CMD[3:0] ビット (ソフトウェアコマンド設定ビット)

ソフトウェアコマンド(プログラム、ブランクチェック、ブロックイレーズ、ユニーク ID リード)を設定します。それぞれのコマンドの機能を以下に示します。

[プログラム]

- FSARH/FSARL レジスタに設定したアドレスに、FWBH/FWBL レジスタに設定した値を書き込みます。

[ブランクチェック]

- FSARH/FSARL レジスタに設定したアドレスから、FEARH/FEARL レジスタに設定したアドレスまでのブランクチェックを行います。書き込みが行われていないことを確認します。消去状態の保持を保証するものではありません。

[ブロックイレーズ]

- フラッシュメモリ内の指定した任意の連続した領域をブロック単位で消去します。消去したいブロックの先頭アドレスと最終アドレスを、それぞれ FSARH/FSARL レジスタと FEARH/FEARL レジスタに設定してください。それ以外の値を設定した場合、消去が正しく行えない場合があります。

[ユニーク ID リード]

- FSARH レジスタに“00h”、FSARL レジスタに“0850h”を、FEARH レジスタに“00h”、FEARL レジスタに“086Fh”を設定しユニーク ID リードを実行すると、FRBH/FRBL レジスタにユニーク ID データが順次格納されます。

DRC ビット (データリード完了ビット)

ユニーク ID リードコマンドとともに用いて、シーケンサの状態を制御します。

このビットを“0”にしてユニーク ID リードコマンドを発行すると、FSARH/FSARL レジスタに設定したアドレスからデータが読み出され、FRBH/FRBL レジスタに格納されます。

FRBH/FRBL レジスタからデータを読み出した後、このビットを“1”にしてユニーク ID リードコマンドを発行すると、シーケンサのリードサイクルが終了し、待機状態になります。

再び、このビットを“0”にしてユニーク ID リードコマンドを発行すると、シーケンサの内部アドレスがインクリメント(+4)され、次のデータが読み出されます。

STOP ビット (強制処理停止ビット)

実行中の処理 (ブランクチェック、ブロックイレーズ) を強制的に停止させるときに使用します。

このビットを“1”にした後は、FSTATR1.FRDY フラグが“1” (処理完了) になるのを待ってから OPST ビットを“0”にしてください。

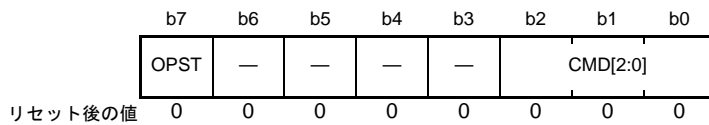
OPST ビット (処理開始ビット)

CMD[2:0] ビットに設定したコマンドを実行するために使用します。

処理が完了しても“0”には戻りません。FSTATR1.FRDY フラグが“1” (処理完了) になったのを確認してから“0”に戻してください。また、その後 FSTATR1.FRDY フラグが“0”になったのを確認してから次の処理を実施してください。

31.3.9 フラッシュエクストラ領域制御レジスタ (FEXCR)

アドレス 007F C0B7h



ビット	シンボル	ビット名	機能	R/W
b2-b0	CMD[2:0]	ソフトウェアコマンド設定ビット	b2 b0 0 0 1 : スタートアップ領域情報プログラム 0 1 0 : アクセスウィンドウ情報プログラム 上記以外は設定しないでください(注1)	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OPST	処理開始ビット	0 : 処理停止 1 : 処理開始	R/W

注1. FSTATR1.EXRDYビットが“1”のとき、FEXCRレジスタを“00h”にする場合を除きます。

FEXCR レジスタは、ROM P/E モードでかつ ROM がプログラム/イレーズ可能時に書き込みができます。

FEXCR レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込みできません。

ただし、ソフトウェアコマンド実行中は FRESETR.FRESET ビットによる初期化はできません。

CMD[2:0] ビット (ソフトウェアコマンド設定ビット)

ソフトウェアコマンド(スタートアップ領域情報プログラム、またはアクセスウィンドウ情報プログラム)を設定します。

各コマンドの詳細を以下に示します。

[スタートアップ領域情報プログラム]

スタートアッププログラム保護機能で使用するスタートアップ領域切り替えに使用します。

- スタートアップ領域をデフォルト領域に設定する場合
FWBH, FWBL レジスタに“FFFFh”を設定してこのコマンドを実行します。
- スタートアップ領域を代替領域に設定する場合
FWBH レジスタに“FFFFh”を、FWBL レジスタに“FEFFh”を設定してこのコマンドを実行します。

なお、FWBH, FWBL レジスタに上記以外の設定をした場合、スタートアップ領域情報プログラムを実行しないでください。

[アクセスウィンドウ情報プログラム]

エリアプロテクションで使用するアクセスウィンドウを設定するために使用します。

アクセスウィンドウはブロック単位で設定します。

FWBL レジスタにアクセスウィンドウの先頭アドレス(アクセスウィンドウ開始アドレス)を、FWBH レジスタにアクセスウィンドウの最終アドレスの次のアドレス(アクセスウィンドウ終了アドレス)を指定してこのコマンドを発行します。各レジスタにはプログラム/イレーズ用アドレスの b19-b10 を設定してください。

なお、開始アドレスと終了アドレスに同じ値を指定した場合、全領域がアクセス可能になります。また、開始アドレスに終了アドレスより大きい値を指定しないでください。

OPST ビット (処理開始ビット)

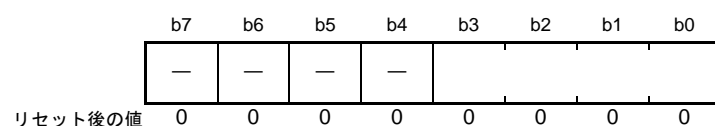
CMD[2:0] ビットに設定したコマンドを実行するために使用します。

処理が完了しても“0”には戻りません。FSTATR1.EXRDY フラグが“1”(処理完了)になったのを確認してから“0”に戻してください。また、その後 FSTATR1.EXRDY フラグが“0”になったのを確認してから次の処理を実施してください。

OPST ビットに“1”を書き込むことで、エクストラ領域への書き込みが開始されます。ソフトウェアコマンド実行中は、CMD[2:0] ビットへの書き込みは禁止です。

31.3.10 フラッシュ処理開始アドレスレジスタ H (FSARH)

アドレス 007F FF84h



ソフトウェアコマンド実行時のフラッシュメモリの処理対象アドレス、または、フラッシュメモリの処理対象範囲の先頭アドレスを設定するためのレジスタです。

このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b19-b16 を設定します。

このレジスタは、ROM P/E モード時に書き込みができます。

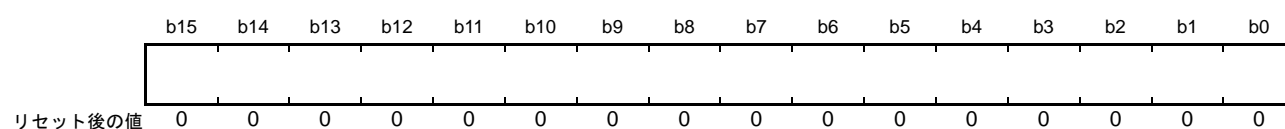
このレジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込みできません。

また、FEXCR レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。

フラッシュメモリのアドレスは、図 31.1 を参照してください。

31.3.11 フラッシュ処理開始アドレスレジスタ L (FSARL)

アドレス 007F FF82h



ソフトウェアコマンド実行時のフラッシュメモリの処理対象アドレス、または、フラッシュメモリの処理対象範囲の先頭アドレスを設定するためのレジスタです。

このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b15-b0 を設定します。

なお、ROM 領域を設定する場合、b1-b0 には“00b”を設定してください。

このレジスタは、ROM P/E モード時に書き込みができます。

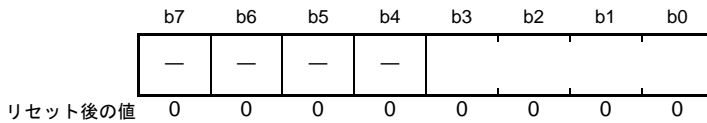
このレジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込みできません。

また、FEXCR レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。

フラッシュメモリのアドレスは、図 31.1 を参照してください。

31.3.12 フラッシュ処理終了アドレスレジスタ H (FEARH)

アドレス 007F FF88h



ソフトウェアコマンド実行時のフラッシュメモリの処理対象範囲の最終アドレスを設定するためのレジスタです。

このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b19-b16 を設定します。

このレジスタは、ROM P/E モード時に書き込みができます。

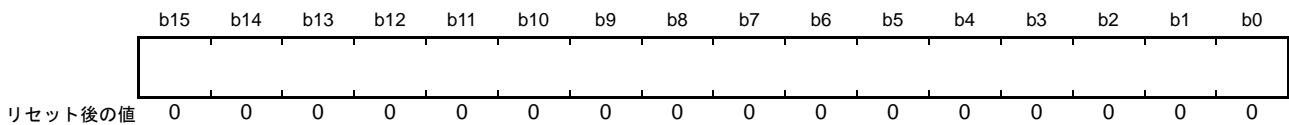
このレジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込みできません。

また、FEXCR レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。

フラッシュメモリのアドレスは、図 31.1 を参照してください。

31.3.13 フラッシュ処理終了アドレスレジスタ L (FEARL)

アドレス 007F FF86h



ソフトウェアコマンド実行時のフラッシュメモリの処理対象範囲の最終アドレスを設定するためのレジスタです。

このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b15-b0 を設定します。

なお、ROM 領域を設定する場合、b1-b0 には“00b”を設定してください。

このレジスタは、ROM P/E モード時に書き込みができます。

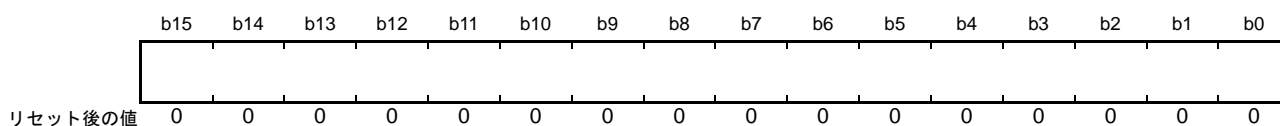
このレジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込みできません。

また、FEXCR レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。

フラッシュメモリのアドレスは、図 31.1 を参照してください。

31.3.14 フラッシュリードバッファレジスタ H (FRBH)

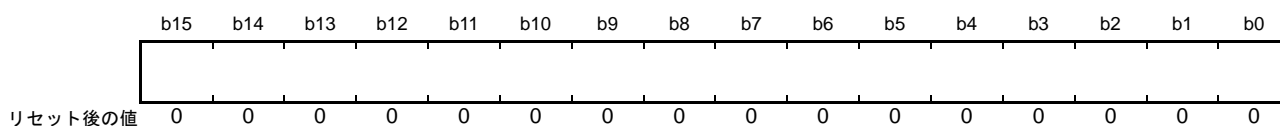
アドレス 007F C0C4h



ユニーク ID リードを実行したときに、エクストラ領域から 4 バイト単位で読み出されたユニーク ID の上位 2 バイトが格納されるレジスタです。

31.3.15 フラッシュリードバッファレジスタ L (FRBL)

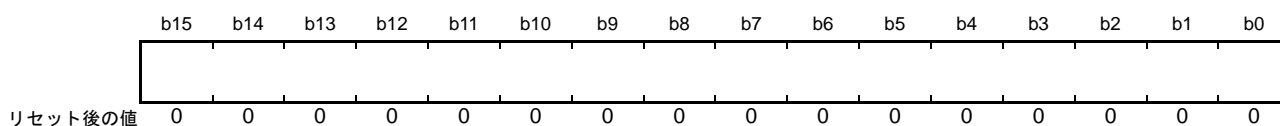
アドレス 007F C0C2h



ユニーク ID リードを実行したときに、エクストラ領域から 4 バイト単位で読み出されたユニーク ID の下位 2 バイトが格納されるレジスタです。

31.3.16 フラッシュライトバッファレジスタ H (FWBH)

アドレス 007F FF8Eh



ROM に書き込むデータの上位 16 ビットを設定するレジスタです。

このレジスタは、ROM P/E モード時に書き込みができます。

このレジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。

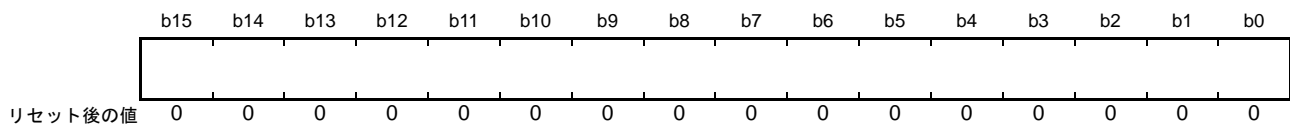
FRESETR.FRESET ビットが“1”の間中は書き込みできません。

ソフトウェアコマンド実行中は、このレジスタのリード値は不定になります。

また、FEXCR レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。

31.3.17 フラッシュライトバッファレジスタ L (FWBL)

アドレス 007F FF8Ch



ROM に書き込むデータの下位 16 ビットを設定するレジスタです。

このレジスタは、ROM P/E モード時に書き込みができます。

このレジスタは、リセットもしくは **FRESETR.FRESET** ビットを“1”にすることによって初期化されます。

FRESETR.FRESET ビットが“1”の間中は書き込みできません。

また、**FEXCR** レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。

31.3.18 フラッシュステータスレジスタ 0 (FSTATR0)

アドレス 007F FF8Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	EILGLER RR	ILGLER R	BCERR	—	PRGER R	ERERR
リセット後の値	x	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ERERR	イレーズエラーフラグ	0: イレーズは正常終了 1: イレーズ中にエラー発生	R
b1	PRGERR	プログラムエラーフラグ	0: プログラムは正常終了 1: プログラム中にエラー発生	R
b2	—	予約ビット	読んだ場合、その値は不定	R
b3	BCERR	ブランクチェックエラーフラグ	0: ブランクチェックは正常終了 1: ブランクチェック中にエラー発生	R
b4	ILGLERR	イリーガルコマンドエラーフラグ	0: 不正なソフトウェアコマンドや、不正なアクセスを検出して いない 1: 不正なソフトウェアコマンドや、不正なアクセスを検出	R
b5	EILGLERR	エクストラ領域イリーガルコマ ンドエラーフラグ	0: エクストラ領域に対し、不正なコマンドや、不正なアクセ スを検出していない 1: エクストラ領域に対し、不正なコマンドや、不正なアクセ スを検出	R
b7-b6	—	予約ビット	読んだ場合、その値は不定	R

ソフトウェアコマンドの実行結果を確認するためのステータスレジスタです。各エラーフラグは、次のソフトウェアコマンドを実行すると“0”になります。

ERERR フラグ (イレーズエラーフラグ)

ROM に対するイレーズ処理の結果を示すフラグです。

["1" になる条件]

- イレーズ中にエラーが発生した

["0" になる条件]

- 次のソフトウェアコマンドを実行した
イレーズ中に FCR.STOP ビットを“1” (強制処理停止) にするとフラグの値は不定になります。

PRGERR フラグ (プログラムエラーフラグ)

ROM に対するプログラム処理の結果を示すフラグです。

["1" になる条件]

- プログラム中にエラーが発生した

["0" になる条件]

- 次のソフトウェアコマンドを実行した

BCERR フラグ (ブランクチェックエラーフラグ)

ROM に対するブランクチェック処理の結果を示すフラグです。

["1" になる条件]

- ブランクチェック中にエラーが発生した

["0" になる条件]

- 次のソフトウェアコマンドを実行した
ブランクチェック中に FCR.STOP ビットを "1" (強制処理停止) にするとフラグの値は不定になります。

ILGLERR フラグ (イリーガルコマンドエラーフラグ)

ソフトウェアコマンドの実行結果を示すフラグです。

["1" になる条件]

- アクセスウィンドウの範囲外の領域に対して、プログラム/イレーズを実行した
- FSARH/FSARL レジスタの設定値が FEARH/FEARL レジスタの設定値より大きいときに、ブランクチェック、ブロックイレーズのいずれかのコマンドを実行した
- FASR.EXS ビットが "1" のときに、プログラムコマンド、ブロックイレーズコマンドを実行した

["0" になる条件]

- 次のソフトウェアコマンドを実行した

EILGLERR フラグ (エクストラ領域イリーガルコマンドエラーフラグ)

エクストラ領域に対するソフトウェアコマンドの実行結果を示すフラグです。

["1" になる条件]

- FASR.EXS ビットが "0" のときに、エクストラ領域に対するソフトウェアコマンドを実行した

["0" になる条件]

- 次のソフトウェアコマンドを実行した

31.3.19 フラッシュステータスレジスタ 1 (FSTATR1)

アドレス 007F FF8Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	EXRDY	FRDY	—	—	—	—	DRRDY	—
リセット後の値	0	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます	R
b1	DRRDY	データリードレディフラグ	0 : FRBH, FRBL レジスタに有効なデータなし 1 : FRBH, FRBL レジスタに有効なデータあり	R
b2	—	予約ビット	読むと“1”が読めます	R
b5-b3	—	予約ビット	読むと“0”が読めます	R
b6	FRDY	フラッシュレディフラグ	0 : 下記以外 1 : FCR レジスタに“00h”を書き込むこと(ソフトウェアコマンド終了処理)が可能	R
b7	EXRDY	エクストラ領域レディフラグ	0 : 下記以外 1 : FEXCR レジスタに“00h”を書き込むこと(ソフトウェアコマンド終了処理)が可能	R

ソフトウェアコマンドの実行結果を確認するためのステータスレジスタです。各フラグは、次のソフトウェアコマンドを実行すると“0”になります。

DRRDY フラグ (データリードレディフラグ)

FRBH、FRBL レジスタへのリードデータの格納状態を確認するためのフラグです。

シーケンサがフラッシュメモリから読み出したデータを FRBH、FRBL レジスタに格納すると、DRRDY フラグが“1”になります。FCR.DRC ビットを“1”にしてユニーク ID コマンドを発行すると、シーケンサのリードサイクルが終了し、DRRDY フラグが“0”になります。

なお、FEARH/FEARL レジスタに設定したアドレスのデータを読み出した後は、FCR.DRC ビットを“0”にしてユニーク ID コマンドを発行しても DRRDY フラグは“1”にならず、FRDY フラグが“1”になります。

FRDY フラグ (フラッシュレディフラグ)

ソフトウェアコマンドの実行状態を確認するためのフラグです。

実行したソフトウェアコマンドの処理が完了するか、または強制停止処理が完了すると“1”になり、FCR.OPST ビットを“0”にすると、“0”になります。

また、FRDY フラグが“1”になると割り込み (FRDYI) が発生します。

EXRDY フラグ (エクストラ領域用レディフラグ)

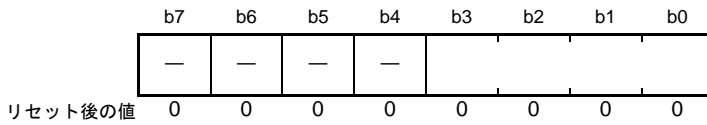
エクストラ領域に対するソフトウェアコマンドの実行状態を確認するためのフラグです。

実行したソフトウェアコマンドの処理が完了すると“1”になり、FEXCR.OPST ビットを“0”にすると、“0”になります。

また、EXRDY フラグが“1”になると割り込み (FRDYI) が発生します。

31.3.20 フラッシュエラーアドレスモニタレジスタ H (FEAMH)

アドレス 007F C0BAh



ソフトウェアコマンドの処理中にエラーが発生した場合、フラッシュメモリのエラー発生アドレスを確認するためのレジスタです。エラーが発生したアドレスの b19-b16 (プログラムコマンド、ブランクチェックコマンド)、または、エラーが発生した領域の先頭アドレスの b19-b16 (ブロックイレーズコマンド) が格納されます。

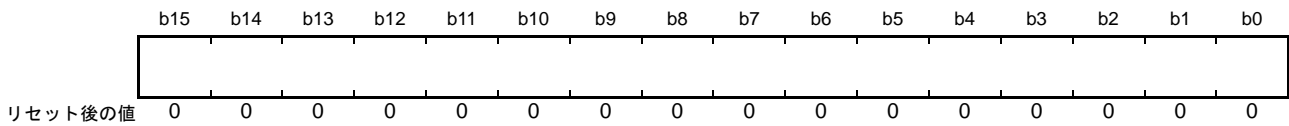
なお、FRESETR.FRESET ビットを“1”にすると不定になりますので、エラー処理を行う際はリセット前に値を読み出しておいてください。

ソフトウェアコマンドが正常に終了した場合は、コマンド実行時の最終アドレスの b19-b16 が格納されません。

フラッシュメモリのアドレスは、図 31.1 を参照してください。

31.3.21 フラッシュエラーアドレスモニタレジスタ L (FEAML)

アドレス 007F C0B8h



ソフトウェアコマンドの処理中にエラーが発生した場合、フラッシュメモリのエラー発生アドレスを確認するためのレジスタです。エラーが発生したアドレスの b15-b0 (プログラムコマンド、ブランクチェックコマンド)、または、エラーが発生した領域の先頭アドレスの b15-b0 (ブロックイレーズコマンド) が格納されます。

なお、FRESETR.FRESET ビットを“1”にすると不定になりますので、エラー処理を行う際はリセット前に値を読み出しておいてください。

ソフトウェアコマンドが正常に終了した場合は、コマンド実行時の最終アドレスの b15-b0 が格納されません。

なお、ROM に対するソフトウェアコマンドを実行した場合、およびユニーク ID リードコマンドを実行した場合、下位 2 ビットは“00b”になります。

フラッシュメモリのアドレスは、図 31.1 を参照してください。

31.3.22 フラッシュスタートアップ設定モニタレジスタ (FSCMR)

アドレス 007F C0B0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SASMF	—	—	—	—	—	—	—	—
リセット後の値	0	1	1	1	1	1	1	ユーザ の設定 値 (注1)	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます	R
b8	SASMF	スタートアップ領域設定モニタフラグ	0: 代替領域から起動する設定になっています 1: デフォルト領域から起動する設定になっています	R
b14-b9	—	予約ビット	読むと“1”が読めます。書き込みは無効になります	R
b15	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注1. ブランク品は“1”です。スタートアップ領域情報プログラムコマンドを実行した後は、FWBLレジスタのb8に設定した値と同じ値になります。

SASMF フラグ (スタートアップ領域制御モニタフラグ)

スタートアップ領域の設定内容を確認するためのフラグです。

“0”の場合、ユーザプログラムは代替領域から起動する設定になっています。

“1”の場合、ユーザプログラムはデフォルト領域から起動する設定になっています。

31.3.23 フラッシュアクセスウィンドウ開始アドレスモニタレジスタ (FAWSMR)

アドレス 007F C0B2h

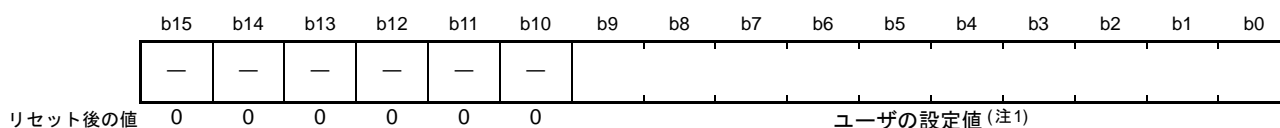
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—										
リセット後の値	0	0	0	0	0	0	ユーザの設定値 (注1)									

注1. ブランク品は“1”です。アクセスウィンドウ情報プログラムコマンドを実行した後は、FWBLレジスタのb9-b0に設定した値と同じ値になります。

エリアプロテクションに使用するアクセスウィンドウの開始アドレス設定値を確認するためのレジスタです。

31.3.24 フラッシュアクセスウィンドウ終了アドレスモニタレジスタ (FAWEMR)

アドレス 007F C0B4h



注1. ブランク品は“1”です。アクセスウィンドウ情報プログラムコマンドを実行した後は、FWBHレジスタのb9-b0に設定した値と同じ値になります。

エリアプロテクションに使用するアクセスウィンドウの終了アドレス設定値を確認するためのレジスタです。

31.3.25 ユニーク ID レジスタ n (UIDRn) (n = 0 ~ 31)

アドレス 0850h~086Fh (エクストラ領域)



UIDRn レジスタは、MCU の個体を識別するために用意された 32 バイト長の ID コード (ユニーク ID) を格納しているレジスタです。

ユニーク ID はフラッシュメモリのエクストラ領域に格納されており、ユーザが書き換えることはできません。値を読み出す場合は、フラッシュメモリのユニーク ID リードコマンドを使用してください。

31.4 スタートアッププログラム保護機能

セルフプログラミングでスタートアッププログラム(注1)の書き換えを行うとき、電源の瞬断などで書き換えが中断すると、スタートアッププログラムが正しく書き込まれず、ユーザプログラムを正しく起動できなくなる可能性があります。

この機能を使用することで、スタートアッププログラムを消去せずに書き換えることができようになり、上記のような問題が回避できます。なお、この機能はROM容量が32Kバイト以上の製品で有効です。

図31.2にスタートアッププログラム保護機能の概念を示します。ここでは説明のため、ブロック0～15をデフォルト領域、ブロック16～31を代替領域と呼びます。

注1. ユーザプログラムを起動するための処理を行うプログラム。固定ベクタテーブルも含まれる。

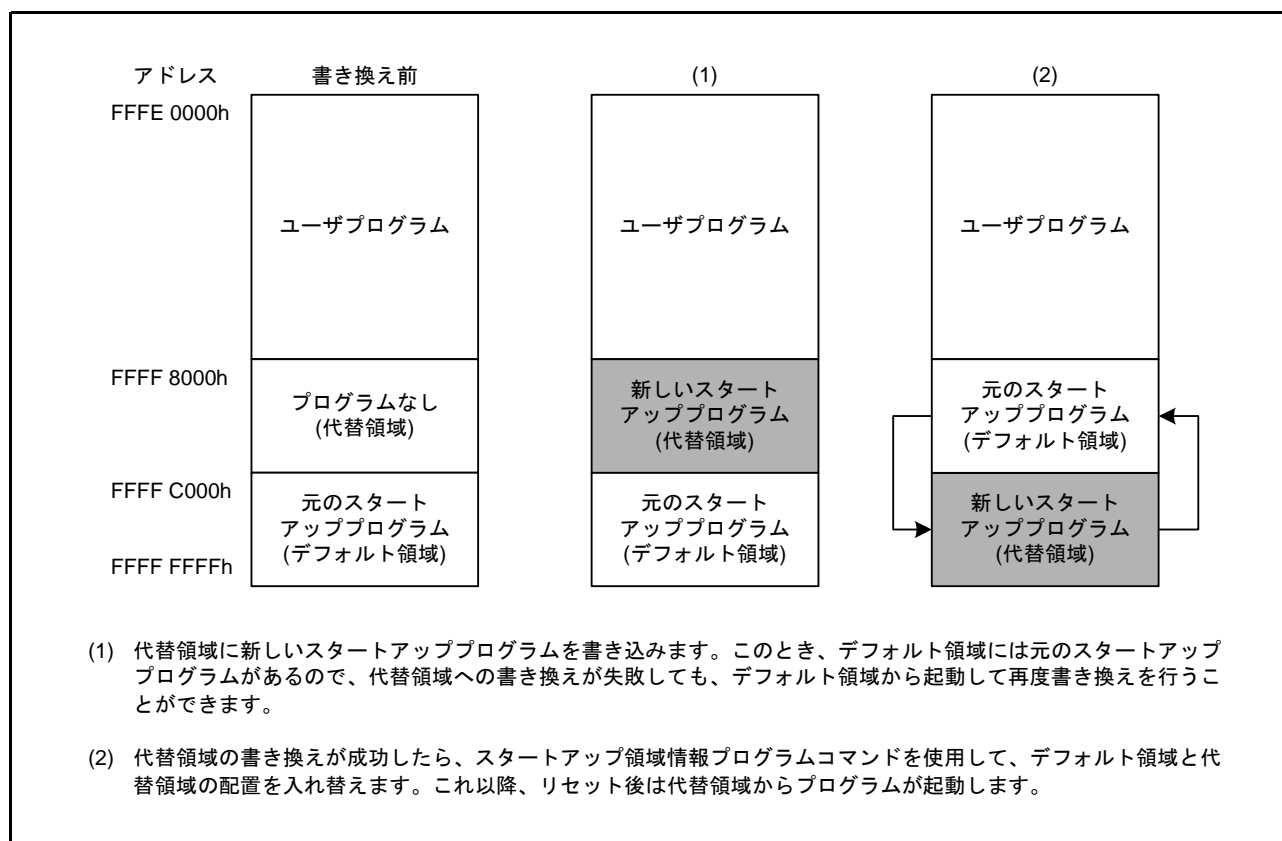


図31.2 スタートアッププログラム保護機能の概念

31.5 エリアプロテクション

セルフプログラミング時に、ユーザ領域の指定された範囲(アクセスウィンドウ)のみ書き換えを許可し、それ以外は書き換えを禁止する機能です。

アクセスウィンドウの範囲設定は、開始アドレスと終了アドレスを指定して行います。アクセスウィンドウの範囲は、ブートモードおよびセルフプログラミングのいずれでも設定できますが、エリアプロテクションが有効になるのはシングルチップモードでセルフプログラミングを行うときだけです。

図 31.3 にエリアプロテクションの概念を示します。

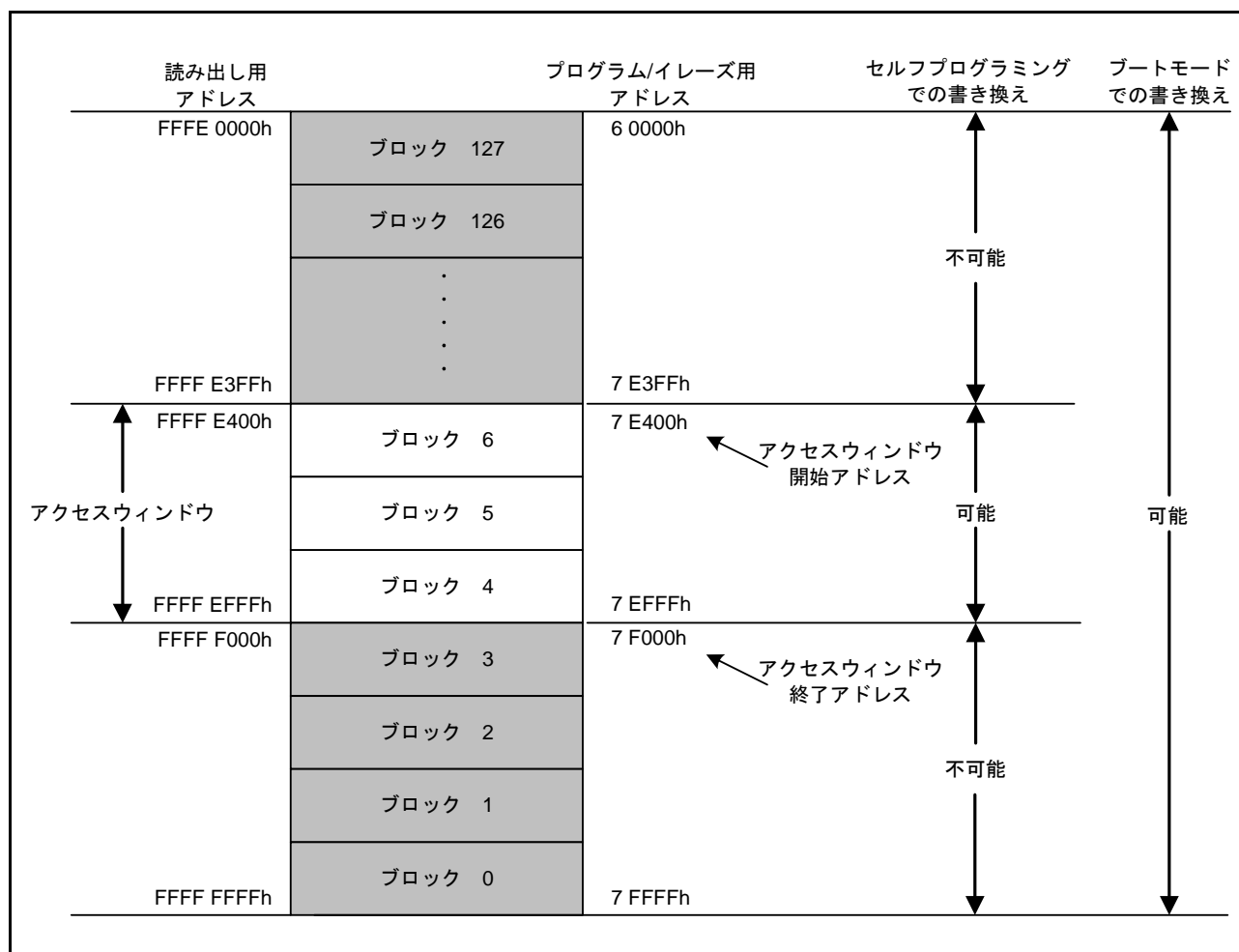


図 31.3 エリアプロテクションの概念 (ROM 容量が 128K バイトの製品で、ブロック 4 からブロック 6 をアクセスウィンドウに設定した場合)

31.6 プログラム/イレーズ

ROM へのプログラム/イレーズは、プログラム/イレーズ用の専用シーケンサのモードへ移行して、プログラム/イレーズ用のコマンドを発行することで行います。

ROM へのプログラム/イレーズに必要なモード移行とコマンドについて以下に説明します。これらはブートモード/シングルチップモードで共通です

31.6.1 シーケンサのモード

シーケンサには、2 種類のモードがあります。モードの移行は、FENTRYR レジスタへの書き込み、および FPMCR レジスタの設定で行います。図 31.4 にフラッシュメモリのモード遷移図を示します。

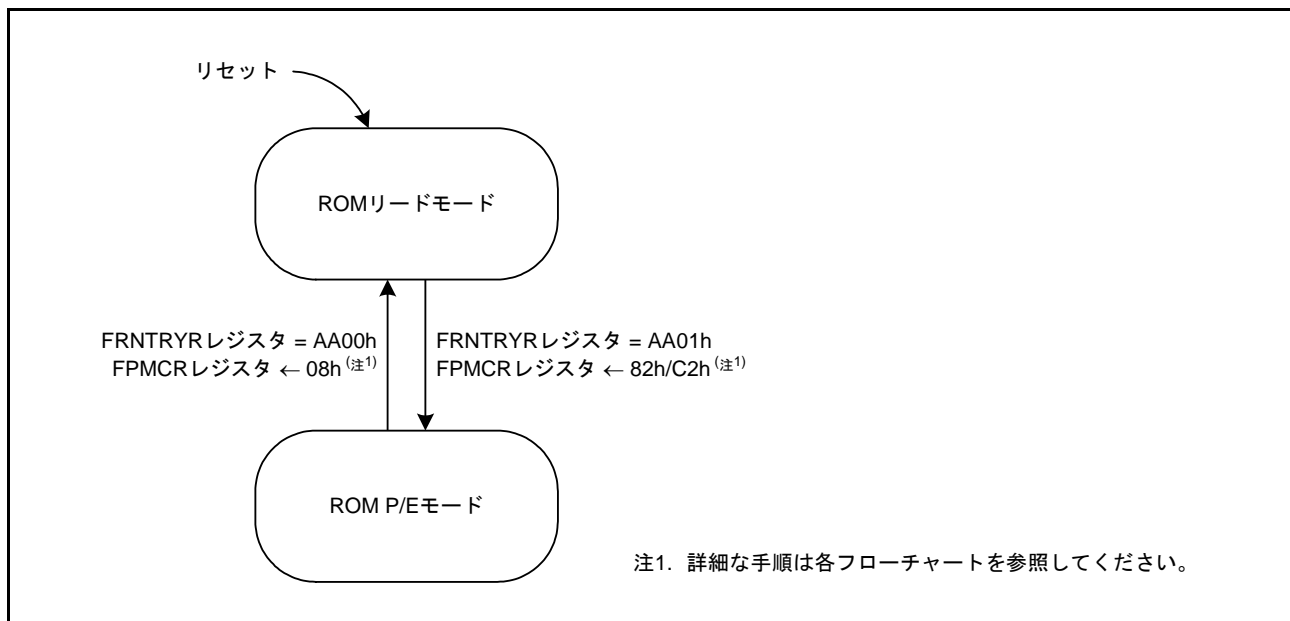


図 31.4 フラッシュメモリのモード遷移図

31.6.1.1 リードモード

リードモードは、ROM の高速読み出しを行うためのモードです。読み出し用アドレスに対してリードアクセスを実行した場合、1CLK クロックの高速読み出しが可能です。

(1) ROM リードモード

ROM がリードモードになっているモードを、ROM リードモードと言います。P/E モードからは、FPMCR レジスタを“08h”、FENTRYR.FENTRY0 ビットを“0”にした場合にこのモードに遷移します。

31.6.1.2 P/E モード

P/E モードは、ROM のプログラム/イレーズを行うモードです。

(1) ROM P/E モード

ROM が P/E モードになっているモードを、ROM P/E モードと言います。FENTRYR.FENTRY0 ビットを“1”、FPMCR レジスタを“82h”または“C2h”にした場合にこのモードに遷移します。

31.6.2 モード遷移

31.6.2.1 リードモードから P/E モードへの遷移

ROM 関連のソフトウェアコマンドを実行するためには、ROM P/E モードに遷移させる必要があります。

図 31.5 に ROM リードモードから ROM P/E モードへの遷移フローを示します。

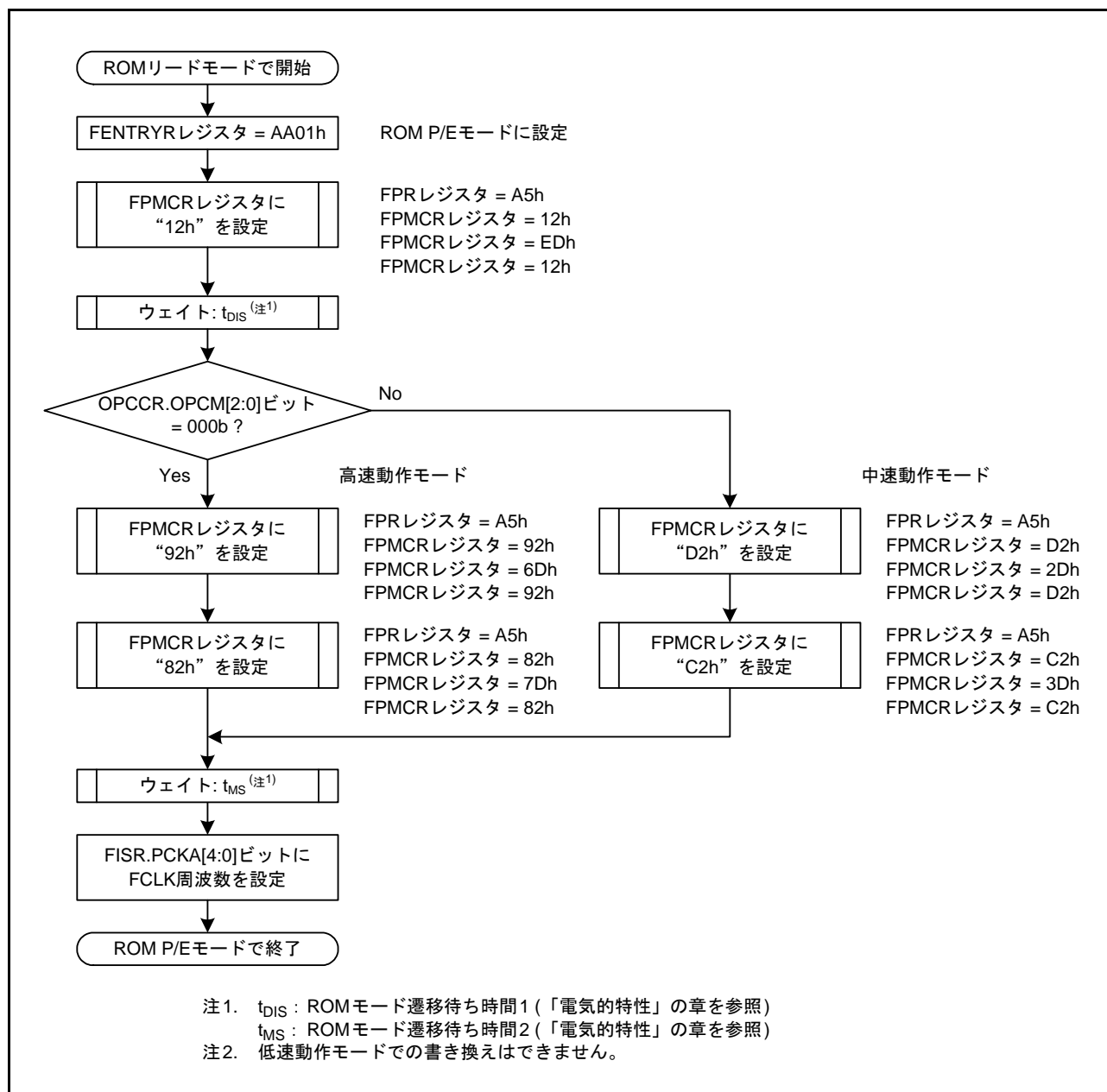


図 31.5 ROM リードモードから ROM P/E モードへの遷移フロー

31.6.2.2 P/E モードからリードモードへの遷移

ROM の高速読み出しを行うためには、ROM リードモードに遷移させる必要があります。

図 31.6 に ROM P/E モードから ROM リードモードへの遷移フローを示します。

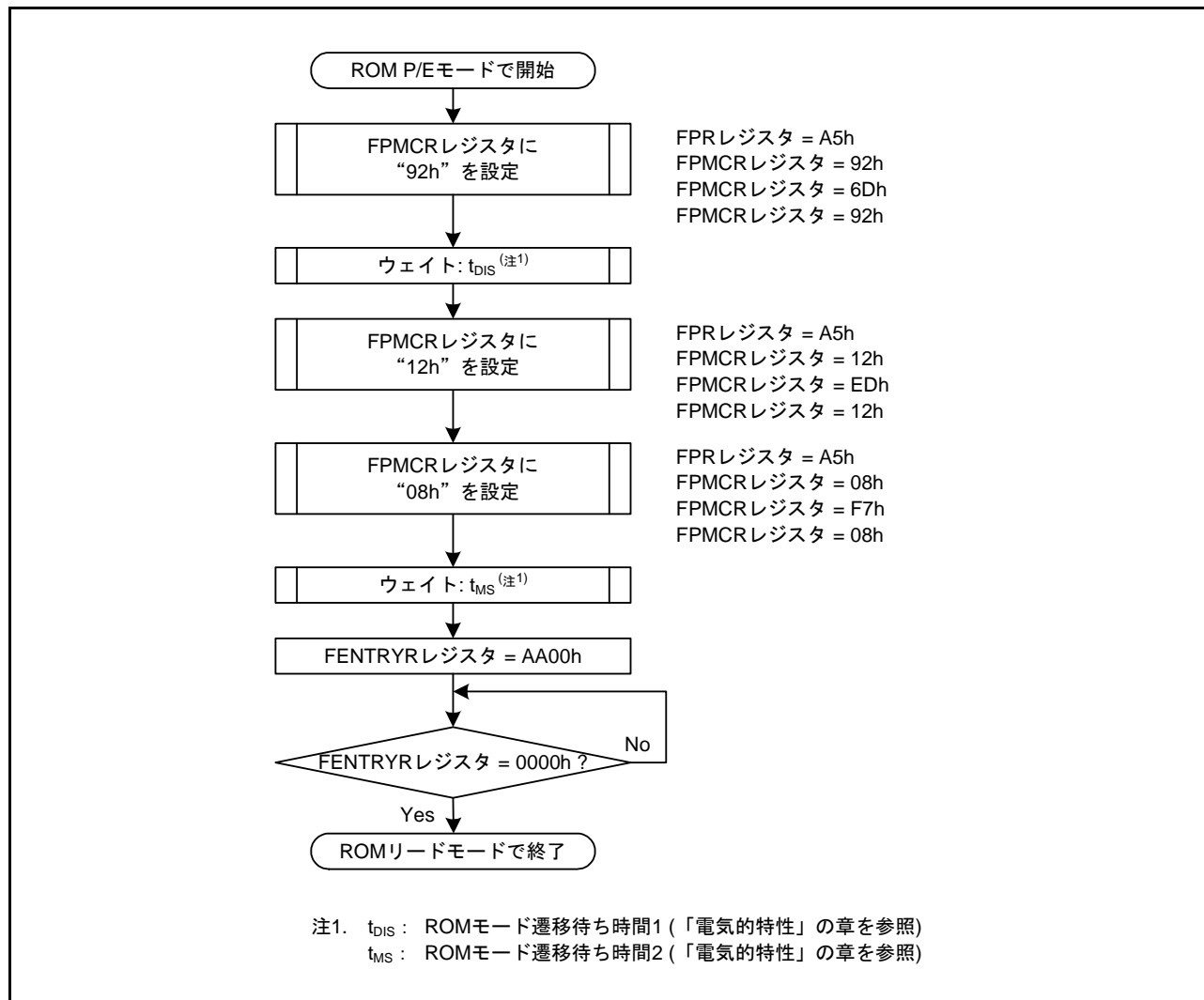


図 31.6 ROM P/E モードから ROM リードモードへの遷移フロー

31.6.3 ソフトウェアコマンド一覧

ソフトウェアコマンドには、プログラム/イレーズを行うためのコマンドや、スタートアッププログラム領域情報のプログラムを行うコマンド、アクセスウィンドウ情報プログラムを行うコマンドなどがあります。表 31.4 にフラッシュメモリで使用可能なソフトウェアコマンドの一覧を示します。

表31.4 ソフトウェアコマンド一覧

コマンド	機能
プログラム	ROMへの書き込み(4バイト)
ブロックイレーズ	ROMの消去
ブランクチェック	指定した領域内のブランクチェックを行います 書き込みが行われていないことを確認します。消去状態の保持を保証するものではありません
スタートアップ領域情報プログラム	スタートアッププログラム保護機能で使用するスタートアップ領域切り替え情報を書き換えます
アクセスウィンドウ情報プログラム	エリアプロテクションで使用するアクセスウィンドウを設定します
ユニークIDリード	エクストラ領域にあるユニークIDのリードを行います

31.6.4 ソフトウェアコマンド使用方法

ここでは各ソフトウェアコマンドの使用方法について、フローチャートを用いて説明します。

31.6.4.1 プログラム

図 31.7 にプログラムコマンドの発行フローを示します。

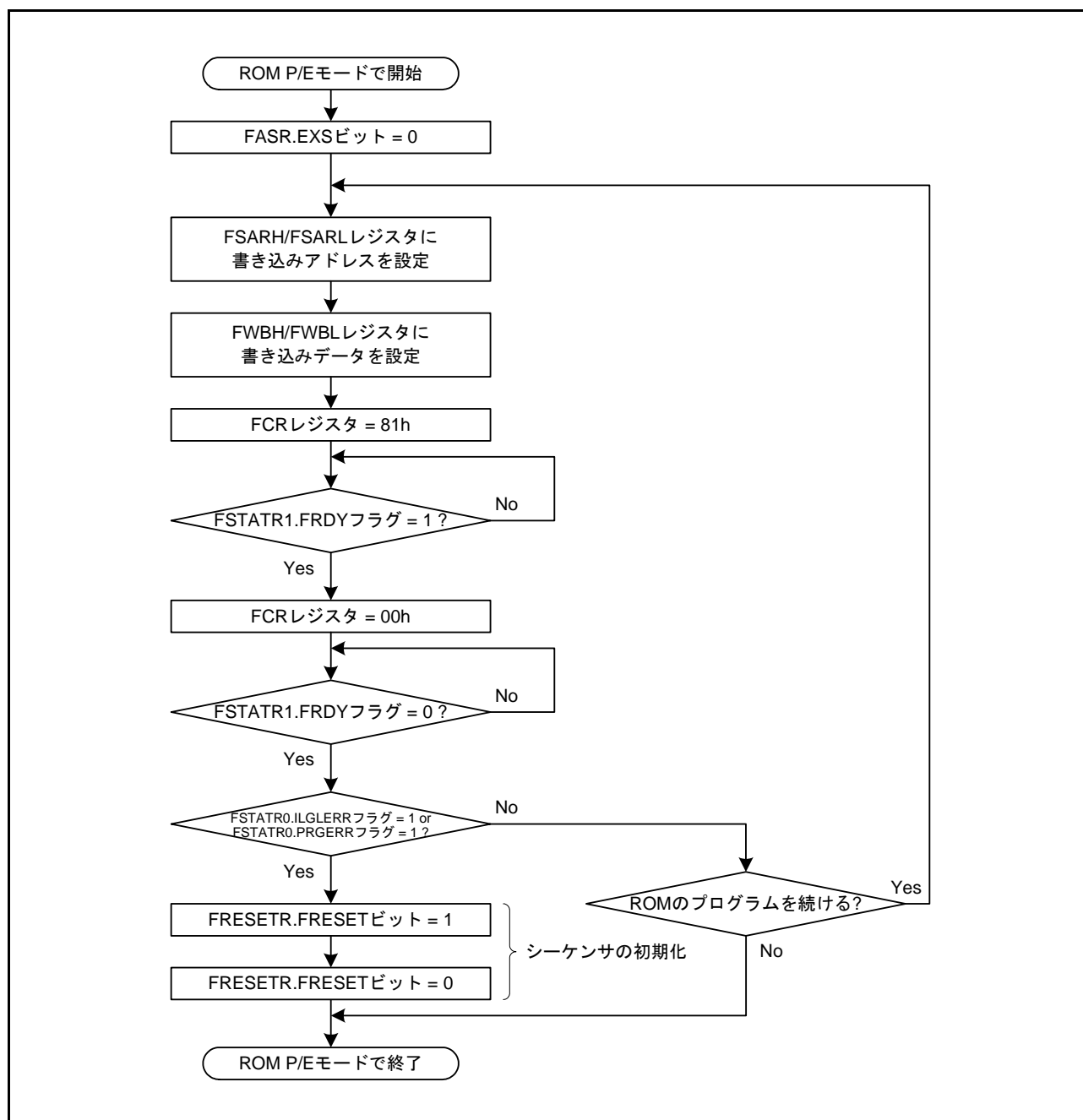


図 31.7 プログラムコマンドの発行フロー

31.6.4.2 ブロックイレーズ

図 31.8 にブロックイレーズコマンドの発行フローを示します。

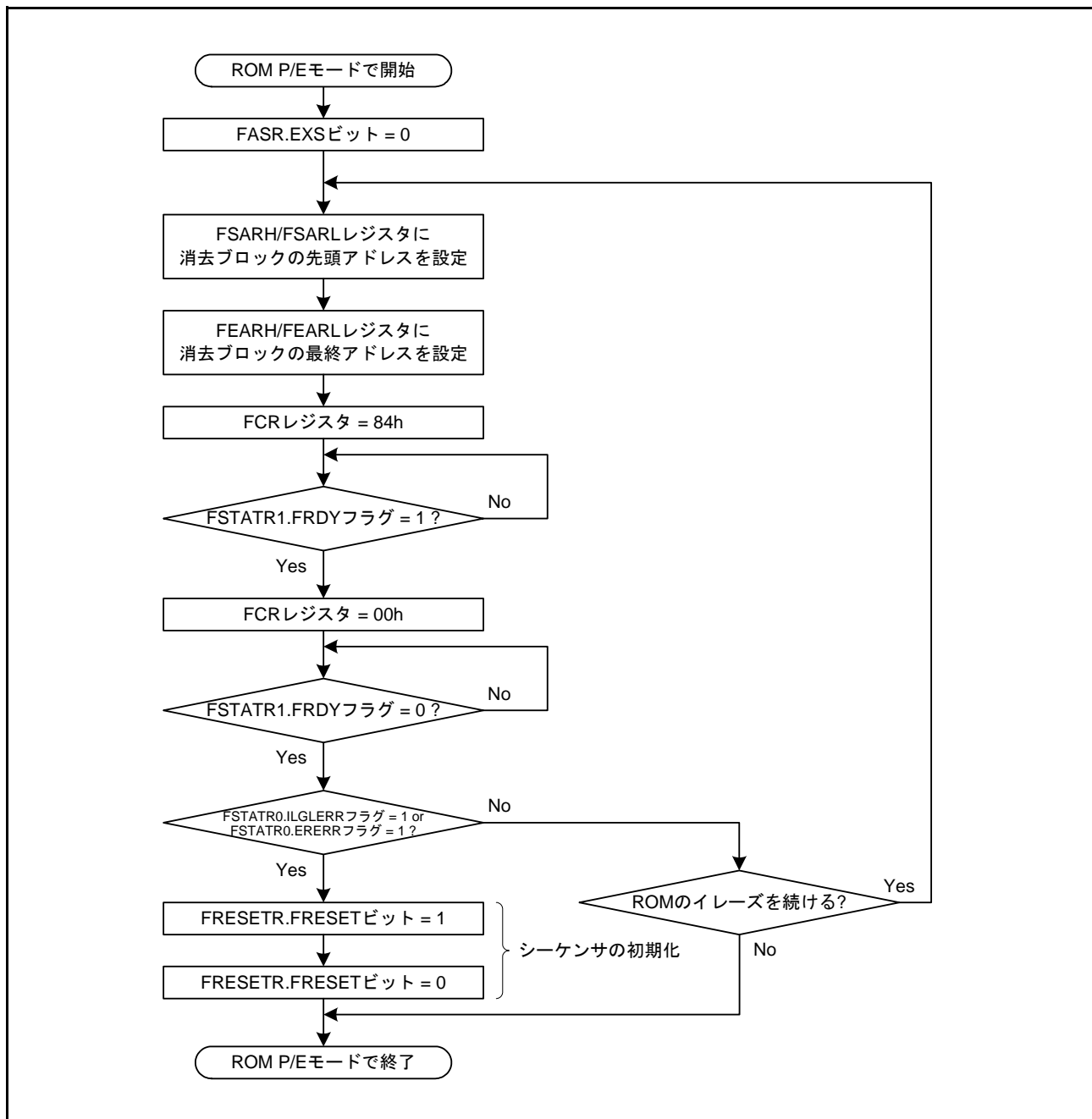


図 31.8 ブロックイレーズコマンドの発行フロー

31.6.4.3 ブランクチェック

図 31.9 にブランクチェックコマンドの発行フローを示します。

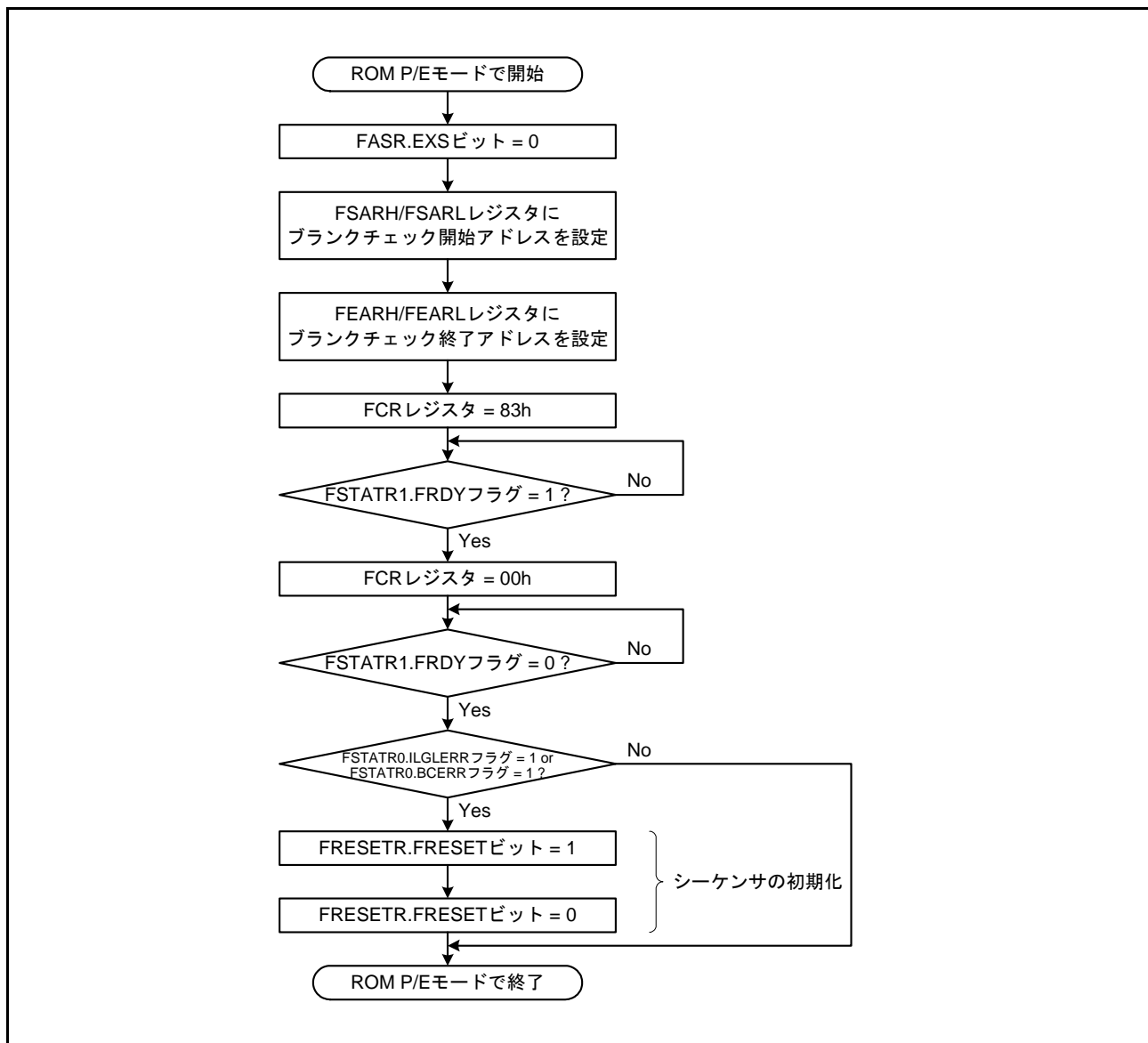


図 31.9 ブランクチェックコマンドの発行フロー

31.6.4.4 スタートアップ領域情報プログラム/アクセスウィンドウ情報プログラム

図 31.10 にスタートアップ領域情報プログラムコマンド/アクセスウィンドウ情報プログラムコマンドの発行フローを示します。

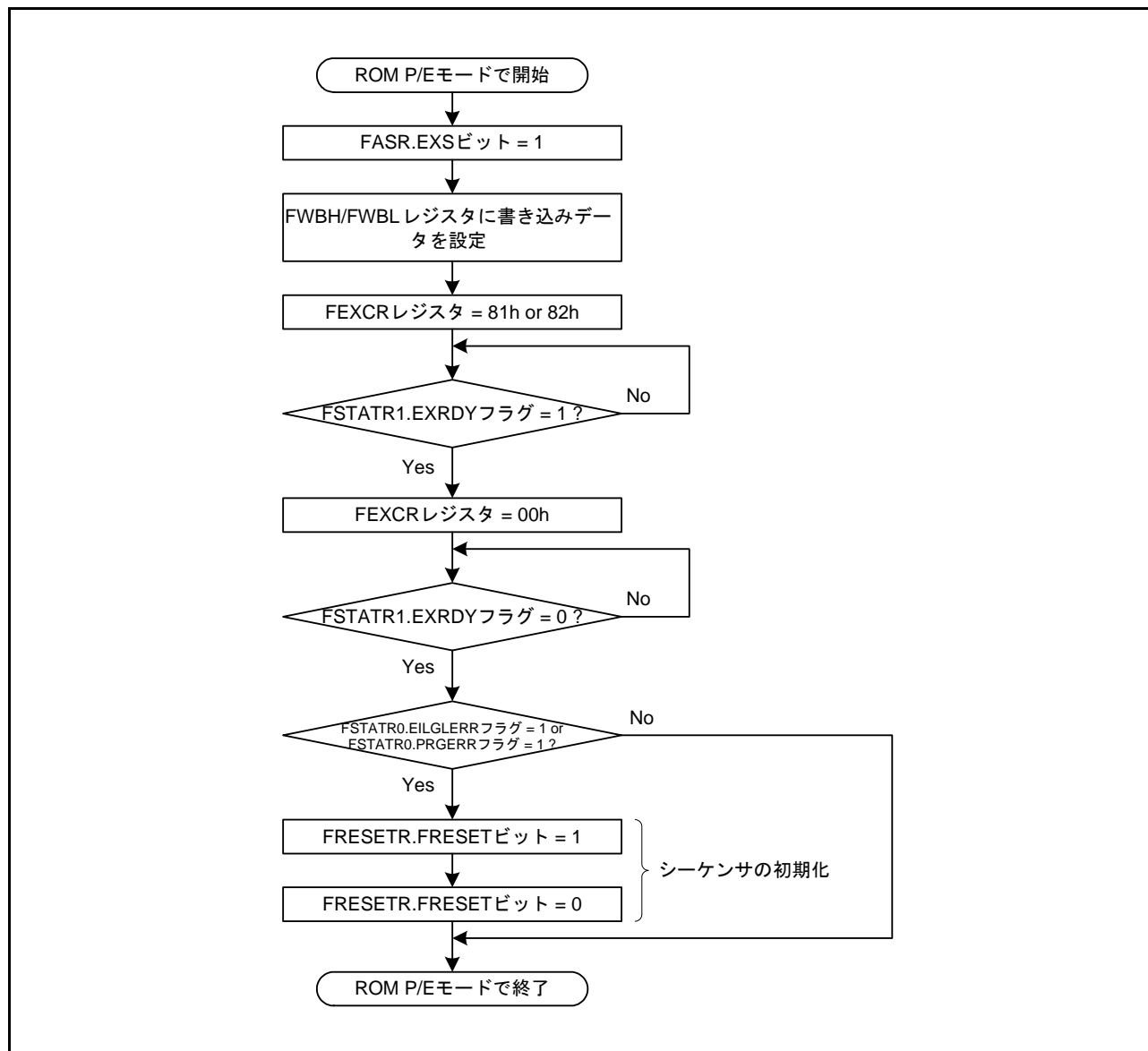


図 31.10 スタートアップ領域情報プログラムコマンド/アクセスウィンドウ情報プログラムコマンドの発行フロー

31.6.4.5 ユニーク ID リード

図 31.11 にユニーク ID リードコマンドの発行フローを示します。

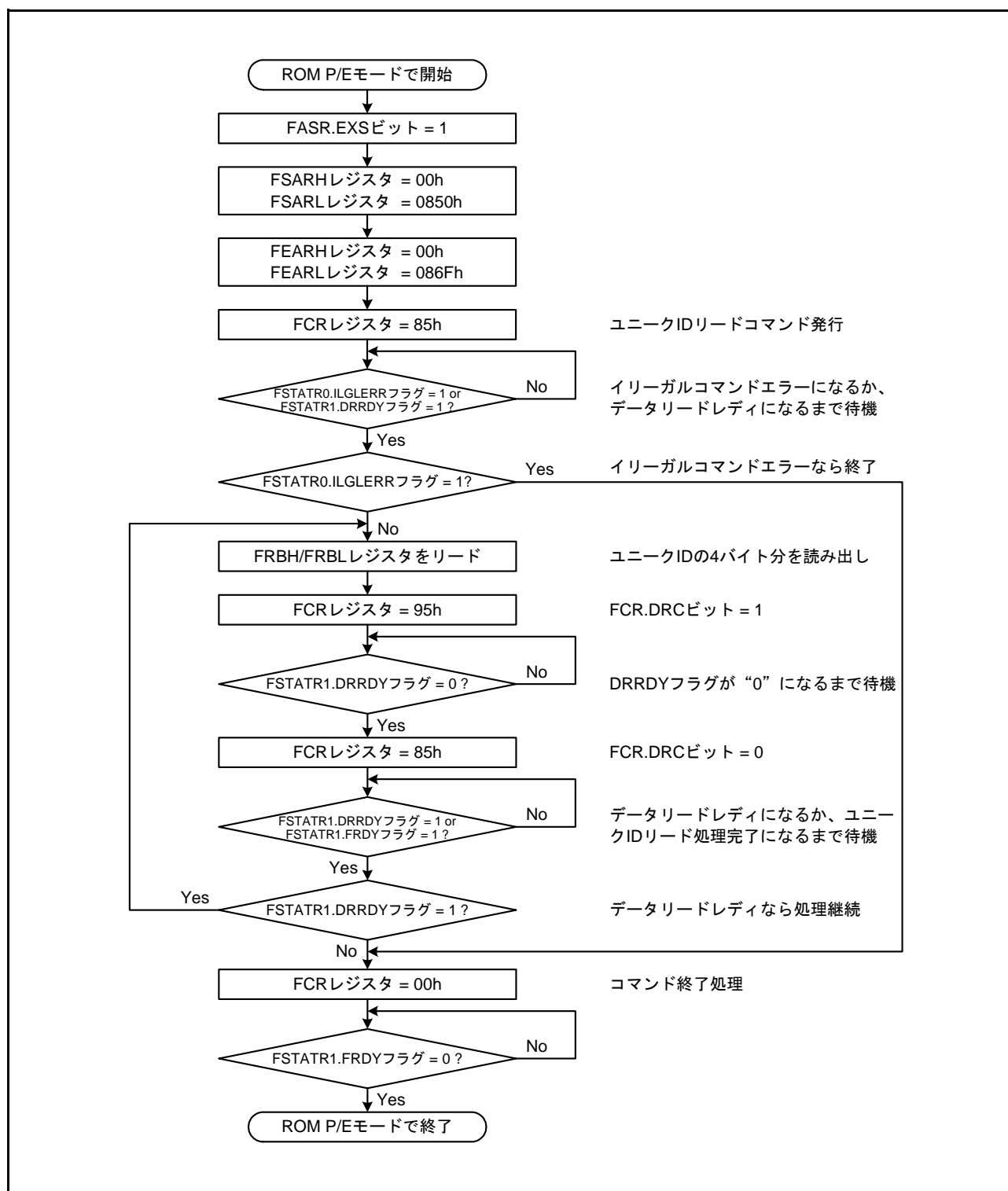


図 31.11 ユニーク ID リードコマンドの発行フロー

31.6.4.6 ソフトウェアコマンドの強制停止

ブランクチェックコマンド、ブロックイレーズコマンドを強制的に停止させるには、図 31.12 に従って実施してください。

強制停止を実行すると、FEAMH/FEAML レジスタに中断した時点のアドレスが格納されます。ブランクチェックの場合は、FEAMH/FEAML レジスタの値を FSARH/FSARL レジスタにコピーすることで、中断した処理を続きから再開させることができます。

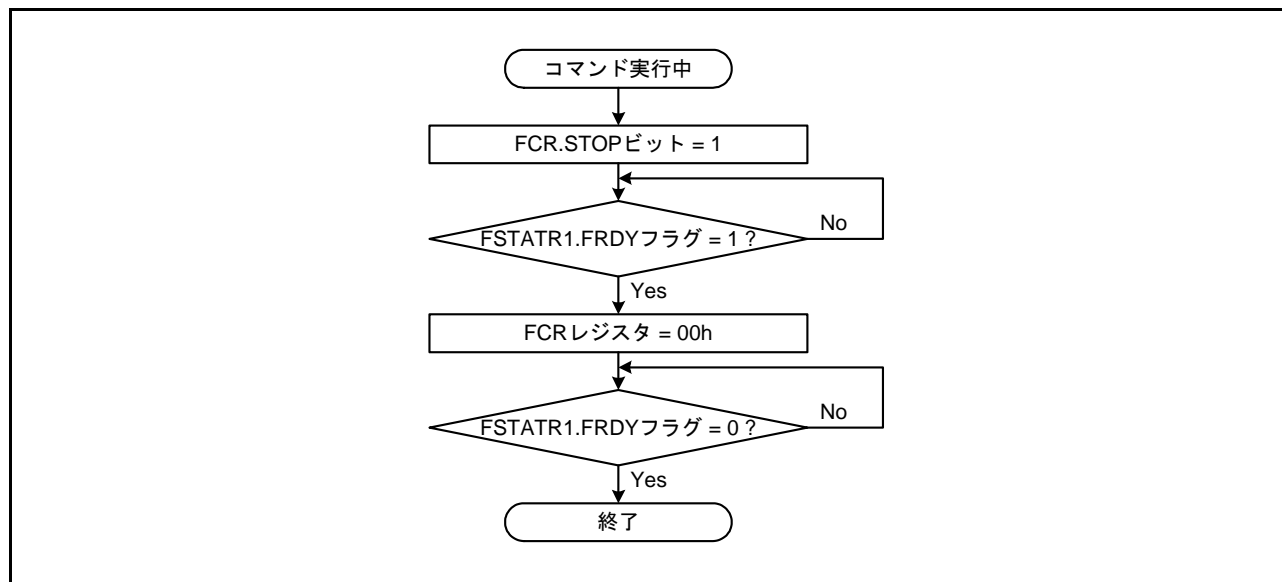


図 31.12 ソフトウェアコマンド強制停止の実行フロー

31.6.5 割り込み

ソフトウェアコマンド処理が完了するか、または強制停止処理が完了すると割り込み (FRDYI) が発生します。FCR.OPST ビットを“0”にすると FSTATR1.FRDY フラグが“0”に、また、FEXCR.OPST ビットを“0”にすると FSTATR1.EXRDY フラグが“0”になり、次の割り込み (FRDYI) を受け付けられるようになります。

本割り込みに対応する ICU の IERm.IEN ビットを“1”にする前に、IRn.IR フラグをクリアしてください。

31.7 ブートモード

ブートモードは、SCI インタフェース、または FINE インタフェースを使用します。

表 31.5 にブートモードでプログラム/イレーズ可能な領域と使用する周辺モジュールを、表 31.6 にブートモードで使用する入出力端子を示します。

表31.5 ブートモードでプログラム/イレーズ可能な領域と使用する周辺モジュール

項目	ブートモード	
	SCIインタフェース	FINEインタフェース
プログラム/イレーズ可能な領域	ユーザ領域	ユーザ領域
使用する周辺モジュール	SCI1 (調歩同期式シリアル通信)	FINE

表31.6 ブートモードで使用する入出力端子

端子名	入出力	使用するモード	用途
MD	入力	ブートモード	動作モードを選択(「3. 動作モード」参照)
MD/FINED	入出力	ブートモード (FINEインタフェース)	動作モードを選択、FINE データ入出力
P15/RXD1	入力	ブートモード (SCIインタフェース)	データ受信(シリアルプログラマ通信用)(注1)
P16/TXD1	出力		データ送信(シリアルプログラマ通信用)(注1)

注1. SCIインタフェースを使用する場合は、抵抗を介してVCCに接続(プルアップ)してください。

31.7.1 ブートモード (SCI インタフェース)

ブートモード (SCI インタフェース) は、フラッシュメモリのプログラム / イレージに SCI の調歩同期式モードを用いるモードです。ユーザ領域を書き換えることができます。

MD 端子を Low にしてリセットを解除すると、MCU はブートモード (SCI インタフェース) で起動します。

シリアルプログラマ (SCI プログラマ) についてはメーカーにお問い合わせください。

31.7.1.1 ブートモード (SCI インタフェース) のシステム構成

ブートモード (SCI インタフェース) は、シリアルプログラマとの通信に、SCII (調歩同期式モード) を使用します。

シリアルプログラマには、調歩同期式シリアル通信で制御コマンドやステータスを送受信するためのツールと、書き込み用データを準備してください。図 31.13 にブートモード (SCI インタフェース) 時の端子接続例を、表 31.7 にブートモード (SCI インタフェース) での端子機能を示します。

本章に記載した各端子接続例は、概略回路です。すべてのシステムにおいて動作保証するものではありません。

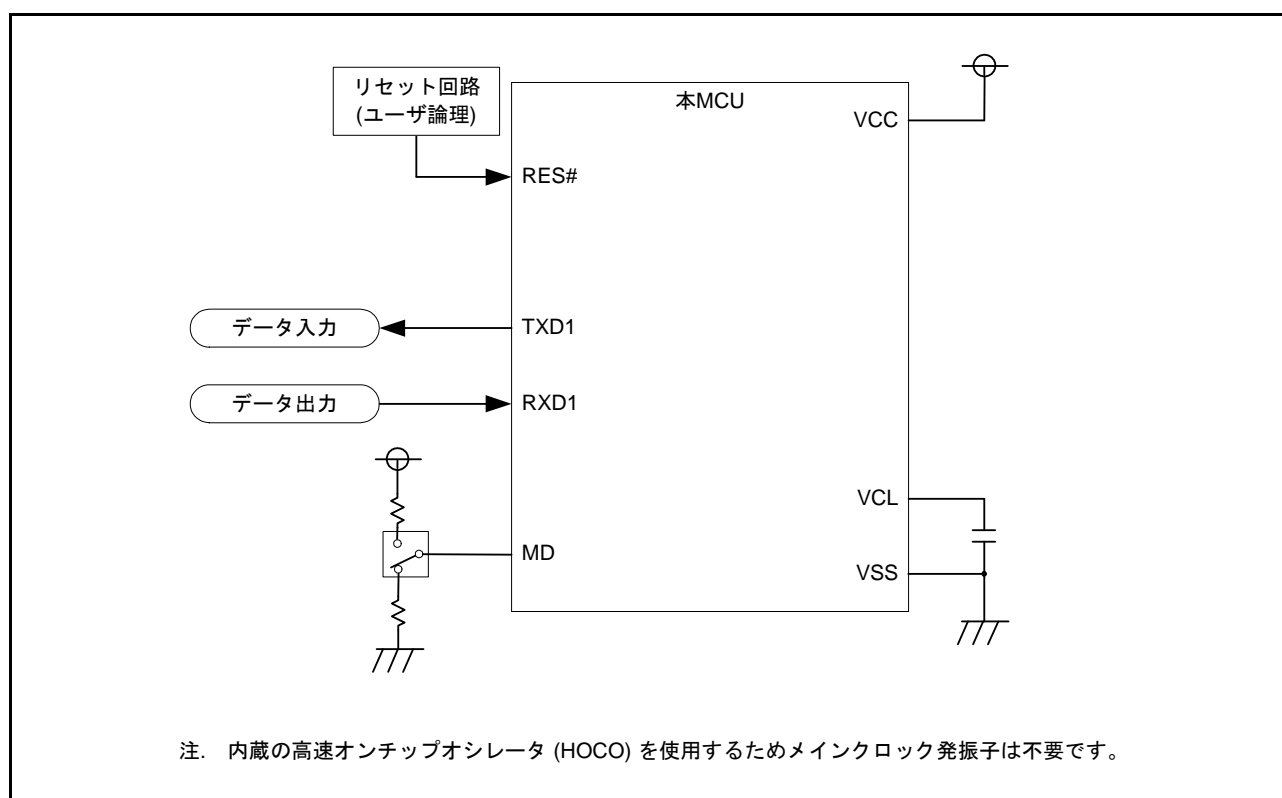


図 31.13 ブートモード (SCI インタフェース) 時の端子接続例

表31.7 ブートモード(SCIインタフェース)での端子機能

端子名	名称	入出力	機能
VCC, VSS	電源	—	VCC端子にはプログラム、イレーズの保証電圧を、VSS端子には0Vを入力してください
AVCC0, AVSS0	12ビットA/Dコンバータ電源	—	AVCC0はVCCに接続してください。AVSS0はVSSに接続してください
VCL	平滑コンデンサ接続端子	—	内部電源安定用の平滑コンデンサを介してVSSに接続してください
XTAL, EXTAL	メインクロック入出力端子	入出力	Highを入力、Lowを入力、または開放してください
XCIN, XCOU	サブクロック入出力端子	入出力	Highを入力、Lowを入力、または開放してください
MD	動作モードコントロール	入力	VSSに接続、または抵抗を介してVSSに接続(プルダウン)してください
RES#	リセット入力	入力	リセット端子です。リセット回路と接続してください
P15/RXD1	データ入力RXD	入力	シリアルデータの入力端子です
P16/TXD1	データ出力TXD	出力	シリアルデータの出力端子です
上記以外のポート	入力ポート	入力	Highを入力、Lowを入力、または開放してください

シリアルプログラマとの通信フォーマットは、図 31.14 に示すとおり、8ビットデータ、1ストップビット、パリティなし、LSB ファーストに設定してください。

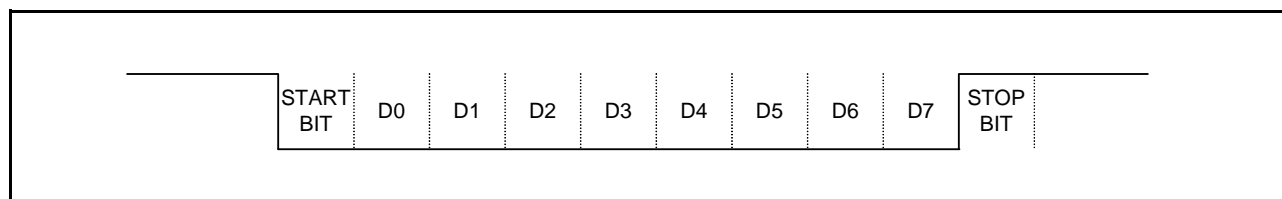


図 31.14 通信フォーマット

シリアルプログラマとの初期通信は、9,600 bps または 19,200 bps で行います。通信ビットレートは、接続後に変更できます。

ブートモード(SCIインタフェース)で通信が可能な最大通信ビットレートを表 31.8 に示します。

表31.8 通信可能な条件

動作電圧	最大通信ビットレート
1.8V以上3.0V未満	500 kbps
3.0V以上3.6V以下	2 Mbps

31.7.1.2 ブートモード (SCI インタフェース) の起動方法

ブートモード (SCI インタフェース) で起動するには、MD 端子を Low にして、リセットを解除 (RES# 端子を Low から High に) する必要があります。ブートモード (SCI インタフェース) で起動した後、400 ms 経過すると本 MCU との通信が可能になります。

図 31.15 に示すとおり、リセット解除後 400 ms の間は各端子の信号を変化させないでください。リセットに関しては、「32.3.2 リセットタイミング」に示す規格を守ってください。

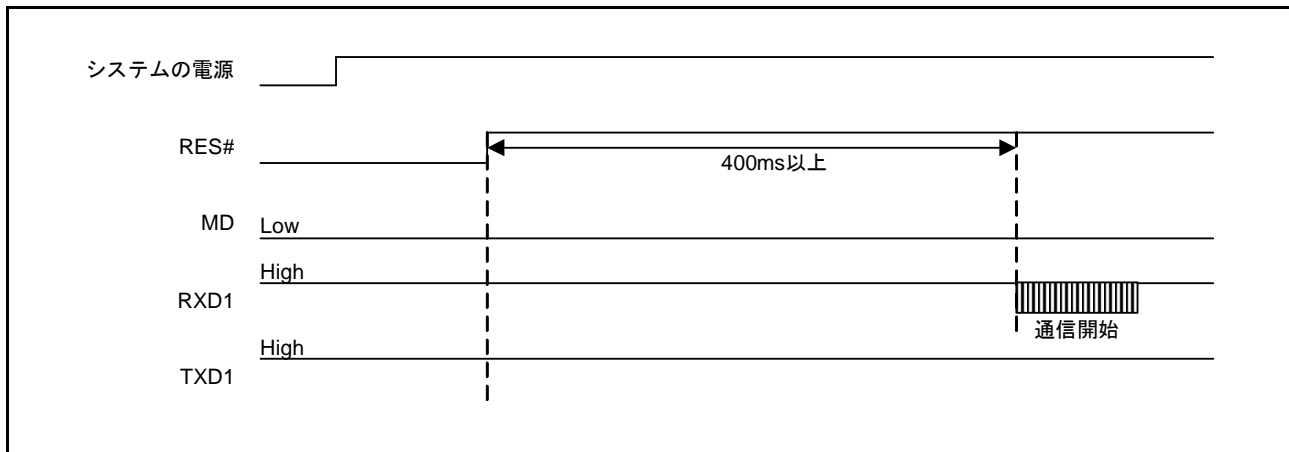


図 31.15 ブートモード (SCI インタフェース) で通信が可能になるまでの待ち時間

31.7.2 ブートモード (FINE インタフェース)

ブートモード (FINE インタフェース) は、フラッシュメモリのプログラム/イレーズに FINE を使用するモードです。ユーザ領域を書き換えることができます。

シリアルプログラマについてはメーカーにお問い合わせください。

31.7.2.1 ブートモード (FINE インタフェース) の動作条件

ブートモード (FINE インタフェース) は、シリアルプログラマとの通信に、FINE を使用します。図 31.16 にブートモード (FINE インタフェース) 時の端子接続例を、表 31.9 にブートモード (FINE インタフェース) での端子機能を示します。

なお、図 31.16 に記載した端子接続例は、一例です。すべてのシステムにおいて動作を保証するものではありません。

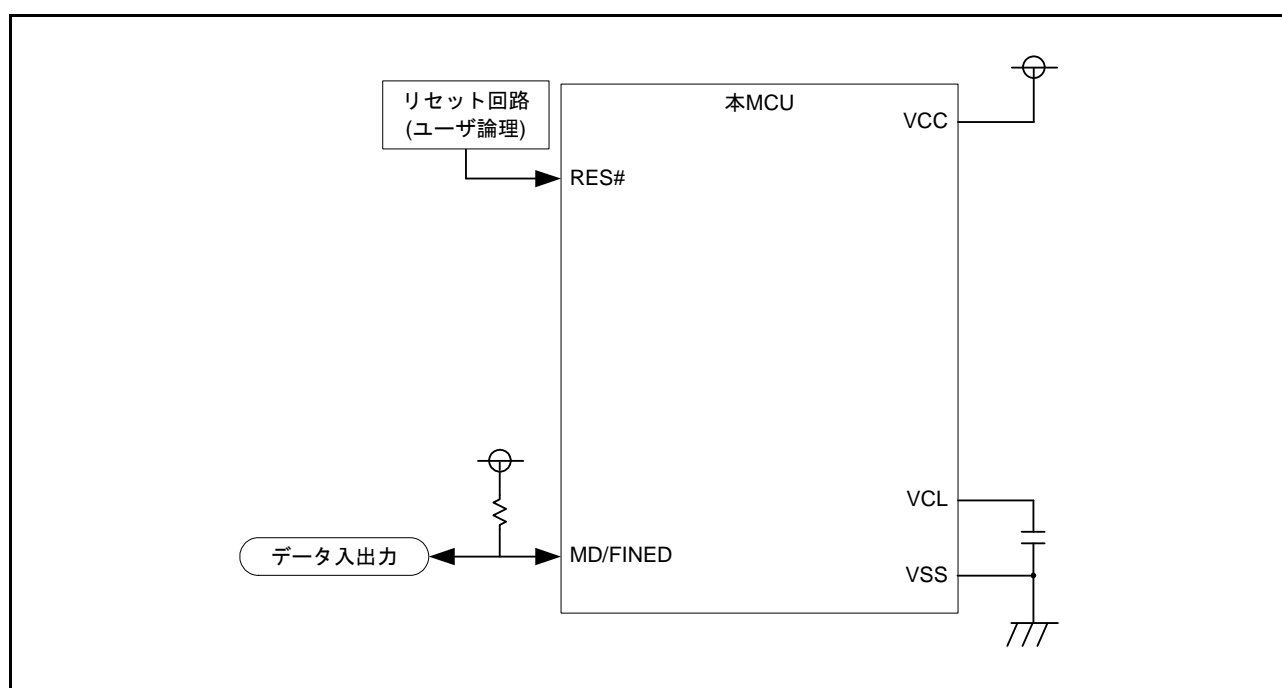


図 31.16 ブートモード (FINE インタフェース) 時の端子接続例

表 31.9 ブートモード (FINE インタフェース) での端子機能

端子名	名称	入出力	機能
VCC, VSS	電源	—	VCC 端子には 1.8 V 以上の電圧を、VSS 端子には 0 V を入力してください
VCL	平滑コンデンサ接続端子	—	内部電源安定用の平滑コンデンサを介して VSS に接続してください
MD	動作モードコントロール/ データ入出力	入出力	抵抗を介して VCC に接続 (プルアップ) してください
RES#	リセット入力	入力	リセット端子です。リセット回路と接続してください

31.8 フラッシュメモリアクセス禁止機能

フラッシュメモリアクセス禁止機能は、フラッシュメモリの読み出し、書き込みを禁止する機能で、ブートモードにはブートモード ID コードプロテクト、オンチップデバッグエミュレータにはオンチップデバッグエミュレータ ID コードプロテクトがあります。詳細は以下に示します。

31.8.1 ID コードプロテクト

ID コードプロテクトには、シリアルプログラマを接続したときのブートモード ID コードプロテクト、オンチップデバッグエミュレータを接続したときのオンチップデバッグエミュレータ ID コードプロテクトの 2 つがあります。どちらも使用する ID コードは同じものですが、動作が異なります。

ID コードは、制御コード+ID コード 1～ID コード 15 で構成されています。32 ビット長 4 ワードのデータで、32 ビット単位で設定してください。図 31.17 に ID コードの構成を示します。

	31	24	23	16	15	8	7	0
FFFF FFA0h	制御コード		IDコード1	IDコード2		IDコード3		
FFFF FFA4h	IDコード4		IDコード5		IDコード6		IDコード7	
FFFF FFA8h	IDコード8		IDコード9		IDコード10		IDコード11	
FFFF FFAC h	IDコード12		IDコード13		IDコード14		IDコード15	

図 31.17 ID コードの構成

ID コードを設定するプログラム例を以下に示します。

制御コード、ID コード 1～ID コード 15 を順に “45h, 01h, 02h, 03h, 04h, 05h, 06h, 07h, 08h, 09h, 0Ah, 0Bh, 0Ch, 0Dh, 0Eh, 0Fh” に設定する場合

C 言語：

```
#pragma address ID_CODE = 0xFFFFF000
const unsigned long ID_CODE [4] = {0x45010203, 0x04050607, 0x08090A0B, 0x0C0D0E0F};
```

アセンブリ言語：

```
.SECTION ID_CODE, CODE
.ORG 0xFFFFF000
.LWORD 45010203h
.LWORD 04050607h
.LWORD 08090A0Bh
.LWORD 0C0D0E0Fh
```

31.8.1.1 ブートモード ID コードプロテクト

ブートモード ID コードプロテクトは、ユーザ領域の読み出し、書き込みを禁止します。

制御コードがブートモード ID コードプロテクト無効でユーザ領域にデータがない場合は、ユーザ領域の読み出し、書き込みを許可します。

制御コードがブートモード ID コードプロテクト無効でユーザ領域にデータがある場合は、ユーザ領域を消去するイレーズレディへ遷移します。イレーズレディでユーザ領域の全ブロックが消去されると、ユーザ領域の読み出し、書き込みを許可します。

制御コードがブートモード ID コードプロテクト有効の場合は、プログラマから送られてくる ID コードと、ユーザ領域上にある制御コードと ID コード 1 ～ ID コード 15 を比較し、その結果に従って、ユーザ領域の読み出し、書き込みを禁止します。

(1) 制御コード

制御コードでは、プロテクトの有効もしくは無効とプログラマとの認証方法を設定することができます。

表 31.10 にプロテクト仕様を、図 31.18 にプロテクトの認証フローを示します。

表 31.10 ブートモード ID コードプロテクト仕様

ID コード		プロテクト	ID コードの 判定結果	ユーザ領域の内容	動作
制御コード	ID コード 1 ～ ID コード 15				
45h	任意	有効	一致	—	ブートモード ID コード認証ステートを完了し、プログラム/イレーズステートに遷移する
			不一致	—	ブートモード ID コード認証ステートを継続する
			不一致 (3回連続)	データがある	ユーザ領域のイレーズを行うイレーズレディに遷移する
52h	50h, 72h, 6Fh, 74h, 65h, 63h, 74h, + FFh, ..., FFh (8バイト すべてFFh)	有効	—	—	シリアルプログラマが送信したコードの値に関係なく、フラッシュメモリの読み出し、書き換えを許可しない
	上記以外		一致	—	ブートモード ID コード認証ステートを完了し、プログラム/イレーズステートに遷移する
	上記以外		不一致	—	ブートモード ID コード認証ステートを継続する
上記以外	任意	無効	—	データがない	プログラム/イレーズステートに遷移する
				データがある	ユーザ領域のイレーズを行うイレーズレディに遷移する

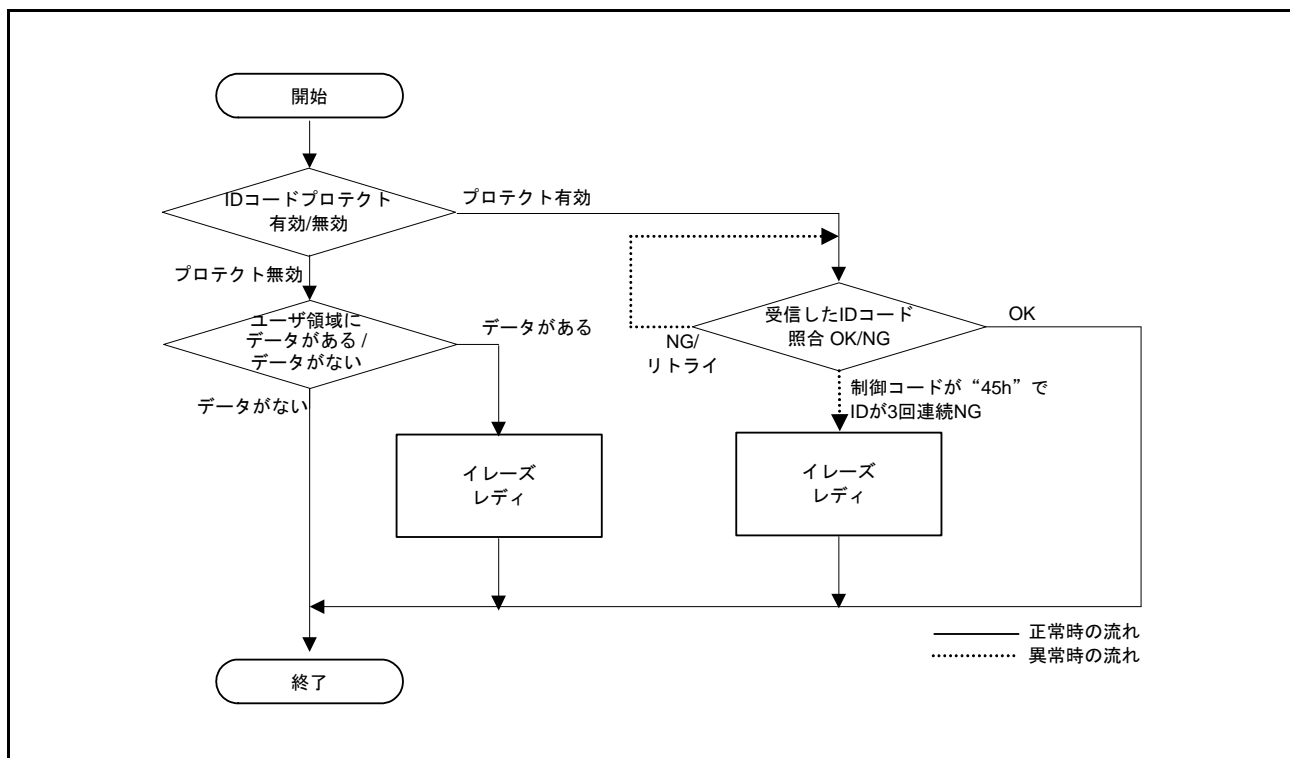


図 31.18 ブートモード ID コードプロテクトの認証フロー

(2) ID コード 1～ID コード 15

ID コード 1～ID コード 15 は、任意の値が設定できます。

ただし、シリアルプログラマとの接続を拒否する場合のみ、ID コード 1～ID コード 15 を順に“50h, 72h, 6Fh, 74h, 65h, 63h, 74h, FFh, FFh, FFh, FFh, FFh, FFh, FFh”と設定しなければなりません。

31.8.1.2 オンチップデバッグエミュレータ ID コードプロテクト

オンチップデバッグエミュレータ ID コードプロテクトは、オンチップデバッグエミュレータとの接続を許可 / 禁止する機能です。

オンチップデバッグエミュレータ ID コードプロテクトが無効の場合、もしくはプロテクトが有効でオンチップデバッグエミュレータから送られてくる 16 バイトのコードとユーザ領域にある ID コードが一致した場合、オンチップデバッグエミュレータとの接続を許可します。

オンチップデバッグエミュレータ ID コードは、図 31.17 に示す ID コードの構成を使用します。プロテクト仕様は、表 31.11 に示します。

表31.11 オンチップデバッグエミュレータIDコードプロテクト仕様

IDコード		プロテクト	IDコードの判定結果	動作
制御コード	IDコード1～IDコード15			
FFh	FFh, ..., FFh (15バイトすべてFFh)	無効	—	オンチップデバッグエミュレータとの接続を許可する
52h	50h, 72h, 6Fh, 74h, 65h, 63h, 74h, + 任意の8バイト	有効	—	オンチップデバッグエミュレータが送信したコードの値に関係なく、オンチップデバッグエミュレータの接続を許可しない
上記以外	上記以外	有効	一致	オンチップデバッグエミュレータとの接続を許可する
			不一致	IDコード待ちを継続する

31.9 通信プロトコル

ここでは、ブートモードで使用するプロトコルについて説明します。シリアルプログラマを開発する場合には、この通信プロトコルに従って制御してください。

31.9.1 ブートモード (SCI インタフェース) の状態遷移

図 31.19 にブートモード (SCI インタフェース) の状態遷移図を示します。

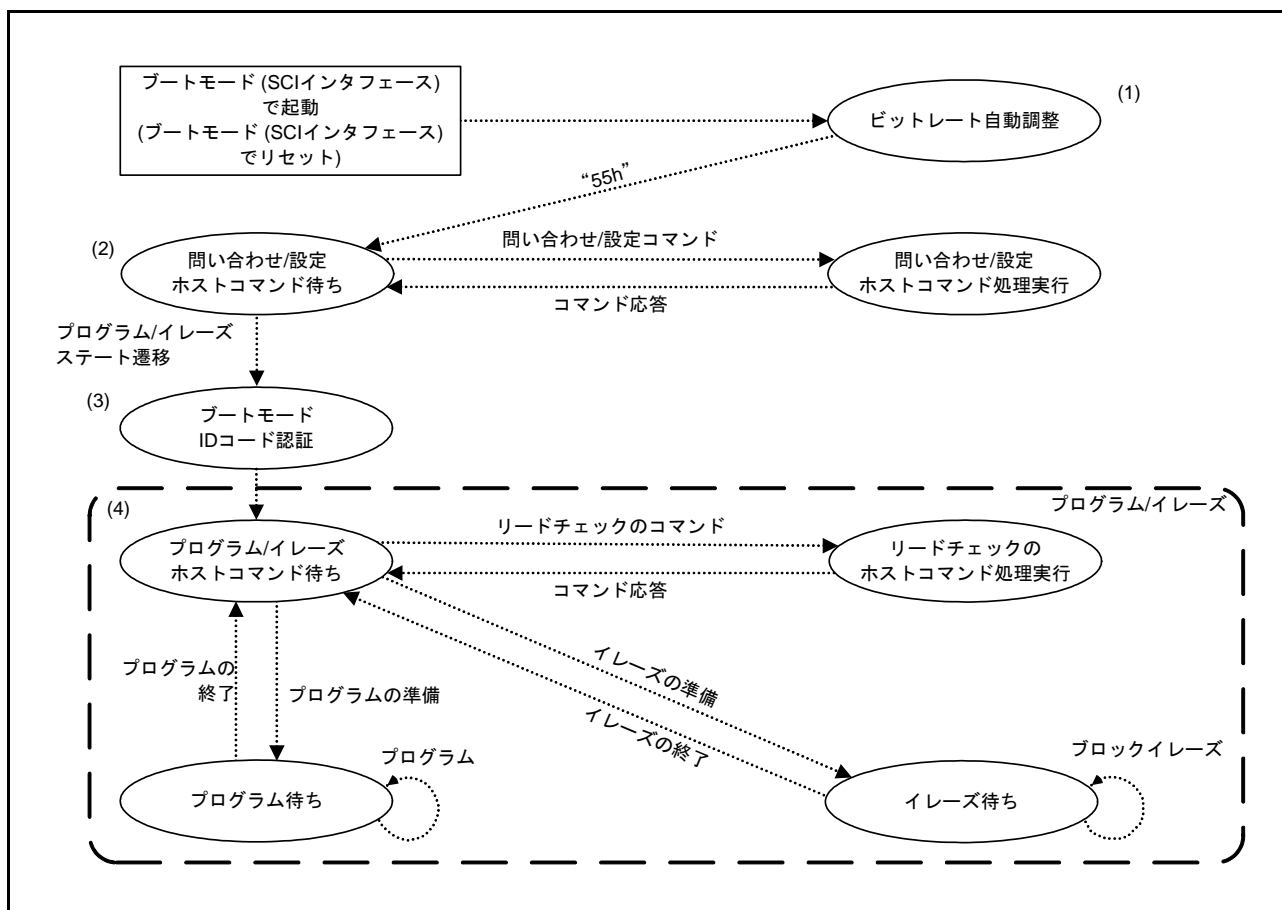


図 31.19 ブートモード (SCI インタフェース) の状態遷移図

(1) ビットレート自動調整ステート

ビットレート自動調整ステートでは、ホストとの通信ビットレート自動調整を実行します。

ビットレート自動調整が終了すると、本MCUからホストへ“00h”を送信します。その後、ホストから送信された“55h”を本MCUが受信すると、本MCUからホストへ“E6h”を送信し、問い合わせ/設定ホストコマンド待ちステートに遷移します。

なお、ホストは、本MCUのリセットを解除した後、400 ms以上経過するまではデータを送信しないでください。

(2) 問い合わせ/設定ホストコマンド待ちステート

問い合わせ/設定ホストコマンド待ちステートでは、領域構成、領域サイズ、領域のアドレスなど本MCUの情報問い合わせや、デバイス、ビットレートの選択ができます。

ホストからプログラム/イレーズステート遷移コマンドを送信すると、ブートモードIDコード認証ステートに遷移します。

問い合わせ/設定コマンドに関する詳細は、「31.9.4 問い合わせコマンド」、「31.9.5 設定コマンド」を参照してください。

(3) ブートモードIDコード認証ステート

ブートモードIDコード認証ステートでは、ブートモードIDコードプロテクトのIDコードの比較を行います。

ブートモードIDコードプロテクト無効でユーザ領域にデータがない場合は、プログラム/イレーズステートへ遷移します。ブートモードIDコードプロテクト無効でユーザ領域にデータがある場合、ユーザ領域を消去するイレーズレディへ遷移します。イレーズレディでユーザ領域の全ブロックが消去されると、プログラム/イレーズステートへ遷移します。ブートモードIDコード不一致の場合は、ブートモードIDコード認証ステートから他のステートへ遷移することはありません。

ブートモードIDコードプロテクトに関する詳細は、「31.8.1.1 ブートモードIDコードプロテクト」を、IDコード認証コマンドに関する詳細は、「31.9.6 IDコード認証コマンド」を参照してください。

(4) プログラム/イレーズステート

プログラム/イレーズステートでは、ホストからのコマンドに従って、プログラムやイレーズやリードチェックのコマンド処理を実行します。

プログラム/イレーズコマンドに関する詳細は、「31.9.7 プログラム/イレーズコマンド」を、リードチェックコマンドに関する詳細は、「31.9.8 リードチェックコマンド」参照してください。

31.9.2 コマンドとレスポンスの構成

通信プロトコルは、ホストから本MCUへ送信する“コマンド”と本MCUからホストへの応答である“レスポンス”で構成されています。コマンドには1バイトコマンドと複数バイトコマンドがあり、レスポンスには1バイトレスポンスと複数バイトレスポンス、エラーレスポンスがあります。

複数バイトコマンド、複数バイトレスポンスには、送受信データのバイト数を通知する“サイズ”と、通信異常を検出するための“SUM”があります。

“サイズ”はコマンドコード(コマンドの先頭1バイト)、サイズ、SUMを除いた送受信データのバイト数を指します。

“SUM”は、コマンドもしくはレスポンスの各バイトを合計した値が、“00h”になるように計算されたバイトデータを指します。

プログラムコマンドのプログラムアドレス、ブロックイレーズコマンドのブロック先頭アドレス、アクセスウィンドウ情報プログラムコマンドとアクセスウィンドウリードコマンドのAW先頭アドレス、AW最終アドレスはフラッシュメモリの読み出し用アドレスを使用します。フラッシュメモリの読み出し用アドレスは、[図 31.1](#)を参照してください。

また、ホストが未定義のコマンドを送信した場合、本MCUはコマンドエラーのレスポンスを返します。コマンドエラーのレスポンスの内容は以下のとおりです。エラーレスポンスのコマンドには、本MCUが受信したコマンドコードが格納されています。

エラーレスポンス

80h	コマンド コード
-----	-------------

31.9.3 ブートモードステータス問い合わせ

ブートモードの、現在のステートと前回のエラー内容を確認するコマンドです。本MCUは現在のステートと前回のエラー内容として、[表 31.12](#)、[表 31.13](#)にあるコードを応答します。

ブートモードステータス問い合わせコマンドは、問い合わせ/設定ホストコマンド待ちステートとプログラム/イレーズステートで使用することができます。

コマンド

4Fh

レスポンス

5Fh	サイズ	ステート	エラー	SUM
-----	-----	------	-----	-----

サイズ(1バイト) : ステート、エラーのデータの総バイト数(固定値で“02h”)

ステート(1バイト) : 本MCUの状態([表 31.12](#)を参照)

エラー(1バイト) : 本MCUのエラー発生状況([表 31.13](#)を参照)

SUM(1バイト) : レスポンスデータを合計して“00h”になる値

表31.12 ステートの内容

コード	ステート(注1)	詳細
11h	問い合わせ/設定ホストコマンド待ちステート	デバイス選択待ち
12h/13h		動作周波数選択待ち
1Fh		プログラム/イレーズステート遷移コマンド待ち
3Fh	プログラム/イレーズステート	プログラム/イレーズホストコマンド待ち
4Fh		プログラム待ち
5Fh		イレーズ待ち

注1. ステートは、[図 31.19](#)に記載しています。図の内容を合わせて確認してください。

表31.13 エラーの内容

コード	内容
00h	エラーなし
11h	SUMエラー
21h	デバイスコードエラー
24h	ビットレート選択エラー
29h	ブロックアドレスエラー
2Ah	アドレスエラー
2Bh	データ長エラー
51h	イレーズエラー
52h	データあり
53h	プログラムエラー
80h	コマンドエラー
FFh	ビットレート自動調整エラー

31.9.4 問い合わせコマンド

問い合わせコマンドは、設定コマンドとプログラム/イレーズコマンドとリードチェックコマンドを送信するために必要な情報を取得するコマンドです。表 31.14 に問い合わせコマンドの一覧を示します。一覧にあるコマンドは、問い合わせ/設定ホストコマンド待ち状態でのみ使用できます。

表31.14 問い合わせコマンド

コマンド	問い合わせ内容
サポートデバイス問い合わせ	デバイスコードとシリーズ名
データ領域有無問い合わせ	データ領域の有無
ユーザ領域情報問い合わせ	ユーザ領域の個数、領域先頭/領域最終アドレス
ブロック情報問い合わせ	ユーザ領域の先頭アドレス、1ブロックのブロックサイズ、ブロック数

31.9.4.1 サポートデバイス問い合わせ

ホストがこのコマンドを送信すると、本MCUはプログラムデータがリトルエンディアンの場合とビッグエンディアンの場合に選択するデバイスの情報を順に送信します。

コマンド	20h		
レスポンス	30h	サイズ	デバイス数
	文字数	デバイスコード(リトルエンディアン)	シリーズ名(リトルエンディアン)
	文字数	デバイスコード(ビッグエンディアン)	シリーズ名(ビッグエンディアン)
	SUM		

- サイズ(1バイト) : デバイス数、文字数、デバイスコード、シリーズ名のデータの総バイト数
 デバイス数(1バイト) : プログラムデータのエンディアンの種別数(固定値で“02h”)
 文字数(1バイト) : デバイスコードとシリーズ名の文字数
 デバイスコード(4バイト) : プログラムデータのエンディアンを選択する識別コード
 シリーズ名(nバイト) : サポートデバイスのシリーズ名のASCIIコード
 SUM(1バイト) : レスポンスデータを合計して“00h”になる値

31.9.4.2 データ領域有無問い合わせ

ホストがデータ領域有無問い合わせコマンドを送信すると、本MCUはデータ領域なし、エリアプロテクションありの情報を送信します。

コマンド	2Ah		
レスポンス	3Ah	サイズ	領域有無
			SUM
サイズ(1バイト)	: 領域有無の文字数(固定値で“01h”)		
領域有無(1バイト)	: データ領域の有無(固定値で“18h”) “18h”: データ領域なし、エリアプロテクションあり		
SUM(1バイト)	: レスポンスデータを合計して“00h”になる値(固定値で“ADh”)		

31.9.4.3 ユーザ領域情報問い合わせ

ホストがユーザ領域情報問い合わせコマンドを送信すると、本MCUはユーザ領域の領域数とアドレスの情報を送信します。

コマンド	25h		
レスポンス	35h	サイズ	領域数
	領域先頭アドレス		
	領域最終アドレス		
	SUM		

- サイズ (1バイト) : 領域数、領域先頭アドレス、領域最終アドレスのデータの総バイト数 (固定値で“09h”)
 領域数 (1バイト) : ユーザ領域の領域数 (固定値で“01h”)
 領域先頭アドレス (4バイト) : ユーザ領域の先頭アドレス
 領域最終アドレス (4バイト) : ユーザ領域の最終アドレス
 SUM (1バイト) : レスポンスデータを合計して“00h”になる値

31.9.4.4 ブロック情報問い合わせ

ホストがブロック情報問い合わせコマンドを送信すると、本MCUは、ユーザ領域の先頭アドレス、1ブロックのブロックサイズ、ブロック数を送信します。

コマンド	26h		
レスポンス	36h	サイズ	DDh
	ユーザ領域先頭アドレス		
	1ブロックブロックサイズ(ユーザ領域)		
	ユーザ領域ブロック数		
	ダミーデータ		
	ダミーデータ		
	ダミーデータ		
	SUM		

- サイズ (2バイト) : “DDh” からユーザ領域のブロック数までのデータの総バイト数 (固定値で“00 19h”)
 ユーザ領域先頭アドレス (4バイト) : ユーザ領域の先頭アドレス
 1ブロックブロックサイズ(ユーザ領域) (4バイト) : 1ブロックのメモリサイズ (固定値で“00 00 04 00h”)
 ユーザ領域ブロック数 (4バイト) : ユーザ領域を構成するブロックの数
 ダミーデータ (12バイト) : ダミーデータ
 SUM (1バイト) : レスポンスデータを合計して“00h”になる値

31.9.5 設定コマンド

設定コマンドは、本MCUのプログラムやイレーズを実行するために必要な基本設定を行うためのコマンドです。

表 31.15 に設定コマンドの一覧を示します。一覧にあるコマンドは、問い合わせ/設定ホストコマンド待ちステートでのみ使用できます。

表31.15 設定コマンド一覧

コマンド	機能
デバイス選択	デバイスコードの選択
動作周波数選択	通信のビットレートを変更
プログラム/イレーズステート遷移	イレーズレディに遷移

31.9.5.1 デバイス選択

ホストから送信するデバイスコードは、サポートデバイス問い合わせコマンドで取得したデバイスコードを指定して、デバイス選択コマンドで送信してください。その際、プログラムデータのエンディアンによって、いずれかのエンディアン指定のデバイスコードを選択してください。

本MCUはサポート可能なデバイスの場合、レスポンスを送信します。サポート可能なデバイスでなかった場合や、送信されたコマンドが不正であった場合には、エラーレスポンスを送信します。

コマンド	10h	サイズ	デバイスコード	SUM
------	-----	-----	---------	-----

サイズ (1バイト) : デバイスコードの文字数 (固定値で "04h")

デバイスコード (4バイト) : プログラムデータのエンディアンを選択する識別コード
(サポートデバイス問い合わせコマンドの応答と同一のデバイスコード)

SUM (1バイト) : コマンドデータを合計して "00h" になる値

レスポンス	46h
-------	-----

エラーレスポンス	90h	エラー
----------	-----	-----

エラー (1バイト) : エラーコード
 "11h" : SUM エラー
 "21h" : デバイスコードエラー

31.9.5.3 プログラム/イレーズステート遷移

ホストがプログラム/イレーズステート遷移コマンドを送信すると、本MCUはブートモードIDコードプロテクトの有効/無効を判定します。

ブートモードIDコードプロテクトが無効でユーザ領域にデータがない場合、IDコードプロテクト無効かつプログラム/イレーズステート遷移のレスポンス(06h)を送信します。

ブートモードIDコードプロテクトが無効でユーザ領域にデータがある場合、IDコードプロテクト無効かつイレーズレディに遷移のレスポンス(56h)を送信します。

ブートモードIDコードプロテクトが有効の場合、IDコードプロテクト有効のレスポンス(16h)を送信します。

コマンド

40h

レスポンス

ACK

ACK(1バイト) : ACKコード

“06h” : IDコードプロテクト無効(ユーザ領域にデータがない)(注1)

“56h” : IDコードプロテクト無効

“16h” : IDコードプロテクト有効

注1. プログラムコマンドを発行する前に、対象となるブロックをイレーズしてください。

31.9.6 IDコード認証コマンド

IDコード認証コマンドは、ブートモードIDコードプロテクトが有効の場合に、ROM上にある制御コード+IDコード1～IDコード15と比較するデータをホストから送信するためのコマンドです。表31.16にIDコード認証コマンドの一覧を示します。一覧にあるコマンドは、ブートモードIDコード認証ステートでのみ使用できます。

表31.16 IDコード認証コマンド一覧

コマンド	機能
IDコードチェック	ブートモードIDコードプロテクトで、制御コード+IDコード1～IDコード15のデータと比較する

31.9.6.1 IDコードチェック

ホストから送信するIDコードは、ユーザ領域の制御コードおよびIDコード1～IDコード15に設定したデータを送信してください。本MCUはユーザ領域の制御コードおよびIDコード1～IDコード15とブートモードIDコードが一致した場合、プログラム/イレーズステートへ遷移し、レスポンス(06h)を送信します。

制御コードが“45h”でIDが連続3回不一致となった場合、イレーズレディへ遷移し、レスポンス(56h)を送信します。一致しなかった場合や正しく受信できなかった場合、エラーレスポンスを送信します。

コマンド	60h	サイズ
	IDコード(制御コード+IDコード1-IDコード15)	
	SUM	

サイズ(1バイト) : IDコードのバイト数(固定値で“10h”)

IDコード(16バイト) : 制御コード(1バイト)+IDコード1～IDコード15(15バイト)

SUM(1バイト) : コマンドデータを合計して“00h”になる値

レスポンス	ACK
-------	-----

ACK(1バイト) : ACKコード

“06h” : プログラム/イレーズステートへ遷移します

“56h” : イレーズレディへ遷移します

エラーレスポンス	E0h	エラー
----------	-----	-----

エラー(1バイト) : エラーコード

“11h” : SUMエラー

“61h” : IDコード不一致

31.9.6.2 イレーズレディ

ブートモード ID コードプロテクトの一部で、プロテクトが無効でユーザ領域にデータがある場合や制御コードが“45h”で ID が 3 回不一致となった場合に、ユーザ領域に格納しているデータを読み出せなくする機能です。

イレーズレディでは、イレーズ準備コマンド、ブロックイレーズコマンドのみ受け付けます。

表 31.17 にイレーズレディで使用可能なコマンドの一覧を示します。

表31.17 イレーズレディで使用可能なコマンド

コマンド	機能
イレーズ準備	イレーズ待ち状態へ遷移
ブロックイレーズ	指定ブロックのイレーズ。またはプログラムイレーズ状態へ遷移(イレーズの終了)

注. イレーズ準備コマンド、ブロックイレーズコマンドの詳細は、「31.9.7 プログラム/イレーズコマンド」を参照してください。

31.9.7 プログラム/イレーズコマンド

プログラム/イレーズコマンドは、問い合わせコマンドのレスポンスをもとに、本 MCU のユーザ領域に対してプログラムやイレーズを行うコマンドです。表 31.18 にプログラム/イレーズコマンド待ち、プログラム待ち、イレーズ待ちで使用可能なプログラム/イレーズコマンドの一覧を、表 31.19 に各状態で受け付け可能なコマンドを示します。

表 31.19 に示す状態のとき、受け付けられないコマンドを受信するとコマンドエラーのレスポンスを送信します。

表31.18 プログラム/イレーズコマンド

コマンド	機能
ユーザ領域プログラム準備	書き込み対象にユーザ領域を選択し、プログラム待ち状態へ遷移
プログラム	指定領域にプログラム。またはプログラムイレーズ状態へ遷移(プログラムの終了)
イレーズ準備	イレーズ待ち状態へ遷移
ブロックイレーズ	指定ブロックのイレーズ、またはプログラムイレーズ状態へ遷移(イレーズの終了)

表31.19 ステート毎の受け付け可能なコマンド

ステート	受け付け可能なコマンド
プログラム/イレーズホストコマンド待ち状態	ユーザ領域プログラム準備コマンド、イレーズ準備コマンド
プログラム待ち状態	プログラムコマンド
イレーズ待ち状態	ブロックイレーズコマンド

31.9.7.1 ユーザ領域プログラム準備

ホストがユーザ領域プログラム準備コマンドを送信すると、本MCUはプログラムの準備の指示がホストから行われたと判断し、ユーザ領域へのプログラムのみ受け付ける、プログラム待ち状態へ遷移し、レスポンスを送信します。

コマンド	43h
レスポンス	06h

31.9.7.2 プログラム

ホストから送信するプログラムアドレスのアライメントは、256バイトアライメントとしてください。プログラムデータ長が256バイトに満たないデータを書き込むことはできません。不足部分は“FFh”を追加して送信してください。

本MCUは指定されたアドレスからのプログラムが正常に終了すると、レスポンスを送信します。プログラム処理中にエラーが発生すると、本MCUはエラーレスポンスを送信します。

プログラムを終了してプログラム/イレーズホストコマンド待ち状態へ遷移する場合、ホストから“50h FFh FFh FFh FFh B4h”を送信してください。本MCUはプログラム/イレーズホストコマンド待ち状態へ遷移し、レスポンスを送信します。

コマンド	50h	プログラムアドレス
	プログラムデータ	
	SUM	

プログラムアドレス (4 バイト) : プログラム先のアドレス

プログラムデータ長でアライメントしたアドレス
プログラムを終了する場合は“FFFF FFFFh”を設定

プログラムデータ (n バイト) : プログラムデータ (n = 256 (ブートモード) または 0 (終了時))

プログラム不要なバイトには“FFh”を設定
プログラムを終了する場合はプログラムデータなし

SUM (1 バイト) : コマンドデータを合計して“00h”になる値

レスポンス	06h
-------	-----

エラーレスポンス	D0h	エラー
----------	-----	-----

エラー (1 バイト) : エラーコード

“11h” : SUM エラー

“2Ah” : アドレスエラー (アドレスが指定の領域内がない)

“53h” : プログラムエラー (プログラムが書き込めない)

31.9.7.3 イレーズ準備

ホストがイレーズ準備コマンドを送信すると、本MCUはイレーズの準備の指示がホストから行われたと判断し、ユーザ領域のブロックイレーズコマンドのみを受け付けるイレーズ待ちステートへ遷移し、レスポンスを送信します。

コマンド	48h
レスポンス	06h

31.9.7.4 ブロックイレーズ

ホストから送信するブロック先頭アドレスは、ブロック情報問い合わせで応答された情報を元に指定してください。

本MCUはブロック先頭アドレスで指定されたブロックのイレーズが正常に終了すると、レスポンスを送信します。イレーズ処理中にエラーが発生すると、本MCUはエラーレスポンスを送信します。

イレーズを終了してプログラム/イレーズホストコマンド待ちステートへ遷移する場合、ホストから“59h 04h FFh FFh FFh FFh A7h”を送信してください。本MCUはプログラム/イレーズホストコマンド待ちステートへ遷移し、レスポンスを送信します。

コマンド	59h	サイズ
	ブロック先頭アドレス	
	SUM	

サイズ (1 バイト) : ブロック先頭アドレスのデータの総バイト数 (固定値で “04h”)

ブロック先頭アドレス (4 バイト) : イレーズするブロックの先頭アドレス
イレーズを終了する場合には “FFFF FFFFh” を設定

SUM (1 バイト) : コマンドデータを合計して “00h” になる値

レスポンス	06h
-------	-----

エラーレスポンス	D9h	エラー
----------	-----	-----

エラー (1 バイト) : エラーコード
 “11h” : SUM エラー
 “29h” : ブロック先頭アドレスエラー (ブロック先頭アドレスが正しくない)
 “51h” : イレーズエラー (指定ブロックがイレーズできない)

31.9.8 リードチェックコマンド

リードチェックコマンドは、問い合わせコマンドのレスポンスをもとに、本MCUのユーザ領域に対してリードチェックを行うコマンドです。表31.20にプログラム/イレーズコマンド待ちで使用可能なリードチェックコマンドの一覧を示します。

表31.20 リードチェックコマンド

コマンド	機能
メモリアード	ユーザ領域のデータ読み出し
ユーザ領域チェックサム	ユーザ領域のチェックサムを取得
ユーザ領域ブランクチェック	ユーザ領域の書き込みデータの有無をチェック
アクセスウィンドウ情報プログラム	アクセスウィンドウの設定
アクセスウィンドウリード	アクセスウィンドウの設定読み出し

31.9.8.1 メモリアード

ホストから送信する読み出し先頭アドレスは、ユーザ領域情報問い合わせコマンドのレスポンスで受信した領域先頭アドレスから領域最終アドレスまでの範囲で設定してください。ホストから送信する読み出しサイズは、読み出し先頭アドレスに読み出しサイズを加算したアドレスが、ユーザ領域情報問い合わせコマンドのレスポンスで受信した領域先頭アドレスから領域最終アドレスまでの範囲に入るように設定してください。

本MCUはデータを正常にリードできた場合、読み出し先頭アドレスから読み出しサイズ分のデータを送信します。リードを正常に実行できなかった場合、エラーレスポンスを送信します。

コマンド	52h	サイズ	領域
	読み出し先頭アドレス		
	読み出しサイズ		
	SUM		

サイズ (1 バイト) : 領域、読み出し先頭アドレス、読み出しサイズのデータの総バイト数

領域 (1 バイト) : 読み出し対象の領域
 "01h" : ユーザ領域

読み出し先頭アドレス (4 バイト) : 読み出し対象領域の先頭アドレス

読み出しサイズ (4 バイト) : 読み出すデータのサイズ (バイト単位)

SUM (1 バイト) : コマンドデータを合計して "00h" になる値

レスポンス	52h	読み出しサイズ
	読み出しデータ	
	SUM	

読み出しサイズ (4 バイト) : 読み出すデータのサイズ (バイト単位)

読み出しデータ (n バイト) : 指定アドレスから読み出したデータ (n = 読み出しサイズ)

SUM (1 バイト) : レスポンスデータを合計して "00h" になる値

エラーレスポンス	D2h	エラー
----------	-----	-----

エラー (1 バイト) : エラーコード

“11h” : SUM エラー

“2Ah” : アドレスエラー

- ・ コマンドの「領域」に“01h”以外を指定した
- ・ コマンドの読み出し先頭アドレスが読み出し対象領域の範囲外である

“2Bh” : サイズエラー

- ・ コマンドの読み出しサイズに“0000 0000h”が指定されている
- ・ コマンドの読み出しサイズが読み出し対象領域のサイズを超えている
- ・ コマンドの読み出し先頭アドレスと読み出しサイズを加算したアドレスが読み出し対象領域の範囲外である

31.9.8.2 ユーザ領域チェックサム

ホストがユーザ領域チェックサムコマンドを送信すると、本 MCU はユーザ領域情報問い合わせコマンドのレスポンス内の先頭アドレスから最終アドレスまでのデータをバイト単位で加算し、加算結果 (チェックサム) をレスポンスとして送信します。

コマンド	4Bh	
レスポンス	5Bh	サイズ
	ユーザ領域チェックサム	
	SUM	

サイズ (1 バイト) : ユーザ領域チェックサムのバイト数 (固定値で“04h”)

ユーザ領域チェックサム (4 バイト) : ユーザ領域チェックサムの結果

SUM (1 バイト) : レスポンスデータを合計して“00h”になる値

31.9.8.3 ユーザ領域ブランクチェック

ホストがユーザ領域ブランクチェックコマンドを送信すると、本 MCU はユーザ領域情報問い合わせコマンドのレスポンスで送信した先頭アドレスから最終アドレスまでのすべてにデータがない場合、レスポンスを送信します。1 バイトでもデータがある場合には、エラーレスポンスを送信します。

コマンド	4Dh
------	-----

レスポンス	06h
-------	-----

エラーレスポンス	CDh	エラー
----------	-----	-----

エラー (1 バイト) : エラーコード

“52h” : データあり

31.9.8.4 アクセスウィンドウ情報プログラム

ホストから送信するアクセスウィンドウ先頭アドレスは、ユーザ領域のブロック先頭アドレスを指定してください。アクセスウィンドウ最終アドレスは、ユーザ領域のブロック最終アドレスを指定してください。

本MCUは指定されたアクセスウィンドウの設定が正常に終了すると、レスポンスを送信します。プログラム処理中にエラーが発生すると、エラーレスポンスを送信します。

アクセスウィンドウの設定は、セーフティ機能の一部であるため、設定の上書きはできません。

コマンド	74h	05h	AW区分	
	AW先頭 アドレスLH	AW先頭 アドレスHL	AW最終 アドレスLH	AW最終 アドレスHL
	SUM			

AW 区分 (1 バイト)	: アクセスウィンドウの設定 / 解除 アクセスウィンドウを設定する場合には "00h" を設定 アクセスウィンドウを解除する場合には "FFh" を設定
AW 先頭アドレス LH (1 バイト)	: アクセスウィンドウ範囲の先頭アドレス (A15 ~ A8) ブロックの先頭アドレスから A15 ~ A8 を設定 アクセスウィンドウを解除する場合には "FFh" を設定
AW 先頭アドレス HL (1 バイト)	: アクセスウィンドウ範囲の先頭アドレス (A23 ~ A16) ブロックの先頭アドレスから A23 ~ A16 を設定 アクセスウィンドウを解除する場合には "FFh" を設定
AW 最終アドレス LH (1 バイト)	: アクセスウィンドウ範囲の最終アドレス (A15 ~ A8) ブロックの最終アドレスから A15 ~ A8 を設定 アクセスウィンドウを解除する場合には "FFh" を設定
AW 最終アドレス HL (1 バイト)	: アクセスウィンドウ範囲の最終アドレス (A23 ~ A16) ブロックの最終アドレスから A23 ~ A16 を設定 アクセスウィンドウを解除する場合には "FFh" を設定
SUM (1 バイト)	: コマンドデータを合計して "00h" になる値

レスポンス	06h
-------	-----

エラーレスポンス	F4h	エラー
----------	-----	-----

エラー (1 バイト)	: エラーコード "11h": SUM エラー "2Ah": アドレスエラー (アドレスが指定の領域内でない) "53h": プログラムエラー (アクセスウィンドウの設定ができない)
-------------	--

31.9.8.5 アクセスウィンドウリード

ホストから送信するコマンドは、本 MCU では“73h 01h FFh 8Dh”を送信してください。

本 MCU はリードが正常に実行できた場合、読み出したアクセスウィンドウ先頭アドレスとアクセスウィンドウ最終アドレスを送信します。受信したコマンドの SUM 値が一致しなかった場合、エラーレスポンスを送信します。

コマンド	73h	01h	FFh	8Dh
------	-----	-----	-----	-----

レスポンス	73h	05h		
	AW先頭 アドレスLH	AW先頭 アドレスHL	AW最終 アドレスLH	AW最終 アドレスHL
	FFh			
	SUM			

AW 先頭アドレス LH (1 バイト) : アクセスウィンドウ範囲の先頭アドレス (A15 ~ A8)

AW 先頭アドレス HL (1 バイト) : アクセスウィンドウ範囲の先頭アドレス (A23 ~ A16)

AW 最終アドレス LH (1 バイト) : アクセスウィンドウ範囲の最終アドレス (A15 ~ A8)

AW 最終アドレス HL (1 バイト) : アクセスウィンドウ範囲の最終アドレス (A23 ~ A16)

SUM (1 バイト) : レスポンスデータを合計して“00h”になる値

エラーレスポンス	F3h	エラー
----------	-----	-----

エラー (1 バイト) : エラーコード

“11h” : SUM エラー

31.9.9 ブートモード (SCI インタフェース) でのシリアルプログラマ動作説明

ブートモード (SCI インタフェース) を用いたシリアルプログラマが、ユーザ領域のプログラム / イレーズを行う手順を説明します。

1. ビットレート自動調整
2. 本 MCU の情報を取得 (注 1)
3. デバイスの指定、ビットレートの変更
4. プログラム / イレーズステートへの遷移
5. ブートモード ID コードプロテクトの解除
6. イレーズレディ処理
7. ユーザ領域のイレーズ (注 2)
8. ユーザ領域のプログラム (注 2)
9. ユーザ領域のデータを確認 (注 2)
10. ユーザ領域にアクセスウィンドウを設定 (注 3)
11. 本 MCU のリセット

注 1. 2. の処理は、取得する情報が既にある場合、省略できます。

注 2. 7. ~ 10. の処理は、処理の省略や実行順の入れ替えを行っても構いません。

注 3. タイムアウトが発生した場合や無効な応答データを受信した場合は、処理を中断し、11. の処理を行います。

上記に示す手順の詳細は、「31.9.9.1 ビットレート自動調整の制御手順」から「31.9.9.10 ユーザ領域にアクセスウィンドウを設定」を参照ください。また各コマンドに関する詳細は、「31.9.4 問い合わせコマンド」、「31.9.5 設定コマンド」、「31.9.6 ID コード認証コマンド」、「31.9.7 プログラム / イレーズコマンド」、「31.9.8 リードチェックコマンド」を参照してください。

31.9.9.1 ビットレート自動調整の制御手順

シリアルプログラマから送信されるデータ“00h”のLow期間を測定してビットレートの自動調整を行います。

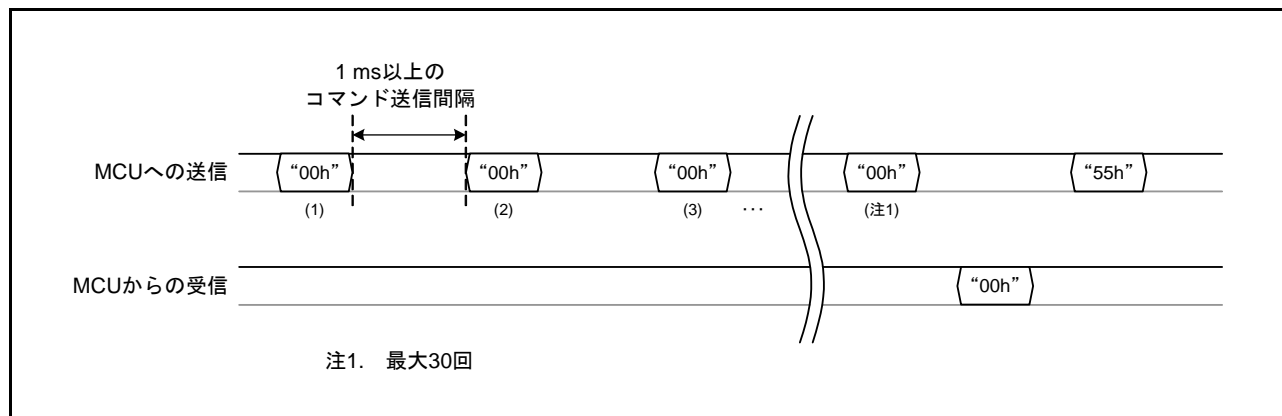


図 31.20 ビットレート自動調整時の送受信データ

ブートモードで起動して 400 ms 以上経過した後にプログラマから本 MCU に“00h”を送信してください。プログラマから本 MCU に“00h”を送信する操作は、最大 30 回実行できます。本 MCU はビットレート調整が終了すると“00h”をプログラマへ送信します。プログラマが“00h”を受信した場合には、プログラマから本 MCU に“55h”を送信してください。“00h”を受信できなかった場合には、本 MCU をブートモードで再起動し、再度ビットレートを調整してください。

本 MCU は“55h”を受信すると“E6h”を送信して問い合わせ / 設定コマンド待ち状態になります。“55h”を受信できなかった場合には“FFh”を送信します。プログラマは“FFh”を受信したら、本 MCU をブートモードで再起動し、再度ビットレートを調整してください。

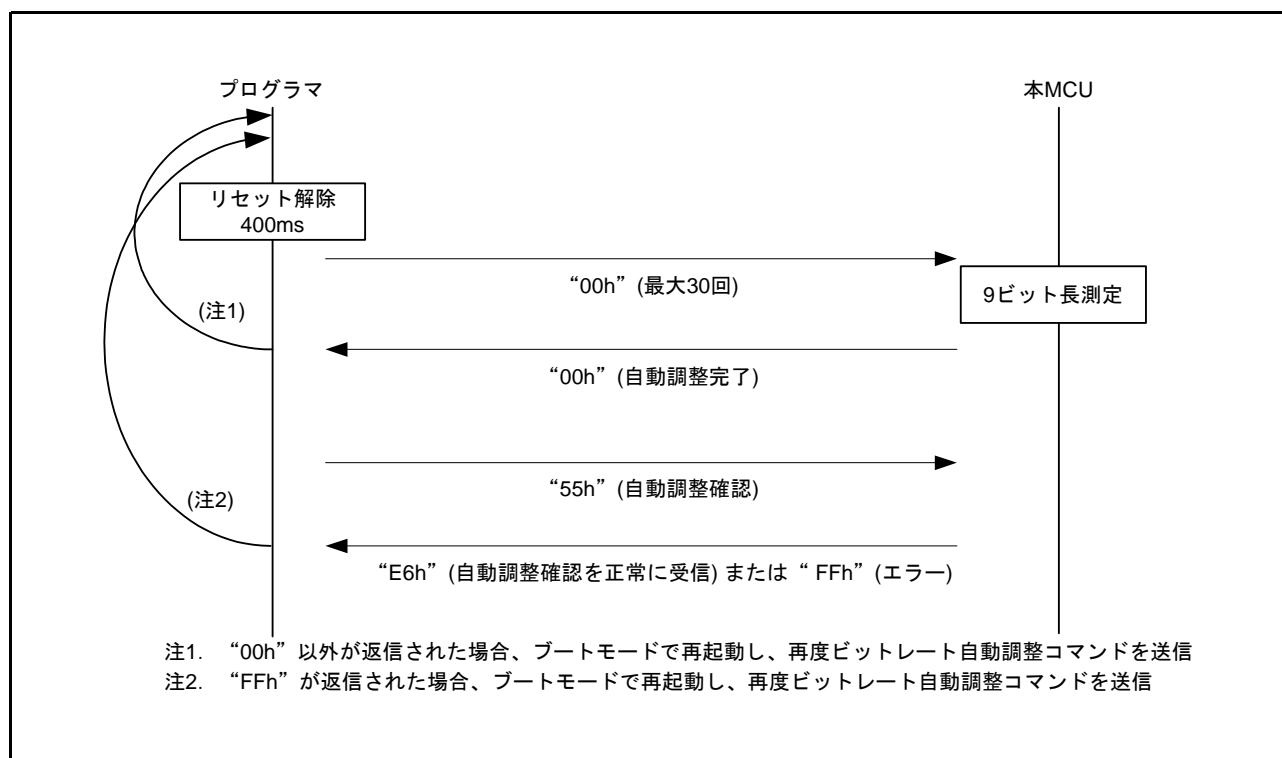


図 31.21 ビットレート自動調整の手順

31.9.9.2 本MCUの情報を取得する制御手順

問い合わせコマンドを送信し、設定コマンドとプログラム/イレーズコマンドとリードチェックコマンドを送信するために必要な情報を取得します。

- (1) 接続するデバイスがどのデバイスなのかを確認するため、サポートデバイス問い合わせコマンド(20h)を送信します。本MCUはデバイスコードとシリーズ名を応答します。
- (2) データ領域の有無とエリアプロテクション機能の有無を確認するため、データ領域有無問い合わせコマンド(2Ah)を送信します。本MCUはデータ領域の有無とエリアプロテクション機能の有無を応答します。
- (3) ユーザ領域の先頭アドレスと最終アドレスを確認するため、ユーザ領域情報問い合わせコマンド(25h)を送信します。本MCUはユーザ領域の先頭アドレスと最終アドレスを応答します。
- (4) ブロックの構成を確認するため、ブロック情報問い合わせコマンド(26h)を送信します。本MCUはユーザ領域の先頭アドレス、1ブロックのブロックサイズ、ブロック数を応答します。

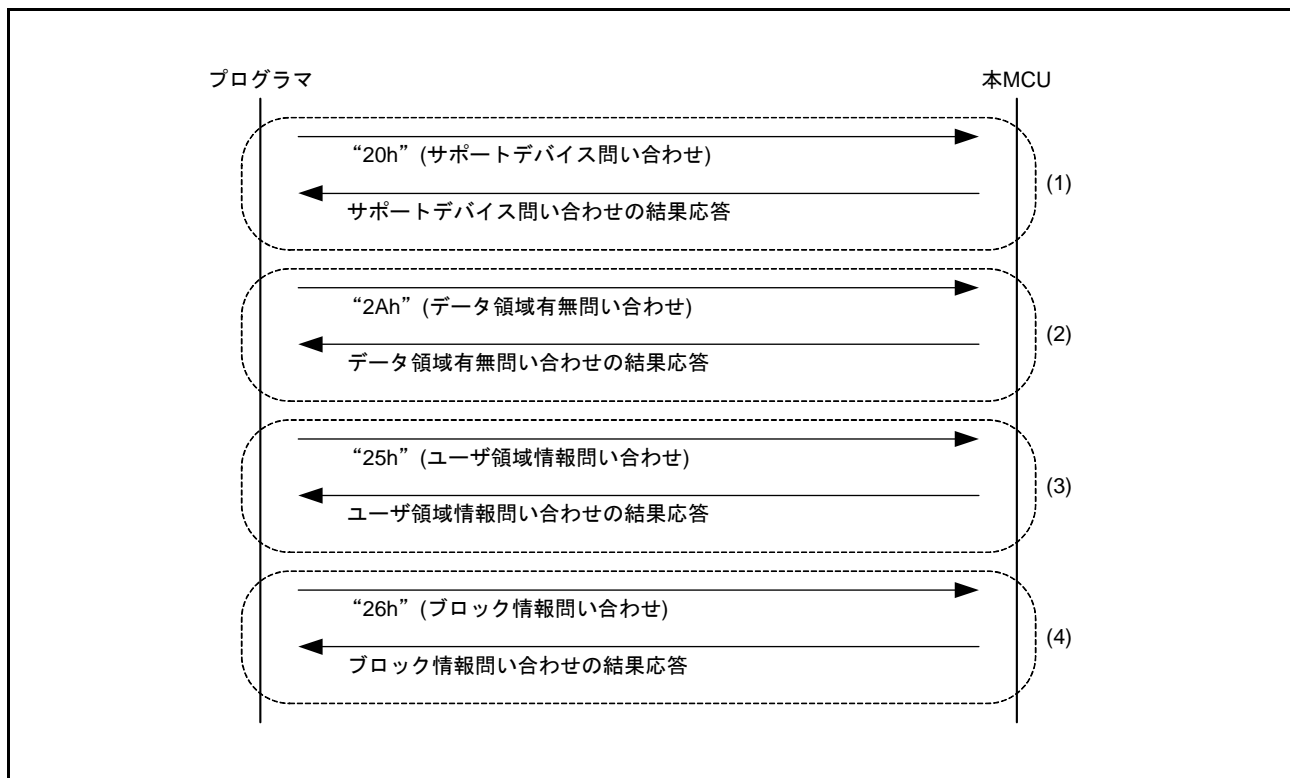


図 31.22 問い合わせコマンドの制御手順

31.9.9.3 デバイス指定、ビットレート変更の制御手順

プログラマと接続するデバイスの指定と通信ビットレートの変更を行います。

- (1) プログラマと接続するデバイスとプログラムするデータのエンディアンを指定するため、デバイス選択コマンド (10h) を送信します。プログラムデータがリトルエンディアンの場合、サポートデバイス問い合わせで応答された“デバイスコード(リトルエンディアン)”を指定します。プログラムデータがビッグエンディアンの場合、サポートデバイス問い合わせで応答された“デバイスコード(ビッグエンディアン)”を指定します。本MCUは正常にデバイスが指定されるとレスポンス(46h)を送信します。正常に受信できなかった場合には、エラーレスポンス(90h)を送信します。
- (2) 通信ビットレートを変更するため、動作周波数選択コマンド(3Fh)を送信します。本MCUは正常に通信ビットレートが指定されるとレスポンス(06h)を送信します。ビットレート変更ができない場合や、正常に受信できなかった場合には、エラーレスポンス(BFh)を送信します。
- (3) プログラマはレスポンス(06h)を受信すると、動作周波数選択コマンド送信時のビットレートで1ビット期間ウェイトし、プログラマのビットレートを変更後のビットレートに設定します。その後、変更後のビットレートで通信確認データ(06h)を送信します。本MCUは正常にコマンドを受信すると通信確認データのレスポンス(06h)を送信します。

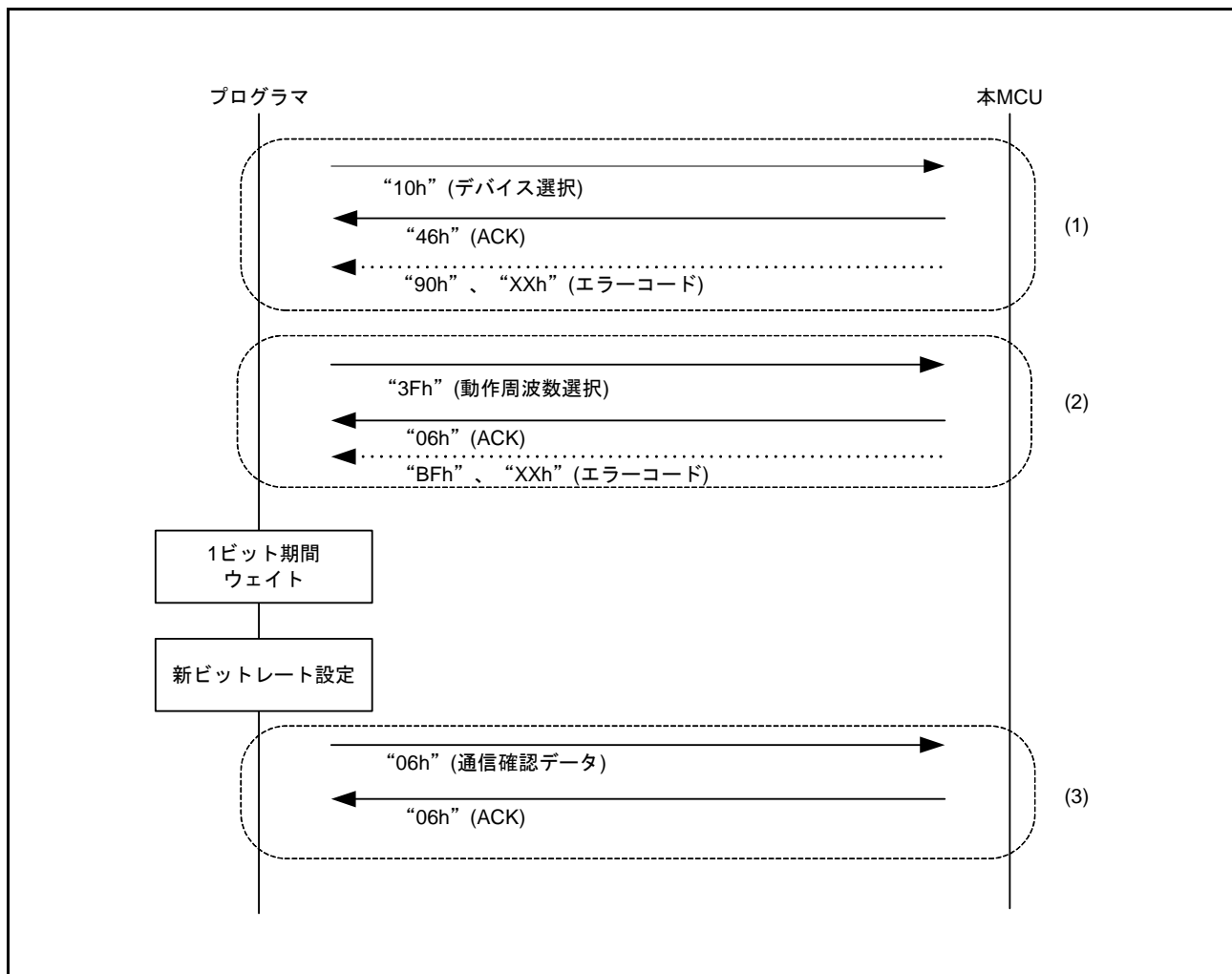


図 31.23 デバイス指定、ビットレート変更の制御手順

31.9.9.4 プログラム/イレーズステートへの遷移

プログラム/イレーズを行うため、本MCUをプログラム/イレーズステートに遷移させます。

プログラム/イレーズステート遷移コマンド(40h)を送信します。本MCUはIDコード、ユーザ領域の状態に応じて応答します。

- (1) ブートモードIDコードによるプロテクトが無効、かつユーザ領域の全領域にデータがない場合、レスポンス(06h)を送信します。レスポンス送信後、本MCUはプログラム/イレーズステートになっており、「31.9.9.7 ユーザ領域のイレーズ」から「31.9.9.10 ユーザ領域にアクセスウィンドウを設定」の処理を引き続き実行します。このとき、書き込む前に「31.9.9.7 ユーザ領域のイレーズ」に示すイレーズ手順を行ってください。
- (2) ブートモードIDコードによるプロテクトが無効、かつユーザ領域にデータがある場合、レスポンス(56h)を送信します。レスポンス送信後、本MCUはイレーズレディの処理待ちとなっており、「31.9.9.6 イレーズレディ処理」の処理を行います。
- (3) ブートモードIDコードによるプロテクトが有効の場合、レスポンス(16h)を送信します。レスポンス送信後、本MCUはIDコード認証の処理待ちとなっており、「31.9.9.5 ブートモードIDコードプロテクトの解除」の処理を行います。

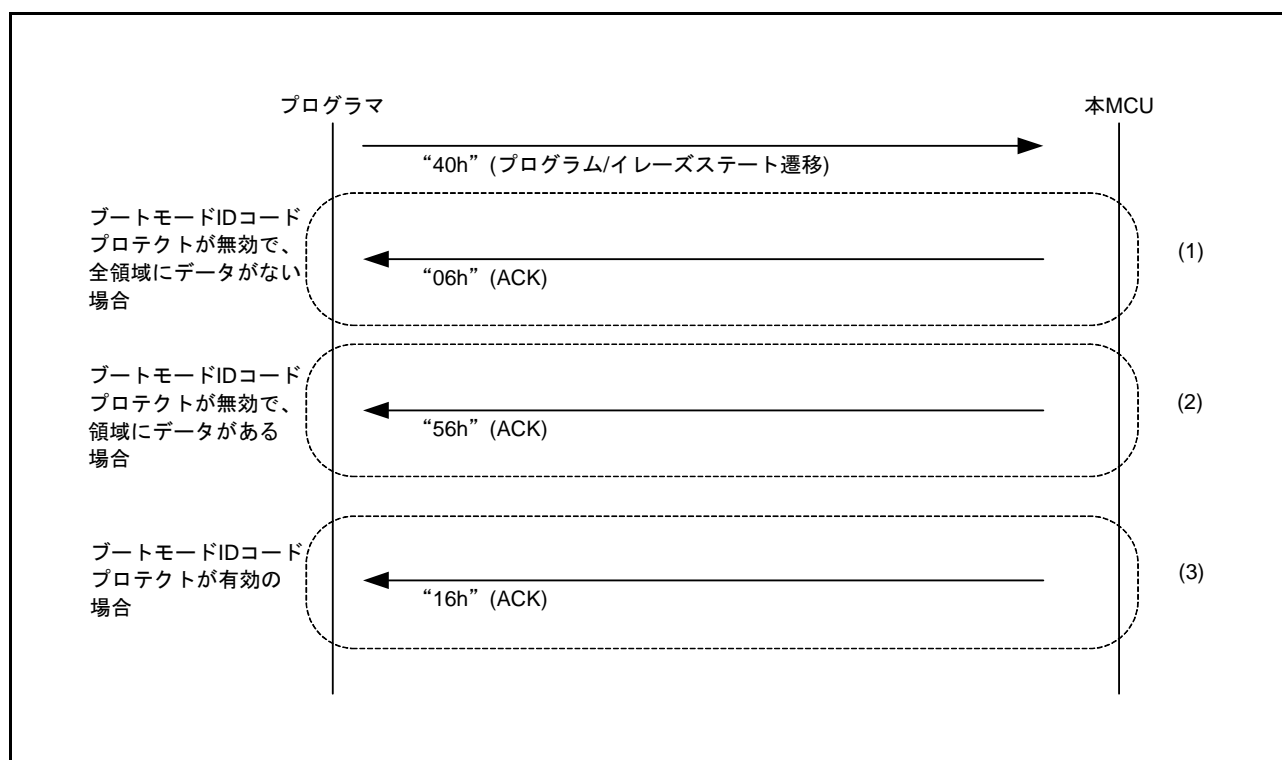


図 31.24 プログラム/イレーズステート遷移の手順

31.9.9.5 ブートモード ID コードプロテクトの解除

プログラマと接続した本 MCU はプログラム / イレーズ / リードチェックができないように、ブートモード ID コードプロテクトが設定されています。このブートモード ID コードプロテクトを解除します。

ID コードチェックコマンド (60h) を送信します。本 MCU は送信された ID コードとユーザ領域に格納されている ID コードを比較し、ID コードの一致、不一致に応じて応答します。

- (1) ID コードが一致の場合、レスポンス (06h) を送信します。レスポンス送信後、本 MCU はプログラム / イレーズ状態になっており、「31.9.9.7 ユーザ領域のイレーズ」から「31.9.9.10 ユーザ領域にアクセスウィンドウを設定」の処理を引き続き実行します。このとき、ユーザ領域のデータは消去されません。書き込む前に「31.9.9.7 ユーザ領域のイレーズ」に示すイレーズ手順を行ってください。ID コードが不一致の場合、エラーレスポンス (E0h) を送信します。レスポンス送信後、本 MCU は ID コード認証の処理待ちから遷移していません。制御コードが “52h” で、ID コードの不一致が続く場合、MCU をリセット後、「31.9.9.1 ビットレート自動調整の制御手順」からやり直してください。
- (2) ID コードのうち制御コードが “45h” で、ID コードの不一致が 3 回発生した場合、レスポンス (56h) を送信します。レスポンス送信後、本 MCU はイレーズレディの処理待ちとなっており、「31.9.9.6 イレーズレディ処理」の処理を行います。

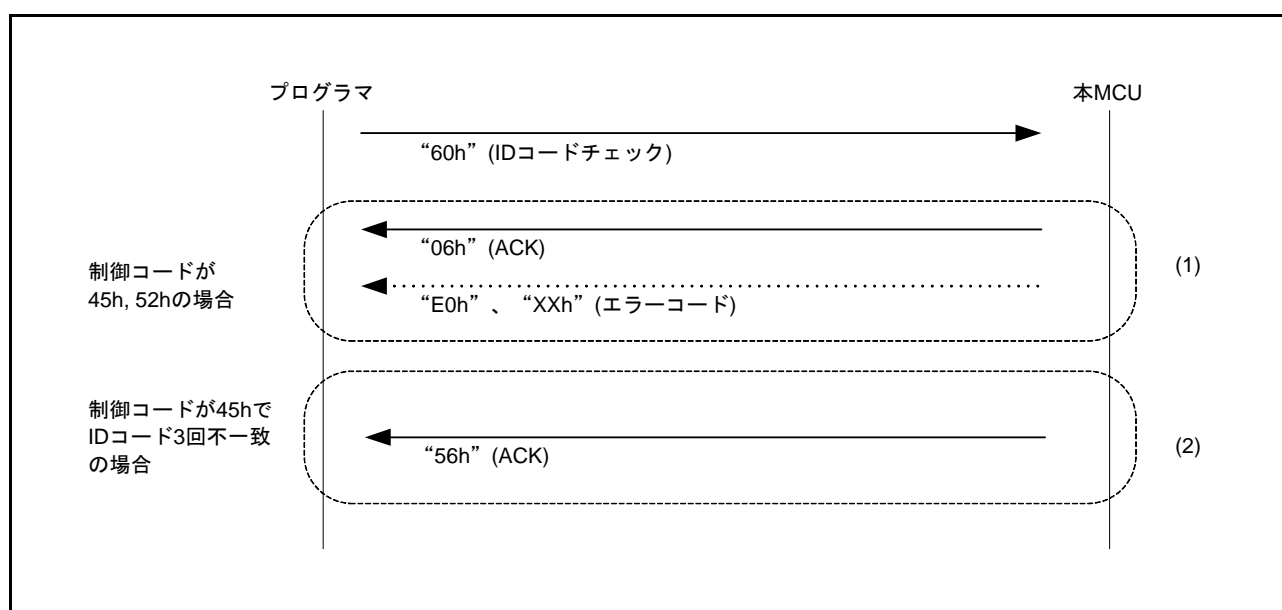


図 31.25 ID コードチェックの手順

31.9.9.6 イレーズレディ処理

本 MCU のユーザ領域を消去します。

- (1) 本 MCU をイレーズ待ちにするため、イレーズ準備コマンド (48h) を送信します。本 MCU はイレーズ待ちとなっており、レスポンス (06h) を送信します。
- (2) 本 MCU のブロックをイレーズするため、ブロックイレーズコマンド (59h) を送信します。本 MCU は正常にブロックが消去されるとレスポンス (06h) を送信します。正常に受信できなかった場合には、エラーレスポンス (D9h) を送信します。
全ブロック数分のブロックイレーズのコマンドを送信するまでブロックイレーズコマンドの送信を繰り返してください。全ブロック数とは、事前にブロック情報問い合わせコマンドで取得したユーザ領域ブロック数です。途中で終了させると、次のプログラム/イレーズ状態で正しいコマンドを送信しても、コマンドエラーとなる場合があります。
- (3) イレーズを終了するブロックイレーズコマンド (59h 04h FFh FFh FFh A7h) を送信します。本 MCU は、レスポンス (06h) を送信します。
- (4) イレーズレディが終了したことを確認するため、ブートモードステータス問い合わせコマンド (4Fh) を送信します。本 MCU は、イレーズレディが終了している場合、ブートモードステータス問い合わせの結果を応答し、イレーズレディが終了していない場合、エラーレスポンス (80h 4Fh) を送信します。エラーレスポンスを受信したら、本 MCU をブートモードで再起動し、「31.9.9.1 ビットレート自動調整の制御手順」からやり直してください。

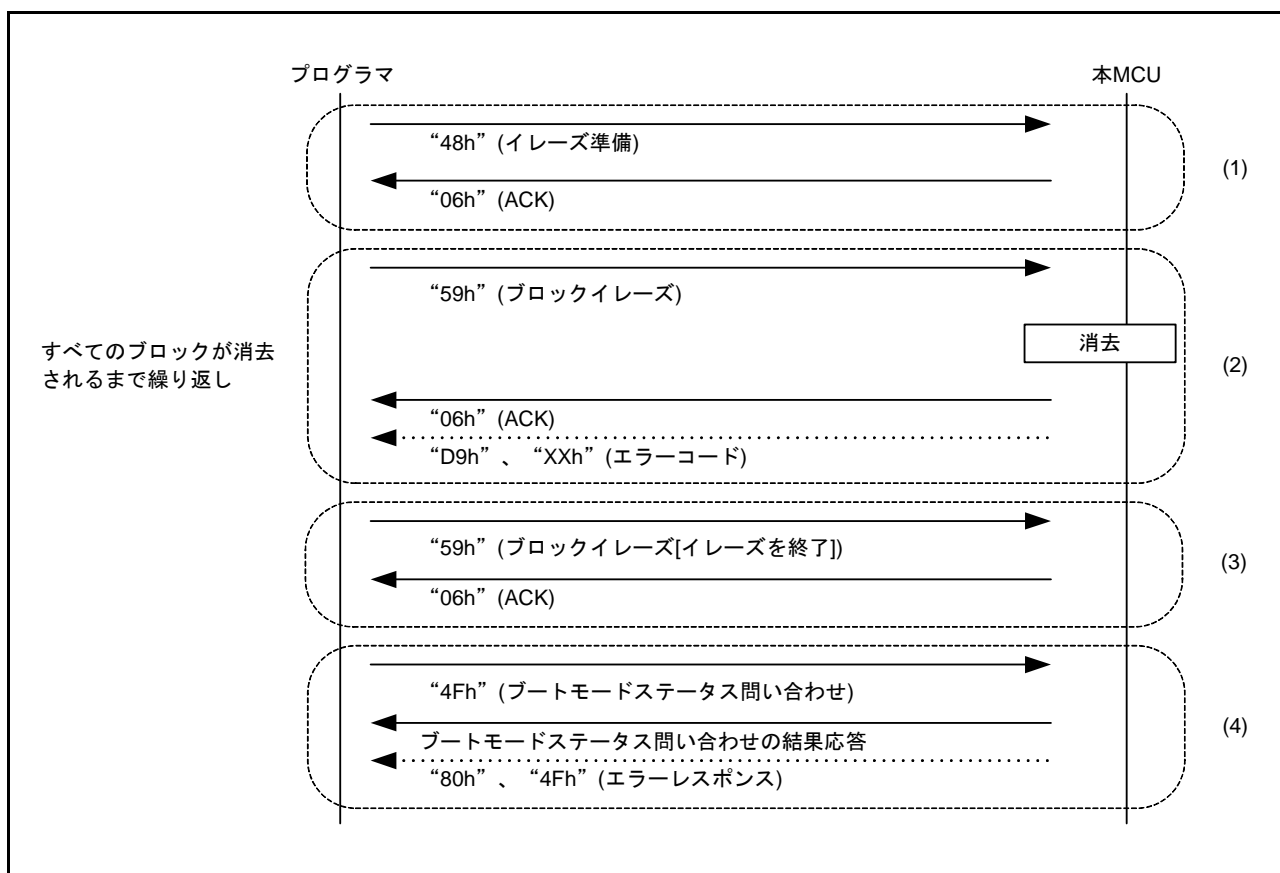


図 31.26 イレーズレディ処理のコマンド制御手順

31.9.9.7 ユーザ領域のイレース

ユーザプログラムを書き込むために、ユーザ領域のうち書き込む領域のブロックを消去します。

- (1) イレース待ち状態に遷移するため、イレース準備コマンド (48h) を送信します。本 MCU はイレース待ち状態へ遷移し、レスポンス (06h) を送信します。
- (2) ブロックイレースコマンド (59h) を送信します。イレースするブロックは、ブロック先頭アドレスで指定します。
本 MCU は指定ブロックが正常に消去されるとレスポンス (06h) を送信します。正常に受信できなかった場合には、エラーレスポンス (D9h) を送信します。
- (3) プログラム/イレース状態へ遷移するため、イレースを終了するブロックイレースコマンド (59h 04h FFh FFh FFh FFh A7h) を送信します。本 MCU はプログラム/イレース状態に遷移し、レスポンス (06h) を送信します。

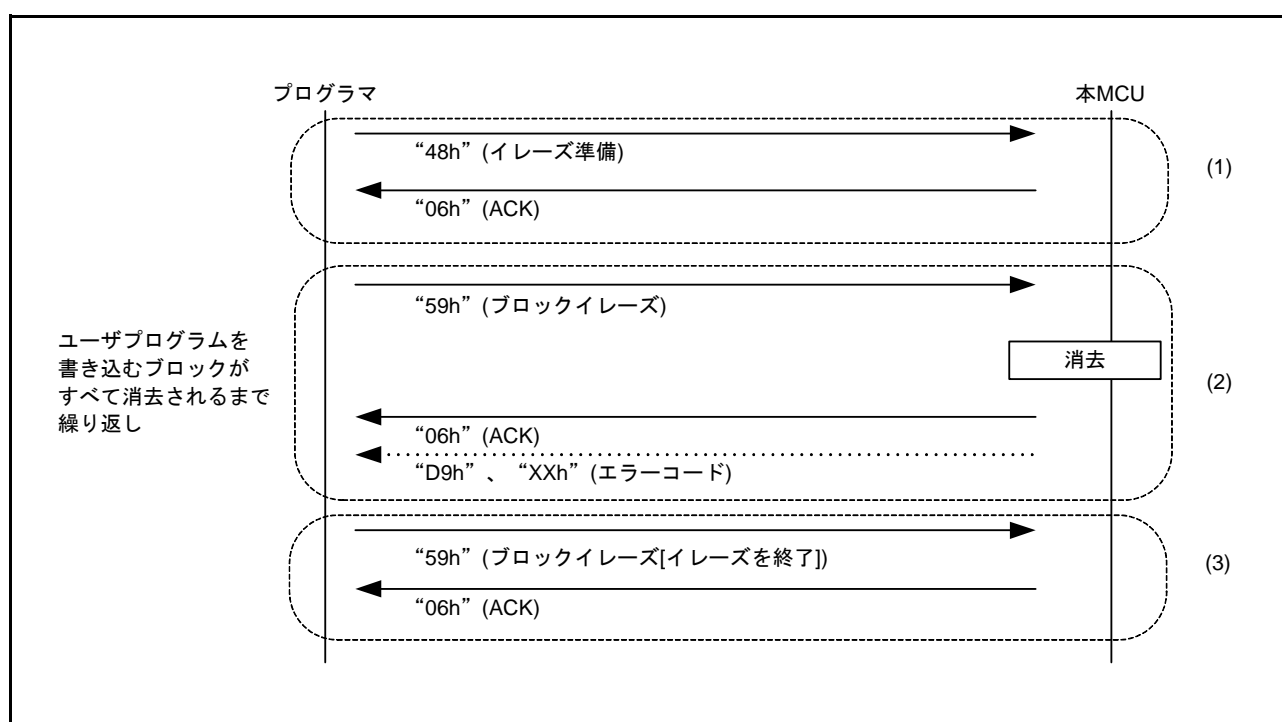


図 31.27 ユーザ領域をイレースする手順

31.9.9.8 ユーザ領域のプログラム

ユーザ領域にユーザプログラムを書き込みます。

- (1) プログラム待ち状態に遷移するため、ユーザ領域プログラム準備コマンド (43h) を送信します。本 MCU はプログラム待ち状態へ遷移し、レスポンス (06h) を送信します。
- (2) プログラムコマンド (50h) を送信します。プログラムアドレスは 256 バイトでアライメントされたアドレスを、プログラムデータは 256 バイト単位で指定します。本 MCU はプログラムが正常に書き込むとレスポンス (06h) を送信します。正常に受信できなかった場合には、エラーレスポンス (D0h) を送信します。
- (3) プログラム/イレーズ状態へ遷移するため、プログラムを終了するプログラムコマンド (50h FFh FFh B4h) を送信します。本 MCU はプログラム/イレーズ状態に遷移し、レスポンス (06h) を送信します。

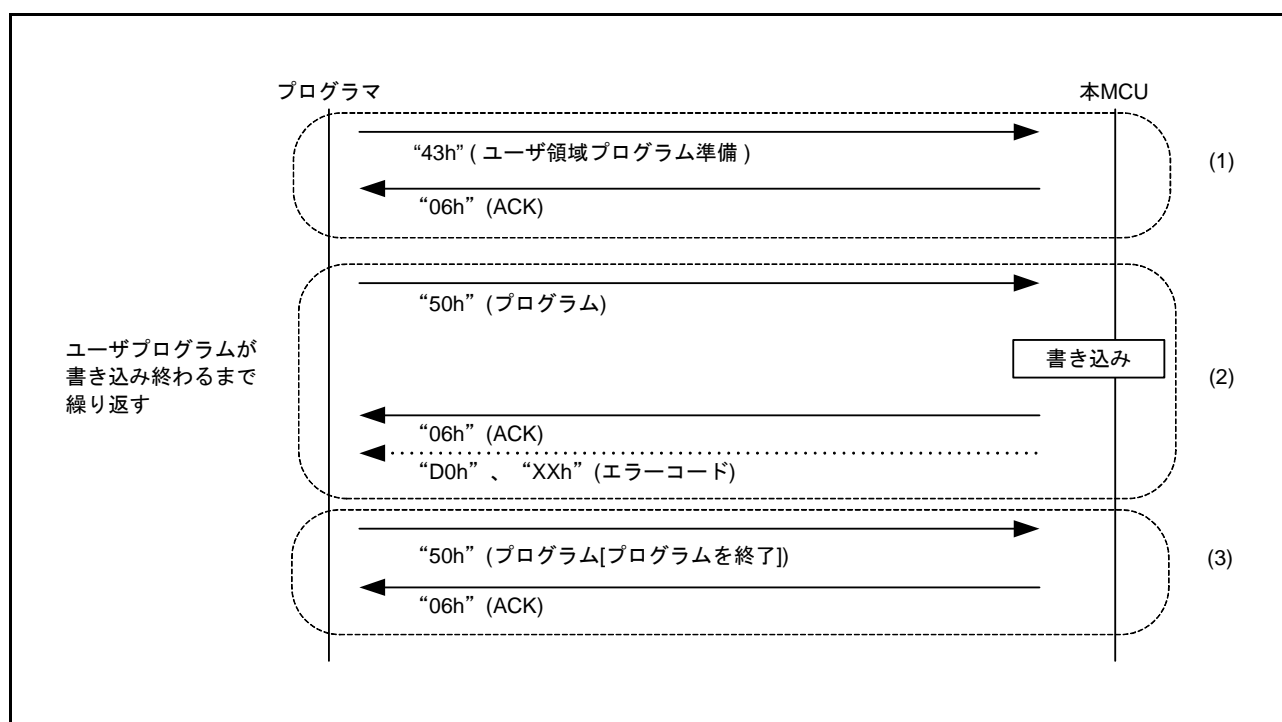


図 31.28 ユーザ領域をプログラムする手順

31.9.9.9 ユーザ領域のデータを確認

ユーザ領域に書き込まれたデータを確認するため、ユーザ領域のリードチェック、チェックサム、ブランクチェックを行います。

- (1) リードチェックは、ユーザ領域にあるデータを読み出して書き込んだ値と比較することで、書き込み動作が正常に行われたかを確認します。ユーザ領域にあるデータを読み出すために、メモリリードコマンド (52h) を送信します。読み出す領域は、読み出しアドレスと読み出しサイズで設定します。本MCUは読み出しアドレスで指定されたアドレスから読み出しサイズ分のデータを応答します。正常に受信できなかった場合には、エラーレスポンス (D2h) を送信します。
- (2) ユーザ領域のチェックサム値でプログラムデータを確認するため、ユーザ領域チェックサムコマンド (4Bh) を送信します。本MCUはユーザ領域の先頭アドレスから最終アドレスまでのデータをバイト単位で読み出した結果をレスポンスとして送信します。
- (3) ユーザ領域にデータがあるかないかを確認するため、ユーザ領域ブランクチェックコマンド (4Dh) を送信します。本MCUはユーザ領域の先頭アドレスから最終アドレスまでのすべてにデータがない場合、レスポンス (06h) を送信します。1バイトでもデータがある場合は、データありレスポンス (CDh 52h) を送信します。

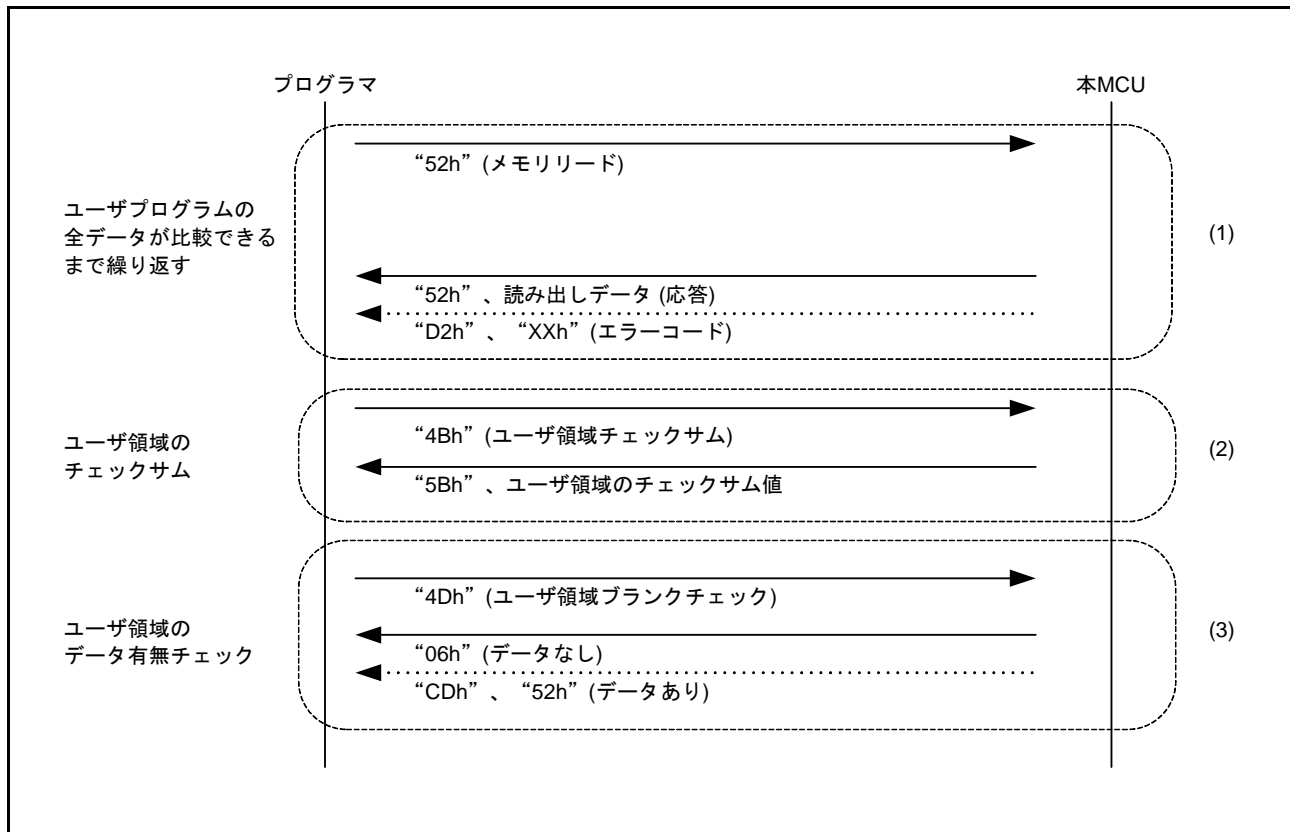


図 31.29 ユーザ領域のデータを確認する手順

31.9.9.10 ユーザ領域にアクセスウィンドウを設定

セルフプログラミング時に、ユーザ領域の意図しない書き換えを防ぐため、アクセスウィンドウの設定を行います。

- (1) アクセスウィンドウの設定、設定解除を行うため、アクセスウィンドウ情報プログラムコマンド (74h) を送信します。

アクセスウィンドウの設定を行う場合は、AW 区分には“設定”(00h)を、AW 先頭アドレス、AW 最終アドレスにはセルフプログラミング時に書き換えを許可する領域の、それぞれ先頭アドレスと最終アドレスを指定します。

アクセスウィンドウの設定解除を行う場合は、AW 区分には“解除”(FFh)を、AW 先頭、AW 最終アドレスには“FFh, FFh”を指定します。

本MCUは正常にアドレスを書き込むとレスポンス (06h) を送信します。正常に受信できなかった場合には、エラーレスポンス (F4h) を送信します。

- (2) アクセスウィンドウの設定を確認するため、アクセスウィンドウリードコマンド (73h) を送信します。

本MCUは設定されたアクセスウィンドウの設定情報を応答します。正常に受信できなかった場合には、エラーレスポンス (F3h) を送信します。

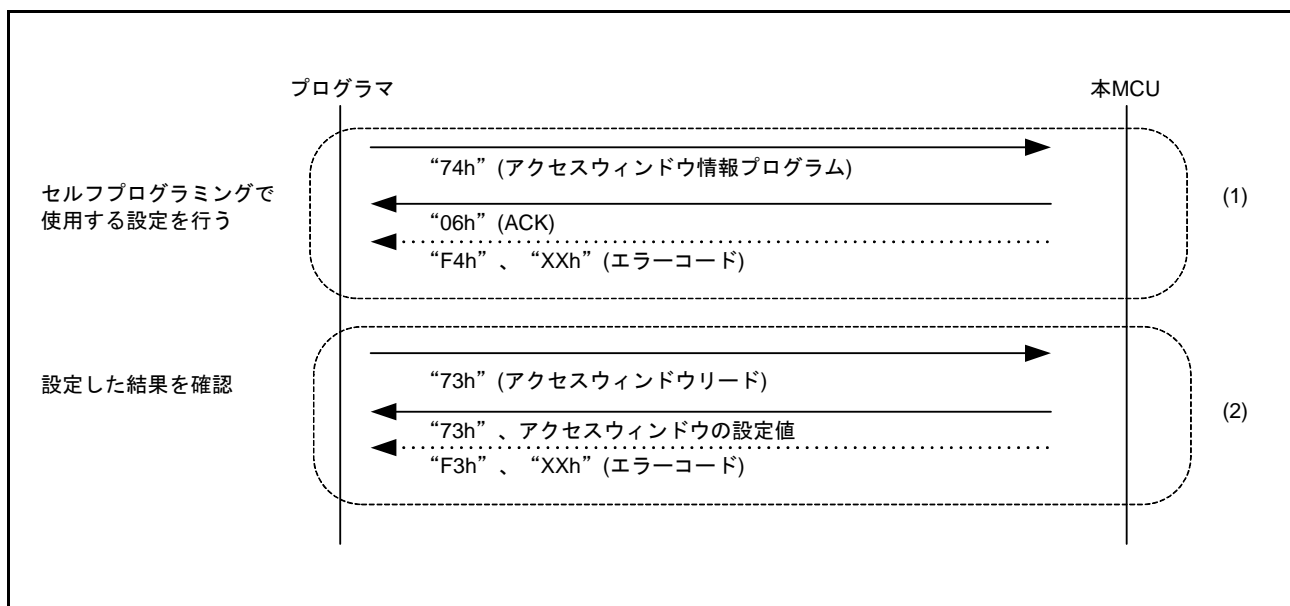


図 31.30 ユーザ領域にアクセスウィンドウを設定する手順

31.10 セルフプログラミングでの書き換え

31.10.1 概要

本MCUは、ユーザプログラム自身によるフラッシュメモリの書き換えをサポートします。ユーザプログラム内にフラッシュ書き換えルーチンを用意することにより、ROMを書き換えることができます。

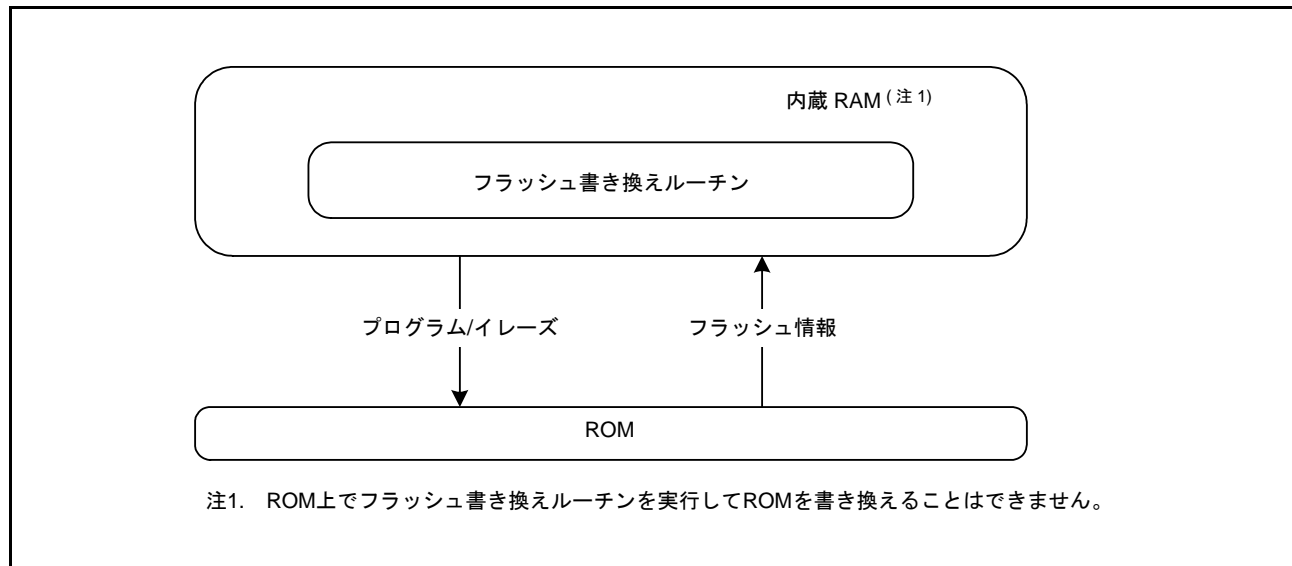


図 31.31 セルフプログラミングの概念

31.11 使用上の注意事項

- (1) イレーズ処理強制停止後の該当ブロックへのアクセス
イレーズ処理を強制停止した場合、処理が中断されたブロックの格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、当該ブロックでの命令実行や、データ読み出しが発生しないように注意してください。
- (2) イレーズ処理強制停止後の処理
イレーズ処理を強制停止した場合は、もう一度同一ブロックに対して、ブロックイレーズコマンドを発行してください。
- (3) 追加書き込み禁止
同一アドレスに2回以上の書き込みを行うことはできません。書き込み済みの領域を書き換えたい場合には、当該ブロックを消去してください。
- (4) プログラム/イレーズ中のリセット
プログラム/イレーズ中に RES# 端子リセットを発生させた場合には、電気的特性に定める動作電圧範囲内で、tRESW (「32. 電気的特性」を参照) 以上のリセット入力期間の後にリセットを解除してください。
プログラム/イレーズ中の IWDT リセット、ソフトウェアリセットについては、上記の時間保持に関係なく使用できます。
- (5) プログラム/イレーズ中のノンマスカブル割り込み禁止
プログラム/イレーズ中にノンマスカブル割り込み (NMI 端子割り込み、発振停止検出割り込み、IWDT アンダフロー/リフレッシュエラー、電圧監視1割り込み、電圧監視2割り込み) が発生すると、ROM からのベクタフェッチが発生し、不定データが読み出されます。
このため、ROM へのプログラム/イレーズ中にノンマスカブル割り込みが発生しないようにしてください。(本禁止事項は ROM のみに適用されます)。
- (6) プログラム/イレーズ中の割り込みベクタの配置
プログラム/イレーズ中に割り込みが発生すると ROM からのベクタのフェッチが発生する場合があります。ROM からのベクタのフェッチを回避するには、CPU の INTB レジスタにより割り込みベクタのフェッチ先を ROM 以外に設定する方法があります。
- (7) 低速動作モードでの書き込み/消去
消費電力低減機能の SOPCCR レジスタで低速動作モードを選択した場合は、フラッシュへのプログラム/イレーズを行わないでください。
- (8) プログラム/イレーズ中の異常終了
プログラム/イレーズ中、動作電圧範囲を超える電圧変動、リセット、および事項(9)の禁止事項により、プログラム/イレーズが正常に終了しなかった場合、再度該当領域のイレーズを行ってください。
- (9) プログラム/イレーズ中の禁止事項
プログラム/イレーズ中は、フラッシュメモリへのダメージを防ぐため、以下の動作は行わないでください。
 - ・本 MCU の電源を動作電圧範囲外にする。
 - ・OPCCR.OPCM[2:0] ビットの値を更新する。
 - ・SOPCCR.SOPCM ビットの値を更新する。
 - ・SCKCR3 レジスタのクロックソース選択ビットを変更する。
 - ・RSTCKCR.RSTCKEN ビットの設定により、スリープモード復帰時のクロックソース切り替えを有効にする。
 - ・FlashIF クロック (FCLK) の分周比を変更する。
 - ・ディープスリープモード、ソフトウェアスタンバイモードに移行する。

(10) プログラム/イレーズ時の FCLK について

セルフプログラミングでプログラム/イレーズを行う場合、FlashIF クロック (FCLK) の周波数を設定し、FISR.PCKA[4:0] ビットに FCLK 周波数を MHz 単位の整数値で設定してください。ただし、FCLK が 4 ~ 32 MHz の場合は、たとえば 12.5 MHz など整数値でない周波数を使用する場合に、小数点以下を切り上げて設定してください (12.5 MHz の場合は 13 MHz)。FCLK が 4 MHz 以下の場合は、1 MHz, 2 MHz, 3 MHz または 4 MHz 以外の周波数は使用できません。

31.12 使用上の注意事項 (ブートモード)

(1) ブートモードで通信異常が発生した場合に関する注意事項

本 MCU と正常な通信ができなくなった場合、本 MCU をリセットして、再度ブートモードで起動させてください。

(2) ブートモード (SCI インタフェース) での電源電圧に関する注意事項

500 kbps を超える通信ビットレートを使用する際は、3.0 V 以上で動作させてください。

(3) ブートモードでのオプション設定メモリに関する注意事項

ブートモードではオプション機能選択レジスタ 0 (OFS0)、オプション機能選択レジスタ 1 (OFS1)、エンディアン選択レジスタ (MDE) の設定は無効になります。

(4) スタートアップ領域の切り替えに関する注意事項

スタートアップ領域の切り替えは、セルフプログラミングで実施してください。

32. 電気的特性

32.1 絶対最大定格

表 32.1 絶対最大定格

条件：VSS = AVSS0 = VREFL0 = 0V

項目	記号	定格値	単位
電源電圧	VCC	-0.3 ~ +4.6	V
入力電圧	5Vトレラント対応ポート (注1)	V_{in}	-0.3 ~ +6.5
	ポートP40~P44、P46、 ポートPJ6、PJ7	V_{in}	-0.3 ~ AVCC0+0.3
	上記以外のポート	V_{in}	-0.3 ~ VCC+0.3
リファレンス電源電圧	VREFH0	-0.3 ~ AVCC0+0.3	V
アナログ電源電圧	AVCC0	-0.3 ~ +4.6	V
アナログ入力電圧	V_{AN}	-0.3 ~ AVCC0+0.3 (AN000 ~ AN004、AN006 使用時) -0.3 ~ VCC+0.3 (AN008 ~ AN015 使用時)	V
動作温度 (注2)	T_{opr}	-40 ~ +85 -40 ~ +105	°C
保存温度	T_{stg}	-55 ~ +125	°C

【使用上の注意】絶対最大定格を超えてMCUを使用した場合、MCUの永久破壊となることがあります。

ノイズによる誤動作を防止するため、各VCC端子とVSS端子間、AVCC0端子とAVSS0間、VREFH0端子とVREFL0間には周波数特性の良いコンデンサを挿入してください。コンデンサは0.1 μ F程度の容量のものを、できる限り電源端子の近くに配置し、最短距離かつできる限り太いパターンを使用して接続してください。また安定化容量を接続ください。

VCL端子は、4.7 μ Fのコンデンサを介してVSSに接続してください。コンデンサは端子の近くに配置してください。詳細は、「32.9.1 VCLコンデンサ、バイパスコンデンサ接続方法」を参照してください。

当該デバイスの電源がOFF状態の時に、5Vトレラントポート以外のポートに入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップからの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。なお、5Vトレラントポートには、-0.3 ~ +6.5Vの電圧を入力してもMCU破壊などの問題は発生しません。

注1. ポートP16、P17、PA6、PB0は、5Vトレラント対応です。

注2. 製品により動作温度の上限が85°Cの製品と105°Cの製品とあります。詳細は「1.2 製品一覧」を参照ください。

表 32.2 推奨動作条件

項目	記号	min	typ	max	単位
電源電圧	VCC (注1)	1.8	—	3.6	V
	VSS	—	0	—	V
アナログ電源電圧	AVCC0 (注1、注2)	1.8	—	3.6	V
	AVSS0	—	0	—	V
	VREFH0	1.8	—	AVCC0	V
	VREFL0	—	0	—	V

注1. AVCC0とVCCの電源投入順序は、同時もしくはVCCを先に投入してください。

注2. AVCC0の電圧は「27.6.10 アナログ電源端子他の設定範囲」を参考に決定してください。

32.2 DC 特性

表32.3 DC特性 (1)

条件：2.7V ≤ VCC ≤ 3.6V、2.7V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = 0V、T_a = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	RIIC入力端子 (SMBusを除く、5Vトレラント)	V _{IH}	VCC × 0.7	—	5.8	V	
	ポートP16、P17、ポートPA6、 ポートPB0 (5Vトレラント)		VCC × 0.8	—	5.8		
	ポートP03、P05、 ポートP14、P15、 ポートP26、P27、 ポートP30~P32、P35、 ポートP54、P55、 ポートPA0、PA1、PA3、PA4、 ポートPB1、PB3、PB5~PB7、 ポートPC0~PC7、 ポートPE0~PE7、 ポートPH0~PH3、PH7、 RES#		VCC × 0.8	—	VCC + 0.3		
	RIIC入力端子 (SMBusを除く)	V _{IL}	-0.3	—	VCC × 0.3		
	RIIC入力端子以外		-0.3	—	VCC × 0.2		
	RIIC入力端子 (SMBusを除く)	ΔV _T	VCC × 0.05	—	—		
	RIIC入力端子以外		VCC × 0.1	—	—		
	入力電圧 (シュミット トリガ入力端子 を除く)	MD	V _{IH}	VCC × 0.9	—		
XTAL (外部クロック入力)		VCC × 0.8		—	VCC + 0.3		
ポートP40~P44、P46、 ポートPJ6、PJ7		AVCC0 × 0.7		—	AVCC0 + 0.3		
RIIC入力端子 (SMBus)		2.1		—	VCC + 0.3		
MD		V _{IL}	-0.3	—	VCC × 0.1		
XTAL (外部クロック入力)			-0.3	—	VCC × 0.2		
ポートP40~P44、P46、 ポートPJ6、PJ7			-0.3	—	AVCC0 × 0.3		
RIIC入力端子 (SMBus)			-0.3	—	0.8		

表32.4 DC特性 (2)

条件: $1.8V \leq VCC < 2.7V$ 、 $1.8V \leq AVCC0 < 2.7V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	ポートP16、P17、ポートPA6、 ポートPB0 (5Vトレラント)	V_{IH}	$VCC \times 0.8$	—	5.8	V	
	ポートP03、P05、 ポートP14、P15、 ポートP26、P27、 ポートP30~P32、P35、 ポートP54、P55、 ポートPA0、PA1、PA3、PA4、 ポートPB1、PB3、PB5~PB7、 ポートPC0~PC7、 ポートPE0~PE7、 ポートPH0~PH3、PH7、 RES#		$VCC \times 0.8$	—	$VCC + 0.3$		
	全端子		-0.3	—	$VCC \times 0.2$		
	全端子	ΔV_T	$VCC \times 0.01$	—	—		
入力電圧 (シュミット トリガ入力端子 を除く)	MD	V_{IH}	$VCC \times 0.9$	—	$VCC + 0.3$	V	
	XTAL (外部クロック入力)		$VCC \times 0.8$	—	$VCC + 0.3$		
	ポートP40~P44、P46、 ポートPJ6、PJ7		$AVCC0 \times 0.7$	—	$AVCC0 + 0.3$		
	MD	V_{IL}	-0.3	—	$VCC \times 0.1$		
	XTAL (外部クロック入力)		-0.3	—	$VCC \times 0.2$		
	ポートP40~P44、P46、 ポートPJ6、PJ7		-0.3	—	$AVCC0 \times 0.3$		

表 32.5 DC特性 (3)

条件: $1.8V \leq VCC \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
入力リーク電流	RES#, MD、ポートP35、 ポートPH7	$ I_{in} $	—	—	1.0	μA $V_{in} = 0V$ 、VCC
スリーステートリーク 電流 (オフ状態)	5Vトレラント対応ポート	$ I_{TSI} $	—	—	1.0	μA $V_{in} = 0V$ 、5.8V
	それ以外の端子		—	—	1.0	μA $V_{in} = 0V$ 、VCC
入力容量	全入力端子 (ポートP16、ポートP35以外)	C_{in}	—	—	15	pF $V_{in} = 0mV$ 、 周波数: 1MHz、 $T_a = 25^\circ C$
	ポートP16、ポートP35		—	—	30	

表 32.6 DC特性 (4)

条件: $1.8V \leq VCC \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
入力プルアップ抵抗	全ポート (ポートP35、ポートPH7を除く)	R_U	10	20	100	$k\Omega$ $V_{in} = 0V$

表32.7 DC特性 (5) (1 / 2)

条件: $1.8V \leq VCC \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目				記号	typ (注4)	max	単位	測定条件	
消費電流 (注1)	高速動作モード	通常動作モード	周辺動作なし (注2)	ICLK = 32MHz	I _{CC}	3.2	—	mA	
				ICLK = 16MHz		2.1	—		
				ICLK = 8MHz		1.5	—		
			全周辺動作 通常動作 (注3)	ICLK = 32MHz		9.6	—		
				ICLK = 16MHz		5.6	—		
				ICLK = 8MHz		3.5	—		
		全周辺動作 最大動作 (注3)	ICLK = 32MHz	—		21.6			
			スリープモード	周辺動作なし (注2)		ICLK = 32MHz	1.5		—
						ICLK = 16MHz	1.2		—
		ICLK = 8MHz				1.0	—		
		ディープ スリープモード	全周辺動作 通常動作 (注3)	ICLK = 32MHz		5.1	—		
				ICLK = 16MHz		3.1	—		
	ICLK = 8MHz			2.0	—				
	周辺動作なし (注2)		ICLK = 32MHz	1.0	—				
			ICLK = 16MHz	0.80	—				
			ICLK = 8MHz	0.70	—				
	中速動作モード	通常動作モード	周辺動作なし (注5)	ICLK = 12MHz	I _{CC}	1.7	—	mA	
				ICLK = 8MHz		1.3	—		
				ICLK = 1MHz		0.72	—		
			全周辺動作 通常動作 (注6)	ICLK = 12MHz		4.2	—		
				ICLK = 8MHz		3.3	—		
				ICLK = 1MHz		1.2	—		
		全周辺動作 最大動作 (注6)	ICLK = 12MHz	—		10			
			スリープモード	周辺動作なし (注5)		ICLK = 12MHz	1.0		—
ICLK = 8MHz						0.82	—		
ICLK = 1MHz		0.65				—			
ディープ スリープモード		全周辺動作 通常動作 (注6)	ICLK = 12MHz	2.3		—			
			ICLK = 8MHz	1.9		—			
	ICLK = 1MHz		1.0	—					
	周辺動作なし (注5)	ICLK = 12MHz	0.8	—					
		ICLK = 8MHz	0.66	—					
		ICLK = 1MHz	0.58	—					
全周辺動作 通常動作 (注6)	ICLK = 12MHz	1.6	—						
	ICLK = 8MHz	1.5	—						
	ICLK = 1MHz	0.87	—						

表32.7 DC特性 (5) (2 / 2)

条件: $1.8V \leq VCC \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目				記号	typ (注4)	max	単位	測定条件	
消費電流 (注1)	低速動作モード	通常動作モード	周辺動作なし (注7)	I _{CC}	3.9	—	μA		
			全周辺動作 通常動作 (注8、注9)						ICLK = 32.768kHz
			全周辺動作 最大動作 (注8、注9)						ICLK = 32.768kHz
		スリープモード	周辺動作なし (注7)						ICLK = 32.768kHz
			全周辺動作 通常動作 (注8)						ICLK = 32.768kHz
		ディープ スリープモード	周辺動作なし (注7)						ICLK = 32.768kHz
			全周辺動作 通常動作 (注8)						ICLK = 32.768kHz

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵ブルアップMOSをオフ状態にした場合の値です。
 注2. 周辺機能はクロック停止状態。クロックソースはHOCOです。FCLK、PCLKは64分周設定です。
 注3. 周辺機能はクロック供給状態。クロックソースはHOCOです。FCLK、PCLKはICLKと同じ周波数です。
 注4. $VCC = 3.3V$ の値です。
 注5. 周辺機能はクロック停止状態。ICLK = 12MHz時のクロックソースはメイン発振回路、ICLK = 8MHz、1MHz時のクロックソースはHOCOです。FCLK、PCLKは64分周設定です。
 注6. 周辺機能はクロック供給状態。ICLK = 12MHz時のクロックソースはメイン発振回路、ICLK = 8MHz、1MHz時のクロックソースはHOCOです。FCLK、PCLKはICLKと同じ周波数です。
 注7. 周辺機能はクロック停止状態。クロックソースはサブクロック発振器です。FCLK、PCLKは64分周設定です。
 注8. 周辺機能はクロック供給状態。クロックソースはサブクロック発振器です。FCLK、PCLKはICLKと同じ周波数です。
 注9. MSTPCRA.MSTPA17(12ビットA/Dコンバータモジュールストップ設定ビット)をモジュールストップ状態に設定した時の値です。

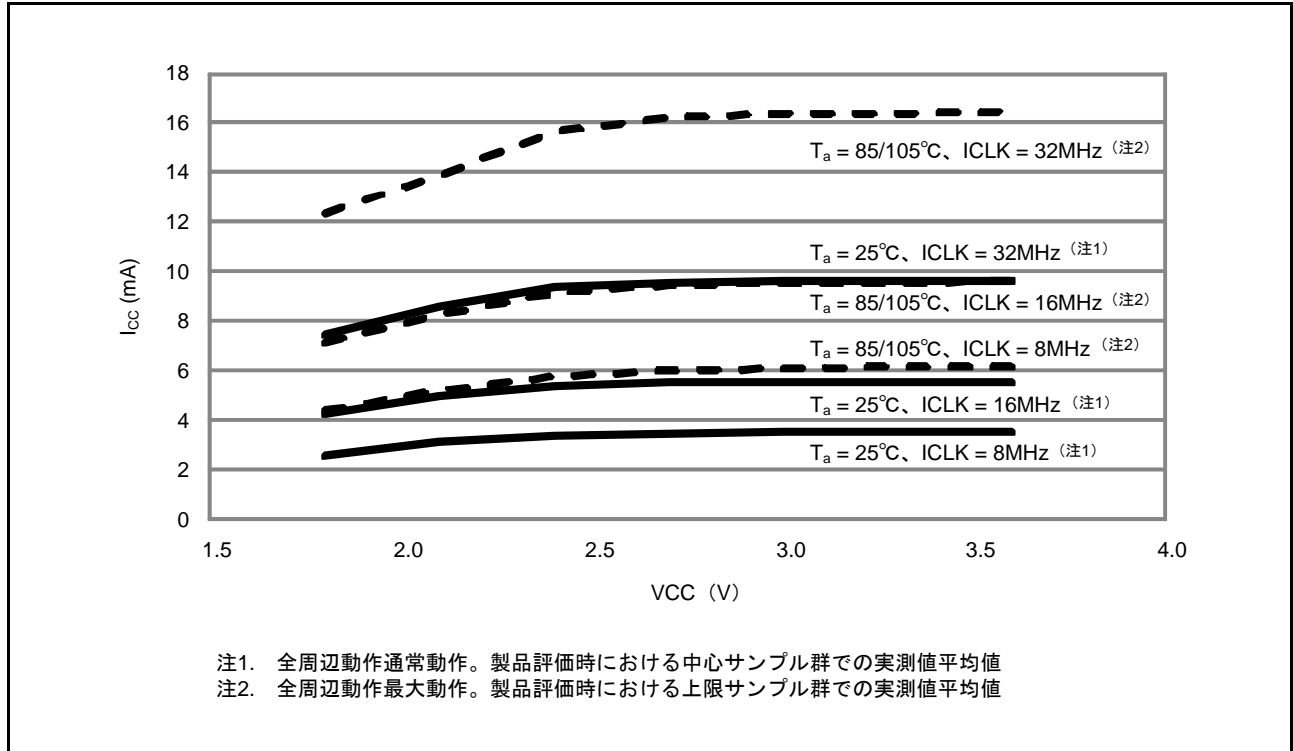


図 32.1 高速動作モードの電圧依存性 (参考データ)

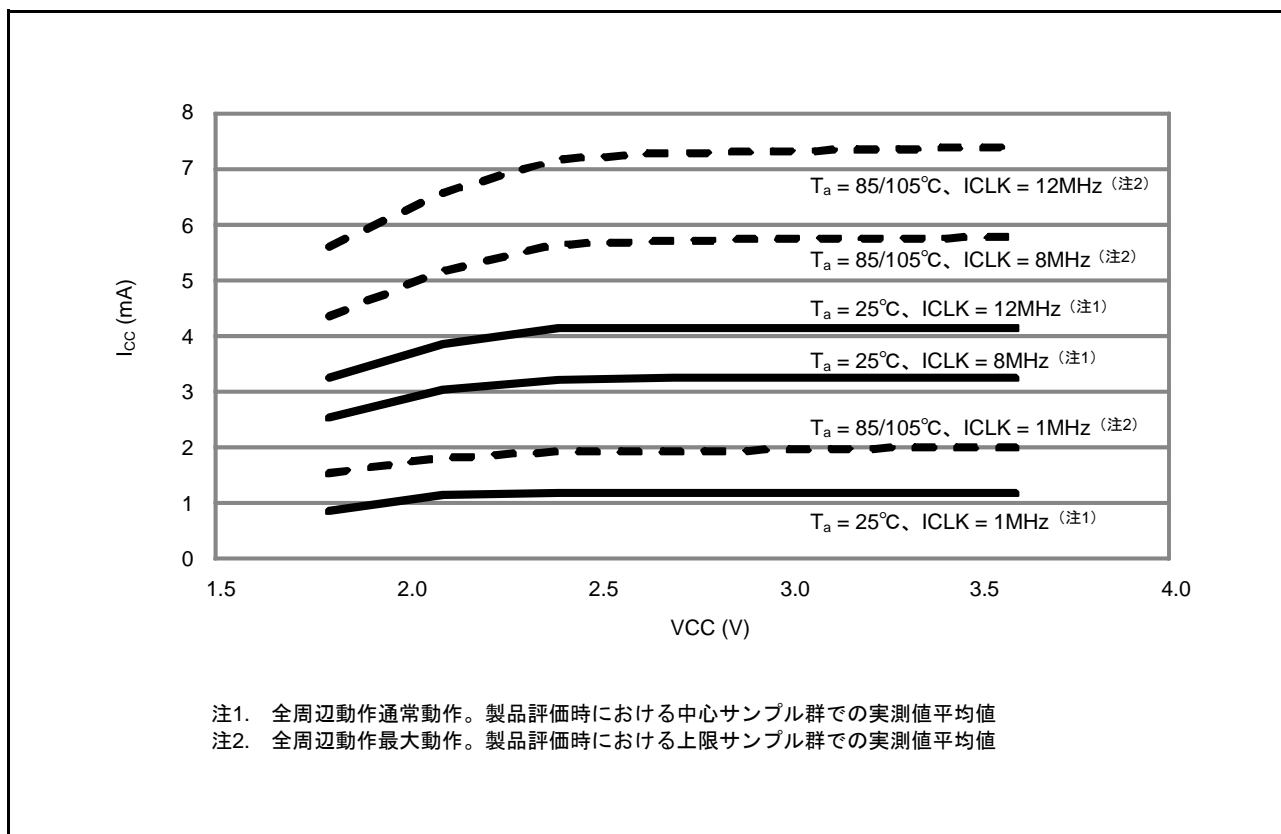


図 32.2 中速動作モードの電圧依存性 (参考データ)

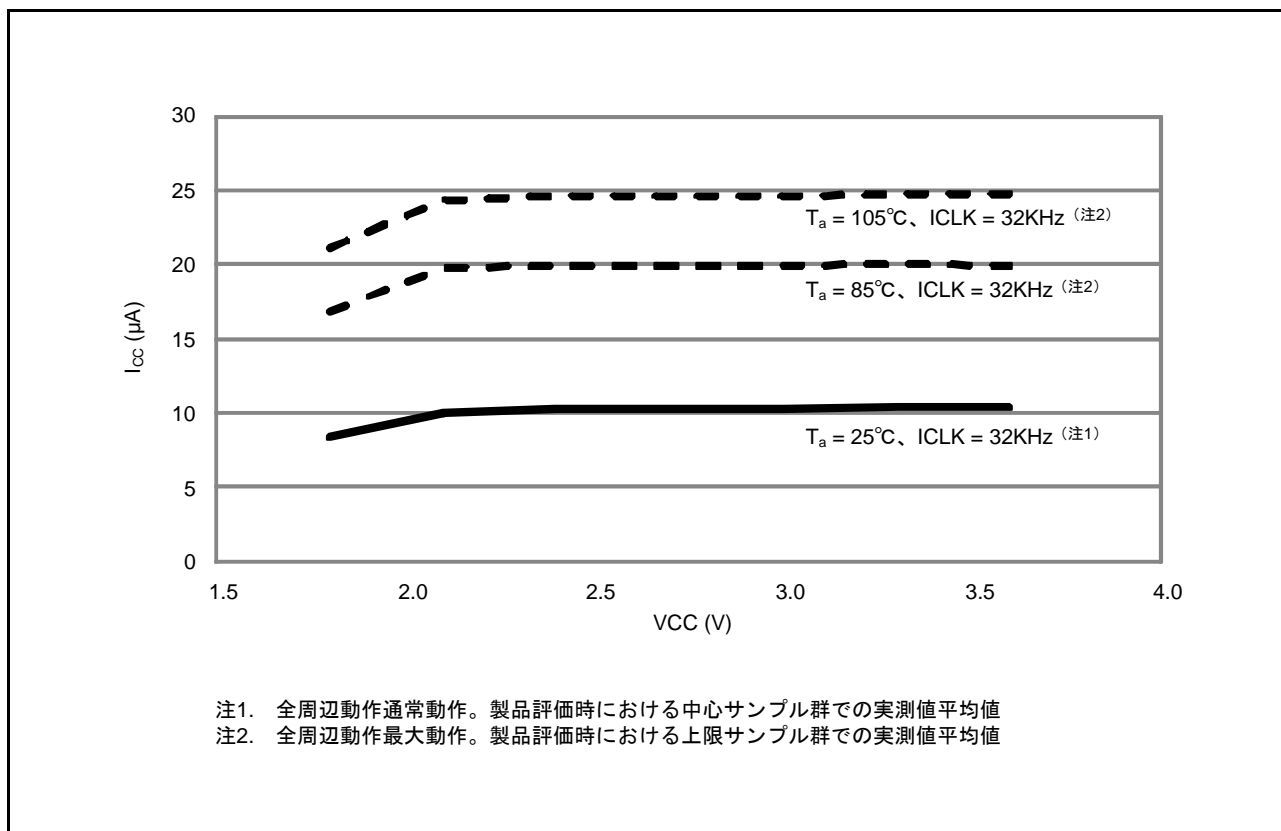


図 32.3 低速動作モードの電圧依存性 (参考データ)

表 32.8 DC特性 (6)

条件: $1.8V \leq VCC \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	typ (注3)	max	単位	測定条件	
消費電流 (注1)	ソフトウェア スタンバイモード (注2)	I_{CC}	$T_a = 25^\circ C$	0.35	0.53	μA	RCR3.RTCDV[2:0] = 010bの場合 RCR3.RTCDV[2:0] = 100bの場合
			$T_a = 55^\circ C$	0.54	1.17		
			$T_a = 85^\circ C$	1.38	5.2		
			$T_a = 105^\circ C$	2.8	11.4		
	RTC動作の増加分 (注4)		0.31	—			
	独立ウォッチドックタイマ動作 の増加分		1.09	—			
			0.37	—			

注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プルアップMOSをオフ状態にした場合の値です。

注2. IWDТとLVDは動作停止です。

注3. $VCC = 3.3V$ の場合です。

注4. 発振回路を含みます。

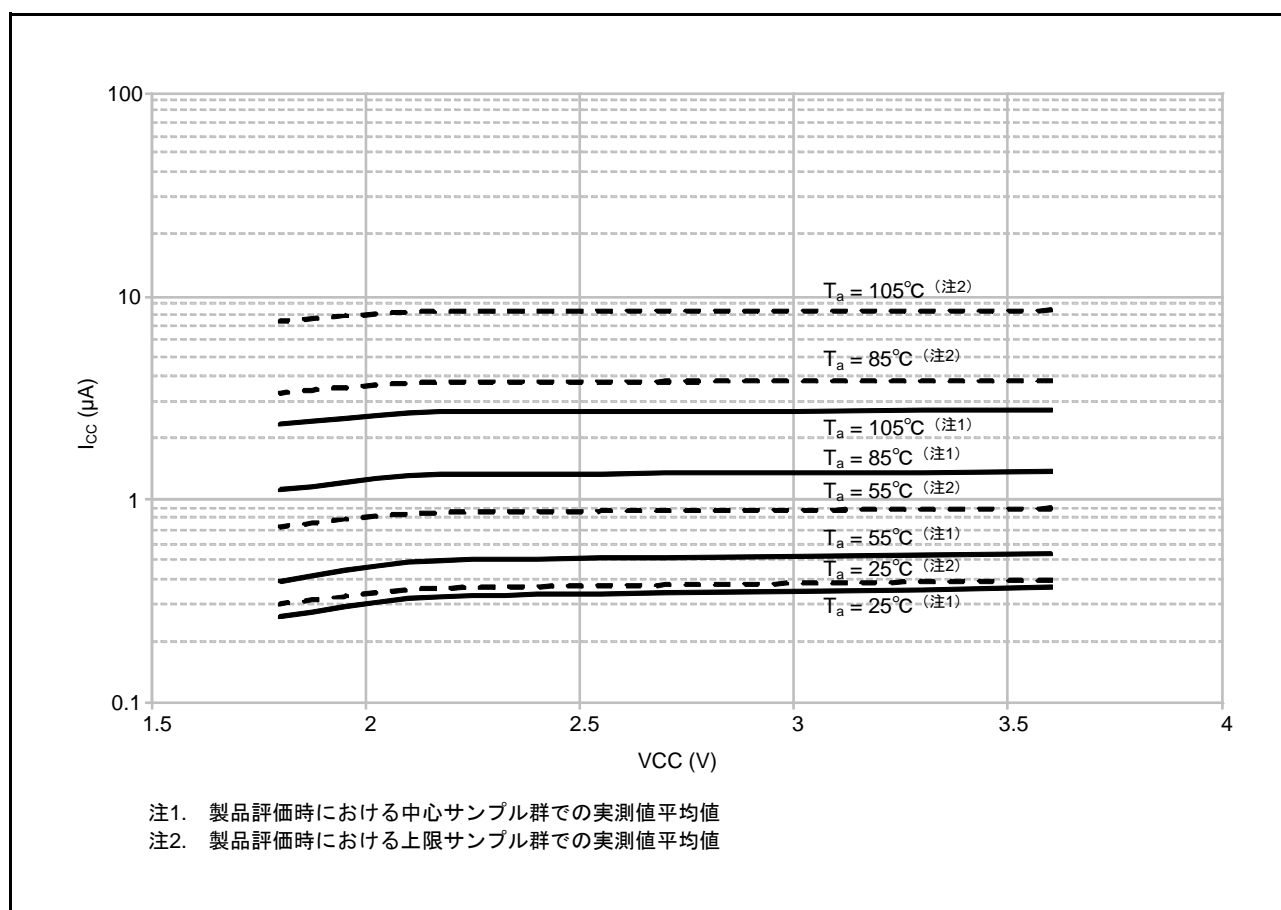


図 32.4 ソフトウェアスタンバイモード時の電圧依存性 (参考データ)

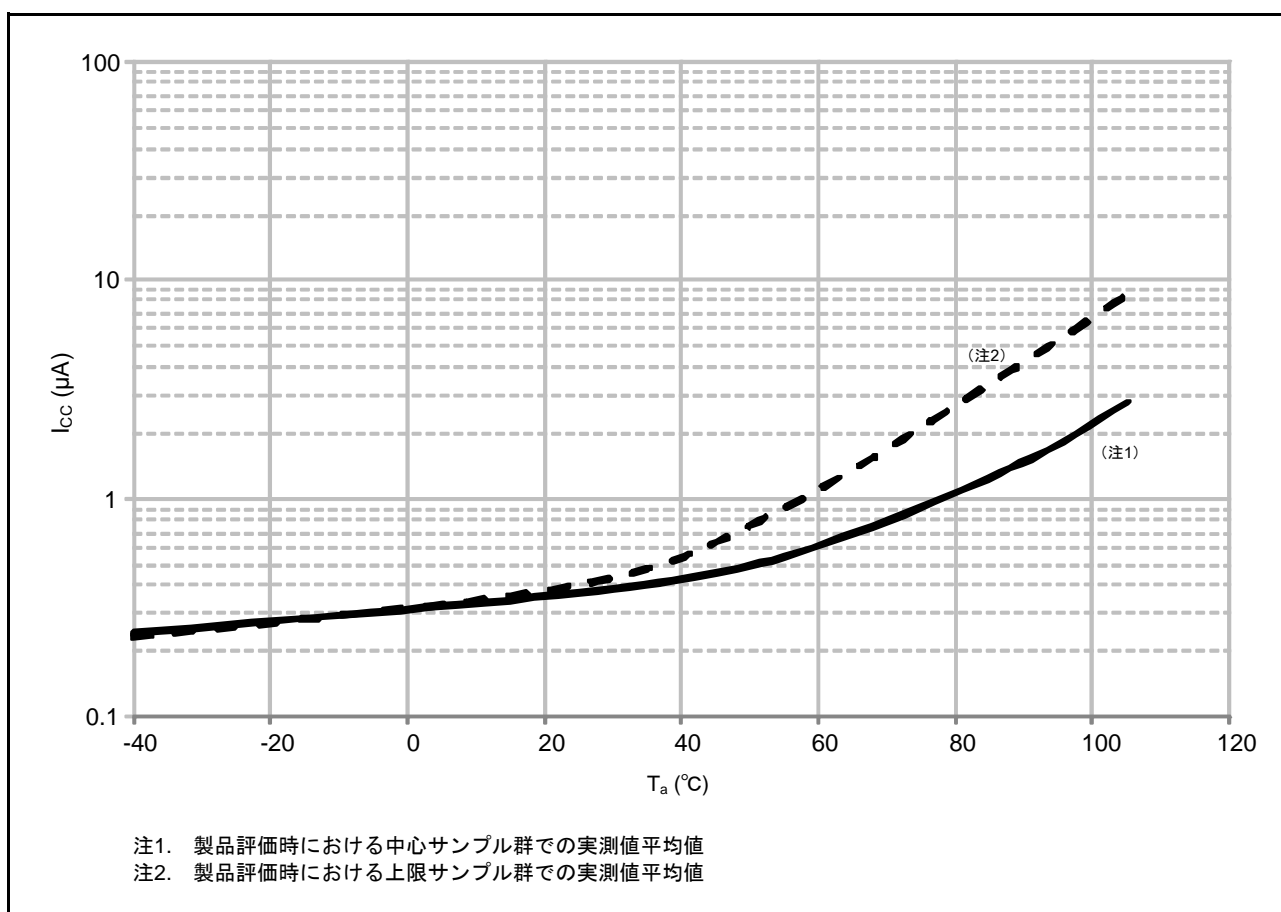


図 32.5 ソフトウェアスタンバイモード時の温度依存性 (参考データ)

表 32.9 DC特性 (7)

条件 : $1.8V \leq VCC \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = 0V$

項目	記号	typ	max	単位	測定条件
許容総消費電力 (注1)	Pd	—	300	mW	Dバージョン ($-40 \leq T_a \leq 85^\circ C$)
		—	105		Gバージョン ($-40 \leq T_a \leq 105^\circ C$) (注2)

注1. チップ全体 (出力電流を含む) の総電力です。

注2. $T_a = 85^\circ C \sim 105^\circ C$ で使用する場合のディレーティングについては、当社営業および発売店営業へお問い合わせください。なお、ディレーティングとは、信頼性を改善するために計画的に負荷を定格から軽減することです。

表32.10 DC特性 (8)

条件: $1.8V \leq VCC \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ (注2)	max	単位	測定条件
アナログ電源電流	A/D変換中(高速変換時)	I_{AVCC}	—	0.7	1.2	mA	
	A/D変換待機時(全ユニット)		—	—	0.3	μA	
リファレンス電源電流	A/D変換中(高速変換時)	I_{REFH0}	—	25	52	μA	
	A/D変換待機時(全ユニット)		—	—	60	nA	
温度センサ(注1)		I_{TEMP}	—	75	—	μA	
LVD1, 2	1チャンネル当り	I_{LVD}	—	0.15	—	μA	

注1. 電源(VCC)の消費電流です。

注2. $VCC = AVCC0 = 3.3V$ のとき。

表32.11 DC特性 (9)

条件: $1.8V \leq VCC \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
RAM保持電圧	V_{RAM}	1.8	—	—	V	

表32.12 DC特性 (10)

条件: $0V \leq VCC \leq 3.6V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
電源投入時 VCC立ち上がり勾配	通常起動時(注1)	$SrVCC$	0.02	—	20	ms/V	
	起動時間短縮時(注2)		0.02	—	2		
	起動時電圧監視1リセット有効時(注3、注4)		0.02	—	—		

注. $AVCC0$ とVCCの電源投入順序は、同時もしくはVCCを先に投入してください。注1. $OFS1.(STUPLVD1REN, FASTSTUP) = 11b$ を設定した場合です。注2. $OFS1.(STUPLVD1REN, FASTSTUP) = 10b$ を設定した場合です。注3. $OFS1.STUPLVD1REN = 0$ を設定した場合です。

注4. ブートモード時はOFS1にて設定したレジスタ設定は読み込まれませんので、通常起動時の立ち上げ勾配にて電源電圧を立ち上げてください。

表32.13 DC特性 (11)

条件: $1.8V \leq VCC \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$ 電源リップルは、VCCの上限(3.6V)と下限(1.8V)は超えない範囲で許容電源リップル周波数 $f_r(VCC)$ を満たしてください。VCC変動が $VCC \pm 10\%$ を超える場合は、許容電源変動立ち上がり/立ち下がり勾配 $dt/dVCC$ を満たしてください。

項目	記号	min	typ	max	単位	測定条件
許容電源リップル周波数	$f_r(VCC)$	—	—	10	kHz	図 32.6 $V_r(VCC) \leq VCC \times 0.2$ の場合
		—	—	1	MHz	図 32.6 $V_r(VCC) \leq VCC \times 0.08$ の場合
		—	—	10	MHz	図 32.6 $V_r(VCC) \leq VCC \times 0.06$ の場合
許容電源変動立ち上がり/ 立ち下がり勾配	$dt/dVCC$	1.0	—	—	ms/V	VCC変動が $VCC \pm 10\%$ を超える場合

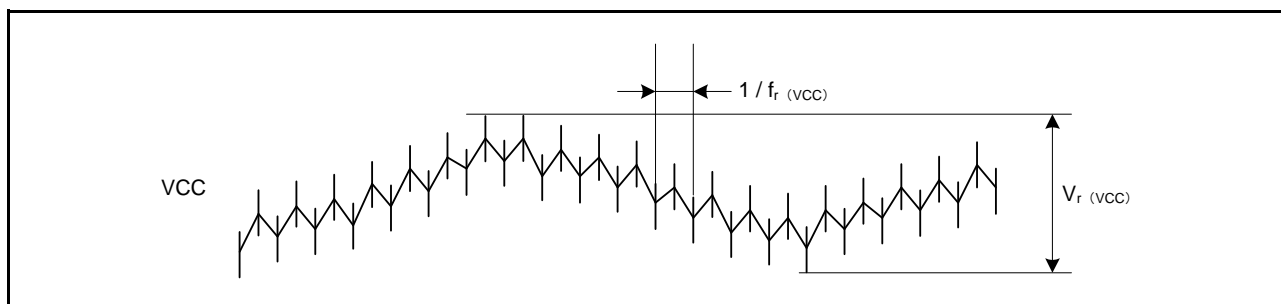


図 32.6 電源リップル波形

表 32.14 DC特性 (12)

条件：1.8V ≤ VCC ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = 0V、Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
VCL端子外付け容量 許容誤差	C _{VCL}	1.4	4.7	7.0	μF	

注. 推奨は4.7μFです。接続するコンデンサのばらつきは、上記の範囲内にしてください。

表 32.15 出力許容電流値 (1)

条件：1.8V ≤ VCC ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = 0V、Ta = -40 ~ +85°C (Dバージョン)

項目	記号	max	単位
出力Lowレベル許容電流 (1端子あたりの平均値)	ポートP40~P44、P46、ポートPJ6、PJ7	0.4	mA
	上記以外のポート	8.0	
出力Lowレベル許容電流 (1端子あたりの最大値)	ポートP40~P44、P46、ポートPJ6、PJ7	0.4	8.0
	上記以外のポート	8.0	
出力Lowレベル許容電流	ポートP40~P44、P46、ポートPJ6、PJ7の合計	ΣI _{OL}	2.4
	ポートP03、P05、ポートP26、P27、 ポートP30、P31の合計		30
	ポートP14~P17、ポートP32、ポートP54、P55、 ポートPB0、PB1、PB3、PB5~PB7、 ポートPC2~PC7、ポートPH0~PH3の合計		30
	ポートPA0、PA1、PA3、PA4、PA6、 ポートPE0~PE7の合計		30
	全出力端子の総和		60
出力Highレベル許容電流 (1端子あたりの平均値)	ポートP40~P44、P46、ポートPJ6、PJ7	I _{OH}	-0.1
	上記以外のポート		-4.0
出力Highレベル許容電流 (1端子あたりの最大値)	ポートP40~P44、P46、ポートPJ6、PJ7		-0.1
	上記以外のポート		-4.0
出力Highレベル許容電流	ポートP40~P44、P46、ポートPJ6、PJ7の合計	ΣI _{OH}	-0.6
	ポートP03、P05、ポートP26、P27、 ポートP30、P31の合計		-10
	ポートP14~P17、ポートP32、ポートP54、P55、 ポートPB0、PB1、PB3、PB5~PB7、 ポートPC2~PC7、ポートPH0~PH3の合計		-15
	ポートPA0、PA1、PA3、PA4、PA6、 ポートPE0~PE7の合計		-15
	全出力端子の総和		-40

注. 許容総消費電流は超えないようにしてください。

表 32.16 出力許容電流値 (2)

条件: $1.8V \leq VCC \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$ (Gバージョン)

項目		記号	max	単位
出力Lowレベル許容電流 (1端子あたりの平均値)	ポートP40～P44、P46、ポートPJ6、PJ7	I_{OL}	0.4	mA
	上記以外のポート		8.0	
出力Lowレベル許容電流 (1端子あたりの最大値)	ポートP40～P44、P46、ポートPJ6、PJ7		0.4	
	上記以外のポート		8.0	
出力Lowレベル許容電流	ポートP40～P44、P46、ポートPJ6、PJ7の合計	ΣI_{OL}	1.6	
	ポートP03、P05、ポートP26、P27、 ポートP30、P31の合計		20	
	ポートP14～P17、ポートP32、ポートP54、P55、 ポートPB0、PB1、PB3、PB5～PB7、 ポートPC2～PC7、ポートPH0～PH3の合計		20	
	ポートPA0、PA1、PA3、PA4、PA6、 ポートPE0～PE7の合計		20	
	全出力端子の総和		40	
出力Highレベル許容電流 (1端子あたりの平均値)	ポートP40～P44、P46、ポートPJ6、PJ7	I_{OH}	-0.1	
	上記以外のポート		-4.0	
出力Highレベル許容電流 (1端子あたりの最大値)	ポートP40～P44、P46、ポートPJ6、PJ7		-0.1	
	上記以外のポート		-4.0	
出力Highレベル許容電流	ポートP40～P44、P46、ポートPJ6、PJ7の合計	ΣI_{OH}	-0.6	
	ポートP03、P05、ポートP26、P27、 ポートP30、P31の合計		-10	
	ポートP14～P17、ポートP32、ポートP54、P55、 ポートPB0、PB1、PB3、PB5～PB7、 ポートPC2～PC7、ポートPH0～PH3の合計		-15	
	ポートPA0、PA1、PA3、PA4、PA6、 ポートPE0～PE7の合計		-15	
	全出力端子の総和		-40	

注. 許容総消費電流は超えないようにしてください。

表 32.17 出力電圧値 (1)

条件 : $2.7V \leq VCC \leq 3.6V$ 、 $2.7V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	max	単位	測定条件	
Low レベル 出力電圧	全出力端子 (RIIC、ポート P40~P44、P46、 ポート PJ6、PJ7 以外)	V_{OL}	—	0.6	V	$I_{OL} = 3.0mA$	
			—	0.4		$I_{OL} = 1.5mA$	
	ポート P40~P44、P46、ポート PJ6、PJ7		—	0.4		$I_{OL} = 0.4mA$	
	RIIC 端子		スタンダードモード	—		0.4	$I_{OL} = 3.0mA$
			ファストモード	—		0.6	$I_{OL} = 6.0mA$
High レベル 出力電圧	全出力端子 (ポート P40~P44、P46、 ポート PJ6、PJ7 以外)	V_{OH}	$VCC - 0.5$	—	V	$I_{OH} = -2.0mA$	
	ポート P40~P44、P46、ポート PJ6、PJ7		$AVCC0 - 0.5$	—		$I_{OH} = -0.1mA$	

表 32.18 出力電圧値 (2)

条件 : $1.8V \leq VCC \leq 2.7V$ 、 $1.8V \leq AVCC0 \leq 2.7V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	max	単位	測定条件
Low レベル 出力電圧	全出力端子 (ポート P40~P44、P46、 ポート PJ6、PJ7 以外)	V_{OL}	—	0.6	V	$I_{OL} = 1.5mA$
	ポート P40~P44、P46、ポート PJ6、PJ7		—	0.4		$I_{OL} = 0.4mA$
High レベル 出力電圧	全出力端子 (ポート P40~P44、P46、 ポート PJ6、PJ7 以外)	V_{OH}	$VCC - 0.5$	—	V	$I_{OH} = -1.0mA$
	ポート P40~P44、P46、ポート PJ6、PJ7		$AVCC0 - 0.5$	—		$I_{OH} = -0.1mA$

32.2.1 標準 I/O 端子出力特性 (1)

図 32.7 ~ 図 32.10 に汎用ポート (RIIC 出力端子、ポート P40 ~ P44、P46、ポート PJ6、PJ7 以外) の特性を示します。

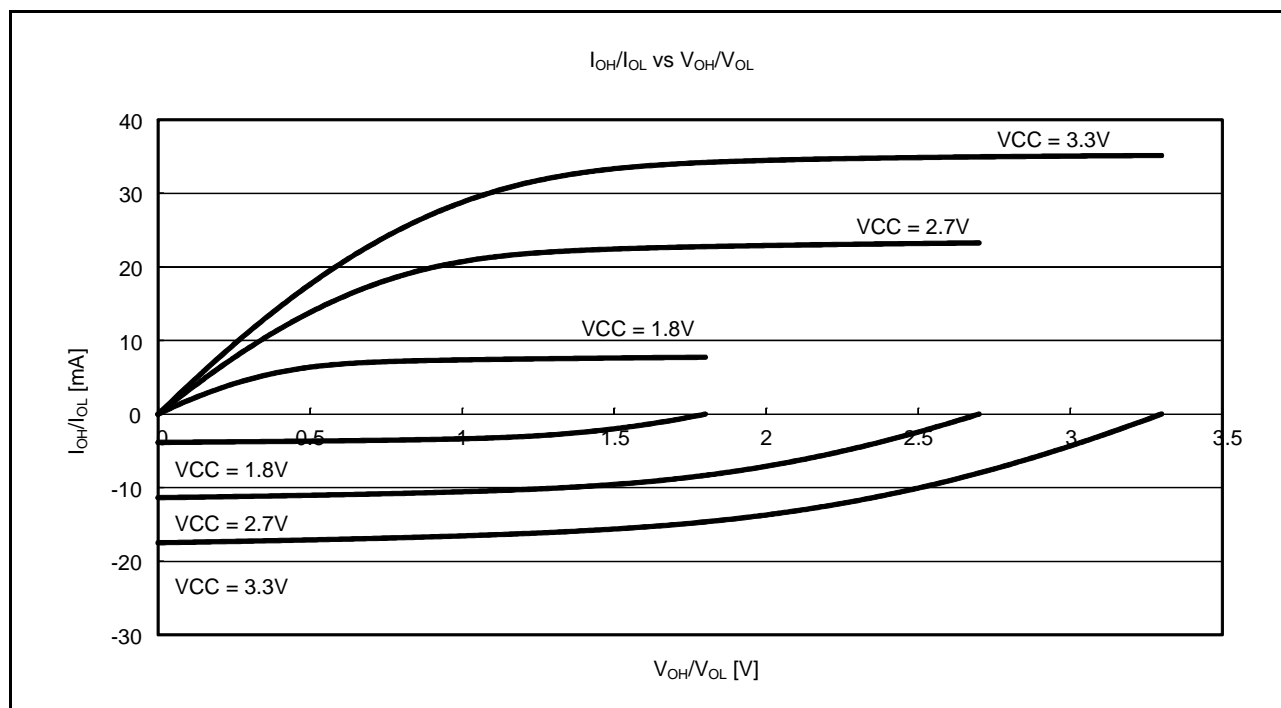


図 32.7 汎用ポート (RIIC 出力端子、ポート P40 ~ P44、P46、ポート PJ6、PJ7 以外) の V_{OH}/V_{OL}、I_{OH}/I_{OL} 電圧特性 T_a = 25 °C (参考データ)

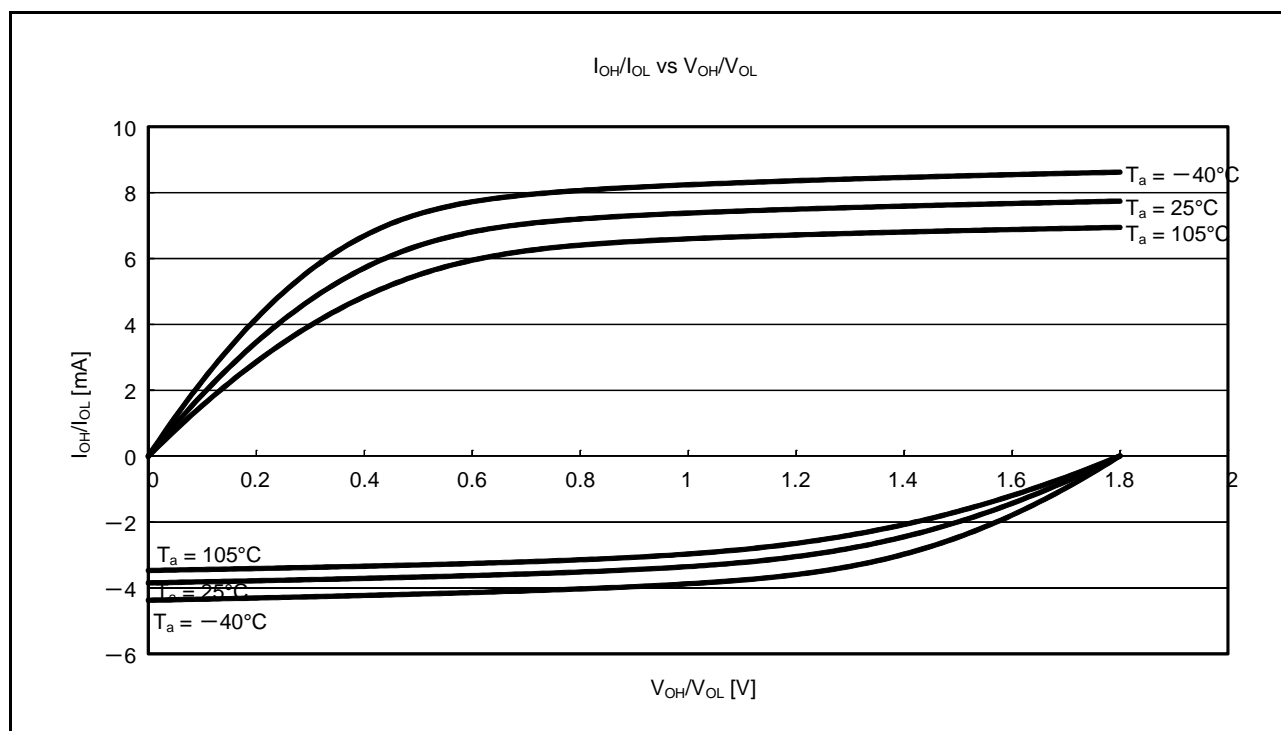


図 32.8 汎用ポート (RIIC 出力端子、ポート P40 ~ P44、P46、ポート PJ6、PJ7 以外) の V_{OH}/V_{OL}、I_{OH}/I_{OL} 温度特性 VCC = 1.8V (参考データ)

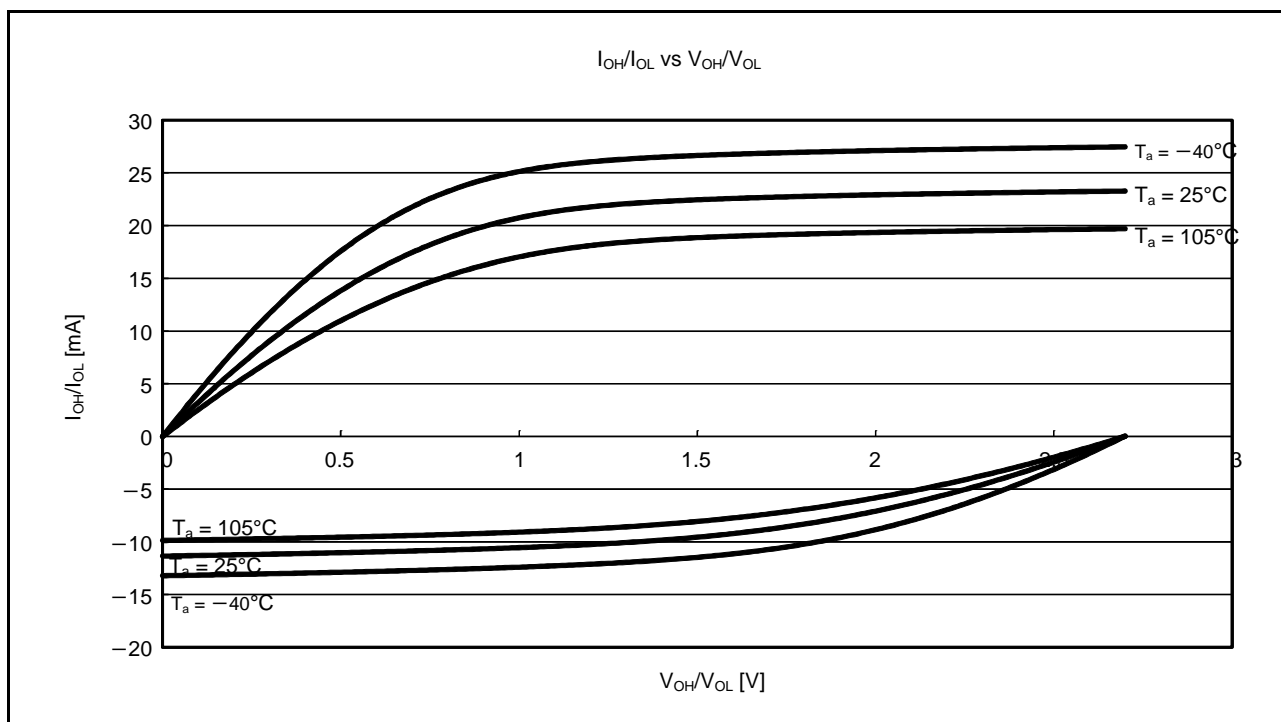


図 32.9 汎用ポート (RIIC 出力端子、ポート P40 ~ P44、P46、ポート PJ6、PJ7 以外) の V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 2.7V$ (参考データ)

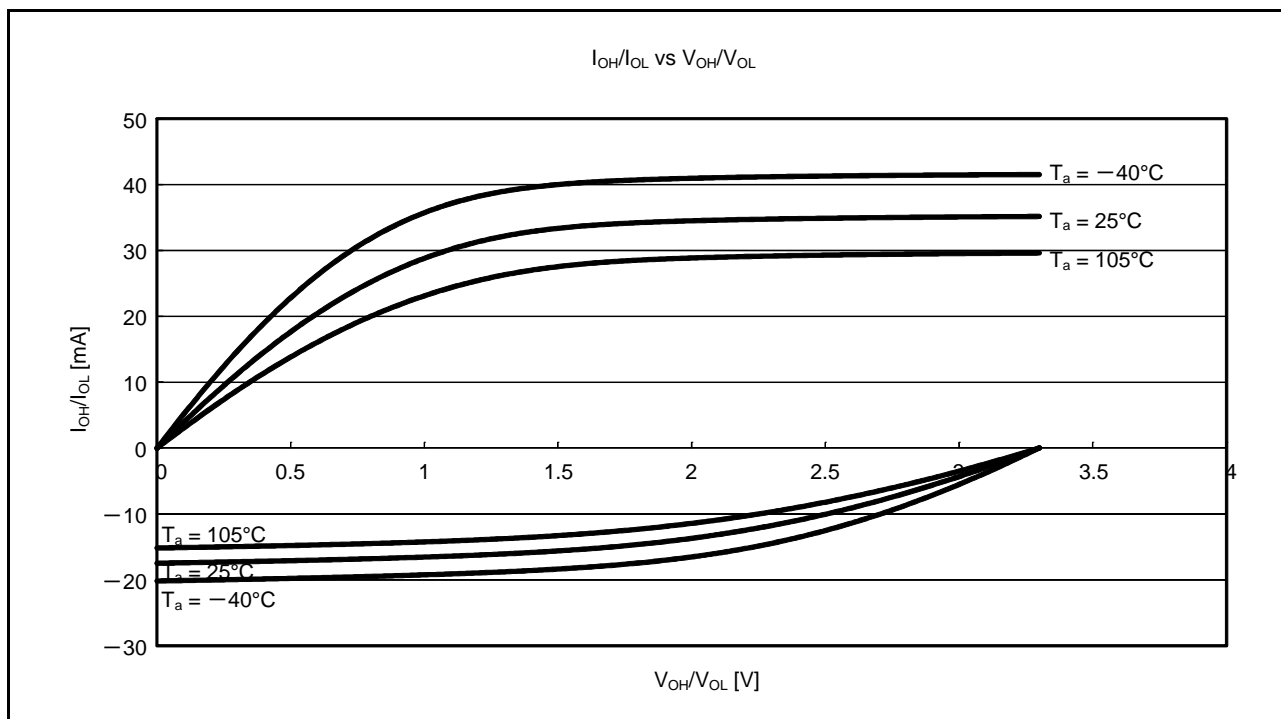


図 32.10 汎用ポート (RIIC 出力端子、ポート P40 ~ P44、P46、ポート PJ6、PJ7 以外) の V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 3.3V$ (参考データ)

32.2.2 標準 I/O 端子出力特性 (2)

図 32.11 ~ 図 32.13 に RIIC 出力端子の特性を示します。

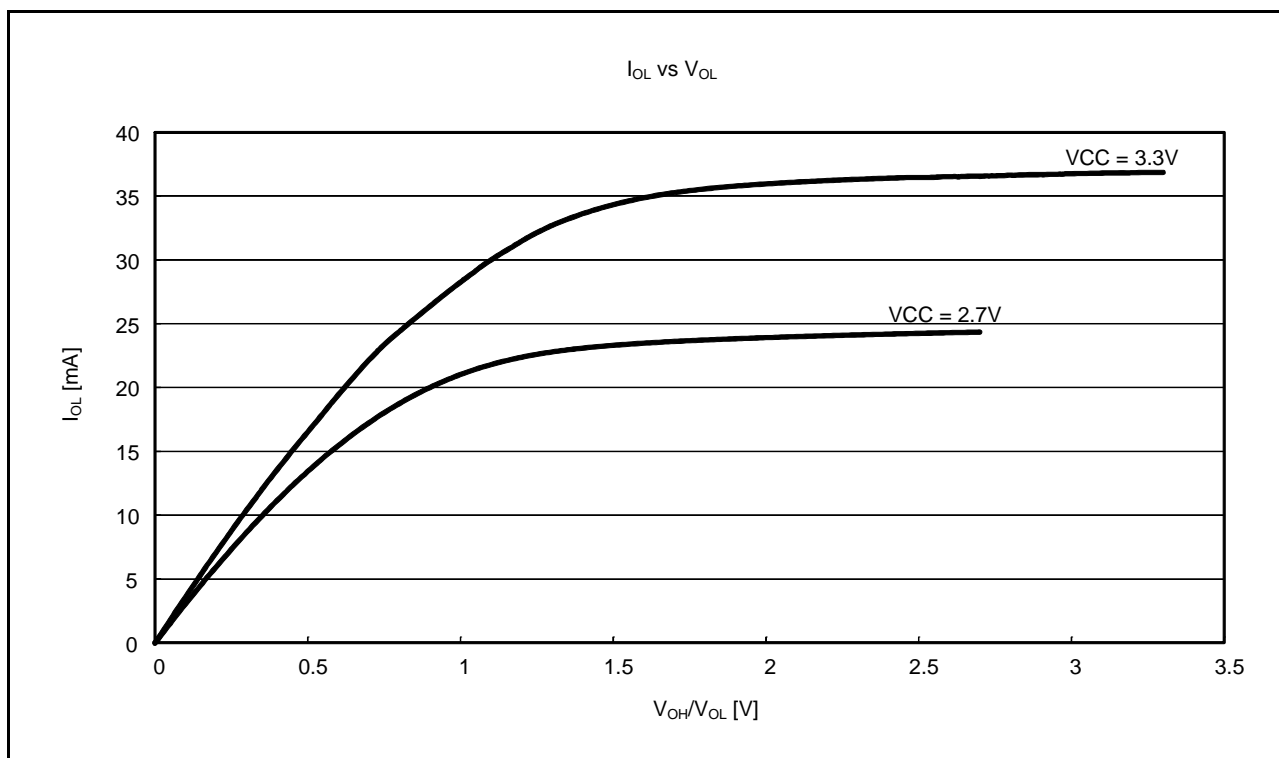


図 32.11 RIIC 出力端子の V_{OL} 、 I_{OL} 電圧特性 $T_a = 25^\circ\text{C}$ (参考データ)

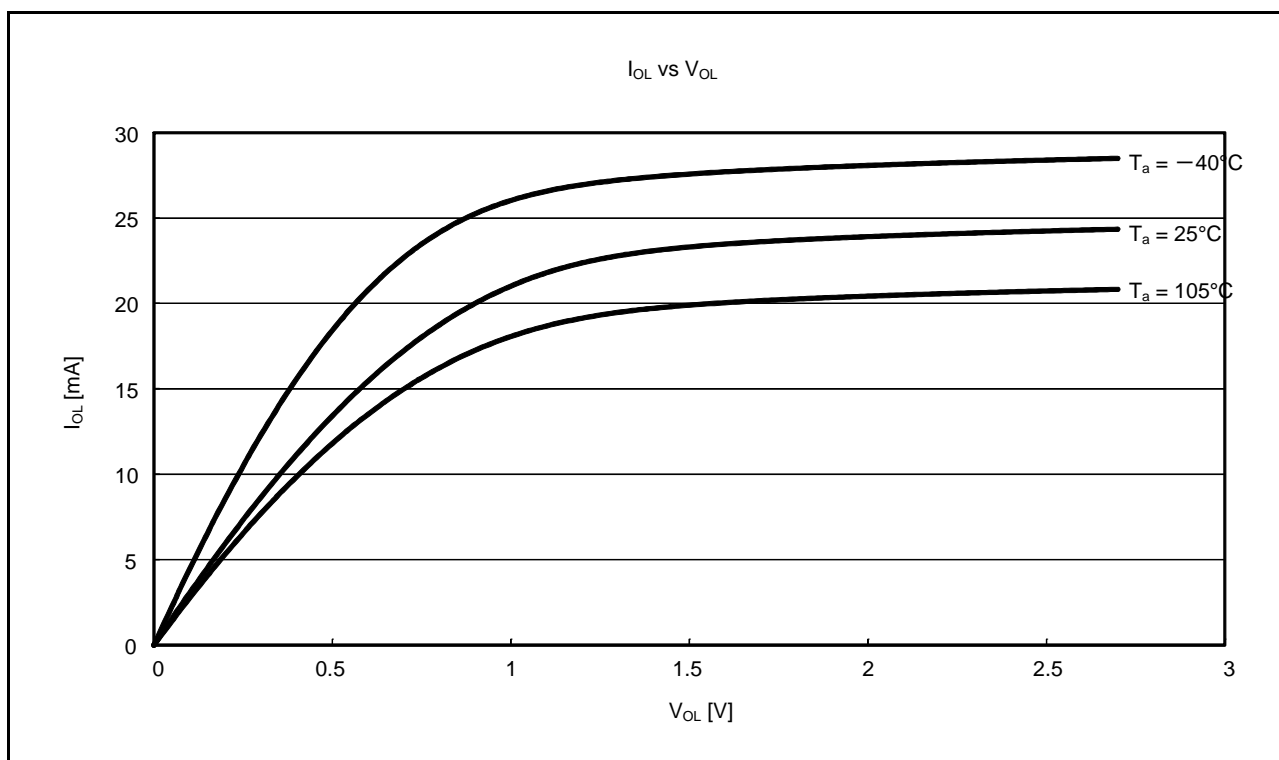


図 32.12 RIIC 出力端子の V_{OL} 、 I_{OL} 温度特性 $V_{CC} = 2.7\text{V}$ (参考データ)

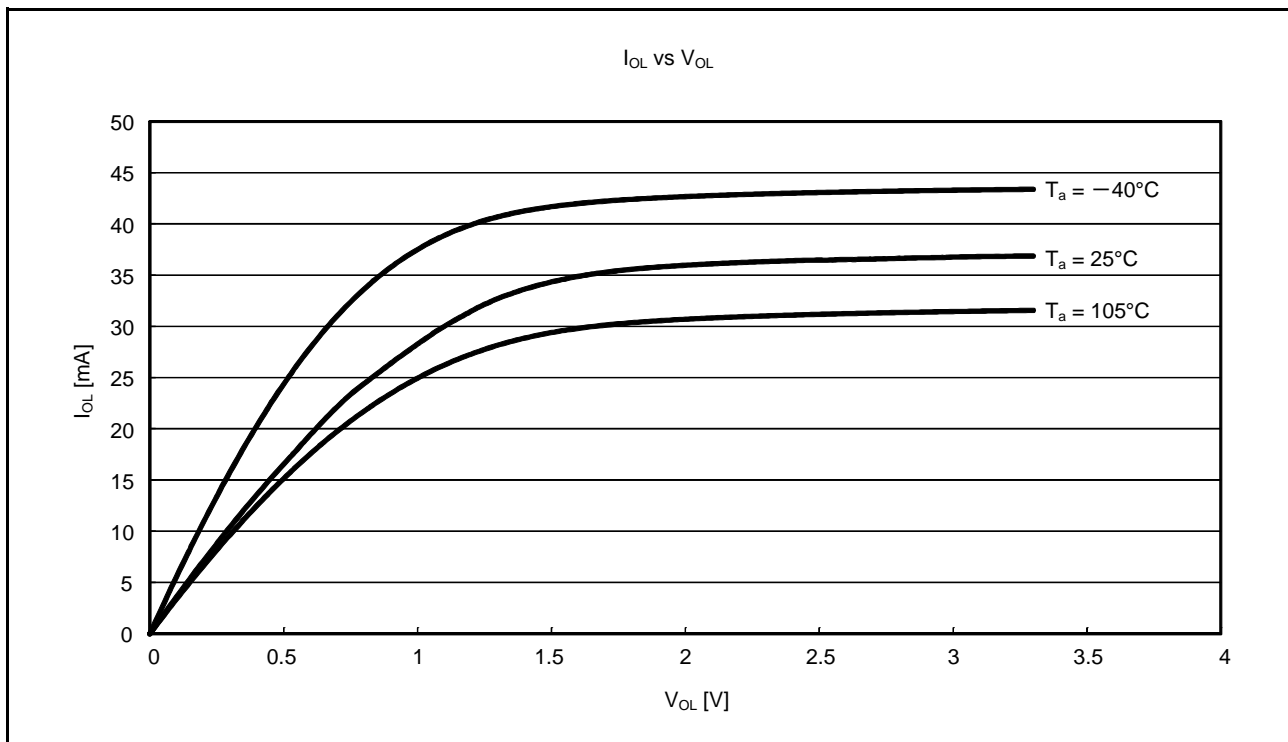


図 32.13 RIIC 出力端子の V_{OL} 、 I_{OL} 温度特性 $V_{CC} = 3.3\text{V}$ (参考データ)

32.2.3 標準 I/O 端子出力特性 (3)

図 32.14 ~ 図 32.17 にポート P40 ~ P44、P46、ポート PJ6、PJ7 の特性を示します。

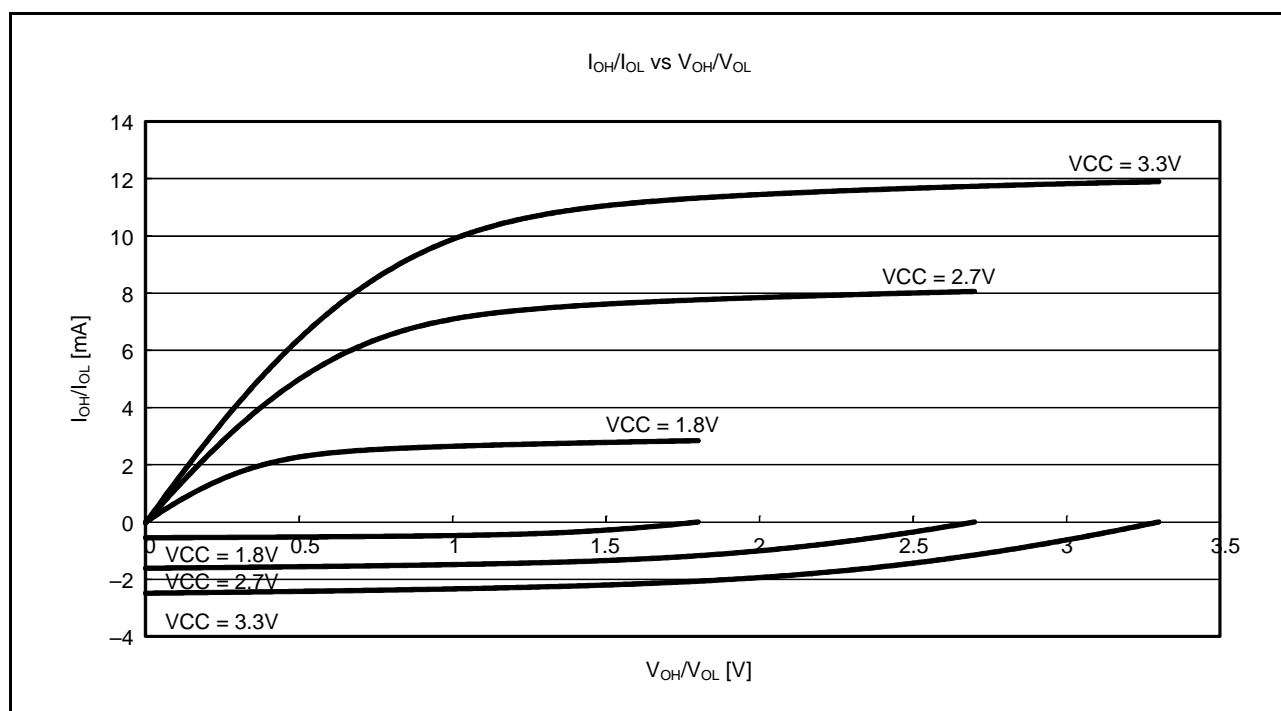


図 32.14 ポート P40 ~ P44、P46、ポート PJ6、PJ7 の V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 電圧特性 $T_a = 25^\circ\text{C}$ (参考データ)

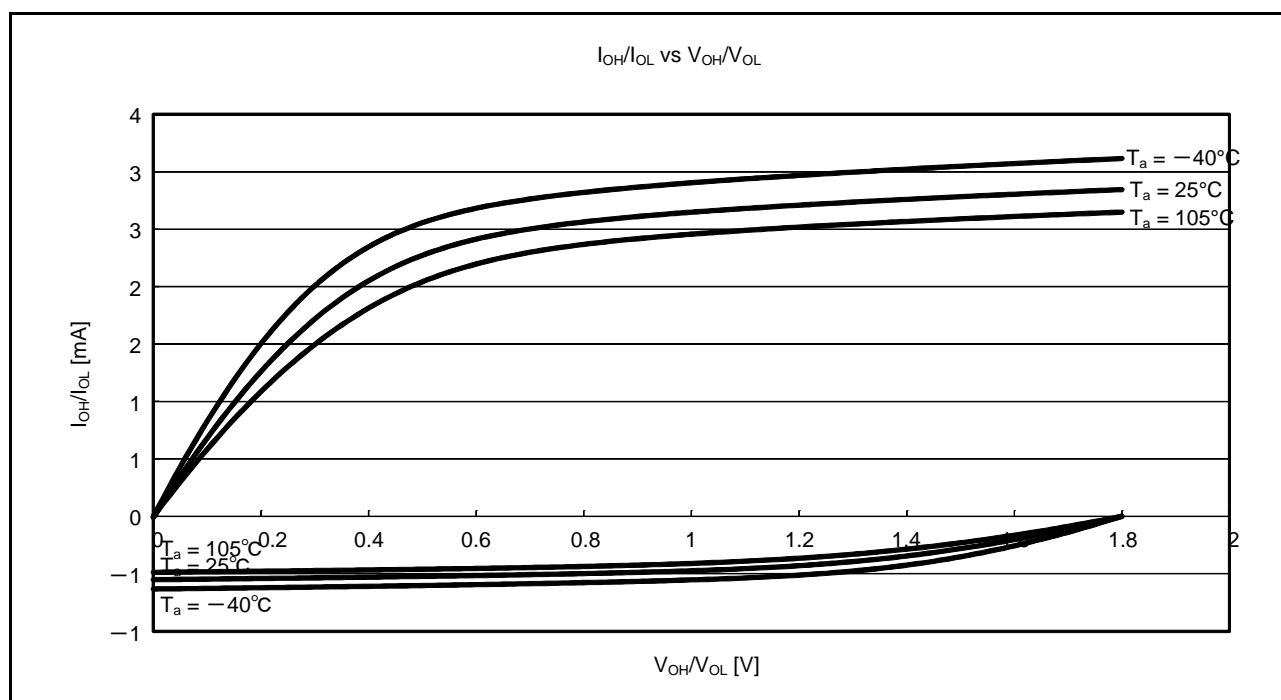


図 32.15 ポート P40 ~ P44、P46、ポート PJ6、PJ7 の V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 1.8\text{V}$ (参考データ)

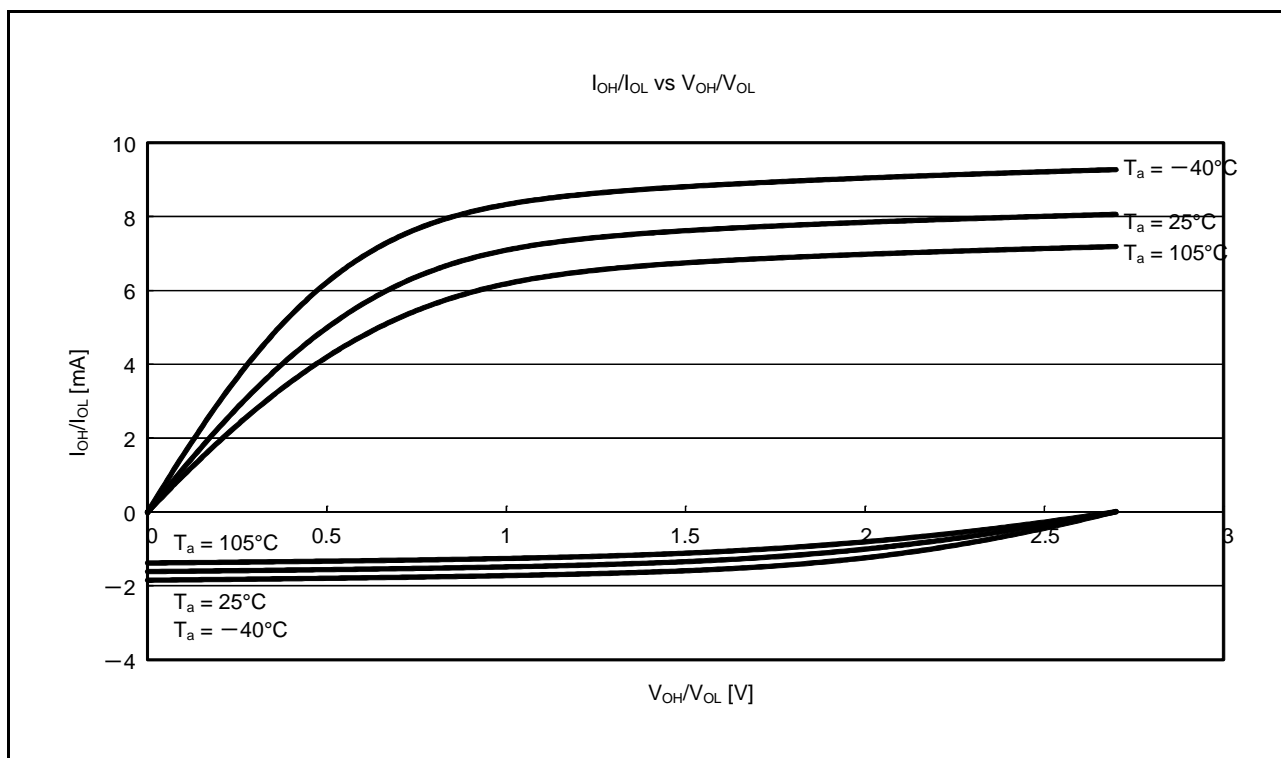


図 32.16 ポート P40 ~ P44、P46、ポート PJ6、PJ7 の V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 2.7V$ (参考データ)

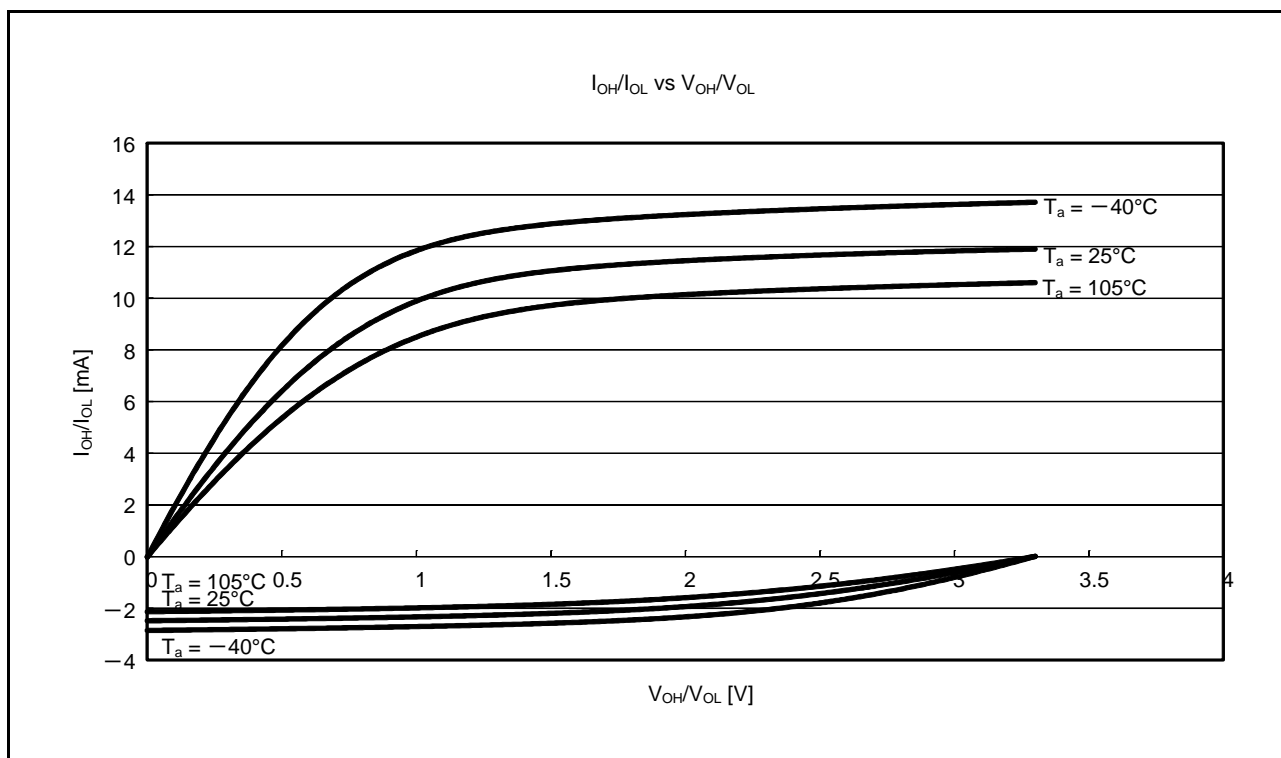


図 32.17 ポート P40 ~ P44、P46、ポート PJ6、PJ7 の V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 3.3V$ (参考データ)

32.3 AC 特性

32.3.1 クロックタイミング

表 32.19 動作周波数（高速動作モード）

条件：1.8V ≤ VCC ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = 0V、T_a = -40 ~ +105°C

項目	記号	VCC			単位	
		1.8~2.4V	2.4~2.7V	2.7~3.6V		
最大動作周波数	システムクロック (ICLK)	f _{max}	8	16	32	MHz
	FlashIFクロック (FCLK) (注1、注2)		8	16	32	
	周辺モジュールクロック (PCLKB)		8	16	32	
	周辺モジュールクロック (PCLKD) (注3)		8	16	32	

注1. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注2. FCLKの周波数精度は±3.5%である必要があります。クロックソースの周波数精度をご確認ください。

注3. A/Dコンバータ使用時のPCLKDの下限周波数は2.4V以上では4MHz、2.4V未満では1MHzです。

表 32.20 動作周波数（中速動作モード）

条件：1.8V ≤ VCC ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = 0V、T_a = -40 ~ +105°C

項目	記号	VCC			単位	
		1.8~2.4V	2.4~2.7V	2.7~3.6V		
最大動作周波数	システムクロック (ICLK)	f _{max}	8	12	12	MHz
	FlashIFクロック (FCLK) (注1、注2)		8	12	12	
	周辺モジュールクロック (PCLKB)		8	12	12	
	周辺モジュールクロック (PCLKD) (注3)		8	12	12	

注1. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注2. FCLKの周波数精度は±3.5%である必要があります。

注3. A/Dコンバータ使用時のPCLKDの下限周波数は2.4V以上では4MHz、2.4V未満では1MHzです。

表 32.21 動作周波数（低速動作モード）

条件：1.8V ≤ VCC ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = 0V、T_a = -40 ~ +105°C

項目	記号	VCC			単位	
		1.8~2.4V	2.4~2.7V	2.7~3.6V		
最大動作周波数	システムクロック (ICLK)	f _{max}	32.768			kHz
	FlashIFクロック (FCLK) (注1)		32.768			
	周辺モジュールクロック (PCLKB)		32.768			
	周辺モジュールクロック (PCLKD) (注2)		32.768			

注1. フラッシュメモリのP/Eはできません。

注2. A/Dコンバータは使用できません。

表32.22 クロックタイミング

条件：1.8V ≤ VCC ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = 0V、T_a = -40 ~ +105 °C

項目	記号	min	typ	max	単位	測定条件	
XTAL外部クロック入力サイクル時間	t _{XCYC}	50	—	—	ns	図32.18	
XTAL外部クロック入力パルス幅Highレベル	t _{XH}	20	—	—	ns		
XTAL外部クロック入力パルス幅Lowレベル	t _{XL}	20	—	—	ns		
XTAL外部クロック立ち上がり時間	t _{Xr}	—	—	5	ns		
XTAL外部クロック立ち下がり時間	t _{Xf}	—	—	5	ns		
XTAL外部クロック入力待機時間 (注1)	t _{EXWT}	0.5	—	—	μs	図32.20	
メインクロック発振器発振周波数	f _{MAIN}	2.4 ≤ VCC ≤ 3.6	1	—	20		MHz
		1.8 ≤ VCC < 2.4	1	—	8		
メインクロック発振安定時間 (水晶振動子) (注2)	t _{MAINOSC}	—	3	—	ms		
メインクロック発振安定時間 (セラミック共振子) (注2)	t _{MAINOSC}	—	50	—	μs		
LOCOクロック発振周波数	f _{LOCO}	3.44	4.0	4.56	MHz	図32.21	
LOCOクロック発振安定時間	t _{LOCO}	—	—	0.5	μs		
IWDT専用クロック発振周波数	f _{ILOCO}	12.75	15	17.25	kHz	図32.19	
IWDT専用クロック発振安定時間	t _{ILOCO}	—	—	50	μs		
HOCOクロック発振周波数	f _{HOCO}		31.52	32	32.48	MHz	T _a = -40 ~ 85 °C
			31.68	32	32.32		T _a = -20 ~ 85 °C
			31.36	32	32.64		T _a = -40 ~ 105 °C
HOCOクロック発振安定時間	t _{HOCO}	—	—	56	μs	図32.23	
サブクロック発振器発振周波数 (注4)	f _{SUB}	—	32.768	—	kHz	図32.24	
サブクロック発振安定時間 (注3)	t _{SUBOSC}	—	0.5	—	s		

- 注1. 外部クロックが安定している場合に、メインクロック発振器停止ビット (MOSCCR.MOSTP) を“0” (動作) にしてから、使用できるまでの時間です。
- 注2. 8MHzの発振子を使用した場合の参考値です。
メインクロック発振安定時間は、発振子メーカーが推奨する安定時間以上の値をMOSCWTCRレジスタに設定してください。
MOSCCR.MOSTPビットでメインクロック発振器を動作設定に変更後、OSCOVFSR.MOOVFフラグが“1”になっていることを確認してから、メインクロックの使用を開始してください。
- 注3. SOSCCR.SOSTPビット、またはRCR3.RTCENビットでサブクロック発振器を動作設定に変更後、サブクロック発振安定時間として発振子メーカーが推奨する安定時間以上の時間が経過した後、サブクロックの使用を開始してください。
32.768kHzの発振子を使用した参考値です。
- 注4. 32.768kHzのみ使用可能です。

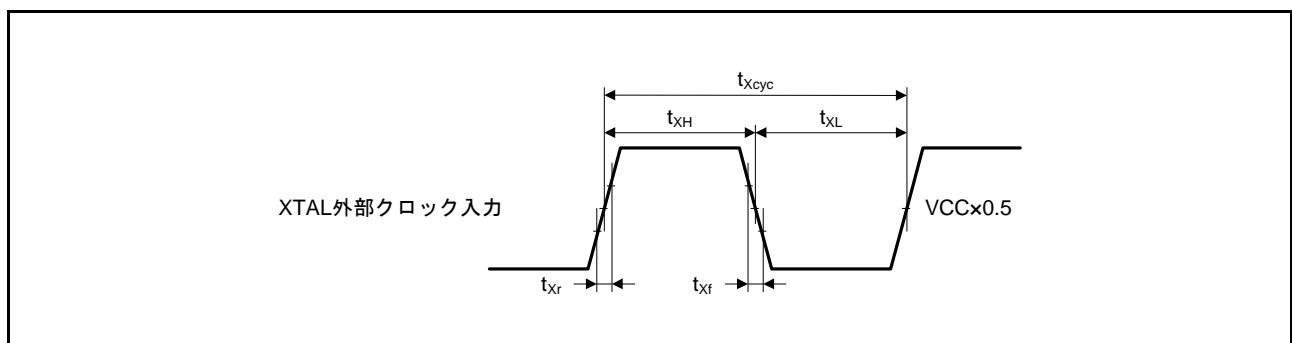


図 32.18 XTAL 外部クロック入力タイミング

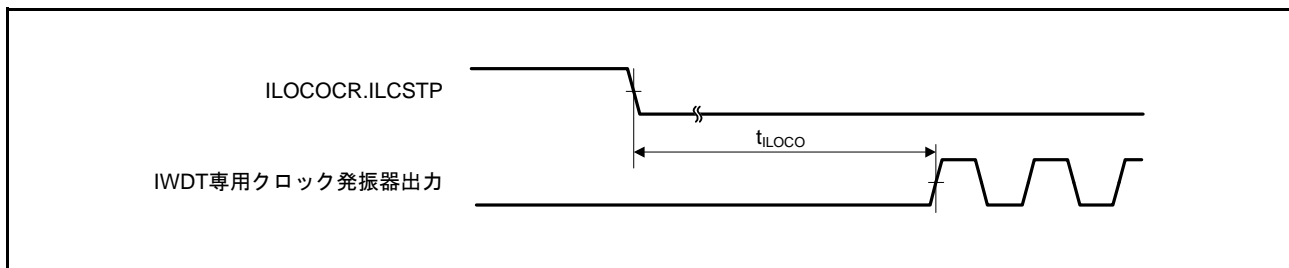


図 32.19 IWDW 専用クロック発振開始タイミング

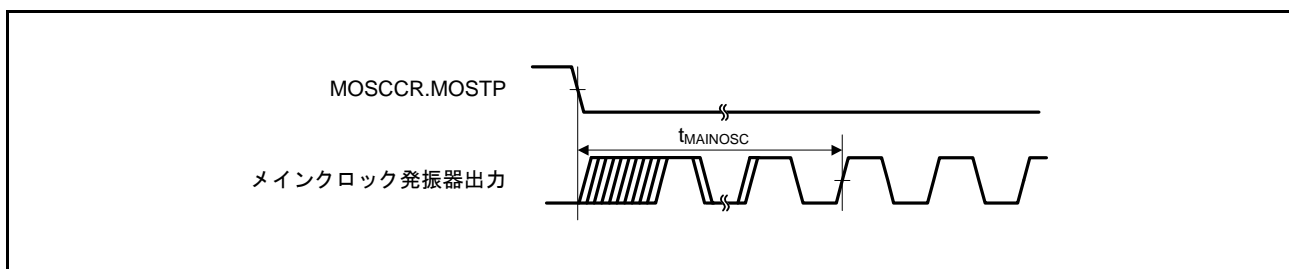


図 32.20 メインクロック発振開始タイミング

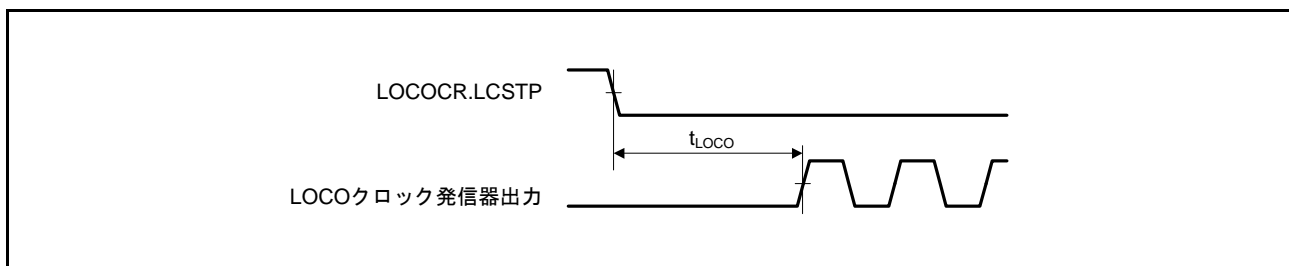


図 32.21 LOCO クロック発振開始タイミング

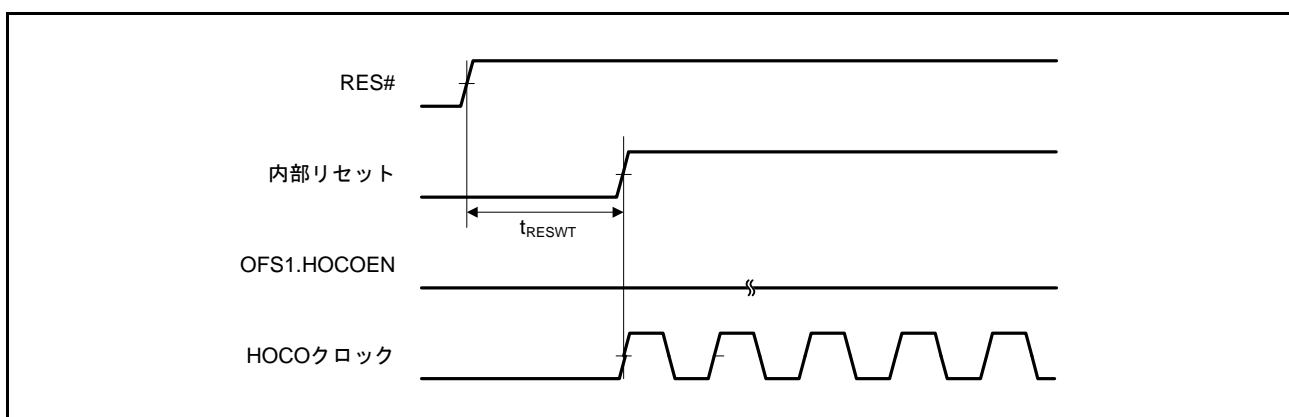


図 32.22 HOCO クロック発振開始タイミング (OFS1.HOCOEN ビット“0” 設定時のリセット解除後)

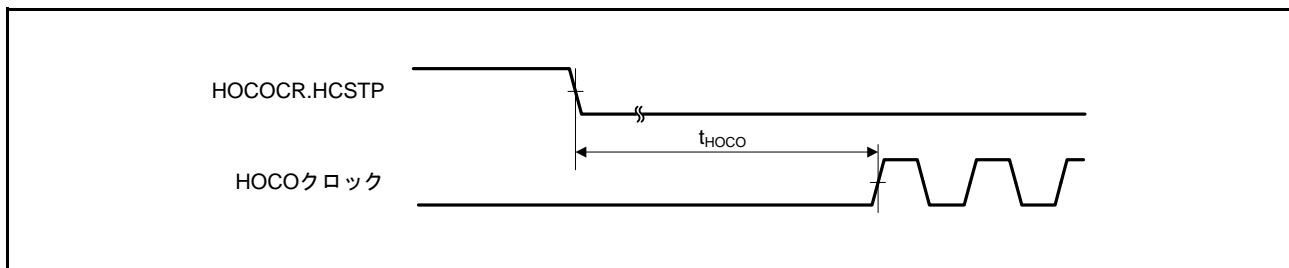


図 32.23 HOCO クロック発振開始タイミング (HOCOCR.HCSTP ビット設定による発振開始)

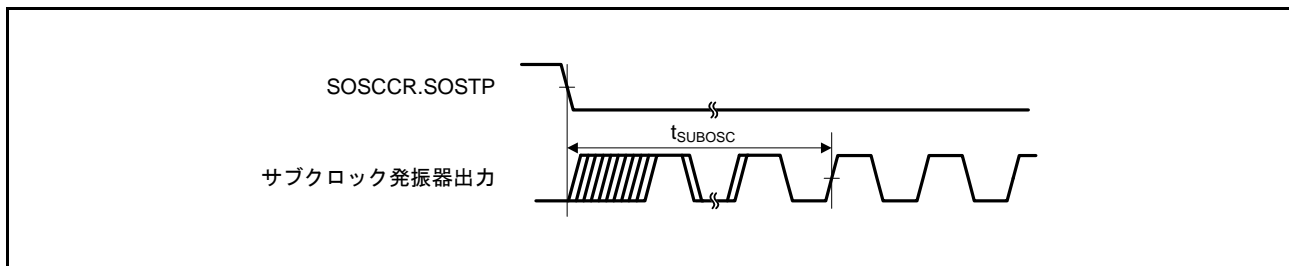


図 32.24 サブクロック発振開始タイミング

32.3.2 リセットタイミング

表 32.23 リセットタイミング

条件：1.8V ≤ VCC ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = 0V、T_a = -40 ~ +105 °C

項目		記号	min	typ	max	単位	測定条件
RES#パルス幅	電源投入時	t _{RESWP}	3	—	—	ms	図 32.25
	上記以外	t _{RESW}	30	—	—	μs	図 32.26
RES#解除後待機時間 (電源投入時)	通常起動時 (注1)	t _{RESWT}	—	8.5	—	ms	図 32.25
	起動時間短縮時 (注2)	t _{RESWT}	—	560	—	μs	
RES#解除後待機時間 (電源立ち上がった状態)		t _{RESWT}	—	114	—	μs	図 32.26
独立ウォッチドッグタイマリセット期間		t _{RESWIW}	—	1	—	IWDT clock cycle	図 32.27
ソフトウェアリセット期間		t _{RESWSW}	—	1	—	ICLK cycle	
独立ウォッチドッグタイマリセット解除後待機時間 (注3)		t _{RESW2}	—	300	—	μs	
ソフトウェアリセット解除後待機時間		t _{RESW2}	—	168	—	μs	

- 注1. OFS1.(STUPLVD1REN, FASTSTUP) = 11bを設定した場合です。
- 注2. OFS1.(STUPLVD1REN, FASTSTUP) ≠ 11bを設定した場合です。
- 注3. IWDTCR.CKS[3:0] = 0000bを設定した場合です。

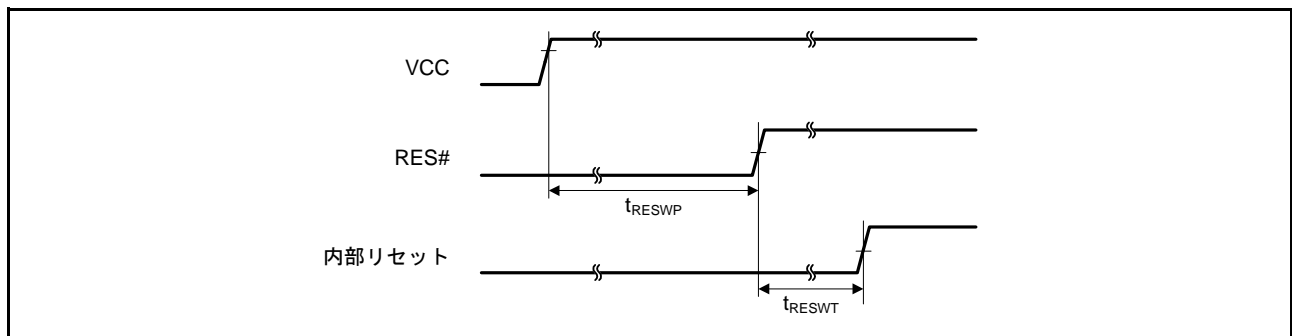


図 32.25 電源投入時リセット入カタイミング

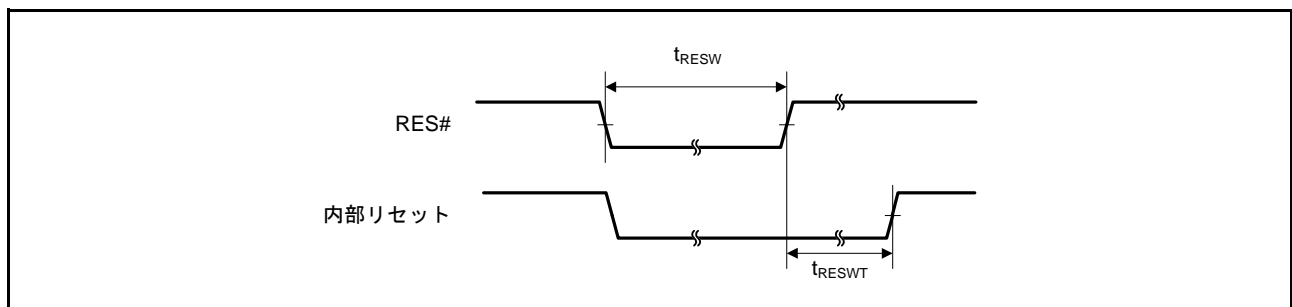


図 32.26 リセット入カタイミング (1)

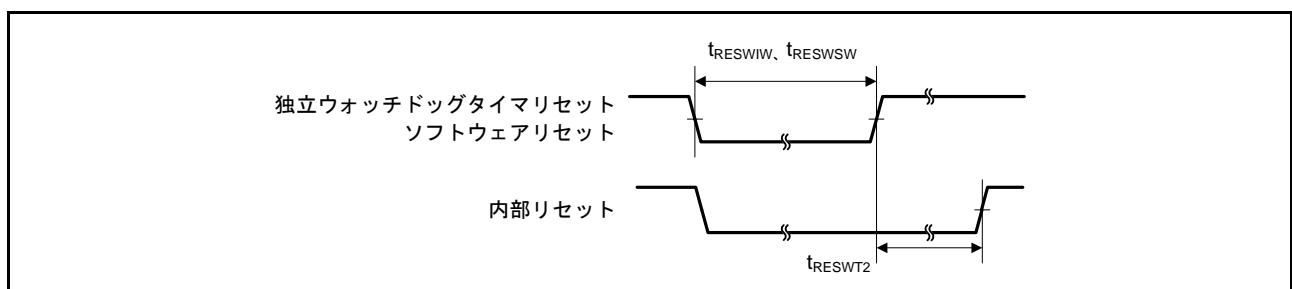


図 32.27 リセット入カタイミング (2)

32.3.3 低消費電力状態からの復帰タイミング

表32.24 低消費電力状態からの復帰タイミング (1)

条件：1.8V ≤ VCC ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = 0V、T_a = -40 ~ +105°C

項目				記号	min	typ	max	単位	測定条件
ソフトウェアスタンバイモード解除後復帰時間 (注1)	高速モード	メインクロック発振器に水晶振動子を接続	メインクロック発振器動作 (注2)	t _{SBYMC}	—	2	3	ms	図 32.28
		メインクロック発振器に外部クロックを入力	メインクロック発振器動作 (注3)	t _{SBYEX}	—	35	50	μs	
		サブクロック発振器動作		t _{SBYSC}	—	650	800	μs	
		HOCOクロック動作 (注4)		t _{SBYHO}	—	40	55	μs	
		LOCOクロック動作		t _{SBYLO}	—	40	55	μs	

注. PCLKB、PCLKD、FCLK、ICLKの分周比を、全て1分周に設定した場合です。

注1. WAIT命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なります。各項目に記載している発振器のみ動作しており、他の発振器は停止している場合です。

注2. 水晶振動子の周波数が20MHzの場合です。

メインクロック発振器ウエイトコントロールレジスタ (MOSCWTCR) に"04h"を設定した場合です。

注3. 外部クロックの周波数が20MHzの場合です。

メインクロック発振器ウエイトコントロールレジスタ (MOSCWTCR) に"00h"を設定した場合です。

注4. HOCOの周波数が32MHzの場合です。

高速クロック発振器ウエイトコントロールレジスタ (HOCOWTCR) に"05h"を設定した場合です。

表32.25 低消費電力状態からの復帰タイミング (2)

条件：1.8V ≤ VCC ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = 0V、T_a = -40 ~ +105°C

項目				記号	min	typ	max	単位	測定条件
ソフトウェアスタンバイモード解除後復帰時間 (注1)	中速モード	メインクロック発振器に水晶振動子を接続	メインクロック発振器動作 (注2)	t _{SBYMC}	—	2	3	ms	図 32.28
		メインクロック発振器に外部クロックを入力	メインクロック発振器動作 (注3)	t _{SBYEX}	—	3	4	μs	
		サブクロック発振器動作		t _{SBYSC}	—	600	750	μs	
		HOCOクロック動作 (注4)		t _{SBYHO}	—	40	50	μs	
		LOCOクロック動作		t _{SBYLO}	—	4.8	7	μs	

注. PCLKB、PCLKD、FCLK、ICLKの分周比を、全て1分周に設定した場合です。

注1. WAIT命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なります。各項目に記載している発振器のみ動作しており、他の発振器は停止している場合です。

注2. 水晶振動子の周波数が12MHzの場合です。

メインクロック発振器ウエイトコントロールレジスタ (MOSCWTCR) に"04h"を設定した場合です。

注3. 外部クロックの周波数が12MHzの場合です。

メインクロック発振器ウエイトコントロールレジスタ (MOSCWTCR) に"00h"を設定した場合です。

注4. HOCOの周波数が8MHzの場合です。

高速クロック発振器ウエイトコントロールレジスタ (HOCOWTCR) に"05h"を設定した場合です。

表 32.26 低消費電力状態からの復帰タイミング (3)

条件 : $1.8V \leq VCC \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目			記号	min	typ	max	単位	測定条件
ソフトウェアスタンバイモード解除後復帰時間 (注1)	低速モード	サブクロック発振器動作	t_{SBYSC}	—	600	750	μs	図 32.28

注. PCLKB、PCLKD、FCLK、ICLKの分周比を、全て1分周に設定した場合です。
 注1. 低速モード時のソフトウェアスタンバイモードではサブクロックは発振を継続します。

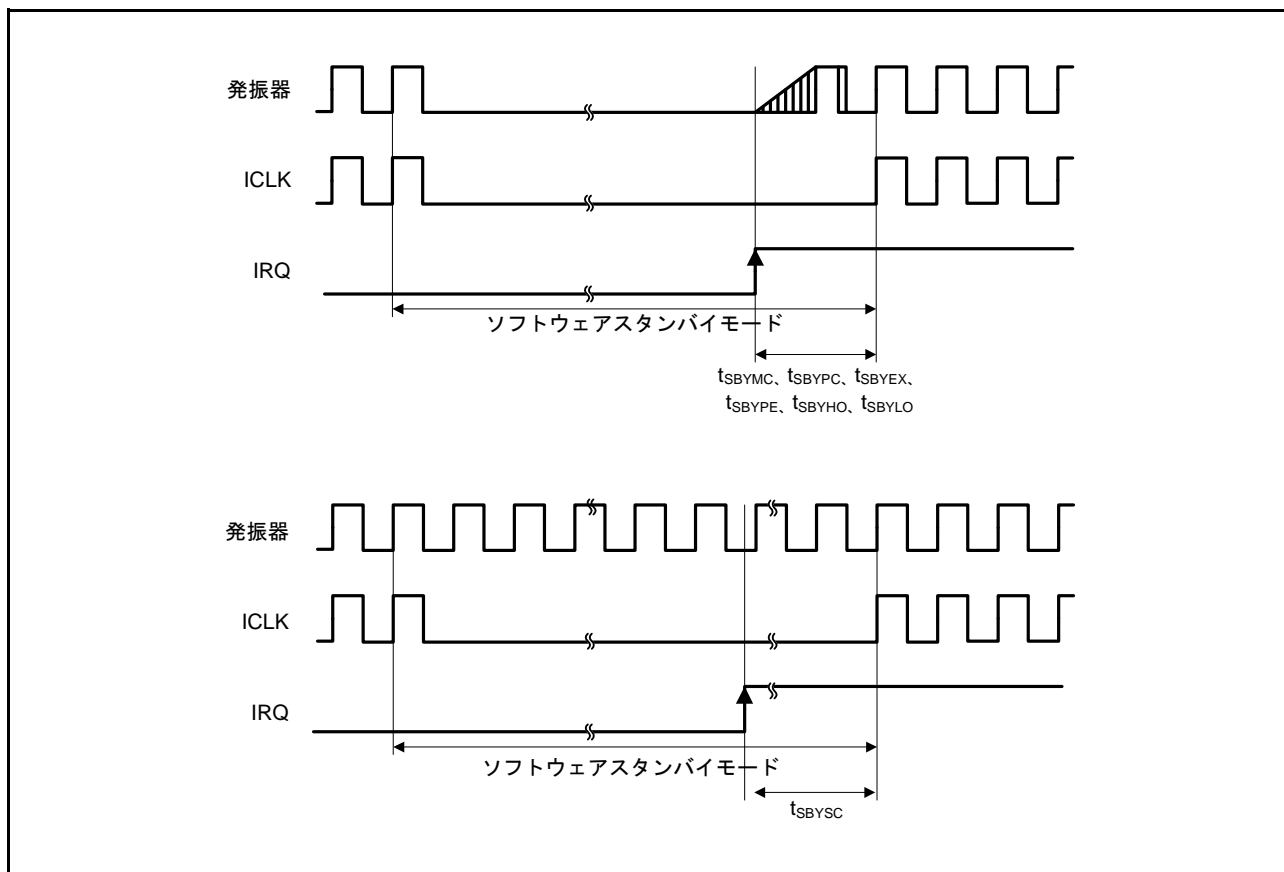


図 32.28 ソフトウェアスタンバイモード解除タイミング

表32.27 低消費電力状態からの復帰タイミング (4)

条件: $1.8V \leq VCC \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
ディープスリープモード 解除後復帰時間 (注1)	高速モード (注2)	—	2	3.5	μs	
	中速モード (注3)	—	3	4	μs	
	低速モード (注4)	—	400	500	μs	

注. PCLKB、PCLKD、FCLK、ICLKの分周比を、全て1分周に設定した場合です。

注1. ディープスリープモードでは発振器は発振を継続します。

注2. システムクロック周波数が32MHzの場合です。

注3. システムクロック周波数が12MHzの場合です。

注4. システムクロック周波数が32.768kHzの場合です。

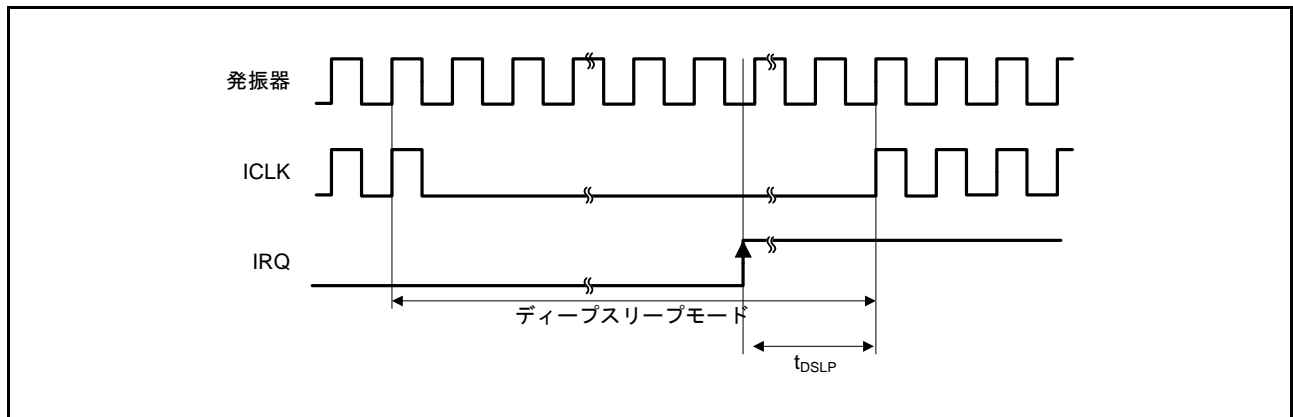


図 32.29 ディープスリープモード解除タイミング

表32.28 低消費電力状態からの復帰タイミング (5) 動作モード遷移時間

条件: $1.8V \leq VCC \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

遷移前モード	遷移後モード	ICLK周波数	遷移時間			単位
			min	typ	max	
高速動作モード	中速動作モード	8MHz	—	10	—	μs
中速動作モード	高速動作モード	8MHz	—	37.5	—	μs
低速動作モード	中速動作・高速動作モード	32.768kHz	—	213.62	—	μs
中速動作・高速動作モード	低速動作モード	32.768kHz	—	183.11	—	μs

注. PCLKB、PCLKD、FCLK、ICLKの分周比を、全て1分周に設定した場合です。

32.3.4 制御信号タイミング

表 32.29 制御信号タイミング

条件：1.8V ≤ VCC ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = 0V、T_a = -40 ~ +105 °C

項目	記号	min	typ	max	単位	測定条件	
NMIパルス幅	t _{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効設定時 (NMIFLTE.NFLTEN = 0)	t _{Pcyc} × 2 ≤ 200ns
		t _{Pcyc} × 2 (注1)	—	—			t _{Pcyc} × 2 > 200ns
		200	—	—		NMI デジタルフィルタ有効設定時 (NMIFLTE.NFLTEN = 1)	t _{NMICK} × 3 ≤ 200ns
		t _{NMICK} × 3.5 (注2)	—	—			t _{NMICK} × 3 > 200ns
IRQパルス幅	t _{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効設定時 (IRQFLTE0.FLTENi = 0)	t _{Pcyc} × 2 ≤ 200ns
		t _{Pcyc} × 2 (注1)	—	—			t _{Pcyc} × 2 > 200ns
		200	—	—		IRQ デジタルフィルタ有効設定時 (IRQFLTE0.FLTENi = 1)	t _{IRQCK} × 3 ≤ 200ns
		t _{IRQCK} × 3.5 (注3)	—	—			t _{IRQCK} × 3 > 200ns

注. ソフトウェアスタンバイ時は最小200nsです。

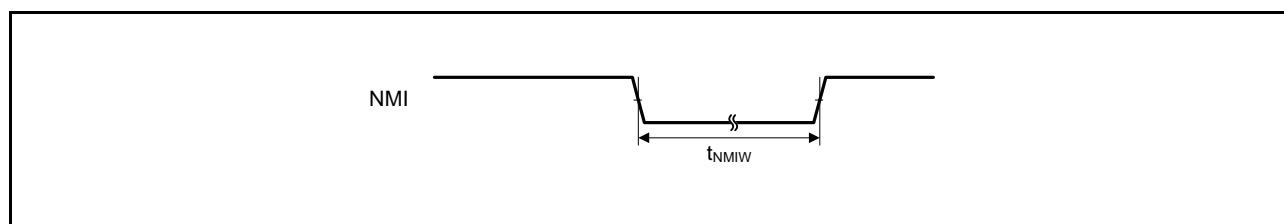
注1. t_{Pcyc}はPCLKBの周期を指します。注2. t_{NMICK}はNMIデジタルフィルタサンプリングクロックの周期です。注3. t_{IRQCK}はIRQiデジタルフィルタサンプリングクロック (i = 0~7) の周期を指します。

図 32.30 NMI 割り込み入力タイミング

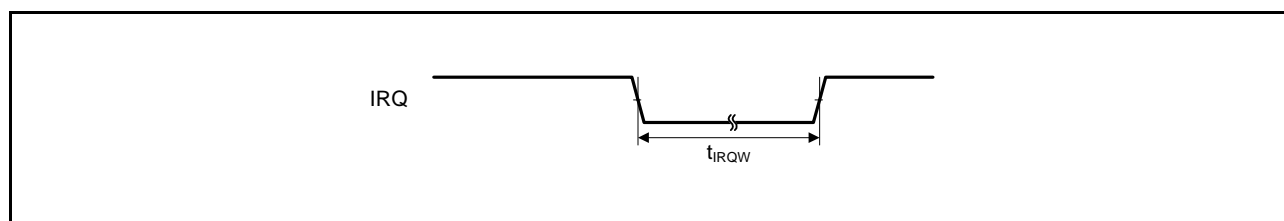


図 32.31 IRQ 割り込み入力タイミング

32.3.5 内蔵周辺モジュールタイミング

表 32.30 内蔵周辺モジュールタイミング (1)

条件: $1.8V \leq VCC \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	max	単位 (注1)	測定条件	
I/Oポート	入力データパルス幅	t_{PRW}	1.5	—	t_{Pcyc}	図 32.32	
MTU2	インプットキャプチャ入力 パルス幅	単エッジ指定	1.5	—	t_{Pcyc}	図 32.33	
		両エッジ指定	2.5	—			
	タイマクロックパルス幅	単エッジ指定 両エッジ指定 位相係数モード	t_{TCKWH} 、 t_{TCKWL}	1.5 2.5 2.5	— — —	t_{Pcyc}	図 32.34
SCI	入力クロックサイクル	調歩同期	4	—	t_{Pcyc}	図 32.35	
		クロック同期	6	—			
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	入力クロック立ち上がり時間		t_{SCKr}	—	20	ns	
	入力クロック立ち下がり時間		t_{SCKf}	—	20	ns	
	出力クロックサイクル	調歩同期	t_{Scyc}	16	—	t_{Pcyc}	図 32.36 C = 30pF
		クロック同期		4	—		
	出力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	出力クロック立ち上がり時間		t_{SCKr}	—	20	ns	
	出力クロック立ち下がり時間		t_{SCKf}	—	20	ns	
	送信データ遅延時間 (マスタ)	クロック同期	t_{TXD}	—	40	ns	
	送信データ遅延時間 (スレーブ)	クロック 同期		2.7V以上	—	65	
			1.8V以上	—	100	ns	
	受信データセットアップ 時間 (マスタ)	クロック 同期	t_{RXS}	2.7V以上	65	—	
1.8V以上				90	—	ns	
受信データセットアップ 時間 (スレーブ)	クロック同期	t_{RXS}	40	—	ns		
受信データホールド時間	クロック同期	t_{RXH}	40	—	ns		
A/Dコンバータ	トリガ入力パルス幅	t_{TRGW}	1.5	—	t_{Pcyc}	図 32.37	
CAC	CACREF入力パルス幅	$t_{Pcyc} \leq t_{cac}$ (注2) $t_{Pcyc} > t_{cac}$ (注2)	t_{CACREF}	$4.5 t_{cac} + 3 t_{Pcyc}$	—	ns	
				$5 t_{cac} + 6.5 t_{Pcyc}$			
CLKOUT	CLKOUT 端子出力サイクル (注4)	t_{Cyc}	VCC = 2.7V 以上	125	—	ns	
			VCC = 1.8V 以上	250			
	CLKOUT 端子 High レベルパルス幅 (注3)	t_{CH}	VCC = 2.7V 以上	35	—	ns	
			VCC = 1.8V 以上	70			
	CLKOUT 端子 Low レベルパルス幅 (注3)	t_{CL}	VCC = 2.7V 以上	35	—	ns	
			VCC = 1.8V 以上	70			
	CLKOUT 端子出力立ち上がり時間	t_{Cr}	VCC = 2.7V 以上	—	15	ns	
			VCC = 1.8V 以上	—	30		
CLKOUT 端子出力立ち下がり時間	t_{Cf}	VCC = 2.7V 以上	—	15	ns		
		VCC = 1.8V 以上	—	30			

注1. t_{Pcyc} : PCLKの周期注2. t_{cac} : CACカウントクロックソースの周期

注3. クロック出力ソースにLOCO選択 (CKOCR.CKOSSEL[2:0]ビット = 000b) の場合は、クロック出力分周比選択を2分周 (CKOCR.CKODIV[2:0]ビット = 001b) に設定してください。

注4. XTAL外部クロック入力または発振子を使用して1分周 (CKOCR.CKOSSEL[2:0]ビット = 010bかつCKOCR.CKODIV[2:0]ビット = 000b) をCLKOUTより出力する場合は、入力デューティ比45~55%で上記を満たします。

表 32.31 内蔵周辺モジュールタイミング (2)

条件: $1.8V \leq VCC \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$ 、 $C = 30pF$

項目		記号	min	max	単位	測定条件			
RSPI	RSPCKクロックサイクル	マスタ	t_{SPCyc}	2	4096	t_{Pcyc} (注1)	図 32.39		
		スレーブ		8	4096				
	RSPCKクロック Highレベルパルス幅	マスタ	t_{SPCKWH}	$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns		図 32.40 ~ 図 32.45	
		スレーブ		$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2$	—				
	RSPCKクロック Lowレベルパルス幅	マスタ	t_{SPCKWL}	$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns			
		スレーブ		$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2$	—				
	RSPCKクロック 立ち上がり/立ち下がり 時間	出力	2.7V以上	t_{SPCKr}	—	10			ns
			1.8V以上	t_{SPCKf}	—	15			
		入力			—	1			μs
	データ入力セットアップ時間	マスタ	2.7V以上	t_{SU}	10	—			ns
			1.8V以上		30	—			
		スレーブ			$25 - t_{Pcyc}$	—			
データ入力ホールド時間	マスタ	RSPCKをPCLKB の2分周以外に 設定	t_H	t_{Pcyc}	—	ns			
		RSPCKをPCLKB の2分周に設定	t_{HF}	0	—				
	スレーブ		t_H	$20 + 2 \times t_{Pcyc}$	—				
SSLセットアップ時間	マスタ	t_{LEAD}	$-30 + N$ (注2) \times t_{SPCyc}	—	ns				
	スレーブ		2	—	t_{Pcyc}				
SSLホールド時間	マスタ	t_{LAG}	$-30 + N$ (注3) \times t_{SPCyc}	—	ns				
	スレーブ		2	—	t_{Pcyc}				
データ出力遅延時間	マスタ	2.7V以上	t_{OD}	—	14	ns			
		1.8V以上		—	30				
	スレーブ	2.7V以上		—	$3 \times t_{Pcyc} + 65$				
		1.8V以上		—	$3 \times t_{Pcyc} + 105$				
データ出力ホールド時間	マスタ	2.7V以上	t_{OH}	0	—	ns			
		1.8V以上		-20	—				
	スレーブ			0	—				
連続送信遅延時間	マスタ	t_{TD}	$t_{SPCyc} + 2 \times t_{Pcyc}$	$8 \times t_{SPCyc} + 2 \times$ t_{Pcyc}	ns				
	スレーブ		$4 \times t_{Pcyc}$	—					
MOSI、MISO 立ち上がり/立ち下がり 時間	出力	2.7V以上	t_{Dr} 、 t_{Df}	—	10	ns			
		1.8V以上		—	20				
	入力			—	1	μs			
SSL立ち上がり/立ち下がり 時間	出力	t_{SSLr} 、 t_{SSLf}		—	20	ns			
	入力			—	1	μs			
スレーブアクセス時間		2.7V以上	t_{SA}	—	6	t_{Pcyc}	図 32.44、 図 32.45		
		1.8V以上		—	7				
スレーブ出力開放時間		2.7V以上	t_{REL}	—	5	t_{Pcyc}			
		1.8V以上		—	6				

注1. t_{Pcyc} : PCLKの周期

注2. N: RSPIクロック遅延レジスタ (SPCKD) にて設定可能な1~8の整数

注3. N: RSPIスレーブセレクトネゲート遅延レジスタ (SSLND) にて設定可能な1~8の整数

表 32.32 内蔵周辺モジュールタイミング (3)

条件: $1.8V \leq VCC \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$ 、 $C = 30pF$

項目		記号	min	max	単位 (注1)	測定条件	
簡易 SPI	SCKクロックサイクル出力 (マスタ)	t_{SPCyc}	4	65536	t_{PCyc}	図 32.39	
	SCKクロックサイクル入力 (スレーブ)		6	65536	t_{PCyc}		
	SCKクロック High レベルパルス幅	t_{SPCKWH}	0.4	0.6	t_{SPCyc}		
	SCKクロック Low レベルパルス幅	t_{SPCKWL}	0.4	0.6	t_{SPCyc}		
	SCKクロック立ち上がり/立ち下がり時間	t_{SPCKr} 、 t_{SPCKf}	—	20	ns		
	データ入力セットアップ時間 (マスタ)	2.7V以上	t_{SU}	65	—	ns	図 32.40、 図 32.42
		1.8V以上		95	—		
	データ入力セットアップ時間 (スレーブ)	40		—			
	データ入力ホールド時間	t_H	40	—	ns		
	SS入力セットアップ時間	t_{LEAD}	3	—	t_{SPCyc}		
	SS入力ホールド時間	t_{LAG}	3	—	t_{SPCyc}		
	データ出力遅延時間 (マスタ)	t_{OD}	—	40	ns		
	データ出力遅延時間 (スレーブ)		2.7V以上	—		65	
			1.8V以上	—		100	
	データ出力ホールド時間 (マスタ)	2.7V以上	t_{OH}	-10	—	ns	
1.8V以上		-20		—			
データ出力ホールド時間 (スレーブ)	—	-10		—			
データ立ち上がり/立ち下がり時間	t_{Dr} 、 t_{Df}	—	20	ns			
SS入力立ち上がり/立ち下がり時間	t_{SSLr} 、 t_{SSLf}	—	20	ns			
スレーブアクセス時間	t_{SA}	—	6	t_{PCyc}	図 32.44、 図 32.45		
スレーブ出力開放時間	t_{REL}	—	6	t_{PCyc}			

注1. t_{PCyc} : PCLKの周期

表32.33 内蔵周辺モジュールタイミング (4)

条件: $2.7V \leq VCC \leq 3.6V$ 、 $2.7V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = 0V$ 、 $fPCLKB \leq 32MHz$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min (注1)	max	単位	測定条件
IIC (スタンダード モード、SMBus)	SCL0入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 1300$	—	ns	図32.46
	SCL0入力Highパルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL0入力Lowパルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL0、SDA0入力立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL0、SDA0入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL0、SDA0入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
	SDA0入力バスフリー時間	t_{BUF}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	開始条件入力ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	1000	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	1000	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL0、SDA0の容量性負荷	C_b	—	400	pF	
IIC (ファストモード)	SCL0入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 600$	—	ns	図32.46
	SCL0入力Highパルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL0入力Lowパルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL0、SDA0入力立ち上がり時間	t_{Sr}	— (注2)	300	ns	
	SCL0、SDA0入力立ち下がり時間	t_{Sf}	— (注2)	300	ns	
	SCL0、SDA0入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
	SDA0入力バスフリー時間	t_{BUF}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	開始条件入力ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	300	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	300	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL0、SDA0の容量性負荷	C_b	—	400	pF	

注. t_{IICcyc} : IICの内部基準クロック (IICφ) の周期

注1. () 内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注2. ファストモードのtsr/tsfのmin規格は設定していません。

表 32.34 内蔵周辺モジュールタイミング (5)

条件 : $2.7V \leq VCC \leq 3.6V$ 、 $2.7V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = 0V$ 、 $fPCLKB \leq 32MHz$ 、 $T_a = -40 \sim +105^\circ C$

項目		記号	min	max	単位	測定条件
簡易I ² C (スタンダード モード)	SDA0入力立ち上がり時間	t_{Sr}	—	1000	ns	図32.46
	SDA0入力立ち下がり時間	t_{Sf}	—	300	ns	
	SDA0入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{pcyc}$ (注1)	ns	
	データ入力セットアップ時間	t_{SDAS}	250	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL0、SDA0の容量性負荷	C_b	—	400	pF	
簡易I ² C (ファストモード)	SCL0、SDA0入力立ち上がり時間	t_{Sr}	—	300	ns	図32.46
	SCL0、SDA0入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL0、SDA0入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{pcyc}$ (注1)	ns	
	データ入力セットアップ時間	t_{SDAS}	100	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL0、SDA0の容量性負荷	C_b	—	400	pF	

注. t_{pcyc} : PCLKの周期

注1. SNFR.NFEビット=1でデジタルフィルタを有効にした状態でSMR.CKS[1:0]ビット=00b、SNFR.NFCS[2:0]ビット=010bの場合を示します。

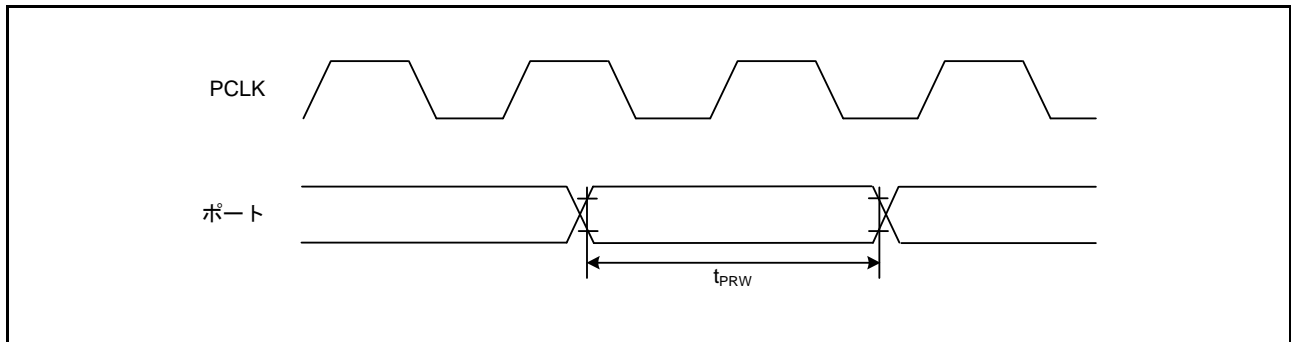


図 32.32 I/Oポート入力タイミング

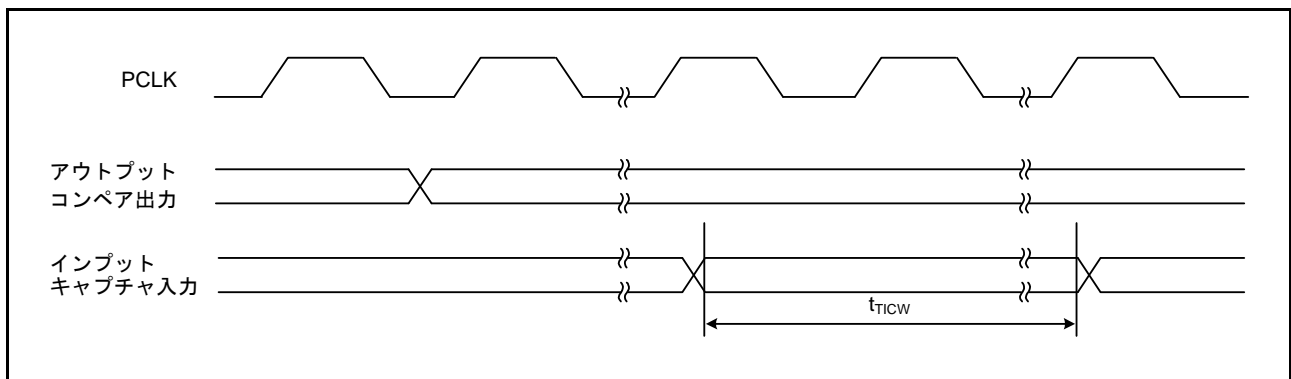


図 32.33 MTU2 入出力タイミング

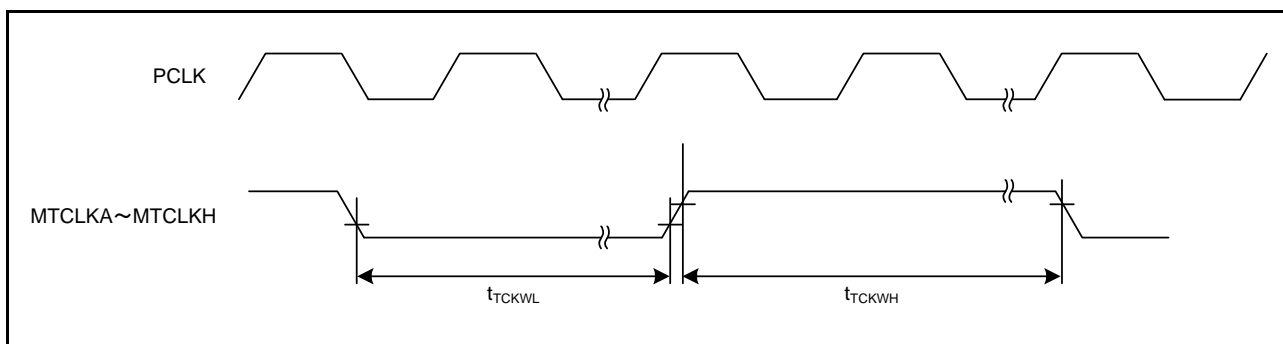


図 32.34 MTU2 クロック入力タイミング

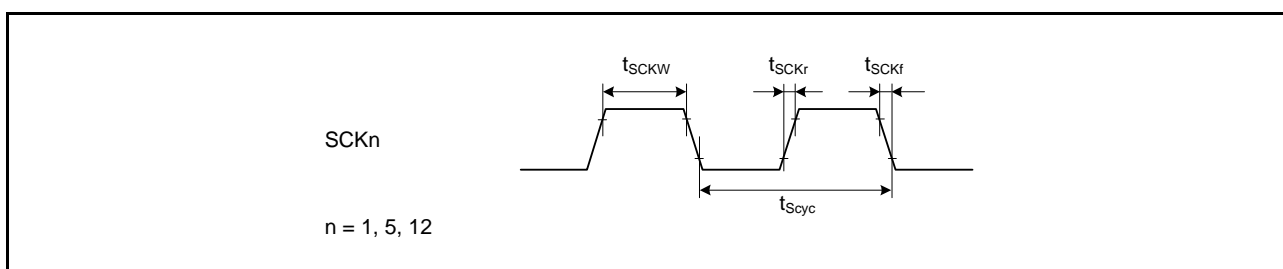


図 32.35 SCK クロック入力タイミング

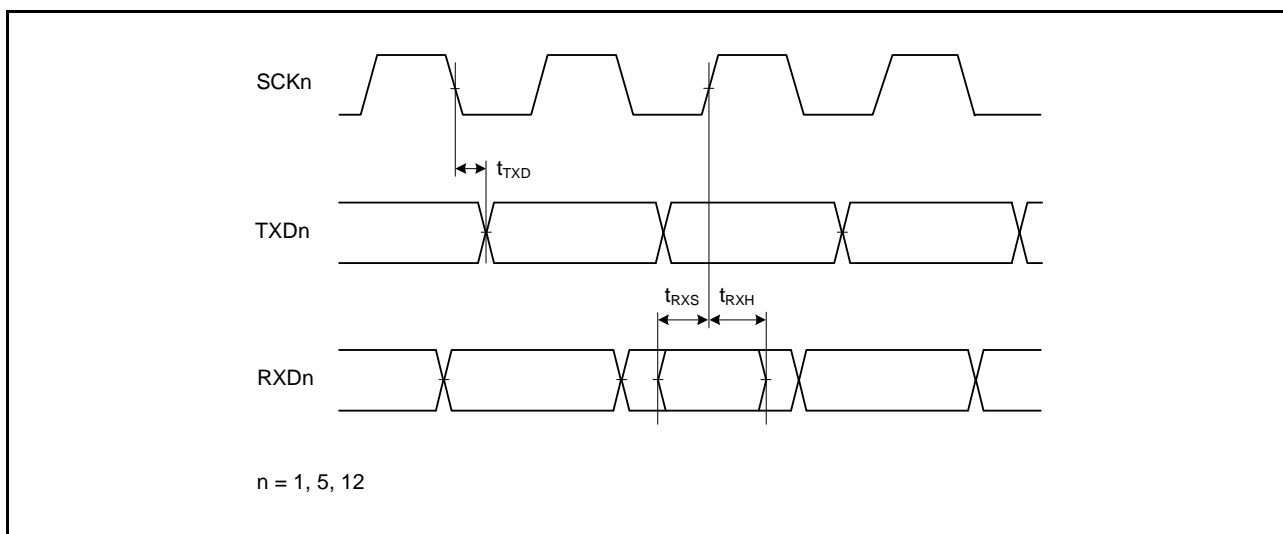


図 32.36 SCI 入出力タイミング / クロック同期式モード

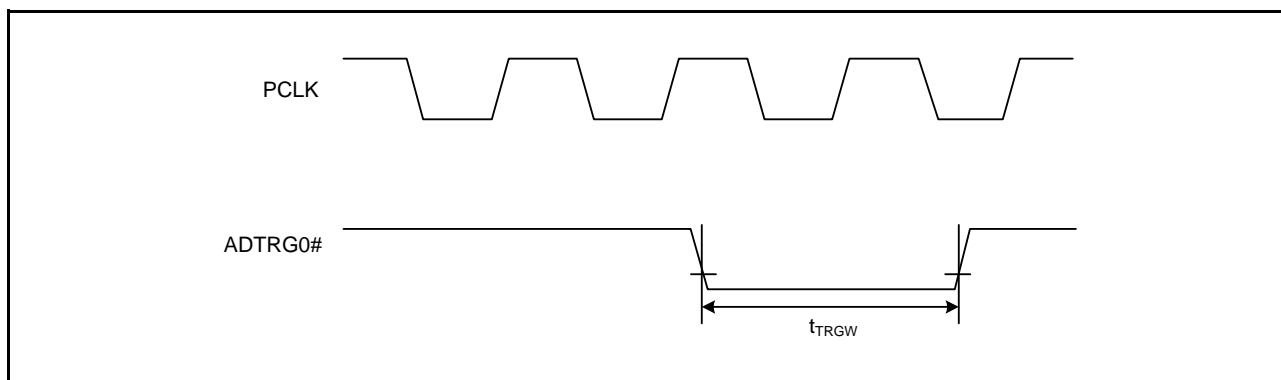


図 32.37 A/D コンバータ外部トリガ入力タイミング

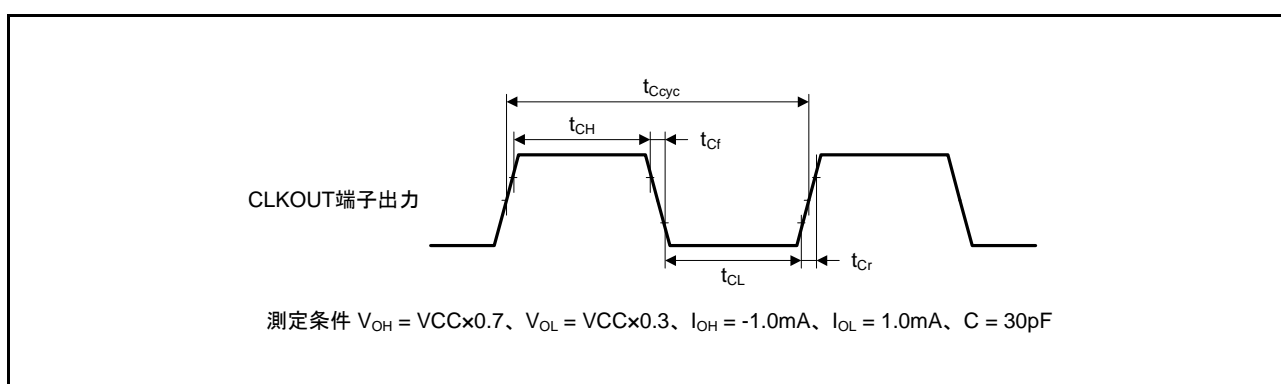


図 32.38 CLKOUT 出力タイミング

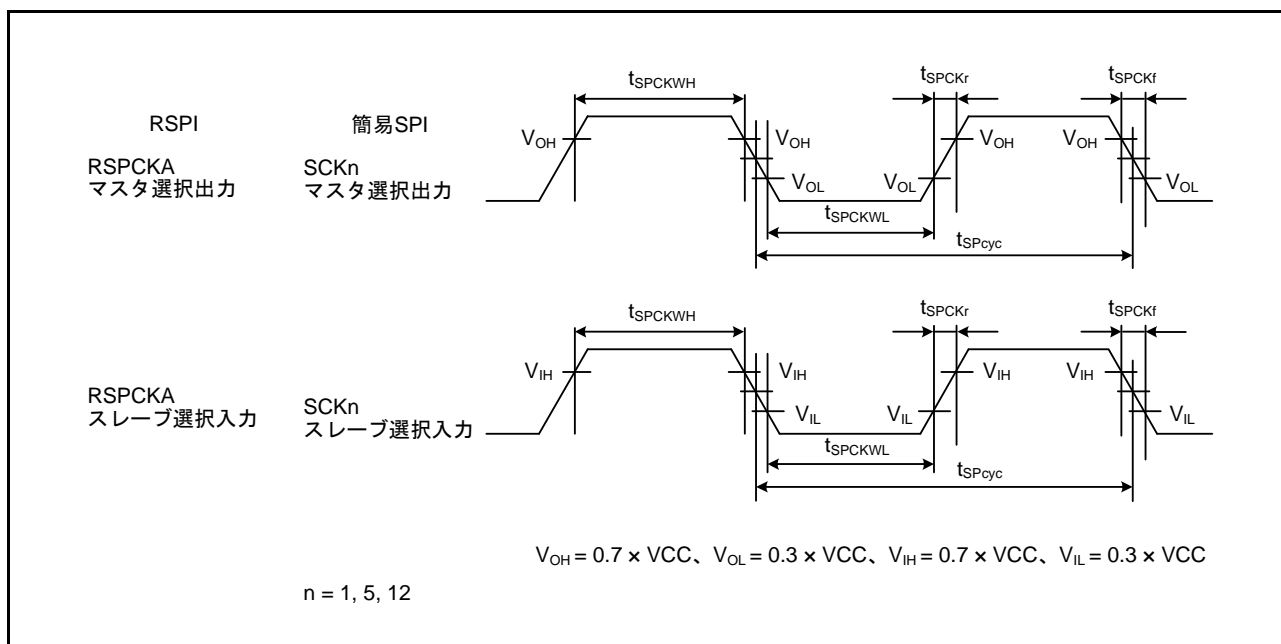


図 32.39 RSPI クロックタイミング / 簡易 SPI クロックタイミング

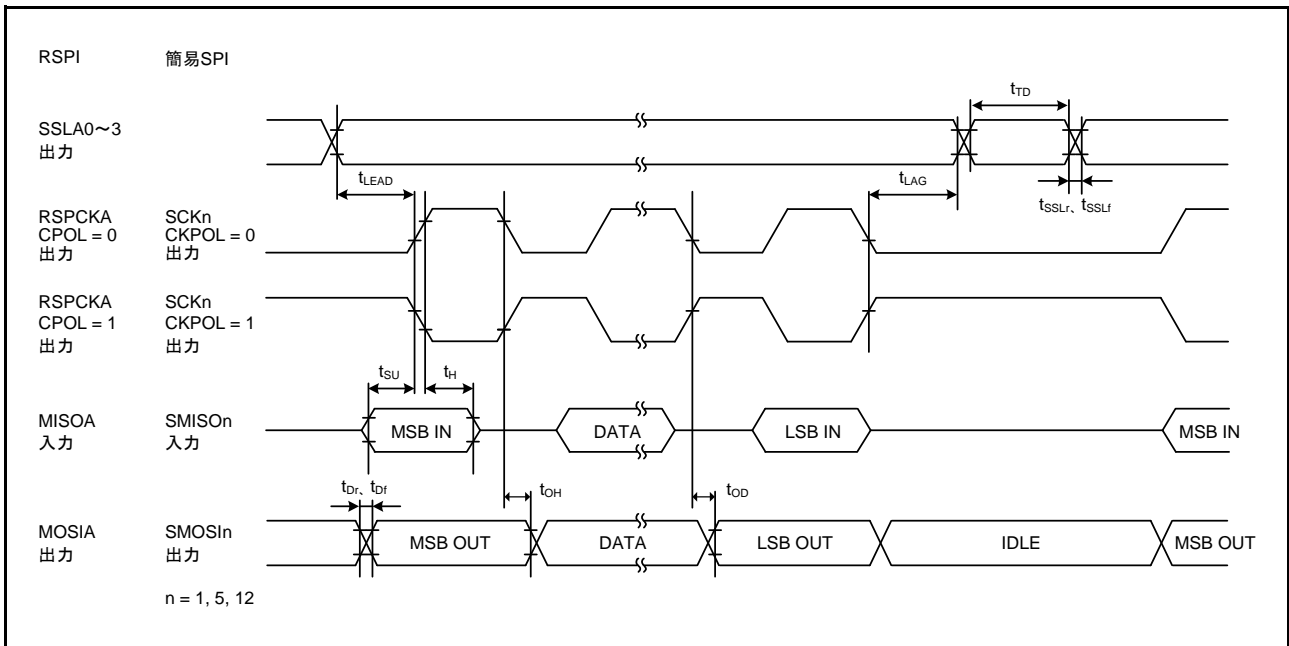


図 32.40 RSPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周以外に設定) / 簡易 SPI タイミング (マスタ、CKPH = 1)

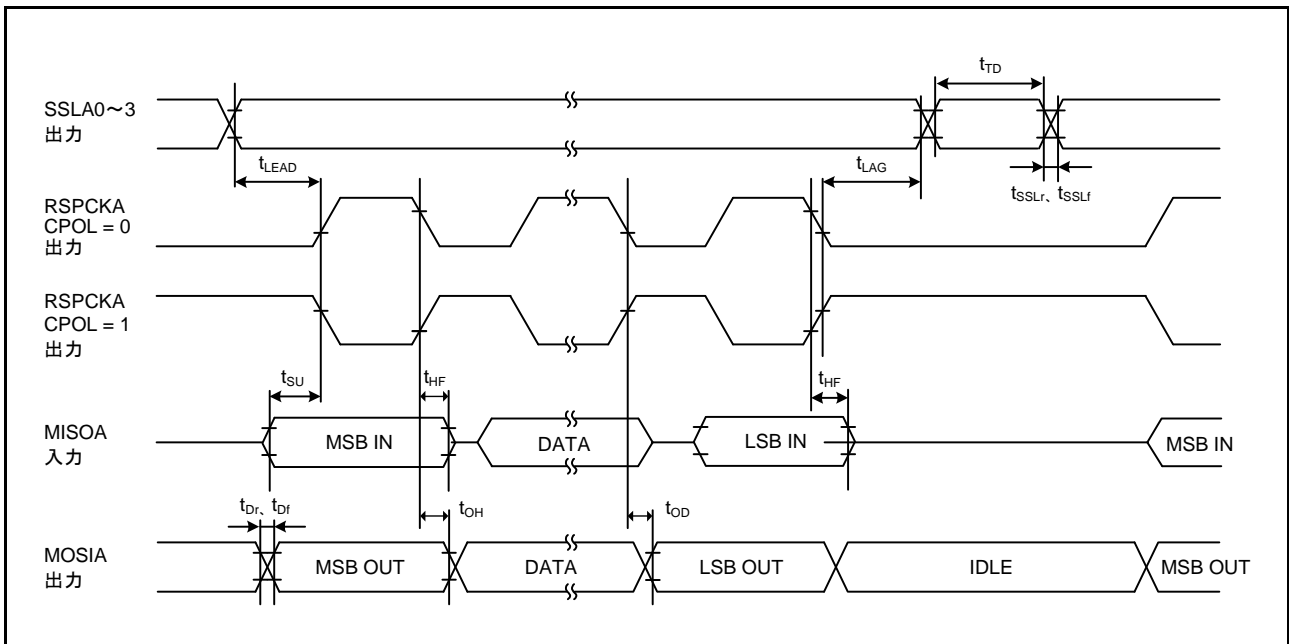


図 32.41 RSPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周に設定)

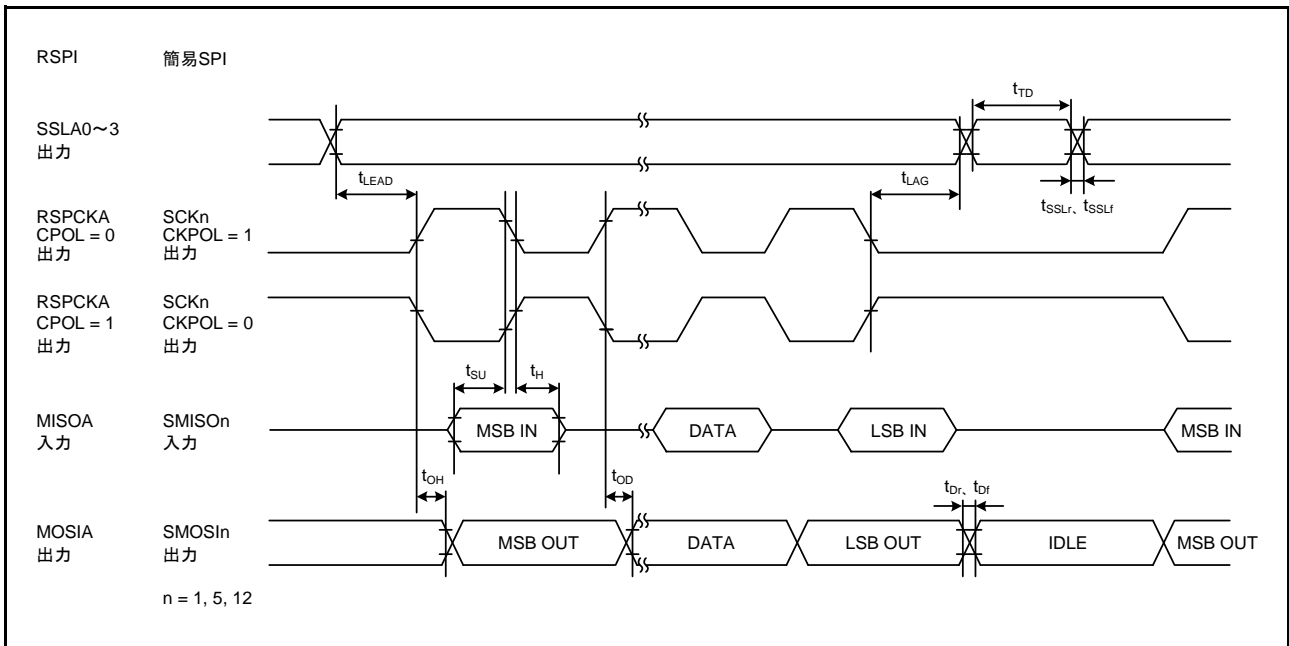


図 32.42 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周以外に設定) / 簡易 SPI タイミング (マスタ、CKPH = 0)

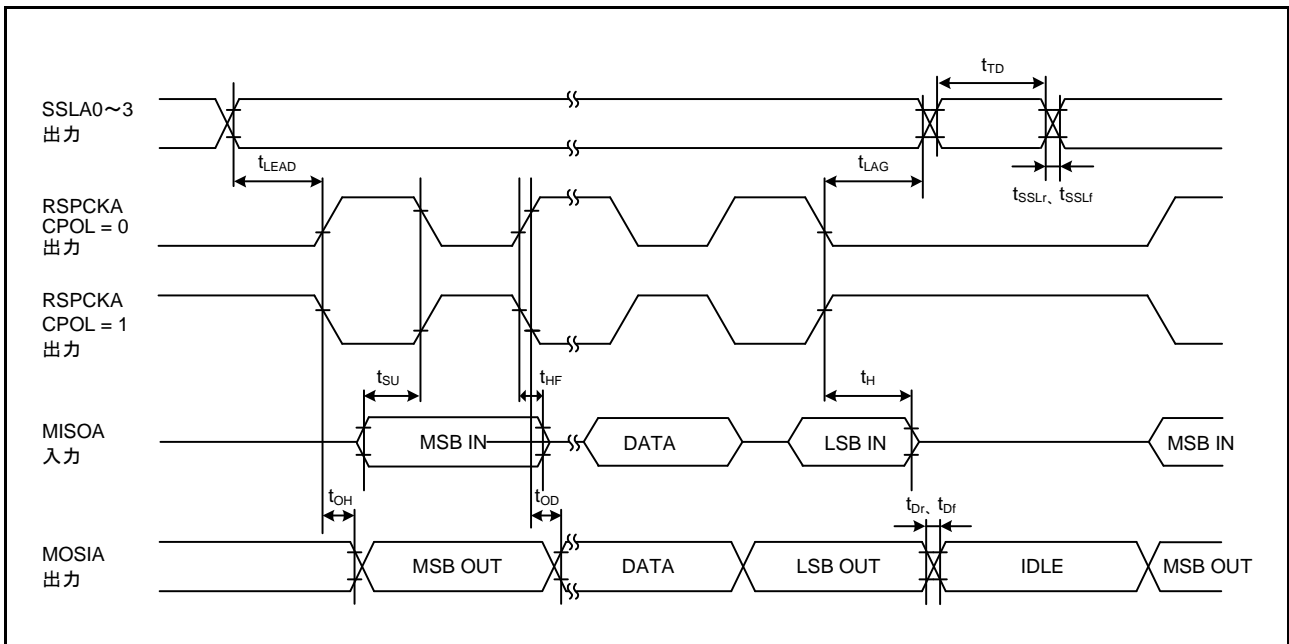


図 32.43 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周に設定)

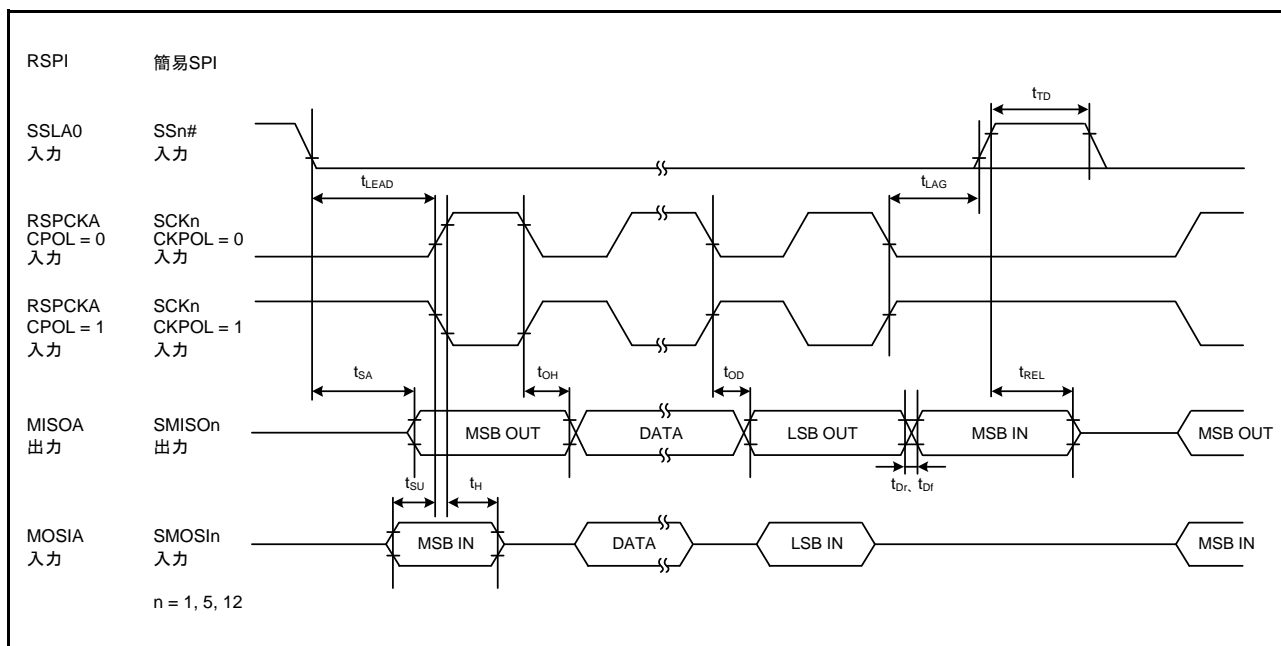


図 32.44 RSPI タイミング (スレーブ、CPHA = 0) / 簡易 SPI タイミング (スレーブ、CKPH = 1)

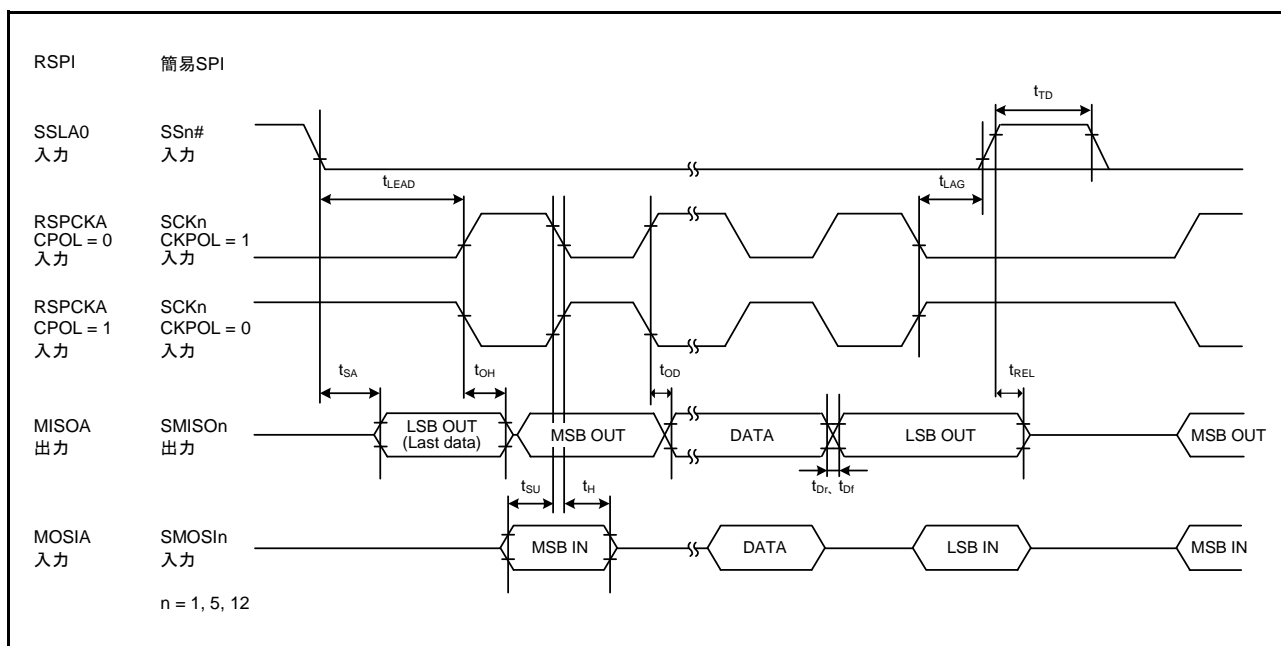


図 32.45 RSPI タイミング (スレーブ、CPHA = 1) / 簡易 SPI タイミング (スレーブ、CKPH = 0)

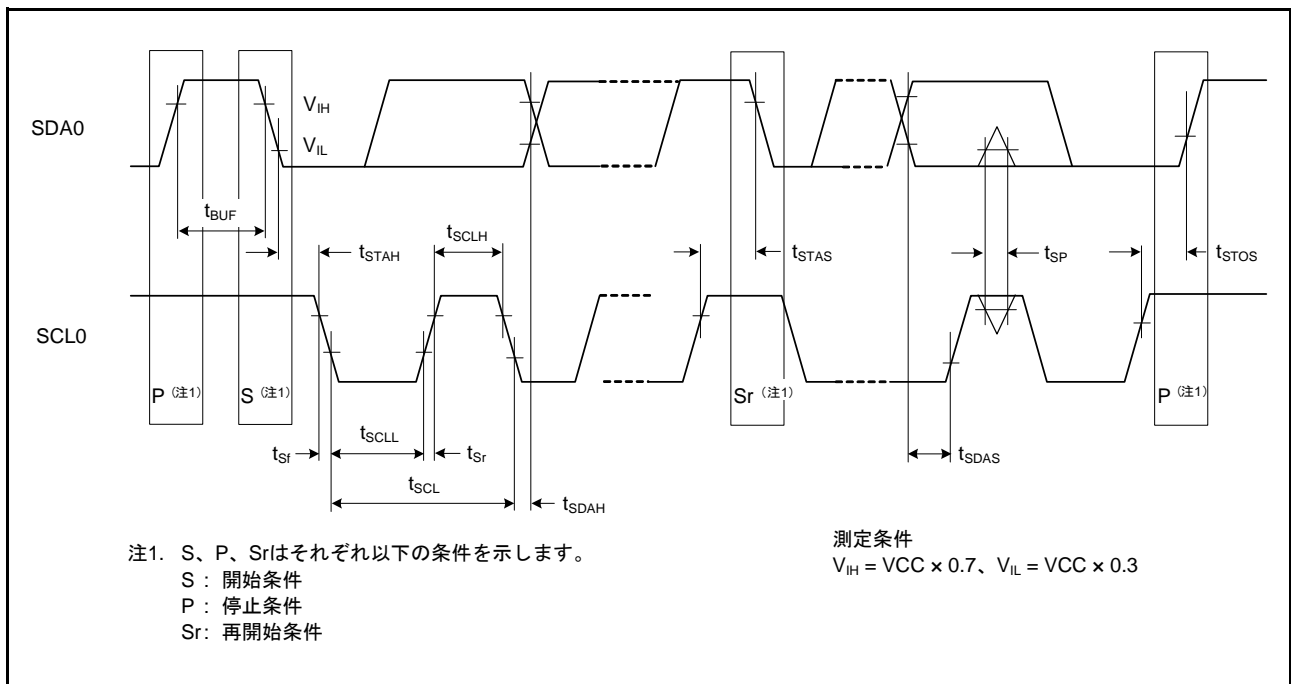


図 32.46 RIIC バスインタフェース入出力タイミング / 簡易 I²C バスインタフェース入出力タイミング

32.4 A/D 変換特性

表 32.35 A/D変換特性 (1)

条件: $2.7V \leq VCC \leq 3.6V$ 、 $2.7V \leq AVCC0 \leq 3.6V$ 、 $2.7V \leq VREFH0 \leq AVCC0$ 、 $VSS = AVSS0 = VREFL0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	min	typ	max	単位	測定条件	
周波数	4	—	32	MHz		
分解能	—	—	12	ビット		
変換時間 (注1) (PCLKD = 32MHz時)	許容信号源 インピーダンス max = 0.3k Ω	1.031 (0.313) (注2)	—	—	μs	高精度チャンネル ADCSR.ADHSC ビット = 1 ADSSTRn.SST[7:0] ビット = 09h
		1.375 (0.641) (注2)	—	—	μs	通常精度チャンネル ADCSR.ADHSC ビット = 1 ADSSTRn.SST[7:0] ビット = 14h
アナログ入力電圧有効範囲	0	—	VREFH0	V		
オフセット誤差	—	± 0.5	± 4.5	LSB	高精度チャンネル PJ6PFS.ASEL ビット = 1 PJ7PFS.ASEL ビット = 1	
			± 6.0	LSB	上記以外	
フルスケール誤差	—	± 0.75	± 4.5	LSB	高精度チャンネル PJ6PFS.ASEL ビット = 1 PJ7PFS.ASEL ビット = 1	
			± 6.0	LSB	上記以外	
量子化誤差	—	± 0.5	—	LSB		
絶対精度	—	± 1.25	± 5.0	LSB	高精度チャンネル PJ6PFS.ASEL ビット = 1 PJ7PFS.ASEL ビット = 1	
			± 8.0	LSB	上記以外	
DNL 微分非直線性誤差	—	± 1.0	—	LSB		
INL 積分非直線性誤差	—	± 1.0	± 3.0	LSB		

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. () はサンプリング時間を示します。

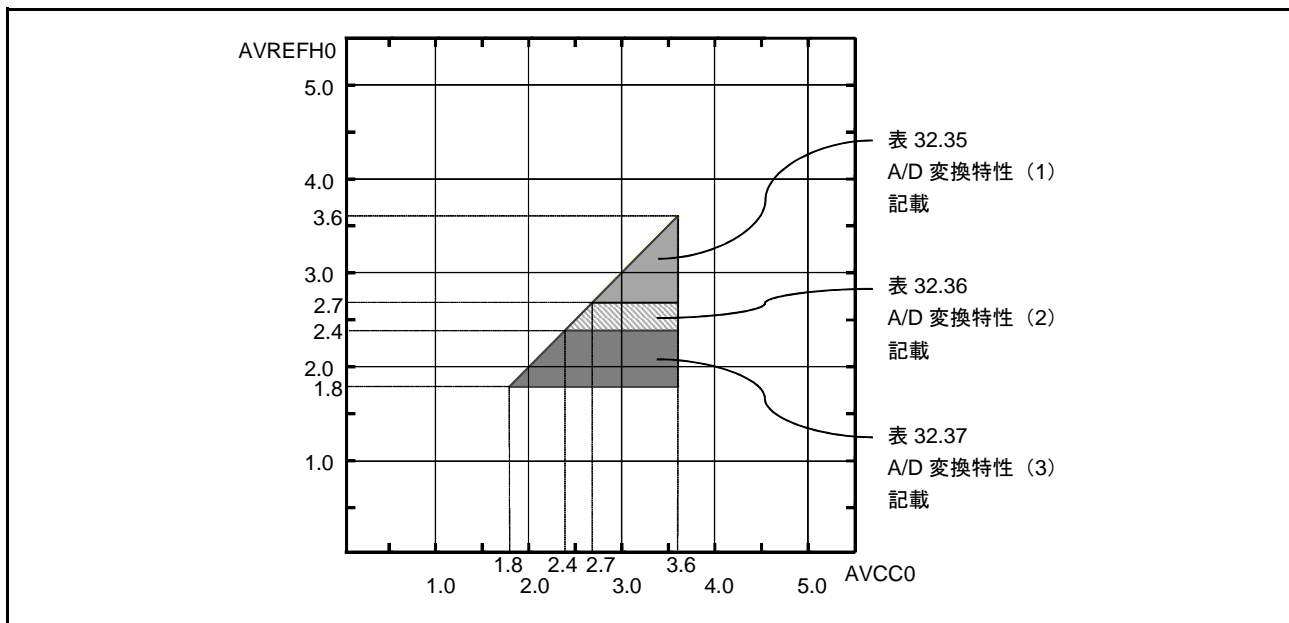


図 32.47 AVCC0-AVREFH0 電圧範囲

表 32.36 A/D変換特性 (2)

条件: $2.4V \leq VCC \leq 3.6V$ 、 $2.4V \leq AVCC0 \leq 3.6V$ 、 $2.4V \leq VREFH0 \leq AVCC0$ 、 $VSS = AVSS0 = VREFL0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	min	typ	max	単位	測定条件	
周波数	4	—	16	MHz		
分解能	—	—	12	ビット		
変換時間 (注1) (PCLKD = 16MHz時)	許容信号源 インピーダンス max = 1.0k Ω	2.062 (0.625) (注2)	—	—	μs	高精度チャンネル ADCSR.ADHSCビット=1 ADSSTRn.SST[7:0]ビット=09h
		2.750 (1.313) (注2)	—	—	μs	通常精度チャンネル ADCSR.ADHSCビット=1 ADSSTRn.SST[7:0]ビット=14h
アナログ入力電圧有効範囲	0	—	VREFH0	V		
オフセット誤差	—	± 0.5	± 6.0	LSB		
フルスケール誤差	—	± 1.25	± 6.0	LSB		
量子化誤差	—	± 0.5	—	LSB		
絶対精度	—	± 3.0	± 8.0	LSB		
DNL 微分非直線性誤差	—	± 1.0	—	LSB		
INL 積分非直線性誤差	—	± 1.5	± 3.0	LSB		

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. () はサンプリング時間を示します。

表 32.37 A/D変換特性 (3)

条件: $1.8V \leq VCC \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $1.8V \leq VREFH0 \leq AVCC0$ 、 $VSS = AVSS0 = VREFL0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	min	typ	max	単位	測定条件	
周波数	1	—	8	MHz		
分解能	—	—	12	ビット		
変換時間 (注1) (PCLKD = 8MHz時)	許容信号源 インピーダンス max = 5.0k Ω	4.875 (1.250) (注2)	—	—	μs	高精度チャンネル ADCSR.ADHSCビット=0 ADSSTRn.SST[7:0]ビット=09h
		6.250 (2.625) (注2)	—	—	μs	通常精度チャンネル ADCSR.ADHSCビット=0 ADSSTRn.SST[7:0]ビット=14h
アナログ入力電圧有効範囲	0	—	VREFH0	V		
オフセット誤差	—	± 0.5	± 24.0	LSB		
フルスケール誤差	—	± 1.25	± 24.0	LSB		
量子化誤差	—	± 0.5	—	LSB		
絶対精度	—	± 2.75	± 32.0	LSB		
DNL 微分非直線性誤差	—	± 1.0	—	LSB		
INL 積分非直線性誤差	—	± 1.25	± 12.0	LSB		

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. () はサンプリング時間を示します。

表 32.38 A/Dコンバータチャネル分類表

分類	対象チャネル	条件	備考
高精度チャネル	AN000～AN004、AN006	AVCC0 = 1.8～3.6V	A/Dコンバータ使用時、AN000～AN004、AN006端子をデジタル出力として使用することはできません。
通常精度チャネル	AN008～AN015		
内部基準電圧入力チャネル	内部基準電圧	AVCC0 = 2.0～3.6V	
温度センサ入力チャネル	温度センサ出力	AVCC0 = 2.0～3.6V	

表 32.39 A/D内部基準電圧特性

条件：2.0V ≤ VCC ≤ 3.6V、2.0V ≤ AVCC0 ≤ 3.6V (注1)、VSS = AVSS0 = VREFL0 = 0V、T_a = -40～+105°C

項目	min	typ	max	単位	測定条件
内部基準電圧入力チャネル (注2)	1.36	1.43	1.50	V	

注1. AVCC0 < 2.0Vで、内部基準電圧を入力チャネルに選択することはできません。

注2. A/D内部基準電圧は、内部基準電圧をA/Dコンバータへの入力する場合を示します。

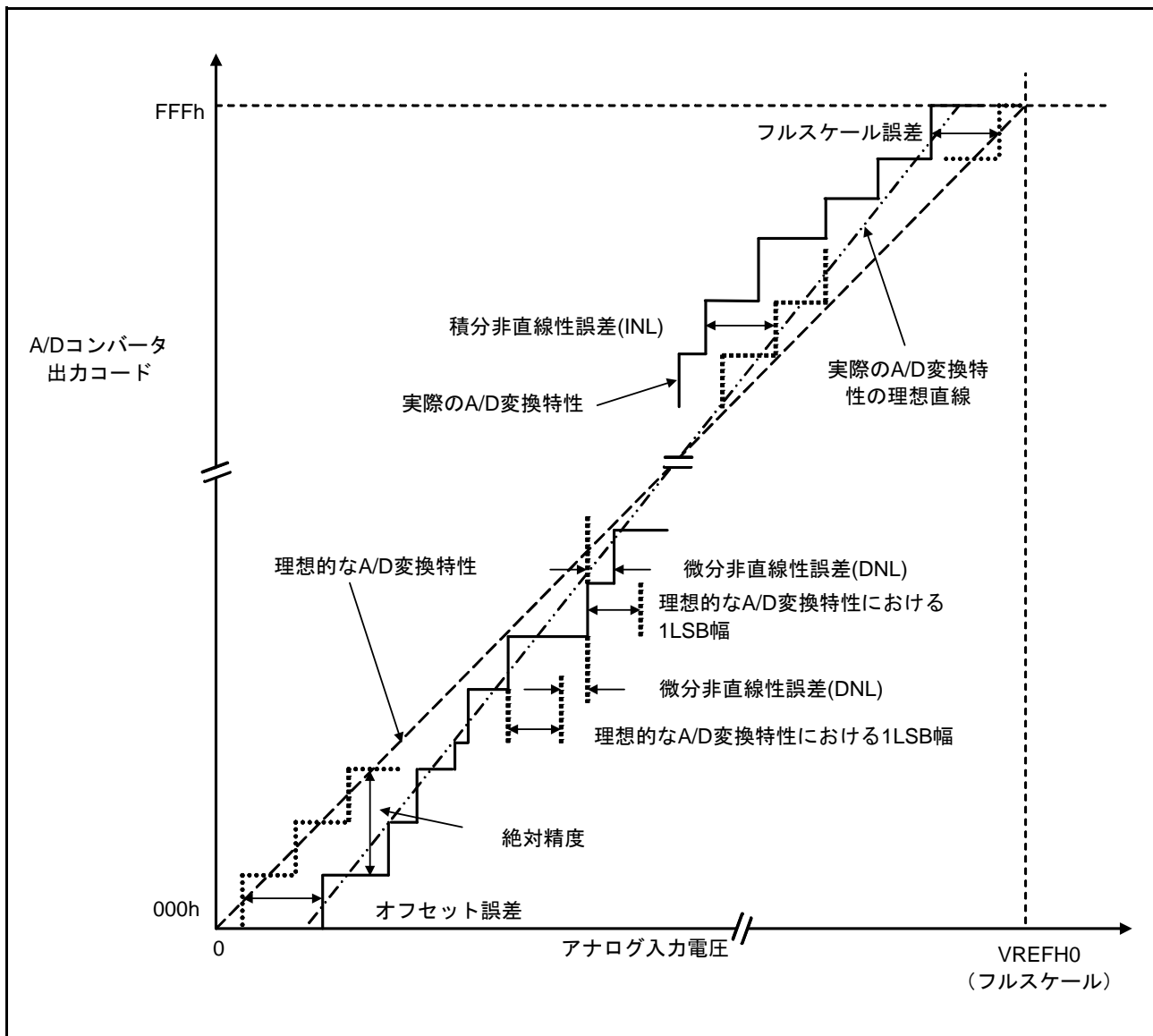


図 32.48 A/D コンバータ特性用語説明図

絶対精度

絶対精度とは、理論的な A/D 変換特性における出力コードと、実際の A/D 変換結果の差です。絶対精度の測定時は、理論的な A/D 変換特性において同じ出力コードを期待できるアナログ入力電圧の幅（1LSB 幅）の中点の電圧を、アナログ入力電圧として使用します。例えば分解能 12 ビット、基準電圧（VREFH0 = 3.072V）の場合、1LSB 幅は 0.75mV で、アナログ入力電圧には 0mV、0.75mV、1.5mV... を使用します。

絶対精度 = ±5LSB とは、アナログ入力電圧が 6mV の場合、理論的な A/D 変換特性では出力コード“008h”を期待できますが、実際の A/D 変換結果は“003h”～“00Dh”になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的な A/D 変換特性における 1LSB 幅と実際に出力された出力コード幅の差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

32.5 温度センサ特性

表32.40 温度センサ特性

条件：2.0V ≤ VCC ≤ 3.6V、2.0V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = 0V、T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
相対精度	—	—	±1.5	—	°C	2.4V以上
		—	±2.0	—		2.4V未満
温度傾斜	—	—	-3.65	—	mV/°C	
出力電位 (25°C)	—	—	1.05	—	V	VCC = 3.3V
温度センサ起動時間	t _{START}	—	—	5	μs	
サンプリング時間	—	5	—	—	μs	

32.6 パワーオンリセット回路、電圧検出回路特性

表 32.41 パワーオンリセット回路、電圧検出回路特性 (1)

条件：1.8V ≤ VCC ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = 0V、T_a = -40 ~ +105 °C

項目		記号	min	typ	max	単位	測定条件
電圧検出レベル	パワーオンリセット (POR)	V _{POR}	1.35	1.50	1.65	V	図 32.49、図 32.50
	電圧検出回路 (LVD1) (注1)	V _{det1_4}	3.00	3.10	3.20	V	図 32.51 VCC 立ち下がり時
		V _{det1_5}	2.91	3.00	3.09		
		V _{det1_6}	2.81	2.90	2.99		
		V _{det1_7}	2.70	2.79	2.88		
		V _{det1_8}	2.60	2.68	2.76		
		V _{det1_9}	2.50	2.58	2.66		
		V _{det1_A}	2.40	2.48	2.56		
		V _{det1_B}	1.99	2.06	2.13		
		V _{det1_C}	1.90	1.96	2.02		
V _{det1_D}	1.80	1.86	1.92				

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路 (LVD2) の電圧検出レベルとオーバラップする設定を行った場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。

注1. 記号Vdet1_nのnは、LVDLVLR.LVD1LVL[3:0]ビットの値です。

表 32.42 パワーオンリセット回路、電圧検出回路特性 (2)

条件：1.8V ≤ VCC ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = 0V、T_a = -40 ~ +105 °C

項目		記号	min	typ	max	単位	測定条件
電圧検出レベル	電圧検出回路 (LVD2) (注1)	V _{det2_0}	2.71	2.90	3.09	V	図 32.52 VCC 立ち下がり時
		V _{det2_1}	2.43	2.60	2.77		
		V _{det2_2}	1.87	2.00	2.13		
		V _{det2_3} (注2)	1.69	1.80	1.91		
パワーオンリセット 解除後待機時間	通常起動時 (注3)	t _{POR}	—	9.1	—	ms	図 32.50
	起動時間短縮時 (注4)	t _{POR}	—	1.6	—		
電圧監視1リセット 解除後待機時間	起動時電圧監視1 リセット無効時 (注3)	t _{LVD1}	—	568	—	μs	図 32.51
	起動時電圧監視1 リセット有効時 (注4)		—	100	—		
電圧監視2リセット解除後待機時間		t _{LVD2}	—	100	—	μs	図 32.52
応答遅延時間		t _{det}	—	—	350	μs	図 32.49
最小VCC低下時間 (注5)		t _{VOFF}	350	—	—	μs	図 32.49、VCC = 1.0V 以上
パワーオンリセット有効時間		t _W (POR)	1	—	—	ms	図 32.50、VCC = 1.0V 未満
LVD動作安定時間 (LVD有効切り替え時)		T _d (E-A)	—	—	300	μs	図 32.51、図 32.52
ヒステリシス幅 (電圧検出回路 (LVD1、LVD2))		V _{L VH}	—	70	—	mV	Vdet1_4選択時
			—	60	—		Vdet1_5~9、LVD2選択時
			—	50	—		Vdet1_A~B選択時
			—	40	—		Vdet1_C~D選択時

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路 (LVD1) の電圧検出レベルとオーバラップする設定を行った場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。

注1. 記号Vdet2_nのnは、LVDLVLR.LVD2LVL[3:0]ビットの値です。

注2. Vdet2_3選択はCMPA2端子入力電圧選択時のみ使用可能で、電源電圧 (VCC) 選択時は使用できません。

注3. OFS1.(STUPLVD1REN, FASTSTUP) = 11bを設定した場合です。

注4. OFS1.(STUPLVD1REN, FASTSTUP) = 11b以外を設定した場合です。

注5. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベルV_{POR}、V_{det0}、V_{det1}、V_{det2}のmin値を下回っている時間です。

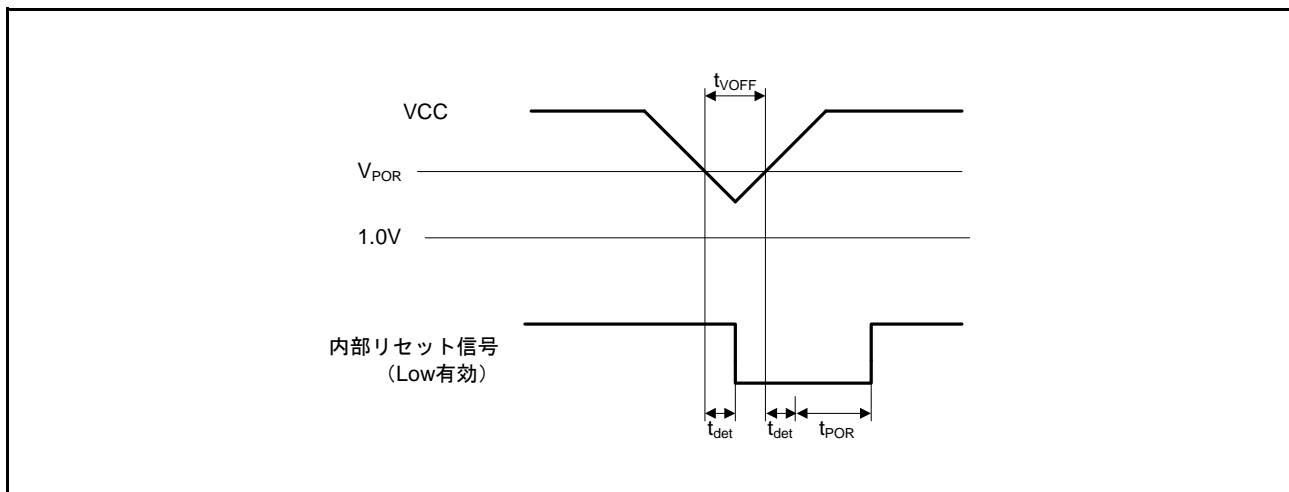


図 32.49 電圧検出リセットタイミング

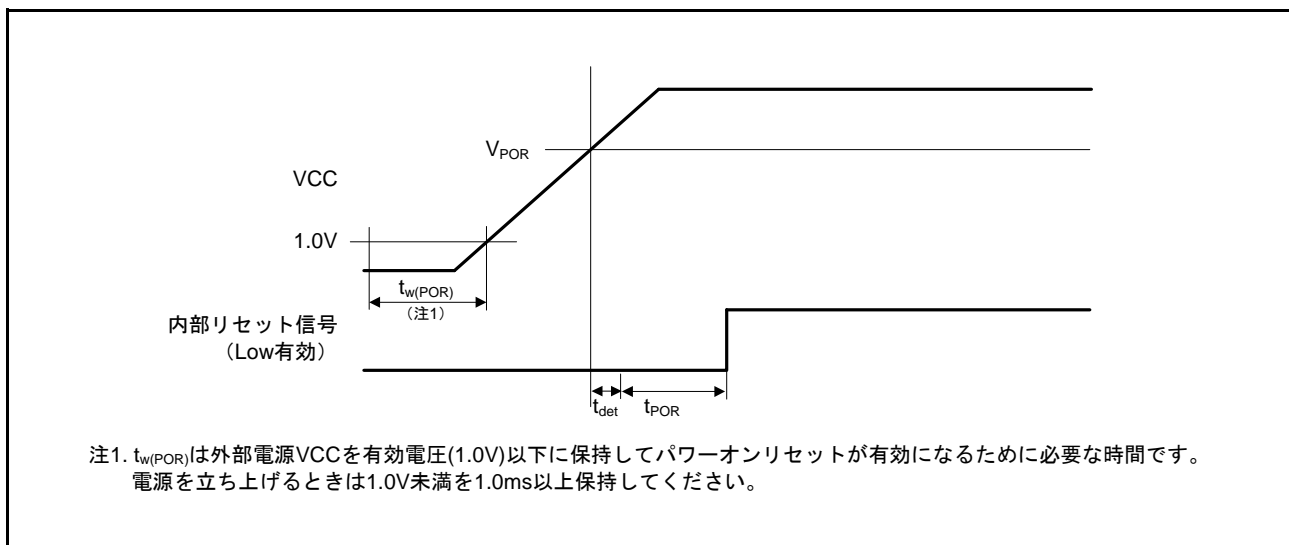


図 32.50 パワーオンリセットタイミング

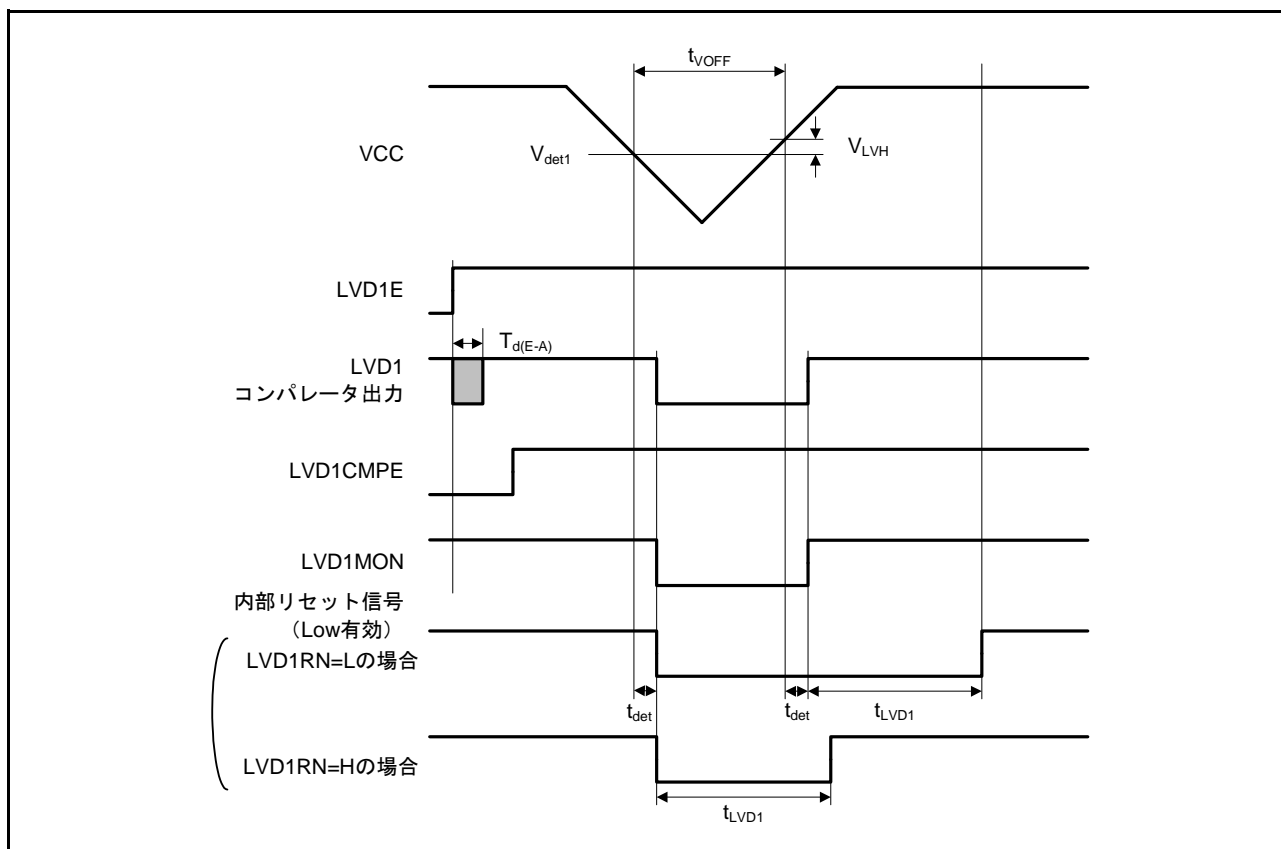


図 32.51 電圧検出回路タイミング (V_{det1})

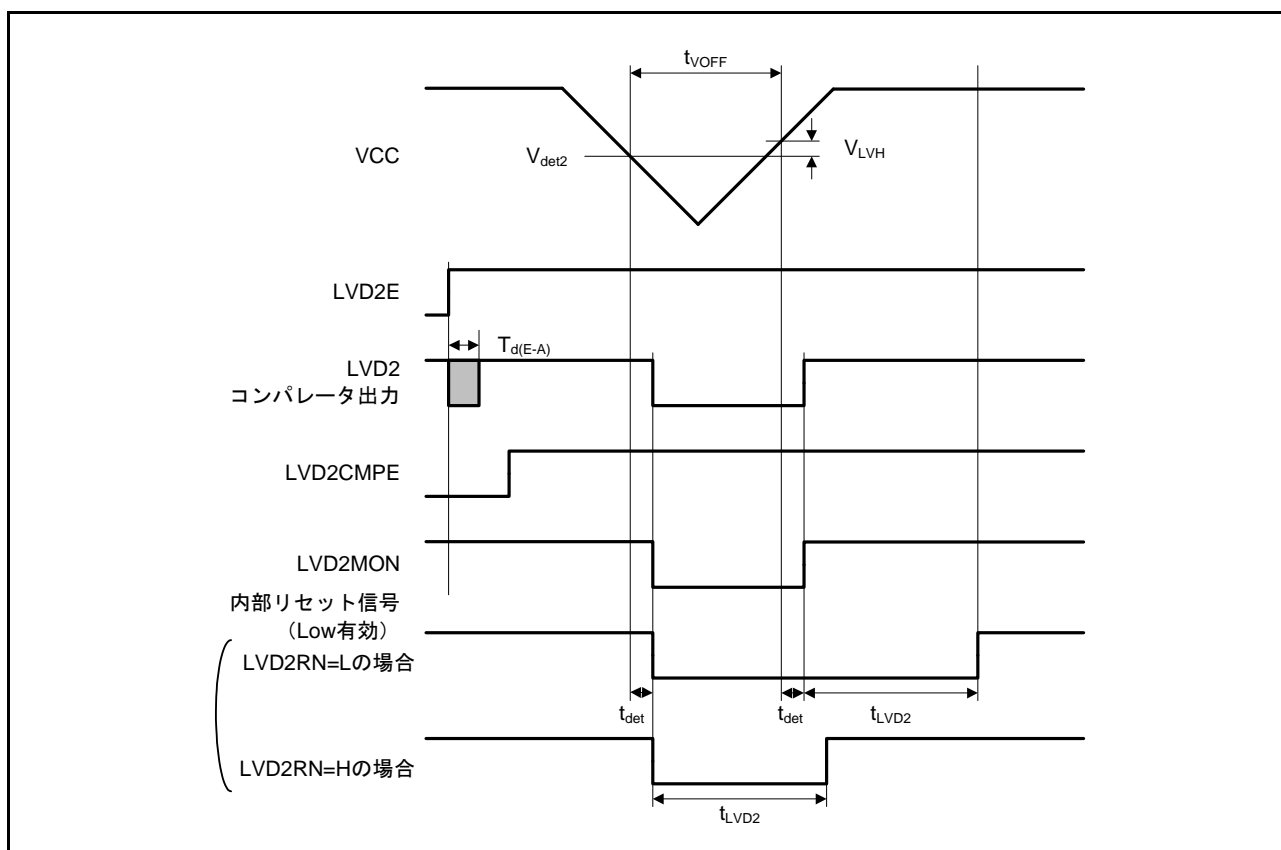


図 32.52 電圧検出回路タイミング (V_{det2})

32.7 発振停止検出タイミング

表 32.43 発振停止検出回路特性

条件 : $1.8V \leq VCC \leq 3.6V$ 、 $1.8V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 32.53

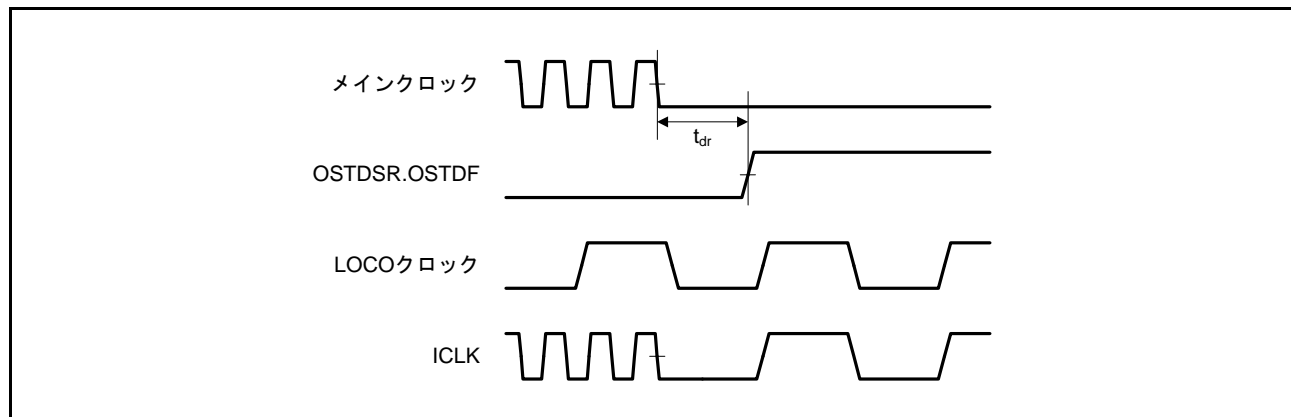


図 32.53 発振停止検出タイミング

32.8 ROM（コード格納用フラッシュメモリ）特性

表32.44 ROM（コード格納用フラッシュメモリ）特性（1）

項目	記号	min	typ	max	単位	条件
再プログラム/イレーズサイクル（注1）	N _{PEC}	1000	—	—	回	
データ保持時間	N _{PEC} 1000回後	t _{DRP}	20（注2、注3）	—	年	T _a = +85°C

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回（n = 1000回）の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、1Kバイトのブロックについて、それぞれ異なる番地に4バイト書き込みを256回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。（上書き禁止）

注2. フラッシュメモリライタを使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。

注3. 信頼性試験から得られた結果です。

表32.45 ROM（コード格納用フラッシュメモリ）特性（2）

高速動作モード 条件：2.7V ≤ VCC ≤ 3.6V、2.7V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = 0V

プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +105°C

項目	記号	FCLK = 1MHz			FCLK = 32MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	4バイト	t _{P4}	—	103	931	—	52	489	μs
イレーズ時間	1Kバイト	t _{E1K}	—	8.23	267	—	5.48	214	ms
	128Kバイト	t _{E128K}	—	203	463	—	20	228	ms
ブランクチェック時間	4バイト	t _{BC4}	—	—	48	—	—	15.9	μs
	1Kバイト	t _{BC1K}	—	—	1.58	—	—	0.127	ms
イレーズ処理強制停止時間	t _{SED}	—	—	21.6	—	—	12.8	μs	
スタートアップ領域入れ替え設定時間	t _{SAS}	—	12.6	543	—	6.16	432	ms	
アクセスウィンドウ設定時間	t _{AWS}	—	12.6	543	—	6.16	432	ms	
ROMモード遷移待ち時間1	t _{DIS}	2	—	—	2	—	—	μs	
ROMモード遷移待ち時間2	t _{MS}	5	—	—	5	—	—	μs	

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。クロックソースの周波数精度をご確認ください。

表32.46 ROM（コード格納用フラッシュメモリ）特性（3）
 中速動作モード 条件：1.8V ≤ VCC ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = 0V
 プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +85 °C

項目		記号	FCLK = 1MHz			FCLK = 8MHz			単位
			min	typ	max	min	typ	max	
プログラム時間	4バイト	t _{P4}	—	143	1330	—	96.8	932	μs
イレーズ時間	1Kバイト	t _{E1K}	—	8.3	269	—	5.85	219	ms
	128Kバイト	t _{E128K}	—	203	464	—	40	260	ms
ブランクチェック時間	4バイト	t _{BC4}	—	—	78	—	—	50	μs
	1Kバイト	t _{BC1K}	—	—	1.61	—	—	0.369	ms
イレーズ処理強制停止時間		t _{SED}	—	—	33.6	—	—	25.6	μs
スタートアップ領域入れ替え設定時間		t _{SAS}	—	13.2	549	—	7.6	445	ms
アクセスウィンドウ設定時間		t _{AWS}	—	13.2	549	—	7.6	445	ms
ROMモード遷移待ち時間1		t _{DIS}	2	—	—	2	—	—	μs
ROMモード遷移待ち時間2		t _{MS}	3	—	—	3	—	—	μs

- 注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。
 注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。
 注. FCLKの周波数精度は±3.5%である必要があります。クロックソースの周波数精度をご確認ください。

32.9 使用上の注意事項

32.9.1 VCL コンデンサ、バイパスコンデンサ接続方法

本 MCU では、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。この内部降圧電源（VCL 端子）と VSS 端子間には、内部電圧安定用のコンデンサ 4.7 μ F を接続する必要があります。外付けコンデンサ接続方法を図 32.54 ～図 32.55 に示します。外付けコンデンサは端子の近くに配置してください。VCL 端子には、電源電圧を印加しないでください。

また、電源端子のペアごとに積層セラミックコンデンサをバイパスコンデンサとして入れてください。バイパスコンデンサはできるかぎり MCU の電源端子の近くに実装してください。コンデンサの容量値は 0.1 μ F（推奨値）を使用してください。水晶発振関連のコンデンサについては「9. クロック発生回路」も参照してください。アナログ関連のコンデンサについては「27. 12 ビット A/D コンバータ (S12ADb)」も参照してください。

基板設計の注意事項についてはアプリケーションノート「ハードウェアデザインガイド」(R01AN1411JJ)でも説明していますので、最新版をルネサスエレクトロニクスホームページから入手して参照ください。

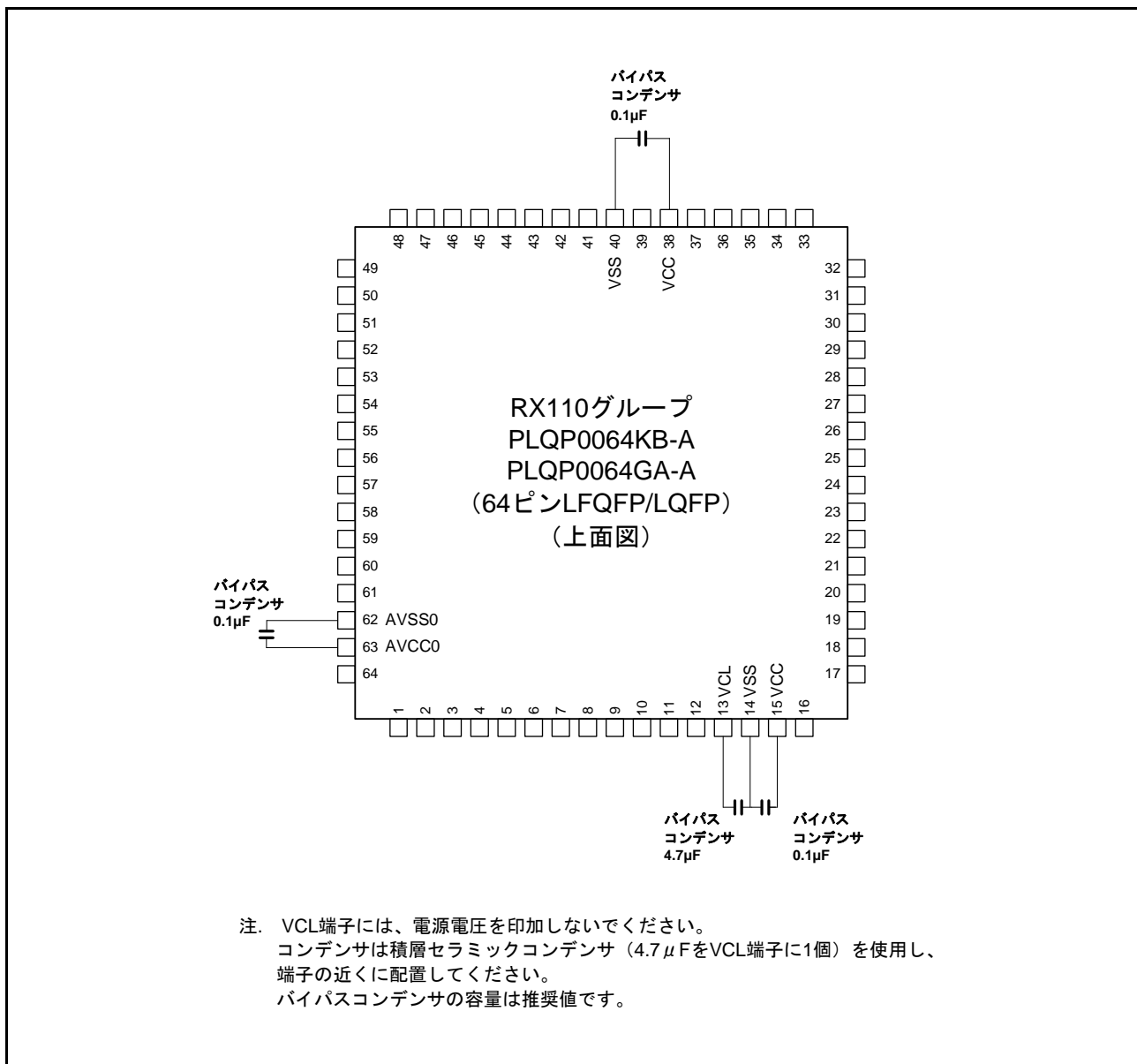


図 32.54 コンデンサ接続方法（64ピン）

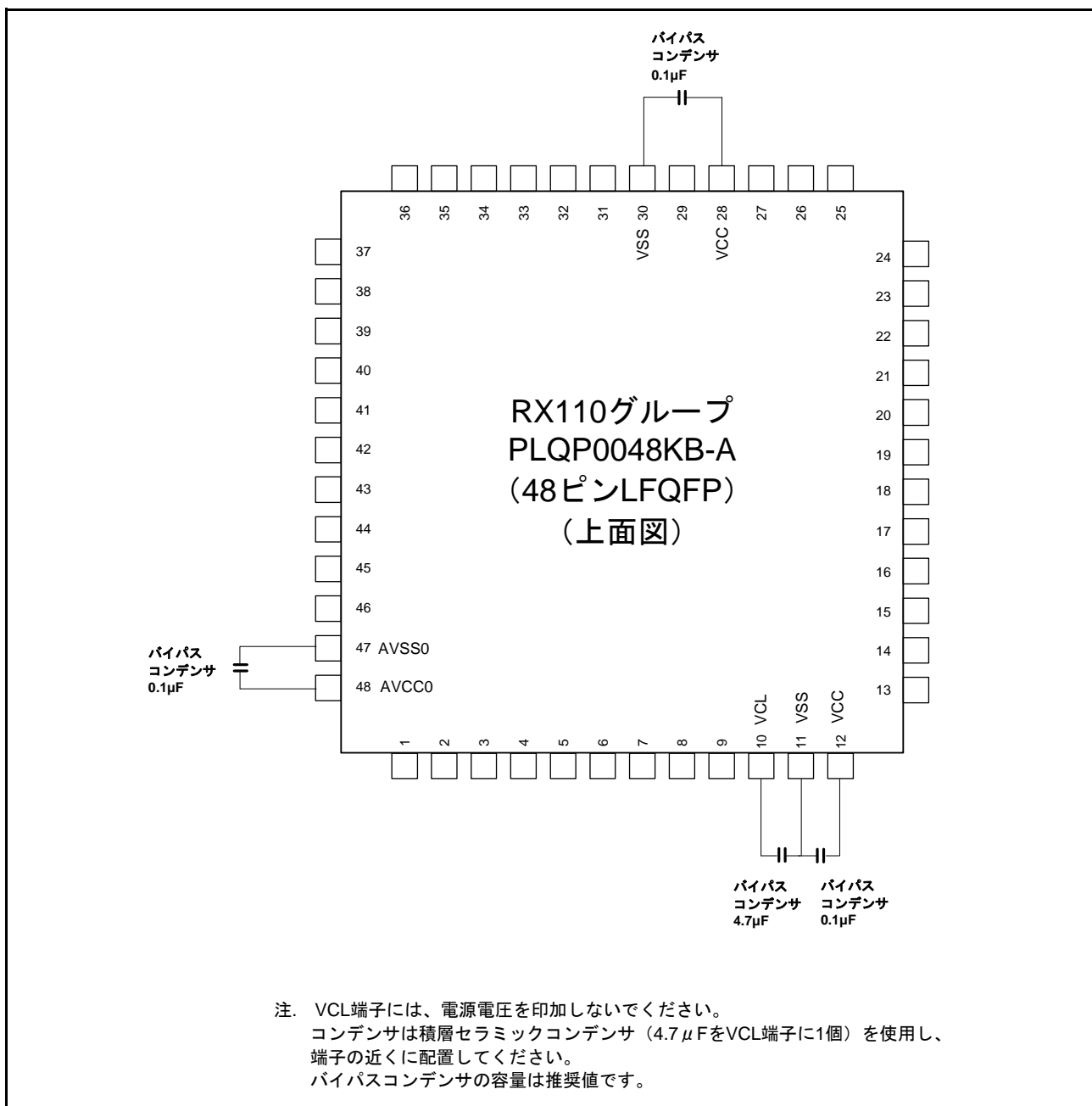


図 32.55 コンデンサ接続方法 (48ピン LQFP)

付録1.各処理状態におけるポートの状態

表 1.1 各処理状態におけるポートの状態

ポート名 (端子名)	リセット	ソフトウェアスタンバイモード	
P03	Hi-Z	Keep-O	
P05	Hi-Z	Keep-O	
P14 (IRQ4)	Hi-Z	Keep-O (注1)	
P15 (IRQ5/CLKOUT)	Hi-Z	CLKOUT 選択時	CLKOUT 出力
		上記以外	Keep-O (注1)
P16 (IRQ6/RTCOU)	Hi-Z	RTCOU 選択時	RTCOU 出力
		上記以外	Keep-O (注1、注2)
P17 (IRQ7)	Hi-Z	Keep-O (注1)	
P26	Hi-Z	Keep-O	
P27 (IRQ3)	Hi-Z	Keep-O (注1)	
P30 (IRQ0)	Hi-Z	Keep-O (注1)	
P31 (IRQ1)	Hi-Z	Keep-O (注1)	
P32 (IRQ2/RTCOU)	Hi-Z	RTCOU 選択時	RTCOU 出力
		上記以外	Keep-O (注1)
P35 (NMI)	Hi-Z	Keep (注1)	
P40～P44、P46	Hi-Z	Keep-O	
P54、P55	Hi-Z	Keep-O	
PA0	Hi-Z	Keep-O	
PA1 (RTCOU)	Hi-Z	RTCOU 選択時	RTCOU 出力
		上記以外	Keep-O
PA3 (IRQ6)	Hi-Z	Keep-O (注1)	
PA4 (IRQ5)	Hi-Z	Keep-O (注1)	
PA6 (IRQ3)	Hi-Z	Keep-O (注1)	
PB0 (IRQ2/RTCOU)	Hi-Z	RTCOU 選択時	RTCOU 出力
		上記以外	Keep-O (注1)
PB1 (IRQ4)	Hi-Z	Keep-O (注1)	
PB3	Hi-Z	Keep-O	
PB5～PB7	Hi-Z	Keep-O	
PC2、PC3	Hi-Z	Keep-O	
PC4 (IRQ2/CLKOUT)	Hi-Z	CLKOUT 選択時	CLKOUT 出力
		上記以外	Keep-O (注1)
PC5	Hi-Z	Keep-O	
PC6	Hi-Z	Keep-O	
PC7	Hi-Z	Keep-O	
PE0 (IRQ0)	Hi-Z	Keep-O (注1)	
PE1 (IRQ1)	Hi-Z	Keep-O (注1)	
PE2 (IRQ7)	Hi-Z	Keep-O (注1)	
PE3 (IRQ3)	Hi-Z	Keep-O (注1)	
PE4 (IRQ4)	Hi-Z	Keep-O (注1)	
PE5 (IRQ5)	Hi-Z	Keep-O (注1)	
PE6 (IRQ6)	Hi-Z	Keep-O (注1)	
PE7 (IRQ7)	Hi-Z	Keep-O (注1)	
PH0	Hi-Z	Keep-O	
PH1 (IRQ0)	Hi-Z	Keep-O (注1)	
PH2 (IRQ1)	Hi-Z	Keep-O (注1)	
PH3	Hi-Z	Keep-O	
PH7	Hi-Z	Keep	
PJ6	Hi-Z	Keep-O	
PJ7	Hi-Z	Keep-O	

H : High レベル

L : Low レベル

Keep-O : 出力端子として使用時は直前値を保持、入力端子として使用時はハイインピーダンス

Keep : ソフトウェアスタンバイモードでの端子状態を保持 (プルアップ、オープンドレイン設定も保持されます)

Hi-Z : ハイインピーダンス

注1. 外部端子割り込みとして使用時は、ソフトウェアスタンバイモード解除要因として設定されている場合、入力できます。

注2. 周辺機能や外部端子割り込みとして選択した場合、ソフトウェアスタンバイモード時にHighを入力または出力しないでください。

付録2.外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

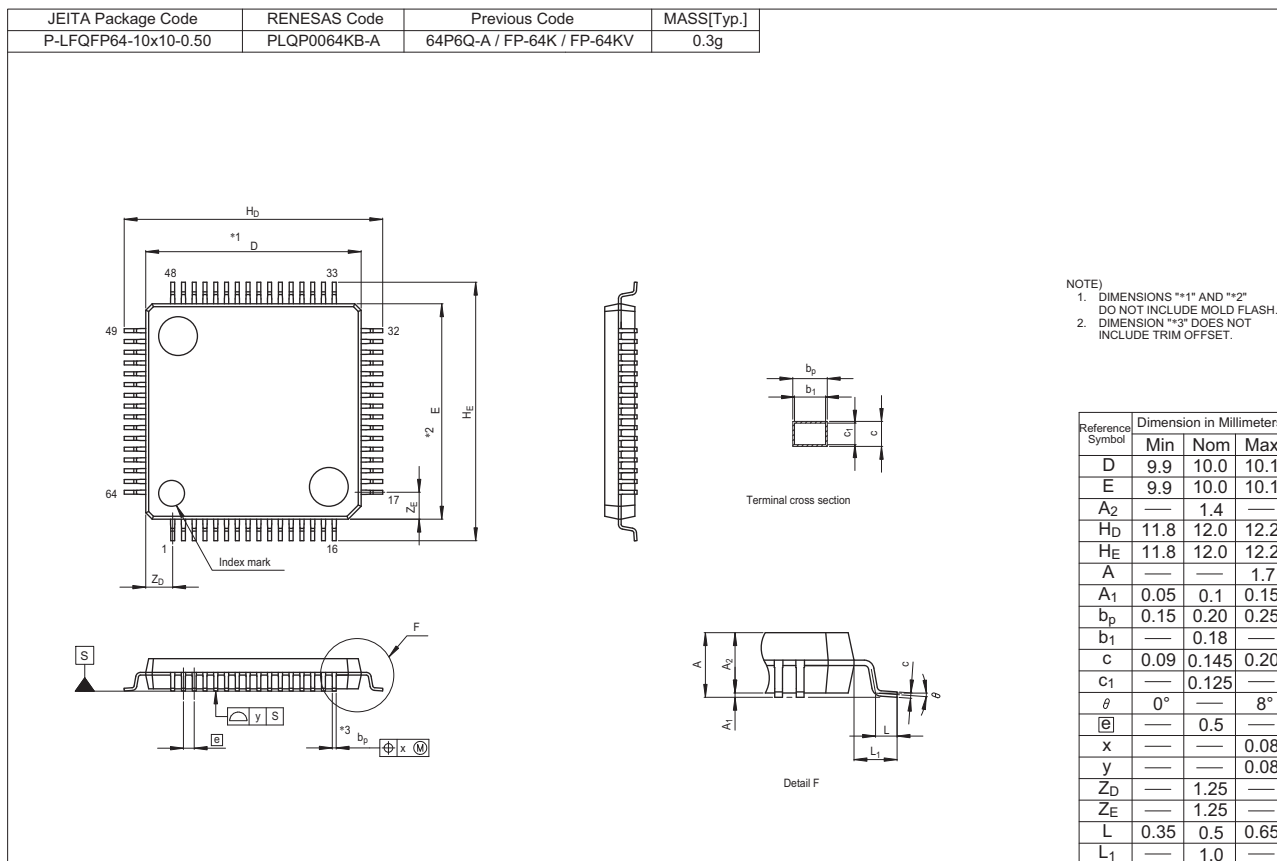


図 A. 64ピンLFQFP (PLQP0064KB-A)

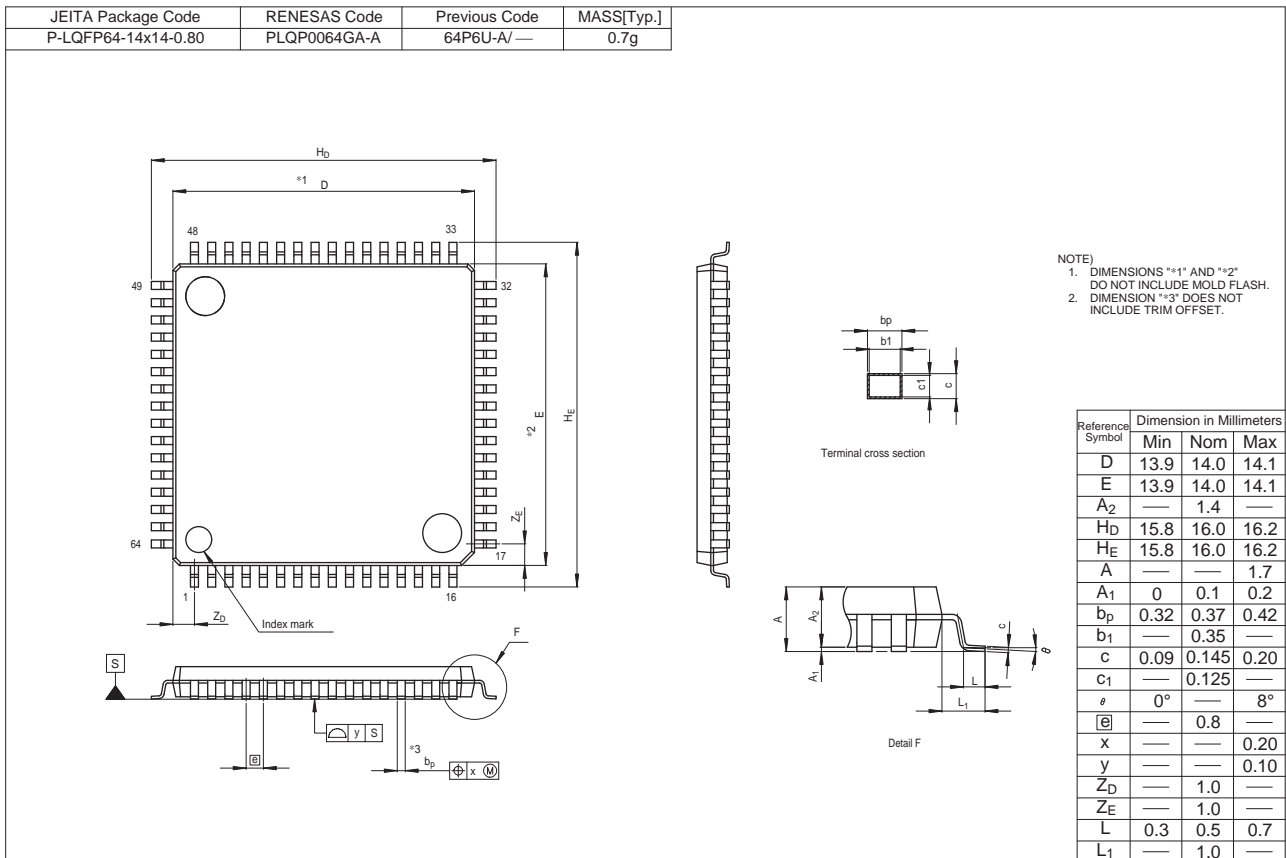
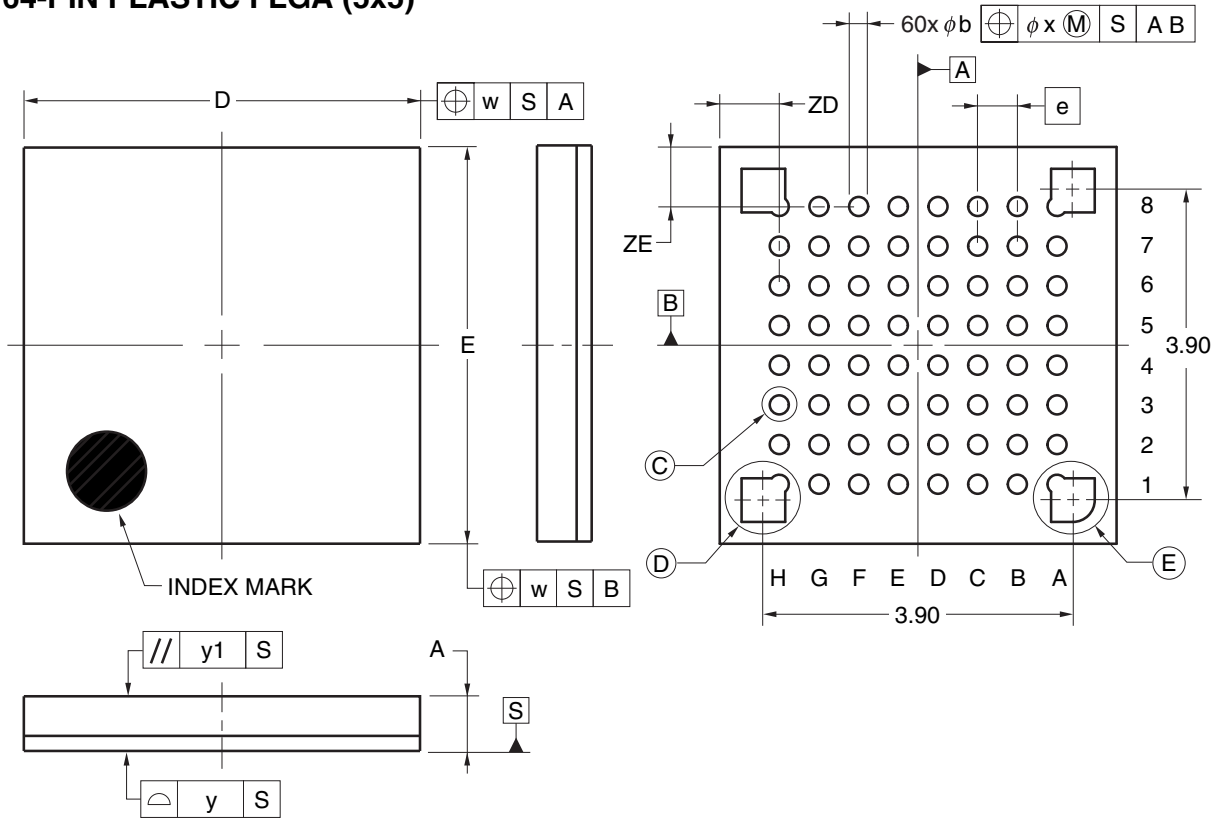
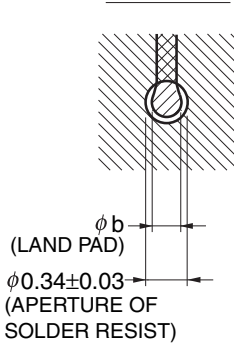


図 B. 64ピンLQFP (PLQP0064GA-A)

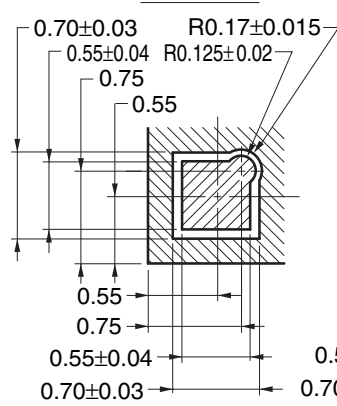
64-PIN PLASTIC FLGA (5x5)



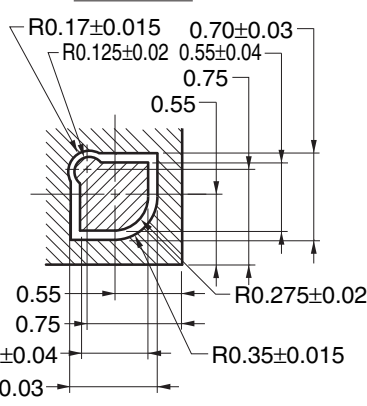
DETAIL (C)



DETAIL (D)



DETAIL (E)



(UNIT:mm)

ITEM	DIMENSIONS
D	5.00±0.10
E	5.00±0.10
w	0.20
e	0.50
A	0.69±0.07
b	0.25±0.04
x	0.05
y	0.08
y1	0.20
ZD	0.75
ZE	0.75

P64FC-50-AN5

© 2011 Renesas Electronics Corporation. All rights reserved.

☒ C. 64ピンWFLGA (PWLG0064KA-A)

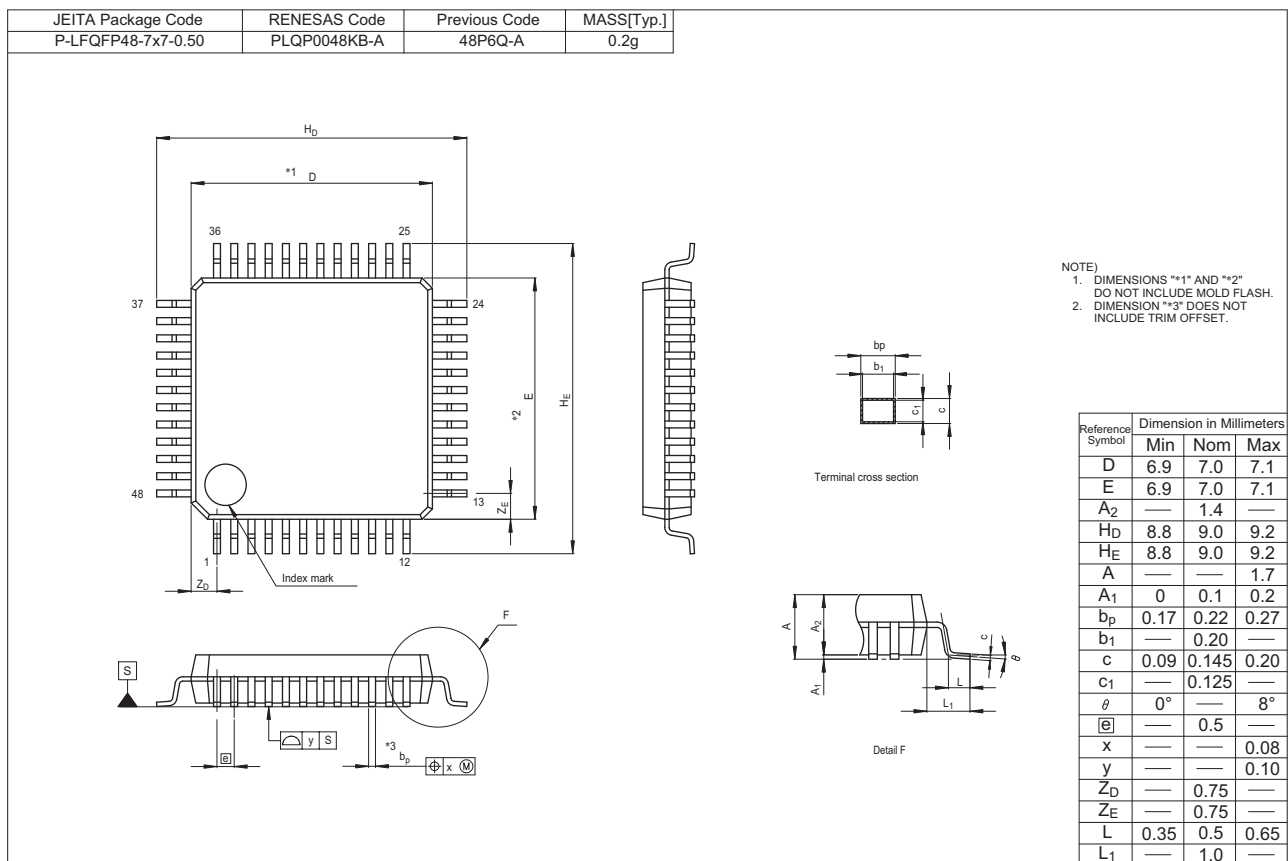
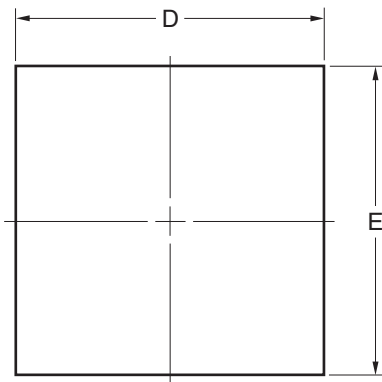
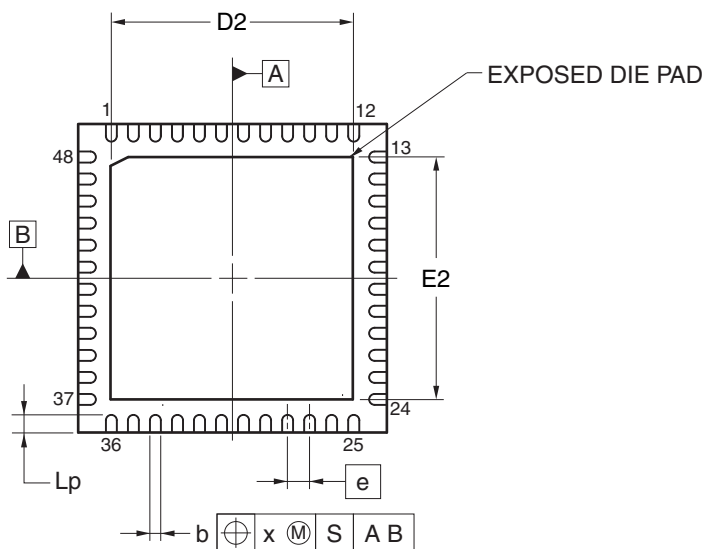
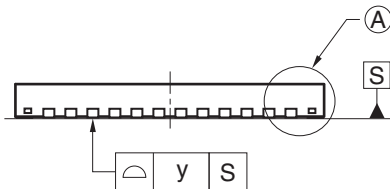
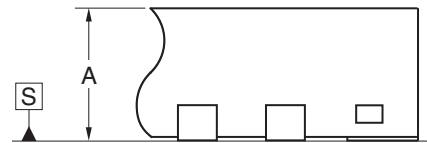


図 D. 48ピン LFQFP (PLQP0048KB-A)

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-HWQFN48-7x7-0.50	PWQN0048KB-A	48PJN-A P48K8-50-5B4-5	0.13



DETAIL OF (A) PART



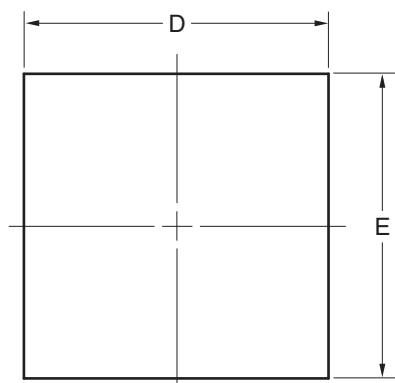
Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	6.95	7.00	7.05
E	6.95	7.00	7.05
A	0.70	0.75	0.80
b	0.18	0.25	0.30
e	—	0.50	—
Lp	0.30	0.40	0.50
x	—	—	0.05
y	—	—	0.05

ITEM	A	D2			E2		
		MIN	NOM	MAX	MIN	NOM	MAX
EXPOSED DIE PAD VARIATIONS		5.45	5.50	5.55	5.45	5.50	5.55

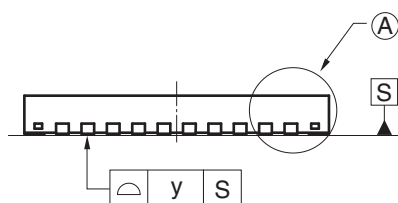
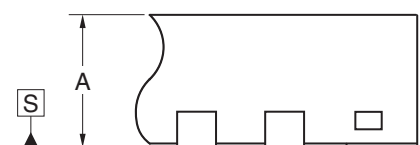
©2012 Renesas Electronics Corporation. All rights reserved.

図 E. 48ピン HWQFN (PWQN0048KB-A)

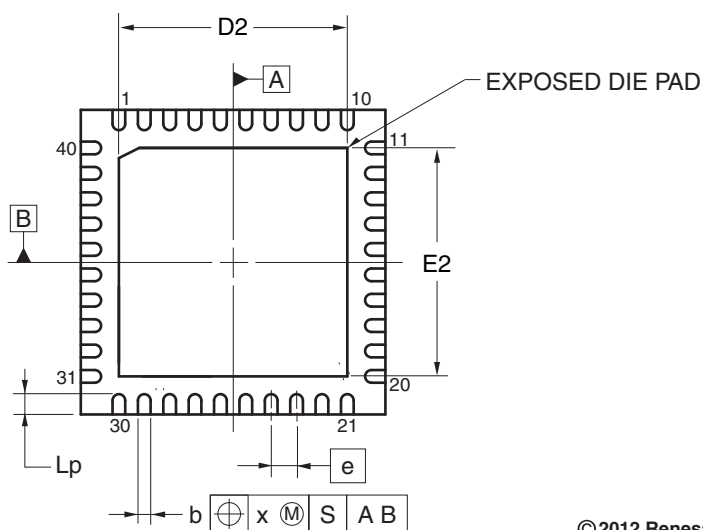
JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-HWQFN40-6x6-0.50	PWQN0040KC-A	P40K8-50-4B4-4	0.09



DETAIL OF (A) PART



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	5.95	6.00	6.05
E	5.95	6.00	6.05
A	0.70	0.75	0.80
b	0.18	0.25	0.30
e	—	0.50	—
Lp	0.30	0.40	0.50
x	—	—	0.05
y	—	—	0.05



ITEM	D2			E2			
	MIN	NOM	MAX	MIN	NOM	MAX	
EXPOSED DIE PAD VARIATIONS	A	4.45	4.50	4.55	4.45	4.50	4.55

©2012 Renesas Electronics Corporation. All rights reserved.

図 F. 40ピン HWQFN (PWQN0040KC-A)

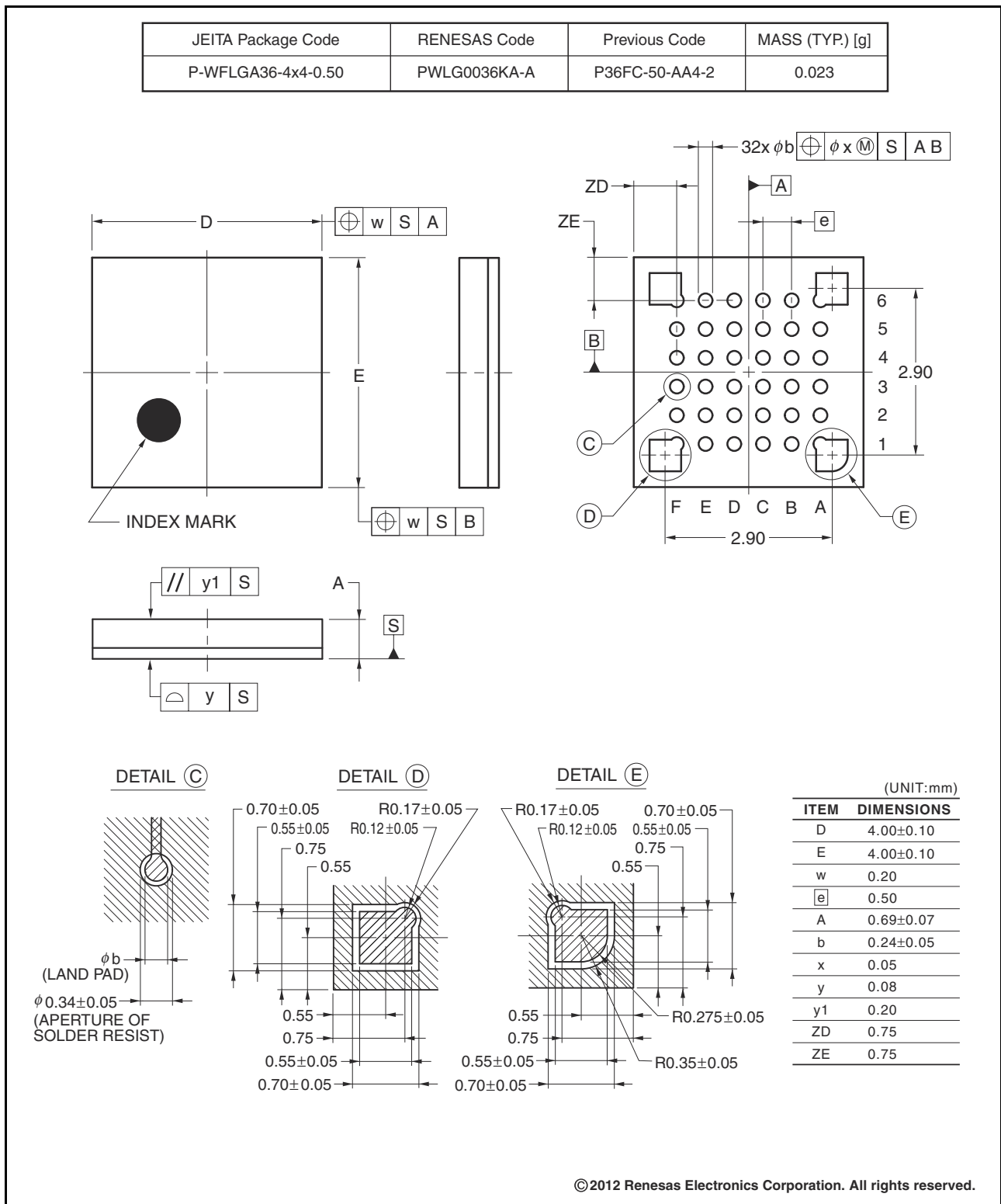


図 G. 36ピンWFLGA (PWLG0036KA-A)

改訂記録	RX110 グループ ユーザーズマニュアル ハードウェア編
------	-------------------------------

改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.00	2013.11.29	—	初版発行	
1.10	2014.12.10	1. 概要		TN-RX*-A113A/J
		34～36	表 1.1 仕様概要 I/Oポート 変更、ユニークID 追加	
		47	図 1.5 48 ピンLFQFP/HWQFN ピン配置図 注 追加	
		48	図 1.6 40 ピンHWQFN ピン配置図 注 追加	
		5. I/Oレジスタ		
		93～104	5.1 I/O レジスタアドレス一覧 変更	
		7. オプション設定メモリ		
		118	7.2.1 オプション機能選択レジスタ0 (OFS0) ビット機能表 変更	
		9. クロック発生回路		
		162	9.6 内部クロック 変更	
		165	図9.9 サブクロックをリアルタイムクロックのカウントソースに使用する場合の初期化フローチャート例 変更	
		166	図9.10 サブクロックをリアルタイムクロックのカウントソースのみに使用する場合の初期化フローチャート例 変更	
		167	図9.11 サブクロックをシステムクロックのみに使用する場合の初期化フローチャート例 変更	
		11. 消費電力低減機能		
		198	11.6.1.1 スリープモードへの移行 注2 追加	
		200	11.6.2.1 ディープスリープモードへの遷移 注2 追加	
		202	11.6.3.1 ソフトウェアスタンバイモードへの移行 注2 追加	
		14. 割り込みコントローラ (ICUb)		
		217	14. 割り込みコントローラ (ICUb) PCLKBの説明 追加	
		16. データトランスファコントローラ (DTCa)		
		288	16.6.2 カウンタ=0のときのチェーン転送 変更	
		17. I/Oポート		
		292	表 17.1 I/Oポートの仕様 変更	
		309	表 17.7 未使用端子の処理内容 変更	
		18. マルチファンクションピンコントローラ (MPC)		
		318	18.2.4 P3n 端子機能制御レジスタ (P3nPFS) (n=0～2) 変更	
		319	18.2.6 P5n 端子機能制御レジスタ (P5nPFS) (n=4～5) 追加	
		19. マルチファンクションタイマパルスユニット2 (MTU2a)		
		全体	用語変更 カウンタクロック → カウントクロック、プリセット → セット、 同期プリセット → 同期セット	
		333	19. マルチファンクションタイマパルスユニット2 (MTU2a) PCLKBの説明 追加	
		334	表 19.2 MTUの機能一覧 変更	
		349	表 19.19 TIORU、TIORV、TIORW (MTU5) 変更	
		361	19.2.13 ノイズフィルタコントロールレジスタ (NFCR) ビット機能表 変更	
		376	19.3.3 バッファ動作 (2) バッファ動作例 (b) TGR レジスタがインプットキャプチャレジスタの場合 変更	
		379	19.3.4 カスケード接続動作 (2) カスケード接続動作例 (a) 変更	
		387	19.3.6 位相計数モード 変更	
		393	19.3.7 外部パルス幅測定機能 変更	
		417	19.6.16 カスケード接続におけるMTU1.TCNT、MTU2.TCNT カウンタ同時インプットキャプチャ 変更	
		20. コンペアマッチタイマ (CMT)		
		432	20. コンペアマッチタイマ (CMT) PCLKBの説明 追加	
		21. リアルタイムクロック (RTCA)		
439	21. リアルタイムクロック (RTCA) PCLKBの説明 追加			
				TN-RX*-A113A/J

Rev.	発行日	改訂内容		改訂区分	
		ページ	ポイント		
1.10	2014.12.10	462	21.2.19 RTC コントロールレジスタ3 (RCR3) ビット機能表、(1) 32.768kHz 水晶振動子の使用に関する注意事項 変更	TN-RX*-A113A/J	
		22. 独立ウォッチドッグタイマ (IWDTa)			
		477	22. 独立ウォッチドッグタイマ (IWDTa) PCLKBの説明 追加		
		491	22.3.3 リフレッシュ動作 【リフレッシュ動作タイミング例】 変更		
		492	図22.6 IWDT リフレッシュ動作波形 (IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 11b) 変更		
		495	22.3.8 オプション機能選択レジスタ0 (OFS0) とIWDT レジスタの対応 変更		
		23. シリアルコミュニケーションインタフェース (SCle、SCIf)			
		496	23. シリアルコミュニケーションインタフェース (SCle、SCIf) PCLKBの説明 追加		
		513~516	23.2.7 シリアルステータスレジスタ (SSR) 変更		
		578	23.6.5 SCI の初期化 (スマートカードインタフェースモード) 本文 変更		
		24. I ² Cバスインタフェース (RIIC)			
		628	24. I ² C バスインタフェース (RIIC) PCLKBの説明 追加		
		628、629	表24.1 RIICの仕様 変更		
		634、635	24.2.2 I ² C バスコントロールレジスタ2 (ICCR2) TRS ビット 変更		
		637	24.2.4 I ² C バスモードレジスタ2 (ICMR2) ビット機能表 変更		
		639	24.2.5 I ² C バスモードレジスタ3 (ICMR3) ビット機能表 変更		
		645	24.2.8 I ² C バス割り込み許可レジスタ (ICIER) ビット機能表 変更		
		656	表24.5 転送速度に対するICBRH、ICBRLレジスタの設定例 変更		
		658	24.2.18 タイムアウト内部カウンタ (TMOCNT) 変更		
		696	図24.39 タイムアウト検出機能 (ICMR1.CKS[2:0] = 000b に設定した場合) 図タイトル 変更		
		701	表24.7 割り込み要因 変更		
		25. シリアルペリフェラルインタフェース (RSPI)			
		全体	用語変更 「常に」を削除		
		704	25. シリアルペリフェラルインタフェース (RSPI) PCLKBの説明 追加		
		711	25.2.4 RSPI ステータスレジスタ (SPSR) ビット機能表 変更		
		718	25.2.8 RSPI ビットレートレジスタ (SPBR) 変更、表25.3 SPBR レジスタ、BRDV[1:0]ビットの設定値とビットレート 変更		
		27. 12ビットA/Dコンバータ (S12ADb)			
		788	27. 12ビットA/Dコンバータ (S12ADb) PCLKBの説明 追加		
		825	27.6.10 アナログ電源端子他の設定範囲 変更	TN-RX*-A113A/J	
		826	27.6.13 12ビットA/Dコンバータ入力を使用する場合のポートの設定 変更、27.6.14 AVCC0 とVCC の電源投入順序について 追加		
		28. 温度センサ (TEMPSA)			
		828	28.2.1 温度センサ校正データレジスタ (TSCDRH、TSCDRL) 追加	TN-RX*-A113A/J	
		829、830	28.3.1 使用前の準備 変更、図28.2 測定温度誤差 (設計値) 追加		
		29. データ演算回路 (DOC)			
		833	29.2.1 DOC コントロールレジスタ (DOCR) ビット機能表 変更		
		31. フラッシュメモリ			
		全体	用語変更 連続リード → ユニークIDリード		
		839	31. フラッシュメモリ、表31.1 フラッシュメモリの仕様 変更	TN-RX*-A112A/J	
		840	図31.1 ROM の領域とブロックの構成 変更		
		841	表31.2 ROM容量と読み出し用アドレス対応表 変更		
		842	31.3.1 フラッシュP/E モードエントリレジスタ (FENTRYR) レジスタ説明、FENTRY0 ビット説明 変更	TN-RX*-A112A/J	
844	31.3.4 フラッシュP/E モード制御レジスタ (FPMCR) ビット機能表、レジスタ説明、FMS0、FMS1、FMS2ビット説明 変更				
847	31.3.6 フラッシュリセットレジスタ (FRESETR) レジスタ説明 変更				
847	31.3.7 フラッシュ領域選択レジスタ (FASR) EXSビット説明 変更	TN-RX*-A112A/J			
848、849	31.3.8 フラッシュ制御レジスタ (FCR) 変更	TN-RX*-A113A/J TN-RX*-A112A/J			
849、850	31.3.9 フラッシュエクストラ領域制御レジスタ (FEXCR) ビット機能表注1、CMD[2:0] ビット説明 変更	TN-RX*-A112A/J			

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.10	2014.12.10	850	31.3.10 フラッシュ処理開始アドレスレジスタH (FSARH) レジスタ説明変更	TN-RX*-A112A/J
		851	31.3.11 フラッシュ処理開始アドレスレジスタL (FSARL) レジスタ説明変更	TN-RX*-A112A/J
		851	31.3.12 フラッシュ処理終了アドレスレジスタH (FEARH) レジスタ説明変更	
		852	31.3.13 フラッシュ処理終了アドレスレジスタL (FEARL) 変更	
		852	31.3.14 フラッシュリードバッファレジスタH (FRBH)、31.3.15 フラッシュリードバッファレジスタL (FRBL) 変更	TN-RX*-A113A/J
		854、855	31.3.18 フラッシュステータスレジスタ0 (FSTATR0) ビット機能表、PRGERRフラグ説明、BCERRフラグ説明、ILGLERRフラグ説明 変更	TN-RX*-A112A/J
		856	31.3.19 フラッシュステータスレジスタ1 (FSTATR1) DRRDYフラグ説明追加、FRDYフラグ説明 変更	TN-RX*-A113A/J TN-RX*-A112A/J
		857	31.3.20 フラッシュエラーアドレスモニタレジスタH (FEAMH) レジスタ説明、31.3.21 フラッシュエラーアドレスモニタレジスタL (FEAML) レジスタ説明 変更	TN-RX*-A112A/J
		858	31.3.23 フラッシュアクセスウィンドウ開始アドレスモニタレジスタ (FAWSMR) 注1 変更	TN-RX*-A112A/J
		859	31.3.24 フラッシュアクセスウィンドウ終了アドレスモニタレジスタ (FAWEMR) 注1 変更	TN-RX*-A112A/J
		859	31.3.25 ユニークID レジスタn (UIDRn) (n=0 ~ 31) 追加	TN-RX*-A113A/J
		860	図31.2 スタートアッププログラム保護機能の概念 変更	TN-RX*-A112A/J
		861	31.5 エリアプロテクション 本文、図31.3 エリアプロテクションの概念 (ROM容量が128Kバイトでブロック4からブロック6をアクセスウィンドウに設定した場合) 変更	TN-RX*-A112A/J
		862~871	31.6 プログラム/イレーズ 章構成 変更	TN-RX*-A112A/J
		862	31.6.1 シーケンサのモード、図31.4 フラッシュメモリのモード遷移図、31.6.1.1 リードモード 変更	TN-RX*-A112A/J
		862	31.6.1.2 P/E モード 変更	
		863	図31.5 ROMリードモードからROM P/E モードへの遷移フロー 変更	TN-RX*-A112A/J
		864	図31.6 ROM P/E モードからROMリードモードへの遷移フロー 変更	TN-RX*-A112A/J
		865	表31.4 ソフトウェアコマンド一覧 変更	TN-RX*-A113A/J
		866	31.6.4 ソフトウェアコマンド使用方法、図31.7 プログラムコマンドの発行フロー 変更	TN-RX*-A112A/J
		867	図31.8 ブロックイレーズコマンドの発行フロー 変更	TN-RX*-A112A/J
		868	図31.9 ブランクチェックコマンドの発行フロー 変更	TN-RX*-A112A/J
		869	31.6.4.4 スタートアップ領域情報プログラム/アクセスウィンドウ情報プログラム 本文、図31.10 スタートアップ領域情報プログラムコマンド/アクセスウィンドウ情報プログラムコマンドの発行フロー 変更	TN-RX*-A112A/J
		870	31.6.4.5 ユニークID リード、図31.11 ユニークID リードコマンドの発行フロー 追加	TN-RX*-A113A/J
		871	31.6.4.6 ソフトウェアコマンドの強制停止、図31.12 ソフトウェアコマンド強制停止の実行フロー 追加	TN-RX*-A112A/J
		872	表31.5 ブートモードで使用する入出力端子 変更	TN-RX*-A112A/J
		876	表31.8 ブートモードIDコードプロテクト仕様 変更	
		877	図31.17 ブートモードIDコードプロテクトの認証フロー 変更、(2) IDコード1 ~ IDコード15 変更	
		878	表31.9 オンチップデバッグエミュレータIDコードプロテクト仕様 変更	
		881	31.9.3 ブートモードステータス問い合わせ 変更	TN-RX*-A112A/J
		883	表31.12 問い合わせコマンド 変更	TN-RX*-A112A/J
		884	31.9.4.4 ブロック情報問い合わせ 変更	
		886	31.9.5.2 動作周波数選択 項番号 変更	TN-RX*-A112A/J
		887	31.9.5.3 プログラム/イレーズステート遷移 項番号 変更	TN-RX*-A112A/J
		888	31.9.6 IDコード認証コマンド、31.9.6.1 IDコードチェック 項番号 変更	TN-RX*-A112A/J
		889	31.9.6.2 イレーズレディ、表31.17 ステート毎の受付可能なコマンド 変更	
		890	31.9.7.1 ユーザ領域プログラム準備 変更	TN-RX*-A112A/J
		891	31.9.7.3 イレーズ準備 変更	TN-RX*-A112A/J
		893	31.9.8.1 メモリリード 変更	
		894	31.9.8.4 アクセスウィンドウ情報プログラム 変更	
895	31.9.8.5 アクセスウィンドウリード 変更			

Rev.	発行日	改訂内容		改訂区分	
		ページ	ポイント		
1.10	2014.12.10	897	図31.19 ビットレート自動調整時の送受信データ 変更	TN-RX*-A112A/J	
		898	31.9.9.2 本MCUの情報を取得する制御手順、図31.21 問い合わせコマンドの制御手順 変更	TN-RX*-A112A/J	
		899	31.9.9.3 デバイス指定、ビットレート変更の制御手順、図31.22 デバイス指定、ビットレート変更の制御手順 変更	TN-RX*-A112A/J	
		901	31.9.9.5 ブートモードIDコードプロテクトの解除 変更		
		902	31.9.9.6 イレーズレディ処理、図31.25 イレーズレディ処理のコマンド制御手順 変更	TN-RX*-A112A/J	
		906	31.9.9.10 ユーザ領域にアクセスウィンドウを設定 変更	TN-RX*-A112A/J	
		907	31.10.1 概要 本文、図31.30 セルフプログラミングの概念 変更	TN-RX*-A112A/J	
		908、909	31.11 使用上の注意事項 (1) イレーズ処理強制停止後の該当ブロックへのアクセス、(2) イレーズ処理強制停止後の処理、(10) プログラム/イレーズ時のFCLKについて 変更	TN-RX*-A112A/J	
		32. 電気的特性			
		910	表32.1 絶対最大定格 変更		
		910	表32.2 推奨動作条件 変更	TN-RX*-A113A/J	
		911	表32.3 DC特性 (1)、表32.4 DC特性 (2) 変更	TN-RX*-A113A/J	
		916	表32.8 DC特性 (6) 変更		
		918	表32.11 DC特性 (9) 変更		
		920	表32.17 出力電圧値 (1)、表32.18 出力電圧値 (2) 変更	TN-RX*-A113A/J	
		928	表32.22 クロックタイミング 変更		
		939	表32.33 内蔵周辺モジュールタイミング (4) 注2 削除		
		940	表32.34 内蔵周辺モジュールタイミング (5) 注1 削除		
		947	図32.47 AVCC0-AVREFH0 電圧範囲 変更		
		956	32.8 ROM (コード格納用フラッシュメモリ) 特性 変更		
1.20	2016.07.29	1. 概要			
		50~57	表1.5~表1.9 ポート (P4、PJ6、PJ7) のI/O電源がAVCC0であること (注1) を追記		
		7. オプション設定メモリ			
		120	7.2.2 オプション機能選択レジスタ1 (OFS1) 注2 追加	TN-RX*-A153A/J	
		123	7.3.2 電圧監視1リセットとIWDTRリセット併用時の注意事項 追加	TN-RX*-A153A/J	
		14. 割り込みコントローラ (ICUb)			
		235	表14.3 割り込みのベクタテーブル(1/6)に、FCUを追加	TN-RX*-A132A/J	
		16. データトランスファコントローラ (DTCa)			
		全体	【用語統一】 1つの起動要因→1回の転送要求 起動要求→転送要求		
		290	16.8 消費電力低減機能 (2) ディープスリープモード、 (4) 消費電力低減機能における注意事項 追加		
		17. I/Oポート			
		293	表17.2 I/Oポートの機能に、入出力レベル欄を追加		
		297	図17.4 入出力ポートの構成(4) 発振器制御の極性の誤記を修正 0: ON→OFF 1: OFF→ON		
		305	図17.6 PSRAレジスタによる汎用入出力ポートの切り替え例を追加		
		306	図17.7 PSRBレジスタによる汎用入出力ポートの切り替え例を追加		
		309	表17.7 未使用端子の処理内容を修正		
		18. マルチファンクションピンコントローラ (MPC)			
		—	18.2.6 P5n 端子機能制御レジスタ (P5nPFS) (n = 4 ~ 5) 削除		
		19. マルチファンクションタイマパルスユニット2 (MTU2b)			
		344	表19.11 TIORH (MTU0) 注1 追加		
345	表19.12 TIORL (MTU0) 注2 追加				
346	表19.15 TIORH (MTU0) 注1 追加				
347	表19.16 TIORL (MTU0) 注2 追加				
22. 独立ウォッチドッグタイマ (IWDTa)					
490	22.4.3 電圧監視1リセットとIWDTRリセット併用時の注意事項 追加				

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.20	2016.07.29	23. シリアルコミュニケーションインタフェース (SCle、SCIf)		
		494	図23.1 SCle (SCI1) のブロック図を削除し、 図23.2 SCle (SCI5) のブロック図のタイトルを 図23.1 SCle (SCI1, SCI5) のブロック図に変更	
		499	23.2.5 シリアルモードレジスタ (SMR) (1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット=0) ビット一覧 b7の機能 変更	
		507	23.2.7 シリアルステータスレジスタ (SSR) (1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット=0) b6, b7 変更	TN-RX*-A138A/J
		507	23.2.7 シリアルステータスレジスタ (SSR) (1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット=0) 注1 変更、注2 追加	TN-RX*-A138A/J
		507、509	23.2.7 シリアルステータスレジスタ (SSR) (1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット=0) RDRF フラグ (受信データフルフラグ)、TDRE フラグ (送信データエン ティフラグ) の説明追加	TN-RX*-A138A/J
		509	23.2.7 シリアルステータスレジスタ (SSR) (2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット=1) b6, b7 変更	TN-RX*-A138A/J
		509	23.2.7 シリアルステータスレジスタ (SSR) (2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット=1) 注1 変更、注2 追加	TN-RX*-A138A/J
		509	23.2.7 シリアルステータスレジスタ (SSR) (2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット=1) RDRF フラグ (受信データフルフラグ)、TDRE フラグ (送信データエン ティフラグ) の説明追加	TN-RX*-A138A/J
		613	表23.30 SCI割り込み要因 変更	TN-RX*-A138A/J
		623	23.12.15 RTS 機能使用時の受信停止に関する注意事項 追加	TN-RX*-A151A/J
		24. I ² Cバスインタフェース(RIIC)		
		全体	各シンボル+「端子」、「ビット」、または「フラグ」 【用語統一】 通信エラー/イベント発生→通信エラー/通信イベント発生 転送フレーム→転送バイト 1フレーム、2フレーム→第一バイト 2フレーム→第二バイト アドレスフレーム→アドレスバイト 規格→仕様 [Sm], [Fm], [W], [R]→(Sm), (Fm), (write), (read)	
		644	24.2.9 I ² C バスステータスレジスタ1 (ICSR1) HOAフラグ説明変更	TN-RX*-A141A/J
		25. シリアルペリフェラルインタフェース (RSPI)		
		707	25.2.4 RSPI ステータスレジスタ (SPSR) SPRFフラグ、SPTEFフラグ、注2 追加	TN-RX*-A138A/J
		709	25.2.4 RSPI ステータスレジスタ (SPSR) SPRFフラグ、SPTEFフラグ説明 追加	TN-RX*-A138A/J
		—	SPRFフラグ、SPTEFフラグ追加による変更	TN-RX*-A138A/J
		761	(a) 送信処理フロー 説明 変更	TN-RX*-A147A/J
		31. フラッシュメモリ		
		836	表31.1 フラッシュメモリの仕様 イレーズ後の値、割り込み 欄を追加	TN-RX*-A132A/J
		837	31.2 ROM の領域とブロックの構成 変更	TN-RX*-A132A/J
		845	31.3.8 フラッシュ制御レジスタ (FCR) CMD[3:0] ビット [ブロックイレー ズ] 説明 変更	TN-RX*-A132A/J
		854	31.3.19 フラッシュステータスレジスタ1 (FSTATR1) FRDY フラグ、 EXRDY フラグ 変更	TN-RX*-A132A/J
		869	31.6.5 割り込み 追加	TN-RX*-A132A/J
		874	31.7.2 ブートモード(FINE インタフェース)章を追加	TN-RX*-A132A/J
		32. 電気的特性		
		910	表32.1 絶対最大定格 項目：入力電圧にAVCC0駆動の端子を追加	
		910	表32.2 推奨動作条件 項目：アナログ電源電圧にVREFH0/VREFL0 追加	
		917	表32.8 DC特性 (6) 項目：独立ウォッチドックタイマ動作の増加分 追加	
		918	表32.9 DC特性 (7) 許容総消費電力 追加	TN-RX*-A135A/J

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.20	2016.07.29	919	表32.10 DC特性 (8) 項目: LVD1, 2 追加	
		920、921	表32.15 出力許容電流値を (Dバージョン) と (Gバージョン) に分割	
		959	表32.45 ROM (コード格納用フラッシュメモリ) 特性 (2) 項目: イレージ時間に128Kバイト 追加	TN-RX*-A132A/J
		960	表32.46 ROM (コード格納用フラッシュメモリ) 特性 (3) プログラム/イレージ時の動作温度範囲 変更 項目: イレージ時間に128Kバイト 追加	TN-RX*-A132A/J
		961 ~ 963	32.9 使用上の注意事項を追加	

RX110グループ ユーザーズマニュアル
ハードウェア編

発行年月日 2013年11月29日 Rev.1.00
2016年7月29日 Rev.1.20

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)



ルネサスエレクトロニクス株式会社

営業お問合せ窓口

<http://www.renesas.com>

営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>

RX110グループ