User's Manual

16

R8C/32Gグループ、R8C/32Hグループ
ユーザーズマニュアル　ハードウェア編

ルネサスマイクロコンピュータ

R8C**ファミリ**／R8C/3x**シリーズ**

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ルネサス エレクトロニクス
www.renesas.com

Rev.1.10　　2013.8

ご注意書き

1． 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。

2． 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。

3． 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。

4． 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。

5． 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準：　輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置等

当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）　、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。 たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。 なお、ご不明点がある場合は、当社営業にお問い合わせください。

6． 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。

7． 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。

8． 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。

9． 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。

10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。

11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注１において定義された当社の開発、製造製品をいいます。

(2012.4)

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

   【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

   CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

   【注意】電源投入時は，製品の状態は不定です。

   電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

   外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

   同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

   【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

   アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

   【注意】リセット時は、クロックが安定した後、リセットを解除してください。

   プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

   リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

   【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

   同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改定内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

R8C/32G グループ、R8C/32H グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクスホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	R8C/32Gグループ、 R8C/32Hグループ データシート	R01DS0026JJ0100
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様(ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 ※周辺機能の使用方法はアプリケーションノートを参照してください。	R8C/32Gグループ、 R8C/32Hグループ ユーザーズマニュアル ハードウェア編	本ユーザーズ マニュアル
ユーザーズマニュアル ソフトウェア編	CPU命令セットの説明	R8C/Tinyシリーズ ソフトウェアマニュアル	RJJ09B0002
アプリケーションノート	周辺機能の使用方法、応用例 参考プログラム アセンブリ言語、C言語によるプログラムの作成方法	ルネサス エレクトロニクスホームページに掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

(1) レジスタ名、ビット名、端子名
本文中では、シンボルで表記します。シンボルの後にレジスタ、ビット、端子を付けて区別します。
(例) PM0レジスタのPM03ビット
P3_5端子、VCC端子

(2) 数の表記
2進数は数字の後に「b」を付けます。ただし、1ビットの値の場合は何も付けません。16進数は数字の後に「h」を付けます。10進数には数字の後に何も付けません。
(例) 2進数：11b
16進数：EFA0h
10進数：1234

3.　レジスタの表記

レジスタ図で使用する記号、用語を以下に説明します。

x.x.x　**・・・・レジスタ(シンボル)**

アドレス・・・h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	・・・7	・・・6	・・・5	ー	ー	ー	・・・1	・・・0
リセット後の値	0	0	0	0	0	0	0	0

＊1

ビット	シンボル	ビット名	機能	R/W
b0	・・・0	**・・・ビット**	b1 b0 00：・・・ 01：・・・ 10：**設定しないでください** 11：・・・	R/W
b1	・・・1			R/W
b2	ー	**何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。**		ー
b3	ー	**予約ビット**	**“0”にしてください。**	W
b4	ー			
b5	・・・5	**・・・ビット**	**動作モードによって機能が異なる**	R/W
b6	・・・6			R/W
b7	・・・7	**・・・ビット**	0：・・・ 1：・・・	R

＊2　＊3

＊1
R/W　：読むとビットの状態が読めます。書くと有効データになります。
R　　：読むとビットの状態が読めます。書いた値は無効になります。
W　　：書くと有効データになります。ビットの状態は読めません。
ー　　：何も配置されていないビットです。

＊2
- 予約ビット
  予約ビットです。指定された値にしてください。

＊3
- 何も配置されていない
  該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください。
- 設定しないでください
  設定した場合の動作は保証されません。
- 動作モードによって機能が異なる
  周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

4. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電気的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input / Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver / Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

目次

番地別ページ早見表

番地	レジスタ	シンボル	掲載ページ
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	32
0005h	プロセッサモードレジスタ1	PM1	171
0006h	システムクロック制御レジスタ0	CM0	102
0007h	システムクロック制御レジスタ1	CM1	103
0008h	モジュールスタンバイ制御レジスタ	MSTCR	241、300、314、334、350、364、380、476
0009h	システムクロック制御レジスタ3	CM3	104
000Ah	プロテクトレジスタ	PRCR	131
000Bh	リセット要因判別レジスタ	RSTFR	32
000Ch	発振停止検出レジスタ	OCD	106
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	171
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	171
000Fh	ウォッチドッグタイマ制御レジスタ	WDTC	172
0010h			
0011h			
0012h			
0013h			
0014h			
0015h	高速オンチップオシレータ制御レジスタ7	FRA7	106
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	172
001Dh			
001Eh			
001Fh			
0020h			
0021h			
0022h			
0023h	高速オンチップオシレータ制御レジスタ0	FRA0	107
0024h	高速オンチップオシレータ制御レジスタ1	FRA1	107
0025h	高速オンチップオシレータ制御レジスタ2	FRA2	108
0026h	チップ内蔵基準電圧制御レジスタ	OCVREFCR	520
0027h			
0028h			
0029h	高速オンチップオシレータ制御レジスタ4	FRA4	109
002Ah	高速オンチップオシレータ制御レジスタ5	FRA5	109
002Bh	高速オンチップオシレータ制御レジスタ6	FRA6	110
002Ch			
002Dh			
002Eh			
002Fh	高速オンチップオシレータ制御レジスタ3	FRA3	110
0030h	電圧監視回路制御レジスタ	CMPA	45
0031h	電圧監視回路エッジ選択レジスタ	VCAC	46
0032h			
0033h	電圧検出レジスタ1	VCA1	46
0034h	電圧検出レジスタ2	VCA2	47、111
0035h			
0036h	電圧検出1レベル選択レジスタ	VD1LS	48
0037h			
0038h	電圧監視0回路制御レジスタ	VW0C	49
0039h	電圧監視1回路制御レジスタ	VW1C	50
003Ah	電圧監視2回路制御レジスタ	VW2C	51
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0040h			
0041h	フラッシュメモリレディ割り込み制御レジスタ	FMRDYIC	138
0042h			
0043h			
0044h			
0045h			
0046h			
0047h	タイマRC割り込み制御レジスタ	TRCIC	138
0048h	タイマRD0割り込み制御レジスタ	TRD0IC	138
0049h	タイマRD1割り込み制御レジスタ	TRD1IC	138
004Ah			
004Bh	UART2送信割り込み制御レジスタ	S2TIC	137
004Ch	UART2受信割り込み制御レジスタ	S2RIC	137
004Dh	キー入力割り込み制御レジスタ	KUPIC	137
004Eh	A/D変換割り込み制御レジスタ	ADIC	137
004Fh	SSU割り込み制御レジスタ	SSUIC	138
0050h			
0051h	UART0送信割り込み制御レジスタ	S0TIC	137
0052h	UART0受信割り込み制御レジスタ	S0RIC	137
0053h			
0054h			
0055h			
0056h	タイマRA割り込み制御レジスタ	TRAIC	137
0057h			
0058h	タイマRB割り込み制御レジスタ	TRBIC	137
0059h	INT1割り込み制御レジスタ	INT1IC	139
005Ah	INT3割り込み制御レジスタ	INT3IC	139
005Bh			
005Ch			
005Dh	INT0割り込み制御レジスタ	INT0IC	139
005Eh	UART2バス衝突検出割り込み制御レジスタ	U2BCNIC	137
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h	電圧監視1割り込み制御レジスタ	VCMP1IC	137
0073h	電圧監視2割り込み制御レジスタ	VCMP2IC	137
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

番地	レジスタ	シンボル	掲載ページ
0080h	DTC起動制御レジスタ	DTCTL	183
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h	DTC起動許可レジスタ0	DTCEN0	182
0089h	DTC起動許可レジスタ1	DTCEN1	182
008Ah	DTC起動許可レジスタ2	DTCEN2	182
008Bh	DTC起動許可レジスタ3	DTCEN3	182
008Ch	DTC起動許可レジスタ4	DTCEN4	182
008Dh			
008Eh	DTC起動許可レジスタ6	DTCEN6	182
008Fh			
0090h			
0091h			
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah			
009Bh			
009Ch			
009Dh			
009Eh			
009Fh			
00A0h	UART0送受信モードレジスタ	U0MR	405
00A1h	UART0ビットレートレジスタ	U0BRG	405
00A2h	UART0送信バッファレジスタ	U0TB	406
00A3h			
00A4h	UART0送受信制御レジスタ0	U0C0	407
00A5h	UART0送受信制御レジスタ1	U0C1	407
00A6h	UART0受信バッファレジスタ	U0RB	408
00A7h			
00A8h	UART2送受信モードレジスタ	U2MR	427
00A9h	UART2ビットレートレジスタ	U2BRG	427
00AAh	UART2送信バッファレジスタ	U2TB	428
00ABh			
00ACh	UART2送受信制御レジスタ0	U2C0	429
00ADh	UART2送受信制御レジスタ1	U2C1	430
00AEh	UART2受信バッファレジスタ	U2RB	431
00AFh			
00B0h	UART2デジタルフィルタ機能選択レジスタ	URXDF	432
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h			
00B9h			
00BAh			
00BBh	UART2特殊モードレジスタ5	U2SMR5	432
00BCh	UART2特殊モードレジスタ4	U2SMR4	433
00BDh	UART2特殊モードレジスタ3	U2SMR3	434
00BEh	UART2特殊モードレジスタ2	U2SMR2	434
00BFh	UART2特殊モードレジスタ	U2SMR	435

番地	レジスタ	シンボル	掲載ページ
00C0h	A/Dレジスタ0	AD0	521
00C1h			
00C2h	A/Dレジスタ1	AD1	521
00C3h			
00C4h	A/Dレジスタ2	AD2	521
00C5h			
00C6h	A/Dレジスタ3	AD3	521
00C7h			
00C8h	A/Dレジスタ4	AD4	521
00C9h			
00CAh	A/Dレジスタ5	AD5	521
00CBh			
00CCh	A/Dレジスタ6	AD6	521
00CDh			
00CEh	A/Dレジスタ7	AD7	521
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/Dモードレジスタ	ADMOD	522
00D5h	A/D入力選択レジスタ	ADINSEL	523
00D6h	A/D制御レジスタ0	ADCON0	524
00D7h	A/D制御レジスタ1	ADCON1	525
00D8h			
00D9h			
00DAh			
00DBh			
00DCh			
00DDh			
00DEh			
00DFh			
00E0h			
00E1h	ポートP1レジスタ	P1	69
00E2h			
00E3h	ポートP1方向レジスタ	PD1	68
00E4h			
00E5h	ポートP3レジスタ	P3	69
00E6h			
00E7h	ポートP3方向レジスタ	PD3	68
00E8h	ポートP4レジスタ	P4	69
00E9h			
00EAh	ポートP4方向レジスタ	PD4	68
00EBh			
00ECh			
00EDh			
00EEh			
00EFh			
00F0h			
00F1h			
00F2h			
00F3h			
00F4h			
00F5h			
00F6h			
00F7h			
00F8h			
00F9h			
00FAh			
00FBh			
00FCh			
00FDh			
00FEh			
00FFh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0100h	タイマRA制御レジスタ	TRACR	202
0101h	タイマRA I/O制御レジスタ	TRAIOC	202、205、208、210、212、215
0102h	タイマRAモードレジスタ	TRAMR	203
0103h	タイマRAプリスケーラレジスタ	TRAPRE	203
0104h	タイマRAレジスタ	TRA	204
0105h	LINコントロールレジスタ2	LINCR2	505
0106h	LINコントロールレジスタ	LINCR	506
0107h	LINステータスレジスタ	LINST	506
0108h	タイマRB制御レジスタ	TRBCR	219
0109h	タイマRBワンショット制御レジスタ	TRBOCR	219
010Ah	タイマRB I/O制御レジスタ	TRBIOC	220、223、227、230、234
010Bh	タイマRBモードレジスタ	TRBMR	220
010Ch	タイマRBプリスケーラレジスタ	TRBPRE	221
010Dh	タイマRBセカンダリレジスタ	TRBSC	221
010Eh	タイマRBプライマリレジスタ	TRBPR	222
010Fh			
0110h			
0111h			
0112h			
0113h			
0114h			
0115h			
0116h			
0117h			
0118h			
0119h			
011Ah			
011Bh			
011Ch			
011Dh			
011Eh			
011Fh			
0120h	タイマRCモードレジスタ	TRCMR	242
0121h	タイマRC制御レジスタ1	TRCCR1	243、266、275、281
0122h	タイマRC割り込み許可レジスタ	TRCIER	243
0123h	タイマRCステータスレジスタ	TRCSR	244
0124h	タイマRC I/O制御レジスタ0	TRCIOR0	245、261、267
0125h	タイマRC I/O制御レジスタ1	TRCIOR1	245、262、268
0126h	タイマRCカウンタ	TRC	246
0127h			
0128h	タイマRCジェネラルレジスタA	TRCGRA	246
0129h			
012Ah	タイマRCジェネラルレジスタB	TRCGRB	246
012Bh			
012Ch	タイマRCジェネラルレジスタC	TRCGRC	246
012Dh			
012Eh	タイマRCジェネラルレジスタD	TRCGRD	246
012Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0130h	タイマRC制御レジスタ2	TRCCR2	247、269、276、282
0131h	タイマRCデジタルフィルタ機能選択レジスタ	TRCDF	248、283
0132h	タイマRCアウトプットマスタ許可レジスタ	TRCOER	249
0133h	タイマRCトリガ制御レジスタ	TRCADCR	249
0134h			
0135h			
0136h	タイマRDトリガ制御レジスタ	TRDADCR	315、335、351、365、381
0137h	タイマRDスタートレジスタ	TRDSTR	300、316、336、352、366、382
0138h	タイマRDモードレジスタ	TRDMR	301、317、336、352、366、382
0139h	タイマRD PWMモードレジスタ	TRDPMR	301、317、337
013Ah	タイマRD機能制御レジスタ	TRDFCR	302、318、337、353、367、383
013Bh	タイマRDアウトプットマスタ許可レジスタ1	TRDOER1	319、338、354、368、384
013Ch	タイマRDアウトプットマスタ許可レジスタ2	TRDOER2	319、338、354、368、384
013Dh	タイマRDアウトプット制御レジスタ	TRDOCR	320、339、385
013Eh	タイマRDデジタルフィルタ機能選択レジスタ0	TRDDF0	302
013Fh	タイマRDデジタルフィルタ機能選択レジスタ1	TRDDF1	302
0140h	タイマRD制御レジスタ0	TRDCR0	303、321、339、355、369、386
0141h	タイマRD I/O制御レジスタA0	TRDIORA0	304、322
0142h	タイマRD I/O制御レジスタC0	TRDIORC0	305、323
0143h	タイマRDステータスレジスタ0	TRDSR0	306、324、340、356、370、387
0144h	タイマRD割り込み許可レジスタ0	TRDIER0	307、325、341、357、371、388
0145h	タイマRD PWMモードアウトプットレベル制御レジスタ0	TRDPOCR0	341
0146h	タイマRDカウンタ0	TRD0	307、325、342、357、371、388
0147h			
0148h	タイマRDジェネラルレジスタA0	TRDGRA0	308、326、343、358、372、389
0149h			
014Ah	タイマRDジェネラルレジスタB0	TRDGRB0	308、326、343、358、372、389
014Bh			
014Ch	タイマRDジェネラルレジスタC0	TRDGRC0	308、326、343、358、389
014Dh			
014Eh	タイマRDジェネラルレジスタD0	TRDGRD0	308、326、343、358、372、389
014Fh			
0150h	タイマRD制御レジスタ1	TRDCR1	303、321、339、369
0151h	タイマRD I/O制御レジスタA1	TRDIORA1	304、322
0152h	タイマRD I/O制御レジスタC1	TRDIORC1	305、323
0153h	タイマRDステータスレジスタ1	TRDSR1	306、324、340、356、370、387
0154h	タイマRD割り込み許可レジスタ1	TRDIER1	307、325、341、357、371、388
0155h	タイマRD PWMモードアウトプットレベル制御レジスタ1	TRDPOCR1	341
0156h	タイマRDカウンタ1	TRD1	307、325、342、372
0157h			
0158h	タイマRDジェネラルレジスタA1	TRDGRA1	308、326、343、358、372、389
0159h			
015Ah	タイマRDジェネラルレジスタB1	TRDGRB1	308、326、343、358、372、389
015Bh			
015Ch	タイマRDジェネラルレジスタC1	TRDGRC1	308、326、343、358、372、389
015Dh			
015Eh	タイマRDジェネラルレジスタD1	TRDGRD1	308、326、343、358、372、389
015Fh			

番地	レジスタ	シンボル	掲載ページ
0160h			
0161h			
0162h			
0163h			
0164h			
0165h			
0166h			
0167h			
0168h			
0169h			
016Ah			
016Bh			
016Ch			
016Dh			
016Eh			
016Fh			
0170h			
0171h			
0172h			
0173h			
0174h			
0175h			
0176h			
0177h			
0178h			
0179h			
017Ah			
017Bh			
017Ch			
017Dh			
017Eh			
017Fh			
0180h	タイマRA端子選択レジスタ	TRASR	70、204
0181h	タイマRB/RC端子選択レジスタ	TRBRCSR	71、222、250
0182h	タイマRC端子選択レジスタ0	TRCPSR0	72、251
0183h	タイマRC端子選択レジスタ1	TRCPSR1	73、252
0184h	タイマRD端子選択レジスタ0	TRDPSR0	74、309、327、344、359、374、391
0185h	タイマRD端子選択レジスタ1	TRDPSR1	74、309、327、344、359、374、391
0186h			
0187h			
0188h	UART0端子選択レジスタ	U0SR	75、409
0189h			
018Ah	UART2端子選択レジスタ0	U2SR0	76、436
018Bh	UART2端子選択レジスタ1	U2SR1	77、437
018Ch	SSU端子選択レジスタ	SSUIICSR	78、477
018Dh			
018Eh	INT割り込み入力端子選択レジスタ	INTSR	79、148
018Fh	入出力機能端子選択レジスタ	PINSR	80

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0190h			
0191h			
0192h			
0193h	SSビットカウンタレジスタ	SSBR	478
0194h	SS送信データレジスタL	SSTDR	478
0195h	SS送信データレジスタH	SSTDRH	
0196h	SS受信データレジスタL	SSRDR	479
0197h	SS受信データレジスタH	SSRDRH	
0198h	SS制御レジスタH	SSCRH	479
0199h	SS制御レジスタL	SSCRL	480
019Ah	SSモードレジスタ	SSMR	481
019Bh	SS許可レジスタ	SSER	482
019Ch	SSステータスレジスタ	SSSR	483
019Dh	SSモードレジスタ2	SSMR2	484
019Eh			
019Fh			
01A0h			
01A1h			
01A2h			
01A3h			
01A4h			
01A5h			
01A6h			
01A7h			
01A8h			
01A9h			
01AAh			
01ABh			
01ACh			
01ADh			
01AEh			
01AFh			
01B0h			
01B1h			
01B2h	フラッシュメモリステータスレジスタ	FST	555
01B3h			
01B4h	フラッシュメモリ制御レジスタ0	FMR0	558
01B5h	フラッシュメモリ制御レジスタ1	FMR1	561、563
01B6h	フラッシュメモリ制御レジスタ2	FMR2	564、566
01B7h			
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			
01C0h	アドレス一致割り込みレジスタ0	RMAD0	155
01C1h			
01C2h			
01C3h	アドレス一致割り込み許可レジスタ0	AIER0	155
01C4h	アドレス一致割り込みレジスタ1	RMAD1	155
01C5h			
01C6h			
01C7h	アドレス一致割り込み許可レジスタ1	AIER1	155
01C8h			
01C9h			
01CAh			
01CBh			
01CCh			
01CDh			
01CEh			
01CFh			

番地	レジスタ	シンボル	掲載ページ
01D0h			
01D1h			
01D2h			
01D3h			
01D4h			
01D5h			
01D6h			
01D7h			
01D8h			
01D9h			
01DAh			
01DBh			
01DCh			
01DDh			
01DEh			
01DFh			
01E0h	プルアップ制御レジスタ0	PUR0	81
01E1h	プルアップ制御レジスタ1	PUR1	81
01E2h			
01E3h			
01E4h			
01E5h			
01E6h			
01E7h			
01E8h			
01E9h			
01EAh			
01EBh			
01ECh			
01EDh			
01EEh			
01EFh			
01F0h			
01F1h			
01F2h			
01F3h			
01F4h			
01F5h	入力しきい値制御レジスタ0	VLT0	82
01F6h	入力しきい値制御レジスタ1	VLT1	83
01F7h			
01F8h	コンパレータB制御レジスタ0	INTCMP	544
01F9h			
01FAh	外部入力許可レジスタ0	INTEN	149、544
01FBh			
01FCh	INT入力フィルタ選択レジスタ0	INTF	150、545
01FDh			
01FEh	キー入力許可レジスタ0	KIEN	153
01FFh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
2C00h	DTC転送ベクタ領域		
2C01h	DTC転送ベクタ領域		
2C02h			
2C03h	DTC転送ベクタ領域		
2C04h			
2C05h			
2C06h			
2C07h			
2C08h	DTC転送ベクタ領域		
2C09h	DTC転送ベクタ領域		
2C0Ah	DTC転送ベクタ領域		
2C0Bh	DTC転送ベクタ領域		
2C0Ch			
2C0Dh			
2C0Eh	DTC転送ベクタ領域		
2C0Fh	DTC転送ベクタ領域		
2C10h	DTC転送ベクタ領域		
2C11h	DTC転送ベクタ領域		
2C12h	DTC転送ベクタ領域		
2C13h	DTC転送ベクタ領域		
2C14h			
2C15h			
2C16h	DTC転送ベクタ領域		
2C17h	DTC転送ベクタ領域		
2C18h	DTC転送ベクタ領域		
2C19h	DTC転送ベクタ領域		
2C1Ah	DTC転送ベクタ領域		
2C1Bh	DTC転送ベクタ領域		
2C1Ch	DTC転送ベクタ領域		
2C1Dh	DTC転送ベクタ領域		
2C1Eh	DTC転送ベクタ領域		
2C1Fh	DTC転送ベクタ領域		
2C20h	DTC転送ベクタ領域		
2C21h	DTC転送ベクタ領域		
2C22h			
:			
:			
2C30h			
2C31h	DTC転送ベクタ領域		
2C32h			
2C33h	DTC転送ベクタ領域		
2C34h	DTC転送ベクタ領域		
2C35h			
2C36h			
2C37h			
2C38h			
2C39h			
2C3Ah			
2C3Bh			
2C3Ch			
2C3Dh			
2C3Eh			
2C3Fh			
2C40h	DTCコントロールデータ0	DTCD0	
2C41h			
2C42h			
2C43h			
2C44h			
2C45h			
2C46h			
2C47h			

番地	レジスタ	シンボル	掲載ページ
2C48h	DTCコントロールデータ1	DTCD1	
2C49h			
2C4Ah			
2C4Bh			
2C4Ch			
2C4Dh			
2C4Eh			
2C4Fh			
2C50h	DTCコントロールデータ2	DTCD2	
2C51h			
2C52h			
2C53h			
2C54h			
2C55h			
2C56h			
2C57h			
2C58h	DTCコントロールデータ3	DTCD3	
2C59h			
2C5Ah			
2C5Bh			
2C5Ch			
2C5Dh			
2C5Eh			
2C5Fh			
2C60h	DTCコントロールデータ4	DTCD4	
2C61h			
2C62h			
2C63h			
2C64h			
2C65h			
2C66h			
2C67h			
2C68h	DTCコントロールデータ5	DTCD5	
2C69h			
2C6Ah			
2C6Bh			
2C6Ch			
2C6Dh			
2C6Eh			
2C6Fh			
2C70h	DTCコントロールデータ6	DTCD6	
2C71h			
2C72h			
2C73h			
2C74h			
2C75h			
2C76h			
2C77h			
2C78h	DTCコントロールデータ7	DTCD7	
2C79h			
2C7Ah			
2C7Bh			
2C7Ch			
2C7Dh			
2C7Eh			
2C7Fh			
2C80h	DTCコントロールデータ8	DTCD8	
2C81h			
2C82h			
2C83h			
2C84h			
2C85h			
2C86h			
2C87h			

番地	レジスタ	シンボル	掲載ページ
2C88h	DTCコントロールデータ9	DTCD9	
2C89h			
2C8Ah			
2C8Bh			
2C8Ch			
2C8Dh			
2C8Eh			
2C8Fh			
2C90h	DTCコントロールデータ10	DTCD10	
2C91h			
2C92h			
2C93h			
2C94h			
2C95h			
2C96h			
2C97h			
2C98h	DTCコントロールデータ11	DTCD11	
2C99h			
2C9Ah			
2C9Bh			
2C9Ch			
2C9Dh			
2C9Eh			
2C9Fh			
2CA0h	DTCコントロールデータ12	DTCD12	
2CA1h			
2CA2h			
2CA3h			
2CA4h			
2CA5h			
2CA6h			
2CA7h			
2CA8h	DTCコントロールデータ13	DTCD13	
2CA9h			
2CAAh			
2CABh			
2CACh			
2CADh			
2CAEh			
2CAFh			
2CB0h	DTCコントロールデータ14	DTCD14	
2CB1h			
2CB2h			
2CB3h			
2CB4h			
2CB5h			
2CB6h			
2CB7h			
2CB8h	DTCコントロールデータ15	DTCD15	
2CB9h			
2CBAh			
2CBBh			
2CBCh			
2CBDh			
2CBEh			
2CBFh			
2CC0h	DTCコントロールデータ16	DTCD16	
2CC1h			
2CC2h			
2CC3h			
2CC4h			
2CC5h			
2CC6h			
2CC7h			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
2CC8h	DTCコントロールデータ17	DTCD17	
2CC9h			
2CCAh			
2CCBh			
2CCCh			
2CCDh			
2CCEh			
2CCFh			
2CD0h	DTCコントロールデータ18	DTCD18	
2CD1h			
2CD2h			
2CD3h			
2CD4h			
2CD5h			
2CD6h			
2CD7h			
2CD8h	DTCコントロールデータ19	DTCD19	
2CD9h			
2CDAh			
2CDBh			
2CDCh			
2CDDh			
2CDEh			
2CDFh			
2CE0h	DTCコントロールデータ20	DTCD20	
2CE1h			
2CE2h			
2CE3h			
2CE4h			
2CE5h			
2CE6h			
2CE7h			
2CE8h	DTCコントロールデータ21	DTCD21	
2CE9h			
2CEAh			
2CEBh			
2CECh			
2CEDh			
2CEEh			
2CEFh			
2CF0h	DTCコントロールデータ22	DTCD22	
2CF1h			
2CF2h			
2CF3h			
2CF4h			
2CF5h			
2CF6h			
2CF7h			
2CF8h	DTCコントロールデータ23	DTCD23	
2CF9h			
2CFAh			
2CFBh			
2CFCh			
2CFDh			
2CFEh			
2CFFh			
2D00h			
2D01h			
:			
FFDBh	オプション機能選択レジスタ2	OFS2	34、167、174
:			
FFFFh	オプション機能選択レジスタ	OFS	33、52、166、173、553

注1. 空欄は予約領域です。アクセスしないでください。

R8C/32Gグループ、R8C/32Hグループ

ルネサスマイクロコンピュータ

R01UH0139JJ0110
Rev.1.10
2013.08.09

1. 概要

1.1 特長

R8C/32Gグループ、R8C/32Hグループは、R8C CPUコアを搭載したシングルチップマイクロコンピュータです。R8C CPUコアは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備え、さらに、乗算器があるため高速な演算処理が可能です。

消費電力が小さい上、動作モードによるパワーコントロールが可能です。また、これらのマイコンは、EMI/EMS性能を最大限に考慮した設計を行っています。

多機能タイマ、シリアルインタフェースなど、多彩な周辺機能を内蔵しており、システムの部品点数を少なくできます。

R8C/32GグループはBGO (バックグラウンドオペレーション)機能付データフラッシュ(1KB×4ブロック)を内蔵します。

1.1.1 用途

自動車、他

1.1.2 仕様概要

表1.1～表1.2にR8C/32Gグループの仕様概要、表1.3～表1.4にR8C/32Hグループの仕様概要を示します。

表1.1 R8C/32Gグループの仕様概要(1)

分類	機能	説明
CPU	中央演算処理装置	R8C CPUコア ・基本命令数：89命令 ・最小命令実行時間：50ns (f(XIN)=20MHz、VCC=2.7~5.5V) ・乗算器：16ビット×16ビット→32ビット ・積和演算命令：16ビット×16ビット＋32ビット→32ビット ・動作モード：シングルチップモード(アドレス空間：1Mバイト)
メモリ	ROM、RAM、データフラッシュ	「表 1.5　R8C/32Gグループの製品一覧表」を参照してください
電圧検出	電圧検出回路	・パワーオンリセット ・電圧検出3点(電圧検出1は検出レベル選択可能)
I/Oポート	プログラマブル入出力ポート	・入力専用：1 ・CMOS入出力:15、プルアップ抵抗選択可能
クロック	クロック発生回路	・3回路：XINクロック発振回路 高速オンチップオシレータ(周波数調整機能付) 低速オンチップオシレータ ・発振停止検出：XINクロック発振停止検出機能 ・周波数分周回路：1、2、4、8、16分周選択 ・低消費電力機構：標準動作モード(高速クロック、高速オンチップオシレータ、低速オンチップオシレータ)、ウェイトモード、ストップモード
割り込み		・割り込みベクタ数：69 ・外部割り込み入力：7 (INT×3、キー入力×4) ・割り込み優先レベル：7レベル
ウォッチドッグタイマ		・14ビット×1(プリスケーラ付) ・リセットスタート機能選択可能 ・ウォッチドッグタイマ用低速オンチップオシレータ選択可能
DTC (データトランスファコントローラ)		・1チャネル ・起動要因：28 ・転送モード：2 (ノーマルモード、リピートモード)
タイマ	タイマRA	8ビット×1(8ビットプリスケーラ付) タイマモード(周期タイマ)、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード
	タイマRB	8ビット×1(8ビットプリスケーラ付) タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード
	タイマRC	16ビット×1(キャプチャ/コンペアレジスタ4本付) タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力3本)、PWM2モード(PWM出力1本)
	タイマRD(注1)	16ビット(キャプチャ/コンペアレジスタ4本付)×2 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力6本)、リセット同期PWMモード(三相波形出力(6本)鋸波変調)、相補PWMモード(三相波形出力(6本)三角波変調)、PWM3モード(同一周期のPWM出力2本)

注1. この製品のタイマRDはフルスペックエミュレータには対応していません。オンチップデバッギングエミュレータでデバッグしてください。

表1.2　R8C/32Gグループの仕様概要(2)

分類	機能	説明
シリアルインタフェース	UART0	1チャネル クロック同期形シリアルI/O／非同期形シリアルI/O兼用
	UART2	1チャネル クロック同期形シリアルI/O／非同期形シリアルI/O兼用、I2Cモード(I2Cバス)、IEモード(IEBus)、マルチプロセッサ通信機能
シンクロナスシリアルコミュニケーションユニット(SSU)		1チャネル
LINモジュール		ハードウェアLIN：1(タイマRA、UART0を使用)
A/Dコンバータ		分解能10ビット×4チャネル、サンプル&ホールドあり、掃引モードあり
コンパレータB		2回路
フラッシュメモリ		・プログラム、イレーズ電圧：VCC=2.7～5.5V ・プログラム、イレーズ回数：10,000回(データフラッシュ) 1,000回(プログラムROM) ・プログラムセキュリティ：ROMコードプロテクト、IDコードチェック ・デバッグ機能：オンチップデバッグ、オンボードフラッシュ書き換え機能 ・BGO(バックグラウンドオペレーション)機能
動作周波数/電源電圧		f(XIN)=20MHz(VCC=2.7~5.5V)
消費電流		標準7mA (VCC=5V、f(XIN)=20MHz)
動作周囲温度		-40℃～85℃(Jバージョン) -40℃～125℃(Kバージョン)(注1)
パッケージ		20ピンSSOP パッケージコード：PLSP0020JB-A (旧コード：20P2F-A)

注1.　Kバージョン機能をご使用になる場合は、その旨ご指定ください。

表1.3　R8C/32Hグループの仕様概要(1)

分類	機能	説明
CPU	中央演算処理装置	R8C CPUコア ・基本命令数：89命令 ・最小命令実行時間：50ns (f(XIN)=20MHz、VCC=2.7~5.5V) ・乗算器：16ビット×16ビット→32ビット ・積和演算命令：16ビット×16ビット＋32ビット→32ビット ・動作モード：シングルチップモード(アドレス空間：1Mバイト)
メモリ	ROM、RAM	「表1.6　R8C/32Hグループの製品一覧表」を参照してください
電圧検出	電圧検出回路	・パワーオンリセット ・電圧検出3点(電圧検出1は検出レベル選択可能)
I/Oポート	プログラマブル入出力ポート	・入力専用：1 ・CMOS入出力:15、プルアップ抵抗選択可能
クロック	クロック発生回路	・3回路：XINクロック発振回路 高速オンチップオシレータ(周波数調整機能付) 低速オンチップオシレータ ・発振停止検出：XINクロック発振停止検出機能 ・周波数分周回路：1、2、4、8、16分周選択 ・低消費電力機構：標準動作モード(高速クロック、高速オンチップオシレータ、低速オンチップオシレータ)、ウェイトモード、ストップモード
割り込み		・割り込みベクタ数：69 ・外部割り込み入力：7 ($\overline{\mathrm{INT}}$×3、キー入力×4) ・割り込み優先レベル：7レベル
ウォッチドッグタイマ		・14ビット×1(プリスケーラ付) ・リセットスタート機能選択可能 ・ウォッチドッグタイマ用低速オンチップオシレータ選択可能
DTC (データトランスファコントローラ)		・1チャネル ・起動要因：28 ・転送モード：2 (ノーマルモード、リピートモード)
タイマ	タイマRA	8ビット×1(8ビットプリスケーラ付) タイマモード(周期タイマ)、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード
	タイマRB	8ビット×1(8ビットプリスケーラ付) タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード
	タイマRC	16ビット×1(キャプチャ/コンペアレジスタ4本付) タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力3本)、PWM2モード(PWM出力1本)
	タイマRD(注1)	16ビット(キャプチャ/コンペアレジスタ4本付)×2 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力6本)、リセット同期PWMモード(三相波形出力(6本)鋸波変調)、相補PWMモード(三相波形出力(6本)三角波変調)、PWM3モード(同一周期のPWM出力2本)

注1.　この製品のタイマRDはフルスペックエミュレータには対応していません。オンチップデバッギングエミュレータでデバッグしてください。

表1.4　R8C/32Hグループの仕様概要(2)

分類	機能	説明
シリアルインタフェース	UART0	1チャネル クロック同期形シリアルI/O／非同期形シリアルI/O兼用
	UART2	1チャネル クロック同期形シリアルI/O／非同期形シリアルI/O兼用、I^2Cモード(I^2Cバス)、IEモード(IEBus)、マルチプロセッサ通信機能
シンクロナスシリアルコミュニケーションユニット(SSU)		1チャネル
LINモジュール		ハードウェアLIN：1(タイマRA、UART0を使用)
A/Dコンバータ		分解能10ビット×4チャネル、サンプル&ホールドあり、掃引モードあり
コンパレータB		2回路
フラッシュメモリ		・プログラム、イレーズ電圧：VCC=2.7～5.5V ・プログラム、イレーズ回数：100回(プログラムROM) ・プログラムセキュリティ：ROMコードプロテクト、IDコードチェック ・デバッグ機能：オンチップデバッグ、オンボードフラッシュ書き換え機能
動作周波数/電源電圧		f(XIN)=20MHz(VCC=2.7~5.5V)
消費電流		標準7mA (VCC=5V、f(XIN)=20MHz)
動作周囲温度		-40℃～85℃(Jバージョン) -40℃～125℃(Kバージョン)(注1)
パッケージ		20ピンSSOP パッケージコード：PLSP0020JB-A(旧コード：20P2F-A)

注1.　Kバージョン機能をご使用になる場合は、その旨ご指定ください。

1.2　製品一覧

表1.5にR8C/32Gグループの製品一覧表、図1.1にR8C/32Gグループの型名とメモリサイズ・パッケージ、表1.6にR8C/32Hグループの製品一覧表、図1.2にR8C/32Hグループの型名とメモリサイズ・パッケージを示します。

表1.5　R8C/32Gグループの製品一覧表　　2013年08月現在

型名	内部ROM容量		内部RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F21324GJSP	16Kバイト	1Kバイト×4	1.5Kバイト	PLSP0020JB-A	Jバージョン
R5F21326GJSP	32Kバイト	1Kバイト×4	2.5Kバイト	PLSP0020JB-A	
R5F21324GKSP	16Kバイト	1Kバイト×4	1.5Kバイト	PLSP0020JB-A	Kバージョン
R5F21326GKSP	32Kバイト	1Kバイト×4	2.5Kバイト	PLSP0020JB-A	

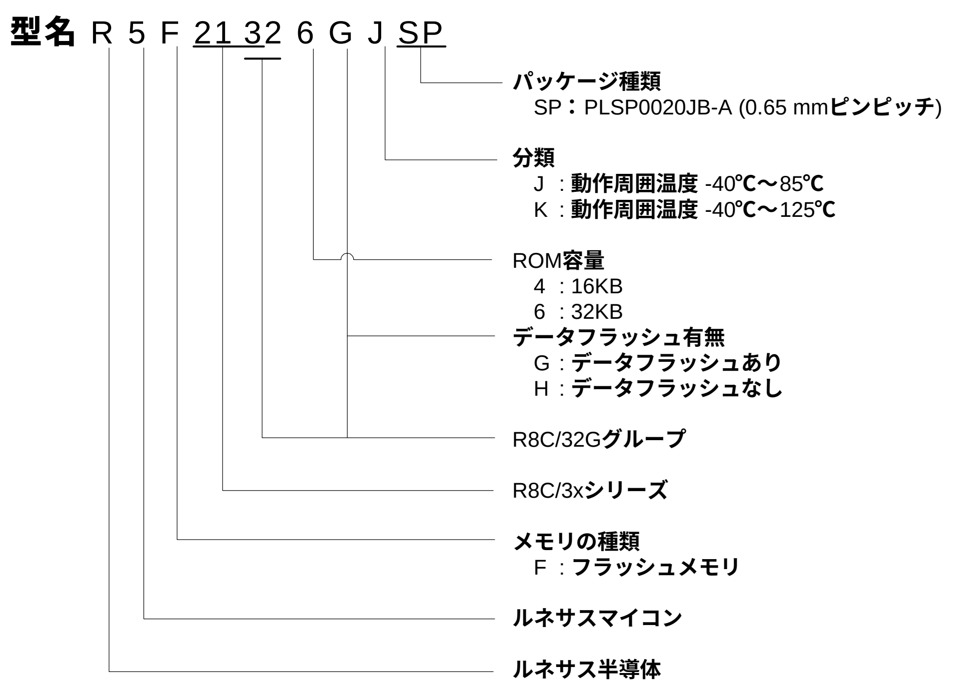


図1.1　R8C/32Gグループの型名とメモリサイズ・パッケージ

表 1.6　R8C/32Hグループの製品一覧表　　2013年08月現在

型名	内部ROM容量	内部RAM容量	パッケージ	備考
R5F21324HJSP	16Kバイト	1.5Kバイト	PLSP0020JB-A	Jバージョン
R5F21326HJSP	32Kバイト	2.5Kバイト	PLSP0020JB-A	
R5F21324HKSP	16Kバイト	1.5Kバイト	PLSP0020JB-A	Kバージョン
R5F21326HKSP	32Kバイト	2.5Kバイト	PLSP0020JB-A	

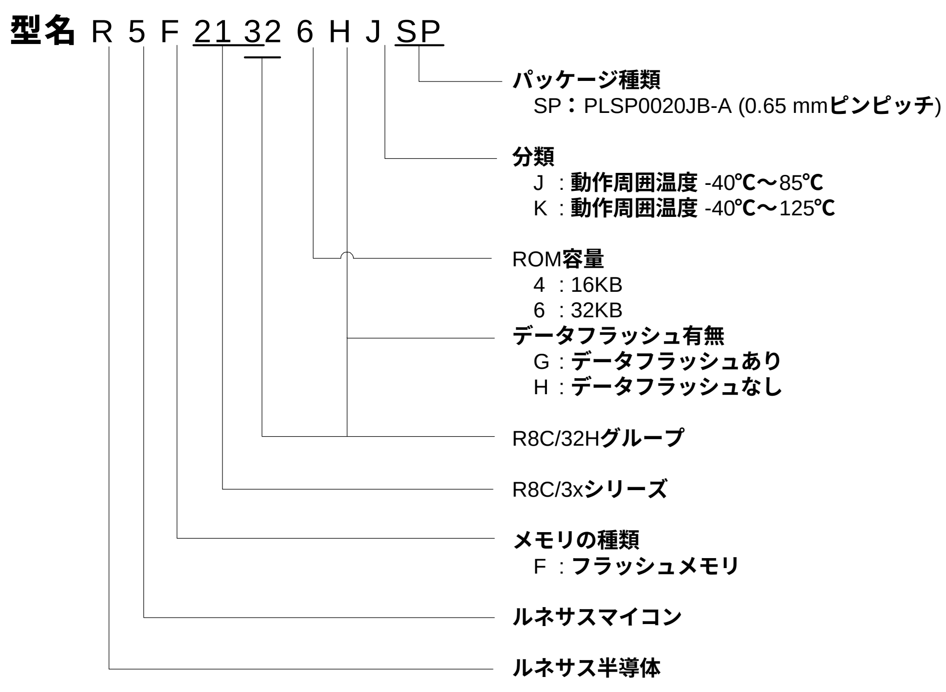


図1.2　R8C/32Hグループの型名とメモリサイズ・パッケージ

1.3 ブロック図

図1.3にブロック図を示します。

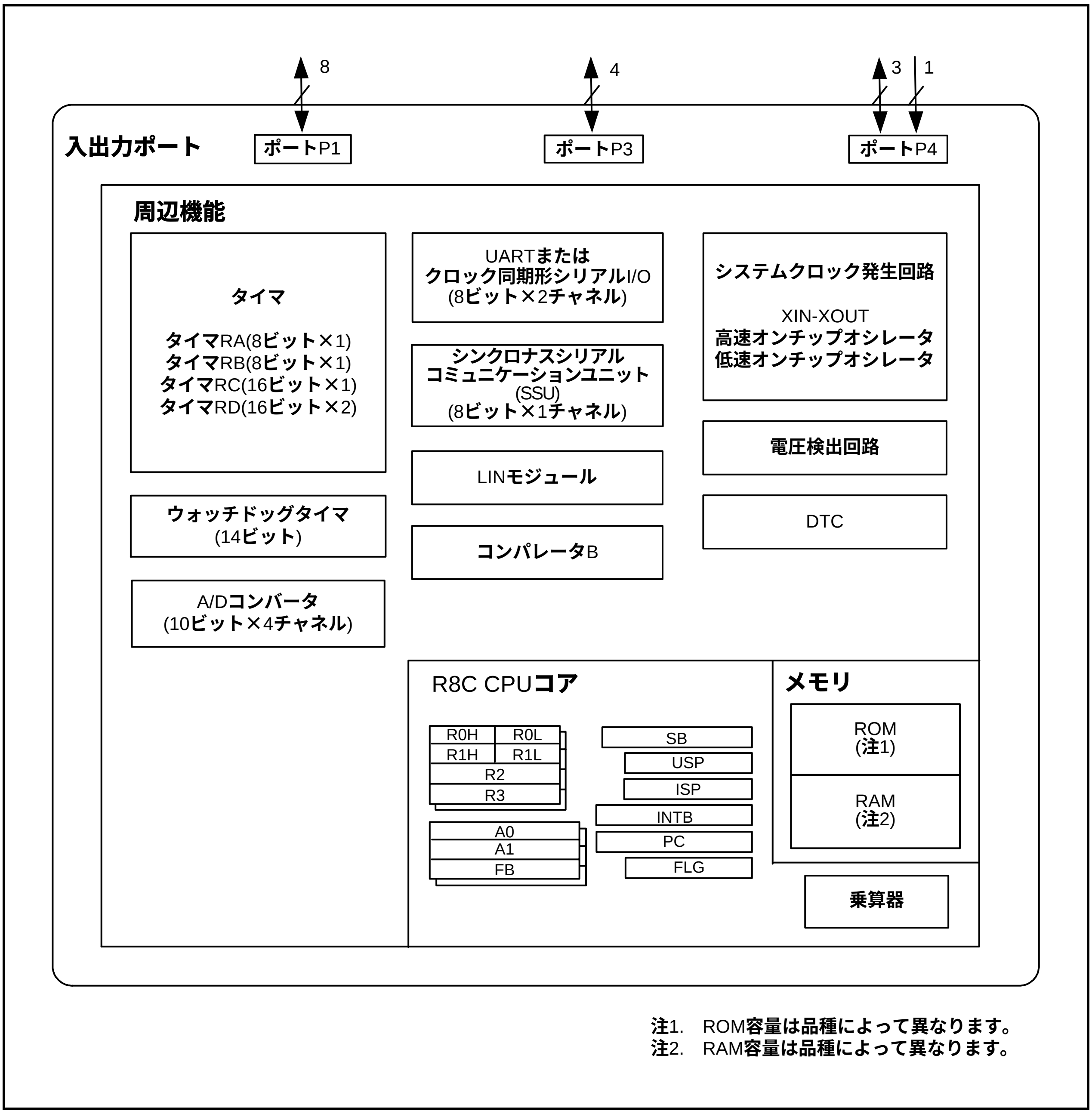
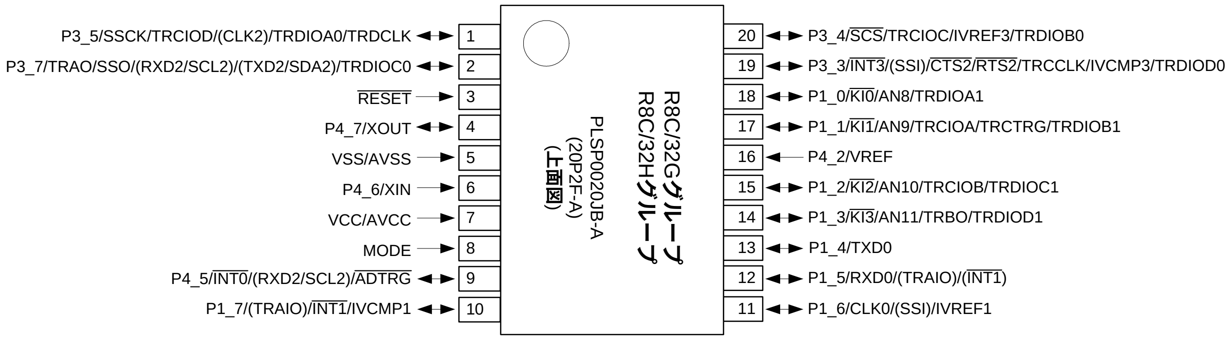


図1.3　ブロック図

1.4 ピン配置図

図1.4にピン配置図(上面図)、表 1.7にピン番号別端子名一覧を示します。



注1. プログラムで( )の端子に配置できます。
注2. パッケージの1ピンの位置は「外形寸法図」で確認してください。

図1.4 ピン配置図(上面図)

表 1.7　ピン番号別端子名一覧

ピン番号	制御端子	ポート	周辺機能の入出力端子				
			割り込み	タイマ	シリアルインタフェース	SSU	A/Dコンバータ、コンパレータB
1		P3_5		TRCIOD/TRDIOA0/TRDCLK	(CLK2)	SSCK	
2		P3_7		TRAO/TRDIOC0	(RXD2/SCL2/TXD2/SDA2)	SSO	
3	$\overline{\text{RESET}}$						
4	XOUT	P4_7					
5	VSS/AVSS						
6	XIN	P4_6					
7	VCC/AVCC						
8	MODE						
9		P4_5	$\overline{\text{INT0}}$		(RXD2/SCL2)		$\overline{\text{ADTRG}}$
10		P1_7	$\overline{\text{INT1}}$	(TRAIO)			IVCMP1
11		P1_6			CLK0	(SSI)	IVREF1
12		P1_5	($\overline{\text{INT1}}$)	(TRAIO)	RXD0		
13		P1_4			TXD0		
14		P1_3	$\overline{\text{KI3}}$	TRBO(/TRDIOD1)			AN11
15		P1_2	$\overline{\text{KI2}}$	(TRCIOB/TRDIOC1)			AN10
16		P4_2					VREF
17		P1_1	$\overline{\text{KI1}}$	TRCIOA/TRCTRG/TRDIOB1			AN9
18		P1_0	$\overline{\text{KI0}}$	TRDIOA1			AN8
19		P3_3	$\overline{\text{INT3}}$	TRCCLK/TRDIOD0	$\overline{\text{CTS2}}$/$\overline{\text{RTS2}}$	(SSI)	IVCMP3
20		P3_4		TRCIOC/TRDIOB0		$\overline{\text{SCS}}$	IVREF3

注1.　プログラムで( )の端子に配置できます。

1.5 端子機能の説明

表 1.8～表 1.9に端子機能の説明を示します。

表 1.8　端子機能の説明(1)

分類	端子名	入出力	機能
電源入力	VCC VSS	ー	VCCには、2.7V～5.5Vを入力してください。 VSSには、0Vを入力してください。
アナログ電源入力	AVCC、AVSS	ー	A/Dコンバータの電源入力です。AVCCとAVSS間にはコンデンサを接続してください。
リセット入力	$\overline{\text{RESET}}$	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
MODE	MODE	入力	抵抗を介してVCCに接続してください。
XINクロック入力	XIN	入力	XINクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶発振子を接続してください(注1)。外部で生成したクロックを入力する場合は、XOUTからクロックを入力し、XINは開放にしてください。
XINクロック出力	XOUT	入出力	
$\overline{\text{INT}}$割り込み入力	$\overline{\text{INT0}}$～$\overline{\text{INT1}}$、$\overline{\text{INT3}}$	入力	$\overline{\text{INT}}$割り込みの入力です。
キー入力割り込み入力	$\overline{\text{KI0}}$～$\overline{\text{KI3}}$	入力	キー入力割り込みの入力です。
タイマRA	TRAIO	入出力	タイマRAの入出力です。
	TRAO	出力	タイマRAの出力です。
タイマRB	TRBO	出力	タイマRBの出力です。
タイマRC	TRCCLK	入力	外部クロック入力です。
	TRCTRG	入力	外部トリガ入力です。
	TRCIOA、TRCIOB、TRCIOC、TRCIOD	入出力	タイマRCの入出力です。
タイマRD	TRDIOA0、TRDIOA1、TRDIOB0、TRDIOB1、TRDIOC0、TRDIOC1、TRDIOD0、TRDIOD1	入出力	タイマRDの入出力です。
	TRDCLK	入力	外部クロック入力です。
シリアルインタフェース	CLK0、CLK2	入出力	転送クロック入出力です。
	RXD0、RXD2	入力	シリアルデータ入力です。
	TXD0、TXD2	出力	シリアルデータ出力です。
	$\overline{\text{CTS2}}$	入力	送信制御用入力です。
	$\overline{\text{RTS2}}$	出力	受信制御用出力です。
	SCL2	入出力	I²Cモードのクロック入出力です。
	SDA2	入出力	I²Cモードのデータ入出力です。
シンクロナスシリアルコミュニケーションユニット(SSU)	SSI	入出力	データ入出力です。
	$\overline{\text{SCS}}$	入出力	チップセレクト入出力です。
	SSCK	入出力	クロック入出力です。
	SSO	入出力	データ入出力です。

注1.　発振特性は発振子メーカーに問い合わせてください。

表 1.9　端子機能の説明(2)

分類	端子名	入出力	機能
基準電圧入力	VREF	入力	A/Dコンバータの基準電圧入力です。
A/Dコンバータ	AN8〜AN11	入力	A/Dコンバータのアナログ入力です。
	$\overline{\mathrm{ADTRG}}$	入力	A/D外部トリガ入力です。
コンパレータB	IVCMP1、IVCMP3	入力	コンパレータBのアナログ電圧入力端子です。
	IVREF1、IVREF3	入力	コンパレータBのリファレンス電圧入力端子です。
入出力ポート	P1_0〜P1_7、P3_3〜P3_5、P3_7、P4_5〜P4_7	入出力	CMOSの入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。 入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。
入力ポート	P4_2	入力	入力専用ポートです。

2. 中央演算処理装置(CPU)

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

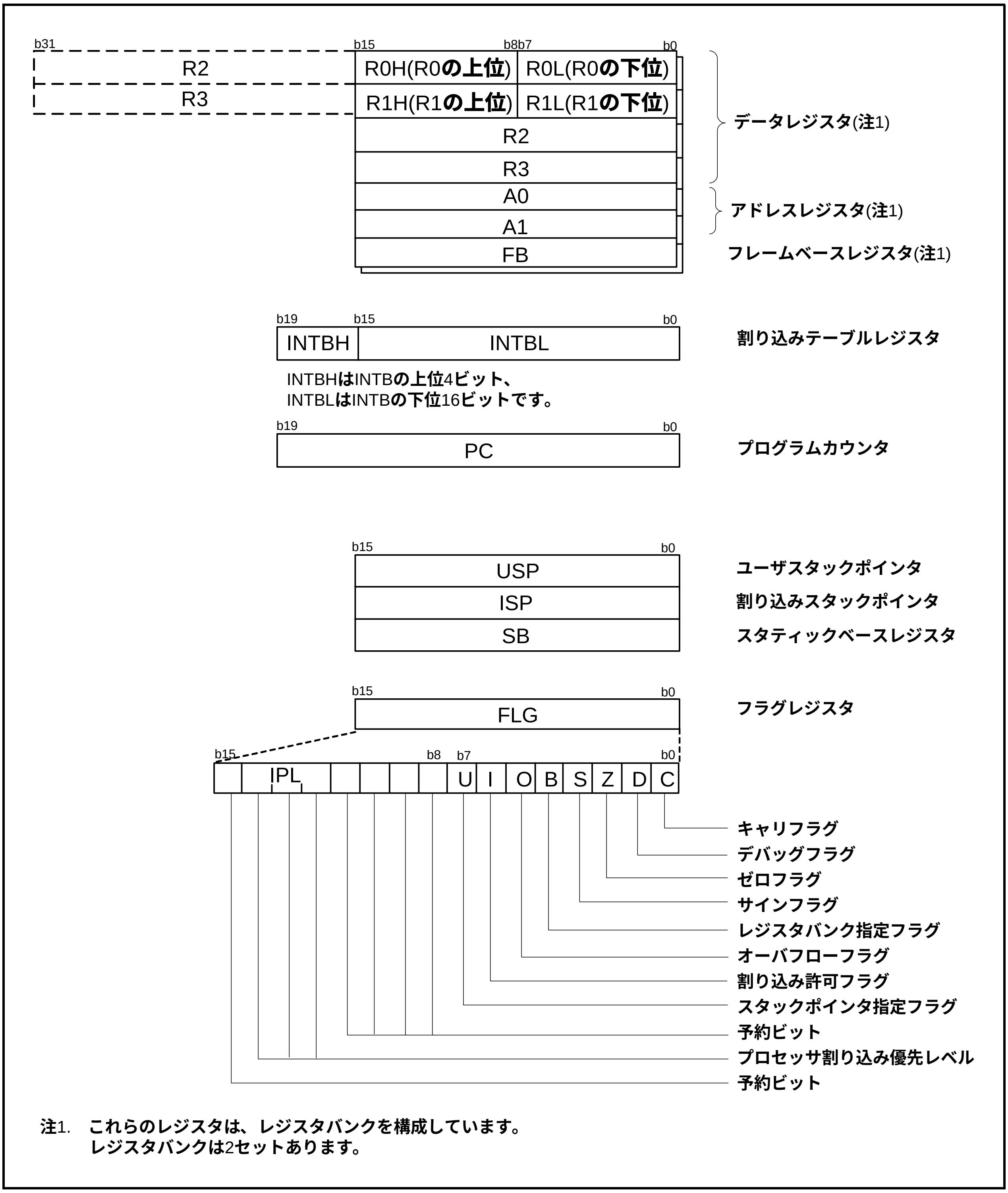


図 2.1　CPUのレジスタ

2.1 データレジスタ(R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ(A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ(FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ(INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ(PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ(SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ(FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリフラグ(Cフラグ)

算術論理ユニットで発生したキャリ、ボロー、シフトアウトしたビット等を保持します。

2.8.2 デバッグフラグ(Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.8.4 サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.8.5 レジスタバンク指定フラグ(Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6　オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

2.8.7　割り込み許可フラグ(Iフラグ)

マスカブル割り込みを許可するフラグです。Iフラグが“0”の場合、マスカブル割り込みは禁止され、“1”の場合、許可されます。割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8　スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

2.8.9　プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10　予約ビット

書く場合、“0”を書いてください。読んだ場合、その値は不定です。

3. メモリ

3.1 R8C/32Gグループ

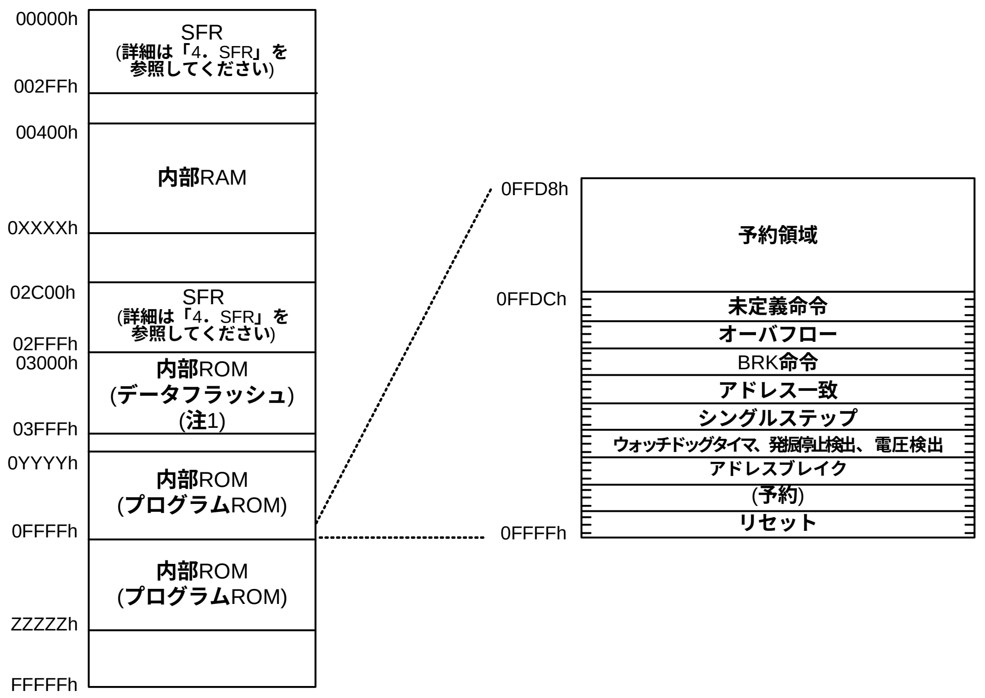
図3.1にR8C/32Gグループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFh番地までの1Mバイトあります。例えば32Kバイトの内部ROMは、08000h番地から0FFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM(データフラッシュ)は03000h番地から03FFFh番地に配置されます。

内部RAMは00400h番地から上位方向に配置されます。例えば2.5Kバイトの内部RAMは、00400h番地から00DFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは00000h番地から002FFh番地、02C00h番地から02FFFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。



注1. データフラッシュはブロックA(1Kバイト)、ブロックB(1Kバイト)、ブロックC(1Kバイト)、およびブロックD(1Kバイト)を示します。
注2. 空欄は予約領域です。アクセスしないでください。

型名	内部ROM			内部RAM	
	容量	0YYYYh番地	ZZZZZh番地	容量	0XXXXh番地
R5F21324GJSP、R5F21324GKSP	16Kバイト	0C000h	−	1.5Kバイト	009FFh
R5F21326GJSP、R5F21326GKSP	32Kバイト	08000h	−	2.5Kバイト	00DFFh

図3.1 R8C/32Gグループのメモリ配置図

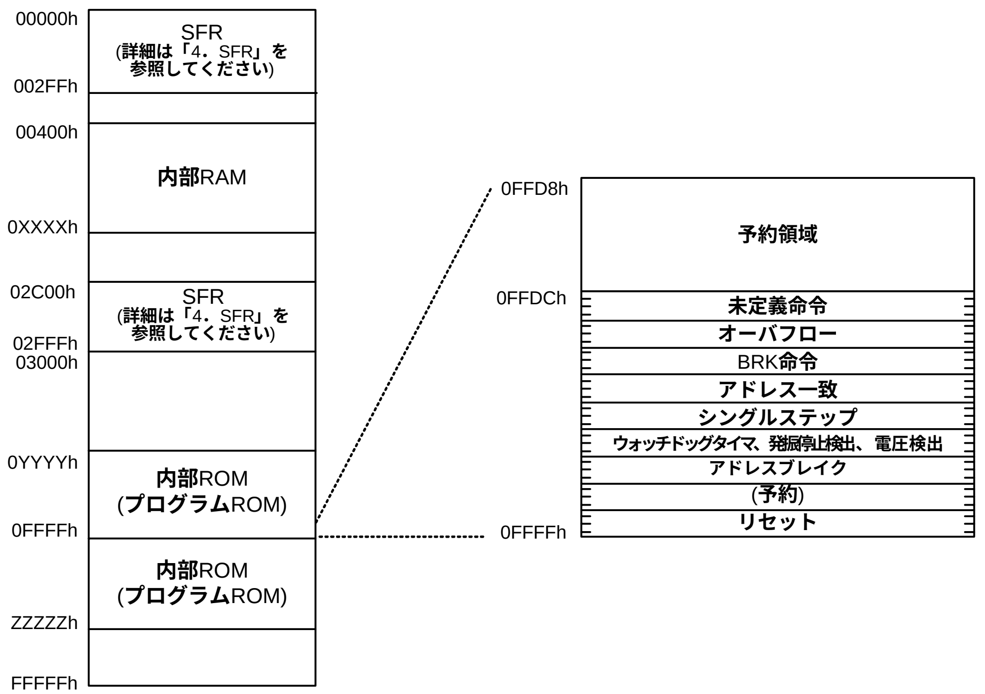
3.2 R8C/32Hグループ

図3.2にR8C/32Hグループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFh番地までの1Mバイトあります。内部ROM(プログラムROM)は0FFFFh番地から下位方向に配置されます。例えば32Kバイトの内部ROMは、08000h番地から0FFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部RAMは00400h番地から上位方向に配置されます。例えば2.5Kバイトの内部RAMは、00400h番地から00DFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは00000h番地から002FFh番地と、02C00h番地から02FFFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。



注1．空欄は予約領域です。アクセスしないでください。

型名	内部ROM			内部RAM	
	容量	0YYYYh番地	ZZZZZh番地	容量	0XXXXh番地
R5F21324HJSP、R5F21324HKSP	16Kバイト	0C000h	−	1.5Kバイト	009FFh
R5F21326HJSP、R5F21326HKSP	32Kバイト	08000h	−	2.5Kバイト	00DFFh

図3.2 R8C/32Hグループのメモリ配置図

4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。表4.1～表4.12にSFR一覧表を、表4.13にIDコード領域、オプション機能選択領域を示します。

表4.1 SFR一覧(1)(注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	00h
0005h	プロセッサモードレジスタ1	PM1	00h
0006h	システムクロック制御レジスタ0	CM0	00101000b
0007h	システムクロック制御レジスタ1	CM1	00100000b
0008h	モジュールスタンバイ制御レジスタ	MSTCR	00h
0009h	システムクロック制御レジスタ3	CM3	00h
000Ah	プロテクトレジスタ	PRCR	00h
000Bh	リセット要因判別レジスタ	RSTFR	0XXXXXXXb (注2)
000Ch	発振停止検出レジスタ	OCD	00000100b
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	XXh
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDTC	00111111b
0010h			
0011h			
0012h			
0013h			
0014h			
0015h	高速オンチップオシレータ制御レジスタ7	FRA7	出荷時の値
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	00h 10000000b (注3)
001Dh			
001Eh			
001Fh			
0020h			
0021h			
0022h			
0023h	高速オンチップオシレータ制御レジスタ0	FRA0	00h
0024h	高速オンチップオシレータ制御レジスタ1	FRA1	出荷時の値
0025h	高速オンチップオシレータ制御レジスタ2	FRA2	00h
0026h	チップ内蔵基準電圧制御レジスタ	OCVREFCR	00h
0027h			
0028h			
0029h	高速オンチップオシレータ制御レジスタ4	FRA4	出荷時の値
002Ah	高速オンチップオシレータ制御レジスタ5	FRA5	出荷時の値
002Bh	高速オンチップオシレータ制御レジスタ6	FRA6	出荷時の値
002Ch			
002Dh			
002Eh			
002Fh	高速オンチップオシレータ制御レジスタ3	FRA3	出荷時の値
0030h	電圧監視回路制御レジスタ	CMPA	00h
0031h	電圧監視回路エッジ選択レジスタ	VCAC	00h
0032h			
0033h	電圧検出レジスタ1	VCA1	00001000b
0034h	電圧検出レジスタ2	VCA2	00h (注4) 00100000b (注5)
0035h			
0036h	電圧検出1レベル選択レジスタ	VD1LS	00000111b
0037h			
0038h	電圧監視0回路制御レジスタ	VW0C	1100X010b (注4) 1100X011b (注5)
0039h	電圧監視1回路制御レジスタ	VW1C	10001010b

注1. 空欄は予約領域です。アクセスしないでください。
注2. RSTFRレジスタのCWRビットは電源投入後と、電圧監視0リセット後、“0”になります。ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。
注3. OFSレジスタのCSPROINIビットが“0”の場合。
注4. OFSレジスタのLVDASビットが“1”の場合。
注5. OFSレジスタのLVDASビットが“0”の場合。
X：不定です。

表4.2　SFR一覧(2)(注1)

番地	レジスタ	シンボル	リセット後の値
003Ah	電圧監視2回路制御レジスタ	VW2C	10000010b
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			
0040h			
0041h	フラッシュメモリレディ割り込み制御レジスタ	FMRDYIC	XXXXX000b
0042h			
0043h			
0044h			
0045h			
0046h			
0047h	タイマRC割り込み制御レジスタ	TRCIC	XXXXX000b
0048h	タイマRD0割り込み制御レジスタ	TRD0IC	XXXXX000b
0049h	タイマRD1割り込み制御レジスタ	TRD1IC	XXXXX000b
004Ah			
004Bh	UART2送信割り込み制御レジスタ	S2TIC	XXXXX000b
004Ch	UART2受信割り込み制御レジスタ	S2RIC	XXXXX000b
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXXX000b
004Eh	A/D変換割り込み制御レジスタ	ADIC	XXXXX000b
004Fh	SSU割り込み制御レジスタ	SSUIC	XXXXX000b
0050h			
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXXX000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXXX000b
0053h			
0054h			
0055h			
0056h	タイマRA割り込み制御レジスタ	TRAIC	XXXXX000b
0057h			
0058h	タイマRB割り込み制御レジスタ	TRBIC	XXXXX000b
0059h	INT1割り込み制御レジスタ	INT1IC	XX00X000b
005Ah	INT3割り込み制御レジスタ	INT3IC	XX00X000b
005Bh			
005Ch			
005Dh	INT0割り込み制御レジスタ	INT0IC	XX00X000b
005Eh	UART2バス衝突検出割り込み制御レジスタ	U2BCNIC	XXXXX000b
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h	電圧監視1割り込み制御レジスタ	VCMP1IC	XXXXX000b
0073h	電圧監視2割り込み制御レジスタ	VCMP2IC	XXXXX000b
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

注1. 空欄は予約領域です。アクセスしないでください。

X：不定です。

表4.3　SFR一覧(3)(注1)

番地	レジスタ	シンボル	リセット後の値
0080h	DTC起動制御レジスタ	DTCTL	00h
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h	DTC起動許可レジスタ0	DTCEN0	00h
0089h	DTC起動許可レジスタ1	DTCEN1	00h
008Ah	DTC起動許可レジスタ2	DTCEN2	00h
008Bh	DTC起動許可レジスタ3	DTCEN3	00h
008Ch	DTC起動許可レジスタ4	DTCEN4	00h
008Dh			
008Eh	DTC起動許可レジスタ6	DTCEN6	00h
008Fh			
0090h			
0091h			
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah			
009Bh			
009Ch			
009Dh			
009Eh			
009Fh			
00A0h	UART0送受信モードレジスタ	U0MR	00h
00A1h	UART0ビットレートレジスタ	U0BRG	XXh
00A2h	UART0送信バッファレジスタ	U0TB	XXh
00A3h			XXh
00A4h	UART0送受信制御レジスタ0	U0C0	00001000b
00A5h	UART0送受信制御レジスタ1	U0C1	00000010b
00A6h	UART0受信バッファレジスタ	U0RB	XXh
00A7h			XXh
00A8h	UART2送受信モードレジスタ	U2MR	00h
00A9h	UART2ビットレートレジスタ	U2BRG	XXh
00AAh	UART2送信バッファレジスタ	U2TB	XXh
00ABh			XXh
00ACh	UART2送受信制御レジスタ0	U2C0	00001000b
00ADh	UART2送受信制御レジスタ1	U2C1	00000010b
00AEh	UART2受信バッファレジスタ	U2RB	XXh
00AFh			XXh
00B0h	UART2デジタルフィルタ機能選択レジスタ	URXDF	00h
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h			
00B9h			
00BAh			
00BBh	UART2特殊モードレジスタ5	U2SMR5	00h
00BCh	UART2特殊モードレジスタ4	U2SMR4	00h
00BDh	UART2特殊モードレジスタ3	U2SMR3	000X0X0Xb
00BEh	UART2特殊モードレジスタ2	U2SMR2	X0000000b
00BFh	UART2特殊モードレジスタ	U2SMR	X0000000b

注1. 空欄は予約領域です。アクセスしないでください。

X：不定です。

表4.4　SFR一覧(4)(注1)

番地	レジスタ	シンボル	リセット後の値
00C0h	A/D レジスタ 0	AD0	XXh
00C1h			000000XXb
00C2h	A/D レジスタ 1	AD1	XXh
00C3h			000000XXb
00C4h	A/D レジスタ 2	AD2	XXh
00C5h			000000XXb
00C6h	A/D レジスタ 3	AD3	XXh
00C7h			000000XXb
00C8h	A/D レジスタ 4	AD4	XXh
00C9h			000000XXb
00CAh	A/D レジスタ 5	AD5	XXh
00CBh			000000XXb
00CCh	A/D レジスタ 6	AD6	XXh
00CDh			000000XXb
00CEh	A/D レジスタ 7	AD7	XXh
00CFh			000000XXb
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/D モードレジスタ	ADMOD	00h
00D5h	A/D 入力選択レジスタ	ADINSEL	11000000b
00D6h	A/D 制御レジスタ 0	ADCON0	00h
00D7h	A/D 制御レジスタ 1	ADCON1	00h
00D8h			
00D9h			
00DAh			
00DBh			
00DCh			
00DDh			
00DEh			
00DFh			
00E0h			
00E1h	ポート P1 レジスタ	P1	XXh
00E2h			
00E3h	ポート P1 方向レジスタ	PD1	00h
00E4h			
00E5h	ポート P3 レジスタ	P3	XXh
00E6h			
00E7h	ポート P3 方向レジスタ	PD3	00h
00E8h	ポート P4 レジスタ	P4	XXh
00E9h			
00EAh	ポート P4 方向レジスタ	PD4	00h
00EBh			
00ECh			
00EDh			
00EEh			
00EFh			
00F0h			
00F1h			
00F2h			
00F3h			
00F4h			
00F5h			
00F6h			
00F7h			
00F8h			
00F9h			
00FAh			
00FBh			
00FCh			
00FDh			
00FEh			
00FFh			

注1. 空欄は予約領域です。アクセスしないでください。

X：不定です。

表4.5　SFR一覧(5)(注1)

番地	レジスタ	シンボル	リセット後の値
0100h	タイマRA制御レジスタ	TRACR	00h
0101h	タイマRA I/O制御レジスタ	TRAIOC	00h
0102h	タイマRAモードレジスタ	TRAMR	00h
0103h	タイマRAプリスケーラレジスタ	TRAPRE	FFh
0104h	タイマRAレジスタ	TRA	FFh
0105h	LINコントロールレジスタ2	LINCR2	00h
0106h	LINコントロールレジスタ	LINCR	00h
0107h	LINステータスレジスタ	LINST	00h
0108h	タイマRB制御レジスタ	TRBCR	00h
0109h	タイマRBワンショット制御レジスタ	TRBOCR	00h
010Ah	タイマRB I/O制御レジスタ	TRBIOC	00h
010Bh	タイマRBモードレジスタ	TRBMR	00h
010Ch	タイマRBプリスケーラレジスタ	TRBPRE	FFh
010Dh	タイマRBセカンダリレジスタ	TRBSC	FFh
010Eh	タイマRBプライマリレジスタ	TRBPR	FFh
010Fh			
0110h			
0111h			
0112h			
0113h			
0114h			
0115h			
0116h			
0117h			
0118h			
0119h			
011Ah			
011Bh			
011Ch			
011Dh			
011Eh			
011Fh			
0120h	タイマRCモードレジスタ	TRCMR	01001000b
0121h	タイマRC制御レジスタ1	TRCCR1	00h
0122h	タイマRC割り込み許可レジスタ	TRCIER	01110000b
0123h	タイマRCステータスレジスタ	TRCSR	01110000b
0124h	タイマRC I/O制御レジスタ0	TRCIOR0	10001000b
0125h	タイマRC I/O制御レジスタ1	TRCIOR1	10001000b
0126h 0127h	タイマRCカウンタ	TRC	00h 00h
0128h 0129h	タイマRCジェネラルレジスタA	TRCGRA	FFh FFh
012Ah 012Bh	タイマRCジェネラルレジスタB	TRCGRB	FFh FFh
012Ch 012Dh	タイマRCジェネラルレジスタC	TRCGRC	FFh FFh
012Eh 012Fh	タイマRCジェネラルレジスタD	TRCGRD	FFh FFh
0130h	タイマRC制御レジスタ2	TRCCR2	00011000b
0131h	タイマRCデジタルフィルタ機能選択レジスタ	TRCDF	00h
0132h	タイマRCアウトプットマスタ許可レジスタ	TRCOER	01111111b
0133h	タイマRCトリガ制御レジスタ	TRCADCR	00h
0134h			
0135h			
0136h	タイマRDトリガ制御レジスタ	TRDADCR	00h
0137h	タイマRDスタートレジスタ	TRDSTR	11111100b
0138h	タイマRDモードレジスタ	TRDMR	00001110b
0139h	タイマRD PWMモードレジスタ	TRDPMR	10001000b
013Ah	タイマRD機能制御レジスタ	TRDFCR	10000000b
013Bh	タイマRDアウトプットマスタ許可レジスタ1	TRDOER1	FFh
013Ch	タイマRDアウトプットマスタ許可レジスタ2	TRDOER2	01111111b
013Dh	タイマRDアウトプット制御レジスタ	TRDOCR	00h
013Eh	タイマRDデジタルフィルタ機能選択レジスタ0	TRDDF0	00h
013Fh	タイマRDデジタルフィルタ機能選択レジスタ1	TRDDF1	00h

注1. 空欄は予約領域です。アクセスしないでください。

表4.6 SFR一覧(6)(注1)

番地	レジスタ	シンボル	リセット後の値
0140h	タイマRD制御レジスタ0	TRDCR0	00h
0141h	タイマRD I/O制御レジスタA0	TRDIORA0	10001000b
0142h	タイマRD I/O制御レジスタC0	TRDIORC0	10001000b
0143h	タイマRDステータスレジスタ0	TRDSR0	11100000b
0144h	タイマRD割り込み許可レジスタ0	TRDIER0	11100000b
0145h	タイマRD PWMモードアウトプットレベル制御レジスタ0	TRDPOCR0	11111000b
0146h	タイマRDカウンタ0	TRD0	00h
0147h			00h
0148h	タイマRDジェネラルレジスタA0	TRDGRA0	FFh
0149h			FFh
014Ah	タイマRDジェネラルレジスタB0	TRDGRB0	FFh
014Bh			FFh
014Ch	タイマRDジェネラルレジスタC0	TRDGRC0	FFh
014Dh			FFh
014Eh	タイマRDジェネラルレジスタD0	TRDGRD0	FFh
014Fh			FFh
0150h	タイマRD制御レジスタ1	TRDCR1	00h
0151h	タイマRD I/O制御レジスタA1	TRDIORA1	10001000b
0152h	タイマRD I/O制御レジスタC1	TRDIORC1	10001000b
0153h	タイマRDステータスレジスタ1	TRDSR1	11000000b
0154h	タイマRD割り込み許可レジスタ1	TRDIER1	11100000b
0155h	タイマRD PWMモードアウトプットレベル制御レジスタ1	TRDPOCR1	11111000b
0156h	タイマRDカウンタ1	TRD1	00h
0157h			00h
0158h	タイマRDジェネラルレジスタA1	TRDGRA1	FFh
0159h			FFh
015Ah	タイマRDジェネラルレジスタB1	TRDGRB1	FFh
015Bh			FFh
015Ch	タイマRDジェネラルレジスタC1	TRDGRC1	FFh
015Dh			FFh
015Eh	タイマRDジェネラルレジスタD1	TRDGRD1	FFh
015Fh			FFh
0160h			
0161h			
0162h			
0163h			
0164h			
0165h			
0166h			
0167h			
0168h			
0169h			
016Ah			
016Bh			
016Ch			
016Dh			
016Eh			
016Fh			
0170h			
0171h			
0172h			
0173h			
0174h			
0175h			
0176h			
0177h			
0178h			
0179h			
017Ah			
017Bh			
017Ch			
017Dh			
017Eh			
017Fh			

注1. 空欄は予約領域です。アクセスしないでください。

X：不定です。

表4.7　SFR一覧(7)(注1)

番地	レジスタ	シンボル	リセット後の値
0180h	タイマ RA 端子選択レジスタ	TRASR	00h
0181h	タイマ RB/RC 端子選択レジスタ	TRBRCSR	00h
0182h	タイマ RC 端子選択レジスタ 0	TRCPSR0	00h
0183h	タイマ RC 端子選択レジスタ 1	TRCPSR1	00h
0184h	タイマ RD 端子選択レジスタ 0	TRDPSR0	00h
0185h	タイマ RD 端子選択レジスタ 1	TRDPSR1	00h
0186h			
0187h			
0188h	UART0 端子選択レジスタ	U0SR	00h
0189h			
018Ah	UART2 端子選択レジスタ 0	U2SR0	00h
018Bh	UART2 端子選択レジスタ 1	U2SR1	00h
018Ch	SSU 端子選択レジスタ	SSUIICSR	00h
018Dh			
018Eh	INT 割り込み入力端子選択レジスタ	INTSR	00h
018Fh	入出力機能端子選択レジスタ	PINSR	00h
0190h			
0191h			
0192h			
0193h	SS ビットカウンタレジスタ	SSBR	11111000b
0194h	SS送信データレジスタL	SSTDR	FFh
0195h	SS送信データレジスタH	SSTDRH	FFh
0196h	SS受信データレジスタL	SSRDR	FFh
0197h	SS受信データレジスタH	SSRDRH	FFh
0198h	SS制御レジスタH	SSCRH	00h
0199h	SS制御レジスタL	SSCRL	01111101b
019Ah	SSモードレジスタ	SSMR	00010000b
019Bh	SS許可レジスタ	SSER	00h
019Ch	SSステータスレジスタ	SSSR	00h
019Dh	SSモードレジスタ2	SSMR2	00h
019Eh			
019Fh			
01A0h			
01A1h			
01A2h			
01A3h			
01A4h			
01A5h			
01A6h			
01A7h			
01A8h			
01A9h			
01AAh			
01ABh			
01ACh			
01ADh			
01AEh			
01AFh			
01B0h			
01B1h			
01B2h	フラッシュメモリステータスレジスタ	FST	10000X00b
01B3h			
01B4h	フラッシュメモリ制御レジスタ 0	FMR0	00h
01B5h	フラッシュメモリ制御レジスタ 1	FMR1	00h
01B6h	フラッシュメモリ制御レジスタ 2	FMR2	00h
01B7h			
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			

注1. 空欄は予約領域です。アクセスしないでください。

X：不定です。

表4.8　　SFR一覧(8)(注1)

番地	レジスタ	シンボル	リセット後の値
01C0h	アドレス一致割り込みレジスタ0	RMAD0	XXh
01C1h			XXh
01C2h			0000XXXXb
01C3h	アドレス一致割り込み許可レジスタ0	AIER0	00h
01C4h	アドレス一致割り込みレジスタ1	RMAD1	XXh
01C5h			XXh
01C6h			0000XXXXb
01C7h	アドレス一致割り込み許可レジスタ1	AIER1	00h
01C8h			
01C9h			
01CAh			
01CBh			
01CCh			
01CDh			
01CEh			
01CFh			
01D0h			
01D1h			
01D2h			
01D3h			
01D4h			
01D5h			
01D6h			
01D7h			
01D8h			
01D9h			
01DAh			
01DBh			
01DCh			
01DDh			
01DEh			
01DFh			
01E0h	プルアップ制御レジスタ0	PUR0	00h
01E1h	プルアップ制御レジスタ1	PUR1	00h
01E2h			
01E3h			
01E4h			
01E5h			
01E6h			
01E7h			
01E8h			
01E9h			
01EAh			
01EBh			
01ECh			
01EDh			
01EEh			
01EFh			
01F0h			
01F1h			
01F2h			
01F3h			
01F4h			
01F5h	入力しきい値制御レジスタ0	VLT0	00h
01F6h	入力しきい値制御レジスタ1	VLT1	00h
01F7h			
01F8h	コンパレータB制御レジスタ0	INTCMP	00h
01F9h			
01FAh	外部入力許可レジスタ0	INTEN	00h
01FBh			
01FCh	INT入力フィルタ選択レジスタ0	INTF	00h
01FDh			
01FEh	キー入力許可レジスタ0	KIEN	00h
01FFh			

注1. 空欄は予約領域です。アクセスしないでください。

X：不定です。

表4.9　SFR一覧(9)(注1)

番地	レジスタ	シンボル	リセット後の値
2C00h	DTC 転送ベクタ領域		XXh
2C01h	DTC 転送ベクタ領域		XXh
2C02h			XXh
2C03h	DTC 転送ベクタ領域		XXh
2C04h			XXh
2C05h			XXh
2C06h			XXh
2C07h			XXh
2C08h	DTC 転送ベクタ領域		XXh
2C09h	DTC 転送ベクタ領域		XXh
2C0Ah	DTC 転送ベクタ領域		XXh
2C0Bh	DTC 転送ベクタ領域		XXh
2C0Ch			XXh
2C0Dh			XXh
2C0Eh	DTC 転送ベクタ領域		XXh
2C0Fh	DTC 転送ベクタ領域		XXh
2C10h	DTC 転送ベクタ領域		XXh
2C11h	DTC 転送ベクタ領域		XXh
2C12h	DTC 転送ベクタ領域		XXh
2C13h	DTC 転送ベクタ領域		XXh
2C14h			XXh
2C15h			XXh
2C16h	DTC 転送ベクタ領域		XXh
2C17h	DTC 転送ベクタ領域		XXh
2C18h	DTC 転送ベクタ領域		XXh
2C19h	DTC 転送ベクタ領域		XXh
2C1Ah	DTC 転送ベクタ領域		XXh
2C1Bh	DTC 転送ベクタ領域		XXh
2C1Ch	DTC 転送ベクタ領域		XXh
2C1Dh	DTC 転送ベクタ領域		XXh
2C1Eh	DTC 転送ベクタ領域		XXh
2C1Fh	DTC 転送ベクタ領域		XXh
2C20h	DTC 転送ベクタ領域		XXh
2C21h	DTC 転送ベクタ領域		XXh
2C22h			
：			
2C30h			
2C31h	DTC 転送ベクタ領域		XXh
2C32h			XXh
2C33h	DTC 転送ベクタ領域		XXh
2C34h	DTC 転送ベクタ領域		XXh
2C35h			XXh
2C36h			XXh
2C37h			XXh
2C38h			XXh
2C3Ah			XXh
2C3Bh			XXh
2C3Ch			XXh
2C3Dh			XXh
2C3Eh			XXh
2C3Fh			XXh
2C40h	DTC コントロールデータ 0	DTCD0	XXh
2C41h			XXh
2C42h			XXh
2C43h			XXh
2C44h			XXh
2C45h			XXh
2C46h			XXh
2C47h			XXh
2C48h	DTC コントロールデータ 1	DTCD1	XXh
2C49h			XXh
2C4Ah			XXh
2C4Bh			XXh
2C4Ch			XXh
2C4Dh			XXh
2C4Eh			XXh
2C4Fh			XXh

注1. 空欄は予約領域です。アクセスしないでください。

X：不定です。

表4.10　SFR一覧(10)(注1)

番地	レジスタ	シンボル	リセット後の値
2C50h	DTCコントロールデータ2	DTCD2	XXh
2C51h			XXh
2C52h			XXh
2C53h			XXh
2C54h			XXh
2C55h			XXh
2C56h			XXh
2C57h			XXh
2C58h	DTCコントロールデータ3	DTCD3	XXh
2C59h			XXh
2C5Ah			XXh
2C5Bh			XXh
2C5Ch			XXh
2C5Dh			XXh
2C5Eh			XXh
2C5Fh			XXh
2C60h	DTCコントロールデータ4	DTCD4	XXh
2C61h			XXh
2C62h			XXh
2C63h			XXh
2C64h			XXh
2C65h			XXh
2C66h			XXh
2C67h			XXh
2C68h	DTCコントロールデータ5	DTCD5	XXh
2C69h			XXh
2C6Ah			XXh
2C6Bh			XXh
2C6Ch			XXh
2C6Dh			XXh
2C6Eh			XXh
2C6Fh			XXh
2C70h	DTCコントロールデータ6	DTCD6	XXh
2C71h			XXh
2C72h			XXh
2C73h			XXh
2C74h			XXh
2C75h			XXh
2C76h			XXh
2C77h			XXh
2C78h	DTCコントロールデータ7	DTCD7	XXh
2C79h			XXh
2C7Ah			XXh
2C7Bh			XXh
2C7Ch			XXh
2C7Dh			XXh
2C7Eh			XXh
2C7Fh			XXh
2C80h	DTCコントロールデータ8	DTCD8	XXh
2C81h			XXh
2C82h			XXh
2C83h			XXh
2C84h			XXh
2C85h			XXh
2C86h			XXh
2C87h			XXh
2C88h	DTCコントロールデータ9	DTCD9	XXh
2C89h			XXh
2C8Ah			XXh
2C8Bh			XXh
2C8Ch			XXh
2C8Dh			XXh
2C8Eh			XXh
2C8Fh			XXh
2C90h	DTCコントロールデータ10	DTCD10	XXh
2C91h			XXh
2C92h			XXh
2C93h			XXh
2C94h			XXh
2C95h			XXh
2C96h			XXh
2C97h			XXh

注1. 空欄は予約領域です。アクセスしないでください。

X：不定です。

表4.11　SFR一覧(11)(注1)

番地	レジスタ	シンボル	リセット後の値
2C98h	DTCコントロールデータ11	DTCD11	XXh
2C99h			XXh
2C9Ah			XXh
2C9Bh			XXh
2C9Ch			XXh
2C9Dh			XXh
2C9Eh			XXh
2C9Fh			XXh
2CA0h	DTCコントロールデータ12	DTCD12	XXh
2CA1h			XXh
2CA2h			XXh
2CA3h			XXh
2CA4h			XXh
2CA5h			XXh
2CA6h			XXh
2CA7h			XXh
2CA8h	DTCコントロールデータ13	DTCD13	XXh
2CA9h			XXh
2CAAh			XXh
2CABh			XXh
2CACh			XXh
2CADh			XXh
2CAEh			XXh
2CAFh			XXh
2CB0h	DTCコントロールデータ14	DTCD14	XXh
2CB1h			XXh
2CB2h			XXh
2CB3h			XXh
2CB4h			XXh
2CB5h			XXh
2CB6h			XXh
2CB7h			XXh
2CB8h	DTCコントロールデータ15	DTCD15	XXh
2CB9h			XXh
2CBAh			XXh
2CBBh			XXh
2CBCh			XXh
2CBDh			XXh
2CBEh			XXh
2CBFh			XXh
2CC0h	DTCコントロールデータ16	DTCD16	XXh
2CC1h			XXh
2CC2h			XXh
2CC3h			XXh
2CC4h			XXh
2CC5h			XXh
2CC6h			XXh
2CC7h			XXh
2CC8h	DTCコントロールデータ17	DTCD17	XXh
2CC9h			XXh
2CCAh			XXh
2CCBh			XXh
2CCCh			XXh
2CCDh			XXh
2CCEh			XXh
2CCFh			XXh
2CD0h	DTCコントロールデータ18	DTCD18	XXh
2CD1h			XXh
2CD2h			XXh
2CD3h			XXh
2CD4h			XXh
2CD5h			XXh
2CD6h			XXh
2CD7h			XXh
2CD8h	DTCコントロールデータ19	DTCD19	XXh
2CD9h			XXh
2CDAh			XXh
2CDBh			XXh
2CDCh			XXh
2CDDh			XXh
2CDEh			XXh
2CDFh			XXh

注1. 空欄は予約領域です。アクセスしないでください。

X：不定です。

表4.12　SFR一覧(12)(注1)

番地	レジスタ	シンボル	リセット後の値
2CE0h	DTCコントロールデータ20	DTCD20	XXh
2CE1h			XXh
2CE2h			XXh
2CE3h			XXh
2CE4h			XXh
2CE5h			XXh
2CE6h			XXh
2CE7h			XXh
2CE8h	DTCコントロールデータ21	DTCD21	XXh
2CE9h			XXh
2CEAh			XXh
2CEBh			XXh
2CECh			XXh
2CEDh			XXh
2CEEh			XXh
2CEFh			XXh
2CF0h	DTCコントロールデータ22	DTCD22	XXh
2CF1h			XXh
2CF2h			XXh
2CF3h			XXh
2CF4h			XXh
2CF5h			XXh
2CF6h			XXh
2CF7h			XXh
2CF8h	DTCコントロールデータ23	DTCD23	XXh
2CF9h			XXh
2CFAh			XXh
2CFBh			XXh
2CFCh			XXh
2CFDh			XXh
2CFEh			XXh
2CFFh			XXh
2D00h			
:			
2FFFh			

注1. 空欄は予約領域です。アクセスしないでください。

X：不定です。

表4.13　IDコード領域、オプション機能選択領域

番地	領域名	シンボル	リセット後の値
:			
FFDBh	オプション機能選択レジスタ2	OFS2	(注1)
:			
FFDFh	ID1		(注2)
:			
FFE3h	ID2		(注2)
:			
FFEBh	ID3		(注2)
:			
FFEFh	ID4		(注2)
:			
FFF3h	ID5		(注2)
:			
FFF7h	ID6		(注2)
:			
FFFBh	ID7		(注2)
:			
FFFFh	オプション機能選択レジスタ	OFS	(注1)

注1. オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。
オプション機能選択領域に追加書き込みをしないでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域は“FFh”になります。
ブランク出荷品の出荷時、オプション機能選択領域は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。
書き込み出荷品の出荷時、オプション機能選択領域の値は、ユーザがプログラムで設定した値です。

注2. IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。
IDコード領域に追加書き込みをしないでください。IDコード領域を含むブロックを消去すると、IDコード領域は“FFh”になります。
ブランク出荷品の出荷時、IDコード領域は“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。
書き込み出荷品の出荷時、IDコード領域の値は、ユーザがプログラムで設定した値です。

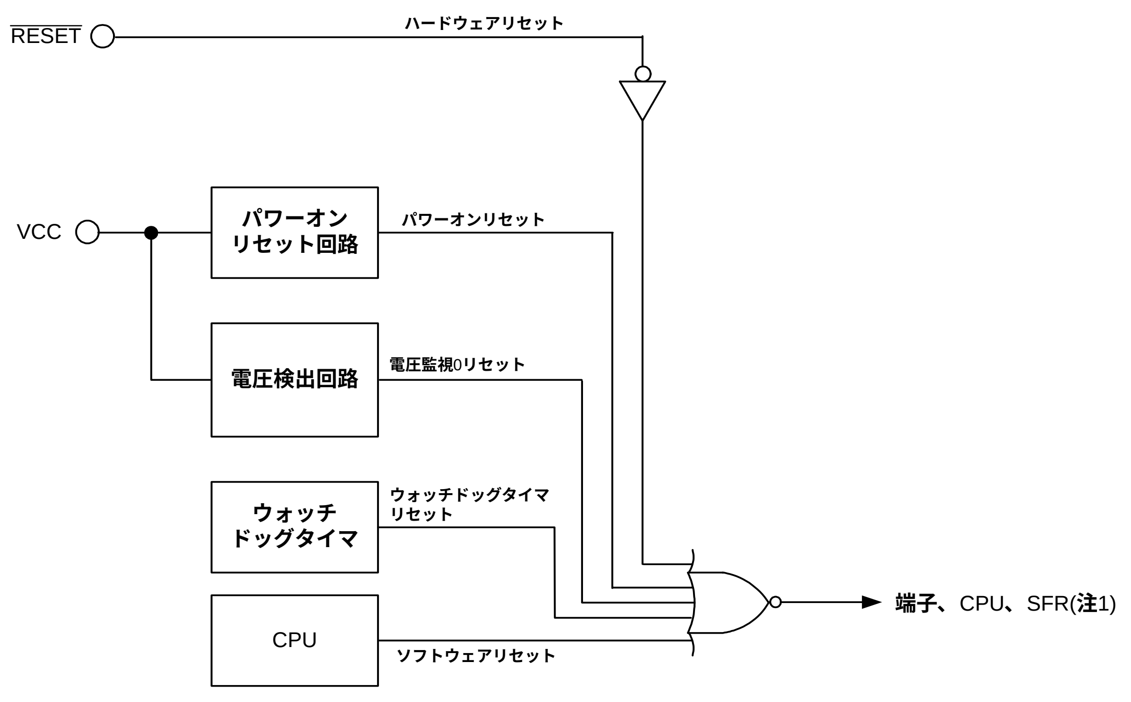
5. リセット

リセットにはハードウェアリセット、パワーオンリセット、電圧監視0リセット、ウォッチドッグタイマリセットおよびソフトウェアリセットがあります。

表5.1にリセットの名称と要因を、図5.1にリセット回路のブロック図を示します。

表 5.1　リセットの名称と要因

リセットの名称	要因
ハードウェアリセット	$\overline{\text{RESET}}$端子の入力電圧が"L"
パワーオンリセット	VCCの上昇
電圧監視0リセット	VCCの下降(監視電圧：Vdet0)
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダフロー
ソフトウェアリセット	PM0レジスタのPM03ビットに"1"を書く



注1. RSTFRレジスタのCWRビットは、電源投入後と、電圧監視0 リセット後、"0"(コールドスタート) になります。ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

図 5.1　リセット回路のブロック図

表5.2にRESET端子のレベルが“L”の期間の端子の状態を、図5.2にリセット後のCPUレジスタの状態を、図5.3にリセットシーケンスを示します。

表5.2　RESET端子のレベルが“L”の期間の端子の状態

端子名	端子の状態
P1、P3_3～P3_5、P3_7	入力ポート
P4_2、P4_5～P4_7	

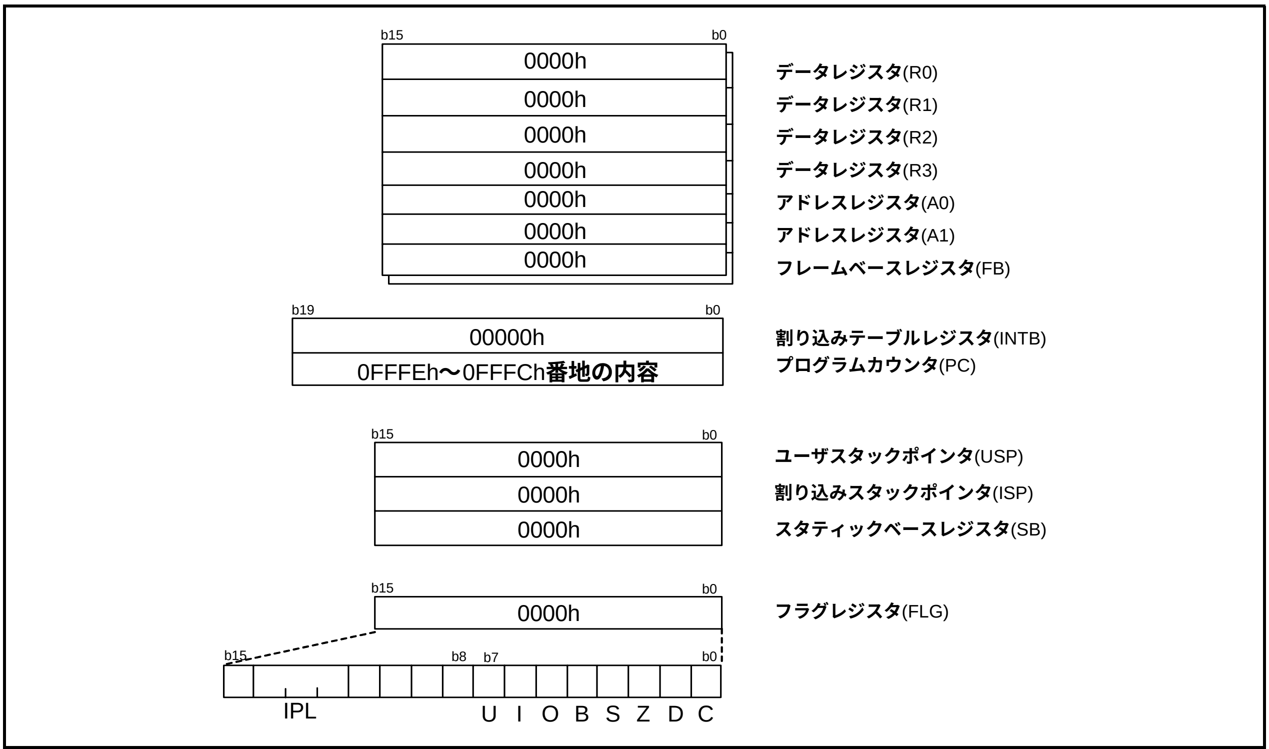
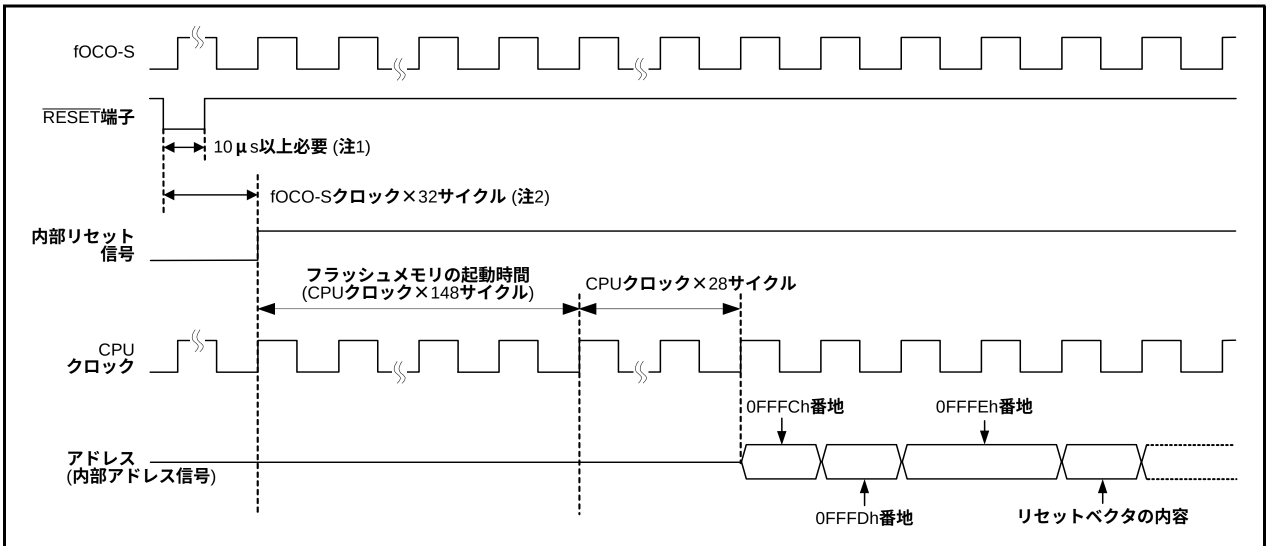


図5.2　リセット後のCPUレジスタの状態



注1.　ハードウェアリセットの場合。
注2.　RESET端子への“L”入力幅がfOCO-Sクロック×32サイクル以上の場合には、RESET端子が“H”になると同時に内部リセット信号も“H”になります。

図5.3　リセットシーケンス

5.1 レジスタの説明

5.1.1 プロセッサモードレジスタ0 (PM0)

アドレス 0004h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	−	−	−	−	PM03	−	−	−
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	−	予約ビット	“0”にしてください	R/W
b1	−			
b2	−			
b3	PM03	ソフトウェアリセットビット	このビットを“1”にするとマイクロコンピュータはリセットされる。読んだ場合、その値は“0”。	R/W
b4	−	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		−
b5	−			
b6	−			
b7	−			

PM0レジスタは、PRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

5.1.2 リセット要因判別レジスタ (RSTFR)

アドレス 000Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	−	−	−	−	WDR	SWR	HWR	CWR	
リセット後の値	0	X	X	X	X	X	X	X	(注1)

ビット	シンボル	ビット名	機能	R/W
b0	CWR	コールドスタート／ウォームスタート判定フラグ(注2、3)	0：コールドスタート 1：ウォームスタート	R/W
b1	HWR	ハードウェアリセット検出フラグ	0：未検出 1：検出	R
b2	SWR	ソフトウェアリセット検出フラグ	0：未検出 1：検出	R
b3	WDR	ウォッチドッグタイマリセット検出フラグ	0：未検出 1：検出	R
b4	−	予約ビット	読んだ場合、その値は不定。	R
b5	−			
b6	−			
b7	−	予約ビット	“0”にしてください	R/W

注1. CWRビットは電源投入後と、電圧監視0リセット後、“0”(コールドスタート)になります。ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。
注2. CWRビットはプログラムで“1”を書くと“1”になります(“0”を書いても変化しません)。
注3. VW0CレジスタのVW0C0ビットが“0”(電圧監視0リセット禁止)のとき、CWRビットは不定です。

5.1.3 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	—	—	ROMCP1	ROMCR	—	WDTON
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0：リセット後、ウォッチドッグタイマは自動的に起動 1：リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	“1”にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0：ROMコードプロテクト解除 1：ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0：ROMコードプロテクト有効 1：ROMコードプロテクト解除	R/W
b4	—	予約ビット	“1”にしてください	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	LVDAS	電圧検出0回路起動ビット(注2)	0：リセット後、電圧監視0リセット有効 1：リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0：リセット後、カウントソース保護モード有効 1：リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。
OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。
ブランク出荷品の出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。
書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「13.3.1　オプション機能選択領域の設定例」を参照してください。

5.1.4　オプション機能選択レジスタ2 (OFS2)

アドレス 0FFDBh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	−	−	−	−	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー周期設定ビット	b1 b0 0 0：03FFh 0 1：0FFFh 1 0：1FFFh 1 1：3FFFh	R/W
b1	WDTUFS1			R/W
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ受付周期設定ビット	b3 b2 0 0：25% 0 1：50% 1 0：75% 1 1：100%	R/W
b3	WDTRCS1			R/W
b4	−	予約ビット	“1”にしてください	R/W
b5	−			
b6	−			
b7	−			

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。
OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタは“FFh”になります。
ブランク出荷品の出荷時、OFS2レジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。
書き込み出荷品の出荷時、OFS2レジスタの値は、ユーザがプログラムで設定した値です。

OFS2レジスタの設定例は、「13.3.1　オプション機能選択領域の設定例」を参照してください。

WDTRCS0、WDTRCS1ビット(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択できます。

詳細は「14.3.1.1　リフレッシュ受付期間」を参照してください。

5.2 ハードウェアリセット

$\overline{\text{RESET}}$端子によるリセットです。電源電圧が推奨動作条件を満たすとき、$\overline{\text{RESET}}$端子に“L”を入力すると端子、CPU、SFRが初期化されます(「表5.2　$\overline{\text{RESET}}$端子のレベルが“L”の期間の端子の状態」、「図5.2　リセット後のCPUレジスタの状態」、および「表4.1〜表4.12　SFR一覧」を参照)。

$\overline{\text{RESET}}$端子の入力レベルを“L”から“H”にすると、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

リセット後のSFRの状態は「4.　SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中に$\overline{\text{RESET}}$端子が“L”になると、内部RAMは不定となります。

図5.4にハードウェアリセット回路例と動作を、図5.5にハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作を示します。

5.2.1 電源が安定している場合

(1) $\overline{\text{RESET}}$端子に“L”を入力する
(2) 10μs待つ
(3) $\overline{\text{RESET}}$端子に“H”を入力する

5.2.2 電源投入時

(1) $\overline{\text{RESET}}$端子に“L”を入力する
(2) 電源電圧を推奨動作条件を満たすレベルまで上昇させる
(3) 内部電源が安定するまでtd(P-R)待つ(「29.　電気的特性」参照)
(4) 10μs待つ
(5) $\overline{\text{RESET}}$端子に“H”を入力する

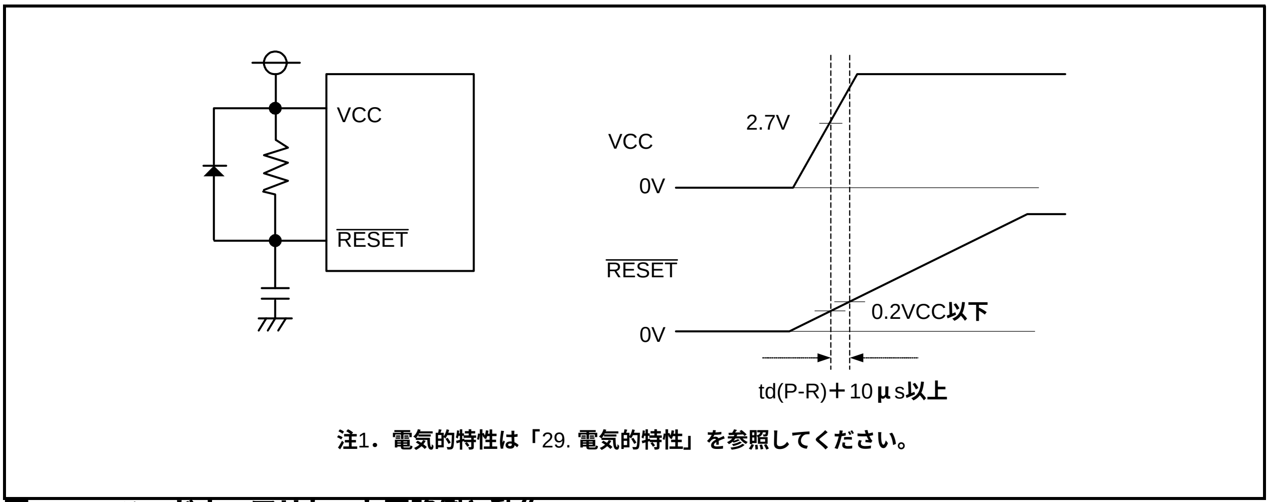


図 5.4　　ハードウェアリセット回路例と動作

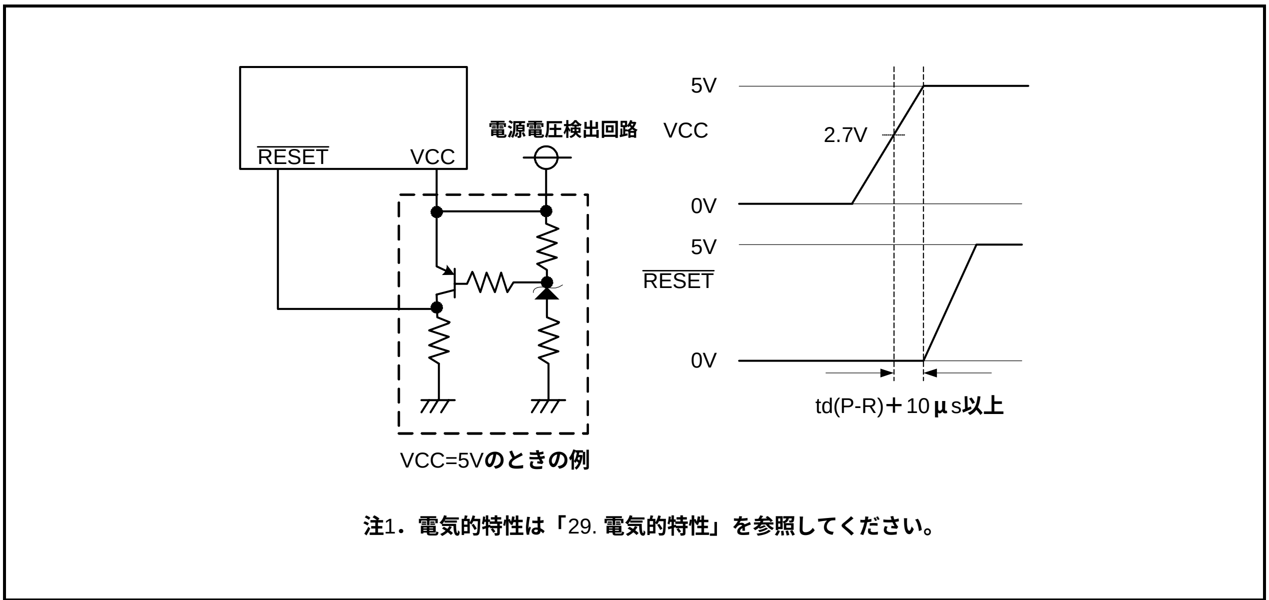


図 5.5　　ハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作

5.3 パワーオンリセット機能

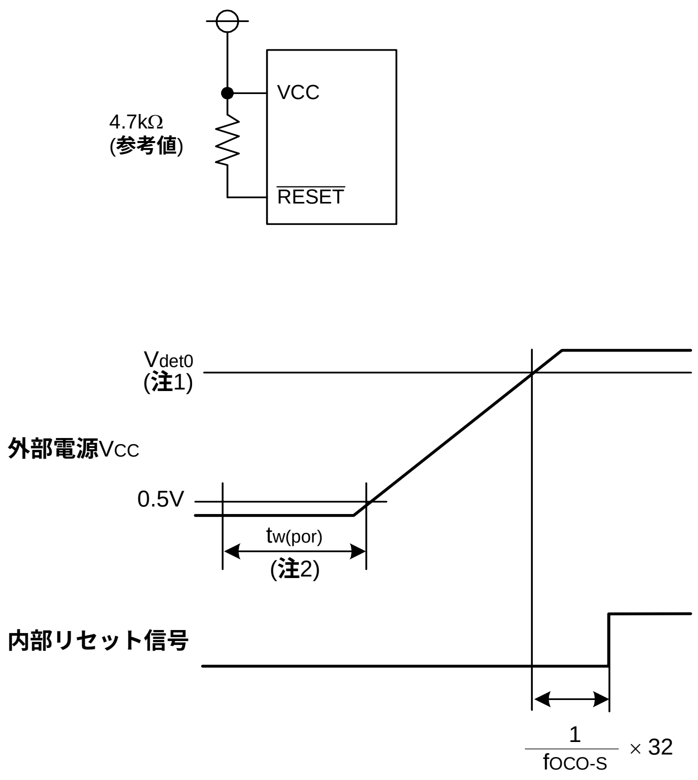
抵抗を介して$\overline{\mathrm{RESET}}$端子をVCCに接続し、VCCを立ち上げるとパワーオンリセット機能が有効になり、端子、CPU、SFRが初期化されます。$\overline{\mathrm{RESET}}$端子にコンデンサを接続する場合も、$\overline{\mathrm{RESET}}$端子の電圧が常に0.8VCC以上になるようにご注意ください。

VCC端子に入力する電圧がVdet0以上になると、低速オンチップオシレータクロックのカウントを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号が“H”になり、リセットシーケンス(図5.3参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

パワーオンリセット後のSFRの状態は「4. SFR」を参照してください。

パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを“0”にして電圧監視0リセットを有効にしてください。

図5.6にパワーオンリセット回路例と動作を示します。



注1. Vdet0は電圧検出0回路の電圧検出レベルを示します。詳細は「6. 電圧検出回路」を参照してください。
注2. tw(por)は外部電源Vccを有効電圧(0.5V)以下に保持してパワーオンリセットが有効になるために必要な時間です。
電圧監視0リセットが無効な状態で電源を立ち下げた後に、電源を立ち上げるときは1ms以上保持してください。
注3. パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを“0”にして電圧監視0リセットを有効にしてください。

図5.6 パワーオンリセット回路例と動作

5.4 電圧監視0リセット

電圧検出0回路によるリセットです。電圧検出0回路はVCC端子に入力する電圧を監視します。監視する電圧はVdet0です。

電圧監視0リセットを使用する場合は、OFSレジスタのLVDASビットを“0”にしてください。

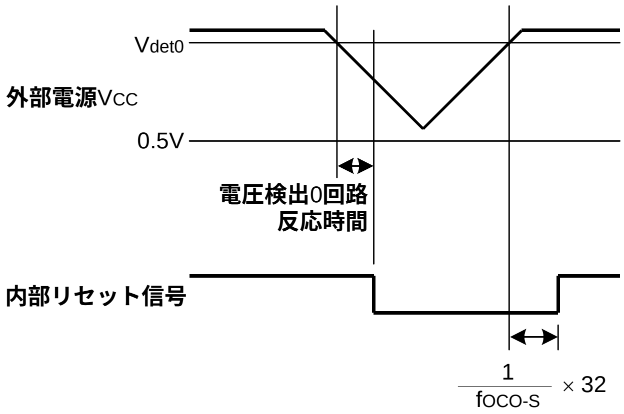
VCC端子の電圧がVdet0以下になると、内部リセット信号が“L”になります。次に、VCC端子の電圧がVdet0以上になると、リセットシーケンス(図5.3参照)に移り、低速オンチップオシレータクロックのカウントを開始します。低速オンチップオシレータを32回カウントすると内部リセット信号が“H”になります。

その後、CPUクロックの176サイクルを経過すると、リセットベクタが読み出され、プログラムが実行されます。CPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

リセット後の内部RAMの状態は「3.　メモリ」を、SFRの状態は「4.　SFR」を参照してください。

内部RAMへ書き込み中に電圧監視0リセットが発生すると、内部RAMは不定になります。電圧監視0リセットの詳細は、「6.　電圧検出回路」を参照してください。

OFSレジスタの詳細は、「5.1.3　オプション機能選択レジスタ(OFS)」を参照してください。



注1. Vdet0は電圧検出0回路の電圧検出レベルを示します。詳細は「6. 電圧検出回路」を参照してください。
注2. パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを“0”にして電圧監視0リセットを有効にしてください。

図5.7　電圧監視0リセット回路例と動作

5.5 ウォッチドッグタイマリセット

PM1レジスタのPM12ビットが“1”(ウォッチドッグタイマアンダフロー時リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

ウォッチドッグタイマリセット後のSFRの状態は「4.　SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にウォッチドッグタイマがアンダフローすると、内部RAMは不定となります。

ウォッチドッグタイマのアンダフロー周期とリフレッシュ受付周期を、OFS2レジスタのWDTUFS0〜WDTUFS1ビット、WDTRCS0〜WDTRCS1ビットでそれぞれ設定することができます。

ウォッチドッグタイマの詳細は「14.　ウォッチドッグタイマ」を参照してください。

5.6 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

ソフトウェアリセット後のSFRの状態は「4.　SFR」を参照してください。

内部RAMは初期化されません。

5.7 コールドスタート/ウォームスタート判定機能

コールドスタート/ウォームスタート判定機能は、RSTFRレジスタのCWRビットによって、電源が投入されたときのコールドスタート(リセット処理)と、動作中にリセットが発生したときのウォームスタート(リセット処理)を判定することができます。

CWRビットは、電源投入時“0”(コールドスタート)です。また、電圧監視0リセットでも“0”になります。CWRビットはプログラムで“1”を書くと“1”になり、ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

コールドスタート/ウォームスタート判定機能は電圧監視0リセットを使用します。

図5.8にコールドスタート/ウォームスタート判定機能の動作例を示します。

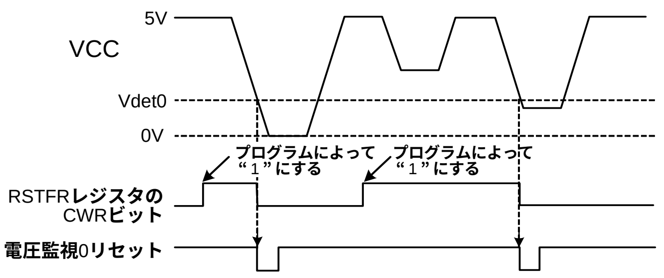


図5.8 コールドスタート/ウォームスタート判定機能の動作例

5.8 リセット要因判別機能

ハードウェアリセット、ソフトウェアリセットおよびウォッチドッグタイマリセットの発生を、RSTFRレジスタで検出できます。

ハードウェアリセットが発生すると、HWRビットが“1”(検出)になります。ソフトウェアリセットが発生すると、SWRビットが“1”(検出)になります。ウォッチドッグタイマリセットが発生すると、WDRビットが“1”(検出)になります。

6.　電圧検出回路

電圧検出回路はVCC端子に入力する電圧を監視する回路です。VCC入力電圧をプログラムで監視できます。

6.1　概要

電圧検出0の検出電圧は固定レベル(標準2.85V)となります。
電圧検出1はVD1LSレジスタで、検出電圧を8レベルから選択できます。
電圧検出2の検出電圧は固定レベル(標準4.00V)となります。
また、電圧監視0リセット、電圧監視1割り込み、電圧監視2割り込みを使用できます。

表6.1　電圧検出回路の仕様

項目		電圧監視0	電圧監視1	電圧監視2
VCC監視	監視する電圧	Vdet0	Vdet1	Vdet2
	検出対象	下降してVdet0を通過したか	上昇または下降してVdet1を通過したか	上昇または下降してVdet2を通過したか
	検出電圧	固定レベル	VD1LSレジスタで8レベルから選択可能	固定レベル
	モニタ	なし	VW1CレジスタのVW1C3ビット	VCA1レジスタのVCA13ビット
			Vdet1より高いか低いか	Vdet2より高いか低いか
電圧検出時の処理	リセット	電圧監視0リセット	なし	なし
		Vdet0＞VCCでリセット；VCC＞Vdet0でCPU動作再開		
	割り込み	なし	電圧監視1割り込み	電圧監視2割り込み
			ノンマスカブルまたはマスカブルを選択可能	ノンマスカブルまたはマスカブルを選択可能
			Vdet1＞VCC、VCC＞Vdet1の両方、またはどちらかで割り込み要求	Vdet2＞VCC、VCC＞Vdet2の両方、またはどちらかで割り込み要求
デジタルフィルタ	有効/無効切り替え	デジタルフィルタ機能なし	あり	あり
	サンプリング時間	—	(fOCO-Sのn分周)×2 n：1、2、4、8	(fOCO-Sのn分周)×2 n：1、2、4、8

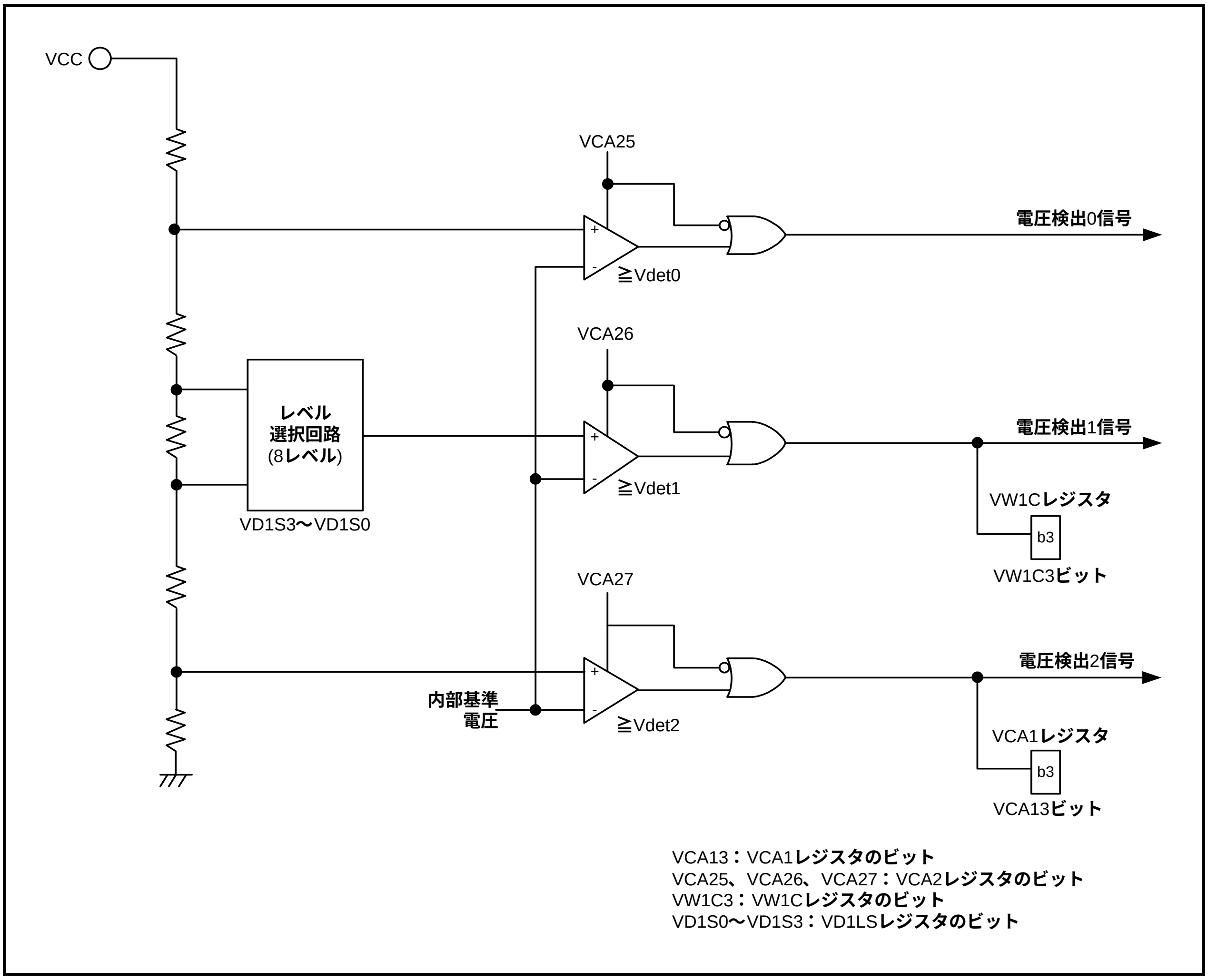


図 6.1　電圧検出回路ブロック図

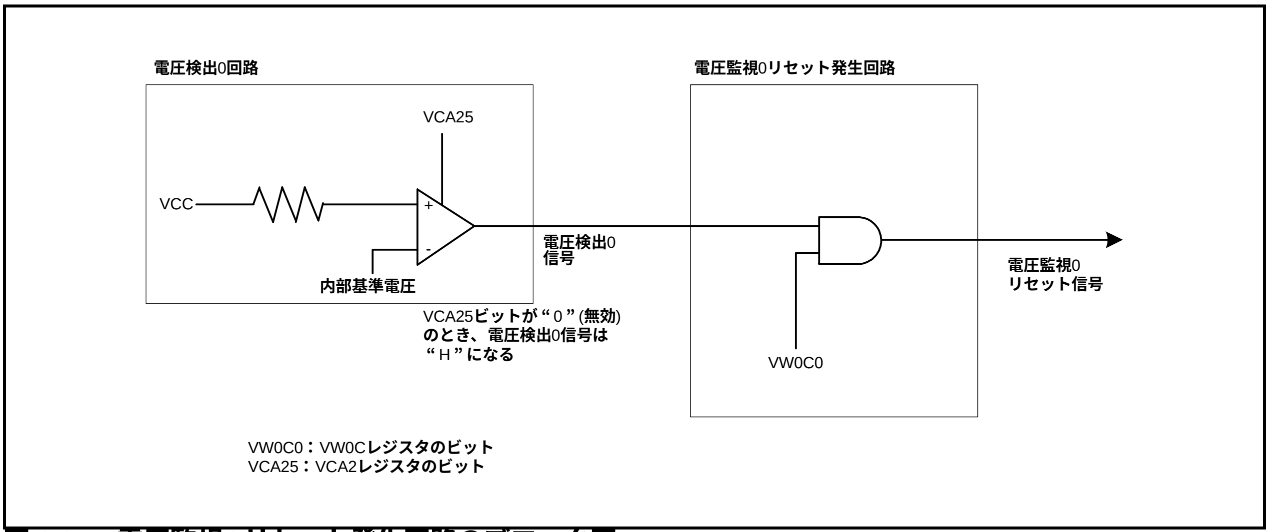


図 6.2　電圧監視0リセット発生回路のブロック図

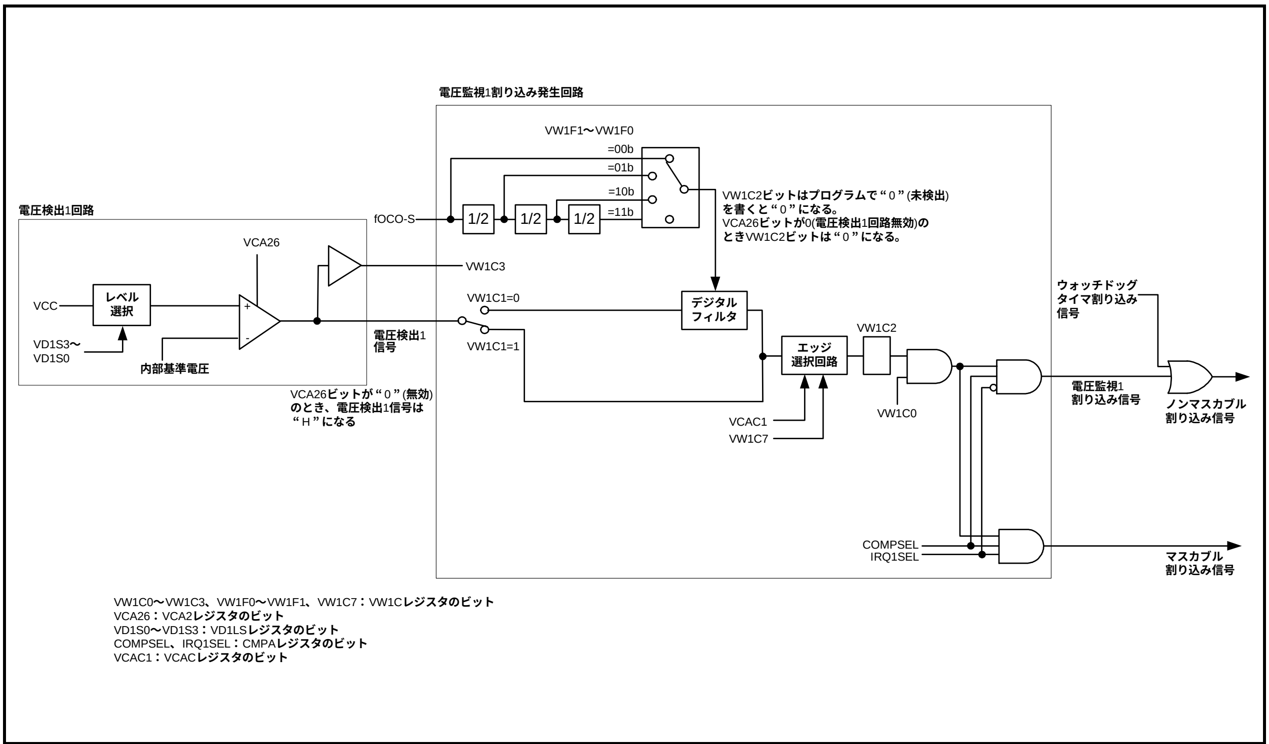


図 6.3　電圧監視1割り込み発生回路のブロック図

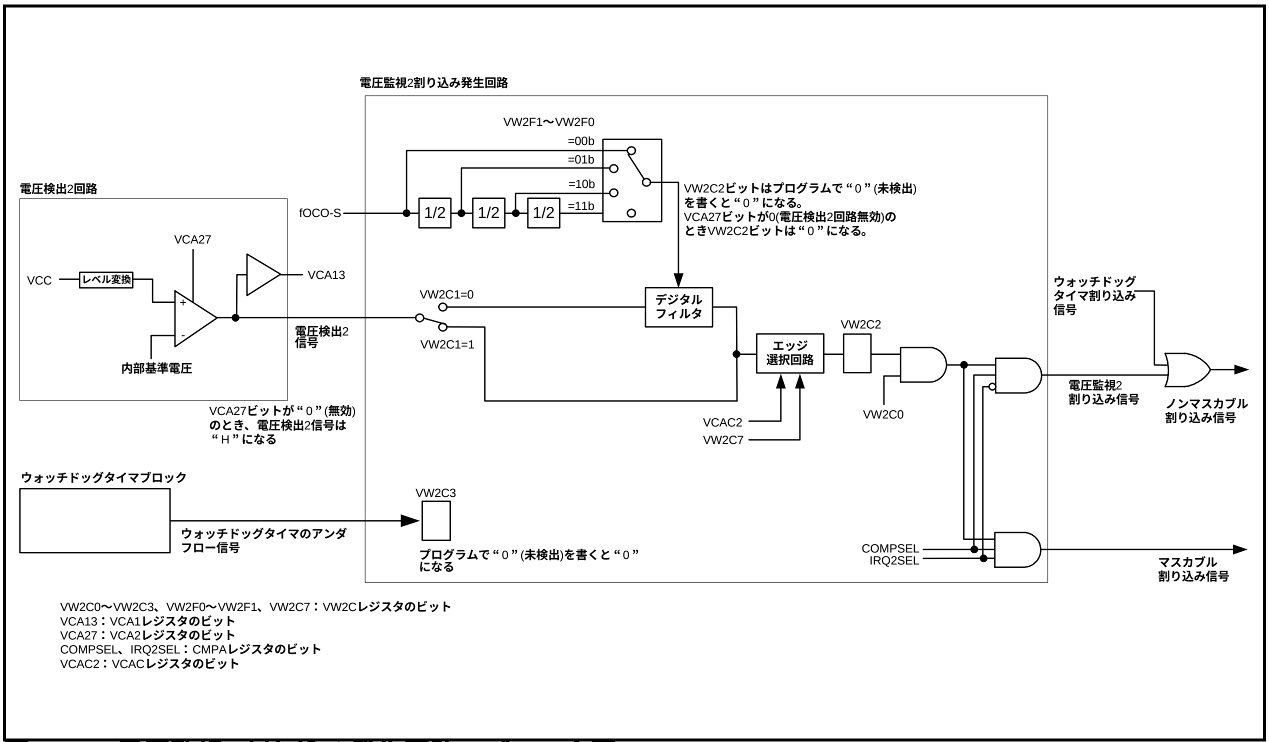


図 6.4　電圧監視2割り込み発生回路のブロック図

6.2 レジスタの説明

6.2.1 電圧監視回路制御レジスタ(CMPA)

アドレス 0030h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	COMPSEL	—	IRQ2SEL	IRQ1SEL	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0”にしてください	R/W
b1	—			
b2	—			
b3	—			
b4	IRQ1SEL	電圧監視1割り込み種類選択ビット(注1)	0：ノンマスカブル割り込み 1：マスカブル割り込み	R/W
b5	IRQ2SEL	電圧監視2割り込み種類選択ビット(注2)	0：ノンマスカブル割り込み 1：マスカブル割り込み	R/W
b6	—	予約ビット	“0”にしてください	R/W
b7	COMPSEL	電圧監視割り込み種類選択有効ビット(注1、2)	0：IRQ1SEL、IRQ2SELビット無効 1：IRQ1SEL、IRQ2SELビット有効	R/W

注1. VW1CレジスタのVW1C0ビットが“1”(許可)のとき、IRQ1SELビットとCOMPSELビットを同時に(1命令で)設定しないでください。

注2. VW2CレジスタのVW2C0ビットが“1”(許可)のとき、IRQ2SELビットとCOMPSELビットを同時に(1命令で)設定しないでください。

6.2.2 電圧監視回路エッジ選択レジスタ(VCAC)

アドレス 0031h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	−	−	−	−	−	VCAC2	VCAC1	−
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	−	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		−
b1	VCAC1	電圧監視1回路エッジ選択ビット(注1)	0：片エッジ 1：両エッジ	R/W
b2	VCAC2	電圧監視2回路エッジ選択ビット(注2)	0：片エッジ 1：両エッジ	R/W
b3	−	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		−
b4	−			
b5	−			
b6	−			
b7	−			

注1. VCAC1ビットが“0”(片エッジ)のとき、VW1CレジスタのVW1C7ビットが有効になります。VCAC1ビットを“0”にした後、VW1C7ビットを設定してください。
注2. VCAC2ビットが“0”(片エッジ)のとき、VW2CレジスタのVW2C7ビットが有効になります。VCAC2ビットを“0”にした後、VW2C7ビットを設定してください。

6.2.3 電圧検出レジスタ1 (VCA1)

アドレス 0033h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	−	−	−	−	VCA13	−	−	−
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	−	予約ビット	“0”にしてください	R/W
b1	−			
b2	−			
b3	VCA13	電圧検出2信号モニタフラグ(注1)	0：VCC＜Vdet2 1：VCC≧Vdet2、または電圧検出2回路無効	R
b4	−	予約ビット	“0”にしてください	R/W
b5	−			
b6	−			
b7	−			

注1. VCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき、VCA13ビットは有効です。
VCA2レジスタのVCA27ビットが“0”(電圧検出2回路無効)のとき、VCA13ビットは“1”(VCC≧Vdet2)になります。

6.2.4 電圧検出レジスタ2 (VCA2)

アドレス 0034h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VCA27	VCA26	VCA25	—	—	—	—	VCA20
リセット後の値	0	0	0	0	0	0	0	0

上記はOFSレジスタのLVDASビットが“1”の場合

リセット後の値	0	0	1	0	0	0	0	0

上記はOFSレジスタのLVDASビットが“0”の場合

ビット	シンボル	ビット名	機能	R/W
b0	VCA20	内部電源低消費電力許可ビット(注1)	0：低消費電力禁止 1：低消費電力許可(注2)	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	—			
b3	—			
b4	—			
b5	VCA25	電圧検出0許可ビット(注3)	0：電圧検出0回路無効 1：電圧検出0回路有効	R/W
b6	VCA26	電圧検出1許可ビット(注4)	0：電圧検出1回路無効 1：電圧検出1回路有効	R/W
b7	VCA27	電圧検出2許可ビット(注5)	0：電圧検出2回路無効 1：電圧検出2回路有効	R/W

注1. VCA20ビットはウェイトモードへの移行時のみに使用してください。VCA20ビットの設定は「28.2.9 VCA20ビットによる内部電源低消費操作」に従ってください。

注2. VCA20ビットが“1”(低消費電力許可)のとき、CM1レジスタのCM10ビットを“1”(ストップモード)にしないでください。

注3. VCA25ビットに書く場合は、リセット後の値を書いてください。

注4. 電圧検出1割り込みを使用する場合、またはVW1CレジスタのVW1C3ビットを使用する場合、VCA26ビットを“1”にしてください。
VCA26ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出1回路が動作します。

注5. 電圧検出2割り込みを使用する場合、またはVCA1レジスタのVCA13ビットを使用する場合、VCA27ビットを“1”にしてください。
VCA27ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出2回路が動作します。

VCA2レジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

6.2.5 電圧検出1レベル選択レジスタ(VD1LS)

アドレス 0036h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	VD1S3	VD1S2	VD1S1	VD1S0
リセット後の値	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	VD1S0	電圧検出1レベル選択ビット (電圧下降時の標準電圧)	b3 b2 b1 b0 0 0 0 0：設定しないでください 0 0 0 1：設定しないでください 0 0 1 0：設定しないでください 0 0 1 1：設定しないでください 0 1 0 0：設定しないでください 0 1 0 1：設定しないでください 0 1 1 0：設定しないでください 0 1 1 1：3.25V (Vdet1_7) 1 0 0 0：3.40V (Vdet1_8) 1 0 0 1：3.55V (Vdet1_9) 1 0 1 0：3.70V (Vdet1_A) 1 0 1 1：3.85V (Vdet1_B) 1 1 0 0：4.00V (Vdet1_C) 1 1 0 1：4.15V (Vdet1_D) 1 1 1 0：4.30V (Vdet1_E) 1 1 1 1：設定しないでください	R/W
b1	VD1S1			R/W
b2	VD1S2			R/W
b3	VD1S3			R/W
b4	—	予約ビット	“0”にしてください	R/W
b5	—			
b6	—			
b7	—			

VD1LSレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

6.2.6 電圧監視0回路制御レジスタ(VW0C)

アドレス 0038h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	−	−	−	−	−	−	−	VW0C0
リセット後の値	1	1	0	0	X	0	1	0

上記はOFSレジスタのLVDASビットが“1”の場合

ビット	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	0	0	X	0	1	1

上記はOFSレジスタのLVDASビットが“0”の場合

ビット	シンボル	ビット名	機能	R/W
b0	VW0C0	電圧監視0リセット許可ビット(注1)	0：禁止 1：許可	R/W
b1	−	予約ビット	“1”にしてください	R/W
b2	−	予約ビット	“0”にしてください	R/W
b3	−	予約ビット	読んだ場合、その値は不定。	R
b4	−	予約ビット	“0”にしてください	R/W
b5	−			
b6	−	予約ビット	“1”にしてください	R/W
b7	−			

注1. VW0C0ビットはVCA2レジスタのVCA25ビットが“1”(電圧検出0回路有効)のとき有効になります。
VW0C0ビットに書く場合は、リセット後の値を書いてください。

VW0CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

6.2.7　電圧監視1回路制御レジスタ(VW1C)

アドレス 0039h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VW1C7	—	VW1F1	VW1F0	VW1C3	VW1C2	VW1C1	VW1C0
リセット後の値	1	0	0	0	1	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	VW1C0	電圧監視1割り込み許可ビット(注1)	0：禁止 1：許可	R/W
b1	VW1C1	電圧監視1デジタルフィルタ無効モード選択ビット(注2、6)	0：デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1：デジタルフィルタ無効モード (デジタルフィルタ回路無効)	R/W
b2	VW1C2	電圧変化検出フラグ(注3、4)	0：未検出 1：Vdet1通過検出	R/W
b3	VW1C3	電圧検出1信号モニタフラグ(注3)	0：VCC＜Vdet1 1：VCC≧Vdet1または電圧検出1回路無効	R
b4	VW1F0	サンプリングクロック選択ビット(注6)	b5 b4 0 0：fOCO-Sの1分周 0 1：fOCO-Sの2分周 1 0：fOCO-Sの4分周 1 1：fOCO-Sの8分周	R/W
b5	VW1F1			R/W
b6	—	予約ビット	"0"にしてください	R/W
b7	VW1C7	電圧監視1割り込み発生条件選択ビット(注5)	0：VCCがVdet1以上になるとき 1：VCCがVdet1以下になるとき	R/W

注1.　VW1C0ビットはVCA2レジスタのVCA26ビットが"1"(電圧検出1回路有効)のとき有効になります。VCA26ビットが"0"(電圧検出1回路無効)のとき、VW1C0ビットを"0"(禁止)にしてください。VW1C0ビットを"1"(許可)にするときは、「表6.2　電圧監視1割り込み関連ビットの設定手順」に従ってください。
注2.　デジタルフィルタを使用する場合(VW1C1ビットが"0")、CM1レジスタのCM14ビットを"0"(低速オンチップオシレータ発振)にしてください。
なお、電圧監視1割り込みをストップモードからの復帰に使用する場合は、VW1CレジスタのVW1C1ビットを"1"(デジタルフィルタ無効)にしてください。
注3.　VW1C2ビットおよびVW1C3ビットはVCA2レジスタのVCA26ビットが"1"(電圧検出1回路有効)のとき有効になります。
注4.　プログラムで"0"にしてください。プログラムで"0"を書くと"0"になります("1"を書いても変化しません)。
注5.　VW1C7ビットはVCACレジスタのVCAC1ビットが"0"(片エッジ)のとき有効になります。VCAC1ビットを"0"にした後、VW1C7ビットを設定してください。
注6.　VW1C0ビットが"1"(許可)のとき、VW1C1ビットとVW1F1～VW1F0ビットを同時に(1命令で)設定しないでください。

VW1CレジスタはPRCRレジスタのPRC3ビットを"1"(書き込み許可)にした後で書き換えてください。

VW1Cレジスタを書き換えると、VW1C2ビットが"1"になる場合があります。VW1Cレジスタを書き換え後、VW1C2ビットを"0"にしてください。

6.2.8 電圧監視2回路制御レジスタ(VW2C)

アドレス 003Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VW2C7	−	VW2F1	VW2F0	VW2C3	VW2C2	VW2C1	VW2C0
リセット後の値	1	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	VW2C0	電圧監視2割り込み許可ビット(注1)	0：禁止 1：許可	R/W
b1	VW2C1	電圧監視2デジタルフィルタ無効モード選択ビット(注2、6)	0：デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1：デジタルフィルタ無効モード (デジタルフィルタ回路無効)	R/W
b2	VW2C2	電圧変化検出フラグ(注3、4)	0：未検出 1：Vdet2通過検出	R/W
b3	VW2C3	WDT検出フラグ(注4)	0：未検出 1：検出	R/W
b4	VW2F0	サンプリングクロック選択ビット(注6)	b5 b4 0 0：fOCO-Sの1分周 0 1：fOCO-Sの2分周 1 0：fOCO-Sの4分周 1 1：fOCO-Sの8分周	R/W
b5	VW2F1			R/W
b6	−	予約ビット	“0”にしてください	R/W
b7	VW2C7	電圧監視2割り込み発生条件選択ビット(注5)	0：VCCがVdet2以上になるとき 1：VCCがVdet2以下になるとき	R/W

注1. VW2C0ビットはVCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき有効になります。VCA27ビットが“0”(電圧検出2回路無効)のとき、VW2C0ビットを“0”(禁止)にしてください。VW2C0ビットを“1”(許可)にするときは、「表6.3　電圧監視2割り込み関連ビットの設定手順」に従ってください。
注2. デジタルフィルタを使用する場合(VW2C1ビットが“0”)、CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にしてください。
なお、電圧監視2割り込みをストップモードからの復帰に使用する場合は、VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にしてください。
注3. VW2C2ビットはVCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき有効になります。
注4. プログラムで“0”にしてください。プログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。
注5. VW2C7ビットはVCACレジスタのVCAC2ビットが“0”(片エッジ)のとき有効になります。VCAC2ビットを“0”にした後、VW2C7ビットを設定してください。
注6. VW2C0ビットが“1”(許可)のとき、VW2C1ビットとVW2F1～VW2F0ビットを同時に(1命令で)設定しないでください。

VW2CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

VW2Cレジスタを書き換えると、VW2C2ビットが“1”になる場合があります。VW2Cレジスタを書き換え後、VW2C2ビットを“0”にしてください。

6.2.9　オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	—	—	ROMCP1	ROMCR	—	WDTON
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0：リセット後、ウォッチドッグタイマは自動的に起動 1：リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	“1”にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0：ROMコードプロテクト解除 1：ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0：ROMコードプロテクト有効 1：ROMコードプロテクト解除	R/W
b4	—	予約ビット	“1”にしてください	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	LVDAS	電圧検出0回路起動ビット(注2)	0：リセット後、電圧監視0リセット有効 1：リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0：リセット後、カウントソース保護モード有効 1：リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。
OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。
ブランク出荷品の出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。
書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「13.3.1　オプション機能選択領域の設定例」を参照してください。

6.3 VCC入力電圧のモニタ

6.3.1 Vdet0のモニタ

Vdet0のモニタはできません。

6.3.2 Vdet1のモニタ

次の設定をした後、td(E-A) (「29.　電気的特性」参照)経過後、VW1CレジスタのVW1C3ビットで電圧監視1の比較結果をモニタできます。

(1)　VD1LSレジスタのVD1S3～VD1S0ビット(電圧検出1検出電圧)を設定する
(2)　VCA2レジスタのVCA26ビットを“1”(電圧検出1回路有効)にする

6.3.3 Vdet2のモニタ

次の設定をした後、td(E-A) (「29.　電気的特性」参照)経過後、VCA1レジスタのVCA13ビットで電圧監視2の比較結果をモニタできます。

• VCA2レジスタのVCA27ビットを“1”(電圧検出2回路有効)にする

6.4 電圧監視0リセット

電圧監視0リセットを使用する場合は、OFSレジスタのLVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

図6.5に電圧監視0リセット動作例を示します。

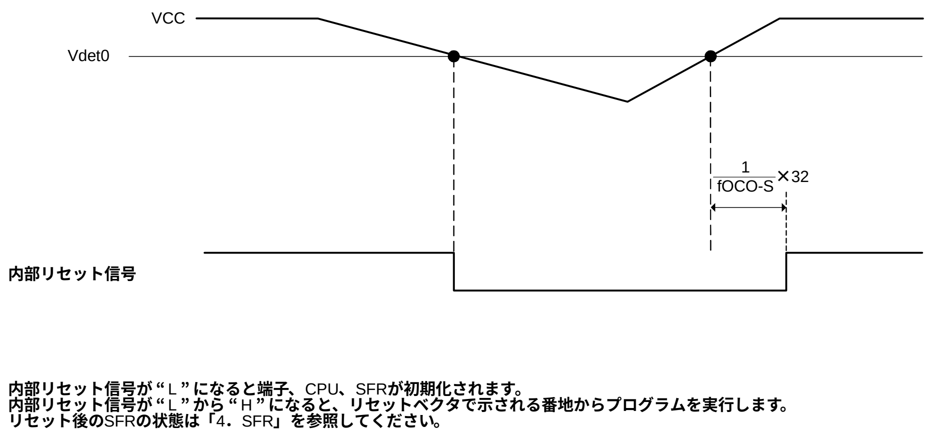


図6.5 電圧監視0リセット動作例

6.5 電圧監視1割り込み

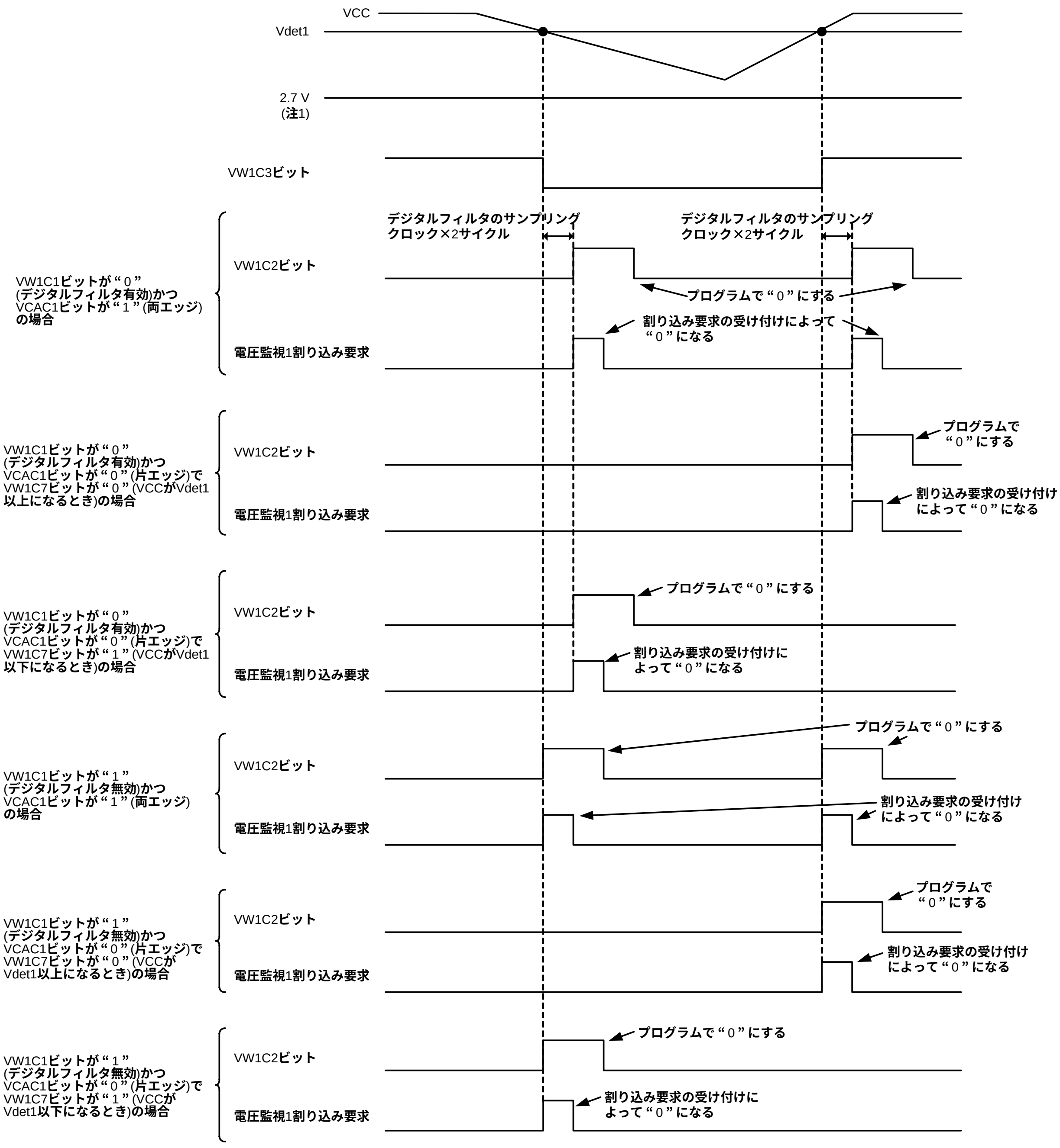
表6.2に電圧監視1割り込み関連ビットの設定手順を、図6.6に電圧監視1割り込み動作例を示します。

なお、電圧監視1割り込みをストップモードからの復帰に使用する場合は、VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にしてください。

表6.2 電圧監視1割り込み関連ビットの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	VD1LSレジスタのVD1S3～VD1S0ビットで電圧検出1検出電圧を選択する	
2	VCA2レジスタのVCA26ビットを“1”(電圧検出1回路有効)にする	
3	td(E-A)待つ	
4	CMPAレジスタのCOMPSELビットを“1”にする	
5(注1)	CMPAレジスタのIRQ1SELビットで割り込みの種類を選択する	
6	VW1CレジスタのVW1F1～VW1F0ビットでデジタルフィルタのサンプリングクロックを選択する	VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にする
7(注2)	VW1CレジスタのVW1C1ビットを“0”(デジタルフィルタ有効)にする	—
8	VCACレジスタのVCAC1ビットと、VW1CレジスタのVW1C7ビットで割り込み要求のタイミングを選択する	
9	VW1CレジスタのVW1C2ビットを“0”にする	
10	CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする	—
11	デジタルフィルタのサンプリングクロック×2サイクル待つ	—(待ち時間なし)
12(注3)	VW1CレジスタのVW1C0ビットを“1”(電圧監視1割り込み許可)にする	

注1. VW1C0ビットが“0”のとき、手順4と5は同時に(1命令で)実行可能です。
注2. VW1C0ビットが“0”のとき、手順6と7は同時に(1命令で)実行可能です。
注3. 電圧監視1割り込み禁止の状態でも、電圧検出1回路が有効であれば、電圧低下を検出し、VW1C2ビットは“1”になります。
電圧監視1割り込み関連ビットの設定手順において、電圧検出1回路を有効に設定してから、割り込みを許可に設定するまでに電圧低下を検出する場合がありますが、このとき、割り込みは発生しません。したがって、割り込みを許可に設定した後にVW1C2ビットを読み、“1”の場合は電圧低下検出時の処理を実行してください。



VW1C1、VW1C2、VW1C3、VW1C7：VW1Cレジスタのビット
VCAC1：VCACレジスタのビット

上図は次の条件の場合です。
・VCA2レジスタのVCA26ビット=1(電圧検出1回路有効)
・VW1CレジスタのVW1C0ビット=1(電圧監視1割り込み許可)

注1．電圧監視0リセットを使用しない場合、VCC≧2.7 Vで使用してください。

図 6.6　電圧監視1割り込み動作例

6.6 電圧監視2割り込み

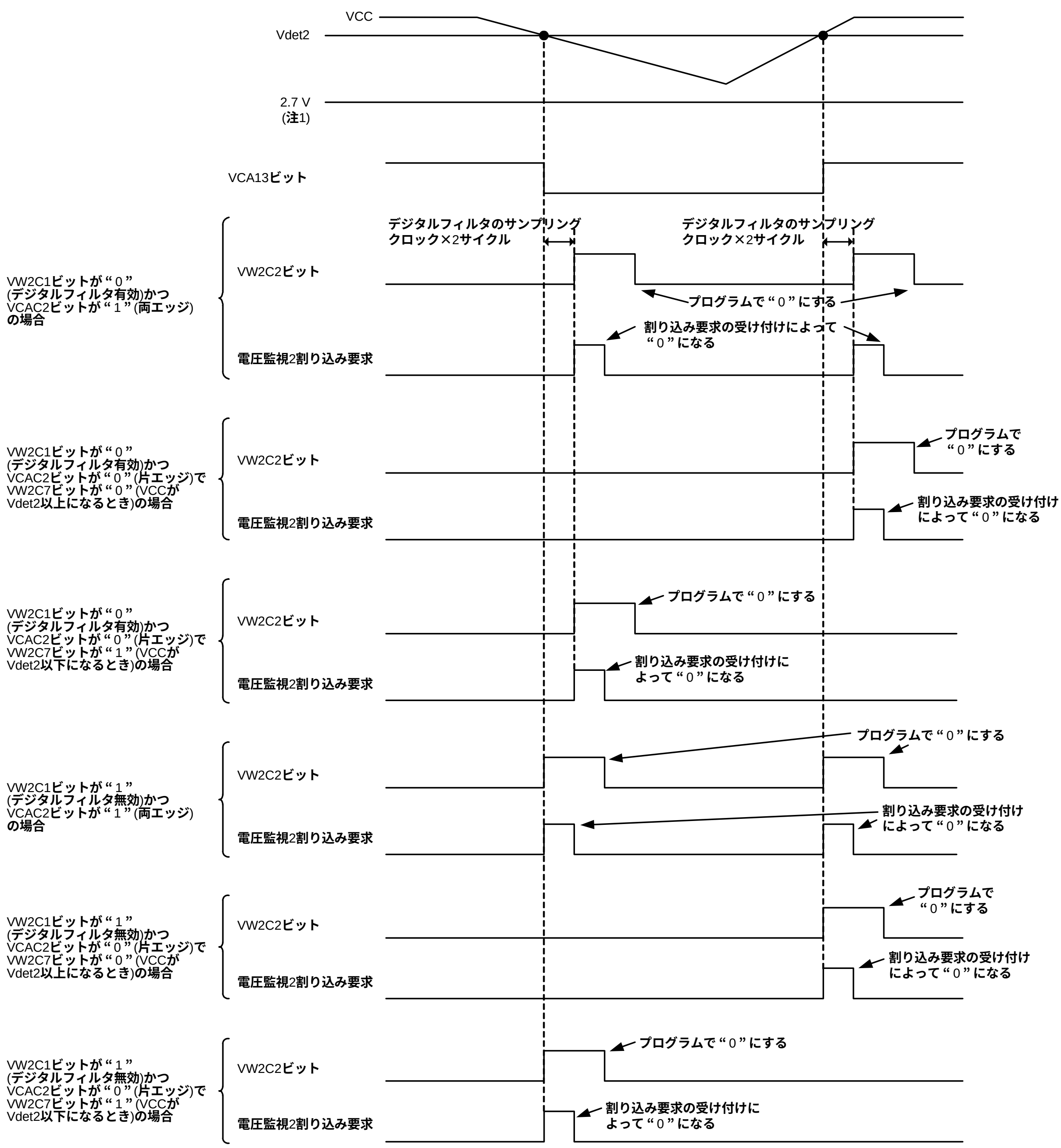
表6.3に電圧監視2割り込み関連ビットの設定手順を、図6.7に電圧監視2割り込み動作例を示します。

なお、電圧監視2割り込みをストップモードからの復帰に使用する場合は、VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にしてください。

表6.3　電圧監視2割り込み関連ビットの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	VCA2レジスタのVCA27ビットを“1”(電圧検出2回路有効)にする	
2	td(E-A)待つ	
3	CMPAレジスタのCOMPSELビットを“1”にする	
4(注1)	CMPAレジスタのIRQ2SELビットで割り込みの種類を選択する	
5	VW2CレジスタのVW2F1～VW2F0ビットでデジタルフィルタのサンプリングクロックを選択する	VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にする
6(注2)	VW2CレジスタのVW2C1ビットを“0”(デジタルフィルタ有効)にする	—
7	VCACレジスタのVCAC2ビットと、VW2CレジスタのVW2C7ビットで割り込み要求のタイミングを選択する	
8	VW2CレジスタのVW2C2ビットを“0”にする	
9	CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする	—
10	デジタルフィルタのサンプリングクロック×2サイクル待つ	—(待ち時間なし)
11(注3)	VW2CレジスタのVW2C0ビットを“1”(電圧監視2割り込み許可)にする	

注1. VW2C0ビットが“0”のとき、手順3と4は同時に(1命令で)実行可能です。
注2. VW2C0ビットが“0”のとき、手順5と6は同時に(1命令で)実行可能です。
注3. 電圧監視2割り込み禁止の状態でも、電圧検出2回路が有効であれば、電圧低下を検出し、VW2C2ビットは“1”になります。
電圧監視2割り込み関連ビットの設定手順において、電圧検出2回路を有効に設定してから、割り込みを許可に設定するまでに電圧低下を検出する場合がありますが、このとき、割り込みは発生しません。したがって、割り込みを許可に設定した後にVW2C2ビットを読み、“1”の場合は電圧低下検出時の処理を実行してください。



VCA13：VCA1レジスタのビット
VW2C1、VW2C2、VW2C7：VW2Cレジスタのビット
VCAC2：VCACレジスタのビット

上図は次の条件の場合です。
- VCA2レジスタのVCA27ビット=1(電圧検出2回路有効)
- VW2CレジスタのVW2C0ビット=1(電圧監視2割り込み許可)

注1．電圧監視0リセットを使用しない場合、VCC≧2.7 Vで使用してください。

図 6.7　電圧監視2割り込み動作例

7. I/Oポート

I/Oポートは、P1、P3_3～P3_5、P3_7、P4_5～P4_7の15本あります(P4_6、P4_7はXINクロック発生回路を使用しない場合、I/Oポートとして使用できます)。

また、A/Dコンバータを使用しない場合、P4_2を入力専用ポートとして使用できます。

表7.1にI/Oポートの概要を示します。

表7.1 I/Oポートの概要

ポート名	入出力	出力形式	入出力設定	内部プルアップ抵抗	入力レベル切り替え
P1	入出力	CMOS3ステート	1ビット単位で設定	4ビット単位で設定(注1)	8ビット単位で設定(注2)
P3_3	入出力	CMOS3ステート	1ビット単位で設定	1ビット単位で設定(注1)	4ビット単位で設定(注2)
P3_4～P3_5、P3_7	入出力	CMOS3ステート	1ビット単位で設定	3ビット単位で設定(注1)	
P4_5、P4_6(注3)、P4_7(注3)	入出力	CMOS3ステート	1ビット単位で設定	3ビット単位で設定(注1)	4ビット単位で設定(注2)
P4_2(注4)	入力	(出力機能なし)	なし	なし	

注1. 入力モード時、PUR0レジスタおよびPUR1レジスタで内部プルアップ抵抗を接続するか、しないかを選択できます。
注2. VLT0レジスタおよびVLT1レジスタで入力のしきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。
注3. XINクロック発振回路を使用しない場合、I/Oポートとして使用できます。
注4. A/Dコンバータを使用しない場合、入力専用ポートとして使用できます。

7.1 I/Oポートの機能

ポートP1、P3_3～P3_5、P3_7、P4_5～P4_7の入出力はPDi (i=1、3～4)レジスタのPDi_j (j=0～7)ビットで制御します。Piレジスタは出力データを保持するポートラッチと、端子の状態を読む回路で構成されています。

図7.1～図7.7にI/Oポートの構成を、表7.2にI/Oポートの機能を示します。

表7.2 I/Oポートの機能

Piレジスタをアクセス時の動作	PDiレジスタのPDi_jビットの値(注1)	
	“0”(入力モード)のとき	“1”(出力モード)のとき
読み出し	端子の入力レベルを読む	ポートラッチを読む
書き込み	ポートラッチに書く	ポートラッチに書く。ポートラッチに書いた値は、端子から出力される。

i=1、3～4、j=0～7

注1. PD3_2ビット、PD4_0～PD4_2ビットには何も配置されていません。
またPD3_0～PD3_1、PD3_6、PD4_3～PD4_4ビットは予約ビットです。

7.2　周辺機能への影響

I/Oポートは、周辺機能の入出力として機能する場合があります(「表1.7　ピン番号別端子名一覧」参照)。

表7.3に周辺機能の入出力として機能する場合のPDi_jビットの設定(i=1、3〜4、j=0〜7)を示します。

周辺機能の設定方法は、各機能説明を参照してください。

表7.3　周辺機能の入出力として機能する場合のPDi_jビットの設定(i=1、3〜4、j=0〜7)

周辺機能の入出力	端子を共用しているポートのPDi_jビットの設定
入力	“0”(入力モード)に設定してください
出力	“0”でも“1”でも良い(ポートの設定に関係なく、出力になる)

7.3　I/Oポート以外の端子

図7.8に端子の構成を示します。

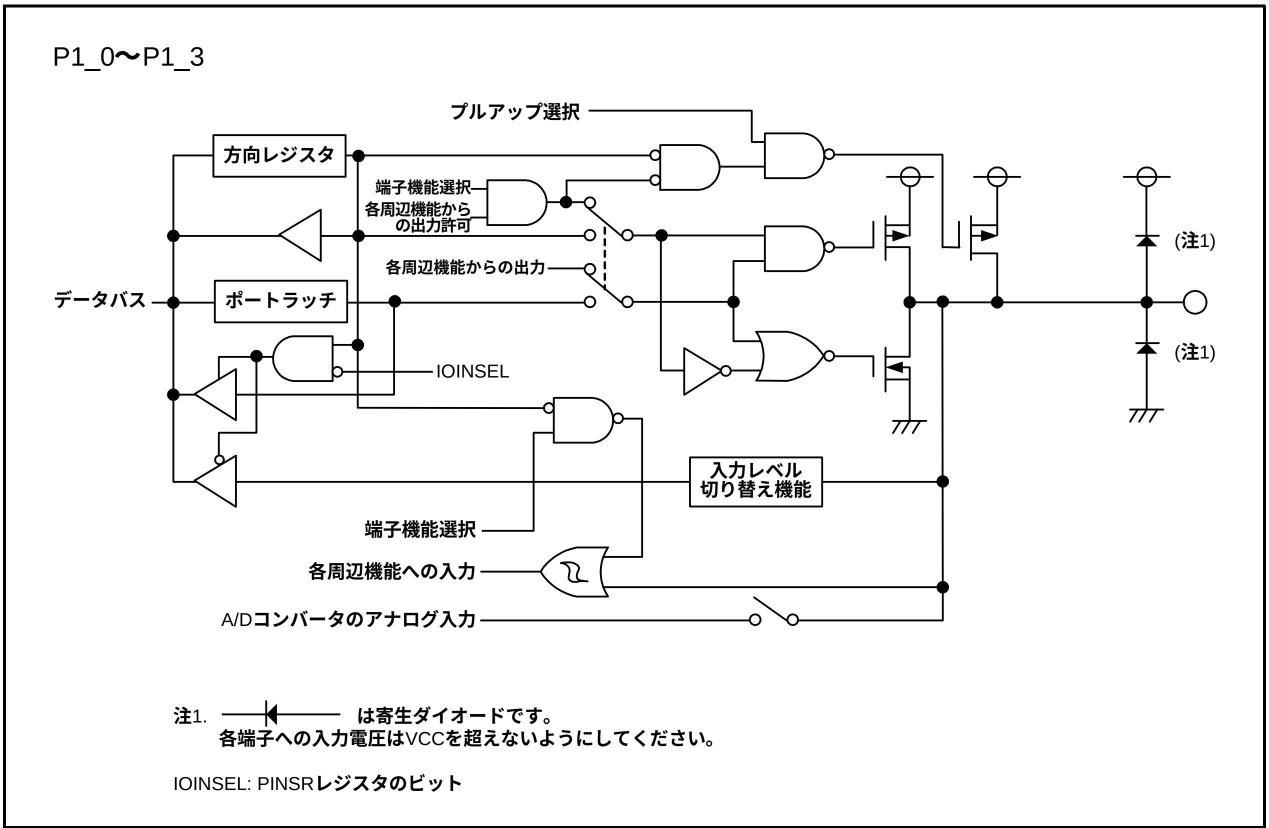
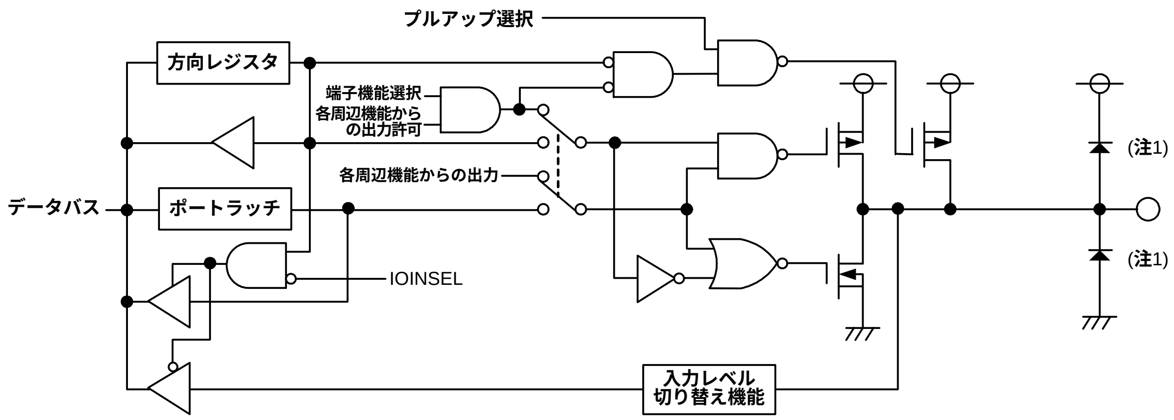
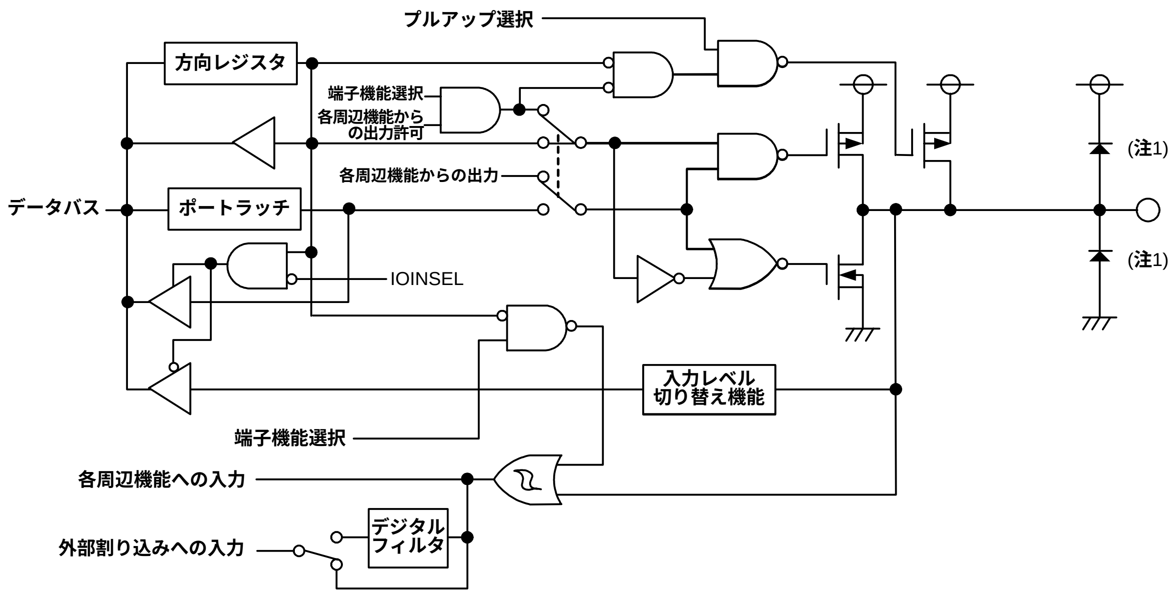


図7.1　I/Oポートの構成(1)

P1_4



P1_5

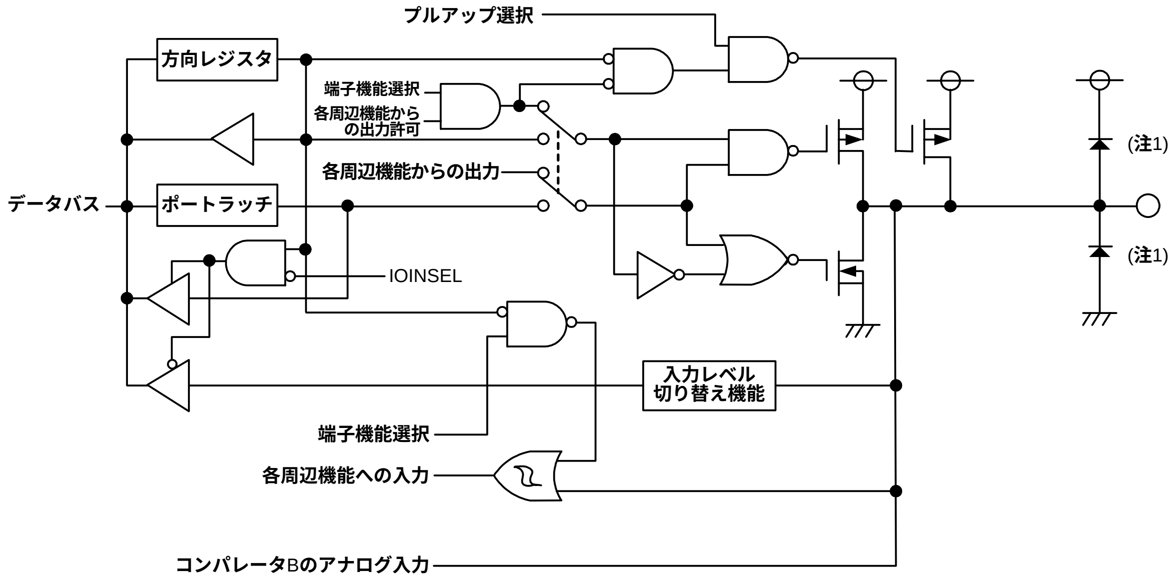


注1. ─┤◀─ は寄生ダイオードです。
各端子への入力電圧はVCCを超えないようにしてください。

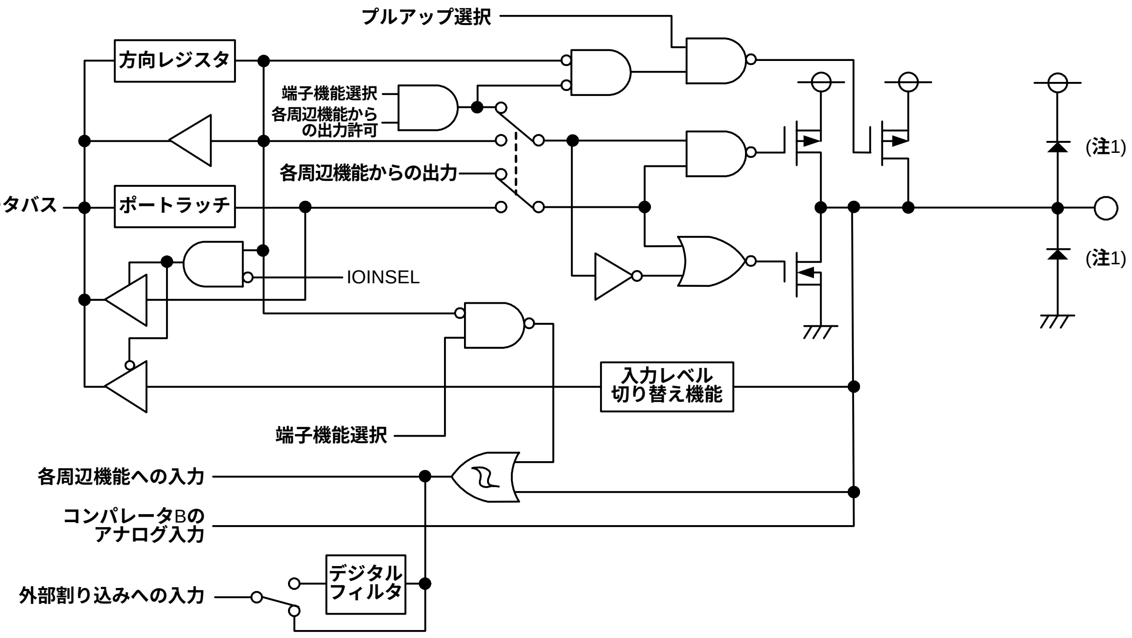
IOINSEL: PINSRレジスタのビット

図7.2 I/Oポートの構成(2)

P1_6



P1_7



注1. ―▶|― は寄生ダイオードです。
各端子への入力電圧はVCCを超えないようにしてください。

IOINSEL：PINSRレジスタのビット

図7.3　I/Oポートの構成(3)

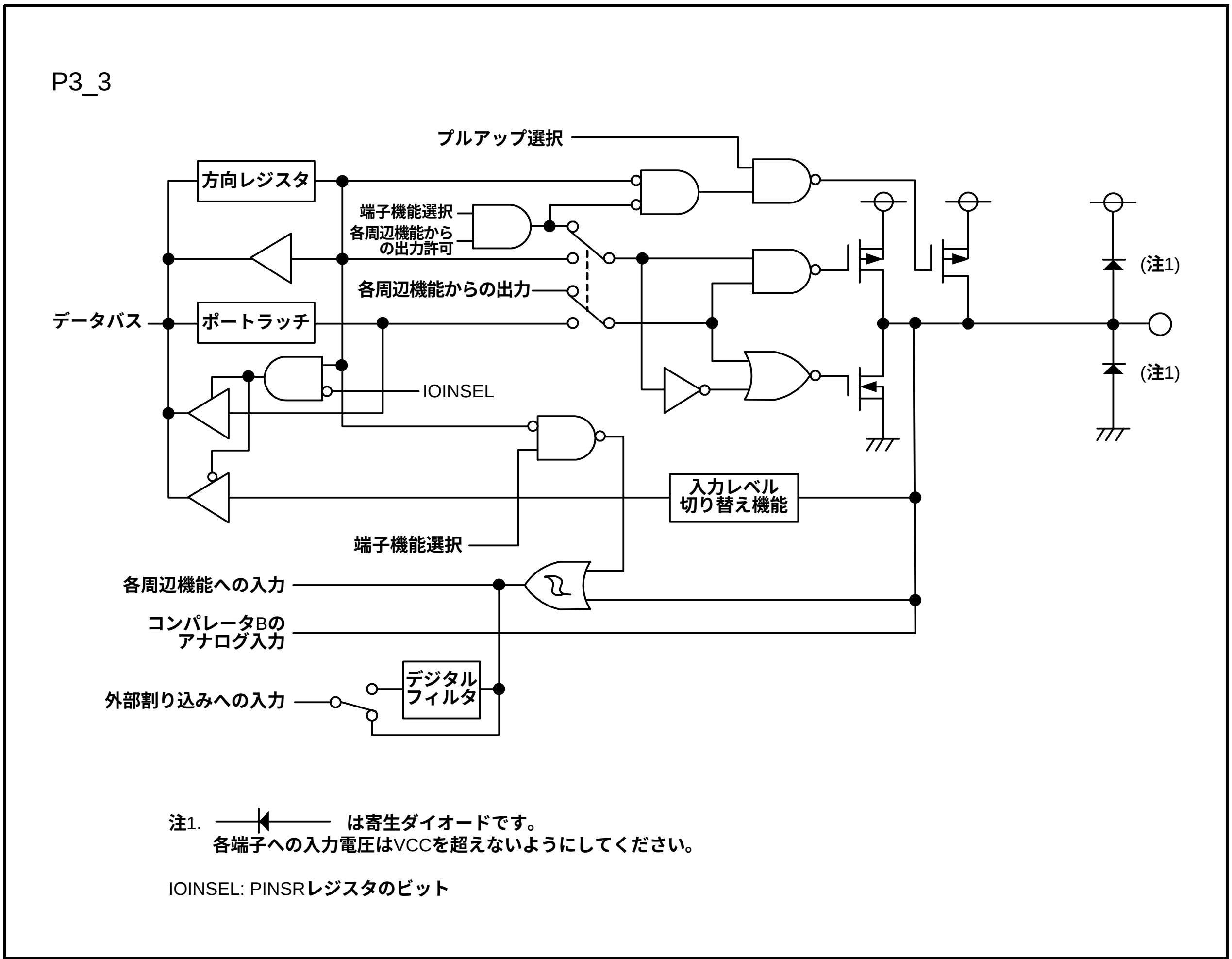
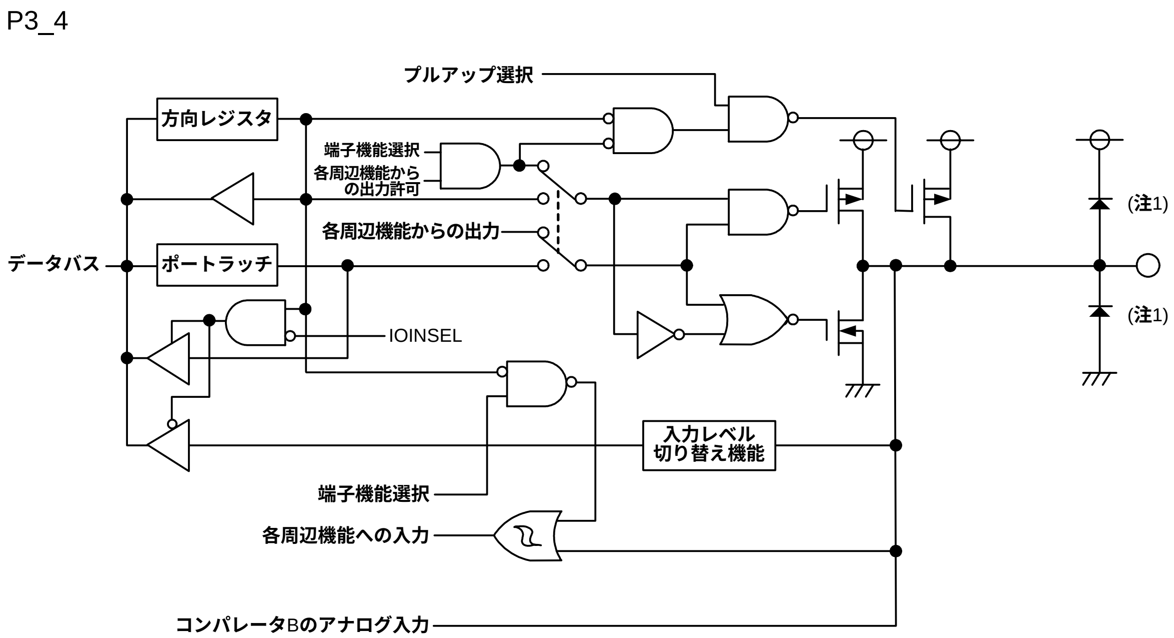
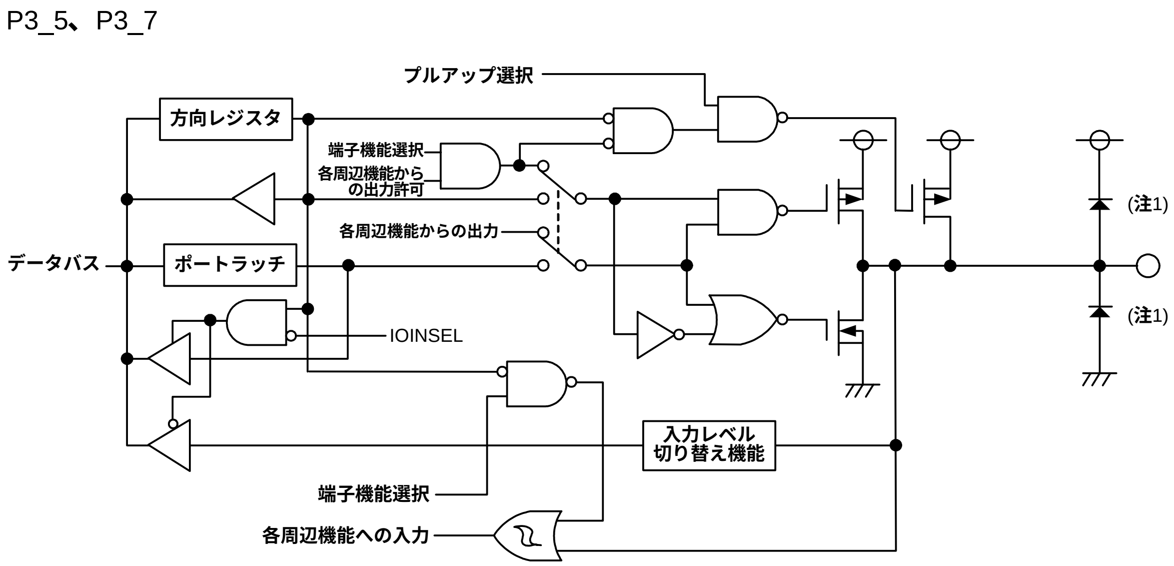


図7.4 I/Oポートの構成(4)

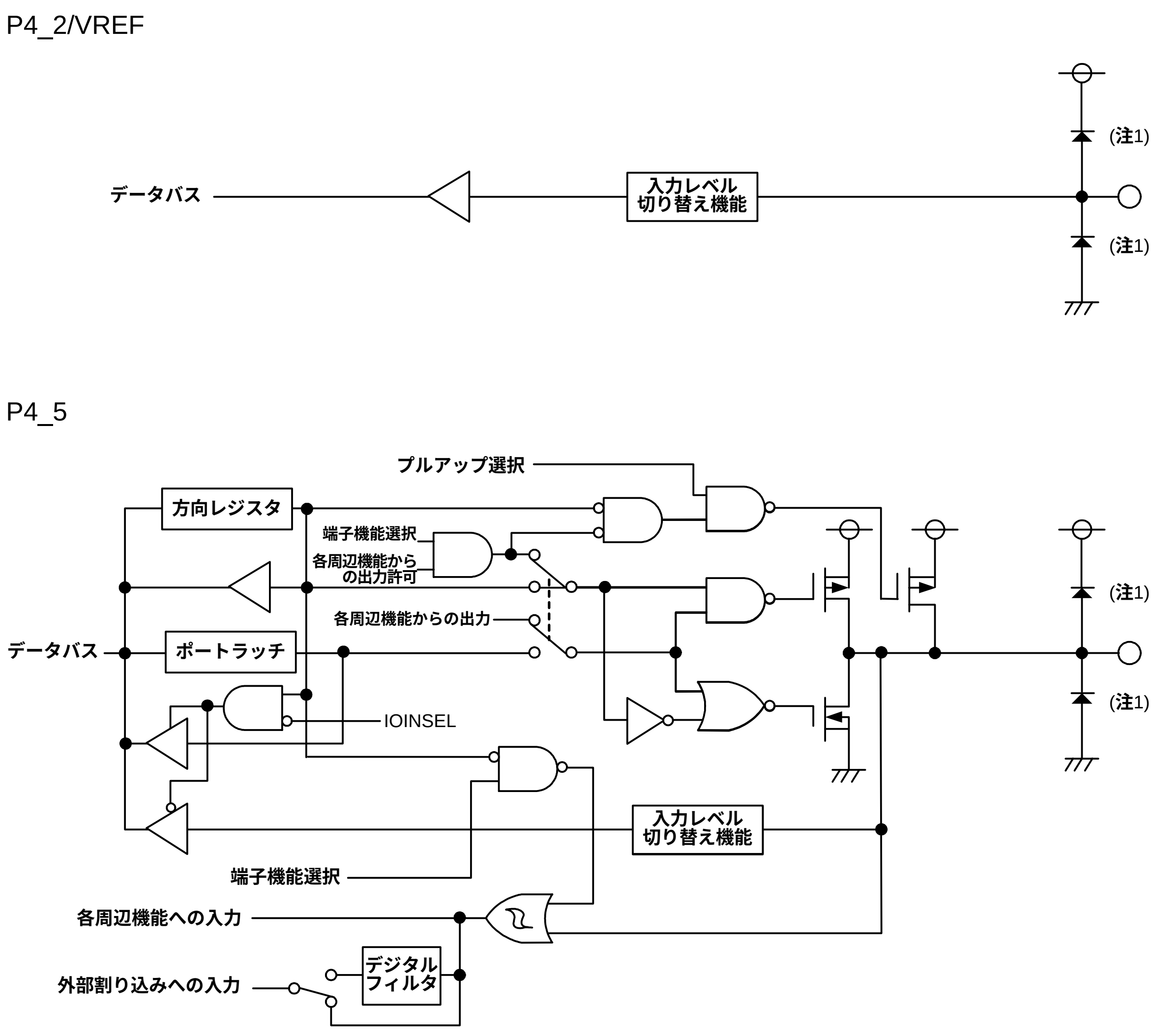




注1. は寄生ダイオードです。
各端子への入力電圧はVCCを超えないようにしてください。

IOINSEL：PINSRレジスタのビット

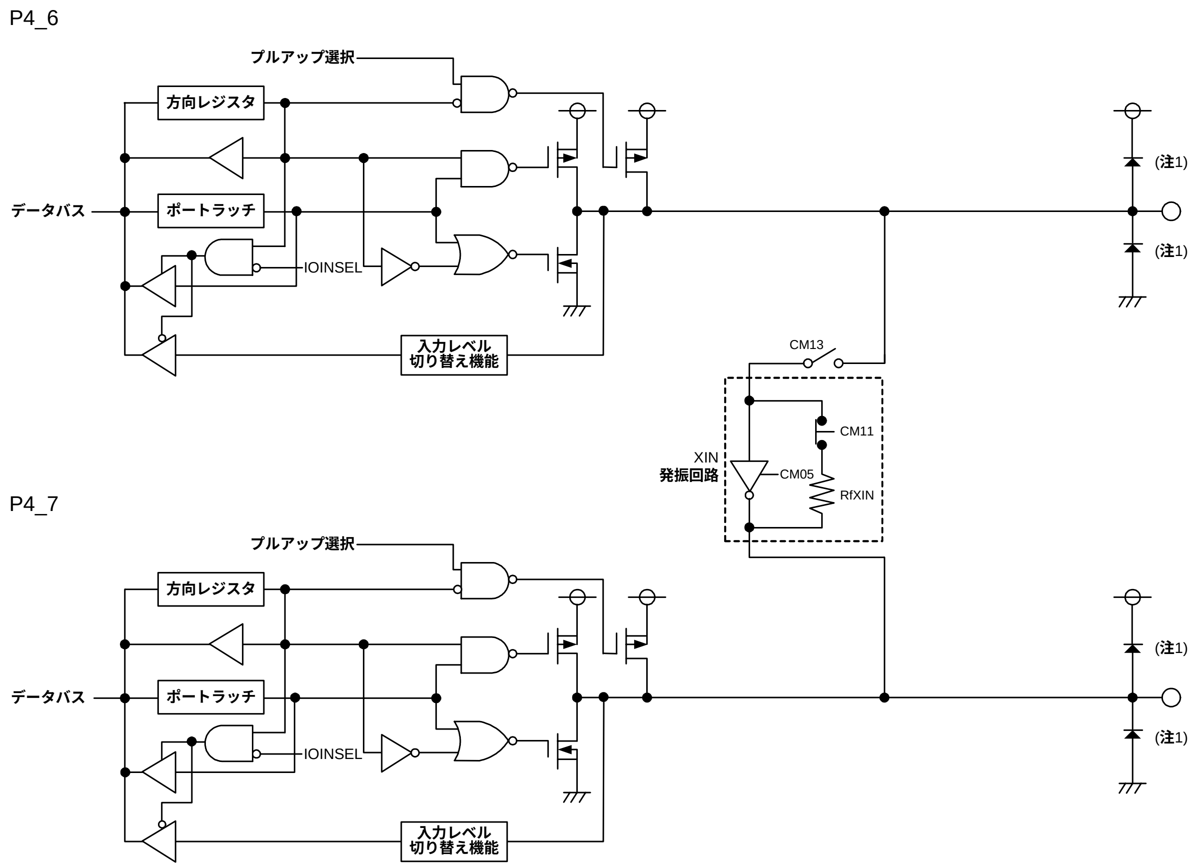
図7.5　　I/Oポートの構成(5)



注1.　は寄生ダイオードです。
各端子への入力電圧はVCCを超えないようにしてください。

IOINSEL: PINSRレジスタのビット

図7.6　　I/Oポートの構成(6)



注1. は寄生ダイオードです。
各端子への入力電圧はVCCを超えないようにしてください。

CM05：CM0レジスタのビット
CM11、CM13：CM1レジスタのビット

IOINSEL: PINSRレジスタのビット

図7.7 I/Oポートの構成(7)

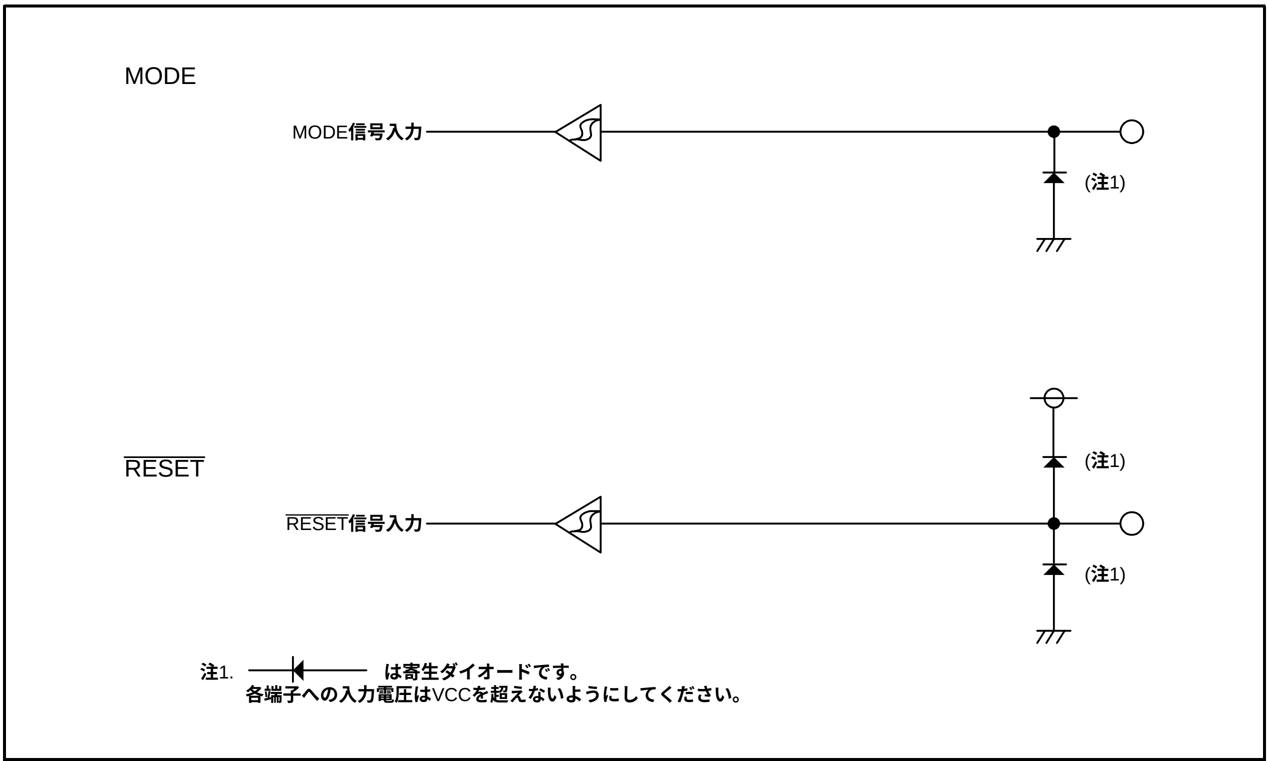

MODE
MODE信号入力
(注1)
RESET
RESET信号入力
(注1)
(注1)
注1. は寄生ダイオードです。
各端子への入力電圧はVCCを超えないようにしてください。

図7.8 端子の構成

7.4 レジスタの説明

7.4.1 ポートPi方向レジスタ(PDi)(i=1、3〜4)

アドレス 00E3h番地(PD1)、00E7h番地(PD3(注1))、00EAh番地(PD4(注2))

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PDi_7	PDi_6	PDi_5	PDi_4	PDi_3	PDi_2	PDi_1	PDi_0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PDi_0	ポートPi_0方向ビット	0：入力モード(入力ポートとして機能) 1：出力モード(出力ポートとして機能)	R/W
b1	PDi_1	ポートPi_1方向ビット		R/W
b2	PDi_2	ポートPi_2方向ビット		R/W
b3	PDi_3	ポートPi_3方向ビット		R/W
b4	PDi_4	ポートPi_4方向ビット		R/W
b5	PDi_5	ポートPi_5方向ビット		R/W
b6	PDi_6	ポートPi_6方向ビット		R/W
b7	PDi_7	ポートPi_7方向ビット		R/W

注1. PD3レジスタのPD3_2ビットは何も配置されていません。PD3_2ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。
PD3レジスタのPD3_0〜PD3_1、PD3_6ビットは予約ビットです。PD3_0〜PD3_1、PD3_6ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。

注2. PD4レジスタのPD4_0〜PD4_2ビットは何も配置されていません。PD4_0〜PD4_2ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。
PD4レジスタのPD4_3〜PD4_4ビットは予約ビットです。PD4_3〜PD4_4ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。

PDiレジスタはI/Oポートを入力に使用するか、出力に使用するか選択するためのレジスタです。PDiレジスタの各ビットは、ポート1本ずつに対応しています。

7.4.2 ポートPiレジスタ(Pi)(i=1、3〜4)

アドレス 00E1h番地(P1)、00E5h番地(P3(注1))、00E8h番地(P4(注2))

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	Pi_7	Pi_6	Pi_5	Pi_4	Pi_3	Pi_2	Pi_1	Pi_0
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	Pi_0	ポートPi_0ビット	0：“L”レベル 1：“H”レベル	R/W
b1	Pi_1	ポートPi_1ビット		R/W
b2	Pi_2	ポートPi_2ビット		R/W
b3	Pi_3	ポートPi_3ビット		R/W
b4	Pi_4	ポートPi_4ビット		R/W
b5	Pi_5	ポートPi_5ビット		R/W
b6	Pi_6	ポートPi_6ビット		R/W
b7	Pi_7	ポートPi_7ビット		R/W

注1. P3レジスタのP3_2ビットは何も配置されていません。P3_2ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。
P3レジスタのP3_0〜P3_1、P3_6ビットは予約ビットです。P3_0〜P3_1、P3_6ビットに書く場合、“0”を書いてください。読んだ場合、その値は不定です。
注2. P4レジスタのP4_0〜P4_1ビットは何も配置されていません。P4_0〜P4_1ビットに書く場合、“0”を書いてください。読んだ場合、その値は“0”です。
P4レジスタのP4_3〜P4_4ビットは予約ビットです。P4_3〜P4_4ビットに書く場合、“0”を書いてください。読んだ場合、その値は不定です。

外部とのデータ入出力は、Piレジスタへの読み出しと書き込みによって行います。Piレジスタは、出力データを保持するポートラッチと、端子の状態を読む回路で構成されています。ポートラッチに書いた値は端子から出力されます。Piレジスタの各ビットは、ポート1本ずつに対応しています。

Pi_jビット(i=1、3〜4、j=0〜7)(ポートPi_jビット)

入力モードに設定したI/Oポートに対応するビットを読むと、端子のレベルが読めます。出力モードに設定したI/Oポートに対応するビットに書くと、端子のレベルを制御できます。

7.4.3 タイマRA端子選択レジスタ(TRASR)

アドレス 0180h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	TRAIOSEL1	TRAIOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRAIOSEL0	TRAIO端子選択ビット	b1 b0 0 0：TRAIO端子は使用しない 0 1：P1_7に割り当てる 1 0：P1_5に割り当てる 1 1：設定しないでください	R/W
b1	TRAIOSEL1			R/W
b2	—	予約ビット	“0”にしてください	R/W
b3	—			
b4	—			
b5	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b6	—			
b7	—			

TRASRレジスタは、タイマRAの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRAの入出力端子を使用する場合は、TRASRレジスタを設定してください。

タイマRAの関連レジスタを設定する前に、TRASRレジスタを設定してください。また、タイマRAの動作中はTRASRレジスタの設定値を変更しないでください。

7.4.4 タイマRB/RC端子選択レジスタ(TRBRCSR)

アドレス	0181h番地						
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	TRCCLKSEL1	—	—	—	TRBOSEL1	TRBOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRBOSEL0	TRBO端子選択ビット	b1 b0 0 0：P1_3に割り当てる 0 1：設定しないでください 1 0：設定しないでください 1 1：TRBO端子は使用しない	R/W
b1	TRBOSEL1			R/W
b2	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b3	—			
b4	—	予約ビット	“0”にしてください	R/W
b5	TRCCLKSEL1	TRCCLK端子選択ビット	0：TRCCLK端子は使用しない 1：P3_3に割り当てる	R/W
b6	—	予約ビット	“0”にしてください	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

TRBRCSRレジスタはタイマRB、およびタイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRB、およびタイマRCの入出力端子を使用する場合は、TRBRCSRレジスタを設定してください。

タイマRB関連レジスタを設定する前にTRBOSEL0～TRBOSEL1ビットを、タイマRC関連レジスタを設定する前にTRCCLKSEL1ビットを設定してください。また、タイマRBの動作中はTRBOSEL0～TRBOSEL1ビットを、タイマRCの動作中はTRCCLKSEL1ビットの設定値を変更しないでください。

7.4.5　タイマRC端子選択レジスタ0 (TRCPSR0)

アドレス 0182h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	―	―	―	TRCIOBSEL0	―	―	―	TRCIOASEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOASEL0	TRCIOA/TRCTRG端子選択ビット	0：TRCIOA/TRCTRG端子は使用しない 1：P1_1に割り当てる	R/W
b1	―	予約ビット	“0”にしてください	R/W
b2	―			
b3	―	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		―
b4	TRCIOBSEL0	TRCIOB端子選択ビット	0：TRCIOB端子は使用しない 1：P1_2に割り当てる	R/W
b5	―	予約ビット	“0”にしてください	R/W
b6	―			
b7	―	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		―

TRCPSR0レジスタは、タイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRCの入出力端子を使用する場合は、TRCPSR0レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR0レジスタを設定してください。また、タイマRCの動作中はTRCPSR0レジスタの設定値を変更しないでください。

7.4.6 タイマRC端子選択レジスタ1 (TRCPSR1)

アドレス 0183h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	TRCIODSEL1	—	—	—	TRCIOCSEL1	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0”にしてください	R/W
b1	TRCIOCSEL1	TRCIOC端子選択ビット	0：TRCIOC端子は使用しない 1：P3_4に割り当てる	R/W
b2	—	予約ビット	“0”にしてください	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	—	予約ビット	“0”にしてください	R/W
b5	TRCIODSEL1	TRCIOD端子選択ビット	0：TRCIOD端子は使用しない 1：P3_5に割り当てる	R/W
b6	—	予約ビット	“0”にしてください	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

TRCPSR1レジスタは、タイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRCの入出力端子を使用する場合は、TRCPSR1レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR1レジスタを設定してください。また、タイマRCの動作中はTRCPSR1レジスタの設定値を変更しないでください。

7.4.7　タイマRD端子選択レジスタ0 (TRDPSR0)

アドレス　0184h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	TRDIOD0SEL0	—	TRDIOC0SEL0	—	TRDIOB0SEL0	—	TRDIOA0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA0SEL0	TRDIOA0/TRDCLK端子選択ビット	0：TRDIOA0/TRDCLK端子は使用しない 1：P3_5に割り当てる	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b2	TRDIOB0SEL0	TRDIOB0端子選択ビット	0：TRDIOB0端子は使用しない 1：P3_4に割り当てる	R/W
b3	—	予約ビット	“0”にしてください	R/W
b4	TRDIOC0SEL0	TRDIOC0端子選択ビット	0：TRDIOC0端子は使用しない 1：P3_7に割り当てる	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	TRDIOD0SEL0	TRDIOD0端子選択ビット	0：TRDIOD0端子は使用しない 1：P3_3に割り当てる	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

TRDPSR0レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR0レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR0レジスタを設定してください。また、タイマRDの動作中はTRDPSR0レジスタの設定値を変更しないでください。

7.4.8　タイマRD端子選択レジスタ1 (TRDPSR1)

アドレス　0185h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	TRDIOD1SEL0	—	TRDIOC1SEL0	—	TRDIOB1SEL0	—	TRDIOA1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA1SEL0	TRDIOA1端子選択ビット	0：TRDIOA1端子は使用しない 1：P1_0に割り当てる	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b2	TRDIOB1SEL0	TRDIOB1端子選択ビット	0：TRDIOB1端子は使用しない 1：P1_1に割り当てる	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	TRDIOC1SEL0	TRDIOC1端子選択ビット	0：TRDIOC1端子は使用しない 1：P1_2に割り当てる	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	TRDIOD1SEL0	TRDIOD1端子選択ビット	0：TRDIOD1端子は使用しない 1：P1_3に割り当てる	R/W
b7	—	予約ビット	“0”にしてください	R/W

TRDPSR1レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR1レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR1レジスタを設定してください。また、タイマRDの動作中はTRDPSR1レジスタの設定値を変更しないでください。

7.4.9 UART0端子選択レジスタ(U0SR)

アドレス 0188h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	CLK0SEL0	—	RXD0SEL0	—	TXD0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD0SEL0	TXD0端子選択ビット	0：TXD0端子は使用しない 1：P1_4に割り当てる	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b2	RXD0SEL0	RXD0端子選択ビット	0：RXD0端子は使用しない 1：P1_5に割り当てる	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	CLK0SEL0	CLK0端子選択ビット	0：CLK0端子は使用しない 1：P1_6に割り当てる	R/W
b5	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b6	—			
b7	—			

U0SRレジスタは、UART0の入出力をどの端子に割り当てるかを選択するレジスタです。UART0の入出力端子を使用する場合は、U0SRレジスタを設定してください。

UART0の関連レジスタを設定する前に、U0SRレジスタを設定してください。また、UART0の動作中はU0SRレジスタの設定値を変更しないでください。

7.4.10 UART2端子選択レジスタ0 (U2SR0)

アドレス 018Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	RXD2SEL1	RXD2SEL0	—	—	—	TXD2SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD2SEL0	TXD2/SDA2端子選択ビット	0：TXD2/SDA2端子は使用しない 1：P3_7に割り当てる	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	—			
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	RXD2SEL0	RXD2/SCL2端子選択ビット	b5 b4 0 0：RXD2/SCL2端子は使用しない 1 0：P3_7に割り当てる 1 1：P4_5に割り当てる 上記以外：設定しないでください	R/W
b5	RXD2SEL1			R/W
b6	—	予約ビット	“0”にしてください	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

U2SR0レジスタは、UART2の入出力をどの端子に割り当てるかを選択するレジスタです。UART2の入出力端子を使用する場合は、U2SR0レジスタを設定してください。

UART2の関連レジスタを設定する前に、U2SR0レジスタを設定してください。また、UART2の動作中はU2SR0レジスタの設定値を変更しないでください。

7.4.11 UART2端子選択レジスタ1 (U2SR1)

アドレス 018Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	−	−	−	CTS2SEL0	−	−	−	CLK2SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK2SEL0	CLK2端子選択ビット	0：CLK2端子は使用しない 1：P3_5に割り当てる	R/W
b1	−	予約ビット	“0”にしてください	R/W
b2	−	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		−
b3	−			
b4	CTS2SEL0	$\overline{\mathrm{CTS2}}$/$\overline{\mathrm{RTS2}}$端子選択ビット	0：$\overline{\mathrm{CTS2}}$/$\overline{\mathrm{RTS2}}$端子は使用しない 1：P3_3に割り当てる	R/W
b5	−	予約ビット	“0”にしてください	R/W
b6	−	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		−
b7	−			

U2SR1レジスタは、UART2の入出力をどの端子に割り当てるかを選択するレジスタです。UART2の入出力端子を使用する場合は、U2SR1レジスタを設定してください。

UART2の関連レジスタを設定する前に、U2SR1レジスタを設定してください。また、UART2の動作中はU2SR1レジスタの設定値を変更しないでください。

7.4.12 SSU端子選択レジスタ(SSUIICSR)

アドレス 018Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	−	SCSSEL0	SSISEL1	SSISEL0	−	−	−	−
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	−	予約ビット	“0”にしてください	R/W
b1	−			
b2	−	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		−
b3	−			
b4	SSISEL0	SSI端子選択ビット	b5 b4 0 0：SSI端子機能は使用しない 0 1：P3_3に割り当てる 1 0：P1_6に割り当てる 1 1：設定しないでください	R/W
b5	SSISEL1			R/W
b6	SCSSEL0	$\overline{\text{SCS}}$端子選択ビット	0：$\overline{\text{SCS}}$端子機能は使用しない 1：P3_4に割り当てる	R/W
b7	−	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		−

SSISEL0〜SSISEL1ビット(SSI端子選択ビット)

SSISEL0〜SSISEL1ビットは､SSUの入出力をどの端子に割り当てるかを選択するビットです｡SSUの入出力端子を使用する場合は、SSISEL0〜SSISEL1ビットを設定してください。

SSUの関連レジスタを設定する前に、SSSISEL0〜SSISEL1ビットを設定してください。また、SSUの動作中はSSISEL0〜SSISEL1ビットの設定値を変更しないでください。

SCSSEL0ビット($\overline{\text{SCS}}$端子選択ビット)

SCSSEL0ビットは、SSUの入出力をどの端子に割り当てるかを選択するビットです。SSUの入出力端子を使用する場合は、SCSSEL0ビットを設定してください。

SSUの関連レジスタを設定する前に、SCSSEL0ビットを設定してください。また、SSUの動作中はSCSSEL0ビットの設定値を変更しないでください。

7.4.13 INT割り込み入力端子選択レジスタ(INTSR)

アドレス 018Eh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	INT1SEL0	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	INT1SEL0	$\overline{\mathrm{INT1}}$端子選択ビット	0：P1_7に割り当てる 1：P1_5に割り当てる	R/W
b2	—	予約ビット	“0”にしてください	R/W
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

INTSRレジスタは、$\overline{\mathrm{INT1}}$の入力をどの端子に割り当てるかを選択するレジスタです。$\overline{\mathrm{INT1}}$を使用する場合は、INTSRレジスタを設定してください。

$\overline{\mathrm{INT1}}$の関連レジスタを設定する前に、INTSRレジスタを設定してください。また、$\overline{\mathrm{INT1}}$の動作中はINTSRレジスタの設定値を変更しないでください。

7.4.14 入出力機能端子選択レジスタ(PINSR)

アドレス 018Fh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	IOINSEL	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	—	予約ビット	“0”にしてください	R/W
b2	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b3	IOINSEL	I/Oポート入力機能選択ビット	0：I/Oポートの入力機能はPDi (i=1、3～4) レジスタに依存 PDiレジスタのPDi_j (j=0～7)ビットが“0”(入力モード)のとき、端子の入力レベルを読む。 PDiレジスタのPDi_jビットが“1”(出力モード)のとき、ポートラッチを読む。 1：I/Oポートの入力機能はPDiレジスタに関係なく、端子の入力レベルを読む	R/W
b4	—	予約ビット	“0”にしてください	R/W
b5	—			
b6	—			
b7	—			

IOINSELビット(I/Oポート入力機能選択ビット)

IOINSELビットはPDi (i=1、3～4) レジスタのPDi_j (j=0～7) ビットが“1”(出力モード)のときに、I/Oポートの端子の入力レベルを読むことを選択するためのビットです。“1”にするとI/Oポートの入力機能は、PDiレジスタに関係なく、端子の入力レベルを読みます。

表7.4にIOINSELビットによるI/Oポートの読み出し値を示します。IOINSELビットでP4_2を除くすべてのI/Oポートの入力機能を変更できます。

表7.4 IOINSELビットによるI/Oポートの読み出し値

PDiレジスタのPDi_jビット	“0”(入力モード)		“1”(出力モード)	
IOINSELビット	“0”	“1”	“0”	“1”
I/Oポート読み出し値	端子の入力レベル		ポートラッチの値	端子の入力レベル

7.4.15 プルアップ制御レジスタ0 (PUR0)

アドレス 01E0h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PU07	PU06	—	—	PU03	PU02	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0”にしてください	R/W
b1	—			
b2	PU02	P1_0～P1_3のプルアップ	0：プルアップなし	R/W
b3	PU03	P1_4～P1_7のプルアップ	1：プルアップあり(注1)	R/W
b4	—	予約ビット	“0”にしてください	R/W
b5	—			
b6	PU06	P3_3のプルアップ	0：プルアップなし	R/W
b7	PU07	P3_4～P3_5、P3_7のプルアップ	1：プルアップあり(注1)	R/W

注1. このビットが“1”(プルアップあり)かつポート方向ビットが“0”(入力モード)の端子がプルアップされます。

入力として使用している端子は、PUR0レジスタの設定値が有効になります。

7.4.16 プルアップ制御レジスタ1 (PUR1)

アドレス 01E1h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	PU11	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0”にしてください	R/W
b1	PU11	P4_5～P4_7のプルアップ	0：プルアップなし 1：プルアップあり(注1)	R/W
b2	—	予約ビット	“0”にしてください	R/W
b3	—			
b4	—			
b5	—			
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
b7	—			

注1. このビットが“1”(プルアップあり)かつポート方向ビットが“0”(入力モード)の端子がプルアップされます。

入力として使用している端子は、PUR1レジスタの設定値が有効になります。

7.4.17 入力しきい値制御レジスタ0 (VLT0)

アドレス 01F5h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VLT07	VLT06	—	—	VLT03	VLT02	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0”にしてください	R/W
b1	—			
b2	VLT02	P1の入力レベル選択ビット	b3 b2 0 0：0.50×VCC 0 1：0.35×VCC 1 0：0.70×VCC 1 1：設定しないでください	R/W
b3	VLT03			R/W
b4	—	予約ビット	“0”にしてください	R/W
b5	—			
b6	VLT06	P3_3〜P3_5、P3_7の入力レベル選択ビット	b7 b6 0 0：0.50×VCC 0 1：0.35×VCC 1 0：0.70×VCC 1 1：設定しないでください	R/W
b7	VLT07			R/W

VLT0レジスタはポートP1、P3_3～P3_5、P3_7の入力しきい値の電圧レベルを選択するレジスタです。VLT02～VLT03、VLT06～VLT07ビットによって、入力しきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。

7.4.18 入力しきい値制御レジスタ1 (VLT1)

アドレス 01F6h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	VLT11	VLT10
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VLT10	P4_2、P4_5～P4_7の入力レベル選択ビット	b1 b0 0 0：0.50×VCC 0 1：0.35×VCC 1 0：0.70×VCC 1 1：設定しないでください	R/W
b1	VLT11			R/W
b2	—	予約ビット	“0”にしてください	R/W
b3	—			
b4	—			
b5	—			
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b7	—			

VLT1レジスタはポートP4_2、P4_5～P4_7の入力しきい値の電圧レベルを選択するレジスタです。VLT10～VLT13ビットによって、入力しきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。

7.5 ポートの設定

表7.5～表7.33にポートの設定を示します。

表7.5 ポートP1_0/$\overline{\mathrm{KI0}}$/AN8/TRDIOA1

レジスタ	PD1	KIEN	ADINSEL					TRDPSR1	タイマRD設定	機能
ビット	PD1_0	KI0EN	CH			ADGSEL		TRDIOA1SEL0	−	
			2	1	0	1	0			
設定値	0	X	X	X	X	X	X	0	X	入力ポート(注1)
	1	X	X	X	X	X	X	0	X	出力ポート
	0	1	X	X	X	X	X	0	X	$\overline{\mathrm{KI0}}$入力(注1)
	0	0	0	0	0	0	1	0	X	A/Dコンバータ入力(AN8)(注1)
	0	X	X	X	X	X	X	1	「表7.30 TRDIOA1端子設定」参照	TRDIOA1入力(注1)
	X	X	X	X	X	X	X	1	「表7.30 TRDIOA1端子設定」参照	TRDIOA1出力

X :“0”または“1”

注1. PUR0レジスタのPU02ビットを“1”にすると、プルアップありとなります。

表7.6 ポートP1_1/$\overline{\mathrm{KI1}}$/AN9/TRCIOA/TRCTRG/TRDIOB1

レジスタ	PD1	KIEN	ADINSEL					TRCPSR0	タイマRC設定	TRDPSR1	タイマRD設定	機能
ビット	PD1_1	KI1EN	CH			ADGSEL		TRCIOASEL0	−	TRDIOB1SEL0	−	
			2	1	0	1	0					
設定値	0	X	X	X	X	X	X	0	X	0	X	入力ポート(注1)
	1	X	X	X	X	X	X	0	X	0	X	出力ポート
	0	1	X	X	X	X	X	0	X	0	X	$\overline{\mathrm{KI1}}$入力(注1)
	0	0	0	0	1	0	1	0	X	0	X	A/Dコンバータ入力(AN9)(注1)
	0	X	X	X	X	X	X	1	「表7.22 TRCIOA端子設定」参照	0	X	TRCIOA入力(注1)
	X	X	X	X	X	X	X	1	「表7.22 TRCIOA端子設定」参照	0	X	TRCIOA出力
	0	X	X	X	X	X	X	0	X	1	「表7.31 TRDIOB1端子設定」参照	TRCIOB1入力(注1)
	X	X	X	X	X	X	X	0	X	1	「表7.31 TRDIOB1端子設定」参照	TRCIOB1出力

X :“0”または“1”

注1. PUR0レジスタのPU02ビットを“1”にすると、プルアップありとなります。

表7.7　ポートP1_2/$\overline{\mathrm{KI2}}$/AN10/TRCIOB/TRDIOC1

レジスタ	PD1	KIEN	ADINSEL					TRCPSR0	タイマRC設定	TRDPSR1	タイマRD設定	機能
ビット	PD1_2	KI2EN	CH			ADGSEL		TRCIOBSEL0	—	TRDIOC1SEL0	—	
			2	1	0	1	0					
設定値	0	X	X	X	X	X	X	0	X	0	X	入力ポート(注1)
	1	X	X	X	X	X	X	0	X	0	X	出力ポート
	0	1	X	X	X	X	X	0	X	0	X	$\overline{\mathrm{KI2}}$入力(注1)
	0	0	0	1	0	0	1	0	X	0	X	A/Dコンバータ入力(AN10)(注1)
	0	X	X	X	X	X	X	1	「表7.23 TRCIOB端子設定」参照	0	X	TRCIOB入力(注1)
	X	X	X	X	X	X	X	1	「表7.23 TRCIOB端子設定」参照	0	X	TRCIOB出力
	0	X	X	X	X	X	X	0	X	1	「表7.32 TRDIOC1端子設定」参照	TRDIOC1入力(注1)
	X	X	X	X	X	X	X	0	X	1	「表7.32 TRDIOC1端子設定」参照	TRDIOC1出力

X:“0”または“1”

注1.　PUR0レジスタのPU02ビットを“1”にすると、プルアップありとなります。

表7.8　ポートP1_3/$\overline{\mathrm{KI3}}$/AN11/TRBO/TRDIOD1

レジスタ	PD1	KIEN	ADINSEL					TRBRCSR		タイマRB設定	TRDPSR1	タイマRD設定	機能
ビット	PD1_3	KI3EN	CH			ADGSEL		TRBOSEL		—	TRDIOD1SEL0		
			2	1	0	1	0	1	0				
設定値	0	X	X	X	X	X	X	1	1	X	0	X	入力ポート(注1)
								0	0	TRBO使用条件以外			
	1	X	X	X	X	X	X	1	1	X	0	X	出力ポート
								0	0	TRBO使用条件以外			
	0	1	X	X	X	X	X	1	1	X	0	X	$\overline{\mathrm{KI3}}$入力(注1)
								0	0	TRBO使用条件以外			
	0	0	0	1	1	0	1	1	1	X	0	X	A/Dコンバータ入力(AN11)(注1)
								0	0	TRBO使用条件以外			
	X	X	X	X	X	X	X	0	0	「表7.21 TRBO端子設定」参照	0	X	TRBO出力
	0	X	X	X	X	X	X	1	1	X	1	「表7.33 TRDIOD1端子設定」参照	TRDIOD1入力(注1)
								0	0	TRBO使用条件以外			
	X	X	X	X	X	X	X	1	1	X	1	「表7.33 TRDIOD1端子設定」参照	TRDIOD1出力
								0	0	TRBO使用条件以外			

X:“0”または“1”

注1.　PUR0レジスタのPU02ビットを“1”にすると、プルアップありとなります。

注2.　TRBRCSRレジスタのTRBOSEL1～TRBOSEL0ビットを“10b”、“01b”に設定しないでください。

表7.9　ポートP1_4/TXD0

<table>
<tr><td>レジスタ</td><td>PD1</td><td>U0SR</td><td colspan="3">U0MR</td><td rowspan="3">機能</td></tr>
<tr><td rowspan="2">ビット</td><td rowspan="2">PD1_4</td><td rowspan="2">TXD0SEL0</td><td colspan="3">SMD</td></tr>
<tr><td>2</td><td>1</td><td>0</td></tr>
<tr><td rowspan="6">設定値</td><td>0</td><td>0</td><td>X</td><td>X</td><td>X</td><td>入力ポート(注1)</td></tr>
<tr><td>1</td><td>0</td><td>X</td><td>X</td><td>X</td><td>出力ポート</td></tr>
<tr><td rowspan="4">X</td><td rowspan="4">1</td><td>0</td><td rowspan="3">0</td><td>1</td><td rowspan="4">TXD0出力(注2)</td></tr>
<tr><td rowspan="3">1</td><td>0</td></tr>
<tr><td>1</td></tr>
<tr><td>1</td><td>0</td></tr>
</table>

X :“0”または“1”
注1.　PUR0レジスタのPU03ビットを“1”にすると、プルアップありとなります。
注2.　U0C0レジスタのNCHビットを“1”にすると、Nチャネルオープンドレイン出力になります。

表7.10　ポートP1_5/RXD0/(TRAIO)/($\overline{\mathrm{INT1}}$)

<table>
<tr><td>レジスタ</td><td>PD1</td><td>U0SR</td><td colspan="2">TRASR</td><td>TRAIOC</td><td colspan="3">TRAMR</td><td>INTSR</td><td>INTEN</td><td>INTCMP</td><td rowspan="3">機能</td></tr>
<tr><td rowspan="2">ビット</td><td rowspan="2">PD1_5</td><td rowspan="2">RXD0SEL0</td><td colspan="2">TRAIOSEL</td><td rowspan="2">TOPCR</td><td colspan="3">TMOD</td><td rowspan="2">INT1SEL0</td><td rowspan="2">INT1EN</td><td rowspan="2">INT1CP0</td></tr>
<tr><td>1</td><td>0</td><td>2</td><td>1</td><td>0</td></tr>
<tr><td rowspan="9">設定値</td><td>0</td><td>X</td><td colspan="2">10b以外</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>入力ポート(注1)</td></tr>
<tr><td>1</td><td>X</td><td colspan="2">10b以外</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>出力ポート</td></tr>
<tr><td>0</td><td>1</td><td colspan="2">10b以外</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>RXD0入力(注1)</td></tr>
<tr><td>0</td><td>X</td><td>1</td><td>0</td><td>0</td><td colspan="3">000b、001b以外</td><td>X</td><td>X</td><td>X</td><td>TRAIO入力(注1)</td></tr>
<tr><td>0</td><td>X</td><td colspan="2">10b以外</td><td>X</td><td>X</td><td>X</td><td>X</td><td>1</td><td>1</td><td>0</td><td>$\overline{\mathrm{INT1}}$入力(注1)</td></tr>
<tr><td>0</td><td>X</td><td>1</td><td>0</td><td>0</td><td colspan="3">000b、001b以外</td><td>1</td><td>1</td><td>0</td><td>TRAIO/$\overline{\mathrm{INT1}}$入力(注1)</td></tr>
<tr><td>X</td><td>X</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>X</td><td>X</td><td>X</td><td>TRAIOパルス出力</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>0</td><td>0</td><td colspan="3" rowspan="2">マスタモード：000b
スレーブモード：011b</td><td>X</td><td>X</td><td>X</td><td>TRAIO/RXD0入力(ハードウェアLIN)</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td><td>TRAIO/RXD0/$\overline{\mathrm{INT1}}$入力(ハードウェアLIN)</td></tr>
</table>

X :“0”または“1”
注1.　PUR0レジスタのPU03ビットを“1”にすると、プルアップありとなります。

表7.11 ポートP1_6/CLK0/(SSI)/IVREF1

レジスタ	PD1	U0SR	U0MR				INTCMP	SSUIICSR		シンクロナスシリアルコミュニケーションユニット(「表23.4 通信モードと入出力端子の関係」参照)		機能
ビット	PD1_6	CLK0SEL0	SMD 2	SMD 1	SMD 0	CKDIR	INT1CP0	SSISEL1	SSISEL0	SSI出力制御	SSI入力制御	
設定値	0	0	X	X	X	X	X	10b以外		X	X	入力ポート(注1)
	1	0	X	X	X	X	X	10b以外		X	X	出力ポート
	0	1	X	X	X	1	X	10b以外		X	X	CLK0(外部クロック)入力(注1)
	X	1	0	0	1	0	X	10b以外		X	X	CLK0(内部クロック)出力
	0	0	X	X	X	X	1	10b以外		X	X	コンパレータB1リファレンス電圧入力(IVREF1) (注1)
	X	0	X	X	X	X	X	1	0	0	1	SSI入力(注1)
	X	0	X	X	X	X	X	1	0	1	0	SSI出力(注2)

X:"0"または"1"

注1. PUR0レジスタのPU03ビットを"1"にすると、プルアップありとなります。

注2. SSMR2レジスタのSOOSビットを"1"(Nチャネルオープンドレイン出力)かつBIDEビットを"0"(標準モード)にすると、Nチャネルオープンドレイン出力になります。

表7.12 ポートP1_7/(TRAIO)/$\overline{\mathrm{INT1}}$/IVCMP1

レジスタ	PD1	TRASR		TRAIOC	TRAMR			INTSR	INTEN	INTCMP	機能
ビット	PD1_7	TRAIOSEL 1	TRAIOSEL 0	TOPCR	TMOD 2	TMOD 1	TMOD 0	INT1SEL0	INT1EN	INT1CP0	
設定値	0	01b以外		X	X	X	X	X	X	X	入力ポート(注1)
	1	01b以外		X	X	X	X	X	X	X	出力ポート
	0	0	1	0	000b、001b以外			X	X	X	TRAIO入力(注1)
	0	01b以外		X	X	X	X	0	1	0	$\overline{\mathrm{INT1}}$入力(注1)
	0	0	1	0	000b、001b以外			0	1	0	TRAIO/$\overline{\mathrm{INT1}}$入力(注1)
	X	0	1	0	0	0	1	X	X	X	TRAIOパルス出力
	0	01b以外		X	X	X	X	X	1	1	コンパレータB1入力(IVCMP1)(注1)

X:"0"または"1"

注1. PUR0レジスタのPU03ビットを"1"にすると、プルアップありとなります。

表7.13　ポートP3_3/INT3/(SSI)/CTS2/RTS2/TRCCLK/IVCMP3/TRDIOD0

レジスタ	PD3	INTEN	TRBRCSR	TRCCR1			U2SR1	U2MR			U2C0		SSUIICSR		シンクロナスシリアルコミュニケーションユニット(「表23.4 通信モードと入出力端子の関係」参照)		TRDPSR0	タイマRD設定	INTCMP	機能
ビット	PD3_3	INT3EN	TRCCLKSEL	TCK			CTS2SEL0	SMD			CRS	CRD	SSISEL	SSISEL	SSI出力制御	SSI入力制御	TRDIOD0SEL0	—	INT3CP0	
		1	1	2	1	0		2	1	0			1	0						
設定値	0	X	X	X	X	X	0	X	X	X	X	X	01b以外		X	X	0	X	X	入力ポート(注1)
	1	X	X	X	X	X	0	X	X	X	X	X	01b以外		X	X	0	X	X	出力ポート
	0	1	X	X	X	X	0	X	X	X	X	X	01b以外		X	X	0	X	0	INT3入力(注1)
	0	X	1	1	0	1	0	X	X	X	X	X	01b以外		X	X	0	X	X	TRCCLK入力(注1)
	0	X	X	X	X	X	1	000b以外			0	0	01b以外		X	X	0	X	X	CTS2入力(注1)
	X	X	X	X	X	X	1	000b以外			1	0	01b以外		X	X	0	X	X	RTS2出力
	0	X	0	X	X	X	0	X	X	X	X	X	01b以外		X	X	0	X	1	コンパレータB3入力(IVCMP3)(注1)
	X	X	0	X	X	X	0	X	X	X	X	X	0	1	0	1	0	X	X	SSI入力(注1)
	X	X	0	X	X	X	0	X	X	X	X	X	0	1	1	0	0	X	X	SSI出力(注2)
	0	X	0	X	X	X	0	X	X	X	X	X	01b以外		X	X	1	「表7.29 TRDIOD0端子設定」参照	X	TRDIOD0入力(注1)
	X	X	0	X	X	X	0	X	X	X	X	X	01b以外		X	X	1	「表7.29 TRDIOD0端子設定」参照	X	TRDIOD0出力

X："0"または"1"
注1.　PUR0レジスタのPU06ビットを"1"にすると、プルアップありとなります。
注2.　SSMR2レジスタのCSOSビットを"1"(Nチャネルオープンドレイン出力)かつBIDEビットを"0"(標準モード)にすると、Nチャネルオープンドレイン出力になります。

表7.14　ポートP3_4/SCS/TRCIOC/IVREF3/TRDIOB0

レジスタ	PD3	SSUIICSR	SSMR2		TRCPSR1	タイマRC設定	TRDPSR0	タイマRD設定	INTCMP	機能
ビット	PD3_4	SCSSEL0	CSS		TRCIOCSEL1	—	TRDIOB0SEL0	—	INT3CP0	
			1	0						
設定値	0	0	0	0	0	X	0	X	X	入力ポート(注1)
	1	0	0	0	0	X	0	X	X	出力ポート
	0	0	0	0	1	「表7.24　TRCIOC端子設定」参照	0	X	X	TRCIOC入力(注1)
	X	0	0	0	1	「表7.24　TRCIOC端子設定」参照	0	X	X	TRCIOC出力
	0	0	0	0	0	X	1	「表7.27　TRDIOB0端子設定」参照	X	TRDIOB0入力(注1)
	X	0	0	0	0	X	1	「表7.27　TRDIOB0端子設定」参照	X	TRDIOB0出力
	X	1	0	1	X	X	0	X	X	SCS入力(注1)
	X	1	1	0	X	X	0	X	X	SCS出力(注2)
	X	1	1	1	X	X	0	X	X	
	0	0	0	0	0	X	0	X	1	コンパレータB3リファレンス電圧入力(IVREF3)(注1)

X："0"または"1"
注1.　PUR0レジスタのPU07ビットを"1"にすると、プルアップありとなります。
注2.　SSMR2レジスタのSOOSビットを"1"(Nチャネルオープンドレイン出力)にすると、Nチャネルオープンドレイン出力になります。

表7.15　ポートP3_5/SSCK/TRCIOD/CLK2/TRDIOA0/TRDCLK

レジスタ	PD3	U2SR1	U2MR				シンクロナスシリアルコミュニケーションユニット(「表23.4　通信モードと入出力端子の関係」参照)		TRCPSR1	タイマRC設定	TRDPSR0	タイマRD設定	機能
ビット	PD3_5	CLK2SEL0	SMD 2	SMD 1	SMD 0	CKDIR 0	SSCK出力制御	SSCK入力制御	TRCIODSEL1	−	TRDIOB0SEL0	−	
設定値	0	0	X	X	X	X	0	0	0	X	0	X	入力ポート(注1)
	1	0	X	X	X	X	0	0	0	X	0	X	出力ポート
	0	0	X	X	X	X	0	0	1	「表7.25 TRCIOD端子設定」参照	0	X	TRCIOD入力(注1)
	X	0	X	X	X	X	0	0	1	「表7.25 TRCIOD端子設定」参照	0	X	TRCIOD出力
	0	1	X	X	X	1	0	0	X	X	0	X	CLK2入力(注1)
	X	1	0	0	1	0	0	0	X	X	0	X	CLK2出力(注3)
	X	X	X	X	X	X	0	1	X	X	0	X	SSCK入力(注1)
	X	X	X	X	X	X	1	0	X	X	0	X	SSCK出力(注2)
	0	0	X	X	X	X	0	0	0	X	1	「表7.26 TRDIOA0端子設定」参照	TRDIOA0入力(注1)
	X	0	X	X	X	X	0	0	0	X	1	「表7.26 TRDIOA0端子設定」参照	TRDIOA0出力

X：“0”または“1”
注1.　PUR0レジスタのPU07ビットを“1”にすると、プルアップありとなります。
注2.　SSMR2レジスタのSCKOSビットを“1”(Nチャネルオープンドレイン出力)にすると、Nチャネルオープンドレイン出力になります。
注3.　U2SMR3レジスタのNODCビットを“1”にすると、Nチャネルオープンドレイン出力になります。

表7.16　ポートP3_7/TRAO/SSO/(RXD2/SCL2)/(TXD2/SDA2)/TRDIOC0

レジスタ	PD3	シンクロナスシリアルコミュニケーションユニット(「表23.4　通信モードと入出力端子の関係」参照)		U2SR0			U2MR			U2SMR	TRAIOC	TRDPSR0	タイマRD設定	機能
ビット	PD3_7	SSO出力制御	SSO入力制御	RXD2SEL		TXD2SEL0	SMD			IICM	TOENA	TRDIOC0SEL0		
				1	0		2	1	0					
設定値	0	0	0	10b以外		0	X	X	X	X	0	0	X	入力ポート(注1)
	1	0	0	10b以外		0	X	X	X	X	0	0	X	出力ポート
	X	0	1	X	X	X	X	X	X	X	X	0	X	SSO入力(注1)
	X	1	0	X	X	X	X	X	X	X	X	0	X	SSO出力(注2)
	0	0	0	1	0	0	X	X	X	0	0	0	X	RXD2入力(注1)
	0	0	0	1	0	0	0	1	0	1	X	0	X	SCL2入出力(注3)
	X	0	0	X	X	1	0	0	1	X	X	0	X	TXD2出力(注3)
							1		0			0	X	
		0	0						1			0	X	
								1	0			0	X	
	0	0	0	X	X	1	0	1	0	1	X	0	X	SDA2入出力(注3)
	X	0	0	10b以外		0	X	X	X	X	1	0	X	TRAO出力
	0	0	0	10b以外		0	X	X	X	X	0	1	「表7.28 TRDIOC0端子設定」参照	TRDIOC0入力(注1)
	X	0	0	10b以外		0	X	X	X	X	0	1	「表7.28 TRDIOC0端子設定」参照	TRDIOC0出力

X：“0”または“1”
注1.　PUR0レジスタのPU07ビットを“1”にすると、プルアップありとなります。
注2.　SSMR2レジスタのSOOSビットを“1”(Nチャネルオープンドレイン出力)にすると、Nチャネルオープンドレイン出力になります。
注3.　U2C0レジスタのNCHビットを“1”にすると、Nチャネルオープンドレイン出力になります。

表7.17　ポートP4_2/VREF

レジスタ	ADCON1	機能
ビット	ADSTBY	
設定値	0	入力ポート
	1	VREF入力

表7.18　ポートP4_5/$\overline{\text{INT0}}$/(RXD2/SCL2)/$\overline{\text{ADTRG}}$

レジスタ	PD4	INTEN	U2SR0		U2MR			U2SMR	ADMOD		機能
ビット	PD4_5	INT0EN	RXD2SEL		SMD			IICM	ADCAP		
			1	0	2	1	0		1	0	
設定値	0	X	11b以外		X	X	X	X	X	X	入力ポート(注1)
	1	X	11b以外		X	X	X	X	X	X	出力ポート
	0	1	11b以外		X	X	X	X	X	X	$\overline{\text{INT0}}$入力(注1)
	0	X	1	1	X	X	X	0	X	X	RXD2入力(注1)
	0	X	1	1	0	1	0	1	X	X	SCL2入出力(注2)
	0	1	11b以外		X	X	X	X	1	1	$\overline{\text{ADTRG}}$入力(注1)

X：“0”または“1”
注1.　PUR1レジスタのPU11ビットを“1”にすると、プルアップありとなります。
注2.　U2C0レジスタのNCHビットを“1”にすると、Nチャネルオープンドレイン出力になります。

表7.19　ポートP4_6/XIN

レジスタ	PD4	CM0	CM1			回路仕様		機能
ビット	PD4_6	CM05	CM10	CM11	CM13	発振バッファ	帰還抵抗	
設定値	0	X	0	X	0	OFF	OFF	入力ポート(注1)
	1	X	0	X	0	OFF	OFF	出力ポート
	X	0	0	0	1	ON	ON	XIN-XOUT発振(内蔵帰還抵抗有効)
				1		ON	OFF	XIN-XOUT発振(内蔵帰還抵抗無効)
		1		0		OFF	ON	XIN-XOUT発振停止(内蔵帰還抵抗有効)
				1		OFF	OFF	XIN-XOUT発振停止(内蔵帰還抵抗無効)
		X	1	X	X	OFF	OFF	発振停止(STOPモード)

X:“0”または“1”
注1.　PUR1レジスタのPU11ビットを“1”にすると、プルアップありとなります。

表7.20　ポートP4_7/XOUT

レジスタ	PD4	CM0	CM1			回路仕様		機能
ビット	PD4_7	CM05	CM10	CM11	CM13	発振バッファ	帰還抵抗	
設定値	0	X	0	X	0	OFF	OFF	入力ポート(注1)
	1	X	0	X	0	OFF	OFF	出力ポート
	X	0	0	0	1	ON	ON	XIN-XOUT発振(内蔵帰還抵抗有効)
				1		ON	OFF	XIN-XOUT発振(内蔵帰還抵抗無効)
		1		0		OFF	ON	XIN-XOUT発振停止(内蔵帰還抵抗有効)
				1		OFF	OFF	XIN-XOUT発振停止(内蔵帰還抵抗無効)
		X	1	X	X	OFF	OFF	発振停止(STOPモード)

X:“0”または“1”
注1.　PUR1レジスタのPU11ビットを“1”にすると、プルアップありとなります。

表7.21　TRBO端子設定

レジスタ	TRBIOC	TRBMR		機能
ビット	TOCNT	TMOD1	TMOD0	
設定値	0	0	1	プログラマブル波形発生モード(パルス出力)
	1	0	1	プログラマブル波形発生モード (プログラマブル出力)
	0	1	0	プログラマブルワンショット発生モード
	0	1	1	プログラマブルウェイトワンショット発生モード

表7.22　TRCIOA端子設定

<table>
<tr><th>レジスタ</th><th>TRCOER</th><th>TRCMR</th><th colspan="3">TRCIOR0</th><th colspan="2">TRCCR2</th><th rowspan="2">機能</th></tr>
<tr><th>ビット</th><th>EA</th><th>PWM2</th><th>IOA2</th><th>IOA1</th><th>IOA0</th><th>TCEG1</th><th>TCEG0</th></tr>
<tr><td rowspan="6">設定値</td><td rowspan="2">0</td><td rowspan="2">1</td><td rowspan="2">0</td><td>0</td><td>1</td><td rowspan="2">X</td><td rowspan="2">X</td><td rowspan="2">タイマ波形出力(アウトプットコンペア機能)</td></tr>
<tr><td>1</td><td>X</td></tr>
<tr><td>0</td><td rowspan="2">1</td><td rowspan="2">1</td><td rowspan="2">X</td><td rowspan="2">X</td><td rowspan="2">X</td><td rowspan="2">X</td><td rowspan="2">タイマモード(インプットキャプチャ機能)</td></tr>
<tr><td>1</td></tr>
<tr><td rowspan="2">1</td><td rowspan="2">0</td><td rowspan="2">X</td><td rowspan="2">X</td><td rowspan="2">X</td><td>0</td><td>1</td><td rowspan="2">PWM2モード　TRCTRG入力</td></tr>
<tr><td>1</td><td>X</td></tr>
</table>

X :“ 0 ” または “ 1 ”

表7.23　TRCIOB端子設定

レジスタ	TRCOER	TRCMR		TRCIOR0			機能
ビット	EB	PWM2	PWMB	IOB2	IOB1	IOB0	
設定値	0	0	X	X	X	X	PWM2モード波形出力
	0	1	1	X	X	X	PWMモード波形出力
	0	1	0	0	0	1	タイマ波形出力(アウトプットコンペア機能)
					1	X	
	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)
	1						

X :“0”または“1”

表7.24　TRCIOC端子設定

レジスタ	TRCOER	TRCMR		TRCIOR1			機能
ビット	EC	PWM2	PWMC	IOC2	IOC1	IOC0	
設定値	0	1	1	X	X	X	PWMモード波形出力
	0	1	0	0	0	1	タイマ波形出力(アウトプットコンペア機能)
					1	X	
	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)
	1						

X :“0”または“1”

表7.25　TRCIOD端子設定

レジスタ	TRCOER	TRCMR		TRCIOR1			機能
ビット	ED	PWM2	PWMD	IOD2	IOD1	IOD0	
設定値	0	1	1	X	X	X	PWMモード波形出力
	0	1	0	0	0	1	タイマ波形出力(アウトプットコンペア機能)
					1	X	
	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)
	1						

X :“0”または“1”

表7.26　TRDIOA0端子設定

レジスタ	TRDOER1	TRDFCR				TRDIORA0			機能
ビット	EA0	CMD1	CMD0	STCLK	PWM3	IOA2	IOA1	IOA0	
設定値	X	0	0	0	1	1	X	X	タイマモード (インプットキャプチャ機能)
	X	X	X	1	1	0	0	0	外部クロック入力(TRDCLK)
	0	0	0	0	0	X	X	X	PWM3モード波形出力
	0	0	0	0	1	0	0	1	タイマモード波形出力 (アウトプットコンペア機能)
							1	X	

X :“0”または“1”

表7.27　TRDIOB0端子設定

レジスタ	TRDOER1	TRDFCR			TRDPMR	TRDIORA0			機能
ビット	EB0	CMD1	CMD0	PWM3	PWMB0	IOB2	IOB1	IOB0	
設定値	X	0	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)
	0	1	0	X	X	X	X	X	相補PWMモード波形出力
			1						
	0	0	1	X	X	X	X	X	リセット同期PWMモード波形出力
	0	0	0	0	X	X	X	X	PWM3モード波形出力
	0	0	0	1	1	X	X	X	PWMモード波形出力
	0	0	0	1	0	0	0	1	タイマモード波形出力(アウトプットコンペア機能)
							1	X	

X:"0"または"1"

表7.28　TRDIOC0端子設定

レジスタ	TRDOER1	TRDFCR			TRDPMR	TRDIORC0			機能
ビット	EC0	CMD1	CMD0	PWM3	PWMC0	IOC2	IOC1	IOC0	
設定値	X	0	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)
	0	1	0	X	X	X	X	X	相補PWMモード波形出力
			1						
	0	0	1	X	X	X	X	X	リセット同期PWMモード波形出力
	0	0	0	1	1	X	X	X	PWMモード波形出力
	0	0	0	1	0	0	0	1	タイマモード波形出力(アウトプットコンペア機能)
							1	X	

X:"0"または"1"

表7.29　TRDIOD0端子設定

レジスタ	TRDOER1	TRDFCR			TRDPMR	TRDIORC0			機能
ビット	ED0	CMD1	CMD0	PWM3	PWMD0	IOD2	IOD1	IOD0	
設定値	X	0	0	1	0	1	X	X	タイマモード(インプットキャプチャ機能)
	0	1	0	X	X	X	X	X	相補PWMモード波形出力
			1						
	0	0	1	X	X	X	X	X	リセット同期PWMモード波形出力
	0	0	0	1	1	X	X	X	PWMモード波形出力
	0	0	0	1	0	0	0	1	タイマモード波形出力(アウトプットコンペア機能)
							1	X	

X:"0"または"1"

表7.30　TRDIOA1端子設定

レジスタ	TRDOER1	TRDFCR			TRDIORA1			機能
ビット	EA1	CMD1	CMD0	PWM3	IOA2	IOA1	IOA0	
設定値	X	0	0	1	1	X	X	タイマモード(インプットキャプチャ機能)
	0	1	0	X	X	X	X	相補PWMモード波形出力
			1					
	0	0	1	X	X	X	X	リセット同期PWMモード波形出力
	0	0	0	1	0	0	1	タイマモード波形出力(アウトプットコンペア機能)
						1	X	

X:"0"または"1"

表7.31　TRDIOB1端子設定

レジスタ	TRDOER1	TRDFCR			TRDPMR	TRDIORA1			機能
ビット	EB1	CMD1	CMD0	PWM3	PWMB1	IOB2	IOB1	IOB0	
設定値	X	0	0	1	0	1	X	X	タイマモード (インプットキャプチャ機能)
	0	1	0 1	X	X	X	X	X	相補PWMモード波形出力
	0	0	1	X	X	X	X	X	リセット同期PWMモード波形出力
	0	0	0	1	1	X	X	X	PWMモード波形出力
	0	0	0	1	0	0	0 1	1 X	タイマモード波形出力 (アウトプットコンペア機能)

X :“0”または“1”

表7.32　TRDIOC1端子設定

レジスタ	TRDOER1	TRDFCR			TRDPMR	TRDIORC1			機能
ビット	EC1	CMD1	CMD0	PWM3	PWMC1	IOC2	IOC1	IOC0	
設定値	X	0	0	1	0	1	X	X	タイマモード (インプットキャプチャ機能)
	0	1	0 1	X	X	X	X	X	相補PWMモード波形出力
	0	0	1	X	X	X	X	X	リセット同期PWMモード波形出力
	0	0	0	1	1	X	X	X	PWMモード波形出力
	0	0	0	1	0	0	0 1	1 X	タイマモード波形出力 (アウトプットコンペア機能)

X :“0”または“1”

表7.33　TRDIOD1端子設定

レジスタ	TRDOER1	TRDFCR			TRDPMR	TRDIORC1			機能
ビット	ED1	CMD1	CMD0	PWM3	PWMD1	IOD2	IOD1	IOD0	
設定値	X	0	0	1	0	1	X	X	タイマモード (インプットキャプチャ機能)
	0	1	0 1	X	X	X	X	X	相補PWMモード波形出力
	0	0	1	X	X	X	X	X	リセット同期PWMモード波形出力
	0	0	0	1	1	X	X	X	PWMモード波形出力
	0	0	0	1	0	0	0 1	1 X	タイマモード波形出力 (アウトプットコンペア機能)

X :“0”または“1”

7.6 未使用端子の処理

表7.34に未使用端子の処理例を示します。

表7.34 未使用端子の処理例

端子名	処理内容
ポートP1、P3_3〜P3_5、P3_7、P4_5〜P4_7	•入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)、または端子ごとに抵抗を介してVCCに接続(プルアップ)(注2) •出力モードに設定し、端子を開放(注1、2)
ポートP4_2/VREF	VCCに接続
$\overline{\text{RESET}}$(注3)	抵抗を介してVCCに接続(プルアップ)(注2)

注1. 出力モードに設定し、開放する場合、プログラムによってポートを出力モードに切り替えるまでは、ポートは入力になっています。そのため、端子の電圧レベルが不定になり、ポートが入力モードになっている期間、電源電流が増加する場合があります。
また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、プログラムで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。

注2. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

注3. パワーオンリセット機能使用時。

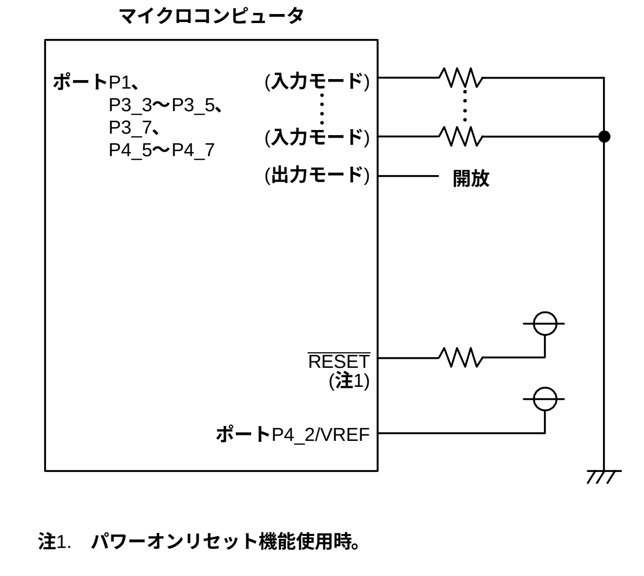


図7.9 未使用端子の処理例

8. バス制御

ROM、RAM、DTCベクタ領域、DTCコントロールデータとSFRとはアクセス時のバスサイクルが異なります。

表8.1にR8C/32Gグループ、R8C/32Hグループのアクセス領域に対するバスサイクルを示します。

ROM、RAM、DTCベクタ領域、DTCコントロールデータとSFRは8ビットバスでCPUと接続しています。このためワード(16ビット)単位でアクセスする場合、8ビット単位で2回アクセスします。表8.2にアクセス単位とバスの動作を示します。

表8.1　R8C/32Gグループ、R8C/32Hグループのアクセス領域に対するバスサイクル

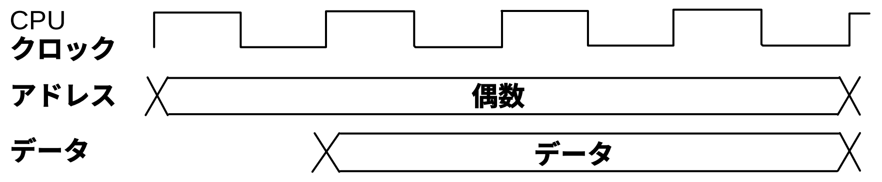
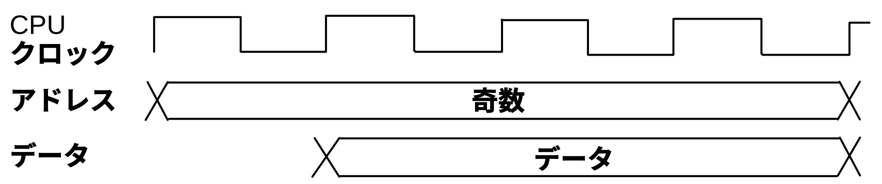
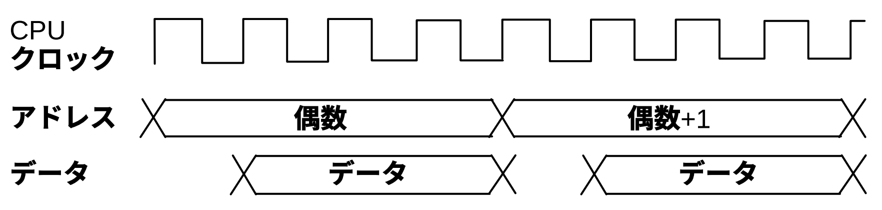
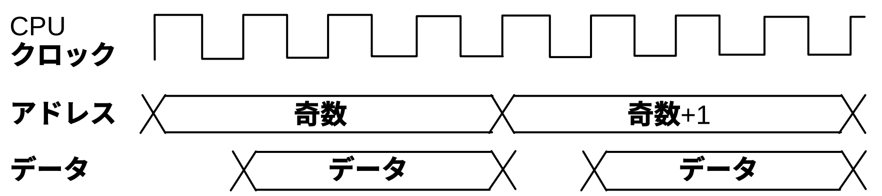
アクセス領域	バスサイクル
SFR/データフラッシュ	CPUクロックの2サイクル
プログラムROM/RAM	CPUクロックの1サイクル

表8.2　アクセス単位とバスの動作

領域	SFR、データフラッシュ	ROM(プログラムROM)、RAM、DTCベクタ領域、DTCコントロールデータ
偶数番地 バイトアクセス	CPUクロック アドレス　偶数 データ　データ	CPUクロック アドレス　偶数 データ　データ
奇数番地 バイトアクセス	CPUクロック アドレス　奇数 データ　データ	CPUクロック アドレス　奇数 データ　データ
偶数番地 ワードアクセス	CPUクロック アドレス　偶数　偶数+1 データ　データ　データ	CPUクロック アドレス　偶数　偶数+1 データ　データ　データ
奇数番地 ワードアクセス	CPUクロック アドレス　奇数　奇数+1 データ　データ　データ	CPUクロック アドレス　奇数　奇数+1 データ　データ　データ

データフラッシュを「CPUクロック>16MHz」で使用する場合は、FMR2レジスタのFMR23ビット(データフラッシュアクセスサイクル選択ビット)を“1”(CPUクロックの4サイクル)にしてください。そのとき、データフラッシュ領域へのアクセス単位とバスの動作関係は表8.3のようになります。

表8.3　FMR23ビット＝1のときのデータフラッシュ領域へのアクセス単位とバスの動作の関係

偶数番地 バイトアクセス	
奇数番地 バイトアクセス	
偶数番地 ワードアクセス	
奇数番地 ワードアクセス	

ただし、次のSFRのみ16ビットバスでCPUと接続しています。

割り込み：各割り込み制御レジスタ
タイマRC：TRC、TRCGRA、TRCGRB、TRCGRC、TRCGRDレジスタ
タイマRD：TRDi(i=0、1)、TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDiレジスタ
SSU：SSTDR、SSTDRH、SSRDR、SSRDRHレジスタ
UART2：U2MR、U2BRG、U2TB、U2C0、U2C1、U2RB、U2SMR5、U2SMR4、U2SMR3、U2SMR2、U2SMRレジスタ
A/Dコンバータ：AD0、AD1、AD2、AD3、AD4、AD5、AD6、AD7、ADMOD、ADINSEL、ADCON0、ADCON1レジスタ
アドレス一致割り込み：RMAD0、AIER0、RMAD1、AIER1レジスタ

このため、16ビット単位で1回アクセスします。バスの動作は「表8.2　アクセス単位とバスの動作」の「領域：SFR、データフラッシュ、偶数番地バイトアクセス」と同じで、16ビットデータを1度にアクセスします。

9. クロック発生回路

クロック発生回路として、4つの回路が内蔵されています。

- XINクロック発振回路
- 低速オンチップオシレータ
- 高速オンチップオシレータ
- ウォッチドッグタイマ用低速オンチップオシレータ

9.1 概要

表9.1にクロック発生回路の概略仕様を、図9.1にクロック発生回路を、図9.2に周辺機能のクロックを示します。

表9.1 クロック発生回路の概略仕様

項目	XINクロック発振回路	オンチップオシレータ		ウォッチドッグタイマ用低速オンチップオシレータ
		高速オンチップオシレータ	低速オンチップオシレータ	
用途	•CPUのクロック源 •周辺機能のクロック源	•CPUのクロック源 •周辺機能のクロック源 •XINクロック発振停止時のCPU、周辺機能のクロック源	•CPUのクロック源 •周辺機能のクロック源 •XINクロック発振停止時のCPU、周辺機能のクロック源	•ウォッチドッグタイマのクロック源
クロック周波数	0～20MHz	約40MHz(注3)	約125kHz	約125kHz
接続できる発振子	•セラミック共振子 •水晶発振子	—	—	—
発振子の接続端子	XIN、XOUT(注1)	—　(注1)	—　(注1)	—
発振の開始と停止	あり	あり	あり	あり
リセット後の状態	停止	停止	発振	停止(注4) 発振(注5)
その他	外部で生成されたクロックを入力可能 (注2)	—	—	—

注1. XINクロック発振回路を使用せず、オンチップオシレータクロックをCPUクロックに使用する場合にはP4_6、P4_7として使うことができます。

注2. 外部クロック入力時には、CM0レジスタのCM05ビットを“1”(XINクロック停止)、CM1レジスタのCM11ビットを“1”(内蔵帰還抵抗無効)に、CM13ビットを“1”(XIN-XOUT端子)にしてください。

注3. CPUクロック源として使用する場合には、分周器により最大：約20MHzとなります。

注4. OFSレジスタのCSPROINIビットが“1”(リセット後、カウントソース保護モード無効)の場合です。

注5. OFSレジスタのCSPROINIビットが“0”(リセット後、カウントソース保護モード有効)の場合です。

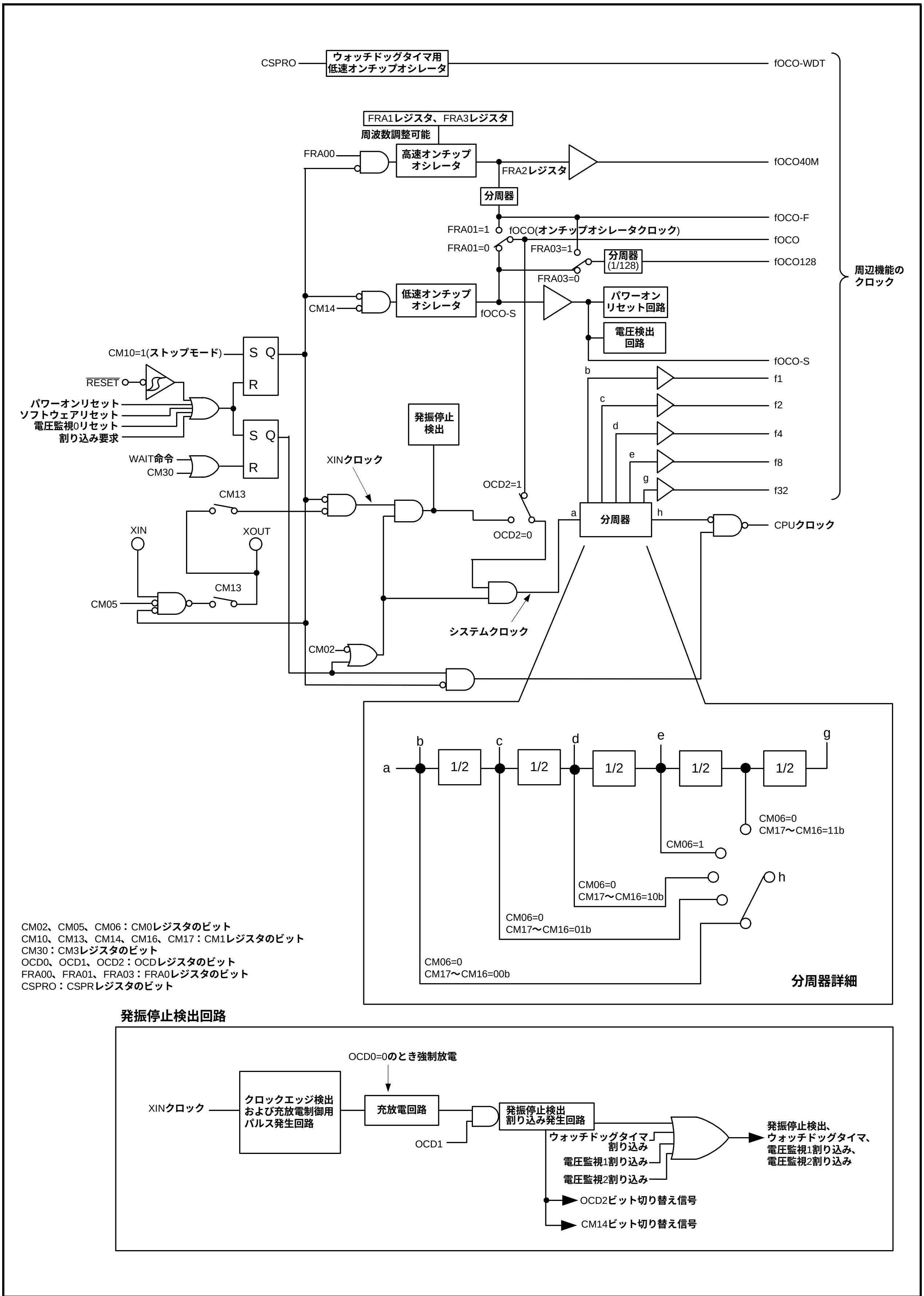


図9.1 クロック発生回路

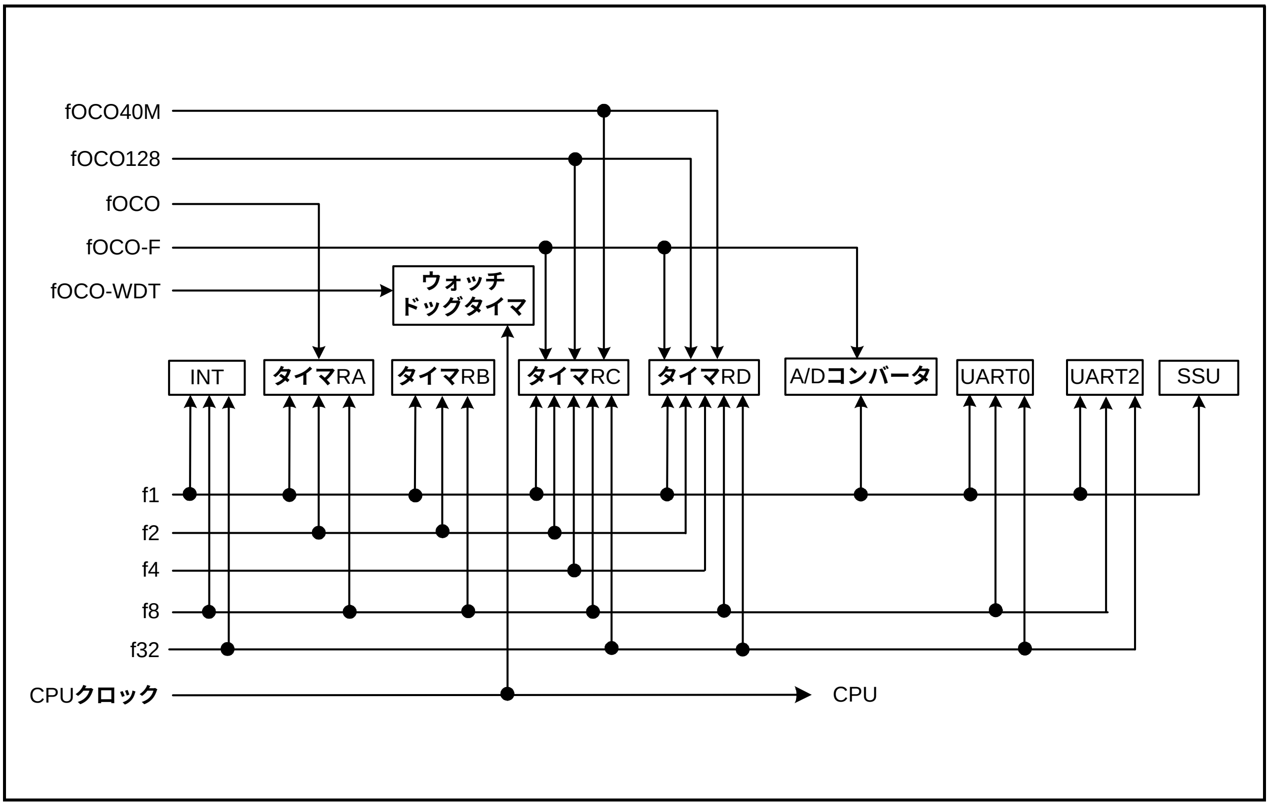


図9.2　　周辺機能のクロック

9.2 レジスタの説明

9.2.1 システムクロック制御レジスタ0(CM0)

アドレス 0006h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	CM06	CM05	—	—	CM02	—	—
リセット後の値	0	0	1	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0”にしてください	R/W
b1	—			
b2	CM02	ウェイトモード時周辺機能クロック停止ビット	0：ウェイトモード時、周辺機能クロックを停止しない 1：ウェイトモード時、周辺機能クロックを停止する	R/W
b3	—	予約ビット	“1”にしてください	R/W
b4	—	予約ビット	“0”にしてください	R/W
b5	CM05	XINクロック(XIN-XOUT)停止ビット(注1、3)	0：発振 1：停止(注2)	R/W
b6	CM06	CPUクロック分周比選択ビット0(注4)	0：CM1レジスタのCM16、CM17ビット有効 1：8分周モード	R/W
b7	—	予約ビット	“0”にしてください	R/W

注1. CM05ビットは高速オンチップオシレータモード､低速オンチップオシレータモードにするときXINクロックを停止させるビットです。XINクロックが停止したかどうかの検出には使えません。XINクロックを停止させる場合、次のようにしてください。
(1) OCDレジスタのOCD1～OCD0ビットを“00b”にする。
(2) OCD2ビットを“1”(オンチップオシレータクロック選択)にする。
注2. 外部クロック入力時には、クロック発振バッファだけ停止し、クロック入力は受け付けられます。
注3. CM05ビットが“1”(XINクロック停止)かつCM1レジスタのCM13ビットが“0”(P4_6、P4_7)の場合のみ、P4_6、P4_7は入出力ポートとして使用できます。
注4. ストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。

CM0レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

9.2.2 システムクロック制御レジスタ1(CM1)

アドレス 0007h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM17	CM16	—	CM14	CM13	—	CM11	CM10
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM10	全クロック停止制御ビット(注2、6)	0：クロック発振 1：全クロック停止(ストップモード)	R/W
b1	CM11	XIN-XOUT内蔵帰還抵抗選択ビット	0：内蔵帰還抵抗有効 1：内蔵帰還抵抗無効	R/W
b2	—	予約ビット	“0”にしてください	R/W
b3	CM13	ポート/XIN-XOUT切り替えビット(注5)	0：入出力ポートP4_6、P4_7 1：XIN-XOUT端子	R/W
b4	CM14	低速オンチップオシレータ発振停止ビット(注3、4)	0：低速オンチップオシレータ発振 1：低速オンチップオシレータ停止	R/W
b5	—	予約ビット	“1”にしてください	R/W
b6	CM16	CPUクロック分周比選択ビット1(注1)	b7 b6 0 0：分周なしモード 0 1：2分周モード 1 0：4分周モード 1 1：16分周モード	R/W
b7	CM17			R/W

注1. CM06ビットが“0”(CM16、CM17ビット有効)の場合、CM16～CM17ビットは有効となります。
注2. CM10ビットが“1”(ストップモード)の場合、内蔵している帰還抵抗は無効となります。
注3. CM14ビットはOCD2ビットが“0”(XINクロック選択)のとき、“1”(低速オンチップオシレータ停止)にできます。OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。“1”を書いても変化しません。
注4. 電圧監視1割り込み、電圧監視2割り込みを使用する場合(デジタルフィルタを使用する場合)、CM14ビットを“0”(低速オンチップオシレータ発振)にしてください。
注5. CM13ビットはプログラムで一度“1”にすると、“0”にはできません。
注6. VCA2レジスタのVCA20ビットが“1”(低消費電力許可)のとき、CM10ビットを“1”(ストップモード)にしないでください。

CM1レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

9.2.3 システムクロック制御レジスタ3 (CM3)

アドレス 0009h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM37	CM36	CM35	−	−	−	−	CM30
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM30	ウェイト制御ビット(注1)	0：ウェイトモードではない 1：ウェイトモードに移行する	R/W
b1	−	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		−
b2	−			
b3	−	予約ビット	“0”にしてください	R/W
b4	−			
b5	CM35	ウェイトモードから復帰時のCPUクロック分周比選択ビット(注2)	0：CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効 1：分周なし	R/W
b6	CM36	ウェイトモード、ストップモードから復帰時のシステムクロック選択ビット	b7 b6 0 0：ウェイトモード、ストップモードに移行する直前のCPUクロックで復帰 0 1：設定しないでください 1 0：高速オンチップオシレータクロックを選択(注3) 1 1：XINクロックを選択(注4)	R/W
b7	CM37			R/W

注1. ウェイトモードから周辺機能割り込みで復帰時、CM30ビットは“0”(ウェイトモードではない)になります。
注2. ストップモード時はCM35ビットを“0”にしてください。ウェイトモードへ移行時、CM35ビットが“1”(分周なし)のとき、CM0レジスタのCM06ビットは“0”(CM16、CM17ビット有効)、CM1レジスタのCM17、CM16ビットは“00b”(分周なしモード)になります。
注3. CM37、CM36ビットが“10b”(高速オンチップオシレータクロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次になります。
- OCDレジスタのOCD2ビット=1(オンチップオシレータクロック選択)
- FRA0レジスタのFRA00ビット=1(高速オンチップオシレータ発振)
- FRA0レジスタのFRA01ビット=1(高速オンチップオシレータ選択)

注4. CM37、CM36ビットが“11b”(XINクロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次になります。
- CM0レジスタのCM05ビット=0(XINクロック発振)
- CM1レジスタのCM13ビット=1(XIN-XOUT端子)
- OCDレジスタのOCD2ビット=0(XINクロック選択)

CM0レジスタのCM05ビットが“1”(XINクロック停止)で、ウェイトモードへ移行するとき、ウェイトモードから復帰時のCPUクロックにXINクロックを選択する場合は、CM06ビットを“1”(8分周モード)かつCM35ビットを“0”にしてください。
ただし、XINクロックに外部で生成されたクロックを使用する場合は、CM37～CM36ビットを“11b”(XINクロックを選択)にしないでください。

CM3レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

CM30ビット(ウェイト制御ビット)

CM30ビットを“1”(ウェイトモードに移行する)にすると、CPUクロックが停止(ウェイトモード)します。XINクロックおよびオンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。CM30ビットを“1”にするときは、Iフラグを“0”(マスカブル割り込み禁止)にしてください。

リセットまたは周辺機能割り込みにより、ウェイトモードから復帰します。ウェイトモードから周辺機能割り込みによる復帰時に、CM30ビットを“1”にした命令の直後の命令から、実行を再開します。

ただし、WAIT命令でウェイトモードに移行する場合、Iフラグを“1”(マスカブル割り込み許可)にしてください。このことで、ウェイトモードから復帰時に、CPUは割り込み処理を行います。

9.2.4 発振停止検出レジスタ(OCD)

アドレス 000Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	OCD3	OCD2	OCD1	OCD0
リセット後の値	0	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OCD0	発振停止検出有効ビット(注6)	0：発振停止検出機能無効(注1) 1：発振停止検出機能有効	R/W
b1	OCD1	発振停止検出割り込み許可ビット	0：禁止(注1) 1：許可	R/W
b2	OCD2	システムクロック選択ビット(注3)	0：XINクロック選択(注6) 1：オンチップオシレータクロック選択(注2)	R/W
b3	OCD3	クロックモニタビット(注4、5)	0：XINクロック発振 1：XINクロック停止	R
b4	—	予約ビット	“0”にしてください	R/W
b5	—			
b6	—			
b7	—			

注1. ストップモード、高速オンチップオシレータモード、低速オンチップオシレータモード(XINクロック停止)に移行する前にOCD1～OCD0ビットを“00b”に設定してください。
注2. OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。
注3. OCD2ビットは、OCD1～OCD0ビットが“11b”のときにXINクロック発振停止を検出すると、自動的に“1”(オンチップオシレータクロック選択)に切り替わります。また、OCD3ビットが“1”(XINクロック停止)のとき、OCD2ビットに“0”(XINクロック選択)を書いても変化しません。
注4. OCD3ビットはOCD0ビットが“1”(発振停止検出機能有効)のとき有効です。またXINクロックの発振安定確認には使用できません。
注5. OCD1～OCD0ビットが“00b”のときOCD3ビットは“0”(XINクロック発振)になり、変化しません。
注6. 発振停止検出後、XINクロックが再発振した場合の切り替え手順は、「図9.8　発振停止検出後、XINクロックが再発振した場合のXINクロックへの切り替え手順」を参照してください。

OCDレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

9.2.5 高速オンチップオシレータ制御レジスタ7(FRA7)

アドレス 0015h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	出荷時の値							

ビット	機能	R/W
b7～b0	32MHzの周波数調整用データが格納されます。 この値をFRA3レジスタに転送し、かつ、FRA6レジスタの調整値をFRA1レジスタに転送することにより、調整ができます。	R

9.2.6 高速オンチップオシレータ制御レジスタ0 (FRA0)

アドレス 0023h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	FRA03	—	FRA01	FRA00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRA00	高速オンチップオシレータ許可ビット	0：高速オンチップオシレータ停止 1：高速オンチップオシレータ発振	R/W
b1	FRA01	高速オンチップオシレータ選択ビット(注1)	0：低速オンチップオシレータ選択(注2) 1：高速オンチップオシレータ選択(注3)	R/W
b2	—	予約ビット	“0”にしてください	R/W
b3	FRA03	fOCO128クロック選択ビット	0：fOCO-Sの128分周を選択 1：fOCO-Fの128分周を選択	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	—			
b6	—			
b7	—			

注1. FRA01ビットは次の条件のとき変更してください。
- FRA00=1(高速オンチップオシレータ発振)
- CM1レジスタのCM14=0(低速オンチップオシレータ発振)

注2. FRA01ビットに“0”(低速オンチップオシレータ選択)を書くとき、同時にFRA00ビットに“0”(高速オンチップオシレータ停止)を書かないでください。FRA01ビットを“0”にした後、FRA00ビットを“0”にしてください。

注3. FRA01ビットに“1”(高速オンチップオシレータ選択)を設定し、低速オンチップオシレータを停止する場合は、低速オンチップオシレータの1サイクル以上を待ってから、CM1レジスタのCM14ビットを“1”(低速オンチップオシレータ停止)にしてください。

FRA0レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

9.2.7 高速オンチップオシレータ制御レジスタ1(FRA1)

アドレス 0024h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	出荷時の値							

ビット	機能	R/W
b7～b0	下記のように設定することで高速オンチップオシレータの周波数を変更することができます。 40MHz：　FRA1=リセット後の値、FRA3=リセット後の値 36.864MHz：FRA4レジスタの値をFRA1レジスタに転送し、かつ、FRA5レジスタの値をFRA3レジスタに転送。 32MHz：　FRA6レジスタの値をFRA1レジスタに転送し、かつ、FRA7レジスタの値をFRA3レジスタに転送。	R/W

FRA1レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

また、FRA1レジスタはFRA0レジスタのFRA00ビットが“0”(高速オンチップオシレータ停止)のときに、書き換えてください。

9.2.8 高速オンチップオシレータ制御レジスタ2 (FRA2)

アドレス 0025h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	FRA22	FRA21	FRA20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRA20	高速オンチップオシレータ周波数切替ビット	分周比選択 高速オンチップオシレータクロック分周比を選択します。 b2 b1 b0 0 0 0：2分周モード 0 0 1：3分周モード 0 1 0：4分周モード 0 1 1：5分周モード 1 0 0：6分周モード 1 0 1：7分周モード 1 1 0：8分周モード 1 1 1：9分周モード	R/W
b1	FRA21			R/W
b2	FRA22			R/W
b3	—	予約ビット	“0”にしてください	R/W
b4	—			
b5	—			
b6	—			
b7	—			

FRA2レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

9.2.9 高速オンチップオシレータ制御レジスタ4 (FRA4)

アドレス 0029h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	出荷時の値							

ビット	機能	R/W
b7〜b0	36.864MHzの周波数調整用データが格納されます。 この値をFRA1レジスタに転送し、かつ、FRA5レジスタの調整値をFRA3レジスタに転送することにより、調整ができます。	R

9.2.10 高速オンチップオシレータ制御レジスタ5 (FRA5)

アドレス 002Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	出荷時の値							

ビット	機能	R/W
b7〜b0	36.864MHzの周波数調整用データが格納されます。 この値をFRA3レジスタに転送し、かつ、FRA4レジスタの調整値をFRA1レジスタに転送することにより、調整ができます。	R

9.2.11 高速オンチップオシレータ制御レジスタ6 (FRA6)

アドレス 002Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	出荷時の値							

ビット	機能	R/W
b7～b0	32MHzの周波数調整用データが格納されます。 この値をFRA1レジスタに転送し、かつ、FRA7レジスタの調整値をFRA3レジスタに転送することにより、調整ができます。	R

9.2.12 高速オンチップオシレータ制御レジスタ3 (FRA3)

アドレス 002Fh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	出荷時の値							

ビット	機能	R/W
b7～b0	下記のように設定することで高速オンチップオシレータの周波数を変更することができます。 40MHz：　FRA1=リセット後の値、FRA3=リセット後の値 36.864MHz：FRA4レジスタの値をFRA1レジスタに転送し、かつ、FRA5レジスタの値をFRA3レジスタに転送。 32MHz：　FRA6レジスタの値をFRA1レジスタに転送し、かつ、FRA7レジスタの値をFRA3レジスタに転送。	R/W

FRA3レジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

また、FRA3レジスタはFRA0レジスタのFRA00ビットが“0”(高速オンチップオシレータ停止)のときに、書き換えてください。

9.2.13 電圧検出レジスタ2 (VCA2)

アドレス 0034h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VCA27	VCA26	VCA25	—	—	—	—	VCA20
リセット後の値	0	0	0	0	0	0	0	0

上記はOFSレジスタのLVDASビットが“1”の場合

リセット後の値	0	0	1	0	0	0	0	0

上記はOFSレジスタのLVDASビットが“0”の場合

ビット	シンボル	ビット名	機能	R/W
b0	VCA20	内部電源低消費電力許可ビット(注1)	0：低消費電力禁止 1：低消費電力許可(注2)	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	—			
b3	—			
b4	—			
b5	VCA25	電圧検出0許可ビット(注3)	0：電圧検出0回路無効 1：電圧検出0回路有効	R/W
b6	VCA26	電圧検出1許可ビット(注4)	0：電圧検出1回路無効 1：電圧検出1回路有効	R/W
b7	VCA27	電圧検出2許可ビット(注5)	0：電圧検出2回路無効 1：電圧検出2回路有効	R/W

注1. VCA20ビットはウェイトモードへの移行時のみに使用してください。VCA20ビットの設定は「28.2.9 VCA20ビットによる内部電源低消費操作」に従ってください。
注2. VCA20ビットが“1”(低消費電力許可)のとき、CM1レジスタのCM10ビットを“1”(ストップモード)にしないでください。
注3. VCA25ビットに書く場合は、リセット後の値を書いてください。
注4. 電圧検出1割り込みを使用する場合、またはVW1CレジスタのVW1C3ビットを使用する場合、VCA26ビットを“1”にしてください。
VCA26ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出1回路が動作します。
注5. 電圧検出2割り込みを使用する場合、またはVCA1レジスタのVCA13ビットを使用する場合、VCA27ビットを“1”にしてください。
VCA27ビットを“0”から“1”にした後、td(E-A)経過してから電圧検出2回路が動作します。

VCA2レジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

クロック発生回路で生成するクロックを説明します。

9.3 XINクロック

XINクロック発振回路が供給するクロックです。CPUクロックと周辺機能クロックのクロック源になります。XINクロック発振回路はXIN-XOUT端子間に発振子を接続することで発振回路が構成されます。XINクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。XINクロック発振回路には、外部で生成されたクロックをXOUT端子へ入力することもできます。

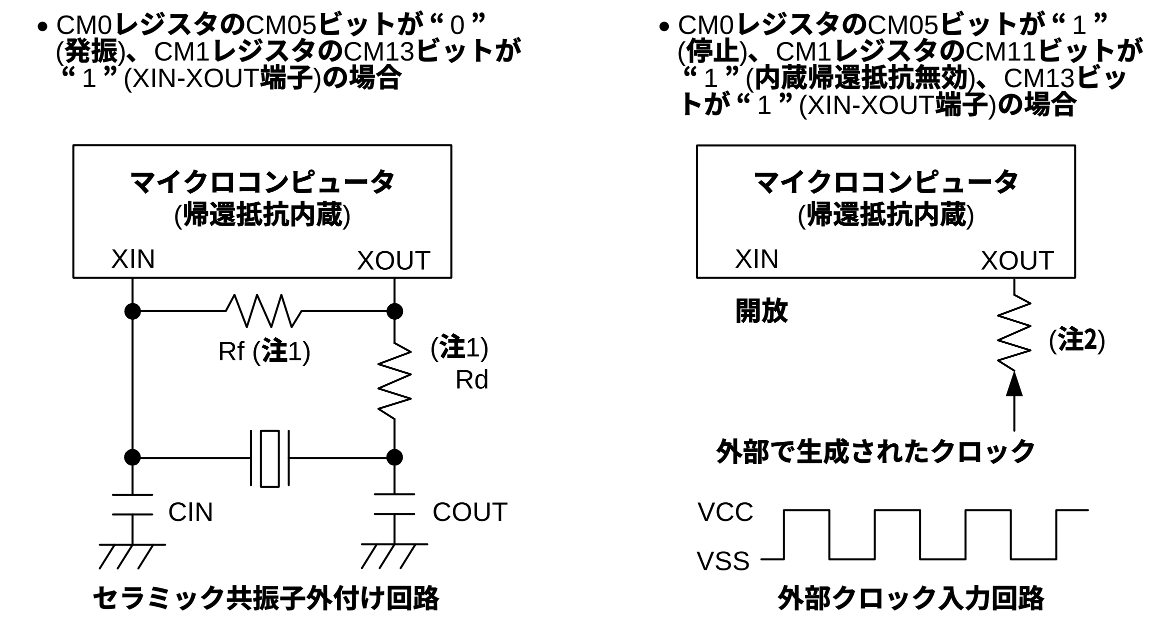
図9.3にXINクロックの接続回路例を示します。

リセット中およびリセット後、XINクロックは停止しています。

CM1レジスタのCM13ビットを“1”(XIN-XOUT端子)にした後、CM0レジスタのCM05ビットを“0”(XINクロック発振)にするとXINクロックは発振を開始します。XINクロックの発振が安定した後、OCDレジスタのOCD2ビットを“0”(XINクロック選択)にするとXINクロックがCPUのクロック源になります。

OCD2ビットを“1”(オンチップオシレータクロック選択)にして使用する場合、CM0レジスタのCM05ビットを“1”(XINクロック停止)にすると、消費電力を低減できます。なお、外部で生成したクロックをXOUT端子に入力している場合、CM05ビットを“1”にしてもXINクロックは停止しませんので、必要な場合は外部でクロックを停止させてください。

ストップモード時は、XINクロックを含めたすべてのクロックが停止します。詳細は「9.6　パワーコントロール」を参照してください。



注1. 必要に応じてダンピング抵抗を挿入してください。抵抗値は発振子、発振駆動能力によって異なりますので、発振子メーカの推奨する値に設定してください。
また 発振子メーカから外部に帰還抵抗を追加する旨の指示があった場合は、その指示に従ってXIN、XOUT間に帰還抵抗を付加してください。
注2. オーバシュートが発生しないように、必要に応じてダンピング抵抗を挿入してください。
注3. XINクロック発振回路における発振振幅は約1.5Vです。

図9.3 XINクロックの接続回路例

9.4 オンチップオシレータクロック

オンチップオシレータが供給するクロックです。オンチップオシレータには、高速オンチップオシレータと低速オンチップオシレータがあります。FRA0レジスタのFRA01ビットで選択したオンチップオシレータのクロックが、オンチップオシレータクロックとなります。

9.4.1 低速オンチップオシレータクロック

低速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロック、fOCO、fOCO-S、fOCO128のクロック源になります。

リセット後、低速オンチップオシレータで生成されたオンチップオシレータクロックの分周なしがCPUクロックになります。

また、OCDレジスタのOCD1～OCD0ビットが“11b”の場合、XINクロックが停止したときに、自動的に低速オンチップオシレータが動作を開始し、クロックを供給します。

低速オンチップオシレータの周波数は電源電圧、動作周囲温度によって大きく変動しますので、応用製品設計の際には周波数変動に対して十分マージンを持ってください。

9.4.2 高速オンチップオシレータクロック

高速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロック、fOCO、fOCO-F、fOCO40M、fOCO128のクロック源になります。

高速オンチップオシレータで生成されるオンチップオシレータクロックは、リセット後停止しています。FRA0レジスタのFRA00ビットを“1”(オンチップオシレータ発振)にすると発振を開始します。

また、FRA4～FRA7レジスタには周波数調整用データが格納されています。

高速オンチップオシレータクロックの周波数を36.864MHzにするには、FRA4レジスタの調整値をFRA1レジスタへ、FRA5レジスタの調整値をFRA3レジスタに転送して使用してください。これにより、シリアルインタフェースをUARTモードで使用時に、9600bps、38400bpsなどのビットレートの設定誤差を、0%にすることができます(「表21.8、表22.8 UARTモード時のビットレート設定例(内部クロック選択時)」を参照)。

高速オンチップオシレータクロックの周波数を32MHzにするには、FRA6レジスタの調整値をFRA1レジスタへ、FRA7レジスタの調整値をFRA3レジスタに転送して使用してください。

9.5 CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと、周辺機能を動作させる周辺機能クロックがあります。(「図9.1 クロック発生回路」参照。)

9.5.1 システムクロック

CPUクロックと周辺機能クロックのクロック源です。XINクロックまたはオンチップオシレータクロックが選択できます。

9.5.2 CPUクロック

CPUとウォッチドッグタイマの動作クロックです。

システムクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM16、CM17ビットで選択できます。

リセット後、低速オンチップオシレータクロックの分周なしがCPUクロックになります。

なお、ストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。ストップモードへ移行するときは、CM3レジスタのCM35ビットを“0”(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてください。

9.5.3 周辺機能クロック(f1、f2、f4、f8、f32)

周辺機能の動作クロックです。

fi(i=1、2、4、8、32)はシステムクロックをi分周したクロックです。fiはタイマRA、タイマRB、タイマRC、タイマRD、シリアルインタフェース、A/Dコンバータで使用します。

CM0レジスタのCM02ビットを“1”(ウェイトモード時周辺機能クロックを停止する)にした後にウェイトモードに移行した場合、fiは停止します。

9.5.4 fOCO

周辺機能の動作クロックです。

fOCOの周波数は、FRA0レジスタのFRA01ビットで選択したオンチップオシレータクロックの周波数です。高速オンチップオシレータの場合は、FRA2レジスタのFRA20～FRA22ビットで選択した分周比で分周された周波数です。タイマRAで使用します。fOCOはウェイトモード時、停止しません。

9.5.5 fOCO40M

タイマRC、タイマRDのカウントソースになります。

fOCO40Mは高速オンチップオシレータで生成したクロックで、FRA00ビットを“1”にすると供給されます。

fOCO40Mはウェイトモード時、停止しません。

このクロックは、電源電圧VCC＝2.7～5.5Vの範囲で使用することができます。

9.5.6 fOCO-F

タイマRC、タイマRD、A/Dコンバータのカウントソースになります。

fOCO-Fは高速オンチップオシレータで生成したクロックをi分周(i=2、3、4、5、6、7、8、9；FRA2レジスタで選択した分周比)したクロックで、FRA00ビットを“1”にすると供給されます。

fOCO-Fはウェイトモード時、停止しません。

9.5.7 fOCO-S

電圧検出回路の動作クロックです。

fOCO-Sは低速オンチップオシレータで生成したクロックで、CM14ビットを“0”(低速オンチップオシレータ発振)にすると供給されます。

fOCO-Sはウェイトモード時、停止しません。

9.5.8 fOCO128

fOCO-SまたはfOCO-Fを128分周したクロックです。FRA03ビットを“0”にするとfOCO-Sの128分周が選択され、“1”にするとfOCO-Fの128分周が選択されます。

タイマRCのTRCGRAレジスタおよびタイマRDのタイマRD0で使用するキャプチャ信号になります。

9.5.9 fOCO-WDT

ウォッチドッグタイマの動作クロックです。

fOCO-WDTはウォッチドッグタイマ用低速オンチップオシレータで生成したクロックで、CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると供給されます。

fOCO-WDTはウォッチドッグタイマのカウントソース保護モード時、停止しません。

9.6 パワーコントロール

パワーコントロールには3つのモードがあります。なお、ここではウェイトモード、ストップモード以外の状態を、標準動作モードと呼びます。

9.6.1 標準動作モード

標準動作モードは、さらに3つのモードに分けられます。

標準動作モードでは、CPUクロック、周辺機能クロックが共に供給されていますので、CPUも周辺機能も動作します。CPUクロックの周波数を制御することで、パワーコントロールを行います。CPUクロックの周波数が高いほど処理能力は上がり、低いほど消費電力は小さくなります。また、不要な発振回路を停止させると更に消費電力は小さくなります。

CPUクロックのクロック源を切り替えるとき、切り替え先のクロックが安定して発振している必要があります。プログラムで発振が安定するまで待ち時間を取ってから、クロックを切り替えてください。

表9.2　クロック関連ビットの設定とモード

モード		OCDレジスタ	CM1レジスタ			CM0レジスタ		FRA0レジスタ	
		OCD2	CM17、CM16	CM14	CM13	CM06	CM05	FRA01	FRA00
高速クロックモード	分周なし	0	00b	—	1	0	0	—	—
	2分周	0	01b	—	1	0	0	—	—
	4分周	0	10b	—	1	0	0	—	—
	8分周	0	—	—	1	1	0	—	—
	16分周	0	11b	—	1	0	0	—	—
高速オンチップオシレータモード	分周なし	1	00b	—	—	0	—	1	1
	2分周	1	01b	—	—	0	—	1	1
	4分周	1	10b	—	—	0	—	1	1
	8分周	1	—	—	—	1	—	1	1
	16分周	1	11b	—	—	0	—	1	1
低速オンチップオシレータモード	分周なし	1	00b	0	—	0	—	0	—
	2分周	1	01b	0	—	0	—	0	—
	4分周	1	10b	0	—	0	—	0	—
	8分周	1	—	0	—	1	—	0	—
	16分周	1	11b	0	—	0	—	0	—

— :“0”でも“1”でも影響ない

9.6.1.1　高速クロックモード

XINクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックとなります。CM14ビットが“0”(低速オンチップオシレータ発振)のとき、またはFRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振)のとき、fOCOをタイマRAで使用できます。

また、FRA00ビットが“1”のとき、fOCO40MをタイマRC、タイマRDで使用できます。

CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sを電圧検出回路で使用できます。

9.6.1.2　高速オンチップオシレータモード

FRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振)、かつFRA0レジスタのFRA01ビットが“1”のとき、高速オンチップオシレータがオンチップオシレータクロックになります。このとき、オンチップオシレータクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。FRA00ビットが“1”のとき、fOCO40MをタイマRC、タイマRDで使用できます。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sを電圧検出回路で使用できます。

9.6.1.3 低速オンチップオシレータモード

CM1レジスタのCM14ビットが“0”(低速オンチップオシレータ発振)、かつFRA0レジスタのFRA01ビットが“0”のとき、低速オンチップオシレータがオンチップオシレータクロックになります。このとき、オンチップオシレータクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。また、オンチップオシレータクロックが周辺機能クロックのクロック源になります。FRA00ビットが“1”のとき、fOCO40MをタイマRC、タイマRDで使用できます。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sを電圧検出回路で使用できます。

このモードにおいて、XINクロックおよび高速オンチップオシレータを停止させ、FMR2レジスタのFMR27ビットを“1”(低消費電流リードモード許可)にすることで、低消費動作が可能です。CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周のいずれかで、低消費電流リードモードを使用できます。CPUクロック分周比を設定した後、FMR27ビットを“1”にしてください。

また、このモードからウェイトモードに入る場合、VCA2レジスタのVCA20ビットを“1”(内部電源低消費電力許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。

消費電力を低減する方法は、「28.　消費電力の低減」を参照してください。

9.6.2 ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUと、カウントソース保護モード無効時のウォッチドッグタイマが停止します。XINクロック、オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

9.6.2.1 周辺機能クロック停止機能

CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合、ウェイトモード時にf1、f2、f4、f8、f32が停止しますので、消費電力が低減できます。

9.6.2.2 ウェイトモードへの移行

WAIT命令を実行、またはCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にするとウェイトモードになります。

OCDレジスタのOCD2ビットが“1”(システムクロックにオンチップオシレータを選択)の場合は、OCDレジスタのOCD1ビットを“0”(発振停止検出割り込み禁止)にしてから、WAIT命令を実行、またはCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にしてください。

OCD1ビットが“1”(発振停止検出割り込み許可)の状態で、ウェイトモードに移行すると、CPUクロックが停止しないため消費電流が減少しません。

ウェイトモードへ移行するときは、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)ならびにFMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR01ビットが“1”(CPU書き換えモード有効)あるいはFMR27ビットが“1”(低消費電流リードモード許可)の状態で、ウェイトモードへ移行しないでください。

CM30ビットを“1”にしてウェイトモードに移行する場合は、Iフラグを“0”(マスカブル割り込み禁止)にしてください。WAIT命令でウェイトモードに移行する場合は、Iフラグを“1”(マスカブル割り込み許可)にしてください。

9.6.2.3 VCA20ビットによる内部電源低消費操作

低速クロックモードまたは低速オンチップオシレータモードでウェイトモードへ移行する場合、VCA2レジスタのVCA20ビットにより、内部電源の消費電力を低減できます。VCA20ビットにより内部電源低消費電力を許可する場合は、「29.2.9　VCA20ビットによる内部電源低消費操作」に従ってください。

9.6.2.4　ウェイトモード時の端子の状態

入出力ポートはウェイトモードに入る直前の状態を保持します。

9.6.2.5　ウェイトモードからの復帰

リセット、または周辺機能割り込みにより、ウェイトモードから復帰します。

周辺機能割り込みはCM02ビットの影響を受けます。CM02ビットが“0”(ウェイトモード時、周辺機能クロックを停止しない)の場合は、A/D変換割り込み以外の周辺機能割り込みがウェイトモードから復帰に使用できます。CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合は、周辺機能クロックを使用する周辺機能は停止しますので、外部信号またはオンチップオシレータクロックによって動作する周辺機能の割り込みがウェイトモードからの復帰に使用できます。

表9.3にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

表9.3　ウェイトモードからの復帰に使用できる割り込みと使用条件

割り込み	CM02=0の場合	CM02=1の場合
シリアルインタフェース割り込み	内部クロック、外部クロックで使用可	外部クロックで使用可
シンクロナスシリアルコミュニケーションユニット割り込み	すべてのモードで使用可	―(使用しないでください)
キー入力割り込み	使用可	使用可
A/D変換割り込み	―(A/D変換中はウェイトモードに移行しないでください)	―(A/D変換中はウェイトモードに移行しないでください)
タイマRA割り込み	すべてのモードで使用可	フィルタなしの場合にイベントカウンタモードで使用可 カウントソースにfOCOを選択することで使用可
タイマRB割り込み	すべてのモードで使用可	タイマRAのカウントソースにfOCOを選択し、タイマRBのカウントソースにタイマRAのアンダフローを選択することで使用可
タイマRC割り込み	すべてのモードで使用可	―(使用しないでください)
タイマRD割り込み	すべてのモードで使用可	カウントソースにfOCO40Mを選択することで使用可
$\overline{\text{INT}}$割り込み	使用可	使用可($\overline{\text{INT0}}$～$\overline{\text{INT1}}$、$\overline{\text{INT3}}$はフィルタなしの場合に、使用可)
電圧監視1割り込み	使用可	使用可
電圧監視2割り込み	使用可	使用可
発振停止検出割り込み	使用可	―(使用しないでください)

9.6.2.6　CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にした後のウェイトモードからの復帰

図9.4にCM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にした後のウェイトモードから復帰後に最初の命令を実行するまでの時間を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、CM30ビットを“1”にする前に次の設定をしてください。

(1)　Iフラグを“0”(マスカブル割り込み禁止)にする。

(2)　ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL2～ILVL0ビットに割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2～ILVL0ビットをすべて“000b”(割り込み禁止)にする。

(3)　ウェイトモードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みで復帰する場合、割り込み要求が発生してから次の命令を実行するまでの時間(サイクル数)は、FMR0レジスタのFMSTPビットおよびVCA2レジスタのVCA20ビットの設定に応じて図9.4のとおりとなります。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、CM3レジスタのCM35、CM36、CM37ビットで設定したクロックとなります。このとき、CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットは自動的に変更されます。

FMR0レジスタ FMSTPビット	VCA2レジスタ VCA20ビット	内部電源安定時間(T0)	フラッシュメモリ復帰までの時間(T1)	CPUクロック供給までの時間(T2)	備考
0 (フラッシュメモリ動作)	0 (内部電源低消費電力禁止)	0μs	システムクロックの周期×1サイクル+60μs(最大)	CPUクロックの周期×2サイクル	左記の合計時間がウェイトモードから復帰後に最初の命令を実行するまでの時間となります。
	1 (内部電源低消費電力許可)	100μs(最大)			
1 (フラッシュメモリ停止)	0 (内部電源低消費電力禁止)	0μs	システムクロックの周期×1サイクル	同上	
	1 (内部電源低消費電力許可)	100μs(最大)			

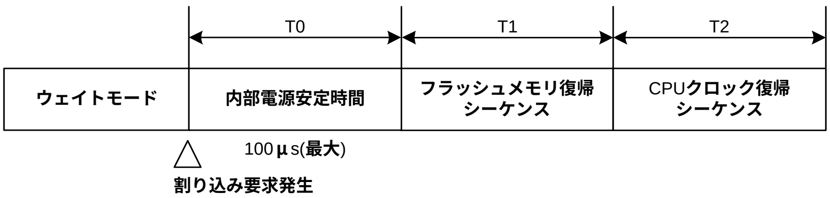


図9.4　CM3レジスタのCM30ビットを“1”(ウェイトモードに移行する)にした後のウェイトモードから復帰後に最初の命令を実行するまでの時間

9.6.2.7　WAIT命令実行後のウェイトモードからの復帰

図9.5にWAIT命令実行後のウェイトモードから割り込みルーチンを実行するまでの時間を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、WAIT命令実行前に次の設定をしてください。

(1)　ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL2～ILVL0ビットに割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2～ILVL0ビットをすべて“000b”(割り込み禁止)にする。

(2)　Iフラグを“1”にする。

(3)　ウェイトモードからの復帰に使用する周辺機能を動作させる。

周辺割り込みで復帰する場合、割り込み要求が発生してから割り込みルーチンを実行するまでの時間(サイクル数)は、FMR0レジスタのFMSTPビットおよびVCA2レジスタのVCA20ビットの設定に応じて図9.5のとおりとなります。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、CM3レジスタのCM35、CM36、CM37ビットで設定したクロックとなります。このとき、CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットは自動的に変更されます。

FMR0レジスタ FMSTPビット	VCA2レジスタ VCA20ビット	内部電源安定時間(T0)	フラッシュメモリ復帰までの時間(T1)	CPUクロック供給までの時間(T2)	割り込みシーケンスの時間(T3)	備考
0 (フラッシュメモリ動作)	0 (内部電源低消費電力禁止)	0μs	システムクロックの周期×1サイクル＋60μs(最大)	CPUクロックの周期×2サイクル	CPUクロックの周期×20サイクル	左記の合計時間がウェイトモードから割り込みルーチンを実行するまでの時間となります。
	1 (内部電源低消費電力許可)	100μs(最大)				
1 (フラッシュメモリ停止)	0 (内部電源低消費電力禁止)	0μs	システムクロックの周期×1サイクル	同上	同上	
	1 (内部電源低消費電力許可)	100μs(最大)				

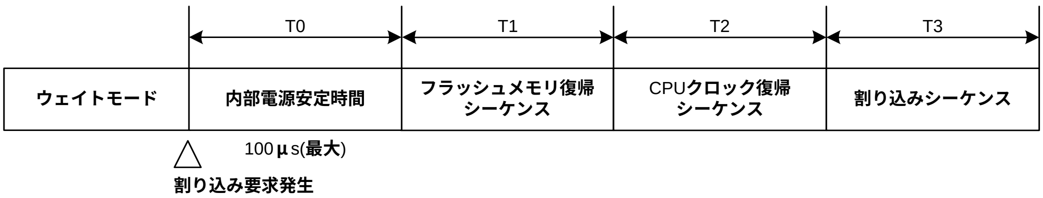


図9.5　WAIT命令実行後のウェイトモードから割り込みルーチンを実行するまでの時間

9.6.3 ストップモード

ストップモードでは、fOCO-WDTを除くすべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。なお、VCC端子に印加する電圧がVRAM以上のとき、内部RAMは保持されます。

また、外部信号によって動作する周辺機能は動作します。

表9.4にストップモードからの復帰に使用できる割り込みと使用条件を示します。

表9.4　ストップモードからの復帰に使用できる割り込みと使用条件

割り込み	使用条件
キー入力割り込み	使用可
$\overline{\text{INT0}}$～$\overline{\text{INT1}}$、$\overline{\text{INT3}}$割り込み	フィルタなしの場合に使用可
タイマRA割り込み	フィルタなしの場合にイベントカウンタモードで外部パルスをカウント時
シリアルインタフェースの割り込み	外部クロック選択時
電圧監視1割り込み	デジタルフィルタ無効モード(VW1CレジスタのVW1C1ビットが“1”)の場合に使用可
電圧監視2割り込み	デジタルフィルタ無効モード(VW2CレジスタのVW2C1ビットが“1”)の場合に使用可

9.6.3.1 ストップモードへの移行

CM1レジスタのCM10ビットを“1”(全クロック停止)にすると、ストップモードになります。同時にCM0レジスタのCM06ビットは“1”(8分周モード)になります。

ストップモードを使用する場合、OCDレジスタのOCD1～OCD0ビットを“00b”、CM3レジスタのCM35ビットを“0”(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてからストップモードにしてください。

ストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態で、ストップモードへ移行しないでください。

9.6.3.2 ストップモード時の端子の状態

入出力ポートはストップモードに入る直前の状態を保持します。

ただし、CM1レジスタのCM13ビットが“1”(XIN-XOUT端子)のとき、XOUT(P4_7)端子は“H”になります。CM13ビットが“0”(入出力ポートP4_6、P4_7)のとき、P4_6(XIN)、P4_7(XOUT)はそれぞれ直前の入出力状態を保持します。

9.6.3.3　ストップモードからの復帰

リセット、または周辺機能割り込みにより、ストップモードから復帰します。
図9.6にストップモードから割り込みルーチンを実行するまでの時間を示します。
周辺機能割り込みで復帰する場合は、次の設定をした後、CM10ビットを“1”にしてください。

(1) ストップモードからの復帰に使用する周辺機能割り込みのILVL2～ILVL0ビットに割り込み優先レベルを設定する。
また、ストップモードからの復帰に使用しない周辺機能割り込みのILVL2～ILVL0ビットをすべて“000b”(割り込み禁止)にする。

(2) Iフラグを“1”にする。

(3) ストップモードからの復帰に使用する周辺機能を動作させる。
周辺機能割り込みで復帰する場合、割り込み要求が発生して、CPUクロックの供給が開始されると割り込みシーケンスを実行します。

周辺機能割り込みでストップモードから復帰した場合のCPUクロックは、ストップモード直前に使用していたクロックの8分周になります。ストップモードへ移行するときは、CM3レジスタのCM35ビットを“0”(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてください。

FMR0レジスタ FMSTPビット	内部電源安定時間(T0)	フラッシュメモリ復帰までの時間(T2)	CPUクロック供給までの時間(T3)	割り込みシーケンスの時間(T4)	備考
0 (フラッシュメモリ動作)	100μs(最大)	システムクロックの周期×1サイクル+60μs(最大)	CPUクロック周期×2サイクル	CPUクロック周期×20サイクル	T0～T4の合計時間がストップモードから割り込みルーチンを実行するまでの時間となります。
1 (フラッシュメモリ停止)	100μs(最大)	システムクロックの周期×1サイクル	同上	同上	

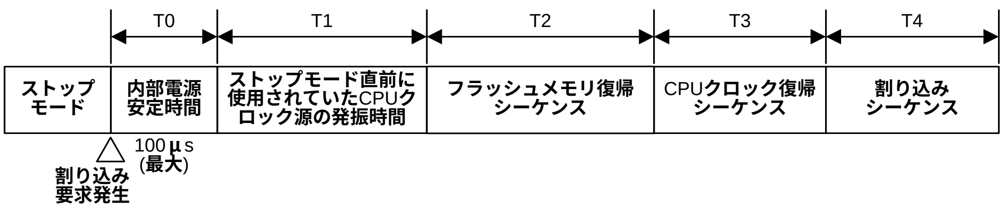


図9.6　ストップモードから割り込みルーチンを実行するまでの時間

図9.7にパワーコントロールモード状態遷移を示します。

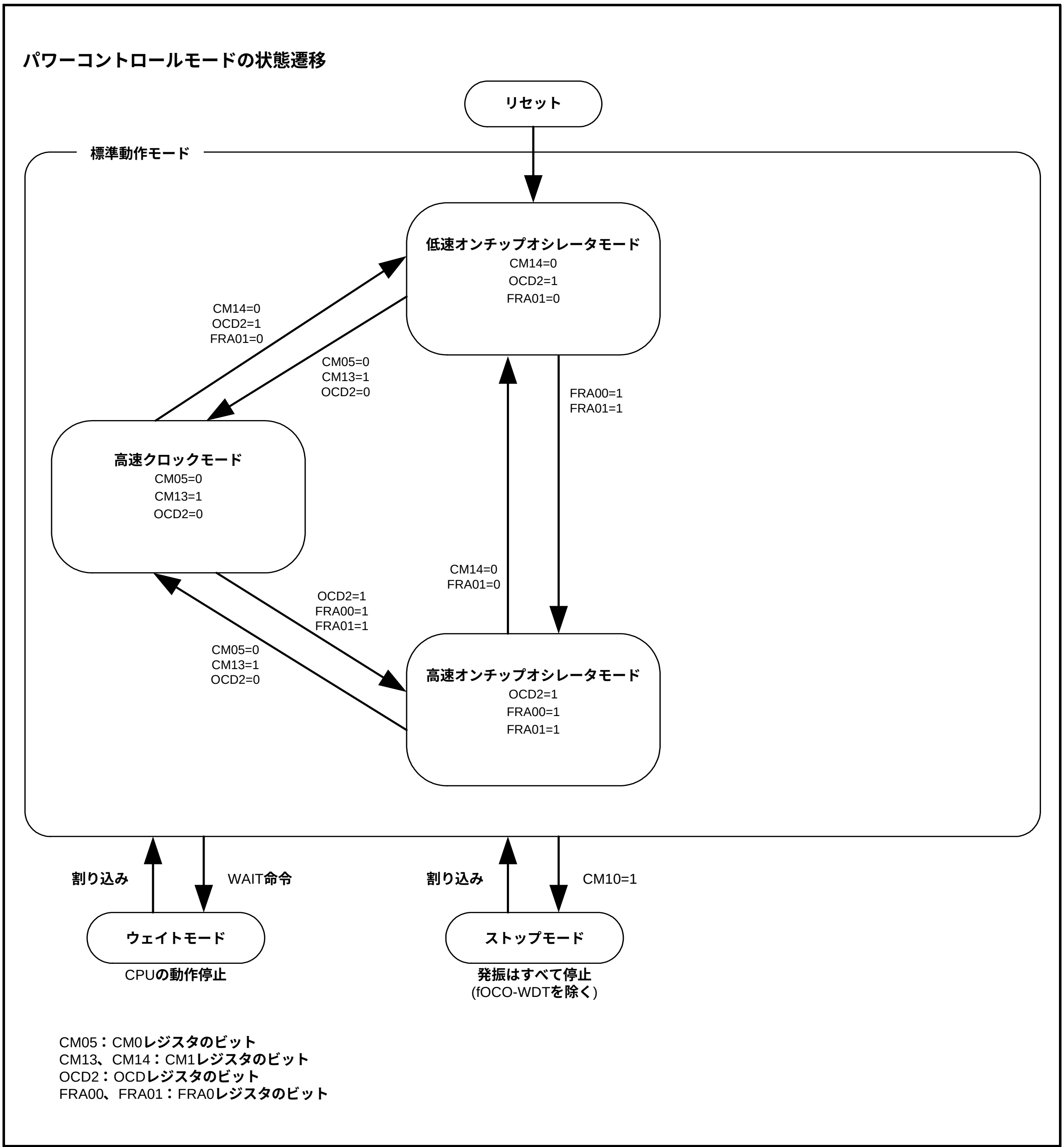


図9.7　パワーコントロールモード状態遷移

9.7 発振停止検出機能

発振停止検出機能は、XINクロック発振回路の停止を検出する機能です。
発振停止検出機能はOCDレジスタのOCD0ビットで有効、無効が選択できます。
表9.5に発振停止検出機能の仕様を示します。

XINクロックがCPUクロック源でOCD1～OCD0ビットが“11b”の場合、XINクロックが停止すると、次の状態になります。

- OCDレジスタのOCD2ビット＝1(オンチップオシレータクロック選択)
- OCDレジスタのOCD3ビット＝1(XINクロック停止)
- CM1レジスタのCM14ビット＝0(低速オンチップオシレータ発振)
- 発振停止検出割り込み要求が発生する

表9.5　発振停止検出機能の仕様

項目	仕様
発振停止検出可能クロックと周波数域	f(XIN)≧2MHz
発振停止検出機能有効条件	OCD1～OCD0ビットを“11b”にする
発振停止検出時の動作	発振停止検出割り込み発生

9.7.1 発振停止検出機能の使用方法

- 発振停止検出割り込みは、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みとベクタを共用しています。発振停止検出割り込みとウォッチドッグタイマ割り込みの両方を使用する場合、要因の判別が必要となります。
  表9.6に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みの割り込み要因の判別を示します。図9.9に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みまたは電圧監視2割り込みの割り込み要因判別方法例を示します。
- 発振停止後、XINクロックが再発振した場合は、プログラムでXINクロックをCPUクロックや周辺機能のクロック源に戻してください。
  図9.8に発振停止検出後、XINクロックが再発振した場合のXINクロックへの切り替え手順を示します。
- 発振停止検出機能を使用中にウェイトモードへ移行する場合は、CM02ビットを“0”(ウェイトモード時周辺機能クロックを停止しない)にしてください。
- 発振停止検出機能は外部要因によるXINクロック停止に備えた機能ですので、プログラムでXINクロックを停止または発振させる場合(ストップモードにする、またはCM05ビットを変更する)は、OCD1～OCD0ビットを“00b”にしてください。
- XINクロックの周波数が2MHz未満の場合、この機能は使用できませんので、OCD1～OCD0ビットを“00b”にしてください
- 発振停止検出後に、CPUクロックと周辺機能のクロック源に低速オンチップオシレータクロックを使用する場合、FRA0レジスタのFRA01ビットを“0”(低速オンチップオシレータ選択)にした後、OCD1～OCD0ビットを“11b”にしてください。
  発振停止検出後に、CPUクロックと周辺機能のクロック源に高速オンチップオシレータクロックを使用する場合、FRA00ビットを“1”(高速オンチップオシレータ発振)にし、FRA01ビットを“1”(高速オンチップオシレータ選択)にした後、OCD1～OCD0ビットを“11b”にしてください。

表9.6 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みの割り込み要因の判別

発生した割り込み要因	割り込み要因を示すビット
発振停止検出 ((a) または (b) のとき)	(a)OCD レジスタの OCD3=1
	(b)OCD レジスタの OCD1 ～ OCD0=11b かつ OCD2=1
ウォッチドッグタイマ	VW2C レジスタの VW2C3=1
電圧監視 1	VW1C レジスタの VW1C2=1
電圧監視 2	VW2C レジスタの VW2C2=1

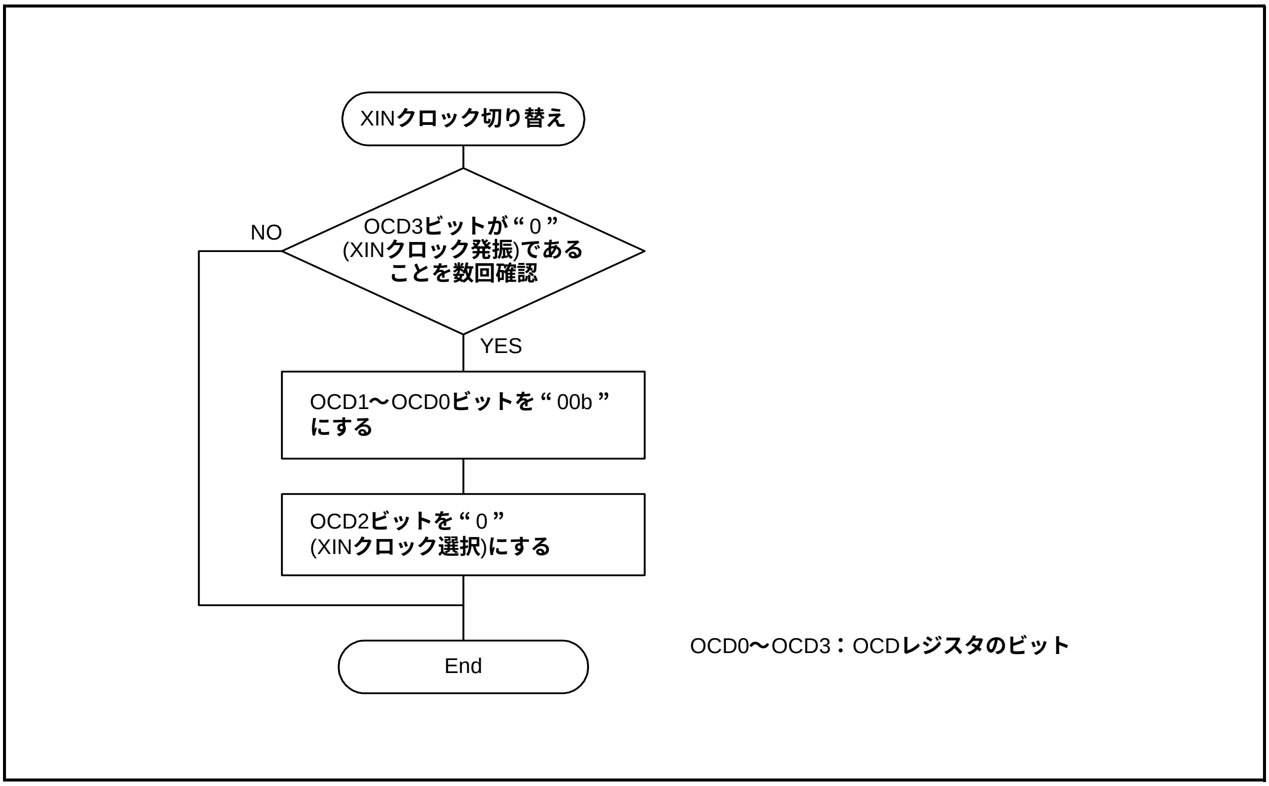
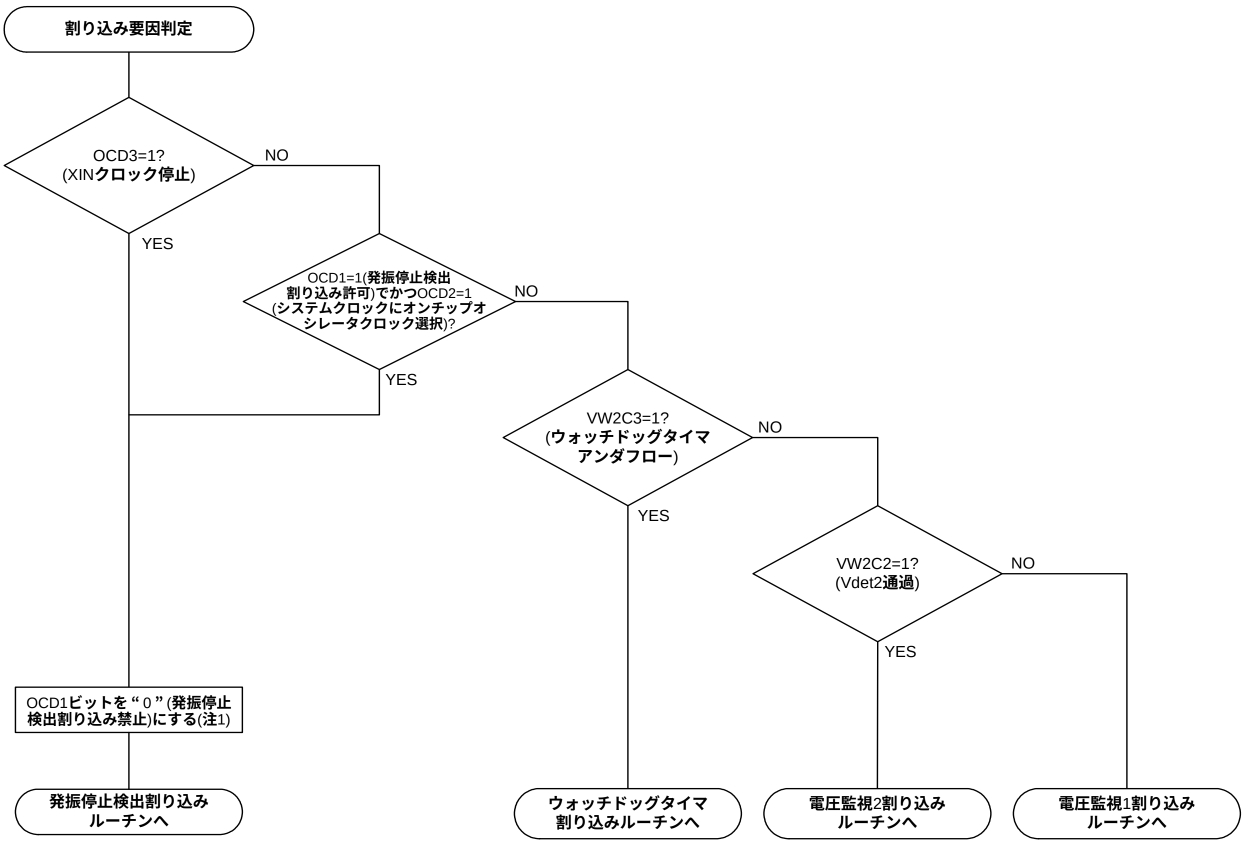


図9.8 発振停止検出後、XINクロックが再発振した場合のXINクロックへの切り替え手順



注1.　発振停止検出の多重割り込みを禁止するためです。

OCD1～OCD3：OCDレジスタのビット
VW2C2、VW2C3：VW2Cレジスタのビット

図9.9　発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みまたは電圧監視2割り込みの割り込み要因判別方法例

9.8 クロック発生回路使用上の注意

9.8.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、CM1レジスタのCM10ビットを“1”(ストップモード)にしてください。命令キューはCM10ビットを“1”(ストップモード)にする命令から、4バイト先読みしてプログラムが停止します。

CM10ビットを“1”にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

• ストップモードに移行するプログラム例

```
          BCLR    1, FMR0       ; CPU書き換えモード無効
          BCLR    7, FMR2       ; 低消費電流リードモード禁止
          BSET    0, PRCR       ; CM1レジスタへの書き込み許可
          FSET    I             ; 割り込み許可
          BSET    0, CM1        ; ストップモード
          JMP.B   LABEL_001
LABEL_001:
          NOP
          NOP
          NOP
          NOP
```

9.8.2 ウェイトモード

ウェイトモードへ移行するときは、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)ならびにFMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。

FMR01ビットが“1”(CPU書き換えモード有効)あるいはFMR27ビットが“1”(低消費電流リードモード許可)の状態で、ウェイトモードへ移行しないでください。

CM30ビットを“1”にしてウェイトモードに移行する場合は、Iフラグを“0”(マスカブル割り込み禁止)にしてください。WAIT命令でウェイトモードに移行する場合は、Iフラグを“1”(マスカブル割り込み許可)にしてください。命令キューはCM30ビットを“1”(ウェイトモードに移行する)にする命令、またはWAIT命令から4バイト先読みしてプログラムが停止します。CM30ビットを“1”(ウェイトモードに移行する)にする命令、またはWAIT命令の後にはNOP命令を最低4つ入れてください。

• WAIT命令を実行するプログラム例

```
          BCLR    1, FMR0       ; CPU書き換えモード無効
          BCLR    7, FMR2       ; 低消費電流リードモード禁止
          FSET    I             ; 割り込み許可
          WAIT                  ; ウェイトモード
          NOP
          NOP
          NOP
          NOP
```

• CM30ビットを“1”を実行するプログラム例

```
          BCLR    1, FMR0       ; CPU書き換えモード無効
          BCLR    7, FMR2       ; 低消費電流リードモード禁止
          BSET    0, PRCR       ; CM3レジスタへの書き込み許可
          FCLR    I             ; 割り込み禁止
          BSET    0, CM3        ; ウェイトモード
          NOP
          NOP
          NOP
          NOP
          BCLR    0, PRCR       ; CM3レジスタへの書き込み禁止
          FSET    I             ; 割り込み許可
```

9.8.3 VCA20ビットによる内部電源低消費操作

VCA20 ビットは低速クロックモードまたは低速オンチップオシレータモードで“ 1 ”にしてから、ウェイトモードに移行してください。

CM3レジスタのCM30ビットを“ 1 ”(ウェイトモードに移行する)にしてウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定は図29.1に示す手順に従ってください。

WAIT 命令を実行してウェイトモードにする場合の VCA20 ビットによる内部電源低消費操作設定は図29.2に示す手順に従ってください。

9.8.4 発振停止検出機能

XIN クロックの周波数が 2MHz 未満の場合、発振停止検出機能は使用できませんので、OCD1 ～ OCD0ビットを“ 00b ”にしてください。また、OCD3ビットは、XINクロックの発振安定確認には使用できません。

9.8.5 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカにご相談の上、決定してください。

10. プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタは簡単に書き換えられないように保護する機能です。

PRCRレジスタが保護するレジスタは次です。

- PRC0ビットで保護されるレジスタ：CM0、CM1、CM3、OCD、FRA0、FRA1、FRA2、FRA3レジスタ
- PRC1ビットで保護されるレジスタ：PM0、PM1レジスタ
- PRC3ビットで保護されるレジスタ：OCVREFCR、VCA2、VD1LS、VW0C、VW1C、VW2Cレジスタ

10.1 レジスタの説明

10.1.1 プロテクトレジスタ(PRCR)

アドレス 000Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	PRC3	—	PRC1	PRC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	CM0、CM1、CM3、OCD、FRA0、FRA1、FRA2、FRA3レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注1)	R/W
b1	PRC1	プロテクトビット1	PM0、PM1レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注1)	R/W
b2	—	予約ビット	“0”にしてください	R/W
b3	PRC3	プロテクトビット3	OCVREFCR、VCA2、VD1LS、VW0C、VW1C、VW2Cレジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可(注1)	R/W
b4	—	予約ビット	“0”にしてください	R/W
b5	—			
b6	—			
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

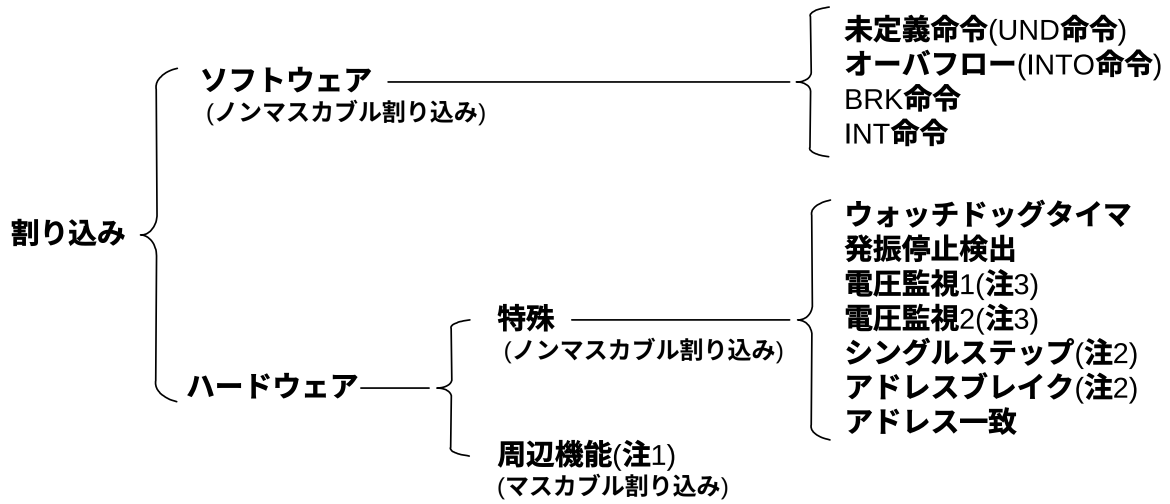
注1. PRC0、PRC1、PRC3ビットを“1”(書き込み許可)にした後、SFR領域に書き込んでも“0”になりませんので、プログラムで“0”にしてください。

11. 割り込み

11.1 概要

11.1.1 割り込みの分類

図11.1に割り込みの分類を示します。



注1. 周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。
注2. 開発ツール専用の割り込みですので、使用しないでください。
注3. CMPAレジスタのIRQ1SEL、IRQ2SELビットでノンマスカブル割り込み、またはマスカブル割り込みを選択できます。

図11.1 割り込みの分類

- マスカブル割り込み　:割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**可能**
- ノンマスカブル割り込み　:割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**不可能**

11.1.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスカブル割り込みです。

11.1.2.1 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

11.1.2.2 オーバフロー割り込み

オーバフロー割り込みは、Oフラグが“1”(演算の結果がオーバフロー)の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

11.1.2.3 BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

11.1.2.4 INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0～63です。周辺機能割り込みに割り当てられているソフトウェア割り込み番号は、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号0～31では、命令実行時にUフラグを退避し、Uフラグを“0”(ISPを選択)にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいたUフラグを復帰します。ソフトウェア割り込み番号32～63では、命令実行時Uフラグは変化せず、そのとき選択されているSPを使用します。

11.1.3 特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

11.1.3.1 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマの詳細は、「14.　ウォッチドッグタイマ」を参照してください。

11.1.3.2 発振停止検出割り込み

発振停止検出機能による割り込みです。発振停止検出機能の詳細は「9.　クロック発生回路」を参照してください。

11.1.3.3 電圧監視1割り込み

電圧検出回路による割り込みです。CMPAレジスタのIRQ1SELビットでノンマスカブル割り込み、またはマスカブル割り込みを選択できます。電圧検出回路の詳細は「6.　電圧検出回路」を参照してください。

11.1.3.4 電圧監視2割り込み

電圧検出回路による割り込みです。CMPAレジスタのIRQ2SELビットでノンマスカブル割り込み、またはマスカブル割り込みを選択できます。電圧検出回路の詳細は「6.　電圧検出回路」を参照してください。

11.1.3.5 シングルステップ割り込み、アドレスブレイク割り込み

開発ツール専用の割り込みですので、使用しないでください。

11.1.3.6 アドレス一致割り込み

アドレス一致割り込みは、AIER0レジスタのAIER00ビット、AIER1レジスタのAIER10ビットのうち、いずれか1つが"1"(アドレス一致割り込み許可)の場合、対応するRMAD0～RMAD1レジスタで示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「11.6　アドレス一致割り込み」を参照してください。

11.1.4 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスカブル割り込みです。周辺機能割り込みの割り込み要因は「表11.2　可変ベクタテーブル」に配置している割り込みとベクタテーブルの番地を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

11.1.5 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。

図11.2に割り込みベクタを示します。

	MSB	LSB
ベクタ番地(L)	アドレスの下位	
	アドレスの中位	
	0000	アドレスの上位
ベクタ番地(H)	0000	0000

図11.2　割り込みベクタ

11.1.5.1 固定ベクタテーブル

固定ベクタテーブルは、0FFDCh番地から0FFFFh番地に配置されています。

表11.1に固定ベクタテーブルを示します。固定ベクタのベクタ番地(H)はIDコードチェック機能で使用します。詳細は「27.3　フラッシュメモリ書き換え禁止機能」を参照してください。

表11.1　固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L)～番地(H)	備考	参照先
未定義命令	0FFDCh～0FFDFh	UND命令で割り込み	R8C/Tinyシリーズソフトウェアマニュアル
オーバフロー	0FFE0h～0FFE3h	INTO命令で割り込み	
BRK命令	0FFE4h～0FFE7h	0FFE6h番地の内容がFFhの場合は可変ベクタテーブル内のベクタが示す番地から実行	
アドレス一致	0FFE8h～0FFEBh		11.6　アドレス一致割り込み
シングルステップ(注1)	0FFECh～0FFEFh		
ウォッチドッグタイマ、 発振停止検出、 電圧監視1(注2)、 電圧監視2(注3)	0FFF0h～0FFF3h		14.　ウォッチドッグタイマ、 9.　クロック発生回路、 6.　電圧検出回路
アドレスブレイク(注1)	0FFF4h～0FFF7h		
(予約)	0FFF8h～0FFFBh		
リセット	0FFFCh～0FFFFh		5.　リセット

注1. 開発ツール専用の割り込みですので、使用しないでください。
注2. 電圧監視1割り込みはCMPAレジスタのIRQ1SELビットが“0”(ノンマスカブル割り込み)の場合です。
注3. 電圧監視2割り込みはCMPAレジスタのIRQ2SELビットが“0”(ノンマスカブル割り込み)の場合です。

11.1.5.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。
表11.2に可変ベクタテーブルを示します。

表11.2　可変ベクタテーブル

割り込み要因	ベクタ番地(注1) 番地(L)～番地(H)	ソフトウェア割り込み番号	割り込み制御レジスタ	参照先
BRK命令(注2)	+0～+3(0000h～0003h)	0	—	R8C/Tinyシリーズ ソフトウェアマニュアル
フラッシュメモリレディ	+4～+7(0004h～0007h)	1	FMRDYIC	27.　フラッシュメモリ
—(予約)		2～5	—	—
—(予約)		6	—	—
タイマRC	+28～+31(001Ch～001Fh)	7	TRCIC	19.　タイマRC
タイマRD0	+32～+35(0020h～0023h)	8	TRD0IC	20.　タイマRD
タイマRD1	+36～+39(0024h～0027h)	9	TRD1IC	
—(予約)		10	—	—
UART2送信/NACK2	+44～+47(002Ch～002Fh)	11	S2TIC	22.　シリアルインタフェース (UART2)
UART2受信/ACK2	+48～+51(0030h～0033h)	12	S2RIC	
キー入力	+52～+55(0034h～0037h)	13	KUPIC	11.5　キー入力割り込み
A/D変換	+56～+59(0038h～003Bh)	14	ADIC	25.　A/Dコンバータ
シンクロナスシリアルコミュニケーションユニット	+60～+63(003Ch～003Fh)	15	SSUIC	23.　シンクロナスシリアルコミュニケーションユニット(SSU)
—(予約)		16	—	—
UART0送信	+68～+71(0044h～0047h)	17	S0TIC	21.　シリアルインタフェース (UART0)
UART0受信	+72～+75(0048h～004Bh)	18	S0RIC	
—(予約)		19	—	
—(予約)		20	—	
—(予約)		21	—	—
タイマRA	+88～+91(0058h～005Bh)	22	TRAIC	17.　タイマRA
—(予約)		23	—	—
タイマRB	+96～+99(0060h～0063h)	24	TRBIC	18.　タイマRB
$\overline{\text{INT1}}$	+100～+103(0064h～0067h)	25	INT1IC	11.4　$\overline{\text{INT}}$割り込み
$\overline{\text{INT3}}$	+104～+107(0068h～006Bh)	26	INT3IC	
—(予約)		27	—	—
—(予約)		28	—	—
$\overline{\text{INT0}}$	+116～+119(0074h～0077h)	29	INT0IC	11.4　$\overline{\text{INT}}$割り込み
UART2バス衝突検出	+120～+123(0078h～007Bh)	30	U2BCNIC	22.　シリアルインタフェース (UART2)
—(予約)		31	—	—
ソフトウェア(注2)	+128～+131(0080h～0083h)～ +164～+167(00A4h～00A7h)	32～41	—	R8C/Tinyシリーズ ソフトウェアマニュアル
—(予約)		42～49	—	—
電圧監視1(注3)	+200～+203(00C8h～00CBh)	50	VCMP1IC	6.　電圧検出回路
電圧監視2(注4)	+204～+207(00CCh～00CFh)	51	VCMP2IC	
—(予約)		52～55	—	—
ソフトウェア(注2)	+224～+227(00E0h～00E3h)～ +252～+255(00FCh～00FFh)	56～63		R8C/Tinyシリーズ ソフトウェアマニュアル

注1.　INTBレジスタが示す番地からの相対番地です。
注2.　Iフラグによる禁止はできません。
注3.　電圧監視1割り込みはCMPAレジスタのIRQ1SELビットが“1”(マスカブル割り込み)の場合です。
注4.　電圧監視2割り込みはCMPAレジスタのIRQ2SELビットが“1”(マスカブル割り込み)の場合です。

11.2 レジスタの説明

11.2.1 割り込み制御レジスタ (S2TIC、S2RIC、KUPIC、ADIC、S0TIC、S0RIC、TRAIC、TRBIC、U2BCNIC、VCMP1IC、VCMP2IC)

アドレス 004Bh番地(S2TIC)、004Ch番地(S2RIC)、004Dh番地(KUPIC)、
004Eh番地(ADIC)、0051h番地(S0TIC)、0052h番地(S0RIC)、
0056h番地(TRAIC)、0058h番地(TRBIC)、005Eh番地(U2BCNIC)、
0072h番地(VCMP1IC)、0073h番地(VCMP2IC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	IR	ILVL2	ILVL1	ILVL0
リセット後の値	X	X	X	X	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0：レベル0 (割り込み禁止) 0 0 1：レベル1 0 1 0：レベル2 0 1 1：レベル3 1 0 0：レベル4 1 0 1：レベル5 1 1 0：レベル6 1 1 1：レベル7	R/W
b1	ILVL1			R/W
b2	ILVL2			R/W
b3	IR	割り込み要求ビット	0：割り込み要求なし 1：割り込み要求あり	R/W (注1)
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
b5	—			
b6	—			
b7	—			

注1. IRビットは“0”のみ書けます(“1”を書かないでください)。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「11.8.5 割り込み制御レジスタの変更」を参照してください。

11.2.2 割り込み制御レジスタ(FMRDYIC、TRCIC、TRD0IC、TRD1IC、SSUIC)

アドレス 0041h番地(FMRDYIC)、0047h番地(TRCIC)、0048h番地(TRD0IC)、0049h番地(TRD1IC)、004Fh番地(SSUIC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	IR	ILVL2	ILVL1	ILVL0
リセット後の値	X	X	X	X	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0：レベル0 (割り込み禁止) 0 0 1：レベル1 0 1 0：レベル2 0 1 1：レベル3 1 0 0：レベル4 1 0 1：レベル5 1 1 0：レベル6 1 1 1：レベル7	R/W
b1	ILVL1			R/W
b2	ILVL2			R/W
b3	IR	割り込み要求ビット	0：割り込み要求なし 1：割り込み要求あり	R
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
b5	—			
b6	—			
b7	—			

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「11.8.5　割り込み制御レジスタの変更」を参照してください。

11.2.3 INTi割り込み制御レジスタ(INTiIC)(i=0～1、3)

アドレス 0059h番地(INT1IC)、005Ah番地(INT3IC)、005Dh番地(INT0IC)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	POL	IR	ILVL2	ILVL1	ILVL0
リセット後の値	X	X	0	0	X	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0：レベル0 (割り込み禁止) 0 0 1：レベル1 0 1 0：レベル2 0 1 1：レベル3 1 0 0：レベル4 1 0 1：レベル5 1 1 0：レベル6 1 1 1：レベル7	R/W
b1	ILVL1			R/W
b2	ILVL2			R/W
b3	IR	割り込み要求ビット	0：割り込み要求なし 1：割り込み要求あり	R/W (注1)
b4	POL	極性切り替えビット(注3)	0：立ち下がりエッジを選択 1：立ち上がりエッジを選択(注2)	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
b7	—			

注1. IRビットは“0”のみ書けます(“1”を書かないでください)。
注2. INTENレジスタのINTiPLビットが“1”(両エッジ)の場合、POLビットを“0”(立ち下がりエッジを選択)にしてください。
注3. POLビットを変更すると、IRビットが“1”(割り込み要求あり)になることがあります。
「11.8.4 割り込み要因の変更」を参照してください。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「11.8.5 割り込み制御レジスタの変更」を参照してください。

11.3　割り込み制御

マスカブル割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスカブル割り込みには該当しません。

マスカブル割り込みの許可、禁止は、FLGレジスタのIフラグ、IPL、各割り込み制御レジスタのILVL2～ILVL0ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタのIRビットに示されます。

11.3.1　Iフラグ

Iフラグは、マスカブル割り込みを許可または禁止します。Iフラグを“1”(許可)にすると、マスカブル割り込みは許可され、“0”(禁止)にするとすべてのマスカブル割り込みは禁止されます。

11.3.2　IRビット

IRビットは割り込み要求が発生すると、“1”(割り込み要求あり)になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、IRビットは“0”(割り込み要求なし)になります。

IRビットはプログラムによって“0”にできます。“1”を書かないでください。

ただし、タイマRC割り込み、タイマRD割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、フラッシュメモリ割り込みでは、IRビットの動作が違います。「11.7　タイマRC割り込み、タイマRD割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)」を参照してください。

11.3.3　ILVL2～ILVL0ビット、IPL

割り込み優先レベルは、ILVL2～ILVL0ビットで設定できます。

表11.3に割り込み優先レベルの設定を、表11.4にIPLにより許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- Iフラグ　＝　1
- IRビット　＝　1
- 割り込み優先レベル　＞　IPL

Iフラグ、IRビット、ILVL2～ILVL0ビット、IPLはそれぞれ独立しており、互いに影響を与えることはありません。

表11.3　割り込み優先レベルの設定

ILVL2～ILVL0	割り込み優先レベル	優先順位
000b	レベル0(割り込み禁止)	—
001b	レベル1	低い
010b	レベル2	↓
011b	レベル3	↓
100b	レベル4	↓
101b	レベル5	↓
110b	レベル6	↓
111b	レベル7	高い

表11.4　IPLにより許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
000b	レベル1以上を許可
001b	レベル2以上を許可
010b	レベル3以上を許可
011b	レベル4以上を許可
100b	レベル5以上を許可
101b	レベル6以上を許可
110b	レベル7以上を許可
111b	すべてのマスカブル割り込みを禁止

11.3.4 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次のように動作します。

図11.3に割り込みシーケンスの実行時間を示します。

(1) 00000h番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。(注2)
(2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注1)に退避します。
(3) FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。
Iフラグは“0”(割り込み禁止)
Dフラグは“0”(シングルステップ割り込みは割り込み禁止)
Uフラグは“0”(ISPを指定)
ただし、Uフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません。
(4) CPU内部の一時レジスタ(注1)をスタックに退避します。
(5) PCをスタックに退避します。
(6) IPLに、受け付けた割り込みの割り込み優先レベルを設定します。
(7) 割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

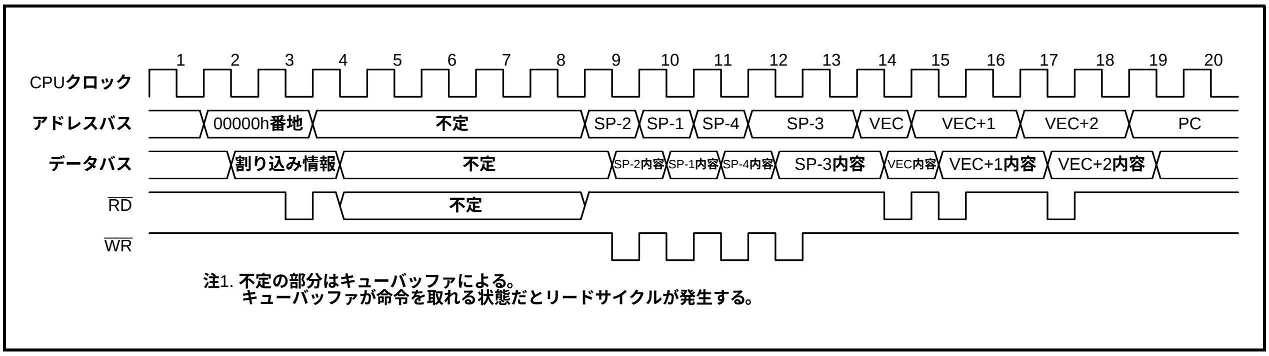
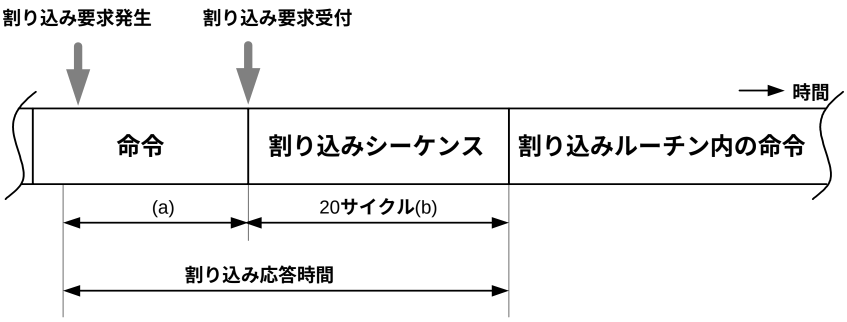


図11.3 割り込みシーケンスの実行時間

注2. タイマRC、タイマRD、シンクロナスシリアルコミュニケーションユニットのIRビットの動作は「11.7 タイマRC割り込み、タイマRD割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)」を参照してください。

11.3.5　割り込み応答時間

図11.4に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(図11.4の(a))と割り込みシーケンスを実行する時間(20サイクル(b))で構成されます。



(a)　割り込み要求発生時点からそのとき実行している命令が終了するまでの時間。実行している命令によって異なります。この時間が最も長くなる命令はDIVX命令で30サイクル(ウェイトなし、除数がレジスタの場合のサイクル数)です。
(b)　アドレス一致割り込み、シングルステップ割り込みは21サイクルです。

図11.4　割り込み応答時間

11.3.6　割り込み要求受付時のIPLの変化

マスカブル割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると表11.5に示す値がIPLに設定されます。

表11.5にソフトウェア割り込み、特殊割り込み受け付け時のIPLの値を示します。

表11.5　ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値

割り込み優先レベルを持たない割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、発振停止検出、電圧監視1、電圧監視2、アドレスブレイク	7
ソフトウェア、アドレス一致、シングルステップ	変化しない

11.3.7 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへはPCの上位4ビットとFLGレジスタの上位4ビット(IPL)、下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。

図11.5に割り込み要求受け付け前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、現在使用しているレジスタバンクの複数のレジスタ(注1)を、1命令で退避できます。

注1. R0、R1、R2、R3、A0、A1、SB、FBレジスタから選択できます。

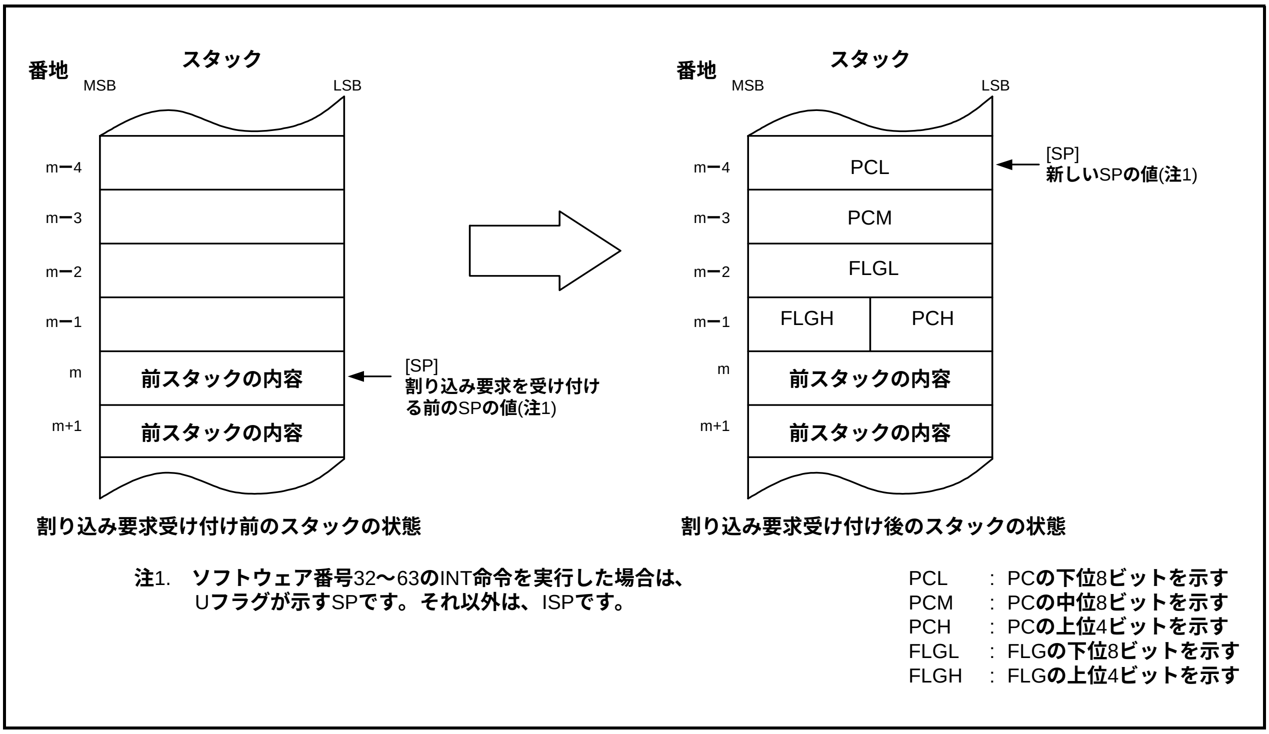
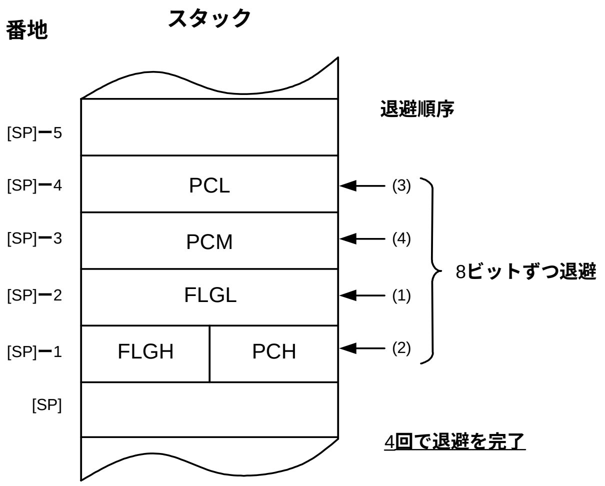


図11.5 割り込み要求受け付け前と後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、8ビットずつ4回に分けて退避されます。
図11.6にレジスタ退避動作を示します。



注1. [SP]は割り込み要求受け付け時点でのSPの初期値です。
レジスタ退避終了後、SPの内容は[SP]−4となります。
ソフトウェア番号32～63のINT命令を実行した場合は、
Uフラグが示すSPです。それ以外は、ISPです。

PCL : PCの下位8ビットを示す
PCM : PCの中位8ビットを示す
PCH : PCの上位4ビットを示す
FLGL : FLGの下位8ビットを示す
FLGH : FLGの上位4ビットを示す

図11.6　レジスタ退避動作

11.3.8 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

11.3.9 割り込み優先順位

1命令実行中に2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能)の優先レベルは、ILVL2～ILVL0ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。

図11.7にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンを実行します。

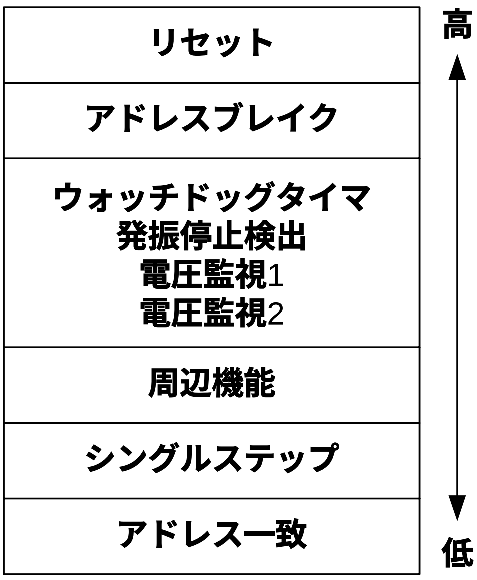


図11.7　ハードウェア割り込みの割り込み優先順位

11.3.10 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、最も優先順位の高い割り込みを選択するための回路です。
図11.8に割り込み優先レベルの判定回路を示します。

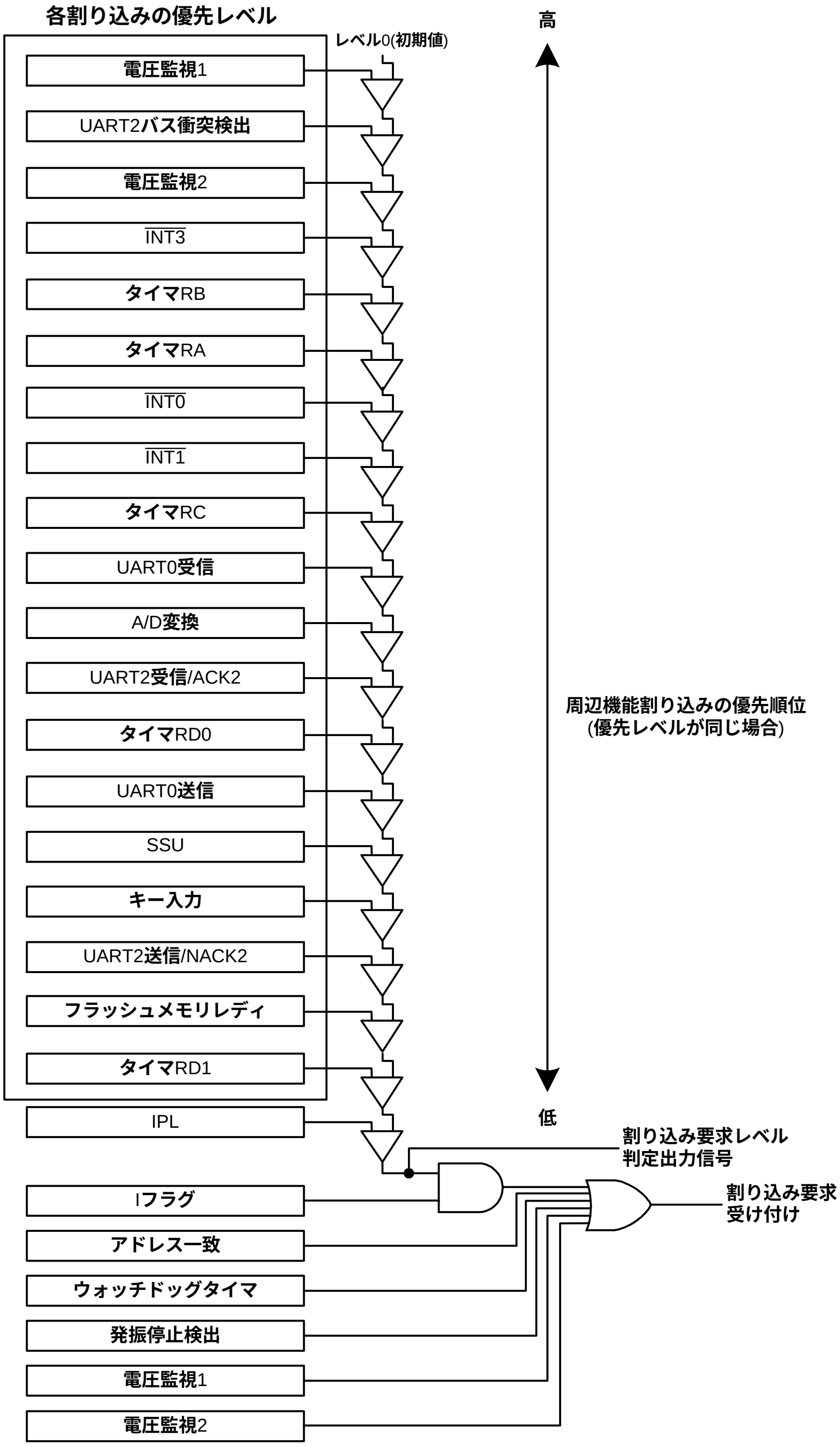


図11.8 割り込み優先レベルの判定回路

11.4 $\overline{\text{INT}}$割り込み

11.4.1 $\overline{\text{INTi}}$割り込み(i=0〜1、3)

$\overline{\text{INTi}}$割り込みは$\overline{\text{INTi}}$入力による割り込みです。$\overline{\text{INTi}}$割り込みを使用するときはINTENレジスタのINTiENビット“1”(許可)にしてください。極性をINTENレジスタのINTiPLビットとINTiICレジスタのPOLビットで選択できます。$\overline{\text{INT1}}$入力は入力端子を選択できます。

また、3種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。

$\overline{\text{INT0}}$端子はタイマRCのパルス出力強制遮断入力と、タイマRBの外部トリガ入力と兼用です。

表11.6に$\overline{\text{INT}}$割り込みの端子構成を示します。

表11.6 $\overline{\text{INT}}$割り込みの端子構成

端子名	割り当てる端子	入出力	機能
$\overline{\text{INT0}}$	P4_5	入力	$\overline{\text{INT0}}$割り込み入力、タイマRBの外部トリガ入力、タイマRCおよびタイマRDのパルス出力強制遮断入力
$\overline{\text{INT1}}$	P1_5またはP1_7	入力	$\overline{\text{INT1}}$割り込み入力
$\overline{\text{INT3}}$	P3_3	入力	$\overline{\text{INT3}}$割り込み入力

11.4.2 INT割り込み入力端子選択レジスタ(INTSR)

アドレス 018Eh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	INT1SEL0	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	INT1SEL0	$\overline{\text{INT1}}$端子選択ビット	0：P1_7に割り当てる 1：P1_5に割り当てる	R/W
b2	—	予約ビット	“0”にしてください	R/W
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

INTSRレジスタは、$\overline{\text{INT1}}$の入力をどの端子に割り当てるかを選択するレジスタです。$\overline{\text{INT1}}$を使用する場合は、INTSRレジスタを設定してください。

$\overline{\text{INT1}}$の関連レジスタを設定する前に、INTSRレジスタを設定してください。また、$\overline{\text{INT1}}$の動作中はINTSRレジスタの設定値を変更しないでください。

11.4.3 外部入力許可レジスタ0 (INTEN)

アドレス 01FAh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3PL	INT3EN	—	—	INT1PL	INT1EN	INT0PL	INT0EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0EN	$\overline{\text{INT0}}$入力許可ビット	0：禁止 1：許可	R/W
b1	INT0PL	$\overline{\text{INT0}}$入力極性選択ビット(注1、2)	0：片エッジ 1：両エッジ	R/W
b2	INT1EN	$\overline{\text{INT1}}$入力許可ビット	0：禁止 1：許可	R/W
b3	INT1PL	$\overline{\text{INT1}}$入力極性選択ビット(注1、2)	0：片エッジ 1：両エッジ	R/W
b4	—	予約ビット	"0"にしてください	R/W
b5	—			
b6	INT3EN	$\overline{\text{INT3}}$入力許可ビット	0：禁止 1：許可	R/W
b7	INT3PL	$\overline{\text{INT3}}$入力極性選択ビット(注1、2)	0：片エッジ 1：両エッジ	R/W

注1. INTiPLビット(i=0～1、3)を"1"(両エッジ)にする場合、INTiICレジスタのPOLビットを"0"(立ち下がりエッジを選択)にしてください。

注2. INTENレジスタを変更すると、INTiICレジスタのIRビットが"1"(割り込み要求あり)になることがあります。「11.8.4　割り込み要因の変更」を参照してください。

11.4.4 INT入力フィルタ選択レジスタ0 (INTF)

アドレス 01FCh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3F1	INT3F0	—	—	INT1F1	INT1F0	INT0F1	INT0F0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0F0	$\overline{INT0}$入力フィルタ選択ビット	b1 b0 0 0：フィルタなし 0 1：フィルタあり、f1でサンプリング 1 0：フィルタあり、f8でサンプリング 1 1：フィルタあり、f32でサンプリング	R/W
b1	INT0F1			R/W
b2	INT1F0	$\overline{INT1}$入力フィルタ選択ビット	b3 b2 0 0：フィルタなし 0 1：フィルタあり、f1でサンプリング 1 0：フィルタあり、f8でサンプリング 1 1：フィルタあり、f32でサンプリング	R/W
b3	INT1F1			R/W
b4	—	予約ビット	“0”にしてください	R/W
b5	—			
b6	INT3F0	$\overline{INT3}$入力フィルタ選択ビット	b7 b6 0 0：フィルタなし 0 1：フィルタあり、f1でサンプリング 1 0：フィルタあり、f8でサンプリング 1 1：フィルタあり、f32でサンプリング	R/W
b7	INT3F1			R/W

11.4.5　INTi入力フィルタ(i=0～1、3)

INTi入力は、デジタルフィルタを持ちます。サンプリングクロックはINTFレジスタのINTiF0～INTiF1ビットで選択できます。サンプリングクロックごとにINTiのレベルをサンプリングし、レベルが3度一致した時点で、INTiICレジスタのIRビットが“1”(割り込み要求あり)になります。

図11.9にINTi入力フィルタの構成を、図11.10にINTi入力フィルタ動作例を示します。

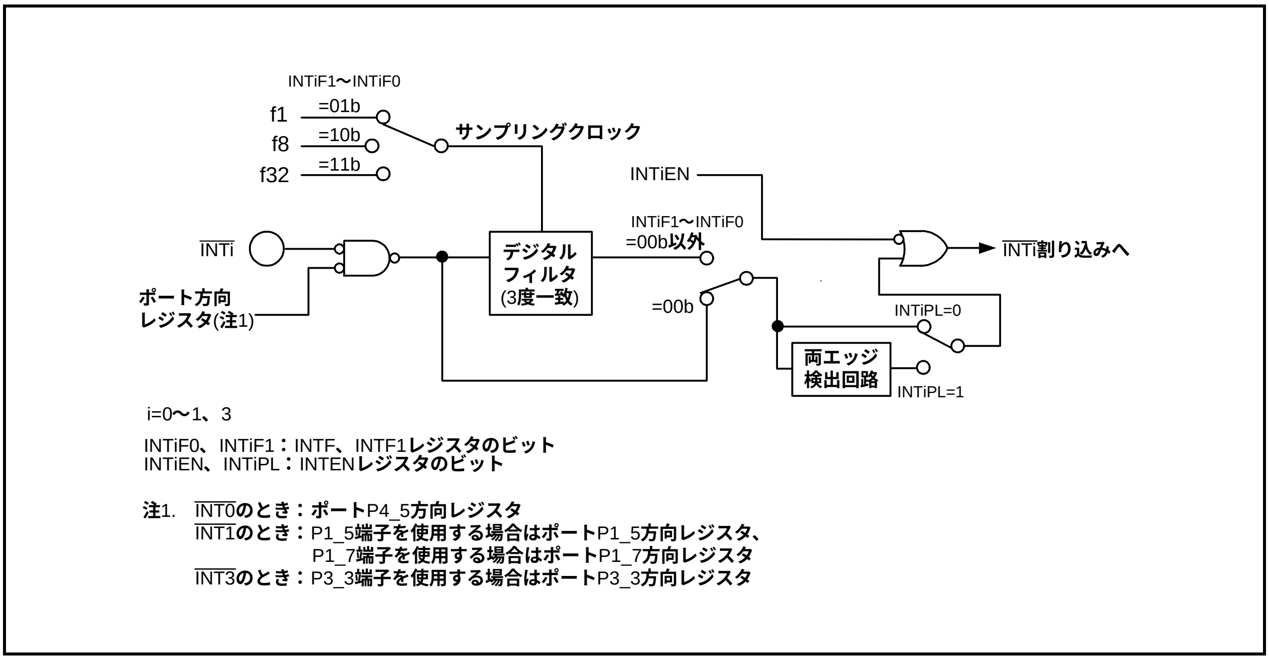


図11.9　INTi**入力フィルタの構成**

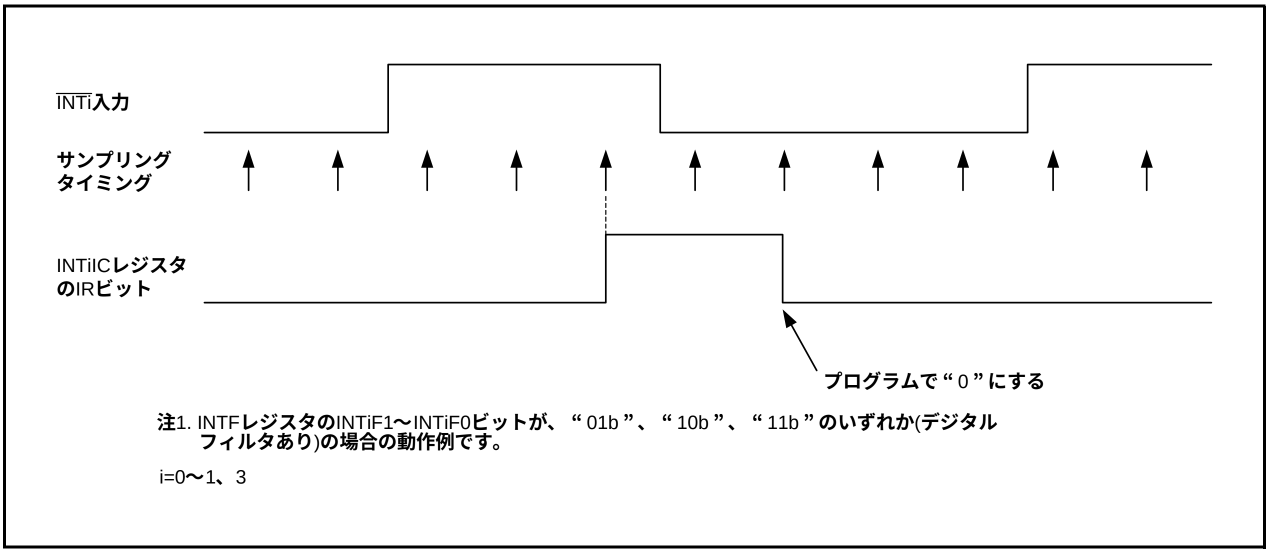


図11.10　INTi**入力フィルタ動作例**

11.5 キー入力割り込み

$\overline{\text{KI0}}$～$\overline{\text{KI3}}$端子のうち、いずれかの入力エッジでキー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウェイクアップの機能としても使用できます。

KIENレジスタのKIiENビット(i＝0～3)で、端子を$\overline{\text{KIi}}$入力として使用するかどうかを選択できます。また、KIENレジスタのKIiPLビットで入力極性を選択できます。

なお、KIiPLビットを“0”(立ち下がりエッジ)にしている$\overline{\text{KIi}}$端子に“L”を入力していると、他の$\overline{\text{KI0}}$～$\overline{\text{KI3}}$端子の入力は割り込みとして検知されません。同様に、KIiPLビットを“1”(立ち上がりエッジ)にしている$\overline{\text{KIi}}$端子に“H”を入力していると、他の$\overline{\text{KI0}}$～$\overline{\text{KI3}}$端子の入力は割り込みとして検知されません。

図11.11にキー入力割り込みのブロック図を示します。表11.7にキー入力割り込みの端子構成を示します。

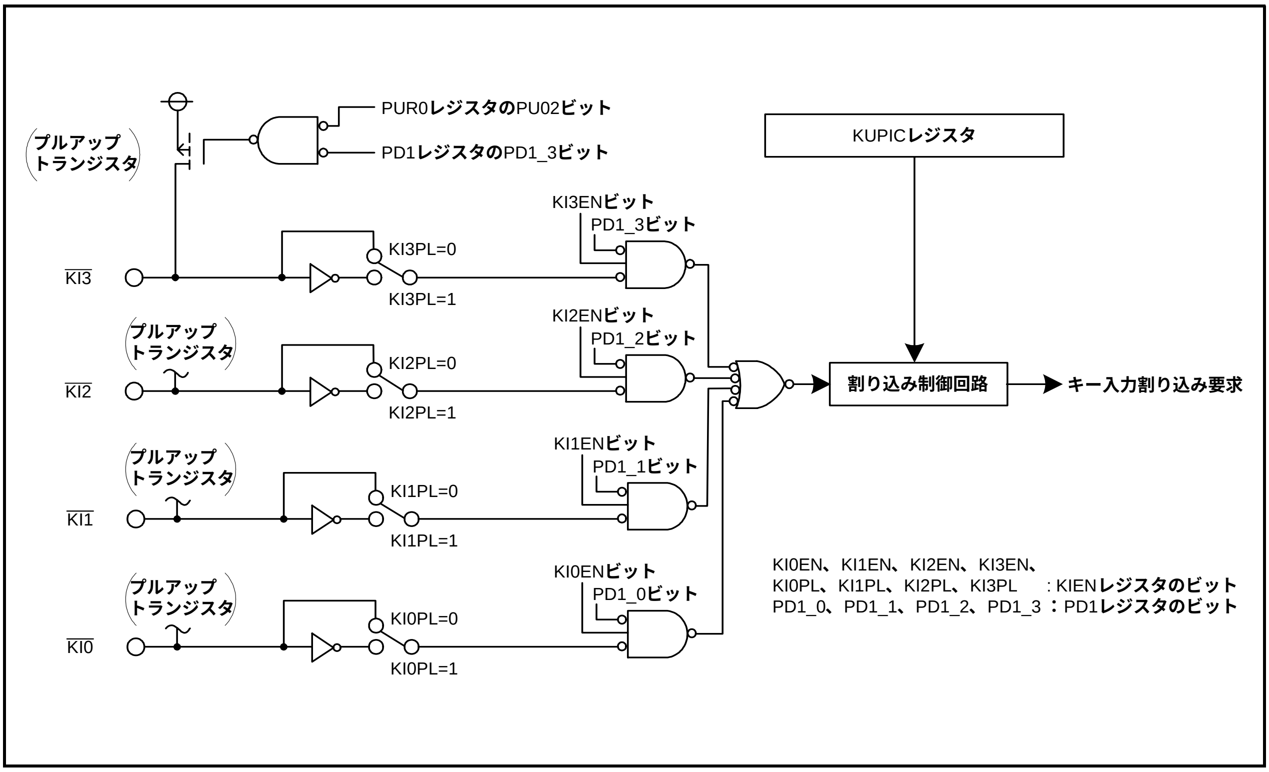


図11.11 キー入力割り込みのブロック図

表11.7 キー入力割り込みの端子構成

端子名	入出力	機能
$\overline{\text{KI0}}$	入力	$\overline{\text{KI0}}$割り込み入力
$\overline{\text{KI1}}$	入力	$\overline{\text{KI1}}$割り込み入力
$\overline{\text{KI2}}$	入力	$\overline{\text{KI2}}$割り込み入力
$\overline{\text{KI3}}$	入力	$\overline{\text{KI3}}$割り込み入力

11.5.1 キー入力許可レジスタ0(KIEN)

アドレス 01FEh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	KI3PL	KI3EN	KI2PL	KI2EN	KI1PL	KI1EN	KI0PL	KI0EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	KI0EN	KI0入力許可ビット	0：禁止 1：許可	R/W
b1	KI0PL	KI0入力極性選択ビット	0：立ち下がりエッジ 1：立ち上がりエッジ	R/W
b2	KI1EN	KI1入力許可ビット	0：禁止 1：許可	R/W
b3	KI1PL	KI1入力極性選択ビット	0：立ち下がりエッジ 1：立ち上がりエッジ	R/W
b4	KI2EN	KI2入力許可ビット	0：禁止 1：許可	R/W
b5	KI2PL	KI2入力極性選択ビット	0：立ち下がりエッジ 1：立ち上がりエッジ	R/W
b6	KI3EN	KI3入力許可ビット	0：禁止 1：許可	R/W
b7	KI3PL	KI3入力極性選択ビット	0：立ち下がりエッジ 1：立ち上がりエッジ	R/W

KIENレジスタを変更すると、KUPICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「11.8.4　割り込み要因の変更」を参照してください。

11.6 アドレス一致割り込み

RMADi(i=0～1)レジスタで示される番地の命令を実行する直前に、アドレス一致割り込み要求が発生します。デバッガのブレーク機能に使用します。なお、オンチップデバッガ使用時、ユーザシステムでアドレス一致割り込み(AIER0、AIER1、RMAD0、RMAD1レジスタ、固定ベクタテーブル)を設定しないでください。

RMADi(i=0～1)には命令の先頭番地を設定してください。割り込みの禁止または許可はAIERiレジスタのAIERi0ビットで選択できます。アドレス一致割り込みは、IフラグやIPLの影響は受けません。

アドレス一致割り込み要求を受け付けたときに退避されるPCの値(「11.3.7　レジスタ退避」参照)は、RMADiレジスタで示される番地の命令によって異なります(正しい戻り先番地がスタックに積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- スタックの内容を書き換えてREIT命令で復帰する
- スタックをPOP命令などを使用して、割り込み要求受け付け前の状態に戻してからジャンプ命令で復帰する

表11.8にアドレス一致割り込み要求受け付け時に退避されるPCの値を、表11.9にアドレス一致割り込み要因と関連レジスタの対応を示します。

表11.8　アドレス一致割り込み要求受け付け時に退避されるPCの値

RMADi レジスタ (i=0 ～ 1) で示される番地の命令	退避される PC の値 (注 1)
•オペコードが2バイトの命令(注2) •オペコードが1バイトの命令(注2) ADD.B:S #IMM8,dest　SUB.B:S #IMM8,dest　AND.B:S #IMM8,dest OR.B:S #IMM8,dest　MOV.B:S #IMM8,dest　STZ #IMM8,dest STNZ #IMM8,dest　STZX #IMM81,#IMM82,dest CMP.B:S #IMM8,dest　PUSHM src　POPM dest JMPS #IMM8　JSRS #IMM8 MOV.B:S #IMM,dest　(ただし、dest ＝ A0 または A1)	RMADi レジスタで示される番地 +2
上記以外	RMADi レジスタで示される番地 +1

注1. 退避されるPCの値：「11.3.7　レジスタ退避」参照。
注2. オペコード：「R8C/Tinyシリーズソフトウェアマニュアル(RJJ09B0002)」参照。
「第4章　命令コード/サイクル数」の各構文の下に、命令コードを示す図があります。その図の太枠部分がオペコードです。

表11.9　アドレス一致割り込み要因と関連レジスタの対応

アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み 0	AIER00	RMAD0
アドレス一致割り込み 1	AIER10	RMAD1

11.6.1　アドレス一致割り込み許可レジスタi (AIERi)(i=0～1)

アドレス 01C3h番地(AIER0)、01C7h番地(AIER1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	—	—	—	—	—	—	—	AIER00	AIER0レジスタ
リセット後の値	0	0	0	0	0	0	0	0	
シンボル	—	—	—	—	—	—	—	AIER10	AIER1レジスタ
リセット後の値	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b0	AIERi0	アドレス一致割り込みi許可ビット	0：禁止 1：許可	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

11.6.2　アドレス一致割り込みレジスタi (RMADi)(i=0～1)

アドレス 01C2h～01C0h番地(RMAD0)、01C6h～01C4h番地(RMAD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b23	b22	b21	b20	b19	b18	b17	b16
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	X	X	X	X

ビット	シンボル	機能	設定可能値	R/W
b19～b0	—	アドレス一致割り込み用アドレス設定レジスタ	00000h～FFFFFh	R/W
b20	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b21	—			
b22	—			
b23	—			

11.7 タイマRC割り込み、タイマRD割り込み、シンクロナスシリアルコミュニケーションユニット割り込み、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)

タイマRC、タイマRD(タイマRD0)、タイマRD(タイマRD1)、シンクロナスシリアルコミュニケーションユニット、フラッシュメモリは、それぞれ複数の割り込み要求要因を持ち、それらの論理和が割り込み要求になり、割り込み制御レジスタのIRビットに反映されます。このため、これらの周辺機能はそれぞれ独自の割り込み要求要因のステータスレジスタ(以下、ステータスレジスタと称す)と、割り込み要求要因の許可レジスタ(以下、許可レジスタと称す)を持ち、割り込み要求の発生(割り込み制御レジスタのIRビットの変化)を制御しています。表11.10にタイマRC、タイマRD、シンクロナスシリアルコミュニケーションユニット、フラッシュメモリ割り込み関連レジスタを、図11.12にタイマRD割り込みのブロック図を示します。

表11.10 タイマRC、タイマRD、シンクロナスシリアルコミュニケーションユニット、フラッシュメモリ割り込み関連レジスタ

周辺機能名		割り込み要求要因のステータスレジスタ	割り込み要求要因の許可レジスタ	割り込み制御レジスタ
タイマRC		TRCSR	TRCIER	TRCIC
タイマRD	タイマRD0	TRDSR0	TRDIER0	TRD0IC
	タイマRD1	TRDSR1	TRDIER1	TRD1IC
シンクロナスシリアルコミュニケーションユニット		SSSR	SSER	SSUIC
フラッシュメモリ		RDYSTI	RDYSTIE	FMRDYIC
		BSYAEI	BSYAEIE	
			CMDERIE	

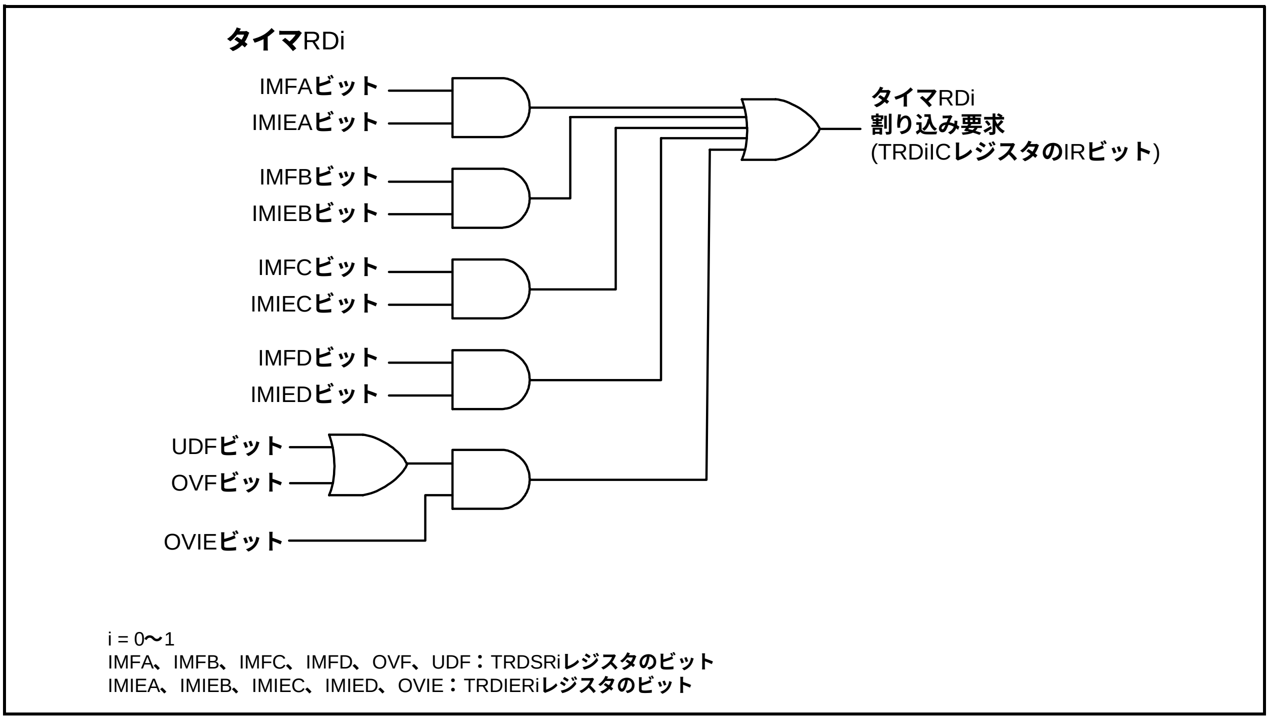


図11.12 タイマRD割り込みのブロック図

タイマRC、タイマRD (タイマRD0)、タイマRD (タイマRD1)、シンクロナスシリアルコミュニケーションユニット、フラッシュメモリの割り込みが、Iフラグ、IRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要求を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- ステータスレジスタのビットが“1”で、それに対応する許可レジスタのビットが“1”(割り込み許可)の場合、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になります。
- ステータスレジスタのビットと、それに対応する許可レジスタのビットのどちらか、または両方が“0”になるとIRビットが“0”(割り込み要求なし)になります。
  すなわち、IRビットは、一旦“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
  また、IRビットに“0”を書いても“0”になりません。
- ステータスレジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりません。
  このため、IRビットも割り込みが受け付けられたとき自動的に“0”になりません。
  ステータスレジスタの各ビットは割り込みルーチン内で“0”にしてください。ステータスレジスタの各ビットを“0”にする方法はステータスレジスタの図を参照してください。
- 許可レジスタの複数のビットを“1”にしている場合、IRビットが“1”になった後、別の要求要因が成立したとき、IRビットは“1”のまま変化しません。
- 許可レジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、ステータスレジスタで判定してください。

ステータスレジスタと許可レジスタは各周辺機能の章(「19.　タイマRC」、「20.　タイマRD」、「23.　シンクロナスシリアルコミュニケーションユニット(SSU)」、「27.　フラッシュメモリ」)を参照してください。

割り込み制御レジスタは「11.3　割り込み制御」を参照してください。

11.8 割り込み使用上の注意

11.8.1 00000h番地の読み出し

プログラムで 00000h 番地を読まないでください。マスカブル割り込みの割り込み要求を受け付けた場合、CPU は割り込みシーケンスの中で割り込み情報 (割り込み番号と割り込み要求レベル) を 00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが " 0 " になります。

プログラムで 00000h 番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが " 0 " になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

11.8.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは " 0000h " です。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

11.8.3 外部割り込み、キー入力割り込み

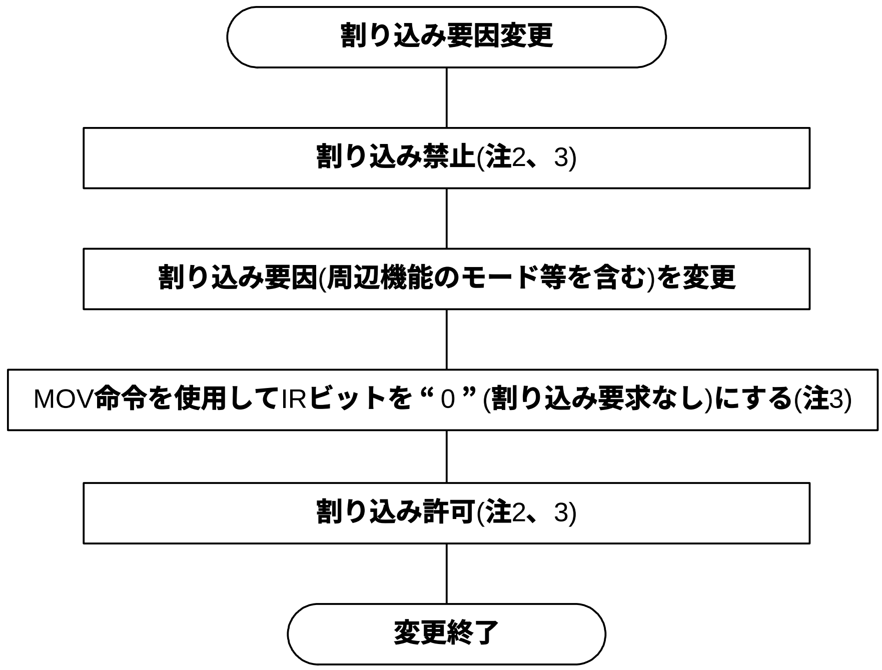
$\overline{\mathrm{INT0}}$～$\overline{\mathrm{INT1}}$、$\overline{\mathrm{INT3}}$端子、$\overline{\mathrm{KI0}}$～$\overline{\mathrm{KI3}}$端子に入力する信号には、CPUの動作クロックに関係なく電気的特性の外部割り込み$\overline{\mathrm{INTi}}$入力 (i = 0～1、3) に示す" L "レベル幅、または" H "レベル幅が必要です。(詳細は「表29.22(Vcc = 5V)、表29.29(Vcc = 3V)　外部割り込み$\overline{\mathrm{INTi}}$入力 (i = 0～1、3)、キー入力割り込み$\overline{\mathrm{KIi}}$(i = 0～3)」を参照。)

11.8.4　割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図11.13に割り込み要因の変更手順例を示します。



IRビット: 要因を変更する割り込みの、割り込み制御レジスタのビット

注1.　上記の設定は個々に実行してください。2つ以上の設定を同時に(1命令で)実行しないでください。
注2.　割り込み要求を発生させないために、割り込み要因となる周辺機能を停止させた後、割り込み要因を変更してください。この場合、マスカブル割り込みをすべて禁止にしてよい場合はIフラグを使用してください。
マスカブル割り込みをすべて禁止にできない場合は、要因を変更する割り込みのILVL0〜ILVL2ビットを使用してください。
注3.　デジタルフィルタありの入力を割り込み要因とする場合は、デジタルフィルタのサンプリングクロックの3サイクル分以上待ってから、IRビットを“0”(割り込み要求なし)にしてください。使用する命令とそれに伴う注意は「11.8.5　割り込み制御レジスタの変更」を参照してください。

図11.13　割り込み要因の変更手順例

11.8.5 割り込み制御レジスタの変更

(a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。

(b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。

IRビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”(割り込み要求あり)にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

対象となる命令.......AND、OR、BCLR、BSET

IRビットの変更

IRビットを“0”(割り込み要求なし)にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。

(c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。)

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”(割り込み許可)になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
    FCLR     I                  ; 割り込み禁止
    AND.B    #00H, 0056H        ; TRAICレジスタを“00h”にする
    NOP                         ;
    NOP
    FSET     I                  ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
    FCLR     I                  ; 割り込み禁止
    AND.B    #00H, 0056H        ; TRAICレジスタを“00h”にする
    MOV.W    MEM, R0            ; ダミーリード
    FSET     I                  ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3:
    PUSHC    FLG
    FCLR     I                  ; 割り込み禁止
    AND.B    #00H, 0056H        ; TRAICレジスタを“00h”にする
    POPC     FLG                ; 割り込み許可
```

12. IDコード領域

IDコード領域は、標準シリアル入出力モードでフラッシュメモリ書き換え禁止機能に使用します。フラッシュメモリ書き換え禁止機能は、フラッシュメモリの読み出し、書き換え、消去を禁止します。

12.1 概要

IDコード領域は固定ベクタテーブルの各ベクタ最上位番地のうち、0FFDFh、0FFE3h、0FFEBh、0FFEFh、0FFF3h、0FFF7h、0FFFBh番地です。図12.1にIDコード領域を示します。

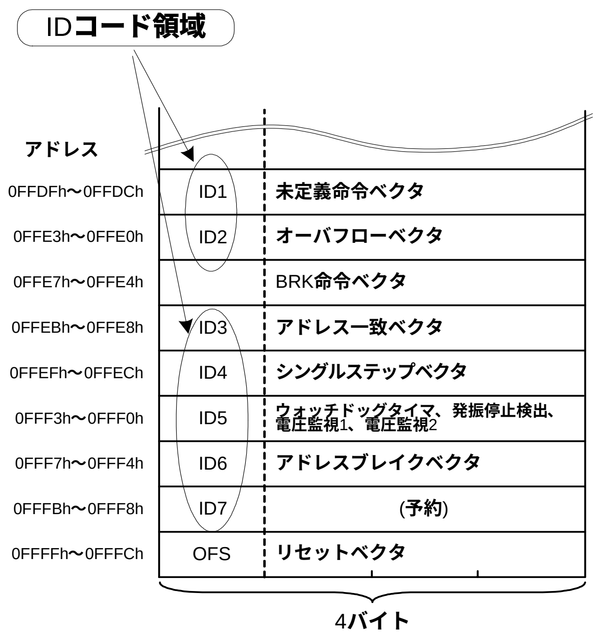


図12.1　IDコード領域

12.2 機能

IDコード領域は標準シリアル入出力モードで使用します。標準シリアル入出力モードでリセットベクタの3バイト(0FFFCh～0FFFEh番地)が“ FFFFFFh ”ではない場合、IDコード領域に格納されているIDコードと、シリアルライタやオンチップデバッギングエミュレータから送られてくるIDコードの一致を判定し、一致すれば送られてくるコマンドを受け付け、一致しなければ受け付けません。したがって、シリアルライタやオンチップデバッギングエミュレータを使用する予定がある場合は、IDコード領域にあらかじめ決めておいたIDコードを書き込んでください。

リセットベクタの3バイト(0FFFCh～0FFFEh番地)が“ FFFFFFh ”の場合、IDコードの判定は行われず、すべてのコマンドが受け付けられます。

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

なお、IDコードがASCIIコードの“ ALeRASE ”になる組み合わせは、強制イレーズ機能で使用する予約語です。また、“ Protect ”になる組み合わせは標準シリアル入出力モード禁止機能で使用する予約語です。表12.1にIDコードの予約語を示します。IDコード格納番地のアドレスとデータがすべて表12.1と一致する場合が予約語です。強制イレーズ機能、標準シリアル入出力モード禁止機能を使用しない場合は、この組み合わせ以外のIDコードを使用してください。

表12.1 IDコードの予約語

IDコード格納番地		IDコードの予約語(ASCIIコード)(注1)	
		ALeRASE	Protect
0FFDFh	ID1	41h (“ A ”大文字)	50h (“ P ”大文字)
0FFE3h	ID2	4Ch (“ L ”大文字)	72h (“ r ”小文字)
0FFEBh	ID3	65h (“ e ”小文字)	6Fh (“ o ”小文字)
0FFEFh	ID4	52h (“ R ”大文字)	74h (“ t ”小文字)
0FFF3h	ID5	41h (“ A ”大文字)	65h (“ e ”小文字)
0FFF7h	ID6	53h (“ S ”大文字)	63h (“ c ”小文字)
0FFFBh	ID7	45h (“ E ”大文字)	74h (“ t ”小文字)

注1. IDコード格納番地のアドレスとデータがすべて表12.1と一致する場合が予約語です。

12.3 強制イレーズ機能

強制イレーズ機能は、標準シリアル入出力モードで使用します。シリアルライタやオンチップデバッギングエミュレータから送られてくるIDコードが、ASCIIコードの“ALeRASE”の場合、ユーザROM領域をすべて消去します。ただし、IDコード格納番地の内容がASCIIコードの“ALeRASE”以外(「表12.1　IDコードの予約語」以外)、かつOFSレジスタのROMCRビットが“1”、ROMCP1ビットが“0”(ROMコードプロテクト有効)の場合は、強制イレーズを行わず、IDコードチェック機能によるIDコードの判定を行います。表12.2に強制イレーズ機能の条件と動作を示します。

なお、IDコード格納番地の内容をASCIIコードの“ALeRASE”にしておくと、シリアルライタやオンチップデバッギングエミュレータから送られてくるIDコードが“ALeRASE”ならばユーザROM領域を消し、“ALeRASE”以外ならばIDが一致せず、コマンドを受け付けないので、ユーザROM領域を操作できません。

表12.2　強制イレーズ機能の条件と動作

条件			動作
シリアルライタやオンチップデバッギングエミュレータから送られてくるIDコード	IDコード格納番地のIDコード	OFSレジスタのROMCP1、ROMCRビット	
ALeRASE	ALeRASE	ー	ユーザROM領域をすべて消去(強制イレーズ機能)
	ALeRASE以外(注1)	“01b”以外(ROMコードプロテクト解除)	ユーザROM領域をすべて消去(強制イレーズ機能)
		“01b”(ROMコードプロテクト有効)	IDコードの判定(IDコードチェック機能)
ALeRASE以外	ALeRASE	ー	IDコードの判定(IDコードチェック機能。IDコード不一致になる)
	ALeRASE以外(注1)	ー	IDコードの判定(IDコードチェック機能)

注1. “Protect”の場合は「12.4　標準シリアル入出力モード禁止機能」参照。

12.4 標準シリアル入出力モード禁止機能

標準シリアル入出力モード禁止機能は、標準シリアル入出力モードで使用します。IDコード格納番地のIDコードがASCIIコードの“Protect”になる組み合わせ(「表12.1　IDコードの予約語」参照)の場合、シリアルライタやオンチップデバッギングエミュレータとの通信を行いません。このため、シリアルライタやオンチップデバッギングエミュレータによるフラッシュメモリの読み出し、書き込み、消去を禁止できます。

なお、IDコードを“Protect”になる組み合わせにし、かつ、OFSレジスタのROMCRビットを“1”、ROMCP1ビットを“0”(ROMコードプロテクト有効)にしている場合は、シリアルライタやオンチップデバッギングエミュレータによるROMコードプロテクト解除ができません。したがって、シリアルライタやオンチップデバッギングエミュレータでもパラレルライタでも、フラッシュメモリの読み出し、書き込み、消去ができなくなります。

12.5 IDコード領域使用上の注意

12.5.1 IDコード領域の設定例

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

• IDコード領域すべてに“ 55h ”を設定する場合

```
.org 00FFDCH
.lword dummy | (55000000h)       ; UND
.lword dummy | (55000000h)       ; INTO
.lword dummy ; BREAK
.lword dummy | (55000000h)       ; ADDRESS MATCH
.lword dummy | (55000000h)       ; SET SINGLE STEP
.lword dummy | (55000000h)       ; WDT
.lword dummy | (55000000h)       ; ADDRESS BREAK
.lword dummy | (55000000h)       ; RESERVE
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

13. オプション機能選択領域

13.1 概要

オプション機能選択領域は、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する領域です。固定ベクタテーブルのリセットベクタ最上位、0FFFFh番地および0FFDBh番地がオプション機能選択領域です。図13.1にオプション機能選択領域を示します。

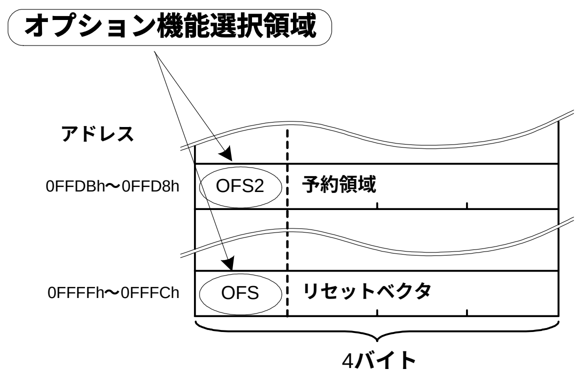


図13.1　オプション機能選択領域

13.2 レジスタの説明

OFS レジスタおよび OFS2 レジスタは、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択するレジスタです。

13.2.1 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	—	—	ROMCP1	ROMCR	—	WDTON
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0：リセット後、ウォッチドッグタイマは自動的に起動 1：リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	“1”にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0：ROMコードプロテクト解除 1：ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0：ROMコードプロテクト有効 1：ROMコードプロテクト解除	R/W
b4	—	予約ビット	“1”にしてください	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	LVDAS	電圧検出0回路起動ビット(注2)	0：リセット後、電圧監視0リセット有効 1：リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0：リセット後、カウントソース保護モード有効 1：リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。
OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。
ブランク出荷品の出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。
書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFS レジスタの設定例は、「13.3.1　オプション機能選択領域の設定例」を参照してください。

13.2.2　オプション機能選択レジスタ2 (OFS2)

アドレス 0FFDBh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー周期設定ビット	b1 b0 0 0：03FFh 0 1：0FFFh 1 0：1FFFh 1 1：3FFFh	R/W
b1	WDTUFS1			R/W
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ受付周期設定ビット	b3 b2 0 0：25% 0 1：50% 1 0：75% 1 1：100%	R/W
b3	WDTRCS1			R/W
b4	—	予約ビット	"1"にしてください	R/W
b5	—			
b6	—			
b7	—			

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。
OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタは"FFh"になります。
ブランク出荷品の出荷時、OFS2レジスタは"FFh"です。ユーザでの書き込み後は、書き込んだ値になります。
書き込み出荷品の出荷時、OFS2レジスタの値は、ユーザがプログラムで設定した値です。

OFS2レジスタの設定例は、「13.3.1　オプション機能選択領域の設定例」を参照してください。

WDTRCS0、WDTRCS1ビット(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択できます。

詳細は「14.3.1.1　リフレッシュ受付期間」を参照してください。

13.3 オプション機能選択領域使用上の注意

13.3.1 オプション機能選択領域の設定例

オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- OFSレジスタに“FFh”を設定する場合

```
.org 00FFFCH
.lword reset | (0FF000000h)          ; RESET
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

- OFS2レジスタに“FFh”を設定する場合

```
.org 00FFDBH
.byte 0FFh
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

14. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知する機能です。したがって、システムの信頼性向上のために、ウォッチドッグタイマを使用されることをお奨めします。

14.1 概要

ウォッチドッグタイマは14ビットのカウンタを持ち、カウントソース保護モードの有効、無効を選択できます。

表14.1にウォッチドッグタイマの仕様を示します。

ウォッチドッグタイマリセットの詳細は「5.5　ウォッチドッグタイマリセット」を参照してください。

図14.1にウォッチドッグタイマのブロック図を示します。

表14.1　ウォッチドッグタイマの仕様

項目	カウントソース保護モード無効時	カウントソース保護モード有効時
カウントソース	CPUクロック	ウォッチドッグタイマ用 低速オンチップオシレータクロック
カウント動作	ダウンカウント	
カウント開始条件	次のいずれかを選択可能 •リセット後、自動的にカウントを開始 •WDTSレジスタへの書き込みによりカウントを開始	
カウント停止条件	ストップモード、ウェイトモード	なし
ウォッチドッグタイマ初期条件	•リセット •WDTRレジスタに“00h”、続いて“FFh”を書く(受付期間の設定あり)(注1) •アンダフロー	
アンダフロー時の動作	ウォッチドッグタイマ割り込み、またはウォッチドッグタイマリセット	ウォッチドッグタイマリセット
選択機能	•プリスケーラの分周比 WDTCレジスタのWDTC7ビットで選択 •カウントソース保護モード リセット後に有効か無効かはOFSレジスタのCSPROINIビット(フラッシュメモリ)で選択、リセット後無効の場合はCSPRレジスタのCSPROビット(プログラム)で選択 •リセット後のウォッチドッグタイマの起動または停止 OFSレジスタのWDTONビット(フラッシュメモリ)で選択 •ウォッチドッグタイマの初期値 OFS2レジスタのWDTUFS0～WDTUFS1ビットで選択 •ウォッチドッグタイマのリフレッシュ受付周期 OFS2レジスタのWDTRCS0～WDTRCS1ビットで選択	

注1. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

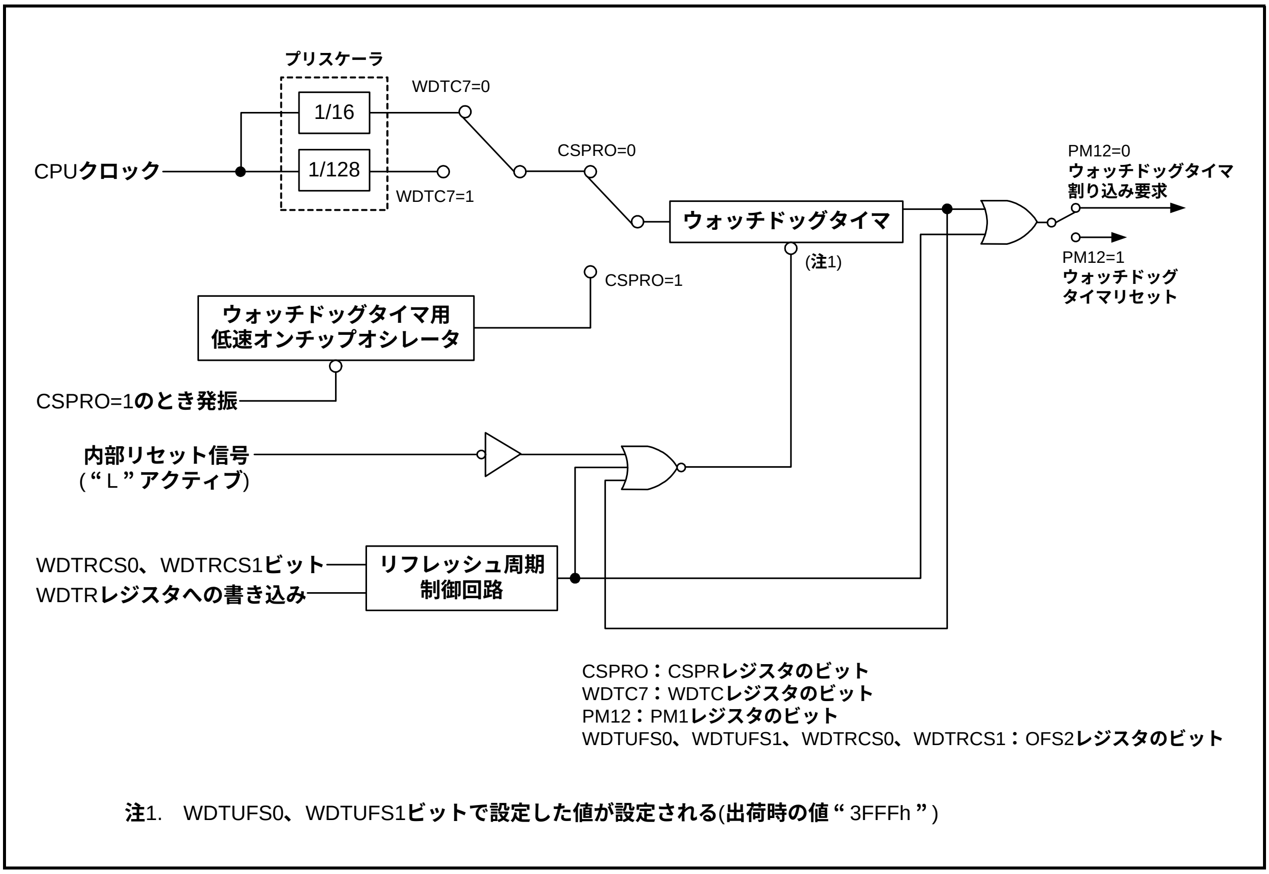


図14.1　ウォッチドッグタイマのブロック図

14.2 レジスタの説明

14.2.1 プロセッサモードレジスタ1 (PM1)

アドレス 0005h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	PM12	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	“0”にしてください	R/W
b1	—			
b2	PM12	WDT割り込み/リセット切り替えビット	0：ウォッチドッグタイマ割り込み 1：ウォッチドッグタイマリセット(注1)	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	—			
b5	—			
b6	—			
b7	—	予約ビット	“0”にしてください	R/W

注1. PM12ビットはプログラムで“1”を書くと“1”になります(“0”を書いても変化しません)。
CSPRレジスタのCSPROビットが“1”(カウントソース保護モード有効)のとき、PM12ビットは自動的に“1”になります。

PM1レジスタは、PRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

14.2.2 ウォッチドッグタイマリセットレジスタ(WDTR)

アドレス 000Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	R/W
b7～b0	“00h”を書いて、続いて“FFh”を書くと、ウォッチドッグタイマは初期化される。 ウォッチドッグタイマの初期値はOFS2レジスタのWDTUFS0、WDTUFS1ビットで指定される。 (注1)	W

注1. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

14.2.3 ウォッチドッグタイマスタートレジスタ(WDTS)

アドレス 000Eh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	R/W
b7～b0	このレジスタに対する書き込み命令で、ウォッチドッグタイマはスタートする。	W

14.2.4 ウォッチドッグタイマ制御レジスタ(WDTC)

アドレス 000Fh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	WDTC7	−	−	−	−	−	−	−
出荷時の値	0	0	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	−	ウォッチドッグタイマの次のビットが読める。		R
b1	−	OFS2レジスタのWDTUFS1〜WDTUFS0ビットが		R
b2	−	“00b”(03FFh)のとき：b5〜b0		R
b3	−	“01b”(0FFFh)のとき：b7〜b2		R
b4	−	“10b”(1FFFh)のとき：b8〜b3		R
b5	−	“11b”(3FFFh)のとき：b9〜b4		R
b6	−	予約ビット	読んだ場合、その値は“0”	R
b7	WDTC7	プリスケーラ選択ビット	0：16分周 1：128分周	R/W

14.2.5 カウントソース保護モードレジスタ(CSPR)

アドレス 001Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPRO	−	−	−	−	−	−	−
リセット後の値	0	0	0	0	0	0	0	0

上記はOFSレジスタのCSPROINIビットが“1”の場合

リセット後の値	1	0	0	0	0	0	0	0

上記はOFSレジスタのCSPROINIビットが“0”の場合

ビット	シンボル	ビット名	機能	R/W
b0	−	予約ビット	“0”にしてください	R/W
b1	−			
b2	−			
b3	−			
b4	−			
b5	−			
b6	−			
b7	CSPRO	カウントソース保護モード選択ビット(注1)	0：カウントソース保護モード無効 1：カウントソース保護モード有効	R/W

注1. CSPROビットを“1”にするためには、“0”を書いた後、続いて“1”を書いてください。プログラムでは“0”にできません。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

14.2.6　オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	—	—	ROMCP1	ROMCR	—	WDTON
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0：リセット後、ウォッチドッグタイマは自動的に起動 1：リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	"1"にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0：ROMコードプロテクト解除 1：ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0：ROMコードプロテクト有効 1：ROMコードプロテクト解除	R/W
b4	—	予約ビット	"1"にしてください	R/W
b5	—	予約ビット	"0"にしてください	R/W
b6	LVDAS	電圧検出0回路起動ビット(注2)	0：リセット後、電圧監視0リセット有効 1：リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0：リセット後、カウントソース保護モード有効 1：リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。
OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは"FFh"になります。
ブランク出荷品の出荷時、OFSレジスタは"FFh"です。ユーザでの書き込み後は、書き込んだ値になります。
書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを"0"(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「13.3.1　オプション機能選択領域の設定例」を参照してください。

14.2.7 オプション機能選択レジスタ2 (OFS2)

アドレス 0FFDBh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー周期設定ビット	b1 b0 0 0：03FFh 0 1：0FFFh 1 0：1FFFh 1 1：3FFFh	R/W
b1	WDTUFS1			R/W
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ受付周期設定ビット	b3 b2 0 0：25% 0 1：50% 1 0：75% 1 1：100%	R/W
b3	WDTRCS1			R/W
b4	—	予約ビット	"1"にしてください	R/W
b5	—			
b6	—			
b7	—			

注1. OFS2レジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。
OFS2レジスタに追加書き込みをしないでください。OFS2レジスタを含むブロックを消去すると、OFS2レジスタは"FFh"になります。
ブランク出荷品の出荷時、OFS2レジスタは"FFh"です。ユーザでの書き込み後は、書き込んだ値になります。
書き込み出荷品の出荷時、OFS2レジスタの値は、ユーザがプログラムで設定した値です。

OFS2レジスタの設定例は、「13.3.1　オプション機能選択領域の設定例」を参照してください。

WDTRCS0、WDTRCS1ビット(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択できます。
詳細は「14.3.1.1　リフレッシュ受付期間」を参照してください。

14.3 動作説明

14.3.1 複数モードに関わる共通事項

14.3.1.1 リフレッシュ受付期間

ウォッチドッグタイマへのリフレッシュ動作(WDTRレジスタへの書き込み)を受付できる期間を、OFS2レジスタのWDTRCS0～WDTRCS1ビットで選択できます。図14.2にウォッチドッグタイマのリフレッシュ受付期間を示します。

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を100%として、受付可能な期間内に実行されたリフレッシュ動作が受け付けられます。受付可能な期間以外に実行されたリフレッシュ動作は、不正な書き込みとして、ウォッチドッグタイマ割り込みまたはウォッチドッグタイマリセット(PM1レジスタのPM12ビットで選択)が発生します。

なお、ウォッチドッグタイマのカウント停止中にリフレッシュ動作を実行しないでください。

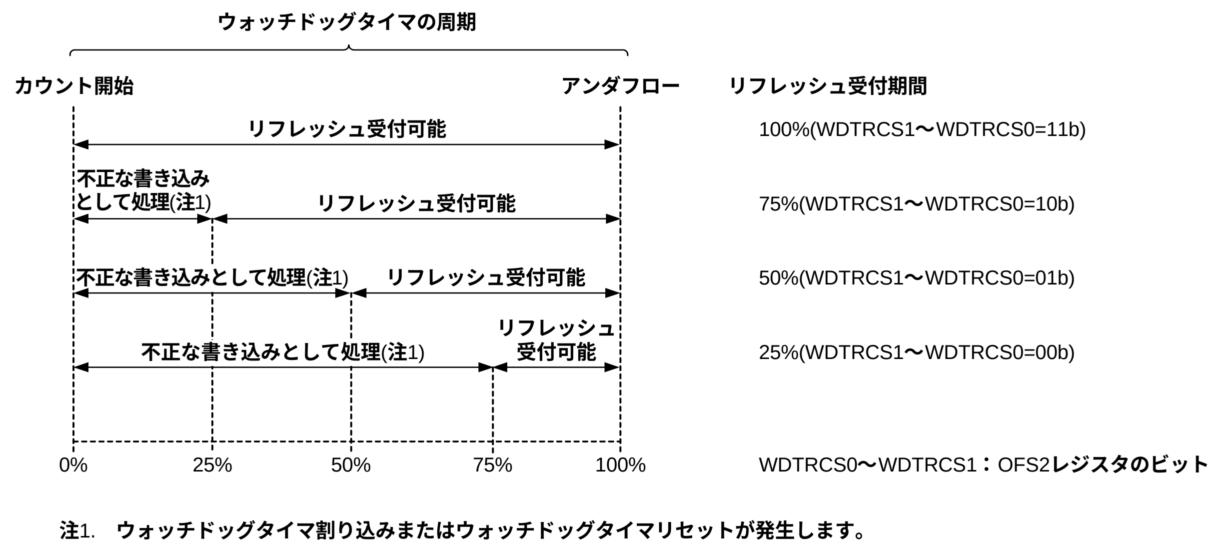


図14.2　ウォッチドッグタイマのリフレッシュ受付期間

14.3.2 カウントソース保護モード無効時

カウントソース保護モード無効時、ウォッチドッグタイマのカウントソースはCPUクロックです。

表14.2にウォッチドッグタイマの仕様(カウントソース保護モード無効時)を示します。

表14.2 ウォッチドッグタイマの仕様(カウントソース保護モード無効時)

項目	仕様
カウントソース	CPUクロック
カウント動作	ダウンカウント
周期	$\dfrac{\text{プリスケーラの分周比(n)×ウォッチドッグタイマのカウント値(m)}}{\text{CPUクロック}}$ (注1) n： 16または128 (WDTCレジスタのWDTC7ビットで選択) m：OFS2レジスタのWDTUFS0～WDTUFS1ビットで設定した値 例：CPUクロックが20MHzで、プリスケーラが16分周し、WDTUFS1～WDTUFS0ビットが“11b”(“3FFFh”)の場合、周期は約13.1ms
ウォッチドッグタイマ初期化条件	•リセット •WDTRレジスタに“00h”、続いて“FFh”を書く(注3) •アンダフロー
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注2)で選択 •WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケーラは停止しており、WDTSレジスタに書くことにより、カウントを開始 •WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケーラがカウントを開始
カウント停止条件	ストップモード、ウェイトモード(解除後、保持されていた値からカウントを継続)
アンダフロー時の動作	•PM1レジスタのPM12ビットが“0”のとき ウォッチドッグタイマ割り込み •PM1レジスタのPM12ビットが“1”のとき ウォッチドッグタイマリセット(「5.5 ウォッチドッグタイマリセット」参照)

注1. ウォッチドッグタイマはWDTRレジスタに“00h”、続いて“FFh”を書くと初期化されます。プリスケーラはリセット後、初期化されています。したがって、ウォッチドッグタイマの周期には、プリスケーラによる誤差が生じます。

注2. WDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に“0”を書き込んでください。

注3. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

14.3.3 カウントソース保護モード有効時

カウントソース保護モード有効時、ウォッチドッグタイマのカウントソースはウォッチドッグタイマ用低速オンチップオシレータクロックです。プログラムの暴走時にCPUクロックが停止しても、ウォッチドッグタイマにクロックを供給できます。

表14.3にウォッチドッグタイマの仕様(カウントソース保護モード有効時)を示します。

表14.3 ウォッチドッグタイマの仕様(カウントソース保護モード有効時)

項　目	仕　様
カウントソース	低速オンチップオシレータクロック
カウント動作	ダウンカウント
周期	$\dfrac{\text{ウォッチドッグタイマのカウント値(m)}}{\text{ウォッチドッグタイマ用低速オンチップオシレータクロック}}$ m：OFS2レジスタのWDTUFS0～WDTUFS1ビットで設定した値 例：ウォッチドッグタイマ用低速オンチップオシレータクロックが125 kHzで、WDTUFS1～WDTUFS0ビットが“00b”(“03FFh”)の場合、周期は約8.2ms
ウォッチドッグタイマ初期化条件	•リセット •WDTRレジスタに“00h”、続いて“FFh”を書く(注3) •アンダフロー
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注1)で選択 •WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケーラは停止しており、WDTSレジスタに書くことにより、カウントを開始 •WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケーラがカウントを開始
カウント停止条件	なし(カウント開始後はウェイトモード、ストップモードでも停止しない。)
アンダフロー時の動作	ウォッチドッグタイマリセット(「5.5　ウォッチドッグタイマリセット」参照)
レジスタ、ビット	•CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると(注2)、次が自動的に設定される -ウォッチドッグタイマ用低速オンチップオシレータが発振 -PM1レジスタのPM12ビットを“1”(ウォッチドッグタイマのアンダフロー時、ウォッチドッグタイマリセット)

注1. WDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に“0”を書き込んでください。

注2. OFSレジスタのCSPROINIビットに“0”を書いても、CSPROビットは“1”になります。CSPROINIビットはプログラムでは変更できません。CSPROINIビットを設定する場合は、フラッシュライタで0FFFFh番地のb7に“0”を書き込んでください。

注3. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

15. DTC

DTC(データトランスファコントローラ)は、CPUを使わずにSFRと内蔵メモリの間でデータを転送する機能で、1チャネルを搭載しています。DTCは周辺機能割り込みによって起動し、データ転送します。DTCはCPUと同じデータバスを使用し、DTCのバス使用権はCPUよりも優先されます。

DTCのデータ転送を制御するコントロールデータ(転送元アドレス、転送先アドレス、動作モードなど)をDTCコントロールデータ領域上に配置します。DTCは起動するたびにコントロールデータを読み出し、データ転送します。

15.1 概要

表15.1にDTCの仕様を示します。

表15.1　DTCの仕様

項目		仕様
起動要因		28要因
配置可能なコントロールデータ		24通り
転送可能なアドレス空間		64Kバイト空間(00000h～0FFFFh)
最大転送回数	ノーマルモード	256回
	リピートモード	255回
最大転送ブロックサイズ	ノーマルモード	256バイト
	リピートモード	255バイト
転送単位		バイト
転送モード	ノーマルモード	DTCCTjレジスタが“1”から“0”になる転送で終了する
	リピートモード	DTCCTjレジスタが“1”から“0”になる転送終了後、リピートエリアのアドレスを初期化し、DTRLDjレジスタの値がDTCCTjレジスタへリロードして転送を継続する
アドレス制御	ノーマルモード	固定、または加算
	リピートモード	リピートエリアでないアドレスを固定、または加算
起動要因優先度		「表15.5　DTC起動要因とDTCベクタアドレス」参照
割り込み要求	ノーマルモード	DTCCTjレジスタが“1”から“0”になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行います
	リピートモード	DTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)のとき、DTCCTjレジスタが“1”から“0”になるデータ転送時に、CPUへ起動要因となった割り込み要求を発生し、データ転送終了後に割り込み処理を行います
転送開始		DTCENiレジスタのDTCENi0～DTCENi7ビットを“1”(起動許可)にすると、DTC起動要因が発生するたびにデータ転送を開始する
転送停止	ノーマルモード	•DTCENi0～DTCENi7ビットを“0”(起動禁止)にする •DTCCTjレジスタが“1”から“0”になるデータ転送が終了したとき
	リピートモード	•DTCENi0～DTCENi7ビットを“0”(起動禁止)にする •RPTINTビットが“1”(割り込み発生許可)のとき、DTCCTjレジスタが“1”から“0”になるデータ転送が終了したとき

i=0～4、6、j=0～23

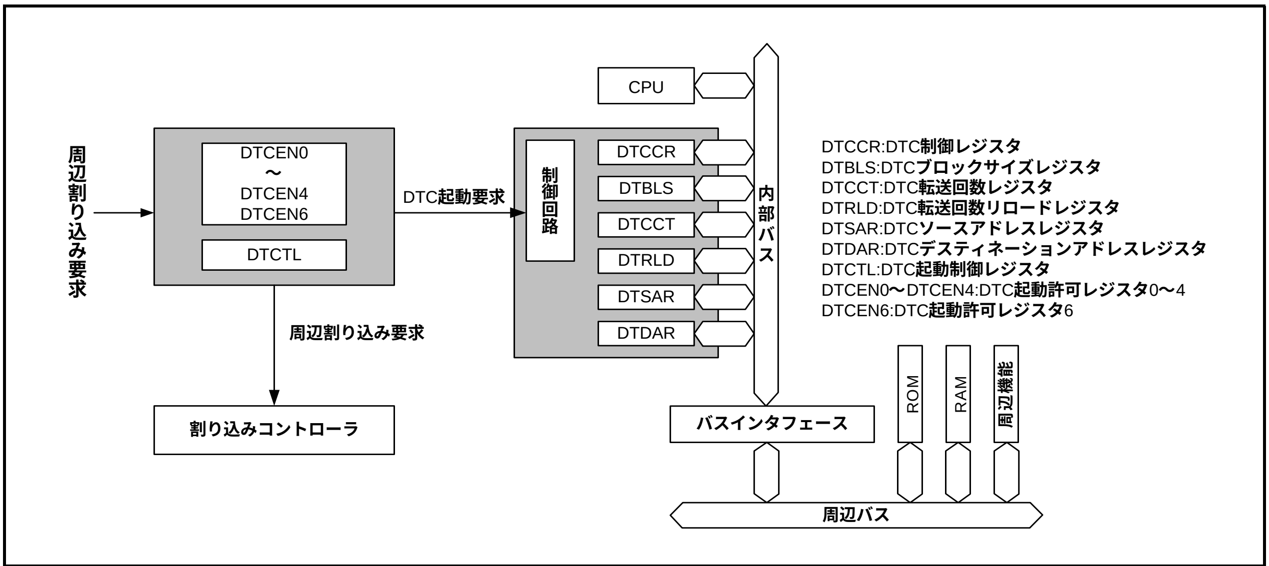


図 15.1 DTCのブロック図

15.2 レジスタの説明

DTCは起動するとコントロールデータ領域に配置したコントロールデータ(DTCCRj、DTBLSj、DTCCTj、DTRLDj、DTSARj、DTDARj、j=0～23)を読み出し、DTC内の制御レジスタ(DTCCR、DTBLS、DTCCT、DTRLD、DTSAR、DTDAR)へ転送します。DTCのデータ転送終了後、DTC内の制御レジスタの内容をコントロールデータ領域へ書き戻します。

DTCCR、DTBLS、DTCCT、DTRLD、DTSAR、DTDARの各レジスタは直接アクセスできません。
DTCCRj、DTBLSj、DTCCTj、DTRLDj、DTSARj、DTDARjはDTCコントロールデータ領域の2C40h～2CFFh番地にコントロールデータとして配置し、直接アクセスできます。
また、DTCTL、DTCENi(i=0～4、6)レジスタは直接アクセスできます。

15.2.1 DTC制御レジスタj(DTCCRj)(j=0～23)

アドレス「表 15.4 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	RPTINT	CHNE	DAMOD	SAMOD	RPTSEL	MODE
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	MODE	転送モード選択ビット	0：ノーマルモード 1：リピートモード	R/W
b1	RPTSEL	リピートエリア選択ビット(注1)	0：転送先がリピートエリア 1：転送元がリピートエリア	R/W
b2	SAMOD	ソースアドレス制御ビット(注2)	0：固定 1：加算	R/W
b3	DAMOD	デスティネーション アドレス制御ビット(注2)	0：固定 1：加算	R/W
b4	CHNE	チェイン転送許可ビット(注3)	0：チェイン転送禁止 1：チェイン転送許可	R/W
b5	RPTINT	リピートモード割り込み許可ビット (注1)	0：割り込み発生禁止 1：割り込み発生許可	R/W
b6	—	予約ビット	“0”にしてください	R/W
b7	—			

注1. MODEビットが“1”(リピートモード)のときに有効です。
注2. リピートエリアに対するSAMODビットとDAMODビットの設定は無効です。
注3. DTCCR23レジスタのCHNEビットは“0”(チェイン転送禁止)にしてください。

15.2.2 DTCブロックサイズレジスタj(DTBLSj)(j=0～23)

アドレス「表 15.4 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b7～b0	1回の起動で転送するデータブロックサイズを設定する	00h～FFh(注1)	R/W

注1. “00h”のときブロックサイズは256バイトになります。

15.2.3 DTC転送回数レジスタj(DTCCTj)(j=0～23)

アドレス「表15.4 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b7～b0	DTCのデータ転送回数を設定する	00h～FFh(注1)	R/W

注1. “00h”のとき転送回数は256回になります。DTCが起動するたびに減算(-1)されます。

15.2.4 DTC転送回数リロードレジスタj(DTRLDj)(j=0～23)

アドレス「表15.4 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b7～b0	リピートモード動作でこのレジスタの値をDTCCTレジスタへリロードする	00h～FFh(注1)	R/W

注1. DTCCTレジスタの初期値を設定してください。

15.2.5 DTCソースアドレスレジスタj(DTSARj)(j=0～23)

アドレス「表15.4 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b15～b0	データ転送時の転送元アドレスを指定する	0000h～FFFFh	R/W

15.2.6 DTCデスティネーションアドレスレジスタj(DTDARj)(j=0～23)

アドレス「表15.4 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b15～b0	データ転送時の転送先アドレスを指定する	0000h～FFFFh	R/W

15.2.7 DTC起動許可レジスタi(DTCENi)(i=0～4、6)

アドレス　0088h番地(DTCEN0)、0089h番地(DTCEN1)、008Ah番地(DTCEN2)、008Bh番地(DTCEN3)、008Ch番地(DTCEN4)、008Eh番地(DTCEN6)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DTCENi7	DTCENi6	DTCENi5	DTCENi4	DTCENi3	DTCENi2	DTCENi1	DTCENi0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCENi0	DTC起動許可ビット(注1)	0：起動禁止 1：起動許可	R/W
b1	DTCENi1			R/W
b2	DTCENi2			R/W
b3	DTCENi3			R/W
b4	DTCENi4			R/W
b5	DTCENi5			R/W
b6	DTCENi6			R/W
b7	DTCENi7			R/W

i=0～4、6

注1. このビットの動作については、「15.3.7　割り込み要因」を参照してください。

DTCENiレジスタは、各割り込み要因によるDTC起動の許可または禁止を制御します。表15.2に割り込み要因とDTCENi0～DTCENi7(i=0～4、6)ビットの対応を示します。

表15.2　割り込み要因とDTCENi0～DTCENi7(i=0～4、6)ビットの対応

レジスタ	DTCENi7ビット	DTCENi6ビット	DTCENi5ビット	DTCENi4ビット	DTCENi3ビット	DTCENi2ビット	DTCENi1ビット	DTCENi0ビット
DTCEN0	$\overline{\text{INT0}}$	$\overline{\text{INT1}}$	−	$\overline{\text{INT3}}$	−	−	−	−
DTCEN1	キー入力	A/D変換	UART0受信	UART0送信	−	−	UART2受信	UART2送信
DTCEN2	SSU受信データフル	SSU送信データエンプティ	電圧監視2	電圧監視1	−	−	タイマRCインプットキャプチャ/コンペア一致A	タイマRCインプットキャプチャ/コンペア一致B
DTCEN3	タイマRCインプットキャプチャ/コンペア一致C	タイマRCインプットキャプチャ/コンペア一致D	タイマRD0インプットキャプチャ/コンペア一致A	タイマRD0インプットキャプチャ/コンペア一致B	タイマRD0インプットキャプチャ/コンペア一致C	タイマRD0インプットキャプチャ/コンペア一致D	タイマRD1インプットキャプチャ/コンペア一致A	タイマRD1インプットキャプチャ/コンペア一致B
DTCEN4	タイマRD1インプットキャプチャ/コンペア一致C	タイマRD1インプットキャプチャ/コンペア一致D	−	−	−	−	−	−
DTCEN6	−	タイマRA	−	タイマRB	フラッシュレディステータス	−	−	−

15.2.8 DTC起動制御レジスタ(DTCTL)

アドレス 0080h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	NMIF	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	"0"にしてください	R/W
b1	NMIF	ノンマスカブル割り込み発生ビット (注1)	0:ノンマスカブル割り込みなし 1:ノンマスカブル割り込み発生	R/W
b2	—	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は"0"。		—
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

注1. 読んだ結果が"1"の場合、同じビットに"0"を書くと"0"になります。読んだ結果が"0"の場合、同じビットに"0"を書いても変化しません。"1"を書いた場合は変化しません。

DTCTLレジスタは、ノンマスカブル割り込み(ウォッチドッグタイマ、発振停止検出、電圧監視1、電圧監視2)発生時のDTC起動を制御するレジスタです。

NMIFビット(ノンマスカブル割り込み発生ビット)

NMIFビットは、ウォッチドッグタイマ割り込み、発振停止検出割り込み、電圧監視1割り込み、電圧監視2割り込みのいずれかが発生すると"1"になります。

NMIFビットが"1"の場合、DTC起動を許可している割り込みが発生してもDTCは起動しません。DTC転送中にNMIFビットが"1"になっても、その転送を終了するまで行います。

割り込み要因がウォッチドッグタイマのとき、WDTCレジスタのWDTC7ビットを"0"(プリスケーラが16分周)にしている場合は、割り込み要因発生からCPUクロックの16サイクル待ってから、WDTC7ビットを"1"(プリスケーラが128分周)にしている場合は割り込み要因発生からCPUクロックの128サイクル待ってから、NMIFビットに"0"を書いてください。

割り込み要因が発振停止検出のとき、OCDレジスタのOCD1ビットを"0"(発振停止検出割り込み禁止)にした後で、NMIFビットに"0"を書いてください。

15.3 動作説明

15.3.1 概要

DTCが起動すると、DTCコントロールデータ領域からコントロールデータを読み出し、このコントロールデータに従ってデータ転送を行い、データ転送後のコントロールデータをDTCコントロールデータ領域へ書き戻します。24組のコントロールデータをDTCコントロールデータ領域へ格納でき、24通りのデータ転送ができます。

転送モードにはノーマルモードとリピートモードがあります。また、DTCCRj(j=0～23)レジスタのCHNEビットが"1"(チェイン転送許可)のとき、1つの起動要因に対して複数のコントロールデータを読み出し、連続してデータを転送します(チェイン転送)。

転送元アドレスは16ビット長のDTSARjレジスタ、転送先アドレスは16ビット長のDTDARjレジスタで指定します。DTSARjレジスタとDTDARjレジスタは、データ転送後、コントロールデータに従って独立に加算されるか固定されます。

15.3.2 起動要因

DTCは割り込み要因により起動します。図15.2にDTC起動要因の制御ブロック図を示します。

DTCを起動する割り込み要因は、DTCENi(i=0～4、6)レジスタで選択します。

データ転送(チェイン転送の場合、連続して行う最初の転送)の設定が

- ノーマルモードでDTCCTj(j=0～23)レジスタが"0"になる転送
- リピートモードでDTCCRjレジスタのRPTINTビットが"1"(割り込み発生許可)かつDTCCTjレジスタが"0"になる転送

のとき、DTCは動作中にDTCENiレジスタの対応するDTCENi0～DTCENi7ビットを"0"(起動禁止)にします。

データ転送の設定がどちらでもなく、起動要因がタイマRC、タイマRD、フラッシュメモリの割り込み要因である場合、DTCは動作中に起動要因となった割り込み要因フラグを"0"にします。

表15.3にDTC起動要因とDTC動作中に"0"にする割り込み要因フラグを示します。

複数の起動要因が同時に発生した場合には、DTC起動要因の優先順位に従ってDTCを起動します。

DTCの動作が終了した時点で複数のDTC起動要因が発生している場合には、優先順位に従って次の転送を行います。

DTC起動は割り込み要求動作と異なり、Iフラグや割り込み制御レジスタの影響を受けませんので、割り込みが禁止されているときなど、割り込み要求が受け付けられない場合でもDTC起動要求を受け付けることができます。DTC起動許可にした割り込み要因が発生しても割り込み制御レジスタのIRビットは変化しません。

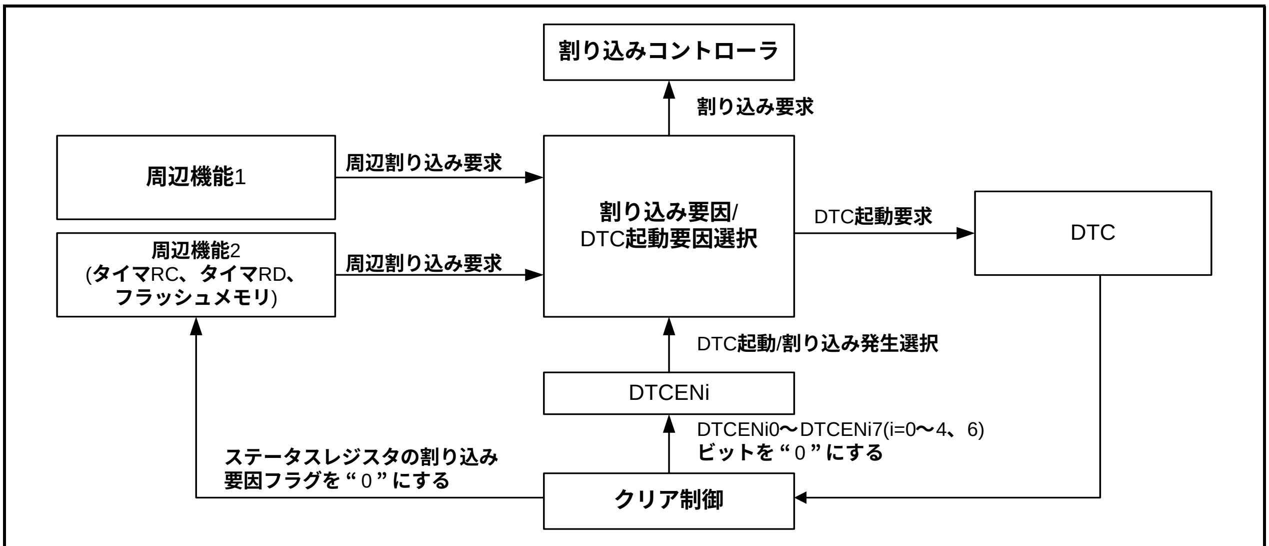


図15.2　DTC起動要因の制御ブロック図

表 15.3　DTC起動要因とDTC動作中に“0”にする割り込み要因フラグ

DTC起動要因	“0”にする割り込み要因フラグ
タイマRCインプットキャプチャ/コンペアー致A	TRCSRレジスタのIMFAビット
タイマRCインプットキャプチャ/コンペアー致B	TRCSRレジスタのIMFBビット
タイマRCインプットキャプチャ/コンペアー致C	TRCSRレジスタのIMFCビット
タイマRCインプットキャプチャ/コンペアー致D	TRCSRレジスタのIMFDビット
タイマRD0インプットキャプチャ/コンペアー致A	TRDSR0レジスタのIMFAビット
タイマRD0インプットキャプチャ/コンペアー致B	TRDSR0レジスタのIMFBビット
タイマRD0インプットキャプチャ/コンペアー致C	TRDSR0レジスタのIMFCビット
タイマRD0インプットキャプチャ/コンペアー致D	TRDSR0レジスタのIMFDビット
タイマRD1インプットキャプチャ/コンペアー致A	TRDSR1レジスタのIMFAビット
タイマRD1インプットキャプチャ/コンペアー致B	TRDSR1レジスタのIMFBビット
タイマRD1インプットキャプチャ/コンペアー致C	TRDSR1レジスタのIMFCビット
タイマRD1インプットキャプチャ/コンペアー致D	TRDSR1レジスタのIMFDビット
フラッシュレディステータス	FSTレジスタのRDYSTIビット

15.3.3 コントロールデータの配置とDTCベクタテーブル

コントロールデータは先頭アドレスから、DTCCRj、DTBLSj、DTCCTj、DTRLDj、DTSARj、DTDARj(j=0～23) レジスタの順に配置します。表 15.4 にコントロールデータの配置アドレスを示します。

表 15.4 コントロールデータの配置アドレス

レジスタシンボル	コントロールデータ番号	アドレス	DTCCRj レジスタ	DTBLSj レジスタ	DTCCTj レジスタ	DTRLDj レジスタ	DTSARj レジスタ (下位8ビット)	DTSARj レジスタ (上位8ビット)	DTDARj レジスタ (下位8ビット)	DTDARj レジスタ (上位8ビット)
DTCD0	コントロールデータ0	2C40h～2C47h	2C40h	2C41h	2C42h	2C43h	2C44h	2C45h	2C46h	2C47h
DTCD1	コントロールデータ1	2C48h～2C4Fh	2C48h	2C49h	2C4Ah	2C4Bh	2C4Ch	2C4Dh	2C4Eh	2C4Fh
DTCD2	コントロールデータ2	2C50h～2C57h	2C50h	2C51h	2C52h	2C53h	2C54h	2C55h	2C56h	2C57h
DTCD3	コントロールデータ3	2C58h～2C5Fh	2C58h	2C59h	2C5Ah	2C5Bh	2C5Ch	2C5Dh	2C5Eh	2C5Fh
DTCD4	コントロールデータ4	2C60h～2C67h	2C60h	2C61h	2C62h	2C63h	2C64h	2C65h	2C66h	2C67h
DTCD5	コントロールデータ5	2C68h～2C6Fh	2C68h	2C69h	2C6Ah	2C6Bh	2C6Ch	2C6Dh	2C6Eh	2C6Fh
DTCD6	コントロールデータ6	2C70h～2C77h	2C70h	2C71h	2C72h	2C73h	2C74h	2C75h	2C76h	2C77h
DTCD7	コントロールデータ7	2C78h～2C7Fh	2C78h	2C79h	2C7Ah	2C7Bh	2C7Ch	2C7Dh	2C7Eh	2C7Fh
DTCD8	コントロールデータ8	2C80h～2C87h	2C80h	2C81h	2C82h	2C83h	2C84h	2C85h	2C86h	2C87h
DTCD9	コントロールデータ9	2C88h～2C8Fh	2C88h	2C89h	2C8Ah	2C8Bh	2C8Ch	2C8Dh	2C8Eh	2C8Fh
DTCD10	コントロールデータ10	2C90h～2C97h	2C90h	2C91h	2C92h	2C93h	2C94h	2C95h	2C96h	2C97h
DTCD11	コントロールデータ11	2C98h～2C9Fh	2C98h	2C99h	2C9Ah	2C9Bh	2C9Ch	2C9Dh	2C9Eh	2C9Fh
DTCD12	コントロールデータ12	2CA0h～2CA7h	2CA0h	2CA1h	2CA2h	2CA3h	2CA4h	2CA5h	2CA6h	2CA7h
DTCD13	コントロールデータ13	2CA8h～2CAFh	2CA8h	2CA9h	2CAAh	2CABh	2CACh	2CADh	2CAEh	2CAFh
DTCD14	コントロールデータ14	2CB0h～2CB7h	2CB0h	2CB1h	2CB2h	2CB3h	2CB4h	2CB5h	2CB6h	2CB7h
DTCD15	コントロールデータ15	2CB8h～2CBFh	2CB8h	2CB9h	2CBAh	2CBBh	2CBCh	2CBDh	2CBEh	2CBFh
DTCD16	コントロールデータ16	2CC0h～2CC7h	2CC0h	2CC1h	2CC2h	2CC3h	2CC4h	2CC5h	2CC6h	2CC7h
DTCD17	コントロールデータ17	2CC8h～2CCFh	2CC8h	2CC9h	2CCAh	2CCBh	2CCCh	2CCDh	2CCEh	2CCFh
DTCD18	コントロールデータ18	2CD0h～2CD7h	2CD0h	2CD1h	2CD2h	2CD3h	2CD4h	2CD5h	2CD6h	2CD7h
DTCD19	コントロールデータ19	2CD8h～2CDFh	2CD8h	2CD9h	2CDAh	2CDBh	2CDCh	2CDDh	2CDEh	2CDFh
DTCD20	コントロールデータ20	2CE0h～2CE7h	2CE0h	2CE1h	2CE2h	2CE3h	2CE4h	2CE5h	2CE6h	2CE7h
DTCD21	コントロールデータ21	2CE8h～2CEFh	2CE8h	2CE9h	2CEAh	2CEBh	2CECh	2CEDh	2CEEh	2CEFh
DTCD22	コントロールデータ22	2CF0h～2CF7h	2CF0h	2CF1h	2CF2h	2CF3h	2CF4h	2CF5h	2CF6h	2CF7h
DTCD23	コントロールデータ23	2CF8h～2CFFh	2CF8h	2CF9h	2CFAh	2CFBh	2CFCh	2CFDh	2CFEh	2CFFh

j=0～23

DTCが起動すると、起動要因ごとに割り当てられているベクタテーブルから読み出したデータによりコントロールデータを決定し、DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。

表15.5にDTC起動要因とDTCベクタアドレスを示します。起動要因ごとにDTCベクタテーブルが1バイトあり、“00000000b”～“00010111b”のデータ(表15.4のコントロールデータ番号)を格納し、24組のコントロールデータから1つを選択します。

図15.3～図15.7にDTC内部動作のフローチャートを示します。

表15.5　DTC起動要因とDTCベクタアドレス

割り込み要因発生元	名称	要因番号	DTCベクタアドレス	優先順位
外部入力	$\overline{\mathrm{INT0}}$	0	2C00h	高
	$\overline{\mathrm{INT1}}$	1	2C01h	
	$\overline{\mathrm{INT3}}$	3	2C03h	
キー入力	キー入力	8	2C08h	
A/D	A/D変換	9	2C09h	
UART0	UART0受信	10	2C0Ah	
	UART0送信	11	2C0Bh	
UART2	UART2受信	14	2C0Eh	
	UART2送信	15	2C0Fh	
SSU	受信データフル	16	2C10h	
	送信データエンプティ	17	2C11h	
電圧検出回路	電圧監視2	18	2C12h	
	電圧監視1	19	2C13h	
タイマRC	インプットキャプチャ/コンペアー致A	22	2C16h	
	インプットキャプチャ/コンペアー致B	23	2C17h	
	インプットキャプチャ/コンペアー致C	24	2C18h	
	インプットキャプチャ/コンペアー致D	25	2C19h	
タイマRD0	インプットキャプチャ/コンペアー致A	26	2C1Ah	
	インプットキャプチャ/コンペアー致B	27	2C1Bh	
	インプットキャプチャ/コンペアー致C	28	2C1Ch	
	インプットキャプチャ/コンペアー致D	29	2C1Dh	
タイマRD1	インプットキャプチャ/コンペアー致A	30	2C1Eh	
	インプットキャプチャ/コンペアー致B	31	2C1Fh	
	インプットキャプチャ/コンペアー致C	32	2C20h	
	インプットキャプチャ/コンペアー致D	33	2C21h	
タイマRA	タイマRA	49	2C31h	
タイマRB	タイマRB	51	2C33h	
フラッシュメモリ	フラッシュレディステータス	52	2C34h	低

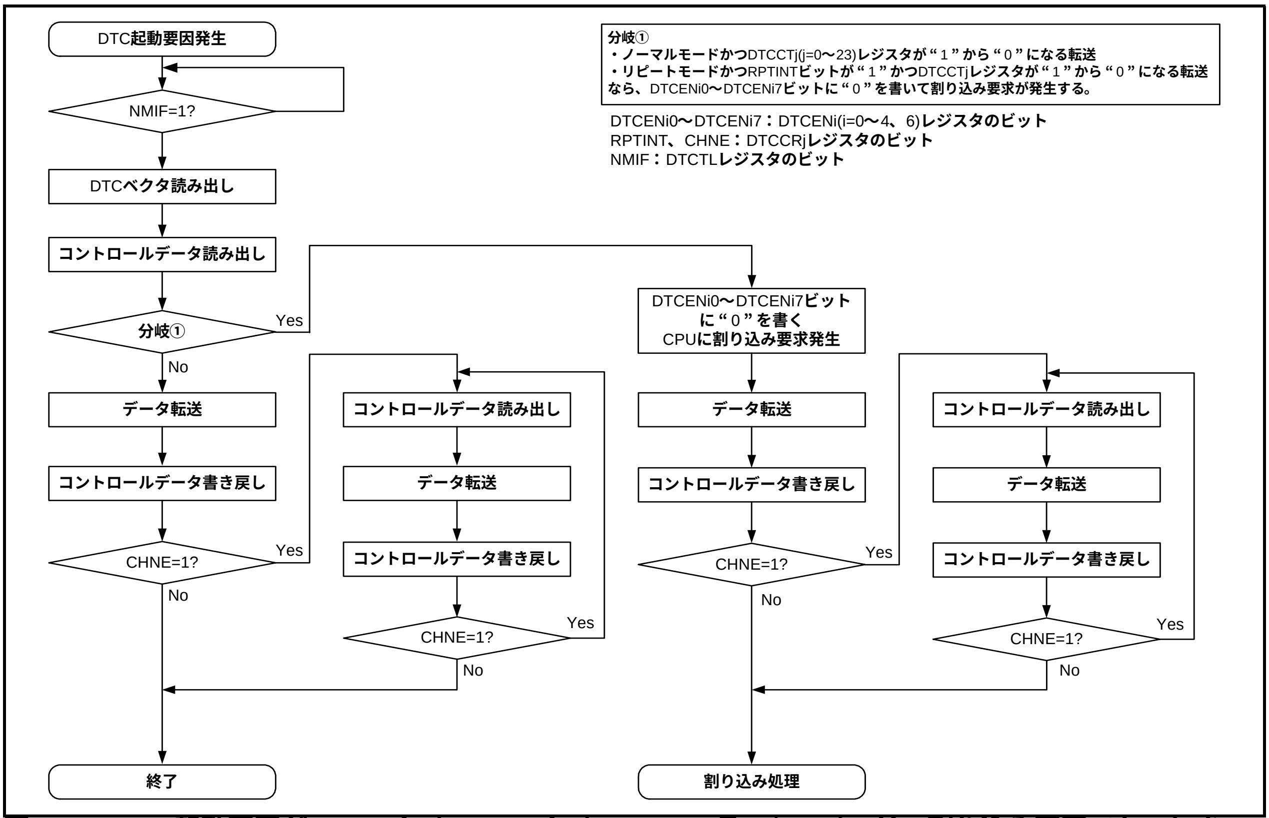


図 15.3　DTC起動要因がSSU、タイマRC、タイマRD、フラッシュメモリの割り込み要因でないときのDTC内部動作フローチャート

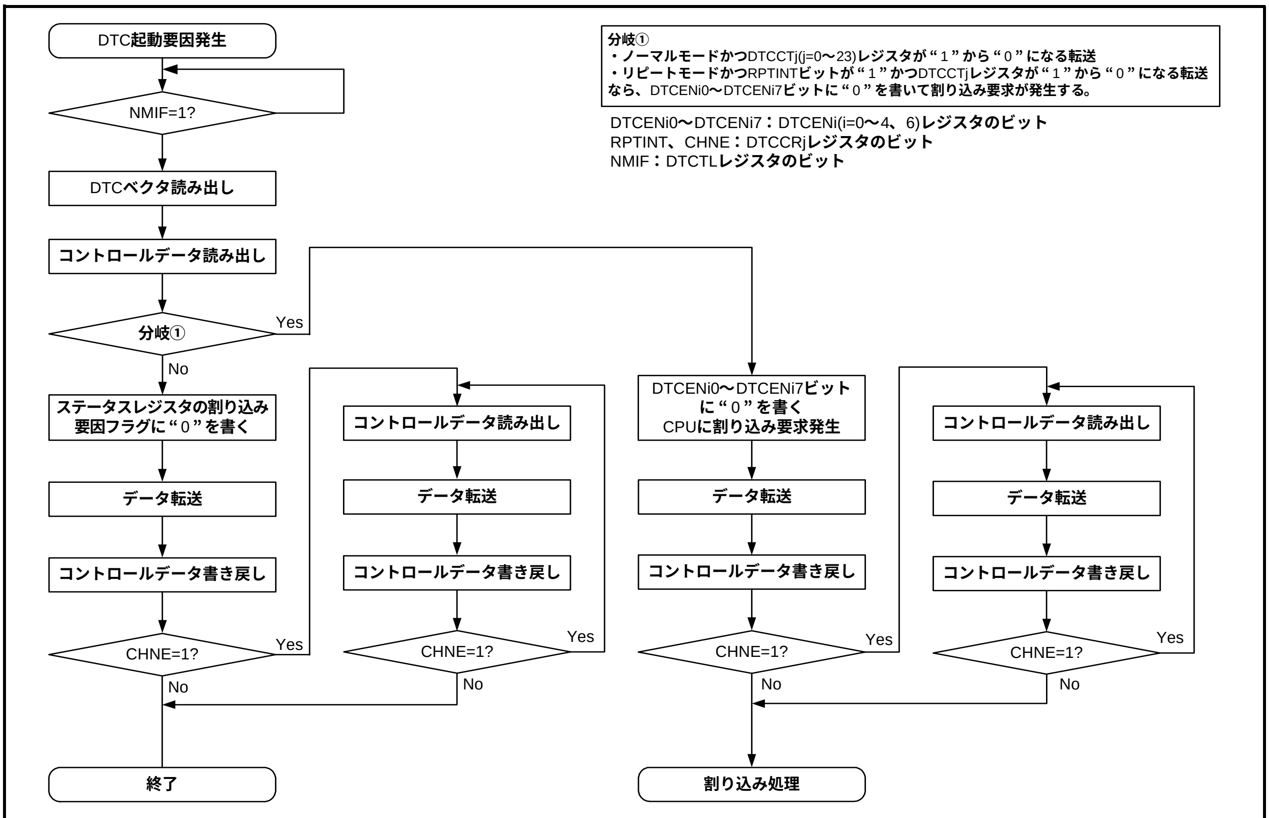


図 15.4　DTC起動要因がタイマRC、タイマRDの割り込み要因であるときのDTC内部動作フローチャート

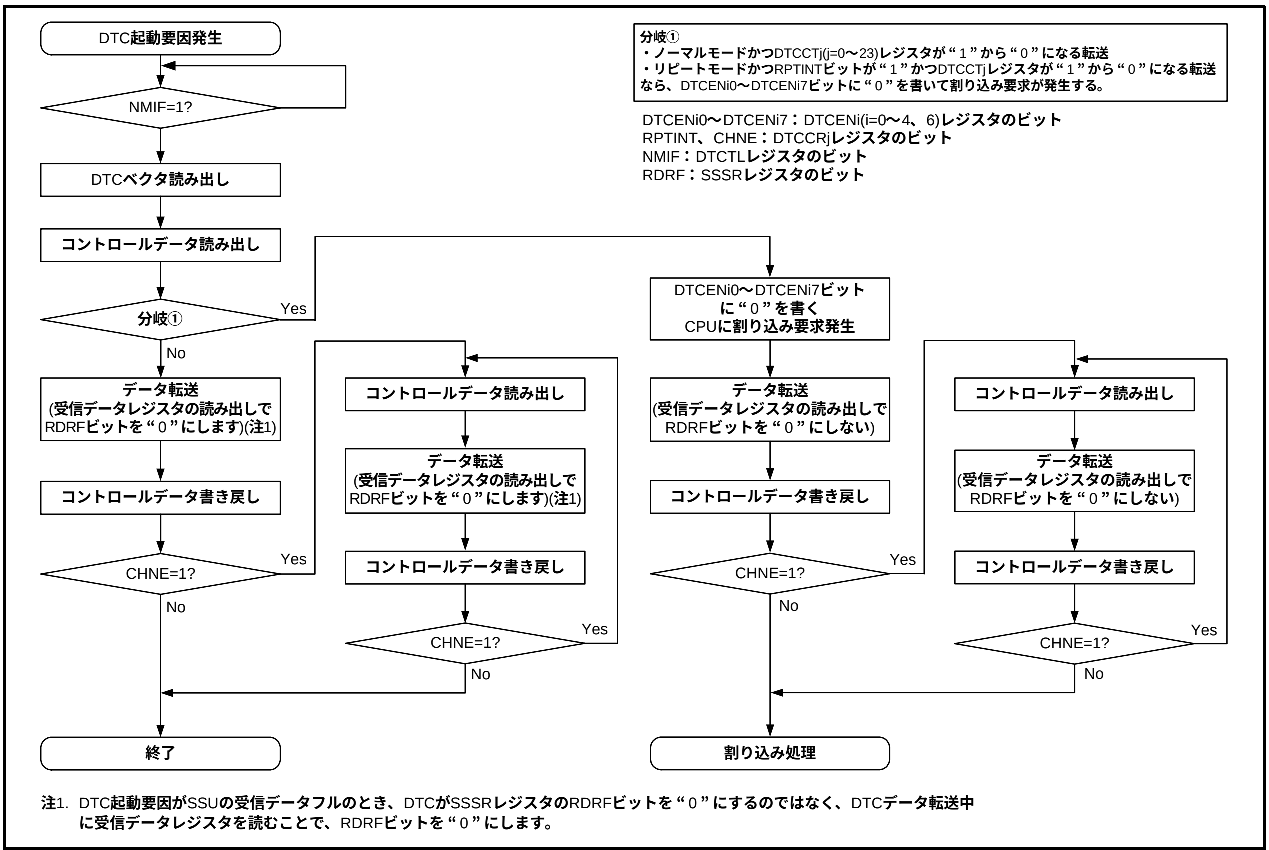


図 15.5　DTC起動要因がSSUの受信データフルであるときのDTC内部動作フローチャート

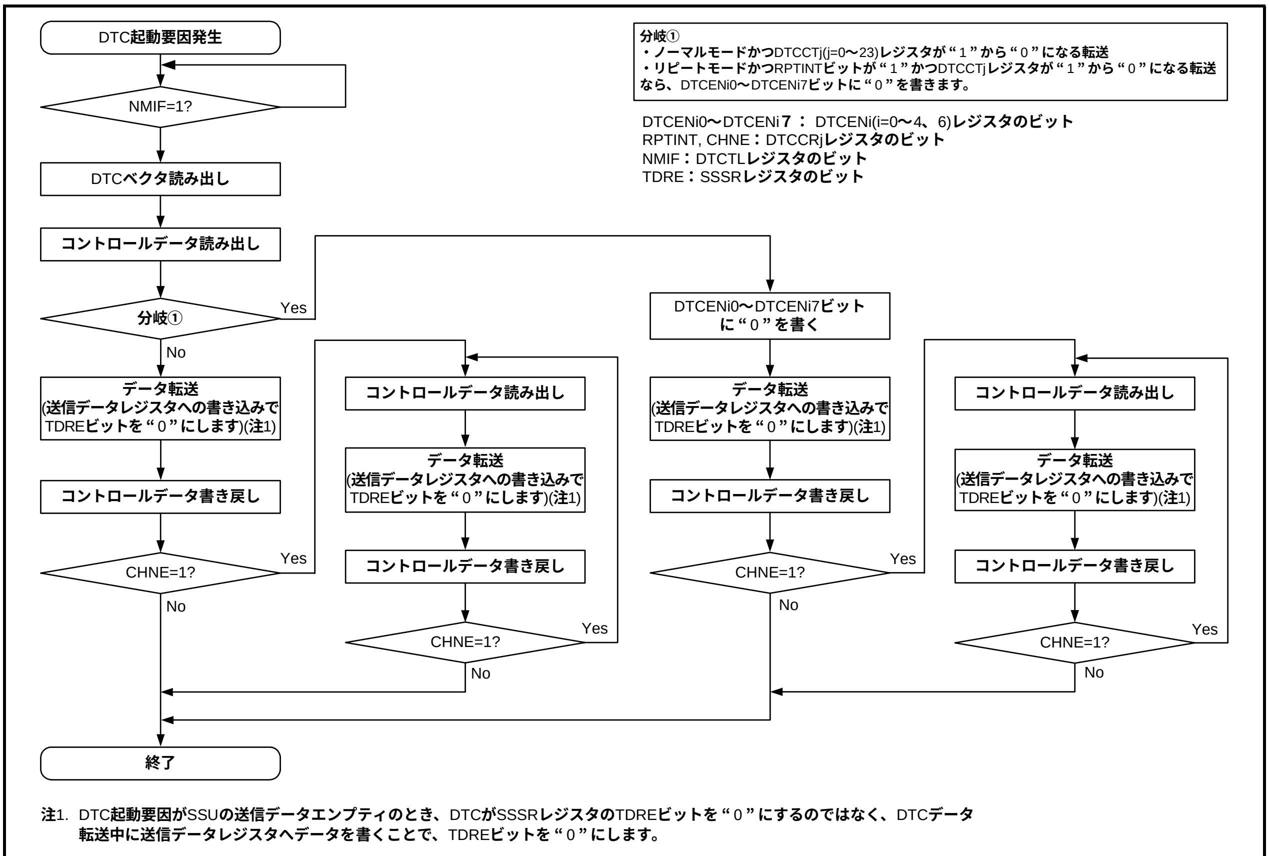


図 15.6　DTC起動要因がSSUの送信データエンプティであるときのDTC内部動作フローチャート

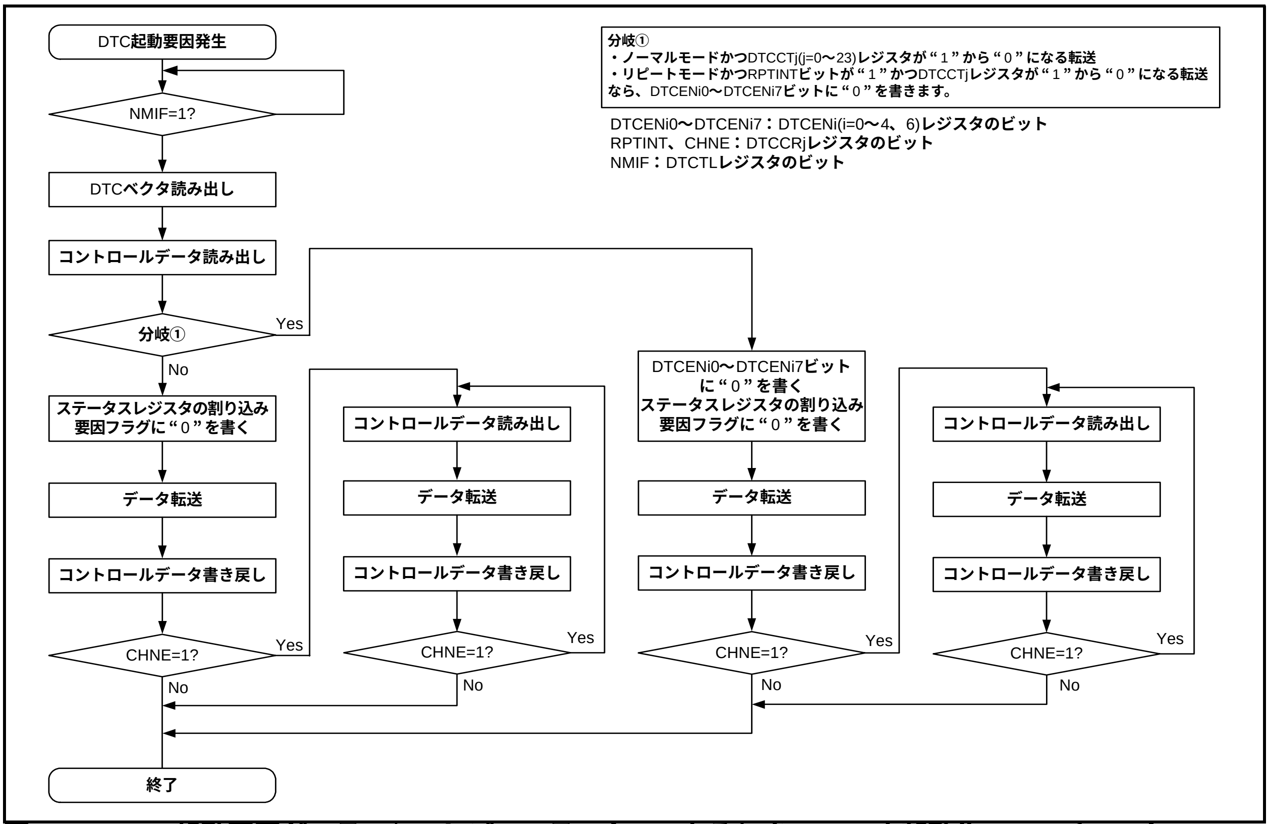


図 15.7　DTC起動要因がフラッシュレディステータスであるときのDTC内部動作フローチャート

15.3.4　ノーマルモード

1回の起動で1～256バイトをデータ転送します。転送回数は1～256回です。DTCCTj(j=0～23)レジスタが“0”になるデータ転送を行うとき、DTC動作中にCPUへの割り込み要求を発生します。

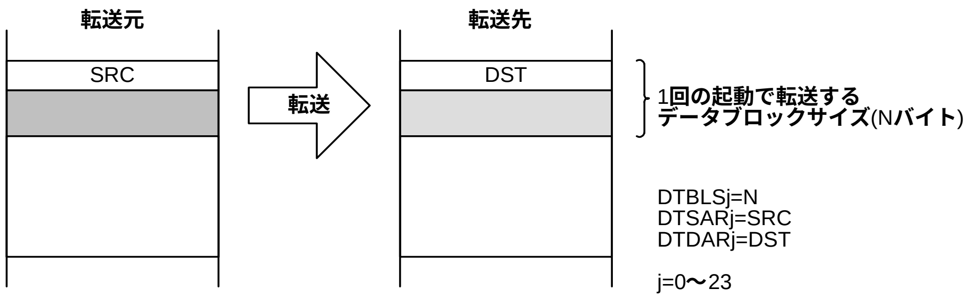
表15.6にノーマルモードでのレジスタ機能を示します。

図15.8にノーマルモードでのデータ転送を示します。

表15.6　ノーマルモードでのレジスタ機能

レジスタ	シンボル	機能
DTCブロックサイズレジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロードレジスタj	DTRLDj	使用しません
DTCソースアドレスレジスタj	DTSARj	データの転送元アドレス
DTCデスティネーションアドレスレジスタj	DTDARj	データの転送先アドレス

j=0～23



DTCCRレジスタのb3～b0	ソースアドレス制御	デスティネーションアドレス制御	転送後のソースアドレス	転送後のデスティネーションアドレス
“00X0b”	固定	固定	SRC	DST
“01X0b”	加算	固定	SRC+N	DST
“10X0b”	固定	加算	SRC	DST+N
“11X0b”	加算	加算	SRC+N	DST+N

X:0または1

図15.8　ノーマルモードでのデータ転送

15.3.5 リピートモード

1回の起動で1～255バイトをデータ転送します。転送元、転送先のいずれか一方をリピートエリアに指定します。転送回数は1～255回です。指定回数の転送が終了すると、DTCCTj(j=0～23)レジスタおよびリピートエリアに指定したアドレスが初期化され、転送を繰り返します。DTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)でDTCCTjレジスタが“0”になるデータ転送をDTCが行うとき、DTC動作中にCPUへの割り込み要求を発生します。

リピートエリアに指定したアドレスの初期値の下位8ビットを“00h”にしてください。また、指定回数の転送が終了するまでに、転送するデータサイズを255バイト以内にしてください。

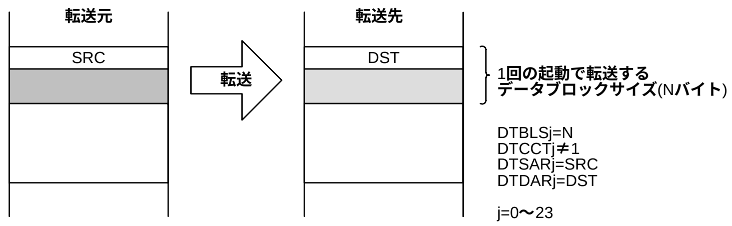
表15.7にリピートモードでのレジスタ機能を示します。図15.9にリピートモードでのデータ転送を示します。

表15.7 リピートモードでのレジスタ機能

レジスタ	シンボル	機能
DTCブロックサイズレジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロードレジスタj	DTRLDj	このレジスタの値をDTCCTレジスタへリロード(データ転送回数を初期化)
DTCソースアドレスレジスタj	DTSARj	データの転送元アドレス
DTCデスティネーションアドレスレジスタj	DTDARj	データの転送先アドレス

j=0～23

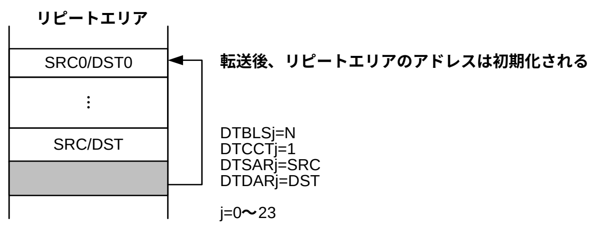
DTCCTjレジスタ≠1



DTCCRレジスタのb3～b0	ソースアドレス制御	デスティネーションアドレス制御	転送後のソースアドレス	転送後のデスティネーションアドレス
“0X11b”	リピートエリア	固定	SRC+N	DST
“1X11b”	リピートエリア	加算	SRC+N	DST+N
“X001b”	固定	リピートエリア	SRC	DST+N
“X101b”	加算	リピートエリア	SRC+N	DST+N

X:0または1

DTCCTjレジスタ=1



DTCCRレジスタのb3～b0	ソースアドレス制御	デスティネーションアドレス制御	転送後のソースアドレス	転送後のデスティネーションアドレス
“0X11b”	リピートエリア	固定	SRC0	DST
“1X11b”	リピートエリア	加算	SRC0	DST+N
“X001b”	固定	リピートエリア	SRC	DST0
“X101b”	加算	リピートエリア	SRC+N	DST0

SRC0:ソースアドレス初期値
DST0:デスティネーションアドレス初期値
X:0または1

図15.9 リピートモードでのデータ転送

15.3.6　チェイン転送

DTCCRj(j=0～22)レジスタのCHNEビットが“1”(チェイン転送許可)のとき、1つの起動要因で複数のデータ転送を連続してできます。図15.10にチェイン転送のフローを示します。

DTCが起動すると、起動要因に対応したDTCベクタアドレスから読み出したデータによりコントロールデータを選択し、DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。読み出したコントロールデータのCHNEビットが“1”(チェイン転送許可)であれば、転送終了後、連続して配置した次のコントロールデータを読み出して転送します。この動作をCHNEビットが“0”(チェイン転送禁止)のコントロールデータのデータ転送が終了するまで続けます。

DTCCR23レジスタのCHNEビットは“0”(チェイン転送禁止)にしてください。

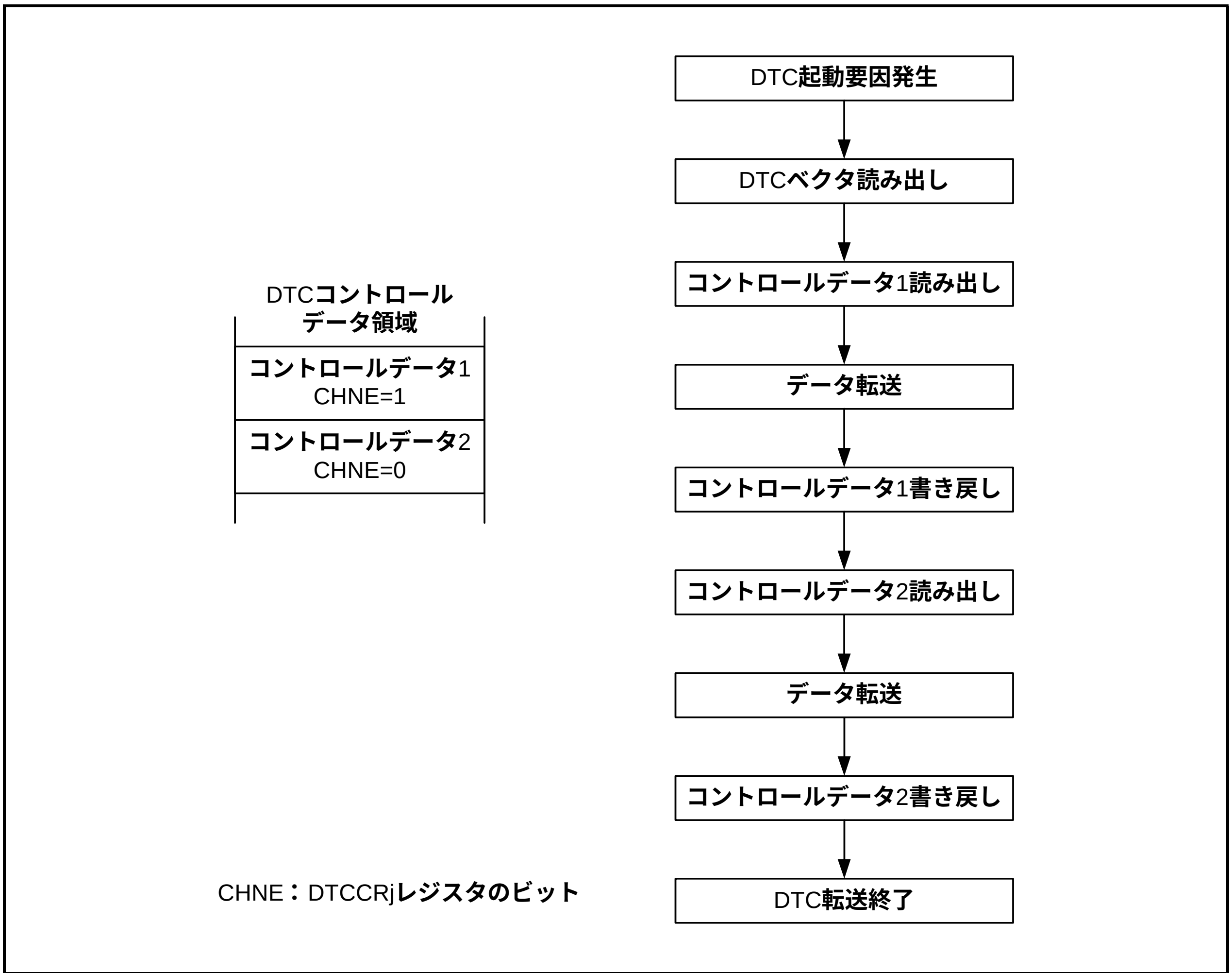


図15.10　チェイン転送のフロー

15.3.7　割り込み要因

DTCがノーマルモードでDTCCTj(j=0～23)レジスタが“0”になるデータ転送を実行するとき、およびリピートモードでDTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCTjレジスタが“0”になるデータ転送を実行するとき、DTC動作中にCPUに対して起動要因となった割り込み要求を発生します。ただし、起動要因がSSU送信データエンプティまたはフラッシュレディステータスであるとき、CPUに対して割り込み要求を発生しません。

このCPUに対する割り込み要求は、Iフラグや割り込み制御レジスタの影響を受けます。チェイン転送では、連続して行われる最初の転送の転送回数や、RPTINTビットによって割り込み要求の発生の有無が決まります。CPUに対して割り込み要求が発生するとき、対応する起動要因のDTCENi(i=0～4、6)レジスタのDTCENi0～DTCENi7(i=0～6)ビットは“0”(起動禁止)になります。

15.3.8　動作タイミング

DTC コントロールデータ領域上に配置したコントロールデータの読み出しは5 サイクルで行います。コントロールデータ書き戻しはコントロールデータの設定によりサイクル数が異なります。

図 15.11にDTCの動作タイミング例を、図 15.12にチェイン転送時のDTCの動作タイミング例を示します。

表 15.8にコントロールデータ書き戻し仕様を示します。

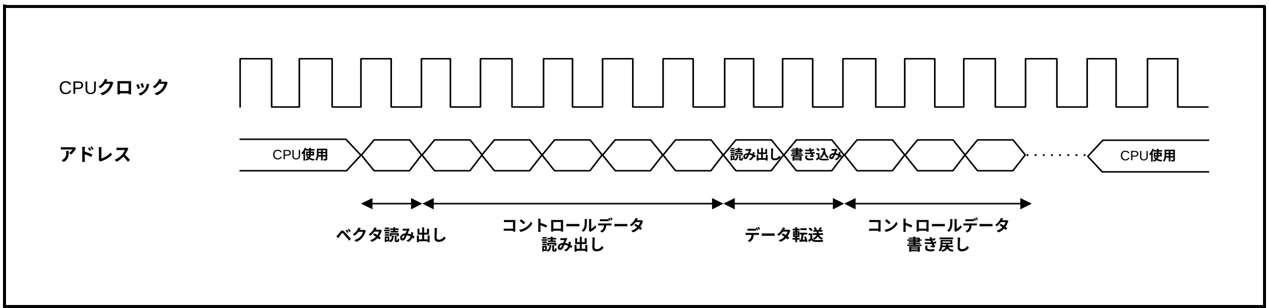


図 15.11 DTCの動作タイミング例

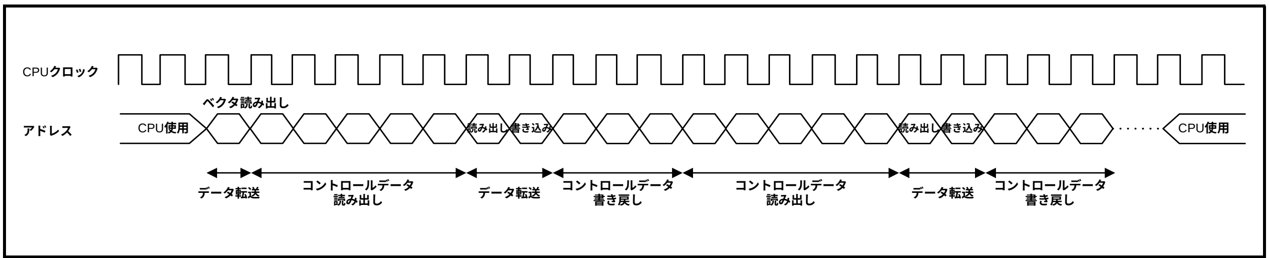


図 15.12 チェイン転送時のDTCの動作タイミング例

表 15.8　コントロールデータ書き戻し仕様

DTCCR レジスタの b3～b0	動作モード	アドレス制御		書き戻すコントロールデータ				サイクル数
		ソース	デスティネーション	DTCCTj レジスタ	DTRLDj レジスタ	DTSARj レジスタ	DTDARj レジスタ	
“00X0b”	ノーマルモード	固定	固定	書き戻す	書き戻す	書き戻さない	書き戻さない	1
“01X0b”		加算	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
“10X0b”		固定	加算	書き戻す	書き戻す	書き戻さない	書き戻す	2
“11X0b”		加算	加算	書き戻す	書き戻す	書き戻す	書き戻す	3
“0X11b”	リピートモード	リピートエリア	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
“1X11b”			加算	書き戻す	書き戻す	書き戻す	書き戻す	3
“X001b”		固定	リピートエリア	書き戻す	書き戻す	書き戻さない	書き戻す	2
“X101b”		加算		書き戻す	書き戻す	書き戻す	書き戻す	3

j=0～23
X：0または1

チェイン転送動作におけるコントロールデータの書き戻しの仕様は、各起動要因で設定された動作モードによって、各起動要因ごとに表 15.8のノーマルモード、リピートモードのいずれかに従います。

15.3.9 DTC実行サイクル数

表15.9にDTC起動時の実行状態と必要なサイクル数を示します。表15.10にデータ転送に必要なサイクル数を示します。

表15.9 DTC起動時の実行状態と必要なサイクル数

ベクタ読み出し	コントロールデータ		データ読み出し	データ書き込み	内部動作
	読み出し	書き戻し			
1	5	(注2)	(注1)	(注1)	1

注1. データ読み出し/データ書き込みに必要なサイクル数は「表15.10 データ転送に必要なサイクル数」を参照してください。
注2. コントロールデータの書き戻しに必要なサイクル数は「表15.8 コントロールデータ書き戻し仕様」を参照してください。

DTBLSj(j=0～23)レジスタ=Nとすると、データ転送時、
(1) N=2n(偶数)のとき、n回の2バイト転送
(2) N=2n+1(奇数)のとき、n回の2バイト転送後、1回の1バイト転送
を実行します。

表15.10 データ転送に必要なサイクル数

実行状態	転送単位	内部RAM(DTC転送中)		内部ROM(プログラムROM)	内部ROM(データフラッシュ)	SFR(ワードアクセス)		SFR(バイトアクセス)	SFR(DTCコントロールデータ領域)	
		偶数番地	奇数番地			偶数番地	奇数番地		偶数番地	奇数番地
データ読み出し	1バイトSK1	1		1	2	2		2	1	
	2バイトSK2	1	2	2	4	2	4	4	1	2
データ書き込み	1バイトSL1	1		—	—	2		2	1	
	2バイトSL2	1	2	—	—	2	4	4	1	2

実行サイクル数は下記計算式で求められます。

実行サイクル数＝1＋∑[式A]＋2
∑は1つの起動要因で転送する回数分(CHNEビットが“1”に設定されている数+1)の和
(1) N＝2n(偶数)のとき
　　式A＝J＋n・SK2＋n・SL2
(2) N＝2n＋1(奇数)のとき
　　式A＝J＋n・SK2＋1・SK1＋n・SL2＋1・SL1
　　J：コントロールデータ読み出しサイクル数(5サイクル)＋書き戻しに必要なサイクル数

16ビット単位でアクセスする必要のあるレジスタに対して、データ読み出しまたはデータ書き込みを行う場合は、DTBLSj(j＝0～23)レジスタに2以上の偶数値を設定してください。
DTCは16ビット単位でアクセスします。

15.3.10 DTC起動要因受付と割り込み要因フラグ

15.3.10.1 フラッシュメモリ、タイマRC、タイマRD、シンクロナスシリアルコミュニケーションユニット(SSU)以外の割り込み要因

DTC起動要因がフラッシュメモリ、タイマRC、タイマRD、シンクロナスシリアルコミュニケーションユニット以外の割り込み要因であるとき、DTCは割り込み要因が発生してからCPUクロックの8～12サイクルの間、同じDTC起動要因を受け付けることができません。ソフトウェアコマンド実行時に割り込み要因が発生した場合、CPUクロックの9～16サイクルの間、同じDTC起動要因を受け付けることができません。また、DTC動作中にDTC起動要因が発生し、受け付けられた場合には、その要因によってDTCが起動する直前のDTC転送終了後からCPUクロックの8～12サイクルの間、同じDTC起動要因を受け付けることができません。DTCが起動する直前のDTC転送終了直後にソフトウェアコマンドが実行される場合には、CPUクロックの16サイクルの間、同じDTC起動要因を受け付けることができません。

15.3.10.2 フラッシュメモリ

DTC起動要因がフラッシュレディステータスのとき、FSTレジスタのRDYSTIビットが“1”(フラッシュレディステータス割り込み要求あり)になってからDTCが“0”(フラッシュレディステータス割り込み要求なし)にするまで、フラッシュレディステータス割り込み要求が発生しても、DTC起動要因になりません。DTCがRDYSTIビットを“0”にした後、フラッシュレディステータス割り込み要求が発生すると、DTCは起動要因として受け付けます。RDYSTIビットが“1”になってから、DTCが割り込み要因フラグを“0”にするまで、CPUクロックの8～12サイクル必要です。ソフトウェアコマンド実行時にフラッシュレディステータス割り込みが発生した場合、DTCが割り込み要因フラグを“0”にするまで、CPUクロックの9～16サイクル必要です。また、DTC動作中にフラッシュレディステータス割り込み要求が発生し、DTC起動要因として受け付けられた場合には、その要因によってDTCが起動する直前のDTC転送終了後からCPUクロックの8～12サイクル後に、RDYSTIビットが“0”になります。DTCが起動する直前のDTC転送終了直後にソフトウェアコマンドが実行される場合には、CPUクロックの16サイクル後に、RDYSTIビットが“0”になります。

15.3.10.3 タイマRC、タイマRD

DTC起動要因がタイマRC、タイマRDの割り込み要因であるとき、割り込み要因フラグが“1”になってからDTCが割り込み要因フラグを“0”にするまで、各タイマのインプットキャプチャ/コンペア一致が発生しても、DTC起動要因になりません。DTCが割り込み要因フラグを“0”にした後、インプットキャプチャ/コンペア一致が発生すると、DTCは起動要因として受け付けます。割り込み要因フラグが“1”になってからDTCが割り込み要因フラグを“0”にするまで、CPUクロックの8～12サイクル＋タイマ動作クロックの0.5～1.5サイクル必要です。ソフトウェアコマンド実行時に割り込み要因フラグが“1”になった場合、DTCが割り込み要因フラグを“0”にするまで、CPUクロックの9～16サイクル＋タイマ動作クロックの0.5～1.5サイクル必要です。また、DTC起動中にタイマRC、タイマRDの各DTC起動要因が発生し、受け付けられた場合には、その要因によってDTCが起動する直前のDTC転送終了後からCPUクロックの8～12サイクル＋タイマ動作クロックの0.5～1.5サイクル後に、割り込み要因フラグが“0”になります。DTCが起動する直前のDTC転送終了直後にソフトウェアコマンドが実行される場合には、CPUクロックの16サイクル＋タイマ動作クロックの0.5～1.5サイクル後に、割り込み要因フラグが“0”になります。

15.3.10.4 SSU受信データフル

DTC起動要因がSSU受信データフルであるとき､データ転送でSSRDRレジスタを読んでください。SSRDRレジスタを読むことで、SSSRレジスタのRDRFビットが“0”(SSRDRレジスタにデータなし)になります。その後、受信データフルの割り込み要因が発生すると、DTCは起動要因として受け付けます。

15.3.10.5 SSU送信データエンプティ

DTC起動要因がSSU送信データエンプティであるとき、データ転送でSSTDRレジスタへ書いてください。SSTDRレジスタへ書くことで、SSSRレジスタのTDREビットが“0”(SSTDRレジスタからSSTRSRレジスタにデータ転送されていない)になります。その後、送信データエンプティの割り込み要因が発生すると、DTCは起動要因として受け付けます。

15.4 DTC使用上の注意

15.4.1 DTC起動要因

- ウェイトモード移行前、またはウェイトモード中に、DTC起動要因を発生させないでください。
- ストップモード移行前、またはストップモード中に、DTC起動要因を発生させないでください。

15.4.2 DTCENi(i=0～4、6)レジスタ

- DTCENi0～DTCENi7ビットは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。
- 周辺機能のステータスレジスタの割り込み要因フラグが“1”のとき、対応する起動要因のDTCENi0～DTCENi7ビットを変化させないでください。
- DTC転送でDTCENiレジスタをアクセスしないでください。

15.4.3 周辺モジュール

- DTC転送で周辺機能のステータスレジスタのビットを“0”にしないでください。
- DTC起動要因がSSU受信データフルのときは、DTC転送でSSRDRレジスタを読んでください。SSRDRレジスタを読むことで、SSSRレジスタのRDRFビットが“0”(SSRDRレジスタにデータなし)になります。
  ただし、DTCのデータ転送の設定が
  - ノーマルモードかつDTCCTj(j=0～23)レジスタが“1”から“0”になる転送
  - リピートモードかつDTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCTjレジスタが“1”から“0”になる転送

  のときには、SSRDRレジスタを読んでもSSSRレジスタのRDRFビットは“0”(SSRDRレジスタにデータなし)になりません。
- DTC起動要因がSSU送信データエンプティのときは、DTC転送でSSTDRレジスタへ書いてください。SSTDRレジスタへ書くことで、SSSRレジスタのTDREビットが“0”(SSTDRレジスタからSSTRSRレジスタにデータ転送されていない)になります。

15.4.4 割り込み要求

- DTC起動要因がSSU送信データエンプティまたはフラッシュレディステータスのとき、以下の場合でもCPUに割り込み要求を発生しません。
  - DTCがノーマルモードでDTCCTjレジスタが“0”になるデータ転送を実行するとき
  - リピートモードでDTCCRjレジスタのRPTINTビットが“1”かつDTCCTjレジスタが“0”になるデータ転送を実行するとき

15.4.5 DTCの起動

DTC起動時、ベクタ読み出しの前に1サイクル動作がずれる場合があります。

15.4.6 チェイン転送

複数のコントロールデータを用いてチェイン転送を行う場合は、最初のコントロールデータに設定された転送回数が有効となり、2番目以降に処理されるコントロールデータの転送回数は無効となります。

例.
- DTCCT0 = 5、DTCCT1 = 10の場合、DTCCT0 = DTCCT1 = 5として動作します。
- DTCCT0 = 10、DTCCT1 = 5の場合、DTCCT0 = DTCCT1 = 10として動作します。
- DTCCT0 = 10、DTCCT1 = 5、DTCCT2 = 2の場合、DTCCT0 = DTCCT1 = DTCCT2 = 10として動作します。

16. タイマ総論

タイマは、8ビットプリスケーラ付き8ビットタイマを2本と、16ビットタイマを3本内蔵しています。8ビットプリスケーラ付き8ビットタイマは、タイマRA、およびタイマRBの2本です。これらのタイマはカウンタの初期値を記憶しておく、リロードレジスタを持ちます。16ビットタイマは、インプットキャプチャ、アウトプットコンペアを持ったタイマRCの1本、タイマRDの2本です。すべてのタイマは、それぞれ独立して動作します。

表16.1、表16.2に各タイマの機能比較を示します。

表16.1　各タイマの機能比較(1)

項目		タイマRA	タイマRB	タイマRC	タイマRD
構成		8ビットプリスケーラ付8ビットタイマ (リロードレジスタ付)	8ビットプリスケーラ付8ビットタイマ (リロードレジスタ付)	16ビットタイマ (インプットキャプチャ、アウトプットコンペア付)	16ビットタイマ×2 (インプットキャプチャ、アウトプットコンペア付)
カウント		ダウンカウント	ダウンカウント	アップカウント	アップカウント/ ダウンカウント
カウントソース		• f1 • f2 • f8 • fOCO	• f1 • f2 • f8 • タイマRAアンダフロー	• f1 • f2 • f4 • f8 • f32 • fOCO40M • fOCO-F • TRCCLK	• f1 • f2 • f4 • f8 • f32 • fOCO40M • fOCO-F • TRDCLK
機能	内部のカウントソースのカウント	タイマモード	タイマモード	タイマモード (アウトプットコンペア機能)	タイマモード (アウトプットコンペア機能)
	外部のカウントソースのカウント	イベントカウンタモード	－	タイマモード (アウトプットコンペア機能)	タイマモード (アウトプットコンペア機能)
	外部パルス幅/周期測定	パルス幅測定モード パルス周期測定モード	－	タイマモード (インプットキャプチャ機能；4本)	タイマモード (インプットキャプチャ機能；2×4本)
	PWM出力	パルス出力モード (注1) イベントカウンタモード (注1)	プログラマブル波形発生モード	タイマモード (アウトプットコンペア機能；4本)(注1) PWMモード(3本) PWM2モード(1本)	タイマモード (アウトプットコンペア機能；2×4本) (注1) PWMモード (2×3本) PWM3モード (1×2本)
	ワンショット波形出力	－	プログラマブルワンショット発生モード プログラマブルウェイトワンショット発生モード	PWMモード(3本)	PWMモード (2×3本)
	三相波形出力	－	－	－	リセット同期PWMモード (2×3本、鋸波変調) 相補PWMモード (2×3本、三角波変調、短絡防止時間あり)

注1.　矩形波です。オーバフローごとの反転なので、パルスの“H”と“L”レベルの幅は同じです。

表 16.2　各タイマの機能比較(2)

項目	タイマRA	タイマRB	タイマRC	タイマRD
入力端子	TRAIO	$\overline{\text{INT0}}$	$\overline{\text{INT0}}$、TRCCLK、 TRCTRG、 TRCIOA、TRCIOB、 TRCIOC、TRCIOD	$\overline{\text{INT0}}$、TRDCLK、 TRDIOA0、TRDIOA1、 TRDIOB0、TRDIOB1、 TRDIOC0、TRDIOC1、 TRDIOD0、TRDIOD1
出力端子	TRAO TRAIO	TRBO	TRCIOA、TRCIOB、 TRCIOC、TRCIOD	TRDIOA0、TRDIOA1、 TRDIOB0、TRDIOB1、 TRDIOC0、TRDIOC1、 TRDIOD0、TRDIOD1
関連する割り込み	タイマRA割り込み	タイマRB割り込み $\overline{\text{INT0}}$割り込み	コンペア一致/インプット キャプチャ A～D割り込み オーバフロー割り込み $\overline{\text{INT0}}$割り込み	コンペア一致/インプット キャプチャ A0～D0割り込み コンペア一致/インプット キャプチャ A1～D1割り込み オーバフロー割り込み アンダフロー割り込み(注1) $\overline{\text{INT0}}$割り込み
タイマ停止	あり	あり	あり	あり

注1.　アンダフロー割り込みは、タイマRD1のみ設定可能です。

17. タイマRA

タイマRAは、8ビットプリスケーラ付き8ビットタイマです。

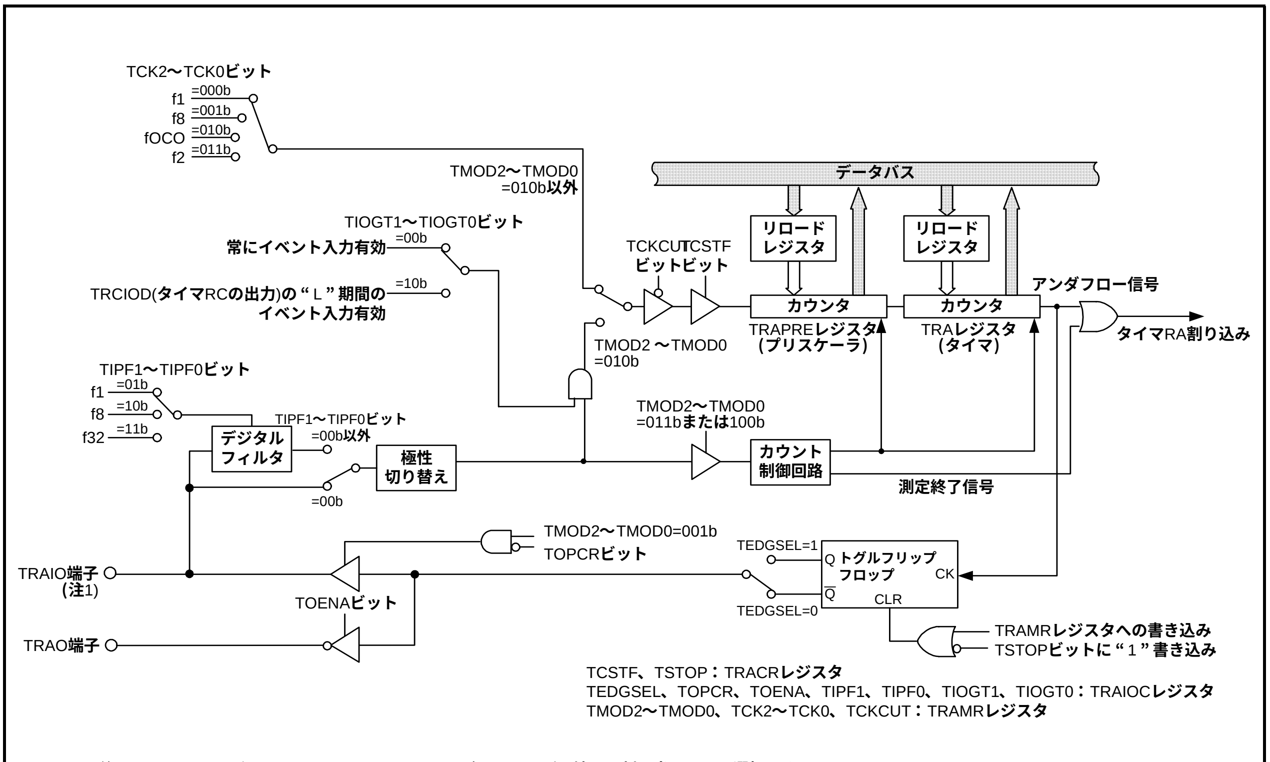
17.1 概要

プリスケーラとタイマはそれぞれリロードレジスタとカウンタから構成されます。リロードレジスタとカウンタは同じ番地に配置されており、TRAPREレジスタ、TRAレジスタにアクセスすると、リロードレジスタとカウンタにアクセスできます(表17.2〜表17.6の各モードの仕様を参照)。

タイマRAのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

図17.1にタイマRAのブロック図を、表17.1にタイマRAの端子構成を示します。タイマRAは、次の5種類のモードを持ちます。

- タイマモード　　内部カウントソースをカウントするモード
- パルス出力モード　　内部カウントソースをカウントし、タイマのアンダフローで極性を反転したパルスを出力するモード
- イベントカウンタモード　　外部パルスをカウントするモード
- パルス幅測定モード　　外部パルスのパルス幅を測定するモード
- パルス周期測定モード　　外部パルスのパルス周期を測定するモード



注1. TRASRレジスタのTRAIOSEL0〜TRAIOSEL1ビットで、どの端子に割り当てるかを選択できます。

図17.1　タイマRAのブロック図

表17.1　タイマRAの端子構成

端子名	割り当てる端子	入出力	機能
TRAIO	P1_5またはP1_7	入出力	モードによって機能が異なります。詳細は各モードを参照してください。
TRAO	P3_7	出力	

17.2 レジスタの説明

17.2.1 タイマRA制御レジスタ(TRACR)

アドレス 0100h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	−	−	TUNDF	TEDGF	−	TSTOP	TCSTF	TSTART
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART	タイマRAカウント開始ビット(注1)	0：カウント停止 1：カウント開始	R/W
b1	TCSTF	タイマRAカウントステータスフラグ(注1)	0：カウント停止 1：カウント中	R
b2	TSTOP	タイマRAカウント強制停止ビット(注2)	“1”を書くとカウントが強制停止します。 読んだ場合、その値は“0”。	R/W
b3	−	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		−
b4	TEDGF	有効エッジ判定フラグ(注3、4)	0：有効エッジなし 1：有効エッジあり(測定期間終了)	R/W
b5	TUNDF	タイマRAアンダフローフラグ(注3、4)	0：アンダフローなし 1：アンダフローあり	R/W
b6	−	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		−
b7	−			

注1. TSTART、TCSTFビットの使用上の注意事項については、「17.8　タイマRA使用上の注意」を参照してください。
注2. TSTOPビットに“1”を書くと、TSTARTビット、TCSTFビット、TRAPREレジスタ、TRAレジスタがリセット後の値になります。
注3. プログラムで“0”を書くと、“0”になります(“1”を書いても変化しません)。
注4. タイマモード、パルス出力モード、イベントカウンタモードでは“0”にしてください。

パルス幅測定モード、パルス周期測定モードでは、TRACRレジスタにMOV命令を使用してください。このとき、TEDGFビット、TUNDFビットを変化させたくない場合は、これらのビットに“1”を書いてください。

17.2.2 タイマRA I/O制御レジスタ(TRAIOC)

アドレス 0101h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	TIOSEL	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAIO極性切り替えビット	動作モードによって機能が異なる	R/W
b1	TOPCR	TRAIO出力制御ビット		R/W
b2	TOENA	TRAO出力許可ビット		R/W
b3	TIOSEL	ハードウェアLIN機能選択ビット		R/W
b4	TIPF0	TRAIO入力フィルタ選択ビット		R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAIOイベント入力制御ビット		R/W
b7	TIOGT1			R/W

17.2.3 タイマRAモードレジスタ(TRAMR)

アドレス 0102h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCKCUT	TCK2	TCK1	TCK0	—	TMOD2	TMOD1	TMOD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOD0	タイマRA動作モード選択ビット	b2 b1 b0 0 0 0：タイマモード 0 0 1：パルス出力モード 0 1 0：イベントカウンタモード 0 1 1：パルス幅測定モード 1 0 0：パルス周期測定モード 1 0 1：設定しないでください 1 1 0：設定しないでください 1 1 1：設定しないでください	R/W
b1	TMOD1			R/W
b2	TMOD2			R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	TCK0	タイマRAカウントソース選択ビット	b6 b5 b4 0 0 0：f1 0 0 1：f8 0 1 0：fOCO 0 1 1：f2 1 0 0：設定しないでください 1 0 1：設定しないでください 1 1 0：設定しないでください 1 1 1：設定しないでください	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	TCKCUT	タイマRAカウントソース遮断ビット	0：カウントソース供給 1：カウントソース遮断	R/W

TRACRレジスタのTSTARTビットとTCSTFビットがともに“0”(カウント停止)のときに、TRAMRレジスタを変更してください。

17.2.4 タイマRAプリスケーラレジスタ(TRAPRE)

アドレス 0103h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	—	—	—	—	—	—	—	—	
リセット後の値	1	1	1	1	1	1	1	1	(注1)

ビット	モード	機能	設定範囲	R/W
b7～b0	タイマモード	内部カウントソースをカウント	00h～FFh	R/W
	パルス出力モード		00h～FFh	R/W
	イベントカウンタモード	外部カウントソースをカウント	00h～FFh	R/W
	パルス幅測定モード	外部からの入力パルスのパルス幅を測定 (内部カウントソースをカウント)	00h～FFh	R/W
	パルス周期測定モード	外部からの入力パルスのパルス周期を測定 (内部カウントソースをカウント)	00h～FFh	R/W

注1. TRACRレジスタのTSTOPビットに“1”を書くとTRAPREレジスタは“FFh”になります。

17.2.5 タイマRAレジスタ(TRA)

アドレス 0104h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	—	—	—	—	—	—	—	—	
リセット後の値	1	1	1	1	1	1	1	1	(注1)

ビット	モード	機能	設定範囲	R/W
b7～b0	全モード	TRAPREレジスタのアンダフローをカウント	00h～FFh(注2)	R/W

注1. TRACRレジスタのTSTOPビットに“1”を書くとTRAレジスタは“FFh”になります。
注2. パルス幅測定モードおよびパルス周期測定モードでは、TRAレジスタに00hを設定しないでください。

17.2.6 タイマRA端子選択レジスタ(TRASR)

アドレス 0180h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	TRAIOSEL1	TRAIOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRAIOSEL0	TRAIO端子選択ビット	b1 b0 0 0：TRAIO端子は使用しない 0 1：P1_7に割り当てる 1 0：P1_5に割り当てる 1 1：設定しないでください	R/W
b1	TRAIOSEL1			R/W
b2	—	予約ビット	“0”にしてください	R/W
b3	—			
b4	—			
b5	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b6	—			
b7	—			

TRASRレジスタは、タイマRAの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRAの入出力端子を使用する場合は、TRASRレジスタを設定してください。

タイマRAの関連レジスタを設定する前に、TRASRレジスタを設定してください。また、タイマRAの動作中はTRASRレジスタの設定値を変更しないでください。

17.3 タイマモード

内部で生成されたカウントソースをカウントするモードです(表 17.2)。

表 17.2 タイマモードの仕様

項　　目	仕　　様
カウントソース	f1、f2、f8、fOCO
カウント動作	・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1)(m+1) n：TRAPREレジスタの設定値、m：TRAレジスタの設定値
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRAのアンダフロー時　[タイマRA割り込み]
TRAIO端子機能	プログラマブル入出力ポート
TRAO端子機能	プログラマブル入出力ポート
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.3.2　カウント中のタイマ書き込み制御」参照)

17.3.1 タイマRA I/O制御レジスタ(TRAIOC)[タイマモード時]

アドレス 0101h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	TIOSEL	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAIO極性切り替えビット	タイマモードでは“0”にしてください	R/W
b1	TOPCR	TRAIO出力制御ビット		R/W
b2	TOENA	TRAO出力許可ビット		R/W
b3	TIOSEL	ハードウェアLIN機能選択ビット	“0”にしてください。ただし、ハードウェアLIN機能を使用時は“1”にしてください。	R/W
b4	TIPF0	TRAIO入力フィルタ選択ビット	タイマモードでは“0”にしてください	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAIOイベント入力制御ビット		R/W
b7	TIOGT1			R/W

17.3.2 カウント中のタイマ書き込み制御

タイマRAはプリスケーラと、タイマ(プリスケーラのアンダフローをカウントする狭義のタイマ)を持ち、それぞれにリロードレジスタとカウンタがあります。プリスケーラやタイマに書き込む場合、リロードレジスタとカウンタの両方に値が書き込まれます。

しかし、プリスケーラのリロードレジスタからカウンタへは、カウントソースに同期して値を転送します。また、タイマのリロードレジスタからカウンタへは、プリスケーラのアンダフローに同期して値を転送します。このため、カウント中にプリスケーラやタイマに書き込むと、書き込み命令実行後すぐにはカウンタの値が更新されません。図17.2にタイマRAカウント中にカウント値を書き換えた場合の動作例を示します。

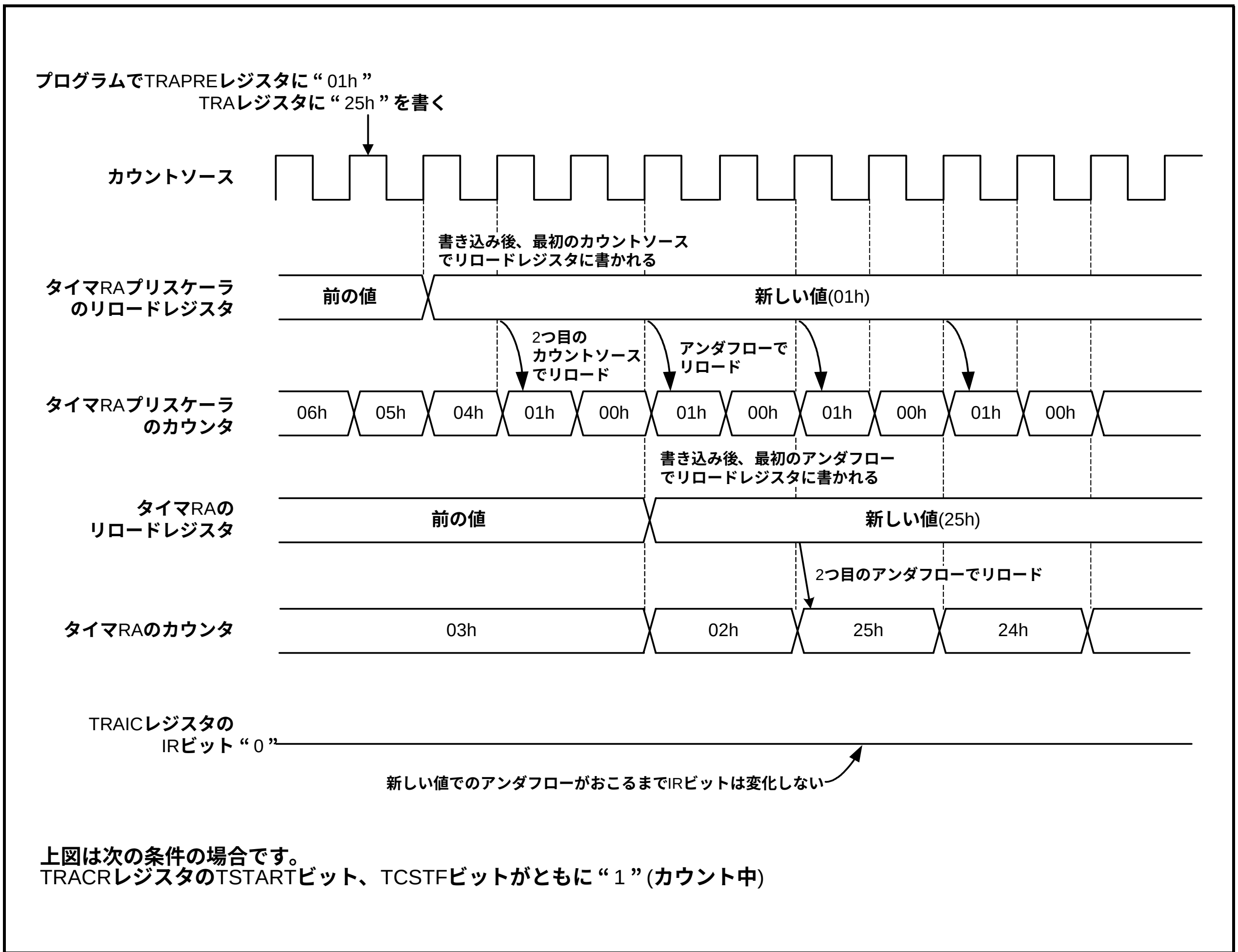


図17.2 タイマRAカウント中にカウント値を書き換えた場合の動作例

17.4 パルス出力モード

内部で生成されたカウントソースをカウントし、タイマがアンダフローするごとに、極性を反転したパルスをTRAIO端子から出力するモードです(表17.3)。

表17.3 パルス出力モードの仕様

項　目	仕　様
カウントソース	f1、f2、f8、fOCO
カウント動作	・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1)(m+1) n：TRAPREレジスタの設定値、m：TRAレジスタの設定値
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRAのアンダフロー時　[タイマRA割り込み]
TRAIO信号端子機能	パルス出力、またはプログラマブル出力ポート
TRAO端子機能	プログラマブル入出力ポート、またはTRAIO出力の反転出力
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.3.2　カウント中のタイマ書き込み制御」参照)
選択機能	・TRAIO出力極性切り替え機能 TRAIOCレジスタのTEDGSELビットでパルス出力開始時のレベルを選択(注1) ・TRAO出力機能 TRAIO出力の極性を反転したパルスをTRAO端子から出力(TRAIOCレジスタのTOENAビットで選択) ・パルス出力停止機能 TRAIOCレジスタのTOPCRビットでTRAIO端子からのパルス出力を停止 ・TRAIO端子選択機能 TRASRレジスタのTRAIOSEL0～TRAIOSEL1ビットでP1_5、またはP1_7を選択

注1. TRAMRレジスタへ書き込むことで、出力パルスは出力開始時のレベルになります。

17.4.1 タイマRA I/O制御レジスタ(TRAIOC)[パルス出力モード時]

アドレス 0101h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	TIOSEL	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAIO極性切り替えビット	0:"H"からTRAIO出力開始 1:"L"からTRAIO出力開始	R/W
b1	TOPCR	TRAIO出力制御ビット(注1)	0:TRAIO出力 1:TRAIO出力禁止	R/W
b2	TOENA	TRAO出力許可ビット	0:TRAO出力禁止 1:TRAO出力 (TRAIO出力の反転をポートから出力)	R/W
b3	TIOSEL	ハードウェアLIN機能選択ビット	"0"にしてください	R/W
b4	TIPF0	TRAIO入力フィルタ選択ビット	パルス出力モードでは"0"にしてください	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAIOイベント入力制御ビット		R/W
b7	TIOGT1			R/W

注1. TRAIO端子はTRASRレジスタのTRAIOSEL0～TRAIOSEL1ビットで、P1_5またはP1_7に割り当てるかを選択できます。

17.5 イベントカウンタモード

TRAIO端子から入力する外部信号をカウントするモードです(表17.4)。

表17.4 イベントカウンタモードの仕様

項　目	仕　様
カウントソース	TRAIO端子に入力された外部信号(プログラムで有効エッジを選択可能)
カウント動作	・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1)(m+1) n：TRAPREレジスタの設定値、m：TRAレジスタの設定値
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRAのアンダフロー時　[タイマRA割り込み]
TRAIO信号端子機能	カウントソース入力
TRAO端子機能	プログラマブル入出力ポートまたはパルス出力(注1)
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.3.2　カウント中のタイマ書き込み制御」参照)
選択機能	・TRAIO入力極性切り替え機能 TRAIOCレジスタのTEDGSELビットでカウントソースの有効エッジを選択 ・カウントソース入力端子選択機能 TRASRレジスタのTRAIOSEL0～TRAIOSEL1ビットでP1_5、またはP1_7を選択 ・パルス出力機能 タイマがアンダフローするごとに、極性を反転したパルスをTRAO端子から出力(TRAIOCレジスタのTOENAビットで選択)(注1) ・デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTRAIOCレジスタのTIPF0～TIPF1ビットで選択 ・イベント入力制御機能 TRAIO端子へのイベント入力の有効期間をTRAIOCレジスタのTIOGT0～TIOGT1ビットで選択

注1. TRAMRレジスタへ書き込むことで、出力パルスは出力開始時のレベルになります。

17.5.1 タイマRA I/O制御レジスタ(TRAIOC)[イベントカウンタモード時]

アドレス 0101h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	TIOSEL	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAIO極性切り替えビット	0：TRAIO入力の立ち上がりエッジでカウント また、"L"からTRAO出力開始 1：TRAIO入力の立ち下がりエッジでカウント また、"H"からTRAO出力開始	R/W
b1	TOPCR	TRAIO出力制御ビット	イベントカウンタモードでは"0"にしてください	R/W
b2	TOENA	TRAO出力許可ビット	0：TRAO出力禁止 1：TRAO出力	R/W
b3	TIOSEL	ハードウェアLIN機能選択ビット	"0"にしてください	R/W
b4	TIPF0	TRAIO入力フィルタ選択ビット(注1)	b5 b4 0 0：フィルタなし 0 1：フィルタあり、f1でサンプリング 1 0：フィルタあり、f8でサンプリング 1 1：フィルタあり、f32でサンプリング	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAIOイベント入力制御ビット	b7 b6 0 0：常にイベント入力有効 0 1：設定しないでください 1 0：TRCIOD(タイマRCの出力)の"L"期間のイベント入力有効 1 1：設定しないでください	R/W
b7	TIOGT1			R/W

注1. TRAIO端子から同じ値を3回連続してサンプリングした時点で入力が確定します。

17.6 パルス幅測定モード

TRAIO端子から入力する外部信号のパルス幅を測定するモードです(表 17.5)。
図 17.3にパルス幅測定モード時の動作例を示します。

表 17.5 パルス幅測定モードの仕様

項　目	仕　様
カウントソース	f1、f2、f8、fOCO
カウント動作	・ダウンカウント ・測定パルスの“H”レベルの期間、または“L”レベルの期間のみカウントを継続 ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	・タイマRAのアンダフロー時　[タイマRA割り込み] ・TRAIO入力の立ち上がり、または立ち下がり(測定期間終了)[タイマRA割り込み]
TRAIO信号端子機能	測定パルス入力
TRAO端子機能	プログラマブル入出力ポート
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.3.2　カウント中のタイマ書き込み制御」参照
選択機能	・測定レベル設定 TRAIOCレジスタのTEDGSELビットで“H”レベル期間、または“L”レベル期間を選択 ・測定パルス入力端子選択機能 TRASRレジスタのTRAIOSEL0～TRAIOSEL1ビットでP1_5、またはP1_7を選択 ・デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTIPF0～TIPF1ビットで選択

17.6.1 タイマRA I/O制御レジスタ(TRAIOC)[パルス幅測定モード時]

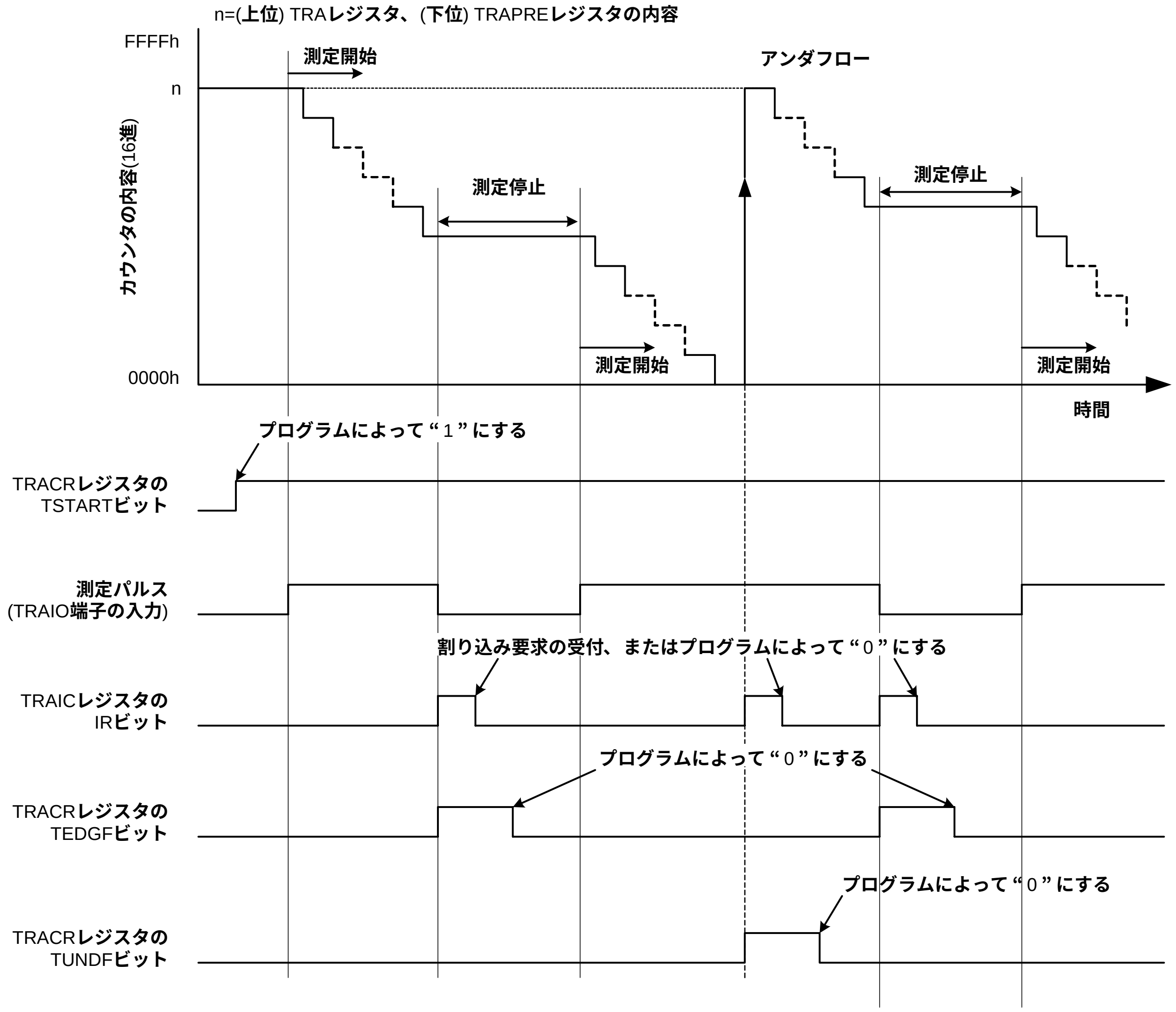
アドレス 0101h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	TIOSEL	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAIO極性切り替えビット	0：TRAIO入力の“L”レベル幅を測定 1：TRAIO入力の“H”レベル幅を測定	R/W
b1	TOPCR	TRAIO出力制御ビット	パルス幅測定モードでは“0”にしてください	R/W
b2	TOENA	TRAO出力許可ビット		R/W
b3	TIOSEL	ハードウェアLIN機能選択ビット	“0”にしてください。ただし、ハードウェアLIN機能を使用時は“1” にしてください	R/W
b4	TIPF0	TRAIO入力フィルタ選択ビット(注1)	b5 b4 0 0：フィルタなし 0 1：フィルタあり、f1でサンプリング 1 0：フィルタあり、f8でサンプリング 1 1：フィルタあり、f32でサンプリング	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAIOイベント入力制御ビット	パルス幅測定モードでは“0”にしてください	R/W
b7	TIOGT1			R/W

注1. TRAIO端子から同じ値を3回連続してサンプリングした時点で入力が確定します。

17.6.2 動作例



上図は次の条件の場合です。
- 測定パルスの“H”レベル幅を測定(TEDGSEL=1)
- TRAPRE＝FFh

図 17.3　パルス幅測定モード時の動作例

17.7 パルス周期測定モード

TRAIO端子から入力する外部信号のパルス周期を測定するモードです(表 17.6)。
図 17.4にパルス周期測定モード時の動作例を示します。

表 17.6　パルス周期測定モードの仕様

項　目	仕　様
カウントソース	f1、f2、f8、fOCO
カウント動作	・ダウンカウント ・測定パルスの有効エッジ入力後、1回目のタイマRAプリスケーラのアンダフロー時に読み出し用バッファの内容を保持し、2回目のタイマRAプリスケーラのアンダフロー時にタイマ RA はリロードレジスタの内容をリロードしてカウントを継続
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	・タイマRAのアンダフロー時、またはリロード時　[タイマRA割り込み] ・TRAIO入力の立ち上がり、または立ち下がり(測定期間終了)[タイマRA割り込み]
TRAIO端子機能	測定パルス入力(注1)
TRAO端子機能	プログラマブル入出力ポート
タイマの読み出し	TRA レジスタ、TRAPRE レジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.3.2　カウント中のタイマ書き込み制御」参照
選択機能	・測定期間選択 TRAIOCレジスタのTEDGSELビットで入力パルスの測定期間を選択 ・測定パルス入力端子選択機能 TRASRレジスタのTRAIOSEL0～TRAIOSEL1ビットでP1_5、またはP1_7を選択 ・デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTIPF0～TIPF1ビットで選択

注1.　タイマRAプリスケーラの周期の2倍より長い周期のパルスを入力してください。また、“H”幅、“L”幅それぞれが、タイマRAプリスケーラの周期より長いパルスを入力してください。これより周期の短いパルスが入力された場合、その入力は無視されることがあります。

17.7.1 タイマRA I/O制御レジスタ(TRAIOC)[パルス周期測定モード時]

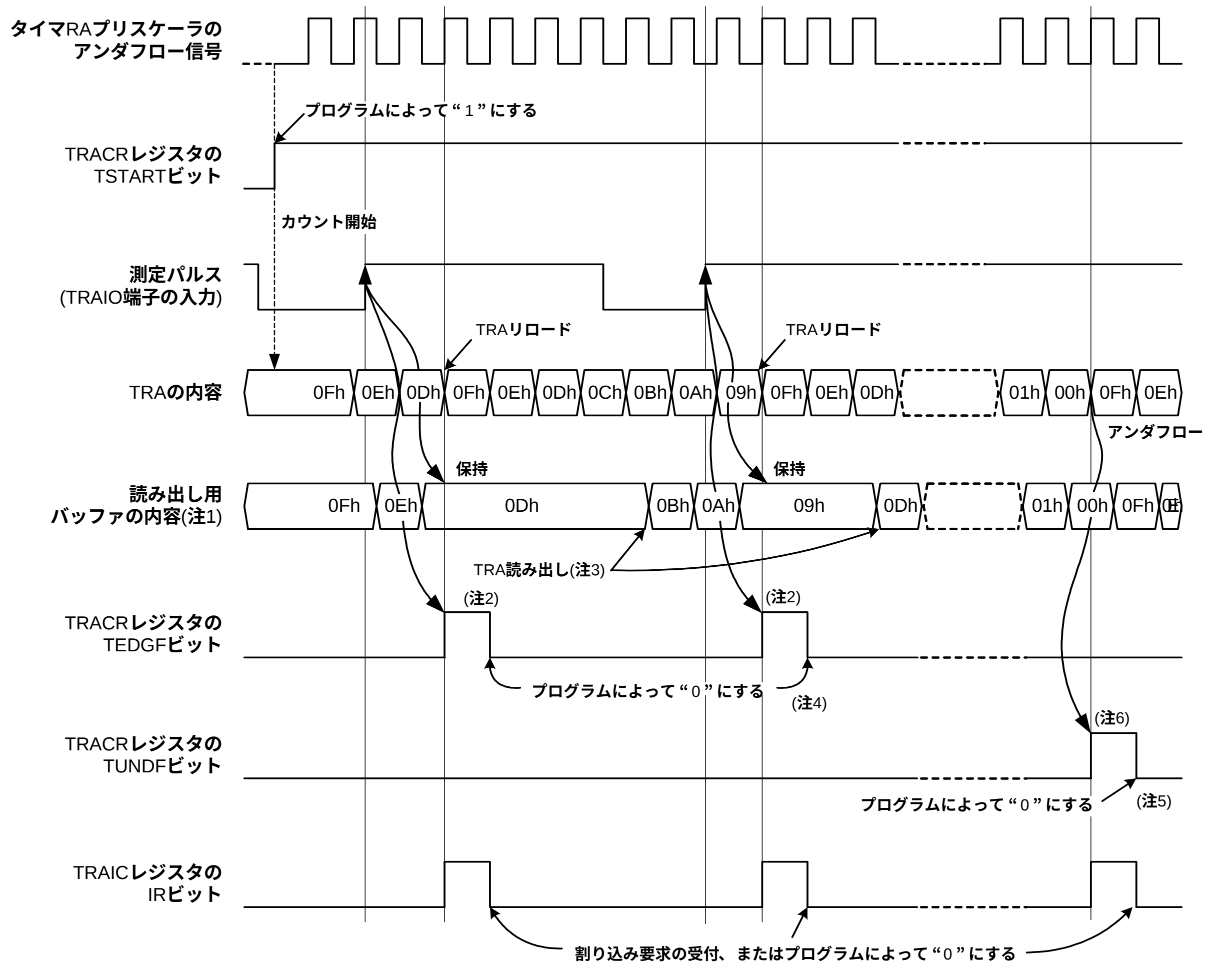
アドレス 0101h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	TIOSEL	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	TRAIO極性切り替えビット	0：測定パルスの立ち上がりから立ち上がり間測定 1：測定パルスの立ち下がりから立ち下がり間測定	R/W
b1	TOPCR	TRAIO出力制御ビット	パルス周期測定モードでは“0”にしてください	R/W
b2	TOENA	TRAO出力許可ビット		R/W
b3	TIOSEL	ハードウェアLIN機能選択ビット	“0”にしてください	R/W
b4	TIPF0	TRAIO入力フィルタ選択ビット(注1)	b5 b4 0 0：フィルタなし 0 1：フィルタあり、f1でサンプリング 1 0：フィルタあり、f8でサンプリング 1 1：フィルタあり、f32でサンプリング	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRAIOイベント入力制御ビット	パルス周期測定モードでは“0”にしてください	R/W
b7	TIOGT1			R/W

注1. TRAIO端子から同じ値を3回連続してサンプリングした時点で入力が確定します。

17.7.2 動作例



TRAレジスタの初期値を0Fhとして、測定パルスの立ち上がりから立ち上がりまでを測定した場合(TEDGSEL=0)です。

注1. パルス周期測定モードでTRAレジスタを読み出すと、読み出し用バッファの内容が読めます。
注2. 測定パルスの有効エッジ入力後、2回目のタイマRAプリスケーラのアンダフロータイミングで、TRACRレジスタのTEDGFビットが“1”(有効エッジあり)になります。
注3. TRAレジスタの読み出しは、TEDGFビットが“1”(有効エッジあり)にセットされてから、次の有効エッジが入力されるまでの期間で行ってください。
読み出し用のバッファの内容はTRAレジスタを読み出すまで保持されます。したがって有効エッジが入力されるまでに読み出さない場合、前の周期の測定結果を保持します。
注4. プログラムによって“0”にするときは、MOV命令を用いてTRACRレジスタのTEDGFビットに“0”を書いてください。
その際、TUNDFビットには“1”を書いてください。
注5. プログラムによって“0”にするときは、MOV命令を用いてTRACRレジスタのTUNDFビットに“0”を書いてください。
その際、TEDGFビットには“1”を書いてください。
注6. タイマRAのアンダフロータイミングが、有効エッジ入力によるタイマRAのリロードと重なった場合、TUNDFビットとTEDGFビットが共に“1”になります。

図 17.4 パルス周期測定モード時の動作例

17.8 タイマRA使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケーラに値を設定した後、カウントを開始してください。
- プリスケーラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- パルス幅測定モードおよびパルス周期測定モードで使用するTRACRレジスタのTEDGFビットとTUNDFビットは、プログラムで“0”を書くと“0”になり、“1”を書いても変化しません。TRACRレジスタにリードモディファイライト命令を使用した場合、命令実行中にTEDGFビット、TUNDFビットが“1”になっても“0”にする場合があります。このとき、“0”にしたくないTEDGFビット、TUNDFビットにはMOV命令で“1”を書いてください。
- 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGFビットとTUNDFビットは不定です。TEDGFビットとTUNDFビットに“0”を書いてから、タイマRAのカウントを開始してください。
- カウント開始後に初めて発生するタイマRAプリスケーラのアンダフロー信号で、TEDGFビットが“1”になる場合があります。
- パルス周期測定モードを使用する場合は、カウント開始直後にタイマRAプリスケーラの2周期以上の時間を空けて、TEDGFビットを“0”にしてから使用してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの0～1サイクルの間、TCSTFビットは“0”になっています。
  TCSTFビットが“1”になるまで、TRACRレジスタに書き込まないでください。また、その他のタイマRA関連レジスタ(注1)にアクセスしないでください。
  TCSTFビットが“1”になった後の最初のカウントソースの有効エッジからカウントを開始します。
  カウント中にTSTARTビットに“0”を書いた後は、カウントソースの0～1サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。
  TCSTFビットが“0”になるまで、TRACRレジスタに書き込まないでください。また、その他のタイマRA関連レジスタ(注1)にアクセスしないでください。

  注1. タイマRA関連レジスタ：TRAIOC、TRAMR、TRAPRE、TRA

- カウント中(TCSTFビットが“1”)にTRAPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- カウント中(TCSTFビットが“1”)にTRAレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケーラのアンダーフローの3周期以上空けてください。
- パルス幅測定モードおよびパルス周期測定モードでは、TRAレジスタに00hを設定しないでください。

18. タイマRB

タイマRBは、8ビットプリスケーラ付き8ビットタイマです。

18.1 概要

プリスケーラとタイマはそれぞれリロードレジスタとカウンタから構成されます(リロードレジスタとカウンタへのアクセスは表18.2～表18.5の各モードの仕様を参照してください)。タイマRBは、リロードレジスタとしてタイマRBプライマリ、タイマRBセカンダリの2つのレジスタを持ちます。

タイマRBのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

図18.1にタイマRBのブロック図を、表18.1にタイマRBの端子構成を示します。

タイマRBは、次の4種類のモードを持ちます。

- タイマモード　　内部カウントソース(周辺機能クロックまたはタイマRAのアンダフロー)をカウントするモード
- プログラマブル波形発生モード　　任意のパルス幅を連続して出力するモード
- プログラマブルワンショット発生モード　　ワンショットパルスを出力するモード
- プログラマブルウェイトワンショット発生モード　　ディレイドワンショットパルスを出力するモード

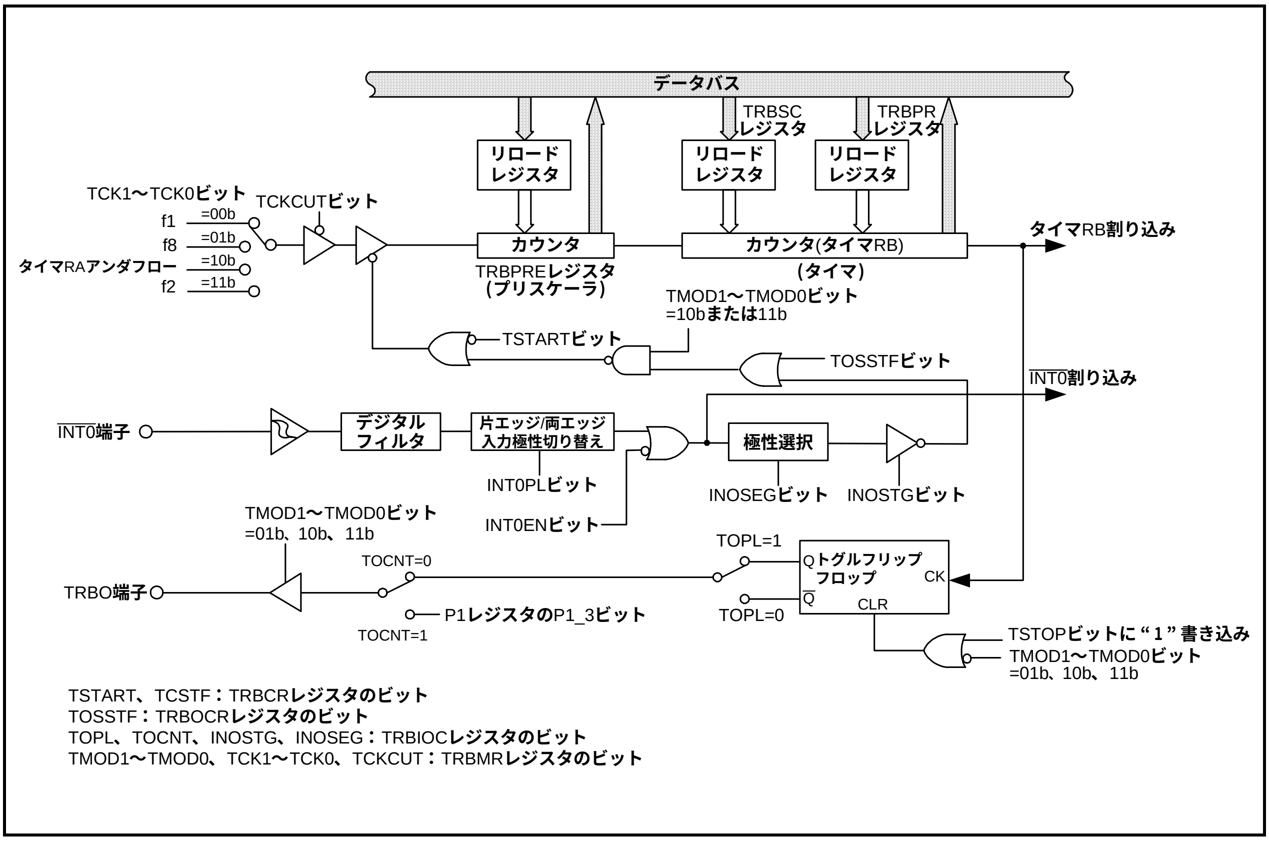


図18.1 タイマRBのブロック図

表18.1 タイマRBの端子構成

端子名	割り当てる端子	入出力	機能
TRBO	P1_3	出力	パルス出力(プログラマブル波形発生モード、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード)

18.2 レジスタの説明

18.2.1 タイマRB制御レジスタ(TRBCR)

アドレス 0108h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	TSTOP	TCSTF	TSTART
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART	タイマRBカウント開始ビット(注1)	0：カウント停止 1：カウント開始	R/W
b1	TCSTF	タイマRBカウントステータスフラグ(注1)	0：カウント停止 1：カウント中(注3)	R
b2	TSTOP	タイマRBカウント強制停止ビット(注1、2)	“1”を書くとカウントが強制停止します。 読んだ場合、その値は“0”。	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	—			
b5	—			
b6	—			
b7	—			

注1. TSTART、TCSTF、TSTOPビットの使用上の注意事項については、「18.7　タイマRB使用上の注意」を参照してください。
注2. TSTOPビットに“1”を書くと、TRBPREレジスタ、TRBSCレジスタ、TRBPRレジスタ、TSTARTビット、TCSTFビット、TRBOCRレジスタのTOSSTFビットがリセット後の値になります。
注3. タイマモード、プログラマブル波形発生モードでは、カウント中を示します。プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは、ワンショットパルスのトリガを受け付けられることを示します。

18.2.2 タイマRBワンショット制御レジスタ(TRBOCR)

アドレス 0109h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	TOSSTF	TOSSP	TOSST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOSST	タイマRBワンショット開始ビット	“1”を書くとワンショットトリガを発生します。 読んだ場合、その値は“0”。	R/W
b1	TOSSP	タイマRBワンショット停止ビット	“1”を書くとワンショットパルス(ウェイト含む)のカウントを停止します。 読んだ場合、その値は“0”。	R/W
b2	TOSSTF	タイマRBワンショットステータスフラグ(注1)	0：ワンショット停止中 1：ワンショット動作中(ウェイト期間含む)	R
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	—			
b5	—			
b6	—			
b7	—			

注1. TRBCRレジスタのTSTOPビットに“1”を書くと、TOSSTFビットは“0”になります。

TRBOCRレジスタは、TRBMRレジスタのTMOD1～TMOD0ビットが“10b”(プログラマブルワンショット発生モード)または“11b”(プログラマブルウェイトワンショット発生モード)のとき有効です。

18.2.3 タイマRB I/O制御レジスタ(TRBIOC)

アドレス 010Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRBアウトプットレベル選択ビット	動作モードによって機能が異なる	R/W
b1	TOCNT	タイマRB出力切り替えビット		R/W
b2	INOSTG	ワンショットトリガ制御ビット		R/W
b3	INOSEG	ワンショットトリガ極性選択ビット		R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	—			
b6	—			
b7	—			

18.2.4 タイマRBモードレジスタ(TRBMR)

アドレス 010Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCKCUT	—	TCK1	TCK0	TWRC	—	TMOD1	TMOD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOD0	タイマRB動作モード選択ビット(注1)	b1 b0 0 0：タイマモード 0 1：プログラマブル波形発生モード 1 0：プログラマブルワンショット発生モード 1 1：プログラマブルウェイトワンショット発生モード	R/W
b1	TMOD1			R/W
b2	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b3	TWRC	タイマRB書き込み制御ビット(注2)	0：リロードレジスタとカウンタへの書き込み 1：リロードレジスタのみ書き込み	R/W
b4	TCK0	タイマRBカウントソース選択ビット(注1)	b5 b4 0 0：f1 0 1：f8 1 0：タイマRAのアンダフロー(注3) 1 1：f2	R/W
b5	TCK1			R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b7	TCKCUT	タイマRBカウントソース遮断ビット(注1)	0：カウントソース供給 1：カウントソース遮断	R/W

注1. TMOD1～TMOD0ビット、TCK1～TCK0ビット、TCKCUTビットは、TRBCRレジスタのTSTARTビットとTCSTFビットが共に“0”(カウント停止)のときに変更してください。

注2. TWRCビットは、タイマモードのとき“0”または“1”が選択できます。プログラマブル波形発生モード、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは“1”(リロードレジスタのみ書き込み)にしてください。

注3. タイマRAのアンダフロー信号をタイマRBのカウントソースにする場合、タイマRAはタイマモード、パルス出力モード、またはイベントカウントモードに設定してください。

18.2.5 タイマRBプリスケーラレジスタ(TRBPRE)

アドレス 010Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	−	−	−	−	−	−	−	−
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能	設定範囲	R/W
b7〜b0	タイマモード	内部カウントソース、またはタイマRAアンダフローをカウント	00h〜FFh	R/W
	プログラマブル波形発生モード		00h〜FFh	R/W
	プログラマブルワンショット発生モード		00h〜FFh	R/W
	プログラマブルウェイトワンショット発生モード		00h〜FFh	R/W

TRBCRレジスタのTSTOPビットに“1”を書くと、TRBPREレジスタは“FFh”になります。

18.2.6 タイマRBセカンダリレジスタ(TRBSC)

アドレス 010Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	−	−	−	−	−	−	−	−
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能	設定範囲	R/W
b7〜b0	タイマモード	無効	00h〜FFh	−
	プログラマブル波形発生モード	タイマRBプリスケーラのアンダフローをカウント(注1)	00h〜FFh	W (注2)
	プログラマブルワンショット発生モード	無効	00h〜FFh	−
	プログラマブルウェイトワンショット発生モード	タイマRBプリスケーラのアンダフローをカウント(ワンショット幅をカウント)	00h〜FFh	W (注2)

注1. TRBPRレジスタとTRBSCレジスタの値が交互にカウンタにリロードされ、カウントされます。
注2. カウント値は、セカンダリ期間カウント中でもTRBPRレジスタで読めます。

TRBCRレジスタのTSTOPビットに“1”を書くと、TRBSCレジスタは“FFh”になります。
TRBSCレジスタに書き込むときは、次の手順で書いてください。
(1) TRBSCレジスタに値を書く
(2) TRBPRレジスタに値を書く(値を変更しない場合でも、前と同じ値を再度書く)

18.2.7 タイマRBプライマリレジスタ(TRBPR)

アドレス 010Eh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能	設定範囲	R/W
b7～b0	タイマモード	タイマRBプリスケーラのアンダフローをカウント	00h～FFh	R/W
	プログラマブル波形発生モード	タイマRBプリスケーラのアンダフローをカウント(注1)	00h～FFh	R/W
	プログラマブルワンショット発生モード	タイマRBプリスケーラのアンダフローをカウント(ワンショット幅をカウント)	00h～FFh	R/W
	プログラマブルウェイトワンショット発生モード	タイマRBプリスケーラのアンダフローをカウント(ウェイト期間をカウント)	00h～FFh	R/W

注1. TRBPRレジスタとTRBSCレジスタの値が交互にカウンタにリロードされ、カウントされます。

TRBCRレジスタのTSTOPビットに“1”を書くと、TRBPRレジスタは“FFh”になります。

18.2.8 タイマRB/RC端子選択レジスタ(TRBRCSR)

アドレス 0181h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	TRCCLKSEL1	—	—	—	TRBOSEL1	TRBOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRBOSEL0	TRBO端子選択ビット	b1 b0 0 0：P1_3に割り当てる 0 1：設定しないでください 1 0：設定しないでください 1 1：TRBO端子は使用しない	R/W
b1	TRBOSEL1			R/W
b2	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b3	—			
b4	—	予約ビット	“0”にしてください	R/W
b5	TRCCLKSEL1	TRCCLK端子選択ビット	0：TRCCLK端子は使用しない 1：P3_3に割り当てる	R/W
b6	—	予約ビット	“0”にしてください	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

TRBRCSRレジスタはタイマRB、およびタイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRB、およびタイマRCの入出力端子を使用する場合は、TRBRCSRレジスタを設定してください。

タイマRB関連レジスタを設定する前にTRBOSEL0～TRBOSEL1ビットを、タイマRC関連レジスタを設定する前にTRCCLKSEL1ビットを設定してください。また、タイマRBの動作中はTRBOSEL0～TRBOSEL1ビットを、タイマRCの動作中はTRCCLKSEL1ビットの設定値を変更しないでください。

18.3 タイマモード

内部で生成されたカウントソースまたはタイマRAのアンダフローをカウントするモードです(表18.2)。タイマモード時、TRBOCRおよびTRBSCレジスタは使用しません。

表18.2 タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続 (タイマRBのアンダフロー時はタイマRBプライマリリロードレジスタの内容をリロード)
分周比	1/(n+1)(m+1) n：TRBPREレジスタの設定値、m：TRBPRレジスタの設定値
カウント開始条件	TRBCRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	・TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRBのアンダフロー時[タイマRB割り込み]
TRBO端子機能	プログラマブル入出力ポート
$\overline{\mathrm{INT0}}$端子機能	プログラマブル入出力ポート、または$\overline{\mathrm{INT0}}$割り込み入力
タイマの読み出し	TRBPRレジスタ、TRBPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	・カウント停止中に、TRBPREレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRBPREレジスタ、TRBPRレジスタに書き込むと、TRBMRレジスタのTWRCビットが“0”なら、それぞれリロードレジスタとカウンタへ書き込まれる。 TWRCビットが“1”なら、それぞれリロードレジスタにのみ書き込まれる。 (「18.3.2 カウント中のタイマ書き込み制御」参照)

18.3.1 タイマRB I/O制御レジスタ(TRBIOC)[タイマモード時]

アドレス 010Ah番地

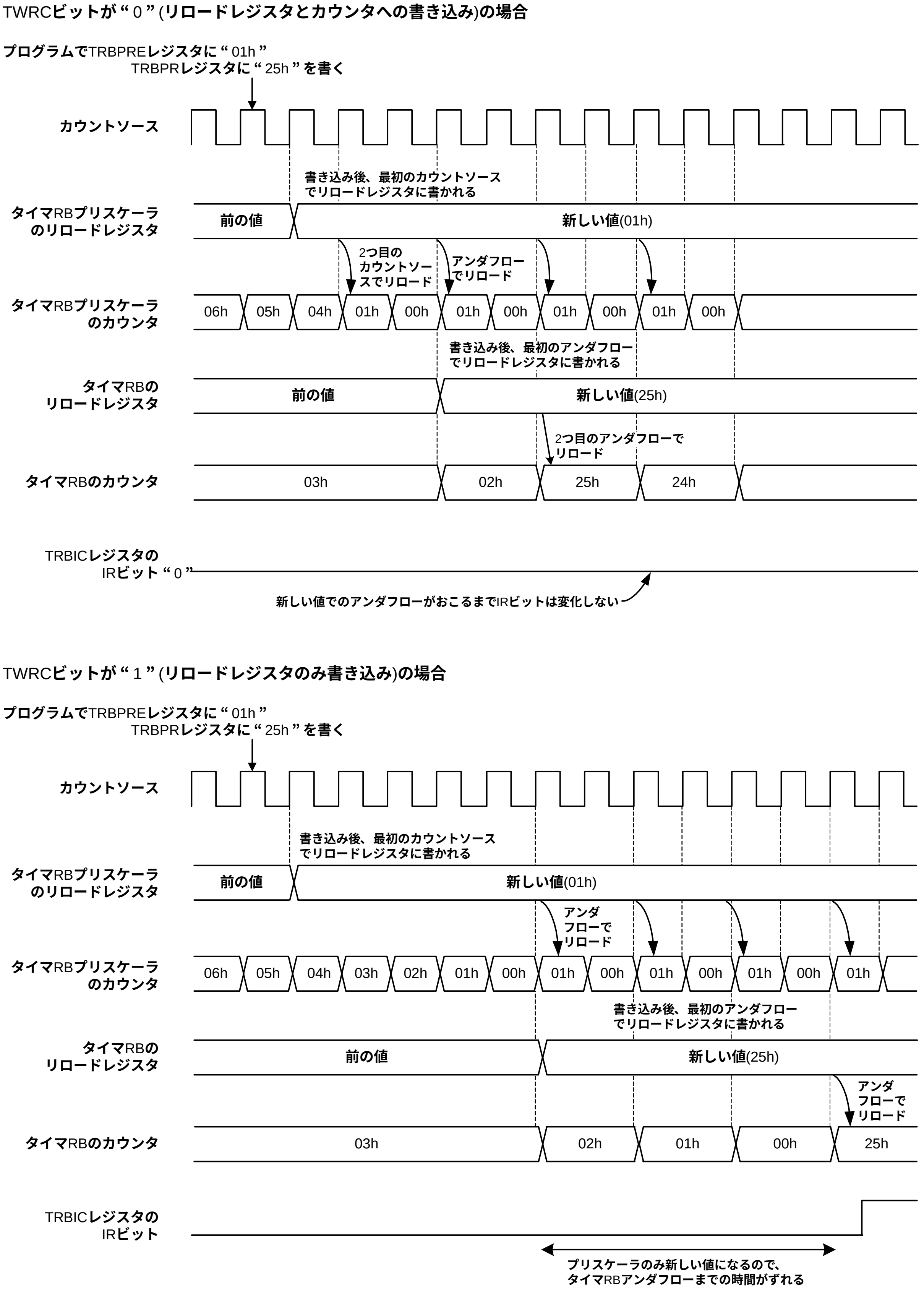
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRBアウトプットレベル選択ビット	タイマモードでは“0”にしてください	R/W
b1	TOCNT	タイマRB出力切り替えビット		R/W
b2	INOSTG	ワンショットトリガ制御ビット		R/W
b3	INOSEG	ワンショットトリガ極性選択ビット		R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	—			
b6	—			
b7	—			

18.3.2 カウント中のタイマ書き込み制御

タイマRBはプリスケーラと、タイマ(プリスケーラのアンダフローをカウントする狭義のタイマ)を持ち、それぞれにリロードレジスタとカウンタがあります。タイマモードでは、カウント中のプリスケーラやタイマへの書き込む場合、TRBMRレジスタのTWRCビットで、リロードレジスタとカウンタへ書き込むか、リロードレジスタだけに書き込むかを選択できます。

しかし、プリスケーラのリロードレジスタからカウンタへは、カウントソースに同期して値を転送します。また、タイマのリロードレジスタからカウンタへは、プリスケーラのアンダフローに同期して値を転送します。このため、TWRCビットで、リロードレジスタとカウンタへ書き込む選択をしている場合も、書き込み命令実行後すぐにはカウンタの値が更新されません。また、リロードレジスタだけに書き込む選択をしている場合、プリスケーラの値を変更すると書き込んだときの周期がずれます。図18.2にタイマRBカウント中にカウント値を書き換えた場合の動作例を示します。



上図は次の条件の場合です。
TRBCRレジスタのTSTARTビット、TCSTFビットがともに“1”(カウント中)

図 18.2　タイマRBカウント中にカウント値を書き換えた場合の動作例

18.4 プログラマブル波形発生モード

TRBPRレジスタとTRBSCレジスタの値を交互にカウントし、カウンタがアンダフローするごとに、TRBO端子から出力する信号を反転するモードです(表18.3)。カウント開始時は、TRBPRレジスタに設定した値からカウントを行います。プログラマブル波形発生モード時、TRBOCRレジスタは使用しません。

図18.3にプログラマブル波形発生モード時のタイマRBの動作例を示します。

表18.3　プログラマブル波形発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	・ダウンカウント ・アンダフロー時プライマリリロードレジスタとセカンダリリロードレジスタの内容を交互にリロードしてカウントを継続
出力波形の幅、周期	プライマリ期間　：(n+1)(m+1)/fi セカンダリ期間　：(n+1)(p+1)/fi 周期　：(n+1){(m+1)+(p+1)}/fi fi：カウントソースの周波数 n：TRBPREレジスタの設定値、m：TRBPRレジスタの設定値 p：TRBSCレジスタの設定値
カウント開始条件	TRBCRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	・TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	セカンダリ期間のタイマRBのアンダフローからカウントソースの1/2サイクル後(TRBO出力の変化と同時)[タイマRB割り込み]
TRBO端子機能	プログラマブル出力ポート、またはパルス出力
$\overline{\text{INT0}}$端子機能	プログラマブル入出力ポート、または$\overline{\text{INT0}}$割り込み入力
タイマの読み出し	TRBPRレジスタ、TRBPREレジスタを読み出すと、それぞれカウント値が読み出される(注1)
タイマの書き込み	・カウント停止中に、TRBPREレジスタ、TRBSCレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRBPREレジスタ、TRBSCレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタのみ書き込まれる(注2)
選択機能	・アウトプットレベル選択機能 プライマリ期間、セカンダリ期間の出力レベルをTOPLビットで選択 ・TRBO端子出力切り替え機能 TRBIOCレジスタのTOCNTビットでタイマRBパルス出力またはP1_3ラッチ出力を選択(注3)

注1. セカンダリ期間をカウント中でも、TRBPRレジスタを読み出してください。
注2. 波形の出力は、TRBPRレジスタへの書き込み後、次のプライマリ期間から設定値が反映されます。
注3. TOCNTビットに書いた値は、次のタイミングで有効になります。
・カウント開始時
・タイマRB割り込み要求発生時
したがって、TOCNTビットを変更後、次のプライマリ期間の出力から反映されます。

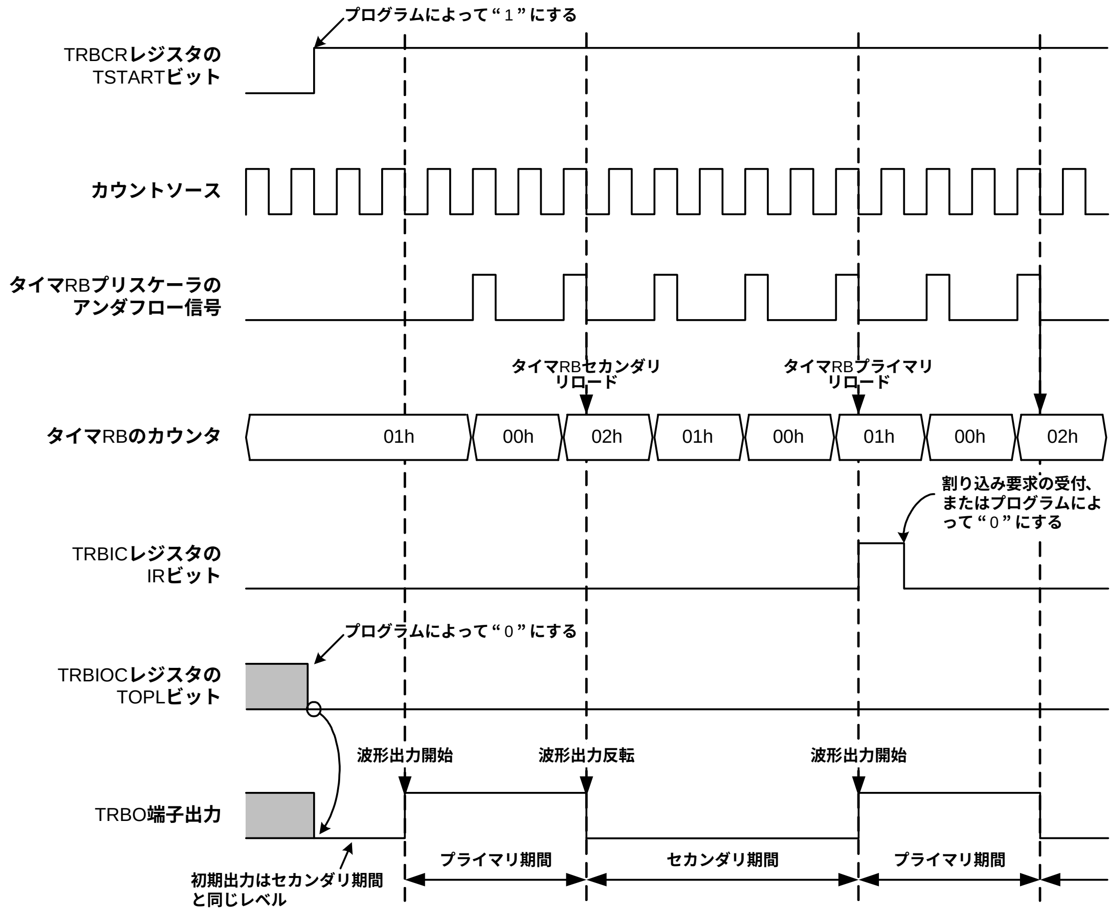
18.4.1 タイマRB I/O制御レジスタ(TRBIOC)[プログラマブル波形発生モード時]

アドレス 010Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRBアウトプットレベル選択ビット	0：プライマリ期間“H”出力、セカンダリ期間“L”出力 タイマ停止時“L”出力 1：プライマリ期間“L”出力、セカンダリ期間“H”出力 タイマ停止時“H”出力	R/W
b1	TOCNT	タイマRB出力切り替えビット	0：タイマRB波形出力 1：P1_3ポートラッチの値を出力	R/W
b2	INOSTG	ワンショットトリガ制御ビット	プログラマブル波形発生モードでは“0”にしてください	R/W
b3	INOSEG	ワンショットトリガ極性選択ビット		R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	—			
b6	—			
b7	—			

18.4.2 動作例



上図は次の条件の場合です。

TRBPRE=01h、TRBPR=01h、TRBSC=02h
TRBIOCレジスタのTOCNT=0(TRBO端子からタイマRB波形を出力)

図 18.3　プログラマブル波形発生モード時のタイマRBの動作例

18.5 プログラマブルワンショット発生モード

プログラムまたは外部トリガ(INT0端子の入力)により、ワンショットパルスをTRBO端子から出力するモードです(表18.4)。トリガが発生するとその時点から任意の時間(TRBPRレジスタの設定値)、1度だけタイマが動作します。プログラマブルワンショット発生モード時、TRBSCレジスタは使用しません。

図18.4にプログラマブルワンショット発生モード時の動作例を示します。

表18.4 プログラマブルワンショット発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	・TRBPRレジスタの設定値をダウンカウント ・アンダフロー時プライマリリロードレジスタの内容をリロードしてカウントを終了し、TOSSTFビットが“0”(ワンショット停止)になる ・カウント停止時、リロードレジスタの内容をリロードし停止
ワンショットパルス出力時間	(n+1)(m+1)/fi fi：カウントソースの周波数 n：TRBPREレジスタの設定値、m：TRBPRレジスタの設定値
カウント開始条件	・TRBCRレジスタのTSTARTビットが“1”(カウント開始)で、かつ次のトリガが発生 ・TRBOCRレジスタのTOSSTビットへの“1”(ワンショット開始)書き込み ・INT0端子へのトリガ入力
カウント停止条件	・タイマRBプライマリカウント時のカウントの値がアンダフローし、リロードした後 ・TRBOCRレジスタのTOSSPビットへの“1”(ワンショット停止)書き込み ・TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	アンダフローからカウントソースの1/2サイクル後 (TRBO端子からの波形出力の終了と同時)　[タイマRB割り込み]
TRBO端子機能	パルス出力
INT0端子機能	・TRBIOCレジスタのINOSTGビットが“0”(INT0ワンショットトリガ無効)の場合 プログラマブル入出力ポート、またはINT0割り込み入力 ・TRBIOCレジスタのINOSTGビットが“1”(INT0ワンショットトリガ有効)の場合 外部トリガ(INT0割り込み入力)
タイマの読み出し	TRBPRレジスタ、TRBPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	・カウント停止中に、TRBPREレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRBPREレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる(注1)
選択機能	・アウトプットレベル選択機能 ワンショットパルス波形の出力レベルをTOPLビットで選択 ・ワンショットトリガ選択機能 「18.5.3　ワンショットトリガ選択」参照

注1. TRBPRレジスタへ書き込んだ値は、次のワンショットパルスから反映されます。

18.5.1 タイマRB I/O制御レジスタ(TRBIOC)[プログラマブルワンショット発生モード時]

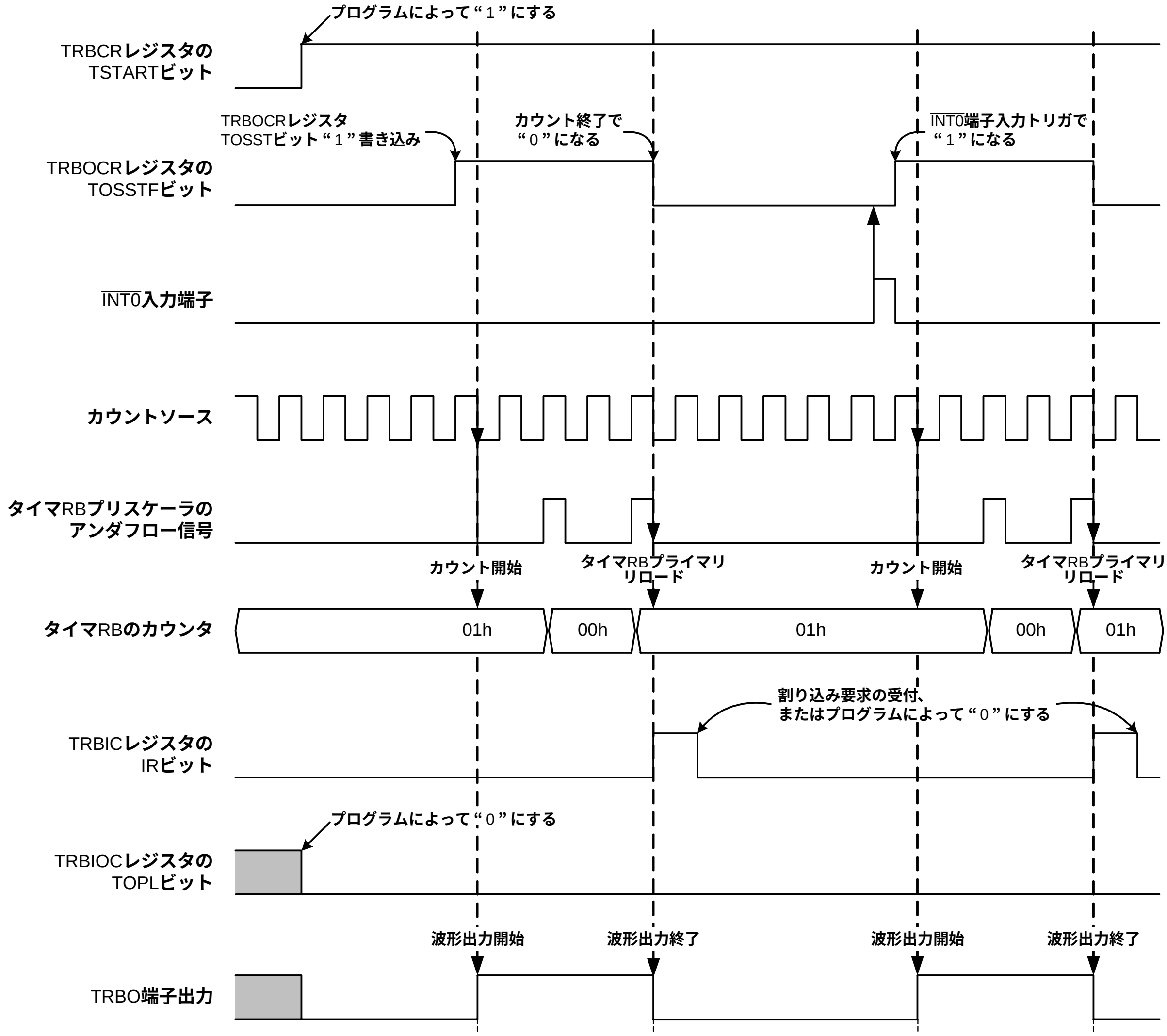
アドレス 010Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	−	−	−	−	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRBアウトプットレベル選択ビット	0：ワンショットパルス“H”出力、タイマ停止時“L”出力 1：ワンショットパルス“L”出力、タイマ停止時“H”出力	R/W
b1	TOCNT	タイマRB出力切り替えビット	プログラマブルワンショット発生モードでは“0”にしてください	R/W
b2	INOSTG	ワンショットトリガ制御ビット(注1)	0：$\overline{\mathrm{INT0}}$端子ワンショットトリガ無効 1：$\overline{\mathrm{INT0}}$端子ワンショットトリガ有効	R/W
b3	INOSEG	ワンショットトリガ極性選択ビット(注1)	0：立ち下がりエッジトリガ 1：立ち上がりエッジトリガ	R/W
b4	−	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		−
b5	−			
b6	−			
b7	−			

注1.「18.5.3　ワンショットトリガ選択」を参照してください。

18.5.2　動作例



上図は次の条件の場合です。

TRBPRE=01h、TRBPR=01h
TRBIOCレジスタのTOPL=0、TOCNT=0、
INOSTG=1(INT0ワンショットトリガ有効)、
INOSEG=1(立ち上がりエッジトリガ)

図 18.4　プログラマブルワンショット発生モード時の動作例

18.5.3 ワンショットトリガ選択

プログラマブルワンショット発生モードと、プログラマブルウェイトワンショット発生モードでは、TRBCRレジスタのTCSTFビットが“1”(カウント開始)の状態で、ワンショットトリガが発生すると動作を開始します。

ワンショットトリガは、次のどちらかの要因で発生します。

- プログラムでTRBOCRレジスタのTOSSTビットに“1”を書く
- $\overline{\text{INT0}}$端子からトリガ入力

ワンショットトリガ発生後、カウントソースの1～2サイクル経ってからTRBOCRレジスタのTOSSTFビットが、“1”(ワンショット動作中)になります。その後カウントが始まり、プログラマブルワンショット発生モードでは、ワンショット波形出力を開始します(プログラマブルウェイトワンショット発生モードでは、ウェイト期間のカウントを開始します)。TOSSTFビットが“1”の期間に、ワンショットトリガが発生しても再トリガは発生しません。

$\overline{\text{INT0}}$端子からトリガ入力を使用する場合は、次の設定をした後、トリガを入力してください。

- PD4レジスタのPD4_5ビットを“0”(入力ポート)にする
- $\overline{\text{INT0}}$のデジタルフィルタをINTFレジスタのINT0F1～INT0F0ビットで選択
- INTENレジスタのINT0PLビットで両エッジまたは片エッジを選択する。片エッジを選択した場合はさらにTRBIOCレジスタのINOSEGビットで立ち下がりまたは立ち上がりエッジを選択する
- INTENレジスタのINT0ENを“1”(許可)にする
- 上記の設定後、TRBIOCレジスタのINOSTGビットを“1”($\overline{\text{INT0}}$端子ワンショットトリガ有効)にする

なお、$\overline{\text{INT0}}$端子からのトリガ入力で割り込み要求を発生させる場合は、次の点に注意してください。

- 割り込みを使用するための処理が必要ですので「11.　割り込み」を参照してください。
- 片エッジを選択した場合は、INT0ICレジスタのPOLビットで立ち下がりまたは立ち上がりエッジを選択してください(TRBIOCレジスタのINOSEGビットは$\overline{\text{INT0}}$割り込みとは無関係です)。
- TOSSTFビットが“1”の期間に、ワンショットトリガが発生してもタイマRBの動作には影響ありませんが、INT0ICレジスタのIRビットは変化します。

18.6 プログラマブルウェイトワンショット発生モード

プログラムまたは外部トリガ($\overline{INT0}$端子の入力)から、一定時間後にワンショットパルスをTRBO端子から出力するモードです(表18.5)。トリガが発生すると、その時点から任意の時間(TRBPRレジスタの設定値)後、一度だけ任意の時間(TRBSCレジスタの設定値)パルス出力を行います。

図18.5にプログラマブルウェイトワンショット発生モードの動作例を示します。

表18.5 プログラマブルウェイトワンショット発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	・タイマRBプライマリの設定値をダウンカウント ・タイマRBプライマリのカウントがアンダフロー時、タイマRBセカンダリの内容をリロードしてカウントを継続 ・タイマRBセカンダリのカウントがアンダフロー時、タイマRBプライマリの内容をリロードしてカウントを終了し、TOSSTFビットが“0”(ワンショット停止)になる ・カウント停止時、リロードレジスタの内容をリロードし停止
ウェイト時間	(n+1)(m+1)/fi fi:カウントソースの周波数 n:TRBPREレジスタの設定値、m:TRBPRレジスタの設定値
ワンショットパルス出力時間	(n+1)(p+1)/fi fi:カウントソースの周波数 n:TRBPREレジスタの設定値、p:TRBSCレジスタの設定値
カウント開始条件	・TRBCRレジスタのTSTARTビットが“1”(カウント開始)でかつ、次のトリガが発生 ・TRBOCRレジスタのTOSSTビットへの“1”(ワンショット開始)書き込み ・$\overline{INT0}$端子へのトリガ入力
カウント停止条件	・タイマRBセカンダリカウント時のカウントの値がアンダフローし、リロードした後 ・TRBOCR レジスタの TOSSP ビットへの“1”(ワンショット停止)書き込み ・TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	セカンダリ期間のタイマRBのアンダフローからカウントソースの1/2サイクル後(TRBO端子からの波形出力の終了と同時)[タイマRB割り込み]
TRBO端子機能	パルス出力
$\overline{INT0}$端子機能	・TRBIOCレジスタのINOSTGビットが“0”($\overline{INT0}$ワンショットトリガ無効)の場合 プログラマブル入出力ポート、または$\overline{INT0}$割り込み入力 ・TRBIOCレジスタのINOSTGビットが“1”($\overline{INT0}$ワンショットトリガ有効)の場合 外部トリガ($\overline{INT0}$割り込み入力)
タイマの読み出し	TRBPRレジスタ、TRBPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	・カウント停止中に、TRBPREレジスタ、TRBSCレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRBPREレジスタ、TRBSCレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタのみ書き込まれる(注1)
選択機能	・アウトプットレベル選択機能 ワンショットパルス波形の出力レベルをTOPLビットで選択 ・ワンショットトリガ選択機能 「18.5.3 ワンショットトリガ選択」参照

注1. TRBSCレジスタおよびTRBPRレジスタへ書き込んだ値は、次のワンショットパルスから反映されます。

18.6.1　タイマRB I/O制御レジスタ(TRBIOC)[プログラマブルウェイトワンショット発生モード時]

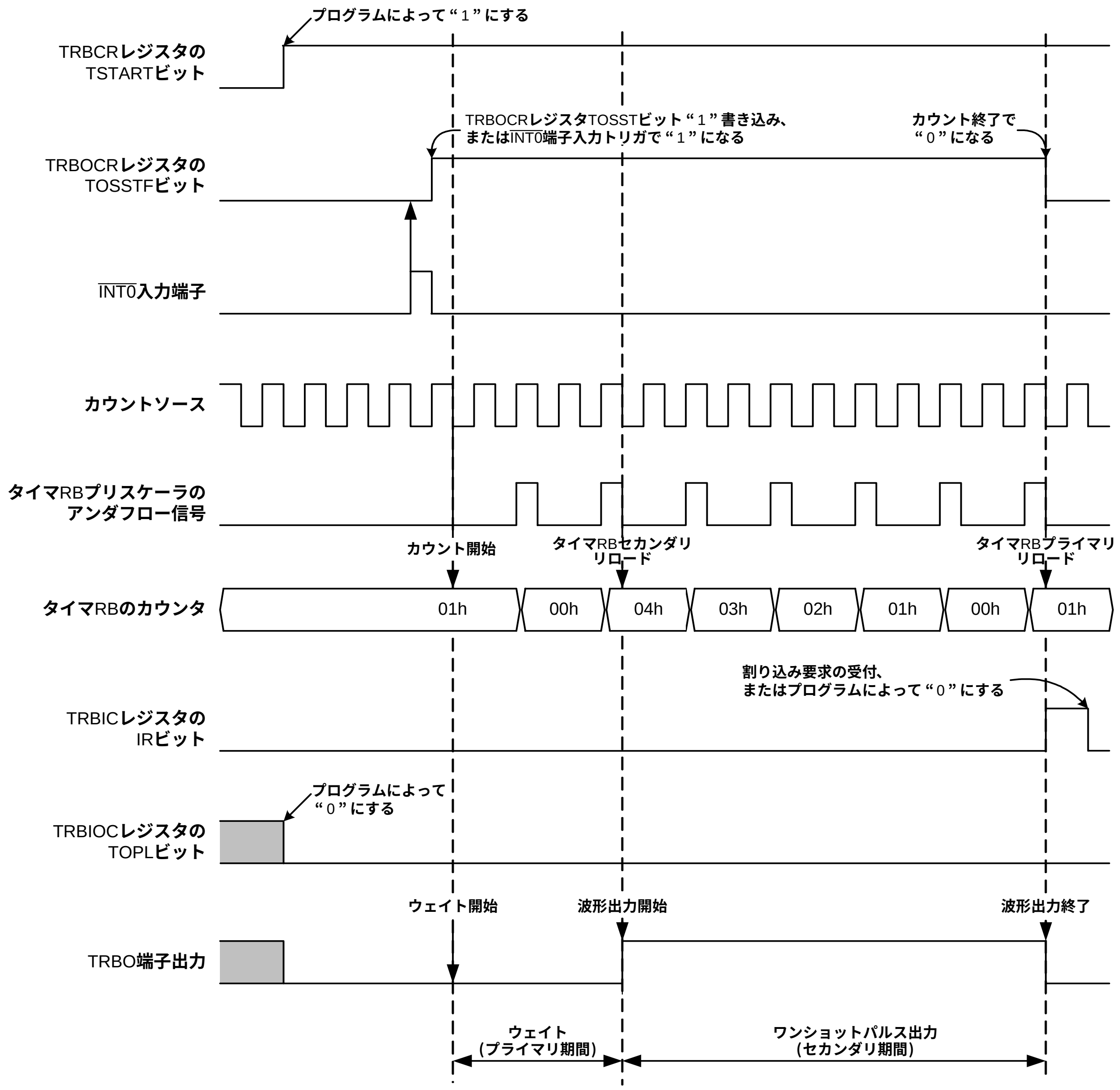
アドレス 010Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRBアウトプットレベル選択ビット	0：ワンショットパルス“H”出力、タイマ停止時とウェイト中は“L”出力 1：ワンショットパルス“L”出力、タイマ停止時とウェイト中は“H”出力	R/W
b1	TOCNT	タイマRB出力切り替えビット	プログラマブルウェイトワンショット発生モードでは“0”にしてください。	R/W
b2	INOSTG	ワンショットトリガ制御ビット(注1)	0：$\overline{\mathrm{INT0}}$端子ワンショットトリガ無効 1：INT0端子ワンショットトリガ有効	R/W
b3	INOSEG	ワンショットトリガ極性選択ビット(注1)	0：立ち下がりエッジトリガ 1：立ち上がりエッジトリガ	R/W
b4	—	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	—			
b6	—			
b7	—			

注1.「18.5.3　ワンショットトリガ選択」を参照してください。

18.6.2 動作例



上図は次の条件の場合です。

TRBPRE=01h、TRBPR=01h、TRBSC=04h
INOSTG=1(INT0ワンショットトリガ有効)、
INOSEG=1(立ち上がりエッジトリガ)

図 18.5 プログラマブルウェイトワンショット発生モードの動作例

18.7 タイマRB使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケーラに値を設定した後、カウントを開始してください。
- プリスケーラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TRBCRレジスタのTSTARTビットを“0”にしてカウントを停止したとき、またはTRBOCRレジスタのTOSSPビットを“1”にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“0”になっています。
  TCSTFビットが“1”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)をアクセスしないでください。
  カウント中にTSTARTビットに“0”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。
  TCSTFビットが“0”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)をアクセスしないでください。

  注1. タイマRB関連レジスタ：TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRE、TRBSC、TRBPR

- カウント中にTRBCRレジスタのTSTOPビットに“1”を書くと、すぐにタイマRBは停止します。
- TRBOCRレジスタのTOSSTビットまたはTOSSPビットに“1”を書くと、カウントソースの1～2サイクル後にTOSSTFビットが変化します。TOSSTビットに“1”を書いてからTOSSTFビットが“1”になるまでの期間にTOSSPビットに“1”を書いた場合、内部の状態によってTOSSTFビットが“0”になる場合と、“1”になる場合があります。TOSSPビットに“1”を書いてからTOSSTFビットが“0”になるまでの期間にTOSSTビットに“1”を書いた場合も同様に、TOSSTFビットは“0”になるか“1”になるかわかりません。
- タイマRAのアンダフロー信号をタイマRBのカウントソースにする場合、タイマRAはタイマモード、パルス出力モード、またはイベントカウントモードに設定してください。

18.7.1 タイマモード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPREレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPRE レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケーラのアンダフローの3周期以上空けてください。

18.7.2 プログラマブル波形発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPREレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケーラのアンダフローの3周期以上空けてください。

18.7.3 プログラマブルワンショット発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPREレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。

- TRBPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケーラのアンダフローの3周期以上空けてください。

18.7.4 プログラマブルウェイトワンショット発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPREレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。

- TRBPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケーラのアンダフローの3周期以上空けてください。

19. タイマRC

タイマRCは、16ビットタイマで4本の入出力端子を持ちます。

19.1 概要

タイマRCの動作クロックはf1、fOCO40MまたはfOCO-Fです。表19.1にタイマRCの動作クロックを示します。

表19.1　タイマRCの動作クロック

条件	タイマRCの動作クロック
カウントソースがf1、f2、f4、f8、f32、TRCCLK入力 (TRCCR1レジスタのTCK2～TCK0ビットが“000b”～“101b”)	f1
カウントソースがfOCO40M (TRCCR1レジスタのTCK2～TCK0ビットが“110b”)	fOCO40M
カウントソースがfOCO-F (TRCCR1レジスタのTCK2～TCK0ビットが“111b”)	fOCO-F

表19.2にタイマRCの端子構成を、図19.1にタイマRCのブロック図を示します。

タイマRCは3種類のモードを持ちます。

- タイマモード
  - インプットキャプチャ機能　　外部信号をトリガにしてカウンタの値をレジスタに取り込む機能
  - アウトプットコンペア機能　　カウンタとレジスタの値の一致を検出する機能(検出時に端子出力変更可能)
- 次の2つのモードは、アウトプットコンペア機能を用います。
- PWMモード　　任意の幅のパルスを連続して出力するモード
- PWM2モード　　トリガからウェイト時間をおいて、ワンショット波形またはPWM波形を出力するモード

インプットキャプチャ機能、アウトプットコンペア機能、PWMモードは、1端子ごとに機能とモードを選択できます。

PWM2モードは、カウンタやレジスタを組み合わせて波形を出力します。端子の機能はモードによって決まります。

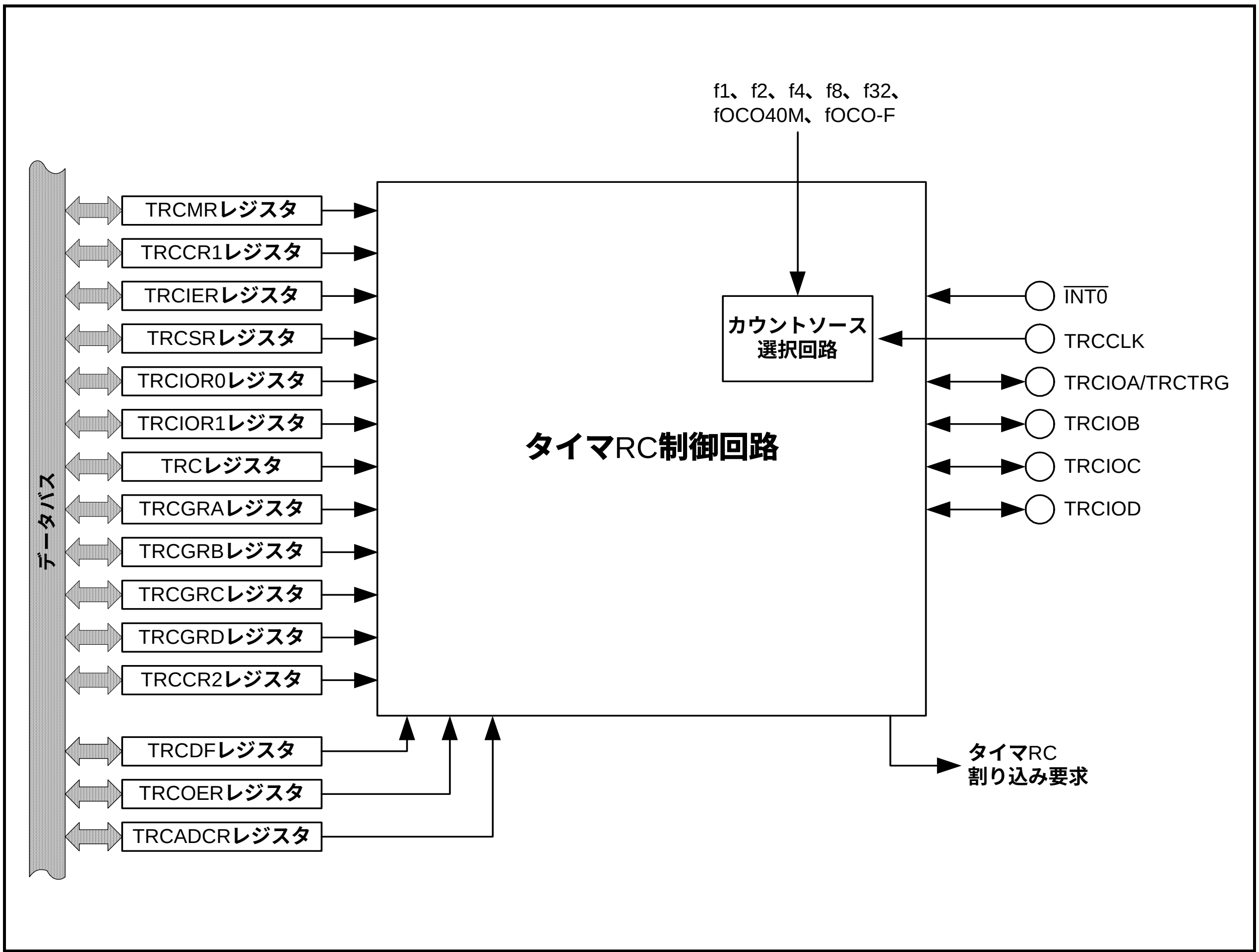


図19.1　タイマRCのブロック図

表 19.2　タイマRCの端子構成

端子名	割り当てる端子	入出力	機能
TRCIOA	P1_1	入出力	モードによって機能が異なります。詳細は各モードを参照してください。
TRCIOB	P1_2		
TRCIOC	P3_4		
TRCIOD	P3_5		
TRCCLK	P3_3	入力	外部クロック入力
TRCTRG	P1_1	入力	PWM2モードの外部トリガ入力

19.2 レジスタの説明

表19.3にタイマRC関連レジスタ一覧を示します。

表19.3 タイマRC関連レジスタ一覧

番地	シンボル	モード				参照先
		タイマ		PWM	PWM2	
		インプットキャプチャ機能	アウトプットコンペア機能			
0008h	MSTCR	有効	有効	有効	有効	19.2.1 モジュールスタンバイ制御レジスタ(MSTCR)
0120h	TRCMR	有効	有効	有効	有効	19.2.2 タイマRCモードレジスタ(TRCMR)
0121h	TRCCR1	有効	有効	有効	有効	タイマRC制御レジスタ1 19.2.3 タイマRC制御レジスタ1(TRCCR1) 19.5.1 タイマRC制御レジスタ1(TRCCR1)[タイマモード(アウトプットコンペア機能)時] 19.6.1 タイマRC制御レジスタ1(TRCCR1)[PWMモード時] 19.7.1 タイマRC制御レジスタ1(TRCCR1)[PWM2モード時]
0122h	TRCIER	有効	有効	有効	有効	19.2.4 タイマRC割り込み許可レジスタ(TRCIER)
0123h	TRCSR	有効	有効	有効	有効	19.2.5 タイマRCステータスレジスタ(TRCSR)
0124h	TRCIOR0	有効	有効	−	−	タイマRC I/O制御レジスタ0、タイマRC I/O制御レジスタ1 19.2.6 タイマRC I/O制御レジスタ0(TRCIOR0) 19.2.7 タイマRC I/O制御レジスタ1(TRCIOR1) 19.4.1 タイマRC I/O制御レジスタ0(TRCIOR0)[タイマモード(インプットキャプチャ機能)時] 19.4.2 タイマRC I/O制御レジスタ1(TRCIOR1)[タイマモード(インプットキャプチャ機能)時] 19.5.2 タイマRC I/O制御レジスタ0(TRCIOR0)[タイマモード(アウトプットコンペア機能)時] 19.5.3 タイマRC I/O制御レジスタ1(TRCIOR1)[タイマモード(アウトプットコンペア機能)時]
0125h	TRCIOR1					
0126h 0127h	TRC	有効	有効	有効	有効	19.2.8 タイマRCカウンタ(TRC)
0128h 0129h	TRCGRA	有効	有効	有効	有効	19.2.9 タイマRCジェネラルレジスタA、B、C、D(TRCGRA、TRCGRB、TRCGRC、TRCGRD)
012Ah 012Bh	TRCGRB					
012Ch 012Dh	TRCGRC					
012Eh 012Fh	TRCGRD					
0130h	TRCCR2	−	有効	有効	有効	19.2.10 タイマRC制御レジスタ2(TRCCR2)
0131h	TRCDF	有効	−	−	有効	19.2.11 タイマRCデジタルフィルタ機能選択レジスタ(TRCDF)
0132h	TRCOER	−	有効	有効	有効	19.2.12 タイマRCアウトプットマスタ許可レジスタ(TRCOER)
0133h	TRCADCR	−	有効	有効	有効	19.2.13 タイマRCトリガ制御レジスタ(TRCADCR)
0181h	TRBRCSR	有効	有効	有効	有効	19.2.14 タイマRB/RC端子選択レジスタ(TRBRCSR)
0182h	TRCPSR0	有効	有効	有効	有効	19.2.15 タイマRC端子選択レジスタ0 (TRCPSR0)
0183h	TRCPSR1	有効	有効	有効	有効	19.2.16 タイマRC端子選択レジスタ1 (TRCPSR1)

−：無効

19.2.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	MSTTRC	MSTTRD	MSTIIC	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	—			
b2	—			
b3	MSTIIC	SSUスタンバイビット	0：アクティブ 1：スタンバイ(注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0：アクティブ 1：スタンバイ(注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0：アクティブ 1：スタンバイ(注4)	R/W
b6	—	予約ビット	“0”にしてください	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. スタンバイにする前に、SSU機能を停止してください。MSTIICビットが“1”(スタンバイ)のとき、SSU関連レジスタ(0193h～019Dh番地)へのアクセスは無効になります。
注2. スタンバイにする前に、タイマRD機能を停止してください。MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h～015Fh番地)へのアクセスは無効になります。
注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCRi(i=0～1)レジスタのTCK2～TCK0ビットを“000b”(f1)にしてください。
注4. スタンバイにする前に、タイマRC機能を停止してください。MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h～0133h番地)へのアクセスは無効になります。

19.2.2 タイマRCモードレジスタ(TRCMR)

アドレス 0120h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TSTART	—	BFD	BFC	PWM2	PWMD	PWMC	PWMB
リセット後の値	0	1	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PWMB	TRCIOB PWMモード選択ビット(注1)	0：タイマモード 1：PWMモード	R/W
b1	PWMC	TRCIOC PWMモード選択ビット(注1)	0：タイマモード 1：PWMモード	R/W
b2	PWMD	TRCIOD PWMモード選択ビット(注1)	0：タイマモード 1：PWMモード	R/W
b3	PWM2	PWM2モード選択ビット	0：PWM2モード 1：タイマモードまたはPWMモード	R/W
b4	BFC	TRCGRCレジスタ機能選択ビット(注2)	0：ジェネラルレジスタ 1：TRCGRAレジスタのバッファレジスタ	R/W
b5	BFD	TRCGRDレジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRCGRBレジスタのバッファレジスタ	R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b7	TSTART	TRCカウント開始ビット	0：カウント停止 1：カウント開始	R/W

注1. これらのビットはPWM2ビットが“1”(タイマモードまたはPWMモード)のとき有効です。
注2. PWM2モードではBFCビットを“0”(ジェネラルレジスタ)にしてください。

TRCMRレジスタのPWM2モード時の注意事項は「19.9.6　PWM2モード時のTRCMRレジスタ」を参照してください。

19.2.3 タイマRC制御レジスタ1(TRCCR1)

アドレス 0121h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1)	動作モード(機能)によって機能が異なる	R/W
b1	TOB	TRCIOB出力レベル選択ビット(注1)		R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1)		R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0：f1 0 0 1：f2 0 1 0：f4 0 1 1：f8 1 0 0：f32 1 0 1：TRCCLK入力の立ち上がりエッジ 1 1 0：fOCO40M 1 1 1：fOCO-F(注2)	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	CCLR	TRCカウンタクリア選択ビット	0：クリア禁止(フリーランニング動作) 1：インプットキャプチャまたはTRCGRAのコンペア一致でTRCカウンタをクリア	R/W

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。
注2. fOCO-Fを選択するときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

19.2.4 タイマRC割り込み許可レジスタ(TRCIER)

アドレス 0122h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	OVIE	—	—	—	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	0	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/コンペア一致割り込み許可ビットA	0：IMFAビットによる割り込み(IMIA)禁止 1：IMFAビットによる割り込み(IMIA)許可	R/W
b1	IMIEB	インプットキャプチャ/コンペア一致割り込み許可ビットB	0：IMFBビットによる割り込み(IMIB)禁止 1：IMFBビットによる割り込み(IMIB)許可	R/W
b2	IMIEC	インプットキャプチャ/コンペア一致割り込み許可ビットC	0：IMFCビットによる割り込み(IMIC)禁止 1：IMFCビットによる割り込み(IMIC)許可	R/W
b3	IMIED	インプットキャプチャ/コンペア一致割り込み許可ビットD	0：IMFDビットによる割り込み(IMID)禁止 1：IMFDビットによる割り込み(IMID)許可	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b5	—			
b6	—			
b7	OVIE	オーバフロー割り込み許可ビット	0：OVFビットによる割り込み(OVI)禁止 1：OVFビットによる割り込み(OVI)許可	R/W

19.2.5 タイマRCステータスレジスタ(TRCSR)

アドレス 0123h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	OVF	—	—	—	IMFD	IMFC	IMFB	IMFA
リセット後の値	0	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペア一致フラグA	[“0”になる要因] 読んだ後、“0”を書く(注1) [“1”になる要因] 「表19.4 各フラグが“1”になる要因」を参照	R/W
b1	IMFB	インプットキャプチャ/コンペア一致フラグB		R/W
b2	IMFC	インプットキャプチャ/コンペア一致フラグC		R/W
b3	IMFD	インプットキャプチャ/コンペア一致フラグD		R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		—
b5	—			
b6	—			
b7	OVF	オーバフローフラグ	[“0”になる要因] 読んだ後、“0”を書く(注1) [“1”になる要因] 「表19.4 各フラグが“1”になる要因」を参照	R/W

注1. 書き込み結果は次のようになります。
- 読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- 読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- “1”を書いた場合は変化しません。

表19.4 各フラグが“1”になる要因

ビットシンボル	タイマモード		PWMモード	PWM2モード
	インプットキャプチャ機能	アウトプットコンペア機能		
IMFA	TRCIOA端子の入力エッジ(注1)	TRCとTRCGRAの値が一致したとき		
IMFB	TRCIOB端子の入力エッジ(注1)	TRCとTRCGRBの値が一致したとき		
IMFC	TRCIOC端子の入力エッジ(注1)	TRCとTRCGRCの値が一致したとき(注2)		
IMFD	TRCIOD端子の入力エッジ(注1)	TRCとTRCGRDの値が一致したとき(注2)		
OVF	TRCがオーバフローしたとき			

注1. TRCIOR0、TRCIOR1レジスタのIOj1～IOj0ビット(j=A、B、C、D)で選択したエッジ。
注2. TRCMRレジスタのBFC、BFDビットが“1”(TRCGRA、TRCGRBのバッファレジスタ)の場合を含む。

19.2.6 タイマRC I/O制御レジスタ0(TRCIOR0)

アドレス 0124h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRCGRA制御ビット	動作モード(機能)によって機能が異なる	R/W
b1	IOA1			R/W
b2	IOA2	TRCGRAモード選択ビット(注1)	0：アウトプットコンペア機能 1：インプットキャプチャ機能	R/W
b3	IOA3	TRCGRAインプットキャプチャ入力切り替えビット(注3)	0：fOCO128信号 1：TRCIOA端子入力	R/W
b4	IOB0	TRCGRB制御ビット	動作モード(機能)によって機能が異なる	R/W
b5	IOB1			R/W
b6	IOB2	TRCGRBモード選択ビット(注2)	0：アウトプットコンペア機能 1：インプットキャプチャ機能	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		—

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。
注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。
注3. IOA2ビットが“1”(インプットキャプチャ機能)のとき有効です。

TRCIOR0レジスタはタイマモードのとき有効です。PWMモード、PWM2モードでは無効です。

19.2.7 タイマRC I/O制御レジスタ1(TRCIOR1)

アドレス 0125h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRCGRC制御ビット	動作モード(機能)によって機能が異なる	R/W
b1	IOC1			R/W
b2	IOC2	TRCGRCモード選択ビット(注1)	0：アウトプットコンペア機能 1：インプットキャプチャ機能	R/W
b3	IOC3	TRCGRCレジスタ機能選択ビット	0：TRCIOA出力レジスタ 1：ジェネラルレジスタまたはバッファレジスタ	R/W
b4	IOD0	TRCGRD制御ビット	動作モード(機能)によって機能が異なる	R/W
b5	IOD1			R/W
b6	IOD2	TRCGRDモード選択ビット(注2)	0：アウトプットコンペア機能 1：インプットキャプチャ機能	R/W
b7	IOD3	TRCGRDレジスタ機能選択ビット	0：TRCIOB出力レジスタ 1：ジェネラルレジスタまたはバッファレジスタ	R/W

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。
注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

TRCIOR1レジスタはタイマモードのとき有効です。PWMモード、PWM2モードでは無効です。

19.2.8 タイマRCカウンタ(TRC)

アドレス 0127h～0126h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15～b0	カウントソースをカウント。カウント動作はアップカウント。 オーバフローすると、TRCSRレジスタのOVFビットが“1”になる。	0000h～FFFFh	R/W

TRCレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

19.2.9 タイマRCジェネラルレジスタA、B、C、D (TRCGRA、TRCGRB、TRCGRC、TRCGRD)

アドレス 0129h～0128h番地(TRCGRA)、012Bh～012Ah番地(TRCGRB)、
012Dh～012Ch番地(TRCGRC)、012Fh～012Eh番地(TRCGRD)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15～b0	モードによって機能が異なる	R/W

TRCGRA～TRCGRDレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

19.2.10 タイマRC制御レジスタ2(TRCCR2)

アドレス 0130h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	—	—	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB (注1)	0：TRCIOBの出力レベルは“L”アクティブ 1：TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC (注1)	0：TRCIOCの出力レベルは“L”アクティブ 1：TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD (注1)	0：TRCIODの出力レベルは“L”アクティブ 1：TRCIODの出力レベルは“H”アクティブ	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b4	—			
b5	CSEL	TRCカウント動作選択ビット (注2)	0：TRCGRAレジスタとのコンペア一致後もカウント継続 1：TRCGRAレジスタとのコンペア一致でカウント停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット (注3)	b7 b6 0 0：TRCTRGからのトリガ入力を禁止 0 1：立ち上がりエッジを選択 1 0：立ち下がりエッジを選択 1 1：立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。
注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「19.9.6　PWM2モード時のTRCMRレジスタ」を参照してください。
注3. PWM2モードのとき有効です。

19.2.11　タイマRCデジタルフィルタ機能選択レジスタ(TRCDF)

アドレス 0131h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DFCK1	DFCK0	—	DFTRG	DFD	DFC	DFB	DFA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFA	TRCIOA端子デジタルフィルタ機能選択ビット(注1)	0：機能なし 1：機能あり	R/W
b1	DFB	TRCIOB端子デジタルフィルタ機能選択ビット(注1)	0：機能なし 1：機能あり	R/W
b2	DFC	TRCIOC端子デジタルフィルタ機能選択ビット(注1)	0：機能なし 1：機能あり	R/W
b3	DFD	TRCIOD端子デジタルフィルタ機能選択ビット(注1)	0：機能なし 1：機能あり	R/W
b4	DFTRG	TRCTRG端子デジタルフィルタ機能選択ビット(注2)	0：機能なし 1：機能あり	R/W
b5	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b6	DFCK0	デジタルフィルタ機能用クロック選択ビット(注1、2)	b7 b6 0 0：f32 0 1：f8 1 0：f1 1 1：カウントソース(TRCCR1レジスタのTCK2～TCK0ビットで選択したクロック)	R/W
b7	DFCK1			R/W

注1.　インプットキャプチャ機能のとき有効です。
注2.　PWM2モードで、TRCCR2レジスタのTCEG1～TCEG0ビットが“01b”、“10b”、“11b”(TRCTRGトリガ入力許可)のとき有効です。

19.2.12 タイマRCアウトプットマスタ許可レジスタ(TRCOER)

アドレス 0132h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PTO	−	−	−	ED	EC	EB	EA
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	EA	TRCIOA出力禁止ビット(注1)	0：出力許可 1：出力禁止(TRCIOA端子はプログラマブル入出力ポート)	R/W
b1	EB	TRCIOB出力禁止ビット(注1)	0：出力許可 1：出力禁止(TRCIOB端子はプログラマブル入出力ポート)	R/W
b2	EC	TRCIOC出力禁止ビット(注1)	0：出力許可 1：出力禁止(TRCIOC端子はプログラマブル入出力ポート)	R/W
b3	ED	TRCIOD出力禁止ビット(注1)	0：出力許可 1：出力禁止(TRCIOD端子はプログラマブル入出力ポート)	R/W
b4	−	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		−
b5	−			
b6	−			
b7	PTO	パルス出力強制遮断信号入力$\overline{\text{INT0}}$有効ビット	0：パルス出力強制遮断入力無効 1：パルス出力強制遮断入力有効($\overline{\text{INT0}}$端子に“L”を入力すると、EA、EB、EC、EDビットが“1”(出力禁止)になる)	R/W

注1. 端子をインプットキャプチャ入力として使用するときは無効です。

19.2.13 タイマRCトリガ制御レジスタ(TRCADCR)

アドレス 0133h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	−	−	−	−	ADTRGDE	ADTRGCE	ADTRGBE	ADTRGAE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGAE	A/DトリガA許可ビット	0：A/Dトリガ禁止 1：TRCとTRCGRAレジスタのコンペア一致時にA/Dトリガ発生	R/W
b1	ADTRGBE	A/DトリガB許可ビット	0：A/Dトリガ禁止 1：TRCとTRCGRBレジスタのコンペア一致時にA/Dトリガ発生	R/W
b2	ADTRGCE	A/DトリガC許可ビット	0：A/Dトリガ禁止 1：TRCとTRCGRCレジスタのコンペア一致時にA/Dトリガ発生	R/W
b3	ADTRGDE	A/DトリガD許可ビット	0：A/Dトリガ禁止 1：TRCとTRCGRDレジスタのコンペア一致時にA/Dトリガ発生	R/W
b4	−	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		−
b5	−			
b6	−			
b7	−			

19.2.14 タイマRB/RC端子選択レジスタ(TRBRCSR)

アドレス 0181h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	TRCCLKSEL1	—	—	—	TRBOSEL1	TRBOSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRBOSEL0	TRBO端子選択ビット	b1 b0 0 0：P1_3に割り当てる 0 1：設定しないでください 1 0：設定しないでください 1 1：TRBO端子は使用しない	R/W
b1	TRBOSEL1			R/W
b2	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b3	—			
b4	—	予約ビット	“0”にしてください	R/W
b5	TRCCLKSEL1	TRCCLK端子選択ビット	0：TRCCLK端子は使用しない 1：P3_3に割り当てる	R/W
b6	—	予約ビット	“0”にしてください	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

TRBRCSRレジスタはタイマRB、およびタイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRB、およびタイマRCの入出力端子を使用する場合は、TRBRCSRレジスタを設定してください。

タイマRB関連レジスタを設定する前にTRBOSEL0～TRBOSEL1ビットを、タイマRC関連レジスタを設定する前にTRCCLKSEL1ビットを設定してください。また、タイマRBの動作中はTRBOSEL0～TRBOSEL1ビットを、タイマRCの動作中はTRCCLKSEL1ビットの設定値を変更しないでください。

19.2.15 タイマRC端子選択レジスタ0 (TRCPSR0)

アドレス 0182h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	TRCIOBSEL0	—	—	—	TRCIOASEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOASEL0	TRCIOA/TRCTRG端子選択ビット	0：TRCIOA/TRCTRG端子は使用しない 1：P1_1に割り当てる	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	—			
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	TRCIOBSEL0	TRCIOB端子選択ビット	0：TRCIOB端子は使用しない 1：P1_2に割り当てる	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	—			
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

TRCPSR0レジスタは、タイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRCの入出力端子を使用する場合は、TRCPSR0レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR0レジスタを設定してください。また、タイマRCの動作中はTRCPSR0レジスタの設定値を変更しないでください。

19.2.16 タイマRC端子選択レジスタ1 (TRCPSR1)

アドレス 0183h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	−	−	TRCIODSEL1	−	−	−	TRCIOCSEL1	−
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	−	予約ビット	“0”にしてください	R/W
b1	TRCIOCSEL1	TRCIOC端子選択ビット	0：TRCIOC端子は使用しない 1：P3_4に割り当てる	R/W
b2	−	予約ビット	“0”にしてください	R/W
b3	−	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		−
b4	−	予約ビット	“0”にしてください	R/W
b5	TRCIODSEL1	TRCIOD端子選択ビット	0：TRCIOD端子は使用しない 1：P3_5に割り当てる	R/W
b6	−	予約ビット	“0”にしてください	R/W
b7	−	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		−

TRCPSR1レジスタは、タイマRCの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRCの入出力端子を使用する場合は、TRCPSR1レジスタを設定してください。

タイマRCの関連レジスタを設定する前に、TRCPSR1レジスタを設定してください。また、タイマRCの動作中はTRCPSR1レジスタの設定値を変更しないでください。

19.3 複数モードに関わる共通事項

19.3.1 カウントソース

カウントソースの選択方法は、すべてのモードに共通です。
表19.5にカウントソースの選択を、図19.2にカウントソースのブロック図を示します。

表 19.5 カウントソースの選択

カウントソース	選択方法
f1、f2、f4、f8、f32	TRCCR1レジスタのTCK2～TCK0ビットでカウントソース選択
fOCO40M fOCO-F	FRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振) TRCCR1レジスタのTCK2～TCK0ビットが“110b”(fOCO40M) TRCCR1レジスタのTCK2～TCK0ビットが“111b”(fOCO-F)
TRCCLK端子に入力された外部信号	TRCCR1レジスタのTCK2～TCK0ビットが“101b”(カウントソースは外部クロックの立ち上がりエッジ) 対応する方向レジスタの方向ビットが“0”(入力モード)

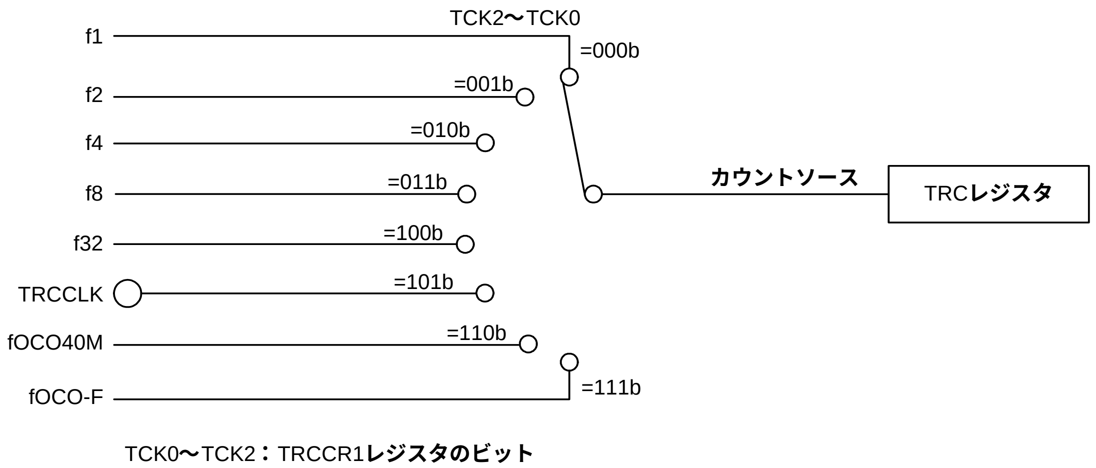


図19.2 カウントソースのブロック図

TRCCLK端子に入力する外部クロックのパルス幅は、タイマRCの動作クロック(「表19.1 タイマRCの動作クロック」参照)の3サイクル以上にしてください。

カウントソースにfOCO40MまたはfOCO-Fを選択する場合は、FRA0レジスタのFRA00ビットを“1”(高速オンチップオシレータ発振)にしてから、TRCCR1レジスタのTCK2～TCK0ビットを“110b”(fOCO40M)または“111b”(fOCO-F)にしてください。

19.3.2 バッファ動作

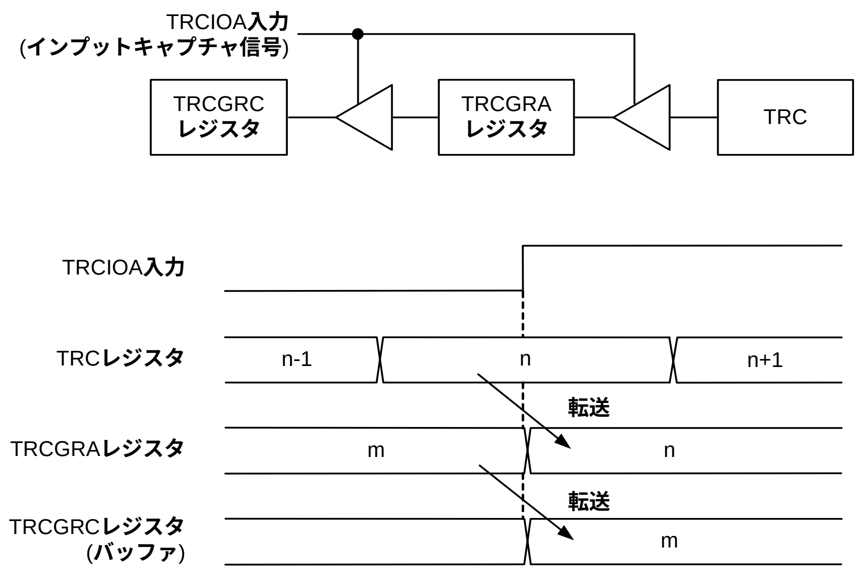
TRCMRレジスタのBFC、BFDビットで、TRCGRC、TRCGRDレジスタをTRCGRA、TRCGRBレジスタのバッファレジスタにできます。

- TRCGRAのバッファレジスタ：TRCGRCレジスタ
- TRCGRBのバッファレジスタ：TRCGRDレジスタ

バッファ動作は、モードによって違います。表19.6に各モードのバッファ動作を、図19.3にインプットキャプチャ機能のバッファ動作を、図19.4にアウトプットコンペア機能のバッファ動作を示します。

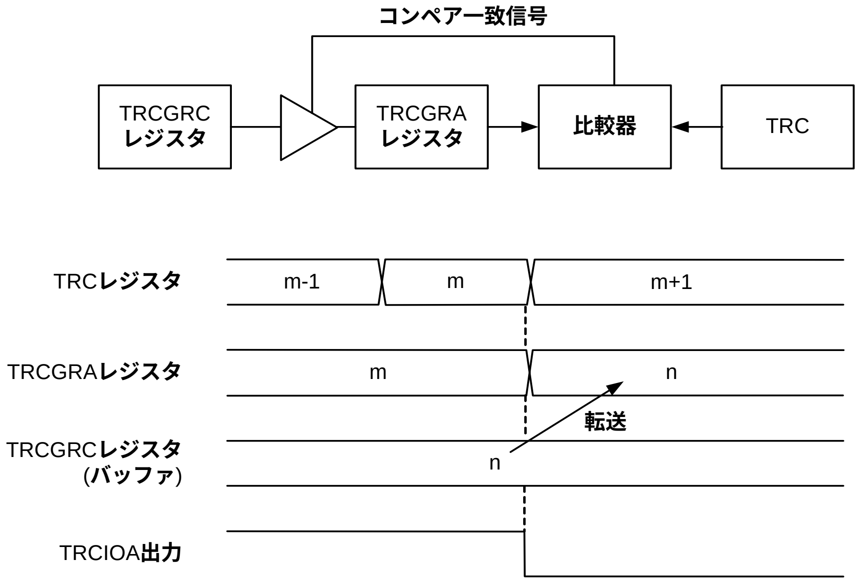
表19.6 各モードのバッファ動作

機能、モード	転送タイミング	転送するレジスタ
インプットキャプチャ機能	インプットキャプチャ信号入力	TRCGRA(TRCGRB)レジスタの内容をバッファレジスタに転送
アウトプットコンペア機能 PWMモード	TRCレジスタとTRCGRA(TRCGRB)レジスタのコンペア一致	バッファレジスタの内容をTRCGRA(TRCGRB)レジスタに転送
PWM2モード	• TRCレジスタとTRCGRAレジスタのコンペア一致 • TRCTRG端子トリガ入力	バッファレジスタ(TRCGRD)の内容をTRCGRBレジスタに転送



上図は次の条件の場合です。
• TRCMRレジスタのBFCビットが“1”(TRCGRCレジスタはTRCGRAレジスタのバッファレジスタ)
• TRCIOR0レジスタのIOA2～IOA0ビット“100b”(立ち上がりエッジでインプットキャプチャ)

図19.3 インプットキャプチャ機能のバッファ動作



上図は次の場合です。
・TRCMRレジスタのBFCビットが“1”(TRCGRCレジスタはTRCGRAレジスタのバッファレジスタ)
・TRCIOR0レジスタのIOA2～IOA0ビット“001b”(コンペアー致で“L”出力)

図19.4　　アウトプットコンペア機能のバッファ動作

タイマモードでは次のようにしてください。
• TRCGRCレジスタをTRCGRAレジスタのバッファレジスタに使用する場合
TRCIOR1レジスタのIOC2ビットは、TRCIOR0レジスタのIOA2ビットと同じ設定にしてください。
• TRCGRDレジスタをTRCGRBレジスタのバッファレジスタに使用する場合
TRCIOR1レジスタのIOD2ビットは、TRCIOR0レジスタのIOB2ビットと同じ設定にしてください。

アウトプットコンペア機能、PWMモード、PWM2モードで、TRCGRC、TRCGRDレジスタをバッファレジスタに使用している場合も、TRCレジスタとのコンペア一致でTRCSRレジスタのIMFC、IMFDビットが“1”になります。

インプットキャプチャ機能でTRCGRC、TRCGRDレジスタをバッファレジスタに使用している場合も、TRCIOC、TRCIOD端子の入力エッジでTRCSRレジスタのIMFC、IMFDビットが“1”になります。

19.3.3　デジタルフィルタ

TRCTRG入力またはTRCIOj(j＝A、B、C、Dのいずれか)入力をサンプリングし、3回一致したらレベルが確定したとみなします。デジタルフィルタ機能、サンプリングクロックはTRCDFレジスタで選択してください。

図19.5にデジタルフィルタのブロック図を示します。

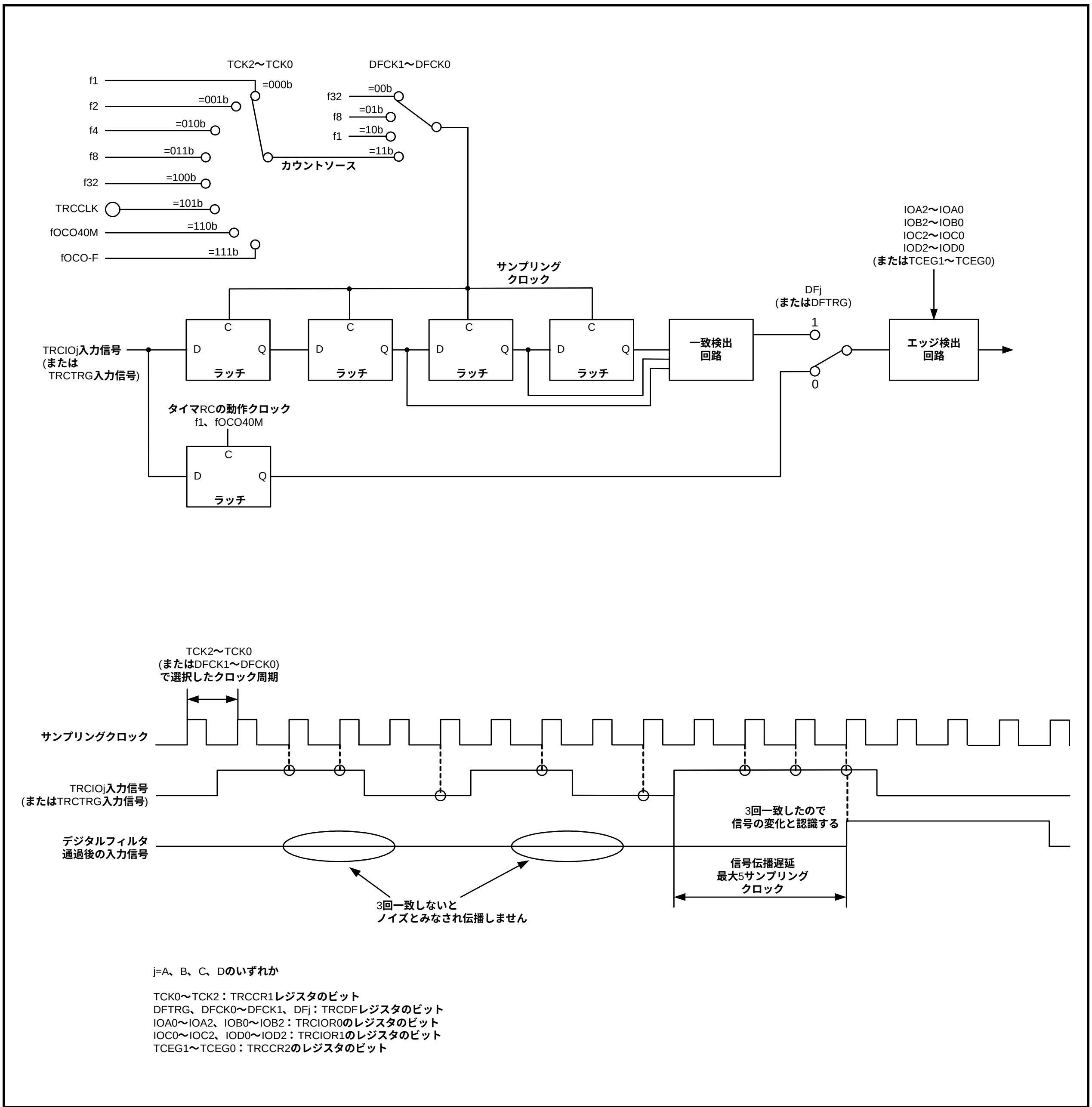


図19.5　デジタルフィルタのブロック図

19.3.4 パルス出力強制遮断

タイマモードのアウトプットコンペア機能、PWMモード、PWM2モードのとき、$\overline{\text{INT0}}$端子の入力によってTRCIOj(j＝A、B、C、Dのいずれか)出力端子を強制的にプログラマブル入出力ポートにし、パルス出力を遮断できます。

これらの機能/モードで出力に使用する端子は、TRCOERレジスタのEjビットを“0”(タイマRC出力許可)にすると、タイマRCの出力端子として機能します。TRCOERレジスタのPTOビットが“1”(パルス出力強制遮断信号入力$\overline{\text{INT0}}$有効)のとき、$\overline{\text{INT0}}$端子に“L”を入力すると、TRCOERレジスタのEA、EB、EC、EDビットがすべて“1”(タイマRC出力禁止、TRCIOj出力端子はプログラマブル入出力ポート)になります。$\overline{\text{INT0}}$端子に“L”を入力してから、タイマRCの動作クロック(「表19.1 タイマRCの動作クロック」参照)の1～2サイクル後にTRCIOj出力端子がプログラマブル入出力ポートになります。

この機能を使用する場合は、次の設定をしてください。

- パルス出力を強制遮断したときの端子の状態(ハイインピーダンス(入力)、“L”出力、または“H”出力)を設定(「7. I/Oポート」参照)。
- INTENレジスタのINT0ENビットを“1”($\overline{\text{INT0}}$入力許可)、INT0PLビットを“0”(片エッジ)、INT0ICレジスタのPOLビットを“0”(立ち下がりエッジを選択)にする。
- PD4レジスタのPD4_5ビットを“0”(入力モード)にする。
- $\overline{\text{INT0}}$のデジタルフィルタをINTFレジスタのINT0F1～INT0F0ビットで選択する。
- TRCOERレジスタのPTOビットを“1”(パルス出力強制遮断信号入力$\overline{\text{INT0}}$有効)にする。

なお、INT0ICレジスタのPOLビットとINTENレジスタのINT0PLビットの選択と、$\overline{\text{INT0}}$端子入力の変更に従って、INT0ICレジスタのIRビットが“1”(割り込み要求あり)になります(「11.8 割り込み使用上の注意」参照)。

割り込みの詳細は「11. 割り込み」を参照してください。

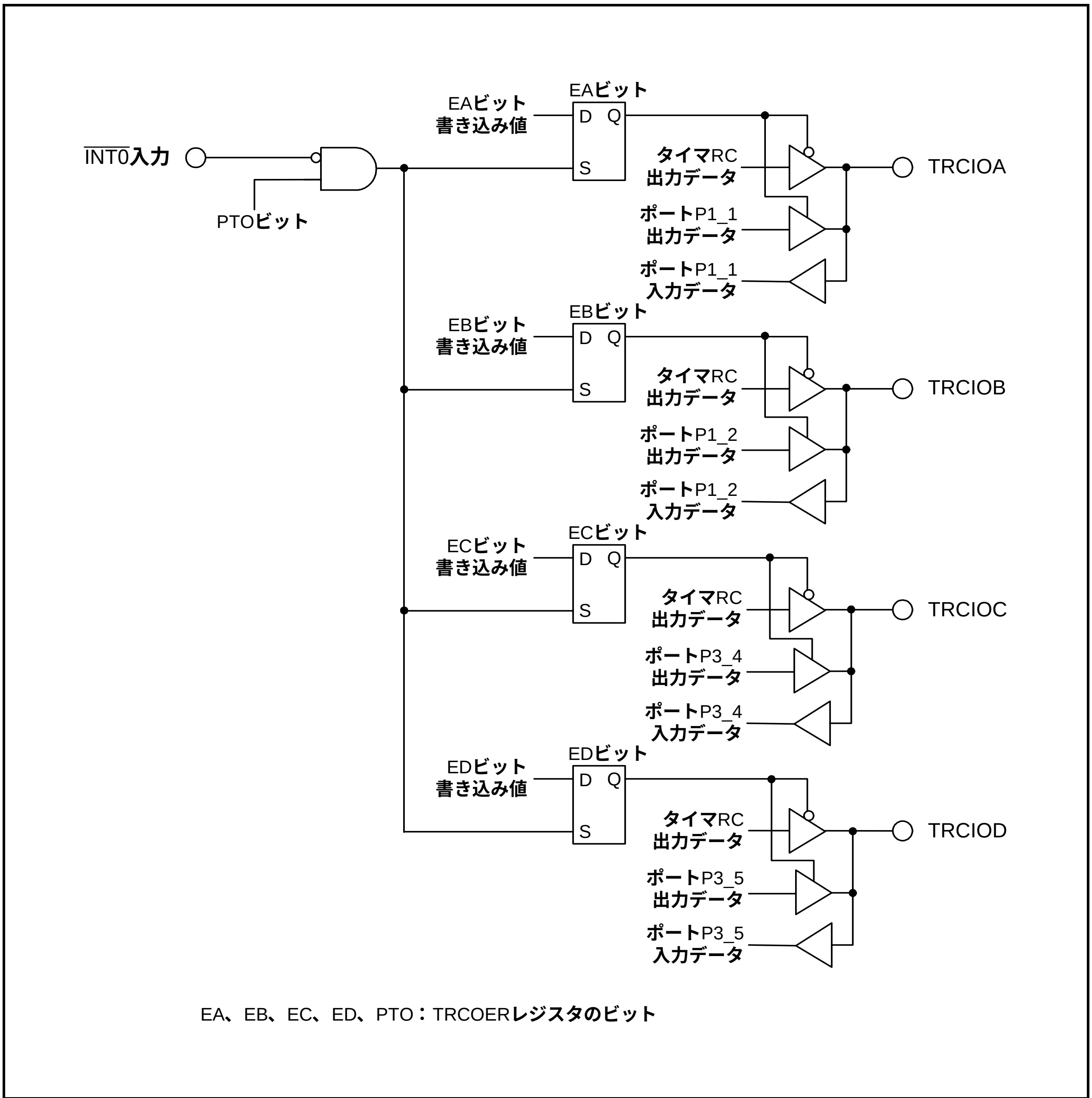


図19.6　パルス出力強制遮断

19.4 タイマモード(インプットキャプチャ機能)

外部信号の幅や周期を測定する機能です。TRCIOj(j＝A、B、C、Dのいずれか)端子の外部信号をトリガにしてTRCレジスタ(カウンタ)の内容をTRCGRjレジスタに転送します(インプットキャプチャ)。端子1本ごとにインプットキャプチャ機能にするか、他のモード、機能にするかを選択できます。

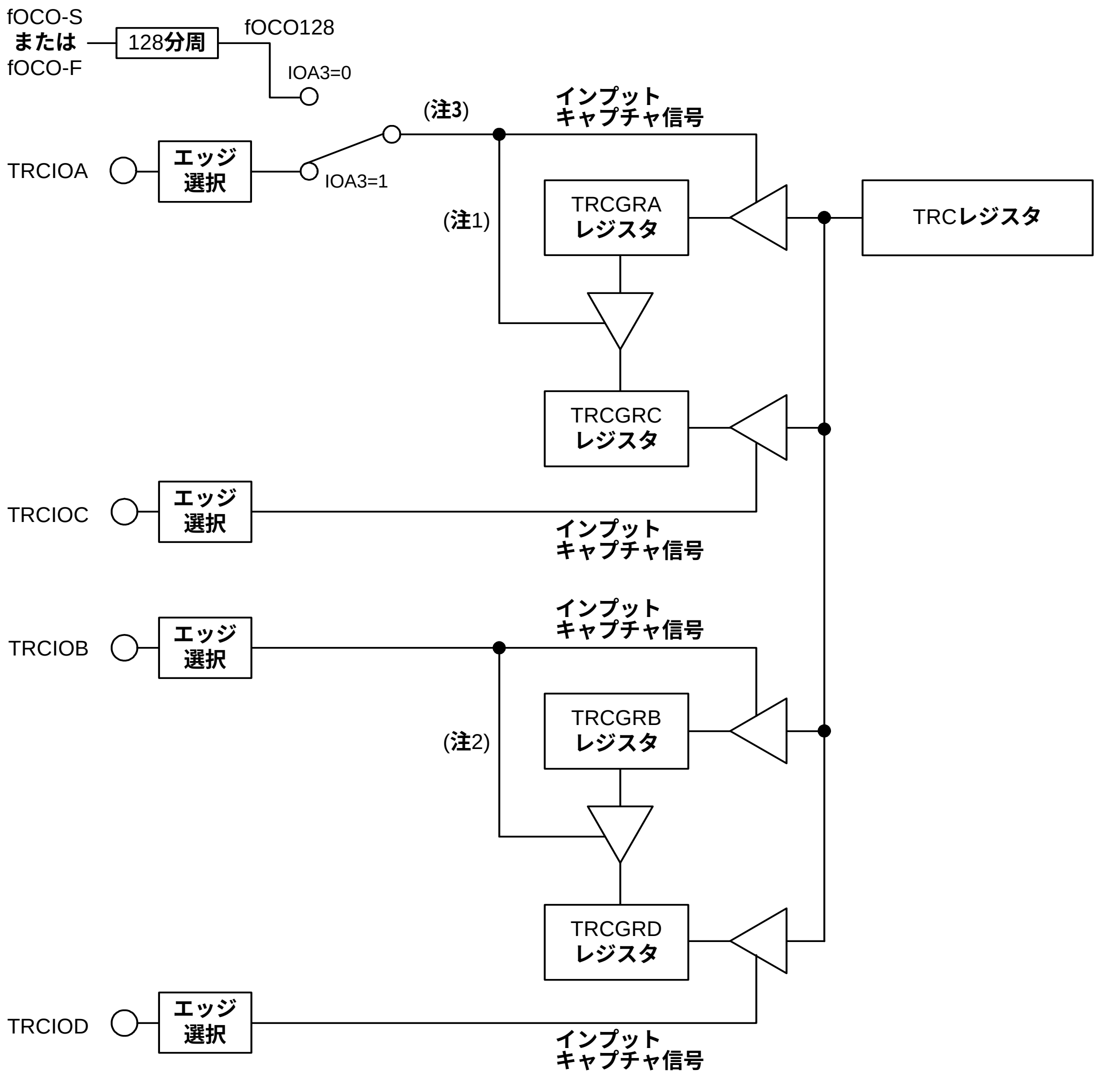
なお、TRCGRAレジスタはfOCO128をインプットキャプチャのトリガ入力として選択できます。

表19.7にインプットキャプチャ機能の仕様を、図19.7にインプットキャプチャ機能のブロック図を、表19.8にインプットキャプチャ機能時のTRCGRjレジスタの機能を、図19.8にインプットキャプチャ機能の動作例を示します。

表19.7　インプットキャプチャ機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	アップカウント
カウント周期	• TRCCR1レジスタのCCLRビットが“0”(フリーランニング動作)の場合 1/fk × 65536　fk：カウントソースの周波数 • TRCCR1レジスタのCCLRビットが“1”(TRCGRAのインプットキャプチャでTRCレジスタを“0000h”にする)の場合 1/fk × (n+1) n：TRCGRAレジスタ設定値
カウント開始条件	TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み TRCレジスタは停止前の値を保持
割り込み要求発生タイミング	• インプットキャプチャ(TRCIOj入力の有効エッジ、またはfOCO128信号のエッジ) • TRCレジスタオーバフロー
TRCIOA、TRCIOB、TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート、またはインプットキャプチャ入力(1端子ごとに選択)
$\overline{\text{INT0}}$端子機能	プログラマブル入出力ポート、または$\overline{\text{INT0}}$割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める
選択機能	• インプットキャプチャ入力端子選択 TRCIOA、TRCIOB、TRCIOC、TRCIOD端子のいずれか1本または複数本 • インプットキャプチャ入力の有効エッジ選択 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方 • バッファ動作(「19.3.2　バッファ動作」参照) • デジタルフィルタ(「19.3.3　デジタルフィルタ」参照) • TRCレジスタを“0000h”にするタイミング オーバフローまたはインプットキャプチャ • インプットキャプチャトリガ選択 TRCGRAレジスタのインプットキャプチャトリガ入力にfOCO128を選択できる

j＝A、B、C、Dのいずれか



IOA3：TRCIOR0レジスタのビット

注1．TRCMRレジスタのBFCビットが“1”(TRCGRCレジスタはTRCGRAレジスタのバッファレジスタ)のときです。
注2．TRCMRレジスタのBFDビットが“1”(TRCGRDレジスタはTRCGRBレジスタのバッファレジスタ)のときです。
注3．TRCGRAレジスタのトリガ入力は、TRCIOA端子入力またはfOCO128信号が選択できます。

図19.7　　インプットキャプチャ機能のブロック図

19.4.1 タイマRC I/O制御レジスタ0(TRCIOR0)[タイマモード(インプットキャプチャ機能)時]

アドレス 0124h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRCGRA制御ビット	b1 b0 0 0：立ち上がりエッジでTRCGRAへインプットキャプチャ 0 1：立ち下がりエッジでTRCGRAへインプットキャプチャ 1 0：両エッジでTRCGRAへインプットキャプチャ 1 1：設定しないでください	R/W
b1	IOA1			R/W
b2	IOA2	TRCGRAモード選択ビット(注1)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b3	IOA3	TRCGRAインプットキャプチャ入力切替ビット(注3)	0：fOCO128信号 1：TRCIOA端子入力	R/W
b4	IOB0	TRCGRB制御ビット	b5 b4 0 0：立ち上がりエッジでTRCGRBへインプットキャプチャ 0 1：立ち下がりエッジでTRCGRBへインプットキャプチャ 1 0：両エッジでTRCGRBへインプットキャプチャ 1 1：設定しないでください	R/W
b5	IOB1			R/W
b6	IOB2	TRCGRBモード選択ビット(注2)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。

注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

注3. IOA2ビットが“1”(インプットキャプチャ機能)のとき有効です。

19.4.2 タイマRC I/O制御レジスタ1(TRCIOR1)[タイマモード(インプットキャプチャ機能)時]

アドレス 0125h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRCGRC制御ビット	b1 b0 0 0：立ち上がりエッジでTRCGRCへインプットキャプチャ 0 1：立ち下がりエッジでTRCGRCへインプットキャプチャ 1 0：両エッジでTRCGRCへインプットキャプチャ 1 1：設定しないでください	R/W
b1	IOC1			R/W
b2	IOC2	TRCGRCモード選択ビット(注1)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b3	IOC3	TRCGRCレジスタ機能選択ビット	“1”にしてください	R/W
b4	IOD0	TRCGRD制御ビット	b5 b4 0 0：立ち上がりエッジでTRCGRDへインプットキャプチャ 0 1：立ち下がりエッジでTRCGRDへインプットキャプチャ 1 0：両エッジでTRCGRDへインプットキャプチャ 1 1：設定しないでください	R/W
b5	IOD1			R/W
b6	IOD2	TRCGRDモード選択ビット(注2)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b7	IOD3	TRCGRDレジスタ機能選択ビット	“1”にしてください	R/W

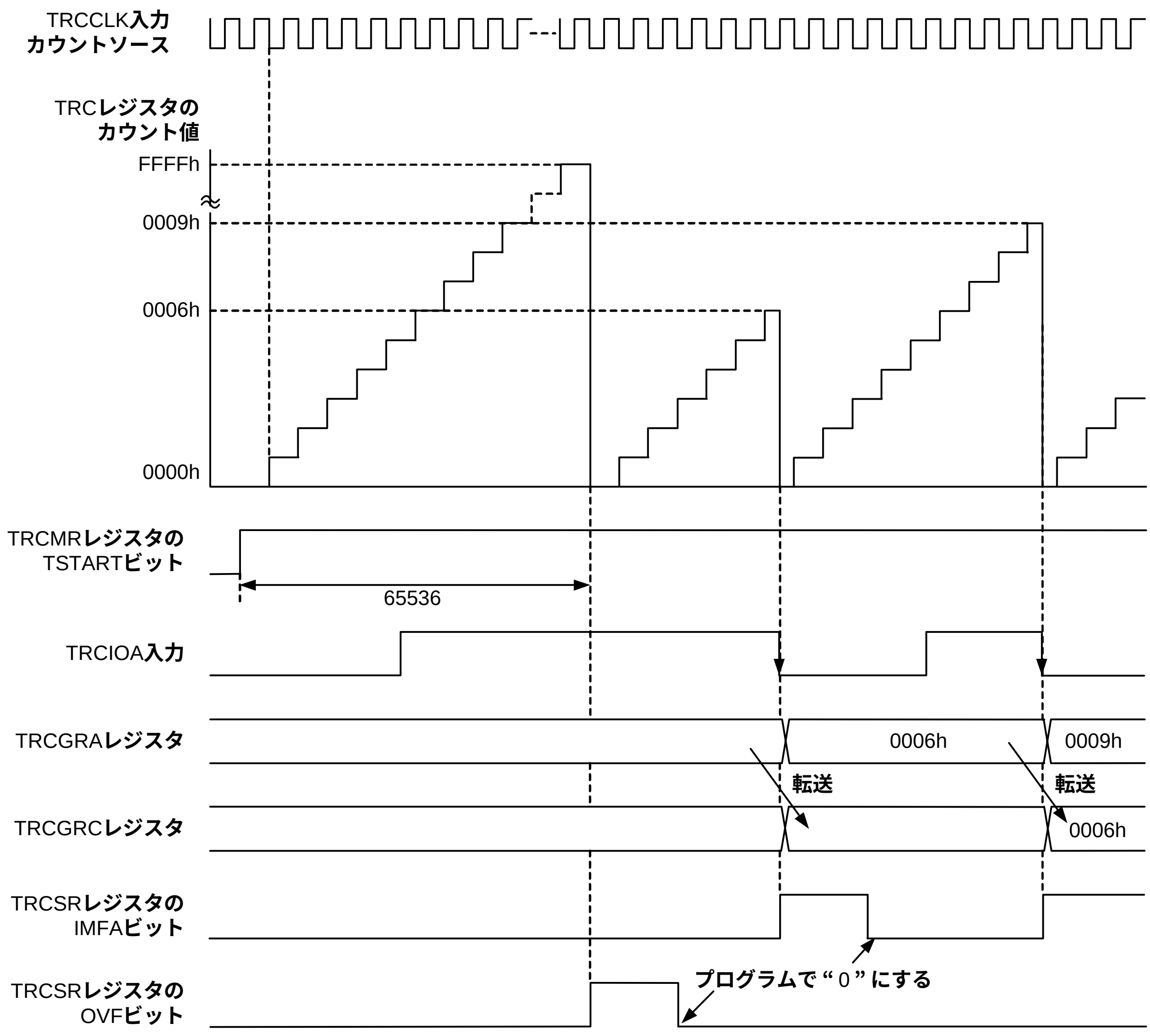
注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。
注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

表19.8　インプットキャプチャ機能時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	インプットキャプチャ入力端子
TRCGRA	−	ジェネラルレジスタ。インプットキャプチャ時のTRCレジスタの値が読めます。	TRCIOA
TRCGRB			TRCIOB
TRCGRC	BFC=0	ジェネラルレジスタ。インプットキャプチャ時のTRCレジスタの値が読めます。	TRCIOC
TRCGRD	BFD=0		TRCIOD
TRCGRC	BFC=1	バッファレジスタ。ジェネラルレジスタからの転送値を保持します(「19.3.2 バッファ動作」参照)。	TRCIOA
TRCGRD	BFD=1		TRCIOB

j＝A、B、C、Dのいずれか
BFC、BFD：TRCMRレジスタのビット

19.4.3 動作例



上図は次の条件の場合です。
・TRCCR1レジスタのCCLRビットが“1”(インプットキャプチャでTRCカウンタをクリア)
・TRCCR1レジスタのTCK2～TCK0ビットが“101b”(カウントソースはTRCCLK入力)
・TRCIORAレジスタのIOA2～IOA0ビットが“101b”(TRCIOA入力の立ち下がりエッジでインプットキャプチャ)
・TRCMRレジスタのBFCビットが“1”(TRCGRCレジスタはTRCGRAレジスタのバッファレジスタ)

図19.8 インプットキャプチャ機能の動作例

19.5　タイマモード(アウトプットコンペア機能)

TRCレジスタ(カウンタ)の内容と、TRCGRj(j＝A、B、C、Dのいずれか)レジスタの内容の一致(コンペア一致)を検出するモードです。一致したときTRCIOj端子から任意のレベルを出力します。端子1本ごとにアウトプットコンペア機能にするか、他のモード、機能にするかを選択できます。

表19.9にアウトプットコンペア機能の仕様を、図19.9にアウトプットコンペア機能のブロック図を、表19.10にアウトプットコンペア機能時のTRCGRjレジスタの機能を、図19.10にアウトプットコンペア機能の動作例を示します。

表19.9　アウトプットコンペア機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	アップカウント
カウント周期	• TRCCR1レジスタのCCLRビットが“0”(フリーランニング動作)の場合 1/fk × 65536　fk：カウントソースの周波数 • TRCCR1レジスタのCCLRビットが“1”(TRCGRAのコンペア一致でTRCレジスタを“0000h”にする)の場合 1/fk × (n+1) n：TRCGRAレジスタ設定値
波形出力タイミング	コンペア一致
カウント開始条件	TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	• TRCCR2レジスタのCSELビットが“0”(TRCGRAレジスタとのコンペア一致後もカウント継続)の場合 TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み アウトプットコンペア出力端子はカウント停止前の出力レベルを保持、TRCレジスタは停止前の値を保持 • TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペア一致でカウント停止)の場合 TRCGRAレジスタとのコンペア一致でカウント停止、アウトプットコンペア出力端子はコンペア一致による出力変化後のレベルを保持
割り込み要求発生タイミング	• コンペア一致(TRCレジスタとTRCGRjレジスタの内容が一致) • TRCレジスタオーバフロー
TRCIOA、TRCIOB、TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート、またはアウトプットコンペア出力(1端子ごとに選択)
$\overline{\mathrm{INT0}}$端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、または$\overline{\mathrm{INT0}}$割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める
選択機能	• アウトプットコンペア出力端子選択 TRCIOA、TRCIOB、TRCIOC、TRCIOD端子のいずれか1本または複数本 • コンペア一致時の出力レベル選択 “L”出力、“H”出力、またはトグル出力 • 初期出力レベル選択 カウント開始からコンペア一致までの期間のレベルを設定 • TRCレジスタを“0000h”にするタイミング オーバフロー、またはTRCGRAレジスタのコンペア一致 • バッファ動作(「19.3.2　バッファ動作」参照) • パルス出力強制遮断信号入力(「19.3.4　パルス出力強制遮断」参照) • タイマRCは出力しないことで内部タイマとして使用できる • TRCGRC、TRCGRDの出力端子変更 TRCGRCをTRCIOA端子の、TRCGRDをTRCIOB端子の出力制御に使用できる • A/Dトリガ発生

j＝A、B、C、Dのいずれか

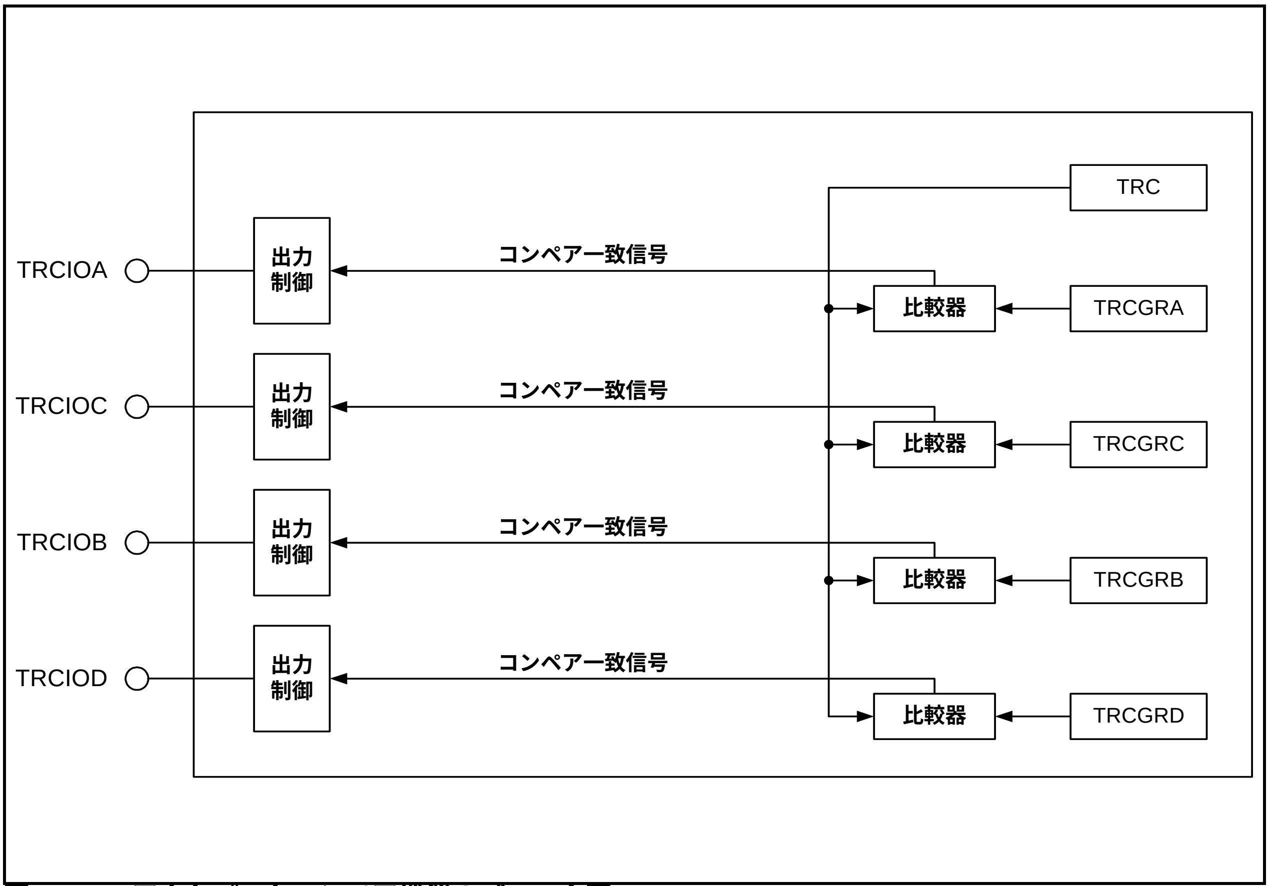


図19.9 アウトプットコンペア機能のブロック図

19.5.1 タイマRC制御レジスタ1(TRCCR1)[タイマモード(アウトプットコンペア機能)時]

アドレス 0121h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1、2)	0：初期出力“L” 1：初期出力“H”	R/W
b1	TOB	TRCIOB出力レベル選択ビット(注1、2)		R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1、2)		R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1、2)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0：f1 0 0 1：f2 0 1 0：f4 0 1 1：f8 1 0 0：f32 1 0 1：TRCCLK入力の立ち上がりエッジ 1 1 0：fOCO40M 1 1 1：fOCO-F(注3)	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	CCLR	TRCカウンタクリア選択ビット	0：クリア禁止(フリーランニング動作) 1：TRCGRAのコンペア一致でクリア	R/W

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。
注2. 端子の機能が波形出力の場合(「7.5　ポートの設定」参照)、TRCCR1レジスタを設定したとき、初期出力レベルが出力されます。
注3. fOCO-Fを選択するときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

表 19.10 アウトプットコンペア機能時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	アウトプットコンペア出力端子
TRCGRA	−	ジェネラルレジスタ。コンペア値を書いてください。	TRCIOA
TRCGRB			TRCIOB
TRCGRC	BFC=0	ジェネラルレジスタ。コンペア値を書いてください。	TRCIOC
TRCGRD	BFD=0		TRCIOD
TRCGRC	BFC=1	バッファレジスタ。次回のコンペア値を書いてください。(「19.3.2　バッファ動作」参照)	TRCIOA
TRCGRD	BFD=1		TRCIOB

j＝A、B、C、Dのいずれか
BFC、BFD：TRCMRレジスタのビット

19.5.2 タイマRC I/O制御レジスタ0(TRCIOR0)[タイマモード(アウトプットコンペア機能)時]

アドレス 0124h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0 b1	IOA0 IOA1	TRCGRA制御ビット	b1 b0 0 0：コンペア一致による端子出力禁止 (TRCIOA端子はプログラマブル入出力ポート) 0 1：TRCGRAのコンペア一致で“L”出力 1 0：TRCGRAのコンペア一致で“H”出力 1 1：TRCGRAのコンペア一致でトグル出力	R/W R/W
b2	IOA2	TRCGRAモード選択ビット(注1)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b3	IOA3	TRCGRAインプットキャプチャ入力切替ビット	“1”にしてください	R/W
b4 b5	IOB0 IOB1	TRCGRB制御ビット	b5 b4 0 0：コンペア一致による端子出力禁止 (TRCIOB端子はプログラマブル入出力ポート) 0 1：TRCGRBのコンペア一致で“L”出力 1 0：TRCGRBのコンペア一致で“H”出力 1 1：TRCGRBのコンペア一致でトグル出力	R/W R/W
b6	IOB2	TRCGRBモード選択ビット(注2)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。
注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

19.5.3 タイマRC I/O制御レジスタ1(TRCIOR1)[タイマモード(アウトプットコンペア機能)時]

アドレス 0125h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRCGRC制御ビット	b1 b0 0 0：コンペア一致による端子出力禁止 0 1：TRCGRCのコンペア一致で“L”出力 1 0：TRCGRCのコンペア一致で“H”出力 1 1：TRCGRCのコンペア一致でトグル出力	R/W
b1	IOC1			R/W
b2	IOC2	TRCGRCモード選択ビット(注1)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b3	IOC3	TRCGRCレジスタ機能選択ビット	0：TRCIOA出力レジスタ 1：ジェネラルレジスタまたはバッファレジスタ	R/W
b4	IOD0	TRCGRD制御ビット	b5 b4 0 0：コンペア一致による端子出力禁止 0 1：TRCGRDのコンペア一致で“L”出力 1 0：TRCGRDのコンペア一致で“H”出力 1 1：TRCGRDのコンペア一致でトグル出力	R/W
b5	IOD1			R/W
b6	IOD2	TRCGRDモード選択ビット(注2)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b7	IOD3	TRCGRDレジスタ機能選択ビット	0：TRCIOB出力レジスタ 1：ジェネラルレジスタまたはバッファレジスタ	R/W

注1. TRCMRレジスタのBFCビットを“1”(TRCGRAレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOA2ビットとTRCIOR1レジスタのIOC2ビットの設定を同じにしてください。
注2. TRCMRレジスタのBFDビットを“1”(TRCGRBレジスタのバッファレジスタ)にした場合、TRCIOR0レジスタのIOB2ビットとTRCIOR1レジスタのIOD2ビットの設定を同じにしてください。

19.5.4 タイマRC制御レジスタ2(TRCCR2)[タイマモード(アウトプットコンペア機能)時]

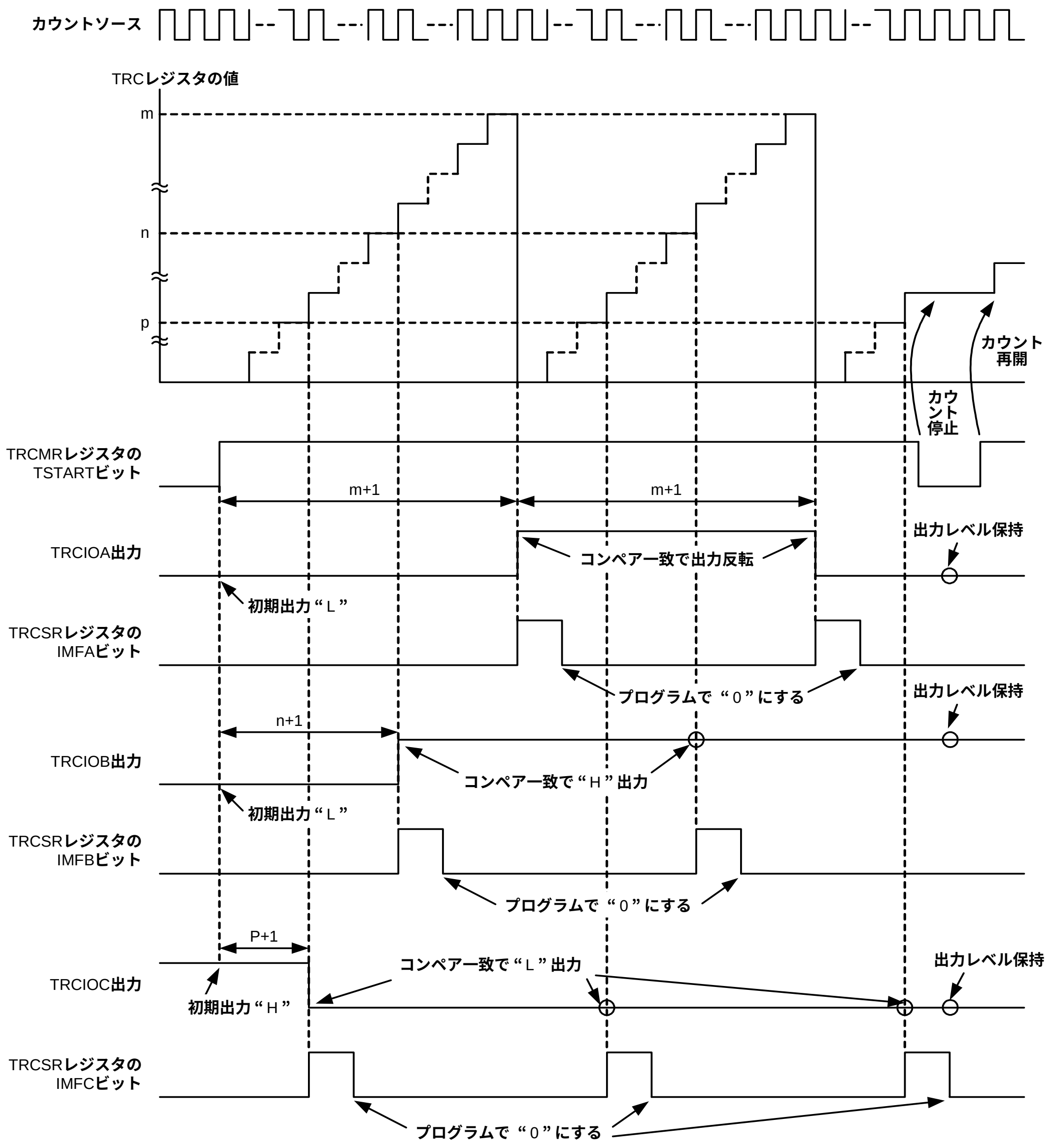
アドレス 0130h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	—	—	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB (注1)	0：TRCIOBの出力レベルは“L”アクティブ 1：TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC (注1)	0：TRCIOCの出力レベルは“L”アクティブ 1：TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD (注1)	0：TRCIODの出力レベルは“L”アクティブ 1：TRCIODの出力レベルは“H”アクティブ	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b4	—			
b5	CSEL	TRCカウント動作選択ビット (注2)	0：TRCGRAレジスタとのコンペアー致後もカウント継続 1：TRCGRAレジスタとのコンペア一致でカウント停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット (注3)	b7 b6 0 0：TRCTRGからのトリガ入力を禁止 0 1：立ち上がりエッジを選択 1 0：立ち下がりエッジを選択 1 1：立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。
注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「19.9.6　PWM2モード時のTRCMRレジスタ」を参照してください。
注3. PWM2モードのとき有効です。

19.5.5 動作例



m：TRCGRAレジスタ設定値
n：TRCGRBレジスタ設定値
p：TRCGRCレジスタ設定値

上図は次の条件の場合です。

- TRCMRレジスタのBFC、BFDビットが“0”(TRCGRC、TRCGRDバッファ動作しない)
- TRCOERレジスタのEA、EB、ECビットが“0”(TRCIOA、TRCIOB、TRCIOC出力許可)
- TRCCR1レジスタのCCLRビットが“1”(TRCGRAのコンペアー致でTRCレジスタを“0000h”にする)
- TRCCR1レジスタのTOA、TOBビットが“0”(コンペアー致までの初期出力“L”)、TOCビットが“1”(コンペアー致までの初期出力“H”)
- TRCIOR0レジスタのIOA2~IOA0ビットが“011b”(TRCGRAコンペアー致時、TRCIOA出力反転)
- TRCIOR0レジスタのIOB2~IOB0ビットが“010b”(TRCGRBコンペアー致時、TRCIOB“H”出力)
- TRCIOR1レジスタのIOC2~IOC0ビットが“001b”(TRCGRCコンペアー致時、TRCIOC“L”出力)
- TRCCR2レジスタのCSELビットが“0”(TRCGRAコンペアー致後もTRCカウント継続)

図19.10 アウトプットコンペア機能の動作例

19.5.6 TRCGRC、TRCGRDレジスタの出力端子変更

TRCGRCレジスタをTRCIOA端子の、TRCGRDレジスタをTRCIOB端子の出力制御に使用できます。したがって、各端子の出力は次のように制御できます。

- TRCIOA出力は、TRCGRAレジスタの値とTRCGRCレジスタの値の2点で制御
- TRCIOB出力は、TRCGRBレジスタの値とTRCGRDレジスタの値の2点で制御

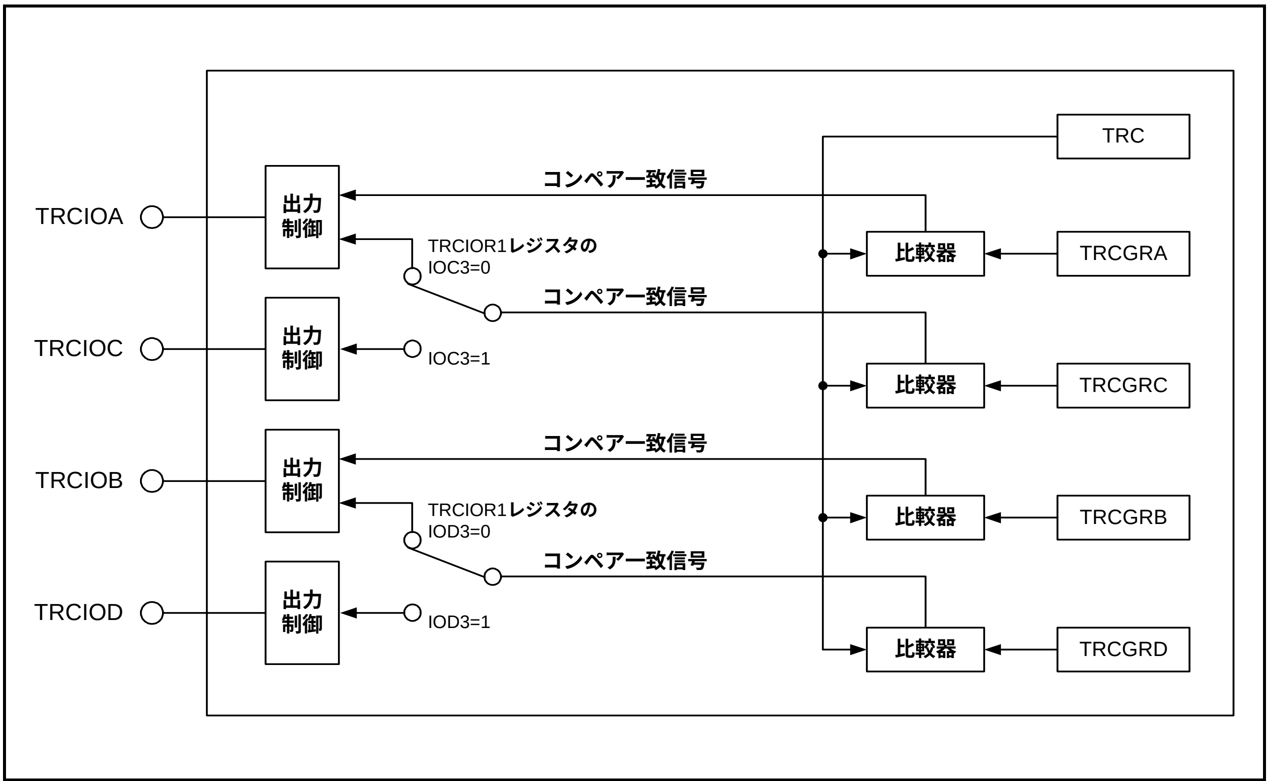
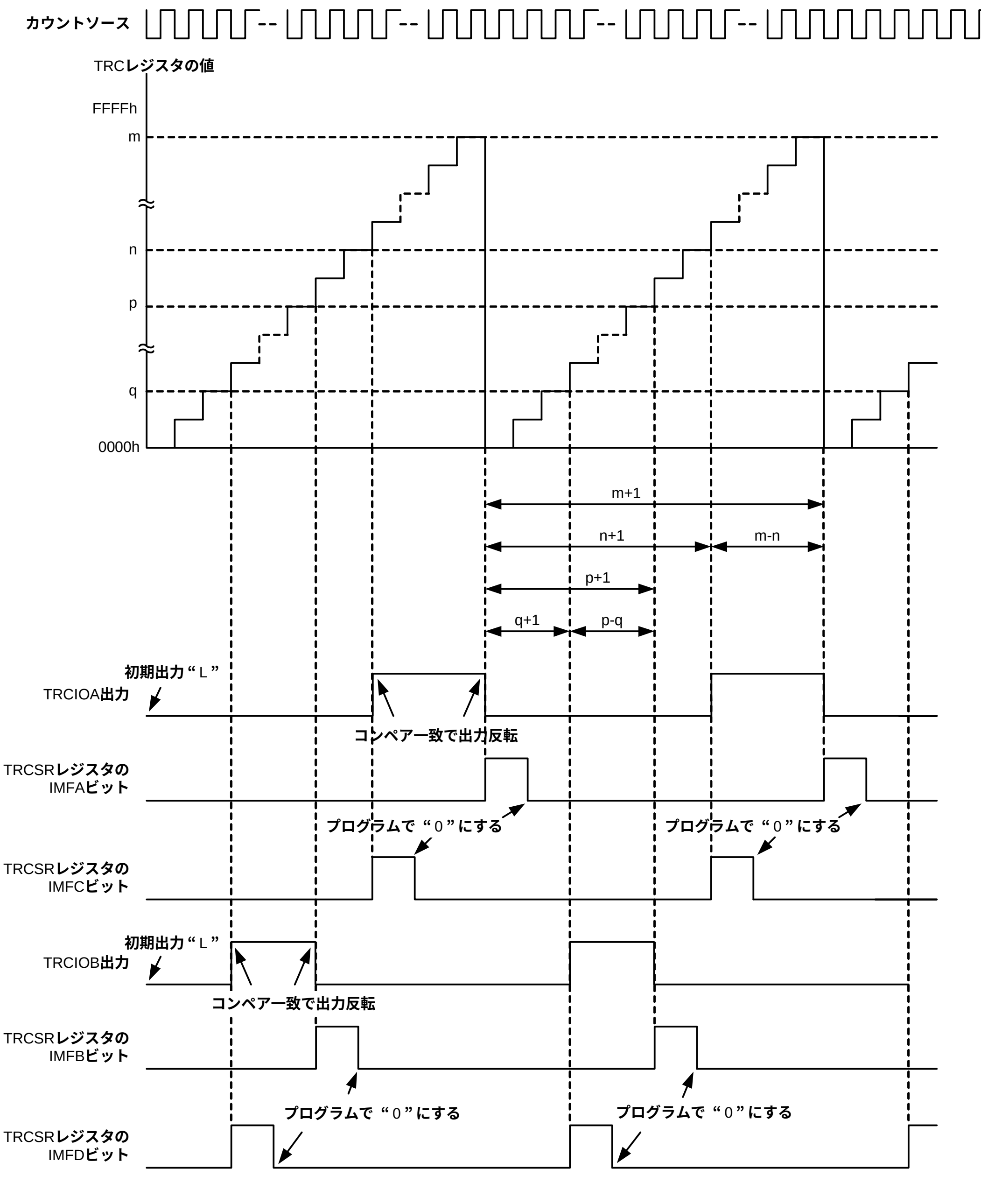


図19.11 TRCGRC、TRCGRDの出力端子変更

TRCGRC、TRCGRDレジスタの出力端子を変更する場合は、次のようにしてください。

- TRCIOR1レジスタのIOC3ビットを“0”(TRCIOA出力レジスタ)、IOD3ビットを“0”(TRCIOB出力レジスタ)にする。
- TRCMRレジスタのBFC、BFDビットを“0”(ジェネラルレジスタ)にする。
- TRCGRAレジスタとTRCGRCレジスタは違う値を設定。また、TRCGRBレジスタとTRCGRDレジスタは違う値を設定。

図19.12にTRCGRCをTRCIOA端子の、TRCGRDをTRCIOB端子の出力制御に使用した場合の動作例を示します。



m：TRCGRAレジスタの設定値
n：TRCGRCレジスタの設定値
p：TRCGRBレジスタの設定値
q：TRCGRDレジスタの設定値

上図は次の条件の場合です。
- TRCMRレジスタのBFC、BFDビットが“0”(TRCGRC、TRCGRDバッファ動作しない)
- TRCOERレジスタのEA、EBビットが“0”(TRCIOA、TRCIOB出力許可)
- TRCCR1レジスタのCCLRビットが“1”(TRCGRAのコンペア一致でTRCレジスタを“0000h”にする)
- TRCCR1レジスタのTOA、TOBビットが“0”(コンペア一致までの初期出力“L”)
- TRCIOR0レジスタのIOA2~IOA0ビットが“011b”(TRCGRAコンペア一致時、TRCIOA出力反転)
- TRCIOR0レジスタのIOB2~IOB0ビットが“011b”(TRCGRBコンペア一致時、TRCIOB出力反転)
- TRCIOR1レジスタのIOC2~IOC0ビットが“011b”(TRCGRCコンペア一致時、TRCIOA出力反転)
- TRCIOR1レジスタのIOC3ビットが“0”(TRCIOA出力レジスタ)
- TRCIOR1レジスタのIOD2~IOD0ビットが“011b”(TRCGRDコンペア一致時、TRCIOB出力反転)
- TRCIOR1レジスタのIOD3ビットが“0”(TRCIOB出力レジスタ)
- TRCCR2レジスタのCSELビットが“0”(TRCはコンペア一致後もカウント継続)

図19.12　TRCGRCをTRCIOA端子の、TRCGRDをTRCIOB端子の出力制御に使用した場合の動作例

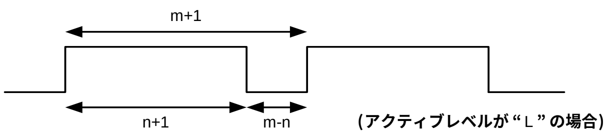
19.6　PWMモード

PWM波形を出力するモードです。同周期のPWM波形を最大3本出力できます。

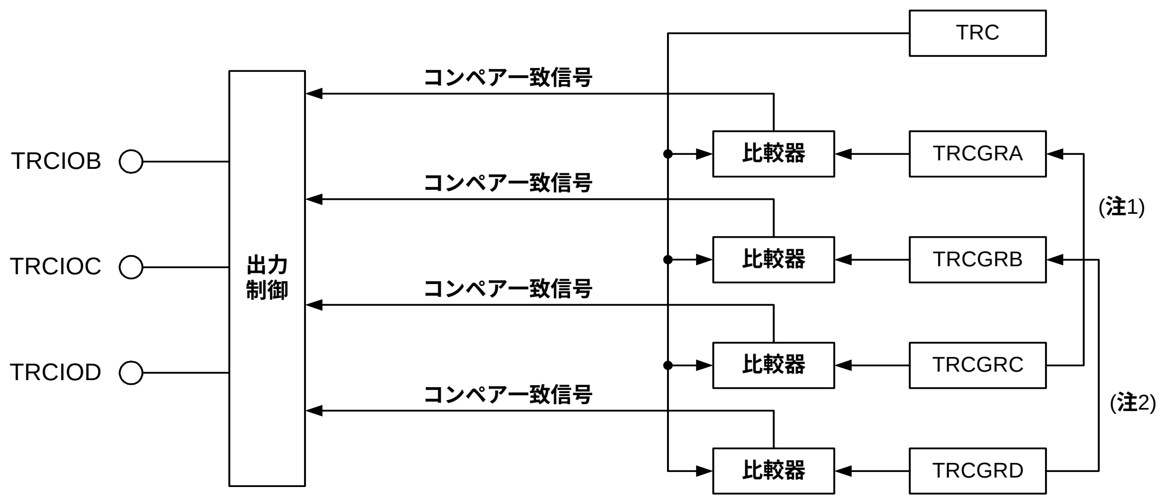
端子1本ごとにPWMモードにするか、タイマモードにするかを選択できます。(ただし、いずれの端子をPWMモードに使用する場合もTRCGRAレジスタを使用しますので、TRCGRAレジスタはタイマモードに使用できません。)

表19.11にPWMモードの仕様を、図19.13にPWMモードのブロック図を、表19.12にPWMモード時のTRCGRhレジスタの機能を、図19.14～図19.15にPWMモードの動作例を示します。

表19.11　PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	アップカウント
PWM波形	PWM周期：1/fk×(m+1) アクティブレベル幅：1/fk×(m -n) アクティブでないレベルの幅：1/fk×(n+1) fk：カウントソースの周波数 m：TRCGRAレジスタ設定値 n：TRCGRjレジスタ設定値 
カウント開始条件	TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	• TRCCR2レジスタのCSELビットが“0”(TRCGRAレジスタとのコンペア一致後もカウント継続)の場合 TRCMRレジスタのTSTARTビットへの“0”(カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持、TRCレジスタは停止前の値を保持 • TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペア一致でカウント停止)の場合 TRCGRAレジスタとのコンペア一致でカウント停止、PWM出力端子はコンペア一致による出力変化後のレベルを保持
割り込み要求発生タイミング	• コンペア一致(TRCレジスタとTRCGRhレジスタの内容が一致) • TRCレジスタオーバフロー
TRCIOA端子機能	プログラマブル入出力ポート
TRCIOB、TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート、またはPWM出力(1端子ごとに選択)
$\overline{\text{INT0}}$端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、または$\overline{\text{INT0}}$割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める
選択機能	• PWM出力端子を1~3本選択 TRCIOB、TRCIOC、TRCIOD端子のいずれか1本または複数本。 • アクティブレベルを1端子ごとに選択 • 初期出力レベルを1端子ごとに選択 • バッファ動作(「19.3.2　バッファ動作」参照) • パルス出力強制遮断信号入力(「19.3.4　パルス出力強制遮断」参照) • A/Dトリガ発生

j＝B、C、Dのいずれか
h＝A、B、C、Dのいずれか



注1．TRCMRレジスタのBFCビットが“1”(TRCGRCレジスタはTRCGRAレジスタのバッファレジスタ)のときです。
注2．TRCMRレジスタのBFDビットが“1”(TRCGRDレジスタはTRCGRBレジスタのバッファレジスタ)のときです。

図19.13　PWMモードのブロック図

19.6.1 タイマRC制御レジスタ1(TRCCR1)[PWMモード時]

アドレス 0121h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1)	PWMモードでは無効	R/W
b1	TOB	TRCIOB出力レベル選択ビット(注1、2)	0：初期出力はアクティブでないレベル 1：初期出力はアクティブレベル	R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1、2)		R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1、2)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0：f1 0 0 1：f2 0 1 0：f4 0 1 1：f8 1 0 0：f32 1 0 1：TRCCLK入力の立ち上がりエッジ 1 1 0：fOCO40M 1 1 1：fOCO-F(注3)	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	CCLR	TRCカウンタクリア選択ビット	0：クリア禁止(フリーランニング動作) 1：TRCGRAのコンペア一致でクリア	R/W

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。
注2. 端子の機能が波形出力の場合(「7.5　ポートの設定」参照)、TRCCR1レジスタを設定したとき、初期出力レベルが出力されます。
注3. fOCO-Fを選択するときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

19.6.2 タイマRC制御レジスタ2(TRCCR2)[PWMモード時]

アドレス 0130h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	—	—	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB (注1)	0：TRCIOBの出力レベルは“L”アクティブ 1：TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC (注1)	0：TRCIOCの出力レベルは“L”アクティブ 1：TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD (注1)	0：TRCIODの出力レベルは“L”アクティブ 1：TRCIODの出力レベルは“H”アクティブ	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b4	—			
b5	CSEL	TRCカウント動作選択ビット (注2)	0：TRCGRAレジスタとのコンペア一致後もカウント継続 1：TRCGRAレジスタとのコンペア一致でカウント停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット (注3)	b7 b6 0 0：TRCTRGからのトリガ入力を禁止 0 1：立ち上がりエッジを選択 1 0：立ち下がりエッジを選択 1 1：立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

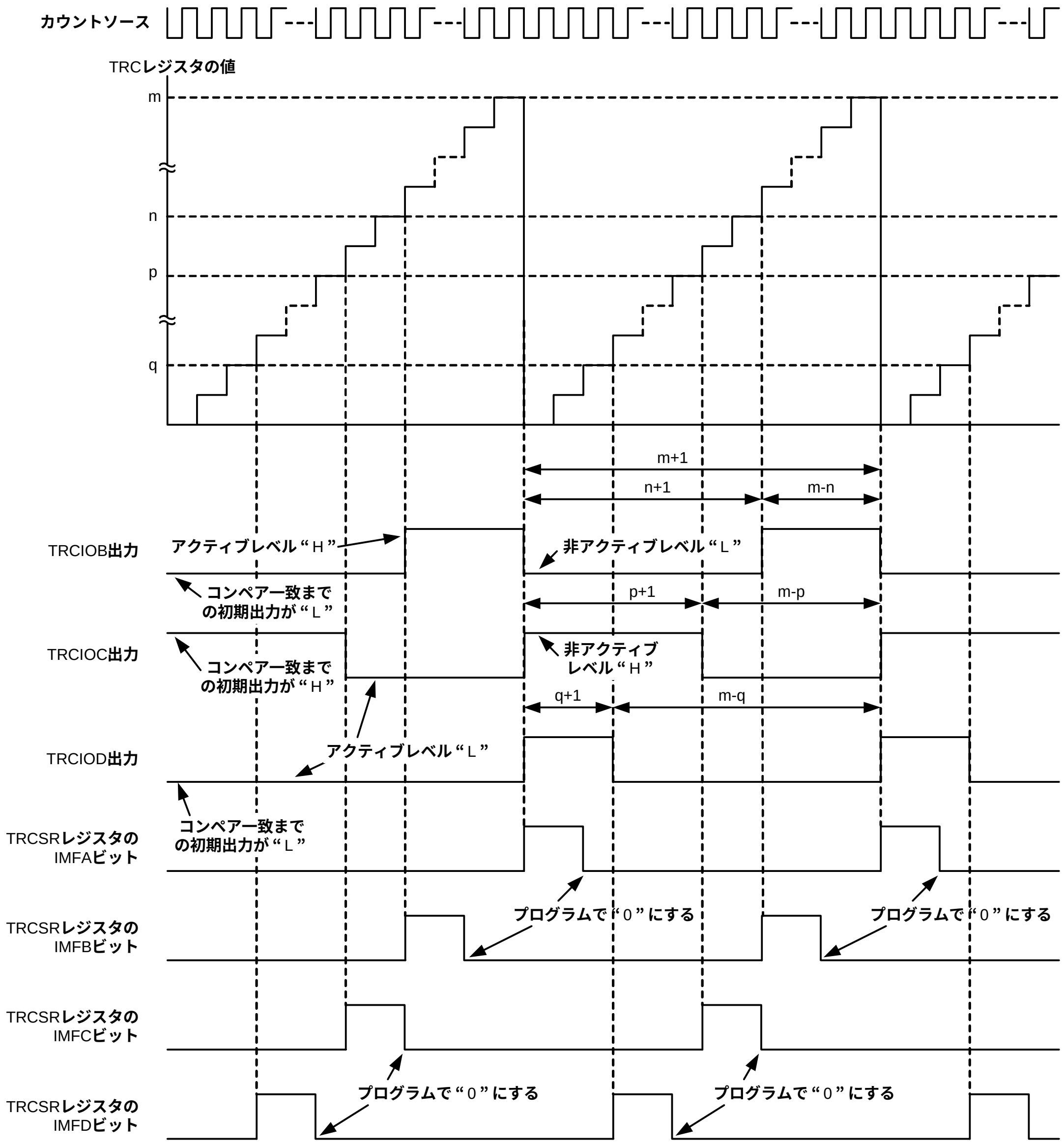
注1. PWMモードのとき有効です。
注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「19.9.6　PWM2モード時のTRCMRレジスタ」を参照してください。
注3. PWM2モードのとき有効です。

表 19.12 PWMモード時のTRCGRhレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRCGRA	—	ジェネラルレジスタ。PWM周期を設定してください。	—
TRCGRB	—	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRCIOB
TRCGRC	BFC=0	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRCIOC
TRCGRD	BFD=0		TRCIOD
TRCGRC	BFC=1	バッファレジスタ。次回のPWM周期を設定してください(「19.3.2　バッファ動作」参照)。	—
TRCGRD	BFD=1	バッファレジスタ。次回のPWM出力の変化点を設定してください(「19.3.2　バッファ動作」参照)。	TRCIOB

h＝A、B、C、Dのいずれか
BFC、BFD：TRCMRレジスタのビット
注1. TRCGRAレジスタの値(PWM周期)とTRCGRB、TRCGRC、TRCGRDレジスタの値が同じ場合、コンペア一致しても端子の出力レベルは変化しません。

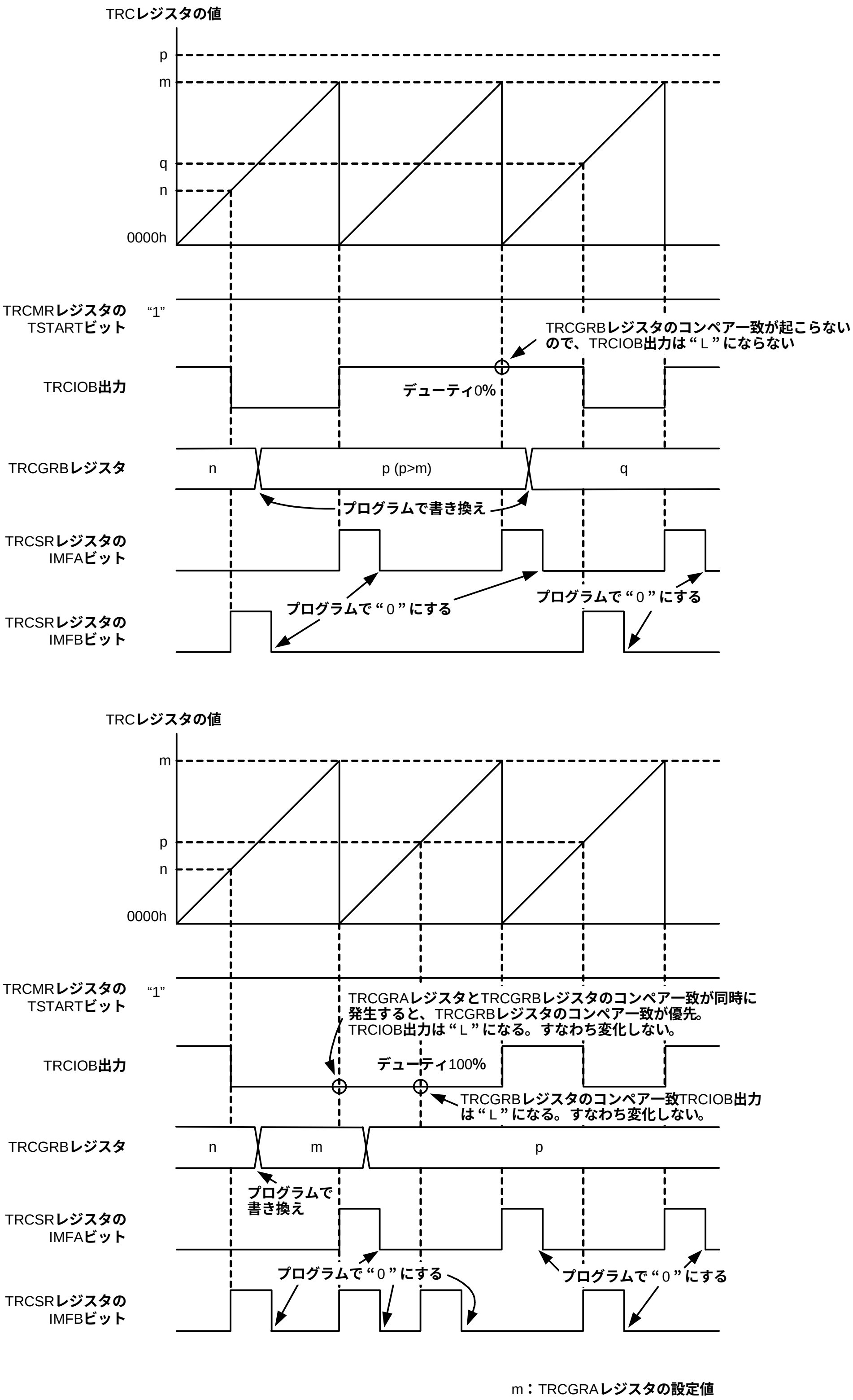
19.6.3 動作例



m：TRCGRAレジスタの設定値
n：TRCGRBレジスタの設定値
p：TRCGRCレジスタの設定値
q：TRCGRDレジスタの設定値

上図は次の条件の場合です。
・TRCMRレジスタのBFC、BFDビットが“0”(TRCGRC、TRCGRDレジスタはバッファ動作しない)
・TRCOERレジスタのEB、EC、EDビットが“0”(TRCIOB、TRCIOC、TRCIOD出力許可)
・TRCCR1レジスタのTOB、TOCビットが“0”(アクティブでないレベル)、TODビットが“1”(アクティブレベル)
・TRCCR2レジスタのPOLBビットが“1”(“H”アクティブ)、POLC、POLDビットが“0”(“L”アクティブ)

図19.14 PWMモードの動作例



上図は次の条件の場合です。
・TRCOERレジスタのEBビットが"0"(TRCIOB出力許可)
・TRCCR2レジスタのPOLBビットが"0"("L"アクティブ)

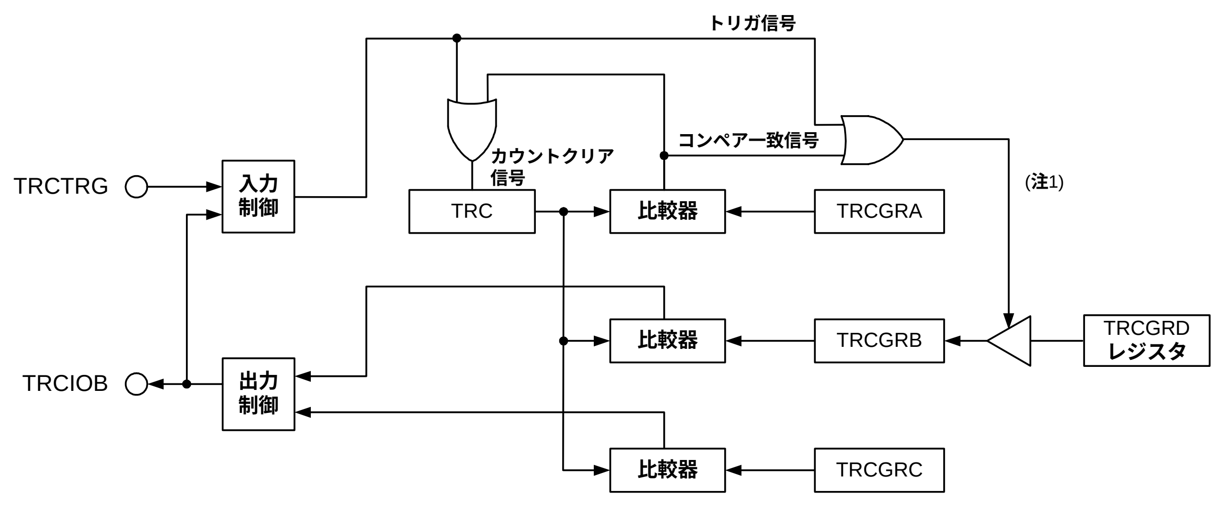
図19.15　PWMモードの動作例(デューティ 0%、デューティ 100%)

19.7 PWM2 モード

PWM波形を1本出力します。トリガから任意のウェイト時間をおいて、端子の出力がアクティブレベルになり、任意の時間後、非アクティブレベルに戻ります。また、非アクティブレベルに戻ると同時にカウンタを停止できるので、プログラマブルウェイトワンショット波形も出力できます。

PWM2モードでは、タイマRCの複数のジェネラルレジスタを組み合わせて使用しますので、他のモードと組み合わせて使用できません。

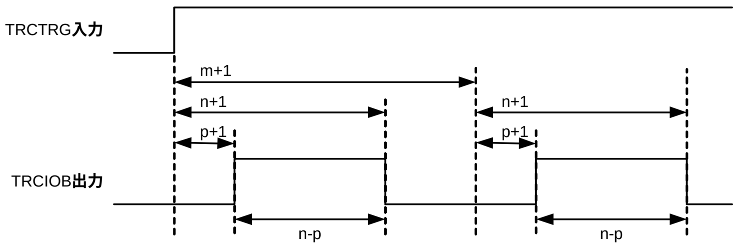
図19.16にPWM2モードのブロック図を、表19.13にPWM2モードの仕様を、表19.14にPWM2モード時のTRCGRjレジスタの機能を、図19.17～図19.19にPWM2モードの動作例を示します。



注1. TRCMRレジスタのBFDビットが“1”(TRCGRDレジスタはTRCGRBレジスタのバッファレジスタ)のときです。

図19.16 PWM2 モードのブロック図

表 19.13　PWM2モードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRCCLK端子に入力された外部信号(立ち上がりエッジ)
カウント動作	TRCレジスタはアップカウント
PWM波形	PWM周期：1/fk×(m+1) (TRCTRG入力がない場合) アクティブレベル幅：1/fk×(n-p) カウント開始またはトリガからのウェイト時間：1/fk×(p+1) fk：カウントソースの周波数 m：TRCGRAレジスタ設定値 n：TRCGRBレジスタ設定値 p：TRCGRCレジスタ設定値  (TRCTRG：立ち上がりエッジ、アクティブレベルが“H”の場合)
カウント開始条件	• TRCCR2レジスタのTCEG1～TCEG0ビットが“00b”(TRCTRGトリガ入力禁止)またはTRCCR2レジスタのCSELビットが“0”(カウント継続)の場合 TRCMRレジスタのTSTARTビットへの“1”(カウント開始)書き込み • TRCCR2レジスタのTCEG1～TCEG0ビットが“01b”、“10b”、“11b”(TRCTRGトリガ入力許可)かつTRCMRレジスタのTSTARTビットが“1”(カウント開始)の場合 TRCTRG端子にトリガ入力
カウント停止条件	• TRCMR レジスタの TSTART ビットへの“0”(カウント停止)書き込み (TRCCR2 レジスタの CSEL ビットが“0”の場合も、“1”の場合も含む) TRCIOB端子はTRCCR1レジスタのTOBビットの内容に従い、初期レベルを出力。TRCレジスタは停止前の値を保持。 • TRCCR2 レジスタの CSEL ビットが“1”の場合、TRCGRA コンペアー一致でカウント停止 TRCIOB端子は初期レベルを出力。TRCCR1レジスタのCCLRビットが“0”のとき、TRCレジスタは停止前の値を保持。TRCCR1レジスタのCCLRビットが“1”のとき、TRCレジスタは“0000h”。
割り込み発生タイミング	• コンペアー一致 (TRC レジスタと TRCGRj レジスタの内容が一致) • TRC レジスタオーバフロー
TRCIOA/TRCTRG端子機能	プログラマブル入出力ポート、またはTRCTRG入力
TRCIOB端子機能	PWM出力
TRCIOC、TRCIOD端子機能	プログラマブル入出力ポート
$\overline{\mathrm{INT0}}$端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、または$\overline{\mathrm{INT0}}$割り込み入力
タイマの読み出し	TRCレジスタを読むと、カウント値が読める
タイマの書き込み	TRCレジスタに書き込める
選択機能	• 外部トリガと有効エッジ選択 TRCTRG端子入力のエッジをPWM出力のトリガにできる。 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方。 • バッファ動作(「19.3.2　バッファ動作」参照) • パルス出力強制遮断信号入力(「19.3.4　パルス出力強制遮断」参照) • デジタルフィルタ(「19.3.3　デジタルフィルタ」参照) • A/D トリガ発生

j＝A、B、Cのいずれか

19.7.1 タイマRC制御レジスタ1(TRCCR1)[PWM2モード時]

アドレス 0121h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	TCK2	TCK1	TCK0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	TRCIOA出力レベル選択ビット(注1)	PWM2モードでは無効	R/W
b1	TOB	TRCIOB出力レベル選択ビット(注1、2)	0：アクティブレベル“H” (初期出力“L” TRCGRCのコンペアー致で“H”出力 TRCGRBのコンペアー致で“L”出力) 1：アクティブレベル“L” (初期出力“H” TRCGRCのコンペアー致で“L”出力 TRCGRBのコンペアー致で“H”出力)	R/W
b2	TOC	TRCIOC出力レベル選択ビット(注1)	PWM2モードでは無効	R/W
b3	TOD	TRCIOD出力レベル選択ビット(注1)		R/W
b4	TCK0	カウントソース選択ビット(注1)	b6 b5 b4 0 0 0：f1 0 0 1：f2 0 1 0：f4 0 1 1：f8 1 0 0：f32 1 0 1：TRCCLK入力の立ち上がりエッジ 1 1 0：fOCO40M 1 1 1：fOCO-F(注3)	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	CCLR	TRCカウンタクリア選択ビット	0：クリア禁止(フリーランニング動作) 1：TRCGRAのコンペアー致でクリア	R/W

注1. TRCMRレジスタのTSTARTビットが“0”(カウント停止)のとき、書いてください。
注2. 端子の機能が波形出力の場合(「7.5　ポートの設定」参照)、TRCCR1レジスタを設定したとき、初期出力レベルが出力されます。
注3. fOCO-Fを選択するときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

19.7.2 タイマRC制御レジスタ2(TRCCR2)[PWM2モード時]

アドレス 0130h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSEL	—	—	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB (注1)	0：TRCIOBの出力レベルは“L”アクティブ 1：TRCIOBの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC (注1)	0：TRCIOCの出力レベルは“L”アクティブ 1：TRCIOCの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD (注1)	0：TRCIODの出力レベルは“L”アクティブ 1：TRCIODの出力レベルは“H”アクティブ	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b4	—			
b5	CSEL	TRCカウント動作選択ビット (注2)	0：TRCGRAレジスタとのコンペア一致後もカウント継続 1：TRCGRAレジスタとのコンペア一致でカウント停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット (注3)	b7 b6 0 0：TRCTRGからのトリガ入力を禁止 0 1：立ち上がりエッジを選択 1 0：立ち下がりエッジを選択 1 1：立ち上がり/立ち下がり両エッジを選択	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。
注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。PWM2モード時の注意事項は「19.9.6　PWM2モード時のTRCMRレジスタ」を参照してください。
注3. PWM2モードのとき有効です。

19.7.3 タイマRCデジタルフィルタ機能選択レジスタ(TRCDF)[PWM2モード時]

アドレス 0131h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DFCK1	DFCK0	—	DFTRG	DFD	DFC	DFB	DFA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFA	TRCIOA端子デジタルフィルタ機能選択ビット(注1)	0：機能なし 1：機能あり	R/W
b1	DFB	TRCIOB端子デジタルフィルタ機能選択ビット(注1)	0：機能なし 1：機能あり	R/W
b2	DFC	TRCIOC端子デジタルフィルタ機能選択ビット(注1)	0：機能なし 1：機能あり	R/W
b3	DFD	TRCIOD端子デジタルフィルタ機能選択ビット(注1)	0：機能なし 1：機能あり	R/W
b4	DFTRG	TRCTRG端子デジタルフィルタ機能選択ビット(注2)	0：機能なし 1：機能あり	R/W
b5	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b6	DFCK0	デジタルフィルタ機能用クロック選択ビット(注1、2)	b7 b6 0 0：f32 0 1：f8 1 0：f1 1 1：カウントソース(TRCCR1レジスタのTCK2～TCK0ビットで選択したクロック)	R/W
b7	DFCK1			R/W

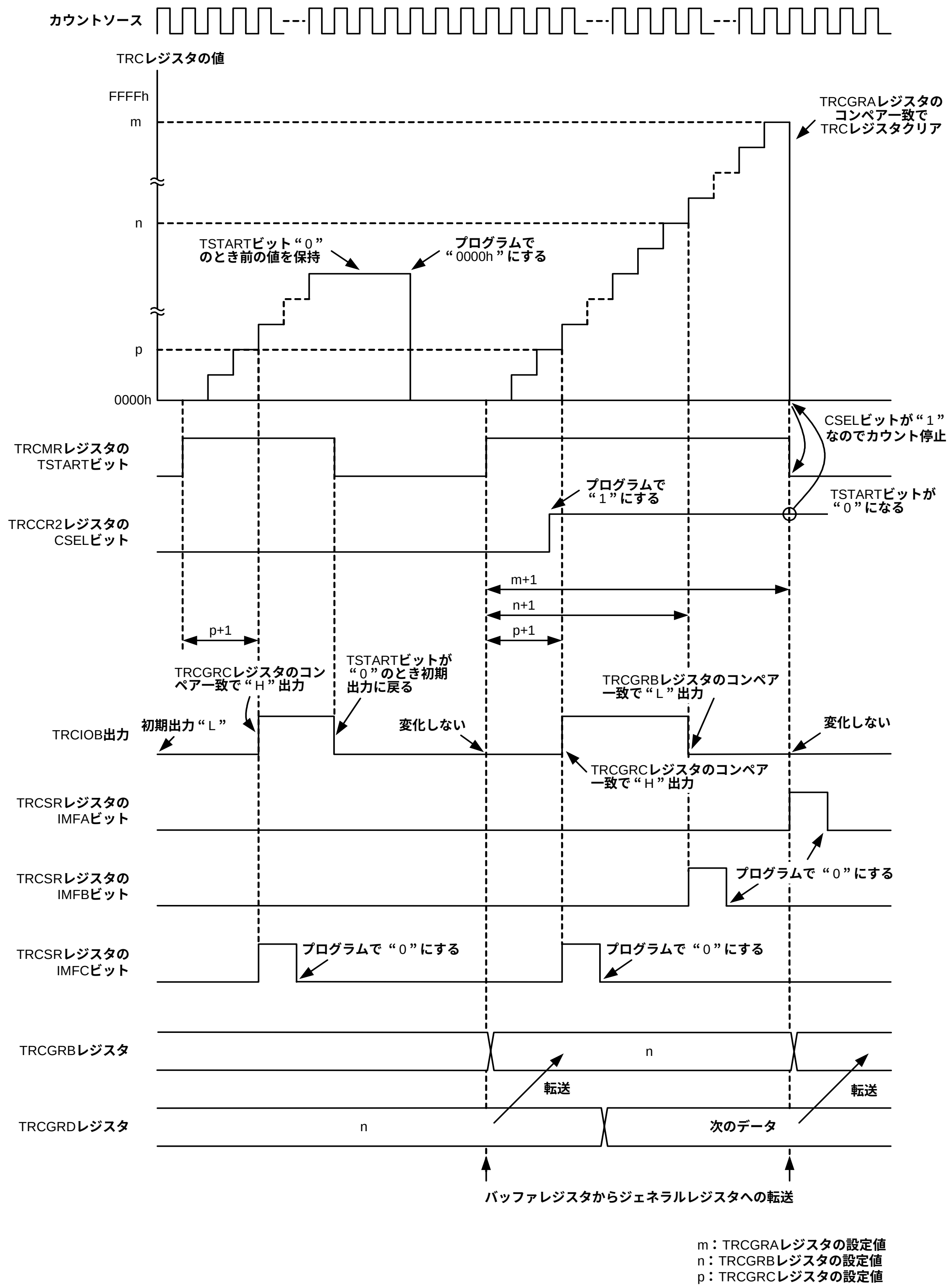
注1. インプットキャプチャ機能のとき有効です。
注2. PWM2モードで、TRCCR2レジスタのTCEG1～TCEG0ビットが“01b”、“10b”、“11b”(TRCTRGトリガ入力許可)のとき有効です。

表 19.14 PWM2モード時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	PWM2出力端子
TRCGRA	—	ジェネラルレジスタ。PWM周期を設定してください。	TRCIOB端子
TRCGRB(注1)	—	ジェネラルレジスタ。PWM出力の変化点を設定してください。	
TRCGRC(注1)	BFC=0	ジェネラルレジスタ。PWM出力の変化点(トリガからのウェイト時間)を設定してください。	
TRCGRD	BFD=0	(PWM2モードでは使用しません)	—
TRCGRD	BFD=1	バッファレジスタ。次回のPWM出力の変化点を設定してください。(「19.3.2　バッファ動作」参照)	TRCIOB端子

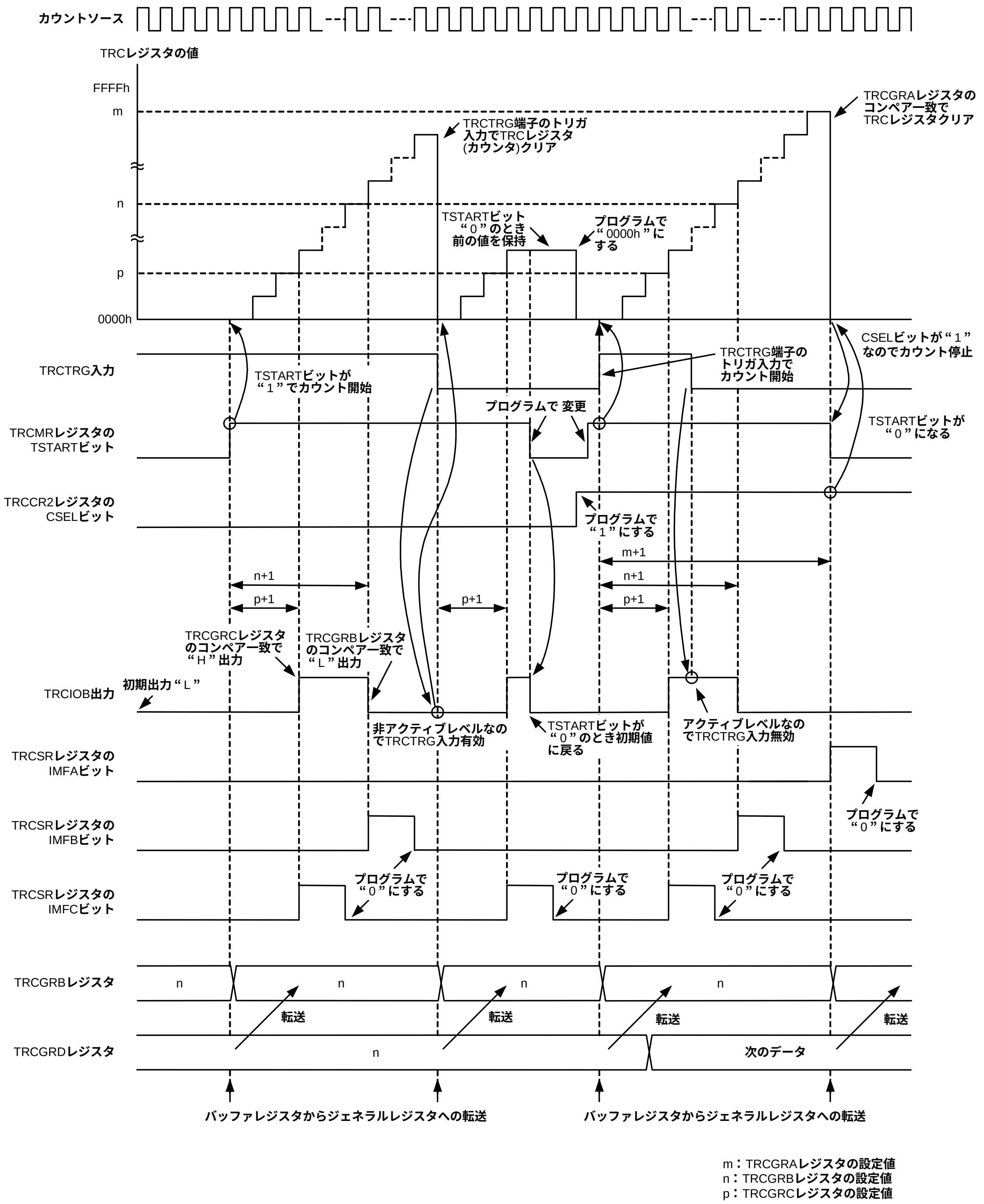
j＝A、B、C、Dのいずれか
BFC、BFD：TRCMRレジスタのビット
注1. TRCGRBレジスタとTRCGRCレジスタに同じ値を設定しないでください。

19.7.4　動作例



上図は次の条件の場合です。
・TRCCR1レジスタのTOBビットが"0"(初期出力"L"、TRCGRCレジスタのコンペア一致で"H"出力、TRCGRBレジスタのコンペア一致で"L"出力)
・TRCCR2レジスタのTCEG1～TCEG0ビットが"00b"(TRCTRGトリガ入力禁止)

図19.17　PWM2モードの動作例(TRCTRGトリガ入力禁止の場合)



上図は次の条件の場合です。
・TRCCR1レジスタのTOBビットが“0”(初期出力“L”、TRCGRCレジスタのコンペアー一致で“H”出力、TRCGRBレジスタのコンペアー一致で“L”出力)
・TRCCR2レジスタのTCEG1～TCEG0ビットが“11b”(TRCTRG入力の立ち上がりエッジと立ち下がりエッジの両方がトリガになる)

図19.18　PWM2モードの動作例(TRCTRGトリガ入力許可の場合)

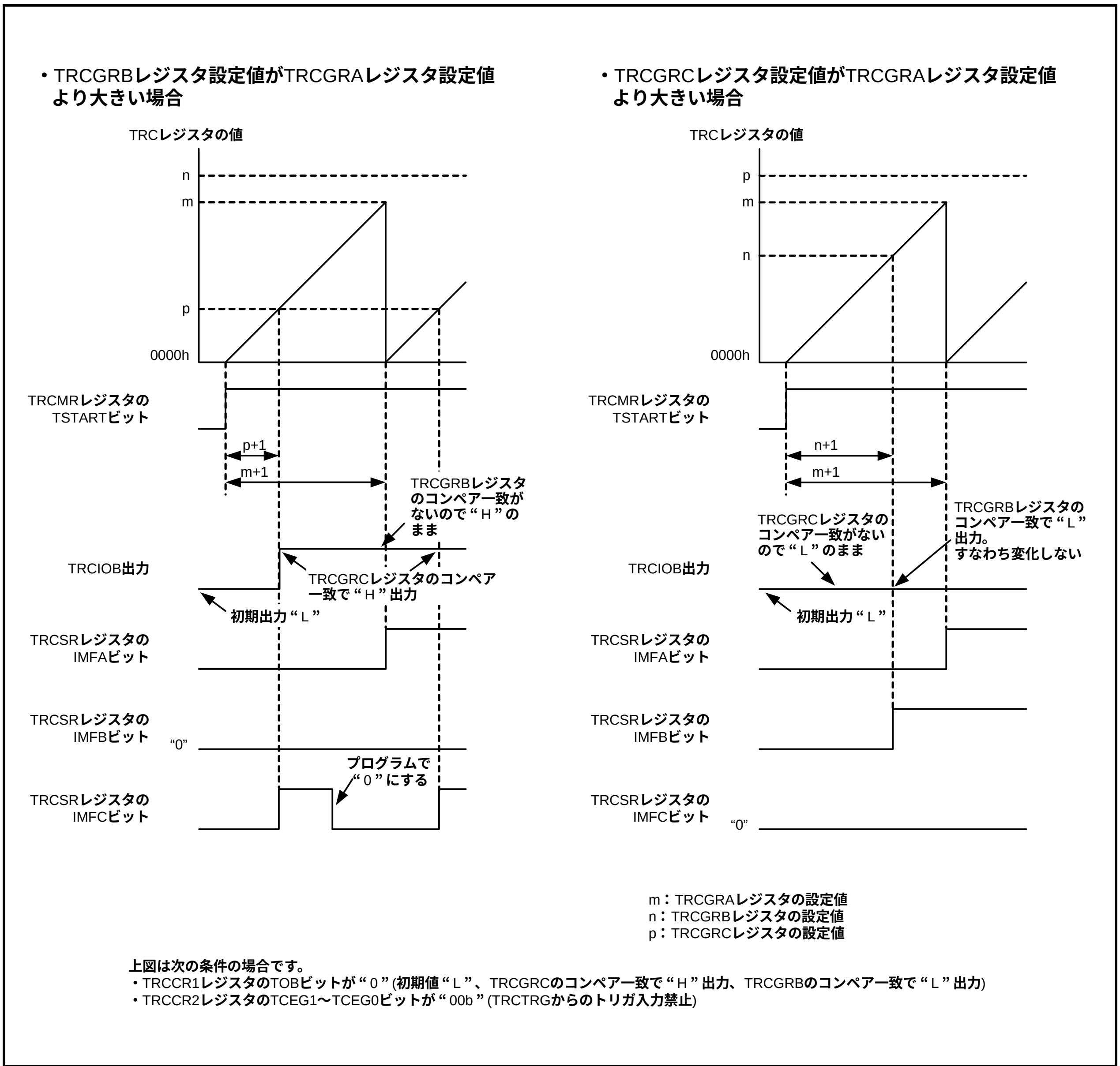


図19.19 PWM2モードの動作例(デューティ 0%、デューティ 100%)

19.8 タイマRC割り込み

タイマRCは、5つの要因からタイマRC割り込み要求を発生します。タイマRC割り込みは1つのTRCICレジスタ(IRビット、ILVL0～ILVL2ビット)と1つのベクタを持ちます。

表19.15にタイマRC割り込み関連レジスタを、図19.20にタイマRC割り込みのブロック図を示します。

表19.15 タイマRC割り込み関連レジスタ

タイマRC ステータスレジスタ	タイマRC 割り込み許可レジスタ	タイマRC 割り込み制御レジスタ
TRCSR	TRCIER	TRCIC

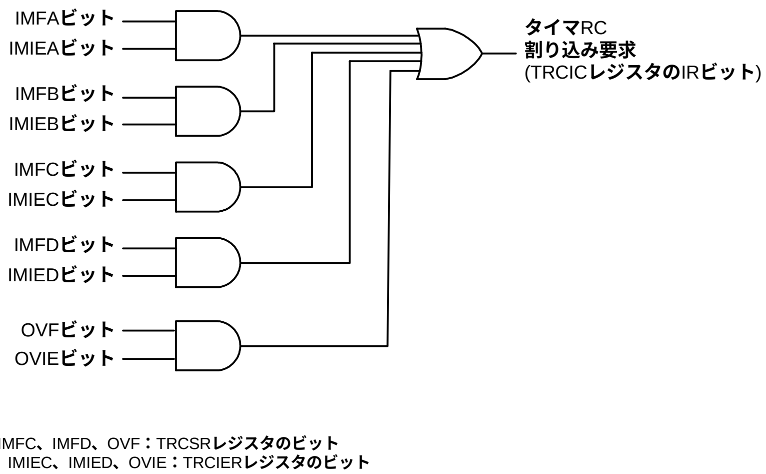


図19.20 タイマRC割り込みのブロック図

タイマRC割り込みが、Iフラグ、IRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要因(タイマRC割り込み)を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- TRCSRレジスタのビットが“1”で、それに対応するTRCIERレジスタのビットが“1”(割り込み許可)の場合、TRCICレジスタのIRビットが“1”(割り込み要求あり)になります。
- TRCSRレジスタのビットと、それに対応するTRCIERレジスタのビットのどちらか、または両方が“0”になるとIRビットが“0”(割り込み要求なし)になります。すなわち、IRビットは、一旦“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
- IRビットが“1”になった後、別の要求要因が成立した場合、IRビットは“1”のまま変化しません。
- TRCIERレジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、TRCSRレジスタで判定してください。
- TRCSR レジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりませんので、割り込みルーチン内で“0”にしてください。“0”にする方法は「19.2.5 タイマRCステータスレジスタ(TRCSR)」を参照してください。

TRCIERレジスタは「19.2.4 タイマRC割り込み許可レジスタ(TRCIER)」を参照してください。

TRCICレジスタは「11.3 割り込み制御」、割り込みベクタは「11.1.5.2 可変ベクタテーブル」を参照してください。

19.9 タイマRC使用上の注意

19.9.1 TRCレジスタ

- TRCCR1レジスタのCCLRビットを“1”(TRCGRAレジスタとのコンペア一致でTRCレジスタをクリア)にしている場合に、次の注意事項が該当します。
  TRCMRレジスタのTSTARTビットが“1”(カウント開始)の状態で、プログラムでTRCレジスタに値を書き込む場合は、TRCレジスタが“0000h”になるタイミングと重ならないように書いてください。
  TRCレジスタが“0000h”になるタイミングと、TRCレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRCレジスタが“0000h”になります。

- TRCレジスタに書いた後、TRCレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```
プログラム例        MOV.W   #XXXXh, TRC      ；書き込み
                    JMP.B   L1               ；JMP.B命令
              L1:   MOV.W   TRC,DATA         ；読み出し
```

19.9.2 TRCSRレジスタ

TRCSRレジスタに書いた後、TRCSRレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```
プログラム例        MOV.B   #XXh, TRCSR      ；書き込み
                    JMP.B   L1               ；JMP.B命令
              L1:   MOV.B   TRCSR,DATA       ；読み出し
```

19.9.3 TRCCR1レジスタ

TRCCR1レジスタのTCK2～TCK0ビットを“111b”(fOCO-F)にするときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

19.9.4 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。
  変更手順

(1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
(2) TRCCR1レジスタのTCK2～TCK0ビットを変更する

- カウントソースをfOCO40MからfOCO-F以外のクロックに変更し、fOCO40Mを停止させる場合は、クロック切り替え設定後、f1の2サイクル以上待ってからfOCO40Mを停止させてください。
  変更手順

(1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
(2) TRCCR1レジスタのTCK2～TCK0ビットを変更する
(3) f1の2サイクル以上待つ
(4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

- カウントソースをfOCO-FからfOCO40M以外のクロックに変更し、fOCO-Fを停止させる場合は、クロック切り替え設定後、fOCO-Fの1サイクル＋fOCO40Mの1サイクル以上待ってからfOCO-Fを停止させてください。
  変更手順
  (1)　TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
  (2)　TRCCR1レジスタのTCK2～TCK0ビットを変更する
  (3)　fOCO-Fの1サイクル＋fOCO40Mの1サイクル以上待つ
  (4)　FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

19.9.5　インプットキャプチャ機能

- インプットキャプチャ信号のパルス幅については、次のように設定してください。
  [デジタルフィルタなしの場合]
  タイマRCの動作クロックの3サイクル分以上(「表19.1　タイマRCの動作クロック」参照)
  [デジタルフィルタありの場合]
  デジタルフィルタのサンプリングクロックの5サイクル分＋タイマRCの動作クロックの3サイクル分以上(「図19.5　デジタルフィルタのブロック図」参照)
- TRCIOj(j＝A、B、C、Dのいずれか)端子にインプットキャプチャ信号が入力されてから、タイマRCの動作クロックの1～2サイクル後にTRCレジスタの値をTRCGRjレジスタに転送します(デジタルフィルタなしの場合)。
- インプットキャプチャ機能使用時、TRCIOR0、TRCIOR1レジスタのIOj0～IOj1ビット(j=A、B、C、Dのいずれか)で選択したエッジがTRCIOj端子に入力されると、TRCMRレジスタのTSTARTビットが“0”(カウント停止)のときも、TRCSRレジスタのIMFjビットが“1”になります。

19.9.6　PWM2モード時のTRCMRレジスタ

- TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペア一致でカウント停止)のとき、TRCレジスタとTRCGRAレジスタのコンペア一致が発生するタイミングで、TRCMRレジスタに書かないでください。

20. タイマRD

注意

この製品のタイマRDはフルスペックエミュレータには対応していません。オンチップデバッギングエミュレータでデバッグしてください。

タイマRDは、16ビットタイマを2本(タイマRD0、タイマRD1)持ちます。

20.1 概要

タイマRDi (i=0～1)は4本の入出力端子を持ちます。

タイマRDの動作クロックはf1、fOCO40MまたはfOCO-Fです。表20.1にタイマRDの動作クロックを示します。

表20.1 タイマRDの動作クロック

条件	タイマRDの動作クロック
カウントソースがf1、f2、f4、f8、f32、TRDCLK入力 (TRDCR0、TRDCR1レジスタのTCK2～TCK0ビットが“000b”～“101b”)	f1
カウントソースがfOCO40M (TRDCR0、TRDCR1レジスタのTCK2～TCK0ビットが“110b”)	fOCO40M
カウントソースがfOCO-F (TRDCR0、TRDCR1レジスタのTCK2～TCK0ビットが“111b”)	fOCO-F

図20.1にタイマRDのブロック図を、表20.2にタイマRDの端子構成を示します。タイマRDは5種類のモードを持ちます。

- タイマモード
  - インプットキャプチャ機能　外部信号をトリガにしてカウンタの値をレジスタに取り込む機能
  - アウトプットコンペア機能　カウンタとレジスタの値の一致を検出する機能(検出時に端子出力変更可能)

次の4つのモードは、アウトプットコンペア機能を用います。

- PWMモード　任意の幅のパルスを連続して出力するモード
- リセット同期PWMモード　鋸波変調、短絡防止時間なしの三相波形(6本)を出力するモード
- 相補PWMモード　三角波変調、短絡防止時間ありの三相波形(6本)を出力するモード
- PWM3モード　同一周期のPWM波形(2本)を出力するモード

インプットキャプチャ機能、アウトプットコンペア機能、PWMモードは、タイマRD0とタイマRD1で同等の機能を持ち、1端子ごとに機能とモードを選択できます。また、タイマRDiの中でこれらの機能とモードを組み合わせて使えます。

リセット同期PWMモード、相補PWMモード、PWM3モードは、タイマRD0とタイマRD1のカウンタやレジスタを組み合わせて波形を出力します。端子の機能はモードによって決まります。

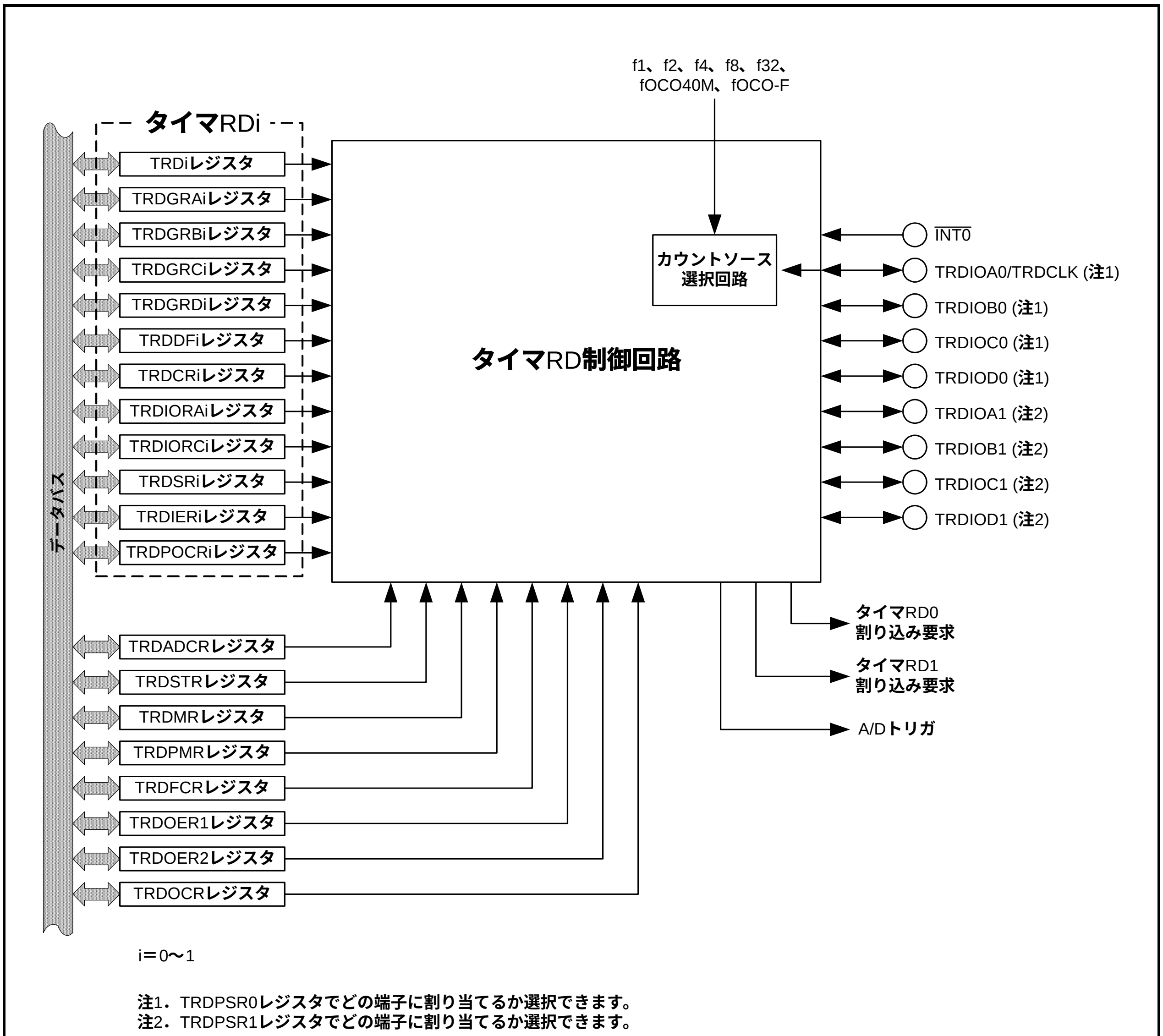


図20.1　　タイマRDのブロック図

表20.2　　タイマRDの端子構成

端子名	割り当てる端子	入出力	機能
TRDIOA0/TRDCLK	P3_5	入出力	モードによって機能が異なります。 詳細は各モードを参照してください。
TRDIOB0	P3_4	入出力	
TRDIOC0	P3_7	入出力	
TRDIOD0	P3_3	入出力	
TRDIOA1	P1_0	入出力	
TRDIOB1	P1_1	入出力	
TRDIOC1	P1_2	入出力	
TRDIOD1	P1_3	入出力	

20.2 複数モードに関わる共通事項

20.2.1 カウントソース

カウントソースの選択方法は、すべてのモードに共通です。ただし、PWM3モードでは外部クロックを選択できません。

表20.3 カウントソースの選択

カウントソース	選択方法
f1、f2、f4、f8、f32	TRDCRiレジスタのTCK2〜TCK0ビットでカウントソース選択
fOCO40M(注1) fOCO-F	FRA0レジスタのFRA00ビットが“1”(高速オンチップオシレータ発振) TRDCRiレジスタのTCK2〜TCK0ビットが“110b”(fOCO40M) TRDCRiレジスタのTCK2〜TCK0ビットが“111b”(fOCO-F)
TRDCLK端子に入力された外部信号	TRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効) TRDCRiレジスタのTCK2〜TCK0ビットが“101b”(カウントソースは外部クロック) TRDCRiレジスタのCKEG1〜CKEG0ビットで有効エッジを選択 PD3レジスタのPD3_5ビットが“0”(入力モード)

i＝0〜1

注1. カウントソースfOCO40Mは、VCC=2.7〜5.5Vの範囲で使用することができます。

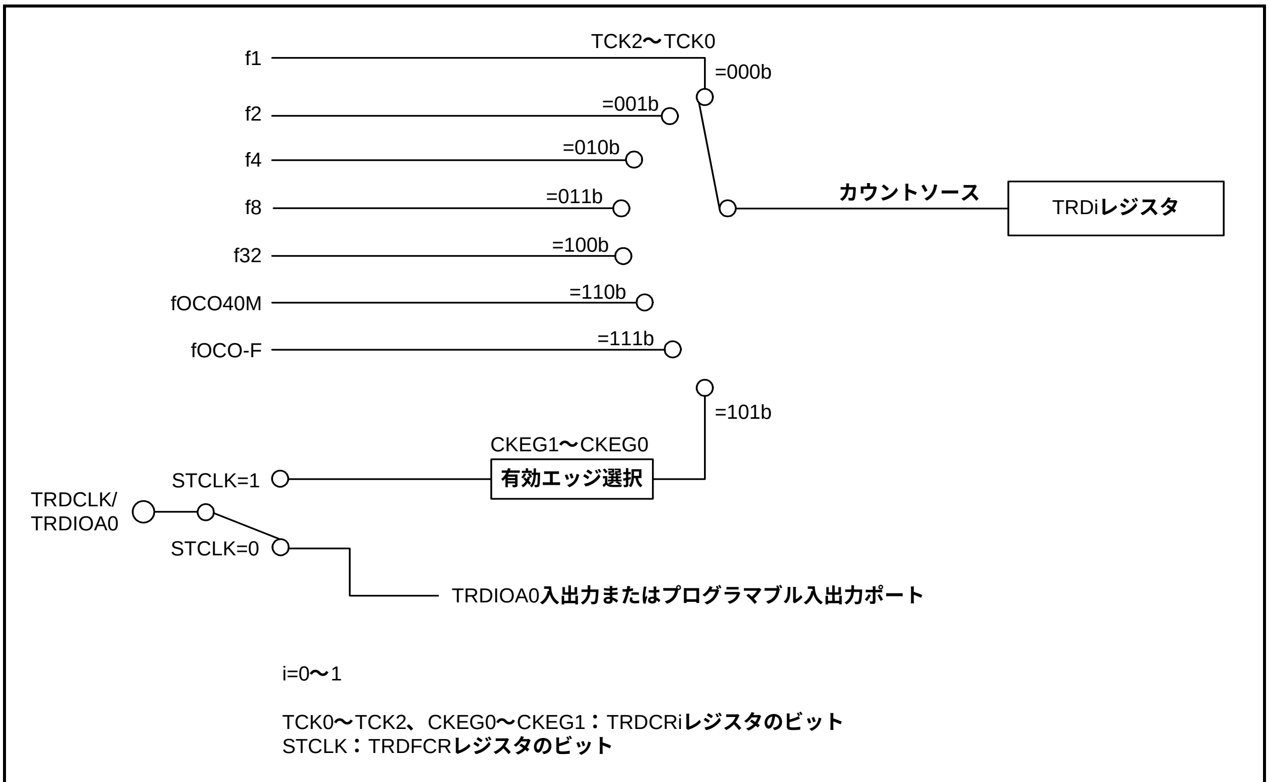


図20.2 カウントソースのブロック図

TRDCLK端子に入力する外部クロックのパルス幅は、タイマRDの動作クロック(「表20.1 タイマRDの動作クロック」参照)の3サイクル以上にしてください。

カウントソースにfOCO40MまたはfOCO-Fを選択する場合は、FRA0レジスタのFRA00ビットを“1”(高速オンチップオシレータ発振)にしてから、TRDCRi(i＝0〜1)レジスタのTCK2〜TCK0ビットを“110b”(fOCO40M)または“111b”(fOCO-F)にしてください。

20.2.2　バッファ動作

TRDMR レジスタの BFCi(i=0 ～ 1) ビット、BFDi ビットで、TRDGRCi、TRDGRDi レジスタを TRDGRAi、TRDGRBi レジスタのバッファレジスタにできます。

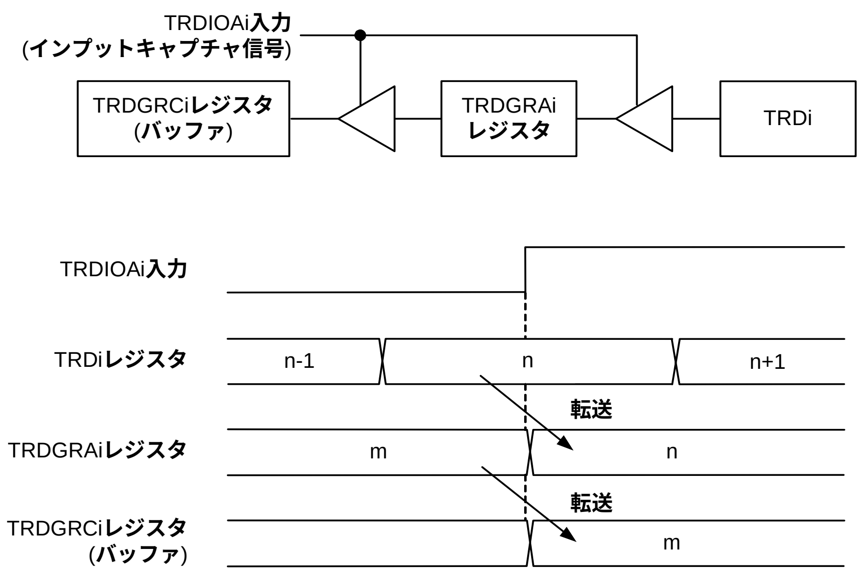
• TRDGRAi のバッファレジスタ：TRDGRCi レジスタ
• TRDGRBi のバッファレジスタ：TRDGRDi レジスタ

バッファ動作は、モードによって違います。表20.4に各モードのバッファ動作を示します。

表20.4　各モードのバッファ動作

機能、モード	転送タイミング	転送するレジスタ
インプットキャプチャ機能	インプットキャプチャ信号入力	TRDGRAi(TRDGRBi) レジスタの内容をバッファレジスタに転送
アウトプットコンペア機能	TRDi レジスタとTRDGRAi(TRDGRBi) レジスタのコンペア一致	バッファレジスタの内容を TRDGRAi(TRDGRBi) レジスタに転送
PWMモード		
リセット同期PWMモード	TRD0 レジスタとTRDGRA0 レジスタのコンペア一致	バッファレジスタの内容を TRDGRAi(TRDGRBi) レジスタに転送
相補PWMモード	TRD0 レジスタとTRDGRA0 レジスタのコンペア一致 TRD1 レジスタアンダフロー	バッファレジスタの内容を TRDGRB0、TRDGRA1、TRDGRB1 レジスタに転送
PWM3モード	TRD0 レジスタとTRDGRA0 レジスタのコンペア一致	バッファレジスタの内容を TRDGRA0、TRDGRB0、TRDGRA1、TRDGRB1 レジスタに転送

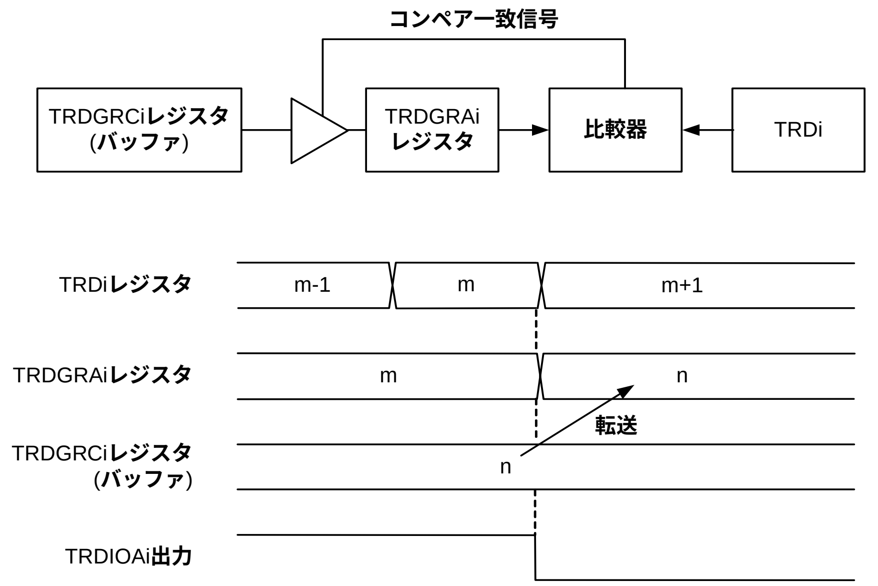
i：0～1



i=0～1

上図は次の条件の場合です。
・TRDMRレジスタのBFCiビットが“1”(TRDGRCiレジスタはTRDGRAiレジスタのバッファレジスタ)
・TRDIORAiレジスタのIOA2～IOA0ビット“100b”(立ち上がりエッジでインプットキャプチャ)

図20.3　インプットキャプチャ機能のバッファ動作



i=0〜1

上図は次の場合です。
・TRDMRレジスタのBFCiビットが“1”(TRDGRCiレジスタはTRDGRAiレジスタのバッファレジスタ)
・TRDIORAiレジスタのIOA2〜IOA0ビット“001b”(コンペア一致で“L”出力)

図20.4　アウトプットコンペア機能のバッファ動作

タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)では次のようにしてください。

TRDGRCi(i=0〜1)レジスタをTRDGRAiレジスタのバッファレジスタに使用する場合
- TRDIORCiレジスタのIOC3ビットを“1”(ジェネラルレジスタまたはバッファレジスタ)にしてください。
- TRDIORCiレジスタのIOC2ビットは、TRDIORAiレジスタのIOA2ビットと同じ設定にしてください。

TRDGRDiレジスタをTRDGRBiレジスタのバッファレジスタに使用する場合
- TRDIORCiレジスタのIOD3ビットを“1”(ジェネラルレジスタまたはバッファレジスタ)にしてください。
- TRDIORCiレジスタのIOD2ビットは、TRDIORAiレジスタのIOB2ビットと同じ設定にしてください。

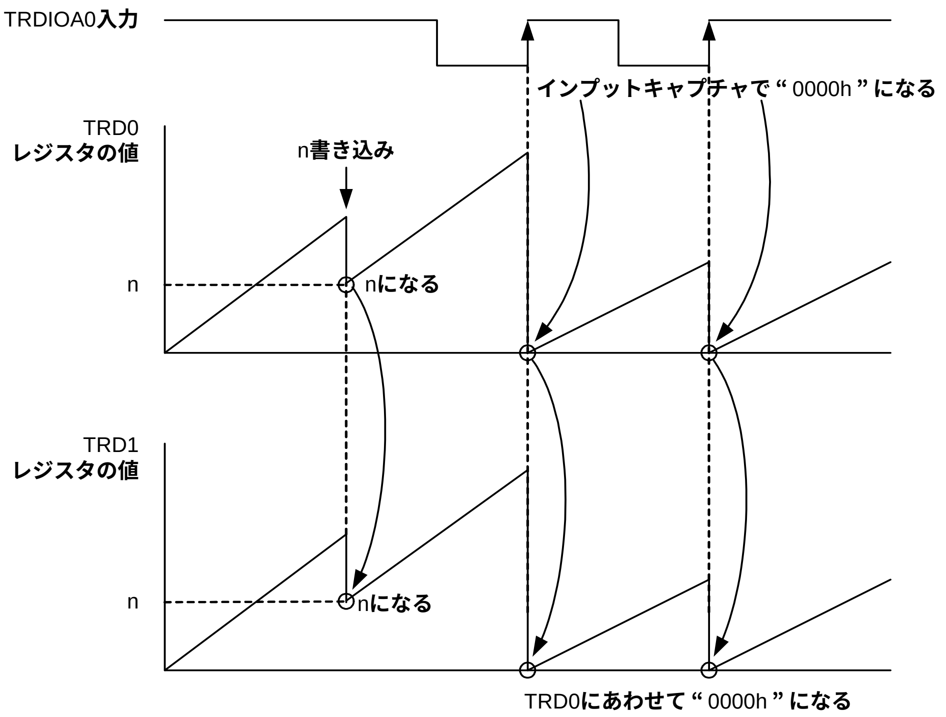
インプットキャプチャ機能では、TRDGRCi、TRDGRDiレジスタをバッファレジスタに使用している場合も、TRDIOCi端子の入力エッジでTRDSRiレジスタのIMFC、IMFDビットが“1”になります。

アウトプットコンペア機能、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モードでは、TRDGRCi、TRDGRDiレジスタをバッファレジスタに使用している場合も、TRDiレジスタとのコンペア一致でTRDSRiレジスタのIMFC、IMFDビットが“1”になります。

20.2.3 同期動作

TRD0レジスタとTRD1レジスタを同期させます。

- 同期プリセット
  TRDMRレジスタのSYNCビットが“1”(同期動作)の場合、TRDiレジスタに書き込むと、TRD0レジスタとTRD1レジスタの両方に書き込まれます。
- 同期クリア
  TRDMRレジスタのSYNCビットが“1”で、かつTRDCR0レジスタのCCLR2～CCLR0ビットが“011b”(同期クリア)の場合、TRD0レジスタはTRD1レジスタが“0000h”になるとき、同時に“0000h”になります。
  同様に、TRDMRレジスタのSYNCビットが“1”で、かつTRDCR1レジスタのCCLR2～CCLR0ビットが“011b”(同期クリア)の場合、TRD1レジスタはTRD0レジスタが“0000h”になるとき、同時に“0000h”になります。



上図は次の条件の場合です。

- TRDMRレジスタのSYNCビット“1”(同期動作)
- TRDCR0レジスタのCCLR2～CCLR0ビットが“001b”(インプットキャプチャでTRD0を“0000h”にする)
  TRDCR1レジスタのCCLR2～CCLR0ビットが“011b”(TRD0に同期して、TRD1を“0000h”にする)
- TRDIORA0レジスタのIOA2～IOA0ビットが“100b”
- TRDFCRレジスタのCMD1～CMD0ビットが“00b”
  TRDFCRレジスタのPWM3ビットが“1”

(TRDIOA0入力の立ち上がりエッジでインプットキャプチャ)

図20.5　同期動作

20.2.4 パルス出力強制遮断

アウトプットコンペア機能、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モードのとき、INT0端子の入力によってTRDIOji(i=0～1、j=A、B、C、Dのいずれか)出力端子を強制的にプログラマブル入出力ポートにし、パルス出力を遮断できます。

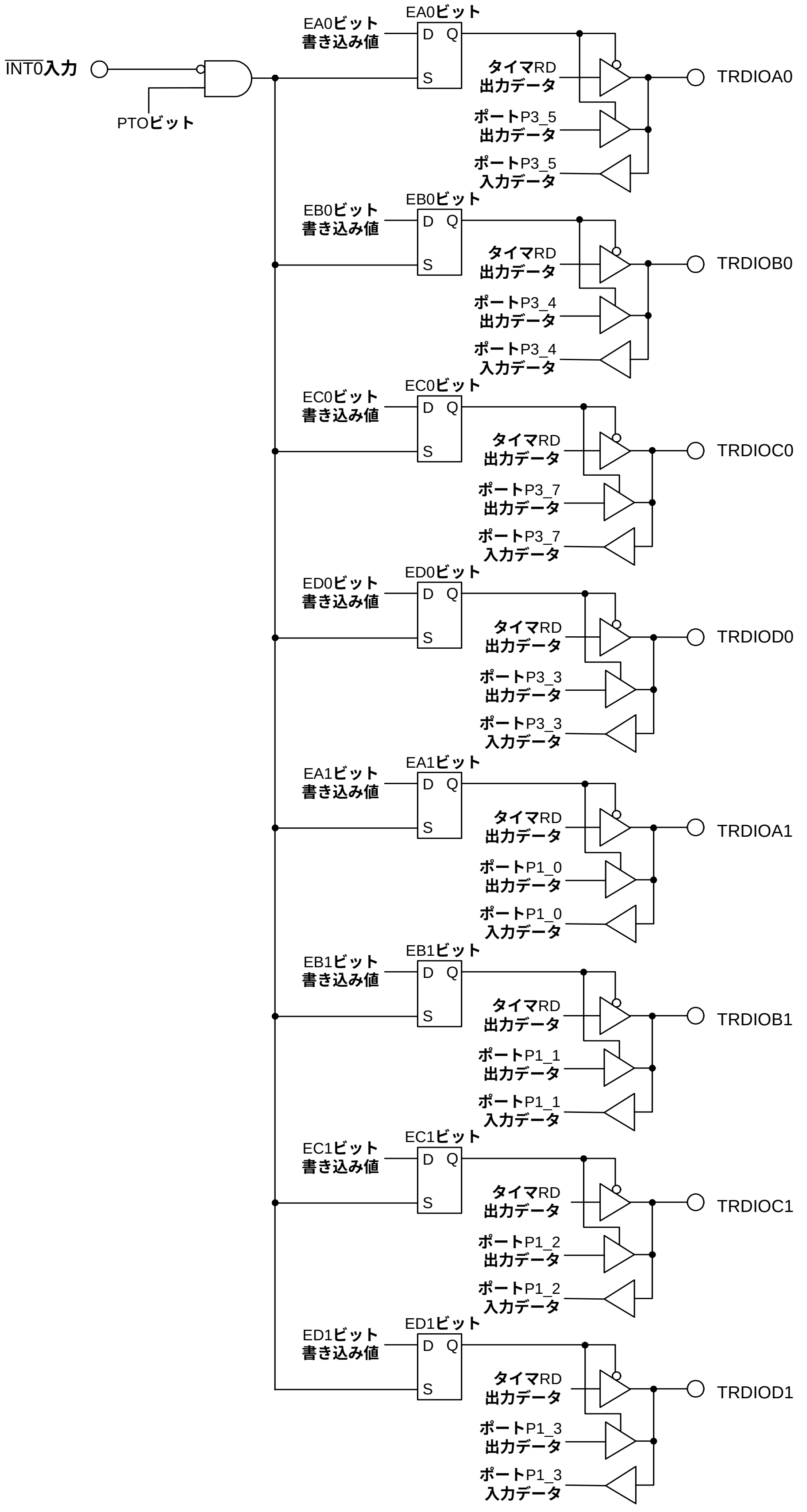
これらの機能/モードで出力に使用する端子は、TRDOER1レジスタの該当するビットを“0”(タイマRD出力許可)にすると、タイマRDの出力端子として機能します。TRDOER2レジスタのPTOビットが“1”(パルス出力強制遮断信号入力INT0有効)のとき、INT0端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1”(タイマRD出力禁止、TRDIOji出力端子はプログラマブル入出力ポート)になります。INT0端子に“L”を入力してから、タイマRDの動作クロック(「表20.1　タイマRDの動作クロック」参照)の1～2サイクル後にTRDIOji出力端子がプログラマブル入出力ポートになります。

この機能を使用する場合は、次の設定をしてください。

- パルス出力を強制遮断したときの端子の状態(ハイインピーダンス、“L”出力、または“H”出力)をP1、P3レジスタとPD1、PD3レジスタで設定。
- INTENレジスタのINT0ENビットを“1”(INT0入力許可)、INT0PLビットを“0”(片エッジ)、INT0ICレジスタのPOLビットを“0”(立ち下がりエッジを選択)にする。
- PD4レジスタのPD4_5ビットを“0”(入力モード)にする。
- INT0のデジタルフィルタをINTFレジスタのINT0F1～INT0F0ビットで選択する。
- TRDOER2レジスタのPTOビットを“1”(パルス出力強制遮断信号入力INT0有効)にする。

なお、INT0ICレジスタのPOLビットとINTENレジスタのINT0PLビットの選択と、INT0端子入力の変化に従って、INT0ICレジスタのIRビットが“1”(割り込み要求あり)になります(「11.8　割り込み使用上の注意」参照)。

割り込みの詳細は、「11.　割り込み」を参照してください。



PTO：TRDOER2レジスタのビット
EA0、EB0、EC0、ED0、EA1、EB1、EC1、ED1：TRDOER1レジスタのビット

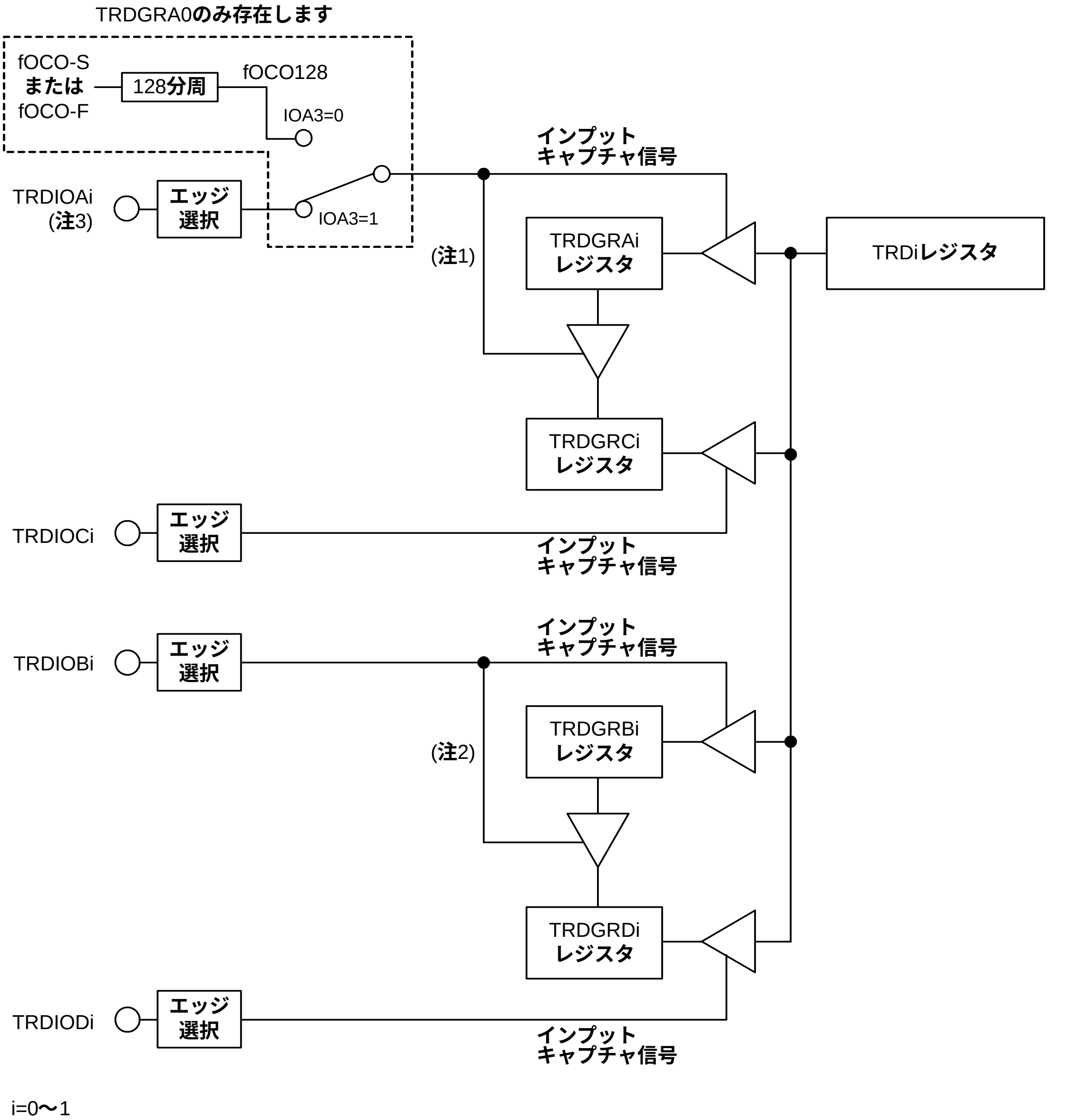
図20.6　パルス出力強制遮断

20.3 タイマモード(インプットキャプチャ機能)

外部信号の幅や周期を測定する機能です。TRDIOji(i=0～1、j=A、B、C、Dのいずれか)端子の外部信号をトリガにしてTRDiレジスタ(カウンタ)の内容をTRDGRjiレジスタに転送します(インプットキャプチャ)。TRDIOji端子とTRDGRjiレジスタの組み合わせで機能しますので、端子1本ごとにインプットキャプチャ機能にするか、他のモード、機能にするかを選択できます。

なお、TRDGRA0レジスタはfOCO128をインプットキャプチャのトリガ入力として選択できます。

図20.7にインプットキャプチャ機能のブロック図を、表20.5にインプットキャプチャ機能の仕様を、図20.8にインプットキャプチャ機能の動作例を示します。



注1．TRDMRレジスタのBFCiビットが“1”(TRDGRCiレジスタはTRDGRAiレジスタのバッファレジスタ)のときです。
注2．TRDMRレジスタのBFDiビットが“1”(TRDGRDiレジスタはTRDGRBiレジスタのバッファレジスタ)のときです。
注3．TRDGRA0レジスタのトリガ入力は、TRDIOA0端子入力またはfOCO128信号が選択できます。

図20.7 インプットキャプチャ機能のブロック図

表20.5　インプットキャプチャ機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	TRDCRiレジスタのCCLR2～CCLR0ビットが“000b”(フリーランニング動作)の場合 1/fk×65536　fk：カウントソースの周波数
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの“1”(カウント開始)書き込み
カウント停止条件	TRDSTRレジスタのCSELiビットが“1”に設定されているとき、TSTARTiビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	• インプットキャプチャ(TRDIOji入力の有効エッジ、またはfOCO128信号のエッジ) • TRDiオーバフロー
TRDIOA0端子機能	プログラマブル入出力ポート、インプットキャプチャ入力、またはTRDCLK(外部クロック)入力
TRDIOB0、TRDIOC0、TRDIOD0、TRDIOA1～TRDIOD1端子機能	プログラマブル入出力ポート、またはインプットキャプチャ入力(1端子ごとに選択)
$\overline{\mathrm{INT0}}$端子機能	プログラマブル入出力ポート、または$\overline{\mathrm{INT0}}$割り込み入力
タイマの読み出し	TRDiレジスタを読むと、カウント値が読める
タイマの書き込み	• TRDMRレジスタのSYNCビットが“0”(タイマRD0とタイマRD1は独立動作)の場合 TRDiレジスタに書き込める。 • TRDMRレジスタのSYNCビットが“1”(タイマRD0とタイマRD1が同期動作)の場合 TRDiレジスタに書き込むと、TRD0レジスタとTRD1レジスタの両方に書き込まれる
選択機能	• インプットキャプチャ入力端子選択 TRDIOAi、TRDIOBi、TRDIOCi、TRDIODi端子のいずれか1本または複数本 • インプットキャプチャ入力の有効エッジ選択 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方 • TRDiを“0000h”にするタイミング オーバフロー、またはインプットキャプチャ時 • バッファ動作(「20.2.2　バッファ動作」参照) • 同期動作(「20.2.3　同期動作」参照) • デジタルフィルタ TRDIOji入力をサンプリングし、3回一致したらレベルが確定したとみなす • インプットキャプチャトリガ選択 TRDGRA0レジスタのインプットキャプチャトリガ入力にfOCO128を選択できる

i=0～1、j=A、B、C、Dのいずれか

20.3.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	MSTTRC	MSTTRD	MSTIIC	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	—			
b2	—			
b3	MSTIIC	SSUスタンバイビット	0：アクティブ 1：スタンバイ(注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0：アクティブ 1：スタンバイ(注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0：アクティブ 1：スタンバイ(注4)	R/W
b6	—	予約ビット	“0”にしてください	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. スタンバイにする前に、SSU機能を停止してください。MSTIICビットが“1”(スタンバイ)のとき、SSU関連レジスタ(0193h～019Dh番地)へのアクセスは無効になります。
注2. スタンバイにする前に、タイマRD機能を停止してください。MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h～015Fh番地)へのアクセスは無効になります。
注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCRi(i=0～1)レジスタのTCK2～TCK0ビットを“000b”(f1)にしてください。
注4. スタンバイにする前に、タイマRC機能を停止してください。MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h～0133h番地)へのアクセスは無効になります。

20.3.2 タイマRDスタートレジスタ(TRDSTR)[タイマモード(インプットキャプチャ機能時)]

アドレス 0137h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	CSEL1	CSEL0	TSTART1	TSTART0
リセット後の値	1	1	1	1	1	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART0	TRD0カウント開始フラグ	0：カウント停止 1：カウント開始	R/W
b1	TSTART1	TRD1カウント開始フラグ		R/W
b2	CSEL0	TRD0カウント動作選択ビット	インプットキャプチャ機能では“1”にしてください	R/W
b3	CSEL1	TRD1カウント動作選択ビット		R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		—
b5	—			
b6	—			
b7	—			

TRDSTRレジスタはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。タイマRD使用上の注意事項の「20.10.1　TRDSTRレジスタ」を参照してください。

20.3.3　タイマRDモードレジスタ(TRDMR)[タイマモード(インプットキャプチャ機能時)]

アドレス　0138h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BFD1	BFC1	BFD0	BFC0	—	—	—	SYNC
リセット後の値	0	0	0	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC	タイマRD同期ビット	0：TRD0とTRD1は独立動作 1：TRD0とTRD1は同期動作	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		—
b2	—			
b3	—			
b4	BFC0	TRDGRC0レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRA0レジスタのバッファレジスタ	R/W
b5	BFD0	TRDGRD0レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRB0レジスタのバッファレジスタ	R/W
b6	BFC1	TRDGRC1レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRA1レジスタのバッファレジスタ	R/W
b7	BFD1	TRDGRD1レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRB1レジスタのバッファレジスタ	R/W

20.3.4　タイマRD PWMモードレジスタ(TRDPMR)[タイマモード(インプットキャプチャ機能時)]

アドレス　0139h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	PWMD1	PWMC1	PWMB1	—	PWMD0	PWMC0	PWMB0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PWMB0	TRDIOB0 PWMモード選択ビット	インプットキャプチャ機能では“0”(タイマモード)にしてください	R/W
b1	PWMC0	TRDIOC0 PWMモード選択ビット		R/W
b2	PWMD0	TRDIOD0 PWMモード選択ビット		R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b4	PWMB1	TRDIOB1 PWMモード選択ビット	インプットキャプチャ機能では“0”(タイマモード)にしてください	R/W
b5	PWMC1	TRDIOC1 PWMモード選択ビット		R/W
b6	PWMD1	TRDIOD1 PWMモード選択ビット		R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—

20.3.5 タイマRD機能制御レジスタ(TRDFCR)[タイマモード(インプットキャプチャ機能時)]

アドレス 013Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PWM3	STCLK	ADEG	ADTRG	OLS1	OLS0	CMD1	CMD0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMD0	コンビネーションモード選択ビット(注1)	インプットキャプチャ機能では“00b”(タイマモード、PWMモード、PWM3モード)にしてください	R/W
b1	CMD1			R/W
b2	OLS0	正相出力レベル選択ビット(リセット同期PWMモードまたは相補PWMモード時)	インプットキャプチャ機能では無効です	R/W
b3	OLS1	逆相出力レベル選択ビット(リセット同期PWMモードまたは相補PWMモード時)		R/W
b4	ADTRG	A/Dトリガ許可ビット(相補PWMモード時)		R/W
b5	ADEG	A/Dトリガエッジ選択ビット(相補PWMモード時)		R/W
b6	STCLK	外部クロック入力選択ビット	0：外部クロック入力無効 1：外部クロック入力有効	R/W
b7	PWM3	PWM3モード選択ビット(注2)	インプットキャプチャ機能では“1”(PWM3モード以外)にしてください	R/W

注1. CMD1～CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のときに書いてください。

注2. CMD1～CMD0ビットが“00b”(タイマモード、PWMモード、PWM3モード)のとき、PWM3ビットの設定が有効になります。

20.3.6 タイマRDデジタルフィルタ機能選択レジスタi (TRDDFi)(i＝0～1)[タイマモード(インプットキャプチャ機能時)]

アドレス 013Eh番地(TRDDF0)、013Fh番地(TRDDF1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DFCK1	DFCK0	−	−	DFD	DFC	DFB	DFA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFA	TRDIOA端子デジタルフィルタ機能選択ビット	0：機能なし 1：機能あり	R/W
b1	DFB	TRDIOB端子デジタルフィルタ機能選択ビット		R/W
b2	DFC	TRDIOC端子デジタルフィルタ機能選択ビット		R/W
b3	DFD	TRDIOD端子デジタルフィルタ機能選択ビット		R/W
b4	−	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		−
b5	−			
b6	DFCK0	デジタルフィルタ機能用クロック選択ビット	b7 b6 0 0：f32 0 1：f8 1 0：f1 1 1：カウントソース(TRDCRiレジスタのTCK0～TCK2ビットで選択したクロック)	R/W
b7	DFCK1			R/W

20.3.7 タイマRD制御レジスタi (TRDCRi)(i＝0～1)[タイマモード(インプットキャプチャ機能時)]

アドレス 0140h番地(TRDCR0)、0150h番地(TRDCR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット	b2 b1 b0 0 0 0：f1 0 0 1：f2 0 1 0：f4 0 1 1：f8 1 0 0：f32 1 0 1：TRDCLK入力(注1) 1 1 0：fOCO40M 1 1 1：fOCO-F(注4)	R/W
b1	TCK1			R/W
b2	TCK2			R/W
b3	CKEG0	外部クロックエッジ選択ビット(注2)	b4 b3 0 0：立ち上がりエッジでカウント 0 1：立ち下がりエッジでカウント 1 0：両エッジでカウント 1 1：設定しないでください	R/W
b4	CKEG1			R/W
b5	CCLR0	TRDiカウンタクリア選択ビット	b7 b6 b5 0 0 0：クリア禁止(フリーランニング動作) 0 0 1：TRDGRAiのインプットキャプチャでクリア 0 1 0：TRDGRBiのインプットキャプチャでクリア 0 1 1：同期クリア(他のタイマRDiのカウンタと同時にクリア)(注3) 1 0 0：設定しないでください 1 0 1：TRDGRCiのインプットキャプチャでクリア 1 1 0：TRDGRDiのインプットキャプチャでクリア 1 1 1：設定しないでください	R/W
b6	CCLR1			R/W
b7	CCLR2			R/W

注1. TRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
注2. TCK2～TCK0ビットが“101b”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
注3. TRDMRレジスタのSYNCビットが“1”(TRD0とTRD1は同期動作)のとき、有効です。
注4. fOCO-Fを選択するとき、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

20.3.8 タイマRD I/O制御レジスタAi (TRDIORAi)(i＝0～1)[タイマモード(インプットキャプチャ機能時)]

アドレス 0141h番地(TRDIORA0)、0151h番地(TRDIORA1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRDGRA制御ビット	b1 b0 0 0：立ち上がりエッジでTRDGRAiへインプットキャプチャ 0 1：立ち下がりエッジでTRDGRAiへインプットキャプチャ 1 0：両エッジでTRDGRAiへインプットキャプチャ 1 1：設定しないでください	R/W
b1	IOA1			R/W
b2	IOA2	TRDGRAモード選択ビット(注1)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b3	IOA3	インプットキャプチャ入力切り替えビット(注3、4)	0：fOCO128信号 1：TRDIOA0端子入力	R/W
b4	IOB0	TRDGRB制御ビット	b5 b4 0 0：立ち上がりエッジでTRDGRBiへインプットキャプチャ 0 1：立ち下がりエッジでTRDGRBiへインプットキャプチャ 1 0：両エッジでTRDGRBiへインプットキャプチャ 1 1：設定しないでください	R/W
b5	IOB1			R/W
b6	IOB2	TRDGRBモード選択ビット(注2)	インプットキャプチャ機能では“1”(インプットキャプチャ)にしてください	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—

注1. TRDMRレジスタのBFCiビットで“1”(TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。
注2. TRDMRレジスタのBFDiビットで“1”(TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。
注3. TRDIORA0レジスタのみ有効です。TRDIORA1レジスタは、“1”にしてください。
注4. IOA2ビットが“1”(インプットキャプチャ機能)のとき有効です。

20.3.9 タイマRD I/O制御レジスタCi (TRDIORCi)(i＝0～1)[タイマモード(インプットキャプチャ機能時)]

アドレス 0142h番地(TRDIORC0)、0152h番地(TRDIORC1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRDGRC制御ビット	b1 b0 ００：立ち上がりエッジでTRDGRCiへインプットキャプチャ ０１：立ち下がりエッジでTRDGRCiへインプットキャプチャ １０：両エッジでTRDGRCiへインプットキャプチャ １１：設定しないでください	R/W
b1	IOC1			R/W
b2	IOC2	TRDGRCモード選択ビット(注1)	インプットキャプチャ機能では“１”(インプットキャプチャ)にしてください	R/W
b3	IOC3	TRDGRCレジスタ機能選択ビット	インプットキャプチャ機能では“１”(ジェネラルレジスタまたはバッファレジスタ)にしてください	R/W
b4	IOD0	TRDGRD制御ビット	b5 b4 ００：立ち上がりエッジでTRDGRDiへインプットキャプチャ ０１：立ち下がりエッジでTRDGRDiへインプットキャプチャ １０：両エッジでTRDGRDiへインプットキャプチャ １１：設定しないでください	R/W
b5	IOD1			R/W
b6	IOD2	TRDGRDモード選択ビット(注2)	インプットキャプチャ機能では“１”(インプットキャプチャ)にしてください	R/W
b7	IOD3	TRDGRDレジスタ機能選択ビット	インプットキャプチャ機能では“１”(ジェネラルレジスタまたはバッファレジスタ)にしてください	R/W

注1. TRDMRレジスタのBFCiビットで“１”(TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。
注2. TRDMRレジスタのBFDiビットで“１”(TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

20.3.10 タイマRDステータスレジスタi (TRDSRi)(i＝0～1)[タイマモード(インプットキャプチャ機能時)]

アドレス　0143h番地(TRDSR0)、0153h番地(TRDSR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	—	—	UDF	OVF	IMFD	IMFC	IMFB	IMFA	
リセット後の値	1	1	1	0	0	0	0	0	TRDSR0レジスタ
リセット後の値	1	1	0	0	0	0	0	0	TRDSR1レジスタ

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペア一致フラグA	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDSR0レジスタ： TRDIORA0レジスタのIOA3ビットが“0”(fOCO128信号)の場合、fOCO128信号のエッジ TRDIORA0レジスタのIOA3ビットが“1”(TRDIOA0入力)の場合、TRDIOA0端子の入力エッジ(注3) TRDSR1レジスタ： TRDIOA1端子の入力エッジ(注3)	R/W
b1	IMFB	インプットキャプチャ/コンペア一致フラグB	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDIOBi端子の入力エッジ(注3)	R/W
b2	IMFC	インプットキャプチャ/コンペア一致フラグC	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDIOCi端子の入力エッジ(注4)	R/W
b3	IMFD	インプットキャプチャ/コンペア一致フラグD	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDIODi端子の入力エッジ(注4)	R/W
b4	OVF	オーバフローフラグ	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiがオーバフローしたとき	R/W
b5	UDF	アンダフローフラグ(注1)	インプットキャプチャ機能では無効です	R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b7	—			

注1. TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、“0”を書いてください。読んだ場合、その値は“1”です。
注2. 書き込み結果は次のようになります。
・読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
・読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
•“1”を書いた場合は変化しません。
注3. TRDIORAiレジスタのIOj1～IOj0ビット(j=AまたはB)で選択したエッジ。
注4. TRDIORCiレジスタのIOk1～IOk0ビット(k=CまたはD)で選択したエッジ。
TRDMRレジスタのBFkiビットが“1”(TRDGRkiはバッファレジスタ)の場合を含む。

20.3.11 タイマRD割り込み許可レジスタi (TRDIERi)(i＝0～1)[タイマモード(インプットキャプチャ機能時)]

アドレス 0144h番地(TRDIER0)、0154h番地(TRDIER1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	1	1	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/コンペア一致割り込み許可ビットA	0：IMFAビットによる割り込み(IMIA)禁止 1：IMFAビットによる割り込み(IMIA)許可	R/W
b1	IMIEB	インプットキャプチャ/コンペア一致割り込み許可ビットB	0：IMFBビットによる割り込み(IMIB)禁止 1：IMFBビットによる割り込み(IMIB)許可	R/W
b2	IMIEC	インプットキャプチャ/コンペア一致割り込み許可ビットC	0：IMFCビットによる割り込み(IMIC)禁止 1：IMFCビットによる割り込み(IMIC)許可	R/W
b3	IMIED	インプットキャプチャ/コンペア一致割り込み許可ビットD	0：IMFDビットによる割り込み(IMID)禁止 1：IMFDビットによる割り込み(IMID)許可	R/W
b4	OVIE	オーバフロー/アンダフロー割り込み許可ビット	0：OVFビットによる割り込み(OVI)禁止 1：OVFビットによる割り込み(OVI)許可	R/W
b5	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b6	—			
b7	—			

20.3.12 タイマRDカウンタi (TRDi)(i＝0～1)[タイマモード(インプットキャプチャ機能時)]

アドレス 0147h～0146h番地(TRD0)、0157h～0156h番地(TRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15～b0	カウントソースをカウント。カウント動作はアップカウント。 オーバフローすると、TRDSRiレジスタのOVFビットが“1”になる。	0000h～FFFFh	R/W

TRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

20.3.13 タイマRDジェネラルレジスタAi、Bi、Ci、Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi)(i＝0～1)[タイマモード(インプットキャプチャ機能時)]

アドレス 0149h～0148h番地(TRDGRA0)、014Bh～014Ah番地(TRDGRB0)、
014Dh～014Ch番地(TRDGRC0)、014Fh～014Eh番地(TRDGRD0)、
0159h～0158h番地(TRDGRA1)、015Bh～015Ah番地(TRDGRB1)、
015Dh～015Ch番地(TRDGRC1)、015Fh～015Eh番地(TRDGRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	−	−	−	−	−	−	−	−
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	−	−	−	−	−	−	−	−
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15～b0	「表20.6　インプットキャプチャ機能時のTRDGRjiレジスタの機能」参照	R/W

TRDGRAi～TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

インプットキャプチャ機能では、次のレジスタは無効です。
TRDOER1、TRDOER2、TRDOCR、TRDPOCR0、TRDPOCR1

表20.6　インプットキャプチャ機能時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	インプットキャプチャ入力端子
TRDGRAi	−	ジェネラルレジスタ。インプットキャプチャ時のTRDiレジスタの値が読めます。	TRDIOAi
TRDGRBi			TRDIOBi
TRDGRCi	BFCi=0	ジェネラルレジスタ。インプットキャプチャ時のTRDiレジスタの値が読めます。	TRDIOCi
TRDGRDi	BFDi=0		TRDIODi
TRDGRCi	BFCi=1	バッファレジスタ。インプットキャプチャ時のTRDiレジスタの値が読めます(「20.2.2　バッファ動作」参照)。	TRDIOAi
TRDGRDi	BFDi=1		TRDIOBi

i=0～1、j=A、B、C、Dのいずれか
BFCi、BFDi：TRDMRレジスタのビット

TRDIOji端子に入力するインプットキャプチャ信号のパルス幅は、デジタルフィルタなし(TRDDFiレジスタのDFjビットが“0”)の場合、タイマRDの動作クロック(「表20.1　タイマRDの動作クロック」参照)の3サイクル以上にしてください。

20.3.14 タイマRD端子選択レジスタ0 (TRDPSR0)

アドレス 0184h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	TRDIOD0SEL0	—	TRDIOC0SEL0	—	TRDIOB0SEL0	—	TRDIOA0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA0SEL0	TRDIOA0/TRDCLK端子選択ビット	0：TRDIOA0/TRDCLK端子は使用しない 1：P3_5に割り当てる	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b2	TRDIOB0SEL0	TRDIOB0端子選択ビット	0：TRDIOB0端子は使用しない 1：P3_4に割り当てる	R/W
b3	—	予約ビット	“0”にしてください	R/W
b4	TRDIOC0SEL0	TRDIOC0端子選択ビット	0：TRDIOC0端子は使用しない 1：P3_7に割り当てる	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	TRDIOD0SEL0	TRDIOD0端子選択ビット	0：TRDIOD0端子は使用しない 1：P3_3に割り当てる	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

TRDPSR0レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR0レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR0レジスタを設定してください。また、タイマRDの動作中はTRDPSR0レジスタの設定値を変更しないでください。

20.3.15 タイマRD端子選択レジスタ1 (TRDPSR1)

アドレス 0185h番地

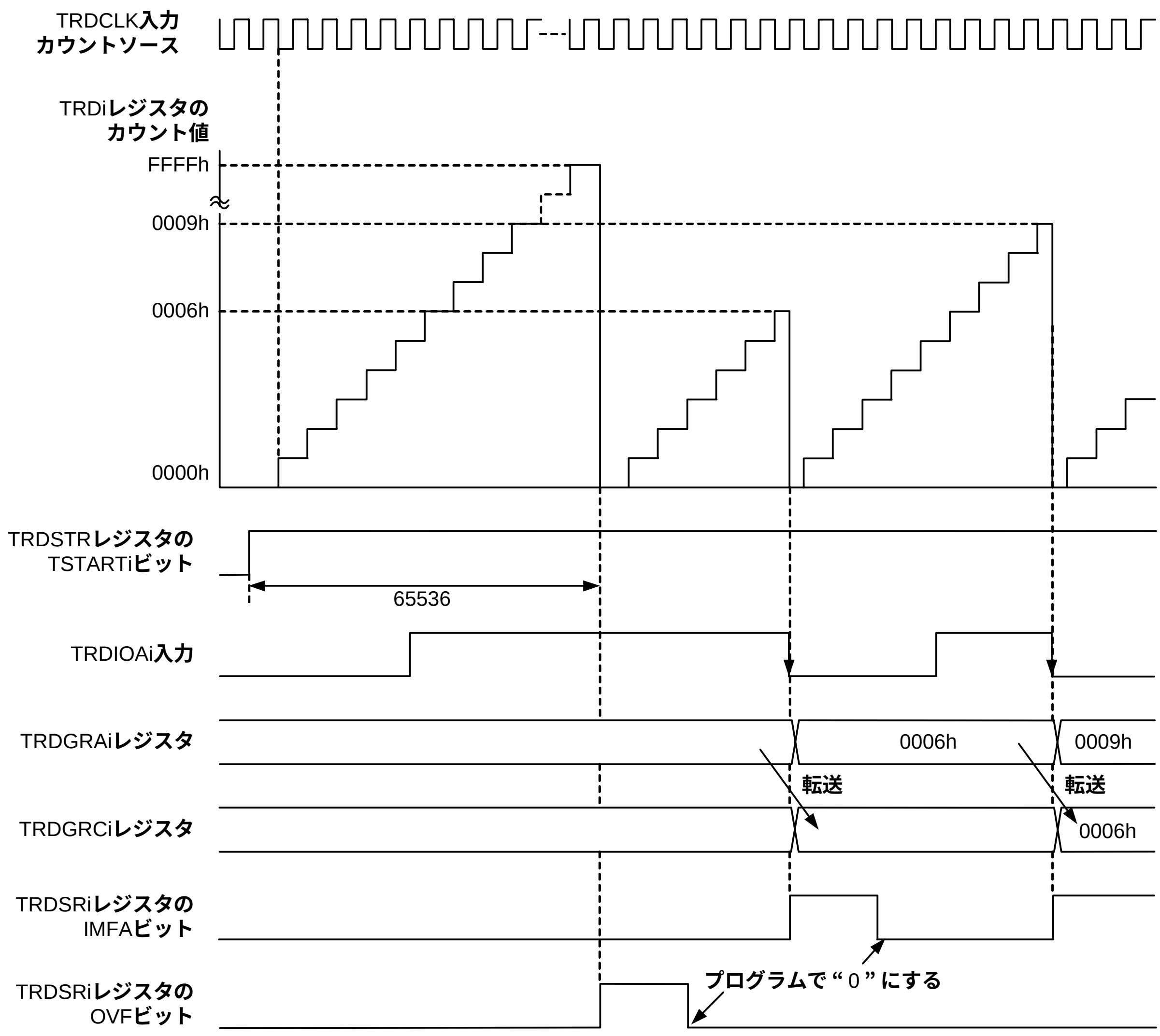
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	TRDIOD1SEL0	—	TRDIOC1SEL0	—	TRDIOB1SEL0	—	TRDIOA1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA1SEL0	TRDIOA1端子選択ビット	0：TRDIOA1端子は使用しない 1：P1_0に割り当てる	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b2	TRDIOB1SEL0	TRDIOB1端子選択ビット	0：TRDIOB1端子は使用しない 1：P1_1に割り当てる	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	TRDIOC1SEL0	TRDIOC1端子選択ビット	0：TRDIOC1端子は使用しない 1：P1_2に割り当てる	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	TRDIOD1SEL0	TRDIOD1端子選択ビット	0：TRDIOD1端子は使用しない 1：P1_3に割り当てる	R/W
b7	—	予約ビット	“0”にしてください	R/W

TRDPSR1レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR1レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR1レジスタを設定してください。また、タイマRDの動作中はTRDPSR1レジスタの設定値を変更しないでください。

20.3.16 動作例



i=0～1

上図は次の条件の場合です。
TRDCRiレジスタのCCLR2～CCLR0ビットが“001b”(TRDGRAiのインプットキャプチャでTRDiを“0000h”にする)
TRDCRiレジスタのTCK2～TCK0ビットが“101b”(カウントソースはTRDCLK入力)
TRDCRiレジスタのCKEG1～CKEG0ビットが“01b”(カウントソースは立ち下がりでカウント)
TRDIORAiレジスタのIOA2～IOA0ビットが“101b”(TRDIOAi入力の立ち下がりエッジでインプットキャプチャ)
TRDMRレジスタのBFCiビットが“1”(TRDGRCiレジスタはTRDGRAiレジスタのバッファレジスタ)

図20.8　　インプットキャプチャ機能の動作例

20.3.17　デジタルフィルタ

TRDIOji(i=0～1、j=A、B、C、Dのいずれか)入力をサンプリングし、3回一致したらレベルが確定したとみなします。デジタルフィルタ機能、サンプリングクロックはTRDDFiレジスタで選択してください。

図20.9にデジタルフィルタのブロック図を示します。

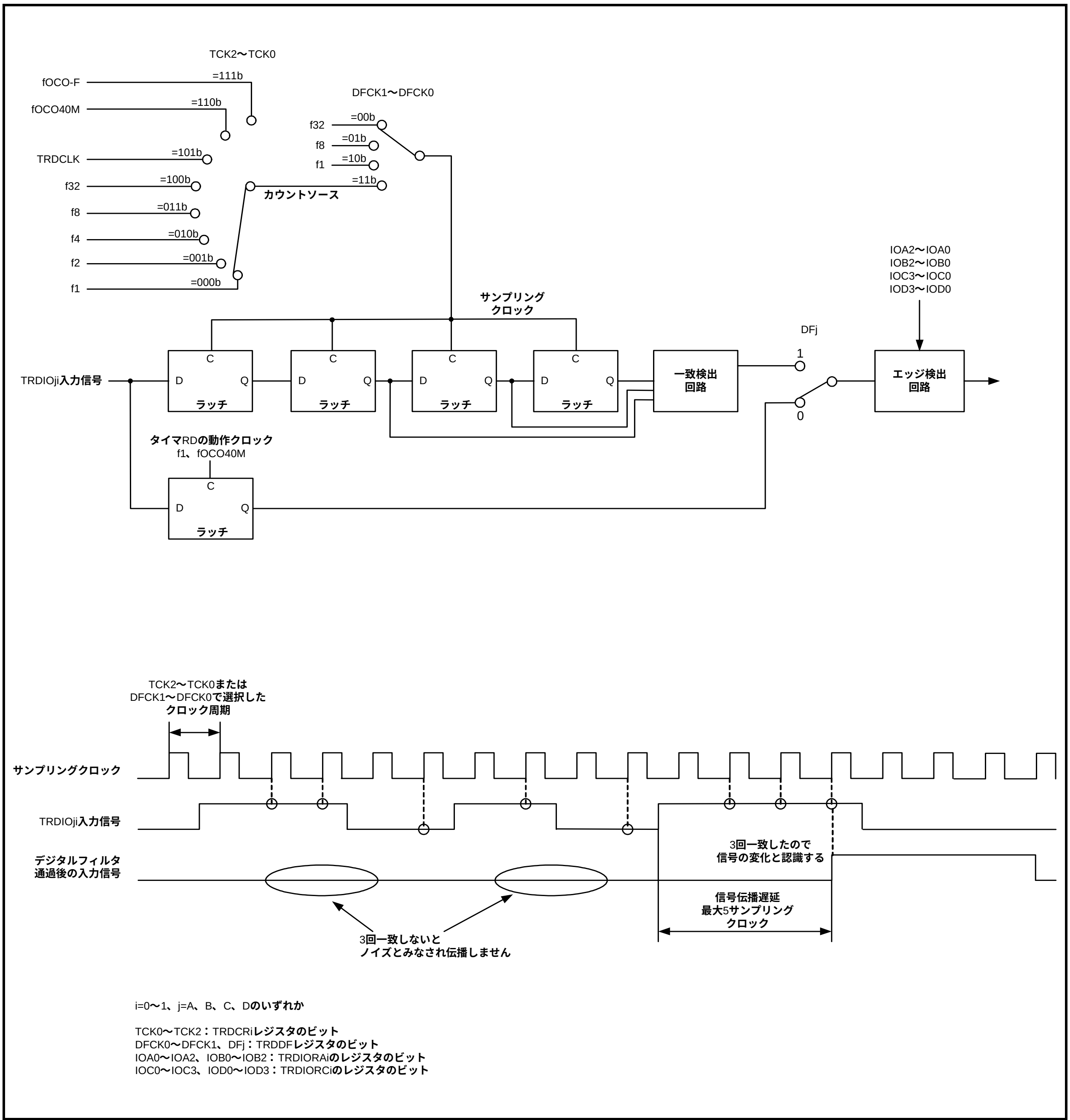


図20.9　デジタルフィルタのブロック図

20.4 タイマモード(アウトプットコンペア機能)

TRDi(i=0～1)レジスタ(カウンタ)の内容と、TRDGRji(j=A、B、C、Dのいずれか)レジスタの内容の一致(コンペア一致)を検出するモードです。一致したときTRDIOji端子から任意のレベルを出力します。TRDIOji端子とTRDGRjiレジスタの組み合わせで機能しますので、端子1本ごとにアウトプットコンペア機能にするか、他のモード、機能にするかを選択できます。

図20.10にアウトプットコンペア機能のブロック図を、表20.7にアウトプットコンペア機能の仕様を、図20.11にアウトプットコンペア機能の動作例を示します。

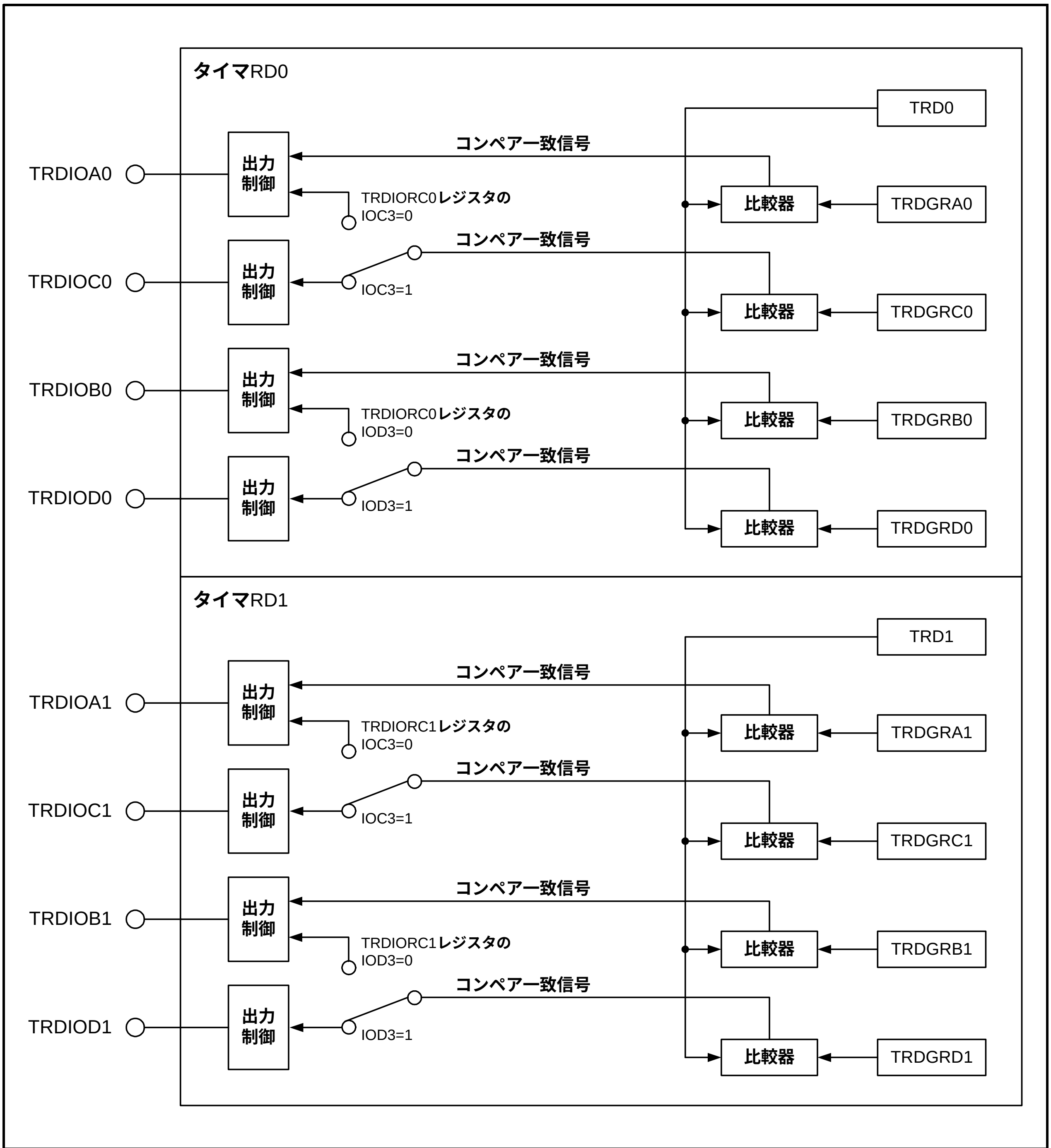


図20.10 アウトプットコンペア機能のブロック図

表20.7　アウトプットコンペア機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	• TRDCRiレジスタのCCLR2～CCLR0ビットが“000b”(フリーランニング動作)の場合 1/fk×65536　fk：カウントソースの周波数 • TRDCRiレジスタのCCLR1～CCLR0ビットが“01b”、“10b”(TRDGRjiのコンペア一致でTRDiを“0000h”にする)の場合 カウントソースの周期×(n+1) n：TRDGRjiレジスタ設定値
波形出力タイミング	コンペア一致
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの“1”(カウント開始)書き込み
カウント停止条件	• TRDSTRレジスタのCSELiビットが“1”に設定されているとき、TSTARTiビットへの“0”(カウント停止)書き込み アウトプットコンペア出力端子はカウント停止前の出力レベルを保持 • TRDSTRレジスタのCSELiビットが“0”の場合、TRDGRAiコンペア一致でカウント停止 アウトプットコンペア出力端子はコンペア一致による出力変化後のレベルを保持
割り込み要求発生タイミング	• コンペア一致(TRDiレジスタとTRDGRjiレジスタの内容が一致) • TRDiオーバフロー
TRDIOA0端子機能	プログラマブル入出力ポート、アウトプットコンペア出力、またはTRDCLK(外部クロック)入力
TRDIOB0、TRDIOC0、TRDIOD0、TRDIOA1～TRDIOD1端子機能	プログラマブル入出力ポート、またはアウトプットコンペア出力(1端子ごとに選択)
$\overline{\text{INT0}}$端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、または$\overline{\text{INT0}}$割り込み入力
タイマの読み出し	TRDiレジスタを読むと、カウント値が読める
タイマの書き込み	• TRDMRレジスタのSYNCビットが“0”(タイマRD0とタイマRD1は独立動作)の場合 TRDiレジスタに書き込める • TRDMRレジスタのSYNCビットが“1”(タイマRD0とタイマRD1が同期動作)の場合 TRDiレジスタに書き込むと、TRD0レジスタとTRD1レジスタの両方に書き込まれる
選択機能	• アウトプットコンペア出力端子選択 TRDIOAi、TRDIOBi、TRDIOCi、TRDIODi端子のいずれか1本または複数本 • コンペア一致時の出力レベル選択 “L”出力、“H”出力、または出力レベル反転 • 初期出力レベル選択 カウント開始からコンペア一致までの期間のレベルを設定 • TRDiを“0000h”にするタイミング オーバフロー、またはTRDGRAiレジスタのコンペア一致 • バッファ動作(「20.2.2　バッファ動作」参照) • 同期動作(「20.2.3　同期動作」参照) • TRDGRCi、TRDGRDiの出力端子変更 TRDGRCiをTRDIOAi端子の、TRDGRDiをTRDIOBi端子の出力制御に使用できる • パルス出力強制遮断信号入力(「20.2.4　パルス出力強制遮断」参照) • タイマRDは出力しないことで内部タイマとして使用できる • A/Dトリガ発生

i=0～1、j=A、B、C、Dのいずれか

20.4.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	MSTTRC	MSTTRD	MSTIIC	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	—			
b2	—			
b3	MSTIIC	SSUスタンバイビット	0：アクティブ 1：スタンバイ(注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0：アクティブ 1：スタンバイ(注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0：アクティブ 1：スタンバイ(注4)	R/W
b6	—	予約ビット	“0”にしてください	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. スタンバイにする前に、SSU機能を停止してください。MSTIICビットが“1”(スタンバイ)のとき、SSU関連レジスタ(0193h～019Dh番地)へのアクセスは無効になります。
注2. スタンバイにする前に、タイマRD機能を停止してください。MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h～015Fh番地)へのアクセスは無効になります。
注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCRi(i=0～1)レジスタのTCK2～TCK0ビットを“000b”(f1)にしてください。
注4. スタンバイにする前に、タイマRC機能を停止してください。MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h～0133h番地)へのアクセスは無効になります。

20.4.2 タイマRDトリガ制御レジスタ(TRDADCR)

アドレス 0136h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADTRGD1E	ADTRGC1E	ADTRGB1E	ADTRGA1E	ADTRGD0E	ADTRGC0E	ADTRGB0E	ADTRGA0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGA0E	A/DトリガA0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRA0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b1	ADTRGB0E	A/DトリガB0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRB0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b2	ADTRGC0E	A/DトリガC0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRC0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b3	ADTRGD0E	A/DトリガD0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRD0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b4	ADTRGA1E	A/DトリガA1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRA1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b5	ADTRGB1E	A/DトリガB1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRB1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b6	ADTRGC1E	A/DトリガC1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRC1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b7	ADTRGD1E	A/DトリガD1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRD1レジスタのコンペア一致時にA/Dトリガ発生	R/W

20.4.3 タイマRDスタートレジスタ(TRDSTR)[タイマモード(アウトプットコンペア機能時)]

アドレス 0137h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	CSEL1	CSEL0	TSTART1	TSTART0
リセット後の値	1	1	1	1	1	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART0	TRD0カウント開始フラグ(注3)	0：カウント停止(注1) 1：カウント開始	R/W
b1	TSTART1	TRD1カウント開始フラグ(注4)	0：カウント停止(注2) 1：カウント開始	R/W
b2	CSEL0	TRD0カウント動作選択ビット	0：TRDGRA0レジスタとのコンペア一致でカウント停止 1：TRDGRA0レジスタとのコンペア一致後もカウント継続	R/W
b3	CSEL1	TRD1カウント動作選択ビット	0：TRDGRA1レジスタとのコンペア一致でカウント停止 1：TRDGRA1レジスタとのコンペア一致後もカウント継続	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		—
b5	—			
b6	—			
b7	—			

注1. CSEL0ビットが“1”に設定されているとき、TSTART0ビットへ“0”を書いてください。
注2. CSEL1ビットが“1”に設定されているとき、TSTART1ビットへ“0”を書いてください。
注3. CSEL0ビットが“0”でコンペア一致信号(TRDIOA0)が発生したとき、“0”(カウント停止)になります。
注4. CSEL1ビットが“0”でコンペア一致信号(TRDIOA1)が発生したとき、“0”(カウント停止)になります。

TRDSTRレジスタはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。タイマRD使用上の注意事項の「20.10.1　TRDSTRレジスタ」を参照してください。

20.4.4 タイマRDモードレジスタ(TRDMR)[タイマモード(アウトプットコンペア機能時)]

アドレス 0138h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BFD1	BFC1	BFD0	BFC0	—	—	—	SYNC
リセット後の値	0	0	0	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC	タイマRD同期ビット	0：TRD0とTRD1は独立動作 1：TRD0とTRD1は同期動作	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b2	—			
b3	—			
b4	BFC0	TRDGRC0レジスタ機能選択ビット(注1)	0：ジェネラルレジスタ 1：TRDGRA0レジスタのバッファレジスタ	R/W
b5	BFD0	TRDGRD0レジスタ機能選択ビット(注1)	0：ジェネラルレジスタ 1：TRDGRB0レジスタのバッファレジスタ	R/W
b6	BFC1	TRDGRC1レジスタ機能選択ビット(注1)	0：ジェネラルレジスタ 1：TRDGRA1レジスタのバッファレジスタ	R/W
b7	BFD1	TRDGRD1レジスタ機能選択ビット(注1)	0：ジェネラルレジスタ 1：TRDGRB1レジスタのバッファレジスタ	R/W

注1. TRDIORCi(i=0～1)レジスタのIOj3(j=CまたはD)ビットで“0”(TRDGRjiレジスタ出力端子変更)を選択した場合、TRDMRレジスタのBFjiビットを“0”にしてください。

20.4.5 タイマRD PWMモードレジスタ(TRDPMR)[タイマモード(アウトプットコンペア機能時)]

アドレス 0139h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	PWMD1	PWMC1	PWMB1	—	PWMD0	PWMC0	PWMB0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PWMB0	TRDIOB0 PWMモード選択ビット	アウトプットコンペア機能では“0”(タイマモード)にしてください	R/W
b1	PWMC0	TRDIOC0 PWMモード選択ビット		R/W
b2	PWMD0	TRDIOD0 PWMモード選択ビット		R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b4	PWMB1	TRDIOB1 PWMモード選択ビット	アウトプットコンペア機能では“0”(タイマモード)にしてください	R/W
b5	PWMC1	TRDIOC1 PWMモード選択ビット		R/W
b6	PWMD1	TRDIOD1 PWMモード選択ビット		R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—

20.4.6 タイマRD機能制御レジスタ(TRDFCR)[タイマモード(アウトプットコンペア機能時)]

アドレス 013Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PWM3	STCLK	ADEG	ADTRG	OLS1	OLS0	CMD1	CMD0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMD0	コンビネーションモード選択ビット(注1)	アウトプットコンペア機能では“00b”(タイマモード、PWMモード、PWM3モード)にしてください	R/W
b1	CMD1			R/W
b2	OLS0	正相出力レベル選択ビット(リセット同期PWMモードまたは相補PWMモード時)	アウトプットコンペア機能では無効です	R/W
b3	OLS1	逆相出力レベル選択ビット(リセット同期PWMモードまたは相補PWMモード時)		R/W
b4	ADTRG	A/Dトリガ許可ビット(相補PWMモード時)		R/W
b5	ADEG	A/Dトリガエッジ選択ビット(相補PWMモード時)		R/W
b6	STCLK	外部クロック入力選択ビット	0：外部クロック入力無効 1：外部クロック入力有効	R/W
b7	PWM3	PWM3モード選択ビット(注2)	アウトプットコンペア機能では“1”(PWM3モード以外)にしてください	R/W

注1. CMD1～CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のときに書いてください。

注2. CMD1～CMD0ビットが“00b”(タイマモード、PWMモード、PWM3モード)のとき、PWM3ビットの設定が有効になります。

20.4.7 タイマRDアウトプットマスタ許可レジスタ1 (TRDOER1)[タイマモード(アウトプットコンペア機能時)]

アドレス 013Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	EA0	TRDIOA0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOA0端子はプログラマブル入出力ポート)	R/W
b1	EB0	TRDIOB0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOB0端子はプログラマブル入出力ポート)	R/W
b2	EC0	TRDIOC0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOC0端子はプログラマブル入出力ポート)	R/W
b3	ED0	TRDIOD0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOD0端子はプログラマブル入出力ポート)	R/W
b4	EA1	TRDIOA1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOA1端子はプログラマブル入出力ポート)	R/W
b5	EB1	TRDIOB1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOB1端子はプログラマブル入出力ポート)	R/W
b6	EC1	TRDIOC1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOC1端子はプログラマブル入出力ポート)	R/W
b7	ED1	TRDIOD1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOD1端子はプログラマブル入出力ポート)	R/W

20.4.8 タイマRDアウトプットマスタ許可レジスタ2 (TRDOER2)[タイマモード(アウトプットコンペア機能時)]

アドレス 013Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PTO	—	—	—	—	—	—	—
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	PTO	パルス出力強制遮断信号入力$\overline{\text{INT0}}$有効ビット(注1)	0：パルス出力強制遮断入力無効 1：パルス出力強制遮断入力有効($\overline{\text{INT0}}$端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1”(出力禁止)になる)	R/W

注1.「20.2.4　パルス出力強制遮断」を参照してください。

20.4.9　タイマ RD アウトプット制御レジスタ (TRDOCR)[タイマモード (アウトプットコンペア機能時)]

アドレス 013Dh 番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA0	TRDIOA0 出力レベル選択ビット	0 : 初期出力 “ L ” 1 : 初期出力 “ H ”	R/W
b1	TOB0	TRDIOB0 出力レベル選択ビット		R/W
b2	TOC0	TRDIOC0 初期出力レベル選択ビット	0 :“ L ” 1 :“ H ”	R/W
b3	TOD0	TRDIOD0 初期出力レベル選択ビット		R/W
b4	TOA1	TRDIOA1 初期出力レベル選択ビット		R/W
b5	TOB1	TRDIOB1 初期出力レベル選択ビット		R/W
b6	TOC1	TRDIOC1 初期出力レベル選択ビット		R/W
b7	TOD1	TRDIOD1 初期出力レベル選択ビット		R/W

TRDOCR レジスタは、TRDSTR レジスタの TSTART0、TSTART1 ビットがともに “ 0 ” (カウント停止) のとき書いてください。

TRDOCR レジスタが端子の機能が波形出力の場合 (「7.5　ポートの設定」参照)、TRDOCR レジスタを設定したとき、初期出力レベルが出力されます。

20.4.10 タイマRD制御レジスタi (TRDCRi)(i＝0～1)[タイマモード(アウトプットコンペア機能時)]

アドレス 0140h番地(TRDCR0)、0150h番地(TRDCR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット	b2 b1 b0 0 0 0：f1 0 0 1：f2 0 1 0：f4 0 1 1：f8 1 0 0：f32 1 0 1：TRDCLK入力(注1) 1 1 0：fOCO40M 1 1 1：fOCO-F(注4)	R/W
b1	TCK1			R/W
b2	TCK2			R/W
b3	CKEG0	外部クロックエッジ選択ビット(注2)	b4 b3 0 0：立ち上がりエッジでカウント 0 1：立ち下がりエッジでカウント 1 0：両エッジでカウント 1 1：設定しないでください	R/W
b4	CKEG1			R/W
b5	CCLR0	TRDiカウンタクリア選択ビット	b7 b6 b5 0 0 0：クリア禁止(フリーランニング動作) 0 0 1：TRDGRAiのコンペア一致でクリア 0 1 0：TRDGRBiのコンペア一致でクリア 0 1 1：同期クリア(他のタイマRDiのカウンタと同時にクリア)(注3) 1 0 0：設定しないでください 1 0 1：TRDGRCiのコンペア一致でクリア 1 1 0：TRDGRDiのコンペア一致でクリア 1 1 1：設定しないでください	R/W
b6	CCLR1			R/W
b7	CCLR2			R/W

注1. TRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
注2. TCK2～TCK0ビットが“101b”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
注3. TRDMRレジスタのSYNCビットが“1”(TRD0とTRD1は同期動作)のとき、有効です。
注4. fOCO-Fを選択するとき、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

20.4.11 タイマRD I/O制御レジスタAi (TRDIORAi)(i＝0～1)[タイマモード(アウトプットコンペア機能時)]

アドレス 0141h番地(TRDIORA0)、0151h番地(TRDIORA1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRDGRA制御ビット	b1 b0 0 0：コンペア一致による端子出力禁止 (TRDIOAi端子はプログラマブル入出力ポート) 0 1：TRDGRAiのコンペア一致で“L”出力 1 0：TRDGRAiのコンペア一致で“H”出力 1 1：TRDGRAiのコンペア一致でトグル出力	R/W
b1	IOA1			R/W
b2	IOA2	TRDGRAモード選択ビット(注1)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b3	IOA3	インプットキャプチャ入力切替ビット	“1”にしてください	R/W
b4	IOB0	TRDGRB制御ビット	b5 b4 0 0：コンペア一致による端子出力禁止 (TRDIOBi端子はプログラマブル入出力ポート) 0 1：TRDGRBiのコンペア一致で“L”出力 1 0：TRDGRBiのコンペア一致で“H”出力 1 1：TRDGRBiのコンペア一致でトグル出力	R/W
b5	IOB1			R/W
b6	IOB2	TRDGRBモード選択ビット(注2)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—

注1. TRDMRレジスタのBFCiビットで“1”(TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。
注2. TRDMRレジスタのBFDiビットで“1”(TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

20.4.12 タイマRD I/O制御レジスタCi (TRDIORCi)(i＝0～1)[タイマモード(アウトプットコンペア機能時)]

アドレス	0142h番地(TRDIORC0)、0152h番地(TRDIORC1)							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRDGRC制御ビット	b1 b0 0 0：コンペア一致による端子出力禁止 0 1：TRDGRCiのコンペア一致で“L”出力 1 0：TRDGRCiのコンペア一致で“H”出力 1 1：TRDGRCiのコンペア一致でトグル出力	R/W
b1	IOC1			R/W
b2	IOC2	TRDGRCモード選択ビット(注1)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b3	IOC3	TRDGRCレジスタ機能選択ビット	0：TRDIOA出力レジスタ (「20.4.20　TRDGRCi(i＝0～1)、TRDGRDiレジスタの出力端子変更」参照) 1：ジェネラルレジスタまたはバッファレジスタ	R/W
b4	IOD0	TRDGRD制御ビット	b5 b4 0 0：コンペア一致による端子出力禁止 0 1：TRDGRDiのコンペア一致で“L”出力 1 0：TRDGRDiのコンペア一致で“H”出力 1 1：TRDGRDiのコンペア一致でトグル出力	R/W
b5	IOD1			R/W
b6	IOD2	TRDGRDモード選択ビット(注2)	アウトプットコンペア機能では“0”(アウトプットコンペア)にしてください	R/W
b7	IOD3	TRDGRDレジスタ機能選択ビット	0：TRDIOB出力レジスタ (「20.4.20　TRDGRCi(i＝0～1)、TRDGRDiレジスタの出力端子変更」参照) 1：ジェネラルレジスタまたはバッファレジスタ	R/W

注1. TRDMRレジスタのBFCiビットで“1”(TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。
注2. TRDMRレジスタのBFDiビットで“1”(TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

20.4.13 タイマRDステータスレジスタi (TRDSRi)(i＝0～1)[タイマモード(アウトプットコンペア機能時)]

アドレス 0143h番地(TRDSR0)、0153h番地(TRDSR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	—	—	UDF	OVF	IMFD	IMFC	IMFB	IMFA	
リセット後の値	1	1	1	0	0	0	0	0	TRDSR0レジスタ
リセット後の値	1	1	0	0	0	0	0	0	TRDSR1レジスタ

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペア一致フラグA	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRAiの値が一致したとき	R/W
b1	IMFB	インプットキャプチャ/コンペア一致フラグB	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRBiの値が一致したとき	R/W
b2	IMFC	インプットキャプチャ/コンペア一致フラグC	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRCiの値が一致したとき(注3)	R/W
b3	IMFD	インプットキャプチャ/コンペア一致フラグD	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRDiの値が一致したとき(注3)	R/W
b4	OVF	オーバフローフラグ	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiがオーバフローしたとき	R/W
b5	UDF	アンダフローフラグ(注1)	アウトプットコンペア機能では無効です	R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b7	—			

注1. TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、“0”を書いてください。読んだ場合、その値は“1”です。
注2. 書き込み結果は次のようになります。
- 読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- 読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- “1”を書いた場合は変化しません。

注3. TRDMRレジスタのBFjiビット(j=CまたはD)が“1”(TRDGRjiはバッファレジスタ)の場合を含む。

20.4.14 タイマRD割り込み許可レジスタi (TRDIERi)(i＝0～1)[タイマモード(アウトプットコンペア機能時)]

アドレス　0144h番地(TRDIER0)、0154h番地(TRDIER1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	1	1	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/コンペア一致割り込み許可ビットA	0：IMFAビットによる割り込み(IMIA)禁止 1：IMFAビットによる割り込み(IMIA)許可	R/W
b1	IMIEB	インプットキャプチャ/コンペア一致割り込み許可ビットB	0：IMFBビットによる割り込み(IMIB)禁止 1：IMFBビットによる割り込み(IMIB)許可	R/W
b2	IMIEC	インプットキャプチャ/コンペア一致割り込み許可ビットC	0：IMFCビットによる割り込み(IMIC)禁止 1：IMFCビットによる割り込み(IMIC)許可	R/W
b3	IMIED	インプットキャプチャ/コンペア一致割り込み許可ビットD	0：IMFDビットによる割り込み(IMID)禁止 1：IMFDビットによる割り込み(IMID)許可	R/W
b4	OVIE	オーバフロー/アンダフロー割り込み許可ビット	0：OVFビットによる割り込み(OVI)禁止 1：OVFビットによる割り込み(OVI)許可	R/W
b5	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b6	—			
b7	—			

20.4.15 タイマRDカウンタi (TRDi)(i＝0～1)[タイマモード(アウトプットコンペア機能時)]

アドレス　0147h～0146h番地(TRD0)、0157h～0156h番地(TRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15～b0	カウントソースをカウント。カウント動作はアップカウント。 オーバフローすると、TRDSRiレジスタのOVFビットが“1”になる。	0000h～FFFFh	R/W

TRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

20.4.16 タイマRDジェネラルレジスタAi、Bi、Ci、Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi)(i＝0～1)[タイマモード(アウトプットコンペア機能時)]

アドレス 0149h～0148h番地(TRDGRA0)、014Bh～014Ah番地(TRDGRB0)、
014Dh～014Ch番地(TRDGRC0)、014Fh～014Eh番地(TRDGRD0)、
0159h～0158h番地(TRDGRA1)、015Bh～015Ah番地(TRDGRB1)、
015Dh～015Ch番地(TRDGRC1)、015Fh～015Eh番地(TRDGRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	−	−	−	−	−	−	−	−
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	−	−	−	−	−	−	−	−
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15～b0	「表20.8　アウトプットコンペア機能時のTRDGRjiレジスタの機能」参照	R/W

TRDGRAi～TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

アウトプットコンペア機能では、次のレジスタは無効です。
TRDDF0、TRDDF1、TRDPOCR0、TRDPOCR1

表20.8　アウトプットコンペア機能時のTRDGRjiレジスタの機能

レジスタ	設定 BFji	設定 IOj3	レジスタの機能		アウトプットコンペア出力端子
TRDGRAi	−	−	ジェネラルレジスタ。コンペア値を書いてください。		TRDIOAi
TRDGRBi					TRDIOBi
TRDGRCi	0	1	ジェネラルレジスタ。コンペア値を書いてください。		TRDIOCi
TRDGRDi					TRDIODi
TRDGRCi	1	1	バッファレジスタ。次回のコンペア値を書いてください。(「20.2.2　バッファ動作」参照)		TRDIOAi
TRDGRDi					TRDIOBi
TRDGRCi	0	0	TRDIOAi出力制御	「20.4.20　TRDGRCi(i＝0～1)、TRDGRDiレジスタの出力端子変更」参照	TRDIOAi
TRDGRDi			TRDIOBi出力制御		TRDIOBi

i=0～1、j=A、B、C、Dのいずれか
BFji：TRDMRレジスタのビット　IOj3：TRDIORCiレジスタのビット

20.4.17 タイマRD端子選択レジスタ0 (TRDPSR0)

アドレス 0184h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	TRDIOD0SEL0	—	TRDIOC0SEL0	—	TRDIOB0SEL0	—	TRDIOA0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA0SEL0	TRDIOA0/TRDCLK端子選択ビット	0：TRDIOA0/TRDCLK端子は使用しない 1：P3_5に割り当てる	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b2	TRDIOB0SEL0	TRDIOB0端子選択ビット	0：TRDIOB0端子は使用しない 1：P3_4に割り当てる	R/W
b3	—	予約ビット	“0”にしてください	R/W
b4	TRDIOC0SEL0	TRDIOC0端子選択ビット	0：TRDIOC0端子は使用しない 1：P3_7に割り当てる	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	TRDIOD0SEL0	TRDIOD0端子選択ビット	0：TRDIOD0端子は使用しない 1：P3_3に割り当てる	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

TRDPSR0レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR0レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR0レジスタを設定してください。また、タイマRDの動作中はTRDPSR0レジスタの設定値を変更しないでください。

20.4.18 タイマRD端子選択レジスタ1 (TRDPSR1)

アドレス 0185h番地

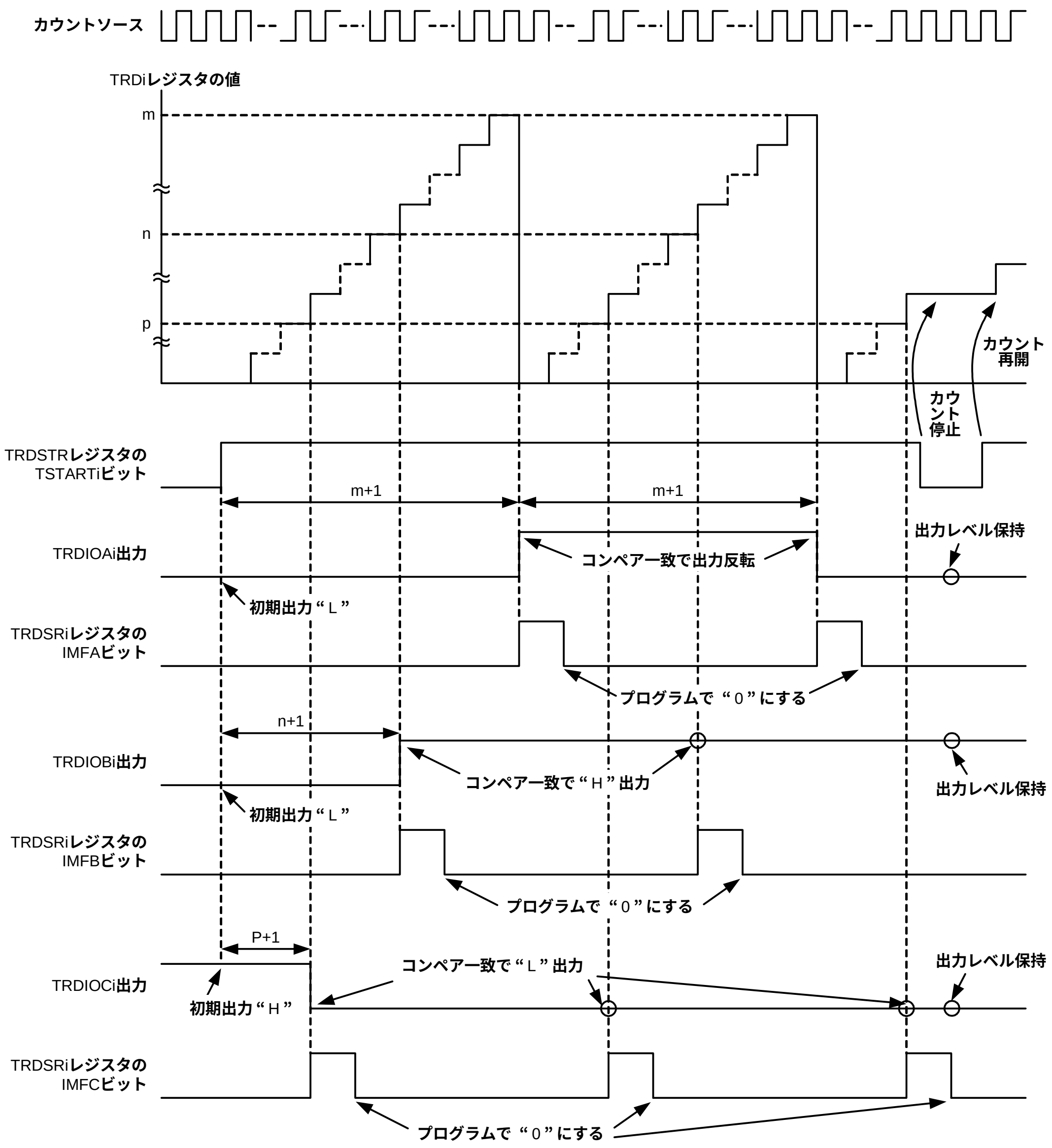
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	TRDIOD1SEL0	—	TRDIOC1SEL0	—	TRDIOB1SEL0	—	TRDIOA1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA1SEL0	TRDIOA1端子選択ビット	0：TRDIOA1端子は使用しない 1：P1_0に割り当てる	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b2	TRDIOB1SEL0	TRDIOB1端子選択ビット	0：TRDIOB1端子は使用しない 1：P1_1に割り当てる	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	TRDIOC1SEL0	TRDIOC1端子選択ビット	0：TRDIOC1端子は使用しない 1：P1_2に割り当てる	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	TRDIOD1SEL0	TRDIOD1端子選択ビット	0：TRDIOD1端子は使用しない 1：P1_3に割り当てる	R/W
b7	—	予約ビット	“0”にしてください	R/W

TRDPSR1レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR1レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR1レジスタを設定してください。また、タイマRDの動作中はTRDPSR1レジスタの設定値を変更しないでください。

20.4.19 動作例



i=0〜1

m：TRDGRAiレジスタ設定値
n：TRDGRBiレジスタ設定値
p：TRDGRCiレジスタ設定値

上図は次の条件の場合です。
TRDSTRレジスタのCSELiビットが“1”(TRDiはコンペア一致で停止しない)
TRDMRレジスタのBFCi、BFDiビットが“0”(TRDGRCi、TRDGRDiバッファ動作しない)
TRDOER1レジスタのEAi、EBi、ECiビットが“0”(TRDIOAi、TRDIOBi、TRDIOCi出力許可)
TRDCRiレジスタのCCLR2~CCLR0ビットが“001b”(TRDGRAiのコンペア一致でTRDiを“0000h”にする)
TRDOCRレジスタのTOAi、TOBiビットが“0”(コンペア一致までの初期出力“L”)、TOCiビットが“1”(コンペア一致までの初期出力“H”)
TRDIORAiレジスタのIOA2~IOA0ビットが“011b”(TRDGRAiコンペア一致時、TRDIOAi出力反転)
TRDIORAiレジスタのIOB2~IOB0ビットが“010b”(TRDGRBiコンペア一致時、TRDIOBi“H”出力)
TRDIORCiレジスタのIOC3~IOC0ビットが“1001b”(TRDGRCiコンペア一致時、TRDIOCi“L”出力)
TRDIORCiレジスタのIOD3~IOD0ビットを“1000b”(TRDGRDiレジスタはTRDIOBi端子出力制御しない、コンペア一致による端子出力禁止)

図20.11 アウトプットコンペア機能の動作例

20.4.20 TRDGRCi(i＝0～1)、TRDGRDiレジスタの出力端子変更

TRDGRCiレジスタをTRDIOAi端子の、TRDGRDiレジスタをTRDIOBi端子の出力制御に使用できます。したがって、各端子の出力は次のように制御できます。

- TRDIOAi出力は、TRDGRAiレジスタの値とTRDGRCiレジスタの値の2点で制御
- TRDIOBi出力は、TRDGRBiレジスタの値とTRDGRDiレジスタの値の2点で制御

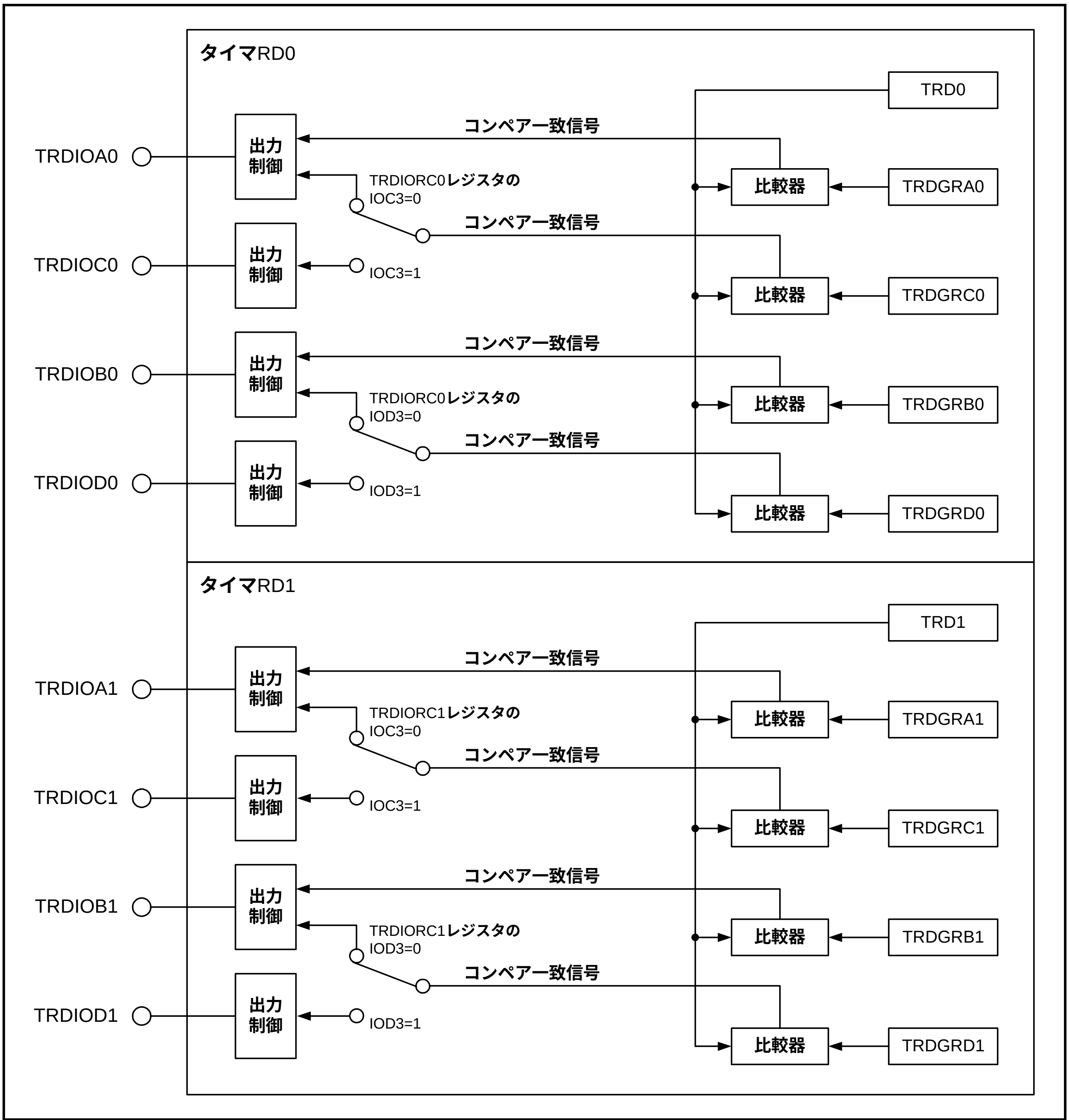
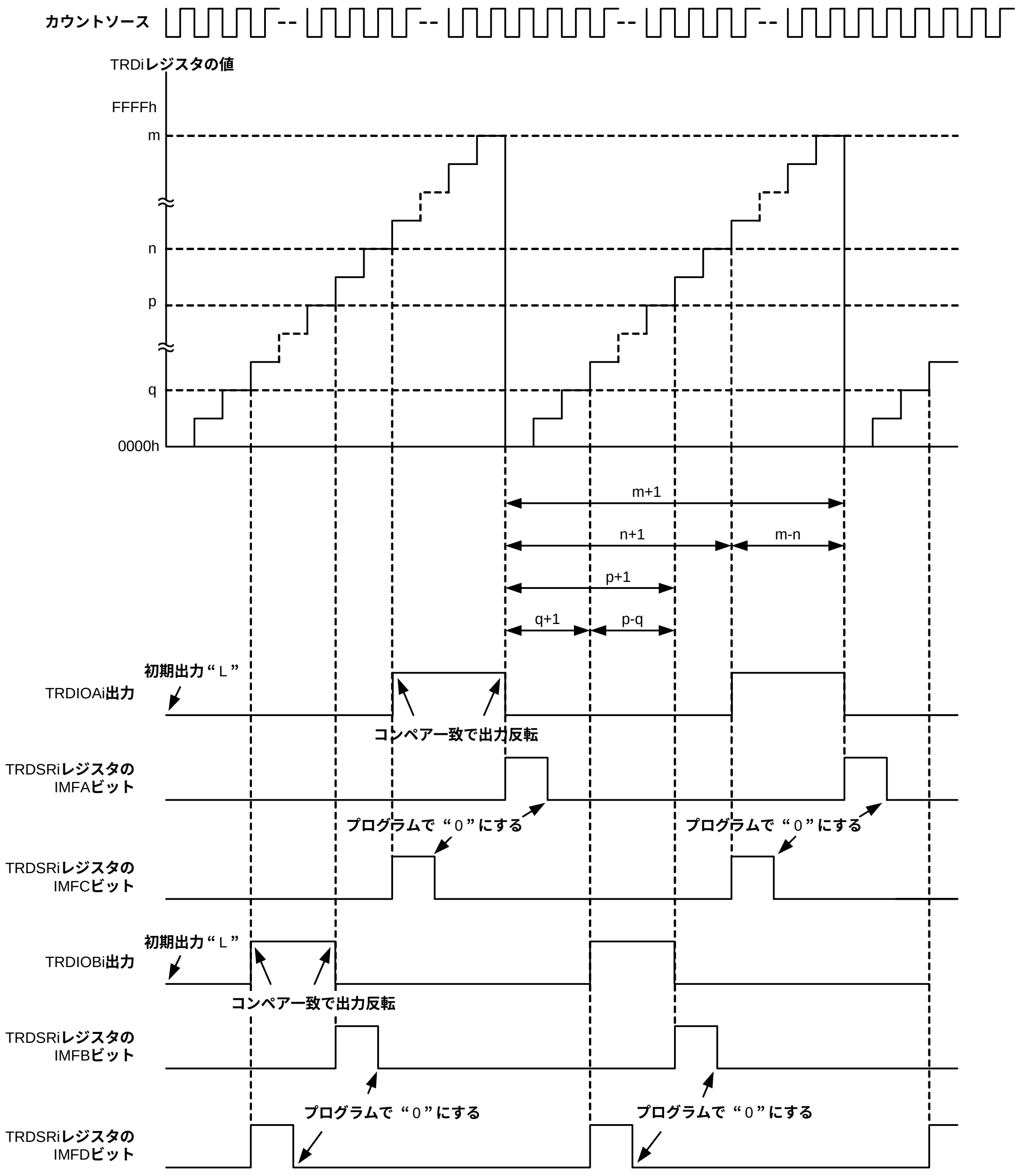


図20.12　TRDGRCi、TRDGRDiの出力端子変更

TRDGRCi、TRDGRDiレジスタの出力端子を変更する場合は、次のようにしてください。

- TRDIORCiレジスタのIOj3(j=CまたはD)ビットで"0"(TRDGRjiレジスタ出力端子変更)を選択。
- TRDMRレジスタのBFjiビットを"0"(ジェネラルレジスタ)にする。
- TRDGRAiレジスタとTRDGRCiレジスタは違う値を設定。また、TRDGRBiレジスタとTRDGRDiレジスタは違う値を設定。

図20.13にTRDGRCiをTRDIOAi端子の、TRDGRDiをTRDIOBi端子の出力制御に使用した場合の動作例を示します。



i=0〜1

m：TRDGRAiレジスタの設定値
n：TRDGRCiレジスタの設定値
p：TRDGRBiレジスタの設定値
q：TRDGRDiレジスタの設定値

上図は次の条件の場合です。
TRDSTRレジスタのCSELiビットが“1”(TRDiはコンペア一致で停止しない)
TRDMRレジスタのBFCi、BFDiビットが“0”(TRDGRCi、TRDGRDiバッファ動作しない)
TRDOER1レジスタのEAi、EBiビットが“0”(TRDIOAi、TRDIOBi出力許可)
TRDCRiレジスタのCCLR2~CCLR0ビットが“001b”(TRDGRAiのコンペア一致でTRDiを“0000h”にする)
TRDOCRレジスタのTOAi、TOBiビットが“0”(コンペア一致までの初期出力“L”)
TRDIORAiレジスタのIOA2~IOA0ビットが“011b”(TRDGRAiコンペア一致時、TRDIOAi出力反転)
TRDIORAiレジスタのIOB2~IOB0ビットが“011b”(TRDGRBiコンペア一致時、TRDIOBi出力反転)
TRDIORCiレジスタのIOC3~IOC0ビットが“0011b”(TRDGRCiコンペア一致時、TRDIOAi出力反転)
TRDIORCiレジスタのIOD3~IOD0ビットが“0011b”(TRDGRDiコンペア一致時、TRDIOBi出力反転)

図20.13　TRDGRCiをTRDIOAi端子の、TRDGRDiをTRDIOBi端子の出力制御に使用した場合の動作例

20.4.21 A/Dトリガ発生

TRDi(i = 0 ～ 1) レジスタとTRDGRji(j = A、B、C、D) レジスタのコンペア一致信号を、A/Dコンバータの変換開始トリガとして使用できます。

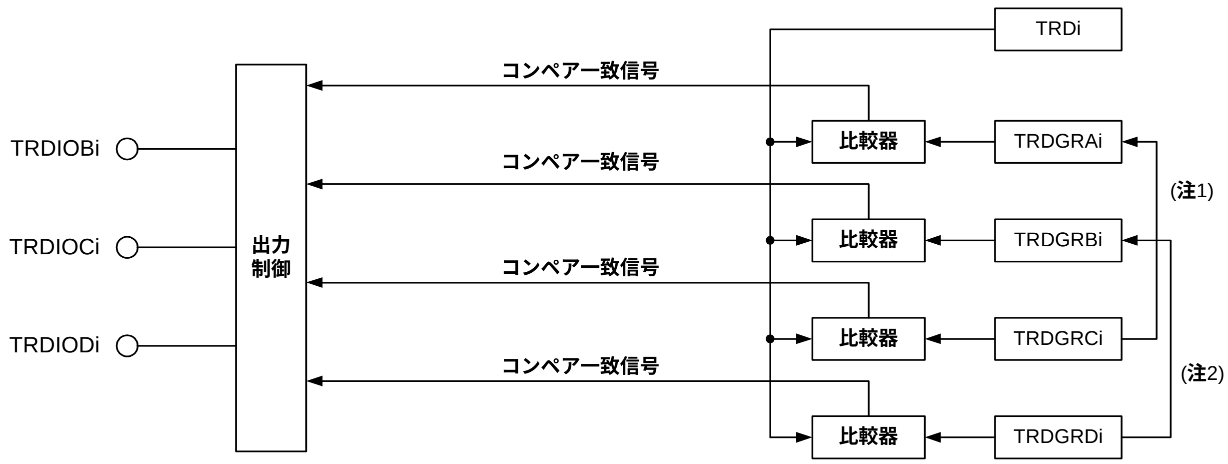
TRDADCRレジスタで、どのコンペア一致を使用するか選択できます。

20.5　PWMモード

PWM波形を出力するモードです。タイマRDi (i=0～1)で同周期のPWM波形を最大3本出力できます。また、タイマRD0とタイマRD1を同期させることによって同周期のPWM波形を最大6本出力できます。

TRDIOji(i＝0～1、j＝B、C、D)端子とTRDGRjiレジスタの組み合わせで機能しますので、端子1本ごとにPWMモードにするか、他のモード、機能にするかを選択できます(ただし、いずれの端子をPWMモードに使用する場合もTRDGRAiレジスタを使用しますので、TRDGRAiレジスタは他のモードに使用できません)。

図20.14にPWMモードのブロック図を、表20.9にPWMモードの仕様を、図20.15～図20.16にPWMモードの動作例を示します。

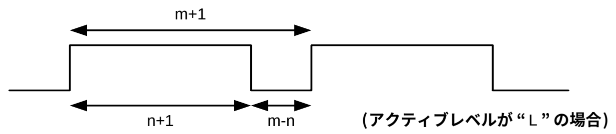


i=0～1

注1．TRDMRレジスタのBFCiビットが“1”(TRDGRCiレジスタはTRDGRAiレジスタのバッファレジスタ)のときです。
注2．TRDMRレジスタのBFDiビットが“1”(TRDGRDiレジスタはTRDGRBiレジスタのバッファレジスタ)のときです。

図20.14　PWMモードのブロック図

表20.9　PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択可能)
カウント動作	アップカウント
PWM波形	PWM周期：1/fk×(m+1) アクティブレベル幅：1/fk×(m-n) アクティブでないレベルの幅：1/fk×(n+1) fk：カウントソースの周波数 m：TRDGRAiレジスタ設定値 n：TRDGRjiレジスタ設定値 
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの“1”(カウント開始)書き込み
カウント停止条件	• TRDSTRレジスタのCSELiビットが“1”に設定されているとき、TSTARTiビットへの“0”(カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持 • TRDSTRレジスタのCSELiビットが“0”の場合、TRDGRAiコンペア一致でカウント停止 PWM出力端子はコンペア一致による出力変化後のレベルを保持
割り込み要求発生タイミング	• コンペア一致(TRDiレジスタとTRDGRhiレジスタの内容が一致) • TRDiオーバフロー
TRDIOA0端子機能	プログラマブル入出力ポート、またはTRDCLK(外部クロック)入力
TRDIOA1端子機能	プログラマブル入出力ポート
TRDIOB0、TRDIOC0、TRDIOD0、TRDIOB1、TRDIOC1、TRDIOD1端子機能	プログラマブル入出力ポート、またはPWM出力(1端子ごとに選択)
$\overline{\text{INT0}}$端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、または$\overline{\text{INT0}}$割り込み入力
タイマの読み出し	TRDiレジスタを読むと、カウント値が読める
タイマの書き込み	TRDiレジスタに書き込める
選択機能	• PWM出力端子をタイマRDiで1~3本選択 TRDIOBi、TRDIOCi、TRDIODi端子のいずれか1本または複数本 • アクティブレベルを1端子ごとに選択 • 初期出力レベルを1端子ごとに選択 • 同期動作(「20.2.3　同期動作」参照) • バッファ動作(「20.2.2　バッファ動作」参照) • パルス出力強制遮断信号入力(「20.2.4　パルス出力強制遮断」参照) • A/Dトリガ発生

i=0～1
j＝B、C、Dのいずれか
h＝A、B、C、Dのいずれか

20.5.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	−	−	MSTTRC	MSTTRD	MSTIIC	−	−	−
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	−	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		−
b1	−			
b2	−			
b3	MSTIIC	SSUスタンバイビット	0：アクティブ 1：スタンバイ(注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0：アクティブ 1：スタンバイ(注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0：アクティブ 1：スタンバイ(注4)	R/W
b6	−	予約ビット	“0”にしてください	R/W
b7	−	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		−

注1. スタンバイにする前に、SSU機能を停止してください。MSTIICビットが“1”(スタンバイ)のとき、SSU関連レジスタ(0193h〜019Dh番地)へのアクセスは無効になります。
注2. スタンバイにする前に、タイマRD機能を停止してください。MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h〜015Fh番地)へのアクセスは無効になります。
注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCRi(i=0〜1)レジスタのTCK2〜TCK0ビットを“000b”(f1)にしてください。
注4. スタンバイにする前に、タイマRC機能を停止してください。MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h〜0133h番地)へのアクセスは無効になります。

20.5.2 タイマRDトリガ制御レジスタ(TRDADCR)

アドレス 0136h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADTRGD1E	ADTRGC1E	ADTRGB1E	ADTRGA1E	ADTRGD0E	ADTRGC0E	ADTRGB0E	ADTRGA0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGA0E	A/DトリガA0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRA0レジスタのコンペアー致時にA/Dトリガ発生	R/W
b1	ADTRGB0E	A/DトリガB0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRB0レジスタのコンペアー致時にA/Dトリガ発生	R/W
b2	ADTRGC0E	A/DトリガC0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRC0レジスタのコンペアー致時にA/Dトリガ発生	R/W
b3	ADTRGD0E	A/DトリガD0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRD0レジスタのコンペアー致時にA/Dトリガ発生	R/W
b4	ADTRGA1E	A/DトリガA1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRA1レジスタのコンペアー致時にA/Dトリガ発生	R/W
b5	ADTRGB1E	A/DトリガB1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRB1レジスタのコンペアー致時にA/Dトリガ発生	R/W
b6	ADTRGC1E	A/DトリガC1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRC1レジスタのコンペアー致時にA/Dトリガ発生	R/W
b7	ADTRGD1E	A/DトリガD1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRD1レジスタのコンペアー致時にA/Dトリガ発生	R/W

20.5.3 タイマRDスタートレジスタ(TRDSTR)[PWMモード時]

アドレス 0137h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	CSEL1	CSEL0	TSTART1	TSTART0
リセット後の値	1	1	1	1	1	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART0	TRD0カウント開始フラグ(注3)	0：カウント停止(注1) 1：カウント開始	R/W
b1	TSTART1	TRD1カウント開始フラグ(注4)	0：カウント停止(注2) 1：カウント開始	R/W
b2	CSEL0	TRD0カウント動作選択ビット	0：TRDGRA0レジスタとのコンペア一致でカウント停止 1：TRDGRA0レジスタとのコンペア一致後もカウント継続	R/W
b3	CSEL1	TRD1カウント動作選択ビット	0：TRDGRA1レジスタとのコンペア一致でカウント停止 1：TRDGRA1レジスタとのコンペア一致後もカウント継続	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		—
b5	—			
b6	—			
b7	—			

注1. CSEL0ビットが“1”に設定されているとき、TSTART0ビットへ“0”を書いてください。
注2. CSEL1ビットが“1”に設定されているとき、TSTART1ビットへ“0”を書いてください。
注3. CSEL0ビットが“0”でコンペア一致信号(TRDIOA0)が発生したとき、“0”(カウント停止)になります。
注4. CSEL1ビットが“0”でコンペア一致信号(TRDIOA1)が発生したとき、“0”(カウント停止)になります。

TRDSTRレジスタはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。タイマRD使用上の注意事項の「20.10.1　TRDSTRレジスタ」を参照してください。

20.5.4 タイマRDモードレジスタ(TRDMR)[PWMモード時]

アドレス 0138h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BFD1	BFC1	BFD0	BFC0	—	—	—	SYNC
リセット後の値	0	0	0	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC	タイマRD同期ビット	0：TRD0とTRD1は独立動作 1：TRD0とTRD1は同期動作	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b2	—			
b3	—			
b4	BFC0	TRDGRC0レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRA0レジスタのバッファレジスタ	R/W
b5	BFD0	TRDGRD0レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRB0レジスタのバッファレジスタ	R/W
b6	BFC1	TRDGRC1レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRA1レジスタのバッファレジスタ	R/W
b7	BFD1	TRDGRD1レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRB1レジスタのバッファレジスタ	R/W

20.5.5 タイマRD PWMモードレジスタ(TRDPMR)[PWMモード時]

アドレス 0139h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	PWMD1	PWMC1	PWMB1	—	PWMD0	PWMC0	PWMB0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PWMB0	TRDIOB0 PWMモード選択ビット	0：タイマモード 1：PWMモード	R/W
b1	PWMC0	TRDIOC0 PWMモード選択ビット		R/W
b2	PWMD0	TRDIOD0 PWMモード選択ビット		R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b4	PWMB1	TRDIOB1 PWMモード選択ビット	0：タイマモード 1：PWMモード	R/W
b5	PWMC1	TRDIOC1 PWMモード選択ビット		R/W
b6	PWMD1	TRDIOD1 PWMモード選択ビット		R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—

20.5.6 タイマRD機能制御レジスタ(TRDFCR)[PWMモード時]

アドレス 013Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PWM3	STCLK	ADEG	ADTRG	OLS1	OLS0	CMD1	CMD0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMD0	コンビネーションモード選択ビット(注1)	PWMモードでは“00b”(タイマモード、PWMモード、PWM3モード)にしてください	R/W
b1	CMD1			R/W
b2	OLS0	正相出力レベル選択ビット(リセット同期PWMモードまたは相補PWMモード時)	PWMモードでは無効です	R/W
b3	OLS1	逆相出力レベル選択ビット(リセット同期PWMモードまたは相補PWMモード時)		R/W
b4	ADTRG	A/Dトリガ許可ビット(相補PWMモード時)		R/W
b5	ADEG	A/Dトリガエッジ選択ビット(相補PWMモード時)		R/W
b6	STCLK	外部クロック入力選択ビット	0：外部クロック入力無効 1：外部クロック入力有効	R/W
b7	PWM3	PWM3モード選択ビット(注2)	PWMモードでは“1”(PWM3モード以外)にしてください	R/W

注1. CMD1～CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のときに書いてください。

注2. CMD1～CMD0ビットが“00b”(タイマモード、PWMモード、PWM3モード)のとき、PWM3ビットの設定が有効になります。

20.5.7 タイマRDアウトプットマスタ許可レジスタ1 (TRDOER1)[PWMモード時]

アドレス 013Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	EA0	TRDIOA0出力禁止ビット	PWMモードでは、“1”(TRDIOA0端子はプログラマブル入出力ポート)にしてください	R/W
b1	EB0	TRDIOB0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOB0端子はプログラマブル入出力ポート)	R/W
b2	EC0	TRDIOC0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOC0端子はプログラマブル入出力ポート)	R/W
b3	ED0	TRDIOD0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOD0端子はプログラマブル入出力ポート)	R/W
b4	EA1	TRDIOA1出力禁止ビット	PWMモードでは、“1”(TRDIOA1端子はプログラマブル入出力ポート)にしてください	R/W
b5	EB1	TRDIOB1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOB1端子はプログラマブル入出力ポート)	R/W
b6	EC1	TRDIOC1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOC1端子はプログラマブル入出力ポート)	R/W
b7	ED1	TRDIOD1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOD1端子はプログラマブル入出力ポート)	R/W

20.5.8 タイマRDアウトプットマスタ許可レジスタ2 (TRDOER2)[PWMモード時]

アドレス 013Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PTO	−	−	−	−	−	−	−
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	−	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		−
b1	−			
b2	−			
b3	−			
b4	−			
b5	−			
b6	−			
b7	PTO	パルス出力強制遮断信号入力$\overline{\mathrm{INT0}}$有効ビット(注1)	0：パルス出力強制遮断入力無効 1：パルス出力強制遮断入力有効($\overline{\mathrm{INT0}}$端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1”(出力禁止)になる)	R/W

注1. 「20.2.4 パルス出力強制遮断」を参照してください。

20.5.9 タイマRDアウトプット制御レジスタ(TRDOCR)[PWMモード時]

アドレス 013Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA0	TRDIOA0出力レベル選択ビット	PWMモードでは、“0”にしてください	R/W
b1	TOB0	TRDIOB0出力レベル選択ビット(注1)	0：初期出力はアクティブでないレベル 1：初期出力はアクティブレベル	R/W
b2	TOC0	TRDIOC0初期出力レベル選択ビット(注1)		R/W
b3	TOD0	TRDIOD0初期出力レベル選択ビット(注1)		R/W
b4	TOA1	TRDIOA1初期出力レベル選択ビット	PWMモードでは、“0”にしてください	R/W
b5	TOB1	TRDIOB1初期出力レベル選択ビット(注1)	0：アクティブでないレベル 1：アクティブレベル	R/W
b6	TOC1	TRDIOC1初期出力レベル選択ビット(注1)		R/W
b7	TOD1	TRDIOD1初期出力レベル選択ビット(注1)		R/W

注1. 端子の機能が波形出力の場合(「7.5　ポートの設定」参照)、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。

TRDOCRレジスタは、TRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のとき書いてください。

20.5.10 タイマRD制御レジスタi (TRDCRi)(i＝0～1)[PWMモード時]

アドレス 0140h番地(TRDCR0)、0150h番地(TRDCR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット	b2 b1 b0 0 0 0：f1 0 0 1：f2 0 1 0：f4 0 1 1：f8 1 0 0：f32 1 0 1：TRDCLK入力(注1) 1 1 0：fOCO40M 1 1 1：fOCO-F(注3)	R/W
b1	TCK1			R/W
b2	TCK2			R/W
b3	CKEG0	外部クロックエッジ選択ビット(注2)	b4 b3 0 0：立ち上がりエッジでカウント 0 1：立ち下がりエッジでカウント 1 0：両エッジでカウント 1 1：設定しないでください	R/W
b4	CKEG1			R/W
b5	CCLR0	TRDiカウンタクリア選択ビット	PWMモードでは“001b”(TRDGRAiとのコンペア一致でTRDiレジスタクリア)にしてください	R/W
b6	CCLR1			R/W
b7	CCLR2			R/W

注1. TRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
注2. TCK2～TCK0ビットが“101b”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
注3. fOCO-Fを選択するとき、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

20.5.11　タイマRDステータスレジスタi (TRDSRi)(i＝0～1)[PWMモード時]

アドレス　0143h番地(TRDSR0)、0153h番地(TRDSR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	−	−	UDF	OVF	IMFD	IMFC	IMFB	IMFA	
リセット後の値	1	1	1	0	0	0	0	0	TRDSR0レジスタ
リセット後の値	1	1	0	0	0	0	0	0	TRDSR1レジスタ

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペアー致フラグA	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRAiの値が一致したとき	R/W
b1	IMFB	インプットキャプチャ/コンペアー致フラグB	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRBiの値が一致したとき	R/W
b2	IMFC	インプットキャプチャ/コンペアー致フラグC	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRCiの値が一致したとき(注3)	R/W
b3	IMFD	インプットキャプチャ/コンペアー致フラグD	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRDiの値が一致したとき(注3)	R/W
b4	OVF	オーバフローフラグ	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiがオーバフローしたとき	R/W
b5	UDF	アンダフローフラグ(注1)	PWMモードでは無効です	R/W
b6	−	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		−
b7	−			

注1.　TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、“0”を書いてください。読んだ場合、その値は“1”です。

注2.　書き込み結果は次のようになります。
- 読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- 読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- “1”を書いた場合は変化しません。

注3.　TRDMRレジスタのBFjiビット(j=CまたはD)が“1”(TRDGRjiはバッファレジスタ)の場合を含む。

20.5.12 タイマRD割り込み許可レジスタi (TRDIERi)(i＝0～1)[PWMモード時]

アドレス 0144h番地(TRDIER0)、0154h番地(TRDIER1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	−	−	−	OVIE	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	1	1	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/コンペア一致割り込み許可ビットA	0：IMFAビットによる割り込み(IMIA)禁止 1：IMFAビットによる割り込み(IMIA)許可	R/W
b1	IMIEB	インプットキャプチャ/コンペア一致割り込み許可ビットB	0：IMFBビットによる割り込み(IMIB)禁止 1：IMFBビットによる割り込み(IMIB)許可	R/W
b2	IMIEC	インプットキャプチャ/コンペア一致割り込み許可ビットC	0：IMFCビットによる割り込み(IMIC)禁止 1：IMFCビットによる割り込み(IMIC)許可	R/W
b3	IMIED	インプットキャプチャ/コンペア一致割り込み許可ビットD	0：IMFDビットによる割り込み(IMID)禁止 1：IMFDビットによる割り込み(IMID)許可	R/W
b4	OVIE	オーバフロー/アンダフロー割り込み許可ビット	0：OVFビットによる割り込み(OVI)禁止 1：OVFビットによる割り込み(OVI)許可	R/W
b5	−	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		−
b6	−			
b7	−			

20.5.13 タイマRD PWMモードアウトプットレベル制御レジスタi (TRDPOCRi)(i＝0～1)[PWMモード時]

アドレス 0145h番地(TRDPOCR0)、0155h番地(TRDPOCR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	−	−	−	−	−	POLD	POLC	POLB
リセット後の値	1	1	1	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWMモードアウトプットレベル制御ビットB	0：TRDIOBiの出力レベルは“L”アクティブ 1：TRDIOBiの出力レベルは“H”アクティブ	R/W
b1	POLC	PWMモードアウトプットレベル制御ビットC	0：TRDIOCiの出力レベルは“L”アクティブ 1：TRDIOCiの出力レベルは“H”アクティブ	R/W
b2	POLD	PWMモードアウトプットレベル制御ビットD	0：TRDIODiの出力レベルは“L”アクティブ 1：TRDIODiの出力レベルは“H”アクティブ	R/W
b3	−	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		−
b4	−			
b5	−			
b6	−			
b7	−			

20.5.14 タイマRDカウンタi (TRDi)(i＝0～1)[PWMモード時]

アドレス 0147h～0146h番地(TRD0)、0157h～0156h番地(TRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15～b0	カウントソースをカウント。カウント動作はアップカウント。 オーバフローすると、TRDSRiレジスタのOVFビットが“1”になる。	0000h～FFFFh	R/W

TRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

20.5.15 タイマRDジェネラルレジスタAi、Bi、Ci、Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi)(i＝0～1)[PWMモード時]

アドレス　0149h～0148h番地(TRDGRA0)、014Bh～014Ah番地(TRDGRB0)、
014Dh～014Ch番地(TRDGRC0)、014Fh～014Eh番地(TRDGRD0)、
0159h～0158h番地(TRDGRA1)、015Bh～015Ah番地(TRDGRB1)、
015Dh～015Ch番地(TRDGRC1)、015Fh～015Eh番地(TRDGRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	－	－	－	－	－	－	－	－
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	－	－	－	－	－	－	－	－
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15～b0	「表20.10　PWMモード時のTRDGRjiレジスタの機能」参照	R/W

TRDGRAi～TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

PWMモードでは、次のレジスタは無効です。
TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDIORA1、TRDIORC1

表20.10 PWMモード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRAi	－	ジェネラルレジスタ。PWM周期を設定してください。	－
TRDGRBi	－	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRDIOBi
TRDGRCi	BFCi=0	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRDIOCi
TRDGRDi	BFDi=0		TRDIODi
TRDGRCi	BFCi=1	バッファレジスタ。次回のPWM周期を設定してください(「20.2.2　バッファ動作」参照)。	－
TRDGRDi	BFDi=1	バッファレジスタ。次回のPWM出力の変化点を設定してください(「20.2.2　バッファ動作」参照)。	TRDIOBi

i=0～1
BFCi、BFDi：TRDMRレジスタのビット

20.5.16　タイマRD端子選択レジスタ0 (TRDPSR0)

アドレス　0184h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	TRDIOD0SEL0	—	TRDIOC0SEL0	—	TRDIOB0SEL0	—	TRDIOA0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA0SEL0	TRDIOA0/TRDCLK端子選択ビット	0：TRDIOA0/TRDCLK端子は使用しない 1：P3_5に割り当てる	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b2	TRDIOB0SEL0	TRDIOB0端子選択ビット	0：TRDIOB0端子は使用しない 1：P3_4に割り当てる	R/W
b3	—	予約ビット	“0”にしてください	R/W
b4	TRDIOC0SEL0	TRDIOC0端子選択ビット	0：TRDIOC0端子は使用しない 1：P3_7に割り当てる	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	TRDIOD0SEL0	TRDIOD0端子選択ビット	0：TRDIOD0端子は使用しない 1：P3_3に割り当てる	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

TRDPSR0レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR0レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR0レジスタを設定してください。また、タイマRDの動作中はTRDPSR0レジスタの設定値を変更しないでください。

20.5.17　タイマRD端子選択レジスタ1 (TRDPSR1)

アドレス　0185h番地

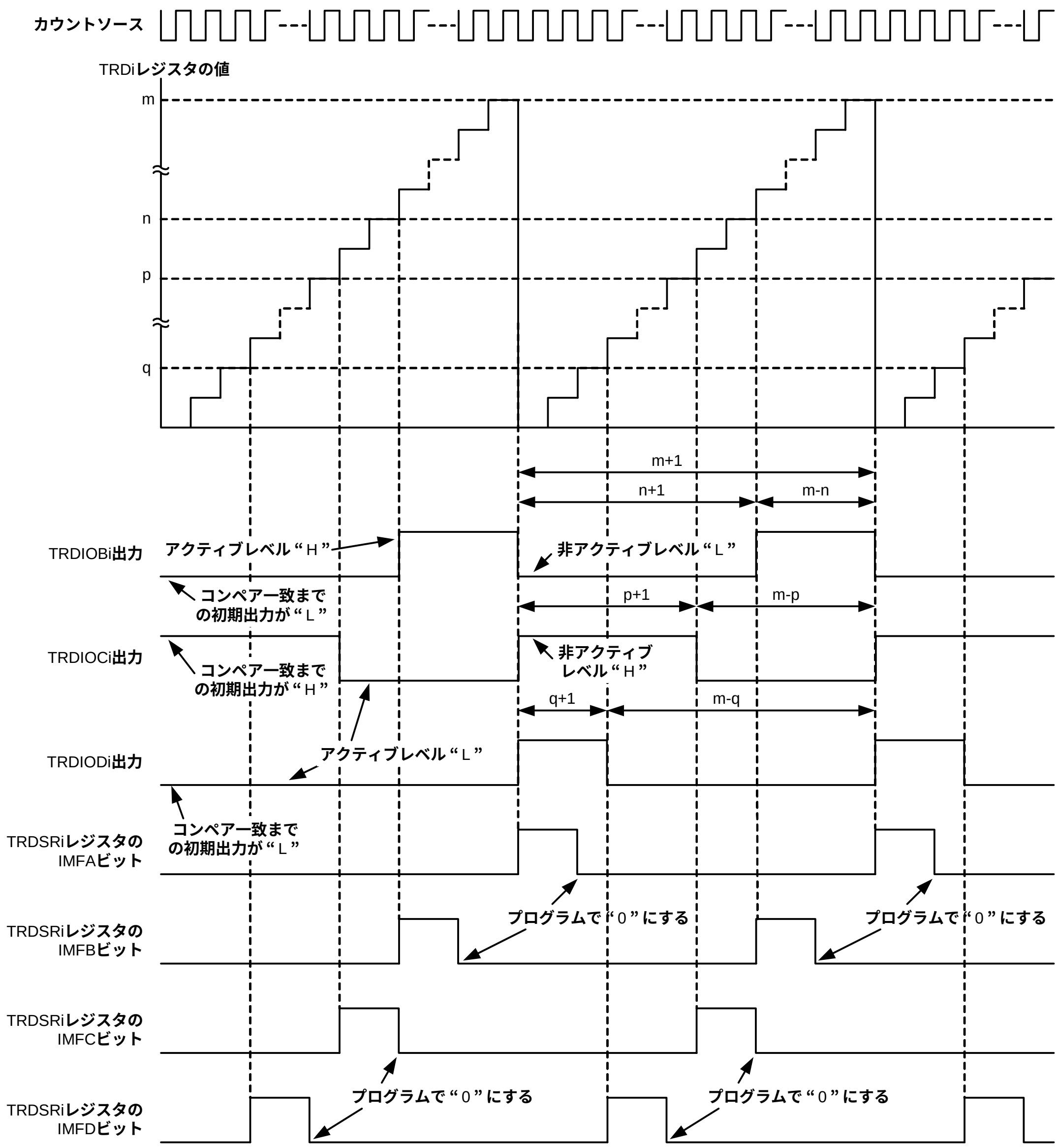
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	TRDIOD1SEL0	—	TRDIOC1SEL0	—	TRDIOB1SEL0	—	TRDIOA1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA1SEL0	TRDIOA1端子選択ビット	0：TRDIOA1端子は使用しない 1：P1_0に割り当てる	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b2	TRDIOB1SEL0	TRDIOB1端子選択ビット	0：TRDIOB1端子は使用しない 1：P1_1に割り当てる	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	TRDIOC1SEL0	TRDIOC1端子選択ビット	0：TRDIOC1端子は使用しない 1：P1_2に割り当てる	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	TRDIOD1SEL0	TRDIOD1端子選択ビット	0：TRDIOD1端子は使用しない 1：P1_3に割り当てる	R/W
b7	—	予約ビット	“0”にしてください	R/W

TRDPSR1レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR1レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR1レジスタを設定してください。また、タイマRDの動作中はTRDPSR1レジスタの設定値を変更しないでください。

20.5.18 動作例

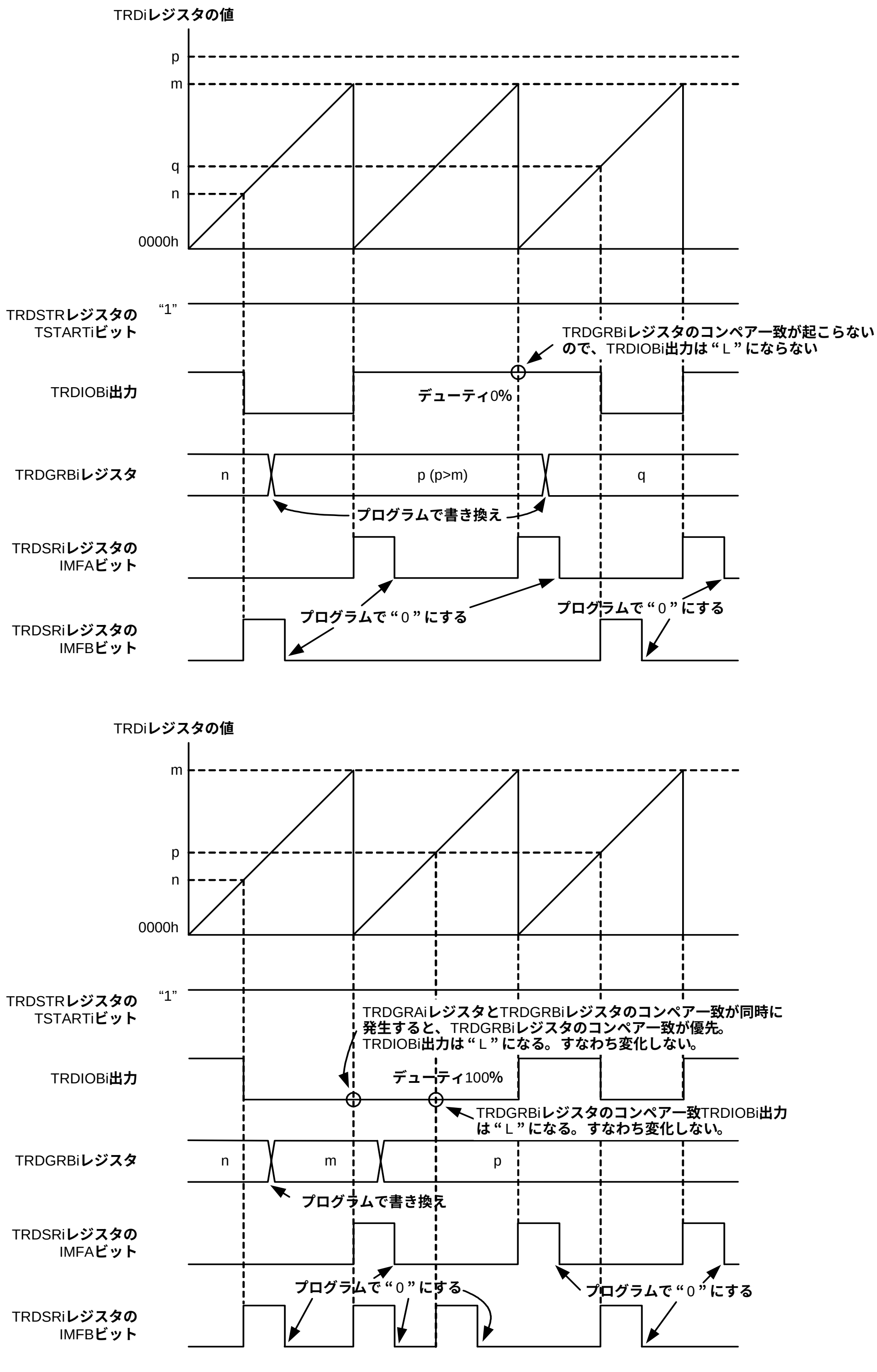


m：TRDGRAiレジスタの設定値
n：TRDGRBiレジスタの設定値
p：TRDGRCiレジスタの設定値
q：TRDGRDiレジスタの設定値

i=0～1

上図は次の条件の場合です。
TRDMRレジスタのBFCi、BFDiビットが“0”(TRDGRCi、TRDGRDiレジスタはバッファ動作しない)
TRDOER1レジスタのEBi、ECi、EDiビットが“0”(TRDIOBi、TRDIOCi、TRDIODi出力許可)
TRDOCRレジスタのTOBi、TOCiビットが“0”(アクティブでないレベル)、TODiビットが“1”(アクティブレベル)
TRDPOCRiレジスタのPOLBビットが“1”(アクティブレベル“H”)、POLC、POLDビットが“0”(アクティブレベル“L”)

図20.15　PWMモードの動作例



i=0〜1　　m：TRDGRAiレジスタの設定値

上図は次の条件の場合です。
TRDOER1レジスタのEBiビットが"0"(TRDIOBi出力許可)
TRDPOCRiレジスタのPOLBビットが"0"(アクティブレベル"L")

図20.16　PWMモードの動作例(デューティ 0%、デューティ 100%)

20.5.19 A/Dトリガ発生

TRDi(i = 0 ～ 1) レジスタとTRDGRji(j = A、B、C、D) レジスタのコンペア一致信号を、A/Dコンバータの変換開始トリガとして使用できます。

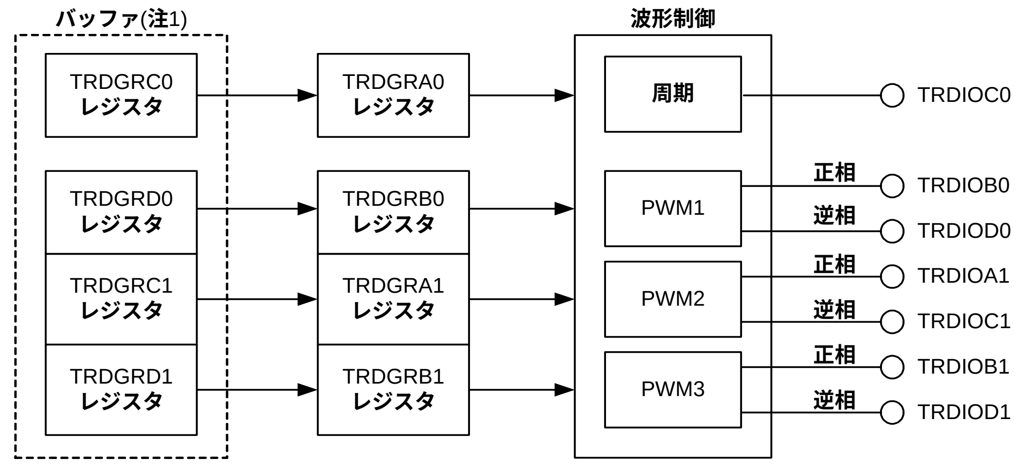
TRDADCRレジスタで、どのコンペア一致を使用するか選択できます。

20.6 リセット同期PWMモード

同周期のPWM波形を正相3本、逆相3本、計6本出力します(三相、鋸波変調、短絡防止時間なし)。

図20.17にリセット同期PWMモードのブロック図を、表20.11にリセット同期PWMモードの仕様を、図20.18にリセット同期PWMモードの動作例を示します。

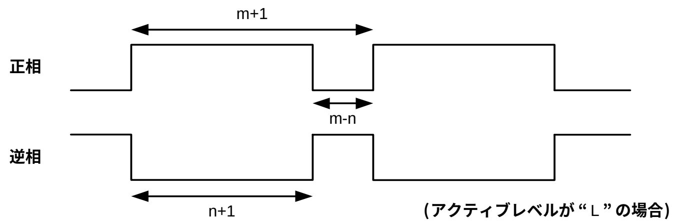
デューティ 0%、100%の PWM 動作例は「図 20.16　PWM モードの動作例 (デューティ 0%、デューティ 100%)」を参照してください。



注1. TRDMRレジスタのBFC0、BFD0、BFC1、BFD1ビットが“1”(バッファレジスタ)の場合です。

図20.17　リセット同期PWMモードのブロック図

表20.11　リセット同期PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択可能)
カウント動作	TRD0はアップカウント　(TRD1は使用しない)
PWM波形	PWM周期　：1/fk×(m+1) 正相のアクティブレベル幅　：1/fk×(m-n) 逆相のアクティブレベル幅　：1/fk×(n+1) fk：カウントソースの周波数 m：TRDGRA0レジスタ設定値 n：TRDGRB0レジスタ設定値(PWM出力1)、 TRDGRA1レジスタ設定値(PWM出力2)、 TRDGRB1レジスタ設定値(PWM出力3) 
カウント開始条件	TRDSTRレジスタのTSTART0ビットへの“1”(カウント開始)書き込み
カウント停止条件	• TRDSTRレジスタのCSEL0ビットが“1”に設定されているとき、TSTART0ビットへの“0”(カウント停止)書き込み(PWM出力端子はTRDFCRレジスタのOLS0、OLS1ビットで選択した初期出力レベルを出力) • TRDSTRレジスタのCSEL0ビットが“0”の場合、TRDGRA0コンペア一致でカウント停止(PWM出力端子はTRDFCRレジスタのOLS0、OLS1ビットで選択した初期出力レベルを出力)
割り込み要求発生タイミング	• コンペア一致(TRD0レジスタとTRDGRj0、TRDGRA1、TRDGRB1レジスタの内容が一致) • TRD0オーバフロー
TRDIOA0端子機能	プログラマブル入出力ポート、またはTRDCLK(外部クロック)入力
TRDIOB0端子機能	PWM出力1正相出力
TRDIOD0端子機能	PWM出力1逆相出力
TRDIOA1端子機能	PWM出力2正相出力
TRDIOC1端子機能	PWM出力2逆相出力
TRDIOB1端子機能	PWM出力3正相出力
TRDIOD1端子機能	PWM出力3逆相出力
TRDIOC0端子機能	PWM周期ごとに出力反転
$\overline{\mathrm{INT0}}$端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、または$\overline{\mathrm{INT0}}$割り込み入力
タイマの読み出し	TRD0レジスタを読むと、カウント値が読める
タイマの書き込み	TRD0レジスタに書き込める
選択機能	• 正相、逆相のアクティブレベルと初期出力レベルを個々に選択 • バッファ動作(「20.2.2　バッファ動作」参照) • パルス出力強制遮断信号入力(「20.2.4　パルス出力強制遮断」参照) • A/Dトリガ発生

j=A、B、C、Dのいずれか

20.6.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	MSTTRC	MSTTRD	MSTIIC	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	—			
b2	—			
b3	MSTIIC	SSUスタンバイビット	0：アクティブ 1：スタンバイ(注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0：アクティブ 1：スタンバイ(注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0：アクティブ 1：スタンバイ(注4)	R/W
b6	—	予約ビット	“0”にしてください	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. スタンバイにする前に、SSU機能を停止してください。MSTIICビットが“1”(スタンバイ)のとき、SSU関連レジスタ(0193h～019Dh番地)へのアクセスは無効になります。
注2. スタンバイにする前に、タイマRD機能を停止してください。MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h～015Fh番地)へのアクセスは無効になります。
注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCRi(i=0～1)レジスタのTCK2～TCK0ビットを“000b”(f1)にしてください。
注4. スタンバイにする前に、タイマRC機能を停止してください。MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h～0133h番地)へのアクセスは無効になります。

20.6.2 タイマRDトリガ制御レジスタ(TRDADCR)

アドレス 0136h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADTRGD1E	ADTRGC1E	ADTRGB1E	ADTRGA1E	ADTRGD0E	ADTRGC0E	ADTRGB0E	ADTRGA0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGA0E	A/DトリガA0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRA0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b1	ADTRGB0E	A/DトリガB0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRB0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b2	ADTRGC0E	A/DトリガC0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRC0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b3	ADTRGD0E	A/DトリガD0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRD0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b4	ADTRGA1E	A/DトリガA1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRA1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b5	ADTRGB1E	A/DトリガB1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRB1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b6	ADTRGC1E	A/DトリガC1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRC1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b7	ADTRGD1E	A/DトリガD1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRD1レジスタのコンペア一致時にA/Dトリガ発生	R/W

20.6.3　タイマRDスタートレジスタ(TRDSTR)[リセット同期PWMモード時]

アドレス 0137h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	CSEL1	CSEL0	TSTART1	TSTART0
リセット後の値	1	1	1	1	1	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART0	TRD0カウント開始フラグ(注3)	0：カウント停止(注1) 1：カウント開始	R/W
b1	TSTART1	TRD1カウント開始フラグ(注4)	0：カウント停止(注2) 1：カウント開始	R/W
b2	CSEL0	TRD0カウント動作選択ビット	0：TRDGRA0レジスタとのコンペア一致でカウント停止 1：TRDGRA0レジスタとのコンペア一致後もカウント継続	R/W
b3	CSEL1	TRD1カウント動作選択ビット	0：TRDGRA1レジスタとのコンペア一致でカウント停止 1：TRDGRA1レジスタとのコンペア一致後もカウント継続	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		—
b5	—			
b6	—			
b7	—			

注1. CSEL0ビットが“1”に設定されているとき、TSTART0ビットへ“0”を書いてください。
注2. CSEL1ビットが“1”に設定されているとき、TSTART1ビットへ“0”を書いてください。
注3. CSEL0ビットが“0”でコンペア一致信号(TRDIOA0)が発生したとき、“0”(カウント停止)になります。
注4. CSEL1ビットが“0”でコンペア一致信号(TRDIOA1)が発生したとき、“0”(カウント停止)になります。

TRDSTRレジスタはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。タイマRD使用上の注意事項の「20.10.1　TRDSTRレジスタ」を参照してください。

20.6.4　タイマRDモードレジスタ(TRDMR)[リセット同期PWMモード時]

アドレス 0138h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BFD1	BFC1	BFD0	BFC0	—	—	—	SYNC
リセット後の値	0	0	0	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC	タイマRD同期ビット	リセット同期PWMモードでは“0”(TRD0とTRD1は独立動作)にしてください	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b2	—			
b3	—			
b4	BFC0	TRDGRC0レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRA0レジスタのバッファレジスタ	R/W
b5	BFD0	TRDGRD0レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRB0レジスタのバッファレジスタ	R/W
b6	BFC1	TRDGRC1レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRA1レジスタのバッファレジスタ	R/W
b7	BFD1	TRDGRD1レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRB1レジスタのバッファレジスタ	R/W

20.6.5 タイマRD機能制御レジスタ(TRDFCR)[リセット同期PWMモード時]

アドレス 013Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PWM3	STCLK	ADEG	ADTRG	OLS1	OLS0	CMD1	CMD0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMD0	コンビネーションモード選択ビット(注1)	リセット同期PWMモードでは“01b”(リセット同期PWMモード)にしてください	R/W
b1	CMD1			R/W
b2	OLS0	正相出力レベル選択ビット(リセット同期PWMモードまたは相補PWMモード時)	0：初期出力“H”、アクティブレベル“L” 1：初期出力“L”、アクティブレベル“H”	R/W
b3	OLS1	逆相出力レベル選択ビット(リセット同期PWMモードまたは相補PWMモード時)		R/W
b4	ADTRG	A/Dトリガ許可ビット(相補PWMモード時)	リセット同期PWMモードでは無効です	R/W
b5	ADEG	A/Dトリガエッジ選択ビット(相補PWMモード時)		R/W
b6	STCLK	外部クロック入力選択ビット	0：外部クロック入力無効 1：外部クロック入力有効	R/W
b7	PWM3	PWM3モード選択ビット(注2)	リセット同期PWMモードでは無効です	R/W

注1. CMD1～CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のときに書いてください。
注2. CMD1～CMD0ビットが“00b”(タイマモード・PWMモード・PWM3モード)のとき、PWM3ビットの設定が有効になります。

20.6.6 タイマRDアウトプットマスタ許可レジスタ1 (TRDOER1)[リセット同期PWMモード時]

アドレス 013Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	EA0	TRDIOA0出力禁止ビット	リセット同期PWMモードでは、“1”(TRDIOA0端子はプログラマブル入出力ポート)にしてください	R/W
b1	EB0	TRDIOB0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOB0端子はプログラマブル入出力ポート)	R/W
b2	EC0	TRDIOC0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOC0端子はプログラマブル入出力ポート)	R/W
b3	ED0	TRDIOD0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOD0端子はプログラマブル入出力ポート)	R/W
b4	EA1	TRDIOA1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOA1端子はプログラマブル入出力ポート)	R/W
b5	EB1	TRDIOB1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOB1端子はプログラマブル入出力ポート)	R/W
b6	EC1	TRDIOC1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOC1端子はプログラマブル入出力ポート)	R/W
b7	ED1	TRDIOD1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOD1端子はプログラマブル入出力ポート)	R/W

20.6.7 タイマRDアウトプットマスタ許可レジスタ2 (TRDOER2)[リセット同期PWMモード時]

アドレス 013Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PTO	—	—	—	—	—	—	—
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	PTO	パルス出力強制遮断信号入力$\overline{\text{INT0}}$有効ビット(注1)	0：パルス出力強制遮断入力無効 1：パルス出力強制遮断入力有効($\overline{\text{INT0}}$端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1”(出力禁止)になる)	R/W

注1.「20.2.4　パルス出力強制遮断」を参照してください。

20.6.8 タイマRD制御レジスタ0 (TRDCR0)[リセット同期PWMモード時]

アドレス 0140h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット	b2 b1 b0 0 0 0：f1 0 0 1：f2 0 1 0：f4 0 1 1：f8 1 0 0：f32 1 0 1：TRDCLK入力(注1) 1 1 0：fOCO40M 1 1 1：fOCO-F(注3)	R/W
b1	TCK1			R/W
b2	TCK2			R/W
b3	CKEG0	外部クロックエッジ選択ビット(注2)	b4 b3 0 0：立ち上がりエッジでカウント 0 1：立ち下がりエッジでカウント 1 0：両エッジでカウント 1 1：設定しないでください	R/W
b4	CKEG1			R/W
b5	CCLR0	TRD0カウンタクリア選択ビット	リセット同期PWMモードでは“001b”(TRDGRA0とのコンペア一致でTRD0レジスタクリア)にしてください	R/W
b6	CCLR1			R/W
b7	CCLR2			R/W

注1. TRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
注2. TCK2～TCK0ビットが“101b”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
注3. fOCO-Fを選択するとき、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

リセット同期PWMモードでは、TRDCR1レジスタは使用しません。

20.6.9 タイマRDステータスレジスタi (TRDSRi)(i＝0～1)[リセット同期PWMモード時]

アドレス	0143h番地(TRDSR0)、0153h番地(TRDSR1)								
ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	—	—	UDF	OVF	IMFD	IMFC	IMFB	IMFA	
リセット後の値	1	1	1	0	0	0	0	0	TRDSR0レジスタ
リセット後の値	1	1	0	0	0	0	0	0	TRDSR1レジスタ

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペア一致フラグA	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRAiの値が一致したとき	R/W
b1	IMFB	インプットキャプチャ/コンペア一致フラグB	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRBiの値が一致したとき	R/W
b2	IMFC	インプットキャプチャ/コンペア一致フラグC	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRCiの値が一致したとき(注3)	R/W
b3	IMFD	インプットキャプチャ/コンペア一致フラグD	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRDiの値が一致したとき(注3)	R/W
b4	OVF	オーバフローフラグ	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiがオーバフローしたとき	R/W
b5	UDF	アンダフローフラグ(注1)	リセット同期PWMモードでは無効です	R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b7	—			

注1. TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、“0”を書いてください。読んだ場合、その値は“1”です。
注2. 書き込み結果は次のようになります。
- 読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- 読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- “1”を書いた場合は変化しません。

注3. TRDMRレジスタのBFjiビット(j=CまたはD)が“1”(TRDGRjiはバッファレジスタ)の場合を含む。

20.6.10 タイマRD割り込み許可レジスタi (TRDIERi)(i＝0〜1)[リセット同期PWMモード時]

アドレス 0144h番地(TRDIER0)、0154h番地(TRDIER1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	1	1	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/コンペア一致割り込み許可ビットA	0：IMFAビットによる割り込み(IMIA)禁止 1：IMFAビットによる割り込み(IMIA)許可	R/W
b1	IMIEB	インプットキャプチャ/コンペア一致割り込み許可ビットB	0：IMFBビットによる割り込み(IMIB)禁止 1：IMFBビットによる割り込み(IMIB)許可	R/W
b2	IMIEC	インプットキャプチャ/コンペア一致割り込み許可ビットC	0：IMFCビットによる割り込み(IMIC)禁止 1：IMFCビットによる割り込み(IMIC)許可	R/W
b3	IMIED	インプットキャプチャ/コンペア一致割り込み許可ビットD	0：IMFDビットによる割り込み(IMID)禁止 1：IMFDビットによる割り込み(IMID)許可	R/W
b4	OVIE	オーバフロー/アンダフロー割り込み許可ビット	0：OVFビットによる割り込み(OVI)禁止 1：OVFビットによる割り込み(OVI)許可	R/W
b5	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b6	—			
b7	—			

20.6.11 タイマRDカウンタ0 (TRD0)[リセット同期PWMモード時]

アドレス 0147h〜0146h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15〜b0	カウントソースをカウント。カウント動作はアップカウント。 オーバフローすると、TRDSR0レジスタのOVFビットが“1”になる。	0000h〜FFFFh	R/W

TRD0レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

リセット同期PWMモードでは、TRD1レジスタは使用しません。

20.6.12 タイマRDジェネラルレジスタAi、Bi、Ci、Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi)(i＝0～1)[リセット同期PWMモード時]

アドレス 0149h～0148h番地(TRDGRA0)、014Bh～014Ah番地(TRDGRB0)、
014Dh～014Ch番地(TRDGRC0)、014Fh～014Eh番地(TRDGRD0)、
0159h～0158h番地(TRDGRA1)、015Bh～015Ah番地(TRDGRB1)、
015Dh～015Ch番地(TRDGRC1)、015Fh～015Eh番地(TRDGRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	−	−	−	−	−	−	−	−
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	−	−	−	−	−	−	−	−
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15～b0	「表20.12 リセット同期PWMモード時のTRDGRjiレジスタの機能」参照	R/W

TRDGRAi～TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

リセット同期PWMモードでは、次のレジスタは無効です。

TRDPMR、TRDOCR、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、TRDIORC1、TRDPOCR1

表20.12 リセット同期PWMモード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	−	ジェネラルレジスタ。PWM周期を設定してください。	(TRDIOC0、PWM周期ごとに出力反転)
TRDGRB0	−	ジェネラルレジスタ。PWM1出力の変化点を設定してください。	TRDIOB0 TRDIOD0
TRDGRC0	BFC0=0	(リセット同期PWMモードでは使用しません)	−
TRDGRD0	BFD0=0		
TRDGRA1	−	ジェネラルレジスタ。PWM2出力の変化点を設定してください。	TRDIOA1 TRDIOC1
TRDGRB1	−	ジェネラルレジスタ。PWM3出力の変化点を設定してください。	TRDIOB1 TRDIOD1
TRDGRC1	BFC1=0	(リセット同期PWMモードでは使用しません)	−
TRDGRD1	BFD1=0		
TRDGRC0	BFC0=1	バッファレジスタ。次回のPWM周期を設定してください(「20.2.2 バッファ動作」参照)。	(TRDIOC0、PWM周期ごとに出力反転)
TRDGRD0	BFD0=1	バッファレジスタ。次回のPWM1出力の変化点を設定してください(「20.2.2 バッファ動作」参照)。	TRDIOB0 TRDIOD0
TRDGRC1	BFC1=1	バッファレジスタ。次回のPWM2出力の変化点を設定してください(「20.2.2 バッファ動作」参照)。	TRDIOA1 TRDIOC1
TRDGRD1	BFD1=1	バッファレジスタ。次回のPWM3出力の変化点を設定してください(「20.2.2 バッファ動作」参照)。	TRDIOB1 TRDIOD1

BFC0、BFD0、BFC1、BFD1：TRDMRレジスタのビット

20.6.13 タイマRD端子選択レジスタ0 (TRDPSR0)

アドレス 0184h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	TRDIOD0SEL0	—	TRDIOC0SEL0	—	TRDIOB0SEL0	—	TRDIOA0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA0SEL0	TRDIOA0/TRDCLK端子選択ビット	0：TRDIOA0/TRDCLK端子は使用しない 1：P3_5に割り当てる	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b2	TRDIOB0SEL0	TRDIOB0端子選択ビット	0：TRDIOB0端子は使用しない 1：P3_4に割り当てる	R/W
b3	—	予約ビット	“0”にしてください	R/W
b4	TRDIOC0SEL0	TRDIOC0端子選択ビット	0：TRDIOC0端子は使用しない 1：P3_7に割り当てる	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	TRDIOD0SEL0	TRDIOD0端子選択ビット	0：TRDIOD0端子は使用しない 1：P3_3に割り当てる	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

TRDPSR0レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR0レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR0レジスタを設定してください。また、タイマRDの動作中はTRDPSR0レジスタの設定値を変更しないでください。

20.6.14 タイマRD端子選択レジスタ1 (TRDPSR1)

アドレス 0185h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	TRDIOD1SEL0	—	TRDIOC1SEL0	—	TRDIOB1SEL0	—	TRDIOA1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA1SEL0	TRDIOA1端子選択ビット	0：TRDIOA1端子は使用しない 1：P1_0に割り当てる	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b2	TRDIOB1SEL0	TRDIOB1端子選択ビット	0：TRDIOB1端子は使用しない 1：P1_1に割り当てる	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	TRDIOC1SEL0	TRDIOC1端子選択ビット	0：TRDIOC1端子は使用しない 1：P1_2に割り当てる	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	TRDIOD1SEL0	TRDIOD1端子選択ビット	0：TRDIOD1端子は使用しない 1：P1_3に割り当てる	R/W
b7	—	予約ビット	“0”にしてください	R/W

TRDPSR1レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR1レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR1レジスタを設定してください。また、タイマRDの動作中はTRDPSR1レジスタの設定値を変更しないでください。

20.6.15 動作例

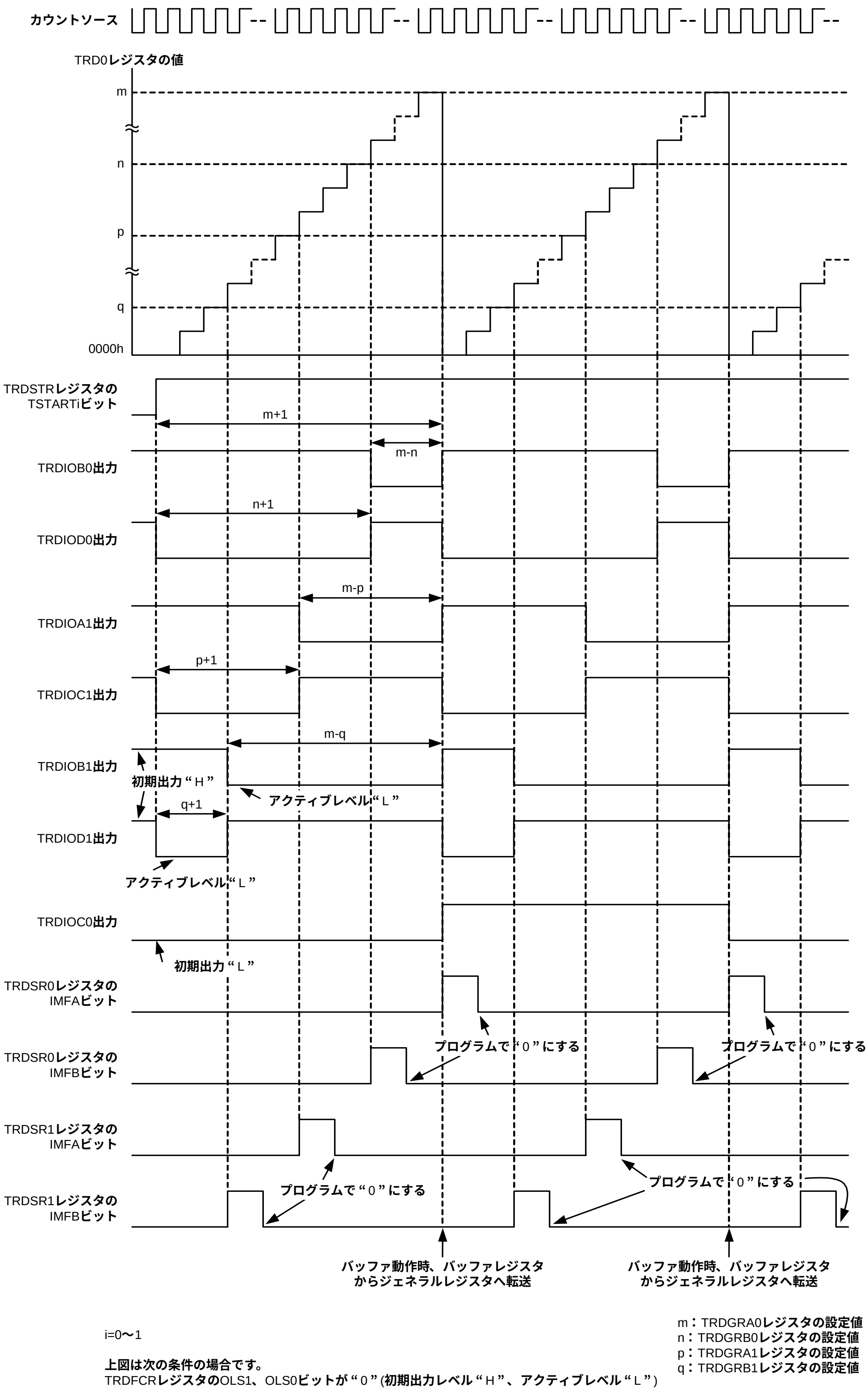


図20.18 リセット同期PWMモードの動作例

20.6.16 A/Dトリガ発生

TRDi(i＝0～1)レジスタとTRDGRji(j＝A、B、C、D)レジスタのコンペア一致信号を、A/Dコンバータの変換開始トリガとして使用できます。

TRDADCRレジスタで、どのコンペア一致を使用するか選択できます。

20.7　相補PWMモード

同周期のPWM波形を正相3本、逆相3本、計6本出力します(三相、三角波変調、短絡防止時間あり)。

図20.19に相補PWMモードのブロック図を、表20.13に相補PWMモードの仕様を、図20.20に相補PWMモードの出力モデルを、図20.21に相補PWMモードの動作例を示します。

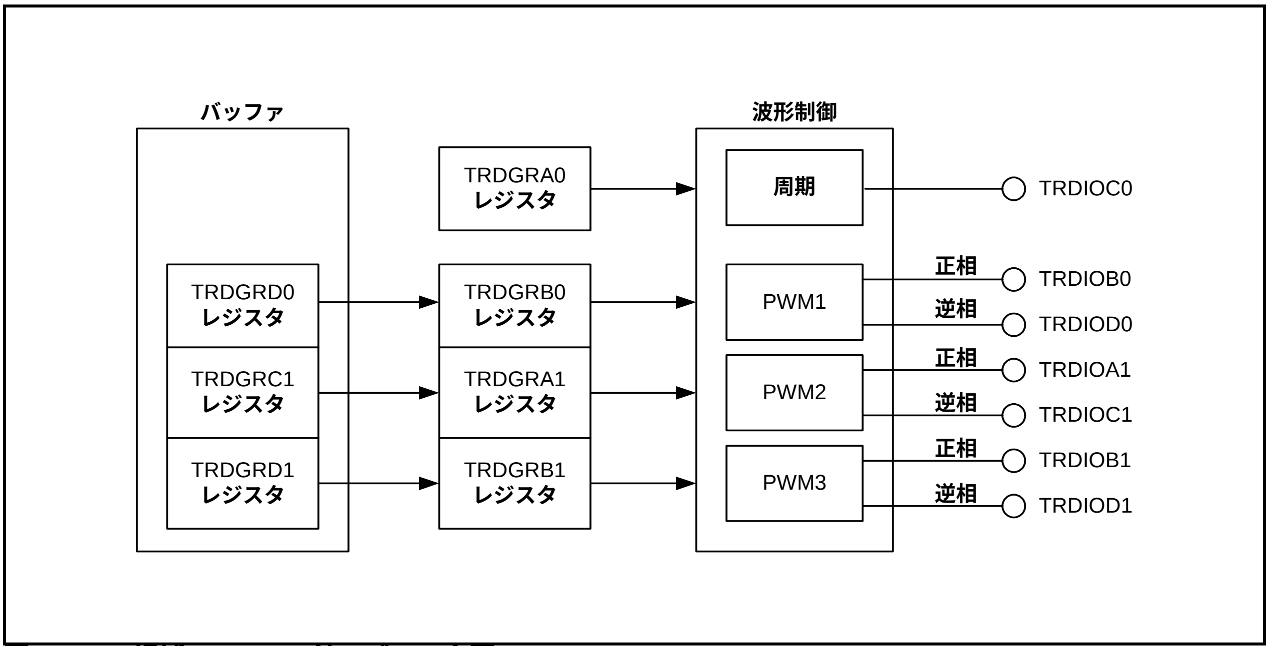
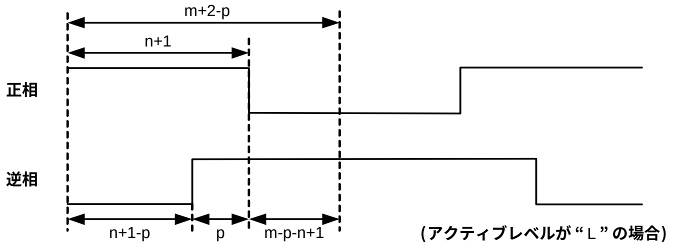


図20.19　相補PWMモードのブロック図

表20.13　相補PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択可能) TRDCR0レジスタのTCK2～TCK0ビットと、TRDCR1レジスタのTCK2～TCK0ビットは同じ値(同じカウントソース)にしてください。
カウント動作	アップカウントまたはダウンカウント。 アップカウント中にTRD0レジスタとTRDGRA0レジスタがコンペア一致すると、TRD0、TRD1ともダウンカウントになる。ダウンカウント中にTRD1レジスタが“0000h”から“FFFFh”になるとTRD0、TRD1ともアップカウントになる。
PWM波形	PWM周期：1/fk×(m+2-p)×2(注1) 短絡防止時間：p 正相のアクティブレベル幅：1/fk×(m-n-p+1)×2 逆相のアクティブレベル幅：1/fk×(n+1-p)×2 fk：カウントソースの周波数 m：TRDGRA0レジスタ設定値 n：TRDGRB0レジスタ設定値(PWM出力1) TRDGRA1レジスタ設定値(PWM出力2) TRDGRB1レジスタ設定値(PWM出力3) p：TRD0レジスタ設定値 
カウント開始条件	TRDSTRレジスタのTSTART0ビットとTSTART1ビットへの“1”(カウント開始)書き込み
カウント停止条件	TRDSTRレジスタのCSEL0ビットが“1”に設定されているとき、TSTART0ビットとTSTART1ビットへの“0”(カウント停止)書き込み(PWM出力端子はTRDFCRレジスタのOLS0、OLS1ビットで選択した初期出力レベルを出力)
割り込み要求発生タイミング	• コンペア一致(TRDiレジスタとTRDGRjiレジスタの内容が一致) • TRD1アンダフロー
TRDIOA0端子機能	プログラマブル入出力ポート、またはTRDCLK(外部クロック)入力
TRDIOB0端子機能	PWM出力1正相出力
TRDIOD0端子機能	PWM出力1逆相出力
TRDIOA1端子機能	PWM出力2正相出力
TRDIOC1端子機能	PWM出力2逆相出力
TRDIOB1端子機能	PWM出力3正相出力
TRDIOD1端子機能	PWM出力3逆相出力
TRDIOC0端子機能	PWMの1/2周期ごとに出力反転
$\overline{\text{INT0}}$端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、または$\overline{\text{INT0}}$割り込み入力
タイマの読み出し	TRDiレジスタを読むと、カウント値が読める
タイマの書き込み	TRDiレジスタに書き込める
選択機能	• パルス出力強制遮断信号入力(「20.2.4　パルス出力強制遮断」参照) • 正相、逆相のアクティブレベルと初期出力レベルを個々に選択 • バッファレジスタからの転送タイミング選択 • A/Dトリガ発生

i=0～1、j=A、B、C、Dのいずれか

注1.　カウント開始後、PWM周期は固定です。

20.7.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	MSTTRC	MSTTRD	MSTIIC	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	—			
b2	—			
b3	MSTIIC	SSUスタンバイビット	0：アクティブ 1：スタンバイ(注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0：アクティブ 1：スタンバイ(注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0：アクティブ 1：スタンバイ(注4)	R/W
b6	—	予約ビット	“0”にしてください	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. スタンバイにする前に、SSU機能を停止してください。MSTIICビットが“1”(スタンバイ)のとき、SSU関連レジスタ(0193h～019Dh番地)へのアクセスは無効になります。
注2. スタンバイにする前に、タイマRD機能を停止してください。MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h～015Fh番地)へのアクセスは無効になります。
注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCRi(i=0～1)レジスタのTCK2～TCK0ビットを“000b”(f1)にしてください。
注4. スタンバイにする前に、タイマRC機能を停止してください。MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h～0133h番地)へのアクセスは無効になります。

20.7.2 タイマRDトリガ制御レジスタ(TRDADCR)[相補PWMモード時]

アドレス 0136h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADTRGD1E	ADTRGC1E	ADTRGB1E	ADTRGA1E	ADTRGD0E	ADTRGC0E	ADTRGB0E	ADTRGA0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGA0E	A/DトリガA0許可ビット	相補PWMモードでは、“0”にしてください	R/W
b1	ADTRGB0E	A/DトリガB0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRB0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b2	ADTRGC0E	A/DトリガC0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRC0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b3	ADTRGD0E	A/DトリガD0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRD0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b4	ADTRGA1E	A/DトリガA1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRA1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b5	ADTRGB1E	A/DトリガB1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRB1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b6	ADTRGC1E	A/DトリガC1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRC1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b7	ADTRGD1E	A/DトリガD1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRD1レジスタのコンペア一致時にA/Dトリガ発生	R/W

20.7.3 タイマRDスタートレジスタ(TRDSTR)[相補PWMモード時]

アドレス 0137h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	CSEL1	CSEL0	TSTART1	TSTART0
リセット後の値	1	1	1	1	1	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART0	TRD0カウント開始フラグ(注3)	0：カウント停止(注1) 1：カウント開始	R/W
b1	TSTART1	TRD1カウント開始フラグ(注4)	0：カウント停止(注2) 1：カウント開始	R/W
b2	CSEL0	TRD0カウント動作選択ビット	0：TRDGRA0レジスタとのコンペア一致でカウント停止 1：TRDGRA0レジスタとのコンペア一致後もカウント継続	R/W
b3	CSEL1	TRD1カウント動作選択ビット	0：TRDGRA1レジスタとのコンペア一致でカウント停止 1：TRDGRA1レジスタとのコンペア一致後もカウント継続	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		—
b5	—			
b6	—			
b7	—			

注1. CSEL0ビットが“1”に設定されているとき、TSTART0ビットへ“0”を書いてください。
注2. CSEL1ビットが“1”に設定されているとき、TSTART1ビットへ“0”を書いてください。
注3. CSEL0ビットが“0”でコンペア一致信号(TRDIOA0)が発生したとき、“0”(カウント停止)になります。
注4. CSEL1ビットが“0”でコンペア一致信号(TRDIOA1)が発生したとき、“0”(カウント停止)になります。

TRDSTRレジスタはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。タイマRD使用上の注意事項の「20.10.1　TRDSTRレジスタ」を参照してください。

20.7.4 タイマRDモードレジスタ(TRDMR)[相補PWMモード時]

アドレス 0138h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BFD1	BFC1	BFD0	BFC0	—	—	—	SYNC
リセット後の値	0	0	0	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC	タイマRD同期ビット	相補PWMモードでは“0”(TRD0とTRD1は独立動作)にしてください	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b2	—			
b3	—			
b4	BFC0	TRDGRC0レジスタ機能選択ビット	相補PWMモードでは“0”(ジェネラルレジスタ)にしてください	R/W
b5	BFD0	TRDGRD0レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRB0レジスタのバッファレジスタ	R/W
b6	BFC1	TRDGRC1レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRA1レジスタのバッファレジスタ	R/W
b7	BFD1	TRDGRD1レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRB1レジスタのバッファレジスタ	R/W

20.7.5 タイマRD機能制御レジスタ(TRDFCR)[相補PWMモード時]

アドレス 013Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PWM3	STCLK	ADEG	ADTRG	OLS1	OLS0	CMD1	CMD0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMD0	コンビネーションモード選択ビット(注1、2)	b1 b0 1 0：相補PWMモード(TRD1のアンダフロー時にバッファレジスタからジェネラルレジスタへ転送) 1 1：相補PWMモード(TRD0とTRDGRA0レジスタのコンペアー致時にバッファレジスタからジェネラルレジスタへ転送) 上記以外：設定しないでください	R/W
b1	CMD1			R/W
b2	OLS0	正相出力レベル選択ビット(リセット同期PWMモードまたは相補PWMモード時)	0：初期出力“H”、アクティブレベル“L” 1：初期出力“L”、アクティブレベル“H”	R/W
b3	OLS1	逆相出力レベル選択ビット(リセット同期PWMモードまたは相補PWMモード時)		R/W
b4	ADTRG	A/Dトリガ許可ビット(相補PWMモード時)	0：A/Dトリガを禁止 1：A/Dトリガを許可(注3)	R/W
b5	ADEG	A/Dトリガエッジ選択ビット(相補PWMモード時)	0：TRD0とTRDGRA0レジスタのコンペアー致時にA/Dトリガ発生 1：TRD1のアンダフロー時にA/Dトリガ発生	R/W
b6	STCLK	外部クロック入力選択ビット	0：外部クロック入力無効 1：外部クロック入力有効	R/W
b7	PWM3	PWM3モード選択ビット(注4)	相補PWMモードでは無効です	R/W

注1. CMD1～CMD0ビットを“10b”、“11b”に設定したとき、TRDPMRレジスタの設定にかかわらず、相補PWMモードになります。
注2. CMD1～CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のときに書いてください。
注3. ADMODレジスタのADCAP1～ADCAP0ビットを“01b”(タイマRDからの変換トリガによるA/D変換開始)にしてください。
注4. CMD1～CMD0ビットが“00b”(タイマモード、PWMモード、PWM3モード)のとき、PWM3ビットの設定が有効になります。

20.7.6　タイマRDアウトプットマスタ許可レジスタ1 (TRDOER1)[相補PWMモード時]

アドレス 013Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	EA0	TRDIOA0出力禁止ビット	相補PWMモードでは、“1”(TRDIOA0端子はプログラマブル入出力ポート)にしてください	R/W
b1	EB0	TRDIOB0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOB0端子はプログラマブル入出力ポート)	R/W
b2	EC0	TRDIOC0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOC0端子はプログラマブル入出力ポート)	R/W
b3	ED0	TRDIOD0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOD0端子はプログラマブル入出力ポート)	R/W
b4	EA1	TRDIOA1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOA1端子はプログラマブル入出力ポート)	R/W
b5	EB1	TRDIOB1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOB1端子はプログラマブル入出力ポート)	R/W
b6	EC1	TRDIOC1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOC1端子はプログラマブル入出力ポート)	R/W
b7	ED1	TRDIOD1出力禁止ビット	0：出力許可 1：出力禁止(TRDIOD1端子はプログラマブル入出力ポート)	R/W

20.7.7　タイマRDアウトプットマスタ許可レジスタ2 (TRDOER2)[相補PWMモード時]

アドレス 013Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PTO	—	—	—	—	—	—	—
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	PTO	パルス出力強制遮断信号入力$\overline{\text{INT0}}$有効ビット(注1)	0：パルス出力強制遮断入力無効 1：パルス出力強制遮断入力有効($\overline{\text{INT0}}$端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1”(出力禁止)になる)	R/W

注1.「20.2.4　パルス出力強制遮断」を参照してください。

20.7.8 タイマRD制御レジスタi (TRDCRi)(i＝0～1)[相補PWMモード時]

アドレス 0140h番地(TRDCR0)、0150h番地(TRDCR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット(注2)	b2 b1 b0 0 0 0：f1 0 0 1：f2 0 1 0：f4 0 1 1：f8 1 0 0：f32 1 0 1：TRDCLK入力(注1) 1 1 0：fOCO40M 1 1 1：fOCO-F(注4)	R/W
b1	TCK1			R/W
b2	TCK2			R/W
b3	CKEG0	外部クロックエッジ選択ビット(注2、3)	b4 b3 0 0：立ち上がりエッジでカウント 0 1：立ち下がりエッジでカウント 1 0：両エッジでカウント 1 1：設定しないでください	R/W
b4	CKEG1			R/W
b5	CCLR0	TRDiカウンタクリア選択ビット	相補PWMモードでは“000b”(クリア禁止(フリーランニング動作))にしてください	R/W
b6	CCLR1			R/W
b7	CCLR2			R/W

注1. TRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
注2. TRDCR0レジスタとTRDCR1レジスタの、TCK0～TCK2ビット、CKEG0～CKEG1ビットの設定は、同じにしてください。
注3. TCK2～TCK0ビットが“101b”(TRDCLK入力)、かつTRDFCRレジスタのSTCLKビットが“1”(外部クロック入力有効)のとき、有効です。
注4. fOCO-Fを選択するとき、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

20.7.9　タイマRDステータスレジスタi (TRDSRi)(i＝0～1)[相補PWMモード時]

アドレス　0143h番地(TRDSR0)、0153h番地(TRDSR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	—	—	UDF	OVF	IMFD	IMFC	IMFB	IMFA	
リセット後の値	1	1	1	0	0	0	0	0	TRDSR0レジスタ
リセット後の値	1	1	0	0	0	0	0	0	TRDSR1レジスタ

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペアー致フラグA	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRAiの値が一致したとき	R/W
b1	IMFB	インプットキャプチャ/コンペアー致フラグB	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRBiの値が一致したとき	R/W
b2	IMFC	インプットキャプチャ/コンペアー致フラグC	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRCiの値が一致したとき(注3)	R/W
b3	IMFD	インプットキャプチャ/コンペアー致フラグD	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRDiの値が一致したとき(注3)	R/W
b4	OVF	オーバフローフラグ	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiがオーバフローしたとき	R/W
b5	UDF	アンダフローフラグ(注1)	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRD1がアンダフローしたとき	R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b7	—			

注1. TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、“0”を書いてください。読んだ場合、その値は“1”です。

注2. 書き込み結果は次のようになります。
- 読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- 読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- “1”を書いた場合は変化しません。

注3. TRDMRレジスタのBFjiビット(j=CまたはD)が“1”(TRDGRjiはバッファレジスタ)の場合を含む。

20.7.10 タイマRD割り込み許可レジスタi (TRDIERi)(i＝0～1)[相補PWMモード時]

アドレス 0144h番地(TRDIER0)、0154h番地(TRDIER1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	1	1	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/コンペア一致割り込み許可ビットA	0：IMFAビットによる割り込み(IMIA)禁止 1：IMFAビットによる割り込み(IMIA)許可	R/W
b1	IMIEB	インプットキャプチャ/コンペア一致割り込み許可ビットB	0：IMFBビットによる割り込み(IMIB)禁止 1：IMFBビットによる割り込み(IMIB)許可	R/W
b2	IMIEC	インプットキャプチャ/コンペア一致割り込み許可ビットC	0：IMFCビットによる割り込み(IMIC)禁止 1：IMFCビットによる割り込み(IMIC)許可	R/W
b3	IMIED	インプットキャプチャ/コンペア一致割り込み許可ビットD	0：IMFDビットによる割り込み(IMID)禁止 1：IMFDビットによる割り込み(IMID)許可	R/W
b4	OVIE	オーバフロー/アンダフロー割り込み許可ビット	0：OVF、UDFビットによる割り込み(OVI)禁止 1：OVF、UDFビットによる割り込み(OVI)許可	R/W
b5	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b6	—			
b7	—			

20.7.11 タイマRDカウンタ0 (TRD0)[相補PWMモード時]

アドレス 0147h～0146h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15～b0	短絡防止時間を設定してください。 カウントソースをカウント。カウント動作はアップカウントまたはダウンカウント。 オーバフローすると、TRDSR0レジスタのOVFビットが“1”になる。	0000h～FFFFh	R/W

TRD0レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

20.7.12 タイマRDカウンタ1 (TRD1)[相補PWMモード時]

アドレス 0157h～0156h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15～b0	“0000h”を設定してください。 カウントソースをカウント。カウント動作はアップカウントまたはダウンカウント。 アンダフローすると、TRDSR1レジスタのUDFビットが“1”になる。	0000h～FFFFh	R/W

TRD1レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

20.7.13 タイマRDジェネラルレジスタAi、Bi、C1、Di (TRDGRAi、TRDGRBi、TRDGRC1、TRDGRDi)(i＝0～1)[相補PWMモード時]

アドレス 0149h～0148h番地(TRDGRA0)、014Bh～014Ah番地(TRDGRB0)、
014Fh～014Eh番地(TRDGRD0)、
0159h～0158h番地(TRDGRA1)、015Bh～015Ah番地(TRDGRB1)、
015Dh～015Ch番地(TRDGRC1)、015Fh～015Eh番地(TRDGRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15～b0	「表20.14　相補PWMモード時のTRDGRjiレジスタの機能」参照	R/W

TRDGRAi～TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

相補PWMモードでは、TRDGRC0レジスタは使用しません。

相補PWMモードでは、次のレジスタは無効です。

TRDPMR、TRDOCR、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、TRDIORC1、TRDPOCR1

表20.14 相補PWMモード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	−	ジェネラルレジスタ。初期設定時PWM周期を設定してください。 設定範囲：TRD0レジスタ設定値以上、 FFFFh - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0、TSTART1ビットが“1”(カウント開始)のとき書き込まないでください。	(TRDIOC0半周期ごとに出力反転)
TRDGRB0	−	ジェネラルレジスタ。初期設定時PWM1出力の変化点を設定してください。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0、TSTART1ビットが“1”(カウント開始)のとき書き込まないでください。	TRDIOB0 TRDIOD0
TRDGRA1	−	ジェネラルレジスタ。初期設定時PWM2出力の変化点を設定してください。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0、TSTART1ビットが“1”(カウント開始)のとき書き込まないでください。	TRDIOA1 TRDIOC1
TRDGRB1	−	ジェネラルレジスタ。初期設定時PWM3出力の変化点を設定してください。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0、TSTART1ビットが“1”(カウント開始)のとき書き込まないでください。	TRDIOB1 TRDIOD1
TRDGRC0	−	(相補PWMモードでは使用しません。)	−
TRDGRD0	BFD0=1	バッファレジスタ。次回のPWM1出力の変化点を設定してください(「20.2.2 バッファ動作」参照)。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRB0レジスタと同じ値を設定してください。	TRDIOB0 TRDIOD0
TRDGRC1	BFC1=1	バッファレジスタ。次回のPWM2出力の変化点を設定してください(「20.2.2 バッファ動作」参照)。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRA1レジスタと同じ値を設定してください。	TRDIOA1 TRDIOC1
TRDGRD1	BFD1=1	バッファレジスタ。次回のPWM3出力の変化点を設定してください(「20.2.2 バッファ動作」参照)。 設定範囲：TRD0レジスタ設定値以上、 TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRB1レジスタと同じ値を設定してください。	TRDIOB1 TRDIOD1

BFD0、BFC1、BFD1：TRDMRレジスタのビット

TRDGRB0、TRDGRA1、TRDGRB1レジスタには、カウント開始後、直接値を書き込むことができない(禁止事項)ため、TRDGRD0、TRDGRC1、TRDGRD1をバッファレジスタとして使用してください。ただし、TRDGRD0、TRDGRC1、TRDGRD1の書き込みに際しては、BFD0、BFC1、BFD1ビットを“0”(ジェネラルレジスタ)にして書き込み、その後BFD0、BFC1、BFD1ビットを“1”(バッファレジスタ)にできます。

20.7.14 タイマRD端子選択レジスタ0 (TRDPSR0)

アドレス 0184h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	TRDIOD0SEL0	—	TRDIOC0SEL0	—	TRDIOB0SEL0	—	TRDIOA0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA0SEL0	TRDIOA0/TRDCLK端子選択ビット	0：TRDIOA0/TRDCLK端子は使用しない 1：P3_5に割り当てる	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b2	TRDIOB0SEL0	TRDIOB0端子選択ビット	0：TRDIOB0端子は使用しない 1：P3_4に割り当てる	R/W
b3	—	予約ビット	“0”にしてください	R/W
b4	TRDIOC0SEL0	TRDIOC0端子選択ビット	0：TRDIOC0端子は使用しない 1：P3_7に割り当てる	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	TRDIOD0SEL0	TRDIOD0端子選択ビット	0：TRDIOD0端子は使用しない 1：P3_3に割り当てる	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

TRDPSR0レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR0レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR0レジスタを設定してください。また、タイマRDの動作中はTRDPSR0レジスタの設定値を変更しないでください。

20.7.15 タイマRD端子選択レジスタ1 (TRDPSR1)

アドレス 0185h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	TRDIOD1SEL0	—	TRDIOC1SEL0	—	TRDIOB1SEL0	—	TRDIOA1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA1SEL0	TRDIOA1端子選択ビット	0：TRDIOA1端子は使用しない 1：P1_0に割り当てる	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b2	TRDIOB1SEL0	TRDIOB1端子選択ビット	0：TRDIOB1端子は使用しない 1：P1_1に割り当てる	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	TRDIOC1SEL0	TRDIOC1端子選択ビット	0：TRDIOC1端子は使用しない 1：P1_2に割り当てる	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	TRDIOD1SEL0	TRDIOD1端子選択ビット	0：TRDIOD1端子は使用しない 1：P1_3に割り当てる	R/W
b7	—	予約ビット	“0”にしてください	R/W

TRDPSR1レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR1レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR1レジスタを設定してください。また、タイマRDの動作中はTRDPSR1レジスタの設定値を変更しないでください。

20.7.16 動作例

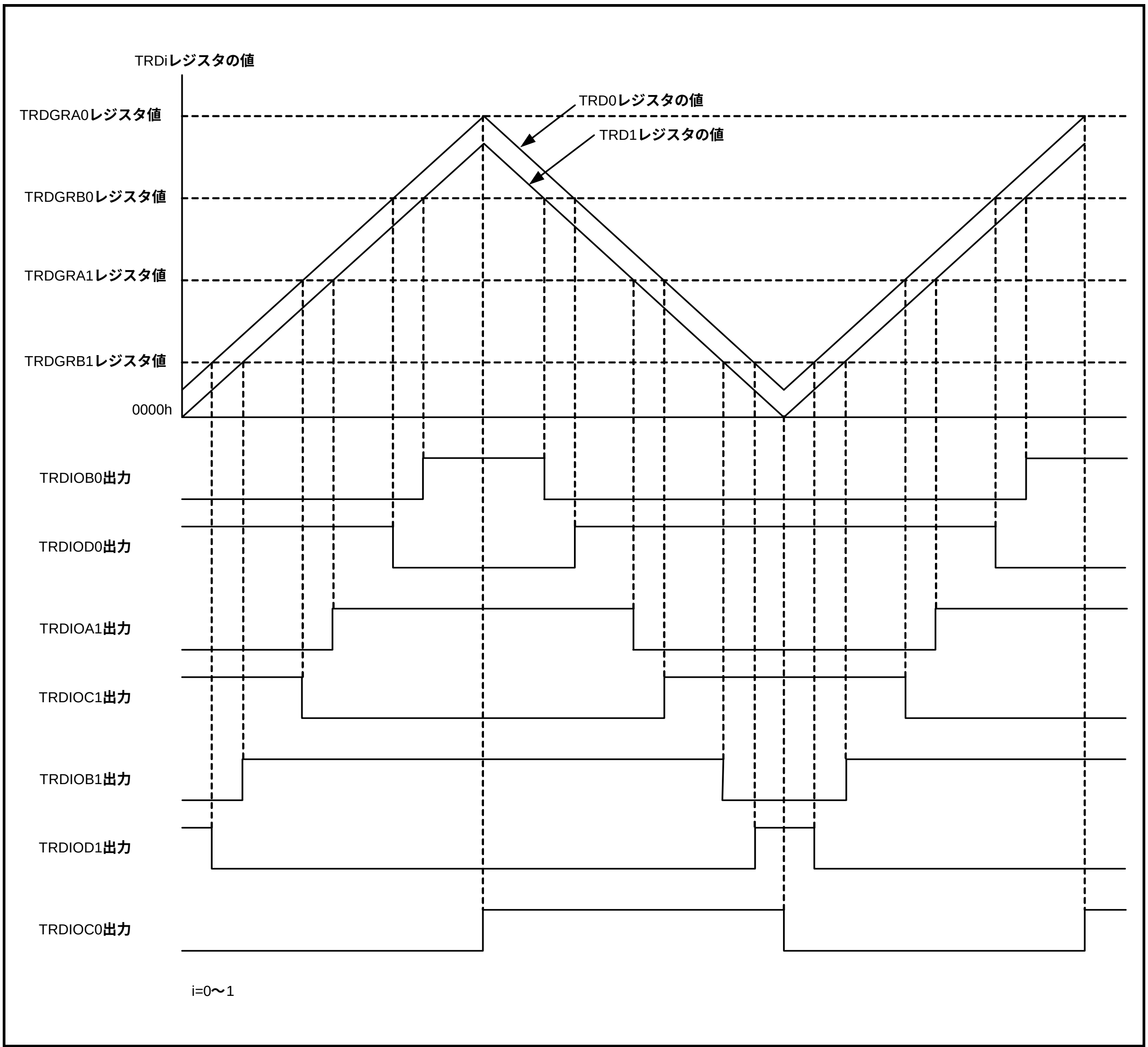


図20.20 相補PWMモードの出力モデル

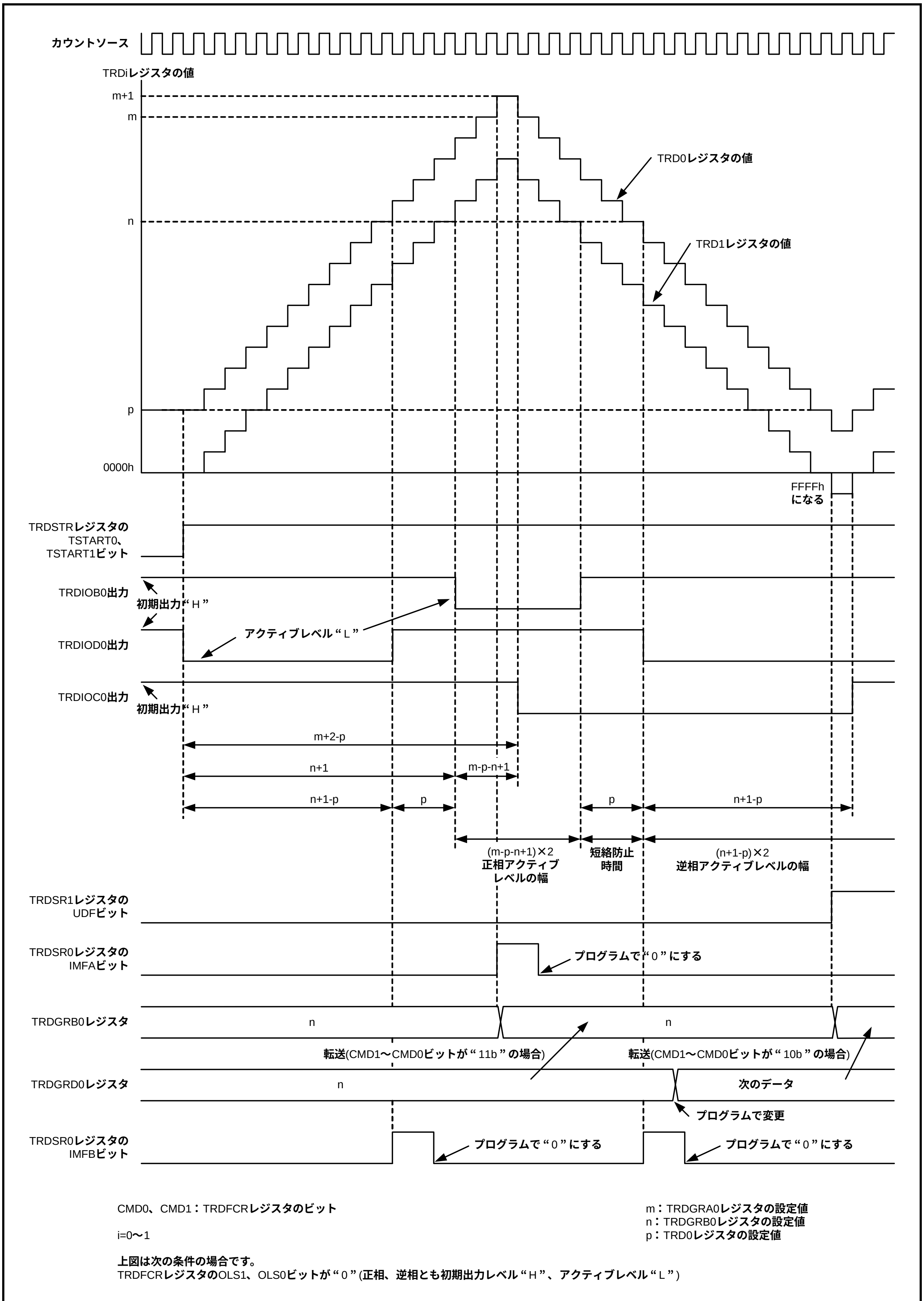


図20.21　相補PWMモードの動作例

20.7.17 バッファレジスタからの転送タイミング

- TRDGRD0、TRDGRC1、TRDGRD1レジスタからTRDGRB0、TRDGRA1、TRDGRB1レジスタへの転送
  TRDFCRレジスタのCMD1～CMD0ビットが“10b”の場合、TRD1がアンダフローしたときに転送します。
  CMD1～CMD0ビットが“11b”の場合、TRD0とTRDGRA0レジスタがコンペア一致したときに転送します。

20.7.18 A/Dトリガ発生

TRD0とTRDGRA0レジスタのコンペア一致と、TRD1アンダフローを、A/Dコンバータの変換開始トリガとして使用できます。

TRDFCRレジスタのADEG、ADTRGビットおよびTRDADCRレジスタで設定してください。

また、ADMODレジスタのADCAP1～ADCAP0ビットを“01b”(タイマRDからの変換トリガによるA/D変換開始)にしてください。

20.8 PWM3モード

同周期のPWM波形を2本出力します。

図20.22にPWM3モードのブロック図を、表20.15にPWM3モードの仕様を、図20.23にPWM3モードの動作例を示します。

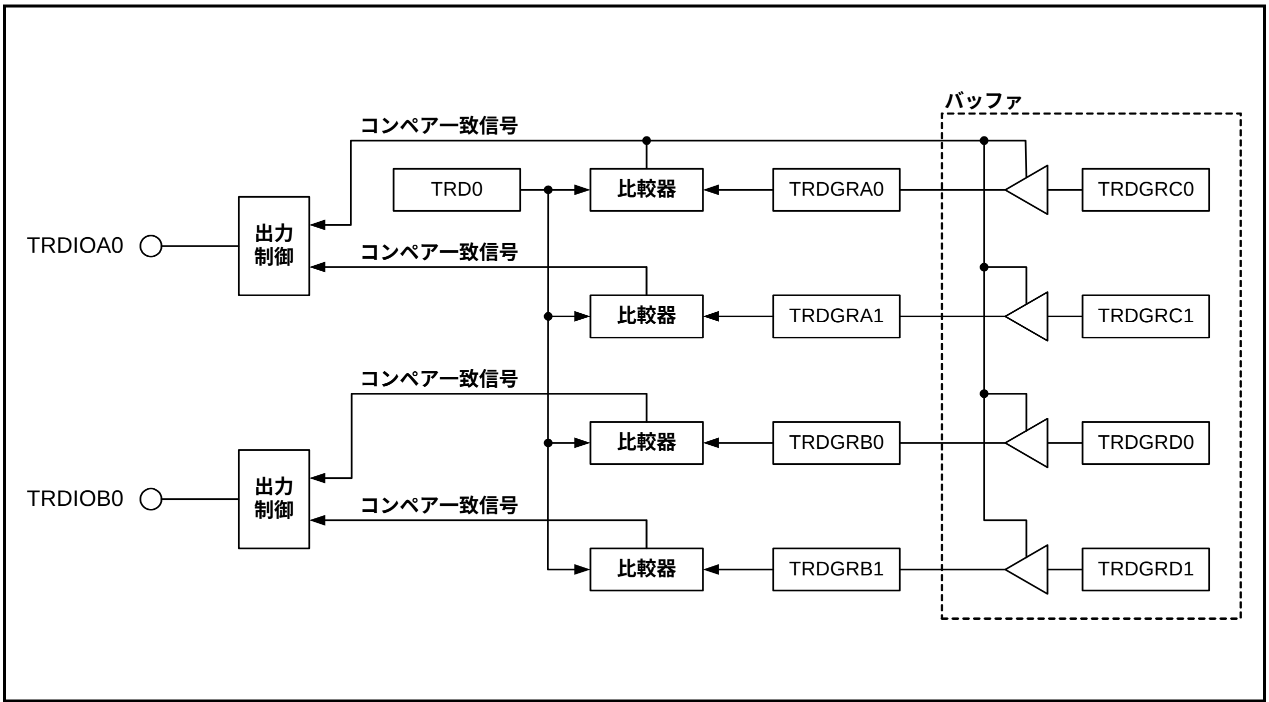
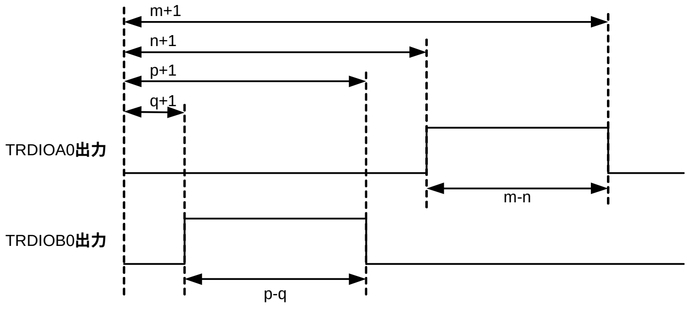


図20.22 PWM3モードのブロック図

表20.15 PWM3モードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fOCO40M、fOCO-F
カウント動作	TRD0はアップカウント　(TRD1は使用しない)
PWM波形	PWM周期　：1/fk×(m+1) TRDIOA0出力のアクティブレベル幅：1/fk×(m-n) TRDIOB0出力のアクティブレベル幅：1/fk×(p-q) fk：カウントソースの周波数 m：TRDGRA0レジスタ設定値 n：TRDGRA1レジスタ設定値 p：TRDGRB0レジスタ設定値 q：TRDGRB1レジスタ設定値 
カウント開始条件	TRDSTRレジスタのTSTART0ビットへの“1”(カウント開始)書き込み
カウント停止条件	• TRDSTRレジスタのCSEL0ビットが“1”に設定されているとき、TSTART0ビットへの“0”(カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持 • TRDSTRレジスタのCSEL0ビットが“0”の場合、TRDGRA0コンペア一致でカウント停止 PWM出力端子はコンペア一致による出力変化後のレベルを保持
割り込み要求発生タイミング	• コンペア一致(TRDiレジスタとTRDGRjiレジスタの内容が一致) • TRD0オーバフロー
TRDIOA0、TRDIOB0端子機能	PWM出力
TRDIOC0、TRDIOD0、TRDIOA1～TRDIOD1端子機能	プログラマブル入出力ポート
$\overline{\text{INT0}}$端子機能	プログラマブル入出力ポート、パルス出力強制遮断信号入力、または$\overline{\text{INT0}}$割り込み入力
タイマの読み出し	TRD0レジスタを読むと、カウント値が読める
タイマの書き込み	TRD0レジスタに書き込める
選択機能	• パルス出力強制遮断信号入力(「20.2.4　パルス出力強制遮断」参照) • アクティブレベルを端子ごとに選択 • バッファ動作(「20.2.2　バッファ動作」参照) • A/Dトリガ発生

i＝0～1、j＝A、B、C、Dのいずれか

20.8.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	MSTTRC	MSTTRD	MSTIIC	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	—			
b2	—			
b3	MSTIIC	SSUスタンバイビット	0：アクティブ 1：スタンバイ(注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0：アクティブ 1：スタンバイ(注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0：アクティブ 1：スタンバイ(注4)	R/W
b6	—	予約ビット	“0”にしてください	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. スタンバイにする前に、SSU機能を停止してください。MSTIICビットが“1”(スタンバイ)のとき、SSU関連レジスタ(0193h～019Dh番地)へのアクセスは無効になります。
注2. スタンバイにする前に、タイマRD機能を停止してください。MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h～015Fh番地)へのアクセスは無効になります。
注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCRi(i=0～1)レジスタのTCK2～TCK0ビットを“000b”(f1)にしてください。
注4. スタンバイにする前に、タイマRC機能を停止してください。MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h～0133h番地)へのアクセスは無効になります。

20.8.2 タイマRDトリガ制御レジスタ(TRDADCR)

アドレス 0136h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADTRGD1E	ADTRGC1E	ADTRGB1E	ADTRGA1E	ADTRGD0E	ADTRGC0E	ADTRGB0E	ADTRGA0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGA0E	A/DトリガA0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRA0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b1	ADTRGB0E	A/DトリガB0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRB0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b2	ADTRGC0E	A/DトリガC0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRC0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b3	ADTRGD0E	A/DトリガD0許可ビット	0：A/Dトリガ禁止 1：TRD0とTRDGRD0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b4	ADTRGA1E	A/DトリガA1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRA1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b5	ADTRGB1E	A/DトリガB1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRB1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b6	ADTRGC1E	A/DトリガC1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRC1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b7	ADTRGD1E	A/DトリガD1許可ビット	0：A/Dトリガ禁止 1：TRD1とTRDGRD1レジスタのコンペア一致時にA/Dトリガ発生	R/W

20.8.3 タイマRDスタートレジスタ(TRDSTR)[PWM3モード時]

アドレス 0137h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	CSEL1	CSEL0	TSTART1	TSTART0
リセット後の値	1	1	1	1	1	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART0	TRD0カウント開始フラグ(注3)	0：カウント停止(注1) 1：カウント開始	R/W
b1	TSTART1	TRD1カウント開始フラグ(注4)	0：カウント停止(注2) 1：カウント開始	R/W
b2	CSEL0	TRD0カウント動作選択ビット	0：TRDGRA0レジスタとのコンペア一致でカウント停止 1：TRDGRA0レジスタとのコンペア一致後もカウント継続	R/W
b3	CSEL1	TRD1カウント動作選択ビット [PWM3モードでは使用しません]	0：TRDGRA1レジスタとのコンペア一致でカウント停止 1：TRDGRA1レジスタとのコンペア一致後もカウント継続	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“1”。		—
b5	—			
b6	—			
b7	—			

注1. CSEL0ビットが“1”に設定されているとき、TSTART0ビットへ“0”を書いてください。
注2. CSEL1ビットが“1”に設定されているとき、TSTART1ビットへ“0”を書いてください。
注3. CSEL0ビットが“0”でコンペア一致信号(TRDIOA0)が発生したとき、“0”(カウント停止)になります。
注4. CSEL1ビットが“0”でコンペア一致信号(TRDIOA1)が発生したとき、“0”(カウント停止)になります。

TRDSTRレジスタはMOV命令を使用して書いてください(ビット処理命令を使用しないでください)。タイマRD使用上の注意事項の「20.10.1　TRDSTRレジスタ」を参照してください。

20.8.4 タイマRDモードレジスタ(TRDMR)[PWM3モード時]

アドレス 0138h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BFD1	BFC1	BFD0	BFC0	—	—	—	SYNC
リセット後の値	0	0	0	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC	タイマRD同期ビット	PWM3モードでは“0”(TRD0とTRD1は独立動作)にしてください	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b2	—			
b3	—			
b4	BFC0	TRDGRC0レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRA0レジスタのバッファレジスタ	R/W
b5	BFD0	TRDGRD0レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRB0レジスタのバッファレジスタ	R/W
b6	BFC1	TRDGRC1レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRA1レジスタのバッファレジスタ	R/W
b7	BFD1	TRDGRD1レジスタ機能選択ビット	0：ジェネラルレジスタ 1：TRDGRB1レジスタのバッファレジスタ	R/W

20.8.5 タイマRD機能制御レジスタ(TRDFCR)[PWM3モード時]

アドレス 013Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PWM3	STCLK	ADEG	ADTRG	OLS1	OLS0	CMD1	CMD0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMD0	コンビネーションモード選択ビット(注1)	PWM3モードでは“00b”(タイマモード、PWMモード、PWM3モード)にしてください	R/W
b1	CMD1			R/W
b2	OLS0	正相出力レベル選択ビット(リセット同期PWMモードまたは相補PWMモード時有効)	PWM3モードでは無効です	R/W
b3	OLS1	逆相出力レベル選択ビット(リセット同期PWMモードまたは相補PWMモード時有効)		R/W
b4	ADTRG	A/Dトリガ許可ビット(相補PWMモード時有効)		R/W
b5	ADEG	A/Dトリガエッジ選択ビット(相補PWMモード時有効)		R/W
b6	STCLK	外部クロック入力選択ビット	PWM3モードでは“0”(外部クロック入力無効)にしてください	R/W
b7	PWM3	PWM3モード選択ビット(注2)	PWM3モードでは“0”(PWM3モード)にしてください	R/W

注1. CMD1～CMD0ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のときに書いてください。
注2. CMD1～CMD0ビットが“00b”(タイマモード、PWMモード、PWM3モード)のとき、PWM3ビットの設定が有効になります。

20.8.6　タイマRDアウトプットマスタ許可レジスタ1 (TRDOER1)[PWM3モード時]

アドレス 013Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	EA0	TRDIOA0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOA0端子はプログラマブル入出力ポート)	R/W
b1	EB0	TRDIOB0出力禁止ビット	0：出力許可 1：出力禁止(TRDIOB0端子はプログラマブル入出力ポート)	R/W
b2	EC0	TRDIOC0出力禁止ビット	PWM3モードでは、“1”(プログラマブル入出力ポート)にしてください。	R/W
b3	ED0	TRDIOD0出力禁止ビット		R/W
b4	EA1	TRDIOA1出力禁止ビット		R/W
b5	EB1	TRDIOB1出力禁止ビット		R/W
b6	EC1	TRDIOC1出力禁止ビット		R/W
b7	ED1	TRDIOD1出力禁止ビット		R/W

20.8.7　タイマRDアウトプットマスタ許可レジスタ2 (TRDOER2)[PWM3モード時]

アドレス 013Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PTO	—	—	—	—	—	—	—
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	PTO	パルス出力強制遮断信号入力$\overline{\text{INT0}}$有効ビット(注1)	0：パルス出力強制遮断入力無効 1：パルス出力強制遮断入力有効($\overline{\text{INT0}}$端子に“L”を入力すると、TRDOER1レジスタの全ビットが“1”(出力禁止)になる)	R/W

注1.「20.2.4　パルス出力強制遮断」を参照してください。

20.8.8 タイマRDアウトプット制御レジスタ(TRDOCR)[PWM3モード時]

アドレス 013Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA0	TRDIOA0出力レベル選択ビット(注1)	0：アクティブレベル“H”、初期出力“L”、TRDGRA1のコンペア一致で“H”出力、TRDGRA0のコンペア一致で“L”出力 1：アクティブレベル“L”、初期出力“H”、TRDGRA1のコンペア一致で“L”出力、TRDGRA0のコンペア一致で“H”出力	R/W
b1	TOB0	TRDIOB0出力レベル選択ビット(注1)	0：アクティブレベル“H”、初期出力“L”、TRDGRB1のコンペア一致で“H”出力、TRDGRB0のコンペア一致で“L”出力 1：アクティブレベル“L”、初期出力“H”、TRDGRB1のコンペア一致で“L”出力、TRDGRB0のコンペア一致で“H”出力	R/W
b2	TOC0	TRDIOC0初期出力レベル選択ビット	PWM3モードでは無効です	R/W
b3	TOD0	TRDIOD0初期出力レベル選択ビット		R/W
b4	TOA1	TRDIOA1初期出力レベル選択ビット		R/W
b5	TOB1	TRDIOB1初期出力レベル選択ビット		R/W
b6	TOC1	TRDIOC1初期出力レベル選択ビット		R/W
b7	TOD1	TRDIOD1初期出力レベル選択ビット		R/W

注1. 端子の機能が波形出力の場合(「7.5　ポートの設定」参照)、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。

TRDOCRレジスタは、TRDSTRレジスタのTSTART0、TSTART1ビットがともに“0”(カウント停止)のとき書いてください。

20.8.9 タイマRD制御レジスタ0 (TRDCR0)[PWM3モード時]

アドレス 0140h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット	b2 b1 b0 0 0 0：f1 0 0 1：f2 0 1 0：f4 0 1 1：f8 1 0 0：f32 1 0 1：設定しないでください 1 1 0：fOCO40M 1 1 1：fOCO-F(注1)	R/W
b1	TCK1			R/W
b2	TCK2			R/W
b3	CKEG0	外部クロックエッジ選択ビット	PWM3モードでは無効です	R/W
b4	CKEG1			R/W
b5	CCLR0	TRD0カウンタクリア選択ビット	PWM3モードでは“001b”(TRDGRA0レジスタとコンペアー一致でTRD0レジスタクリア)にしてください	R/W
b6	CCLR1			R/W
b7	CCLR2			R/W

注1. fOCO-Fを選択するとき、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

PWM3モードでは、TRDCR1レジスタは使用しません。

20.8.10 タイマRDステータスレジスタi (TRDSRi)(i＝0～1)[PWM3モード時]

アドレス 0143h番地(TRDSR0)、0153h番地(TRDSR1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	—	—	UDF	OVF	IMFD	IMFC	IMFB	IMFA	
リセット後の値	1	1	1	0	0	0	0	0	TRDSR0レジスタ
リセット後の値	1	1	0	0	0	0	0	0	TRDSR1レジスタ

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペアー致フラグA	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRAiの値が一致したとき	R/W
b1	IMFB	インプットキャプチャ/コンペアー致フラグB	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRBiの値が一致したとき	R/W
b2	IMFC	インプットキャプチャ/コンペアー致フラグC	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRCiの値が一致したとき(注3)	R/W
b3	IMFD	インプットキャプチャ/コンペアー致フラグD	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiとTRDGRDiの値が一致したとき(注3)	R/W
b4	OVF	オーバフローフラグ	[“0”になる要因] 読んだ後、“0”を書く(注2) [“1”になる要因] TRDiがオーバフローしたとき	R/W
b5	UDF	アンダフローフラグ(注1)	PWM3モードでは無効です	R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b7	—			

注1. TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、“0”を書いてください。読んだ場合、その値は“1”です。

注2. 書き込み結果は次のようになります。
- 読んだ結果が“1”の場合、同じビットに“0”を書くと“0”になります。
- 読んだ結果が“0”の場合、同じビットに“0”を書いても変化しません(読んだ後で、“0”から“1”に変化した場合、“0”を書いても“1”のままです)。
- “1”を書いた場合は変化しません。

注3. TRDMRレジスタのBFjiビット(j=CまたはD)が“1”(TRDGRjiはバッファレジスタ)の場合を含む。

20.8.11 タイマRD割り込み許可レジスタi (TRDIERi)(i＝0〜1)[PWM3モード時]

アドレス　0144h番地(TRDIER0)、0154h番地(TRDIER1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	−	−	−	OVIE	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	1	1	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/コンペアー致割り込み許可ビットA	0：IMFAビットによる割り込み(IMIA)禁止 1：IMFAビットによる割り込み(IMIA)許可	R/W
b1	IMIEB	インプットキャプチャ/コンペアー致割り込み許可ビットB	0：IMFBビットによる割り込み(IMIB)禁止 1：IMFBビットによる割り込み(IMIB)許可	R/W
b2	IMIEC	インプットキャプチャ/コンペアー致割り込み許可ビットC	0：IMFCビットによる割り込み(IMIC)禁止 1：IMFCビットによる割り込み(IMIC)許可	R/W
b3	IMIED	インプットキャプチャ/コンペアー致割り込み許可ビットD	0：IMFDビットによる割り込み(IMID)禁止 1：IMFDビットによる割り込み(IMID)許可	R/W
b4	OVIE	オーバフロー/アンダフロー割り込み許可ビット	0：OVFビットによる割り込み(OVI)禁止 1：OVFビットによる割り込み(OVI)許可	R/W
b5	−	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		−
b6	−			
b7	−			

20.8.12 タイマRDカウンタ0 (TRD0)[PWM3モード時]

アドレス　0147h〜0146h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	−	−	−	−	−	−	−	−
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	−	−	−	−	−	−	−	−
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15〜b0	カウントソースをカウント。カウント動作はアップカウント。 オーバフローすると、TRDSR0レジスタのOVFビットが“1”になる。	0000h〜FFFFh	R/W

TRD0レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

PWM3モードでは、TRD1レジスタは使用しません。

20.8.13 タイマRDジェネラルレジスタAi、Bi、Ci、Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi)(i＝0～1)[PWM3モード時]

アドレス 0149h～0148h番地(TRDGRA0)、014Bh～014Ah番地(TRDGRB0)、
014Dh～014Ch番地(TRDGRC0)、014Fh～014Eh番地(TRDGRD0)、
0159h～0158h番地(TRDGRA1)、015Bh～015Ah番地(TRDGRB1)、
015Dh～015Ch番地(TRDGRC1)、015Fh～015Eh番地(TRDGRD1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	−	−	−	−	−	−	−	−
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	−	−	−	−	−	−	−	−
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15～b0	「表20.16　PWM3モード時のTRDGRjiレジスタの機能」参照	R/W

TRDGRAi～TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

PWM3モードでは、次のレジスタは無効です。

TRDPMR、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、TRDIORC1、TRDPOCR1

表20.16 PWM3モード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	−	ジェネラルレジスタ。PWM周期を設定してください。 設定範囲：TRDGRA1レジスタ設定値以上	TRDIOA0
TRDGRA1		ジェネラルレジスタ。PWM出力の変化点(アクティブレベルになるタイミング)を設定してください。 設定範囲：TRDGRA0レジスタ設定値以下	
TRDGRB0		ジェネラルレジスタ。PWM出力の変化点(初期出力レベルに戻るタイミング)を設定してください。 設定範囲：TRDGRB1レジスタ設定値以上、TRDGRA0レジスタ設定値以下	TRDIOB0
TRDGRB1		ジェネラルレジスタ。PWM出力の変化点(アクティブレベルになるタイミング)を設定してください。 設定範囲：TRDGRB0レジスタ設定値以下	
TRDGRC0	BFC0=0	(PWM3モードでは使用しません)	−
TRDGRC1	BFC1=0		
TRDGRD0	BFD0=0		
TRDGRD1	BFD1=0		
TRDGRC0	BFC0=1	バッファレジスタ。次回のPWM周期を設定してください(「20.2.2 バッファ動作」参照)。 設定範囲：TRDGRC1レジスタ設定値以上	TRDIOA0
TRDGRC1	BFC1=1	バッファレジスタ。次回のPWM出力の変化点を設定してください(「20.2.2 バッファ動作」参照)。 設定範囲：TRDGRC0レジスタ設定値以下	
TRDGRD0	BFD0=1	バッファレジスタ。次回のPWM出力の変化点を設定してください(「20.2.2 バッファ動作」参照)。 設定範囲：TRDGRD1レジスタ設定値以上、TRDGRC0レジスタ設定値以下	TRDIOB0
TRDGRD1	BFD1=1	バッファレジスタ。次回のPWM出力の変化点を設定してください(「20.2.2 バッファ動作」参照)。 設定範囲：TRDGRD0レジスタ設定値以下	

BFC0、BFD0、BFC1、BFD1：TRDMRレジスタのビット

PWM3モードでは使用しませんが、TRDGRC0、TRDGRC1、TRDGRD0、TRDGRD1レジスタをバッファレジスタに使う際に、BFC0、BFC1、BFD0、BFD1ビットを“0”(ジェネラルレジスタ)にして、TRDGRC0、TRDGRC1、TRDGRD0、TRDGRD1レジスタに値を書き込み、その後BFC0、BFC1、BFD0、BFD1ビットを“1”(バッファレジスタ)にできます。

20.8.14 タイマRD端子選択レジスタ0 (TRDPSR0)

アドレス 0184h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	TRDIOD0SEL0	—	TRDIOC0SEL0	—	TRDIOB0SEL0	—	TRDIOA0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA0SEL0	TRDIOA0/TRDCLK端子選択ビット	0：TRDIOA0/TRDCLK端子は使用しない 1：P3_5に割り当てる	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b2	TRDIOB0SEL0	TRDIOB0端子選択ビット	0：TRDIOB0端子は使用しない 1：P3_4に割り当てる	R/W
b3	—	予約ビット	“0”にしてください	R/W
b4	TRDIOC0SEL0	TRDIOC0端子選択ビット	0：TRDIOC0端子は使用しない 1：P3_7に割り当てる	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	TRDIOD0SEL0	TRDIOD0端子選択ビット	0：TRDIOD0端子は使用しない 1：P3_3に割り当てる	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

TRDPSR0レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR0レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR0レジスタを設定してください。また、タイマRDの動作中はTRDPSR0レジスタの設定値を変更しないでください。

20.8.15 タイマRD端子選択レジスタ1 (TRDPSR1)

アドレス 0185h番地

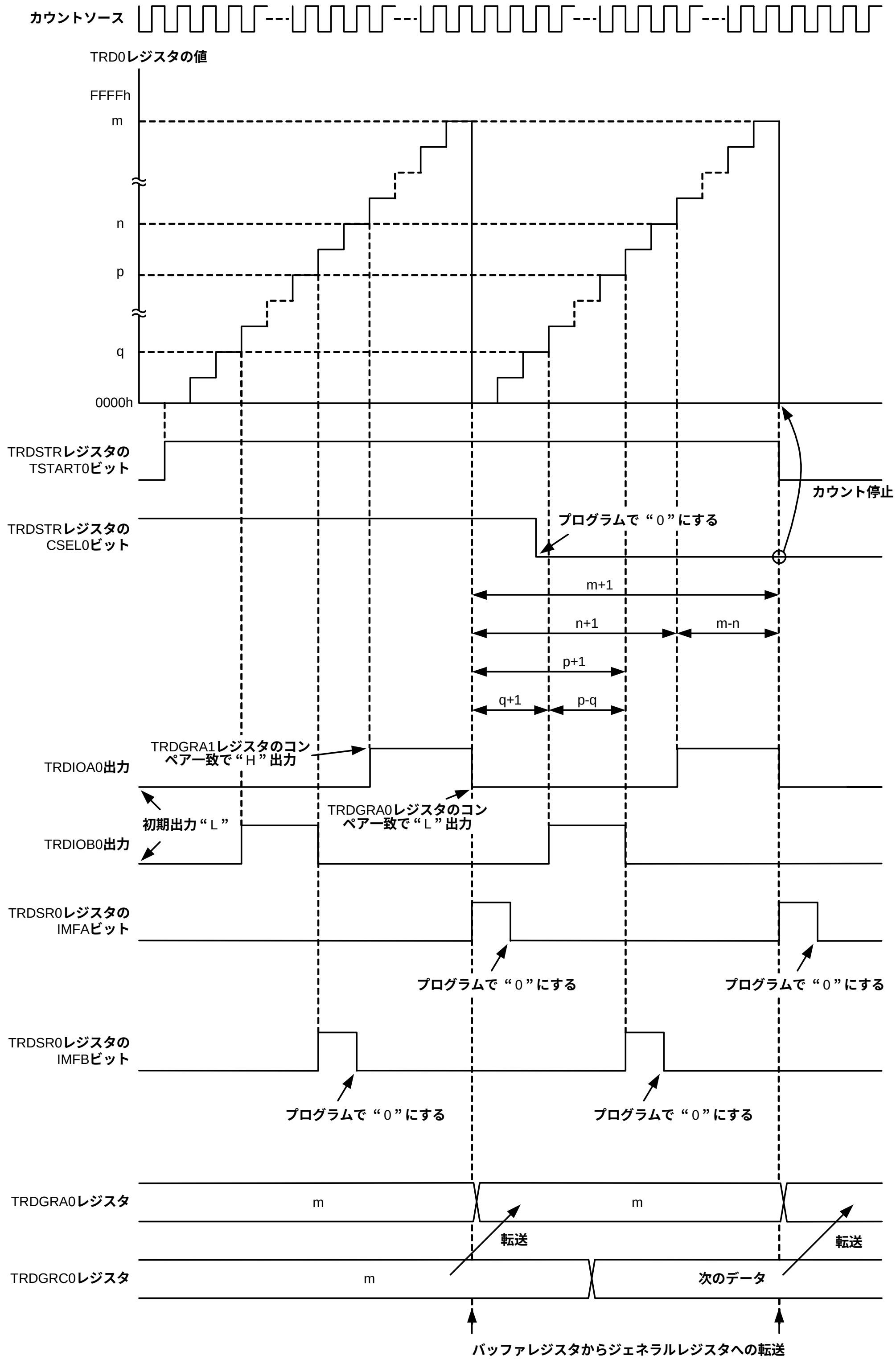
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	TRDIOD1SEL0	—	TRDIOC1SEL0	—	TRDIOB1SEL0	—	TRDIOA1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA1SEL0	TRDIOA1端子選択ビット	0：TRDIOA1端子は使用しない 1：P1_0に割り当てる	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b2	TRDIOB1SEL0	TRDIOB1端子選択ビット	0：TRDIOB1端子は使用しない 1：P1_1に割り当てる	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	TRDIOC1SEL0	TRDIOC1端子選択ビット	0：TRDIOC1端子は使用しない 1：P1_2に割り当てる	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	TRDIOD1SEL0	TRDIOD1端子選択ビット	0：TRDIOD1端子は使用しない 1：P1_3に割り当てる	R/W
b7	—	予約ビット	“0”にしてください	R/W

TRDPSR1レジスタは、タイマRDの入出力をどの端子に割り当てるかを選択するレジスタです。タイマRDの入出力端子を使用する場合は、TRDPSR1レジスタを設定してください。

タイマRDの関連レジスタを設定する前に、TRDPSR1レジスタを設定してください。また、タイマRDの動作中はTRDPSR1レジスタの設定値を変更しないでください。

20.8.16 動作例



上図は次の条件の場合です。
・TRDOCRレジスタのTOA0、TOB0ビットがともに“0”(初期出力“L”、TRDGRj1レジスタのコンペアー致で“H”出力、TRDGRj0レジスタのコンペアー致で“L”出力)
・TRDMRレジスタのBFC0ビットが“1”(TRDGRC0レジスタはTRDGRA0レジスタのバッファレジスタ)

j =A、Bのいずれか

m：TRDGRA0レジスタの設定値
n：TRDGRA1レジスタの設定値
p：TRDGRB0レジスタの設定値
q：TRDGRB1レジスタの設定値

図20.23　PWM3モードの動作例

20.8.17 A/Dトリガ発生

TRDi(i = 0 ～ 1) レジスタとTRDGRji(j = A、B、C、D) レジスタのコンペア一致信号を、A/Dコンバータの変換開始トリガとして使用できます。

TRDADCRレジスタで、どのコンペア一致を使用するか選択できます。

20.9 タイマRD割り込み

タイマRDは、タイマRD0とタイマRD1ごとに6つの要因からタイマRDi (i=0～1)割り込み要求を発生します。タイマRD割り込みはタイマRD0とタイマRD1ごとに1つのTRDiIC(i=0～1)レジスタ(IRビット、ILVL0～ILVL2ビット)と1つのベクタを持ちます。

表20.17にタイマRD割り込み関連レジスタを、図20.24にタイマRD割り込みのブロック図を示します。

表20.17 タイマRD割り込み関連レジスタ

	タイマRD ステータスレジスタ	タイマRD 割り込み許可レジスタ	タイマRD 割り込み制御レジスタ
タイマRD0	TRDSR0	TRDIER0	TRD0IC
タイマRD1	TRDSR1	TRDIER1	TRD1IC

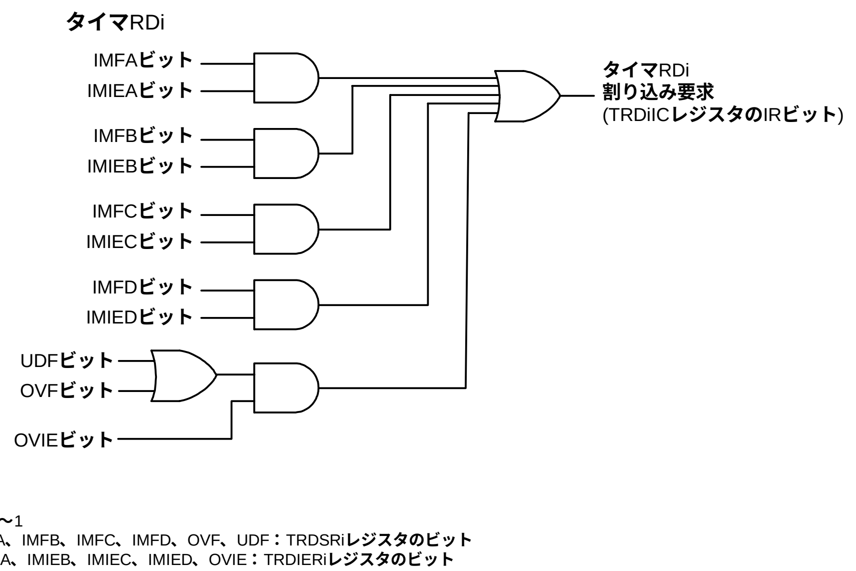


図20.24 タイマRD割り込みのブロック図

タイマRD割り込みが、Iフラグ、IRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要因(タイマRD割り込み)を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- TRDSRiレジスタのビットが“1”で、それに対応するTRDIERiレジスタのビットが“1”(割り込み許可)の場合、TRDiICレジスタのIRビットが“1”(割り込み要求あり)になります。
- TRDSRiレジスタのビットと、それに対応するTRDIERiレジスタのビットのどちらか、または両方が“0”になるとIRビットが“0”(割り込み要求なし)になります。すなわち、IRビットは、一旦“1”になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
- IRビットが“1”になった後、別の要求要因が成立した場合、IRビットは“1”のまま変化しません。
- TRDIERi　レジスタの複数のビットを“1”にしている場合、どの要求要因による割り込みかは、TRDSRiレジスタで判定してください。
- TRDSRiレジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりませんので、割り込みルーチン内で“0”にしてください。“0”にする方法は「モード毎のTRDSR0～TRDSR1レジスタ(20.3.10、20.4.13、20.5.11、20.6.9、20.7.9、20.8.10)」を参照してください。

TRDSRiレジスタは「モード毎のTRDSR0～TRDSR1レジスタ(20.3.10、20.4.13、20.5.11、20.6.9、20.7.9、20.8.10)」を、TRDIERiレジスタは「モード毎のTRDIER0～TRDIER1レジスタ(20.3.11、20.4.14、20.5.12、20.6.10、20.7.10、20.8.11)」を参照してください。

TRDiICレジスタは「11.3　割り込み制御」、割り込みベクタは「11.1.5.2　可変ベクタテーブル」を参照してください。

20.10 タイマRD使用上の注意

20.10.1 TRDSTRレジスタ

- TRDSTRレジスタはMOV命令を使用して書いてください。

- CSELi(i=0～1)ビットが“0”(TRDiレジスタとTRDGRAiレジスタのコンペア一致でカウント停止)の場合、TSTARTiビットに“0”(カウント停止)を書いても、カウントは停止せず、TSTARTiビットも変化しません。
  したがって、CSELiビットが“0”のとき、TSTARTiビットを変化させずに他のビットを変更したい場合は、TSTARTiビットに“0”を書いてください。
  また、プログラムでカウントを停止させる場合は、CSELiビットを“1”にした後で、TSTARTiビットに“0”を書いてください。同時に(1命令で)CSELiビットに“1”、TSTARTiビットに“0”を書いてもカウントは停止できません。

- TRDIOji(j=A、B、C、D)端子をタイマRD出力で使用している場合の、カウント停止時の出力レベルを表20.18に示します。

表20.18 カウント停止時のTRDIOji (j=A、B、C、D)端子出力レベル

カウント停止方法	カウント停止時のTRDIOji端子出力
CSELiビットが“1”のときに、TSTARTiビットに“0”を書きカウント停止	直前の出力レベルを保持(相補PWMモード、リセット同期PWMモードではTRDFCRレジスタのOLS0、OLS1ビットで選択した初期出力レベルを出力)
CSELiビットが“0”のときに、TRDiレジスタとTRDGRAiレジスタのコンペア一致でカウント停止	コンペア一致による出力変化後、そのレベルを保持(相補PWMモード、リセット同期PWMモードではTRDFCRレジスタのOLS0、OLS1ビットで選択した初期出力レベルを出力)

20.10.2 TRDiレジスタ(i=0～1)

- TRDSTRレジスタのTSTARTiビットが“1”(カウント開始)の状態で、プログラムでTRDiレジスタに値を書き込む場合は、TRDiレジスタが“0000h”になるタイミングと重ならないように書いてください。
  TRDiレジスタが“0000h”になるタイミングと、TRDiレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRDiレジスタが“0000h”になります。
  この注意事項は、TRDCRiレジスタのCCLR2～CCLR0ビットで次の選択をしている場合に該当します。
  - “001b”(TRDGRAiレジスタのインプットキャプチャ/コンペア一致でTRDiレジスタをクリア)
  - “010b”(TRDGRBiレジスタのインプットキャプチャ/コンペア一致でTRDiレジスタをクリア)
  - “011b”(同期クリア)
  - “101b”(TRDGRCiレジスタのインプットキャプチャ/コンペア一致でTRDiレジスタをクリア)
  - “110b”(TRDGRDiレジスタのインプットキャプチャ/コンペア一致でTRDiレジスタをクリア)

- TRDi レジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```
プログラム例          MOV.W   #XXXXh, TRD0        ; 書き込み
                      JMP.B   L1                  ; JMP.B命令
                L1:   MOV.W   TRD0,DATA           ; 読み出し
```

20.10.3 TRDSRiレジスタ(i=0～1)

TRDSRiレジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```
プログラム例          MOV.B   #XXh, TRDSR0      ；書き込み
                      JMP.B   L1                ；JMP.B命令
              L1:     MOV.B   TRDSR0,DATA       ；読み出し
```

20.10.4 TRDCRiレジスタ(i=0～1)

TRDCRiレジスタのTCK2～TCK0ビットを“111b”(fOCO-F)にするときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

20.10.5 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。
変更手順
(1) TRDSTRレジスタのTSTARTi(i=0～1)ビットを“0”(カウント停止)にする
(2) TRDCRiレジスタのTCK2～TCK0ビットを変更する

- カウントソースをfOCO40MからfOCO-F以外のクロックに変更し、fOCO40Mを停止させる場合は、クロック切り替え設定後、f1の2サイクル以上待ってからfOCO40Mを停止させてください。
変更手順
(1) TRDSTRレジスタのTSTARTi(i=0～1)ビットを“0”(カウント停止)にする
(2) TRDCRiレジスタのTCK2～TCK0ビットを変更する
(3) f1の2サイクル以上待つ
(4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

- カウントソースをfOCO-FからfOCO40M以外のクロックに変更し、fOCO-Fを停止させる場合は、クロック切り替え設定後、fOCO-Fの1サイクル＋fOCO40Mの1サイクル以上待ってからfOCO-Fを停止させてください。
変更手順
(1) TRDSTRレジスタのTSTARTi(i=0～1)ビットを“0”(カウント停止)にする
(2) TRDCRiレジスタのTCK2～TCK0ビットを変更する
(3) fOCO-Fの1サイクル＋fOCO40Mの1サイクル以上待つ
(4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

20.10.6 インプットキャプチャ機能

- インプットキャプチャ信号のパルス幅はタイマRDの動作クロック(「表20.1　タイマRDの動作クロック」参照)の3サイクル以上にしてください。
- TRDIOji(i=0～1、j=A、B、C、Dのいずれか)端子にインプットキャプチャ信号が入力されてから、タイマRDの動作クロックの2～3サイクル後にTRDiレジスタの値をTRDGRjiレジスタに転送します(デジタルフィルタなしの場合)。
- インプットキャプチャ機能使用時、TRDIORAi、TRDIORCiレジスタのIOj0～IOj1ビット(i=0～1、j=A、B、C、Dのいずれか)で選択したエッジがTRDIOji端子に入力されると、TRDSTRレジスタのTSTARTiビットが“0”(カウント停止)のときも、TRDSRiレジスタのIMFjビットが“1”になります。

20.10.7 リセット同期PWMモード

- モータ制御に用いる場合はOLS0=OLS1で使用してください。
- リセット同期PWMモードに設定するときは、次の手順で設定してください。
  変更手順

(1) TRDSTRレジスタのTSTART0ビットを“0”(カウント停止)にする
(2) TRDFCRレジスタのCMD1～CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする
(3) CMD1～CMD0を“01b”(リセット同期PWMモード)にする
(4) その他のタイマRD関連レジスタを再設定する

20.10.8 相補PWMモード

- モータ制御に用いる場合はOLS0=OLS1で使用してください。
- TRDFCRレジスタのCMD1～CMD0ビットを変更するときは、次の手順で変更してください。
  変更手順：相補PWMモードにする場合(再設定含む)、または相補PWMモードでバッファレジスタからジェネラルレジスタへの転送タイミングを変更する場合
  (1) TRDSTRレジスタのTSTART0ビット、TSTART1ビットを両方とも“0”(カウント停止)にする
  (2) TRDFCRレジスタのCMD1～CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする
  (3) CMD1～CMD0を“10b”、または“11b”(相補PWMモード)にする
  (4) その他のタイマRD関連レジスタを再設定する

  変更手順：相補PWMモードを止める場合
  (1) TRDSTRレジスタのTSTART0ビット、TSTART1ビットを両方とも“0”(カウント停止)にする
  (2) CMD1～CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする

- 動作中にTRDGRA0、TRDGRB0、TRDGRA1、TRDGRB1レジスタに書き込まないでください。
  PWM 波形を変更する場合は、TRDGRD0、TRDGRC1、TRDGRD1 レジスタへ書き込んだ値を、バッファ動作を用いてTRDGRB0、TRDGRA1、TRDGRB1レジスタへ転送してください。
  ただし、TRDGRD0、TRDGRC1、TRDGRD1の書き込みに際しては、BFD0、BFC1、BFD1ビットを“0”(ジェネラルレジスタ)にして書き込み、その後BFD0、BFC1、BFD1ビットを“1”(バッファレジスタ)にできます。
  PWM周期は変更できません。

- TRDGRA0レジスタに設定した値をmとすると、TRD0レジスタはアップカウントからダウンカウントに変わるとき、m-1→m→m+1→m→m-1とカウントします。
  m→m+1のとき、IMFAビットが“1”になります。また、TRDFCRレジスタのCMD1～CMD0ビットが“11b”(相補PWMモード、TRD0とTRDGRA0レジスタのコンペア一致でバッファデータ転送)の場合、バッファレジスタ(TRDGRD0、TRDGRC1、TRDGRD1)の内容がジェネラルレジスタ(TRDGRB0、TRDGRA1、TRDGRB1)に転送されます。
  m+1→m→m-1の動作ではIMFAビットは変化せず、TRDGRA0レジスタ等へのデータ転送もありません。

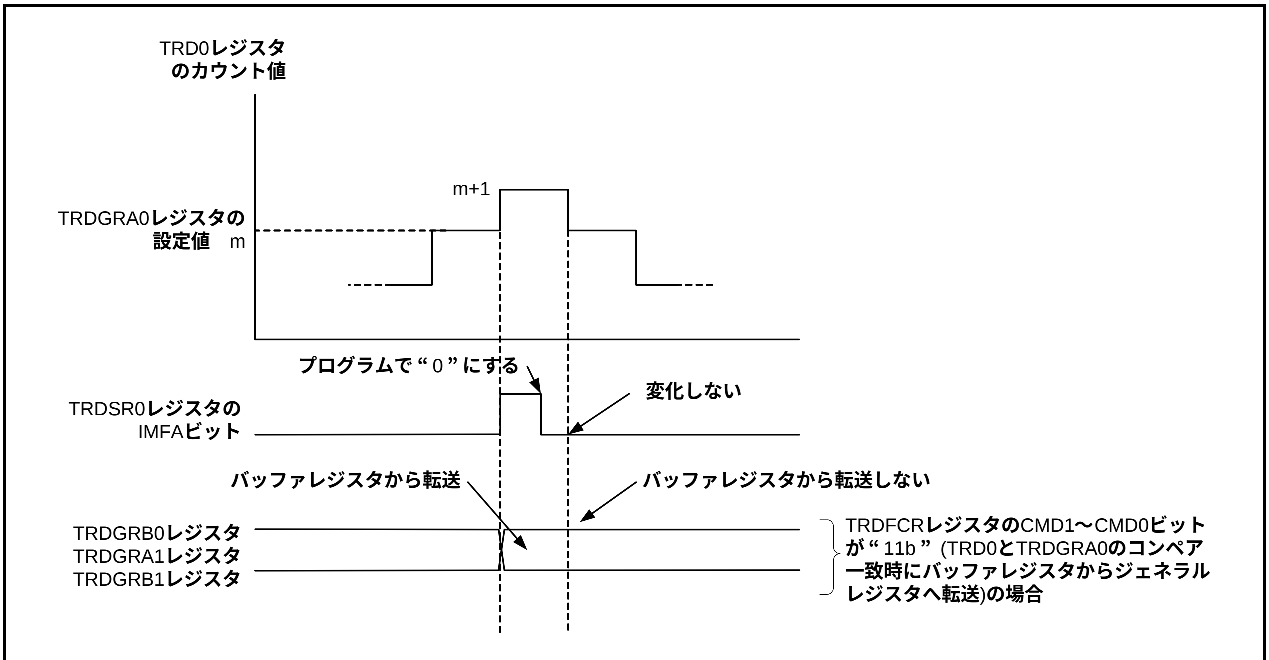


図 20.25　相補PWMモード時のTRD0とTRDGRA0レジスタがコンペア一致したときの動作

• TRD1はダウンカウントからアップカウントに変わるとき、1→0→FFFFh→0→1とカウントします。
1→0→FFFFhの動作によって、UDFビットが“1”になります。また、TRDFCRレジスタのCMD1～CMD0ビットが“10b”(相補PWMモード、TRD1のアンダフローでバッファデータ転送)の場合、バッファレジスタ(TRDGRD0、TRDGRC1、TRDGRD1)の内容がジェネラルレジスタ(TRDGRB0、TRDGRA1、TRDGRB1)に転送されます。
FFFFh→0→1の動作ではTRDGRB0レジスタ等へのデータ転送はありません。また、このとき、OVFビットは変化しません。

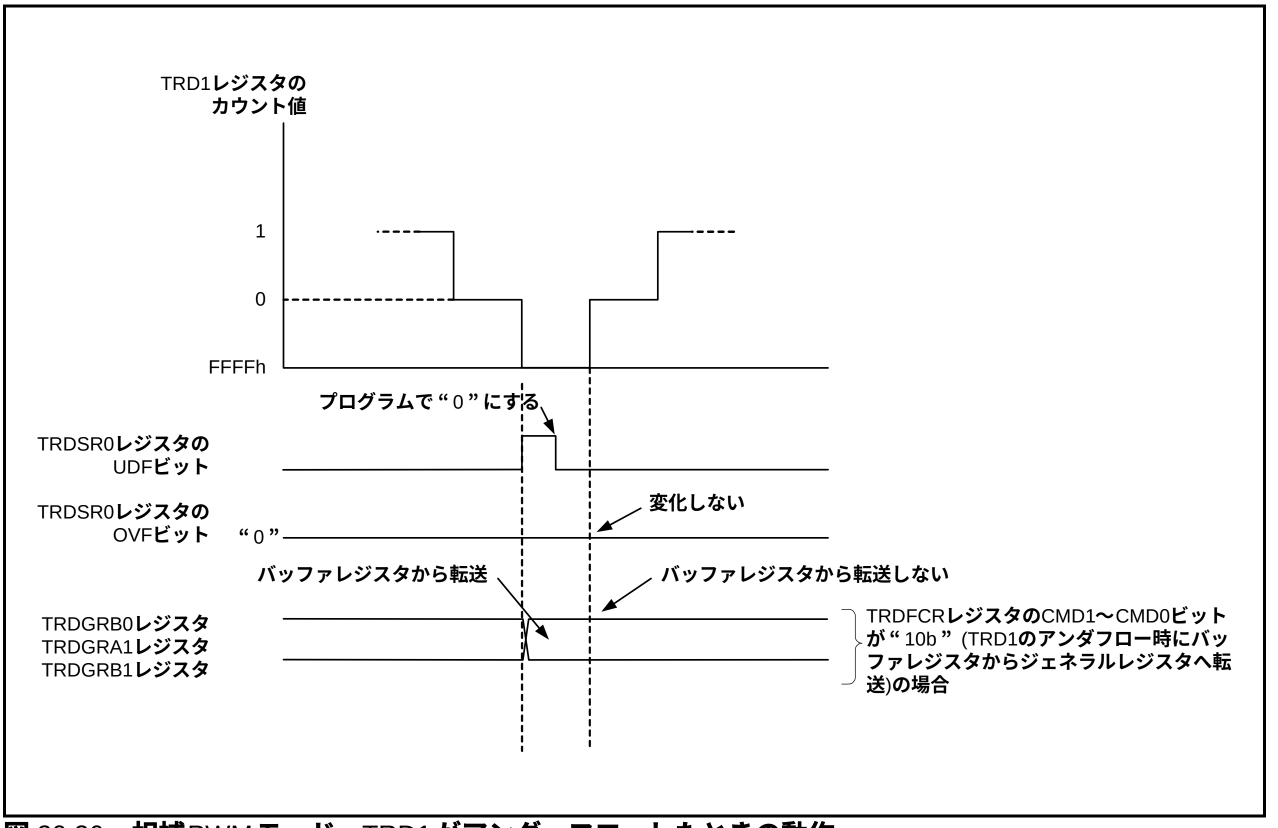


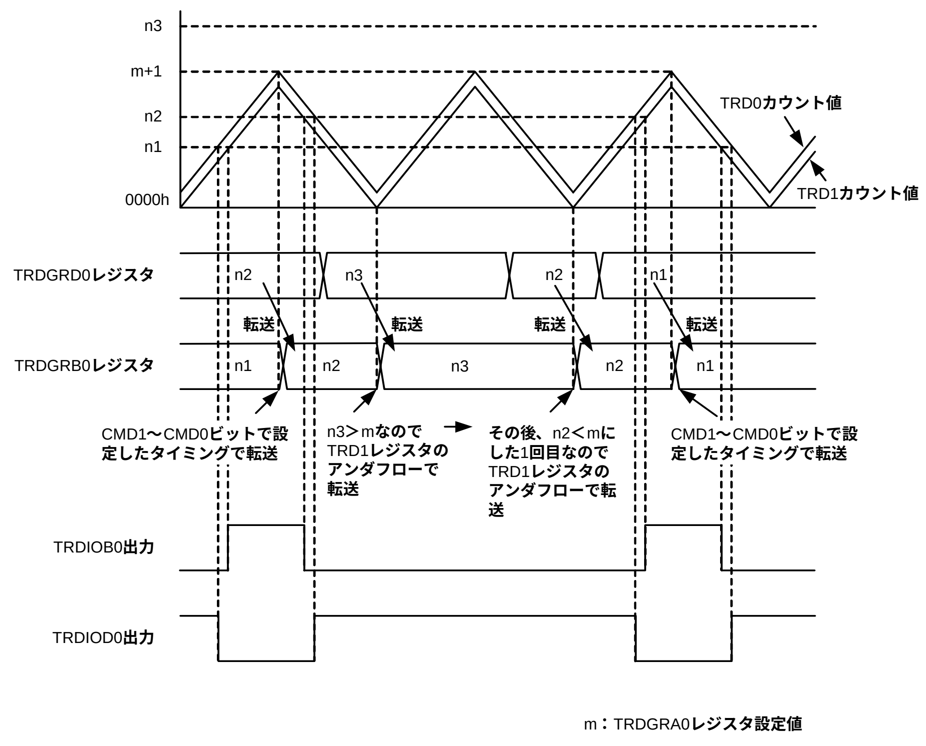
図 20.26　相補PWMモード　TRD1がアンダーフローしたときの動作

• バッファレジスタからジェネラルレジスタへのデータ転送タイミングは、TRDFCR　レジスタのCMD1～CMD0ビットで選択してください。ただし、次の場合はCMD1～CMD0ビットの値に関係なく次のタイミングで転送します。

バッファレジスタの値≧TRDGRA0レジスタの値の場合

TRD1レジスタのアンダフローで転送します。

その後、“0001h”以上かつTRDGRA0レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD1レジスタがアンダフローしたとき、ジェネラルレジスタへ転送します。それ以降はCMD1～CMD0ビットで選択したタイミングで転送します。



上図は次の条件の場合です。
・TRDFCRレジスタのCMD1～CMD0ビットが“11b”
　(相補PWMモード、TRD0レジスタとTRDGRA0レジスタのコンペアー致時、バッファレジスタのデータを転送)
・TRDFCRレジスタのOLS0、OLS1ビットがともに“1”(正相、逆相ともにアクティブ“H”)

図 20.27　相補PWMモード時のバッファレジスタの値≧TRDGRA0レジスタ値の場合の動作例

バッファレジスタの値が“ 0000h ”の場合

TRD0とTRDGRA0レジスタのコンペア一致で転送します。

その後、“ 0001h ”以上かつ TRDGRA0 レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD0とTRDGRA0レジスタがコンペア一致したとき、ジェネラルレジスタへ転送します。それ以降はCMD1～CMD0ビットで選択したタイミングで転送します。

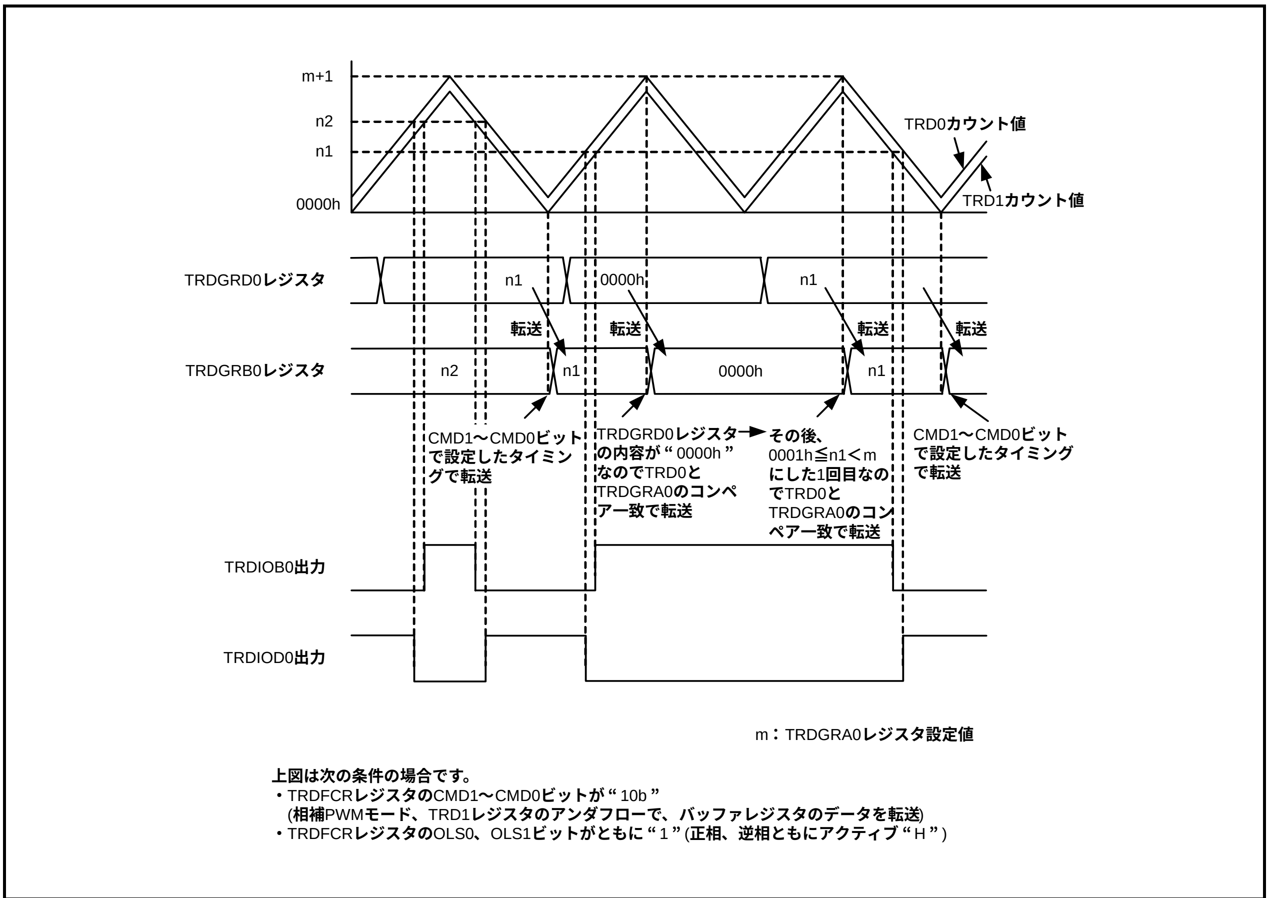


図 20.28 相補PWMモード時のバッファレジスタの値が“ 0000h ”の場合の動作例

20.10.9 カウントソースfOCO40M

カウントソース fOCO40M については、電源電圧 VCC=2.7 ～ 5.5V の範囲で使用することができます。これ以外の電源電圧では、TRDCR0、TRDCR1 レジスタの TCK2 ～ TCK0 ビットを“ 110b ”(fOCO40M をカウントソースに選択) にしないでください。

21. シリアルインタフェース(UART0)

シリアルインタフェースはUART0、UART2の2チャネルで構成しています。本章はUART0について説明します。

21.1 概要

UART0は専用の転送クロック発生用タイマを持ち、独立して動作します。クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード(UARTモード)の2種類のモードを持ちます。

図21.1にUART0のブロック図を、図21.2に送受信部のブロック図、表21.1にUART0の端子構成を示します。

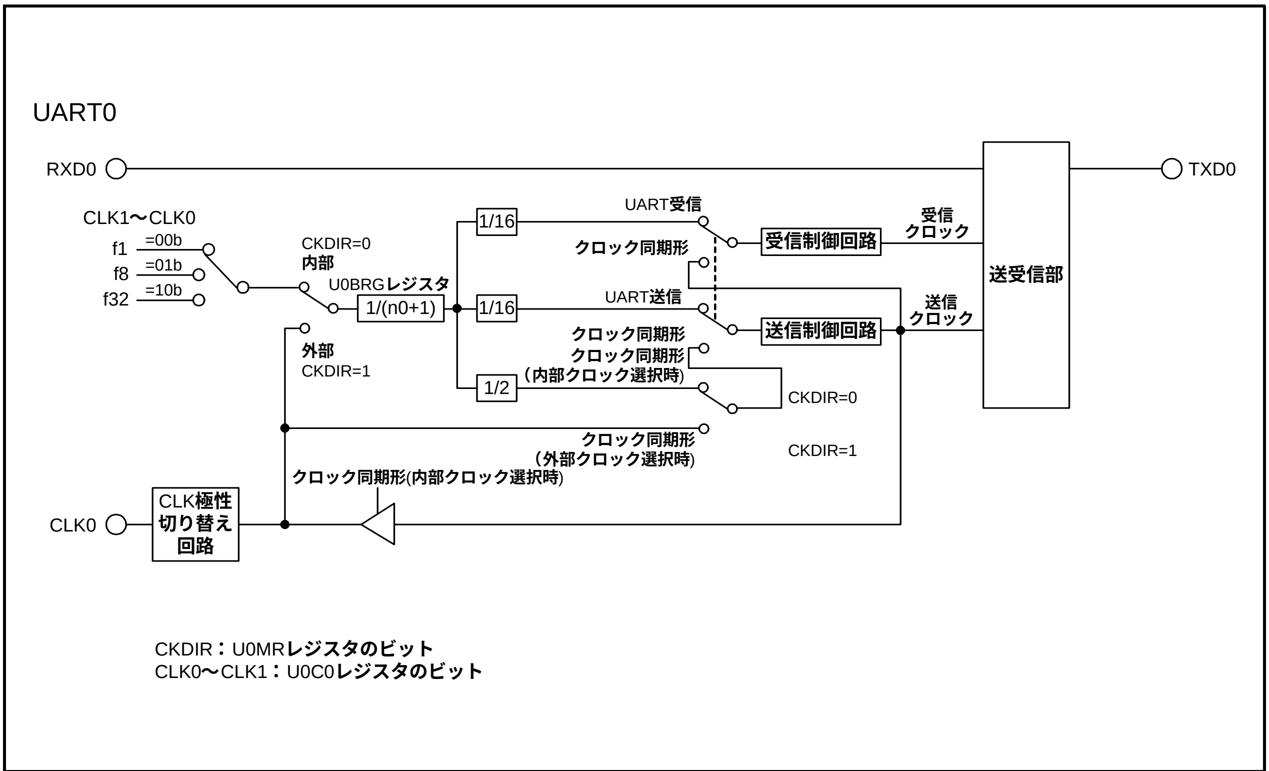


図 21.1　UART0のブロック図

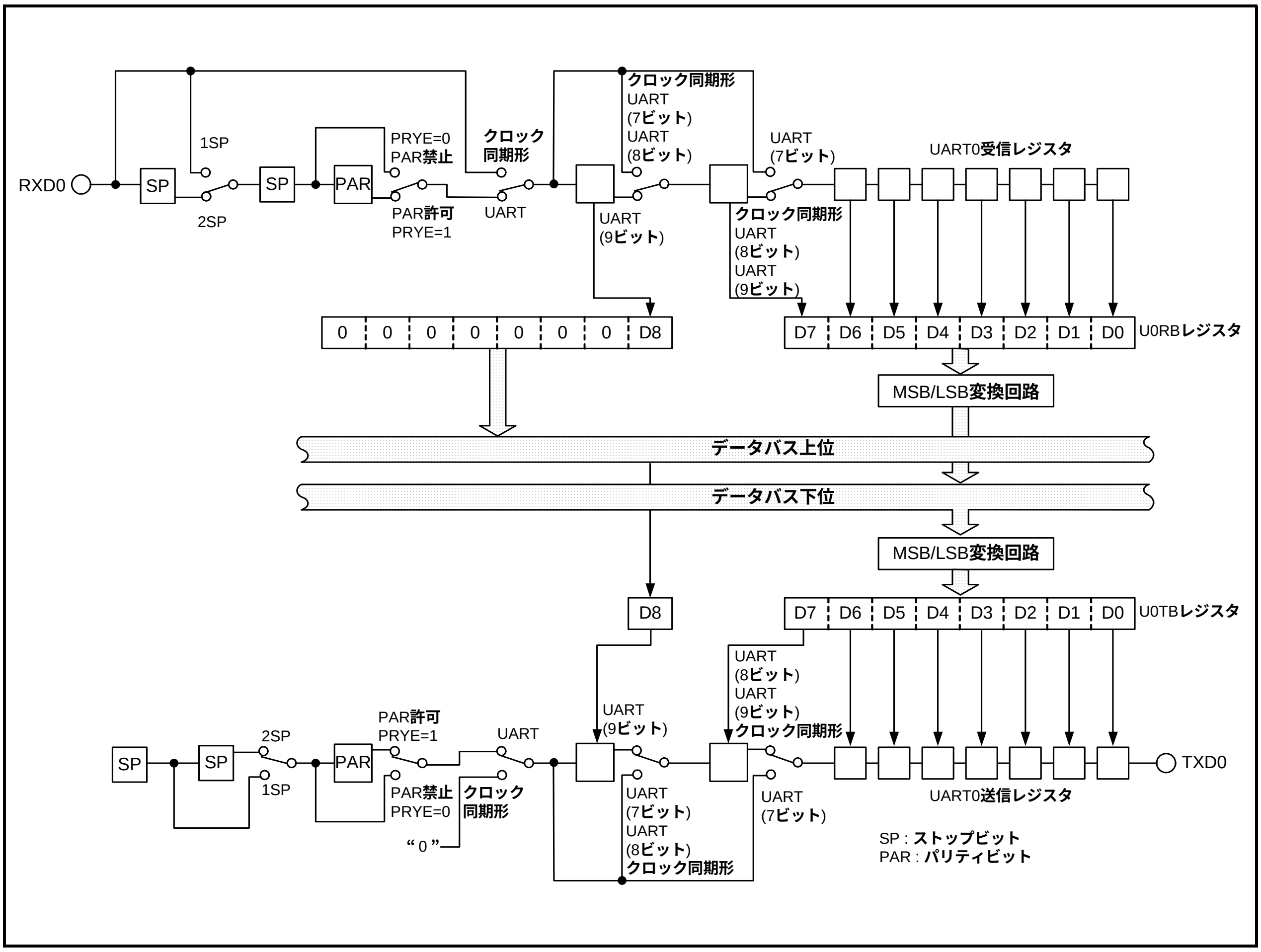


図 21.2　送受信部のブロック図

表 21.1　UART0の端子構成

端子名	割り当てる端子	入出力	機能
TXD0	P1_4	出力	シリアルデータ出力
RXD0	P1_5	入力	シリアルデータ入力
CLK0	P1_6	入出力	転送クロック入出力

21.2 レジスタの説明

21.2.1 UART0送受信モードレジスタ (U0MR)

アドレス 00A0h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	−	PRYE	PRY	STPS	CKDIR	SMD2	SMD1	SMD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 0：シリアルインタフェースは無効 0 0 1：クロック同期形シリアルI/Oモード 1 0 0：UARTモード転送データ長7ビット 1 0 1：UARTモード転送データ長8ビット 1 1 0：UARTモード転送データ長9ビット 上記以外：設定しないでください	R/W
b1	SMD1			R/W
b2	SMD2			R/W
b3	CKDIR	内/外部クロック選択ビット	0：内部クロック 1：外部クロック	R/W
b4	STPS	ストップビット長選択ビット	0：1ストップビット 1：2ストップビット	R/W
b5	PRY	パリティ奇/偶選択ビット	PRYE=1のとき有効 0：奇数パリティ 1：偶数パリティ	R/W
b6	PRYE	パリティ許可ビット	0：パリティ禁止 1：パリティ許可	R/W
b7	−	予約ビット	“0”にしてください	R/W

21.2.2 UART0ビットレートレジスタ (U0BRG)

アドレス 00A1h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	−	−	−	−	−	−	−	−
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定範囲	R/W
b7～b0	設定値をnとすると、U0BRGはカウントソースをn+1分周する	00h～FFh	W

U0BRGレジスタは、送受信停止中に書いてください。
U0BRGレジスタは、MOV命令を使用して書いてください。
U0C0レジスタのCLK0～CLK1ビットを設定した後、U0BRGレジスタに書いてください。

21.2.3 UART0送信バッファレジスタ (U0TB)

アドレス 00A3h～00A2h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	−	−	−	−	−	−	−	−
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	−	−	−	−	−	−	−	−
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	機能	R/W
b0	−	送信データ	W
b1	−		
b2	−		
b3	−		
b4	−		
b5	−		
b6	−		
b7	−		
b8	−		
b9	−	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。	−
b10	−		
b11	−		
b12	−		
b13	−		
b14	−		
b15	−		

転送データ長が9ビットの場合、U0TBレジスタの上位バイト→下位バイトの順で書いてください。
U0TBレジスタはMOV命令を使用して書いてください。

21.2.4 UART0送受信制御レジスタ0 (U0C0)

アドレス 00A4h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	UFORM	CKPOL	NCH	—	TXEPT	—	CLK1	CLK0
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK0	BRGカウントソース選択ビット(注1)	b1 b0 0 0：f1を選択 0 1：f8選択 1 0：f32を選択 1 1：設定しないでください	R/W
b1	CLK1			R/W
b2	—	予約ビット	“0”にしてください	R/W
b3	TXEPT	送信レジスタ空フラグ	0：送信レジスタにデータあり(送信中) 1：送信レジスタにデータなし(送信完了)	R
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	NCH	データ出力選択ビット	0：TXD0端子はCMOS出力 1：TXD0端子はNチャネルオープンドレイン出力	R/W
b6	CKPOL	CLK極性選択ビット	0：転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1：転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力	R/W
b7	UFORM	転送フォーマット選択ビット	0：LSBファースト 1：MSBファースト	R/W

注1. BRGカウントソースを変更した場合は、U0BRGレジスタを再設定してください。

21.2.5 UART0送受信制御レジスタ1 (U0C1)

アドレス 00A5h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	U0RRM	U0IRS	RI	RE	TI	TE
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TE	送信許可ビット	0：送信禁止 1：送信許可	R/W
b1	TI	送信バッファ空フラグ	0：U0TBにデータあり 1：U0TBにデータなし	R
b2	RE	受信許可ビット	0：受信禁止 1：受信許可	R/W
b3	RI	受信完了フラグ(注1)	0：U0RBにデータなし 1：U0RBにデータあり	R
b4	U0IRS	UART0送信割り込み要因選択ビット	0：送信バッファ空(TI=1) 1：送信完了(TXEPT=1)	R/W
b5	U0RRM	UART0連続受信モード許可ビット(注2)	0：連続受信モード禁止 1：連続受信モード許可	R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b7	—			

注1. RIビットはU0RBレジスタの上位バイトを読み出したとき、“0”になります。
注2. UARTモード時、U0RRMビットは“0”(連続受信モード禁止)にしてください。

21.2.6 UART0受信バッファレジスタ (U0RB)

アドレス 00A7h～00A6h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	−	−	−	−	−	−	−	−
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	SUM	PER	FER	OER	−	−	−	−
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	−	−	受信データ(D7～D0)	R
b1	−			
b2	−			
b3	−			
b4	−			
b5	−			
b6	−			
b7	−			
b8	−	−	受信データ(D8)	R
b9	−	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		−
b10	−			
b11	−			
b12	OER	オーバランエラーフラグ(注1)	0：オーバランエラーなし 1：オーバランエラー発生	R
b13	FER	フレーミングエラーフラグ(注1、2)	0：フレーミングエラーなし 1：フレーミングエラー発生	R
b14	PER	パリティエラーフラグ(注1、2)	0：パリティエラーなし 1：パリティエラー発生	R
b15	SUM	エラーサムフラグ(注1、2)	0：エラーなし 1：エラー発生	R

注1. SUM、PER、FER、OERビットは、U0MRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェースは無効)にしたとき、またはU0C1レジスタのREビットを“0”(受信禁止)にしたとき、“0”(エラーなし)になります(SUMビットは、PER、FER、OERビットがすべて“0”(エラーなし)になると、“0”(エラーなし)になります)。また、PER、FERビットはU0RBレジスタの上位バイトを読み出したとき、“0”になります。
U0MRレジスタのSMD2～SMD0ビットを“000b”にするときは、U0C1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にしてください。

注2. U0MRレジスタのSMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)のとき、これらのエラーフラグは無効です。読んだ場合、その値は不定です。

U0RBレジスタは必ず16ビット単位で読み出してください。

21.2.7 UART0端子選択レジスタ(U0SR)

アドレス 0188h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	CLK0SEL0	—	RXD0SEL0	—	TXD0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD0SEL0	TXD0端子選択ビット	0：TXD0端子は使用しない 1：P1_4に割り当てる	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b2	RXD0SEL0	RXD0端子選択ビット	0：RXD0端子は使用しない 1：P1_5に割り当てる	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	CLK0SEL0	CLK0端子選択ビット	0：CLK0端子は使用しない 1：P1_6に割り当てる	R/W
b5	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b6	—			
b7	—			

U0SRレジスタは、UART0の入出力をどの端子に割り当てるかを選択するレジスタです。UART0の入出力端子を使用する場合は、U0SRレジスタを設定してください。

UART0の関連レジスタを設定する前に、U0SRレジスタを設定してください。また、UART0の動作中はU0SRレジスタの設定値を変更しないでください。

21.3 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。

表21.2にクロック同期形シリアルI/Oモードの仕様を、表21.3にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表21.2 クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	•転送データ長　8ビット
転送クロック	•U0MRレジスタのCKDIRビットが“0”(内部クロック)：fi/(2(n+1)) fi=f1、f8、f32　n=U0BRGレジスタの設定値　00h～FFh •CKDIRビットが“1”(外部クロック)：CLK0端子からの入力
送信開始条件	•送信開始には、以下の条件が必要です(注1)。 U0C1レジスタのTEビットが“1”(送信許可) U0C1レジスタのTIビットが“0”(U0TBレジスタにデータあり)
受信開始条件	•受信開始には、以下の条件が必要です(注1)。 U0C1レジスタのREビットが“1”(受信許可) U0C1レジスタのTEビットが“1”(送信許可) U0C1レジスタのTIビットが“0”(U0TBレジスタにデータあり)
割り込み要求発生タイミング	•送信する場合、次の条件のいずれかを選択できます。 -U0IRSビットが“0”(送信バッファ空)： U0TBレジスタからUART0送信レジスタへデータ転送時(送信開始時) -U0IRSビットが“1”(送信完了)：UART0送信レジスタからデータ送信完了時 •受信する場合 UART0受信レジスタから、U0RBレジスタへデータ転送時(受信完了時)
エラー検出	•オーバランエラー(注2) U0RBレジスタを読む前に次のデータ受信を開始し、次データの7ビット目を受信すると発生
選択機能	•CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択 •LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択 •連続受信モード選択 U0RBレジスタを読み出す動作により、同時に受信許可状態になる

注1. 外部クロックを選択している場合、U0C0レジスタのCKPOLビットが“0”(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態で、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態で条件を満たしてください。

注2. オーバランエラーが発生した場合、U0RBレジスタの受信データ(b0～b8)は不定になります。またS0RICレジスタのIRビットは変化しません。

表 21.3　クロック同期形シリアルI/Oモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能
U0TB	b0～b7	送信データを設定してください
U0RB	b0～b7	受信データが読めます
	OER	オーバランエラーフラグ
U0BRG	b0～b7	ビットレートを設定してください
U0MR	SMD2～SMD0	“001b”にしてください
	CKDIR	内部クロック、外部クロックを選択してください
U0C0	CLK1～CLK0	U0BRGレジスタのカウントソースを選択してください
	TXEPT	送信レジスタ空フラグ
	NCH	TXD0端子の出力形式を選択してください
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
U0C1	TE	送受信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください
	RI	受信完了フラグ
	U0IRS	UART0送信割り込み要因を選択してください
	U0RRM	連続受信モードを使用する場合、“1”にしてください

注1.　この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、“0”を書いてください。

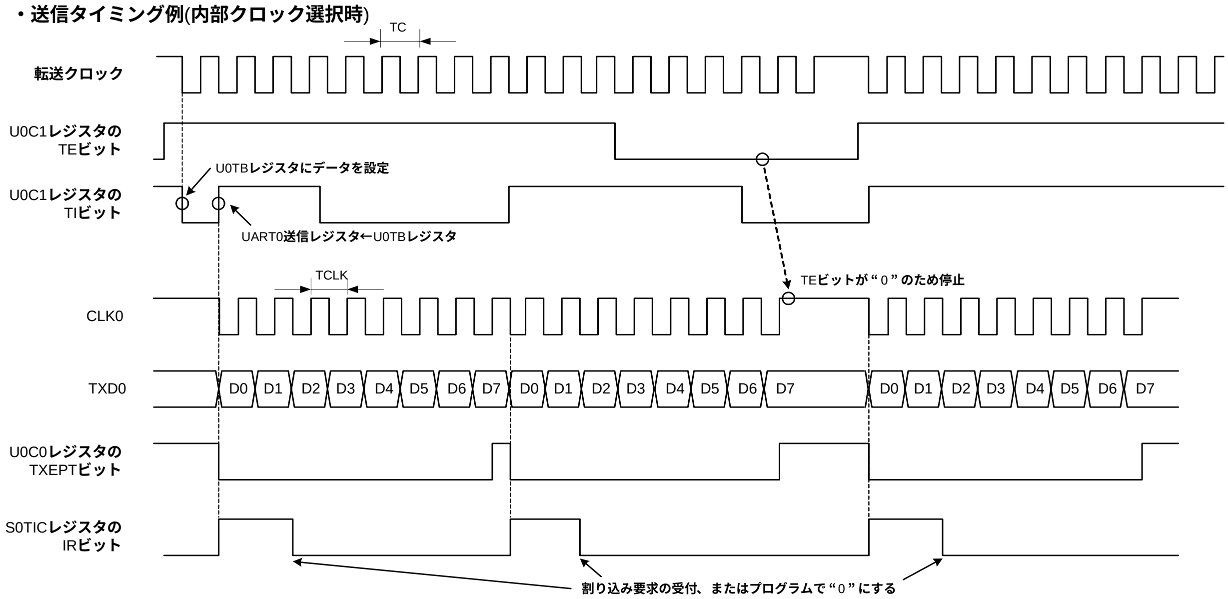
表21.4にクロック同期形シリアルI/Oモード時の入出力端子の機能を示します。

UART0の動作モード選択後、転送開始までは、TXD0端子は“H”レベルを出力します(NCHビットが“1”(Nチャネルオープンドレイン出力)の場合、ハイインピーダンス状態)。

表21.4　クロック同期形シリアルI/Oモード時の入出力端子の機能

端子名	機能	選択方法
TXD0(P1_4)	シリアルデータ出力	U0SRレジスタのTXD0SEL0ビット＝1 (受信だけを行うときはTXD0SEL0ビット＝0と設定することで、P1_4をポートとして使用可)
RXD0(P1_5)	シリアルデータ入力	U0SRレジスタのRXD0SEL0ビット＝1 PD1レジスタのPD1_5ビット＝0 (送信だけを行うときはRXD0SEL0ビット＝0と設定することで、P1_5をポートとして使用可)
CLK0(P1_6)	転送クロック出力	U0SRレジスタのCLK0SEL0ビット＝1 U0MRレジスタのCKDIRビット＝0
	転送クロック入力	U0SRレジスタのCLK0SEL0ビット＝1 U0MRレジスタのCKDIRビット＝1 PD1レジスタのPD1_6ビット＝0

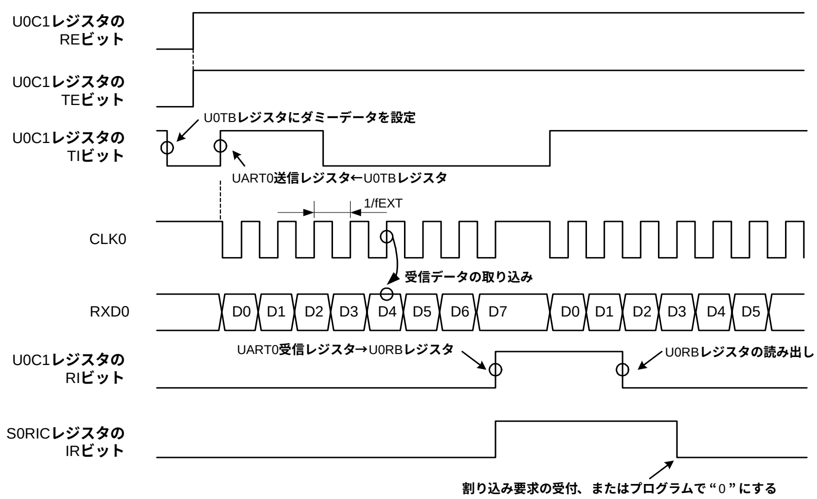
・送信タイミング例(内部クロック選択時)



上記タイミング図は次の設定条件の場合です。
・U0MRレジスタのCKDIRビット=0 (内部クロック)
・U0C0レジスタのCKPOLビット=0 (転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)
・U0C1レジスタのU0IRSビット=0 (送信バッファが空になると割り込み要求発生)

TC=TCLK=2(n+1)/fi
fi : U0BRGのカウントソースの周波数
(f1、f8、f32)
n : U0BRGに設定した値

・受信タイミング例(外部クロック選択時)



上記タイミング図は次の設定条件の場合です。
・U0MRレジスタのCKDIRビット=1 (外部クロック)
・U0C0レジスタのCKPOLビット=0 (転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)

データ受信前のCLK0端子の入力が“H”レベルのときに、以下の条件が揃うようにしてください。
・U0C1レジスタのTEビット→“1”(送信許可)
・U0C1レジスタのREビット→“1”(受信許可)
・U0TBレジスタへのダミーデータの書き込み

fEXT：外部クロックの周波数

図 21.3　クロック同期形シリアルI/Oモード時の送受信タイミング例

21.3.1 通信エラー発生時の対処方法

クロック同期形シリアルI/Oモードで受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

(1) U0C1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
(2) U0MRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
(3) U0MRレジスタのSMD2～SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
(4) U0C1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

21.3.2　極性選択機能

図 21.4 に転送クロックの極性を示します。U0C0 レジスタの CKPOL ビットによって転送クロックの極性を選択できます。

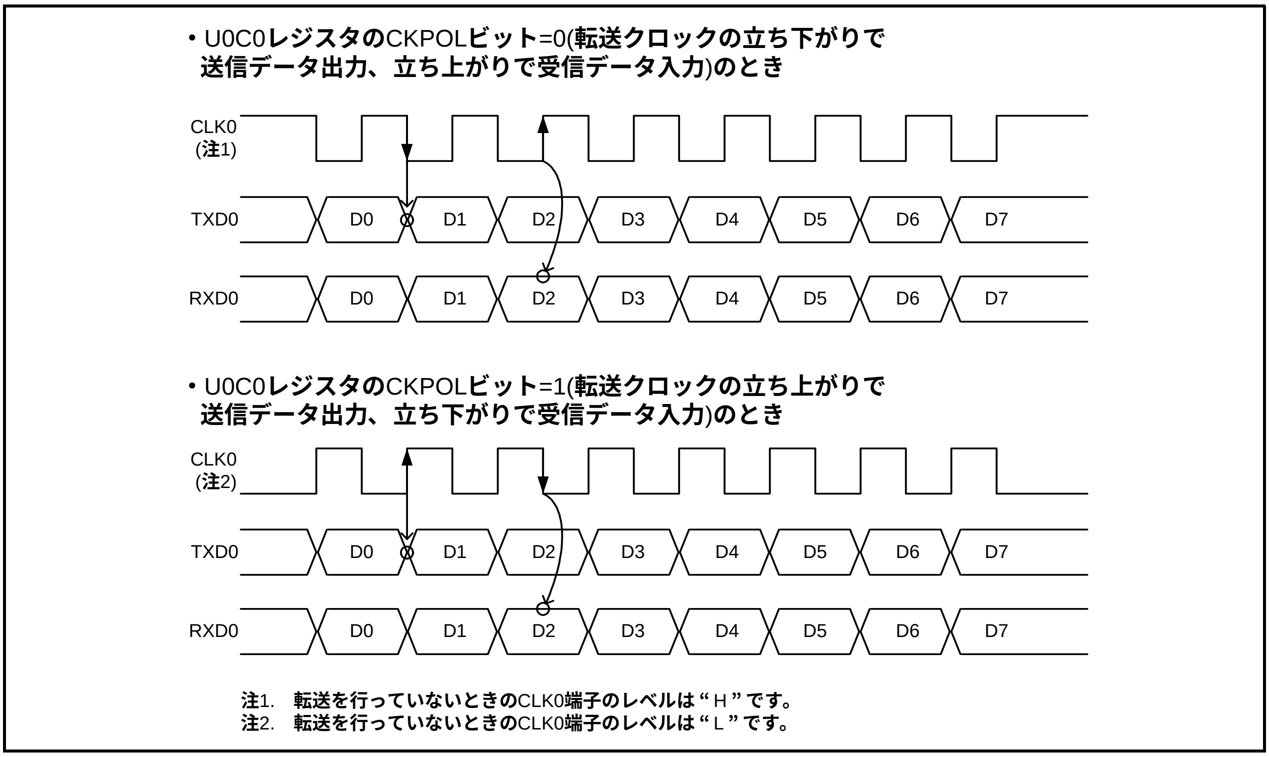


図 21.4　転送クロックの極性

21.3.3　LSBファースト、MSBファースト選択

図 21.5 に転送フォーマットを示します。U0C0 レジスタの UFORM ビットで転送フォーマットを選択できます。

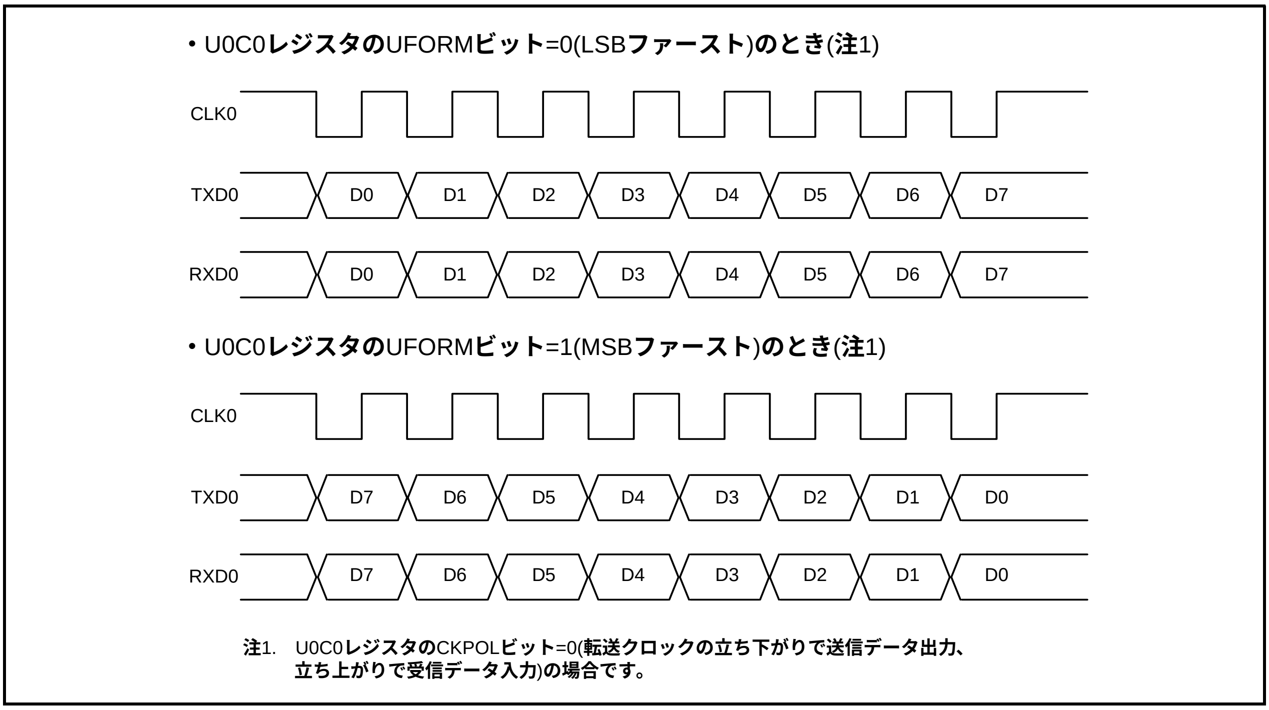


図 21.5　転送フォーマット

21.3.4 連続受信モード

U0C1レジスタのU0RRMビットを“1”(連続受信モード許可)に設定することによって、連続受信モードになります。連続受信モードでは、U0RBレジスタを読むことでU0C1レジスタのTIビットが“0”(U0TBにデータあり)になります。U0RRMビットが“1”の場合、プログラムでU0TBレジスタにダミーデータを書かないでください。

21.4 クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意のビットレート、転送データフォーマットを設定して送受信を行うモードです。

表21.5にクロック非同期形シリアルI/Oモードの仕様を、表21.6にUARTモード時の使用レジスタと設定値を示します。

表21.5 クロック非同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	•キャラクタビット(転送データ)　7ビット、8ビット、9ビット選択可 •スタートビット　1ビット •パリティビット　奇数、偶数、無し選択可 •ストップビット　1ビット、2ビット選択可
転送クロック	•U0MRレジスタのCKDIRビットが“0”(内部クロック)：fj/(16(n+1)) fj=f1、f8、f32　n=U0BRGレジスタの設定値　00h～FFh •CKDIRビットが“1”(外部クロック)：fEXT/(16(n+1)) fEXTはCLK0端子からの入力　n=U0BRGレジスタの設定値　00h～FFh
送信開始条件	•送信開始には、以下の条件が必要です。 U0C1レジスタのTEビットが“1”(送信許可) U0C1レジスタのTIビットが“0”(U0TBレジスタにデータあり)
受信開始条件	•受信開始には、以下の条件が必要です。 U0C1レジスタのREビットが“1”(受信許可) スタートビットの検出
割り込み要求発生タイミング	•送信する場合、次の条件のいずれかを選択できます。 -U0IRSビットが“0”(送信バッファ空)： U0TBレジスタからUART0送信レジスタへデータ転送時(送信開始時) -U0IRSビットが“1”(送信完了)： UART0送信レジスタからデータ送信完了時 •受信する場合 UART0受信レジスタから、U0RBレジスタへデータ転送時(受信完了時)
エラー検出	•オーバランエラー(注1)　U0RBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 •フレーミングエラー　設定した個数のストップビットが検出されなかったときに発生(注2) •パリティエラー　パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生(注2) •エラーサムフラグ　オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる

注1. オーバランエラーが発生した場合、U0RBレジスタの受信データ(b0～b8)は不定になります。
注2. フレーミングエラーフラグ、パリティエラーフラグは、UART0受信レジスタからU0RBレジスタにデータが転送されるときに“1”になります。

表 21.6　UARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
U0TB	b0～b8	送信データを設定してください(注1)
U0RB	b0～b8	受信データが読めます(注2)
	OER、FER、PER、SUM	エラーフラグ
U0BRG	b0～b7	ビットレートを設定してください
U0MR	SMD2～SMD0	転送データが7ビットの場合、“100b”を設定してください。 転送データが8ビットの場合、“101b”を設定してください。 転送データが9ビットの場合、“110b”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください。
	STPS	ストップビットを選択してください。
	PRY、PRYE	パリティの有無、偶数奇数を選択してください。
U0C0	CLK1～CLK0	U0BRGレジスタのカウントソースを選択してください。
	TXEPT	送信レジスタ空フラグ
	NCH	TXD0端子の出力形式を選択してください。
	CKPOL	“0”にしてください。
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できます。 転送データ長7ビットまたは9ビット時は“0”にしてください。
U0C1	TE	送信を許可する場合、“1”にしてください。
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください。
	RI	受信完了フラグ
	U0IRS	UART0送信割り込み要因を選択してください。
	U0RRM	“0”にしてください。

注1. 使用するビットは次のとおりです。転送データ長7ビット：ビットb0～b6、転送データ長8ビット：ビットb0～b7、転送データ長9ビット：ビットb0～b8

注2. 転送データ長7ビットの場合のビットb7～b8、転送データ長8ビットの場合のビットb8の内容は不定です。

表21.7にUARTモード時の入出力端子の機能を示します。なお、UART0の動作モード選択後、転送開始までは、TXD0端子は“H”レベルを出力します(NCHビットが“1”(Nチャネルオープンドレイン出力)の場合、ハイインピーダンス状態)。

表21.7 UARTモード時の入出力端子の機能

端子名	機能	選択方法
TXD0(P1_4)	シリアルデータ出力	U0SRレジスタのTXD0SEL0ビット＝1 (受信だけを行うときはTXD0SEL0ビット＝0と設定することで、P1_4をポートとして使用可)
RXD0(P1_5)	シリアルデータ入力	U0SRレジスタのRXD0SEL0ビット＝1 PD1レジスタのPD1_5ビット＝0 (送信だけを行うときはRXD0SEL0ビット＝0と設定することで、P1_5をポートとして使用可)
CLK0(P1_6)	プログラマブル入出力ポート	U0SRレジスタのCLK0SEL0ビット＝0(CLK0端子は使用しない)
	転送クロック入力	U0SRレジスタのCLK0SEL0ビット＝1 U0MRレジスタのCKDIRビット＝1 PD1レジスタのPD1_6ビット＝0

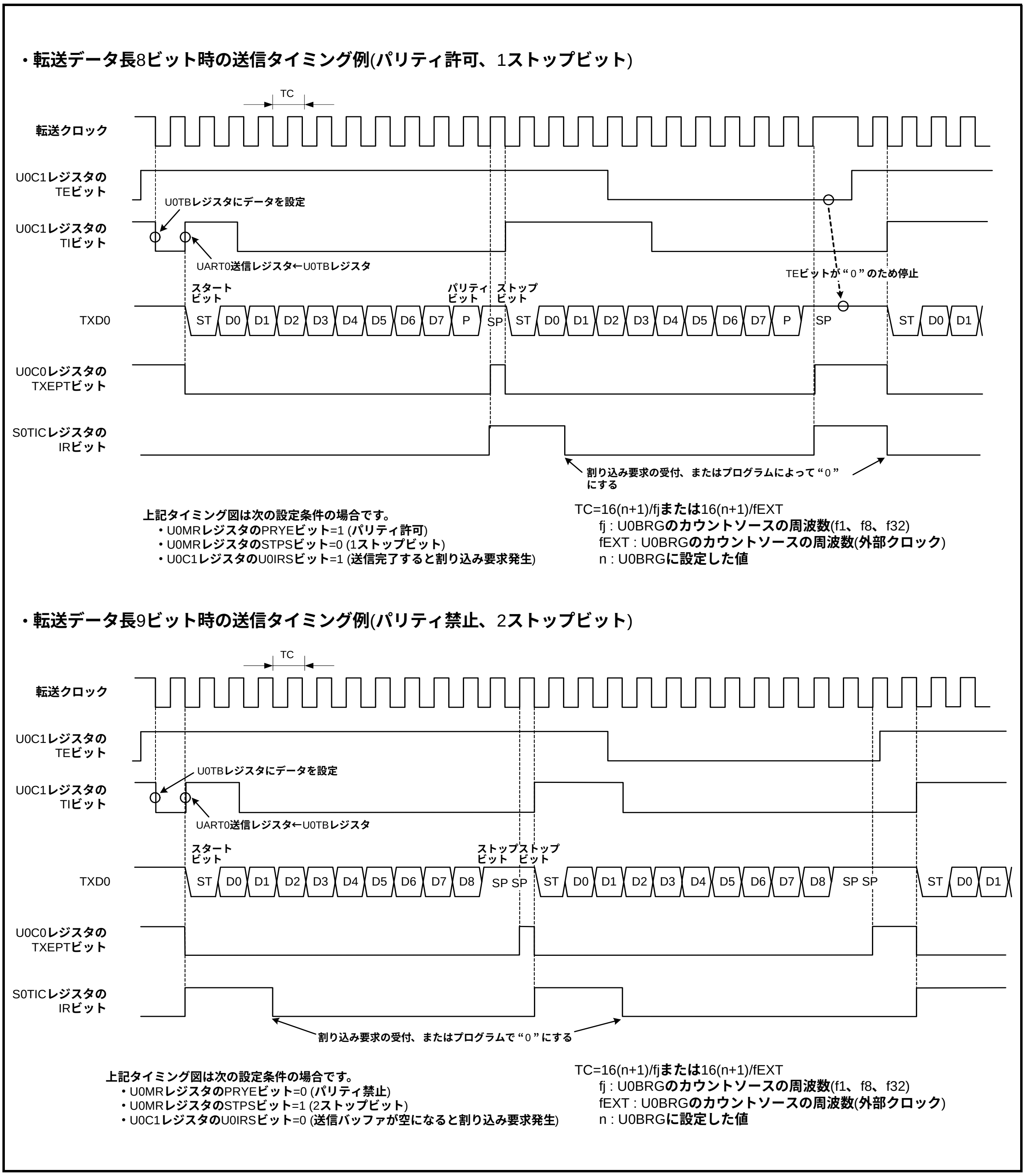
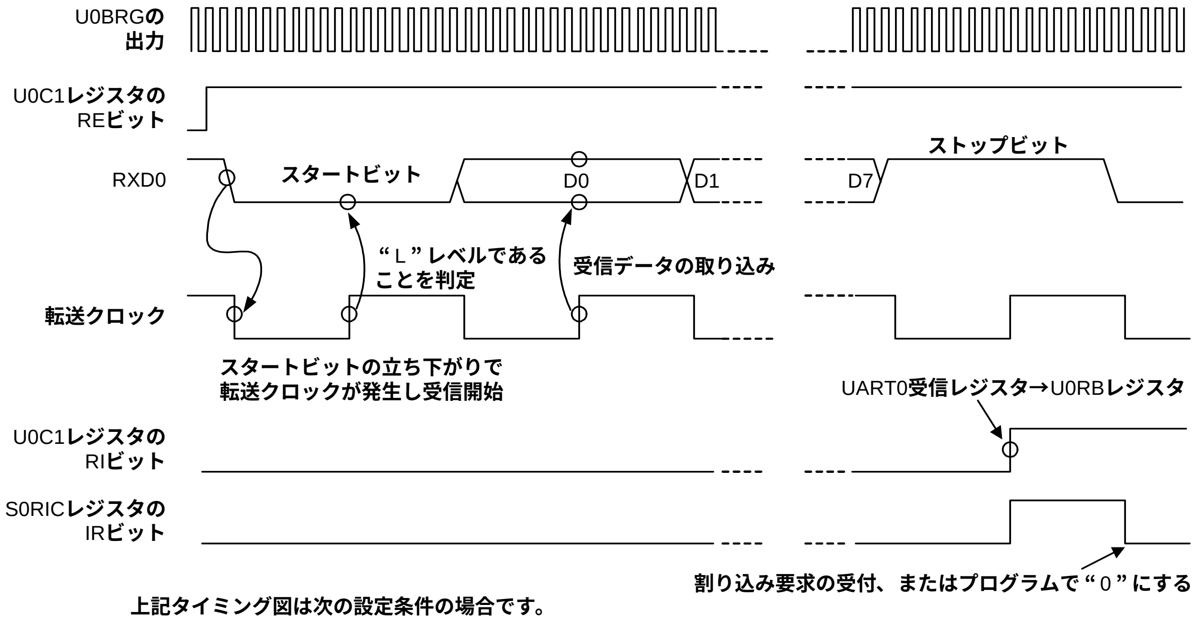


図 21.6　UARTモード時の送信タイミング

・転送データ長8ビット時の受信タイミング例(パリティ禁止、1ストップビット)



上記タイミング図は次の設定条件の場合です。
- U0MRレジスタのPRYEビット=0 (パリティ禁止)
- U0MRレジスタのSTPSビット=0 (1ストップビット)

図 21.7　UARTモード時の受信タイミング例

21.4.1 ビットレート

UARTモードではU0BRGレジスタで分周した周波数の16分周がビットレートになります。

＜UARTモード＞

・内部クロック選択時

$$\text{U0BRGレジスタへの設定値} = \frac{fj}{\text{ビットレート} \times 16} - 1$$

fj：U0BRGレジスタのカウントソースの周波数(f1、f8、f32)

・外部クロック選択時

$$\text{U0BRGレジスタへの設定値} = \frac{fEXT}{\text{ビットレート} \times 16} - 1$$

fEXT：U0BRGレジスタのカウントソースの周波数(外部クロック)

図 21.8　U0BRGレジスタの設定値の算出式

表 21.8　UARTモード時のビットレート設定例(内部クロック選択時)

ビットレート (bps)	U0BRGのカウントソース	システムクロック＝20 MHz			システムクロック＝18.432 MHz (注1)			システムクロック＝8 MHz		
		U0BRGの設定値	実時間 (bps)	設定誤差 (%)	U0BRGの設定値	実時間 (bps)	設定誤差 (%)	U0BRGの設定値	実時間 (bps)	設定誤差 (%)
1200	f8	129 (81h)	1201.92	0.16	119 (77h)	1200.00	0.00	51 (33h)	1201.92	0.16
2400	f8	64 (40h)	2403.85	0.16	59 (3Bh)	2400.00	0.00	25 (19h)	2403.85	0.16
4800	f8	32 (20h)	4734.85	－1.36	29 (1Dh)	4800.00	0.00	12 (0Ch)	4807.69	0.16
9600	f1	129 (81h)	9615.38	0.16	119 (77h)	9600.00	0.00	51 (33h)	9615.38	0.16
14400	f1	86 (56h)	14367.82	－0.22	79 (4Fh)	14400.00	0.00	34 (22h)	14285.71	－0.79
19200	f1	64 (40h)	19230.77	0.16	59 (3Bh)	19200.00	0.00	25 (19h)	19230.77	0.16
28800	f1	42 (2Ah)	29069.77	0.94	39 (27h)	28800.00	0.00	16 (10h)	29411.76	2.12
38400	f1	32 (20h)	37878.79	－1.36	29 (1Dh)	38400.00	0.00	12 (0Ch)	38461.54	0.16
57600	f1	21 (15h)	56818.18	－1.36	19 (13h)	57600.00	0.00	8 (08h)	55555.56	－3.55
115200	f1	10 (0Ah)	113636.36	－1.36	9 (09h)	115200.00	0.00	—	—	—

注1. 高速オンチップオシレータに対して、FRA4レジスタの調整値をFRA1レジスタに、FRA5レジスタの調整値をFRA3レジスタに書き込んでください。
システムクロックに高速オンチップオシレータを選択し、FRA2レジスタのFRA22～FRA20ビットを“000b”(2分周モード)にした場合です。高速オンチップオシレータの精度は「29. 電気的特性」を参照してください。

21.4.2 通信エラー発生時の対処方法

UARTモードで、受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

(1) U0C1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
(2) U0MRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
(3) U0MRレジスタのSMD2～SMD0ビットを“100b”(UARTモード転送データ長7ビット)、“101b”(UARTモード転送データ長8ビット)、“110b”(UARTモード転送データ長9ビット)のいずれかにする。
(4) U0C1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

21.5 シリアルインタフェース(UART0)使用上の注意

- クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、U0RBレジスタを読み出すときは、必ず16ビット単位で読み出してください。
U0RBレジスタのPER、FERビットとU0C1レジスタのRIビットは、U0RBレジスタの上位バイトを読み出したとき、“0”になります。
受信エラーはU0RBレジスタを読み出し後、読み出した値で確認してください。

＜受信バッファレジスタを読み出すプログラム例＞

```
MOV.W     00A6H, R0     ; U0RBレジスタの読み出し
```

- 転送データビット長9ビットのクロック非同期形シリアルI/Oモードで、U0TBレジスタに書く時は、上位バイト→下位バイトの順で、8ビット単位で書いてください。

＜送信バッファレジスタに書き込むプログラム例＞

```
MOV.B     #XXH, 00A3H     ; U0TBレジスタの上位バイトへの書き込み
MOV.B     #XXH, 00A2H     ; U0TBレジスタの下位バイトへの書き込み
```

22. シリアルインタフェース(UART2)

シリアルインタフェースはUART0、UART2の2チャネルで構成しています。本章はUART2について説明します。

22.1 概要

UART2は専用の転送クロック発生用タイマを持ちます。

図22.1にUART2のブロック図を、図22.2にUART2送受信部のブロック図を示します。表22.1にUART2の端子構成を示します。

UART2には、次のモードがあります。

- クロック同期形シリアルI/Oモード
- クロック非同期形シリアルI/Oモード(UARTモード)
- 特殊モード1(I²Cモード)
- 特殊モード3(バス衝突検出機能、IEモード)
- マルチプロセッサ通信機能

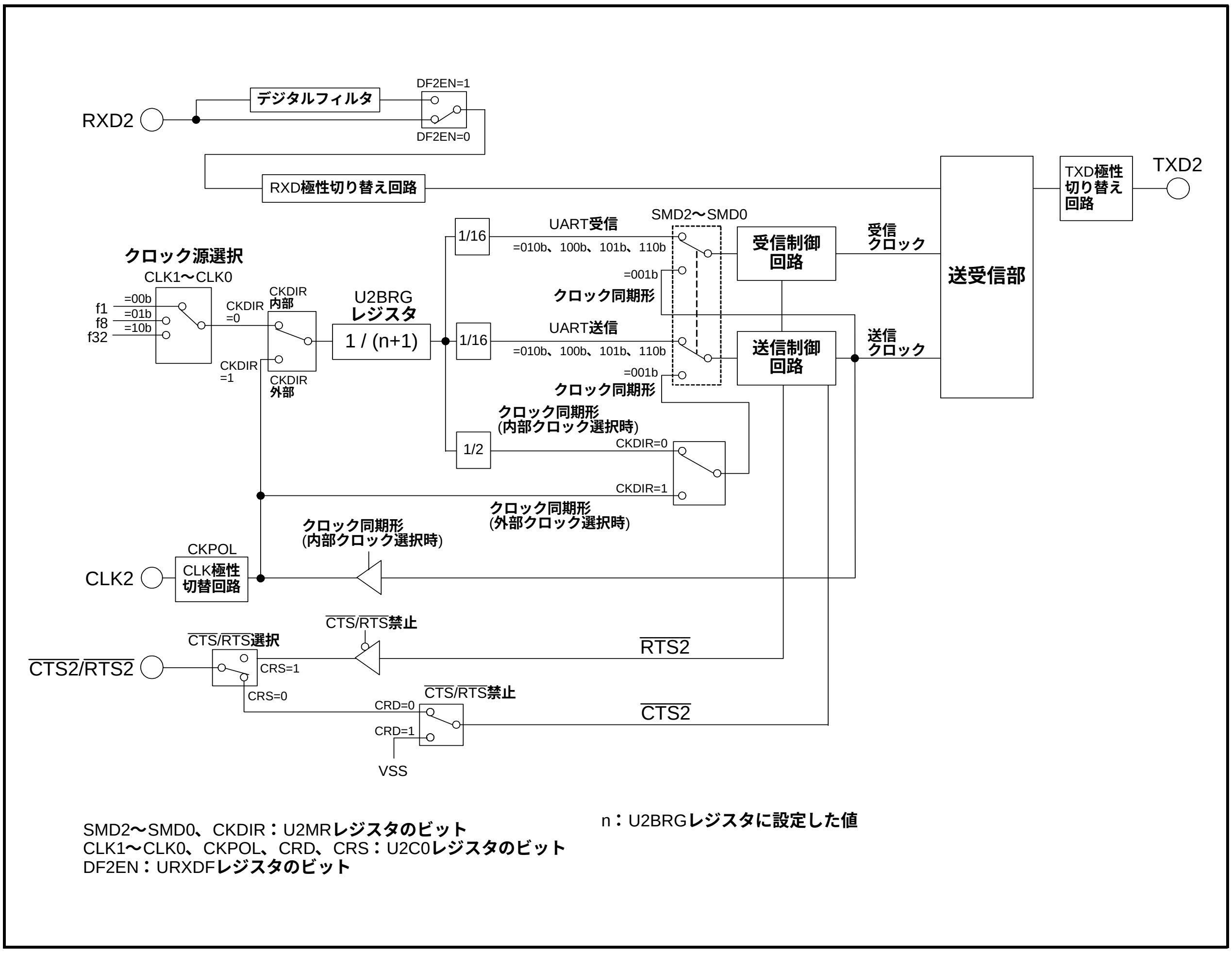


図22.1　UART2のブロック図

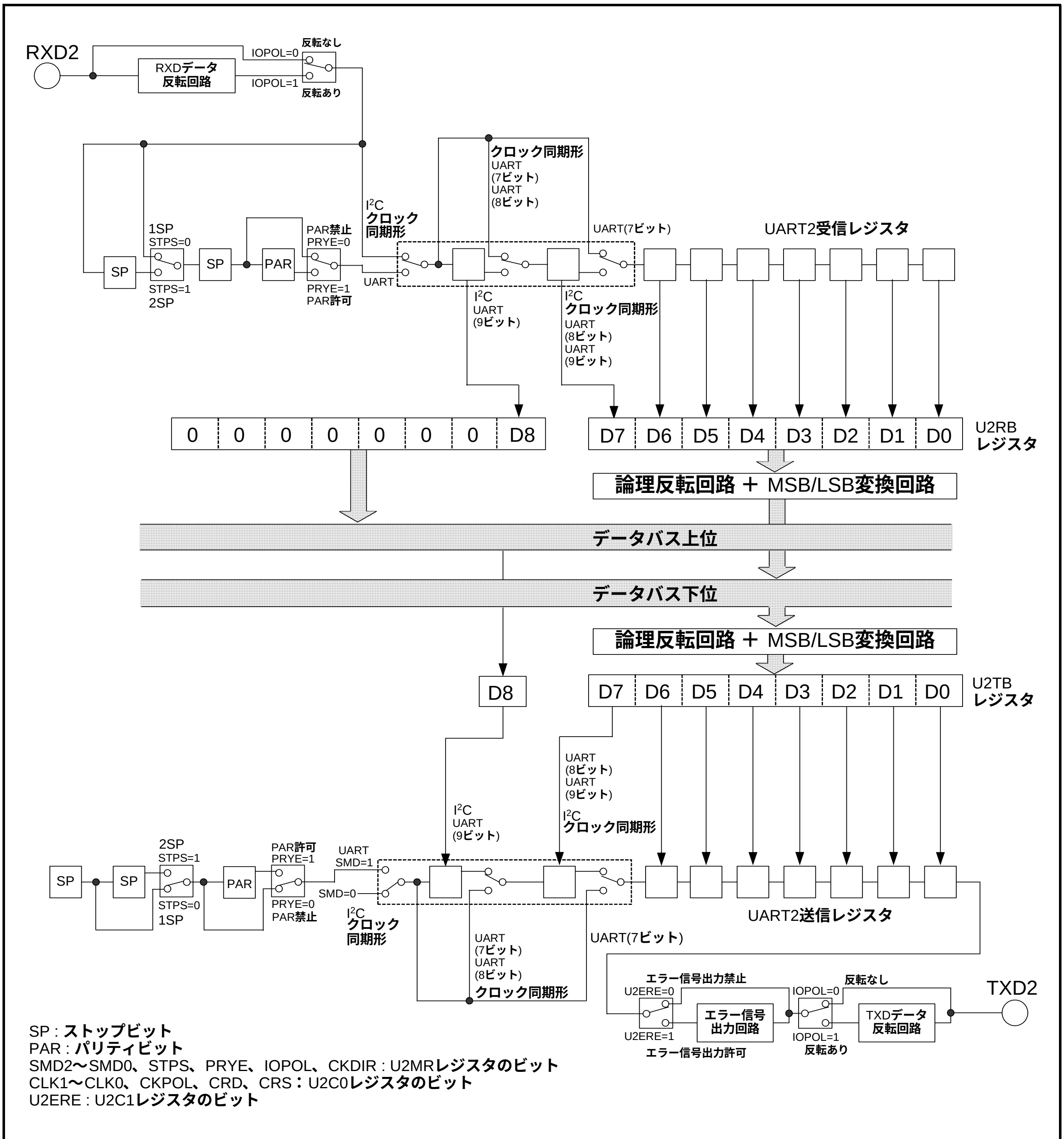


図 22.2　UART2送受信部のブロック図

表 22.1　UART2の端子構成

端子名	割り当てる端子	入出力	機能
TXD2	P3_7	出力	シリアルデータ出力
RXD2	P3_7またはP4_5	入力	シリアルデータ入力
CLK2	P3_5	入出力	転送クロック入出力
$\overline{\text{CTS2}}$	P3_3	入力	送信制御用入力
$\overline{\text{RTS2}}$	P3_3	出力	受信制御用出力
SCL2	P3_7またはP4_5	入出力	I2Cモードのクロック入出力
SDA2	P3_7	入出力	I2Cモードのデータ入出力

22.2 レジスタの説明

22.2.1 UART2送受信モードレジスタ(U2MR)

アドレス 00A8h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOPOL	PRYE	PRY	STPS	CKDIR	SMD2	SMD1	SMD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 0：シリアルインタフェースは無効 0 0 1：クロック同期形シリアルI/Oモード 0 1 0：I²Cモード 1 0 0：UARTモード転送データ長7ビット 1 0 1：UARTモード転送データ長8ビット 1 1 0：UARTモード転送データ長9ビット 上記以外：設定しないでください	R/W
b1	SMD1			R/W
b2	SMD2			R/W
b3	CKDIR	内/外部クロック選択ビット	0：内部クロック 1：外部クロック	R/W
b4	STPS	ストップビット長選択ビット	0：1ストップビット 1：2ストップビット	R/W
b5	PRY	パリティ奇/偶選択ビット	PRYE=1のとき有効 0：奇数パリティ 1：偶数パリティ	R/W
b6	PRYE	パリティ許可ビット	0：パリティ禁止 1：パリティ許可	R/W
b7	IOPOL	TXD、RXD入出力極性切り替えビット	0：反転なし 1：反転あり	R/W

22.2.2 UART2ビットレートレジスタ (U2BRG)

アドレス 00A9h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定範囲	R/W
b7～b0	設定値をnとすると、U2BRGはカウントソースをn+1分周する	00h～FFh	W

U2BRGレジスタは、送受信停止中に書いてください。

U2BRGレジスタは、MOV命令を使用して書いてください。

U2C0レジスタのCLK1～CLK0ビットを設定した後にU2BRGレジスタに書いてください。

U2BRGレジスタに“00h”を書き込んだ直後のデータ送受信開始(U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)になるタイミング、受信時のスタートビット検出タイミングを含む)が、最大でカウントソースの256サイクル分遅延する場合があります。

22.2.3 UART2送信バッファレジスタ (U2TB)

アドレス 00ABh～00AAh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	MPTB
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	機能	R/W
b0	—	送信データ(D7～D0)	W
b1	—		
b2	—		
b3	—		
b4	—		
b5	—		
b6	—		
b7	—		
b8	MPTB	[マルチプロセッサ通信機能を使用しない場合](注2) 送信データD8 [マルチプロセッサ通信機能を使用する場合](注1) • IDを転送するときは、MPTBビットを“1”にしてください • データを転送するときは、MPTBビットを“0”にしてください	W
b9	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	—
b10	—		
b11	—		
b12	—		
b13	—		
b14	—		
b15	—		

注1. このレジスタはMOV命令を使用して8ビット単位で書いてください。MPTBビットを設定した後、b0～b7を設定してください。
注2. このレジスタはMOV命令を使用して書いてください。転送データ長が9ビットの場合は、16ビット単位で書くか、または8ビット単位で上位バイトを先に、下位バイトを後で書いてください。

22.2.4 UART2送受信制御レジスタ0 (U2C0)

アドレス 00ACh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	UFORM	CKPOL	NCH	CRD	TXEPT	CRS	CLK1	CLK0
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK0	U2BRGカウントソース選択ビット(注1)	b1 b0 0 0：f1を選択 0 1：f8選択 1 0：f32を選択 1 1：設定しないでください	R/W
b1	CLK1			R/W
b2	CRS	$\overline{CTS}$/$\overline{RTS}$機能選択ビット	CRD=0のとき有効 0：$\overline{CTS}$機能を選択 1：$\overline{RTS}$機能を選択	R/W
b3	TXEPT	送信レジスタ空フラグ	0：送信レジスタにデータあり(送信中) 1：送信レジスタにデータなし(送信完了)	R
b4	CRD	$\overline{CTS}$/$\overline{RTS}$禁止ビット	0：$\overline{CTS}$/$\overline{RTS}$機能許可 1：CTS/RTS機能禁止	R/W
b5	NCH	データ出力選択ビット	0：TXD2/SDA2、SCL2端子はCMOS出力 1：TXD2/SDA2、SCL2端子はNチャネルオープンドレイン出力	R/W
b6	CKPOL	CLK極性選択ビット	0：転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1：転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力	R/W
b7	UFORM	転送フォーマット選択ビット(注2)	0：LSBファースト 1：MSBファースト	R/W

注1. CLK1～CLK0ビットを変更した場合は、U2BRGレジスタを再設定してください。
注2. UFORMビットはU2MRレジスタのSMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、または“101b”(UARTモード転送データ長8ビット)のとき有効です。
SMD2～SMD0ビットが“010b”(I^2Cモード)のときは“1”に、“100b”(UARTモード転送データ長7ビット)または“110b”(UARTモード転送データ長9ビット)のときは“0”にしてください。

22.2.5 UART2送受信制御レジスタ1 (U2C1)

アドレス 00ADh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	U2ERE	U2LCH	U2RRM	U2IRS	RI	RE	TI	TE
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TE	送信許可ビット	0：送信禁止 1：送信許可	R/W
b1	TI	送信バッファ空フラグ	0：U2TBレジスタにデータあり 1：U2TBレジスタにデータなし	R
b2	RE	受信許可ビット	0：受信禁止 1：受信許可	R/W
b3	RI	受信完了フラグ	0：U2RBレジスタにデータなし 1：U2RBレジスタにデータあり	R
b4	U2IRS	UART2送信割り込み要因選択ビット	0：送信バッファ空(TI=1) 1：送信完了(TXEPT=1)	R/W
b5	U2RRM	UART2連続受信モード許可ビット	0：連続受信モード禁止 1：連続受信モード許可	R/W
b6	U2LCH	データ論理選択ビット(注1)	0：反転なし 1：反転あり	R/W
b7	U2ERE	エラー信号出力許可ビット	0：出力しない 1：出力する	R/W

注1. U2MRレジスタのSMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、“100b”(UARTモード転送データ長7ビット)または“101b”(UARTモード転送データ長8ビット)のとき有効です。
SMD2～SMD0ビットが“010b”(I^2Cモード)または“110b”(UARTモード転送データ長9ビット)のときは“0”にしてください。

22.2.6 UART2受信バッファレジスタ (U2RB)

アドレス 00AFh～00AEh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	SUM	PER	FER	OER	—	—	—	MPRB
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	—	—	受信データ(D7～D0)	R
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			
b8	MPRB	—	受信データ(D8)(注1) [マルチプロセッサ通信機能を使用しない場合] 受信データ(D8) [マルチプロセッサ通信機能を使用する場合] • MPRBビットが“0”のとき、受信したD0～D7はデータフィールド • MPRBビットが“1”のとき、受信したD0～D7はIDフィールド	R
b9	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
b10	—			
b11	—	予約ビット	“0”にしてください	R/W
b12	OER	オーバランエラーフラグ(注1)	0：オーバランエラーなし 1：オーバランエラー発生	R
b13	FER	フレーミングエラーフラグ(注1、2)	0：フレーミングエラーなし 1：フレーミングエラー発生	R
b14	PER	パリティエラーフラグ(注1、2)	0：パリティエラーなし 1：パリティエラー発生	R
b15	SUM	エラーサムフラグ(注1、2)	0：エラーなし 1：エラー発生	R

注1. U2MRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェースは無効)にしたとき、またはU2C1レジスタのREビットを“0”(受信禁止)にしたとき、SUM、PER、FER、OERビットは、すべて“0”(エラーなし)になります。SUMビットはPER、FER、OERビットがすべて“0”(エラーなし)になると“0”(エラーなし)になります。また、PER、FERビットは、U2RBレジスタの下位バイトを読んだとき、“0”になります。
U2MRレジスタのSMD2～SMD0ビットを“000b”にするときは、U2C1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にしてください。

注2. U2MRレジスタのSMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)または“010b”(I2Cモード)のとき、これらのエラーフラグは無効です。読んだ場合、その値は不定です。

22.2.7 UART2デジタルフィルタ機能選択レジスタ(URXDF)

アドレス 00B0h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	DF2EN	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	—			
b2	DF2EN	RXD2デジタルフィルタ許可ビット(注1)	0：RXD2デジタルフィルタ禁止 1：RXD2デジタルフィルタ許可	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	—			
b5	—			
b6	—			
b7	—			

注1. RXD2デジタルフィルタはクロック非同期形シリアルI/O(UART)モードでのみ、使用できます。U2MRレジスタのSMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、または“010b”(I^2Cモード)のときは、DF2ENビットを“0”(RXD2デジタルフィルタ禁止)にしてください。

22.2.8 UART2特殊モードレジスタ5(U2SMR5)

アドレス 00BBh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	MPIE	—	—	—	MP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MP	マルチプロセッサ通信許可ビット	0：マルチプロセッサ通信禁止 1：マルチプロセッサ通信許可(注1)	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b2	—			
b3	—			
b4	MPIE	マルチプロセッサ通信制御ビット	MPビットが“1”(マルチプロセッサ通信許可)のとき有効です。 MPIEビットが“1”のとき、次の状態になります。 • マルチプロセッサビットが“0”の受信データは無視し、U2C1レジスタのRIビット、U2RBレジスタのOER、FERビットが“1”になることを禁止します。 • マルチプロセッサビットが“1”の受信データを受信すると、MPIEビットは“0”になり、マルチプロセッサ通信以外の受信動作になります。	R/W
b5	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b6	—			
b7	—	予約ビット	“0”にしてください	R/W

注1. MPビットが“1”(マルチプロセッサ通信許可)のとき、U2MRレジスタのPRY、PRYEビットの設定は無効になります。U2MRレジスタのSMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)では、MPビットを“0”(マルチプロセッサ通信禁止)にしてください。

22.2.9 UART2特殊モードレジスタ4 (U2SMR4)

アドレス 00BCh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SWC9	SCLHI	ACKC	ACKD	STSPSEL	STPREQ	RSTAREQ	STAREQ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STAREQ	スタートコンディション生成ビット(注1)	0：クリア 1：スタート	R/W
b1	RSTAREQ	リスタートコンディション生成ビット(注1)	0：クリア 1：スタート	R/W
b2	STPREQ	ストップコンディション生成ビット(注1)	0：クリア 1：スタート	R/W
b3	STSPSEL	SCL、SDA出力選択ビット	0：スタートコンディション、ストップコンディション出力しない 1：スタートコンディション、ストップコンディション出力する	R/W
b4	ACKD	ACKデータビット	0：ACK 1：NACK	R/W
b5	ACKC	ACKデータ出力許可ビット	0：シリアルインタフェースデータ出力 1：ACKデータ出力	R/W
b6	SCLHI	SCL出力停止許可ビット	0：禁止 1：許可	R/W
b7	SWC9	SCLウェイトビット3	0：SCL“L”ホールド禁止 1：SCL“L”ホールド許可	R/W

注1. 各コンディションが生成されたとき、“0”になります。

22.2.10 UART2特殊モードレジスタ3 (U2SMR3)

アドレス 00BDh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DL2	DL1	DL0	—	NODC	—	CKPH	—
リセット後の値	0	0	0	X	0	X	0	X

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
b1	CKPH	クロック位相設定ビット	0：クロック遅れなし 1：クロック遅れあり	R/W
b2	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
b3	NODC	クロック出力選択ビット	0：CLK2はCMOS出力 1：CLK2はNチャネルオープンドレイン出力	R/W
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
b5	DL0	SDA2デジタル遅延値設定ビット (注1、2)	b7 b6 b5 0 0 0：遅延なし 0 0 1：U2BRGカウントソースの1～2サイクル 0 1 0：U2BRGカウントソースの2～3サイクル 0 1 1：U2BRGカウントソースの3～4サイクル 1 0 0：U2BRGカウントソースの4～5サイクル 1 0 1：U2BRGカウントソースの5～6サイクル 1 1 0：U2BRGカウントソースの6～7サイクル 1 1 1：U2BRGカウントソースの7～8サイクル	R/W
b6	DL1			R/W
b7	DL2			R/W

注1. DL2～DL0ビットはI^2Cモードで、SDA2出力にデジタル的に遅延を発生させるものです。I^2Cモード以外の場合、“000b”(遅延なし)にしてください。
注2. 遅延量はSCL2端子、SDA2端子の負荷により変化します。また、外部クロックを使用した場合には、100ns程度、遅延が大きくなります。

22.2.11 UART2特殊モードレジスタ2 (U2SMR2)

アドレス 00BEh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	SDHI	SWC2	STAC	—	SWC	CSC	IICM2
リセット後の値	X	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICM2	I^2Cモード選択ビット2	「表22.12 I^2Cモード時の各機能」参照	R/W
b1	CSC	クロック同期化ビット	0：禁止 1：許可	R/W
b2	SWC	SCLウェイト出力ビット	0：禁止 1：許可	R/W
b3	—	予約ビット	“0”にしてください	R/W
b4	STAC	UART2初期化ビット	0：禁止 1：許可	R/W
b5	SWC2	SCLウェイト出力ビット2	0：転送クロック 1：“L”出力	R/W
b6	SDHI	SDA出力禁止ビット	0：許可 1：禁止(ハイインピーダンス)	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

22.2.12 UART2特殊モードレジスタ (U2SMR)

アドレス 00BFh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	SSS	ACSE	ABSCS	—	BBS	—	IICM
リセット後の値	X	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICM	I^2Cモード選択ビット	0：I^2Cモード以外 1：I^2Cモード	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	BBS	バスビジーフラグ(注1)	0：ストップコンディション検出 1：スタートコンディション検出(ビジー)	R/W
b3	—	予約ビット	“0”にしてください	R/W
b4	ABSCS	バス衝突検出サンプリングクロック選択ビット	0：転送クロックの立ち上がり 1：タイマRBのアンダフロー信号	R/W
b5	ACSE	送信許可ビット自動クリア機能選択ビット	0：自動クリア機能なし 1：バス衝突発生時自動クリア	R/W
b6	SSS	送信開始条件選択ビット	0：RXD2に同期しない 1：RXD2に同期する(注2)	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

注1. BBSビットはプログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。
注2. 転送が始まると、SSSビットは“0”(RXD2に同期しない)になります。

22.2.13 UART2端子選択レジスタ0 (U2SR0)

アドレス 018Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	RXD2SEL1	RXD2SEL0	—	—	—	TXD2SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD2SEL0	TXD2/SDA2端子選択ビット	0：TXD2/SDA2端子は使用しない 1：P3_7に割り当てる	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	—			
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	RXD2SEL0	RXD2/SCL2端子選択ビット	b5 b4 0 0：RXD2/SCL2端子は使用しない 1 0：P3_7に割り当てる 1 1：P4_5に割り当てる 上記以外：設定しないでください	R/W
b5	RXD2SEL1			R/W
b6	—	予約ビット	“0”にしてください	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

U2SR0レジスタは、UART2の入出力をどの端子に割り当てるかを選択するレジスタです。UART2の入出力端子を使用する場合は、U2SR0レジスタを設定してください。

UART2の関連レジスタを設定する前に、U2SR0レジスタを設定してください。また、UART2の動作中はU2SR0レジスタの設定値を変更しないでください。

22.2.14 UART2端子選択レジスタ1 (U2SR1)

アドレス 018Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	CTS2SEL0	—	—	—	CLK2SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK2SEL0	CLK2端子選択ビット	0：CLK2端子は使用しない 1：P3_5に割り当てる	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b3	—			
b4	CTS2SEL0	$\overline{CTS2}$/$\overline{RTS2}$端子選択ビット	0：$\overline{CTS2}$/$\overline{RTS2}$端子は使用しない 1：P3_3に割り当てる	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b7	—			

U2SR1レジスタは、UART2の入出力をどの端子に割り当てるかを選択するレジスタです。UART2の入出力端子を使用する場合は、U2SR1レジスタを設定してください。

UART2の関連レジスタを設定する前に、U2SR1レジスタを設定してください。また、UART2の動作中はU2SR1レジスタの設定値を変更しないでください。

22.3 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。

表22.2にクロック同期形シリアルI/Oモードの仕様を、表22.3にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表22.2　クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	転送データ長　8ビット
転送クロック	•U2MRレジスタのCKDIRビットが“0”(内部クロック)：fj/(2(n+1)) fj=f1、f8、f32　n=U2BRGレジスタの設定値　00h～FFh •CKDIRビットが“1”(外部クロック)：CLK2端子からの入力
送信制御、受信制御	$\overline{\text{CTS}}$機能、$\overline{\text{RTS}}$機能、$\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能禁止を選択可
送信開始条件	送信開始には、以下の条件が必要(注1) •U2C1レジスタのTEビットが“1”(送信許可) •U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり) •$\overline{\text{CTS}}$機能を選択している場合、$\overline{\text{CTS2}}$端子の入力が“L”
受信開始条件	受信開始には、以下の条件が必要(注1) •U2C1レジスタのREビットが“1”(受信許可) •U2C1レジスタのTEビットが“1”(送信許可) •U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
割り込み要求発生タイミング	送信する場合、次の条件のいずれかを選択可 •U2C1レジスタのU2IRSビットが“0”(送信バッファ空)： U2TBレジスタからUART2送信レジスタへデータ転送時(送信開始時) •U2IRSビットが“1”(送信完了)：UART2送信レジスタからデータ送信完了時 受信する場合 •UART2受信レジスタから、U2RBレジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー(注2) U2RBレジスタを読む前に次のデータ受信を開始し、次データの7ビット目を受信すると発生
選択機能	•CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択 •LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 •連続受信モード選択 U2RBレジスタを読むことで、同時に受信許可状態になる •シリアルデータ論理切り替え 送受信データの論理値を反転する機能

注1. 外部クロックを選択している場合、U2C0レジスタのCKPOLビットが“0”(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態で、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態で条件を満たしてください。

注2. オーバランエラーが発生した場合、U2RBレジスタの受信データは不定になります。またS2RICレジスタのIRビットは“1”(割りこみ要求あり)に変化しません。

表 22.3　クロック同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能
U2TB(注1)	b0〜b7	送信データを設定してください
U2RB(注1)	b0〜b7	受信データが読めます
	OER	オーバランエラーフラグ
U2BRG	b0〜b7	転送速度を設定してください
U2MR(注1)	SMD2〜SMD0	“001b”にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	IOPOL	“0”にしてください
U2C0	CLK1〜CLK0	U2BRGのカウントソースを選択してください
	CRS	$\overline{CTS}$または$\overline{RTS}$を使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	$\overline{CTS}$または$\overline{RTS}$機能の許可、または禁止を選択してください
	NCH	TXD2端子の出力形式を選択してください
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
U2C1	TE	送受信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください
	RI	受信完了フラグ
	U2IRS	UART2送信割り込み要因を選択してください
	U2RRM	連続受信モードを使用する場合、“1”にしてください
	U2LCH	データ論理反転を使用する場合、“1”にしてください
	U2ERE	“0”にしてください
U2SMR	b0〜b7	“0”にしてください
U2SMR2	b0〜b7	“0”にしてください
U2SMR3	b0〜b2	“0”にしてください
	NODC	クロック出力形式を選択してください
	b4〜b7	“0”にしてください
U2SMR4	b0〜b7	“0”にしてください
URXDF	DF2EN	“0”にしてください
U2SMR5	MP	“0”にしてください

注1. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、“0”を書いてください。

表22.4にクロック同期形シリアルI/Oモード時の入出力端子の機能(転送クロック複数端子出力機能を非選択の場合)を示します。

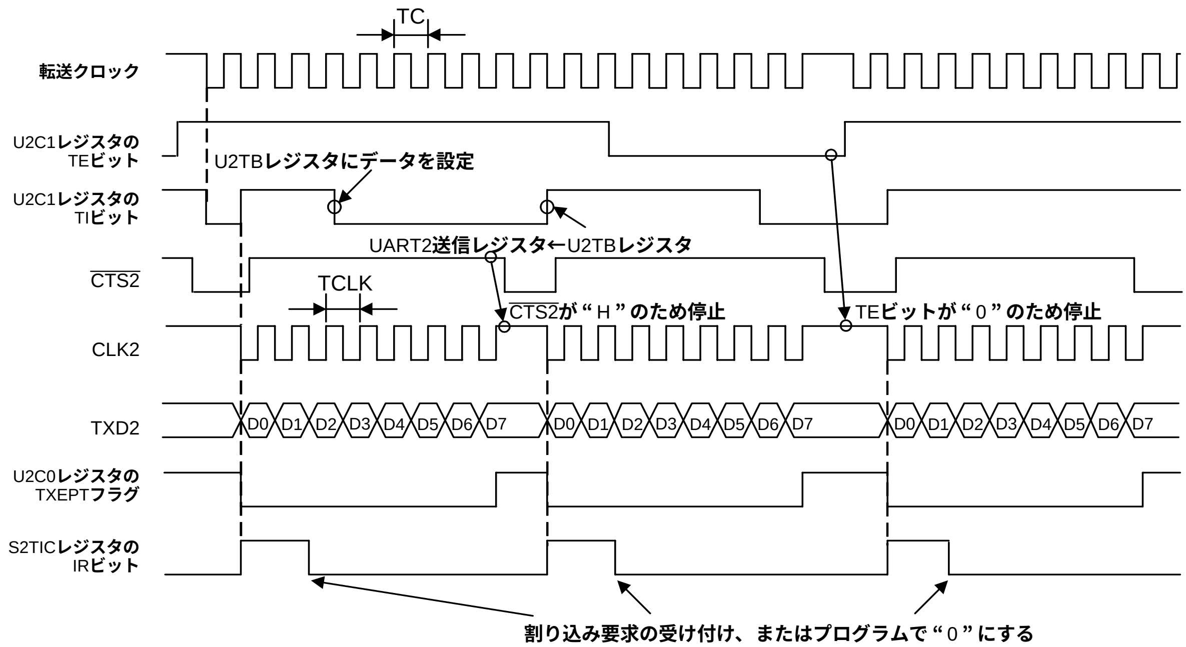
なお、UART2の動作モード選択後、転送開始までは、TXD2端子は“H”を出力します(Nチャネルオープンドレイン出力選択時はハイインピーダンス状態)。

図22.3にクロック同期形シリアルI/Oモード時の送受信タイミング例を示します。

表22.4　クロック同期形シリアルI/Oモード時の入出力端子の機能(転送クロック複数端子出力機能を非選択の場合)

端子名	機能	選択方法
TXD2(P3_7)	シリアルデータ出力	U2SR0レジスタのTXD2SEL2～TXD2SEL0ビット=001b (受信だけを行うときはTXD2SEL2～TXD2SEL0ビット=000bと設定することで、P3_7をポートとして使用可)
RXD2(P3_7)	シリアルデータ入力	U2SR0レジスタのRXD2SEL2～RXD2SEL0ビット=010b PD3レジスタのPD3_7ビット=0 (送信だけを行うときはRXD2SEL2～RXD2SEL0ビット=000bと設定することで、P3_7をポートとして使用可)
CLK2(P3_5)	転送クロック出力	U2SR1レジスタのCLK2SEL1、CLK2SEL0ビット=01b U2MRレジスタのCKDIRビット=0
	転送クロック入力	U2SR1レジスタのCLK2SEL1、CLK2SEL0ビット=01b U2MRレジスタのCKDIRビット=1 PD3レジスタのPD3_5ビット=0
$\overline{\mathrm{CTS2}}$/$\overline{\mathrm{RTS2}}$(P3_3)	$\overline{\mathrm{CTS}}$入力	U2SR1レジスタのCTS2SEL0ビット=1 U2C0レジスタのCRDビット=0 U2C0レジスタのCRSビット=0 PD3レジスタのPD3_3ビット=0
	$\overline{\mathrm{RTS}}$出力	U2SR1レジスタのCTS2SEL0ビット=1 U2C0レジスタのCRDビット=0 U2C0レジスタのCRSビット=1
	入出力ポート	U2SR1レジスタのCTS2SEL0ビット=0

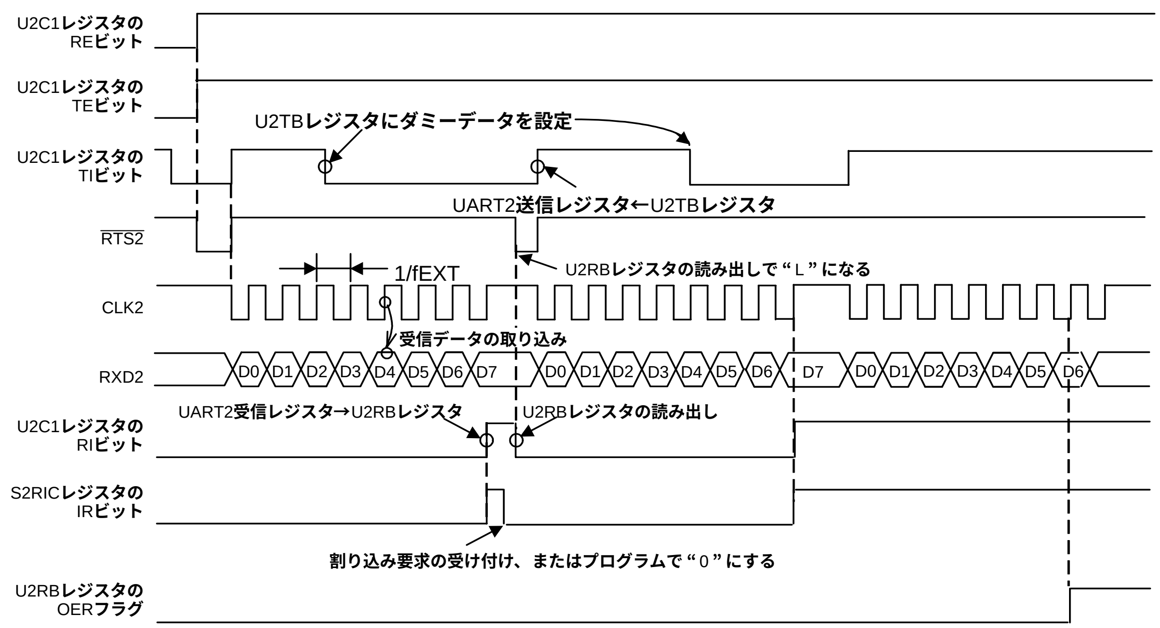
(1) 送信タイミング例(内部クロック選択時)



この図は次の設定条件の場合です。
- U2MRレジスタのCKDIRビット=0(内部クロック選択)
- U2C0レジスタのCRDビット=0($\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能許可)、CRSビット=0($\overline{\text{CTS}}$機能選択)
- U2C0レジスタのCKPOLビット=0(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)
- U2C1レジスタのU2IRSビット=0(U2TBレジスタ空で割り込み要求発生)

TC=TCLK=2(n+1)/fj
fj：U2BRGカウントソースの周波数
(f1、f8、f32)
n：U2BRGレジスタに設定した値

(2) 受信タイミング例(外部クロック選択時)



この図は次の設定条件の場合です。
- U2MRレジスタのCKDIRビット=1(外部クロック選択)
- U2C0レジスタのCRDビット=0($\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能許可)、CRSビット=1($\overline{\text{RTS}}$機能選択)
- U2C0レジスタのCKPOLビット=0(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)

fEXT：外部クロックの周波数

データ受信前のCLK2端子の入力が“H”のときに、次の条件が揃うようにしてください。
- U2C1レジスタのTEビット=1(送信許可)
- U2C1レジスタのREビット=1(受信許可)
- U2TBレジスタへのダミーデータの書き込み

図 22.3　クロック同期形シリアルI/Oモード時の送受信タイミング例

22.3.1　通信エラー発生時の対処方法

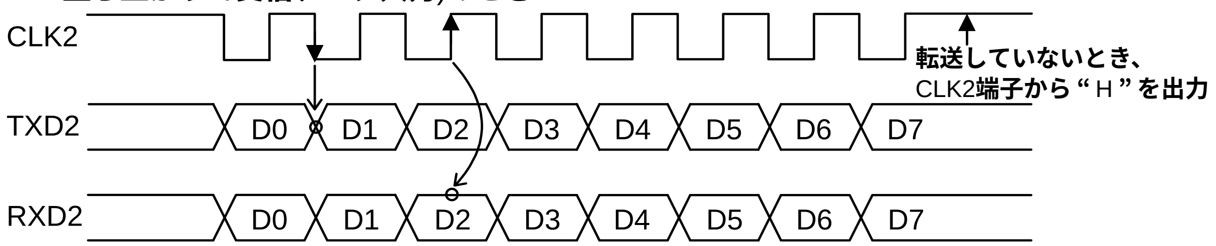
クロック同期形シリアルI/Oモードで受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

(1)　U2C1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
(2)　U2MRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
(3)　U2MRレジスタのSMD2～SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
(4)　U2C1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

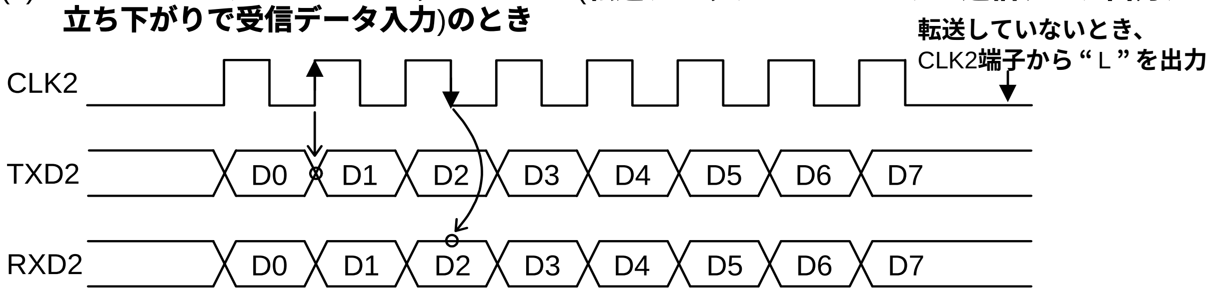
22.3.2　CLK極性選択

U2C0レジスタのCKPOLビットで転送クロックの極性を選択できます。図22.4に転送クロックの極性を示します。

(1)　U2C0レジスタのCKPOLビットが“0”(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のとき



(2)　U2C0レジスタのCKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のとき



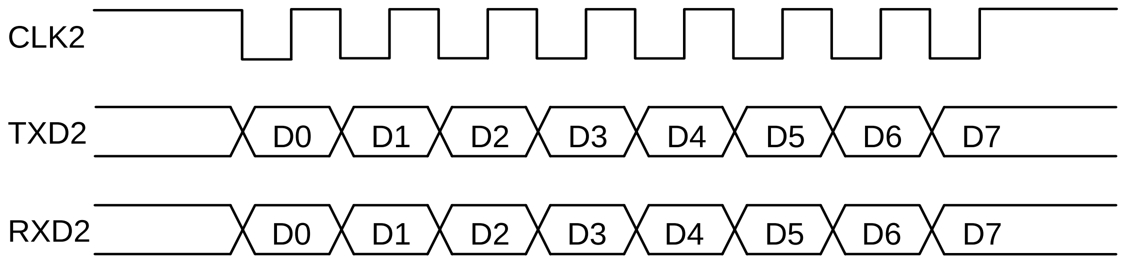
上図は、次の条件の場合です。
• U2C0レジスタのUFORMビット=0(LSBファースト)
• U2C1レジスタのU2LCHビット=0(反転なし)

図22.4　転送クロックの極性

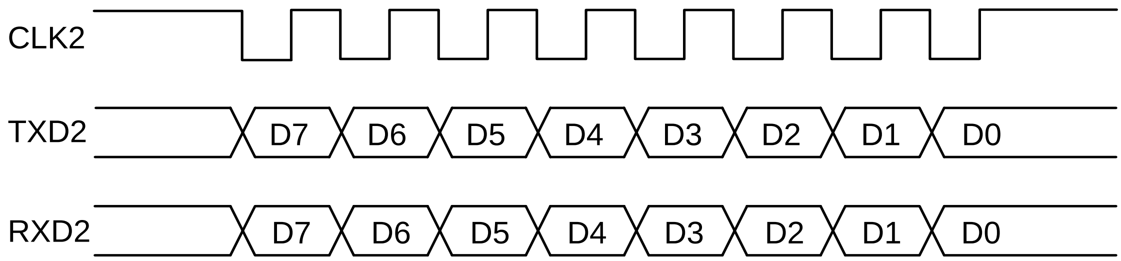
22.3.3　LSBファースト、MSBファースト選択

U2C0レジスタのUFORMビットで転送フォーマットを選択できます。図22.5に転送フォーマットを示します。

(1)　U2C0レジスタのUFORMビットが“0”(LSBファースト)のとき



(2)　U2C0レジスタのUFORMビットが“1”(MSBファースト)のとき



上図は、次の条件の場合です。
- U2C0レジスタのCKPOLビット=0
  (転送クロックの立ち下がりで送信データ出力、立ち上がりで、受信データ入力)
- U2C1レジスタのU2LCHビット=0(反転なし)

図22.5　転送フォーマット

22.3.4　連続受信モード

連続受信モードは、受信バッファレジスタを読み出すことで受信許可状態になるモードです。このモードを選択すれば、受信許可状態にするために、送信バッファレジスタにダミーのデータを書き込む必要はありません。ただし、受信開始時には、ダミーで受信バッファレジスタを読み出す必要があります。

U2C1レジスタのU2RRMビットを“1”(連続受信モード)にすると、U2RBレジスタを読むことでU2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)になります。U2RRMビットが“1”の場合、プログラムでU2TBレジスタにダミーデータを書かないでください。

22.3.5 シリアルデータ論理切り替え

U2C1レジスタのU2LCHビットが“1”(反転あり)の場合、U2TBレジスタに書いた値の論理を反転して送信します。U2RBレジスタを読むと、受信データの論理を反転した値が読めます。図22.6にシリアルデータ論理を示します。

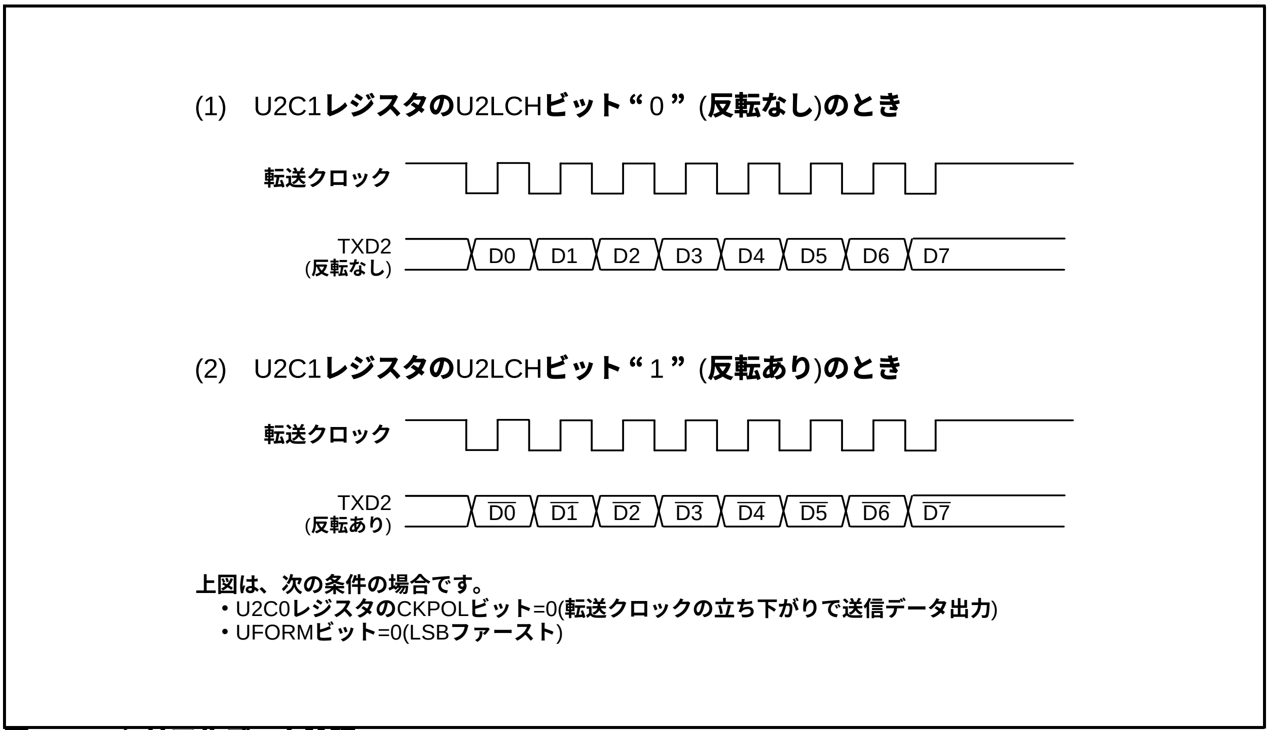


図22.6　シリアルデータ論理

22.3.6 $\overline{\mathrm{CTS}}$/$\overline{\mathrm{RTS}}$機能

$\overline{\mathrm{CTS}}$機能は、$\overline{\mathrm{CTS2}}$/$\overline{\mathrm{RTS2}}$端子に“L”を入力すると、送受信を開始させる機能です。$\overline{\mathrm{CTS2}}$/$\overline{\mathrm{RTS2}}$端子の入力レベルが“L”になると、送受信を開始します。送受信の最中に入力レベルを“H”にした場合、次のデータから送受信を停止します。

$\overline{\mathrm{RTS}}$機能は、受信準備が整ったとき、$\overline{\mathrm{CTS2}}$/$\overline{\mathrm{RTS2}}$端子の出力レベルが“L”になります。CLK2端子の最初の立ち下がりで出力レベルが“H”になります。

- U2C0レジスタのCRDビット=1($\overline{\mathrm{CTS}}$/$\overline{\mathrm{RTS}}$機能禁止)　　$\overline{\mathrm{CTS2}}$/$\overline{\mathrm{RTS2}}$ 端子はプログラマブル入出力機能
- CRDビット=0、CRSビット=0($\overline{\mathrm{CTS}}$機能選択)　　$\overline{\mathrm{CTS2}}$/$\overline{\mathrm{RTS2}}$端子は$\overline{\mathrm{CTS}}$機能
- CRDビット=0、CRSビット=1($\overline{\mathrm{RTS}}$機能選択)　　$\overline{\mathrm{CTS2}}$/$\overline{\mathrm{RTS2}}$端子は$\overline{\mathrm{RTS}}$機能

22.4　クロック非同期形シリアルI/O(UART)モード

UARTモードは任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表22.5にUARTモードの仕様を、表22.6にUARTモード時の使用レジスタと設定値を示します。

表22.5　UARTモードの仕様

項目	仕様
転送データフォーマット	•キャラクタビット(転送データ)　7ビット、8ビット、9ビットを選択可 •スタートビット　1ビット •パリティビット　奇数、偶数、なしを選択可 •ストップビット　1ビット、2ビットを選択可
転送クロック	•U2MRレジスタのCKDIRビットが“0”(内部クロック):fj/(16(n+1)) fj=f1、f8、f32　n=U2BRGレジスタの設定値　00h～FFh •CKDIRビットが“1”(外部クロック):fEXT/(16(n+1)) fEXTはCLK2端子からの入力　n=U2BRGレジスタの設定値　00h～FFh
送信制御、受信制御	$\overline{\text{CTS}}$機能、$\overline{\text{RTS}}$機能、$\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能禁止を選択可
送信開始条件	送信開始には、次の条件が必要 •U2C1レジスタのTEビットが“1”(送信許可) •U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり) •$\overline{\text{CTS}}$機能を選択している場合、$\overline{\text{CTS2}}$端子の入力が“L”
受信開始条件	受信開始には、次の条件が必要 •U2C1レジスタのREビットが“1”(受信許可) •スタートビットの検出
割り込み要求発生タイミング	送信する場合、次の条件のいずれかを選択可 •U2C1レジスタのU2IRSビットが“0”(送信バッファ空): U2TBレジスタからUART2送信レジスタへデータ転送時(送信開始時) •U2IRSビットが“1”(送信完了):UART2送信レジスタからデータ送信完了時 受信する場合 •UART2受信レジスタからU2RBレジスタへデータ転送時(受信完了時)
エラー検出	•オーバランエラー(注1) U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 •フレーミングエラー(注2) 設定した個数のストップビットが検出されなかったときに発生 •パリティエラー(注2) パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 •エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる
選択機能	•LSBファースト、MSBファースト選択 ビット0から送信、受信するか、またはビット7から送信、受信するかを選択可 •シリアルデータ論理切り替え 送信するデータの論理値を反転する機能。スタートビット、ストップビットは反転しない。 •TXD、RXD入出力極性切り替え TXD端子出力とRXD端子入力を反転する機能。入出力するデータのレベルがすべて反転する。 •RXD2デジタルフィルタ選択 RXD2入力信号はデジタルフィルタの有効、無効の選択可

注1.　オーバランエラーが発生した場合、U2RBレジスタの受信データは不定になります。
注2.　フレーミングエラーフラグ、パリティエラーフラグは、UART2受信レジスタからU2RBレジスタにデータが転送されるときに“1”になります。

表 22.6　UARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
U2TB	b0～b8	送信データを設定してください(注1)
U2RB	b0～b8	受信データが読めます(注1、2)
	OER、FER、PER、SUM	エラーフラグ
U2BRG	b0～b7	転送速度を設定してください
U2MR	SMD2～SMD0	転送データが7ビットの場合、“100b”を設定してください。
		転送データが8ビットの場合、“101b”を設定してください。
		転送データが9ビットの場合、“110b”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティの有無、偶数奇数を選択してください
	IOPOL	TXD/RXD入出力極性を選択してください
U2C0	CLK0、CLK1	U2BRGのカウントソースを選択してください
	CRS	$\overline{\mathrm{CTS}}$または$\overline{\mathrm{RTS}}$機能を使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	$\overline{\mathrm{CTS}}$/$\overline{\mathrm{RTS}}$機能の許可または禁止を選択してください
	NCH	TXD2端子の出力形式を選択してください
	CKPOL	“0”にしてください
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できます。 転送データ長7ビットまたは9ビット時は“0”にしてください。
U2C1	TE	送信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可するとき、“1”にしてください
	RI	受信完了フラグ
	U2IRS	UART2送信割り込み要因を選択してください
	U2RRM	“0”にしてください
	U2LCH	データ論理反転を使用する場合、“1”にしてください
	U2ERE	“0”にしてください
U2SMR	b0～b7	“0”にしてください
U2SMR2	b0～b7	“0”にしてください
U2SMR3	b0～b7	“0”にしてください
U2SMR4	b0～b7	“0”にしてください
URXDF	DF2EN	デジタルフィルタの無効、有効を選択してください
U2SMR5	MP	“0”にしてください

注1. 使用するビットは次のとおりです。転送データ長7ビット：ビットb0～b6、転送データ長8ビット：ビットb0～b7、転送データ長9ビット：ビットb0～b8

注2. 転送データ長7ビットの場合のビットb7～b8、転送データ長8ビットの場合のビットb8の内容は不定です。

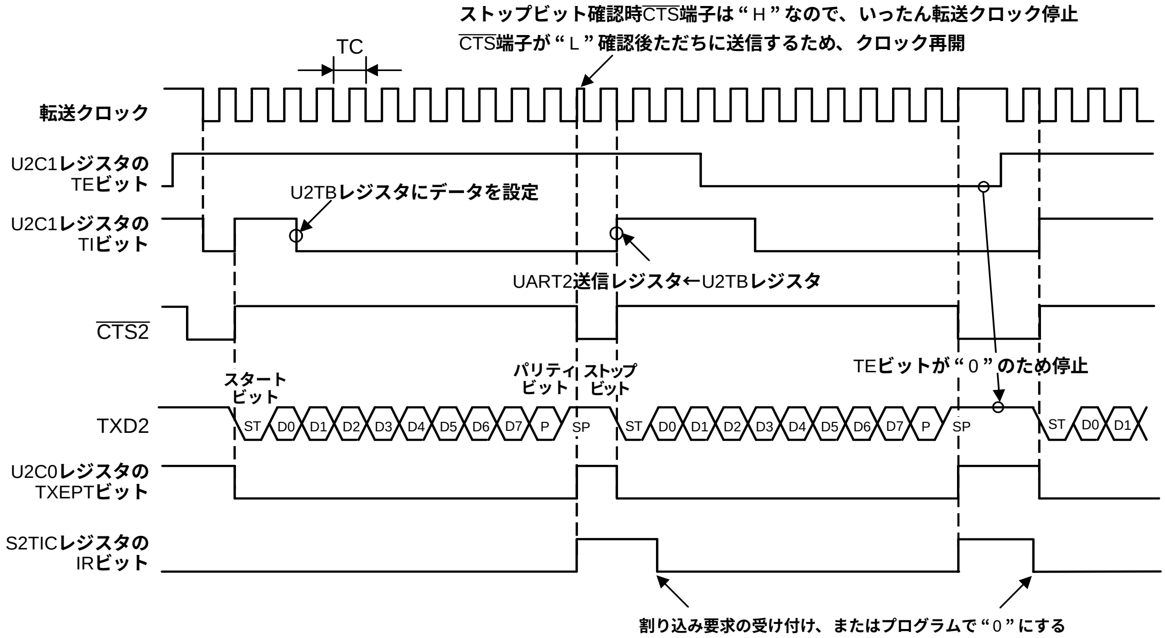
表22.7にUARTモード時の入出力端子の機能を示します。なお、UART2の動作モード選択後、転送開始までは、TXD2端子は“H”レベルを出力します(Nチャネルオープンドレイン出力選択時は、ハイインピーダンス状態)。

図22.7にUARTモード時の送信タイミング例を、図22.8にUARTモード時の受信タイミング例を示します。

表22.7　UARTモード時の入出力端子の機能

端子名	機能	選択方法
TXD2 (P3_7)	シリアルデータ出力	U2SR0レジスタのTXD2SEL2～TXD2SEL0ビット=001b (受信だけを行うときはTXD2SEL2～TXD2SEL0ビット=000bと設定することで、P3_7をポートとして使用可)
RXD2(P3_7)	シリアルデータ入力	U2SR0レジスタのRXD2SEL2～RXD2SEL0ビット=010b PD3レジスタのPD3_7ビット=0 (送信だけを行うときはRXD2SEL2～RXD2SEL0ビット=000bと設定することで、P3_7をポートとして使用可)
CLK2(P3_5)	入出力ポート	U2SR1レジスタのCLK2SEL1～CLK2SEL0ビット=00b
	転送クロック入力	U2SR1レジスタのCLK2SEL1、CLK2SEL0ビット=01b U2MRレジスタのCKDIRビット=1 PD3レジスタのPD3_5ビット=0
$\overline{\text{CTS2}}$/$\overline{\text{RTS2}}$(P3_3)	$\overline{\text{CTS}}$入力	U2SR1レジスタのCTS2SEL0ビット=1 U2C0レジスタのCRDビット=0 U2C0レジスタのCRSビット=0 PD3レジスタのPD3_3ビット=0
	$\overline{\text{RTS}}$出力	U2SR1レジスタのCTS2SEL0ビット=1 U2C0レジスタのCRDビット=0 U2C0レジスタのCRSビット=1
	入出力ポート	U2SR1レジスタのCTS2SEL0ビット=0

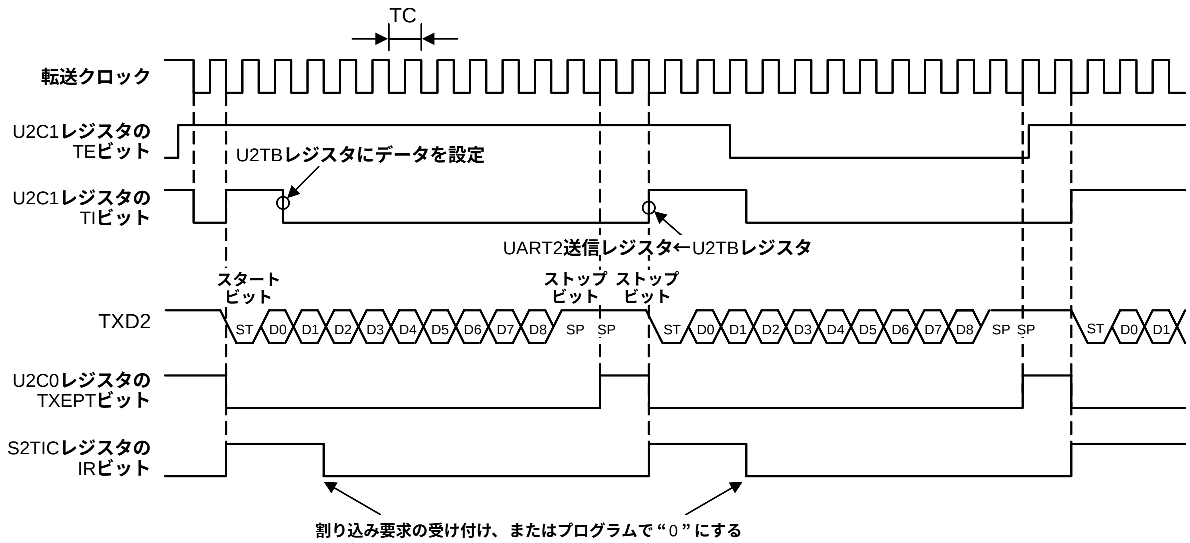
(1) 転送データ長8ビット時の送信タイミング例(パリティ許可、1ストップビット)



上記タイミング図は次の設定条件の場合です。
- U2MRレジスタのPRYEビット=1(パリティ許可)
- U2MRレジスタのSTPSビット=0(1ストップビット)
- U2C0レジスタのCRDビット=0(CTS/RTS機能許可)、
  CRSビット=0(CTS機能選択)
- U2C1レジスタのU2IRSビット=1(送信完了で割り込み要求発生)

TC=16(n+1)/fjまたは16(n+1)/fEXT
fj　:U2BRGカウントソースの周波数(f1、f8、f32)
fEXT :U2BRGカウントソースの周波数(外部クロック)
n　:U2BRGに設定した値

(2) 転送データ長9ビット時の送信タイミング例(パリティ禁止、2ストップビット)



上記タイミング図は次の設定条件の場合です。
- U2MRレジスタのPRYEビット=0(パリティ禁止)
- U2MRレジスタのSTPSビット=1(2ストップビット)
- U2C0レジスタのCRDビット=1(CTS/RTS機能禁止)
- U2C1レジスタのU2IRSビット=0(送信バッファ空で割り込み要求発生)

TC=16(n+1)/fjまたは16(n+1)/fEXT
fj　:U2BRGカウントソースの周波数(f1、f8、f32)
fEXT :U2BRGカウントソースの周波数(外部クロック)
n　:U2BRGに設定した値

図 22.7　UART モード時の送信タイミング例

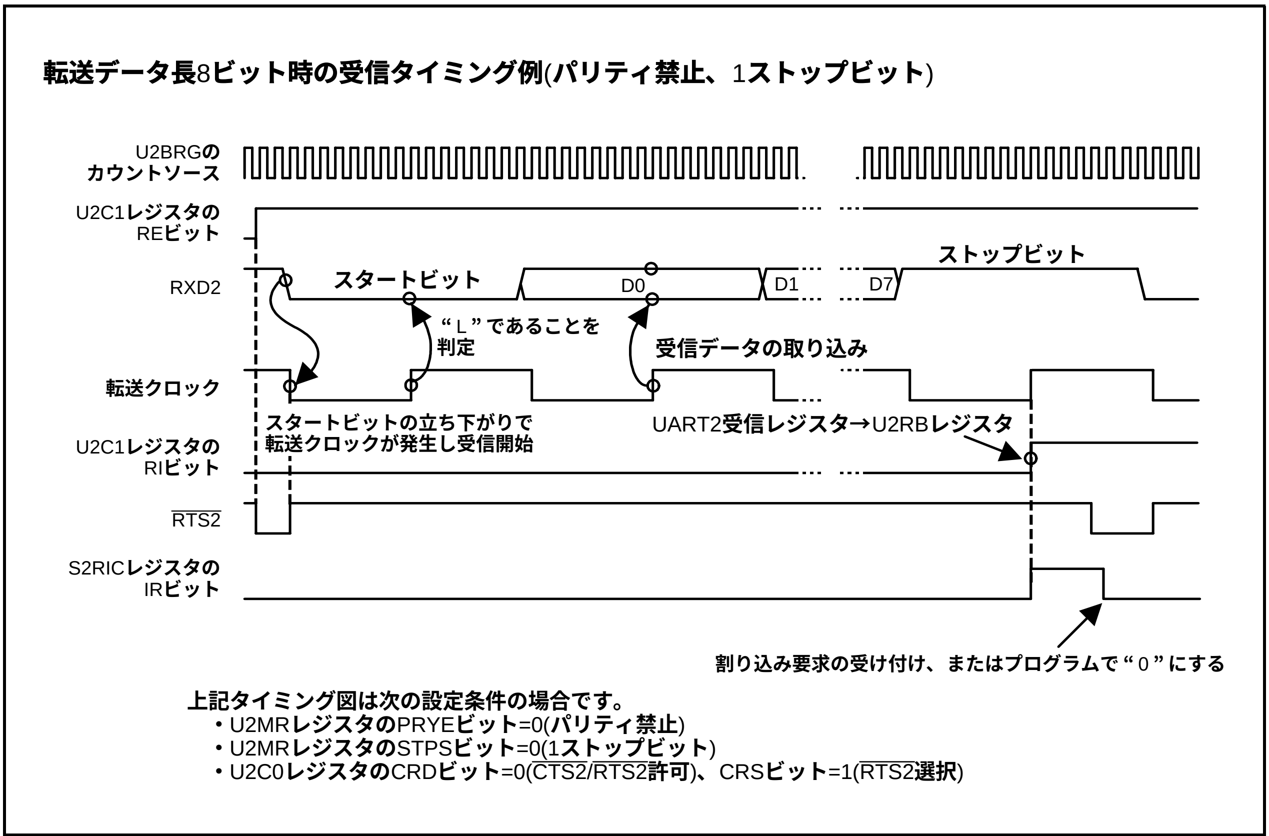


図 22.8　UARTモード時の受信タイミング例

22.4.1　ビットレート

UARTモードではU2BRGレジスタで分周した周波数の16分周がビットレートになります。表22.8にUARTモード時のビットレート設定例(内部クロック選択時)を示します。

表 22.8　UARTモード時のビットレート設定例(内部クロック選択時)

ビットレート(bps)	U2BRGのカウントソース	システムクロック＝20 MHz			システムクロック＝18.432 MHz(注1)			システムクロック＝8 MHz		
		U2BRGの設定値	実時間(bps)	設定誤差(%)	U2BRGの設定値	実時間(bps)	設定誤差(%)	U2BRGの設定値	実時間(bps)	設定誤差(%)
1200	f8	129 (81h)	1201.92	0.16	119 (77h)	1200.00	0.00	51 (33h)	1201.92	0.16
2400	f8	64 (40h)	2403.85	0.16	59 (3Bh)	2400.00	0.00	25 (19h)	2403.85	0.16
4800	f8	32 (20h)	4734.85	－1.36	29 (1Dh)	4800.00	0.00	12 (0Ch)	4807.69	0.16
9600	f1	129 (81h)	9615.38	0.16	119 (77h)	9600.00	0.00	51 (33h)	9615.38	0.16
14400	f1	86 (56h)	14367.82	－0.22	79 (4Fh)	14400.00	0.00	34 (22h)	14285.71	－0.79
19200	f1	64 (40h)	19230.77	0.16	59 (3Bh)	19200.00	0.00	25 (19h)	19230.77	0.16
28800	f1	42 (2Ah)	29069.77	0.94	39 (27h)	28800.00	0.00	16 (10h)	29411.76	2.12
38400	f1	32 (20h)	37878.79	－1.36	29 (1Dh)	38400.00	0.00	12 (0Ch)	38461.54	0.16
57600	f1	21 (15h)	56818.18	－1.36	19 (13h)	57600.00	0.00	8 (08h)	55555.56	－3.55
115200	f1	10 (0Ah)	113636.36	－1.36	9 (09h)	115200.00	0.00	—	—	—

注1. 高速オンチップオシレータに対して、FRA4レジスタの調整値をFRA1レジスタに、FRA5レジスタの調整値をFRA3レジスタに書き込んでください。
システムクロックに高速オンチップオシレータを選択し、FRA2レジスタのFRA22～FRA20ビットを"000b"(2分周モード)にした場合です。高速オンチップオシレータの精度は「29.　電気的特性」を参照してください。

22.4.2　通信エラー発生時の対処方法

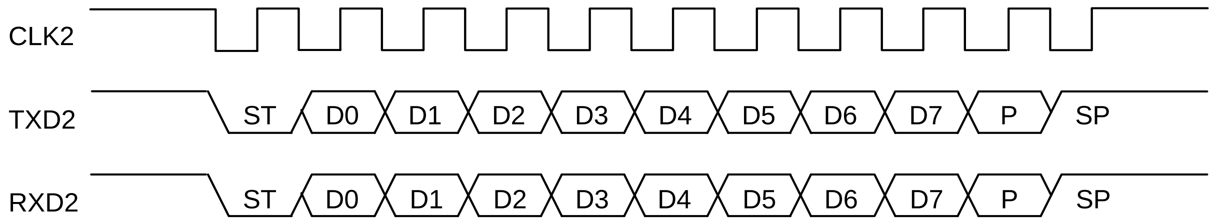
UARTモードで、受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

(1)　U2C1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
(2)　U2MRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェースは無効)にする。
(3)　U2MRレジスタのSMD2～SMD0ビットを“100b”(UARTモード転送データ長7ビット)、“101b”(UARTモード転送データ長8ビット)、“110b”(UARTモード転送データ長9ビット)のいずれかにする。
(4)　U2C1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

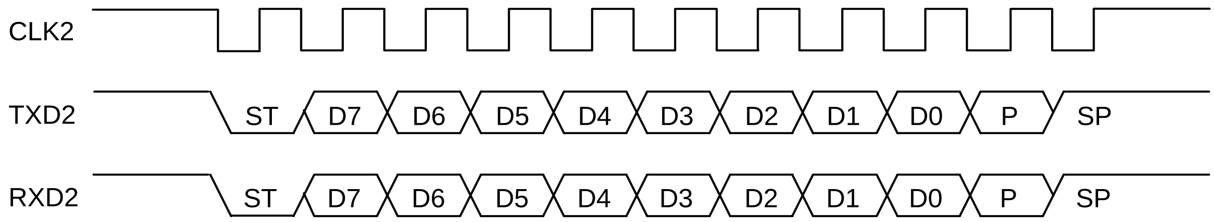
22.4.3　LSBファースト、MSBファースト選択

図22.9に示すように、U2C0レジスタのUFORMビットで転送フォーマットを選択できます。この機能は転送データ長8ビットのときに有効です。図22.9に転送フォーマットを示します。

(1) U2C0レジスタのUFORMビットが“0” (LSBファースト)のとき



(2) U2C0レジスタのUFORMビットが“1” (MSBファースト)のとき



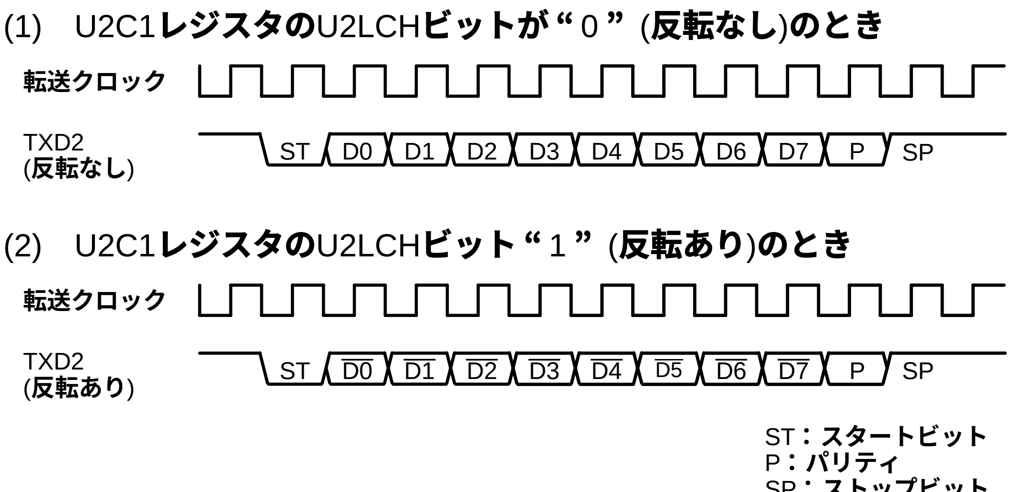
ST : スタートビット
P　: パリティビット
SP : ストップビット

上図は、次の条件の場合です。
- U2C0レジスタのCKPOLビット=0
  (転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データの入力)
- U2C1レジスタのU2LCHビット=0(反転なし)
- U2MRレジスタのSTPSビット=0 (1ストップビット)
- U2MRレジスタのPRYEビット=1(パリティ許可)

図22.9　転送フォーマット

22.4.4　シリアルデータ論理切り替え

U2TBレジスタに書いた値の論理を反転して送信します。U2RBレジスタを読むと、受信データの論理を反転した値が読めます。図22.10にシリアルデータ論理を示します。

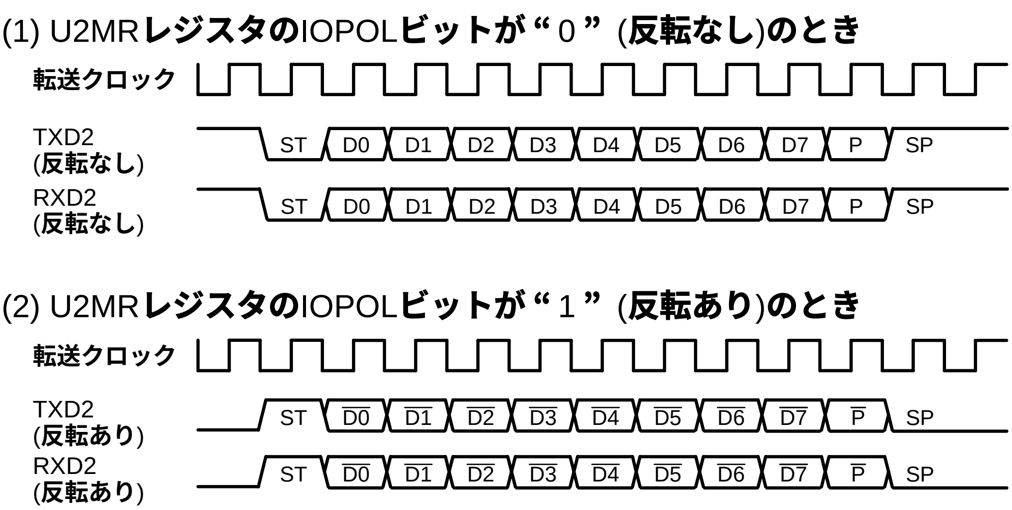


上図は、次の条件の場合です。
- U2C0レジスタのCKPOLビット=0(転送クロックの立ち下がりで送信データ出力)
- U2C0レジスタのUFORMビット=0(LSBファースト)
- U2MRレジスタのSTPSビット=0(1ストップビット)
- U2MRレジスタのPRYEビット＝1(パリティ許可)

図22.10 シリアルデータ論理

22.4.5　TXD、RXD入出力極性切り替え機能

TXD2端子出力とRXD2端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。図22.11にTXD、RXD入出力極性切り替えを示します。



上図は、次の条件の場合です。
- U2C0レジスタのUFORMビット=0(LSBファースト)
- U2MRレジスタのSTPSビット=0(1ストップビット)
- U2MRレジスタのPRYEビット＝1(パリティ許可)

ST：スタートビット
P　：パリティ
SP：ストップビット

図22.11 TXD、RXD入出力極性切り替え

22.4.6 $\overline{\mathrm{CTS}}$/$\overline{\mathrm{RTS}}$機能

$\overline{\mathrm{CTS}}$機能は、$\overline{\mathrm{CTS2}}$/$\overline{\mathrm{RTS2}}$端子に“L”を入力すると、送信を開始させる機能です。$\overline{\mathrm{CTS2}}$/$\overline{\mathrm{RTS2}}$端子の入力レベルが“L”になると、送信を開始します。送信の最中に入力レベルを“H”にした場合、次のデータから送信を停止します。

$\overline{\mathrm{RTS}}$機能は、受信準備が整ったとき、$\overline{\mathrm{CTS2}}$/$\overline{\mathrm{RTS2}}$端子の出力レベルが“L”になります。

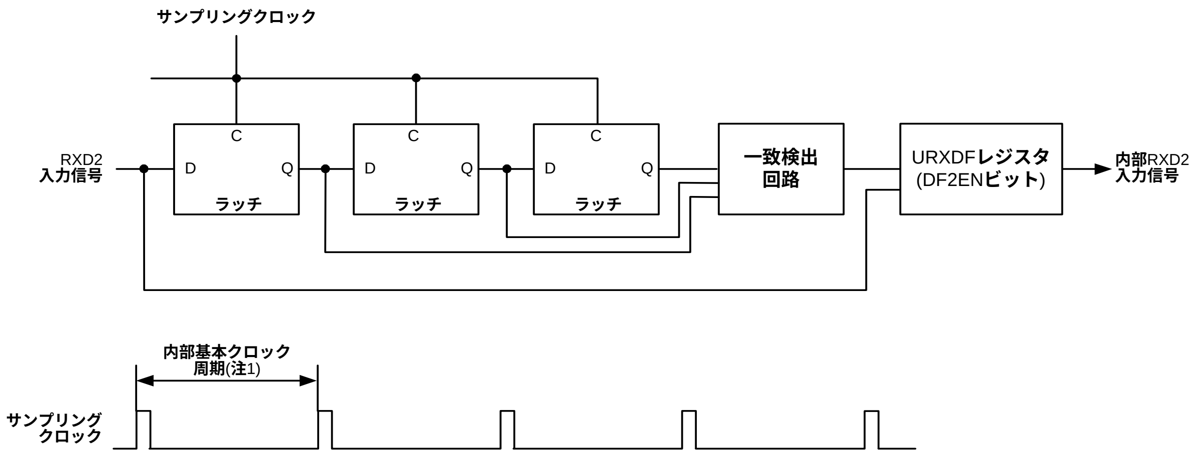
• U2C0レジスタのCRDビット=1($\overline{\mathrm{CTS}}$/$\overline{\mathrm{RTS}}$機能禁止)	$\overline{\mathrm{CTS2}}$/$\overline{\mathrm{RTS2}}$ 端子はプログラマブル入出力機能
• CRDビット=0、CRSビット=0($\overline{\mathrm{CTS}}$機能選択)	$\overline{\mathrm{CTS2}}$/$\overline{\mathrm{RTS2}}$端子は$\overline{\mathrm{CTS}}$機能
• CRDビット=0、CRSビット=1($\overline{\mathrm{RTS}}$機能選択)	$\overline{\mathrm{CTS2}}$/$\overline{\mathrm{RTS2}}$端子は$\overline{\mathrm{RTS}}$機能

22.4.7 RXD2デジタルフィルタ選択機能

URXDFレジスタのDF2ENビットが“1”(RXD2デジタルフィルタ許可)のとき、RXD2入力信号はノイズ除去のためのデジタルフィルタ回路を経由して内部に取り込まれます。ノイズ除去回路は、3段直列に接続されたラッチ回路と一致検出回路で構成されます。RXD2入力信号がビットレートの16倍の周波数の内部基本クロックでサンプリングされ、3つのラッチ出力が一致すると信号として認識し、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。

すなわち、3クロック以下の信号変化はノイズとして判断し、信号変化として認識しません。

図22.12にRXD2デジタルフィルタ回路のブロック図を示します。



注1. U2MRレジスタのCKDIRビットが“0”(内部クロック)のとき、内部基本クロックはfj/(n+1)となります(fj=f1、f8、f32；n=U2BRGレジスタの設定値)。
U2MRレジスタのCKDIRビットが“1”(外部クロック)のとき、内部基本クロックはfEXT/(n+1)となります(fEXTはCLK2端子からの入力。n=U2BRGレジスタの設定値)。

図22.12 RXD2デジタルフィルタ回路のブロック図

22.5 特殊モード1(I²Cモード)

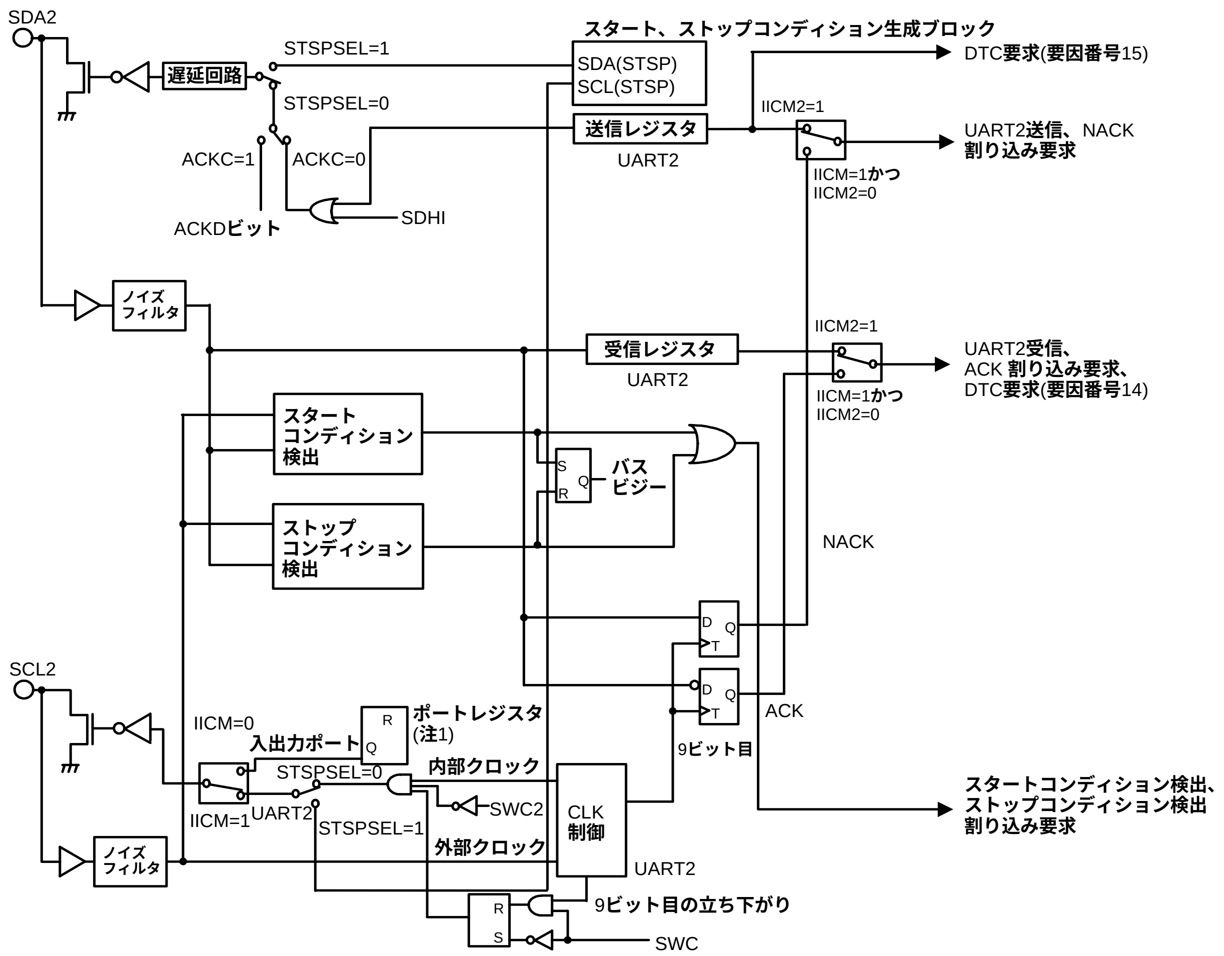
I²Cモードは、簡易形I²Cインタフェースに対応したモードです。表22.9にI²Cモードの仕様を、表22.10～表22.11にI²Cモード時の使用レジスタと設定値を、表22.12にI²Cモード時の各機能、図22.13にI²Cモードのブロック図を、図22.14にU2RBレジスタへの転送、割り込みのタイミングを示します。

表22.12に示すように、SMD2～SMD0ビットを“010b”に、IICMビットを“1”にするとI²Cモードになります。SDA2送信出力には遅延回路が付加されますので、SCL2が“L”になり安定した後、SDA2出力が変化します。

表22.9 I²Cモードの仕様

項目	仕様
転送データフォーマット	転送データ長　8ビット
転送クロック	•マスタ時 U2MRレジスタのCKDIRビットが“0”(内部クロック)：fj/(2(n+1)) fj=f1、f8、f32　n=U2BRGレジスタの設定値　00h～FFh •スレーブ時 CKDIRビットが“1”(外部クロック)：SCL2端子からの入力
送信開始条件	送信開始には、以下の条件が必要(注1) •U2C1レジスタのTEビットが“1”(送信許可) •U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
受信開始条件	受信開始には、以下の条件が必要(注1) •U2C1レジスタのREビットが“1”(受信許可) •U2C1レジスタのTEビットが“1”(送信許可) •U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
割り込み要求発生タイミング	スタートコンディション検出、ストップコンディション検出、アクノリッジ未検出、アクノリッジ検出
エラー検出	オーバランエラー(注2) U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの8ビット目を受信すると発生
選択機能	•SDA2デジタル遅延 デジタル遅延なし、またはU2BRGカウントソースの2～8サイクルの遅延を選択可 •クロック位相設定 クロック遅れあり、なしを選択可

注1. 外部クロックを選択している場合、外部クロックが“H”の状態で条件を満たしてください。
注2. オーバランエラーが発生した場合、U2RBレジスタ受信データは不定になります。またS2RICレジスタのIRビットは変化しません。



IICM : U2SMRレジスタのビット
IICM2, SWC, SWC2, SDHI : U2SMR2レジスタのビット
STSPSEL, ACKD, ACKC : U2SMR4レジスタのビット

上図は、次の条件の場合です。
- U2MRレジスタのSMD2～SMD0ビット=010b
- U2SMRレジスタのIICMビット=1

注1. IICMビットが“1”の場合は、SCL2端子に対応するポート方向ビットが“1”(出力モード)であっても、端子のレベルが読めます。

図 22.13 I^{2}Cモードのブロック図

表 22.10 I²Cモード時の使用レジスタと設定値(1)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
U2TB(注1)	b0～b7	送信データを設定してください	送信データを設定してください
U2RB(注1)	b0～b7	受信データが読めます	受信データが読めます
	b8	ACK、NACKが入ります	ACK、NACKが入ります
	OER	オーバランエラーフラグ	オーバランエラーフラグ
U2BRG	b0～b7	転送速度を設定してください	無効
U2MR(注1)	SMD2～SMD0	“010b”にしてください	“010b”にしてください
	CKDIR	“0”にしてください	“1”にしてください
	IOPOL	“0”にしてください	“0”にしてください
U2C0	CLK1～CLK0	U2BRGのカウントソースを選択してください	無効
	CRS	CRD=1なので無効	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ	送信レジスタ空フラグ
	CRD	“1”にしてください	“1”にしてください
	NCH	“1”にしてください	“1”にしてください
	CKPOL	“0”にしてください	“0”にしてください
	UFORM	“1”にしてください	“1”にしてください
U2C1	TE	送信を許可する場合、“1”にしてください	送信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください	受信を許可する場合、“1”にしてください
	RI	受信完了フラグ	受信完了フラグ
	U2IRS	“1”にしてください	“1”にしてください
	U2RRM、U2LCH、U2ERE	“0”にしてください	“0”にしてください
U2SMR	IICM	“1”にしてください	“1”にしてください
	BBS	バスビジーフラグ	バスビジーフラグ
	b3～b7	“0”にしてください	“0”にしてください
U2SMR2	IICM2	「表 22.12 I²Cモード時の各機能」参照	「表 22.12 I²Cモード時の各機能」参照
	CSC	クロック同期化を許可する場合、“1”にしてください	“0”にしてください
	SWC	クロックの9ビット目の立ち下がりでSCL2出力を“L”出力固定にする場合、“1”にしてください	クロックの9ビット目の立ち下がりでSCL2出力を“L”出力固定にする場合、“1”にしてください
	STAC	“0”にしてください	スタートコンディション検出でUART2を初期化する場合、“1”にしてください
	SWC2	SCL2の出力を強制的に“L”にする場合、“1”にしてください	SCL2の出力を強制的に“L”にする場合、“1”にしてください
	SDHI	SDA2出力を禁止にする場合、“1”にしてください	SDA2出力を禁止にする場合、“1”にしてください
	b7	“0”にしてください	“0”にしてください

注1. この表に記載していないビットは、I²Cモード時に書く場合、“0”を書いてください。

表 22.11　I2Cモード時の使用レジスタと設定値(2)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
U2SMR3	b0、b2、b4、NODC	“0”にしてください	“0”にしてください
	CKPH	「表 22.12　I2Cモード時の各機能」参照	「表 22.12　I2Cモード時の各機能」参照
	DL2～DL0	SDA2のデジタル遅延値を設定してください	SDA2のデジタル遅延値を設定してください
U2SMR4	STAREQ	スタートコンディションを生成する場合、“1”にしてください	“0”にしてください
	RSTAREQ	リスタートコンディションを生成する場合、“1”にしてください	“0”にしてください
	STPREQ	ストップコンディションを生成する場合、“1”にしてください	“0”にしてください
	STSPSEL	各コンディション出力時に“1”にしてください	“0”にしてください
	ACKD	ACK、NACKを選択してください	ACK、NACKを選択してください
	ACKC	ACKデータを出力する場合、“1”にしてください	ACKデータを出力する場合、“1”にしてください
	SCLHI	ストップコンディション検出時にSCL2出力を停止する場合、“1”にしてください	“0”にしてください
	SWC9	“0”にしてください	クロックの9ビット目の次の立ち下がりでSCL2を“L”ホールドにする場合、“1”にしてください
URXDF	DF2EN	“0”にしてください	“0”にしてください
U2SMR5	MP	“0”にしてください	“0”にしてください

表 22.12 I^{2}Cモード時の各機能

<table>
<tr><th rowspan="3">機能</th><th rowspan="3">クロック同期シリアルI/Oモード
(SMD2～SMD0=001b、IICM=0)</th><th colspan="4">I^{2}Cモード (SMD2 ～ SMD0=010b、IICM=1)</th></tr>
<tr><th colspan="2">IICM2=0(NACK/ACK割り込み)</th><th colspan="2">IICM2=1(UART送信/UART受信割り込み)</th></tr>
<tr><th>CKPH=0
(クロック遅れなし)</th><th>CKPH=1
(クロック遅れあり)</th><th>CKPH=0
(クロック遅れなし)</th><th>CKPH=1
(クロック遅れあり)</th></tr>
<tr><td>UART2バス衝突検出割り込みの要因
(注1、5)</td><td>−</td><td colspan="4">スタートコンディション検出、ストップコンディション検出
(「表 22.13　STSPSELビットの機能」参照)</td></tr>
<tr><td>UART2送信/NACK2割り込みの要因
(注1、6)</td><td>UART2送信
送信開始、または送信完了(U2IRSで選択)</td><td colspan="2">アクノリッジ未検出(NACK)
9ビット目のSCL2の立ち上がり</td><td>UART2送信
9ビット目のSCL2の立ち上がり</td><td>UART2送信
9ビット目の次のSCL2の立ち下がり</td></tr>
<tr><td>UART2受信/ACK2割り込みの要因
(注1、6)</td><td>UART2受信
8ビット目の受信時
CKPOL=0(立ち上がり)
CKPOL=1(立ち下がり)</td><td colspan="2">アクノリッジ検出(ACK)
9ビット目のSCL2の立ち上がり</td><td colspan="2">UART2受信
9ビット目のSCL2の立ち下がり</td></tr>
<tr><td>UART受信シフトレジスタからU2RBレジスタへのデータ転送タイミング</td><td>CKPOL=0(立ち上がり)
CKPOL=1(立ち下がり)</td><td colspan="2">9ビット目のSCL2の立ち上がり</td><td>9ビット目のSCL2の立ち下がり</td><td>9ビット目のSCL2の立ち下がりと、立ち上がり</td></tr>
<tr><td>UART2送信出力遅延</td><td>遅延なし</td><td colspan="4">遅延あり</td></tr>
<tr><td>TXD2/SDA2端子の機能</td><td>TXD2出力</td><td colspan="4">SDA2入出力</td></tr>
<tr><td>RXD2/SCL2端子の機能</td><td>RXD2入力</td><td colspan="4">SCL2入出力</td></tr>
<tr><td>CLK2端子の機能</td><td>CLK2入力または出力ポート選択</td><td colspan="4">−(I^{2}Cモードには使用しない)</td></tr>
<tr><td>ノイズフィルター幅</td><td>15ns</td><td colspan="4">200ns</td></tr>
<tr><td>RXD2、SCL2端子レベルの読み込み</td><td>対応するポート方向ビットが“0”の場合、可能</td><td colspan="4">対応するポート方向ビットの内容に関係なく、可能</td></tr>
<tr><td>TXD2、SDA2出力の初期値</td><td>CKPOL=0(H)
CKPOL=1(L)</td><td colspan="4">I^{2}Cモード設定前に、ポートレジスタに設定した値(注2)</td></tr>
<tr><td>SCL2の初期値、終了値</td><td>−</td><td>H</td><td>L</td><td>H</td><td>L</td></tr>
<tr><td>DTC要因番号14
(注6)</td><td>UART2受信
8ビット目の受信時
CKPOL=0(立ち上がり)
CKPOL=1(立ち下がり)</td><td colspan="2">アクノリッジ検出(ACK)</td><td colspan="2">UART2受信
9ビット目のSCL2の立ち下がり</td></tr>
<tr><td>DTC要因番号15
(注6)</td><td>UART2送信
送信開始、または送信完了(U2IRSビットで選択)</td><td>UART2送信
9ビット目のSCL2の立ち上がり</td><td>UART2送信
9ビット目の次のSCL2の立ち下がり</td><td>UART2送信
9ビット目のSCL2の立ち上がり</td><td>UART2送信
9ビット目の次のSCL2の立ち下がり</td></tr>
<tr><td rowspan="2">受信データ格納</td><td rowspan="2">1～8ビット目をU2RBレジスタのビットb0～b7に格納</td><td colspan="2" rowspan="2">1～8ビット目をU2RBレジスタのビットb7～b0に格納</td><td colspan="2">1～7ビット目をU2RBレジスタのビットb6～b0に、8ビット目をU2RBレジスタのビットb8に格納</td></tr>
<tr><td></td><td>1～8ビット目をU2RBレジスタのビットb7～b0に格納(注3)</td></tr>
<tr><td>受信データ読み出し</td><td colspan="4">U2RBレジスタの状態をそのまま読み出す</td><td>U2RBレジスタのビットb6～b0はビットb7～b1として、ビットb8はビットb0として読み出す(注4)</td></tr>
</table>

注1.　割り込み要因を変更すると、変更した割り込みの割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります(「11.8　割り込み使用上の注意」参照)。次のビットを変更すると、割り込み要因、割り込みタイミング等が変化しますので、これらのビットを変更した後、IRビットを“0”(割り込み要求なし)にしてください。
U2MRレジスタのSMD2～SMD0ビット、U2SMRレジスタのIICMビット、U2SMR2レジスタのIICM2ビット、U2SMR3レジスタのCKPHビット

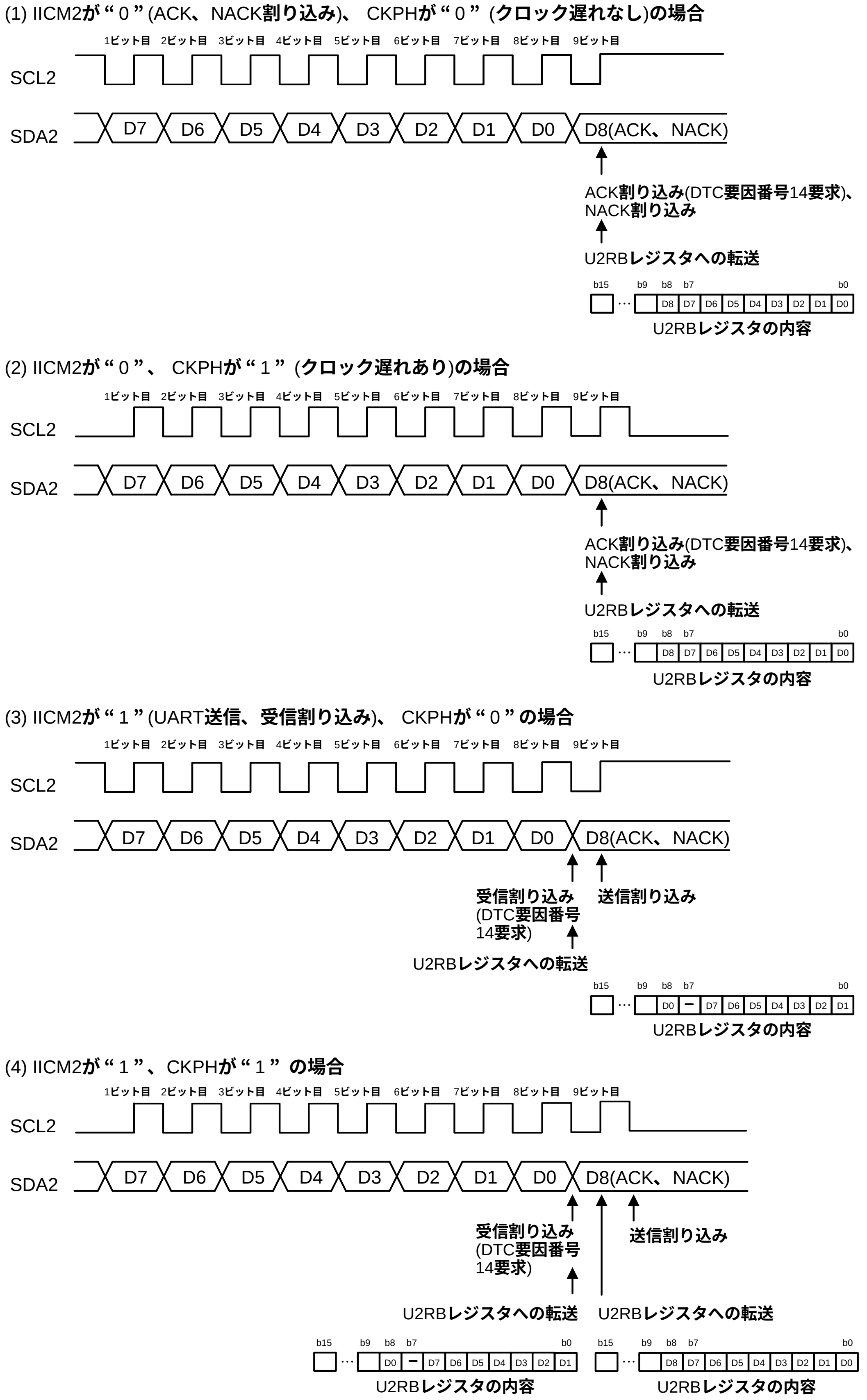
注2.　SDA2出力の初期値は、SMD2～SMD0ビットが“000b”(シリアルインタフェースが無効)の状態で設定してください。

注3.　U2RBレジスタへのデータ転送2回目(9ビット目SCL2立ち上がり時)

注4.　U2RBレジスタへのデータ転送1回目(9ビット目SCL2立ち下がり時)

注5.　「図 22.16　STSPSELビットの機能」参照。

注6.　「図 22.14　U2RBレジスタへの転送、割り込みのタイミング」参照。



この図は次の設定条件の場合です。
・U2MRレジスタのCKDIRビット = 0(マスタ選択)

図 22.14 U2RBレジスタへの転送、割り込みのタイミング

22.5.1 スタートコンディション、ストップコンディションの検出

スタートコンディション検出またはストップコンディション検出を判定します。

スタートコンディション検出割り込み要求は、SCL2端子が"H"の状態でSDA2端子が"H"から"L"に変化すると発生します。ストップコンディション検出割り込み要求は、SCL2端子が"H"の状態でSDA2端子が"L"から"H"に変化すると発生します。

スタートコンディション検出割り込みと、ストップコンディション検出割り込みは、割り込み制御レジスタ、ベクタを共用していますので、どちらの要求による割り込みかは、U2SMRレジスタのBBSビットで判定してください。

図22.15にスタートコンディション、ストップコンディションの検出を示します。

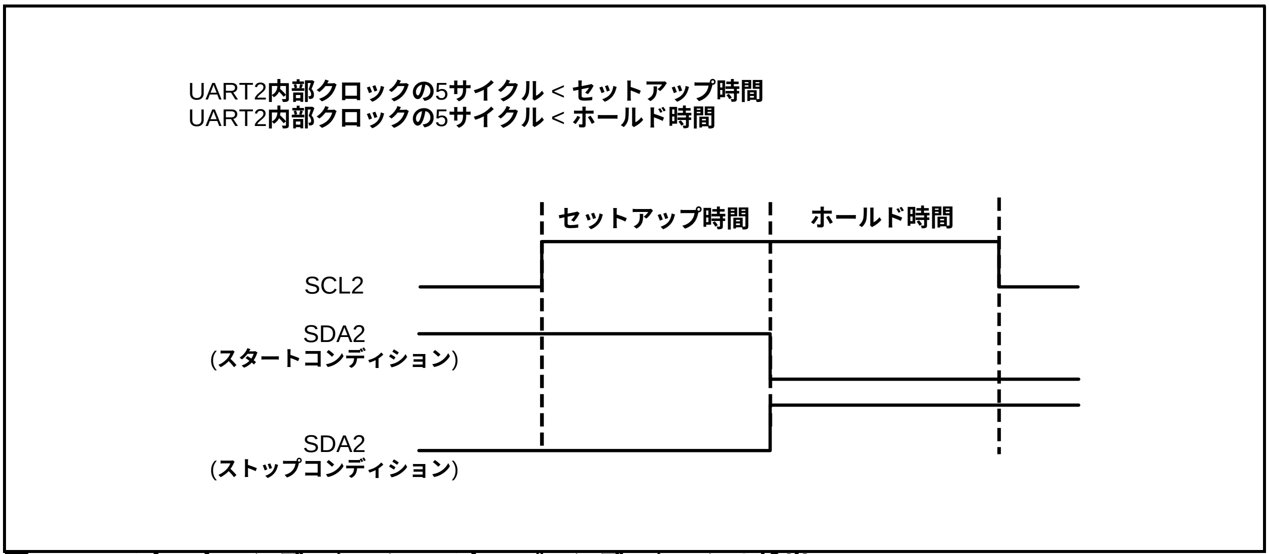


図22.15 スタートコンディション、ストップコンディションの検出

22.5.2 スタートコンディション、ストップコンディションの出力

U2SMR4レジスタのSTAREQビットを“1”(スタート)にするとスタートコンディションを生成します。

U2SMR4レジスタのRSTAREQビットを“1”(スタート)にするとリスタートコンディションを生成します。

U2SMR4レジスタのSTPREQビットを“1”(スタート)にするとストップコンディションを生成します。出力の手順は次の通りです。

(1) STAREQビット、RSTAREQビット、またはSTPREQビットを“1”(スタート)にする

(2) U2SMR4レジスタのSTSPSELビットを“1”(出力)にする

表22.13にSTSPSELビットの機能を、図22.16にSTSPSELビットの機能を示します。

表22.13 STSPSELビットの機能

機能	STSPSEL=0	STSPSEL=1
SCL2、SDA2端子の出力	転送クロック、データを出力。 スタートコンディション、ストップコンディションの出力はポートを使ったプログラムで実現 (ハードウェアによる自動生成はしない)	STAREQビット、RSTAREQビット、STPREQビットに従って、スタートコンディション、ストップコンディションを出力
スタートコンディション、ストップコンディション割り込み要求発生タイミング	スタートコンディション、ストップコンディション検出	スタートコンディション、ストップコンディション生成終了

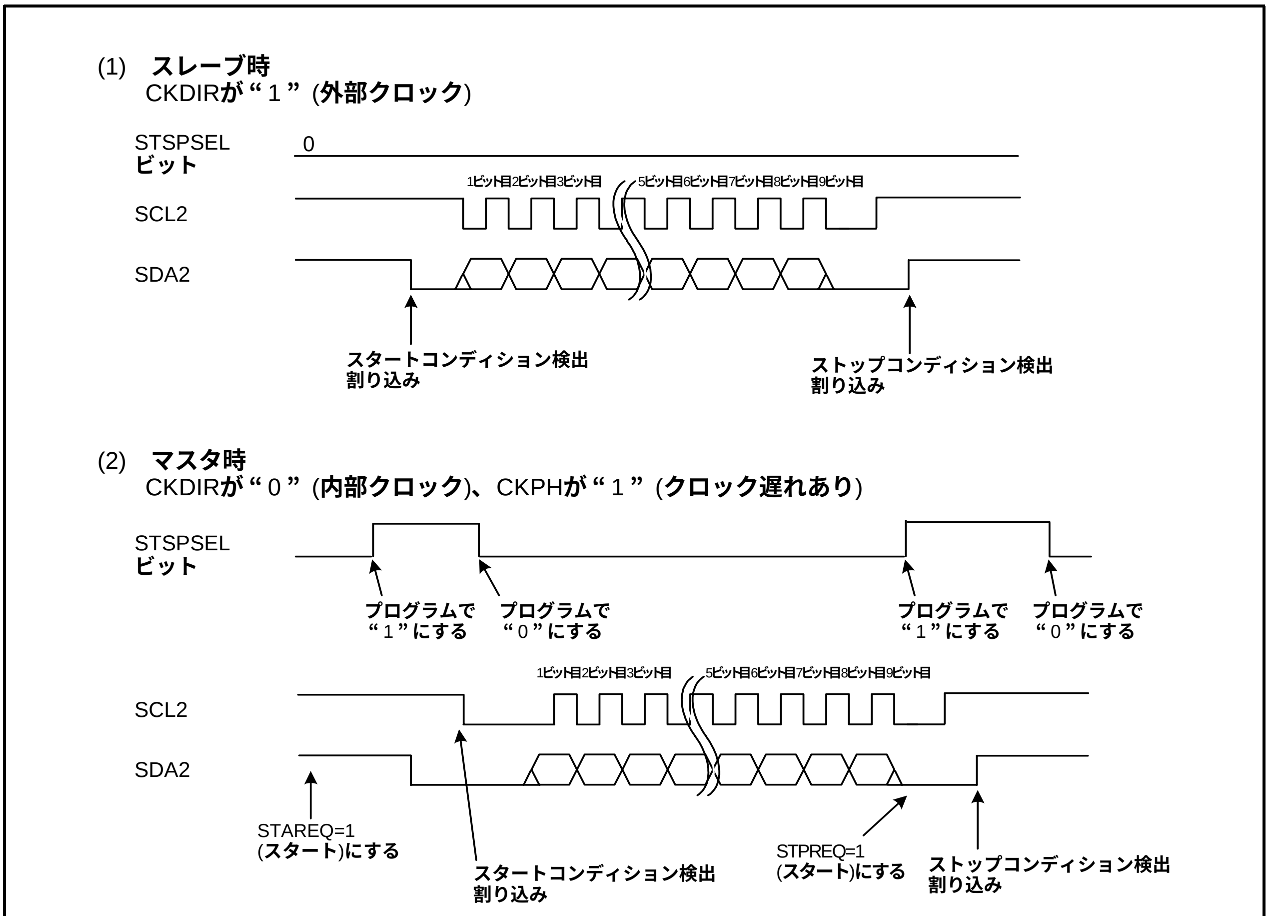


図22.16 STSPSELビットの機能

22.5.3　転送クロック

「図22.14　U2RBレジスタへの転送、割り込みのタイミング」に示すような転送クロックで送受信を行います。

U2SMR2レジスタのCSCビットは内部で生成したクロック(内部SCL2)と、SCL2端子に入力される外部クロックの同期をとるためのビットです。CSCビットを“1”(クロック同期化を許可)にすると、内部SCL2が“H”の場合、SCL2端子に立ち下がりエッジがあれば内部SCL2を“L”とし、U2BRGレジスタの値をリロードしてL区間のカウントを開始します。また、SCL2端子が“L”のとき、内部SCL2が“L”から“H”に変化するとカウントを停止し、SCL2端子が“H”になるとカウントを再開します。したがって、UART2の転送クロックは、内部SCL2とSCL2端子の信号の論理積になります。なお､転送クロックは内部SCL2の1ビット目の立ち下がりの半周期前から9ビット目の立ち上がりまでの期間で動作します｡この機能を使用する場合､転送クロックは内部クロックを選択してください｡

U2SMR2レジスタのSWCビットでクロックの9ビット目の立ち下がりで、SCL2端子は“L”出力固定になるか“L”出力固定を解除するかを選択できます。

U2SMR4レジスタのSCLHIビットを“1”(許可)にすると、ストップコンディション検出時にSCL2出力を停止します(ハイインピーダンス状態)。

U2SMR2レジスタのSWC2ビットを“1”(“L”出力)にすると、送受信中でもSCL2端子から強制的に“L”を出力できます。SWC2ビットを“0”(転送クロック)にすると、SCL2端子からの“L”出力は解除され、転送クロックが入出力されます。

U2SMR3レジスタのCKPHビットが“1”のとき、U2SMR4レジスタのSWC9ビットを“1”(SCL“L”ホールド許可)にすると、クロックの9ビット目の次の立ち下がりでSCL2端子は“L”出力固定になります。SWC9ビットを“0”(SCL“L”ホールド禁止)にすると“L”出力固定は解除されます。

22.5.4　SDA出力

U2TBレジスタのビットb7～b0(D7～D0)に書いた値を、D7から順に出力します。9ビット目(D8)はACKまたはNACKです。

SDA2送信出力の初期値は､IICM=1(I^2Cモード)で､U2MRレジスタのSMD2～SMD0ビットが“000b”(シリアルインタフェースは無効)の状態で設定してください。

U2SMR3レジスタのDL2～DL0ビットによりSDA2の出力を遅延なし､またはU2BRGカウントソースの2～8サイクルの遅延を設定できます。

U2SMR2レジスタのSDHIビットを“1”(SDA出力禁止)にすると、SDA2端子が強制的にハイインピーダンス状態になります。なお、SDHIビットはUART2の転送クロックの立ち上がりのタイミングで書かないでください。

22.5.5 SDA入力

IICM2ビットが“0”のとき、受信したデータの1～8ビット目(D7～D0)をU2RBレジスタのビットb7～b0に格納します。9ビット目(D8)はACKまたはNACKです。

IICM2ビットが“1”のとき、受信したデータの1～7ビット目(D7～D1)をU2RBレジスタのビットb6～b0に、8ビット目(D0)をU2RBレジスタのビットb8に格納します。IICM2ビットが“1”のときでも、CKPHビットが“1”であれば、9ビット目のクロックの立ち上がり後にU2RBレジスタを読み出すことにより、IICM2ビットが“0”のときと同様のデータが読めます。

22.5.6 ACK、NACK

U2SMR4レジスタのSTSPSELビットが“0”(スタートコンディション、ストップコンディションを生成しない)でU2SMR4レジスタのACKCビットが“1”(ACKデータ出力)の場合、U2SMR4レジスタのACKDビットの値がSDA2端子から出力されます。

IICM2ビットが“0”の場合、NACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDA2端子が“H”のままであると発生します。ACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDA2端子が“L”ならば発生します。

DTC要求要因にACK2(UART2受信)を選択すると、アクノリッジ検出によってDTC転送を起動できます。

22.5.7 送受信初期化

STACビットを“1”(UART2初期化許可)にし、スタートコンディションを検出すると次のように動作します。

- 送信シフトレジスタは初期化され、U2TBレジスタの内容が送信シフトレジスタに転送されます。これにより、次に入力されたクロックを1ビット目として送信を開始します。ただし、UART2出力値はクロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。
- 受信シフトレジスタは初期化され、次に入力されたクロックを1ビット目として受信が開始されます。
- SWCビットが“1”(SCLウェイト出力許可)になります。これにより、クロックの9ビット目の立ち下がりでSCL2端子が“L”になります。

なお、この機能を使用しUART2の送受信を開始した場合、TIビットは変化しません。また、この機能を使用する場合、転送クロックは外部クロックを選択してください。

22.6 特殊モード3 (IEモード)

UARTモードの1バイトの波形でIEBusの1ビットに近似させるモードです。

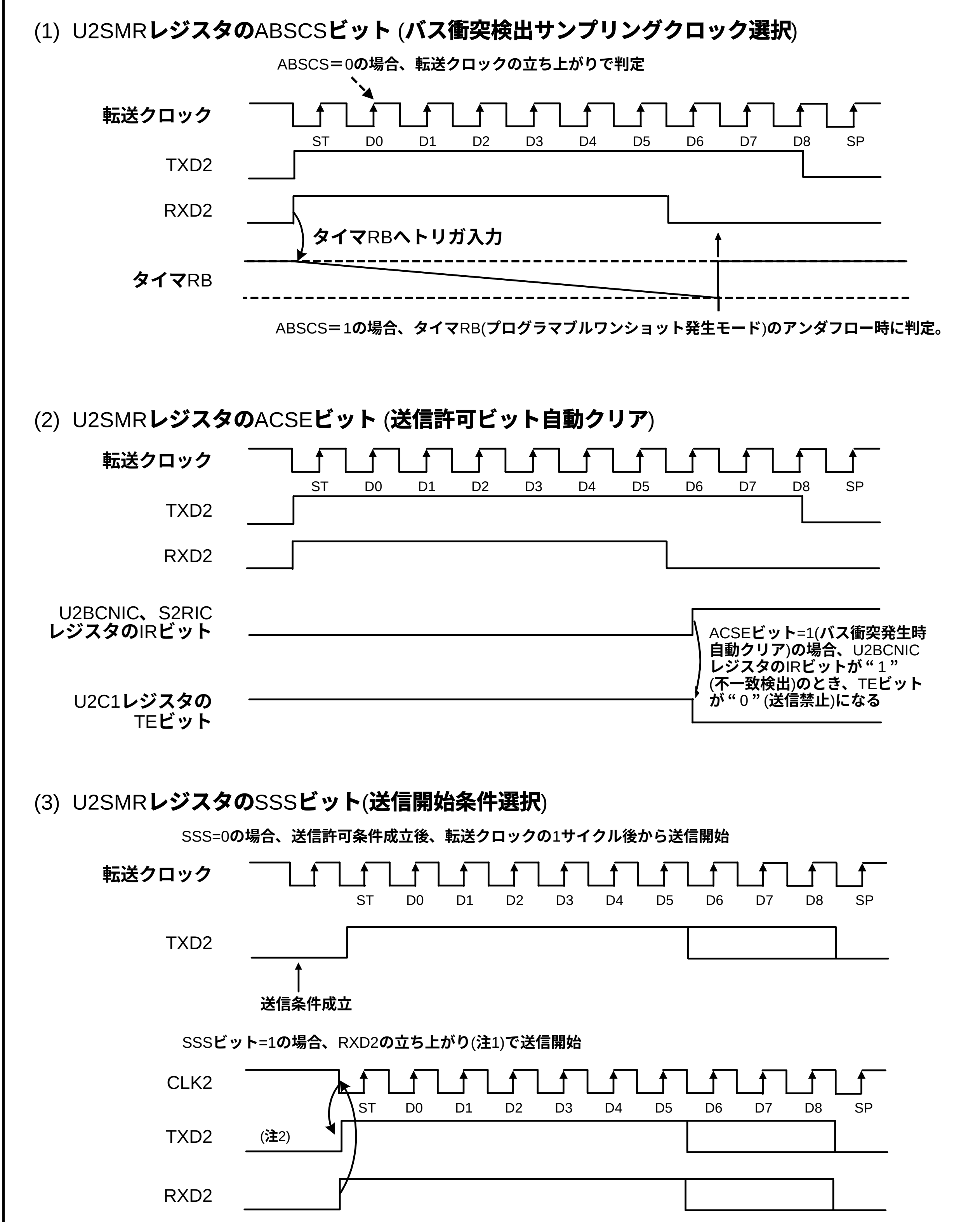
表22.14にIEモード時の使用レジスタと設定を、図22.17にバス衝突検出機能関連ビットの機能を示します。

TXD2端子の出力レベルとRXD2端子の入力レベルが異なる場合、UART2バス衝突検出割り込み要求が発生します。

表22.14 IEモード時の使用レジスタと設定

レジスタ	ビット	機能
U2TB	b0～b8	送信データを設定してください
U2RB(注1)	b0～b8	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
U2BRG	b0～b7	転送速度を設定してください
U2MR	SMD2～SMD0	“110b”にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	“0”にしてください
	PRY	PRYE=0なので無効
	PRYE	“0”にしてください
	IOPOL	TXD、RXD入出力極性を選択してください
U2C0	CLK1～CLK0	U2BRGのカウントソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1”にしてください
	NCH	TXD2端子の出力形式を選択してください
	CKPOL	“0”にしてください
	UFORM	“0”にしてください
U2C1	TE	送信を許可する場合“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください
	RI	受信完了フラグ
	U2IRS	UART2送信割り込み要因を選択してください
	U2RRM、U2LCH、U2ERE	“0”にしてください
U2SMR	b0～b3、b7	“0”にしてください
	ABSCS	バス衝突検出サンプリングタイミングを選択してください
	ACSE	送信許可ビット自動クリアを使用する場合、“1”にしてください
	SSS	送信開始条件を選択してください
U2SMR2	b0～b7	“0”にしてください
U2SMR3	b0～b7	“0”にしてください
U2SMR4	b0～b7	“0”にしてください
URXDF	DF2EN	“0”にしてください
U2SMR5	MP	“0”にしてください

注1. この表に記載していないビットはIEモード時に書く場合、“0”を書いてください。



注1．IOPOL=0の場合、RXD2の立ち下がり。IOPOL=1の場合、RXD2の立ち上がり。
注2．送信条件は、RXDの立ち下がり(注1)前に成立している必要があります。

上図はIOPOL=1(反転あり)の場合です。

図22.17　バス衝突検出機能関連ビットの機能

22.7 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により、複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有のIDコードを割り付けます。シリアル通信サイクルは、受信局を指定するID送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが“1”のときID送信サイクル、“0”のときデータ送信サイクルとなります。図22.18にマルチプロセッサフォーマットを使用したプロセッサ間通信の例(受信局AへのデータAAhの送信の例)を示します。送信局は、まず受信局のIDコードにマルチプロセッサビット1を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット0を付加した通信データを送信します。受信局は、マルチプロセッサビットが“1”の通信データを受信すると自局のIDと比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが“1”の通信データを受信するまで、通信データを読みとばします。

UART2はこの機能をサポートするため、U2SMR5レジスタにMPIEビットが設けてあります。MPIEビットを“1”にセットすると、マルチプロセッサビットが“1”のデータを受け取るまでUART2受信レジスタからU2RBレジスタの転送、および受信エラーの検出とU2C1レジスタのRIビット、U2RBレジスタのFER、OERビットの各ステータスフラグのセットを禁止します。マルチプロセッサビットが“1”の受信キャラクタを受け取ると、U2RBレジスタのMPRBビットが“1”にセットされるとともに、U2SMR5レジスタのMPIEビットが“0”になり、通常の受信動作に戻ります。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モード(UARTモード)と変わりません。マルチプロセッサ通信を行うときのクロックも、通常の調歩同期式モード(UARTモード)と同一です。

図22.19にマルチプロセッサ通信機能のブロック図を、表22.15にマルチプロセッサ通信機能時の使用レジスタと設定値を示します。

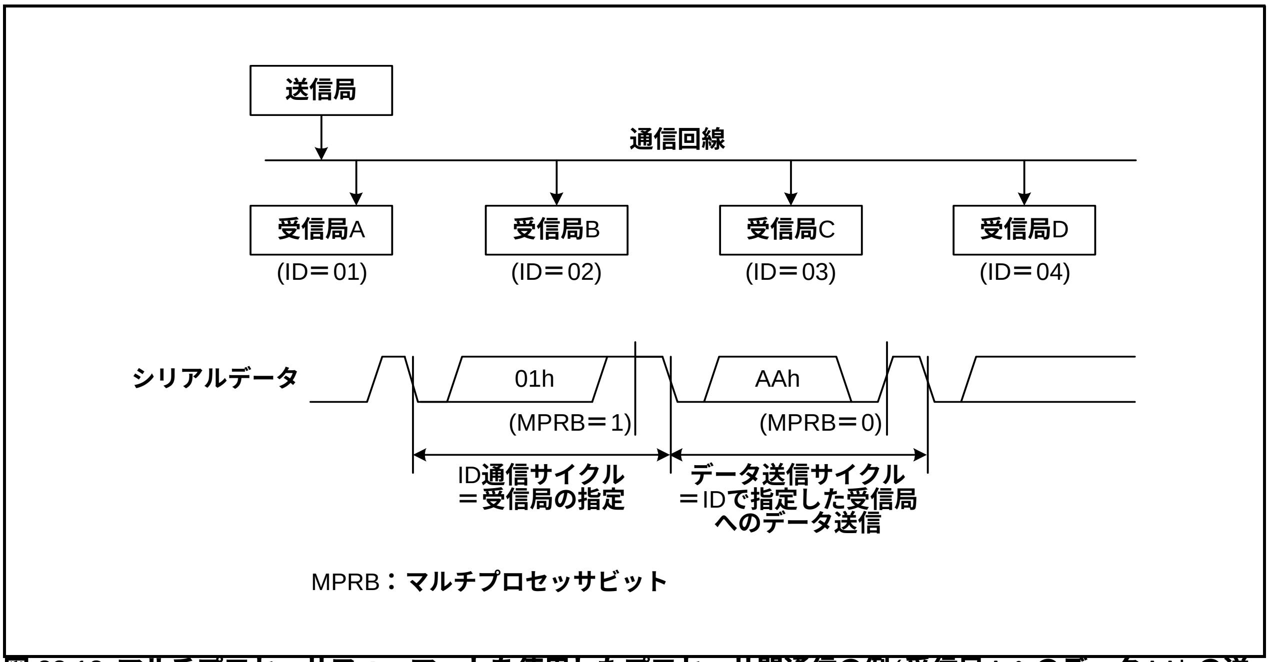


図22.18 マルチプロセッサフォーマットを使用したプロセッサ間通信の例(受信局AへのデータAAhの送信の例)

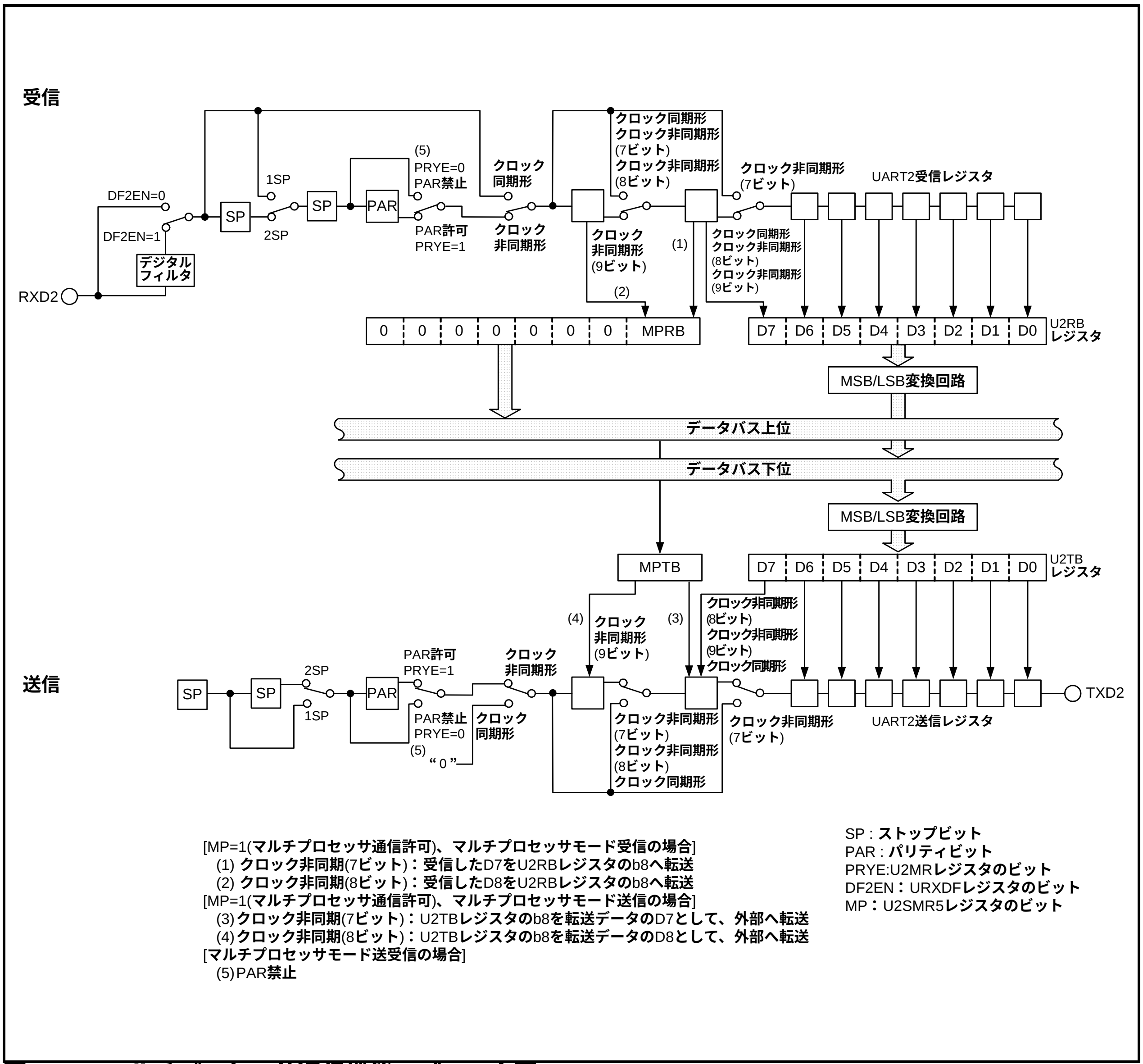


図 22.19 マルチプロセッサ通信機能のブロック図

表 22.15 マルチプロセッサ通信機能時の使用レジスタと設定値

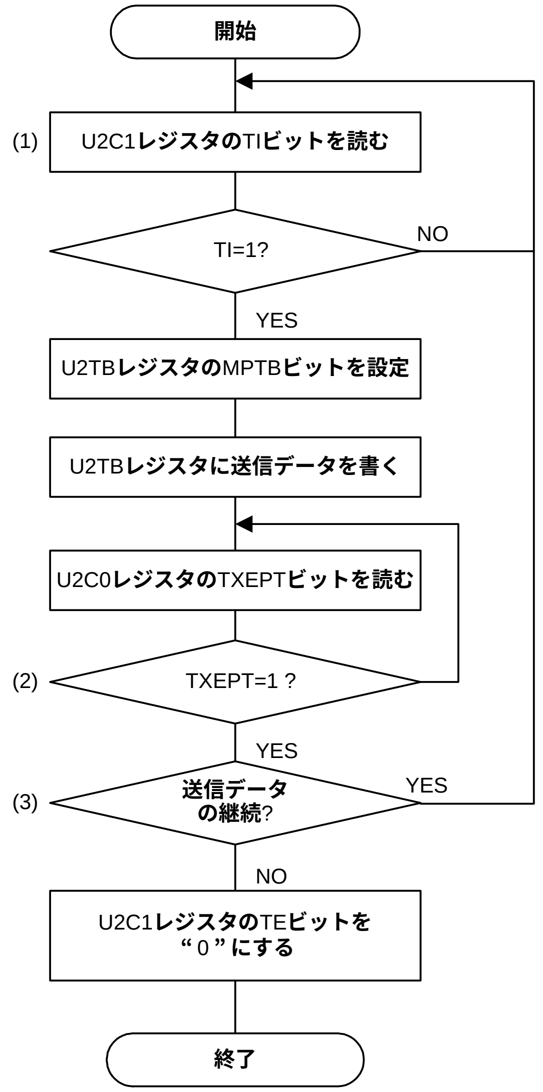
レジスタ	ビット	機能
U2TB(注1)	b0〜b7	送信データを設定してください
	MPTB	“0”または“1”を設定してください
U2RB(注2)	b0〜b7	受信データが読めます
	MPRB	マルチプロセッサビット
	OER、FER、SUM	エラーフラグ
U2BRG	b0〜b7	転送速度を設定してください
U2MR	SMD2〜SMD0	転送データが7ビットの場合、“100b”を設定してください
		転送データが8ビットの場合、“101b”を設定してください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティ検出機能無効
	IOPOL	“0”にしてください
U2C0	CLK0、CLK1	U2BRGのカウントソースを選択してください
	CRS	$\overline{\mathrm{CTS}}$または$\overline{\mathrm{RTS}}$機能無効
	TXEPT	送信レジスタ空フラグ
	CRD	“0”にしてください
	NCH	TXD2端子出力形式を選択してください
	CKPOL	“0”にしてください
	UFORM	“0”にしてください
U2C1	TE	送信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可するとき、“1”にしてください
	RI	受信完了フラグ
	U2IRS	UART2の送信割り込み要因を選択してください
	U2LCH	“0”にしてください
	U2ERE	“0”にしてください
U2SMR	b0〜b7	“0”にしてください
U2SMR2	b0〜b7	“0”にしてください
U2SMR3	b0〜b7	“0”にしてください
U2SMR4	b0〜b7	“0”にしてください
U2SMR5	MP	“1”にしてください
	MPIE	“1”にしてください
URXDF	DF2EN	デジタルフィルタの有効、無効を選択してください

注1. IDデータフレームを送信したとき、MPTBビットを“1”にしてください。データフレームを送信したとき、MPTBビットを“0”にしてください。

注2. MPRBビットが“1”の場合、受信したD7〜D0はIDフィールドです。MPRBビットが“0”の場合、受信したD7〜D0はデータフィールドです。

22.7.1 マルチプロセッサ送信

図22.20にマルチプロセッサデータ送信のフローチャートの例を示します。ID送信サイクルでは、U2TBレジスタのMPTBビットを“1”にして送信してください。データ送信サイクルでは、U2TBレジスタのMPTBビットを“0”にして送信してください。その他の動作は調歩同期モード(UARTモード)の動作と同じです。

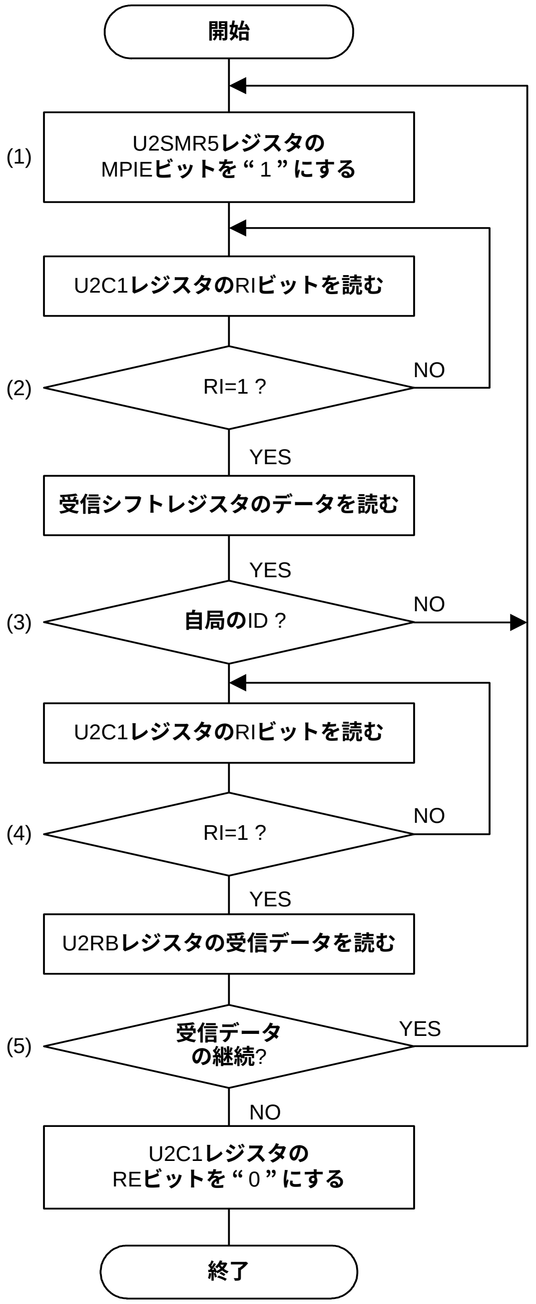


(1) U2C1レジスタを読んで、TIビットが“1”であることを確認した後、U2TBレジスタのMPTBビットを“0”または“1”に設定し、U2TBレジスタに送信データを書きます。U2TBレジスタにデータを書くと、TIビットが自動的に“0”になります。
(2) 送信が完了すると、TXEPTビットが自動的に“1”になります。
(3) データ送信を継続する場合、TIビットの“1”を読んで、U2TBレジスタにデータを書いてください。U2TBレジスタにデータを書くと、TIビットが自動的に“0”になります。

図22.20 マルチプロセッサデータ送信のフローチャートの例

22.7.2 マルチプロセッサ受信

図22.21にマルチプロセッサデータ受信のフローチャートの例を示します。U2SMR5レジスタのMPIEビットを“1”にすると、マルチプロセッサビットが“1”の通信データを受信するまで、通信データを読みとばします。マルチプロセッサビットが“1”の通信データを、受信データとしてU2RBレジスタに転送します。このとき、受信完了割り込み要求を発生します。その他の動作は調歩同期式モード(UARTモード)の動作と同じです。図22.22にマルチプロセッサ通信の受信時の動作例(8ビットデータ/マルチプロセッサビットあり/1ビットストップビットの例)を示します。



(1) U2SMR5レジスタのMPIEビットを“1”にします。
(2) MPRB=1を検出してMPIEビットが“0”になり、受信完了割り込み要求が発生できます。U2C1レジスタを読んで、RIビットが“1”であることを確認します。RIビットが“1”であれば、受信シフトレジスタのデータを読み、自局のIDと比較します。なお、U2RBレジスタのデータを読むと、RIビットは自動的に“0”になります。
(3) 自局IDと一致したとき、次のデータ受信が開始します。自局IDと一致にしないとき、MPIEビットを“1”にし、アイドル状態になります。
(4) U2C1レジスタを読み、RIビットが“1”であることを確認した後、受信シフトレジスタのデータを読みます。
(5) 受信を継続しないとき、U2C0レジスタのREビットを“0”にし、受信は完了します。受信を継続したいとき、再び(1)から実行します。

図22.21 マルチプロセッサデータ受信のフローチャートの例

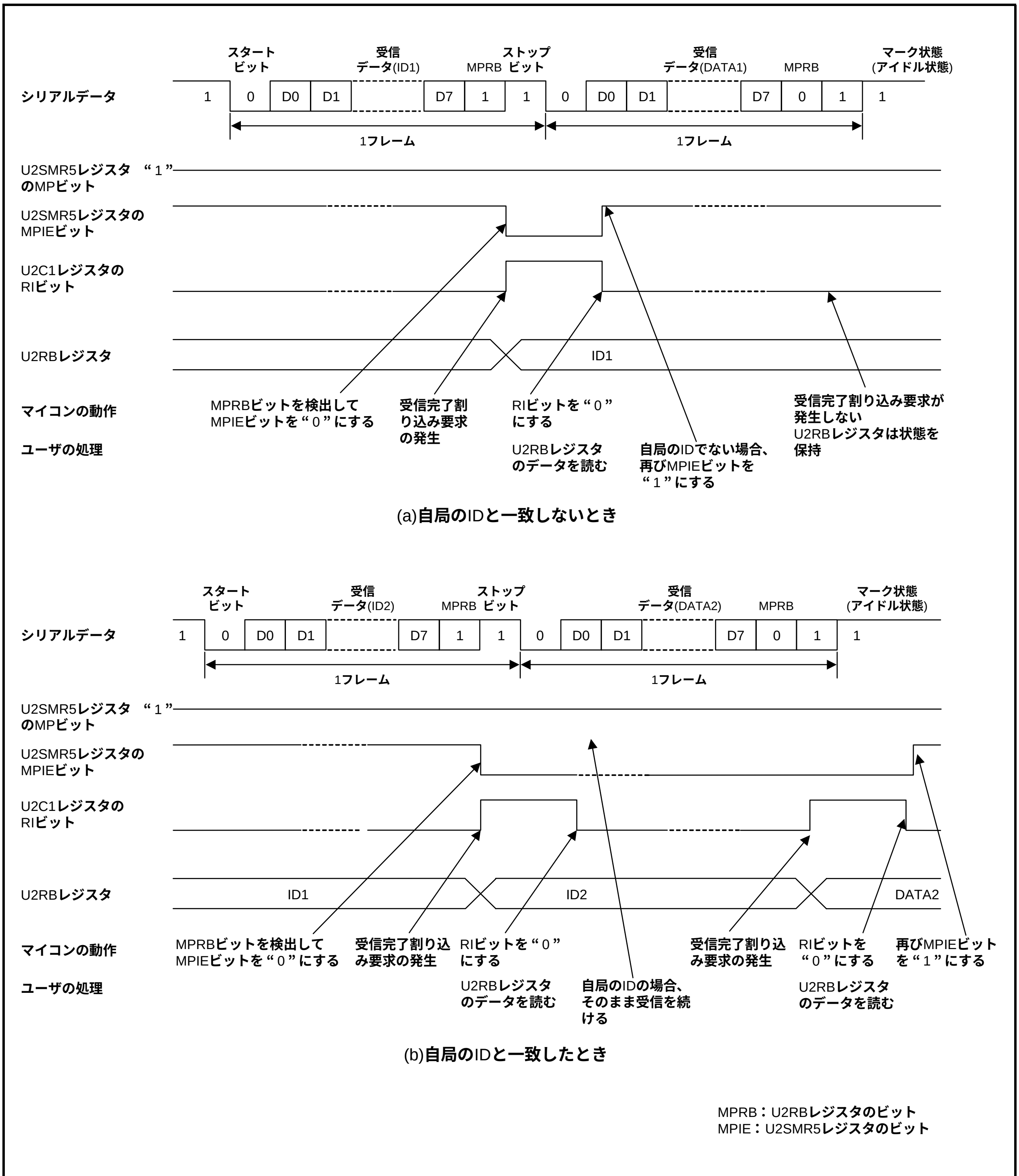


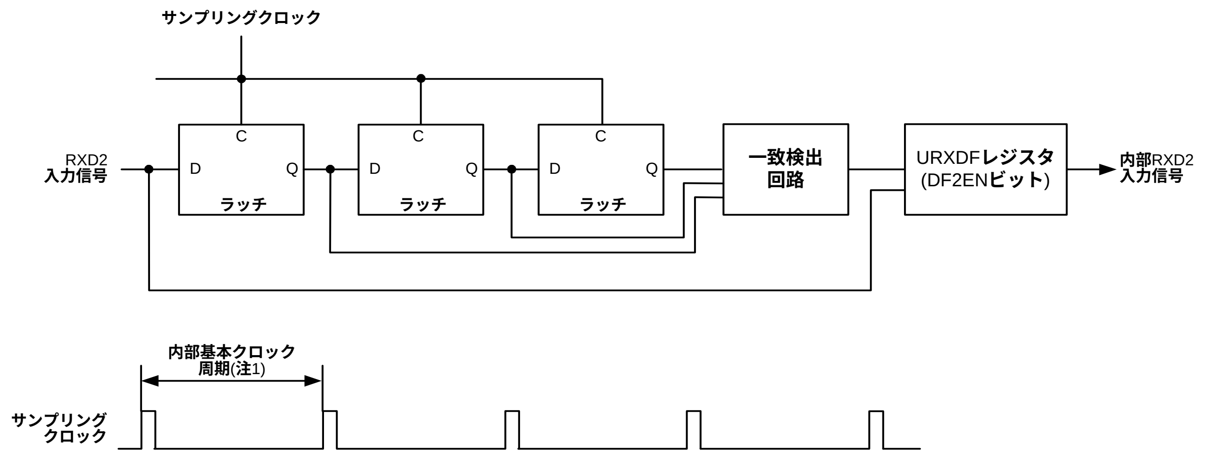
図 22.22 マルチプロセッサ通信の受信時の動作例(8ビットデータ/マルチプロセッサビットあり/1ビットストップビットの例)

22.7.3 RXD2デジタルフィルタ選択機能

URXDFレジスタのDF2ENビットが“1”(RXD2デジタルフィルタ許可)のとき、RXD2入力信号はノイズ除去のためのデジタルフィルタ回路を経由して内部に取り込まれます。ノイズ除去回路は、3段直列に接続されたラッチ回路と一致検出回路で構成されます。RXD2入力信号がビットレートの16倍の周波数の内部基本クロックでサンプリングされ、3つのラッチ出力が一致すると信号として認識し、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。

すなわち、3クロック以下の信号変化はノイズとして判断し、信号変化として認識しません。

図22.23にRXD2デジタルフィルタ回路のブロック図を示します。



注1. U2MRレジスタのCKDIRビットが“0”(内部クロック)のとき、内部基本クロックはfj/(n+1)となります
(fj=f1、f8、f32；n=U2BRGレジスタの設定値)。
U2MRレジスタのCKDIRビットが“1”(外部クロック)のとき、内部基本クロックはfEXT/(n+1)となります(fEXTはCLK2端子からの入力。n=U2BRGレジスタの設定値)。

図22.23 RXD2デジタルフィルタ回路のブロック図

22.8 シリアルインタフェース(UART2)使用上の注意

22.8.1 クロック同期形シリアルI/Oモード

22.8.1.1 送受信

外部クロック選択時、$\overline{\text{RTS}}$機能を選択した場合は、受信可能状態になると$\overline{\text{RTS2}}$端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると$\overline{\text{RTS2}}$端子の出力レベルは“H”になります。このため、$\overline{\text{RTS2}}$端子を送信側の$\overline{\text{CTS2}}$端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は$\overline{\text{RTS}}$機能は無効です。

22.8.1.2 送信

外部クロックを選択している場合、U2C0レジスタのCKPOLビットが“0”(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態で、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態で次の条件を満たしてください。

- U2C1レジスタのTEビットが“1”(送信許可)
- U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
- $\overline{\text{CTS}}$機能を選択している場合、$\overline{\text{CTS2}}$端子の入力が“L”

22.8.1.3 受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXD2端子からはダミーデータが外部に出力されます。

内部クロック選択時はU2C1レジスタのTEビットを“1”(送信許可)にし、ダミーデータをU2TBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを“1”にし、ダミーデータをU2TBレジスタに設定し、外部クロックがCLK2端子に入力されたときシフトクロックを発生します。

連続してデータを受信する場合、U2C1レジスタのREビットが“1”(U2RBレジスタにデータあり)でUART2受信レジスタに次の受信データが揃ったときオーバランエラーが発生し、U2RBレジスタのOERビットが“1”(オーバランエラー発生)になります。この場合、U2RBレジスタは不定ですので、オーバランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバランエラーが発生したときはS2RICレジスタのIRビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとにU2TBレジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択している場合、CKPOLビットが“0”のときは外部クロックが“H”の状態で、CKPOLビットが“1”のときは外部クロックが“L”の状態で次の条件を満たしてください。

- U2C1レジスタのREビットが“1”(受信許可)
- U2C1レジスタのTEビットが“1”(送信許可)
- U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)

22.8.2　特殊モード1(I2Cモード)

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、U2SMR4レジスタのSTSPSELビットを“0”にした後、転送クロックの半サイクル以上待ってから、各コンディション生成ビット(STAREQ、RSTAREQ、STPREQ)を“0”から“1”にしてください。

22.8.3　UART2ビットレートレジスタ(U2BRG)

U2BRGレジスタに“00h”を書き込んだ直後のデータ送受信開始(U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)になるタイミング、受信時のスタートビット検出タイミングを含む)が、最大でカウントソースの256サイクル分遅延する場合があります。

22.8.4　U2TBレジスタ

このレジスタはMOV命令を使用して書いてください。

マルチプロセッサ通信機能を使用する場合、8ビット単位で書いてください。MPTBビットを設定した後、b0～b7を設定してください。

マルチプロセッサ通信機能を使用しない場合、転送データ長が9ビットの場合は、16ビット単位で書くか、または8ビット単位で上位バイトを先に、下位バイトを後で書いてください。

23. シンクロナスシリアルコミュニケーションユニット(SSU)

シンクロナスシリアルコミュニケーションユニット(SSU)は、クロック同期式のシリアルデータ通信が可能です。

23.1 概要

表23.1にシンクロナスシリアルコミュニケーションユニットの仕様を、図23.1にシンクロナスシリアルコミュニケーションユニットブロック図を示します。

表23.1 シンクロナスシリアルコミュニケーションユニットの仕様

項目	仕様
転送データフォーマット	・転送データ長　8～16ビット 送信部および受信部がバッファ構造のため、シリアルデータの連続送信、連続受信が可能
動作モード	・クロック同期式通信モード ・4線式バス通信モード(双方向通信モード含む)
マスタ/スレーブデバイス	選択可能
入出力端子	SSCK(入出力):クロック入出力端子 SSI(入出力):データ入出力端子 SSO(入出力):データ入出力端子 $\overline{\text{SCS}}$(入出力):チップセレクト入出力端子
転送クロック	・SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)のとき 外部クロック(SSCK端子から入力) ・SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)のとき 内部クロック(f1/256、f1/128、f1/64、f1/32、f1/16、f1/8、f1/4から選択できる、SSCK端子から出力) ・クロック極性と位相を選択できる
受信エラーの検出	・オーバランエラーを検出 受信時にオーバランエラーが発生し、異常終了したことを示す。SSSRレジスタのRDRFビットが“1”(SSRDRレジスタにデータあり)の状態で、次のシリアルデータ受信を完了したとき、ORERビットが“1”になる
マルチマスタエラーの検出	・コンフリクトエラーを検出 SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)の状態でシリアル通信を開始しようとしたとき、$\overline{\text{SCS}}$端子入力が“L”であればSSSRレジスタのCEビットが“1”になる。 SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)で転送途中に$\overline{\text{SCS}}$端子入力が“L”から“H”に変化したとき、SSSRレジスタのCEビットが“1”になる。
割り込み要求	5種類(送信終了、送信データエンプティ、受信データフル、オーバランエラー、コンフリクトエラー)(注1)
選択機能	・データ転送方向 MSBファーストまたはLSBファーストを選択 ・SSCKクロック極性 クロック停止時のレベルを“L”か“H”かを選択 ・SSCKクロック位相 データ変化およびデータ取り込みのエッジを選択

注1. 割り込みベクタテーブルはシンクロナスシリアルコミュニケーションユニットの1つです。

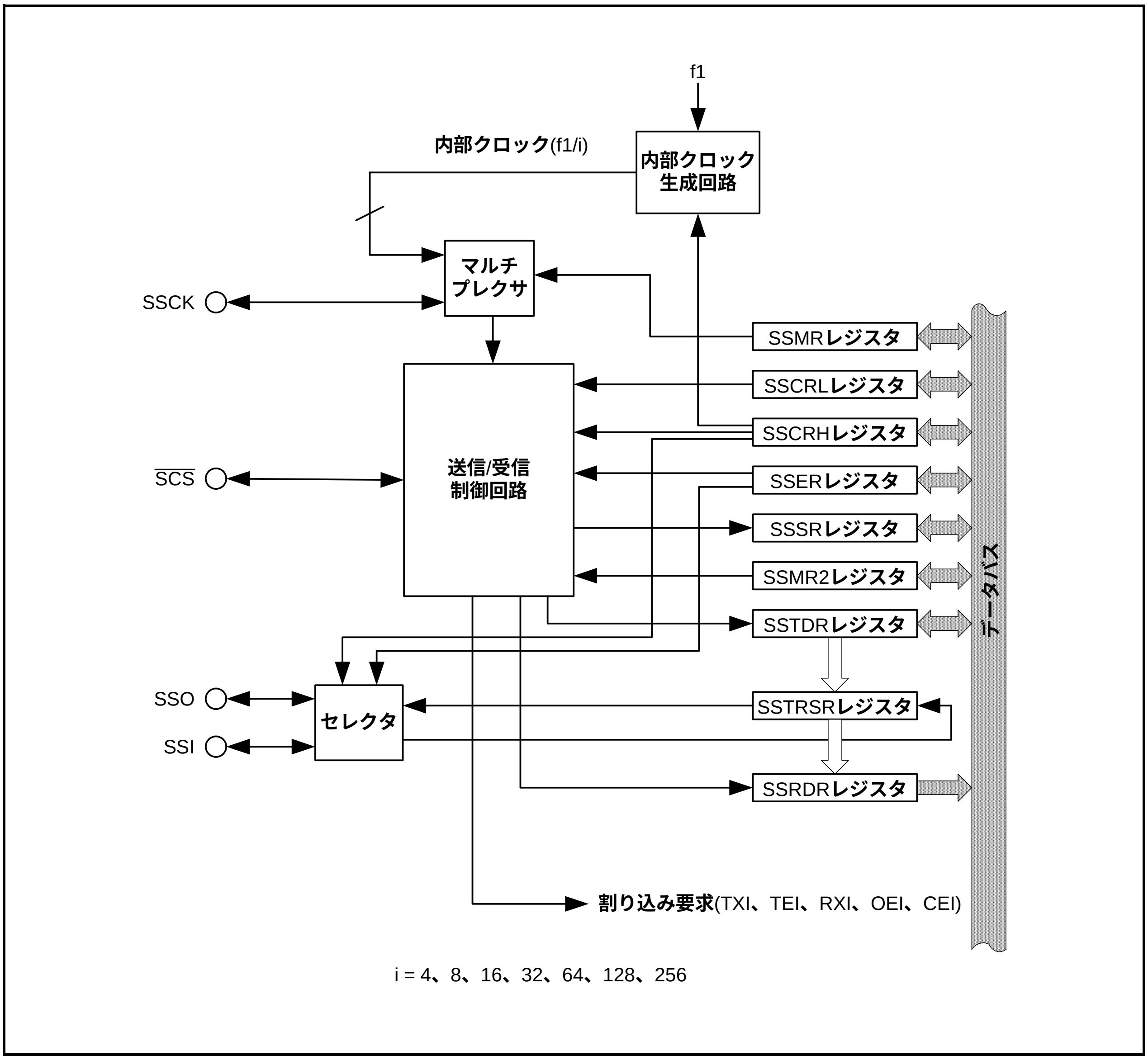


図 23.1　シンクロナスシリアルコミュニケーションユニットブロック図

表 23.2　シンクロナスシリアルコミュニケーションユニットの端子構成

端子名	割り当てる端子	入出力	機能
SSI	P1_6またはP3_3	入出力	データ入出力
$\overline{\text{SCS}}$	P3_4	入出力	チップセレクト入出力
SSCK	P3_5	入出力	クロック入出力
SSO	P3_7	入出力	データ入出力

23.2 レジスタの説明

23.2.1 モジュールスタンバイ制御レジスタ(MSTCR)

アドレス 0008h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	MSTTRC	MSTTRD	MSTIIC	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	—			
b2	—			
b3	MSTIIC	SSUスタンバイビット	0：アクティブ 1：スタンバイ(注1)	R/W
b4	MSTTRD	タイマRDスタンバイビット	0：アクティブ 1：スタンバイ(注2、3)	R/W
b5	MSTTRC	タイマRCスタンバイビット	0：アクティブ 1：スタンバイ(注4)	R/W
b6	—	予約ビット	“0”にしてください	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. スタンバイにする前に、SSU機能を停止してください。MSTIICビットが“1”(スタンバイ)のとき、SSU関連レジスタ(0193h～019Dh番地)へのアクセスは無効になります。
注2. スタンバイにする前に、タイマRD機能を停止してください。MSTTRDビットが“1”(スタンバイ)のとき、タイマRD関連レジスタ(0135h～015Fh番地)へのアクセスは無効になります。
注3. MSTTRDビットを“1”(スタンバイ)にする場合、TRDCRi(i=0～1)レジスタのTCK2～TCK0ビットを“000b”(f1)にしてください。
注4. スタンバイにする前に、タイマRC機能を停止してください。MSTTRCビットが“1”(スタンバイ)のとき、タイマRC関連レジスタ(0120h～0133h番地)へのアクセスは無効になります。

23.2.2 SSU端子選択レジスタ(SSUIICSR)

アドレス 018Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	−	SCSSEL0	SSISEL1	SSISEL0	−	−	−	−
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	−	予約ビット	“0”にしてください	R/W
b1	−			
b2	−	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		−
b3	−			
b4	SSISEL0	SSI端子選択ビット	b5 b4 0 0：SSI端子機能は使用しない 0 1：P3_3に割り当てる 1 0：P1_6に割り当てる 1 1：設定しないでください	R/W
b5	SSISEL1			R/W
b6	SCSSEL0	$\overline{\text{SCS}}$端子選択ビット	0：$\overline{\text{SCS}}$端子機能は使用しない 1：P3_4に割り当てる	R/W
b7	−	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		−

SSISEL0〜SSISEL1ビット(SSI端子選択ビット)

SSISEL0〜SSISEL1ビットは、SSUの入出力をどの端子に割り当てるかを選択するビットです。SSUの入出力端子を使用する場合は、SSISEL0〜SSISEL1ビットを設定してください。

SSUの関連レジスタを設定する前に、SSISEL0〜SSISEL1ビットを設定してください。また、SSUの動作中はSSISEL0〜SSISEL1ビットの設定値を変更しないでください。

SCSSEL0ビット($\overline{\text{SCS}}$端子選択ビット)

SCSSEL0ビットは、SSUの入出力をどの端子に割り当てるかを選択するビットです。SSUの入出力端子を使用する場合は、SCSSEL0ビットを設定してください。

SSUの関連レジスタを設定する前に、SCSSEL0ビットを設定してください。また、SSUの動作中はSCSSEL0ビットの設定値を変更しないでください。

23.2.3 SSビットカウンタレジスタ(SSBR)

アドレス 0193h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	−	−	−	−	BS3	BS2	BS1	BS0
リセット後の値	1	1	1	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BS0	SSUデータ転送長設定ビット(注1)	b3 b2 b1 b0 0 0 0 0：16ビット 1 0 0 0：8ビット 1 0 0 1：9ビット 1 0 1 0：10ビット 1 0 1 1：11ビット 1 1 0 0：12ビット 1 1 0 1：13ビット 1 1 1 0：14ビット 1 1 1 1：15ビット	R/W
b1	BS1			R/W
b2	BS2			R/W
b3	BS3			R/W
b4	−	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		−
b5	−			
b6	−			
b7	−			

注1. SSUの動作中は、BS0～BS3ビットに書かないでください。

SSBRレジスタを設定するときは、SSERレジスタのREビットを“0”(受信禁止)、TEビットを“0”(送信禁止)にしてください。

BS0～BS3ビット(SSUデータ転送長設定ビット)

SSUデータ転送長として8～16ビットが使用できます。

23.2.4 SS送信データレジスタ(SSTDR)

アドレス 0195h～0194h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	−	−	−	−	−	−	−	−
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	−	−	−	−	−	−	−	−
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
b15～b0	−	送信データを保管。(注1) SSTRSRレジスタの空きが検出されると、保管されている送信データがSSTRSRレジスタへ転送されて、送信が開始する。 SSTRSRレジスタからデータを送信中に、SSTDRレジスタに次の送信データを書いておくと、連続して送信できる。 SSMRレジスタのMLSビットが“1”(LSBファーストでデータ転送)の場合、SSTDRレジスタに書いた後、読むとMSBとLSBが反転したデータが読まれます。	R/W

注1. SSBRレジスタでSSUデータ転送長を9ビット以上に設定する場合、SSTDRレジスタを16ビット単位でアクセスしてください。

23.2.5 SS受信データレジスタ(SSRDR)

アドレス 0197h～0196h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
b15～b0	—	受信データを保管。(注1、2) SSTRSRレジスタが1バイトのデータを受信すると、SSRDRレジスタへ受信データが転送されて、受信動作が終了する。このとき、次の受信が可能になる。 このようにSSTRSRレジスタとSSRDRレジスタの2つのレジスタによって、連続受信が可能である。	R

注1. SSSRレジスタのORERビットが“1”(オーバランエラー発生)になったとき、SSRDRレジスタはオーバランエラー発生前の受信データを保持します。オーバランエラー発生時の受信データは、破棄されます。
注2. SSBRレジスタでSSUデータ転送長を9ビット以上に設定する場合、SSRDRレジスタを16ビット単位でアクセスしてください。

23.2.6 SS制御レジスタH (SSCRH)

アドレス 0198h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	RSSTP	MSS	—	—	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKS0	転送クロック選択ビット(注1)	b2 b1 b0 0 0 0：f1/256 0 0 1：f1/128 0 1 0：f1/64 0 1 1：f1/32 1 0 0：f1/16 1 0 1：f1/8 1 1 0：f1/4 1 1 1：設定しないでください	R/W
b1	CKS1			R/W
b2	CKS2			R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	—			
b5	MSS	マスタ/スレーブデバイス選択ビット(注2)	0：スレーブデバイスとして動作 1：マスタデバイスとして動作	R/W
b6	RSSTP	受信シングルストップビット(注3)	0：1バイトのデータ受信後も受信動作を継続 1：1バイトのデータ受信後、受信動作が終了	R/W
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. MSSビットが“1”(マスタデバイスとして動作)のときに、設定されたクロックが使用されます。
注2. MSSビットが“1”(マスタデバイスとして動作)のとき、SSCK端子は転送クロック出力端子になります。SSSRレジスタのCEビットが“1”(コンフリクトエラー発生)になると、MSSビットは“0”(スレーブデバイスとして動作)になります。
注3. MSSビットが“0”(スレーブデバイスとして動作)のとき、RSSTPビットは無効です。

23.2.7 SS制御レジスタL (SSCRL)

アドレス 0199h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	SOL	SOLP	—	—	SRES	—
リセット後の値	0	1	1	1	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b1	SRES	SSU制御部リセットビット	このビットに“1”を書くと、SSU制御部および SSTRSRレジスタが初期化される。 SSU内部レジスタ(注1)の値は保持される。	R/W
b2	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b3	—			
b4	SOLP	SOLライトプロテクトビット(注2)	“0”を書くとSOLビットによって出力レベルが変更できる。 “1”を書いても無効。読んだ場合、その値は“1”。	R/W
b5	SOL	シリアルデータ出力値設定ビット	読んだ場合 0：シリアルデータ出力が“L” 1：シリアルデータ出力が“H” 書いた場合(注2、3) 0：データ出力を“L”にする 1：データ出力を“H”にする	R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		—
b7	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. SSBR、SSCRH、SSCRL、SSMR、SSER、SSSR、SSMR2、SSTDR、SSRDRの各レジスタ。

注2. シリアルデータ送信後のデータ出力は、送信されたシリアルデータの最終ビットの値を保持します。
シリアルデータの送信前後にSOLビットの内容を書き換えると、その時点からデータ出力に反映されます。
SOLビットに書くときは、MOV命令を使用してSOLPビットに“0”、SOLビットに“0”または“1”を同時に書いてください。

注3. データ転送中はSOLビットに書かないでください。

23.2.8 SSモードレジスタ (SSMR)

アドレス 019Ah番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MLS	CPOS	CPHS	−	BC3	BC2	BC1	BC0
リセット後の値	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BC0	ビットカウンタ3～0	b3 b2 b1 b0 0 0 0 0：残り16ビット 0 0 0 1：残り1ビット 0 0 1 0：残り2ビット 0 0 1 1：残り3ビット 0 1 0 0：残り4ビット 0 1 0 1：残り5ビット 0 1 1 0：残り6ビット 0 1 1 1：残り7ビット 1 0 0 0：残り8ビット 1 0 0 1：残り9ビット 1 0 1 0：残り10ビット 1 0 1 1：残り11ビット 1 1 0 0：残り12ビット 1 1 0 1：残り13ビット 1 1 1 0：残り14ビット 1 1 1 1：残り15ビット	R
b1	BC1			R
b2	BC2			R
b3	BC3			R
b4	−	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。		−
b5	CPHS	SSCKクロック位相選択ビット(注1)	0：奇数エッジでデータ変化 (偶数エッジでデータ取り込み) 1：偶数エッジでデータ変化 (奇数エッジでデータ取り込み)	R/W
b6	CPOS	SSCKクロック極性選択ビット(注1)	0：クロック停止時、“H” 1：クロック停止時、“L”	R/W
b7	MLS	MSBファースト/LSBファースト選択ビット	0：MSBファーストでデータ転送 1：LSBファーストでデータ転送	R/W

注1. CPHS、CPOSビットの設定については「23.3.1.1 転送クロックの極性、位相とデータの関係」を参照してください。
SSMR2レジスタのSSUMSビットが“0”(クロック同期式通信モード)のとき、CPHSビットを“0”、CPOSビットを“0”にしてください。

23.2.9 SS許可レジスタ (SSER)

アドレス 019Bh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIE	TEIE	RIE	TE	RE	−	−	CEIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CEIE	コンフリクトエラー割り込み許可ビット	0：コンフリクトエラー割り込み要求禁止 1：コンフリクトエラー割り込み要求許可	R/W
b1	−	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		−
b2	−			
b3	RE	受信許可ビット	0：受信禁止 1：受信許可	R/W
b4	TE	送信許可ビット	0：送信禁止 1：送信許可	R/W
b5	RIE	受信割り込み許可ビット	0：受信データフルおよびオーバランエラー割り込み要求禁止 1：受信データフルおよびオーバランエラー割り込み要求許可	R/W
b6	TEIE	送信終了割り込み許可ビット	0：送信終了割り込み要求禁止 1：送信終了割り込み要求許可	R/W
b7	TIE	送信割り込み許可ビット	0：送信データエンプティ割り込み要求禁止 1：送信データエンプティ割り込み要求許可	R/W

23.2.10 SSステータスレジスタ (SSSR)

アドレス 019Ch番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TDRE	TEND	RDRF	−	−	ORER	−	CE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CE	コンフリクトエラーフラグ(注1)	0：コンフリクトエラーなし 1：コンフリクトエラー発生(注2)	R/W
b1	−	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		−
b2	ORER	オーバランエラーフラグ(注1)	0：オーバランエラーなし 1：オーバランエラー発生(注3)	R/W
b3	−	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		−
b4	−			
b5	RDRF	受信データレジスタフルフラグ(注1、4)	0：SSRDRレジスタにデータなし 1：SSRDRレジスタにデータあり	R/W
b6	TEND	送信終了フラグ(注1、5)	0：送信データの最後尾ビットの送信時、TDREビットが“0” 1：送信データの最後尾ビットの送信時、TDREビットが“1”	R/W
b7	TDRE	送信データ空フラグ(注1、5、6)	0：SSTDRレジスタからSSTRSRレジスタにデータ転送されていない 1：SSTDRレジスタからSSTRSRレジスタにデータ転送された	R/W

注1. CE、ORER、RDRF、TEND、TDRE ビットへの“1”書き込みは無効です。これらのビットを“0”にするには、“1”を読んだ後、“0”を書いてください。

注2. SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)の状態でシリアル通信を開始しようとしたとき、$\overline{\mathrm{SCS}}$端子入力が“L”であればCEビットが“1”になります。「23.5.4　SCS端子制御とアービトレーション」を参照してください。
SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)で転送途中に$\overline{\mathrm{SCS}}$端子入力が“L”から“H”に変化したとき、CEビットが“1”になります。

注3. 受信時にオーバランエラーが発生し、異常終了したことを示します。RDRFビットが“1”(SSRDRレジスタにデータあり)の状態で、次のシリアルデータ受信を完了したとき、ORERビットが“1”になります。
ORERビットが“1”(オーバランエラー発生)になった後、“1”の状態で受信はできません。またMSSビットが“1”(マスタデバイスとして動作)の状態では、送信もできません。

注4. RDRFビットはSSRDRレジスタからデータを読み出したとき、“0”になります。

注5. TEND、TDREビットはSSTDRレジスタにデータを書いたとき、“0”になります。
SSTDRレジスタに書いた直後にこれらのビットを読み出す場合は、書き込みと読み出しの命令間に、NOP命令を3つ以上挿入してください。

注6. TDREビットはSSERレジスタのTEビットを“1”(送信許可)にしたとき、“1”になります。

SSSRレジスタを連続してアクセスする場合、アクセスする命令間にNOP命令を1つ以上挿入してください。

23.2.11 SSモードレジスタ2 (SSMR2)

アドレス 019Dh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BIDE	SCKS	CSS1	CSS0	SCKOS	SOOS	CSOS	SSUMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSUMS	SSUモード選択ビット(注1)	0：クロック同期式通信モード 1：4線式バス通信モード	R/W
b1	CSOS	SCS端子オープンドレイン出力選択ビット	0：CMOS出力 1：Nチャネルオープンドレイン出力	R/W
b2	SOOS	シリアルデータオープンドレイン出力選択ビット(注1)	0：CMOS出力(注5) 1：Nチャネルオープンドレイン出力	R/W
b3	SCKOS	SSCK端子オープンドレイン出力選択ビット	0：CMOS出力 1：Nチャネルオープンドレイン出力	R/W
b4	CSS0	SCS端子選択ビット(注2)	b5 b4 0 0：ポートとして機能 0 1：SCS入力端子として機能 1 0：SCS出力端子として機能(注3) 1 1：SCS出力端子として機能(注3)	R/W
b5	CSS1			R/W
b6	SCKS	SSCK端子選択ビット	0：ポートとして機能 1：シリアルクロック端子として機能	R/W
b7	BIDE	双方向モード許可ビット(注1、4)	0：標準モード(データ入力とデータ出力を2端子使用して通信) 1：双方向モード(データ入力とデータ出力を1端子使用して通信)	R/W

注1. データ入出力端子の組合せは、「23.3.2.1 データ入出力端子とSSシフトレジスタの関係」を参照してください。
注2. SSUMSビットが“0”(クロック同期式通信モード)のとき、CSS0、CSS1ビットの内容にかかわらず、SCS端子はポートとして機能します。
注3. 転送開始前は、SCS入力端子として機能します。
注4. SSUMSビットが“0”(クロック同期式通信モード)のとき、BIDEビットは無効です。
注5. SOOSビットが“0”(CMOS出力)のとき、SSI端子およびSSO端子に対応するポート方向レジスタのビットを“0”(入力モード)にしてください。

23.3 複数モードに関わる共通事項

23.3.1 転送クロック

転送クロックを7種類の内部クロック(f1/256、f1/128、f1/64、f1/32、f1/16、f1/8、f1/4)と、外部クロックから選択できます。

シンクロナスシリアルコミュニケーションユニットを使用する場合はまず、SSMR2レジスタのSCKSビットを“1”にして、SSCK端子をシリアルクロック端子として選択してください。

SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)のときは内部クロックが選択され、SSCK端子が出力になります。転送が開始すると、SSCRHレジスタのCKS0～CKS2で選択された転送レートのクロックが、SSCK端子から出力されます。

SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)のときは外部クロックが選択され、SSCK端子は入力になります。

23.3.1.1 転送クロックの極性、位相とデータの関係

SSMR2レジスタのSSUMSビットとSSMRレジスタのCPHS、CPOSビットの組み合わせで、転送クロックの極性、位相および転送データの関係が変わります。図23.2に転送クロックの極性、位相および転送データの関係を示します。

また、SSMRレジスタのMLSビットの設定により、MSBファーストで転送するかLSBファーストで転送するかを選択できます。MLSビットが“1”のときは、LSBから始まり最後にMSBの順で転送されます。MLSビットが“0”のときは、MSBから始まり最後にLSBの順で転送されます。

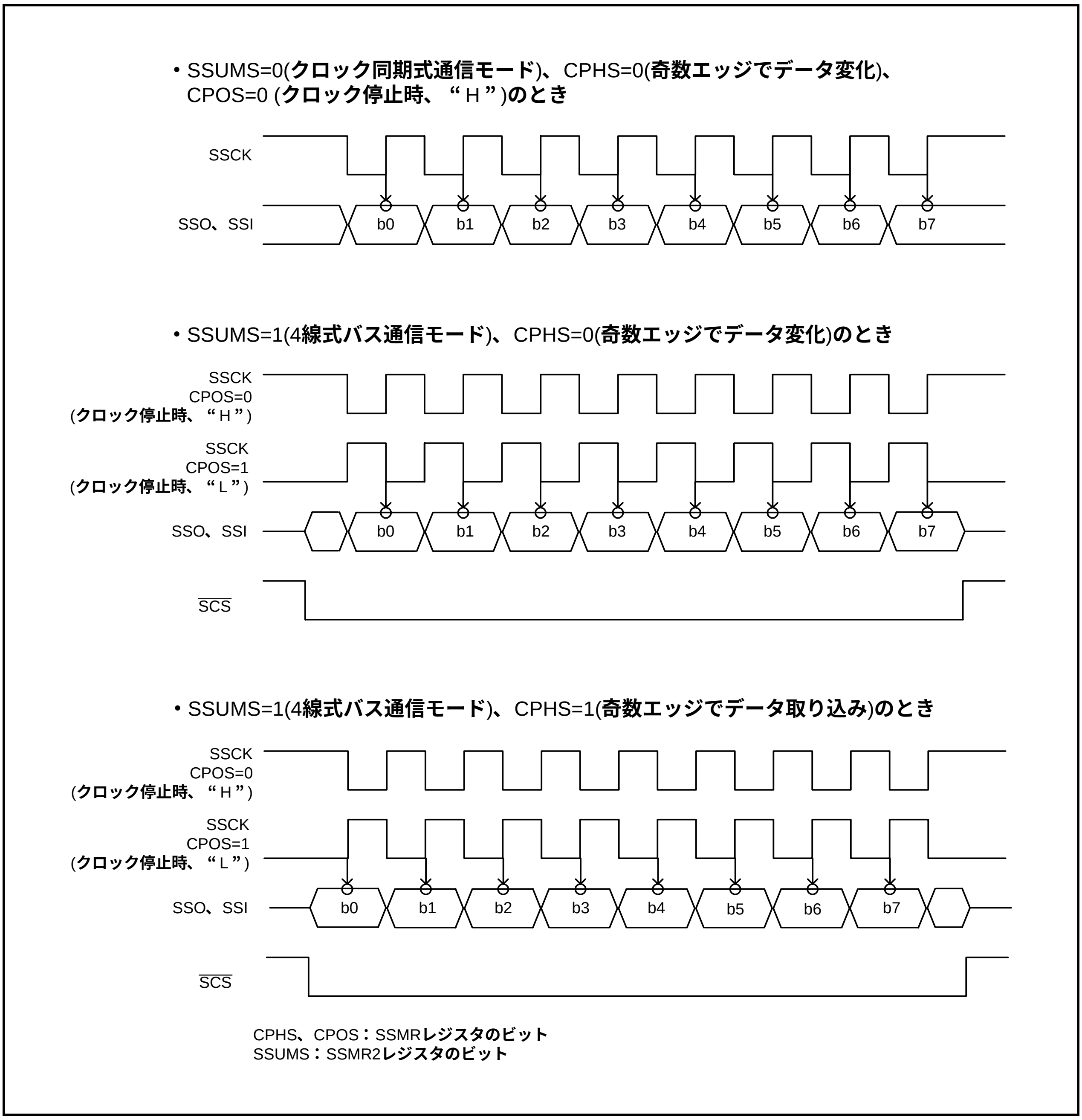


図 23.2　転送クロックの極性、位相および転送データの関係

23.3.2 SSシフトレジスタ(SSTRSR)

SSTRSRレジスタはシリアルデータを送受信するシフトレジスタです。

SSTDRレジスタからSSTRSRレジスタに送信データが転送されるとき、SSMRレジスタのMLSビットが"0"(MSBファースト)の場合は、SSTDRレジスタのビット0がSSTRSRレジスタのビット0に転送されます。MLSビットが"1"(LSBファースト)の場合は、SSTDRレジスタのビット7がSSTRSRレジスタのビット0に転送されます。

23.3.2.1 データ入出力端子とSSシフトレジスタの関係

SSCRHレジスタのMSSビットとSSMR2レジスタのSSUMSビットとの組み合わせにより、データ入出力端子とSSTRSRレジスタの接続関係が変わります。また、SSMR2レジスタのBIDEビットによっても接続関係が変わります。図23.3にデータ入出力端子とSSTRSRレジスタの接続関係を示します。

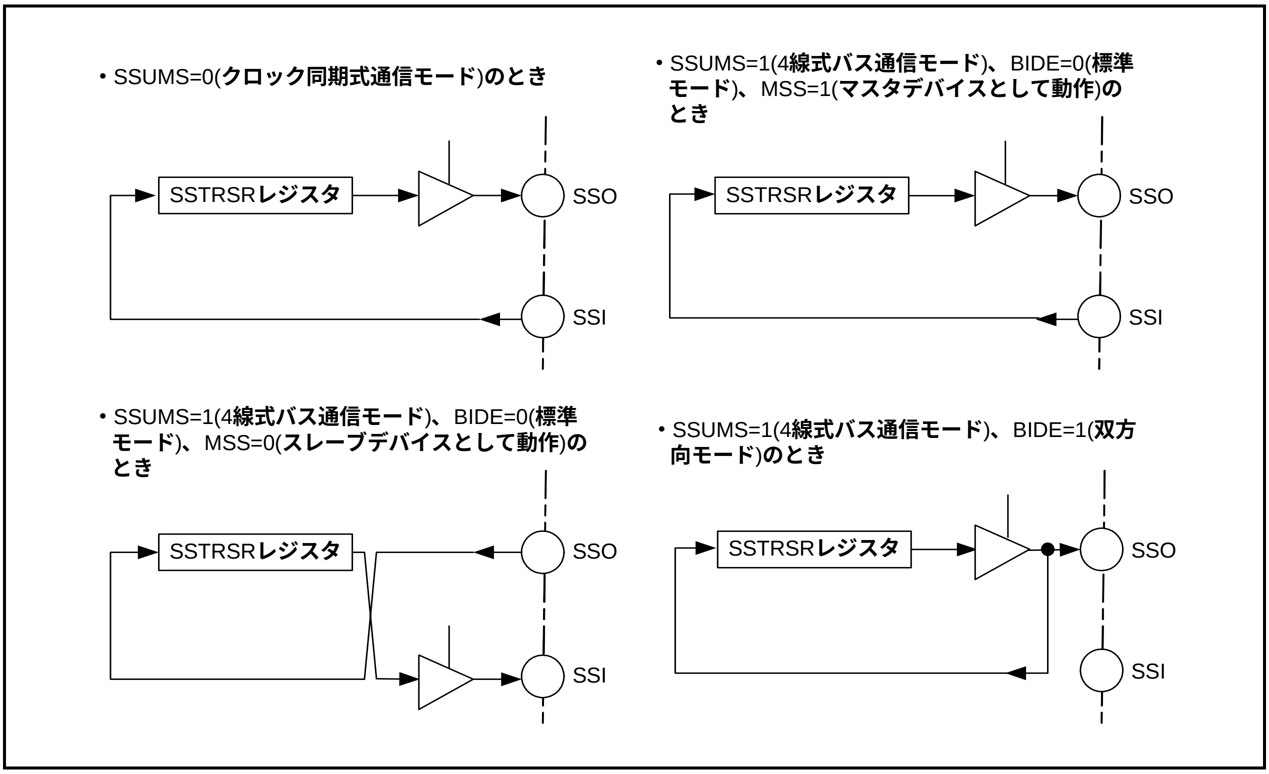


図 23.3 データ入出力端子とSSTRSRレジスタの接続関係

23.3.3 割り込み要求

シンクロナスシリアルコミュニケーションユニットの割り込み要求には、送信データエンプティ、送信終了、受信データフル、オーバランエラー、コンフリクトエラー割り込み要求があります。これらの割り込み要求はシンクロナスシリアルコミュニケーションユニット割り込みベクタテーブルに割り付けられているため、フラグによる要因の判別が必要です。表 23.3 にシンクロナスシリアルコミュニケーションユニットの割り込み要求を示します。

表 23.3 シンクロナスシリアルコミュニケーションユニットの割り込み要求

割り込み要求	略称	発生条件
送信データエンプティ	TXI	TIE=1 かつ TDRE=1
送信終了	TEI	TEIE=1 かつ TEND=1
受信データフル	RXI	RIE=1 かつ RDRF=1
オーバランエラー	OEI	RIE=1 かつ ORER=1
コンフリクトエラー	CEI	CEIE=1 かつ CE=1

CEIE、RIE、TEIE、TIE：SSERレジスタのビット
ORER、RDRF、TEND、TDRE：SSSRレジスタのビット

表 23.3 の発生条件が満たされたとき、シンクロナスシリアルコミュニケーションユニット割り込み要求が発生します。シンクロナスシリアルコミュニケーションユニット割り込みルーチンで、それぞれの割り込み要因を“0”にしてください。

ただし、TDRE ビットおよび TEND ビットは SSTDR レジスタに送信データを書くことで、RDRF ビットはSSRDRレジスタを読むことで自動的に“0”になります。特にTDREビットはSSTDRレジスタに送信データを書いたとき、同時に再度TDREビットが“1”(SSTDRレジスタからSSTRSRレジスタにデータ転送された)になり、さらにTDREビットを“0”(SSTDRレジスタからSSTRSRレジスタにデータ転送されていない)にすると、余分に1バイト送信する場合があります。

23.3.4 各通信モードと端子機能

シンクロナスシリアルコミュニケーションユニットは各通信モードで SSCRH レジスタの MSS ビットと、SSER レジスタの RE、TE ビットの設定により、入出力端子の機能が変わります。表 23.4 に通信モードと入出力端子の関係を示します。

表 23.4 通信モードと入出力端子の関係

通信モード	ビットの設定					端子の状態		
	SSUMS	BIDE	MSS	TE	RE	SSI	SSO	SSCK
クロック同期式通信モード	0	無効	0	0	1	入力	ー (注 1)	入力
				1	0	ー (注 1)	出力	入力
					1	入力	出力	入力
			1	0	1	入力	ー (注 1)	出力
				1	0	ー (注 1)	出力	出力
					1	入力	出力	出力
4 線式バス通信モード	1	0	0	0	1	ー (注 1)	入力	入力
				1	0	出力	ー (注 1)	入力
					1	出力	入力	入力
			1	0	1	入力	ー (注 1)	出力
				1	0	ー (注 1)	出力	出力
					1	入力	出力	出力
4 線式バス (双方向) 通信モード (注 2)	1	1	0	0	1	ー (注 1)	入力	入力
				1	0	ー (注 1)	出力	入力
			1	0	1	ー (注 1)	入力	出力
				1	0	ー (注 1)	出力	出力

注 1. プログラマブル入出力ポートとして使用できます。
注 2. 4 線式バス (双方向) 通信モード時は、TE および RE ビットを共に “ 1 ” にしないでください。
SSUMS、BIDE：SSMR2 レジスタのビット
MSS：SSCRH レジスタのビット
TE、RE：SSER レジスタのビット

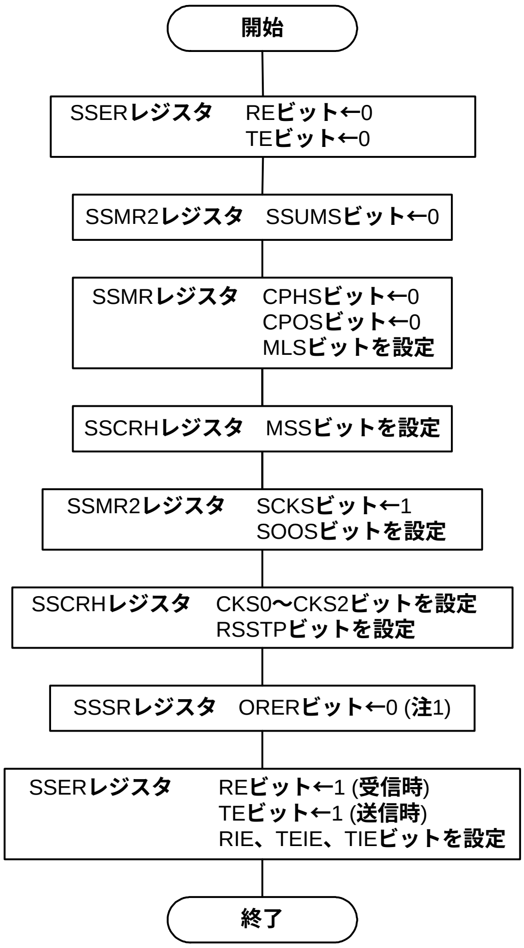
23.4 クロック同期式通信モード

23.4.1 クロック同期式通信モードの初期化

図23.4にクロック同期式通信モードの初期化を示します。データの送信/受信前に、SSERレジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にして初期化してください。

なお、通信モードの変更、通信フォーマットの変更などの場合には、TEビットを“0”、REビットを“0”にしてから変更してください。

REビットを“0”にしても、RDRF、ORERの各フラグ、およびSSRDRレジスタの内容は保持されます。



注1. ORERビットを“0”にするには、“1”を読んだ後、“0”を書いてください。

図23.4 クロック同期式通信モードの初期化

23.4.2　データ送信

図23.5にデータ送信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)を示します。データ送信時は以下のように動作します(SSBRレジスタでデータ転送長を8～16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを出力します。

TEビットを"1"(送信許可)にした後、SSTDRレジスタに送信データを書くと、自動的にTDREビットが"0"(SSTDRレジスタからSSTRSRレジスタにデータ転送されていない)になり、SSTDRレジスタからSSTRSRレジスタにデータが転送されます。その後、TDREビットが"1"(SSTDRレジスタからSSTRSRレジスタにデータ転送された)になり、送信を開始します。このとき、SSERレジスタのTIEビットが"1"の場合、TXI割り込み要求を発生します。

TDREビットが"0"の状態で1フレームの転送が終わると、SSTDRレジスタからSSTRSRレジスタにデータが転送され、次フレームの送信を開始します。TDREビットが"1"の状態で8ビット目が送出されると、SSSRレジスタのTENDビットが"1"(送信データの最後尾ビットの送信時、TDREビットが"1")になり、その状態を保持します。このときSSERレジスタのTEIEビットが"1"(送信終了割り込み要求許可)の場合、TEI割り込み要求を発生します。送信終了後、SSCK端子は"H"に固定されます。

なお、SSSRレジスタのORERビットが"1"(オーバランエラー発生)の状態では、送信できません。送信の前には、ORERビットが"0"であることを確認してください。

図23.6にデータ送信のフローチャート例(クロック同期式通信モード)を示します。

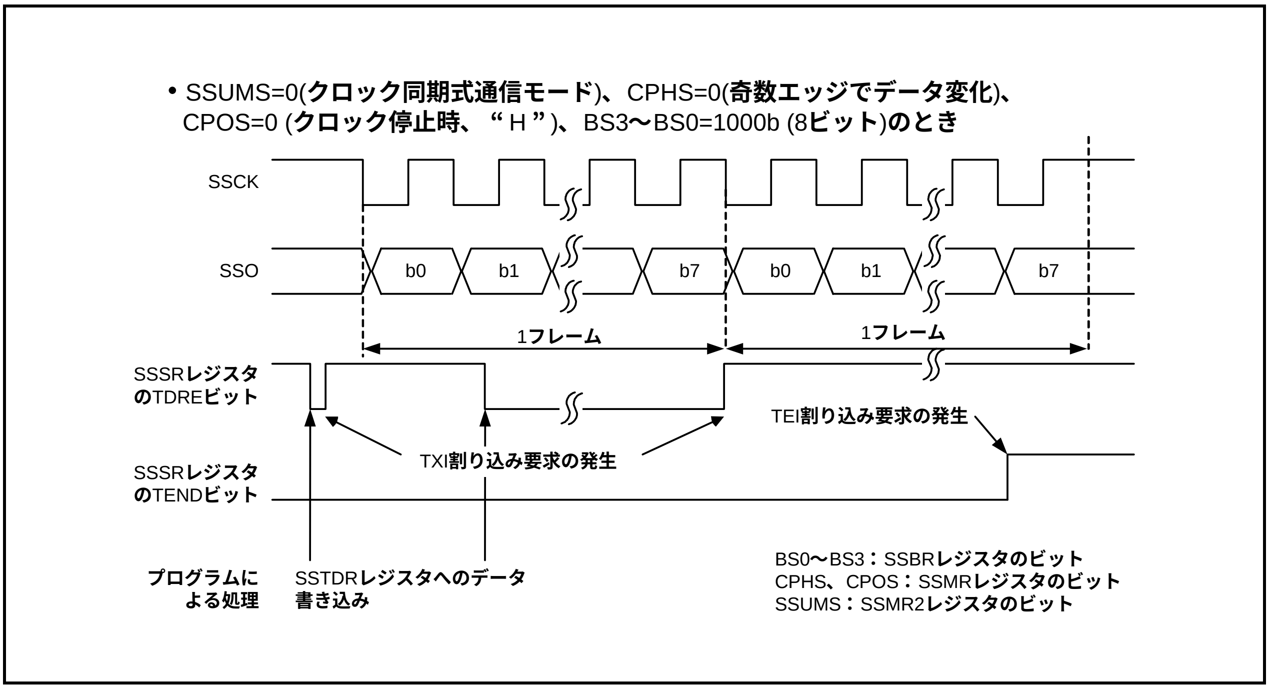
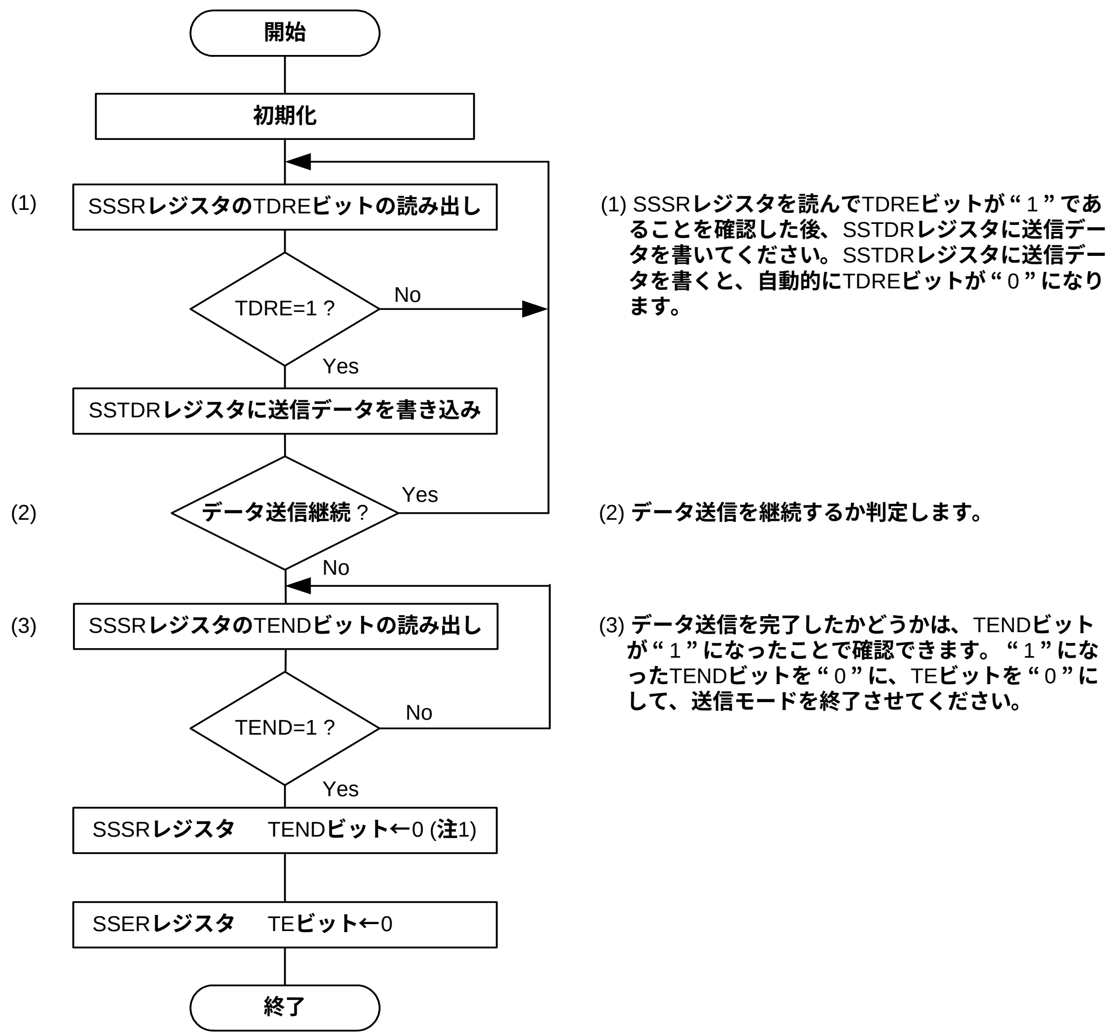


図23.5　データ送信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)



注1.　TENDビットを“0”にするには、“1”を読んだ後、“0”を書いてください。

図 23.6　データ送信のフローチャート例(クロック同期式通信モード)

23.4.3 データ受信

図23.7にデータ受信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)を示します。データ受信時は以下のように動作します(SSBRレジスタでデータ転送長を8～16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを入力します。

マスタデバイスに設定したときは、最初にSSRDRレジスタをダミーリードすることで受信クロックを出力し、受信を開始します。

8ビットのデータ受信後、SSSRレジスタのRDRFビットが“1”(SSRDRレジスタにデータあり)になり、SSRDRレジスタに受信データが格納されます。このとき、SSERレジスタのRIEビットが“1”(RXIおよびOEI割り込み要求許可)の場合、RXI割り込み要求を発生します。SSRDRレジスタを読むと、自動的にRDRFビットは“0”(SSRDRレジスタにデータなし)になります。

マスタデバイスに設定し受信を終了する場合には、SSCRHレジスタのRSSTPビットを“1”(1バイトのデータ受信後、受信動作が終了)にした後、受信したデータを読んでください。これにより、8ビット分クロックを出力し停止します。その後、SSERレジスタのREビットを“0”(受信禁止)に、RSSTPビットを“0”(1バイトのデータ受信後も受信動作を継続)にし、最後に受信したデータを読んでください。REビットが“1”(受信許可)の状態でSSRDRレジスタを読むと、受信クロックを再度出力してしまいます。

RDRFビットが“1”の状態で8クロック目が立ち上がると、SSSRレジスタのORERビットが“1”(オーバランエラー発生)になり、オーバランエラー(OEI)が発生し、停止します。なお、ORERビットが“1”の状態では受信できません。受信再開の前には、ORERビットが“0”であることを確認してください。

図23.8にデータ受信のフローチャート例(MSS=1)(クロック同期式通信モード)を示します。

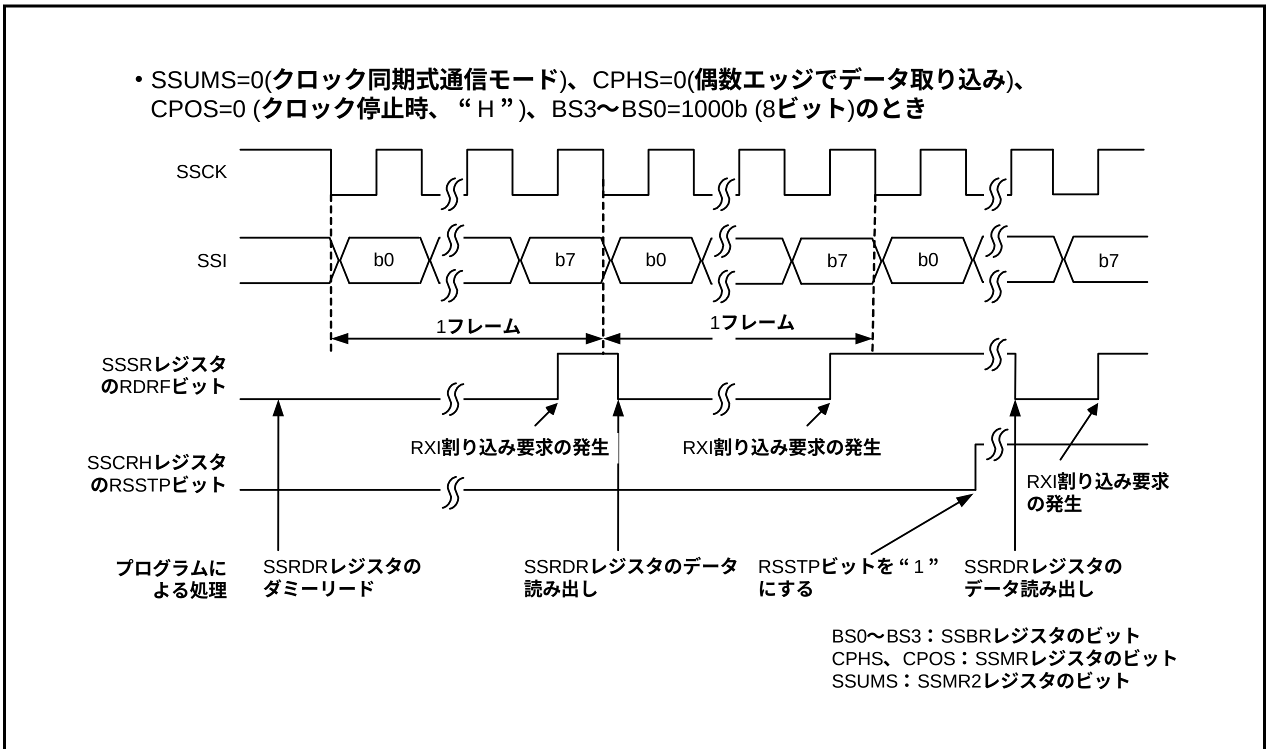
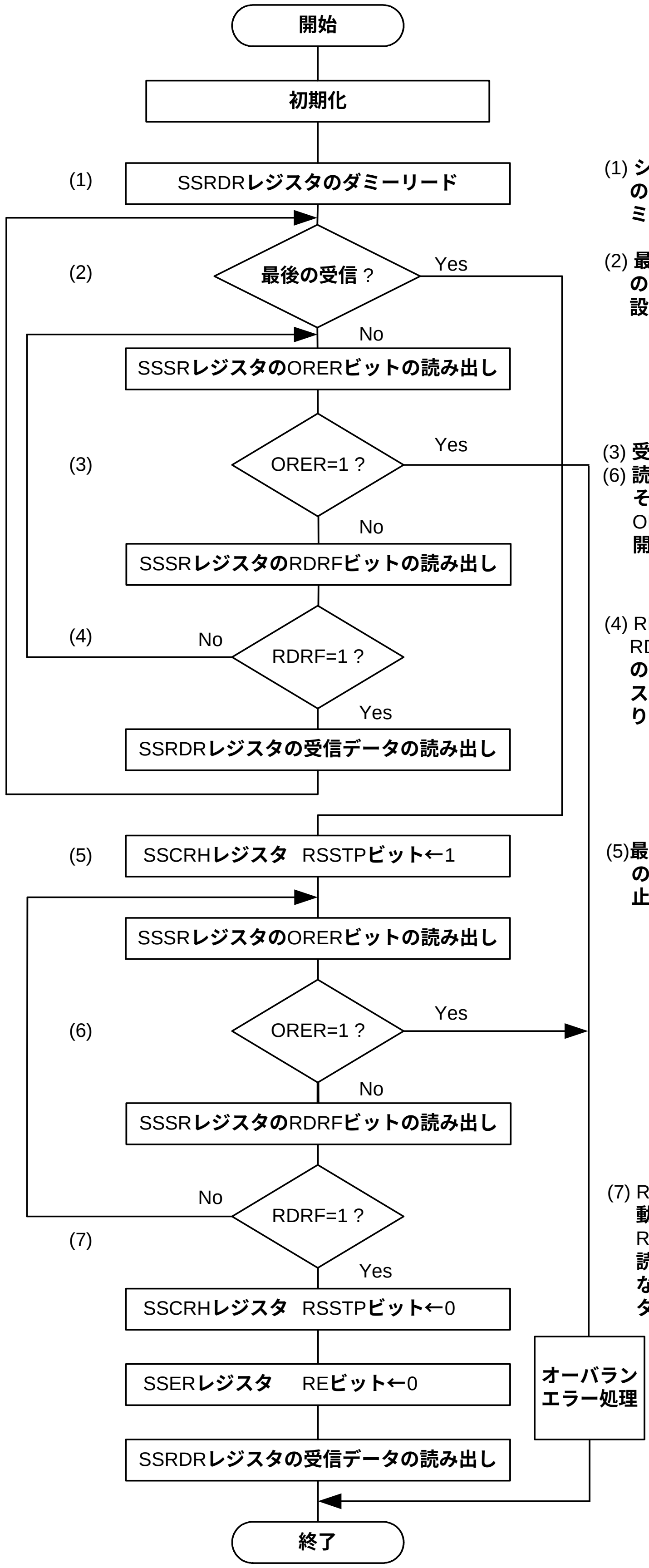


図23.7　データ受信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)



(1) シンクロナスシリアルコミュニケーションユニットの各レジスタを設定した後、SSRDRレジスタをダミーリードすると、受信動作が開始します。

(2) 最後の1バイトの受信になるかを判定します。最後の受信になる場合は、受信完了後に停止するように設定してください。

(3) 受信エラーが発生したときは、ORERビットを
(6) 読み出した後、エラー処理を実施してください。その後、ORERビットを“0”にしてください。ORERビットが“1”の状態では、送信／受信を再開できません。

(4) RDRFビットが“1”であることを確認します。RDRFビットが“1”であれば、SSRDRレジスタの受信データを読み出してください。SSRDRレジスタを読むと、自動的にRDRFビットが“0”になります。

(5)最後の1バイトを受信する前にSSCRHレジスタのRSSTPビットを“1”にして、受信完了後停止させます。

(7) RDRFビットが“1”であることを確認します。受信動作を終了するときは、RSSTPビットを“0”、REビットを“0”にしてから、最後の受信データを読み出してください。
なお、REビットを“0”にしないでSSRDRレジスタを読むと、受信動作が再び開始します。

図 23.8　データ受信のフローチャート例(MSS=1)(クロック同期式通信モード)

23.4.3.1　データ送受信

データ送受信は前述のデータ送信とデータ受信の複合的な動作になります。

SSTDRレジスタに送信データを書くと、送受信は開始されます。また、TDREビットが“1”(SSTDRレジスタからSSTRSRレジスタにデータ転送された)の状態で最終転送クロック(SSBRレジスタでデータ転送長を8～16ビットの範囲で、設定することができます)が立ち上がった場合、またはORERビットが“1”(オーバランエラー発生)になった場合、送受信動作は停止します。

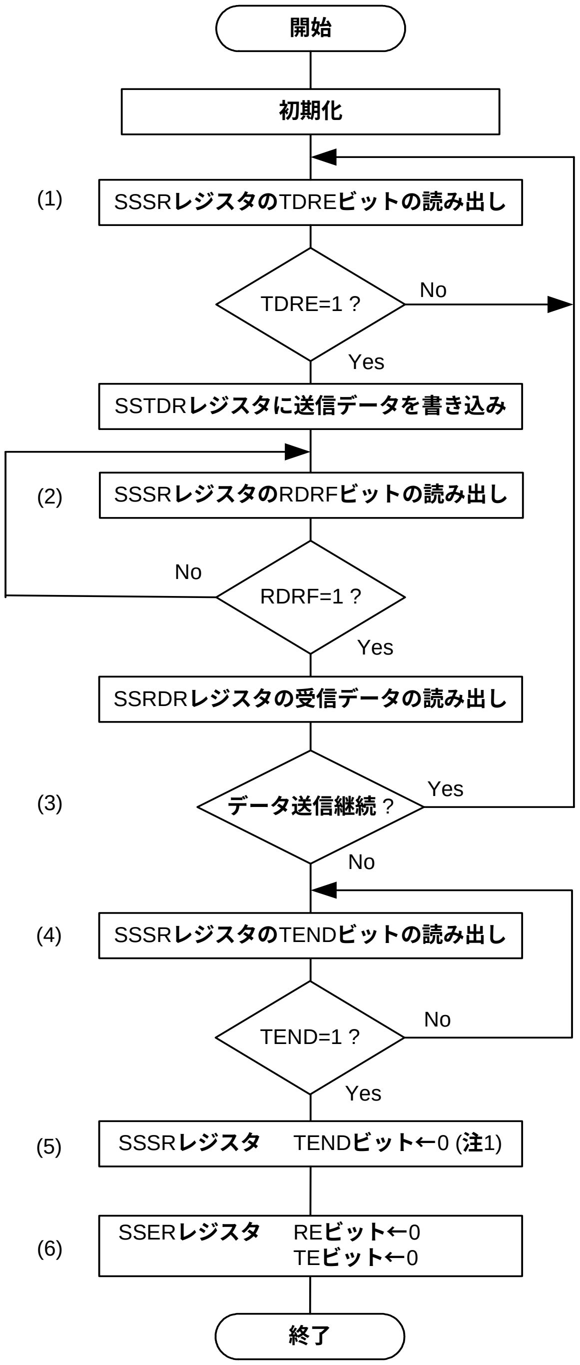
なお、送信モード(TE=1)あるいは受信モード(RE=1)から、送受信モード(TE=RE=1)に切り替える場合は、一度TEビットを“0”、REビットを“0”にしてから変更してください。また、TENDビットが“0”(送信データの最後尾ビットの送信時、TDREビットが“0”)、RDRFビットが“0”(SSRDRレジスタにデータなし)、ORERビットが“0”(オーバランエラーなし)であることを確認した後、TEおよびREビットを“1”にしてください。

図23.9にデータ送受信のフローチャート例(クロック同期式通信モード)を示します。

なお、送受信モード(TE=RE=1)から送受信モードを解除する場合、SSRDRレジスタを読んだ後、送受信モードを解除すると、クロックが出力される場合があります。これを回避するため、次のいずれかの手順で設定してください。

- まずREビットを“0”にして、その後、TEビットを“0”にする
- TEビットとREビットを同時に“0”にする

その後、受信モード(TE=0、RE=1)にする場合は、SRESビットに“1”を書いた後、“0”にしてSSU制御部およびSSTRSRレジスタを初期化してから、REビットを“1”にしてください。



(1) SSSRレジスタを読んでTDREビットが“1”であることを確認した後、SSTDRレジスタに送信データを書いてください。SSTDRレジスタに送信データを書くと、自動的にTDREビットが“0”になります。

(2) RDRFビットが“1”であることを確認します。RDRFビットが“1”であれば、SSRDRレジスタの受信データを読み出してください。SSRDRレジスタを読むと、自動的にRDRFビットが“0”になります。

(3) データ送信を継続するか判定します。

(4) データ送信の完了は、SSSRレジスタのTENDビットが“1”になったことで確認できます。

(5) TENDビットを“0”に、
(6) SSERレジスタのRE、TEビットを“0”にして、送受信モードを終了させてください。

注1.　TENDビットを“0”にするには、“1”を読んだ後、“0”を書いてください。

図 23.9　データ送受信のフローチャート例(クロック同期式通信モード)

23.5 4線式バス通信モード

4線式バス通信モードは、クロックライン、データ入力ライン、データ出力ライン、チップセレクトラインの4本のバスを使用して通信するモードです。このモードにはデータ入力ラインとデータ出力ラインを1端子で行う双方向モードも含みます。

データ入力ラインとデータ出力ラインは、SSCRHレジスタのMSSビットおよびSSMR2レジスタのBIDEビットの設定により、変わります。詳細は「23.3.2.1 データ入出力端子とSSシフトレジスタの関係」を参照してください。また、このモードではクロックの極性、位相とデータの関係をSSMRレジスタのCPOSビットおよびCPHSビットにより、設定できます。詳細は「23.3.1.1 転送クロックの極性、位相とデータの関係」を参照してください。

チップセレクトラインは、マスタデバイスの場合は出力制御、スレーブデバイスの場合は入力制御します。マスタデバイスの場合はSSMR2レジスタのCSS1ビットを“1”にして$\overline{\mathrm{SCS}}$端子を出力制御するか、あるいは汎用ポートを出力制御することができます。スレーブデバイスの場合はSSMR2レジスタのCSS1、CSS0ビットを“01b”にして$\overline{\mathrm{SCS}}$端子を入力として機能させます。

4線式バス通信モードでは、標準的にSSMRレジスタのMLSビットを“0”にして、MSBファーストで通信を行います。

23.5.1 4線式バス通信モードの初期化

図23.10に4線式バス通信モードの初期化を示します。データの送信/受信前に、SSERレジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)して初期化してください。

なお、通信モードの変更、通信フォーマットの変更などの場合には、TEビットを“0”、REビットを“0”にしてから変更してください。

REビットを“0”にしても、RDRF、ORERの各フラグ、およびSSRDRレジスタの内容は保持されます。

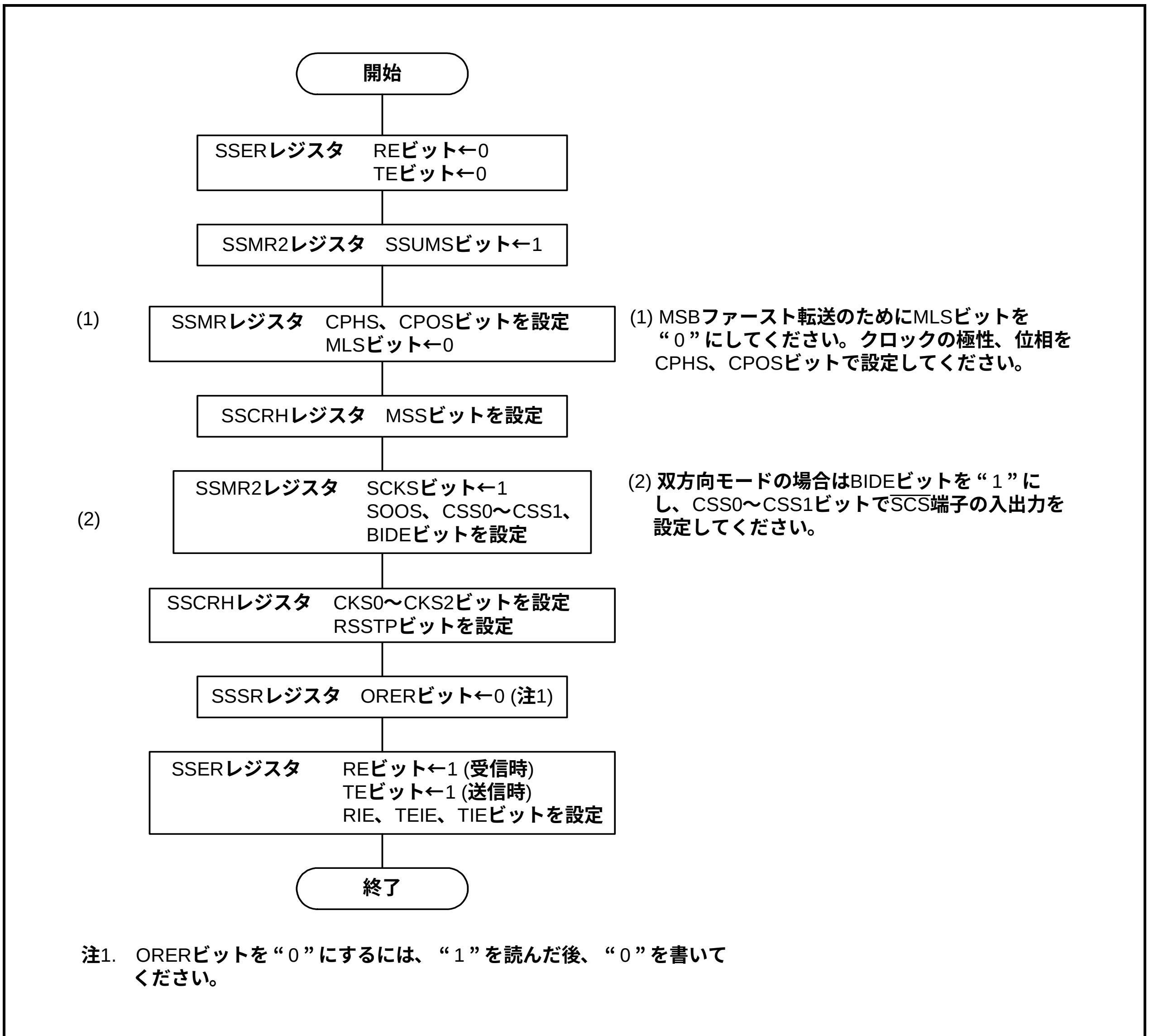


図23.10 4線式バス通信モードの初期化

23.5.2 データ送信

図23.11にデータ送信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)を示します。データ送信時は以下のように動作します(SSBRレジスタでデータ転送長を8～16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、$\overline{\mathrm{SCS}}$端子が"L"入力状態で入力クロックに同期してデータを出力します。

TEビットを"1"(送信許可)にした後、SSTDRレジスタに送信データを書くと、自動的にTDREビットが"0"(SSTDRレジスタからSSTRSRレジスタにデータ転送されていない)になり、SSTDRレジスタからSSTRSRレジスタにデータが転送されます。その後、TDREビットが"1"(SSTDRレジスタからSSTRSRレジスタにデータ転送された)になり、送信を開始します。このとき、SSERレジスタのTIEビットが"1"の場合、TXI割り込み要求を発生します。

TDREビットが"0"の状態で1フレームの転送が終わると、SSTDRレジスタからSSTRSRレジスタにデータが転送され、次フレームの送信を開始します。TDREが"1"の状態で8ビット目が送出されると、SSSRレジスタのTENDビットが"1"(送信データの最後尾ビットの送信時、TDREビットが"1")になり、その状態を保持します。このときSSERレジスタのTEIEビットが"1"(送信終了割り込み要求許可)の場合、TEI割り込み要求を発生します。送信終了後、SSCK端子は"H"に固定され、$\overline{\mathrm{SCS}}$端子は"H"になります。$\overline{\mathrm{SCS}}$端子が"L"のまま連続的に送信する場合、8ビット目が送出される前に次の送信データをSSTDRレジスタに書いてください。

なお、SSSRレジスタのORERビットが"1"(オーバランエラー発生)の状態では、送信できません。送信の前には、ORERビットが"0"であることを確認してください。

クロック同期式通信モードとの違いは、マスタデバイス時に$\overline{\mathrm{SCS}}$端子がハイインピーダンス状態では、SSO端子がハイインピーダンス状態となり、スレーブデバイス時に$\overline{\mathrm{SCS}}$端子が"H"入力状態では、SSI端子がハイインピーダンス状態となることです。

フローチャート例はクロック同期式通信モードと同じです(「図23.6　データ送信のフローチャート例(クロック同期式通信モード)」参照)。

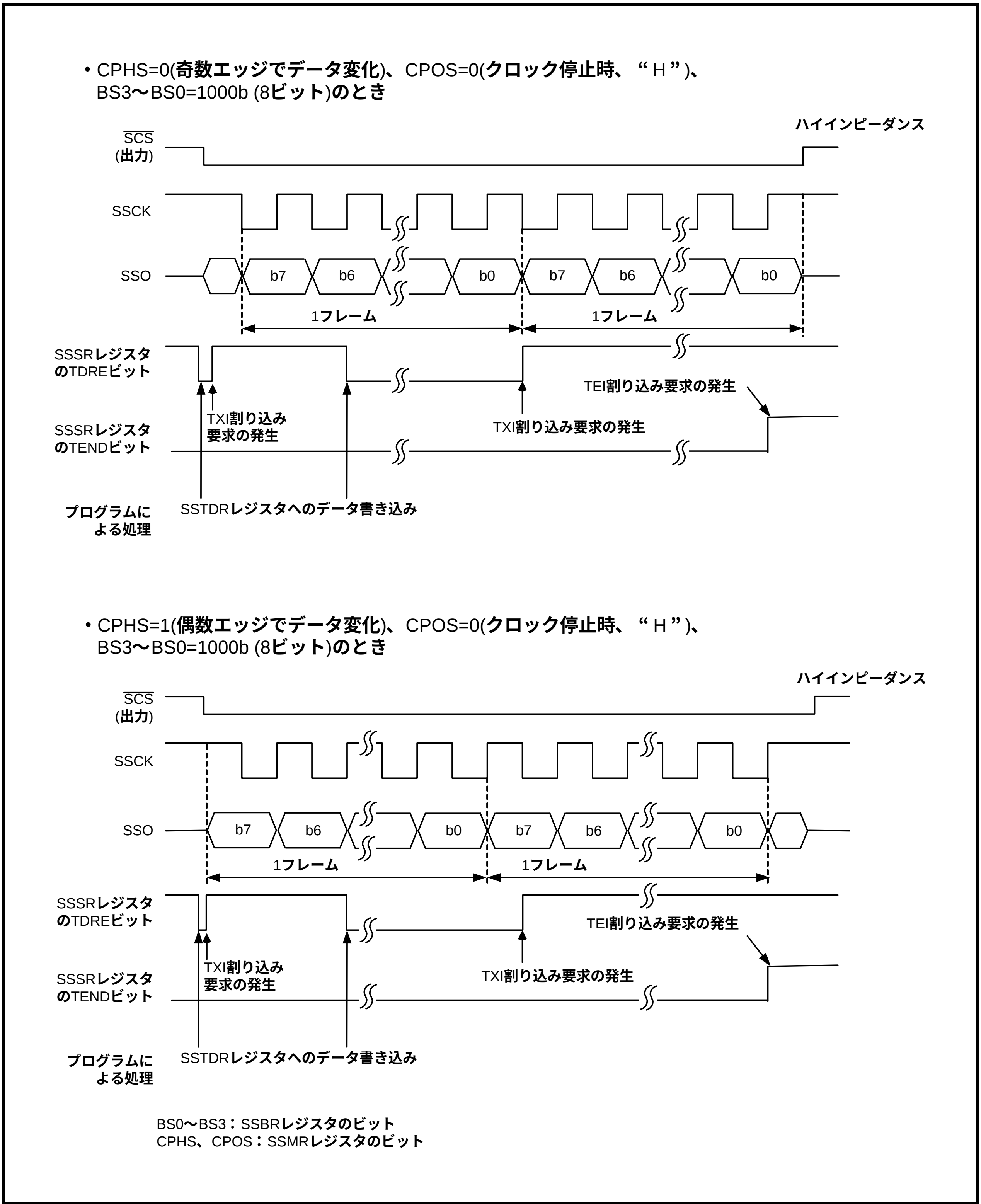


図 23.11 データ送信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)

23.5.3 データ受信

図23.12にデータ受信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)を示します。データ受信時は以下のように動作します(SSBRレジスタでデータ転送長を8〜16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、$\overline{\text{SCS}}$端子が“L”入力状態で入力クロックに同期してデータを入力します。

マスタデバイスに設定したときは、最初にSSRDRレジスタをダミーリードすることで受信クロックを出力し、受信を開始します。

8ビットのデータ受信後、SSSRレジスタのRDRFビットが“1”(SSRDRレジスタにデータあり)になり、SSRDRレジスタに受信データが格納されます。このとき、SSERレジスタのRIEビットが“1”(RXIおよびOEI割り込み要求許可)の場合、RXI割り込み要求を発生します。SSRDRレジスタを読むと、自動的にRDRFビットは“0”(SSRDRレジスタにデータなし)になります。

マスタデバイスに設定し受信を終了する場合には、SSCRHレジスタのRSSTPビットを“1”(1バイトのデータ受信後、受信動作が終了)にした後、受信したデータを読んでください。これにより、8ビット分クロックを出力し停止します。その後、SSERレジスタのREビットを“0”(受信禁止)に、RSSTPビットを“0”(1バイトのデータ受信後も受信動作を継続)にし、最後に受信したデータを読んでください。REビットが“1”(受信許可)状態でSSRDRレジスタを読むと、受信クロックを再度出力してしまいます。

RDRFビットが“1”の状態で8クロック目が立ち上がると、SSSRレジスタのORERビットが“1”(オーバランエラー発生)になり、オーバランエラー(OEI)が発生し、停止します。なお、ORERビットが“1”の状態では受信できません、受信再開の前には、ORERビットが“0”であることを確認してください。

RDRFビット、ORERビットが“1”になるタイミングは、SSMRレジスタのCPHSビットの設定により異なります。このタイミングを図23.12に示します。CPHSビットを“1”(奇数エッジでデータ取り込み)にした場合、フレームの途中でビットが“1”になるので、受信終了時には注意してください。

フローチャート例はクロック同期式通信モードと同じです(「図23.8　データ受信のフローチャート例(MSS=1)(クロック同期式通信モード)」参照)。

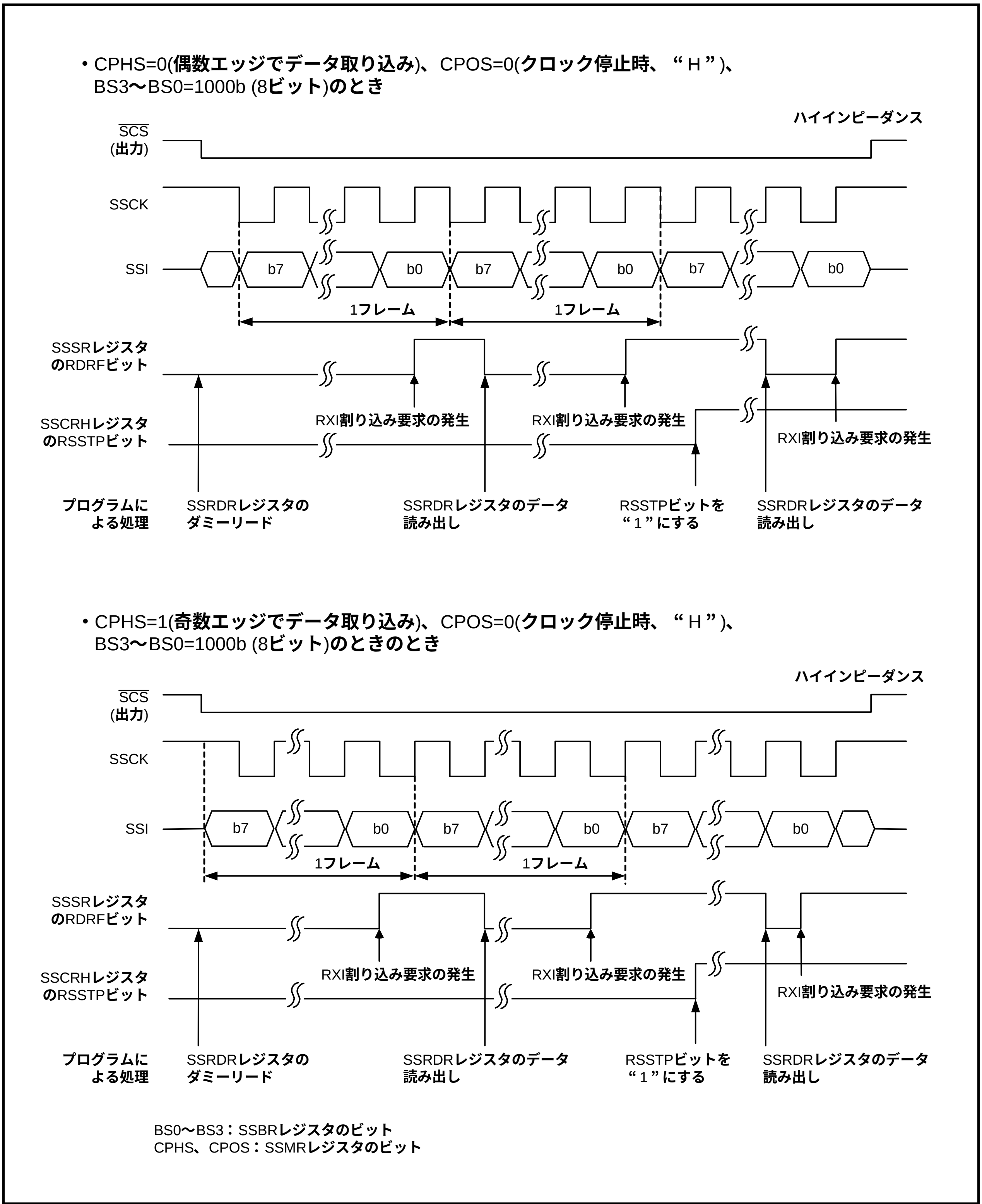


図 23.12 データ受信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)

23.5.4 $\overline{\text{SCS}}$端子制御とアービトレーション

SSMR2レジスタのSSUMSビットを“1”(4線式バス通信モード)、CSS1ビットを“1”($\overline{\text{SCS}}$出力端子として機能)にした場合には、SSCRHレジスタのMSSビットを“1”(マスタデバイスとして動作)にしてからシリアル転送を開始する前に、$\overline{\text{SCS}}$端子のアービトレーションをチェックします。この期間に同期化した内部$\overline{\text{SCS}}$信号が“L”になったことを検出すると、SSSRレジスタのCEビットが“1”(コンフリクトエラー発生)になり、自動的にMSSビットが“0”(スレーブデバイスとして動作)になります。
図23.13にアービトレーションチェックタイミングを示します。

なお、CEビットが“1”の状態では、以後の送信動作ができません。したがって、送信をスタートする前に、CEビットを“0”(コンフリクトエラーなし)にしてください。

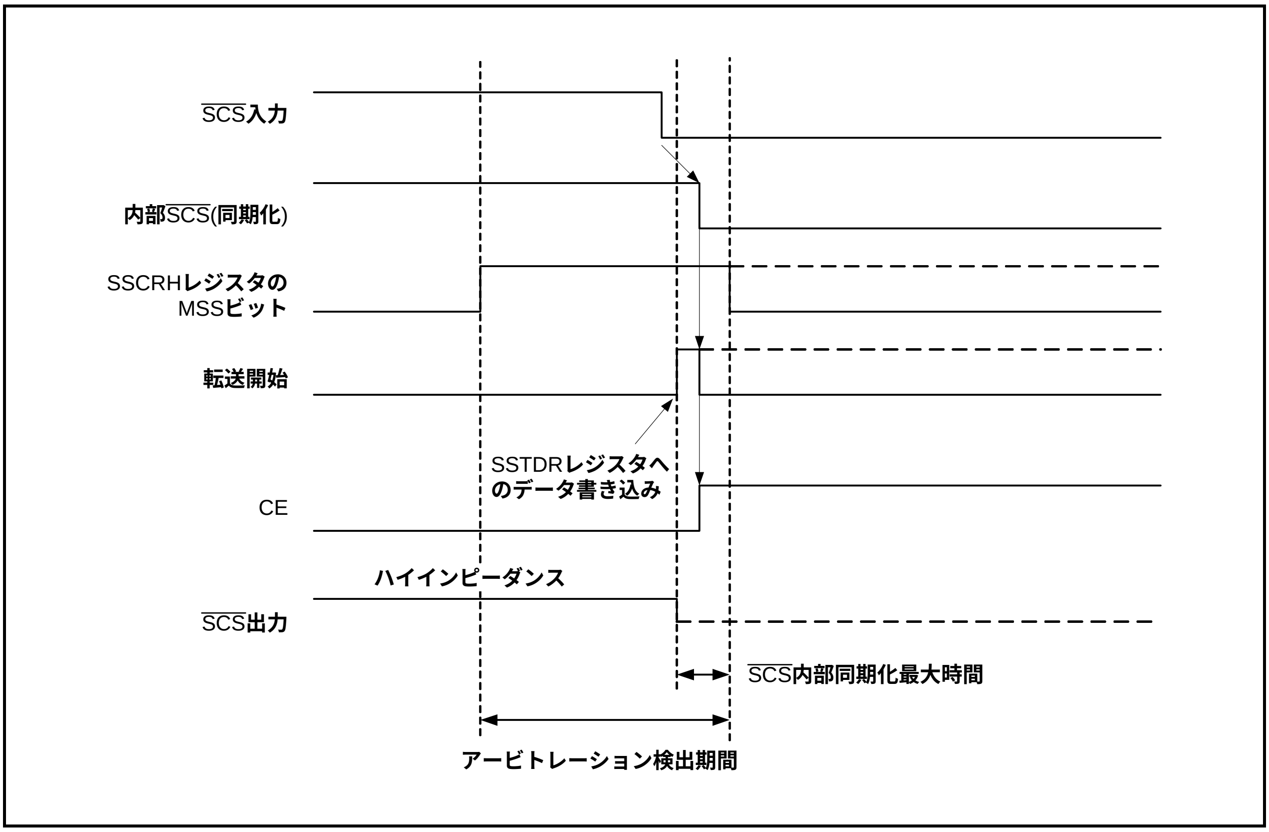


図 23.13 アービトレーションチェックタイミング

24. ハードウェアLIN

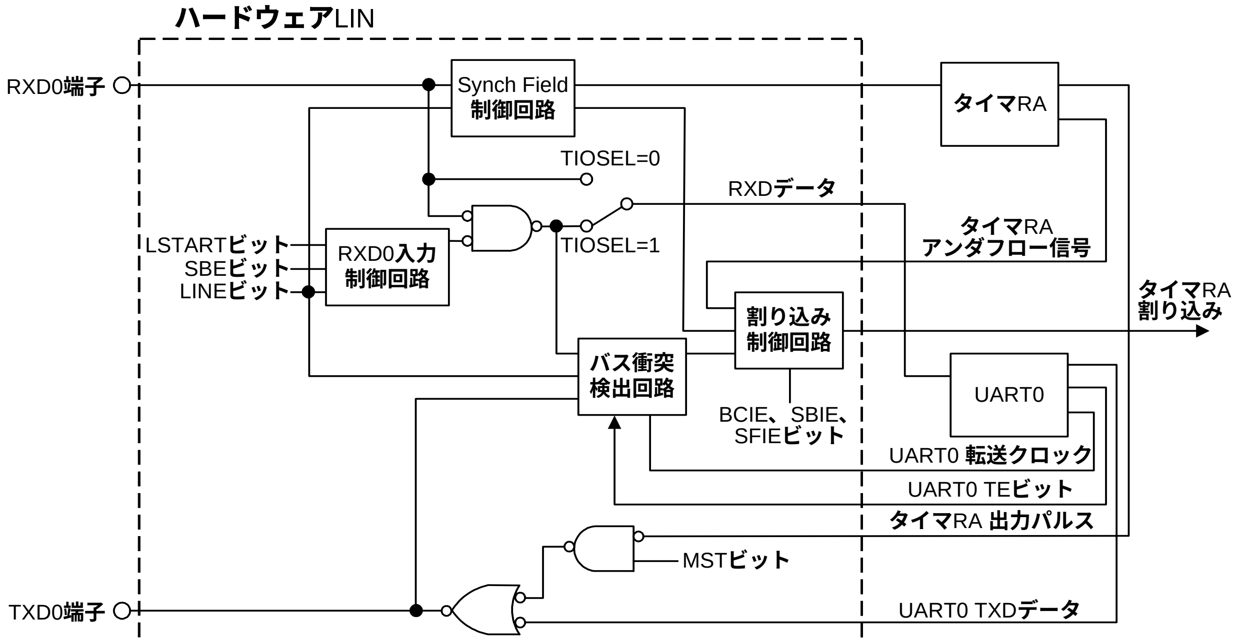
ハードウェアLINは、タイマRAおよびUART0と連携し、LIN通信を行うものです。

24.1 概要

ハードウェアLINには、以下の特長があります。
図24.1にハードウェアLINのブロック図を示します。
各モードでのWake Up機能は$\overline{\mathrm{INT1}}$より検出します。

【マスタモード】
- Synch Break発生
- バス衝突検出

【スレーブモード】
- Synch Break検出
- Synch Field計測
- Synch BreakおよびSynch Field信号のUART0入力制御機能
- バス衝突検出



LINE、MST、SBE、LSTART、BCIE、SBIE、SFIE: LINCRレジスタのビット
TIOSEL: TRAIOCレジスタのビット
TE: U0C1レジスタのビット

図24.1　ハードウェアLINのブロック図

24.2 入出力端子

表24.1にハードウェアLINの端子構成を示します。

表24.1 ハードウェアLINの端子構成

名称	端子名	割り当てる端子	入出力	機能
レシーブデータ入力	RXD0	P1_5(注1)	入力	ハードウェアLINの受信データ入力端子
トランスミットデータ出力	TXD0	P1_4(注2)	出力	ハードウェアLINの送信データ出力端子

注1. ハードウェアLINを使用するときは、表7.10を参照してください

注2. ハードウェアLINを使用するときは、U0SRレジスタのTXD0SEL0ビットを“1”にしてください。

24.3 レジスタの説明

ハードウェアLINには以下のレジスタがあります。

- LINコントロールレジスタ2(LINCR2)
- LINコントロールレジスタ(LINCR)
- LINステータスレジスタ(LINST)

24.3.1 LINコントロールレジスタ2(LINCR2)

アドレス 0105h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	BCE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BCE	Synch Break送信時、バス衝突検出有効ビット	0：バス衝突検出禁止 1：バス衝突検出有効	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	—			
b3	—			
b4	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b5	—			
b6	—			
b7	—			

24.3.2 LINコントロールレジスタ(LINCR)

アドレス 0106h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LINE	MST	SBE	LSTART	RXDSF	BCIE	SBIE	SFIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SFIE	Synch Field計測完了割り込み許可ビット	0：Synch Field計測完了割り込み禁止 1：Synch Field計測完了割り込み許可	R/W
b1	SBIE	Synch Break検出割り込み許可ビット	0：Synch Break検出割り込み禁止 1：Synch Break検出割り込み許可	R/W
b2	BCIE	バス衝突検出割り込み許可ビット	0：バス衝突検出割り込み禁止 1：バス衝突検出割り込み許可	R/W
b3	RXDSF	RXD0入力ステータスフラグ	0：RXD0入力許可状態 1：RXD0入力禁止状態	R
b4	LSTART	Synch Break検出開始ビット(注1)	“1”を書くとタイマRA入力許可、RXD0入力禁止になります。読んだ場合、その値は“0”。	R/W
b5	SBE	RXD0入力マスク解除タイミングセレクトビット (スレーブモードのみ有効)	0：Synch Break検出後に解除 1：Synch Field計測完了後に解除	R/W
b6	MST	LIN動作モード設定ビット(注2)	0：スレーブモード (Synch Break検出回路動作) 1：マスタモード (タイマRAの出力をTXD0とORする)	R/W
b7	LINE	LIN動作開始ビット	0：LINは動作停止 1：LINは動作開始(注3)	R/W

注1. LSTARTビット設定後、RXDSFフラグが“1”になる事を確認してからSynch Breakを入力開始してください。
注2. LIN動作モードを切り替える場合は、一度、LIN動作を停止(LINEビット=0)してください。
注3. LINEビットを“1”(LINは動作開始)にした直後は、タイマRAおよびUART0への入力は禁止です。(図24.3 ヘッダフィールド送信フローチャート例(1)および図24.7 ヘッダフィールド受信フローチャート例(2)を参照してください。)

24.3.3 LINステータスレジスタ(LINST)

アドレス 0107h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	B2CLR	B1CLR	B0CLR	BCDCT	SBDCT	SFDCT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SFDCT	Synch Field計測完了フラグ	“1”のときSynch Field計測完了	R
b1	SBDCT	Synch Break検出フラグ	“1”のときSynch Break検出、またはSynch Break発生完了	R
b2	BCDCT	バス衝突検出フラグ	“1”のときバス衝突検出	R
b3	B0CLR	SFDCTフラグクリアビット	“1”を書くとSFDCTビットを“0”にします。読んだ場合、その値は“0”。	R/W
b4	B1CLR	SBDCTフラグクリアビット	“1”を書くとSBDCTビットを“0”にします。読んだ場合、その値は“0”。	R/W
b5	B2CLR	BCDCTフラグクリアビット	“1”を書くとBCDCTビットを“0”にします。読んだ場合、その値は“0”。	R/W
b6	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b7	—			

24.4 動作説明

24.4.1 マスタモード

図24.2にマスタモードでの、ヘッダフィールドの送信時の動作例を、図24.3〜図24.4にヘッダフィールドの送信を行うためのフローチャート例を示します。

ハードウェアLINは、ヘッダフィールド送信時、以下のように動作します。

(1) タイマRAのTRACRレジスタのTSTARTビットに“1”を書き込むと、タイマRAのTRAPRE、TRAレジスタに設定された期間、TXD0端子から“L”レベルを出力します。
(2) タイマRAがアンダフローすると、TXD0端子の出力を反転し、LINSTレジスタのSBDCTフラグが“1”にセットされます。また、LINCRレジスタのSBIEビットを“1”に設定している場合は、タイマRA割り込みが発生します。
(3) UART0により、“ 55h ” を送信します。
(4) UART0により、“ 55h ” の送信が完了後、IDフィールドを送信します。
(5) IDフィールドの送信完了後、レスポンスフィールドの通信を行います。

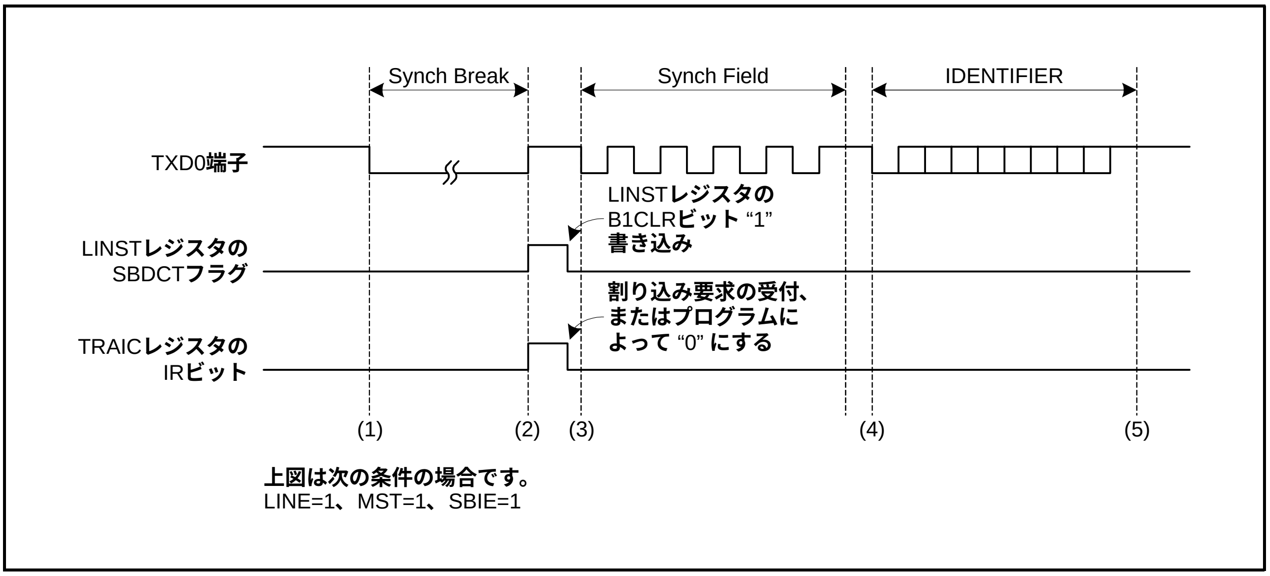


図24.2 ヘッダフィールドの送信時の動作例

タイマRA　タイマモードに設定　(注1、2)
TRAMRレジスタTMOD2～TMOD0ビット←000b

↓

タイマRA　パルス出力レベルを“L”からスタートに設定　(注1、2)
TRAIOCレジスタTEDGSELビット←1

↓

タイマRA　TRAIO端子をP1_5に割り当てる　(注1、2)
TRASRレジスタTRAIOSEL1～TRAIOSEL0ビット←10b
UART0　RXD0端子をP1_5に割り当てる
U0SRレジスタRXD0SEL0ビット←1
$\overline{\text{INT1}}$　$\overline{\text{INT1}}$端子をP1_5に割り当てる
INTSRレジスタINT1SEL0ビット←1

ハードウェアLIN機能選択(TRAIOCレジスタのTIOSELビットを“1”)に設定してください。
ウェイクアップ機能が不要の場合、$\overline{\text{INT1}}$端子の設定は省略できます。

↓

タイマRA　カウントソースを設定(f1、f2、f8、fOCO)
TRAMRレジスタTCK0～TCK2ビット

↓

タイマRA　Synch Breakの幅を設定
TRAPREレジスタ
TRAレジスタ

Synch Breakの期間に適した、カウントソースとTRAレジスタ、TRAPREレジスタを設定してください。

↓

UART0　送受信モードを設定　(注1)
(転送データ長8ビット、内部クロック、1ストップビット、パリティ禁止)
U0MRレジスタ

↓

UART0　BRGカウントソースを設定(f1、f8、f32)　(注1)
U0C0レジスタCLK0～CLK1ビット

↓

UART0　ビットレートを設定　(注1)
U0BRGレジスタ

使用するビットレートに適したBRGカウントソースとU0BRGレジスタを設定してください。

↓

ハードウェアLIN　LIN動作停止に設定　(注1)
LINCRレジスタLINEビット←0

↓

ハードウェアLIN　マスタモードに設定　(注1)
LINCRレジスタMSTビット←1

↓

ハードウェアLIN　バス衝突検出有効に設定　(注1)
LINCR2レジスタBCEビット←1

↓

ハードウェアLIN　LIN動作開始に設定
LINCRレジスタLINEビット←1

↓

ハードウェアLIN　割り込み許可を設定　(注1)
(バス衝突検出、Synch Break検出、Synch Field計測)
LINCRレジスタBCIE、SBIE、SFIEビット

↓

ハードウェアLIN　ステータスフラグをクリア
(バス衝突検出、Synch Break検出、Synch Field計測)
LINSTレジスタB2CLR、B1CLR、B0CLRビット←1

マスタモードの場合、Synch Field計測完了割り込みは使用できません。

↓

A

注1.　前回の通信が正常終了し、かつ同一設定にて再度ヘッダフィールド送信を行う場合には、これらの設定を省略できます。
注2.　TRASRレジスタの設定よりも先にタイマ関連レジスタ(TRAMRレジスタおよびTRAIOCレジスタ)を設定していますが、ハードウェアLINではこのフローで問題はありません。

図24.3　ヘッダフィールド送信フローチャート例(1)

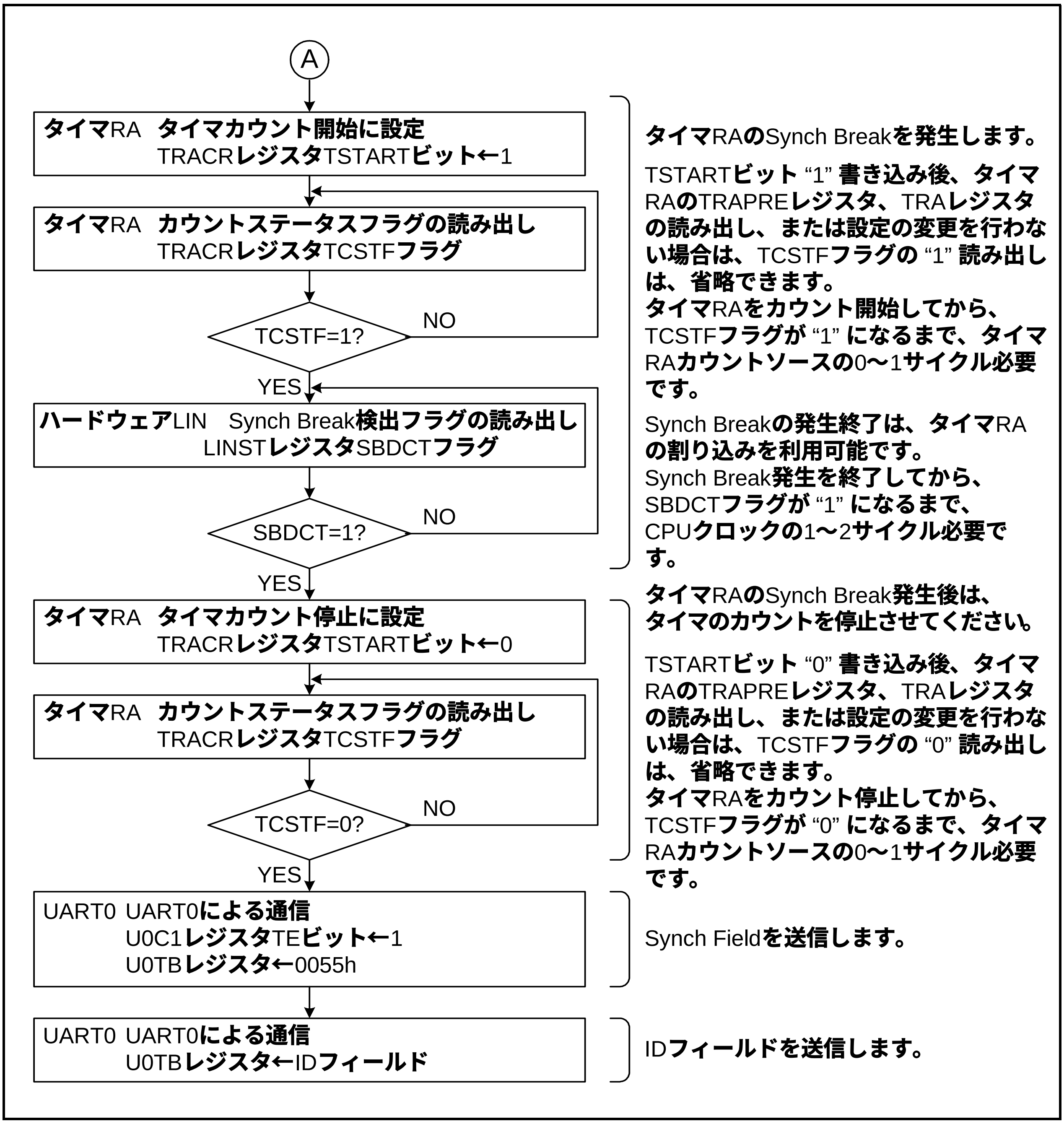


図24.4　ヘッダフィールド送信フローチャート例(2)

24.4.2 スレーブモード

図24.5にスレーブモードでの、ヘッダフィールドの受信時の動作例を、図24.6～図24.8にヘッダフィールドの受信を行うためのフローチャート例を示します。

ハードウェアLINは、ヘッダフィールド受信時、以下のように動作します。

(1) ハードウェアLINのLINCRレジスタのLSTARTビットに“1”を書き込むと、Synch Break検出が可能になります。
(2) タイマRAに設定した期間以上の“L”レベルが入力されるとSynch Breakとして検出します。このとき、LINSTレジスタのSBDCTフラグが“1”にセットされます。また、LINCRレジスタのSBIEビットを“1”に設定している場合は、タイマRA割り込みが発生します。そして、Synch Field計測に遷移します。
(3) Synch Field(55h)を受信します。この時、タイマRAにより、スタートビットおよび0～6ビットまでの期間を測定します。このとき、Synch Fieldの信号をUART0のRXD0に入力するか禁止にするかをLINCRのSBEビットにより選択できます。
(4) Synch Field計測が完了するとLINSTレジスタのSFDCTフラグが“1”にセットされます。また、LINCRレジスタのSFIEビットを“1”に設定している場合は、タイマRA割り込みが発生します。
(5) Synch Field計測完了後、タイマRAのカウント値から転送速度を算出し、UART0に設定およびタイマRAのTRAPREレジスタとTRAレジスタを再設定します。そして、UART0により、IDフィールドを受信します。
(6) IDフィールドの受信完了後、レスポンスフィールドの通信を行います。

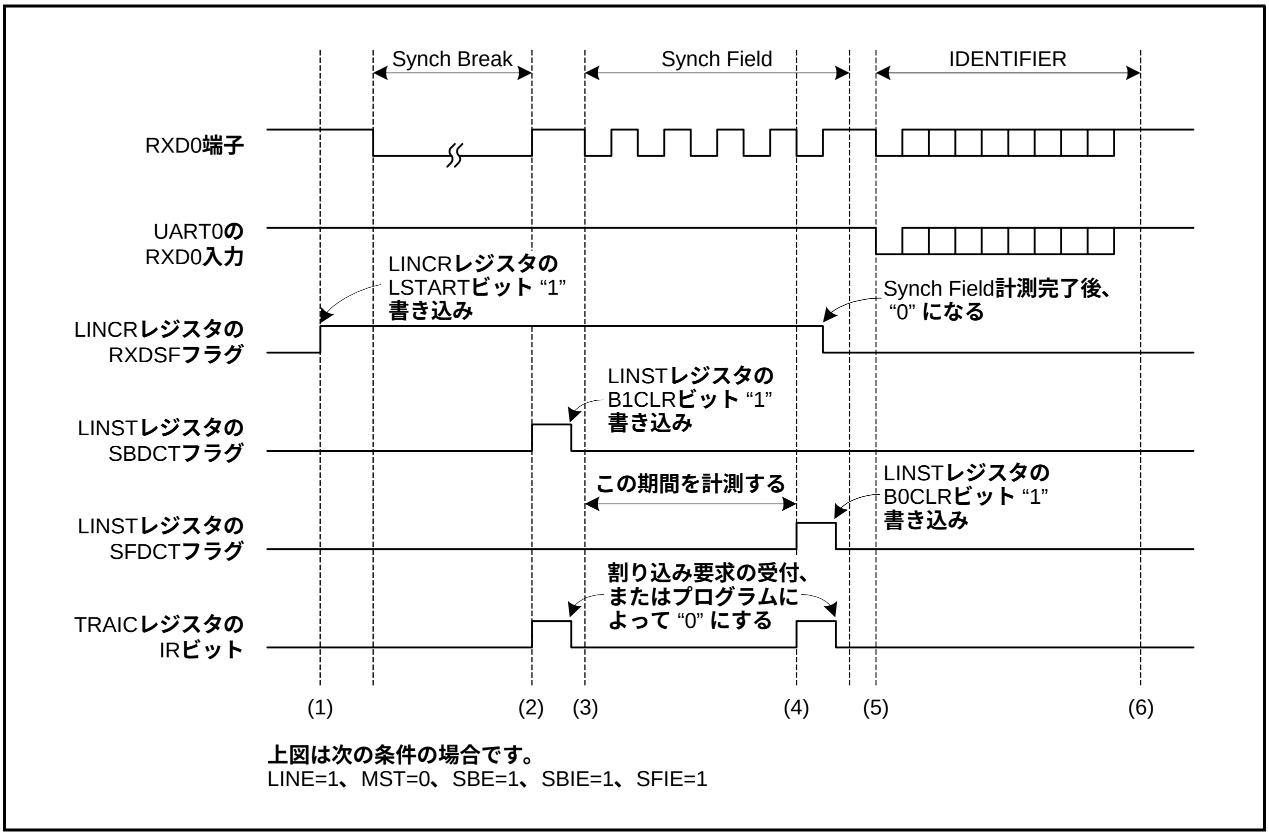
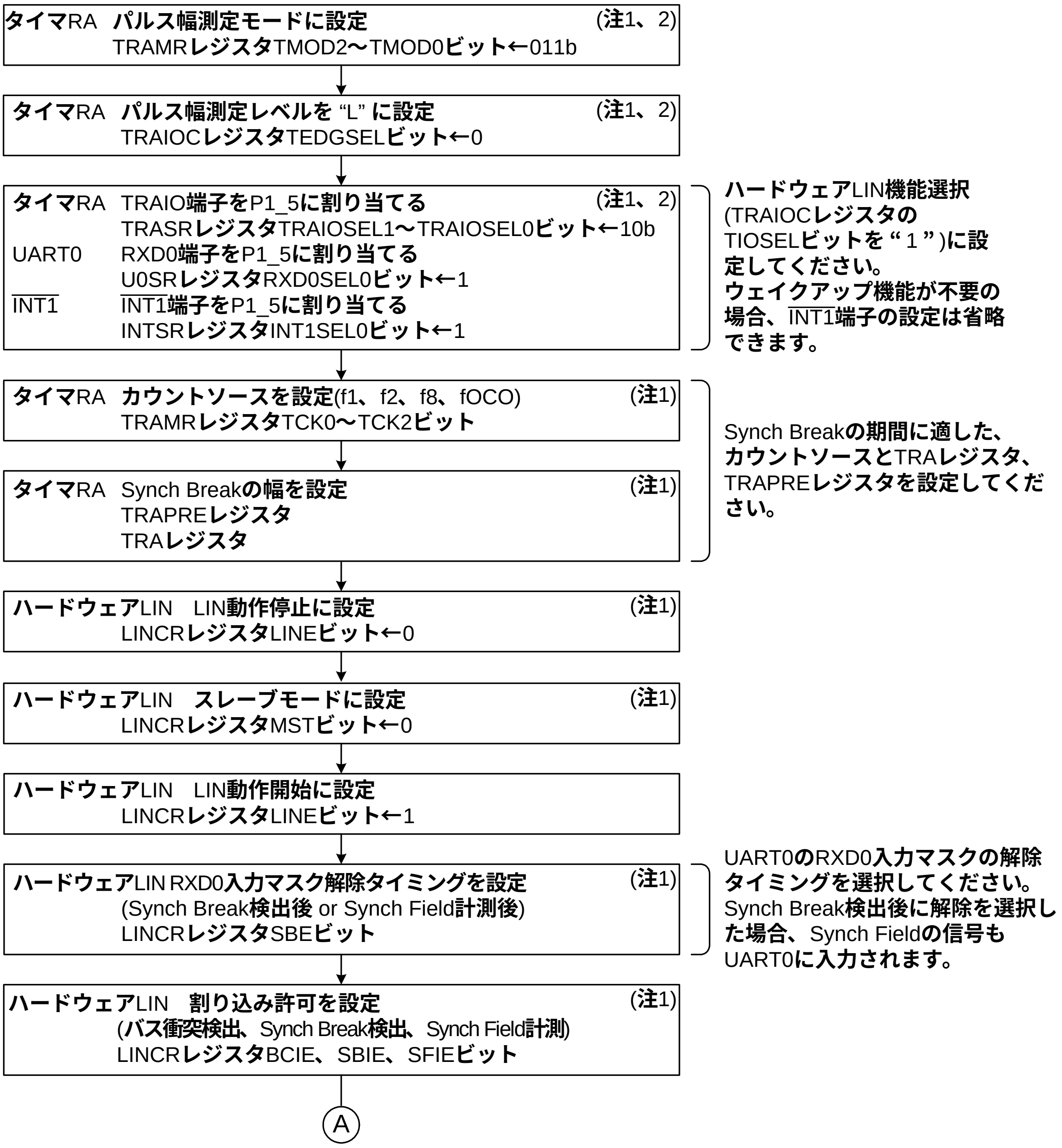


図24.5　ヘッダフィールドの受信時の動作例



注1. 前回の通信が正常終了し、かつ同一設定にて再度ヘッダフィールド受信を行う場合には、これらの設定を省略できます。

注2. TRASRレジスタの設定よりも先にタイマ関連レジスタ(TRAMRレジスタおよびTRAIOCレジスタ) を設定していますが、ハードウェアLIN ではこのフローで問題はありません。

図24.6　ヘッダフィールド受信フローチャート例(1)

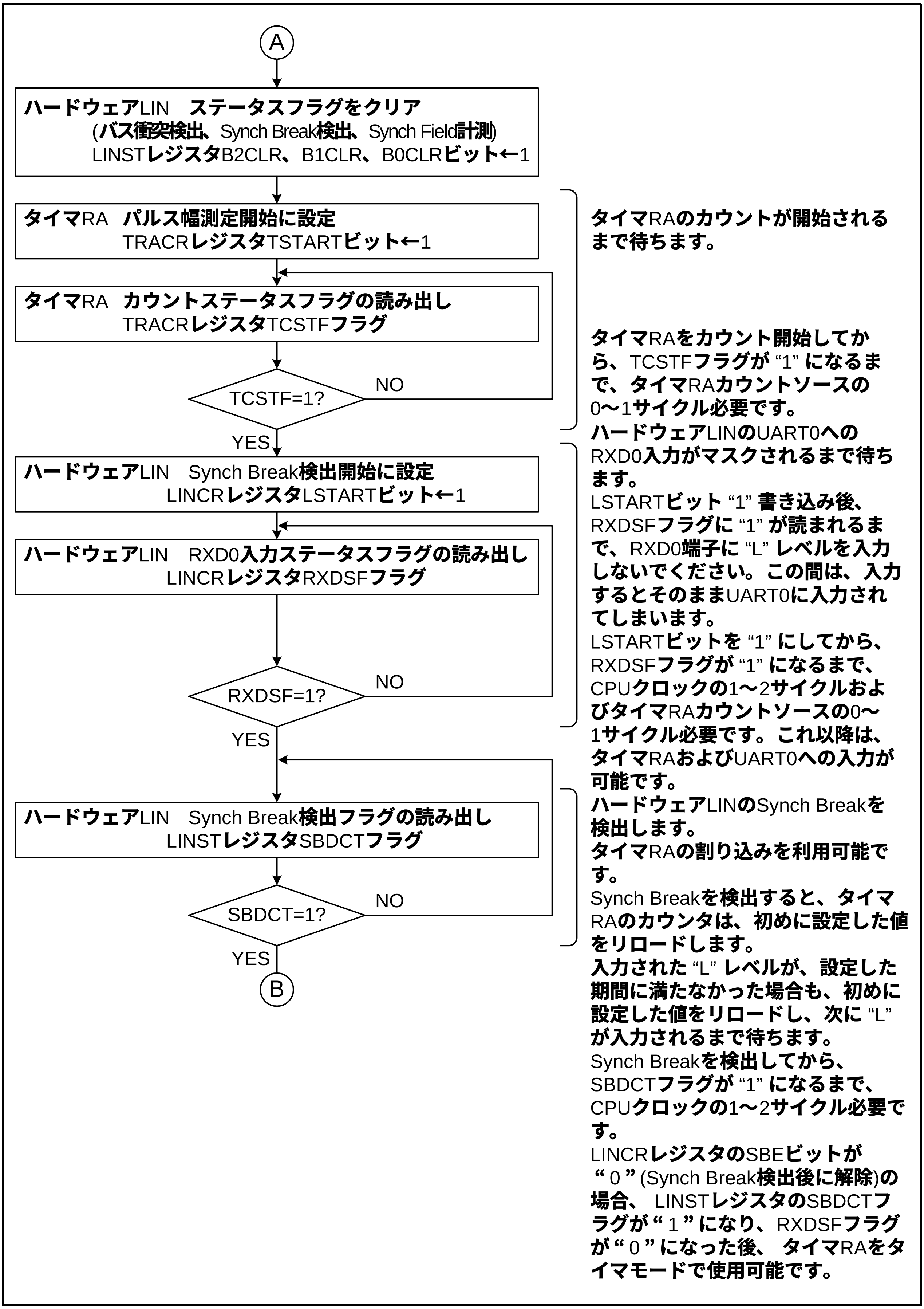


図24.7　ヘッダフィールド受信フローチャート例(2)

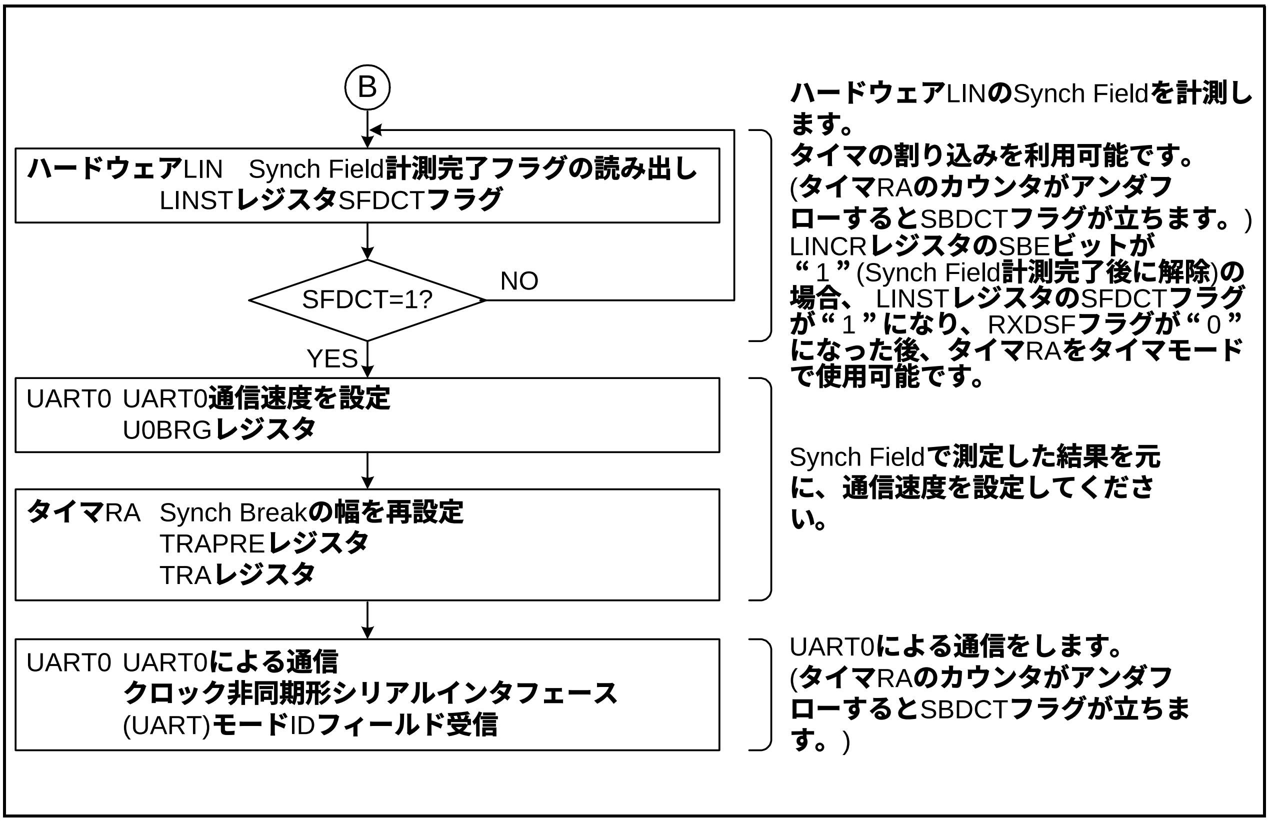


図24.8 ヘッダフィールド受信フローチャート例(3)

24.4.3　バス衝突検出機能

UART0が送信許可(U0C1レジスタのTEビットが“1”)の場合、バス衝突検出機能を使用することができます。Synch Break送信中にバス衝突検出を行う場合は、LINCR2レジスタのBCEビットを“1”(バス衝突検出有効)にしてください。

図24.9にバス衝突検出時の動作例を示します。

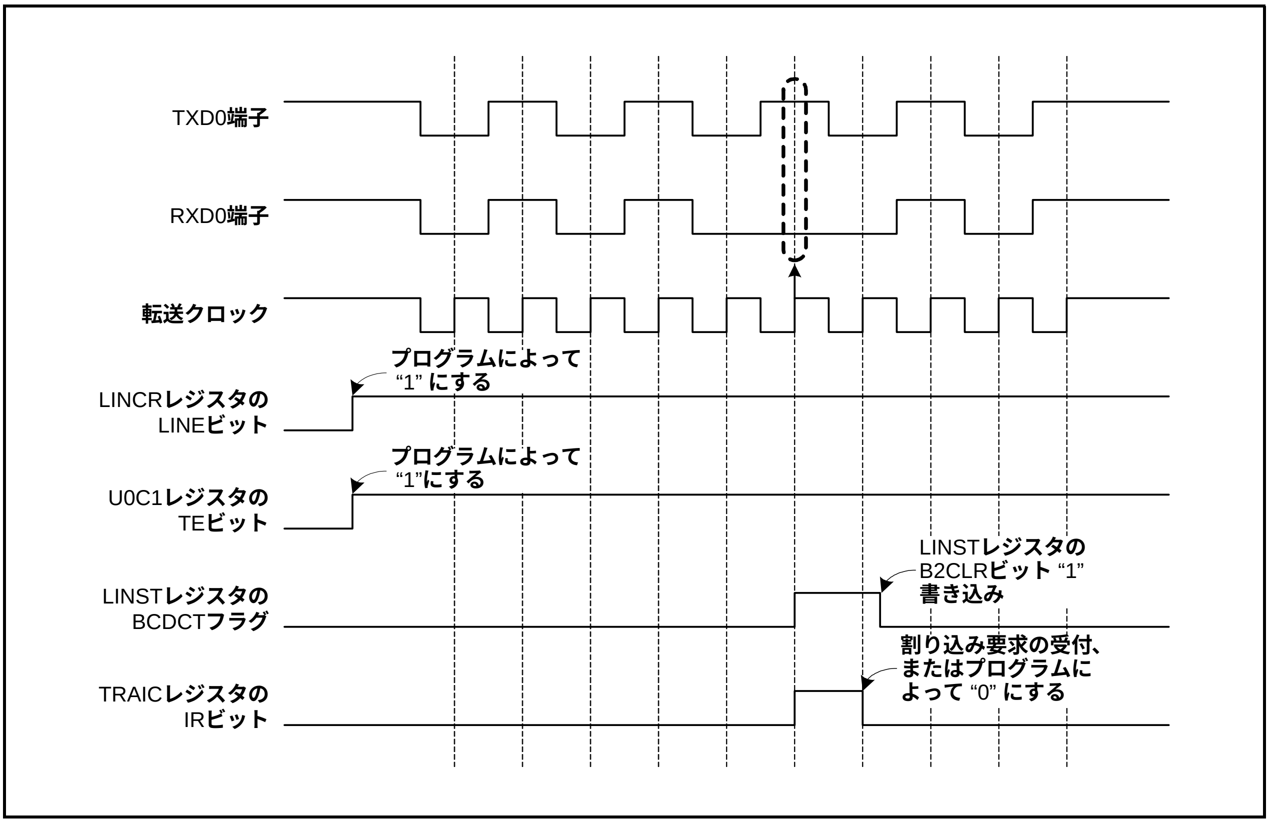


図24.9　バス衝突検出時の動作例

24.4.4 ハードウェアLIN終了処理

図24.10にハードウェアLIN通信終了のフローチャート例を示します。
ハードウェアLINの終了処理は、以下のタイミングで実施してください。

- バス衝突検出機能を使用する場合：
  チェックサム送信終了後、ハードウェアLINの終了処理を実施
- バス衝突検出機能を使用しない場合：
  ヘッダフィールド送受信終了後、ハードウェアLINの終了処理を実施

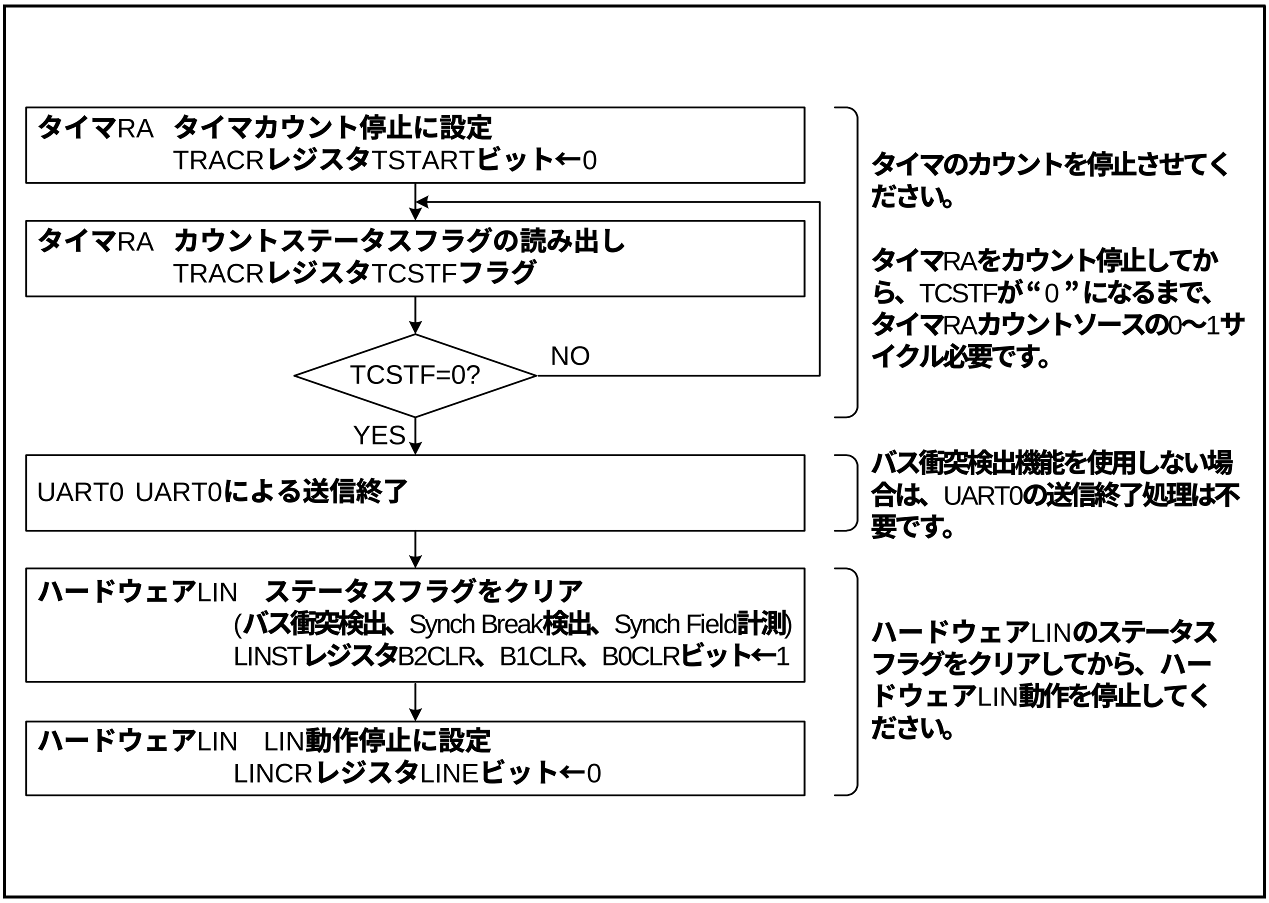


図24.10 ハードウェアLIN通信終了のフローチャート例

24.5 割り込み要求

ハードウェアLINが生成する割り込み要求には、Synch Break検出、Synch Break発生完了、Synch Field計測完了およびバス衝突検出の計4種類があります。これらの割り込みは、タイマRAの割り込みと兼用となっています。

表24.2にハードウェアLINの割り込み要求を示します。

表24.2 ハードウェアLINの割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
Synch Break検出	SBDCT	タイマRAによりRXD0入力の“L”レベルの期間を計測し、アンダフローしたとき。また、通信中にSynch Breakの期間より長い“L”レベルが入力されたとき
Synch Break発生完了		タイマRAにより設定された期間、TXD0へ“L”レベルの出力を完了したとき
Synch Field計測完了	SFDCT	タイマRAによりSynch Fieldの6ビット目の計測が完了したとき
バス衝突検出	BCDCT	UART0が送信許可の場合、データラッチタイミングでRXD0入力とTXD0出力の値が異なったとき

24.6 ハードウェアLIN使用上の注意

ヘッダフィールドおよびレスポンスフィールドのタイムアウト処理は、Synch Break検出割り込みを起点に他のタイマで時間計測を行ってください。

25. A/Dコンバータ

容量結合増幅器で構成された、10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。アナログ入力は、P1_0～P1_3と端子を共用しています。

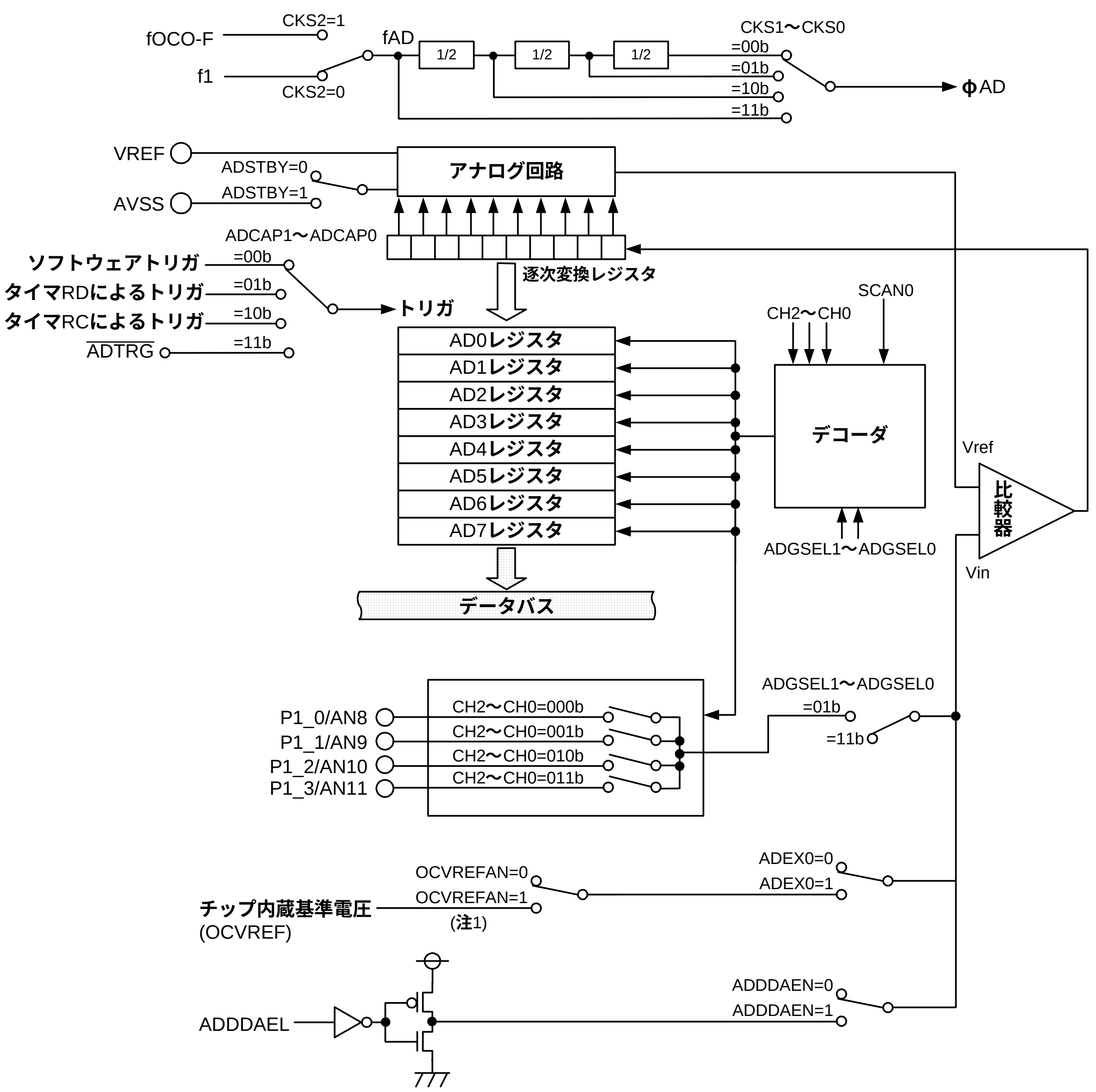
25.1　概要

表25.1にA/Dコンバータの性能を、図25.1にA/Dコンバータのブロック図を示します。

表25.1　A/Dコンバータの性能

項目	性能
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V～AVCC
動作クロックφAD(注2)	fAD、fADの2分周、fADの4分周、fADの8分周 (fAD=f1またはfOCO-F)
分解能	8ビットまたは10ビット選択可能
絶対精度	AVCC=Vref=5V、φAD=20MHzのとき ・分解能8ビットの場合　±2LSB ・分解能10ビットの場合　±3LSB AVCC=Vref=3.0V、φAD=10MHzのとき ・分解能8ビットの場合　±2LSB ・分解能10ビットの場合　±5LSB
動作モード	単発モード、繰り返しモード0、繰り返しモード1、単掃引モード、繰り返し掃引モード
アナログ入力端子	4本(AN8～AN11)
A/D変換開始条件	•ソフトウェアトリガ •タイマRD •タイマRC •外部トリガ (「25.3.3　A/D変換開始条件」参照)
1端子あたりの変換速度(注3) (φAD=fADのとき)	最短44φADサイクル

注1. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。
注2. 動作クロックφADは「表29.4　A/Dコンバータ特性」を参照してください。
注3. 分解能8ビット、10ビット共に1端子あたりの変換速度は最短44φADサイクルになります。



CKS0～CKS2、ADCAP0～ADCAP1：ADMODレジスタのビット
CH0～CH2、SCAN0、ADGSEL0～ADGSEL1：ADINSELレジスタのビット
ADEX0、ADSTBY、ADDDAEN、ADDDAEL：ADCON1レジスタのビット
OCVREFAN：OCVREFCRレジスタのビット

注1.　チップ内蔵基準電圧をアナログ入力として使用する場合、ADEX0ビットを“1”(チップ内蔵基準電圧を選択)した後に、OCVREFANビットを“1”(チップ内蔵基準電圧とアナログ入力を接続)にしてください。
また、チップ内蔵基準電圧をアナログ入力として使用しない場合、OCVREFANビットを“0”(チップ内蔵基準電圧とアナログ入力を切断)にした後に、ADEX0ビットを“0”(拡張アナログ入力端子を非選択)にしてください。

図 25.1　A/Dコンバータのブロック図

25.2 レジスタの説明

25.2.1 チップ内蔵基準電圧制御レジスタ(OCVREFCR)

アドレス 0026h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	OCVREFAN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OCVREFAN	チップ内蔵基準電圧－アナログ入力接続ビット(注1)	0：チップ内蔵基準電圧とアナログ入力を切断 1：チップ内蔵基準電圧とアナログ入力を接続	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

注1. チップ内蔵基準電圧をアナログ入力として使用する場合、ADCON1レジスタのADEX0ビットを“1”(チップ内蔵基準電圧を選択)にした後に、OCVREFANビットを“1”(チップ内蔵基準電圧とアナログ入力を接続)にしてください。
また、チップ内蔵基準電圧をアナログ入力として使用しない場合、OCVREFANビットを“0”(チップ内蔵基準電圧とアナログ入力を切断)にした後に、ADEX0ビットを“0”(拡張アナログ入力端子を非選択)にしてください。

OCVREFCRレジスタは、PRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

A/D変換中にOCVREFCRレジスタの内容を書き換えた場合、変換結果は不定になります。

25.2.2　A/Dレジスタi (ADi)(i＝0～7)

アドレス　00C1h～00C0h番地(AD0)、00C3h～00C2h番地(AD1)、00C5h～00C4h番地(AD2)、00C7h～00C6h番地(AD3)、00C9h～00C8h番地(AD4)、00CBh～00CAh番地(AD5)、00CDh～00CCh番地(AD6)、00CFh～00CEh番地(AD7)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	−	−	−	−	−	−	−	−
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	−	−	−	−	−	−	−	−
リセット後の値	0	0	0	0	0	0	X	X

ビット	機能		R/W
	10ビットモードの場合 (ADCON1レジスタのBITSビット=“1”)	8ビットモードの場合 (ADCON1レジスタのBITSビット=“0”)	
b0	A/D変換結果の下位8ビット	A/D変換結果	R
b1			
b2			
b3			
b4			
b5			
b6			
b7			
b8	A/D変換結果の上位2ビット	読んだ場合、その値は“0”。	R
b9			
b10	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		−
b11			
b12			
b13			
b14			
b15	予約ビット	読んだ場合、その値は不定。	R

A/D変換中にADCON1、ADMOD、ADINSEL、OCVREFCRレジスタのいずれかの内容を書き換えた場合、変換結果は不定になります。

10ビットモードかつ繰り返しモード0、繰り返しモード1、繰り返し掃引モードで使用する場合、ADiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

25.2.3 A/Dモードレジスタ(ADMOD)

アドレス 00D4h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADCAP1	ADCAP0	MD2	MD1	MD0	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0 b1	CKS0 CKS1	分周選択ビット	b1 b0 0 0：fADの8分周 0 1：fADの4分周 1 0：fADの2分周 1 1：fADの1分周(分周なし)	R/W R/W
b2	CKS2	クロック源選択ビット(注1)	0：f1を選択 1：fOCO-Fを選択	R/W
b3 b4 b5	MD0 MD1 MD2	A/D動作モード選択ビット	b5 b4 b3 0 0 0：単発モード 0 0 1：設定しないでください 0 1 0：繰り返しモード0 0 1 1：繰り返しモード1 1 0 0：単掃引モード 1 0 1：設定しないでください 1 1 0：繰り返し掃引モード 1 1 1：設定しないでください	R/W R/W R/W
b6 b7	ADCAP0 ADCAP1	A/D変換トリガ選択ビット	b7 b6 0 0：ソフトウェアトリガ(ADCON0レジスタのADSTビット)によるA/D変換開始 0 1：タイマRDからの変換トリガによるA/D変換開始 1 0：タイマRCからの変換トリガによるA/D変換開始 1 1：外部トリガ(ADTRG)によるA/D変換開始	R/W R/W

注1. CKS2ビットを変更したときは、φADの3サイクル以上経過した後にA/D変換を開始してください。

A/D変換中にADMODレジスタの内容を書き換えた場合、変換結果は不定になります。

25.2.4 A/D入力選択レジスタ(ADINSEL)

アドレス 00D5h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADGSEL1	ADGSEL0	—	SCAN0	—	CH2	CH1	CH0
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CH0	アナログ入力端子選択ビット	「表 25.2　アナログ入力端子選択」参照	R/W
b1	CH1			R/W
b2	CH2			R/W
b3	—	予約ビット	“0”にしてください	R/W
b4	SCAN0	A/D掃引端子数選択ビット	0：2端子 1：4端子	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	ADGSEL0	A/D入力グループ選択ビット	b7 b6 0 0：設定しないでください 0 1：ポートP1グループを選択 1 0：設定しないでください 1 1：ポートグループを非選択	R/W
b7	ADGSEL1			R/W

A/D変換中にADINSELレジスタの内容を書き換えた場合、変換結果は不定になります。

表 25.2　アナログ入力端子選択

CH2～CH0ビット	ADGSEL1～ADGSEL0ビット=01b
000b	AN8
001b	AN9
010b	AN10
011b	AN11
100b	設定しないでください
101b	
110b	
111b	

25.2.5 A/D制御レジスタ0 (ADCON0)

アドレス 00D6h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	ADST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADST	A/D変換開始フラグ	0：A/D変換停止 1：A/D変換開始	R/W
b1	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

ADSTビット(A/D変換開始フラグ)

【“1”になる条件】A/D変換開始時およびA/D変換中
【“0”になる条件】A/D変換停止時

25.2.6 A/D制御レジスタ1 (ADCON1)

アドレス 00D7h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADDDAEL	ADDDAEN	ADSTBY	BITS	—	—	—	ADEX0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADEX0	拡張アナログ入力端子選択ビット(注1)	0：拡張アナログ入力端子を非選択 1：チップ内蔵基準電圧を選択(注2、6、7)	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	—			
b3	—			
b4	BITS	8/10ビットモード選択ビット	0：8ビットモード 1：10ビットモード	R/W
b5	ADSTBY	A/Dスタンバイビット(注3)	0：A/D動作停止(スタンバイ)(注4) 1：A/D動作可能	R/W
b6	ADDDAEN	A/D断線検出アシスト機能許可ビット(注5、7)	0：禁止 1：許可	R/W
b7	ADDDAEL	A/D断線検出アシスト方式選択ビット(注5)	0：変換前ディスチャージ 1：変換前プリチャージ	R/W

注1. チップ内蔵基準電圧をアナログ入力として使用する場合、ADEX0ビットを“1”(チップ内蔵基準電圧を選択)にした後に、OCVREFCRレジスタのOCVREFANビットを“1”(チップ内蔵基準電圧とアナログ入力を接続)にしてください。
また、チップ内蔵基準電圧をアナログ入力として使用しない場合、OCVREFANビットを“0”(チップ内蔵基準電圧とアナログ入力を切断)にした後に、ADEX0ビットを“0”(拡張アナログ入力端子を非選択)にしてください。

注2. 単掃引モード、繰り返し掃引モードでは設定しないでください。

注3. ADSTBYビットを“0”(A/D動作停止)から“1”(A/D動作可能)にしたときは、φADの1サイクル以上経過した後にA/D変換を開始してください。

注4. スタンバイにする前に、A/D機能を停止してください。ADSTBYビットが“0”(スタンバイ)のとき、A/D関連レジスタ(00C0h～00CFh、00D4h～00D7h番地)へのアクセスは無効になります。ただし、00D7h番地のADCON1レジスタについては、ADSTBYビットのみアクセス可能です。

注5. A/D断線検出アシスト機能を許可にするためには、ADDDAENビットを“1”(許可)にした後、ADDDAELビットで変換開始状態を選択してください。
断線時の変換結果は、外付け回路によって変化します。本機能はシステムに合わせた評価を十分に行った上で、使用してください。

注6. チップ内蔵基準電圧を使用する場合(ADEX0 = 1)、ADINSEL レジスタのCH2～CH0ビットを“000b”にしてください。

注7. チップ内蔵基準電圧を使用する場合(ADEX0 = 1)、ADDDAENビットを“0”(A/D断線検出アシスト機能を禁止)にしてください。

A/D変換中にADCON1レジスタの内容を書き換えた場合、変換結果は不定になります。

25.3 複数モードに関わる共通事項

25.3.1 入出力端子

アナログ入力はAN8～AN11で、P1_0～P1_3と端子を共用しています。

ANi (i=8～11) 端子を入力で使用する場合、端子に対応するポート方向ビットを“0”(入力モード)にしてください。

A/D動作モードを変更する場合は、アナログ入力端子を再選択してください。

25.3.2 A/D変換サイクル数

図25.2にA/D変換タイミング図を、図25.3にA/D変換サイクル数(φAD = fADのとき)を示します。

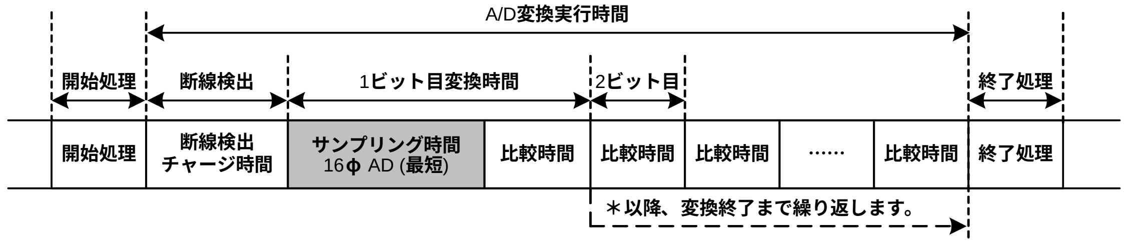
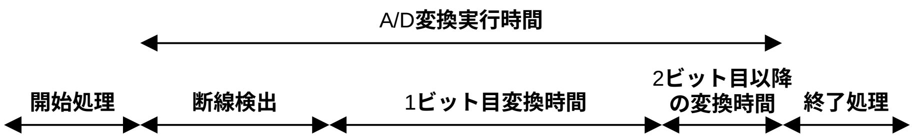


図 25.2　A/D変換タイミング図



変換時間(最短)	開始処理(最短)	断線検出チャージ時間	サンプリング時間	比較時間	比較時間	終了処理
44φAD	1φAD	禁止：0φAD 許可：2φAD	16φAD(最短)	2.5φAD	2.5φAD	2φAD

注1. 分解能8ビット、10ビット共に変換時間(最短)は44φADになります。

図25.3　A/D変換サイクル数(φAD = fADのとき)

表25.3に各A/D変換項目のサイクル数を示します。A/D変換時間は次のとおりです。
開始処理時間はφADの選択によって変わります。
ADCON0レジスタのADSTビットに“1”(A/D変換開始)を書くと、開始処理時間経過後にA/D変換を始めます。A/D変換を始めるまでにADSTビットを読むと“0”(A/D変換停止)を読み出します。
複数端子または複数回A/D変換を実行するモードでは、1端子のA/D変換実行時間と、次のA/D変換実行時間の間に、実行間処理時間が入ります。
単発モード、単掃引モードでは、終了処理時間にADSTビットが“0”になると同時に、最後のA/D変換結果がADiレジスタに入ります。

- 単発モードの場合
  開始処理時間 + A/D変換実行時間 + 終了処理時間

- 単掃引モードで2端子を選択した場合
  開始処理時間 + (A/D変換実行時間 + 実行間処理時間 + A/D変換実行時間) + 終了処理時間

表25.3　各A/D変換項目のサイクル数

A/D変換項目		サイクル数
開始処理時間	φAD=fAD	fADの1～2サイクル
	φAD=fADの2分周	fADの2～3サイクル
	φAD=fADの4分周	fADの3～4サイクル
	φAD=fADの8分周	fADの5～6サイクル
A/D変換実行時間	断線検出禁止	φADの40サイクル+fADの1～3サイクル
	断線検出許可	φADの42サイクル+fADの1～3サイクル
実行間処理時間		φADの1サイクル
終了処理時間		fADの2～3サイクル

25.3.3 A/D変換開始条件

A/D変換開始トリガはソフトウェアトリガと、タイマRD、タイマRCからのトリガと、外部トリガがあります。

図25.4にA/D変換開始制御部のブロック図を示します。

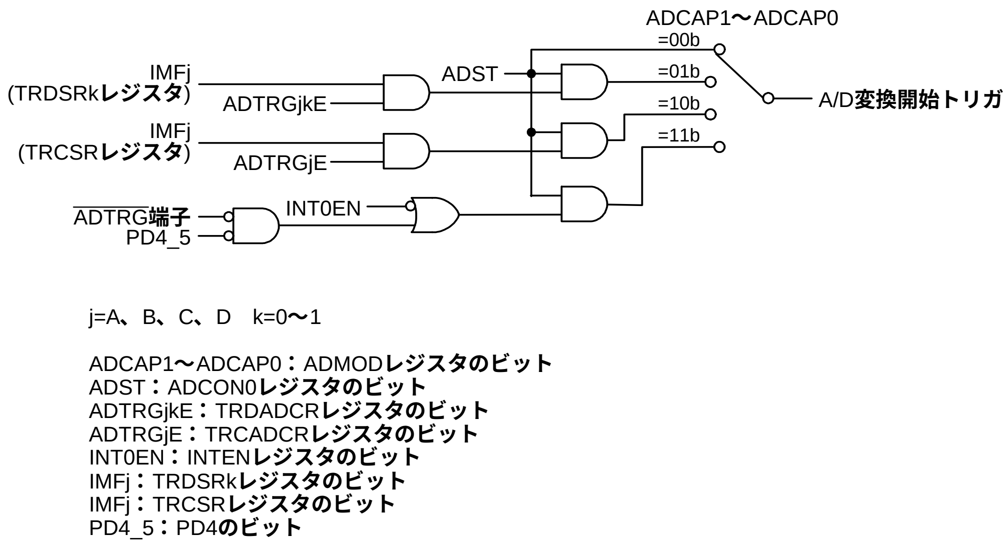


図25.4 A/D変換開始制御部のブロック図

25.3.3.1 ソフトウェアトリガ

ADMODレジスタのADCAP1～ADCAP0ビットが“00b”(ソフトウェアトリガ)の場合です。

ADCON0レジスタのADSTビットを“1”(A/D変換開始)にするとA/D変換を開始します。

25.3.3.2 タイマRDからのトリガ

ADMODレジスタのADCAP1～ADCAP0ビットが“01b”(タイマRD)の場合です。

この機能を使用する場合は次のようにしてください。

- ADMODレジスタのADCAP1～ADCAP0ビットが“01b”(タイマRD)
- タイマRDをアウトプットコンペア機能(タイマモード、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モード)で使用
- TRDADCRレジスタのADTRGjkEビット(j＝A、B、C、D、k=0～1)が“1”(TRDGRjkレジスタのコンペア一致でA/Dトリガ発生)
- ADCON0レジスタのADSTビットが“1”(A/D変換開始)

上記の状態で、TRDSRkレジスタのIMFjビットが“0”から“1”になると、A/D変換を開始します。

タイマRD、アウトプットコンペア機能(タイマモード、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モード)の詳細は「20.　タイマRD」、「20.4　タイマモード(アウトプットコンペア機能)」、「20.5　PWMモード」、「20.6　リセット同期PWMモード」、「20.7　相補PWMモード」、「20.8　PWM3モード」を参照してください。

25.3.3.3 タイマRCからのトリガ

ADMODレジスタのADCAP1～ADCAP0ビットが“10b”(タイマRC)の場合です。
この機能を使用する場合は次のようにしてください。

- ADMODレジスタのADCAP1～ADCAP0ビットが“10b”(タイマRC)
- タイマRCをアウトプットコンペア機能(タイマモード、PWMモード、PWM2モード)で使用
- TRCADCRレジスタのADTRGjEビット(j＝A、B、C、D)が“1”(TRCGRjレジスタのコンペア一致でA/Dトリガ発生)
- ADCON0レジスタのADSTビットが“1”(A/D変換開始)

上記の状態で、TRCSRレジスタのIMFjビットが“0”から“1”になると、A/D変換を開始します。
タイマRC、アウトプットコンペア機能(タイマモード、PWMモード、PWM2モード)の詳細は「19. タイマRC」、「19.5　タイマモード(アウトプットコンペア機能)」、「19.6　PWMモード」、「19.7　PWM2モード」を参照してください。

25.3.3.4 外部トリガ

ADMODレジスタのADCAP1～ADCAP0ビットが“11b”(外部トリガ($\overline{\text{ADTRG}}$))の場合です。
この機能を使用する場合は次のようにしてください。

- ADMODレジスタのADCAP1～ADCAP0ビットを“11b”(外部トリガ($\overline{\text{ADTRG}}$))にする。
- INTENレジスタのINT0ENビットを“1”($\overline{\text{INT0}}$入力許可)、INT0PLビットを“0”(片エッジ)、INT0ICレジスタのPOLビットを“0”(立ち下がりエッジを選択)にする。
- PD4レジスタのPD4_5ビットを“0”(入力モード)にする。
- $\overline{\text{INT0}}$のデジタルフィルタをINTFレジスタのINT0F1～INT0F0ビットで選択する。
- ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする。

なお、INT0ICレジスタのPOLビットとINTENレジスタのINT0PLビットの選択と、$\overline{\text{ADTRG}}$端子入力の変更に従って、INT0ICレジスタのIRビットが“1”(割り込み要求あり)になります(「11.8　割り込み使用上の注意」参照)。
割り込みの詳細は「11.　割り込み」を参照してください。

上記の状態で、$\overline{\text{ADTRG}}$端子の入力を“H”から“L”にするとA/D変換を開始します。

25.3.4　A/D変換結果

A/D変換した結果はADiレジスタ(i＝0～7)に格納されます。使用するA/D動作モードによって、格納されるADiレジスタは違います。ADiレジスタはリセット後不定です。値は書き込めません。

繰り返しモード0では割り込み要求は発生しません。1回目のA/D変換終了は、A/D変換時間が経過したことをプログラムで判定してください。
単発モード、繰り返しモード1、単掃引モード、繰り返し掃引モードでは、A/D変換終了などのタイミングで割り込み要求が発生します(ADICレジスタのIRビットが“1”になります)。
ただし、繰り返しモード1、繰り返し掃引モードでは、割り込み要求発生後もA/D変換を続けます。次のA/D変換が終了するとADiレジスタに値を上書きしますので、それまでにADiレジスタを読み出してください。

単発モード、単掃引モードで、ADMODレジスタのADCAP1～ADCAP0ビットが“00b”(ソフトウェアトリガ)の場合は、ADCON0レジスタのADSTビットでもA/D変換終了、掃引終了を判定できます。

A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となり、割り込み要求は発生しません。また、A/D変換していないADiレジスタも、不定になる場合があります。
プログラムでADSTビットを“0”にした場合は、すべてのADiレジスタの値を使用しないでください。

25.3.5　消費電流低減機能

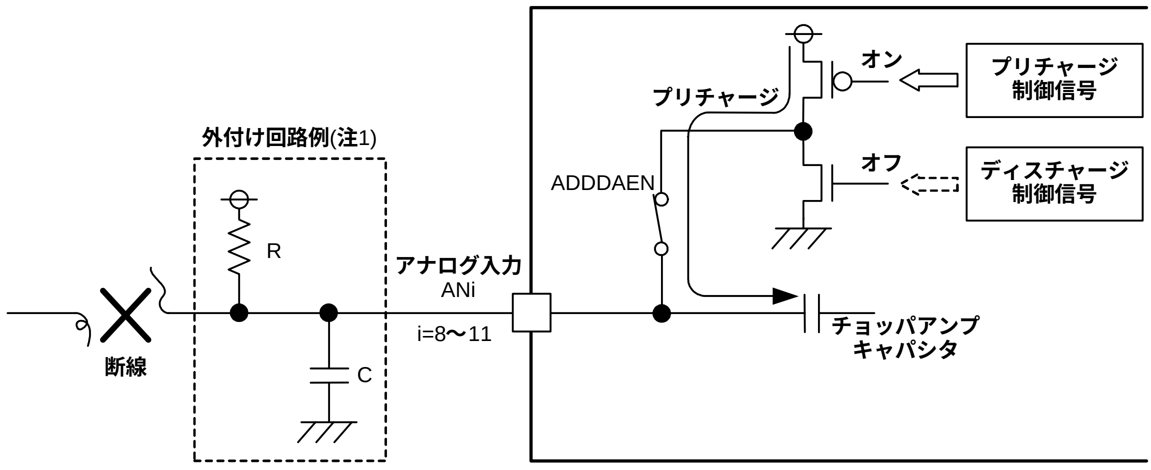
A/Dコンバータを使用しないとき、ADCON1レジスタのADSTBYビットを“0”(A/D動作停止(スタンバイ))にすると、アナログ回路電流が流れないので、消費電力が少なくなります。
A/Dコンバータを使用する場合は、ADSTBYビットを“1”(A/D動作可能)にして、φADの1サイクル以上経過した後で、ADCON0レジスタのADSTビットを“1”(A/D変換開始)にしてください。ADSTビットとADSTBYビットは、同時に“1”を書かないでください。
また、A/D変換中にADSTBYビットを“0”(A/D動作停止(スタンバイ))にしないでください。

25.3.6　チップ内蔵基準電圧(OCVREF)

単発モード、繰り返しモード0、繰り返しモード1では、チップ内蔵基準電圧(OCVREF)をアナログ入力として使用できます。
チップ内蔵基準電圧を使用することにより、VREFの変動を確認することができます。ADCON1レジスタのADEX0ビットとOCVREFCRレジスタのOCVREFANビットで選択してください。
単発モード、繰り返しモード0でのチップ内蔵基準電圧のA/D変換結果は、AD0レジスタに格納されます。

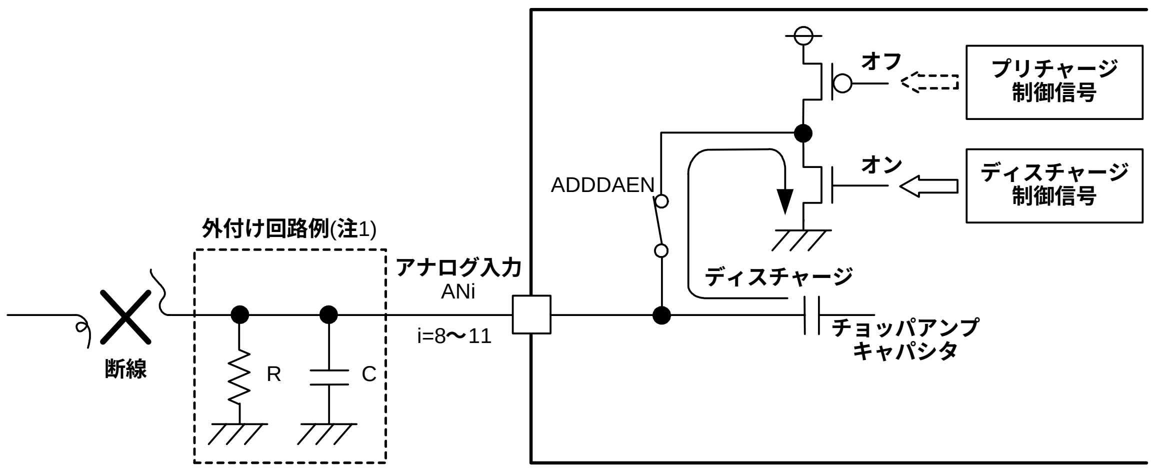
25.3.7　A/D断線検出アシスト機能

A/D変換の動作時に、前に変換したチャネルのアナログ入力電圧の回り込みによる影響を抑制するため、変換開始前にチョッパアンプキャパシタの電荷を所定の状態(AVCCまたはGND)に固定する機能を内蔵しています。この機能により、アナログ入力端子に接続した配線の、より確実な断線検出が可能になります。
図25.5にAVCC側でのA/D断線検出例(変換前プリチャージを選択)を示し、図25.6にAVSS側でのA/D断線検出例(変換前ディスチャージを選択)を示します。



注1.　断線時の変換結果は、外付け回路によって変わりますので、十分な評価の上、使用してください。

図 25.5　AVCC側でのA/D断線検出例(変換前プリチャージを選択)



注1.　断線時の変換結果は、外付け回路によって変わりますので、十分な評価の上、使用してください。

図 25.6　AVSS側でのA/D断線検出例(変換前ディスチャージを選択)

25.4　単発モード

AN8～AN11、またはOCVREFから選択した1本の端子の入力電圧を、1回A/D変換するモードです。
表25.4に単発モードの仕様を示します。

表 25.4　単発モードの仕様

項目	仕様
機能	ADINSELレジスタのCH2～CH0ビットとADGSEL1～ADGSEL0ビット、またはADCON1レジスタのADEX0ビットで選択した端子の入力電圧を1回A/D変換する
分解能	8ビットまたは10ビット
A/D変換開始条件	• ソフトウェアトリガ • タイマRD • タイマRC • 外部トリガ (「25.3.3　A/D変換開始条件」参照)
A/D変換停止条件	• A/D変換終了(ADMODレジスタのADCAP1～ADCAP0ビットが“00b”(ソフトウェアトリガ)の場合、ADCON0レジスタのADSTビットが“0”になる) • ADSTビットを“0”にする
割り込み要求発生タイミング	A/D変換終了時
アナログ入力端子	AN8～AN11、またはOCVREFから1端子を選択
A/D変換結果の格納レジスタ	AD0レジスタ：AN8、OCVREF AD1レジスタ：AN9 AD2レジスタ：AN10 AD3レジスタ：AN11
A/D変換値の読み出し	選択した端子に対応したAD0レジスタ～AD3レジスタの読み出し

25.5　繰り返しモード0

AN8～AN11、またはOCVREFから選択した1本の端子の入力電圧を、繰り返しA/D変換するモードです。

表25.5に繰り返しモード0の仕様を示します。

表25.5　繰り返しモード0の仕様

項目	仕様
機能	ADINSELレジスタのCH2～CH0ビットとADGSEL1～ADGSEL0ビット、またはADCON1レジスタのADEX0で選択した端子の入力電圧を繰り返しA/D変換する
分解能	8ビットまたは10ビット
A/D変換開始条件	• ソフトウェアトリガ • タイマRD • タイマRC • 外部トリガ （「25.3.3　A/D変換開始条件」参照）
A/D変換停止条件	ADCON0レジスタのADSTビットを“0”にする
割り込み要求発生タイミング	発生しない
アナログ入力端子	AN8～AN11、またはOCVREFから1端子を選択
A/D変換結果の格納レジスタ	AD0レジスタ：AN8、OCVREF AD1レジスタ：AN9 AD2レジスタ：AN10 AD3レジスタ：AN11
A/D変換値の読み出し	選択した端子に対応したAD0レジスタ～AD3レジスタの読み出し

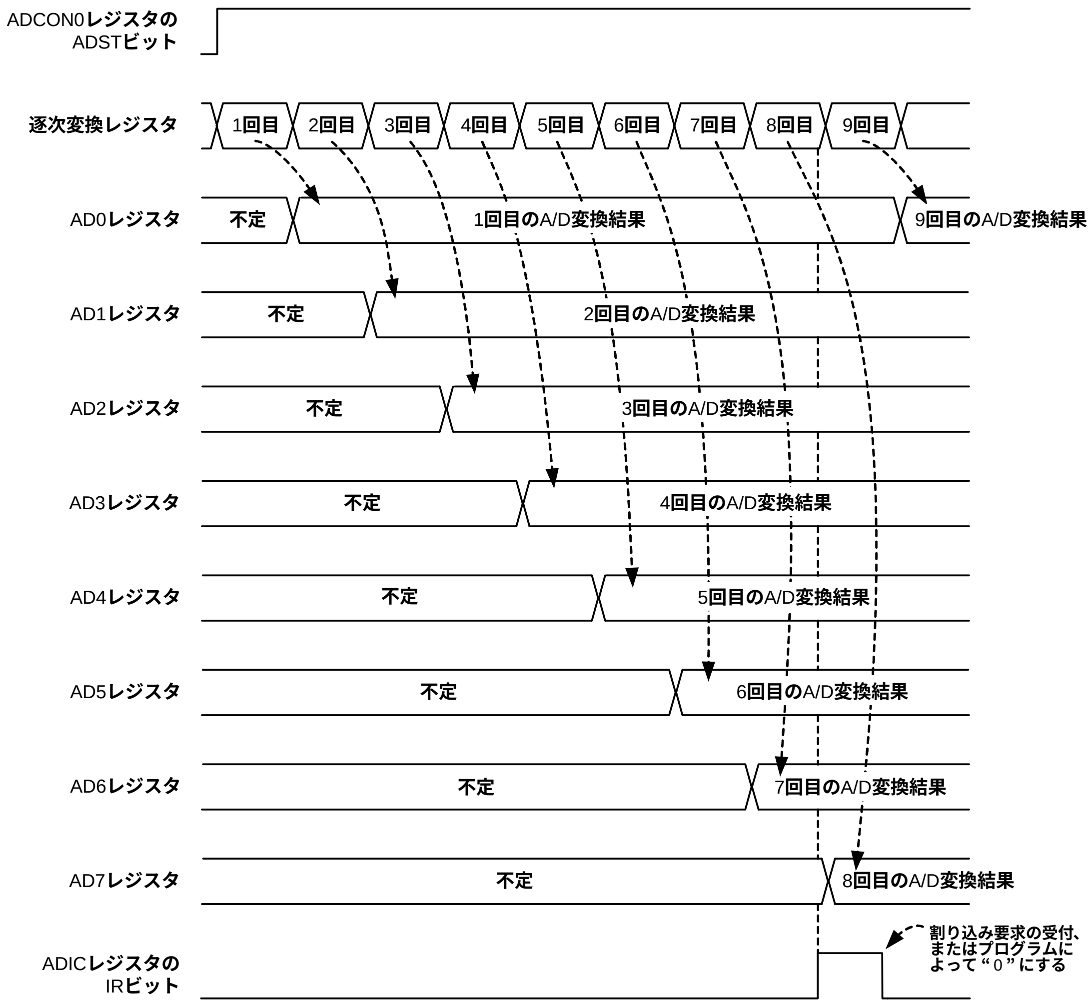
25.6　繰り返しモード1

AN8～AN11、またはOCVREFから選択した1本の端子の入力電圧を、繰り返しA/D変換するモードです。

表25.6に繰り返しモード1の仕様を、図25.7に繰り返しモード1時の動作例を示します。

表25.6　繰り返しモード1の仕様

項目	仕様
機能	ADINSELレジスタのCH2～CH0ビットとADGSEL1～ADGSEL0ビット、またはADCON1レジスタのADEX0ビットで選択した端子の入力電圧を繰り返しA/D変換する
分解能	8ビットまたは10ビット
A/D変換開始条件	• ソフトウェアトリガ • タイマRD • タイマRC • 外部トリガ （「25.3.3　A/D変換開始条件」参照）
A/D変換停止条件	ADCON0レジスタのADSTビットを“0”にする
割り込み要求発生タイミング	AD7レジスタにA/D変換結果が格納されたとき
アナログ入力端子	AN8～AN11、またはOCVREFから1端子を選択
A/D変換結果の格納レジスタ	AD0レジスタ：1回目のA/D変換結果、9回目のA/D変換結果、、、 AD1レジスタ：2回目のA/D変換結果、10回目のA/D変換結果、、、 AD2レジスタ：3回目のA/D変換結果、11回目のA/D変換結果、、、 AD3レジスタ：4回目のA/D変換結果、12回目のA/D変換結果、、、 AD4レジスタ：5回目のA/D変換結果、13回目のA/D変換結果、、、 AD5レジスタ：6回目のA/D変換結果、14回目のA/D変換結果、、、 AD6レジスタ：7回目のA/D変換結果、15回目のA/D変換結果、、、 AD7レジスタ：8回目のA/D変換結果、16回目のA/D変換結果、、、
A/D変換値の読み出し	AD0レジスタ～AD7レジスタの読み出し



上図は次の条件の場合です。
ADMODレジスタのADCAP1～ADCAP0ビットが“00b”(ソフトウェアトリガで開始)

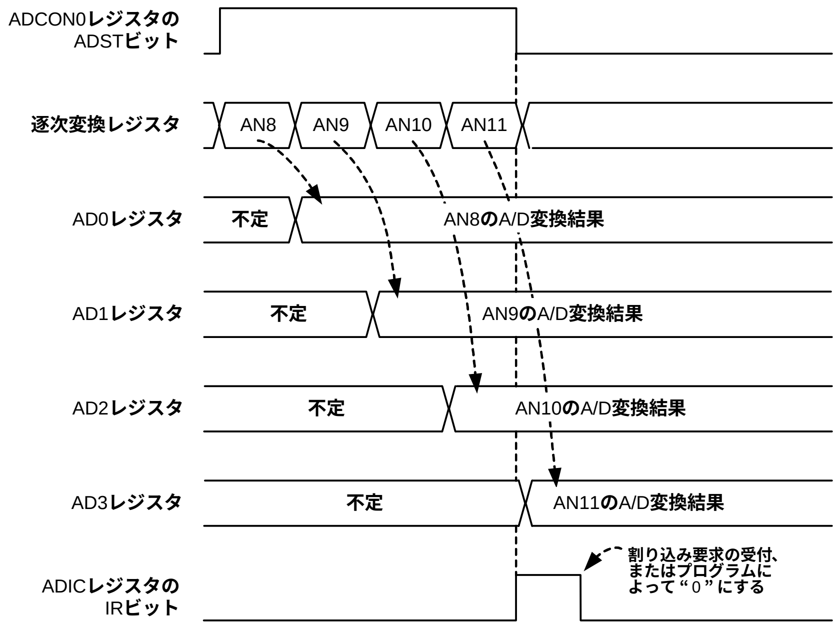
図 25.7　繰り返しモード1時の動作例

25.7　単掃引モード

AN8～AN11から選択した2本、または4本の端子の入力電圧を、1回ずつA/D変換するモードです。
表25.7に単掃引モードの仕様を、図25.8に単掃引モード時の動作例を示します。

表25.7　単掃引モードの仕様

項目		仕様
機能		ADINSELレジスタのADGSEL1～ADGSEL0ビットとSCAN0ビットで選択した端子の入力電圧を1回ずつA/D変換する
分解能		8ビットまたは10ビット
A/D変換開始条件		• ソフトウェアトリガ • タイマRD • タイマRC • 外部トリガ (「25.3.3　A/D変換開始条件」参照)
A/D変換停止条件	ソフトウェアトリガ	• 2端子を選択している場合、選択した2端子のA/D変換終了 (ADCON0レジスタのADSTビットが“0”になる) • 4端子を選択している場合、選択した4端子のA/D変換終了 (ADSTビットが“0”になる) • ADSTビットを“0”にする
	タイマRD	ADSTビットを“0”にする
	タイマRC	
	外部トリガ	
割り込み要求発生タイミング		• 2端子を選択している場合、選択した2端子のA/D変換終了時 • 4端子を選択している場合、選択した4端子のA/D変換終了時
アナログ入力端子		AN8～AN9(2端子)、AN8～AN11(4端子)、 (SCAN0ビットとADGSEL1～ADGSEL0ビットで選択)
A/D変換結果の格納レジスタ		AD0レジスタ：AN8 AD1レジスタ：AN9 AD2レジスタ：AN10 AD3レジスタ：AN11
A/D変換値の読み出し		選択した端子に対応したAD0レジスタ～AD3レジスタの読み出し



上図は次の条件の場合です。
- ADMODレジスタのADCAP1〜ADCAP0が“00b”(ソフトウェアトリガで開始)
- ADINSELレジスタのSCAN0ビットが“11b”(4端子)、
  ADGSEL1〜ADGSEL0ビットが“00b”(AN8〜AN11)

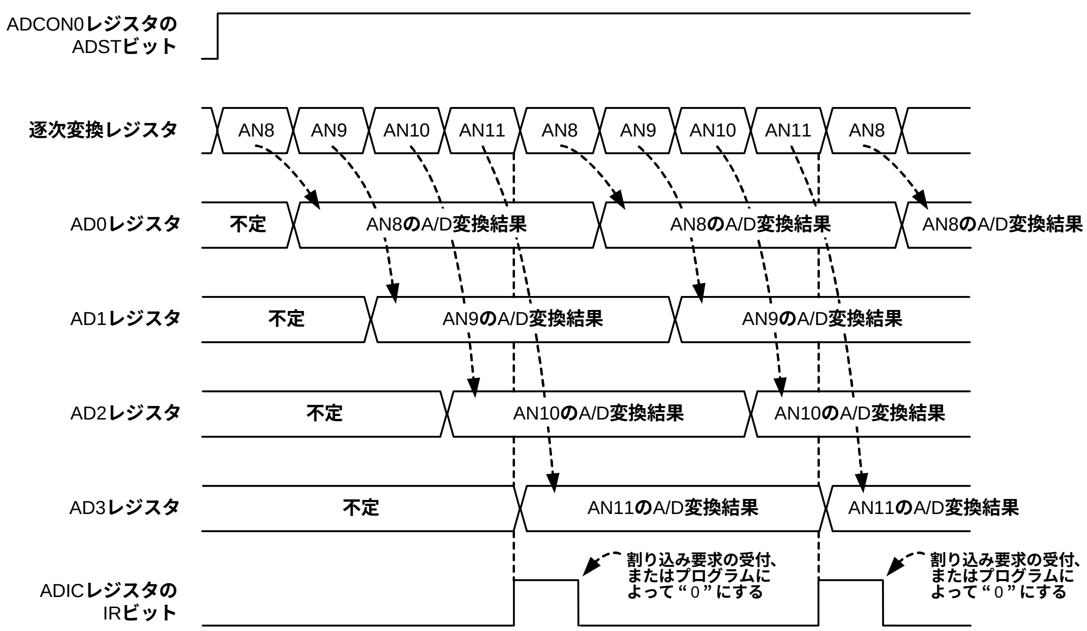
図 25.8　単掃引モード時の動作例

25.8　繰り返し掃引モード

AN8～AN11から選択した2本、または4本の端子の入力電圧を、繰り返しA/D変換するモードです。
表25.8に繰り返し掃引モードの仕様を、図25.9に繰り返し掃引モード時の動作例を示します。

表25.8　繰り返し掃引モードの仕様

項目	仕様
機能	ADINSELレジスタのADGSEL1～ADGSEL0ビットとSCAN0ビットで選択した端子の入力電圧を繰り返しA/D変換する
分解能	8ビットまたは10ビット
A/D変換開始条件	• ソフトウェアトリガ • タイマRD • タイマRC • 外部トリガ (「25.3.3　A/D変換開始条件」参照)
A/D変換停止条件	ADCON0レジスタのADSTビットを“0”にする
割り込み要求発生タイミング	• 2端子を選択している場合、選択した2端子のA/D変換終了時 • 4端子を選択している場合、選択した4端子のA/D変換終了時
アナログ入力端子	AN8～AN9(2端子)、AN8～AN11(4端子)、 (SCAN0ビットとADGSEL1～ADGSEL0ビットで選択)
A/D変換結果の格納レジスタ	AD0レジスタ：AN8 AD1レジスタ：AN9 AD2レジスタ：AN10 AD3レジスタ：AN11
A/D変換値の読み出し	選択した端子に対応したAD0レジスタ～AD3レジスタの読み出し



上図は次の条件の場合です。
・ADMODレジスタのADCAP1～ADCAP0 ビットが“00b”(ソフトウェアトリガで開始)
・ADINSELレジスタのSCAN0ビットが“11b”(4端子)、
　ADGSEL1～ADGSEL0ビットが“00b”(AN8～AN11)

図 25.9　繰り返し掃引モード時の動作例

25.9 A/D変換時のセンサの出力インピーダンス

A/D変換を正しく行うためには、図25.10の内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間(サンプリング時間)をTとします。また、センサ等価回路の出力インピーダンスをR0、マイコン内部の抵抗をR、A/Dコンバータの精度(誤差)をX、分解能をY(Yは10ビットモード時1024、8ビットモード時256)とします。

VCは一般に $VC = VIN\left\{1 - e^{-\frac{1}{C(R0+R)}t}\right\}$

t=Tのとき、$VC = VIN - \frac{X}{Y}VIN = VIN\left(1 - \frac{X}{Y}\right)$ より、

$$e^{-\frac{1}{C(R0+R)}T} = \frac{X}{Y}$$

$$-\frac{1}{C(R0+R)}T = \ln\frac{X}{Y}$$

よって、$R0 = -\frac{T}{C \bullet \ln\frac{X}{Y}} - R$

図25.10にアナログ入力端子と外部センサの等価回路例を示します。VINとVCの差が0.1LSBとなるとき、時間TでコンデンサCの端子間電圧VCが0からVIN-(0.1/1024)VINになるインピーダンスR0を求めます。(0.1/1024)は10ビットモードでのA/D変換時に、コンデンサ充電不十分によるA/D精度低下を0.1LSBにおさえることを意味します。ただし、実際の誤差は0.1LSBに絶対精度が加わった値です。

φAD=20MHzのとき、T=0.8μsとなります。この時間T内にコンデンサCの充電を十分に行える出力インピーダンスR0は以下のように求められます。

T=0.8μs、R=10kΩ、C=6.0pF、X=0.1、Y=1024だから、

$$R0 = -\frac{0.8 \times 10^{-6}}{6.0 \times 10^{-12} \bullet \ln\frac{0.1}{1024}} - 10 \times 10^{3} \fallingdotseq 4.4 \times 10^{3}$$

したがって、A/Dコンバータの精度(誤差)を0.1LSB以下にするセンサ回路の出力インピーダンスR0は最大4.4kΩになります。

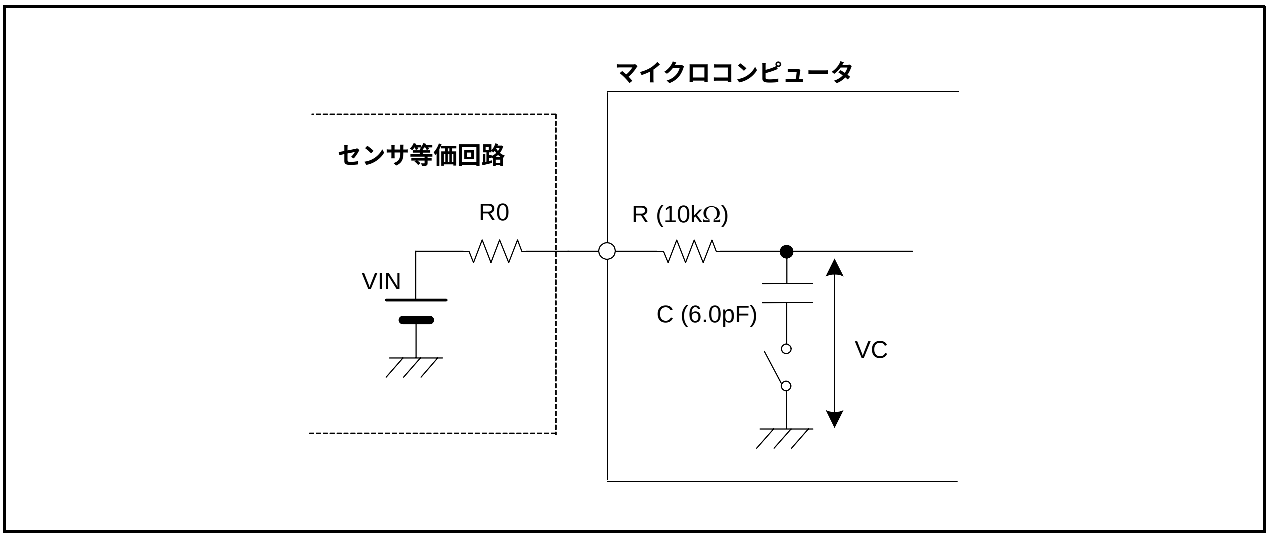


図25.10 アナログ入力端子と外部センサの等価回路例

25.10 A/Dコンバータ使用上の注意

- ADMODレジスタ、ADINSELレジスタ、ADCON0レジスタ(ADSTビットを除く)、ADCON1レジスタ、OCVREFCRレジスタに対する書き込みは、A/D変換停止時(トリガ発生前)に行ってください。
- 繰り返しモード0、繰り返しモード1、繰り返し掃引モードで使用する場合、A/D変換中のCPUクロックには、A/Dコンバータの動作クロックφAD以上の周波数を選択してください。
  φADにfOCO-Fを選択しないでください。
- VREF端子とAVSS端子間に0.1μFのコンデンサを接続してください。
- A/D変換中はストップモードに移行しないでください。
- A/D変換中はCM0レジスタのCM02ビットの状態(“1”(ウェイトモード時、周辺機能クロックを停止する)、“0”(ウェイトモード時、周辺機能クロックを停止しない))にかかわらず、ウェイトモードに移行しないでください。
- A/D変換中はFMR0レジスタのFMSTPビットを“1”(フラッシュメモリ停止)、およびFMR27ビットを“1”(低消費電流リードモード許可)にすると、A/D変換結果が不定になるため、この設定をしないでください。
- fOCO-Fが停止しているときは、ADMODレジスタのCKS2ビットを変更しないでください。
- A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となり、割り込み要求は発生しません。また、A/D変換していないADiレジスタも、不定になる場合があります。
  プログラムでADSTビットを“0”にした場合は、すべてのADiレジスタの値を使用しないでください。

26. コンパレータB

コンパレータBはリファレンス入力電圧と、アナログ入力電圧を比較します。コンパレータB1とコンパレータB3の独立した2つのコンパレータです。

26.1 概要

リファレンス入力電圧とアナログ入力電圧の比較結果を、ソフトウェアで読めます。リファレンス入力電圧としてIVREFi(i=1、3)端子への入力が使用できます。

表26.1にコンパレータBの仕様を、図26.1にコンパレータBのブロック図を、表26.2に入出力端子を示します。

表26.1　コンパレータBの仕様

項目	仕様
アナログ入力電圧	IVCMPi端子への入力電圧
リファレンス入力電圧	IVREFi端子への入力電圧
比較結果	INTCMPレジスタのINTiCOUTビットの読み出し
割り込み要求発生タイミング	比較結果が変化したとき
選択機能	デジタルフィルタ機能 　デジタルフィルタの有無、サンプリング周波数を選択できる

i=1、3

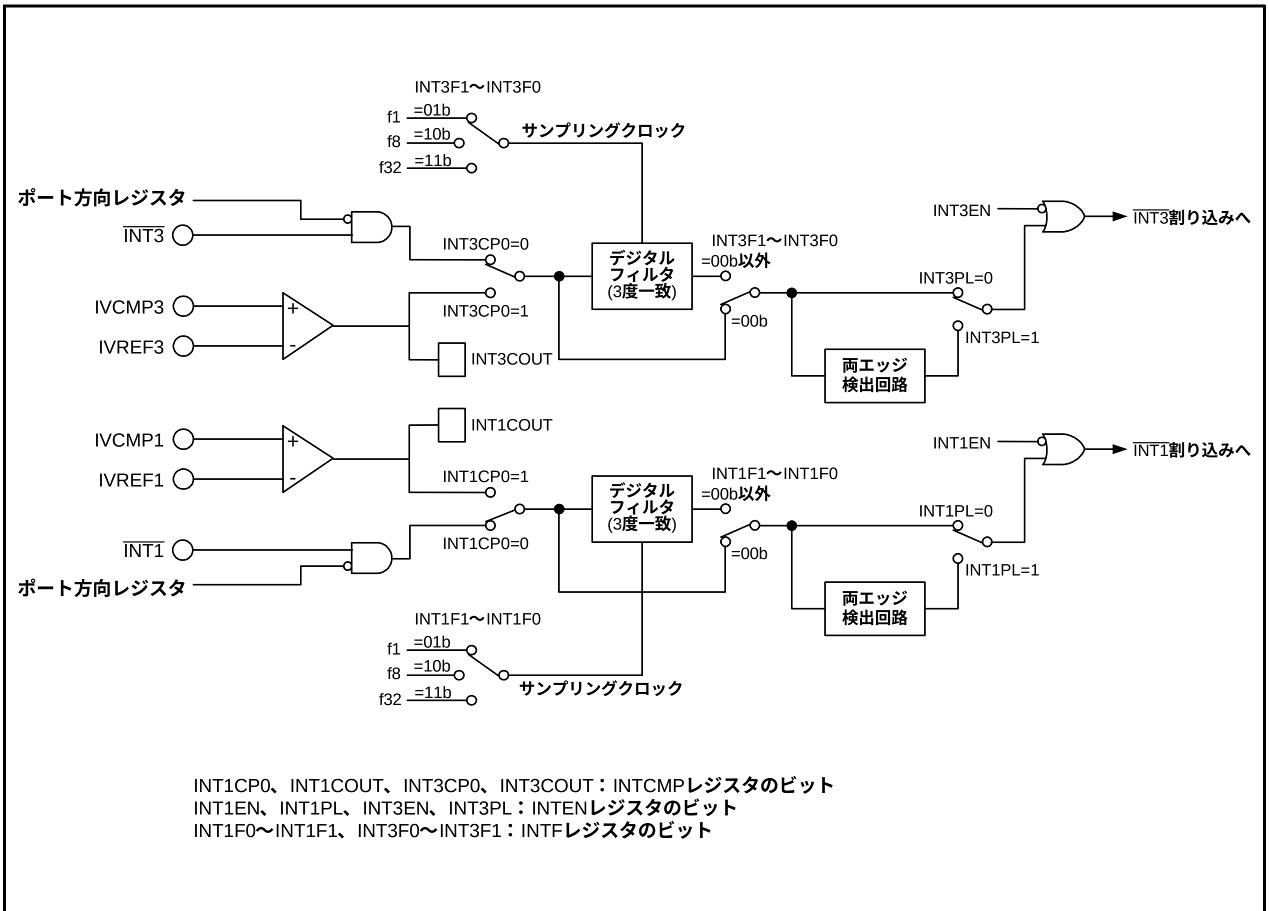


図26.1　コンパレータBのブロック図

表26.2　入出力端子

端子名	入出力	機能
IVCMP1	入力	コンパレータB1用アナログ端子
IVREF1	入力	コンパレータB1用リファレンス電圧端子
IVCMP3	入力	コンパレータB3用アナログ端子
IVREF3	入力	コンパレータB3用リファレンス電圧端子

26.2　レジスタの説明

26.2.1　コンパレータB制御レジスタ0(INTCMP)

アドレス 01F8h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3COUT	—	—	INT3CP0	INT1COUT	—	—	INT1CP0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT1CP0	コンパレータB1動作許可ビット	0：コンパレータB1動作禁止 1：コンパレータB1動作許可	R/W
b1	—	予約ビット	“0”にしてください	R/W
b2	—			
b3	INT1COUT	コンパレータB1モニタフラグ	0：IVCMP1＜IVREF1またはコンパレータB1動作禁止 1：IVCMP1＞IVREF1	R
b4	INT3CP0	コンパレータB3動作許可ビット	0：コンパレータB3動作禁止 1：コンパレータB3動作許可	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	—			
b7	INT3COUT	コンパレータB3モニタフラグ	0：IVCMP3＜IVREF3またはコンパレータB3動作禁止 1：IVCMP3＞IVREF3	R

26.2.2　外部入力許可レジスタ0 (INTEN)

アドレス 01FAh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3PL	INT3EN	—	—	INT1PL	INT1EN	INT0PL	INT0EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0EN	$\overline{\text{INT0}}$入力許可ビット	0：禁止 1：許可	R/W
b1	INT0PL	$\overline{\text{INT0}}$入力極性選択ビット(注1、2)	0：片エッジ 1：両エッジ	R/W
b2	INT1EN	$\overline{\text{INT1}}$入力許可ビット	0：禁止 1：許可	R/W
b3	INT1PL	$\overline{\text{INT1}}$入力極性選択ビット(注1、2)	0：片エッジ 1：両エッジ	R/W
b4	—	予約ビット	“0”にしてください	R/W
b5	—			
b6	INT3EN	$\overline{\text{INT3}}$入力許可ビット	0：禁止 1：許可	R/W
b7	INT3PL	$\overline{\text{INT3}}$入力極性選択ビット(注1、2)	0：片エッジ 1：両エッジ	R/W

注1.　INTiPLビット(i=0～1、3)を“1”(両エッジ)にする場合、INTiICレジスタのPOLビットを“0”(立ち下がりエッジを選択)にしてください。

注2.　INTENレジスタを変更すると、INTiICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「11.8.4　割り込み要因の変更」を参照してください。

26.2.3 INT入力フィルタ選択レジスタ0 (INTF)

アドレス 01FCh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3F1	INT3F0	—	—	INT1F1	INT1F0	INT0F1	INT0F0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0F0	$\overline{\mathrm{INT0}}$入力フィルタ選択ビット	b1 b0 0 0：フィルタなし 0 1：フィルタあり、f1でサンプリング 1 0：フィルタあり、f8でサンプリング 1 1：フィルタあり、f32でサンプリング	R/W
b1	INT0F1			R/W
b2	INT1F0	$\overline{\mathrm{INT1}}$入力フィルタ選択ビット	b3 b2 0 0：フィルタなし 0 1：フィルタあり、f1でサンプリング 1 0：フィルタあり、f8でサンプリング 1 1：フィルタあり、f32でサンプリング	R/W
b3	INT1F1			R/W
b4	—	予約ビット	“0”にしてください	R/W
b5	—			
b6	INT3F0	$\overline{\mathrm{INT3}}$入力フィルタ選択ビット	b7 b6 0 0：フィルタなし 0 1：フィルタあり、f1でサンプリング 1 0：フィルタあり、f8でサンプリング 1 1：フィルタあり、f32でサンプリング	R/W
b7	INT3F1			R/W

26.3 動作説明

コンパレータB1とコンパレータB3はそれぞれ独立して動作できます。動作は同じです。表26.3にコンパレータB関連レジスタの設定手順を示します。

表26.3 コンパレータB関連レジスタの設定手順

順番	レジスタ	ビット	設定値
1	IVCMPi、IVREFi端子の機能選択。「7.5 ポートの設定」参照。 ただし、順番2以降に示されるレジスタ、ビット以外を設定してください。		
2	INTF	フィルタ有無、サンプリングクロック選択	
3	INTCMP	INTiCP0	1(動作許可)
4	コンパレータ安定時間(最大100μs)待ち		
5	INTEN	INTiEN	割り込みを使用する場合：1(割り込み許可)
		INTiPL	割り込みを使用する場合：入力極性選択
6	INTiIC	ILVL2〜ILVL0	割り込みを使用する場合：割り込み優先レベル選択
		IR	割り込みを使用する場合：0(割り込み要求なし：初期化)

i=1、3

図26.2にコンパレータBi(i＝1、3)の動作例を示します。

リファレンス入力よりアナログ入力の電圧が高い場合は、INTCMPレジスタのINTiCOUTビットが“1”になり、リファレンス入力よりアナログ入力の電圧が低い場合は、INTiCOUTビットが“0”になります。

コンパレータBi割り込みを使用する場合は、INTENレジスタのINTiENビットを“1”(割り込み許可)にしてください。このとき比較結果が変化すれば、コンパレータBi割り込み要求が発生します。割り込みについては「26.4 コンパレータB1、コンパレータB3割り込み」を参照してください。

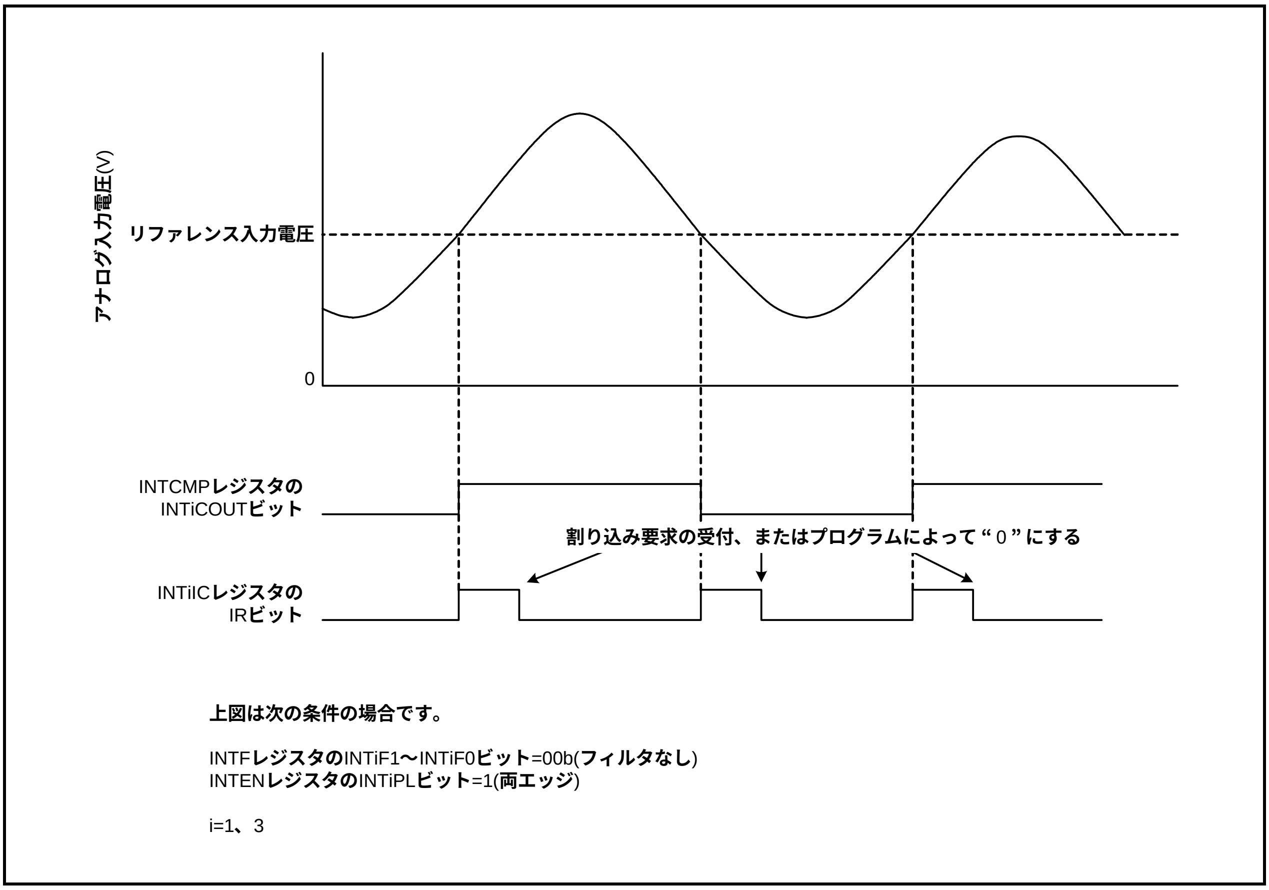


図26.2 コンパレータBi(i＝1、3)の動作例

26.3.1 コンパレータBiデジタルフィルタ(i=1、3)

コンパレータBiは、$\overline{\text{INTi}}$入力と同一のデジタルフィルタを使用できます。サンプリングクロックはINTFレジスタのINTiF1～INTiF0ビットで選択できます。サンプリングクロックごとにコンパレータBiの出力信号INTiCOUT信号をサンプリングし、レベルが3度一致した時点で、INTiICレジスタのIRビットが“1”(割り込み要求あり)になります。

図26.3にコンパレータBiデジタルフィルタの構成を、図26.4にコンパレータBiデジタルフィルタ動作例を示します。

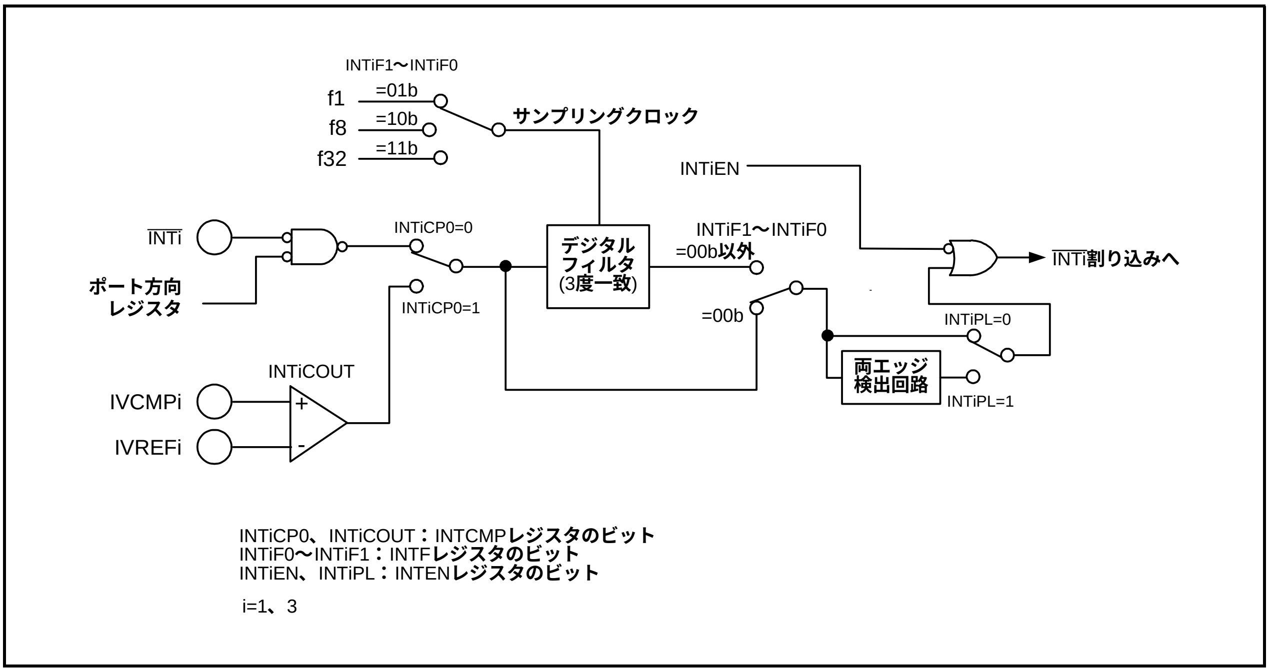


図26.3　コンパレータBiデジタルフィルタの構成

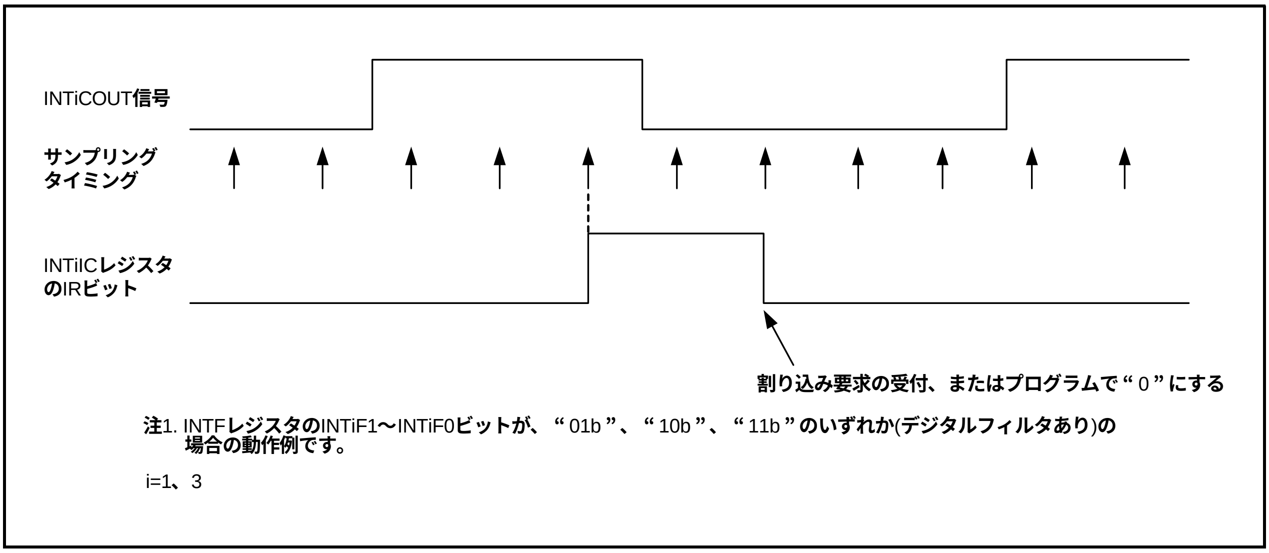


図26.4　コンパレータBiデジタルフィルタ動作例

26.4 コンパレータB1、コンパレータB3割り込み

コンパレータBはコンパレータB1、およびコンパレータB3の2つの割り込み要求を発生します。コンパレータBi(i=1、3)割り込みは$\overline{\text{INTi}}$(i=1、3)入力による割り込みと同一のINTiICレジスタ(IRビット、ILVL0～ILVL2ビット)と、それぞれ1つの割り込みベクタを持ちます。

コンパレータBi割り込みを使用するときはINTENレジスタのINTiENビットを"1"(割り込み許可)にしてください。さらに極性をINTENレジスタのINTiPLビットとINTiICレジスタのPOLビットで選択できます。

また、3種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。

27. フラッシュメモリ

フラッシュメモリは、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードがあります。

27.1 概要

表27.1にフラッシュメモリの性能概要(R8C/32Gグループ)を、表27.2にフラッシュメモリの性能概要(R8C/32Hグループ)を示します(表27.1、表27.2に示す以外の項目は「表1.1 〜表1.2　R8C/32Gグループの仕様概要」、「表1.3 および表1.4　R8C/32Hグループの仕様概要」を参照してください)。

R8C/32GグループはBGO (バックグラウンドオペレーション)機能付データフラッシュ(1KB×4ブロック)を内蔵しています。

表27.1　フラッシュメモリの性能概要(R8C/32Gグループ)

項目		性能
フラッシュメモリの動作モード		3モード(CPU書き換え、標準シリアル入出力、パラレル入出力)
消去ブロック分割		図27.1を参照してください。
プログラム方式		バイト単位
イレーズ方式		ブロック消去
プログラム、イレーズ制御方式(注1)		ソフトウェアコマンドによるプログラム、イレーズ制御
書き換え制御方式	ブロック0〜3 (プログラムROM)(注3)	ロックビットによるブロック単位の書き換えプロテクト制御
	ブロックA、B、C、D (データフラッシュ)	FMR1レジスタのFMR14、FMR15、FMR16、FMR17ビットによるブロックA、B、C、Dに対する個別の書き換え制御
コマンド数		7コマンド
プログラム、イレーズ回数(注2)	ブロック0〜3 (プログラムROM)(注3)	1,000回
	ブロックA、B、C、D (データフラッシュ)	10,000回
IDコードチェック機能		標準シリアル入出力モード対応
ROMコードプロテクト		パラレル入出力モード対応

注1. プログラム、イレーズを実行する場合は、電源電圧VCC=2.7V〜5.5Vの条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

注2. プログラム、イレーズ回数の定義
プログラム、イレーズ回数はブロックごとのイレーズ回数です。
プログラム、イレーズ回数がn回(n=1,000、10,000回)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った場合、そのブロックをイレーズするとプログラム/イレーズ回数は1回と数えます。100回以上の書き換えを実施する場合は、実質的な書き換え回数を減少させるために、空き領域がなくなるまでプログラムを実施してからイレーズを行うようにすることと、特定ブロックのみの書き換えは避け、各ブロックへのプログラム、イレーズ回数を平準化するように書き換えを実施してください。また、ブロックごとに何回イレーズを実施したかを情報として残していただき、制限回数を設けていただくことをお勧めします。

注3. 製品によってブロック数およびブロックの分割が異なります。詳細は「図27.1　R8C/32Gグループ、R8C/32Hグループのフラッシュメモリのブロック図」を参照してください。

表 27.2　フラッシュメモリの性能概要(R8C/32Hグループ)

項目		性能
フラッシュメモリの動作モード		3モード(CPU書き換え、標準シリアル入出力、パラレル入出力)
消去ブロック分割		図 27.1を参照してください。
プログラム方式		バイト単位
イレーズ方式		ブロック消去
プログラム、イレーズ制御方式		ソフトウェアコマンドによるプログラム、イレーズ制御
書き換え制御方式	ブロック0～3(プログラムROM)(注2)	ロックビットによるブロック単位の書き換えプロテクト制御
コマンド数		7コマンド
プログラム、イレーズ回数(注1)	ブロック0～3(プログラムROM)(注2)	100回
IDコードチェック機能		標準シリアル入出力モード対応
ROMコードプロテクト		パラレル入出力モード対応

注1.　プログラム、イレーズ回数の定義
プログラム、イレーズ回数はブロックごとのイレーズ回数です。
プログラム、イレーズ回数が100回の場合、ブロックごとにそれぞれ100回ずつイレーズすることができます。例えば、4Kバイトのブロックについて、それぞれ異なる番地に1バイト書き込みを4096回に分けて行った場合、そのブロックをイレーズするとプログラム/イレーズ回数は1回と数えます。実質的な書き換え回数を減少させるために、空き領域がなくなるまでプログラムを実施してからイレーズを行うようにすることと、特定ブロックのみの書き換えは避け、各ブロックへのプログラム、イレーズ回数を平準化するように書き換えを実施してください。また、ブロックごとに何回イレーズを実施したかを情報として残していただき、制限回数を設けていただくことをお勧めします。

注2.　製品によってブロック数およびブロックの分割が異なります。詳細は「図 27.1　R8C/32Gグループ、R8C/32Hグループのフラッシュメモリのブロック図」を参照してください。

表 27.3　フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード	標準シリアル入出力モード	パラレル入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換える	専用シリアルライタを使用して、ユーザROM領域を書き換える	専用パラレルライタを使用してユーザROM領域を書き換える
書き換えできる領域	ユーザROM	ユーザROM	ユーザROM
書き換えプログラム	ユーザプログラム	標準ブートプログラム	—

27.2 メモリ配置

フラッシュメモリは、ユーザROM領域とブートROM領域(予約領域)に分けられます。

図27.1にR8C/32Gグループ、R8C/32Hグループのフラッシュメモリのブロック図を示します。

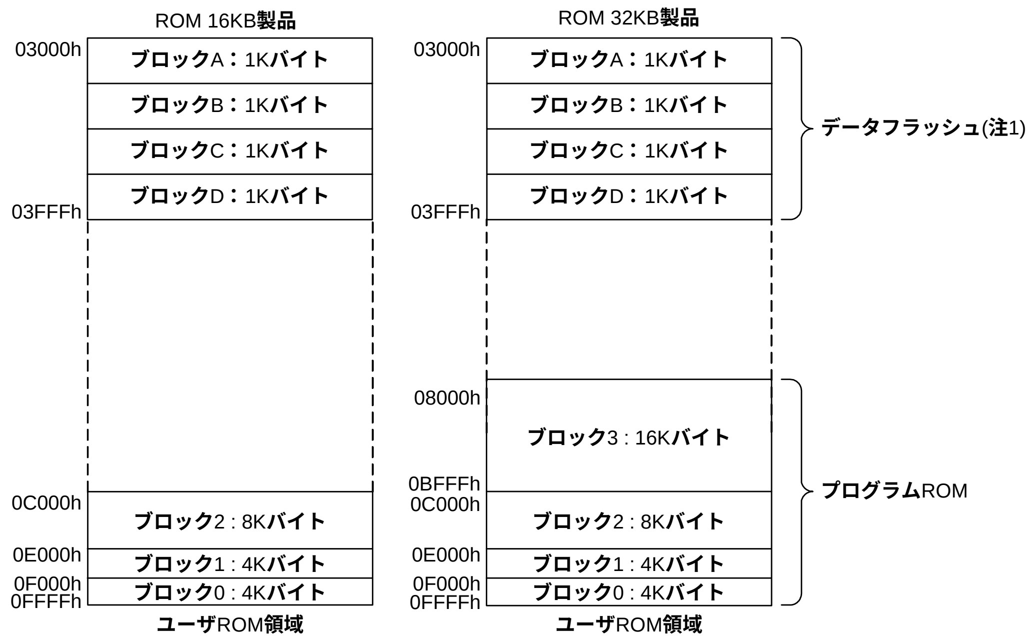
ユーザROM領域にはプログラムROMとデータフラッシュ (R8C/32Gグループのみ)があります。

プログラムROM：　主にプログラムを格納するためのフラッシュメモリ

データフラッシュ：主に書き換えが必要なデータを格納するためのフラッシュメモリ

ユーザROM領域はいくつかのブロックに分割されています。ユーザROM領域は、CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。

ブートROM領域は出荷時に標準シリアル入出力モードの書き換え制御プログラム(標準ブートプログラム)が格納されています。ブートROM領域は、ユーザROM領域とは別に存在します。



注1.　R8C/32Gグループのみ

図27.1　R8C/32Gグループ、R8C/32Hグループのフラッシュメモリのブロック図

27.3 フラッシュメモリ書き換え禁止機能

フラッシュメモリを簡単に読んだり書き換えたりできないように、標準シリアル入出力モードにはIDコードチェック機能が、パラレル入出力モードにはROMコードプロテクト機能があります。

27.3.1 IDコードチェック機能

IDコードチェック機能は、標準シリアル入出力モードで使用します。リセットベクタの3バイト(0FFFCh～0FFFEh番地)が“FFFFFFh”ではない場合、シリアルライタやオンチップデバッギングエミュレータから送られてくるIDコードと、フラッシュメモリに書かれている7バイトのIDコードが一致するか判定します。コードが一致しなければ、シリアルライタやオンチップデバッギングエミュレータから送られてくるコマンドは受け付けません。IDコードチェック機能の詳細は、「12.　IDコード領域」を参照してください。

27.3.2 ROMコードプロテクト機能

ROMコードプロテクトはパラレル入出力モード使用時、OFSレジスタを使用して、フラッシュメモリの内容の読み出し、書き換え、消去を禁止する機能です。

オプション機能選択領域の詳細は「13.　オプション機能選択領域」を参照してください。

ROMCRビットに“1”、ROMCP1ビットに“0”を書くと、ROMコードプロテクトが有効になり、内蔵フラッシュメモリの内容の読み出し、書き換えが禁止されます。

一度、ROMコードプロテクトを有効にすると、パラレル入出力モードでは、内蔵フラッシュメモリの内容を書き換えできません。ROMコードプロテクトを解除する場合は、CPU書き換えモードまたは標準シリアル入出力モードを使用して、OFSレジスタを含むブロックを消去してください。

27.3.3 オプション機能選択レジスタ(OFS)

アドレス 0FFFFh番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	—	—	ROMCP1	ROMCR	—	WDTON
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動選択ビット	0：リセット後、ウォッチドッグタイマは自動的に起動 1：リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	“1”にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除ビット	0：ROMコードプロテクト解除 1：ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクトビット	0：ROMコードプロテクト有効 1：ROMコードプロテクト解除	R/W
b4	—	予約ビット	“1”にしてください	R/W
b5	—	予約ビット	“0”にしてください	R/W
b6	LVDAS	電圧検出0回路起動ビット(注2)	0：リセット後、電圧監視0リセット有効 1：リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース保護モード選択ビット	0：リセット後、カウントソース保護モード有効 1：リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。
OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。
ブランク出荷品の出荷時、OFSレジスタは“FFh”です。ユーザでの書き込み後は、書き込んだ値になります。
書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は、「13.3.1　オプション機能選択領域の設定例」を参照してください。

27.4 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換えることができます。したがって、ROMライタなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。ソフトウェアコマンドは、ユーザROM領域の各ブロック領域のみに対して実行してください。

また、CPU書き換えモードで消去動作中に、消去動作を一時中断するイレーズサスペンド機能を持ちます。イレーズサスペンド中は、フラッシュメモリの読み出しまたはプログラムができます。

CPU書き換えモードには、イレーズライト0モード(EW0モード)とイレーズライト1モード(EW1モード)があります。

表27.4にEW0モードとEW1モードの違いを示します。

表27.4　EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
動作モード	シングルチップモード	シングルチップモード
書き換え制御プログラムを配置できる領域	ユーザROM	ユーザROM
書き換え制御プログラムを実行できる領域(注1)	RAM(書き換え制御プログラムを転送して実行) ただし、データフラッシュ領域を書き換える場合は、プログラムROM領域上で実行可能。	ユーザROMまたはRAM
書き換えられる領域	ユーザROM	ユーザROM ただし、書き換え制御プログラムがあるブロックを除く
ソフトウェアコマンドの制限(注1)	—	プログラム、ブロックイレーズコマンド 書き換え制御プログラムがあるブロックに対して実行禁止
プログラム、ブロックイレーズ後、イレーズサスペンド移行後のモード	リードアレイモード	リードアレイモード
プログラム、ブロックイレーズ実行中のCPU、DTCの状態(注1)	動作	• データフラッシュ領域をプログラム、ブロックイレーズ実行中、CPUまたはDTCは動作 • プログラムROM領域をプログラム、ブロックイレーズ実行中、CPUまたはDTCはホールド状態(入出力ポートはコマンド実行前の状態を保持)
フラッシュメモリのステータス検知	プログラムでFSTレジスタのFST7、FST5、FST4ビットを読む	プログラムでFSTレジスタのFST7、FST5、FST4ビットを読む
イレーズサスペンドへの移行条件(注1)	• プログラムでFMR2レジスタのFMR20、FMR21ビットを“1”にする • FMR2レジスタのFMR20とFMR22ビットが“1”かつ許可されたマスカブル割り込み要求が発生	• プログラムでFMR2レジスタのFMR20、FMR21ビットを“1”にする(データフラッシュ領域を書き換え中) • FMR2レジスタのFMR20とFMR22ビットが“1”かつ許可されたマスカブル割り込み要求が発生
CPUクロック	最大20MHz	最大20MHz

注1.R8C/32Gグループのみデータフラッシュを内蔵しています。

27.4.1 フラッシュメモリステータスレジスタ(FST)

アドレス 01B2h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FST7	FST6	FST5	FST4	—	LBDATA	BSYAEI	RDYSTI
リセット後の値	1	0	0	0	0	X	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RDYSTI	フラッシュレディステータス割り込み要求フラグ(注1、4)	0：フラッシュレディステータス割り込み要求なし 1：フラッシュレディステータス割り込み要求あり	R/W
b1	BSYAEI	フラッシュアクセスエラー割り込み要求フラグ(注2、4)	0：フラッシュアクセスエラー割り込み要求なし 1：フラッシュアクセスエラー割り込み要求あり	R/W
b2	LBDATA	LBDATAモニタフラグ	0：ロック状態 1：非ロック状態	R
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b4	FST4	プログラムエラーフラグ(注3)	0：プログラムエラーなし 1：プログラムエラーあり	R
b5	FST5	イレーズエラー/ブランクチェックエラーフラグ(注3)	0：イレーズエラー/ブランクチェックエラーなし 1：イレーズエラー/ブランクチェックエラーあり	R
b6	FST6	イレーズサスペンドステータスフラグ	0：イレーズサスペンド以外 1：イレーズサスペンド中	R
b7	FST7	レディ/ビジーステータスフラグ	0：ビジー 1：レディ	R

注1. プログラムでRDYSTIビットを“1”(フラッシュレディステータス割り込み要求あり)にできません。
RDYSTIビットに“0”(フラッシュレディステータス割り込み要求なし)を書く場合は、書く前に読んでください(ダミーリード)。読んでから書くまでの間はフラッシュレディステータス要因によるDTC起動を禁止にしてください。
このビットを確認する場合には、FMR0 レジスタの RDYSTIE ビットを“1”(フラッシュレディステータス割り込み許可)にしてください。

注2. プログラムでBSYAEIビットを“1”(フラッシュアクセスエラー割り込み要求あり)にできません。
BSYAEIビットに“0”(フラッシュアクセスエラー割り込み要求なし)を書く場合は、書く前に読んでください(ダミーリード)。
このビットを確認する場合には、FMR0レジスタのBSYAEIEビットを“1”(フラッシュアクセスエラー割り込み許可)あるいはFMR0レジスタのCMDERIEビットを“1”(イレーズ/ライトエラー割り込み許可)にしてください。

注3. コマンドエラー時にも“1”(エラーあり)になります。

注4. このビットが“1”のとき、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にしないでください。

RDYSTIビット(フラッシュレディステータス割り込み要求フラグ)

FMR0レジスタのRDYSTIEビットが“1”(フラッシュレディステータス割り込み許可)で、自動書き込みまたは自動消去が終了、もしくはイレーズサスペンドモードに移行したときにRDYSTIビットが“1”(フラッシュレディステータス割り込み要求あり)になります。

割り込み処理の中で、RDYSTIビットを“0”(フラッシュレディステータス割り込み要求なし)にしてください。

[“0”になる条件]

割り込み処理のプログラムで“0”にしてください。

[“1”になる条件]

FMR0レジスタのRDYSTIEビットが“1”のときに、ビジーからレディに遷移すると、RDYSTIビットは“1”になります。

ビジーからレディに変化するのは、次の状態のときです。

- フラッシュメモリのイレーズ／プログラム終了
- サスペンド受付
- 強制終了完了
- ロックビットプログラム終了
- リードロックビットステータス終了
- ブロックブランクチェック終了
- フラッシュメモリ停止が解除され、フラッシュメモリ読み出し可能となったとき

BSYAEIビット(フラッシュアクセスエラー割り込み要求フラグ)

FMR0レジスタのBSYAEIEビットが“1”(フラッシュアクセスエラー割り込み許可)で、自動書き込みまたは自動消去状態のブロックへアクセスした場合、またはFMR0レジスタのCMDERIEビットが“1”(イレーズ/ライトエラー割り込み許可)のときに、イレーズエラーまたはプログラムエラーが発生した場合に、BSYAEIビットが“1”(フラッシュアクセスエラー割り込み要求あり)になります。

割り込み処理の中で、BSYAEIビットを“0”(フラッシュアクセスエラー割り込み要求なし)にしてください。

[“0”になる条件]

(1) 割り込み処理のプログラムで“0”にしてください。

(2) クリアステータスレジスタコマンドを実行してください。

[“1”になる条件]

(1) FMR0レジスタのBSYAEIEビットが“1”のときに、フラッシュメモリがビジー状態で、イレーズ/ライトを実行している領域を読み/書きする。
    または、プログラムROM領域をイレーズ/ライト中にデータフラッシュ領域(R8C/32Gグループのみ)をリードする。(ただし、両者共に読み出し値は不定。書き込みは無効。)

(2) FMR0レジスタのCMDERIEビットが“1”(イレーズ/ライトエラー割り込み許可)のときに、コマンドシーケンスエラー、イレーズエラー、ブランクチェックエラーまたはプログラムエラーが発生した場合。

LBDATAビット(LBDATAモニタフラグ)

ロックビットの状態を示す読み出し専用ビットです。ロックビットの状態を確認するためには、リードロックビットステータスコマンドを実行し、FST7ビットが“1”(レディ)になった後で、LBDATAビットを読んでください。

更新条件は、プログラム、イレーズ、リードロックビットステータスのコマンド発行時です。リードロックビットステータスコマンドを入力すると、FST7ビットが“0”(ビジー)になります。FST7ビットが“1”(レディ)になった時点でLBDATAビットにロックビットの状態が格納されます。次のコマンドが入力されるまで、LBDATAビットのデータは保持されます。

FST4ビット(プログラムエラーフラグ)

自動書き込みの状況を示す読み出し専用のビットです。プログラムエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「27.4.14　フルステータスチェック」を参照してください。

FST5ビット(イレーズエラー/ブランクチェックエラーフラグ)

自動消去またはブロックブランクチェックコマンドの状況を示す読み出し専用のビットです。イレーズエラーまたはブランクチェックエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「27.4.14　フルステータスチェック」を参照してください。

FST6ビット(イレーズサスペンドステータスフラグ)

サスペンドの状態を示す読み出し専用のビットです。イレーズサスペンドリクエストを受け付け、サスペンド状態に移行すると“1”になります。それ以外のときは“0”になります。

FST7ビット(レディ/ビジーステータスフラグ)

FST7ビットが“0”(ビジー)のとき、フラッシュメモリは次の状態です。

- プログラム中
- イレーズ中
- ロックビットプログラム中
- リードロックビットステータス中
- ブロックブランクチェック中
- 強制停止動作中
- フラッシュメモリ停止中
- フラッシュメモリ復帰中

それ以外の場合は、FST7ビットが“1”(レディ)になります。

27.4.2 フラッシュメモリ制御レジスタ0(FMR0)

アドレス 01B4h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RDYSTIE	BSYAEIE	CMDERIE	CMDRST	FMSTP	FMR02	FMR01	−
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	−	予約ビット	“0”にしてください	R/W
b1	FMR01	CPU書き換えモード選択ビット(注1、4)	0：CPU書き換えモード無効 1：CPU書き換えモード有効	R/W
b2	FMR02	EW1モード選択ビット(注1)	0：EW0モード 1：EW1モード	R/W
b3	FMSTP	フラッシュメモリ停止ビット(注2)	0：フラッシュメモリ動作 1：フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ初期化)	R/W
b4	CMDRST	イレーズ/ライトシーケンスリセットビット(注3)	CMDRSTビットを“1”にすると、イレーズ/ライトシーケンスはリセットされ、イレーズ/ライトを強制停止させることができます。 読み出した場合は、“0”が読み出されます。	R/W
b5	CMDERIE	イレーズ/ライトエラー割り込み許可ビット	0：イレーズ/ライトエラー割り込み禁止 1：イレーズ/ライトエラー割り込み許可	R/W
b6	BSYAEIE	フラッシュアクセスエラー割り込み許可ビット	0：フラッシュアクセスエラー割り込み禁止 1：フラッシュアクセスエラー割り込み許可	R/W
b7	RDYSTIE	フラッシュレディステータス割り込み許可ビット	0：フラッシュレディステータス割り込み禁止 1：フラッシュレディステータス割り込み許可	R/W

注1. このビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

注2. FMSTPビットはRAMに転送したプログラムで書いてください。FMSTPビットはFMR01ビットが“1”(CPU書き換えモード有効)のとき、有効です。FMSTPビットを“1”(フラッシュメモリ停止)にする場合は、FSTレジスタのFST7ビットが“1”(レディ)のとき、設定してください。

注3. CMDRSTビットはFMR01ビットが“1”(CPU書き換えモード有効)かつFSTレジスタのFST7ビットが“0”(ビジー)のとき、有効です。

注4. FMR01ビットを“0”(CPU書き換えモード無効)にする場合は、FSTレジスタのRDYSTIビットが“0”(フラッシュレディステータス割り込み要求なし)、かつBSYAEIビットが“0”(フラッシュアクセスエラー割り込み要求なし)のとき、設定してください。

FMR01ビット(CPU書き換えモード選択ビット)

FMR01ビットを“1”(CPU書き換えモード有効)にすると、ソフトウェアコマンドの受け付けが可能になります。

FMR02ビット(EW1モード選択ビット)

FMR02ビットを“1”(EW1モード)にすると、EW1モードになります。

FMSTPビット(フラッシュメモリ停止ビット)

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1”にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはRAMに転送したプログラムで書いてください。

高速オンチップオシレータモード、低速オンチップオシレータモード(XINクロック停止)でさらに低消費電力にする場合、FMSTPビットを“1”にしてください。詳細は「28.2.10 フラッシュメモリの停止」を参照してください。

なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

また、FMSTPビットが“1”のとき(FMSTPビットを“1”から“0”へ変更直後のビジー中(FST7ビットが“0”の期間)も含む)は、同時に低消費電流リードモードにしないでください。

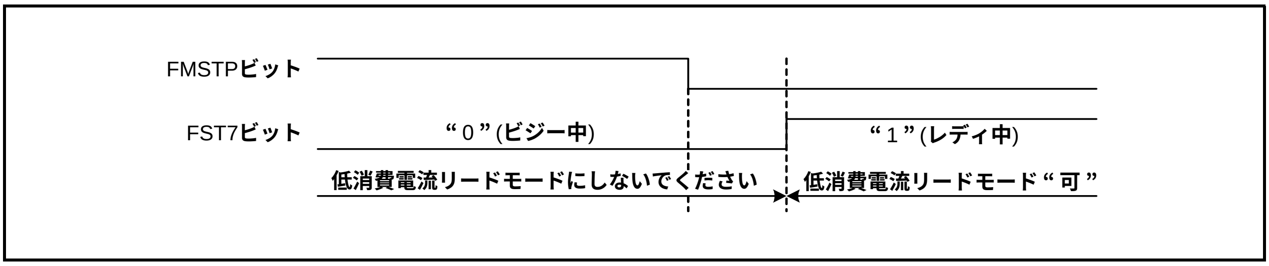


図27.2 低消費電流リードモードへの移行

CMDRSTビット(イレーズ/ライトシーケンスリセットビット)

フラッシュメモリのシーケンスを初期化し、プログラム、ブロックイレーズコマンドを強制停止させるためのビットです。データフラッシュ領域(R8C/32Gグループのみ)へのプログラム/イレーズ中のシーケンスリセットの場合は、プログラムROM領域を読み出すことは可能です。

FMR0レジスタのCMDRSTビットによりプログラム、ブロックイレーズコマンドを強制停止した場合、FSTレジスタのFST7ビットが“1”(レディ)に復帰後、クリアステータスレジスタコマンドを実行してください。再度同じアドレスにプログラムする場合は、ブロックイレーズコマンドを再度実行し、ブロックイレーズが正常に終わったことを確認した上で、プログラムを行ってください。プログラム、ブロックイレーズコマンドを強制停止したアドレスおよびブロックがプログラム領域の場合、FMR1レジスタのFMR13ビットを“1”(ロックビット無効)にした後で、ブロックイレーズコマンドを再度実行してください。

また、イレーズサスペンド中にCMDRSTビットを“1”(イレーズ/ライト停止)にすると、サスペンドの状態も初期化されるため、ブロックイレーズをサスペンドしていたブロックに対しても、ブロックイレーズを再度実行してください。

CMDRSTビットを“1”(イレーズ/ライト停止)にしてから、td(CMDRST-READY)後に、実行中のコマンドが強制停止され、フラッシュメモリが読み出し可能になります。

CMDERIEビット(イレーズ/ライトエラー割り込み許可ビット)

次のエラーが発生したときに、フラッシュコマンドエラー割り込みを発生させることを許可するビットです。

- プログラムエラー
- ブロックイレーズエラー
- コマンドシーケンスエラー
- ブロックブランクチェックエラー

CMDERIEビットを“1”(イレーズ/ライトエラー割り込み許可)にし、上記エラーが発生すると割り込みが発生します。
フラッシュコマンドエラー割り込みが発生した場合は、割り込み処理の中でクリアステータスレジスタコマンドを実行してください。

CMDERIEビットを“0”(イレーズ/ライトエラー割り込み禁止)から“1”(イレーズ/ライトエラー割り込み許可)にする場合には、次のようにしてください。

(1) クリアステータスレジスタコマンドを実行する。
(2) CMDERIEビットを“1”にする。

BSYAEIEビット(フラッシュアクセスエラー割り込み許可ビット)

書き換え中のフラッシュメモリに対して、アクセスした場合に、フラッシュアクセスエラー割り込みを発生させることを許可するビットです。

BSYAEIEビットを“0”(フラッシュアクセスエラー割り込み禁止)から“1”(フラッシュアクセスエラー割り込み許可)にする場合には、次のようにしてください。

(1) FSTレジスタのBSYAEIビットを読む(ダミーリード)。
(2) BSYAEIビットに“0”(フラッシュアクセスエラー割り込み要求なし)を書く。
(3) BSYAEIEビットを“1”(フラッシュアクセスエラー割り込み許可)にする。

RDYSTIEビット(フラッシュレディステータス割り込み許可ビット)

フラッシュシーケンスがビジーからレディ状態になったときに、フラッシュレディステータス割り込みを発生させることを許可するビットです。

RDYSTIEビットを“0”(フラッシュレディステータス割り込み禁止)から“1”(フラッシュレディステータス割り込み許可)にする場合には、次のようにしてください。

(1) FSTレジスタのRDYSTIビットを読む(ダミーリード)。
(2) RDYSTIビットに“0”(フラッシュレディステータス割り込み要求なし)を書く。
(3) RDYSTIEビットを“1”(フラッシュレディステータス割り込み許可)にする。

27.4.3　フラッシュメモリ制御レジスタ1(FMR1)[R8C/32Gグループ]

アドレス 01B5h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FMR17	FMR16	FMR15	FMR14	FMR13	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	—			
b2	—			
b3	FMR13	ロックビット無効選択ビット(注1)	0：ロックビット有効 1：ロックビット無効	R/W
b4	FMR14	データフラッシュブロックA書き換え禁止ビット(注2、3)	0：書き換え許可(ソフトウェアコマンド受付可能) 1：書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない)	R/W
b5	FMR15	データフラッシュブロックB書き換え禁止ビット(注2、3)	0：書き換え許可(ソフトウェアコマンド受付可能) 1：書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない)	R/W
b6	FMR16	データフラッシュブロックC書き換え禁止ビット(注2、3)	0：書き換え許可(ソフトウェアコマンド受付可能) 1：書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない)	R/W
b7	FMR17	データフラッシュブロックD書き換え禁止ビット(注2、3)	0：書き換え許可(ソフトウェアコマンド受付可能) 1：書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない)	R/W

注1.　FMR13 ビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止にしてください。
注2.　このビットを“0”にするときは、“1”を書いた後、続けて“0”を書いてください。また、“1”を書いた後、“0”を書くまでの間は、割り込みとDTC起動を禁止にしてください。
注3.　FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にすると“0”になります。

FMR13ビット(ロックビット無効選択ビット)

FMR13ビットを“1”(ロックビット無効)にすると、ロックビットを無効にできます。“0”にすると、ロックビットが有効になります。ロックビットについては「27.4.12　データ保護機能」を参照してください。

FMR13 ビットは、ロックビット機能を無効にするだけであり、ロックビットデータは変化しません。ただし、FMR13ビットを“1”にした状態でブロックイレーズコマンドを実行すると、“0”(ロック状態)であったロックビットデータは、消去終了後には“1”(非ロック状態)になります。

[“0”になる条件]
次の条件が成立した時点で“0”になります。
- プログラムコマンド終了時点
- イレーズコマンド終了時点
- コマンドシーケンスエラー発生時点
- イレーズサスペンド移行時点
- FMR0レジスタのFMR01ビットが“0”(CPU書き換えモード無効)になった場合
- FMR0レジスタのFMSTPビットが“1”(フラッシュメモリ停止)になった場合
- FMR0レジスタのCMDRSTビットが“1”(イレーズ/ライト停止)になった場合

[“1”になる条件]
プログラムで“1”にしてください。

FMR14ビット(データフラッシュブロックA書き換え禁止ビット)

FMR14ビットが“0”のとき、データフラッシュのブロックAはプログラムコマンド、ブロックイレーズコマンドを受け付けます。

FMR15ビット(データフラッシュブロックB書き換え禁止ビット)

FMR15ビットが“0”のとき、データフラッシュのブロックBはプログラムコマンド、ブロックイレーズコマンドを受け付けます。

FMR16ビット(データフラッシュブロックC書き換え禁止ビット)

FMR16ビットが“0”のとき、データフラッシュのブロックCはプログラムコマンド、ブロックイレーズコマンドを受け付けます。

FMR17ビット(データフラッシュブロックD書き換え禁止ビット)

FMR17ビットが“0”のとき、データフラッシュのブロックDはプログラムコマンド、ブロックイレーズコマンドを受け付けます。

27.4.4 フラッシュメモリ制御レジスタ1(FMR1)[R8C/32Hグループ]

アドレス 01B5h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	FMR13	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
b1	—			
b2	—			
b3	FMR13	ロックビット無効選択ビット(注1)	0：ロックビット有効 1：ロックビット無効	R/W
b4	—	予約ビット	“0”にしてください	R/W
b5	—			
b6	—			
b7	—			

注1. FMR13 ビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

FMR13ビット(ロックビット無効選択ビット)

FMR13ビットを“1”(ロックビット無効)にすると、ロックビットを無効にできます。“0”にすると、ロックビットが有効になります。ロックビットについては「27.4.12　データ保護機能」を参照してください。

FMR13 ビットは、ロックビット機能を無効にするだけであり、ロックビットデータは変化しません。ただし、FMR13ビットを“1”にした状態でブロックイレーズコマンドを実行すると、“0”(ロック状態)であったロックビットデータは、消去終了後には“1”(非ロック状態)になります。

[“0”になる条件]

次の条件が成立した時点で“0”になります。

- プログラムコマンド終了時点
- イレーズコマンド終了時点
- コマンドシーケンスエラー発生時点
- イレーズサスペンド移行時点
- FMR0レジスタのFMR01ビットが“0”(CPU書き換えモード無効)になった場合
- FMR0レジスタのFMSTPビットが“1”(フラッシュメモリ停止)になった場合
- FMR0レジスタのCMDRSTビットが“1”(イレーズ/ライト停止)になった場合

[“1”になる条件]

プログラムで“1”にしてください。

27.4.5 フラッシュメモリ制御レジスタ2(FMR2) [R8C/32Gグループ]

アドレス 01B6h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FMR27	−	−	−	FMR23	FMR22	FMR21	FMR20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FMR20	イレーズサスペンド許可ビット(注1)	0：イレーズサスペンド禁止 1：イレーズサスペンド許可	R/W
b1	FMR21	イレーズサスペンドリクエストビット(注2)	0：イレーズリスタート 1：イレーズサスペンドリクエスト	R/W
b2	FMR22	割り込み要求サスペンドリクエスト許可ビット(注1)	0：割り込み要求でイレーズサスペンドリクエスト禁止 1：割り込み要求でイレーズサスペンドリクエスト許可	R/W
b3	FMR23	データフラッシュアクセスサイクル選択ビット(注3)	0：CPUクロックの2サイクル 1：CPUクロックの4サイクル	R/W
b4	−	予約ビット	“0”にしてください	R/W
b5	−			
b6	−			
b7	FMR27	低消費電流リードモード許可ビット(注1、4)	0：低消費電流リードモード禁止 1：低消費電流リードモード許可	R/W

注1. このビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止にしてください。
注2. FMR21ビットを“0”(イレーズリスタート)にする場合は、FMR0レジスタのFMR01ビットが“1”(CPU書き換えモード有効)のとき、設定してください。
注3. データフラッシュを「CPUクロック＞16MHz」で使用する場合はこのビットを“1”(CPUクロックの4サイクル)にしてください。
注4. CPU クロックを低速オンチップオシレータクロックの4分周、8分周または16分周のいずれかに設定した後、FMR27ビットを“1”にしてください。1分周(分周なし)、2分周では低消費電流リードモードを使用しないでください。
ウェイトモードまたはストップモードへ移行するときは、FMR27 ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態で、ウェイトモードまたはストップモードへ移行しないでください。

FMR20ビット(イレーズサスペンド許可ビット)

FMR20ビットを“1”(許可)にすると、イレーズサスペンド機能が許可されます。

FMR21ビット(イレーズサスペンドリクエストビット)

FMR21ビットを“1”にすると、イレーズサスペンドモードに移行します。FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合、許可された割り込みの割り込み要求が発生すると、FMR21ビットは自動的に“1”(イレーズサスペンドリクエスト)になり、イレーズサスペンドモードに移行します。自動消去を再開するときは、FMR21ビットを“0”(イレーズリスタート)にしてください。

[“0”になる条件]
プログラムで“0”にしてください。
[“1”になる条件]
- 割り込み要求発生時に、FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)のとき。
- プログラムで“1”にしてください。

FMR22ビット(割り込み要求サスペンドリクエスト許可ビット)

FMR22ビットを“1”(割り込みでイレーズサスペンドリクエスト許可)にすると、自動消去中に、割り込み要求が発生したときに、自動的にFMR21ビットを“1”(イレーズサスペンドリクエスト)にします。

EW1モードでユーザROM領域を書き換え中にイレーズサスペンドを使用するときに、“1”にしてください。

FMR23ビット(データフラッシュアクセスサイクル選択ビット)

FMR23ビットを“1”にすると、通常CPUクロックの2サイクルのデータフラッシュリードが4サイクルに変更されます。プログラムROM領域およびSFR、RAM領域へのアクセスは変更されません。

データフラッシュを「CPUクロック＞16MHz」で使用する場合はこのビットを“1”(CPUクロックの4サイクル)にしてください。

FMR27ビット(低消費電流リードモード許可ビット)

低速オンチップオシレータモード(XINクロック停止)のときに、FMR27ビットを“1”(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。詳細は「28.2.11　低消費電流リードモード」を参照してください。

CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周のいずれかで、低消費電流リードモードを使用できます。1分周(分周なし)、2分周では低消費電流リードモードを使用しないでください。CPUクロック分周比を設定した後、FMR27ビットを“1”にしてください。

ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態で、ウェイトモードまたはストップモードへ移行しないでください。

なお、FMR27ビットが“1”(低消費電流リードモード許可)のとき、プログラム、ブロックイレーズ、ロックビットプログラムコマンドを実行しないでください。また、FMSTPビットを“1”(フラッシュメモリ停止)から“0”(フラッシュメモリ動作)にする場合は、FMR27ビットが“0”(低消費電流リードモード禁止)のときに行ってください。

27.4.6 フラッシュメモリ制御レジスタ2(FMR2) [R8C/32Hグループ]

アドレス 01B6h番地

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FMR27	—	—	—	—	FMR22	FMR21	FMR20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FMR20	イレーズサスペンド許可ビット(注1)	0：イレーズサスペンド禁止 1：イレーズサスペンド許可	R/W
b1	FMR21	イレーズサスペンドリクエストビット(注2)	0：イレーズリスタート 1：イレーズサスペンドリクエスト	R/W
b2	FMR22	割り込み要求サスペンドリクエスト許可ビット(注1)	0：割り込み要求でイレーズサスペンドリクエスト禁止 1：割り込み要求でイレーズサスペンドリクエスト許可	R/W
b3	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		R/W
b4	—	予約ビット	“0”にしてください	R/W
b5	—			
b6	—			
b7	FMR27	低消費電流リードモード許可ビット(注1、3)	0：低消費電流リードモード禁止 1：低消費電流リードモード許可	R/W

注1. このビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

注2. FMR21ビットを“0”(イレーズリスタート)にする場合は、FMR0レジスタのFMR01ビットが“1”(CPU書き換えモード有効)のとき、設定してください。

注3. CPU クロックを低速オンチップオシレータクロックの4分周、8分周または16分周のいずれかに設定した後、FMR27ビットを“1”にしてください。1分周(分周なし)、2分周では低消費電流リードモードを使用しないでください。
ウェイトモードまたはストップモードへ移行するときは、FMR27 ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態で、ウェイトモードまたはストップモードへ移行しないでください。

FMR20ビット(イレーズサスペンド許可ビット)

FMR20ビットを“1”(許可)にすると、イレーズサスペンド機能が許可されます。

FMR21ビット(イレーズサスペンドリクエストビット)

FMR21ビットを“1”にすると、イレーズサスペンドモードに移行します。FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合、許可された割り込みの割り込み要求が発生すると、FMR21ビットは自動的に“1”(イレーズサスペンドリクエスト)になり、イレーズサスペンドモードに移行します。自動消去を再開するときは、FMR21ビットを“0”(イレーズリスタート)にしてください。

[“0”になる条件]
プログラムで“0”にしてください。
[“1”になる条件]

- 割り込み要求発生時に、FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)のとき。
- プログラムで“1”にしてください。

FMR22ビット(割り込み要求サスペンドリクエスト許可ビット)

FMR22ビットを“1”(割り込みでイレーズサスペンドリクエスト許可)にすると、自動消去中に、割り込み要求が発生したときに、自動的にFMR21ビットを“1”(イレーズサスペンドリクエスト)にします。

EW1モードでユーザROM領域を書き換え中にイレーズサスペンドを使用するときに、“1”にしてください。

FMR27ビット(低消費電流リードモード許可ビット)

低速オンチップオシレータモード(XINクロック停止)のときに、FMR27ビットを“1”(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。詳細は「28.2.11　低消費電流リードモード」を参照してください。

CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周のいずれかで、低消費電流リードモードを使用できます。1分周(分周なし)、2分周では低消費電流リードモードを使用しないでください。CPUクロック分周比を設定した後、FMR27ビットを“1”にしてください。

CPUクロック分周比を設定した後、FMR27ビットを“1”にしてください。ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態で、ウェイトモードまたはストップモードへ移行しないでください。

なお、FMR27ビットが“1”(低消費電流リードモード許可)のとき、プログラム、ブロックイレーズ、ロックビットプログラムコマンドを実行しないでください。また、FMSTPビットを“1”(フラッシュメモリ停止)から“0”(フラッシュメモリ動作)にする場合は、FMR27ビットが“0”(低消費電流リードモード禁止)のときに行ってください。

27.4.7 EW0モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にするとCPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能となります。このとき、FMR0レジスタのFMR02ビットが“0”なので、EW0モードになります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了時の状態などは、FSTレジスタで確認できます。

自動消去中にイレーズサスペンドに移行する場合は、FMR20ビットを“1”(イレーズサスペンド許可)、FMR21ビットを“1”(イレーズサスペンドリクエスト)にしてください。次に、FSTレジスタのFST7ビットが“1”(レディ)になったことを確認し、FST6ビットが“1”(イレーズサスペンド中)になったことを確認後、フラッシュメモリにアクセスしてください(FST6ビットが“0”になったとき、消去終了です)。

FMR2レジスタのFMR21ビットを“0”(イレーズリスタート)にすると、自動消去を再開します。また、自動消去の再開を確認する場合は、FSTレジスタのFST7ビットが“0”になったことを確認し、FST6ビットが“0”(イレーズサスペンド以外)になったことを確認してください。

27.4.8 EW1モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にした後、FMR02ビットを“1”(EW1モード)にするとEW1モードになります。

プログラム、イレーズの終了時の状態などは、FSTレジスタで確認できます。

自動消去時、イレーズサスペンド機能を有効にする場合には、FMR2レジスタのFMR20ビットを“1”(サスペンド許可)にしてからブロックイレーズコマンドを実行してください。ユーザROM領域を自動消去中にイレーズサスペンドに移行する場合は、FMR2レジスタのFMR22ビットを“1”(割り込み要求でイレーズサスペンドリクエスト許可)にしてください。また、イレーズサスペンドに移行するための割り込みはあらかじめ割り込み許可状態にしてください。

割り込み要求が発生すると、FMR2レジスタのFMR21ビットは自動的に“1”(イレーズサスペンドリクエスト)になり、td(SR-SUS)後に、自動消去が中断されます。割り込み処理終了後、FMR21ビットを“0”(イレーズリスタート)にして自動消去を再開させてください。

27.4.9 サスペンド動作

サスペンド機能は自動消去の途中で、その動作を一時中断する機能です。

自動消去を中断したとき、次の動作が実行できます。(「表 27.5 サスペンド中に実行できる動作」参照)

- データフラッシュ (R8C/32G グループのみ) の任意のブロックの自動消去をサスペンドした場合、データフラッシュの別のブロックへの自動書き込み、および読み出しが実行できます。
- データフラッシュの自動消去をサスペンドした場合、プログラム ROM への自動書き込みおよび読み出しが実行できます。
- プログラム ROM の任意のブロックの自動消去をサスペンドした場合、プログラム ROM の別のブロックへの自動書き込み、および読み出しが実行できます。
- プログラム ROM の自動消去をサスペンドした場合、データフラッシュへの自動書き込みおよび読み出しが実行できます。
- サスペンドを確認する場合、FST7 ビットが“1”(レディ)となったことを確認後、FST6 ビットが“1”(イレーズサスペンド中) になったことで、サスペンドしたことを確認してください。(FST6 ビットが“0”(イレーズサスペンド以外)となったときは、消去終了です。)

図 27.3にサスペンド動作に関するタイミングを示します。

表 27.5 サスペンド中に実行できる動作

		サスペンド中の動作											
		データフラッシュ (サスペンド移行前のイレーズ実行ブロック)			データフラッシュ (サスペンド移行前のイレーズ未実行ブロック)			プログラムROM (サスペンド移行前のイレーズ実行ブロック)			プログラムROM (サスペンド移行前のイレーズ未実行ブロック)		
		イレーズ	プログラム	リード	イレーズ	プログラム	リード	イレーズ	プログラム	リード	イレーズ	プログラム	リード
サスペンド移行前のイレーズ実行領域	データフラッシュ	×	×	×	×	○	○	—	—	—	×	○	○(注5)
	プログラムROM	—	—	—	×	○	○	×	×	×	×	○	○

注1. ○はサスペンド機能を使用することで動作可能、×は動作禁止、—は組み合わせなし

注2. プログラム中はサスペンドできません。

注3. イレーズはブロックイレーズを、プログラムはプログラム、ロックビットプログラム、リードロックビットステータスの各コマンドを実行できます。
クリアステータスレジスタコマンドは、FST レジスタの FST7 ビットが“1”(レディ)で実行できます。
サスペンド中、ブロックブランクチェックは動作禁止です。

注4. イレーズサスペンド移行直後は、リードアレイモードになります。

注5. データフラッシュをプログラムあるいはブロックイレーズ動作中に、BGO 機能によりプログラム ROM 領域を読み出すことができます。

注6. R8C/32G グループのみデータフラッシュを内蔵しています。

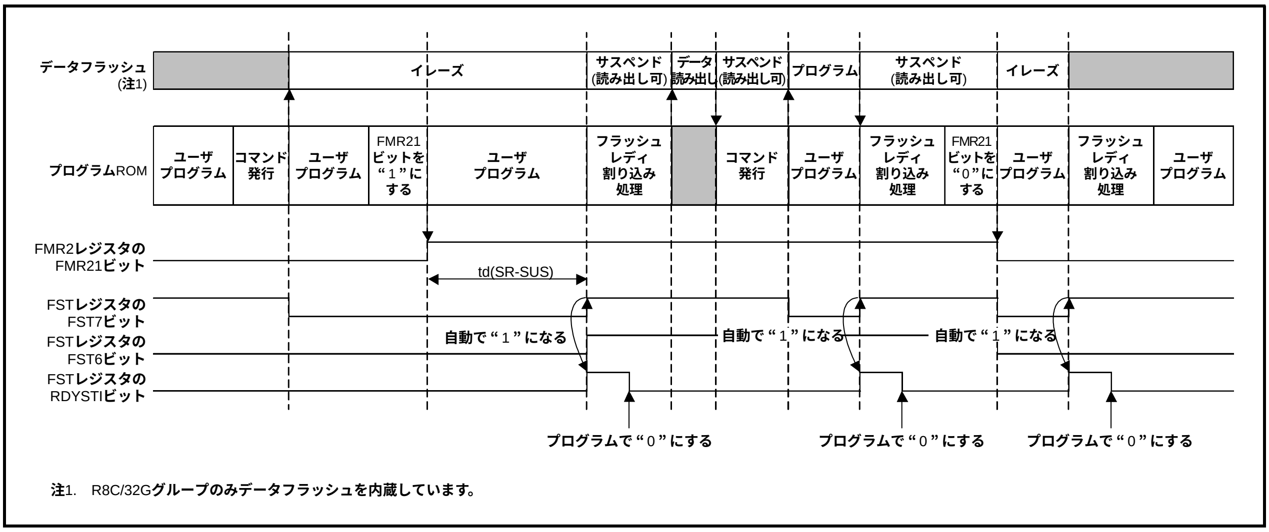


図 27.3　サスペンド動作に関するタイミング

27.4.10 各モードの設定と解除方法

図27.4にEW0モードの設定と解除方法を、図27.5にEW0モード(データフラッシュを書き換える場合)、EW1モードの設定と解除方法を示します。

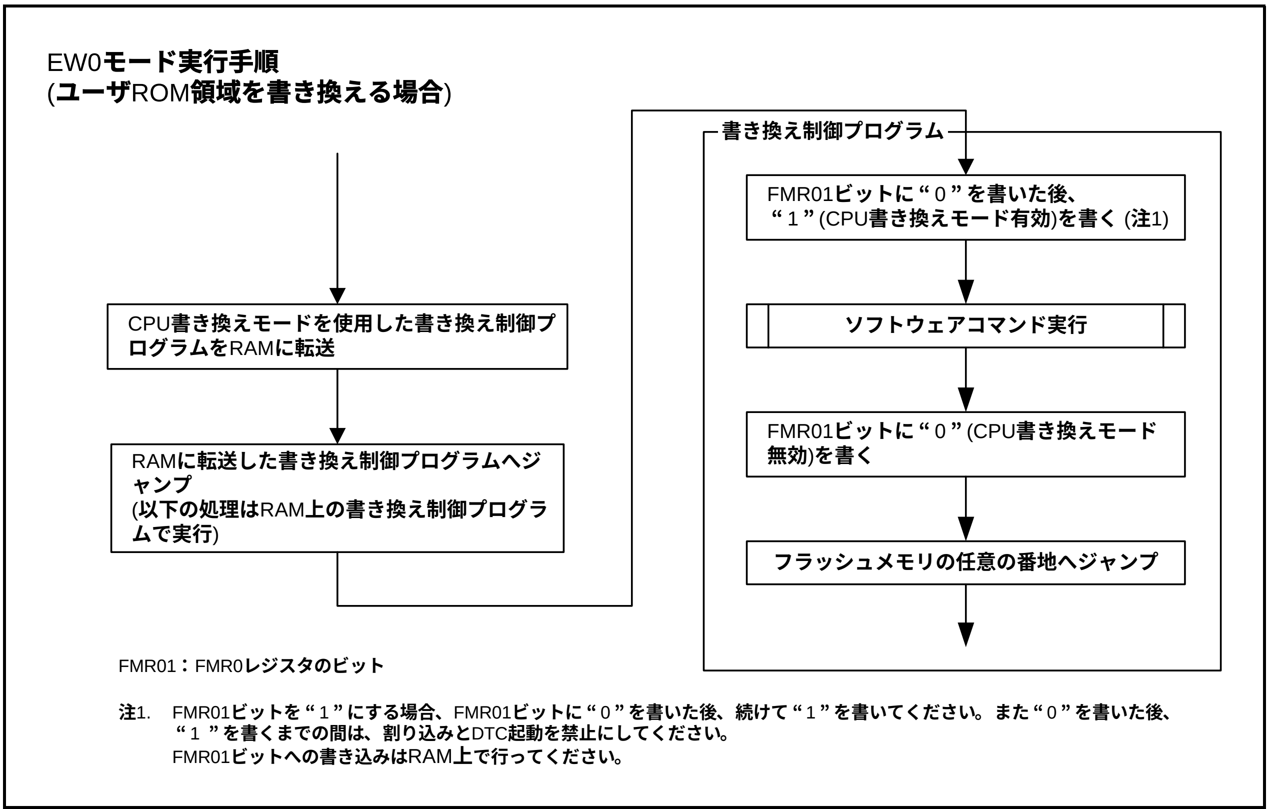


図 27.4　EW0 モードの設定と解除方法

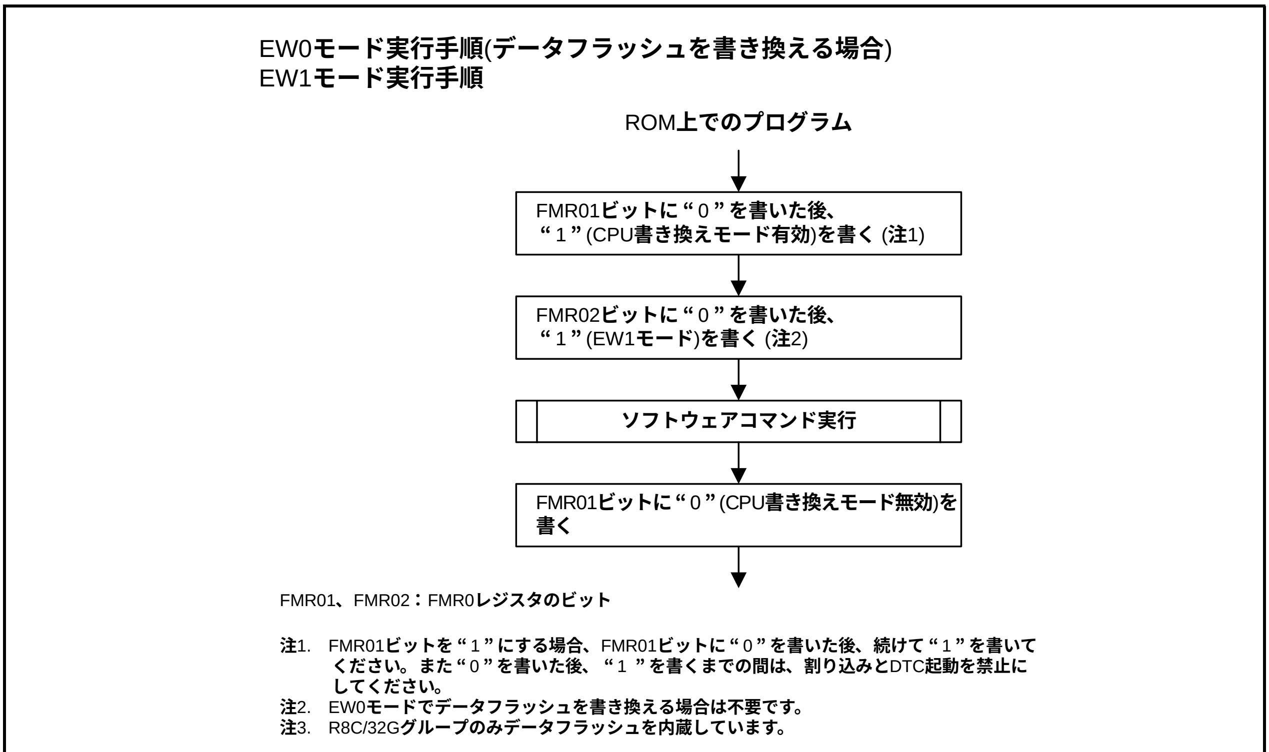


図 27.5　EW0 モード(データフラッシュを書き換える場合)、EW1 モードの設定と解除方法

27.4.11 BGO (バックグラウンドオペレーション) 機能[R8C/32Gグループ]

データフラッシュをプログラムあるいはブロックイレーズ動作中に、プログラムROM領域を指定するとアレイデータを読み出すことができます。このためにソフトウェアコマンドをライトする必要がありません。アクセス時間は通常のリード動作と同じです。

なお、データフラッシュのプログラムあるいはブロックイレーズ動作中に、他のデータフラッシュのブロックの読み出しはできません。

図27.6にBGO機能を示します。

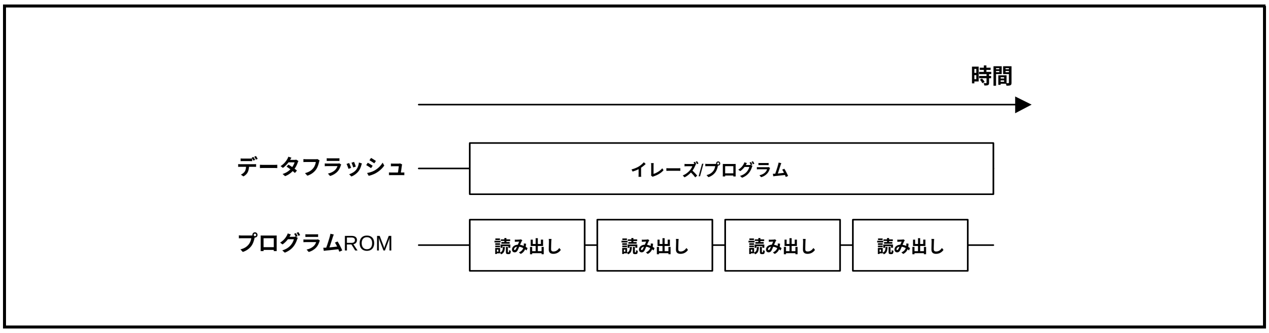


図27.6 BGO機能

27.4.12 データ保護機能

フラッシュメモリのプログラムROMの各ブロックは、不揮発性のロックビットを持っています。ロックビットは、FMR1レジスタのFMR13ビットが“0”(ロックビット有効)のときに有効です。ロックビットにより、ブロックごとにプログラム、イレーズを禁止(ロック)できます。したがって、誤ってデータを書いたり、消したりすることを防げます。ロックビットによるブロックの状態を次に示します。

- ロックビットデータが“0”のとき：ロック状態(そのブロックはプログラム、イレーズできない)
- ロックビットデータが“1”のとき：非ロック状態(そのブロックはプログラム、イレーズできる)

ロックビットデータは、ロックビットプログラムコマンドを実行すると、“0”(ロック状態)に、ブロックを消去すると“1”(非ロック状態)になります。ロックビットデータだけをコマンドで“1”にすることはできません。
ロックビットデータは、リードロックビットステータスコマンドで読めます。

FMR13ビットを“1”(ロックビット無効)にすると、ロックビットの機能が無効になり、全ブロックが非ロック状態になります(各ロックビットデータは変化しません)。FMR13ビットを“0”にすると、ロックビットの機能が有効になります(ロックビットデータは保持されています)。
FMR13ビットが“1”の状態で、ブロックイレーズコマンドを実行すると、ロックビットにかかわらず、対象となるブロックが消去されます。消去終了後、イレーズ対象のブロックのロックビットは“1”になります。
各コマンドの詳細は、「27.4.13　ソフトウェアコマンド」を参照してください。
FMR13ビットは自動消去終了後、“0”になります。FMR13ビットは以下のいずれかの条件が成立した場合に“0”になります。別のロック状態のブロックをイレーズまたは、プログラムする場合は、再度、FMR13ビットを“1”にし、ブロックイレーズコマンドまたは、プログラムコマンドを実行してください。

- FSTレジスタのFST7ビットが“0”(ビジー)から“1”(レディ)になった場合
- コマンドシーケンスエラーが発生した場合
- FMR0レジスタのFMR01ビットが“0”(CPU書き換えモード無効)になった場合
- FMR0レジスタのFMSTPビットが“1”(フラッシュメモリ停止)になった場合
- FMR0レジスタのCMDRSTビットが“1”(イレーズ/ライト停止)になった場合

図27.7にFMR13ビットの動作に関するタイミングを示します。

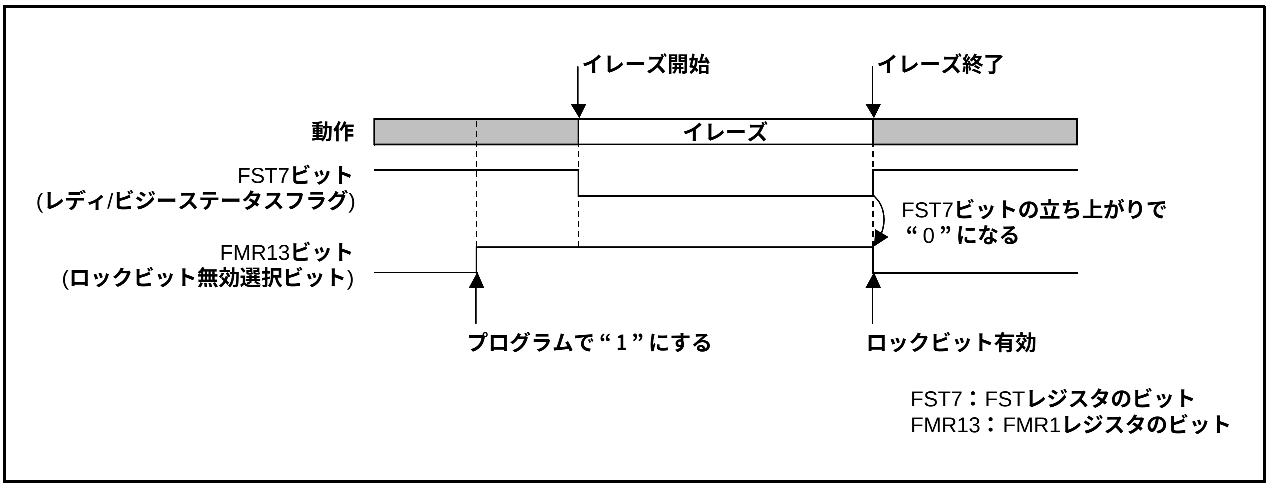


図27.7　FMR13ビットの動作に関するタイミング

27.4.13 ソフトウェアコマンド

ソフトウェアコマンドについて次に説明します。コマンド、データの読み出し、書き込みは8ビット単位で行ってください。

なお、ソフトウェアコマンド一覧で示されるコマンド以外を、入力しないようにしてください。

表 27.6 ソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ	モード	アドレス	データ
リードアレイ	ライト	×	FFh			
クリアステータスレジスタ	ライト	×	50h			
プログラム	ライト	WA	40h	ライト	WA	WD
ブロックイレーズ	ライト	×	20h	ライト	BA	D0h
ロックビットプログラム	ライト	BT	77h	ライト	BT	D0h
リードロックビットステータス	ライト	×	71h	ライト	BT	D0h
ブロックブランクチェック	ライト	×	25h	ライト	BA	D0h

WA：書き込み番地
WD：書き込みデータ
BA：ブロックの任意の番地
BT：ブロックの先頭番地
×：ユーザROM領域内の任意の番地

27.4.13.1 リードアレイ

フラッシュメモリを読むコマンドです。

第1バスサイクルで“FFh”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が8ビット単位で読めます。

リードアレイモードは他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読めます。

また、リセット解除後、プログラム、ブロックイレーズ、ブロックブランクチェック、リードロックビットステータス、クリアステータスレジスタコマンド後、もしくはイレーズサスペンド移行後はリードアレイモードになります。

27.4.13.2 クリアステータスレジスタ

FSTレジスタのFST4～FST5ビットを“0”にするコマンドです。

第1バスサイクルで“50h”を書くと、FSTレジスタのFST4～FST5ビットが“0”になります。

27.4.13.3 プログラム

1バイト単位でフラッシュメモリにデータを書くコマンドです。

書き込み番地に第1バスサイクルで“40h”を書き、第2バスサイクルでデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一番地にしてください。

自動書き込み終了はFSTレジスタのFST7ビットで確認できます。FST7ビットは、自動書き込み期間中は“0”、終了後は“1”になります。

自動書き込み終了後、FSTレジスタのFST4ビットで自動書き込みの結果を知ることができます。(「27.4.14　フルステータスチェック」参照)

既にプログラムされた番地に対する追加書き込みはしないでください。

プログラムROMの各ブロックはロックビットによりプログラムコマンドを禁止できます。

また、R8C/32GグループはFMR1レジスタのFMR14ビットが“1”(書き換え禁止)のときはデータフラッシュブロックAに対するプログラムコマンド、FMR15ビットが“1”(書き換え禁止)のときはデータフラッシュブロックBに対するプログラムコマンド、FMR16ビットが“1”(書き換え禁止)のときはデータフラッシュブロックCに対するプログラムコマンド、FMR17ビットが“1”(書き換え禁止)のときはデータフラッシュブロックDに対するプログラムコマンドが受け付けられません。

図27.8にプログラムフローチャート(フラッシュレディステータス割り込み禁止)を、図27.9にプログラムフローチャート(フラッシュレディステータス割り込み許可)を示します。

EW1モードでは、書き換え制御プログラムが配置されている番地に対して、このコマンドを実行しないでください。

FMR0レジスタのRDYSTIEビットが“1”(フラッシュレディステータス割り込み許可)のときは、自動書き込み終了でフラッシュレディステータス割り込みを発生させることができます。割り込みルーチンの中でFSTレジスタを読み出すことにより、自動書き込みの結果を知ることができます。

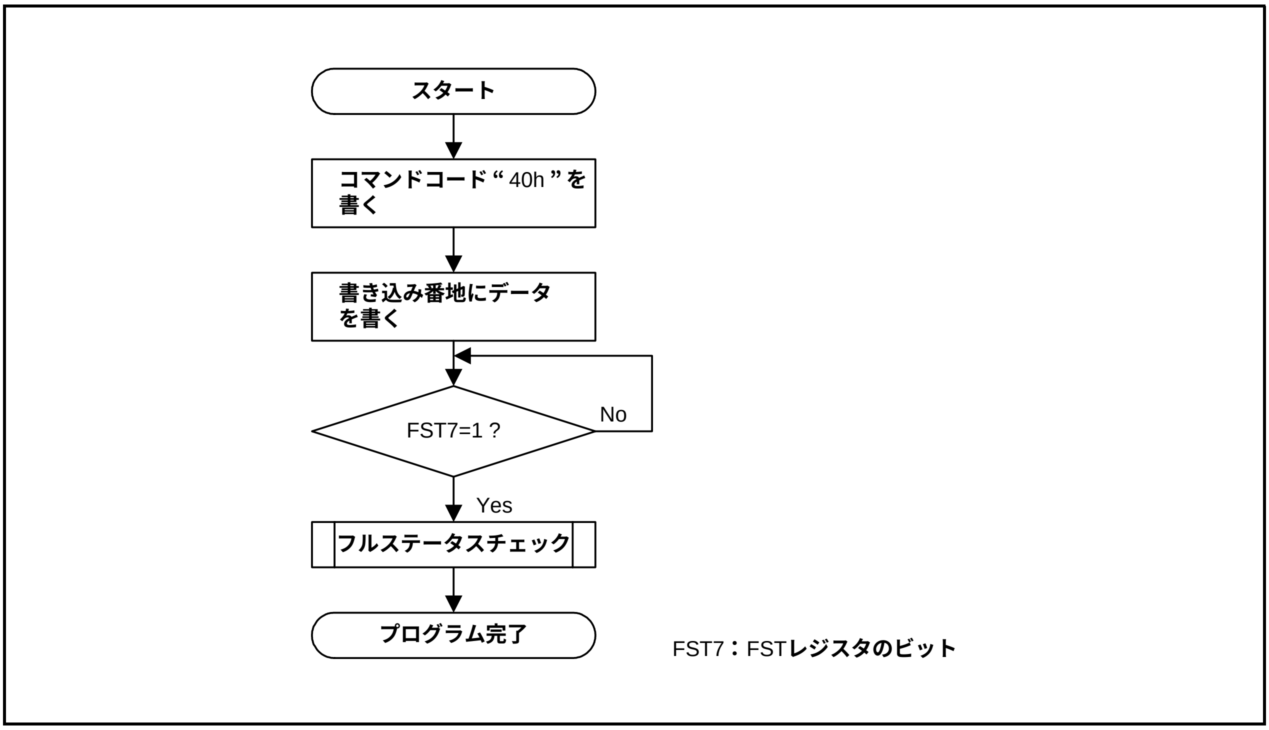


図27.8　プログラムフローチャート(フラッシュレディステータス割り込み禁止)

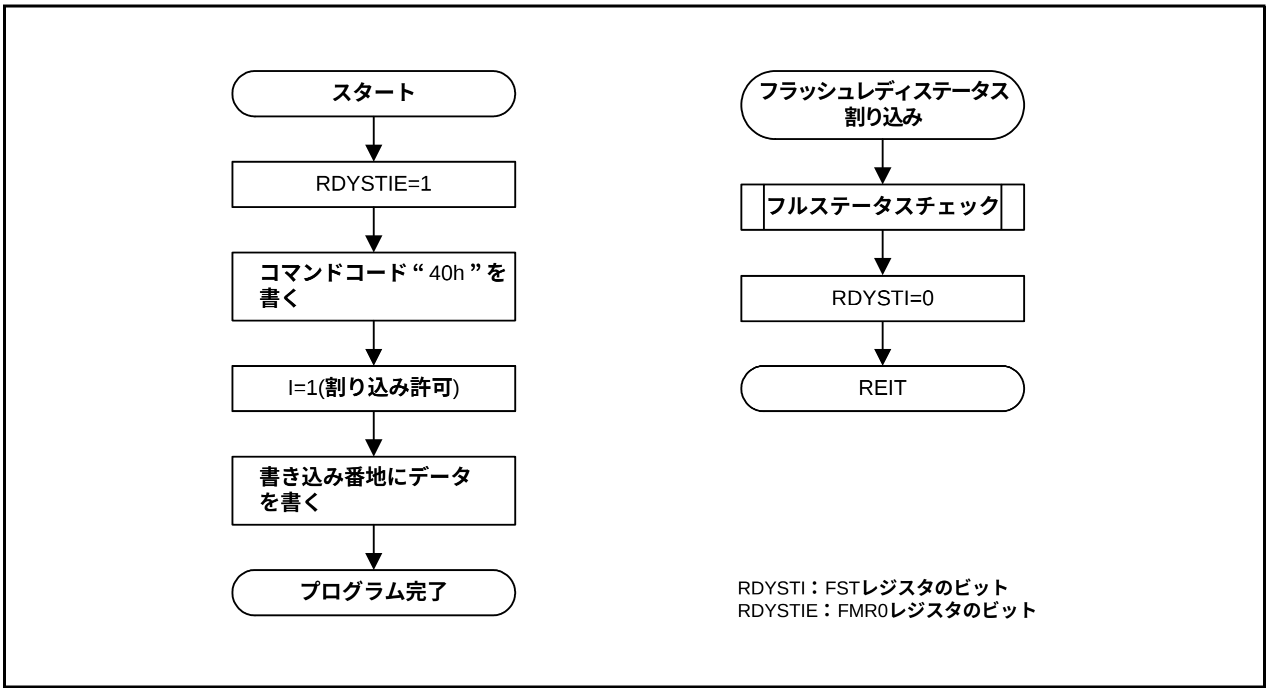


図 27.9　プログラムフローチャート(フラッシュレディステータス割り込み許可)

27.4.13.4ブロックイレーズ

第1バスサイクルで“20h”、第2バスサイクルで“D0h”をブロックの任意の番地に書くと指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FSTレジスタのFST7ビットで確認できます。FST7ビットは、自動消去期間中は“0”、終了後は“1”になります。また、自動消去の終了後、ブロック内のデータはすべて“FFh”になります。

自動消去終了後、FSTレジスタのFST5ビットで、自動消去の結果を知ることができます。(「27.4.14 フルステータスチェック」参照)

プログラムROMの各ブロックはロックビットによりブロックイレーズコマンドを禁止できます。

また、R8C/32GグループはFMR1レジスタのFMR14ビットが“1”(書き換え禁止)のときはデータフラッシュブロックAに対するブロックイレーズコマンド、FMR15ビットが“1”(書き換え禁止)のときはデータフラッシュブロックBに対するブロックイレーズコマンド、FMR16ビットが“1”(書き換え禁止)のときはデータフラッシュブロックCに対するブロックイレーズコマンド、FMR17ビットが“1”(書き換え禁止)のときはデータフラッシュブロックDに対するブロックイレーズコマンドが受け付けられません。

図27.10にブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止)を、図27.11にブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)を、図27.12にブロックイレーズフローチャート(フラッシュレディステータス割り込み許可かつサスペンド許可)を示します。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

FMR0レジスタのRDYSTIEビットが“1”(フラッシュレディステータス割り込み許可)のときは、自動消去終了でフラッシュレディステータス割り込みを発生させることができます。RDYSTIEビットが“1”かつFMR2レジスタのFMR20ビットが“1”(イレーズサスペンド許可)のときは、FMR21ビットを“1”(イレーズサスペンドリクエスト)にし、自動消去が中断されるとフラッシュレディステータス割り込みが発生します。割り込みルーチンの中でFSTレジスタを読み出すことにより、自動消去の結果を知ることができます。

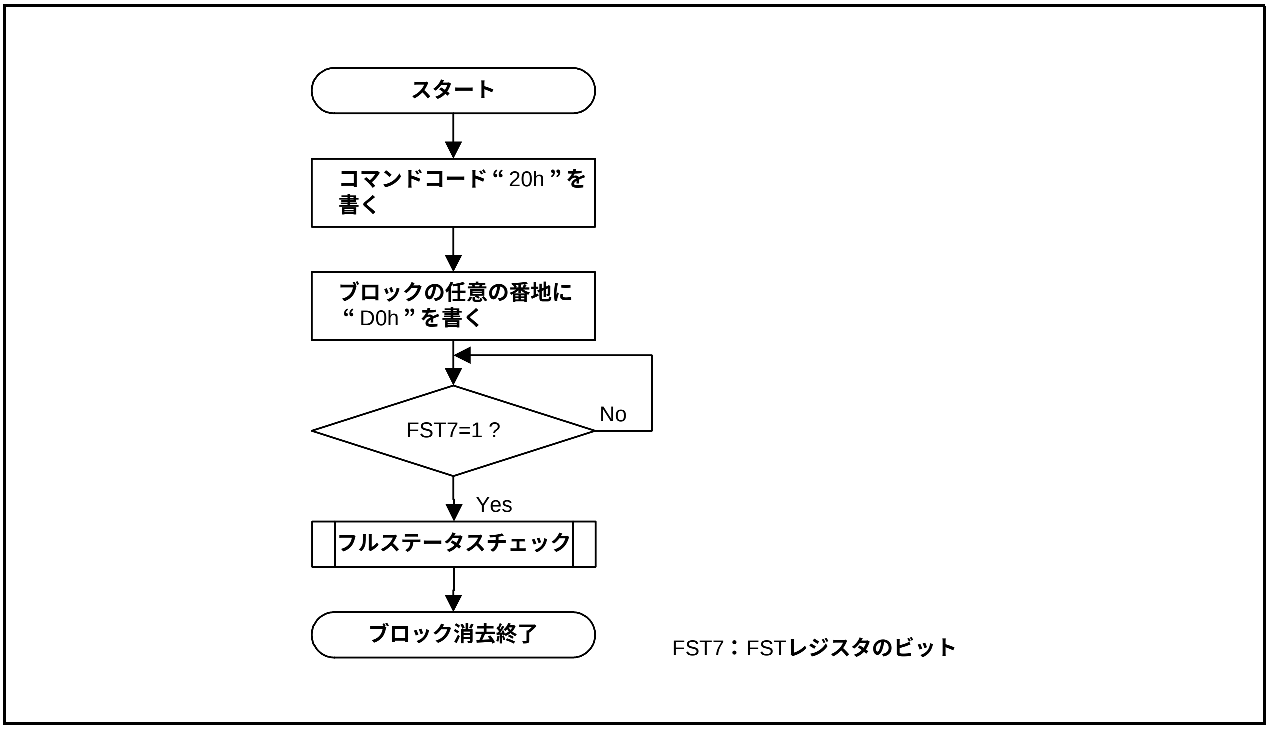
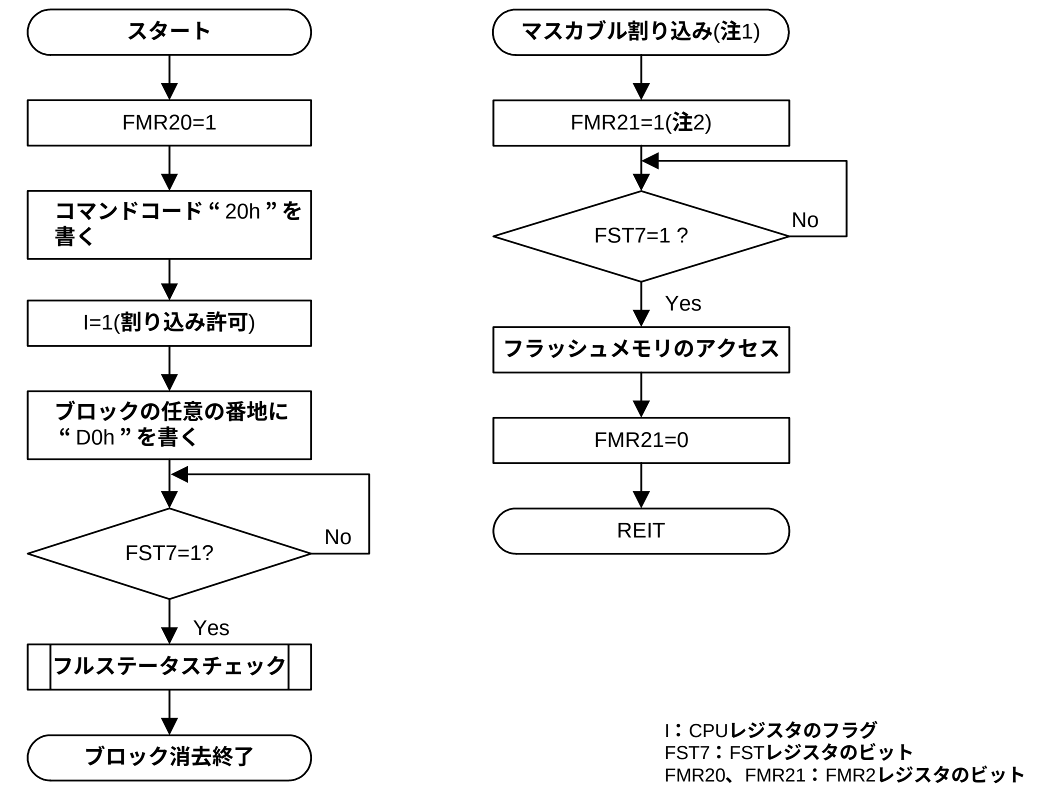
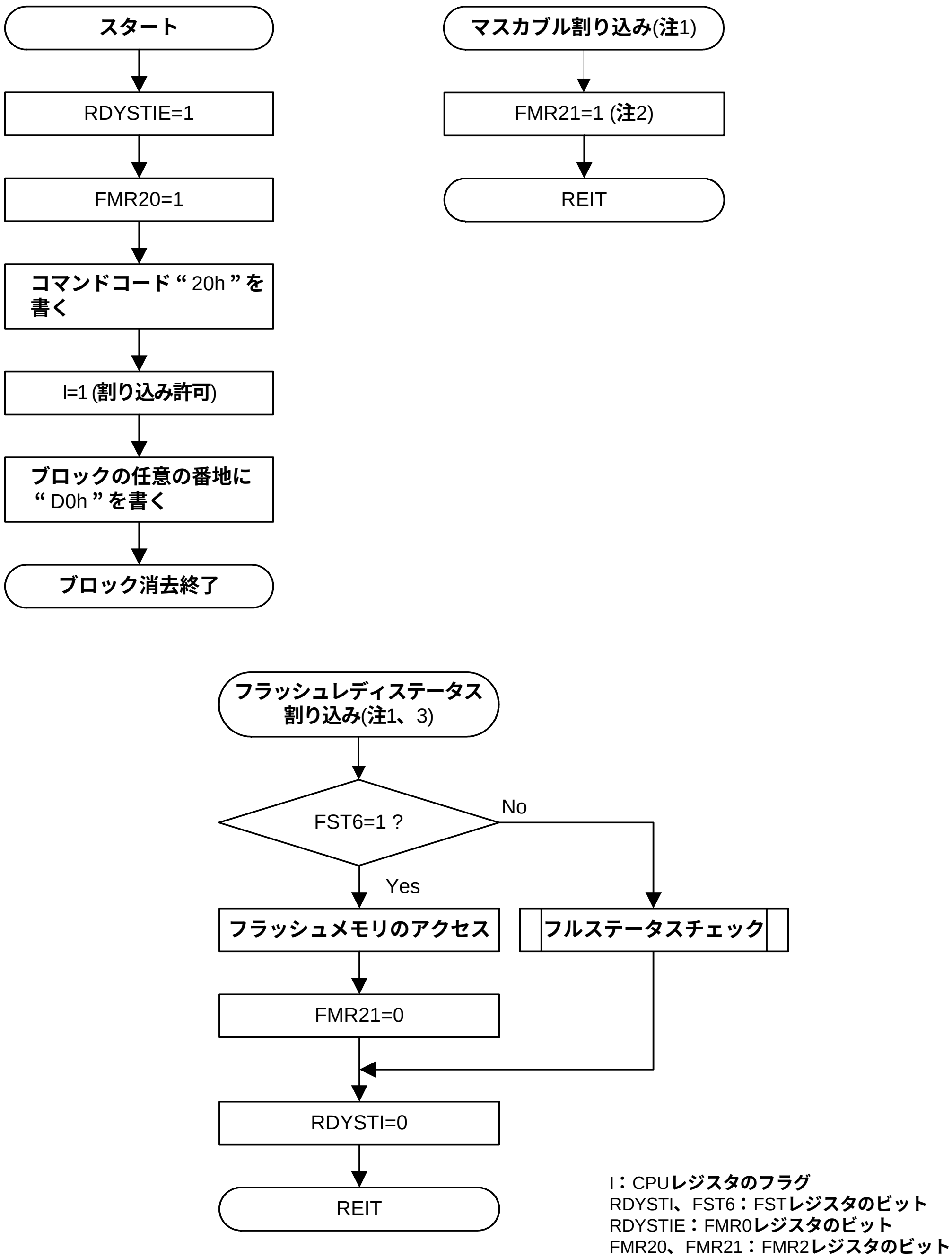


図 27.10 ブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止)



注1. 使用する割り込みの割り込みベクタテーブルと割り込みルーチンは、イレーズ対象領域外に配置してください。
注2. FMR21ビットに“1”を設定してからサスペンドが受け付けられるまでに、td(SR-SUS)の時間が必要です。サスペンドに移行するための割り込みは、あらかじめ許可状態にしてください。

図 27.11 ブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)



注1. 使用する割り込みの割り込みベクタテーブルと割り込みルーチンは、イレーズ対象領域外に配置してください。
注2. FMR21ビットに“1”を設定してからサスペンドが受け付けられるまでに、td(SR-SUS)の時間が必要です。サスペンドに移行するための割り込みは、あらかじめ許可状態にしてください。
注3. 自動消去が中断されるとフラッシュレディステータス割り込みが発生します。

図 27.12 ブロックイレーズフローチャート(フラッシュレディステータス割り込み許可かつサスペンド許可)

27.4.13.5 ロックビットプログラム

プログラムROM領域内の任意のブロックのロックビットを“0”(ロック状態)にするコマンドです。

第1バスサイクルで“77h”、第2バスサイクルで“D0h”をブロックの先頭番地に書くと、指定されたブロックのロックビットに“0”が書かれます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するブロックの先頭番地と同一番地にしてください。

図27.13にロックビットプログラムフローチャートを示します。ロックビットの状態(ロックビットデータ)は、リードロックビットステータスコマンドで読めます。

ロックビットの書き込みの終了は、FSTレジスタのFST7ビットで確認できます。

なお、ロックビットの機能、ロックビットを“1”(非ロック状態)にする方法については「27.4.12 データ保護機能」を参照してください。

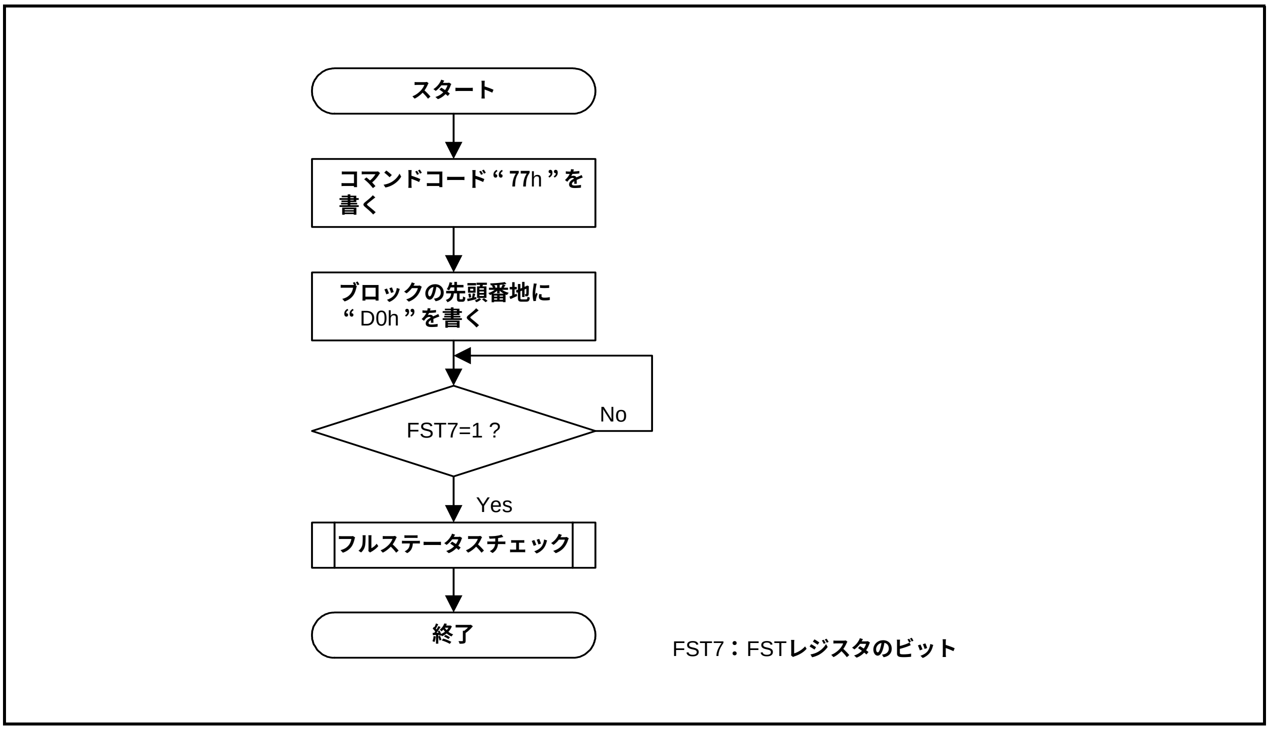


図 27.13 ロックビットプログラムフローチャート

27.4.13.6 リードロックビットステータス

プログラムROM領域内の任意のブロックのロックビットの状態を読むコマンドです。

第1バスサイクルで“71h”、第2バスサイクルでブロックの先頭番地に“D0h”を書くと、指定されたブロックのロックビットの状態が、FSTレジスタのLBDATAビットに格納されます。FSTレジスタのFST7ビットが“1”(レディ)になった後、LBDATAビットを読んでください。

図27.14にリードロックビットステータスフローチャートを示します。

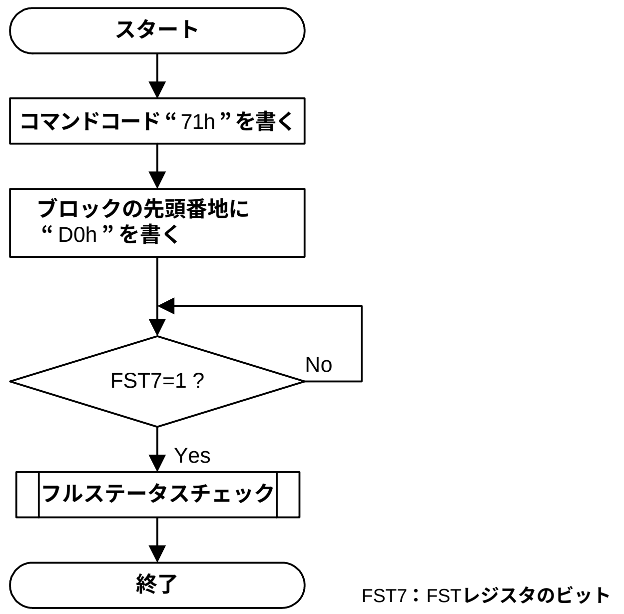


図27.14 リードロックビットステータスフローチャート

27.4.13.7 ブロックブランクチェック

任意のブロック内のすべての番地が、ブランクデータ“ FFh ”であることを確認するコマンドです。

第1バスサイクルで“ 25h ”、第2バスサイクルでブロックの任意の番地に“ D0h ”を書くと、指定されたブロック内のブランクチェックを開始します。ブランクチェックの終了は、FSTレジスタのFST7ビットで確認できます。FST7ビットは、ブランクチェック期間中は“ 0 ”、終了後は“ 1 ”になります。

ブランクチェック終了後、FSTレジスタのFST5ビットで、ブランクチェックの結果を知ることができます(「27.4.14　フルステータスチェック」参照)。なお、このコマンドはチェックしたいブロックが書き込みされていないことをチェックするためのものであり、イレーズの正常終了の確認にはフルステータスチェックを行ってください。

FST6ビットが“ 1 ”(イレーズサスペンド中)のときは、ブロックブランクチェックコマンドを実行しないでください。

図27.15にブロックブランクチェックフローチャートを示します。

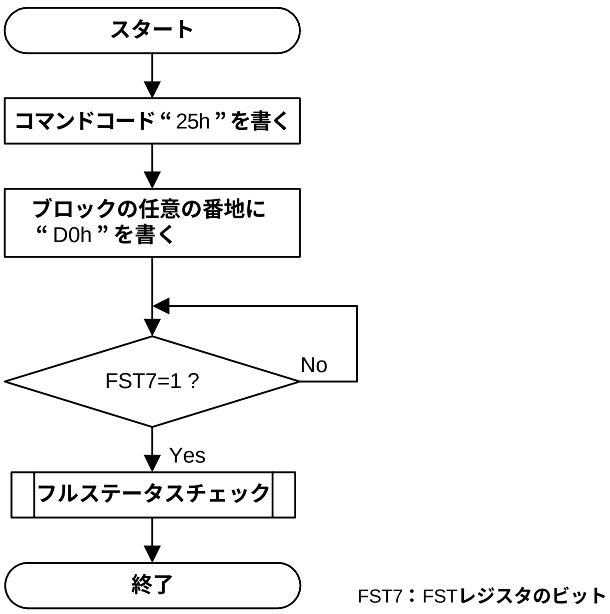


図 27.15 ブロックブランクチェックフローチャート

なお、本コマンドはライタメーカ向けを想定したものであり、一般ユーザ向けのコマンドではありません。

27.4.14 フルステータスチェック

エラーが発生すると、FSTレジスタのFST4～FST5ビットが“1”になり、各エラーの発生を示します。したがって、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表27.7にエラーとFSTレジスタの状態を、図27.16にフルステータスチェックフローチャート、各エラー発生時の対処方法を示します。

表27.7　エラーとFSTレジスタの状態

FSTレジスタの状態		エラー	エラー発生条件
FST5	FST4		
1	1	コマンドシーケンスエラー	・コマンドを正しく書かなかったとき ・ブロックイレーズコマンドの第2バスサイクルのデータに書いても良い値(“D0h”または“FFh”)以外のデータを書いたとき(注1) ・サスペンド中のイレーズコマンドを実行 ・サスペンド中のブロックへのコマンドを実行
1	0	イレーズエラー	ブロックイレーズコマンドを実行し、正しく自動消去されなかったとき
		ブランクチェックエラー	ブロックブランクチェックコマンドを実行し、ブランクデータ“FFh”以外のデータを読み出したとき
0	1	プログラムエラー/ロックビットプログラムエラー	プログラムコマンドを実行し、正しく自動書き込みされなかったとき

注1. これらのコマンドの第2バスサイクルで“FFh”を書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

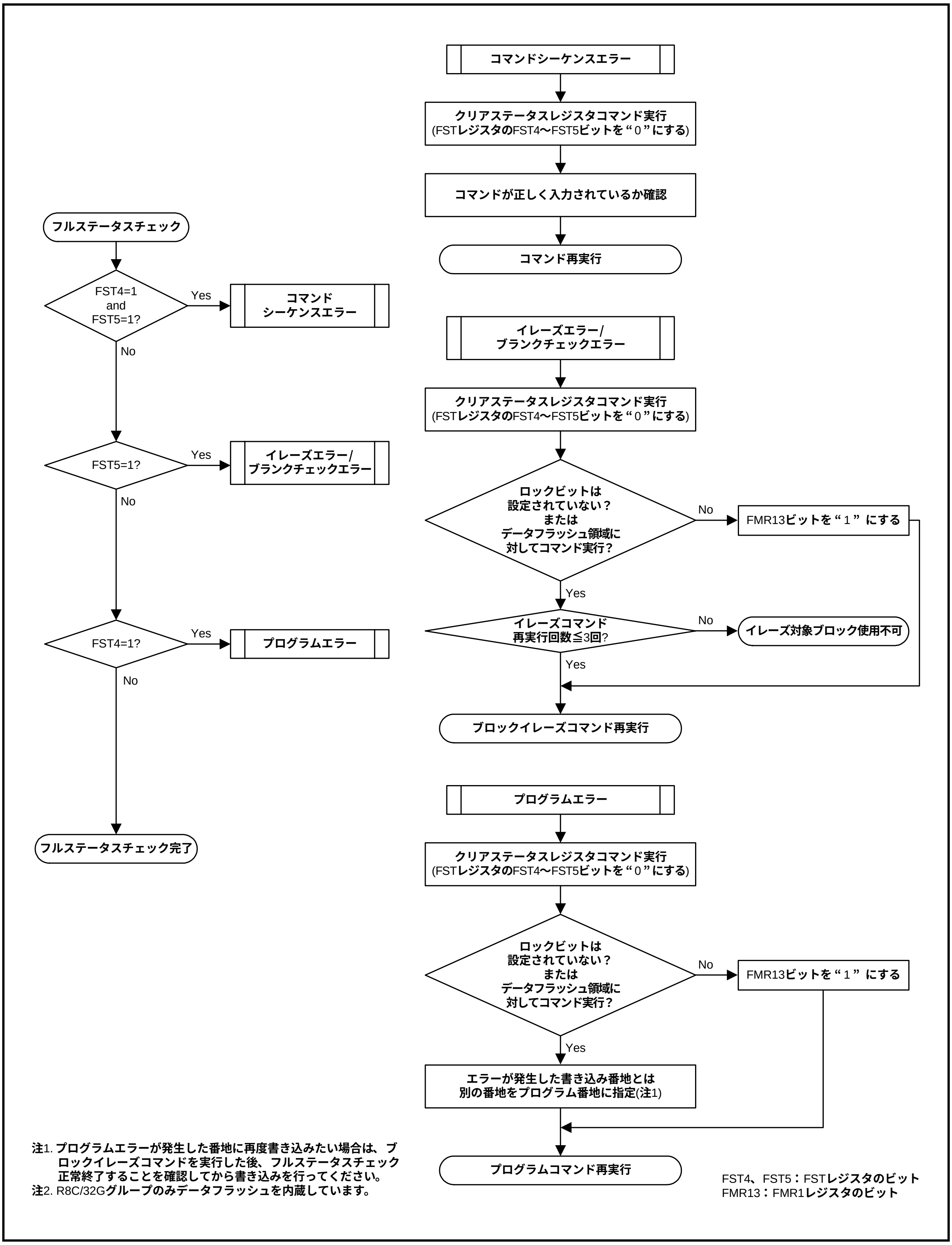


図 27.16 フルステータスチェックフローチャート、各エラー発生時の対処方法

27.5 標準シリアル入出力モード

標準シリアル入出力モードでは、本マイコンに対応したシリアルライタを使用して、マイコンを基板に実装した状態で、ユーザROM領域を書き換えることができます。

標準シリアル入出力モードには3つのモードがあります。

- 標準シリアル入出力モード1 . . . . . クロック同期形シリアルI/Oを用いてシリアルライタと接続
- 標準シリアル入出力モード2 . . . . . クロック非同期形シリアルI/Oを用いてシリアルライタと接続
- 標準シリアル入出力モード3 . . . . . 特別なクロック非同期形シリアル I/O を用いてシリアルライタと接続

本マイコンは標準シリアル入出力モード2と標準シリアル入出力モード3を使用できます。

シリアルライタとの接続例は「付録2.　シリアルライタとオンチップデバッギングエミュレータとの接続例」を参照してください。シリアルライタについては、各メーカにお問い合わせください。また、シリアルライタの操作方法については、シリアルライタのユーザーズマニュアルを参照してください。

表27.8に端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)を、図27.17に標準シリアル入出力モード2を使用する場合の端子処理例を、表27.9に端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)を、図27.18に標準シリアル入出力モード3を使用する場合の端子処理例を示します。

なお、表27.9に示した端子処理を行い、ライタを使ってフラッシュメモリを書き換えた後、シングルチップモードでフラッシュメモリ上のプログラムを動作させる場合は、MODE端子に“H”を入力して、ハードウェアリセットしてください。

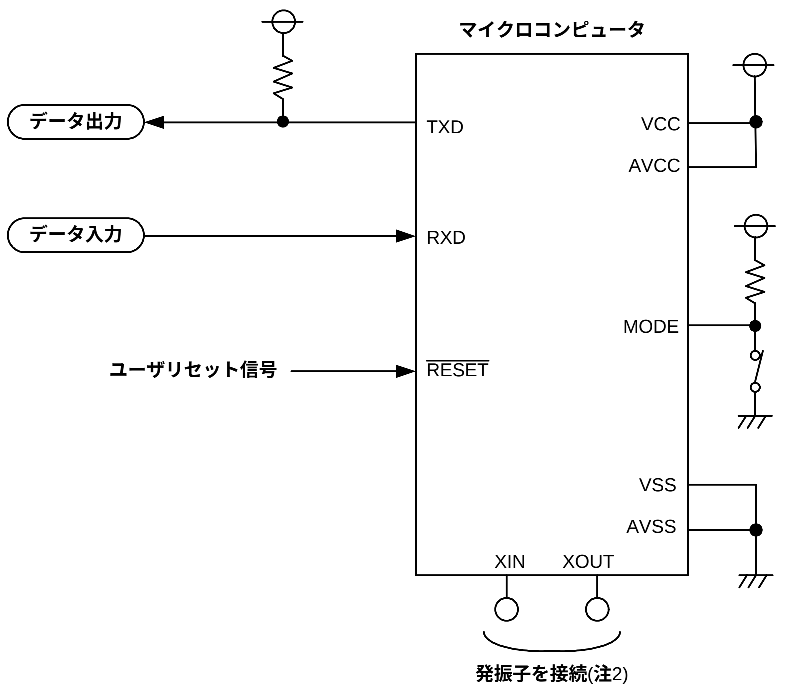
27.5.1 IDコードチェック機能

シリアルライタから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します。

IDコードチェック機能の詳細は、「12.　IDコード領域」を参照してください。

表 27.8　端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)

端子名	名称	入出力	機能
VCC、VSS	電源入力		Vcc端子にはプログラム、イレーズの保証電圧を、Vssには0Vを入力してください。
$\overline{RESET}$	リセット入力	入力	リセット入力端子です。
P4_6/XIN	P4_6入力/クロック入力	入力	XIN 端子と XOUT 端子の間にはセラミック共振子、または水晶発振子を接続してください。
P4_7/XOUT	P4_7入力/クロック出力	入出力	
P1_0～P1_3、P1_6、P1_7	入力ポートP1	入力	“H”を入力、“L”を入力、または開放してください。
P3_3～P3_5、P3_7	入力ポートP3	入力	“H”を入力、“L”を入力、または開放してください。
P4_2/VREF、P4_5	入力ポートP4	入力	“H”を入力、“L”を入力、または開放してください。
MODE	MODE	入出力	“L”を入力してください。
P1_4	TXD出力	出力	シリアルデータの出力端子です。
P1_5	RXD入力	入力	シリアルデータの入力端子です。

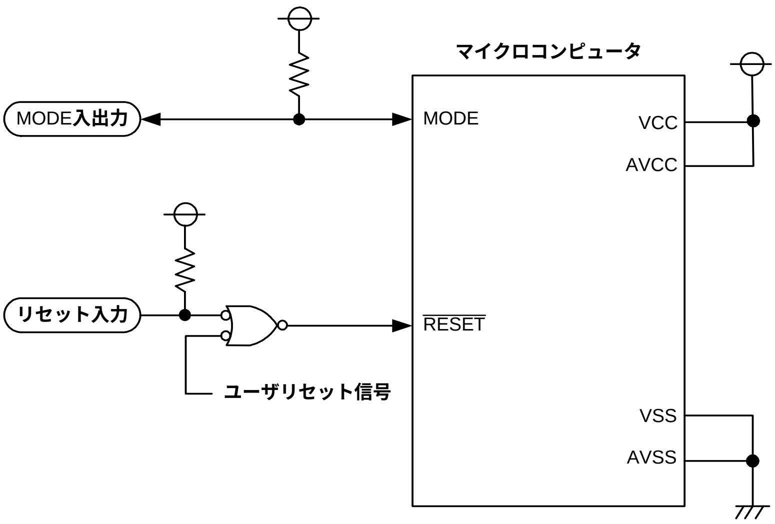


注1.　この例では、スイッチでMODE入力を制御することによって、シングルチップモードと標準シリアル入出力モードを切り替えています。
注2.　オンチップオシレータクロックで動作させる場合、発振回路を接続する必要はありません。
「付図2.1　M16C Flash Starterとの接続例(M3A-0806)」を参照してください。

図 27.17　標準シリアル入出力モード2を使用する場合の端子処理例

表 27.9　端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)

端子名	名称	入出力	機能
VCC、VSS	電源入力		Vcc端子にはプログラム、イレーズの保証電圧を、Vssには0Vを入力してください。
$\overline{\text{RESET}}$	リセット入力	入力	リセット入力端子です。
P4_6/XIN	P4_6入力/クロック入力	入力	外付けの発振子を接続する場合、XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。入力ポートとして使用する場合、“H”を入力、“L”を入力、または開放してください。
P4_7/XOUT	P4_7入力/クロック出力	入出力	
P1_0～P1_7	入力ポートP1	入力	“H”を入力、“L”を入力、または開放してください。
P3_3～P3_5、P3_7	入力ポートP3	入力	“H”を入力、“L”を入力、または開放してください。
P4_2/VREF、P4_5	入力ポートP4	入力	“H”を入力、“L”を入力、または開放してください。
MODE	MODE	入出力	シリアルデータの入出力端子です。フラッシュライタに接続してください。



注1.　ライタによって制御する端子、外付け回路が違います。詳しくは、ライタのマニュアルを参照してください。
注2.　この例では、ライタを接続することによって、シングルチップモードと標準シリアル入出力モードを切り替えています。
注3.　オンチップオシレータクロックで動作させる場合、発振回路を接続する必要はありません。

図 27.18　標準シリアル入出力モード3を使用する場合の端子処理例

27.6 パラレル入出力モード

パラレル入出力モードは内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

本マイコンに対応したパラレルライタを使用してください。パラレルライタについては、各メーカにお問い合わせください。また、パラレルライタの操作方法については、パラレルライタのユーザーズマニュアルを参照してください。

パラレル入出力モードでは、図27.1に示すユーザROM領域の書き換えができます。

27.6.1 ROMコードプロテクト機能

ROMコードプロテクトはフラッシュメモリの読み出し、書き換えを禁止する機能です(「27.3.2 ROMコードプロテクト機能」参照)。

27.7 フラッシュメモリ使用上の注意

27.7.1 CPU書き換えモード

27.7.1.1 使用禁止命令

EW0モードでプログラムROM領域を書き換え中は、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

27.7.1.2 割り込み

表27.10～表27.12にCPU書き換えモード時の割り込みを示します。

表27.10　CPU書き換えモード時の割り込み(1)

モード	イレーズ/ライト対象	状態	マスカブル割り込み
EW0	データフラッシュ(注1)	自動消去中(サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1”(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”(イレーズリスタート)にすることで、自動消去を再開することができます。
		自動消去中(サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。
		自動書き込み中	
	プログラムROM	自動消去中(サスペンド有効)	ベクタをRAMに配置することで使用できます。
		自動消去中(サスペンド無効)	
		自動書き込み中	
EW1	データフラッシュ(注1)	自動消去中(サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”の場合は、自動でFMR21ビットが“1”になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”にすることで、自動消去を再開することができます。
		自動消去中(サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。
		自動書き込み中	
	プログラムROM	自動消去中(サスペンド有効)	td(SR-SUS)時間後に自動消去を中断し、割り込み処理を実行します。割り込み処理終了後にFMR21ビットを“0”にすることで、自動消去を再開することができます。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。
		自動消去中(サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みが優先され、割り込み要求が待たされます。自動消去、自動書き込みが終了した後、割り込み処理を実行します。
		自動書き込み中	

FMR21、FMR22：FMR2レジスタのビット

注1.　R8C/32Gグループのみデータフラッシュを内蔵しています。

表27.11　CPU書き換えモード時の割り込み(2)

モード	イレーズ/ライト対象	状態	・ウォッチドッグタイマ ・発振停止検出 ・電圧監視2 ・電圧監視1　(注1)	・未定義命令 ・INTO命令 ・BRK命令 ・シングルステップ ・アドレス一致 ・アドレスブレイク　(注1)
EW0	データフラッシュ(注2)	自動消去中(サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが"1"(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが"1"(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが"0"(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを"1"にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを"0"(イレーズリスタート)にすることで、自動消去を再開することができます。	割り込み要求を受け付けると、割り込み処理を実行します。 イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを"1"にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR2レジスタのFMR21ビットを"0"にすることで、自動消去を再開することができます。
		自動消去中(サスペンド無効またはFMR22="0")	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
		自動書き込み中		
	プログラムROM	自動消去中(サスペンド有効)	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。	自動消去、自動書き込み中は使用しないでください。
		自動消去中(サスペンド無効)		
		自動書き込み中		

FMR21、FMR22：FMR2レジスタのビット

注1.　ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

注2.　R8C/32Gグループのみデータフラッシュを内蔵しています。

表27.12　CPU書き換えモード時の割り込み(3)

<table>
<tr><th>モード</th><th>イレーズ/
ライト対象</th><th>状態</th><th>・ウォッチドッグタイマ
・発振停止検出
・電圧監視2
・電圧監視1　(注1)</th><th>・未定義命令
・INTO命令
・BRK命令
・シングルステップ
・アドレス一致
・アドレスブレイク　(注1)</th></tr>
<tr><td rowspan="6">EW1</td><td rowspan="3">データ
フラッシュ
(注2)</td><td>自動消去中
(サスペンド有効)</td><td>割り込み要求を受け付けると、割り込み処理を実行します。
FMR22ビットが“1”の場合は、自動でFMR21ビットが“1”になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。
FMR22ビットが“0”でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。
自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”にすることで、自動消去を再開することができます。</td><td>割り込み要求を受け付けると、割り込み処理を実行します。
イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。
自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR2レジスタのFMR21ビットを“0”にすることで、自動消去を再開することができます。</td></tr>
<tr><td>自動消去中
(サスペンド無効またはFMR22=“0”)</td><td colspan="2" rowspan="2">自動消去、自動書き込みは実行したまま、割り込み処理を実行します。</td></tr>
<tr><td>自動書き込み中</td></tr>
<tr><td rowspan="3">プログラム
ROM</td><td>自動消去中
(サスペンド有効)</td><td rowspan="3">割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。
自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。</td><td rowspan="3">自動消去、自動書き込み中は使用できません。</td></tr>
<tr><td>自動消去中
(サスペンド無効またはFMR22=“0”)</td></tr>
<tr><td>自動書き込み中</td></tr>
</table>

FMR21、FMR22：FMR2レジスタのビット

注1.　ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

注2.　R8C/32Gグループのみデータフラッシュを内蔵しています。

27.7.1.3 アクセス方法

次のビットを“1”にするときは、対象となるビットに“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

- FMR0レジスタのFMR01、FMR02ビット
- FMR1レジスタのFMR13ビット
- FMR2レジスタのFMR20、FMR22、FMR27ビット

また、次のビットを“0”にするときは、対象となるビットに“1”を書いた後、続けて“0”を書いてください。また、“1”を書いた後、“0”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

- FMR1レジスタのFMR14、FMR15、FMR16、FMR17ビット

27.7.1.4 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

27.7.1.5 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

27.7.1.6 ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

FSTレジスタのFST7ビットが“0”(ビジー(書き込み、消去実行中))の場合、ストップモード、ウェイトモードに移行しないでください。

FMR27ビットが“1”(低消費電流リードモード許可)の状態で、ストップモード、ウェイトモードへ移行しないでください。

27.7.1.7 ブロックブランクチェック

イレーズサスペンド中にブロックブランクチェックコマンドを実行しないでください。

27.7.1.8 データフラッシュ使用時の注意事項

データフラッシュを「CPUクロック＞16MHz」で使用する場合はFMR2レジスタのFMR23ビットを“1”(CPUクロックの4サイクル)にしてください。

27.7.1.9 低消費電流リードモード

低速オンチップオシレータモードのときに、FMR2レジスタのFMR27ビットを“1”(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周のいずれかで、低消費電流リードモードを使用できます。1分周(分周なし)、2分周では低消費電流リードモードを使用しないでください。

CPUクロック分周比を設定した後、FMR27ビットを“1”(低消費電流リードモード許可)にしてください。消費電力を低減する方法は、「28.　消費電力の低減」を参照してください。

ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態で、ウェイトモードまたはストップモードへ移行しないでください。

28. 消費電力の低減

28.1 概要

この章では消費電力を小さくするためのポイント、処理方法について説明します。

28.2 消費電力を小さくするためのポイントと処理方法

消費電力を小さくするためのポイントを示します。システム設計やプログラムを作成するときに参考にしてください。

28.2.1 電圧検出回路

電圧監視1を使用しない場合、VCA2レジスタのVCA26ビットを“0”(電圧検出1回路無効)に、電圧監視2を使用しない場合、VCA2レジスタのVCA27ビットを“0”(電圧検出2回路無効)にしてください。

パワーオンリセット、電圧監視0リセットを使用しない場合、VCA2レジスタのVCA25ビットを“0”(電圧検出0回路無効)にしてください。

28.2.2 ポート

ウェイトモードまたはストップモードに移行しても入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。ハイインピーダンス状態になる入力ポートは、貫通電流が流れます。不要なポートは入力に設定し、安定した電位に固定してからウェイトモードまたはストップモードに移行してください。

28.2.3 クロック

消費電力は一般的に動作しているクロックの数や、その周波数に関係があります。動作しているクロックの数が少ないほど、また周波数は低いほど消費電力は小さくなります。

そのため、不要なクロックを停止させてください。

低速オンチップオシレータの発振停止： CM1レジスタのCM14ビットを“1”(低速オンチップオシレータ停止)、OCDレジスタのOCD2ビットを“0”(XINクロック選択)にしてください。

高速オンチップオシレータの発振停止： FRA0レジスタのFRA00ビットを“0”にしてください。

28.2.4 ウェイトモード、ストップモード

ウェイトモード、およびストップモードでは消費電力が低減できます。詳細は「9.6　パワーコントロール」を参照してください。

28.2.5 周辺機能クロックの停止

ウェイトモード時に周辺機能クロックf1、f2、f4、f8、f32が不要の場合、CM0レジスタのCM02ビットを“1”(ウェイトモード時、周辺機能クロックを停止する)にして、ウェイトモード時のf1、f2、f4、f8、f32を停止させてください。

28.2.6 タイマ

タイマRAを使用しない場合、TRAMRレジスタのTCKCUTビットを“1”(カウントソース遮断)にしてください。

タイマRBを使用しない場合、TRBMRレジスタのTCKCUTビットを“1”(カウントソース遮断)にしてください。

タイマRCを使用しない場合、MSTCRレジスタのMSTTRCビットを“1”(スタンバイ)にしてください。

タイマRDを使用しない場合、TRDCRi(i=0～1)レジスタのTCK2～TCK0ビットを“000b”(f1)、MSTCRレジスタのMSTTRDビットを“1”(スタンバイ)にしてください。

28.2.7 A/Dコンバータ

A/Dコンバータを使用しないとき、ADCON1レジスタのADSTBYビットを“0”(A/D動作停止(スタンバイ))にすると、アナログ回路電流が流れないので、消費電力が少なくなります。

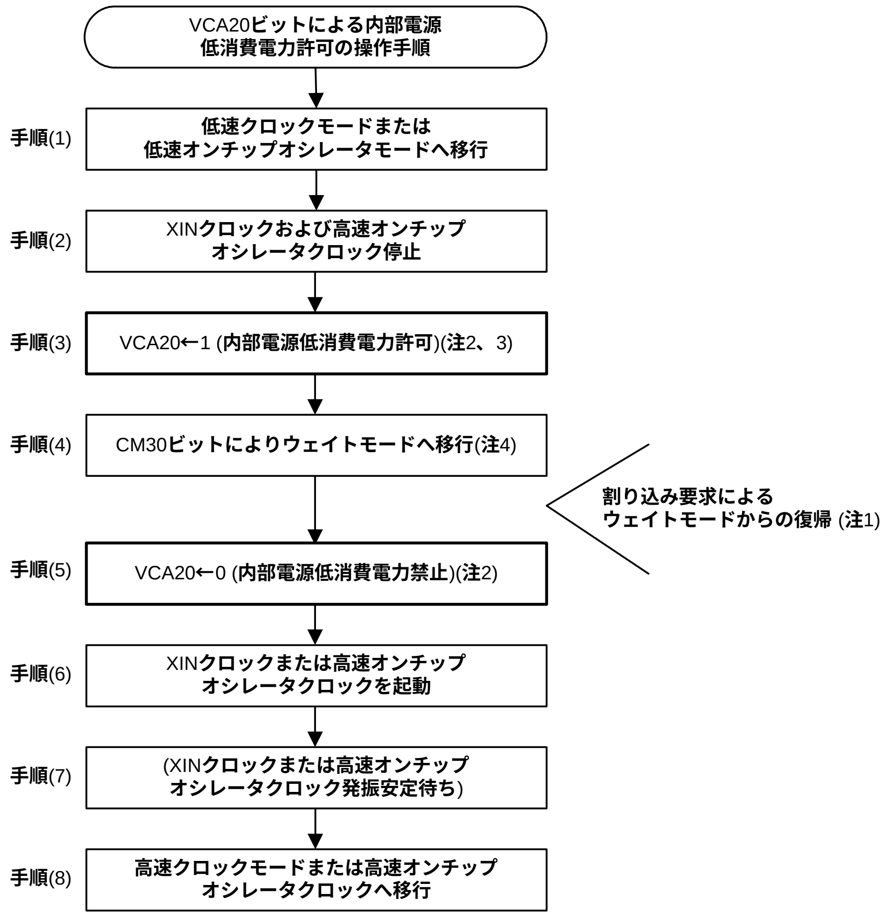
28.2.8 クロック同期形シリアルインタフェース

SSUを使用しない場合、MSTCRレジスタのMSTIICビットを“1”(スタンバイ)にしてください。

28.2.9 VCA20ビットによる内部電源低消費操作

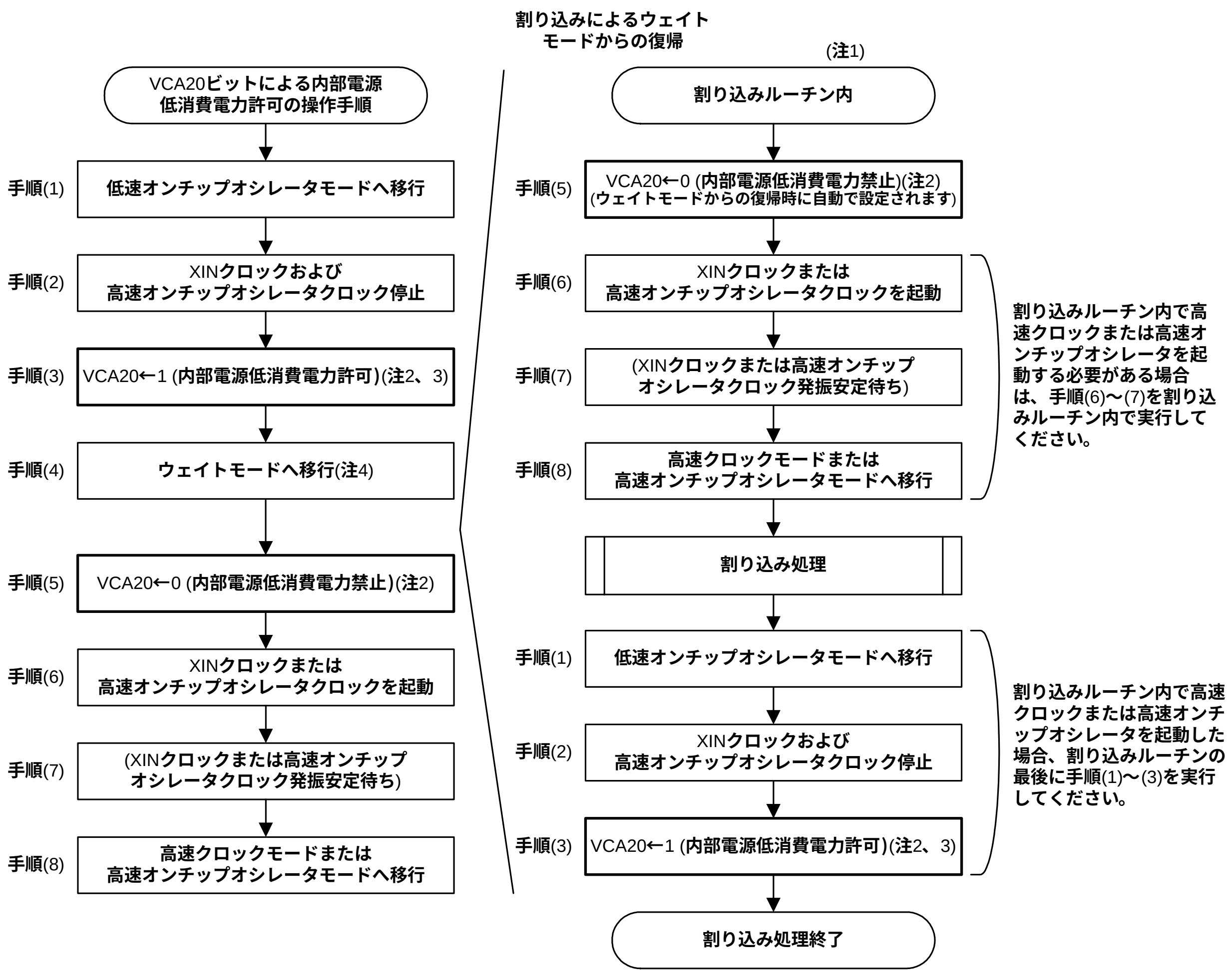
VCA2レジスタのVCA20ビットを“1”(内部電源低消費電力許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。VCA20 ビットは低速クロックモードまたは低速オンチップオシレータモードで“1”にしてから、ウェイトモードに移行してください。

VCA20 ビットによる内部電源低消費操作設定手順は、CM3 レジスタのCM30 ビットを“1”(ウェイトモードに移行する) にしてウェイトモードにする場合と、WAIT 命令を実行してウェイトモードにする場合とで異なります。図 28.1 に CM3 レジスタの CM30 ビットを“1”(ウェイトモードに移行する)にしてウェイトモードにする場合の VCA20 ビットによる内部電源低消費操作設定手順を、図28.2にWAIT命令を実行してウェイトモードにする場合のVCA20ビットによる内部電源低消費操作手順を示します。



注1．CM30ビットによるウェイトモード中に割り込み要求が発生した場合、割り込み処理を行わず、CM30ビットを“1”にした命令の直後から、実行を再開します。
注2．VCA20ビットに“1”を書いた直後の命令で、VCA20ビットに“0”を書かないでください。また、その逆も行わないでください。
注3．VCA20ビットが“1”のとき、CM10ビットを“1”(ストップモード)にしないでください。
注4．ウェイトモードへの移行の際は、「9.8.2　ウェイトモード」に従ってください。

図 28.1　CM3 レジスタのCM30 ビットを“1”(ウェイトモードに移行する)にしてウェイトモードにする場合のVCA20 ビットによる内部電源低消費操作設定手順



注1．ウェイトモード中に発生する割り込み処理のすべてに対してこの処理を行ってください。
　　ただし、割り込みルーチンの中で、高速クロックまたは高速オンチップオシレータを起動する必要がない場合は、不要です。
注2．VCA20ビットに“1”を書いた直後の命令で、VCA20ビットに“0”を書かないでください。また、その逆も行わないでください。
注3．VCA20ビットが“1”のとき、CM10ビットを“1”(ストップモード)にしないでください。
注4．ウェイトモードへの移行の際は、「9.6.2　ウェイトモード」に従ってください。

VCA20：VCA2レジスタのビット

図 28.2　WAIT命令を実行してウェイトモードにする場合のVCA20ビットによる内部電源低消費操作手順

28.2.10 フラッシュメモリの停止

低速オンチップオシレータモードの場合、FMR0レジスタのFMSTPビットによってフラッシュメモリを停止させ、さらに低消費電力にすることができます。

FMSTPビットを“1”(フラッシュメモリ停止)にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはRAMに転送したプログラムで書いてください。

なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

図28.3にFMSTPビットによる低消費電力操作手順例を示します。

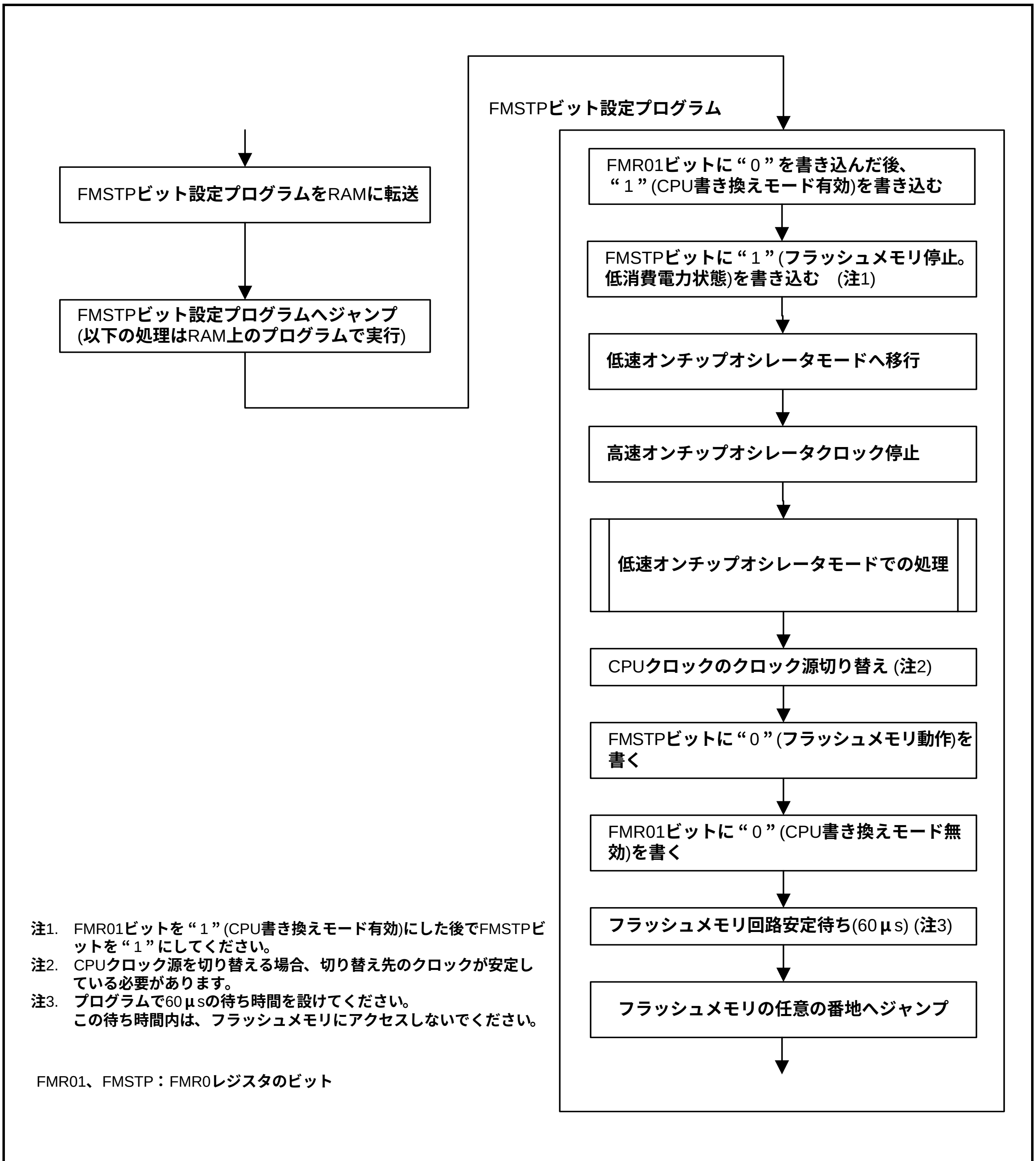


図28.3　FMSTPビットによる低消費電力操作手順例

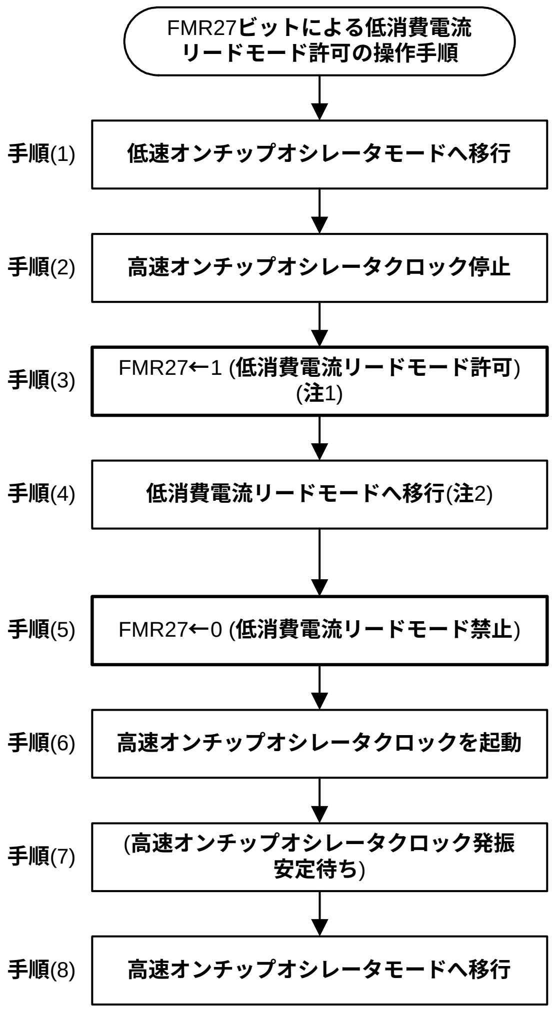
28.2.11 低消費電流リードモード

低速オンチップオシレータモードのときに、FMR2 レジスタの FMR27 ビットを“1”(低消費電流リードモード許可) にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPU クロックが低速オンチップオシレータクロックの 4 分周、8 分周または 16 分周のいずれかで、低消費電流リードモードを使用できます。1 分周 (分周なし)、2 分周では低消費電流リードモードを使用しないでください。

CPU クロック分周比を設定した後、FMR27 ビットを“1”(低消費電流リードモード許可) にしてください。ウェイトモードまたはストップモードへ移行するときは、FMR27 ビットを“0”(低消費電流リードモード禁止) にした後、移行してください。FMR27 ビットが“1”(低消費電流リードモード許可) の状態で、ウェイトモードまたはストップモードへ移行しないでください。

図 28.4 に低消費電流リードモードの操作手順例を示します。



注1．FMR27ビットを“1”にするときは、このビットに“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

注2．低消費電流リードモードでは、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にしてください。ウェイトモードまたはストップモードへ移行するときは、FMR27 ビットを“0”(低消費電流リードモード禁止) にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可) の状態で、ウェイトモードまたはストップモードへ移行しないでください。

FMR27：FMR2レジスタのビット

図 28.4　低消費電流リードモードの操作手順例

29. 電気的特性

表29.1　絶対最大定格

記号	項目	測定条件	定格値	単位
VCC/AVCC	電源電圧		−0.3〜6.5	V
VI	入力電圧(注1)		−0.3〜Vcc + 0.3	V
IIN	入力電流(注1)	(注2、3、4)	−4〜4	mA
VO	出力電圧		−0.3〜Vcc + 0.3	V
Pd	消費電力	−40℃ ≦ Topr ≦ 85℃	300	mW
		85℃ < Topr ≦ 125℃	125	mW
Topr	動作周囲温度		−40〜85(Jバージョン)/ −40〜125(Kバージョン)	℃
Tstg	保存温度		−65〜150	℃

注1.　入力電圧あるいは入力電流のどちらか一方を満たしてください。
注2.　対象ポート：P1、P3_3〜P3_5、P3_7、P4_5
注3.　入力電流の合計は、12mA以内としてください。
注4.　Vccへの供給がない場合でも、入力電流によりマイコンの電源が供給され動作することがあります。また、Vcc供給されている場合では入力電流により電源電圧を上昇させる事があります。それらの場合の動作は保証されませんので、マイコンの電源電圧が規格内で安定するようにシステムの電源回路で対処してください。

表29.2　推奨動作条件(1)

記号	項目				測定条件	規格値 最小	規格値 標準	規格値 最大	単位
V_{CC}/AV_{CC}	電源電圧					2.7	—	5.5	V
V_{SS}/AV_{SS}	電源電圧					—	0	—	V
V_{IH}	“H”入力電圧	CMOS入力以外				0.8Vcc	—	Vcc	V
		CMOS入力	入力レベル切り替え機能(I/Oポート)	入力レベル選択：0.35Vcc	4.0V ≦ Vcc ≦ 5.5V	0.5Vcc	—	Vcc	V
					2.7V ≦ Vcc < 4.0V	0.55Vcc	—	Vcc	V
				入力レベル選択：0.5Vcc	4.0V ≦ Vcc ≦ 5.5V	0.65Vcc	—	Vcc	V
					2.7V ≦ Vcc < 4.0V	0.7Vcc	—	Vcc	V
				入力レベル選択：0.7Vcc	4.0V ≦ Vcc ≦ 5.5V	0.85Vcc	—	Vcc	V
					2.7V ≦ Vcc < 4.0V	0.85Vcc	—	Vcc	V
		外部クロック入力(XOUT)				1.2	—	Vcc	V
V_{IL}	“L”入力電圧	CMOS入力以外				0	—	0.2Vcc	V
		CMOS入力	入力レベル切り替え機能(I/Oポート)	入力レベル選択：0.35Vcc	4.0V ≦ Vcc ≦ 5.5V	0	—	0.2Vcc	V
					2.7V ≦ Vcc < 4.0V	0	—	0.2Vcc	V
				入力レベル選択：0.5Vcc	4.0V ≦ Vcc ≦ 5.5V	0	—	0.4Vcc	V
					2.7V ≦ Vcc < 4.0V	0	—	0.3Vcc	V
				入力レベル選択：0.7Vcc	4.0V ≦ Vcc ≦ 5.5V	0	—	0.55Vcc	V
					2.7V ≦ Vcc < 4.0V	0	—	0.45Vcc	V
		外部クロック入力(XOUT)				0	—	0.4	V
$I_{OH(sum)}$	“H”尖頭総出力電流	全端子の$I_{OH(peak)}$の総和				—	—	−80	mA
$I_{OH(sum)}$	“H”平均総出力電流	全端子の$I_{OH(avg)}$の総和				—	—	−40	mA
$I_{OH(peak)}$	“H”尖頭出力電流					—	—	−10	mA
$I_{OH(avg)}$	“H”平均出力電流					—	—	−5	mA
$I_{OL(sum)}$	“L”尖頭総出力電流	全端子の$I_{OL(peak)}$の総和				—	—	80	mA
$I_{OL(sum)}$	“L”平均総出力電流	全端子の$I_{OL(avg)}$の総和				—	—	40	mA
$I_{OL(peak)}$	“L”尖頭出力電流					—	—	10	mA
$I_{OL(avg)}$	“L”平均出力電流					—	—	5	mA
$f_{(XIN)}$	XINクロック入力発振周波数				2.7V ≦ Vcc ≦ 5.5V	—	—	20	MHz
fOCO40M	タイマRC、タイマRDのカウントソース(注3)				2.7V ≦ Vcc ≦ 5.5V	32	—	40	MHz
fOCO-F	fOCO-F周波数				2.7V ≦ Vcc ≦ 5.5V	—	—	20	MHz
—	システムクロック周波数				2.7V ≦ Vcc ≦ 5.5V	—	—	20	MHz
$f_{(BCLK)}$	CPUクロック周波数				2.7V ≦ Vcc ≦ 5.5V	—	—	20	MHz

注1.　指定のない場合は、Vcc = 2.7V～5.5V、Topr = −40℃～85℃(Jバージョン)/−40℃～125℃(Kバージョン)です。
注2.　平均出力電流は100 msの期間内での平均値です。
注3.　fOCO40MはVcc = 2.7V～5.5Vの範囲で、タイマRC、タイマRDのカウントソースとして使用することができます。

表29.3　推奨動作条件(2)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
$I_{IC(H)}$	“H”入力インジェクション電流	P1、P3_3〜P3_5、P3_7、P4_5	V_I＞V_{CC}	—	—	2	mA
$I_{IC(L)}$	“L”入力インジェクション電流	P1、P3_3〜P3_5、P3_7、P4_5	V_I＜V_{SS}	—	—	−2	mA
$\sum\lvert I_{IC}\rvert$	総インジェクション電流			—	—	8	mA

注1.　指定のない場合は、V_{CC} = 4.5V〜5.5V、T_{opr} = −40℃〜85℃(Jバージョン)/−40℃〜125℃(Kバージョン)です。

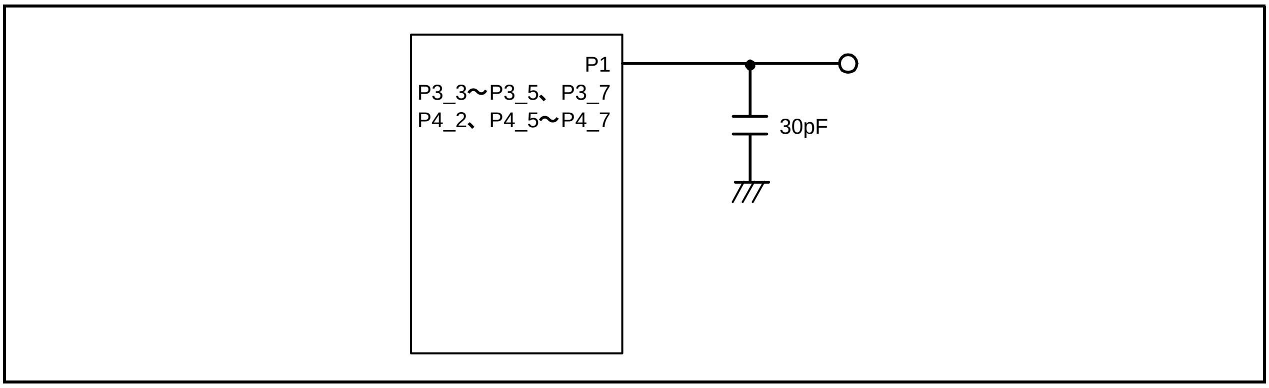


図29.1　ポートP1、P3_3〜P3_5、P3_7、P4_2、P4_5〜P4_7のタイミング測定回路

表29.4　A/Dコンバータ特性

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
—	分解能		Vref = AVcc		—	—	10	Bit
—	絶対精度	10ビットモード	Vref = AVcc = 5.0V	AN8～AN11入力	—	—	±3	LSB
			Vref = AVcc = 3.0V	AN8～AN11入力	—	—	±5	LSB
		8ビットモード	Vref = AVcc = 5.0V	AN8～AN11入力	—	—	±2	LSB
			Vref = AVcc = 3.0V	AN8～AN11入力	—	—	±2	LSB
φAD	A/D変換クロック		4.0V≦Vref = AVcc≦5.5V (注2)		2	—	20	MHz
			2.7V≦Vref = AVcc≦5.5V (注2)		2	—	10	MHz
—	許容信号源インピーダンス				—	3	—	kΩ
t_{CONV}	変換時間	10ビットモード	Vref = AVcc = 5.0V、φAD = 20MHz		2.2	—	—	μs
		8ビットモード	Vref = AVcc = 5.0V、φAD = 20MHz		2.2	—	—	μs
t_{SAMP}	サンプリング時間		φAD = 20MHz		0.80	—	—	μs
I_{vref}	V_{ref}電流		Vcc=5V、XIN = f1 = φAD = 20MHz		—	45	—	μA
V_{ref}	基準電圧				2.7	—	AVcc	V
V_{IA}	アナログ入力電圧(注3)				0	—	V_{ref}	V
OCVREF	チップ内蔵基準電圧		2MHz≦φAD≦4MHz		1.14	1.34	1.54	V

注1.　指定のない場合は、Vcc/AVcc = Vref = 2.7V～5.5V、Vss = 0V, Topr = －40℃～85℃(Jバージョン)/－40℃～125℃(Kバージョン)です。
注2.　ウェイトモード時、ストップモード時、フラッシュメモリの停止時、および低消費電流リードモード時では、A/D変換結果が不定になります。(これらの状態のときのA/D変換処理、およびA/D変換中のこれらの状態への遷移はしないでください。)
注3.　アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

表29.5　コンパレータBの電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vref	IVREF1、IVREF3入力基準電圧		0	—	Vcc－1.4	V
V_I	IVCMP1、IVCMP3入力電圧		－0.3	—	Vcc + 0.3	V
—	オフセット		—	5	100	mV
td	コンパレータ出力遅延時間(注2)	V_I = Vref±100mV	—	0.1	—	μs
I_{CMP}	コンパレータ動作電流	Vcc = 5.0V	—	17.5	—	μA

注1.　指定のない場合は、Vcc = 2.7V～5.5V、T_{opr} = －40℃～85℃(Jバージョン)/－40℃～125℃(Kバージョン)です。
注2.　デジタルフィルタ無効時。

表29.6 フラッシュメモリ(プログラムROM)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	プログラム、イレーズ回数(注2)	R8C/32Gグループ	1,000(注3)	—	—	回
		R8C/32Hグループ	100(注3)	—	—	回
—	バイトプログラム時間 (プログラム/イレーズ回数≦100回)		—	80	300	μs
—	バイトプログラム時間 (プログラム/イレーズ回数>100回)		—	80	500	μs
—	ブロックイレーズ時間		—	0.3	4	s
td(SR-SUS)	サスペンドへの遷移時間		—	—	5+CPUクロック×3サイクル	ms
—	イレーズ開始または再開から次のサスペンド要求までの間隔		0	—	—	μs
—	サスペンドからイレーズの再開までの時間		—	—	30+CPU クロック× 1 サイクル	μs
td(CMDRST-READY)	コマンド強制停止実行から読み出し可能になるまでの時間		—	—	30+CPU クロック× 1 サイクル	μs
—	書き込み、消去電圧		2.7	—	5.5	V
—	読み出し電圧		2.7	—	5.5	V
—	書き込み、消去時の温度		−40	—	85(Jバージョン) 125(Kバージョン)	℃
—	データ保持時間(注7)	周囲温度=55℃ (注8)	20	—	—	年

注1. 指定のない場合は、Vcc = 2.7V～5.5V、Topr = −40℃～85℃(Jバージョン)/ −40℃～125℃(Kバージョン)です。
注2. プログラム/イレーズ回数の定義
プログラム/イレーズ回数はブロックごとのイレーズ回数です。
プログラム/イレーズ回数がn回(n = 100、1,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。
例えば、1Kバイトのブロックについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。
注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1～“最小”値の範囲です。)
注4. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。
注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも3回実行してください。
注6. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特約店にお問い合わせください。
注7. 電源電圧またはクロックが印加されていない時間を含みます。
注8. Ta = 125℃の環境下での3000時間、Ta = 85℃の環境下での7000時間を含みます。

表29.7 フラッシュメモリ(データフラッシュ ブロックA～ブロックD)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	プログラム、イレーズ回数(注2)		10,000(注3)	—	—	回
—	バイトプログラム時間 (プログラム/イレーズ回数≦1,000回)		—	160	950	μs
—	バイトプログラム時間 (プログラム/イレーズ回数＞1,000回)		—	300	950	μs
—	ブロックイレーズ時間 (プログラム/イレーズ回数≦1,000回)		—	0.2	1	s
—	ブロックイレーズ時間 (プログラム/イレーズ回数＞1,000回)		—	0.3	1	s
$t_{d(SR-SUS)}$	サスペンドへの遷移時間		—	—	3+CPUクロック×3サイクル	ms
—	イレーズ開始または再開から次のサスペンド要求までの間隔		0	—	—	μs
—	サスペンドからイレーズの再開までの時間		—	—	30+CPU クロック× 1サイクル	μs
$t_{d(CMDRST-READY)}$	コマンド強制停止実行から読み出し可能になるまでの時間		—	—	30+CPU クロック× 1 サイクル	μs
—	書き込み、消去電圧		2.7	—	5.5	V
—	読み出し電圧		2.7	—	5.5	V
—	書き込み、消去時の温度		−40	—	85℃(Jバージョン) 125℃(Kバージョン)	℃
—	データ保持時間(注7)	周囲温度＝55℃ (注8)	20	—	—	年

注1. 指定のない場合は、Vcc＝2.7V～5.5V、Topr＝−40℃～85℃(Jバージョン)/−40℃～125℃(Kバージョン)です。
注2. プログラム/イレーズ回数の定義
プログラム/イレーズ回数はブロックごとのイレーズ回数です。
プログラム/イレーズ回数がn回(n＝10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。
例えば、1Kバイトブロックのブロック Aについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。
注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1～"最小"値の範囲です。)
注4. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA～ブロックDのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。
注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも3回実行してください。
注6. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特約店にお問い合わせください。
注7. 電源電圧またはクロックが印加されていない時間を含みます。
注8. Ta＝125℃の環境下での3000時間、Ta＝85℃の環境下での7000時間を含みます。

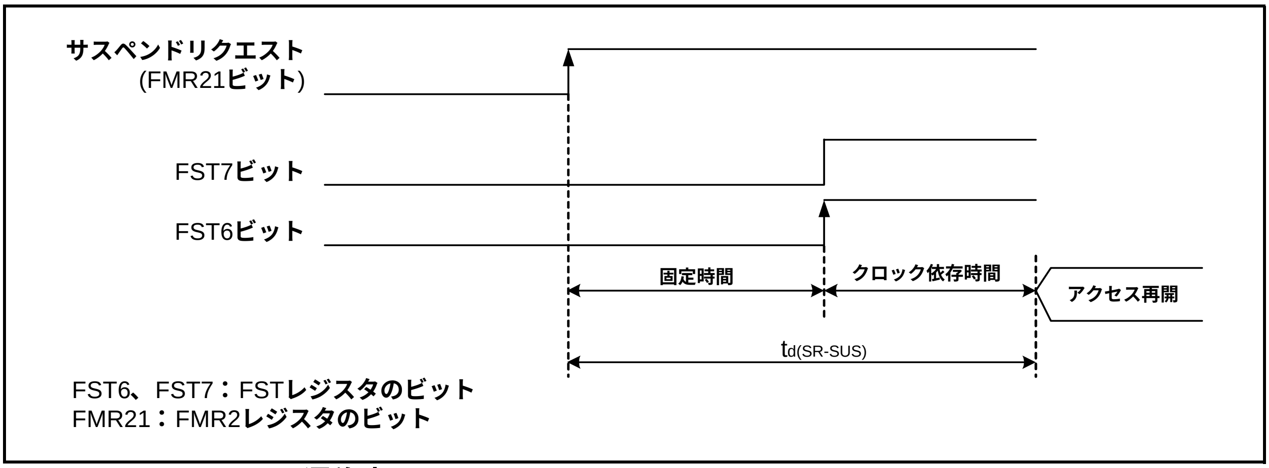


図29.2 サスペンドへの遷移時間

表29.8　電圧検出0回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{det0}	電圧検出レベル	Vcc立ち下がり時	2.70	2.85	3.05	V
—	電圧検出0回路反応時間（注3）	Vcc = 5V→(Vdet0－0.1)Vに下げたとき	—	6	150	µs
—	電圧検出回路の自己消費電流	VCA25 = 1、Vcc = 5.0V	—	1.5	—	µA
$t_{d(E-A)}$	電圧検出回路動作開始までの待ち時間（注2）		—	—	100	µs

注1. 測定条件はVcc = 2.7V～5.5V、Topr = －40℃～85℃(Jバージョン)/－40℃～125℃(Kバージョン)です。
注2. VCA2レジスタのVCA25ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。
注3. V_{det0}を通過した時点から、電圧監視0リセットが発生するまでの時間です。

表29.9　電圧検出1回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{det1}	電圧検出レベルVdet1_7（注2）	Vcc立ち下がり時	2.95	3.25	3.55	V
	電圧検出レベルVdet1_8（注2）	Vcc立ち下がり時	3.10	3.40	3.70	V
	電圧検出レベルVdet1_9（注2）	Vcc立ち下がり時	3.25	3.55	3.85	V
	電圧検出レベルVdet1_A（注2）	Vcc立ち下がり時	3.40	3.70	4.00	V
	電圧検出レベルVdet1_B（注2）	Vcc立ち下がり時	3.55	3.85	4.15	V
	電圧検出レベルVdet1_C（注2）	Vcc立ち下がり時	3.70	4.00	4.30	V
	電圧検出レベルVdet1_D（注2）	Vcc立ち下がり時	3.85	4.15	4.45	V
	電圧検出レベルVdet1_E（注2）	Vcc立ち下がり時	4.00	4.30	4.60	V
—	電圧検出1回路のVcc立ち上がり時のヒステリシス幅		—	0.10	—	V
—	電圧検出1回路反応時間（注3）	Vcc = 5V→(Vdet1_7－0.1)Vに下げたとき	—	60	150	µs
—	電圧検出回路の自己消費電流	VCA26 = 1、Vcc = 5.0V	—	1.7	—	µA
$t_{d(E-A)}$	電圧検出回路動作開始までの待ち時間（注4）		—	—	100	µs

注1. 測定条件はVcc = 2.7V～5.5V、Topr = －40℃～85℃(Jバージョン)/－40℃～125℃(Kバージョン)です。
注2. 電圧検出レベルはVD1LSレジスタのVD1S0～VD1S3ビットで選択してください。
注3. V_{det1}を通過した時点から、電圧監視1割り込み要求が発生するまでの時間です。
注4. VCA2レジスタのVCA26ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表29.10　電圧検出2回路の電気的特性

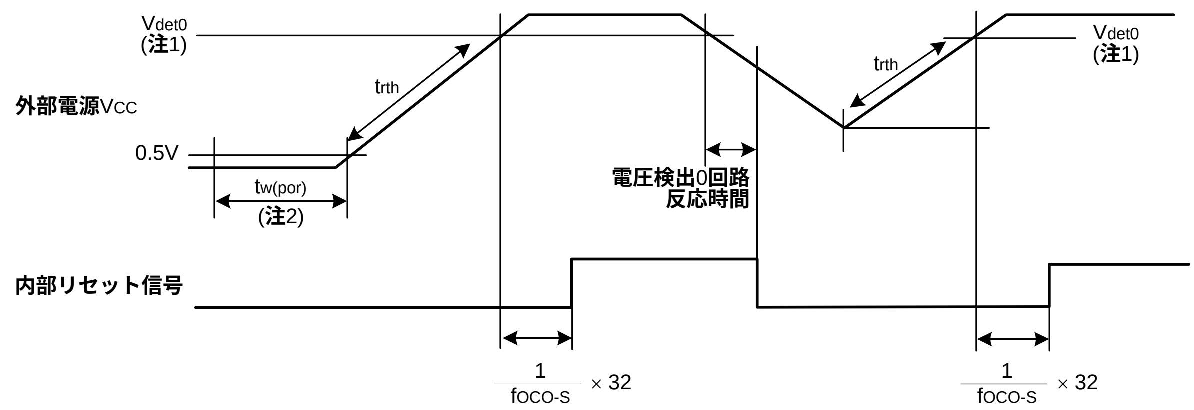
記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{det2}	電圧検出レベルVdet2	Vcc立ち下がり時	3.70	4.00	4.30	V
—	電圧検出2回路のVcc立ち上がり時のヒステリシス幅		—	0.10	—	V
—	電圧検出2回路反応時間 (注2)	Vcc = 5V→(Vdet2－0.1)Vに下げたとき	—	20	150	μs
—	電圧検出回路の自己消費電流	VCA27 = 1、Vcc = 5.0V	—	1.7	—	μA
$t_{d(E-A)}$	電圧検出回路動作開始までの待ち時間 (注3)		—	—	100	μs

注1.　測定条件はVcc = 2.7V～5.5V、Topr = －40℃～85℃(Jバージョン)/－40℃～125℃(Kバージョン)です。
注2.　Vdet2を通過した時点から、電圧監視2割り込み要求が発生するまでの時間です。
注3.　VCA2レジスタのVCA27ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表29.11　パワーオンリセット回路(注2)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t_{rth}	外部電源Vccの立ち上がり傾き	(注1)	0	—	50000	mV/msec

注1.　指定のない場合測定条件は、T_{opr} =－40℃～85℃(Jバージョン)/－40℃～125℃(Kバージョン)です。
注2.　パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを“0”にして電圧監視0リセットを有効にしてください。



注1. Vdet0は電圧検出0回路の電圧検出レベルを示します。 詳細は「6. 電圧検出回路」を参照してください。
注2. tw(por)は外部電源Vccを有効電圧(0.5V)以下に保持してパワーオンリセットが有効になるために必要な時間です。
電圧監視0リセットが無効な状態で電源を立ち下げた後に、電源を立ち上げるときは1ms以上保持してください。

図29.3　パワーオンリセット回路の電気的特性

表29.12 高速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値 最小	規格値 標準	規格値 最大	単位
—	リセット解除時の高速オンチップオシレータ発振周波数	Vcc = 2.7V〜5.5V、 −40℃≦Topr≦85℃ (Jバージョン)/ −40℃≦Topr≦125℃ (Kバージョン)	—	40	—	MHz
	FRA4レジスタの補正値をFRA1レジスタに、かつFRA5レジスタの補正値をFRA3レジスタに書き込んだときの高速オンチップオシレータ発振周波数(注3)		—	36.864	—	MHz
	FRA6レジスタの補正値をFRA1レジスタに、かつFRA7レジスタの補正値をFRA3レジスタに書き込んだときの高速オンチップオシレータ発振周波数		—	32	—	MHz
	高速オンチップオシレータ発振周波数の温度・電圧依存性(注2)		−5	—	5	%
—	発振安定時間		—	200	—	μs
—	発振時の自己消費電流	Vcc = 5.0V、Topr = 25℃	—	400	—	μA

注1. 測定条件は、Vcc =2.7V〜 5.5V、Topr = −40℃〜85℃(Jバージョン)/−40℃〜125℃(Kバージョン)です。
注2. 高速オンチップオシレータ発振周波数に対する精度誤差を示します。
注3. シリアルインタフェースをUARTモードで使用時に、9600bps、38400bpsなどのビットレートの設定誤差を、0%にすることができます。

表29.13 低速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値 最小	規格値 標準	規格値 最大	単位
fOCO-S	低速オンチップオシレータ発振周波数	2.7V≦Vcc＜4.2V	106.25	125	143.75	kHz
		4.2V≦Vcc≦5.5V	112.5	125	137.5	kHz
fOCO-WDT	ウォッチドッグタイマ用低速オンチップオシレータ発振周波数	2.7V≦Vcc＜4.2V	106.25	125	143.75	kHz
		4.2V≦Vcc≦5.5V	112.5	125	137.5	kHz
—	発振安定時間	Vcc = 5.0V、Topr = 25℃	—	30	100	μs
—	発振時の自己消費電流	Vcc = 5.0V、Topr = 25℃	—	3	—	μA

注1. 測定条件は、Vcc = 2.7V〜 5.5V、Topr = −40℃〜85℃(Jバージョン)/−40℃〜125℃(Kバージョン)です。

表29.14 電源回路のタイミング特性

記号	項目	測定条件	規格値 最小	規格値 標準	規格値 最大	単位
$t_{d(P-R)}$	電源投入時の内部電源安定時間 (注2)		—	—	2000	μs

注1. 測定条件はVcc = 2.7V〜5.5V、Topr = −40℃〜85℃(Jバージョン)/−40℃〜125℃(Kバージョン)です。
注2. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

表29.15 シンクロナスシリアルコミュニケーションユニット(SSU)のタイミング必要条件(注1)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
t_{SUCYC}	SSCKクロックサイクル時間			4	—	—	t_{CYC} (注2)
t_{HI}	SSCKクロック“H”パルス幅			0.4	—	0.6	t_{SUCYC}
t_{LO}	SSCKクロック“L”パルス幅			0.4	—	0.6	t_{SUCYC}
t_{RISE}	SSCKクロック立ち上がり時間	マスタ		—	—	1	t_{CYC} (注2)
		スレーブ		—	—	1	μs
t_{FALL}	SSCKクロック立ち下がり時間	マスタ		—	—	1	t_{CYC} (注2)
		スレーブ		—	—	1	μs
t_{SU}	SSO、SSIデータ入力セットアップ時間			100	—	—	ns
t_{H}	SSO、SSIデータ入力ホールド時間			1	—	—	t_{CYC} (注2)
t_{LEAD}	$\overline{SCS}$セットアップ時間	スレーブ		$1t_{CYC}+50$	—	—	ns
t_{LAG}	$\overline{SCS}$ホールド時間	スレーブ		$1t_{CYC}+50$	—	—	ns
t_{OD}	SSO、SSIデータ出力遅延時間			—	—	1	t_{CYC} (注2)
t_{SA}	SSIスレーブアクセス時間		$2.7V \leqq Vcc \leqq 5.5V$	—	—	$1.5t_{CYC}+100$	ns
t_{OR}	SSIスレーブアウト開放時間		$2.7V \leqq Vcc \leqq 5.5V$	—	—	$1.5t_{CYC}+100$	ns

注1. 測定条件は、Vcc = 2.7V～5.5V、Vss = 0V、Topr = −40℃～85℃(Jバージョン)/−40℃～125℃(Kバージョン)です。
注2. $1t_{CYC} = 1/f1$ (s)

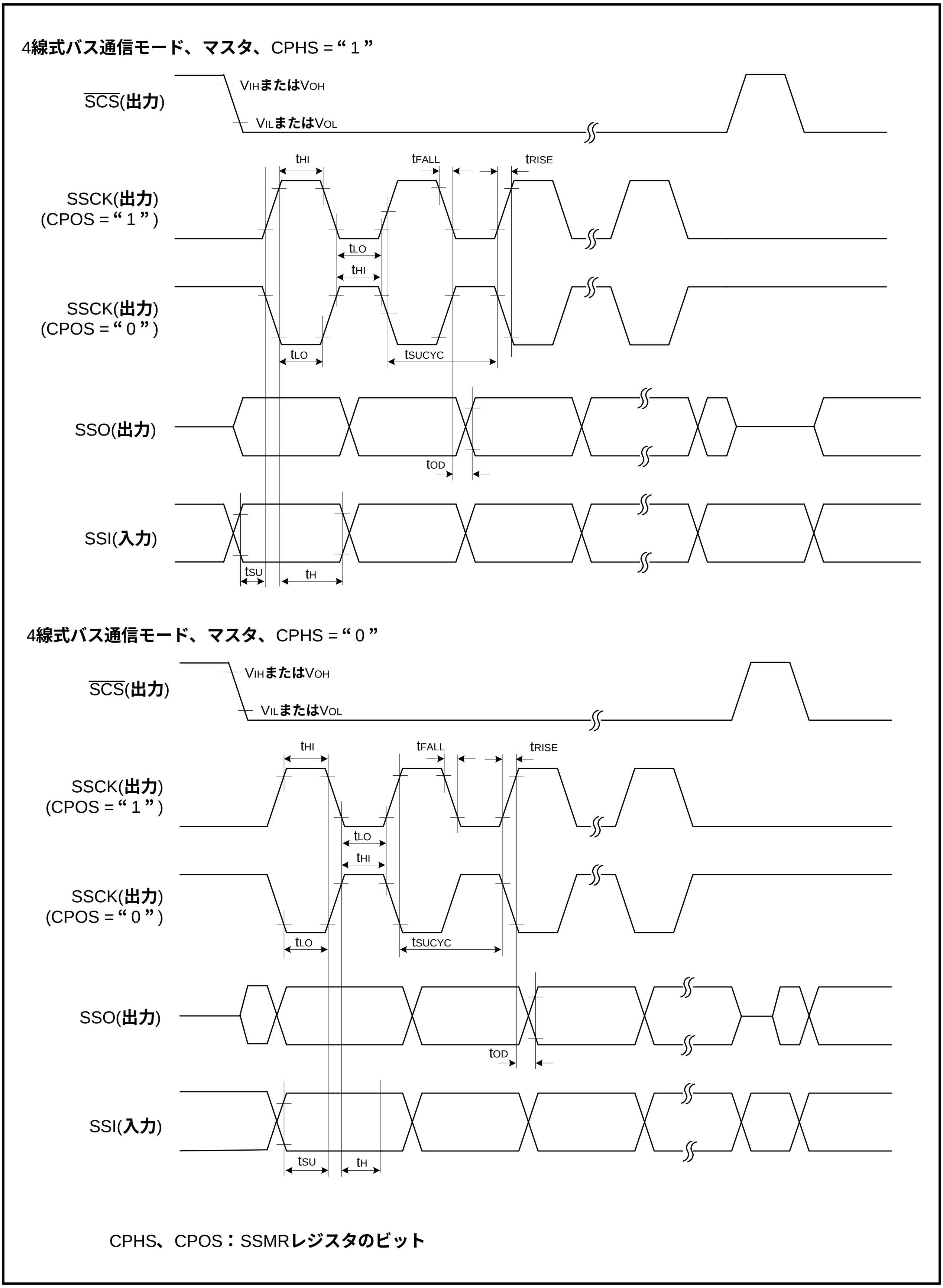


図29.4　シンクロナスシリアルコミュニケーションユニット(SSU)の入出力タイミング(マスタ)

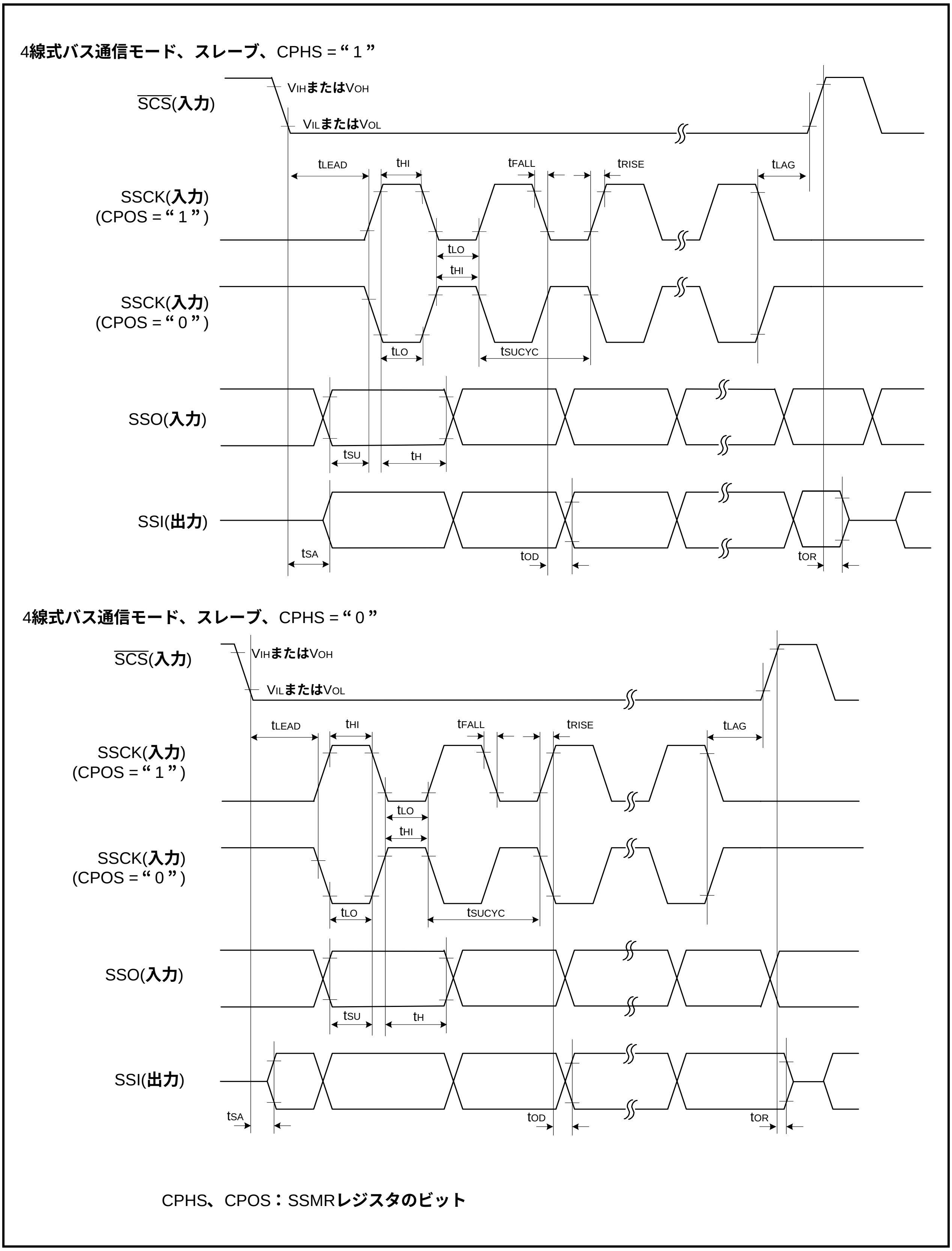


図29.5　シンクロナスシリアルコミュニケーションユニット(SSU)の入出力タイミング(スレーブ)

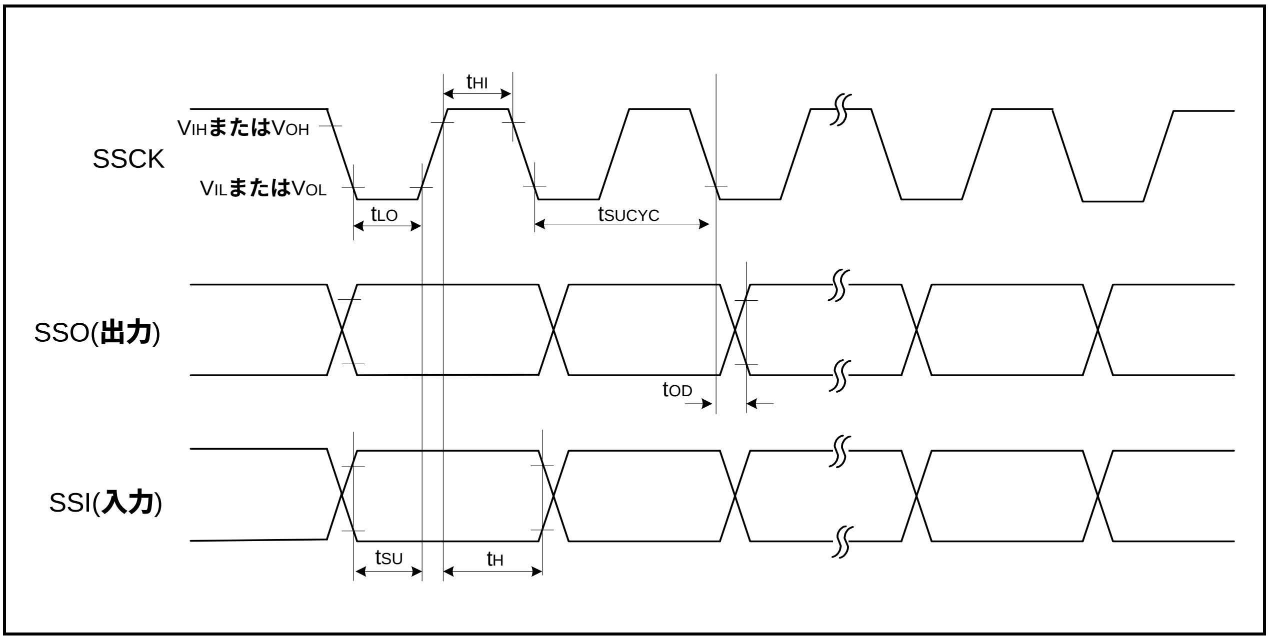


図29.6 シンクロナスシリアルコミュニケーションユニット(SSU)の入出力タイミング(クロック同期式通信モード)

表29.16 電気的特性(1)　[4.2V≦Vcc≦5.5V]

記号	項目		測定条件	規格値 最小	規格値 標準	規格値 最大	単位
V_{OH}	"H"出力電圧	XOUT以外	I_{OH} = −5mA	Vcc−2.0	—	Vcc	V
			I_{OH} = −200µA	Vcc−0.3	—	Vcc	V
		XOUT	I_{OH} = −200µA	1.0	—	Vcc	V
V_{OL}	"L"出力電圧	XOUT以外	I_{OL} = 5mA	—	—	2.0	V
			I_{OL} = 200µA		—	0.45	V
		XOUT	I_{OL} = 200µA	—	—	0.5	V
V_{T+}-V_{T-}	ヒステリシス	$\overline{INT0}$、$\overline{INT1}$、$\overline{INT3}$、KI0、KI1、KI2、KI3、TRAIO、TRBO、TRCIOA、TRCIOB、TRCIOC、TRCIOD、TRDIOA0、TRDIOB0、TRDIOC0、TRDIOD0、TRDIOA1、TRDIOB1、TRDIOC1、TRDIOD1、$\overline{TRCTRG}$、TRCCLK、ADTRG、TRDCLK、RXD0、RXD2、CLK0、CLK2、SSI、SCL2、SDA、SSO	Vcc = 5.0V	0.1	1.2	—	V
		$\overline{RESET}$	Vcc = 5.0V	0.1	1.2	—	V
I_{IH}	"H"入力電流		VI = 5V、Vcc = 5.0V	—	—	1.0	µA
I_{IL}	"L"入力電流		VI = 0V、Vcc = 5.0V	—	—	−1.0	µA
R_{PULLUP}	プルアップ抵抗		VI = 0V、Vcc = 5.0V	25	50	100	kΩ
R_{fXIN}	帰還抵抗	XIN		—	0.3	—	MΩ
V_{RAM}	RAM保持電圧		ストップモード時	2.0	—	—	V

注1. 指定のない場合は、4.2V≦Vcc≦5.5V、Topr = −40℃〜85℃(Jバージョン)/−40℃〜125℃(Kバージョン)、f(XIN) = 20MHzです。

表29.17 電気的特性(2) [3.3V≦Vcc≦5.5V]
(指定のない場合は、Topr = −40℃〜85℃(Jバージョン))

記号	項目	測定条件		規格値 最小	規格値 標準	規格値 最大	単位
Icc	電源電流 (3.3V≦Vcc≦5.5V) シングルチップモードで、出力端子は開放、その他の端子はVss	高速クロックモード (注1)	XIN = 20MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし	—	7.0	15.0	mA
			XIN = 16MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし	—	5.6	12.5	mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし	—	3.6	—	mA
			XIN = 20MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周	—	3.0	—	mA
			XIN = 16MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周	—	2.2	—	mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周	—	1.5	—	mA
		高速オンチップオシレータモード(注1)	XINクロック停止 高速オンチップオシレータ発振 fOCO-F = 20MHz 低速オンチップオシレータ発振 = 125kHz 分周なし	—	7.0	15	mA
			XINクロック停止 高速オンチップオシレータ発振 fOCO-F = 20MHz 低速オンチップオシレータ発振 = 125kHz 8分周	—	3.0	—	mA
		低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周　FMR27 = “1”、VCA20 = “0”	—	90	180	μA
		ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = “0”、VCA20 = “1”	—	15	110	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = “0”、VCA20 = “1”	—	5.0	100	μA
		ストップモード	XINクロック停止、Topr = 25℃ 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = “1” 周辺クロック停止 VCA27 = VCA26 = VCA25 = “0”	—	2.0	5.0	μA
			XINクロック停止、Topr = 85℃ 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = “1” 周辺クロック停止 VCA27 = VCA26 = VCA25 = “0”	—	15.0	—	μA

注1. 標準は、CPUとメモリが動作した場合の電流です。
最大は、CPUとメモリと周辺機能が動作し、かつ、フラッシュメモリのプログラム/イレーズをした場合の電流です。

表29.18 電気的特性(3)　[3.3V≦Vcc≦5.5V]
(指定のない場合は、Topr = −40℃～125℃(Kバージョン))

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
Icc	電源電流 (3.3V≦Vcc≦5.5V) シングルチップモードで、出力端子は開放、その他の端子はVss	高速クロックモード (注1)	XIN = 20MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし	—	7.0	15	mA
			XIN = 16MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし	—	5.6	12.5	mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし	—	3.6	—	mA
			XIN = 20MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周	—	3.0	—	mA
			XIN = 16MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周	—	2.2	—	mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周	—	1.5	—	mA
		高速オンチップオシレータモード(注1)	XINクロック停止 高速オンチップオシレータ発振 fOCO-F = 20MHz 低速オンチップオシレータ発振 = 125kHz 分周なし	—	7.0	15	mA
			XINクロック停止 高速オンチップオシレータ発振 fOCO-F = 20MHz 低速オンチップオシレータ発振 = 125kHz 8分周	—	3.0	—	mA
		低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周　FMR27 = "1"、VCA20 = "0"	—	90	400	μA
		ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = "0"、VCA20 = "1"	—	15	330	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0"、VCA20 = "1"	—	5.0	320	μA
		ストップモード	XINクロック停止、Topr = 25℃ 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = "1" 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0"	—	2.0	5.0	μA
			XINクロック停止、Topr = 125℃ 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = "1" 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0"	—	60	—	μA

注1. 標準は、CPUとメモリが動作した場合の電流です。
　　最大は、CPUとメモリと周辺機能が動作し、かつ、フラッシュメモリのプログラム/イレーズをした場合の電流です。

タイミング必要条件
(指定のない場合は、Vcc = 5V、Vss = 0V、Topr = −40℃～85℃(Jバージョン)/−40℃～125℃(Kバージョン))

表29.19　外部クロック入力(XOUT)

記号	項目	規格値		単位
		最小	最大	
tc(XOUT)	XOUT入力サイクル時間	50	—	ns
tWH(XOUT)	XOUT入力“H”パルス幅	24	—	ns
tWL(XOUT)	XOUT入力“L”パルス幅	24	—	ns

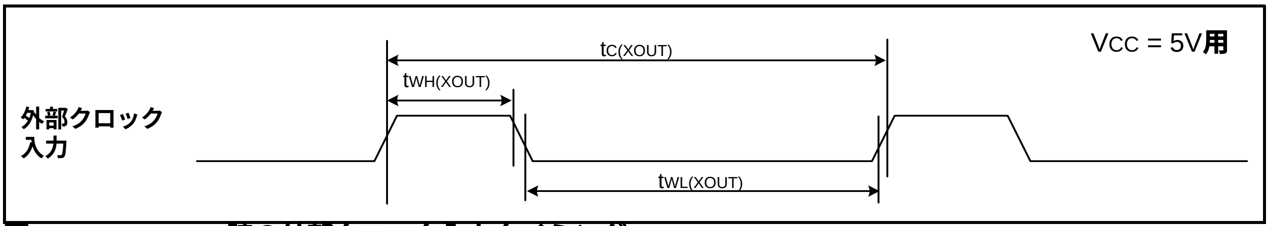


図29.7　Vcc = 5V時の外部クロック入力タイミング

表29.20　TRAIO入力

記号	項目	規格値		単位
		最小	最大	
tc(TRAIO)	TRAIO入力サイクル時間	100	—	ns
tWH(TRAIO)	TRAIO入力“H”パルス幅	40	—	ns
tWL(TRAIO)	TRAIO入力“L”パルス幅	40	—	ns

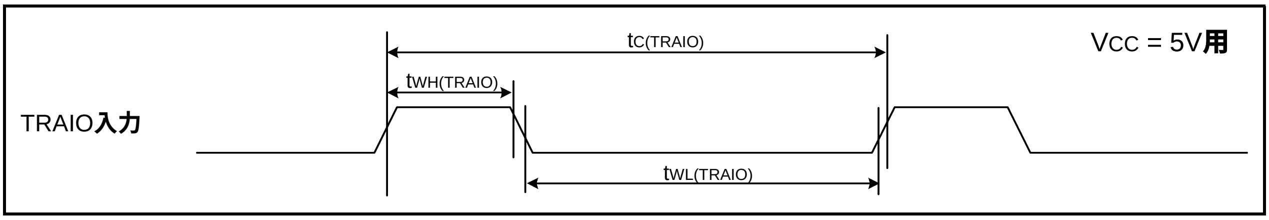


図29.8　Vcc = 5V時のTRAIO入力タイミング

表29.21 シリアルインタフェース

記号	項目	測定条件	規格値 最小	規格値 最大	単位
$t_{c(CK)}$	CLKi入力サイクル時間	外部クロック選択時	200	—	ns
$t_{W(CKH)}$	CLKi入力“H”パルス幅		100	—	ns
$t_{W(CKL)}$	CLKi入力“L”パルス幅		100	—	ns
$t_{d(C-Q)}$	TXDi出力遅延時間		—	90	ns
$t_{h(C-Q)}$	TXDiホールド時間		0	—	ns
$t_{su(D-C)}$	RXDi入力セットアップ時間		10	—	ns
$t_{h(C-D)}$	RXDi入力ホールド時間		90	—	ns
$t_{d(C-Q)}$	TXDi出力遅延時間	内部クロック選択時	—	10	ns
$t_{su(D-C)}$	RXDi入力セットアップ時間		90	—	ns
$t_{h(C-D)}$	RXDi入力ホールド時間		90	—	ns

i = 0、2

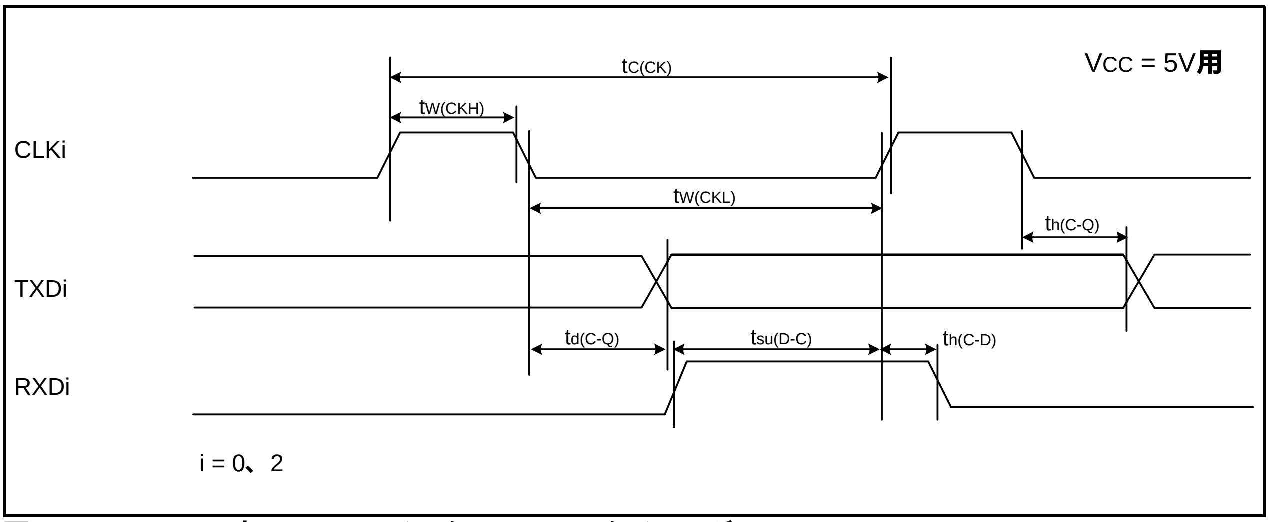


図29.9 Vcc = 5V時のシリアルインタフェースのタイミング

表29.22 外部割り込み$\overline{\mathrm{INTi}}$入力 (i = 0～1、3)、キー入力割り込み$\overline{\mathrm{KIi}}$ (i = 0～3)

記号	項目	規格値 最小	規格値 最大	単位
$t_{W(INH)}$	$\overline{\mathrm{INTi}}$入力“H”パルス幅、$\overline{\mathrm{KIi}}$入力“H”パルス幅	250(注1)	—	ns
$t_{W(INL)}$	$\overline{\mathrm{INTi}}$入力“L”パルス幅、$\overline{\mathrm{KIi}}$入力“L”パルス幅	250(注2)	—	ns

注1. $\overline{\mathrm{INTi}}$入力フィルタ選択ビットでフィルタありを選択した場合、$\overline{\mathrm{INTi}}$入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. $\overline{\mathrm{INTi}}$入力フィルタ選択ビットでフィルタありを選択した場合、$\overline{\mathrm{INTi}}$入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

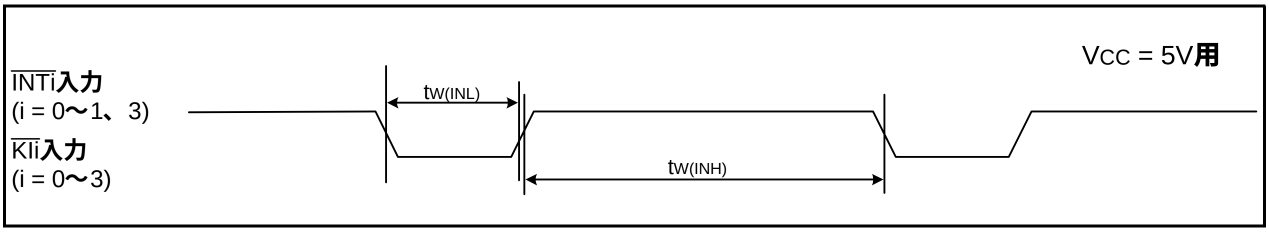


図29.10 Vcc = 5V時の外部割り込み$\overline{\mathrm{INTi}}$およびキー入力割り込み$\overline{\mathrm{KIi}}$入力タイミング

表29.23　電気的特性(4)　[2.7V≦Vcc＜4.2V]

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
V_{OH}	“H”出力電圧	XOUT以外	I_{OH} = −1mA	Vcc−0.5	—	Vcc	V
		XOUT	I_{OH} = −200μA	1.0	—	Vcc	V
V_{OL}	“L”出力電圧	XOUT以外	I_{OL} = 1mA	—	—	0.5	V
		XOUT	I_{OL} = 200μA	—	—	0.5	V
V_{T+}-V_{T-}	ヒステリシス	$\overline{INT0}$、$\overline{INT1}$、$\overline{INT3}$、KI0、KI1、KI2、KI3、TRAIO、TRBO、TRCIOA、TRCIOB、TRCIOC、TRCIOD、TRDIOA0、TRDIOB0、TRDIOC0、TRDIOD0、TRDIOA1、TRDIOB1、TRDIOC1、TRDIOD1、$\overline{TRCTRG}$、TRCCLK、ADTRG、TRDCLK、RXD0、RXD2、CLK0、CLK1、SSI、SCL2、SDA、SSO	Vcc = 3.0V	0.1	0.4	—	V
		$\overline{RESET}$	Vcc = 3.0V	0.1	0.5	—	V
I_{IH}	“H”入力電流		VI = 3V、Vcc = 3.0V	—	—	1.0	μA
I_{IL}	“L”入力電流		VI = 0V、Vcc = 3.0V	—	—	−1.0	μA
R_{PULLUP}	プルアップ抵抗		VI = 0V、Vcc = 3.0V	42	84	168	kΩ
R_{fXIN}	帰還抵抗	XIN		—	0.3	—	MΩ
V_{RAM}	RAM保持電圧		ストップモード時	2.0	—	—	V

注1.　指定のない場合は、2.7V≦Vcc＜4.2V、Topr = −40℃～85℃(Jバージョン)/−40℃～125℃(Kバージョン)、f(XIN) = 20MHzです。

表29.24　電気的特性(5)　[2.7V≦Vcc＜3.3V]
(指定のない場合は、Topr = －40℃～85℃(Jバージョン))

記号	項目	測定条件		規格値 最小	規格値 標準	規格値 最大	単位
Icc	電源電流 (2.7V≦Vcc＜3.3V) シングルチップモードで、出力端子は開放、その他の端子はVss	高速クロックモード(注1)	XIN = 20MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし	—	7.0	14.5	mA
			XIN = 16MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし	—	5.6	12.0	mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし	—	3.6	—	mA
			XIN = 20MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周	—	3.0	—	mA
			XIN = 16MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周	—	2.2	—	mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周	—	1.5	—	mA
		高速オンチップオシレータモード(注1)	XINクロック停止 高速オンチップオシレータ発振fOCO-F = 20MHz 低速オンチップオシレータ発振 = 125kHz 分周なし	—	7.0	14.5	mA
			XINクロック停止 高速オンチップオシレータ発振fOCO-F =20MHz 低速オンチップオシレータ発振 = 125kHz 8分周	—	3.0	—	mA
		低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周　FMR27 = “1”、VCA20 = “0”	—	85	180	μA
		ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = “0” VCA20= “1”	—	15	110	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = “0” VCA20= “1”	—	5	100	μA
		ストップモード	XINクロック停止、Topr = 25℃ 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = “1” 周辺クロック停止 VCA27 = VCA26 = VCA25 = “0”	—	2.0	5.0	μA
			XINクロック停止、Topr = 85℃ 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = “1” 周辺クロック停止 VCA27 = VCA26 = VCA25 = “0”	—	13.0	—	μA

注1. 標準は、CPUとメモリが動作した場合の電流です。
最大は、CPUとメモリと周辺機能が動作し、かつ、フラッシュメモリのプログラム/イレーズをした場合の電流です。

表29.25 電気的特性(6)　[2.7V≦Vcc＜3.3V]
(指定のない場合は、Topr = −40℃〜125℃(Kバージョン))

記号	項目	測定条件		規格値 最小	標準	最大	単位
Icc	電源電流 (2.7V≦Vcc＜3.3V) シングルチップモードで、出力端子は開放、その他の端子はVss	高速クロックモード (注1)	XIN = 20MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし	—	7.0	14.5	mA
			XIN = 16MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし	—	5.6	12.0	mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし	—	3.6	—	mA
			XIN = 20MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周	—	3.0	—	mA
			XIN = 16MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周	—	2.2	—	mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周	—	1.5	—	mA
		高速オンチップオシレータモード(注1)	XINクロック停止 高速オンチップオシレータ発振fOCO-F = 20MHz 低速オンチップオシレータ発振 = 125kHz 分周なし	—	7.0	14.5	mA
			XINクロック停止 高速オンチップオシレータ発振fOCO-F =20MHz 低速オンチップオシレータ発振 = 125kHz 8分周	—	3.0	—	mA
		低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周　FMR27 = “1”、VCA20 = “0”	—	85	390	μA
		ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = “0” VCA20= “1”	—	15	320	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = “0” VCA20= “1”	—	5	310	μA
		ストップモード	XINクロック停止、Topr = 25℃ 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = “1” 周辺クロック停止 VCA27 = VCA26 = VCA25 = “0”	—	2.0	5.0	μA
			XINクロック停止、Topr = 125℃ 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = “1” 周辺クロック停止 VCA27 = VCA26 = VCA25 = “0”	—	55.0	—	μA

注1. 標準は、CPUとメモリが動作した場合の電流です。
最大は、CPUとメモリと周辺機能が動作し、かつ、フラッシュメモリのプログラム/イレーズをした場合の電流です。

タイミング必要条件
(指定のない場合は、Vcc = 3V、Vss = 0V、Topr = −40℃〜85℃(Jバージョン)/−40℃〜125℃(Kバージョン))

表29.26 外部クロック入力(XOUT)

記号	項目	規格値		単位
		最小	最大	
$t_{c(XOUT)}$	XOUT入力サイクル時間	50	—	ns
$t_{WH(XOUT)}$	XOUT入力"H"パルス幅	24	—	ns
$t_{WL(XOUT)}$	XOUT入力"L"パルス幅	24	—	ns

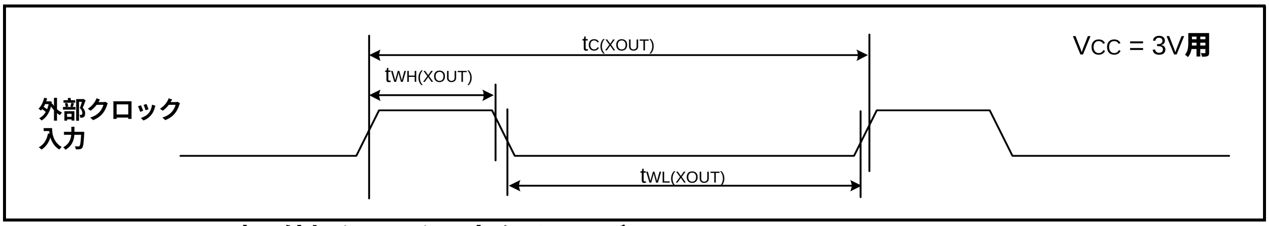


図29.11 Vcc = 3V時の外部クロック入力タイミング

表29.27 TRAIO入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(TRAIO)}$	TRAIO入力サイクル時間	300	—	ns
$t_{WH(TRAIO)}$	TRAIO入力"H"パルス幅	120	—	ns
$t_{WL(TRAIO)}$	TRAIO入力"L"パルス幅	120	—	ns

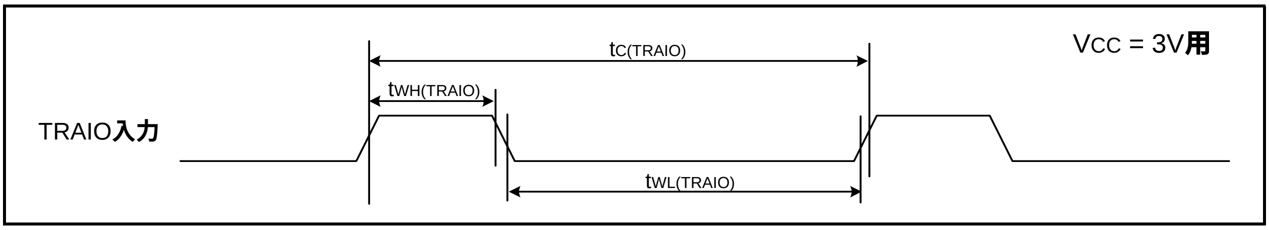


図29.12 Vcc = 3V時のTRAIO入力タイミング

表29.28　シリアルインタフェース

記号	項目	測定条件	規格値 最小	規格値 最大	単位
$t_{c(CK)}$	CLKi入力サイクル時間	外部クロック選択時	300	—	ns
$t_{W(CKH)}$	CLKi入力“H”パルス幅		150	—	ns
$t_{W(CKL)}$	CLKi入力“L”パルス幅		150	—	ns
$t_{d(C-Q)}$	TXDi出力遅延時間		—	120	ns
$t_{h(C-Q)}$	TXDiホールド時間		0	—	ns
$t_{su(D-C)}$	RXDi入力セットアップ時間		30	—	ns
$t_{h(C-D)}$	RXDi入力ホールド時間		90	—	ns
$t_{d(C-Q)}$	TXDi出力遅延時間	内部クロック選択時	—	30	ns
$t_{su(D-C)}$	RXDi入力セットアップ時間		120	—	ns
$t_{h(C-D)}$	RXDi入力ホールド時間		90	—	ns

i = 0、2

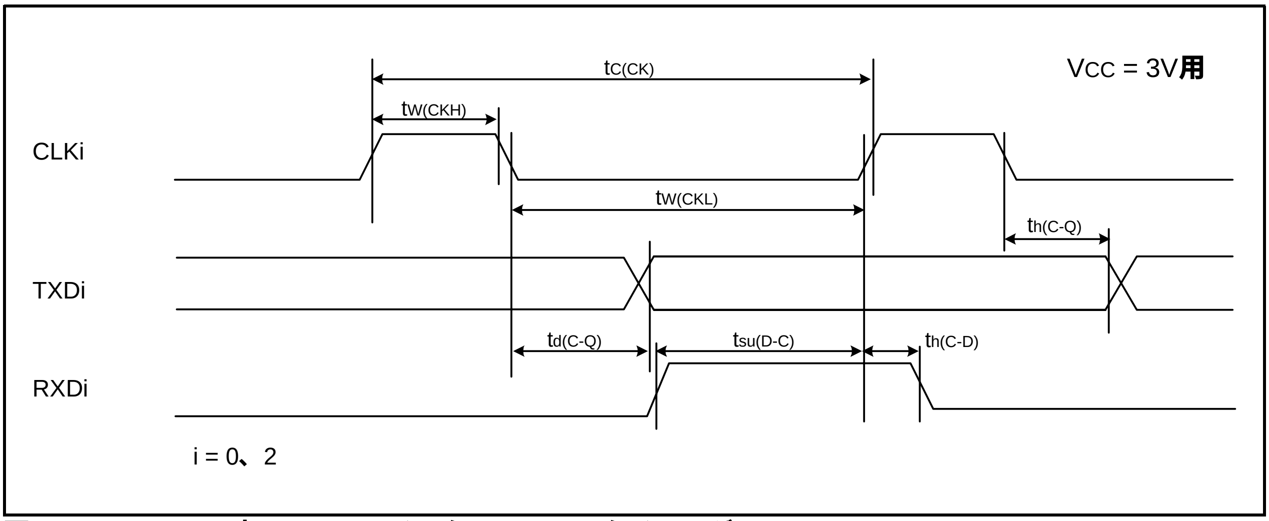


図29.13　Vcc = 3V時のシリアルインタフェースのタイミング

表29.29　外部割り込み$\overline{\mathrm{INTi}}$入力 (i = 0～1、3)、キー入力割り込み$\overline{\mathrm{KIi}}$ (i = 0～3)

記号	項目	規格値 最小	規格値 最大	単位
$t_{W(INH)}$	$\overline{\mathrm{INTi}}$入力“H”パルス幅、$\overline{\mathrm{KIi}}$入力“H”パルス幅	380(注1)	—	ns
$t_{W(INL)}$	$\overline{\mathrm{INTi}}$入力“L”パルス幅、$\overline{\mathrm{KIi}}$入力“L”パルス幅	380(注2)	—	ns

注1. $\overline{\mathrm{INTi}}$入力フィルタ選択ビットでフィルタありを選択した場合、$\overline{\mathrm{INTi}}$入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。
注2. $\overline{\mathrm{INTi}}$入力フィルタ選択ビットでフィルタありを選択した場合、$\overline{\mathrm{INTi}}$入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

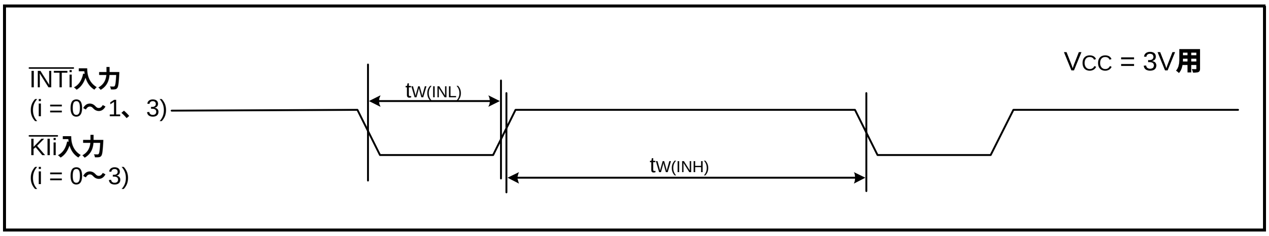


図29.14　Vcc = 3V時の外部割り込み$\overline{\mathrm{INTi}}$およびキー入力割り込み$\overline{\mathrm{KIi}}$入力タイミング

30. 使用上の注意事項

30.1 クロック発生回路使用上の注意

30.1.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを"0"(CPU書き換えモード無効)にした後、CM1レジスタのCM10ビットを"1"(ストップモード)にしてください。命令キューはCM10ビットを"1"(ストップモード)にする命令から、4バイト先読みしてプログラムが停止します。

CM10ビットを"1"にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

• ストップモードに移行するプログラム例

```
            BCLR    1, FMR0        ; CPU書き換えモード無効
            BCLR    7, FMR2        ; 低消費電流リードモード禁止
            BSET    0, PRCR        ; CM1レジスタへの書き込み許可
            FSET    I              ; 割り込み許可
            BSET    0, CM1         ; ストップモード
            JMP.B   LABEL_001
LABEL_001:
            NOP
            NOP
            NOP
            NOP
```

30.1.2 ウェイトモード

ウェイトモードへ移行するときは、FMR0レジスタのFMR01ビットを"0"(CPU書き換えモード無効)ならびにFMR27ビットを"0"(低消費電流リードモード禁止)にした後、移行してください。

FMR01ビットが"1"(CPU書き換えモード有効)あるいはFMR27ビットが"1"(低消費電流リードモード許可)の状態で、ウェイトモードへ移行しないでください。

CM30ビットを"1"にしてウェイトモードに移行する場合は、Iフラグを"0"(マスカブル割り込み禁止)にしてください。WAIT命令でウェイトモードに移行する場合は、Iフラグを"1"(マスカブル割り込み許可)にしてください。命令キューはCM30ビットを"1"(ウェイトモードに移行する)にする命令、またはWAIT命令から4バイト先読みしてプログラムが停止します。CM30ビットを"1"(ウェイトモードに移行する)にする命令、またはWAIT命令の後にはNOP命令を最低4つ入れてください。

• WAIT命令を実行するプログラム例

```
            BCLR    1, FMR0        ; CPU書き換えモード無効
            BCLR    7, FMR2        ; 低消費電流リードモード禁止
            FSET    I              ; 割り込み許可
            WAIT                   ; ウェイトモード
            NOP
            NOP
            NOP
            NOP
```

• CM30ビットを"1"を実行するプログラム例

```
            BCLR    1, FMR0        ; CPU書き換えモード無効
            BCLR    7, FMR2        ; 低消費電流リードモード禁止
            BSET    0, PRCR        ; CM3レジスタへの書き込み許可
            FCLR    I              ; 割り込み禁止
            BSET    0, CM3         ; ウェイトモード
            NOP
            NOP
            NOP
            NOP
            BCLR    0, PRCR        ; CM3レジスタへの書き込み禁止
            FSET    I              ; 割り込み許可
```

30.1.3 VCA20ビットによる内部電源低消費操作

VCA20 ビットは低速クロックモードまたは低速オンチップオシレータモードで"1"にしてから、ウェイトモードに移行してください。

CM3レジスタのCM30ビットを"1"(ウェイトモードに移行する)にしてウェイトモードにする場合のVCA20ビットによる内部電源低消費操作設定は図29.1に示す手順に従ってください。

WAIT 命令を実行してウェイトモードにする場合の VCA20 ビットによる内部電源低消費操作設定は図29.2に示す手順に従ってください。

30.1.4 発振停止検出機能

XIN クロックの周波数が 2MHz 未満の場合、発振停止検出機能は使用できませんので、OCD1 ～ OCD0ビットを"00b"にしてください。また、OCD3ビットは、XINクロックの発振安定確認には使用できません。

30.1.5 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカにご相談の上、決定してください。

30.2　割り込み使用上の注意

30.2.1　00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスカブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

30.2.2　SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは“0000h”です。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

30.2.3　外部割り込み、キー入力割り込み

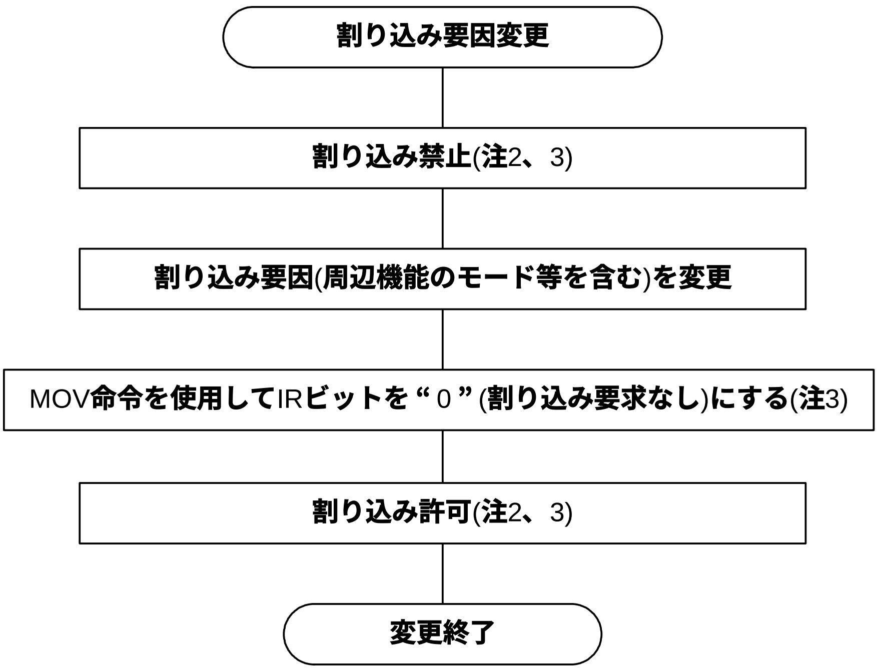
$\overline{\mathrm{INT0}}$～$\overline{\mathrm{INT1}}$、$\overline{\mathrm{INT3}}$端子、$\overline{\mathrm{KI0}}$～$\overline{\mathrm{KI3}}$端子に入力する信号には、CPUの動作クロックに関係なく電気的特性の外部割り込み$\overline{\mathrm{INTi}}$入力(i = 0～1、3)に示す“L”レベル幅、または“H”レベル幅が必要です。(詳細は「表29.22(Vcc = 5V)、表29.29(Vcc = 3V)　外部割り込み$\overline{\mathrm{INTi}}$入力(i = 0～1、3)、キー入力割り込み$\overline{\mathrm{KIi}}$(i = 0～3)」を参照。)

30.2.4　割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図30.1に割り込み要因の変更手順例を示します。



IRビット: 要因を変更する割り込みの、割り込み制御レジスタのビット

注1.　上記の設定は個々に実行してください。2つ以上の設定を同時に(1命令で)実行しないでください。

注2.　割り込み要求を発生させないために、割り込み要因となる周辺機能を停止させた後、割り込み要因を変更してください。この場合、マスカブル割り込みをすべて禁止にしてよい場合はIフラグを使用してください。
マスカブル割り込みをすべて禁止にできない場合は、要因を変更する割り込みのILVL0～ILVL2ビットを使用してください。

注3.　デジタルフィルタありの入力を割り込み要因とする場合は、デジタルフィルタのサンプリングクロックの3サイクル分以上待ってから、IRビットを“0”(割り込み要求なし)にしてください。使用する命令とそれに伴う注意は「11.8.5　割り込み制御レジスタの変更」を参照してください。

図30.1　割り込み要因の変更手順例

30.2.5　割り込み制御レジスタの変更

(a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。

(b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。

IRビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”(割り込み要求あり)にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

対象となる命令....... AND、OR、BCLR、BSET

IRビットの変更

IRビットを“0”(割り込み要求なし)にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。

(c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。)

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”(割り込み許可)になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
    FCLR    I               ; 割り込み禁止
    AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
    NOP                     ;
    NOP
    FSET    I               ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
    FCLR    I               ; 割り込み禁止
    AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
    MOV.W   MEM, R0         ; ダミーリード
    FSET    I               ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3:
    PUSHC   FLG
    FCLR    I               ; 割り込み禁止
    AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
    POPC    FLG             ; 割り込み許可
```

30.3 IDコード領域使用上の注意

30.3.1 IDコード領域の設定例

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

• IDコード領域すべてに“ 55h ”を設定する場合

```
.org 00FFDCH
.lword dummy | (55000000h)    ; UND
.lword dummy | (55000000h)    ; INTO
.lword dummy ; BREAK
.lword dummy | (55000000h)    ; ADDRESS MATCH
.lword dummy | (55000000h)    ; SET SINGLE STEP
.lword dummy | (55000000h)    ; WDT
.lword dummy | (55000000h)    ; ADDRESS BREAK
.lword dummy | (55000000h)    ; RESERVE
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

30.4 オプション機能選択領域使用上の注意

30.4.1 オプション機能選択領域の設定例

オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

• OFSレジスタに“ FFh ”を設定する場合

```
.org 00FFFCH
.lword reset | (0FF000000h)    ; RESET
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

• OFS2レジスタに“ FFh ”を設定する場合

```
.org 00FFDBH
.byte 0FFh
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

30.5 DTC使用上の注意

30.5.1 DTC起動要因

- ウェイトモード移行前、またはウェイトモード中に、DTC起動要因を発生させないでください。
- ストップモード移行前、またはストップモード中に、DTC起動要因を発生させないでください。

30.5.2 DTCENi(i=0～4、6)レジスタ

- DTCENi0～DTCENi7ビットは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。
- 周辺機能のステータスレジスタの割り込み要因フラグが“1”のとき、対応する起動要因のDTCENi0～DTCENi7ビットを変化させないでください。
- DTC転送でDTCENiレジスタをアクセスしないでください。

30.5.3 周辺モジュール

- DTC転送で周辺機能のステータスレジスタのビットを“0”にしないでください。
- DTC起動要因がSSU受信データフルのときは、DTC転送でSSRDRレジスタを読んでください。SSRDRレジスタを読むことで、SSSRレジスタのRDRFビットが“0”(SSRDRレジスタにデータなし)になります。
  ただし、DTCのデータ転送の設定が
  - ノーマルモードかつDTCCTj(j=0～23)レジスタが“1”から“0”になる転送
  - リピートモードかつDTCCRjレジスタのRPTINTビットが“1”(割り込み発生許可)かつDTCCTjレジスタが“1”から“0”になる転送

  のときには、SSRDRレジスタを読んでもSSSRレジスタのRDRFビットは“0”(SSRDRレジスタにデータなし)になりません。
- DTC起動要因がSSU送信データエンプティのときは、DTC転送でSSTDRレジスタへ書いてください。SSTDRレジスタへ書くことで、SSSRレジスタのTDREビットが“0”(SSTDRレジスタからSSTRSRレジスタにデータ転送されていない)になります。

30.5.4 割り込み要求

- DTC起動要因がSSU送信データエンプティまたはフラッシュレディステータスのとき、以下の場合でもCPUに割り込み要求を発生しません。
  - DTCがノーマルモードでDTCCTjレジスタが“0”になるデータ転送を実行するとき
  - リピートモードでDTCCRjレジスタのRPTINTビットが“1”かつDTCCTjレジスタが“0”になるデータ転送を実行するとき

30.5.5 DTCの起動

DTC起動時、ベクタ読み出しの前に1サイクル動作がずれる場合があります。

30.5.6 チェイン転送

複数のコントロールデータを用いてチェイン転送を行う場合は、最初のコントロールデータに設定された転送回数が有効となり、2番目以降に処理されるコントロールデータの転送回数は無効となります。

例.
- DTCCT0 = 5、DTCCT1 = 10の場合、DTCCT0 = DTCCT1 = 5として動作します。
- DTCCT0 = 10、DTCCT1 = 5の場合、DTCCT0 = DTCCT1 = 10として動作します。
- DTCCT0 = 10、DTCCT1 = 5、DTCCT2 = 2の場合、DTCCT0 = DTCCT1 = DTCCT2 = 10として動作します。

30.6 タイマRA使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケーラに値を設定した後、カウントを開始してください。
- プリスケーラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- パルス幅測定モードおよびパルス周期測定モードで使用する TRACR レジスタの TEDGF ビットとTUNDFビットは、プログラムで“0”を書くと“0”になり、“1”を書いても変化しません。TRACRレジスタにリードモディファイライト命令を使用した場合、命令実行中に TEDGF ビット、TUNDFビットが“1”になっても“0”にする場合があります。このとき、“0”にしたくないTEDGFビット、TUNDFビットにはMOV命令で“1”を書いてください。
- 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGFビットとTUNDFビットは不定です。TEDGFビットとTUNDFビットに“0”を書いてから、タイマRAのカウントを開始してください。
- カウント開始後に初めて発生するタイマ RA プリスケーラのアンダフロー信号で、TEDGF ビットが“1”になる場合があります。
- パルス周期測定モードを使用する場合は、カウント開始直後にタイマRAプリスケーラの2周期以上の時間を空けて、TEDGFビットを“0”にしてから使用してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの0～1サイクルの間、TCSTFビットは“0”になっています。
  TCSTF ビットが“1”になるまで、TRACR レジスタに書き込まないでください。また、その他のタイマRA関連レジスタ(注1)にアクセスしないでください。
  TCSTFビットが“1”になった後の最初のカウントソースの有効エッジからカウントを開始します。
  カウント中にTSTARTビットに“0”を書いた後は、カウントソースの0～1サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。
  TCSTF ビットが“0”になるまで、TRACR レジスタに書き込まないでください。また、その他のタイマRA関連レジスタ(注1)にアクセスしないでください。

  注1. タイマRA関連レジスタ：TRAIOC、TRAMR、TRAPRE、TRA

- カウント中(TCSTFビットが“1”)にTRAPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- カウント中(TCSTFビットが“1”)にTRAレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケーラのアンダーフローの3周期以上空けてください。
- パルス幅測定モードおよびパルス周期測定モードでは、TRA レジスタに 00h を設定しないでください。

30.7 タイマRB使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケーラに値を設定した後、カウントを開始してください。
- プリスケーラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TRBCRレジスタのTSTARTビットを"0"にしてカウントを停止したとき、またはTRBOCRレジスタのTOSSPビットを"1"にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- カウント停止中にTSTARTビットに"1"を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは"0"になっています。
  TCSTFビットが"1"になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)をアクセスしないでください。
  カウント中にTSTARTビットに"0"を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは"1"になっています。TCSTFビットが"0"になったときカウントは停止します。
  TCSTFビットが"0"になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)をアクセスしないでください。

  注1. タイマRB関連レジスタ：TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRE、TRBSC、TRBPR

- カウント中にTRBCRレジスタのTSTOPビットに"1"を書くと、すぐにタイマRBは停止します。
- TRBOCRレジスタのTOSSTビットまたはTOSSPビットに"1"を書くと、カウントソースの1～2サイクル後にTOSSTFビットが変化します。TOSSTビットに"1"を書いてからTOSSTFビットが"1"になるまでの期間にTOSSPビットに"1"を書いた場合、内部の状態によってTOSSTFビットが"0"になる場合と、"1"になる場合があります。TOSSPビットに"1"を書いてからTOSSTFビットが"0"になるまでの期間にTOSSTビットに"1"を書いた場合も同様に、TOSSTFビットは"0"になるか"1"になるかわかりません。
- タイマRAのアンダフロー信号をタイマRBのカウントソースにする場合、タイマRAはタイマモード、パルス出力モード、またはイベントカウントモードに設定してください。

30.7.1 タイマモード

カウント中(TRBCRレジスタのTCSTFビットが"1")にTRBPREレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPRE レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケーラのアンダフローの3周期以上空けてください。

30.7.2 プログラマブル波形発生モード

カウント中(TRBCRレジスタのTCSTFビットが"1")にTRBPREレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケーラのアンダフローの3周期以上空けてください。

30.7.3 プログラマブルワンショット発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPREレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。

- TRBPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケーラのアンダフローの3周期以上空けてください。

30.7.4 プログラマブルウェイトワンショット発生モード

カウント中(TRBCRレジスタのTCSTFビットが“1”)にTRBPREレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。

- TRBPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケーラのアンダフローの3周期以上空けてください。

30.8 タイマRC使用上の注意

30.8.1 TRCレジスタ

- TRCCR1レジスタのCCLRビットを“1”(TRCGRAレジスタとのコンペア一致でTRCレジスタをクリア)にしている場合に、次の注意事項が該当します。
  TRCMRレジスタのTSTARTビットが“1”(カウント開始)の状態で、プログラムでTRCレジスタに値を書き込む場合は、TRCレジスタが“0000h”になるタイミングと重ならないように書いてください。
  TRCレジスタが“0000h”になるタイミングと、TRCレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRCレジスタが“0000h”になります。

- TRCレジスタに書いた後、TRCレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```
プログラム例        MOV.W   #XXXXh, TRC        ;書き込み
                    JMP.B   L1                 ;JMP.B命令
              L1:   MOV.W   TRC,DATA           ;読み出し
```

30.8.2 TRCSRレジスタ

TRCSRレジスタに書いた後、TRCSRレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```
プログラム例        MOV.B   #XXh, TRCSR        ;書き込み
                    JMP.B   L1                 ;JMP.B命令
              L1:   MOV.B   TRCSR,DATA         ;読み出し
```

30.8.3 TRCCR1レジスタ

TRCCR1レジスタのTCK2～TCK0ビットを“111b”(fOCO-F)にするときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

30.8.4 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。
  変更手順

(1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
(2) TRCCR1レジスタのTCK2～TCK0ビットを変更する

- カウントソースをfOCO40MからfOCO-F以外のクロックに変更し、fOCO40Mを停止させる場合は、クロック切り替え設定後、f1の2サイクル以上待ってからfOCO40Mを停止させてください。
  変更手順

(1) TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
(2) TRCCR1レジスタのTCK2～TCK0ビットを変更する
(3) f1の2サイクル以上待つ
(4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

- カウントソースをfOCO-FからfOCO40M以外のクロックに変更し、fOCO-Fを停止させる場合は、クロック切り替え設定後、fOCO-Fの1サイクル＋fOCO40Mの1サイクル以上待ってからfOCO-Fを停止させてください。
  変更手順

(1)　TRCMRレジスタのTSTARTビットを“0”(カウント停止)にする
(2)　TRCCR1レジスタのTCK2～TCK0ビットを変更する
(3)　fOCO-Fの1サイクル＋fOCO40Mの1サイクル以上待つ
(4)　FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

30.8.5　インプットキャプチャ機能

- インプットキャプチャ信号のパルス幅については、次のように設定してください。
  [デジタルフィルタなしの場合]
  タイマRCの動作クロックの3サイクル分以上(「表19.1　タイマRCの動作クロック」参照)
  [デジタルフィルタありの場合]
  デジタルフィルタのサンプリングクロックの5サイクル分＋タイマRCの動作クロックの3サイクル分以上(「図19.5　デジタルフィルタのブロック図」参照)
- TRCIOj(j＝A、B、C、Dのいずれか)端子にインプットキャプチャ信号が入力されてから、タイマRCの動作クロックの1～2サイクル後にTRCレジスタの値をTRCGRjレジスタに転送します(デジタルフィルタなしの場合)。
- インプットキャプチャ機能使用時、TRCIOR0、TRCIOR1レジスタのIOj0～IOj1ビット(j=A、B、C、Dのいずれか)で選択したエッジがTRCIOj端子に入力されると、TRCMRレジスタのTSTARTビットが“0”(カウント停止)のときも、TRCSRレジスタのIMFjビットが“1”になります。

30.8.6　PWM2モード時のTRCMRレジスタ

- TRCCR2レジスタのCSELビットが“1”(TRCGRAレジスタとのコンペア一致でカウント停止)のとき、TRCレジスタとTRCGRAレジスタのコンペア一致が発生するタイミングで、TRCMRレジスタに書かないでください。

30.9 タイマRD使用上の注意

30.9.1 TRDSTRレジスタ

- TRDSTRレジスタはMOV命令を使用して書いてください。

- CSELi(i=0～1)ビットが“0”(TRDiレジスタとTRDGRAiレジスタのコンペア一致でカウント停止)の場合、TSTARTiビットに“0”(カウント停止)を書いても、カウントは停止せず、TSTARTiビットも変化しません。
  したがって、CSELiビットが“0”のとき、TSTARTiビットを変化させずに他のビットを変更したい場合は、TSTARTiビットに“0”を書いてください。
  また、プログラムでカウントを停止させる場合は、CSELiビットを“1”にした後で、TSTARTiビットに“0”を書いてください。同時に(1命令で)CSELiビットに“1”、TSTARTiビットに“0”を書いてもカウントは停止できません。

- TRDIOji(j=A、B、C、D)端子をタイマRD出力で使用している場合の、カウント停止時の出力レベルを表30.1に示します。

表30.1 カウント停止時のTRDIOji (j=A、B、C、D)端子出力レベル

カウント停止方法	カウント停止時のTRDIOji端子出力
CSELiビットが“1”のときに、TSTARTiビットに“0”を書きカウント停止	直前の出力レベルを保持(相補PWMモード、リセット同期PWMモードではTRDFCRレジスタのOLS0、OLS1ビットで選択した初期出力レベルを出力)
CSELiビットが“0”のときに、TRDiレジスタとTRDGRAiレジスタのコンペア一致でカウント停止	コンペア一致による出力変化後、そのレベルを保持(相補PWMモード、リセット同期PWMモードではTRDFCRレジスタのOLS0、OLS1ビットで選択した初期出力レベルを出力)

30.9.2 TRDiレジスタ(i=0～1)

- TRDSTRレジスタのTSTARTiビットが“1”(カウント開始)の状態で、プログラムでTRDiレジスタに値を書き込む場合は、TRDiレジスタが“0000h”になるタイミングと重ならないように書いてください。
  TRDiレジスタが“0000h”になるタイミングと、TRDiレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRDiレジスタが“0000h”になります。
  この注意事項は、TRDCRiレジスタのCCLR2～CCLR0ビットで次の選択をしている場合に該当します。
  -“001b”(TRDGRAiレジスタのインプットキャプチャ/コンペア一致でTRDiレジスタをクリア)
  -“010b”(TRDGRBiレジスタのインプットキャプチャ/コンペア一致でTRDiレジスタをクリア)
  -“011b”(同期クリア)
  -“101b”(TRDGRCiレジスタのインプットキャプチャ/コンペア一致でTRDiレジスタをクリア)
  -“110b”(TRDGRDiレジスタのインプットキャプチャ/コンペア一致でTRDiレジスタをクリア)

- TRDi レジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```
プログラム例        MOV.W   #XXXXh, TRD0        ;書き込み
                    JMP.B   L1                  ;JMP.B命令
              L1:   MOV.W   TRD0,DATA           ;読み出し
```

30.9.3 TRDSRiレジスタ(i=0～1)

TRDSRiレジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間で、JMP.B命令を実行してください。

```
プログラム例        MOV.B   #XXh, TRDSR0      ；書き込み
                    JMP.B   L1                ；JMP.B命令
               L1:  MOV.B   TRDSR0,DATA       ；読み出し
```

30.9.4 TRDCRiレジスタ(i=0～1)

TRDCRiレジスタのTCK2～TCK0ビットを“111b”(fOCO-F)にするときは、CPUクロックより速いクロック周波数にfOCO-Fを設定してください。

30.9.5 カウントソース切り替え

• カウントソースを切り替える際は、カウントを停止した後、切り替えてください。
変更手順
(1) TRDSTRレジスタのTSTARTi(i=0～1)ビットを“0”(カウント停止)にする
(2) TRDCRiレジスタのTCK2～TCK0ビットを変更する

• カウントソースをfOCO40MからfOCO-F以外のクロックに変更し、fOCO40Mを停止させる場合は、クロック切り替え設定後、f1の2サイクル以上待ってからfOCO40Mを停止させてください。
変更手順
(1) TRDSTRレジスタのTSTARTi(i=0～1)ビットを“0”(カウント停止)にする
(2) TRDCRiレジスタのTCK2～TCK0ビットを変更する
(3) f1の2サイクル以上待つ
(4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

• カウントソースをfOCO-FからfOCO40M以外のクロックに変更し、fOCO-Fを停止させる場合は、クロック切り替え設定後、fOCO-Fの1サイクル＋fOCO40Mの1サイクル以上待ってからfOCO-Fを停止させてください。
変更手順
(1) TRDSTRレジスタのTSTARTi(i=0～1)ビットを“0”(カウント停止)にする
(2) TRDCRiレジスタのTCK2～TCK0ビットを変更する
(3) fOCO-Fの1サイクル＋fOCO40Mの1サイクル以上待つ
(4) FRA0レジスタのFRA00ビットを“0”(高速オンチップオシレータ停止)にする

30.9.6 インプットキャプチャ機能

- インプットキャプチャ信号のパルス幅はタイマRDの動作クロック(「表20.1　タイマRDの動作クロック」参照)の3サイクル以上にしてください。
- TRDIOji(i=0～1、j=A、B、C、Dのいずれか)端子にインプットキャプチャ信号が入力されてから、タイマRDの動作クロックの2～3サイクル後にTRDiレジスタの値をTRDGRjiレジスタに転送します(デジタルフィルタなしの場合)。
- インプットキャプチャ機能使用時、TRDIORAi、TRDIORCiレジスタのIOj0～IOj1ビット(i=0～1、j=A、B、C、Dのいずれか)で選択したエッジがTRDIOji端子に入力されると、TRDSTRレジスタのTSTARTiビットが“0”(カウント停止)のときも、TRDSRiレジスタのIMFjビットが“1”になります。

30.9.7 リセット同期PWMモード

- モータ制御に用いる場合はOLS0=OLS1で使用してください。
- リセット同期PWMモードに設定するときは、次の手順で設定してください。
  変更手順

(1) TRDSTRレジスタのTSTART0ビットを“0”(カウント停止)にする
(2) TRDFCRレジスタのCMD1～CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする
(3) CMD1～CMD0を“01b”(リセット同期PWMモード)にする
(4) その他のタイマRD関連レジスタを再設定する

30.9.8 相補PWMモード

- モータ制御に用いる場合はOLS0=OLS1で使用してください。
- TRDFCRレジスタのCMD1～CMD0ビットを変更するときは、次の手順で変更してください。
  変更手順：相補PWMモードにする場合(再設定含む)、または相補PWMモードでバッファレジスタからジェネラルレジスタへの転送タイミングを変更する場合
  (1) TRDSTRレジスタのTSTART0ビット、TSTART1ビットを両方とも“0”(カウント停止)にする
  (2) TRDFCRレジスタのCMD1～CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする
  (3) CMD1～CMD0を“10b”、または“11b”(相補PWMモード)にする
  (4) その他のタイマRD関連レジスタを再設定する

  変更手順：相補PWMモードを止める場合
  (1) TRDSTRレジスタのTSTART0ビット、TSTART1ビットを両方とも“0”(カウント停止)にする
  (2) CMD1～CMD0ビットを“00b”(タイマモード、PWMモード、PWM3モード)にする

- 動作中にTRDGRA0、TRDGRB0、TRDGRA1、TRDGRB1レジスタに書き込まないでください。
  PWM 波形を変更する場合は、TRDGRD0、TRDGRC1、TRDGRD1 レジスタへ書き込んだ値を、バッファ動作を用いてTRDGRB0、TRDGRA1、TRDGRB1レジスタへ転送してください。
  ただし、TRDGRD0、TRDGRC1、TRDGRD1の書き込みに際しては、BFD0、BFC1、BFD1ビットを“0”(ジェネラルレジスタ)にして書き込み、その後BFD0、BFC1、BFD1ビットを“1”(バッファレジスタ)にできます。
  PWM周期は変更できません。

- TRDGRA0レジスタに設定した値をmとすると、TRD0レジスタはアップカウントからダウンカウントに変わるとき、m-1→m→m+1→m→m-1とカウントします。
  m→m+1のとき、IMFAビットが“1”になります。また、TRDFCRレジスタのCMD1～CMD0ビットが“11b”(相補PWMモード、TRD0とTRDGRA0レジスタのコンペア一致でバッファデータ転送)の場合、バッファレジスタ(TRDGRD0、TRDGRC1、TRDGRD1)の内容がジェネラルレジスタ(TRDGRB0、TRDGRA1、TRDGRB1)に転送されます。
  m+1→m→m-1の動作ではIMFAビットは変化せず、TRDGRA0レジスタ等へのデータ転送もありません。

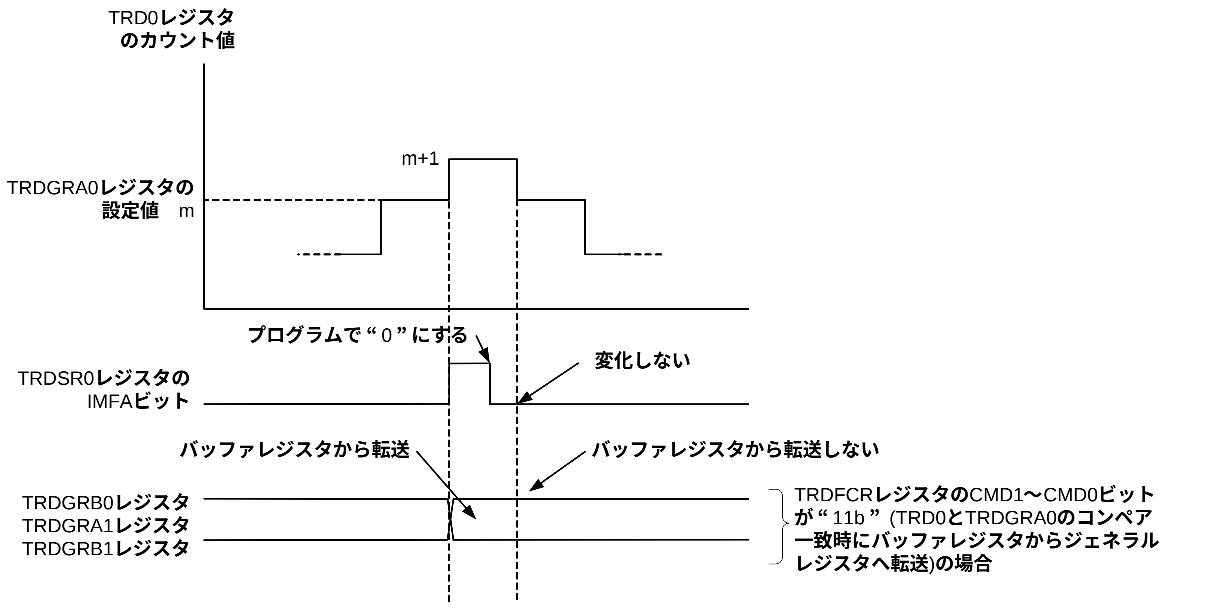


図30.2　相補PWMモード時のTRD0とTRDGRA0レジスタがコンペア一致したときの動作

• TRD1はダウンカウントからアップカウントに変わるとき、1→0→FFFFh→0→1とカウントします。
1→0→FFFFhの動作によって、UDFビットが“1”になります。また、TRDFCRレジスタのCMD1～CMD0ビットが“10b”(相補PWMモード、TRD1のアンダフローでバッファデータ転送)の場合、バッファレジスタ(TRDGRD0、TRDGRC1、TRDGRD1)の内容がジェネラルレジスタ(TRDGRB0、TRDGRA1、TRDGRB1)に転送されます。
FFFFh→0→1の動作ではTRDGRB0レジスタ等へのデータ転送はありません。また、このとき、OVFビットは変化しません。

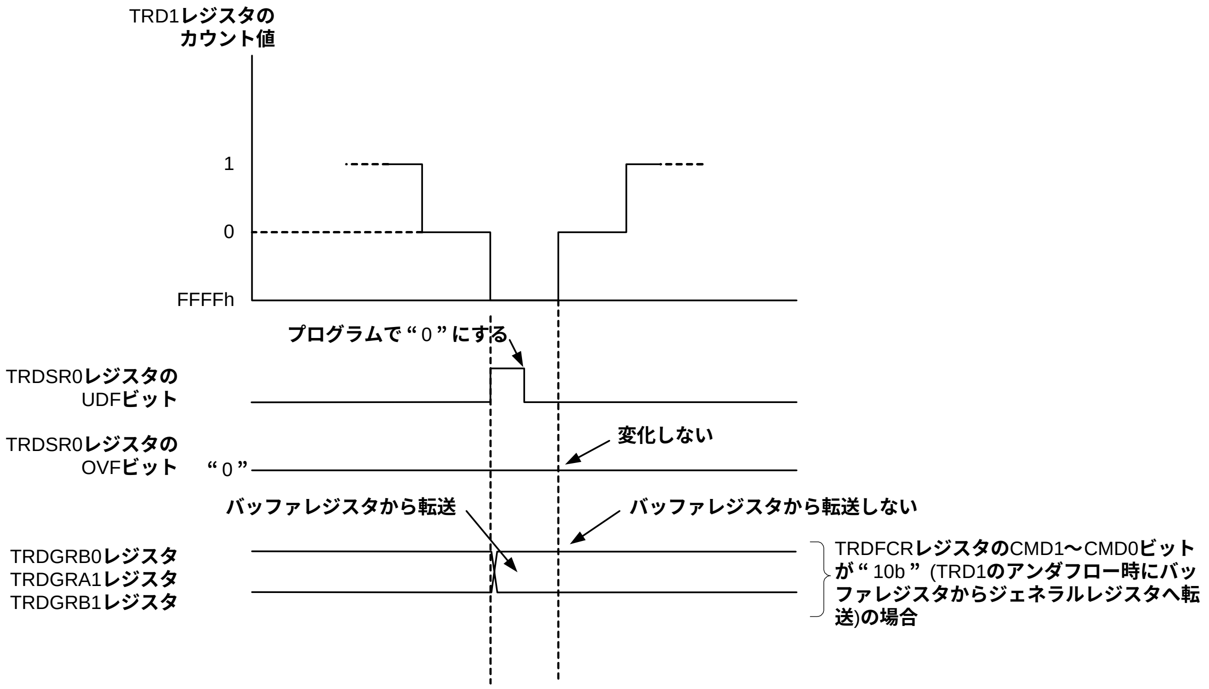


図 30.3　相補PWMモード　TRD1がアンダーフローしたときの動作

• バッファレジスタからジェネラルレジスタへのデータ転送タイミングは、TRDFCR　レジスタのCMD1～CMD0ビットで選択してください。ただし、次の場合はCMD1～CMD0ビットの値に関係なく次のタイミングで転送します。

バッファレジスタの値≧TRDGRA0レジスタの値の場合

TRD1レジスタのアンダフローで転送します。

その後、"0001h"以上かつ TRDGRA0 レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD1レジスタがアンダフローしたとき、ジェネラルレジスタへ転送します。それ以降はCMD1～CMD0ビットで選択したタイミングで転送します。

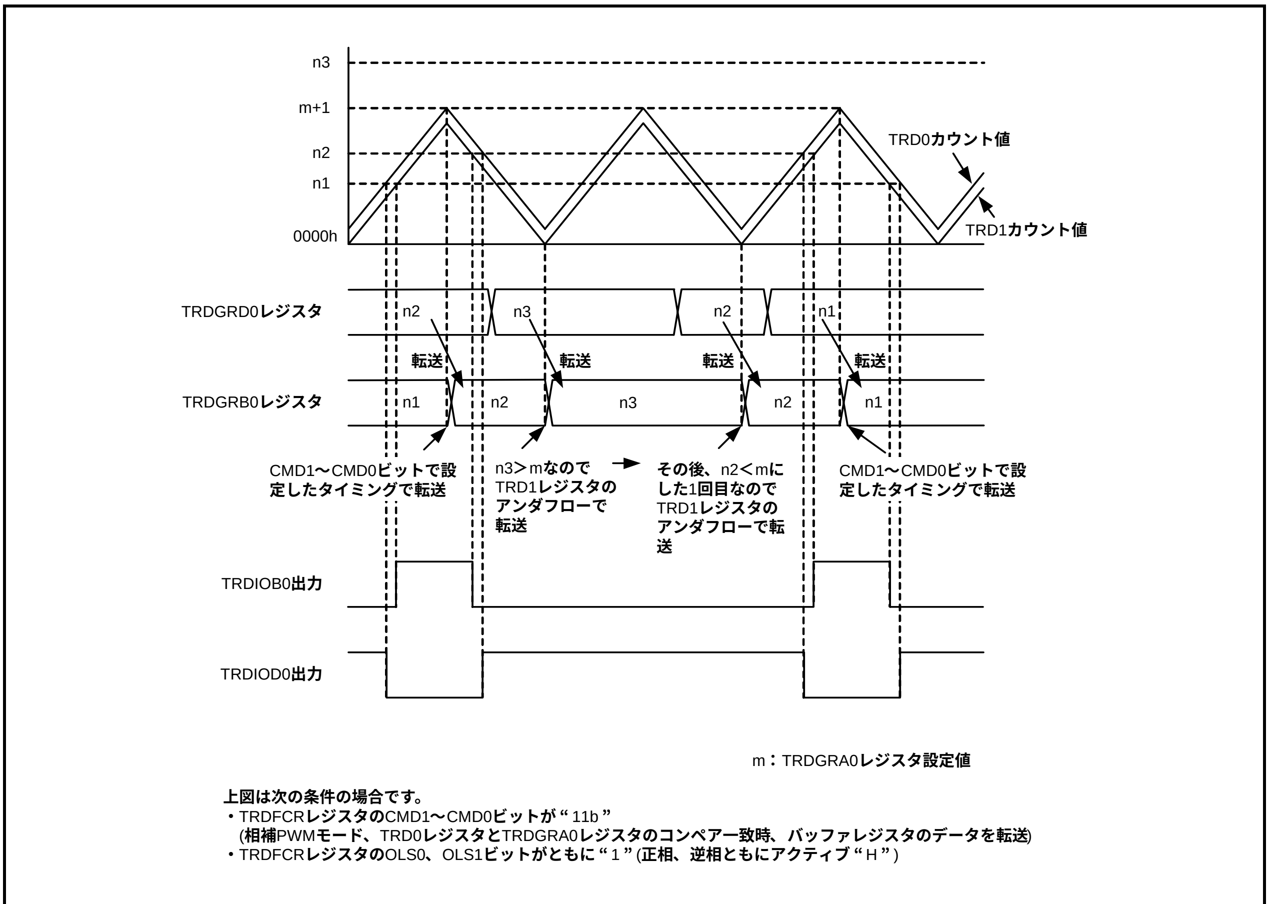


図 30.4　相補PWMモード時のバッファレジスタの値≧TRDGRA0レジスタ値の場合の動作例

バッファレジスタの値が“ 0000h ”の場合

TRD0 と TRDGRA0 レジスタのコンペア一致で転送します。

その後、“ 0001h ”以上かつ TRDGRA0 レジスタの値より小さい値をバッファレジスタに設定すると、設定後 1 回目に TRD0 と TRDGRA0 レジスタがコンペア一致したとき、ジェネラルレジスタへ転送します。それ以降は CMD1 ～ CMD0 ビットで選択したタイミングで転送します。

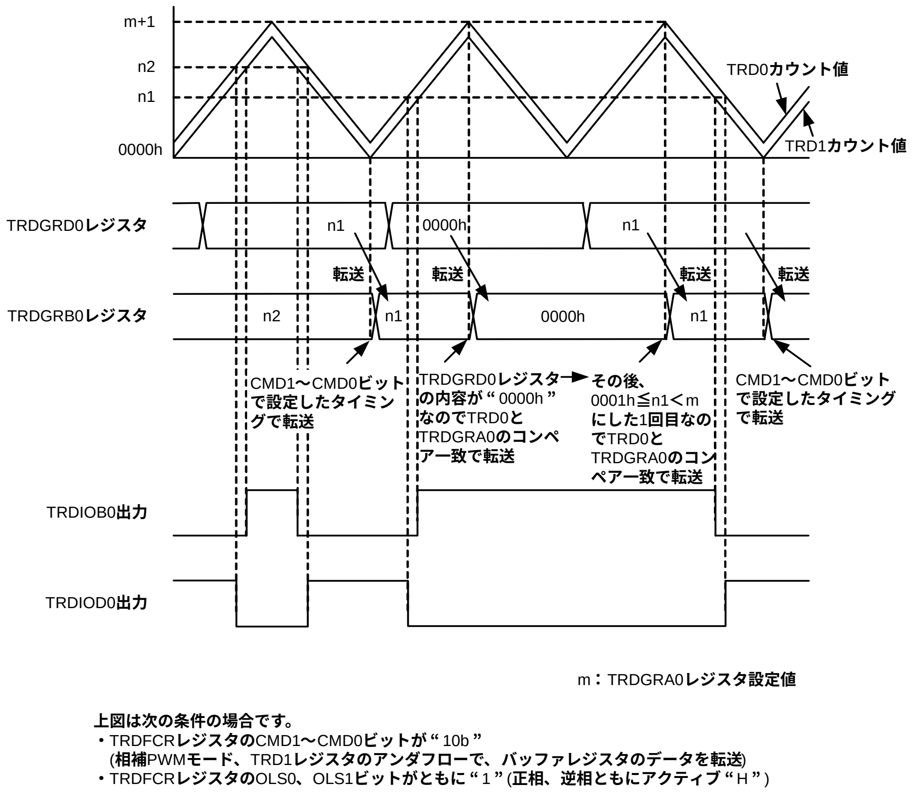


図 30.5　相補 PWM モード時のバッファレジスタの値が“ 0000h ”の場合の動作例

30.9.9　カウントソース fOCO40M

カウントソース fOCO40M については、電源電圧 VCC=2.7 ～ 5.5V の範囲で使用することができます。これ以外の電源電圧では、TRDCR0、TRDCR1 レジスタの TCK2 ～ TCK0 ビットを“ 110b ”(fOCO40M をカウントソースに選択) にしないでください。

30.10 シリアルインタフェース(UART0)使用上の注意

- クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、U0RBレジスタを読み出すときは、必ず16ビット単位で読み出してください。
  U0RBレジスタのPER、FERビットとU0C1レジスタのRIビットは、U0RBレジスタの上位バイトを読み出したとき、“0”になります。
  受信エラーはU0RBレジスタを読み出し後、読み出した値で確認してください。

  ＜受信バッファレジスタを読み出すプログラム例＞

```
MOV.W     00A6H, R0     ; U0RBレジスタの読み出し
```

- 転送データビット長9ビットのクロック非同期形シリアルI/Oモードで、U0TBレジスタに書く時は、上位バイト→下位バイトの順で、8ビット単位で書いてください。

  ＜送信バッファレジスタに書き込むプログラム例＞

```
MOV.B     #XXH, 00A3H     ; U0TBレジスタの上位バイトへの書き込み
MOV.B     #XXH, 00A2H     ; U0TBレジスタの下位バイトへの書き込み
```

30.11 シリアルインタフェース(UART2)使用上の注意

30.11.1 クロック同期形シリアルI/Oモード

30.11.1.1 送受信

外部クロック選択時、$\overline{\text{RTS}}$機能を選択した場合は、受信可能状態になると$\overline{\text{RTS2}}$端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると$\overline{\text{RTS2}}$端子の出力レベルは“H”になります。このため、$\overline{\text{RTS2}}$端子を送信側の$\overline{\text{CTS2}}$端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は$\overline{\text{RTS}}$機能は無効です。

30.11.1.2 送信

外部クロックを選択している場合、U2C0レジスタのCKPOLビットが“0”(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態で、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態で次の条件を満たしてください。

- U2C1レジスタのTEビットが“1”(送信許可)
- U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
- $\overline{\text{CTS}}$機能を選択している場合、$\overline{\text{CTS2}}$端子の入力が“L”

30.11.1.3 受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXD2端子からはダミーデータが外部に出力されます。

内部クロック選択時はU2C1レジスタのTEビットを“1”(送信許可)にし、ダミーデータをU2TBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを“1”にし、ダミーデータをU2TBレジスタに設定し、外部クロックがCLK2端子に入力されたときシフトクロックを発生します。

連続してデータを受信する場合、U2C1レジスタのREビットが“1”(U2RBレジスタにデータあり)でUART2受信レジスタに次の受信データが揃ったときオーバランエラーが発生し、U2RBレジスタのOERビットが“1”(オーバランエラー発生)になります。この場合、U2RBレジスタは不定ですので、オーバランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバランエラーが発生したときはS2RICレジスタのIRビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとにU2TBレジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択している場合、CKPOLビットが“0”のときは外部クロックが“H”の状態で、CKPOLビットが“1”のときは外部クロックが“L”の状態で次の条件を満たしてください。

- U2C1レジスタのREビットが“1”(受信許可)
- U2C1レジスタのTEビットが“1”(送信許可)
- U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)

30.11.2 特殊モード1(I2Cモード)

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、U2SMR4レジスタのSTSPSELビットを“0”にした後、転送クロックの半サイクル以上待ってから、各コンディション生成ビット(STAREQ、RSTAREQ、STPREQ)を“0”から“1”にしてください。

30.11.3 UART2ビットレートレジスタ(U2BRG)

U2BRGレジスタに“00h”を書き込んだ直後のデータ送受信開始(U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)になるタイミング、受信時のスタートビット検出タイミングを含む)が、最大でカウントソースの256サイクル分遅延する場合があります。

30.11.4 U2TBレジスタ

このレジスタはMOV命令を使用して書いてください。

マルチプロセッサ通信機能を使用する場合、8ビット単位で書いてください。MPTBビットを設定した後、b0～b7を設定してください。

マルチプロセッサ通信機能を使用しない場合、転送データ長が9ビットの場合は、16ビット単位で書くか、または8ビット単位で上位バイトを先に、下位バイトを後で書いてください。

30.12 ハードウェアLIN使用上の注意

ヘッダフィールドおよびレスポンスフィールドのタイムアウト処理は、Synch Break検出割り込みを起点に他のタイマで時間計測を行ってください。

30.13 A/Dコンバータ使用上の注意

- ADMODレジスタ、ADINSELレジスタ、ADCON0レジスタ(ADSTビットを除く)、ADCON1レジスタ、OCVREFCRレジスタに対する書き込みは、A/D変換停止時(トリガ発生前)に行ってください。
- 繰り返しモード0、繰り返しモード1、繰り返し掃引モードで使用する場合、A/D変換中のCPUクロックには、A/Dコンバータの動作クロックφAD以上の周波数を選択してください。
  φADにfOCO-Fを選択しないでください。
- VREF端子とAVSS端子間に0.1μFのコンデンサを接続してください。
- A/D変換中はストップモードに移行しないでください。
- A/D変換中はCM0レジスタのCM02ビットの状態(“1”(ウェイトモード時、周辺機能クロックを停止する)、“0”(ウェイトモード時、周辺機能クロックを停止しない))にかかわらず、ウェイトモードに移行しないでください。
- A/D変換中はFMR0レジスタのFMSTPビットを“1”(フラッシュメモリ停止)、およびFMR27ビットを“1”(低消費電流リードモード許可)にすると、A/D変換結果が不定になるため、この設定をしないでください。
- fOCO-Fが停止しているときは、ADMODレジスタのCKS2ビットを変更しないでください。
- A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となり、割り込み要求は発生しません。また、A/D変換していないADiレジスタも、不定になる場合があります。
  プログラムでADSTビットを“0”にした場合は、すべてのADiレジスタの値を使用しないでください。

30.14 フラッシュメモリ使用上の注意

30.14.1 CPU書き換えモード

30.14.1.1 使用禁止命令

EW0モードでプログラムROM領域を書き換え中は、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

30.14.1.2 割り込み

表30.2～表30.4にCPU書き換えモード時の割り込みを示します。

表30.2　CPU書き換えモード時の割り込み(1)

モード	イレーズ/ライト対象	状態	マスカブル割り込み
EW0	データフラッシュ(注1)	自動消去中(サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1”(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”(イレーズリスタート)にすることで、自動消去を再開することができます。
		自動消去中(サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。
		自動書き込み中	
	プログラムROM	自動消去中(サスペンド有効)	ベクタをRAMに配置することで使用できます。
		自動消去中(サスペンド無効)	
		自動書き込み中	
EW1	データフラッシュ(注1)	自動消去中(サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが“1”の場合は、自動でFMR21ビットが“1”になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが“0”でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”にすることで、自動消去を再開することができます。
		自動消去中(サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。
		自動書き込み中	
	プログラムROM	自動消去中(サスペンド有効)	td(SR-SUS)時間後に自動消去を中断し、割り込み処理を実行します。割り込み処理終了後にFMR21ビットを“0”にすることで、自動消去を再開することができます。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。
		自動消去中(サスペンド無効またはFMR22=“0”)	自動消去、自動書き込みが優先され、割り込み要求が待たされます。自動消去、自動書き込みが終了した後、割り込み処理を実行します。
		自動書き込み中	

FMR21、FMR22：FMR2レジスタのビット

注1.　R8C/32Gグループのみデータフラッシュを内蔵しています。

表30.3　CPU書き換えモード時の割り込み(2)

<table>
<tr><th>モード</th><th>イレーズ/
ライト対象</th><th>状態</th><th>・ウォッチドッグタイマ
・発振停止検出
・電圧監視2
・電圧監視1　(注1)</th><th>・未定義命令
・INTO命令
・BRK命令
・シングルステップ
・アドレス一致
・アドレスブレイク　(注1)</th></tr>
<tr><td rowspan="6">EW0</td><td rowspan="3">データ
フラッシュ
(注2)</td><td>自動消去中
(サスペンド有効)</td><td>割り込み要求を受け付けると、割り込み処理を実行します。
FMR22ビットが“1”(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが“1”(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。
FMR22ビットが“0”(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。
自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”(イレーズリスタート)にすることで、自動消去を再開することができます。</td><td>割り込み要求を受け付けると、割り込み処理を実行します。
イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。
自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR2レジスタのFMR21ビットを“0”にすることで、自動消去を再開することができます。</td></tr>
<tr><td>自動消去中
(サスペンド無効またはFMR22=“0”)</td><td colspan="2" rowspan="2">自動消去、自動書き込みは実行したまま、割り込み処理を実行します。</td></tr>
<tr><td>自動書き込み中</td></tr>
<tr><td rowspan="3">プログラム
ROM</td><td>自動消去中
(サスペンド有効)</td><td rowspan="3">割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。
自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。</td><td rowspan="3">自動消去、自動書き込み中は使用しないでください。</td></tr>
<tr><td>自動消去中
(サスペンド無効)</td></tr>
<tr><td>自動書き込み中</td></tr>
</table>

FMR21、FMR22：FMR2レジスタのビット

注1.　ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

注2.　R8C/32Gグループのみデータフラッシュを内蔵しています。

表30.4　CPU書き換えモード時の割り込み(3)

<table>
<tr><th>モード</th><th>イレーズ/
ライト対象</th><th>状態</th><th>・ウォッチドッグタイマ
・発振停止検出
・電圧監視2
・電圧監視1　(注1)</th><th>・未定義命令
・INTO命令
・BRK命令
・シングルステップ
・アドレス一致
・アドレスブレイク　(注1)</th></tr>
<tr><td rowspan="6">EW1</td><td rowspan="3">データ
フラッシュ
(注2)</td><td>自動消去中
(サスペンド有効)</td><td>割り込み要求を受け付けると、割り込み処理を実行します。
FMR22ビットが“1”の場合は、自動でFMR21ビットが“1”になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。
FMR22ビットが“0”でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。
自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを“0”にすることで、自動消去を再開することができます。</td><td>割り込み要求を受け付けると、割り込み処理を実行します。
イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを“1”にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。
自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR2レジスタのFMR21ビットを“0”にすることで、自動消去を再開することができます。</td></tr>
<tr><td>自動消去中
(サスペンド無効またはFMR22=“0”)</td><td colspan="2" rowspan="2">自動消去、自動書き込みは実行したまま、割り込み処理を実行します。</td></tr>
<tr><td>自動書き込み中</td></tr>
<tr><td rowspan="3">プログラム
ROM</td><td>自動消去中
(サスペンド有効)</td><td rowspan="3">割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。
自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。</td><td rowspan="3">自動消去、自動書き込み中は使用できません。</td></tr>
<tr><td>自動消去中
(サスペンド無効またはFMR22=“0”)</td></tr>
<tr><td>自動書き込み中</td></tr>
</table>

FMR21、FMR22：FMR2レジスタのビット

注1.　ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

注2.　R8C/32Gグループのみデータフラッシュを内蔵しています。

30.14.1.3アクセス方法

次のビットを“1”にするときは、対象となるビットに“0”を書いた後、続けて“1”を書いてください。また、“0”を書いた後、“1”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

- FMR0レジスタのFMR01、FMR02ビット
- FMR1レジスタのFMR13ビット
- FMR2レジスタのFMR20、FMR22、FMR27ビット

また、次のビットを“0”にするときは、対象となるビットに“1”を書いた後、続けて“0”を書いてください。また、“1”を書いた後、“0”を書くまでの間は、割り込みとDTC起動を禁止にしてください。

- FMR1レジスタのFMR14、FMR15、FMR16、FMR17ビット

30.14.1.4ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

30.14.1.5プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

30.14.1.6ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

FSTレジスタのFST7ビットが“0”(ビジー(書き込み、消去実行中))の場合、ストップモード、ウェイトモードに移行しないでください。

FMR27ビットが“1”(低消費電流リードモード許可)の状態で、ストップモード、ウェイトモードへ移行しないでください。

30.14.1.7ブロックブランクチェック

イレーズサスペンド中にブロックブランクチェックコマンドを実行しないでください。

30.14.1.8データフラッシュ使用時の注意事項

データフラッシュを「CPUクロック＞16MHz」で使用する場合はFMR2レジスタのFMR23ビットを“1”(CPUクロックの4サイクル)にしてください。

30.14.1.9低消費電流リードモード

低速オンチップオシレータモードのときに、FMR2レジスタのFMR27ビットを“1”(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周のいずれかで、低消費電流リードモードを使用できます。1分周(分周なし)、2分周では低消費電流リードモードを使用しないでください。

CPUクロック分周比を設定した後、FMR27ビットを“1”(低消費電流リードモード許可)にしてください。消費電力を低減する方法は、「28.　消費電力の低減」を参照してください。

ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを“0”(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが“1”(低消費電流リードモード許可)の状態で、ウェイトモードまたはストップモードへ移行しないでください。

30.15 ノイズに関する注意事項

30.15.1 ノイズおよびラッチアップ対策として、VCC-VSS ライン間へのバイパスコンデンサ挿入

VCC 端子と VSS 端子間にバイパスコンデンサ (0.1 μ F 程度) を最短距離でかつ、比較的太い配線を使って接続してください。

30.15.2 ポート制御レジスタのノイズ誤動作対策

過酷なノイズ試験等で外来ノイズ(主に電源系ノイズ)を 受けると、IC内部のノイズ対策回路でも対策しきれない場合があります。この場合、ポート関連のレジスタ値が変化する可能性があります。

このような場合のプログラム対策として、ポートレジスタ、ポート方向レジスタ、およびプルアップ制御レジスタを定期的に再設定することを推奨します。ただし、割り込み処理の中でポート出力を切り替えるような制御を行う場合は、再設定処理との間で競合が発生する可能性もありますので、制御処理を十分にご検討の上、再設定処理を導入してください。

30.16 電源電圧の変動に関する注意事項

リセット解除後、VCC 端子に入力する電源電圧は、図 30.6 に示す許容電源リップル電圧 Vr(vcc) および電源リップル立ち下がり勾配 dVr(vcc)/dt のどちらか一方または両方を満たしてください。

記号	項目	規格値			単位
		最小	標準	最大	
Vr(vcc)	許容電源リップル電圧			0.1VCC	V
dVr(vcc)/dt	電源リップル立ち下がり勾配			10	V/ms

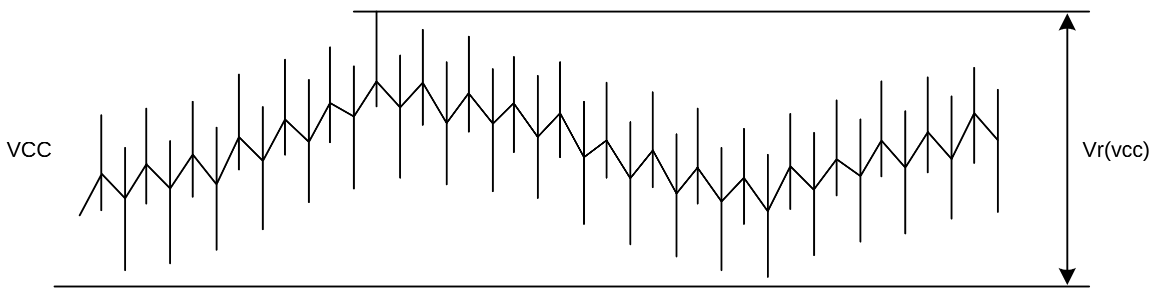


図 30.6 電源リップルの定義

31. オンチップデバッガの注意事項

オンチップデバッガを使用して R8C/32G グループ、R8C/32H グループのプログラム開発、デバッグを行う場合、以下の制限事項がありますのでご注意ください。

(1) オンチップデバッガでは、ユーザのフラッシュメモリ領域および RAM 領域を一部使用します。ユーザはこの領域を使用しないでください。
使用領域につきましては、各オンチップデバッガのマニュアルを参照してください。
(2) アドレス一致割り込み (AIER0、AIER1、RMAD0、RMAD1 レジスタ、固定ベクタテーブル) をユーザシステムで設定しないでください。
(3) BRK 命令をユーザシステムで使用しないでください。

オンチップデバッガの接続や使用法には、固有の制限事項があります。オンチップデバッガの詳細は各オンチップデバッガのマニュアルを参照してください。

32. エミュレータデバッガの注意事項

エミュレータデバッガの接続や使用法には、固有の制限事項があります。エミュレータデバッガの詳細は各エミュレータデバッガのマニュアルを参照してください。

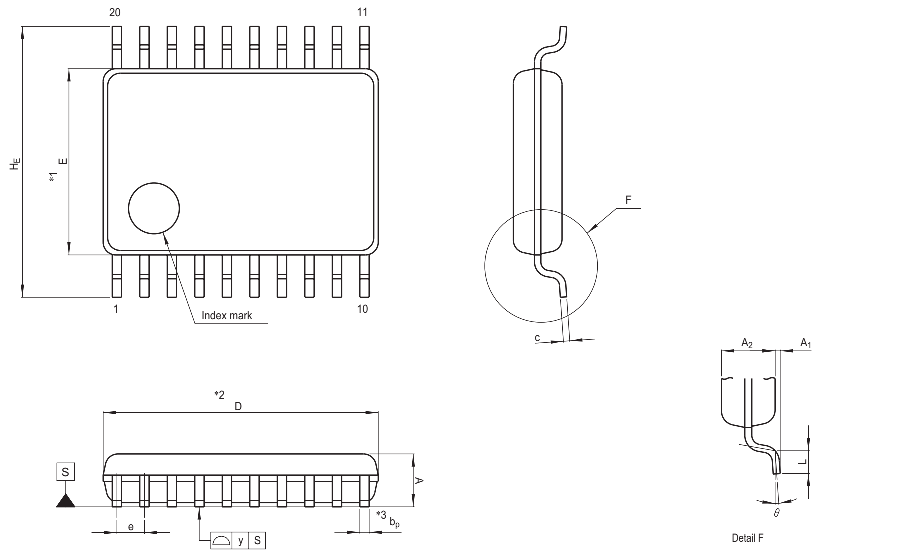
注意

この製品のタイマRDはフルスペックエミュレータには対応していません。オンチップデバッギングエミュレータでデバッグしてください。

付録1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LSSOP20-4.4x6.5-0.65	PLSP0020JB-A	20P2F-A	0.1g

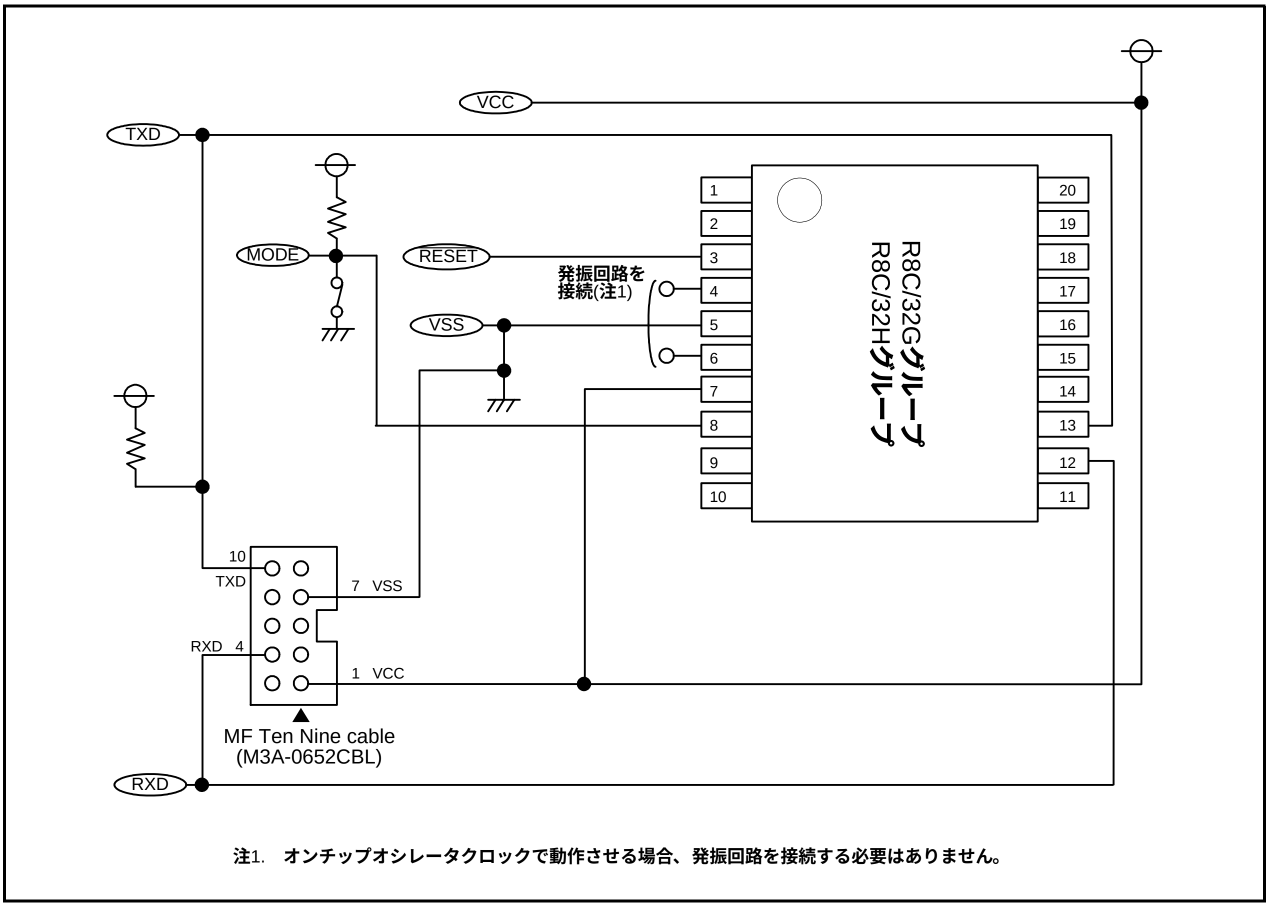


NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

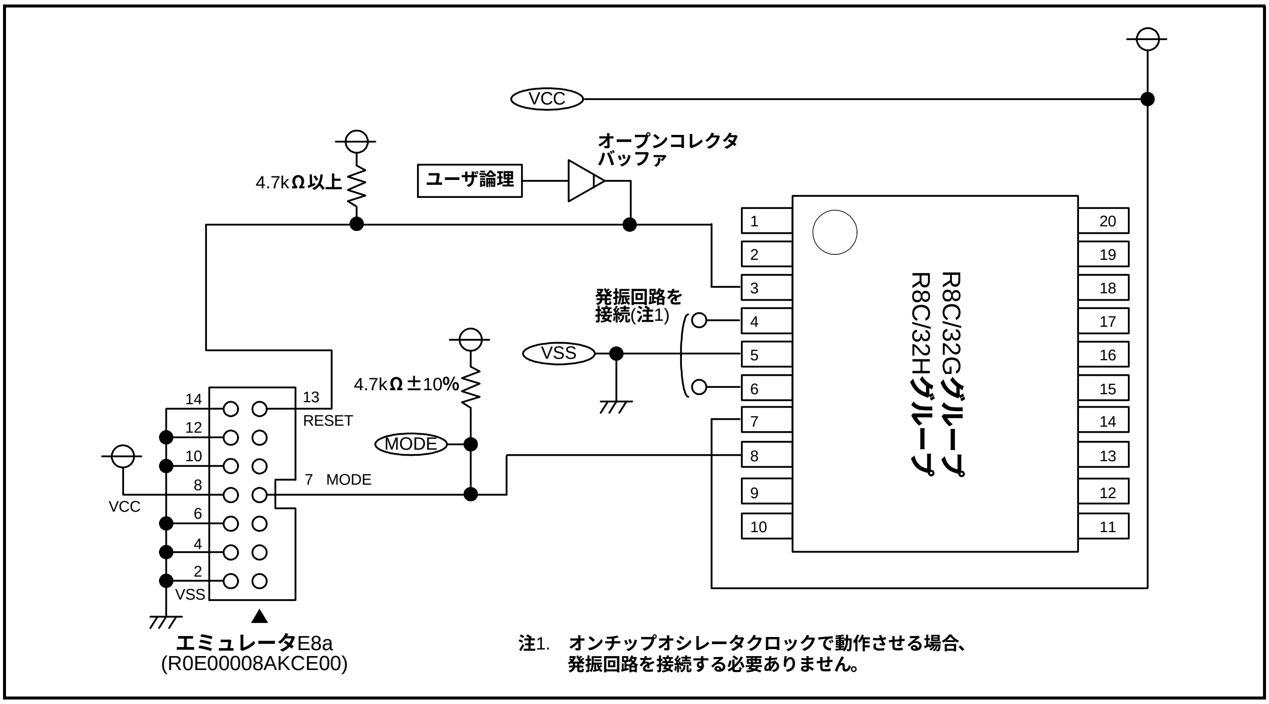
Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	6.4	6.5	6.6
E	4.3	4.4	4.5
A_2	—	1.15	—
A	—	—	1.45
A_1	0	0.1	0.2
b_p	0.17	0.22	0.32
c	0.13	0.15	0.2
θ	0°	—	10°
H_E	6.2	6.4	6.6
e	0.53	0.65	0.77
y	—	—	0.10
L	0.3	0.5	0.7

付録2. シリアルライタとオンチップデバッギングエミュレータとの接続例

付図2.1 にMF Ten Nine ケーブル(M3A-0652CBL) との結線図を、付図2.2 にエミュレータE8a(R0E00008AKCE00)との接続例を示します。



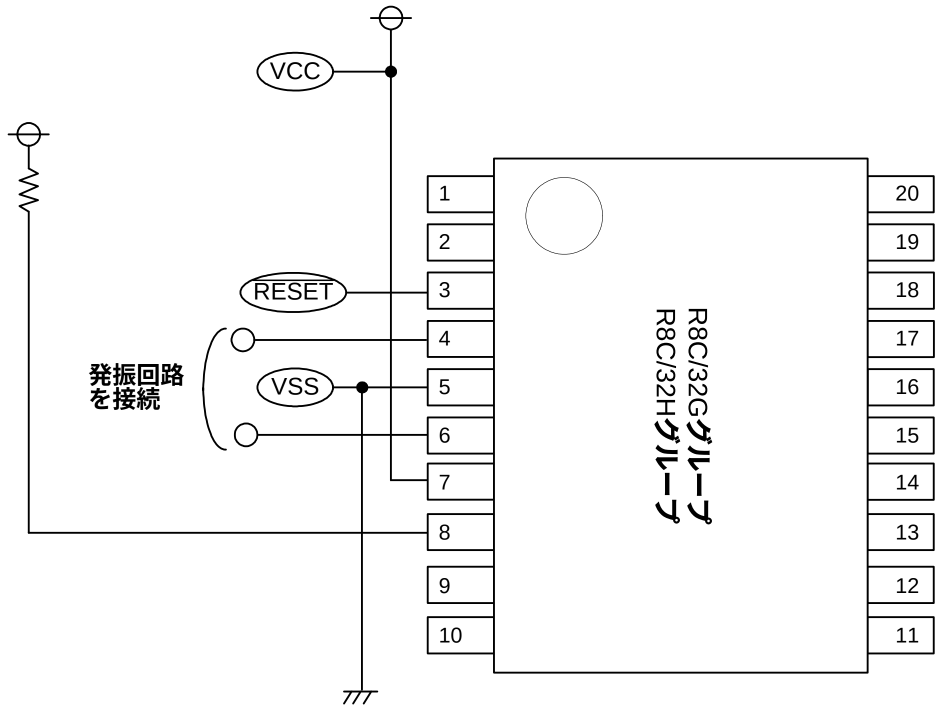
付図2.1 MF Ten Nineケーブル(M3A-0652CBL)との結線図



付図2.2 エミュレータE8a(R0E00008AKCE00)との接続例

付録3.　発振評価回路例

付図3.1に発振評価回路例を示します。



注1. リセット後、 XINクロックは停止しています。
XINクロックを発振させるプログラムを書いてください。

付図3.1　発振評価回路例

索引

改訂記録	R8C/32Gグループ、R8C/32Hグループ　ユーザーズマニュアル　ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
0.10	2011.01.25	−	初版発行
1.00	2011.11.22	全ページ	「暫定版」、「開発中」　削除
		3	表1.2　変更
		5	表1.4　変更
		6、7	表1.5、表1.6　「(開)」削除
		8	図1.3　変更
		9	図1.4　変更
		11	表1.8　変更
		26	表4.9　変更
		36	図5.4、図5.5　変更
		38	5.4　変更
		47	6.2.4　注1　変更
		59	表7.2　注1　変更
		71、222、250	7.4.4、18.2.8、19.2.14　b0、b1ビット、説明文　変更
		84	表7.6　「機能」　変更
		85	表7.7　「機能」　変更、表7.8　変更、注2　追記
		87	表7.11　「機能」　変更、注2　追記 表7.12　「機能」　変更
		88	表7.13　変更、表7.14　「機能」、注2　変更、注3　削除
		89	表7.15　「機能」　変更
		90	表7.16　変更
		98	「データフラッシュを・・・表8.3のようになります。」、表8.3　追記
		99	9.1　変更
		101	図9.2　「$\overline{\mathrm{INT0}}$」→「INT」
		111	9.2.13　注1　変更
		111	「図9.3　VCA20ビットによる内部電源低消費操作手順」　削除
		112	図9.3　注3　追記
		118	9.6.2.2　変更、9.6.2.3　追記
		119	表9.3　変更
		120	9.6.2.6　タイトル　追記
		121	9.6.2.7　タイトル　追記
		122	9.6.3.2　変更
		127	図9.8　タイトル　変更
		129	9.8.2　変更
		130	9.8.3　追記、9.8.4　変更

改訂記録	R8C/32Gグループ、R8C/32Hグループ　ユーザーズマニュアル　ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2011.11.22	147	表11.6 「タイマRC」→「タイマRCおよびタイマRD」
		202	17.2.1、注4　変更
		204	17.2.5　注2　追記
		205	17.3.1　変更
		208	17.4.1　変更、注1　追記
		217	17.8 「•パルス幅測定モードおよび・・・設定しないでください。」 追記
		241、300、314、334、350、380、476	19.2.1、20.3.1、20.4.1、20.5.1、20.6.1、20.7.1、20.8.1、23.2.1 注1、注2、注4　変更
		289	19.9.5　変更
		298	20.3 「インプットキャプチャ機能」→「タイマモード(インプットキャプチャ機能)」
		300〜308	20.3.2〜20.3.13 「[インプットキャプチャ機能時]」→「[タイマモード(インプットキャプチャ機能時)]」
		312	20.4 「アウトプットコンペア機能」→「タイマモード(アウトプットコンペア機能)」
		316〜326	20.4.3〜20.4.16 「[アウトプットコンペア機能時]」→「[タイマモード(アウトプットコンペア機能時)]」
		398	20.10.6　変更
		411	表21.3　注2　削除
		418	表21.6　注3　削除
		427	22.2.2 「U2BRGレジスタに・・・あります。」 追記
		428	22.2.3、注1　変更、注2　追記
		431	22.2.6 「U2RBレジスタは・・・読み出してください。」 削除
		439	表22.3　注2　削除
		446	表22.6　注3　削除
		473	22.8.3、22.8.4　追記
		483	23.2.10　注2　変更
		525	25.2.6　変更、注4　追記
		527	「・・・ADSTビットが“0”になり、最後の・・・」→ 「・・・ADSTビットが“0”になると同時に、最後の・・・」
		593	27.7.1.7、27.7.1.8　変更
		596	28.2.9　変更、図28.1　追記
		597	図28.2　タイトル　変更
		599	図28.4　注3　削除
		601	表29.2　変更

改訂記録	R8C/32Gグループ、R8C/32Hグループ　ユーザーズマニュアル　ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2011.11.22	602	表29.3、図29.1　変更
		603	表29.4　変更
		604	表29.6　注2　変更
		606	表29.8、表29.9　変更
		607	表29.10　変更
		608	表29.12、表29.13　変更
		613	表29.16　変更
		614	表29.17　変更
		615	表29.18　変更
		618	表29.23、注1　変更
		619	表29.24　変更
		620	表29.25　変更
		623	30.1.2　変更
		624	30.1.3　追記、30.1.4　変更
		630	30.6 「•パルス幅測定モードおよび・・・設定しないでください。」 追記
		634	30.8.5　変更
		637	30.9.6　変更
		644	30.11.3、30.11.4　追記
		648	30.14.1.7、30.14.1.8　変更
		653	付図2.1　変更
1.10	2013.08.09	41	表6.1　変更
		61～65	図7.1～図7.6　変更
		69	7.4.2　注1、注2　変更
		88	表7.13　変更
		90	表7.16　変更
		116	9.6.1　変更
		131	10 「• PRC2ビットで保護されるレジスタ：PD0レジスタ」 削除、 10.1.1　変更
		194	15.3.8　変更
		198、629	15.4.4、 30.5.4　変更
		202	17.2.1　変更
		217、630	17.8、30.6　変更
		451	図22.10　変更
		459	図22.15　変更
		508	図24.3　変更
		511	図24.6　変更

改訂記録	R8C/32Gグループ、R8C/32Hグループ　ユーザーズマニュアル　ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2013.08.09	525	25.2.6　注4　変更
		536	表25.7　変更
		546	図26.2　変更
		547	図26.4　変更

R8C/32Gグループ、R8C/32Hグループ ユーザーズマニュアル
ハードウェア編

発行年月日　2011年1月25日　Rev.0.10
　　　　　　2013年8月9日　Rev.1.10

発行　ルネサス エレクトロニクス株式会社
　　　〒211-8668 神奈川県川崎市中原区下沼部 1753

RENESAS

ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

http://www.renesas.com

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町 2-6-2（日本ビル）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：http://japan.renesas.com/contact/

Colophon 1.2

R8C/32Gグループ、R8C/32Hグループ

ルネサス エレクトロニクス株式会社

R01UH0139JJ0110