

## RX63T グループ

ルネサスマイクロコンピュータ

R01DS0087JJ0220

Rev.2.20

2016.03.31

100MHz、32ビット RX MCU、FPU 内蔵、165 DMIPS、  
12ビット ADC (3 S/H回路、ダブルデータレジスタ、アンプ、コンパレータ) 2ユニット、  
10ビット ADC 1ユニット、ADC 3ユニットで7ch同時サンプリング、  
100MHz PWM (三相相補2ch+単相相補4chもしくは三相相補3ch+単相相補1ch)

## 特長

### ■ 32 ビット RX CPU コア内蔵

- 最大動作周波数 100MHz  
165 DMIPS の性能 (100MHz 動作時)
- 32 ビット単精度浮動小数点 (IEEE754 に準拠)
- 2 種類の積和演算器 (メモリ間、レジスタ間)
- 32 ビット乗算器 (最速 1 クロックで実行)
- 除算器 (最速 2 クロックで実行)
- 高速割り込み
- 5 段パイプラインの CISC ハーバードアーキテクチャ
- 可変長命令形式: コードを大幅に短縮
- メモリプロテクションユニット (MPU) 対応
- JTAG および FINE (2 線式) の 2 種類のデバッグインタフェース

### ■ 消費電力低減機能

- 3.3V 単一、5V 単一、3.3V 品はアナログ電源 5V 可能
- 4 種類の低消費電力モード

### ■ 内蔵メインフラッシュメモリ (ウェイトなし)

- 100MHz 動作、10 ns 読み出しサイクル (ウェイトなし)
- 最大 512K バイト
- USB、SCI、JTAG からのユーザ書き込み

### ■ 内蔵データフラッシュメモリ

- 最大 32K バイト (100K 回消去可能)
- Back Ground Operation (BGO) によるプログラム / イメージ

### ■ 内蔵 SRAM (ウェイトなし)

- 最大 48K バイト
- オペランド、命令用

### ■ DMA

- DMA: 4 チャンネル内蔵
- DTC: 1 ユニットで複数 ch の転送が可能

### ■ リセットおよび電源電圧制御

- パワーオンリセット (POR) 内蔵
- 低電圧検出機能 (LVD) の設定可能

### ■ クロック機能

- 外部水晶発振、内部 PLL 対応 4MHz ~ 12.5MHz
- 内部 125kHz LOCO
- IWDT 用 125kHz LOCO クロック

### ■ 独立ウォッチドッグタイマ内蔵

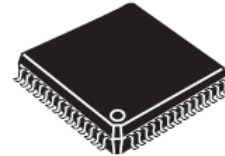
- 125kHz LOCO クロック動作

### ■ IEC60730 対応機能内蔵

- 発振停止検出、周波数測定機能、CRC、IWDT、A/D 自己診断など

### ■ 外部アドレス空間

- 4 つの CS 空間 (4 x 1M バイト)
- エリアごとにマルチプレクスバス/セパレートバスから選択
- エリアごとに 8/16 ビットバス空間を選択可能



PLQP0144KA-A 20x20mm、0.5mm ピッチ  
PLQP0120KA-A 16x16mm、0.5mm ピッチ  
PLQP0112JA-A 20x20mm、0.65mm ピッチ  
PLQP0100KB-A 14x14mm、0.5mm ピッチ  
PLQP0064KB-A 10x10mm、0.5mm ピッチ  
PLQP0048KB-A 7x7mm、0.5mm ピッチ

### ■ 最大 11 本の通信機能を内蔵

- USB2.0 フルスピードファンクションを内蔵 (1ch)
- CAN (ISO11898-1 準拠)、32 メールボックス内蔵 (1ch)
- 多彩な機能に対応した SCI (5ch)  
調歩同期式モード / クロック同期式モード / スマートカードインタフェースモード / 簡易 SPI / 簡易 I<sup>2</sup>C / 拡張シリアルモードから選択
- I<sup>2</sup>C バスインタフェース SMBus に対応 (2ch)
- 高速通信可能な RSPI を搭載 (2ch)

### ■ 最大 20 本の 16 ビットタイマ

- 16 ビット MTU3: 100MHz 動作、インプットキャプチャ、アウトプットコンペア、三相相補 PWM 波形 2ch 出力、CPU に負荷をかけない相補 PWM、位相計数モード (8ch)
- 16 ビット GPT: 100MHz 動作、インプットキャプチャ、アウトプットコンペア、PWM 波形単相相補 4ch 出力もしくは三相相補 1ch + 単相相補 1ch 出力、CPU に負荷をかけない相補 PWM、コンパレータ連動 (カウンタ動作、PWM ネゲート制御)、発振周波数異常検出機能 (IEC60730 対応) (8ch)
- 16 ビット CMT (4ch)

### ■ PWM 波形遅延生成機能 (製品識別コード: 1 の製品のみ)

- 16 ビット GPT の PWM 出力端子の立ち上がり / 立ち下がりタイミング制御を 312ps の分解能で実現 (100MHz 動作時)

### ■ 1MHz 動作 A/D コンバータ 2 ユニット計 8ch 内蔵

- 3 ユニットで 7ch 同時サンプリングが可能
- 自己診断機能 (IEC60730 対応)
- 12 ビット ADC 2 ユニット: 3 サンプル / ホールド回路、ダブルデータレジスタ、アンプ、コンパレータ (8ch)
- 10 ビット ADC 1 ユニット (12ch)

### ■ 2MHz 動作 A/D コンバータ 1 ユニット計 20ch 内蔵

- 10 ビット ADC 1 ユニット (20ch)

### ■ 10 ビット D/A コンバータ内蔵: 2ch

### ■ デジタル電源制御専用演算機能 (製品識別コード: 1 の製品のみ)

- デジタル制御方式のスイッチング電源システムにおいて補償演算を行う 16 ビット固定小数点演算機能

### ■ 重要なレジスタの書換え保護が可能なレジスタライトプロテクト機能

### ■ 最大 110 本の GPIO 内蔵

- オープンドレイン、駆動能力切り替え機能

### ■ 動作周囲温度

- -40 °C ~ +85 °C
- -40 °C ~ +105 °C

## 1. 概要

### 1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールの有無、チャンネル数はパッケージのピン数、およびROM容量によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1 / 7)

分類	モジュール/機能	説明
CPU	中央演算処理装置	<ul style="list-style-type: none"> <li>最大動作周波数：100MHz</li> <li>32ビットRX CPU</li> <li>最小命令実行時間：1命令1クロック</li> <li>アドレス空間：4Gバイト・リニアアドレス</li> <li>レジスタ               <ul style="list-style-type: none"> <li>汎用レジスタ：32ビット×16本</li> <li>制御レジスタ：32ビット×9本</li> <li>アキュムレータ：64ビット×1本</li> </ul> </li> <li>基本命令：73種類</li> <li>浮動小数点演算命令：8種類</li> <li>DSP機能命令：9種類</li> <li>アドレッシングモード：10種類</li> <li>データ配置               <ul style="list-style-type: none"> <li>命令：リトルエンディアン</li> <li>データ：リトルエンディアン/ビッグエンディアンを選択可能</li> </ul> </li> <li>32ビット乗算器：32ビット×32ビット→64ビット</li> <li>除算器：32ビット÷32ビット→32ビット</li> <li>パレルシフタ：32ビット</li> <li>メモリプロテクションユニット (MPU) 搭載</li> </ul>
	FPU	<ul style="list-style-type: none"> <li>単精度浮動小数点数 (32ビット)</li> <li>IEEE754に準拠したデータタイプ、および例外</li> </ul>
メモリ	ROM	<ul style="list-style-type: none"> <li>容量：512K/384K/256K/64K/48K/32Kバイト</li> <li>100MHz、ノーウェイトアクセス</li> <li>オンボードプログラミング：               <ul style="list-style-type: none"> <li>SCI、USB経由でMCUをボード上に実装したまま書き換え可能</li> </ul> </li> <li>オフボードプログラミング (144/120/112/100ピン版のみ)               <ul style="list-style-type: none"> <li>パレルライタを使用して書き換え可能</li> </ul> </li> </ul>
	RAM	<ul style="list-style-type: none"> <li>容量：48K/32K/24K/8Kバイト</li> <li>100MHz、ノーウェイトアクセス</li> </ul>
	E2データフラッシュ	<ul style="list-style-type: none"> <li>容量：32K/8Kバイト</li> <li>プログラム/イレーズ回数：100000回</li> <li>オンボードプログラミング               <ul style="list-style-type: none"> <li>SCI、USB経由でMCUをボード上に実装したまま書き換え可能</li> <li>ユーザプログラムから書き換え可能</li> </ul> </li> </ul>
MCU動作モード		<p>【144/120/112/100ピン版】</p> <p>シングルチップモード、内蔵ROM有効拡張モード、内蔵ROM無効拡張モード (ソフトウェア切り替え)</p> <p>【64/48ピン版】</p> <p>シングルチップモード</p>

表 1.1 仕様概要 (2 / 7)

分類	モジュール/機能	説明
クロック	クロック発生回路	<ul style="list-style-type: none"> <li>メインクロック発振器、低速オンチップオシレータ、PLL周波数シンセサイザ、IWDT専用オンチップオシレータ</li> <li>メインクロック発振停止検出：あり</li> <li>システムクロック (ICLK)、周辺モジュールクロック (PCLKA)、周辺モジュールクロック (PCLKB)、AD用クロック (PCLKC)、FlashIFクロック (FCLK)、S12AD用クロック (PCLKD) を個別に設定可能</li> <li>CPU、バスマスタなどのシステム系は、ICLK同期：100MHz max</li> <li>マルチファンクションタイマパルスユニット3および汎用PWMタイマは、PCLKA同期：100MHz max</li> <li>周辺モジュールは、PCLKB同期：50MHz max</li> <li>Flash IFは、FCLK同期：50MHz max</li> <li>外部バスに接続するデバイスは、BCLK同期：50MHz max</li> <li>10ビットA/Dコンバータは、PCLKC同期：100MHz max</li> <li>12ビットA/Dコンバータは、PCLKD同期：50MHz max</li> </ul>
	クロック周波数精度測定回路 (CAC)	メインクロック発振器、PLL回路およびIWDT専用オンチップオシレータの出力クロック周波数異常を監視することが可能
リセット		RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、ディープソフトウェアスタンバイリセット、ソフトウェアリセット
電圧検出回路		VCCが電圧検出レベル (Vdet) を通過すると内部リセットまたは内部割り込みを発生
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> <li>モジュールストップ機能</li> <li>4種類の低消費電力状態</li> <li>スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード</li> </ul>
割り込み	割り込みコントローラ (ICUb)	<ul style="list-style-type: none"> <li>周辺機能割り込み：要因数 169 (最大)</li> <li>外部割り込み：要因数 8 (IRQ0～IRQ7端子) (最大)</li> <li>ソフトウェア割り込み：要因数 1</li> <li>ノンマスクابل割り込み：要因数 6</li> <li>16レベルの割り込み優先順位を設定可能</li> </ul>
外部バス拡張		<ul style="list-style-type: none"> <li>外部アドレス空間を4つのエリア (CS0～CS3) に分割して管理</li> <li>各エリアの領域：1Mバイト (CS0～CS3)</li> <li>エリアごとにチップセレクト (CS0#～CS3#) 出力可能</li> <li>エリアごとに8ビットバス空間/16ビットバス空間を選択可能</li> <li>エリアごとにエンディアンを設定可能 (データのみ)</li> <li>バス形式：セパレートバス、マルチプレクスバス</li> <li>ウェイト制御可能</li> <li>ライトバッファ機能</li> </ul>
DMA	DMAコントローラ (DMACA)	<ul style="list-style-type: none"> <li>4チャネル</li> <li>転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード</li> <li>起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み</li> </ul>
	データ転送コントローラ (DTCa)	<ul style="list-style-type: none"> <li>転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード</li> <li>起動要因：ソフトウェア割り込み起動レジスタ設定、外部割り込み、周辺機能割り込み</li> </ul>

表 1.1 仕様概要 (3 / 7)

分類	モジュール/機能	説明
I/Oポート	汎用入出力ポート	<ul style="list-style-type: none"> <li>• 144ピンLQFP 入出力：81   入力：29   オープンドレイン出力：27</li> <li>• 120ピンLQFP 入出力：72   入力：21   オープンドレイン出力：26</li> <li>• 112ピンLQFP 入出力：69   入力：21   オープンドレイン出力：20</li> <li>• 100ピンLQFP 入出力：57   入力：21   オープンドレイン出力：16</li> <li>• 64ピンLQFP 入出力：39   入力：9   オープンドレイン出力：10   5Vトレラント：39</li> <li>• 48ピンLQFP 入出力：25   入力：7   オープンドレイン出力：8   5Vトレラント：25</li> </ul>

表 1.1 仕様概要 (4 / 7)

分類	モジュール/機能	説明
タイマ	マルチファンクション タイマパルスユニット 3 (MTU3)	<ul style="list-style-type: none"> <li>• (16ビット×8チャンネル)</li> <li>• 最大16本のパルス入出力と3本のパルス入力が可能</li> <li>• チャンネルごとに10種類のカウントクロック (PCLKA/1、PCLKA/4、PCLKA/16、PCLKA/64、PCLKA/256、PCLKA/1024、MTCLKA、MTCLKB、MTCLKC、MTCLKD) から8種類を選択可能 (チャンネル1は7種類、チャンネル5は4種類、チャンネル6/7は6種類)</li> <li>• 24本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ</li> <li>• カウンタクリア動作 (コンペアマッチ/インプットキャプチャによる同時クリア可能)</li> <li>• 複数のタイマカウンタ (TCNT) への同時書き込み</li> <li>• カウンタの同期動作による各レジスタの同期入出力</li> <li>• バッファ動作</li> <li>• カスケード接続動作</li> <li>• 38種類の割り込み要因</li> <li>• レジスタデータの自動転送</li> <li>• パルス出力モード トグル/PWM/相補PWM/リセット同期PWM</li> <li>• 相補PWM出力モード 3相のインバータ制御用ノンオーバーラップ波形を出力 デッドタイム自動設定 PWMのデューティ比を0~100%任意に設定可能 A/D変換要求ディレイド機能 山/谷割り込み間引き機能 ダブルバッファ機能</li> <li>• リセット同期PWMモード 任意のデューティ比の正相・逆相PWM波形を3相出力</li> <li>• 位相計数モード</li> <li>• デッドタイム補償用カウンタ機能</li> <li>• A/D変換器の変換開始トリガを生成可能</li> <li>• A/D変換開始間引き機能</li> </ul>
	ポートアウトプット イネーブル3 (POE3)	<ul style="list-style-type: none"> <li>• MTU3/GPT波形出力端子のハイインピーダンス制御</li> <li>• POE0、POE4、POE8、POE10、POE11、POE12の6つの入力端子による起動</li> <li>• 出力短絡検出 (PWM出力が同時にアクティブレベルになったことを検出) による起動</li> <li>• コンパレータ検出/発振停止検出/ソフトウェアによる起動</li> <li>• 出力制御対象端子をプログラマブルに追加制御可能</li> </ul>
	汎用PWMタイマ (GPT)	<ul style="list-style-type: none"> <li>• 16ビット×8チャンネル</li> <li>• 各カウンタは、アップカウントもしくはダウンカウント (のこぎり波)、アップダウンカウント (三角波) が選択可能</li> <li>• チャンネルごとに4種類のカウントクロック (PCLKA/1、PCLKA/4、PCLKA/8、PCLKA/16) から選択可能</li> <li>• チャンネルごとに2本の入出力端子</li> <li>• チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本</li> <li>• 各チャンネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能</li> <li>• アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称なPWM波形を生成</li> <li>• チャンネルごとにフレーム周期用レジスタを搭載 (オーバフロー/アンダフローで割り込み可能)</li> <li>• それぞれのカウンタを同期動作可能</li> <li>• 同期動作のモード (同時または任意のタイミングでずらす (位相シフトに対応))</li> <li>• PWM動作の際にデッドタイム生成が可能</li> <li>• 3つのカウンタを組み合わせて、デッドタイム付きの3相PWM波形を生成可能</li> <li>• 外部/内部トリガによりカウントスタート/クリア/ストップ可能</li> <li>• 内部トリガ要因として、内蔵コンパレータ出力、ソフトウェア、コンペアマッチ</li> <li>• 分周されたIWDT専用クロックのエッジをメインクロックのカウントクロックで計測することが可能 (発振異常検出)</li> <li>• チャンネル0~チャンネル3の2本のPWM出力端子に対し、システムクロック (ICLK) の1/32の分解能で立ち上がり/立ち下がりタイミングの制御が可能 (PWM遅延生成機能)</li> </ul>
	コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> <li>• (16ビット×2チャンネル) ×2ユニット</li> <li>• 4種類のクロック (PCLK/8、PCLK/32、PCLK/128、PCLK/512) を選択可能</li> </ul>
	ウォッチドッグタイマ (WDTA)	<ul style="list-style-type: none"> <li>• 14ビット×1チャンネル</li> <li>• 6種類のカウントクロック (PCLK/4、PCLK/64、PCLK/128、PCLK/512、PCLK/2048、PCLK/8192) を選択可能</li> </ul>

表 1.1 仕様概要 (5 / 7)

分類	モジュール/機能	説明
タイマ	独立ウォッチドッグタイマ (IWDTa)	<ul style="list-style-type: none"> <li>14ビット×1チャンネル</li> <li>カウントクロック：IWDT専用オンチップオシレータ</li> <li>専用クロック/1、専用クロック/16、専用クロック/32、専用クロック/64、専用クロック/128、専用クロック/256</li> </ul>
通信機能	USB2.0ホスト/ファンクションモジュール (USBa)	<ul style="list-style-type: none"> <li>USB2.0に対応したUDC (USB Device Controller) およびトランシーバを内蔵</li> <li>1ポート</li> <li>USBバージョン2.0準拠</li> <li>転送スピード：フルスピード (12Mbps)</li> <li>セルフパワーモードおよびバスパワーモードを選択可能</li> <li>OTG (ON-The-Go) に対応</li> <li>通信バッファとして2KバイトのRAMを内蔵</li> </ul>
	シリアルコミュニケーションインタフェース (SC1c、SC1d)	<ul style="list-style-type: none"> <li>5チャンネル：(SC1c：4チャンネル+SC1d：1チャンネル)</li> <li>SC1c</li> <li>シリアル通信方式：調歩同期式/クロック同期式/スマートカードインタフェース</li> <li>マルチプロセッサ機能</li> <li>内蔵ボーレートジェネレータで任意のビットレートを選択可能</li> <li>LSBファースト/MSBファーストを選択可能</li> <li>簡易I<sup>2</sup>Cサポート</li> <li>簡易SPIサポート</li> <li>SC1d (SC1cに以下の機能を付加)</li> <li>スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート</li> <li>LINフォーマットをサポート</li> </ul>
	I <sup>2</sup> Cバスインタフェース (RIIC)	<ul style="list-style-type: none"> <li>2チャンネル</li> <li>通信フォーマット</li> <li>I<sup>2</sup>Cバスフォーマット/SMBusフォーマット</li> <li>マルチマスタ対応</li> <li>最大転送レート：400kbps</li> </ul>
	CANモジュール (CAN)	<ul style="list-style-type: none"> <li>1チャンネル</li> <li>ISO11898-1仕様に準拠 (標準フレーム/拡張フレーム)</li> <li>32メールボックス/チャンネル</li> </ul>
	シリアルペリフェラルインタフェース (RSPI)	<ul style="list-style-type: none"> <li>2チャンネル</li> <li>RSPI転送機能</li> <li>MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI動作 (4線式) /クロック同期式動作 (3線式) でシリアル通信が可能</li> <li>マスタ/スレーブモードでのシリアル通信が可能</li> <li>データフォーマット</li> <li>MSBファースト/LSBファーストの切り替え可能</li> <li>転送ビット長を8～16、20、24、32ビットに変更可能</li> <li>送信/受信バッファは128ビット</li> <li>一度の送受信で最大4フレームを転送 (1フレームは最大32ビット)</li> <li>バッファ構成</li> <li>送信/受信バッファ構成はダブルバッファ</li> <li>最大転送レート</li> <li>マスタモード時：【144/120/112/100ピン版】 25Mbps 【64/48ピン版】 12.5Mbps</li> <li>スレーブモード時：6.25Mbps</li> </ul>

表 1.1 仕様概要 (6 / 7)

分類	モジュール/機能	説明
12ビットA/Dコンバータ (S12ADB) 【144/120/112/100ピン版】		<ul style="list-style-type: none"> <li>12ビット (4チャンネル×2ユニット)</li> <li>分解能: 12ビット</li> <li>変換時間 1チャンネル当たり1.0<math>\mu</math>s (S12ADB用クロック PCLKD (A/D変換クロック ADCLK) = 50MHz、AVCC0 = 4.0~5.5V時) 1チャンネル当たり2.0<math>\mu</math>s (S12ADB用クロック PCLKD (A/D変換クロック ADCLK) = 25MHz、AVCC0 = 3.0~3.6V時)</li> <li>動作モード スキャンモード (シングルスキャンモード/連続スキャンモード/グループスキャンモード) グループA優先制御 (グループスキャンモードのみ)</li> <li>サンプル&amp;ホールド機能 ユニット共通のサンプル&amp;ホールド回路を搭載 上記に加え、個別のサンプル&amp;ホールド回路を搭載 (3チャンネル/1ユニット)</li> <li>自己診断機能 自己診断機能用に内部で3種類のアナログ入力電圧 (VREFL0、VREFH0×1/2、VREFH0) を生成可能</li> <li>ダブルトリガモード (A/D変換データ2重化機能)</li> <li>プログラマブルゲインアンプによる入力信号増幅機能 (3チャンネル/1ユニット) 増幅率: 2.0倍、2.5倍、3.077倍、3.636倍、4.0倍、4.444倍、5.0倍、5.714倍、6.667倍、10.0倍、13.333倍 (計11ステップ)</li> <li>3種類のA/D変換開始方法 ソフトウェアトリガ、タイマ (MTU3、GPT) のトリガ、外部トリガ</li> <li>ウィンドウコンパレータ機能 (3チャンネル/1ユニット)</li> </ul>
12ビットA/Dコンバータ (S12ADB) 【64/48ピン版】		<ul style="list-style-type: none"> <li>12ビット (8チャンネル×1ユニット)</li> <li>分解能: 12ビット</li> <li>変換時間 1チャンネル当たり1.0<math>\mu</math>s (S12ADB用クロック PCLKD (A/D変換クロック ADCLK) = 50MHz)</li> <li>動作モード スキャンモード (シングルスキャンモード/連続スキャンモード/グループスキャンモード) グループA優先制御 (グループスキャンモードのみ)</li> <li>サンプル&amp;ホールド機能 ユニット共通のサンプル&amp;ホールド回路を搭載 上記に加え、個別のサンプル&amp;ホールド回路を搭載 (3チャンネル)</li> <li>自己診断機能 自己診断機能用に内部で3種類のアナログ入力電圧 (VREFL0、VREFH0×1/2、VREFH0) を生成可能</li> <li>ダブルトリガモード (A/D変換データ2重化機能)</li> <li>3種類のA/D変換開始方法 ソフトウェアトリガ、タイマ (MTU3、GPT) のトリガ、外部トリガ</li> <li>ウィンドウコンパレータ機能 (3チャンネル)</li> </ul>
10ビットA/Dコンバータ (ADA)		<ul style="list-style-type: none"> <li>10ビット (20チャンネル×1ユニット)</li> <li>分解能: 10ビット</li> <li>変換時間 1チャンネル当たり0.5<math>\mu</math>s (A/D変換クロック ADCLK = 100MHz時)</li> <li>2種類の動作モード シングルモード、スキャンモード</li> <li>スキャンモード 1サイクルスキャンモード 連続スキャンモード</li> <li>サンプル&amp;ホールド機能付き ユニット共通のサンプル&amp;ホールド回路を搭載</li> <li>3種類のA/D変換開始方法 ソフトウェアトリガ、タイマ (MTU3、GPT) のトリガ、外部トリガ</li> <li>8ビット精度出力対応 変換結果出力の2ビット右シフトが選択可能</li> <li>自己診断機能 自己診断機能用に、内部で3種類のアナログ入力電圧 (AVSS、VREF×1/2、VREF) を生成可能</li> </ul>
D/Aコンバータ (DAa)		<ul style="list-style-type: none"> <li>2チャンネル</li> <li>分解能: 10ビット</li> <li>出力電圧: 0V~VREF</li> </ul>

表 1.1 仕様概要 (7 / 7)

分類	モジュール/機能	説明
CRC演算回路 (CRC)		<ul style="list-style-type: none"> <li>8ビット単位の任意のデータ長に対してCRCコードを生成</li> <li>3つの多項式から選択可能 <math>X^8 + X^2 + X + 1</math>、<math>X^{16} + X^{15} + X^2 + 1</math>、<math>X^{16} + X^{12} + X^5 + 1</math></li> <li>LSBファースト/MSBファースト通信用CRCコード生成の選択が可能</li> </ul>
データ演算回路 (DOC)		<ul style="list-style-type: none"> <li>16ビット単位の任意のデータ比較/加算/減算が可能</li> </ul>
デジタル電源制御演算器 (DPC)		<ul style="list-style-type: none"> <li>デジタル制御方式のスイッチング電源システムの制御パラメータ演算器</li> <li>制御安定度の高いロバスト制御アルゴリズムを採用</li> <li>10bitADコンバータと連携し制御パラメータを算出</li> </ul>
動作周波数		100MHz max
電源電圧 【144/120/112/100ピン版】		<ul style="list-style-type: none"> <li>3V版 VCC = PLLVCC = VCC_USB = 2.7 ~ 3.6V AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、または4.0 ~ 5.5V VREFH0 = 3.0 ~ AVCC0、または4.0 ~ AVCC0</li> <li>5V版 VCC = PLLVCC = 4.0 ~ 5.5V VCC_USB = 3.0 ~ 3.6V AVCC0 = AVCC = VREF = 4.0 ~ 5.5V VREFH0 = 4.0 ~ AVCC0</li> </ul>
電源電圧 【64/48ピン版】		VCC = 2.7 ~ 3.6V、AVCC0 = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0
動作周囲温度		Dバージョン: -40 ~ +85°C、Gバージョン: -40 ~ +105°C (注1)
パッケージ		144ピンLQFP (PLQP0144KA-A (20×20-0.5mmピッチ)) 120ピンLQFP (PLQP0120KA-A (16×16-0.5mmピッチ)) 112ピンLQFP (PLQP0112JA-A (20×20-0.65mmピッチ)) 100ピンLQFP (PLQP0100KB-A (14×14-0.5mmピッチ)) 64ピンLQFP (PLQP0064KB-A (10×10-0.5mmピッチ)) 48ピンLQFP (PLQP0048KB-A (07×07-0.5mmピッチ))
オンチップデバッグシステム		<ul style="list-style-type: none"> <li>E1エミュレータ (JTAGおよびFINEインタフェース)</li> <li>E20エミュレータ (JTAGインタフェース)</li> </ul>

注1. Ta = +85°C ~ +105°Cで使用する場合のディレーティングについては、当社営業および販売店営業へお問い合わせください。なお、ディレーティングとは「信頼性を改善するために、計画的に負荷を定格値から軽減すること」です。



表 1.2 パッケージ別機能比較一覧

機能		RX63Tグループ						
ピン数		144ピン	120ピン	112ピン	100ピン	64ピン	48ピン	
外部バス		16ビット				—		
外部アドレス空間		1Mバイト x 4エリア				—		
DMA	DMAコントローラ (DMACA)	ch0 ~ 3						
	データトランスファコントローラ (DTCa)	有						
割り込みコントローラ (ICUb)	NMI端子	有						
	IRQ端子	有 (8本)				有 (6本)		
タイマ	マルチファンクションタイマパルスユニット3 (MTU3) (注1)	ch0 ~ 7						
	汎用PWMタイマ (GPT) (注1)	PWM遅延生成機能無				ch0 ~ 7		ch0 ~ 3
		PWM遅延生成機能有 (注2)				ch0 ~ 3		—
	ポートアウトプットイネーブル3 (POE3)		有 (POE端子6本)		有 (POE端子5本)	有 (POE端子4本)		
	コンパマッチタイマ (CMT)		ch0 ~ 3					
	ウォッチドッグタイマ (WDTA)		有					
	独立ウォッチドッグタイマ (IWDTa)		有					
通信機能	USB2.0ホスト/ファンクションモジュール (USBa)	ch0		—				
	シリアルコミュニケーションインタフェース (SCIc)	ch0 ~ 3			ch0 ~ 2	ch0,1		
	シリアルコミュニケーションインタフェース (SCId)	ch12						
	I <sup>2</sup> Cバスインタフェース (RIIC)	ch0,1		ch0				
	シリアルペリフェラルインタフェース (RSPI)	ch0,1				ch0		
	CANモジュール (CAN) (オプション) (注1)		ch0				—	
12ビットA/Dコンバータ (S12ADB)		4ch x 2ユニット				8ch x 1ユニット (AN000 ~ 007)	8ch x 1ユニット (AN000 ~ 004, 007)	
3チャンネル同時サンプリング機能		2ユニット				1ユニット		
プログラマブルゲインアンプ		3ch x 2ユニット				—		
ウィンドウコンパレータ		3ch x 2ユニット				3ch x 1ユニット		
10ビットA/Dコンバータ (ADA)		20ch	12ch			—		
D/Aコンバータ (DAa)		ch0, 1				—		
クロック周波数精度測定回路		有						
デジタル電源制御演算器 (DPC) (注2)		有				無		

注1. MTU3とGPTについては、パッケージごとに端子数が異なります。詳細は、各ピンの機能別端子一覧を参照してください。また、CANモジュールはオプションです。詳細は表 1.3を参照してください。

注2. 製品識別コード：0の製品にはありません。

## 1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表 (1 / 3)

グループ	型名	発注型名	パッケージ	内蔵 ROM 容量	内蔵 RAM 容量	オプション	電源電圧	動作周囲温度
RX63T	R5F563TEADFB	R5F563TEADFB#V0	PLQP0144KA-A	512K バイト	48K バイト	CAN あり	VCC/ PLLVCC 4.0 ~ 5.5V VCC_USB 3.0 ~ 3.6V AVCC/ AVCC0 4.0 ~ 5.5V	-40 ~ +85°C (Dバージョン)
	R5F563TEADFB	R5F563TEADFB#V1	PLQP0144KA-A	512K バイト	48K バイト	CAN あり		
	R5F563TEADFA	R5F563TEADFA#V0	PLQP0120KA-A	512K バイト	48K バイト	CAN あり		
	R5F563TEADFA	R5F563TEADFA#V1	PLQP0120KA-A	512K バイト	48K バイト	CAN あり		
	R5F563TEADFH	R5F563TEADFH#V0	PLQP0112JA-A	512K バイト	48K バイト	CAN あり		
	R5F563TEADFH	R5F563TEADFH#V1	PLQP0112JA-A	512K バイト	48K バイト	CAN あり		
	R5F563TEADFP	R5F563TEADFP#V0	PLQP0100KB-A	512K バイト	48K バイト	CAN あり		
	R5F563TEADFP	R5F563TEADFP#V1	PLQP0100KB-A	512K バイト	48K バイト	CAN あり		
	R5F563TCADFB	R5F563TCADFB#V0	PLQP0144KA-A	384K バイト	32K バイト	CAN あり		
	R5F563TCADFB	R5F563TCADFB#V1	PLQP0144KA-A	384K バイト	32K バイト	CAN あり		
	R5F563TCADFA	R5F563TCADFA#V0	PLQP0120KA-A	384K バイト	32K バイト	CAN あり		
	R5F563TCADFA	R5F563TCADFA#V1	PLQP0120KA-A	384K バイト	32K バイト	CAN あり		
	R5F563TCADFH	R5F563TCADFH#V0	PLQP0112JA-A	384K バイト	32K バイト	CAN あり		
	R5F563TCADFH	R5F563TCADFH#V1	PLQP0112JA-A	384K バイト	32K バイト	CAN あり		
	R5F563TCADFP	R5F563TCADFP#V0	PLQP0100KB-A	384K バイト	32K バイト	CAN あり		
	R5F563TCADFP	R5F563TCADFP#V1	PLQP0100KB-A	384K バイト	32K バイト	CAN あり		
	R5F563TBADFB	R5F563TBADFB#V0	PLQP0144KA-A	256K バイト	24K バイト	CAN あり		
	R5F563TBADFB	R5F563TBADFB#V1	PLQP0144KA-A	256K バイト	24K バイト	CAN あり		
	R5F563TBADFA	R5F563TBADFA#V0	PLQP0120KA-A	256K バイト	24K バイト	CAN あり		
	R5F563TBADFA	R5F563TBADFA#V1	PLQP0120KA-A	256K バイト	24K バイト	CAN あり		
	R5F563TBADFH	R5F563TBADFH#V0	PLQP0112JA-A	256K バイト	24K バイト	CAN あり		
	R5F563TBADFH	R5F563TBADFH#V1	PLQP0112JA-A	256K バイト	24K バイト	CAN あり		
	R5F563TBADFP	R5F563TBADFP#V0	PLQP0100KB-A	256K バイト	24K バイト	CAN あり		
	R5F563TBADFP	R5F563TBADFP#V1	PLQP0100KB-A	256K バイト	24K バイト	CAN あり		
	R5F563TEDDFB	R5F563TEDDFB#V0	PLQP0144KA-A	512K バイト	48K バイト	CAN なし		
	R5F563TEDDFA	R5F563TEDDFA#V0	PLQP0120KA-A	512K バイト	48K バイト	CAN なし		
	R5F563TEDDFH	R5F563TEDDFH#V0	PLQP0112JA-A	512K バイト	48K バイト	CAN なし		
	R5F563TEDDFP	R5F563TEDDFP#V0	PLQP0100KB-A	512K バイト	48K バイト	CAN なし		
	R5F563TCDDFB	R5F563TCDDFB#V0	PLQP0144KA-A	384K バイト	32K バイト	CAN なし		
	R5F563TCDDFA	R5F563TCDDFA#V0	PLQP0120KA-A	384K バイト	32K バイト	CAN なし		
	R5F563TCDDFH	R5F563TCDDFH#V0	PLQP0112JA-A	384K バイト	32K バイト	CAN なし		
	R5F563TCDDFP	R5F563TCDDFP#V0	PLQP0100KB-A	384K バイト	32K バイト	CAN なし		
	R5F563TBDDFB	R5F563TBDDFB#V0	PLQP0144KA-A	256K バイト	24K バイト	CAN なし		
	R5F563TBDDFA	R5F563TBDDFA#V0	PLQP0120KA-A	256K バイト	24K バイト	CAN なし		
	R5F563TBDDFH	R5F563TBDDFH#V0	PLQP0112JA-A	256K バイト	24K バイト	CAN なし		
	R5F563TBDDFP	R5F563TBDDFP#V0	PLQP0100KB-A	256K バイト	24K バイト	CAN なし		
	R5F563TEBDFB	R5F563TEBDFB#V0	PLQP0144KA-A	512K バイト	48K バイト	CAN あり	VCC/ PLLVCC/ VCC_USB 2.7 ~ 3.6V AVCC/ AVCC0 3.0 ~ 3.6V または 4.0 ~ 5.5V	
	R5F563TEBDFB	R5F563TEBDFB#V1	PLQP0144KA-A	512K バイト	48K バイト	CAN あり		
	R5F563TEBDFB	R5F563TEBDFB#V0	PLQP0120KA-A	512K バイト	48K バイト	CAN あり		
	R5F563TEBDFB	R5F563TEBDFB#V1	PLQP0120KA-A	512K バイト	48K バイト	CAN あり		
R5F563TEBDFH	R5F563TEBDFH#V0	PLQP0112JA-A	512K バイト	48K バイト	CAN あり			
R5F563TEBDFH	R5F563TEBDFH#V1	PLQP0112JA-A	512K バイト	48K バイト	CAN あり			
R5F563TEBDFP	R5F563TEBDFP#V0	PLQP0100KB-A	512K バイト	48K バイト	CAN あり			
R5F563TEBDFP	R5F563TEBDFP#V1	PLQP0100KB-A	512K バイト	48K バイト	CAN あり			

表 1.3 製品一覧表 (2 / 3)

グループ	型名	発注型名	パッケージ	内蔵 ROM 容量	内蔵 RAM 容量	オプション	電源電圧	動作周囲温度	
RX63T	R5F563TCBDFB	R5F563TCBDFB#V0	PLQP0144KA-A	384K バイト	32K バイト	CAN あり	VCC/ PLLVCC/ VCC_USB 2.7 ~ 3.6V AVCC/ AVCC0 3.0 ~ 3.6V または 4.0 ~ 5.5V	-40 ~ +85°C (Dバージョン)	
	R5F563TCBDFB	R5F563TCBDFB#V1	PLQP0144KA-A	384K バイト	32K バイト	CAN あり			
	R5F563TCBDFB	R5F563TCBDFB#V0	PLQP0120KA-A	384K バイト	32K バイト	CAN あり			
	R5F563TCBDFB	R5F563TCBDFB#V1	PLQP0120KA-A	384K バイト	32K バイト	CAN あり			
	R5F563TCBDFH	R5F563TCBDFH#V0	PLQP0112JA-A	384K バイト	32K バイト	CAN あり			
	R5F563TCBDFH	R5F563TCBDFH#V1	PLQP0112JA-A	384K バイト	32K バイト	CAN あり			
	R5F563TCBDFP	R5F563TCBDFP#V0	PLQP0100KB-A	384K バイト	32K バイト	CAN あり			
	R5F563TCBDFP	R5F563TCBDFP#V1	PLQP0100KB-A	384K バイト	32K バイト	CAN あり			
	R5F563TBBDFB	R5F563TBBDFB#V0	PLQP0144KA-A	256K バイト	24K バイト	CAN あり			
	R5F563TBBDFB	R5F563TBBDFB#V1	PLQP0144KA-A	256K バイト	24K バイト	CAN あり			
	R5F563TBBDFB	R5F563TBBDFB#V0	PLQP0120KA-A	256K バイト	24K バイト	CAN あり			
	R5F563TBBDFB	R5F563TBBDFB#V1	PLQP0120KA-A	256K バイト	24K バイト	CAN あり			
	R5F563TBBDFH	R5F563TBBDFH#V0	PLQP0112JA-A	256K バイト	24K バイト	CAN あり			
	R5F563TBBDFH	R5F563TBBDFH#V1	PLQP0112JA-A	256K バイト	24K バイト	CAN あり			
	R5F563TBBDFP	R5F563TBBDFP#V0	PLQP0100KB-A	256K バイト	24K バイト	CAN あり			
	R5F563TBBDFP	R5F563TBBDFP#V1	PLQP0100KB-A	256K バイト	24K バイト	CAN あり			
	R5F563TEEDFB	R5F563TEEDFB#V0	PLQP0144KA-A	512K バイト	48K バイト	CAN なし			
	R5F563TEEDFA	R5F563TEEDFA#V0	PLQP0120KA-A	512K バイト	48K バイト	CAN なし			
	R5F563TEEDFH	R5F563TEEDFH#V0	PLQP0112JA-A	512K バイト	48K バイト	CAN なし			
	R5F563TEEDFP	R5F563TEEDFP#V0	PLQP0100KB-A	512K バイト	48K バイト	CAN なし			
	R5F563TCEDFB	R5F563TCEDFB#V0	PLQP0144KA-A	384K バイト	32K バイト	CAN なし			
	R5F563TCEDFA	R5F563TCEDFA#V0	PLQP0120KA-A	384K バイト	32K バイト	CAN なし			
	R5F563TCEDFH	R5F563TCEDFH#V0	PLQP0112JA-A	384K バイト	32K バイト	CAN なし			
	R5F563TCEDFP	R5F563TCEDFP#V0	PLQP0100KB-A	384K バイト	32K バイト	CAN なし			
	R5F563TBEDFB	R5F563TBEDFB#V0	PLQP0144KA-A	256K バイト	24K バイト	CAN なし			
	R5F563TBEDFA	R5F563TBEDFA#V0	PLQP0120KA-A	256K バイト	24K バイト	CAN なし			
	R5F563TBEDFH	R5F563TBEDFH#V0	PLQP0112JA-A	256K バイト	24K バイト	CAN なし			
	R5F563TBEDFP	R5F563TBEDFP#V0	PLQP0100KB-A	256K バイト	24K バイト	CAN なし			
	R5F563T6EDFM	R5F563T6EDFM#V0	PLQP0064KB-A	64K バイト	8K バイト	CAN なし			
	R5F563T5EDFM	R5F563T5EDFM#V0	PLQP0064KB-A	48K バイト	8K バイト	CAN なし			
	R5F563T4EDFM	R5F563T4EDFM#V0	PLQP0064KB-A	32K バイト	8K バイト	CAN なし			
	R5F563T6EDFL	R5F563T6EDFL#V0	PLQP0048KB-A	64K バイト	8K バイト	CAN なし			
	R5F563T5EDFL	R5F563T5EDFL#V0	PLQP0048KB-A	48K バイト	8K バイト	CAN なし			
	R5F563T4EDFL	R5F563T4EDFL#V0	PLQP0048KB-A	32K バイト	8K バイト	CAN なし			
	R5F563TEAGFB	R5F563TEAGFB#V1	PLQP0144KA-A	512K バイト	48K バイト	CAN あり	VCC/ PLLVCC 4.0 ~ 5.5V VCC_USB 3.0 ~ 3.6V AVCC/ AVCC0 4.0 ~ 5.5V		-40 ~ +105°C (Gバージョン) (注1)
	R5F563TEAGFA	R5F563TEAGFA#V1	PLQP0120KA-A	512K バイト	48K バイト	CAN あり			
	R5F563TEAGFH	R5F563TEAGFH#V1	PLQP0112JA-A	512K バイト	48K バイト	CAN あり			
	R5F563TEAGFA	R5F563TEAGFA#V1	PLQP0120KA-A	512K バイト	48K バイト	CAN あり			
	R5F563TEAGFP	R5F563TEAGFP#V1	PLQP0100KB-A	512K バイト	48K バイト	CAN あり			
	R5F563TCAGFB	R5F563TCAGFB#V1	PLQP0144KA-A	384K バイト	32K バイト	CAN あり			
R5F563TCAGFA	R5F563TCAGFA#V1	PLQP0120KA-A	384K バイト	32K バイト	CAN あり	VCC/ PLLVCC 4.0 ~ 5.5V VCC_USB 3.0 ~ 3.6V AVCC/ AVCC0 4.0 ~ 5.5V	-40 ~ +105°C (Gバージョン) (注1)		
R5F563TCAGFH	R5F563TCAGFH#V1	PLQP0112JA-A	384K バイト	32K バイト	CAN あり				
R5F563TCAGFP	R5F563TCAGFP#V1	PLQP0100KB-A	384K バイト	32K バイト	CAN あり				
R5F563TBAGFB	R5F563TBAGFB#V1	PLQP0144KA-A	256K バイト	24K バイト	CAN あり				
R5F563TBAGFA	R5F563TBAGFA#V1	PLQP0120KA-A	256K バイト	24K バイト	CAN あり				
R5F563TBAGFH	R5F563TBAGFH#V1	PLQP0112JA-A	256K バイト	24K バイト	CAN あり				
R5F563TBAGFP	R5F563TBAGFP#V1	PLQP0100KB-A	256K バイト	24K バイト	CAN あり				

表 1.3 製品一覧表 (3 / 3)

グループ	型名	発注型名	パッケージ	内蔵 ROM 容量	内蔵 RAM 容量	オプション	電源電圧	動作周囲温度
RX63T	R5F563TEBGF	R5F563TEBGF#V1	PLQP0144KA-A	512K バイト	48K バイト	CAN あり	VCC/ PLLVCC 4.0 ~ 5.5V VCC_USB 3.0 ~ 3.6V AVCC/ AVCC0 4.0 ~ 5.5V	-40 ~ +105°C (Gバージョン) (注1)
	R5F563TEBGF	R5F563TEBGF#V1	PLQP0120KA-A	512K バイト	48K バイト	CAN あり		
	R5F563TEBGF	R5F563TEBGF#V1	PLQP0112JA-A	512K バイト	48K バイト	CAN あり		
	R5F563TEBGF	R5F563TEBGF#V1	PLQP0100KB-A	512K バイト	48K バイト	CAN あり		
	R5F563TCBGF	R5F563TCBGF#V1	PLQP0144KA-A	384K バイト	32K バイト	CAN あり		
	R5F563TCBGF	R5F563TCBGF#V1	PLQP0120KA-A	384K バイト	32K バイト	CAN あり		
	R5F563TCBGF	R5F563TCBGF#V1	PLQP0112JA-A	384K バイト	32K バイト	CAN あり		
	R5F563TCBGF	R5F563TCBGF#V1	PLQP0100KB-A	384K バイト	32K バイト	CAN あり		
	R5F563TBBGF	R5F563TBBGF#V1	PLQP0144KA-A	256K バイト	24K バイト	CAN あり		
	R5F563TBBGF	R5F563TBBGF#V1	PLQP0120KA-A	256K バイト	24K バイト	CAN あり		
	R5F563TBBGF	R5F563TBBGF#V1	PLQP0112JA-A	256K バイト	24K バイト	CAN あり		
	R5F563TBBGF	R5F563TBBGF#V1	PLQP0100KB-A	256K バイト	24K バイト	CAN あり		
	R5F563T6EGF	R5F563T6EGF#V0	PLQP0064KB-A	64K バイト	8K バイト	CAN なし	VCC/ PLLVCC 2.7 ~ 3.6V AVCC0 3.0 ~ 3.6V	
	R5F563T5EGF	R5F563T5EGF#V0	PLQP0064KB-A	48K バイト	8K バイト	CAN なし		
	R5F563T4EGF	R5F563T4EGF#V0	PLQP0064KB-A	32K バイト	8K バイト	CAN なし		
	R5F563T6EGF	R5F563T6EGF#V0	PLQP0048KB-A	64K バイト	8K バイト	CAN なし		
	R5F563T5EGF	R5F563T5EGF#V0	PLQP0048KB-A	48K バイト	8K バイト	CAN なし		
	R5F563T4EGF	R5F563T4EGF#V0	PLQP0048KB-A	32K バイト	8K バイト	CAN なし		

注. 発注型名は、本マニュアル発行時に量産もしくは開発中のものです。最新の発注型名は弊社ホームページでご確認ください。

注. 発注型名で製品識別コード：1の製品（例、R5F563TEADFB#V1）は、テクニカルアップデートTN-RX\*-A084A/J記載の仕様制約に対する改訂版です。

注1. Ta = +85°C ~ +105°Cで使用する場合のディレーティングについては、当社営業および販売店営業へお問い合わせください。なお、ディレーティングとは、信頼性を改善するために計画的に負荷を定格値から軽減することです。

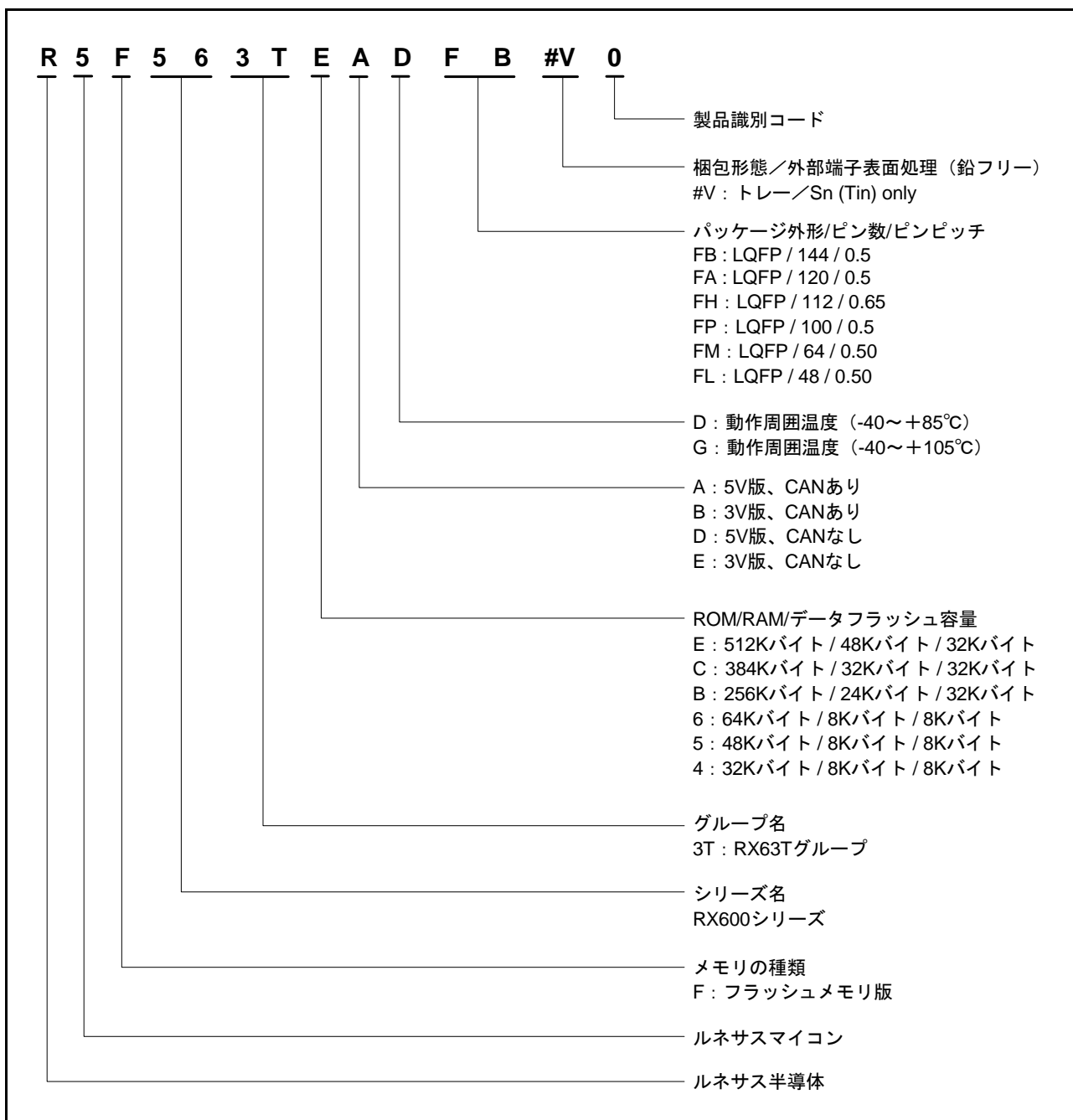


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

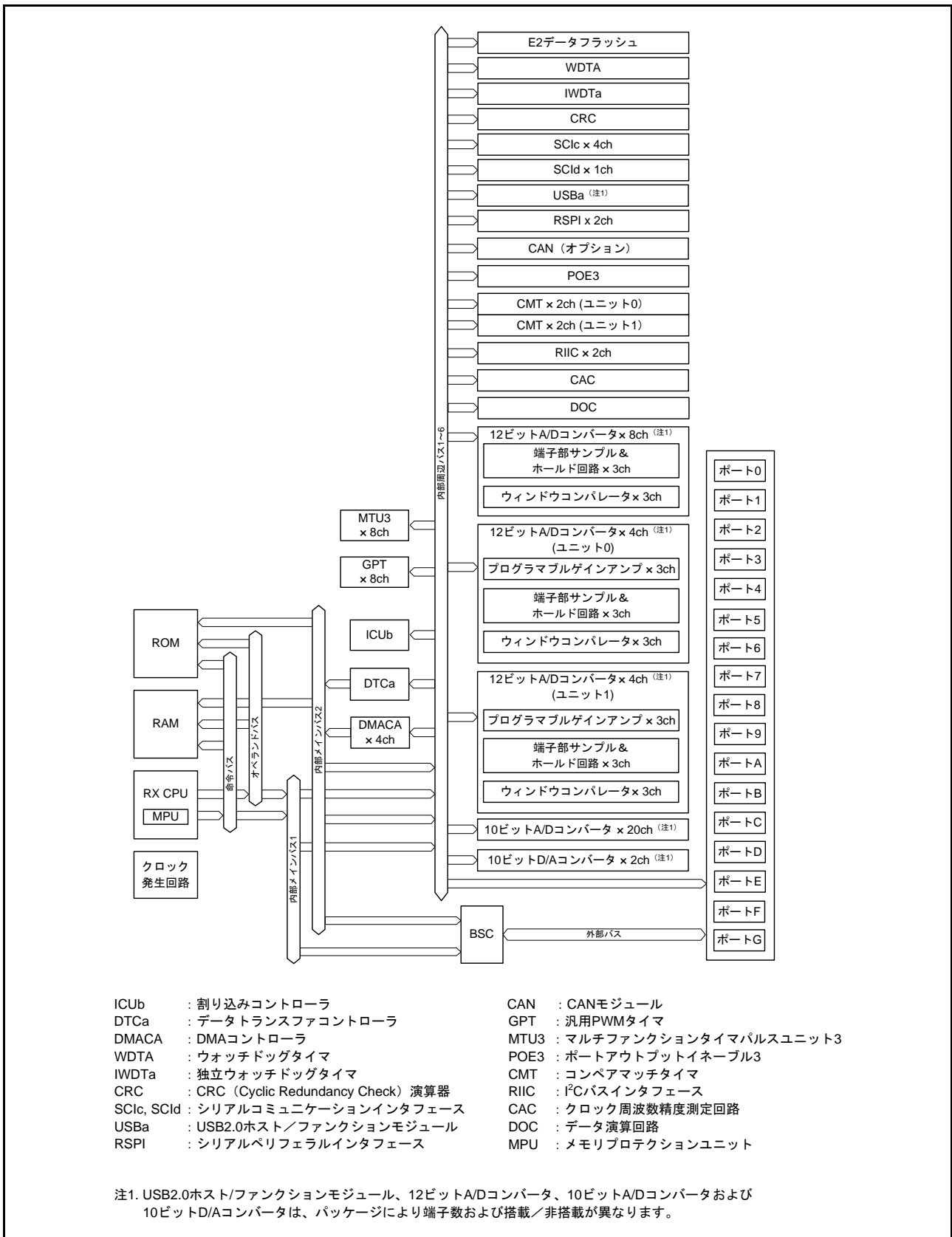


図 1.2 ブロック図

## 1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1 / 5)

分類	端子名	入出力	機能
電源	VCC	—	電源端子。システムの電源に接続してください。0.1μFのコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください
	VCL	—	0.1μFのコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	—	グランド端子。システムの電源（0V）に接続してください
	PLLVCC	—	電源端子。システムの電源に接続してください
	PLLVSS	—	グランド端子。システムの電源（0V）に接続してください
クロック	XTAL	出力	水晶振動子接続端子。EXTAL端子は外部クロックを入力することもできます
	EXTAL	入力	
	BCLK	出力	外部デバイス用の外部クロック出力端子
クロック周波数精度測定	CACREF	入力	クロック周波数精度測定 トリガ入力端子
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中に変化させないでください
システム制御	RES#	入力	リセット端子。この端子がLowレベルになると、リセット状態となります
	EMLE	入力	オンチップエミュレータイネーブル端子。オンチップエミュレータを使用する場合は、Highレベルにしてください。オンチップエミュレータを使用しない場合は、Lowレベルにしてください
オンチップエミュレータ	FINEC	入力	FINEインタフェース用クロック端子
	FINED	入出力	FINEインタフェース端子
	TRST#	入力	オンチップエミュレータ用端子。EMLE端子をHighレベルにするとオンチップエミュレータ専用端子になります
	TMS	入力	
	TDI	入力	
	TCK	入力	
	TDO	出力	
	TRCLK	出力	トレースデータと同期をとるためのクロックを出力します
	TRSYNC	出力	TRDATA0～TRDATA3端子からの出力が有効データであることを示します
TRDATA0～TRDATA3	出力	トレース情報を出力します	
アドレスバス	A0～A19	出力	アドレス出力端子
データバス	D0～D15	入出力	双方向データバス
マルチプレクスバス	A0/D0～A15/D15	入出力	アドレス/データマルチプレクスバス

表 1.4 端子機能一覧 (2 / 5)

分類	端子名	入出力	機能
バス制御	RD#	出力	外部バスインタフェース空間をリード中であることを示すストロープ信号
	WR#	出力	1ライトストロープモード時、外部バスインタフェース空間をライト中であることを示すストロープ信号
	WR0#～WR1#	出力	バイトストロープモード時、外部バスインタフェース空間をライト中で、データバス (D7～D0、D15～D8) のいずれかが有効であることを示すストロープ信号
	BC0#～BC1#	出力	1ライトストロープモード時、外部バスインタフェース空間をアクセス中で、データバス (D7～D0、D15～D8) のいずれかが有効であることを示すストロープ信号
	ALE	出力	アドレスデータマルチプレクスバス選択時のアドレスラッチ信号
	WAIT#	入力	外部空間をアクセスするときのウェイト要求信号
	CS0#～CS3#	出力	CS領域選択信号
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQ0～IRQ7	入力	割り込み要求端子
マルチファンクション タイマパルスユニット3	MTIOC0A、MTIOC0B MTIOC0C、MTIOC0D	入出力	TGRA0～TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A、MTIOC1B	入出力	TGRA1、TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A、MTIOC2B	入出力	TGRA2、TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A、MTIOC3B MTIOC3C、MTIOC3D	入出力	TGRA3～TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A、MTIOC4B MTIOC4C、MTIOC4D	入出力	TGRA4～TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIC5U、MTIC5V MTIC5W	入力	TGRU5、TGRV5、TGRW5のインプットキャプチャ入力/デッドタイム補償機能の入力端子
	MTIOC6A、MTIOC6B MTIOC6C、MTIOC6D	入出力	TGRA6～TGRD6のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC7A、MTIOC7B MTIOC7C、MTIOC7D	入出力	TGRA7～TGRD7のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTCLKA、MTCLKB MTCLKC、MTCLKD	入力	外部クロックを入力
ポートアウトプット イネーブル3	POE0#、POE4# POE8#、POE10# POE11#、POE12#	入力	MTU3およびGPT用の端子をハイインピーダンス状態にする要求信号を入力



表 1.4 端子機能一覧 (3 / 5)

分類	端子名	入出力	機能
汎用PWMタイマ	GTIOC0A、GTIOC0B	入出力	GPT0.GTGRA、GPT0.GTGRBのインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子
	GTIOC1A、GTIOC1B	入出力	GPT1.GTGRA、GPT1.GTGRBのインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子
	GTIOC2A、GTIOC2B	入出力	GPT2.GTGRA、GPT2.GTGRBのインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子
	GTIOC3A、GTIOC3B	入出力	GPT3.GTGRA、GPT3.GTGRBのインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子
	GTETR0	入力	GPT0～GPT3用の外部 トリガ入力端子
	GTIOC4A、GTIOC4B	入出力	GPT4.GTGRA、GPT4.GTGRBのインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子
	GTIOC5A、GTIOC5B	入出力	GPT5.GTGRA、GPT5.GTGRBのインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子
	GTIOC6A、GTIOC6B	入出力	GPT6.GTGRA、GPT6.GTGRBのインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子
	GTIOC7A、GTIOC7B	入出力	GPT7.GTGRA、GPT7.GTGRBのインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子
	GTETR1	入力	GPT4～GPT7用の外部 トリガ入力端子
シリアル コミュニケーション インタフェース (SC1c)	• 調歩同期式モード/クロック同期式モード		
	SCK0、SCK1、SCK2、SCK3	入出力	クロック入出力端子
	RXD0、RXD1、RXD2、RXD3	入力	受信データ入力端子
	TXD0、TXD1、TXD2、TXD3	出力	送信データ出力端子
	CTS0#、CTS1#、CTS2#、CTS3#	入力	送受信開始制御用入力端子
	RTS0#、RTS1#、RTS2#、RTS3#	出力	送受信開始制御用出力端子
	• 簡易I <sup>2</sup> Cモード		
	SSCL0、SSCL1、SSCL2 SSCL3	入出力	I <sup>2</sup> Cクロック入出力端子
	SSDA0、SSDA1、SSDA2 SSDA3	入出力	I <sup>2</sup> Cデータ入出力端子
	• 簡易SPIモード		
	SCK0、SCK1、SCK2、SCK3	入出力	クロック入出力端子
	SMISO0、SMISO1、 SMISO2、SMISO3	入出力	スレーブ送出データ入出力端子
	SMOSI0、SMOSI1 SMOSI2、SMOSI3	入出力	マスタ送出データ入出力端子
	SS0#、SS1#、SS2# SS3#	入力	チップセレクト入力端子

表 1.4 端子機能一覧 (4 / 5)

分類	端子名	入出力	機能
シリアル コミュニケーション インタフェース (SCId)	• 調歩同期式モード/クロック同期式モード		
	SCK12	入出力	クロック入出力端子
	RXD12	入力	受信データ入力端子
	TXD12	出力	送信データ出力端子
	CTS12#	入力	送受信開始制御入力端子
	RTS12#	出力	送受信開始制御出力端子
	• 簡易I <sup>2</sup> Cモード		
	SSCL12	入出力	I <sup>2</sup> Cクロック入出力端子
	SSDA12	入出力	I <sup>2</sup> Cデータ入出力端子
	• 簡易SPIモード		
	SCK12	入出力	クロック入出力端子
	SMISO12	入出力	スレーブ送出データ入出力端子
	SMOSI12	入出力	マスタ送出データ入出力端子
	SS12#	入力	チップセレクト入力端子
	• 拡張シリアルモード		
	RDX12	入力	受信データ入力端子
TXDX12	出力	送信データ出力端子	
SIOX12	入出力	送受信データ入出力端子	
I <sup>2</sup> Cバスインタフェース	SCL、SCL0、SCL1	入出力	クロック入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
	SDA、SDA0、SDA1	入出力	データ入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
USB2.0ホスト/ファンク ションモジュール	VCC_USB	入力	USB用電源端子
	VSS_USB	入力	USB用グラウンド端子
	USB0_DP	入出力	USB内蔵トランシーバー D+ 入出力端子
	USB0_DM	入出力	USB内蔵トランシーバー D- 入出力端子
	USB0_EXICEN	出力	OTGチップのローパワー制御信号
	USB0_VBUSEN	出力	OTGチップへのVBUS (5V) の供給許可信号
	USB0_ID	入力	OTG動作時miniABコネクタのID入力端子
	USB0_DPRPD	出力	ホスト動作時のD+信号のプルダウン制御端子
	USB0_DRPD	出力	ホスト動作時のD-信号プルダウン制御端子
	USB0_DPUPE	出力	ファンクション動作時のD+信号のプルアップ制御端子
	USB0_VBUS	入力	USBケーブル接続モニタ端子
	USB0_OVRCURA、 USB0_OVRCURB	入力	外部オーバーカレント検出端子
CANモジュール	CRX1	入力	入力端子
	CTX1	出力	出力端子
シリアルペリフェラル インタフェース	RSPCKA、RSPCKB	入出力	クロック入出力端子
	MOSIA、MOSIB	入出力	マスタ送出データ入出力端子
	MISOA、MISOB	入出力	スレーブ送出データ入出力端子
	SSLA0、SSLB0	入出力	スレーブセレクト入出力端子
	SSLA1～SSLA3 SSLB1～SSLB3	出力	スレーブセレクト出力端子

表 1.4 端子機能一覧 (5 / 5)

分類	端子名	入出力	機能
12ビットA/Dコンバータ	AN000～AN007 AN100～AN103	入力	A/Dコンバータのアナログ入力端子
	ADTRG0#, ADTRG1#	入力	A/D変換開始のための外部トリガ入力端子
	CVREFH	入力	コンパレータハイレベル基準電圧入力端子
	CVREFL	入力	コンパレータローレベル基準電圧入力端子
10ビットA/D変換器	AN0～AN19	入力	10ビットA/D変換器のアナログ入力端子
	ADTRG#	入力	A/D変換開始のための外部トリガ入力端子
10ビットD/A変換器	DA0, DA1	出力	10ビットD/A変換器のアナログ出力端子
アナログ電源	AVCC0	—	12ビットA/Dコンバータのアナログ電源端子。12ビットA/Dコンバータを使用しない場合は、VCCに接続してください
	AVSS0	—	12ビットA/Dコンバータのアナロググランド端子。12ビットA/Dコンバータを使用しない場合は、VSSに接続してください
	VREFH0	—	12ビットA/Dコンバータの基準電源端子。12ビットA/Dコンバータを使用しない場合は、VCCに接続してください
	VREFL0	—	12ビットA/Dコンバータの基準グランド端子。12ビットA/Dコンバータを使用しない場合は、VSSに接続してください
	AVCC	—	10ビットA/D変換器、及び10ビットD/A変換器のアナログ電源端子です。A/D変換器、およびD/A変換器を使用しない場合は、システムの電源に接続してください。
	AVSS	—	10ビットA/D変換器、および10ビットD/A変換器のグランド端子です。システムの電源 (0V) に接続してください。
	VREF	—	10ビットA/D変換器、および10ビットD/A変換器の基準電源端子です。A/D変換器、およびD/A変換器を使用しない場合は、システムの電源に接続してください。
I/Oポート	P00～P05	入出力	6ビットの入出力端子
	P10～P14	入出力	5ビットの入出力端子
	P20～P26	入出力	7ビットの入出力端子
	P30～P35	入出力	6ビットの入出力端子
	P40～P47	入力	8ビットの入力端子
	P50～P57	入力	8ビットの入力端子
	P60～P65	入力	6ビットの入力端子
	P70～P76	入出力	7ビットの入出力端子
	P80～P82	入出力	3ビットの入出力端子
	P90～P96	入出力	7ビットの入出力端子
	PA0～PA6	入出力	7ビットの入出力端子
	PB0～PB7	入出力	8ビットの入出力端子
	PC0～PC5	入力	6ビットの入力端子
	PD0～PD7	入出力	8ビットの入出力端子
	PE0～PE5	入出力	6ビットの入出力端子 (PE2は入力端子)
	PF0～PF4	入出力	5ビットの入出力端子
	PG0～PG6	入出力	7ビットの入出力端子

### 1.5 ピン配置図

図 1.3 ~ 図 1.8 にピン配置図を示します。また、表 1.5 ~ 表 1.10 に機能別端子一覧を示します。

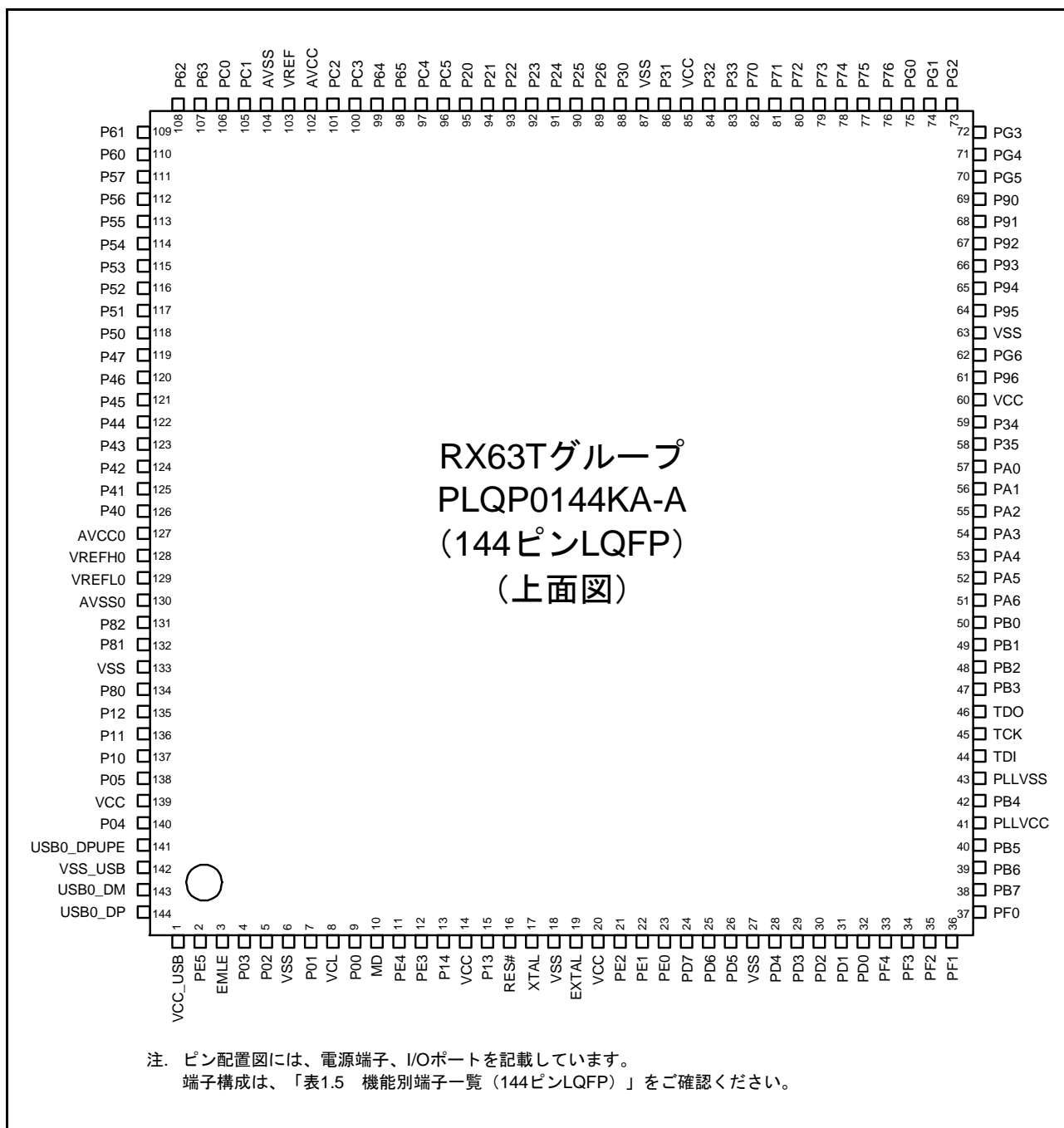


図 1.3 ピン配置図 (144 ピン LQFP)

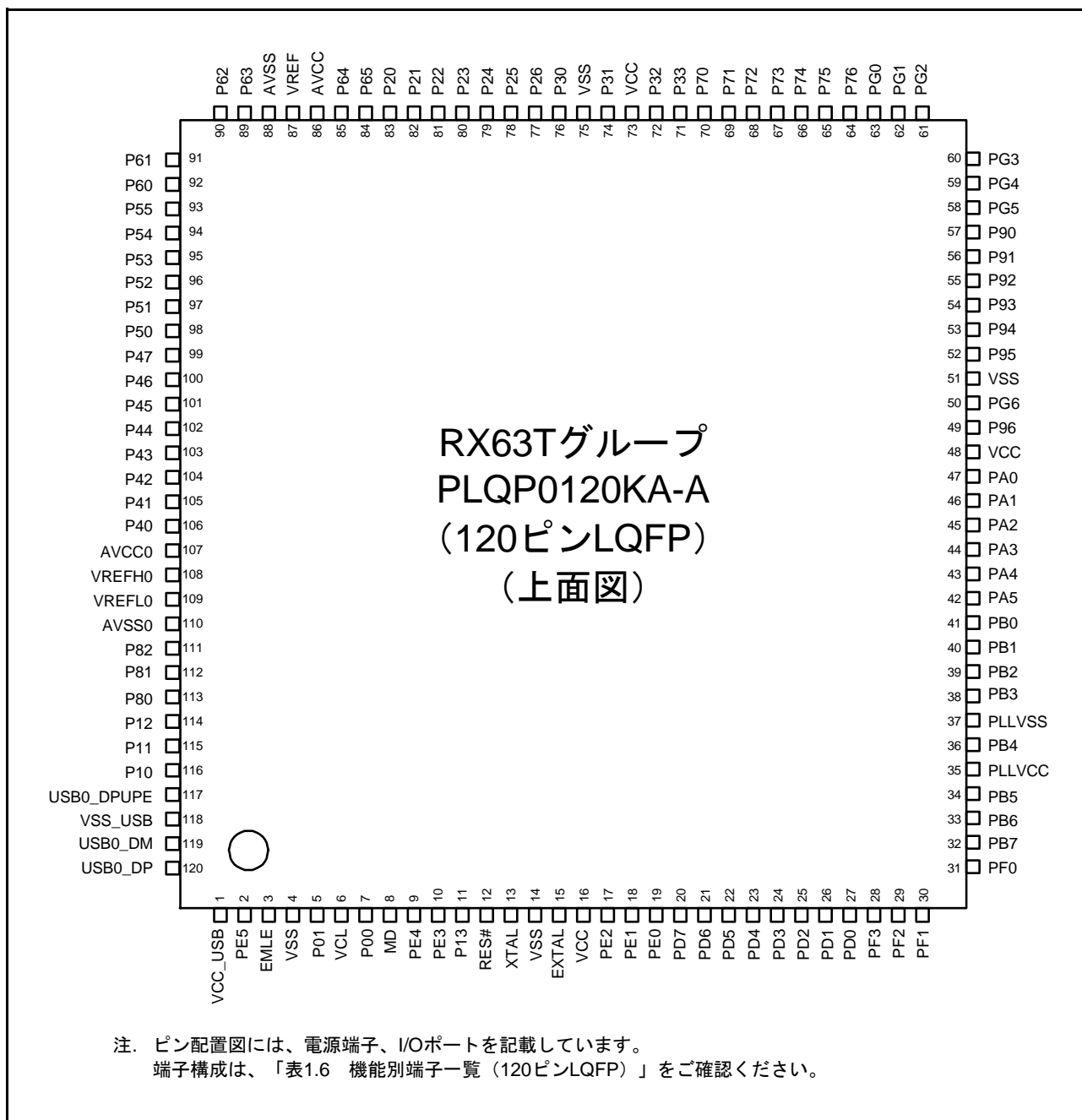


図 1.4 ピン配置図 (120 ピン LQFP)

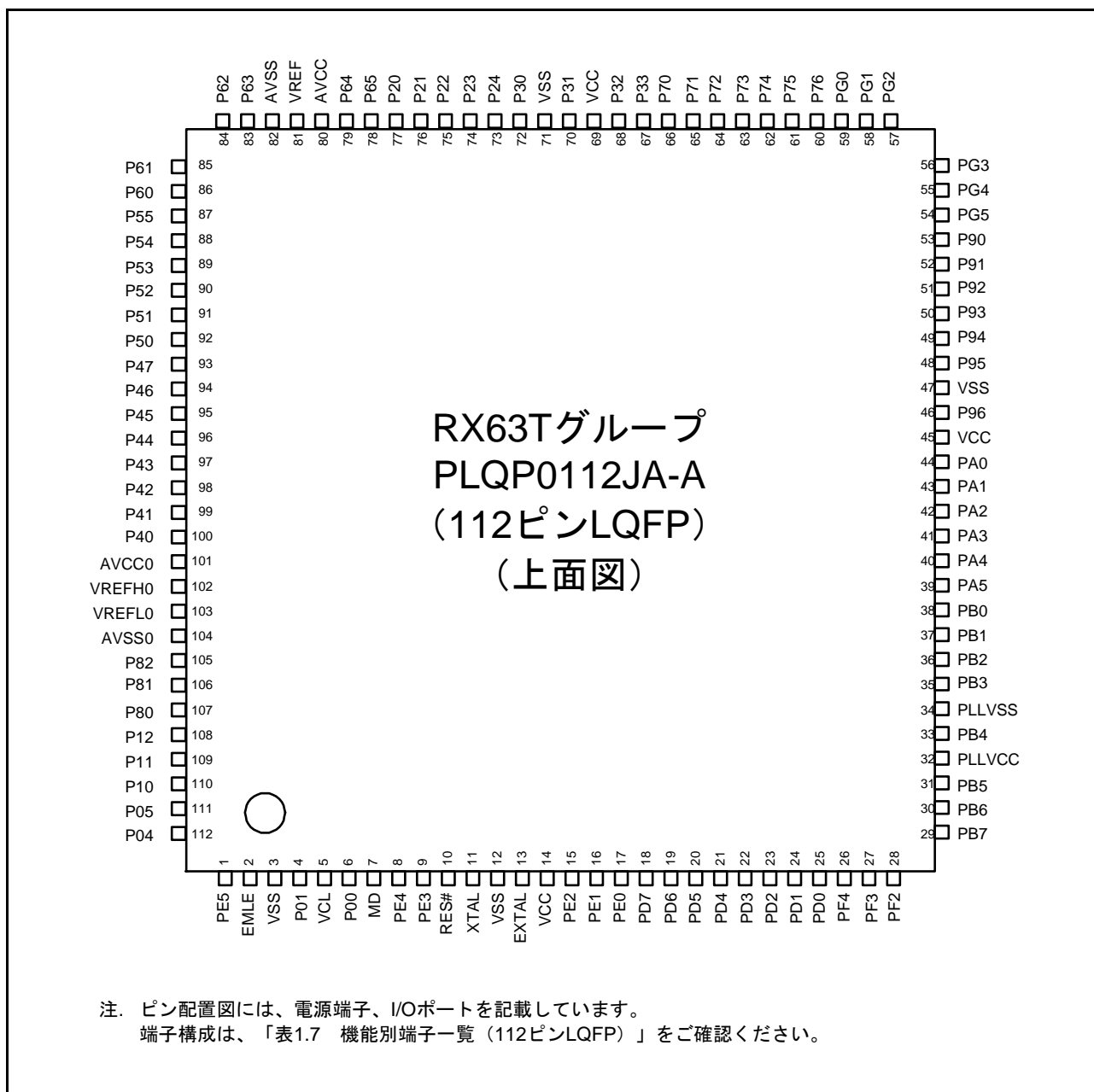


図 1.5 ピン配置図 (112 ピン LQFP)

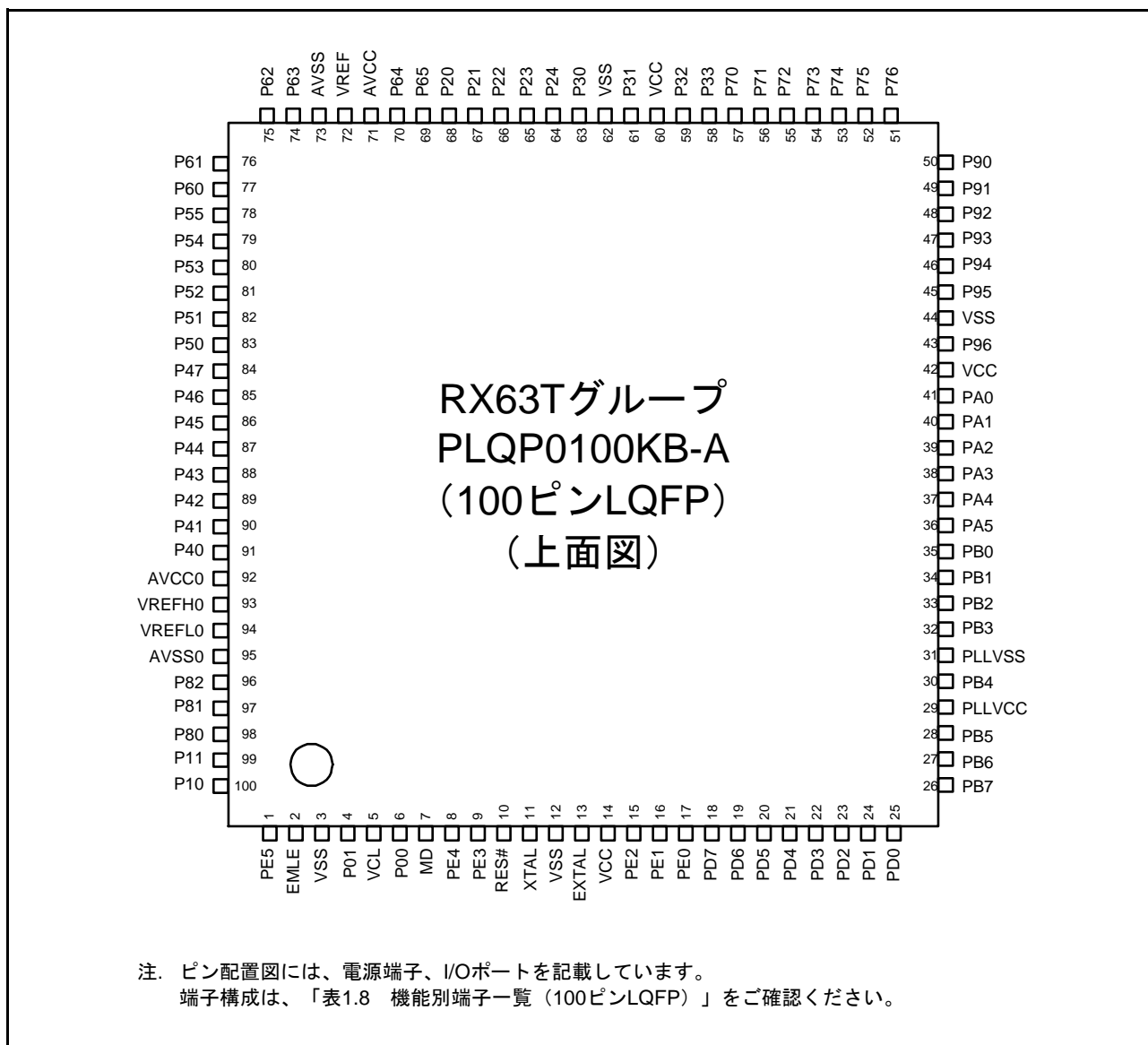


図 1.6 ピン配置図 (100 ピン LQFP)

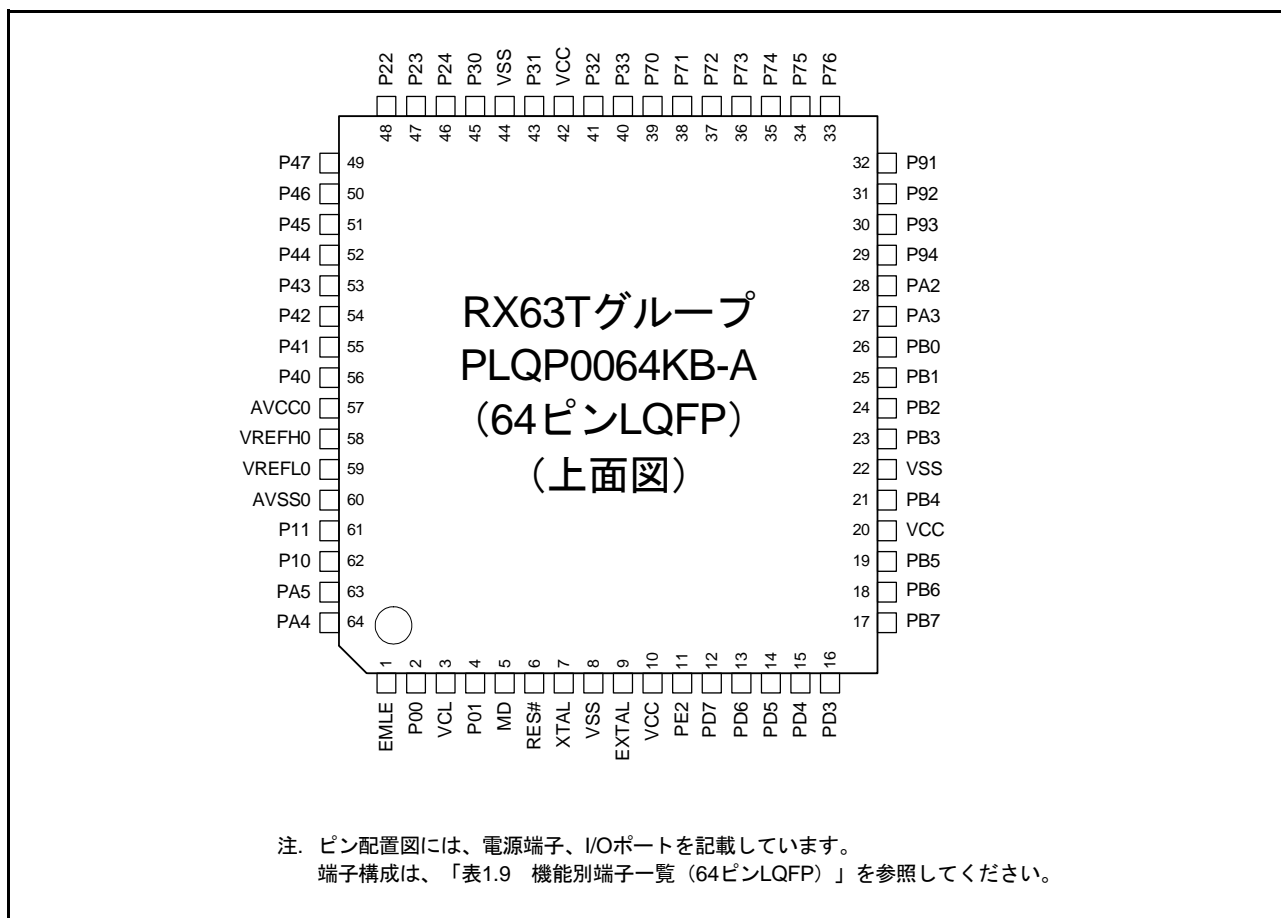


図 1.7 ピン配置図 (64 ピン LQFP)



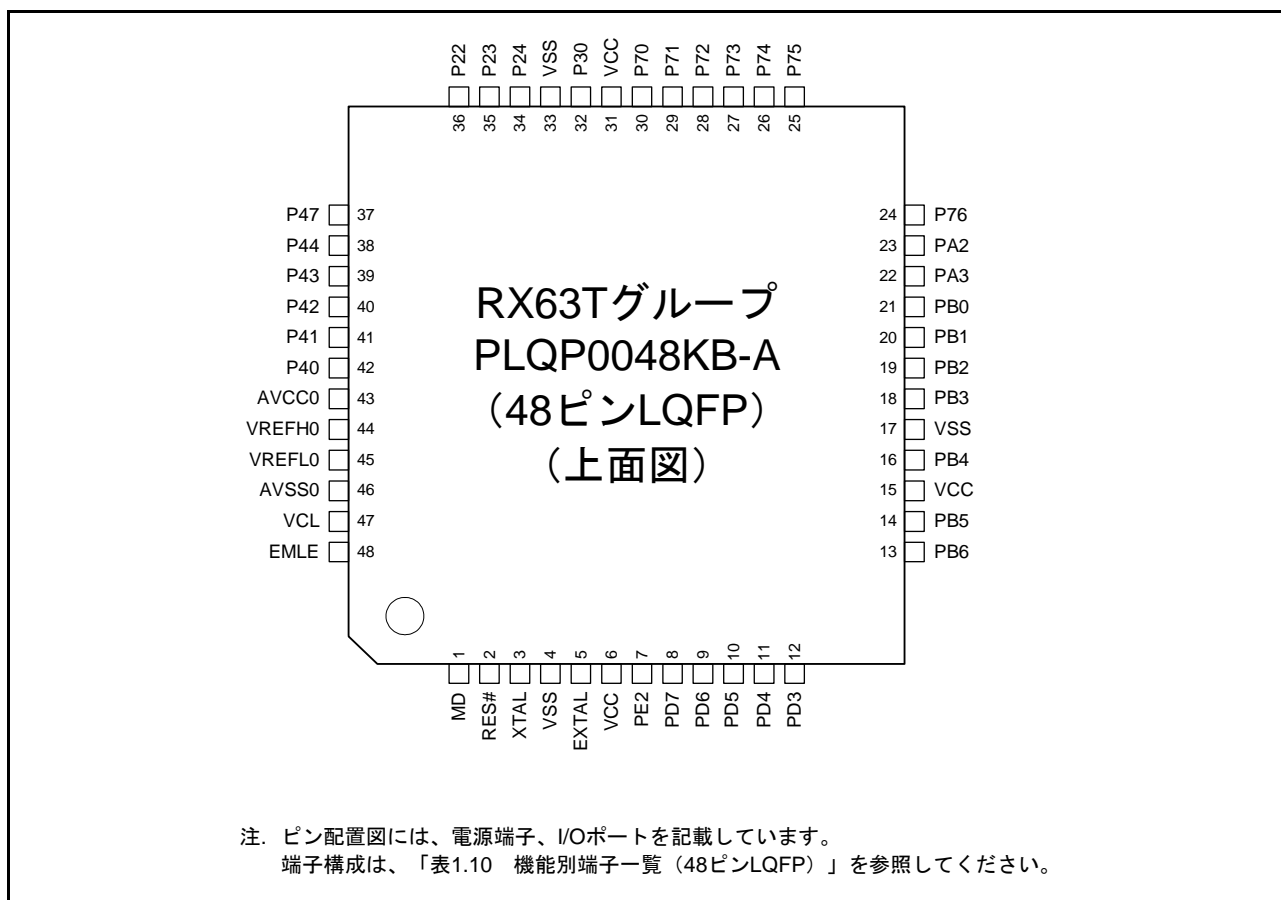


図 1.8 ピン配置図 (48 ピン LQFP)

表 1.5 機能別端子一覧 (144ピンLQFP) (1/5)

ピン番号 144ピン LQFP	電源 クロック システム 制御	I/Oポート	バス	タイマ (MTU3、GPT、 POE3、CAC)	通信 (SCIc、SCId、RSPI、 RIIC、CAN、USB)	割り込み	S12ADB、 AD、DA
1	VCC_USB						
2		PE5	BCLK		USB0_VBUS	IRQ0	
3	EMLE						
4	TRSYNC	P03			RXD2/SMISO2/SSCL2	IRQ7	
5	TRDATA3	P02			TXD2/SMOSI2/SSDA2		
6	VSS						
7		P01	RD#		CTS0#/RTS0#/SS0#/ USB0_DRPD		
8	VCL						
9		P00	CS1#	CACREF			
10	MD/FINED						
11		PE4	A10	POE10#/ MTCLKC		IRQ1	
12		PE3	A11	POE11#/ MTCLKD		IRQ2-DS	
13	TRDATA2	P14			SCK2		
14	VCC						
15		P13			CTS2#/RTS2#/SS2#/ USB0_VBUSEN		
16	RES#						
17	XTAL						
18	VSS						
19	EXTAL						
20	VCC						
21		PE2		POE10#		NMI	
22		PE1	WR0#/WR#		CTS12#/RTS12#/SS12#/ SSLA3/SSLB3/ USB0_OVRCURA		
23		PE0	WR1#/ BC1#/WAIT#		SSLA2/SSLB2/CRX1/ USB0_OVRCURB	IRQ7	
24		PD7		GTIOC0A	CTS0#/RTS0#/SS0#/ SSLA1/SSLB1/CTX1		
25		PD6		GTIOC0B	SSLA0/SSLB0		
26		PD5		GTIOC1A	RXD1/SMISO1/SSCL1	IRQ6	
27	VSS						
28		PD4		GTIOC1B	SCK1		
29		PD3		GTIOC2A	TXD1/SMOSI1/SSDA1		
30		PD2	CS2#	GTIOC2B	MOSIA/MOSIB/USB0_ID		
31		PD1	CS0#	GTIOC3A	MISOA/MISOB/ USB0_EXICEN		
32		PD0	A12	GTIOC3B	RSPCKA/RSPCKB		
33		PF4	CS3#				
34		PF3			TXD1/SMOSI1/SSDA1		
35		PF2	CS1#		RXD1/SMISO1/SSCL1	IRQ5	
36	TRST#	PF1					
37	TMS	PF0					

表 1.5 機能別端子一覧 (144ピンLQFP) (2 / 5)

ピン番号 144ピン LQFP	電源 クロック システム 制御	I/Oポート	バス	タイマ (MTU3、GPT、 POE3、CAC)	通信 (SC1c、SC1d、RSPI、 RIIC、CAN、USB)	割り込み	S12ADB、 AD、DA
38		PB7	A19		SCK12		
39		PB6	A18		RXD12/SMISO12/ SSCL12/RXDX12/CRX1	IRQ2	
40		PB5	A17		TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12/ CTX1		
41	PLLVCC						
42		PB4	A16	POE8#/ GTETRG0		IRQ3-DS	
43	PLLVSS						
44	TDI				RXD1 (注1)		
45	TCK/FINEC						
46	TDO				TXD1 (注1)		
47		PB3	A15	MTIOC0A/ CACREF	SCK0		
48		PB2		MTIOC0B	TXD0/SMOSI0/SSDA0/ SDA0		
49		PB1		MTIOC0C	RXD0/SMISO0/SSCL0/ SCL0	IRQ4	
50		PB0	A14	MTIOC0D	MOSIA/MOSIB		
51	TRDATA1	PA6	CS3#		CTS3#/RTS3#/SS3#		
52		PA5		MTIOC1A	RXD0/SMISO0/SSCL0/ MISOA/MISOB		ADTRG1#
53		PA4		MTIOC1B	TXD0/SMOSI0/SSDA0/ RSPCKA/RSPCKB		ADTRG0#
54		PA3		MTIOC2A	SCK0/SSLA0/SSLB0		
55		PA2		MTIOC2B	RXD2/SMISO2/SSCL2/ SSLA1/SSLB1		
56		PA1		MTIOC6A	TXD2/SMOSI2/SSDA2/ SSLA2/SSLB2		
57		PA0		MTIOC6C	SCK2/SSLA3/SSLB3		
58	TRDATA0	P35			TXD3/SMOSI3/SSDA3		
59	TRCLK	P34		GTETRG1	RXD3/SMISO3/SSCL3	IRQ3	
60	VCC						
61		P96	A13	POE4#	RXD1/SMISO1/SSCL1	IRQ4-DS	
62		PG6	CS2#		SCK1		
63	VSS						
64		P95		MTIOC6B/ GTIOC4A	TXD1/SMOSI1/SSDA1		
65		P94		MTIOC7A/ GTIOC5A	CTS1#/RTS1#/SS1#		
66		P93		MTIOC7B/ GTIOC6A	CTS2#/RTS2#/SS2#		
67		P92		MTIOC6D/ GTIOC4B			
68		P91		MTIOC7C/ GTIOC5B			

表 1.5 機能別端子一覧 (144ピンLQFP) (3 / 5)

ピン 番号 144ピン LQFP	電源 クロック システム 制御	I/Oポート	バス	タイマ (MTU3、GPT、 POE3、CAC)	通信 (SC1c、SC1d、RSPI、 RIIC、CAN、USB)	割り込み	S12ADB、 AD、DA
69		P90		MTIOC7D/ GTIOC6B			
70		PG5		POE12#	SCK3		ADTRG#
71		PG4		GTIOC6B	RXD3/SMISO3/SSCL3	IRQ6	
72		PG3		GTIOC6A	TXD3/SMOSI3/SSDA3		
73		PG2			SCK2	IRQ2	
74		PG1		GTIOC7B	RXD2/SMISO2/SSCL2	IRQ1	
75		PG0		GTIOC7A	TXD2/SMOSI2/SSDA2	IRQ0	
76		P76	D0/[A0/D0]	MTIOC4D/ GTIOC2B			
77		P75	D1/[A1/D1]	MTIOC4C/ GTIOC1B			
78		P74	D2/[A2/D2]	MTIOC3D/ GTIOC0B			
79		P73	D3/[A3/D3]	MTIOC4B/ GTIOC2A			
80		P72	D4/[A4/D4]	MTIOC4A/ GTIOC1A			
81		P71	D5/[A5/D5]	MTIOC3B/ GTIOC0A			
82		P70	D6/[A6/D6]	POE0#	CTS1#/RTS1#/SS1#	IRQ5-DS	
83		P33	D7/[A7/D7]	MTIOC3A/ MTCLKA	SSLA3/SSLB3		
84		P32	D8/[A8/D8]	MTIOC3C/ MTCLKB	SSLA2/SSLB2		
85	VCC						
86		P31	D9/[A9/D9]	MTIOC0A/ MTCLKC	SSLA1/SSLB1		
87	VSS						
88		P30	D10/[A10/ D10]	MTIOC0B/ MTCLKD	SCK0/SSLA0/SSLB0		
89		P26	CS0#		TXD1/SMOSI1/SSDA1/ SDA1		
90		P25	CS1#		SCK1/SCL1		
91		P24	D11/[A11/ D11]		CTS0#/RTS0#/SS0#/ RSPCKA/RSPCKB	IRQ4	
92		P23	D12/[A12/ D12]	CACREF	TXD0/SMOSI0/SSDA0/ MOSIA/MOSIB/CTX1		
93		P22	D13/[A13/ D13]		RXD0/SMISO0/SSCL0/ MISOA/MISOB/CRX1		ADTRG#
94		P21	D14/[A14/ D14]	MTCLKA		IRQ6-DS	ADTRG1#
95		P20	D15/[A15/ D15]	MTCLKB		IRQ7-DS	ADTRG0#
96		PC5					AN19
97		PC4					AN18
98		P65	A0/BC0#				AN5
99		P64	A1				AN4

表 1.5 機能別端子一覧 (144ピンLQFP) (4 / 5)

ピン番号 144ピン LQFP	電源 クロック システム 制御	I/Oポート	バス	タイマ (MTU3、GPT、 POE3、CAC)	通信 (SCIc、SCId、RSPI、 RIIC、CAN、USB)	割り込み	S12ADB、 AD、DA
100		PC3					AN17
101		PC2					AN16
102	AVCC						
103	VREF						
104	AVSS						
105		PC1					AN15
106		PC0					AN14
107		P63	A2				AN3
108		P62	A3				AN2
109		P61	A4				AN1
110		P60	A5				AN0
111		P57					AN13
112		P56					AN12
113		P55					AN11/DA1
114		P54					AN10/DA0
115		P53	A6				AN9
116		P52	A7				AN8
117		P51					AN7
118		P50					AN6
119		P47					AN103/ CVREFH
120		P46					AN102
121		P45					AN101
122		P44					AN100
123		P43					AN003/ CVREFL
124		P42					AN002
125		P41					AN001
126		P40					AN000
127	AVCC0						
128	VREFH0						
129	VREFL0						
130	AVSS0						
131		P82	WAIT#	MTIC5U	SCK12	IRQ3	
132		P81	A8	MTIC5V	TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12		
133	VSS						
134		P80	A9	MTIC5W	RXD12/SMISO12/ SSCL12/RXDX12	IRQ5	
135		P12	CS3#		USB0_DPRPD		
136		P11	ALE	MTCLKC		IRQ1-DS	
137		P10		MTCLKD		IRQ0-DS	
138		P05	CS2#/WAIT#				
139	VCC						

表 1.5 機能別端子一覧 (144ピンLQFP) (5 / 5)

ピン 番号 144ピン LQFP	電源 クロック システム 制御	I/Oポート	バス	タイマ (MTU3、GPT、 POE3、CAC)	通信 (SCIc、SCId、RSPI、 RIIC、CAN、USB)	割り込み	S12ADB、 AD、DA
140		P04					
141					USB0_DPUPE		
142	VSS_USB						
143					USB0_DM		
144					USB0_DP		

注1. ブートモード時のみ、SCI端子として使用できます。

表 1.6 機能別端子一覧 (120ピンLQFP) (1/4)

ピン番号 120ピン LQFP	電源 クロック システム 制御	I/Oポート	バス	タイマ (MTU3、GPT、 POE3、CAC)	通信 (SClC、SClD、RSPI、 RIIC、CAN、USB)	割り込み	S12ADB、 AD、DA
1	VCC_USB						
2		PE5	BCLK		USB0_VBUS	IRQ0	
3	EMLE						
4	VSS						
5		P01	RD#		CTS0#/RTS0#/SS0#/ USB0_DRPD		
6	VCL						
7		P00	CS1#	CACREF			
8	MD/FINED						
9		PE4	A10	POE10#/ MTCLKC		IRQ1	
10		PE3	A11	POE11#/ MTCLKD		IRQ2-DS	
11		P13			CTS2#/RTS2#/SS2#/ USB0_VBUSEN		
12	RES#						
13	XTAL						
14	VSS						
15	EXTAL						
16	VCC						
17		PE2		POE10#		NMI	
18		PE1	WR0#/ WR#		CTS12#/RTS12#/SS12#/ SSLA3/SSLB3/ USB0_OVRCURA		
19		PE0	WR1#/ BC1#/ WAIT#		SSLA2/SSLB2/CRX1/ USB0_OVRCURB	IRQ7	
20	TRST#	PD7		GTIOC0A	CTS0#/RTS0#/SS0#/ SSLA1/SSLB1/CTX1		
21	TMS	PD6		GTIOC0B	SSLA0/SSLB0		
22	TDI	PD5		GTIOC1A	RXD1/SMISO1/SSCL1	IRQ6	
23	TCK/FINEC	PD4		GTIOC1B	SCK1		
24	TDO	PD3		GTIOC2A	TXD1/SMOSI1/SSDA1		
25		PD2	CS2#	GTIOC2B	MOSIA/MOSIB/USB0_ID		
26		PD1	CS0#	GTIOC3A	MISOA/MISOB/ USB0_EXICEN		
27		PD0	A12	GTIOC3B	RSPCKA/RSPCKB		
28		PF3			TXD1/SMOSI1/SSDA1		
29		PF2	CS1#		RXD1/SMISO1/SSCL1	IRQ5	
30		PF1					
31		PF0					
32		PB7	A19		SCK12		
33		PB6	A18		RXD12/SMISO12/SSCL12/ RXDX12/CRX1	IRQ2	
34		PB5	A17		TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/CTX1		
35	PLLCC						

表 1.6 機能別端子一覧 (120ピンLQFP) (2/4)

ピン 番号 120ピン LQFP	電源 クロック システム 制御	I/Oポート	バス	タイマ (MTU3、GPT、 POE3、CAC)	通信 (SCLc、SCLd、RSPI、 RIIC、CAN、USB)	割り込み	S12ADB、 AD、DA
36		PB4	A16	POE8#/ GTETRGO		IRQ3-DS	
37	PLLVS						
38		PB3	A15	MTIOC0A/ CACREF	SCK0		
39		PB2		MTIOC0B	TXD0/SMOSI0/SSDA0/ SDA0		
40		PB1		MTIOC0C	RXD0/SMISO0/SSCL0/ SCL0	IRQ4	
41		PB0	A14	MTIOC0D	MOSIA/MOSIB		
42		PA5		MTIOC1A	RXD0/SMISO0/SSCL0/ MISOA/MISOB		ADTRG1#
43		PA4		MTIOC1B	TXD0/SMOSI0/SSDA0/ RSPCKA/RSPCKB		ADTRG0#
44		PA3		MTIOC2A	SCK0/SSLA0/SSLB0		
45		PA2		MTIOC2B	RXD2/SMISO2/SSCL2/ SSLA1/SSLB1		
46		PA1		MTIOC6A	TXD2/SMOSI2/SSDA2/ SSLA2/SSLB2		
47		PA0		MTIOC6C	SCK2/SSLA3/SSLB3		
48	VCC						
49		P96	A13	POE4#	RXD1/SMISO1/SSCL1	IRQ4-DS	
50		PG6	CS2#		SCK1		
51	VSS						
52		P95		MTIOC6B/ GTIOC4A	TXD1/SMOSI1/SSDA1		
53		P94		MTIOC7A/ GTIOC5A	CTS1#/RTS1#/SS1#		
54		P93		MTIOC7B/ GTIOC6A	CTS2#/RTS2#/SS2#		
55		P92		MTIOC6D/ GTIOC4B			
56		P91		MTIOC7C/ GTIOC5B			
57		P90		MTIOC7D/ GTIOC6B			
58	TRCLK	PG5		POE12#	SCK3		ADTRG#
59	TRDATA3	PG4		GTIOC6B	RXD3/SMISO3/SSCL3	IRQ6	
60	TRDATA2	PG3		GTIOC6A	TXD3/SMOSI3/SSDA3		
61	TRDATA1	PG2			SCK2	IRQ2	
62	TRDATA0	PG1		GTIOC7B	RXD2/SMISO2/SSCL2	IRQ1	
63	TRSYNC	PG0		GTIOC7A	TXD2/SMOSI2/SSDA2	IRQ0	
64		P76	D0/[A0/D0]	MTIOC4D/ GTIOC2B			
65		P75	D1/[A1/D1]	MTIOC4C/ GTIOC1B			
66		P74	D2/[A2/D2]	MTIOC3D/ GTIOC0B			



表 1.6 機能別端子一覧 (120ピンLQFP) (3 / 4)

ピン 番号 120ピン LQFP	電源 クロック システム 制御	I/Oポート	バス	タイマ (MTU3、GPT、 POE3、CAC)	通信 (SC1c、SC1d、RSPI、 RIIC、CAN、USB)	割り込み	S12ADB、 AD、DA
67		P73	D3/[A3/D3]	MTIOC4B/ GTIOC2A			
68		P72	D4/[A4/D4]	MTIOC4A/ GTIOC1A			
69		P71	D5/[A5/D5]	MTIOC3B/ GTIOC0A			
70		P70	D6/[A6/D6]	POE0#	CTS1#/RTS1#/SS1#	IRQ5-DS	
71		P33	D7/[A7/D7]	MTIOC3A/ MTCLKA	SSLA3/SSLB3		
72		P32	D8/[A8/D8]	MTIOC3C/ MTCLKB	SSLA2/SSLB2		
73	VCC						
74		P31	D9/[A9/D9]	MTIOC0A/ MTCLKC	SSLA1/SSLB1		
75	VSS						
76		P30	D10/[A10/ D10]	MTIOC0B/ MTCLKD	SCK0/SSLA0/SSLB0		
77		P26	CS0#		TXD1/SMOSI1/SSDA1/ SDA1		
78		P25	CS1#		SCK1/SCL1		
79		P24	D11/[A11/ D11]		CTS0#/RTS0#/SS0#/ RSPCKA/RSPCKB	IRQ4	
80		P23	D12/[A12/ D12]	CACREF	TXD0/SMOSI0/SSDA0/ MOSIA/MOSIB/CTX1		
81		P22	D13/[A13/ D13]		RXD0/SMISO0/SSCL0/ MISOA/MISOB/CRX1		ADTRG#
82		P21	D14/[A14/ D14]	MTCLKA		IRQ6-DS	ADTRG1#
83		P20	D15/[A15/ D15]	MTCLKB		IRQ7-DS	ADTRG0#
84		P65	A0/BC0#				AN5
85		P64	A1				AN4
86	AVCC						
87	VREF						
88	AVSS						
89		P63	A2				AN3
90		P62	A3				AN2
91		P61	A4				AN1
92		P60	A5				AN0
93		P55					AN11/DA1
94		P54					AN10/DA0
95		P53	A6				AN9
96		P52	A7				AN8
97		P51					AN7
98		P50					AN6
99		P47					AN103/ CVREFH

表 1.6 機能別端子一覧 (120ピンLQFP) (4 / 4)

ピン 番号 120ピン LQFP	電源 クロック システム 制御	I/Oポート	バス	タイマ (MTU3、GPT、 POE3、CAC)	通信 (SC1c、SC1d、RSPI、 RIIC、CAN、USB)	割り込み	S12ADB、 AD、DA
100		P46					AN102
101		P45					AN101
102		P44					AN100
103		P43					AN003/ CVREFL
104		P42					AN002
105		P41					AN001
106		P40					AN000
107	AVCC0						
108	VREFH0						
109	VREFL0						
110	AVSS0						
111		P82	WAIT#	MTIC5U	SCK12	IRQ3	
112		P81	A8	MTIC5V	TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12		
113		P80	A9	MTIC5W	RXD12/SMISO12/SSCL12/ RXDX12	IRQ5	
114		P12	CS3#		USB0_DPRPD		
115		P11	ALE	MTCLKC		IRQ1-DS	
116		P10		MTCLKD		IRQ0-DS	
117					USB0_DPUPE		
118	VSS_USB						
119					USB0_DM		
120					USB0_DP		

表 1.7 機能別端子一覧 (112ピンLQFP) (1 / 4)

ピン 番号 112ピン LQFP	電源 クロック システム 制御	I/Oポート	バス	タイマ (MTU3、GPT、 POE3、CAC)	通信 (SCIc、SCId、RSPI、 RIIC、CAN)	割り込み	S12ADB、 AD、DA
1		PE5	BCLK			IRQ0	
2	EMLE						
3	VSS						
4		P01	RD#		CTS0#/RTS0#/SS0#		
5	VCL						
6		P00	CS1#	CACREF			
7	MD/FINED						
8		PE4	A10	POE10#/ MTCLKC		IRQ1	
9		PE3	A11	POE11#/ MTCLKD		IRQ2-DS	
10	RES#						
11	XTAL						
12	VSS						
13	EXTAL						
14	VCC						
15		PE2		POE10#		NMI	
16		PE1	WR0#/ WR#		CTS12#/RTS12#/SS12#/SSLA3/ SSLB3		
17		PE0	WR1#/ BC1#/ WAIT#		SSLA2/SSLB2/CRX1	IRQ7	
18		PD7		GTIOC0A	CTS0#/RTS0#/SS0#/SSLA1/ SSLB1/CTX1		
19		PD6		GTIOC0B	SSLA0/SSLB0		
20		PD5		GTIOC1A	RXD1/SMISO1/SSCL1	IRQ6	
21		PD4		GTIOC1B	SCK1		
22		PD3		GTIOC2A	TXD1/SMOSI1/SSDA1		
23		PD2	CS2#	GTIOC2B	MOSIA/MOSIB		
24		PD1	CS0#	GTIOC3A	MISOA/MISOB		
25		PD0	A12	GTIOC3B	RSPCKA/RSPCKB		
26	TDI	PF4	CS3#		RXD1 (注1)		
27	TCK/ FINEC	PF3			TXD1/SMOSI1/SSDA1		
28	TDO	PF2	CS1#		RXD1/SMISO1/SSCL1/TXD1 (注1)	IRQ5	
29		PB7	A19		SCK12		
30		PB6	A18		RXD12/SMISO12/SSCL12/ RXDX12/CRX1	IRQ2	
31		PB5	A17		TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/CTX1		
32	PLLVCC						
33		PB4	A16	POE8#/ GTETRG0		IRQ3-DS	
34	PLLVSS						
35		PB3	A15	MTIOC0A/ CACREF	SCK0		

表 1.7 機能別端子一覧 (112ピンLQFP) (2 / 4)

ピン 番号 112ピン LQFP	電源 クロック システム 制御	I/Oポート	バス	タイマ (MTU3、GPT、 POE3、CAC)	通信 (SCIc、SCId、RSPI、 RIIC、CAN)	割り込み	S12ADB、 AD、DA
36		PB2		MTIOC0B	TXD0/SMOSI0/SSDA0/SDA0		
37		PB1		MTIOC0C	RXD0/SMISO0/SSCL0/SCL0	IRQ4	
38		PB0	A14	MTIOC0D	MOSIA/MOSIB		
39		PA5		MTIOC1A	RXD0/SMISO0/SSCL0/ MISOA/MISOB		ADTRG1#
40		PA4		MTIOC1B	TXD0/SMOSI0/SSDA0/ RSPCKA/RSPCKB		ADTRG0#
41		PA3		MTIOC2A	SCK0/SSLA0/SSLB0		
42		PA2		MTIOC2B	RXD2/SMISO2/SSCL2/ SSLA1/SSLB1		
43		PA1		MTIOC6A	TXD2/SMOSI2/SSDA2/ SSLA2/SSLB2		
44		PA0		MTIOC6C	SCK2/SSLA3/SSLB3		
45	VCC						
46		P96	A13	POE4#	RXD1/SMISO1/SSCL1	IRQ4-DS	
47	VSS						
48		P95		MTIOC6B/ GTIOC4A	TXD1/SMOSI1/SSDA1		
49		P94		MTIOC7A/ GTIOC5A	CTS1#/RTS1#/SS1#		
50		P93		MTIOC7B/ GTIOC6A	CTS2#/RTS2#/SS2#		
51		P92		MTIOC6D/ GTIOC4B			
52		P91		MTIOC7C/ GTIOC5B			
53		P90		MTIOC7D/ GTIOC6B			
54	TRCLK	PG5		POE12#	SCK3		ADTRG#
55	TRDATA3	PG4		GTIOC6B	RXD3/SMISO3/SSCL3	IRQ6	
56	TRDATA2	PG3		GTIOC6A	TXD3/SMOSI3/SSDA3		
57	TRDATA1	PG2			SCK2	IRQ2	
58	TRDATA0	PG1		GTIOC7B	RXD2/SMISO2/SSCL2	IRQ1	
59	TRSYNC	PG0		GTIOC7A	TXD2/SMOSI2/SSDA2	IRQ0	
60		P76	D0/[A0/D0]	MTIOC4D/ GTIOC2B			
61		P75	D1/[A1/D1]	MTIOC4C/ GTIOC1B			
62		P74	D2/[A2/D2]	MTIOC3D/ GTIOC0B			
63		P73	D3/[A3/D3]	MTIOC4B/ GTIOC2A			
64		P72	D4/[A4/D4]	MTIOC4A/ GTIOC1A			
65		P71	D5/[A5/D5]	MTIOC3B/ GTIOC0A			
66		P70	D6/[A6/D6]	POE0#	CTS1#/RTS1#/SS1#	IRQ5-DS	

表 1.7 機能別端子一覧 (112ピンLQFP) (3 / 4)

ピン 番号 112ピン LQFP	電源 クロック システム 制御	I/Oポート	バス	タイマ (MTU3、GPT、 POE3、CAC)	通信 (SCIc、SCIc、RSPI、 RIIC、CAN)	割り込み	S12ADB、 AD、DA
67		P33	D7/[A7/D7]	MTIOC3A/ MTCLKA	SSLA3/SSLB3		
68		P32	D8/[A8/D8]	MTIOC3C/ MTCLKB	SSLA2/SSLB2		
69	VCC						
70		P31	D9/[A9/D9]	MTIOC0A/ MTCLKC	SSLA1/SSLB1		
71	VSS						
72		P30	D10/[A10/ D10]	MTIOC0B/ MTCLKD	SCK0/SSLA0/SSLB0		
73		P24	D11/[A11/ D11]		CTS0#/RTS0#/SS0#/RSPCKA/ RSPCKB	IRQ4	
74		P23	D12/[A12/ D12]	CACREF	TXD0/SMOSI0/SSDA0/MOSIA/ MOSIB/CTX1		
75		P22	D13/[A13/ D13]		RXD0/SMISO0/SSCL0/MISOA/ MISOB/CRX1		ADTRG#
76		P21	D14/[A14/ D14]	MTCLKA		IRQ6-DS	ADTRG1#
77		P20	D15/[A15/ D15]	MTCLKB		IRQ7-DS	ADTRG0#
78		P65	A0/BC0#				AN5
79		P64	A1				AN4
80	AVCC						
81	VREF						
82	AVSS						
83		P63	A2				AN3
84		P62	A3				AN2
85		P61	A4				AN1
86		P60	A5				AN0
87		P55					AN11/DA1
88		P54					AN10/DA0
89		P53	A6				AN9
90		P52	A7				AN8
91		P51					AN7
92		P50					AN6
93		P47					AN103/ CVREFH
94		P46					AN102
95		P45					AN101
96		P44					AN100
97		P43					AN003/ CVREFL
98		P42					AN002
99		P41					AN001
100		P40					AN000
101	AVCC0						
102	VREFH0						

表 1.7 機能別端子一覧 (112ピンLQFP) (4 / 4)

ピン 番号 112ピン LQFP	電源 クロック システム 制御	I/Oポート	バス	タイマ (MTU3、GPT、 POE3、CAC)	通信 (SCIc、SCId、RSPI、 RIIC、CAN)	割り込み	S12ADB、 AD、DA
103	VREFL0						
104	AVSS0						
105		P82	WAIT#	MTIC5U	SCK12	IRQ3	
106		P81	A8	MTIC5V	TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12		
107		P80	A9	MTIC5W	RXD12/SMISO12/SSCL12/ RXDX12	IRQ5	
108		P12	CS3#				
109		P11	ALE	MTCLKC		IRQ1-DS	
110		P10		MTCLKD		IRQ0-DS	
111	TRST#	P05	WAIT#/ CS2#				
112	TMS	P04					

注1. ブートモード時のみ、SCI端子として使用できます。

表 1.8 機能別端子一覧 (100ピンLQFP) (1 / 3)

ピン 番号 100ピン LQFP	電源 クロック システム 制御	I/Oポート	バス	タイマ (MTU3、GPT、 POE3、CAC)	通信 (SClC、SClD、RSPI、 RIIC、CAN)	割り込み	S12ADB、 AD、DA
1		PE5	BCLK			IRQ0	
2	EMLE						
3	VSS						
4		P01	RD#		CTS0#/RTS0#/SS0#		
5	VCL						
6		P00	CS1#	CACREF			
7	MD/FINED						
8		PE4	A10	POE10#/ MTCLKC		IRQ1	
9		PE3	A11	POE11#/ MTCLKD		IRQ2-DS	
10	RES#						
11	XTAL						
12	VSS						
13	EXTAL						
14	VCC						
15		PE2		POE10#		NMI	
16		PE1	WR0#/ WR#		CTS12#/RTS12#/SS12#/ SSLA3/SSLB3		
17		PE0	WR1#/ BC1#/ WAIT#		SSLA2/SSLB2/CRX1	IRQ7	
18	TRST#	PD7		GTIOC0A	CTS0#/RTS0#/SS0#/ SSLA1/SSLB1/CTX1		
19	TMS	PD6		GTIOC0B	SSLA0/SSLB0		
20	TDI	PD5		GTIOC1A	RXD1/SMISO1/SSCL1	IRQ6	
21	TCK/FINEC	PD4		GTIOC1B	SCK1		
22	TDO	PD3		GTIOC2A	TXD1/SMOSI1/SSDA1		
23		PD2	CS2#	GTIOC2B	MOSIA/MOSIB		
24		PD1	CS0#	GTIOC3A	MISOA/MISOB		
25		PD0	A12	GTIOC3B	RSPCKA/RSPCKB		
26		PB7	A19		SCK12		
27		PB6	A18		RXD12/SMISO12/SSCL12/ RXDX12/CRX1	IRQ2	
28		PB5	A17		TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/CTX1		
29	PLLVC						
30		PB4	A16	POE8#/ GTETRG0		IRQ3-DS	
31	PLLVS						
32		PB3	A15	MTIOC0A/ CACREF	SCK0		
33		PB2		MTIOC0B	TXD0/SMOSI0/SSDA0/ SDA0		
34		PB1		MTIOC0C	RXD0/SMISO0/SSCL0/ SCL0	IRQ4	
35		PB0	A14	MTIOC0D	MOSIA/MOSIB		

表 1.8 機能別端子一覧 (100ピンLQFP) (2 / 3)

ピン 番号 100ピン LQFP	電源 クロック システム 制御	I/Oポート	バス	タイマ (MTU3、GPT、 POE3、CAC)	通信 (SCIc、SCId、RSPI、 RIIC、CAN)	割り込み	S12ADB、 AD、DA
36		PA5		MTIOC1A	RXD0/SMISO0/SSCL0/ MISOA/MISOB		ADTRG1#
37		PA4		MTIOC1B	TXD0/SMOSI0/SSDA0/ RSPCKA/RSPCKB		ADTRG0#
38		PA3		MTIOC2A	SCK0/SSLA0/SSLB0		
39		PA2		MTIOC2B	RXD2/SMISO2/SSCL2/ SSLA1/SSLB1		
40		PA1		MTIOC6A	TXD2/SMOSI2/SSDA2/ SSLA2/SSLB2		
41		PA0		MTIOC6C	SCK2/SSLA3/SSLB3		
42	VCC						
43		P96	A13	POE4#	RXD1/SMISO1/SSCL1	IRQ4-DS	
44	VSS						
45		P95		MTIOC6B/ GTIOC4A	TXD1/SMOSI1/SSDA1		
46		P94		MTIOC7A/ GTIOC5A	CTS1#/RTS1#/SS1#		
47		P93		MTIOC7B/ GTIOC6A	CTS2#/RTS2#/SS2#		
48		P92		MTIOC6D/ GTIOC4B			
49		P91		MTIOC7C/ GTIOC5B			
50		P90		MTIOC7D/ GTIOC6B			
51		P76	D0/[A0/D0]	MTIOC4D/ GTIOC2B			
52		P75	D1/[A1/D1]	MTIOC4C/ GTIOC1B			
53		P74	D2/[A2/D2]	MTIOC3D/ GTIOC0B			
54		P73	D3/[A3/D3]	MTIOC4B/ GTIOC2A			
55		P72	D4/[A4/D4]	MTIOC4A/ GTIOC1A			
56		P71	D5/[A5/D5]	MTIOC3B/ GTIOC0A			
57		P70	D6/[A6/D6]	POE0#	CTS1#/RTS1#/SS1#	IRQ5-DS	
58		P33	D7/[A7/D7]	MTIOC3A/ MTCLKA	SSLA3/SSLB3		
59		P32	D8/[A8/D8]	MTIOC3C/ MTCLKB	SSLA2/SSLB2		
60	VCC						
61		P31	D9/[A9/D9]	MTIOC0A/ MTCLKC	SSLA1/SSLB1		
62	VSS						
63		P30	D10/[A10/ D10]	MTIOC0B/ MTCLKD	SCK0/SSLA0/SSLB0		
64		P24	D11/[A11/ D11]		CTS0#/RTS0#/SS0#/ RSPCKA/RSPCKB	IRQ4	



表 1.8 機能別端子一覧 (100ピンLQFP) (3 / 3)

ピン 番号 100ピン LQFP	電源 クロック システム 制御	I/Oポート	バス	タイマ (MTU3、GPT、 POE3、CAC)	通信 (SCLc、SCLd、RSPI、 RIIC、CAN)	割り込み	S12ADB、 AD、DA
65		P23	D12/[A12/ D12]	CACREF	TXD0/SMOSI0/SSDA0/ MOSIA/MOSIB/CTX1		
66		P22	D13/[A13/ D13]		RXD0/SMISO0/SSCL0/ MISOA/MISOB/CRX1		ADTRG#
67		P21	D14/[A14/ D14]	MTCLKA		IRQ6-DS	ADTRG1#
68		P20	D15/[A15/ D15]	MTCLKB		IRQ7-DS	ADTRG0#
69		P65	A0/BC0#				AN5
70		P64	A1				AN4
71	AVCC						
72	VREF						
73	AVSS						
74		P63	A2				AN3
75		P62	A3				AN2
76		P61	A4				AN1
77		P60	A5				AN0
78		P55					AN11/DA1
79		P54					AN10/DA0
80		P53	A6				AN9
81		P52	A7				AN8
82		P51					AN7
83		P50					AN6
84		P47					AN103/ CVREFH
85		P46					AN102
86		P45					AN101
87		P44					AN100
88		P43					AN003/ CVREFL
89		P42					AN002
90		P41					AN001
91		P40					AN000
92	AVCC0						
93	VREFH0						
94	VREFL0						
95	AVSS0						
96		P82	WAIT#	MTIC5U	SCK12	IRQ3	
97		P81	A8	MTIC5V	TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12		
98		P80	A9	MTIC5W	RXD12/SMISO12/SSCL12/ RXDX12	IRQ5	
99		P11	ALE	MTCLKC		IRQ1-DS	
100		P10		MTCLKD		IRQ0-DS	

表 1.9 機能別端子一覧 (64ピンLQFP) (1 / 3)

ピン 番号 64ピン LQFP	電源 クロック システム 制御	I/Oポート	POE3	タイマ (MTU3、 GPT、CAC)	通信		割り込み	S12ADB
					(SCIc、SCId)	(RSPI、RIIC)		
1	EMLE							
2		P00		GTIOC3A	CTS0# RTS0# SS0#		IRQ2-DS	
3	VCL							
4		P01		GTIOC3B CACREF			IRQ4-DS	
5	MD FINED							
6	RES#							
7	XTAL							
8	VSS							
9	EXTAL							
10	VCC							
11		PE2	POE10#				NMI	
12	TRST#	PD7		GTIOC0A	CTS0# RTS0# SS0#			
13	TMS	PD6		GTIOC0B				
14	TDI	PD5		GTIOC1A	RXD1 SMISO1 SSCL1			
15	TCK FINEC	PD4		GTIOC1B	SCK1			
16	TDO	PD3		GTIOC2A	TXD1 SMOSI1 SSDA1			
17		PB7		GTIOC2B	SCK12			
18		PB6		GTIOC2B	RXD12 SMISO12 SSCL12 RXDX12			
19		PB5	POE11#		TXD12 SMOSI12 SSDA12 TXDX12 SIOX12		IRQ0	
20	VCC							
21		PB4	POE8#	GTETRQ	CTS12# RTS12# SS12#		IRQ3-DS	
22	VSS							
23		PB3		MTIOC0A MTCLKA CACREF	SCK0			
24		PB2		MTIOC0B MTCLKB	TXD0 SMOSI0 SSDA0	SDA		
25		PB1		MTIOC0C	RXD0 SMISO0 SSCL0	SCL		

表 1.9 機能別端子一覧 (64ピンLQFP) (2 / 3)

ピン 番号 64ピン LQFP	電源 クロック システム 制御	I/Oポート	POE3	タイマ (MTU3、 GPT、CAC)	通信		割り込み	S12ADB
					(SCLc、SCId)	(RSPI、RIIC)		
26		PB0		MTIOC0D		MOSIA		
27		PA3		MTIOC2A		SSLA0		
28		PA2		MTIOC2B		SSLA1		
29		P94			TXD1 SMOSI1 SSDA1			
30		P93			RXD1 SMISO1 SSCL1		IRQ1	
31		P92			SCK1			
32		P91			CTS1# RTS1# SS1#			
33		P76		MTIOC4D GTIOC2B MTIOC7D				
34		P75		MTIOC4C GTIOC1B MTIOC7C				
35		P74		MTIOC3D GTIOC0B MTIOC6D				
36		P73		MTIOC4B GTIOC2A MTIOC7B				
37		P72		MTIOC4A GTIOC1A MTIOC7B				
38		P71		MTIOC3B GTIOC0A MTIOC6B				
39		P70	POE0#		CTS1# RTS1# SS1#		IRQ5-DS	
40		P33		MTIOC3A MTIOC6A		SSLA3		
41		P32		MTIOC3C MTIOC6C		SSLA2		
42	VCC							
43		P31		MTIOC0A		SSLA1		
44	VSS							
45		P30		MTIOC0B MTCLKD	TXD0 SMOSI0 SSDA0	SSLA0		
46		P24		MTIC5U MTCLKC	RXD0 SMISO0 SSCL0	RSPCKA		
47		P23		MTIC5V MTCLKB CACREF	SCK0	MOSIA		

表 1.9 機能別端子一覧 (64ピンLQFP) (3 / 3)

ピン 番号 64ピン LQFP	電源 クロック システム 制御	I/Oポート	POE3	タイマ (MTU3、 GPT、CAC)	通信		割り込み	S12ADB
					(SCIc、SCId)	(RSPI、RIIC)		
48		P22		MTIC5W MTCLKA	CTS0# RTS0# SS0#	MISOA		
49		P47						AN007 CVREFH
50		P46						AN006
51		P45						AN005
52		P44						AN004
53		P43						AN003 CVREFL
54		P42						AN002
55		P41						AN001
56		P40						AN000
57	AVCC0							
58	VREFH0							
59	VREFL0							
60	AVSS0							
61		P11		MTCLKC			IRQ1-DS	
62		P10		MTCLKD			IRQ0-DS	
63		PA5		MTIOC1A		MISOA		
64		PA4		MTIOC1B		RSPCKA		ADTRG0#

表 1.10 機能別端子一覧 (48ピンLQFP) (1 / 2)

ピン 番号 48ピン LQFP	電源 クロック システム 制御	I/Oポート	POE3	タイマ (MTU3、 GPT、CAC)	通信		割り込み	S12ADB
					(SCLc、SCId)	(RSPI、RIIC)		
1	MD FINED							
2	RES#							
3	XTAL							
4	VSS							
5	EXTAL							
6	VCC							
7		PE2	POE10#				NMI	
8	TRST#	PD7		GTIOC0A	CTS0# RTS0# SS0#			
9	TMS	PD6		GTIOC0B				
10	TDI	PD5		GTIOC1A	RXD1 SMISO1 SSCL1			
11	TCK FINEC	PD4		GTIOC1B	SCK1			
12	TDO	PD3		GTIOC2A	TXD1 SMOSI1 SSDA1			
13		PB6		GTIOC2B	RXD12 SMISO12 SSCL12 RXDX12			
14		PB5	POE11#		TXD12 SMOSI12 SSDA12 TXDX12 SIOX12		IRQ0	
15	VCC							
16		PB4	POE8#	GTETRQ	CTS12# RTS12# SS12#		IRQ3-DS	
17	VSS							
18		PB3		MTIOC0A MTCLKA CACREF	SCK0			
19		PB2		MTIOC0B MTCLKB	TXD0 SMOSI0 SSDA0	SDA		
20		PB1		MTIOC0C	RXD0 SMISO0 SSCL0	SCL		
21		PB0		MTIOC0D		MOSIA		
22		PA3		MTIOC2A		SSLA0		
23		PA2		MTIOC2B		SSLA1		
24		P76		MTIOC4D GTIOC2B MTIOC7D				
25		P75		MTIOC4C GTIOC1B MTIOC7C				

表 1.10 機能別端子一覧 (48ピンLQFP) (2 / 2)

ピン 番号 48ピン LQFP	電源 クロック システム 制御	I/Oポート	POE3	タイマ (MTU3、 GPT、CAC)	通信		割り込み	S12ADB
					(SCIc、SCId)	(RSPI、RIIC)		
26		P74		MTIOC3D GTIOC0B MTIOC6D				
27		P73		MTIOC4B GTIOC2A MTIOC7B				
28		P72		MTIOC4A GTIOC1A MTIOC7A				
29		P71		MTIOC3B GTIOC0A MTIOC6B				
30		P70	POE0#		CTS1# RTS1# SS1#		IRQ5-DS	
31	VCC							
32		P30		MTIOC0B MTCLKD	TXD0 SMOSI0 SSDA0	SSLA0		
33	VSS							
34		P24		MTIC5U MTCLKC	RXD0 SMISO0 SSCL0	RSPCKA		
35		P23		MTIC5V MTCLKB CACREF	SCK0	MOSIA		
36		P22		MTIC5W MTCLKA	CTS0# RTS0# SS0#	MISOA		
37		P47						AN007 CVREFH
38		P44						AN004
39		P43						AN003 CVREFL
40		P42						AN002
41		P41						AN001
42		P40						AN000
43	AVCC0							
44	VREFH0							
45	VREFL0							
46	AVSS0							
47	VCL							
48	EMLE							

## 2. CPU

図 2.1 に CPU のレジスタ構成を示します。

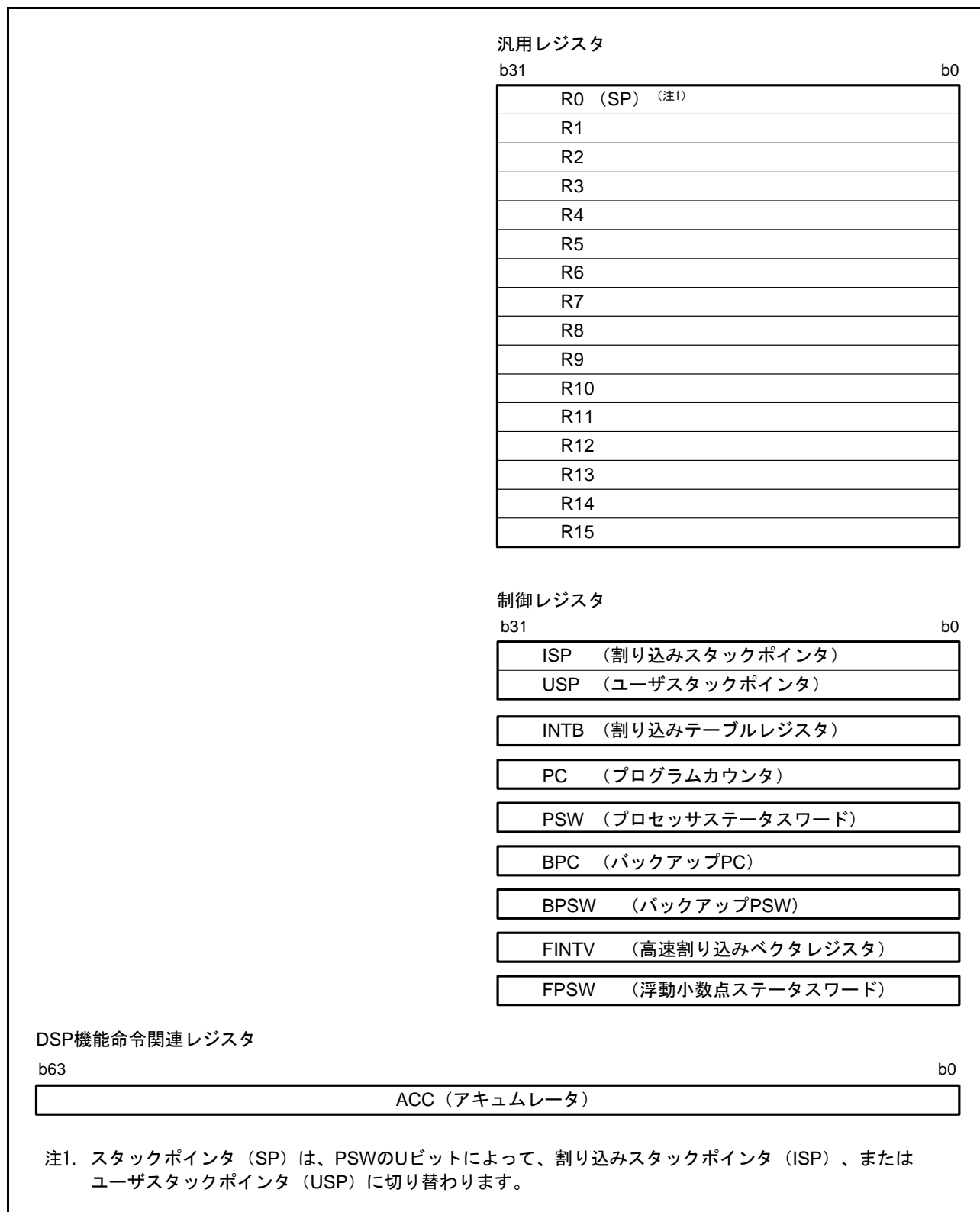


図 2.1 CPU レジスタセット

## 2.1 汎用レジスタ (R0 ~ R15)

汎用レジスタは、16本 (R0 ~ R15) あります。汎用レジスタ R0 ~ R15 は、データレジスタやアドレスレジスタとして使用します。

汎用レジスタ R0 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられています。SP は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって、割り込みスタックポインタ (ISP)、またはユーザスタックポインタ (USP) に切り替わります。

## 2.2 制御レジスタ

### (1) 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)

スタックポインタ (SP) には、割り込みスタックポインタ (ISP) と、ユーザスタックポインタ (USP) の2種類があります。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。

ISP、USP に4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

### (2) 割り込みテーブルレジスタ (INTB)

割り込みテーブルレジスタ (INTB) には、可変ベクタテーブルの先頭番地を設定してください。

### (3) プログラムカウンタ (PC)

プログラムカウンタ (PC) は、実行中の命令の番地を示します。

### (4) プロセッサステータスワード (PSW)

プロセッサステータスワード (PSW) は、命令実行の結果や、CPU の状態を示します。

### (5) バックアップ PC (BPC)

バックアップ PC (BPC) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プログラムカウンタ (PC) の内容が BPC に退避されます。

### (6) バックアップ PSW (BPSW)

バックアップ PSW (BPSW) は、割り込み応答を高速化するために設けられたレジスタです。

高速割り込みが発生すると、プロセッサステータスワード (PSW) の内容が BPSW に退避されます。BPSW のビットの割り当ては、PSW に対応しています。

### (7) 高速割り込みベクタレジスタ (FINTV)

高速割り込みベクタレジスタ (FINTV) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込み発生時の分岐先番地を設定してください。

### (8) 浮動小数点ステータスワード (FPSW)

浮動小数点ステータスワード (FPSW) は、浮動小数点演算結果を示します。

例外処理許可ビット  $E_j$  で例外処理を許可 ( $E_j=“1”$ ) した場合は、例外処理ルーチンで該当する  $C_j$  フラグをチェックし、例外発生の要因を判断することができます。例外処理を禁止 ( $E_j=“0”$ ) した場合は、一連の処理の最後に  $F_j$  フラグをチェックし、例外発生の有無を確認することができます。 $F_j$  フラグは蓄積フラグです。  
( $j=X, U, Z, O, V$ )



## 2.3 DSP 機能命令関連レジスタ

### (1) アキュムレータ (ACC)

アキュムレータ (ACC) は、64 ビットのレジスタです。DSP 機能命令で使用されます。また、ACC は乗算命令 (EMUL、EMULU、FMUL、MUL)、積和演算命令 (RMPA) でも使用され、これらの命令実行の際は ACC の値が変更されます。

ACC への書き込みには、MVTACHI 命令と MVTACLO 命令を使用します。MVTACHI 命令は上位側 32 ビット (b63 ~ b32) に、MVTACLO 命令は下位側 32 ビット (b31 ~ b0) にデータを書きます。

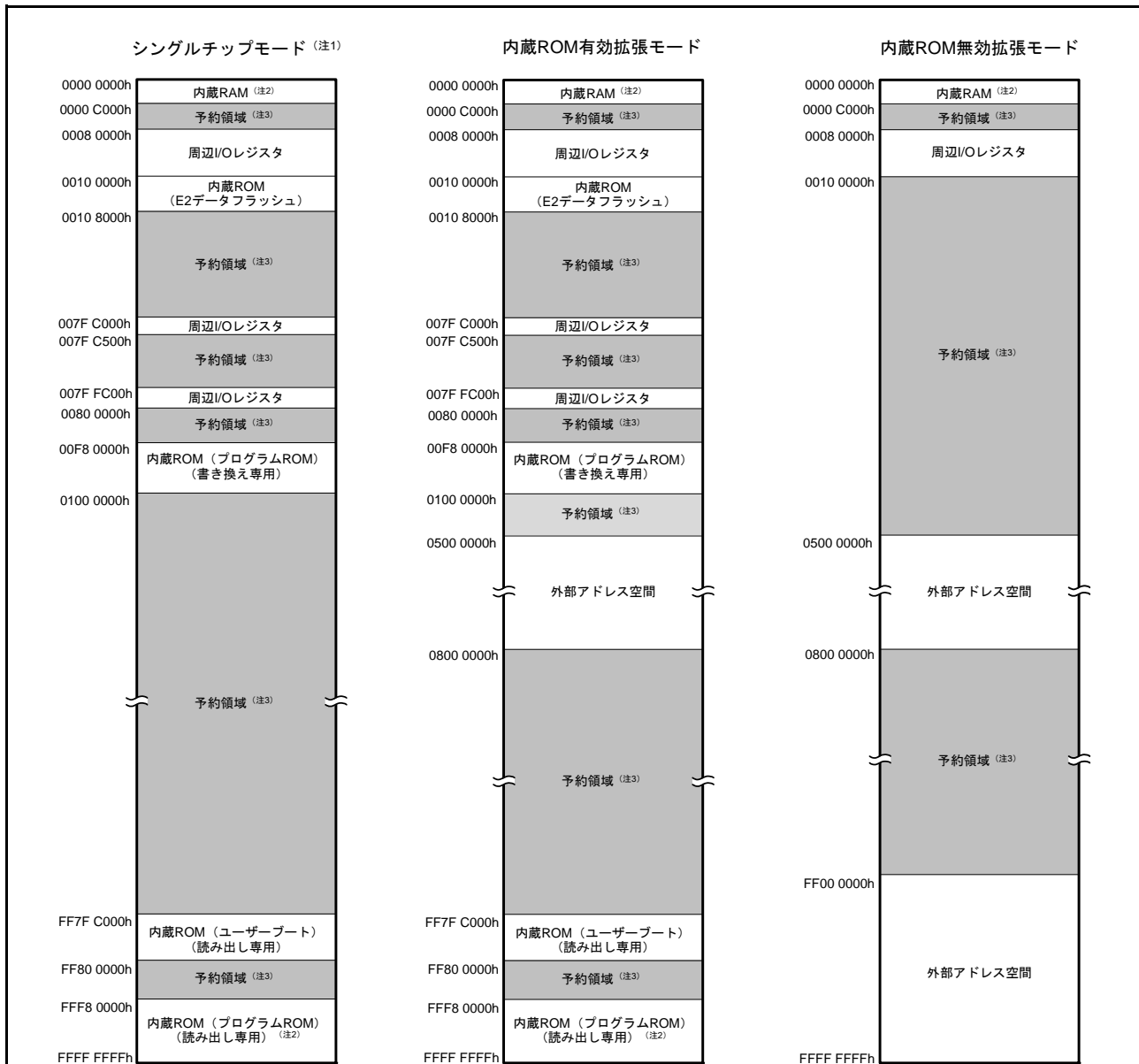
読み出しには MVFACHI 命令、MVFACMI 命令を使用します。MVFACHI 命令で上位側 32 ビット (b63 ~ b32)、MVFACMI 命令で中央の 32 ビット (b47 ~ b16) のデータをそれぞれ読みます。

### 3. アドレス空間

#### 3.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。プログラム領域およびデータ領域合計最大 4G バイトをリニアにアクセス可能です。

図 3.1 に各動作モードのメモリマップを示します。アクセスできる領域は動作モードや各制御ビットの状態によって違います。



注1. ブートモード、ユーザーブートモードは、シングルチップモードと同じアドレス空間となります。  
 注2. 製品によりROM/RAM容量が異なります。

ROM (バイト)		RAM (バイト)		E2データフラッシュ (バイト)	
容量	アドレス	容量	アドレス	容量	アドレス
512K	FFF8 0000h~ FFFF FFFFh	48K	0000 0000h~ 0000 BFFFh	32K	0010 0000h~ 0010 8000h
384K	FFFA 0000h~ FFFF FFFFh	32K	0000 0000h~ 0000 7FFFh		
256K	FFFC 0000h~ FFFF FFFFh	24K	0000 0000h~ 0000 5FFFh		
64K	FFFF 0000h~ FFFF FFFFh	8K	0000 0000h~ 0000 1FFFh	8K	0010 0000h~ 0010 2000h
48K	FFFF 4000h~ FFFF FFFFh				
32K	FFFF 8000h~ FFFF FFFFh				

注. 製品型名については「表 1.3 製品一覧表」を参照してください。

注3. 予約領域は、アクセスしないでください。  
 注4. FCUについての詳細は、ユーザーズマニュアルハードウェア編の「40. フラッシュメモリ」を参照してください。

図 3.1 各動作モードのメモリマップ

### 3.2 外部アドレス空間

外部アドレス空間は、CSn# 端子 (n = 0 ~ 3) から出力される CSn# 信号によって最大 4 つの CS 領域 (CS0 ~ CS3) に分割できます。図 3.2 に内蔵 ROM 無効拡張モード時の CS 領域 (CS0 ~ CS3) とアドレスの対応を示します。

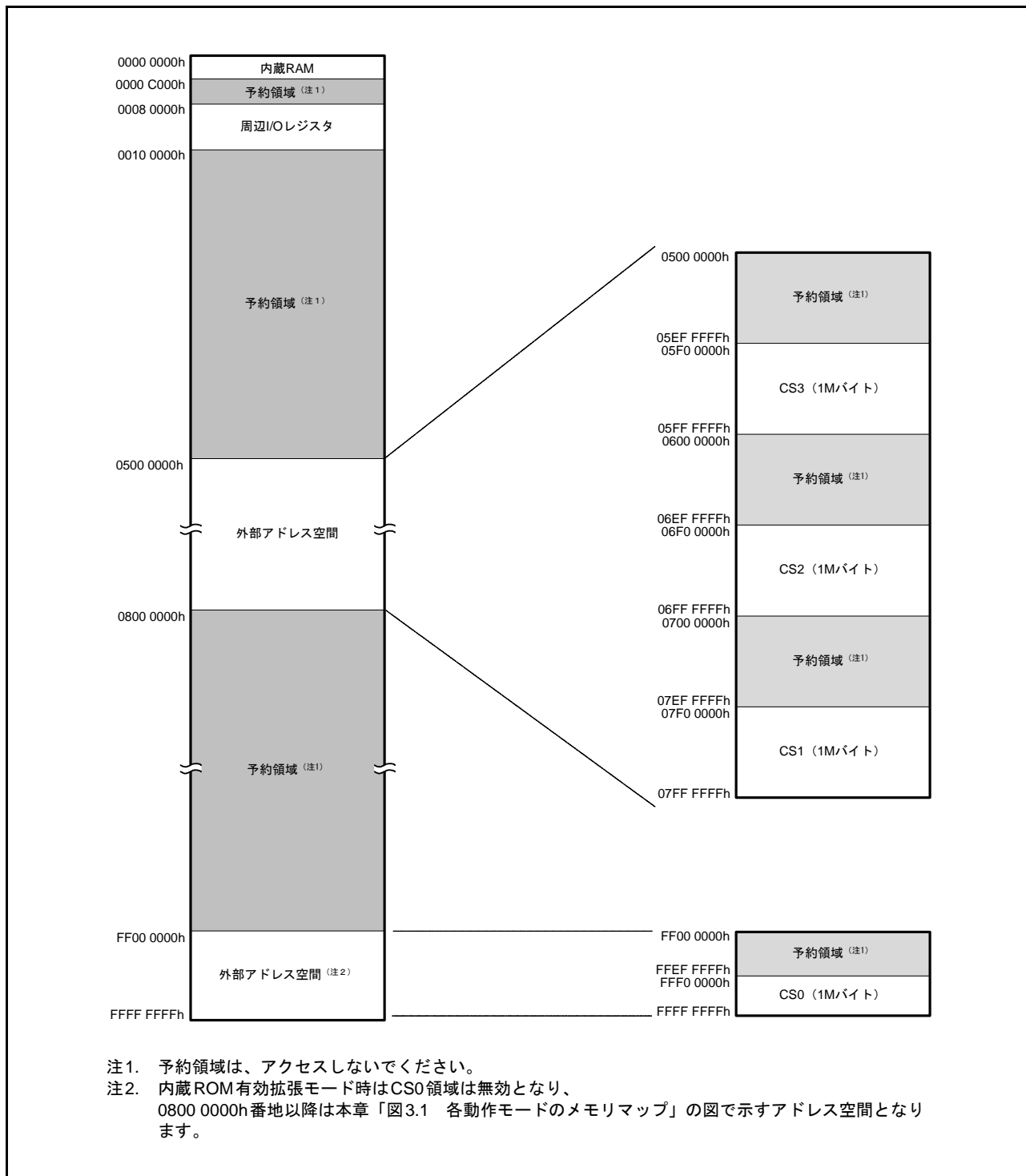


図 3.2 外部アドレス空間と CS 領域 (内蔵 ROM 無効拡張モードの場合)

## 4. I/O レジスタ

I/O レジスタ一覧では、内蔵レジスタのアドレスに関する情報をまとめています。表記方法は以下のとおりです。また、レジスタ書き込み時の注意事項についても以下に示します。

### (1) I/O レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載しています。
- モジュールシンボルによる分類をしています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部 I/O レジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、予約領域です。予約領域のアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

### (2) I/O レジスタ書き込み時の注意事項

CPU が I/O レジスタに書き込む際、CPU は書き込み完了を待たずに後続の命令を実行します。そのため、I/O レジスタ書き込みによる設定変更が、動作に反映されるより前に、後続の命令が実行されることがあります。

以下の例のように、I/O レジスタの設定変更が反映された状態で後続の命令を実行させなければならないときには、注意が必要です。

#### [注意が必要な動作の例]

- 割り込み要求許可ビット（ICU.IERn.IENj ビット）のクリアを行い、割り込み要求を禁止とした状態で後続の命令を実行させたい場合
- 低消費電力状態へ遷移するための前処理に続いて WAIT 命令を実行する場合

このような場合には、I/O レジスタの書き込みを行った後、以下の手順で書き込みの完了を待ってから、後続の命令を実行するようにしてください。

- (a) I/O レジスタの書き込み
- (b) 書き込んだ I/O レジスタの値を汎用レジスタに読み出し
- (c) 読み出し値を使って演算を実行
- (d) 後続の命令を実行

#### [命令例]

- I/O レジスタがバイトサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.B #SFR_DATA, [R1]
CMP [R1].UB, R1
;; 次処理
```

- I/O レジスタがワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.W #SFR_DATA, [R1]
CMP [R1].W, R1
;; 次処理
```

- I/O レジスタがロングワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.L #SFR_DATA, [R1]
CMP [R1].L, R1
;; 次処理
```

なお、複数のレジスタに書き込みを行った後、それら書き込みの完了を待ってから後続の命令を実行させたい場合は、最後に書き込みを行った I/O レジスタを対象に読み出しと演算を実行してください。書き込みを行ったすべてのレジスタを対象にして実行する必要はありません。

### (3) I/O レジスタアクセスサイクル数

I/O レジスタアクセスサイクル数は、「表 4.1 I/O レジスタアドレス一覧」を参照してください。

I/O レジスタへアクセスした場合のアクセスサイクル数は、以下の計算式によって表されます。(注1)

$$\text{I/O レジスタアクセスサイクル数} = \text{内部メインバス 1 のバスサイクル数} + \\ \text{分周クロック同期化サイクル数} + \\ \text{内部周辺バス 1 \sim 6 のバスサイクル数}$$

内部周辺バス 1～6 のバスサイクル数は、アクセス先のレジスタによって異なります。

内部周辺バス 2～6 に接続されている周辺機能、および外部バス制御部のレジスタ（バスエラー関連のレジスタは除く）へアクセスする場合には、分周クロック同期化サイクル数が追加されます。

分周クロック同期化サイクル数は、ICLK と PCLK（または FCLK、BCLK）の周波数比やバスアクセスのタイミングによって異なります。

周辺機能部では  $\text{ICLK} \geq \text{PCLK}$ （または FCLK）の周波数関係の場合、内部メインバス 1 のバスサイクル数と分周クロック同期化サイクル数を合わせると、PCLK（または FCLK）で最大 1 サイクルとなるため、表 4.1 では 1PCLK（または FCLK）の幅を持たせて記載しています。

また、 $\text{ICLK} < \text{PCLK}$ （または FCLK）の周波数関係の場合、次のバスアクセスが周辺機能が終了した次の ICLK サイクルから開始されるため、ICLK 単位の記載となっています。

外部バス制御部では内部メインバス 1 のバスサイクル数と分周クロック同期化サイクル数を合わせると、BCLK で最大 1 サイクルとなるため、表 4.1 では 1BCLK の幅を持たせて記載しています。

注 1. CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、異なるバスマスタ（DMAC、DTC）のバスアクセスと競合せずに実行された場合のサイクル数です。

### (4) スリープモード時およびモード遷移時の注意事項

スリープモード中、またはモード遷移中は、システム制御関連のレジスタ（「表 4.1 I/O レジスタアドレス一覧」のモジュールシンボル欄に SYSTEM と記載のレジスタ）への書き込みは禁止です。

4.1 I/O レジスタアドレス一覧 (アドレス順)

表 4.1 I/O レジスタアドレス一覧 (1 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	備考	
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
0008 0000h	SYSTEM	モードモニタレジスタ	MDMONR	16	16	3ICLK		動作モード	64/48ピン版にはありません。	
0008 0002h	SYSTEM	モードステータスレジスタ	MDSR	16	16	3ICLK				
0008 0006h	SYSTEM	システムコントロールレジスタ0	SYSCR0	16	16	3ICLK				
0008 0008h	SYSTEM	システムコントロールレジスタ1	SYSCR1	16	16	3ICLK				
0008 000Ch	SYSTEM	スタンバイコントロールレジスタ	SBYCR	16	16	3ICLK		消費電力低減機能		
0008 0010h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32	3ICLK				
0008 0014h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32	3ICLK				
0008 0018h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32	3ICLK		クロック発生回路	64/48ピン版にはありません。	
0008 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32	3ICLK				
0008 0024h	SYSTEM	システムクロックコントロールレジスタ2	SCKCR2	16	16	3ICLK				
0008 0026h	SYSTEM	システムクロックコントロールレジスタ3	SCKCR3	16	16	3ICLK				
0008 0028h	SYSTEM	PLLコントロールレジスタ	PLLCR	16	16	3ICLK				
0008 002Ah	SYSTEM	PLLコントロールレジスタ2	PLLCR2	8	8	3ICLK				
0008 0030h	SYSTEM	外部バスクロックコントロールレジスタ	BCKCR	8	8	3ICLK				64/48ピン版にはありません。
0008 0032h	SYSTEM	メインクロック発振器コントロールレジスタ	MOSCCR	8	8	3ICLK				
0008 0034h	SYSTEM	低速オンチップオシレータコントロールレジスタ	LOCOCR	8	8	3ICLK				
0008 0035h	SYSTEM	IWDT専用オンチップオシレータコントロールレジスタ	ILOCOCR	8	8	3ICLK				
0008 0040h	SYSTEM	発振停止検出コントロールレジスタ	OSTDCR	8	8	3ICLK				
0008 0041h	SYSTEM	発振停止検出ステータスレジスタ	OSTDSR	8	8	3ICLK				
0008 00A2h	SYSTEM	メインクロック発振器ウェイトコントロールレジスタ	MOSCWTCR	8	8	3ICLK		消費電力低減機能		
0008 00A6h	SYSTEM	PLLウェイトコントロールレジスタ	PLLWTCR	8	8	3ICLK				
0008 00C0h	SYSTEM	リセットステータスレジスタ2	RSTSR2	8	8	3ICLK		リセット		
0008 00C2h	SYSTEM	ソフトウェアリセットレジスタ	SWRR	16	16	3ICLK				
0008 00E0h	SYSTEM	電圧監視1回路制御レジスタ1	LVD1CR1	8	8	3ICLK		LVDA		
0008 00E1h	SYSTEM	電圧監視1回路ステータスレジスタ	LVD1SR	8	8	3ICLK				
0008 00E2h	SYSTEM	電圧監視2回路制御レジスタ1	LVD2CR1	8	8	3ICLK				
0008 00E3h	SYSTEM	電圧監視2回路ステータスレジスタ	LVD2SR	8	8	3ICLK				
0008 03FEh	SYSTEM	プロテクトレジスタ	PRCR	16	16	3ICLK		レジスタライトプロテクション機能		
0008 1300h	BSC	バスエラーステータスクリアレジスタ	BERCLR	8	8	2ICLK		バス		
0008 1304h	BSC	バスエラー監視許可レジスタ	BEREN	8	8	2ICLK				
0008 1308h	BSC	バスエラーステータスレジスタ1	BERSR1	8	8	2ICLK				
0008 130Ah	BSC	バスエラーステータスレジスタ2	BERSR2	16	16	2ICLK				
0008 1310h	BSC	バスプライオリティ制御レジスタ	BUSPRI	16	16	2ICLK				
0008 2000h	DMAC0	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		DMACA		
0008 2004h	DMAC0	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK				
0008 2008h	DMAC0	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK				
0008 200Ch	DMAC0	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK				
0008 2010h	DMAC0	DMA転送モードレジスタ	DMTMD	16	16	2ICLK				
0008 2013h	DMAC0	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK				
0008 2014h	DMAC0	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK				
0008 2018h	DMAC0	DMAオフセットレジスタ	DMOFR	32	32	2ICLK				
0008 201Ch	DMAC0	DMA転送許可レジスタ	DMCNT	8	8	2ICLK				
0008 201Dh	DMAC0	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK				

表 4.1 I/O レジスタアドレス一覧 ( 2 / 4 6 )

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		モジュール 名	備考
						ICLK $\geq$ PCLK の場合	ICLK $<$ PCLK の場合		
0008 201Eh	DMAC0	DMAステータスレジスタ	DMSTS	8	8	2	ICLK	DMACA	
0008 201Fh	DMAC0	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2	ICLK		
0008 2040h	DMAC1	DMA転送元アドレスレジスタ	DMSAR	32	32	2	ICLK		
0008 2044h	DMAC1	DMA転送先アドレスレジスタ	DMDAR	32	32	2	ICLK		
0008 2048h	DMAC1	DMA転送カウントレジスタ	DMCRA	32	32	2	ICLK		
0008 204Ch	DMAC1	DMAブロック転送カウントレジスタ	DMCRB	16	16	2	ICLK		
0008 2050h	DMAC1	DMA転送モードレジスタ	DMTMD	16	16	2	ICLK		
0008 2053h	DMAC1	DMA割り込み設定レジスタ	DMINT	8	8	2	ICLK		
0008 2054h	DMAC1	DMAアドレスモードレジスタ	DMAMD	16	16	2	ICLK		
0008 205Ch	DMAC1	DMA転送許可レジスタ	DMCNT	8	8	2	ICLK		
0008 205Dh	DMAC1	DMAソフトウェア起動レジスタ	DMREQ	8	8	2	ICLK		
0008 205Eh	DMAC1	DMAステータスレジスタ	DMSTS	8	8	2	ICLK		
0008 205Fh	DMAC1	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2	ICLK		
0008 2080h	DMAC2	DMA転送元アドレスレジスタ	DMSAR	32	32	2	ICLK		
0008 2084h	DMAC2	DMA転送先アドレスレジスタ	DMDAR	32	32	2	ICLK		
0008 2088h	DMAC2	DMA転送カウントレジスタ	DMCRA	32	32	2	ICLK		
0008 208Ch	DMAC2	DMAブロック転送カウントレジスタ	DMCRB	16	16	2	ICLK		
0008 2090h	DMAC2	DMA転送モードレジスタ	DMTMD	16	16	2	ICLK		
0008 2093h	DMAC2	DMA割り込み設定レジスタ	DMINT	8	8	2	ICLK		
0008 2094h	DMAC2	DMAアドレスモードレジスタ	DMAMD	16	16	2	ICLK		
0008 209Ch	DMAC2	DMA転送許可レジスタ	DMCNT	8	8	2	ICLK		
0008 209Dh	DMAC2	DMAソフトウェア起動レジスタ	DMREQ	8	8	2	ICLK		
0008 209Eh	DMAC2	DMAステータスレジスタ	DMSTS	8	8	2	ICLK		
0008 209Fh	DMAC2	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2	ICLK		
0008 20C0h	DMAC3	DMA転送元アドレスレジスタ	DMSAR	32	32	2	ICLK		
0008 20C4h	DMAC3	DMA転送先アドレスレジスタ	DMDAR	32	32	2	ICLK		
0008 20C8h	DMAC3	DMA転送カウントレジスタ	DMCRA	32	32	2	ICLK		
0008 20CCh	DMAC3	DMAブロック転送カウントレジスタ	DMCRB	16	16	2	ICLK		
0008 20D0h	DMAC3	DMA転送モードレジスタ	DMTMD	16	16	2	ICLK		
0008 20D3h	DMAC3	DMA割り込み設定レジスタ	DMINT	8	8	2	ICLK		
0008 20D4h	DMAC3	DMAアドレスモードレジスタ	DMAMD	16	16	2	ICLK		
0008 20DCh	DMAC3	DMA転送許可レジスタ	DMCNT	8	8	2	ICLK		
0008 20DDh	DMAC3	DMAソフトウェア起動レジスタ	DMREQ	8	8	2	ICLK		
0008 20DEh	DMAC3	DMAステータスレジスタ	DMSTS	8	8	2	ICLK		
0008 20DFh	DMAC3	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2	ICLK		
0008 2200h	DMAC	DMAモジュール起動レジスタ	DMAST	8	8	2	ICLK		
0008 2400h	DTC	DTCコントロールレジスタ	DTCOR	8	8	2	ICLK	DTCa	
0008 2404h	DTC	DTCベクタベースレジスタ	DTCVBR	32	32	2	ICLK		
0008 2408h	DTC	DTCアドレスモードレジスタ	DTCADMOD	8	8	2	ICLK		
0008 240Ch	DTC	DTCモジュール起動レジスタ	DTCST	8	8	2	ICLK		
0008 240Eh	DTC	DTCステータスレジスタ	DTCSTS	16	16	2	ICLK		
0008 3002h	BSC	CS0モードレジスタ	CS0MOD	16	16	1	2BCLK	バス	64/48ピン版には ありません。
0008 3004h	BSC	CS0ウェイト制御レジスタ1	CS0WCR1	32	32	1	2BCLK		64/48ピン版には ありません。
0008 3008h	BSC	CS0ウェイト制御レジスタ2	CS0WCR2	32	32	1	2BCLK		64/48ピン版には ありません。
0008 3012h	BSC	CS1モードレジスタ	CS1MOD	16	16	1	2BCLK		64/48ピン版には ありません。
0008 3014h	BSC	CS1ウェイト制御レジスタ1	CS1WCR1	32	32	1	2BCLK		64/48ピン版には ありません。
0008 3018h	BSC	CS1ウェイト制御レジスタ2	CS1WCR2	32	32	1	2BCLK		64/48ピン版には ありません。



表 4.1 I/O レジスタアドレス一覧 ( 3 / 4 6 )

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK $\geq$ PCLK の場合	ICLK < PCLK の場合		
0008 3022h	BSC	CS2モードレジスタ	CS2MOD	16	16	1 ~ 2BCLK		バス	64/48 ビン版にはありません。
0008 3024h	BSC	CS2ウェイト制御レジスタ1	CS2WCR1	32	32	1 ~ 2BCLK			64/48 ビン版にはありません。
0008 3028h	BSC	CS2ウェイト制御レジスタ2	CS2WCR2	32	32	1 ~ 2BCLK			64/48 ビン版にはありません。
0008 3032h	BSC	CS3モードレジスタ	CS3MOD	16	16	1 ~ 2BCLK			64/48 ビン版にはありません。
0008 3034h	BSC	CS3ウェイト制御レジスタ1	CS3WCR1	32	32	1 ~ 2BCLK			64/48 ビン版にはありません。
0008 3038h	BSC	CS3ウェイト制御レジスタ2	CS3WCR2	32	32	1 ~ 2BCLK			64/48 ビン版にはありません。
0008 3802h	BSC	CS0制御レジスタ	CS0CR	16	16	1 ~ 2BCLK			64/48 ビン版にはありません。
0008 380Ah	BSC	CS0リカバリサイクル設定レジスタ	CS0REC	16	16	1 ~ 2BCLK			64/48 ビン版にはありません。
0008 3812h	BSC	CS1制御レジスタ	CS1CR	16	16	1 ~ 2BCLK			64/48 ビン版にはありません。
0008 381Ah	BSC	CS1リカバリサイクル設定レジスタ	CS1REC	16	16	1 ~ 2BCLK			64/48 ビン版にはありません。
0008 3822h	BSC	CS2制御レジスタ	CS2CR	16	16	1 ~ 2BCLK			64/48 ビン版にはありません。
0008 382Ah	BSC	CS2リカバリサイクル設定レジスタ	CS2REC	16	16	1 ~ 2BCLK			64/48 ビン版にはありません。
0008 3832h	BSC	CS3制御レジスタ	CS3CR	16	16	1 ~ 2BCLK			64/48 ビン版にはありません。
0008 383Ah	BSC	CS3リカバリサイクル設定レジスタ	CS3REC	16	16	1 ~ 2BCLK			64/48 ビン版にはありません。
0008 3880h	BSC	CSリカバリサイクル挿入許可レジスタ	CSRECEN	16	16	1 ~ 2BCLK		64/48 ビン版にはありません。	
0008 6400h	MPU	領域0開始ページ番号レジスタ	RSPAGE0	32	32	1ICLK		MPU	
0008 6404h	MPU	領域0終了ページ番号レジスタ	REPAGE0	32	32	1ICLK			
0008 6408h	MPU	領域1開始ページ番号レジスタ	RSPAGE1	32	32	1ICLK			
0008 640Ch	MPU	領域1終了ページ番号レジスタ	REPAGE1	32	32	1ICLK			
0008 6410h	MPU	領域2開始ページ番号レジスタ	RSPAGE2	32	32	1ICLK			
0008 6414h	MPU	領域2終了ページ番号レジスタ	REPAGE2	32	32	1ICLK			
0008 6418h	MPU	領域3開始ページ番号レジスタ	RSPAGE3	32	32	1ICLK			
0008 641Ch	MPU	領域3終了ページ番号レジスタ	REPAGE3	32	32	1ICLK			
0008 6420h	MPU	領域4開始ページ番号レジスタ	RSPAGE4	32	32	1ICLK			
0008 6424h	MPU	領域4終了ページ番号レジスタ	REPAGE4	32	32	1ICLK			
0008 6428h	MPU	領域5開始ページ番号レジスタ	RSPAGE5	32	32	1ICLK			
0008 642Ch	MPU	領域5終了ページ番号レジスタ	REPAGE5	32	32	1ICLK			
0008 6430h	MPU	領域6開始ページ番号レジスタ	RSPAGE6	32	32	1ICLK			
0008 6434h	MPU	領域6終了ページ番号レジスタ	REPAGE6	32	32	1ICLK			
0008 6438h	MPU	領域7開始ページ番号レジスタ	RSPAGE7	32	32	1ICLK			
0008 643Ch	MPU	領域7終了ページ番号レジスタ	REPAGE7	32	32	1ICLK			
0008 6500h	MPU	メモリプロテクション機能有効化レジスタ	MPEN	32	32	1ICLK			
0008 6504h	MPU	バックグラウンドアクセス制御レジスタ	MPBAC	32	32	1ICLK			
0008 6508h	MPU	メモリプロテクションエラーステータスリアレジスタ	MPECLR	32	32	1ICLK			
0008 650Ch	MPU	メモリプロテクションエラーステータスレジスタ	MPESTS	32	32	1ICLK			
0008 6514h	MPU	データメモリプロテクションエラーアドレスレジスタ	MPDEA	32	32	1ICLK			
0008 6520h	MPU	領域サーチアドレスレジスタ	MPSA	32	32	1ICLK			
0008 6524h	MPU	領域サーチオペレーションレジスタ	MPOPS	16	16	1ICLK			
0008 6526h	MPU	領域インバリデイトオペレーションレジスタ	MPOPI	16	16	1ICLK			
0008 6528h	MPU	命令ヒット領域レジスタ	MHITI	32	32	1ICLK			
0008 652Ch	MPU	データヒット領域レジスタ	MHITD	32	32	1ICLK			

表 4.1 I/O レジスタアドレス一覧 ( 4 / 4 6 )

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	幅 [bit]	アクセス サイズ	アクセスサイクル数		モジュール 名	備考
						ICLK $\geq$ PCLK の場合	ICLK < PCLK の場合		
0008 7010h	ICU	割り込み要求レジスタ 016	IR016	8	8	2	ICLK	ICUb	
0008 7015h	ICU	割り込み要求レジスタ 021	IR021	8	8	2	ICLK		
0008 7017h	ICU	割り込み要求レジスタ 023	IR023	8	8	2	ICLK		
0008 701Bh	ICU	割り込み要求レジスタ 027	IR027	8	8	2	ICLK		
0008 701Ch	ICU	割り込み要求レジスタ 028	IR028	8	8	2	ICLK		
0008 701Dh	ICU	割り込み要求レジスタ 029	IR029	8	8	2	ICLK		
0008 701Eh	ICU	割り込み要求レジスタ 030	IR030	8	8	2	ICLK		
0008 701Fh	ICU	割り込み要求レジスタ 031	IR031	8	8	2	ICLK		
0008 7021h	ICU	割り込み要求レジスタ 033	IR033	8	8	2	ICLK		112/100/64/48 ビン版には ありません。
0008 7022h	ICU	割り込み要求レジスタ 034	IR034	8	8	2	ICLK		112/100/64/48 ビン版には ありません。
0008 7023h	ICU	割り込み要求レジスタ 035	IR035	8	8	2	ICLK		112/100/64/48 ビン版には ありません。
0008 7024h	ICU	割り込み要求レジスタ 036	IR036	8	8	2	ICLK		
0008 7025h	ICU	割り込み要求レジスタ 037	IR037	8	8	2	ICLK		
0008 7026h	ICU	割り込み要求レジスタ 038	IR038	8	8	2	ICLK		
0008 7027h	ICU	割り込み要求レジスタ 039	IR039	8	8	2	ICLK		
0008 7028h	ICU	割り込み要求レジスタ 040	IR040	8	8	2	ICLK		
0008 7029h	ICU	割り込み要求レジスタ 041	IR041	8	8	2	ICLK		
0008 702Ah	ICU	割り込み要求レジスタ 042	IR042	8	8	2	ICLK		64/48 ビン版には ありません。
0008 702Bh	ICU	割り込み要求レジスタ 043	IR043	8	8	2	ICLK		64/48 ビン版には ありません。
0008 702Ch	ICU	割り込み要求レジスタ 044	IR044	8	8	2	ICLK		64/48 ビン版には ありません。
0008 702Dh	ICU	割り込み要求レジスタ 045	IR045	8	8	2	ICLK		64/48 ビン版には ありません。
0008 702Eh	ICU	割り込み要求レジスタ 046	IR046	8	8	2	ICLK		64/48 ビン版には ありません。
0008 702Fh	ICU	割り込み要求レジスタ 047	IR047	8	8	2	ICLK		64/48 ビン版には ありません。
0008 7030h	ICU	割り込み要求レジスタ 048	IR048	8	8	2	ICLK		64/48 ビン版には ありません。
0008 7031h	ICU	割り込み要求レジスタ 049	IR049	8	8	2	ICLK		64/48 ビン版には ありません。
0008 7032h	ICU	割り込み要求レジスタ 050	IR050	8	8	2	ICLK		64/48 ビン版には ありません。
0008 7033h	ICU	割り込み要求レジスタ 051	IR051	8	8	2	ICLK		64/48 ビン版には ありません。
0008 7034h	ICU	割り込み要求レジスタ 052	IR052	8	8	2	ICLK		64/48 ビン版には ありません。
0008 7035h	ICU	割り込み要求レジスタ 053	IR053	8	8	2	ICLK		64/48 ビン版には ありません。
0008 7036h	ICU	割り込み要求レジスタ 054	IR054	8	8	2	ICLK		64/48 ビン版には ありません。
0008 7037h	ICU	割り込み要求レジスタ 055	IR055	8	8	2	ICLK		64/48 ビン版には ありません。
0008 7038h	ICU	割り込み要求レジスタ 056	IR056	8	8	2	ICLK		64/48 ビン版には ありません。
0008 7039h	ICU	割り込み要求レジスタ 057	IR057	8	8	2	ICLK		
0008 703Ah	ICU	割り込み要求レジスタ 058	IR058	8	8	2	ICLK		64/48 ビン版には ありません。
0008 703Bh	ICU	割り込み要求レジスタ 059	IR059	8	8	2	ICLK		64/48 ビン版には ありません。
0008 703Ch	ICU	割り込み要求レジスタ 060	IR060	8	8	2	ICLK		64/48 ビン版には ありません。
0008 703Dh	ICU	割り込み要求レジスタ 061	IR061	8	8	2	ICLK		64/48 ビン版には ありません。
0008 703Eh	ICU	割り込み要求レジスタ 062	IR062	8	8	2	ICLK		64/48 ビン版には ありません。

表 4.1 I/O レジスタアドレス一覧 (5 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK $\geq$ PCLK の場合	ICLK < PCLK の場合		
0008 7040h	ICU	割り込み要求レジスタ 064	IR064	8	8	2	2	ICUb	
0008 7041h	ICU	割り込み要求レジスタ 065	IR065	8	8	2	2		
0008 7042h	ICU	割り込み要求レジスタ 066	IR066	8	8	2	2		
0008 7043h	ICU	割り込み要求レジスタ 067	IR067	8	8	2	2		
0008 7044h	ICU	割り込み要求レジスタ 068	IR068	8	8	2	2		
0008 7045h	ICU	割り込み要求レジスタ 069	IR069	8	8	2	2		
0008 7046h	ICU	割り込み要求レジスタ 070	IR070	8	8	2	2		64/48 ピン版にはありません。
0008 7047h	ICU	割り込み要求レジスタ 071	IR071	8	8	2	2		64/48 ピン版にはありません。
0008 705Ah	ICU	割り込み要求レジスタ 090	IR090	8	8	2	2		112/100/64/48 ピン版にはありません。
0008 7062h	ICU	割り込み要求レジスタ 098	IR098	8	8	2	2		64/48 ピン版にはありません。
0008 7066h	ICU	割り込み要求レジスタ 102	IR102	8	8	2	2		
0008 7067h	ICU	割り込み要求レジスタ 103	IR103	8	8	2	2		
0008 7068h	ICU	割り込み要求レジスタ 104	IR104	8	8	2	2		64/48 ピン版にはありません。
0008 7069h	ICU	割り込み要求レジスタ 105	IR105	8	8	2	2		64/48 ピン版にはありません。
0008 706Ah	ICU	割り込み要求レジスタ 106	IR106	8	8	2	2		64/48 ピン版にはありません。
0008 7072h	ICU	割り込み要求レジスタ 114	IR114	8	8	2	2		
0008 707Ah	ICU	割り込み要求レジスタ 122	IR122	8	8	2	2		
0008 707Bh	ICU	割り込み要求レジスタ 123	IR123	8	8	2	2		
0008 707Ch	ICU	割り込み要求レジスタ 124	IR124	8	8	2	2		
0008 707Dh	ICU	割り込み要求レジスタ 125	IR125	8	8	2	2		
0008 707Eh	ICU	割り込み要求レジスタ 126	IR126	8	8	2	2		
0008 707Fh	ICU	割り込み要求レジスタ 127	IR127	8	8	2	2		
0008 7080h	ICU	割り込み要求レジスタ 128	IR128	8	8	2	2		
0008 7081h	ICU	割り込み要求レジスタ 129	IR129	8	8	2	2		
0008 7082h	ICU	割り込み要求レジスタ 130	IR130	8	8	2	2		
0008 7083h	ICU	割り込み要求レジスタ 131	IR131	8	8	2	2		
0008 7084h	ICU	割り込み要求レジスタ 132	IR132	8	8	2	2		
0008 7085h	ICU	割り込み要求レジスタ 133	IR133	8	8	2	2		
0008 7086h	ICU	割り込み要求レジスタ 134	IR134	8	8	2	2		
0008 7087h	ICU	割り込み要求レジスタ 135	IR135	8	8	2	2		
0008 7088h	ICU	割り込み要求レジスタ 136	IR136	8	8	2	2		
0008 7089h	ICU	割り込み要求レジスタ 137	IR137	8	8	2	2		
0008 708Ah	ICU	割り込み要求レジスタ 138	IR138	8	8	2	2		
0008 708Bh	ICU	割り込み要求レジスタ 139	IR139	8	8	2	2		
0008 708Ch	ICU	割り込み要求レジスタ 140	IR140	8	8	2	2		
0008 708Dh	ICU	割り込み要求レジスタ 141	IR141	8	8	2	2		
0008 708Eh	ICU	割り込み要求レジスタ 142	IR142	8	8	2	2		
0008 708Fh	ICU	割り込み要求レジスタ 143	IR143	8	8	2	2		
0008 7090h	ICU	割り込み要求レジスタ 144	IR144	8	8	2	2		
0008 7091h	ICU	割り込み要求レジスタ 145	IR145	8	8	2	2		
0008 7092h	ICU	割り込み要求レジスタ 146	IR146	8	8	2	2		
0008 7093h	ICU	割り込み要求レジスタ 147	IR147	8	8	2	2		
0008 7094h	ICU	割り込み要求レジスタ 148	IR148	8	8	2	2		
0008 7095h	ICU	割り込み要求レジスタ 149	IR149	8	8	2	2		
0008 7096h	ICU	割り込み要求レジスタ 150	IR150	8	8	2	2		
0008 7097h	ICU	割り込み要求レジスタ 151	IR151	8	8	2	2		
0008 7098h	ICU	割り込み要求レジスタ 152	IR152	8	8	2	2		

表 4.1 I/O レジスタアドレス一覧 ( 6 / 4 6 )

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK $\geq$ PCLK の場合	ICLK < PCLK の場合		
0008 7099h	ICU	割り込み要求レジスタ 153	IR153	8	8	2	ICLK	ICUb	
0008 709Ah	ICU	割り込み要求レジスタ 154	IR154	8	8	2	ICLK		
0008 709Bh	ICU	割り込み要求レジスタ 155	IR155	8	8	2	ICLK		
0008 709Ch	ICU	割り込み要求レジスタ 156	IR156	8	8	2	ICLK		
0008 709Dh	ICU	割り込み要求レジスタ 157	IR157	8	8	2	ICLK		
0008 709Eh	ICU	割り込み要求レジスタ 158	IR158	8	8	2	ICLK		
0008 70A1h	ICU	割り込み要求レジスタ 161	IR161	8	8	2	ICLK		
0008 70A2h	ICU	割り込み要求レジスタ 162	IR162	8	8	2	ICLK		
0008 70A3h	ICU	割り込み要求レジスタ 163	IR163	8	8	2	ICLK		
0008 70A4h	ICU	割り込み要求レジスタ 164	IR164	8	8	2	ICLK		
0008 70A5h	ICU	割り込み要求レジスタ 165	IR165	8	8	2	ICLK		
0008 70A6h	ICU	割り込み要求レジスタ 166	IR166	8	8	2	ICLK		
0008 70A7h	ICU	割り込み要求レジスタ 167	IR167	8	8	2	ICLK		64/48 ビン版にはありません。
0008 70A8h	ICU	割り込み要求レジスタ 168	IR168	8	8	2	ICLK		
0008 70A9h	ICU	割り込み要求レジスタ 169	IR169	8	8	2	ICLK		
0008 70AAh	ICU	割り込み要求レジスタ 170	IR170	8	8	2	ICLK		64/48 ビン版にはありません。
0008 70ABh	ICU	割り込み要求レジスタ 171	IR171	8	8	2	ICLK		
0008 70ACh	ICU	割り込み要求レジスタ 172	IR172	8	8	2	ICLK		
0008 70ADh	ICU	割り込み要求レジスタ 173	IR173	8	8	2	ICLK		
0008 70AEh	ICU	割り込み要求レジスタ 174	IR174	8	8	2	ICLK		64/48 ビン版にはありません。
0008 70AFh	ICU	割り込み要求レジスタ 175	IR175	8	8	2	ICLK		64/48 ビン版にはありません。
0008 70B0h	ICU	割り込み要求レジスタ 176	IR176	8	8	2	ICLK		64/48 ビン版にはありません。
0008 70B1h	ICU	割り込み要求レジスタ 177	IR177	8	8	2	ICLK		64/48 ビン版にはありません。
0008 70B2h	ICU	割り込み要求レジスタ 178	IR178	8	8	2	ICLK		64/48 ビン版にはありません。
0008 70B3h	ICU	割り込み要求レジスタ 179	IR179	8	8	2	ICLK		64/48 ビン版にはありません。
0008 70B4h	ICU	割り込み要求レジスタ 180	IR180	8	8	2	ICLK		64/48 ビン版にはありません。
0008 70B5h	ICU	割り込み要求レジスタ 181	IR181	8	8	2	ICLK		64/48 ビン版にはありません。
0008 70B6h	ICU	割り込み要求レジスタ 182	IR182	8	8	2	ICLK		64/48 ビン版にはありません。
0008 70B7h	ICU	割り込み要求レジスタ 183	IR183	8	8	2	ICLK		64/48 ビン版にはありません。
0008 70B8h	ICU	割り込み要求レジスタ 184	IR184	8	8	2	ICLK		64/48 ビン版にはありません。
0008 70B9h	ICU	割り込み要求レジスタ 185	IR185	8	8	2	ICLK		64/48 ビン版にはありません。
0008 70BAh	ICU	割り込み要求レジスタ 186	IR186	8	8	2	ICLK		64/48 ビン版にはありません。
0008 70Bbh	ICU	割り込み要求レジスタ 187	IR187	8	8	2	ICLK		64/48 ビン版にはありません。
0008 70BCh	ICU	割り込み要求レジスタ 188	IR188	8	8	2	ICLK		64/48 ビン版にはありません。
0008 70BDh	ICU	割り込み要求レジスタ 189	IR189	8	8	2	ICLK		64/48 ビン版にはありません。
0008 70BEh	ICU	割り込み要求レジスタ 190	IR190	8	8	2	ICLK		112/100/64/48 ビン版にはありません。
0008 70BFh	ICU	割り込み要求レジスタ 191	IR191	8	8	2	ICLK		112/100/64/48 ビン版にはありません。
0008 70C0h	ICU	割り込み要求レジスタ 192	IR192	8	8	2	ICLK		112/100/64/48 ビン版にはありません。
0008 70C1h	ICU	割り込み要求レジスタ 193	IR193	8	8	2	ICLK		112/100/64/48 ビン版にはありません。

表 4.1 I/O レジスタアドレス一覧 (7 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK $\geq$ PCLK の場合	ICLK < PCLK の場合		
0008 70C2h	ICU	割り込み要求レジスタ 194	IR194	8	8	2	2	ICUb	
0008 70C3h	ICU	割り込み要求レジスタ 195	IR195	8	8	2	2		
0008 70C4h	ICU	割り込み要求レジスタ 196	IR196	8	8	2	2		
0008 70C5h	ICU	割り込み要求レジスタ 197	IR197	8	8	2	2		
0008 70C6h	ICU	割り込み要求レジスタ 198	IR198	8	8	2	2		
0008 70C7h	ICU	割り込み要求レジスタ 199	IR199	8	8	2	2		
0008 70C8h	ICU	割り込み要求レジスタ 200	IR200	8	8	2	2		
0008 70C9h	ICU	割り込み要求レジスタ 201	IR201	8	8	2	2		
0008 70D6h	ICU	割り込み要求レジスタ 214	IR214	8	8	2	2		
0008 70D7h	ICU	割り込み要求レジスタ 215	IR215	8	8	2	2		
0008 70D8h	ICU	割り込み要求レジスタ 216	IR216	8	8	2	2		
0008 70D9h	ICU	割り込み要求レジスタ 217	IR217	8	8	2	2		
0008 70DAh	ICU	割り込み要求レジスタ 218	IR218	8	8	2	2		
0008 70DBh	ICU	割り込み要求レジスタ 219	IR219	8	8	2	2		
0008 70DCh	ICU	割り込み要求レジスタ 220	IR220	8	8	2	2		64/48 ビン版にはありません。
0008 70DDh	ICU	割り込み要求レジスタ 221	IR221	8	8	2	2		64/48 ビン版にはありません。
0008 70DEh	ICU	割り込み要求レジスタ 222	IR222	8	8	2	2		64/48 ビン版にはありません。
0008 70DFh	ICU	割り込み要求レジスタ 223	IR223	8	8	2	2		100/64/48 ビン版にはありません。
0008 70E0h	ICU	割り込み要求レジスタ 224	IR224	8	8	2	2		100/64/48 ビン版にはありません。
0008 70E1h	ICU	割り込み要求レジスタ 225	IR225	8	8	2	2		100/64/48 ビン版にはありません。
0008 70E2h	ICU	割り込み要求レジスタ 226	IR226	8	8	2	2		
0008 70E3h	ICU	割り込み要求レジスタ 227	IR227	8	8	2	2		
0008 70E4h	ICU	割り込み要求レジスタ 228	IR228	8	8	2	2		
0008 70E5h	ICU	割り込み要求レジスタ 229	IR229	8	8	2	2		
0008 70E6h	ICU	割り込み要求レジスタ 230	IR230	8	8	2	2		
0008 70E7h	ICU	割り込み要求レジスタ 231	IR231	8	8	2	2		
0008 70E8h	ICU	割り込み要求レジスタ 232	IR232	8	8	2	2		
0008 70E9h	ICU	割り込み要求レジスタ 233	IR233	8	8	2	2		
0008 70EAh	ICU	割り込み要求レジスタ 234	IR234	8	8	2	2		
0008 70EBh	ICU	割り込み要求レジスタ 235	IR235	8	8	2	2		
0008 70ECh	ICU	割り込み要求レジスタ 236	IR236	8	8	2	2		
0008 70EEh	ICU	割り込み要求レジスタ 238	IR238	8	8	2	2		
0008 70EFh	ICU	割り込み要求レジスタ 239	IR239	8	8	2	2		
0008 70F0h	ICU	割り込み要求レジスタ 240	IR240	8	8	2	2		
0008 70F1h	ICU	割り込み要求レジスタ 241	IR241	8	8	2	2		
0008 70F2h	ICU	割り込み要求レジスタ 242	IR242	8	8	2	2		
0008 70F4h	ICU	割り込み要求レジスタ 244	IR244	8	8	2	2		
0008 70F5h	ICU	割り込み要求レジスタ 245	IR245	8	8	2	2		
0008 70F6h	ICU	割り込み要求レジスタ 246	IR246	8	8	2	2		
0008 70F7h	ICU	割り込み要求レジスタ 247	IR247	8	8	2	2		
0008 70F8h	ICU	割り込み要求レジスタ 248	IR248	8	8	2	2		
0008 70FAh	ICU	割り込み要求レジスタ 250	IR250	8	8	2	2		
0008 70FBh	ICU	割り込み要求レジスタ 251	IR251	8	8	2	2		
0008 70FCh	ICU	割り込み要求レジスタ 252	IR252	8	8	2	2		
0008 711Bh	ICU	DTC 起動許可レジスタ 027	DTCER027	8	8	2	2		
0008 711Ch	ICU	DTC 起動許可レジスタ 028	DTCER028	8	8	2	2		
0008 711Dh	ICU	DTC 起動許可レジスタ 029	DTCER029	8	8	2	2		
0008 711Eh	ICU	DTC 起動許可レジスタ 030	DTCER030	8	8	2	2		

表 4.1 I/O レジスタアドレス一覧 ( 8 / 4 6 )

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	幅 [bit]	アクセス サイズ	アクセスサイクル数		モジュール 名	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合		
0008 711Fh	ICU	DTC 起動許可レジスタ 031	DTCER031	8	8	2	ICLK	ICUb	
0008 7121h	ICU	DTC 起動許可レジスタ 033	DTCER033	8	8	2	ICLK		112/100/64/48 ビン版にはありません。
0008 7122h	ICU	DTC 起動許可レジスタ 034	DTCER034	8	8	2	ICLK		112/100/64/48 ビン版にはありません。
0008 7127h	ICU	DTC 起動許可レジスタ 039	DTCER039	8	8	2	ICLK		
0008 7128h	ICU	DTC 起動許可レジスタ 040	DTCER040	8	8	2	ICLK		
0008 712Ah	ICU	DTC 起動許可レジスタ 042	DTCER042	8	8	2	ICLK		64/48 ビン版にはありません。
0008 712Bh	ICU	DTC 起動許可レジスタ 043	DTCER043	8	8	2	ICLK		64/48 ビン版にはありません。
0008 7131h	ICU	DTC 起動許可レジスタ 049	DTCER049	8	8	2	ICLK		64/48 ビン版にはありません。
0008 7132h	ICU	DTC 起動許可レジスタ 050	DTCER050	8	8	2	ICLK		64/48 ビン版にはありません。
0008 7133h	ICU	DTC 起動許可レジスタ 051	DTCER051	8	8	2	ICLK		64/48 ビン版にはありません。
0008 7134h	ICU	DTC 起動許可レジスタ 052	DTCER052	8	8	2	ICLK		64/48 ビン版にはありません。
0008 7135h	ICU	DTC 起動許可レジスタ 053	DTCER053	8	8	2	ICLK		64/48 ビン版にはありません。
0008 7136h	ICU	DTC 起動許可レジスタ 054	DTCER054	8	8	2	ICLK		64/48 ビン版にはありません。
0008 7137h	ICU	DTC 起動許可レジスタ 055	DTCER055	8	8	2	ICLK		64/48 ビン版にはありません。
0008 7138h	ICU	DTC 起動許可レジスタ 056	DTCER056	8	8	2	ICLK		64/48 ビン版にはありません。
0008 713Ah	ICU	DTC 起動許可レジスタ 058	DTCER058	8	8	2	ICLK		64/48 ビン版にはありません。
0008 713Bh	ICU	DTC 起動許可レジスタ 059	DTCER059	8	8	2	ICLK		64/48 ビン版にはありません。
0008 713Ch	ICU	DTC 起動許可レジスタ 060	DTCER060	8	8	2	ICLK		64/48 ビン版にはありません。
0008 713Dh	ICU	DTC 起動許可レジスタ 061	DTCER061	8	8	2	ICLK		64/48 ビン版にはありません。
0008 713Eh	ICU	DTC 起動許可レジスタ 062	DTCER062	8	8	2	ICLK		64/48 ビン版にはありません。
0008 7140h	ICU	DTC 起動許可レジスタ 064	DTCER064	8	8	2	ICLK		
0008 7141h	ICU	DTC 起動許可レジスタ 065	DTCER065	8	8	2	ICLK		
0008 7142h	ICU	DTC 起動許可レジスタ 066	DTCER066	8	8	2	ICLK		
0008 7143h	ICU	DTC 起動許可レジスタ 067	DTCER067	8	8	2	ICLK		
0008 7144h	ICU	DTC 起動許可レジスタ 068	DTCER068	8	8	2	ICLK		
0008 7145h	ICU	DTC 起動許可レジスタ 069	DTCER069	8	8	2	ICLK		
0008 7146h	ICU	DTC 起動許可レジスタ 070	DTCER070	8	8	2	ICLK		64/48 ビン版にはありません。
0008 7147h	ICU	DTC 起動許可レジスタ 071	DTCER071	8	8	2	ICLK		64/48 ビン版にはありません。
0008 7162h	ICU	DTC 起動許可レジスタ 098	DTCER098	8	8	2	ICLK		64/48 ビン版にはありません。
0008 7166h	ICU	DTC 起動許可レジスタ 102	DTCER102	8	8	2	ICLK		
0008 7167h	ICU	DTC 起動許可レジスタ 103	DTCER103	8	8	2	ICLK		
0008 7168h	ICU	DTC 起動許可レジスタ 104	DTCER104	8	8	2	ICLK		64/48 ビン版にはありません。
0008 7169h	ICU	DTC 起動許可レジスタ 105	DTCER105	8	8	2	ICLK		64/48 ビン版にはありません。
0008 717Eh	ICU	DTC 起動許可レジスタ 126	DTCER126	8	8	2	ICLK		
0008 717Fh	ICU	DTC 起動許可レジスタ 127	DTCER127	8	8	2	ICLK		
0008 7180h	ICU	DTC 起動許可レジスタ 128	DTCER128	8	8	2	ICLK		
0008 7181h	ICU	DTC 起動許可レジスタ 129	DTCER129	8	8	2	ICLK		
0008 7185h	ICU	DTC 起動許可レジスタ 133	DTCER133	8	8	2	ICLK		
0008 7186h	ICU	DTC 起動許可レジスタ 134	DTCER134	8	8	2	ICLK		

表 4.1 I/O レジスタアドレス一覧 (9 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK $\geq$ PCLK の場合	ICLK < PCLK の場合		
0008 7189h	ICU	DTC 起動許可レジスタ 137	DTCER137	8	8	2	2	ICUb	
0008 718Ah	ICU	DTC 起動許可レジスタ 138	DTCER138	8	8	2	2		
0008 718Dh	ICU	DTC 起動許可レジスタ 141	DTCER141	8	8	2	2		
0008 718Eh	ICU	DTC 起動許可レジスタ 142	DTCER142	8	8	2	2		
0008 718Fh	ICU	DTC 起動許可レジスタ 143	DTCER143	8	8	2	2		
0008 7190h	ICU	DTC 起動許可レジスタ 144	DTCER144	8	8	2	2		
0008 7192h	ICU	DTC 起動許可レジスタ 146	DTCER146	8	8	2	2		
0008 7193h	ICU	DTC 起動許可レジスタ 147	DTCER147	8	8	2	2		
0008 7194h	ICU	DTC 起動許可レジスタ 148	DTCER148	8	8	2	2		
0008 7195h	ICU	DTC 起動許可レジスタ 149	DTCER149	8	8	2	2		
0008 7196h	ICU	DTC 起動許可レジスタ 150	DTCER150	8	8	2	2		
0008 7197h	ICU	DTC 起動許可レジスタ 151	DTCER151	8	8	2	2		
0008 7198h	ICU	DTC 起動許可レジスタ 152	DTCER152	8	8	2	2		
0008 7199h	ICU	DTC 起動許可レジスタ 153	DTCER153	8	8	2	2		
0008 719Ah	ICU	DTC 起動許可レジスタ 154	DTCER154	8	8	2	2		
0008 719Bh	ICU	DTC 起動許可レジスタ 155	DTCER155	8	8	2	2		
0008 719Ch	ICU	DTC 起動許可レジスタ 156	DTCER156	8	8	2	2		
0008 719Dh	ICU	DTC 起動許可レジスタ 157	DTCER157	8	8	2	2		
0008 71A1h	ICU	DTC 起動許可レジスタ 161	DTCER161	8	8	2	2		
0008 71A2h	ICU	DTC 起動許可レジスタ 162	DTCER162	8	8	2	2		
0008 71A3h	ICU	DTC 起動許可レジスタ 163	DTCER163	8	8	2	2		
0008 71A4h	ICU	DTC 起動許可レジスタ 164	DTCER164	8	8	2	2		
0008 71A5h	ICU	DTC 起動許可レジスタ 165	DTCER165	8	8	2	2		
0008 71ABh	ICU	DTC 起動許可レジスタ 171	DTCER171	8	8	2	2		
0008 71ACh	ICU	DTC 起動許可レジスタ 172	DTCER172	8	8	2	2		
0008 71ADh	ICU	DTC 起動許可レジスタ 173	DTCER173	8	8	2	2		
0008 71AEh	ICU	DTC 起動許可レジスタ 174	DTCER174	8	8	2	2		64/48 ビン版にはありません。
0008 71AFh	ICU	DTC 起動許可レジスタ 175	DTCER175	8	8	2	2		64/48 ビン版にはありません。
0008 71B0h	ICU	DTC 起動許可レジスタ 176	DTCER176	8	8	2	2		64/48 ビン版にはありません。
0008 71B1h	ICU	DTC 起動許可レジスタ 177	DTCER177	8	8	2	2		64/48 ビン版にはありません。
0008 71B2h	ICU	DTC 起動許可レジスタ 178	DTCER178	8	8	2	2		64/48 ビン版にはありません。
0008 71B3h	ICU	DTC 起動許可レジスタ 179	DTCER179	8	8	2	2		64/48 ビン版にはありません。
0008 71B4h	ICU	DTC 起動許可レジスタ 180	DTCER180	8	8	2	2		64/48 ビン版にはありません。
0008 71B5h	ICU	DTC 起動許可レジスタ 181	DTCER181	8	8	2	2		64/48 ビン版にはありません。
0008 71B6h	ICU	DTC 起動許可レジスタ 182	DTCER182	8	8	2	2		64/48 ビン版にはありません。
0008 71B7h	ICU	DTC 起動許可レジスタ 183	DTCER183	8	8	2	2		64/48 ビン版にはありません。
0008 71B8h	ICU	DTC 起動許可レジスタ 184	DTCER184	8	8	2	2		64/48 ビン版にはありません。
0008 71B9h	ICU	DTC 起動許可レジスタ 185	DTCER185	8	8	2	2		64/48 ビン版にはありません。
0008 71BAh	ICU	DTC 起動許可レジスタ 186	DTCER186	8	8	2	2		64/48 ビン版にはありません。
0008 71BBh	ICU	DTC 起動許可レジスタ 187	DTCER187	8	8	2	2		64/48 ビン版にはありません。
0008 71BCh	ICU	DTC 起動許可レジスタ 188	DTCER188	8	8	2	2		64/48 ビン版にはありません。
0008 71BDh	ICU	DTC 起動許可レジスタ 189	DTCER189	8	8	2	2		64/48 ビン版にはありません。

表 4.1 I/O レジスタアドレス一覧 ( 10 / 46 )

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合		
0008 71BFh	ICU	DTC 起動許可レジスタ 191	DTCER191	8	8	2	ICLK	ICUb	112/100/64/48 ビン版にはありません。
0008 71C0h	ICU	DTC 起動許可レジスタ 192	DTCER192	8	8	2	ICLK		112/100/64/48 ビン版にはありません。
0008 71C3h	ICU	DTC 起動許可レジスタ 195	DTCER195	8	8	2	ICLK		
0008 71C4h	ICU	DTC 起動許可レジスタ 196	DTCER196	8	8	2	ICLK		
0008 71C6h	ICU	DTC 起動許可レジスタ 198	DTCER198	8	8	2	ICLK		
0008 71C7h	ICU	DTC 起動許可レジスタ 199	DTCER199	8	8	2	ICLK		
0008 71C8h	ICU	DTC 起動許可レジスタ 200	DTCER200	8	8	2	ICLK		
0008 71C9h	ICU	DTC 起動許可レジスタ 201	DTCER201	8	8	2	ICLK		
0008 71D6h	ICU	DTC 起動許可レジスタ 214	DTCER214	8	8	2	ICLK		
0008 71D7h	ICU	DTC 起動許可レジスタ 215	DTCER215	8	8	2	ICLK		
0008 71D9h	ICU	DTC 起動許可レジスタ 217	DTCER217	8	8	2	ICLK		
0008 71DAh	ICU	DTC 起動許可レジスタ 218	DTCER218	8	8	2	ICLK		
0008 71DCh	ICU	DTC 起動許可レジスタ 220	DTCER220	8	8	2	ICLK		64/48 ビン版にはありません。
0008 71DDh	ICU	DTC 起動許可レジスタ 221	DTCER221	8	8	2	ICLK		64/48 ビン版にはありません。
0008 71DFh	ICU	DTC 起動許可レジスタ 223	DTCER223	8	8	2	ICLK		100/64/48 ビン版にはありません。
0008 71E0h	ICU	DTC 起動許可レジスタ 224	DTCER224	8	8	2	ICLK		100/64/48 ビン版にはありません。
0008 71E2h	ICU	DTC 起動許可レジスタ 226	DTCER226	8	8	2	ICLK		
0008 71E3h	ICU	DTC 起動許可レジスタ 227	DTCER227	8	8	2	ICLK		
0008 71E4h	ICU	DTC 起動許可レジスタ 228	DTCER228	8	8	2	ICLK		
0008 71E5h	ICU	DTC 起動許可レジスタ 229	DTCER229	8	8	2	ICLK		
0008 71E6h	ICU	DTC 起動許可レジスタ 230	DTCER230	8	8	2	ICLK		
0008 71E7h	ICU	DTC 起動許可レジスタ 231	DTCER231	8	8	2	ICLK		
0008 71E8h	ICU	DTC 起動許可レジスタ 232	DTCER232	8	8	2	ICLK		
0008 71E9h	ICU	DTC 起動許可レジスタ 233	DTCER233	8	8	2	ICLK		
0008 71EAh	ICU	DTC 起動許可レジスタ 234	DTCER234	8	8	2	ICLK		
0008 71EBh	ICU	DTC 起動許可レジスタ 235	DTCER235	8	8	2	ICLK		
0008 71ECh	ICU	DTC 起動許可レジスタ 236	DTCER236	8	8	2	ICLK		
0008 71EEh	ICU	DTC 起動許可レジスタ 238	DTCER238	8	8	2	ICLK		
0008 71EFh	ICU	DTC 起動許可レジスタ 239	DTCER239	8	8	2	ICLK		
0008 71F0h	ICU	DTC 起動許可レジスタ 240	DTCER240	8	8	2	ICLK		
0008 71F1h	ICU	DTC 起動許可レジスタ 241	DTCER241	8	8	2	ICLK		
0008 71F2h	ICU	DTC 起動許可レジスタ 242	DTCER242	8	8	2	ICLK		
0008 71F4h	ICU	DTC 起動許可レジスタ 244	DTCER244	8	8	2	ICLK		
0008 71F5h	ICU	DTC 起動許可レジスタ 245	DTCER245	8	8	2	ICLK		
0008 71F6h	ICU	DTC 起動許可レジスタ 246	DTCER246	8	8	2	ICLK		
0008 71F7h	ICU	DTC 起動許可レジスタ 247	DTCER247	8	8	2	ICLK		
0008 71F8h	ICU	DTC 起動許可レジスタ 248	DTCER248	8	8	2	ICLK		
0008 71FAh	ICU	DTC 起動許可レジスタ 250	DTCER250	8	8	2	ICLK		
0008 71FBh	ICU	DTC 起動許可レジスタ 251	DTCER251	8	8	2	ICLK		
0008 7202h	ICU	割り込み要求許可レジスタ 02	IER02	8	8	2	ICLK		
0008 7203h	ICU	割り込み要求許可レジスタ 03	IER03	8	8	2	ICLK		
0008 7204h	ICU	割り込み要求許可レジスタ 04	IER04	8	8	2	ICLK		
0008 7205h	ICU	割り込み要求許可レジスタ 05	IER05	8	8	2	ICLK		
0008 7206h	ICU	割り込み要求許可レジスタ 06	IER06	8	8	2	ICLK		64/48 ビン版にはありません。
0008 7207h	ICU	割り込み要求許可レジスタ 07	IER07	8	8	2	ICLK		
0008 7208h	ICU	割り込み要求許可レジスタ 08	IER08	8	8	2	ICLK		
0008 720Bh	ICU	割り込み要求許可レジスタ 0B	IER0B	8	8	2	ICLK		112/100/64/48 ビン版にはありません。



表4.1 I/Oレジスタアドレス一覧(11/46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合		
0008 720Ch	ICU	割り込み要求許可レジスタ 0C	IER0C	8	8	2	2	ICUb	
0008 720Dh	ICU	割り込み要求許可レジスタ 0D	IER0D	8	8	2	2		64/48ピン版にはありません。
0008 720Eh	ICU	割り込み要求許可レジスタ 0E	IER0E	8	8	2	2		
0008 720Fh	ICU	割り込み要求許可レジスタ 0F	IER0F	8	8	2	2		
0008 7210h	ICU	割り込み要求許可レジスタ 10	IER10	8	8	2	2		
0008 7211h	ICU	割り込み要求許可レジスタ 11	IER11	8	8	2	2		
0008 7212h	ICU	割り込み要求許可レジスタ 12	IER12	8	8	2	2		
0008 7213h	ICU	割り込み要求許可レジスタ 13	IER13	8	8	2	2		
0008 7214h	ICU	割り込み要求許可レジスタ 14	IER14	8	8	2	2		
0008 7215h	ICU	割り込み要求許可レジスタ 15	IER15	8	8	2	2		
0008 7216h	ICU	割り込み要求許可レジスタ 16	IER16	8	8	2	2		64/48ピン版にはありません。
0008 7217h	ICU	割り込み要求許可レジスタ 17	IER17	8	8	2	2		64/48ピン版にはありません。
0008 7218h	ICU	割り込み要求許可レジスタ 18	IER18	8	8	2	2		
0008 7219h	ICU	割り込み要求許可レジスタ 19	IER19	8	8	2	2		
0008 721Ah	ICU	割り込み要求許可レジスタ 1A	IER1A	8	8	2	2		
0008 721Bh	ICU	割り込み要求許可レジスタ 1B	IER1B	8	8	2	2		
0008 721Ch	ICU	割り込み要求許可レジスタ 1C	IER1C	8	8	2	2		
0008 721Dh	ICU	割り込み要求許可レジスタ 1D	IER1D	8	8	2	2		
0008 721Eh	ICU	割り込み要求許可レジスタ 1E	IER1E	8	8	2	2		
0008 721Fh	ICU	割り込み要求許可レジスタ 1F	IER1F	8	8	2	2		
0008 72E0h	ICU	ソフトウェア割り込み起動レジスタ	SWINTR	8	8	2	2		
0008 72F0h	ICU	高速割り込み設定レジスタ	FIR	16	16	2	2		
0008 7300h	ICU	割り込み要因プライオリティレジスタ 000	IPR000	8	8	2	2		
0008 7301h	ICU	割り込み要因プライオリティレジスタ 001	IPR001	8	8	2	2		
0008 7302h	ICU	割り込み要因プライオリティレジスタ 002	IPR002	8	8	2	2		
0008 7303h	ICU	割り込み要因プライオリティレジスタ 003	IPR003	8	8	2	2		
0008 7304h	ICU	割り込み要因プライオリティレジスタ 004	IPR004	8	8	2	2		
0008 7305h	ICU	割り込み要因プライオリティレジスタ 005	IPR005	8	8	2	2		
0008 7306h	ICU	割り込み要因プライオリティレジスタ 006	IPR006	8	8	2	2		
0008 7307h	ICU	割り込み要因プライオリティレジスタ 007	IPR007	8	8	2	2		
0008 7321h	ICU	割り込み要因プライオリティレジスタ 033	IPR033	8	8	2	2		112/100/64/48ピン版にはありません。
0008 7322h	ICU	割り込み要因プライオリティレジスタ 034	IPR034	8	8	2	2		112/100/64/48ピン版にはありません。
0008 7323h	ICU	割り込み要因プライオリティレジスタ 035	IPR035	8	8	2	2		112/100/64/48ピン版にはありません。
0008 7324h	ICU	割り込み要因プライオリティレジスタ 036	IPR036	8	8	2	2		
0008 7327h	ICU	割り込み要因プライオリティレジスタ 039	IPR039	8	8	2	2		
0008 7328h	ICU	割り込み要因プライオリティレジスタ 040	IPR040	8	8	2	2		
0008 7329h	ICU	割り込み要因プライオリティレジスタ 041	IPR041	8	8	2	2		
0008 732Ah	ICU	割り込み要因プライオリティレジスタ 042	IPR042	8	8	2	2		64/48ピン版にはありません。
0008 732Bh	ICU	割り込み要因プライオリティレジスタ 043	IPR043	8	8	2	2		64/48ピン版にはありません。
0008 732Ch	ICU	割り込み要因プライオリティレジスタ 044	IPR044	8	8	2	2		64/48ピン版にはありません。
0008 732Dh	ICU	割り込み要因プライオリティレジスタ 045	IPR045	8	8	2	2		64/48ピン版にはありません。
0008 7331h	ICU	割り込み要因プライオリティレジスタ 049	IPR049	8	8	2	2		64/48ピン版にはありません。
0008 7334h	ICU	割り込み要因プライオリティレジスタ 052	IPR052	8	8	2	2		64/48ピン版にはありません。
0008 7336h	ICU	割り込み要因プライオリティレジスタ 054	IPR054	8	8	2	2		64/48ピン版にはありません。

表 4.1 I/O レジスタアドレス一覧 ( 1 2 / 4 6 )

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK $\geq$ PCLK の場合	ICLK < PCLK の場合		
0008 7337h	ICU	割り込み要因プライオリティレジスタ 055	IPR055	8	8	2	ICLK	ICUb	64/48 ビン版にはありません。
0008 7338h	ICU	割り込み要因プライオリティレジスタ 056	IPR056	8	8	2	ICLK		64/48 ビン版にはありません。
0008 7339h	ICU	割り込み要因プライオリティレジスタ 057	IPR057	8	8	2	ICLK		
0008 733Ah	ICU	割り込み要因プライオリティレジスタ 058	IPR058	8	8	2	ICLK		64/48 ビン版にはありません。
0008 733Bh	ICU	割り込み要因プライオリティレジスタ 059	IPR059	8	8	2	ICLK		64/48 ビン版にはありません。
0008 733Ch	ICU	割り込み要因プライオリティレジスタ 060	IPR060	8	8	2	ICLK		64/48 ビン版にはありません。
0008 733Dh	ICU	割り込み要因プライオリティレジスタ 061	IPR061	8	8	2	ICLK		64/48 ビン版にはありません。
0008 733Eh	ICU	割り込み要因プライオリティレジスタ 062	IPR062	8	8	2	ICLK		64/48 ビン版にはありません。
0008 7340h	ICU	割り込み要因プライオリティレジスタ 064	IPR064	8	8	2	ICLK		
0008 7341h	ICU	割り込み要因プライオリティレジスタ 065	IPR065	8	8	2	ICLK		
0008 7342h	ICU	割り込み要因プライオリティレジスタ 066	IPR066	8	8	2	ICLK		
0008 7343h	ICU	割り込み要因プライオリティレジスタ 067	IPR067	8	8	2	ICLK		
0008 7344h	ICU	割り込み要因プライオリティレジスタ 068	IPR068	8	8	2	ICLK		
0008 7345h	ICU	割り込み要因プライオリティレジスタ 069	IPR069	8	8	2	ICLK		
0008 7346h	ICU	割り込み要因プライオリティレジスタ 070	IPR070	8	8	2	ICLK		64/48 ビン版にはありません。
0008 7347h	ICU	割り込み要因プライオリティレジスタ 071	IPR071	8	8	2	ICLK		64/48 ビン版にはありません。
0008 735Ah	ICU	割り込み要因プライオリティレジスタ 090	IPR090	8	8	2	ICLK		112/100/64/48 ビン版にはありません。
0008 7362h	ICU	割り込み要因プライオリティレジスタ 098	IPR098	8	8	2	ICLK		64/48 ビン版にはありません。
0008 7366h	ICU	割り込み要因プライオリティレジスタ 102	IPR102	8	8	2	ICLK		
0008 7367h	ICU	割り込み要因プライオリティレジスタ 103	IPR103	8	8	2	ICLK		
0008 7368h	ICU	割り込み要因プライオリティレジスタ 104	IPR104	8	8	2	ICLK		64/48 ビン版にはありません。
0008 7369h	ICU	割り込み要因プライオリティレジスタ 105	IPR105	8	8	2	ICLK		64/48 ビン版にはありません。
0008 736Ah	ICU	割り込み要因プライオリティレジスタ 106	IPR106	8	8	2	ICLK		64/48 ビン版にはありません。
0008 7372h	ICU	割り込み要因プライオリティレジスタ 114	IPR114	8	8	2	ICLK		
0008 737Ah	ICU	割り込み要因プライオリティレジスタ 122	IPR122	8	8	2	ICLK		
0008 737Eh	ICU	割り込み要因プライオリティレジスタ 126	IPR126	8	8	2	ICLK		
0008 7382h	ICU	割り込み要因プライオリティレジスタ 130	IPR130	8	8	2	ICLK		
0008 7385h	ICU	割り込み要因プライオリティレジスタ 133	IPR133	8	8	2	ICLK		
0008 7387h	ICU	割り込み要因プライオリティレジスタ 135	IPR135	8	8	2	ICLK		
0008 7389h	ICU	割り込み要因プライオリティレジスタ 137	IPR137	8	8	2	ICLK		
0008 738Bh	ICU	割り込み要因プライオリティレジスタ 139	IPR139	8	8	2	ICLK		
0008 738Dh	ICU	割り込み要因プライオリティレジスタ 141	IPR141	8	8	2	ICLK		
0008 7391h	ICU	割り込み要因プライオリティレジスタ 145	IPR145	8	8	2	ICLK		
0008 7392h	ICU	割り込み要因プライオリティレジスタ 146	IPR146	8	8	2	ICLK		
0008 7396h	ICU	割り込み要因プライオリティレジスタ 150	IPR150	8	8	2	ICLK		
0008 7397h	ICU	割り込み要因プライオリティレジスタ 151	IPR151	8	8	2	ICLK		
0008 739Ah	ICU	割り込み要因プライオリティレジスタ 154	IPR154	8	8	2	ICLK		
0008 739Eh	ICU	割り込み要因プライオリティレジスタ 158	IPR158	8	8	2	ICLK		
0008 73A1h	ICU	割り込み要因プライオリティレジスタ 161	IPR161	8	8	2	ICLK		
0008 73A3h	ICU	割り込み要因プライオリティレジスタ 163	IPR163	8	8	2	ICLK		
0008 73A5h	ICU	割り込み要因プライオリティレジスタ 165	IPR165	8	8	2	ICLK		
0008 73A6h	ICU	割り込み要因プライオリティレジスタ 166	IPR166	8	8	2	ICLK		
0008 73ABh	ICU	割り込み要因プライオリティレジスタ 171	IPR171	8	8	2	ICLK		

表 4.1 I/O レジスタアドレス一覧 ( 1 3 / 4 6 )

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK $\geq$ PCLK の場合	ICLK < PCLK の場合		
0008 73ACh	ICU	割り込み要因プライオリティレジスタ 172	IPR172	8	8	2	2	ICUb	
0008 73ADh	ICU	割り込み要因プライオリティレジスタ 173	IPR173	8	8	2	2		
0008 73AEh	ICU	割り込み要因プライオリティレジスタ 174	IPR174	8	8	2	2		64/48 ビン版にはありません。
0008 73B1h	ICU	割り込み要因プライオリティレジスタ 177	IPR177	8	8	2	2		64/48 ビン版にはありません。
0008 73B4h	ICU	割り込み要因プライオリティレジスタ 180	IPR180	8	8	2	2		64/48 ビン版にはありません。
0008 73B7h	ICU	割り込み要因プライオリティレジスタ 183	IPR183	8	8	2	2		64/48 ビン版にはありません。
0008 73B9h	ICU	割り込み要因プライオリティレジスタ 185	IPR185	8	8	2	2		64/48 ビン版にはありません。
0008 73BCh	ICU	割り込み要因プライオリティレジスタ 188	IPR188	8	8	2	2		64/48 ビン版にはありません。
0008 73BEh	ICU	割り込み要因プライオリティレジスタ 190	IPR190	8	8	2	2		112/100/64/48 ビン版にはありません。
0008 73C2h	ICU	割り込み要因プライオリティレジスタ 194	IPR194	8	8	2	2		
0008 73C6h	ICU	割り込み要因プライオリティレジスタ 198	IPR198	8	8	2	2		
0008 73C7h	ICU	割り込み要因プライオリティレジスタ 199	IPR199	8	8	2	2		
0008 73C8h	ICU	割り込み要因プライオリティレジスタ 200	IPR200	8	8	2	2		
0008 73C9h	ICU	割り込み要因プライオリティレジスタ 201	IPR201	8	8	2	2		
0008 73D6h	ICU	割り込み要因プライオリティレジスタ 214	IPR214	8	8	2	2		
0008 73D9h	ICU	割り込み要因プライオリティレジスタ 217	IPR217	8	8	2	2		
0008 73DCh	ICU	割り込み要因プライオリティレジスタ 220	IPR220	8	8	2	2		64/48 ビン版にはありません。
0008 73DFh	ICU	割り込み要因プライオリティレジスタ 223	IPR223	8	8	2	2		100/64/48 ビン版にはありません。
0008 73E2h	ICU	割り込み要因プライオリティレジスタ 226	IPR226	8	8	2	2		
0008 73E5h	ICU	割り込み要因プライオリティレジスタ 229	IPR229	8	8	2	2		
0008 73E8h	ICU	割り込み要因プライオリティレジスタ 232	IPR232	8	8	2	2		
0008 73EBh	ICU	割り込み要因プライオリティレジスタ 235	IPR235	8	8	2	2		
0008 73EEh	ICU	割り込み要因プライオリティレジスタ 238	IPR238	8	8	2	2		
0008 73F1h	ICU	割り込み要因プライオリティレジスタ 241	IPR241	8	8	2	2		
0008 73F4h	ICU	割り込み要因プライオリティレジスタ 244	IPR244	8	8	2	2		
0008 73F7h	ICU	割り込み要因プライオリティレジスタ 247	IPR247	8	8	2	2		
0008 73FAh	ICU	割り込み要因プライオリティレジスタ 250	IPR250	8	8	2	2		
0008 7400h	ICU	DMAC 起動要求選択レジスタ 0	DMRSR0	8	8	2	2		
0008 7404h	ICU	DMAC 起動要求選択レジスタ 1	DMRSR1	8	8	2	2		
0008 7408h	ICU	DMAC 起動要求選択レジスタ 2	DMRSR2	8	8	2	2		
0008 740Ch	ICU	DMAC 起動要求選択レジスタ 3	DMRSR3	8	8	2	2		
0008 7500h	ICU	IRQ コントロールレジスタ 0	IRQCR0	8	8	2	2		
0008 7501h	ICU	IRQ コントロールレジスタ 1	IRQCR1	8	8	2	2		
0008 7502h	ICU	IRQ コントロールレジスタ 2	IRQCR2	8	8	2	2		
0008 7503h	ICU	IRQ コントロールレジスタ 3	IRQCR3	8	8	2	2		
0008 7504h	ICU	IRQ コントロールレジスタ 4	IRQCR4	8	8	2	2		
0008 7505h	ICU	IRQ コントロールレジスタ 5	IRQCR5	8	8	2	2		
0008 7506h	ICU	IRQ コントロールレジスタ 6	IRQCR6	8	8	2	2		64/48 ビン版にはありません。
0008 7507h	ICU	IRQ コントロールレジスタ 7	IRQCR7	8	8	2	2		64/48 ビン版にはありません。
0008 7510h	ICU	IRQ 端子デジタルフィルタ許可レジスタ 0	IRQFLTE0	8	8	2	2		
0008 7514h	ICU	IRQ 端子デジタルフィルタ設定レジスタ 0	IRQFLTC0	16	16	2	2		
0008 7580h	ICU	ノーマスカブル割り込みステータスレジスタ	NMISR	8	8	2	2		
0008 7581h	ICU	ノーマスカブル割り込み許可レジスタ	NMIER	8	8	2	2		
0008 7582h	ICU	ノーマスカブル割り込みステータスクリアレジスタ	NMICLR	8	8	2	2		
0008 7583h	ICU	NMI 端子割り込みコントロールレジスタ	NMICR	8	8	2	2		

表 4.1 I/O レジスタアドレス一覧 (14 / 46)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		モジュール 名	備考	
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
0008 7590h	ICU	NMI端子デジタルフィルタ許可レジスタ	NMIFLTE	8	8	2ICLK		ICUb		
0008 7594h	ICU	NMI端子デジタルフィルタ設定レジスタ	NMIFLTC	8	8	2ICLK				
0008 8000h	CMT	コンペアマッチタイマスタートレジスタ0	CMSTR0	16	16	2 ~ 3PCLKB	2ICLK	CMT		
0008 8002h	CMT0	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK			
0008 8004h	CMT0	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK			
0008 8006h	CMT0	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK			
0008 8008h	CMT1	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK			
0008 800Ah	CMT1	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK			
0008 800Ch	CMT1	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK			
0008 8010h	CMT	コンペアマッチタイマスタートレジスタ1	CMSTR1	16	16	2 ~ 3PCLKB	2ICLK			
0008 8012h	CMT2	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK			
0008 8014h	CMT2	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK			
0008 8016h	CMT2	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK			
0008 8018h	CMT3	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK			
0008 801Ah	CMT3	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK			
0008 801Ch	CMT3	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK			
0008 8020h	WDT	WDTリフレッシュレジスタ	WDTRR	8	8	2 ~ 3PCLKB	2ICLK	WDTA		
0008 8022h	WDT	WDTコントロールレジスタ	WDTCR	16	16	2 ~ 3PCLKB	2ICLK			
0008 8024h	WDT	WDTステータスレジスタ	WDTSR	16	16	2 ~ 3PCLKB	2ICLK			
0008 8026h	WDT	WDTリセットコントロールレジスタ	WDTRCR	8	8	2 ~ 3PCLKB	2ICLK			
0008 8030h	IWDT	IWDTリフレッシュレジスタ	IWDRR	8	8	2 ~ 3PCLKB	2ICLK	IWDTa		
0008 8032h	IWDT	IWDTコントロールレジスタ	IWDCR	16	16	2 ~ 3PCLKB	2ICLK			
0008 8034h	IWDT	IWDTステータスレジスタ	IWDTSR	16	16	2 ~ 3PCLKB	2ICLK			
0008 8036h	IWDT	IWDTリセットコントロールレジスタ	IWDRCR	8	8	2 ~ 3PCLKB	2ICLK			
0008 8038h	IWDT	IWDT カウント停止コントロールレジスタ	IWDCSTPR	8	8	2 ~ 3PCLKB	2ICLK			
0008 80C0h	DA	D/A データレジスタ0	DADR0	16	16	2 ~ 3PCLKB	2ICLK		DAa	64/48 ビン版には ありません。
0008 80C2h	DA	D/A データレジスタ1	DADR1	16	16	2 ~ 3PCLKB	2ICLK			64/48 ビン版には ありません。
0008 80C4h	DA	D/Aコントロールレジスタ	DACR	8	8	2 ~ 3PCLKB	2ICLK			64/48 ビン版には ありません。
0008 80C5h	DA	DADRmフォーマット選択レジスタ	DADPR	8	8	2 ~ 3PCLKB	2ICLK			64/48 ビン版には ありません。
0008 80C6h	DA	D/A A/D同期スタート制御レジスタ	DAADSCR	8	8	2 ~ 3PCLKB	2ICLK			64/48 ビン版には ありません。
0008 8280h	CRC	CRCコントロールレジスタ	CRCCR	8	8	2 ~ 3PCLKB	2ICLK	CRC		
0008 8281h	CRC	CRCデータ入力レジスタ	CRCDIR	8	8	2 ~ 3PCLKB	2ICLK			
0008 8282h	CRC	CRCデータ出力レジスタ	CRCDOR	16	16	2 ~ 3PCLKB	2ICLK			
0008 8300h	RIIC0	I <sup>2</sup> Cバスコントロールレジスタ1	ICCR1	8	8	2 ~ 3PCLKB	2ICLK	RIIC		
0008 8301h	RIIC0	I <sup>2</sup> Cバスコントロールレジスタ2	ICCR2	8	8	2 ~ 3PCLKB	2ICLK			
0008 8302h	RIIC0	I <sup>2</sup> Cバスモードレジスタ1	ICMR1	8	8	2 ~ 3PCLKB	2ICLK			
0008 8303h	RIIC0	I <sup>2</sup> Cバスモードレジスタ2	ICMR2	8	8	2 ~ 3PCLKB	2ICLK			
0008 8304h	RIIC0	I <sup>2</sup> Cバスモードレジスタ3	ICMR3	8	8	2 ~ 3PCLKB	2ICLK			
0008 8305h	RIIC0	I <sup>2</sup> Cバスファンクションイネーブルレジスタ	ICFER	8	8	2 ~ 3PCLKB	2ICLK			
0008 8306h	RIIC0	I <sup>2</sup> Cバスステータスイネーブルレジスタ	ICSER	8	8	2 ~ 3PCLKB	2ICLK			
0008 8307h	RIIC0	I <sup>2</sup> Cバスインタラプトイネーブルレジスタ	ICIER	8	8	2 ~ 3PCLKB	2ICLK			
0008 8308h	RIIC0	I <sup>2</sup> Cバスステータスレジスタ1	ICSR1	8	8	2 ~ 3PCLKB	2ICLK			
0008 8309h	RIIC0	I <sup>2</sup> Cバスステータスレジスタ2	ICSR2	8	8	2 ~ 3PCLKB	2ICLK			
0008 830Ah	RIIC0	スレーブアドレスレジスタL0	SARL0	8	8	2 ~ 3PCLKB	2ICLK			
0008 830Ah	RIIC0	タイムアウト内部カウンタL	TMOCNTL	8	8	2 ~ 3PCLKB	2ICLK			
0008 830Bh	RIIC0	スレーブアドレスレジスタU0	SARU0	8	8	2 ~ 3PCLKB	2ICLK			
0008 830Bh	RIIC0	タイムアウト内部カウンタU	TMOCNTU	8	8 (注2)	2 ~ 3PCLKB	2ICLK			
0008 830Ch	RIIC0	スレーブアドレスレジスタL1	SARL1	8	8	2 ~ 3PCLKB	2ICLK			

表 4.1 I/O レジスタアドレス一覧 ( 15 / 46 )

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK $\geq$ PCLK の場合	ICLK < PCLK の場合		
0008 830Dh	RIIC0	スレーブアドレスレジスタU1	SARU1	8	8	2 ~ 3PCLKB	2ICLK	RIIC	
0008 830Eh	RIIC0	スレーブアドレスレジスタL2	SARL2	8	8	2 ~ 3PCLKB	2ICLK		
0008 830Fh	RIIC0	スレーブアドレスレジスタU2	SARU2	8	8	2 ~ 3PCLKB	2ICLK		
0008 8310h	RIIC0	I <sup>2</sup> Cバスビットレートローレベルレジスタ	ICBRL	8	8	2 ~ 3PCLKB	2ICLK		
0008 8311h	RIIC0	I <sup>2</sup> Cバスビットレートハイレベルレジスタ	ICBRH	8	8	2 ~ 3PCLKB	2ICLK		
0008 8312h	RIIC0	I <sup>2</sup> Cバス送信データレジスタ	ICDRT	8	8	2 ~ 3PCLKB	2ICLK		
0008 8313h	RIIC0	I <sup>2</sup> Cバス受信データレジスタ	ICDRR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8320h	RIIC1	I <sup>2</sup> Cバスコントロールレジスタ1	ICCR1	8	8	2 ~ 3PCLKB	2ICLK		112/100/64/48 ピン版にはありません。
0008 8321h	RIIC1	I <sup>2</sup> Cバスコントロールレジスタ2	ICCR2	8	8	2 ~ 3PCLKB	2ICLK		112/100/64/48 ピン版にはありません。
0008 8322h	RIIC1	I <sup>2</sup> Cバスモードレジスタ1	ICMR1	8	8	2 ~ 3PCLKB	2ICLK		112/100/64/48 ピン版にはありません。
0008 8323h	RIIC1	I <sup>2</sup> Cバスモードレジスタ2	ICMR2	8	8	2 ~ 3PCLKB	2ICLK		112/100/64/48 ピン版にはありません。
0008 8324h	RIIC1	I <sup>2</sup> Cバスモードレジスタ3	ICMR3	8	8	2 ~ 3PCLKB	2ICLK		112/100/64/48 ピン版にはありません。
0008 8325h	RIIC1	I <sup>2</sup> Cバスファンクションイネーブルレジスタ	ICFER	8	8	2 ~ 3PCLKB	2ICLK		112/100/64/48 ピン版にはありません。
0008 8326h	RIIC1	I <sup>2</sup> Cバスステータスイネーブルレジスタ	ICSER	8	8	2 ~ 3PCLKB	2ICLK		112/100/64/48 ピン版にはありません。
0008 8327h	RIIC1	I <sup>2</sup> Cバスインタラプトイネーブルレジスタ	ICIER	8	8	2 ~ 3PCLKB	2ICLK		112/100/64/48 ピン版にはありません。
0008 8328h	RIIC1	I <sup>2</sup> Cバスステータスレジスタ1	ICSR1	8	8	2 ~ 3PCLKB	2ICLK		112/100/64/48 ピン版にはありません。
0008 8329h	RIIC1	I <sup>2</sup> Cバスステータスレジスタ2	ICSR2	8	8	2 ~ 3PCLKB	2ICLK		112/100/64/48 ピン版にはありません。
0008 832Ah	RIIC1	スレーブアドレスレジスタL0	SARL0	8	8	2 ~ 3PCLKB	2ICLK		112/100/64/48 ピン版にはありません。
0008 832Ah	RIIC1	タイムアウト内部カウンタL	TMOCNTL	8	8	2 ~ 3PCLKB	2ICLK		112/100/64/48 ピン版にはありません。
0008 832Bh	RIIC1	スレーブアドレスレジスタU0	SARU0	8	8	2 ~ 3PCLKB	2ICLK		112/100/64/48 ピン版にはありません。
0008 832Bh	RIIC1	タイムアウト内部カウンタU	TMOCNTU	8	8 (注2)	2 ~ 3PCLKB	2ICLK		112/100/64/48 ピン版にはありません。
0008 832Ch	RIIC1	スレーブアドレスレジスタL1	SARL1	8	8	2 ~ 3PCLKB	2ICLK		112/100/64/48 ピン版にはありません。
0008 832Dh	RIIC1	スレーブアドレスレジスタU1	SARU1	8	8	2 ~ 3PCLKB	2ICLK		112/100/64/48 ピン版にはありません。
0008 832Eh	RIIC1	スレーブアドレスレジスタL2	SARL2	8	8	2 ~ 3PCLKB	2ICLK		112/100/64/48 ピン版にはありません。
0008 832Fh	RIIC1	スレーブアドレスレジスタU2	SARU2	8	8	2 ~ 3PCLKB	2ICLK		112/100/64/48 ピン版にはありません。
0008 8330h	RIIC1	I <sup>2</sup> Cバスビットレートローレベルレジスタ	ICBRL	8	8	2 ~ 3PCLKB	2ICLK		112/100/64/48 ピン版にはありません。
0008 8331h	RIIC1	I <sup>2</sup> Cバスビットレートハイレベルレジスタ	ICBRH	8	8	2 ~ 3PCLKB	2ICLK		112/100/64/48 ピン版にはありません。
0008 8332h	RIIC1	I <sup>2</sup> Cバス送信データレジスタ	ICDRT	8	8	2 ~ 3PCLKB	2ICLK		112/100/64/48 ピン版にはありません。
0008 8333h	RIIC1	I <sup>2</sup> Cバス受信データレジスタ	ICDRR	8	8	2 ~ 3PCLKB	2ICLK		112/100/64/48 ピン版にはありません。
0008 8380h	RSPIO	RSPI制御レジスタ	SPCR	8	8	2 ~ 3PCLKB	2ICLK	RSPI	
0008 8381h	RSPIO	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	2 ~ 3PCLKB	2ICLK		
0008 8382h	RSPIO	RSPI端子制御レジスタ	SPPCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8383h	RSPIO	RSPIステータスレジスタ	SPSR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8384h	RSPIO	RSPIデータレジスタ	SPDR	32	16、32	2 ~ 3PCLKB	2ICLK		
0008 8388h	RSPIO	RSPIシーケンス制御レジスタ	SPSCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8389h	RSPIO	RSPIシーケンスステータスレジスタ	SPSSR	8	8	2 ~ 3PCLKB	2ICLK		
0008 838Ah	RSPIO	RSPIビットレートレジスタ	SPBR	8	8	2 ~ 3PCLKB	2ICLK		
0008 838Bh	RSPIO	RSPIデータコントロールレジスタ	SPDCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 838Ch	RSPIO	RSPIクロック遅延レジスタ	SPCKD	8	8	2 ~ 3PCLKB	2ICLK		

表 4.1 I/O レジスタアドレス一覧 (16 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合		
0008 838Dh	RSPI0	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2 ~ 3PCLKB	2ICLK	RSPI	
0008 838Eh	RSPI0	RSPI次アクセス遅延レジスタ	SPND	8	8	2 ~ 3PCLKB	2ICLK		
0008 838Fh	RSPI0	RSPI制御レジスタ2	SPCR2	8	8	2 ~ 3PCLKB	2ICLK		
0008 8390h	RSPI0	RSPIコマンドレジスタ0	SPCMD0	16	16	2 ~ 3PCLKB	2ICLK		
0008 8392h	RSPI0	RSPIコマンドレジスタ1	SPCMD1	16	16	2 ~ 3PCLKB	2ICLK		
0008 8394h	RSPI0	RSPIコマンドレジスタ2	SPCMD2	16	16	2 ~ 3PCLKB	2ICLK		
0008 8396h	RSPI0	RSPIコマンドレジスタ3	SPCMD3	16	16	2 ~ 3PCLKB	2ICLK		
0008 8398h	RSPI0	RSPIコマンドレジスタ4	SPCMD4	16	16	2 ~ 3PCLKB	2ICLK		
0008 839Ah	RSPI0	RSPIコマンドレジスタ5	SPCMD5	16	16	2 ~ 3PCLKB	2ICLK		
0008 839Ch	RSPI0	RSPIコマンドレジスタ6	SPCMD6	16	16	2 ~ 3PCLKB	2ICLK		
0008 839Eh	RSPI0	RSPIコマンドレジスタ7	SPCMD7	16	16	2 ~ 3PCLKB	2ICLK		
0008 83A0h	RSPI1	RSPI制御レジスタ	SPCR	8	8	2 ~ 3PCLKB	2ICLK		64/48 ビン版にはありません。
0008 83A1h	RSPI1	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	2 ~ 3PCLKB	2ICLK		64/48 ビン版にはありません。
0008 83A2h	RSPI1	RSPI端子制御レジスタ	SPPCR	8	8	2 ~ 3PCLKB	2ICLK		64/48 ビン版にはありません。
0008 83A3h	RSPI1	RSPIステータスレジスタ	SPSR	8	8	2 ~ 3PCLKB	2ICLK		64/48 ビン版にはありません。
0008 83A4h	RSPI1	RSPIデータレジスタ	SPDR	32	16、32	2 ~ 3PCLKB	2ICLK		64/48 ビン版にはありません。
0008 83A8h	RSPI1	RSPIシーケンス制御レジスタ	SPSCR	8	8	2 ~ 3PCLKB	2ICLK		64/48 ビン版にはありません。
0008 83A9h	RSPI1	RSPIシーケンスステータスレジスタ	SPSSR	8	8	2 ~ 3PCLKB	2ICLK		64/48 ビン版にはありません。
0008 83AAh	RSPI1	RSPIビットレートレジスタ	SPBR	8	8	2 ~ 3PCLKB	2ICLK		64/48 ビン版にはありません。
0008 83ABh	RSPI1	RSPIデータコントロールレジスタ	SPDCR	8	8	2 ~ 3PCLKB	2ICLK		64/48 ビン版にはありません。
0008 83ACh	RSPI1	RSPIクロック遅延レジスタ	SPCKD	8	8	2 ~ 3PCLKB	2ICLK		64/48 ビン版にはありません。
0008 83ADh	RSPI1	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2 ~ 3PCLKB	2ICLK		64/48 ビン版にはありません。
0008 83AEh	RSPI1	RSPI次アクセス遅延レジスタ	SPND	8	8	2 ~ 3PCLKB	2ICLK		64/48 ビン版にはありません。
0008 83AFh	RSPI1	RSPI制御レジスタ2	SPCR2	8	8	2 ~ 3PCLKB	2ICLK		64/48 ビン版にはありません。
0008 83B0h	RSPI1	RSPIコマンドレジスタ0	SPCMD0	16	16	2 ~ 3PCLKB	2ICLK		64/48 ビン版にはありません。
0008 83B2h	RSPI1	RSPIコマンドレジスタ1	SPCMD1	16	16	2 ~ 3PCLKB	2ICLK		64/48 ビン版にはありません。
0008 83B4h	RSPI1	RSPIコマンドレジスタ2	SPCMD2	16	16	2 ~ 3PCLKB	2ICLK		64/48 ビン版にはありません。
0008 83B6h	RSPI1	RSPIコマンドレジスタ3	SPCMD3	16	16	2 ~ 3PCLKB	2ICLK		64/48 ビン版にはありません。
0008 83B8h	RSPI1	RSPIコマンドレジスタ4	SPCMD4	16	16	2 ~ 3PCLKB	2ICLK		64/48 ビン版にはありません。
0008 83BAh	RSPI1	RSPIコマンドレジスタ5	SPCMD5	16	16	2 ~ 3PCLKB	2ICLK		64/48 ビン版にはありません。
0008 83BCh	RSPI1	RSPIコマンドレジスタ6	SPCMD6	16	16	2 ~ 3PCLKB	2ICLK		64/48 ビン版にはありません。
0008 83BEh	RSPI1	RSPIコマンドレジスタ7	SPCMD7	16	16	2 ~ 3PCLKB	2ICLK		64/48 ビン版にはありません。
0008 9000h	S12AD	A/Dコントロールレジスタ	ADCSR	16	16	2 ~ 3PCLKB	2ICLK	S12ADB	
0008 9004h	S12AD	A/Dチャネル選択レジスタA	ADANSA	16	16	2 ~ 3PCLKB	2ICLK		
0008 9008h	S12AD	A/D変換値加算モード選択レジスタ	ADADS	16	16	2 ~ 3PCLKB	2ICLK		
0008 900Ch	S12AD	A/D変換値加算回数選択レジスタ	ADADC	8	8	2 ~ 3PCLKB	2ICLK		
0008 900Eh	S12AD	A/Dコントロール拡張レジスタ	ADCER	16	16	2 ~ 3PCLKB	2ICLK		
0008 9010h	S12AD	A/D開始トリガ選択レジスタ	ADSTRGR	16	16	2 ~ 3PCLKB	2ICLK		
0008 9014h	S12AD	A/Dチャネル選択レジスタB	ADANSB	16	16	2 ~ 3PCLKB	2ICLK		

表 4.1 I/O レジスタアドレス一覧 (17 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合		
0008 9018h	S12AD	A/D データ 2 重化レジスタ	ADDBLDR	16	16	2~3PCLKB	2ICLK	S12ADB	
0008 901Eh	S12AD	A/D 自己診断データレジスタ	ADRD	16	16	2~3PCLKB	2ICLK		
0008 9020h	S12AD	A/D データレジスタ 0	ADDR0	16	16	2~3PCLKB	2ICLK		
0008 9022h	S12AD	A/D データレジスタ 1	ADDR1	16	16	2~3PCLKB	2ICLK		
0008 9024h	S12AD	A/D データレジスタ 2	ADDR2	16	16	2~3PCLKB	2ICLK		
0008 9026h	S12AD	A/D データレジスタ 3	ADDR3	16	16	2~3PCLKB	2ICLK		
0008 9028h	S12AD	A/D データレジスタ 4	ADDR4	16	16	2~3PCLKB	2ICLK		144/120/112/100 ピン版にはありません。
0008 902Ah	S12AD	A/D データレジスタ 5	ADDR5	16	16	2~3PCLKB	2ICLK		144/120/112/100/48 ピン版にはありません。
0008 902Ch	S12AD	A/D データレジスタ 6	ADDR6	16	16	2~3PCLKB	2ICLK		144/120/112/100/48 ピン版にはありません。
0008 902Eh	S12AD	A/D データレジスタ 7	ADDR7	16	16	2~3PCLKB	2ICLK		144/120/112/100 ピン版にはありません。
0008 9060h	S12AD	A/D サンプリングステートレジスタ 0	ADSSTR0	8	8	2~3PCLKB	2ICLK		
0008 9066h	S12AD	サンプル&ホールド回路コントロールレジスタ	ADSHCR	16	16	2~3PCLKB	2ICLK		
0008 9073h	S12AD	A/D サンプリングステートレジスタ 1	ADSSTR1	8	8	2~3PCLKB	2ICLK		
0008 9074h	S12AD	A/D サンプリングステートレジスタ 2	ADSSTR2	8	8	2~3PCLKB	2ICLK		
0008 9075h	S12AD	A/D サンプリングステートレジスタ 3	ADSSTR3	8	8	2~3PCLKB	2ICLK		
0008 9076h	S12AD	A/D サンプリングステートレジスタ 4	ADSSTR4	8	8	2~3PCLKB	2ICLK		144/120/112/100 ピン版にはありません。
0008 9077h	S12AD	A/D サンプリングステートレジスタ 5	ADSSTR5	8	8	2~3PCLKB	2ICLK		144/120/112/100/48 ピン版にはありません。
0008 9078h	S12AD	A/D サンプリングステートレジスタ 6	ADSSTR6	8	8	2~3PCLKB	2ICLK		144/120/112/100/48 ピン版にはありません。
0008 9079h	S12AD	A/D サンプリングステートレジスタ 7	ADSSTR7	8	8	2~3PCLKB	2ICLK		144/120/112/100 ピン版にはありません。
0008 9080h	S12AD	A/D グループスキャン優先コントロールレジスタ	ADGSPCR	16	16	2~3PCLKB	2ICLK		
0008 9084h	S12AD	A/D データ 2 重化レジスタ A	ADDBLDRA	16	16	2~3PCLKB	2ICLK		
0008 9086h	S12AD	A/D データ 2 重化レジスタ B	ADDBLDRB	16	16	2~3PCLKB	2ICLK		
0008 908Ah	S12AD	A/D プログラマブルゲインアンプレジスタ	ADPG	16	16	2~3PCLKB	2ICLK		64/48 ピン版にはありません。
0008 90E0h	S12AD	コンパレータ動作モード選択レジスタ 0	ADCMPMD0	16	16	2~3PCLKB	2ICLK		
0008 90E2h	S12AD	コンパレータ動作モード選択レジスタ 1	ADCMPMD1	16	16	2~3PCLKB	2ICLK		
0008 90E4h	S12AD	コンパレータフィルタモードレジスタ 0	ADCMPNR0	16	16	2~3PCLKB	2ICLK		
0008 90E8h	S12AD	コンパレータ検出フラグレジスタ	ADCMPFR	8	8	2~3PCLKB	2ICLK		
0008 90EAh	S12AD	コンパレータ割り込み選択レジスタ	ADCMPSEL	16	16	2~3PCLKB	2ICLK		
0008 90FCh	S12AD	A/D グループスキャン優先モードレジスタ	ADGSPMR	16	16	2~3PCLKB	2ICLK		64/48 ピン版にはありません。
0008 9100h	S12AD1	A/D コントロールレジスタ	ADCSR	16	16	2~3PCLKB	2ICLK		64/48 ピン版にはありません。
0008 9104h	S12AD1	A/D チャネル選択レジスタ A	ADANSA	16	16	2~3PCLKB	2ICLK		64/48 ピン版にはありません。
0008 9108h	S12AD1	A/D 変換値加算モード選択レジスタ	ADADS	16	16	2~3PCLKB	2ICLK		64/48 ピン版にはありません。
0008 910Ch	S12AD1	A/D 変換値加算回数選択レジスタ	ADADC	8	8	2~3PCLKB	2ICLK		64/48 ピン版にはありません。
0008 910Eh	S12AD1	A/D コントロール拡張レジスタ	ADCER	16	16	2~3PCLKB	2ICLK		64/48 ピン版にはありません。
0008 9110h	S12AD1	A/D 開始トリガ選択レジスタ	ADSTRGR	16	16	2~3PCLKB	2ICLK		64/48 ピン版にはありません。
0008 9114h	S12AD1	A/D チャネル選択レジスタ B	ADANSB	16	16	2~3PCLKB	2ICLK		64/48 ピン版にはありません。
0008 9118h	S12AD1	A/D データ 2 重化レジスタ	ADDBLDR	16	16	2~3PCLKB	2ICLK		64/48 ピン版にはありません。
0008 911Eh	S12AD1	A/D 自己診断データレジスタ	ADRD	16	16	2~3PCLKB	2ICLK		64/48 ピン版にはありません。
0008 9120h	S12AD1	A/D データレジスタ 0	ADDR0	16	16	2~3PCLKB	2ICLK		64/48 ピン版にはありません。
0008 9122h	S12AD1	A/D データレジスタ 1	ADDR1	16	16	2~3PCLKB	2ICLK		64/48 ピン版にはありません。

表 4.1 I/O レジスタアドレス一覧 (18 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	備考	
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
0008 9124h	S12AD1	A/D データ レジスタ 2	ADDR2	16	16	2~3PCLKB	2ICLK	S12ADB	64/48 ピン版にはありません。	
0008 9126h	S12AD1	A/D データ レジスタ 3	ADDR3	16	16	2~3PCLKB	2ICLK		64/48 ピン版にはありません。	
0008 9160h	S12AD1	A/D サンプリングステートレジスタ 0	ADSSTR0	8	8	2~3PCLKB	2ICLK		64/48 ピン版にはありません。	
0008 9166h	S12AD1	サンプル&ホールド回路コントロールレジスタ	ADSHCR	16	16	2~3PCLKB	2ICLK		64/48 ピン版にはありません。	
0008 9173h	S12AD1	A/D サンプリングステートレジスタ 1	ADSSTR1	8	8	2~3PCLKB	2ICLK		64/48 ピン版にはありません。	
0008 9174h	S12AD1	A/D サンプリングステートレジスタ 2	ADSSTR2	8	8	2~3PCLKB	2ICLK		64/48 ピン版にはありません。	
0008 9175h	S12AD1	A/D サンプリングステートレジスタ 3	ADSSTR3	8	8	2~3PCLKB	2ICLK		64/48 ピン版にはありません。	
0008 9180h	S12AD1	A/D グループスキャン優先コントロールレジスタ	ADGSPCR	16	16	2~3PCLKB	2ICLK		64/48 ピン版にはありません。	
0008 9184h	S12AD1	A/D データ 2 重化レジスタ A	ADDBLDRA	16	16	2~3PCLKB	2ICLK		64/48 ピン版にはありません。	
0008 9186h	S12AD1	A/D データ 2 重化レジスタ B	ADDBLDRB	16	16	2~3PCLKB	2ICLK		64/48 ピン版にはありません。	
0008 918Ah	S12AD1	A/D プログラマブルゲインアンプレジスタ	ADPG	16	16	2~3PCLKB	2ICLK		64/48 ピン版にはありません。	
0008 91E0h	S12AD1	コンパレータ動作モード選択レジスタ 0	ADCMPMD0	16	16	2~3PCLKB	2ICLK		64/48 ピン版にはありません。	
0008 91E2h	S12AD1	コンパレータ動作モード選択レジスタ 1	ADCMPMD1	16	16	2~3PCLKB	2ICLK		64/48 ピン版にはありません。	
0008 91E4h	S12AD1	コンパレータフィルタモードレジスタ 0	ADCMPNR0	16	16	2~3PCLKB	2ICLK		64/48 ピン版にはありません。	
0008 91E8h	S12AD1	コンパレータ検出フラグレジスタ	ADCMPFR	8	8	2~3PCLKB	2ICLK		64/48 ピン版にはありません。	
0008 91EAh	S12AD1	コンパレータ割り込み選択レジスタ	ADCMPSEL	16	16	2~3PCLKB	2ICLK		64/48 ピン版にはありません。	
0008 9800h	AD	A/D コントロールレジスタ	ADCSR	16	16	2~3PCLKB	2ICLK		AD	64/48 ピン版にはありません。
0008 9804h	AD	A/D チャネル選択レジスタ 0	ADANSA0	16	16	2~3PCLKB	2ICLK			64/48 ピン版にはありません。
0008 9806h	AD	A/D チャネル選択レジスタ 1	ADANSA1	16	16	2~3PCLKB	2ICLK			120/112/100/64/48 ピン版にはありません。
0008 9808h	AD	A/D 変換値加算モード選択レジスタ 0	ADADS0	16	16	2~3PCLKB	2ICLK			64/48 ピン版にはありません。
0008 980Ah	AD	A/D 変換値加算モード選択レジスタ 1	ADADS1	16	16	2~3PCLKB	2ICLK	120/112/100/64/48 ピン版にはありません。		
0008 980Ch	AD	A/D 変換値加算回数選択レジスタ	ADADC	8	8	2~3PCLKB	2ICLK	64/48 ピン版にはありません。		
0008 980Eh	AD	A/D コントロール拡張レジスタ	ADCER	16	16	2~3PCLKB	2ICLK	64/48 ピン版にはありません。		
0008 9810h	AD	A/D 開始トリガ選択レジスタ	ADSTRGR	16	16	2~3PCLKB	2ICLK	64/48 ピン版にはありません。		
0008 981Eh	AD	A/D 自己診断データレジスタ	ADRD	16	16	2~3PCLKB	2ICLK	64/48 ピン版にはありません。		
0008 9820h	AD	A/D データ レジスタ A	ADDRA	16	16	2~3PCLKB	2ICLK	64/48 ピン版にはありません。		
0008 9822h	AD	A/D データ レジスタ B	ADDRB	16	16	2~3PCLKB	2ICLK	64/48 ピン版にはありません。		
0008 9824h	AD	A/D データ レジスタ C	ADDRC	16	16	2~3PCLKB	2ICLK	64/48 ピン版にはありません。		
0008 9826h	AD	A/D データ レジスタ D	ADDRD	16	16	2~3PCLKB	2ICLK	64/48 ピン版にはありません。		
0008 9828h	AD	A/D データ レジスタ E	ADDRE	16	16	2~3PCLKB	2ICLK	64/48 ピン版にはありません。		
0008 982Ah	AD	A/D データ レジスタ F	ADDRF	16	16	2~3PCLKB	2ICLK	64/48 ピン版にはありません。		
0008 982Ch	AD	A/D データ レジスタ G	ADDRG	16	16	2~3PCLKB	2ICLK	64/48 ピン版にはありません。		
0008 982Eh	AD	A/D データ レジスタ H	ADDRH	16	16	2~3PCLKB	2ICLK	64/48 ピン版にはありません。		



表 4.1 I/O レジスタアドレス一覧 (19 / 46)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		モジュール 名	備考
						ICLK $\geq$ PCLK の場合	ICLK < PCLK の場合		
0008 9830h	AD	A/D データ レジスタ I	ADDRI	16	16	2~3PCLKB	2ICLK	AD	64/48 ビン版には ありません。
0008 9832h	AD	A/D データ レジスタ J	ADDRJ	16	16	2~3PCLKB	2ICLK		64/48 ビン版には ありません。
0008 9834h	AD	A/D データ レジスタ K	ADDRK	16	16	2~3PCLKB	2ICLK		64/48 ビン版には ありません。
0008 9836h	AD	A/D データ レジスタ L	ADDRL	16	16	2~3PCLKB	2ICLK		64/48 ビン版には ありません。
0008 9838h	AD	A/D データ レジスタ M	ADDRM	16	16	2~3PCLKB	2ICLK		120/112/100/64/48 ビン版には ありません。
0008 983Ah	AD	A/D データ レジスタ N	ADDRN	16	16	2~3PCLKB	2ICLK		120/112/100/64/48 ビン版には ありません。
0008 983Ch	AD	A/D データ レジスタ O	ADDRO	16	16	2~3PCLKB	2ICLK		120/112/100/64/48 ビン版には ありません。
0008 983Eh	AD	A/D データ レジスタ P	ADDRP	16	16	2~3PCLKB	2ICLK		120/112/100/64/48 ビン版には ありません。
0008 9840h	AD	A/D データ レジスタ Q	ADDRQ	16	16	2~3PCLKB	2ICLK		120/112/100/64/48 ビン版には ありません。
0008 9842h	AD	A/D データ レジスタ R	ADDRR	16	16	2~3PCLKB	2ICLK		120/112/100/64/48 ビン版には ありません。
0008 9844h	AD	A/D データ レジスタ S	ADDRS	16	16	2~3PCLKB	2ICLK		120/112/100/64/48 ビン版には ありません。
0008 9846h	AD	A/D データ レジスタ T	ADDRT	16	16	2~3PCLKB	2ICLK		120/112/100/64/48 ビン版には ありません。
0008 9860h	AD	A/D サンプリングステートレジスタ 0	ADSSTR0	8	8	2~3PCLKB	2ICLK		64/48 ビン版にはありません。
0008 9861h	AD	A/D サンプリングステートレジスタ L	ADSSTRL	8	8	2~3PCLKB	2ICLK		64/48 ビン版にはありません。
0008 9873h	AD	A/D サンプリングステートレジスタ 1	ADSSTR1	8	8	2~3PCLKB	2ICLK		64/48 ビン版にはありません。
0008 9874h	AD	A/D サンプリングステートレジスタ 2	ADSSTR2	8	8	2~3PCLKB	2ICLK		64/48 ビン版にはありません。
0008 9875h	AD	A/D サンプリングステートレジスタ 3	ADSSTR3	8	8	2~3PCLKB	2ICLK		64/48 ビン版にはありません。
0008 9876h	AD	A/D サンプリングステートレジスタ 4	ADSSTR4	8	8	2~3PCLKB	2ICLK		64/48 ビン版にはありません。
0008 9877h	AD	A/D サンプリングステートレジスタ 5	ADSSTR5	8	8	2~3PCLKB	2ICLK		64/48 ビン版にはありません。
0008 9878h	AD	A/D サンプリングステートレジスタ 6	ADSSTR6	8	8	2~3PCLKB	2ICLK		64/48 ビン版にはありません。
0008 9879h	AD	A/D サンプリングステートレジスタ 7	ADSSTR7	8	8	2~3PCLKB	2ICLK		64/48 ビン版にはありません。
0008 987Dh	AD	デジタル電源制御回路出力設定レジスタ	ADDPCONR	8	8	2~3PCLKB	2ICLK		64/48 ビン版にはありません
0008 A000h	SCI0	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	SCIc, SCId	
0008 A001h	SCI0	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK		
0008 A002h	SCI0	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK		
0008 A003h	SCI0	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK		
0008 A004h	SCI0	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK		
0008 A005h	SCI0	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK		
0008 A006h	SCI0	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK		
0008 A007h	SCI0	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK		
0008 A008h	SCI0	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK		
0008 A009h	SCI0	I <sup>2</sup> C モードレジスタ 1	SIMR1	8	8	2~3PCLKB	2ICLK		
0008 A00Ah	SCI0	I <sup>2</sup> C モードレジスタ 2	SIMR2	8	8	2~3PCLKB	2ICLK		
0008 A00Bh	SCI0	I <sup>2</sup> C モードレジスタ 3	SIMR3	8	8	2~3PCLKB	2ICLK		
0008 A00Ch	SCI0	I <sup>2</sup> C ステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK		
0008 A00Dh	SCI0	SPI モードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK		
0008 A020h	SCI1	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK		
0008 A021h	SCI1	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK		
0008 A022h	SCI1	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK		

表 4.1 I/O レジスタアドレス一覧 (20 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK $\geq$ PCLK の場合	ICLK < PCLK の場合		
0008 A023h	SCI1	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	SC1c, SC1d	
0008 A024h	SCI1	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK		
0008 A025h	SCI1	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK		
0008 A026h	SCI1	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK		
0008 A027h	SCI1	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK		
0008 A028h	SCI1	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK		
0008 A029h	SCI1	I <sup>2</sup> Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK		
0008 A02Ah	SCI1	I <sup>2</sup> Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK		
0008 A02Bh	SCI1	I <sup>2</sup> Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK		
0008 A02Ch	SCI1	I <sup>2</sup> Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK		
0008 A02Dh	SCI1	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK		
0008 A040h	SCI2	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0008 A041h	SCI2	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0008 A042h	SCI2	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0008 A043h	SCI2	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0008 A044h	SCI2	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0008 A045h	SCI2	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0008 A046h	SCI2	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0008 A047h	SCI2	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0008 A048h	SCI2	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0008 A049h	SCI2	I <sup>2</sup> Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0008 A04Ah	SCI2	I <sup>2</sup> Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0008 A04Bh	SCI2	I <sup>2</sup> Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0008 A04Ch	SCI2	I <sup>2</sup> Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0008 A04Dh	SCI2	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0008 A060h	SCI3	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK		100/64/48ピン版にはありません。
0008 A061h	SCI3	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK		100/64/48ピン版にはありません。
0008 A062h	SCI3	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK		100/64/48ピン版にはありません。
0008 A063h	SCI3	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK		100/64/48ピン版にはありません。
0008 A064h	SCI3	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK		100/64/48ピン版にはありません。
0008 A065h	SCI3	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK		100/64/48ピン版にはありません。
0008 A066h	SCI3	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK		100/64/48ピン版にはありません。
0008 A067h	SCI3	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK		100/64/48ピン版にはありません。
0008 A068h	SCI3	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK		100/64/48ピン版にはありません。
0008 A069h	SCI3	I <sup>2</sup> Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK		100/64/48ピン版にはありません。
0008 A06Ah	SCI3	I <sup>2</sup> Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK		100/64/48ピン版にはありません。
0008 A06Bh	SCI3	I <sup>2</sup> Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK		100/64/48ピン版にはありません。

表 4.1 I/O レジスタアドレス一覧 (21 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合		
0008 A06Ch	SCI3	I <sup>2</sup> Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	SCIC、SCID	100/64/48ピン版にはありません。
0008 A06Dh	SCI3	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK		100/64/48ピン版にはありません。
0008 B000h	CAC	CACコントロールレジスタ0	CACR0	8	8	2~3PCLKB	2ICLK	CAC	
0008 B001h	CAC	CACコントロールレジスタ1	CACR1	8	8	2~3PCLKB	2ICLK		
0008 B002h	CAC	CACコントロールレジスタ2	CACR2	8	8	2~3PCLKB	2ICLK		
0008 B003h	CAC	CAC割り込みコントロールレジスタ	CAICR	8	8	2~3PCLKB	2ICLK		
0008 B004h	CAC	CACステータスレジスタ	CASTR	8	8	2~3PCLKB	2ICLK		
0008 B006h	CAC	CAC上限値設定レジスタ	CAULVR	16	16	2~3PCLKB	2ICLK		
0008 B008h	CAC	CAC下限値設定レジスタ	CALLVR	16	16	2~3PCLKB	2ICLK		
0008 B00Ah	CAC	CACカウンタバッファレジスタ	CACNTBR	16	16	2~3PCLKB	2ICLK		
0008 B080h	DOC	DOCコントロールレジスタ	DOCR	8	8	2~3PCLKB	2ICLK	DOC	
0008 B082h	DOC	DOCデータインプットレジスタ	DODIR	16	16	2~3PCLKB	2ICLK		
0008 B084h	DOC	DOCデータセッティングレジスタ	DODSR	16	16	2~3PCLKB	2ICLK		
0008 B300h	SCI12	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	SCIC、SCID	
0008 B301h	SCI12	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK		
0008 B302h	SCI12	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK		
0008 B303h	SCI12	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK		
0008 B304h	SCI12	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK		
0008 B305h	SCI12	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK		
0008 B306h	SCI12	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK		
0008 B307h	SCI12	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK		
0008 B308h	SCI12	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK		
0008 B309h	SCI12	I <sup>2</sup> Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK		
0008 B30Ah	SCI12	I <sup>2</sup> Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK		
0008 B30Bh	SCI12	I <sup>2</sup> Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK		
0008 B30Ch	SCI12	I <sup>2</sup> Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK		
0008 B30Dh	SCI12	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK		
0008 B320h	SCI12	拡張シリアルモード有効レジスタ	ESMER	8	8	2~3PCLKB	2ICLK		
0008 B321h	SCI12	コントロールレジスタ0	CR0	8	8	2~3PCLKB	2ICLK		
0008 B322h	SCI12	コントロールレジスタ1	CR1	8	8	2~3PCLKB	2ICLK		
0008 B323h	SCI12	コントロールレジスタ2	CR2	8	8	2~3PCLKB	2ICLK		
0008 B324h	SCI12	コントロールレジスタ3	CR3	8	8	2~3PCLKB	2ICLK		
0008 B325h	SCI12	ポートコントロールレジスタ	PCR	8	8	2~3PCLKB	2ICLK		
0008 B326h	SCI12	割り込みコントロールレジスタ	ICR	8	8	2~3PCLKB	2ICLK		
0008 B327h	SCI12	ステータスレジスタ	STR	8	8	2~3PCLKB	2ICLK		
0008 B328h	SCI12	ステータスクリアレジスタ	STCR	8	8	2~3PCLKB	2ICLK		
0008 B329h	SCI12	Control Field 0データレジスタ	CF0DR	8	8	2~3PCLKB	2ICLK		
0008 B32Ah	SCI12	Control Field 0コンペイネーブルレジスタ	CF0CR	8	8	2~3PCLKB	2ICLK		
0008 B32Bh	SCI12	Control Field 0受信データレジスタ	CF0RR	8	8	2~3PCLKB	2ICLK		
0008 B32Ch	SCI12	プライマリControl Field 1データレジスタ	PCF1DR	8	8	2~3PCLKB	2ICLK		
0008 B32Dh	SCI12	セカンダリControl Field 1データレジスタ	SCF1DR	8	8	2~3PCLKB	2ICLK		
0008 B32Eh	SCI12	Control Field 1コンペイネーブルレジスタ	CF1CR	8	8	2~3PCLKB	2ICLK		
0008 B32Fh	SCI12	Control Field 1受信データレジスタ	CF1RR	8	8	2~3PCLKB	2ICLK		
0008 B330h	SCI12	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK		
0008 B331h	SCI12	タイマモードレジスタ	TMR	8	8	2~3PCLKB	2ICLK		
0008 B332h	SCI12	タイマプリスケアラレジスタ	TPRE	8	8	2~3PCLKB	2ICLK		
0008 B333h	SCI12	タイマカウントレジスタ	TCNT	8	8	2~3PCLKB	2ICLK		
0008 C000h	PORT0	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	I/Oポート	48ピン版にはありません。
0008 C001h	PORT1	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		48ピン版にはありません。

表 4.1 I/O レジスタアドレス一覧 ( 2 2 / 4 6 )

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		モジュール 名	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合		
0008 C002h	PORT2	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	I/Oポート	
0008 C003h	PORT3	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		
0008 C007h	PORT7	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		
0008 C008h	PORT8	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		64/48ピン版には ありません。
0008 C009h	PORT9	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		48ピン版にはありません。
0008 C00Ah	PORTA	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		
0008 C00Bh	PORTB	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		
0008 C00Dh	PORTD	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		
0008 C00Eh	PORTE	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		64/48ピン版には ありません。
0008 C00Fh	PORTF	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		100/64/48ピン版にはありま せん。
0008 C010h	PORTG	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		100/64/48ピン版にはありま せん。
0008 C020h	PORT0	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		48ピン版にはありません。
0008 C021h	PORT1	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		48ピン版にはありません。
0008 C022h	PORT2	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		
0008 C023h	PORT3	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		
0008 C027h	PORT7	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		
0008 C028h	PORT8	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		64/48ピン版には ありません。
0008 C029h	PORT9	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		48ピン版にはありません。
0008 C02Ah	PORTA	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		
0008 C02Bh	PORTB	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		
0008 C02Dh	PORTD	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		
0008 C02Eh	PORTE	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		64/48ピン版には ありません。
0008 C02Fh	PORTF	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		100/64/48ピン版にはありま せん。
0008 C030h	PORTG	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		100/64/48ピン版にはありま せん。
0008 C040h	PORT0	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		48ピン版にはありません。
0008 C041h	PORT1	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		48ピン版にはありません。
0008 C042h	PORT2	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		
0008 C043h	PORT3	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		
0008 C044h	PORT4	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		
0008 C045h	PORT5	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		64/48ピン版には ありません。
0008 C046h	PORT6	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		64/48ピン版には ありません。
0008 C047h	PORT7	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		
0008 C048h	PORT8	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	64/48ピン版には ありません。	
0008 C049h	PORT9	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	48ピン版にはありません。	
0008 C04Ah	PORTA	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		
0008 C04Bh	PORTB	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		
0008 C04Ch	PORTC	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	120/112/100/64/48ピン版には ありません。	
0008 C04Dh	PORTD	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		
0008 C04Eh	PORTE	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		
0008 C04Fh	PORTF	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	100/64/48ピン版にはありま せん。	

表 4.1 I/O レジスタアドレス一覧 ( 2 3 / 4 6 )

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		モジュール 名	備考
						ICLK $\geq$ PCLK の場合	ICLK < PCLK の場合		
0008 C050h	PORTG	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	I/Oポート	100/64/48ピン版にはありません。
0008 C060h	PORT0	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		48ピン版にはありません。
0008 C061h	PORT1	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		48ピン版にはありません。
0008 C062h	PORT2	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		
0008 C063h	PORT3	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		
0008 C067h	PORT7	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		
0008 C068h	PORT8	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		64/48ピン版には ありません。
0008 C069h	PORT9	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		48ピン版にはありません。
0008 C06Ah	PORTA	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		
0008 C06Bh	PORTB	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		
0008 C06Dh	PORTD	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		
0008 C06Eh	PORTE	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		
0008 C06Fh	PORTF	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		100/64/48ピン版にはありません。
0008 C070h	PORTG	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		100/64/48ピン版にはありません。
0008 C080h	PORT0	オーブドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK		120/112/100/64/48ピン版には ありません。
0008 C084h	PORT2	オーブドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK		64/48ピン版には ありません。
0008 C085h	PORT2	オーブドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK		112/100ピン版にはありません。
0008 C086h	PORT3	オーブドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK		144/120/112/100ピン版には ありません。
0008 C087h	PORT3	オーブドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK		120/112/100/64/48ピン版には ありません。
0008 C090h	PORT8	オーブドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK		64/48ピン版には ありません。
0008 C092h	PORT9	オーブドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK		144/120/112/100/48ピン版に は ありません。
0008 C093h	PORT9	オーブドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK		48ピン版にはありません。
0008 C094h	PORTA	オーブドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK		64/48ピン版には ありません。
0008 C095h	PORTA	オーブドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK		64/48ピン版には ありません。
0008 C096h	PORTB	オーブドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK		
0008 C097h	PORTB	オーブドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK		
0008 C09Ah	PORTD	オーブドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK		
0008 C09Bh	PORTD	オーブドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK		
0008 C09Eh	PORTF	オーブドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK		100/64/48ピン版にはありません。
0008 C0A0h	PORTG	オーブドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK		100/64/48ピン版にはありません。
0008 C0A1h	PORTG	オーブドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK		100/64/48ピン版にはありません。
0008 C0F2h	PORT	駆動能力制御レジスタ1	DSCR1	8	8	2~3PCLKB	2ICLK		64/48ピン版には ありません。
0008 C0F3h	PORT	駆動能力制御レジスタ2	DSCR2	8	8	2~3PCLKB	2ICLK		64/48ピン版には ありません。
0008 C100h	MPC	CS出力許可レジスタ	PFCSE	8	8	2~3PCLKB	2ICLK	MPC	64/48ピン版には ありません。
0008 C102h	MPC	CS出力端子選択レジスタ0	PFCSS0	8	8	2~3PCLKB	2ICLK		64/48ピン版には ありません。
0008 C104h	MPC	アドレス出力許可レジスタ0	PFAOE0	8	8	2~3PCLKB	2ICLK		64/48ピン版には ありません。

表 4.1 I/O レジスタアドレス一覧 ( 2 4 / 4 6 )

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK $\geq$ PCLK の場合	ICLK < PCLK の場合		
0008 C105h	MPC	アドレス出力許可レジスタ 1	PFAOE1	8	8	2~3PCLKB	2ICLK	MPC	64/48ピン版にはありません。
0008 C106h	MPC	外部バス制御レジスタ 0	PFBCR0	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0008 C107h	MPC	外部バス制御レジスタ 1	PFBCR1	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0008 C114h	MPC	USB0制御レジスタ	PFUSB0	8	8	2~3PCLKB	2ICLK		112/100/64/48ピン版にはありません。
0008 C11Fh	MPC	書き込みプロテクトレジスタ	PWPR	8	8	2~3PCLKB	2ICLK		
0008 C140h	MPC	P00端子機能制御レジスタ	P00PFS	8	8	2~3PCLKB	2ICLK		48ピン版にはありません。
0008 C141h	MPC	P01端子機能制御レジスタ	P01PFS	8	8	2~3PCLKB	2ICLK		48ピン版にはありません。
0008 C142h	MPC	P02端子機能制御レジスタ	P02PFS	8	8	2~3PCLKB	2ICLK		120/112/100/64/48ピン版にはありません。
0008 C143h	MPC	P03端子機能制御レジスタ	P03PFS	8	8	2~3PCLKB	2ICLK		120/112/100/64/48ピン版にはありません。
0008 C148h	MPC	P10端子機能制御レジスタ	P10PFS	8	8	2~3PCLKB	2ICLK		48ピン版にはありません。
0008 C149h	MPC	P11端子機能制御レジスタ	P11PFS	8	8	2~3PCLKB	2ICLK		48ピン版にはありません。
0008 C14Ah	MPC	P12端子機能制御レジスタ	P12PFS	8	8	2~3PCLKB	2ICLK		100/64/48ピン版にはありません。
0008 C14Bh	MPC	P13端子機能制御レジスタ	P13PFS	8	8	2~3PCLKB	2ICLK		112/100/64/48ピン版にはありません。
0008 C14Ch	MPC	P14端子機能制御レジスタ	P14PFS	8	8	2~3PCLKB	2ICLK		120/112/100/64/48ピン版にはありません。
0008 C150h	MPC	P20端子機能制御レジスタ	P20PFS	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0008 C151h	MPC	P21端子機能制御レジスタ	P21PFS	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0008 C152h	MPC	P22端子機能制御レジスタ	P22PFS	8	8	2~3PCLKB	2ICLK		
0008 C153h	MPC	P23端子機能制御レジスタ	P23PFS	8	8	2~3PCLKB	2ICLK		
0008 C154h	MPC	P24端子機能制御レジスタ	P24PFS	8	8	2~3PCLKB	2ICLK		
0008 C155h	MPC	P25端子機能制御レジスタ	P25PFS	8	8	2~3PCLKB	2ICLK		112/100/64/48ピン版にはありません。
0008 C156h	MPC	P26端子機能制御レジスタ	P26PFS	8	8	2~3PCLKB	2ICLK		112/100/64/48ピン版にはありません。
0008 C158h	MPC	P30端子機能制御レジスタ	P30PFS	8	8	2~3PCLKB	2ICLK		
0008 C159h	MPC	P31端子機能制御レジスタ	P31PFS	8	8	2~3PCLKB	2ICLK		48ピン版にはありません。
0008 C15Ah	MPC	P32端子機能制御レジスタ	P32PFS	8	8	2~3PCLKB	2ICLK		48ピン版にはありません。
0008 C15Bh	MPC	P33端子機能制御レジスタ	P33PFS	8	8	2~3PCLKB	2ICLK		48ピン版にはありません。
0008 C15Ch	MPC	P34端子機能制御レジスタ	P34PFS	8	8	2~3PCLKB	2ICLK		120/112/100/64/48ピン版にはありません。
0008 C15Dh	MPC	P35端子機能制御レジスタ	P35PFS	8	8	2~3PCLKB	2ICLK		120/112/100/64/48ピン版にはありません。
0008 C160h	MPC	P40端子機能制御レジスタ	P40PFS	8	8	2~3PCLKB	2ICLK		
0008 C161h	MPC	P41端子機能制御レジスタ	P41PFS	8	8	2~3PCLKB	2ICLK		
0008 C162h	MPC	P42端子機能制御レジスタ	P42PFS	8	8	2~3PCLKB	2ICLK		
0008 C163h	MPC	P43端子機能制御レジスタ	P43PFS	8	8	2~3PCLKB	2ICLK		
0008 C164h	MPC	P44端子機能制御レジスタ	P44PFS	8	8	2~3PCLKB	2ICLK		
0008 C165h	MPC	P45端子機能制御レジスタ	P45PFS	8	8	2~3PCLKB	2ICLK		48ピン版にはありません。
0008 C166h	MPC	P46端子機能制御レジスタ	P46PFS	8	8	2~3PCLKB	2ICLK		48ピン版にはありません。
0008 C167h	MPC	P47端子機能制御レジスタ	P47PFS	8	8	2~3PCLKB	2ICLK		
0008 C168h	MPC	P50端子機能制御レジスタ	P50PFS	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0008 C169h	MPC	P51端子機能制御レジスタ	P51PFS	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。

表 4.1 I/O レジスタアドレス一覧 ( 2 5 / 4 6 )

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		モジュール 名	備考
						ICLK $\geq$ PCLK の場合	ICLK < PCLK の場合		
0008 C16Ah	MPC	P52 端子機能制御レジスタ	P52PFS	8	8	2~3PCLKB	2ICLK	MPC	64/48ピン版には ありません。
0008 C16Bh	MPC	P53 端子機能制御レジスタ	P53PFS	8	8	2~3PCLKB	2ICLK		64/48ピン版には ありません。
0008 C16Ch	MPC	P54 端子機能制御レジスタ	P54PFS	8	8	2~3PCLKB	2ICLK		64/48ピン版には ありません。
0008 C16Dh	MPC	P55 端子機能制御レジスタ	P55PFS	8	8	2~3PCLKB	2ICLK		64/48ピン版には ありません。
0008 C16Eh	MPC	P56 端子機能制御レジスタ	P56PFS	8	8	2~3PCLKB	2ICLK		120/112/100/64/48ピン版には ありません。
0008 C16Fh	MPC	P57 端子機能制御レジスタ	P57PFS	8	8	2~3PCLKB	2ICLK		120/112/100/64/48ピン版には ありません。
0008 C170h	MPC	P60 端子機能制御レジスタ	P60PFS	8	8	2~3PCLKB	2ICLK		64/48ピン版には ありません。
0008 C171h	MPC	P61 端子機能制御レジスタ	P61PFS	8	8	2~3PCLKB	2ICLK		64/48ピン版には ありません。
0008 C172h	MPC	P62 端子機能制御レジスタ	P62PFS	8	8	2~3PCLKB	2ICLK		64/48ピン版には ありません。
0008 C173h	MPC	P63 端子機能制御レジスタ	P63PFS	8	8	2~3PCLKB	2ICLK		64/48ピン版には ありません。
0008 C174h	MPC	P64 端子機能制御レジスタ	P64PFS	8	8	2~3PCLKB	2ICLK		64/48ピン版には ありません。
0008 C175h	MPC	P65 端子機能制御レジスタ	P65PFS	8	8	2~3PCLKB	2ICLK		64/48ピン版には ありません。
0008 C178h	MPC	P70 端子機能制御レジスタ	P70PFS	8	8	2~3PCLKB	2ICLK		
0008 C179h	MPC	P71 端子機能制御レジスタ	P71PFS	8	8	2~3PCLKB	2ICLK		
0008 C17Ah	MPC	P72 端子機能制御レジスタ	P72PFS	8	8	2~3PCLKB	2ICLK		
0008 C17Bh	MPC	P73 端子機能制御レジスタ	P73PFS	8	8	2~3PCLKB	2ICLK		
0008 C17Ch	MPC	P74 端子機能制御レジスタ	P74PFS	8	8	2~3PCLKB	2ICLK		
0008 C17Dh	MPC	P75 端子機能制御レジスタ	P75PFS	8	8	2~3PCLKB	2ICLK		
0008 C17Eh	MPC	P76 端子機能制御レジスタ	P76PFS	8	8	2~3PCLKB	2ICLK		
0008 C180h	MPC	P80 端子機能制御レジスタ	P80PFS	8	8	2~3PCLKB	2ICLK		64/48ピン版には ありません。
0008 C181h	MPC	P81 端子機能制御レジスタ	P81PFS	8	8	2~3PCLKB	2ICLK		64/48ピン版には ありません。
0008 C182h	MPC	P82 端子機能制御レジスタ	P82PFS	8	8	2~3PCLKB	2ICLK		64/48ピン版には ありません。
0008 C188h	MPC	P90 端子機能制御レジスタ	P90PFS	8	8	2~3PCLKB	2ICLK		64/48ピン版には ありません。
0008 C189h	MPC	P91 端子機能制御レジスタ	P91PFS	8	8	2~3PCLKB	2ICLK		48ピン版にはありません。
0008 C18Ah	MPC	P92 端子機能制御レジスタ	P92PFS	8	8	2~3PCLKB	2ICLK		48ピン版にはありません。
0008 C18Bh	MPC	P93 端子機能制御レジスタ	P93PFS	8	8	2~3PCLKB	2ICLK		48ピン版にはありません。
0008 C18Ch	MPC	P94 端子機能制御レジスタ	P94PFS	8	8	2~3PCLKB	2ICLK		48ピン版にはありません。
0008 C18Dh	MPC	P95 端子機能制御レジスタ	P95PFS	8	8	2~3PCLKB	2ICLK		64/48ピン版には ありません。
0008 C18Eh	MPC	P96 端子機能制御レジスタ	P96PFS	8	8	2~3PCLKB	2ICLK		64/48ピン版には ありません。
0008 C190h	MPC	PA0 端子機能制御レジスタ	PA0PFS	8	8	2~3PCLKB	2ICLK		64/48ピン版には ありません。
0008 C191h	MPC	PA1 端子機能制御レジスタ	PA1PFS	8	8	2~3PCLKB	2ICLK		64/48ピン版には ありません。
0008 C192h	MPC	PA2 端子機能制御レジスタ	PA2PFS	8	8	2~3PCLKB	2ICLK		
0008 C193h	MPC	PA3 端子機能制御レジスタ	PA3PFS	8	8	2~3PCLKB	2ICLK		
0008 C194h	MPC	PA4 端子機能制御レジスタ	PA4PFS	8	8	2~3PCLKB	2ICLK		48ピン版にはありません。
0008 C195h	MPC	PA5 端子機能制御レジスタ	PA5PFS	8	8	2~3PCLKB	2ICLK		48ピン版にはありません。
0008 C196h	MPC	PA6 端子機能制御レジスタ	PA6PFS	8	8	2~3PCLKB	2ICLK		120/112/100/64/48ピン版に は ありません。

表 4.1 I/O レジスタアドレス一覧 (26 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK $\geq$ PCLK の場合	ICLK < PCLK の場合		
0008 C198h	MPC	PB0端子機能制御レジスタ	PB0PFS	8	8	2~3PCLKB	2ICLK	MPC	
0008 C199h	MPC	PB1端子機能制御レジスタ	PB1PFS	8	8	2~3PCLKB	2ICLK		
0008 C19Ah	MPC	PB2端子機能制御レジスタ	PB2PFS	8	8	2~3PCLKB	2ICLK		
0008 C19Bh	MPC	PB3端子機能制御レジスタ	PB3PFS	8	8	2~3PCLKB	2ICLK		
0008 C19Ch	MPC	PB4端子機能制御レジスタ	PB4PFS	8	8	2~3PCLKB	2ICLK		
0008 C19Dh	MPC	PB5端子機能制御レジスタ	PB5PFS	8	8	2~3PCLKB	2ICLK		
0008 C19Eh	MPC	PB6端子機能制御レジスタ	PB6PFS	8	8	2~3PCLKB	2ICLK		
0008 C19Fh	MPC	PB7端子機能制御レジスタ	PB7PFS	8	8	2~3PCLKB	2ICLK		48ピン版にはありません。
0008 C1A0h	MPC	PC0端子機能制御レジスタ	PC0PFS	8	8	2~3PCLKB	2ICLK		120/112/100/64/48ピン版にはありません。
0008 C1A1h	MPC	PC1端子機能制御レジスタ	PC1PFS	8	8	2~3PCLKB	2ICLK		120/112/100/64/48ピン版にはありません。
0008 C1A2h	MPC	PC2端子機能制御レジスタ	PC2PFS	8	8	2~3PCLKB	2ICLK		120/112/100/64/48ピン版にはありません。
0008 C1A3h	MPC	PC3端子機能制御レジスタ	PC3PFS	8	8	2~3PCLKB	2ICLK		120/112/100/64/48ピン版にはありません。
0008 C1A4h	MPC	PC4端子機能制御レジスタ	PC4PFS	8	8	2~3PCLKB	2ICLK		120/112/100/64/48ピン版にはありません。
0008 C1A5h	MPC	PC5端子機能制御レジスタ	PC5PFS	8	8	2~3PCLKB	2ICLK		120/112/100/64/48ピン版にはありません。
0008 C1A8h	MPC	PD0端子機能制御レジスタ	PD0PFS	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0008 C1A9h	MPC	PD1端子機能制御レジスタ	PD1PFS	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0008 C1AAh	MPC	PD2端子機能制御レジスタ	PD2PFS	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0008 C1ABh	MPC	PD3端子機能制御レジスタ	PD3PFS	8	8	2~3PCLKB	2ICLK		
0008 C1ACh	MPC	PD4端子機能制御レジスタ	PD4PFS	8	8	2~3PCLKB	2ICLK		
0008 C1ADh	MPC	PD5端子機能制御レジスタ	PD5PFS	8	8	2~3PCLKB	2ICLK		
0008 C1AEh	MPC	PD6端子機能制御レジスタ	PD6PFS	8	8	2~3PCLKB	2ICLK		
0008 C1AFh	MPC	PD7端子機能制御レジスタ	PD7PFS	8	8	2~3PCLKB	2ICLK		
0008 C1B0h	MPC	PE0端子機能制御レジスタ	PE0PFS	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0008 C1B1h	MPC	PE1端子機能制御レジスタ	PE1PFS	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0008 C1B2h	MPC	PE2端子機能制御レジスタ	PE2PFS	8	8	2~3PCLKB	2ICLK		
0008 C1B3h	MPC	PE3端子機能制御レジスタ	PE3PFS	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0008 C1B4h	MPC	PE4端子機能制御レジスタ	PE4PFS	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0008 C1B5h	MPC	PE5端子機能制御レジスタ	PE5PFS	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0008 C1BAh	MPC	PF2端子機能制御レジスタ	PF2PFS	8	8	2~3PCLKB	2ICLK		100/64/48ピン版にはありません。
0008 C1BBh	MPC	PF3端子機能制御レジスタ	PF3PFS	8	8	2~3PCLKB	2ICLK		100/64/48ピン版にはありません。
0008 C1C0h	MPC	PG0端子機能制御レジスタ	PG0PFS	8	8	2~3PCLKB	2ICLK		100/64/48ピン版にはありません。
0008 C1C1h	MPC	PG1端子機能制御レジスタ	PG1PFS	8	8	2~3PCLKB	2ICLK		100/64/48ピン版にはありません。
0008 C1C2h	MPC	PG2端子機能制御レジスタ	PG2PFS	8	8	2~3PCLKB	2ICLK		100/64/48ピン版にはありません。
0008 C1C3h	MPC	PG3端子機能制御レジスタ	PG3PFS	8	8	2~3PCLKB	2ICLK		100/64/48ピン版にはありません。
0008 C1C4h	MPC	PG4端子機能制御レジスタ	PG4PFS	8	8	2~3PCLKB	2ICLK		100/64/48ピン版にはありません。
0008 C1C5h	MPC	PG5端子機能制御レジスタ	PG5PFS	8	8	2~3PCLKB	2ICLK		100/64/48ピン版にはありません。
0008 C1C6h	MPC	PG6端子機能制御レジスタ	PG6PFS	8	8	2~3PCLKB	2ICLK		112/100/64/48ピン版にはありません。
0008 C1D0h	MPC	USB0_DPUIPE端子機能制御レジスタ	UDPUPEPFS	8	8	2~3PCLKB	2ICLK	MPC	112/100/64/48ピン版にはありません。



表 4.1 I/O レジスタアドレス一覧 (27 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合		
0008 C280h	SYSTEM	ディープスタンバイコントロールレジスタ	DPSBYCR	8	8	4~5PCLKB	2~3ICLK	消費電力低減機能	
0008 C282h	SYSTEM	ディープスタンバイインタラプトイネーブルレジスタ0	DPSIER0	8	8	4~5PCLKB	2~3ICLK		
0008 C284h	SYSTEM	ディープスタンバイインタラプトイネーブルレジスタ2	DPSIER2	8	8	4~5PCLKB	2~3ICLK		
0008 C286h	SYSTEM	ディープスタンバイインタラプトフラグレジスタ0	DPSIFR0	8	8	4~5PCLKB	2~3ICLK		
0008 C288h	SYSTEM	ディープスタンバイインタラプトフラグレジスタ2	DPSIFR2	8	8	4~5PCLKB	2~3ICLK		
0008 C28Ah	SYSTEM	ディープスタンバイインタラプトエッジレジスタ0	DPSIEGR0	8	8	4~5PCLKB	2~3ICLK		
0008 C28Ch	SYSTEM	ディープスタンバイインタラプトエッジレジスタ2	DPSIEGR2	8	8	4~5PCLKB	2~3ICLK		
0008 C290h	SYSTEM	リセットステータスレジスタ0	RSTSR0	8	8	4~5PCLKB	2~3ICLK		リセット
0008 C291h	SYSTEM	リセットステータスレジスタ1	RSTSR1	8	8	4~5PCLKB	2~3ICLK		
0008 C293h	SYSTEM	メインクロック発振器強制発振コントロールレジスタ	MOFCR	8	8	4~5PCLKB	2~3ICLK	クロック発生回路	
0008 C296h	FLASH	フラッシュ P/E プロテクトレジスタ	FWEPROR	8	8	4~5PCLKB	2~3ICLK	ROM	
0008 C297h	SYSTEM	電圧監視回路制御レジスタ	LVCMPCR	8	8	4~5PCLKB	2~3ICLK	LVDA	
0008 C298h	SYSTEM	電圧検出レベル選択レジスタ	LVDLVL	8	8	4~5PCLKB	2~3ICLK		
0008 C29Ah	SYSTEM	電圧監視1回路制御レジスタ0	LVD1CR0	8	8	4~5PCLKB	2~3ICLK		
0008 C29Bh	SYSTEM	電圧監視2回路制御レジスタ0	LVD2CR0	8	8	4~5PCLKB	2~3ICLK		
0008 C2A0h ~ 0008 C2BFh	SYSTEM	ディープスタンバイバックアップレジスタ0~31	DPSBKR0 ~ 31	8	8	4~5PCLKB	2~3ICLK	消費電力低減機能	
0008 C300h	ICU	グループ0割り込み要因レジスタ	GRP00	32	32	1~2PCLKB	2ICLK	ICUb	64/48ピン版にはありません。
0008 C330h	ICU	グループ12割り込み要因レジスタ	GRP12	32	32	1~2PCLKB	2ICLK		
0008 C340h	ICU	グループ0割り込み許可レジスタ	GEN00	32	32	1~2PCLKB	2ICLK		64/48ピン版にはありません。
0008 C370h	ICU	グループ12割り込み許可レジスタ	GEN12	32	32	1~2PCLKB	2ICLK		
0008 C380h	ICU	グループ0割り込みクリアレジスタ	GCR00	32	32	1~2PCLKB	2ICLK		64/48ピン版にはありません。
0008 C4C0h	POE	入力レベルコントロール/ステータスレジスタ1	ICSR1	16	8、16	2~3PCLKB	2ICLK	POE3	
0008 C4C2h	POE	出力レベルコントロール/ステータスレジスタ1	OCSR1	16	8、16	2~3PCLKB	2ICLK		
0008 C4C4h	POE	入力レベルコントロール/ステータスレジスタ2	ICSR2	16	8、16	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0008 C4C6h	POE	出力レベルコントロール/ステータスレジスタ2	OCSR2	16	8、16	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0008 C4C8h	POE	入力レベルコントロール/ステータスレジスタ3	ICSR3	16	8、16	2~3PCLKB	2ICLK		
0008 C4CAh	POE	ソフトウェアポートアウトプットイネーブルレジスタ	SPOER	8	8	2~3PCLKB	2ICLK		
0008 C4CBh	POE	ポートアウトプットイネーブルコントロールレジスタ1	POECR1	8	8	2~3PCLKB	2ICLK		
0008 C4CCh	POE	ポートアウトプットイネーブルコントロールレジスタ2	POECR2	16	16	2~3PCLKB	2ICLK		
0008 C4CEh	POE	ポートアウトプットイネーブルコントロールレジスタ3	POECR3	16	16	2~3PCLKB	2ICLK		
0008 C4D0h	POE	ポートアウトプットイネーブルコントロールレジスタ4	POECR4	16	16	2~3PCLKB	2ICLK		
0008 C4D2h	POE	ポートアウトプットイネーブルコントロールレジスタ5	POECR5	16	16	2~3PCLKB	2ICLK		
0008 C4D4h	POE	ポートアウトプットイネーブルコントロールレジスタ6	POECR6	16	16	2~3PCLKB	2ICLK		

表 4.1 I/O レジスタアドレス一覧 (28 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合		
0008 C4D6h	POE	入力レベルコントロール/ステータスレジスタ4	ICSR4	16	8、16	2~3PCLKB	2ICLK	POE3	
0008 C4D8h	POE	入力レベルコントロール/ステータスレジスタ5	ICSR5	16	8、16	2~3PCLKB	2ICLK		
0008 C4DAh	POE	アクティブレベルレジスタ1	ALR1	16	8、16	2~3PCLKB	2ICLK		
0008 C4DCh	POE	入力レベルコントロール/ステータスレジスタ6	ICSR6	16	16	2~3PCLKB	2ICLK		
0008 C4DEh	POE	アクティブレベルレジスタ2	ALR2	16	8、16	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0008 C4E0h	POE	入力レベルコントロール/ステータスレジスタ7	ICSR7	16	8、16	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0008 C4E2h	POE	ポートアウトプットイネーブルコントロールレジスタ7	POECR7	16	16	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0008 C4E4h	POE	ポートアウトプットイネーブルコントロールレジスタ8	POECR8	16	16	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0009 1200h ~ 0009 13FFh	CAN1	メールボックスレジスタ0~31	MB0~31	128	8、16、 32	2~3PCLKB	2ICLK	CAN	64/48ピン版にはありません。
0009 1400h ~ 0009 141Ch	CAN1	マスクレジスタ0~7	MKR0~7	32	8、16、 32	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0009 1420h	CAN1	FIFO受信ID比較レジスタ0	FIDCR0	32	8、16、 32	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0009 1424h	CAN1	FIFO受信ID比較レジスタ1	FIDCR1	32	8、16、 32	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0009 1428h	CAN1	マスク無効レジスタ	MKIVLR	32	8、16、 32	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0009 142Ch	CAN1	メールボックス割り込み許可レジスタ	MIER	32	8、16、 32	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0009 1820h ~ 0009 183Fh	CAN1	メッセージ制御レジスタ0~31	MCTL0~31	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0009 1840h	CAN1	制御レジスタ	CTLR	16	8、16	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0009 1842h	CAN1	ステータスレジスタ	STR	16	8、16	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0009 1844h	CAN1	ビットコンフィグレーションレジスタ	BCR	32	8、16、 32	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0009 1848h	CAN1	受信FIFO制御レジスタ	RFCR	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0009 1849h	CAN1	受信FIFOポインタ制御レジスタ	RFPCR	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0009 184Ah	CAN1	送信FIFO制御レジスタ	TFCR	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0009 184Bh	CAN1	送信FIFOポインタ制御レジスタ	TFPCR	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0009 184Ch	CAN1	エラー割り込み許可レジスタ	EIER	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0009 184Dh	CAN1	エラー割り込み要因判定レジスタ	EIFR	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0009 184Eh	CAN1	受信エラーカウントレジスタ	RECR	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0009 184Fh	CAN1	送信エラーカウントレジスタ	TECR	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0009 1850h	CAN1	エラーコード格納レジスタ	ECSR	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0009 1851h	CAN1	チャネルサーチサポートレジスタ	CSSR	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0009 1852h	CAN1	メールボックスサーチステータスレジスタ	MSSR	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0009 1853h	CAN1	メールボックスサーチモードレジスタ	MSMR	8	8	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0009 1854h	CAN1	タイムスタンプレジスタ	TSR	16	8、16	2~3PCLKB	2ICLK		64/48ピン版にはありません。
0009 1856h	CAN1	アクセプタンスフィルタサポートレジスタ	AFSR	16	8、16	2~3PCLKB	2ICLK		64/48ピン版にはありません。

表 4.1 I/O レジスタアドレス一覧 (29 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK $\geq$ PCLK の場合	ICLK < PCLK の場合		
0009 1858h	CAN1	テスト制御レジスタ	TCR	8	8	2~3PCLKB	2ICLK	CAN	64/48ピン版にはありません。
000A 0000h	USB0	システムコンフィギュレーションコントロールレジスタ	SYSCFG	16	16	3~4PCLKB	2~3ICLK	USBa	112/100/64/48ピン版にはありません。
000A 0004h	USB0	システムコンフィギュレーションステータスレジスタ0	SYSSTS0	16	16	9PCLKB以上			112/100/64/48ピン版にはありません。
000A 0008h	USB0	デバイスステートコントロールレジスタ0	DVSTCTR0	16	16	9PCLKB以上			112/100/64/48ピン版にはありません。
000A 0014h	USB0	CFIFOポートレジスタ	CFIFO	16	8、16	3~4PCLKB	2~3ICLK		112/100/64/48ピン版にはありません。
000A 0018h	USB0	D0FIFOポートレジスタ	D0FIFO	16	8、16	3~4PCLKB	2~3ICLK		112/100/64/48ピン版にはありません。
000A 001Ch	USB0	D1FIFOポートレジスタ	D1FIFO	16	8、16	3~4PCLKB	2~3ICLK		112/100/64/48ピン版にはありません。
000A 0020h	USB0	CFIFOポート選択レジスタ	CFIFOSEL	16	16	3~4PCLKB	2~3ICLK		112/100/64/48ピン版にはありません。
000A 0022h	USB0	CFIFOポートコントロールレジスタ	CFIFOCTR	16	16	3~4PCLKB	2~3ICLK		112/100/64/48ピン版にはありません。
000A 0028h	USB0	D0FIFOポート選択レジスタ	D0FIFOSEL	16	16	3~4PCLKB	2~3ICLK		112/100/64/48ピン版にはありません。
000A 002Ah	USB0	D0FIFOポートコントロールレジスタ	D0FIFOCTR	16	16	3~4PCLKB	2~3ICLK		112/100/64/48ピン版にはありません。
000A 002Ch	USB0	D1FIFOポート選択レジスタ	D1FIFOSEL	16	16	3~4PCLKB	2~3ICLK		112/100/64/48ピン版にはありません。
000A 002Eh	USB0	D1FIFOポートコントロールレジスタ	D1FIFOCTR	16	16	3~4PCLKB	2~3ICLK		112/100/64/48ピン版にはありません。
000A 0030h	USB0	割り込み許可レジスタ0	INTENB0	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数)の整数切り上げ以上 (注1)		112/100/64/48ピン版にはありません。
000A 0032h	USB0	割り込み許可レジスタ1	INTENB1	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数)の整数切り上げ以上 (注1)		112/100/64/48ピン版にはありません。
000A 0036h	USB0	BRDY割り込み許可レジスタ	BRDYENB	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数)の整数切り上げ以上 (注1)		112/100/64/48ピン版にはありません。
000A 0038h	USB0	NRDY割り込み許可レジスタ	NRDYENB	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数)の整数切り上げ以上 (注1)		112/100/64/48ピン版にはありません。
000A 003Ah	USB0	BEMP割り込み許可レジスタ	BEMPENB	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数)の整数切り上げ以上 (注1)		112/100/64/48ピン版にはありません。
000A 003Ch	USB0	SOF出カコンフィギュレーションレジスタ	SOFCFG	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数)の整数切り上げ以上 (注1)		112/100/64/48ピン版にはありません。
000A 0040h	USB0	割り込みステータスレジスタ0	INTSTS0	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数)の整数切り上げ以上 (注1)		112/100/64/48ピン版にはありません。
000A 0042h	USB0	割り込みステータスレジスタ1	INTSTS1	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数)の整数切り上げ以上 (注1)		112/100/64/48ピン版にはありません。
000A 0046h	USB0	BRDY割り込みステータスレジスタ	BRDYSTS	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数)の整数切り上げ以上 (注1)	112/100/64/48ピン版にはありません。	
000A 0048h	USB0	NRDY割り込みステータスレジスタ	NRDYSTS	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数)の整数切り上げ以上 (注1)	112/100/64/48ピン版にはありません。	
000A 004Ah	USB0	BEMP割り込みステータスレジスタ	BEMPSTS	16	16	9PCLKB以上	1+9/(ICLK/PCLKBの周波数)の整数切り上げ以上 (注1)	112/100/64/48ピン版にはありません。	

表 4.1 I/O レジスタアドレス一覧 (30 / 46)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		モジュール 名	備考
						ICLK $\geq$ PCLK の場合	ICLK $<$ PCLK の場合		
000A 004Ch	USB0	フレームナンバーレジスタ	FRMNUM	16	16	9PCLKB 以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上 (注1)	USBa	112/100/64/48ピン版にはあ りません。
000A 004Eh	USB0	デバイスステート切り替えレジスタ	DVCHGR	16	16	9PCLKB 以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上 (注1)		112/100/64/48ピン版にはあ りません。
000A 0050h	USB0	USBアドレスレジスタ	USBADDR	16	16	9PCLKB 以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上 (注1)		112/100/64/48ピン版にはあ りません。
000A 0054h	USB0	USBリクエストタイプレジスタ	USBREQ	16	16	9PCLKB 以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上 (注1)		112/100/64/48ピン版にはあ りません。
000A 0056h	USB0	USBリクエストバリュージェジスタ	USBVAL	16	16	9PCLKB 以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上 (注1)		112/100/64/48ピン版にはあ りません。
000A 0058h	USB0	USBリクエストインデックスレジスタ	USBINDX	16	16	9PCLKB 以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上 (注1)		112/100/64/48ピン版にはあ りません。
000A 005Ah	USB0	USBリクエストレンゲスレジスタ	USBLENG	16	16	9PCLKB 以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上 (注1)		112/100/64/48ピン版にはあ りません。
000A 005Ch	USB0	DCPコンフィギュレーションレジスタ	DCPCFG	16	16	9PCLKB 以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上 (注1)		112/100/64/48ピン版にはあ りません。
000A 005Eh	USB0	DCPマックスパケットサイズレジスタ	DCPMAXP	16	16	9PCLKB 以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上 (注1)		112/100/64/48ピン版にはあ りません。
000A 0060h	USB0	DCPコントロールレジスタ	DCPCTR	16	16	9PCLKB 以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上 (注1)		112/100/64/48ピン版にはあ りません。
000A 0064h	USB0	パイプウィンドウ選択レジスタ	PIPESEL	16	16	9PCLKB 以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上 (注1)		112/100/64/48ピン版にはあ りません。
000A 0068h	USB0	パイプコンフィギュレーションレジスタ	PIPECFG	16	16	9PCLKB 以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上 (注1)		112/100/64/48ピン版にはあ りません。
000A 006Ch	USB0	パイプマックスパケットサイズレジスタ	PEMAXP	16	16	9PCLKB 以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上 (注1)		112/100/64/48ピン版にはあ りません。
000A 006Eh	USB0	パイプ周期制御レジスタ	PIPEPERI	16	16	9PCLKB 以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上 (注1)		112/100/64/48ピン版にはあ りません。
000A 0070h	USB0	パイプ1コントロールレジスタ	PIPE1CTR	16	16	9PCLKB 以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上 (注1)		112/100/64/48ピン版にはあ りません。
000A 0072h	USB0	パイプ2コントロールレジスタ	PIPE2CTR	16	16	9PCLKB 以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上 (注1)		112/100/64/48ピン版にはあ りません。
000A 0074h	USB0	パイプ3コントロールレジスタ	PIPE3CTR	16	16	9PCLKB 以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上 (注1)		112/100/64/48ピン版にはあ りません。
000A 0076h	USB0	パイプ4コントロールレジスタ	PIPE4CTR	16	16	9PCLKB 以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上 (注1)		112/100/64/48ピン版にはあ りません。
000A 0078h	USB0	パイプ5コントロールレジスタ	PIPE5CTR	16	16	9PCLKB 以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上 (注1)		112/100/64/48ピン版にはあ りません。

表 4.1 I/O レジスタアドレス一覧 (31 / 46)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		モジュール 名	備考
						ICLK $\geq$ PCLK の場合	ICLK < PCLK の場合		
000A 007Ah	USB0	パイプ6コントロールレジスタ	PIPE6CTR	16	16	9PCLKB 以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上 (注1)	USBa	112/100/64/48ピン版にはあ りません。
000A 007Ch	USB0	パイプ7コントロールレジスタ	PIPE7CTR	16	16	9PCLKB 以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上 (注1)		112/100/64/48ピン版にはあ りません。
000A 007Eh	USB0	パイプ8コントロールレジスタ	PIPE8CTR	16	16	9PCLKB 以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上 (注1)		112/100/64/48ピン版にはあ りません。
000A 0080h	USB0	パイプ9コントロールレジスタ	PIPE9CTR	16	16	9PCLKB 以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上 (注1)		112/100/64/48ピン版にはあ りません。
000A 0090h	USB0	パイプ1トランザクションカウンタ イネーブルレジスタ	PIPE1TRE	16	16	9PCLKB 以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上 (注1)		112/100/64/48ピン版にはあ りません。
000A 0092h	USB0	パイプ1トランザクションカウン タレジスタ	PIPE1TRN	16	16	9PCLKB 以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上 (注1)		112/100/64/48ピン版にはあ りません。
000A 0094h	USB0	パイプ2トランザクションカウン タイネーブルレジスタ	PIPE2TRE	16	16	9PCLKB 以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上 (注1)		112/100/64/48ピン版にはあ りません。
000A 0096h	USB0	パイプ2トランザクションカウン タレジスタ	PIPE2TRN	16	16	9PCLKB 以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上 (注1)		112/100/64/48ピン版にはあ りません。
000A 0098h	USB0	パイプ3トランザクションカウン タイネーブルレジスタ	PIPE3TRE	16	16	9PCLKB 以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上 (注1)		112/100/64/48ピン版にはあ りません。
000A 009Ah	USB0	パイプ3トランザクションカウン タレジスタ	PIPE3TRN	16	16	9PCLKB 以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上 (注1)		112/100/64/48ピン版にはあ りません。
000A 009Ch	USB0	パイプ4トランザクションカウン タイネーブルレジスタ	PIPE4TRE	16	16	9PCLKB 以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上 (注1)		112/100/64/48ピン版にはあ りません。
000A 009Eh	USB0	パイプ4トランザクションカウン タレジスタ	PIPE4TRN	16	16	9PCLKB 以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上 (注1)		112/100/64/48ピン版にはあ りません。
000A 00A0h	USB0	パイプ5トランザクションカウン タイネーブルレジスタ	PIPE5TRE	16	16	9PCLKB 以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上 (注1)		112/100/64/48ピン版にはあ りません。
000A 00A2h	USB0	パイプ5トランザクションカウン タレジスタ	PIPE5TRN	16	16	9PCLKB 以上	1+9/(ICLK/ PCLKBの周波 数)の整数切り 上げ以上 (注1)		112/100/64/48ピン版にはあ りません。
000C 1200h	MTU3	タイマコントロールレジスタ	TCR	8	8、16、 32	4~5PCLKA	2~3ICLK	MTU3	
000C 1201h	MTU4	タイマコントロールレジスタ	TCR	8	8	4~5PCLKA	2~3ICLK		
000C 1202h	MTU3	タイマモードレジスタ1	TMDR1	8	8、16	4~5PCLKA	2~3ICLK		
000C 1203h	MTU4	タイマモードレジスタ1	TMDR1	8	8	4~5PCLKA	2~3ICLK		
000C 1204h	MTU3	タイマI/OコントロールレジスタH	TIORH	8	8、16、 32	4~5PCLKA	2~3ICLK		
000C 1205h	MTU3	タイマI/OコントロールレジスタL	TIORL	8	8	4~5PCLKA	2~3ICLK		
000C 1206h	MTU4	タイマI/OコントロールレジスタH	TIORH	8	8、16	4~5PCLKA	2~3ICLK		
000C 1207h	MTU4	タイマI/OコントロールレジスタL	TIORL	8	8	4~5PCLKA	2~3ICLK		
000C 1208h	MTU3	タイマインタラプトイネーブル レジスタ	TIER	8	8、16	4~5PCLKA	2~3ICLK		
000C 1209h	MTU4	タイマインタラプトイネーブル レジスタ	TIER	8	8	4~5PCLKA	2~3ICLK		
000C 120Ah	MTU	タイマアウトプットマスタイネー ブルレジスタA	TOERA	8	8	4~5PCLKA	2~3ICLK		
000C 120Dh	MTU	タイマゲートコントロールレジスタ A	TGCRA	8	8	4~5PCLKA	2~3ICLK		

表 4.1 I/O レジスタアドレス一覧 (32 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合		
000C 120Eh	MTU	タイマアウトブットコントロールレジスタ1A	TOCR1A	8	8、16	4~5PCLKA	2~3ICLK	MTU3	
000C 120Fh	MTU	タイマアウトブットコントロールレジスタ2A	TOCR2A	8	8	4~5PCLKA	2~3ICLK		
000C 1210h	MTU3	タイマカウンタ	TCNT	16	16、32	4~5PCLKA	2~3ICLK		
000C 1212h	MTU4	タイマカウンタ	TCNT	16	16	4~5PCLKA	2~3ICLK		
000C 1214h	MTU	タイマ周期データレジスタA	TCBRA	16	16、32	4~5PCLKA	2~3ICLK		
000C 1216h	MTU	タイマデッドタイムデータレジスタA	TDDRA	16	16	4~5PCLKA	2~3ICLK		
000C 1218h	MTU3	タイマジェネラルレジスタA	TGRA	16	16、32	4~5PCLKA	2~3ICLK		
000C 121Ah	MTU3	タイマジェネラルレジスタB	TGRB	16	16	4~5PCLKA	2~3ICLK		
000C 121Ch	MTU4	タイマジェネラルレジスタA	TGRA	16	16、32	4~5PCLKA	2~3ICLK		
000C 121Eh	MTU4	タイマジェネラルレジスタB	TGRB	16	16	4~5PCLKA	2~3ICLK		
000C 1220h	MTU	タイマサブカウンタA	TCNTSA	16	16、32	4~5PCLKA	2~3ICLK		
000C 1222h	MTU	タイマ周期パッファレジスタA	TCBRA	16	16	4~5PCLKA	2~3ICLK		
000C 1224h	MTU3	タイマジェネラルレジスタC	TGRC	16	16、32	4~5PCLKA	2~3ICLK		
000C 1226h	MTU3	タイマジェネラルレジスタD	TGRD	16	16	4~5PCLKA	2~3ICLK		
000C 1228h	MTU4	タイマジェネラルレジスタC	TGRC	16	16、32	4~5PCLKA	2~3ICLK		
000C 122Ah	MTU4	タイマジェネラルレジスタD	TGRD	16	16	4~5PCLKA	2~3ICLK		
000C 122Ch	MTU3	タイマステータスレジスタ	TSR	8	8、16	4~5PCLKA	2~3ICLK		
000C 122Dh	MTU4	タイマステータスレジスタ	TSR	8	8	4~5PCLKA	2~3ICLK		
000C 1230h	MTU	タイマ割り込み間引き設定レジスタ1A	TITCR1A	8	8、16	4~5PCLKA	2~3ICLK		
000C 1231h	MTU	タイマ割り込み間引き回数カウンタ1A	TITCNT1A	8	8	4~5PCLKA	2~3ICLK		
000C 1232h	MTU	タイマパッファ転送設定レジスタA	TBTERA	8	8	4~5PCLKA	2~3ICLK		
000C 1234h	MTU	タイマデッドタイムイネーブルレジスタA	TDERA	8	8	4~5PCLKA	2~3ICLK		
000C 1236h	MTU	タイマアウトブットレベルパッファレジスタA	TOLBRA	8	8	4~5PCLKA	2~3ICLK		
000C 1238h	MTU3	タイマパッファ動作転送モードレジスタ	TBTM	8	8、16	4~5PCLKA	2~3ICLK		
000C 1239h	MTU4	タイマパッファ動作転送モードレジスタ	TBTM	8	8	4~5PCLKA	2~3ICLK		
000C 123Ah	MTU	タイマ割り込み間引きモードレジスタA	TITMRA	8	8	4~5PCLKA	2~3ICLK		
000C 123Bh	MTU	タイマ割り込み間引き設定レジスタ2A	TITCR2A	8	8	4~5PCLKA	2~3ICLK		
000C 123Ch	MTU	タイマ割り込み間引き回数カウンタ2A	TITCNT2A	8	8	4~5PCLKA	2~3ICLK		
000C 1240h	MTU4	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	4~5PCLKA	2~3ICLK		
000C 1244h	MTU4	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16、32	4~5PCLKA	2~3ICLK		
000C 1246h	MTU4	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	4~5PCLKA	2~3ICLK		
000C 1248h	MTU4	タイマA/D変換開始要求周期設定パッファレジスタA	TADCOBRA	16	16、32	4~5PCLKA	2~3ICLK		
000C 124Ah	MTU4	タイマA/D変換開始要求周期設定パッファレジスタB	TADCOBRB	16	16	4~5PCLKA	2~3ICLK		
000C 1260h	MTU	タイマ波形コントロールレジスタA	TWCRA	8	8	4~5PCLKA	2~3ICLK		
000C 1270h	MTU	タイマモードレジスタ2A	TMDR2A	8	8	4~5PCLKA	2~3ICLK		
000C 1272h	MTU3	タイマジェネラルレジスタE	TGRE	16	16	4~5PCLKA	2~3ICLK		
000C 1274h	MTU4	タイマジェネラルレジスタE	TGRE	16	16	4~5PCLKA	2~3ICLK		
000C 1276h	MTU4	タイマジェネラルレジスタF	TGRF	16	16	4~5PCLKA	2~3ICLK		
000C 1280h	MTU	タイマスタートレジスタA	TSTRA	8	8、16	4~5PCLKA	2~3ICLK		
000C 1281h	MTU	タイマシンクロレジスタA	TSYRA	8	8	4~5PCLKA	2~3ICLK		
000C 1282h	MTU	タイマカウンタシンクロススタートレジスタ	TCSYSTR	8	8	4~5PCLKA	2~3ICLK		
000C 1284h	MTU	タイマリッドライトイネーブルレジスタA	TRWERA	8	8	4~5PCLKA	2~3ICLK		
000C 1300h	MTU0	タイマコントロールレジスタ	TCR	8	8、16、32	4~5PCLKA	2~3ICLK		
000C 1301h	MTU0	タイマモードレジスタ1	TMDR1	8	8	4~5PCLKA	2~3ICLK		
000C 1302h	MTU0	タイマI/OコントロールレジスタH	TIORH	8	8、16	4~5PCLKA	2~3ICLK		
000C 1303h	MTU0	タイマI/OコントロールレジスタL	TIORL	8	8	4~5PCLKA	2~3ICLK		
000C 1304h	MTU0	タイマインタラプトイネーブルレジスタ	TIER	8	8、16、32	4~5PCLKA	2~3ICLK		
000C 1305h	MTU0	タイマステータスレジスタ	TSR	8	8	4~5PCLKA	2~3ICLK		

表 4.1 I/O レジスタアドレス一覧 (33 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK $\geq$ PCLK の場合	ICLK < PCLK の場合		
000C 1306h	MTU0	タイマカウンタ	TCNT	16	16	4~5PCLKA	2~3ICLK	MTU3	
000C 1308h	MTU0	タイマジェネラルレジスタ A	TGRA	16	16、32	4~5PCLKA	2~3ICLK		
000C 130Ah	MTU0	タイマジェネラルレジスタ B	TGRB	16	16	4~5PCLKA	2~3ICLK		
000C 130Ch	MTU0	タイマジェネラルレジスタ C	TGRC	16	16、32	4~5PCLKA	2~3ICLK		
000C 130Eh	MTU0	タイマジェネラルレジスタ D	TGRD	16	16	4~5PCLKA	2~3ICLK		
000C 1320h	MTU0	タイマジェネラルレジスタ E	TGRE	16	16、32	4~5PCLKA	2~3ICLK		
000C 1322h	MTU0	タイマジェネラルレジスタ F	TGRF	16	16	4~5PCLKA	2~3ICLK		
000C 1324h	MTU0	タイマインタラプトイネーブルレジスタ 2	TIER2	8	8、16	4~5PCLKA	2~3ICLK		
000C 1325h	MTU0	タイマステータスレジスタ 2	TSR2	8	8	4~5PCLKA	2~3ICLK		
000C 1326h	MTU0	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4~5PCLKA	2~3ICLK		
000C 1380h	MTU1	タイマコントロールレジスタ	TCR	8	8、16	4~5PCLKA	2~3ICLK		
000C 1381h	MTU1	タイマモードレジスタ 1	TMDR1	8	8	4~5PCLKA	2~3ICLK		
000C 1382h	MTU1	タイマI/Oコントロールレジスタ	TIOR	8	8	4~5PCLKA	2~3ICLK		
000C 1384h	MTU1	タイマインタラプトイネーブルレジスタ	TIER	8	8、16、32	4~5PCLKA	2~3ICLK		
000C 1385h	MTU1	タイマステータスレジスタ	TSR	8	8	4~5PCLKA	2~3ICLK		
000C 1386h	MTU1	タイマカウンタ	TCNT	16	16	4~5PCLKA	2~3ICLK		
000C 1388h	MTU1	タイマジェネラルレジスタ A	TGRA	16	16、32	4~5PCLKA	2~3ICLK		
000C 138Ah	MTU1	タイマジェネラルレジスタ B	TGRB	16	16	4~5PCLKA	2~3ICLK		
000C 1390h	MTU1	タイマインプットキャプチャコントロールレジスタ	TICCR	8	8	4~5PCLKA	2~3ICLK		
000C 1400h	MTU2	タイマコントロールレジスタ	TCR	8	8、16	4~5PCLKA	2~3ICLK		
000C 1401h	MTU2	タイマモードレジスタ 1	TMDR1	8	8	4~5PCLKA	2~3ICLK		
000C 1402h	MTU2	タイマI/Oコントロールレジスタ	TIOR	8	8	4~5PCLKA	2~3ICLK		
000C 1404h	MTU2	タイマインタラプトイネーブルレジスタ	TIER	8	8、16、32	4~5PCLKA	2~3ICLK		
000C 1405h	MTU2	タイマステータスレジスタ	TSR	8	8	4~5PCLKA	2~3ICLK		
000C 1406h	MTU2	タイマカウンタ	TCNT	16	16	4~5PCLKA	2~3ICLK		
000C 1408h	MTU2	タイマジェネラルレジスタ A	TGRA	16	16、32	4~5PCLKA	2~3ICLK		
000C 140Ah	MTU2	タイマジェネラルレジスタ B	TGRB	16	16	4~5PCLKA	2~3ICLK		
000C 1A00h	MTU6	タイマコントロールレジスタ	TCR	8	8、16、32	4~5PCLKA	2~3ICLK		
000C 1A01h	MTU7	タイマコントロールレジスタ	TCR	8	8	4~5PCLKA	2~3ICLK		
000C 1A02h	MTU6	タイマモードレジスタ 1	TMDR1	8	8、16	4~5PCLKA	2~3ICLK		
000C 1A03h	MTU7	タイマモードレジスタ 1	TMDR1	8	8	4~5PCLKA	2~3ICLK		
000C 1A04h	MTU6	タイマI/Oコントロールレジスタ H	TIORH	8	8、16、32	4~5PCLKA	2~3ICLK		
000C 1A05h	MTU6	タイマI/Oコントロールレジスタ L	TIORL	8	8	4~5PCLKA	2~3ICLK		
000C 1A06h	MTU7	タイマI/Oコントロールレジスタ H	TIORH	8	8、16	4~5PCLKA	2~3ICLK		
000C 1A07h	MTU7	タイマI/Oコントロールレジスタ L	TIORL	8	8	4~5PCLKA	2~3ICLK		
000C 1A08h	MTU6	タイマインタラプトイネーブルレジスタ	TIER	8	8、16	4~5PCLKA	2~3ICLK		
000C 1A09h	MTU7	タイマインタラプトイネーブルレジスタ	TIER	8	8	4~5PCLKA	2~3ICLK		
000C 1A0Ah	MTU	タイマアウトプットマスタイネーブルレジスタ B	TOERB	8	8	4~5PCLKA	2~3ICLK		
000C 1A0Eh	MTU	タイマアウトプットコントロールレジスタ 1B	TOCR1B	8	8、16	4~5PCLKA	2~3ICLK		
000C 1A0Fh	MTU	タイマアウトプットコントロールレジスタ 2B	TOCR2B	8	8	4~5PCLKA	2~3ICLK		
000C 1A10h	MTU6	タイマカウンタ	TCNT	16	16、32	4~5PCLKA	2~3ICLK		
000C 1A12h	MTU7	タイマカウンタ	TCNT	16	16	4~5PCLKA	2~3ICLK		
000C 1A14h	MTU	タイマ周期データレジスタ B	TCDRB	16	16、32	4~5PCLKA	2~3ICLK		
000C 1A16h	MTU	タイマデッドタイムデータレジスタ B	TDDRb	16	16	4~5PCLKA	2~3ICLK		
000C 1A18h	MTU6	タイマジェネラルレジスタ A	TGRA	16	16、32	4~5PCLKA	2~3ICLK		
000C 1A1Ah	MTU6	タイマジェネラルレジスタ B	TGRB	16	16	4~5PCLKA	2~3ICLK		
000C 1A1Ch	MTU7	タイマジェネラルレジスタ A	TGRA	16	16、32	4~5PCLKA	2~3ICLK		
000C 1A1Eh	MTU7	タイマジェネラルレジスタ B	TGRB	16	16	4~5PCLKA	2~3ICLK		

表 4.1 I/O レジスタアドレス一覧 (34 / 46)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		モジュール 名	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合		
000C 1A20h	MTU	タイマサブカウンタ B	TCNTSB	16	16、32	4~5PCLKA	2~3ICLK	MTU3	
000C 1A22h	MTU	タイマ周期バッファレジスタ B	TCBRB	16	16	4~5PCLKA	2~3ICLK		
000C 1A24h	MTU6	タイマジェネラルレジスタ C	TGRC	16	16、32	4~5PCLKA	2~3ICLK		
000C 1A26h	MTU6	タイマジェネラルレジスタ D	TGRD	16	16	4~5PCLKA	2~3ICLK		
000C 1A28h	MTU7	タイマジェネラルレジスタ C	TGRC	16	16、32	4~5PCLKA	2~3ICLK		
000C 1A2Ah	MTU7	タイマジェネラルレジスタ D	TGRD	16	16	4~5PCLKA	2~3ICLK		
000C 1A2Ch	MTU6	タイマステータスレジスタ	TSR	8	8、16	4~5PCLKA	2~3ICLK		
000C 1A2Dh	MTU7	タイマステータスレジスタ	TSR	8	8	4~5PCLKA	2~3ICLK		
000C 1A30h	MTU	タイマ割り込み間引き設定レジスタ 1B	TITCR1B	8	8、16	4~5PCLKA	2~3ICLK		
000C 1A31h	MTU	タイマ割り込み間引き回数カウンタ 1B	TITCNT1B	8	8	4~5PCLKA	2~3ICLK		
000C 1A32h	MTU	タイマバッファ転送設定レジスタ B	TBTERB	8	8	4~5PCLKA	2~3ICLK		
000C 1A34h	MTU	タイマデッドタイムイネーブルレジスタ B	TDERB	8	8	4~5PCLKA	2~3ICLK		
000C 1A36h	MTU	タイマアウトブットレベルバッファレジスタ B	TOLBRB	8	8	4~5PCLKA	2~3ICLK		
000C 1A38h	MTU6	タイマバッファ動作転送モードレジスタ	TBTM	8	8、16	4~5PCLKA	2~3ICLK		
000C 1A39h	MTU7	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4~5PCLKA	2~3ICLK		
000C 1A3Ah	MTU	タイマ割り込み間引きモードレジスタ B	TITMRB	8	8	4~5PCLKA	2~3ICLK		
000C 1A3Bh	MTU	タイマ割り込み間引き設定レジスタ 2B	TITCR2B	8	8	4~5PCLKA	2~3ICLK		
000C 1A3Ch	MTU	タイマ割り込み間引き回数カウンタ 2B	TITCNT2B	8	8	4~5PCLKA	2~3ICLK		
000C 1A40h	MTU7	タイマ A/D 変換開始要求コントロールレジスタ	TADCR	16	16	4~5PCLKA	2~3ICLK		
000C 1A44h	MTU7	タイマ A/D 変換開始要求周期設定レジスタ A	TADCORA	16	16、32	4~5PCLKA	2~3ICLK		
000C 1A46h	MTU7	タイマ A/D 変換開始要求周期設定レジスタ B	TADCORB	16	16	4~5PCLKA	2~3ICLK		
000C 1A48h	MTU7	タイマ A/D 変換開始要求周期設定バッファレジスタ A	TADCOBRA	16	16、32	4~5PCLKA	2~3ICLK		
000C 1A4Ah	MTU7	タイマ A/D 変換開始要求周期設定バッファレジスタ B	TADCOBRB	16	16	4~5PCLKA	2~3ICLK		
000C 1A50h	MTU	タイマシンクロクリアレジスタ	TSYCR	8	8	4~5PCLKA	2~3ICLK		
000C 1A60h	MTU	タイマ波形コントロールレジスタ B	TWCRB	8	8	4~5PCLKA	2~3ICLK		
000C 1A70h	MTU	タイマモードレジスタ 2B	TMDR2B	8	8	4~5PCLKA	2~3ICLK		
000C 1A72h	MTU6	タイマジェネラルレジスタ E	TGRE	16	16	4~5PCLKA	2~3ICLK		
000C 1A74h	MTU7	タイマジェネラルレジスタ E	TGRE	16	16	4~5PCLKA	2~3ICLK		
000C 1A76h	MTU7	タイマジェネラルレジスタ F	TGRF	16	16	4~5PCLKA	2~3ICLK		
000C 1A80h	MTU	タイマスタートレジスタ B	TSTRB	8	8、16	4~5PCLKA	2~3ICLK		
000C 1A81h	MTU	タイマシンクロレジスタ B	TSYRB	8	8	4~5PCLKA	2~3ICLK		
000C 1A84h	MTU	タイマリードライトイネーブルレジスタ B	TRWERB	8	8	4~5PCLKA	2~3ICLK		
000C 1C80h	MTU5	タイマカウンタ U	TCNTU	16	16、32	4~5PCLKA	2~3ICLK		
000C 1C82h	MTU5	タイマジェネラルレジスタ U	TGRU	16	16	4~5PCLKA	2~3ICLK		
000C 1C84h	MTU5	タイマコントロールレジスタ U	TCRU	8	8	4~5PCLKA	2~3ICLK		
000C 1C86h	MTU5	タイマ I/O コントロールレジスタ U	TIORU	8	8	4~5PCLKA	2~3ICLK		
000C 1C90h	MTU5	タイマカウンタ V	TCNTV	16	16、32	4~5PCLKA	2~3ICLK		
000C 1C92h	MTU5	タイマジェネラルレジスタ V	TGRV	16	16	4~5PCLKA	2~3ICLK		
000C 1C94h	MTU5	タイマコントロールレジスタ V	TCRV	8	8	4~5PCLKA	2~3ICLK		
000C 1C96h	MTU5	タイマ I/O コントロールレジスタ V	TIORV	8	8	4~5PCLKA	2~3ICLK		
000C 1CA0h	MTU5	タイマカウンタ W	TCNTW	16	16、32	4~5PCLKA	2~3ICLK		
000C 1CA2h	MTU5	タイマジェネラルレジスタ W	TGRW	16	16	4~5PCLKA	2~3ICLK		
000C 1CA4h	MTU5	タイマコントロールレジスタ W	TCRW	8	8	4~5PCLKA	2~3ICLK		
000C 1CA6h	MTU5	タイマ I/O コントロールレジスタ W	TIORW	8	8	4~5PCLKA	2~3ICLK		
000C 1CB0h	MTU5	タイマステータスレジスタ	TSR	8	8	4~5PCLKA	2~3ICLK		
000C 1CB2h	MTU5	タイマインタラプトイネーブルレジスタ	TIER	8	8	4~5PCLKA	2~3ICLK		
000C 1CB4h	MTU5	タイマスタートレジスタ	TSTR	8	8	4~5PCLKA	2~3ICLK		
000C 1CB6h	MTU5	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	8	8	4~5PCLKA	2~3ICLK		



表 4.1 I/O レジスタアドレス一覧 (35 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK $\geq$ PCLK の場合	ICLK < PCLK の場合		
000C 2000h	GPT	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	16	8、16、32	2~5PCLKA	2~3ICLK	GPT	
000C 2004h	GPT	汎用PWMタイマハードウェア要因スタートコントロールレジスタ	GTHSCR	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 2006h	GPT	汎用PWMタイマハードウェア要因クリアコントロールレジスタ	GTHCCR	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 2008h	GPT	汎用PWMタイマハードウェアスタート要因セレクトレジスタ	GTHSSR	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 200Ah	GPT	汎用PWMタイマハードウェアストップ・クリア要因セレクトレジスタ	GTHPSR	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 200Ch	GPT	汎用PWMタイマ書き込み保護レジスタ	GTWP	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 200Eh	GPT	汎用PWMタイマシンクロレジスタ	GTSYNC	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 2010h	GPT	汎用PWMタイマ外部トリガ入力割り込みレジスタ	GTETINT	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 2014h	GPT	汎用PWMタイマバッファ動作禁止レジスタ	GTBDR	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 2018h	GPT	汎用PWMタイマスタート書き込み保護レジスタ	GTSWP	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 2080h	GPT	LOCOカウントコントロールレジスタ	LCCR	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 2082h	GPT	LOCOカウントステータスレジスタ	LCST	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 2084h	GPT	LOCOカウント値レジスタ	LCNT	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 2086h	GPT	LOCOカウント結果平均レジスタ	LCNTA	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 2088h	GPT	LOCOカウント結果レジスタ0	LCNT00	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 208Ah	GPT	LOCOカウント結果レジスタ1	LCNT01	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 208Ch	GPT	LOCOカウント結果レジスタ2	LCNT02	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 208Eh	GPT	LOCOカウント結果レジスタ3	LCNT03	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 2090h	GPT	LOCOカウント結果レジスタ4	LCNT04	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 2092h	GPT	LOCOカウント結果レジスタ5	LCNT05	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 2094h	GPT	LOCOカウント結果レジスタ6	LCNT06	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 2096h	GPT	LOCOカウント結果レジスタ7	LCNT07	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 2098h	GPT	LOCOカウント結果レジスタ8	LCNT08	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 209Ah	GPT	LOCOカウント結果レジスタ9	LCNT09	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 209Ch	GPT	LOCOカウント結果レジスタ10	LCNT10	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 209Eh	GPT	LOCOカウント結果レジスタ11	LCNT11	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 20A0h	GPT	LOCOカウント結果レジスタ12	LCNT12	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 20A2h	GPT	LOCOカウント結果レジスタ13	LCNT13	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 20A4h	GPT	LOCOカウント結果レジスタ14	LCNT14	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 20A6h	GPT	LOCOカウント結果レジスタ15	LCNT15	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 20A8h	GPT	LOCOカウント上限許容偏差値レジスタ	LCNTDU	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 20AAh	GPT	LOCOカウント下限許容偏差値レジスタ	LCNTDL	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 2100h	GPT0	汎用PWMタイマI/Oコントロールレジスタ	GTIOR	16	8、16、32	2~5PCLKA	2~3ICLK		

表 4.1 I/O レジスタアドレス一覧 (36 / 46)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		モジュール 名	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合		
000C 2102h	GPT0	汎用 PWM タイマ割り込み出力設定レジスタ	GTINTAD	16	8、16、32	2~5PCLKA	2~3ICLK	GPT	
000C 2104h	GPT0	汎用 PWM タイマコントロールレジスタ	GTCR	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 2106h	GPT0	汎用 PWM タイマバッファインプットレジスタ	GTBER	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 2108h	GPT0	汎用 PWM タイマカウント方向レジスタ	GTUDC	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 210Ah	GPT0	汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ	GTITC	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 210Ch	GPT0	汎用 PWM タイマステータスレジスタ	GTST	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 210Eh	GPT0	汎用 PWM タイマカウンタ	GTCNT	16	16	2~5PCLKA	2~3ICLK		
000C 2110h	GPT0	汎用 PWM タイマコンペアキャプチャレジスタ A	GTCRA	16	16、32	2~5PCLKA	2~3ICLK		
000C 2112h	GPT0	汎用 PWM タイマコンペアキャプチャレジスタ B	GTCRB	16	16、32	2~5PCLKA	2~3ICLK		
000C 2114h	GPT0	汎用 PWM タイマコンペアキャプチャレジスタ C	GTCRC	16	16、32	2~5PCLKA	2~3ICLK		
000C 2116h	GPT0	汎用 PWM タイマコンペアキャプチャレジスタ D	GTCRD	16	16、32	2~5PCLKA	2~3ICLK		
000C 2118h	GPT0	汎用 PWM タイマコンペアキャプチャレジスタ E	GTCRE	16	16、32	2~5PCLKA	2~3ICLK		
000C 211Ah	GPT0	汎用 PWM タイマコンペアキャプチャレジスタ F	GTCRF	16	16、32	2~5PCLKA	2~3ICLK		
000C 211Ch	GPT0	汎用 PWM タイマ周期設定レジスタ	GTPR	16	16、32	2~5PCLKA	2~3ICLK		
000C 211Eh	GPT0	汎用 PWM タイマ周期設定バッファレジスタ	GTPBR	16	16、32	2~5PCLKA	2~3ICLK		
000C 2120h	GPT0	汎用 PWM タイマ周期設定ダブルバッファレジスタ	GTPDBR	16	16、32	2~5PCLKA	2~3ICLK		
000C 2124h	GPT0	A/D 変換開始要求タイミングレジスタ A	GTADTRA	16	16、32	2~5PCLKA	2~3ICLK		
000C 2126h	GPT0	A/D 変換開始要求タイミングバッファレジスタ A	GTADTBRA	16	16、32	2~5PCLKA	2~3ICLK		
000C 2128h	GPT0	A/D 変換開始要求タイミングダブルバッファレジスタ A	GTADTDBRA	16	16、32	2~5PCLKA	2~3ICLK		
000C 212Ch	GPT0	A/D 変換開始要求タイミングレジスタ B	GTADTRB	16	16、32	2~5PCLKA	2~3ICLK		
000C 212Eh	GPT0	A/D 変換開始要求タイミングバッファレジスタ B	GTADTRB	16	16、32	2~5PCLKA	2~3ICLK		
000C 2130h	GPT0	A/D 変換開始要求タイミングダブルバッファレジスタ B	GTADTDBRB	16	16、32	2~5PCLKA	2~3ICLK		
000C 2134h	GPT0	汎用 PWM タイマ出力ネゲートコントロールレジスタ	GTONCR	16	16、32	2~5PCLKA	2~3ICLK		
000C 2136h	GPT0	汎用 PWM タイマデッドタイムコントロールレジスタ	GTDTCR	16	16、32	2~5PCLKA	2~3ICLK		
000C 2138h	GPT0	汎用 PWM タイマデッドタイム値レジスタ U	GTDVU	16	16、32	2~5PCLKA	2~3ICLK		
000C 213Ah	GPT0	汎用 PWM タイマデッドタイム値レジスタ D	GTDVD	16	16、32	2~5PCLKA	2~3ICLK		
000C 213Ch	GPT0	汎用 PWM タイマデッドタイムバッファレジスタ U	GTDBU	16	16、32	2~5PCLKA	2~3ICLK		
000C 213Eh	GPT0	汎用 PWM タイマデッドタイムバッファレジスタ D	GTDBD	16	16、32	2~5PCLKA	2~3ICLK		
000C 2140h	GPT0	汎用 PWM タイマ出力保護機能ステータスレジスタ	GTSOS	16	16、32	2~5PCLKA	2~3ICLK		
000C 2142h	GPT0	汎用 PWM タイマ出力保護機能一時解除レジスタ	GTSOTR	16	16、32	2~5PCLKA	2~3ICLK		
000C 2180h	GPT1	汎用 PWM タイマ I/O コントロールレジスタ	GTIOR	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 2182h	GPT1	汎用 PWM タイマ割り込み出力設定レジスタ	GTINTAD	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 2184h	GPT1	汎用 PWM タイマコントロールレジスタ	GTCR	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 2186h	GPT1	汎用 PWM タイマバッファインプットレジスタ	GTBER	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 2188h	GPT1	汎用 PWM タイマカウント方向レジスタ	GTUDC	16	8、16、32	2~5PCLKA	2~3ICLK		

表 4.1 I/O レジスタアドレス一覧 (37 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK $\geq$ PCLK の場合	ICLK < PCLK の場合		
000C 218Ah	GPT1	汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ	GTITC	16	8、16、32	2~5PCLKA	2~3ICLK	GPT	
000C 218Ch	GPT1	汎用 PWM タイマステータスレジスタ	GTST	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 218Eh	GPT1	汎用 PWM タイマカウンタ	GTCNT	16	16	2~5PCLKA	2~3ICLK		
000C 2190h	GPT1	汎用 PWM タイマコンペアキャプチャレジスタ A	GTCCRA	16	16、32	2~5PCLKA	2~3ICLK		
000C 2192h	GPT1	汎用 PWM タイマコンペアキャプチャレジスタ B	GTCCRB	16	16、32	2~5PCLKA	2~3ICLK		
000C 2194h	GPT1	汎用 PWM タイマコンペアキャプチャレジスタ C	GTCCRC	16	16、32	2~5PCLKA	2~3ICLK		
000C 2196h	GPT1	汎用 PWM タイマコンペアキャプチャレジスタ D	GTCCRD	16	16、32	2~5PCLKA	2~3ICLK		
000C 2198h	GPT1	汎用 PWM タイマコンペアキャプチャレジスタ E	GTCCRE	16	16、32	2~5PCLKA	2~3ICLK		
000C 219Ah	GPT1	汎用 PWM タイマコンペアキャプチャレジスタ F	GTCCRF	16	16、32	2~5PCLKA	2~3ICLK		
000C 219Ch	GPT1	汎用 PWM タイマ周期設定レジスタ	GTPR	16	16、32	2~5PCLKA	2~3ICLK		
000C 219Eh	GPT1	汎用 PWM タイマ周期設定バッファレジスタ	GTPBR	16	16、32	2~5PCLKA	2~3ICLK		
000C 21A0h	GPT1	汎用 PWM タイマ周期設定ダブルバッファレジスタ	GTPDBR	16	16、32	2~5PCLKA	2~3ICLK		
000C 21A4h	GPT1	A/D 変換開始要求タイミングレジスタ A	GTADTRA	16	16、32	2~5PCLKA	2~3ICLK		
000C 21A6h	GPT1	A/D 変換開始要求タイミングバッファレジスタ A	GTADTBRA	16	16、32	2~5PCLKA	2~3ICLK		
000C 21A8h	GPT1	A/D 変換開始要求タイミングダブルバッファレジスタ A	GTADTDBRA	16	16、32	2~5PCLKA	2~3ICLK		
000C 21ACh	GPT1	A/D 変換開始要求タイミングレジスタ B	GTADTRB	16	16、32	2~5PCLKA	2~3ICLK		
000C 21AEh	GPT1	A/D 変換開始要求タイミングバッファレジスタ B	GTADTBRB	16	16、32	2~5PCLKA	2~3ICLK		
000C 21B0h	GPT1	A/D 変換開始要求タイミングダブルバッファレジスタ B	GTADTDBRB	16	16、32	2~5PCLKA	2~3ICLK		
000C 21B4h	GPT1	汎用 PWM タイマ出力ネゲートコントロールレジスタ	GTONCR	16	16、32	2~5PCLKA	2~3ICLK		
000C 21B6h	GPT1	汎用 PWM タイマデッドタイムコントロールレジスタ	GTDTCR	16	16、32	2~5PCLKA	2~3ICLK		
000C 21B8h	GPT1	汎用 PWM タイマデッドタイム値レジスタ U	GTDVU	16	16、32	2~5PCLKA	2~3ICLK		
000C 21BAh	GPT1	汎用 PWM タイマデッドタイム値レジスタ D	GTDVD	16	16、32	2~5PCLKA	2~3ICLK		
000C 21BCh	GPT1	汎用 PWM タイマデッドタイムバッファレジスタ U	GTDBU	16	16、32	2~5PCLKA	2~3ICLK		
000C 21BEh	GPT1	汎用 PWM タイマデッドタイムバッファレジスタ D	GTDBD	16	16、32	2~5PCLKA	2~3ICLK		
000C 21C0h	GPT1	汎用 PWM タイマ出力保護機能ステータスレジスタ	GTSOS	16	16、32	2~5PCLKA	2~3ICLK		
000C 21C2h	GPT1	汎用 PWM タイマ出力保護機能一時解除レジスタ	GTSOTR	16	16、32	2~5PCLKA	2~3ICLK		
000C 2200h	GPT2	汎用 PWM タイマ I/O コントロールレジスタ	GTIOR	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 2202h	GPT2	汎用 PWM タイマ割り込み出力設定レジスタ	GTINTAD	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 2204h	GPT2	汎用 PWM タイマコントロールレジスタ	GTCR	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 2206h	GPT2	汎用 PWM タイマバッファファイナブルレジスタ	GTBER	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 2208h	GPT2	汎用 PWM タイマカウント方向レジスタ	GTUDC	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 220Ah	GPT2	汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ	GTITC	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 220Ch	GPT2	汎用 PWM タイマステータスレジスタ	GTST	16	8、16、32	2~5PCLKA	2~3ICLK		
000C 220Eh	GPT2	汎用 PWM タイマカウンタ	GTCNT	16	16	2~5PCLKA	2~3ICLK		
000C 2210h	GPT2	汎用 PWM タイマコンペアキャプチャレジスタ A	GTCCRA	16	16、32	2~5PCLKA	2~3ICLK		

表 4.1 I/O レジスタアドレス一覧 ( 3 8 / 4 6 )

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合		
000C 2212h	GPT2	汎用 PWM タイマコンペアキャプチャレジスタ B	GTCCRB	16	16, 32	2~5PCLKA	2~3ICLK	GPT	
000C 2214h	GPT2	汎用 PWM タイマコンペアキャプチャレジスタ C	GTCCRC	16	16, 32	2~5PCLKA	2~3ICLK		
000C 2216h	GPT2	汎用 PWM タイマコンペアキャプチャレジスタ D	GTCCRD	16	16, 32	2~5PCLKA	2~3ICLK		
000C 2218h	GPT2	汎用 PWM タイマコンペアキャプチャレジスタ E	GTCCRE	16	16, 32	2~5PCLKA	2~3ICLK		
000C 221Ah	GPT2	汎用 PWM タイマコンペアキャプチャレジスタ F	GTCCRF	16	16, 32	2~5PCLKA	2~3ICLK		
000C 221Ch	GPT2	汎用 PWM タイマ周期設定レジスタ	GTPR	16	16, 32	2~5PCLKA	2~3ICLK		
000C 221Eh	GPT2	汎用 PWM タイマ周期設定バッファレジスタ	GTPBR	16	16, 32	2~5PCLKA	2~3ICLK		
000C 2220h	GPT2	汎用 PWM タイマ周期設定ダブルバッファレジスタ	GTPDBR	16	16, 32	2~5PCLKA	2~3ICLK		
000C 2224h	GPT2	A/D 変換開始要求タイミングレジスタ A	GTADTRA	16	16, 32	2~5PCLKA	2~3ICLK		
000C 2226h	GPT2	A/D 変換開始要求タイミングバッファレジスタ A	GTADTBRA	16	16, 32	2~5PCLKA	2~3ICLK		
000C 2228h	GPT2	A/D 変換開始要求タイミングダブルバッファレジスタ A	GTADTDBRA	16	16, 32	2~5PCLKA	2~3ICLK		
000C 222Ch	GPT2	A/D 変換開始要求タイミングレジスタ B	GTADTRB	16	16, 32	2~5PCLKA	2~3ICLK		
000C 222Eh	GPT2	A/D 変換開始要求タイミングバッファレジスタ B	GTADTBRB	16	16, 32	2~5PCLKA	2~3ICLK		
000C 2230h	GPT2	A/D 変換開始要求タイミングダブルバッファレジスタ B	GTADTDBRB	16	16, 32	2~5PCLKA	2~3ICLK		
000C 2234h	GPT2	汎用 PWM タイマ出力ネゲートコントロールレジスタ	GTONCR	16	16, 32	2~5PCLKA	2~3ICLK		
000C 2236h	GPT2	汎用 PWM タイマデッドタイムコントロールレジスタ	GTDTCR	16	16, 32	2~5PCLKA	2~3ICLK		
000C 2238h	GPT2	汎用 PWM タイマデッドタイム値レジスタ U	GTDVU	16	16, 32	2~5PCLKA	2~3ICLK		
000C 223Ah	GPT2	汎用 PWM タイマデッドタイム値レジスタ D	GTDVD	16	16, 32	2~5PCLKA	2~3ICLK		
000C 223Ch	GPT2	汎用 PWM タイマデッドタイムバッファレジスタ U	GTDBU	16	16, 32	2~5PCLKA	2~3ICLK		
000C 223Eh	GPT2	汎用 PWM タイマデッドタイムバッファレジスタ D	GTDBD	16	16, 32	2~5PCLKA	2~3ICLK		
000C 2240h	GPT2	汎用 PWM タイマ出力保護機能ステータスレジスタ	GTSOS	16	16, 32	2~5PCLKA	2~3ICLK		
000C 2242h	GPT2	汎用 PWM タイマ出力保護機能一時解除レジスタ	GTSOTR	16	16, 32	2~5PCLKA	2~3ICLK		
000C 2280h	GPT3	汎用 PWM タイマ I/O コントロールレジスタ	GTIOR	16	8, 16, 32	2~5PCLKA	2~3ICLK		
000C 2282h	GPT3	汎用 PWM タイマ割り込み出力設定レジスタ	GTINTAD	16	8, 16, 32	2~5PCLKA	2~3ICLK		
000C 2284h	GPT3	汎用 PWM タイマコントロールレジスタ	GTCR	16	8, 16, 32	2~5PCLKA	2~3ICLK		
000C 2286h	GPT3	汎用 PWM タイマバッファファイナブルレジスタ	GTBER	16	8, 16, 32	2~5PCLKA	2~3ICLK		
000C 2288h	GPT3	汎用 PWM タイマカウント方向レジスタ	GTUDC	16	8, 16, 32	2~5PCLKA	2~3ICLK		
000C 228Ah	GPT3	汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ	GTITC	16	8, 16, 32	2~5PCLKA	2~3ICLK		
000C 228Ch	GPT3	汎用 PWM タイマステータスレジスタ	GTST	16	8, 16, 32	2~5PCLKA	2~3ICLK		
000C 228Eh	GPT3	汎用 PWM タイマカウンタ	GTCNT	16	16	2~5PCLKA	2~3ICLK		
000C 2290h	GPT3	汎用 PWM タイマコンペアキャプチャレジスタ A	GTCCRA	16	16, 32	2~5PCLKA	2~3ICLK		
000C 2292h	GPT3	汎用 PWM タイマコンペアキャプチャレジスタ B	GTCCRB	16	16, 32	2~5PCLKA	2~3ICLK		
000C 2294h	GPT3	汎用 PWM タイマコンペアキャプチャレジスタ C	GTCCRC	16	16, 32	2~5PCLKA	2~3ICLK		
000C 2296h	GPT3	汎用 PWM タイマコンペアキャプチャレジスタ D	GTCCRD	16	16, 32	2~5PCLKA	2~3ICLK		
000C 2298h	GPT3	汎用 PWM タイマコンペアキャプチャレジスタ E	GTCCRE	16	16, 32	2~5PCLKA	2~3ICLK		

表 4.1 I/O レジスタアドレス一覧 (39 / 46)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		モジュール 名	備考
						ICLK $\geq$ PCLK の場合	ICLK < PCLK の場合		
000C 229Ah	GPT3	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRf	16	16, 32	2~5PCLKA	2~3ICLK	GPT	
000C 229Ch	GPT3	汎用PWMタイマ周期設定レジスタ	GTPR	16	16, 32	2~5PCLKA	2~3ICLK		
000C 229Eh	GPT3	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	16	16, 32	2~5PCLKA	2~3ICLK		
000C 22A0h	GPT3	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	16	16, 32	2~5PCLKA	2~3ICLK		
000C 22A4h	GPT3	A/D変換開始要求タイミングレジスタA	GTADTRA	16	16, 32	2~5PCLKA	2~3ICLK		
000C 22A6h	GPT3	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	16	16, 32	2~5PCLKA	2~3ICLK		
000C 22A8h	GPT3	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	16	16, 32	2~5PCLKA	2~3ICLK		
000C 22ACh	GPT3	A/D変換開始要求タイミングレジスタB	GTADTRB	16	16, 32	2~5PCLKA	2~3ICLK		
000C 22AEh	GPT3	A/D変換開始要求タイミングバッファレジスタB	GTADTRB	16	16, 32	2~5PCLKA	2~3ICLK		
000C 22B0h	GPT3	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBR	16	16, 32	2~5PCLKA	2~3ICLK		
000C 22B4h	GPT3	汎用PWMタイマ出力ネゲートコントロールレジスタ	GTONCR	16	16, 32	2~5PCLKA	2~3ICLK		
000C 22B6h	GPT3	汎用PWMタイマデッドタイムコントロールレジスタ	GTDTCR	16	16, 32	2~5PCLKA	2~3ICLK		
000C 22B8h	GPT3	汎用PWMタイマデッドタイム値レジスタU	GTDVU	16	16, 32	2~5PCLKA	2~3ICLK		
000C 22BAh	GPT3	汎用PWMタイマデッドタイム値レジスタD	GTDVD	16	16, 32	2~5PCLKA	2~3ICLK		
000C 22BCh	GPT3	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	16	16, 32	2~5PCLKA	2~3ICLK		
000C 22BEh	GPT3	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	16	16, 32	2~5PCLKA	2~3ICLK		
000C 22C0h	GPT3	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	16	16, 32	2~5PCLKA	2~3ICLK		
000C 22C2h	GPT3	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	16	16, 32	2~5PCLKA	2~3ICLK		
000C 2318h	GPT0	GTIOCA 立ち上がり出力遅延レジスタ	GTDLYRA	16	16, 32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 231Ah	GPT0	GTIOCB 立ち上がり出力遅延レジスタ	GTDLYRB	16	16, 32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 231Ch	GPT1	GTIOCA 立ち上がり出力遅延レジスタ	GTDLYRA	16	16, 32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 231Eh	GPT1	GTIOCB 立ち上がり出力遅延レジスタ	GTDLYRB	16	16, 32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 2320h	GPT2	GTIOCA 立ち上がり出力遅延レジスタ	GTDLYRA	16	16, 32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 2322h	GPT2	GTIOCB 立ち上がり出力遅延レジスタ	GTDLYRB	16	16, 32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 2324h	GPT3	GTIOCA 立ち上がり出力遅延レジスタ	GTDLYRA	16	16, 32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 2326h	GPT3	GTIOCB 立ち上がり出力遅延レジスタ	GTDLYRB	16	16, 32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 2328h	GPT0	GTIOCA 立ち下がり出力遅延レジスタ	GTDLYFA	16	16, 32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 232Ah	GPT0	GTIOCB 立ち下がり出力遅延レジスタ	GTDLYFB	16	16, 32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 232Ch	GPT1	GTIOCA 立ち下がり出力遅延レジスタ	GTDLYFA	16	16, 32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 232Eh	GPT1	GTIOCB 立ち下がり出力遅延レジスタ	GTDLYFB	16	16, 32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 2330h	GPT2	GTIOCA 立ち下がり出力遅延レジスタ	GTDLYFA	16	16, 32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 2332h	GPT2	GTIOCB 立ち下がり出力遅延レジスタ	GTDLYFB	16	16, 32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 2334h	GPT3	GTIOCA 立ち下がり出力遅延レジスタ	GTDLYFA	16	16, 32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません

表 4.1 I/O レジスタアドレス一覧 (40 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK $\geq$ PCLK の場合	ICLK < PCLK の場合		
000C 2336h	GPT3	GTIOCB 立ち下がり出力遅延レジスタ	GTDLYFB	16	16、32	2~5PCLKA	2~3ICLK	GPT	64/48 ピン版にはありません
000C 2800h	GPTB	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	16	8、16、32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 2804h	GPTB	汎用PWMタイマハードウェア要因スタートコントロールレジスタ	GTHSCR	16	8、16、32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 2806h	GPTB	汎用PWMタイマハードウェア要因クリアコントロールレジスタ	GTHCCR	16	8、16、32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 2808h	GPTB	汎用PWMタイマハードウェアスタート要因セレクトレジスタ	GTHSSR	16	8、16、32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 280Ah	GPTB	汎用PWMタイマハードウェアストップ・クリア要因セレクトレジスタ	GTHPSR	16	8、16、32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 280Ch	GPTB	汎用PWMタイマ書き込み保護レジスタ	GTWP	16	8、16、32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 280Eh	GPTB	汎用PWMタイマシンクロレジスタ	GTSYNC	16	8、16、32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 2810h	GPTB	汎用PWMタイマ外部トリガ入力割り込みレジスタ	GTETINT	16	8、16、32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 2814h	GPTB	汎用PWMタイマバッファ動作禁止レジスタ	GTBDR	16	8、16、32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 2818h	GPTB	汎用PWMタイマスタート書き込み保護レジスタ	GTSWP	16	8、16、32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 2880h	GPTB	LOCOカウントコントロールレジスタ	LCCR	16	8、16、32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 2882h	GPTB	LOCOカウントステータスレジスタ	LCST	16	8、16、32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 2884h	GPTB	LOCOカウント値レジスタ	LCNT	16	8、16、32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 2886h	GPTB	LOCOカウント結果平均レジスタ	LCNTA	16	8、16、32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 2888h	GPTB	LOCOカウント結果レジスタ0	LCNT00	16	8、16、32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 288Ah	GPTB	LOCOカウント結果レジスタ1	LCNT01	16	8、16、32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 288Ch	GPTB	LOCOカウント結果レジスタ2	LCNT02	16	8、16、32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 288Eh	GPTB	LOCOカウント結果レジスタ3	LCNT03	16	8、16、32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 2890h	GPTB	LOCOカウント結果レジスタ4	LCNT04	16	8、16、32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 2892h	GPTB	LOCOカウント結果レジスタ5	LCNT05	16	8、16、32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 2894h	GPTB	LOCOカウント結果レジスタ6	LCNT06	16	8、16、32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 2896h	GPTB	LOCOカウント結果レジスタ7	LCNT07	16	8、16、32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 2898h	GPTB	LOCOカウント結果レジスタ8	LCNT08	16	8、16、32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 289Ah	GPTB	LOCOカウント結果レジスタ9	LCNT09	16	8、16、32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 289Ch	GPTB	LOCOカウント結果レジスタ10	LCNT10	16	8、16、32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 289Eh	GPTB	LOCOカウント結果レジスタ11	LCNT11	16	8、16、32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 28A0h	GPTB	LOCOカウント結果レジスタ12	LCNT12	16	8、16、32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 28A2h	GPTB	LOCOカウント結果レジスタ13	LCNT13	16	8、16、32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 28A4h	GPTB	LOCOカウント結果レジスタ14	LCNT14	16	8、16、32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 28A6h	GPTB	LOCOカウント結果レジスタ15	LCNT15	16	8、16、32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 28A8h	GPTB	LOCOカウント上限許容偏差値レジスタ	LCNTDU	16	8、16、32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません
000C 28AAh	GPTB	LOCOカウント下限許容偏差値レジスタ	LCNTDL	16	8、16、32	2~5PCLKA	2~3ICLK		64/48 ピン版にはありません

表 4.1 I/O レジスタアドレス一覧 ( 4 1 / 4 6 )

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		モジュール 名	備考
						ICLK $\geq$ PCLK の場合	ICLK < PCLK の場合		
000C 2900h	GPT4	汎用 PWM タイマ I/O コントロールレジスタ	GTIOR	16	8、16、 32	2~5PCLKA	2~3ICLK	GPT	64/48 ビン版には ありません。
000C 2902h	GPT4	汎用 PWM タイマ割り込み出力設定レジスタ	GTINTAD	16	8、16、 32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2904h	GPT4	汎用 PWM タイマコントロールレジスタ	GTCR	16	8、16、 32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2906h	GPT4	汎用 PWM タイマバッファインプットレジスタ	GTBER	16	8、16、 32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2908h	GPT4	汎用 PWM タイマカウント方向レジスタ	GTUDC	16	8、16、 32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 290Ah	GPT4	汎用 PWM タイマ割り込み、 A/D 変換開始要求間引き設定レジスタ	GTITC	16	8、16、 32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 290Ch	GPT4	汎用 PWM タイマステータスレジスタ	GTST	16	8、16、 32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 290Eh	GPT4	汎用 PWM タイマカウンタ	GTCNT	16	16	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2910h	GPT4	汎用 PWM タイマコンペアキャプチャレジスタ A	GTCCRA	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2912h	GPT4	汎用 PWM タイマコンペアキャプチャレジスタ B	GTCCRB	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2914h	GPT4	汎用 PWM タイマコンペアキャプチャレジスタ C	GTCCRC	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2916h	GPT4	汎用 PWM タイマコンペアキャプチャレジスタ D	GTCCRD	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2918h	GPT4	汎用 PWM タイマコンペアキャプチャレジスタ E	GTCCRE	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 291Ah	GPT4	汎用 PWM タイマコンペアキャプチャレジスタ F	GTCCRF	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 291Ch	GPT4	汎用 PWM タイマ周期設定レジスタ	GTPR	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 291Eh	GPT4	汎用 PWM タイマ周期設定バッファレジスタ	GTPBR	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2920h	GPT4	汎用 PWM タイマ周期設定ダブルバッファレジスタ	GTPDBR	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2924h	GPT4	A/D 変換開始要求タイミングレジスタ A	GTADTRA	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2926h	GPT4	A/D 変換開始要求タイミングバッファレジスタ A	GTADTBRA	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2928h	GPT4	A/D 変換開始要求タイミングダブルバッファレジスタ A	GTADTDBRA	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 292Ch	GPT4	A/D 変換開始要求タイミングレジスタ B	GTADTRB	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 292Eh	GPT4	A/D 変換開始要求タイミングバッファレジスタ B	GTADTBRB	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2930h	GPT4	A/D 変換開始要求タイミングダブルバッファレジスタ B	GTADTDBRB	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2934h	GPT4	汎用 PWM タイマ出力ネゲートコントロールレジスタ	GTONCR	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2936h	GPT4	汎用 PWM タイマデッドタイムコントロールレジスタ	GTDTCR	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2938h	GPT4	汎用 PWM タイマデッドタイム値レジスタ U	GTDVU	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 293Ah	GPT4	汎用 PWM タイマデッドタイム値レジスタ D	GTDVD	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 293Ch	GPT4	汎用 PWM タイマデッドタイムバッファレジスタ U	GTDBU	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 293Eh	GPT4	汎用 PWM タイマデッドタイムバッファレジスタ D	GTDBD	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2940h	GPT4	汎用 PWM タイマ出力保護機能ステータスレジスタ	GTSOS	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2942h	GPT4	汎用 PWM タイマ出力保護機能一時解除レジスタ	GTSOTR	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2980h	GPT5	汎用 PWM タイマ I/O コントロールレジスタ	GTIOR	16	8、16、 32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2982h	GPT5	汎用 PWM タイマ割り込み出力設定レジスタ	GTINTAD	16	8、16、 32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。

表 4.1 I/O レジスタアドレス一覧 (42 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合		
000C 2984h	GPT5	汎用PWMタイマコントロールレジスタ	GTCCR	16	8、16、32	2~5PCLKA	2~3ICLK	GPT	64/48ピン版にはありません。
000C 2986h	GPT5	汎用PWMタイマバッファイネーブルレジスタ	GTBER	16	8、16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2988h	GPT5	汎用PWMタイマカウント方向レジスタ	GTUDC	16	8、16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 298Ah	GPT5	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	16	8、16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 298Ch	GPT5	汎用PWMタイマステータスレジスタ	GTST	16	8、16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 298Eh	GPT5	汎用PWMタイマカウンタ	GTCNT	16	16	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2990h	GPT5	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2992h	GPT5	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2994h	GPT5	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2996h	GPT5	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2998h	GPT5	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 299Ah	GPT5	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 299Ch	GPT5	汎用PWMタイマ周期設定レジスタ	GTCCR	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 299Eh	GPT5	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 29A0h	GPT5	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 29A4h	GPT5	A/D変換開始要求タイミングレジスタA	GTADTRA	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 29A6h	GPT5	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 29A8h	GPT5	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 29ACh	GPT5	A/D変換開始要求タイミングレジスタB	GTADTRB	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 29AEh	GPT5	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 29B0h	GPT5	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 29B4h	GPT5	汎用PWMタイマ出力ネゲートコントロールレジスタ	GTONCR	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 29B6h	GPT5	汎用PWMタイマデッドタイムコントロールレジスタ	GTDTCR	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 29B8h	GPT5	汎用PWMタイマデッドタイム値レジスタU	GTDVU	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 29BAh	GPT5	汎用PWMタイマデッドタイム値レジスタD	GTDVD	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 29BCh	GPT5	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 29BEh	GPT5	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 29C0h	GPT5	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 29C2h	GPT5	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2A00h	GPT6	汎用PWMタイマI/Oコントロールレジスタ	GTIOR	16	8、16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2A02h	GPT6	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	16	8、16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2A04h	GPT6	汎用PWMタイマコントロールレジスタ	GTCCR	16	8、16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2A06h	GPT6	汎用PWMタイマバッファイネーブルレジスタ	GTBER	16	8、16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。



表 4.1 I/O レジスタアドレス一覧 ( 4 3 / 4 6 )

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合		
000C 2A08h	GPT6	汎用PWMタイマカウント方向レジスタ	GTUDC	16	8、16、32	2~5PCLKA	2~3ICLK	GPT	64/48ピン版にはありません。
000C 2A0Ah	GPT6	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	16	8、16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2A0Ch	GPT6	汎用PWMタイマステータスレジスタ	GTST	16	8、16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2A0Eh	GPT6	汎用PWMタイマカウンタ	GTCNT	16	16	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2A10h	GPT6	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2A12h	GPT6	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2A14h	GPT6	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2A16h	GPT6	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2A18h	GPT6	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2A1Ah	GPT6	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2A1Ch	GPT6	汎用PWMタイマ周期設定レジスタ	GTPR	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2A1Eh	GPT6	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2A20h	GPT6	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2A24h	GPT6	A/D変換開始要求タイミングレジスタA	GTADTRA	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2A26h	GPT6	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2A28h	GPT6	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2A2Ch	GPT6	A/D変換開始要求タイミングレジスタB	GTADTRB	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2A2Eh	GPT6	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2A30h	GPT6	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2A34h	GPT6	汎用PWMタイマ出力ネゲートコントロールレジスタ	GTONCR	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2A36h	GPT6	汎用PWMタイマデッドタイムコントロールレジスタ	GTDTCR	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2A38h	GPT6	汎用PWMタイマデッドタイム値レジスタU	GTDVU	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2A3Ah	GPT6	汎用PWMタイマデッドタイム値レジスタD	GTDVD	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2A3Ch	GPT6	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2A3Eh	GPT6	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2A40h	GPT6	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2A42h	GPT6	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	16	16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2A80h	GPT7	汎用PWMタイマI/Oコントロールレジスタ	GTIOR	16	8、16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2A82h	GPT7	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	16	8、16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2A84h	GPT7	汎用PWMタイマコントロールレジスタ	GTCR	16	8、16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2A86h	GPT7	汎用PWMタイマバッファインプットレジスタ	GTBER	16	8、16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2A88h	GPT7	汎用PWMタイマカウント方向レジスタ	GTUDC	16	8、16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 2A8Ah	GPT7	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	16	8、16、32	2~5PCLKA	2~3ICLK		64/48ピン版にはありません。

表 4.1 I/O レジスタアドレス一覧 ( 4 4 / 4 6 )

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		モジュール 名	備考
						ICLK $\geq$ PCLK の場合	ICLK < PCLK の場合		
000C 2A8Ch	GPT7	汎用 PWM タイマステータスレジスタ	GTST	16	8、16、 32	2~5PCLKA	2~3ICLK	GPT	64/48 ビン版には ありません。
000C 2A8Eh	GPT7	汎用 PWM タイマカウンタ	GTCNT	16	16	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2A90h	GPT7	汎用 PWM タイマコンペアキャプチャレジ スタ A	GTCCRA	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2A92h	GPT7	汎用 PWM タイマコンペアキャプチャレジ スタ B	GTCCRB	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2A94h	GPT7	汎用 PWM タイマコンペアキャプチャレジ スタ C	GTCCRC	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2A96h	GPT7	汎用 PWM タイマコンペアキャプチャレジ スタ D	GTCCRD	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2A98h	GPT7	汎用 PWM タイマコンペアキャプチャレジ スタ E	GTCCRE	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2A9Ah	GPT7	汎用 PWM タイマコンペアキャプチャレジ スタ F	GTCCRF	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2A9Ch	GPT7	汎用 PWM タイマ周期設定レジスタ	GTPR	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2A9Eh	GPT7	汎用 PWM タイマ周期設定バッファレジスタ	GTPBR	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2AA0h	GPT7	汎用 PWM タイマ周期設定ダブルバッファ レジスタ	GTPDBR	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2AA4h	GPT7	A/D 変換開始要求タイミングレジスタ A	GTADTRA	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2AA6h	GPT7	A/D 変換開始要求タイミングバッファレジ スタ A	GTADTBRA	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2AA8h	GPT7	A/D 変換開始要求タイミングダブルバッ ファレジスタ A	GTADTDBR A	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2AACh	GPT7	A/D 変換開始要求タイミングレジスタ B	GTADTRB	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2AAEh	GPT7	A/D 変換開始要求タイミングバッファレジ スタ B	GTADTB RB	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2AB0h	GPT7	A/D 変換開始要求タイミングダブルバッ ファレジスタ B	GTADTDBR B	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2AB4h	GPT7	汎用 PWM タイマ出力ネゲートコントロ ールレジスタ	GTONCR	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2AB6h	GPT7	汎用 PWM タイマデッドタイムコントロ ールレジスタ	GTDTCR	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2AB8h	GPT7	汎用 PWM タイマデッドタイム値レジスタ U	GTDVU	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2ABAh	GPT7	汎用 PWM タイマデッドタイム値レジスタ D	GTDVD	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2ABCh	GPT7	汎用 PWM タイマデッドタイムバッファレ ジスタ U	GTDBU	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2ABEh	GPT7	汎用 PWM タイマデッドタイムバッファレ ジスタ D	GTDBD	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2AC0h	GPT7	汎用 PWM タイマ出力保護機能ステータス レジスタ	GTSOS	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C 2AC2h	GPT7	汎用 PWM タイマ出力保護機能一時解除レ ジスタ	GTSOTR	16	16、32	2~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C3002h	DPC	ソフトスタート設定レジスタ 0	SOFTSTAR T0	16	16	3~5PCLKA	2~3ICLK	DPC	64/48 ビン版には ありません。
000C3006h	DPC	ソフトスタート設定レジスタ 1	SOFTSTAR T1	16	16	3~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C300Ah	DPC	ソフトスタート設定レジスタ 2	SOFTSTAR T2	16	16	3~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C300Eh	DPC	ソフトスタート設定レジスタ 3	SOFTSTAR T3	16	16	3~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C3012h	DPC	基準値設定レジスタ 0	VOTARGET 0	16	16	3~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C3016h	DPC	基準値設定レジスタ 1	VOTARGET 1	16	16	3~5PCLKA	2~3ICLK		64/48 ビン版には ありません。
000C301Ah	DPC	基準値設定レジスタ 2	VOTARGET 2	16	16	3~5PCLKA	2~3ICLK		64/48 ビン版には ありません。

表 4.1 I/O レジスタアドレス一覧 (45 / 46)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK $\geq$ PCLK の場合	ICLK < PCLK の場合		
000C 301Eh	DPC	基準値設定レジスタ3	VOTARGET3	16	16	3~5PCLKA	2~3ICLK	DPC	64/48ピン版にはありません。
000C 3022h	DPC	基準値参照設定レジスタ	REFSEL	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 3026h	DPC	制御チャネル設定レジスタ	CHLSEL	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 302Ah	DPC	制御イネーブル設定レジスタ	ENABLE	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 302Eh	DPC	制御演算パラメータ設定レジスタ KP0	PARAMKP0	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 3032h	DPC	制御演算パラメータ設定レジスタ KI0	PARAMKI0	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 3036h	DPC	制御演算パラメータ設定レジスタ KQ0	PARAMKQ0	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 303Ah	DPC	制御演算パラメータ設定レジスタ KF0	PARAMKF0	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 303Eh	DPC	制御演算パラメータ設定レジスタ KP1	PARAMKP1	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 3042h	DPC	制御演算パラメータ設定レジスタ KI1	PARAMKI1	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 3046h	DPC	制御演算パラメータ設定レジスタ KQ1	PARAMKQ1	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 304Ah	DPC	制御演算パラメータ設定レジスタ KF1	PARAMKF1	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 304Eh	DPC	制御演算パラメータ設定レジスタ KP2	PARAMKP2	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 3052h	DPC	制御演算パラメータ設定レジスタ KI2	PARAMKI2	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 3056h	DPC	制御演算パラメータ設定レジスタ KQ2	PARAMKQ2	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 305Ah	DPC	制御演算パラメータ設定レジスタ KF2	PARAMKF2	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 305Eh	DPC	制御演算パラメータ設定レジスタ KP3	PARAMKP3	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 3062h	DPC	制御演算パラメータ設定レジスタ KI3	PARAMKI3	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 3066h	DPC	制御演算パラメータ設定レジスタ KQ3	PARAMKQ3	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 306Ah	DPC	制御演算パラメータ設定レジスタ KF3	PARAMKF3	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 306Ch	DPC	制御演算結果上位ビット格納レジスタ0	RESULTU0	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 306Eh	DPC	制御演算結果下位ビット格納レジスタ0	RESULTL0	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 3070h	DPC	制御演算結果上位ビット格納レジスタ1	RESULTU1	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 3072h	DPC	制御演算結果下位ビット格納レジスタ1	RESULTL1	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 3074h	DPC	制御演算結果上位ビット格納レジスタ2	RESULTU2	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 3076h	DPC	制御演算結果下位ビット格納レジスタ2	RESULTL2	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 3078h	DPC	制御演算結果上位ビット格納レジスタ3	RESULTU3	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 307Ah	DPC	制御演算結果下位ビット格納レジスタ3	RESULTL3	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 307Eh	DPC	入力コードモニタイネーブル設定レジスタ	TMONEN	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 3082h	DPC	最大入力コードモニタレジスタ0	TMONMAX0	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 3086h	DPC	最小入力コードモニタレジスタ0	TMONMIN0	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。

表 4.1 I/O レジスタアドレス一覧 ( 4 6 / 4 6 )

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合		
000C 308Ah	DPC	最大入力コードモニタレジスタ 1	TMONMAX 1	16	16	3~5PCLKA	2~3ICLK	DPC	64/48ピン版にはありません。
000C 308Eh	DPC	最小入力コードモニタレジスタ 1	TMONM I N1	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 3092h	DPC	最大入力コードモニタレジスタ 2	TMONMAX 2	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 3096h	DPC	最小入力コードモニタレジスタ 2	TMONM I N2	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 309Ah	DPC	最大入力コードモニタレジスタ 3	TMONMAX 3	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 309Eh	DPC	最小入力コードモニタレジスタ 3	TMONM I N3	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 30A2h	DPC	出力過電圧異常判定閾値設定レジスタ 0	ERRVTH0	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 30A6h	DPC	出力過電圧異常判定閾値設定レジスタ 1	ERRVTH1	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 30AAh	DPC	出力過電圧異常判定閾値設定レジスタ 2	ERRVTH2	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 30AEh	DPC	出力過電圧異常判定閾値設定レジスタ 3	ERRVTH3	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
000C 30B2h	DPC	出力過電圧異常時PWMシャットダウン設定レジスタ	ERRDWN	16	16	3~5PCLKA	2~3ICLK		64/48ピン版にはありません。
007F C402h	FLASH	フラッシュモードレジスタ	FMODR	8	8	2~3FCLK	2~3ICLK	ROM/E2データフラッシュ	
007F C410h	FLASH	フラッシュアクセスステータスレジスタ	FASTAT	8	8	2~3FCLK	2~3ICLK		
007F C411h	FLASH	フラッシュアクセスエラー割り込み許可レジスタ	FAEINT	8	8	2~3FCLK	2~3ICLK		
007F C412h	FLASH	フラッシュレディ割り込み許可レジスタ	FRDYIE	8	8	2~3FCLK	2~3ICLK	ROM	
007F C440h	FLASH	E2データフラッシュ読み出し許可レジスタ 0	DFLRE0	16	16	2~3FCLK	2~3ICLK	E2データフラッシュ	
007F C442h	FLASH	E2データフラッシュ読み出し許可レジスタ 1	DFLRE1	16	16	2~3FCLK	2~3ICLK		
007F C450h	FLASH	E2データフラッシュ P/E 許可レジスタ 0	DFLWE0	16	16	2~3FCLK	2~3ICLK		
007F C452h	FLASH	E2データフラッシュ P/E 許可レジスタ 1	DFLWE1	16	16	2~3FCLK	2~3ICLK		
007F FFB0h	FLASH	フラッシュステータスレジスタ 0	FSTATR0	8	8	2~3FCLK	2~3ICLK	ROM	
007F FFB1h	FLASH	フラッシュステータスレジスタ 1	FSTATR1	8	8	2~3FCLK	2~3ICLK		
007F FFB2h	FLASH	フラッシュ P/E モードエントリレジスタ	FENTRYR	16	16	2~3FCLK	2~3ICLK	ROM/E2データフラッシュ	
007F FFB4h	FLASH	フラッシュプロテクトレジスタ	FPROTR	16	16	2~3FCLK	2~3ICLK	ROM	
007F FFB6h	FLASH	フラッシュリセットレジスタ	FRESETR	16	16	2~3FCLK	2~3ICLK		
007F FFBAh	FLASH	FCU コマンドレジスタ	FCMDR	16	16	2~3FCLK	2~3ICLK		
007F FFC8h	FLASH	FCU 処理切り替えレジスタ	FCPSR	16	16	2~3FCLK	2~3ICLK		
007F FFCAh	FLASH	E2データフラッシュブランクチェック制御レジスタ	DFLBCCNT	16	16	2~3FCLK	2~3ICLK	E2データフラッシュ	
007F FFCCh	FLASH	フラッシュ P/E ステータスレジスタ	FPESTAT	16	16	2~3FCLK	2~3ICLK	ROM	
007F FFCEh	FLASH	E2データフラッシュブランクチェックステータスレジスタ	DFLBCSTAT	16	16	2~3FCLK	2~3ICLK	E2データフラッシュ	
007F FFE8h	FLASH	周辺クロック通知レジスタ	PCKAR	16	16	2~3FCLK	2~3ICLK	ROM	

注. 本表は最大仕様の I/O レジスタを示しています。各製品の I/O レジスタは、表 1.2 に示した機能に対応します。詳細は「表 1.2 パッケージ別機能比較一覧」を参照してください。

注1. USB 動作中にレジスタアクセスを行った場合、アクセスが待たされることがあります。

注2. 奇数アドレスへの 16 ビットアクセスはできません。レジスタを 16 ビットアクセスする場合は、TMOCNTL のアドレスへアクセスしてください。

注3. 112 ピン版には、USB0、RIIC1 はありません。

注4. 100 ピン版には、USB0、RIIC1、SCI3 はありません。

注5. 64 ピン、48 ピン版には、GPT4~GPT7、USB0、RSPI1、RIIC1、SCI2、SCI3、CAN1、AD、S12AD1 はありません。

## 5. 電気的特性【144/120/112/100ピン版】

### 5.1 絶対最大定格

表5.1 絶対最大定格

条件：VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V

項目		記号	定格値	単位
電源電圧		VCC、PLLVCC	-0.3 ~ +6.5	V
USB電源電圧		VCC_USB (注1)	-0.3 ~ +6.5	V
アナログ電源電圧		AVCC0、AVCC (注2)	-0.3 ~ +6.5	V
リファレンス電源電圧		VREFH0 (注2)	-0.3 ~ AVCC0 + 0.3	V
		VREF (注2)	-0.3 ~ AVCC + 0.3	V
入力電圧 (ポート4~6、C、USB0_DP、USB0_DM以外)		V <sub>in</sub>	-0.3 ~ VCC + 0.3	V
入力電圧 (USB0_DP、USB0_DM)		V <sub>in</sub>	-0.3 ~ VCC_USB + 0.3	V
入力電圧 (ポート4)		V <sub>in</sub>	-0.3 ~ AVCC0 + 0.3	V
入力電圧 (ポート5、6、C)		V <sub>in</sub>	-0.3 ~ AVCC + 0.3	V
アナログ入力電圧 (ポート4)		V <sub>AN</sub>	-0.3 ~ AVCC0 + 0.3	V
アナログ入力電圧 (ポート5、6、C)		V <sub>AN</sub>	-0.3 ~ AVCC + 0.3	V
動作温度	Dバージョン品	T <sub>opr</sub>	-40 ~ +85	°C
	Gバージョン品	T <sub>opr</sub>	-40 ~ +105	°C
保存温度		T <sub>stg</sub>	-55 ~ +125	°C

【使用上の注意】絶対最大定格を超えてLSIを使用した場合、LSIの永久破壊となることがあります。

- 注1. USB未使用時にVCC\_USB、VSS\_USB端子を開放しないでください。  
VCC\_USB端子はVCCに、VSS\_USB端子はVSSにそれぞれ接続してください。
- 注2. A/Dコンバータ未使用時にAVCC0、VREFH0、VREFL0、AVSS0、AVCC、VREF、AVSS端子を開放しないでください。
- ・12ビットA/Dコンバータ未使用時  
AVCC0端子はAVCCに、VREFH0端子はVREFに、AVSS0、VREFL0端子はAVSSにそれぞれ接続してください。
  - ・10ビットA/Dコンバータ未使用時  
AVCC端子はAVCC0に、VREF端子はVREFH0に、AVSS端子はAVSS0にそれぞれ接続してください。
  - ・12ビットA/Dコンバータおよび10ビットA/Dコンバータ未使用時  
AVCC0、VREFH0、AVCC、VREF端子はVCCに、AVSS0、VREFL0、AVSS端子はVSSにそれぞれ接続してください。

5.2 DC 特性

表5.2 DC特性(1)

(注) 表中に条件の記載がない項目の規格値は条件 1 ~ 3 で共通です。

条件 1 : VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

条件 2 : VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

条件 3 : VCC = PLLVCC = 4.0 ~ 5.5V、VCC\_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

条件 1、条件 2 において USB 使用時は VCC = PLLVCC = VCC\_USB = 3.0 ~ 3.6V です。

T<sub>a</sub> = T<sub>opr</sub> T<sub>a</sub> は条件 1 ~ 3 で共通です。

項目		記号	min	typ	max	単位	測定条件
シュミットトリガ 入力電圧	CAN入力端子	V <sub>IH</sub>	VCC × 0.8	—	VCC + 0.3	V	
	IRQ入力端子	V <sub>IL</sub>	-0.3	—	VCC × 0.2		
	MTU3入力端子	ΔV <sub>T</sub>	VCC × 0.06	—	—		
	POE3入力端子						
	SCI入力端子						
	A/Dトリガ入力端子						
	GPT入力端子						
	RES#, NMI						
	RIIC入力端子 (IICBus動作時)	V <sub>IH</sub>	VCC × 0.7	—	VCC + 0.3		
		V <sub>IL</sub>	-0.3	—	VCC × 0.3		
		ΔV <sub>T</sub>	VCC × 0.05	—	—		
	USB0_VBUS入力端子	V <sub>IH</sub>	VCC × 0.7	—	VCC + 0.3		
		V <sub>IL</sub>	-0.3	—	VCC × 0.2		
		ΔV <sub>T</sub>	VCC × 0.06	—	—		
ポート4 (注1) (アナログ兼用ポート)	V <sub>IH</sub>	AVCC0 × 0.8	—	AVCC0 + 0.3			
	V <sub>IL</sub>	-0.3	—	AVCC0 × 0.2			
ポート5、6、C (注1) (アナログ兼用ポート)	V <sub>IH</sub>	AVCC × 0.8	—	AVCC + 0.3			
	V <sub>IL</sub>	-0.3	—	AVCC × 0.2			
ポート0~3 (注1) ポート7~B (注1) ポートD~G (注1)	V <sub>IH</sub>	VCC × 0.8	—	VCC + 0.3			
	V <sub>IL</sub>	-0.3	—	VCC × 0.2			
入力Highレベル電圧 (シュミットトリガ 入力端子を除く)	MD端子、EMLE	V <sub>IH</sub>	VCC × 0.9	—	VCC + 0.3	V	条件1、2のとき
	EXTAL、WAIT#、TCK RSPI入力端子		VCC × 0.8	—	VCC + 0.3		
	D0 ~ D15		VCC × 0.7	—	VCC + 0.3		
	RIIC入力端子 (SMBus動作時)		2.1	—	VCC + 0.3		
入力Lowレベル電圧 (シュミットトリガ 入力端子を除く)	MD端子、EMLE	V <sub>IL</sub>	-0.3	—	VCC × 0.1	V	条件1、2のとき
	EXTAL、WAIT#、TCK RSPI入力端子		-0.3	—	VCC × 0.2		
	D0 ~ D15		-0.3	—	VCC × 0.3		
	RIIC入力端子 (SMBus動作時)		-0.3	—	0.8		

注1. 兼用入力端子を含みます。

ただし、ポートP25、P26、PB1、PB2をRIIC入力端子として使用した場合とポートP22~P24、P30、PA3~PA5、PB0、PD0~PD2、PD6をRSPI入力端子として使用した場合とポートPD4、PF3をTCK入力端子として使用した場合は除きます。

表5.3 DC特性(2)

(注) 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

条件2: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

条件3: VCC = PLLVCC = 4.0 ~ 5.5V、VCC\_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

条件1、条件2においてUSB使用時はVCC = PLLVCC = VCC\_USB = 3.0 ~ 3.6Vです。

$T_a = T_{opr}$   $T_a$ は条件1～3で共通です。

項目	記号	min	typ	max	単位	測定条件	
出力Highレベル電圧	全出力端子 (P52、P53、P60～P65、P71～P76、P90～P95、 USB0_DPUPEを除く)	$V_{OH}$	VCC - 0.5	—	—	V	$I_{OH} = -1mA$
			AVCC - 0.5	—	—		$I_{OH} = -1mA$
			VCC_USB - 0.5	—	—		$I_{OH} = -1mA$
			VCC - 1.0	—	—		$I_{OH} = -5mA$
出力Lowレベル電圧	全出力端子 (P71～P76、P90～P95と RIIC端子を除く)	$V_{OL}$	—	—	0.5	V	$I_{OL} = 1.0mA$
			—	—	1.1		$I_{OL} = 15mA$
			—	—	0.4		$I_{OL} = 3mA$
			—	—	0.6		$I_{OL} = 6mA$
入力リーク電流	RES#、MD端子、EMLE ポート4、 ポートP50、P51、P54～P57 ポートC	$ I_{in} $	—	—	1.0	$\mu A$	$V_{in} = 0V$ 、 $V_{in} = VCC$
スリーステートリーク電流 (オフ状態)	ポート0 ポート1 ポートP20～P24 ポート3 ポートP52、P53 ポート6～A ポートPB0、PB3～PB7 ポートD～G	$ I_{TSI} $	—	—	1.0	$\mu A$	$V_{in} = 0V$ 、 $V_{in} = VCC$
			—	—	5.0		
入力容量	全入力端子 (ポートP25、P26、PB1、 PB2以外)	$C_{in}$	—	—	15	pF	$V_{in} = 0V$ 、 $f = 1MHz$ 、 $T_a = 25^\circ C$
			—	—	30		

表5.4 DC特性(3)

(注) 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

条件2: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

条件3: VCC = PLLVCC = 4.0 ~ 5.5V、VCC\_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

条件1、条件2においてUSB使用時はVCC = PLLVCC = VCC\_USB = 3.0 ~ 3.6Vです。

$T_a = T_{opr}$   $T_a$ は条件1～3で共通です。

項目		記号	min	typ	max	単位	測定条件	
消費電流 (注1)	動作時	最大動作時 (注2)	I <sub>CC</sub> (注3)	—	—	70	mA	ICLK = 100MHz PCLKA = 100MHz PCLKB = 50MHz PCLKC = 100MHz PCLKD = 50MHz FCLK = 50MHz
		通常動作時 (注4)		—	40	—		
		BGO動作 (注5) による増加分		—	15	—		
	スリープ時			—	40	55		
	全モジュールクロックストップ時 (注6)			—	20	30		
	スタンバイ時	ソフトウェアスタンバイ時		—	0.10	3		
ディープソフトウェアスタンバイ時		—	20	60	μA			
アナログ電源電流	12ビットA/D変換中 (1ユニット当り)		AI <sub>CC0</sub>	—	1.5	4.2	mA	
	プログラマブルゲインアンプ (1ch当り)			—	1	1.5	mA	
	ウィンドウコンパレータ (1ch当り)			—	0.5	0.7	mA	
	12ビットA/D変換待機時 (全ユニット)		AI <sub>CC</sub>	—	0.1	8	μA	
	10ビットA/D変換中 (1ch当り)			—	0.9	1.4	mA	
	D/A変換中 (1ユニット当り)			—	0.1	4	μA	
10ビットA/D、D/A変換待機時 (全ユニット)		—	0.1	4	μA			
リファレンス電源電流	12ビットA/D変換中 (1ユニット当り)		AI <sub>REFH0</sub>	—	1.6	2.5	mA	
	12ビットA/D変換待機時 (全ユニット)			—	0.1	1.5	μA	
	10ビットA/D変換中 (1ch当り)		AI <sub>REF</sub>	—	0.2	0.3	mA	
	D/A変換中 (1ユニット当り)			—	1	1.5	mA	
	10ビットA/D、D/A変換待機時 (全ユニット)			—	0.1	1.2	μA	
VCC立ち上がり勾配		SV <sub>CC</sub>	—	—	20	ms/V		

注1. 消費電流値はすべての出力端子を無負荷状態にした場合の値です。

注2. 周辺機能はクロック供給状態。BGO動作は除きます。

注3. I<sub>CC</sub>は下記の式にしたがってf (ICLK) に依存します。(ICLK : PCLK = 8 : 4)

$I_{CC\ max} = 0.6 \times f + 10$  (最大動作時)

$I_{CC\ typ} = 0.3 \times f + 10$  (通常動作時)

$I_{CC\ max} = 0.45 \times f + 10$  (スリープ時)

注4. 周辺機能はクロック供給停止状態。BGO動作は除きます。

注5. プログラム実行中に、ROM、またはデータ格納用フラッシュにデータを書き込み/消去を実行した場合の増加分です。

注6. 参考値です。



表5.5 出力許容電流値

(注) 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V, VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V, VREFH0 = 3.0V ~ AVCC0

条件2: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V, VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0

条件3: VCC = PLLVCC = 4.0 ~ 5.5V, VCC\_USB = 3.0 ~ 3.6V, VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0

条件1、条件2においてUSB使用時はVCC = PLLVCC = VCC\_USB = 3.0 ~ 3.6Vです。

$T_a = T_{opr}$   $T_a$ は条件1～3で共通です。

項目	記号	min	typ	max	単位
出力Lowレベル許容電流 (1端子あたりの平均値)	全出力端子 (P71～P76、P90～P95とRIIC端子を除く) (注1)	$I_{OL}$	—	—	2.0 mA
	RIIC端子	$I_{OL}$	—	—	6.0 mA
	P71～P76、P90～P95 (注2)	$I_{OL}$	—	—	15.0 mA
出力Lowレベル許容電流 (1端子あたりの最大値)	全出力端子 (P71～P76、P90～P95とRIIC端子を除く) (注1)	$I_{OL}$	—	—	4.0 mA
	RIIC端子	$I_{OL}$	—	—	6.0 mA
	P71～P76、P90～P95 (注2)	$I_{OL}$	—	—	15.0 mA
出力Lowレベル許容電流 (総和)	出力端子の総和	$\Sigma I_{OL}$	—	—	110 mA
出力Highレベル許容電流 (1端子あたりの平均値)	全出力端子 (P71～P76、P90～P95とUSB0_DPUPE端子を除く) (注1)	$-I_{OH}$	—	—	2.0 mA
	USB0_DPUPE端子	$-I_{OH}$	—	—	3.0 mA
	P71～P76、P90～P95 (注2)	$-I_{OH}$	—	—	5.0 mA
出力Highレベル許容電流 (1端子あたりの最大値)	全出力端子 (P71～P76、P90～P95を除く) (注1)	$-I_{OH}$	—	—	4.0 mA
	P71～P76、P90～P95 (注2)	$-I_{OH}$	—	—	5.0 mA
出力Highレベル許容電流 (総和)		$\Sigma -I_{OH}$	—	—	35 mA

注1. USB0\_DP、USB0\_DMは除きます。

注2. P71～P76、P90～P95は $I_{OL}=15\text{mA}$  (Max.) /  $-I_{OH}=5\text{mA}$  (Max.)。ただし、これらの端子のうち同時に2.0mAを超えて $I_{OL}/-I_{OH}$ を流すものは6本以内にしてください。

【使用上の注意】LSIの信頼性を確保するため、出力電流値は表5.5の値を超えないようにしてください。

表5.6 許容消費電力 (Gバージョンのみ)

(注) 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = 2.7 ~ 3.6V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC

条件2: VCC = PLLVCC = 2.7 ~ 3.6V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC

条件3: VCC = PLLVCC = 4.0 ~ 5.5V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC

$T_a = -40 \sim +105^\circ\text{C}$ 。  $T_a$ は条件1～3で共通です。

項目	記号	typ	max	単位	測定条件
許容総消費電力 (注1)	$P_d$	—	345	mW	$85^\circ\text{C} < T_a \leq 105^\circ\text{C}$

注.  $T_a = +85^\circ\text{C} \sim +105^\circ\text{C}$ で使用する場合のディレーティングについては、当社営業および販売店営業へお問い合わせください。なお、ディレーティングとは「信頼性を改善するために、計画的に負荷を定格値から軽減すること」です。

注1. チップ全体 (出力電流を含む) の総電力です。

## 5.3 AC 特性

表5.7 動作周波数値

(注) 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

条件2: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

条件3: VCC = PLLVCC = 4.0 ~ 5.5V、VCC\_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

$T_a = T_{opr}$   $T_a$  は条件1～3で共通です。

項目		記号	min	typ	max	単位
動作周波数	システムクロック (ICLK)	f	—	—	100	MHz
	周辺モジュールクロック (PCLK) (注1)		—	—	50	
	タイマモジュールクロック (PCLKA)		—	—	100	
	AD用クロック (PCLKC)		—	—	100	
	S12AD用クロック (PCLKD)		—	—	50	
	FlashIFクロック (FCLK)		—	—	50	
	外部バスクロック (BCLK)		—	—	50	
	BCLK端子出力		—	—	25	
	USBクロック (UCLK)		—	—	48	

注1. USBを使用するときはPCLKを24MHz以上としてください。

### 5.3.1 リセットタイミング

表5.8 リセットタイミング

(注) 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V, VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V, VREFH0 = 3.0V ~ AVCC0

条件2: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V, VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0

条件3: VCC = PLLVCC = 4.0 ~ 5.5V, VCC\_USB = 3.0 ~ 3.6V, VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0

T<sub>a</sub> = T<sub>opr</sub> T<sub>a</sub>は条件1～3で共通です。

項目	記号	min	typ	max	単位	測定条件	
RES#パルス幅	電源投入時	t <sub>RESWP</sub>	2	—	—	ms	図5.1
	ディープソフトウェアスタンバイモード	t <sub>RESWD</sub>	1	—	—	ms	図5.2
	ソフトウェアスタンバイモード	t <sub>RESWS</sub>	1	—	—	ms	
	ROMプログラム/イレーズ中、 E2データフラッシュプログラム/ イレーズ/ブランクチェック中	t <sub>RESWF</sub>	200	—	—	μs	
	上記以外	t <sub>RESW</sub>	200	—	—	μs	
RES#解除後待機時間	t <sub>RESWT</sub>	59	—	60	t <sub>CYC</sub>		
内部リセット時間 (独立ウォッチドッグタイマリセット、ウォッチドッグ タイマリセット、ソフトウェアリセット)	t <sub>RESW2</sub>	112	—	120	t <sub>CYC</sub>		

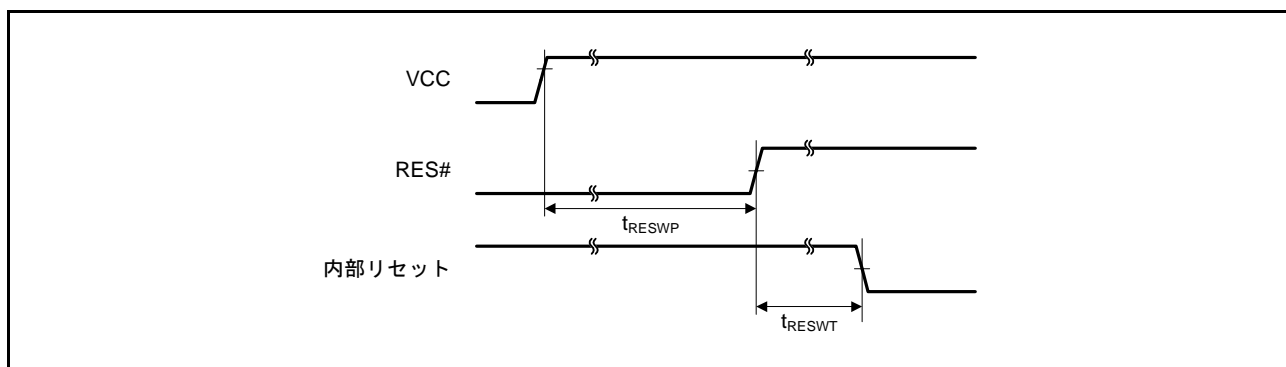


図 5.1 電源投入時リセット入力タイミング

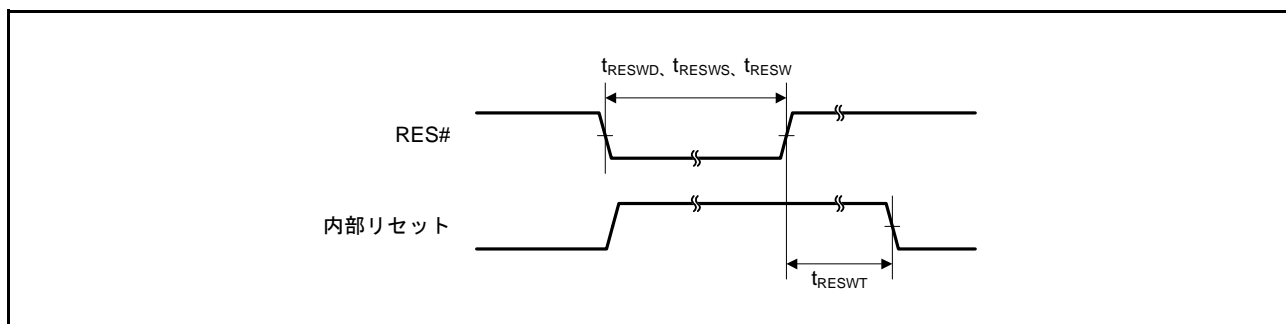


図 5.2 リセット入力タイミング

## 5.3.2 クロックタイミング

表5.9 クロックタイミング

(注) 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V, VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V, VREFH0 = 3.0V ~ AVCC0

条件2: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V, VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0

条件3: VCC = PLLVCC = 4.0 ~ 5.5V, VCC\_USB = 3.0 ~ 3.6V, VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0

T<sub>a</sub> = T<sub>opr</sub> T<sub>a</sub>は条件1～3で共通です。

項目		記号	min	typ	max	単位	測定条件
BCLK端子出力サイクル時間	条件3のみ	t <sub>Bcyc</sub>	20	—	—	ns	図5.3
	条件3以外	t <sub>Bcyc</sub>	40	—	—	ns	
BCLK端子出力Highレベルパルス幅		t <sub>CH</sub>	5	—	—	ns	
BCLK端子出力Lowレベルパルス幅		t <sub>CL</sub>	5	—	—	ns	
BCLK端子出力立ち上がり時間		t <sub>Cr</sub>	—	—	5	ns	
BCLK端子出力立ち下がり時間		t <sub>Cf</sub>	—	—	5	ns	
EXTAL外部クロック入力サイクル時間		t <sub>EXcyc</sub>	70	—	—	ns	図5.4
EXTAL外部クロック入力パルス幅Lowレベル		t <sub>EXL</sub>	35	—	—	ns	
EXTAL外部クロック入力パルス幅Highレベル		t <sub>EXH</sub>	35	—	—	ns	
EXTAL外部クロック立ち上がり時間		t <sub>EXr</sub>	—	—	5	ns	
EXTAL外部クロック立ち下がり時間		t <sub>EXf</sub>	—	—	5	ns	
EXTAL外部クロック入力待機時間 (注1)		t <sub>EXWT</sub>	1	—	—	ms	
メインクロック発振器発振周波数		f <sub>MAIN</sub>	8	—	12.5	MHz	
メインクロック発振安定時間 (水晶)		t <sub>MAINOSC</sub>	—	—	(注2)	ms	図5.5
メインクロック発振安定待機時間 (水晶)		t <sub>MAINOSCWT</sub>	—	—	(注3)	ms	
LOCO、IWDTCCLKクロックサイクル時間		t <sub>LOCOCYC</sub>	6.96	8	9.4	μs	
LOCO、IWDTCCLKクロック発振周波数		f <sub>LOCO</sub>	106.25	125	143.75	kHz	
LOCO、IWDTCCLKクロック発振安定待機時間		t <sub>LOCOWT</sub>	—	—	20	μs	図5.6
PLL回路発振周波数		f <sub>PLL</sub>	104	—	200	MHz	
PLLクロック発振安定時間	メインクロック発振安定後にPLL動作開始	t <sub>PLL1</sub>	—	—	500	μs	図5.7
PLLクロック発振安定待機時間		t <sub>PLLWT1</sub>	—	—	(注4)	ms	
PLLクロック発振安定時間	メインクロック発振安定前にPLL動作開始	t <sub>PLL2</sub>	—	—	t <sub>MAINOSC</sub> + t <sub>PLL1</sub>	ms	図5.8
PLLクロック発振安定待機時間		t <sub>PLLWT2</sub>	—	—	(注4)	ms	

注1. メインクロック発振器停止ビット(MOSCCR.MOSTP)を“0”(動作)に設定してから、使用できるまでの時間です。

注2. メインクロックを使用する場合は、発振子メーカーに発振評価を依頼してください。発振安定時間については、発振子メーカーの評価結果を参照してください。

注3. MOSCWTCR.MSTS[4:0]ビットで選択したサイクル数をnとすると、以下の式で算出されます。

$$t_{\text{MAINOSCWT}} = t_{\text{MAINOSC}} + \frac{n + 16384}{f_{\text{MAIN}}}$$

注4. PLLWTCR.PSTS[4:0]ビットで選択したサイクル数をnとすると、以下の式で算出されます。

$$t_{\text{PLLWT1}} = t_{\text{PLL1}} + \frac{n + 131072}{f_{\text{PLL}}}$$

$$t_{\text{PLLWT2}} = t_{\text{PLL2}} + \frac{n + 131072}{f_{\text{PLL}}} = t_{\text{MAINOSC}} + t_{\text{PLL1}} + \frac{n + 131072}{f_{\text{PLL}}}$$

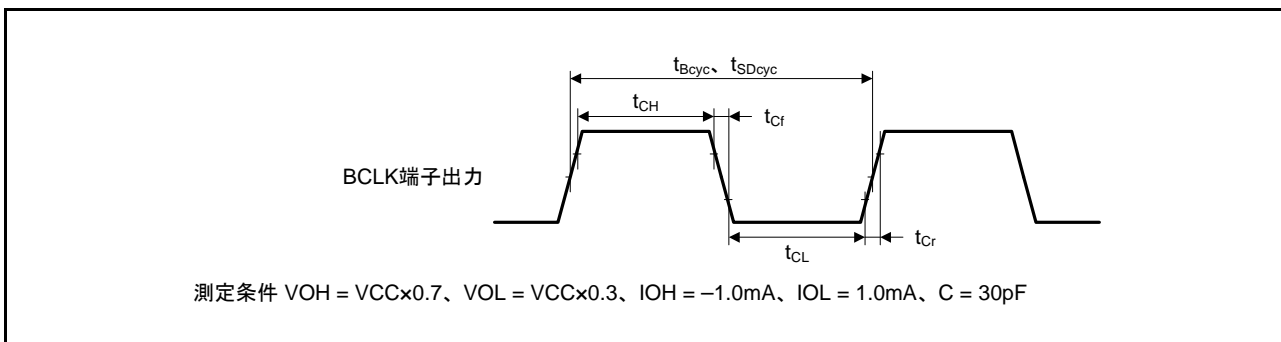


図 5.3 BCLK 端子出力タイミング

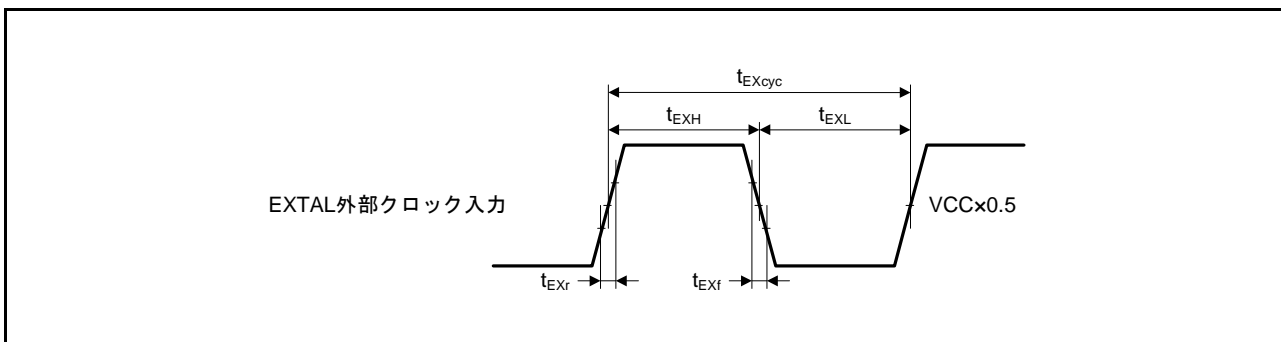


図 5.4 EXTAL 外部クロック入力タイミング

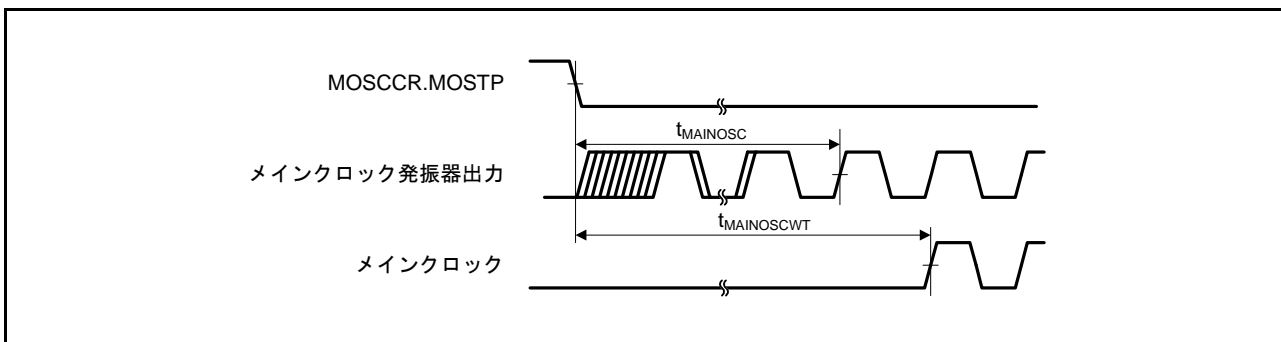


図 5.5 メインクロック発振開始タイミング

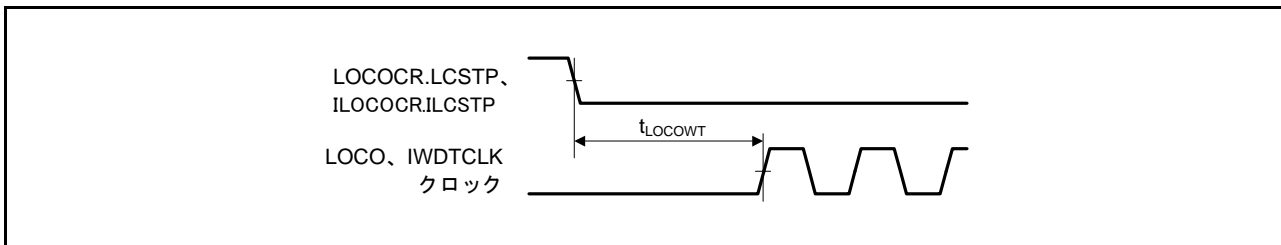


図 5.6 LOCO、IWDTCLK クロック発振開始タイミング

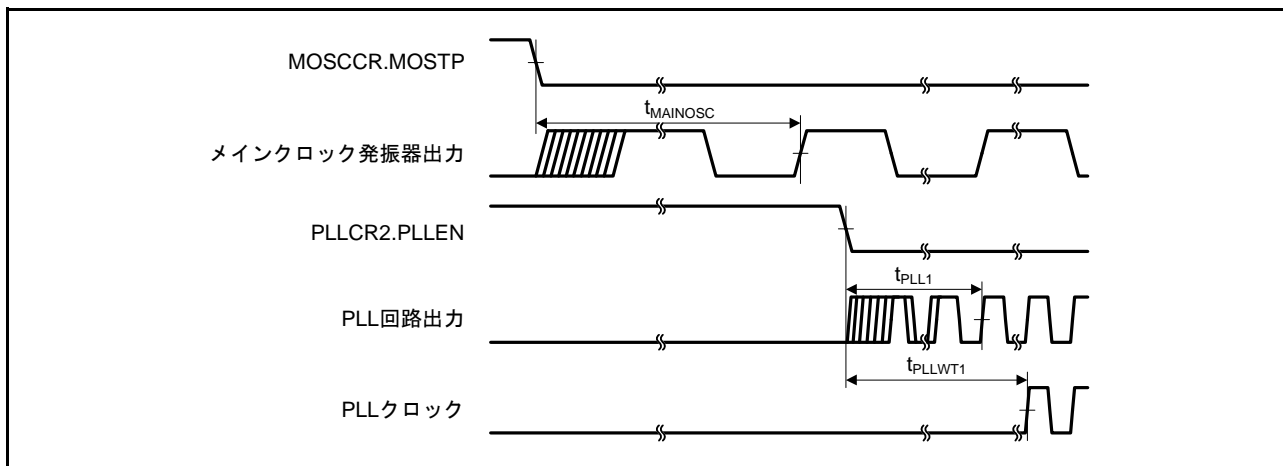


図 5.7 PLL クロック発振開始タイミング (メインクロック発振安定後に PLL を動作させたとき)

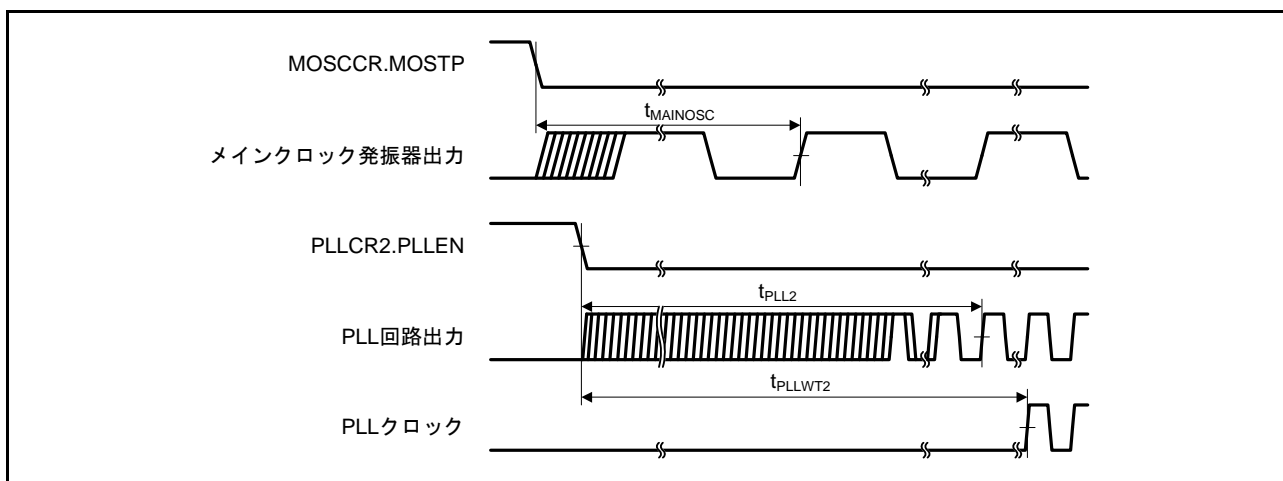


図 5.8 PLL クロック発振開始タイミング (メインクロック発振安定を待たずに PLL を動作させたとき)

### 5.3.3 低消費電力状態からの復帰タイミング

表5.10 低消費電力状態からの復帰タイミング

(注) 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V, VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V, VREFH0 = 3.0V ~ AVCC0

条件2: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V, VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0

条件3: VCC = PLLVCC = 4.0 ~ 5.5V, VCC\_USB = 3.0 ~ 3.6V, VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0

T<sub>a</sub> = T<sub>opr</sub> T<sub>a</sub>は条件1～3で共通です。

項目		記号	min	typ	max	単位	測定条件	
ソフトウェアスタンバイモード解除後復帰時間	メインクロック発振器に水晶振動子を接続	メインクロック発振器動作	t <sub>SBYMC</sub>	10	—	—	ms	図5.9
		メインクロック発振器、PLL回路動作	t <sub>SBYPC</sub>	10	—	—	ms	
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作	t <sub>SBYEX</sub>	1	—	—	ms	
		メインクロック発振器、PLL回路動作	t <sub>SBYPE</sub>	1	—	—	ms	
	低速オンチップオシレータ、またはIWDT専用低速クロック発振器	t <sub>SBYLO</sub>	—	—	800	μs		
ディープソフトウェアスタンバイモード解除後復帰時間		t <sub>DSBY</sub>	—	—	1	ms	図5.10	
ディープソフトウェアスタンバイモード解除後待機時間		t <sub>DSBYWT</sub>	45	—	46	t <sub>cyc</sub>		

注. WAIT命令実行時の各発振器の状態によって待ち時間が異なります。複数の発振器が動作している場合の復帰時間は、動作している発振器の中で復帰に最も時間がかかるものが単独で動作しているときと同じ時間になります。

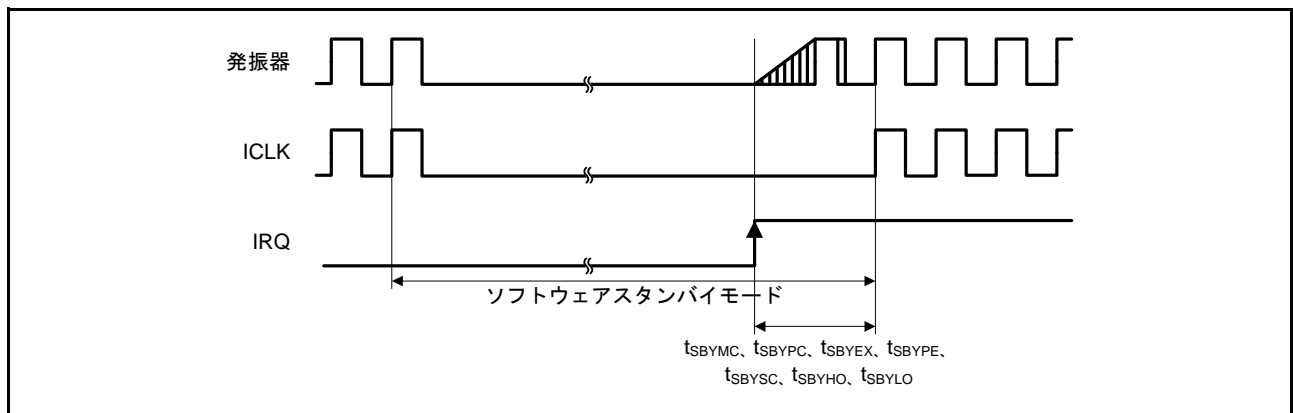


図 5.9 ソフトウェアスタンバイモード解除タイミング

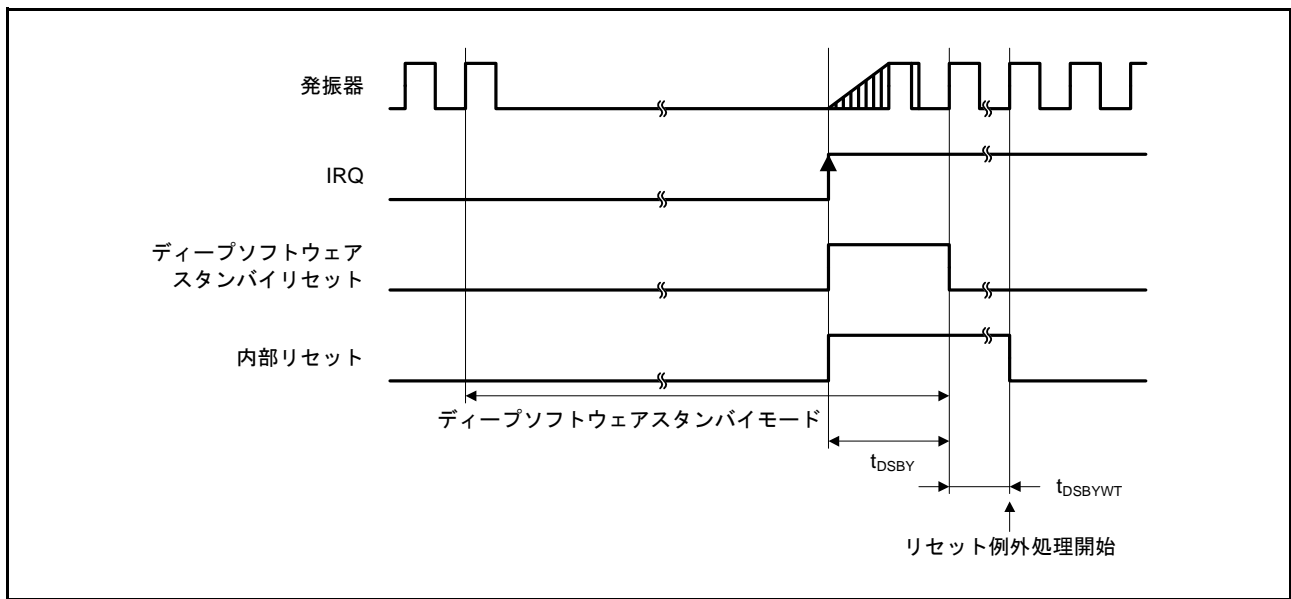


図 5.10 ディープソフトウェアスタンバイモード解除タイミング



## 5.3.4 制御信号タイミング

表5.11 制御信号タイミング

(注) 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V, VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V, VREFH0 = 3.0V ~ AVCC0

条件2: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V, VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0

条件3: VCC = PLLVCC = 4.0 ~ 5.5V, VCC\_USB = 3.0 ~ 3.6V, VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0

$T_a = T_{opr}$   $T_a$ は条件1～3で共通です。

項目	記号	min	typ	max	単位	測定条件
NMIパルス幅	$t_{NMIW}$	200	—	—	ns	$t_c(\text{PCLK}) \times 2 \leq 200\text{ns}$ 、図5.11
		$t_c(\text{PCLK}) \times 2$	—	—	ns	$t_c(\text{PCLK}) \times 2 > 200\text{ns}$ 、図5.11
IRQ#パルス幅	$t_{IRQW}$	200	—	—	ns	$t_c(\text{PCLK}) \times 2 \leq 200\text{ns}$ 、図5.12
		$t_c(\text{PCLK}) \times 2$	—	—	ns	$t_c(\text{PCLK}) \times 2 > 200\text{ns}$ 、図5.12

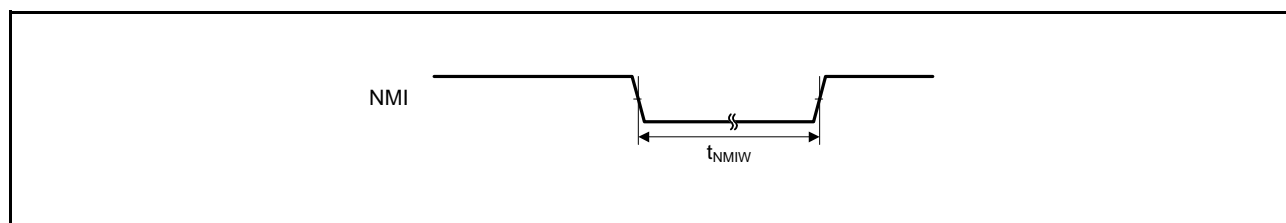


図 5.11 NMI 割り込み入力タイミング

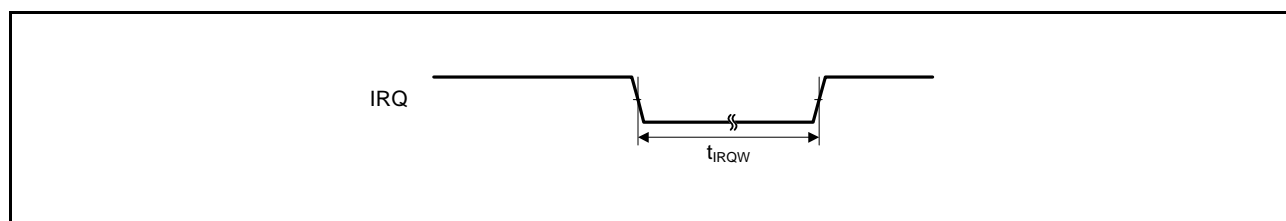


図 5.12 IRQ 割り込み入力タイミング

## 5.3.5 バスタイミング

表5.12 バスタイミング (1)

条件 : VCC = PLLVCC = VCC\_USB = AVCC0 = AVCC = 3.0 ~ 3.6V、  
 VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFLO = 0V  
 VREFH0 = 3.0V ~ AVCC0、VREF = 3.0V ~ AVCC

$T_a = T_{opr}$

出力負荷条件 :  $V_{OH} = VCC \times 0.5$ 、 $V_{OL} = VCC \times 0.5$ 、 $I_{OH} = -1.0mA$ 、 $I_{OL} = 1.0mA$ 、 $C = 30pF$

項目	記号	min	max	単位	測定条件
アドレス遅延時間	$t_{AD}$	—	30	ns	図5.13～図5.16
バイトコントロール遅延時間	$t_{BCD}$	—	30	ns	
CS#遅延時間	$t_{CSD}$	—	30	ns	
RD#遅延時間	$t_{RSD}$	—	30	ns	
リードデータセットアップ時間	$t_{RDS}$	20	—	ns	
リードデータホールド時間	$t_{RDH}$	0	—	ns	
WR#遅延時間	$t_{WRD}$	—	30	ns	
ライトデータ遅延時間	$t_{WDD}$	—	35	ns	
ライトデータホールド時間	$t_{WDH}$	0	—	ns	
WAIT#セットアップ時間	$t_{WTS}$	20	—	ns	図5.17
WAIT#ホールド時間	$t_{WTH}$	0	—	ns	

表5.13 バスタイミング (2)

条件 : VCC = PLLVCC = AVCC0 = AVCC = 4.0 ~ 5.5V、VCC\_USB = 3.0 ~ 3.6V、  
 VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFLO = 0V  
 VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

$T_a = T_{opr}$

出力負荷条件 :  $V_{OH} = VCC \times 0.5$ 、 $V_{OL} = VCC \times 0.5$ 、 $I_{OH} = -1.0mA$ 、 $I_{OL} = 1.0mA$ 、 $C = 30pF$

項目	記号	min	max	単位	測定条件
アドレス遅延時間	$t_{AD}$	—	15	ns	図5.13～図5.16
バイトコントロール遅延時間	$t_{BCD}$	—	15	ns	
CS#遅延時間	$t_{CSD}$	—	15	ns	
RD#遅延時間	$t_{RSD}$	—	15	ns	
リードデータセットアップ時間	$t_{RDS}$	15	—	ns	
リードデータホールド時間	$t_{RDH}$	0	—	ns	
WR#遅延時間	$t_{WRD}$	—	15	ns	
ライトデータ遅延時間	$t_{WDD}$	—	15	ns	
ライトデータホールド時間	$t_{WDH}$	0	—	ns	
WAIT#セットアップ時間	$t_{WTS}$	15	—	ns	図5.17
WAIT#ホールド時間	$t_{WTH}$	0	—	ns	

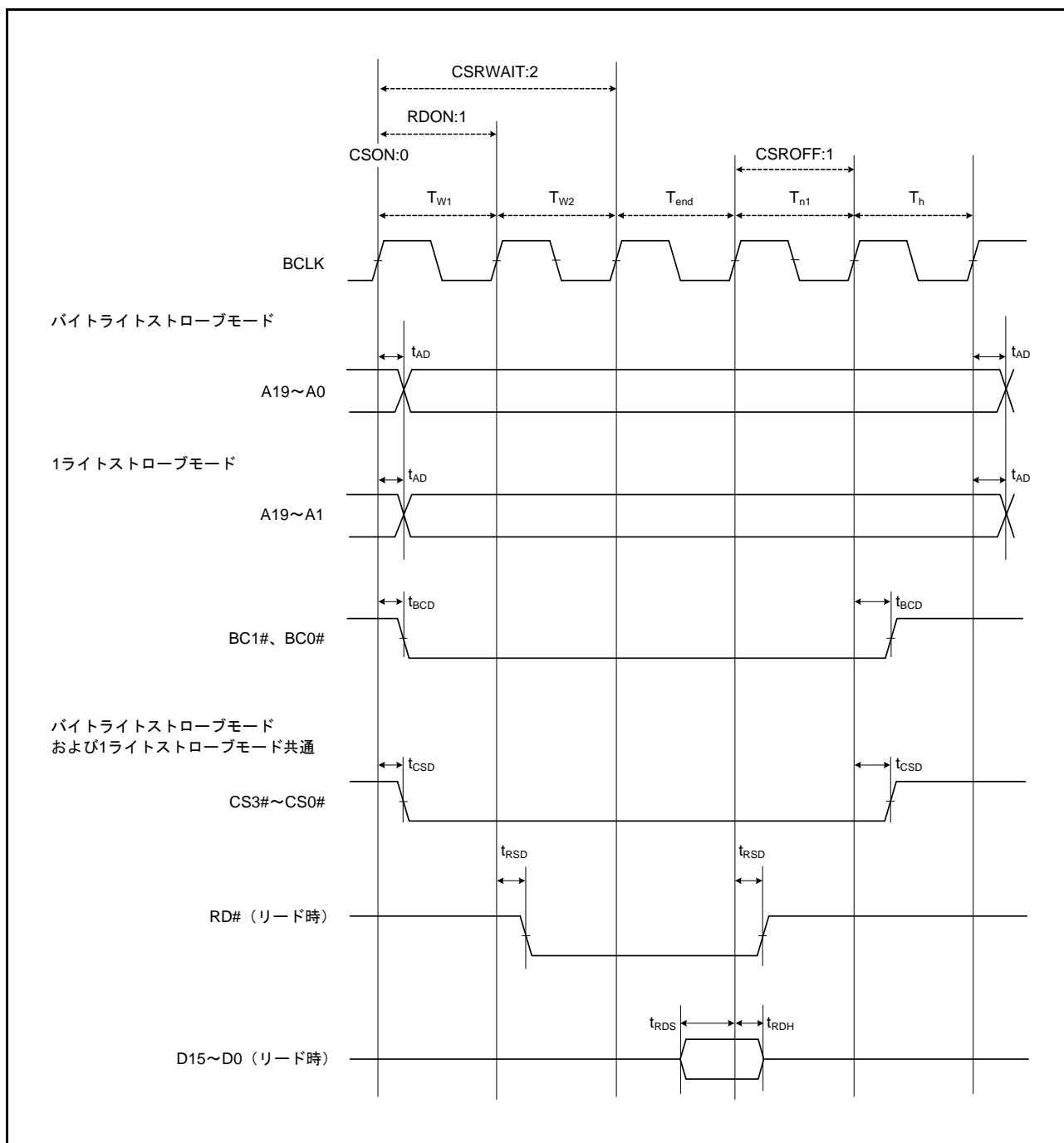


図 5.13 外部バスタイミング / ノーマルリードサイクル (バスクロック同期)

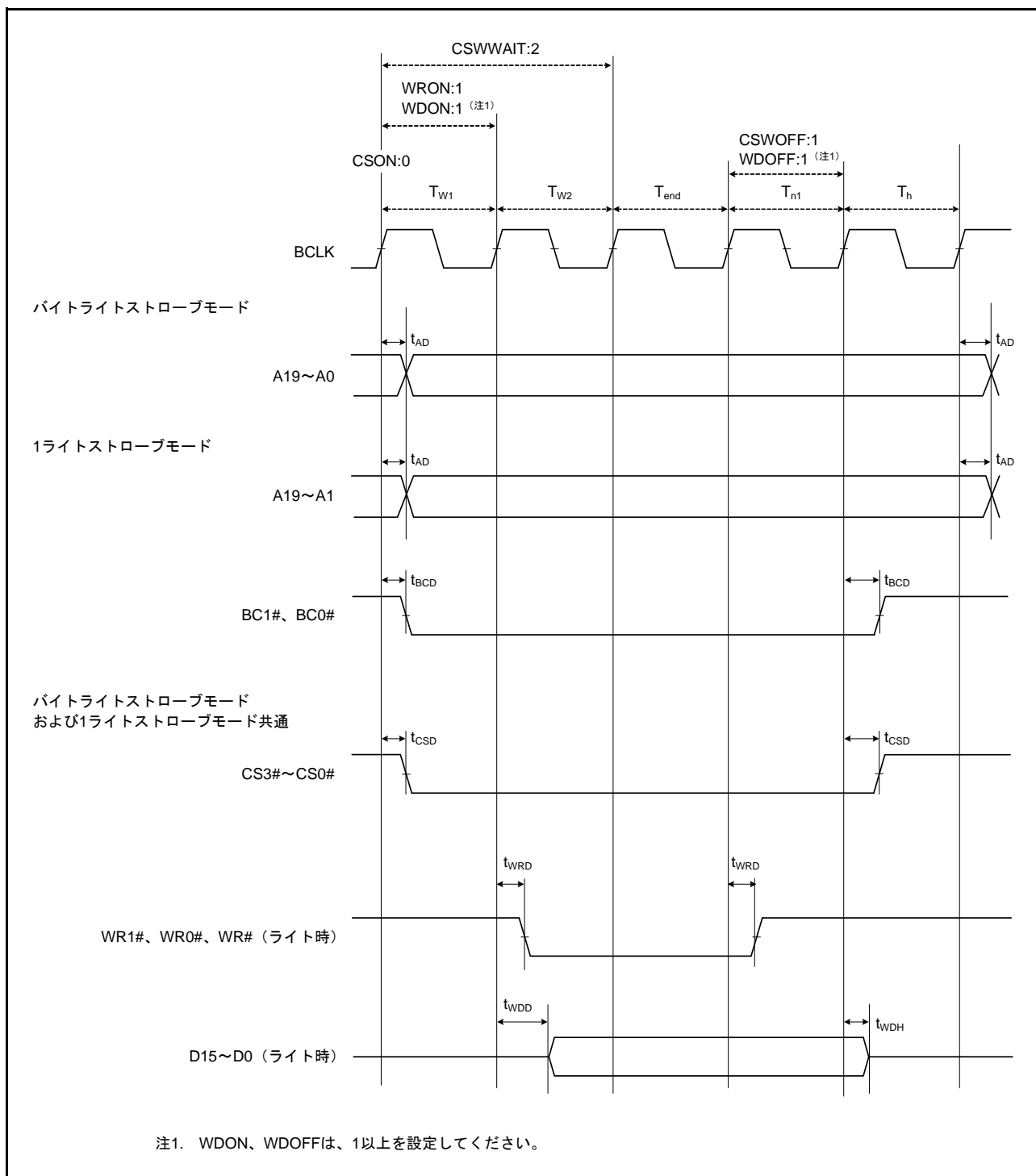


図 5.14 外部バスタイミング / ノーマルライトサイクル (バスクロック同期)

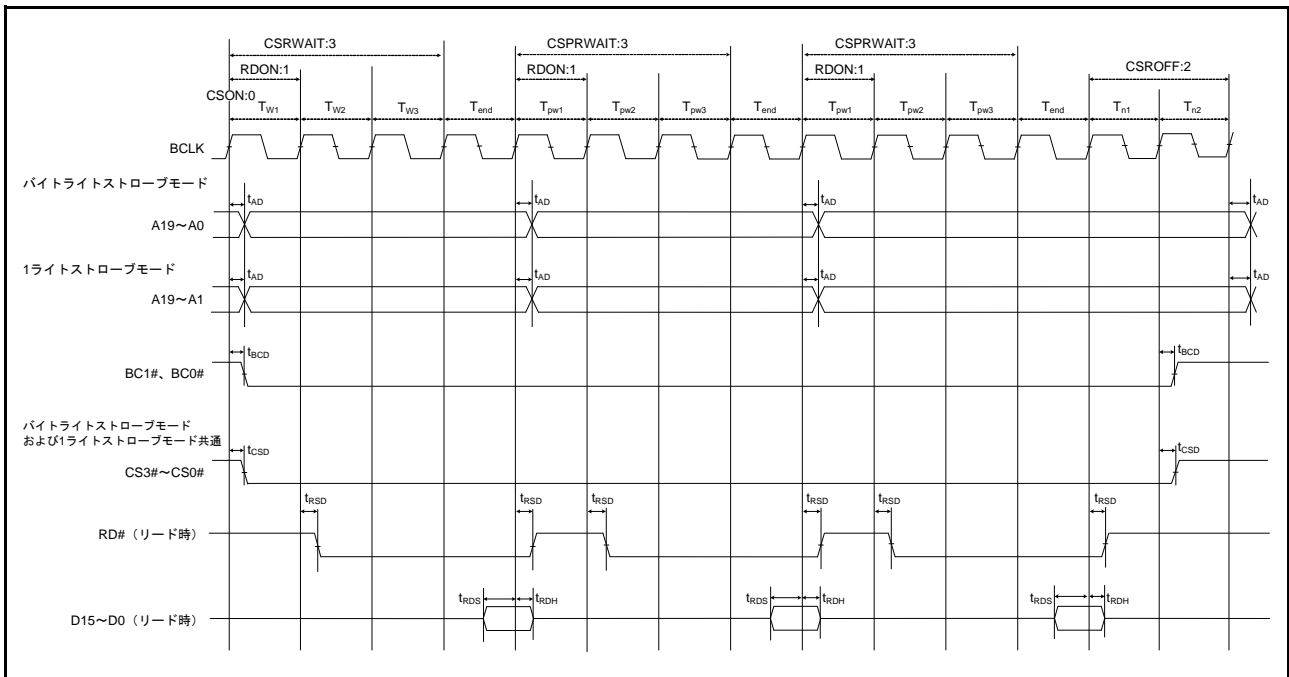


図 5.15 外部バスタイミング / ページリードサイクル (バスクロック同期)

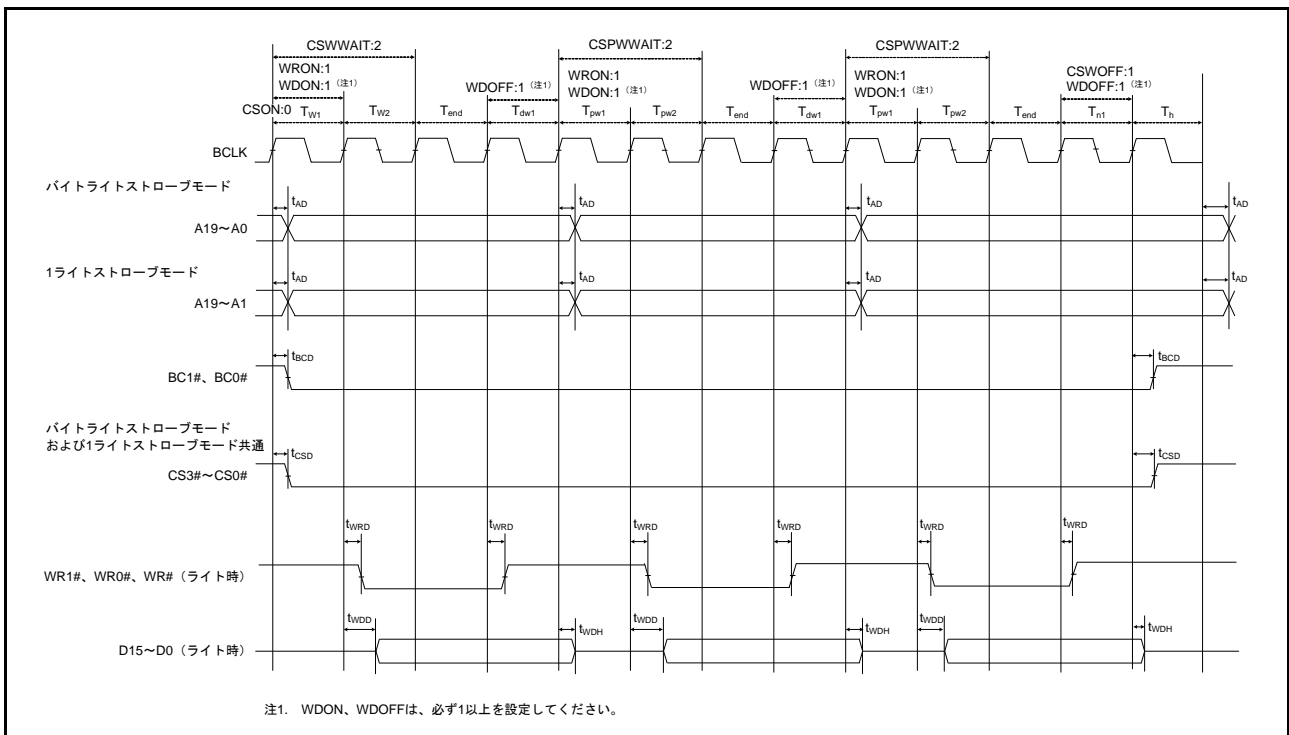


図 5.16 外部バスタイミング / ページライトサイクル (バスクロック同期)

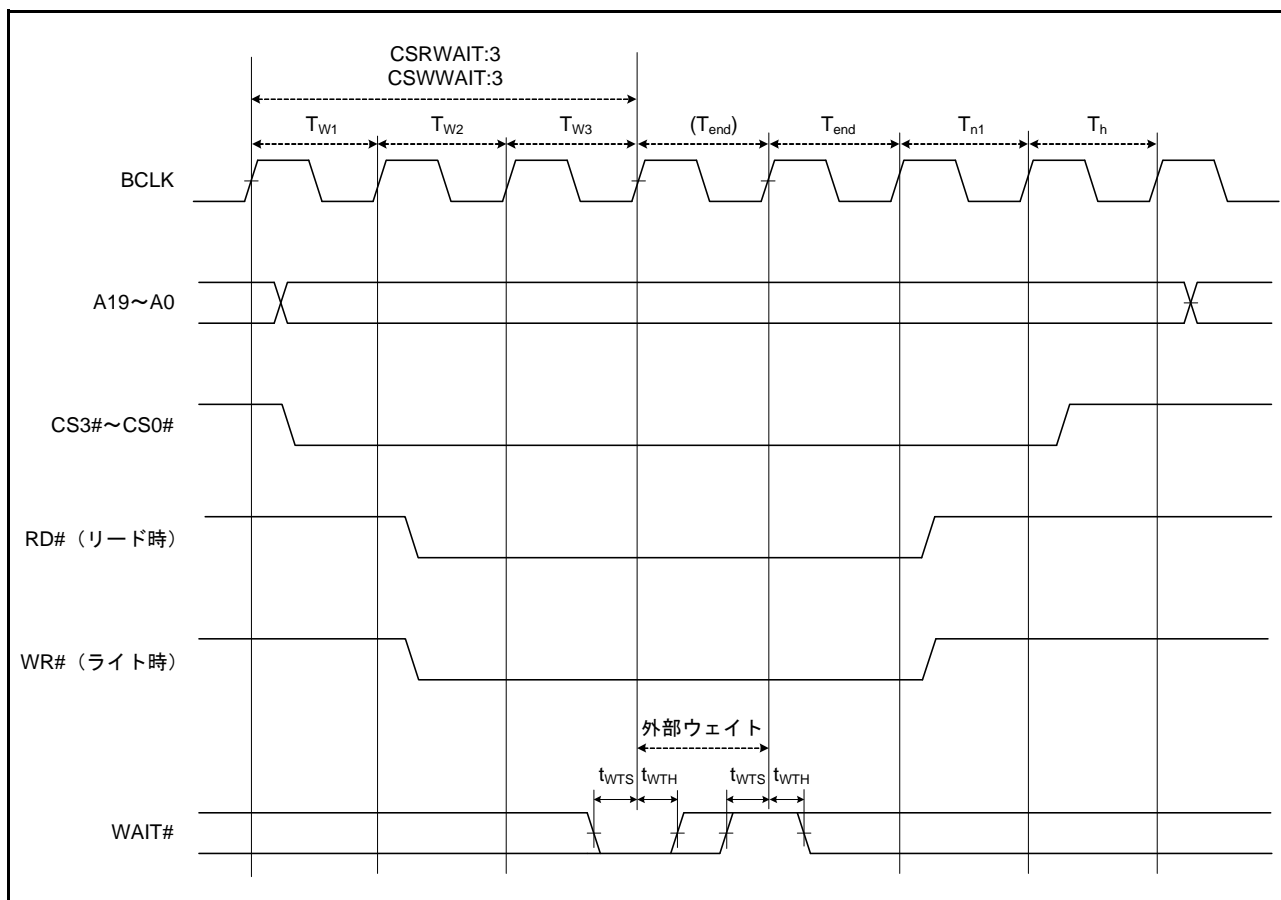


図 5.17 外部バスタイミング / 外部ウェイト制御

表5.14 バスタイミング (マルチプレクスバス) (3)

条件 : VCC = PLLVCC = VCC\_USB = AVCC0 = AVCC = VREF = 3.0 ~ 3.6V

VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V、VREFH0 = 3.0V ~ AVCC0

T<sub>a</sub> = T<sub>oprs</sub>

出力負荷条件 : V<sub>OH</sub> = VCC × 0.5、V<sub>OL</sub> = VCC × 0.5、I<sub>OH</sub> = -1.0mA、I<sub>OL</sub> = 1.0mA、C = 30pF

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t <sub>AD</sub>	—	35	ns	図5.18、図5.19
バイトコントロール遅延時間	t <sub>BCD</sub>	—	30	ns	
CS#遅延時間	t <sub>CSD</sub>	—	30	ns	
RD#遅延時間	t <sub>RSD</sub>	—	30	ns	
ALE遅延時間	t <sub>ALED</sub>	—	30	ns	
リードデータセットアップ時間	t <sub>RDS</sub>	20	—	ns	
リードデータホールド時間	t <sub>RDH</sub>	0	—	ns	
WR#遅延時間	t <sub>WRD</sub>	—	30	ns	
ライトデータ遅延時間	t <sub>WDD</sub>	—	35	ns	
ライトデータホールド時間	t <sub>WDH</sub>	0	—	ns	
WAIT#セットアップ時間	t <sub>WTS</sub>	20	—	ns	図5.17
WAIT#ホールド時間	t <sub>WTH</sub>	0.0	—	ns	

表5.15 バスタイミング (マルチプレクス) (4)

条件 : VCC = PLLVCC = AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VCC\_USB = 3.0 ~ 3.6V

VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V、VREFH0 = 4.0V ~ AVCC0

$T_a = T_{opr}$

出力負荷条件 :  $V_{OH} = VCC \times 0.5$ 、 $V_{OL} = VCC \times 0.5$ 、 $I_{OH} = -1.0mA$ 、 $I_{OL} = 1.0mA$ 、 $C = 30pF$

項目	記号	min	max	単位	測定条件
アドレス遅延時間	$t_{AD}$	—	15	ns	図5.18 ~ 図5.19
バイトコントロール遅延時間	$t_{BCD}$	—	15	ns	
CS#遅延時間	$t_{CSD}$	—	15	ns	
RD#遅延時間	$t_{RSD}$	—	15	ns	
ALE遅延時間	$t_{ALED}$	—	15	ns	
リードデータセットアップ時間	$t_{RDS}$	15	—	ns	
リードデータホールド時間	$t_{RDH}$	0	—	ns	
WR#遅延時間	$t_{WRD}$	—	15	ns	
ライトデータ遅延時間	$t_{WDD}$	—	15	ns	
ライトデータホールド時間	$t_{WDH}$	0	—	ns	
WAIT#セットアップ時間	$t_{WTS}$	15	—	ns	
WAIT#ホールド時間	$t_{WTH}$	0.0	—	ns	

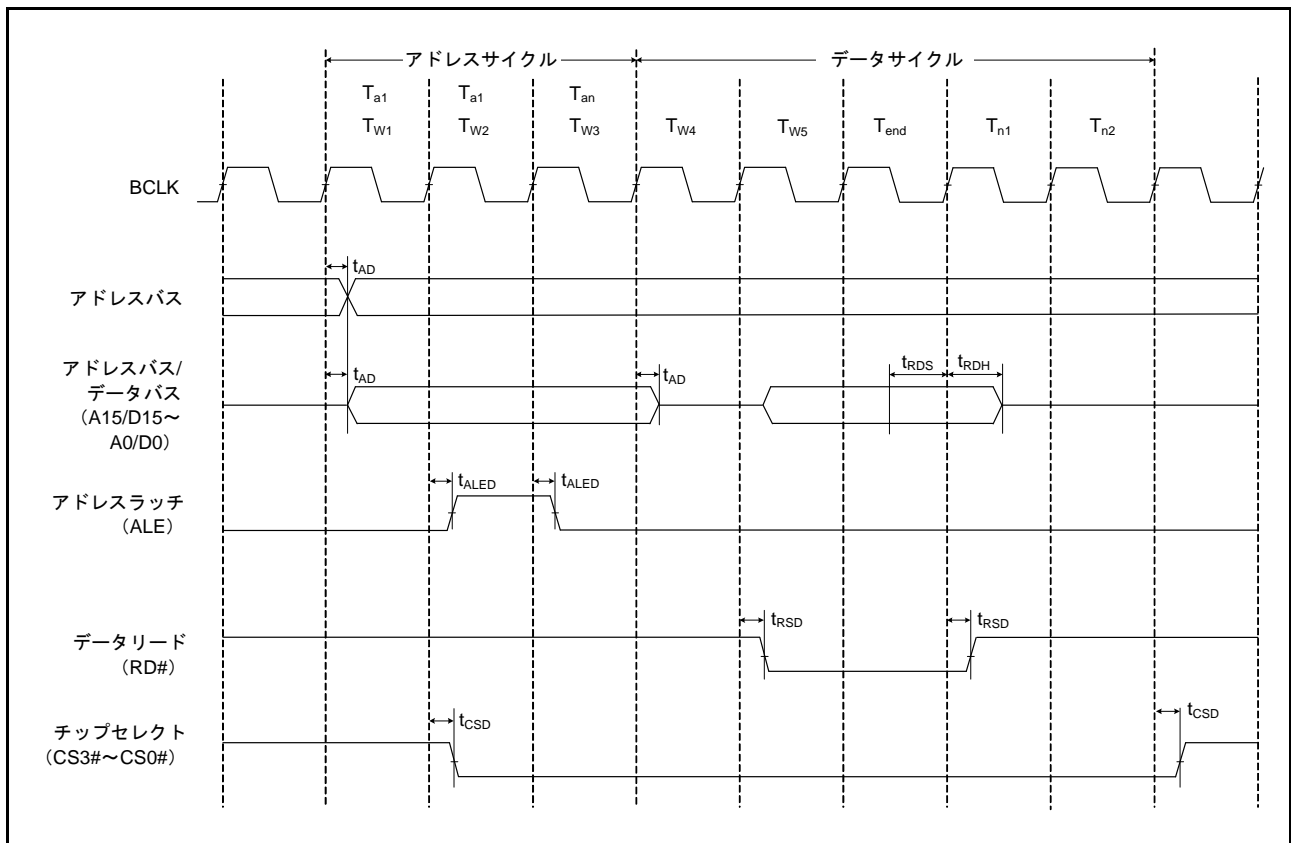


図 5.18 外部バスタイミング / リードアクセスの動作例 (マルチプレクス)

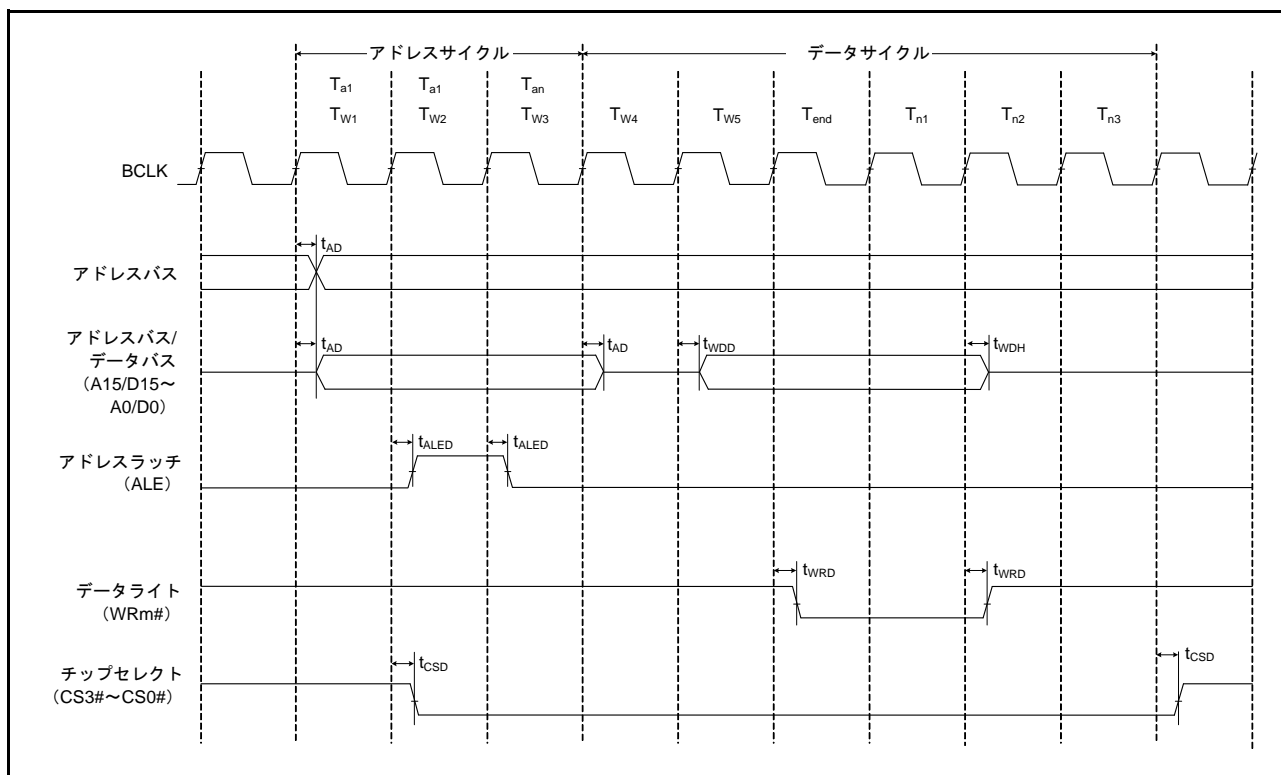


図 5.19 外部バスタイミング/ライトアクセスの動作例 (マルチプレクス)



## 5.3.6 内蔵周辺モジュールタイミング

表5.16 内蔵周辺モジュールタイミング (1)

(注) 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0条件2: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0条件3: VCC = PLLVCC = 4.0 ~ 5.5V、VCC\_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0 $T_a = T_{opr}$   $T_a$ は条件1～3で共通です。

項目		記号	min	max	単位 (注1)	測定条件	
I/Oポート	入力データパルス幅	$t_{PRW}$	1.5	—	$t_{Pcyc}$	図5.20	
MTU3	インプットキャプチャ入力パルス幅	単エッジ指定	$t_{TICW}$	3	—	$t_{PAcyc}$	図5.21
		両エッジ指定		5	—		
	インプットキャプチャ入力立ち下がり時間		$t_{TICTF}$	—	0.1	$\mu s/V$	立ち上がりエッジでインプットキャプチャ機能、または両エッジでインプットキャプチャ選択時
	タイマクロックパルス幅	単エッジ指定	$t_{TCKWH}$	3	—	$t_{PAcyc}$	図5.22
		両エッジ指定	$t_{TCKWL}$	5	—		
位相計測モード			5	—			
タイマクロック入力立ち下がり時間		$t_{TCKTF}$	—	0.1	$\mu s/V$		
POE3	POE#入力パルス幅	$t_{POEW}$	1.5	—	$t_{Pcyc}$	図5.25	
GPT	インプットキャプチャ入力パルス幅	単エッジ指定	$t_{GTICW}$	3	—	$t_{PAcyc}$	図5.23
		両エッジ指定		5	—		
	インプットキャプチャ入力立ち下がり時間		$t_{GTICTF}$	—	0.1	$\mu s/V$	立ち上がりエッジでインプットキャプチャ機能、または両エッジでインプットキャプチャ選択時、および立ち上がりエッジ、または両エッジでカウントスタート、ストップ、クリア機能選択時
	外部トリガ入力パルス幅	単エッジ指定	$t_{TOTETW}$	3	—	$t_{PAcyc}$	図5.24
両エッジ指定			5	—			
外部トリガ入力立ち下がり時間		$t_{GTETRGTf}$	—	0.1	$\mu s/V$	立ち上がりエッジ、または両エッジでカウントスタート、ストップ、クリア機能選択時	

表5.16 内蔵周辺モジュールタイミング (2)

(注) 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0条件2: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0条件3: VCC = PLLVCC = 4.0 ~ 5.5V、VCC\_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0T<sub>a</sub> = T<sub>opr</sub> T<sub>a</sub> は条件1～3で共通です。

項目		記号	min	max	単位 (注1)	測定条件	
SCI	入力クロックサイクル	調歩同期	t <sub>Scyc</sub>	4	—	t <sub>Pcyc</sub>	C=30pF 図5.26
		クロック同期		6	—		
	入力クロックパルス幅		t <sub>SCKW</sub>	0.4	0.6	t <sub>Scyc</sub>	
	入力クロック立ち上がり時間		t <sub>SCKr</sub>	—	20	ns	
	入力クロック立ち下がり時間		t <sub>SCKf</sub>	—	20	ns	
	出力クロックサイクル	調歩同期	t <sub>Scyc</sub>	16	—	t <sub>Pcyc</sub>	
		クロック同期		4	—		
	出力クロックパルス幅		t <sub>SCKW</sub>	0.4	0.6	t <sub>Scyc</sub>	
	出力クロック立ち上がり時間		t <sub>SCKr</sub>	—	20	ns	
	出力クロック立ち下がり時間		t <sub>SCKf</sub>	—	20	ns	
	送信データ遅延時間	クロック同期	t <sub>TXD</sub>	—	40	ns	図5.27
	受信データセットアップ時間	クロック同期	t <sub>RXS</sub>	40	—	ns	
	受信データホールド時間	クロック同期	t <sub>RXH</sub>	40	—	ns	
受信データ立ち下がり時間		t <sub>TICTF</sub>	—	0.1	μs/V	ノイズ除去 フィルタ 非選択時	
A/D コン バータ	10ビットA/Dコンバータトリガ入力パルス幅	t <sub>TRGW</sub>	1.5	—	t <sub>Pcyc</sub>	図5.28	
	12ビットA/Dコンバータトリガ入力パルス幅		1.5	—			
CAC	CACREF入力パルス幅	t <sub>Pcyc</sub> ≤ t <sub>cac</sub> (注2)	t <sub>CACREF</sub>	4.5 t <sub>cac</sub> + 3 t <sub>Pcyc</sub>	—	ns	
		t <sub>Pcyc</sub> > t <sub>cac</sub> (注2)		5 t <sub>cac</sub> + 6.5 t <sub>Pcyc</sub>	—	ns	
	CACREF入力立ち下がり時間		t <sub>CACREFTF</sub>	—	0.1	μs/V	

注1. t<sub>Pcyc</sub>: PCLKの周期。t<sub>PAcyc</sub>: PCLKAの周期。注2. t<sub>cac</sub>: CACカウントクロックソースの周期

表5.16 内蔵周辺モジュールタイミング (3)

(注) 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V, VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V, VREFH0 = 3.0V ~ AVCC0

条件2: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V, VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0

条件3: VCC = PLLVCC = 4.0 ~ 5.5V, VCC\_USB = 3.0 ~ 3.6V, VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0

T<sub>a</sub> = T<sub>opr</sub> T<sub>a</sub>は条件1～3で共通です。

駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件			
RSPI	RSPCK クロックサイクル	マスタ	t <sub>SPcyc</sub>	2	4096	t <sub>Pcyc</sub>	C=30pF、 図5.29		
		スレーブ		8	4096				
	RSPCK クロック High レベルパルス幅	マスタ	t <sub>SPCKWH</sub>	(t <sub>SPcyc</sub> - t <sub>SPCKR</sub> - t <sub>SPCKF</sub> ) / 2 - 3	—	ns			
		スレーブ		(t <sub>SPcyc</sub> - t <sub>SPCKR</sub> - t <sub>SPCKF</sub> ) / 2	—				
	RSPCK クロック Low レベルパルス幅	マスタ	t <sub>SPCKWL</sub>	(t <sub>SPcyc</sub> - t <sub>SPCKR</sub> - t <sub>SPCKF</sub> ) / 2 - 3	—	ns			
		スレーブ		(t <sub>SPcyc</sub> - t <sub>SPCKR</sub> - t <sub>SPCKF</sub> ) / 2	—				
	RSPCK クロック 立ち上がり/立ち下がり時間	出力	t <sub>SPCKR</sub>	—	5	ns			
		入力	t <sub>SPCKF</sub>	—	1	μs			
	RSPCK クロック 立ち下がり時間	入力	t <sub>SPCKF</sub>	—	0.1	μs/V			
	データ入力セットアップ時間	マスタ	t <sub>SU</sub>	4	—	ns		C=30pF、 図5.30 ~ 図5.35	
		スレーブ		20 - t <sub>Pcyc</sub>	—				
	データ入力ホールド時間	マスタ	PCLKBを2分周以外に設定	t <sub>H</sub>	t <sub>Pcyc</sub>	—			ns
			PCLKBを2分周に設定	t <sub>HF</sub>	0	—			
		スレーブ	t <sub>H</sub>	20 + 2 × t <sub>Pcyc</sub>	—				
	SSL セットアップ時間	マスタ	t <sub>LEAD</sub>	1	8	t <sub>SPcyc</sub>			
		スレーブ		4	—	t <sub>Pcyc</sub>			
	SSL ホールド時間	マスタ	t <sub>LAG</sub>	1	8	t <sub>SPcyc</sub>			
		スレーブ		4	—	t <sub>Pcyc</sub>			
	データ出力遅延時間	マスタ	t <sub>OD</sub>	—	10	ns			
スレーブ			—	3 × t <sub>Pcyc</sub> + 40					
データ出力ホールド時間	マスタ	t <sub>OH</sub>	0	—	ns				
	スレーブ		0	—					
連続送信遅延時間	マスタ	t <sub>TD</sub>	t <sub>SPcyc</sub> + 2 × t <sub>Pcyc</sub>	8 × t <sub>SPcyc</sub> + 2 × t <sub>Pcyc</sub>	ns				
	スレーブ		4 × t <sub>Pcyc</sub>	—					
MOSI、MISO立ち上がり/立ち下がり時間	出力	t <sub>DR</sub>	—	5	ns				
	入力	t <sub>DF</sub>	—	1	μs				
SSL立ち上がり/立ち下がり時間	出力	t <sub>SSLr</sub>	—	15	ns				
	入力	t <sub>SSLf</sub>	—	1	μs				
スレーブアクセス時間		t <sub>SA</sub>	—	4	t <sub>Pcyc</sub>	図5.34、 図5.35			
スレーブ出力開放時間		t <sub>REL</sub>	—	3	t <sub>Pcyc</sub>				

注1. t<sub>Pcyc</sub> : PCLKの周期です。

表5.16 内蔵周辺モジュールタイミング (4)

(注) 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

条件2: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

条件3: VCC = PLLVCC = 4.0 ~ 5.5V、VCC\_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

$T_a = T_{opr}$   $T_a$  は条件1～3で共通です。

項目		記号	min	max	単位 (注1)	測定条件
簡易 SPI	SCKクロックサイクル出力 (マスタ)	$t_{SPcyc}$	4	65536	$t_{Pcyc}$	C=30pF、 図5.29
	SCKクロックサイクル入力 (スレーブ)		8	65536		
	SCKクロック High レベルパルス幅	$t_{SPCKWH}$	0.4	0.6	$t_{SPcyc}$	
	SCKクロック Low レベルパルス幅	$t_{SPCKWL}$	0.4	0.6	$t_{SPcyc}$	
	SCKクロック立ち上がり/立ち下がり時間	$t_{SPCKr}$ , $t_{SPCKf}$	—	20	ns	
	データ入力セットアップ時間	$t_{SU}$	40	—	ns	C=30pF、 図5.30～ 図5.35
	データ入力ホールド時間	$t_H$	40	—	ns	
	SS入力セットアップ時間	$t_{LEAD}$	6	—	$t_{Pcyc}$	
	SS入力ホールド時間	$t_{LAG}$	6	—	$t_{Pcyc}$	
	データ出力遅延時間	$t_{OD}$	—	40	ns	
	データ出力ホールド時間	$t_{OH}$	-10	—	ns	
	データ立ち上がり/立ち下がり時間	$t_{Dr}$ , $t_{Df}$	—	20	ns	
	SS入力立ち上がり/立ち下がり時間	$t_{SSLr}$ , $t_{SSLf}$	—	20	ns	
	スレーブアクセス時間	$t_{SA}$	—	5	$t_{Pcyc}$	C=30pF、 図5.34 図5.35
スレーブ出力開放時間	$t_{REL}$	—	5	$t_{Pcyc}$		

注1.  $t_{Pcyc}$ : PCLKの周期です。

表5.16 内蔵周辺モジュールタイミング (5)

(注) 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0条件2: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0条件3: VCC = PLLVCC = 4.0 ~ 5.5V、VCC\_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0T<sub>a</sub> = T<sub>opr</sub> T<sub>a</sub>は条件1～3で共通です。

項目	記号	min (注1、注2)	max	単位	測定条件	
IIC (Standard-mode)	SCL入力サイクル時間	t <sub>SCL</sub>	6(12) × t <sub>IICcyc</sub> + 1300	—	ns	図5.36
	SCL入力Highパルス幅	t <sub>SCLH</sub>	3(6) × t <sub>IICcyc</sub> + 300	—	ns	
	SCL入力Lowパルス幅	t <sub>SCLL</sub>	3(6) × t <sub>IICcyc</sub> + 300	—	ns	
	SCL、SDA入力立ち上がり時間	t <sub>Sr</sub>	—	1000	ns	
	SCL、SDA入力立ち下がり時間	t <sub>Sf</sub>	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t <sub>SP</sub>	0	1(4) × t <sub>IICcyc</sub>	ns	
	SDA入カバスフリー時間	t <sub>BUF</sub>	3(6) × t <sub>IICcyc</sub> + 300	—	ns	
	開始条件入力ホールド時間	t <sub>STAH</sub>	t <sub>IICcyc</sub> + 300	—	ns	
	再送開始条件入力セットアップ時間	t <sub>STAS</sub>	1000	—	ns	
	停止条件入力セットアップ時間	t <sub>STOS</sub>	1000	—	ns	
	データ入力セットアップ時間	t <sub>SDAS</sub>	t <sub>IICcyc</sub> + 50	—	ns	
	データ入力ホールド時間	t <sub>SDAH</sub>	0	—	ns	
	SCL、SDAの容量性負荷	C <sub>b</sub>	—	400	pF	
IIC (Fast-mode)	SCL入力サイクル時間	t <sub>SCL</sub>	6(12) × t <sub>IICcyc</sub> + 600	—	ns	
	SCL入力Highパルス幅	t <sub>SCLH</sub>	3(6) × t <sub>IICcyc</sub> + 300	—	ns	
	SCL入力Lowパルス幅	t <sub>SCLL</sub>	3(6) × t <sub>IICcyc</sub> + 300	—	ns	
	SCL、SDA入力立ち上がり時間	t <sub>Sr</sub>	20 + 0.1C <sub>b</sub>	300	ns	
	SCL、SDA入力立ち下がり時間	t <sub>Sf</sub>	20 + 0.1C <sub>b</sub>	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t <sub>SP</sub>	0	1(4) × t <sub>IICcyc</sub>	ns	
	SDA入カバスフリー時間	t <sub>BUF</sub>	3(6) × t <sub>IICcyc</sub> + 300	—	ns	
	開始条件入力ホールド時間	t <sub>STAH</sub>	t <sub>IICcyc</sub> + 300	—	ns	
	再送開始条件入力セットアップ時間	t <sub>STAS</sub>	300	—	ns	
	停止条件入力セットアップ時間	t <sub>STOS</sub>	300	—	ns	
	データ入力セットアップ時間	t <sub>SDAS</sub>	t <sub>IICcyc</sub> + 50	—	ns	
	データ入力ホールド時間	t <sub>SDAH</sub>	0	—	ns	
	SCL、SDAの容量性負荷	C <sub>b</sub>	—	400	pF	

注. t<sub>IICcyc</sub>: IICの内部基準クロック (IICφ) の周期です。

注1. ( )内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注2. C<sub>b</sub>はバスラインの容量総計です。

表5.16 内蔵周辺モジュールタイミング (6)

(注) 表中に条件の記載がない項目の規格値は条件1~3で共通です。

条件1: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0条件2: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0条件3: VCC = PLLVCC = 4.0 ~ 5.5V、VCC\_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0 $T_a = T_{opr}$ 。  $T_a$  は条件1~3で共通です。

項目		記号	min (注1、注2)	max (注3)	単位	測定条件
簡易IIC (Standard-mode)	SCL、SDA入力立ち上がり時間	$t_{Sr}$	—	1000	ns	図5.36
	SCL、SDA入力立ち下がり時間	$t_{Sf}$	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	$t_{SP}$	0	$4 \times t_{Pcyc}$	ns	
	データ入力セットアップ時間	$t_{SDAS}$	250	—	ns	
	データ入力ホールド時間	$t_{SDAH}$	0	—	ns	
	SCL、SDAの容量性負荷	$C_b$	—	400	pF	
簡易IIC (Fast-mode)	SCL、SDA入力立ち上がり時間	$t_{Sr}$	$20 + 0.1C_b$	300	ns	
	SCL、SDA入力立ち下がり時間	$t_{Sf}$	$20 + 0.1C_b$	300	ns	
	SCL、SDA入カスパイクパルス除去時間	$t_{SP}$	0	$4 \times t_{Pcyc}$	ns	
	データ入力セットアップ時間	$t_{SDAS}$	100	—	ns	
	データ入力ホールド時間	$t_{SDAH}$	0	—	ns	
	SCL、SDAの容量性負荷	$C_b$	—	400	pF	

注1. ( ) 内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注2.  $C_b$  はバスラインの容量総計です。注3.  $t_{Pcyc}$  : PCLKの周期です。

### 5.3.7 PWM 遅延生成回路タイミング

表5.17 PWM遅延生成回路タイミング

(注) 表中に条件の記載がない項目の規格値は条件1~3で共通です。

条件1: VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0、VREF = 3.0V ~ AVCC条件2: VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC条件3: VCC = PLLVCC = 4.0 ~ 5.5V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC $T_a = T_{opr}$ 。  $T_a$  は条件1~3で共通です。

項目	min	typ	max	単位	測定条件
分解能	—	312.5	—	ps	PCLKA = 100MHz 時
DNL (注1)	—	$\pm 2.0$	—	LSB	

注1. 各コード毎の差分を分解能(1LSB)で正規化した値です。

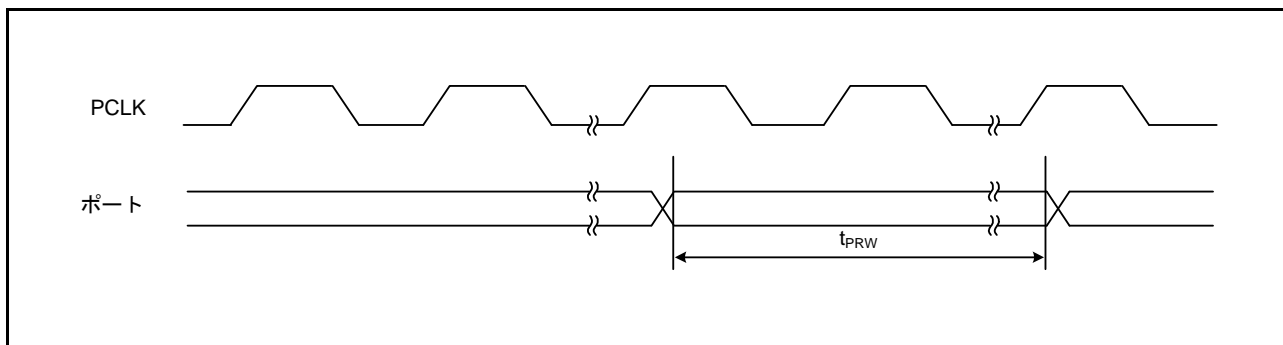


図 5.20 I/Oポート入力タイミング

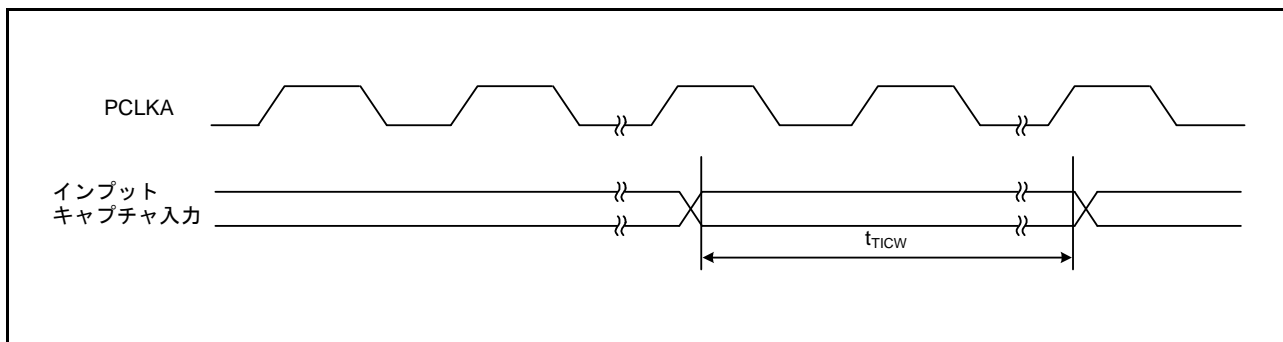


図 5.21 MTU3入出力タイミング

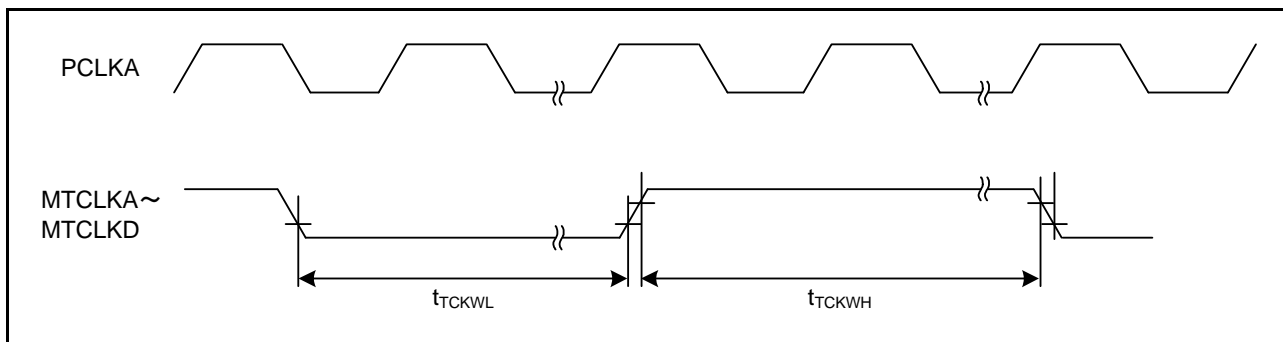


図 5.22 MTU3クロック入力タイミング

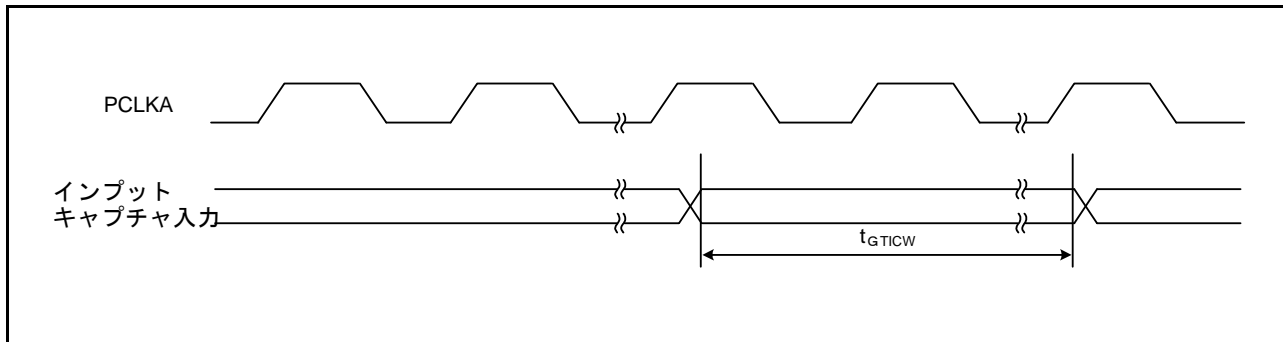


図 5.23 GPT入力キャプチャ入力タイミング

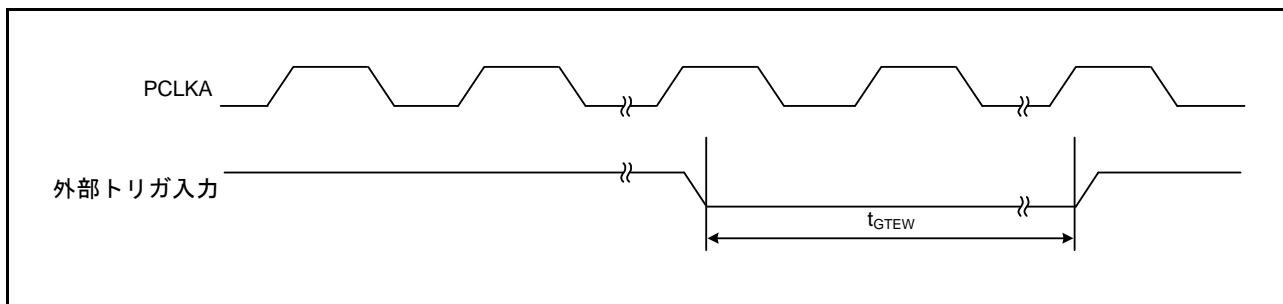


図 5.24 GPT 外部トリガ入力タイミング

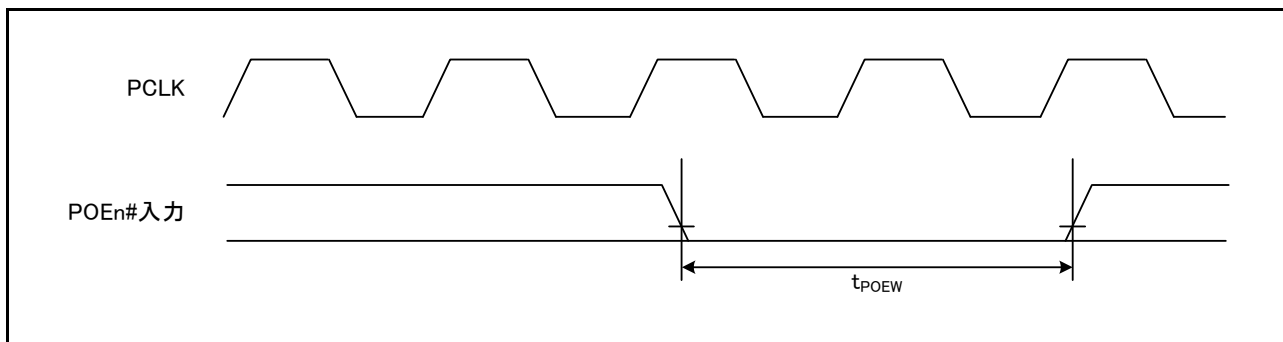


図 5.25 POE3# 入力タイミング

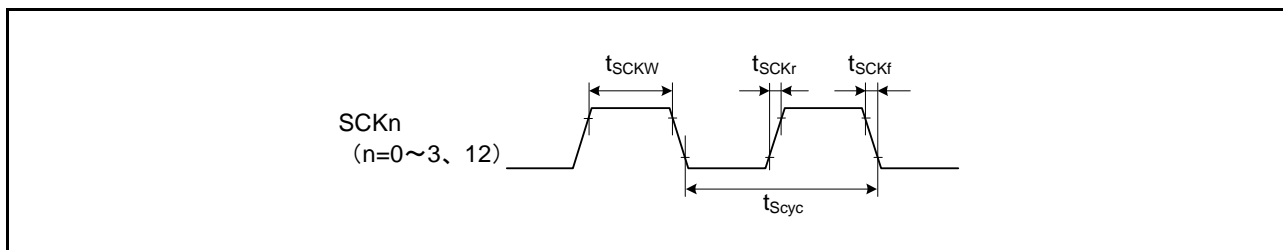


図 5.26 SCK クロック入力タイミング

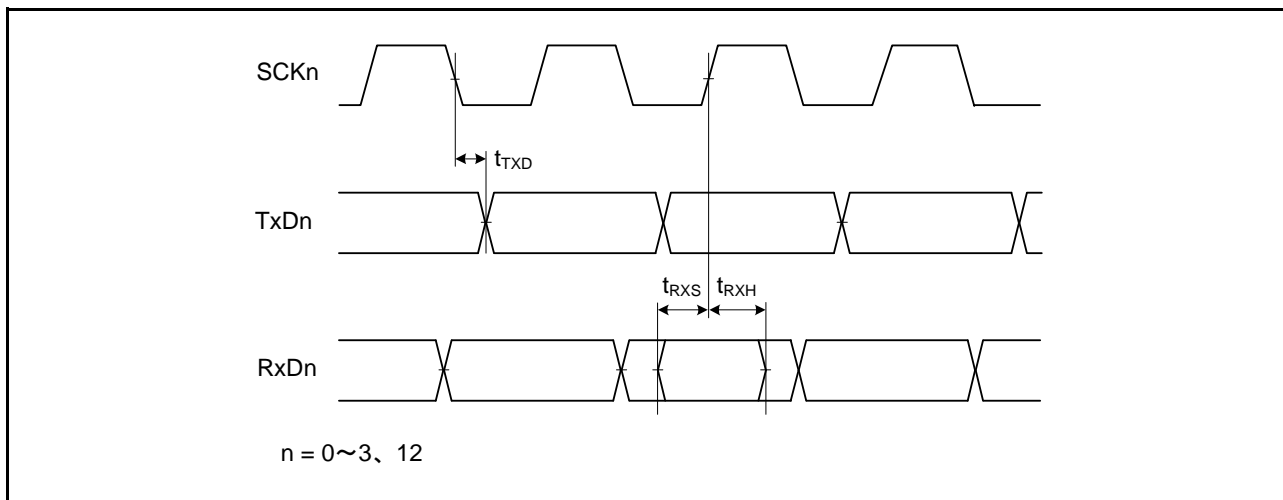


図 5.27 SCI 入出力タイミング / クロック同期式モード



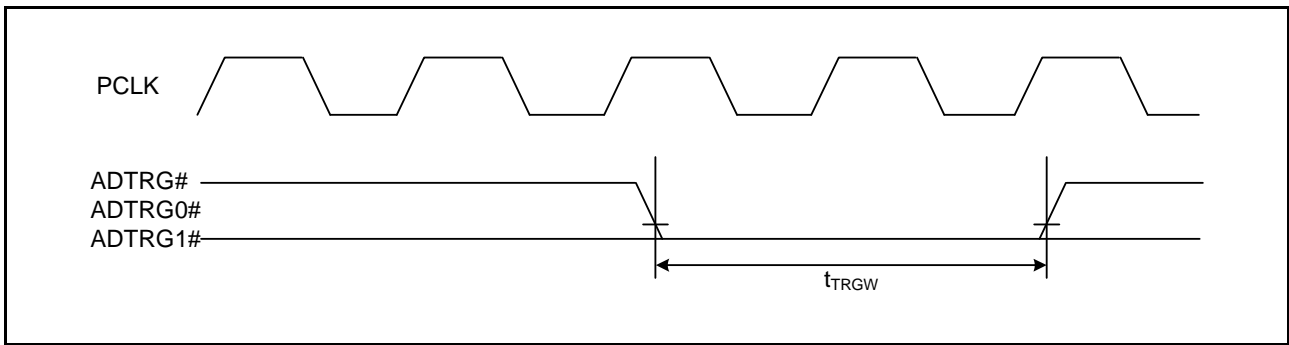


図 5.28 A/D コンバータ外部トリガ入力タイミング

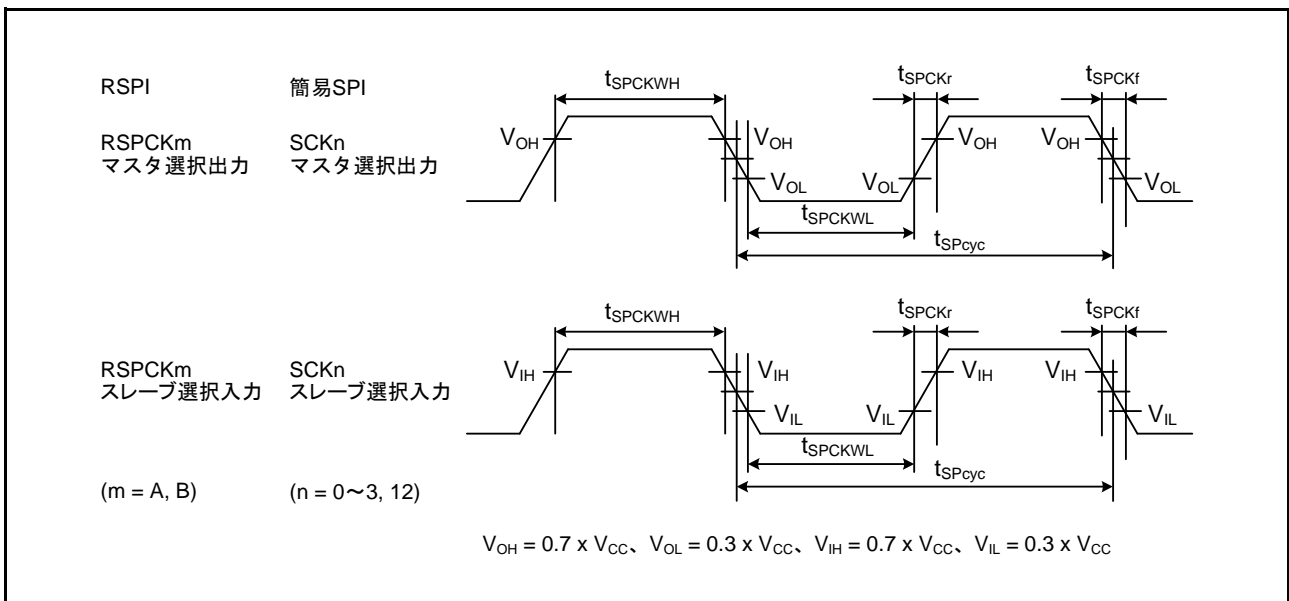


図 5.29 RSPI クロックタイミング / 簡易 SPI クロックタイミング

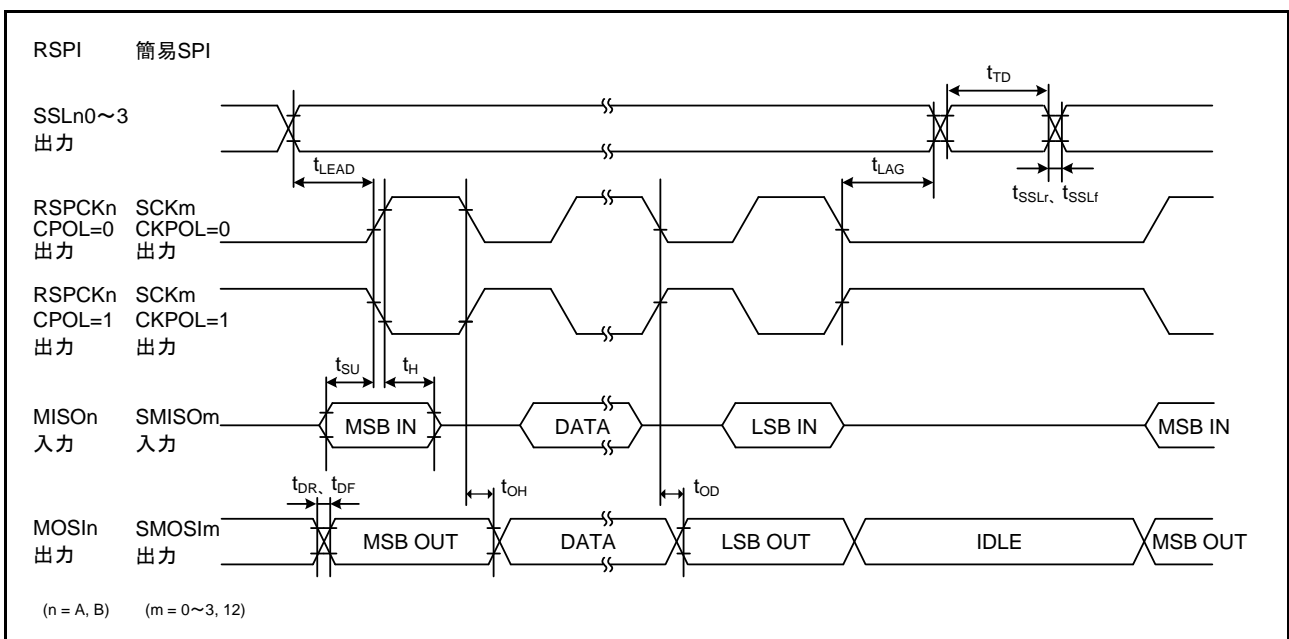


図 5.30 RSPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周以外に設定) / 簡易 SPI タイミング (マスタ、CKPH = 1)

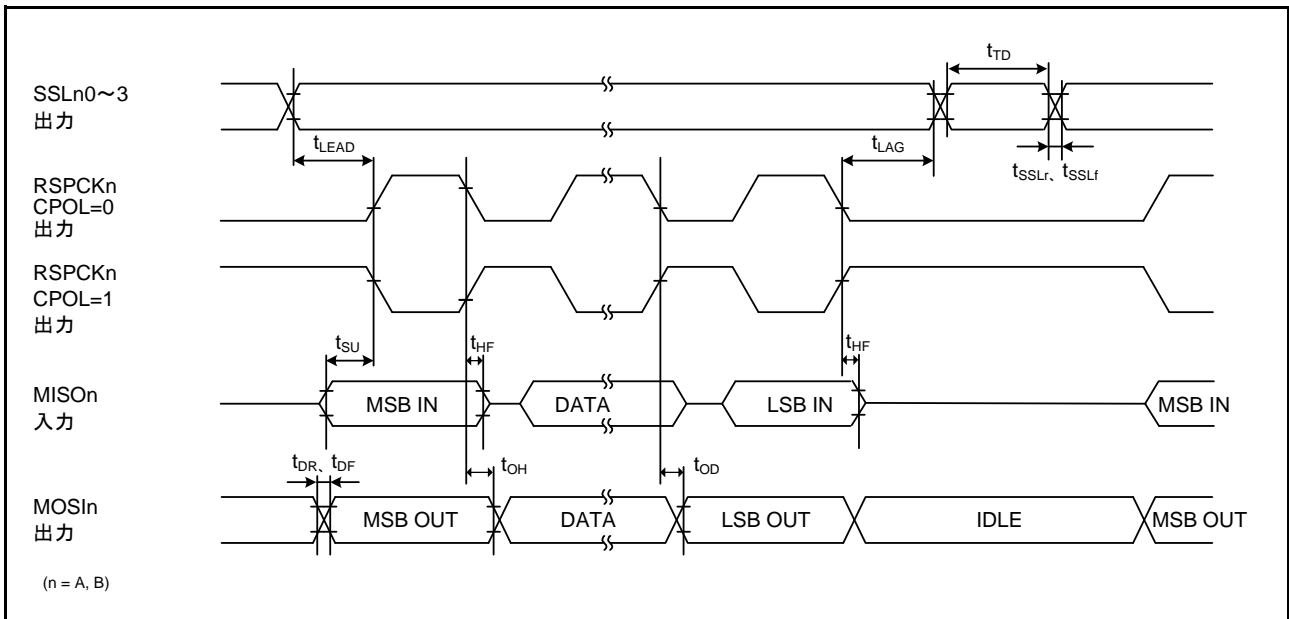


図 5.31 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周に設定)

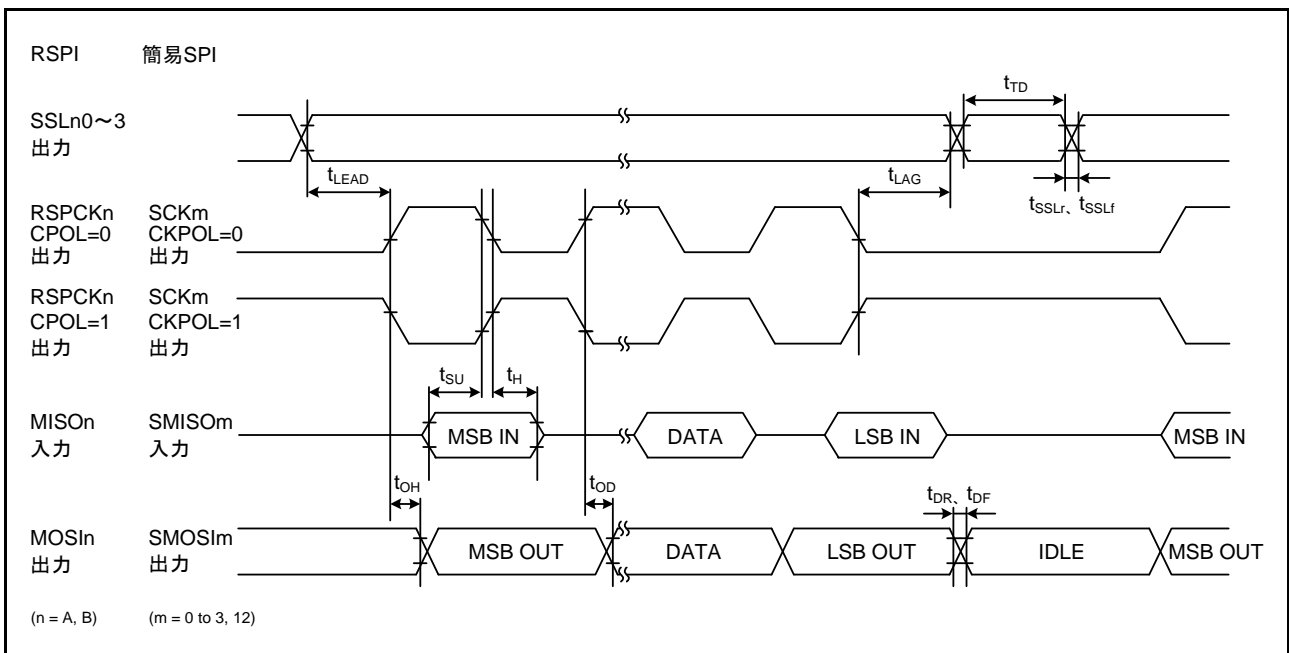


図 5.32 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周以外に設定) / 簡易 SPI タイミング (マスタ、CKPH = 0)

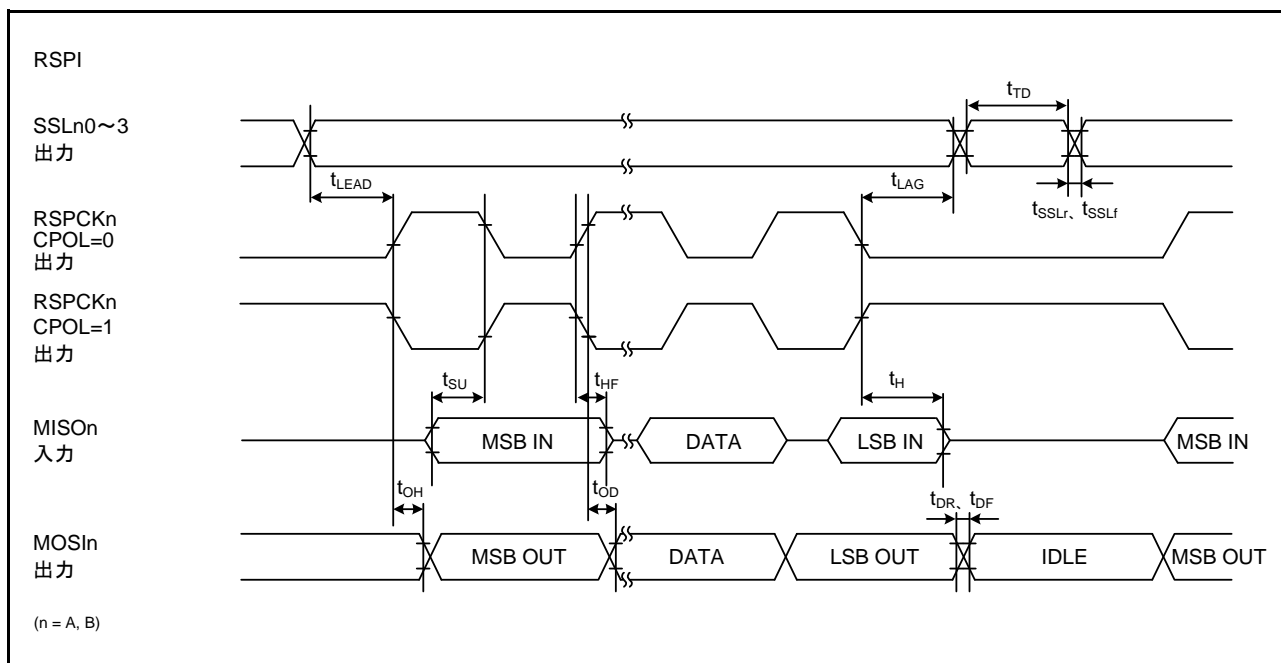


図 5.33 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周に設定)

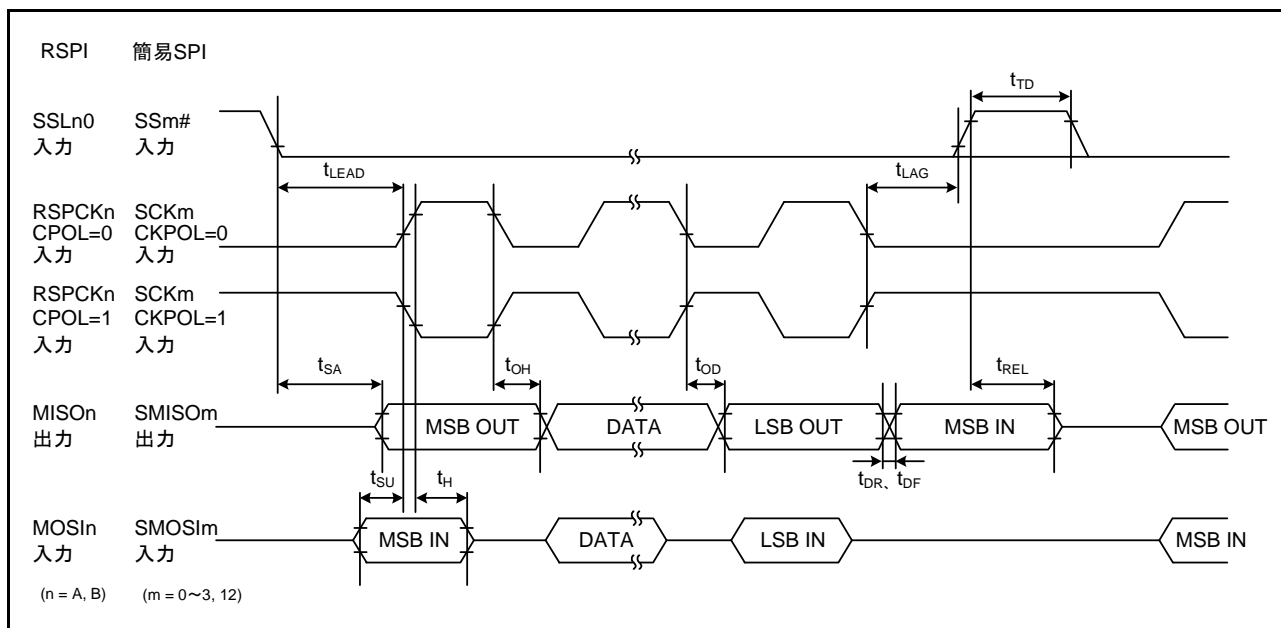


図 5.34 RSPI タイミング (スレーブ、CKPH = 0) / 簡易 SPI タイミング (スレーブ、CKPH = 1)

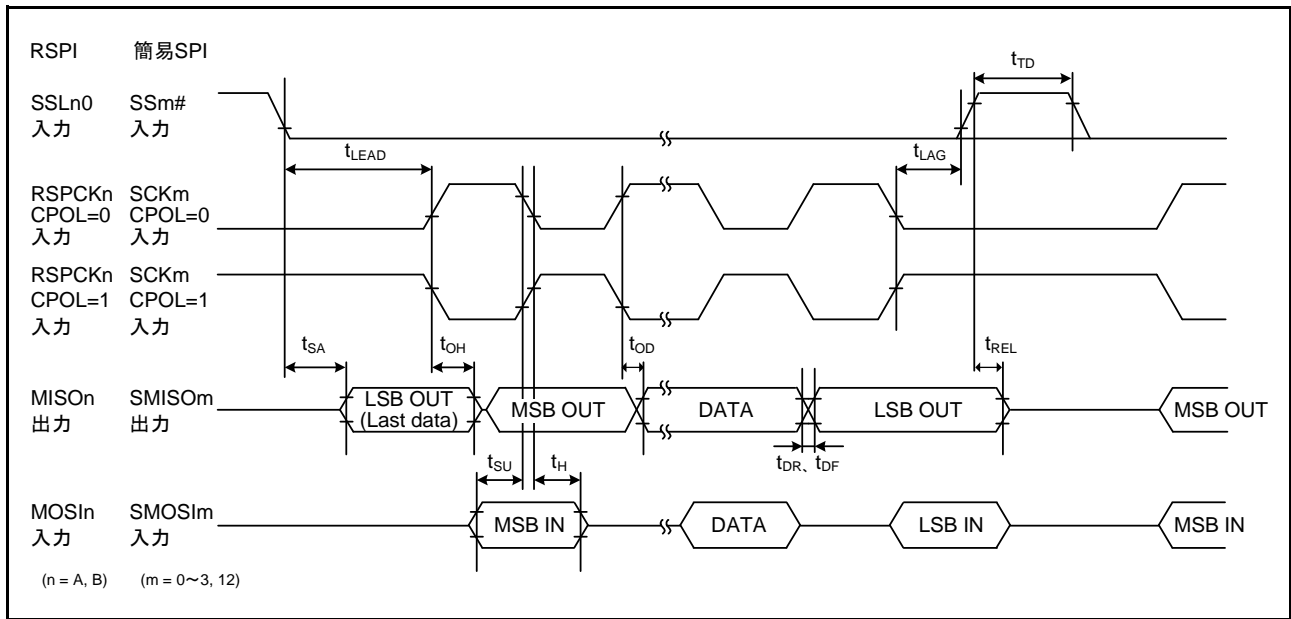


図 5.35 RSPI タイミング (スレーブ、CPHA = 1) / 簡易 SPI タイミング (スレーブ、CKPH = 0)

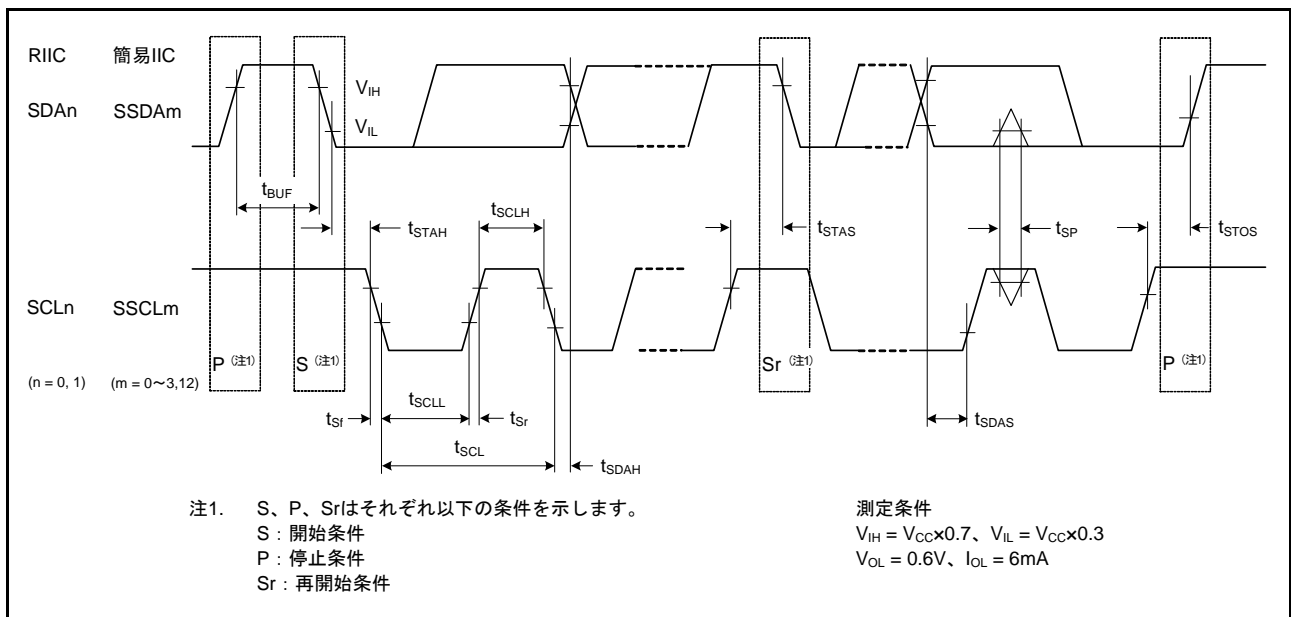


図 5.36 RIIC バスインタフェース入出力タイミング / 簡易 IIC バスインタフェース入出力タイミング

### 5.4 USB 特性

表5.18 内蔵USBフルスピード 特性 (DP、DM端子特性)

(注) 表中に条件の記載がない項目の規格値は条件 1 ~ 3 で共通です。

条件 1 : VCC = PLLVCC = VCC\_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

条件 2 : VCC = PLLVCC = VCC\_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

条件 3 : VCC = PLLVCC = 4.0 ~ 5.5V、VCC\_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

T<sub>a</sub> = T<sub>opr</sub> T<sub>a</sub> は条件 1 ~ 3 で共通です。

項目		記号	min	max	単位	測定条件	
入力特性	入力 High レベル電圧	V <sub>IH</sub>	2.0	—	V	図 5.37 図 5.38	
	入力 Low レベル電圧	V <sub>IL</sub>	—	0.8	V		
	差動入力感度	V <sub>DI</sub>	0.2	—	V		DP - DM
	差動共通モードレンジ	V <sub>CM</sub>	0.8	2.5	V		
出力特性	出力 High レベル電圧	V <sub>OH</sub>	2.8	3.6	V	I <sub>OH</sub> = -200μA	
	出力 Low レベル電圧	V <sub>OL</sub>	0.0	0.3	V	I <sub>OL</sub> = 2mA	
	クロスオーバー電圧	V <sub>CRS</sub>	1.3	2.0	V		
	立ち上がり時間	t <sub>Lr</sub>	4	20	ns		
	立ち下がり時間	t <sub>Lf</sub>	4	20	ns		
	立ち上がり/立ち下がり時間比	t <sub>Lr</sub> /t <sub>Lf</sub>	90	111.11	%	t <sub>Lr</sub> /t <sub>Lf</sub>	
	出力抵抗	Z <sub>DRV</sub>	28	44	Ω	Rs=24Ω 含む	

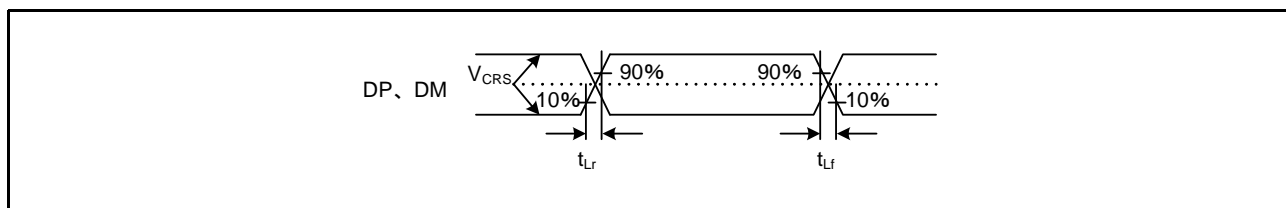


図 5.37 DP、DM 出カタイミング (フルスピード時)

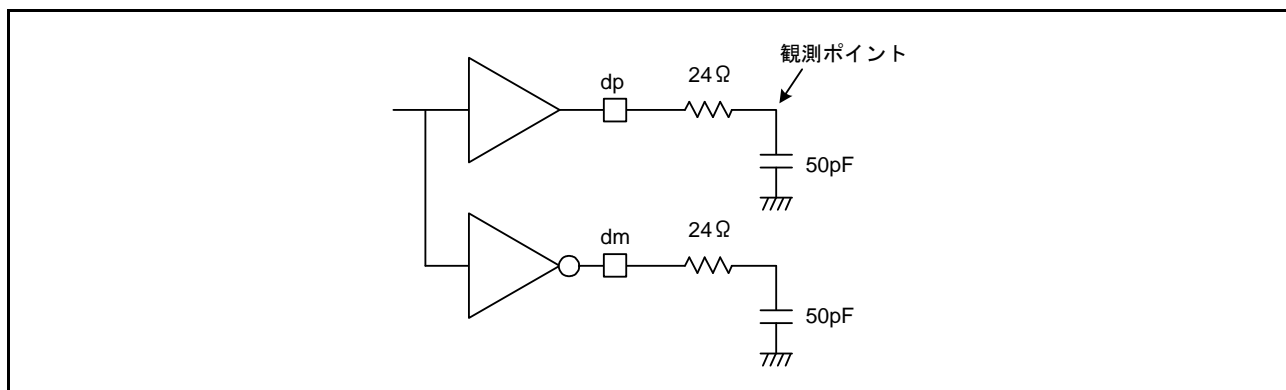


図 5.38 測定回路 (フルスピード時)

## 5.5 A/D 変換特性

表5.19 10ビットA/D変換特性 (1)

(注) 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

条件2: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

条件3: VCC = PLLVCC = 4.0 ~ 5.5V、VCC\_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

$T_a = T_{opr}$   $T_a$ は条件1～3で共通です。

項目			min	typ	max	単位	測定条件
分解能			10	10	10	ビット	
変換時間 (注1) (ADCLK= 100MHz時)	外付けコンデン サ0.1μFあり	AN0～AN7	0.5	—	—	μs	サンプリング 25ステート
		上記以外のCH	0.75	—	—	μs	サンプリング 50ステート
	外付けコンデン サなし 許容信号源イン ピーダンス max=1kΩ	AN0～AN7	0.6	—	—	μs	サンプリング 35ステート
		上記以外のCH	0.75	—	—	μs	サンプリング 50ステート
アナログ入力容量			—	—	6	pF	
非直線性誤差			—	—	±3.0	LSB	
オフセット誤差			—	—	±2.0	LSB	
フルスケール誤差			—	—	±3.0	LSB	
量子化誤差			—	±0.5	—	LSB	
絶対精度			—	—	±6.0	LSB	

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表5.20 10ビットA/D変換特性 (2)

(注) 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

条件2: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

条件3: VCC = PLLVCC = 4.0 ~ 5.5V、VCC\_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

$T_a = T_{opr}$   $T_a$ は条件1～3で共通です。

項目			min	typ	max	単位	測定条件
分解能			10	10	10	ビット	
変換時間 (注1) (ADCLK= 50MHz時)	外付けコンデン サなし 許容信号源イン ピーダンス max=1kΩ	AN0～AN7	0.8	—	—	μs	サンプリング 15ステート
		上記以外のCH	1.0	—	—	μs	サンプリング 25ステート
アナログ入力容量			—	—	6	pF	
非直線性誤差			—	—	±2.0	LSB	
オフセット誤差			—	—	±2.0	LSB	
フルスケール誤差			—	—	±3.0	LSB	
量子化誤差			—	±0.5	—	LSB	
絶対精度			—	—	±4.0	LSB	

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表5.21 12ビットA/D変換特性(1)

条件1:  $VCC = PLLVCC = VCC\_USB = 2.7 \sim 3.6V$ 、 $VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V$   
 $AVCC0 = AVCC = VREF = 3.0 \sim 3.6V$ 、 $VREFH0 = 3.0V \sim AVCC0$   
 $T_a = T_{opr}$

項目		min	typ	max	単位	測定条件
分解能		12	12	12	ビット	
変換時間(注1) (ADCLK=25MHz時)	外付けコンデンサなし 許容信号源インピーダンス max=1k $\Omega$	2.0	—	—	$\mu s$	サンプリング 20ステート
アナログ入力容量		—	—	8	pF	
サンプル&ホールド回路使用	非直線性誤差	—	—	$\pm 4.0$	LSB	$AV_{in} = 0.25 \sim$ $AV_{REFH} - 0.25$
	オフセット誤差	—	—	$\pm 4.0$	LSB	
	フルスケール誤差	—	—	$\pm 4.0$	LSB	
	量子化誤差	—	$\pm 0.5$	—	LSB	
	絶対精度	—	—	$\pm 8.0$	LSB	
サンプル&ホールド回路未使用	非直線性誤差	—	—	$\pm 3.0$	LSB	$AV_{in} = AV_{REFL}$ $\sim AV_{REFH}$
	オフセット誤差	—	—	$\pm 3.0$	LSB	
	フルスケール誤差	—	—	$\pm 3.0$	LSB	
	量子化誤差	—	$\pm 0.5$	—	LSB	
	絶対精度	—	—	$\pm 6.0$	LSB	

注1. 変換時間はサンプリング時間と比例時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表5.22 12ビットA/D変換特性(2)

(注) 表中に条件の記載がない項目の規格値は条件1、2で共通です。

条件1:  $VCC = PLLVCC = VCC\_USB = 2.7 \sim 3.6V$ 、 $VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V$   
 $AVCC0 = AVCC = VREF = 4.0 \sim 5.5V$ 、 $VREFH0 = 4.0V \sim AVCC0$

条件2:  $VCC = PLLVCC = 4.0 \sim 5.5V$ 、 $VCC\_USB = 3.0 \sim 3.6V$ 、 $VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V$   
 $AVCC0 = AVCC = VREF = 4.0 \sim 5.5V$ 、 $VREFH0 = 4.0V \sim AVCC0$   
 $T_a = T_{opr}$   $T_a$ は条件2、3で共通です。

項目		min	typ	max	単位	測定条件
分解能		12	12	12	ビット	
変換時間(注1) (ADクロック=50MHz時)	外付けコンデンサなし 許容信号源インピーダンス max=1k $\Omega$	1.0	—	—	$\mu s$	サンプリング 20ステート
アナログ入力容量		—	—	8	pF	
サンプル&ホールド回路使用	非直線性誤差	—	—	$\pm 6.0$	LSB	$AV_{in} = 0.25 \sim$ $AV_{REFH} - 0.25$
	オフセット誤差	—	—	$\pm 6.0$	LSB	
	フルスケール誤差	—	—	$\pm 6.0$	LSB	
	量子化誤差	—	$\pm 0.5$	—	LSB	
	絶対精度	—	—	$\pm 8.0$	LSB	
サンプル&ホールド回路未使用	非直線性誤差	—	—	$\pm 3.0$	LSB	$AV_{in} = AV_{REFL}$ $\sim AV_{REFH}$
	オフセット誤差	—	—	$\pm 3.0$	LSB	
	フルスケール誤差	—	—	$\pm 3.0$	LSB	
	量子化誤差	—	$\pm 0.5$	—	LSB	
	絶対精度	—	—	$\pm 6.0$	LSB	

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表5.23 プログラマブルゲインアンプ特性

(注) 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V, VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V, VREFH0 = 3.0V ~ AVCC0

条件2: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V, VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0

条件3: VCC = PLLVCC = 4.0 ~ 5.5V, VCC\_USB = 3.0 ~ 3.6V, VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0

T<sub>a</sub> = T<sub>opr</sub> T<sub>a</sub>は条件1～3で共通です。

項目	記号	min	typ	max	単位	測定条件
アナログ入力容量	C <sub>in</sub>	—	—	8	pF	
入力オフセット電圧	V <sub>off</sub>	—	—	8	mV	
入力電圧範囲 (V <sub>in</sub> )	ゲイン × 2.000	0.050 × AV <sub>cc</sub>	—	0.450 × AV <sub>cc</sub>	V	
	ゲイン × 2.500	0.047 × AV <sub>cc</sub>		0.360 × AV <sub>cc</sub>		
	ゲイン × 3.077	0.045 × AV <sub>cc</sub>		0.292 × AV <sub>cc</sub>		
	ゲイン × 3.636	0.042 × AV <sub>cc</sub>		0.247 × AV <sub>cc</sub>		
	ゲイン × 4.000	0.040 × AV <sub>cc</sub>		0.212 × AV <sub>cc</sub>		
	ゲイン × 4.444	0.036 × AV <sub>cc</sub>		0.191 × AV <sub>cc</sub>		
	ゲイン × 5.000	0.033 × AV <sub>cc</sub>		0.170 × AV <sub>cc</sub>		
	ゲイン × 5.714	0.031 × AV <sub>cc</sub>		0.148 × AV <sub>cc</sub>		
	ゲイン × 6.667	0.029 × AV <sub>cc</sub>		0.127 × AV <sub>cc</sub>		
	ゲイン × 10.000	0.025 × AV <sub>cc</sub>		0.08 × AV <sub>cc</sub>		
ゲイン × 13.333	0.023 × AV <sub>cc</sub>	—	0.06 × AV <sub>cc</sub>			
スルーレート	SR	10	—	—	V/μs	
ゲイン誤差	ゲイン × 2.000	—	—	1	%	
	ゲイン × 2.500	—	—	1		
	ゲイン × 3.077	—	—	1		
	ゲイン × 3.636	—	—	1.5		
	ゲイン × 4.000	—	—	1.5		
	ゲイン × 4.444	—	—	2		
	ゲイン × 5.000	—	—	2		
	ゲイン × 5.714	—	—	2		
	ゲイン × 6.667	—	—	3		
	ゲイン × 10.000	—	—	4		
ゲイン × 13.333	—	—	4			



表5.24 コンパレータ特性

(注) 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1:  $VCC = PLLVCC = VCC\_USB = 2.7 \sim 3.6V$ 、 $VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V$   
 $AVCC0 = AVCC = VREF = 3.0 \sim 3.6V$ 、 $VREFH0 = 3.0V \sim AVCC0$

条件2:  $VCC = PLLVCC = VCC\_USB = 2.7 \sim 3.6V$ 、 $VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V$   
 $AVCC0 = AVCC = VREF = 4.0 \sim 5.5V$ 、 $VREFH0 = 4.0V \sim AVCC0$

条件3:  $VCC = PLLVCC = 4.0 \sim 5.5V$ 、 $VCC\_USB = 3.0 \sim 3.6V$ 、 $VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V$   
 $AVCC0 = AVCC = VREF = 4.0 \sim 5.5V$ 、 $VREFH0 = 4.0V \sim AVCC0$

$T_a = T_{opr}$   $T_a$  は条件1～3で共通です。

項目	記号	min	typ	max	単位	測定条件
アナログ入力容量	$C_{in}$	—	—	8	pF	
REFH端子オフセット電圧	$V_{off}$	—	—	5	mV	
REFL端子オフセット電圧		—	—	5	mV	
REFH入力電圧範囲	$V_{in}$	1.7	—	$AV_{cc} - 0.3$	V	
REFL入力電圧範囲		0.3	—	$AV_{cc} - 1.7$	V	
REFH応答時間	$t_{CR}$	—	—	500	ns	VI=VREF± 25mV
REFL応答時間	$t_{CF}$	—	-	500	ns	

## 5.6 D/A 変換特性

表5.25 D/A変換特性

(注) 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

条件2: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

条件3: VCC = PLLVCC = 4.0 ~ 5.5V、VCC\_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

$T_a = T_{opr}$   $T_a$ は条件1～3で共通です。

項目	min	typ	max	単位	測定条件
分解能	10	10	10	ビット	
変換時間	—	—	3.0	μs	負荷容量20pF
絶対精度	—	±2.0	±4.0	LSB	負荷抵抗2MΩ
	—	—	±3.0	LSB	負荷抵抗4MΩ
	—	—	±2.0	LSB	負荷抵抗10MΩ
RO出力抵抗	—	3.6	—	kΩ	

## 5.7 パワーオンリセット回路・電圧検出回路特性

表5.26 パワーオンリセット回路・電圧検出回路特性 (1)

(注) 表中に条件の記載がない項目の規格値は条件 1、2 で共通です。

条件 1 : VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0、

条件 2 : VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

$T_a = T_{opr}$   $T_a$  は条件 1、2 で共通です。

項目		記号	min	typ	max	単位	測定条件
電圧検出レベル	パワーオンリセット(POR)	$V_{POR}$	2.46	2.58	2.7	V	図5.41
	電圧検出回路(LVD0)	$V_{DET0}$	2.7	2.82	2.94		図5.42
	電圧検出回路(LVD1) (注1)	$V_{DET1\_8}$	2.75	2.90	3.05		図5.43
		$V_{DET1\_9}$	2.70	2.85	3.00		
		$V_{DET1\_A}$	2.73	2.88	3.03		
	電圧検出回路(LVD2) (注2)	$V_{DET2\_8}$	2.75	2.9	3.05		図5.44
		$V_{DET2\_9}$	2.70	2.85	3.00		
$V_{DET2\_A}$		2.73	2.88	3.03			
内部リセット時間	パワーオンリセット(POR)	$t_{POR}$		9.7		ms	図5.41
	電圧検出回路(LVD0)	$t_{LVD0}$		9.7			図5.42
	電圧検出回路(LVD1)	$t_{LVD1}$		0.9			図5.43
	電圧検出回路(LVD2)	$t_{LVD2}$		0.9			図5.44
最小VCC低下時間 (注3)		$t_{VOFF}$	200	—	—	$\mu$ s	図5.41 ~ 図5.42
応答遅延時間		$t_{DET}$			200		
LVD動作安定時間 (LVD有効切り替え時)		$T_{d(E-A)}$			3	$\mu$ s	図5.41
ヒステリシス幅 (LVD1、LVD2)		$V_{LVH}$		80		mV	図5.44

注1. 記号 $V_{DET1\_#}$ の#は、LVDLVLR.LVD1LVL[3:0]ビット値です。

注2. 記号 $V_{DET2\_#}$ の#は、LVDLVLR.LVD2LVL[3:0]ビット値です。

注3. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベル $V_{POR}$ 、 $V_{DET1}$ 、 $V_{DET2}$ のmin値を下回っている時間です。

表5.27 パワーオンリセット回路・電圧検出回路特性 (2)

条件 : VCC = PLLVCC = 4.0 ~ 5.5V、VCC\_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
 AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0  
 $T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
電圧検出レベル	パワーオンリセット(POR)	$V_{POR}$	3.6	3.8	4.0	V	図5.41
	電圧検出回路(LVD0)	$V_{DET0}$	4.0	4.2	4.4		図5.42
	電圧検出回路(LVD1) (注1)	$V_{DET1\_8}$	4.59	4.77	4.95		図5.43
		$V_{DET1\_9}$	4.05	4.23	4.41		
		$V_{DET1\_A}$	4.32	4.50	4.68		
	電圧検出回路(LVD2) (注2)	$V_{DET2\_8}$	4.59	4.77	4.95		図5.44
		$V_{DET2\_9}$	4.05	4.23	4.41		
$V_{DET2\_A}$		4.32	4.50	4.68			
内部リセット時間	パワーオンリセット(POR)	$t_{POR}$		9.7		ms	図5.41
	電圧検出回路(LVD0)	$t_{LVD0}$		9.7			図5.42
	電圧検出回路(LVD1)	$t_{LVD1}$		0.9			図5.43
	電圧検出回路(LVD2)	$t_{LVD2}$		0.9			図5.44
最小VCC低下時間 (注3)		$t_{VOFF}$	200	—	—	$\mu s$	図5.41 ~ 図5.44
応答遅延時間		$t_{DET}$			200	$\mu s$	
LVD動作安定時間 (LVD有効切り替え時)		$T_{d(E-A)}$			3	$\mu s$	図5.41
ヒステリシス幅 (LVD1、LVD2)		$V_{LVH}$		80		mV	図5.44

注1. 記号 $V_{DET1\_#}$ の#は、LVDLVLRLVD1LVL[3:0]ビット値です。

注2. 記号 $V_{DET2\_#}$ の#は、LVDLVLRLVD2LVL[3:0]ビット値です。

注3. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベル $V_{POR}$ 、 $V_{DET1}$ 、 $V_{DET2}$ のmin値を下回っている時間です。

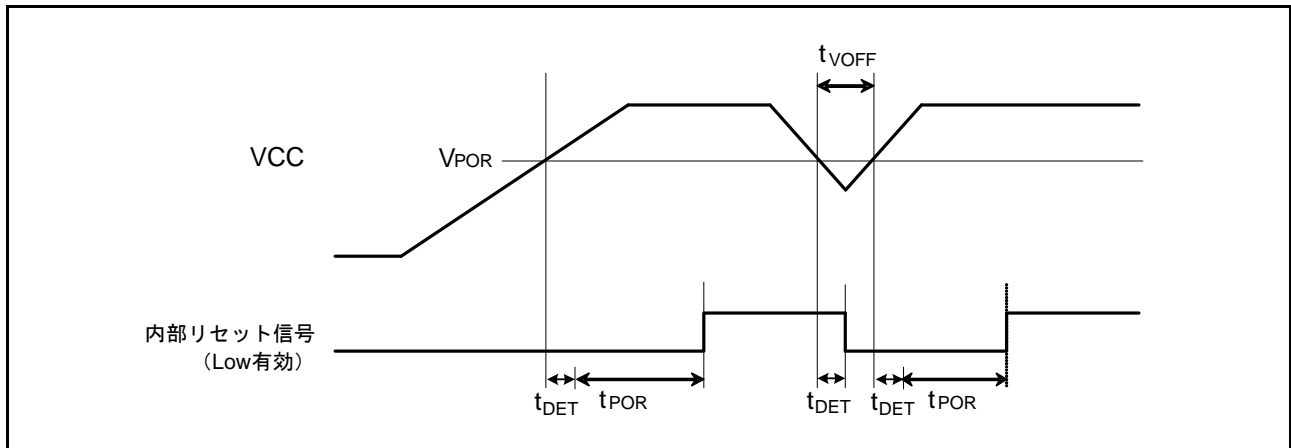


図 5.39 パワーオンリセットタイミング

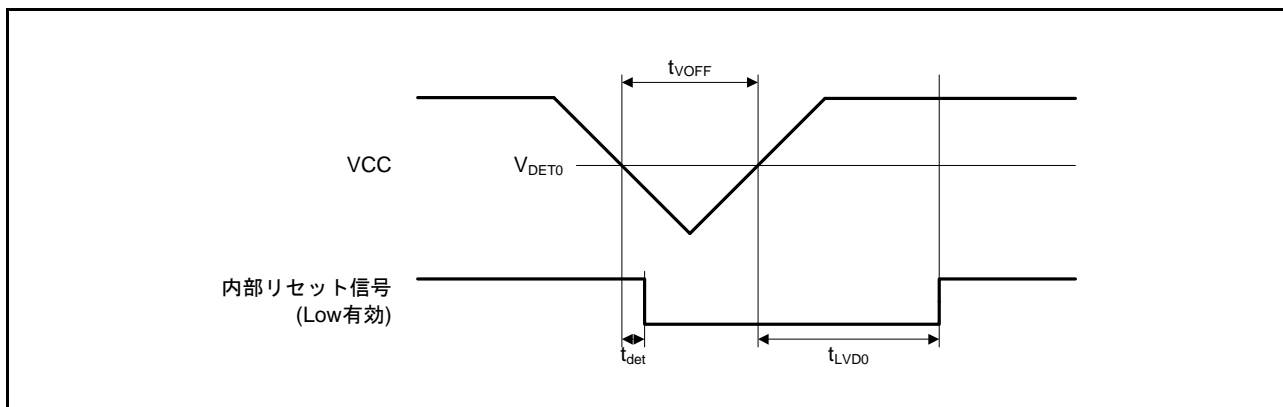


図 5.40 電圧検出回路タイミング (V<sub>DET0</sub>)

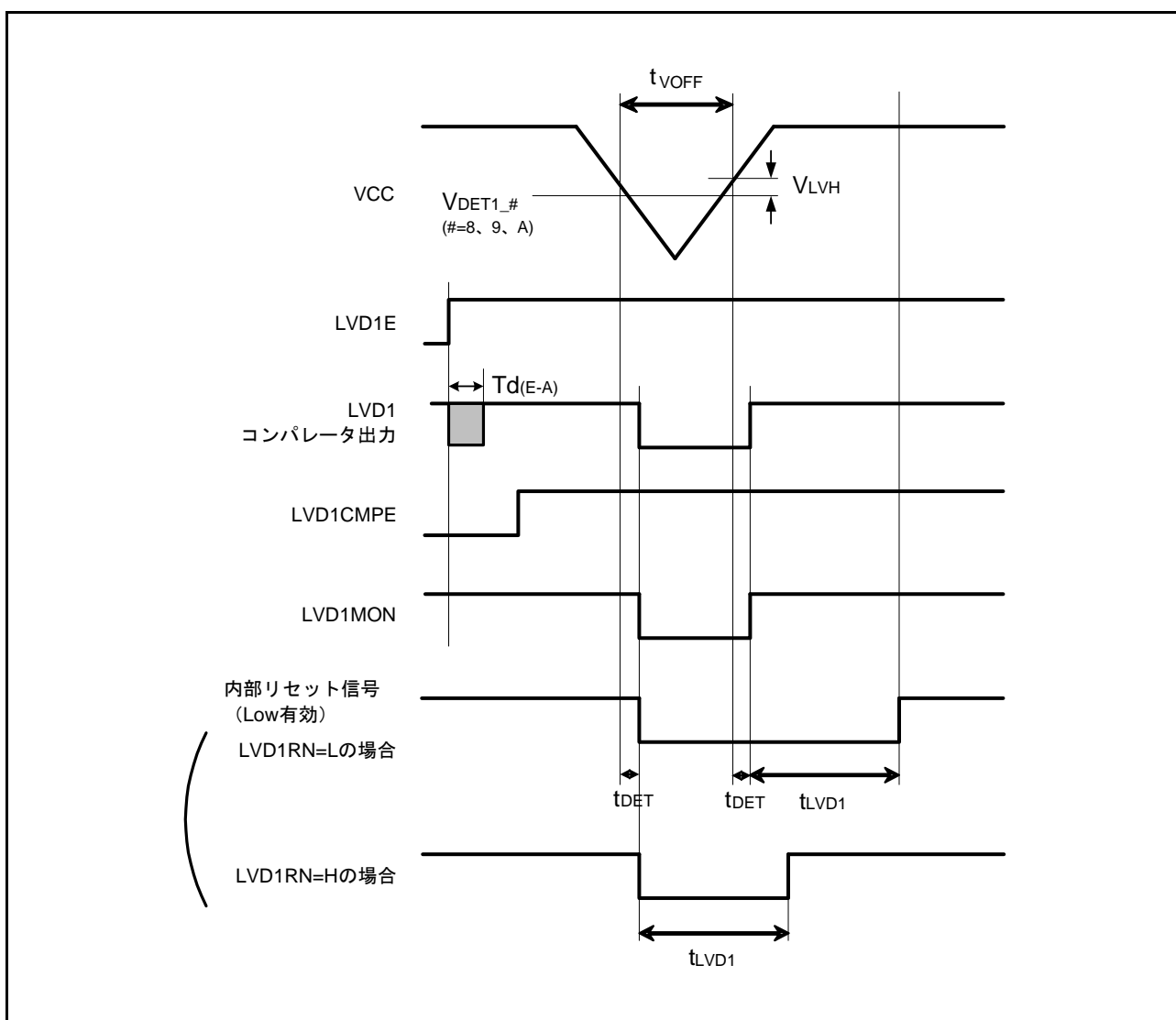


図 5.41 電圧検出回路タイミング (V<sub>DET1</sub>)

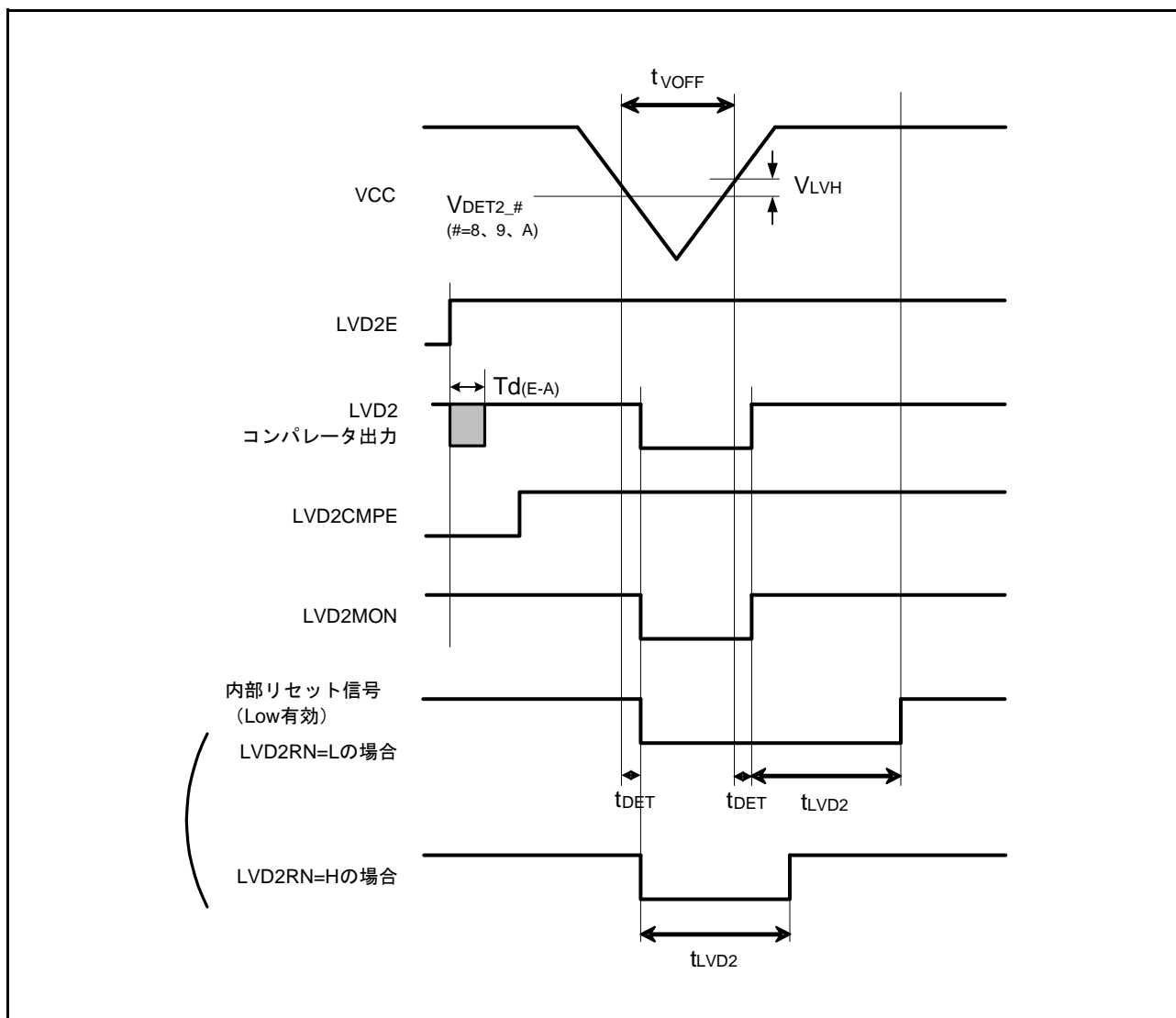


図 5.42 電圧検出回路タイミング (VDET2)

## 5.8 発振停止検出回路特性

表5.28 発振停止検出回路特性

(注) 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

条件2: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

条件3: VCC = PLLVCC = 4.0 ~ 5.5V、VCC\_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

$T_a = T_{opr}$   $T_a$ は条件1～3で共通です。

項目	記号	min	typ	max	単位	測定条件
検出時間	$t_{dr}$	—	—	1.0	ms	図5.43

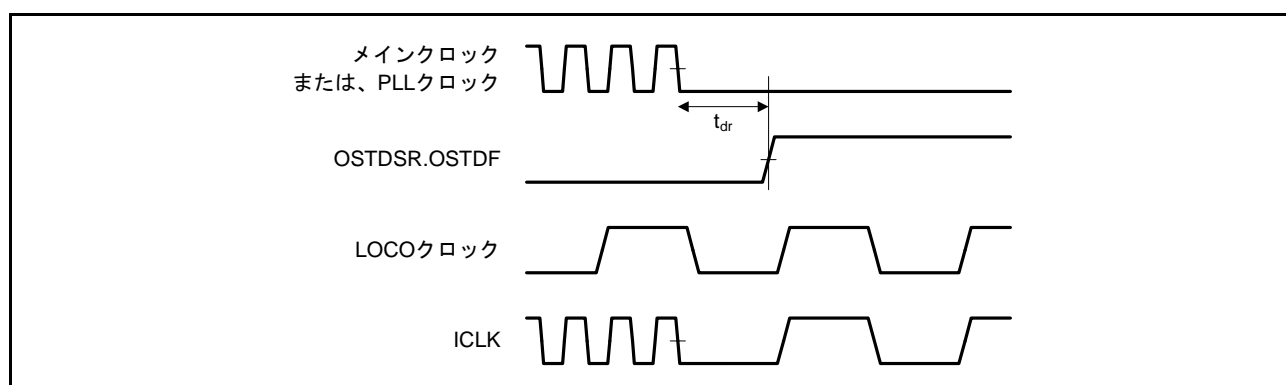


図 5.43 発振停止検出タイミング

### 5.9 ROM（コード格納用フラッシュメモリ）特性

表5.29 ROM（コード格納用フラッシュメモリ）特性（1）

条件1：VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

条件2：VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

条件3：VCC = PLLVCC = 4.0 ~ 5.5V、VCC\_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

プログラム/イレーズ時の動作温度範囲：T<sub>a</sub> = T<sub>opr</sub> T<sub>a</sub>は条件1 ~ 3で共通です。

項目	記号	min	typ	max	単位	測定条件
再プログラム/イレーズサイクル (注1)	N <sub>pec</sub>	1000	—	—	回	
データ保持期間	t <sub>DRP</sub>	30 (注2)	—	—	年	T <sub>a</sub> = +85°C

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回(n=1000)の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、2Kバイトのブロックについて、それぞれ異なる番地に128バイト書き込みを16回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)。

注2. 信頼性試験から得られた結果です。

表5.30 ROM（コード格納用フラッシュメモリ）特性（2）

(注) 表中に条件の記載がない項目の規格値は条件1 ~ 3で共通です。

条件1：VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

条件2：VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

条件3：VCC = PLLVCC = 4.0 ~ 5.5V、VCC\_USB = 3.0 ~ 3.6V、VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0

プログラム/イレーズ時の動作温度範囲：T<sub>a</sub> = T<sub>opr</sub> T<sub>a</sub>は条件1 ~ 3で共通です。

項目	記号	FCLK=4MHz			20MHz ≤ FCLK ≤ 50MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間 N <sub>PEC</sub> ≤ 100回のとき	128バイト	t <sub>P128</sub>	—	2.8	28	—	1	10	ms
	4Kバイト	t <sub>P4K</sub>	—	63	140	—	23	50	ms
	16Kバイト	t <sub>P16K</sub>	—	252	560	—	90	200	ms
プログラム時間 N <sub>PEC</sub> > 100回のとき	128バイト	t <sub>P128</sub>	—	3.4	33.6	—	1.2	12	ms
	4Kバイト	t <sub>P4K</sub>	—	75.6	168	—	27.6	60	ms
	16Kバイト	t <sub>P16K</sub>	—	302.4	672	—	108	240	ms
イレーズ時間 N <sub>PEC</sub> ≤ 100回のとき	4Kバイト	t <sub>E4K</sub>	—	50	120	—	25	60	ms
	16Kバイト	t <sub>E16K</sub>	—	200	480	—	100	240	ms
イレーズ時間 N <sub>PEC</sub> > 100回のとき	4Kバイト	t <sub>E4K</sub>	—	60	144	—	30	72	ms
	16Kバイト	t <sub>E16K</sub>	—	240	576	—	120	288	ms
プログラム中のサスペンド遅延時間	t <sub>SPD</sub>	—	—	400	—	—	120	μs	
イレーズ中の1回目のサスペンド 遅延時間（サスペンド優先モード時）	t <sub>SESD1</sub>	—	—	300	—	—	120	μs	
イレーズ中の2回目のサスペンド 遅延時間（サスペンド優先モード時）	t <sub>SESD2</sub>	—	—	1.7	—	—	1.7	ms	
イレーズ中のサスペンド遅延時間 （イレーズ優先モード時）	t <sub>SEED</sub>	—	—	1.7	—	—	1.7	ms	
FCUリセット時間	t <sub>FCUR</sub>	35	—	—	35	—	—	μs	



## 5.10 E2フラッシュ特性

表5.31 E2データフラッシュ特性 (1)

条件1: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V, VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V, VREFH0 = 3.0V ~ AVCC0

条件2: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V, VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0

条件3: VCC = PLLVCC = 4.0 ~ 5.5V, VCC\_USB = 3.0 ~ 3.6V, VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0

プログラム/イレーズ時の動作温度範囲:  $T_a = T_{opr}$   $T_a$  は条件1~3で共通です。

項目	記号	min	typ	max	単位	測定条件
再プログラム/イレーズサイクル (注1)	$N_{DPEC}$	100000	—	—	回	
データ保持期間	$t_{DDRP}$	30 (注2)	—	—	年	$T_a = +85^\circ\text{C}$

注1. 再プログラム/イレーズサイクルの定義: 再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回( $n=100000$ )の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、128バイトのブロックについて、それぞれ異なる番地に8バイト書き込みを16回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)。

注2. 信頼性試験から得られた結果です。

表5.32 E2データフラッシュ特性 (2)

(注) 表中に条件の記載がない項目の規格値は条件1~3で共通です。

条件1: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V, VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 3.0 ~ 3.6V, VREFH0 = 3.0V ~ AVCC0

条件2: VCC = PLLVCC = VCC\_USB = 2.7 ~ 3.6V, VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0

条件3: VCC = PLLVCC = 4.0 ~ 5.5V, VCC\_USB = 3.0 ~ 3.6V, VSS = PLLVSS = VSS\_USB = AVSS0 = AVSS = VREFL0 = 0V  
AVCC0 = AVCC = VREF = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0

プログラム/イレーズ時の動作温度範囲:  $T_a = T_{opr}$   $T_a$  は条件1~3で共通です。

項目	記号	FCLK=4MHz			20MHz ≤ FCLK ≤ 50MHz			単位
		min	typ	max	min	typ	max	
プログラム時間 $N_{DPEC} \leq 100$ 回のとき	2バイト $t_{DP2}$	—	0.7	6	—	0.25	2	ms
プログラム時間 $N_{DPEC} > 100$ 回のとき	2バイト $t_{DP2}$	—	0.7	6	—	0.25	2	ms
イレーズ時間 $N_{DPEC} \leq 100$ 回のとき	32バイト $t_{DE32}$	—	4	40	—	2	20	ms
イレーズ時間 $N_{DPEC} > 100$ 回のとき	32バイト $t_{DE32}$	—	7	40	—	4	20	ms
ブランクチェック時間	2バイト $t_{DBC2}$	—	—	100	—	—	30	μs
プログラム中のサスペンド遅延時間	$t_{DSPD}$	—	—	250	—	—	120	μs
イレーズ中の1回目のサスペンド 遅延時間 (サスペンド優先モード時)	$t_{DSESD1}$	—	—	250	—	—	120	μs
イレーズ中の2回目のサスペンド 遅延時間 (サスペンド優先モード時)	$t_{DSESD2}$	—	—	500	—	—	300	μs
イレーズ中のサスペンド遅延時間 (イレーズ優先モード時)	$t_{DSEED}$	—	—	500	—	—	300	μs

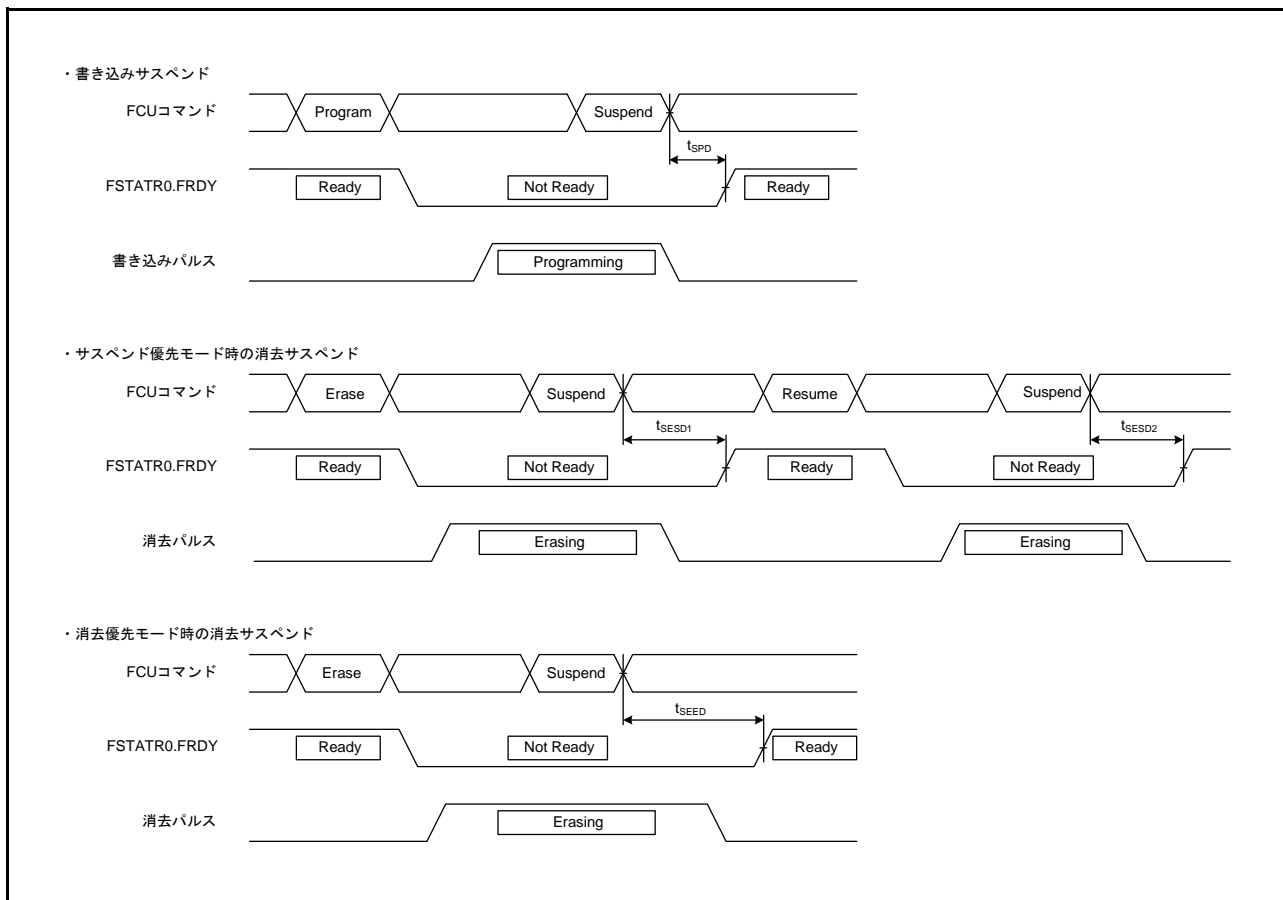


図 5.44 フラッシュメモリプログラム/イレーズサスペンドタイミング

## 6. 電気的特性【64/48ピン版】

### 6.1 絶対最大定格

表6.1 絶対最大定格

項目	記号	定格値	単位	
電源電圧	VCC	-0.3~+4.6	V	
入力電圧 (5Vトレラント対応ポート (注1)、及びポート4以外)	Vin	-0.3~VCC+0.3	V	
入力電圧 (ポート4)	Vin	-0.3~AVCC0+0.3	V	
入力電圧 (5Vトレラント対応ポート (注1))	Vin	-0.3~+5.8	V	
アナログ電源電圧	AVCC0 (注2)	-0.3~+4.6	V	
リファレンス電源電圧	VREFH0 (注2)	-0.3~AVCC0+0.3	V	
アナログ入力電圧 (ポート4)	V <sub>AN</sub>	-0.3~AVCC0+0.3	V	
動作温度	Dバージョン品	Topr	-40~+85	°C
	Gバージョン品	Topr	-40~+105	°C
保存温度	Tstg	-55~+125	°C	

【使用上の注意】絶対最大定格を超えてLSIを使用した場合、LSIの永久破壊となることがあります。

注1. ポート0、ポート1、ポート2、ポート3、ポート7、ポート9、ポートA、ポートB、ポートDは、5Vトレラント対応です。

注2. A/Dコンバータ未使用時にAVCC0、VREFH0、VREFL0、AVSS0端子を開放しないでください。  
AVCC0、VREFH0端子はVCCに、AVSS0、VREFL0端子はVSSにそれぞれ接続してください。

## 6.2 DC 特性

表6.2 DC特性(1)

条件: VCC = 2.7 ~ 3.6V、VSS = AVSS0 = VREFL0 = 0V

AVCC0 = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

 $T_a = T_{opr}$ 

項目	記号	min	typ	max	単位	測定条件	
シュミットトリガ 入力電圧	IRQ 入力端子	$V_{IH}$	VCC×0.8	—	VCC + 0.3	V	
	MTU3 入力端子	$V_{IL}$	-0.3	—	VCC×0.2		
	POE3 入力端子	$\Delta V_T$	VCC×0.06	—	—		
	SCI 入力端子						
	A/D トリガ入力端子						
	GPT 入力端子						
	RES#, NMI						
	RIIC 入力端子 (IICBus動作時)	$V_{IH}$	VCC×0.7	—	5.8		
		$V_{IL}$	-0.3	—	VCC×0.3		
		$\Delta V_T$	VCC×0.05	—	—		
ポート4 (アナログ兼用ポート)	$V_{IH}$	AVCC0×0.8	—	AVCC0 + 0.3	V		
	$V_{IL}$	-0.3	—	AVCC0×0.2			
5Vトレラント対応ポート(注1)	$V_{IH}$	VCC×0.8	—	5.8	V		
	$V_{IL}$	-0.3	—	VCC×0.2			
入力Highレベル電圧 (シュミットトリガ 入力端子を除く)	MD端子、EMLE	$V_{IH}$	VCC×0.9	—	VCC + 0.3	V	
	EXTAL、TCK RSPI入力端子		VCC×0.8	—	VCC + 0.3		
	RIIC入力端子 (SMBus動作時)		2.1	—	VCC + 0.3		
入力Lowレベル電圧 (シュミットトリガ 入力端子を除く)	MD端子、EMLE	$V_{IL}$	-0.3	—	VCC×0.1	V	
	EXTAL、TCK RSPI入力端子		-0.3	—	VCC×0.2		
	RIIC入力端子 (SMBus動作時)		-0.3	—	0.8		
出力Highレベル電圧	全出力端子	$V_{OH}$	VCC - 0.5	—	—	V	$I_{OH} = -1mA$
出力Lowレベル電圧	全出力端子 (RIIC端子を除く)	$V_{OL}$	—	—	0.5	V	$I_{OL} = 1.0mA$
	RIIC端子		—	—	0.4		$I_{OL} = 3mA$
			—	—	0.6		$I_{OL} = 6mA$
入力リーク電流	RES#, MD端子、EMLE ポート4、ポートPE2	$ I_{in} $	—	—	1.0	$\mu A$	$V_{in} = 0V, V_{in} = VCC$
スリープステート リーク電流 (オフ状態)	5Vトレラント対応ポート	$ I_{TSI} $	—	—	5.0	$\mu A$	$V_{in} = 0V, V_{in} = 5.5V$
入力容量	全入力端子 (ポートPB1、PB2以外)	$C_{in}$	—	—	15	$pF$	$V_{in} = 0V,$ $f = 1MHz,$ $T_a = 25^\circ C$
	ポートPB1、PB2		—	—	30		

注1. ポート0、ポート1、ポート2、ポート3、ポート7、ポート9、ポートA、ポートB、ポートDは、5Vトレラント対応です。

表6.3 DC特性(2)

条件 : VCC = 2.7 ~ 3.6V、VSS = AVSS0 = VREFL0 = 0V

AVCC0 = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

 $T_a = T_{opr}$ 

項目		記号	min	typ	max	単位	測定条件	
消費電流 (注1)	動作時	最大動作時 (注2)	I <sub>CC</sub> (注3)	—	—	60	mA	ICLK=100MHz PCLKA=100MHz PCLKB=50MHz PCLKD=50MHz FCLK=50MHz
		通常動作時 (注4)		—	25	—		
		BGO動作 (注5) による増加分		—	15	—		
	スリープ時			—	25	35		
	全モジュールクロックストップ時 (注6)			—	14	25		
	スタンバイ時	ソフトウェアスタンバイ時		—	0.2	6		
		ディープソフトウェアスタンバイ時	—	16	40	μA		
アナログ電源電流	12ビット A/D 変換中 (サンプルホールド回路使用時)		AI <sub>CC0</sub>	—	3	4	mA	
	12ビット A/D 変換中 (サンプルホールド回路未使用時)			—	2	3	mA	
	ウィンドウコンパレータ (1ch動作時)			—	0.4	1	mA	
	ウィンドウコンパレータ (3ch動作時)			—	0.5	1	mA	
	12ビット A/D 変換待機時			—	25	32	μA	
リファレンス電源電流	12ビット A/D 変換中		AI <sub>REFH0</sub>	—	0.6	0.7	mA	
	12ビット A/D 変換待機時			—	0.6	0.7	mA	
VCC立ち上がり勾配		SrV <sub>CC</sub>	8.4	—	20000	ms/V		

注1. 消費電流値はすべての出力端子を無負荷状態にした場合の値です。

注2. 周辺機能はクロック供給状態。BGO動作は除きます。

注3. I<sub>CC</sub>は下記の式にしたがってf (ICLK) に依存します。(ICLK : PCLK=8 : 4)I<sub>CC</sub> max = 0.45 × f + 15 (最大動作時)I<sub>CC</sub> typ = 0.18 × f + 7 (通常動作時)I<sub>CC</sub> max = 0.22 × f + 13 (スリープ時)

注4. 周辺機能はクロック供給停止状態。BGO動作は除きます。

注5. プログラム実行中に、内蔵ROM、または内蔵データ格納用フラッシュにデータを書き込み/消去を実行した場合の増加分です。

注6. 周辺機能はクロック供給停止状態。BGO動作は除きます。

表6.4 出力許容電流値

条件 :  $V_{CC} = 2.7 \sim 3.6V$ 、 $V_{SS} = AVSS0 = VREFL0 = 0V$  $AVCC0 = 3.0 \sim 3.6V$ 、 $VREFH0 = 3.0V \sim AVCC0$  $T_a = T_{opr}$ 

項目	記号	min	typ	max	単位
出力Lowレベル許容電流 (1端子あたりの平均値)	$I_{OL}$	—	—	2.0 (注1)	mA
出力Lowレベル許容電流 (1端子あたりの最大値)	$I_{OL}$	—	—	4.0 (注1)	mA
出力Lowレベル許容電流 (総和)	$\Sigma I_{OL}$	—	—	32	mA
出力Highレベル許容電流 (1端子あたりの平均値)	$-I_{OH}$	—	—	2.0	mA
出力Highレベル許容電流 (1端子あたりの最大値)	$-I_{OH}$	—	—	4.0	mA
出力Highレベル許容電流 (総和)	$\Sigma -I_{OH}$	—	—	32	mA

注1. RIIC端子は $I_{OL} = 6mA$  (Max.)です。

【使用上の注意】LSIの信頼性を確保するため、出力電流値は表6.4の値を超えないようにしてください。

表6.5 許容消費電力 (Gバージョンのみ)

条件 :  $V_{CC} = 2.7 \sim 3.6V$ 、 $V_{SS} = AVSS0 = VREFL0 = 0V$  $AVCC0 = 3.0 \sim 3.6V$ 、 $VREFH0 = 3.0V \sim AVCC0$  $T_a = T_{opr}$ 

項目	記号	typ	max	単位	測定条件
許容総消費電力 (注1)	Pd	—	150	mW	$85^\circ C < T_a \leq 105^\circ C$ 64ピン版
	Pd	—	120	mW	$85^\circ C < T_a \leq 105^\circ C$ 48ピン版

注.  $T_a = +85^\circ C \sim +105^\circ C$ で使用する場合のデレーティングについては、当社営業および販売店営業へお問い合わせください。なお、デレーティングとは「信頼性を改善するために、計画的に負荷を定格値から軽減すること」です。

注1. チップ全体 (出力電流を含む) の総電力です。

## 6.3 AC 特性

表6.6 動作周波数値

条件：VCC = 2.7 ~ 3.6V、VSS = AVSS0 = VREFL0 = 0V  
 AVCC0 = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0  
 $T_a = T_{opr}$

項目		記号	min	typ	max	単位
動作周波数	システムクロック (ICLK)	f	—	—	100	MHz
	周辺モジュールクロック (PCLK)		—	—	50	
	タイマモジュールクロック (PCLKA)		—	—	100	
	S12AD用クロック (PCLKD)		—	—	50	
	FlashIFクロック (FCLK)		— (注1)	—	50	

注1. ROM、E2データフラッシュの書き換えを行う場合は、FCLKを4MHz以上としてください。

## 6.3.1 クロックタイミング

表6.7 クロックタイミング

条件：VCC = 2.7 ~ 3.6V、VSS = AVSS0 = VREFL0 = 0V  
 AVCC0 = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0  
 $T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
EXTAL外部クロック入力サイクル時間		$t_{EXCyc}$	50	—	250	ns	図6.1
EXTAL外部クロック入力パルス幅Lowレベル		$t_{EXL}$	20	—	—	ns	
EXTAL外部クロック入力パルス幅Highレベル		$t_{EXH}$	20	—	—	ns	
EXTAL外部クロック立ち上がり時間		$t_{EXr}$	—	—	5	ns	
EXTAL外部クロック立ち下がり時間		$t_{EXf}$	—	—	5	ns	
EXTAL外部クロック入力待機時間 (注1)		$t_{EXWT}$	1	—	—	ms	
メインクロック発振器発振周波数		$f_{MAIN}$	4	—	16	MHz	
メインクロック発振安定時間 (水晶)		$t_{MAINOSC}$	—	—	— (注2)	ms	図6.2
メインクロック発振安定待機時間 (水晶)		$t_{MAINOSCWT}$	—	—	— (注3)	ms	
LOCO、IWDTCCLKクロックサイクル時間		$t_{CYC}$	6.96	8	9.4	$\mu$ s	
LOCO、IWDTCCLKクロック発振周波数		$f_{LOCO}$	106.25	125	143.75	kHz	
LOCO、IWDTCCLKクロック発振安定待機時間		$t_{LOCOWT}$	—	—	20	$\mu$ s	図6.2
PLLクロック発振安定時間	メインクロック発振安定後にPLL動作開始	$t_{PLL1}$	—	—	500	$\mu$ s	図6.4
PLLクロック発振安定待機時間		$t_{PLLWT1}$	—	—	— (注4)	ms	
PLLクロック発振安定時間	メインクロック発振安定前にPLL動作開始	$t_{PLL2}$	—	—	$t_{MAINOSC}$ + $t_{PLL1}$	ms	図6.5
PLLクロック発振安定待機時間		$t_{PLLWT2}$	—	—	— (注4)	ms	

注1. メインクロック発振器停止ビット (MOSCCR.MOSTP) を“0” (動作) に設定してから、使用できるまでの時間です。

注2. メインクロックを使用する場合は、発振子メーカーに発振評価を依頼してください。発振安定時間については、発振子メーカーの評価結果を参照してください。

注3. MOSCWTCR.MSTS[4:0]ビットで選択したサイクル数をnとすると、以下の式で算出されます。

$$t_{MAINOSCWT} = t_{MAINOSC} + \frac{n + 16384}{f_{MAIN}}$$

注4. PLLWTCR.PSTS[4:0]ビットで選択したサイクル数をnとすると、以下の式で算出されます。

$$t_{PLLWT1} = t_{PLL1} + \frac{n + 131072}{f_{PLL}}$$

$$t_{PLLWT2} = t_{PLL2} + \frac{n + 131072}{f_{PLL}} = t_{MAINOSC} + t_{PLL1} + \frac{n + 131072}{f_{PLL}}$$

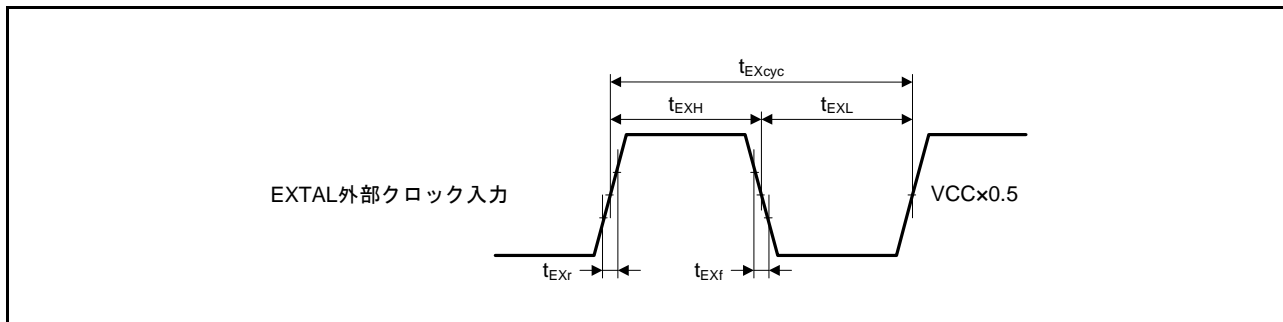


図 6.1 EXTAL 外部クロック入力タイミング

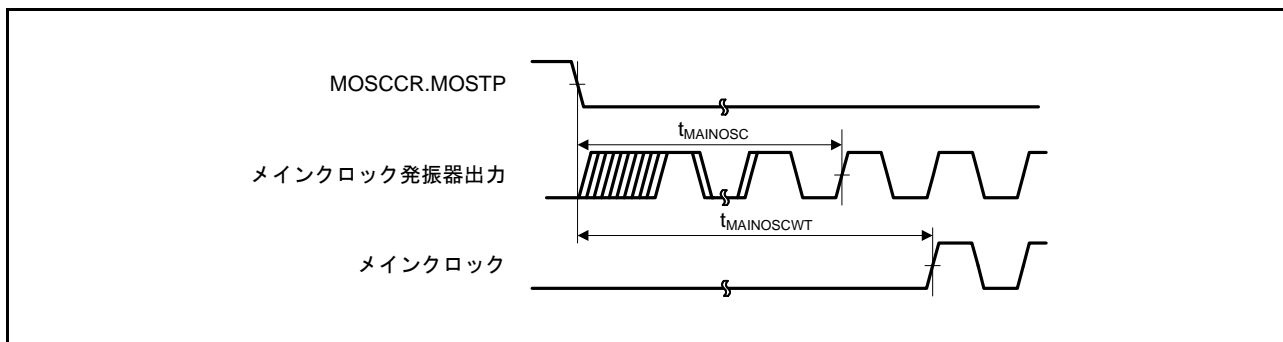


図 6.2 メインクロック発振開始タイミング

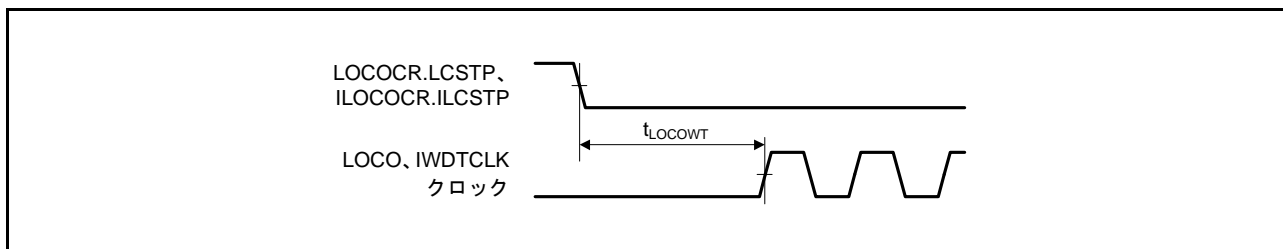


図 6.3 LOCO、IWDTCLK クロック発振開始タイミング



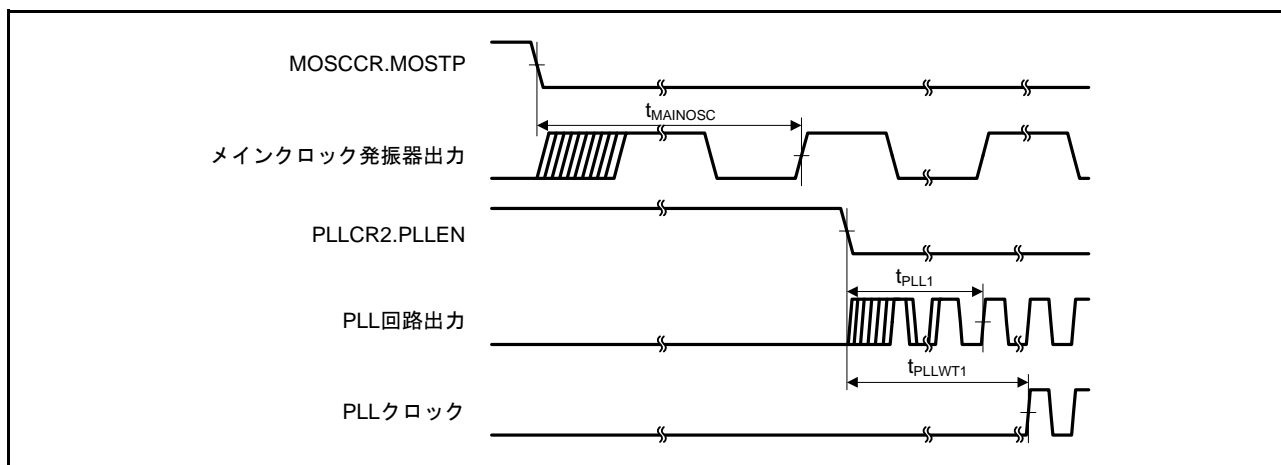


図 6.4 PLL クロック発振開始タイミング (メインクロック発振安定後に PLL を動作させたとき)

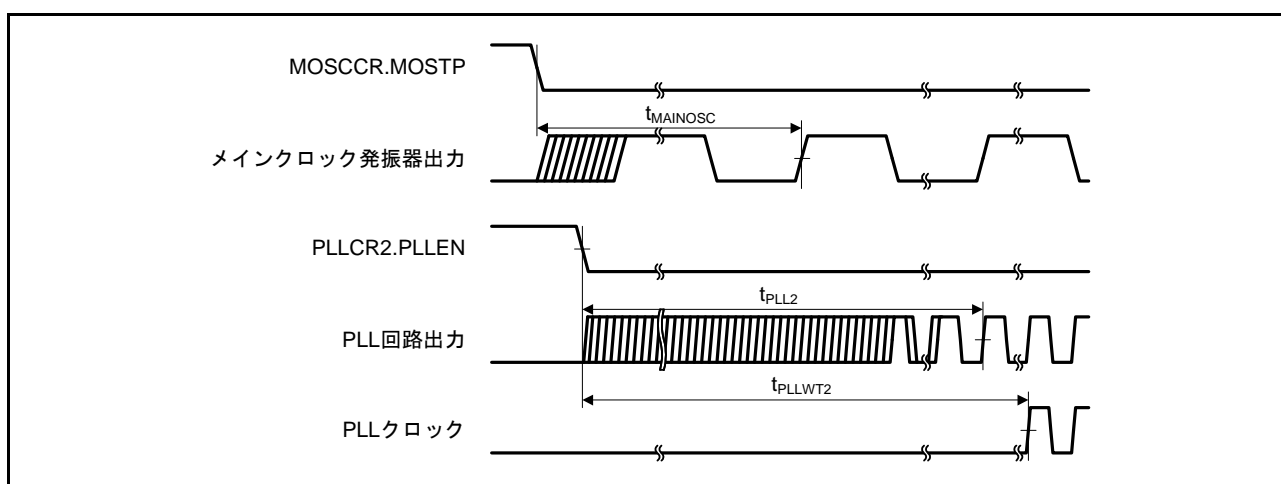


図 6.5 PLL クロック発振開始タイミング (メインクロック発振安定を待たずに PLL を動作させたとき)

### 6.3.2 リセットタイミング

表 6.8 リセットタイミング

条件 :  $V_{CC} = 2.7 \sim 3.6V$ 、 $V_{SS} = AV_{SS0} = V_{REFL0} = 0V$

$AV_{CC0} = 3.0 \sim 3.6V$ 、 $V_{REFH0} = 3.0V \sim AV_{CC0}$

$T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
RES#パルス幅	電源投入時	$t_{RESWP}$	2	—	—	ms	図 6.6
	ディープソフトウェアスタンバイモード	$t_{RESWD}$	1	—	—	ms	図 6.7
	ソフトウェアスタンバイモード	$t_{RESWS}$	1	—	—	ms	
	上記以外 (ROMプログラム/イレーズ、E2データフラッシュプログラム/イレーズ、E2データフラッシュブランクチェック中を除く)	$t_{RESWF}$	200	—	—	$\mu s$	
RES#解除後待機時間		$t_{RESWT}$	59	—	60	$t_{cyc}$	
内部リセット時間 (独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、ソフトウェアリセット)		$t_{RESW2}$	112	—	120	$t_{cyc}$	

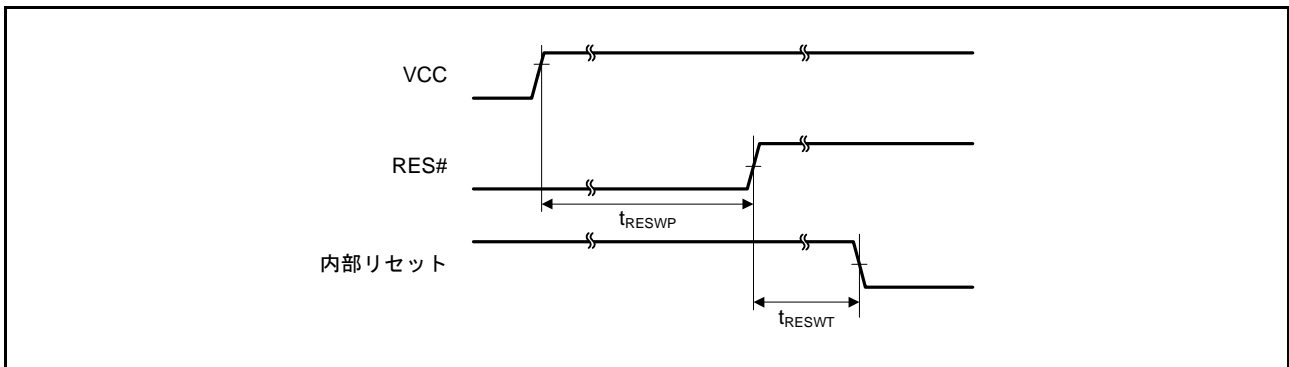


図 6.6 電源投入時リセット入カタイミング

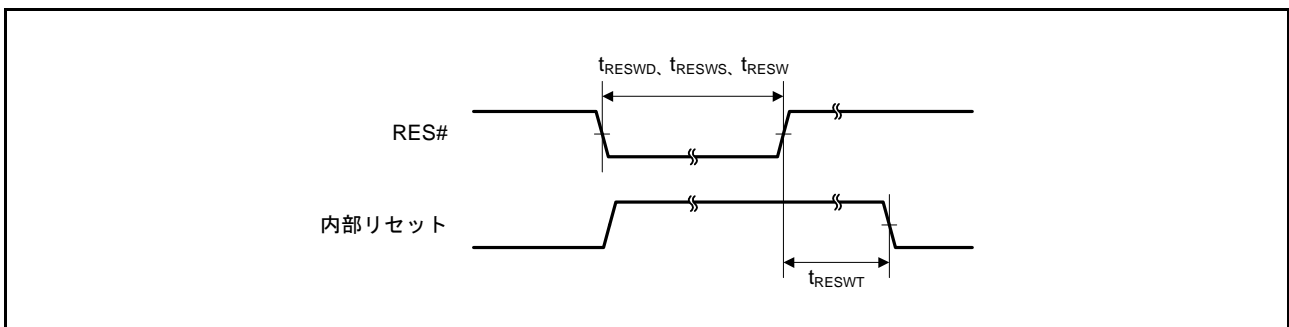


図 6.7 リセット入カタイミング

### 6.3.3 低消費電力状態からの復帰タイミング

表6.9 低消費電力状態からの復帰タイミング

条件：VCC = 2.7 ~ 3.6V、VSS = AVSS0 = VREFL0 = 0V  
 AVCC0 = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0  
 $T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件	
ソフトウェアスタンバイモード解除後復帰時間	メインクロック発振器に水晶振動子を接続	メインクロック発振器動作	$t_{SBYMC}$	10	—	—	ms	図 6.8
		メインクロック発振器、PLL回路動作	$t_{SBYPC}$	10	—	—	ms	
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作	$t_{SBYEX}$	1	—	—	ms	
		メインクロック発振器、PLL回路動作	$t_{SBYPE}$	1	—	—	ms	
	低速オンチップオシレータ、またはIWDWT専用低速クロック発振器	$t_{SBYLO}$	—	—	800	$\mu$ s		
ディープソフトウェアスタンバイモード解除後復帰時間		$t_{DSBY}$	—	—	1	ms	図 6.9	
ディープソフトウェアスタンバイモード解除後待機時間		$t_{DSBYWT}$	45	—	46	$t_{cyc}$		

注. WAIT命令実行時の各発振器の状態によって待ち時間が異なります。複数の発振器が動作している場合の復帰時間は、動作している発振器の中で復帰に最も時間がかかるものが単独で動作しているときと同じ時間になります。

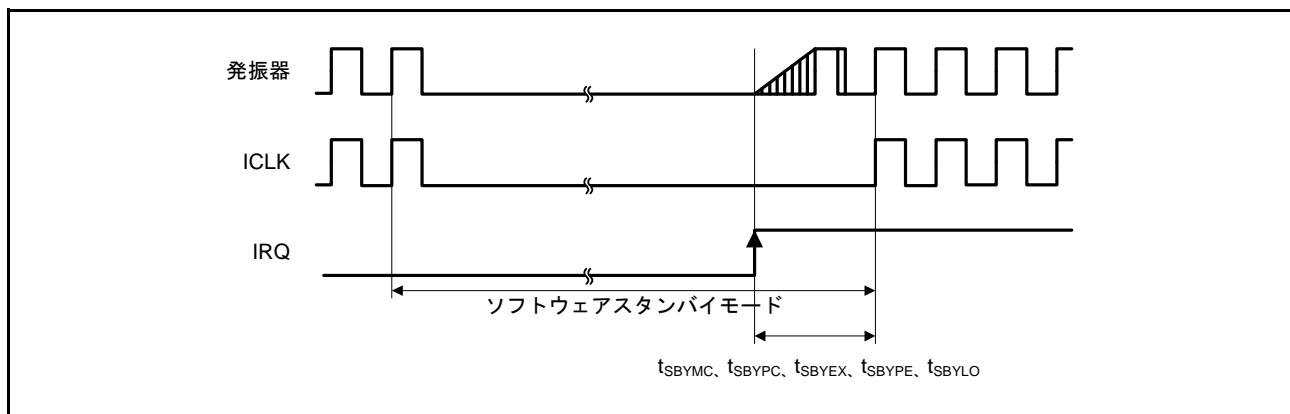


図 6.8 ソフトウェアスタンバイモード解除タイミング

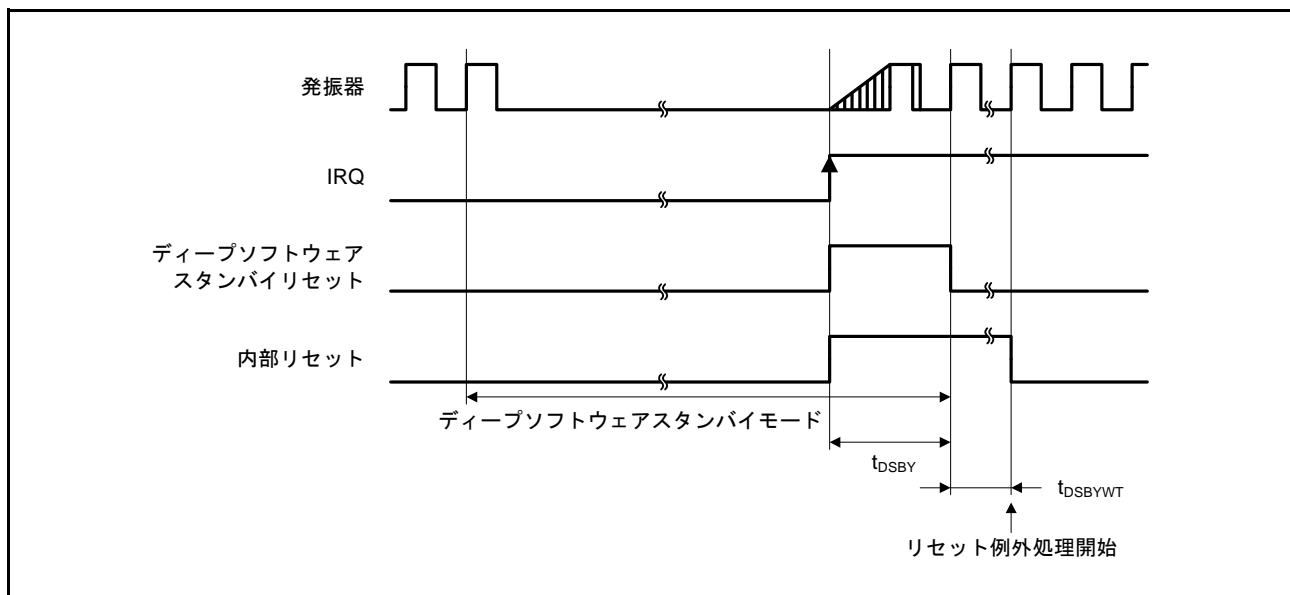


図 6.9 ディープソフトウェアスタンバイモード解除タイミング

### 6.3.4 制御信号タイミング

表6.10 制御信号タイミング

条件 : VCC = 2.7 ~ 3.6V、VSS = AVSS0 = VREFL0 = 0V  
 AVCC0 = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0  
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位 (注1)	測定条件
NMIパルス幅	$t_{NMIW}$	200	—	—	ns	$t_{Pcyc} \times 2 \leq 200ns$ 、図 6.10
		2			$t_{Pcyc}$	$t_{Pcyc} \times 2 > 200ns$ 、図 6.10
IRQ#パルス幅	$t_{IRQW}$	200	—	—	ns	$t_{Pcyc} \times 2 \leq 200ns$ 、図 6.11
		2			$t_{Pcyc}$	$t_{Pcyc} \times 2 > 200ns$ 、図 6.11

注1.  $t_{Pcyc}$  : PCLKの周期です。

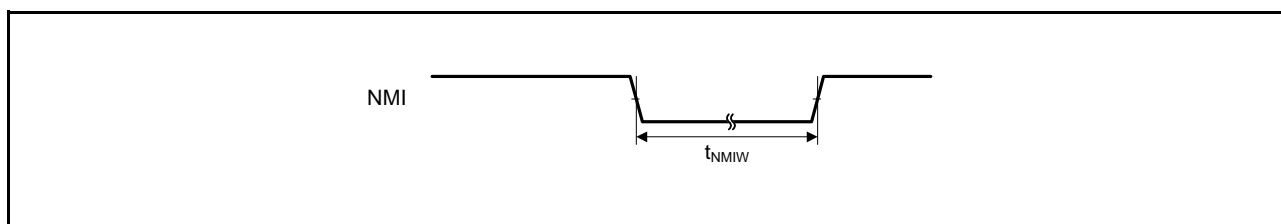


図 6.10 NMI 割り込み入力タイミング

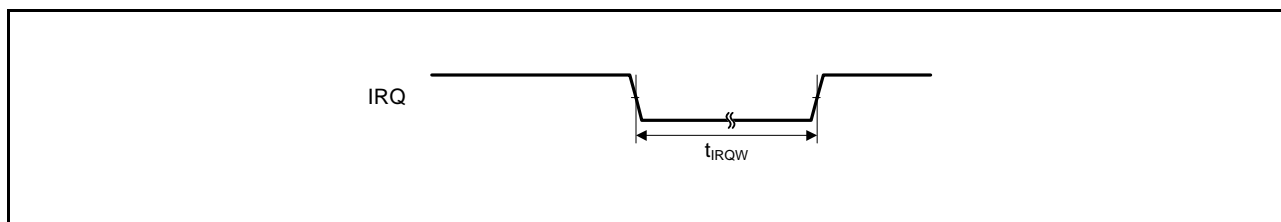


図 6.11 IRQ 割り込み入力タイミング

## 6.3.5 内蔵周辺モジュールタイミング

表6.11 内蔵周辺モジュールタイミング (1)

条件 : VCC = 2.7 ~ 3.6V、VSS = AVSS0 = VREFL0 = 0V

AVCC0 = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

 $T_a = T_{opr}$ 

項目		記号	min	max	単位 (注1)	測定条件	
I/Oポート	入力データパルス幅	$t_{PRW}$	1.5	—	$t_{Pcyc}$	図 6.12	
MTU3	インプットキャプチャ入力 パルス幅	単エッジ指定	3	—	$t_{PAcyc}$	図 6.13	
		両エッジ指定	5	—			
	タイマクロックパルス幅	単エッジ指定	3	—	$t_{PAcyc}$	図 6.14	
		両エッジ指定	5	—			
		位相計測モード	5	—			
POE3	POE#入力パルス幅	$t_{POEW}$	1.5	—	$t_{Pcyc}$	図 6.16	
GPT	インプットキャプチャ入力パ ルス幅	単エッジ指定	3	—	$t_{PAcyc}$	図 6.15	
		両エッジ指定	5	—			
	外部トリガ入力パルス幅	単エッジ指定	3	—	$t_{OTETW}$		
		両エッジ指定	5	—			
SCI	入カクロックサイクル	調歩同期	4	—	$t_{Pcyc}$	図 6.17	
		クロック同期	6	—			
	入カクロックパルス幅		$t_{SCKW}$	0.4	0.6	$t_{Scyc}$	
	入カクロック立ち上がり時間		$t_{SCKr}$	—	20	ns	
	入カクロック立ち下がり時間		$t_{SCKf}$	—	20	ns	
	出カクロックサイクル	調歩同期	$t_{Scyc}$	16	—	$t_{Pcyc}$	
		クロック同期		4	—		
	出カクロックパルス幅		$t_{SCKW}$	0.4	0.6	$t_{Scyc}$	
	出カクロック立ち上がり時間		$t_{SCKr}$	—	20	ns	
	出カクロック立ち下がり時間		$t_{SCKf}$	—	20	ns	
送信データ遅延時間	クロック同期	$t_{TXD}$	—	40	ns	図 6.18	
受信データセットアップ時間	クロック同期	$t_{RXS}$	40	—	ns		
受信データホールド時間	クロック同期	$t_{RXH}$	40	—	ns		
A/D コンバータ	12ビットA/Dコンバータトリガ入力パルス幅	$t_{TRGW}$	1.5	—	$t_{Pcyc}$	図 6.19	

注1.  $t_{Pcyc}$  : PCLKの周期です。 $t_{PAcyc}$  : PCLKAの周期です。

表6.12 内蔵周辺モジュールタイミング (2)

条件 : VCC = 2.7 ~ 3.6V、VSS = AVSS0 = VREFL0 = 0V

AVCC0 = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

 $T_a = T_{opr}$ 

項目		記号	min	max	単位 (注1)	測定条件			
RSPI	RSPCK クロックサイクル	マスタ	$t_{SPcyc}$	2	4096	$t_{Pcyc}$	図6.20		
		スレーブ		8	4096				
	RSPCK クロック Highレベルパルス幅	マスタ	$t_{SPCKWH}$	$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$	—	ns		図6.21 ~ 図6.24	
		スレーブ		$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2$	—				
	RSPCK クロック Lowレベルパルス幅	マスタ	$t_{SPCKWL}$	$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$	—	ns			図6.21 ~ 図6.24
		スレーブ		$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2$	—				
	RSPCK クロック 立ち上がり/立ち下がり時間	出力	$t_{SPCKR}$ 、 $t_{SPCKF}$	—	5	ns	図6.21 ~ 図6.24		
		入力		—	1	$\mu s$			
	データ入力セットアップ時間	マスタ	$t_{SU}$	20	—	ns		図6.21 ~ 図6.24	
		スレーブ		$20 - t_{Pcyc}$	—				
	データ入力ホールド時間	マスタ	$t_H$	0	—	ns			図6.21 ~ 図6.24
		スレーブ		$20 + 2 \times t_{Pcyc}$	—				
	SSL セットアップ時間	マスタ	$t_{LEAD}$	1	8	$t_{SPcyc}$	図6.21 ~ 図6.24		
		スレーブ		4	—	$t_{Pcyc}$			
	SSL ホールド時間	マスタ	$t_{LAG}$	1	8	$t_{SPcyc}$		図6.21 ~ 図6.24	
		スレーブ		4	—	$t_{Pcyc}$			
データ出力遅延時間	マスタ	$t_{OD}$	—	18	ns	図6.21 ~ 図6.24			
	スレーブ		—	$3 \times t_{Pcyc} + 40$					
データ出力ホールド時間	マスタ	$t_{OH}$	0	—	ns		図6.21 ~ 図6.24		
	スレーブ		0	—					
連続送信遅延時間	マスタ	$t_{TD}$	$t_{SPcyc} + 2 \times t_{Pcyc}$	$8 \times t_{SPcyc} + 2 \times t_{Pcyc}$	ns			図6.21 ~ 図6.24	
	スレーブ		$4 \times t_{Pcyc}$	—					
MOSI 立ち上がり/立ち下がり 時間	出力	$t_{MODR}$	—	5	ns	図6.23、 図6.24			
	入力	$t_{MODF}$	—	1	$\mu s$				
MISO 立ち上がり/立ち下がり 時間	出力	$t_{MODR}$	—	15	ns		図6.23、 図6.24		
	入力	$t_{MODF}$	—	1	$\mu s$				
SSL 立ち上がり/立ち下がり 時間	出力	$t_{SSLr}$ 、 $t_{SSLf}$	—	15	ns			図6.23、 図6.24	
	入力		—	1	$\mu s$				
スレーブアクセス時間		$t_{SA}$	—	4	$t_{Pcyc}$	図6.23、 図6.24			
スレーブ出力開放時間		$t_{REL}$	—	3	$t_{Pcyc}$				

注1.  $t_{Pcyc}$  : PCLKの周期です。

表6.13 内蔵周辺モジュールタイミング (3)

条件 :  $V_{CC} = 2.7 \sim 3.6V$ 、 $V_{SS} = AVSS0 = VREFL0 = 0V$   
 $AVCC0 = 3.0 \sim 3.6V$ 、 $VREFH0 = 3.0V \sim AVCC0$   
 $T_a = T_{opr}$

項目		記号	min	max	単位 (注1)	測定条件
簡易 SPI	SCKクロックサイクル出力 (マスタ)	$t_{SPCyc}$	4	65536	$t_{PCyc}$	図6.20
	SCKクロックサイクル入力 (スレーブ)		8	65536		
	SCKクロック High レベルパルス幅	$t_{SPCKWH}$	0.4	0.6	$t_{SPCyc}$	
	SCKクロック Low レベルパルス幅	$t_{SPCKWL}$	0.4	0.6	$t_{SPCyc}$	
	SCKクロック立ち上がり/立ち下がり時間	$t_{SPCKR}$ 、 $t_{SPCKF}$	—	20	ns	
	データ入力セットアップ時間	$t_{SU}$	40	—	ns	図6.21 ~ 図6.24
	データ入力ホールド時間	$t_H$	40	—	ns	
	SS入力セットアップ時間	$t_{LEAD}$	6	—	$t_{PCyc}$	
	SS入力ホールド時間	$t_{LAG}$	6	—	$t_{PCyc}$	
	データ出力遅延時間	$t_{OD}$	—	40	ns	
	データ出力ホールド時間	$t_{OH}$	-10	—	ns	
	データ立ち上がり/立ち下がり時間	$t_{DR}$ 、 $t_{DF}$	—	20	ns	
	SS入力立ち上がり/立ち下がり時間	$t_{SSLr}$ 、 $t_{SSLf}$	—	20	ns	
	スレーブアクセス時間	$t_{SA}$	—	5	$t_{PCyc}$	図6.23 図6.24
	スレーブ出力開放時間	$t_{REL}$	—	5	$t_{PCyc}$	

注1.  $t_{PCyc}$ : PCLKの周期です。

表6.14 内蔵周辺モジュールタイミング (4)

条件 : VCC = 2.7 ~ 3.6V、VSS = AVSS0 = VREFL0 = 0V

AVCC0 = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

 $T_a = T_{opr}$ 

項目		記号	min	max	単位	測定条件
RIIC (Standard-mode)	SCL入力サイクル時間	$t_{SCL}$	$6(12) \times t_{IIcyc} + 1300$	—	ns	図6.25
	SCL入力Highパルス幅	$t_{SCLH}$	$3(6) \times t_{IIcyc} + 300$	—	ns	
	SCL入力Lowパルス幅	$t_{SCLL}$	$3(6) \times t_{IIcyc} + 300$	—	ns	
	SCL、SDA入力立ち上がり時間	$t_{Sr}$	—	1000	ns	
	SCL、SDA入力立ち下がり時間	$t_{Sf}$	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	$t_{SP}$	0	$1(4) \times t_{IIcyc}$	ns	
	SDA入カバスフリー時間	$t_{BUF}$	$3(6) \times t_{IIcyc} + 300$	—	ns	
	開始条件入力ホールド時間	$t_{STAH}$	$t_{IIcyc} + 300$	—	ns	
	再送開始条件入力セットアップ時間	$t_{STAS}$	1000	—	ns	
	停止条件入力セットアップ時間	$t_{STOS}$	1000	—	ns	
	データ入力セットアップ時間	$t_{SDAS}$	$t_{IIcyc} + 50$	—	ns	
	データ入力ホールド時間	$t_{SDAH}$	0	—	ns	
	SCL、SDAの容量性負荷	$C_b$	—	400	pF	
RIIC (Fast-mode)	SCL入力サイクル時間	$t_{SCL}$	$6(12) \times t_{IIcyc} + 600$	—	ns	
	SCL入力Highパルス幅	$t_{SCLH}$	$3(6) \times t_{IIcyc} + 300$	—	ns	
	SCL入力Lowパルス幅	$t_{SCLL}$	$3(6) \times t_{IIcyc} + 300$	—	ns	
	SCL、SDA入力立ち上がり時間	$t_{Sr}$	$20 + 0.1C_b$	300	ns	
	SCL、SDA入力立ち下がり時間	$t_{Sf}$	$20 + 0.1C_b$	300	ns	
	SCL、SDA入カスパイクパルス除去時間	$t_{SP}$	0	$1(4) \times t_{IIcyc}$	ns	
	SDA入カバスフリー時間	$t_{BUF}$	$3(6) \times t_{IIcyc} + 300$	—	ns	
	開始条件入力ホールド時間	$t_{STAH}$	$t_{IIcyc} + 300$	—	ns	
	再送開始条件入力セットアップ時間	$t_{STAS}$	300	—	ns	
	停止条件入力セットアップ時間	$t_{STOS}$	300	—	ns	
	データ入力セットアップ時間	$t_{SDAS}$	$t_{IIcyc} + 50$	—	ns	
	データ入力ホールド時間	$t_{SDAH}$	0	—	ns	
	SCL、SDAの容量性負荷	$C_b$	—	400	pF	

注1.  $t_{IIcyc}$ : RIICの内部基準クロック (IICφ) の周期です。

注2. ( ) 内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注3.  $C_b$ はバスラインの容量総計です。



表6.15 内蔵周辺モジュールタイミング (4)

条件 : VCC = 2.7 ~ 3.6V、VSS = AVSS0 = VREFL0 = 0V  
 AVCC0 = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0  
 Ta = Topr

項目		記号	min (注1、注2)	max	単位	測定条件
簡易IIC (Standard-mode)	SCL、SDA入力立ち上がり時間	t <sub>Sr</sub>	—	1000	ns	図6.25
	SCL、SDA入力立ち下がり時間	t <sub>Sf</sub>	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t <sub>SP</sub>	0	4 × (1/PCLK)	ns	
	データ入力セットアップ時間	t <sub>SDAS</sub>	250	—	ns	
	データ入力ホールド時間	t <sub>SDAH</sub>	0	—	ns	
	SCL、SDAの容量性負荷	C <sub>b</sub>	—	400	pF	
簡易IIC (Fast-mode)	SCL、SDA入力立ち上がり時間	t <sub>Sr</sub>	20 + 0.1C <sub>b</sub>	300	ns	図6.25
	SCL、SDA入力立ち下がり時間	t <sub>Sf</sub>	20 + 0.1C <sub>b</sub>	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t <sub>SP</sub>	0	4 × (1/PCLK)	ns	
	データ入力セットアップ時間	t <sub>SDAS</sub>	100	—	ns	
	データ入力ホールド時間	t <sub>SDAH</sub>	0	—	ns	
	SCL、SDAの容量性負荷	C <sub>b</sub>	—	400	pF	

注1. ( ) 内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。  
 注2. C<sub>b</sub>はバスラインの容量総計です。

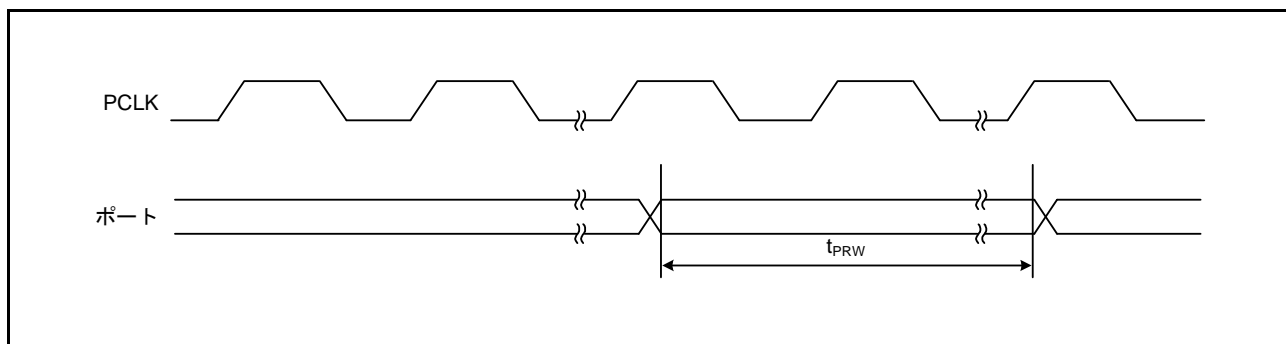


図 6.12 I/Oポート入力タイミング

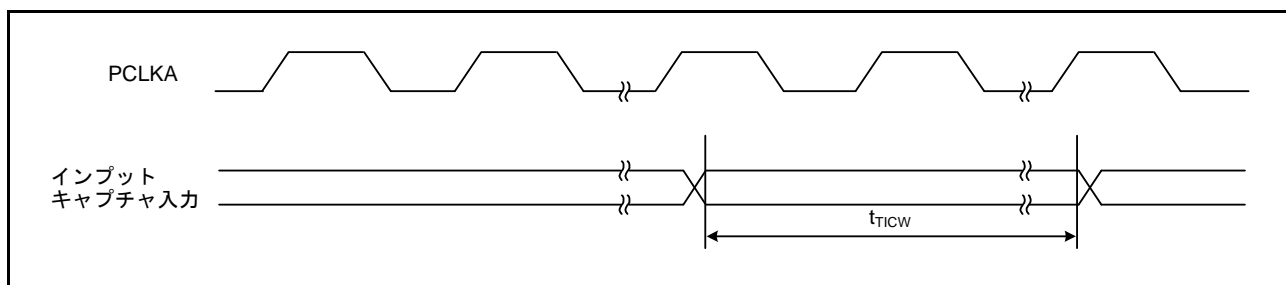


図 6.13 MTU3入出力タイミング

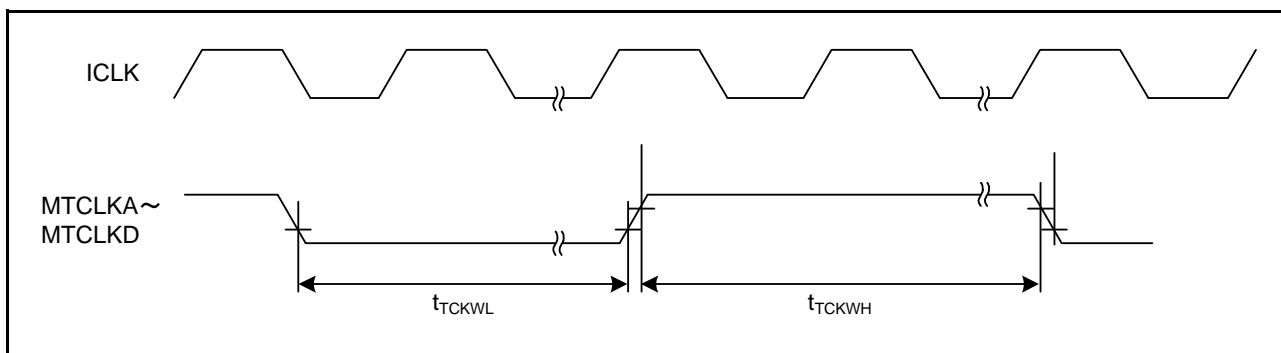


図 6.14 MTU3 クロック入力タイミング

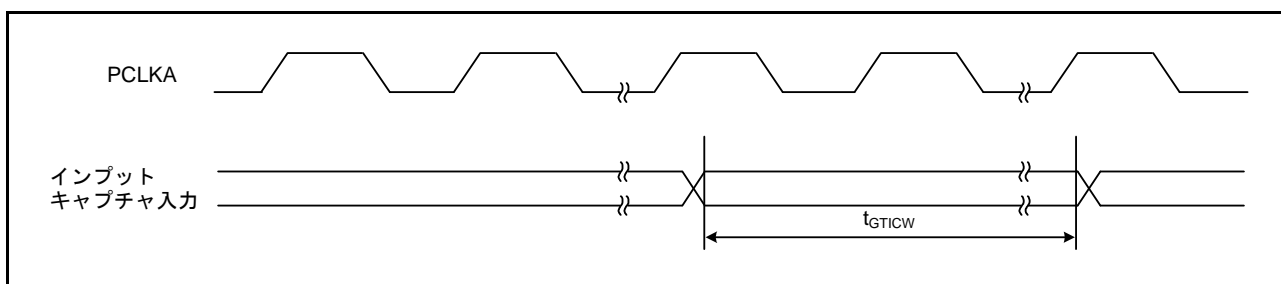


図 6.15 GPT 入出力タイミング

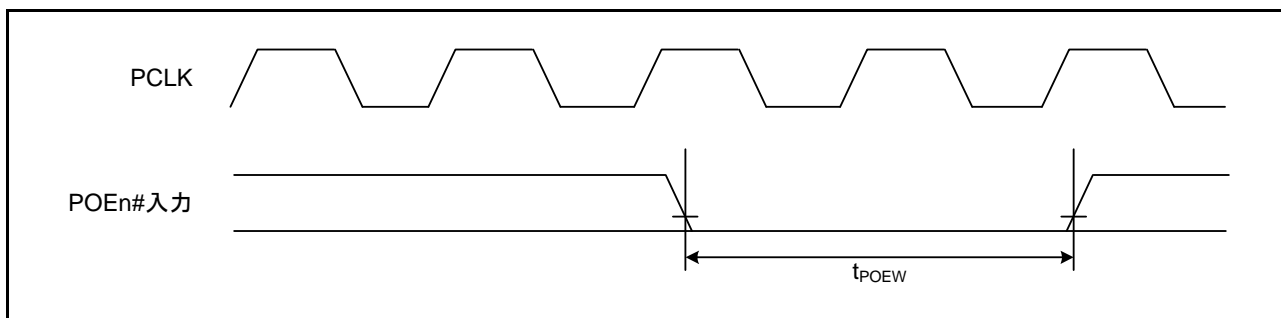


図 6.16 POE3# 入力タイミング

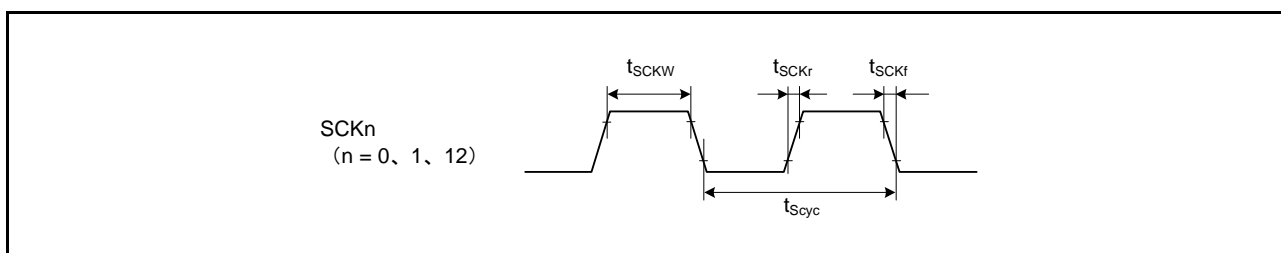


図 6.17 SCK クロック入力タイミング

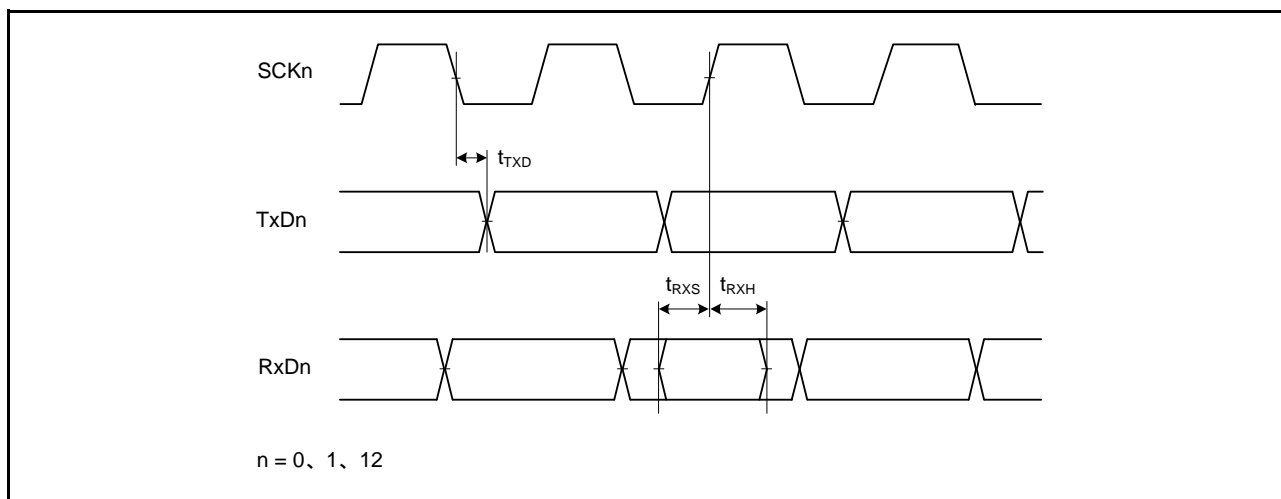


図 6.18 SCI 入出力タイミング/クロック同期式モード

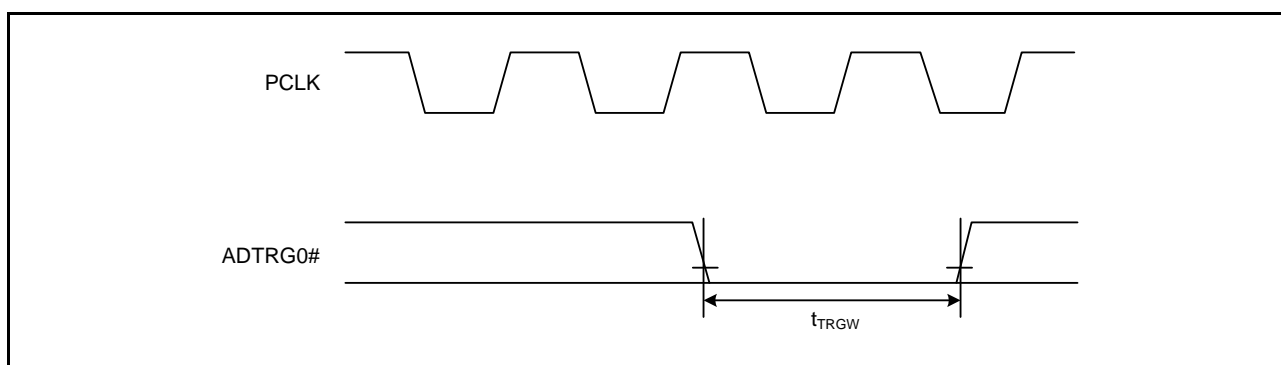


図 6.19 A/D コンバータ外部トリガ入力タイミング

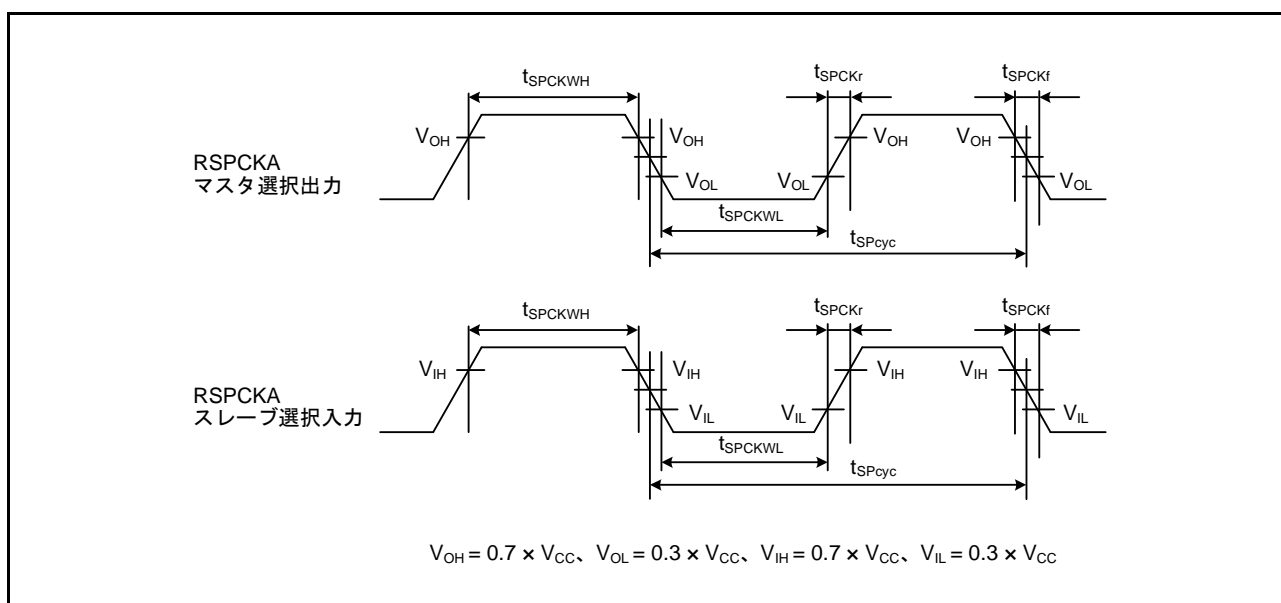


図 6.20 RSPCKA クロックタイミング/簡易 SPI クロックタイミング

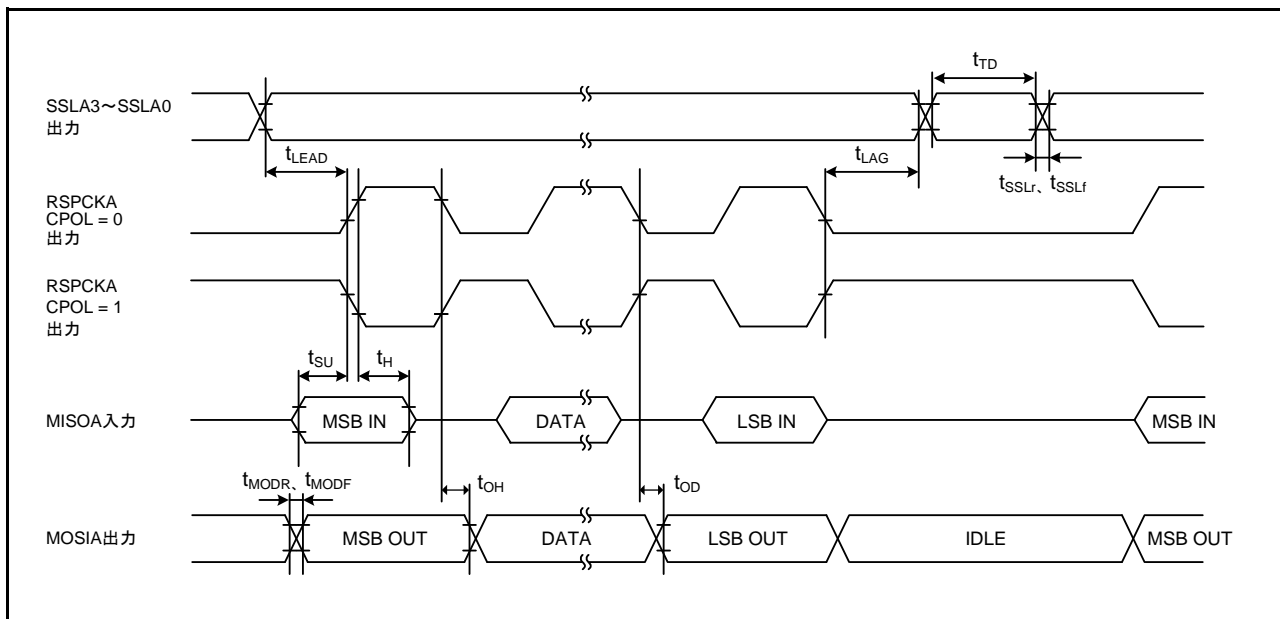


図 6.21 RSPI タイミング (マスタ、CPHA = 0) / 簡易 SPI タイミング (マスタ、CKPH = 1)

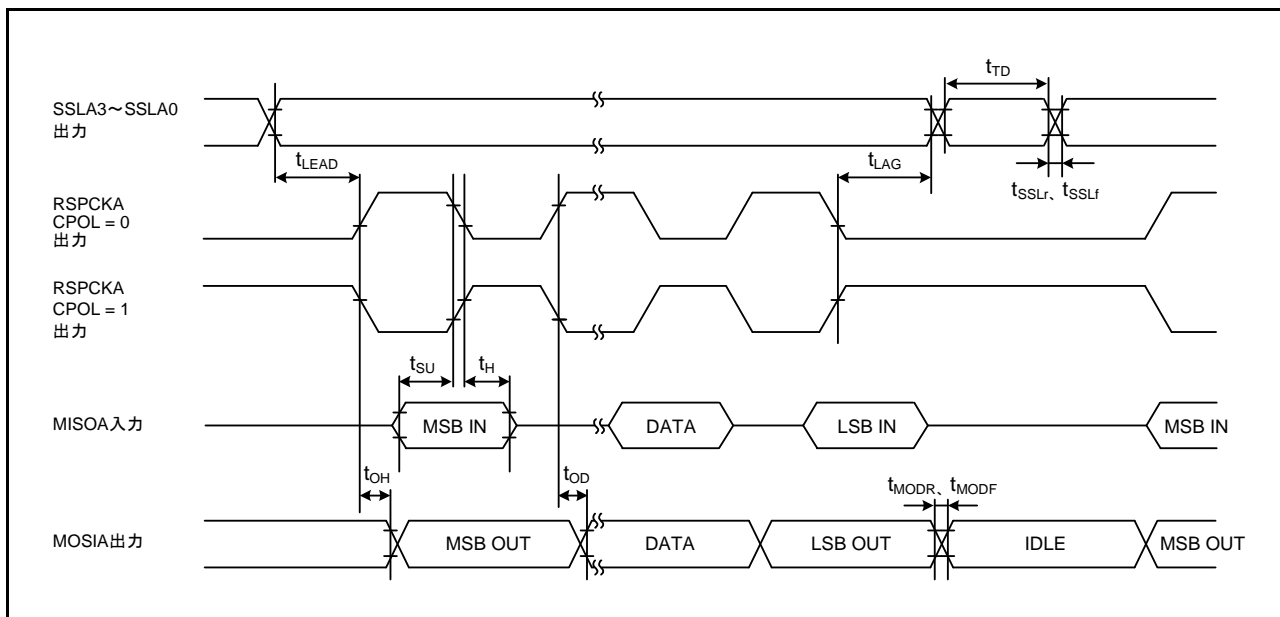


図 6.22 RSPI タイミング (マスタ、CPHA = 1) / 簡易 SPI タイミング (マスタ、CKPH = 0)

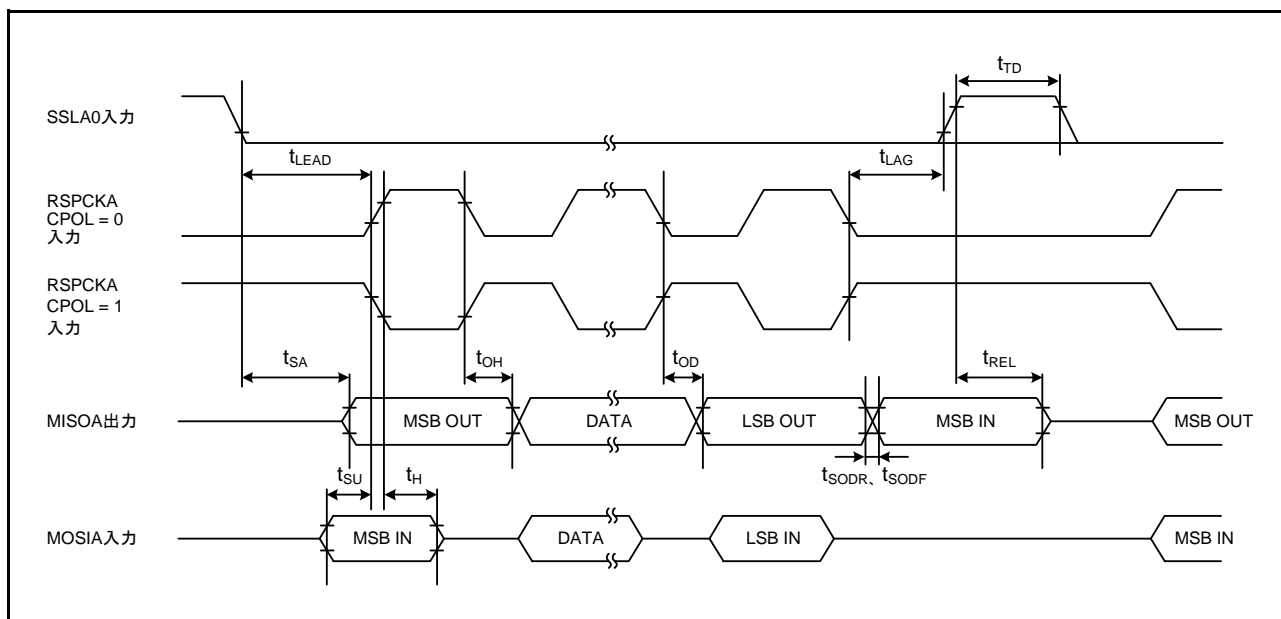


図 6.23 RSPI タイミング (スレーブ、CPHA = 0) / 簡易 SPI タイミング (スレーブ、CKPH = 1)

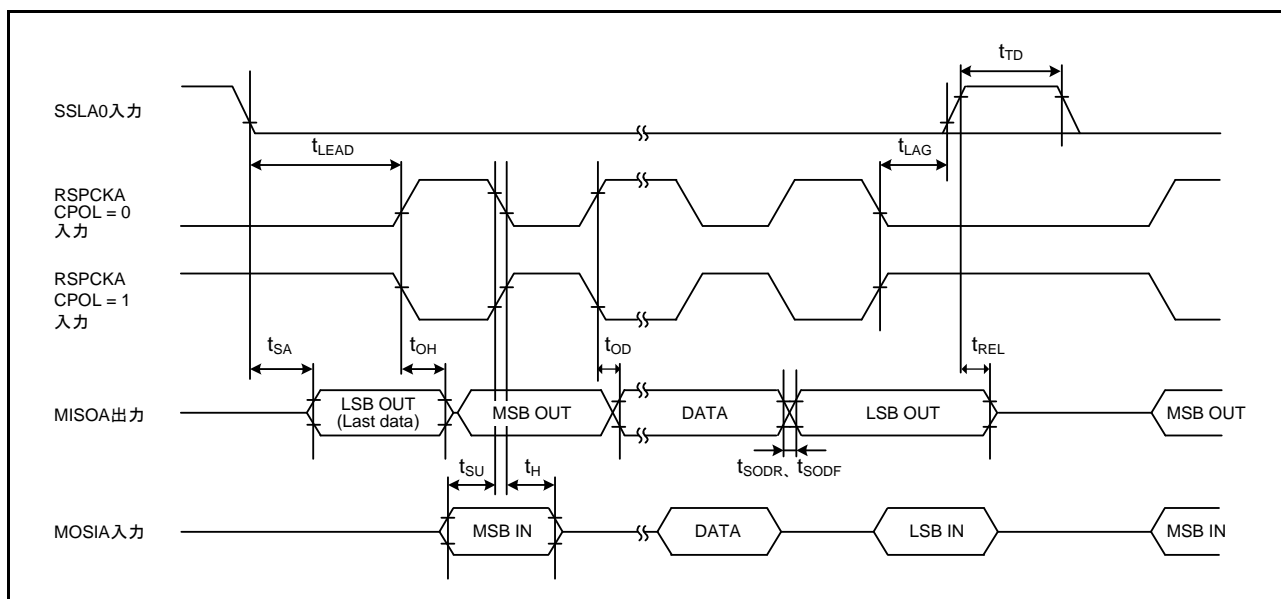


図 6.24 RSPI タイミング (スレーブ、CPHA = 1) / 簡易 SPI タイミング (スレーブ、CKPH = 0)

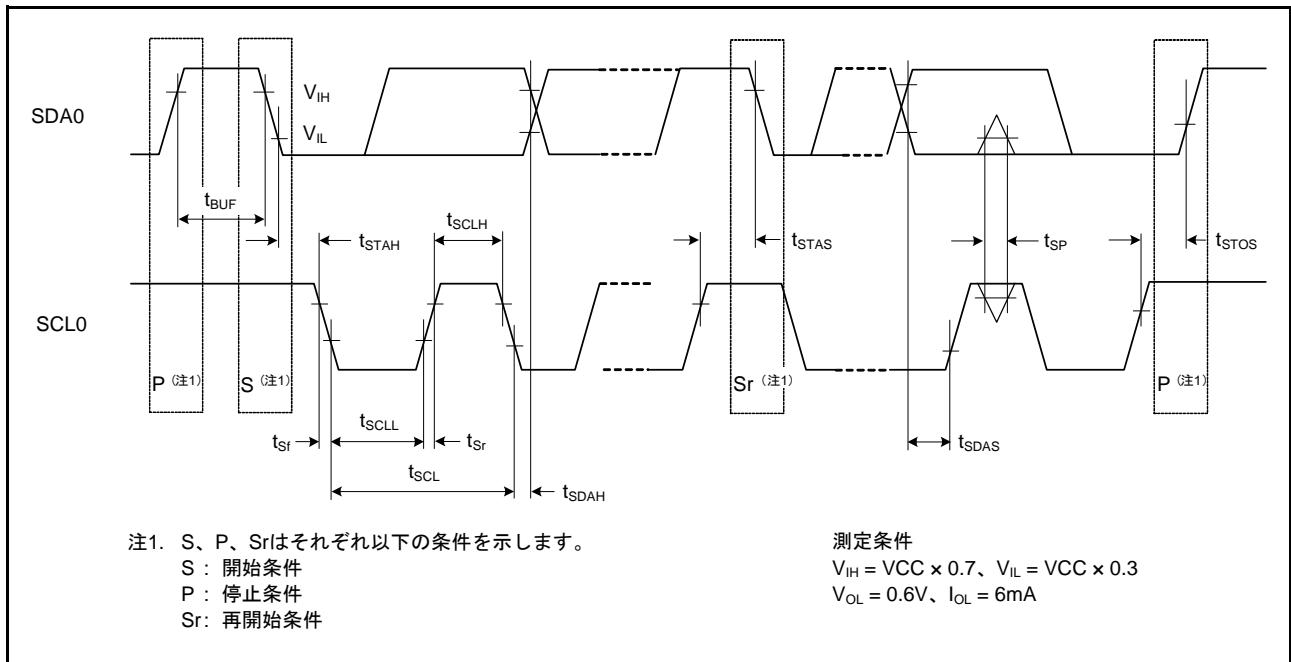


図 6.25 RIIC バスインタフェース入出力タイミング / 簡易 IIC バスインタフェース入出力タイミング

### 6.4 A/D 変換特性

表 6.16 12ビット A/D 変換特性

条件：VCC = 2.7 ~ 3.6V、VSS = AVSS0 = VREFL0 = 0V  
 AVCC0 = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0  
 $T_a = T_{opr}$

項目	min	typ	max	単位	測定条件	
分解能	12	12	12	ビット		
変換時間 (注1) (ADCLK=50 MHz)	端子毎サンプル&ホールド回路 使用時	1.6	—	—	μs	サンプル&ホールド回路 のサンプリング30ステート A/D変換器のサンプリング 20ステート
	端子毎サンプル&ホールド回路 未使用時	1.0	—	—	μs	A/D変換器のサンプリング 20ステート
アナログ入力容量	—	—	6	pF		
非直線性誤差	—	—	±4.0	LSB		
オフセット誤差	—	—	±7.5	LSB		
フルスケール誤差	—	—	±7.5	LSB		
量子化誤差	—	±0.5	—	LSB		
絶対精度	サンプル&ホールド回路使用	—	—	±8.0	LSB	$AV_{in} = 0.25 \sim AV_{REFH} - 0.25$
	サンプル&ホールド回路未使用	—	—	±8.0	LSB	$AV_{in} = AV_{REFL} \sim AV_{REFH}$
許容信号源インピーダンス	—	—	3.0	kΩ		

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表6.17 コンパレータ特性

条件 :  $V_{CC} = 2.7 \sim 3.6V$ 、 $V_{SS} = AVSS0 = VREFL0 = 0V$   
 $AVCC0 = 3.0 \sim 3.6V$ 、 $VREFH0 = 3.0V \sim AVCC0$   
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
アナログ入力容量	Cin	—	—	6	pF	
REFH端子オフセット電圧	Voff	—	—	5	mV	
REFL端子オフセット電圧		—	—	5	mV	
REFH入力電圧範囲	Vin	1.7	—	$AVCC0 - 0.3$	V	
REFL入力電圧範囲		0.3	—	$AVCC0 - 1.7$	V	
REFH応答時間	tCR	—	—	0.5	μs	
REFL応答時間	tCF	—	—	0.5	μs	

## 6.5 パワーオンリセット回路、電圧検出回路特性

表6.18 パワーオンリセット回路、電圧検出回路特性

条件 :  $V_{CC} = 2.7 \sim 3.6V$ 、 $V_{SS} = AVSS0 = VREFL0 = 0V$   
 $AVCC0 = 3.0 \sim 3.6V$ 、 $VREFH0 = 3.0V \sim AVCC0$   
 $T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
電圧検出レベル	パワーオンリセット (POR)	$V_{POR}$	2.5	2.6	2.7	V	図 6.26
	電圧検出回路 (LVD0)	$V_{DET0}$	2.7	2.8	2.9		図 6.27
	電圧検出回路 (LVD1)	$V_{DET1}$	2.80	2.95	3.10		
	電圧検出回路 (LVD2)	$V_{DET2}$	2.80	2.95	3.10		
内部リセット時間	パワーオンリセット (POR)	$t_{POR}$		4.6		ms	図 6.26
	電圧検出回路 (LVD0)	$t_{LVD0}$		4.6			図 6.27
	電圧検出回路 (LVD1)	$t_{LVD1}$		0.9			図 6.28
	電圧検出回路 (LVD2)	$t_{LVD2}$		0.9			図 6.29
最小VCC低下時間 (注1)		$t_{VOFF}$	200	—	—	μs	図 6.26、図 6.27
応答遅延時間		$t_{DET}$			200	μs	図 6.26 ~ 図 6.29
LVD動作安定時間 (LVD有効切り替え時)		$T_d(E-A)$			3	μs	図 6.28
ヒステリシス幅 (LVD1、LVD2)		$V_{LVH}$		80		mV	図 6.29

注1.  $V_{CC}$ がPOR/LVDの電圧検出レベル $V_{POR}$ 、 $V_{DET1}$ 、 $V_{DET2}$ のmin値を下回っている時間です。

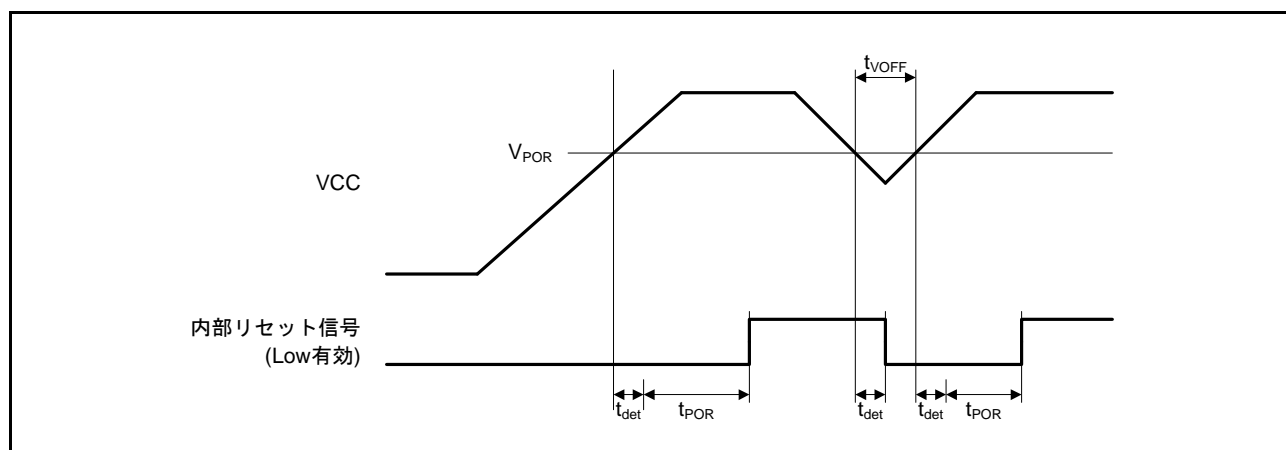


図 6.26 パワーオンリセットタイミング

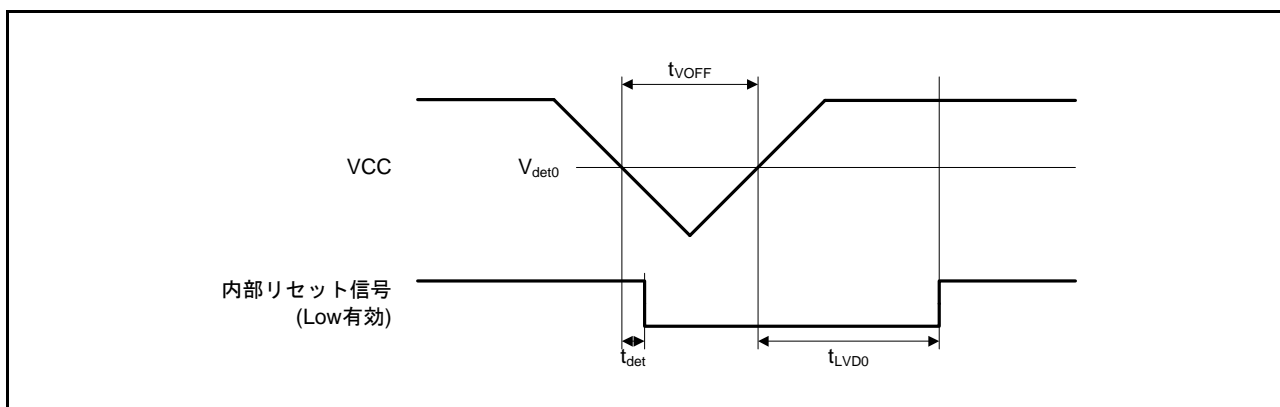


図 6.27 電圧検出回路タイミング ( $V_{det0}$ )

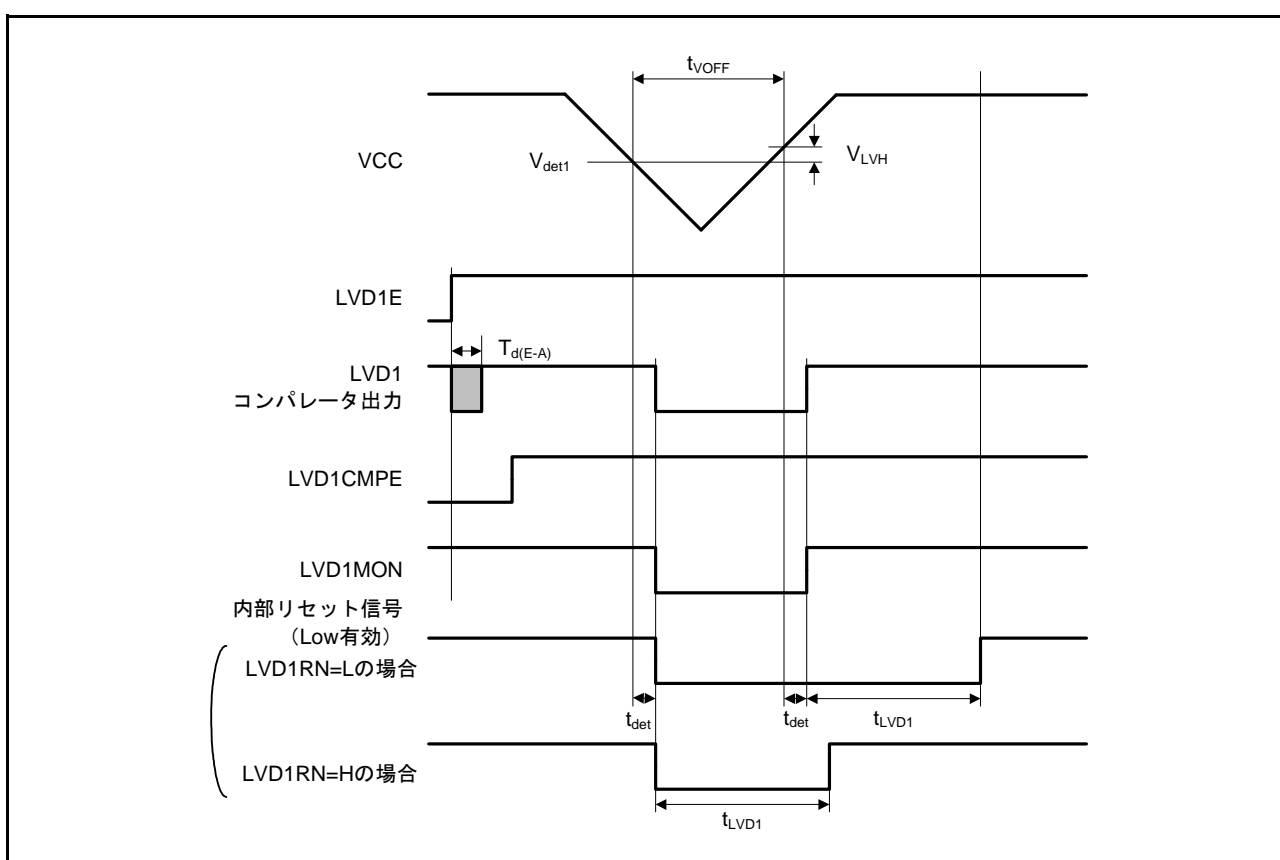


図 6.28 電圧検出回路タイミング ( $V_{det1}$ )



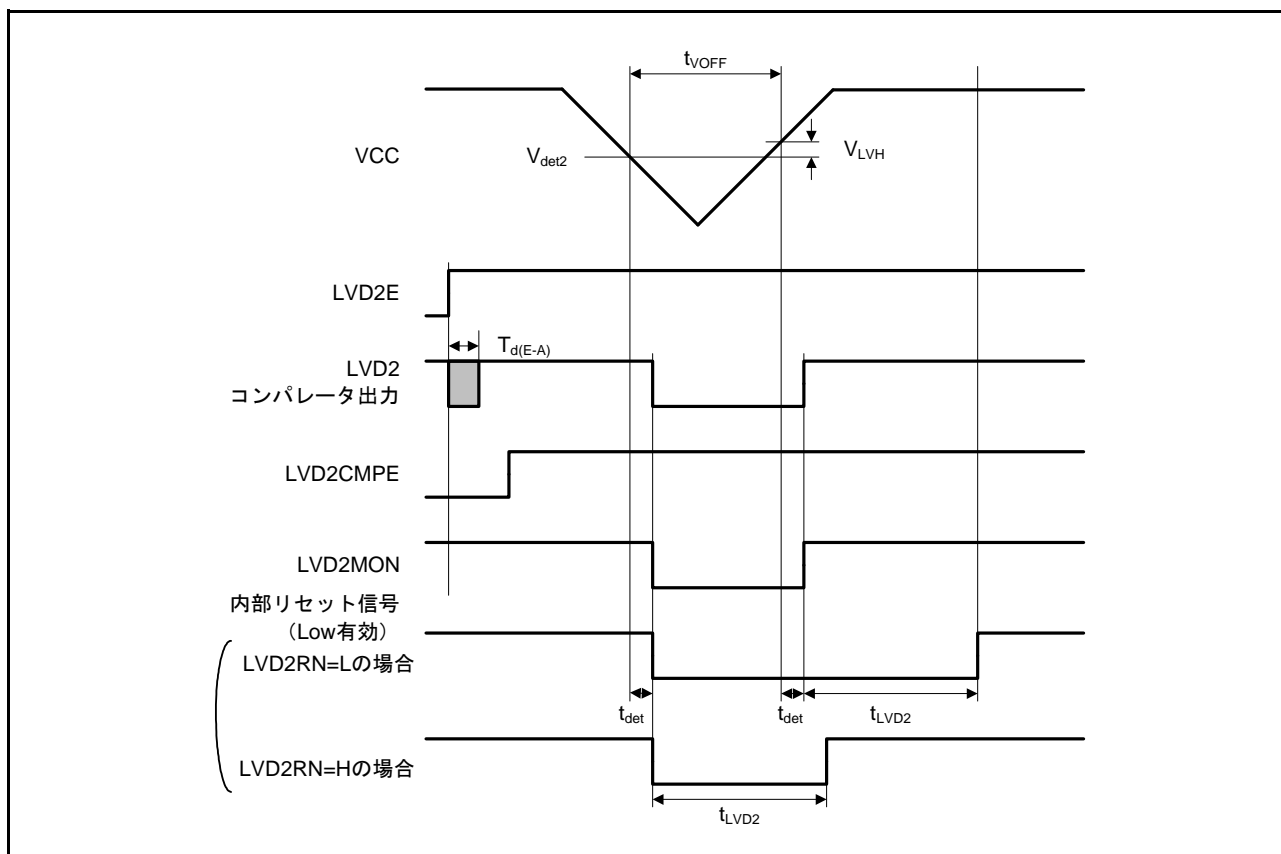


図 6.29 電圧検出回路タイミング ( $V_{det2}$ )

### 6.6 発振停止検出回路特性

表 6.19 発振停止検出回路特性

条件 :  $VCC = 2.7 \sim 3.6V$ 、 $VSS = AVSS0 = VREFL0 = 0V$   
 $AVCC0 = 3.0 \sim 3.6V$ 、 $VREFH0 = 3.0V \sim AVCC0$   
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
検出時間	$t_{dr}$	—	—	1.0	ms	図 6.30

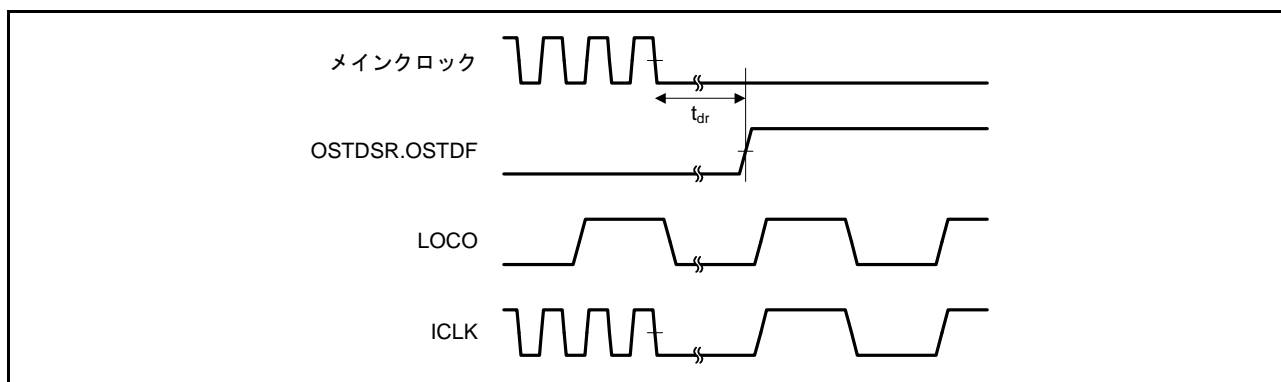


図 6.30 発振停止検出タイミング

## 6.7 ROM（コード格納用フラッシュメモリ）特性

表6.20 ROM（コード格納用フラッシュメモリ）特性（1）

条件：VCC = 2.7 ~ 3.6V、VSS = AVSS0 = VREFL0 = 0V

AVCC0 = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

プログラム/イレーズ時の動作温度範囲： $T_a = T_{opr}$ 。  $T_a$ は条件1 ~ 3で共通です。

項目	記号	min	typ	max	単位	測定条件
再プログラム/イレーズサイクル (注1)	$N_{pec}$	1000	—	—	回	
データ保持期間	$t_{DRP}$	30 (注2)	—	—	年	$T_a = +85^\circ\text{C}$

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回(n=1000)の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、2Kバイトのブロックについて、それぞれ異なる番地に128バイト書き込みを16回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)。

注2. 信頼性試験から得られた結果です。

表6.21 ROM（コード格納用フラッシュメモリ）特性（2）

条件：VCC = 2.7 ~ 3.6V、VSS = AVSS0 = VREFL0 = 0V

AVCC0 = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

プログラム/イレーズ時の動作温度範囲： $T_a = T_{opr}$ は条件1 ~ 3で共通です。

項目		記号	min	typ	max	単位	測定条件	
書き込み時間	128バイト	$t_{P128}$	—	1	10	ms	FCLK=50MHz $N_{PEC} \leq 100$ 時	
	4Kバイト	$t_{P4K}$	—	23	50	ms		
	16Kバイト	$t_{P16K}$	—	90	200	ms		
	消去時間	128バイト	$t_{P128}$	—	1.2	12	ms	FCLK=50MHz $N_{PEC} > 100$ 時
		4Kバイト	$t_{P4K}$	—	27.6	60	ms	
		16Kバイト	$t_{P16K}$	—	108	240	ms	
書き込み中のサスペンド遅延時間	4Kバイト	$t_{E4K}$	—	25	60	ms	FCLK=50MHz $N_{PEC} \leq 100$ 時	
	16Kバイト	$t_{E16K}$	—	100	240	ms		
	4Kバイト	$t_{E4K}$	—	30	72	ms	FCLK=50MHz $N_{PEC} > 100$ 時	
	16Kバイト	$t_{E16K}$	—	120	288	ms		
書き込み中のサスペンド遅延時間		$t_{SPD}$	—	—	120	$\mu\text{s}$	図6.31 PCLK=50MHz時	
消去中の1回目のサスペンド遅延時間 (サスペンド優先モード時)		$t_{SESD1}$	—	—	120	$\mu\text{s}$		
消去中の2回目のサスペンド遅延時間 (サスペンド優先モード時)		$t_{SESD2}$	—	—	1.7	ms		
消去中のサスペンド遅延時間 (消去優先モード時)		$t_{SEED}$	—	—	1.7	ms		
FCUリセット時間		$t_{FCUR}$	35	—	—	$\mu\text{s}$		

## 6.8 E2フラッシュ特性

表6.22 E2データフラッシュ特性 (1)

条件 : VCC = 2.7 ~ 3.6V、VSS = AVSS0 = VREFL0 = 0V

AVCC0 = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

プログラム/イレーズ時の動作温度範囲 :  $T_a = T_{opr}$ 。  $T_a$  は条件 1 ~ 3 で共通です。

項目	記号	min	typ	max	単位	測定条件
再プログラム/イレーズサイクル (注1)	$N_{DPEC}$	100000	—	—	回	
データ保持期間	$t_{DDRP}$	30 (注2)	—	—	年	$T_a = +85^\circ\text{C}$

注1. 再プログラム/イレーズサイクルの定義 : 再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルが  $n$  回 ( $n=100000$ ) の場合、ブロックごとにそれぞれ  $n$  回ずつ消去することができます。例えば、128バイトのブロックについて、それぞれ異なる番地に8バイト書き込みを16回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)。

注2. 信頼性試験から得られた結果です。

表6.23 E2データフラッシュ特性 (2)

条件 : VCC = 2.7 ~ 3.6V、VSS = AVSS0 = VREFL0 = 0V

AVCC0 = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0

 $T_a = T_{opr}$ 

項目		記号	min	typ	max	単位	測定条件
書き込み時間	2バイト	$t_{DP2}$	—	0.25	2	ms	FCLK=50MHz時
消去時間	32バイト	$t_{DE32}$	—	2	20	ms	FCLK=50MHz $N_{DPEC} \leq 100$ 時
	32バイト	$t_{DE32}$	—	4	20	ms	FCLK=50MHz $N_{DPEC} > 100$ 時
ブランクチェック時間	2バイト	$t_{DBC2}$	—	—	30	$\mu\text{s}$	FCLK=50MHz時
書き込み中のサスペンド遅延時間		$t_{DSPD}$	—	—	120	$\mu\text{s}$	図6.31 FCLK=50MHz時
消去中の1回目のサスペンド遅延時間 (サスペンド優先モード時)		$t_{DSESD1}$	—	—	120	$\mu\text{s}$	
消去中の2回目のサスペンド遅延時間 (サスペンド優先モード時)		$t_{DSESD2}$	—	—	300	$\mu\text{s}$	
消去中のサスペンド遅延時間 (消去優先モード時)		$t_{DSEED}$	—	—	300	$\mu\text{s}$	

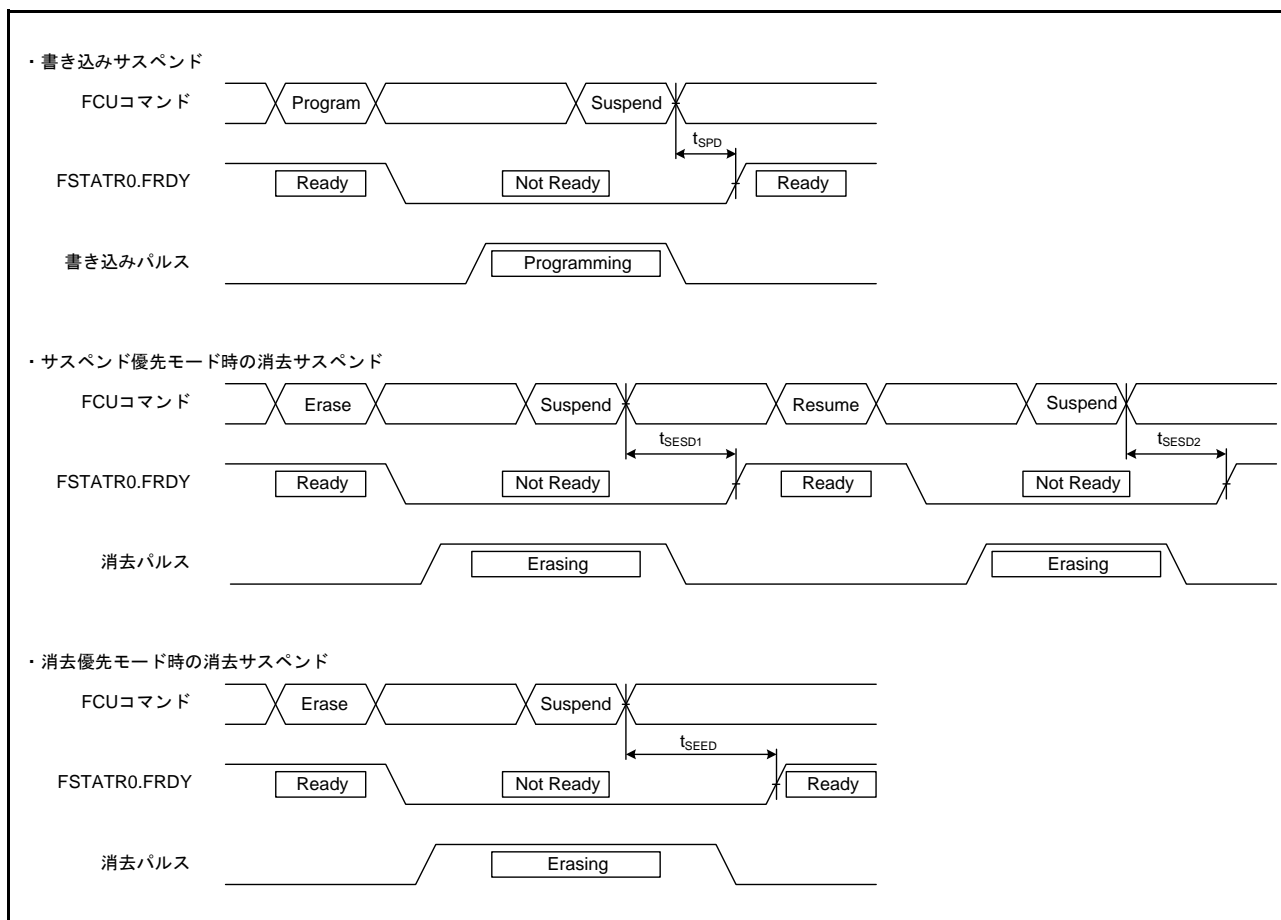


図 6.31 フラッシュメモリ書き込み/消去サスペンドタイミング

### 付録1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

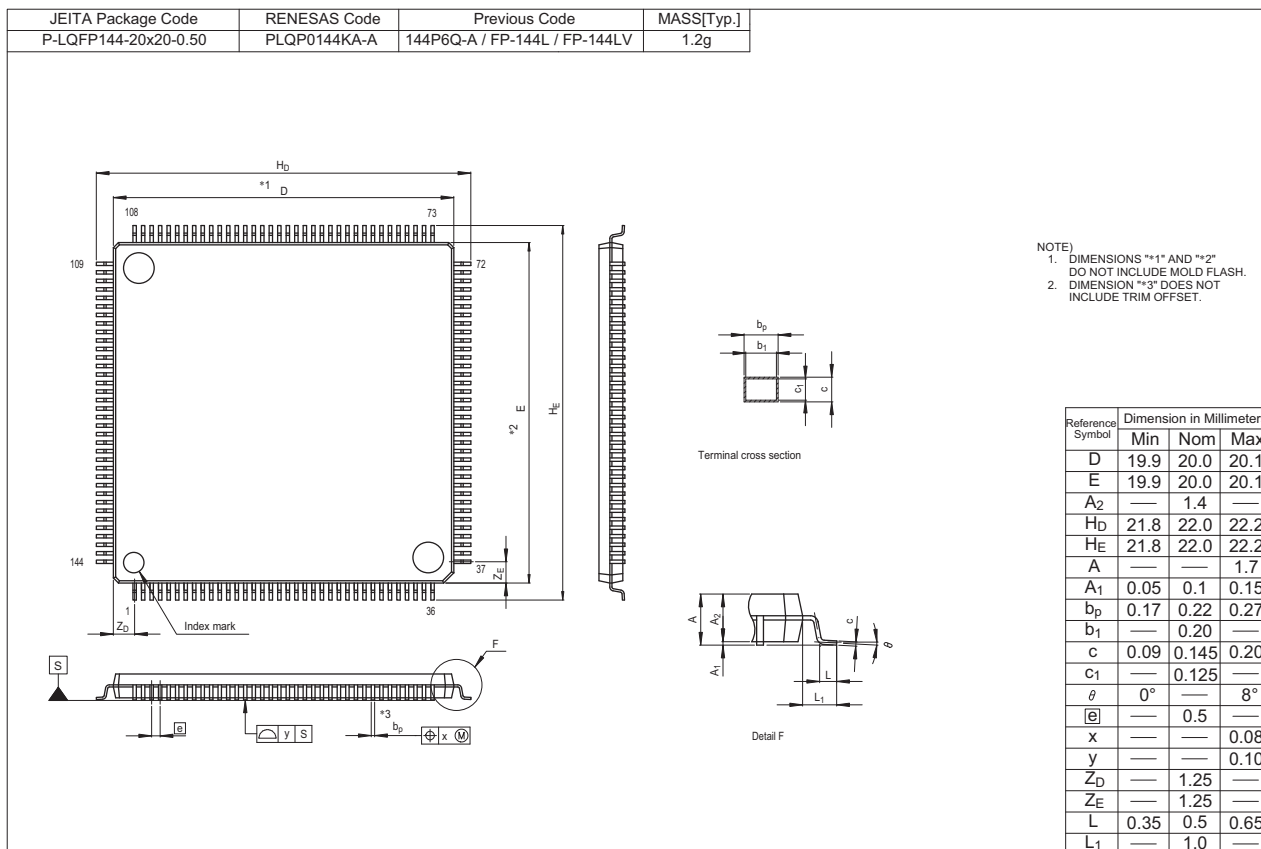
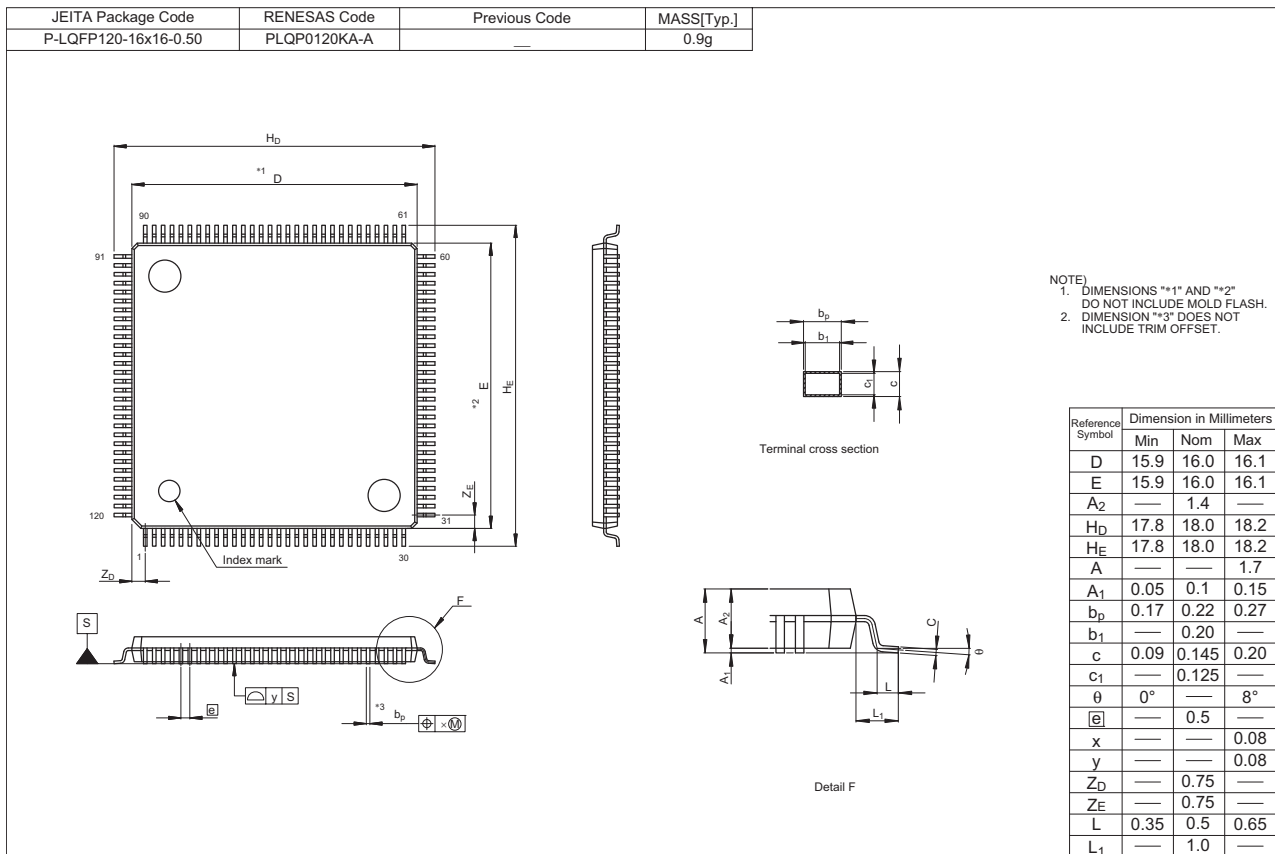


図 A. 144ピン LQFP (PLQP0144KA-A)



☒ B. 120ピンLQFP (PLQP0120KA-A)

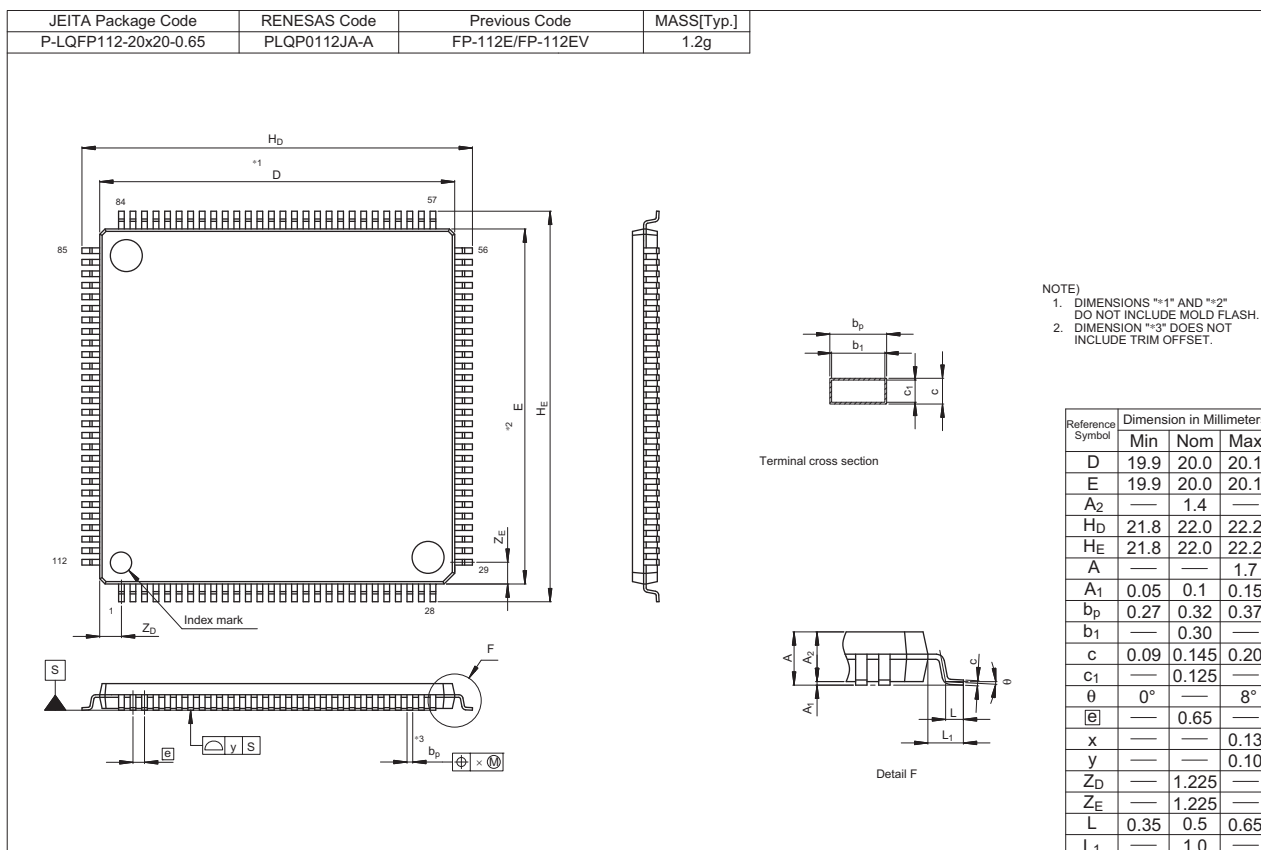


図 C. 112ピンLQFP (PLQP0112JA-A)

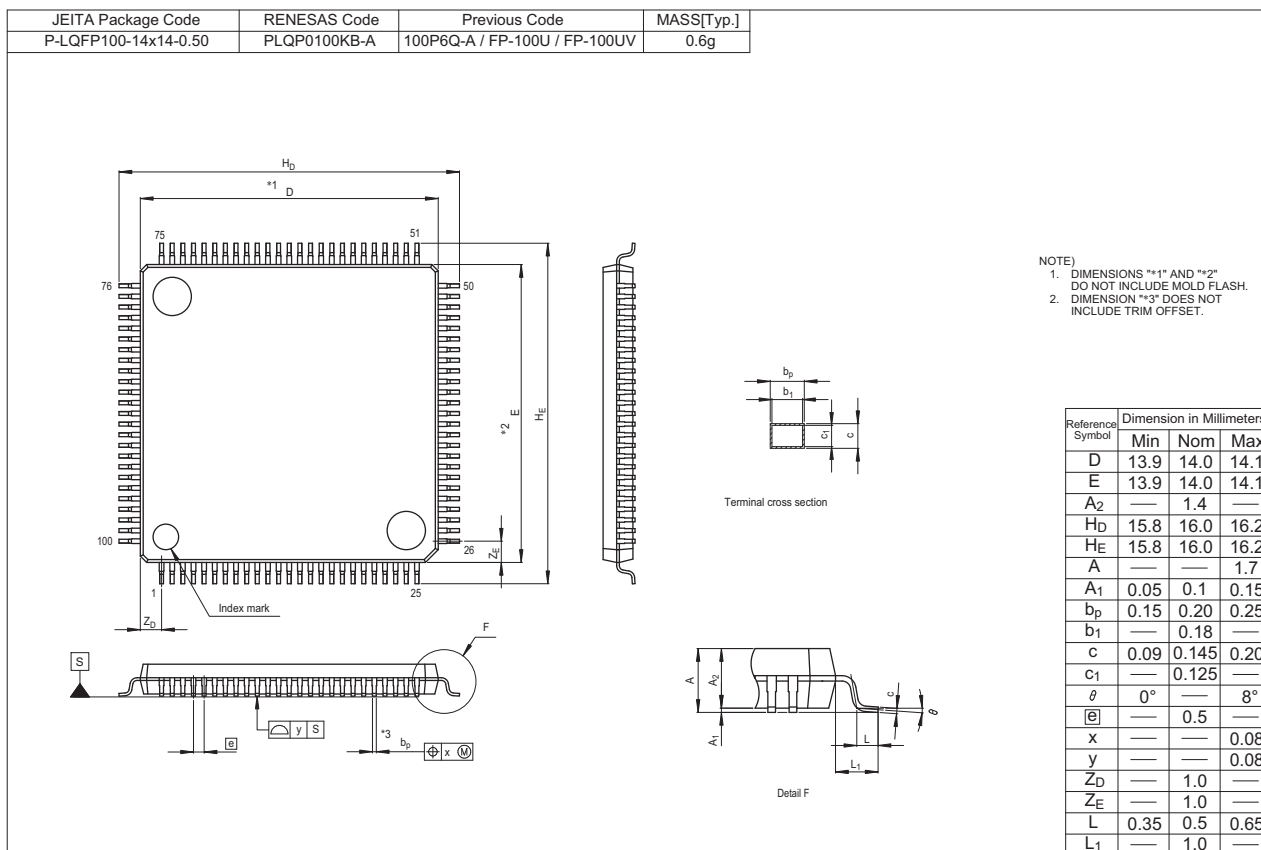


図 D. 100ピンLQFP (PLQP0100KB-A)



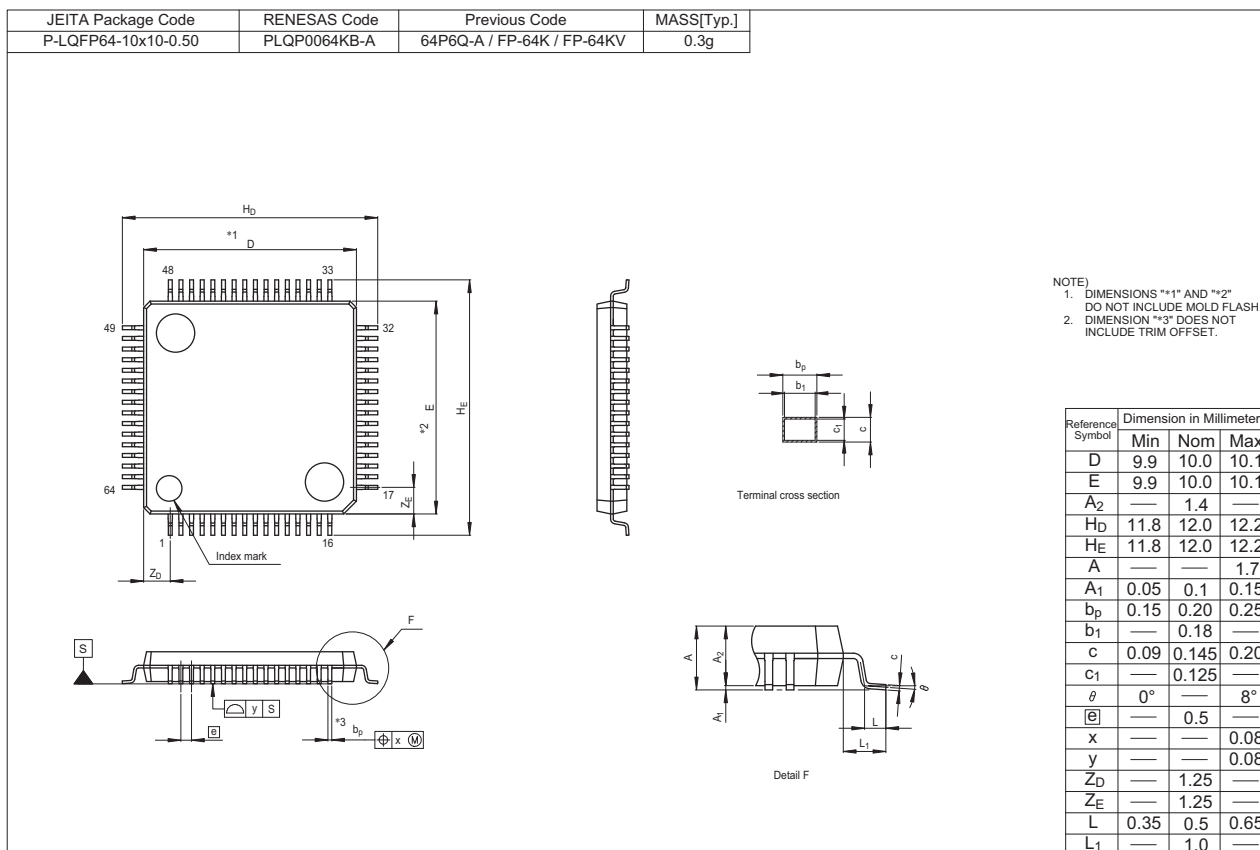


図 E. 64ピンLQFP (PLQP0064KB-A)

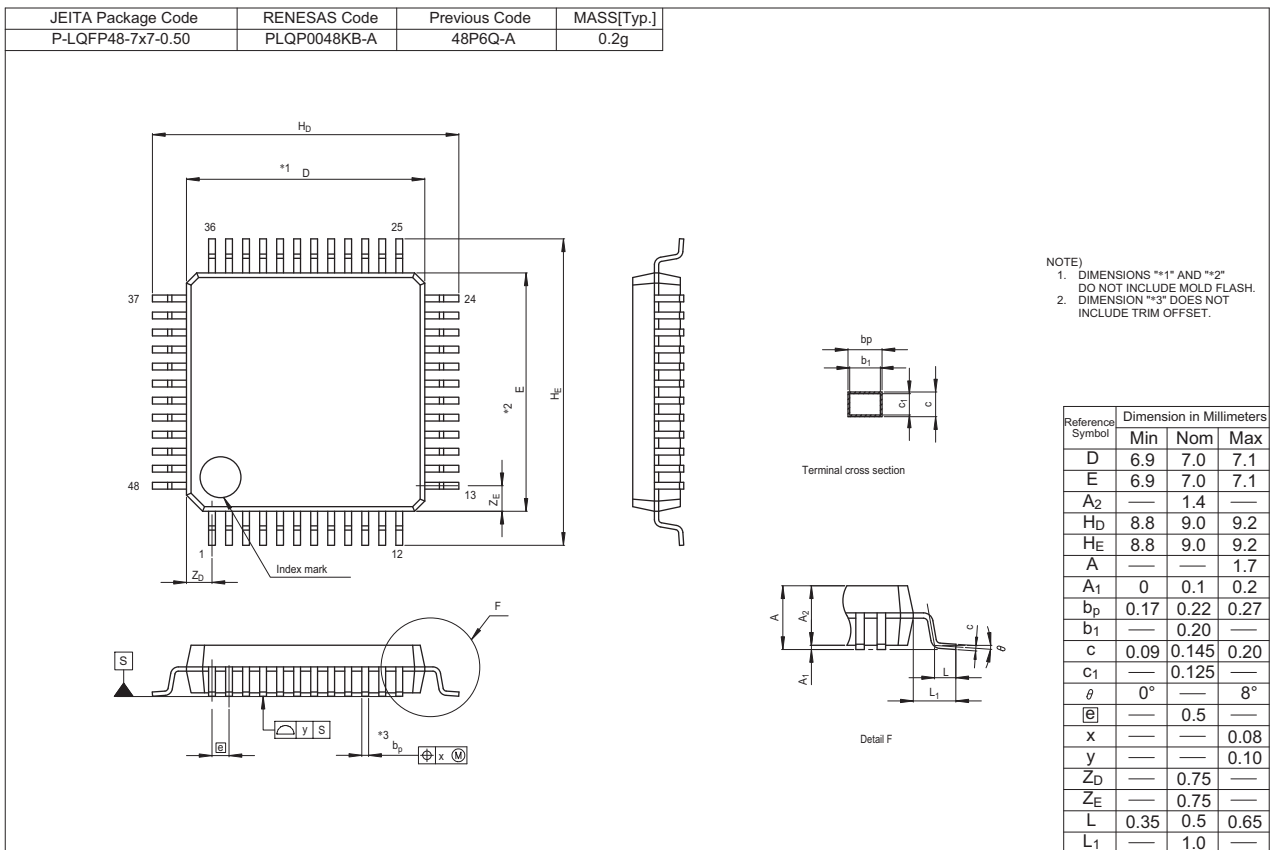


図 F. 48ピンLQFP (PLQP0048KB-A)

改訂記録	RX63T グループ データシート
------	-------------------

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.00	2012.08.28	—	初版発行		
2.00	2013.03.11	特長			
		1	変更		
		1. 概要			
		2	1.1 仕様概要 文章変更		
		2~8	表1.1 仕様概要 変更		
		9	表1.2 パッケージ別機能比較一覧 変更		
		11	表1.3 製品一覧表 変更		
		11	図1.1 型名とメモリサイズ・パッケージ 変更		
		12	図1.2 ブロック図 変更		
		13~17	表1.4 端子機能一覧 変更		
		18	図1.3 ピン配置図 (144ピンLQFP) 追加		
		19	図1.4 ピン配置図 (120ピンLQFP) 追加		
		20	図1.5 ピン配置図 (112ピンLQFP) 追加		
		21	図1.6 ピン配置図 (100ピンLQFP) 追加		
		22	図1.7 ピン配置図 (64ピンLQFP) 注記変更		
		23	図1.8 ピン配置図 (48ピンLQFP) 注記変更		
		24~28	表1.5 機能別端子一覧 (144ピンLQFP) 追加		
		29~32	表1.6 機能別端子一覧 (120ピンLQFP) 追加		
		33~36	表1.7 機能別端子一覧 (112ピンLQFP) 追加		
		37~39	表1.8 機能別端子一覧 (100ピンLQFP) 追加		
		3. アドレス空間			
		49	図3.1 各動作モードのメモリマップ 変更		
		50	3.2 外部アドレス空間 追加		
		4. I/Oレジスタ			
		52	(3) I/Oレジスタアクセスサイクル数 文章変更		
		53~95	表4.1 I/Oレジスタアドレス一覧 変更		
		5. 電気的特性【144/120/112/100ピン版】			
		96~140	追加		
		6. 電気的特性【64/48ピン版】			
		141~166	タイトル変更		
		145、146	表6.6 クロックタイミング 変更		
		151	表6.10 内蔵周辺モジュールタイミング (1) 変更		
		153	表6.12 内蔵周辺モジュールタイミング (3) 変更		
		163	6.6 発振停止検出回路特性 タイトル変更		
		163	表6.18 発振停止検出回路特性 タイトル変更		
		164	表6.19 ROM (コード格納用フラッシュメモリ) 特性 (1) 追加		
		164	表6.20 ROM (コード格納用フラッシュメモリ) 特性 (2) タイトル含め変更		
		165	表6.21 データフラッシュ (データ格納用フラッシュメモリ特性) (1) 追加		
		165	表6.22 データフラッシュ (データ格納用フラッシュメモリ) 特性 (2) タイトル含め変更		
		付録1. 外形寸法図			
		167~170	図A. 144ピンLQFP (PLQP0144KA-A) ~図D. 100ピンLQFP (PLQP0100KB-A) 追加		
		2.10	2013.09.26	—	RX63Tグループ→本MCU、RX63T→本MCU
		2.10	2013.09.26	特長	
				1	変更
				1. 概要	
				2~8	表1.1 仕様概要 変更 注1. 追加
				9	表1.2 パッケージ別機能比較一覧 変更 注2. 追加
10~12	表1.3 製品一覧表 変更 注1. 追加				
13	図1.1 型名とメモリサイズ・パッケージ 変更				
26~30	表1.5 機能別端子一覧 (144ピンLQFP) 変更				
31~34	表1.6 機能別端子一覧 (120ピンLQFP) 変更				
35~39	表1.7 機能別端子一覧 (112ピンLQFP) 変更				
40~41	表1.8 機能別端子一覧 (100ピンLQFP) 変更				
42~44	表1.9 機能別端子一覧 (64ピンLQFP) 変更				
45、46	表1.10 機能別端子一覧 (48ピンLQFP) 変更				
4. I/Oレジスタ					
55~100	表4.1 I/Oレジスタアドレス一覧 (1 / 4 6)				

Rev.	発行日	改訂内容	
		ページ	ポイント
2.10	2013.09.26	5. 電気的特性【144/120/112/100ピン版】	
		101	表5.1 絶対最大定格 変更
		104	表5.4 DC特性(3) 注7. 削除
		105	表5.6 許容消費電力 追加
		125	5.3.7 PWM 遅延生成回路タイミング 追加
		125	表5.21 PWM遅延生成回路タイミング 追加
		129	図5.32 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を2分周以外に設定) / 簡易SPI タイミング (マスタ、CKPH = 1) 変更
		130	図5.33 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を2分周に設定) 変更
		130	図5.34 RSPI タイミング (スレーブ、CPHA = 0) / 簡易SPI タイミング (スレーブ、CKPH = 0) 変更
		131	図5.35 RSPI タイミング (スレーブ、CPHA = 1) / 簡易SPI タイミング (スレーブ、CKPH = 1) 変更
		6. 電気的特性【64/48ピン版】	
		146	表6.1 絶対最大定格 変更
		148	表6.3 DC特性(2) 注3. 変更
		149	表6.5 許容消費電力 追加

## 改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分	
		ページ	ポイント		
2.20	2016.03.31	1. 概要			
		8	表 1.1 仕様概要 注1 変更		TN-RX*-A086A/J
		10	表 1.3 製品一覧表 変更		TN-RX*-A086A/J
		15	表 1.4 端子機能一覧 変更		
		26	表 1.5 機能別端子一覧 (144ピンLQFP) 変更		
		30	表 1.5 機能別端子一覧 (144ピンLQFP) 注1 追加		
		32	表 1.6 機能別端子一覧 (120ピンLQFP) 変更		
		35、36	表 1.7 機能別端子一覧 (112ピンLQFP) 変更		
		38	表 1.7 機能別端子一覧 (112ピンLQFP) 注1 追加		
		2. CPU			
		49	2.2.3.1 アクムレータ (ACC) 変更		
		4. I/Oレジスタ			
		54	(4) スリープモード時およびモード遷移時の注意事項 追加		
		55~100	表 4.1 I/Oレジスタアドレス一覧 変更		TN-RX*-A086A/J、 TN-RX*-A140A/J
		5. 電気的特性【144/120/112/100ピン版】			
		101	表 5.1 絶対最大定格 変更		TN-RX*-A086A/J
		104	表 5.4 DC特性(3) 変更		
		105	表 5.5 出力許容電流値 注1 変更		
		105	表 5.6 許容消費電力 (Gバージョンのみ) タイトル 変更 注 追加		TN-RX*-A086A/J
		108	表 5.9 クロックタイミング 変更		TN-RX*-A097A/J
		109	図 5.3 BCLK 端子出力タイミング 変更		
		109	図 5.6 LOCO、IWDTCCKロック発振開始タイミング タイトル 変更		TN-RX*-A097A/J
		109	図 5.6 LOCO、IWDTCCKロック発振開始タイミング 変更		TN-RX*-A097A/J
		121	表 5.16 内蔵周辺モジュールタイミング (1) MTU3、GPT 測定項目 追加		TN-RX*-A121A/J
		122	表 5.16 内蔵周辺モジュールタイミング (2) SCI、CAC 測定項目 追加		TN-RX*-A121A/J
		123	表 5.16 内蔵周辺モジュールタイミング (3) RSPI 測定項目 追加		TN-RX*-A121A/J
		126	表 5.17 PWM遅延生成回路タイミング 変更		TN-RX*-A086A/J
		129	図 5.30 RSPI タイミング (マスタ、CPHA=0) (ビットレート: PCLKB を2分周以外に設定) / 簡易SPI タイミング (マスタ、CKPH=1) タイトル 変更		
		130	図 5.32 RSPI タイミング (マスタ、CPHA=1) (ビットレート: PCLKB を2分周以外に設定) / 簡易SPI タイミング (マスタ、CKPH=0) タイトル 変更		
		131	図 5.34 RSPI タイミング (スレーブ、CPHA=0) / 簡易SPI タイミング (スレーブ、CKPH=1) タイトル 変更		
		132	図 5.35 RSPI タイミング (スレーブ、CPHA=1) / 簡易SPI タイミング (スレーブ、CKPH=0) タイトル 変更		
		133	表 5.18 内蔵USBフルスピード特性 (DP、DM端子特性) 条件1、2 変更		TN-RX*-A086A/J
		139	表 5.26 パワーオンリセット回路・電圧検出回路特性 (1) 変更		
		6. 電気的特性【64/48ピン版】			
		147	表 6.1 絶対最大定格 変更		TN-RX*-A086A/J
		150	表 6.5 許容消費電力 (Gバージョンのみ) タイトル 変更 注 追加		TN-RX*-A086A/J
		151	表 6.7 クロックタイミング 変更		TN-RX*-A097A/J
		152	図 6.3 LOCO、IWDTCCKロック発振開始タイミング タイトル 変更		TN-RX*-A097A/J
		152	図 6.3 LOCO、IWDTCCKロック発振開始タイミング 変更		TN-RX*-A097A/J
		153	表 6.8 リセットタイミング 変更		

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

### 1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

### 2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）がありません。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したものではありませんが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。  
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット等  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置等  
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じて、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っていません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



営業お問合せ窓口

<http://www.renesas.com>

営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

技術的なお問合せおよび資料のご請求は下記へどうぞ。  
総合お問合せ窓口：<http://japan.renesas.com/contact/>