

# 800mA デュアル出力、低待機時電流、2.25MHz 動作、高効率同期整流降圧型レギュレータ

## ISL8088

ISL8088 は、チャンネルごとに最大で 800mA の連続出力電流を供給可能な、高効率のデュアル同期整流降圧型 DC/DC レギュレータです。入力電圧範囲は 2.75V ~ 5.5V で、シングルセルのリチウムイオン・バッテリー、3 セルの NiMH バッテリ、または 5V レギュレート電源が使えます。電流モード制御アーキテクチャの採用により、高周波でもきわめて低いデューティサイクルで動作し、高速負荷変動応答と優れたループ安定性を実現しています。ISL8088 は 2.25MHz のスイッチング周波数で動作し、小型で低コストのインダクタやコンデンサを使用できます。両方のチャンネルともに 0.6V を下限とする低電圧出力に最適化されています。

ISL8088 は、ユーザーが選択可能な 2 つの動作モード ( 強制 PWM モードと PFM/PWM モード ) を備えています。強制 PWM モードの動作ではノイズや RF 干渉を低減し、PFM モードの動作では軽負荷時のスイッチング損失を抑えて高効率を実現します。PFM 動作モードの場合、両方のチャンネルの合計待機時電流はわずか 30 $\mu$ A なので、軽負荷時の効率を高めてバッテリー動作時間を最大限に伸ばせます。

ISL8088 は、パワーアップ時に両方の出力をモニタする 1ms のパワーグッド (PG) を備えています。また、シャットダウン時に動作する出力コンデンサの放電回路も内蔵しています。そのほか、デジタル制御のソフトスタート機能、パワーシーケンスを実現するイネーブル機能、過電流保護機能、サーマル・シャットダウン機能を備えています。ISL8088 は 3mm $\times$ 3mm サイズで最大高さ 1mm の 10 リード DFN パッケージで供給されます。コンバータ回路は 1.8cm<sup>2</sup> 未満のサイズで構成可能です。

## 特長

- 電流モード補償回路内蔵
- 超低ドロップアウトで最大 100% のデューティサイクル
- 強制 PWM モードまたは PFM モードを選択可能
- 最高 4MHz まで外部同期可能
- プリバイアス出力対応のスタートアップ
- ディスエーブル時のソフトストップ出力放電
- デジタル制御のソフトスタート機能 (2ms) を内蔵
- 1ms の遅延が設定されたパワーグッド (PG) 出力

## アプリケーション

- DC/DC POL モジュール
- マイクロコントローラ / マイクロプロセッサ、FPGA や DSP の電源
- ルータや交換機用のプラグイン DC/DC モジュール
- 計測機器
- リチウムイオン・バッテリーで動作するモバイル機器
- バーコード・リーダー

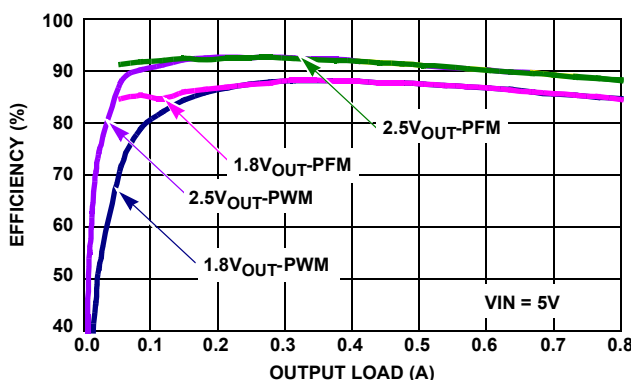
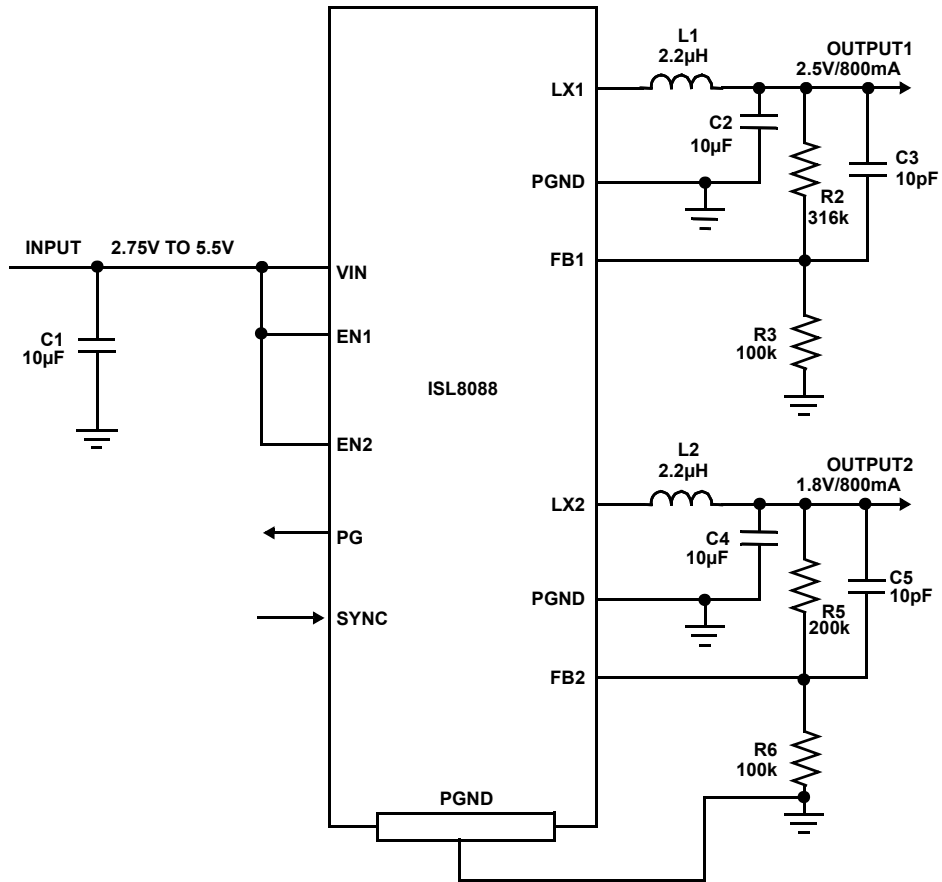
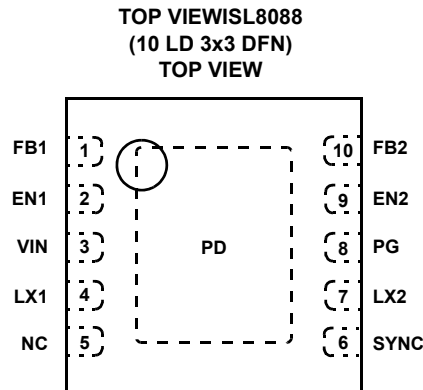


図 1. 効率特性曲線

## アプリケーション回路例



## ピン配置



## ピンの説明

ピン番号	名称	説明
1	FB1	チャンネル1レギュレータの帰還ネットワーク入力です。FB1はトランスコンダクタンス誤差アンプの負入力(反転入力)に内部で接続されています。レギュレータの出力電圧はFB1に接続した抵抗分圧回路によって設定します。分圧比を適切に選択すれば、電源レール(コンバータ損失を引いた電圧)を上限とし、0.6Vを下限とする範囲で、出力電圧を任意の電圧に設定可能です。一般的なアプリケーションでは内蔵の補償回路のままで問題ありません。FB1ピンは、チャンネル1のレギュレータ出力電圧をモニタする目的で、レギュレータのパワーグッド回路とアンダーボルテージ保護回路によっても参照されます。
2	EN1	チャンネル1のイネーブルピンです。Highを与えると出力 $V_{OUT1}$ が有効になります。Lowを与えると $V_{OUT1}$ をシャットダウンし出力コンデンサを放電します。開放のまま使用しないでください。
3	VIN	電源入力です。電源グラウンドとの間に10 $\mu$ Fのセラミック・コンデンサを接続してください。
4	LX1	チャンネル1のスイッチング・ノードです。 $V_{OUT1}$ の出力インダクタの一方の端子に接続してください。
5	NC	このピンはエキスポーズド・パッドに接続することを推奨します。
6	SYNC	モード選択ピンです。PFMモードにする場合はSYNCピンにロジックHighレベルを与えるか入力電圧VINを接続し、強制PWMモードにする場合はロジックLowレベルを与えるかグラウンドを接続します。外部同期を行うにはSYNCピンに外部クロックを与えます。立ち下がりエッジトリガです。開放のまま使用しないでください。
7	LX2	チャンネル2のスイッチング・ノードです。 $V_{OUT2}$ の出力インダクタの一方の端子に接続してください。
8	PG	1msタイマの出力です。パワーアップまたはEN_HIのとき、PGピンには $V_{OUT1}$ 電圧と $V_{OUT2}$ 電圧の状態を示すパワーグッド信号が1msだけ遅延して出力されます。1M $\Omega$ のプルアップ抵抗が内蔵されています。
9	EN2	チャンネル2のイネーブルピンです。Highを与えると出力 $V_{OUT2}$ が有効になります。Lowを与えると $V_{OUT2}$ をシャットダウンし出力コンデンサを放電します。開放のまま使用しないでください。
10	FB2	チャンネル2レギュレータの帰還ネットワーク入力です。FB2はトランスコンダクタンス誤差アンプの負入力(反転入力)に内部で接続されています。レギュレータの出力電圧はFB2に接続した抵抗分圧回路によって設定します。分圧比を適切に選択すれば、電源レール(コンバータ損失を引いた電圧)を上限とし、0.6Vを下限とする範囲で、出力電圧を任意の電圧に設定可能です。一般的なアプリケーションでは内蔵の補償回路のままで問題ありません。FB2ピンは、チャンネル2のレギュレータ出力電圧をモニタする目的で、レギュレータのパワーグッド回路とアンダーボルテージ保護回路によっても参照されます。
-	PD	適切な電気的特性を得るために、エキスポーズド・パッドはSGNDに接続してください。また、放熱性能を最大限に高めるために、パッドを実装するランドにはできるだけ多くのサーマルビアを設けてください。

## 注文情報

製品型番 (Notes 1, 2, 3)	マーキング	温度範囲 ( $^{\circ}$ C)	パッケージ (鉛フリー)	パッケージの 外形図
ISL8088IRZ	8088	-40 ~ +85	10 Ld 3x3 DFN	L10.3x3C

Note :

- テープ&リールは製品型番の末尾に「-T」を付加してください。リールの詳細仕様については、テクニカル・ブリーフ「Tape and Reel Specification for Integrated Circuit (TB347)」を参照してください。
- これら鉛フリーのプラスチック・パッケージ製品には、専用の鉛フリー素材、モールド素材、ダイ・アタッチ素材を採用するとともに、端子には亜鉛100%の梨地メッキとアニーリングを実施しています(RoHS指令に準拠するとともにSnPbハンダ付け作業と鉛フリーハンダ付け作業とも互換性のあるe3端子仕上げ)。インターシルの鉛フリー製品は鉛フリー・ピークリフロー温度でMSL分類に対応し、この仕様はIPC/JEDEC J STD-020の鉛フリー要件と同等か上回るものです。
- 湿度感受性レベル(MSL)についてはISL8088のデバイス情報ページを参照してください。MSLの詳細についてはテクニカル・ブリーフ「Guidelines for Handling and Processing Moisture Sensitive Surface Mount Devices (TB363)」を参照してください。

## 絶対最大定格 (GND 基準)

電源電圧 ( $V_{IN}$ )	-0.3V ~ 6.5V
$V_{IN}$	-0.3V ~ 7V(20ms)
EN1, EN2, PG, SYNC	-0.3V ~ $V_{IN} + 0.3V$
LX1, LX2	-1.5V ~ 6.5V
LX1, LX2	-1.5V (100ns)
	-0.3V (DC) ~ 7V (20ms)
FB1, FB2	-0.3V ~ 2.7V
ESD 定格	
人体モデル	3kV
機械モデル	300V

## 温度情報

熱抵抗 (代表値)	$\theta_{JA}$ ( $^{\circ}C/W$ )	$\theta_{JC}$ ( $^{\circ}C/W$ )
10 Ld 3x3 DFN パッケージ (Note 4, 5)	49	4
保存温度範囲	-65 $^{\circ}C$ ~ +150 $^{\circ}C$	
鉛フリー・リフロープロファイル	以下の URL を参照 <a href="http://www.intersil.com/pbfree/Pb-FreeReflow.asp">http://www.intersil.com/pbfree/Pb-FreeReflow.asp</a>	

## 推奨動作条件

$V_{IN}$ 電源電圧範囲	2.75V ~ 5.5V
チャンネルごとの負荷電流範囲	0mA ~ 800mA
周囲温度範囲	-40 $^{\circ}C$ ~ +85 $^{\circ}C$
ジャンクション温度範囲	-40 $^{\circ}C$ ~ +125 $^{\circ}C$

注意：過度に長い時間にわたって最大定格点または最大定格付近で動作させないでください。そのような動作条件を課すと製品の信頼性に影響が及ぶ恐れがあるとともに、保証の対象とはならない可能性があります。

Note :

- $\theta_{JA}$  はデバイスを放熱効率の高い「ダイレクト・アタッチ」機能対応の試験基板に実装し、自由大気中で測定した値です。詳細はテクニカル・ブリーフ「Thermal Characterization of Packaged Semiconductor Devices (TB379)」を参照してください。
- $\theta_{JC}$  の測定における「ケース温度」位置は、パッケージ下面のエキスポーズド金属パッドの中心です。

**電気的特性** 特記のない限り、すべてのパラメータは以下の推奨動作条件で規定しています。

$T_A = -40^{\circ}C \sim +85^{\circ}C$ ,  $V_{IN} = 2.75V \sim 5.5V$ ,  $EN1 = EN2 = V_{IN}$ ,  $SYNC = 0V$ ,  $L = 2.2\mu H$ ,  $C1 = 10\mu F$ ,  $C2 = C4 = 10\mu F$ ,  $I_{OUT1} = I_{OUT2} = 0A \sim 800mA$ 。代表値は  $T_A = +25^{\circ}C$ ,  $V_{IN} = 3.6V$  における値です。太字のリミット値は動作温度範囲 -40  $^{\circ}C$  から +85  $^{\circ}C$  に対して適用されます。

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 6)	TYP	MAX (Note 6)	UNITS
<b>INPUT SUPPLY</b>						
$V_{IN}$ Undervoltage Lockout Threshold	$V_{UVLO}$	Rising		2.5	2.75	V
		Falling	<b>2.1</b>	2.4		V
Quiescent Supply Current	$I_{VIN}$	$SYNC = V_{IN}$ , $EN1 = EN2 = V_{IN}$ , no load at the output and no switches switching. $V_{FB1} = V_{FB2} = 0.7V$		30	<b>50</b>	$\mu A$
		$SYNC = GND$ , $EN1 = EN2 = V_{IN}$ , $F_S = 2.25MHz$ , no load at the output		0.1	<b>1</b>	mA
Shut Down Supply Current	$I_{SD}$	$V_{IN} = 5.5V$ , $EN1 = EN2 = GND$		6.5	<b>12</b>	$\mu A$
<b>OUTPUT REGULATION</b>						
FB1, FB2 Regulation Voltage	$V_{FB\_}$		<b>0.590</b>	0.6	<b>0.610</b>	V
FB1, FB2 Bias Current	$I_{FB\_}$	$V_{FB} = 0.55V$		0.1		$\mu A$
Line Regulation		$V_{IN} = V_O + 0.5V$ to 5.5V (minimal 2.75V, $I_{OUT} = 0A$ )		0.2		%/V
Soft-Start Ramp Time Cycle				2		ms
<b>OVERCURRENT PROTECTION</b>						
Peak Overcurrent Limit	$I_{pk1}$		<b>0.95</b>	1.2	<b>1.6</b>	A
	$I_{pk2}$		<b>0.95</b>	1.2	<b>1.6</b>	A
Peak SKIP Limit	$I_{skip1}$	$V_{IN} = 3.6V$	<b>180</b>	250	<b>360</b>	mA
	$I_{skip2}$		<b>180</b>	250	<b>360</b>	mA
<b>LX1, LX2</b>						
P-Channel MOSFET ON-Resistance		$V_{IN} = 5.5V$ , $I_O = 200mA$		180	<b>350</b>	m $\Omega$
		$V_{IN} = 2.75V$ , $I_O = 200mA$		320	<b>450</b>	m $\Omega$
N-Channel MOSFET ON-Resistance		$V_{IN} = 5.5V$ , $I_O = 200mA$		180	<b>350</b>	m $\Omega$
		$V_{IN} = 2.75V$ , $I_O = 200mA$		320	<b>450</b>	m $\Omega$

# ISL8088

**電気的特性** 特記のない限り、すべてのパラメータは以下の推奨動作条件で規定しています。

$T_A = -40\text{ }^\circ\text{C} \sim +85\text{ }^\circ\text{C}$ 、 $V_{IN} = 2.75\text{V} \sim 5.5\text{V}$ 、 $EN1 = EN2 = V_{IN}$ 、 $SYNC = 0\text{V}$ 、 $L = 2.2\mu\text{H}$ 、 $C1 = 10\mu\text{F}$ 、 $C2 = C4 = 10\mu\text{F}$ 、 $I_{OUT1} = I_{OUT2} = 0\text{A} \sim 800\text{mA}$ 。代表値は  $T_A = +25\text{ }^\circ\text{C}$ 、 $V_{IN} = 3.6\text{V}$  における値です。太字のリミット値は動作温度範囲  $-40\text{ }^\circ\text{C}$  から  $+85\text{ }^\circ\text{C}$  に対して適用されます。(続き)

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 6)	TYP	MAX (Note 6)	UNITS
LX_ Maximum Duty Cycle				100		%
PWM Switching Frequency	$F_S$		<b>1.8</b>	2.25	<b>2.7</b>	MHz
Synchronization Range			<b>2.7</b>		<b>4</b>	MHz
LX Minimum On-Time		SYNC = 0 (forced PWM mode)			<b>100</b>	ns
Soft Discharge Resistance	$R_{DIS\_}$	EN = LOW	<b>80</b>	100	<b>130</b>	$\Omega$
<b>PG</b>						
Output Low Voltage		Sinking 1mA, VFB = 0.5V			<b>0.3</b>	V
PG Pull-up Resistor				1		M $\Omega$
Internal P <sub>GOOD</sub> Low Rising Threshold		Percentage of nominal regulation voltage	<b>88</b>	92	<b>96</b>	%
Internal P <sub>GOOD</sub> Low Falling Threshold		Percentage of nominal regulation voltage	<b>82</b>	89	<b>91</b>	%
Delay Time (Rising Edge)				1		ms
Internal P <sub>GOOD</sub> Delay Time (Falling Edge)				1	<b>2</b>	$\mu\text{s}$
<b>EN1, EN2, SYNC</b>						
Logic Input Low					<b>0.4</b>	V
Logic Input High			<b>1.4</b>			V
SYNC Logic Input Leakage Current	$I_{SYNC}$	Pulled up to 5.5V		0.1	<b>1</b>	$\mu\text{A}$
Enable Logic Input Leakage Current	$I_{EN\_}$			0.1	<b>1</b>	$\mu\text{A}$
Thermal Shutdown				150		$^\circ\text{C}$
Thermal Shutdown Hysteresis				25		$^\circ\text{C}$

Note :

6. MIN パラメータと MAX パラメータは特記のない限り  $+25\text{ }^\circ\text{C}$  で全数試験を行っています。温度リミットは特性評価によって得ており、製造時試験は行っていません。

**動作性能特性** 特記のない限り動作条件は次のとおりです。  $T_A = +25^\circ\text{C}$ 、 $V_{IN} = 2.75\text{V} \sim 5.5\text{V}$ 、 $EN = V_{IN}$ 、 $L1 = L2 = 2.2\mu\text{H}$ 、 $C1 = 10\mu\text{F}$ 、 $C2 = C4 = 10\mu\text{F}$ 、 $V_{OUT1} = 2.5\text{V}$ 、 $V_{OUT2} = 1.8\text{V}$ 、 $I_{OUT1} = I_{OUT2} = 0\text{A} \sim 800\text{mA}$ 。

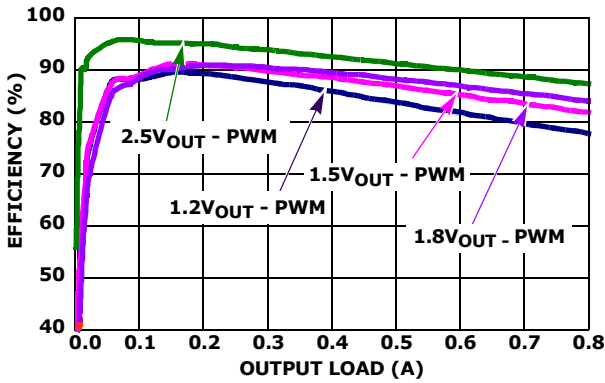


図 2. 効率 vs 負荷電流、2.25MHz、3.3V<sub>IN</sub> PWM

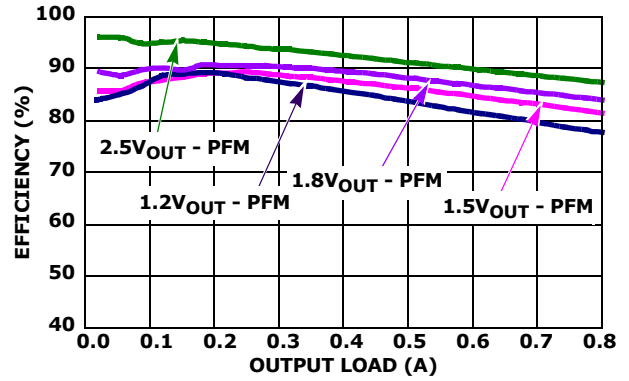


図 3. 効率 vs 負荷電流、2.25MHz、3.3V<sub>IN</sub> PFM

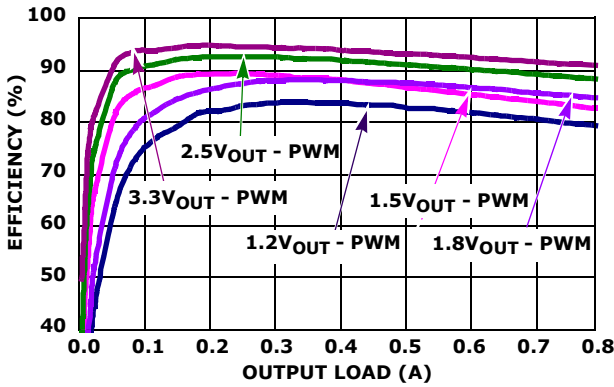


図 4. 効率 vs 負荷電流、2.25MHz、5V<sub>IN</sub> PWM

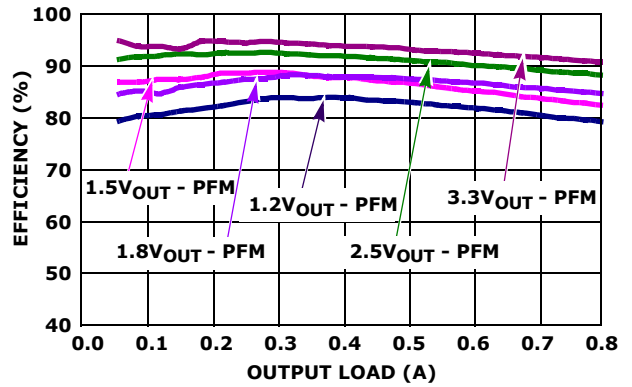


図 5. 効率 vs 負荷電流、2.25MHz、5V<sub>IN</sub> PFM

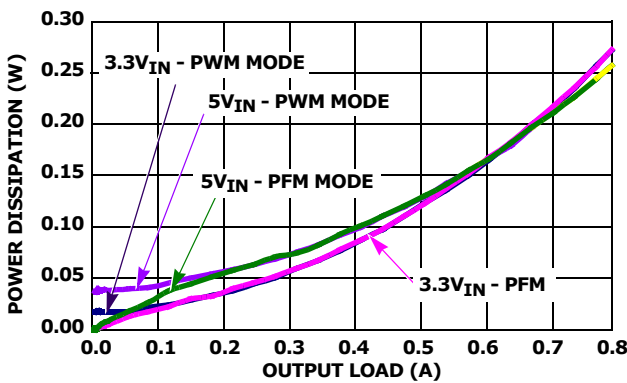


図 6. 電力損失 vs 負荷電流、2.25MHz、1.8V<sub>OUT</sub> PWM

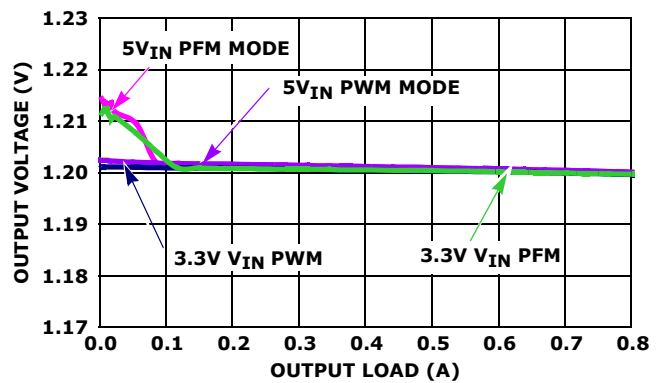


図 7. V<sub>OUT</sub> レギュレーション vs 負荷電流、2.25MHz、1.2V<sub>OUT</sub> PFM

**動作性能特性**

特記のない限り動作条件は次のとおりです。T<sub>A</sub> = +25 °C、V<sub>IN</sub> = 2.75V ~ 5.5V、EN = V<sub>IN</sub>、L1 = L2 = 2.2μH、C1 = 10μF、C2 = C4 = 10μF、V<sub>OUT1</sub> = 2.5V、V<sub>OUT2</sub> = 1.8V、I<sub>OUT1</sub> = I<sub>OUT2</sub> = 0A ~ 800mA。(続き)

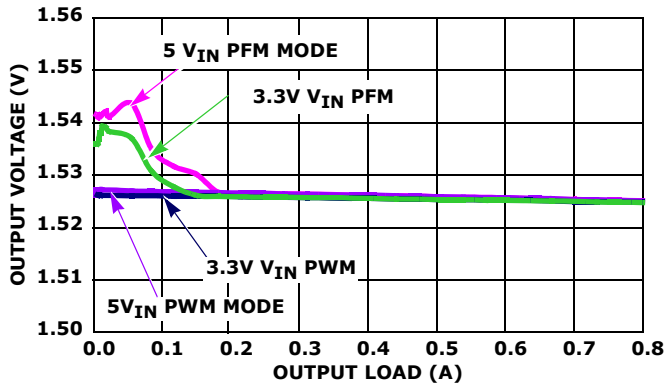


図 8. V<sub>OUT</sub> レギュレーション vs 負荷電流、2.25MHz、1.5V<sub>OUT</sub>

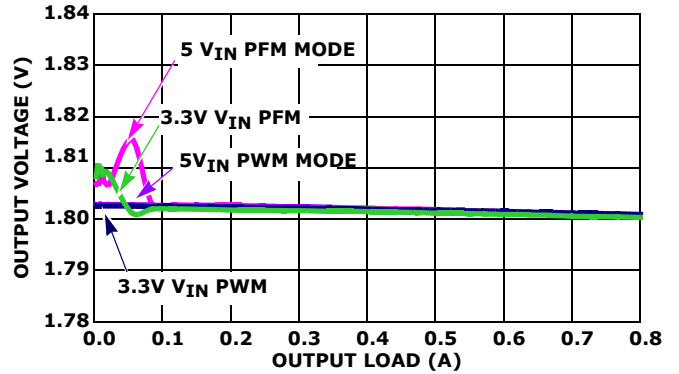


図 9. V<sub>OUT</sub> レギュレーション vs 負荷電流、2.25MHz、1.8V<sub>OUT</sub>

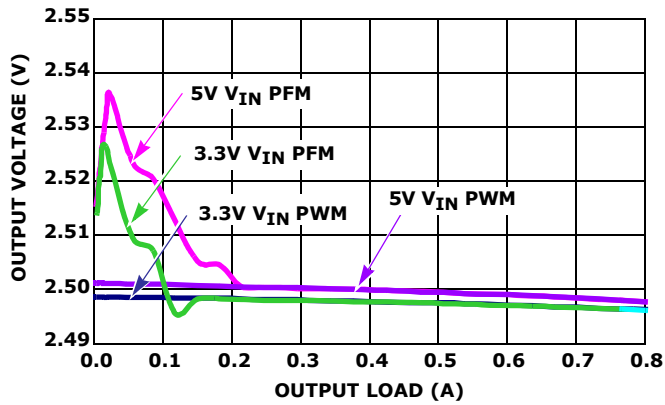


図 10. V<sub>OUT</sub> レギュレーション vs 負荷電流、2.25MHz、2.5V<sub>OUT</sub>

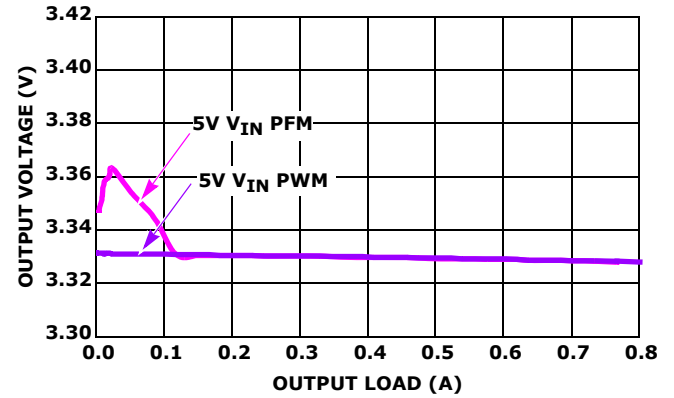


図 11. V<sub>OUT</sub> レギュレーション vs 負荷電流、2.25MHz、3.3V<sub>OUT</sub>

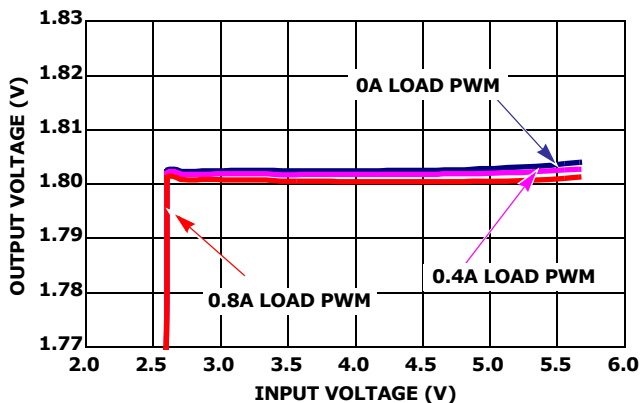


図 12. V<sub>OUT</sub> レギュレーション vs V<sub>IN</sub>、1.8V<sub>OUT</sub>、PWM モード

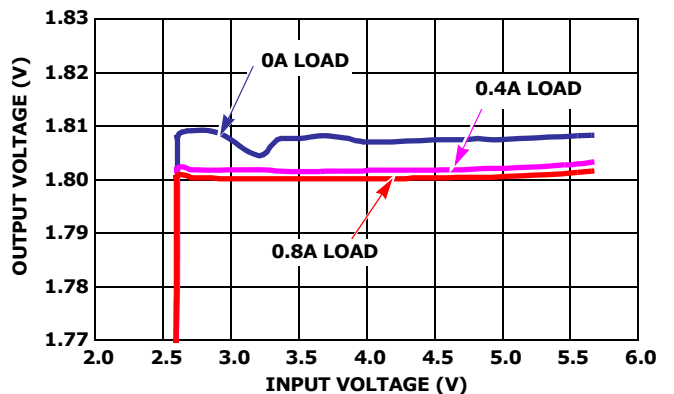


図 13. V<sub>OUT</sub> レギュレーション vs V<sub>IN</sub>、1.8V<sub>OUT</sub>、PFM モード



**動作性能特性** 特記のない限り動作条件は次のとおりです。  $T_A = +25^\circ\text{C}$ 、 $V_{IN} = 2.75\text{V} \sim 5.5\text{V}$ 、 $EN = V_{IN}$ 、 $L1 = L2 = 2.2\mu\text{H}$ 、 $C1 = 10\mu\text{F}$ 、 $C2 = C4 = 10\mu\text{F}$ 、 $V_{OUT1} = 2.5\text{V}$ 、 $V_{OUT2} = 1.8\text{V}$ 、 $I_{OUT1} = I_{OUT2} = 0\text{A} \sim 800\text{mA}$ 。(続き)

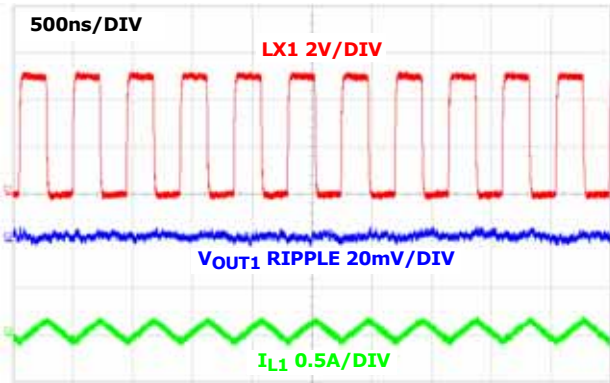


図 14. 無負荷時の安定状態動作、チャンネル 1 (PWM)

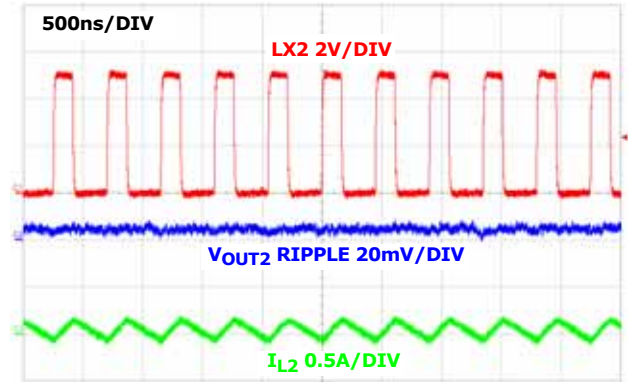


図 15. 無負荷時の安定状態動作、チャンネル 2 (PWM)

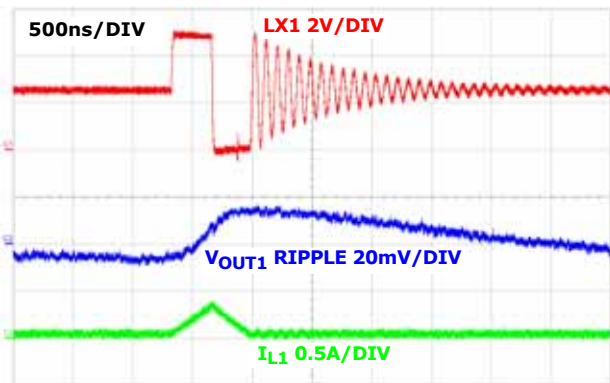


図 16. 無負荷時の安定状態動作、チャンネル 1 (PFM)

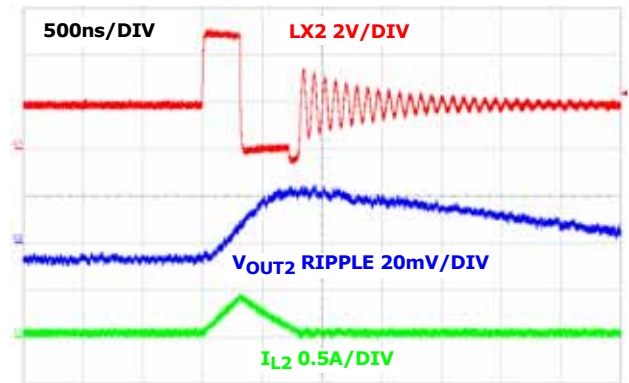


図 17. 無負荷時の安定状態動作、チャンネル 2 (PFM)

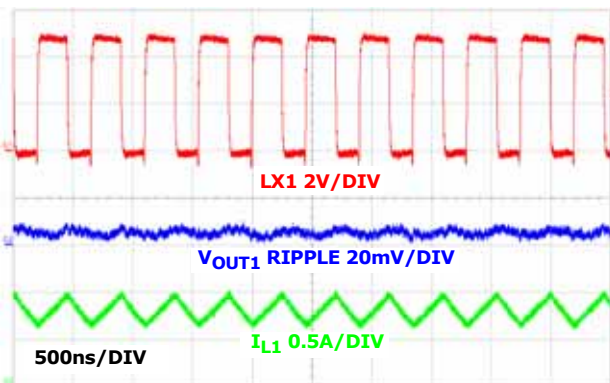


図 18. フル負荷時の安定状態動作、チャンネル 1

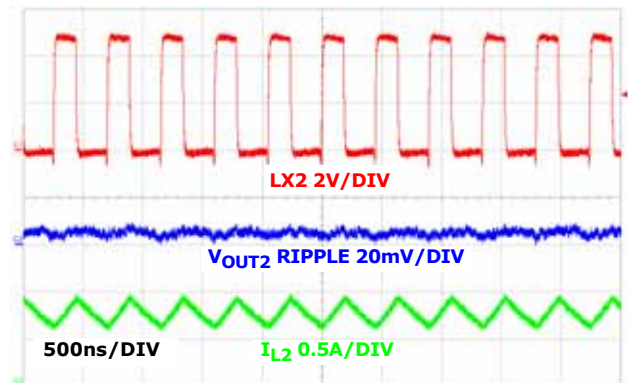


図 19. フル負荷時の安定状態動作、チャンネル 2



**動作性能特性** 特記のない限り動作条件は次のとおりです。  $T_A = +25^\circ\text{C}$ 、 $V_{IN} = 2.75\text{V} \sim 5.5\text{V}$ 、 $EN = V_{IN}$ 、 $L1 = L2 = 2.2\mu\text{H}$ 、 $C1 = 10\mu\text{F}$ 、 $C2 = C4 = 10\mu\text{F}$ 、 $V_{OUT1} = 2.5\text{V}$ 、 $V_{OUT2} = 1.8\text{V}$ 、 $I_{OUT1} = I_{OUT2} = 0\text{A} \sim 800\text{mA}$ 。(続き)

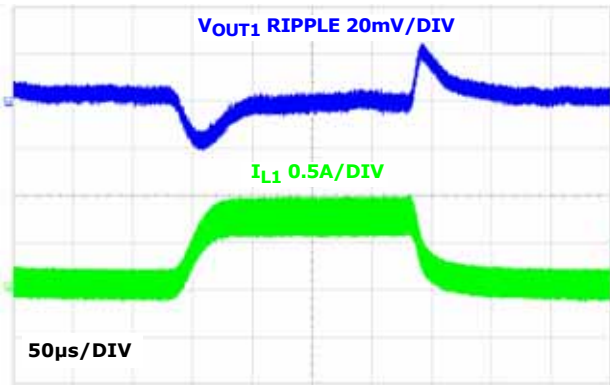


図 20. 負荷変動応答、チャンネル 1 (PWM)

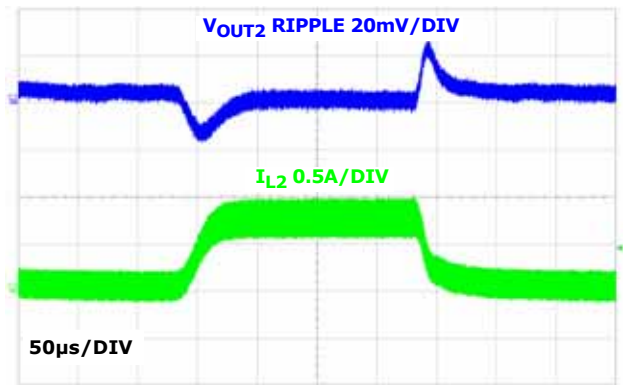


図 21. 負荷変動応答、チャンネル 2 (PWM)

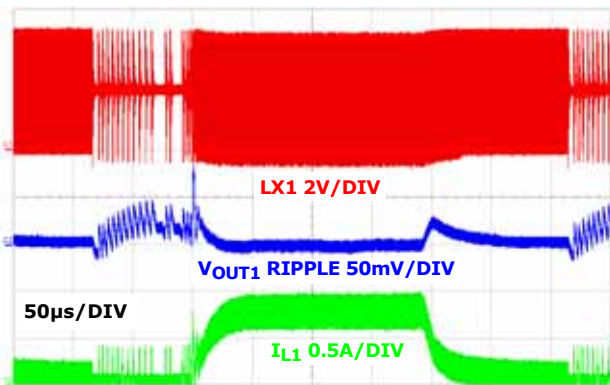


図 22. 負荷変動応答、チャンネル 1 (PFM)

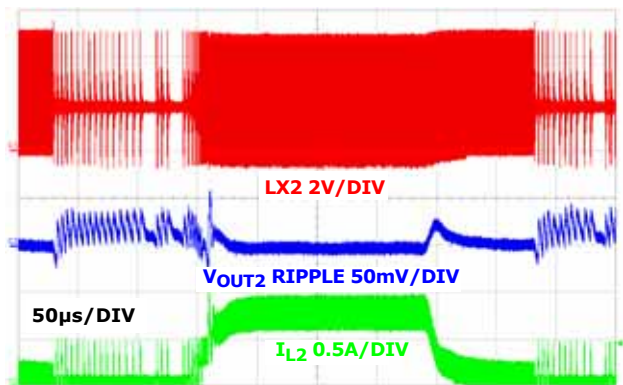


図 23. 負荷変動応答、チャンネル 2 (PFM)

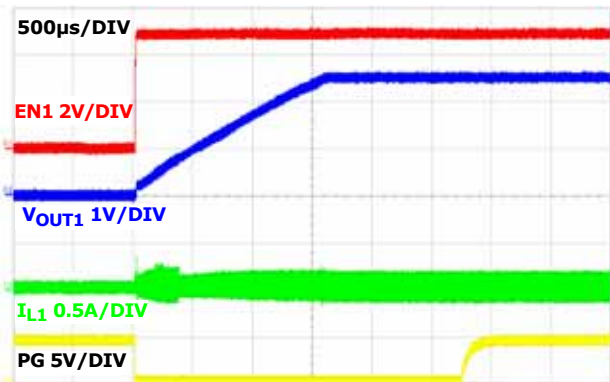


図 24. 無負荷時のソフトスタート、チャンネル 1 (PWM)



図 25. 無負荷時のソフトスタート、チャンネル 2 (PWM)

**動作性能特性** 特記のない限り動作条件は次のとおりです。  $T_A = +25^\circ\text{C}$ 、 $V_{IN} = 2.75\text{V} \sim 5.5\text{V}$ 、 $EN = V_{IN}$ 、 $L1 = L2 = 2.2\mu\text{H}$ 、 $C1 = 10\mu\text{F}$ 、 $C2 = C4 = 10\mu\text{F}$ 、 $V_{OUT1} = 2.5\text{V}$ 、 $V_{OUT2} = 1.8\text{V}$ 、 $I_{OUT1} = I_{OUT2} = 0\text{A} \sim 800\text{mA}$ 。(続き)

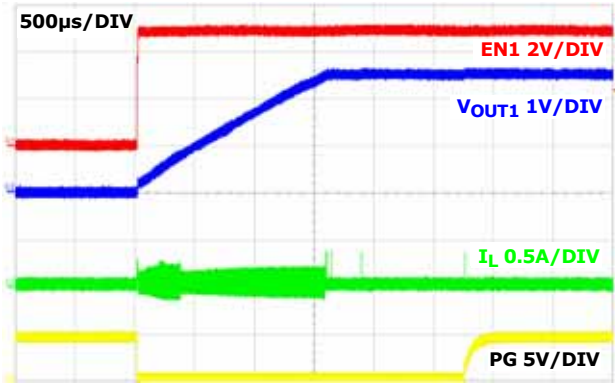


図 26. 無負荷時のソフトスタート、チャンネル 1 (PFM)

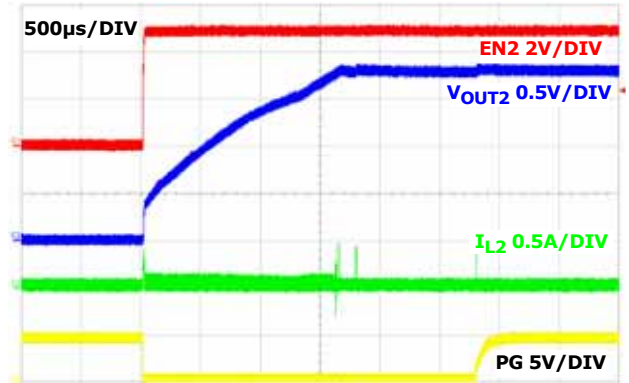


図 27. 無負荷時のソフトスタート、チャンネル 2 (PFM)

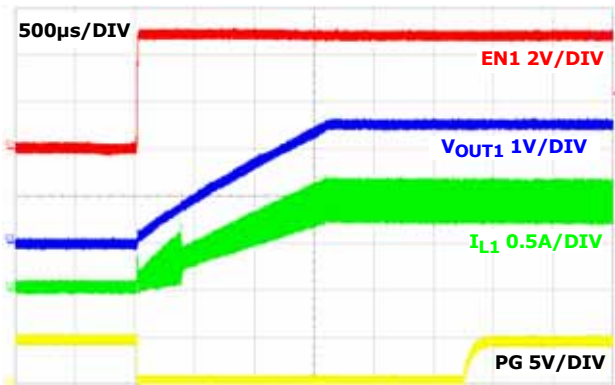


図 28. フル負荷時のソフトスタート、チャンネル 1

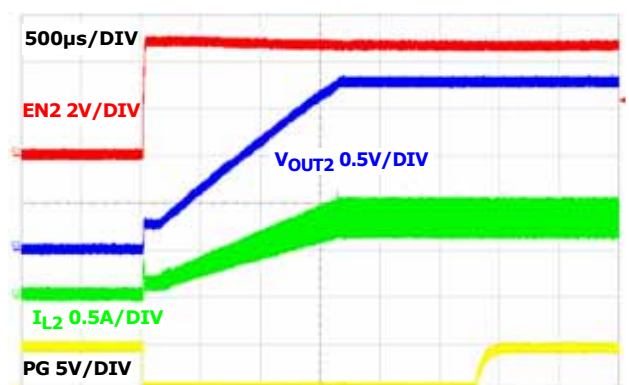


図 29. フル負荷時のソフトスタート、チャンネル 2

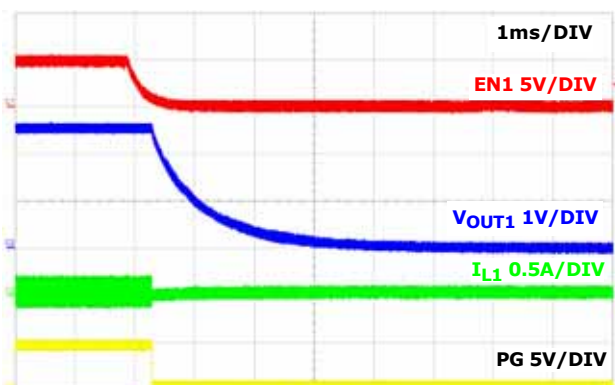


図 30. ソフト放電シャットダウン、チャンネル 1

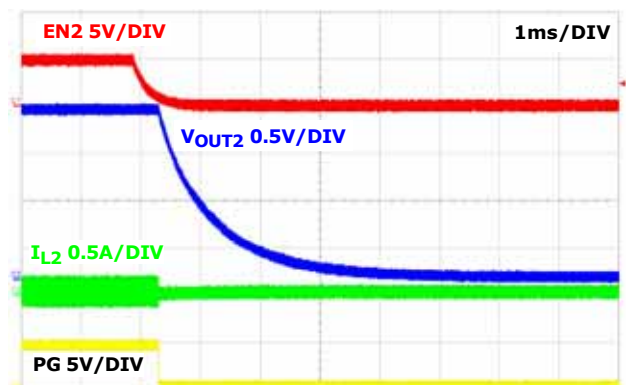


図 31. ソフト放電シャットダウン、チャンネル 2

**動作性能特性** 特記のない限り動作条件は次のとおりです。  $T_A = +25^\circ\text{C}$ 、 $V_{IN} = 2.75\text{V} \sim 5.5\text{V}$ 、 $EN = V_{IN}$ 、 $L1 = L2 = 2.2\mu\text{H}$ 、 $C1 = 10\mu\text{F}$ 、 $C2 = C4 = 10\mu\text{F}$ 、 $V_{OUT1} = 2.5\text{V}$ 、 $V_{OUT2} = 1.8\text{V}$ 、 $I_{OUT1} = I_{OUT2} = 0\text{A} \sim 800\text{mA}$ 。(続き)

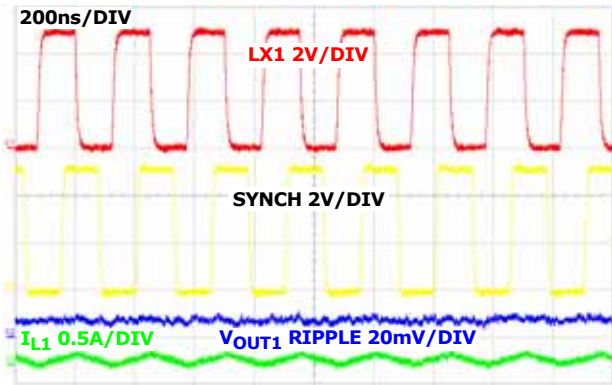


図 32. 無負荷時の安定状態動作、周波数 = 4MHz、  
チャンネル 1 (PFM)

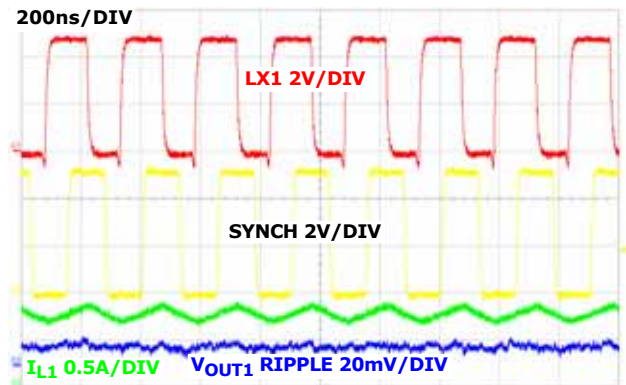


図 33. フル負荷時の安定状態動作、周波数 = 4MHz、  
チャンネル 1 (PFM)

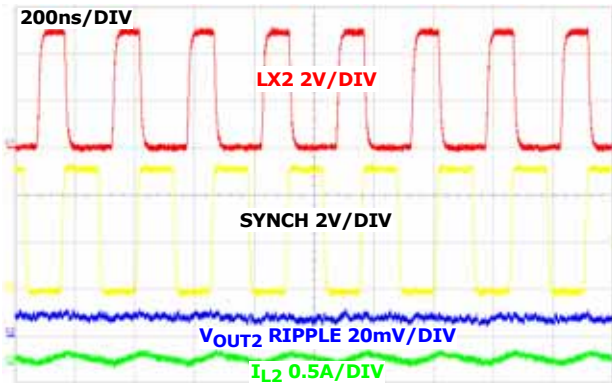


図 34. 無負荷時の安定状態動作、周波数 = 4MHz、  
チャンネル 2 (PFM)

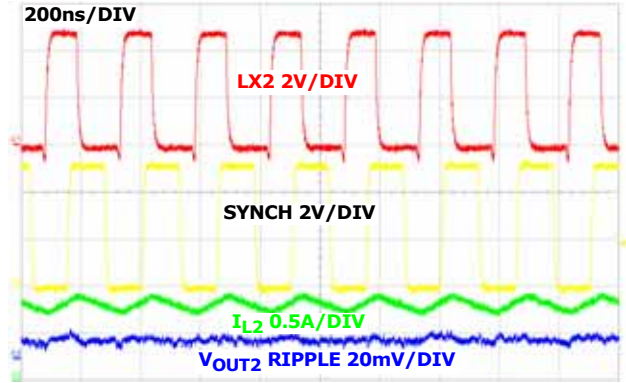


図 35. フル負荷時の安定状態動作、周波数 = 4MHz、  
チャンネル 2 (PFM)

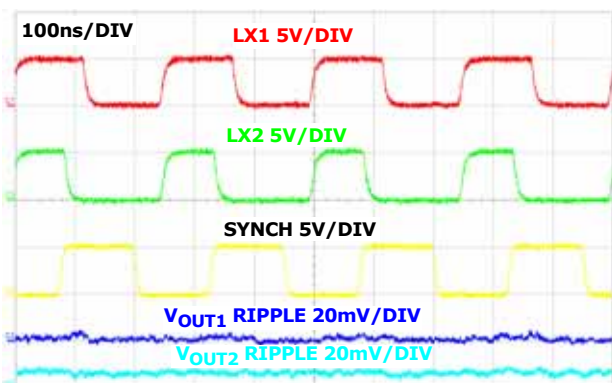


図 36. 無負荷時の安定状態動作、周波数 = 4MHz、  
チャンネル 1 とチャンネル 2 (PFM)

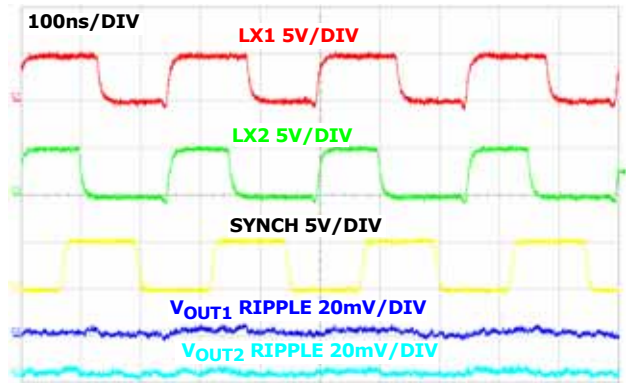


図 37. フル負荷時の安定状態動作、周波数 = 4MHz、  
チャンネル 1 とチャンネル 2 (PFM)

**動作性能特性** 特記のない限り動作条件は次のとおりです。  $T_A = +25^\circ\text{C}$ 、 $V_{IN} = 2.75\text{V} \sim 5.5\text{V}$ 、 $EN = V_{IN}$ 、 $L1 = L2 = 2.2\mu\text{H}$ 、 $C1 = 10\mu\text{F}$ 、 $C2 = C4 = 10\mu\text{F}$ 、 $V_{OUT1} = 2.5\text{V}$ 、 $V_{OUT2} = 1.8\text{V}$ 、 $I_{OUT1} = I_{OUT2} = 0\text{A} \sim 800\text{mA}$ 。(続き)

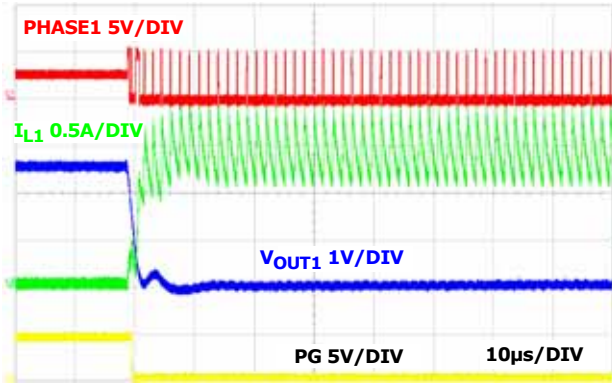


図 38. 出力短絡、チャンネル 1

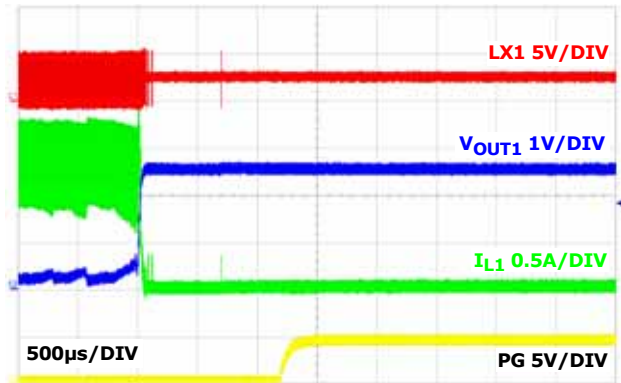


図 39. 出力短絡からの復帰、チャンネル 1

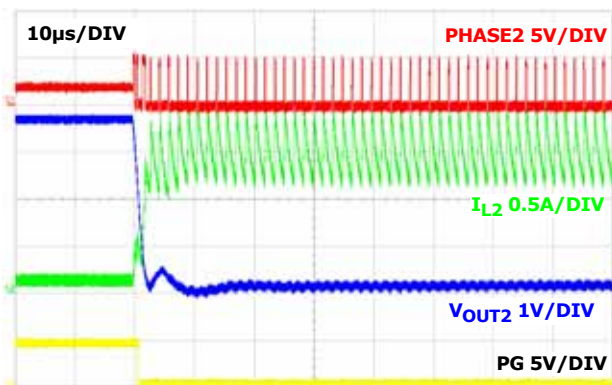


図 40. 出力短絡、チャンネル 2

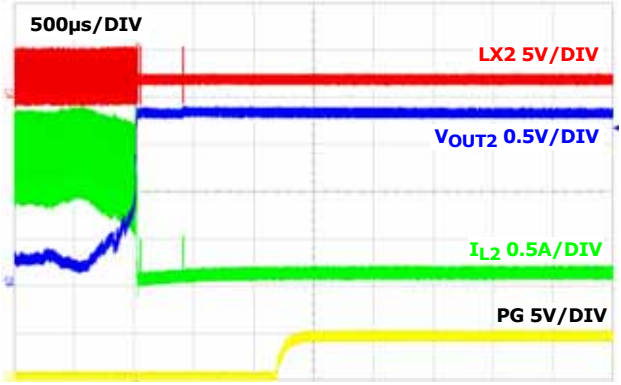


図 41. 出力短絡からの復帰、チャンネル 2

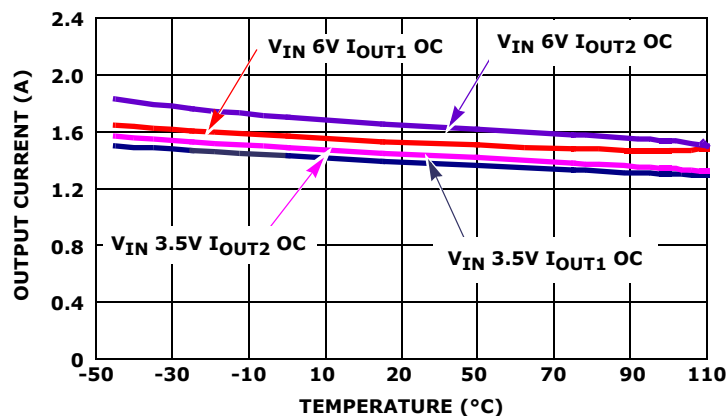
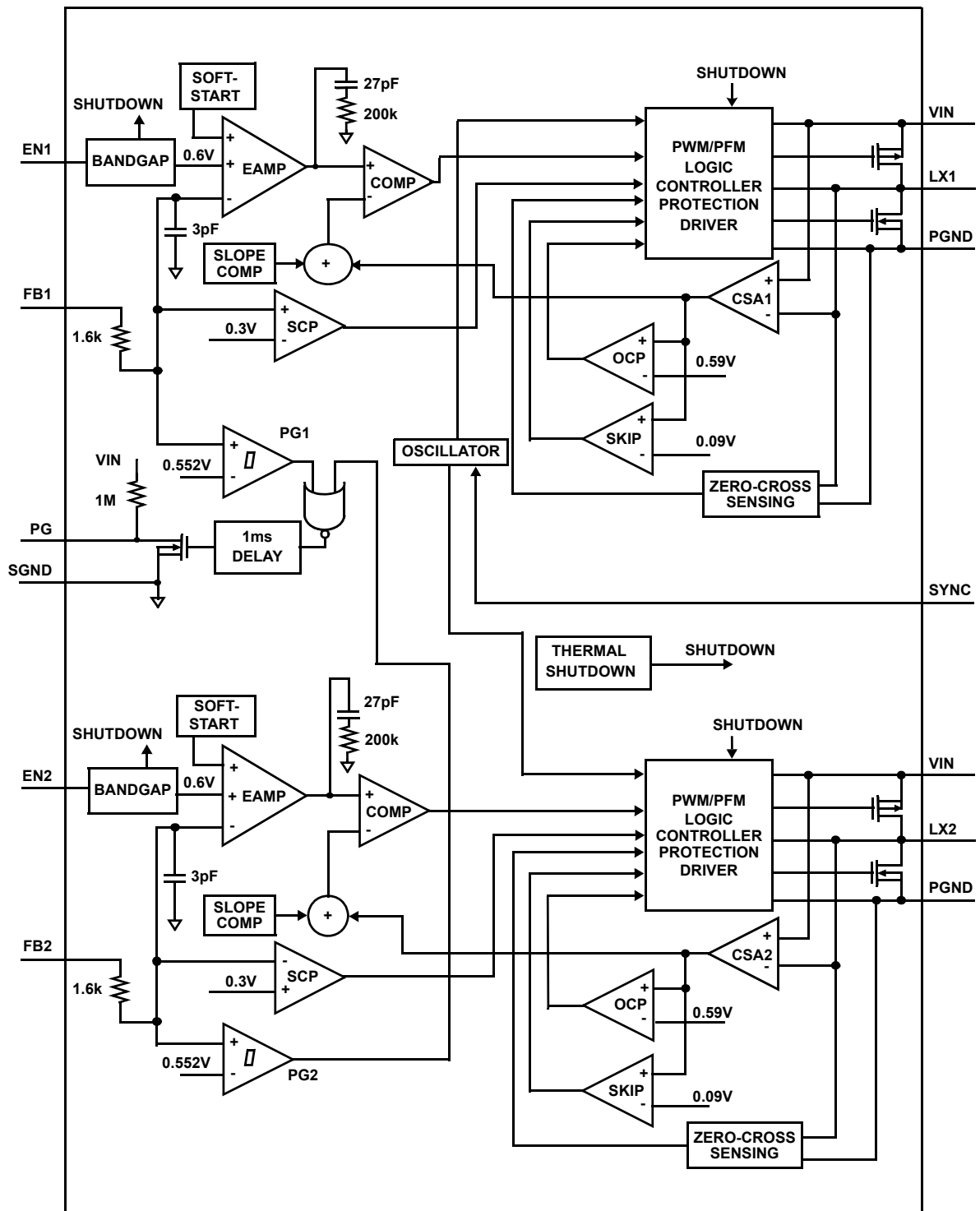


図 42. 出力電流リミット vs 温度



ブロック図



## 動作の仕組み

ISL8088 は、バッテリー駆動アプリケーションやモバイル・アプリケーションに最適な、定格 800mA のデュアル出力が可能な降圧型スイッチング・レギュレータです。負荷が重い条件下では、2.25MHz の一定スイッチング周波数で動作するので、小型の外付けインダクタやコンデンサを使用すると、プリント基板 (PCB) の面積を最小限に抑えられます。負荷が軽い条件下では、強制的に一定周波数にした場合を除いて、スイッチング周波数が減少するため、スイッチング損失の低減とバッテリー動作時間の延長が可能です。2 系統のチャンネルは同じ位相で動作します。出力負荷がないときの待機時電流はわずか 30 $\mu$ A です。レギュレータがシャットダウンしているときの電源電流はわずか 6.5 $\mu$ A です。

## PWM 制御方式

SYNC ピンに Low (<0.4V) を与えると、負荷電流に関わらず、コンバータは次のサイクルから PWM モードに移行します。13 ページの「ブロック図」に示すように、ISL8088 の各チャンネルともに電流モードのパルス幅変調 (PWM) 制御方式を採用し、高速な負荷変動応答とパルス単位での電流リミットを実現しています。コンバータ回路の電流ループは、発振回路、PWM コンパレータ COMP、電流センス回路、ループ安定性を維持する傾き補償回路で構成されます。電流センス回路は、P チャンネル MOSFET のオン抵抗と、電流センスアンプ CSA1 (チャンネル 2 は CSA2) とで構成されます。電流センス回路のゲインは代表値で 0.285V/A です。電流ループの制御リファレンス信号は、電圧ループ内の誤差アンプ EAMP で生成しています。

PWM 動作は発振回路のクロックによって始まります。P チャンネル MOSFET は PWM サイクルの開始時にターンオンし、MOSFET の電流は上昇を始めます。電流アンプ CSA1 (または CSA2) と、補償傾き信号 (0.33V/ $\mu$ s) の和が電流ループの制御リファレンスに達すると、P チャンネル MOSFET をターンオフし、かつ、N チャンネル MOSFET をターンオンするように、PWM コンパレータ COMP は PWM ロジックに信号を送出します。N チャンネル MOSFET は PWM サイクルが終わるまでオンの状態を維持します。図 43 に PWM 動作中の動作波形の一例を示します。点線は補償傾き信号と電流センスアンプ CSA<sub>n</sub> の出力の和を表しています。

電流ループに与えるリファレンス電圧を制御して、出力電圧のレギュレーションを行っています。バンドギャップ回路から 0.6V リファレンス電圧が電圧制御ループに出力されます。帰還信号は V<sub>FB</sub> ピンから与えられます。ソフトスタート・ブロックはスタートアップ時のみ動作し、詳細は後述します。誤差アンプはトランスコンダクタンス・アンプで、電圧誤差信号を電流出力へと変換します。電圧ループは 27pF と 200k $\Omega$  で構成される内蔵 RC ネットワークで補償されています。EAMP 出力の最大電圧は 0.8V で高精度にクランプされます。

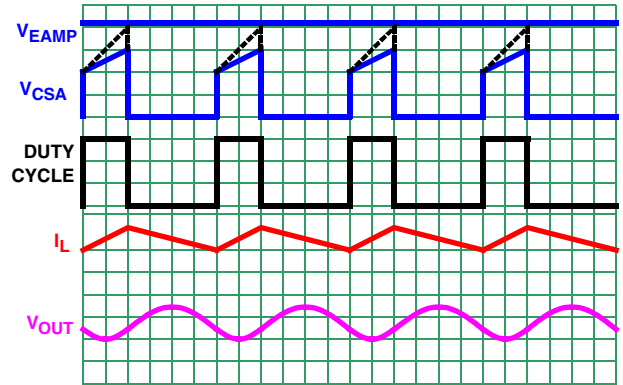


図 43. PWM 動作波形

## スキップモード

SYNC ピンに High (>2.0V) を与えると、コンバータを PFM モードに移行できます。ISL8088 は、軽負荷時にはパルス・スキップモードに移行し、スイッチング周波数を減らせばスイッチング損失を最小限に抑えます。図 44 に、スキップモードの動作を示します。13 ページの「ブロック図」に示されたゼロクロス・センス回路は、N チャンネル MOSFET 電流のゼロクロスを検出します。8 サイクル連続して N チャンネル MOSFET のゼロクロスが検出されると、レギュレータはスキップモードに移行します。8 検出サイクルの間、インダクタの電流は負極性になることが許可されます。電流のゼロクロスが発生しないサイクルがあれば、カウンタは 0 にリセットされます。

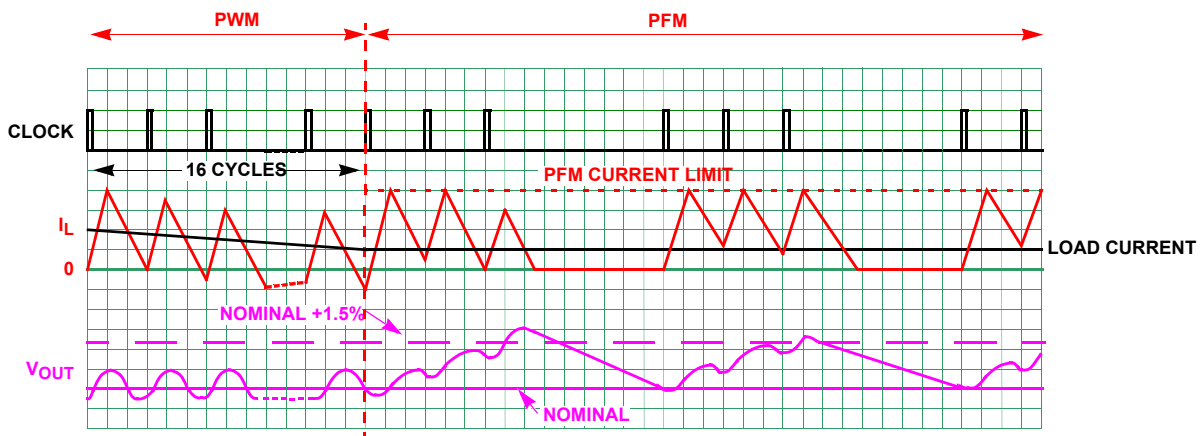


図 44. スキップモード動作波形

スキップモードへの移行後は、13ページの「ブロック図」のスキップ・コンパレータによって制御されたパルス変調が開始されます。各パルス・サイクルの同期は、引き続き PWM クロックによって行われます。P チャンネル MOSFET はそのクロックでターンオンし、電流が 250mA のスレッシュホールドに達するとターンオフします。各サイクルの平均インダクタ電流は負荷の平均電流より高いため、出力電圧がサイクルごとに上昇します。出力電圧が公称電圧を 1.5% 上回ると即座に、P チャンネル MOSFET がターンオフします。そうすると、インダクタ電流が 0A まで完全に放電され、0A の状態が維持されます。負荷電流による出力コンデンサの放電に伴い、出力電圧は徐々に低下します。出力電圧が公称電圧まで低下すると、P チャンネル MOSFET がそのクロックで再度ターンオンし、前述の動作を繰り返します。

出力電圧が公称電圧を 1.5% 下回ると、レギュレータは通常の PWM モード動作を再開します。

### 外部同期制御

動作周波数は SYNC ピンに与える最高 4MHz の外部信号に同期できます。SYNC の立ち下がりエッジによって、チャンネル 1 の PWM オンパルスの立ち上がりエッジがトリガされます。

### 過電流保護

チャンネル 1 の負荷電流とチャンネル 2 の負荷電流は、それぞれ CSA1 と CSA2 でモニタされます。13ページの「ブロック図」に示すように、CSA\_ 出力は過電流保護 (OCP) スレッシュホールド・ロジックを使いモニタして、過電流保護を実現しています。電流センス回路の P チャンネル MOSFET 電流から CSA\_ 出力までのゲインは 0.285V/A です。CSA\_ 出力が 590mV の OCP スレッシュホールドに達すると、OCP コンパレータがトリップして即座に P チャンネル MOSFET をターンオフします。このように過電流保護は、ハイサイド MOSFET を流れる電流をモニタすると、スイッチング・コンバータ回路を出力短絡から保護します。

過電流状態が検出されるとハイサイド MOSFET は即座にターンオフし、次のスイッチング・サイクルが始まるまではターンオンしません。

### パワーグッド (PG)

パワーグッド信号 (PG) は両方の出力チャンネルをモニタします。オープンコレクタの PG 出力は、電源投入後に  $V_{O1}$  と  $V_{O2}$  が設定電圧に達したあとも、およそ 1ms にわたって Low を維持します。PG 出力は 1ms だけ遅延したパワーグッド信号とみなすこともできます。いずれかの出力がディスエーブルの場合、PG はアクティブのチャンネルのみモニタします。1M $\Omega$  のプルアップ抵抗が内蔵されています。

表 1. PG

EN1	EN2	PG1 INTERNAL	PG2 INTERNAL	PG
0	0	X	X	0
0	1	X	1	1
1	0	1	X	1
1	1	1	1	1

### アンダーボルテージ・ロックアウト (UVLO)

入力電圧がアンダーボルテージ・ロックアウト (UVLO) スレッシュホールドを下回ると、レギュレータはディスエーブル状態になります。

### イネーブル

パワーアップ・シーケンスを行うには、イネーブル (EN1、EN2) 入力を使って、レギュレータのイネーブルとディスエーブルを制御します。レギュレータがイネーブル状態になったあと、バンドギャップ・リファレンスの起動に代表値で 600 $\mu$ s を要します。その後ソフトスタートが始まります。

### ソフトスタート

ソフトスタートはスタートアップ時の突入電流を抑える機能です。ソフトスタート・ブロックによって、電圧ループと電流ループの両方に対しランプ・リファレンスが出力されます。インダクタ電流の立ち上がり速度と出力電圧の立ち上がり速度が制限されるため、出力電圧は制御された状態で上昇します。スタートアップが開始した直後、帰還電圧は 0.2V 未満で、そのため PWM 動作周波数は通常の周波数の 1/3 に下がります。

強制 PWM モードの場合、デバイスは PFM モードでスタートアップを続行するので、プリバイアス負荷アプリケーションに対応できます。

### 放電モード (ソフトストップ)

シャットダウンモードへの移行が発生したとき、または、出力アンダーボルテージ・フォルトラッチがセットされたとき、出力は内蔵の 100 $\Omega$  スイッチを介して GND レベルに放電されます。

### パワー MOSFET

パワー MOSFET は最大限の効率が得られるように最適化されています。P チャンネル MOSFET のオン抵抗は代表値で 180m $\Omega$ 、N チャンネル MOSFET のオン抵抗は代表値で 180m $\Omega$  です。

### 100%デューティサイクル

ISL8088 は、機器のバッテリー動作時間を最大限に確保できるように、100%デューティサイクル動作に対応しています。ISL8088 が出力レギュレーションを維持できないレベルにまでバッテリー電圧が低下すると、レギュレータは P チャンネル MOSFET を完全にターンオフします。100%デューティサイクル動作における最大ドロップアウト電圧は、負荷電流と P チャンネル MOSFET のオン抵抗の積で求められます。

### サーマル・シャットダウン

ISL8088 にはサーマル保護機能が内蔵されています。内部温度が +150  $^{\circ}$ C に達するとレギュレータは完全にシャットダウンします。温度が +130  $^{\circ}$ C にまで下がると ISL8088 はソフトスタート・サイクルを経て通常動作に復帰します。



## アプリケーション情報

### 出力インダクタと出力コンデンサの選択

安定状態動作と過渡応答動作を考慮して、ISL8088 の出力インダクタには 2.2μH を一般に使用します。コンバータ全体のシステム性能を高めるためにこれ以外のインダクタンス値を使用してもかまいません。たとえば、出力電圧が 3.3V と高めのアプリケーションの場合、大きめのインダクタを使用するとインダクタ電流と出力電圧リップルの抑制が図れます。インダクタ・リップル電流は式 1 で表されます。

$$\Delta I = \frac{V_O \cdot \left(1 - \frac{V_O}{V_{IN}}\right)}{L \cdot f_s} \quad (\text{式 1})$$

インダクタの飽和電流定格はピーク電流よりも大きくなければなりません。ISL8088 は代表値で 1.2A 以上のピーク電流に対して保護機能が働きます。したがって、最大出力電流を必要とするアプリケーションの場合で、飽和電流定格は 1.8A 以上が必要です。

ISL8088 は補償ネットワークを内蔵していますが、出力コンデンサの容量は出力電圧によって決定します。推奨品は X5R または X7R タイプのセラミック・コンデンサです。出力コンデンサの推奨最小容量を表 2 に示します。

表 2. 出力コンデンサ容量と  $V_{OUT}$ 、ISL8088

$V_{OUT}$ (V)	$C_{OUT}$ (μF)	L (μH)
0.8	10	1.0~2.2
1.2	10	1.0~2.2
1.6	10	1.0~2.2
1.8	10	1.5~3.3
2.5	10	1.5~3.3
3.3	6.8	1.5~4.7
3.6	8.6	1.5~4.7

表 2 に、コンバータ・システム全体の安定動作に必要な出力コンデンサの最小容量値を、それぞれの出力電圧に対応させて示しています。

### 出力電圧の選択

レギュレータの出力電圧は外付けの抵抗分圧回路で設定します。この分圧回路は、内部リファレンス電圧を基準とする出力電圧の比を定めて、誤差アンプの反転入力に帰還する役割を担います。2 ページの「アプリケーション回路例」を参照してください。

レギュレータの所望の電圧から出力設定抵抗  $R_2$  (チャネル 2 は  $R_5$ ) を選択します。帰還抵抗の抵抗値は式 2 に示すように、一般に  $0\Omega$  から  $750k\Omega$  の範囲です。

$R_3 = 100k\Omega$  としたとき、 $R_2$  は以下で求められます。

$$R_2 = R_3 \left( \frac{V_{OUT}}{V_{FB}} - 1 \right) \quad (\text{式 2})$$

出力電圧として 0.6V を得たい場合は、 $R_3$  を未実装とし、 $R_2$  を短絡してください。より高速の応答性能を得るには、 $R_2$  と並列に 47pF を接続してください。

### 入力コンデンサの選択

入力コンデンサの主な機能は、寄生インダクタンスとのデカップリングと、スイッチング電流がバッテリー・レールに逆流しないようにフィルタすることです。入力コンデンサの選択にあたっては、スタートポイントとして、X5R または X7R タイプの 10μF セラミック・コンデンサを両方のチャネルに対して 1 個設けてください。

## プリント基板のレイアウト設計指針

設計したコンバータから所望の性能を得るには、プリント基板のレイアウト設計がきわめて重要な役割を担います。推奨事項については、ISL8088 の設計手順を参照してください。ISL8088 のパワーループは、出力インダクタ (L)、出力コンデンサ ( $C_{OUT1}$  と  $C_{OUT2}$ )、LX\_ ピン、GND ピンで構成されています。このパワーループをできるだけ小さく設計する必要がありますが、それらに接続しているトレースは迂回させずに最短かつ幅広で設計してください。入力コンデンサは VIN ピンのできるだけ近くに配置します。同様に、入力コンデンサのグラウンドと出力コンデンサのグラウンドもできるだけ近くに配置します。IC の発熱は主にサーマルパッドから拡散していきます。そのため、サーマルパッドを実装するランドをできるだけ広くしてください。また、EMI 性能を高めるにはベタグラウンド層が有効です。放熱を高めるために、少なくとも 5 個以上のビアをパッドのランド内に設けてください。

## 改訂履歴

この改訂履歴は参考情報として掲載するものであり、正確を期すように努めていますが、内容を保証するものではありません。最新のデータシートについてはインターシルのウェブサイトをご覧ください。

日付	レビジョン	変更点
2011/5/6	FN6858.2	<p>新しいテンプレートに変更</p> <p>法務部門からの指示に従い、1 ページ下部のインターシルの商標表記を更新。</p> <p>「注文情報」から ISL8088IRZ-T を削除。「注文情報」のテープ&amp;リールに関する Note を「リールの詳細仕様についてはテクニカル・ブリーフ「Tape and Reel Specification for Integrated Circuit (TB347)」を参照してください。」から新基準の「テープ&amp;リールは製品型番の末尾に「-T*」を付加してください。リールの詳細仕様についてはテクニカル・ブリーフ「Tape and Reel Specification for Integrated Circuit (TB347)」を参照してください。」に更新。 「*」はすべてのテープ&amp;リール・オプションに適用されます。</p> <p>図 24、25、26、27、28、29 の時間目盛を 50<math>\mu</math>s/DIV から 500<math>\mu</math>s/DIV に変更。</p> <p>15 ページの「ソフトスタート」で、最後の文の「出力電圧」を「帰還電圧」に変更。</p>
2010/3/18	FN6858.1	<p>13 ページ：ブロック図の PG OR ゲートにインバータ記号を追加。</p> <p>新しいデータシート基準に従い、以下のように移動。</p> <p>1 ページの「ピン配置」と 2 ページの「ピンの説明」を 3 ページに移動。</p> <p>「アプリケーション回路例」を 3 ページから 2 ページに移動。</p>
2010/6/9	FN7650.0	初版

## 製品

インターシルは、高性能アナログ、ミクストシグナルおよびパワーマネジメント半導体の設計、製造で世界をリードする企業です。インターシルの製品は、産業用機器、インフラ、パーソナル・コンピューティング、ハイエンド・コンシューマの分野で特に急速な成長を遂げている市場向けに開発されています。製品ファミリの詳細は、[www.intersil.com/product\\_tree/](http://www.intersil.com/product_tree/) をご覧ください。

\*ISL8088 に関するアプリケーション情報、関連ドキュメント、関連部品は、[www.intersil.com](http://www.intersil.com) 内の [ISL8088](#) のページを参照してください。

本データシートに関するご意見は [www.intersil.com/askourstaff](http://www.intersil.com/askourstaff) へお寄せください。

信頼性に関するデータは [rel.intersil.com/reports/search.php](http://rel.intersil.com/reports/search.php) を参照してください。

そのほかの製品については [www.intersil.com/product\\_tree/](http://www.intersil.com/product_tree/) を参照してください。

インターシルは、[www.intersil.com/design/quality/](http://www.intersil.com/design/quality/) に記載の品質保証のとおり、ISO9000 品質システムに基づいて、製品の製造、組み立て、試験を行っています。

インターシルは、製品を販売するにあたって、製品情報のみを提供します。インターシルは、いかなる時点においても、予告なしに、回路設計、ソフトウェア、仕様を変更する権利を有します。製品を購入されるお客様は、必ず、データシートが最新であることをご確認ください。インターシルは正確かつ信頼に足る情報を提供できるよう努めていますが、その使用に関して、インターシルおよび関連子会社は責を負いません。また、その使用に関して、第三者が所有する特許または他の知的所有権の非侵害を保証するものではありません。インターシルおよび関連子会社が所有する特許の使用権を暗黙的または他の方法によって与えるものではありません。

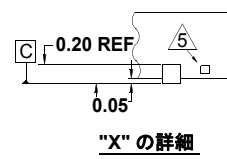
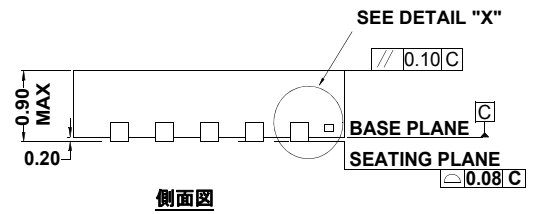
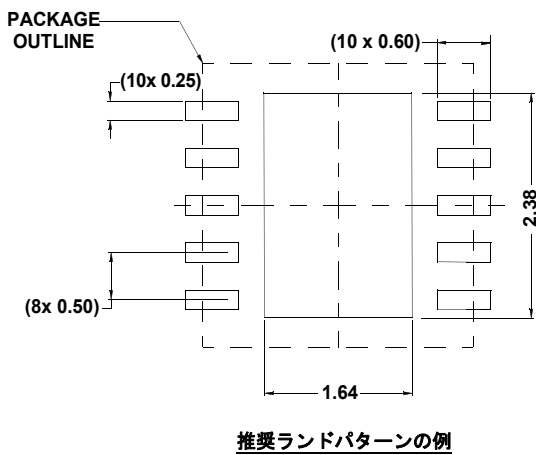
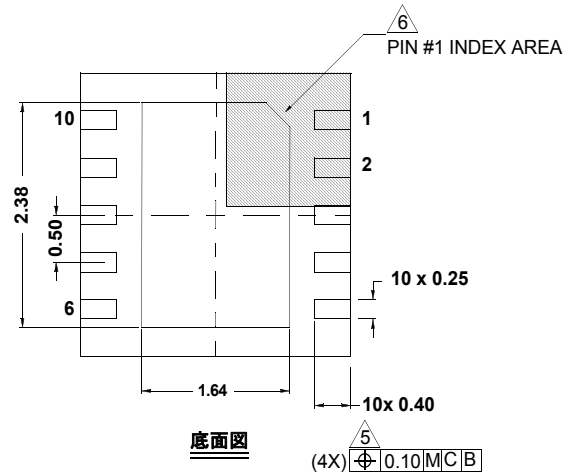
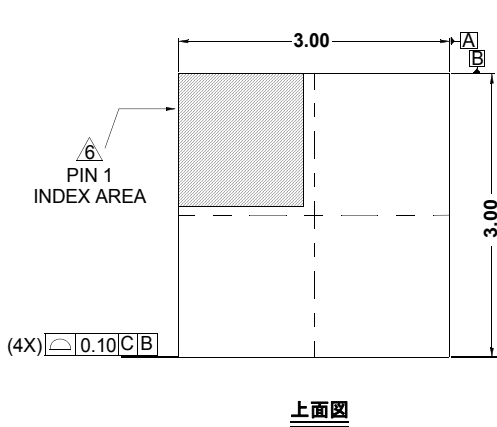
インターシルの会社概要については [www.intersil.com](http://www.intersil.com) をご覧ください。

パッケージ寸法図

L10.3x3C

10 LEAD DUAL FLAT PACKAGE (DFN)

Rev 2, 09/09



NOTE:

1. 寸法の単位は mm です。  
( ) 内の寸法は参考値です。
2. 寸法と公差は ASME Y14.5m-1994 に従っています。
3. 特記のない限り、公差は DECIMAL  $\pm 0.05$  です。
4. 寸法 b は金属端子に適用され、端子先端から 0.18mm ~ 0.30mm のポイントで計測した値です。
5. タイパー (示されている場合) は非機能性です。
6. 1 ピンの識別子はオプションですが、表示されているゾーン内に配置されます。1 ピンの識別子はモールドまたはマーキングで示されます。
7. E-PAD の寸法を除いて JEDEC MO-229-WEED-3 に準拠しています。